



สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง  
การแก้ไขความผิดพลาดของการสื่อสารร่วมสัญญาณเสียงและข้อมูล  
Error Correction of Speech and Data Communication



นายเกียรติศักดิ์ ศรีพิมานวัฒน์  
MR. KEATTISAK SRIPIMANWAT

เลขหมู่  
เลขทะเบียน 20072  
25 ส.ค. 2537  
วัน, เดือน, ปี

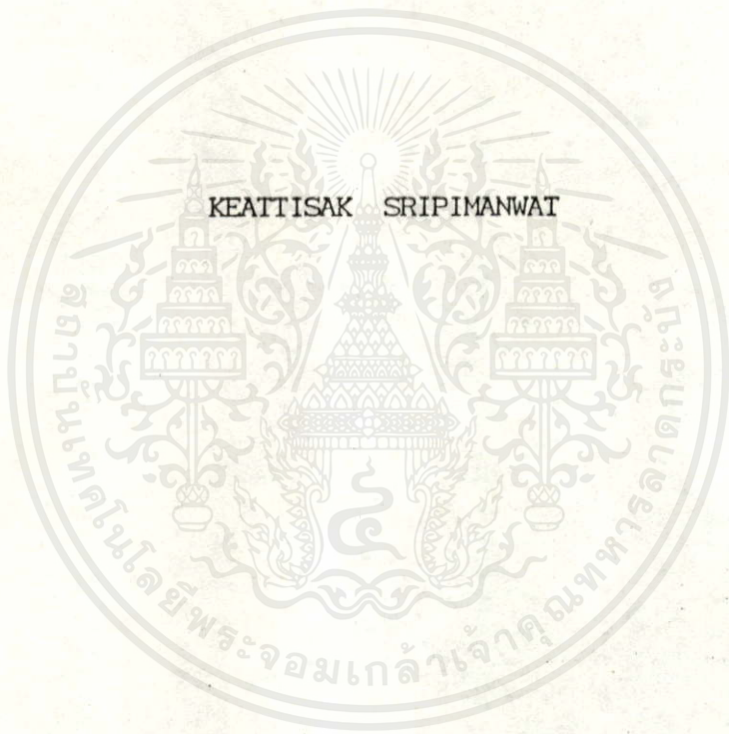
วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิศวกรรมไฟฟ้า  
บัณฑิตวิทยาลัย  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2536

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISBN 974-621-025-4

ลิขสิทธิ์ของบัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE  
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING  
GRADUATE SCHOOL

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

1993

ISBN 974-621-025-4

**บัณฑิตวิทยาลัย**  
**สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง**  
**ใบรับรองวิทยานิพนธ์**

**หัวข้อวิทยานิพนธ์** การแก้ไขความผิดพลาดของการสื่อสารร่วมสัญญาณเสียงและข้อมูล  
**ERROR CORRECTION OF SPEECH AND DATA COMMUNICATION**

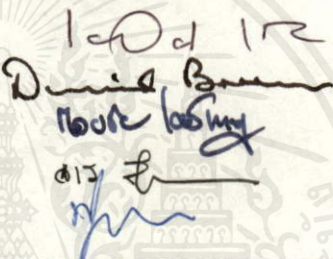
**ชื่อนักศึกษา** นายเกียรติศักดิ์ ศรีนิมานวัฒน์ **รหัสประจำตัว** 33620031

**หลักสูตร** วิศวกรรมศาสตรมหาบัณฑิต **สาขาวิชา** วิศวกรรมไฟฟ้า

**ภาควิชา** วิศวกรรมระบบควบคุม

**อาจารย์ผู้ควบคุมวิทยานิพนธ์** รศ.ดร. โยธิน เปรมปราณีรัชต์

**อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม** ดร.แดเนี่ยล บริน

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร. โยธิน	เปรมปราณีรัชต์	
ดร.แดเนี่ยล	บริน	
ผศ.ดร. กอบชัย	เดชหาญ	
รศ.ดร. จเร	สรวิวัฒน์ปัญญา	
รศ.ดร. พุศักรัตน์	ชิวส์วิทย์	

ค่าระดับคะแนนที่เป็นเอกฉันท์จากคณะกรรมการสอบ GOOD  
 วัน/เดือน/ปี ที่สอบ 24 ธันวาคม 2536 เวลา 12.00 น. ถึงเวลา 13.00 น.  
 สถานที่สอบ ห้อง (A-307) คณะวิศวกรรมศาสตร์



วันที่ 18 เดือน มกราคม พ.ศ. 2537

**หมายเหตุ** การวัดผลวิทยานิพนธ์ให้ใช้ค่าระดับคะแนนดังนี้

ค่าระดับคะแนน	ผลการศึกษา
O	Outstanding (ดีเยี่ยม)
G	Good (ดี)
P	Pass (ผ่าน)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานที่ Fail (ไม่ผ่าน) ม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การแก้ไขความผิดพลาดของการสื่อสารร่วมสัญญาณเสียงและข้อมูล
นักศึกษา	นายเกียรติศักดิ์ ศรีนิมานวัฒน์
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. โยธิน เปรมปราณีรัชต์
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	ดร.แดเนียล บริน
ระดับการศึกษา	วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า
ภาควิชา	วิศวกรรมระบบควบคุม สถาบันเทคโนโลยีพระจอมเกล้า - เจ้าคุณทหารลาดกระบัง
พ.ศ.	2536

### บทคัดย่อ

วิทยานิพนธ์นี้เป็นการนำเสนอผลการสร้างรูปแบบการสื่อสารร่วมทิศทางเดี่ยว (simplex) แบบดิจิทัลในโครงข่ายจุดต่อจุด (point to point) ของสัญญาณเสียงและข้อมูล โดยทำการแปลงสัญญาณเสียงด้วยวิธีพัลส์โคดมอดูเลชัน (Pulse Code Modulation) แล้วทำการมัลติเพล็กซ์แบบแบ่งช่องเวลา (Time Division Multiplex) ร่วมกับข้อมูล ซึ่งได้นำเอาการแก้ไขความผิดพลาดมาใช้กับสัญญาณเสียงและข้อมูลด้วย โดยเป็นการแก้ไขแบบวิธีทางตรง (Forward Error Correction) ด้วยการเข้ารหัสคอนโวลูชัน (Convolution Encoding) และถอดรหัสด้วยวิธีเทรชโฮลด์ (Threshold Decoding) ในรูปของฮาร์ดแวร์ที่อัตรารหัส 1:2, 2:3 และ 3:4 ด้วยขนาดความสามารถและโครงสร้างต่างกัน ซึ่งผลการจำลองการทำงานเป็นไปตามหลักการที่ได้ออกแบบไว้ ส่วนผลการทดสอบการใช้งานได้ศึกษาจากคุณภาพของสัญญาณเสียง และอัตราบิตผิดพลาด (Bit Error Rate) ของข้อมูลจากสัญญาณที่ผ่านและไม่ได้ผ่านการเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title           Error Correction of Speech and Data Communication  
Student                 Mr.Keattisak Sripimawat  
Thesis Adviser        Assoc.Prof.Dr.Yothin Prempraneerach  
Thesis Co-adviser    Dr.Daniel Breen  
Level of Study         Master of Engineering in Electrical Engineering  
Department            Control Engineering King Mongkut's Institute of  
                              Technology ladkrabang  
Year                     1993

### Abstract

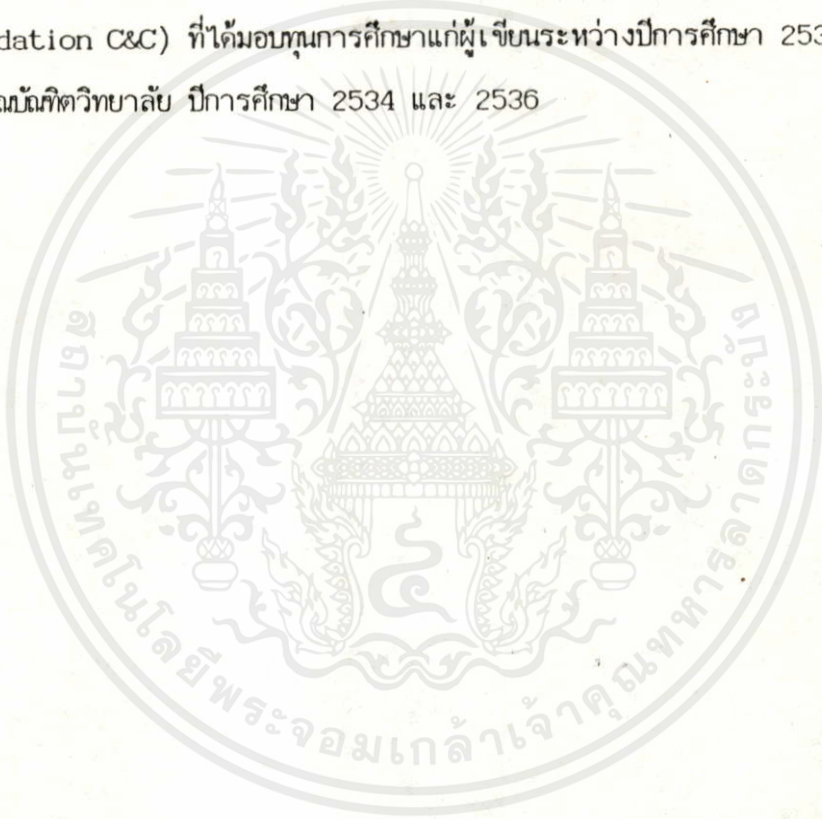
This presentation deals with the combined digital communication of speech and data in a simplex point to point network . Pulse code modulation is used to multiplex the voice with data by time division multiplexing. Moreover, Forward Error Correction with convolution encoding and threshold decoding are included in the hardware set of rate 1:2, 2:3 and 3:4 . The method was tested in both software simulation and in actual circuit, giving the same result in each case. The use of this method was studied in terms of the quality of the speech signal and the Bit Error Rate (BER) of data transmitted with and without coding.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

ผู้เขียนขอขอบคุณ ดร.แคเน็ล บริน อดีตอาจารย์ประจำคณะวิศวกรรมศาสตร์ สจล. และ รศ.ดร.โยธิน เปรมปราณีรัตน์ หัวหน้าภาควิชาาระบบควบคุม คณะวิศวกรรมศาสตร์ สจล. ที่ได้ให้คำปรึกษาในการทำงานวิจัยชิ้นนี้และขอขอบคุณ อาจารย์อรรถสิทธิ์ หล้าสกุล(อ.เป็ยก) อดีตเลขาธิการภาควิชาเทคนิคอุตสาหกรรม ที่ได้ให้ความอนุเคราะห์อุปกรณ์และสถานที่ในการทำงานวิจัย[คอมพิวเตอร์ เลเซอร์พริ้นเตอร์ พรอตเตอร์ เลเซอร์ดีสก์ คอมแพคดีสก์ ดิจิตอลออดิโอเทป(DAT) ฯลฯ] ซึ่งทำให้การทำงานวิจัยนี้เป็นไปได้อย่างรวดเร็ว

ขอขอบคุณมูลนิธิเพื่อการศึกษาคอมพิวเตอร์และสื่อสาร (Computer and Communication Foundation C&C) ที่ได้มอบทุนการศึกษาแก่ผู้เขียนระหว่างปีการศึกษา 2534-2535 และ ทุนงบประมาณมหาวิทยาลัย ปีการศึกษา 2534 และ 2536



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VI
สารบัญภาพ	VII
บทที่	
1. บทนำ	1
วัตถุประสงค์ของการวิจัย	1
แนวความคิดที่เกี่ยวข้อง	1
วิธีที่ใช้ในการวิจัย	2
2. การสื่อสารข้อมูลและการจัดการสัญญาณเสียง	3
การสื่อสารเชิงดิจิทัล	3
พัลส์โคดมอดูเลชัน (Pulse Code Modulation ; PCM)	4
การมัลติเพลกซ์แบบแบ่งช่องเวลา (Time Division Multiplex; TDM)	6
3. รหัสคอนโวลูชัน	8
หลักการใช้งานการแก้ไขความผิดพลาด	8
ทฤษฎีรหัส	13
การเข้ารหัสข้อมูล (Data Encoding)	21
การถอดรหัสด้วยวิธีเทรชโฮล (Threshold Decoding)	28
เทรชโฮลเกต (Threshold Gate)	37
4. การออกแบบวงจร	38
การจัดแบ่งช่องสัญญาณและข้อจำกัดทางเวลา	38
วงจรแปลงสัญญาณเสียง	42
วงจร Line Buffer	44
ไม่ว่าการเข้ารหัสและถอดรหัสที่คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้	45
วงจรเทรชโฮลเกต	56

	หน้า
วงจรรวมและระบบรับส่ง	59
วงจรสร้างสัญญาณรบกวน	62
5. การควบคุมและทดสอบการทำงาน	65
การโปรแกรม	65
การจำลองการทำงาน	65
การทดสอบการทำงาน	65
6. ผลการทดสอบ	70
7. บทสรุปและข้อวิจารณ์	74
เอกสารอ้างอิง	76
ภาคผนวก	77
โปรแกรมควบคุมการทำงานภาคส่ง	78
โปรแกรมควบคุมการทำงานภาครับ	81
โปรแกรมตรวจสอบ Bit Error Rate	84
ภาพถ่ายแผ่นวงจร	88
DATA SHEET	92

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญตาราง

	หน้า
ตารางที่ 3.1 แสดงค่าข่าวสารและชุดรหัสของรหัสลิเนียร์บล็อก	15
ตารางที่ 4.1 ค่าเงื่อนไขของฟังก์ชันตัวกระทำที่อัตรารหัสต่าง ๆ	46
ตารางที่ 6.1 ผลการทดสอบคุณภาพสัญญาณเสียงจากผลของสัญญาณรบกวนเงื่อนไขเดียวกัน	72



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.1	แสดงลักษณะของการสุ่มสัญญาณ (Sampling)	5
รูปที่ 2.2	แสดงลักษณะของการมัลติเพล็กซ์แบบแบ่งช่องเวลา (TDM)	5
รูปที่ 3.1	แสดงไคอะแกรมการสื่อสารเชิงดิจิทัลที่มีการใช้รหัสแก้ไขความผิดพลาด	10
รูปที่ 3.2	ไคอะแกรมอธิบายความสามารถในการตรวจสอบและแก้ไขความผิดพลาด	17
รูปที่ 3.3	ไคอะแกรมแสดงการเข้ารหัสคอนโวลูชันพื้นฐาน	19
รูปที่ 3.4	ไคอะแกรมทางฮาร์ดแวร์แสดงการเข้ารหัสคอนโวลูชันแบบ Systematic แบบที่ 1	25
รูปที่ 3.5	ไคอะแกรมทางฮาร์ดแวร์แสดงการเข้ารหัสคอนโวลูชันแบบ Systematic แบบที่ 2	26
รูปที่ 3.6	แสดงตัวอย่างของการเข้ารหัสคอนโวลูชันแบบ Systematic เรียงไข (2,1)	27
รูปที่ 3.7	แสดงหลักการการถอดรหัสแบบย้อนกลับ (Feedback Decoding)	29
รูปที่ 3.8	แสดงการถอดรหัสคอนโวลูชันแบบ systematic ด้วยวิธีเทรสโฮลด์ (Threshold Decoding)	34
รูปที่ 3.9	แสดงหลักการของเทรสโฮลด์เกต	37
รูปที่ 4.1	ไคอะแกรมแสดงส่วนประกอบหลักของวงจรใช้งาน	39
รูปที่ 4.2	ไคอะแกรมแสดงการจัดช่องสัญญาณทางเวลาเพื่อการใช้งาน	40
รูปที่ 4.3	ไคอะแกรมทางเวลา (Timing Diagram) ของระบบรวม	41
รูปที่ 4.4	ไคอะแกรมแสดงส่วนประกอบของวงจร CoDec Filter PCM-mono Circuit (MC14400)	42
รูปที่ 4.5	ไคอะแกรมแสดงส่วนประกอบของวงจร Time Slot Assigner Circuits (MC14416)	43
รูปที่ 4.6	ไคอะแกรมแสดงการเข้าและถอดรหัสเรียงไข { 2, 1, 17, 3 }	50
รูปที่ 4.7	ไคอะแกรมการเข้าและถอดรหัสที่เรียงไข { 2, 1, 35, 4 }	52
รูปที่ 4.8	ไคอะแกรมแสดงการเข้าและถอดรหัสเรียงไข { 3, 2, (36, 40), 3 }	52
รูปที่ 4.9	ไคอะแกรมแสดงการเข้าและถอดรหัสเรียงไข { 3, 2, (83, 86), 4 }	54
รูปที่ 4.10	ไคอะแกรมแสดงการเข้าและถอดรหัสเรียงไข { 4, 3, (42, 56, 67), 3 }	55
รูปที่ 4.11	วงจรเกตแบบเทรสโฮลด์ขนาด 6 อินพุต	57
รูปที่ 4.12	วงจรเกตแบบเทรสโฮลด์ขนาด 8 อินพุต	58
รูปที่ 4.13	วงจรควบคุมรวมภาคส่ง	60

	หน้า
รูปที่ 4.14 วงจรควบคุมรวมภาครับ	61
รูปที่ 4.15 วงจรสร้างสัญญาณรบกวน	63
รูปที่ 5.1 โฟร์ซาร์ดแสดงการควบคุมการทำงานของภาคส่ง	66
รูปที่ 5.2 โฟร์ซาร์ดแสดงการควบคุมการทำงานของภาครับ	67
รูปที่ 5.3 โฟร์ซาร์ดแสดงขั้นตอนการตรวจนับ BER	69
รูปที่ 6.1 กราฟแสดงผลค่าเฉลี่ยอัตราบิตผิดพลาดของข้อมูล	73



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

งานวิจัยที่ได้นำเสนอของวิทยานิพนธ์นี้เป็นผลการศึกษา และการออกแบบสร้างชุดแก้ไขความผิดพลาดของการสื่อสารร่วมสัญญาณเสียงและข้อมูล โดยมีวัตถุประสงค์รวมทั้งขั้นตอนการทำวิจัยดังนี้

### วัตถุประสงค์ของการวิจัย

ปัญหาใหญ่สาเหตุหนึ่งในการสื่อสารข้อมูลที่มีผลกระทบต่อความถูกต้องของข่าวสาร คือ ผลของสัญญาณรบกวนต่าง ๆ ในช่องสัญญาณที่ไม่อาจคาดคะเนเวลาหรือขนาดของการเกิดขึ้นได้ จากปัญหานี้จึงเป็นเหตุให้เกิดมีการศึกษาเพื่อหาวิธีที่จะยกระดับของคุณภาพข่าวสารขึ้นท่ามกลางผลของสัญญาณรบกวนดังกล่าว ซึ่งการแก้ไขความผิดพลาดด้วยการเข้ารหัสข่าวสารเป็นวิธีหนึ่งที่ได้รับการพัฒนามาโดยตลอด โดยรูปแบบต่าง ๆ ของการแก้ไขความผิดพลาด มีการนำไปใช้งานในการสื่อสารต่าง ๆ มากมาย ทั้งที่เป็นโครงข่ายการสื่อสารขนาดเล็กจนถึงขนาดใหญ่ สำหรับงานวิจัยนี้ได้เน้นถึงวัตถุประสงค์ของการนำเอาวิธีการแก้ไขความผิดพลาด มาใช้กับรูปแบบการสื่อสารร่วมสัญญาณเสียงและข้อมูลเชิงดิจิทัล โดยอยู่ในรูปของฮาร์ดแวร์ที่ประกอบไปด้วยอุปกรณ์พื้นฐานอย่างง่าย ทั้งนี้เพื่อความสะดวกในการจัดสร้างและปรับปรุงเปลี่ยนแปลงสำหรับการพัฒนาระยะเริ่มต้น

### แนวความคิดที่ เกี่ยวข้อง

วิธีการแก้ไขความผิดพลาดที่ได้นำมาใช้สำหรับงานวิจัยนี้เป็นวิธีการแก้ไขทางตรง (Forward Error Correction ; FEC) ด้วยการเข้ารหัสคอนโวลูชัน (Convolution Encoding) ส่วนทางด้าน การถอดรหัสได้เลือกใช้วิธีเทรชโฮล (Threshold Decoding) หรือมีชื่อเรียกตามหลักการทํางานอีกอย่างหนึ่งว่า Majority-Logic Decoding ซึ่งเป็นวิธีการถอดรหัสที่ใช้หลักการการตรวจสอบซินโดรม (Syndrome) ของการแก้ไขแบบย้อนกลับ (Feedback Decoding) สำหรับระบบการสื่อสารที่จะนำเอาการแก้ไขความผิดพลาดนี้ไปใช้จะอยู่ในรูปของการสื่อสารทิศทางเดียว (Simplex) ในโครงข่ายแบบจุดต่อจุด (Point to point) โดยสัญญาณเสียงจะถูกทำการแปลงให้เป็นสัญญาณดิจิทัลด้วยวิธีพัลส์โคดมอดูเลชัน (Pulse Code Modulation ; PCM) แล้วจึงทำการมัลติเพลกซ์ร่วมกับข้อมูลด้วยวิธีแบ่งช่องเวลา (Time Division Multiplex ; TDM)

อีกทั้งยังเป็นข้อดีที่การส่งร่วมวิธีนี้ช่วยให้การเข้ารหัสทำได้ง่าย มีอนุอยู่ให้เพิ่มไปใช้ระบบโพรเซสซิ่งด้านการคำนวณว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## วิธีที่ใช้ในการวิจัย

สำหรับวิธีและขั้นตอนที่จะนำมาใช้ในการดำเนินงานวิจัยนี้ เริ่มต้นด้วยการออกแบบชุดแก้ไขความผิดพลาดทั้งทางภาคเข้ารหัสและถอดรหัสที่ได้กำหนดเงื่อนไขของอัตรารหัสที่ 1:2, 2:3 และ 3:4 รวมทั้งวงจรประกอบส่วนอื่น ๆ แล้วจึงนำผลการออกแบบที่ได้ไปจำลองการทำงานด้วยซอฟต์แวร์เพื่อพิสูจน์การออกแบบ รวมทั้งศึกษาขั้นตอนการทำงานของวงจรถัดก่อนที่จะนำไปสร้างเป็นชุดวงจรจริง ซึ่งจะได้ทำการทดสอบการทำงานต่อไป การทดสอบที่กล่าวถึงนี้จะกระทำการศึกษาถึงผลการใช้งานการแก้ไขความผิดพลาดเมื่อมีผลกระทบจากสัญญาณรบกวน โดยที่สัญญาณเสียงจะศึกษาคุณภาพเสียงที่ได้ และข้อมูลจะศึกษาความสามารถจากการวัดผลอัตราผิดพลาด (Bit Error Rate ; BER) ของข้อมูลเปรียบเทียบที่ผ่านการเข้ารหัสอัตราต่าง ๆ และที่ไม่ได้ผ่านการเข้ารหัส



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีคำนำไปใช้

การสื่อสารข้อมูลและการจัดการสัญญาณ เสียง

เนื่องจากเทคโนโลยีทางการสื่อสารโทรคมนาคมในปัจจุบันนี้ ได้เข้ามามีบทบาทในชีวิตประจำวันมากขึ้น จนอาจกล่าวได้ว่าอุปกรณ์โทรคมนาคมต่าง ๆ ได้กลายมาเป็นปัจจัยที่สำคัญต่อการดำเนินชีวิตของมนุษย์ ทั้งทางด้านการติดต่อสื่อสารเพื่อธุรกิจ หรือเพื่อความบันเทิงต่าง ๆ จึงทำให้การพัฒนาเทคโนโลยีทางด้านนี้ มีความก้าวหน้าอย่างรวดเร็ว และมีการแข่งขันกันอย่างสูง

ในส่วนของการศึกษาพัฒนาระบบการสื่อสารที่มีมาอย่างต่อเนื่องจากอดีตจนถึงปัจจุบันเพื่อที่จะตอบสนองความต้องการการใช้งานนั้น จะคำนึงถึงหลักการที่สำคัญคือ ความรวดเร็วในการติดต่อสื่อสาร ความถูกต้องของข่าวสารและความเชื่อถือได้ของแต่ละระบบ ซึ่งหลักการเหล่านี้ จะเป็นสิ่งที่ใช้บอกถึงประสิทธิภาพระบบการสื่อสารที่ได้รับการพัฒนาและแนวทางของการพัฒนาต่อไปในอนาคต ส่วนของงานวิจัยนี้ ได้ทำการศึกษาถึงหัวข้อของประสิทธิภาพของข้อมูลทางด้านความถูกต้องของข่าวสารเป็นหลัก โดยมีรายละเอียดส่วนย่อยดังที่ได้กล่าวมาในบทนำ สำหรับเนื้อหาของบทนี้จะกล่าวถึงหลักการสื่อสารเชิงดิจิทัลและการจัดการสัญญาณเสียงเพื่อแปลงรูปแบบสัญญาณให้เป็นแบบดิจิทัล ซึ่งมีหลักการโดยสังเขปดังนี้

การสื่อสารเชิงดิจิทัล [1]

การพัฒนารูปแบบของการสื่อสารได้ถูกปรับเปลี่ยนจากยุคของสัญญาณแอนะล็อกมาเป็นรูปแบบสัญญาณทางดิจิทัลที่มีบทบาทมากขึ้นในปัจจุบัน เนื่องจากคุณสมบัติเฉพาะของสัญญาณดิจิทัลสำหรับการสร้างและการใช้งานที่มีประสิทธิภาพสูงกว่า จึงทำให้สัญญาณดิจิทัลนี้ได้เข้ามาแทนที่สัญญาณแอนะล็อกในหลาย ๆ ส่วนของระบบการสื่อสารซึ่งข้อดีของประสิทธิภาพเหล่านี้มีดังเช่น

- ความเร็วในการรับส่งสัญญาณสามารถทำได้สูงกว่ามาก
- สัญญาณดิจิทัลสามารถนำไปใช้ในระบการมัลติเพล็กซ์เพื่อการใช้ช่องสัญญาณร่วมกันได้สะดวกกว่าสัญญาณแบบแอนะล็อก
- การสร้างวงจรมีขนาดเล็กกว่า วงจรทวนสัญญาณมีความยุ่งยากน้อย เนื่องจากระดับสัญญาณดิจิทัลมีเพียงสองระดับคือ "1" และ "0"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สามารถจัดการกับข่าวสารในสัญญาณได้ เพื่อประโยชน์ในการรักษาความลับของข้อมูล หรือเพื่อการจัดการข้อมูลสำหรับใช้ตรวจสอบความผิดพลาด ซึ่งประโยชน์ใน

ข้อนี้สามารถพัฒนาพร้อมกับการประมวลผลสัญญาณดิจิทัล ( Digital Signal Processing) หรือระบบคอมพิวเตอร์ซึ่งทำให้การพัฒนาเป็นไปได้อย่างรวดเร็ว

จากวัตถุประสงค์ที่จะนำเอาการสื่อสารเชิงดิจิทัลมาใช้งาน สามารถอธิบายความสัมพันธ์ได้ว่า สัญญาณข้อมูลซึ่งเป็นแบบดิจิทัลจะถูกนำมาผลิตเพลกซ์แบบแบ่งช่องเวลาร่วมกับสัญญาณเสียงที่ได้รับการแปลงให้เป็นสัญญาณดิจิทัลด้วยวิธีพัลซ์โคดมอดูเลชันและข่าวสารทั้งหมดที่ได้จะถูกนำไปเข้ารหัสเพื่อทำการจัดระเบียบข้อมูลสำหรับใช้ในการตรวจสอบความผิดพลาดที่ทางภาครับ ซึ่งจะมีขั้นตอนสอดคล้องกันด้วยวิธีการทางการจัดการข้อมูลดิจิทัลที่เรียกว่า อัลกอริธึม (Algorithm)

## พัลซ์โคดมอดูเลชัน [2]

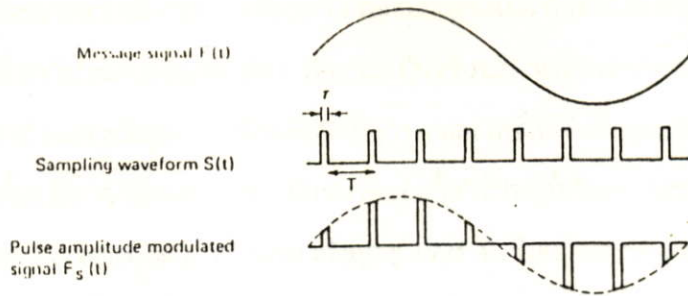
พัลซ์โคดมอดูเลชันหรือ PCM เป็นวิธีการมอดูเลตสัญญาณทางดิจิทัลระบบหนึ่งที่ได้รับการพัฒนาและเริ่มนำมาใช้งานในระบบโทรศัพท์ ระบบ PCM นี้ เป็นการใช้ประโยชน์จากทฤษฎีการสุ่ม (Sampling) ด้วยการจัดการสัญญาณแบบ Pulse Amplitude Modulation (PAM) โดยจะนำเอาสัญญาณที่ได้จากการสุ่มนี้ ไปเปรียบเทียบกับระดับแรงดันทางไฟฟ้าใกล้เคียงที่ได้แบ่งออกเป็นช่วงย่อย ๆ เพื่อจัดระดับของสัญญาณที่เรียกว่า การควอนไทซ์ (Quantization) ก่อนที่จะนำไปเข้ารหัสสัญญาณ (Signal Coding) แล้วจึงนำไปใช้งานต่อไป

### - การสุ่มสัญญาณ (Sampling)

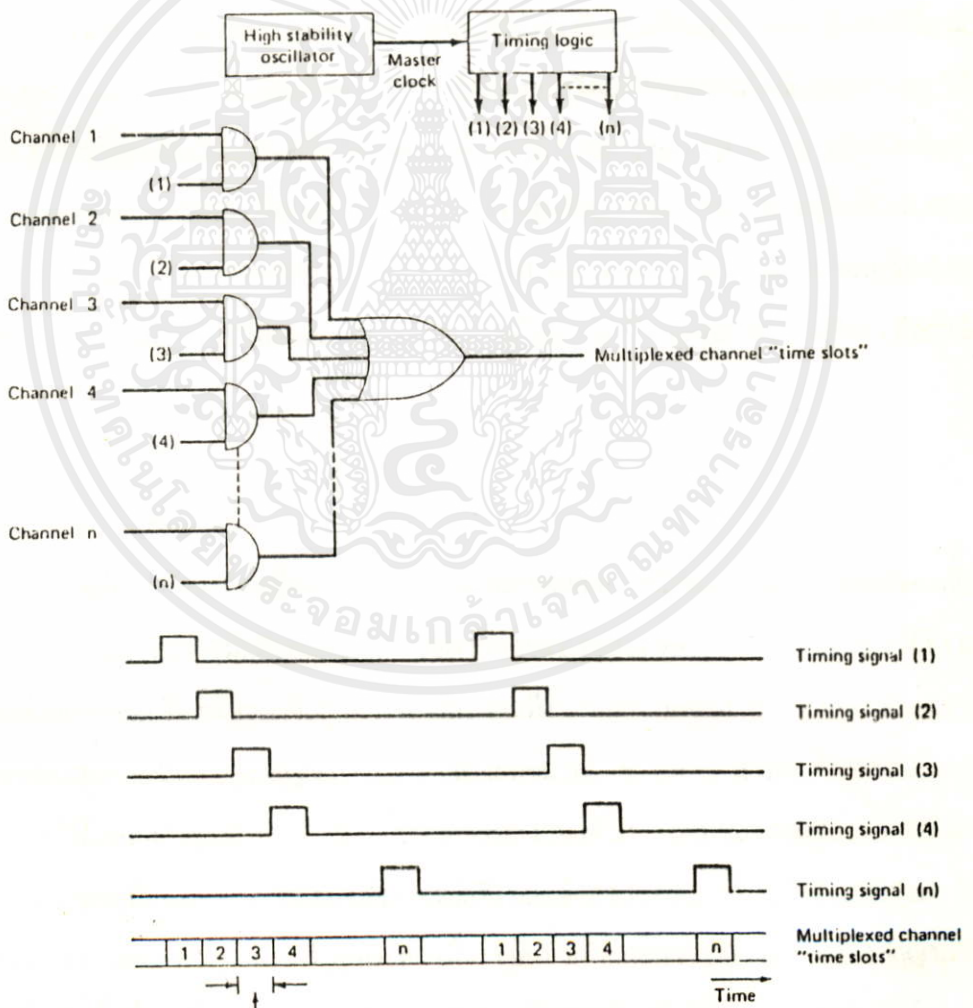
วิธีการสุ่มสัญญาณเป็นขั้นตอนแรกที่จะทำการแปลงสัญญาณแอนะล็อกให้เป็นสัญญาณดิจิทัล โดยมีขั้นตอนดังรูปที่ 2.1 ซึ่งอธิบายได้ว่าสัญญาณข่าวสารทางแอนะล็อกใด ๆ  $F(t)$  จะถูกสุ่มด้วยสัญญาณ  $S(t)$  ที่มีความกว้าง  $T$  หรือมีความถี่เท่ากับ  $1/T$  ทำให้ได้พัลซ์ค่าระดับแอมพลิจูด  $F_s(t)$  ของสัญญาณแอนะล็อกในช่วงเวลา  $T$  นั้น อยู่ในช่วงความกว้างของสัญญาณสุ่ม  $S(t)$  ซึ่งวิธีการสุ่มที่กล่าวมานี้จะมีข้อจำกัดอยู่ว่า การที่จะสร้างสัญญาณสุ่มเพื่อให้มีข่าวสารของสัญญาณแอนะล็อกอยู่ครบถ้วนใน  $F_s(t)$  จะต้องทำการสุ่มด้วยความถี่ในอัตราที่เหมาะสม ทั้งนี้เพื่อที่จะทำให้สามารถสร้างสัญญาณข่าวสารแอนะล็อกนั้นกลับมาใหม่ได้สมบูรณ์ ค่าความถี่ดังกล่าวนี้มีหลักการกำหนดว่า ถ้าสัญญาณข่าวสารแอนะล็อกมีช่วงความถี่จำกัดที่เรียกว่า Band-Limited เท่ากับ  $f_m$  Hz แล้ว ความถี่ของสัญญาณสุ่ม ( $f_s$ ) ควรจะมีค่ามากกว่าหรือเท่ากับสองเท่าของ  $f_m$  นั่นคือ

$$f_s \geq 2 f_m \quad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า จากสัญญาณเสียงที่จะนำมาใช้งานจะมีช่วงความถี่จำกัด 30-30,000 Hz นั้น แต่โดยทั่วไปจะกำหนดให้ใช้ค่า  $f_s$  เท่ากับ 8 kHz



รูปที่ 2.1 แสดงลักษณะของการสุ่มสัญญาณ (Sampling)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการ Time slot เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.2 แสดงลักษณะของการมัลติเพล็กซ์แบบแบ่งช่องสัญญาณเวลา (TDM)

- การควอนไทซ์และการเข้ารหัสสัญญาณ

วิธีการควอนไทซ์สำหรับการมอดูเลตแบบ PCM จะเป็นแบบ Nonuniform หรือวิธีที่ไม่มีรูปแบบแน่นอน ซึ่งขนาดแรงดันเปรียบเทียบทางไฟฟ้าจะถูกแบ่งเป็นชั้นไม่เท่ากันโดยตลอด ทั้งนี้ เนื่องจากเป็นการนำเอาไปใช้กับสัญญาณเสียง ที่ความเป็นจริงปริมาณค่าวสารของสัญญาณจะอยู่ในช่วงแรงดันต่ำ ๆ มากกว่าช่วงแรงดันสูง ดังนั้นเพื่อให้มีการควอนไทซ์ที่ดีจึงต้องแบ่งขั้นการควอนไทซ์ในช่วงแรงดันต่ำให้เป็นชั้นเล็ก ๆ และค่อย ๆ เพิ่มขนาดของขั้นให้ใหญ่ขึ้นในช่วงแรงดันสูง ๆ ซึ่งในทางปฏิบัติจะใช้วิธีการกด (Compress) ขนาดของสัญญาณ PAM ที่เรียกว่าการคอมแพนดิง (Compan-ding) ที่แบ่งช่วงการควอนไทซ์ออกเป็นเซกเมนต์ (Segment) โดยในแต่ละเซกเมนต์จะมีจำนวนช่วงระดับควอนตัม (Quantum Step) ของการควอนไทซ์เท่ากัน การคอมแพนดิงนี้มีมาตรฐานการใช้งานอยู่สองวิธี นั่นคือ แบบ A-Law ของมาตรฐาน CCITT และ  $\mu$ -Law ที่ใช้กันในประเทศสหรัฐอเมริกา และญี่ปุ่น

หลังจากได้ค่าจากการควอนไทซ์เปรียบเทียบระดับแรงดันแล้ว จะนำค่าที่ได้มาแปลงเป็นรหัสฐานสอง (binary) ที่เรียกว่าการเข้ารหัสสัญญาณ โดยที่การควอนไทซ์แต่ละครั้งจะ ได้รหัสขนาด 8 บิต บิตแรกจะเป็นตัวบอกเครื่องหมาย (sign bit or parity bit) สามบิตต่อมาเป็นค่าเซกเมนต์ (segment code) ที่จะบอกให้ทราบว่ากลุ่มสัญญาณนั้นได้ขนาดตกอยู่ในช่วงเซกเมนต์ใด และบิตสุดท้ายจะเป็นค่าการควอนไทซ์ (quantization code) หรือระดับควอนตัมของแต่ละช่วงเซกเมนต์ใด ๆ ทั้งนี้ค่าที่จะได้ออกมาจากการเข้ารหัสนี้ จะขึ้นอยู่กับมาตรฐานที่จะเลือกใช้ดังที่กล่าวมา

การมัลติเพล็กซ์แบบแบ่งช่อง เวลา

จากหลักการของการสื่อสารเชิงดิจิทัลในกรณีของการใช้ช่องสัญญาณร่วมกันของสัญญาณหลาย ๆ ชุดหรือที่เรียกว่าการมัลติเพล็กซ์นั้น วิธีการแบ่งช่องเวลา (TDM) จัดเป็นวิธีที่เหมาะสม โดยมีขั้นตอนการจัดเรียงสัญญาณข้อมูลตามลำดับเวลาที่แบ่งออกเป็นช่อง ๆ (Time Slot) ในแต่ละช่องจะบรรจุข้อมูลของแต่ละชุดสัญญาณ ที่โดยทั่วไปจะมีขนาด 8 บิต สำหรับขั้นตอนของการจัดเรียงช่วงเวลานี้ได้แสดงดังรูปที่ 2.2 ซึ่งอธิบายการทำงานได้ว่า ส่วนของออสซิลเลเตอร์จะจ่ายสัญญาณนาฬิกาออกมาเพื่อจัดลำดับการปล่อยสัญญาณมัลติเพล็กซ์ (1), (2), (3), (4), ... (n) ให้แก่วงจรมัลติเพล็กซ์อย่างต่อเนื่อง และสัญญาณเหล่านี้จะเป็นตัวกำหนดการเปิดเกตให้ช่องสัญญาณใด ๆ ปล่อยข้อมูลออกมา ทั้งนี้จะเป็นไปตามลำดับของสัญญาณมัลติเพล็กซ์ ซึ่งในส่วนสุดท้ายจะได้ข้อมูลของแต่ละช่องเวลาที่เรียงลำดับกันออกมา จากรูปช่องเวลาที่ 1 ถึง n ที่เรียงลำดับกันนี้ รวมเรียกว่าเฟรม (Frame) ของช่อง เวลา มีขนาดเท่ากับจำนวนช่อง เวลาที่มีอยู่ที่มาทำการมัลติเพล็กซ์ร่วมกัน

สำหรับในการสื่อสารข้อมูลจริงจะมีการเพิ่มส่วนของช่วงเวลาเพื่อการใช้งานอื่นรวมเข้าไปอีก เช่น ช่วงเวลา Frame Alignment Word (FAW) ที่ใช้ในการกำหนดจุดเริ่มต้นของเฟรมเพื่อการซิงโครไนซ์ (Synchronization) ของการรับส่งข้อมูล และช่วงเวลาสำหรับการควบคุมการทำงาน (control) บอกสถานะการทำงาน (status) หรือตรวจสอบการทำงาน (checking)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการสื่อสารข้อมูลระหว่างปลายทาง (terminal) ใด ๆ ประสิทธิภาพจะขึ้นอยู่กับความเร็วในการรับส่งข้อมูลรวมไปถึงความถูกต้องของข่าวสารที่ได้รับด้วย แต่เนื่องจากข้อจำกัดทางความสามารถที่จะรับส่งข้อมูลความเร็วสูง (high speed data) ภายใต้สภาพแวดล้อมของช่องสัญญาณที่มีสัญญาณรบกวน (noise) ต่าง ๆ อยู่ จึงทำให้ต้องมีการพัฒนาประสิทธิภาพของการรับส่งข้อมูลนี้ทางด้านความถูกต้องมากขึ้น ซึ่งการแก้ไขความผิดพลาดของข้อมูลเป็นวิธีหนึ่งที่สามารถช่วยเพิ่มประสิทธิภาพดังกล่าวได้

#### หลักการและการใช้งานการแก้ไขความผิดพลาด

ปัญหาความผิดพลาดของสัญญาณข้อมูลระหว่างการรับส่งนั้น มีสาเหตุมาจากหลายประการ สัญญาณรบกวนเป็นสาเหตุใหญ่สาเหตุหนึ่งที่มีผลต่อระบบโดยเฉพาะในช่องสัญญาณ ทั้งนี้ขึ้นอยู่กับชนิดของช่องสัญญาณนั้น ๆ ด้วย เช่น ช่องสัญญาณที่ใช้สายโลหะเป็นตัวนำในการส่งผ่านข้อมูล อาจมีปัญหากจากสัญญาณรบกวนทางคลื่นแม่เหล็กไฟฟ้าที่เกิดการเหนี่ยวนำข้ามช่องสัญญาณ (crosstalk) ปัญหาจากอุณหภูมิ (White noise or Gaussian noise) หรืออาจเกิดจากการสะท้อน (echoes) ในสายส่ง ส่วนช่องสัญญาณชนิดอื่น ๆ ก็จะมีปัญหาเฉพาะของตนเองหรืออาจมีปัญหาร่วมกันก็ได้ ดังนั้นเมื่อทราบแหล่งของสาเหตุการเกิดความผิดพลาดเหล่านี้ ก็สามารถกำจัดหรือลดปัญหาเหล่านั้นลงได้ แต่ถึงกระนั้นก็ตามสัญญาณรบกวนก็ยังคงเป็นตัวปัญหาหลักของระบบการสื่อสารทุกระบบ เนื่องจากเป็นสิ่งที่วิศวกรผู้ออกแบบ ไม่สามารถคาดคะเน ลักษณะ เวลา ขนาด และผลของการเกิดขึ้นมาในระบบได้ จึงต้องมีวิธีการแก้ปัญหาดังกล่าวโดยการศึกษาสร้างความสัมพันธ์ทางการสื่อสารข้อมูลเพื่อที่จะแก้ไขข้อมูลที่ผิดพลาดเหล่านั้น

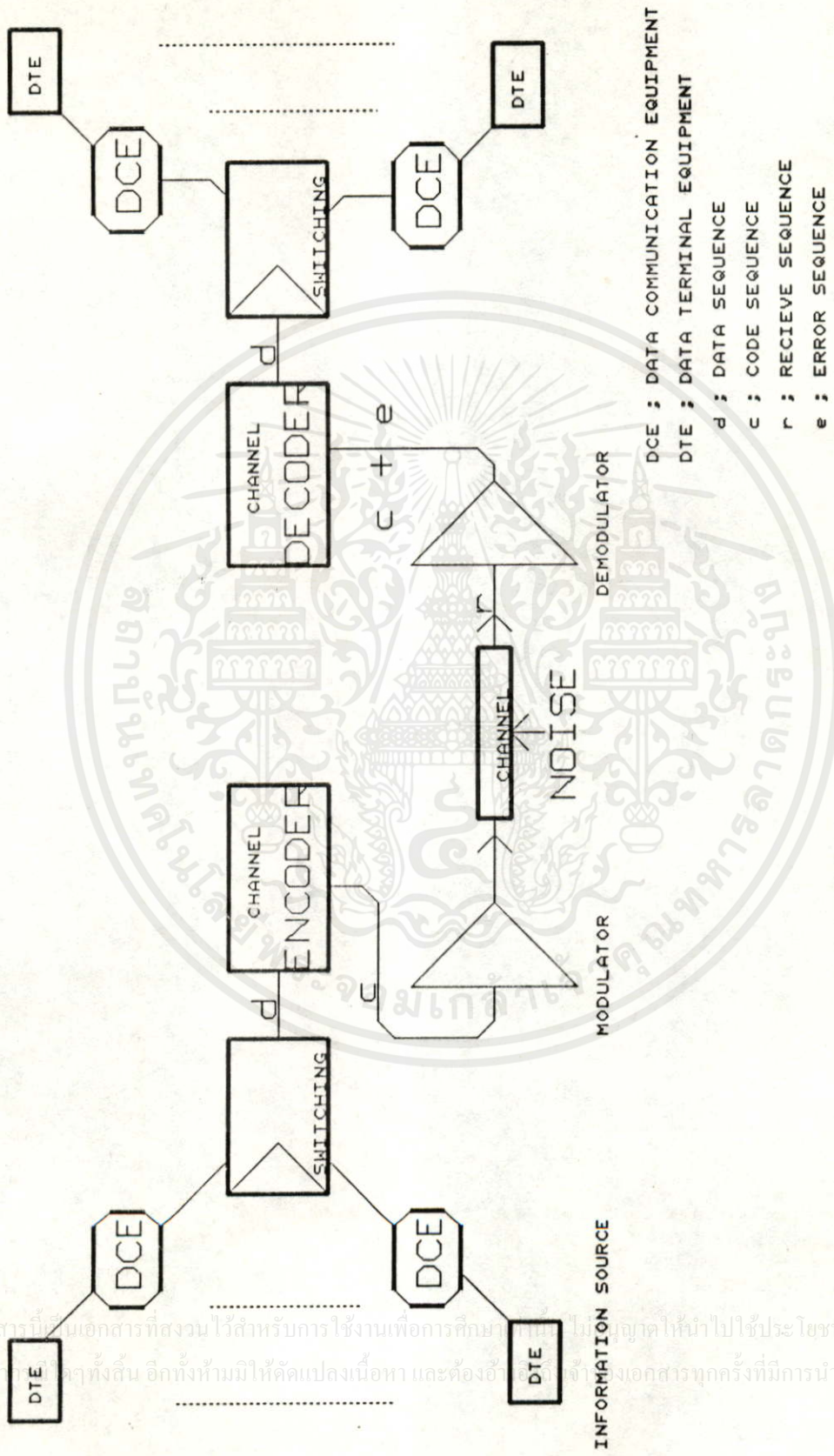
การแก้ไขความผิดพลาดที่จะกล่าวถึงเกี่ยวข้องกับเฉพาะสัญญาณข้อมูลดิจิทัลเท่านั้น ซึ่งมีพื้นฐานการจัดการทางสัญญาณต่างจากสัญญาณแบบแอนะล็อก ดังที่ได้กล่าวมาแล้วในบทที่ 2 ดังนั้นการศึกษาทางด้านทฤษฎีและการสร้างรหัสเพื่อแก้ไขความผิดพลาดของข้อมูลได้ให้จุดสนใจอยู่ที่ว่า ทำอย่างไรถึงจะป้องกันข่าวสารมิให้เกิดความผิดพลาดระหว่างการรับส่งหรือจัดเก็บ (Storage) โดยทำการศึกษาวิจัยและพัฒนามาเป็นพื้นฐานที่ใช้เทคนิคทางคณิตศาสตร์ ซึ่งจะเกี่ยวข้องกับสัญญาณดิจิทัลโดย

ตรงนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้ง ประวัติการสร้างรหัสเพื่อการแก้ไขความผิดพลาดได้เริ่มต้นขึ้นในปี ค.ศ. 1948 (พ.ศ. 2491) จากการตีพิมพ์ผลงานสู่สาธารณชนของ Claude Shannon โดยงานของแซนนอนนี้เป็นความ

พยายามที่จะสร้างชุดเข้าและถอดรหัส เพื่อควบคุมความผิดพลาดในสภาพแวดล้อมที่มีสัญญาณรบกวน ส่วนนักวิจัยรุ่นบุกเบิกที่ทำงานในแนวนี้ช่วงต้นทศวรรษที่ 1950 ได้ให้ความสนใจอย่างมากกับทฤษฎีทางคณิตศาสตร์ Abstract Algebra และทฤษฎีความน่าจะเป็น (probability theory) เมื่อมาถึงช่วงทศวรรษที่ 1960 ความพยายามส่วนใหญ่จะเล็งผลไปยังการหาโครงสร้างเพื่อจัดลำดับขั้นของรหัสที่ดี ให้มีความน่าจะเป็นของความผิดพลาดน้อย ๆ โดยมีกระบวนการสร้างขนาดเล็ก จนมาถึงยุค 1970 งานวิจัยด้านนี้เริ่มที่จะเน้นการออกแบบชุดรหัสขนาดใหญ่ และมีคุณสมบัติที่ดีขึ้นมากกว่า และต่อมาถึงช่วงปี 1980 จึงได้เน้นเปลี่ยนแปลงจากทฤษฎีทั้งหลายที่มีขอบเขตการทดสอบจำกัด มาสู่ภาคการประยุกต์ใช้งาน

สำหรับหลักการพื้นฐานของการสื่อสารข้อมูลดิจิทัลโดยทั่วไปที่สามารถอธิบายได้ดังรูปที่ 3.1 และสามารถใช้อ้างอิงถึงการทำงานของการทำงานของแก้ไขความผิดพลาดได้ มีรายละเอียดดังนี้

ส่วนของแหล่งกำเนิดข่าวสาร (Information Source) จะเป็นส่วนที่สร้างชุดข้อมูลข่าวสารต้นฉบับ (Information Sequence ;  $d$ ) แล้วส่งไปจัดรูปแบบเพื่อรอการเข้ารหัส ข่าวสารดังกล่าวอาจเป็นข้อมูลดิจิทัลที่จัดเก็บหรือสร้างขึ้นตามแต่ชนิดของเทอร์มินอล(Data Terminal Equipment) หรือข้อมูลที่ได้มาจากการแปลงจากสัญญาณแอนะล็อก (Analog-to-Digital) หลังจากผ่านการเข้ารหัสที่ส่วนการเข้ารหัสช่องสัญญาณ(Channel Encoder)แล้ว ชุดข่าวสาร  $d$  จะถูกแปลงเป็นชุดรหัสฐานสอง(binary code sequence)  $c$  ซึ่งเรียกว่า ชุดรหัส (Code Word) อันประกอบไปด้วย ชุดข่าวสารรวมอยู่กับส่วนที่เรียกว่า รีดันแดนซี (Redundancy) หรือส่วนพ่วงท้าย ซึ่งส่วนนี้ก็คือ ชุดพริตตี้ที่ใช้ตรวจสอบนั่นเอง ชุดรหัสที่ได้นี้ยังไม่เหมาะสมที่จะส่งออกไปยังช่องสัญญาณ จึงต้องนำไปผ่านส่วนของการแปลงรูปสัญญาณ (Waveform) ที่ภาคมอดูเลเตอร์ (Modulator) ตัวอย่างการแปลงสัญญาณของภาคนี้ในระบบการสื่อสารต่างๆ มีดังเช่น Phase Shift Keying (PSK) หรือ Frequency Shift Keying (FSK) เป็นต้น ทั้งนี้การเลือกใช้วิธีใด ๆ ขึ้นอยู่กับความเหมาะสมของช่องสัญญาณนั้น ๆ ส่วนทางภาครับจะมีส่วนต่าง ๆ ที่ทำงานสอดคล้องกับภาคส่งแบบในทางกลับกันคือ ชุดรหัสที่ถูกส่งผ่านมาถึงภาครับแล้วจะถูกนำไปแปลงรูปสัญญาณกลับคืนที่ภาคดีมอดูเลเตอร์ (Demodulator) ซึ่งจะทำได้ข้อมูลชุดรับ (Received word)  $r$  ข้อมูลชุดนี้อาจประกอบไปด้วยชุดรหัส  $c$  ซึ่งรวมเอาชุดความผิดพลาด (Error Sequence)  $e$  ที่แทรกเข้ามาระหว่างการรับส่ง จึงต้องเป็นหน้าที่ของภาคถอดรหัสช่องสัญญาณ (Channel Decoder) ที่ต้องทำการตรวจสอบ และทำการแก้ไขความผิดพลาดต่อไป เพื่อให้ได้มาซึ่งชุดข่าวสาร  $d$  ที่เหมือนกับทางต้นฉบับ แล้วจึงส่งต่อไปยังผู้รับปลายทาง (User) หรือจัดเก็บต่อไปตามแต่กรณี อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title		KMITL
DIGITAL COMMUNICATION DIAGRAM		
Size	Document Number	REV
A		
Date:	November 5, 1993	Sheet of

รูปที่ 3.1 แสดงโอดีและมกรมการสื่อสารเชิงดิจิตอลที่มีการใช้รหัสแก้ไขความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าในรูปแบบใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการแก้ไขความผิดพลาดของการสื่อสารข้อมูลดังกล่าวที่อาจมีสัญญาณรบกวน(Noise) จากสาเหตุต่างๆ แทรกเข้ากันกับสัญญาณข้อมูลจริง และอาจทำให้ข้อมูลเกิดความผิดพลาดขึ้น ทั้งนี้เนื่องจาก อุปกรณ์สื่อสารไม่สามารถแยกสัญญาณรบกวนเหล่านี้ออกจากสัญญาณจริงได้ จึงต้องมีวิธีการแก้ไขหรือลดความผิดพลาดเหล่านี้ลงด้วยปฏิบัติการที่สัมพันธ์กันดังนี้ คือ

### การตรวจจับความผิดพลาด (Error Detection)

วิธีการตรวจจับความผิดพลาดของข้อมูล เป็นปฏิบัติการที่ทำให้ทราบว่ามีข้อมูลที่รับมานั้นมีความผิดพลาดเกิดขึ้นหรือไม่ โดยที่วิธีการตรวจจับแบบอัตโนมัติซึ่งมีหลักการการเพิ่มข่าวสารบางอย่างรวมไปกับข้อมูลที่เรียกว่าการใช้รีดันแดนซี เช่น การใช้พาริตีแบบต่าง ๆ หรือ การใช้วัฏจักรข่าวสาร (Cyclic Redundancy Check: CRC) ซึ่งเป็นวิธีที่ถูกนำมาใช้กันมาก

### การแก้ไขความผิดพลาด (Error Correction)

ข้อมูลที่ถูกตรวจจับได้ว่าเกิดความผิดพลาดขึ้น จะต้องถูกแก้ไขให้ถูกต้องหรือลดความผิดพลาดเหล่านี้ให้เหลือน้อยที่สุด การแก้ไขนี้มีสองหลักการคือ

#### 1) การส่งซ้ำ (Retransmission)

หลักการแก้ไขที่ง่ายและให้ประสิทธิภาพสูงสุดด้านความถูกต้องคือ การส่งชุดหรือส่วนของข้อมูล (Block of Data) ที่ผิดพลาดมาใหม่จากต้นทาง โดยที่ต้นทางและปลายทางจะถูกกำหนดให้มีรูปแบบการสื่อสารหรือ โพรโทคอล (Protocol) แบบเดียวกัน และโพรโทคอลนี้เองที่เป็นตัวกำหนดให้ปลายทางบอกต้นทางส่งข้อมูลใหม่โดยอัตโนมัติ (Automatic Repeat reQuest; ARQ) เมื่อตรวจพบว่าเกิดความผิดพลาดขึ้น โพรโทคอลที่กล่าวถึงนี้มีรูปแบบและประสิทธิภาพในการใช้งานต่างกันออกไป และมีใช้งานมากมาย ดังเช่น โพรโทคอลของการสื่อสารผ่านโมเด็ม Xmodem Zmodem หรือ MNP เป็นต้น

#### 2) การแก้ไขทางตรง (Forward Error Correction ; FEC)

หลักการแก้ไขทางตรงเป็นวิธีที่นำเอาข่าวสารหรือรีดันแดนซีมาใช้ เพื่อตรวจสอบความผิดพลาดรวมทั้งใช้แก้ไขความผิดพลาดด้วย ข้อมูลและข่าวสารในวิธีนี้จะอยู่ในรูปของการเข้ารหัส (Coding) ซึ่งมีกระทำอยู่หลายวิธี เช่น การเข้ารหัสแฮมมิง (Hamming Code), รหัสชวาลเกอเลอร์ (Hargelbarger Code), รหัส Bose-Chaudhuri, รหัสคอนโวลูชัน (Convolution Code) เป็นต้น เมื่อรหัสเหล่านี้ถูกส่งไปถึงทางด้านรับหรือปลายทาง จะถูกนำมาถอดรหัสโดยวิธีที่

สอดคล้องกับการเข้ารหัส เพื่อทำการตรวจสอบและแก้ไขความผิดพลาดที่อาจเกิดขึ้นแล้วจึงแปลงกลับเป็นข้อมูลดั้งเดิม

ในการสื่อสารบางรูปแบบอาจมีการประยุกต์เอาการแก้ไขทั้งสองหลักการมารวมกัน นั่นคือ การแก้ไขด้วยการส่งซ้ำ (ARQ) ที่เหมาะสมสำหรับข้อมูลความเร็วสูง อาจนำมาใช้ร่วมกับการแก้ไขทางตรง (FEC) โดยเรียกว่า การแก้ไขแบบไฮบริด (Hybrid) ARQ ซึ่งสามารถใช้กับข้อมูลที่มีความเร็วต่ำลงได้ ในการแก้ไข FEC จะทำการในขั้นตอนแรก ส่วนที่เกินขอบเขตความสามารถที่จะแก้ไขให้ถูกต้องได้ก็จะเป็นหน้าที่ของ ARQ ที่จะจัดการต่อไป

ประโยชน์ของการนำเอารหัสสำหรับการแก้ไขความผิดพลาดของข้อมูลไปใช้นั้นได้มีการนำไปประยุกต์กับระบบสื่อสารต่าง ๆ มากมาย เช่น รหัสกลุ่ม (Block code) แบบต่างๆ ถูกนำไปใช้งานกับการควบคุมความผิดพลาดในระบบจัดเก็บข้อมูลของคอมพิวเตอร์ของแถบและแผ่นแม่เหล็ก , รหัสคอนวูลูชันถูกนำไปใช้กว้างขวางในการสื่อสารทั้งทางภาคพื้นดิน ดาวเทียมและอวกาศ เช่นการส่งข้อมูลภาพจากยานอวกาศวอยเอเจอร์ (Voyager Space) ที่เดินทางไปสำรวจ ดาวอังคารและดาวเสาร์ มีการใช้รหัสที่เงื่อนไข (2,1,6) โดยทำการถอดรหัสด้วยวิธี Viterbi Decoding ส่วนในการสื่อสารทางโมเด็มมีการนำรหัสคอนวูลูชันที่มีชื่อเฉพาะว่า Trellis code ไปใช้ โดยรวมอยู่กับการมอดูเลตแบบ Quadrature Amplitude Modulation(QAM)ของมาตรฐาน CCITT V.32 อีกทั้งยังมีใช้ในระบบสื่อสารดาวเทียม ยานอวกาศอื่น ๆ อีกมากเช่น ดาวเทียม INTELSAT ยานอวกาศไพโอเนียร์ 9 (Pioneer 9) เป็นต้น

ปัจจุบันเทคโนโลยีทางด้านวงจรรวม (Integrated Circuits) ได้มีส่วนพัฒนาให้เทคโนโลยีทางการสื่อสารความเร็วสูงมีประสิทธิภาพสูงขึ้นด้วยการประยุกต์เอารหัสควบคุมความผิดพลาดที่ทำงานได้ถูกต้องและรวดเร็วมาใช้งาน และรหัสต่าง ๆ เหล่านี้ก็ได้เข้าไปมีบทบาทในงานด้านอื่นๆ อีกมากเช่น [3] ระบบการแปลงช่องสัญญาณทางเวลา (Time-Division Multiplex), โครงข่ายสวิทชิงแบบแพคเกจ (Packet -Switching Network), ระบบการจัดการสัญญาณเรดาร์แบบดิจิทัล (Digital Radar-Signal Processing System) และอื่น ๆ อีกมาก ซึ่งจะเห็นได้ว่าการเข้ารหัสเพื่อแก้ไขความผิดพลาดของข้อมูลเป็นสาขาวิชาที่มีความสำคัญเป็นอย่างมากที่จะทำการเชื่อมต่อสื่อสารใด ๆ มีความน่าเชื่อถือได้ ท่ามกลางสัญญาณรบกวน ความผิดเพี้ยน และการสอดแทรกใด ๆ อันไม่พึงประสงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ทฤษฎีรหัส

ในหัวข้อนี้จะกล่าวถึงทฤษฎีและลักษณะการทำงานของรหัสต่าง ๆ ที่เป็นพื้นฐานของการตรวจสอบและแก้ไขความผิดพลาด ซึ่งมีความสัมพันธ์กับรหัสคอนวูลูชันที่จะนำมาใช้ โดยเป็นหลักการเบื้องต้น และแนวทางของวิวัฒนาการการเข้ารหัสตามลำดับ

- รหัสพาริตี (Parity) เป็นรหัสแรกที่จะกล่าวถึง เนื่องจากเป็นที่รู้จักกันทั่วไปในระบบคอมพิวเตอร์สื่อสารเพื่อการตรวจสอบข้อมูลครั้งละอักขระ (character) หรือทีละไบนารี (Byte) รหัสนี้มีกระบวนการเพิ่มส่วนที่เป็นพาริตีต่อท้ายอักขระข้อมูลอยู่สองแบบ นั่นคือ พาริตีคู่ (Even parity) และพาริตีคี่ (Odd parity) โดยการนับจำนวนบิตที่เป็น "1" ว่ามีจำนวนเป็นคู่หรือคี่ ในการใช้งานจะกำหนดว่าต้องการให้ข้อมูลมีพาริตีชนิดใด แล้วทำการตรวจสอบเพิ่มบิตพาริตี "0" หรือ "1" ตามแต่กรณีเพื่อให้อักขระนั้นมีพาริตีเป็นไปตามที่ต้องการ ดังตัวอย่าง

กำหนดอักขระข้อมูลทั้ง 8 บิต เป็น 1 1 0 1 0 0 1 0 + "บิตพาริตี"

ถ้าต้องการให้อักขระ เป็นพาริตีคู่จะได้ชุดข้อมูลเป็น

1 1 0 1 0 0 1 0 "0"

แต่ถ้าต้องการให้อักขระ เป็นพาริตีคี่จะได้เป็น

1 1 0 1 0 0 1 0 "1"

ในการตรวจสอบการรับส่งเพื่อหาความผิดพลาด จะทำการตรวจสอบชุดข้อมูลว่ามีพาริตีตรงตามที่กำหนดไว้หรือไม่ ก็จะทำให้สามารถบ่งบอกถึงความผิดพลาดได้ แต่ทว่าวิธีนี้ยังมีประสิทธิภาพการตรวจสอบที่ต่ำมากนั่นคือ ชุดข้อมูลที่มีผิดพลาดเป็นจำนวนคู่จะไม่สามารถตรวจสอบได้ว่าเกิดความผิดพลาดขึ้น จึงได้มีการพัฒนาการตรวจสอบพาริตีให้มีประสิทธิภาพสูงขึ้น โดยให้มีการตรวจสอบพาริตีของข้อมูลหลาย ๆ อักขระรวมกัน ทั้งในแนวตั้งและแนวนอน แต่ก็ยังเป็นวิธีที่มีความสามารถจำกัดในการใช้งานอยู่ และอาจทำงานผิดพลาดได้ในกรณีที่เกิดความผิดพลาดซ้ำซ้อน

- รหัสลิเนียร์บล็อก (Linear Block Codes) เป็นรหัสที่ได้รับการพัฒนาเพื่อใช้ตรวจสอบพาริตีชนิดหนึ่ง ที่กระทำการเข้ารหัสข่าวสารเป็นบล็อกหรือเป็นชุด ๆ แล้วจึงทำการจัดส่งออกไป รหัสนี้มีประสิทธิภาพที่จะตรวจสอบความผิดพลาด และบ่งบอกตำแหน่งของบิตข้อมูลผิดพลาดได้ตามแต่เงื่อนไขของการเข้ารหัส

หลักการของรหัสที่ซึ่งจะใช้เป็นพื้นฐานของรหัสคอนวอลูชันที่จะกล่าวถึงต่อไป จะเริ่มจัดชุดข่าวสารขนาด  $k$  บิตต่อบล็อก เพื่อทำการเข้ารหัส ซึ่งจะได้ส่วนต่อท้ายที่เรียกว่ารีดันแดนซ์ออกมาขนาด  $n-k$  บิตโดยที่  $n$  คือจำนวนบิตของชุดรหัส (code word) ซึ่งรูปแบบทั่วไปของสมการเข้ารหัส  $(n, k)$  แบบนี้คือ

$$C = D G \quad (3.1)$$

โดยที่  $C$  คือชุดรหัส,  $D$  คือข่าวสาร และ  $G$  คือเมตริกซ์ของตัวกระทำ (Generator Matrix) ที่ถูกกำหนดมาใช้สำหรับสร้างชุดรหัสในเงื่อนไขต่าง ๆ กัน สำหรับข้อกำหนดของสมการนี้มีอยู่ว่าจำนวนบิต หรือจำนวนคอลัมน์ใน  $D$  จะต้องเท่ากับจำนวนแถวของเมตริกซ์  $G$  จึงจะสามารถทำการคูณเมตริกซ์กันได้ ดังตัวอย่างต่อไปนี้ ซึ่งจะกล่าวอย่างต่อเนื่องไปถึงการถอดรหัสด้วย

กำหนดสมการเข้ารหัส

$$C = [D] \begin{bmatrix} 100 & 011 \\ 010 & 101 \\ 001 & 110 \end{bmatrix} \quad (3.2)$$

ดังนั้นข่าวสารจะมีขนาด 3 บิตต่อหนึ่งบล็อก ซึ่งจะได้ค่าของข่าวสารและชุดรหัสที่สัมพันธ์ดังตารางที่ 3.1

จากตาราง จะเห็นว่าชุดรหัส จะมีส่วนของข่าวสารประกอบอยู่ใน 3 บิตแรก ดังนั้นรหัสลิเนียร์บล็อกแบบนี้จึงเป็นรหัสที่เรียกว่า Systematic code ซึ่งมีหลักการอยู่ว่า ชุดรหัสจะประกอบด้วยชุดข่าวสารตามด้วยส่วนของพาริตีที่แยกจากกันชัดเจน

เมื่อย้อนกลับไปพิจารณาถึงเมตริกซ์  $G$  ซึ่งเป็นตัวสำคัญต่อผลของรหัสที่จะได้ สามารถพิจารณาองค์ประกอบได้เป็น

$$G = \begin{bmatrix} I_k & P_{k \times (n-k)} \end{bmatrix}_{k \times n} \quad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 แสดงค่าข่าวสารและชุดรหัสของรหัสลิเนียร์บล็อก (6,3)

บิตข่าวสาร	ชุดรหัส	
000	000	000
001	001	110
010	010	101
011	011	011
100	100	011
101	101	101
110	110	110
111	111	000

พิจารณาคูควบคู่กับเมตริกซ์  $G$  ที่กำหนดไว้ในสมการที่ 3.2 จะเห็นว่า  $I_k$  เป็น Identity matrix และ  $P_k$  เป็นเมตริกซ์ใด ๆ ที่มีขนาด  $k \times (n-k)$  ซึ่งเมตริกซ์  $P_k$  นี้เองเป็นตัวกำหนดคุณสมบัติที่ต้องการของรหัส เช่น ทำให้รหัสมีประสิทธิภาพเพียงใดในการตรวจสอบหาความผิดพลาด ดังนั้นในการที่จะสร้างชุดรหัสลิเนียร์บล็อกขึ้นมาใช้งานจะต้องกำหนดเมตริกซ์  $G$  ให้เหมาะสมกันทั้งภาคส่ง และภาครับที่จะทำการถอดรหัสในลักษณะสอดคล้องกันดังนี้

กำหนดให้  $H$  คือเมตริกซ์ที่ใช้ตรวจสอบพาริตี (parity check matrix) โดยที่

$$H = [P^T : I_{n-k}]_{(n-k) \times n} \quad (3.4)$$

$P^T$  เป็นทรานสโพสเมตริกซ์ (Transpose matrix) ของ  $P_k$  ส่วน  $I_{n-k}$  เป็นเมตริกซ์ Identity

สำหรับการตรวจสอบความผิดพลาดจะกระทำได้โดย นำเอาชุดรหัสที่ภาครับรับได้ ( $r$ ) มาคูณกับทรานสโพสเมตริกซ์ของ  $H$  ถ้าชุดรหัสที่รับมามีความถูกต้องแล้ว ( $r = c$ ) จะได้ผลเป็นศูนย์

$$r \times H^T = 0 \quad (3.5)$$

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ถ้ามีความผิดพลาดเกิดขึ้นในชุดรหัสที่รับมา ( $r = c + e$  ;  $e$  คือ ความผิดพลาด) ผลก็จะได้เป็นกรณีอื่น และผลที่ได้นี้จะใช้เป็นตัวแทนของความผิดพลาด วิธีการนี้เรียกเฉพาะว่าการหาค่าความผิดพลาดซินโดรม (Syndrome ;  $S$ ) โดยกำหนดให้

$$S = rH^T \quad (3.6)$$

เมื่อมีความผิดพลาดรวมอยู่ด้วยจะได้ว่า

$$S = (c + e)H^T = cH^T + eH^T \quad (3.7)$$

โดย  $cH^T$  จะเท่ากับศูนย์ตามหลักการ ดังนั้น ค่าซินโดรมที่ใช้ตรวจสอบตำแหน่งของความผิดพลาดจะได้จากสมการ

$$S = eH^T \quad (3.8)$$

ผลของ  $S$  ที่ได้เมื่อเปรียบเทียบกับอันดับแถวที่เท่ากันของเมตริกซ์  $H^T$  ก็จะสามารถบอกได้ว่าชุดรหัสที่รับมา  $r$  มีบิตที่ผิดพลาดตรงกับอันดับแถวไหน แต่ทั้งนี้รหัสลิเนียร์บล็อกนี้ยังมีข้อจำกัดที่ไม่สามารถตรวจสอบ หรือบอกตำแหน่งผิดพลาดได้ทุกกรณีถ้ามีความผิดพลาดเกิดขึ้นเป็นจำนวนมากเกินขอบเขต

ในหัวข้อของรหัสลิเนียร์บล็อกนี้ได้นำเสนอเพียงหลักการที่จะนำไปอ้างอิงในส่วนของรหัสคอนวอลูชันเท่านั้น ส่วนรายละเอียดและตัวอย่างสามารถอ้างอิงได้ตามเอกสารอ้างอิงที่ [4]

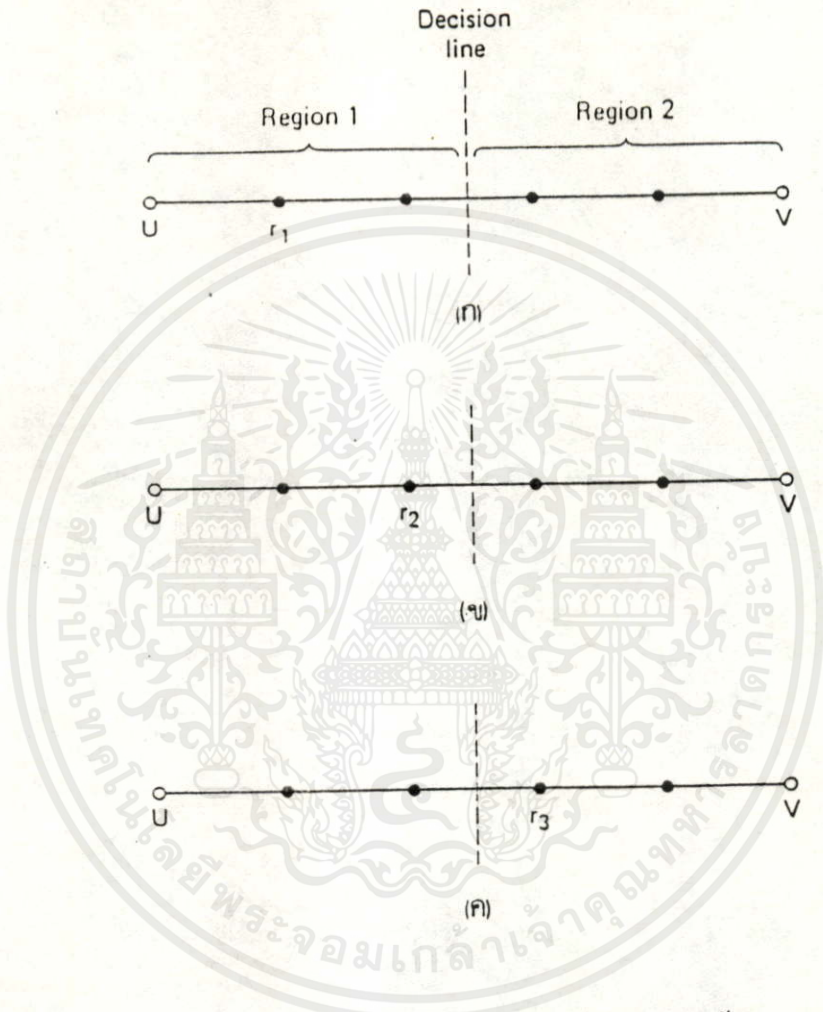
- ความสามารถในการตรวจสอบและแก้ไขความผิดพลาด จะเป็นตัวบ่งบอกถึงประสิทธิภาพของรหัสนั้น ๆ การวัดความสามารถดังกล่าวจะต้องใช้สิ่งต่อไปนี้เป็นตัวชี้หรือบ่งบอก นั่นคือ

น้ำหนักแฮมมิง (Hamming weight) คือจำนวนบิตของหนึ่งชุดรหัสที่ไม่เป็นศูนย์

ระยะทางแฮมมิง (Hamming distance) คือจำนวนบิตที่เป็นผลต่างของรหัสสองชุดใด ๆ

ระยะทางที่น้อยที่สุด (Minimum Distance)  $d_{min}$  คือ ค่าระยะแฮมมิงที่น้อยที่สุดระหว่างคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ใดเห็นว่าเป็นประโยชน์ในการค้าค่าทั้งสามนี้จะถูกอ้างอิงถึงเสมอในการใช้บ่งบอกความสามารถของรหัสต่าง ๆ โดยมีหลักการดังนี้



รูปที่ 3.2 โค้ดแกรมอธิบายความสามารถในการตรวจสอบและแก้ไขความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 กำหนดให้  $U$  และ  $V$  คือ เวกเตอร์บ่งบอกความเป็นรหัสใด ๆ ซึ่งมีจุดค่าแสดงถึงค่าจำนวนระยะแชนมิ่งในขอบเขต 1 และ 2 ในรูปที่ 3.2(ก) สมมติให้  $r_1$  คือ เวกเตอร์ของชุดรหัสที่ภาครับจะนำมาทำการถอดรหัส จะเห็นว่า  $r_1$  จะมีระยะแชนมิ่งห่างจาก  $U$  เพียง 1 แต่ห่างจาก  $V$  ถึง 4 ดังนั้นในการเลือกความเป็นไปได้มากที่สุดที่จะแปลง  $r_1$  ให้กลับเป็นข้อมูลก็จะเลือกไปทางเวกเตอร์  $U$  ที่มีค่าระยะแชนมิ่งน้อยกว่า และมีโอกาสผิดพลาดน้อยกว่าเลือกเวกเตอร์  $V$  ในรูปที่ 3.2(ข) ก็เช่นเดียวกัน ส่วนรูปที่ 3.2(ค) จะมีค่ากลับกัน จะเห็นได้ว่าการตัดสินใจเพื่อที่จะเลือกการตรวจจับและการแก้ไขนั้นจะอ้างถึง  $d_{min}$  ระหว่างเวกเตอร์รหัส ซึ่งในรูปถ้าเปรียบจุดใด ๆ เป็นความผิดพลาด 1 หน่วย ดังนั้น  $d_{min}$  ระหว่าง  $U$  กับ  $V$  จะได้เป็น  $d_{min} = 5$  ซึ่งจะสามารถแก้ไขความผิดพลาดได้ 2 หน่วยในขอบเขตที่ 1 และ 2 ดังนั้นความสามารถในการแก้ไขความผิดพลาด(Error-Correcting Capability,  $t$ ) จะถูกกำหนดให้รับประกันได้ว่าสามารถที่จะแก้ไขต่อชุดรหัสได้สูงสุดตามความสัมพันธ์

$$t \leq \frac{d_{min} - 1}{2} \quad (3.9)$$

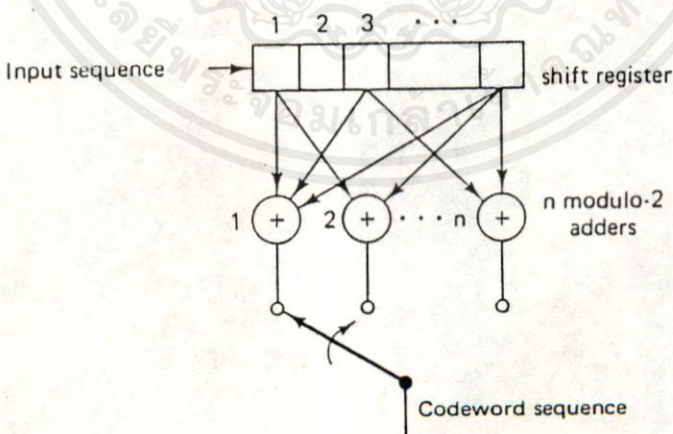
สมการที่ 3.9 [5] นี้จะถูกนำไปใช้กับรหัสคอนโวลูชันที่จะกล่าวถึงต่อไปด้วย

- รหัสวัฏจักร (Cyclic Redundancy Checks ; CRC) เป็นรหัสตรวจสอบความผิดพลาดชนิดหนึ่งที่มีใช้กันมากในระบบการสื่อสาร ซึ่งมีรูปแบบการใช้งานหลายชนิด เช่น CRC-12, CRC-16 และ CRC-CCITT รหัสนี้มีประสิทธิภาพในการตรวจจับความผิดพลาดสูงใช้ควบคู่กับการแก้ไขความผิดพลาดแบบการส่งซ้ำ (Retransmission) รหัสนี้เป็นที่รู้จักกันดีในฐานะที่มีใช้ในโปรโตคอลของการสื่อสารทั่ว ๆ ไป ซึ่งสามารถสร้างขึ้นใช้งานได้ง่ายทั้งรูปแบบทางฮาร์ดแวร์ และซอฟต์แวร์ รายละเอียดของรหัสมีโครงสร้างที่ต่างออกไปจากรหัสลิเนียร์บล็อกและไม่ได้เป็นพื้นฐานของรหัสคอนโวลูชัน จึงไม่กล่าวถึงในขั้นตอนการทำงานและการสร้าง ส่วนการใช้งานนั้นอาจมีการประยุกต์ใช้ร่วมกับรหัสคอนโวลูชันในลักษณะลูกผสม (Hybrid)

- รหัสคอนโวลูชัน (Convolution Code) ได้ถูกนำเสนอครั้งแรกโดย อีเลียส (Elias) ในปี 1955 โดยเป็นรหัสที่แตกต่างจากรหัสแบบบล็อก (Block Code) ที่มีมาก่อนหน้านั้น ส่วนหลักคือ รหัสคอนโวลูชันจะมีการใช้หน่วยความจำเพื่อจัดเก็บหรือหน่วง(Delay)ข้อมูลรวมอยู่ด้วย

รหัสนี้จะมีย่อประกอบของการสร้างคือ ข้อมูลอินพุตขนาด  $k$  บิต ที่จะได้รับรหัสเอาท์พุทออกมา  $n$  บิต โดยการใช้หน่วยความจำหรือชิฟต์รีจิสเตอร์ (Shift Register) ขนาด  $m$  หน่วย และมีส่วนที่ใช้ในการสร้างความสัมพันธ์ของรหัสคือ ตัวบวกโมดูล 2 (Modulo 2 Adder) รหัสนี้จะมีความสัมพันธ์กับชื่อรหัส (Convolution) โดยที่ทางด้านเอาท์พุทของรหัสที่ได้จะย้อนหรือวนกลับมารวมกับบิตข้อมูลข่าวสารที่อยู่ในหน่วยความจำอย่างต่อเนื่อง จึงทำให้รหัสที่ได้มีความสัมพันธ์กันในตัวของตัวเองของทุก ๆ ส่วนรหัส กระบวนการของการใช้รหัสนี้จะเหมือนกับการอิมเมจ (Image) เอาข้อมูลบางส่วนที่ได้เกิดการผิดพลาดหรือสูญหายไปกลับคืนมาใหม่ โดยการนำเอาประโยชน์จากความสัมพันธ์ของรหัสในส่วนอื่น ๆ ที่เหลือมาใช้นั่นเอง

จากหลักการสามารถอธิบายการเข้ารหัสอย่างง่ายได้ดังรูปที่ 3.3 โดยที่ข้อมูลจะถูกเลื่อนเข้าไปในรีจิสเตอร์อย่างต่อเนื่อง ซึ่งจะทำให้ได้ค่าออกมาทางเอาท์พุทจากการรวมค่าแบบโมดูล 2 จากค่าในรีจิสเตอร์เหล่านี้ ทั้งนี้อัตราการเข้ารหัส  $k : n$  จะเป็นตัวกำหนดจำนวนขนาดบิตอินพุท และจำนวนตัวบวกโมดูล 2 ส่วนการเลือกค่าจากตำแหน่งใด ๆ ในรีจิสเตอร์ และความยาวของรีจิสเตอร์หรือหน่วยความจำนี้จะมีวิธีการเฉพาะซึ่งจะกล่าวถึงต่อไปในหัวข้อการเข้ารหัส สำหรับการดำเนินงานของตัวบวกโมดูล 2 จะคล้ายกับการทำงานของเกตแบบเอกซคลูซีฟออ (Exclusive OR Gate) นั่นคือ  $0 + 0 = 0$ ,  $0 + 1 = 1$  หรือ  $1 + 0 = 1$  และ  $1 + 1 = 0$  ทั้งนี้จะไม่จำกัดจำนวนอินพุท ซึ่งในการใช้งานจริงจำนวนอินพุทจะขึ้นกับวิธีการการเข้ารหัสเฉพาะดังกล่าวเช่นกัน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3 ไดอะแกรมแสดงการเข้ารหัสคอนโวลูชันพื้นฐาน

สำหรับการถอดรหัสคอนโวลูชันจะเป็นขั้นตอนที่ซับซ้อนมากกว่าการเข้ารหัสโดยจะอาศัยความสัมพันธ์ของรหัสที่ได้กล่าวมา ส่วนวิธีการเฝ้าโดยหลักการใหญ่ ๆ จะมีอยู่ 3 วิธีคือ

1) Sequential Decoding ที่เริ่มต้นการค้นคิดโดย Wozencraft ในปี 1961 ซึ่งตามหลักการนี้ได้มีการวิจัยและพัฒนาต่อมาเกิดเป็นอัลกอริธึมใหม่ ๆ เช่น Fano Algorithm และ Stack หรือ ZJ Algorithm ข้อเสียของวิธีการนี้คือ จะใช้เวลานาน และกระบวนการการทำงานมีความซับซ้อน

2) Threshold หรือ Majority-Logic Decoding วิธีนี้ได้รับการเริ่มต้นโดย Massey ในปี 1963 อัลกอริธึมของวิธีนี้จะมีประสิทธิภาพที่ไม่สูงนักแต่จะมีความซับซ้อนน้อย

3) Viterbi Decoding ค้นคิดโดย Viterbi ในปี 1967 วิธีนี้ได้รับการพิสูจน์ว่าเป็นวิธีการที่ใช้อัลกอริธึมแบบความน่าจะเป็นสูงสุด (Maximum-Likelihood) ได้ดีที่สุด และเป็นวิธีที่ได้รับการใช้งานอย่างกว้างขวาง วิธีการถอดรหัสนี้เหมาะสำหรับการใช้งานรหัสคอนโวลูชันที่มีขนาดหน่วยความจำน้อย และกระบวนการการถอดรหัสจะซับซ้อนมาก รวมทั้งต้องใช้หน่วยความจำขนาดใหญ่เพื่อการถอดรหัส

ในส่วนของงานวิจัยนี้ได้เลือกนำเอาวิธี Threshold Decoding มาใช้งานเนื่องจากสามารถจัดสร้างเป็นรูปแบบทางฮาร์ดแวร์ได้ง่ายมีความซับซ้อนน้อยประกอบด้วยข้อจำกัดทางข้อมูลและอุปกรณ์ที่จะใช้ควบคู่กับการเข้ารหัสมีความเหมาะสม สำหรับขั้นตอนและประสิทธิภาพจะมีพื้นฐานจากหลักการการถอดรหัสลิเนียร์บล็อกที่อาศัยการตรวจหาซินโดรมเช่นเดียวกัน โดยจะกล่าวถึงรายละเอียดในหัวข้อการถอดรหัสด้วยวิธีเทอร์สโบลต่อไป

จากประโยชน์ของรหัสคอนโวลูชันที่ได้กล่าวมาจะ เห็นได้ว่า เป็นรหัสที่มีบทบาทในการสื่อสารต่าง ๆ มากขึ้นเรื่อย ๆ จึงเป็นมูลเหตุของงานวิจัยชิ้นนี้ได้หยิบยกเอารหัสชนิดนี้มาทำการศึกษาวิจัย โดยในการศึกษาช่วงเริ่มต้นที่ผ่านมา ได้ทำการศึกษาและวิจัยรหัสคอนโวลูชันนี้ในรูปของซอฟต์แวร์ [6][7] ซึ่งมีข้อจำกัดในการใช้งาน โดยได้นำเอาพื้นฐานและประสิทธิภาพจากการศึกษาเฝ้ามาใช้ปรับปรุงเพื่อสร้างชุดใช้งานตามวัตถุประสงค์ที่ได้กล่าวมาแต่ต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การเข้ารหัสข้อมูล

การเข้ารหัสคอนโวลูชันถูกสร้างขึ้นด้วยส่วนที่ประกอบไปด้วย Constraint Length  $n_k$  ซึ่งหมายถึงจำนวนหน่วยความจำหรือชิฟต์รีจิสเตอร์ (shift register) ขนาด  $m$  ต่อชุด รวมถึงตัวบวกโมดูล 2 (Modulo-2 Adder) และ หน่วยมัลติเพลกซ์สำหรับแปลงชุดข้อมูลแบบอนุกรมและขนาน (serial to parallel and parallel to serial multiplexer) เพื่อใช้จัดการนำข้อมูลเข้าและออกจากภาครหัสนี้ ข้อมูลที่จะนำมาเข้ารหัสที่เรียกว่าชุดข่าวสาร (Information Sequence) จะถูกเลื่อนเข้าไปยังรีจิสเตอร์เป็นจำนวน  $k$  บิตต่อครั้ง และทางด้านเอาท์พุทก็จะได้รหัสคอนโวลูชัน อันเป็นผลมาจากชุดข่าวสารและชุดตัวกระทำ (Generator Sequence) อย่างต่อเนื่อง ซึ่งเงื่อนไขของการเข้ารหัสจะแสดงในรูปของ  $(n, k)$  และอัตราการเข้ารหัสจะแสดงในรูปของ  $k:n$  ดังรายละเอียดเบื้องต้นที่ได้กล่าวมาแล้ว สำหรับหัวข้อนี้จะกล่าวถึงหลักการ และขั้นตอนของวิธีที่นำมาใช้โดยละเอียด

ชุดของฟังก์ชันต้องกระทำที่ได้กล่าวถึงในขั้นตอนการเข้ารหัสนี้จะมีความสำคัญในการกำหนดค่าของชุดรหัส โดยชุดของฟังก์ชันตัวกระทำได้ถูกคำนวณหรือกำหนดก่อนนำมาใช้งานด้วยเงื่อนไขที่สอดคล้องกับการถอดรหัส ซึ่งจะกล่าวถึงการออกแบบฟังก์ชันนี้ในบทที่ 4 โดยจะเป็นการกล่าวถึงที่มาและเหตุผลของการสร้างชุดฟังก์ชันตัวกระทำเพื่อใช้งานจริง ในส่วนกรณีของการเข้ารหัสคอนโวลูชัน อัตรา  $k:n$  นั้น จะมีชุดฟังก์ชันตัวกระทำอยู่  $n$  ชุด อธิบายได้โดยสมการ

$$g^{(j)}_i = (g^{(j)}_{i,0}, g^{(j)}_{i,1}, \dots, g^{(j)}_{i,m-1}, g^{(j)}_{i,m}) \quad (3.10)$$

โดยที่ตัวแปลงของทางด้านจำนวนอินพุทคือ  $i = 1, 2, 3, \dots, k$ , และทางเอาท์พุท คือ  $j = 1, 2, 3, \dots, n$  ซึ่งชุดฟังก์ชันตัวกระทำนี้อาจเปรียบได้กับการตอบสนองชั่วคราว (Impulse Response) ของวงจรเข้ารหัสที่มีชุดข่าวสาร (Information Sequence) คือ  $d = (d^{(1)}_0, d^{(1)}_1, d^{(1)}_2, \dots)$  และชุดรหัสที่จะได้คือ  $c^{(j)} = (c^{(j)}_0, c^{(j)}_1, c^{(j)}_2, \dots)$  ดังนั้นสามารถอธิบายการเข้ารหัสให้อยู่ในรูปของสมการได้ดังนี้

$$c = d.G$$

หรือ 
$$c^{(j)} = \sum_{i=1}^k d^{(i)} * g_i^{(j)} \quad ; \quad j = 1, 2, 3, \dots, n \quad (3.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ 3.11 นี้เรียกได้ว่าเป็นสมการการเข้ารหัส ซึ่งอธิบายในรูปของสมการใช้งาน

ได้คือ

$$c_\lambda^{(j)} = \sum_{l=0}^m \left[ \sum_{i=1}^k d_{\lambda-l}^{(i)} g_{i,l}^{(j)} \right] \quad (3.12)$$

โดยที่  $0 \leq l \leq \lambda$  และ  $1 \leq j \leq n$

- รหัสคอนโวลูชันแบบ Systematic

รหัสคอนโวลูชันถูกจัดแบ่งออกเป็นสองชนิดนั้นคือแบบ Systematic และ Nonsystematic convolution code ซึ่งมีลักษณะการจัดการรหัสเดียวกันกับรหัสแบบกลุ่ม นั่นคือรหัสแบบ systematic ชุดรหัสจะมีส่วนของข่าวสารแยกส่วนกับของพาริตี แต่รหัสแบบ nonsystematic ข่าวสารจะผสมรวมอยู่กับส่วนของพาริตีในชุดรหัส และในส่วนของงานวิจัยนี้ได้เลือกแบบ Systematic ซึ่งมีความซับซ้อน และมีส่วนประกอบทางฮาร์ดแวร์น้อยกว่า อีกทั้งยังเหมาะสมกับวิธีการถอดรหัสที่เลือกใช้โดยจะกล่าวถึงต่อไปในหัวข้อของการถอดรหัส

ในการเริ่มต้นศึกษารหัสจะพิจารณาถึงเมตริกซ์ของตัวกระทำ (generator matrix) ที่มีลักษณะ เป็นดังนี้

$$G = \begin{bmatrix} G_0 & G_1 & \dots & G_{n-1} & G_n \\ & G_0 & G_1 & \dots & G_{n-1} & G_n \\ & & G_0 & G_1 & \dots & G_{n-1} & G_n \\ & & & \cdot & & & \cdot \\ & & & & \cdot & & \cdot \\ & & & & & \cdot & \cdot \\ & & & & & & \cdot \\ & & & & & & \cdot \\ & & & & & & \cdot \end{bmatrix} \quad (3.13)$$

โดยที่  $G_\lambda$  เป็นเมตริกซ์ย่อยขนาด  $k \times n$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G_\lambda = \begin{bmatrix} \delta_{1,\lambda} & 0 & \dots & 0 & g_{1,\lambda}^{(k+1)} & g_{1,\lambda}^{(k+2)} & \dots & g_{1,\lambda}^{(n)} \\ 0 & \delta_{2,\lambda} & \dots & 0 & g_{2,\lambda}^{(k+1)} & g_{2,\lambda}^{(k+2)} & \dots & g_{2,\lambda}^{(n)} \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \delta_{k,\lambda} & g_{k,\lambda}^{(k+1)} & g_{k,\lambda}^{(k+2)} & \dots & g_{k,\lambda}^{(n)} \end{bmatrix} \quad (3.14)$$

โดยที่

$$\delta_{i,\lambda} = \begin{cases} 1, \lambda = 0 \\ 0, \lambda \neq 0 \end{cases} \quad 1 \leq i \leq k$$

เมื่อนำค่าของสมการที่ 3.14 ลงในสมการที่ 3.13 แล้ว เมทริกซ์ของฟังก์ชันตัวกระทำ  
ทำแสดงได้เป็น

$$G = \begin{bmatrix} IP_0 & OP_1 & OP_2 & \dots & OP_m \\ & IP_0 & OP_1 & \dots & OP_{m-1} & OP_m \\ & & IP_0 & \dots & OP_{m-2} & OP_{m-1} & OP_m \\ & & & \ddots & & & \\ & & & & & & \ddots & \end{bmatrix} \quad (3.15)$$

โดยที่ I คือ เมทริกซ์แบบ Identity matrix ขนาด  $k \times k$  , 0 คือ เมทริกซ์ all-zero matrix ขนาด  $k \times k$  และ  $P_\lambda$  คือเมทริกซ์  $k \times (n-k)$

เมื่อใช้สมการการเข้ารหัส  $c = d.G$  แล้วจะได้ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(c_0^{(1)} c_0^{(2)} \dots c_0^{(n)}, c_1^{(1)} c_1^{(2)} \dots c_1^{(n)}, \dots) =$$

$$(d_0^{(1)} d_0^{(2)} \dots d_0^{(k)}, d_1^{(1)} d_1^{(2)} \dots d_1^{(k)}, \dots) \begin{bmatrix} IP_0 & OP_1 & \dots & OP_m \\ & IP_0 & OP_1 & \dots & OP_m \\ & & IP_0 & OP_1 & \dots & OP_m \end{bmatrix}$$

ซึ่งสามารถแยกได้ออกเป็นสองส่วนคือ

$$c_\lambda^{(j)} = d_\lambda^{(j)} \quad j=1,2,\dots,k \quad (3.16)$$

$$c_\lambda^{(j)} = \sum_{i=1}^k d_\lambda^{(i)} g_{i,0}^{(j)} + \sum_{i=1}^k d_{\lambda-1}^{(i)} g_{i,1}^{(j)} + \dots + \sum_{i=1}^k d_{\lambda-m}^{(i)} g_{i,m}^{(j)} \quad (3.17)$$

สำหรับค่า  $j$  ที่เท่ากับ  $k+1, k+2, \dots, n$  จะทำให้สมการที่ 3.17 สามารถลดรูปได้เป็น

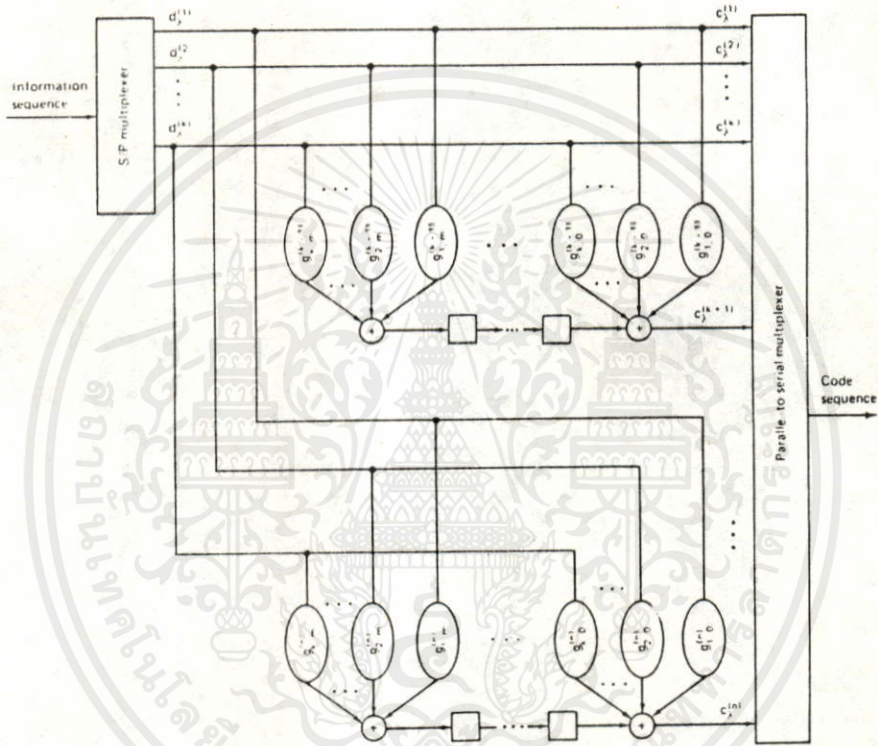
$$c_\lambda^{(j)} = \sum_{\mu=0}^m \sum_{i=1}^k d_{\lambda-\mu}^{(i)} g_{i,\mu}^{(j)} \quad j=k+1, k+2, \dots, n \quad (3.18)$$

หรือ

$$c_\lambda^{(j)} = \sum_{i=1}^k \sum_{\mu=0}^m d_{\lambda-\mu}^{(i)} g_{i,\mu}^{(j)} \quad j=k+1, k+2, \dots, n \quad (3.19)$$

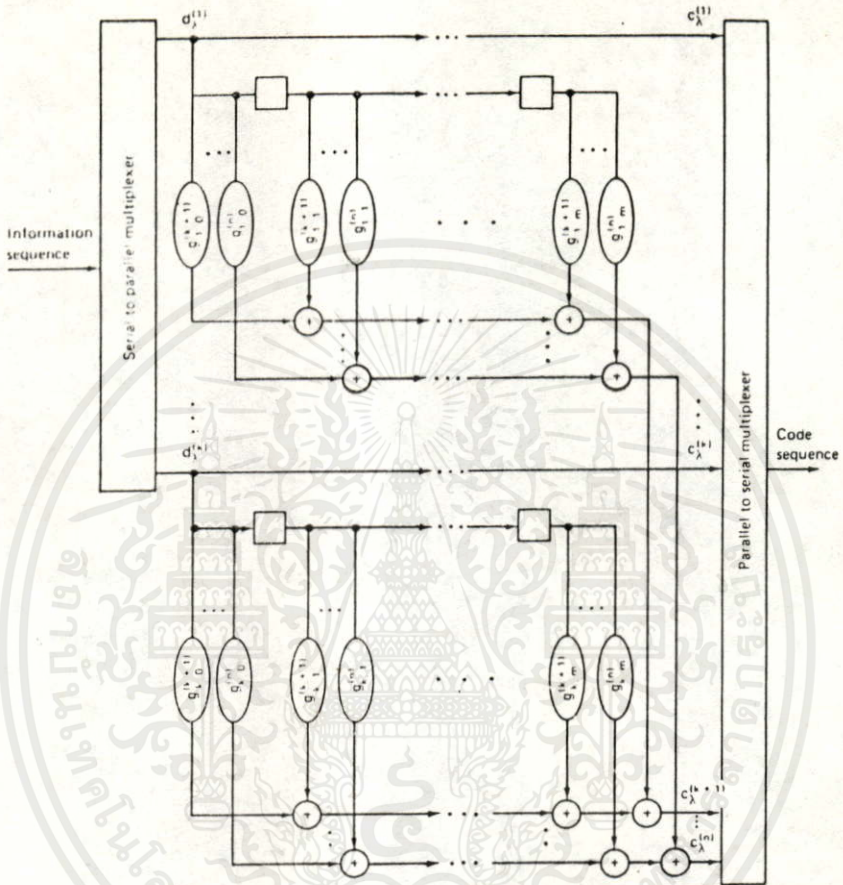
อธิบายสมการดังกล่าวของการเข้ารหัสนี้ได้ว่า สมการที่ 3.16 คือ ส่วนของชุดรหัสที่เป็นข่าวสารต้นฉบับที่ออกมาโดยตรง ส่วนสมการที่ 3.18 หรือ 3.19 จะเป็นส่วนของพาริตีที่ได้จากการเข้ารหัส จะเห็นได้ว่าการเข้ารหัสคอนโวลูชันแบบ systematic  $(n,k)$  สามารถสร้างขึ้นใช้งานได้ง่ายโดยการใช้อุปกรณ์พื้นฐานทางฮาร์ดแวร์ ดังสมการที่ 3.16 และ 3.18 จะได้โคแอดแกรมทางฮาร์ดแวร์ของการเข้ารหัสคอนโวลูชัน ดังรูปที่ 3.4 หรือเมื่อใช้สมการที่ 3.16 และ 3.19 ก็จะได้โคแอดแกรมดังรูปที่ 3.5 สำหรับตัวอย่างของการพิจารณาความสัมพันธ์ของวงจรถูกออกแบบกับหลักการการเข้ารหัสคอนโวลูชันแบบ systematic มีดังนี้

จากรูปที่ 3.6 จะเห็นว่าเป็นการออกแบบการเข้ารหัสที่อัตรา 1:2 ขนาดหน่วยความจำ  $m$  เท่ากับ 2 โดยมีชุดฟังก์ชันตัวกระทำ  $g_1^{(1)} = (100)$  และ  $g_1^{(2)} = (111)$  ให้นำชุดข่าวสาร  $d = (10101)$  ดังนั้นเมื่อทำการเข้ารหัสแล้วจะได้สมการการเข้ารหัสที่ให้ค่าชุดรหัสออกมาคือ



รูปที่ 3.4 ไตอะแกรมทางซาร์ตแวร์แสดงการเข้ารหัสคอนโวลูชันแบบ Systematic แบบที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



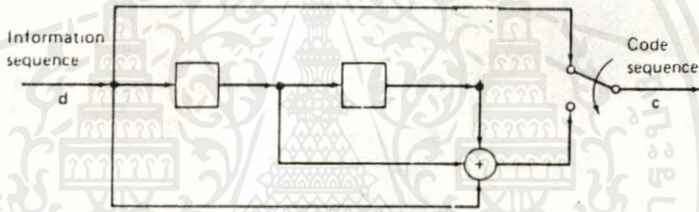
รูปที่ 3.5 โค้ดแอมทางฮาร์ดแวร์แสดงการเข้ารหัสคอนโวลูชันแบบ Systematic แบบที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$c = d.G$$

$$= (10101) \begin{bmatrix} 11 & 01 & 01 \\ & 11 & 01 & 01 \\ & & 11 & 01 & 01 \\ & & & 11 & 01 & 01 \\ & & & & 11 & 01 & 01 \end{bmatrix}$$

$$= 11, 01, 10, 01, 10, 01, 01$$



รูปที่ 3.6 แสดงตัวอย่างของการเข้ารหัสคอนโวลูชันแบบ Systematic เงื่อนไข (2,1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## การถอดรหัสด้วยวิธี เทรสโฮล (Threshold Decoding)

การถอดรหัสด้วยวิธี เทรสโฮลมีชื่อเรียกอีกอย่างหนึ่งตามลักษณะการทำงานว่า majority-Logic Decoding ซึ่งหมายถึงวิธีการถอดรหัสที่พิจารณาเสียง "ส่วนใหญ่" ในการตัดสินใจแก้ไขความผิดพลาด โดยทำงานร่วมกับหน่วยที่ทำหน้าที่เปรียบเทียบเพื่อตัดสินใจ ที่เรียกว่า เทรสโฮลเกต (Threshold gate) หรือ majority gate การถอดรหัสวิธีนี้มีพื้นฐานการทำงานบนหลักการการถอดรหัสแบบย้อนกลับ (Feedback Decoding) [8] โดยมีหลักการดังรูปที่ 3.7 ซึ่งประกอบด้วย ภาคส่งและภาครับคอนโวลูชันขนาดจำลอง ที่ทำการเข้ารหัสในอัตรา 1:2 แบบ systematic และได้ชุดรหัสที่แยกพิจารณาได้ออกเป็นสองส่วน คือส่วนของ ข่าวสาร และส่วนของพาริตี ทั้งสองส่วนของชุดรหัสนี้ ได้ถูกส่งผ่านช่องสัญญาณที่อาจมีสัญญาณรบกวนแทรกเข้ามา ซึ่งสัญญาณรบกวนจะส่งผลได้ในทั้งสองส่วนโดยเป็นแบบสุ่ม (random) ซึ่งในการจัดส่งข้อมูลจริงนั้น ช่องสัญญาณจะเป็นแบบอนุกรม (เรียงลำดับ) แต่จากรูปได้แสดงให้เห็นถึงขั้นตอนหลักเท่านั้น เมื่อภาครับได้รับชุดรหัสมา จะนำส่วนข่าวสารไปทำการหาค่าพาริตีโดยวิธีการเดียวกันกับการเข้ารหัส แล้วจึงนำไปเปรียบเทียบกับส่วนพาริตีที่ได้รับมา ถ้าไม่มีความผิดพลาดเกิดขึ้น ค่าพาริตีที่หาได้จะเท่ากับค่าพาริตีที่รับมา แต่ถ้ามีผลตรงกันข้ามจะได้ผลการเปรียบเทียบที่แตกต่าง ซึ่งค่าการเปรียบเทียบนี้จะนำไปใช้เป็นค่าที่จะพิจารณาทำการแก้ไขด้วยวิธีการถอดรหัสด้วยวิธีใด ๆ ที่เลือกใช้ ในขั้นนี้ก็คือ จะนำไปผ่านการตรวจสอบค่าซินโดรมที่มีการตัดสินใจทำการแก้ไขด้วยเทรสโฮลเกต แล้วจึงนำผลการแก้ไขนี้ย้อนกลับ (Feedback) ไปยังข่าวสารที่อยู่บนภาครับเพื่อแก้ไขความผิดพลาดที่เกิดขึ้น

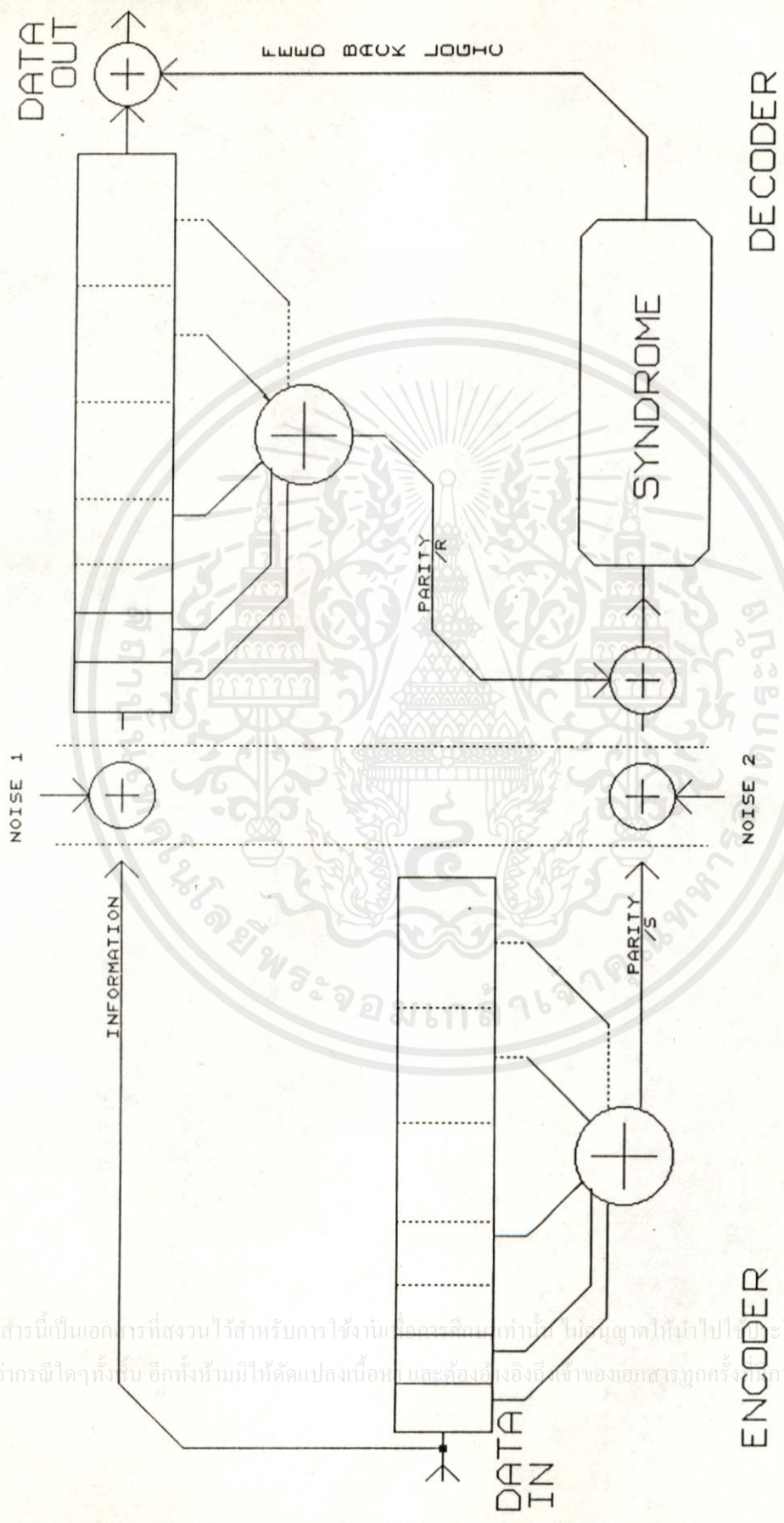
จากหลักการที่ได้กล่าวมา ถ้ากำหนดกรณีเปรียบเทียบให้มีสัญญาณรบกวนแทรกเข้ากับส่วนข่าวสารและส่วนพาริตี จะเห็นว่าผลการรบกวนในส่วนของข่าวสารจะกระทบกระเทือนต่อความถูกต้องของข้อมูลมากกว่าผลในส่วนของพาริตี ทั้งนี้เพราะว่าข่าวสารในแต่ละบิตนั้นจะถูกนำมาสร้างพาริตีทางภาครับ แม้ผิดเพียงเล็กน้อยก็บังผลให้พาริตีที่สร้างขึ้นมาใช้เปรียบเทียบคลาดเคลื่อนไปมาก แต่ในส่วนของบิตพาริตีที่มาจากภาคส่ง จะเป็นความผิดพลาดแบบบิตต่อบิตซึ่งมีผลน้อยกว่ามาก

ส่วนเนื้อหาของ การตรวจสอบค่าซินโดรมของวิธี เทรสโฮลนั้น เมื่อพิจารณาถึงรหัสคอนโวลูชันแบบ systematic  $(n, k)$  ที่มีขนาดหน่วยความจำ  $m$  ซึ่งจะมีเมตริกซ์ของตัวกระทำเช่นเดียวกับสมการที่ 3.15 นั่นคือ

$$G = \begin{bmatrix} IP_0 & OP_1 & OP_2 & \dots & OP_m \\ & IP_0 & OP_1 & \dots & OP_{m-1} & OP_m \\ & & IP_0 & \dots & OP_{m-2} & OP_{m-1} & OP_m \end{bmatrix}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้า ไม่นอญญาใดให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(3.20)



Title		KMITL
Size		A
Document Number		REV
Date:	November 16, 1993	Sheet of

รูปที่ 3.7 แสดงหลักการถอดรหัสแบบย้อนกลับ (Feedback Decoding)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการเรียนเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาตจากสถาบันฯ  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งในการนำไปใช้



$$P^T_{\lambda} = \begin{bmatrix} g_{1,\lambda}^{(k+1)} & g_{2,\lambda}^{(k+1)} & \cdots & g_{k,\lambda}^{(k+1)} \\ g_{1,\lambda}^{(k+2)} & g_{2,\lambda}^{(k+2)} & \cdots & g_{k,\lambda}^{(k+2)} \\ \vdots & \vdots & \ddots & \vdots \\ g_{1,\lambda}^{(n)} & g_{2,\lambda}^{(n)} & \cdots & g_{k,\lambda}^{(n)} \end{bmatrix} \quad 0 \leq \lambda \leq m \quad (3.23)$$

ซึ่งเป็นทรานสโพสเมตริกซ์ขนาด  $(n-k) \times k$  ของเมตริกซ์  $P$  และเช่นเดียวกับลักษณะของรหัสแบบบล็อกที่  $G.H^T = 0$  และ  $c.H^T = 0$  เพียงต่างกันตรงที่ รหัสคอนโวลูชันที่มีผลมาจนถึงวิธีการถอดรหัสนี้จะมีขนาด  $d$  และ  $c$  เป็นอิสระไม่จำกัดเหมือนรหัสแบบบล็อก

เมื่อพิจารณาถึงชุดรหัสที่รับได้ ( $r$ ) ของรหัสคอนโวลูชันแบบ systematic อัตรา  $k:n$  แล้วจะได้สมการของชุดนี้คือ

$$r = (r_0^{(1)} r_0^{(2)} \cdots r_0^{(n)}, r_1^{(1)} r_1^{(2)} \cdots r_1^{(n)}, \dots, r_{\lambda}^{(1)} r_{\lambda}^{(2)} \cdots r_{\lambda}^{(n)}, \dots) \quad (3.24)$$

$$= c + e$$

โดยที่  $e$  คือความผิดพลาดที่รวมอยู่กับรหัส และ  $r_{\lambda}^{(i)} = c_{\lambda}^{(i)} + e_{\lambda}^{(i)}$ ,  $i = 1, 2, \dots, n$

จากสมการชุดสร้างซินโดรม  $s = r.H^T$  โดยที่  $H^T$  ได้มาจากสมการที่ 3.22 เมื่อนำสมการ 3.21 และ 3.24 มาแทนค่าลงในสมการซินโดรมนี้จะได้สมการที่ 3.25 ซึ่งสามารถอธิบายในรูปของสมการรวมได้ดังสมการที่ 3.26

$$s_{\lambda}^{(k+j)} = r_{\lambda}^{(k+j)} + \sum_{i=1}^k r_{\lambda}^{(i)} g_{i,0}^{(k+j)} + \sum_{i=1}^k r_{\lambda-1}^{(i)} g_{i,1}^{(k+j)} + \cdots + \sum_{i=1}^k r_{\lambda-m}^{(i)} g_{i,m}^{(k+j)}$$

$$= r_{\lambda}^{(k+j)} + \sum_{\mu=0}^m \sum_{i=1}^k r_{\lambda-\mu}^{(i)} g_{i,\mu}^{(k+j)}$$

$$j = 1, 2, \dots, n-k$$

$$\lambda = 0, 1, 2, \dots, m$$

(3.26)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$s = (s_0^{(k+2)}, s_0^{(k+1)}, s_0^{(k)}, \dots, s_0^{(1)}, s_0^{(0)}, s_1^{(k+2)}, s_1^{(k+1)}, s_1^{(k)}, \dots, s_1^{(1)}, s_1^{(0)}, \dots, s_\lambda^{(k+2)}, s_\lambda^{(k+1)}, s_\lambda^{(k)}, \dots, s_\lambda^{(1)}, s_\lambda^{(0)}, \dots)$$

$$= \begin{bmatrix} r_0^{(1)} & r_0^{(2)} & \dots & r_0^{(n)} & r_1^{(1)} & r_1^{(2)} & \dots & r_1^{(n)} & \dots & r_\lambda^{(1)} & r_\lambda^{(2)} & \dots & r_\lambda^{(n)} & \dots \\ g_{1,0}^{(k+1)} & g_{1,0}^{(k+2)} & \dots & g_{1,0}^{(n)} & g_{1,1}^{(k+1)} & g_{1,1}^{(k+2)} & \dots & g_{1,1}^{(n)} & \dots & g_{1,m}^{(k+1)} & g_{1,m}^{(k+2)} & \dots & g_{1,m}^{(n)} & \dots \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ g_{k,0}^{(k+1)} & g_{k,0}^{(k+2)} & \dots & g_{k,0}^{(n)} & g_{k,1}^{(k+1)} & g_{k,1}^{(k+2)} & \dots & g_{k,1}^{(n)} & \dots & g_{k,m}^{(k+1)} & g_{k,m}^{(k+2)} & \dots & g_{k,m}^{(n)} & \dots \\ 1 & 0 & \dots & 0 & 0 & 0 & \dots & 0 & \dots & 0 & 0 & \dots & 0 & \dots \\ 0 & 1 & \dots & 0 & 0 & 0 & \dots & 0 & \dots & 0 & 0 & \dots & 0 & \dots \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ 0 & 0 & \dots & 1 & 0 & 0 & \dots & 0 & \dots & 0 & 0 & \dots & 0 & \dots \end{bmatrix}$$

หรือในกรณีพิจารณาเฉพาะส่วนของความผิดพลาด  $s = e \cdot H^T$  จะเปลี่ยนรูปสมการขึ้น

โครมได้เป็น

$$s_{\lambda}^{(k+j)} = e_{\lambda}^{(k+j)} + \sum_{i=1}^k e_{\lambda}^{(i)} g_{i,0}^{(k+j)} + \sum_{i=1}^k e_{\lambda-1}^{(i)} g_{i,1}^{(k+j)} + \dots + \sum_{i=1}^k e_{\lambda-m}^{(i)} g_{i,m}^{(k+j)}$$

$$= e_{\lambda}^{(k+j)} + \sum_{\mu=0}^m \sum_{i=1}^k e_{\lambda-\mu}^{(i)} g_{i,\mu}^{(k+j)}$$

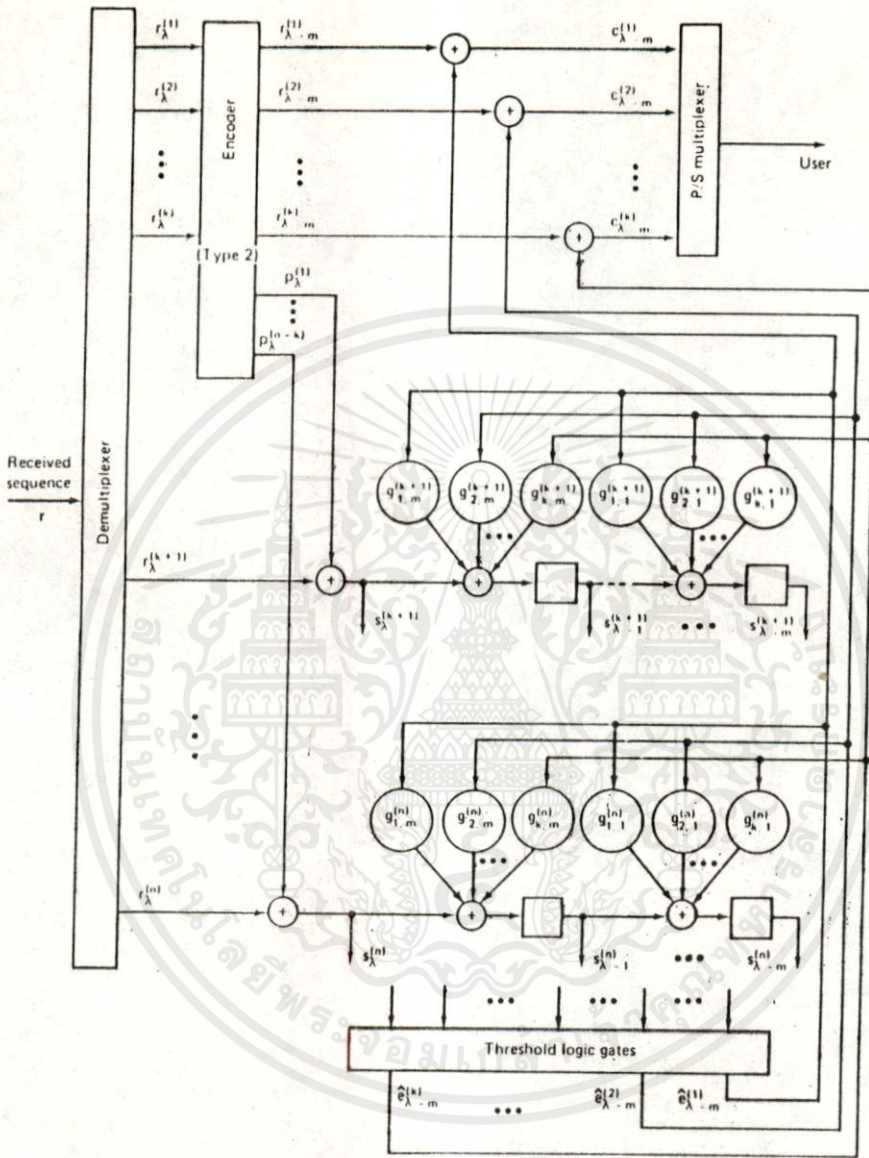
$$j = 1, 2, \dots, n-k$$

$$\lambda = 0, 1, 2, \dots, m$$

(3.27)

สำหรับโครงสร้างทางฮาร์ดแวร์ของภาคถอดรหัสเทอร์สโบลแบบย้อนกลับ ที่ได้จากการแปลงสมการที่ 3.26 หรือ 3.27 นี้ ได้แสดงดังรูปที่ 3.8

พิจารณาต่อไปนี้ถึงหลักการโดยละเอียดของการถอดรหัสวิธีเทอร์สโบลที่มีพื้นฐานของหลักการผลรวมการตรวจสอบพาริตีแบบออร์โธโกนอล (orthogonal parity-check sums) โดยที่ผลรวมของบิตซินโครมจะแสดงถึงจำนวนผลรวมบิตที่ผิดพลาดในช่องสัญญาณ ถ้าชุดรหัสที่รับมาเกิดความผิดพลาด ผลรวมของการตรวจสอบพาริตีแบบออร์โธโกนอลจะไม่เป็นศูนย์ ดังที่กล่าวมาแล้วในหลักการของสมการซินโครมและความผิดพลาดใด ๆ  $e$  ที่เกิดขึ้น ซึ่งถูกตรวจพบโดยชุดผลรวมการตรวจสอบใด ๆ จะเรียกว่าชุดตรวจสอบนั้นเป็นออร์โธโกนอลบนความผิดพลาด  $(e)$  นั้น ๆ ทั้งนี้เพราะว่าจะไม่มีบิตความผิดพลาดอื่น ๆ ถูกตรวจพบโดยชุดการตรวจสอบนี้มากกว่าหนึ่งชุด (การเป็นออร์โธโกนอล) และในการตรวจสอบแต่ละครั้งจะมีจำนวนชุดผลรวมการตรวจสอบเป็นจำนวน  $J$  บนความผิดพลาดบิตนั้น ๆ ซึ่งจะเป็นหน้าที่ของเทอร์สโบลเกต หรือ majority gate เป็นตัวตัดสินใจว่าบิตความผิดพลาดนั้นเป็นอย่างไร โดยพิจารณาจากเสียง "ส่วนใหญ่" ถ้าเสียงส่วนใหญ่แสดงผลลอจิก "1" นั้นหมายความว่ามีความผิดพลาดเกิดขึ้น ดังนั้นจะนำผลทางเทอร์สโบลนี้ย้อนกลับไปแก้ไขบิตข่าวสารที่อยู่ในระดับเดียวกันกับการตรวจสอบนี้ ส่วนความสามารถในการแก้ไข  $(t)$  ขึ้นอยู่กับจำนวนผลรวมการตรวจสอบแบบออร์โธโกนอล  $J$  โดยที่ค่า  $J$  นี้จะบ่งบอกถึงน้ำหนักแฮมมิง (Hamming Weight) ของชุดรหัส (code word) ใด ๆ และเมื่อนำไปเปรียบเทียบกับค่าระยะทางที่น้อยที่สุด  $d_{min}$  ในหัวข้อรหัสแบบลิเนียร์บล็อกแล้วจะได้ว่า  $J = d_{min} - 1$  ซึ่งเป็นค่าที่จะบอกถึงการที่ไม่สามารถมีค่าการถอดรหัสใด ๆ ตกอยู่ในช่วงของค่านี้ ดังนั้นความสามารถที่จะพิจารณาการแก้ไขความผิดพลาดของการถอดรหัสคอนไวลูชันด้วยวิธีเทอร์สโบลคือ



รูปที่ 3.8 แสดงการถอดรหัสคอนโวลูชันแบบ systematic ด้วยวิธีเพอร์สิชล (Threshold Decoding)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการ์ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t \leq \left[ \frac{d_{\min} - 1}{2} \right] \leq \frac{J}{2} \quad (3.28)$$

จากทฤษฎีที่ซับซ้อนของการถอดรหัสที่ได้กล่าวมาทั้งหมด ประสิทธิภาพของการถอดรหัส จะสัมพันธ์กับการเข้ารหัสอย่างสอดคล้อง โดยการเลือกใช้ชุดฟังก์ชันตัวกระทำ (generator function) ที่นำมาแสดงในรูปของเมตริกซ์  $G$  ซึ่งจะเป็นตัวบ่งบอกถึงขั้นตอนการสร้าง การทำงาน จนถึงประสิทธิภาพของการแก้ไขด้วย และในส่วนของงานวิจัยนี้ได้ศึกษาเอาวิธีการกำหนดค่าดังกล่าว ซึ่งอยู่ในรูปของชนิดหรือคลาส (class) ของรหัสคอนโวลูชันแบบ Self-orthogonal codes[9] มาใช้ รหัสนี้ไม่ได้ทำการเปลี่ยนแปลงโครงสร้างหลักของการทำงานการเข้ารหัส หรือการถอดรหัส ด้วยวิธีเทรลโฮลแต่อย่างใด เพียงแต่เป็นวิธีการสร้างเมตริกซ์  $G$  และการจัดการทางค่าซินโดรม เท่านั้น

การกำหนดรหัสแบบดังกล่าวได้รับการเผยแพร่โดย โรบินสัน(Robinson) และ เบริน-สไตน์(Bernstein)ในปี 1967 โดยมีแนวทางการกำหนดค่า  $G$  จากหลักการทางคณิตศาสตร์ที่เรียกว่า ชุดความแตกต่าง(Difference Set)[10] ส่วนการตรวจสอบพริตตี้ที่เป็นออโธโกนอล จะเป็นการตรวจสอบบิตซินโดรมโดยตรง ไม่ใช่ผลรวมของบิตซินโดรม จึงเป็นที่มาของชื่อเรียกการกำหนดรหัสแบบนี้ (Self-Orthogonal) ซึ่งโครงสร้างของรหัสจะแสดงในรูป  $(n, n-1, m)$  และเวกเตอร์ซินโดรมของรหัสสามารถอธิบายได้ดังตัวอย่าง ที่อัตรารหัส 1:2 ดังนี้คือ

$$\begin{aligned} S &= e^{(1)} G^{(2)} + e^{(2)} \\ &= (s_0, s_1, s_2, \dots, s_m) \end{aligned} \quad (3.29)$$

$e^{(1)}$  และ  $e^{(2)}$  เป็นความผิดพลาดในส่วนของข่าวสาร และส่วนของพริตตี้ตามลำดับ และเมตริกซ์  $G^{(2)}$  คือ

$$G^{(2)} = \begin{bmatrix} g_0^{(2)} & g_1^{(2)} & g_2^{(2)} & \dots & g_{m-1}^{(2)} & g_m^{(2)} \\ g_0^{(2)} & g_1^{(2)} & \dots & g_{m-2}^{(2)} & g_{m-1}^{(2)} & g_m^{(2)} \\ g_0^{(2)} & \dots & g_{m-3}^{(2)} & g_{m-2}^{(2)} & g_{m-1}^{(2)} & g_m^{(2)} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ \dots & \dots & \dots & \dots & \dots & g_0^{(2)} \end{bmatrix} \quad (3.30)$$

เมื่อทำการทรานสโพสสมการที่ 3.29 จะได้สมการใหม่คือ

$$s^T = [G^{(2)}]^T \cdot [e^{(1)}]^T + [e^{(2)}]^T \quad (3.31)$$

โดย  $[G^{(2)}]^T$  จะเป็นเมตริกซ์เฉพาะที่เรียกว่าสามเหลี่ยมพาริตี (parity triangle) ที่จะใช้เลือกชุดตรวจสอบผลรวมแบบออโรโกนอล โดยมีผลมาจากความสัมพันธ์ของการกำหนดค่าด้วย difference set ดังที่ได้กล่าวมาแล้ว ซึ่งสามเหลี่ยมพาริตีในเมตริกซ์  $[G^{(2)}]^T$  จะมีคุณสมบัติที่ทำให้ไม่มีการเลือกชุดตรวจสอบที่ซ้ำซ้อนกัน อันจะทำให้เกิดการสูญเปล่าหรือทำให้ชุดรหัสมีขนาดใหญ่ขึ้น สำหรับรายละเอียดในความสัมพันธ์ดังกล่าวจะอธิบายในหัวข้อการออกแบบวงจรต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทอร์สโวลเกต (threshold gates)

การถอดรหัสคอนโวลูชันด้วยวิธีเทอร์สโวลเกต จะใช้ส่วนของเทอร์สโวลเกตในขั้นตอนสุดท้าย ของการทำงาน เพื่อการตัดสินใจให้ค่าทางเอาท์พุทจากเสียงส่วนใหญ่จากสัญญาณทางอินพุท ดังนั้น การทำงานของส่วนนี้จึงเป็นอิสระในการควบคุมจากส่วนอื่น ๆ นั่นคือจะมีลักษณะการทำงานเหมือนกับเกต ทัวไป ที่พิจารณาผลทางลอจิกเอาท์พุทสัมพันธ์จากลอจิกอินพุท แต่มีคุณสมบัติเฉพาะที่ต่างออกไปเท่านั้น

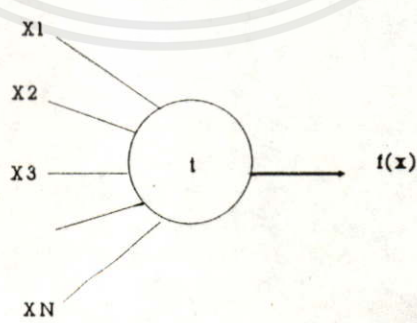
จากรูปที่ 3.9 ซึ่งแสดงหลักการของเกตชนิดนี้ สามารถอธิบายความสัมพันธ์ในรูปของ คณิตศาสตร์ได้ [11]

โดยที่  $f(x)$  คือค่าลอจิกเอาท์พุทของเทอร์สโวลเกตที่มีค่าอ้างอิง

$$f(x) = 1 \text{ ถ้า } \sum_{i=1}^n w_i x_i > t \tag{3.32}$$

$$f(x) = 0 \text{ ถ้า } \sum_{i=1}^n w_i x_i \leq t \tag{3.33}$$

ค่า  $w$  คือค่าน้ำหนัก(weight) ในแต่ละอินพุท  $x_i$  ที่มีหน่วยตามแต่กรณีใช้งาน แต่ในส่วนของเทอร์สโวลเกตนี้  $w$  จะมีค่าเป็น "1" หรือ "0" ตามค่าของลอจิกเท่านั้น ซึ่งเมื่อนำไปใช้งานค่าลอจิกที่ กล่าวถึงนี้จะได้มาจากการตรวจสอบค่าซินโดรมนั่นเอง ส่วน  $t$  คือค่าอ้างอิง ในที่นี้กำหนดคให้มีค่า เท่ากับ  $x_i/2$  ซึ่งอธิบายการทำงานของเกตนี้ได้ว่า ถ้าจำนวนอินพุทที่เป็นลอจิก "1" มีจำนวนเกิน ครึ่งหนึ่งของจำนวนอินพุททั้งหมด หรือมีค่ามากกว่า  $t$  แล้ว ทางด้านเอาท์พุทจะให้ค่าที่เป็นลอจิก "1" ออกมา แต่ถ้าจำนวนอินพุทที่เป็น "1" มีค่าเป็นอย่างอื่น จะทำให้ได้ค่าเอาท์พุทตรงกันข้าม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
รูปที่ 3.9 แสดงหลักการของเทอร์สโวลเกต

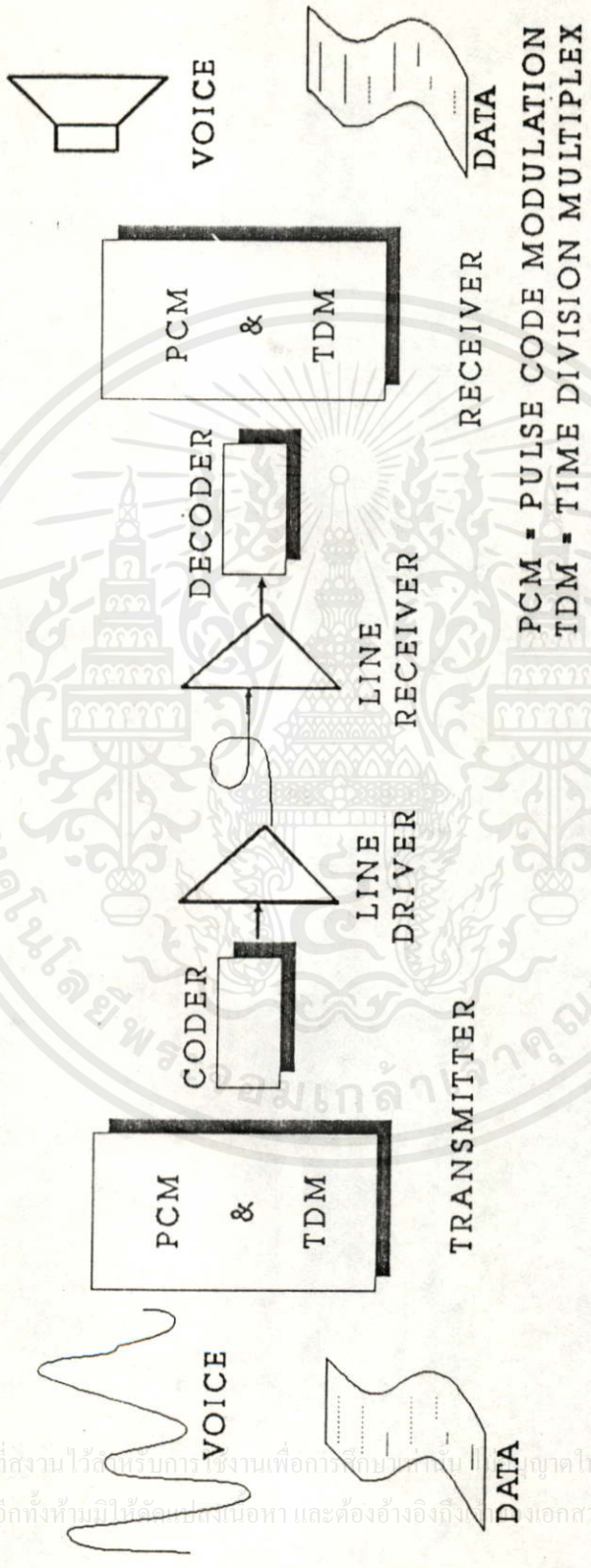
จากหลักการของรหัสคอนวูลูชัน ที่ได้กล่าวมาแล้วในบทที่ 3 การที่จะนำมาใช้งานจริงได้คำนึงถึงการศึกษาพัฒนาสร้างที่จะใช้อุปกรณ์พื้นฐานที่จัดหาได้ง่ายและราคาถูก ซึ่งรูปแบบของการสื่อสารเพื่อใช้กับสัญญาณเสียงและข้อมูลที่จะสร้างขึ้นมาได้กำหนดให้เป็นการสื่อสารแบบจุดต่อจุดทางเดียวโดยแสดงส่วนของโครงงานที่สำคัญ ๆ ไว้ดังไดอะแกรมรูปที่ 4.1 ซึ่งในส่วนของบทนี้จะกล่าวถึงขั้นตอนการออกแบบของวงจรส่วนต่าง ๆ ในโครงงานดังกล่าว โดยมีรายละเอียดดังนี้

การจัดแบ่งช่องสัญญาณและข้อจำกัดทางเวลา

เงื่อนไขทางเวลาสำหรับโครงงานนี้จะ เป็นตัวจำกัดการออกแบบวงจรในแต่ละส่วน ทั้งทางขนาดและความเร็วในการทำงานที่ใช้สำหรับการรับส่งข้อมูล ส่วนที่เป็นตัวจำกัดค่าเวลานี้ก็คือสัญญาณเสียง ซึ่งจากหัวข้อบทที่ 2 ที่ได้กล่าวถึงหลักการสุ่มข้อมูลจากสัญญาณเสียงด้วยวิธีพัลส์โคดมอดูเลชัน (PCM) ที่ต้องใช้ความถี่มากกว่าหรือเท่ากับ 8 kHz และหลักการรับส่งสัญญาณเสียงของการสื่อสารใด ๆ ที่ต้องเป็นการรับส่งแบบเวลาจริง (Real Time) ซึ่งอาจยอมให้มีการหน่วงเกิดขึ้นได้แต่ไม่ควรเกิน 50 มิลลิวินาที(ms)[12] ดังนั้นข้อมูลที่ได้จากการสุ่มในแต่ละครั้งจะต้องส่งไปยังภาครับให้ทันก่อนการสุ่มครั้งต่อไปเพื่อที่จะไม่ให้เกิดการขาดหายของข้อมูลหรือเกิดการสะสม ที่จะทำให้ต้องใช้หน่วยความจำขนาดใหญ่ในการจัดเก็บและเกิดมีการหน่วงของข้อมูลขึ้น จากสาเหตุดังกล่าว วงจรทุก ๆ ส่วนจึงต้องออกแบบให้สอดคล้องกับเงื่อนไขต่าง ๆ ซึ่งรวมถึงเงื่อนไขของความเร็วในการส่งข้อมูลผ่านสายส่ง (Transmission Line) ไปยังภาครับ ที่ได้ใช้ขนาด 6 เมกกะบิตต่อวินาที (6M bit/s) โดยเป็นความเร็วที่เหมาะสมสำหรับการสร้างวงจรสร้างสัญญาณส่วนอื่น ๆ ที่จะนำมาใช้ทำงานร่วมกัน

ส่วนของการแบ่งช่องสัญญาณในการใช้งานได้ออกแบบไว้ดังรูปที่ 4.2 ซึ่งในแต่ละเฟรม (Frame) ประกอบด้วยช่องสัญญาณทางเวลา (time slot) ต่าง ๆ ที่ได้ออกแบบไว้ดังนี้

- ช่องสัญญาณที่ 1 เป็นช่องของ Frame Alignment Word (FAW) ที่ใช้สำหรับการตรวจสอบการซิงค์ (synchronous) ของสัญญาณในการรับส่งข้อมูล
- ช่องสัญญาณที่ 2 เป็นช่องสัญญาณควบคุมสำหรับรีจิสเตอร์ควบคุมสถานะการทำงานของส่วนต่างๆ เพื่อแสดงให้เห็นหน่วยควบคุมของทางภาคได้รับทราบถึงสถานะของการติดต่อในช่วงเฟรม
- ช่องสัญญาณที่ 3 สำหรับข้อมูลที่ได้จากการสุ่มสัญญาณเสียง

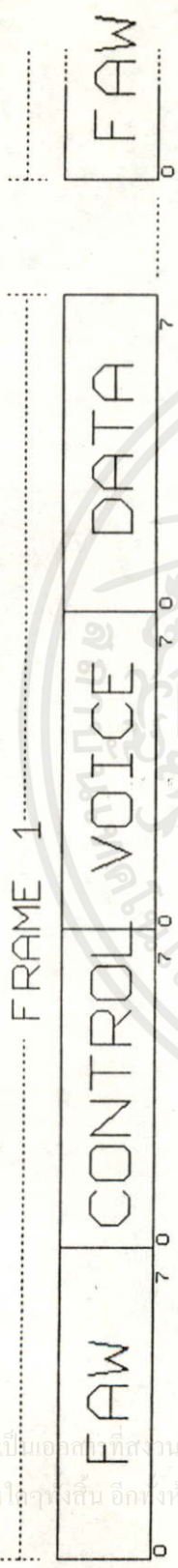


PCM - PULSE CODE MODULATION  
 TDM - TIME DIVISION MULTIPLEX

SIMPLEX POINT TO POINT NETWORK

รูปที่ 4.1 โต๊ะการแสดงผลส่วนประกอบหลักของวงจรรีใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่ควรนำออกไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกสิ่งเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้



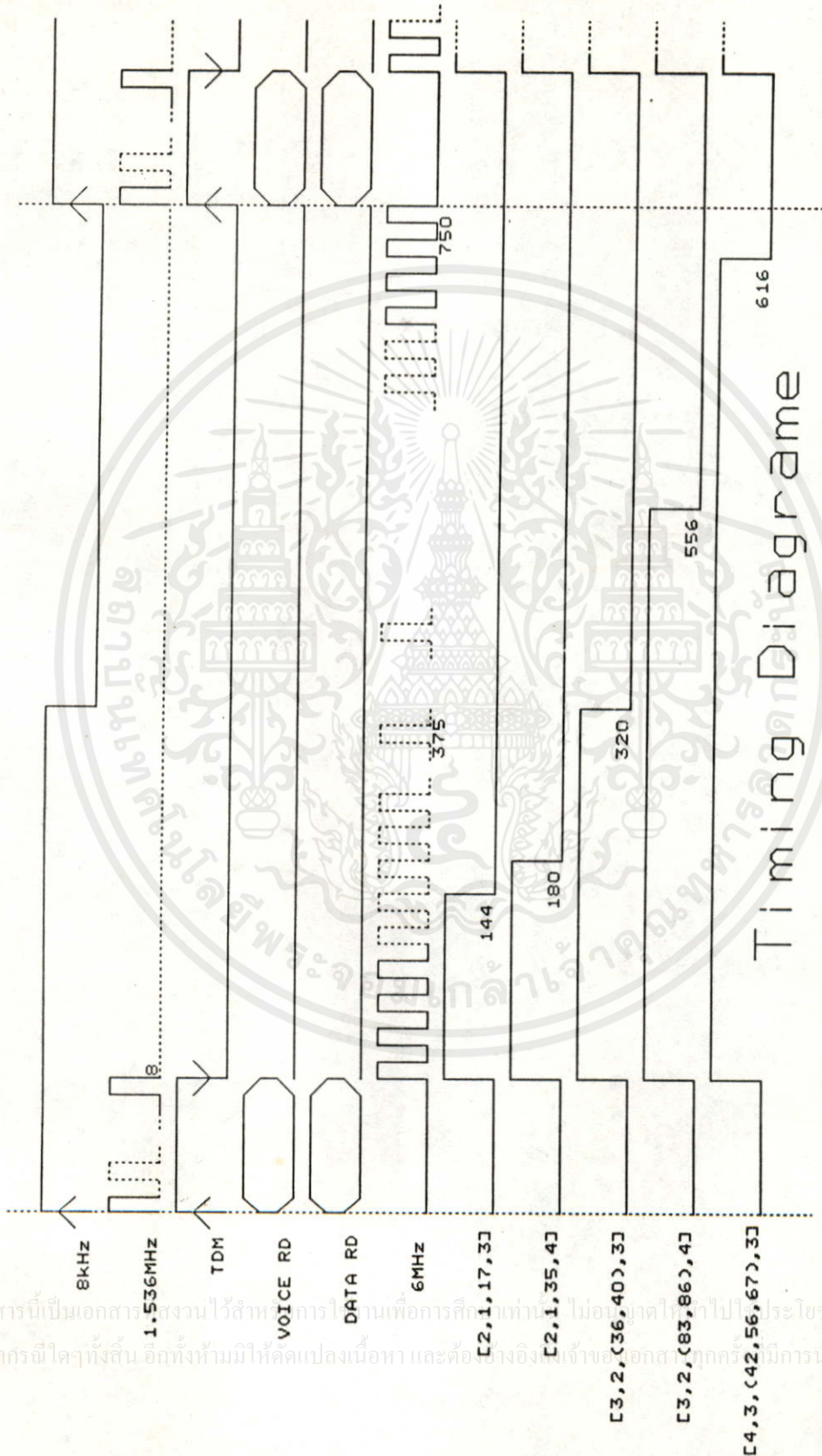
FAW = '1'0011011

- C0 = VOICE ON '1' / OFF '0'
- C1 = BREAK ON / OFF
- C2 = NOISE ON / OFF
- C3 = DATA ON / OFF
- C4 = PROGRAMME RESERVE
- C5 =
- C6 =
- C7 =

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Title		KMITL
Size Document Number		A
Date: November 5, 1993		Sheet 5 of

รูปที่ 4.2 โดอะแกรมแสดงการจัดช่องสัญญาณทางเวลาเพื่อการใช้งาน



# Timing Diagrame

KMITL	
Title System Timing Diagrame	
Size Document Number	REV
A	1
Date: November 5, 1993 Sheet of	

รูปที่ 4.3 ไดอะแกรมทางเวลา (Timing Diagrame) ของระบบรวม

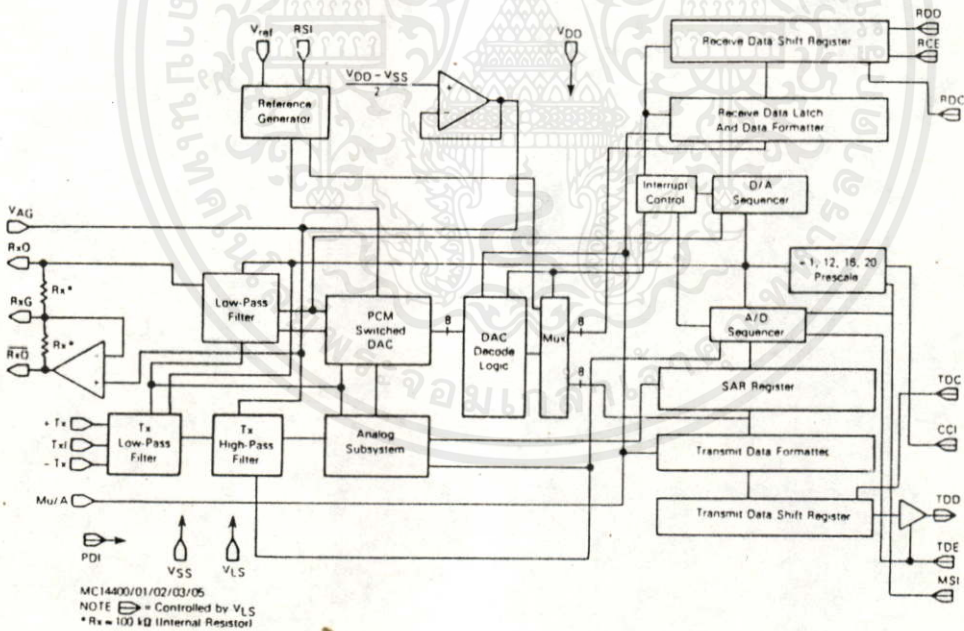
เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องแจ้งเจ้าของลิขสิทธิ์ก่อนมีการนำไปใช้

- ช่องสัญญาณที่ 4 สำหรับข้อมูลดิจิทัลขนาด 8 บิต

ในส่วนของการจัดสรรเวลาระบบรวมทั้งหมดได้สรุปแสดงเปรียบเทียบแบบอยู่ในไคอะแกรมทางเวลา (Timing Diagram) ดังรูปที่ 4.3 ซึ่งมีรายละเอียดของการออกแบบดังกล่าวในหัวข้อต่อไป

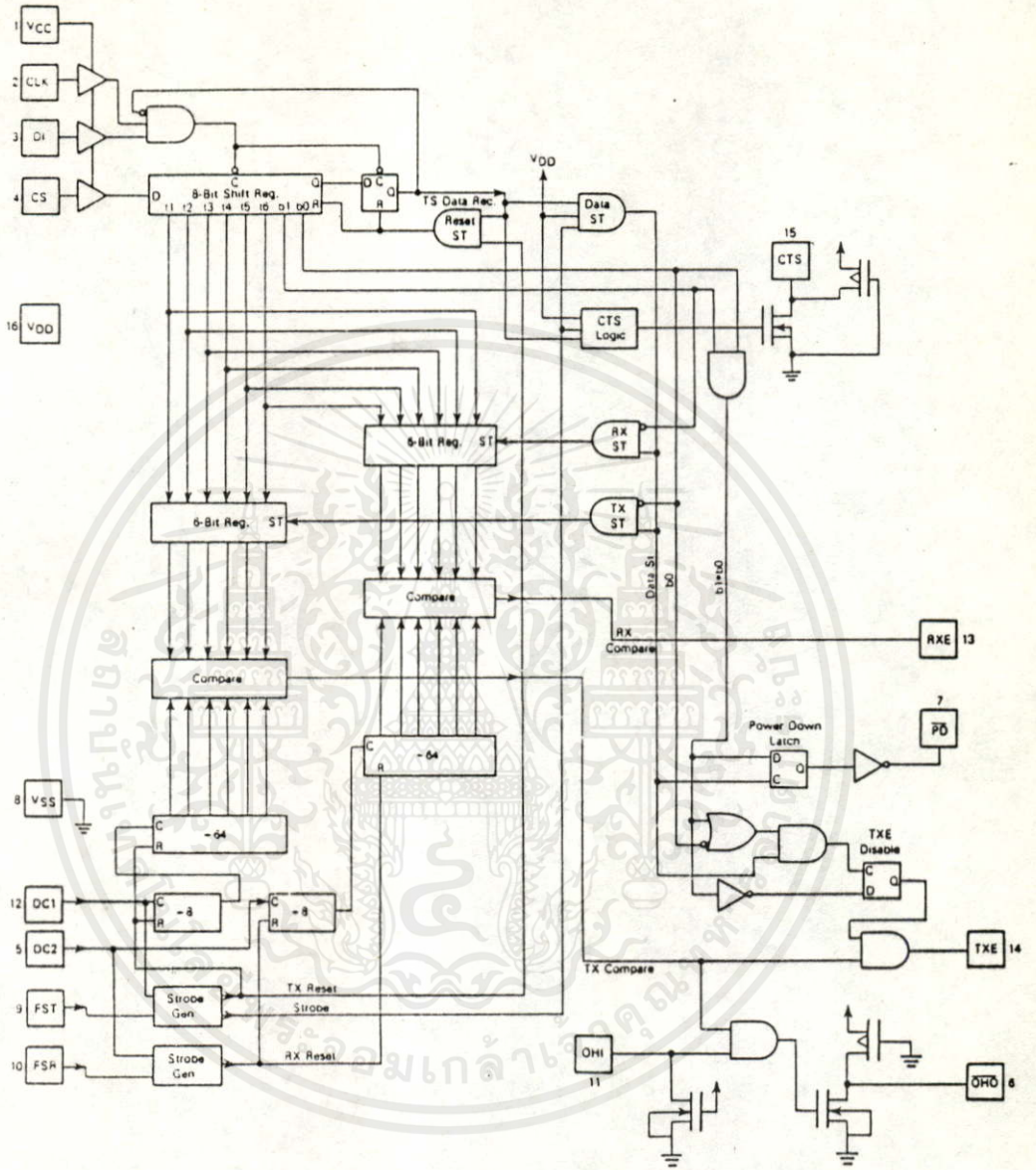
### วงจรแปลงสัญญาณ เสียง

สัญญาณเสียงจะถูกทำการแปลงให้เป็นสัญญาณดิจิทัลเพื่อใช้ในโครงงาน ซึ่งได้เลือกใช้วงจร CoDec-Filter PCM-mono Circuit ของไอซี MC14400 เป็นตัวจัดการกับสัญญาณเสียงดังกล่าวโดยรายละเอียดของวงจรแสดงดังไคอะแกรมรูปที่ 4.4 ในส่วนของวงจรรวมนี้มีวงจรกรองความถี่ต่ำผ่าน (Band Pass Filter) ในตัว มีค่าอ้างอิงสำหรับสัญญาณแอนะล็อกด้านเข้าคือขนาด 3.15 โวลท์ครึ่งคลื่น (peak) หรือ 6.3 โวลท์เต็มคลื่น (peak to peak) และวิธีการ Comanding ของการสลับสามารถเลือกใช้ได้กับทั้ง  $\mu$ -Law หรือ A-Law



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 4.4 ไคอะแกรมแสดงส่วนประกอบของวงจร CoDec Filter PCM-mono นำไปใช้

Circuit (MC14400)



รูปที่ 4.5 ไตอะแกรมแสดงส่วนประกอบของวงจร Time Slot Assigner Circuits (MC14416)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการใช้งานจะใช้ควบคู่กับการกำหนดช่องสัญญาณเพื่อบอกช่วงเวลาการจ่ายข้อมูลจากการสุ่มใน  
แต่ละครั้ง โดยได้เลือกใช้วงจร Time Slot Assigner Circuits ของ MC14416 ซึ่งส่วนประ  
กอบของวงจรแสดงดังไดอะแกรมรูปที่ 4.5 มาเป็นตัวกำหนดช่องสัญญาณดังกล่าว วงจรนี้สามารถ  
เชื่อมต่อเพื่อควบคุมการทำงานจากไมโครโพรเซสเซอร์ได้โดยตรง ซึ่งการกำหนดลำดับของช่องสัญญาณ  
สามารถกระทำได้ด้วยการโปรแกรม ส่วนความเร็วของข้อมูลที่จะใช้ส่งข้อมูลดิจิทัลของเสียบ  
ออกมา นั้น จากการพิจารณาข้อกำหนดของการใช้งาน MC14400 [ ภาคผนวก ] และความสัมพันธ์  
ของระบบรวมแล้ว จะมีความเหมาะสมที่ความเร็ว 1.536 เมกกะบิตต่อวินาที

### วงจร Line Buffer

วงจร Line Buffer นี้ได้ออกแบบเพื่อวัตถุประสงค์ใช้งานในลักษณะเดียวกันทั้งทาง  
ภาครับและภาคส่ง คือ เก็บข้อมูลเพื่อจัดการส่งไปยังวงจรภาคถัดไปตามแต่ละรูปแบบ วัตถุประสงค์  
ของวงจรนี้นำมาใช้เพื่อทดแทนวงจรมัลติเพล็กซ์แบบ อนุกรม / ขนาน (Serial to Parallel)  
และขนาน / อนุกรม (Parallel to Serial) ที่ต้องใช้ความเร็วในการเคลื่อนข้อมูลที่สูงขึ้นตาม  
ลำดับตามจำนวนของบิตข้อมูลในแต่ละชุดของการมัลติเพล็กซ์ ซึ่งต้องใช้หลายความถี่เพื่อทำการเคลื่อน  
ข้อมูลดังกล่าวและมีความยุ่งยากในการตรวจสอบการทำงาน รายละเอียดของวงจรมีดังนี้ คือ

#### - ภาคส่ง

วงจรนี้จะเป็นตัวจัดเก็บข้อมูลจากภาคเข้ารหัส (Encoder) อย่างขนาน ตามจำนวน  
บิตเอาต์พุตของแต่ละอัตราหัส แล้วจัดการเรียงลำดับเพื่อส่งออกไปยังวงจรส่ง (Line Driver)  
อย่างอนุกรม (Serial) ดังนั้นขนาดของวงจรส่วนที่ประกอบไปด้วยชิพรีจิสเตอร์นี้ จึงขึ้นกับการ  
ปรับอัตราของการเข้ารหัสที่สัมพันธ์กับการออกแบบในภาควงจรเข้ารหัสที่จะกล่าวถึงต่อไป

#### - ภาครับ

การทำงานของวงจรในภาคนี้จะมีลักษณะกลับกัน คือ จะเก็บข้อมูลที่รับมาจากวงจรรับ  
(Line Receiver) ที่ส่งมาแบบอนุกรม แล้วทำการแปลงไปเป็นแบบขนานตามขนาดอัตราหัสที่ใช้  
เพื่อป้อนกลับให้ภาควงจรถอดรหัส (Decoder) ส่วนการกำหนดขนาดจะเป็นเช่นเดียวกับวงจรของ  
ทางภาคส่ง

สำหรับวงจรที่ออกแบบสร้างจริงได้กำหนดให้มีการใช้ร่วมกันได้ในทุกอัตราเพื่อลดขนาด  
ของวงจรรวม ดังแสดงในวงจรรวมรูปที่ 4.13 และ 4.14 ของเอกสารทุกครั้งที่มีการนำไปใช้

## วงจรเข้าและถอดรหัส

จากหลักการเข้าและถอดรหัสคอนวูลูชันที่ได้กล่าวมาแล้วในหัวข้อที่ 3.3 และ 3.4 พิจารณาได้ว่าคุณลักษณะเฉพาะของการสร้างชุดรหัสจะขึ้นกับอัตราการเข้ารหัส (Rate;R) และฟังก์ชันตัวกระทำ G ที่จะเลือกเอาข้อมูลจากหน่วยความจำ (m) ในส่วนของ G นั้นจะถูกกำหนดขึ้นตามแต่การออกแบบ และเงื่อนไขในการกำหนดนี้จะเป็นส่วนที่บ่งบอกถึงประสิทธิภาพของการแก้ไขความผิดพลาดด้วย

เงื่อนไขการกำหนดค่า G แบบ Self-Orthogonal ได้ถูกเลือกมาใช้งาน โดยมีพื้นฐานการใช้ชุด Positive Difference Sets เป็นตัวกำหนดค่าการจัดลำดับ และขนาดของหน่วยความจำที่จะเลือกใช้ ซึ่งจะบ่งบอกถึงความสามารถในการแก้ไขความผิดพลาดที่ได้เป็นจำนวนบิต (t) โดยแสดงข้อจำกัดพื้นฐานในรูปของ  $(n, n-1, m, t)$  ดังนั้น อัตราการเข้ารหัสสำหรับเงื่อนไขนี้ คือ  $n:n-1$

การออกแบบวงจรเข้าและถอดรหัสนี้เมื่อคำนึงถึงข้อจำกัดจากที่ได้กล่าวมาในรูปที่ 4.3 เวลาที่ใช้ในการทำงานมีผลต่อจำนวนรีจิสเตอร์หรือหน่วยความจำที่จะใช้ในการเข้าและถอดรหัสและที่สำคัญวงจรถูกจำกัดการออกแบบด้วยขนาดของวงจรเทอร์สโวลเกตที่จะอธิบายในหัวข้อถัดไป ซึ่งจำกัดจำนวนอินพุตที่ 6 และ 8 หน่วย ดังนั้นวงจรเข้าและถอดรหัสจะมีขนาด Error Correcting Capability (t) จำกัดที่ 3 และ 4 เท่านั้น สำหรับการกำหนดค่า G ที่อัตราการรหัสต่างๆ เพื่อการใช้งานได้แสดงไว้ดังตารางที่ 4.1 ซึ่งมีขั้นตอนและรายละเอียดในการออกแบบดังนี้

- อัตรารหัส 1 : 2,  $t = 3, m = 17; \{ 2, 1, 17, 3 \}$

จากตารางที่ 4.1 ค่าตัวกระทำแบบโพลิโนเมียลสำหรับเงื่อนไขนี้คือ  $g_1^{(1)}(D) = 1 + D^2 + D^7 + D^{13} + D^{16} + D^{17}$  ซึ่งค่า  $g_1^{(1)}(D)$  จะมีค่าเป็น 1 เนื่องจากการเป็นรหัสแบบ systematic นั้นเอง เมื่อพิจารณาในรูปชุดซีควเ็นซ์ของตัวกระทำ (generator sequence) จะได้  $g_1^{(1)} = (10000000000000000)$  และ  $g_1^{(2)} = (101000010000010011)$  ซึ่งสอดคล้องกับเซทของจำนวนเต็ม  $g_1^{(2)} = \{0, 2, 7, 13, 16, 17\}$  โดยได้ออกแบบกำหนดค่าฟังก์ชันตัวกระทำนี้สอดคล้องกับการหาค่า difference set ที่มีวิธีการดังนี้คือ

ทำการหาค่าจำนวนเต็มบวก difference set ของ  $g_1^{(2)}$  จาก

$$2 - 0 = 2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใด ๆ 13 - 0 = 13 , 13 - 2 = 11 และ 13 - 7 = 6 เอกสารทุกครั้งที่มีการนำไปใช้

$$16 - 0 = 16 , 16 - 2 = 14 , 16 - 7 = 9 , 16 - 13 = 3$$

ตารางที่ 4.1 ค่าเงื่อนไขของฟังก์ชันตัวกระทำที่อัตราหัดต่าง ๆ

อัตรา	t	m	ฟังก์ชันตัวกระทำ
1 : 2	3	17	$g_1^{(2)}(D)$ $1+D^2+D^7+D^{13}+D^{16}+D^{17}$
1 : 2	4	35	$g_1^{(2)}(D)$ $1+D^7+D^{10}+D^{16}+D^{18}+D^{30}+D^{31}+D^{35}$
2 : 3	3	36,40	$g_1^{(3)}(D)$ $1+D^2+D^6+D^{24}+D^{29}+D^{40}$ $g_2^{(3)}(D)$ $1+D^3+D^{15}+D^{28}+D^{35}+D^{36}$
2 : 3	4	83,86	$g_1^{(3)}(D)$ $1+D+D^{27}+D^{30}+D^{61}+D^{73}+D^{81}+D^{83}$ $g_2^{(3)}(D)$ $1+D^{18}+D^{33}+D^{37}+D^{58}+D^{62}+D^{75}+D^{86}$
3 : 4	3	42,56,67	$g_1^{(4)}(D)$ $1+D^3+D^{15}+D^{34}+D^{35}+D^{42}$ $g_2^{(4)}(D)$ $1+D^{31}+D^{33}+D^{44}+D^{47}+D^{56}$ $g_3^{(4)}(D)$ $1+D^{17}+D^{21}+D^{43}+D^{49}+D^{67}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$17 - 0 = 17, 17 - 2 = 15, 17 - 7 = 10, 17 - 13 = 4, 17 - 16 = 1$$

เมื่อแสดงในรูปของเซตจะได้เป็น

$$\{1, 2, 3, 4, 5, 6, 7, 9, 10, 11, 13, 14, 15, 16, 17\}$$

ซึ่งจะเห็นได้ว่าค่าของ difference set นี้ ครอบคลุมค่าจำนวนเต็ม  $g_1^{(2)}$  ทั้งหมดและไม่มีค่าใดที่ซ้ำกัน เพราะฉะนั้นเงื่อนไขที่กำหนดมานี้จึงสอดคล้องกับการเป็นรหัสคอนไวลูชันแบบ self-orthogonal

เมื่อพิจารณาถึงขั้นตอนของการถอดรหัส โดยเริ่มจากการแทนค่า  $k = 1$  {Rate 1:2 ( $k : n$ )},  $i = n - k = 1$  และ  $\lambda = 0, 1, 2, \dots, 16, 17$  ลงในสมการซินโดรมจะได้เวกเตอร์ซินโดรม ดังสมการที่ 4.1

และเมื่อพิจารณาถึงชุดของผลรวมการตรวจสอบหรือชุดซินโดรมที่เป็นออโธโกนอลบนบิตข่าวสารที่ผิดพลาด สามารถที่จะเลือกให้กระทำบนบิตผิดพลาด  $e$  ใดๆ ก็ได้ ซึ่งจากสมการเวกเตอร์ซินโดรมที่ 4.1 เลือกให้กระทำบน  $e_0^{(1)}$  ซึ่งจะทำให้ปรากฏชุดสมการซินโดรมที่ตรวจพบความผิดพลาดนี้ คือ  $\{S_0, S_2, S_7, S_{13}, S_{16}, S_{17}\}$  จากจำนวนสมการซินโดรมทั้งหมด 18 สมการสมการดังกล่าวนี้คือ

$$\begin{aligned} S_0 &= e_0^{(1)} && + e_0^{(2)} \\ S_2 &= e_0^{(1)} + e_2^{(1)} && + e_2^{(2)} \\ S_7 &= e_0^{(1)} + e_5^{(1)} + e_7^{(1)} && + e_7^{(2)} \\ S_{13} &= e_0^{(1)} + e_6^{(1)} + e_{11}^{(1)} + e_{13}^{(1)} && + e_{13}^{(2)} \\ S_{16} &= e_0^{(1)} + e_3^{(1)} + e_9^{(1)} + e_{14}^{(1)} + e_{16}^{(1)} && + e_{16}^{(2)} \\ S_{17} &= e_0^{(1)} + e_1^{(1)} + e_4^{(1)} + e_{10}^{(1)} + e_{15}^{(1)} + e_{17}^{(1)} + e_{17}^{(2)} \end{aligned}$$

จำนวนสมการทั้ง 6(J) ที่เป็น Double Error Correction นี้ จะตรวจสอบความผิดพลาดและสามารถแก้ไขให้ถูกต้องได้เท่ากับ  $J/2 = 6/2 = 3$  บิต

และเมื่อพิจารณาย้อนกลับไปยังหลักการการถอดรหัสในหัวข้อที่ 3 ถึงเหตุของการนำเอาหลักการ difference set มากำหนดค่าเมตริกซ์  $[G]$  ซึ่งจะทำให้เมตริกซ์นี้มีลักษณะเป็นสามเหลี่ยม โดยจากตัวอย่างการที่เลือกให้ชุดผลรวมการตรวจสอบเป็นออโธโกนอลบน  $e_0^{(1)}$  ในเงื่อนไขนี้ ซึ่งจะทำให้บิตผิดพลาดอื่น ๆ ที่เหลือถูกรวมในการตรวจสอบได้มากที่สุด และจะปรากฏอยู่ในสมการผลรวมการตรวจสอบสมการใดสมการหนึ่งเท่านั้น ไม่ซ้ำซ้อน ดังสมการที่ 4.1 ที่ส่วนของเมตริกซ์  $[G^{(2)}]^T$  เป็นสามเหลี่ยมตรงตามลักษณะของสามเหลี่ยมพาร์ตี จึงสามารถอธิบายได้ว่า



เหตุที่ต้องทำให้เมตริกซ์  $[G]$  เป็นสามเหลี่ยม เนื่องจากถ้ามีสี่เหลี่ยมใด ๆ เกิดขึ้นไม่ว่าจะเป็นส่วนใดขนาดใด จะทำให้เมตริกซ์  $[G^{(2)}]^T$  มีลักษณะเปลี่ยนไปจากสามเหลี่ยมนั่นหมายความว่า จะมีการตรวจสอบความผิดพลาดซ้ำซ้อนกันของสมการซินโดรมในลำดับเดียวกันเกิดขึ้น จึงทำให้เกิดการสูญเปล่า และประสิทธิภาพของการออกแบบจะด้อยลงด้วย ซึ่งเป็นผลมาจากการกำหนดค่า  $[G]$  นั้นเอง

เมื่อแปลงเงื่อนไขของการออกแบบที่ได้นี้เป็นรูปแบบทางฮาร์ดแวร์ โดยการแทนไดอะแกรมของซีพรีจีสเตอร์ ตัวบวกโมดูล 2 และเทรสิโวลเกตตามหลักการของรูปที่ 3.8 แล้ว จะได้ไดอะแกรมแสดงการเข้าและถอดรหัสดังรูปที่ 4.6

- อัตรารหัส 1 : 2,  $t = 4, m = 35; \{ 2, 1, 35, 4 \}$

จากค่าฟังก์ชันตัวกระทำ  $g_1^{(2)}(D)$  ดังตารางที่ 4.1 จะได้ค่าซีเควนซ์ของตัวกระทำคือ  $g_1^{(2)} = \{10000001001000001010000000000110001\}$  ซึ่งสอดคล้องกับเซตของจำนวนเต็ม  $g_1^{(2)} = \{0, 7, 10, 16, 18, 30, 31, 35\}$  และการหาค่า difference set จะได้ว่า

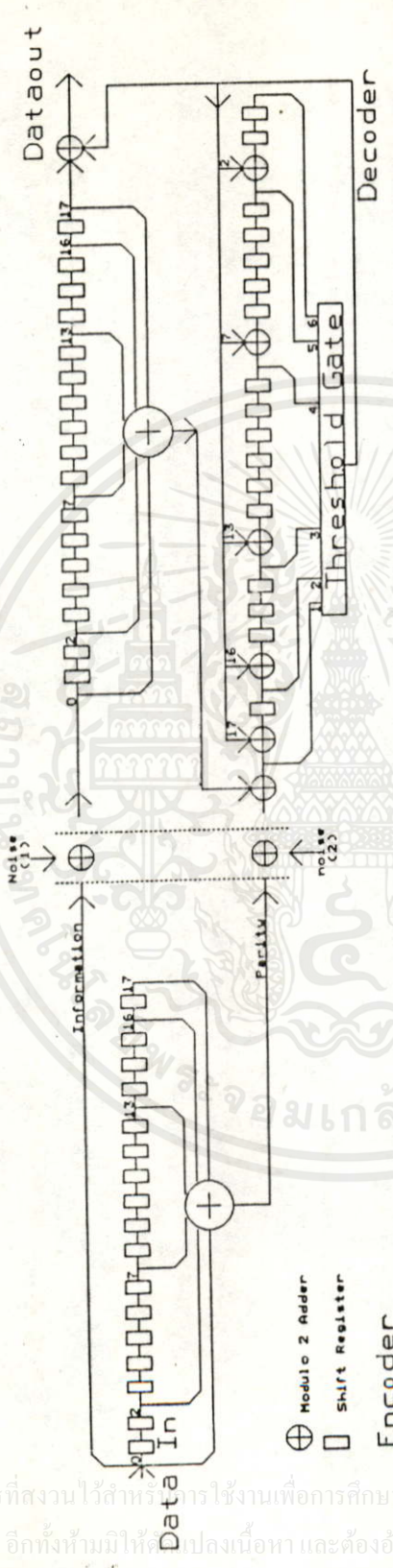
จำนวนเต็มบวก difference set ของ  $g_1^{(2)}$  คือ

- $7-0 = 7$
- $10-0 = 10, 10-7 = 3$
- $16-0 = 16, 16-7 = 9, 16-10 = 6$
- $18-0 = 18, 18-7 = 11, 18-10 = 8, 18-16 = 2$
- $30-0 = 30, 30-7 = 23, 30-10 = 20, 30-16 = 14, 30-18 = 12$
- $31-0 = 31, 31-7 = 24, 31-10 = 21, 31-16 = 15, 31-18 = 13, 31-30 = 1$
- $35-0 = 35, 35-7 = 28, 35-10 = 25, 35-16 = 19, 35-18 = 17, 35-30 = 5,$
- $35-31 = 4$

แสดงในรูปของเซตได้เป็น  $\{1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 23, 24, 25, 28, 30, 31, 35\}$

จะเห็นว่าการหาค่า difference set นี้สอดคล้องกับรหัสแบบ self-orthogonal เช่นเดียวกัน เนื่องจากครอบคลุมค่า  $g_1^{(2)}$  ทั้งหมด

เมื่อแทนค่า  $k = 1, j = 1$  และ  $\lambda = 0, 1, 2, \dots, 34, 35$  ลงในสมการซินโดรมแล้วจะได้สมการเวกเตอร์ซินโดรมในลักษณะเดียวกันกับเงื่อนไข  $(2, 1, 17, 3)$  และเมื่อเลือกให้ชุดตรวจสอบผลรวมที่เป็นออโธโกนอลบนมิติผิดพลาด  $e_0^{(1)}$  จะได้ชุดสมการซินโดรมที่สอดคล้องคือ  $\{s_0, s_7, s_{10}, s_{16}, s_{18}, s_{30}, s_{31}, s_{35}\}$  จากทั้งหมด 36 สมการ



รูปที่ 4.6 ใต้อะแกรมแสดงการเข้าและถอดรหัสเงื่อนไข { 2, 1, 17, 3 }

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเงื่อนไขนี้จะมีสมการซินโดรมที่เป็นออโธโกนอลต่อ  $e_0^{(1)}$  อยู่ 8 สมการ(J) สามารถตรวจสอบความผิดพลาดและทำการแก้ไขให้ถูกต้องได้ 4 บิต ส่วนไดอะแกรมที่ได้จากการออกแบบเงื่อนไขนี้ได้แสดงดังรูปที่ 4.7

- อัตรา 2 : 3 ,  $t = 3$  ,  $m = 36,40$  ;  $\{ 3,2,(36,40),3 \}$

เงื่อนไขของรหัสนี้จากตารางที่ 4.1 เมื่อพิจารณาค่าฟังก์ชันตัวกระทำแล้วจะเห็นว่าการออกแบบจะกระทำในลักษณะเช่นเดียวกับที่อัตรา 1:2 ทั้งการตรวจสอบการออกแบบจากการพิสูจน์ค่า difference set และการแทนค่าในสมการซินโดรม เพียงแต่จะมีขนาดเมตริกซ์ของสมการซินโดรมที่ใหญ่มากขึ้น ดังนั้นจะกำหนดการแทนค่าตัวแปรต่าง ๆ ลงในสมการซินโดรมที่ย่อรูปแล้วจะเป็นดังการออกแบบต่อไปนี้

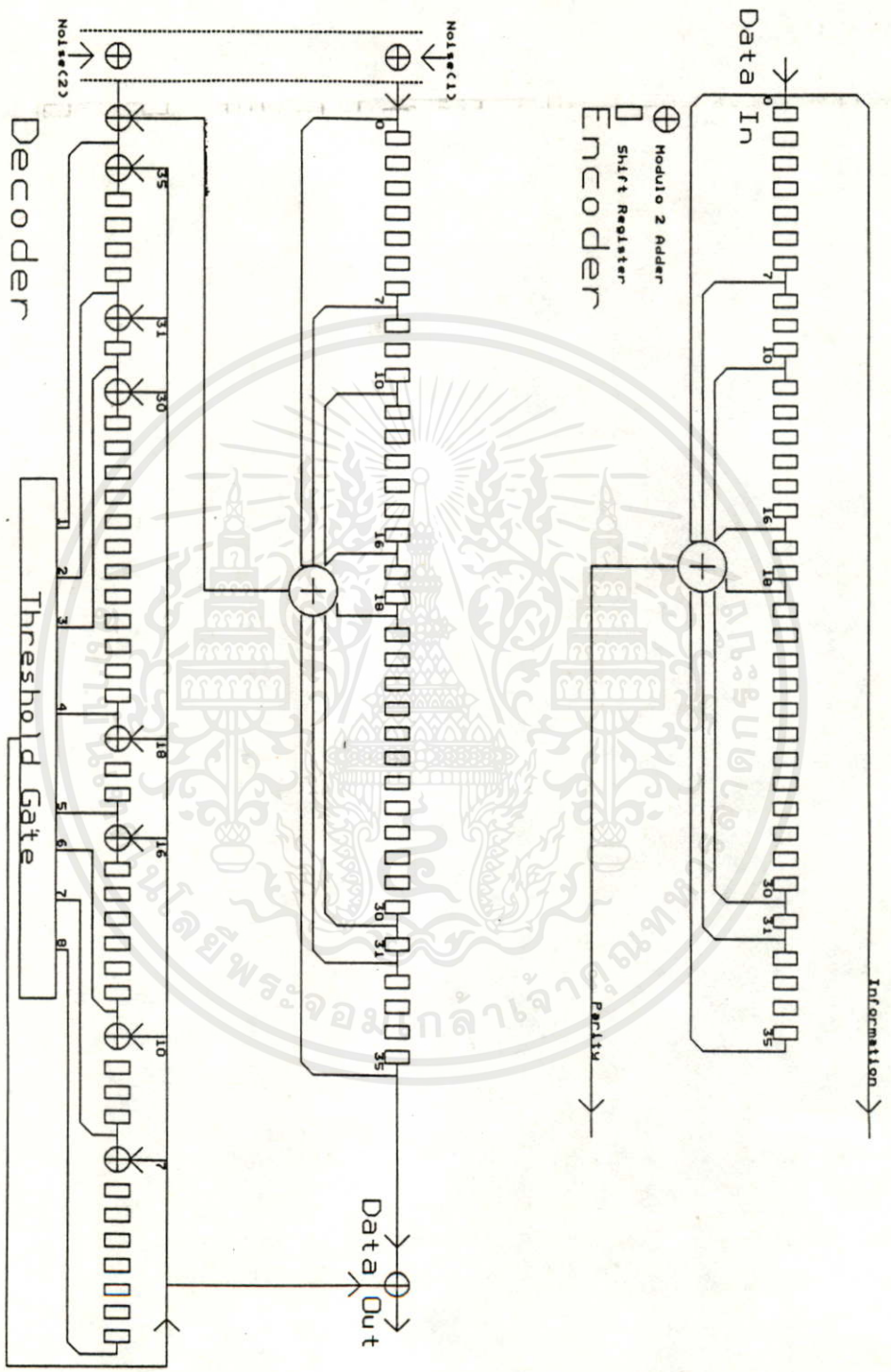
อัตรารหัสนี้กำหนดคให้มีส่วนของสามเหลี่ยมพริตตี้สองส่วนคือ  $\Delta_1$  และ  $\Delta_2$  ซึ่งมีค่าในลักษณะเดียวกับสามเหลี่ยมพริตตี้ของสมการที่ 4.1 แต่จะมีขนาดใหญ่กว่า เมื่อแทนค่า  $k = 2$  ,  $j = n-k = 1$  และ  $\lambda = 0,1,2,\dots,40$  ลงในสมการซินโดรมแล้วเวกเตอร์จะได้เมตริกซ์ซินโดรมโดยย่อเป็น

$$s^T = \begin{bmatrix} s_0 \\ s_1 \\ s_2 \\ \cdot \\ \cdot \\ \cdot \\ \cdot \\ s_{40} \end{bmatrix} = \Delta_1 \begin{bmatrix} e_0^{(1)} \\ e_1^{(1)} \\ e_2^{(1)} \\ \cdot \\ \cdot \\ \cdot \\ \cdot \\ e_{40}^{(1)} \end{bmatrix} + \Delta_2 \begin{bmatrix} e_0^{(2)} \\ e_1^{(2)} \\ e_2^{(2)} \\ \cdot \\ \cdot \\ \cdot \\ \cdot \\ e_{40}^{(2)} \end{bmatrix} + \begin{bmatrix} e_0^{(3)} \\ e_1^{(3)} \\ e_2^{(3)} \\ \cdot \\ \cdot \\ \cdot \\ \cdot \\ e_{40}^{(3)} \end{bmatrix}$$

จากสมการอธิบายได้ว่า  $e^{(1)}$  ไค ๆ เป็นบิตผิดพลาดที่เกิดขึ้นในส่วนของข่าวสารชุดแรกของภาครับ ส่วน  $e^{(2)}$  ไค ๆ เป็นบิตผิดพลาดที่เกิดขึ้นในข่าวสารชุดที่สอง และ  $e^{(3)}$  เป็นบิตผิดพลาดของพริตตี้ที่มาจากทางภาคส่ง

สำหรับชุดสมการซินโดรมที่เป็นออโธโกนอลนั้น ได้เลือกให้กระทำบิต  $e_0^{(1)}$  และ  $e_0^{(2)}$  ซึ่งจะได้ว่าชุดสมการซินโดรมที่เป็นออโธโกนอลบิต  $e_0^{(1)}$  คือ  $\{s_0, s_2, s_6, s_{24}, s_{29}, s_{40}\}$  และที่เป็นออโธโกนอลบิต  $e_0^{(2)}$  คือ  $\{s_0, s_3, s_{15}, s_{28}, s_{35}, s_{36}\}$





รูปที่ 4.7 วัตถุประสงค์การเข้ารหัสและถอดรหัสที่ใช้งาน [ 2, 1, 35, 4 ]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยแต่ละส่วนจะมีสมการอยู่ส่วนละ 6 สมการ (J) ดังนั้นจะสามารถทำการแก้ไขความผิดพลาดที่เกิดขึ้นในพาริตีของทางภาครับได้ส่วนละ  $J/2 = 6/2 = 3$  บิต (ผลรวมทั้งสองส่วนจะเป็น 6 บิต) และ เมื่อนำการออกแบบที่ได้นี้แปลงเป็นรูปแบบทางฮาร์ดแวร์จะได้เป็นดังไดอะแกรมรูปที่ 4.8

- อัตรา 2:3,  $t = 4$ ,  $m = 83,86$  ;  $\{ 3,2,(83,86),4 \}$

พิจารณาค่าฟังก์ชันตัวกระทำจากตารางที่ 1 พบว่าเงื่อนไขการออกแบบนี้จะเหมือนกับเงื่อนไข  $\{3,2(36,40),3\}$  ทุกประการ ซึ่งสรุปการออกแบบได้ว่าชุดสมการซินโดรมที่เป็นออโธโคโนลกระทำบนบิต  $e_o^{(1)}$  ของข่าวสารชุดแรกคือ  $\{s_0, s_1, s_{27}, s_{30}, s_{61}, s_{73}, s_{81}, s_{83}\}$  และบนบิต  $e_o^{(2)}$  คือ  $\{s_0, s_{18}, s_{23}, s_{37}, s_{58}, s_{62}, s_{75}, s_{86}\}$  ซึ่งมีจำนวนสมการอยู่ 8 สมการ (J) ในแต่ละชุด ซึ่งสามารถแก้ไขความผิดพลาดได้ชุดละ  $J/2 = 8/2 = 4$  บิต เมื่อแปลงเป็นรูปแบบทางฮาร์ดแวร์แล้วจะได้ดังรูปที่ 4.9

- อัตรา 3:4,  $t = 3$ ,  $m = 42,56,67$  ;  $\{ 4,3,(42,56,67),3 \}$

การออกแบบเงื่อนไขนี้มีลักษณะเช่นเดียวกับอัตราอื่น ๆ ที่ผ่านมา ซึ่งสรุปได้ว่า ภาครับจะสามารถทำการแก้ไขความผิดพลาดได้ในแต่ละชุดของข่าวสารทั้งสามได้ชุดละ 3 บิต ไดอะแกรมของการออกแบบฮาร์ดแวร์ได้แสดงดังรูปที่ 4.10

การออกแบบวงจรเข้าและถอดรหัสดังที่ได้แสดงมานี้ เมื่อนำไปสร้างเป็นวงจรจริงจะประกอบไปด้วยรีจิสเตอร์เป็นจำนวนมาก และเมื่อประกอบรวมกับวงจรส่วนอื่น ๆ ที่ต้องใช้เวลาในการทำงานต่าง ๆ กัน จึงทำให้มีการหน่วงของเวลาที่สูงขึ้น จึงเป็นเหตุให้การออกแบบวงจรนี้มีข้อจำกัดสำหรับการสร้างใช้งานจริงดังแสดงค่าเงื่อนไขในตารางที่ 4.1 เท่านั้น ซึ่งสอดคล้องกับการออกแบบวงจรส่วนอื่นและข้อจำกัดทางการจัดสรรเวลาดังที่ได้กล่าวมาของต้นฉบับนี้แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



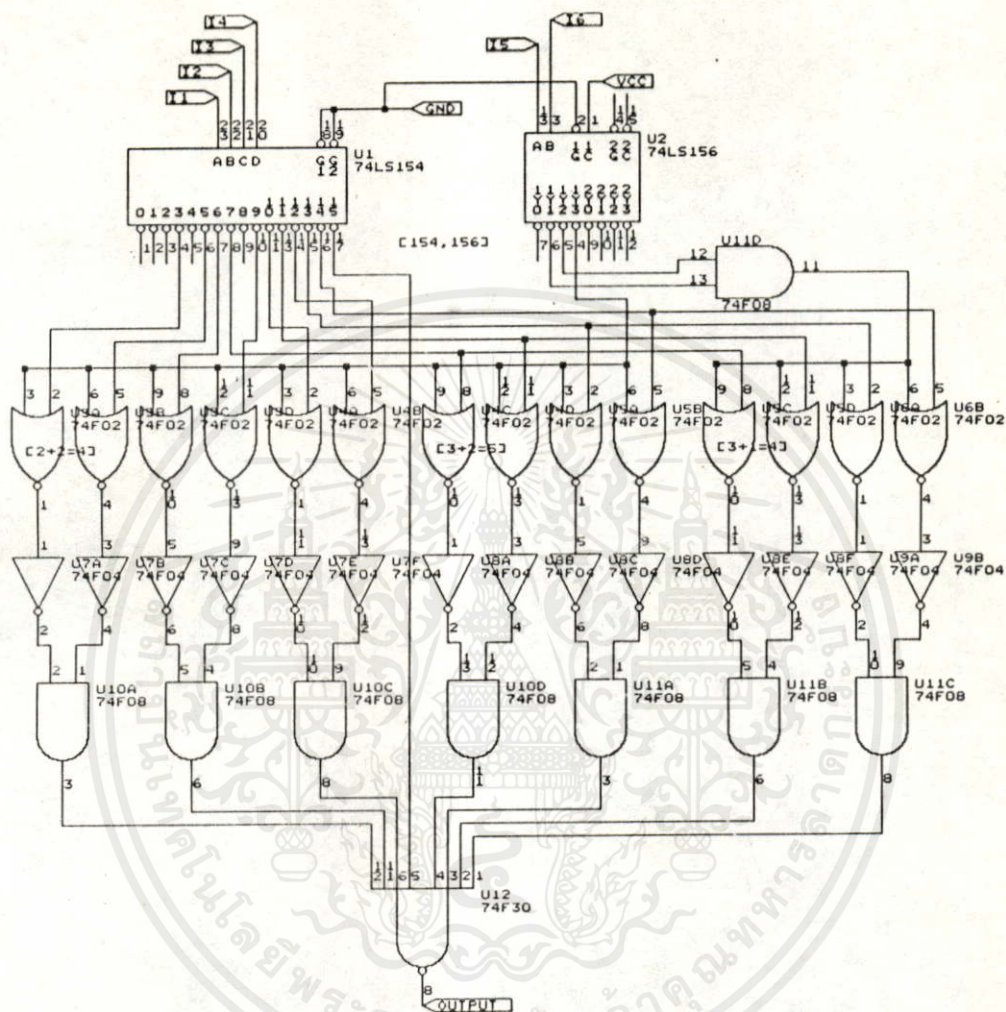
## วงจร เทรสโฮล เกต

จากทฤษฎีของวงจรเทรสโฮลดังที่กล่าวถึงในหัวข้อที่ 3 เมื่อนำมาแปลงเป็นรูปแบบทางฮาร์ดแวร์เพื่อการใช้งานจริง จะประกอบไปด้วยเกตพื้นฐานต่างๆ ตามเงื่อนไขของการออกแบบที่คำนึงถึงความเร็วในการทำงาน และขนาดของวงจรโดยรวม ซึ่งมีผลโดยตรงมาจากจำนวนอินพุตทั้งหมดของวงจร

สำหรับการออกแบบเพื่อใช้งานจริงกับวงจรถอดรหัสคอนโวลูชันด้วยวิธีเทรสโฮลนี้ มีผลการออกแบบสองวงจร ที่ขนาดอินพุต 6 และ 8 บิต ดังแสดงในรูปที่ 4.11 และ 4.12 ตามลำดับ จะเห็นว่าวงจรขนาด 8 อินพุตนั้นมีขนาดใหญ่กว่าวงจร 6 อินพุตมาก ซึ่งประกอบไปด้วยชิพ Line Decoder และเกตต่าง ๆ เมื่อสร้างเป็นฮาร์ดแวร์แล้วจะเป็นวงจรที่มีขนาดใหญ่ ดังนั้นวงจรเทรสโฮลที่มีจำนวนอินพุตสูงมากขึ้นกว่านี้ จะมีขีดจำกัดที่จะสร้างจริง ดังที่ได้กล่าวมาแล้วการออกแบบวงจรเข้าและถอดรหัสจึงมีข้อจำกัดที่จะเลือกใช้งานวงจรเทรสโฮลเกตตามจำนวนอินพุต 6 และ 8 บิต เท่านั้น

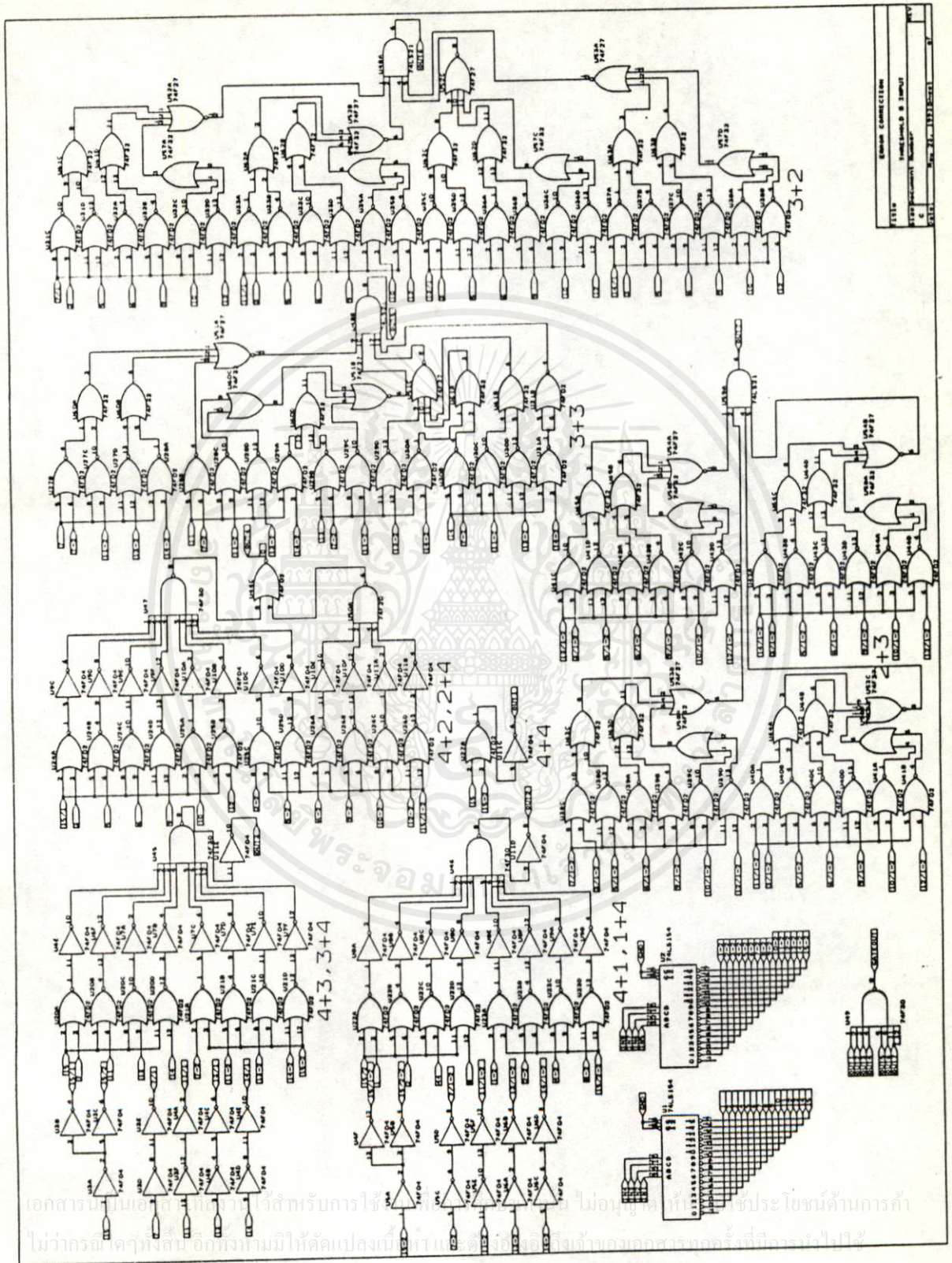


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการ ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 วงจรเกิดแบบเทรลชีเลขขนาด 6 อินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการเรียนการสอน ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต  
 ไม่มีการจำหน่าย หรือให้บริการอื่นใดที่ขัดแย้งกับนโยบายของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

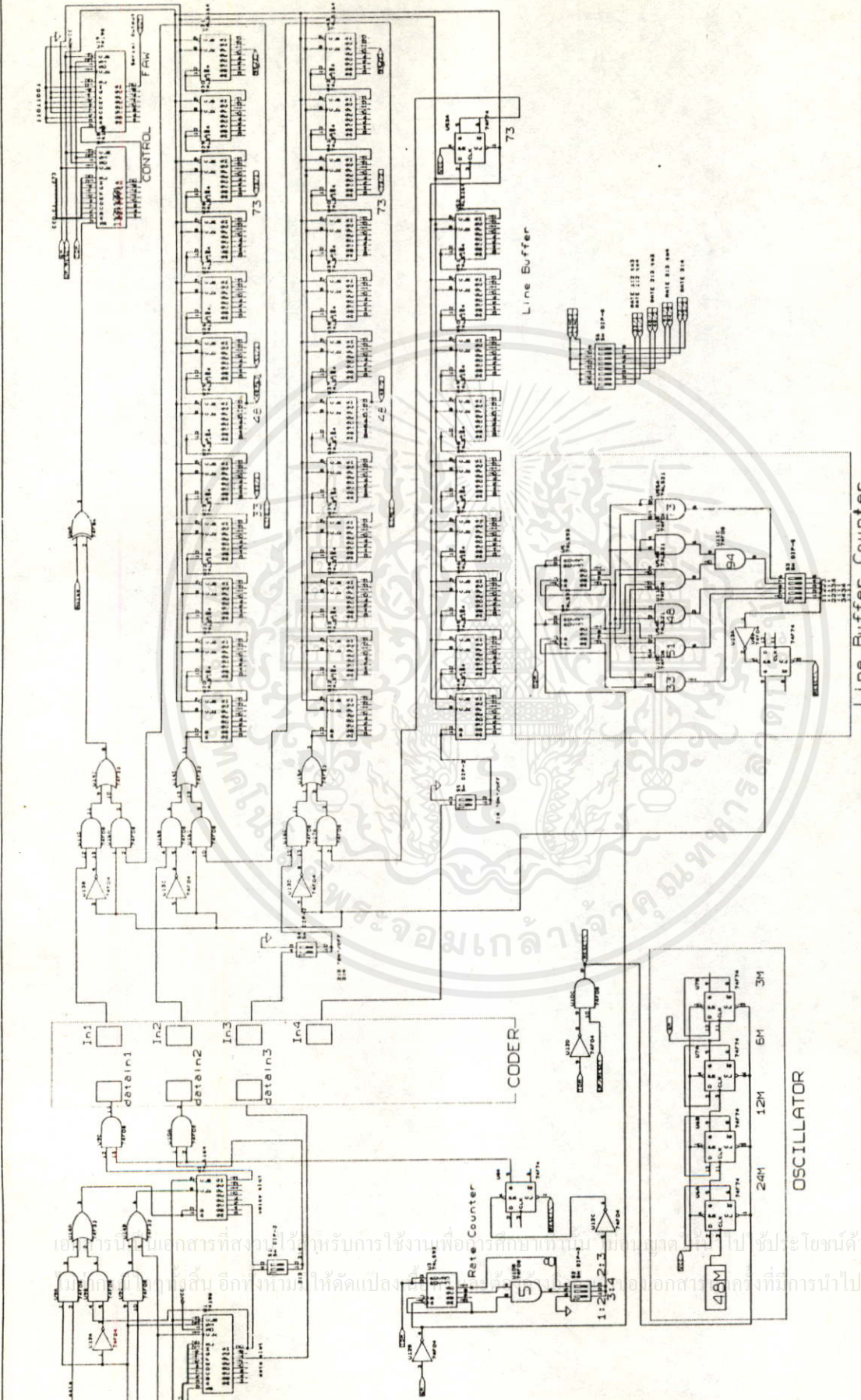
## วงจรรวมและระบบรับส่ง

หัวข้อนี้จะกล่าวถึงการออกแบบวงจรรวมเพื่อใช้ควบคุมการทำงาน และระบบการรับส่งข้อมูล โดยวงจรรวมที่ออกแบบได้แสดงไว้ดังรูปที่ 4.13 ซึ่งเป็นวงจรรวมของภาคส่งและรูปที่ 4.14 เป็นวงจรรวมของภาครับ อนุบายการทำงานของวงจรรวมโดยละเอียดดังนี้

### - ภาคส่ง

จากไดอะแกรมทางเวลาของรูปที่ 4.3 จะเป็นส่วนสำคัญที่ใช้อธิบายการทำงานประกอบกับวงจรรวมของภาคส่ง โดยการทำงานของวงจรรวมจะเริ่มต้นจากส่วนของวงจรรวมแปลงสัญญาณเสียงที่ทำการสุ่มสัญญาณด้วยความถี่ 8 kHz ซึ่งความถี่นี้จะเป็นตัวกำหนดหรือบอกให้การทำงานของทุกส่วนวงจรรวมทั้งภาคส่งและภาครับต้องเสร็จสิ้นภายใน 1 คาบเวลา(T) นั่นคือ  $T = 1/8 \text{ kHz} = 125 \text{ us}$  โดยการเริ่มต้นการทำงานจากขอบขาขึ้นของความถี่ 8kHz จะทำให้วงจรรวมแปลงสัญญาณเสียงเริ่มทำงาน ซึ่งจะปล่อยสัญญาณ time slot enable (TXE) ออกมา สัญญาณนี้ก็คือสัญญาณ IDM ที่นำมาใช้รีเซ็ตระบบของวงจรรวมทุกส่วนทั้งภาคส่งทั้งหมด ซึ่งประกอบไปด้วยวงจรรวมตรวจสอบ FAW, วงจรรวม Oscillator, วงจรรวม Rate Counter, วงจรรวม Line Driver Counter, วงจรรวม Line Buffer และวงจรรวม Coder รวมทั้งจะนำสัญญาณ IDM ไปใช้ในการโหลดข้อมูลเสียงขนาด 8 บิตเข้าสู่ไอซี  $U_2$  ด้วยเวลาขนาด 8 คาบของความถี่ 1.536 MHz ของวงจรรวมแปลงสัญญาณเสียง และโหลดข้อมูลขนาด 8 บิตเข้าสู่  $U_1$  หลังจากสิ้นสุดสัญญาณ TXE แล้ว IDM จะเปลี่ยนเป็นขอบขาลงซึ่งจะเป็นตัวบอกการเริ่มต้นของวงจรรวมภาคถัดไป ซึ่งก็หมายถึงการเริ่มนำเอาข้อมูลใน  $U_1$  และ  $U_2$  ไปทำการเข้ารหัสส่งภาค Coder ต่อไป พร้อมด้วยการจ่ายสัญญาณนาฬิกาขนาด 6 MHz สำหรับ  $S_1$  นั้นจะเป็นสวิตช์ที่ติดตั้งหรือเปลี่ยนแปลงค่าอัตราที่จะใช้ในการเข้ารหัส และ  $S_2$  จะเป็นตัวบอกขีดจำกัดของข้อมูลที่จะเลื่อนเข้าสู่ภาค Coder หลังจากที่ข้อมูลได้ผ่านการเข้ารหัสแล้วจะถูกส่งเข้าสู่วงจรรวม Line Buffer เพื่อจัดการเรียงลำดับก่อนส่งออกไปยังภาครับในลักษณะอนุกรม สำหรับวงจรรวม Line Buffer จะสามารถเลือกใช้งานในอัตรารหัสต่างๆ 5 แบบได้โดยปรับสวิตช์  $S_3, S_4, S_5$  และ  $S_6$  การปรับ  $S_3$  จะเป็นการเลือกใช้งานวงจรรวม Line Driver Counter ที่เป็นตัวกำหนดขนาดของชิพรีจิสเตอร์ในแต่ละแถวของแต่ละอัตรา

จากวงจรรวมส่วนเอาท์พุทจะเห็นว่าการจัดเรียงช่องสัญญาณเวลาในแต่ละเฟรมจะเป็นไปโดยอัตโนมัติ นั่นคือ FAW ของช่องเวลาที่ 1 จะอยู่ที่  $U_{19}$  และช่องเวลาที่ 2 ของ Control จะอยู่ที่  $U_{18}$  ส่วน  $U_2$  และ  $U_1$  เป็นช่องเวลาที่ 3 และ 4 ตามลำดับ เฟรมของช่องเวลาดังกล่าวนี้เป็นการจัดในรูปแบบเริ่มต้นก่อนทำการเข้ารหัส ส่วนหลังจากการเข้ารหัสแล้วช่องเวลาที่ 3 และ 4 จะเปลี่ยนแปลงไป โดยมีขนาดขึ้นอยู่กับอัตรารหัสที่เลือกใช้ และจะถูกแปลงกลับคืนในลักษณะเดิมหลังจากผ่านการถอดรหัสจากทางภาครับแล้ว



รูปที่ 4.13 วงจรควบคุมรวมภาคส่ง



## - ภาครับ

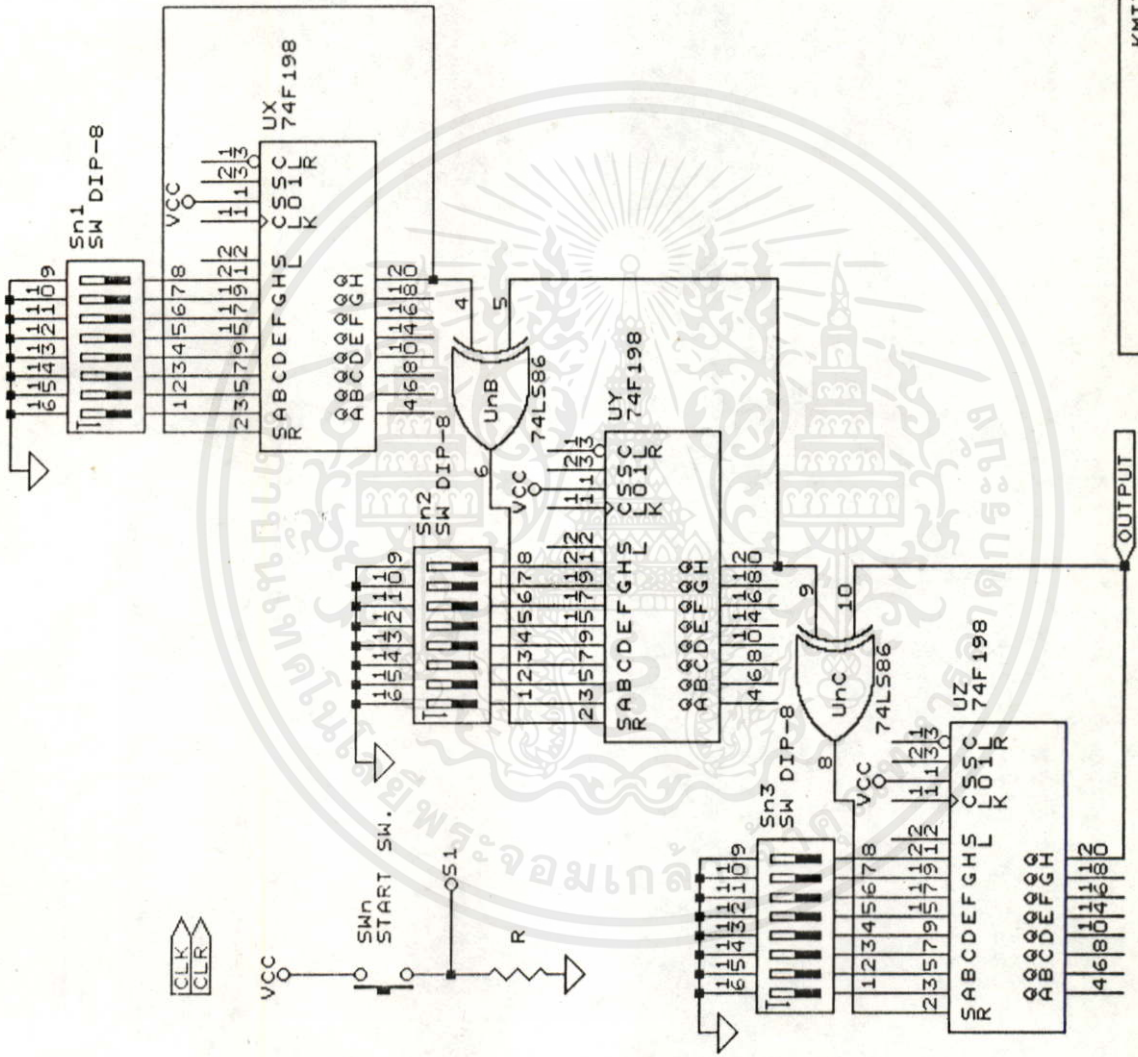
หลังจากที่รหัสจากทางภาคส่งได้ถูกส่งมายังภาครับโดยมีช่องสัญญาณเวลาเริ่มต้น คือ FAW ทางภาครับจะต้องทำการตรวจจับช่องสัญญาณเวลานี้ให้ได้ก่อนจะเริ่มทำงานในส่วนอื่น ๆ จากหลักการสื่อสารแบบอนุกรมอะซิงโครนัส (Asynchronous) ที่ใช้หลักการตรวจจับบิตเริ่มต้น (Start Bit) ซึ่งเป็นวิธีที่เหมาะสมสำหรับการทำงานของชุดรับส่งนี้เช่นกันจึงได้ถูกนำมาใช้ ซึ่งในส่วนของ FAW นี้จะถือว่าเป็นส่วนของไบท์เริ่มต้นแทน การทำงานทางภาครับจะรอการตรวจสอบ FAW ของ  $U_3$  ที่ได้รับข้อมูลเข้ามาตลอดเวลาที่พบส่วนของไบท์เริ่มต้นหรือยัง เมื่อพบแล้วจะทำการส่งสัญญาณไปบอก  $U_4$  เพื่อจ่ายสัญญาณการเริ่มต้นนำข้อมูลทางภาคส่งเข้าสู่วงจร Line Buffer สำหรับการจัดเปลี่ยนข้อมูลอนุกรมให้เป็นแบบขนานตามอัตราที่เลือกใช้งาน รวมทั้งสั่งการให้ Counter  $R_1$  ซึ่งเป็นวงจรนับจำนวนบิตข้อมูลที่กำหนดไว้สำหรับอัตรารหัสนั้น ๆ ทำงานพร้อมกันด้วย และในลักษณะกลับกันกับทางภาคส่ง ข้อมูลในวงจร Line Buffer ที่มีการปรับค่าให้เหมาะสมกับรหัสนั้น ๆ แล้วจะถูกส่งต่อไปยังภาคถอดรหัส เพื่อแปลงรหัสข้อมูลกลับเป็นข้อมูลต้นฉบับดั้งเดิม โดยการทำงานของวงจร Counter  $R_2$  จะเป็นตัวกำหนดเวลาการจ่ายข้อมูลออกมาจากภาคถอดรหัสตามอัตรารหัสต่าง ๆ ที่เลือกใช้ รวมทั้งวงจร Counter  $R_3$  ด้วย ที่จะใช้บอกขนาดของวงจร TDM Buffer สำหรับเลื่อนข้อมูลที่ได้เข้าไปเก็บรอการอ่านออกไป สำหรับส่วนของข้อมูลที่เป็นเสียงของทางภาครับนั้นจะใช้สัญญาณ TDM จากไอซี  $U_{1,4}$  เป็นสัญญาณ TXE เพื่อบอกการเริ่มต้นให้ภาคแปลงสัญญาณทำการแปลงสัญญาณจากดิจิทัลเป็นสัญญาณเสียง ซึ่งการทำงานจะคล้ายกับภาคส่งแต่จะทำงานในลักษณะตรงข้าม

### - หน่วยควบคุมการทำงาน

วงจรส่วนนี้จะมีหน้าที่ควบคุมการทำงานของระบบรวมโดยจะอยู่ในรูปของวงจรไมโครโปรเซสเซอร์ (Z-80) ทั้งสำหรับภาคส่งและภาครับ การทำงานจะเริ่มขึ้นจากการรีเซทระบบจากผู้ใช้งาน แล้วจึงทำการโปรแกรมการใช้งานวงจรแปลงสัญญาณเสียงผ่านทางวงจรมัลติเพล็กซ์แบบแบ่งช่วงเวลาเพื่อกำหนดช่องสัญญาณตามเงื่อนไขการใช้งานดังที่ได้กล่าวมา รวมถึงใช้ในการตรวจสอบสถานะการทำงานเพื่อจัดค่าหรืออ่านค่าในช่องสัญญาณ Control ของทางภาคส่งและภาครับ สำหรับทางภาครับ จะมีการทำงานเพิ่มเติมในส่วนของการตรวจสอบข้อมูลเพื่อหาค่าอัตราบิตผิดพลาด (Bit Error Rate ; BER )

### วงจรสร้างสัญญาณรบกวน

สำหรับวงจรนี้มีวัตถุประสงค์ของการสร้างคือ เพื่อใช้ในการทดสอบการทำงานของระบบสำหรับตรวจสอบความสามารถของการแก้ไขความผิดพลาด โดยมีลักษณะของวงจรดังรูปที่ 4.15 ซึ่งไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งงานนี้ให้คิดแบ่งเนื้อหาและต้องอ้างอิงถึงค่าของเอกสารดังกล่าวเพื่อให้งานอธิบายการทำงานได้ว่า รีจิสเตอร์ทั้งสามตัว  $U_x$ ,  $U_y$  และ  $U_z$  จะถูกตั้งค่าเพื่อสร้างบิตสัญญาณรบกวน



Title		KMITL
Size Document Number		NOISE GENERATOR
REV		A
Date:	November 5, 1993	Sheet of

รูปที่ 4.15 วงจรสร้างสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กวนออกไปรวมกับสัญญาณข้อมูลรหัสจริงของภาคส่งที่  $U_0A$  ในรูปที่ 4.13 โดยที่สัญญาณรบกวนนี้จะมีผลเฉพาะส่วนของรหัสที่เป็นสัญญาณเสียงและข้อมูลเท่านั้น การตั้งค่าในรีจิสเตอร์ทั้งสามนี้จะมีผลให้สัญญาณที่ได้มีผลเป็นแบบสุ่ม (random) ทั้งการทำงานที่มีผลซึ่งกันและกันของรีจิสเตอร์ผ่านทาง  $U_n$  และเวลาในการเริ่มปล่อยสัญญาณออกไปสู่ระบบจากการกำหนดของผู้ใช้เองที่สวิตช์  $SW_n$  ดังนั้นสัญญาณดังกล่าวจึงถือได้ว่าเป็นสัญญาณรบกวนเทียมที่มีประสิทธิภาพเหมาะสมสำหรับใช้ทดสอบการทำงานได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### การควบคุมและทดสอบการทำงาน

วงจรต่าง ๆ ที่ได้ออกแบบสร้างมาในบทที่ 4 จะถูกนำมาประกอบเพื่อทดสอบการทำงาน โดยมีหน่วยควบคุมเพื่อจัดการให้ระบบทำงานได้อย่างถูกต้องและสอดคล้องกัน ซึ่งในขั้นตอนนี้ก่อนการนำไปใช้งานได้ทำการออกแบบการจำลองการทำงานในวงจรบางส่วน และออกแบบการควบคุมการทำงานของหน่วยควบคุมโดยมีขั้นตอนตามลำดับดังนี้

#### การจำลองการทำงาน

วงจรที่จะนำมาจำลองการทำงานจะเป็นส่วนของภาคการเข้าและถอดรหัสของทุกอัตรารหัส โดยกำหนดเงื่อนไขการทำงานสมมติด้วยการใช้ซอฟต์แวร์ OrCAD VSI (Digital Simulation) ในการจำลอง สำหรับขั้นตอนการจำลองจะกระทำโดยแปลงวงจรการเข้าและถอดรหัสที่ประกอบด้วยซีพียูรีจิสเตอร์ และตัวบวกโมดูลิโอให้อยู่ในรูปของอุปกรณ์ทางฮาร์ดแวร์ลอจิก (TTL) แล้วกำหนดค่าเงื่อนไขของข้อมูลอินพุตตามแต่กรณีเพื่อดูผลของรหัสทางเอาท์พุต รวมถึงกรณีการสุ่มกำหนดค่าบิตสัญญาณรบกวนแทรกรวมไปกับสัญญาณระหว่างภาคส่งและภาครับ ทั้งนี้เพื่อที่จะตรวจสอบการออกแบบว่าถูกต้องหรือไม่ก่อนการนำไปสร้างจริง รวมทั้งศึกษาขั้นตอนความสัมพันธ์โดยละเอียดของการทำงานในทุก ๆ ส่วนของวงจร

#### การโปรแกรม

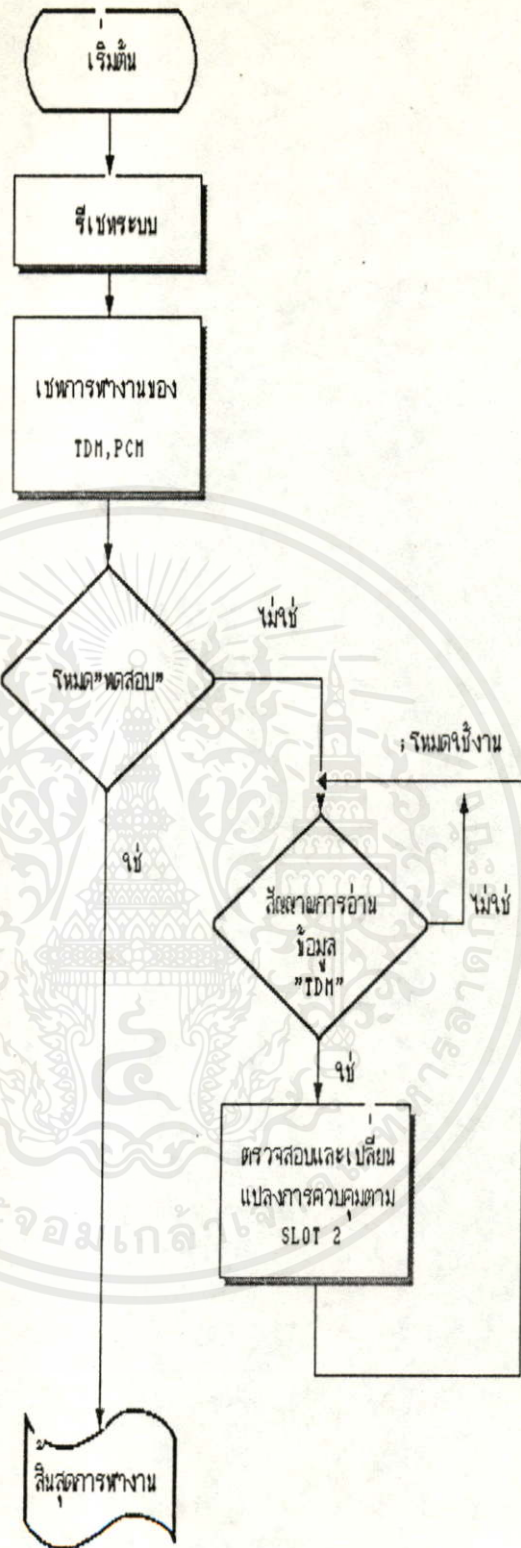
จากหัวข้อวงจรควบคุมรวมและระบบการรับส่งที่ได้กล่าวมาในบทที่ 4 แล้วนั้นการทำงานนั้นในหัวข้อนี้จะกล่าวถึงการโปรแกรมเพื่อควบคุมการทำงานของวงจรดังกล่าวให้มีขั้นตอนเป็นไปตามลำดับโดยสอดคล้องกัน ซึ่งได้แสดงลำดับการทำงานดังโฟลว์ชาร์ต รูปที่ 5.1 และ 5.2 ของภาคส่ง (Transmitter) และภาครับ (Receiver) ตามลำดับ สำหรับโปรแกรมที่สร้างขึ้นได้แสดงไว้ดังบทภาคผนวก

#### การทดสอบการทำงาน

วงจรและโปรแกรมทุกส่วนเมื่อทำการสร้างเสร็จแล้วจะนำมาทดสอบการทำงานเพื่อศึกษาคุณลักษณะของระบบการสื่อสารที่ได้สร้างขึ้น โดยเงื่อนไขของการทดสอบจะศึกษาถึงคุณภาพของสัญญาณเสียง และอัตราบิตผิดพลาด BER (Error bits/total bits) อันเนื่องมาจากผลของสัญญาณรบกวนรูปแบบต่าง ๆ ในข้อมูลของสัญญาณที่ผ่านและไม่ได้ผ่านการเข้ารหัส ที่เกิดขึ้นจากการกำ-



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ 5.4 หน้าที่แสดงการควบคุมการทางานของภาคส่ง  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 รูปที่ 5.2 โปรแกรมแสดงการควบคุมการทางของภาครับ  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทวนในรีจิสเตอร์ทั้งสามส่วนของวงจรสร้างสัญญาณรบกวน

ขั้นตอนการทดสอบจะทำการ เปรียบเทียบความแตกต่างของอัตรารหัสทุกอัตราต่อผลที่ได้ โดยที่สัญญาณเสียงจะแสดงในรูปของการจับใจความ(ความคมชัด) และระดับของเสียง ส่วนข้อมูลจะทำการแสดงผล BER จากข้อมูลที่ใช้ทดสอบขนาด 4 กิโลไบต์ (KByte) หรือประมาณ  $4,000 \times 8 = 32,000$  บิตต่อการทดสอบในแต่ละครั้ง ซึ่งขั้นตอนของการโปรแกรมการตรวจสอบ BER ได้แสดงไว้ดังโปรแกรมที่ 5.3 ทั้งนี้ในการทดสอบจะเป็นการกำหนดสัญญาณรบกวนแบบสุ่ม (random) ขึ้น

สำหรับการทดสอบหาค่า BER จะมีเงื่อนไขของการทดสอบเปรียบเทียบในลักษณะพิเศษ อีกเงื่อนไขหนึ่งที่เราไปถึงรูปแบบของสัญญาณรบกวน (pseudo-random noise sequence) ซึ่งจะใช้สัญญาณรบกวนนี้ทดสอบในทุกอัตรารหัสเช่นเดียวกันกับการทดสอบแบบสุ่ม เพื่อเปรียบเทียบผลการแก้ไขความผิดพลาดในอีกลักษณะหนึ่งและ เพื่อเป็นการยืนยันผลการทำงานการแก้ไขความผิดพลาดของวงจรที่ได้สร้างขึ้นด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การจำลองการทำงานจากการกำหนดเงื่อนไขของข้อมูลอินพุตในลักษณะต่าง ๆ ซึ่งจะ ทำให้ได้ชุดรหัสที่ประกอบด้วยข่าวสาร (information) และพาริตี (parity) เรียงตามลำดับ และ จากการสุ่มสร้างสัญญาณรบกวนนั้น พบว่าสัญญาณรบกวนจะมีผลทำให้ข้อมูลเอาต์พุตมีความผิดพลาดได้ ถ้าสัญญาณนั้นมีผลเกินความสามารถของเงื่อนไขอัตรารหัสสั้นๆ ผลดังกล่าวนี้ถ้าเกิดขึ้นจากการรบกวน ในส่วนของข่าวสารจะมีผลทำให้เกิดความผิดพลาดของข้อมูลได้มากกว่าส่วนของพาริตี ทั้งนี้สังเกตได้ ว่าส่วนของข่าวสารจะต้องนำมาสร้างชุดพาริตีที่ทางภาครับ เพื่อใช้ตรวจสอบกับพาริตีที่มาจากภาคส่ง ฉะนั้นข่าวสารที่เกิดความผิดพลาดเพียงแค่ 1 บิต จะยังผลให้เกิดชุดพาริตีของภาครับผิดพลาดไปเป็น จำนวนมาก ซึ่งต่างจากส่วนของความผิดพลาดที่เกิดขึ้นในส่วนของพาริตีจากภาคส่งที่มีลักษณะผลความ ผิดพลาดเป็นแบบบิตต่อบิต ดังนั้นความน่าจะเป็นของความสามารถในการแก้ไขความผิดพลาดจึงขึ้นกับ ลักษณะการรบกวนของสัญญาณรบกวนด้วยว่า จะมีผลต่อส่วนของข่าวสาร และส่วนของพาริตีที่ส่งมาใน ลักษณะอนุกรม (Serial) เป็นอย่างไร

สำหรับผลการใช้งานจริงจากเงื่อนไขการทำงานปกติและ เงื่อนไขที่ทำการป้อนสัญญาณ รบกวนขนาดต่าง ๆ อย่างซิงโครไนซ์เข้ากับช่องสัญญาณ โดยให้สุ่มมีผลกับสัญญาณเฉพาะที่ส่วนของสัญญาณเสียงและข้อมูลนั้นได้ผลการทดสอบสัญญาณเสียงดังตารางที่ 6.1 และผลการตรวจสอบบิตความ ผิดพลาด BER ดังกราฟรูปที่ 6.1 ซึ่งสรุปผลการทดสอบได้ว่า

- สัญญาณ เสียง

ผลของการทดสอบจากการเลือกเงื่อนไขของสัญญาณรบกวนที่มีผลต่อความผิดพลาดต่ำ ๆ เงื่อนไขเดียวกันในทุกอัตรารหัส เนื่องจากที่ความผิดพลาดสูงจะไม่สามารถใช้ประโยชน์ใดๆ ได้จาก สัญญาณเสียงนั้น ได้ผลการเปรียบเทียบในทุกอัตรารหัสที่ไม่ต่างกันมากนัก ทั้งนี้เนื่องจากสัญญาณเสียง เอาต์พุตของทางภาครับจะขึ้นอยู่กับรหัสสัญญาณดิจิทัลที่เข้ามาก่อนการแปลงเป็นสัญญาณเสียง ซึ่งพิจารณาได้ว่าคุณภาพของเสียงจะขึ้นกับว่าความผิดพลาดจะเกิดขึ้นที่บิตใดของรหัสสัญญาณดิจิทัล ถึงแม้ว่าจะมีจำนวนบิตผิดพลาดเท่ากันก็ตามก็อาจทำให้สัญญาณเสียงที่แปลงกลับมาได้เกิดการผิดเพี้ยนไป มากหรือน้อยกว่าได้ถ้ามีตำแหน่งของบิตผิดพลาดต่างกัน จึงเป็นสาเหตุที่ทำให้ผลการเปรียบเทียบการ แก้ไขความผิดพลาดของสัญญาณเสียงไม่ชัดเจนนัก

- ข้อมูล

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด การตรวจสอบหาค่าเฉลี่ยบิตผิดพลาด BER ได้ทำการทดสอบเป็นจำนวน 20 ครั้ง ของ อัตรารหัสใด ๆ จากผลของสัญญาณรบกวนทั้ง 5 เงื่อนไขได้ผลดังกราฟรูปที่ 6.1 ซึ่งได้แสดงผลที่บ่ง

บอกถึงความสามารถในการแก้ไขความผิดพลาดของแต่ละเงื่อนไขรหัสค่อนข้างชัดเจน จากผลแสดงให้เห็นว่า ทุกอัตรารหัสและทุกเงื่อนไขสัญญาณรบกวนมีความผิดพลาดข้อมูลสูงมาก ซึ่งความผิดพลาดส่วนใหญ่เหล่านี้เกิดจากผลของสัญญาณรบกวนมากเกินไปเกิดขีดจำกัดความสามารถในการแก้ไข ดังนั้นข้อมูลเอาร์ทพุดที่ได้ส่วนใหญ่จึงมีลักษณะที่เปลี่ยนแปลงไปเป็นลักษณะใด ๆ ก็ได้ ขึ้นอยู่กับการถอดรหัสที่ให้ผลผิดพลาดเหล่านั้น ซึ่งไบท์ข้อมูลที่ผิดพลาดอาจจะมียุติผิดพลาดที่ต่างไปจากข้อมูลจริงเพียงบิตเดียวหรือครบทั้ง 8 บิตก็ได้ เพราะฉะนั้นค่า BER จึงมีลักษณะที่ไม่แน่นอน ดังเช่นกรณีของรหัส  $\{2, 1, 17, 3\}$  เงื่อนไขสัญญาณรบกวนที่ 4, รหัส  $\{2, 1, 35, 4\}$  เงื่อนไขสัญญาณรบกวนที่ 5 และ รหัส  $\{3, 2, (36, 40), 3\}$  เงื่อนไขสัญญาณรบกวนที่ 3 จะมีลักษณะการเปลี่ยนแปลงของ BER แตกต่างจากรหัสอื่น ๆ ที่เงื่อนไขสัญญาณรบกวนเดียวกัน ส่วนผลการทดสอบส่วนใหญ่จะมีลักษณะแนวโน้มที่ดีขึ้น หรือมีจำนวนบิตผิดพลาดลดลงตามความสามารถของเงื่อนไขรหัสที่เพิ่มขึ้น

สำหรับผลการทดสอบเปรียบเทียบในลักษณะที่สร้างสัญญาณรบกวนแบบทรานรูปร่างที่แน่นอน (pseudo-random noise sequence) เพื่อยืนยันผลการทดลอง ซึ่งได้ผลการทดสอบเป็นไปตามขีดความสามารถที่ได้ออกแบบไว้ คือ ทุกอัตรารหัสสามารถแก้ไขความผิดพลาดให้ถูกต้องได้ถ้ามีความผิดพลาดไม่เกิน 3, 4, 6, 8, 9 บิตตามลำดับ ทั้งนี้เป็นการวัดผลในแต่ละชุดของข้อมูลที่ทำการรับส่งในช่วงคาบเวลาใด ๆ เช่นเดียวกับผลของการจำลอง ส่วนผลการทดสอบที่มีการกำหนดค่าสัญญาณรบกวนที่ทราบค่าและ เกินความสามารถของการแก้ไข ได้ให้ผลค่า BER สอดคล้องกับความสามารถของแต่ละอัตราเช่นเดียวกัน

ผลการทดสอบวงจรในททุก ๆ ส่วนสามารถทำงานสอดคล้องกันได้อย่างดี แต่จะพบปัญหาบ้างในกรณีของชุดการแก้ไขความผิดพลาดเงื่อนไขรหัส  $\{3, 2(83, 86), 4\}$  ที่วงจรรวมทั้งภาคเข้าและถอดรหัสรวมทั้งเกิดแบบเทอร์สโสลมีขนาดใหญ่มาก ทำให้ภาคจ่ายไฟต้องจ่ายกระแสไฟสูง สำหรับภาคส่งประมาณ 1.3 แอมป์ และภาครับประมาณ 2 แอมป์ และมีผลของสัญญาณรบกวนในวงจรส่วนต่าง ๆ ค่อนข้างสูง จึงเป็นผลให้การทำงานมีความผิดพลาดเกิดขึ้นเป็นบางครั้งจากการหลุดจากการซิงโครไนซ์ของภาครับ และมีผลต่อสัญญาณเสียงที่ได้จากภาครับด้วยคือทำให้มีเสียงรบกวนเป็นพื้น (back ground) อยู่มาก สำหรับปัญหาเสียงรบกวนนี้พบในทุกอัตรารหัส แต่มีอยู่เบาบางต่างกัน ทั้งนี้เป็นผลมาจากสัญญาณรบกวนที่มีความถี่สูงในวงจรภาครับและภาคส่ง รวมถึงภาควงจรควบคุมการทำงานที่ใช้ไมโครโปรเซสเซอร์ทำงานด้วยความถี่คงที่คงหนึ่ง ส่งผลมายังวงจรแปลงสัญญาณเสียงทั้งทางภาคเหนี่ยวนำ รวมทั้งผลจากการใช้ระดับไฟกราวด์ (Ground) ร่วมกันในส่วนสัญญาณดิจิทัล จึงเป็นเหตุให้เกิดเสียงรบกวนเป็นพื้นอยู่ดังกล่าว

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ เป็นเพื่อการศึกษาดูเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

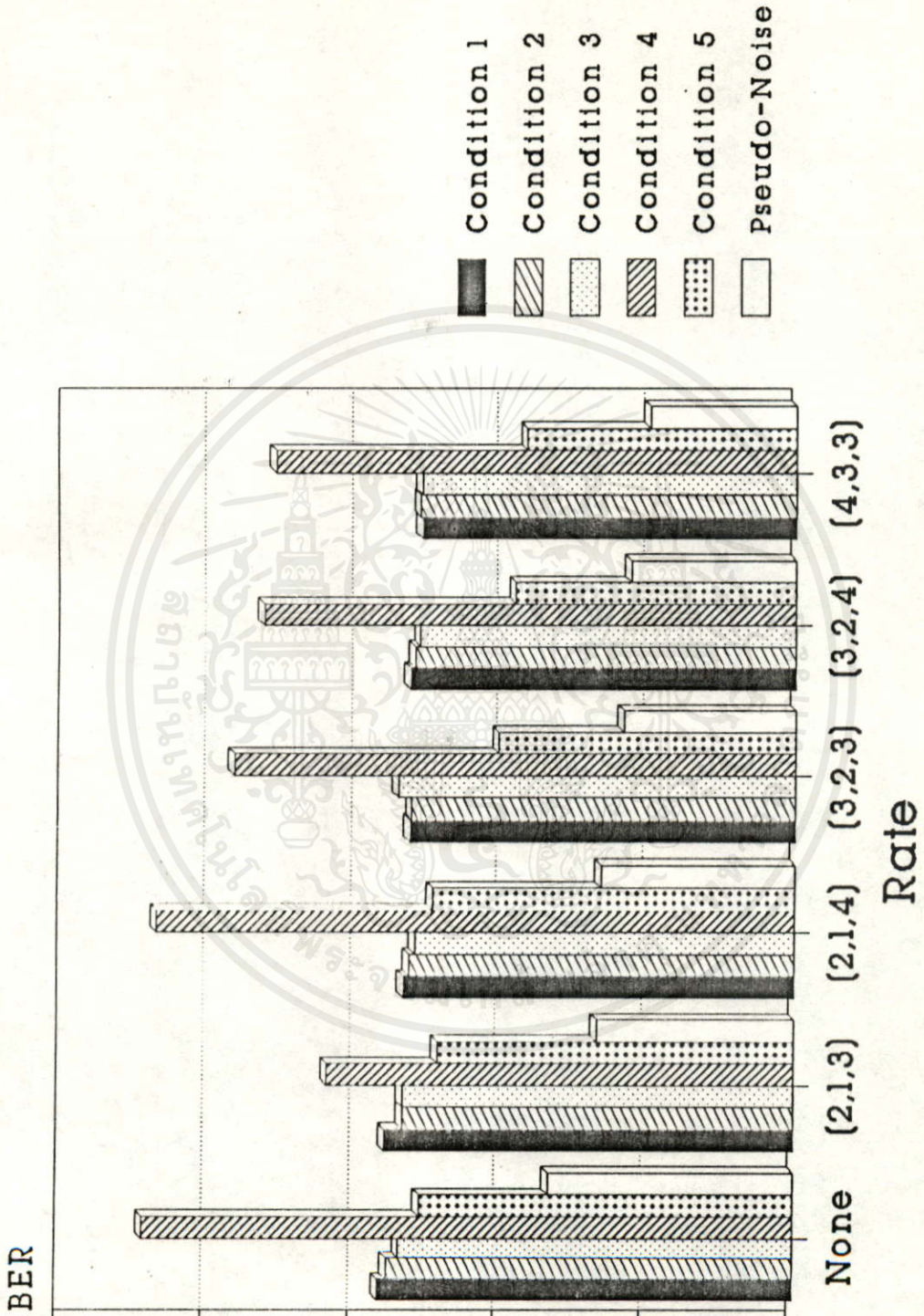
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.1 ผลการทดสอบคุณภาพสัญญาณเสียงจากผลของสัญญาณรบกวนเงื่อนไขเดียวกัน

เงื่อนไขรหัส	คุณภาพเสียง		
	ความคมชัด	ระดับเสียง	เสียงรบกวน
{2, 1, 17, 3}	ชัด เหนือพอสมควร	ค่อนข้างต่ำ	มาก
{2, 1, 35, 4}	ชัด เหนือพอสมควร	ค่อนข้างต่ำ	มาก
{3, 2, (36, 40, 3)}	ชัด เหนือพอสมควร	ค่อนข้างต่ำ	มาก
{3, 2, (83, 86), 4}	ไม่ชัด เหนือ	ค่อนข้างต่ำ	มาก
{4, 3, (42, 56, 67), 3}	ชัด เหนือพอสมควร	ค่อนข้างต่ำ	มาก
- ไม่มีการแก้ไข ความผิดพลาด	-	-	มาก/ไม่สามารถ รับฟังได้

หมายเหตุ การทดสอบกรณีที่ไม่ได้สัญญาณรบกวน สัญญาณเสียงมีความชัด เหนือ ระดับเสียงปานกลาง และมีเสียงรบกวนพอสมควร ในทุกอัตรารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับยกย่องซึ่งงานเพื่อการประชาสัมพันธ์เท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแก้ไขความผิดพลาดของข้อมูล เป็นวิธีที่ช่วยเพิ่มประสิทธิภาพให้กับการสื่อสารข้อมูล ที่ถูกบั่นทอนด้วยสัญญาณรบกวนต่าง ๆ ซึ่งการแก้ไขด้วยการเข้ารหัสคอนวอลูชัน เป็นวิธีหนึ่งที่เหมาะสม สำหรับการนำไปใช้งานในรูปแบบต่าง ๆ สำหรับโครงการงานการแก้ไขความผิดพลาดของการสื่อสารร่วม สัญญาณเสียงและข้อมูลแบบทิศทางเดียว (simplex) ในโครงข่ายแบบจุดต่อจุด (point to point) ที่ทำการแปลงสัญญาณเสียงให้เป็นสัญญาณดิจิทัลด้วยวิธีพัลส์โคดมอดูเลชัน (Pulse Code Modulation; PCM) และมัลติเพลกซ์ร่วมกับข้อมูลด้วยวิธีแบ่งช่องเวลา (Time Division Multiplex; TDM) นี้ ได้นำเอารหัสคอนวอลูชัน (Convolution) มาใช้ที่เงื่อนไขรหัส  $\{2, 1, 17, 3\}$  ,  $\{2, 1, 35, 4\}$  ,  $\{3, 2, (36, 40), 3\}$  ,  $\{3, 2, (83, 86), 4\}$  และ  $\{4, 3, (42, 56, 67), 3\}$  โดยเลือกหลักการถอดรหัสแบบเทรชโฮล (Threshold Decoding) ซึ่งเป็นวิธีการถอดรหัสที่ใช้หลักการตรวจสอบซินโดรม (syndrome) ของการแก้ไขแบบย้อนกลับ (feedback decoding) และได้ทำการออกแบบและจำลองการทำงานที่เงื่อนไขต่าง ๆ แล้วสร้างเป็นชุดฮาร์ดแวร์สำหรับใช้งาน โดยการจำลองการทำงานดังกล่าวเป็นวิธีที่กระทำเพื่อพิสูจน์การออกแบบก่อนการนำไปสร้างใช้งาน รวมทั้งศึกษาขั้นตอนการทำงานจากผลของสัญญาณรบกวน สำหรับการทดสอบได้ศึกษาถึงผลของสัญญาณรบกวน ที่เงื่อนไขต่าง ๆ ร่วมกันของทุกอัตรารหัส โดยสัญญาณเสียงได้ศึกษาถึงคุณภาพของเสียงที่ได้หลังจากการแก้ไขความผิดพลาดแล้ว พบว่าเกือบทุกเงื่อนไขการทดสอบได้คุณภาพเสียงที่มีความชัดเจนพอสมควร ระดับเสียงค่อนข้างต่ำ และมีเสียงรบกวนมาก ซึ่งการทดสอบนี้ได้ผลการเปรียบเทียบไม่ชัดเจนนัก ต่างจากการทดสอบหาอัตราบิดผิดพลาด BER ของข้อมูลที่ได้นั้นแนวโน้มการเปรียบเทียบของกราฟค่อนข้างชัดเจน กล่าวคือ BER ลดลงตามการเพิ่มประสิทธิภาพของรหัสที่สูงขึ้น ทั้งนี้เพราะในการทดสอบนำเอาสัญญาณรบกวนเข้ามาพร้อมกับสัญญาณรหัส อาจมีผลทำให้เกิดความผิดพลาดส่วนใหญ่สูงเกินความสามารถของเงื่อนไขอัตรารหัสนั้น ๆ จึงเป็นผลให้สัญญาณเสียงที่แปลงกลับมามีคุณภาพที่ไม่แตกต่างกันมาก เนื่องจากความผิดพลาดขนาดใดก็ตามที่เกิดขึ้นและไม่สามารถแก้ไขให้ถูกต้องได้นั้น จะไม่ผลทำให้สัญญาณเสียงผิดเพี้ยนไปได้เช่นเดียวกัน ถึงแม้ว่ารูปแบบของความผิดพลาดจะต่างกันก็ตาม ส่วนค่า BER นั้นเป็นการวัดผลจำนวนบิตผิดพลาดต่อจำนวนบิตข้อมูลทั้งหมด ซึ่งได้ผลที่แสดงถึงความผิดพลาดเป็นจำนวนบิตโดยตรง ต่างจากสัญญาณเสียงที่ต้องแปลงกลับมาจากสัญญาณดิจิทัลที่มีความผิดพลาดอีกต่อหนึ่ง

สำหรับการออกแบบและจำลองในงานวิจัยนี้ มีข้อจำกัดในการสร้างฮาร์ดแวร์ที่ประกอบไปด้วยอุปกรณ์เกตและ ไอซีดิจิทัลพื้นฐาน ทำให้มีขนาดชิ้นงานใหญ่ตามอัตราที่ใช้และทำให้เกิดปัญหาในการประกอบวงจรส่วนของรีจิสเตอร์จำนวนมากที่ต้องใช้สัญญาณร่วมกัน (Fan In , Fan Out) จึงต้องเพิ่มส่วนเกทบัฟเฟอร์เพื่อรองรับกับคุณสมบัติทางไฟฟ้า ซึ่งต่างจากการจำลองการทำงาน และถ้าสามารถเลือกใช้อุปกรณ์ทดแทน หรือประยุกต์อื่น ๆ แทนได้เช่น เกทรวมซีพียูหรือ PAL ที่บรรจุอุป-

กรณีทั้งหมดลงบนชิพเดียว ก็จะสามารถช่วยลดขนาด และเวลาหน่วงในการใช้งานของระบบได้มาก ซึ่งอาจทำให้สามารถเพิ่มจำนวนช่องเวลาได้ ทั้งนี้เมื่อคำนึงถึงราคาและความเหมาะสมกับส่วนงานอื่นๆ ด้วยแล้ว และในส่วนของช่องสัญญาณสามารถที่จะใช้เส้นใยแสง (Optical Fibre) สำหรับการส่งผ่านข้อมูล ซึ่งจะทำให้สามารถเพิ่มประสิทธิภาพการสื่อสารข้อมูลได้ในหลายทาง เช่น ความเร็วของการรับส่งข้อมูลที่สูงขึ้น เป็นต้น

ส่วนการพัฒนาการออกแบบสร้างชุดการแก้ไขความผิดพลาดในลำดับต่อไป สามารถนำไปพัฒนาใช้ร่วมกับการแก้ไขความผิดพลาดรูปแบบอื่นหรือปรับปรุงประสิทธิภาพให้ดีขึ้น ซึ่งจะมีความซับซ้อนมากขึ้นด้วยต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [1] Haykin, Simon., "Digital Communication", New York, John Wiley & Sons ; 1988
- [2] Owen, Frank F.E., " PCM and Digital Transmission Systems " , Texas Instruments Electronics Series , McGraw-Hill ; 1982
- [3] Rhee, Man Young, " Error Correcting Coding Theory " , McGraw-Hill Publishing ; 1989
- [4] ประสิทธิ์ ประพัฒมงคลการ "หลักการระบบสื่อสาร", ซีเอ็ดดูเคชั่น, 2533
- [5] Sklar, Bernard, "Digital Communications Fundamental And Applications" , Englewood Cliffs, N.J. : Prentice-Hall, 1988
- [6] เกียรติศักดิ์ ศรีพิมานวัฒน์, แดเนียบล บริน และโยจิน เปรมปราณีรัชต์, "การใช้รหัสคอนโวลูชันในการแก้ไขความผิดพลาดของข้อมูล" การประชุมใหญ่วิชาการทางวิศวกรรม วิศวกรรมสถานแห่งประเทศไทย, หน้า 585-594 ; 2533
- [7] เกียรติศักดิ์ ศรีพิมานวัฒน์ และแดเนียบล บริน, "การแก้ไขความผิดพลาดของข้อมูลในการสื่อสารผ่านโมเด็ม" การประชุมทางวิชาการวิศวกรรมไฟฟ้าครั้งที่ 13 ณ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเชียงใหม่, หน้า 485-494 ; 2533
- [8] Michelson, Arnold M and Levesque, Allen H. "Error Control Techniques For Digital Communication", New York, John Wiley & Son, Inc ; 1985
- [9] Robinson, John P and Bernstein, Arthur J "A Class of Binary Recurrent Codes With Limited Error Propagation" IEEE Trans. Information Theory , Vol. IT-13, pp.106-113, January 1967
- [10] Robinson, John P, "Error Propagation and Definite Decoding of Convolution Codes" , IEEE Trans. Information Theory, Vol. IT-14, pp.121-128, January 1968
- [11] Muroga, Saburo, " Threshold Logic & It's Applications" John Wiley & Son ; 1971
- [12] Suda, Tatsuya and Bradley, Tracy T, "Packetized Voice/Data Integrated Transmission on a Token Passing Ring Local Area Network", IEEE Transactions on communication, Vol.37, No.3, pp.238-244, March 1989



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# โปรแกรมควบคุมการทำงานภาคส่ง

```

0000          cpu "z80.tb1"
0000          hof "int8"
2000          org 2000h
              ; set mode 8255

2000 AF      xor a
2001 3E8B    ld a,8bh      ; A=out ,b=out ,c upper=out ,c lower=in
2003 D323    out (23h),a  ; use C only
              ;up reset loop

2005 AF      xor a
2006 D320    out (20h),a  ; up reset  0000 0000
2008 3E01    ld a,01h    ; up set   0000 0001
200A D320    out (20h),a  ;
              ;TDM clock "set"
200C 3E03    ld a,03h    ;           0000 00x1
200E D320    out (20h),a  ; set CLK = 1 0000 0011
              ;clear to send status checking

2010 DB21    cts1: in a,(21h)
2012 E601    and 01h     ; clear to send checking , wait "1"
2014 28FA    jr z,cts1   ; xxxx xxx1 (Pb0)

              ;shift select (CS) on "1"

2016 3E0B    ld a,0bh     ; 0000 1011
2018 D320    out (20h),a  ; 0000 cs011

              ;send DI

เอกสารนี้เป็นเอกสารที่ ;bo ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่าจะวิธีใดทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องแจ้งถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
201A 3E0F    ld a,0fh     ; 0000 1111

```

```

201C D320      out (20h),a
201E 3E0D      ld a,0dh          ; 0000 1101  clock trail edge
2020 D320      out (20h),a
                ;b1 send 1
2022 3E0B      ld a,0bh          ; 0000 1011
2024 D320      out (20h),a
2026 3E09      ld a,09h         ; 0000 1001  clock trail edge
2028 D320      out (20h),a
                ;t6
202A 3E0B      ld a,0bh          ; 0000 1x11
202C D320      out (20h),a
202E 3E09      ld a,09h         ; 0000 10x1  clock trail edge
2030 D320      out (20h),a
                ;t5
2032 3E0B      ld a,0bh          ; 0000 1x11
2034 D320      out (20h),a
2036 3E09      ld a,09h         ; 0000 10x1  clock trail edge
2038 D320      out (20h),a
                ;t4
203A 3E0B      ld a,0bh          ; 0000 1x11
203C D320      out (20h),a
203E 3E09      ld a,09h         ; 0000 10x1  clock trail edge
2040 D320      out (20h),a
                ;t3
2042 3E0B      ld a,0bh          ; 0000 1x11
2044 D320      out (20h),a
2046 3E09      ld a,09h         ; 0000 10x1  clock trail edge
2048 D320      out (20h),a
                ;t2
204A 3E0B      ld a,0bh          ; 0000 1x11

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

204C D320      out (20h),a
204E 3E09      ld a,09h          ; 0000 10x1      clock trail edge
2050 D320      out (20h),a
                ;t1
2052 3E0B      ld a,0bh          ; 0000 1x11
2054 D320      out (20h),a
2056 3E09      ld a,09h          ; 0000 10x1      clock trail edge
2058 D320      out (20h),a
                ;wait clear to send OK.
205A DB21      cts0:  in a,(21h)
205C E601      and 01h          ; clear to send checking , wait "0"
205E 20FA      jr nz,cts0      ; xxxx xxx1 (Pb0)
                ;shift select = 0
2060 3E03      ld a,03h          ; 0000 0011
2062 D320      out (20h),a
2064 DF        rst 18h
                END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# โปรแกรมควบคุมการทำงานภาครับ

```

0000          cpu "z80.tbl"
0000          hof "int8"
2500          org 2500h
              ; set mode 8255
2500 AF       xor a
2501 3E8B     ld a,8bh      ; A=out ,b=out ,c upper=out ,c lower=in
2503 D323     out (23h),a   ; use C only
              ;up reset loop
2505 AF       xor a
2506 D320     out (20h),a ; up reset 0000 0000
2508 3E01     ld a,01h     ; up set 0000 0001
250A D320     out (20h),a ;
              ;TDM clock "set"
250C 3E03     ld a,03h     ; 0000 00x1
250E D320     out (20h),a ; set CLK = 1 0000 0011
              ;clear to send status checking
2510 DB21     cts1: in a,(21h)
2512 E601     and 01h      ; clear to send checking , wait "1"
2514 28FA     jr z,cts1    ; xxxx xxx1 (Pb0)
              ;shift select (CS) on "1"
2516 3E0B     ld a,0bh     ; 0000 1011
2518 D320     out (20h),a  ; 0000 cs011
              ;send DI
251A 3E0F     ld a,0fh     ; 0000 1111

```

เอกสารนี้เป็นเอกสารที่มอบไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

251A 3E0F ld a,0fh ; 0000 1111

```

251C D320      out (20h),a
251E 3E0D      ld a,0dh          ; 0000 1101  clock trail edge
2520 D320      out (20h),a
                ;b1 send 1
2522 3E0B      ld a,0bh          ; 0000 1011
2524 D320      out (20h),a
2526 3E09      ld a,09h          ; 0000 1001  clock trail edge
2528 D320      out (20h),a
                ;t6
252A 3E0B      ld a,0bh          ; 0000 1x11
252C D320      out (20h),a
252E 3E09      ld a,09h          ; 0000 10x1  clock trail edge
2530 D320      out (20h),a
                ;t5
2532 3E0B      ld a,0bh          ; 0000 1x11
2534 D320      out (20h),a
2536 3E09      ld a,09h          ; 0000 10x1  clock trail edge
2538 D320      out (20h),a
                ;t4
253A 3E0B      ld a,0bh          ; 0000 1x11
253C D320      out (20h),a
253E 3E09      ld a,09h          ; 0000 10x1  clock trail edge
2540 D320      out (20h),a
                ;t3
2542 3E0B      ld a,0bh          ; 0000 1x11
2544 D320      out (20h),a
2546 3E09      ld a,09h          ; 0000 10x1  clock trail edge
2548 D320      out (20h),a
                ;t2
254A 3E0B      ld a,0bh          ; 0000 1x11

```

เอกสารนี้เป็นเอกสาร ;t2 ทั่วไปสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

254A 3E0B ;t2 ทั่วทั้งสิ้น อีก ๒ อย่างมีใช้แค่แปลงเนื้อหาและต้องขออนุญาตของเอกสารทุกครั้งที่มีการนำไปใช้

```

254C D320      out (20h),a
254E 3E09      ld a,09h          ; 0000 10x1      clock trail edge
2550 D320      out (20h),a
                ;t1
2552 3E0B      ld a,0bh          ; 0000 1x11
2554 D320      out (20h),a
2556 3E09      ld a,09h          ; 0000 10x1      clock trail edge
2558 D320      out (20h),a
                ;wait clear to send OK.
255A DB21      cts0:  in a,(21h)
255C E601      and 01h          ; clear to send checking , wait "0"
255E 20FA      jr nz,cts0      ; xxxx xxx1 (Pb0)
                ;shift select = 0
2560 3E03      ld a,03h          ; 0000 0011
2562 D320      out (20h),a
2564 DF        rst 18h
                END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# โปรแกรมตรวจนับ Bit Error Rate

```

0000          cpu "z80.tbl"
0000          hof "int8"
2000          org 2000h

                ; set mode 8255

2000 AF          xor a
2001 3E8B        ld a,8bh      ; A=out ,b=out ,c upper=out ,c lower=in
2003 D323        out (23h),a    ; use C only

2005 DD210060    LD IX,6000h    ;address
2009 11FF0F      LD DE,0fffh    ; counter address
                ; set up
200C 3EFF        ld a,0fffh
200E D320        out (20h),a
2010 AF          xor a
                ;check TDM for reading
2011          TDM:
2011 DB21        in a,(21h)
2013 E602        and 02h      ;PB1 xxxx xx1x
2015 28FA        jr z,TDM
                ; reading
2017 DB22        in a,(22h)
2019 DD7700      ld (ix+0),a

                ;up reset loop
201C AF          xor a

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

201C AF          xor a

```

```

201D D320      out (20h),a ; up reset 0000 0000
201F 3E01      ld a,01h ; up set 0000 0001
2021 D320      out (20h),a ;

2023 DD23      inc ix
2025 1B        dec de
2026 7A        ld a,d
2027 B3        or e

2028 20E7      jr nz,TDM

202A 00        nop
202B 00        nop
202C 00        nop
202D 00        nop
202E AF        xor a
                ; clear counter unit
202F FD210070  ld iy,7000h
2033 11FF0F    ld de,0fffh
2036           clr:
2036 FD360000  ld (iy+0),00h
203A FD23      inc iy
203C 1B        dec de

203D 7A        ld a,d
203E B3        or e
203F 20F5      jr nz,clr

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ; set iy  
 ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

2041 FD210070  ld iy,7000h

```

```

2045 DD210060    ld ix,6000h
2049 11FF0F      ld de,0ffffh
204C              ber:
204C 3A0030      ld a,(3000h)    ;load data

204F DDAE00      xor (ix+0)
2052 0608        ld b,08h        ; rotate 8 time
2054              rotate:
2054 CBOF         rrc a
2056 380E        jr c,count1    ; if "1" increment 1

2058              decrea:
2058 05           dec b
2059 20F9        jr nz,rotate
205B DD23        inc ix          ; next data
205D 1B          dec de
205E 7A          ld a,d
205F B3          or e
2060 20EA        jr nz,ber
2062 00          nop
2063 00          nop
2064 00          nop
2065 DF          rst 18h
2066              count1:
2066 4F           ld c,a

2067 FD3400      inc (iy+0)
206A FD7E00      ld a,(iy+0)
206D FEFF        cp 0ffffh

```

สารที่สงวนไว้สำหรับงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไปยังผู้อื่นอีกทั้งยังมิให้อัปเดตเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

206F 2002 jr nz, turn

2071 FD23 inc iy

2073 turn:

2073 79 ld a,c

2074 C35820 jp decrea

END

204C BER

2036 CLR

2066 COUNT1

2058 DECREA

2054 ROTATE

2011 TDM

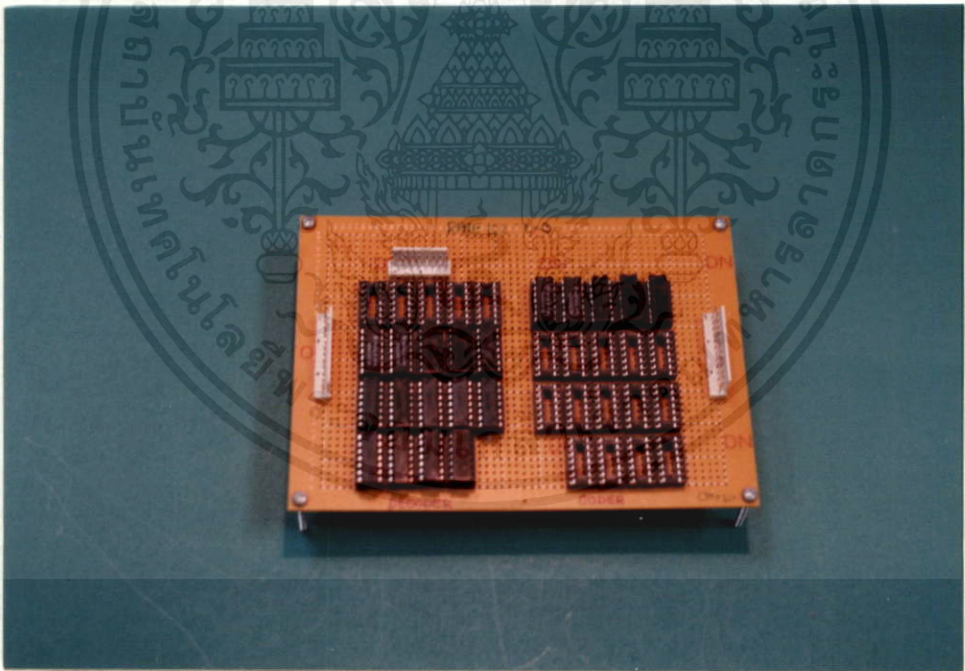
2073 TURN



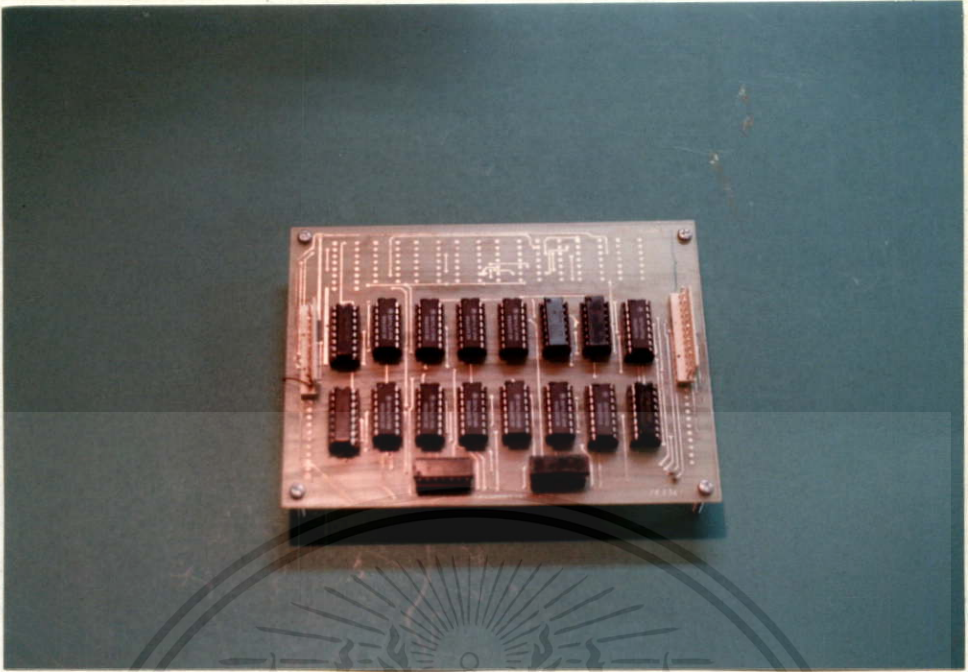
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะมิใช่ใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาพถ่ายแผ่นวงจร

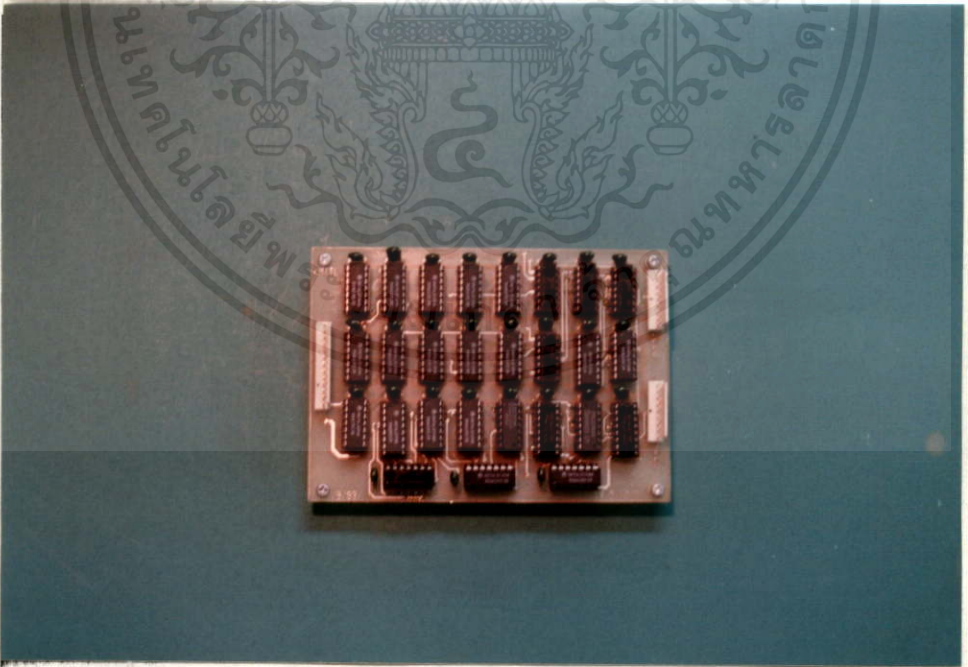
แผ่นวงจรที่แสดงในภาพถ่ายต่อไปนี้ เป็นส่วนของวงจรสำหรับการแก้ไขความผิดพลาดที่ได้จัดสร้างขึ้นสำหรับโครงการ " การแก้ไขความผิดพลาดของการสื่อสารสัญญาณ เสียงและข้อมูล " ของวิทยานิพนธ์ฉบับนี้ โดยภาพที่ 1 เป็นชุดวงจรภาคถอดรหัสและเข้ารหัสของเงื่อนไข  $\{2, 1, 17, 3\}$  ส่วนภาพที่ 2 ถึงภาพที่ 5 ของเงื่อนไข  $\{2, 1, 35, 4\}$ ,  $\{3, 2, (36, 40), 3\}$ ,  $\{3, 2, (83, 86), 4\}$ ,  $\{4, 3, (42, 56, 67), 3\}$  เป็นชุดวงจรเฉพาะภาคถอดรหัสเพียงอย่างเดียว สำหรับภาคเข้ารหัสนั้นจะมีลักษณะแผ่นวงจรเป็นแบบเดียวกันแต่ใช้อุปกรณ์น้อยกว่า (ภาคเข้ารหัสเปรียบเทียบกับส่วนของการสร้างพริตช์ของภาคถอดรหัส ซึ่งวงจรมีลักษณะเดียวกันจึงใช้แผ่นวงจรเดียวกัน) ส่วนภาพที่ 6 และ 7 เป็นชุดวงจรเกตแบบเทอร์สโสล ขนาด 6 และ 8 อินพุตตามลำดับ



ภาพที่ 1 ชุดแผ่นวงจรภาคถอดรหัสและเข้ารหัสเงื่อนไข  $\{2, 1, 17, 3\}$   
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาติให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

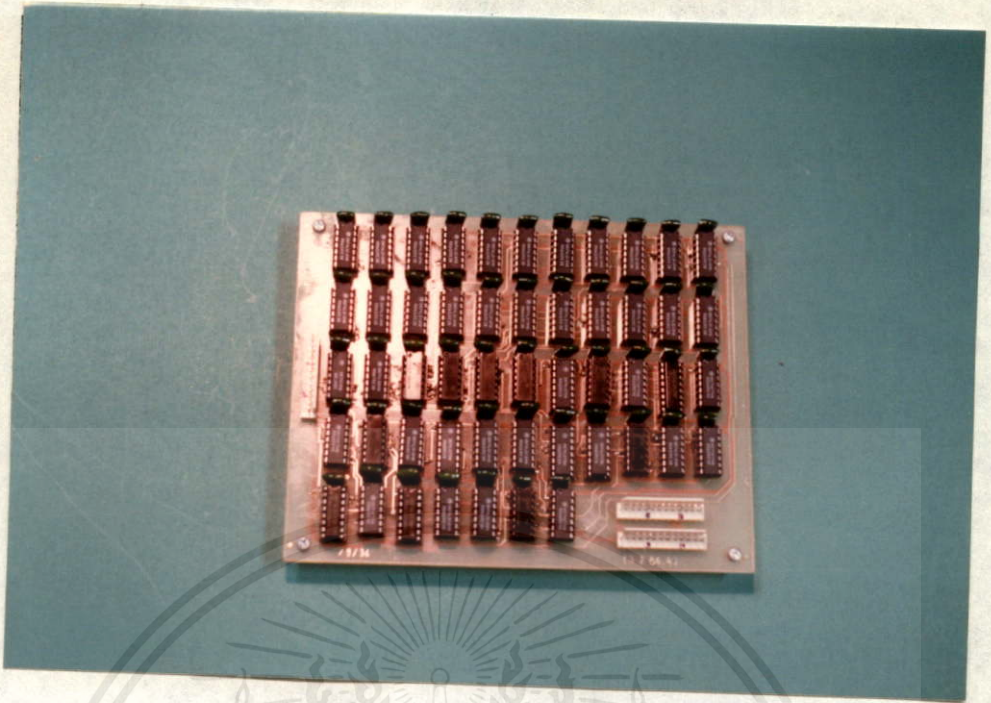


ภาพที่ 2 ชุดแผ่นวงจรภาคถอดรหัสเงื่อนไข {2,1,35,4 }

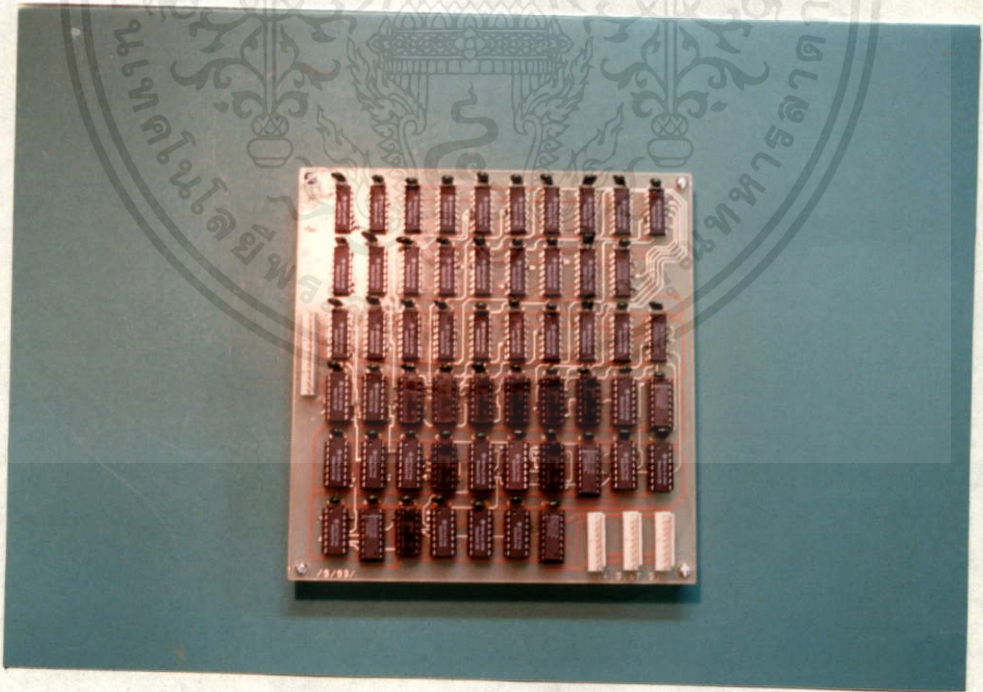


ภาพที่ 3 ชุดแผ่นวงจรภาคถอดรหัสเงื่อนไข {3,2,(36,40),3}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น



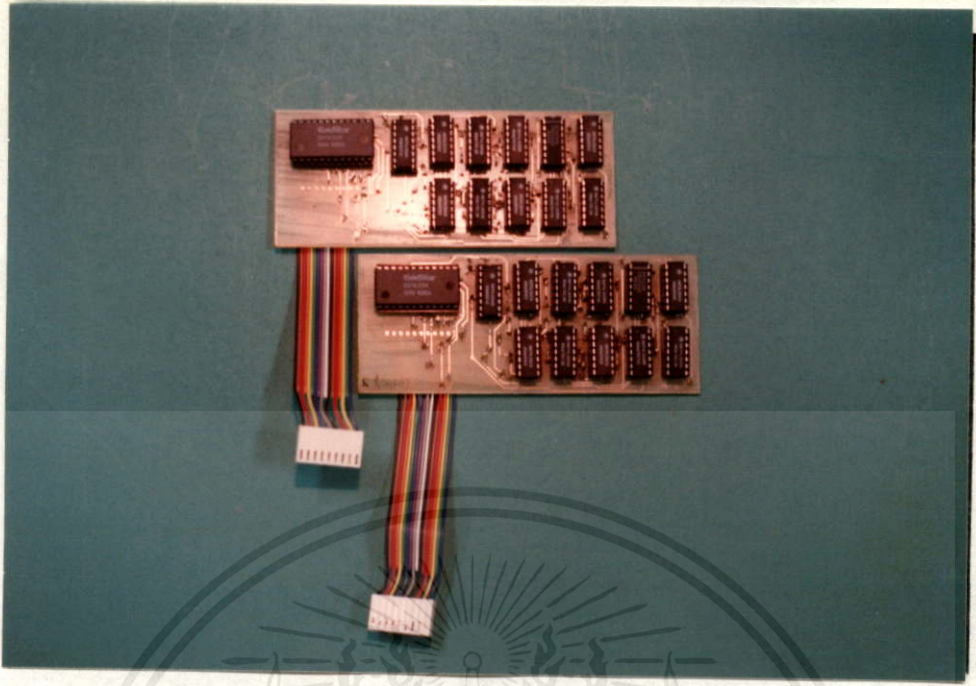
ภาพที่ 4 ชุดแผ่นวงจรภาคถอดรหัสเงื่อนไข  $\{3, 2, (83, 86), 4\}$



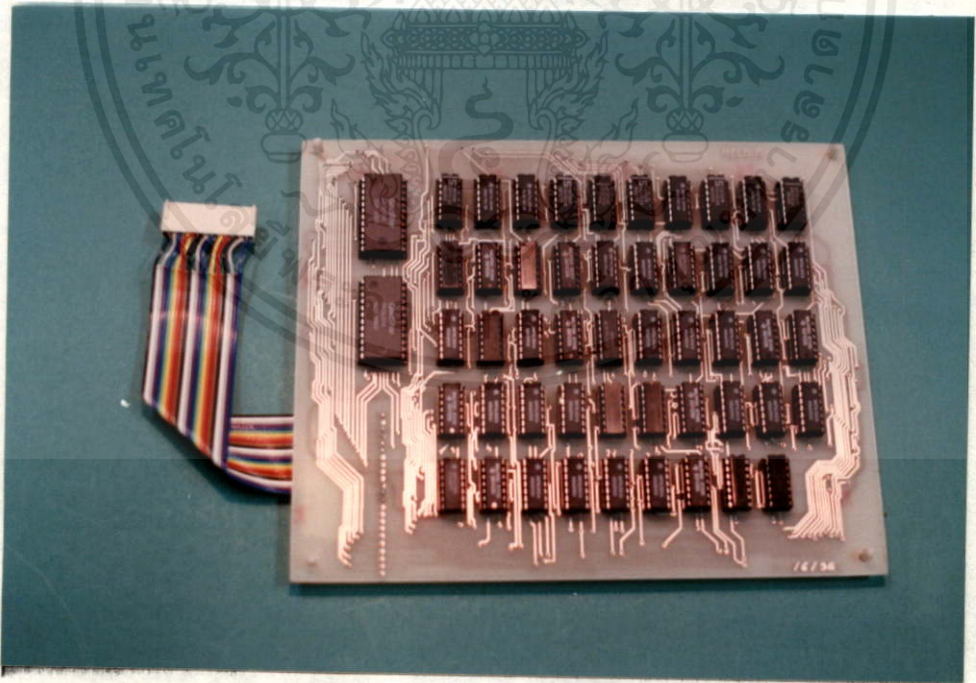
ภาพที่ 5 ชุดแผ่นวงจรภาคถอดรหัสเงื่อนไข  $\{4, 3, (42, 56, 67), 3\}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ภาพที่ 5 ชุดแผ่นวงจรภาคถอดรหัสเงื่อนไข  $\{4, 3, (42, 56, 67), 3\}$



ภาพที่ 6 ชุดแผ่นวงจรเกตแบบทรานซิสเตอร์ขนาด 6 อินพุต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น **ภาพที่ 7 ชุดแผ่นวงจรเกตแบบทรานซิสเตอร์ขนาด 8 อินพุต**

**MOTOROLA**  
**SEMICONDUCTOR**  
**TECHNICAL DATA**

**CODEC-FILTER PCM-MONO-CIRCUIT**

The MC14400, MC14401, MC14402, MC14403, and MC14405 are all per channel codec-filter PCM mono-circuits. These devices perform the voice digitizing and recovery, as well as the band limiting and signal restoration necessary in PCM systems. The MC14400 and MC14403 are general purpose devices that are offered in a 16-pin package. They are designed to operate in both synchronous and asynchronous applications and contain an on-chip precision voltage reference. The MC14401 is the same device, but offered in an 18-pin package. In addition, it offers the user the capability of selecting from three peak overload voltages (2.5, 3.15 and 3.78 V). The MC14405 is a synchronous device in a 16-pin package intended for instrument use. The MC14402 is the full feature device which presents all of the options available on the chip. This device is packaged in a 22-pin DIP and 28-pin chip carrier package, and contains all the features of the MC14400 and MC14401 plus several more. Most of these features can be made available in a lower pin count package tailored to a specific user's application. Contact the factory for further details.

The devices were designed to be upward compatible with the MC14404/06/07 codecs and other industry standard codecs. They also maintain compatibility with Motorola's family of TSACs (MC14416/MC14417/MC14418) as well as the MC3419 SLIC.

The PCM codec-filter mono-circuits utilize CMOS due to its reliable logic power performance and proven capability for complex analog/digital LSI functions.

**MC14400**

- 16-Pin Package
- On-Chip Precision Voltage Reference (3.15 V)
- Power Dissipation - 45 mW at 2.048 MHz at 10 V  
0.1 mW Powered Down at 10 V
- Compatibility with Various Supply Configurations:  $\pm 5$ ,  $\pm 6$ ,  $\pm 10$ ,  $\pm 12$  Volts (5%)
- Pin Selectable TTL and CMOS Digital Levels
- Automatic Prescale Divide of Any One of 5 Clock Frequencies (128 kHz, 1.536 MHz, 1.544 MHz, 2.048 MHz, or 2.56 MHz) to Generate the Internal Sequencing Clock
- Pin Selection of Both A-LAW/Mu-LAW Companding and D3/D4 or CCITT Digital Formats
- Output Drive Capability for 600 and 900 Ohm Loads of +12 dBm
- Synchronous and Asynchronous Operation
- On-Chip Attendant Interrupt Conferencing
- Transmit Bandpass and Receive Low-Pass Filters on Chip

**MC14401 - All of the Above Plus:**

- 18-Pin Package
- Selectable Peak Overload Voltages (2.5, 3.15 and 3.78 Volts)
- Access to the "Minus" Input of the Tx Input Op Amp

**MC14402 - All of the Above Plus:**

- 22-Pin Package
- Variable Data Clocks (64 kHz to 3.088 MHz)
- Access to Transmit Input Amplifier
- An External Precision Reference May Be Used
- External Gain Adjust for Complex SLIC Configurations

**MC14403**

- 16-Pin Package
- Same Device as MC14400 with Access to Transmit Input Amplifier with Single Ended Receive Output
- MSI Tied Internally to TDE

**MC14405**

- 16-Pin Package
- Same Device as MC14403 with Common 64 kHz to 3.088 MHz Data Clocks

**MC14400**  
**MC14401**  
**MC14402**  
**MC14403**  
**MC14405**

**CMOS LSI**

(LOW-POWER COMPLEMENTARY MOS)

**CODEC-FILTER**  
**PCM MONO-CIRCUIT**



**MC14400/03/05**  
**L SUFFIX**  
CERAMIC PACKAGE  
CASE 620



**MC14401**  
**L SUFFIX**  
CERAMIC PACKAGE  
CASE 726



**MC14402**  
**L SUFFIX**  
CERAMIC PACKAGE  
CASE 736



**MC14402**  
**Z SUFFIX**  
28-PIN CHIP CARRIER  
CASE 763

**ORDERING INFORMATION**

MC14XXXXX

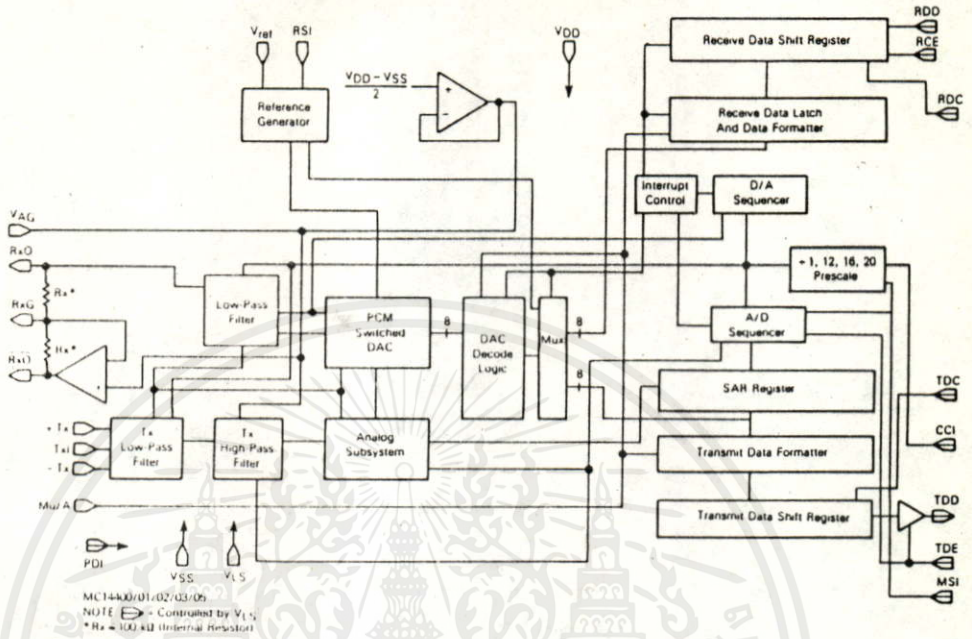
- 1 CCITT (G7.12)
- 2 D3/D4 (PUB 43801)
- L Ceramic Package
- Z Leadless Ceramic Package

**MOTOROLA TELECOMMUNICATIONS DEVICE DATA**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้า ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14400, MC14401, MC14402, MC14403, MC14405

PCM MONO-CIRCUIT BLOCK DIAGRAM



DEVICE DESCRIPTIONS

There are five distinct versions of the Motorola PCM mono-circuit.

MC14400

The MC14400 PCM mono-circuit is a PCM codec filter intended for standard word interleaved synchronous or asynchronous applications. The TDC pin on this device is the input to both the TDC and CCI functions in the pin description. Consequently, for MSI = 8 kHz, TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty), 1.536, 1.544, 2.048 or 2.56 MHz. (For other data clock frequencies see MC14402 or MC14405.) The internal reference is set for 3.15 volts peak full scale, and the full scale input level at Tx1 and output level at RxO is 6.3 volts peak-to-peak. This is the +3 dBm0 level of the PCM mono-circuit. All other functions are described in the pin description.

MC14401

The MC14401 PCM mono-circuit offers the same features and is for the same application as the MC14400, but offers two additional pins and features. The reference select input allows the full scale level of the device to be set at 2.5 Vp, 3.15 Vp or 3.78 Vp. The -Tx pin allows for external transmit gain adjust and simplifies interface to the MC3419 SLIC. Otherwise, it is identical to MC14400.

MC14402

The MC14402 PCM mono-circuit is the full featured 22-pin device. It is intended for use in applications requiring maximum flexibility. The MC14402 contains all the features of the

MC14400 and MC14401. The MC14402 is intended for bit interleaved or word interleaved operation with data clock frequencies which are non standard or time varying. One of the five standard frequencies (listed above) is applied to the CCI input and the data clock inputs can be any frequency between 64 kHz and 3.088 MHz. The Vref pin allows for use of an external shared reference or selection of the internal reference and RxG and +Tx provide maximum flexibility for analog interface.

MC14403

The MC14403 PCM mono-circuit is intended for standard word interleaved asynchronous or synchronous applications. TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty), 1.536, 1.544, 2.048 or 2.56 MHz. (For other data clock frequencies see MC14402 or MC14405.) The internal reference is set for 3.15 volts peak full scale, and the full scale input level at Tx1 and output level at RxO is 6.3 volts peak-to-peak. This is the +3 dBm0 level of the PCM mono-circuit. The +Tx and -Tx inputs provide maximum flexibility for analog interface. All other functions are described in the pin description.

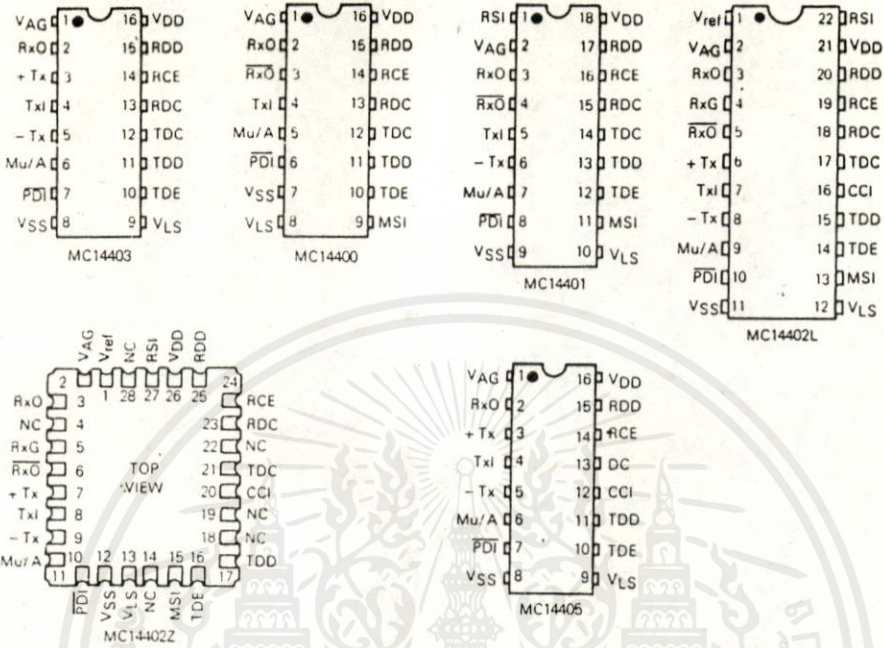
MC14405

The MC14405 PCM mono-circuit is intended for word interleaved synchronous applications. The MC14405 has all the features of the MC14403 but internally connects TDC and RDC (see pin description) to the DC pin. One of five standard frequencies (listed above) should be applied to CCI and the DC input can be any frequency between 64 kHz and 3.088 MHz.

MOTOROLA TELECOMMUNICATIONS DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครู ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14400, MC14401, MC14402, MC14403, MC14405



2

MAXIMUM RATINGS (Voltage Referenced to VSS)

Rating	Symbol	Value	Unit
DC Supply Voltage	$V_{DD} - V_{SS}$	-0.5 to 13	V
Voltage, Any Pin to VSS	V	-0.5 to $V_{DD} + 0.5$	V
DC Current Drain per Pin (Excluding $V_{DD}$ , $V_{SS}$ )	I	10	mAdc
Operating Temperature Range	$T_A$	-40 to +85	°C
Storage Temperature Range	$T_{stg}$	-85 to +150	°C

RECOMMENDED OPERATING CONDITIONS

Parameter	Pins	0 to 70°C			Unit
		Min	Typ	Max	
DC Supply Voltage	$V_{CC}$ to $V_{SS}$	6	10 to 12	13	V
Power Dissipation CMOS Mode 10 V TTL Mode 10 V	$V_{DD}$ to $V_{SS}$	-	45 75	70 110	mW
Power Down Dissipation 10 V	$V_{DD}$ to $V_{SS}$	-	0.1	1.0	mW
Frame Rate Transmit and Receive	MSI	7.5	8.0	8.5	kHz
Data Rate MC14400, MC14401, and MC14403 (Must Use One of These Frequencies) ± 2%	TDC, RDC	-	128 1536 1544 2048 2560	-	kHz
Data Rate MC14402, MC14405		64	-	3088	kHz
Full Scale Output and Input Levels MC14400, MC14403, MC14405		-	3.15	-	
MC14401 and MC14402, $V_{ref} = V_{SS}$	RxO, TxI	-	3.78 3.15 2.50	-	Vp
	RSI = $V_{DD}$ RSI = $V_{SS}$ RSI = VAG				

เอกสารนี้เป็นเอกสารที่สงวน MOTOROLA TELECOMMUNICATIONS DEVICE DATA อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14400, MC14401, MC14402, MC14403, MC14405

2

DIGITAL LEVELS (T<sub>A</sub> = 0 to 70°C)

Parameter	Symbol	V <sub>DD</sub> to V <sub>SS</sub>	Min	Typ	Max	Unit
CMOS Mode TDE, RCE, RDD, PDI, RDC, TDC, DC, CCI, MSI	"0"	12	-	5.25	3.6	V
	"1"	12	8.4	6.75	-	
TTL Mode TDE, RCE, RDD, PDI, RDC, TDC, DC, CCI, MSI	"0"	10	-	V <sub>LS</sub> + 1.0	V <sub>LS</sub> + 0.8	V
	"1"	10	V <sub>LS</sub> + 2.0	V <sub>LS</sub> + 1.8	-	
TDD Output Current (TTL Model)	V <sub>OH</sub> = 2.4 V	I <sub>OH</sub>	10	150	-	μA
	V <sub>OL</sub> = 0.8 V	I <sub>OL</sub>	-	1.6	-	

ANALOG TRANSMISSION PERFORMANCE

(V<sub>DD</sub> = +5 V ± 5%, V<sub>SS</sub> = -5 V ± 5%, 0 dBm<sub>0</sub> = +6 dBm@600 Ω, V<sub>LS</sub> = V<sub>AG</sub> = 0, T<sub>A</sub> = 0 to 70°C, TDC = RDC; TDE = RCE = 8 kHz)

Characteristic	E to E		A/D		D/A		Unit	
	Min	Max	Min	Max	Min	Max		
Absolute Gain (0 dBm <sub>0</sub> @ 1.02 kHz)	-0.3	+0.3	-0.3	+0.3	-0.3	+0.3	dB	
Gain vs Level Tone (Relative to -10 dBm <sub>0</sub> , 1.02 kHz)	+3 to -40 dBm <sub>0</sub>	-0.4	+0.4	-0.2	+0.2	-0.2	+0.2	dB
	-40 to -50 dBm <sub>0</sub>	-0.8	+0.8	-0.4	+0.4	-0.4	+0.4	
	-55 dBm <sub>0</sub>	-1.6	+1.6	-1.0	+1.0	-0.8	+0.8	
Gain vs Level - Pseudo Noise (A-Law Only, MC144XXL1 Only) (Relative to -10 dBm <sub>0</sub> )	-10 to -55 dBm <sub>0</sub>	-0.45	+0.45	-	-	-	-	dB
	-60 dBm <sub>0</sub>	-0.90	+0.90	-	-	-	-	
Total Distortion - 1.02 kHz Tone (C Message)	0 to -30 dBm <sub>0</sub>	35	-	35	-	36	-	dB
	-40 dBm <sub>0</sub>	29	-	29	-	30	-	
	-45 dBm <sub>0</sub>	24	-	24	-	25	-	
Total Distortion with Noise (A-Law Only, MC144XXL1 Only)	-3 dBm <sub>0</sub>	27.5	-	-	-	-	-	dB
	-6 to -27 dBm <sub>0</sub>	35	-	-	-	-	-	
	-34 dBm <sub>0</sub>	33.1	-	-	-	-	-	
	-40 dBm <sub>0</sub>	28.5	-	-	-	-	-	
	-55 dBm <sub>0</sub>	13.5	-	-	-	-	-	
Idle Noise (μ Law, C Message)	-	12	-	18	-	13	dBmCo	
	(A Law, Psophometric - MC144XXL1 Only)	-	-68	-	-68	-		-75
Frequency Response (Relative to -10 dBm <sub>0</sub> , 1.02 kHz)	15 to 60 Hz	-	-23	-	-23	-	0.15	dBm <sub>0</sub>
	300 to 3000 Hz	-0.30	+0.30	-0.15	+0.15	-0.15	+0.15	
	3400 Hz	-1.6	0	-0.8	0	-0.8	0	
	4000 Hz	-	-28	-	-14	-	-14	
	4600 Hz	-	-60	-	-32	-	-30	
Inband Spurious (1.02 kHz @ 0 dBm <sub>0</sub> )	-	-43	-	-43	-	-43	dBm <sub>0</sub>	
Out of Band Spurious (0 to 12 kHz in, @ 0 dBm <sub>0</sub> )	0 to 300 Hz	-	-	-	-	-	-	dBm <sub>0</sub>
	3400 to 4600 Hz	-	-28	-	-	-	-	
	4600 Hz to 12 kHz	-	-30	-	-	-	-	
Idle Noise Selective @ 8 kHz with V <sub>AG</sub> = T <sub>xI</sub> Measure at R <sub>xO</sub> , 30 Hz Bandwidth	-	-50	-	-	-	-	dBm <sub>0</sub>	
Group Delay Difference 0 dBm <sub>0</sub> , TDC, RDC = 2.048 MHz	500 to 600 Hz	-	80	-	-	-	-	μsec
	600 to 1000 Hz	-	60	-	-	-	-	
	1000 to 2600 Hz	-	140	-	-	-	-	
	2600 to 2800 Hz	-	80	-	-	-	-	
Go to Return Crosstalk (@ 0 dBm <sub>0</sub> )	T <sub>xI</sub> to TDD @ R <sub>xO</sub> RDD to R <sub>xO</sub> @ TDD	-	-	-	-65	-	-65	dBm <sub>0</sub>
Absolute Group Delay @ 1.02 kHz TDC = RDC = 2.048 MHz	-	460	-	-	-	-	μs	

MOTOROLA TELECOMMUNICATIONS DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14400, MC14401, MC14402, MC14403, MC14405

ANALOG ELECTRICAL CHARACTERISTICS (V<sub>DD</sub> = (10-12 V) ± 5%, 0 to 70°C)

Characteristic	Symbol	Min	Typ	Max	Unit
Input Current - Tx, + Tx, (TxI for MC14400)	I <sub>in</sub>		± 0.01	± 30	nA
AC Input Impedance (1 kHz)	Z <sub>in</sub>	100	200	—	kΩ
AC Input Impedance (1 kHz)	Z <sub>in</sub>	1.5	5.0	—	MΩ
Input Common Mode Voltage Range V <sub>DD</sub> = 10.0 V - Tx, + Tx	V <sub>ICR</sub>	+ 1.5	—	+ 8.0	V
Output Voltage Range RL = 20 k to V <sub>AG</sub> RL = 600 to V <sub>AG</sub> RL = 900 to V <sub>AG</sub>	V <sub>ORto</sub> V <sub>AG</sub>	- 4.0 - 3.2 - 3.9	— — —	+ 4.0 + 3.2 + 3.9	V
Output Current R <sub>xO</sub> , R <sub>xO</sub> Each Output	V <sub>OH</sub> = V <sub>DD</sub> - 0.8 V <sub>OL</sub> = 0.8	- 5.0 + 5.0	— —	— —	mA
Power Supply Rejection Ratio V <sub>DD</sub> = 12 V ± 0.05 V peak @ 1 kHz	R <sub>xO</sub> to V <sub>AG</sub> R <sub>xO</sub> to V <sub>AG</sub>	PSRR	30 40	40 —	dB
Shared External Reference	V <sub>ref</sub> to V <sub>AG</sub>		2.0	— 3.8	V
V <sub>ref</sub> Input Current	I <sub>in</sub>	—	0.3	—	mA
V <sub>AG</sub> Output Current	Source		200	—	μA
	Sink		8.0	—	mA

MODE CONTROL LOGIC (V<sub>SS</sub> = 0 V, 0 to 70°C)

Characteristics	V <sub>DD</sub> V <sub>dcc</sub>	Min	Typ	Max	Unit
V <sub>LS</sub> Voltage for TTL Mode	10 12	0 0	— —	6.0 8.0	V
V <sub>LS</sub> Voltage for CMOS Mode	10 12	9.5 11.5	— —	— —	V
Mu/A Select Voltage	10 12	9.5 11.5	— —	— —	V
Mu-Law Mode	10 12	4.0 5.0	— —	6.0 7.0	
Sign Magnitude Mode	10 12	— —	— —	0.5 0.5	
A-Law Mode	10 12	— —	— —	0.5 0.5	
Reference Select Voltage	3.78 V Mode 2.5 V Mode 3.15 V Mode	10 12 10 12 10 12	9.5 11.5 4.0 5.0 — —	— — 6.0 7.0 — —	V V V
V <sub>ref</sub> Mode Voltage	External Reference Mode Internal Reference Mode	10 12 10 12	4.0 5.0 — —	— — 0.5 0.5	V
Analogue Test Mode Selection Frequency, (MS) = CCI See Pin Description, Test Modes	10 12	— —	128 128	— —	kHz

MOTOROLA TELECOMMUNICATIONS DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14400, MC14401, MC14402, MC14403, MC14405

SWITCHING CHARACTERISTICS ( $V_{DD} = 110$  to  $12$  V,  $T_A = 0$  to  $70^\circ\text{C}$ ,  $C_L = 50$  pF CMOS or TTL Model)

Characteristic		Symbol	Min	Typ	Max	Unit	
Output Rise Time		$t_{TLH}$	-	30	80	ns	
Output Fall Time		$t_{THL}$	-	30	80	ns	
Input Rise Time	DC, TDE, CCI, RCE, RDC, TDC, MSI	$t_{TLH}$	-	-	4	$\mu\text{s}$	
Input Fall Time	DC, TDE Low, CCI, RCE, RDC, TDC, MSI	$t_{THL}$	-	-	4	$\mu\text{s}$	
Pulse Width	DC, TDE Low, CCI, RCE, RDC, TDC, MSI	$t_{WH}$	100	-	-	ns	
Clock Pulse Frequency	DC, TDC, RDC	$f_{CL}$	64	-	3088	kHz	
Clock Pulse Frequency (MSI = 8 kHz)	CCI	1	-	128	-	kHz	
This Pin Will Accept One of These 5 Discrete Clock Frequencies and Compensate to Produce Internal Sequencing.		2	-	1536	-		
		3	-	1544	-		
		4	-	2048	-		
		5	-	2560	-		
Propagation Delay Time	TTL	TDE to TDD Low Impedance	$t_{p1}$	85	130	180	ns
	CMOS	TDE to TDD Low Impedance	$t_{p1}$	50	100	160	
	TTL	TDE to TDD High Impedance	$t_{p2}$	-	50	75	
	CMOS	TDE to TDD High Impedance	$t_{p2}$	-	20	40	
	TTL	TDC* to TDD	$t_{p3}$	-	120	180	
	CMOS	TDC* to TDD	$t_{p3}$	-	80	160	
TDE Rising Edge to TDC Falling Edge Setup Time		$t_{su1}$	20	-	-	ns	
		$t_{su2}$	100	-	-	ns	
RCE Rising Edge to RDC Falling Edge Setup Time		$t_{su3}$	20	-	-	ns	
		$t_{su4}$	100	-	-	ns	
MSI Rising Edge to CCI Falling Edge Setup Time		$t_{su6}$	20	-	-	ns	
		$t_{su7}$	100	-	-	ns	
RDD Valid to RDC Falling Edge Setup Time		$t_{su5}$	60	40	-	ns	
RDD Hold Time from RDC Falling Edge		$t_h$	100	60	-	ns	

\* For the sign bit,  $t_{p3}$  is measured from TDE or TDC, whichever is last.

PIN DESCRIPTION

DIGITAL

$V_{LS}$  selects CMOS or TTL compatibility for all digital I/Os. ( $V_{LS} = V_{DD}$ ) all I/O is CMOS. ( $V_{DD}$  to  $V_{SS}$  swing). ( $V_{LS} < V_{DD} - 4$  volts, all I/O is TTL with switchpoint 1.4 V above  $V_{LS}$ ). The pins controlled by  $V_{LS}$  are inputs MSI, CCI, TDC, RDC, TDE, RCE, RDD, PDI and output TDD. In TTL applications  $V_{LS}$  is Digital GND.

MSI is a continuous 8 kHz (for sampling rate) signal which is used as a time base for internally selecting a prescale divider for CCI input. MSI should be tied to the frame sync or system sync signal, but has no relation to transmit or receive data timing, except as described under TDE. MSI should be derived from the transmit timing in asynchronous applications. In many applications MSI can be tied to TDE. (MSI is tied to TDE in MC14403/05.)

CCI input is designed to accept five discrete clock frequencies. These are 128 kHz 40 to 60% duty cycle, 1.536 MHz, 1.544 MHz, 2.048 MHz or 2.56 MHz. The frequency at this input is compared with MSI and prescale divided to produce the internal sequencing clock at 128 kHz (or 16 times the sampling rate). The four clocks in the MHz frequency range have only minimum pulse width duty cycle requirements. In the asynchronous applications, CCI should be derived from transmit timing. (CCI is tied to TDC in MC14400/01/03).

TDC is the transmit data bit rate input. It can be any frequency from 64 kHz to 3.088 MHz, and is often tied in common to CCI if the data rate is equal to one of the five discrete frequencies. This clock is the shift clock for the transmit shift register and leading edges produce successive data bits at TDD. In asynchronous applications, TDE should be derived from this clock. (TDC and RDC are tied together in MC14405 and are called DC.)

TDE serves two functions for the transmit data timing. It establishes the transmit sync in conjunction with MSI. If the leading edges of TDE occur at 8 kHz and both MSI and TDE

are derived from TDC, then the MSI relationship is transparent and TDE is simply transmit sync. The leading edge of TDE produces the sign bit at TDD during the current TDC period. The TDC shifts out the remaining bits at the TDC rate. The TDD pin is active as long as TDE is high. If there is more than one TDE leading edge per frame, then the first TDE after MSI is the Tx sync. Thus, TDE may be taken low to three state TDD after the first leading edge. The additional TDE high periods before the next MSI merely un-three-states TDD. This can be used for bit interleaved systems. In asynchronous applications, TDE is derived from TDC.

TDD is the digital data output. It operates in sync with TDC and TDE. It is a three-state output. TDC, TDE, and TDD independently control transmit data timing. The data format (Mu-Law, A-Law or sign magnitude) is controlled by Mu/A. This output may be made high-speed CMOS compatible using a pullup resistor.

RDC is the receive data clock and works in conjunction with RCE and RDD to produce all receive data timing. These three signals must be synchronous, but can be asynchronous with all other digital pins. RDC provides the receive register clock. The RDC clock may be any frequency from 64 kHz to 3.088 MHz.

RCE - The rising edge of RCE should identify the sign bit of a receive word on RDD. The next falling edge of RDC, after a rising RCE, loads the first bit of the PCM word into the receive register. The next seven falling edges enter the remainder of the PCM word. On the ninth rising edge, the receive word is transferred to the receive buffer register and the A/D sequence is interrupted to commence the decode process. In the asynchronous mode and with an 8 kHz transmit sample rate, the receive sample rate should be between 7.5 and 8.5 kHz. Two receive words may be decoded each transmit frame to allow on chip conferencing.

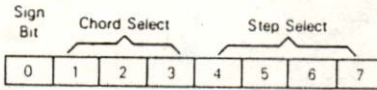
RDD is the digital data input. It operates synchronously with RDC and RCE. The data format is determined by the Mu/A pin.

MOTOROLA TELECOMMUNICATIONS DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้า มิอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC14400, MC14401, MC14402, MC14403, MC14405

Code	Sign/ Magnitude	Mu-Law	A-Law (CCITT)
+ full scale	1111 1111	1000 0000	1010 1010
+ zero	1000 0000	1111 1111	1101 0101
- zero	0000 0000	0111 1111	0101 0101
- full scale	0111 1111	0000 0010	0010 1010



Note: Starting from sign magnitude, to change format:

- To Mu-Law - MSB is unchanged (sign) invert remaining seven bits if code is 0000 0000, change to 0000 0010 (for zero code suppression)
- To A-Law - MSB is unchanged (sign) invert odd numbered bits ignore zero code suppression

**Mu/A Select** - This pin selects the companding law and the data format at TDD and RDD.

Mu/A = VDD: Mu255 Companding D3 Data Format with Zero Code Suppress

Mu/A = VAG: Mu255 Companding with Sign Magnitude Data Format

Mu/A = VSS: A-law Companding with CCITT Data Format Bit Inversions

**PDI** - The power down input disables the bias circuitry and gates off all clock inputs. This puts the TxI, RxO,  $\bar{R}x\bar{O}$ , and TDD outputs into a high impedance state. The power dissipation is reduced to 0.1 mW when PDI = VLS or VSS. The circuit operates normally with PDI = VDD or with a logic high as defined by connection at VLS. TDD will not come out of high impedance for two MSI cycles after PDI goes high.

**DC** - In the MC14405, TDC and RDC are internally connected to this pin.

## ANALOG

### VAG Analog Ground

Each version of the PCM mono-circuit produces its own analog ground internally. The DC voltage is approximately  $(VDD - VSS)/2$ . All analog functions within the device use this as a reference point for signal processing. In symmetric dual supply systems ( $\pm 5$ ,  $\pm 6$ , etc.), VAG may externally be tied to the system analog ground supply. The VAG output will sink more than 8 mA of current, but can source only 200  $\mu$ A. When RxO or  $\bar{R}x\bar{O}$  are output drives for 600 or 900 loads tied to VAG, a pullup resistor to VDD will be required to boost the source current capability if VAG is not tied to the supply ground.

### Vref Positive Voltage Reference Input (MC14402 Only)

The Vref pin provides for the supply of an external voltage reference or for the selection of an internal reference within the PCM mono-circuit. If Vref is tied to VSS, the internal reference is selected. If Vref > VAG, then the external mode

is selected. In each case, the overload or full scale gains of the codec are selected by the reference select pin (RSI). Both the internal and external references are inverted within the PCM mono-circuit for negative input voltage such that only one reference is required.

**External Mode** - In the external reference mode ( $V_{ref} > VAG$ ), a 2.5 volt reference like the MC1403 is connected from Vref to VAG. A single external reference may be shared by tying together a number of VrefS and VAGS from different PCM mono-circuits. In special applications, the reference voltage may be between 2 and 4 volts. However, the gain selection logic associated with RSI must be considered to arrive at the desired PCM mono-circuit gain.

**Internal Mode** - In the internal reference mode ( $V_{ref} = VSS$ ), an internal reference supplies the reference voltage for the PCM mono-circuit.

### RSI Reference Select Input (MC14401/02 Only)

The RSI input allows the selection of three different overload or full scale voltages independent of the internal or external reference mode. The selection of maximum signed level is made by connecting RSI to VDD, VAG or VSS. The various modes of operation are summarized in the table below. The internal reference is designed to give internal gains equal to those obtained with an external 2.5 volt reference.

### RxO and $\bar{R}x\bar{O}$ Receive Analog Outputs

These two complimentary outputs are generated from the output of the receive filter. They are equal in magnitude and out of phase. The maximum signal output of each is equal to the maximum peak-to-peak signal described with the reference. If a 2.5 V reference is used with RSI tied to VAG and a +3 dBm sine wave is decoded, the RxO output will be a 5 V peak-to-peak signal.  $\bar{R}x\bar{O}$  will also have a signal output of 5 V peak-to-peak. External loads may be connected from RxO to  $\bar{R}x\bar{O}$  for a 6 dB push-pull signal gain or from either RxO or  $\bar{R}x\bar{O}$  to VAG. With RSI tied to VSS, each output will drive 600  $\Omega$  to +9 dBm. With RSI tied to VDD, each output will drive 900  $\Omega$  to +9 dBm.

## ADDITIONAL PIN DESCRIPTIONS

### RxG Receive Output Gain Adjust (MC14402 Only)

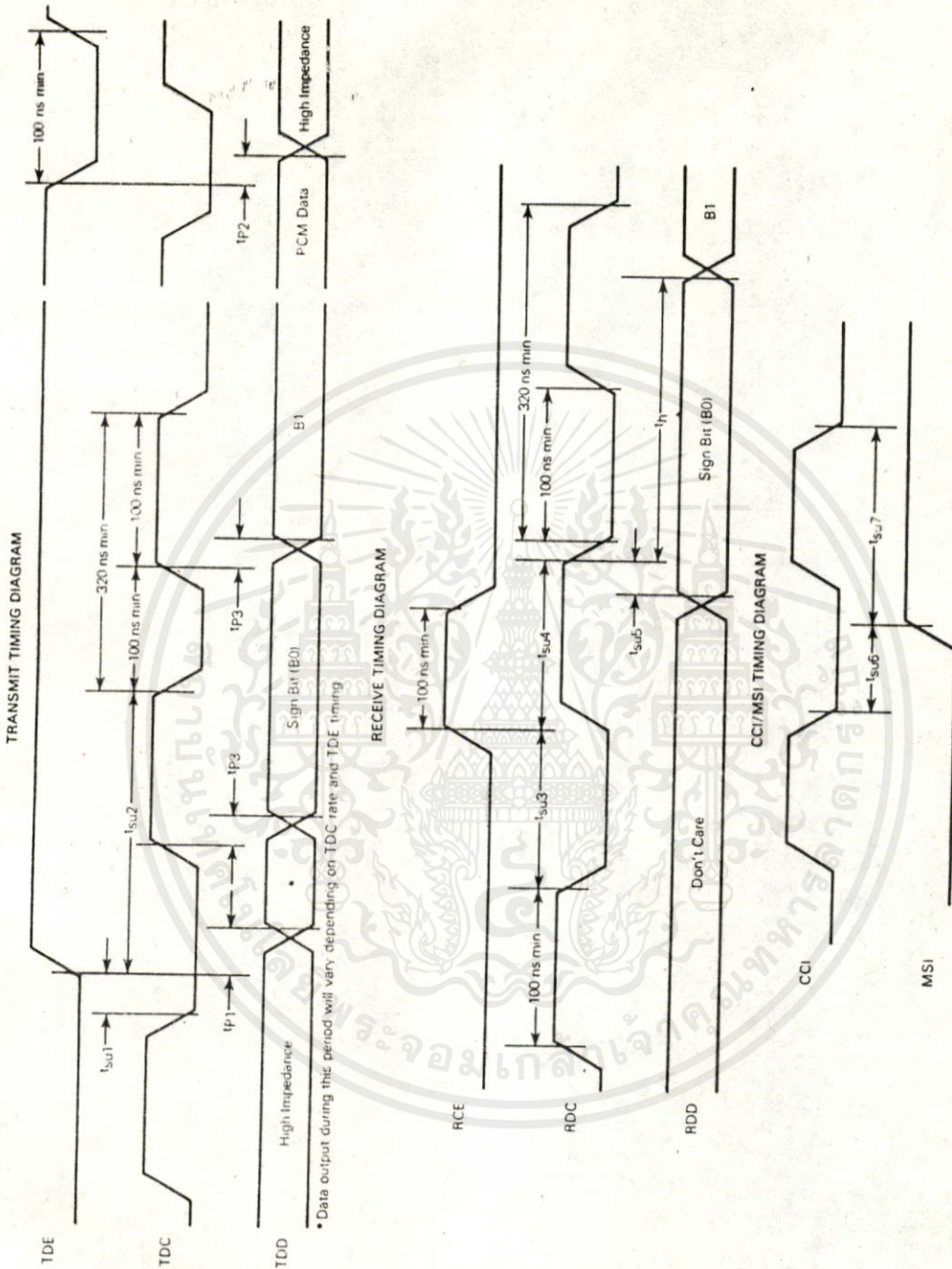
If RxG is left open, then the output signal at RxO will be inverted and output at  $\bar{R}x\bar{O}$ . Thus the push-pull gain to a load from RxO to  $\bar{R}x\bar{O}$  is two times the output level at RxO. If external resistors are applied from RxO to RxG (RI) and from RxG to  $\bar{R}x\bar{O}$  (RG), the gain of  $\bar{R}x\bar{O}$  can be set differently from -1. These resistors should be in the range of 10 k $\Omega$ . The RxO output level is unchanged by the resistors and the  $\bar{R}x\bar{O}$  gain is equal to minus RG/RI (VRxO). The purpose of RxG is to allow external receive gain adjustment. The circuit for RxG and  $\bar{R}x\bar{O}$  is shown in the block diagram.

### + Tx Positive Tx Amplifier Input (MC14402/03/05 Only)

### - Tx Negative Tx Amplifier Input (MC14401/02/03/05 Only)

The TxI pin is the input to the transmit bandpass filter. If + Tx or - Tx are available, then there is an internal amplifier preceding the filter whose pins are + Tx, - Tx and TxI. These pins allow access to the amplifier terminals to tailor the input gain with external resistors. The resistors should be in the range of 10 k. If + Tx is not available, it is internally tied to VAG. If - Tx and + Tx are not available, the TxI is a unity gain high impedance input.





MOTOROLA TELECOMMUNICATIONS DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MC14416, MC14418

2

MAXIMUM RATINGS (Voltages referenced to V<sub>SS</sub>)

Rating	Symbol	Value	Unit
DC Supply Voltage	V <sub>DD</sub>	-0.5 to +18	Vdc
Level Shift Voltage	V <sub>CC</sub>	-0.5 to V <sub>DD</sub>	Vdc
Input Voltage			
Inputs Referenced to V <sub>DD</sub>	V <sub>in1</sub>	-0.5 to V <sub>DD</sub> + 0.5	Vdc
to V <sub>CC</sub>	V <sub>in2</sub>	-0.5 to V <sub>DD</sub> + 0.5	
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range	T <sub>A</sub>	-40 to +85	°C
Storage Temperature Range	T <sub>stg</sub>	-65 to +165	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit. For proper operation it is recommended that V<sub>in</sub> and V<sub>out</sub> be constrained to the range V<sub>SS</sub> ≤ (V<sub>in</sub> or V<sub>out</sub>) ≤ V<sub>DD</sub>. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V<sub>SS</sub> or V<sub>DD</sub>).

ELECTRICAL CHARACTERISTICS (T<sub>A</sub> = 25°C)

Characteristic	Symbol	V <sub>DD</sub>	Min	Typ	Max	Unit	
DC Supply Voltage	V <sub>SS</sub> = 0V	V <sub>DD</sub>	-	4.5	12	16	V
DC Supply Voltage	V <sub>SS</sub> = 0V	V <sub>CC</sub>	-	4.5	5	V <sub>DD</sub>	V
Output Current TXE, RXE, Q0, Q1, Q2, P <sub>D</sub>							
(I <sub>OL</sub> = 0.4 V)	I <sub>OL</sub>	5	0.51	-	-	mAdc	
(I <sub>OL</sub> = 1.0 V)		12	2.0	4.0	-		
(I <sub>OH</sub> = 4.8 V)	I <sub>OH</sub>	5	-0.20	-	-	mAdc	
(I <sub>OH</sub> = 1.0 V)		12	-2.0	-4.0	-		
Output Current CTS, OHO							
(I <sub>OL</sub> = 0.8 V)	I <sub>OL</sub>	5	3.0	5.5	-	mAdc	
(I <sub>OL</sub> = 0.8 V)		12	6.8	11.5	-		
(I <sub>OL</sub> = 1.5 V)		12	12.0	20.0	-		
(I <sub>OH</sub> = 0.8 V)	I <sub>OH</sub>	5	-8	-20	-40	μAdc	
(I <sub>OH</sub> = 2.0 V)		5	-6	-18	-40		
(I <sub>OH</sub> = 0.8 V)		12	-40	-100	-200		
(I <sub>OH</sub> = 2.0 V)		12	-36	-90	-200		
(I <sub>OH</sub> = 10.5 V)		12	-15	-30	-60		
Input Voltage (CMOS)	"0" Level	V <sub>IL</sub>	5	-	-	1.0	Vdc
FST, FSR, R2, DC1, DC2, A1, A2	"1" Level	V <sub>IH</sub>	12	4.0	-	2.4	
A3, A4, A5, OHI	"1" Level	V <sub>IH</sub>	5	9.8	-	-	Vdc
Input Current OHI (Active Pull Down)		I <sub>inH</sub>	5	+1.5	+4.0	+15	μAdc
			12	+10	+25	+100	
Input Voltage (TTL)	"0" Level	V <sub>IL</sub>	5	-	-	0.8	Vdc
CLK, CS, AD, DI	"1" Level	V <sub>IH</sub>	5	2.00	-	-	
V <sub>CC</sub> = 5V	"1" Level	V <sub>IH</sub>	12	2.00	-	-	Vdc
Input Current		I <sub>in</sub>	15	-	±10 <sup>-6</sup>	±0.1	μAdc
Input Capacitance		C <sub>in</sub>	-	-	5	7.5	pF
Total Supply Current (Outputs Unloaded)		I <sub>T</sub>					
V <sub>DD</sub> = 12V	DC1 at 2.048 MHz	12	-	3	6	mAdc	
V <sub>DD</sub> = 5V		5	-	2	4		
Total Supply Current (Power Down) MC14418 Only		I <sub>PD</sub>	-	-	-	0.1	mAdc
After CTS = V <sub>DD</sub>							
CLK, CS, AD, DI Inputs ≤ 0.6 V							

MOTOROLA TELECOMMUNICATIONS DEVICE DATA

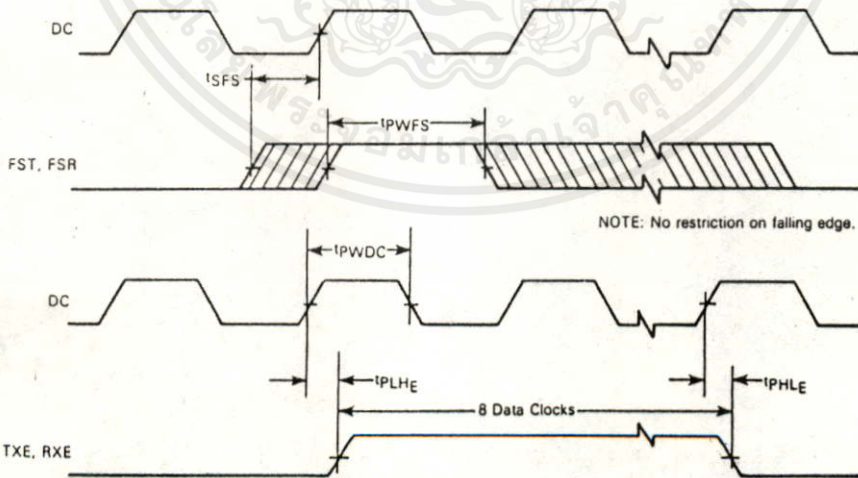
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (C<sub>L</sub> = 50 pF, T<sub>A</sub> = 25°C, unless otherwise noted)

Characteristic	Symbol	Fig.	V <sub>DD</sub>	Min	Typ	Max	Unit
Output Rise Time TXE, RXE, Q0, Q1, Q2, $\overline{P_D}$	t <sub>r</sub>	—	5 12	— —	100 50	200 100	ns
Output Fall Time TXE, RXE, Q0, Q1, Q2, $\overline{P_D}$	t <sub>f</sub>	—	5 12	— —	100 50	200 100	ns
Frame Sync Setup Time	t <sub>SFS</sub>	1	5 12	-150 -75	—	+150 +75	ns
Frame Sync Pulse Width	t <sub>PWFS</sub>	1	5 12	200 100	—	—	ns
Propagation Delay — DC to TXE, RXE (Note 1) C <sub>L</sub> = 20 pF	t <sub>PLHE</sub> , t <sub>PHLE</sub>	1	5 12	— —	130 80	180 125	ns
Data Clock Frequency	f <sub>DC</sub>	—	5 12	— —	—	2.048 2.6	MHz
Data Clock Pulse Width (at f <sub>DC</sub> (MAX))	t <sub>PWDC</sub>	1	5 12	200 140	244 192	293 260	ns
Clock Frequency	f <sub>CLK</sub>	—	5 12	00 00	—	0.3 0.3	MHz
Clock Pulse Width (at f <sub>CLK</sub> (MAX))	t <sub>PWC</sub>	2	5 12	0.5 0.5	—	—	μs
Address and Data Setup Time	t <sub>su</sub>	2	5 12	300 300	—	—	ns
Address and Data Hold Time	t <sub>th</sub>	2	5 12	200 200	—	—	ns
Propagation Delay DC1 to CTS	t <sub>PCL</sub>	2	5 12	— —	—	250 150	ns
10K Pullup or Equivalent DC1 or FST to CTS	t <sub>PCH</sub>	2	5 12	— —	—	300 200	ns
Propagation Delay DC to PD	t <sub>PQ</sub>	2	5 12	— —	—	300- 200	ns
DC to Q0-Q2	t <sub>PQ</sub>	2	5 12	— —	—	300 200	ns
Propagation Delay — R to Q2	t <sub>P</sub>	2	5 12	— 50	100	200 100	ns
Chip Select Setup Time Leading CS to Falling CLK	t <sub>SCS</sub>	2	5 12	1 1	—	—	μs
Chip Select Hold Time Falling CTS to Falling CS	t <sub>HCS</sub>	2	5 12	10 10	—	—	ns

NOTE 1: For time slot 0, t<sub>PHLE</sub> and t<sub>PLHE</sub> are measured from leading edge of DC or FST (FSR), whichever occurs last.

FIGURE 1 — TIMING DIAGRAMS



เอกสารนี้เป็นเอกสารที่สงวน MOTOROLA TELECOMMUNICATIONS DEVICE DATA

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MC14416, MC14418**

**TXE, RXE (Transmit Enable and Receive Enable Outputs)**  
 – These are the outputs of the time slot computation circuitry. Each output is high for eight data clocks; i.e., an integral number of time slots after the rising edge of FST and FSR for TXE and RXE, respectively. The binary number entered in the last 6 bits of the DI input indicates the number

of eight data clock intervals (time slots) between FST or FSR and the eight data clock time slot, when TXE or RXE will be high. These are CMOS B series outputs which will drive one TTL LS input when VDD is five volts. See Figure 6 and Figure 7 for detailed timing and numbering.

**2**

**TABLE 1 – BASIC OPERATION OF MC14418**

Input Conditions				Action to Outputs After Next FST						
TS Data Received	Address Compare	b0	b1	CTS	TX Reg. Load	RX Reg. Load	TXE Disabled	RXE Disabled	Data Reg. (Q0-Q2) Load	Time Slot Counters Running
No	X	X	X	1	No	No	No Change	No Change	No	No Change
Yes	No	X	X	1	No	No	No Change	No Change	No	No Change
Yes	Yes	0	0	0	Yes	Yes	No	No	Yes	Yes
Yes	Yes	0	1	0	Yes	No	No	No	Yes	Yes
Yes	Yes	1	0	0	No	Yes	No Change	No	Yes	Yes
Yes	Yes	1	1	0	X	Yes	Yes	Yes	Yes	No

**TABLE 2 – BASIC OPERATION OF MC14416**

Input Conditions					Action to Outputs After Next FST			
TX Data Received	CS	b0	b1	CTS	TX Reg. Load	RX Reg. Load	TXE Disabled	PD Output
No	X	X	X	1	No	No	No Change	No Change
Yes	0	X	X	1	No	No	No Change	No Change
Yes	1	0	0	0	Yes	Yes	No	1
Yes	1	0	1	0	Yes	No	No	1
Yes	1	1	0	0	No	Yes	No Change	1
Yes	1	1	1	0	No	No	Yes	0

Note 1: The OH0 output remains operational when TXE is disabled.

**FIGURE 5 – FORMAT FOR DI AND AD WORDS**

MC14418	DI Word Input								AD Word Input							
	First Bit Sent		Time Slot Data						First Bit Sent				Address Data			
	b0	b1	t6	t5	t4	t3	t2	t1	q2	q1	q0	a5	a4	a3	a2	a1
Assign TSAC 16 to the first time slot (TS0) for both receive and transmit and set its status bit to 011	0	0	0	0	0	0	0	0	0	1	1	1	0	0	0	0
Assign TSAC 1 to time slot 8 for receive only and set status bits to 011	1	0	0	0	1	0	0	0	0	1	1	0	0	0	0	1
Assign TSAC 8 to time slot 2 for transmit only and set status bits to 011	0	1	0	0	0	0	1	0	0	1	1	0	1	0	0	0
Program TSAC 4 to idle (no time slot outputs) and set status bits to 011	1	1	X	X	X	X	X	X	0	1	1	0	0	1	0	0
Codec 1 is powered down (B0 = 0)	X	X	X	X	X	X	X	X	0	1	0	0	0	0	0	1
Line circuit associated with codec 2 is programmed to ring the line (See Fig. 13)	X	X	X	X	X	X	X	X	1	1	1	0	0	0	1	0

MC14416	b0	b1	t6	t5	t4	t3	t2	t1
Assign the selected TSAC to the first time slot (TS0) for both receive and transmit and set PD = 1	0	0	0	0	0	0	0	0
Assign the selected TSAC to time slot 8 for receive only and set PD = 1	1	0	0	0	1	0	0	0
Assign the selected TSAC to time slot 2 for transmit only and set PD = 1	0	1	0	0	0	0	1	0
Power down the selected TSAC, i.e., PD to "0"	1	1	X	X	X	X	X	X

\* See Figures 12 and 13 for the hardware implementations using MC14418 and MC14416.

**MOTOROLA TELECOMMUNICATIONS DEVICE DATA**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผูกพันกับค่าใช้จ่ายประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## GENERAL DEVICE DESCRIPTION

The MC14416 and MC14418 TSACs are microprocessor peripherals intended to be used to control and supervise per channel codec subscriber channel units. The TSACs consist of three basic functions.

The Serially Programmable Microprocessor Port consists of VCC, CLK, DI, CS and CTS for the MC14416 and further includes AD and A1 through A5 for the MC14418. This port allows the call processing microprocessor to access load data into each TSAC. See the applications section for a detailed description of the microprocessor port. Figure 5 defines the data word bit assignments.

The Supervision Controls consist of Q0, Q1, Q2, R2 on the MC14418 and OHI, OH0 and PD on the MC14416. These functions provide data path for the supervision and control of user selected requirements in the subscriber channel unit. Figure 3 shows some typical uses of these bits.

The Time Slot Computation section of the chip derives separate transmit and receive time slot outputs (TXE and RXE) for the controlled codec from the bit rate clock and sync pins DC1, DC2, FST and FSR, respectively. The computed time slot is then derived from the information received through the microprocessor port.

## PIN DESCRIPTIONS

**VCC (Positive Supply for Microprocessor Port)** — If this is a 5-volt supply, AD, DI, CS and CLK are TTL compatible CMOS inputs. VCC may be any voltage from 4.5 V to VDD allowing either TTL or CMOS compatibility.

**CS (Chip Select Input)** — For the MC14418, the pin is used to select a bank of TSACs.

For the MC14416, the CS is used to select that individual TSAC. All CSs are normally held low. To PROGRAM A SPECIFIC TSAC, CS must go high prior to the first falling edge of CLK. CS must stay high until the selected CTS goes low to guarantee a valid access.

CS is synchronous with DI, AD and CLK. CS can be asynchronous with DC1, DC2, FST or FSR. (This pin is normally intended to be set by a microprocessor.)

**CLK (Microprocessor Clock Input)** — Serial data is entered through the AD and DI pins under the control of CLK. The data is entered on the trailing edge of CLK. CLK is synchronous with CS, AD and DI and can be asynchronous with the TSAC's data clocks (DC1 or DC2).

**DI (Serial Time Slot Data and Mode Input)** — 8-bit words are clocked into the device through DI under the control of CLK after CS is brought high. The first 2 bits of DI control the various programming modes while the last 6 bits are time slot data. (See Figure 5 for the format of the DI word.)

**AD (Serial Address and Control Bits Input — MC14418 only)** — 8-bit words are clocked into the device through AD under the control of CLK after CS is brought high. AD words are loaded in parallel with the DI words. The first 3 bits of AD program the control bits Q0, Q1, and Q2 while the last 5 bits are compared with the hardware address on A1 through A5 to identify a specific TSAC in a bank. (See Figure 5 for the format of the AD words.)

**A1-A5 (Codec Address Inputs — MC14418 only)** — These five pins provide a unique identity for each TSAC. The TSAC address pins are either hardwired on the PC board or in the channel bank backplane. The processor loads the 5-bit address data into AD, and each MC14418 in the selected bank compares this data to the hardwired address set by its A1-A5 to determine if the time slot data loaded into DI is intended for that TSAC. By this process, only one of 32 TSACs in a bank will accept the transmitted time slot data. A1-A5 are CMOS inputs, logical "1" = VDD and logical "0" = VSS.

**Q0, Q1, Q2 (Status Bit Outputs — MC14418 Only)** — These three bits are programmed by the first 3 bits of the 8-bit word which is loaded into AD. The bits are used for the basic control functions of a line circuit. See the applications section (ref. Figure 11) for an example of how these status bits are used. In this example, Q1 selects to receive data streams, Q0 is used for the power down control, and Q2 is used for the ring enable. These are CMOS outputs.

**R2 (Reset Input for Q2)** — The R2 input provides a direct reset of the Q2 output. When R2 is taken high, Q2 is set to "0" independent of all other TSAC functions. See the applications section (ref. Figure 11) for an example of how this reset bit is used, i.e., the ring trip signal is used to reset Q2 which is the ring enable. This combination of R2 and Q2 allows a simple solution to the ring trip function.

**CTS (Clear to Send Output)** — This output provides a simple diagnostic capability for the processor TSAC combination. The selected TSAC outputs the CTS signal after it has accepted data. This output goes low three data clock cycles after the next FST, and returns high on the subsequent FST. For the MC14418, only the TSAC which accepts transmitted data will respond with CTS low. All other TSACs in the bank will leave CTS high. The CTS output is an open drain transistor with a weak internal pullup. Normally a bank of CTS outputs are wire ORed together to provide a single diagnostic bus, which can be used to verify that transmitted data was properly acknowledged by some TSAC in the bank.

CTS may also be used to strobe additional supervision data into a selected channel unit, due to its dependence upon the address selection logic of the MC14418.

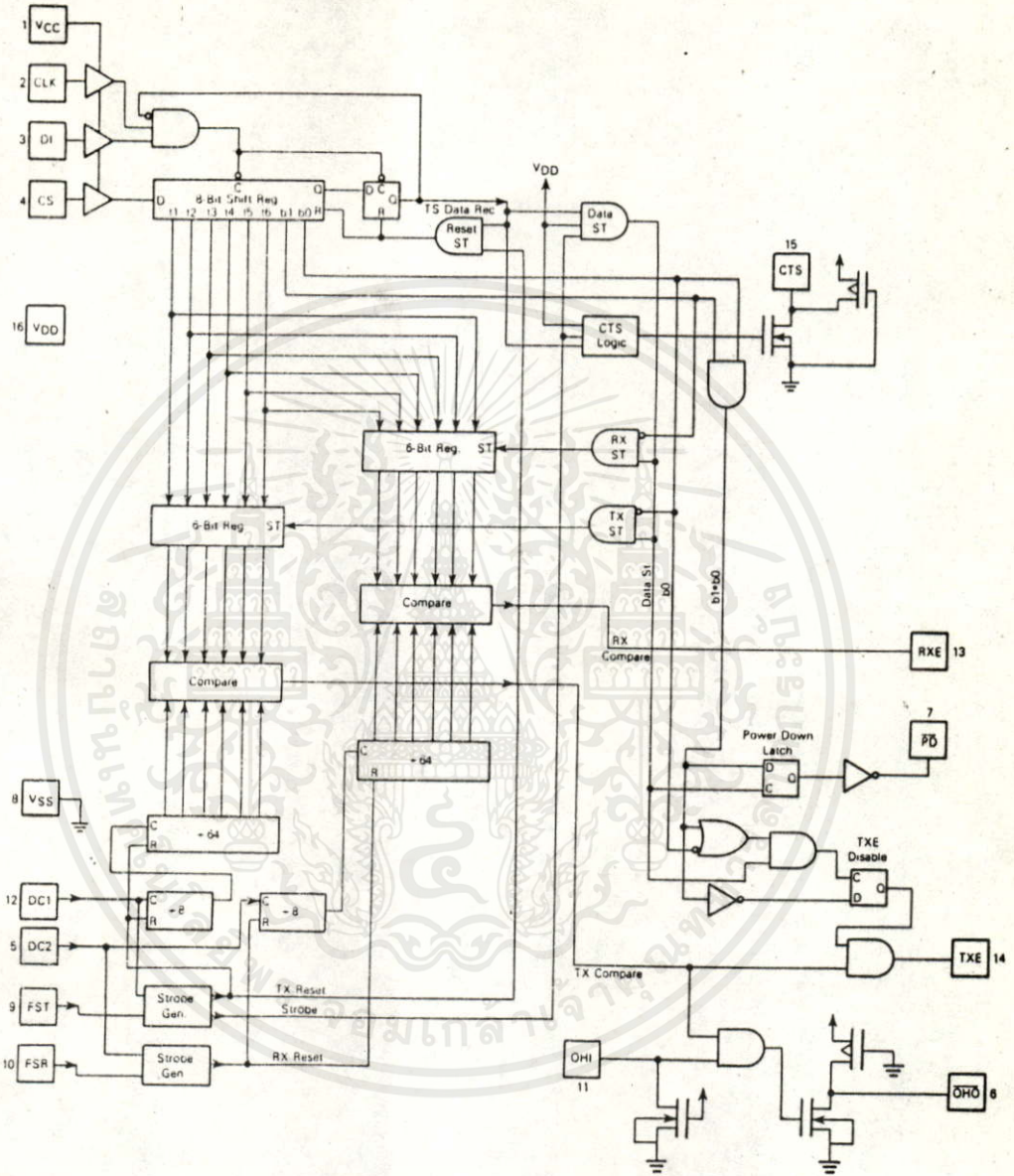
**DC1, DC2 (Data Clock Input)** — The data clock input establishes the bit rate of the TSAC and its associated codec. It is intended to be between 1.536 and 2.56 MHz and is the same as the codec's bit rate clock. Both TSACs divide these inputs by eight to derive the time slot rate. For the MC14418, DC1 provides the data rate clock for both transmit and receive time slot computation. The MC14416 derives transmit timing from DC1 and receive timing from DC2. They are CMOS compatible inputs.

**FST, FSR (Frame Sync Transmit and Frame Sync Receive Inputs)** — These inputs are leading-edge sensitive synchronization pulses for establishing the position of time slot zero in the transmit and receive frames, respectively.

The rising edge of DC (1 or 2) associated with the rising edge of FST or FSR identifies the sign bit period of time slot zero. See Figures 6 and 7 for detailed timing. In the MC14418, both zero time slots are derived from DC1 but may be different by an integral number of bits. In the MC14416, FST and DC1 derive the transmit time slot zero, while FSR and DC2 derive the receive time slot zero independently. DC1 and DC2 can be asynchronous. FSR and FST are CMOS inputs.

FIGURE 4 — MC14416 16 PIN

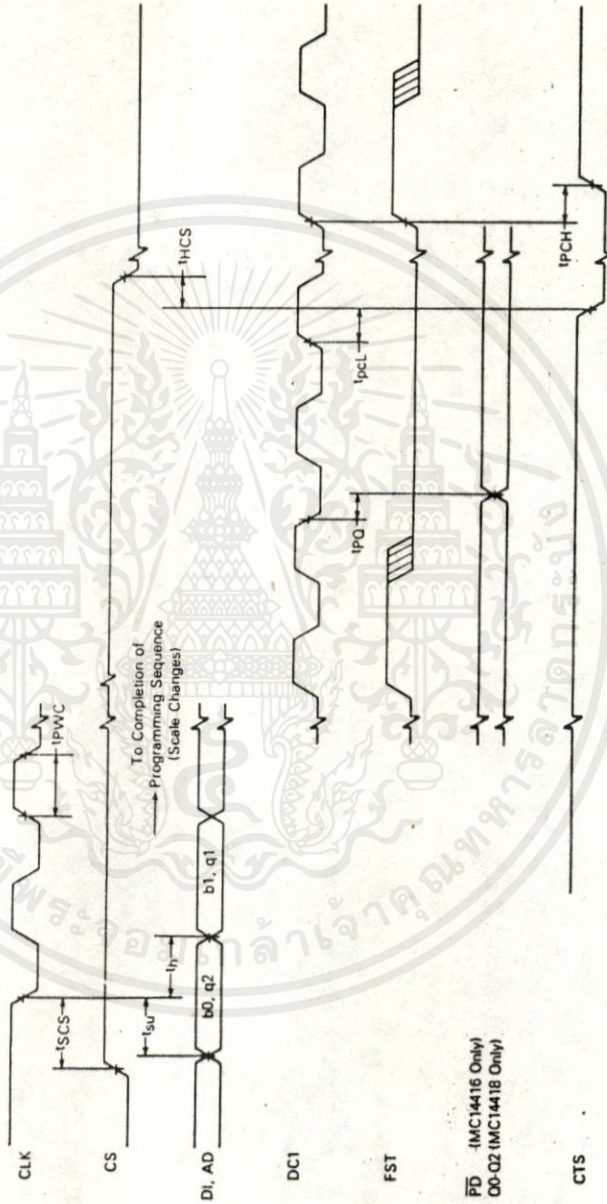
2



MOTOROLA TELECOMMUNICATIONS DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้า ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกหรือเผยแพร่และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 2 — PROPAGATION DELAYS FOR PROCESSOR INTERFACE PINS



NOTE:  $t_{PCH}$  is measured from the rising edge of the letter of FST or DCI.

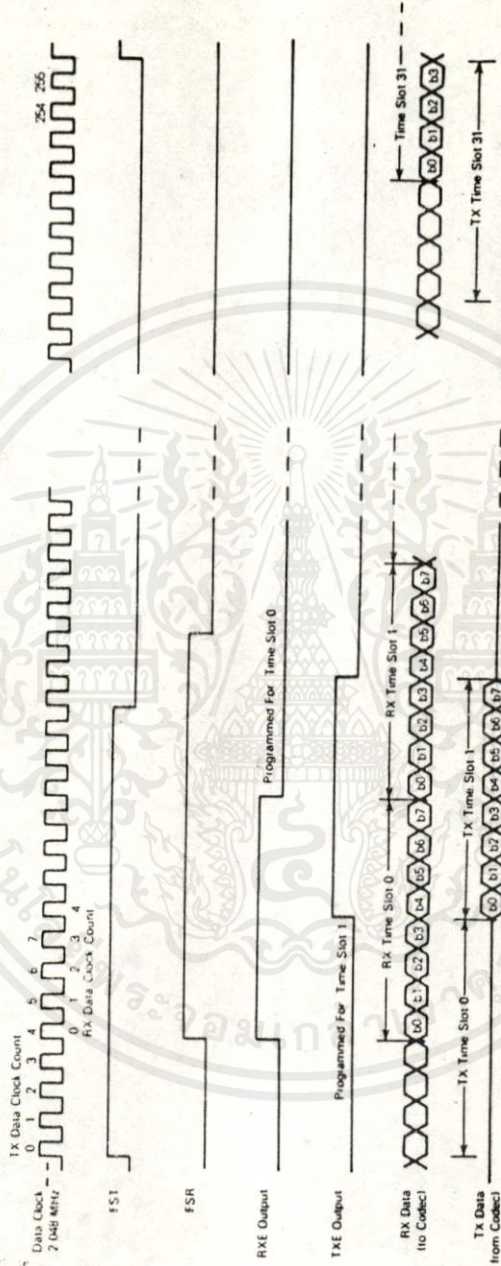
FD (MC14416 Only)  
00-02 (MC14418 Only)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเมื่อคุณศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MOTOROLA TELECOMMUNICATIONS DEVICE DATA

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกสิ่งนี้และต้องขออนุญาตก่อนเผยแพร่หรือแจกจ่ายแก่ผู้อื่นที่มีภาระนำไปใช้

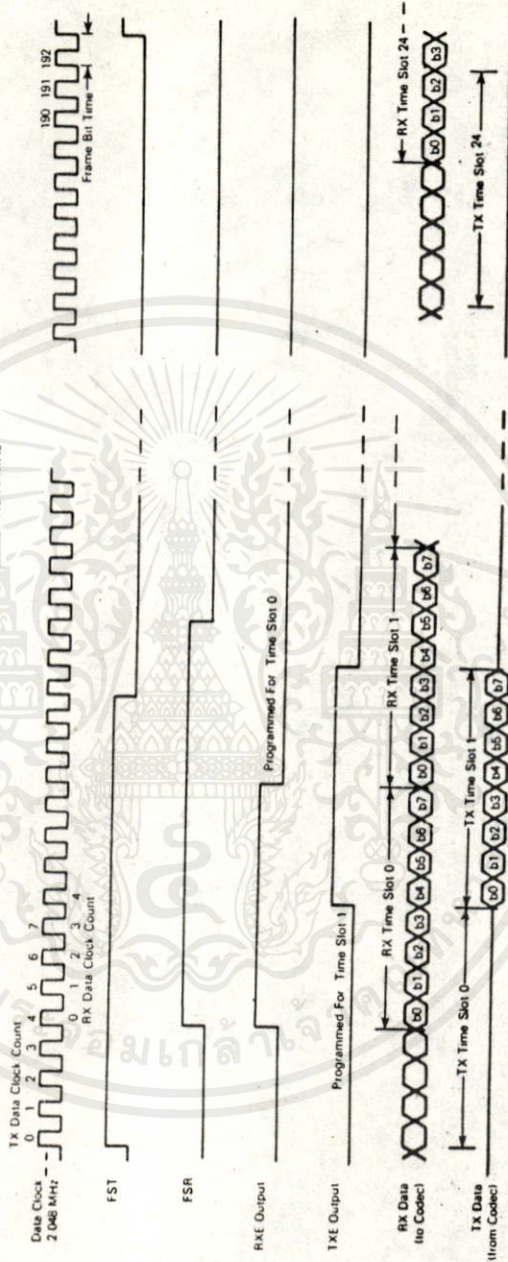
FIGURE 6 — DATA MULTIPLEX TIMING FOR 2.048 MHz



MOTOROLA TELECOMMUNICATIONS DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น. เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น. อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 7 - DATA MULTIPLEX TIMING FOR 1.544 MHz



MOTOROLA TELECOMMUNICATIONS DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**$\overline{PD}$  (Power Down Output — MC14416 Only)** — The  $\overline{PD}$  output is normally high. It is set high whenever b0 or b1 is a zero and the TSAC is programmed. If b0 and b1 are both one, then PD will be set low. This output is intended to be used to power down other circuitry in the channel unit when the channel unit is idle. This is a CMOS B series output which will drive one TTL LS load when VDD is five volts.

**OHI (Off Hook Input — MC14416 Only)** — The OHI is a CMOS input with an internal pull-down resistor. A DC level at this pin will appear at the OHO output during the programmed TXE time slot.

**$\overline{OHO}$  (Off Hook Output Inverted — MC14416 Only)** — During the programmed transmit time slot, the data at OHI appears inverted at  $\overline{OHO}$ ; otherwise  $\overline{OHO}$  will be pulled high passively. The  $\overline{OHO}$  output is an open drain N-channel transistor with a weak pull-up to VDD. A number of these outputs can be wire ORed together to form a hook status bus consisting of a serial stream of hook information from a bank of channels. When the MC14416 powers down its codec, the TXE output is disabled; but the  $\overline{OHO}$  output continues to multiplex out OHI and transmit time slot information during the previously entered transmit time slot.

**VSS** — This is the most negative supply pin and digital ground for the package.

**VDD** — This is the most positive supply. VDD is typically 12 V with an operation range of 5 to 16 volts. All logic outputs swing the full supply voltage.

**APPLICATIONS**

The following section is intended to facilitate device understanding through several application examples: Included are Data Multiplex Timing Diagrams, a description of the TSAC Microprocessor port, a sample program, two circuit configurations using Motorola's devices, a systems drawing and two suggested clock circuits for obtaining codec data and control clocks.

In Figures 6 and 7 are shown Data Multiplex Timing Diagrams for 2.048 MHz and 1.544 MHz data clocks. The major points to be seen from these examples are:

- 1) Receive and transmit programming for the MC14418 are bit synchronous and word asynchronous. The MC14416 can be completely asynchronous.
- 2) The rising edges of FST and FSR initiate the programming frame for transmit and receive channels, respectively, and identify transmit and receive time slot "0," respectively.
- 3) Time slots identify eight data clock words. In this example: the transmit time slot is programmed as time slot "1." Therefore, bits 8 through 15 after FST are time slot "1."
- 4) For the 1.544 MHz clock, the framing bit is at the very end of the frame.

**TSAC Microprocessor Port (MC14418 and MC14416)** — The MC14418 provides four pins with 5-volt microprocessor input characteristics. These are AD, CS, CLK, and DI. The input supply for these inputs is VCC. The CTS output is an open drain device with a weak pull up to

VDD. Typically, these five pins are bused in parallel to 24 or 32 TSACs per processor port. If desired, AD, CLK, DI, and CTS may be bused to greater than 32 TSACs by using the CS input as a group select. A microprocessor port of eight bits can thus control four groups of 32 TSACs with no additional decoding, as shown in Figure 8.

In order to program any given codec to a transmit or receive time slot, the processor simply exercises the corresponding 8-bit port.

Beginning with CS1 to CS4 low, all TSACs in the bank have their data registers in the Ready for Data Mode. The microprocessor takes the appropriate CS high and clocks in two bits of data into the 32 selected TSACs through DI and AD using CLK. The microprocessor presents data on the leading edge of CLK and the TSACs clock in data on the trailing edge of CLK. After eight CLK pulses (high, then low) the 32 selected TSACs will have two new 8-bit words; one in the data register through DI and one in the address register through AD. The unique TSAC, whose last 5 bits of the address register match its hardwired address on A1 through A5, acknowledges the new data. After the next FST, the selected TSAC will pull CTS low. This event notifies the processor that its transmission has been recognized. If CTS occurs at any other time, the processor can recognize the fault condition and restart the transmission using the reset function of the TSAC chip select. The uniquely selected TSAC will load its new program data into the appropriate TIME SLOT register on the next leading edge of FST. The bank of 32 TSACs will internally reset to the Ready for Data Mode when the transmission is completed, after the next FST. The TSAC, which was uniquely selected, and which has CTS low, will clear CTS to the pulled-up condition with the next FST. The processor may now program a new time slot immediately, with or without returning the selected CS low. Time Slot data can thus be sent at the rate of once every 256  $\mu$ sec. for 8 kHz sampling (FST). The processor need not operate in an interrupt mode even though the TSAC's DC and CLK are asynchronous.

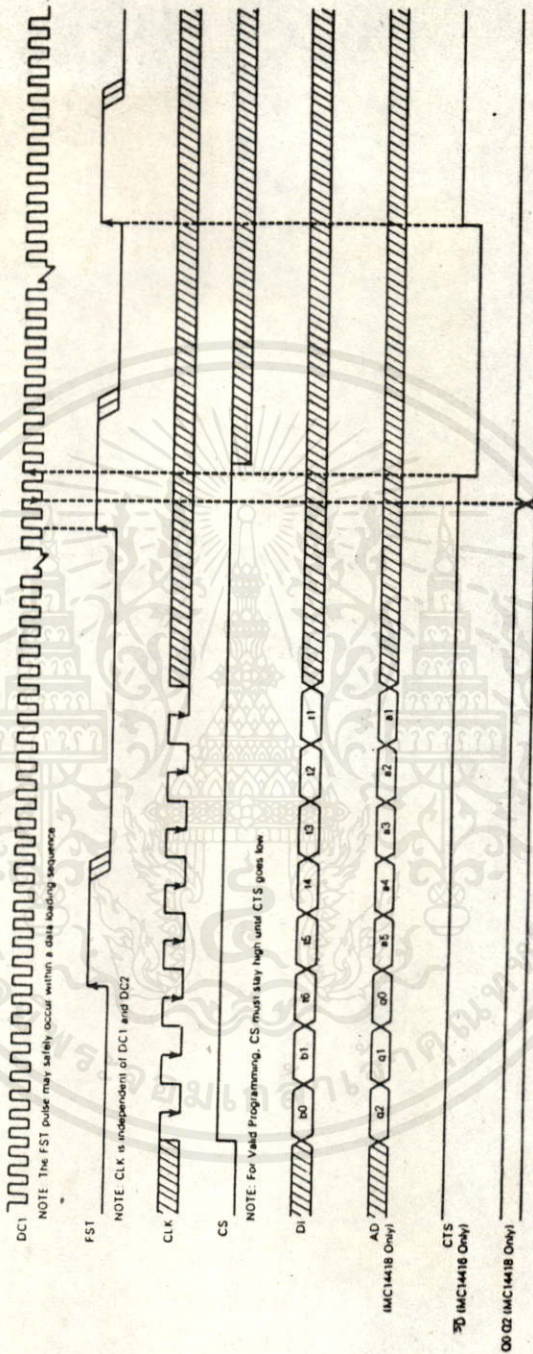
The processor port of the MC14416 works similarly to the MC14418, but will accept data if CS is high, and does not compare a hardwired address to the address word.

Figure 11 shows the typical signal timing for programming the microprocessor port.

To demonstrate the programming of the TSAC, consider the following configuration. A microprocessor is used to control four groups of thirty-two TSACs through an eight-bit PIA port. Four of the PIA lines are used for group select lines. The other four lines are dedicated to CLK, DI, AD, and CTS. The TSACs are programmed by serially loading bits into the DI and AD leads. Data bits are latched on the falling edge of CLK. The PIA port is connected as shown in Figure 9. The flow chart in Figure 10 and the following program illustrate one method of TSAC programming.

Before running the following program, the address, time slot, and group number must be entered in appropriate locations. During execution, CS (group select), AD, and DI words are arranged for serial presentation to the TSACs. The bits are presented with CLK high and are latched in with the falling edge of CLK. After eight passes through the loop, the TSAC is programmed, and CTS falls on the third data clock pulse after the next FST. The program waits for CTS to go high again before removing CS to prevent aborting the TSAC's programming. This program allows a maximum rate of programming equal to one TSAC per two frames.

FIGURE 11 — MICROPROCESSOR PORT TIMING



MOTOROLA TELECOMMUNICATIONS DEVICE DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้