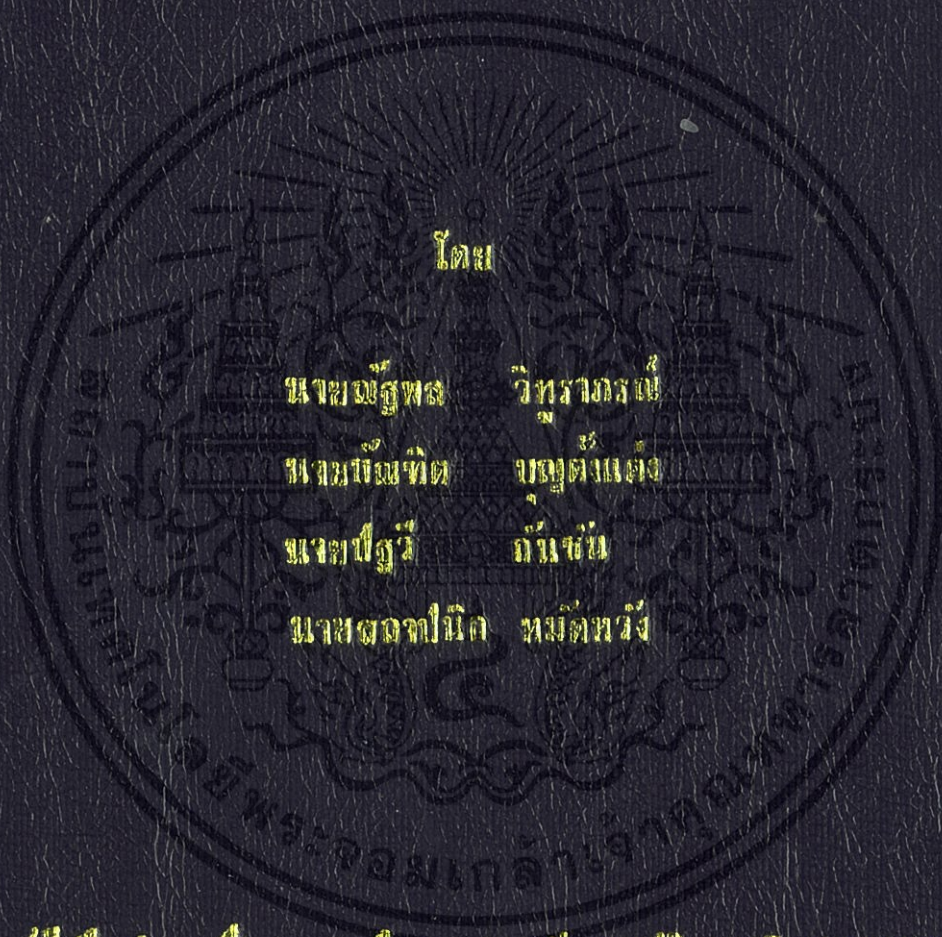


การควบคุมพีไอด้วยแบบไฮบริดสำหรับอินเวอร์เตอร์  
Hybrid PID Control for Inverter



โดย

นายฉัฐพร วัชรภรณ์

นายบัณฑิต ขญตงน้อย

นายปฏิวัติ ถิ่นชัย

นายศรศักดิ์ หนัดทวี

ปริญญาโท ศึกษาศาสตร์บัณฑิต สาขาการศึกษาด้านเทคโนโลยีการศึกษาระดับปริญญาโท สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2557

การควบคุมพีไอดีแบบไฮบริดจ์สำหรับอินเวอร์เตอร์  
Hybrid PID Control for Inverter



โดย

นายณัฐพล  
นายบัณฑิต  
นายปฐวี  
นายสถาปนิก

วิฑูรภรณ์  
บุญตั้งแต่ง  
กันชน  
หมัดหวัง

เอกสารนี้เป็นเอกสารที่มอบไว้สำหรับการใช้งานเพื่อการเรียนการสอนไปจนหมดให้กลับไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้ง ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ เอกสารทุกครั้งที่มีการนำไปใช้  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ปีการศึกษา 2557

Hybrid PID Control for PV Inverter



THIS PROJECT SUBMITTED IN PARTIAL FULFILLMENT OF THE REQUIREMENT  
FOR THE BACHELOR DEGREE IN ELECTRICAL ENGINEERING  
DEPARTMENT OF ELECTRICAL ENGINEERING FACULTY OF ENGINEERING  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2014

ปีการศึกษา 2557

การควบคุมพีไอดีแบบไฮบริดจ์สำหรับอินเวอร์เตอร์  
Hybrid PID Control for Inverter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
อาจารย์ที่ปรึกษา  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกไปเผยแพร่อย่างอื่น อังอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รศ.ดร. สมยศ เกียรติวนิชวิไล

ปริญญาโทปีการศึกษา 2557

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การควบคุมพีไอดีแบบไฮบริดจ์สำหรับอินเวอร์เตอร์

ผู้จัดทำ

1. นาย อนุรักษ์ วิฑูราภรณ์
2. นาย บัณฑิต บุญตั้งแต่ง
3. นาย ปฐวี กันชั้น
4. นาย สถาปนิก หมัดหวัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องสงวนลิขสิทธิ์เจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

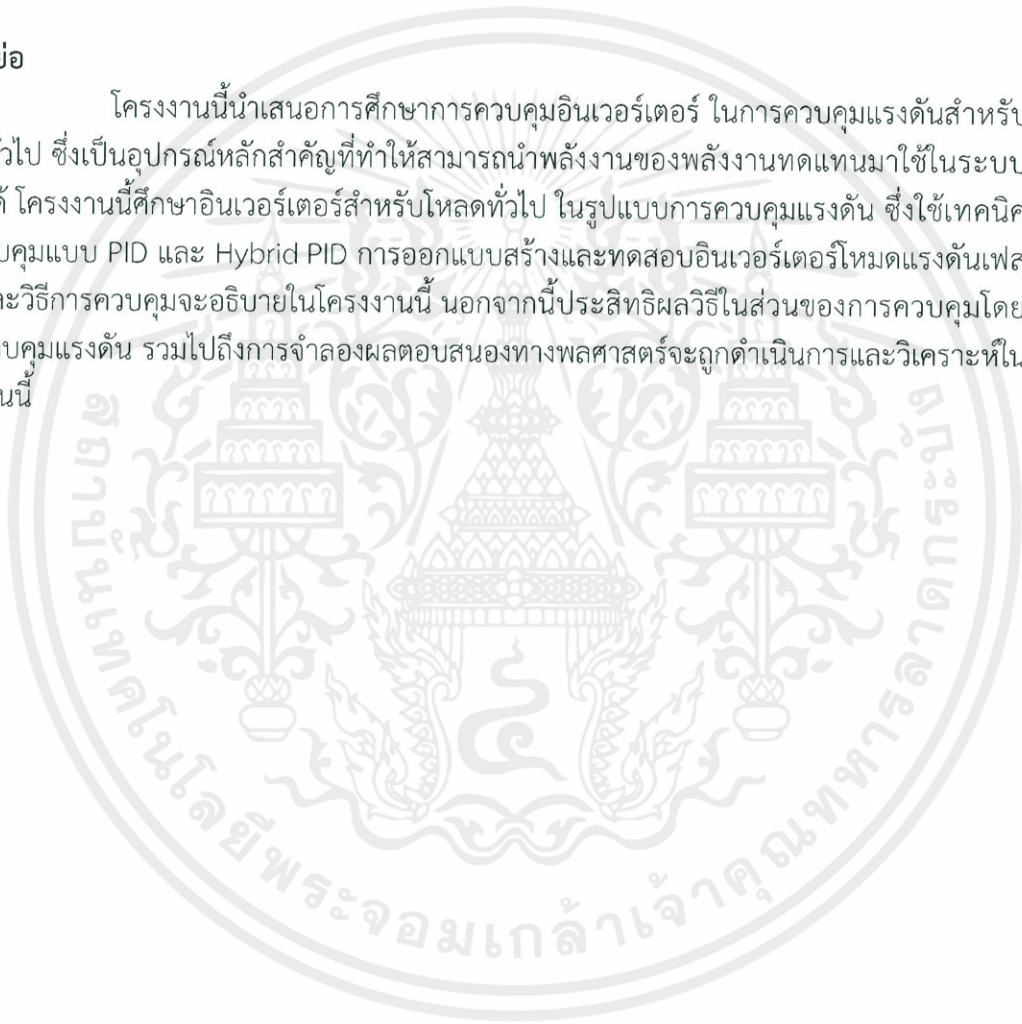
..... อาจารย์ที่ปรึกษา  
( รองศาสตราจารย์ ดร. สมยศ เกียรติวนิชวิไล )

## การควบคุมพีไอดีแบบไฮบริดจ์สำหรับอินเวอร์เตอร์

นาย ธีรพล วิฑูราภรณ์  
นาย บัณฑิต บุญตั้งแต่ง  
นาย ปฐวี กันชน  
นาย สถาปนิก หมัดหวัง  
รศ.ดร. สมยศ เกียรติวนิชวิไล อาจารย์ที่ปรึกษา  
ปีการศึกษา 2557

### บทคัดย่อ

โครงการนี้นำเสนอการศึกษาการควบคุมอินเวอร์เตอร์ ในการควบคุมแรงดันสำหรับโหลดทั่วไป ซึ่งเป็นอุปกรณ์หลักสำคัญที่ทำให้สามารถนำพลังงานของพลังงานทดแทนมาใช้ในระบบไฟฟ้าได้ โครงการนี้ศึกษาอินเวอร์เตอร์สำหรับโหลดทั่วไป ในรูปแบบการควบคุมแรงดัน ซึ่งใช้เทคนิคการควบคุมแบบ PID และ Hybrid PID การออกแบบสร้างและทดสอบอินเวอร์เตอร์โหมดแรงดันเฟสเดียวและวิธีการควบคุมจะอธิบายในโครงการนี้ นอกจากนี้ประสิทธิภาพวิธีในส่วนของการควบคุมโดยใช้วิธีควบคุมแรงดัน รวมไปถึงการจำลองผลตอบสนองทางพลศาสตร์จะถูกดำเนินการและวิเคราะห์ในโครงการนี้



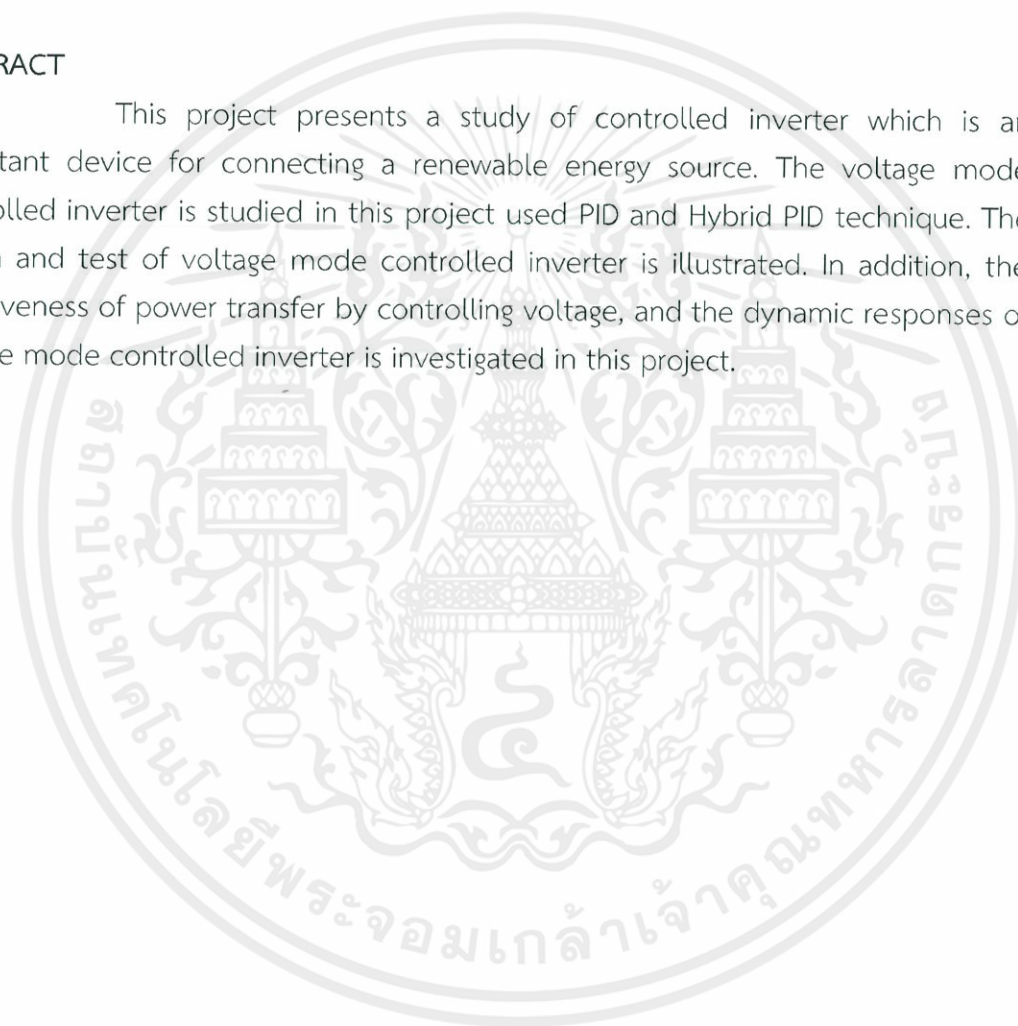
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Hybrid PID Control for PV Inverter

Nuttapol	Vitooraporn	
Bundit	Buntangtang	
Patawee	Kanson	
Sathapanik	Madwang	
Assoc.Prof.Dr. Somyot	Kaitwanidvilai	Adviser
Year 2014		

### ABSTRACT

This project presents a study of controlled inverter which is an important device for connecting a renewable energy source. The voltage mode controlled inverter is studied in this project used PID and Hybrid PID technique. The design and test of voltage mode controlled inverter is illustrated. In addition, the effectiveness of power transfer by controlling voltage, and the dynamic responses of voltage mode controlled inverter is investigated in this project.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## กิตติกรรมประกาศ

โครงการเรื่องการควบคุมพีไอดีแบบไฮบริดจ์สำหรับอินเวอร์เตอร์ สามารถประสบความสำเร็จได้ด้วยดีนั้น เกิดจากการทำงานด้วยความวิริยะอุตสาหะของกลุ่มผู้จัดทำและได้รับคำแนะนำจากบุคคล รวมถึงหน่วยงานที่เกี่ยวข้องหลายๆ ฝ่ายทางคณะผู้จัดทำจึงขอขอบพระคุณในความอนุเคราะห์ดังกล่าวมีรายนามดังต่อไปนี้

ผู้จัดทำโครงการขอขอบพระคุณในความกรุณา ผศ. ดร. สมยศ เกียรติวนิชวิไล ผู้ซึ่งเป็นอาจารย์ที่ปรึกษาที่ได้ให้คำแนะนำชี้แนะแนวทางจนโครงการชิ้นนี้สำเร็จตามเป้าหมาย และขอขอบพระคุณ อาจารย์วรภัทร์ ลีเมธีธร ที่ให้ความช่วยเหลือเพิ่มเติมด้วยความเอ็นดูเสมอมาตลอดจนอาจารย์ในสาขาวิชาที่ประสิทธิประสาทความรู้ให้กับผู้จัดทำครั้งนี้

ขอขอบพระคุณนาย ภูมิ คงห้วยรอบ และนาย วัทธัญญ มีศรีสุข ที่บัณฑิตสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่คอยช่วยเหลือ ให้คำแนะนำที่ดีตลอดการทำงาน และขอบคุณเพื่อนร่วมห้องปฏิบัติการที่ให้อกำลังใจซึ่งกันและกันตลอดมา

นอกจากนั้นผู้จัดทำต้องขอขอบพระคุณ คุณ นครศักดิ์ เจ้าหน้าที่ห้องปฏิบัติการที่ให้เบิกใช้เครื่องมือและอุปกรณ์ ตลอดจนเจ้าหน้าที่ห้องธุรการที่ให้คำแนะนำเกี่ยวกับการเบิกใบเสร็จของโครงการ

สุดท้ายนี้ขอขอบพระคุณบุคคลที่สำคัญที่สุดที่ทำให้ข้าพเจ้ามีวันนี้คือ บิดา มารดา อันเป็นที่เคารพรักยิ่ง ซึ่งได้เลี้ยงดูผู้จัดทำมาเป็นอย่างดี พร้อมทั้งโอกาสในการศึกษาอย่างเต็มที่และยังให้อาใจเอาใจใส่เสมอมาในทุกๆ ด้านอันหาที่เปรียบไม่ได้ ผู้จัดทำระลึกในพระคุณอันสุดประมาณและกราบขอขอบพระคุณมา ณ ที่นี้

ณัฐพล	วิฑูราภรณ์
บัณฑิต	บุญตั้งแต่ง
ปฐวี	กันชน
สถาปนิก	หมัดหวัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

	หน้า
บทคัดย่อ	i
ABSTRACT	ii
กิตติกรรมประกาศ	iii
สารบัญ	iv
สารบัญรูป	vii
สารบัญตาราง	x
บทที่ 1 บทนำ	1
1.1 ความสำคัญและที่มา	1
1.2 วัตถุประสงค์	1
1.3 ขอบเขตโครงการ	2
1.4 แผนการดำเนินโครงการ	2
1.5 ประโยชน์ที่ได้รับจากการวิจัย	3
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	4
2.1 บทนำ	4
2.2 แนวคิดพื้นฐานของสวิตช์โหมดอินเวอร์เตอร์	5
2.2.1 การสวิตช์แบบพีดับเบิลยูเอ็ม	8
2.3 อินเวอร์เตอร์เฟสเดียว	13
2.3.1 การสวิตช์แรงดันไฟฟ้าแบบไบโพลาร์	14
2.3.2 การสวิตช์แรงดันไฟฟ้าแบบยูนิโพลาร์	15
2.3.3 ผลของเดดไทม์ต่อแรงดันไฟฟ้านำออกของอินเวอร์เตอร์	17
2.4 เพาเวอร์มอสเฟต (Mosfet Power Transistor)	20
2.4.1 สภาวะนำกระแส	21
2.4.2 สภาวะหยุดนำกระแส	22
2.4.3 ลักษณะการสวิตช์ของ MOSFET	23
2.4.4 พื้นที่การทำงานที่ปลอดภัยระหว่างนำกระแสและหยุดนำกระแส	24
2.5 PID	25
2.5.1 ระบบควบคุมทางอุตสาหกรรมแบบป้อนกลับ	25
2.5.2 ตัวควบคุมแบบ PID	27
2.5.3 ทฤษฎีและหลักการควบคุมแบบป้อนกลับ (กริยาการควบคุมต่างๆ)	28
2.5.4 กริยาควบคุมแบบ ON-OFF	28
2.5.5 กริยาการควบคุมแบบ Proportional (P)	30
2.5.6 กริยาการควบคุมแบบ Integral (I)	31
2.5.7 กริยาการควบคุมแบบ Derivative (D)	32
2.5.8 กริยาการควบคุมแบบ Proportional-Integral	33
2.5.9 กริยาการควบคุมแบบ Proportional – Derivative (PD)	34

## สารบัญ (ต่อ)

	หน้า
2.5.10 ฏรยการควบคุมแบบ Proportional-Integral-Derivative (PID)	35
<b>บทที่ 3 การสร้างแบบจำลองอินเวอร์เตอร์และตัวควบคุม PID แบบอัตโนมัติ</b>	<b>37</b>
3.1 บทนำ	37
3.2 การออกแบบด้วยโปรแกรม MATLAB Simulink	37
3.2.1 วงจรอินเวอร์เตอร์	37
3.2.2 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)	38
3.2.3 การออกแบบวงจรอินเวอร์เตอร์	39
3.2.4 การออกแบบตัวควบคุมแบบ PID สำหรับอินเวอร์เตอร์	44
3.2.4.1 การปรับแต่งด้วยมือ (Manual tuning)	45
<b>บทที่ 4 การออกแบบและสร้างชุดวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์</b>	<b>53</b>
4.1 โครงสร้างของวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์	53
4.1.1 วงจรควบคุมไมโครคอนโทรลเลอร์ (Microcontroller)	54
4.1.2 วงจรอปโตอิเล็กทรอนิกส์ (Optoelectronic Couplers)	55
4.1.3 วงจรเรียงกระแส (Bridge Rectifier)	56
4.1.4 วงจรอินเวอร์เตอร์แบบฟูลบริดจ์ (Full-Bridge Inverter)	57
4.1.5 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)	58
4.1.6 วงจรป้อนกลับแรงดัน	59
4.1.7 วงจรแบ่งแรงดันไฟฟ้า (Voltage Divider Circuit)	59
4.1.8 วงจรยกระดับแรงดัน (offset voltage adjustment Circuit)	60
4.2 การออกแบบวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์	61
4.2.1 หลักการพื้นฐานของการมอดูเลชัน	61
<b>บทที่ 5 ผลการทดลอง</b>	<b>63</b>
5.1 บทนำ	63
5.2 สัญญาณพีดีบีเบิลยูเอ็ม (PWM) ที่ได้จากวงจรควบคุมไมโครคอนโทรลเลอร์ (Microcontroller)	63
5.3 ผลการทดลองจากวงจรอินเวอร์เตอร์	65
5.4 ผลการทดลองจากวงจรอินเวอร์เตอร์ที่ใช้การควบคุมแบบ Hybrid PID และการเปรียบเทียบกับวงจรอินเวอร์เตอร์ที่ใช้การควบคุมแบบ PID	67
5.5 การเปรียบเทียบการควบคุมแบบ PID และ Hybrid PID	71
<b>บทที่ 6 บทสรุป ข้อเสนอแนะ และแนวทางการปฏิบัติ</b>	<b>72</b>
6.1 บทสรุป	72
6.2 ข้อเสนอแนะและข้อควรระวัง	72
6.3 แนวทางการพัฒนา	73
<b>เอกสารอ้างอิง</b>	<b>74</b>
<b>ภาคผนวก</b>	<b>75</b>

## สารบัญ (ต่อ)

	หน้า
ภาคผนวก ก. บทความทางวิชาการ	76
ภาคผนวก ข. dsPIC30F4011	81
ภาคผนวก ค. IRFP460	163
ภาคผนวก ง. TLP250	172
ภาคผนวก จ. ET-BASE dsPIC30F2010/4011	181
ประวัติผู้เขียน	188



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป

รูปที่	หน้า
2.1 สวิตช์โหมดอินเวอร์เตอร์ขับเคลื่อนมอเตอร์ไฟฟ้ากระแสสลับ	4
2.2 สวิตช์โหมดอินเวอร์เตอร์ขับเคลื่อนมอเตอร์ไฟฟ้ากระแสสลับที่มีโหมดควบคุมการไหลของกำลังไฟฟ้า	5
2.3 แรงดันไฟฟ้าและกระแสด้านเข้าและด้านออกของสวิตช์โหมดอินเวอร์เตอร์เฟสเดียว	6
2.4 รูปคลื่นแรงดันและกระแสด้านเข้าและด้านออกของสวิตช์โหมดอินเวอร์เตอร์เฟสเดียว	6
2.5 โหมดการทำงานใน 4 จุดภาคของสวิตช์โหมดอินเวอร์เตอร์เฟสเดียว	7
2.6 สวิตช์โหมดอินเวอร์เตอร์เฟสเดียวที่หนึ่งกึ่ง	8
2.7 การสร้างสัญญาณสวิตช์แบบพีดับเบิลยูเอ็ม(1)	9
2.8 การสร้างสัญญาณสวิตช์แบบพีดับเบิลยูเอ็ม(2)	9
2.9 พีดับเบิลยูเอ็มแบบไซน์ (sinusoidal pulse width modulation: SPWM)	10
2.10 รูปคลื่นแบบพีดับเบิลยูเอ็มแบบโอเวอร์มอดูเลชัน(1)	12
2.11 รูปคลื่นแบบพีดับเบิลยูเอ็มแบบโอเวอร์มอดูเลชัน(2)	13
2.12 อินเวอร์เตอร์เฟสเดียวแบบฮาล์ฟบริดจ์ และแบบฟูลบริดจ์	14
2.13 การสวิตช์แรงดันแบบไบโพลาร์ (1)	15
2.14 การสวิตช์แรงดันแบบไบโพลาร์ (2)	15
2.15 การสวิตช์แรงดันไฟฟ้าแบบยูนิโพลาร์	16
2.16 ผลของเดดไทม์ต่อแรงดันไฟฟ้านำออกของอินเวอร์เตอร์	20
2.17 ผลของเดดไทม์ต่อแรงดันไฟฟ้านำออกรูปไซน์	20
2.18 ภาพตัดขวางโครงสร้างพื้นฐานของมอสเฟต	21
2.19 กราฟคุณลักษณะระหว่างกระแสและแรงดัน	21
2.20 ลักษณะกระแสแรงดันขณะนำกระแส	23
2.21 ลักษณะกระแสแรงดันขณะหยุดนำกระแส	23
2.22 (ก) พื้นที่ปลอดภัยในสภาวะไบแอส (ข) พื้นที่ปลอดภัยในสภาวะไบแอสกลับ	24
2.23 บล็อกไดอะแกรมของระบบควบคุมแบบป้อนกลับโดยทั่วไป	26
2.24 กริยาการควบคุมแบบ ON-OFF	29
2.25 คุณสมบัติของกริยาการควบคุมแบบ Proportional	30
2.26 ผลตอบสนองของกริยาการควบคุมแบบ Integral	32
2.27 ตัวอย่างคุณสมบัติของกริยาการควบคุมแบบ Derivative	32
2.28 ตัวอย่างผลตอบสนองของกริยาการควบคุมแบบ PI (Direct Action)	34
2.29 ผลตอบสนองของกริยาการควบคุมแบบ PD	35
2.30 ผลตอบสนองของกริยาการควบคุมแบบ PID	36
3.1 วิธีการสร้างไฟฟ้ากระแสสลับและรูปคลื่นกระแส	37
3.2 วงจรกรองแบบ LC	38
3.3 การกำหนดค่าวงจรกรองแบบ LC	39
3.4 วงจรที่ใช้ในการจำลอง	39
3.5 วงจร DC link	40

## สารบัญรูป (ต่อ)

รูปที่	หน้า
3.6 แรงดันเอาต์พุทของวงจร DC link	40
3.7 วงจรสร้างสัญญาณ PWM	41
3.8 วงจรอินเวอร์เตอร์	41
3.9 แรงดันเอาต์พุทของวงจรอินเวอร์เตอร์ที่เป็นแบบยูนิโพลาร์	42
3.10 วงจรกรองแบบ LC	42
3.11 แรงดันที่ออกจากวงจรกรองแบบ LC	43
3.12 วงจรโหลด	43
3.13 แรงดันเอาต์พุทของโหลด	43
3.14 กระแสเอาต์พุทของโหลด	44
3.15 วงจรการควบคุมอินเวอร์เตอร์ด้วยตัวควบคุมแบบ PID โดยรวม	44
3.16 วงจรการควบคุมแบบ PID	45
3.17 (ก) วงจรของโหลดที่มีโหลดเป็นตัวต้านทาน (ข) การตั้งค่าความต้านทานขนาด 44 $\Omega$	46
3.18 (ก) ปรับค่าอัตราขยายของตัวควบคุมแบบ P (Proportional Gain) เท่ากับ 6000 (ข) กราฟการปรับค่าอัตราขยายของตัวควบคุมแบบ P (Proportional Gain) เท่ากับ 6000 โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response)	46
3.19 (ก) ปรับค่าอัตราขยายของตัวควบคุมแบบ I (Integral Gain) เท่ากับ 10000 (ข) กราฟการปรับค่าอัตราขยายของตัวควบคุมแบบ I (Integral Gain) เท่ากับ 10000 โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response)	47
3.20 (ก) ปรับค่าอัตราขยายของตัวควบคุมแบบ D (Derivative Gain) เท่ากับ 5 (ข) กราฟของปรับค่าอัตราขยายของตัวควบคุมแบบ D (Derivative Gain) เท่ากับ 5 โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response)	48
3.21 วงจรของโหลดที่มีการต่อตัวต้านทานอนุกรมกับตัวเหนี่ยวนำ	48
3.22 (ก) ค่าของ PID สำหรับค่าความต้านทาน 44 $\Omega$ ต่ออนุกรมกับค่าความเหนี่ยวนำ 50 mH (ข) กราฟของการปรับค่า PID โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response)	49
3.23 (ก) ค่าของ PID สำหรับค่าความต้านทาน 44 $\Omega$ ต่ออนุกรมกับค่าความเหนี่ยวนำ 100 mH (ข) กราฟของการปรับค่า PID โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response)	50
3.24 กราฟการเปรียบเทียบกราฟของค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response) ระหว่างโหลดตัวต้านทานขนาด 44 $\Omega$ กับโหลดตัวต้านทานขนาด 44 $\Omega$ ต่ออนุกรมกับตัวเหนี่ยวนำขนาด 50 mH โดยค่า PID ชุดเดิม (โหลดตัวต้านทาน)	51
3.25 กราฟการเปรียบเทียบกราฟของค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response) ระหว่างโหลดตัวต้านทานขนาด 44 $\Omega$ กับโหลดตัวต้านทานขนาด 44 $\Omega$ ต่ออนุกรมกับตัวเหนี่ยวนำขนาด 100 mH โดยค่า PID ชุดเดิม (โหลดตัวต้านทาน)	52
4.1 โครงสร้างของวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์	53

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.2 วงจรการทำงานการควบคุมพีไอดีแบบไฮบริดจ์สำหรับอินเวอร์เตอร์ ออกแบบบนโปรแกรม MATLAB/Simulink	53
4.3 วงจรควบคุมไม่โครคอนโทรลเลอร์ (ก) แผนผังวงจร (ข) วงจรที่ใช้ทดลอง	55
4.4 วงจรออปโตอิเล็กทรอนิกส์ (ก) แผนผังวงจร (ข) วงจรที่ใช้ทดลอง	56
4.5 วงจรเรียงกระแส (ก) แผนผังวงจร (ข) วงจรที่ใช้ทดลอง	57
4.6 วงจรอินเวอร์เตอร์แบบฟูลบริดจ์ (ก) แผนผังวงจร (ข) วงจรที่ใช้ทดลอง	58
4.7 วงจรกรองความถี่ต่ำผ่าน (ก) แผนผังวงจร (ข) วงจรที่ใช้ทดลอง	59
4.8 วงจรป้อนกลับแรงดัน (ก) แผนผังวงจร (ข) วงจรที่ใช้ทดลอง	61
4.9 ผังงานการทำงานของไม่โครคอนโทรลเลอร์	62
5.1 สัญญาณพีดับเบิลยูเอ็ม (PWM) ที่ใช้ในการควบคุมวงจรอินเวอร์เตอร์ (ก) การมอดูเลตโดยใช้สัญญาณไซน์แบบธรรมดา (ข) การมอดูเลตโดยใช้สัญญาณไซน์แบบปรับเฟสไป 180 องศา (ค) เดดไทม์ของสัญญาณพีดับเบิลยูเอ็ม (PWM) ซึ่งมีค่าเดดไทม์เท่ากับ $2.15 \mu s$	65
5.2 แรงดันไฟฟ้าและกระแสด้านเข้าและด้านออกของวงจรอินเวอร์เตอร์เฟสเดียว	65
5.3 การสวิตชิงแบบยูนิโพลาร์แบบปรับเฟส(Shift Phase)ของวงจรอินเวอร์เตอร์	66
5.4 แรงดันไฟฟ้าด้านออก ( $v_o$ ) และกระแสไฟฟ้าด้านออก ( $i_o$ ) ของวงจรอินเวอร์เตอร์ที่มีโหลดเป็นตัวต้านทาน	66
5.5 แรงดันไฟฟ้าด้านออก ( $v_o$ ) และกระแสไฟฟ้าด้านออก ( $i_o$ ) ของวงจรอินเวอร์เตอร์ที่มีโหลดเป็นตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ	67
5.6 บล็อกไดอะแกรมของระบบควบคุมแบบป้อนกลับโดยทั่วไป	68
5.7 การควบคุมแบบ PID โหลดตัวต้านทาน ( $K_p = 0.001, K_i=0, K_d = 0$ )	68
5.8 การควบคุมแบบ PID โหลดตัวต้านทาน ( $K_p = 0.001, K_i=0.0005, K_d = 0$ )	69
5.9 การควบคุมแบบ PID โหลดตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ ( $K_p = 0.001, K_i=0.0005, K_d = 0$ )	69
5.10 การควบคุมแบบ Hybrid PID โหลดตัวต้านทาน	70
5.11 การควบคุมแบบ Hybrid PID ขณะเปลี่ยนแปลงโหลดโดยเพิ่มตัวเหนี่ยวนำอนุกรม	70
5.12 การควบคุมแบบ Hybrid PID ขณะเปลี่ยนแปลงโหลดโดยกำจัดตัวเหนี่ยวนำอนุกรม	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญตาราง

ตารางที่	หน้า
1.1 แผนการดำเนินงาน	2
2.1 ฮาร์มอนิกของ (VAo)h/(Vd/2)	11
2.2 เงื่อนไขการสวิตช์แรงดันเฟสและแรงดันไฟฟ้าด้านออกของอินเวอร์เตอร์แบบยูนิโพลาร์	16
2.3 การเปรียบเทียบข้อดี-ข้อเสียของการสวิตช์แรงดันไฟฟ้าแบบไบโพลาร์กับยูนิโพลาร์	17
5.1 เปรียบเทียบผลการควบคุมที่โหลดเป็นตัวต้านทาน	71
5.2 เปรียบเทียบผลการควบคุมที่โหลดเป็นตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ	71



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

### 1.1 ความสำคัญและที่มา

พลังงานไฟฟ้าถูกนำมาใช้ประโยชน์ทั้งในด้านอุตสาหกรรม ด้านเกษตรกรรม ด้านบริการและด้านอื่นๆ ซึ่งเป็นองค์ประกอบหนึ่งในการพัฒนาประเทศโดยมีการแข่งขันอยู่ตลอดเวลา ในปัจจุบันมีแนวโน้มความต้องการพลังงานไฟฟ้าในประเทศไทยสูงขึ้นจากข้อมูลปริมาณความต้องการพลังงานไฟฟ้าสูงสุดในปี พ.ศ. 2557 พบว่ามีปริมาณอยู่ที่ 26,942.10 เมกะวัตต์ [1] ซึ่งมีปริมาณมากกว่าปี พ.ศ. 2556 มีปริมาณอยู่ที่ 26,598.1 เมกะวัตต์ [2] หรือคิดเป็นร้อยละ 1.293 นอกจากนี้ยังมีแนวโน้มการใช้พลังงานไฟฟ้าเพิ่มขึ้นในอนาคต แต่ทรัพยากรบนโลกที่ใช้ผลิตพลังงานมีจำนวนลดลงทุกวันเช่นกัน จึงทำให้ในอนาคตจะต้องประสบปัญหาการขาดแคลนพลังงาน ทำให้เกิดแนวคิดนำเอาพลังงานทดแทนมาใช้ให้เกิดประโยชน์และคุ้มค่าสูงสุด ซึ่งพลังงานทดแทนในปัจจุบันมีหลายชนิด เช่น แสงอาทิตย์, ลม, เซลล์เชื้อเพลิง และอื่นๆ โดยในปริญญาานิพนธ์นี้ได้ทำการศึกษาและพัฒนาประสิทธิภาพของพลังงานแสงอาทิตย์

พลังงานแสงอาทิตย์เป็นพลังงานทดแทนที่ผลิตกระแสไฟฟ้าได้เป็นไฟฟ้ากระแสตรงแรงดันต่ำมีขอบเขตในการนำไปใช้งานที่แคบ จึงต้องทำการเปลี่ยนและปรับปรุงให้เป็นไฟฟ้ากระแสสลับที่มีพิกัดแรงดันที่สูงขึ้น ซึ่งทำให้มีขอบเขตและความเหมาะสมในการใช้งานที่หลากหลายมากขึ้น โดยใช้อินเวอร์เตอร์ในการแปลงพลังงานไฟฟ้า ซึ่งอินเวอร์เตอร์ที่นำมาใช้งานจะต้องเป็นอินเวอร์เตอร์ที่มีประสิทธิภาพในการทำงานที่สูง จึงจะทำให้เกิดประโยชน์อย่างสูงสุดในการปฏิบัติงาน ปัจจุบันได้มีการปรับปรุงอินเวอร์เตอร์ให้มีประสิทธิภาพมากขึ้นอยู่ตลอดเวลา อินเวอร์เตอร์ที่นำไปใช้งานนั้นมีอยู่หลายประเภทขึ้นอยู่กับการใช้งานของแต่ละชนิดงาน และที่นิยมใช้กันอย่างมากคืออินเวอร์เตอร์ที่ดับเบิลยูเอ็มที่สามารถปรับแรงดันและความถี่ได้ตามต้องการ นิยมนำไปใช้ควบคุมมอเตอร์ที่ต้องการแรงดันและความถี่แตกต่างกันไป

อินเวอร์เตอร์ที่นำไปใช้งานจะเป็นการแปรผันจากไฟฟ้ากระแสตรงไปเป็นไฟฟ้ากระแสสลับ จึงทำให้แรงดันไฟฟ้าที่ได้มีลักษณะเป็นรูปคลื่นสี่เหลี่ยม เมื่อนำมาใช้งานจะทำให้อุปกรณ์ทำงานได้ไม่เต็มประสิทธิภาพ ดังนั้นจึงได้พัฒนารูปคลื่นแรงดันของอินเวอร์เตอร์ให้มีความใกล้เคียงกับสัญญาณไซน์ของไฟฟ้ากระแสสลับให้มากที่สุดและยังเป็นการลดค่าฮาร์มอนิกส์ให้ต่ำลง ดังนั้นการควบคุมอินเวอร์เตอร์จึงจะต้องมีประสิทธิภาพสูง จึงจำเป็นจะต้องทำให้แหล่งจ่ายมีค่าคงที่ไม่มีการปรับเปลี่ยนแรงดันและความถี่ที่จะส่งผลกระทบต่อโหลด [3]-[8] ดังนั้นการควบคุมแรงดันไฟฟ้าของอินเวอร์เตอร์ในปริญญาานิพนธ์นี้จึงนำเสนอวิธีการควบคุมแบบ PID เพื่อให้มีคุณลักษณะทางไดนามิกส์ที่คงทนต่อการเปลี่ยนแปลงพารามิเตอร์และการรบกวนได้ โดยจะใช้แรงดันควบคุมซึ่งเป็นการควบคุมที่ง่ายกว่าแบบกระแสควบคุม เมื่อทำการจ่ายภาระทางไฟฟ้าจะพบว่าทำให้แรงดันตกลง ซึ่งจะสามารถควบคุมแรงดันให้คงที่ได้ตลอดโดยการใช้วิธีควบคุมแบบ PID

1.2 วัตถุประสงค์

1) เพื่อวางแนวทางในการใช้เทคโนโลยีที่เข้ามาใหม่ให้เหมาะสมกับสภาวะประเทศ ในปัจจุบัน ศึกษาระบบควบคุมแบบ Hybrid PID เพื่อสามารถนำมาประยุกต์ใช้กับอินเวอร์เตอร์ เพื่อให้สามารถใช้งานได้อย่างมีประสิทธิภาพ

- 2) นำความรู้ที่ได้ไปประยุกต์ใช้กับเทคโนโลยีที่จะเข้ามาในประเทศในอนาคต
- 3) วิเคราะห์ประโยชน์ที่ได้การจากนำระบบควบคุมแบบ Hybrid PID มาใช้ในระบบ
- 4) เพิ่มความสามารถให้อินเวอร์เตอร์สามารถปรับตั้งค่าและทำงานได้อัตโนมัติ เพื่อให้เข้ากับปัจจัยแวดล้อมขณะนั้นๆ
- 5) ศึกษาระบบควบคุมแบบ Hybrid PID เพื่อสามารถนำมาประยุกต์ใช้กับอินเวอร์เตอร์เพื่อให้สามารถใช้งานได้จริงอย่างมีประสิทธิภาพ
- 6) เปรียบเทียบ ข้อดีและข้อเสีย ของ Inverter ที่มีต่อระบบและความมีเสถียรภาพ

### 1.3 ขอบเขตโครงการ

เนื้อหาของการศึกษาครั้งนี้เป็นการจัดทำอินเวอร์เตอร์ที่มีการประยุกต์ใช้ PID ที่สามารถปรับค่าได้เองเพื่อให้มีประสิทธิภาพสูงสุด วิเคราะห์และออกแบบตัวควบคุมที่ใช้ควบคุมอุปกรณ์อินเวอร์เตอร์เพื่อให้มีคุณลักษณะทางไดนามิกส์ที่มีประสิทธิภาพสูง

### 1.4 แผนการดำเนินงานโครงการ

ตารางที่ 1.1 แผนการดำเนินงาน

กิจกรรม	ระยะเวลาในการดำเนินงาน									
	ภาคเรียนที่ 1					ภาคเรียนที่ 2				
	ส.ค.	ก.ย.	ต.ค.	พ.ย.	ธ.ค.	ม.ค.	ก.พ.	มี.ค.	เม.ย.	พ.ค.
1. ศึกษาค้นคว้า หาข้อมูลและทฤษฎีที่เกี่ยวข้องกับโครงการ										
2. ศึกษาและจำลองวงจรอินเวอร์เตอร์ในโปรแกรม Matlab										
3. ศึกษาและออกแบบวงจรควบคุมแบบ Hybrid PID										
4. สร้างวงจรอินเวอร์เตอร์										
5. ศึกษาและสร้างโปรแกรมควบคุมในไมโครคอนโทรลเลอร์										
6. ทดลองและบันทึกผลการดำเนินงานไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้า ไม่อนุญาตให้นำไปใช้เชิงพาณิชย์										
ผลการดำเนินงานของอินเวอร์เตอร์แบบปรับค่าได้										



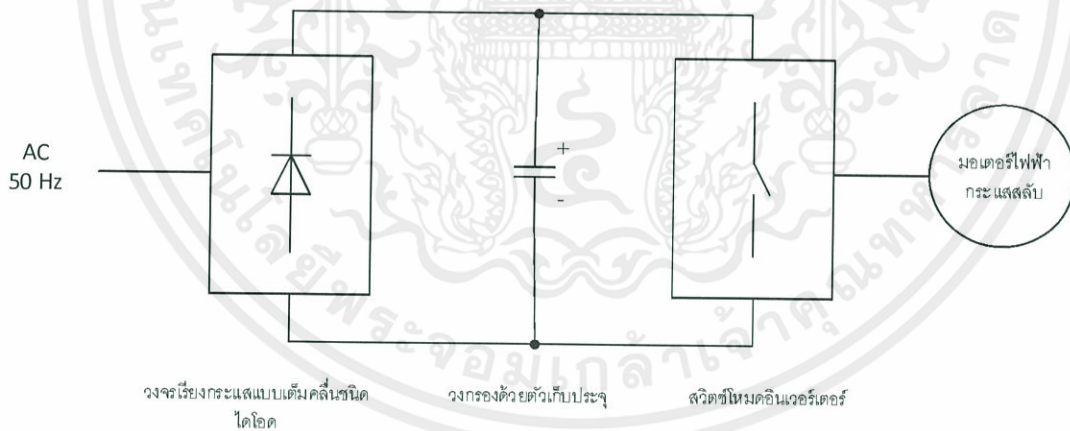
## บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

### 2.1 บทนำ

ต้นกำลังทางไฟฟ้าในภาคอุตสาหกรรม จะนิยมใช้แหล่งจ่ายเป็นไฟฟ้ากระแสสลับ เช่น อุตสาหกรรมการผลิต ซึ่งโดยส่วนใหญ่จะใช้ระบบขับเคลื่อนมอเตอร์ไฟฟ้าเป็นหลัก ในยุคปัจจุบัน การควบคุมมอเตอร์ไฟฟ้าให้มีสมรรถนะสูงสามารถใช้อินเวอร์เตอร์ในการควบคุมให้ได้ความเร็วรอบ แรงบิดตามต้องการ และมีประสิทธิภาพสูง มีสภาพการทำงานที่ไม่ก่อให้เกิดปัญหาการบกพร่องระบบ ไฟฟ้าข้างเคียง อินเวอร์เตอร์จึงมีบทบาทในภาคอุตสาหกรรมมากขึ้น เมื่อแบ่งอินเวอร์เตอร์เป็นสอง ชนิด คือ ชนิดที่ใช้เป็นแหล่งจ่ายกำลัง (power supplies) ซึ่งไม่มีการเคลื่อนที่ (static) เช่น ระบบ ป้องกันกำลังไฟฟ้าขาดช่วง (Uninterruptible Power Supplies: UPS) ที่มีอินเวอร์เตอร์เป็นวงจร หลักในการทำงาน เป็นต้น กับอีกประเภทหนึ่ง คือชนิดที่โหลดมีการหมุนหรือเคลื่อนที่ (dynamic) เช่น มอเตอร์ไฟฟ้า เป็นต้น

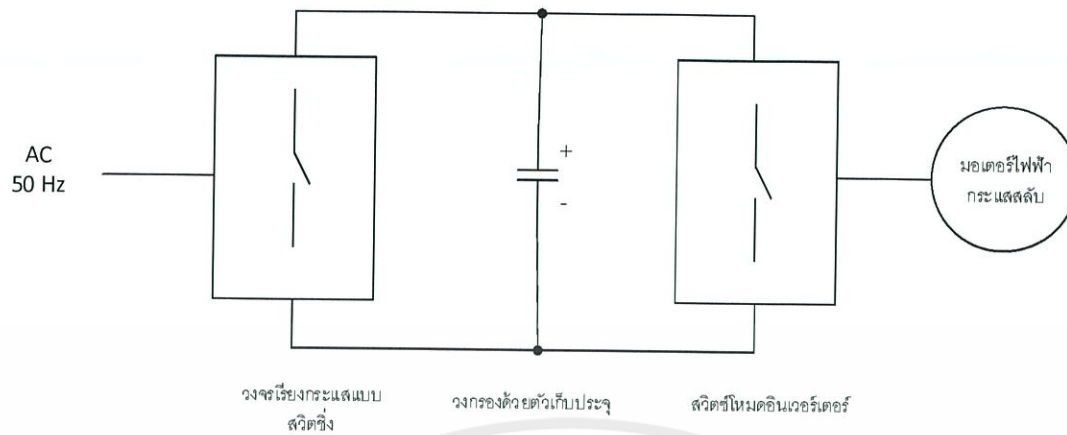
การแปลงผันกำลังไฟฟ้าจากแรงดันไฟฟ้ากระแสตรงเป็นกระแสสลับ ไม่ว่าจะใช้ในการ ควบคุมมอเตอร์ไฟฟ้ากระแสสลับหรือระบบป้องกันกำลังไฟฟ้าขาดช่วง มีความต้องการคล้ายกัน คือต้องการให้แรงดันไฟฟ้าด้านออกสามารถควบคุมได้ทั้งขนาดและความถี่

ในรูปที่ 2.1 เป็นอินเวอร์เตอร์ที่ส่งผ่านกำลังไฟฟ้าได้ด้านเดียว คือจากไฟฟ้า กระแสสลับของแหล่งจ่ายผ่านวงจรเรียงกระแสแบบเต็มคลื่นชนิดไดโอด และส่งต่อไปยังสวิตซ์ไทม์ด อินเวอร์เตอร์เพื่อแปลงเป็นไฟฟ้ากระแสสลับทางด้านออกที่เป็นโหลดมอเตอร์ไฟฟ้ากระแสสลับ



รูปที่ 2.1 สวิตซ์ไทม์ดอินเวอร์เตอร์ขับมอเตอร์ไฟฟ้ากระแสสลับ

หากต้องการให้กำลังไฟฟ้าสามารถควบคุมให้ไหลไปและกลับระหว่างด้านไฟฟ้า กระแสตรงกับด้านไฟฟ้ากระแสสลับได้ จำเป็นต้องมีการทำงานเป็นแบบสวิตซ์ไทม์ดเช่นในรูปที่ 2.2 โดยการเปลี่ยนวงจรเรียงกระแสชนิดไดโอดเป็นแบบสวิตซ์ไทม์ดคอนเวอร์เตอร์แทน เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 สวิตซ์โหมดอินเวอร์เตอร์ขับมอเตอร์ไฟฟ้ากระแสสลับที่มีโหมดควบคุมการไหลของกำลังไฟฟ้า

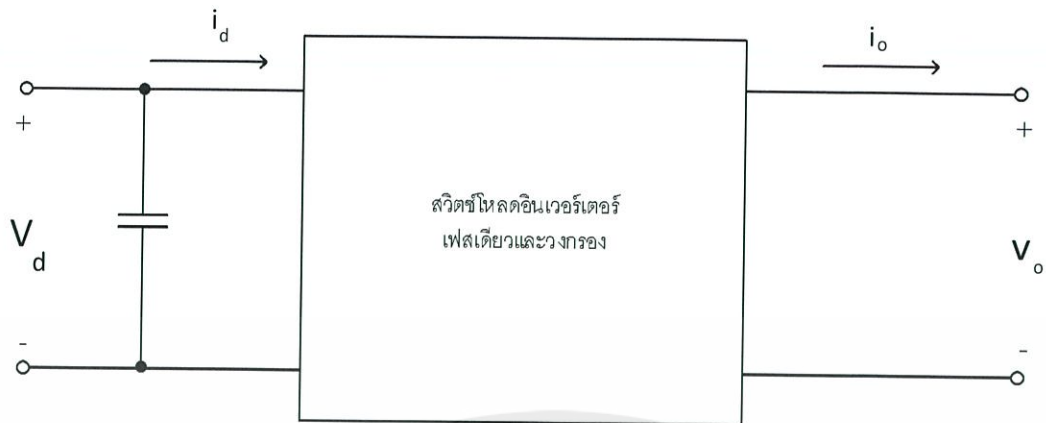
ในไดอะแกรมการทำงานของอินเวอร์เตอร์ ที่แปลงผันกำลังไฟฟ้าจากไฟฟ้ากระแสตรงเป็นกระแสสลับ จะสามารถแบ่งออกได้เป็นสองกลุ่มคือ อินเวอร์เตอร์ชนิดแหล่งจ่ายแรงดัน (Voltage Source Inverter: VSI) กับอินเวอร์เตอร์ชนิดแหล่งจ่ายกระแส (Current Source Inverter: CSI)

อินเวอร์เตอร์ชนิดแหล่งจ่ายแรงดัน มักจะเหมาะสำหรับงานที่ต้องการกำลังไฟฟ้าไม่สูงมากนัก แต่อินเวอร์เตอร์ชนิดแหล่งจ่ายกระแสจะเหมาะสำหรับงานที่ต้องการกำลังไฟฟ้าสูง อินเวอร์เตอร์ชนิดแหล่งจ่ายแรงดันอาจแบ่งเป็นสองประเภท ที่นิยมนำไปใช้งานคือ อินเวอร์เตอร์แบบพัลส์เบร็ลยเอ็ม (Pulse Width-Modulation inverter: PWM inverter) ส่วนอีกประเภทที่นิยมคืออินเวอร์เตอร์แบบรูปคลื่นสี่เหลี่ยม (square-wave inverter) ซึ่งมีโครงสร้างไม่ซับซ้อน แต่มีข้อเสียคือขนาดของฮาร์โมนิกอันดับต่ำๆจะมีค่าสูง

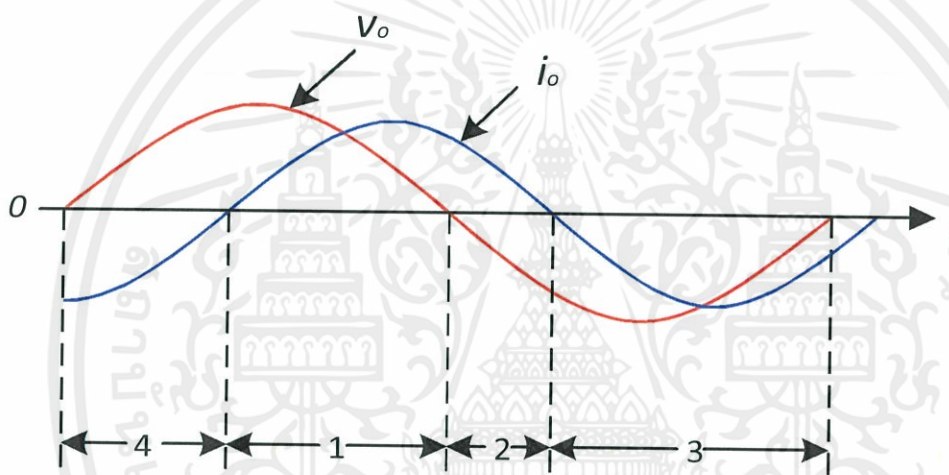
## 2.2 แนวคิดพื้นฐานของสวิตซ์โหมดอินเวอร์เตอร์

การแปลงผันกำลังไฟฟ้าจากแรงดันไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสสลับในรูปที่ 2.3 สมมติว่าแรงดันไฟฟ้าด้านออก ( $v_o$ ) และกระแสไฟฟ้าด้านออก ( $i_o$ ) ผ่านวงจรกรองความถี่สูงออกไปเหลือเฉพาะความถี่ต่ำ ดังนั้นแรงดันและกระแสไฟฟ้าที่ได้จะเป็นรูปไซน์ กรณีแสดงในรูปที่ 2.3 โหลดจะเป็นค่าความต้านทานและความเหนี่ยวนำ ดังนั้นกระแสไฟฟ้าจะล่าหลังแรงดันไฟฟ้า สำหรับในรูปที่ 2.4 กำลังไฟฟ้าด้านออก ( $p_o$ ) จะพิจารณาเป็นผลคูณของแรงดันและกระแสไฟฟ้าด้านออก ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

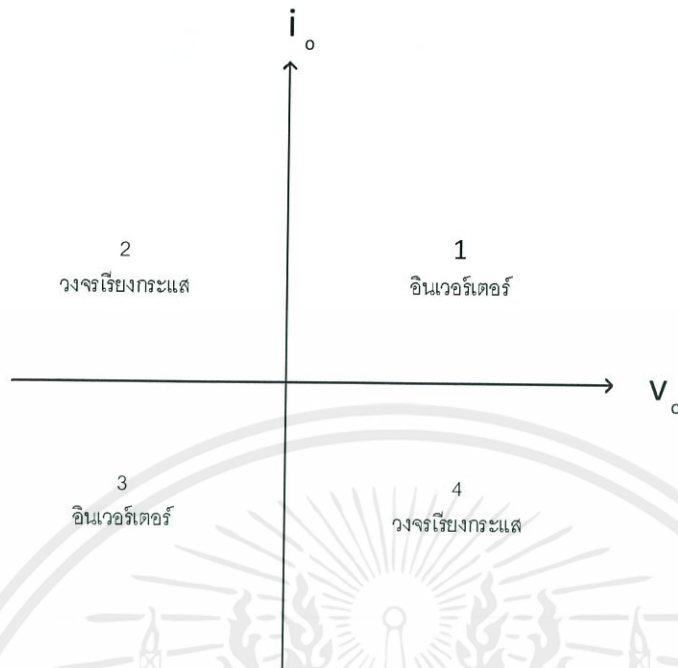


รูปที่ 2.3 แรงดันไฟฟ้าและกระแสต้านเข้าและด้านออกของสวิตช์โหมดอินเวอร์เตอร์เฟสเดียว



รูปที่ 2.4 รูปคลื่นแรงดันและกระแสต้านเข้าและด้านออกของสวิตช์โหมดอินเวอร์เตอร์เฟสเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 โหมดการทำงานใน 4 จตุภาคของสวิตช์โหมดอินเวอร์เตอร์เฟสเดียว

**โหมดที่ 1 โหมดอินเวอร์เตอร์**

$v_o$  เป็นบวก  $i_o$  เป็นบวก  $p_o$  เป็นบวก คือกำลังไฟฟ้าจะถูกส่งจากด้านไฟฟ้ากระแสตรง ( $V_d$ ) ไปด้านไฟฟ้ากระแสสลับ ( $v_o$ )

**โหมดที่ 2 โหมดเรียงกระแส**

$v_o$  เป็นลบ  $i_o$  เป็นบวก  $p_o$  เป็นลบ คือกำลังไฟฟ้าจะถูกส่งจากด้านไฟฟ้ากระแสสลับ ( $v_o$ ) ไปด้านไฟฟ้ากระแสตรง ( $V_d$ )

**โหมดที่ 3 โหมดอินเวอร์เตอร์**

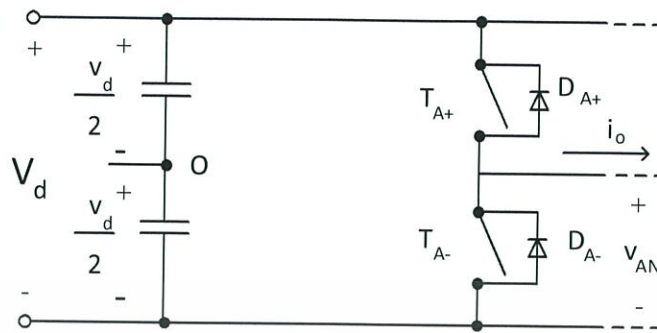
$v_o$  เป็นลบ  $i_o$  เป็นลบ  $p_o$  เป็นบวก คือกำลังไฟฟ้าจะถูกส่งจากด้านไฟฟ้ากระแสตรง ( $V_d$ ) ไปด้านไฟฟ้ากระแสสลับ ( $v_o$ )

**โหมดที่ 4 โหมดเรียงกระแส**

$v_o$  เป็นบวก  $i_o$  เป็นลบ  $p_o$  เป็นลบ คือกำลังไฟฟ้าจะถูกส่งจากด้านไฟฟ้ากระแสสลับ ( $v_o$ ) ไปด้านไฟฟ้ากระแสตรง ( $V_d$ )

สรุปรูปแบบในการทำงานดังแสดงในรูปที่ 2.5 4 โหมดในควอดแรนต์ (จตุภาค)

เอกสารนี้เป็นเอกสารเพื่อความเข้าใจการทำงานของอินเวอร์เตอร์ ในรูปที่ 2.6 จะแสดงเพียงหนึ่งกิ่งของวงจรอินเวอร์เตอร์ คือกิ่ง A หรือ เฟส A ที่สัมพันธ์ให้แรงดันไฟฟ้าด้านเข้ามีค่าคงที่และกำหนดให้การใช้สวิตช์ทำงานเป็นแบบพีดับเบิลยูเอ็ม



รูปที่ 2.6 สวิตช์โหมดอินเวอร์เตอร์เฟสเดียวที่หนึ่งกึ่ง

### 2.2.1 การสวิตช์แบบพีดับเบิลยูเอ็ม

ในวงจรอินเวอร์เตอร์ ต้องการจะสร้างแรงดันไฟฟ้าด้านออกเป็นรูปไซน์ที่สามารถปรับขนาดและความถี่ตามต้องการได้ โดยจะใช้สัญญาณควบคุมรูปไซน์ (sinusoidal control signal) ตามความถี่ที่ต้องการนำมาเปรียบเทียบกับรูปคลื่นสามเหลี่ยม (triangular waveform) ดังในรูปที่ 2.7 ความถี่ของการสวิตช์ ( $f_s$ ) จะเท่ากับความถี่ของรูปคลื่นสามเหลี่ยม

คำย่อและความหมายที่สำคัญของการสวิตช์แบบพีดับเบิลยูเอ็ม มีดังต่อไปนี้

$V_{\text{control}}$	สัญญาณควบคุมรูปไซน์ที่ต้องการนำมาสร้างแรงดันไฟฟ้าและความถี่ทางด้านออก
$V_{\text{tri}}$	สัญญาณรูปสามเหลี่ยมที่เป็นตัวกำหนดความถี่สวิตช์
$f_1$	ความถี่หลักมูลทางด้านออกของอินเวอร์เตอร์
$f_s$	ความถี่ของการสวิตช์ของอินเวอร์เตอร์
$m_a$	อัตราการมอดูเลตด้านแอมพลิจูด
$m_f$	อัตราการมอดูเลตด้านความถี่

ค่า  $m_a$  และ  $m_f$  จะนิยามจากสมการที่ (2.1 ก) และ (2.1 ข) ตามลำดับ

$$m_a = \frac{\hat{V}_{\text{control}}}{\hat{V}_{\text{tri}}} \quad (2.1 \text{ ก})$$

$$m_f = \frac{f_s}{f_1} \quad (2.1 \text{ ข})$$

เมื่อ  $\hat{V}_{\text{control}}$  คือค่ายอดของสัญญาณควบคุมไซน์  
 $\hat{V}_{\text{tri}}$  คือค่ายอดสัญญาณรูปสามเหลี่ยม

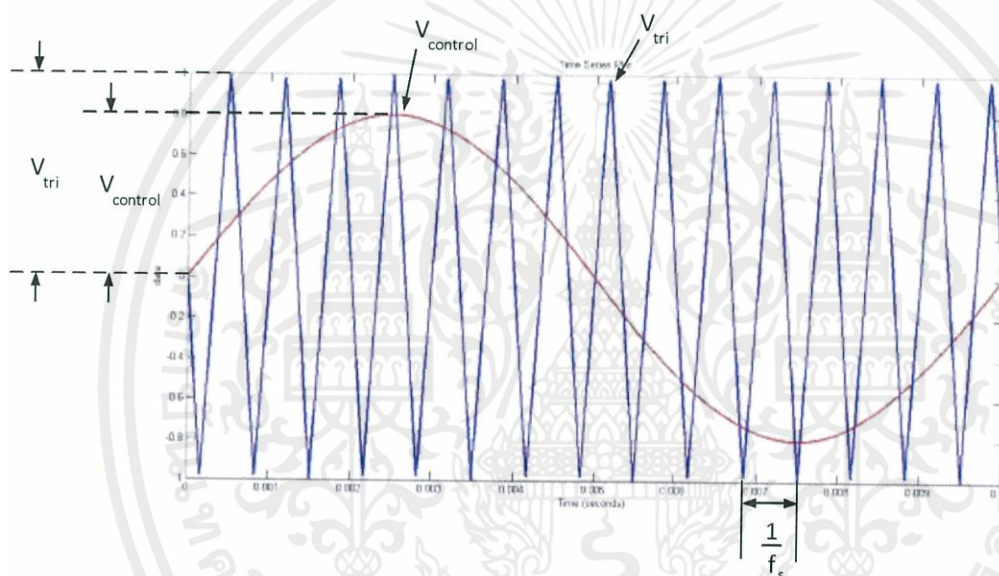
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแบบส่งเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าค่า  $0 \leq m_a \leq 1$  จะเป็นช่วงการมอดูเลตเชิงเส้น ซึ่งหมายถึงองค์ประกอบหลักมูลของแรงดันไฟฟ้าด้านออก (fundamental-frequency component to the output voltage) โดยจะแปรผันเชิงเส้นกับค่า  $m_a$

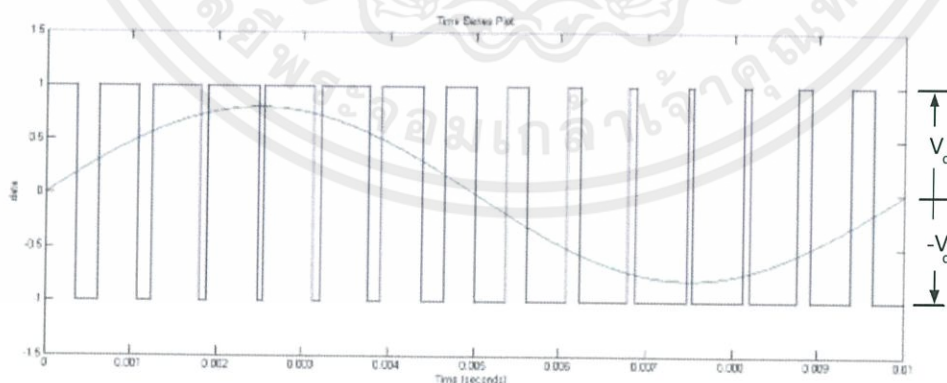
ในกรณี  $m_a > 1$  จะเป็นช่วงการควบคุมแบบโอเวอร์มอดูเลต ซึ่งผลของแรงดันไฟฟ้าด้านออกจะมีองค์ประกอบฮาร์มอนิกสูงกว่าช่วงการมอดูเลตเชิงเส้น สำหรับเงื่อนไขของการสร้างสัญญาณสวิตชิงแบบพีดับเบิลยูเอ็ม คือ

$$V_{\text{control}} > V_{\text{tri}}, \quad T_{A+} \text{ จะนำกระแส} \quad V_{A0} = \frac{1}{2}V_d \quad (2.2)$$

$$V_{\text{control}} < V_{\text{tri}}, \quad T_{A-} \text{ จะนำกระแส} \quad V_{A0} = -\frac{1}{2}V_d \quad (2.3)$$



รูปที่ 2.7 การสร้างสัญญาณสวิตชิงแบบพีดับเบิลยูเอ็ม(1)



รูปที่ 2.8 การสร้างสัญญาณสวิตชิงแบบพีดับเบิลยูเอ็ม(2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น การทำงานของสวิตซ์  $T_{A+}$  และ  $T_{A-}$  จะขึ้นอยู่กับผลการเปรียบเทียบของ  $V_{\text{control}}$  กับ  $V_{\text{tri}}$  โดยจะมีเงื่อนไขดังสมการที่ (2.2) และ (2.3) และจะไม่ขึ้นกับทิศทางของกระแส รูปที่ 2.7 และ 2.8 แสดงตัวอย่างเมื่อกำหนดเงื่อนไขดังสมการที่  $m_a = 0.8$  และ  $m_f = 15$  ฮาร์มอนิกสเปกตร้า

(harmonic spectrum) ของ  $v_{Ao}$  โดยเขียนกราฟเทียบกับค่าแกนตั้ง  $(\hat{V}_{Ao})_h / (V_d/2)$  จะมีส่วนสำคัญสามส่วนคือ

1. ค่ายอดของแรงดันไฟฟ้าที่ความถี่หลักมูล  $(\hat{V}_{Ao})_1 = m_a (V_d/2)$  โดยมีความสัมพันธ์จาก

$$V_{Ao} = \frac{V_{control}}{\hat{V}_{tri}} \cdot \frac{V_d}{2}, \quad V_{control} \leq \hat{V}_{tri} \quad (2.4)$$

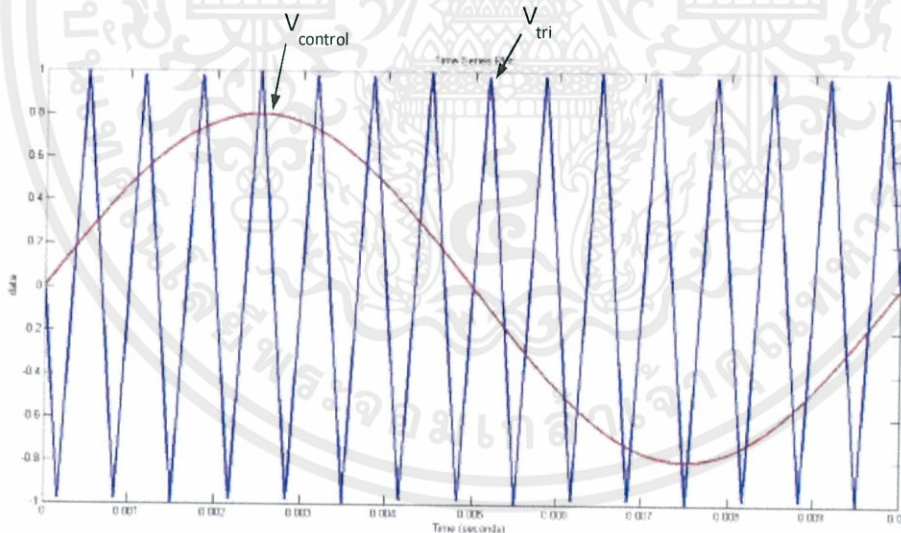
$$V_{control} = \hat{V}_{control} \sin \omega_1 t, \quad V_{control} \leq \hat{V}_{tri}$$

$$(V_{Ao})_1 = \left( \frac{\hat{V}_{control}}{\hat{V}_{tri}} \cdot \frac{V_d}{2} \right) \sin(\omega_1 t), \quad m_a \leq 1.0$$

$$(V_{Ao})_1 = m_a \cdot \left( \frac{V_d}{2} \right) \sin(\omega_1 t), \quad m_a \leq 1.0$$

$$(V_{Ao})_1 = m_a \cdot \left( \frac{V_d}{2} \right), \quad m_a \leq 1.0 \quad (2.5)$$

สมการที่ (2.5) พิจารณาประกอบจากรูปที่ 2.9 แสดงให้เห็นว่าแรงดันไฟฟ้าที่ความถี่หลักมูลจะแปรผันเป็นเชิงเส้นกับค่า  $m_a$  ซึ่ง  $m_a$  จะมีค่าอยู่ระหว่าง 0 ถึง 1



รูปที่ 2.9 พัดดับเบิลยูเอ็มแบบไซน์ (sinusoidal pulse width modulation: SPWM)

2. ค่าไซด์แบนด์ฮาร์โมนิก (sideband harmonic) จะเกิดขึ้นรอบๆ  $1m_f$ ,  $2m_f$ ,  $3m_f$ , ... ดังแสดงในสมการที่ (2.6) หรือ (2.7) เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_h = (jm_f \pm k)f_1 \quad (2.6)$$

$$h = j(m_f) \pm k \tag{2.7}$$

เมื่อ  $h=1$  คือความถี่หลักมูล (fundamental frequency)

ถ้าค่า  $j$  เป็นเลขคี่ ค่าฮาร์มอนิกจะเท่ากับค่า  $k$  ที่เป็นเลขคู่  
 ถ้าค่า  $j$  เป็นเลขคู่ ค่าฮาร์มอนิกจะเท่ากับค่า  $k$  ที่เป็นเลขคี่

เช่น แสดงค่าฮาร์มอนิก  $(\hat{V}_{Ao})_h / (V_d/2)$  ในตารางที่ 2.1 ซึ่งมีข้อสังเกตว่าค่า  $(\hat{V}_{Ao})_h / (V_d/2)$  จะเป็นฟังก์ชันกับ  $m_a$

3. ค่า  $m_f$  ฮาร์มอนิกควรจะเป็นเลขคี่ เพราะถ้ากำหนดให้ค่า  $m_f$  เป็นเลขคี่ก็จะทำให้เกิดการสมมาตรเลขคี่ ซึ่งแสดงได้จากสมการ  $f(-t) = -f(t)$  ผลที่ได้คือจะมีเพียงฮาร์มอนิกเลขคี่เท่านั้นที่ยังปรากฏอยู่ใน  $v_{Ao}$  ส่วนฮาร์มอนิกเลขคู่จะหักล้างกัน โดยที่ช่วง  $m_f > 21$  จะถือว่า  $m_f$  มีค่ามากโดยที่ขนาดของฮาร์มอนิกย่อย (sub-harmonics) จะมีค่าน้อยเมื่อเทียบกับค่า  $m_f$

สำหรับกรณีโอเวอร์มอดูเลชัน ( $m_a > 1$ ) จะเกิดขึ้นเมื่อ  $\hat{V}_{control} > \hat{V}_{tri}$  โดยค่ารูปคลื่นพีคดับเบิลดูเอมจะมีช่วงที่เป็นบวกหรือลบกว้างกว่าหนึ่งคาบการสวิตซึ่งแสดงดังในรูปที่ 2.10 และ 2.11 โอเวอร์มอดูเลชันมีข้อดีคือขนาดแรงดันไฟฟ้าของความถี่หลักมูลจะมีค่าสูงกว่ากรณี  $m_a \leq 1$  แต่การเพิ่มขึ้นของแรงดันไฟฟ้าจะไม่เป็นเชิงเส้นจนถึงค่าคงที่ค่าหนึ่ง และช่วงแรงดันยอดทางด้านขาออกของความถี่หลักมูลจะมีค่าอยู่ระหว่าง  $V_d/2$  ถึง  $4V_d/2\pi$  เขียนเป็นสมการได้ดังนี้

$$\frac{V_d}{2} < (\hat{V}_{Ao})_1 < \frac{4 V_d}{\pi} \tag{2.8}$$

จากสมการที่ (2.8) ค่า  $(\hat{V}_{Ao})_1$  จะอยู่ระหว่างค่าที่ทำงานในโหมดเชิงเส้นและโหมดรูปคลื่นสี่เหลี่ยม กรณีโหมดสี่เหลี่ยมจะเกิดจากการที่  $m_a \gg 1$  และต้องมีค่ามากพอ การที่จะบอกค่ามากพอเท่าใดจะขึ้นอยู่กับค่า  $m_f$  ด้วย หาก  $m_f$  มีค่ามาก  $m_a$  ก็จะต้องมีค่ามากไปด้วยที่จะทำให้  $v_{control}$  ไม่ตัดยอดของปลายสามเหลี่ยมของสัญญาณอ้างอิงเลย ผลการเปรียบเทียบก็จะได้แรงดันเป็นรูปคลื่นสี่เหลี่ยม

ตารางที่ 2.1 ฮาร์มอนิกของ  $(\hat{V}_{Ao})_h / (V_d/2)$

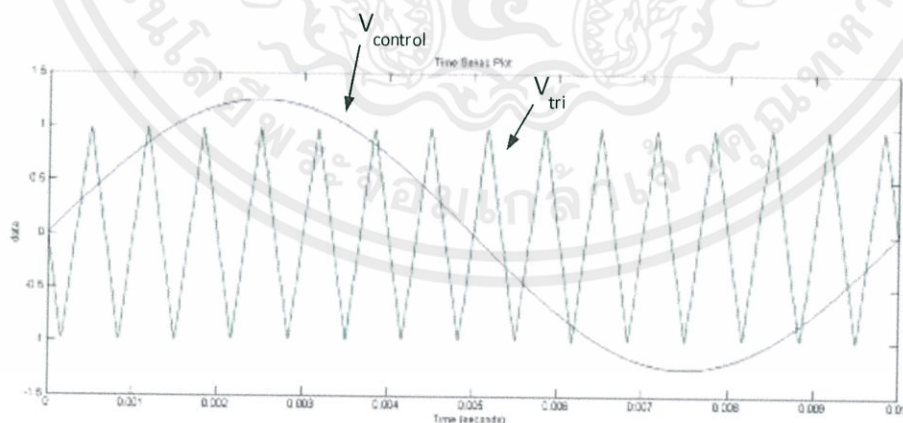
$h \backslash m_a$	0.2	0.4	0.6	0.8	1.0
ฮาร์มอนิกหลักมูล	0.2	0.4	0.6	0.8	1.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 หากมีข้อผิดพลาดประการใดขออภัยเป็นอย่างสูง และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$m_f$	1.242	1.150	1.006	0.818	0.601
$m_f \pm 2$	0.016	0.061	0.131	0.220	0.318
$m_f \pm 4$					0.018
$2m_f \pm 1$				0.314	0.181
$2m_f \pm 3$	0.190	0.326	0.370	0.139	0.212
$2m_f \pm 5$		0.024	0.071	0.013	0.033
$3m_f$				0.171	0.113
$3m_f \pm 2$	0.335	0.123	0.083	0.176	0.062
$3m_f \pm 4$	0.044	0.139	0.203	0.104	0.157
$3m_f \pm 6$		0.012	0.047	0.016	0.44
$4m_f \pm 1$				0.105	0.068
$4m_f \pm 3$	0.163	0.157	0.008	0.115	0.009
$4m_f \pm 5$	0.012	0.070	0.132	0.084	0.119
$4m_f \pm 7$			0.034	0.017	0.050

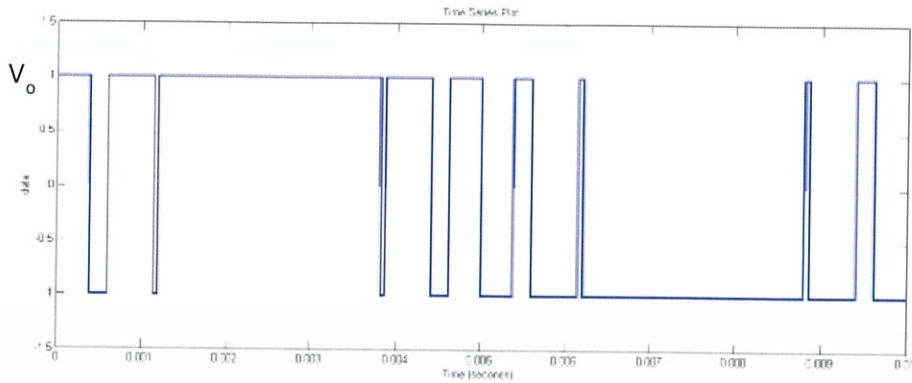
หมายเหตุ:  $(\hat{V}_{Ao})_h / (V_d/2) = (\hat{V}_{Ao})_h / \frac{1}{2} V_d$  เป็นฟังก์ชันของ  $m_a$

อย่างไรก็ตามข้อเสียของกรณีโอเวอร์มอดูเลชันก็คือทำให้เกิดฮาร์โมนิกอันดับต่างๆ ที่อยู่ใกล้กับฮาร์โมนิกอันดับที่หนึ่งหรือความถี่หลักมูล เช่นฮาร์โมนิกอันดับที่ 3, 5, 7 เป็นต้น ซึ่งจะ เป็นสาเหตุทำให้เกิดผลเสียมากหากนำไปใช้งาน โดยเฉพาะอย่างยิ่งการนำไปขับมอเตอร์เหนี่ยวนำ เพราะฮาร์โมนิกอันดับที่ 3, 5, 7 จะทำให้เกิดกำลังไฟฟ้าสูญเสียและทำให้เกิดความเร็วหลาย ความเร็วในเวลาเดียวกันทำให้มอเตอร์ไฟฟ้าหมุนไม่สม่ำเสมอ อาจมีผลเสียต่อสมรรถนะของมอเตอร์ ได้



รูปที่ 2.10 รูปคลื่นแบบพีดีบีเบิลยูเอ็มแบบโอเวอร์มอดูเลชัน(1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 รูปคลื่นแบบพีดีบีเบิลยูเอ็มแบบโอเวอร์มอดูเลชัน(2)

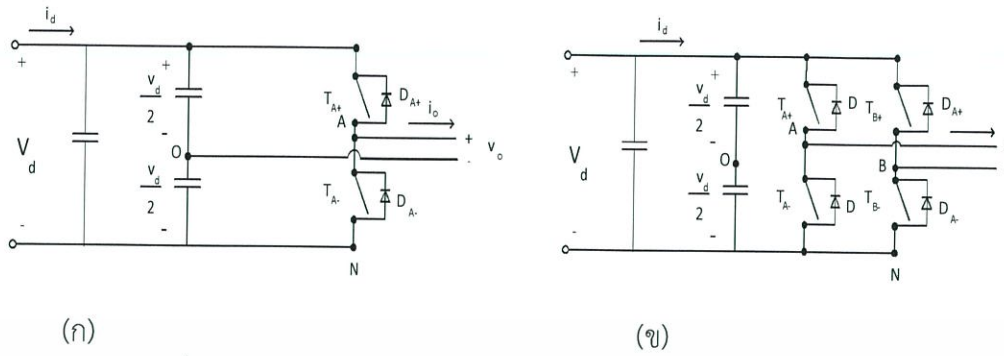
การเปรียบเทียบสัญญาณสองสัญญาณ ในเงื่อนไขหาก  $V_{control} > V_{tri}$  จะได้สัญญาณพัลส์เป็นบวก ในทำนองเดียวกันหาก  $V_{control} < V_{tri}$  จะได้พัลส์เป็นลบ กรณีโอเวอร์มอดูเลชันในรูปที่ 2.10 และ 2.11 ไซเคิลบวกของ  $V_{control}$  จะมีช่วงยอดที่  $V_{control}$  มากกว่า  $V_{tri}$  จนถือว่าจะได้พัลส์บวกเป็นระยะเวลาหนึ่งเสมือนว่าไม่มีการสวิตชิง เช่นเดียวกับการเกิดขึ้นที่ครึ่งไซเคิลลบของ  $V_{control}$  ช่วง peak ล่างจะทำให้ค่าพัลส์เป็นลบหรือศูนย์ เป็นช่วงขณะที่ไม่มีการสวิตชิง

### 2.3 อินเวอร์เตอร์เฟสเดียว

อินเวอร์เตอร์เฟสเดียวจะแบ่งออกเป็นสองชนิด คือ แบบฮาล์ฟบริดจ์ (half-bridge) และแบบฟลูบริดจ์ (full-bridge) ในแบบฮาล์ฟบริดจ์ จะมีตัวเก็บประจุสองตัวต่อกันอยู่ระหว่างแหล่งจ่ายแรงดันไฟฟ้ากระแสตรงและหากกำหนดให้ค่าตัวเก็บประจุสองตัวมีค่าเท่ากัน จะทำให้แรงดันไฟฟ้าตกคร่อมตัวเก็บประจุแต่ละตัวจะมีค่าเท่ากันคือ  $V_d / 2$  จุดกึ่งกลางแรงดันไฟฟ้า (จุด o) ในรูปที่ 2.12 (ก) จะมีค่าคงที่เมื่อเทียบกับบัสลบ (N) ดังแสดงในรูปที่ 2.12 (ก) ส่วนวงจรอินเวอร์เตอร์แบบฟลูบริดจ์เฟสเดียวจะประกอบไปด้วยสองกึ่ง คือ กึ่ง A และ กึ่ง B ในรูปที่ 2.12 (ข) โดยแบบฟลูบริดจ์จะมีกำลังไฟฟ้าสูงกว่าแบบฮาล์ฟบริดจ์ สองเท่า จึงจะเหมาะที่จะเลือกใช้เมื่อต้องการจ่ายกำลังไฟฟ้าโหลดสูงขึ้น

เงื่อนไขสำคัญที่อินเวอร์เตอร์เฟสเดียวแบบฮาล์ฟบริดจ์ คือการทำงานของสวิตช์  $T_{A+}$  และ  $T_{A-}$  ต้องไม่ทำงานพร้อมกันในทุกช่วงเวลา มิฉะนั้นแล้วจะเกิดการลัดวงจรระหว่างบัสบวกกับบัสลบ ในอุดมคติเวลาการสวิตชิงของ  $T_{A+}$  และ  $T_{A-}$  จะตรงข้ามกัน แต่ในทางปฏิบัติจะต้องการช่วงเวลาที่ยาวขึ้นที่สวิตช์ทั้งคู่ไม่นำกระแส ซึ่งเรียกว่าเดดไทม์ (dead time) โดยเดดไทม์ จะอยู่ในช่วงเวลาก่อนจะเปลี่ยนสถานะการสวิตชิง จากนำกระแสเป็นไม่นำกระแสหรือจากไม่นำกระแสเป็นนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 อินเวอร์เตอร์เฟสเดียวแบบฮาล์ฟบริดจ์ และแบบฟูลบริดจ์

2.3.1 การสวิตชิงแรงดันไฟฟ้าแบบไบโพลาร์

การสวิตชิงแรงดันแบบไบโพลาร์ (bipolar voltage switching) คือการควบคุมให้สวิตช์แบบบริดจ์ทำงานพร้อมกันเป็นคู่ เช่น ในรูปที่ 2.12 (ข) การทำงานของสวิตช์  $T_{A+}$  และ  $T_{B-}$  จะถูกควบคุมให้ทำงานพร้อมกันในแต่ละช่วงเวลา อีกคู่หนึ่งคือการทำงานของสวิตช์  $T_{A-}$  และ  $T_{B+}$  ดังนั้นแรงดันไฟฟ้าด้านออกของกิ่ง A จะเท่ากับ

$$V_{Ao} = \frac{1}{2} V_d \quad \text{เมื่อ } v_{\text{control}} > V_{\text{tri}} , \quad \text{สวิตช์ } T_{A+} \text{ และ } T_{B-} \text{ จะนำกระแส} \quad (2.9)$$

$$V_{Ao} = -\frac{1}{2} V_d \quad \text{เมื่อ } V_{\text{control}} < V_{\text{tri}} , \quad \text{สวิตช์ } T_{A-} \text{ และ } T_{B+} \text{ จะนำกระแส} \quad (2.10)$$

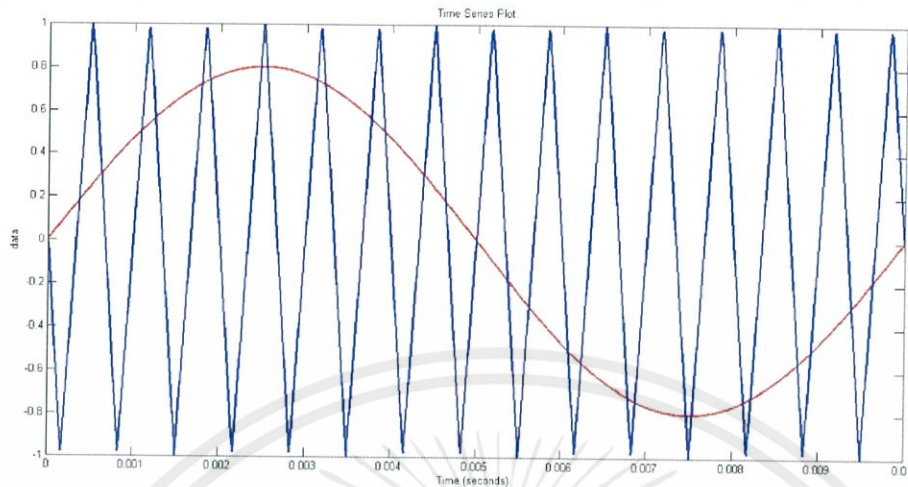
เมื่อคิดจากหนึ่งกิ่งของอินเวอร์เตอร์และบริดจ์ แรงดันไฟฟ้าด้านออกของกิ่ง B จะเท่ากับค่าลบของแรงดันไฟฟ้าด้านออกของกิ่ง A คือ  $V_{Bo} = -V_{Ao}$  ดังนั้นแรงดันไฟฟ้าด้านออกของอินเวอร์เตอร์หรือแรงดันไฟฟ้าระหว่างกิ่ง A และกิ่ง B คือ

$$V_o = V_{Ao} - V_{Bo} = 2V_{Ao} \\ \hat{V}_{o1} = m_a V_d \quad \text{เมื่อ } m_a \leq 1.0 \quad (2.11)$$

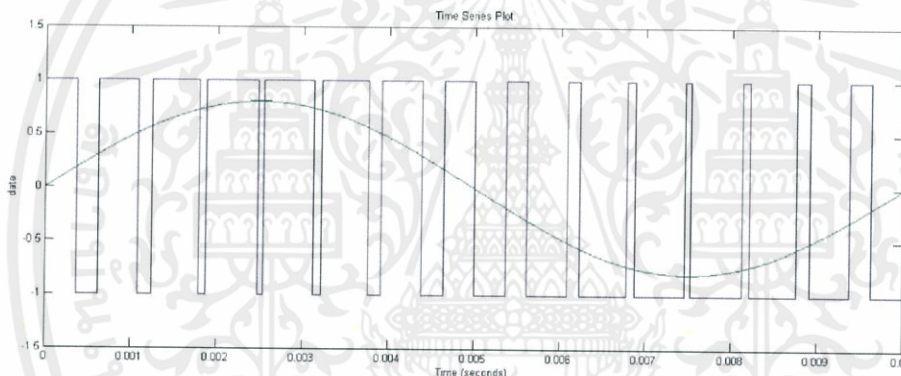
$$V_d < \hat{V}_{o1} < \frac{4}{\pi} V_d \quad \text{เมื่อ } m_a > 1.0 \quad (2.12)$$

หรืออาจจะสรุปได้ว่าแรงดันไฟฟ้ายอดด้านออกจะเท่ากับสมการที่ (2.11) เมื่อ  $m_a$  อยู่ในย่านเชิงเส้น และแรงดันไฟฟ้ายอดด้านออกจะเท่ากับสมการที่ (2.12) เมื่อ  $m_a$  อยู่ในช่วงโอเวอร์มอดูเลชัน

โดยที่แรงดันไฟฟ้าด้านออกจะสวิตช์อยู่ระหว่าง  $+V_d$  กับ  $-V_d$  ดังแสดงในรูปที่ 2.13 และ 2.14 ส่วนไซด์แบนฮาร์โมนิกจะเกิดขึ้นรอบๆ  $m_f, 2m_f, 3m_f$  ฯลฯ เช่น หากความถี่สวิตชิงเท่ากับ 20 กิโลเฮิร์ตซ์ (kHz) ไซด์แบนฮาร์โมนิกก็จะเกิดขึ้นที่ 20 กิโลเฮิร์ตซ์ (kHz), 40 กิโลเฮิร์ตซ์ (kHz), และ 60 กิโลเฮิร์ตซ์ (kHz) เป็นต้น ดังเช่นที่ได้อธิบายในสมการที่ (2.5)



รูปที่ 2.13 การสวิตชิงแรงดันแบบไบโพลาร์ (1)



รูปที่ 2.14 การสวิตชิงแรงดันแบบไบโพลาร์ (2)

สิ่งที่ระบุว่าเป็นการสวิตชิงแบบไบโพลาร์ คือ

1. มีการสวิตชิงของแรงดันระหว่างสาย ( $V_o$  หรือ  $V_{ab}$ ) ระหว่างขั้วหรือบัสบวกกับลบ
2. ความถี่ของพัลส์ที่ไหลจะเท่ากับความถี่ของ  $V_{tri}$
3. จะเกิดความถี่ จากสเปคตราคือ เริ่มต้นที่รอบๆ  $f_s$  และ จำนวนเท่าของ  $f_s$

### 2.3.2 การสวิตชิงแรงดันไฟฟ้าแบบยูนิโพลาร์

ข้อแตกต่างระหว่างการสวิตชิงแรงดันไฟฟ้าแบบไบโพลาร์ กับแบบยูนิโพลาร์ (unipolar voltage switching) ก็คือ ในแบบยูนิโพลาร์การสวิตชิงในกึ่ง A กับกึ่ง B จะแยกสัญญาณควบคุมออกจากกัน คือสวิตชิงในกึ่ง A จะถูกควบคุมจากสัญญาณ  $V_{control}$  เทียบกับสัญญาณรูปสามเหลี่ยม ( $V_{tri}$ ) ขณะที่สวิตชิงในกึ่ง B จะถูกควบคุมจากสัญญาณ  $-V_{control}$  เทียบกับสัญญาณรูปสามเหลี่ยม ( $V_{tri}$ ) การสวิตชิงมีเงื่อนไขดังนี้

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $V_{control} > V_{tri}$  : สวิตซ์  $T_{A+}$  จะ  $V_{AN} = V_d$   
นำกระแส

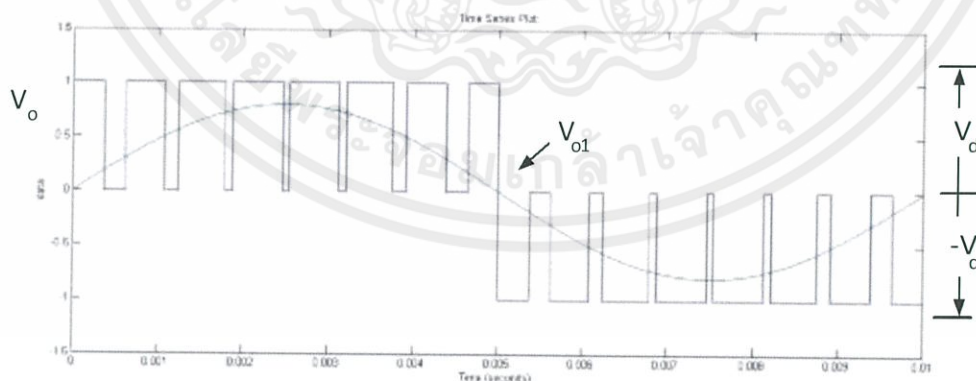
เมื่อ $V_{\text{control}} < V_{\text{tri}}$ :	สวิตช์ $T_{A-}$ จะ นำกระแส	$V_{AN} = 0$
เมื่อ $-(V_{\text{control}}) > -V_{\text{tri}}$ :	สวิตช์ $T_{B+}$ จะ นำกระแส	$V_{BN} = V_d$
เมื่อ $-(V_{\text{control}}) < -V_{\text{tri}}$ :	สวิตช์ $T_{B-}$ จะ นำกระแส	$V_{BN} = 0$

ตารางที่ 2.2 เงื่อนไขการสวิตช์แรงดันเฟสและแรงดันไฟฟ้าด้านออกของอินเวอร์เตอร์แบบยูนิโพลาร์

เงื่อนไข	สวิตช์นำกระแส	สวิตช์นำกระแส	$V_{AN}$	$V_{BN}$	$V_o$
1	$T_{A+}$	$T_{B-}$	$V_d$	0	$V_d$
2	$T_{A-}$	$T_{B+}$	0	$V_d$	$-V_d$
3	$T_{A+}$	$T_{B+}$	$V_d$	$V_d$	0
4	$T_{A+}$	$T_{B-}$	0	0	0

จากตารางที่ 2.2 การเปลี่ยนสถานะของแรงดันระหว่างสาย ( $V_o$  หรือ  $V_{ab}$ ) จะเป็นการเปลี่ยนแปลงระดับแรงดันอยู่ระหว่างศูนย์ไปยังบวกหรือศูนย์ไปยังลบ จึงทำให้ไม่เกิดการเปลี่ยนแปลงระดับแรงดันจากการสวิตช์ซึ่งสูง เช่นกรณีไบโพลาร์

จุดเด่นของยูนิโพลาร์ คือ การเกิดความถี่ด้านออกจะมีความถี่เป็นสองเท่าของแต่ละเฟส เช่น ความถี่สวิตช์อุปกรณ์เป็น 10 กิโลเฮิร์ตซ์ (kHz) หากการทำงานแบบยูนิโพลาร์ ค่าแรงดันออกจะประกอบไปด้วยสัญญาณพีคดับเบิลยูเอ็ม ที่มีความถี่หลักมูลและความถี่ฮาร์โมนิกที่ 2 เท่าของแบบไบโพลาร์ ที่ 20 กิโลเฮิร์ตซ์ (kHz) สอดคล้องกับสเปคตราของรูปที่ 2.15 โดยเกิดความถี่ขึ้นรอบข้าง ผลของความถี่ที่โหลดเพิ่มขึ้นเป็นสองเท่า ทำให้การออกแบบวงจรความถี่ เล็ก ง่ายและประหยัด



รูปที่ 2.15 การสวิตช์แรงดันไฟฟ้าแบบยูนิโพลาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
เงื่อนไขในการสร้างแรงดันเฟสและแรงดันไฟฟ้าด้านออกตกคร่อมโหลด ( $V_o$ ) แสดง  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีเหตุผลเบื้องเนื้อหา และต้องอ้างอิงถึงเจ้าของสิทธิ์ทุกครั้งห้ามการนำไปใช้  
ในตารางที่ 2.2

ผลที่ได้จากเงื่อนไขการทำงานในตารางที่ 2.2 และรูปที่ 2.15 คือแรงดันไฟฟ้าด้านออกมีการเปลี่ยนแปลงระหว่างแรงดันไฟฟ้าค่าบวกไปยังศูนย์และศูนย์ไปยังบวกในครึ่งคาบ ส่วนอีก

เครื่องคาบจะมีแรงดันไฟฟ้าด้านนอกเปลี่ยนแปลงระหว่างแรงดันไฟฟ้าค่าลบไปยังศูนย์และจากศูนย์ไปยังลบ ซึ่งจากลักษณะการทำงานดังกล่าวจึงเรียกวธีการสวิตซ์นี้ว่ายูนิโพลาร์ ส่วนขนาดของแรงดันไฟฟ้าด้านนอกจะเท่ากันกับแบบไบโพลาร์ และเมื่อเปรียบเทียบข้อดี-ข้อเสียของการสวิตซ์ทั้งสองแบบ จะได้ตามตารางที่ 2.3

ตารางที่ 2.3 การเปรียบเทียบข้อดี-ข้อเสียของการสวิตซ์แรงดันไฟฟ้าแบบไบโพลาร์กับยูนิโพลาร์

ประเด็น	ไบโพลาร์	ยูนิโพลาร์
แรงดันไฟฟ้าด้านนอก ( $\hat{V}_{o1}$ ) $m_a \leq 1.0$	$\hat{V}_{o1} = m_a V_d$	$\hat{V}_{o1} = m_a V_d$
แรงดันไฟฟ้าด้านนอก ( $\hat{V}_{o1}$ ) $m_a > 1.0$	$V_d < \hat{V}_{o1} < \frac{4}{\pi} V_d$	$V_d < \hat{V}_{o1} < \frac{4}{\pi} V_d$
แรงดันไฟฟ้าด้านนอก ( $V_o$ )	$V_d \Leftrightarrow (-V_d)$	$V_d \Leftrightarrow 0$ $(-V_d) \Leftrightarrow 0$
ไซด์แบนฮาร์โมนิก	$m_f, 2m_f, 3m_f, \dots$	$2m_f, 4m_f, 6m_f, \dots$
การกรองความถี่สูง	ดี	ดีมาก
การควบคุม	ง่าย	ซับซ้อน

ข้อเปรียบเทียบของสองเทคนิค คือ จะแตกต่างกันที่แรงดันด้านนอก ที่มีระดับการเปลี่ยนแปลงของยูนิโพลาร์จะมีแรงดัน ศูนย์ไปบวกหรือศูนย์ไปลบและมีไซด์แบนด์ที่  $2m_f, 4m_f, 6m_f, \dots$  ตามลำดับ ยูนิโพลาร์ที่มีความถี่สวิตซ์สูงกว่าทำให้การกรองความถี่ทำได้ง่ายขึ้น เล็กและประหยัด

### 2.3.3 ผลของเดดไทม์ต่อแรงดันไฟฟ้าด้านนอกของอินเวอร์เตอร์

ในทางปฏิบัติ กิ่งใดๆของอินเวอร์เตอร์ สวิตซ์ตัวบนและตัวล่างต้องไม่นำกระแสพร้อมกันดังนั้นจึงต้องการช่วงเวลาสวิตซ์ซึ่งคู่หยุดนำกระแสก่อนที่สวิตซ์จะเปลี่ยนสถานะ เพื่อป้องกันการลัดวงจรระหว่าง บัสบวกกับบัสลบ ช่วงเวลานี้จะเรียกว่า เดดไทม์ (dead time หรือ blanking time) ซึ่งเวลาเดดไทม์ดังกล่าวจะต้องมีความเหมาะสม คือหากมีค่าน้อยเกินไปอาจทำให้มีโอกาสลัดวงจรได้ง่ายหรือถ้าหากมีค่ามากเกินไปก็อาจจะทำให้แรงดันไฟฟ้าด้านนอกของอินเวอร์เตอร์ผิดเพี้ยนไป

สวิตซ์ที่มีความเร็วในการเปลี่ยนสถานะคือช่วงเวลาเริ่มนำกระแส และเริ่มหยุดนำกระแสสั้นๆ (เป็นหลักสิบของนาโนวินาที) เช่นสวิตซ์ที่เป็นมอสเฟตจะมีค่าเดดไทม์น้อยๆ เช่น 1-2 ไมโครวินาที ส่วนสวิตซ์ที่เป็นไทรสเตอร์มักจะต้องการค่าเดดไทม์ที่มากกว่าทั้งนี้เพราะช่วงเวลาเริ่มนำกระแส และเริ่มหยุดนำกระแส ที่มากกว่า ดังนั้นเดดไทม์จะขึ้นอยู่กับชนิดของสวิตซ์สารกึ่งตัวนำที่เลือกใช้

ผลของเดดไทม์ต่อแรงดันไฟฟ้าด้านนอกของอินเวอร์เตอร์ ดังที่แสดงอยู่ในรูปที่ 2.16 โดยรูปที่ 2.16 (ก) เป็นวงจรฟลูบริดจ์อินเวอร์เตอร์หนึ่งกิ่งและ รูปที่ 2.16 (ข) เป็นแรงดันควบคุมเกตในอุดมคติ รูปที่ 2.16 (ค) คือแรงดันควบคุมเกตของสวิตซ์ที่ได้ชดเชยผลของเดดไทม์แล้ว

โดยมีหลักการง่ายๆคือ ทุกๆขาลงของแรงดันควบคุมเกตให้คงที่ และทุกๆขาขึ้นให้หน่วงเวลาไปเท่ากับเดดไทม์ เพื่อให้สวิตซ์ในกิ่งเดียวกันทำงานพร้อมกัน แรงดันไฟฟ้าที่เกิดขึ้นในช่วงเวลาเดดไทม์จะขึ้นอยู่กับทิศทางของกระแสไหลต กล่าวคือ

เมื่อกระแสไหลตไฟฟ้าที่ไหลตเป็นบวก ( $i_A$ ) มีทิศทางไหลออกจากจุด A ในรูปที่ 2.16 (ง) หากไหลตเป็นไหลตความเหนี่ยวนำและตัวต้านทานร่วมกัน เมื่อ  $i_A > 0$  ช่วงเวลาเดดไทม์ของแรงดันไฟฟ้าด้านออกจะมีค่าลดลงเพราะไดโอด  $D_{A-}$  จะนำกระแส ทำให้  $V_{AN}$  ลดลงเป็นศูนย์เฉพาะในช่วงเวลาเดดไทม์ ทำให้ค่าแรงดันเฉลี่ยของ  $V_{AN}$  ลดลง

เมื่อกระแสไฟฟ้าที่ไหลตเป็นลบ ( $i_A$ ) มีทิศทางไหลเข้าจุด A ในรูปที่ 2.16 (จ) เมื่อ  $i_A < 0$  ช่วงเวลาเดดไทม์แรงดันไฟฟ้าด้านออกจะมีค่าเพิ่มขึ้นเพราะไดโอด  $D_{A+}$  จะนำกระแส ทำให้  $V_{AN}$  มีค่าเป็น  $+V_d$  เฉพาะในช่วงเวลาเดดไทม์ ทำให้ค่าแรงดันเฉลี่ยของ  $V_{AN}$  มีค่าเพิ่มขึ้น

ค่าแรงดันผิดเพี้ยนจะเท่ากับแรงดันไฟฟ้าในอุดมคติลบด้วยแรงดันไฟฟ้าที่เกิดขึ้นจริง เช่นที่เกิดขึ้นในรูปที่ 2.17 และมีค่าดังสมการที่ (2.11) และ (2.12) สรุปได้ว่าเดดไทม์มากมีผลให้แรงดันไฟฟ้าด้านออกของอินเวอร์เตอร์ผิดเพี้ยนไปด้วย

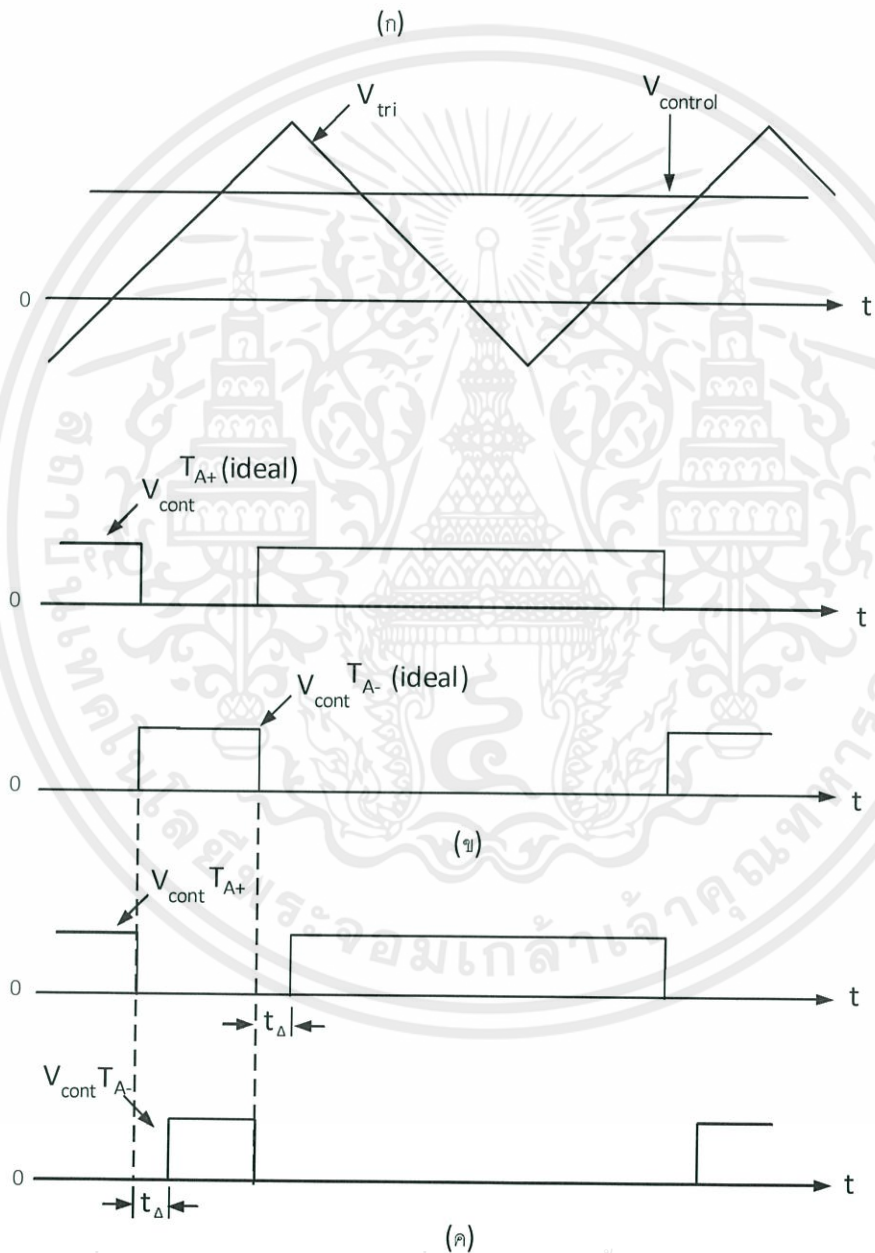
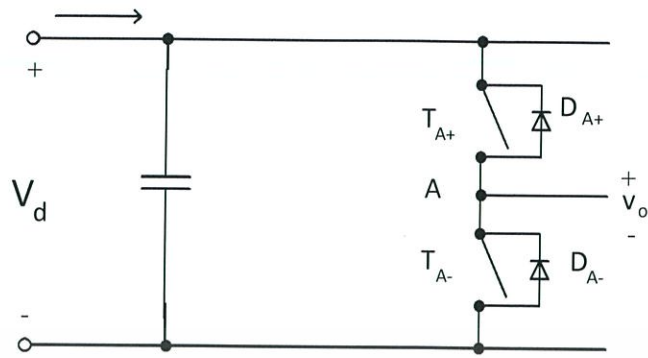
$$V_e = (V_{Ao})_{ideal} - (V_{Ao})_{actual} \quad (2.11)$$

$$V_e = \pm \frac{2 \cdot (\text{deadtime})}{T_s} \cdot V_d \quad (2.12)$$

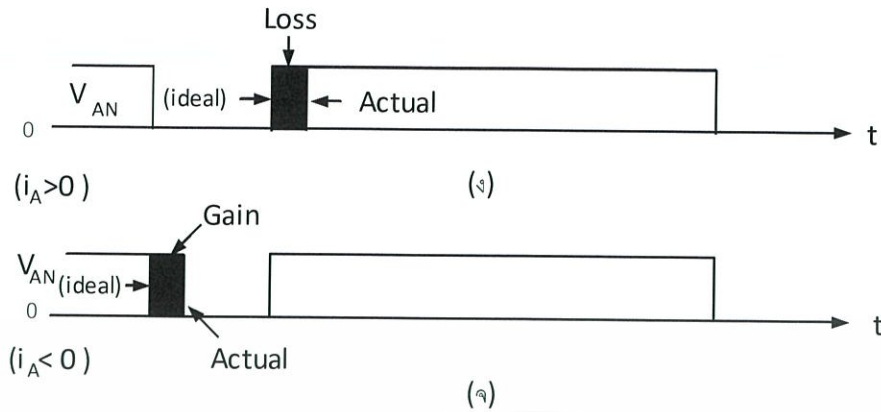
ข้อดีของเดดไทม์คือการทำหน้าที่ป้องกันการลัดวงจรระหว่างบัสบวกกับบัสลบ แต่หากมีค่าเดดไทม์มากเกินไป ก็จะมีผลต่อรูปคลื่นสัญญาณทางด้านออก โดยขึ้นอยู่กับทิศทางกระแสไหลของกระแสไหลต

จึงสรุปข้อเสียของเดดไทม์คือการเกิดฮาร์โมนิกที่ความถี่รอบข้างความถี่สวิตซ์และเกิดความถี่ฮาร์โมนิกลำดับต่ำๆ อันจะเป็นผลเสียต่อสมรรถนะของอินเวอร์เตอร์

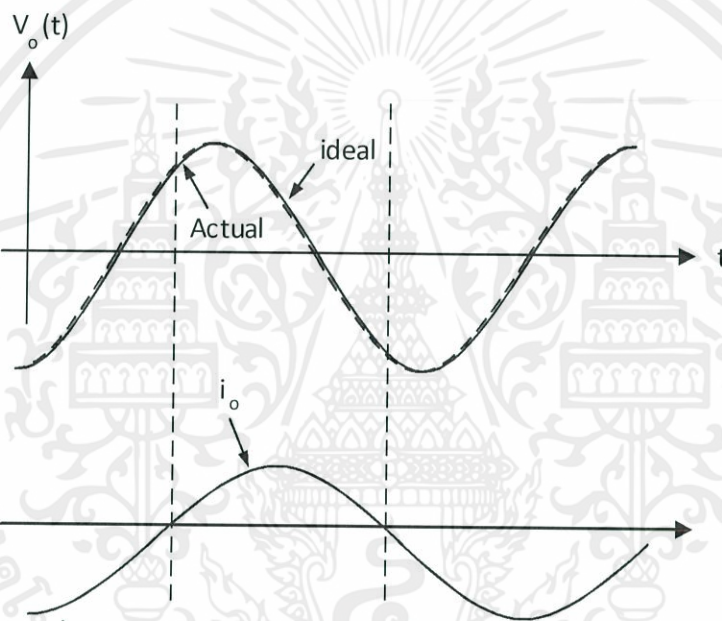
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 ผลของดีดท์ต่อแรงดันไฟฟ้าด้านออกของอินเวอร์เตอร์

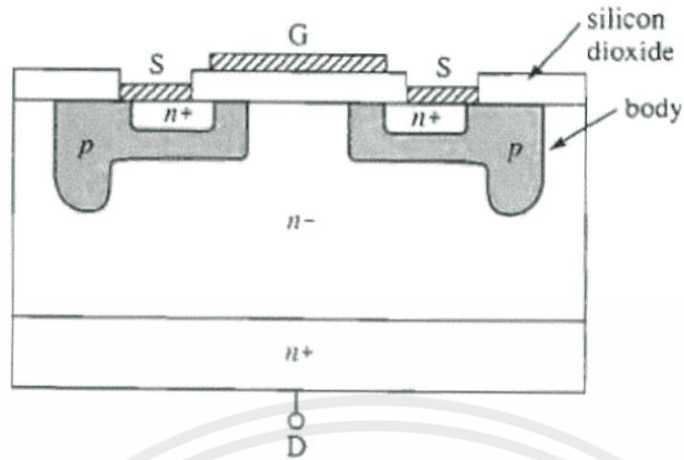


รูปที่ 2.17 ผลของดีดท์ต่อแรงดันไฟฟ้าด้านออกรูปไซน์

#### 2.4 เพาเวอร์มอสเฟต (Mosfet Power Transistor)

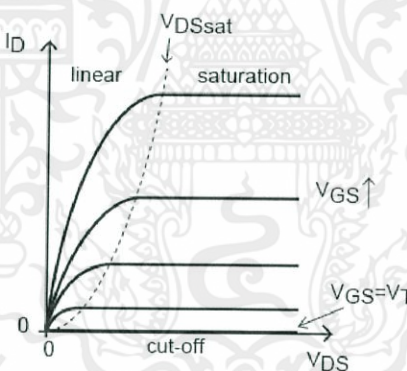
หากจะกล่าวถึงอุปกรณ์อิเล็กทรอนิกส์ที่ใช้ในงานในด้านเพาเวอร์กำลังหรือเพาเวอร์คอนโทรลก็เห็นจะมีอยู่ไม่กี่ชนิด ซึ่งในแต่ละชนิดก็มีข้อจำกัดและความสามารถในการทำงานที่แตกต่างกันออกไปตามลักษณะของการนำไปใช้ควบคุมซึ่งการเลือกมอสเฟตจึงเลือกใช้ตามการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 ภาพตัดขวางโครงสร้างพื้นฐานของมอสเฟต

จากการที่ซิลิกอนออกไซด์  $SiO_2$  เป็นผลทำให้ความต้านทานอินพุตที่ขาเกตมีค่าสูงมาก โดยทั่วไปจะมีค่าอยู่ในช่วง 10<sup>9</sup> โอห์ม จากผลดังกล่าวทำให้ลักษณะของกราฟแสดงคุณสมบัติของกระแสและแรงดันของมอสเฟตมีลักษณะคล้ายกราฟของทรานซิสเตอร์ แต่การควบคุมกระแสเดรนจะอาศัยการควบคุมแรงดันระหว่างขาเกตกับขาซอร์สมากกว่าการควบคุมกระแสที่ขาอินพุตเหมือนทรานซิสเตอร์



รูปที่ 2.19 กราฟคุณลักษณะระหว่างกระแสและแรงดัน

กราฟแสดงให้เห็นว่าส่วนใหญ่ของเส้นกราฟจะมีลักษณะเป็นเส้นตรงแต่จะเริ่มโค้งที่กระแสเดรนมีค่าต่ำๆ นั่นก็คือจุดที่แรงดันระหว่างขาเกตและขาซอร์สต่ำลง ใกล้แรงดันจุดเริ่มเปลี่ยนสถานะการทำงาน (จุด threshold voltage :  $V_{GS(th)}$ ) โดยถ้าแรงดันระหว่างขาคงที่กระแสหรือคัตออฟ ในกรณีนี้ชนิดพีแชนแนลนั้น คุณสมบัติจะคล้ายกับเอ็นแชนแนล แต่โครงสร้างและสัญลักษณ์จะมีลักษณะตรงกันข้ามกับเอ็นแชนแนล เช่น ชนิดของสารที่ กระตุ้นจากเอ็นแชนแนลก็จะเปลี่ยนเป็นตรงกันข้าม สัญลักษณ์ลูกศรก็จะกลับเอาหัวลูกศรกลับไปในทางตรงกันข้าม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2.4.1 สถานะนำกระแส ห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อขาเดรนได้รับแรงดันไบแอสตรงคือเป็นบวกเทียบกับซอร์สและแรงดันระหว่างเกตกับซอร์สมีค่าเกิน  $V_{GS(th)}$  ประจุไฟฟ้าบวกที่เกิดจากแรงดันที่ขาเกตจะดึงเอาอิเล็กตรอนให้มา

รวมกันอยู่ในบริเวณภายใต้เกต ทำให้ชั้นบอดี้ (body layer) ตรงส่วนใต้เกตแปรสภาพเป็น n ทำให้เกิดการต่อกันของบริเวณ n- (drift region) เข้ากับบริเวณ n+ (source region) กระแสอิเล็กตรอนที่ไหลจากชาซอร์สผ่านบริเวณใต้เกตมายังบริเวณลอยเลื่อน n- จะรวมกับโฮล เพราะรอยต่อ ได้รับแรงดันไบแอสตรงทำให้มอสเฟตอยู่ในสภาวะนำกระแสเกิดการไหลของกระแสไฟฟ้าจากเดรนไปซอร์สได้ การรวมกันของโฮลและอิเล็กตรอนภายในบริเวณ n- เรียกว่า การมอดูเลตสภาพนำ (conductivity modulation)

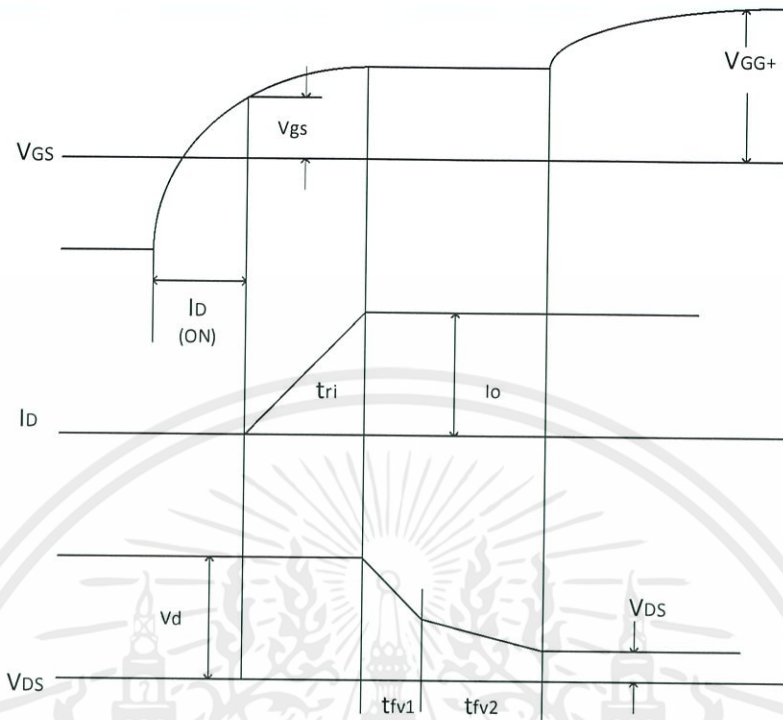
ผลของการมอดูเลตนี้จะทำให้ความต้านทานของบริเวณ n- มีค่าต่ำลงเป็นการเพิ่มความสามารถในการขับผ่านกระแสได้สูงขึ้น ซึ่งจะมีลักษณะเหมือนกับทรานซิสเตอร์กำลัง ผลของความต้านทานที่ลดลงทำให้แรงดันตกคร่อมที่สภาวะนำกระแสลดลง การสูญเสียกำลังงานขณะนำกระแสจึงลดลงด้วย ทิศทางการไหลของอิเล็กตรอนและโฮล

#### 2.4.2 สภาวะหยุดนำกระแส

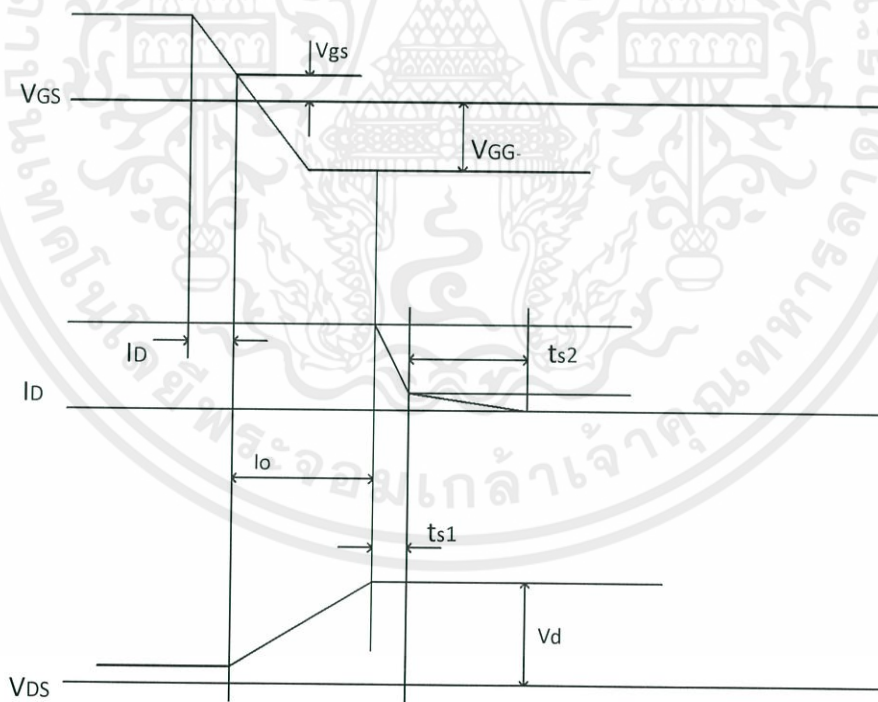
เมื่อแรงดันระหว่างเกตและซอร์สลดต่ำกว่าแรงดัน  $V_{gs(th)}$  จะทำให้มีแรงดันไม่เพียงพอสำหรับการแปรสภาพชั้นบอดี้ p และ n ได้ ทำให้ n- ไม่ต่อกับบริเวณซอร์ส n+ จึงอยู่ในสภาวะหยุดนำกระแส ในสภาวะนี้รอยต่อ J2 ที่ได้รับแรงดันไบแอสกลับจะทำให้เกิดกระแสรั่วไหลเพียงเล็กน้อยเท่านั้น นอกจากนี้ยังทำให้เกิดบริเวณปลอดพาหะ (depletion region) ขึ้นที่รอยต่อ J2 ด้วยบริเวณปลอดพาหะนี้จะขยายบริเวณกว้างขึ้นจนเกินเข้ามาถึงบริเวณ n- ที่จะขยายไปยังบริเวณชั้นบอดี้ p ทั้งนี้เพราะชั้นบอดี้ p มีความหนาแน่นในการโด๊ปสารมากกว่า ถ้าความหนาแน่นของสารที่โด๊ปในบริเวณลอยเลื่อน n- มากเพียงพอ ก็จะทำให้การขยายของบริเวณปลอดพาหะ ชั้นบัฟเฟอร์ n+ (buffer layer) ไม่จำเป็นต้องทำให้เกิดขึ้นหรือไม่จำเป็นต้องโด๊ปสาร ทั้งนี้เพราะการแตะกันของบริเวณทั้งสองจะทำให้เกิดการพังทลายทางด้านไบแอสตรง สำหรับมอสเฟตที่ไม่มีการโด๊ปสารในชั้นบัฟเฟอร์ n+ นี้จะเรียกว่า แบบสมมาตรทนแรงดันย้อนกลับ ( $V_{rms}$  หรือ  $BV_{sds}$ ) สูงพอกับค่าอัตราทนแรงดันไหลตรง ( $BV_{dss}$ ) เหมาะสำหรับการนำไปประยุกต์ใช้ในวงจรไฟฟ้ากระแสสลับ การลดความหนาของบริเวณ n- ลงแต่ยังคงความสามารถของอัตราทนแรงดันไหลตรงไว้ สามารถทำได้โดยเพิ่มชั้นบัฟเฟอร์ n+ เข้าไปและจากการลดความหนาของบริเวณลอยเลื่อน n- ลง จะช่วยส่งผลให้เกิดข้อดีสองประการคือทำให้แรงดันตกคร่อมขณะนำกระแสต่ำลง เป็นผลให้การสูญเสียกำลังงานลดน้อยลงด้วยและช่วยลดช่วงเวลาหยุดนำกระแสให้สั้นลงด้วย แต่ข้อเสียของการเพิ่มชั้นบัฟเฟอร์ n+ ก็มี คือจะลดความสามารถของอัตราทนแรงดันย้อนกลับให้น้อยลงเหลือเพียงไม่กี่สิบลโวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 ลักษณะการสวิตช์ของ MOSFET



รูปที่ 2.20 ลักษณะกระแสแรงดันขณะนำกระแส



รูปที่ 2.21 ลักษณะกระแสแรงดันขณะหยุดนำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ลักษณะของสัญญาณกระแสและแรงดันในช่วงเวลาที่เกิดการนำกระแสและหยุด  
 นำกระแสแสดงไว้ในรูปที่ 2.20 และ 2.21 โดยช่วงเวลาในการนำกระแสของมอสเฟต แสดงไว้ในรูปที่  
 2.20 คือจะมีเวลาก่อนการนำกระแส  $T_d$  (on) นับตั้งแต่เวลาที่แรงดันเกตกับซอร์สอยู่ในช่วง  $V_{gs}$ -

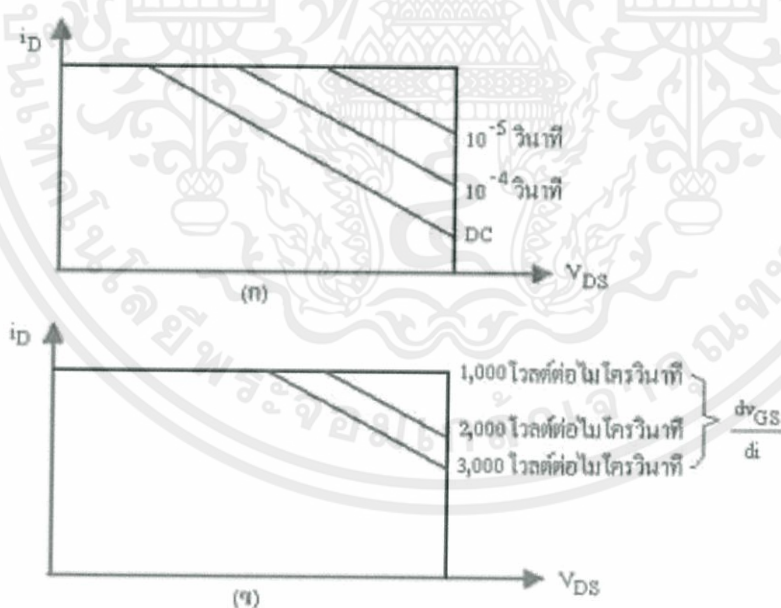
จนถึง ( $V_{GS(th)}$ ) ความจริงแล้วการบ่อนแรงดันนี้จะมีลักษณะการเปลี่ยนทันทีทันใดจากค่า  $V_{GS-}$  เป็น  $V_{GS+}$  แต่กลับมีลักษณะเป็นเอ็กซ์โปเนนเชียล

เหตุที่เป็นเช่นนั้นเนื่องจากผลการซาร์จประจุของตัวเก็บประจุระหว่างเกตกับซอร์ส และเกตกับเดรนภายในมอสเฟต แรงดันที่ขาเดรนจะยังคงอยู่ในช่วงเวลาขาขึ้น (Tri) หรือในช่วงเวลาที่กระแสเดรนยังไม่ถึงค่ากระแสทำงาน ( $I_o$ ) หลังจากนั้นกระแสเดรนก็จะคงที่ แต่แรงดันจะตกลงสู่ค่า ( $V_{DS(on)}$ ) โดยแบ่งช่วงเวลาลงเป็นสองช่วง คือช่วง Tfi1 เป็นช่วงที่ทำงานอยู่ในย่านความต้านทานสูง (Rchannel) ส่วน Tfv2 ช่วงที่ทำงานอยู่ในย่านความต้านทานต่ำ (Rchannel)

ในรูปที่ 2.21 จะเป็นรูปแสดงลักษณะของกระแสและแรงดันในช่วงเวลาที่มอสเฟตหยุดนำกระแส จะเห็นว่ากระแสเดรนจะยังคงที่อยู่ตลอดเวลาที่แรงดันขาเดรนเพิ่มขึ้น และมีช่วงเวลาลงของกระแสเดรนที่แตกต่างชัดเจนสองช่วง โดยช่วงแรก Tfi1 จะเป็นช่วงหยุดนำกระแสของมอสเฟตและช่วง Tfi2 จะเป็นช่วงหยุดนำกระแสของทรานซิสเตอร์พีเอ็นพี ซึ่งจะช้ากว่ามอสเฟต ทำให้ช่วงเวลานี้นานกว่าช่วงแรก และมีการสูญเสียกำลังงานมากในช่วงนี้

#### 2.4.4 พื้นที่การทำงานที่ปลอดภัยระหว่างนำกระแสและหยุดนำกระแส

พื้นที่การทำงานที่ปลอดภัยทั้งในระหว่างนำกระแสและหยุดนำกระแส โดยพื้นที่การทำงานปลอดภัยในขณะไบแอส (Forward Bias Safe Operating Area : FBSOA) ที่กว้างมาก เปรียบเทียบได้กับเกือบเป็นสี่เหลี่ยมสำหรับเวลาในการสวิตช์ที่สั้นๆ แต่จะแคบลงเมื่อเวลาในการสวิตช์ยาวนานขึ้น



รูปที่ 2.22 (ก) พื้นที่ปลอดภัยในสภาวะไบแอส (ข) พื้นที่ปลอดภัยในสภาวะไบแอสกลับ

เอกสารนี้เป็นเอกสารที่มอบให้ด้วยอำนาจในนามของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี เพื่อใช้ในการศึกษาวิจัยและพัฒนาเทคโนโลยีใหม่ ๆ ในด้านวิศวกรรมศาสตร์และสาขาที่เกี่ยวข้อง โดยไม่คิดค่าลิขสิทธิ์หรือค่าตอบแทนอื่น ๆ ใดๆ ทั้งสิ้น

ในช่วงระหว่างเริ่มนำกระแสและขณะที่นำกระแสแล้วจุดการทำงานของมอสเฟตจะต้องมีขนาดแรงดันและกระแสที่ขาเดรนอยู่ในพื้นที่การทำงานที่ปลอดภัยในช่วงไบแอสตรงเสมอ ดังแสดงในรูปที่ 2.22 (ก) หากไม่เช่นนั้นแล้วจะทำให้เกิดการเสียหายขึ้นที่มอสเฟต จากรูปพื้นที่การทำงานที่ปลอดภัยของมอสเฟตนี้จะแสดงถึงขีดจำกัดของกระแสเดรน อัตราการทนแรงดันไหลตรง

และอุณหภูมิรอยต่อของมอสเฟตตามลำดับ สำหรับพื้นที่การทำงานที่ปลอดภัยในช่วงไบแอสกลับ (Reverse Bias Safe Operating Area : RBSOA) จะแตกต่างจากค่าจำกัดของค่าอัตราการเปลี่ยนแปลงแรงดันที่ขาเดรนต่อเวลา (DVds/DT) ซึ่งจะเกิดขึ้นในช่วงระหว่างหยุดนำกระแสแทนขีดจำกัดทางด้านอุณหภูมิรอยต่อและจะมีพื้นที่แคบลงถ้า DVds/DT มีค่าสูงมากขึ้น ส่วนเหตุผลที่ถูกจำกัดโดยค่านี้นี้เพราะไม่ต้องการให้เกิดการแลตซ์ขึ้นที่มอสเฟต ค่า DVds/DT นี้จะมีผลโดยตรงกับช่วงเวลาหยุดนำกระแส หมายความว่าถ้ามีอัตราการเปลี่ยนแปลงเร็วจะทำให้ช่วงเวลาหยุดนำกระแสสั้นลง แต่ก็ยังถือว่าโชคดีที่ขีดจำกัด DVds/DT ของมอสเฟตมีค่าสูงมาก เมื่อเทียบกับอุปกรณ์ทรานซิสเตอร์ตัวอื่นๆ ดังนั้นความจำเป็นในการใช้วงจรสับเบอร์เพื่อป้องกันการแลตซ์ก็ไม่มี ความจำเป็นต้องใช้ และการควบคุมค่า DVds/DT ที่เกิดขึ้นยังทำได้ง่ายขึ้นด้วยการออกแบบวงจรซัพเพรสเซอร์ที่มีค่าความต้านทานที่ต่อกับขาเกตและค่า Vgs- ที่เหมาะสม

## 2.5 PID

โดยทั่วไปเป้าหมายของระบบควบคุมกระบวนการต่างๆในอุตสาหกรรม คือ การรักษาปริมาณทางฟิสิกส์อันได้แก่อุณหภูมิ (Temperature) แรงดัน (pressure) อัตราการไหล (Flow Rate) ค่าความเป็นกรดต่าง (PH) และอื่นๆให้มีค่าใกล้เคียงกับค่าที่เหมาะสมที่ต้องการมากที่สุด แม้ว่าสภาวะการทำงานและสภาพแวดล้อมอาจเปลี่ยนแปลงตลอดเวลา ซึ่งการควบคุมที่ดีย่อมเริ่มจากการเลือกแบบการควบคุมที่เหมาะสม บางโรงงานอาจจะเลือกใช้การควบคุมแบบง่ายๆด้วยมือ (Manual Control) ซึ่งอาศัยพนักงาน (Operator) คอยทำหน้าที่เกี่ยวกับการตรวจวัดและปรับแต่งการควบคุมให้ผลตอบสนองเป็นไปตามต้องการ จะเห็นได้ว่าการควบคุมแบบนี้จำเป็นต้องอาศัยประสบการณ์และความชำนาญของพนักงาน ดังนั้น การควบคุมจะดีหรือไม่อย่างไรขึ้นอยู่กับพนักงานผู้ควบคุมเป็นหลัก แต่ในความเป็นจริงแล้วมนุษย์หรือพนักงานควบคุมไม่สามารถทำงานให้ได้ดีเท่ากันตลอดเวลา จึงทำให้ประสิทธิภาพของการควบคุมลดลง ปัจจุบันโรงงานที่ต้องการควบคุมที่แม่นยำและประสิทธิภาพสูงจำเป็นต้องนำเครื่องควบคุมอัตโนมัติ (Automatic Controller) มาใช้งาน โดยเครื่องควบคุมอัตโนมัติจะทำหน้าที่หลักในการคำนวณหาสัญญาณควบคุมที่เหมาะสมตามกฎเกณฑ์การควบคุม (Control Law) ที่พนักงานได้กำหนดไว้ล่วงหน้า ซึ่งระบบควบคุมอัตโนมัติที่เราพบเห็นกันอยู่บ่อยๆในโรงงานอุตสาหกรรม ก็คือ ระบบควบคุมแบบป้อนกลับ (Feedback Control System)

หลักการของการควบคุมแบบป้อนกลับนั้น เกิดมานานกว่า 2000 ปีแล้ว แต่ไม่ได้ถูกนำมาใช้ในอุตสาหกรรม จนกระทั่งเมื่อประมาณ 200 ปีที่แล้ว James Watt ได้นำหลักการดังกล่าวมาทำการสร้างเครื่องควบคุมความเร็วให้กับเครื่องจักรไอน้ำของเขา จากนั้นอุตสาหกรรมมากมายได้หันมาให้ความสนใจและนำมาใช้กันอย่างแพร่หลายจนถึงปัจจุบัน ระบบควบคุมแบบป้อนกลับนี้อาจเรียกอีกอย่างหนึ่งว่า “ระบบควบคุมปิด” หรือ “ระบบควบคุมอัตโนมัติ” ก็ได้ ซึ่งโดยทั่วไประบบควบคุมแบบป้อนกลับแสดงได้ดังรูปที่ 2.23

2.5.1 ระบบควบคุมทางอุตสาหกรรมแบบป้อนกลับ การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ระบบควบคุมทางอุตสาหกรรมแบบป้อนกลับทั่วไปประกอบด้วยอุปกรณ์ 4 ส่วน คือ ทุกครั้งที่มีการนำไปใช้

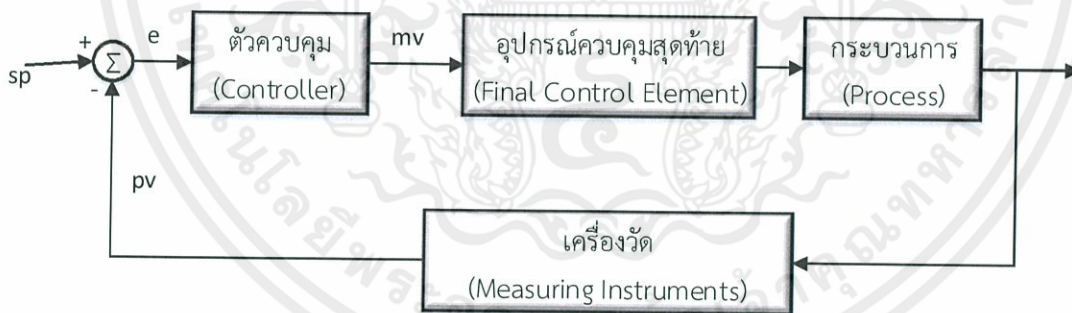
1. ตัวควบคุม (Controller) เป็นเครื่องมือหรืออุปกรณ์ที่ใช้ในการสร้างสัญญาณควบคุม เพื่อทำหน้าที่ควบคุมให้ระบบหรือกระบวนการที่ต้องการควบคุมมีเอาต์พุตหรือผลตอบสนอง

เป็นไปตามต้องการ ตัวควบคุมมีหลายแบบ เช่น ตัวควบคุมแบบ ON-OFF (ตัวควบคุมแบบสองตำแหน่ง) ตัวควบคุมแบบ Proportional (P) ตัวควบคุมแบบ Integral (I) ตัวควบคุมแบบ Derivative (D) หรือการใช้ตัวควบคุมหลายๆแบบร่วมกัน เช่น ตัวควบคุมแบบ PI ตัวควบคุมแบบ PD และตัวควบคุมแบบ PID เป็นต้น ซึ่งสัญญาณที่ออกจากตัวควบคุมคือตัวแปรปรับกระบวนการ (Manipulated Variable : mv)

2. **อุปกรณ์ควบคุมสุดท้าย (Final Control Element)** คือ อุปกรณ์ที่ทำหน้าที่ปรับสถานะของกระบวนการ ด้วยการเปลี่ยนแปลงค่าตัวแปรปรับกระบวนการ ตามคำสั่งหรือสัญญาณควบคุมที่ได้รับจากตัวควบคุม อุปกรณ์ควบคุมสุดท้ายนั้นมีอยู่หลายอย่างด้วยกัน เช่น วาล์วควบคุม (Control Valve) อินเวอร์เตอร์ (Inverter) และตัวกระทำ (Actuator) เป็นต้น แต่ที่มักพบเห็นกันมากในกระบวนการทางอุตสาหกรรม ได้แก่ วาล์วควบคุม

3. **กระบวนการ (Plant or Process)** หมายถึง ระบบหรือกระบวนการทางฟิสิกส์ที่ต้องการควบคุมให้มีสถานะเป็นไปตามต้องการ เช่น กระบวนการเกี่ยวกับการควบคุมระดับของของเหลว กระบวนการเกี่ยวกับการควบคุมอุณหภูมิ เป็นต้น ซึ่งสถานะของกระบวนการแสดงด้วยตัวแปรกระบวนการ (Process Variable : pv)

4. **อุปกรณ์วัด (Measuring Instruments)** หมายถึง อุปกรณ์ซึ่งอาจจะ ได้แก่ เซ็นเซอร์ (Sensor) ทรานสดิวเซอร์ (Transducer) หรืออุปกรณ์แปลง (Transmitter) หรือเครื่องวัดสัญญาณอื่นๆในกระบวนการเพื่อนำสัญญาณที่ได้ไปใช้เป็นตัวแปรในการควบคุม โดยสัญญาณขาออกของอุปกรณ์วัดทั่วไปจะเป็นสัญญาณมาตรฐานทางอุตสาหกรรม เช่น สัญญาณกระแสไฟฟ้า 4-20 มิลลิแอมป์ (4-20 mA) สัญญาณแรงดันไฟฟ้ากระแสตรง 1-5 โวลต์ (1-5 Vdc) หรือสัญญาณลมขนาด 3-15 ปอนด์ต่อตารางนิ้ว (3-15 psi หรือ 0.2-1.0 Kg/cm<sup>2</sup>) เป็นต้น



รูปที่ 2.23 บล็อกไดอะแกรมของระบบควบคุมแบบป้อนกลับโดยทั่วไป

จากรูปที่ 2.17 อุปกรณ์วัดหรือเครื่องวัดจะวัดค่าตัวแปรกระบวนการ (pv) เช่น อุณหภูมิความดัน อัตราการไหล และระดับของของเหลว เป็นต้น เพื่อเปรียบเทียบกับค่าอ้างอิงหรือค่าเป้าหมาย (Setpoint: sp) จากนั้นตัวควบคุมจะนำค่าความคลาดเคลื่อน (Error: e) ในการควบคุมมาใช้ในการคำนวณ เพื่อหาสัญญาณที่เหมาะสมที่จะไปควบคุมกระบวนการให้เข้าสู่ค่าเป้าหมายที่ต้องการ โดยตัวควบคุมที่นิยมนำมาใช้ควบคุมกระบวนการมากที่สุดก็คือ ตัวควบคุมแบบ PID ซึ่งจะใช้เฉพาะ P,PI,PD หรือ PID นั้นขึ้นอยู่กับชนิดและคุณลักษณะของกระบวนการ (ซึ่งอาจจะวิเคราะห์ได้จากการเปลี่ยนแปลงของ pv ด้วย)

## 2.5.2 ตัวควบคุมแบบ PID

เครื่องควบคุมหรือตัวควบคุมแบบ PID พัฒนามาจากตัวควบคุมแบบ PI ที่สร้างขึ้นในปี 1939 โดยบริษัท Taylor Instrument และบริษัท Foxboro Instrument จากนั้นก็ถูกนำมาใช้ในการควบคุมกระบวนการผลิตอย่างแพร่หลายในอุตสาหกรรมมากกว่า 50 ปี โดยแบ่งตามโครงสร้างการทำงานได้ 3 ชนิด คือ เครื่องควบคุมแบบนิวแมติกส์ที่ทำงานโดยใช้สัญญาณลม เครื่องควบคุมแบบอิเล็กทรอนิกส์ทำงานโดยใช้วงจรอิเล็กทรอนิกส์เชิงเส้นใน (Linear Circuits) ในการสร้างสัญญาณควบคุม และเครื่องควบคุมแบบดิจิทัลที่ทำงานโดยใช้วงจรตรรก (Logic Circuits) หรือไมโครโปรเซสเซอร์สร้างสัญญาณควบคุม ปัจจุบันตัวควบคุม PID ยังได้รับความนิยมอยู่ ทั้งนี้อาจเป็นเพราะรูปแบบของตัวควบคุม PID เป็นรูปแบบที่สามารถควบคุมกระบวนการต่างๆได้อย่างกว้างขวางไม่ว่ากระบวนการนั้นจะมีผลตอบสนองต่อความถี่ต่ำ ความถี่กลาง หรือความถี่สูง ตัวควบคุม PID ก็สามารถควบคุมกระบวนการได้อย่างมีประสิทธิภาพ เมื่อได้รับการปรับแต่งค่าพารามิเตอร์ของตัวควบคุมที่เหมาะสม ตัวควบคุมแบบ PID ประกอบไปด้วยตัวควบคุมแบบ P (Proportional) ตัวควบคุมแบบ I (Integral) และตัวควบคุมแบบ D (Derivative) ซึ่งมีฟังก์ชันถ่ายโอน (Transfer Function) ดังนี้

$$G_c(s) = K_p + K_D s + \frac{K_I}{s} \quad (2.13)$$

โดยที่  $K_p$  = อัตราขยายของตัวควบคุมแบบ P (Proportional Gain)  
 $K_I$  = อัตราขยายของตัวควบคุมแบบ I (Integral Gain)  
 $K_D$  = อัตราขยายของตัวควบคุมแบบ D (Derivative Gain)

นอกจากนี้ฟังก์ชันถ่ายโอนของตัวควบคุม PID นิยมเขียนอยู่ในรูปของ

$$G(s) = K_c \left( 1 + \frac{1}{T_i s} + T_d s \right) \quad (2.14)$$

โดยที่  $K_c$  = อัตราขยายของตัวควบคุม

$T_i$  = ค่า Integral or Reset Time

$T_d$  = ค่า Derivative or Rate Time

จากสมการ (2.13) และสมการ (2.14) จะเห็นว่า  $K_D = K_c T_d$  และ  $K_I = K_c / T_i$  และบางครั้งค่า  $T_i$  และ  $T_d$  อาจเขียนอยู่ในรูปของ  $T_i$  และ  $T_d$  โดยค่าพารามิเตอร์ของตัวควบคุม PID ทั้ง 3 ค่านี้จะใช้สำหรับปรับให้กับตัวควบคุมเพื่อควบคุมกระบวนการที่ต้องการ ดังนั้น จากรูปที่ 2.17 จะเห็นว่าสัญญาณควบคุมหรือตัวแปรปรับกระบวนการ (mv) ที่ได้จากตัวควบคุม PID จะถูกกำหนดโดยความสัมพันธ์ระหว่างสัญญาณขาเข้าตัวควบคุมหรือตัวแปรกระบวนการ (pv) กับสัญญาณอ้างอิงหรือค่าเป้าหมาย (sp) โดยที่ความสัมพันธ์ดังกล่าวจะขึ้นอยู่กับกฎเกณฑ์การควบคุมที่พนักงานหรือผู้

ควบคุมปรับแต่งไว้ล่วงหน้า (คือ การปรับแต่งค่าพารามิเตอร์  $K_c, T_i$  และ  $T_d$  ของตัวควบคุม PID นั้นเอง) ซึ่งสัญญาณควบคุมของตัวควบคุมจะเป็นไปตามกิริยาการควบคุมแบบต่างๆที่ถูกเลือกใช้ดังจะกล่าวต่อไป

### 2.5.3 ทฤษฎีและหลักการควบคุมแบบป้อนกลับ (กิริยาการควบคุมต่างๆ)

การออกแบบระบบควบคุมนั้นต้องพิจารณาถึงคุณลักษณะของกระบวนการที่ต้องการควบคุมเสียก่อน ซึ่งบางครั้งอาจพิจารณาในรูปแบบจำลองทางคณิตศาสตร์ที่รู้จักกันดีคือ ฟังก์ชันถ่ายโอน ทั้งนี้ เนื่องจากจะได้เลือกชนิดของการควบคุมให้เหมาะสมกับระบบ เพื่อให้การควบคุมมีเสถียรภาพ (Stability) และมีประสิทธิภาพสูงสุด โดยสัญญาณที่ใช้ในการควบคุมจะเป็นไปตามลักษณะของการสร้างสัญญาณที่เรียกว่า “กิริยาควบคุม (Control Action)” กิริยาการควบคุมสามารถแบ่งออกเป็น 4 แบบใหญ่ๆคือ

1. กิริยาการควบคุมแบบ ON-OFF
2. กิริยาการควบคุม Proportional
3. กิริยาการควบคุมแบบ Integral
4. กิริยาการควบคุมแบบ Derivative

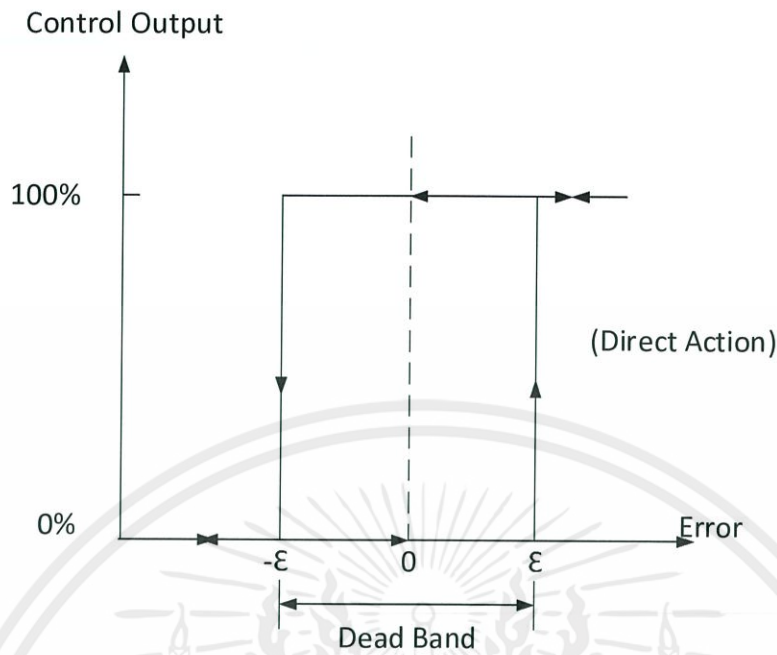
กิริยาการควบคุมที่ได้กล่าวมามีข้อดีข้อเสียและคุณสมบัติที่แตกต่างกัน ดังนั้นในทางปฏิบัติจึงต้องนำเอากริยาควบคุมต่างๆมาประยุกต์เข้าด้วยกันเพื่อให้ได้สัญญาณควบคุมที่เหมาะสมที่สุด ซึ่งการรวมกริยาควบคุมที่มักพบเห็นเป็นประจำคือ

1. กิริยาควบคุมแบบ Proportional-Integral
2. กิริยาควบคุมแบบ Proportional-Derivative
3. กิริยาการควบคุมแบบ Proportional-Integral-Derivative

### 2.5.4 กิริยาควบคุมแบบ ON-OFF

การควบคุมแบบ ON-OFF เป็นการควบคุมที่ง่ายที่สุดและราคาไม่แพง โดยตัวควบคุมจะทำงานเพียง 2 สถานะ คือ เปิดกับปิด และสัญญาณเอาต์พุตที่ได้จะมี 2 สถานะ เช่นกันคือ 0% หรือ 100% กิริยาการควบคุมแบบ ON-OFF แสดงดังรูปที่ 2.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 กิริยาการควบคุมแบบ ON-OFF

จากรูปที่ 2.24 จะเห็นว่า ถ้าความคลาดเคลื่อนเพิ่มมากกว่าค่าวิกฤติ (Critical Value) หรือค่า  $+\epsilon$  เอาท์พุทของตัวควบคุมจะเปลี่ยนจาก 0% ไปเป็น 100% ทำให้ค่าความคลาดเคลื่อนลดต่ำกว่าค่าวิกฤติ  $-\epsilon$  ค่าเอาท์พุทจะเปลี่ยนจาก 100% เป็น 0% ดังนั้นจะเห็นว่าก่อนที่เอาท์พุทจะเปลี่ยนแปลงนั้นจะเกิดเดดแบนด์ (Dead Band) ขึ้นรอบๆค่าความคลาดเคลื่อนเท่ากับศูนย์ (Zero Error) ในช่วงเดดแบนด์นั้น ค่าเอาท์พุทจะไม่มีเปลี่ยนแปลงแต่อย่างใดซึ่งน่าจะเป็นผลจากการเสียดทานที่ไม่คาดคิดไว้ก่อน หรือบางครั้งก็ต้องทำให้มีช่วงเดดแบนด์เพื่อป้องกันการ ON-OFF บ่อยเกินไป อันจะทำให้อุปกรณ์ควบคุมหรือกระบวนการเกิดการเสียหายได้ แต่ช่วงเดดแบนด์นี้ต้องไม่กว้างนักเพราะจะทำให้ค่าความเที่ยงตรงของการควบคุมลดลง กิริยาการควบคุมแบบ ON-OFF สามารถเขียนเป็นสมการทางคณิตศาสตร์ได้ดังนี้

$$\begin{aligned} m(t) &= 0\% && \text{เมื่อ } e < -\epsilon \\ &= 100\% && \text{เมื่อ } e > +\epsilon \end{aligned} \quad (2.15)$$

เมื่อ  $m(t)$  = สัญญาควบคุมหรือเอาท์พุทของตัวควบคุม  
 $e(t)$  = ค่าความคลาดเคลื่อน  
 $\epsilon$  =  $\frac{1}{2}$  ของค่าเดดแบนด์

การควบคุมแบบ ON-OFF จะนิยมใช้ในการควบคุมกระบวนการที่ไม่ต้องการความเที่ยงตรงสูงนัก และผลของความคลาดเคลื่อนไม่ส่งผลต่อการควบคุม เช่น การควบคุมอุณหภูมิในตู้เย็น การควบคุมระดับน้ำในถังน้ำทั่วไปตามบ้านหรือการควบคุมอุณหภูมิในห้อง เป็นต้น นอกจากนี้การควบคุม ON-OFF ยังนิยมใช้กับกระบวนการที่มีขนาดความจุมาก ๆ อีกด้วย เนื่องจากค่าความคลาดเคลื่อนจะมีค่าน้อยมากเมื่อเทียบกับขนาดค่าความจุ ทำให้ลดต้นทุนได้อย่างมาก

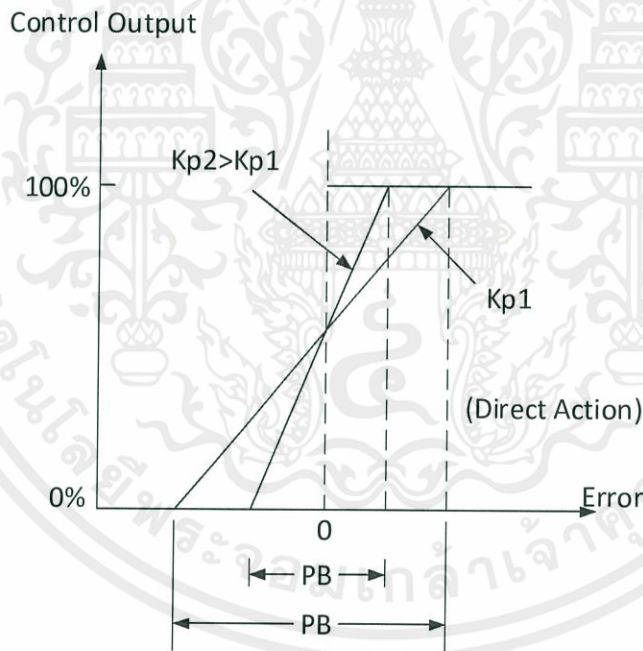
### 2.5.5 ฏการควบคุมแบบ Proportional (P)

สำหรับการควบคุมที่มีฏการควบคุมแบบ P นั้น ค่าเอาต์พุตของตัวควบคุมจะเปลี่ยนแปลงอย่างเป็นสัดส่วนโดยตรงกับค่าความคลาดเคลื่อน กล่าวคือ ถ้าค่าความคลาดเคลื่อนมีค่ามากค่าเอาต์พุตของตัวควบคุมก็จะมากขึ้นตามและถ้าค่าความคลาดเคลื่อนมีค่าน้อยค่าเอาต์พุตที่ได้จะน้อยด้วย ความสัมพันธ์ระหว่าง 2 ตัวแปรนี้ เรียกว่า อัตราขยายของตัวควบคุมแบบ P (Proportional Gain) ฏการควบคุมแบบ P สามารถเขียนเป็นสมการทางคณิตศาสตร์ ได้ดังนี้

$$m_p(t) = \bar{m} + K_p e(t) \quad (2.16)$$

เมื่อ  $m_p(t)$  = ค่าเอาต์พุตของตัวควบคุมแบบ Proportional  
 $K_p$  = อัตราขยายของตัวควบคุมแบบ Proportional  
 $\bar{m}$  = ค่าเอาต์พุตของตัวควบคุมเมื่อความคลาดเคลื่อนเป็นศูนย์

คุณสมบัติของฏการควบคุมที่ แสดงในรูปที่ 2.25



รูปที่ 2.25 คุณสมบัติของฏการควบคุมแบบ Proportional

จากรูปที่ 2.25 แสดงให้เห็นว่าจะเกิดการอิ่มตัวของค่าความคลาดเคลื่อน คือ เมื่อเอาต์พุตสูงถึง 100% ขณะที่ค่าความคลาดเคลื่อนยังคงเพิ่มขึ้นไปอีกค่าเอาต์พุตจะไม่สามารถเพิ่มขึ้นตามได้ ทำนองเดียวกันเมื่อค่าเอาต์พุตมีค่าเท่ากับ 0% ขณะที่ค่าความคลาดเคลื่อนยังคงลดลงอีกค่าเอาต์พุตก็ไม่สามารถลดลงได้ ซึ่งช่วงของค่าความคลาดเคลื่อนระหว่างที่เอาต์พุตมีค่าจาก 0% ถึง 100% เรียกว่า Proportional Band (PB) โดยค่า PB จะมีผลต่ออัตราขยายของตัวควบคุม กล่าวคือ

เมื่อค่า  $PB$  สูงขึ้นค่าอัตราขยายของตัวควบคุมจะลดลง เนื่องจาก  $K_p=100/PB$  และเมื่ออัตราขยายของตัวควบคุมลดลงจะทำให้เกิดออฟเซ็ท (Offset) ในระบบมากขึ้น

ปัญหาอีกอย่างหนึ่งของกริยาการควบคุมแบบ  $P$  ก็คือค่าเอาท์พุทที่ความคลาดเคลื่อนเป็นศูนย์ ( $\bar{m}$ ) มีค่าคงที่ ซึ่งการเลือกค่า  $\bar{m}$  นั้น จะกระทำในช่วงเริ่มต้น โดยเลือกค่าที่เหมาะสมกับตัวแปรของระบบนั้นๆ แต่ถ้าตัวแปรอื่นๆของระบบเกิดการเปลี่ยนแปลงไปจะทำให้ตัวแปรควบคุมเปลี่ยนแปลงไปด้วย การแก้ไขก็คือ ปรับค่า  $\bar{m}$  ให้สอดคล้องกับการเปลี่ยนแปลงนั้น แต่ในกระบวนการควบคุม ตัวแปรตัวใดตัวแปรหนึ่งของระบบอาจเกิดการเปลี่ยนแปลงบ่อยครั้ง ในกรณีเช่นนี้ก็จะทำให้เกิดออฟเซ็ทได้เช่นกัน

### 2.5.6 กริยาการควบคุมแบบ Integral (I)

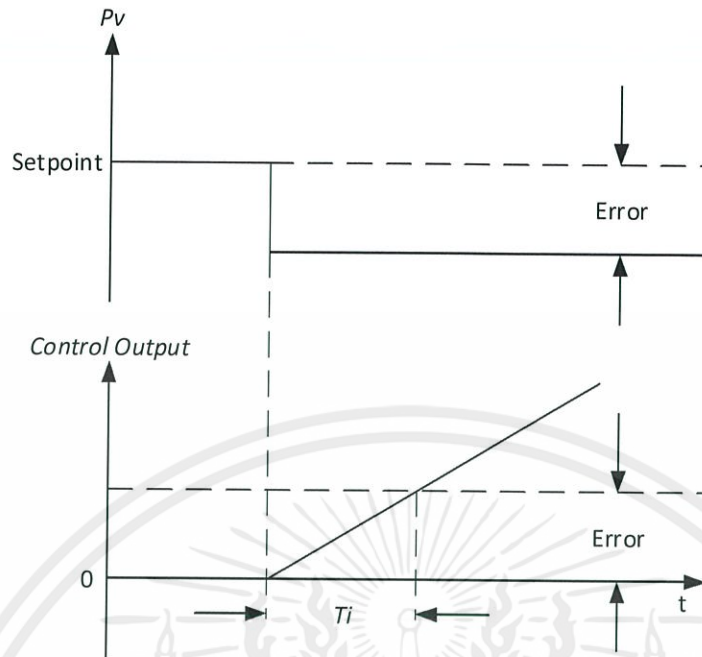
กริยาการควบคุมแบบ  $I$  มีชื่อเรียกอีกอย่างหนึ่งว่าการควบคุมรีเซ็ต (Reset) โดยการควบคุมจะพิจารณาค่าความคลาดเคลื่อนที่เกิดขึ้นทั้งหมด ซึ่งการหาค่าความคลาดเคลื่อนในกริยาควบคุมแบบ  $I$  นี้จะต้องหาค่าพื้นที่ทั้งหมดภายใต้กราฟของค่าความคลาดเคลื่อนต่อเวลา จากนั้นนำไปคูณกับค่าคงที่ที่เรียกว่า อัตราขยายของตัวควบคุมแบบ  $I$  (Integral Gain) เพื่อหาค่าเอาท์พุท ดังสมการ (2.17)

$$m_i(t) = K_I \int_0^t e(t) dt + \bar{m}_i(0) \quad (2.17)$$

โดยที่  $m_i(t)$  = ค่าเอาท์พุทของตัวควบคุมแบบ  $I$   
 $K_I$  = ค่าอัตราขยายของตัวควบคุมแบบ  $I$   
 $\int_0^t e(t) dt$  = พื้นที่ทั้งหมดของความคลาดเคลื่อน  
 $\bar{m}_i(0)$  = เอาท์พุทของตัวควบคุมที่เวลา  $t$  มีค่าเป็นศูนย์

ผลของกริยาการควบคุมแบบ  $I$  นี้ จะทำให้ไม่เกิดออฟเซ็ทขึ้นในระบบและลดค่าพุงเกินของระบบลงได้ แต่ถ้ากริยาการควบคุมมีค่าสูงเกินไปจะทำให้ผลตอบสนองของกระบวนการช้าลง ผลตอบสนองของกริยาการควบคุมแบบ  $I$  แสดงดังรูปที่ 2.26

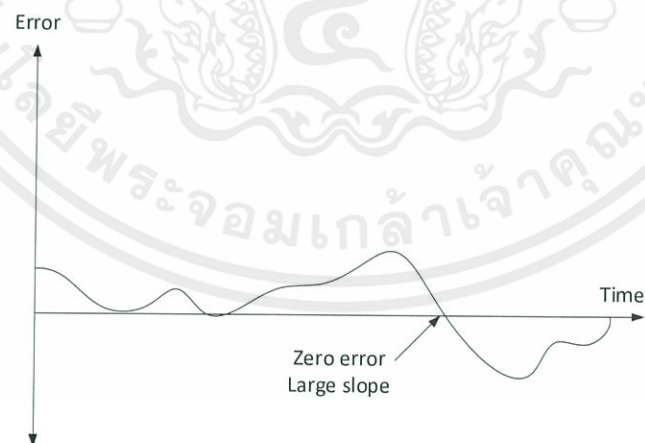
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 ผลตอบสนองของกริยาการควบคุมแบบ Integral

### 2.5.7 กริยาการควบคุมแบบ Derivative (D)

กริยาการควบคุมแบบ D สัญญาณเอาต์พุตของตัวควบคุมจะขึ้นอยู่กับอัตราการเปลี่ยนแปลงของค่าความคลาดเคลื่อนต่อเวลา (Time Rate of Change of Error) จะเห็นว่าค่าความคลาดเคลื่อนนี้มีโอกาสเป็นศูนย์ได้และค่าเอาต์พุตก็สามารถเปลี่ยนแปลงให้มีค่าสูงขึ้น เมื่อความคลาดเคลื่อนเปลี่ยนแปลง ซึ่งเรียกการกระทำดังกล่าวนี้ว่า อัตราการกระทำ (Rate Action) ตามตัวอย่างดังรูปที่ 2.27



รูปที่ 2.27 ตัวอย่างคุณสมบัติของกริยาการควบคุมแบบ Derivative

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
จากรูป จะเห็นว่าที่ค่าความคลาดเคลื่อนเป็นศูนย์ มีอัตราการเปลี่ยนแปลงของความ  
ไม่เท่ากันใด ๆ ทั้งสิ้น อันเป็นที่มาของค่าสูงน้อยค่า และต้องอ้างอิงถึงใจของเอกสารที่กล่าวไว้ที่การนำไปใช้  
ชั้นสูง ผลของการเปลี่ยนแปลงนี้ทำให้ค่าเอาต์พุตเกิดการเปลี่ยนแปลงสูงตามไปด้วย ซึ่งอัตราการ  
เปลี่ยนแปลงของค่าความคลาดเคลื่อนสามารถประมาณได้โดยการหาค่าความแตกต่างระหว่างค่า

ความคลาดเคลื่อน 2 ค่าและหารด้วยเวลาระหว่าง 2 ค่านี้ แล้วนำไปคูณกับค่าคงที่ที่เรียกว่า อัตราขยายของตัวควบคุมแบบ D (Derivative Gain) เพื่อหาค่าสัญญาณเอาต์พุตของตัวควบคุม ดังสมการ 2.18

$$m_d(t) = K_D \frac{e(t) - e(t_0)}{(t - t_0)} \quad (2.18)$$

หรือ

$$m_D(t) = K_D \frac{de(t)}{dt} \quad (2.19)$$

โดยที่  $m_D(t)$  = ค่าเอาต์พุตของตัวควบคุมแบบ D ที่เวลา  $t$   
 $K_D$  = ค่าอัตราขยายของตัวควบคุมแบบ D  
 $e(t)$  = ค่าความคลาดเคลื่อนที่เวลา  $t$   
 $e(t_0)$  = ค่าความคลาดเคลื่อนที่เวลา  $t_0$

กิริยาการควบคุมแบบนี้ เหมาะสำหรับกระบวนการที่มีเวลาหน่วง (Time Lag) มากๆ เพราะสามารถแก้ค่าความคลาดเคลื่อนโดยการกระทำล่วงหน้าก่อนที่จะมีการกระทำเกิดขึ้น จึงช่วยให้ผลตอบสนองของกระบวนการเร็วขึ้นแต่มีข้อเสีย คือ กิริยาการควบคุมมีความไวต่อสัญญาณค่าความคลาดเคลื่อนมาก โดยเฉพาะกรณีที่มี  $T_D$  หรือ  $K_D$  มีค่ามาก ซึ่งจะทำให้เกิดค่าพุ่งเกินสูงได้ ดังนั้นจึงไม่เหมาะสมกับกระบวนการที่มีค่าเวลาหน่วงน้อยๆ และกระบวนการที่มีการเปลี่ยนแปลงได้ง่าย เช่นระบบควบคุมการไหลหรือระบบควบคุมความดัน เป็นต้น กิริยาการควบคุมแบบนี้ไม่สามารถนำไปใช้งานแบบโดดเดี่ยวได้ เพราะว่าเมื่อค่าความคลาดเคลื่อนเป็นศูนย์ จะทำให้สัญญาณเอาต์พุตของตัวควบคุมเป็นศูนย์ด้วย

### 2.5.8 กิริยาการควบคุมแบบ Proportional-Integral

ตามที่กล่าวมาแล้วว่ากิริยาการควบคุม P นั้นจะมีออฟเซ็ทเกิดขึ้น ซึ่งการกำจัดค่าออฟเซ็ทนี้ทำได้โดยการเพิ่มกิริยาการควบคุม I เข้าไป ดังนั้นสมการสัญญาณเอาต์พุตของตัวควบคุมแบบนี้จะเป็นไปตามสมการ (2.8)

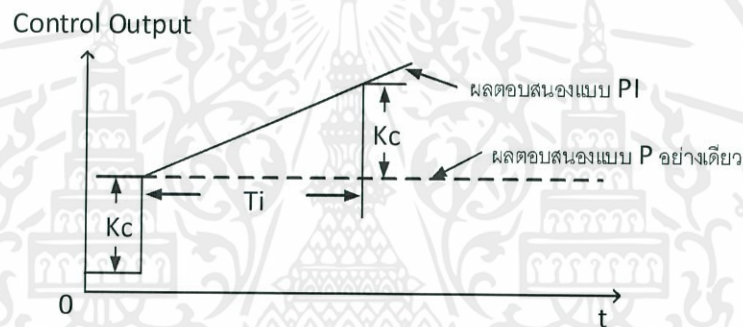
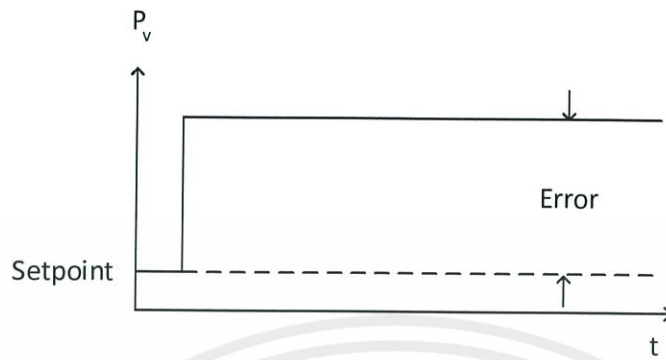
$$m_{p1}(t) = \bar{m} + K_p e(t) + K_p K_i \int_0^t e(t) dt \quad (2.20)$$

หรือ

$$m_{p1}(t) = \bar{m} + K_c e(t) + \frac{K_c}{T_i} \int_0^t e(t) dt \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับงานวิจัยเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และเผยแพร่อย่างถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $K_c = K_p$  และ  $K_i = 1/T_i$   
 $T_i$  = เวลาในการอินทิเกรตหรือเวลารีเซ็ท (Integral or Reset Time)



รูปที่ 2.28 ตัวอย่างผลตอบสนองของกริยาการควบคุมแบบ PI (Direct Action)

นอกจากกริยาการควบคุมแบบ PI จะทำให้ค่าออฟเซ็ทที่สภาวะคงที่เป็นศูนย์แล้วยังช่วยลดค่าพุงเกินและการแกว่ง (Oscillation) ของระบบลงได้ แต่จะทำให้ Rise Time และ Settling Time มีค่ามากขึ้น

### 2.5.9 กริยาการควบคุมแบบ Proportional - Derivative (PD)

การประยุกต์ใช้กริยาการควบคุมแบบ D ร่วมกับกริยาการควบคุมแบบ P ก็เพื่อให้ผลตอบสนองของระบบรวดเร็วขึ้น แต่จะไม่มีผลโดยตรงต่อผลตอบสนองที่สภาวะคงที่ ซึ่งสมการเอาท์พุทของกริยาการควบคุมแบบ PD แสดงดังสมการ (2.10)

$$m_{PD}(t) = \bar{m} + K_p e(t) + K_p K_D \frac{de(t)}{dt} \tag{2.22}$$

หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้เผยแพร่สิ่งนี้ไปยังผู้อื่นโดยไม่ได้รับอนุญาตจากเจ้าของเอกสารทุกครั้งที่มี  
ไปใช้

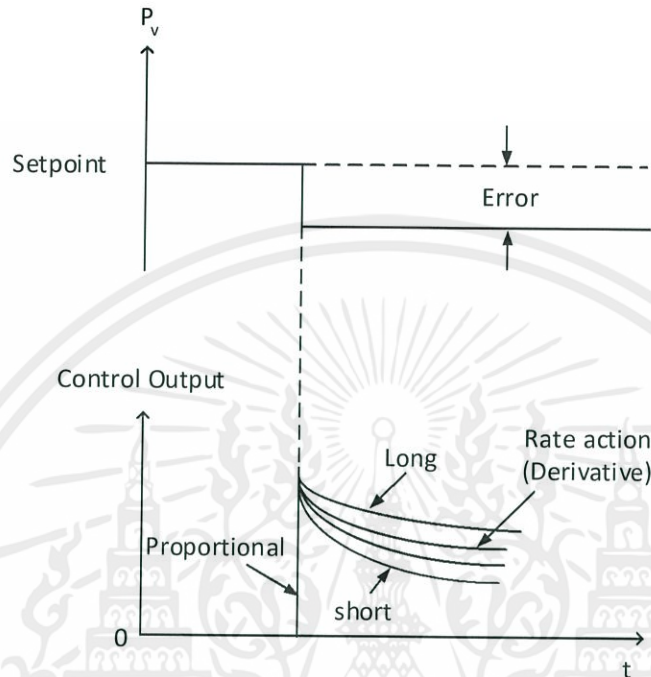
$$m_{PD}(t) = \bar{m} + K_c e(t) + K_c T_d \frac{de(t)}{dt} \tag{2.23}$$

เมื่อ

$$K_D = T_d$$

$T_d$  = ค่าของ Derivative or Rate Time

ข้อเสียของกริยาการควบคุมแบบนี้ก็คือ ไม่สามารถทำให้ออฟเซ็ทของระบบลดลงหรือหมดไปได้และอาจจะทำให้ค่าฟุ้งเกินของระบบมีค่าสูงขึ้น ผลตอบสนองของกริยาการควบคุมแบบ PD แสดงดังรูปที่ 2.29



รูปที่ 2.29 ผลตอบสนองของกริยาการควบคุมแบบ PD

#### 2.5.10 กริยาการควบคุมแบบ Proportional-Integral-Derivative (PID)

จากที่ได้กล่าวมาแล้วว่า กริยาการควบคุมแบบ PD ทำให้ระบบเสถียรภาพสัมพัทธ์ดีขึ้น (ผลตอบสนองเร็วขึ้น) แต่ไม่สามารถทำให้ค่าคลาดเคลื่อนหรือออฟเซ็ทที่สภาวะคงที่เป็นศูนย์ได้ ส่วนกริยาการควบคุมแบบ PI ทำให้ค่าความคลาดเคลื่อนสภาวะคงที่ลดลงหรือหมดไปแต่ทำให้เสถียรภาพสัมพัทธ์ลดลง (Rise Time และ Settling Time มีค่ามากขึ้น) ดังนั้น บางครั้งเพื่อให้ผลตอบสนองของระบบควบคุมมีสมรรถนะเป็นไปตามต้องการจึงต้องใช้กริยาการควบคุมทั้งสองแบบร่วมกัน ซึ่งจะทำให้ได้กริยาการควบคุมแบบ PID ที่มีสมการสัญญาณเอาท์พุต ดังสมการ (2.24)

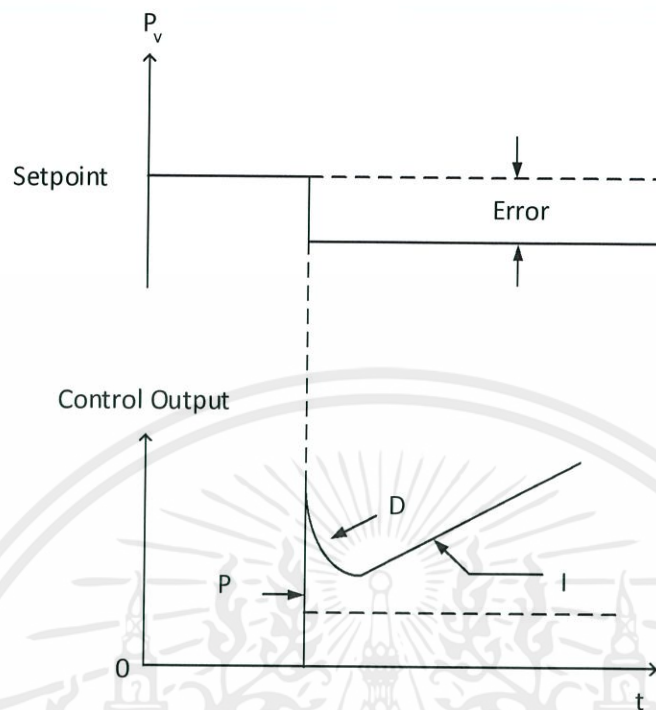
$$m_{PID}(t) = \bar{m} + K_p e(t) + K_p K_i \int_0^t e(t) dt + K_p K_D \frac{de(t)}{dt} \quad (2.24)$$

หรือ

$$m_{PID}(t) = \bar{m} + K_c e(t) + \frac{K_c}{T_i} \int_0^t e(t) dt + K_c K_d \frac{de(t)}{dt} \quad (2.25)$$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลตอบสนองของกริยาการควบคุมแบบ PID แสดงดังรูปที่ 2.30



รูปที่ 2.30 ผลตอบสนองของกริยาการควบคุมแบบ PID

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### บทที่ 3

## การสร้างแบบจำลองอินเวอร์เตอร์และตัวควบคุม PID แบบอัตโนมัติ

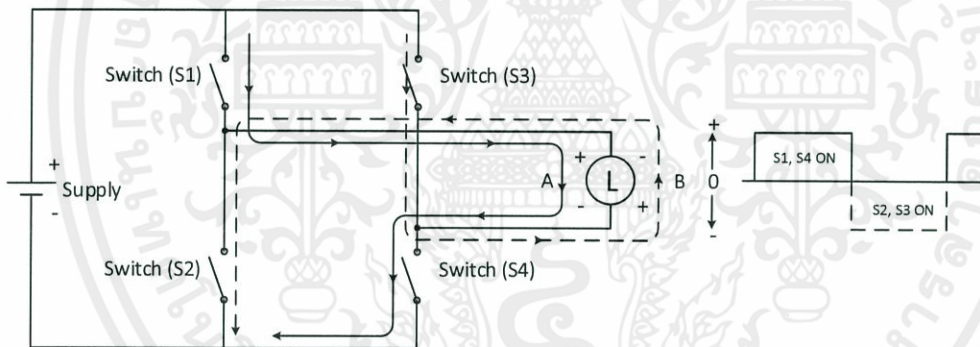
### 3.1 บทนำ

เนื่องจากพลังงานแสงอาทิตย์เป็นพลังงานทดแทนที่มีการใช้มากขึ้นในปัจจุบัน ซึ่งผลิตกระแสไฟฟ้าได้เป็นไฟฟ้ากระแสตรงเป็นเรื่องที่ยากที่จะนำมาใช้กับอุปกรณ์ไฟฟ้าทั่วไปเพราะอุปกรณ์ต้องใช้ไฟฟ้ากระแสสลับ ดังนั้นจึงต้องมีการออกแบบเพื่อแปลงไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสสลับจึงใช้กับอุปกรณ์ไฟฟ้าทั่วไปได้ แต่การนำอินเวอร์เตอร์ไปใช้กับอุปกรณ์ไฟฟ้าที่แตกต่างกันนั้นจะทำให้เกิดผลกระทบต่อแรงดันเอาต์พุตจึงต้องนำตัวควบคุมแบบ PID เข้ามาใช้ในการควบคุมอินเวอร์เตอร์เพื่อรักษาระดับแรงดันเอาต์พุตให้คงที่และสามารถทนต่อการรบกวนของระบบได้

### 3.2 การออกแบบด้วยโปรแกรม MATLAB Simulink

#### 3.2.1 วงจรอินเวอร์เตอร์

อินเวอร์เตอร์เป็นอุปกรณ์ที่ผลิตไฟฟ้ากระแสสลับได้จากแหล่งจ่ายไฟตรง การทำความเข้าใจกับหลักการทำงานของอินเวอร์เตอร์ก็ควรเริ่มจากวงจรสร้างไฟสลับเฟสเสียก่อน



รูปที่ 3.1 วิธีการสร้างไฟฟ้ากระแสสลับและรูปคลื่นกระแส

ดังรูปที่ 3.1 อธิบายหลักการเปลี่ยนแปลงไฟฟ้ากระแสตรงไปเป็นไฟฟ้ากระแสสลับ โดยเปลี่ยนจากโหลดมอเตอร์เป็นโหลดไฟเพื่อให้เข้าใจง่ายขึ้น โดยสวิตช์ทั้ง 4 ตัวซึ่งต่ออยู่ระหว่างแหล่งจ่ายไฟฟ้ากระแสตรงและโหลด จะเปิด-ปิดสลับกันเป็นจังหวะเพื่อสร้างไฟฟ้ากระแสสลับจ่ายให้กับโหลดไฟตามรูปที่ 3.1 เมื่อสวิตช์  $s_1$  และ  $s_4$  ปิด จะมีกระแสวิ่งผ่านสวิตช์และโหลดไฟตามทิศทาง A แต่เมื่อสวิตช์  $s_2$  และ  $s_3$  ปิด จะมีกระแสวิ่งผ่านสวิตช์และโหลดไฟตามทิศทาง B ซึ่งย้อนทางกับทิศทาง A ดังนั้นถ้าให้สวิตช์  $s_1$  และ  $s_4$  เปิดปิด สลับกับสวิตช์  $s_2$  และ  $s_3$  ก็จะทำให้กระแสที่ไหลไปที่โหลดกลับทิศทางกันสลับไปมาเป็นไฟฟ้ากระแสสลับนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษา ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

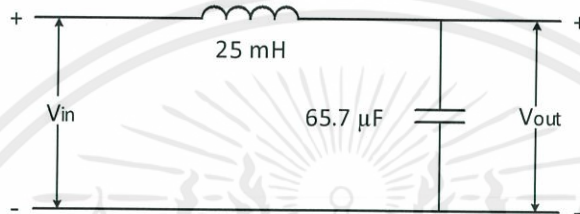
$$f_c = \frac{1}{2\pi\sqrt{25 * 10^{-3} * 65.7 * 10^{-6}}} \quad (3.3)$$

แทนค่า

$$f_c = \frac{1}{2\pi\sqrt{25 * 10^{-3} * 65.7 * 10^{-6}}}$$

$$f_c = 124.184 \text{ Hz}$$

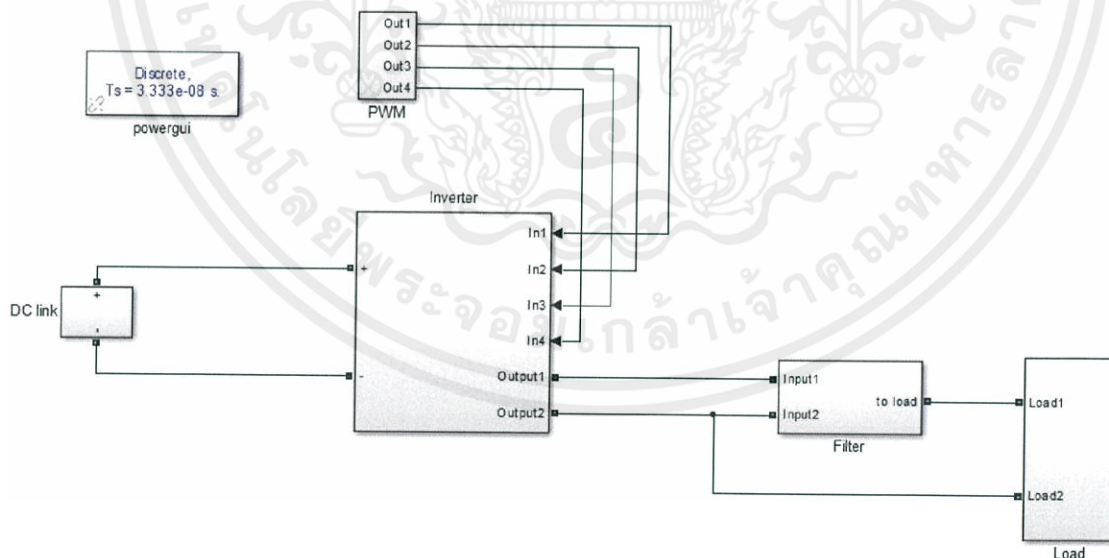
เพราะฉะนั้นจะได้ ค่าความเหนี่ยวนำของตัวเหนี่ยวนำวงจรกรอง ( $L_f$ ) = 25 mH  
 ค่าความเหนี่ยวนำของตัวเหนี่ยวนำวงจรกรอง ( $C_f$ ) = 65.7  $\mu$ F ดังรูปที่ 3.3



รูปที่ 3.3 การกำหนดค่าวงจรกรองแบบ LC

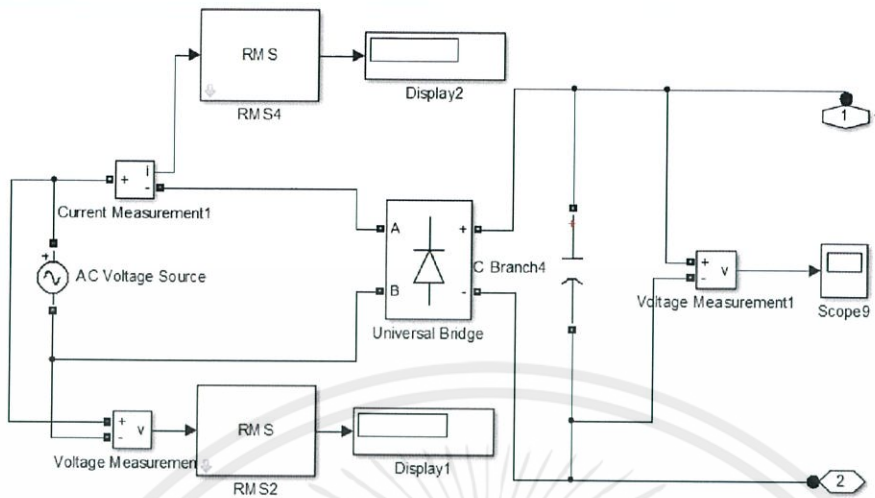
### 3.2.3 การออกแบบวงจรอินเวอร์เตอร์

ทำการออกแบบด้วยโปรแกรม MATLAB Simulink จะรวมวงจร DC link วงจรการ  
 สร้างสัญญาณ PWM วงจรกรองแบบ LC วงจรอินเวอร์เตอร์และวงจรโหลด โดยต้องการให้แรงดัน  
 เอาท์พุทมีค่าเท่ากับ 50 โวลต์ ( $v_{rms}$ ) แสดงได้ดังรูปที่ 3.4



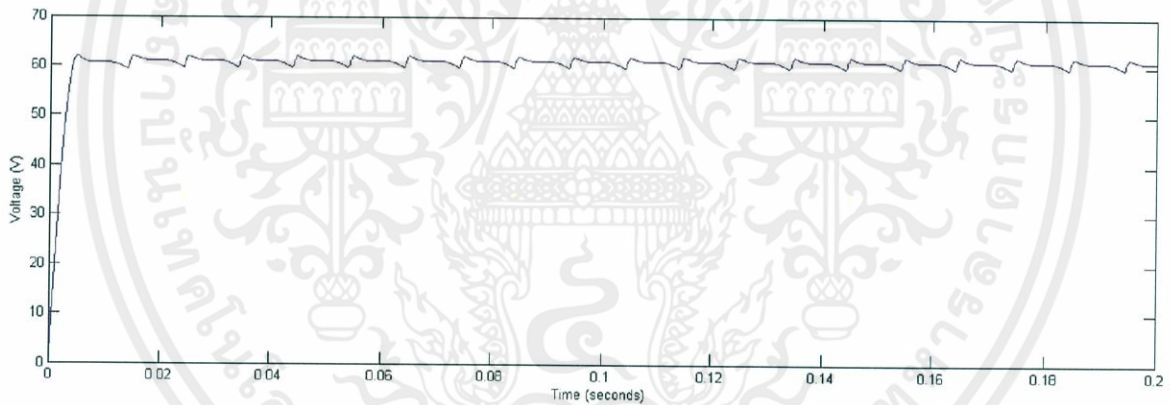
รูปที่ 3.4 วงจรที่ใช้ในการจำลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 วงจร DC link คือ วงจรแปลงไฟฟ้ากระแสสลับให้เป็นไฟฟ้ากระแสตรงโดยใช้วงจร  
 บริดจ์เรกติไฟเออร์และมีตัวเก็บประจุขนาด 3300  $\mu$ F เพื่อลดแรงดันริปเปิลของไฟฟ้ากระแสตรงให้มี  
 ความเรียบมากขึ้น แสดงได้ดังรูปที่ 3.5



รูปที่ 3.5 วงจร DC link

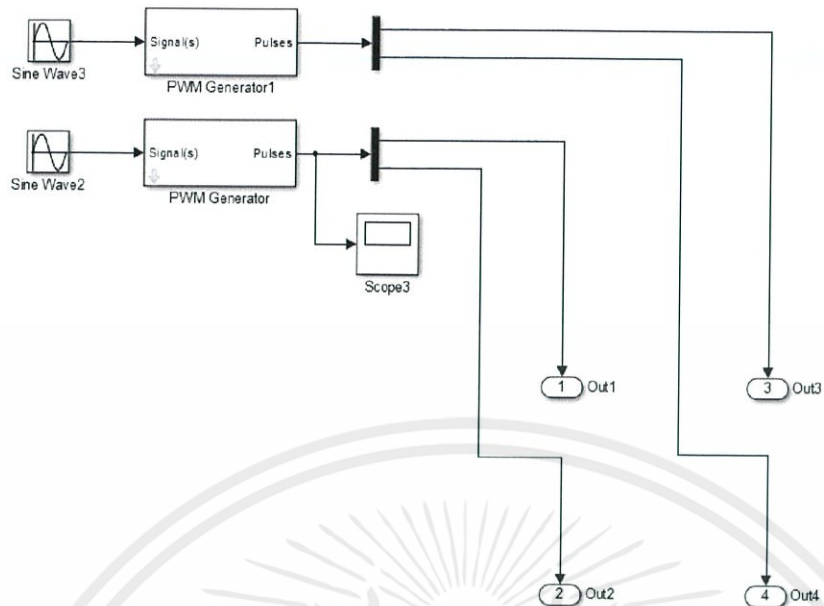
ทำการป้อนแรงดันไฟฟ้ากระแสสลับเท่ากับ 62 โวลต์ ( $V_m$ ) ทำให้ได้แรงดันเอาต์พุตที่ออกจากวงจร DC link เป็นดังนี้



รูปที่ 3.6 แรงดันเอาต์พุตของวงจร DC link

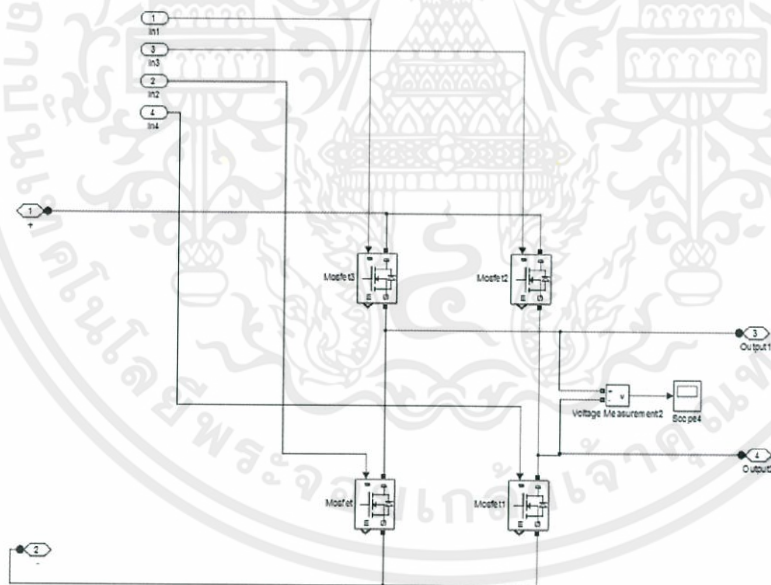
วงจรสร้างสัญญาณ PWM คือ วงจรสร้างสัญญาณขับมอสเฟต โดยจะจ่ายสัญญาณเข้าที่ขาเกตของมอสเฟต แสดงได้ดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรสร้างสัญญาณ PWM

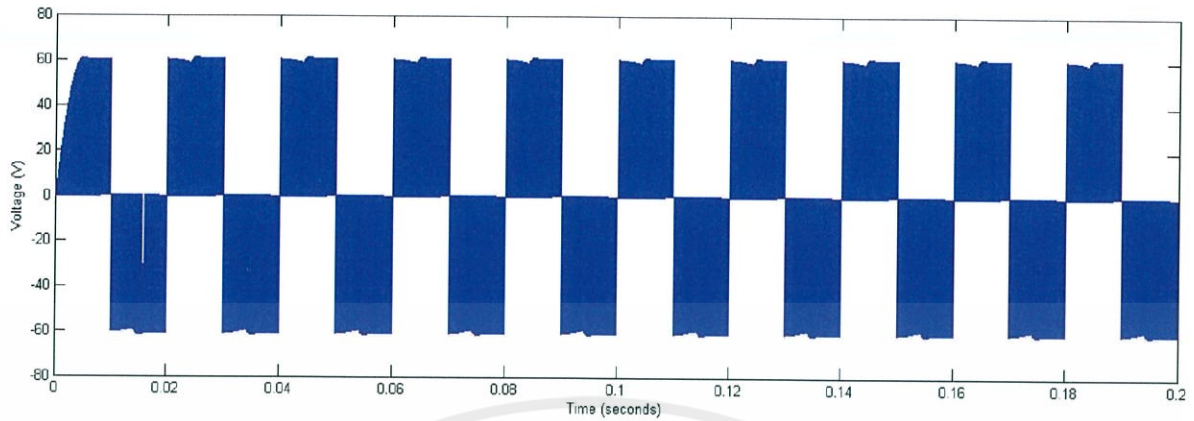
วงจรอินเวอร์เตอร์ คือ วงจรที่ผลิตไฟฟ้ากระแสสลับได้จากแหล่งจ่ายไฟตรง โดยทำการสวิตชิงแรงดันไฟฟ้าแบบยูนิโพลาร์ แสดงได้ดังรูปที่ 3.8



รูปที่ 3.8 วงจรอินเวอร์เตอร์

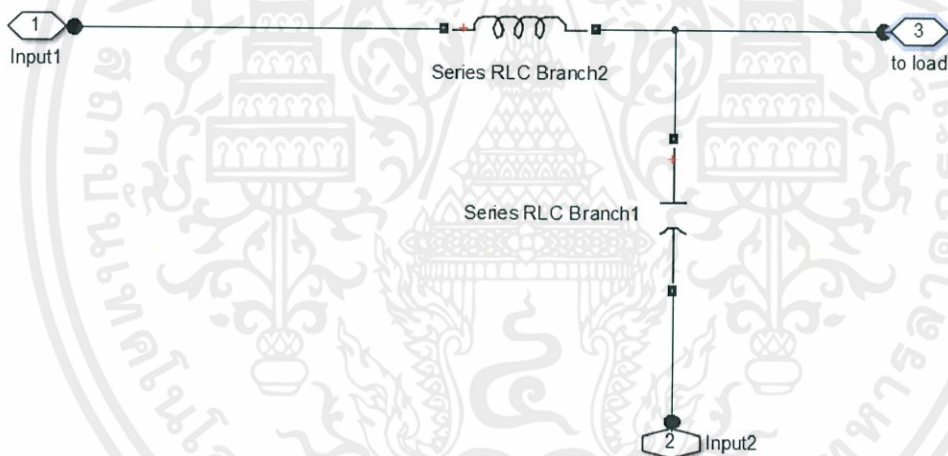
โดยแรงดันเอาต์พุตที่ออกจากวงจรอินเวอร์เตอร์จะเป็นแบบยูนิโพลาร์ เป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แรงดันเอาต์พุตของวงจรอินเวอร์เตอร์ที่เป็นแบบยูนิโพลาร์

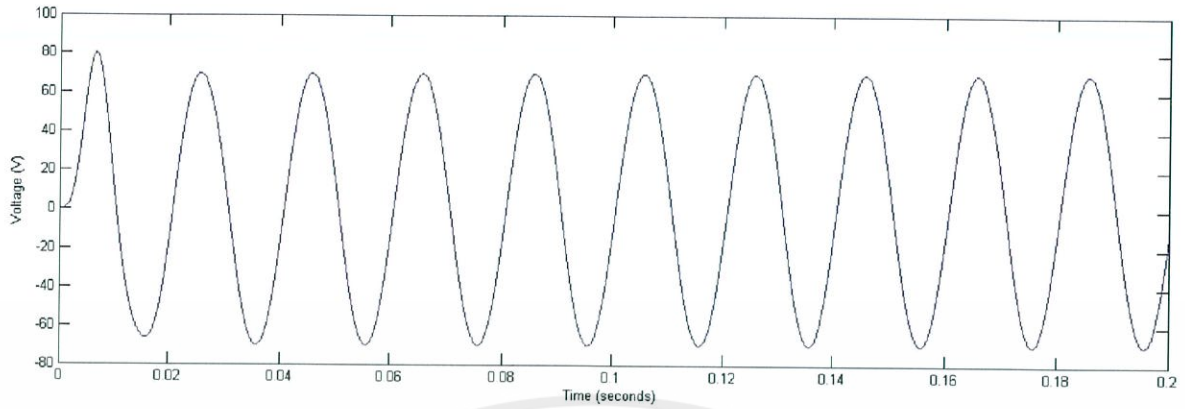
วงจรกรองแบบ LC คือ วงจรกรองสัญญาณความถี่สูงออกและให้สัญญาณความถี่ต่ำผ่านได้ โดยการต่อตัวเหนี่ยวนำอนุกรมและต่อตัวเก็บประจุขนานกับโหลด ค่าตัวเหนี่ยวนำมีค่าเท่ากับ 25 mH และค่าตัวเก็บประจุมีค่าเท่ากับ  $65.7 \mu F$  แสดงดังรูปที่ 3.10



รูปที่ 3.10 วงจรกรองแบบ LC

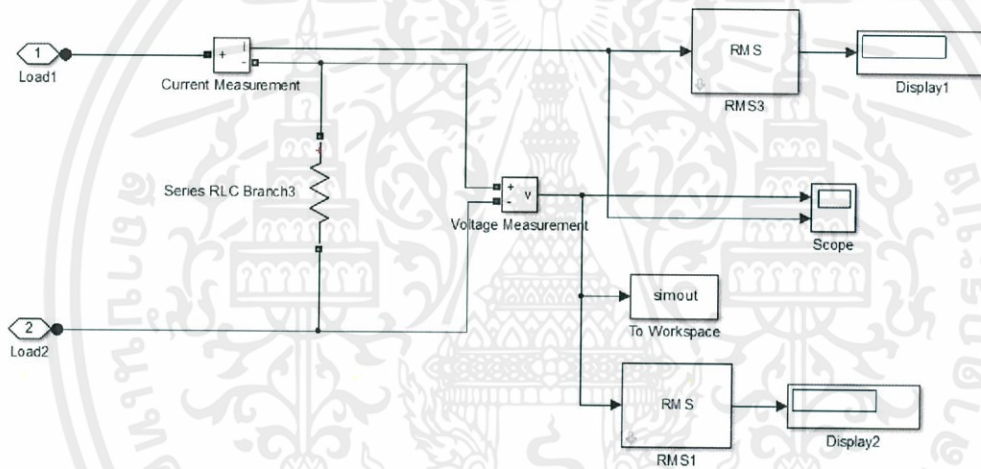
โดยแรงดันที่ออกจากวงจรกรองแบบ LC เป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



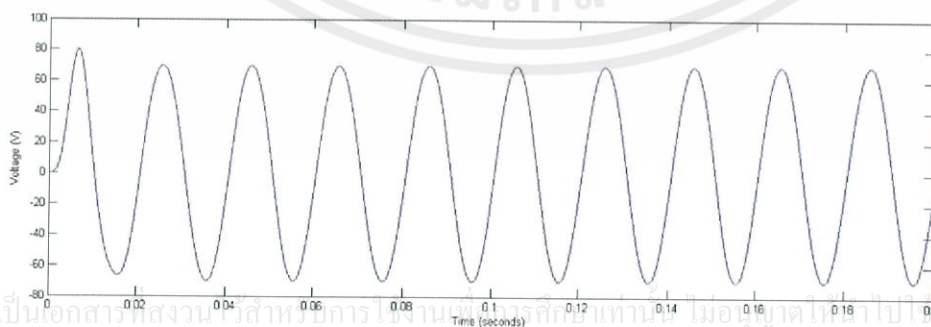
รูปที่ 3.11 แรงดันที่ออกจากวงจรกรองแบบLC

วงจรโหลด คือ วงจรที่ต่อจากวงจรกรองแบบLC แสดงได้ดังรูปที่ 3.12

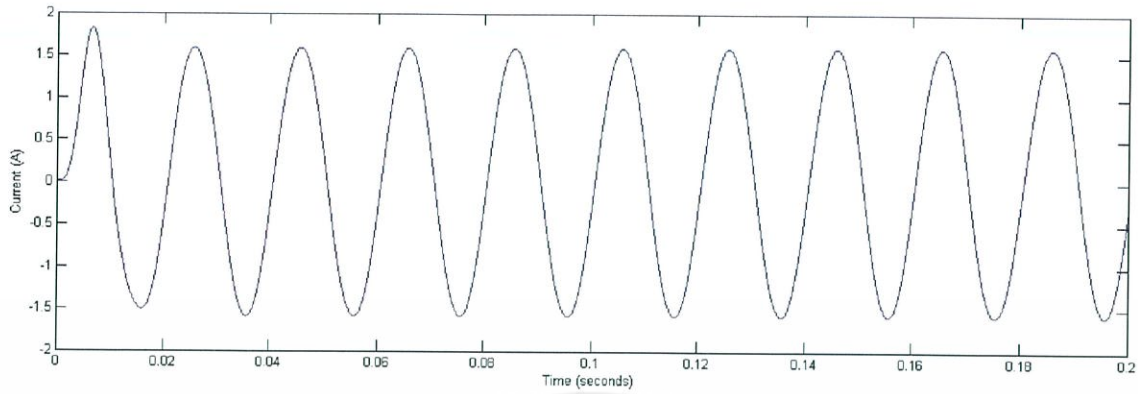


รูปที่ 3.12 วงจรโหลด

โดยมีแรงดันเอาต์พุตของโหลดมีค่าเท่ากับ 50 โวลต์ ( $v_{rms}$ ) และกระแสเอาต์พุตของโหลดมีค่าเท่ากับ 1.14 แอมป์ ( $i_{rms}$ ) เป็นดังนี้



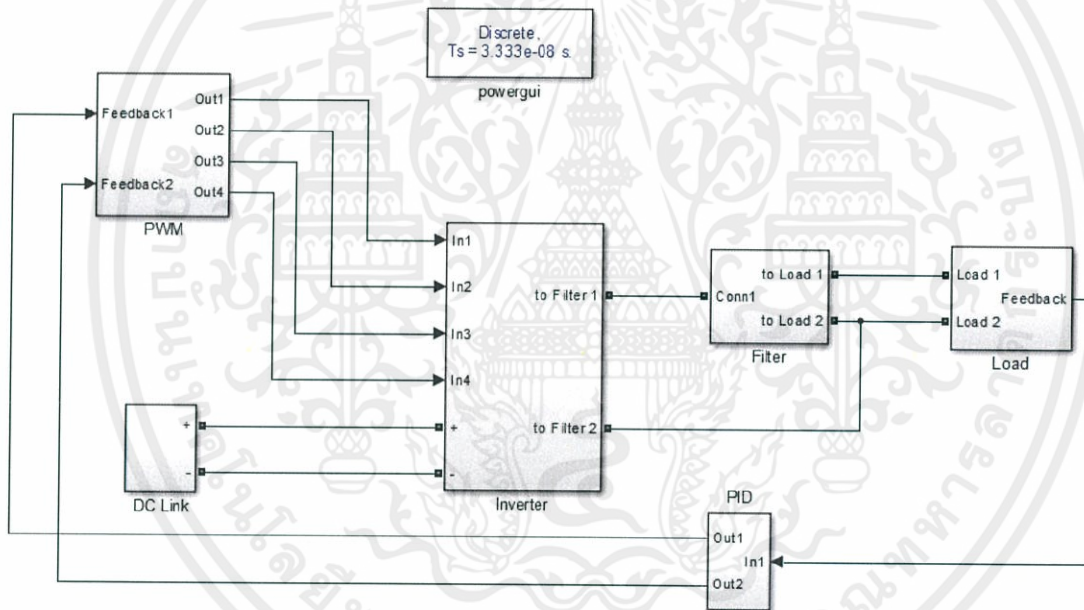
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิ **รูปที่ 3.13 แรงดันเอาต์พุตของโหลด** เจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 กระแสเอาต์พุทของโหลด

### 3.2.4 การออกแบบตัวควบคุมแบบ PID สำหรับอินเวอร์เตอร์

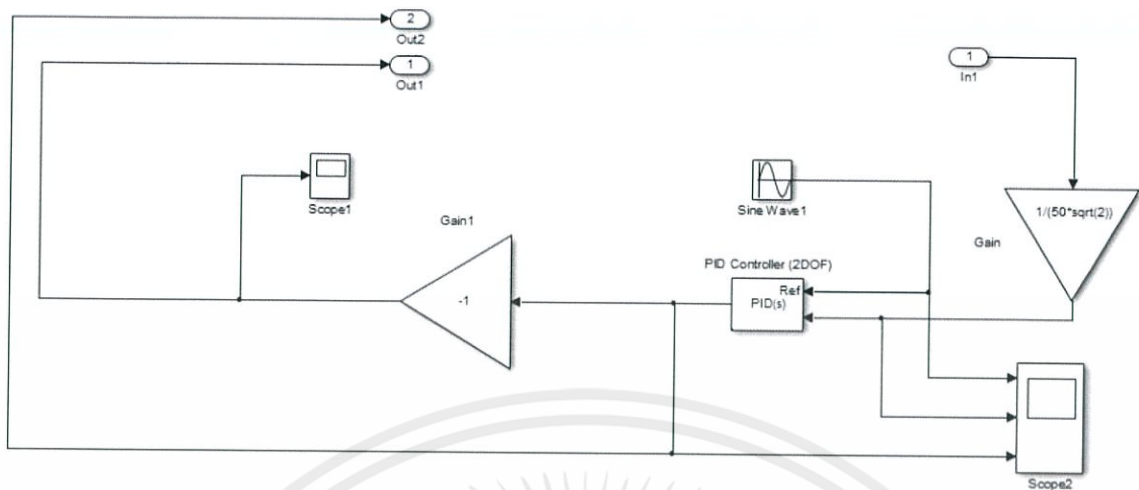
วงจรรควบคุมอินเวอร์เตอร์ด้วยตัวควบคุมแบบPIDโดยรวม แสดงดังรูปที่ 3.15



รูปที่ 3.15 วงจรรควบคุมอินเวอร์เตอร์ด้วยตัวควบคุมแบบPIDโดยรวม

และวงจรรควบคุมแบบ PID แสดงดังรูปที่ 3.16

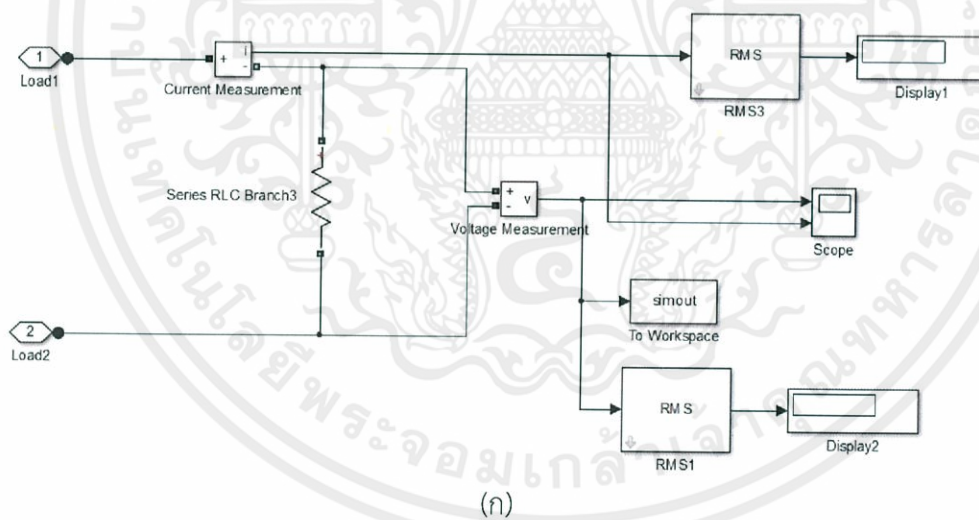
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 วงจรการควบคุมแบบ PID

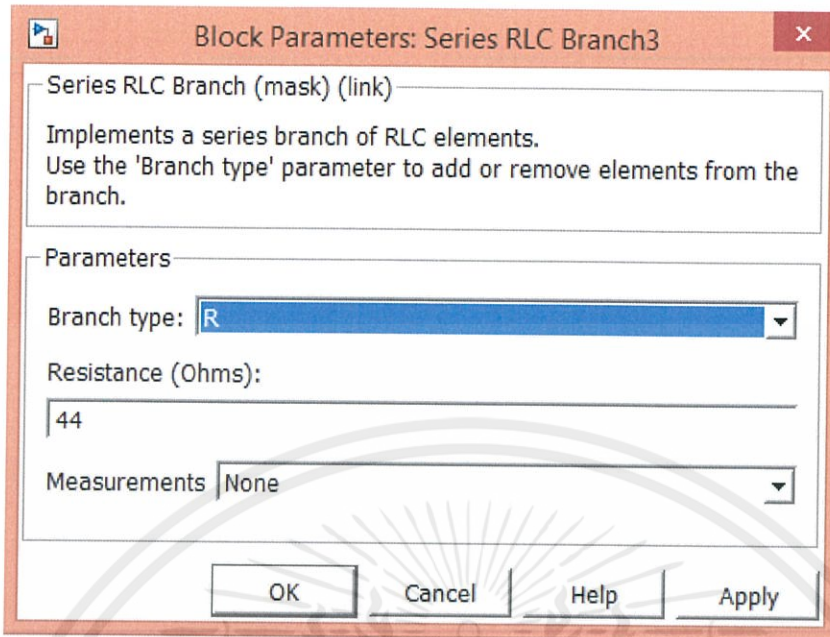
### 3.2.4.1 การปรับแต่งด้วยมือ (Manual tuning)

ทำการออกแบบตัวควบคุมแบบ PID โดยมีโพลด์เป็นตัวต้านทานขนาด  $44 \Omega$  ดังรูปที่ 3.17 จะเริ่มโดยการเซตค่า  $K_i$  และ  $K_d$  เป็นศูนย์ และค่อยๆ เพิ่มค่า  $K_p$ เรื่อยๆ จนกระทั่งระบบเริ่มเกิดการแกว่ง จากนั้นให้เซตค่า  $K_p$  เป็นครึ่งหนึ่งของค่านั้น แสดงดังรูปที่ 3.18



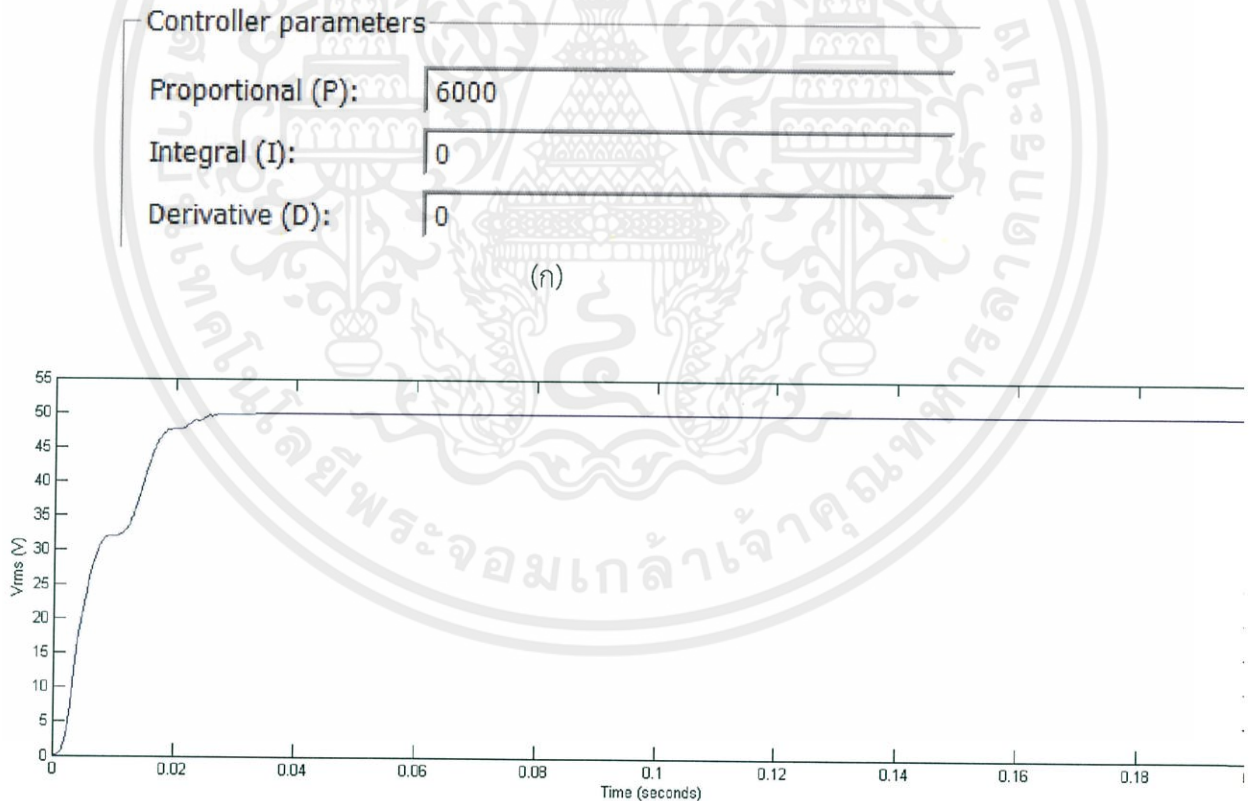
(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 3.17 (ก) วงจรของโหลดที่มีโหลดเป็นตัวต้านทาน (ข) การตั้งค่าความต้านทานขนาด 44  $\Omega$

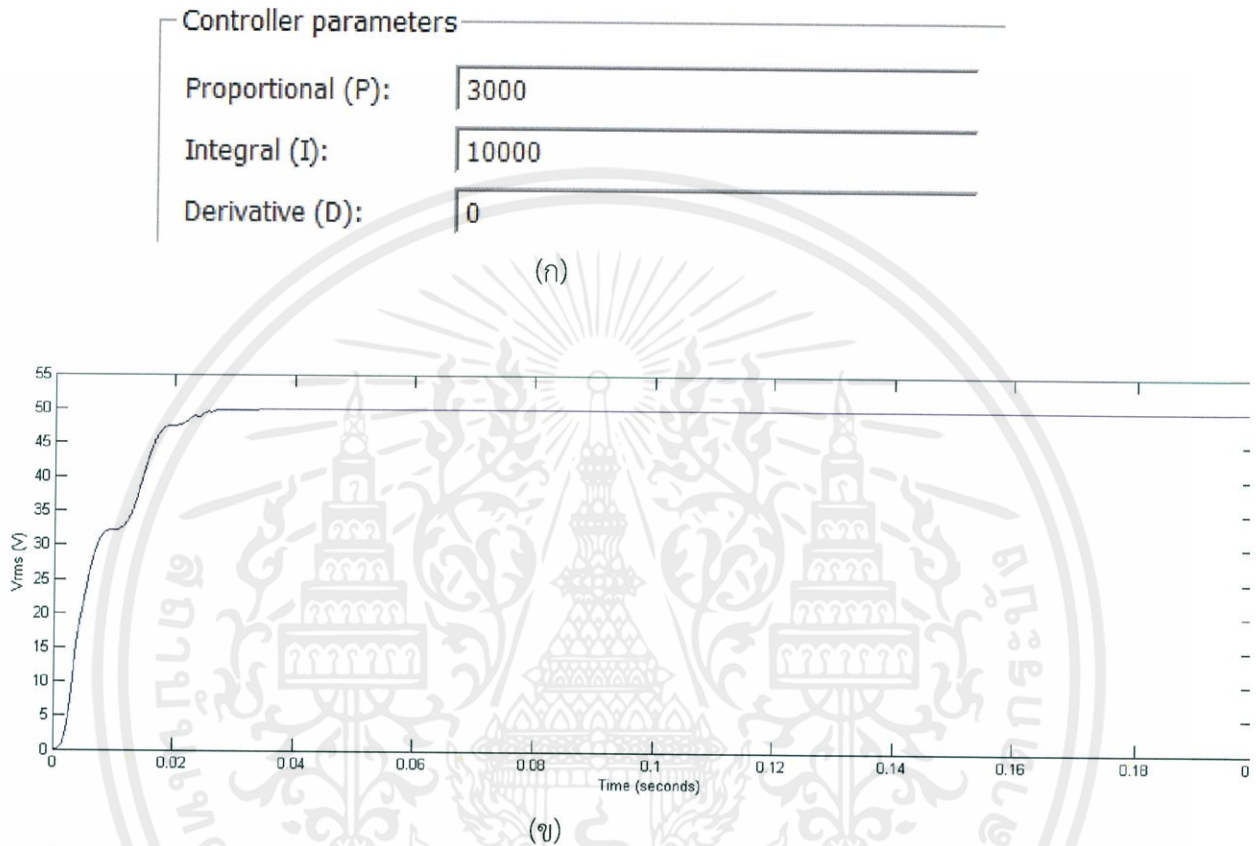


(ก)

(ข)

รูปที่ 3.18 (ก) ปรับค่าอัตราขยายของตัวควบคุมแบบ P (Proportional Gain) เท่ากับ 6000 (ข) กราฟการปรับค่าอัตราขยายของตัวควบคุมแบบ P (Proportional Gain) เท่ากับ 6000 โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response)

จากการปรับค่าอัตราขยายของตัวควบคุมแบบ P (Proportional Gain) เท่ากับ 6000 ทำให้ระบบเริ่มเกิดการแกว่ง จึงทำการตั้งค่าอัตราขยายของตัวควบคุมแบบ P (Proportional Gain) เท่ากับ 3000 จากนั้นให้เริ่มเพิ่มค่า  $K_i$  จนได้เวลาการตอบสนองของระบบที่ต้องการ ดังรูปที่ 3.19



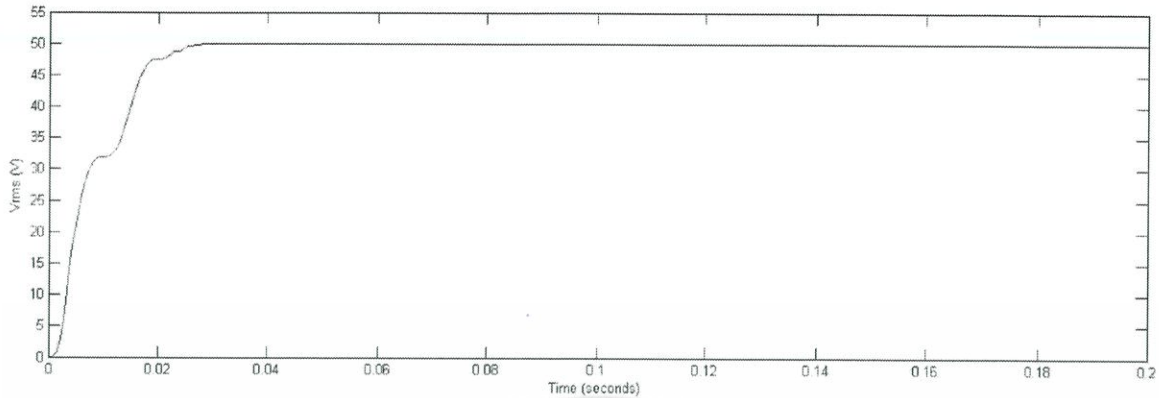
รูปที่ 3.19 (ก) ปรับค่าอัตราขยายของตัวควบคุมแบบ I (Integral Gain) เท่ากับ 10000 (ข) กราฟการปรับค่าอัตราขยายของตัวควบคุมแบบ I (Integral Gain) เท่ากับ 10000 โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response)

จากการปรับค่าอัตราขยายของตัวควบคุมแบบ I (Integral Gain) เท่ากับ 10000 ทำให้ได้เวลาการตอบสนองของระบบตามที่ต้องการ จากนั้นหากจำเป็น เพิ่มค่า  $K_d$  จนกระทั่งการควบคุมเร็วพอที่ยอมรับได้โดยเทียบกับเมื่อระบบมี Disturbance อ่างอิง

Controller parameters

Proportional (P):	3000
Integral (I):	10000
Derivative (D):	5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้ (ก)



(ข)

รูปที่ 3.20 (ก)ปรับค่าอัตราขยายของตัวควบคุมแบบ D (Derivative Gain) เท่ากับ 5 (ข) กราฟของปรับค่าอัตราขยายของตัวควบคุมแบบ D (Derivative Gain) เท่ากับ 5 โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response)

จากการปรับค่าอัตราขยายของตัวควบคุมแบบ D (Derivative Gain) เท่ากับ 5 ทำให้ได้เอาต์พุตของอินเวอร์เตอร์ตามที่ต้องการ

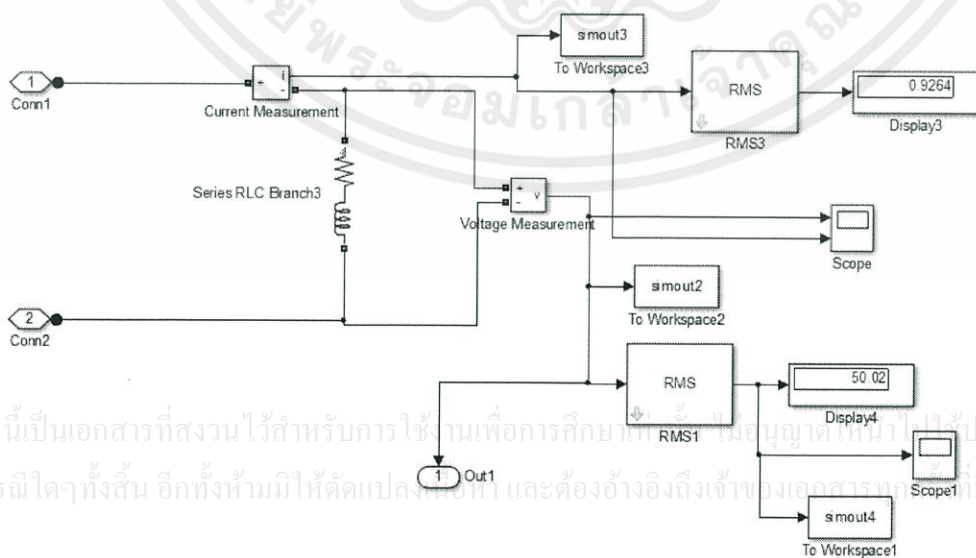
ดังนั้นจะได้

ค่าอัตราขยายของตัวควบคุมแบบ P (Proportional Gain) = 3000

ค่าอัตราขยายของตัวควบคุมแบบ I (Integral Gain) = 10000

ค่าอัตราขยายของตัวควบคุมแบบ D (Derivative Gain) = 5

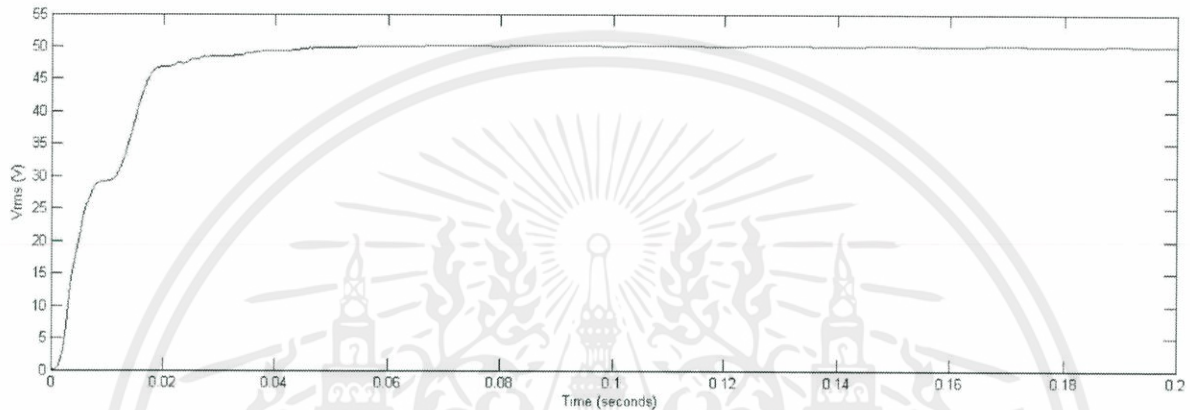
เมื่อโหลดมีการเปลี่ยนแปลง โดยมีค่าความเหนี่ยวนำเพิ่มเข้ามาจะส่งผลกระทบต่อควบคุมแบบ PID จึงต้องทำการปรับค่า PID ใหม่สำหรับโหลดที่มีค่าความเหนี่ยวนำใดๆ จะทำการยกตัวอย่างที่วงจรที่มีโหลดเป็นตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำแสดงดังรูปที่ 3.21 โดยค่าความต้านทาน 44  $\Omega$  ต่ออนุกรมกับค่าความเหนี่ยวนำ 50 mH ทำการปรับค่าPIDใหม่จะได้ผลของกราฟของค่าเฉลี่ยกำลังสองของแรงดันไฟฟ้า ( $V_{rms}$ ) แสดงดังรูปที่ 3.22



รูปที่ 3.21 วงจรของโหลดที่มีการต่อตัวต้านทานอนุกรมกับตัวเหนี่ยวนำ

Controller parameters	
Proportional (P):	5
Integral (I):	10
Derivative (D):	5

(ก)



(ข)

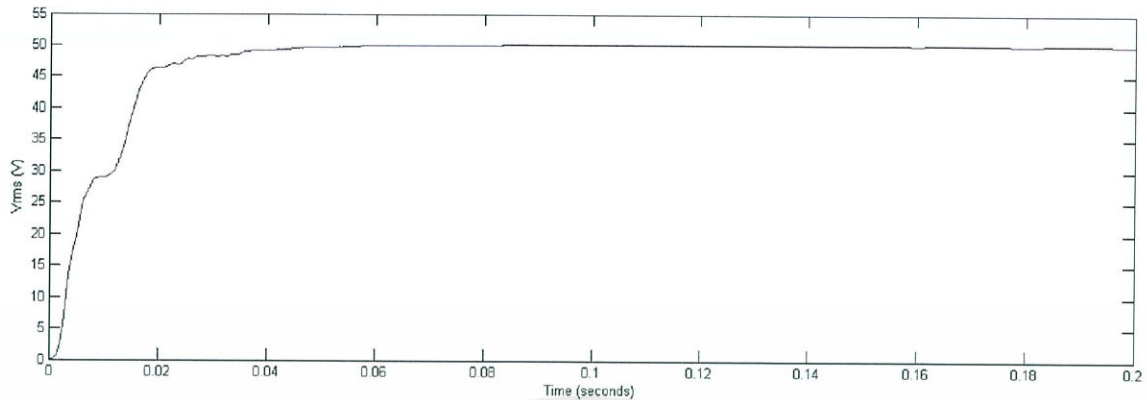
รูปที่ 3.22 (ก) ค่าของ PID สำหรับค่าความต้านทาน 44  $\Omega$  ต่ออนุกรมกับค่าความเหนี่ยวนำ 50 mH  
 (ข) กราฟของการปรับค่าPID โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูป  
 ขึ้น (step response)

และค่าโดยค่าความต้านทาน 44  $\Omega$  ต่ออนุกรมกับค่าความเหนี่ยวนำ 100 mH ทำ  
 การปรับค่าPIDใหม่จะได้ผลของกราฟของค่าเฉลี่ยกำลังสองของแรงดันไฟฟ้า ( $V_{rms}$ ) แสดงดังรูปที่  
 3.23

Controller parameters	
Proportional (P):	1
Integral (I):	1
Derivative (D):	5

(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

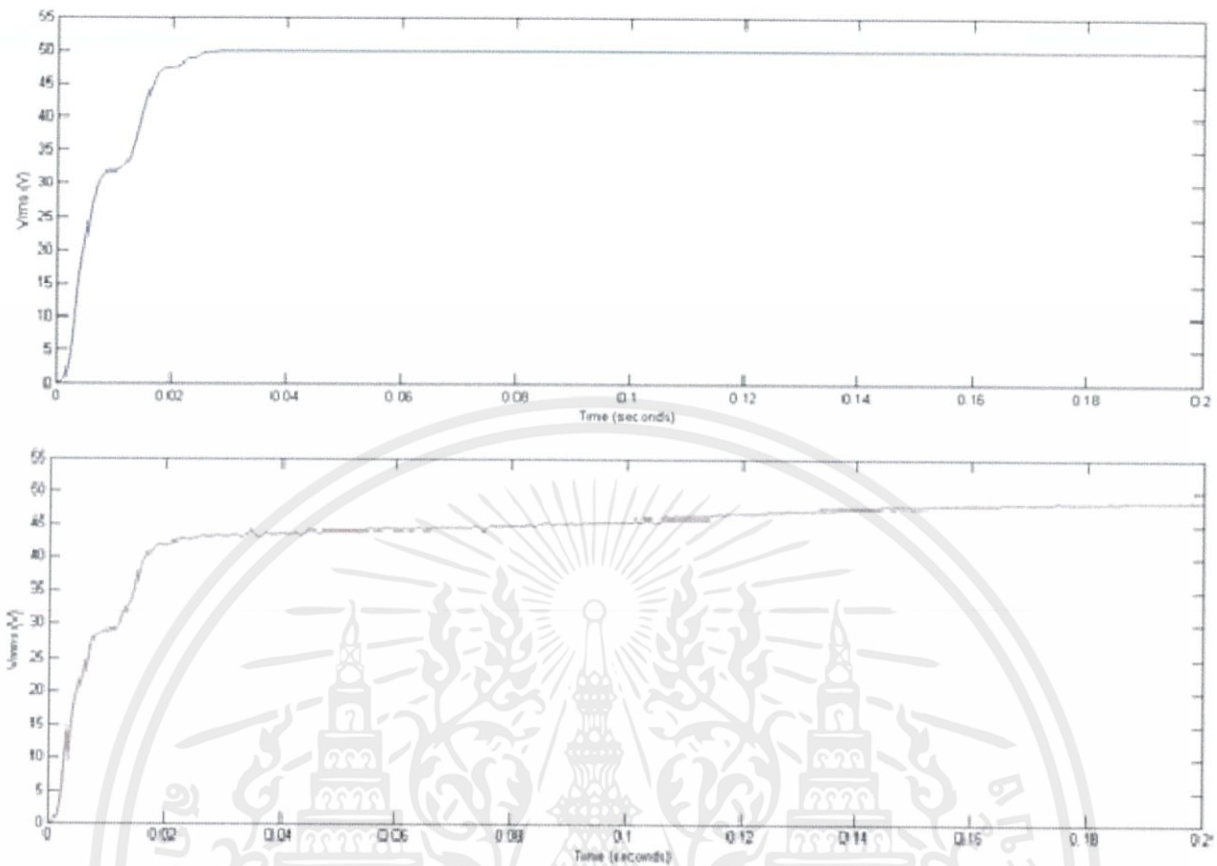


(ข)

รูปที่ 3.23 (ก) ค่าของ PID สำหรับค่าความต้านทาน 44  $\Omega$  ต่ออนุกรมกับค่าความเหนี่ยวนำ 100 mH  
 (ข) กราฟของการปรับค่าPID โดยแสดงเป็นค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูป  
 ขึ้น (step response)

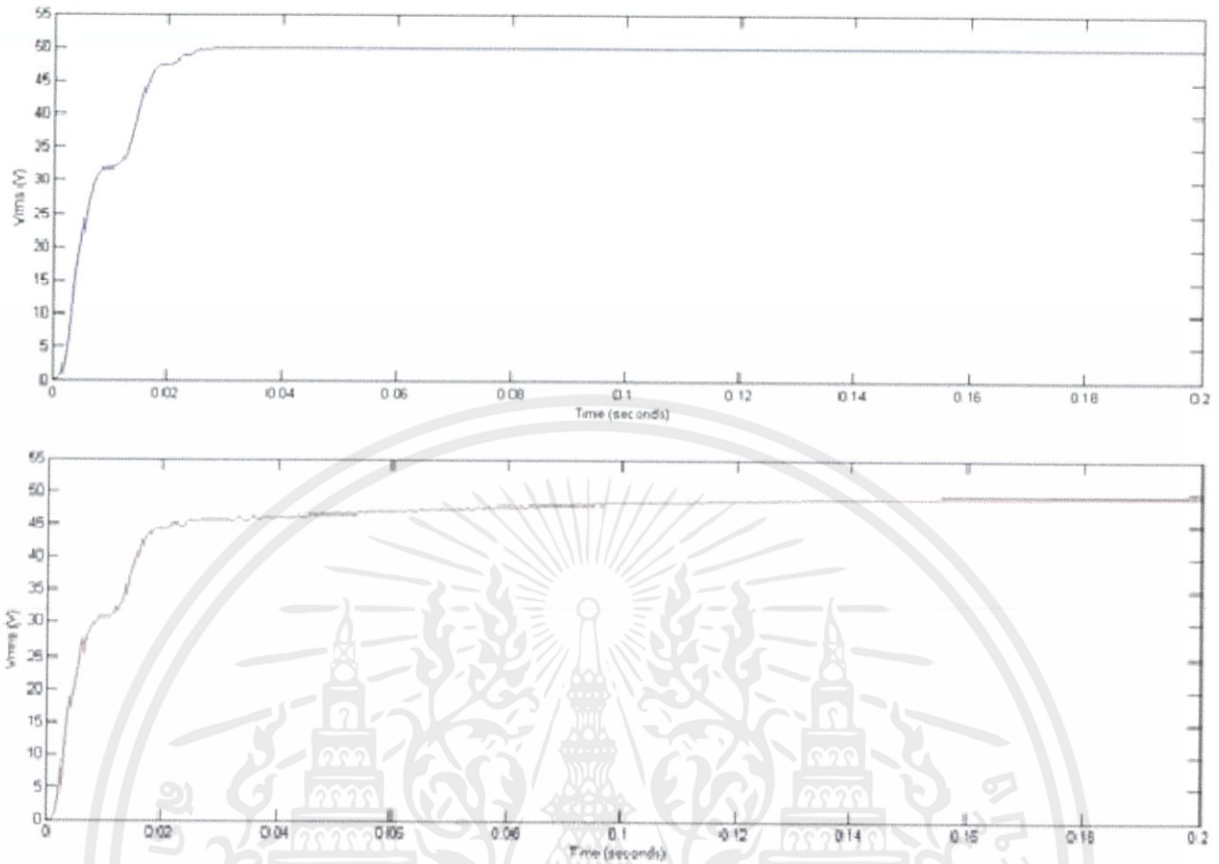
ดังนั้น โหลดมีการเปลี่ยนแปลงโดยมีค่าความเหนี่ยวนำเพิ่มเข้ามา ถ้าใช้ค่าPID ชุด  
 เดิมจะส่งผลกระทบต่อการควบคุม โดยทำให้เวลาเข้าสู่สภาวะคงตัว ( $t_s$ ) มีค่ามากขึ้น จะทำการ  
 เปรียบเทียบกราฟของค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขึ้น (step  
 response) ระหว่างชุดของค่า PID ชุดเดิม (โหลดเป็นตัวต้านทาน) กับชุดของค่า PID ชุดใหม่ (โหลด  
 เป็นตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ) แสดงดังรูปที่ 3.24 และ 3.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 กราฟการเปรียบเทียบกราฟของค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response) ระหว่างโหลดตัวต้านทานขนาด 44  $\Omega$  กับโหลดตัวต้านทานขนาด 44  $\Omega$  ต่ออนุกรมกับตัวเหนี่ยวนำขนาด 50 mH โดยค่า PID ชุดเดิม (โหลดตัวต้านทาน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



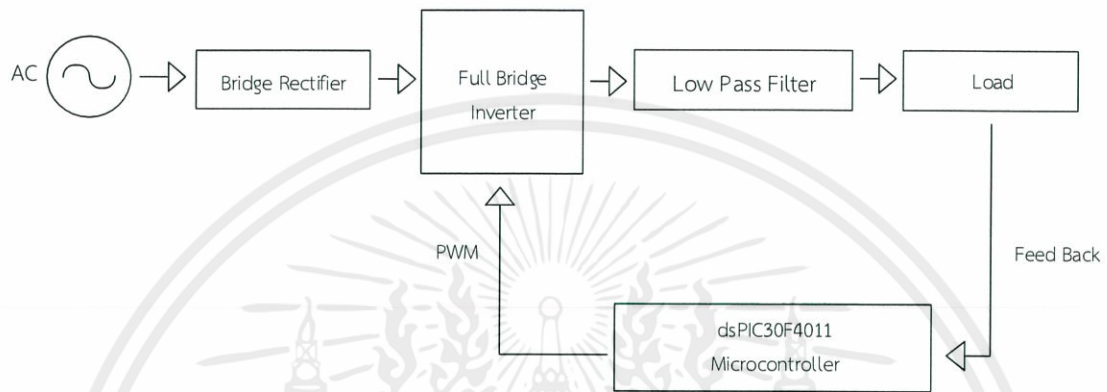
รูปที่ 3.25 กราฟการเปรียบเทียบกราฟของค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response) ระหว่างโหลดตัวต้านทานขนาด 44  $\Omega$  กับโหลดตัวต้านทานขนาด 44  $\Omega$  ต่ออนุกรมกับตัวเหนี่ยวนำขนาด 100 mH โดยค่า PID ชุดเดิม (โหลดตัวต้านทาน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

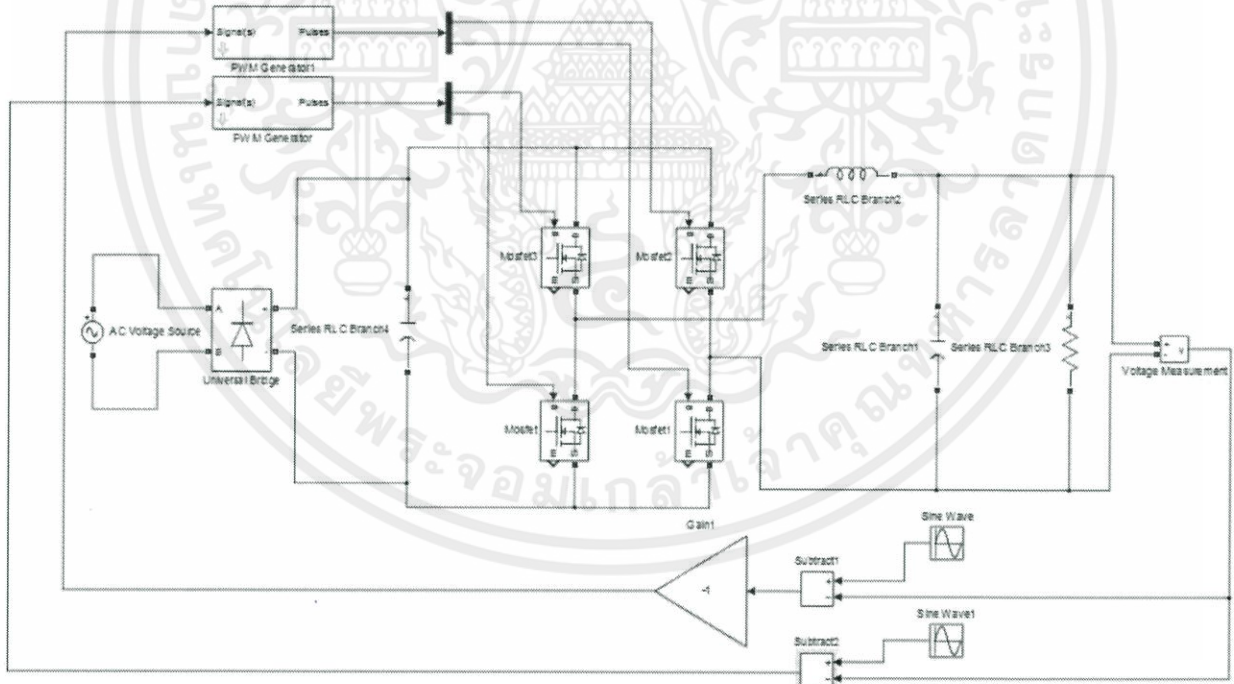
## บทที่ 4

### การออกแบบและสร้างชุดวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์

#### 4.1 โครงสร้างของวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์



รูปที่ 4.1 โครงสร้างของวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์



รูปที่ 4.2 วงจรการทำงานการควบคุมพีไอดีแบบไฮบริดจ์สำหรับอินเวอร์เตอร์ ออกแบบบนโปรแกรม

MATLAB/Simulink

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น จากรูปที่ 4.1 ทำการออกแบบวงจรการทำงานการควบคุมพีไอดีแบบไฮบริดจ์นำไปใช้สำหรับอินเวอร์เตอร์ ตามการออกแบบบนโปรแกรม MATLAB ดังรูปที่ 4.2 ซึ่งมีแหล่งจ่ายไฟฟ้ากระแสสลับ 220 โวลต์ ( $V_{rms}$ ) ผ่านเข้าหม้อแปลงปรับค่าได้เพื่อทำการลดระดับแรงดันลงมาเข้าวงจร

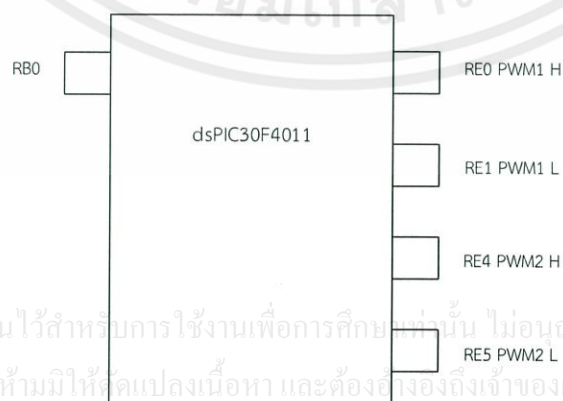
เรียงกระแสแบบเต็มคลื่นเพื่อแปลงผันแรงดันไฟฟ้ากระแสสลับเป็นแรงดันไฟฟ้ากระแสตรงโดยใช้ตัวเก็บประจุเป็นตัวช่วยในการลดกระแสเพื่อมของแรงดันให้ลดน้อยลง ก่อนเข้าสู่วงจรอินเวอร์เตอร์แบบฟูลบริดจ์เพื่อแปลงแรงดันกระแสตรงไปเป็นแรงดันกระแสสลับ ซึ่งใช้ไมโครคอนโทรลเลอร์ในการเปรียบเทียบสัญญาณไซน์กับสัญญาณสามเหลี่ยมเพื่อสร้างสัญญาณพีดับเบิลยูเอ็มความถี่ 25 กิโลเฮิร์ตซ์ (kHz) ออกมาและนำสัญญาณไปขับขาเกตของมอสเฟต ทำให้ได้สัญญาณแรงดันเอาท์พุทเป็นแบบยูนิโพลาร์ก่อนนำไปเข้าวงจรกรองความถี่ต่ำผ่านเพื่อกรองความถี่สูงออกได้สัญญาณไซน์ความถี่ 50 กิโลเฮิร์ตซ์ (kHz) ก่อนจ่ายเข้าโหลด ส่งค่าสัญญาณแรงดันตกคร่อมโหลดโดยผ่านวงจรถดและยกระดับแรงดันเข้าไมโครคอนโทรลเลอร์เพื่อประมวลผลผ่านทางตัวแปลงอนาล็อกเป็นดิจิตอลโดยสัญญาณที่ได้จะถูกนำมาประมวลผลแบบ PID เปรียบเทียบกับสัญญาณไซน์อ้างอิงขนาด 50 โวลต์ ( $V_{rms}$ ) เพื่อนำมาควบคุมการสร้างสัญญาณพีดับเบิลยูเอ็ม ซึ่งมีวงจรดังต่อไปนี้

#### 4.1.1 วงจรควบคุมไมโครคอนโทรลเลอร์ (Microcontroller)

การควบคุมไมโครคอนโทรลเลอร์สามารถเขียนโปรแกรมควบคุมได้หลายภาษา ได้แก่ แอสเซมบลี เบสิก ซี และ พาสคาล แต่เนื่องจากไมโครคอนโทรลเลอร์มีด้วยกันหลายประเภทหรือตระกูลแบ่งตามสถาปัตยกรรม (การผลิตและกระบวนการทำงานระบบการประมวลผล) บางประเภทสามารถเขียนได้ทุกภาษา แต่บางประเภทก็ใช้ได้บางภาษาทั้งนี้ขึ้นอยู่กับบริษัทผู้ผลิตซอฟต์แวร์ที่ใช้ในการเขียนโปรแกรม รวมถึงผู้ผลิตไมโครคอนโทรลเลอร์ด้วย สำหรับในปริญญาโทฉบับนี้เลือกไมโครคอนโทรลเลอร์ด้วยตระกูล dsPIC30F4011 ในการทำการจำลอง

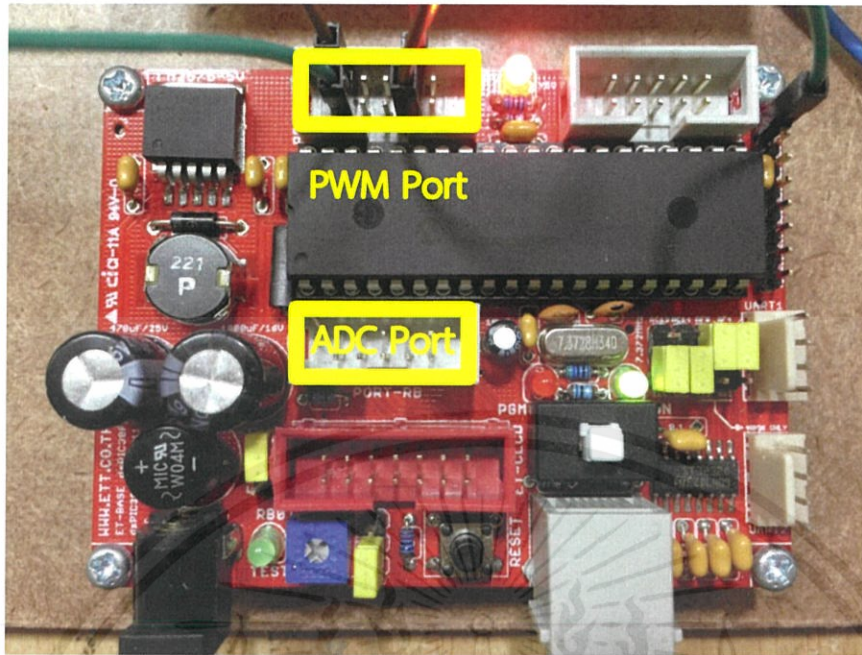
dsPIC30F4011 เป็นตัวประมวลผลดิจิตอลขนาด 16 บิต ของบริษัท ไมโครชิพ จำกัด โดยใช้เป็นชุดควบคุมดิจิตอลของโครงการนี้ โดยใช้ฟังก์ชันของ dsPIC30F4011 ในการสร้างสัญญาณพีดับเบิลยูเอ็ม(PWM)เพื่อไปสั่งวงจรรอบได้อิเล็กทรอนิกส์เพื่อใช้ขับขาเกตของมอสเฟตและเป็นตัวประมวลผลกริยาควบคุม PID โดยรับสัญญาณป้อนกลับจากตัวแปลงอนาล็อกเป็นดิจิตอล (ADC)

จากรูปที่ แสดงการทำงานของ dsPIC30F4011 ที่ใช้ในโครงการนี้ ซึ่ง dsPIC30F4011 นี้รับทั้งหมด 1สัญญาณ ได้แก่ สัญญาณแรงดันป้อนกลับจากอินเวอร์เตอร์ ทางช่อง AN0 โดย dsPIC30F4011 ทำการอ่านค่าของสัญญาณรับเข้าของตัวแปลงอนาล็อก โดยรับแรงดันเอาท์พุทจากวงจรรวมอินเวอร์เตอร์มาประมวลผลผ่านกริยาควบคุมPID



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

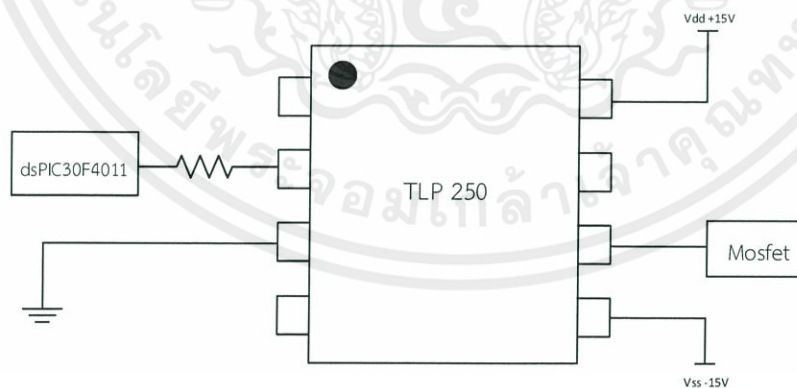


(ข)

รูปที่ 4.3 วงจรควบคุมไมโครคอนโทรลเลอร์ (ก) แผ่นผังวงจร (ข) วงจรที่ใช้ทดลอง

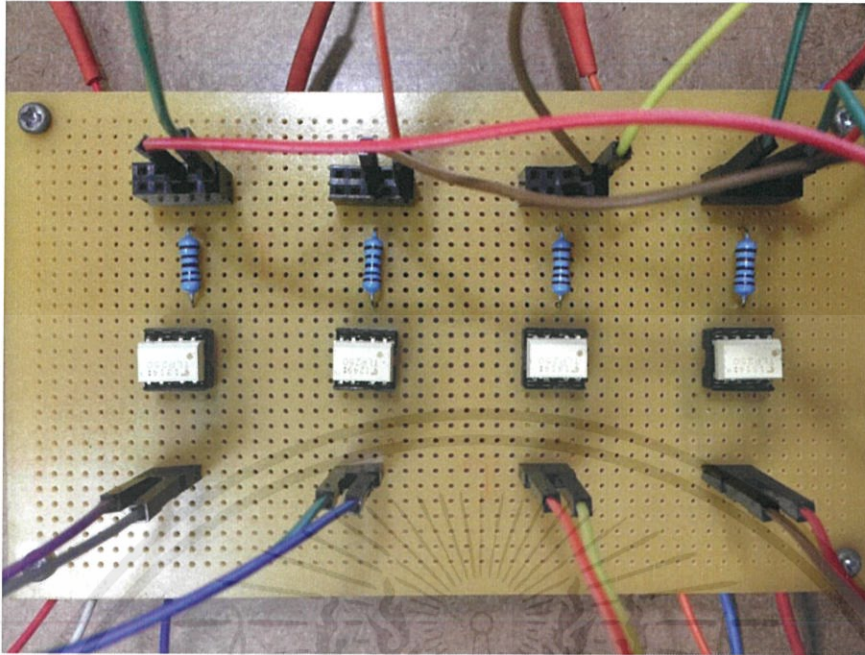
#### 4.1.2 วงจรออปโตอิเล็กทรอนิกส์ (Optoelectronic Couplers)

ตัวออปโตอิเล็กทรอนิกส์เป็นอุปกรณ์ที่เชื่อมต่อทางแสง (Opto-Isolator) หรือที่เรียกว่าออปโตคัปเลอร์ (Opto-Coupler) เป็นอุปกรณ์อิเล็กทรอนิกส์ที่ใช้ในการเชื่อมต่อทางแสง โดยใช้หลักการเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง และเปลี่ยนกลับจากแสงเป็นไฟฟ้าตามเดิม ดังนั้นจึงใช้สัญญาณพัลส์เบรียเอ็ม (PWM) ไปสั่งวงจรออปโตอิเล็กทรอนิกส์เพื่อให้สร้างสัญญาณได้ ชับขาเกตของมอสเฟต



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

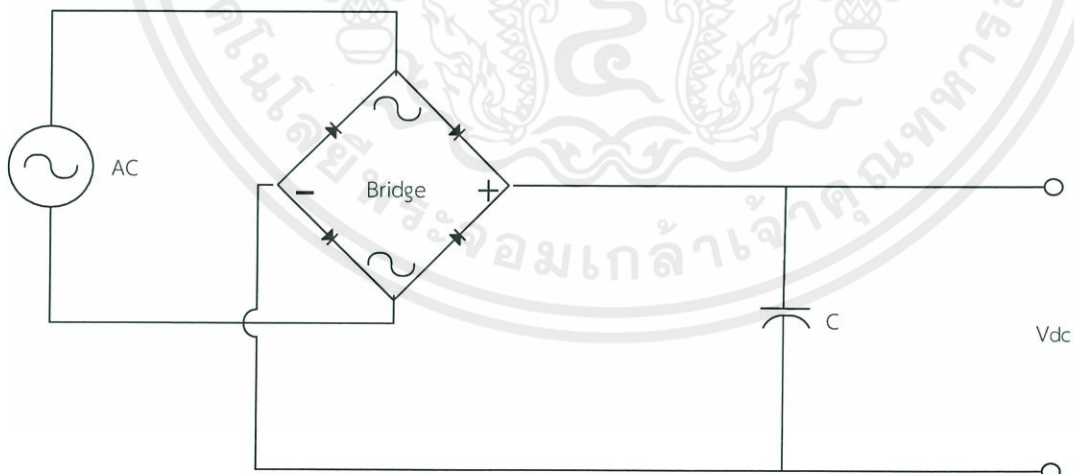


(ข)

รูปที่ 4.4 วงจรออปโตอิเล็กทรอนิกส์ (ก) แผ่นผังวงจร (ข) วงจรที่ใช้ทดลอง

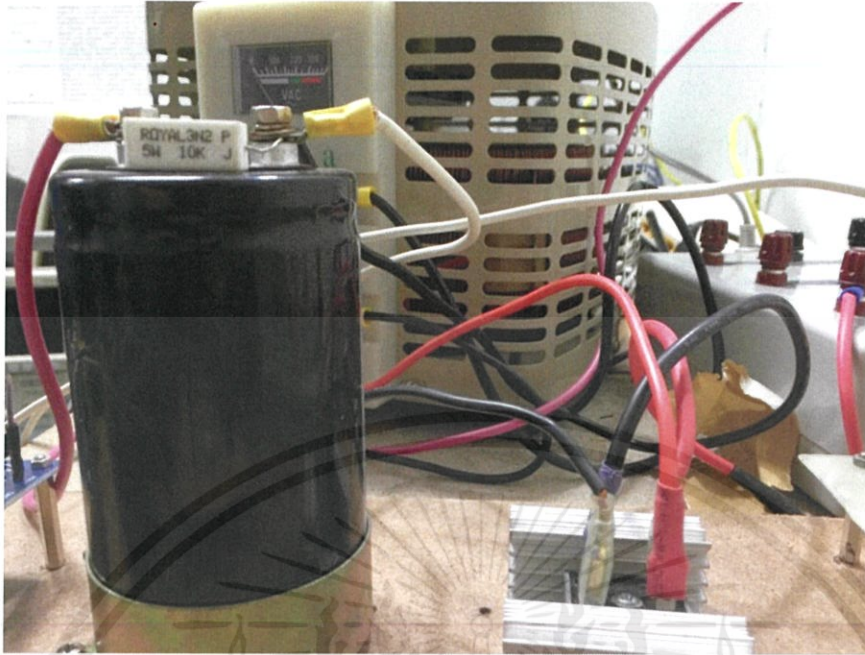
#### 4.1.3 วงจรเรียงกระแส (Bridge Rectifier)

วงจรที่ประกอบด้วย เร็กตีไฟเออร์เต็มคลื่น (Full Wave Rectifier) ต่อกับตัวเก็บประจุ (Capacitor) เป็นวงจรที่ทำให้แหล่งจ่ายกำลังไฟฟ้ากระแสสลับเปลี่ยนเป็นแหล่งจ่ายกำลังไฟฟ้ากระแสตรง โดยแรงดันไฟฟ้ากระแสตรงด้านขาออกของวงจรมีการกรองให้เป็นไฟฟ้ากระแสตรงที่มีการกระเพื่อมน้อยลง



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

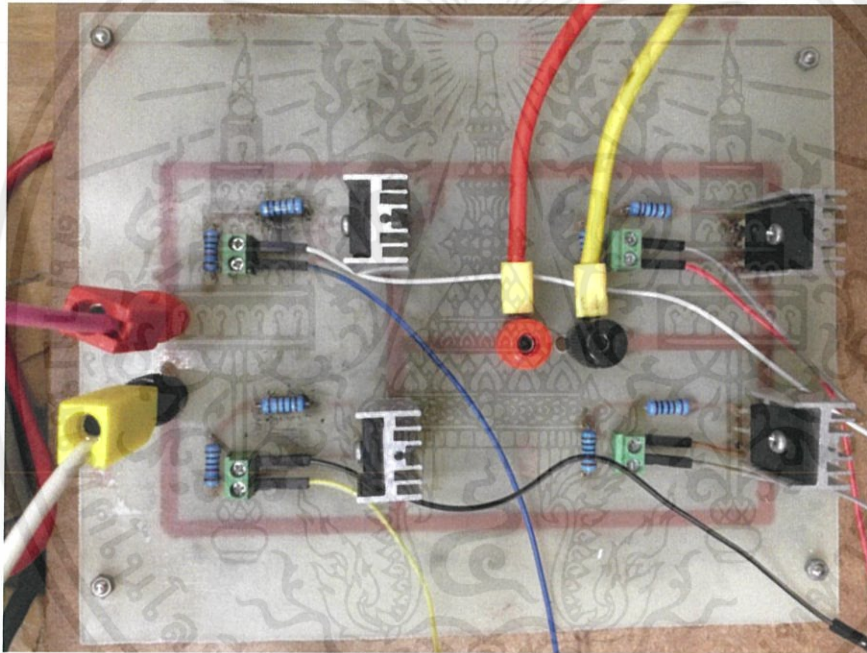
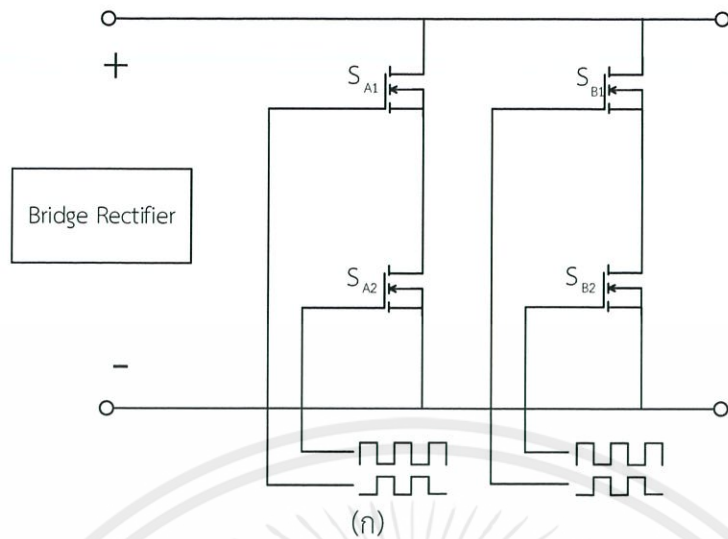
รูปที่ 4.5 วงจรเรียงกระแส (ก) แผนผังวงจร (ข) วงจรที่ใช้ทดลอง

#### 4.1.4 วงจรอินเวอร์เตอร์แบบฟูลบริดจ์ (Full-Bridge Inverter)

ในวงจรแปลงผันไฟตรง-ไฟสลับแบบฟูลบริดจ์เฟสเดียวจะประกอบไปด้วยสองกึ่ง ใช้การสวิตชิงแรงดันไฟฟ้าแบบยูนิโพลาร์ โดยการสวิตชิงในสองกึ่ง จะแยกสัญญาณควบคุมออกจากกัน คือกึ่งที่ A จะควบคุมสัญญาณ  $V_{control}$  เทียบกับสัญญาณรูปสามเหลี่ยม ( $V_{tri}$ ) ขณะที่สวิตชิงในกึ่ง B จะควบคุมสัญญาณ  $-V_{control}$  เทียบกับสัญญาณรูปสามเหลี่ยม ( $V_{tri}$ ) แรงดันด้านออกที่ได้มีการเปลี่ยนแปลงระหว่างแรงดันไฟฟ้าค่าบวกไปยังศูนย์และศูนย์ไปยังบวกในครึ่งคาบ ส่วนอีกครึ่งคาบจะมีแรงดันไฟฟ้าด้านออกเปลี่ยนแปลงระหว่างแรงดันไฟฟ้าค่าลบไปยังศูนย์และจากศูนย์ไปยังลบ โดยในปริญญานิพนธ์นี้ได้เลือกใช้วงจรแปลงผันไฟตรง-ไฟสลับแบบฟูลบริดจ์ เนื่องจากจะมีกำลังไฟฟ้าสูงกว่าวงจรแปลงผันไฟตรง-ไฟสลับแบบฮาล์ฟบริดจ์ สองเท่า จึงเหมาะสมที่จะจ่ายกำลังไฟฟ้าโหลดสูง และยังมีประสิทธิภาพที่สูงกว่าทำให้กรองความถี่ทำได้ง่ายขึ้น

วงจรอินเวอร์เตอร์แบบฟูลบริดจ์จะประกอบด้วยมอสเฟตทั้งหมด 4 ตัวซึ่งต่ออยู่ระหว่างแหล่งจ่ายไฟฟ้ากระแสตรงที่ได้จากวงจรเรียงกระแส (Bridge Rectifier) มอสเฟตจะถูกควบคุมเป็นคู่ โดย  $S_1$  ทำงานพร้อมกับ  $S_4$  และ  $S_2$  ทำงานพร้อมกับ  $S_3$  จะเปิด-ปิดสลับกันเป็นจังหวะเพื่อสร้างไฟฟ้ากระแสสลับจ่ายด้านขาออก และความถี่ของไฟสลับจะถูกควบคุมจากความถี่สวิตช์

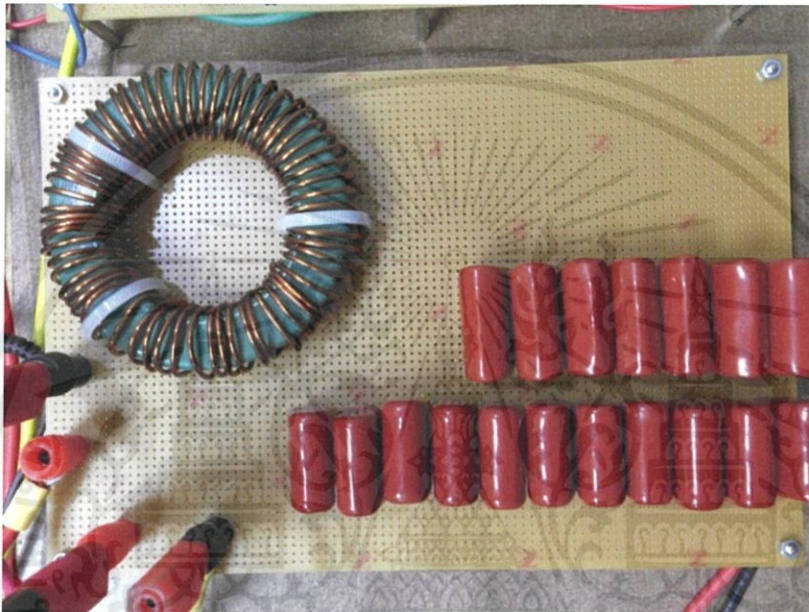
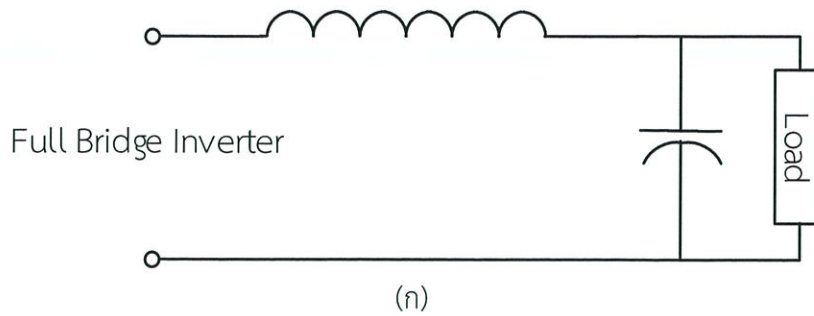
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 วงจรอินเวอร์เตอร์แบบฟูลบริดจ์ (ก) แผนผังวงจร (ข) วงจรที่ใช้ทดลอง

#### 4.1.5 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วงจรกรองความถี่ต่ำผ่าน มีลักษณะการต่อของวงจรคือ ใช้ ตัวเหนี่ยวนำ(L)อนุกรมกับวงจร และขนานกับตัวเก็บประจุ (C) คุณสมบัติของวงจรคือเมื่อป้อนความถี่ต่ำเข้าวงจร ตัวเหนี่ยวนำ (L) ทำให้มีค่ารีแอกแตนซ์ ( $X_L$ ) ต่ำ ตัวเก็บประจุ (C) ทำให้มีค่าอิมพีแดนซ์สูง ( $X_C$ ) ทำให้ความถี่ต่ำผ่านตัวเหนี่ยวนำได้สะดวก ระดับสัญญาณเอาต์พุตจึงผ่านได้มาก แต่เมื่อความถี่สูงกว่าจุดที่กำหนดค่ารีแอกแตนซ์จะมีค่ามากขึ้นและค่าอิมพีแดนซ์จะต่ำลง ทำให้ความถี่ผ่านขดลวดได้ลดลง บางส่วนที่ผ่านไปได้ก็จะถูกตัวเก็บประจุดึงลงกราวด์ ระดับสัญญาณเอาต์พุตจึงผ่านได้น้อยมาก



รูปที่ 4.7 วงจรรองความถี่ต่ำผ่าน (ก) แผ่นผังวงจร (ข) วงจรที่ใช้ทดลอง

การออกแบบวงจรควบคุมการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์

#### 4.1.6 วงจรป้องกันแรงดัน

เนื่องจากวงจรอินเวอร์เตอร์ทำการควบคุมแบบป้องกัน จึงมีการสร้างวงจรป้องกันแรงดันสำหรับนำแรงดันเอาต์พุตของอินเวอร์เตอร์มาเปรียบเทียบกับแรงดันอ้างอิง โดยเปรียบเทียบในวงจรควบคุมไมโครคอนโทรลเลอร์ (Microcontroller) ซึ่งใช้ dsPIC30f4011 ซึ่งในวงจรควบคุมสามารถรับแรงดันไฟฟ้าที่อยู่ในช่วง 0-5 โวลต์ ( $V_{dc}$ ) เนื่องจากแรงดันเอาต์พุตของอินเวอร์เตอร์เป็นแรงดันไฟฟ้ากระแสสลับขนาด 50 โวลต์ ( $V_{rms}$ ) จึงต้องสร้างวงจรป้องกันแรงดันขึ้นแสดงดังรูปที่ 1 ซึ่งประกอบด้วยวงจรดังนี้

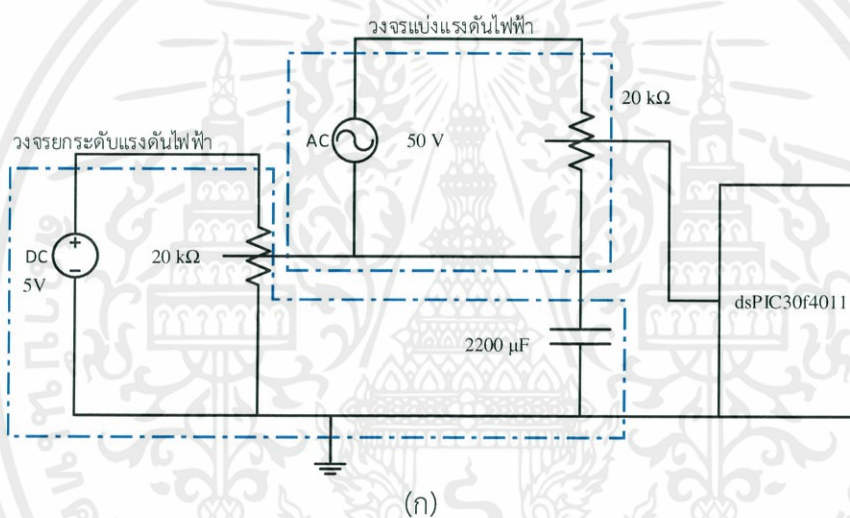
#### 4.1.7 วงจรแบ่งแรงดันไฟฟ้า (Voltage Divider Circuit)

วงจรแบ่งแรงดันไฟฟ้าใช้หลักการของวงจรไฟฟ้าแบบอนุกรม (Series Circuit) เนื่องจากวงจรอนุกรมมีแรงดันตกคร่อมตัวต้านทานหรือโหลดไม่ เท่ากัน แต่เมื่อนำแรงดันที่ตกคร่อม โหลดทุกตัวในวงจรมารวมกันแล้วจะมีค่าเท่ากับแรงดันที่จ่ายให้แก่วงจร จากหลักการนี้ แรงดันเอาต์พุตของอินเวอร์เตอร์เป็นแรงดันไฟฟ้ากระแสสลับขนาด 50 โวลต์ ( $V_{rms}$ ) แต่แรงดันดังกล่าวมีค่า

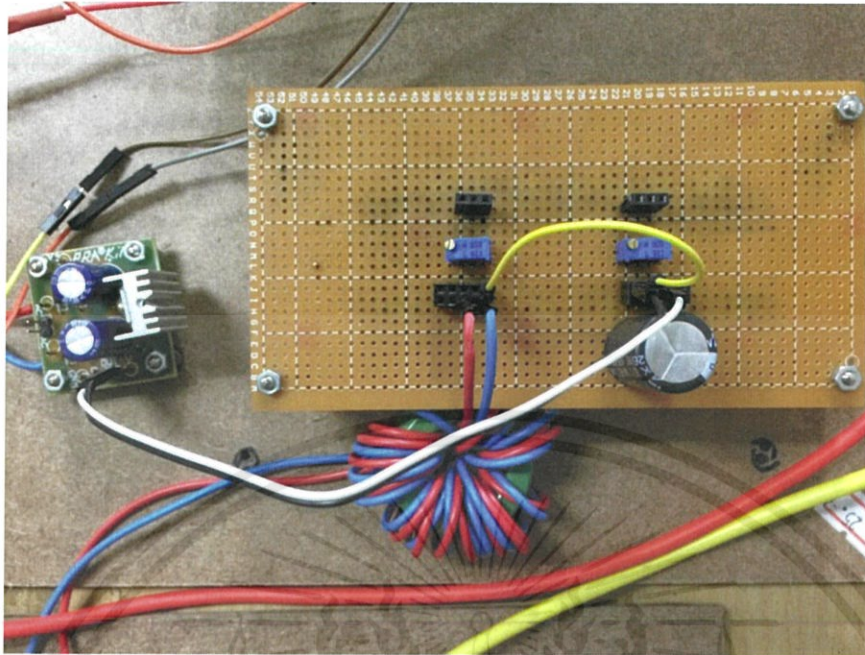
มากเกินไปซึ่งไม่ต้องการ ต้องการเพียงแค่แรงดันที่อยู่ในช่วง 0-5 โวลต์ จึงสามารถใช้ตัวต้านทานปรับค่าได้ขนาด 20 กิโลโอห์ม ( $k\Omega$ ) มาแบ่งแรงดันจาก 50 โวลต์ ( $V_{rms}$ ) ให้เหลือเพียง 0.707 โวลต์ ( $V_{rms}$ ) หรือ 2 โวลต์ ( $V_{p-p}$ ) แล้วนำแรงดันส่วนนี้ไปต่อกับวงจรยกระดับแรงดัน

#### 4.1.8 วงจรยกระดับแรงดัน (offset voltage adjustment Circuit)

วงจรยกระดับแรงดันไฟฟ้าใช้หลักการของแหล่งจ่ายแรงดันไฟฟ้ากระแสตรงช่วยยกระดับแรงดันไฟฟ้ากระแสสลับที่ได้จากวงจรแบ่งแรงดันไฟฟ้าให้อยู่ในช่วง 0-5 โวลต์ โดยใช้แหล่งจ่ายแรงดันไฟฟ้ากระแสตรงขนาด 5 โวลต์มาแบ่งแรงดันให้เหลือ 2 โวลต์โดยใช้ตัวต้านทานปรับค่าได้ และมีตัวเก็บประจุขนาด 2200  $\mu F$  เพื่อรักษาระดับแรงดัน นำแรงดันที่ได้ไปต่ออนุกรมกับแรงดันที่ได้จากวงจรแบ่งแรงดันไฟฟ้า จะทำให้ได้แรงดันไฟฟ้าที่มีค่าอยู่ในช่วง 1-3 โวลต์ ซึ่งเป็นแรงดันไฟฟ้าที่วงจรควบคุมไมโครคอนโทรลเลอร์(Microcontroller)สามารถรับได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

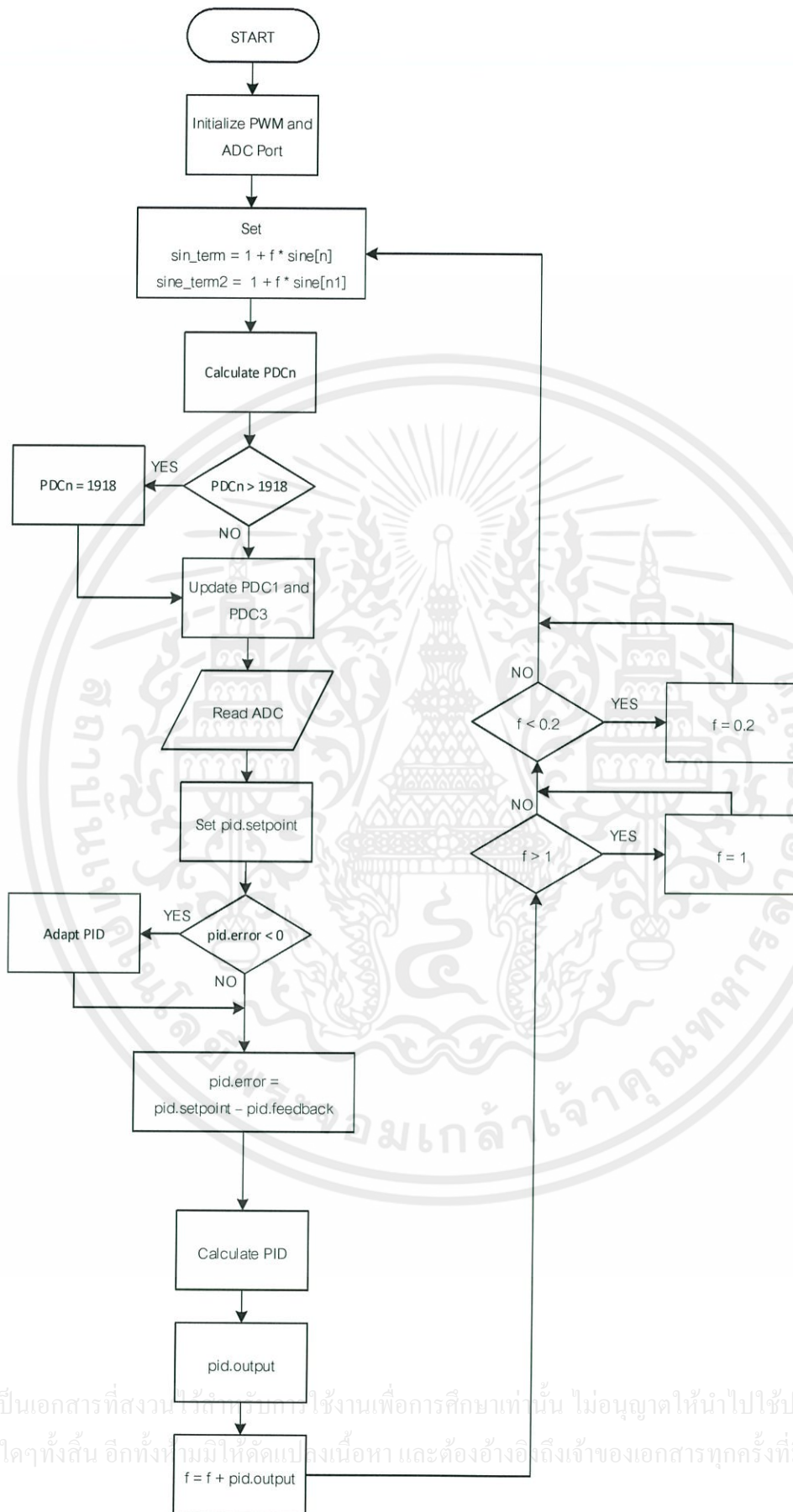
รูปที่ 4.8 วงจรป้อนกลับแรงดัน (ก) แผ่นผังวงจร (ข) วงจรที่ใช้ทดลอง

## 4.2 การออกแบบวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์

### 4.2.1 หลักการพื้นฐานของการมอดูเลชั่น

การศึกษาหลักการพื้นฐานที่สำคัญสำหรับการสร้างสัญญาณพัลส์เบิรดูเอม (PWM) จำเป็นต้องอาศัยหลักการและความเข้าใจเกี่ยวกับวิธีการสร้างสัญญาณพัลส์เบิรดูเอม (PWM) โดยการนำสัญญาณ 2 สัญญาณเข้ามาเปรียบเทียบกัน ซึ่งมีหลากหลายวิธี สำหรับในปริญญาโทนี้ใช้วิธีการมอดูเลชั่นความกว้างของพัลส์ โดยการนำสัญญาณสามเหลี่ยมและสัญญาณไซน์มาทำการเปรียบเทียบกันเพื่อสร้างสัญญาณพัลส์เบิรดูเอม (PWM) เพื่อนำสัญญาณไปขับขามอสเฟตในวงจรอินเวอร์เตอร์แบบฟูลบริดจ์ (Full-Bridge Inverter) ดังผังงานรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ผังงานการทำงานของไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### ผลการทดลอง

#### 5.1 บทนำ

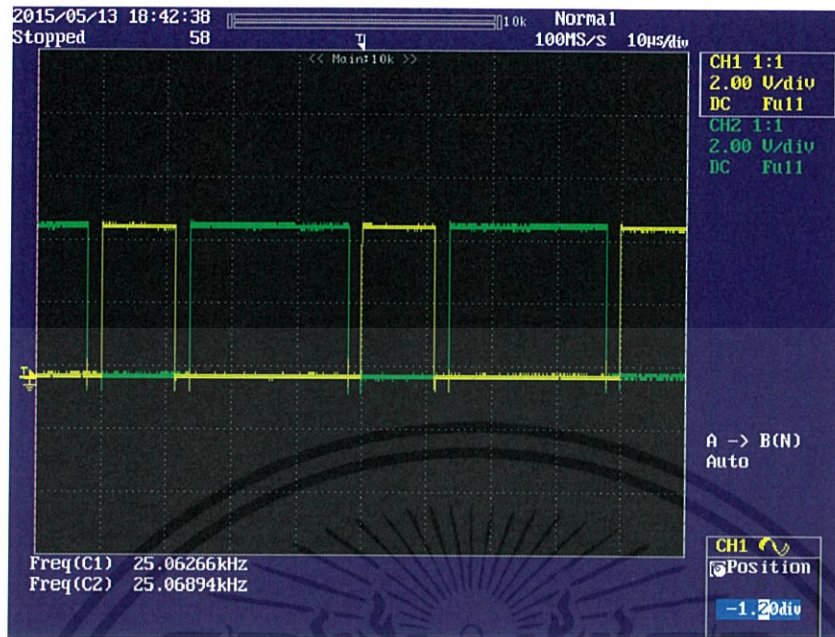
ในบทนี้เป็นการทดลองเพื่อทำการทดสอบวงจรมอเตอร์ที่ใช้การควบคุมแบบ Hybrid PID ที่ได้ทำการสร้างขึ้นเพื่อศึกษาโดยทดสอบเพื่อที่จะศึกษาผลของการใช้ตัวควบคุมแบบ PID และการควบคุมแบบ Hybrid PID สำหรับการควบคุมวงจรมอเตอร์ โดยทำการเปรียบเทียบตัวควบคุมแบบ PID และตัวควบคุมแบบ Hybrid PID เพื่อที่จะศึกษาผลของเปอร์เซ็นต์การพุ่งเกิน ( $M_p$ ) เวลาเข้าสู่สภาวะคงตัว ( $t_s$ ) และค่าผิดพลาดในสภาวะคงตัว ( $e_{ss}$ ) โดยทำการเปรียบเทียบทั้งสองการควบคุม โดยทำการทดสอบดังนี้

#### 5.2 สัญญาณพื้ดับเบิลยูเอ็ม (PWM) ที่ได้จากวงจรมอเตอร์ไมโครคอนโทรลเลอร์ (Microcontroller)

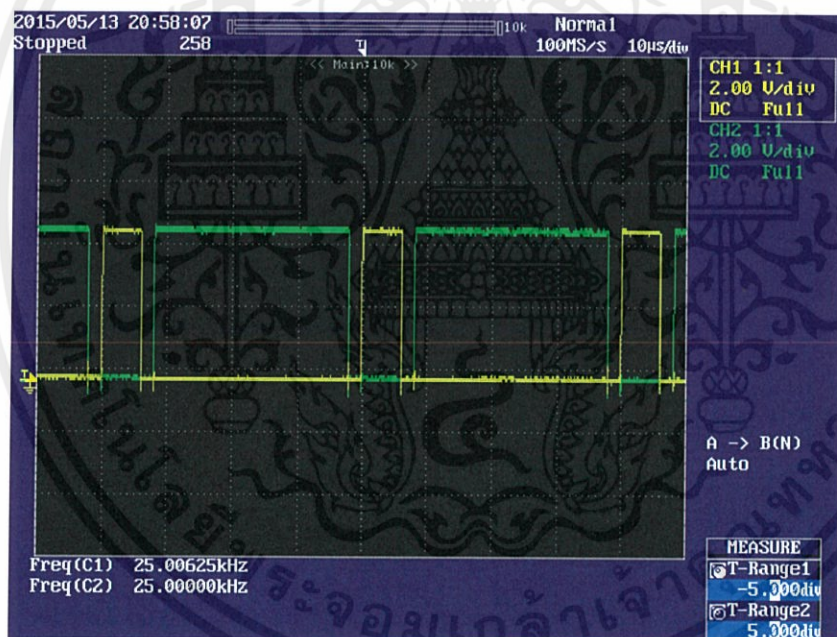
ในวงจรมอเตอร์ ต้องการจะสร้างแรงดันไฟฟ้าด้านออกเป็นรูปไซน์ที่สามารถปรับขนาดและความถี่ตามต้องการได้ โดยจะใช้สัญญาณควบคุมรูปไซน์ (sinusoidal control signal) ตามความถี่ที่ต้องการนำมาเปรียบเทียบกับรูปคลื่นสามเหลี่ยม (triangular waveform) โดยความถี่ของรูปคลื่นสามเหลี่ยมคือความถี่สวิตชิง

โดยในวงจรมอเตอร์จะสร้างสัญญาณพื้ดับเบิลยูเอ็ม (PWM) จากวงจรมอเตอร์ไมโครคอนโทรลเลอร์ (Microcontroller) ที่ใช้ dsPIC30f4011 ใช้การมอดูเลตด้วยสัญญาณรูปคลื่นไซน์ (sinusoidal signal) กับรูปคลื่นสามเหลี่ยม (triangular waveform) โดยทำการตั้งค่าความถี่สวิตชิง ( $f_s$ ) เท่ากับ 25 กิโลเฮิร์ตซ์ (kHz) โดยการสวิตชิงแรงดันไฟฟ้าแบบยูนิโพลาร์แบบปรับเฟส (Shift Phase) โดยมีสัญญาณพื้ดับเบิลยูเอ็มที่ออกจาก dsPIC30f4011 ทั้งหมด 4 ขา โดยสองขาแรกเกิดจากการมอดูเลตด้วยสัญญาณรูปคลื่นไซน์แบบธรรมดา กับรูปคลื่นสามเหลี่ยมและอีกสองขาเกิดจากการมอดูเลตด้วยสัญญาณรูปคลื่นไซน์ที่ปรับเฟสไป 180 องศา กับรูปคลื่นสามเหลี่ยม โดยมีจุดเด่นของการสวิตชิงแบบยูนิโพลาร์ คือ การเกิดความถี่ด้านออกจะมีความถี่เป็นสองเท่าของแต่ละเฟส เช่น ความถี่สวิตชิงอุปกรณ์เป็น 10 กิโลเฮิร์ตซ์ (kHz) หากการทำงานแบบยูนิโพลาร์ ค่าแรงดันออกจะประกอบไปด้วยสัญญาณพื้ดับเบิลยูเอ็ม ที่มีความถี่หลักมูลและความถี่ฮาร์โมนิกที่ 2 เท่าของแบบไบโพลาร์ ที่ 20 กิโลเฮิร์ตซ์ (kHz) โดยเกิดความถี่ขึ้นรอบข้าง ผลของความถี่ที่ไหลดเพิ่มขึ้นเป็นสองเท่า ทำให้การออกแบบวงจรมอเตอร์ความถี่ เล็ก ง่ายและประหยัด โดยมีสัญญาณพื้ดับเบิลยูเอ็ม (PWM) ที่ใช้ในการควบคุมวงจรมอเตอร์เป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

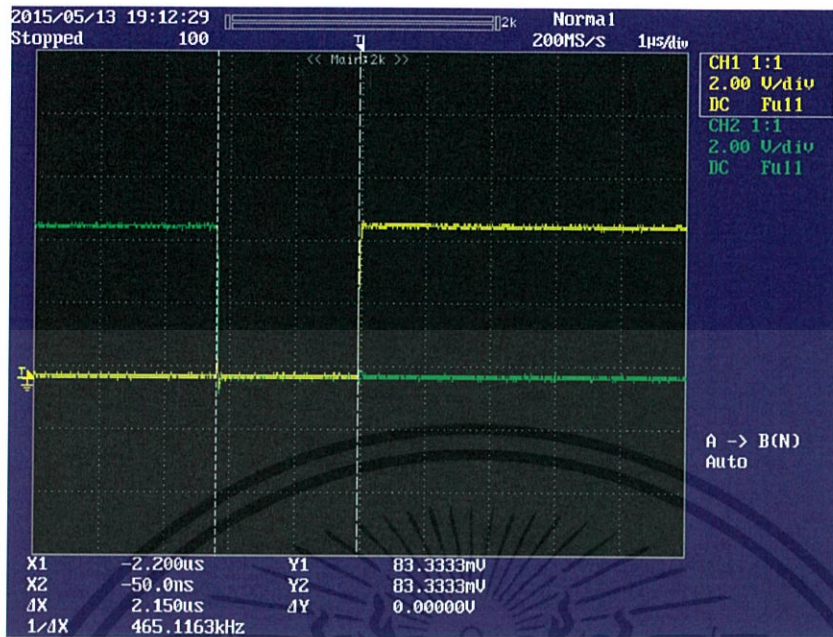


(ก)



(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

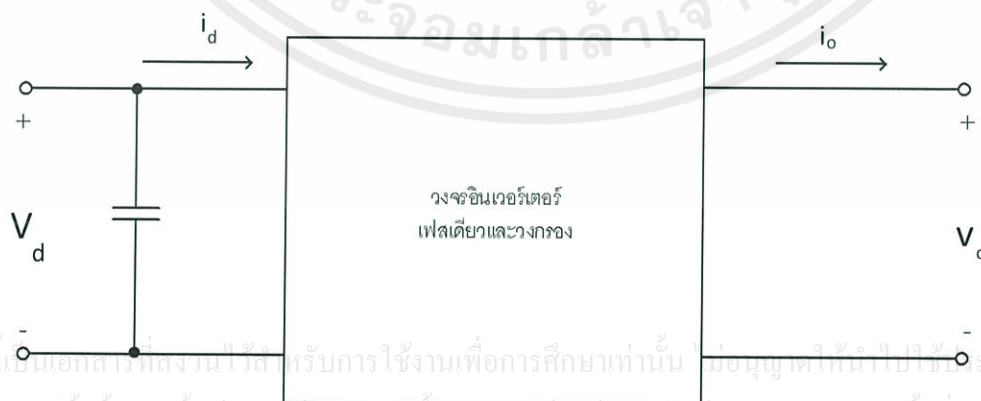


(ค)

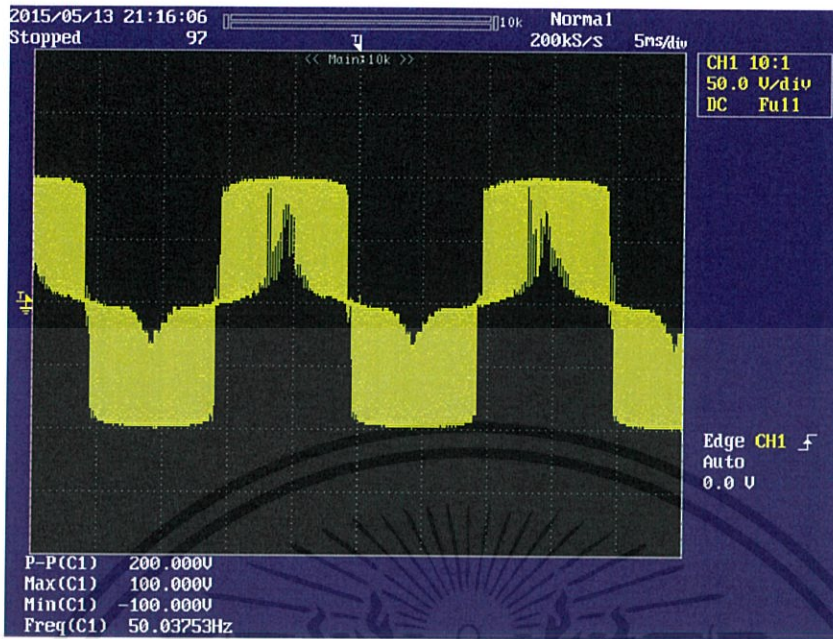
รูปที่ 5.1 สัญญาณพีดับเบิลยูเอ็ม (PWM) ที่ใช้ในการควบคุมวงจรถอนเวอร์เตอร์ (ก) การมอดูเลตโดยใช้สัญญาณไซน์แบบธรรมดา (ข) การมอดูเลตโดยใช้สัญญาณไซน์แบบปรับเฟสไป 180 องศา (ค) เดดไทม์ของสัญญาณพีดับเบิลยูเอ็ม (PWM) ซึ่งมีค่าเดดไทม์เท่ากับ 2.15  $\mu$ s

### 5.3 ผลการทดลองจากวงจรถอนเวอร์เตอร์

แนวคิดพื้นฐานของวงจรถอนเวอร์เตอร์เป็นการแปลงผันกำลังไฟฟ้าจากแรงดันไฟฟ้ากระแสตรงเป็นไฟฟ้ากระแสสลับในรูปที่ 5.2 สมมติว่าแรงดันไฟฟ้าด้านออก ( $v_o$ ) และกระแสไฟฟ้าด้านออก ( $i_o$ ) ผ่านวงจรถองความถี่สูงออกไปเหลือเฉพาะความถี่ต่ำ ดังนั้นแรงดันและกระแสไฟฟ้าที่ได้จะเป็นรูปไซน์ โหลดจะเป็นค่าความต้านทานและความเหนี่ยวนำ ดังนั้นกระแสไฟฟ้าจะล้าหลังแรงดันไฟฟ้า กำลังไฟฟ้าด้านออก ( $p_o$ ) จะพิจารณาเป็นผลคูณของแรงดันและกระแสไฟฟ้าด้านออก โดยวงจรถองจะทำการสวิตช์ซึ่งแบบยูนิโพลาร์แบบปรับเฟส (Shift Phase) โดยทำการปรับเฟสไป 180 องศา แสดงดังรูปที่ 5.3

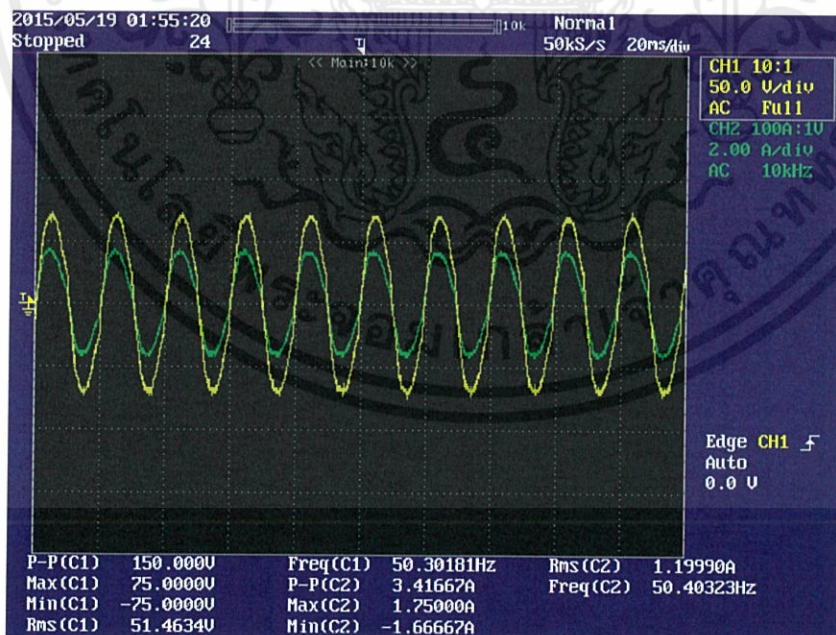


รูปที่ 5.2 แรงดันไฟฟ้าและกระแสด้านเข้าและด้านออกของวงจรถอนเวอร์เตอร์เฟสเดียว

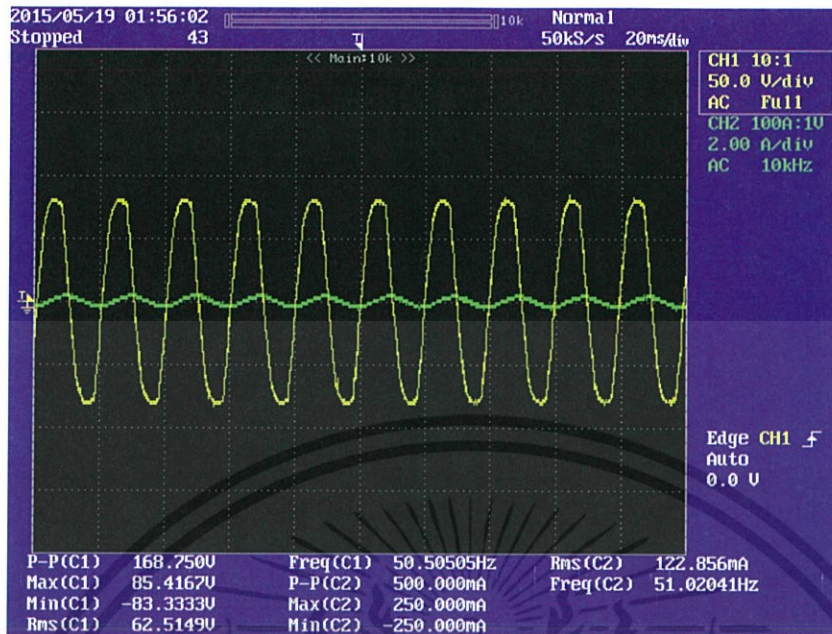


รูปที่ 5.3 การสวิตช์แบบยูนิโพลาร์แบบปรับเฟส(Shift Phase)ของวงจรอินเวอร์เตอร์

เอาต์พุตของวงจรอินเวอร์เตอร์ คือ แรงดันไฟฟ้าด้านออก ( $v_o$ ) และกระแสไฟฟ้าด้านออก ( $i_o$ ) ซึ่งเป็นรูปคลื่นที่ได้จากการสวิตช์แบบยูนิโพลาร์แบบปรับเฟส (Shift Phase) โดยนำเอาต์พุตของวงจรอินเวอร์เตอร์ผ่านวงจรกรองความถี่สูงออกไปเหลือเฉพาะความถี่ต่ำที่ออกแบบไว้ในบทที่ 4 จะทำให้อาต์พุตของวงจรอินเวอร์เตอร์เป็นรูปคลื่นไซน์ โดยมีโหนดที่มีตัวต้านทานและโหนดที่มีตัวต้านทานอนุกรมกับตัวเหนี่ยวนำ แสดงดังต่อไปนี้



รูปที่ 5.4 แรงดันไฟฟ้าด้านออก ( $v_o$ ) และกระแสไฟฟ้าด้านออก ( $i_o$ ) ของวงจรอินเวอร์เตอร์ที่มีโหนด  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปล เป็นตัวต้านทานอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



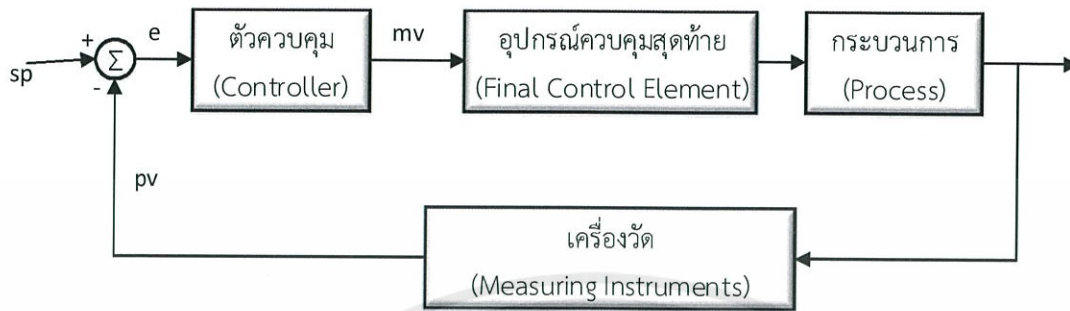
รูปที่ 5.5 แรงดันไฟฟ้าด้านออก ( $v_o$ ) และกระแสไฟฟ้าด้านออก ( $i_o$ ) ของวงจรถวลอินเวอร์เตอร์ที่มีโหลดเป็นตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ

จากรูปที่ 5.4 แสดงแรงดันไฟฟ้าด้านออก ( $v_o$ ) โดยแสดงเป็นกราฟสีเหลืองและกระแสไฟฟ้าด้านออก ( $i_o$ ) โดยแสดงเป็นกราฟสีเขียวของวงจรถวลอินเวอร์เตอร์ที่มีโหลดเป็นตัวต้านทาน จะเห็นได้ว่าแรงดันและกระแสมีเฟสตรงกัน ส่วนรูปที่ 5.5 แสดงแรงดันไฟฟ้าด้านออก ( $v_o$ ) โดยแสดงเป็นกราฟสีเหลืองและกระแสไฟฟ้าด้านออก ( $i_o$ ) โดยแสดงเป็นกราฟสีเขียวของวงจรถวลอินเวอร์เตอร์ที่มีโหลดเป็นตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ จะเห็นได้ว่ากระแสเกิดการล่าหลังจากแรงดัน เนื่องจากโหลดมีตัวเหนี่ยวนำ ทำให้มีค่าแรงดันเพิ่มขึ้นและกระแสมีค่าน้อยกว่าในรูปที่ 5.4 เนื่องจากมีอิมพีแดนซ์ของโหลดมากกว่า ซึ่งเป็นผลให้วงจรไม่สามารถรักษาระดับแรงดันด้านออกตามที่ต้องการได้ จึงจำเป็นต้องนำระบบควบคุมมาใช้

#### 5.4 ผลการทดลองจากวงจรถวลอินเวอร์เตอร์ที่ใช้การควบคุมแบบ Hybrid PID และการเปรียบเทียบกับวงจรถวลอินเวอร์เตอร์ที่ใช้การควบคุมแบบ PID

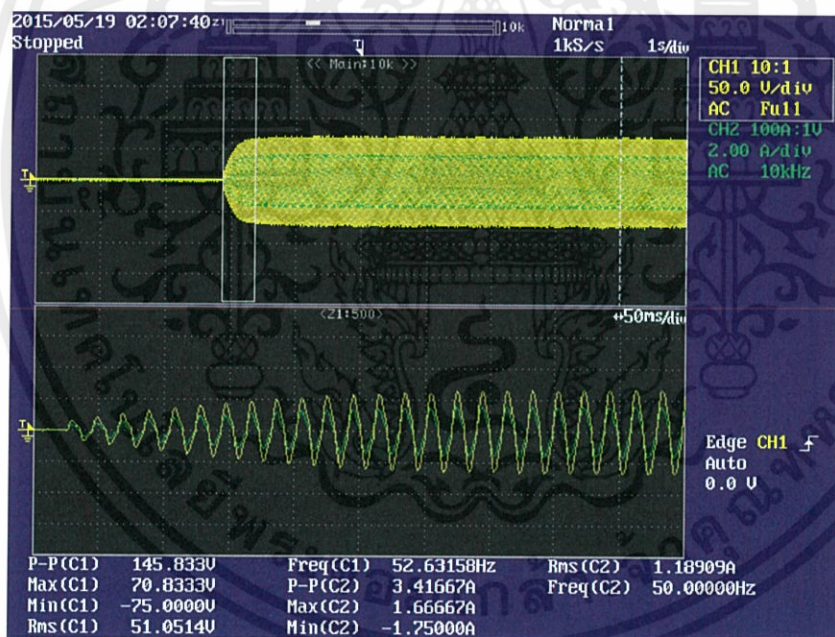
โดยทั่วไปเป้าหมายของระบบควบคุมกระบวนการต่างๆ ในอุตสาหกรรม คือ การรักษาปริมาณทางฟิสิกส์อันได้แก่ อุณหภูมิ (Temperature) แรงดัน (pressure) อัตราการไหล (Flow Rate) ค่าความเป็นกรดด่าง (PH) และอื่นๆ ให้มีค่าใกล้เคียงกับค่าที่เหมาะสมที่ต้องการมากที่สุด แม้ว่าสภาวะการทำงานและสภาพแวดล้อมอาจเปลี่ยนแปลงตลอดเวลา ซึ่งการควบคุมที่ดีย่อมเริ่มจากการเลือกแบบการควบคุมที่เหมาะสม โดยในการทดลองจะทำการควบคุมระดับของแรงดัน (Voltage) ของวงจรถวลอินเวอร์เตอร์แบบป้อนกลับเพื่อให้การควบคุมมีเสถียรภาพ (Stability) และมีประสิทธิภาพสูงสุด แสดงดังรูปที่ 5.6 โดยอุปกรณ์วัดหรือเครื่องวัดจะวัดค่าตัวแปรกระบวนการ (pv) เช่น อุณหภูมิ ความดัน อัตราการไหล และระดับของของเหลว เป็นต้น ซึ่งในการทดลองนี้ คือ แรงดัน (Voltage) เพื่อเปรียบเทียบกับค่าอ้างอิงหรือค่าเป้าหมาย (Setpoint: sp) จากนั้นตัวควบคุมจะนำค่าความคลาดเคลื่อน (Error: e) ในการควบคุมมาใช้ในการคำนวณ เพื่อหาสัญญาณที่เหมาะสมที่จะไปควบคุมกระบวนการให้เข้าสู่ค่าเป้าหมายที่ต้องการ ซึ่งเป้าหมายในการทดลอง คือ แรงดันเอาท์พุท

ขนาด 50 โวลต์ ( $V_{rms}$ ) โดยตัวควบคุมที่นำมาใช้ควบคุมกระบวนการนี้คือ ตัวควบคุมแบบ PID โดยผลของการควบคุมแบบ PID แสดงดังนี้



รูปที่ 5.6 บล็อกไดอะแกรมของระบบควบคุมแบบป้อนกลับโดยทั่วไป

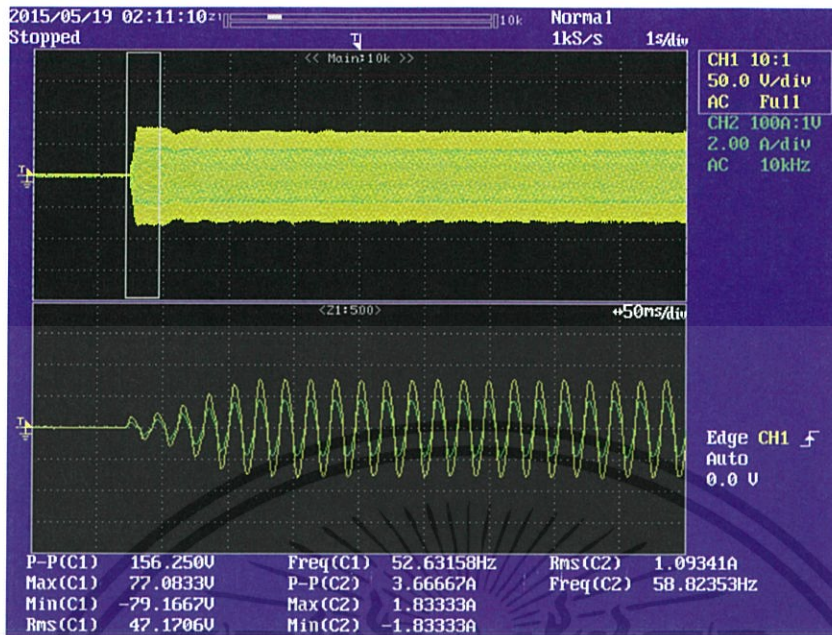
จากรูปที่ 5.7 เป็นการควบคุมแบบ PID โดยใช้ค่า  $K_p$  เท่ากับ 0.001 และ  $K_i$  กับ  $K_d$  เป็น 0 จะเห็นว่าแรงดันด้านออกจะวิ่งเข้าสู่ค่าที่ต้องการหรือ 50 โวลต์ ( $V_{rms}$ ) แต่มีค่าเวลาขาขึ้นค่อนข้างช้าประมาณ 300 ms



รูปที่ 5.7 การควบคุมแบบ PID โหลดตัวต้านทาน ( $K_p = 0.001$ ,  $K_i = 0$ ,  $K_d = 0$ )

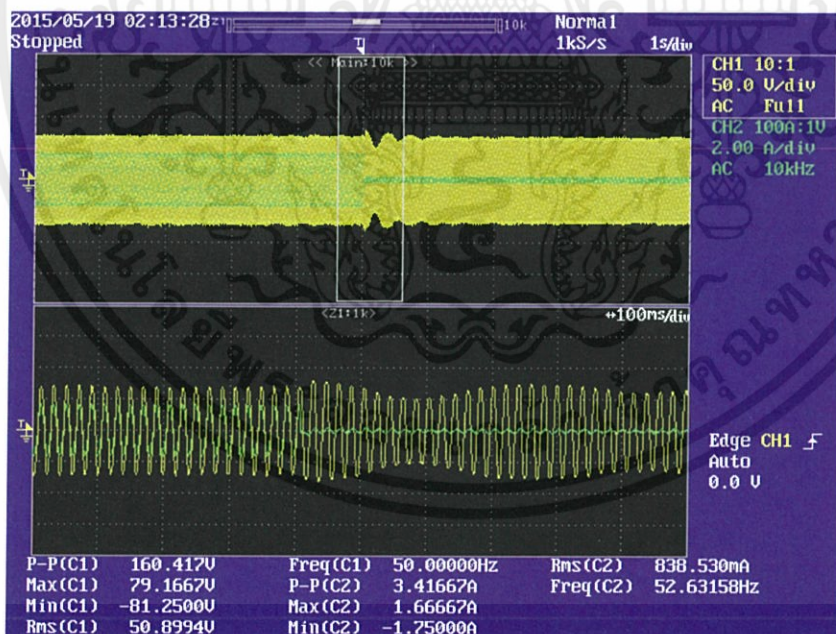
จึงทำการปรับค่า  $K_i$  เพิ่มขึ้นเป็น 0.0005 ได้ผลการทดลองตามรูปที่ 5.8 ซึ่งสามารถลดเวลาขาขึ้นเหลือประมาณ 70 ms แต่พบว่าค่า  $K_i$  จะมีผลทำให้เกิดการพุ่งเกินในช่วงแรกสูงประมาณ 54 โวลต์ ( $V_{rms}$ ) แล้วจึงลดลงมาเข้าสู่สภาวะคงตัวที่ 50 โวลต์ ( $V_{rms}$ ) แต่จะใช้เวลาเข้าสู่สมดุลมากกว่า

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 การควบคุมแบบ PID โหลดตัวต้านทาน ( $K_p = 0.001$ ,  $K_i = 0.0005$ ,  $K_d = 0$ )

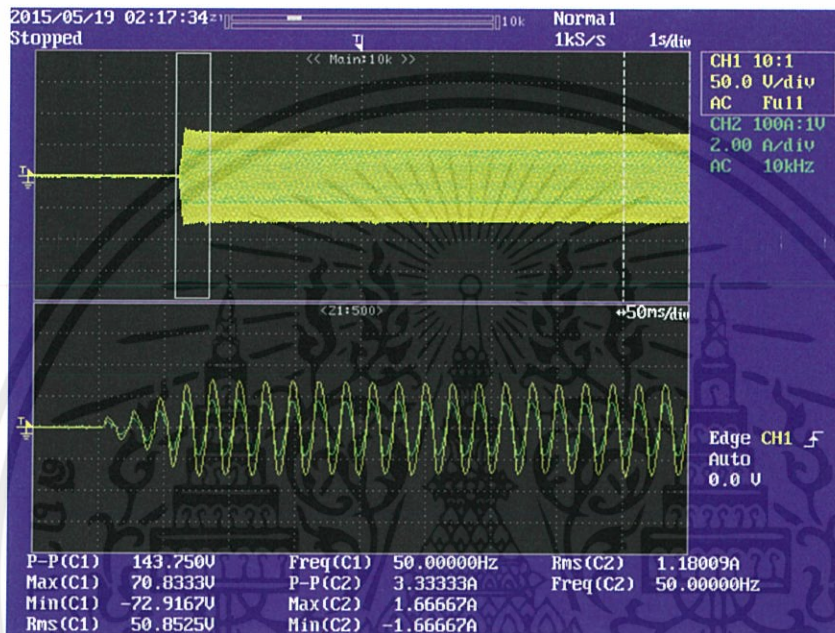
ทำการทดลองโดยการเปลี่ยนแปลงโหลดโดยอนุกรมตัวเหนี่ยวนำขนาด 1.5 เฮนรี เข้าไปโดยทันที จะพบว่าทำให้เกิดการเปลี่ยนแปลงแรงดันเพิ่มขึ้นประมาณ 7 ถึง 10 โวลต์ ในช่วงหนึ่งแล้วจึงกลับสู่สภาวะคงตัว ซึ่งจะมีค่าเวลากลับสู่สภาวะคงตัวประมาณ 600 ms ดังรูปที่ 5.9



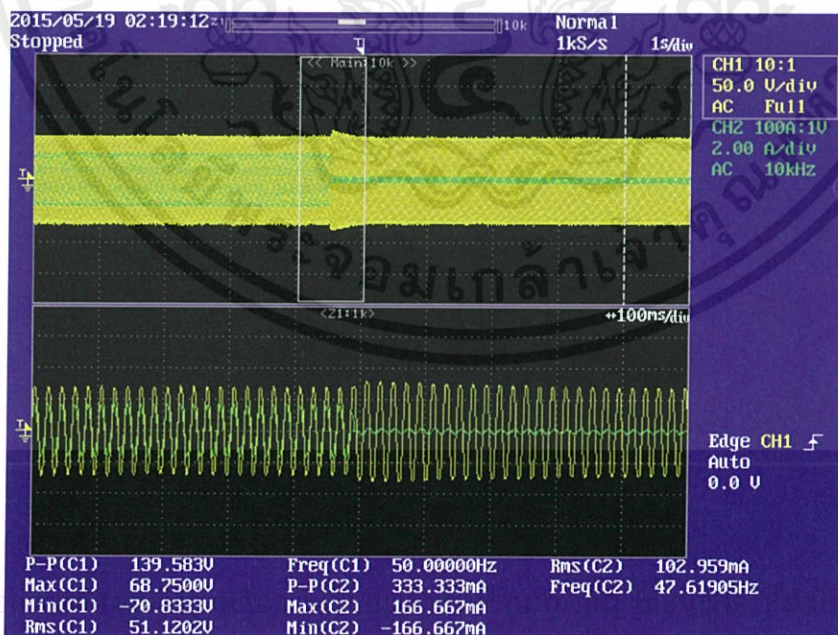
รูปที่ 5.9 การควบคุมแบบ PID โหลดตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ ( $K_p = 0.001$ ,  $K_i = 0.0005$ ,  $K_d = 0$ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น จะเห็นได้ว่าตัวควบคุมแบบ PID เพียงค่าเดียว อาจจะไม่เหมาะกับทุกช่วงการไปใช้ทำงาน ทำให้บางช่วงเกิดการตอบสนองที่ช้าและมีค่าความผิดพลาดมากเกินไป จึงมีการนำเทคนิค Hybrid PID มาใช้ เพื่อลดข้อเสียที่เกิดขึ้นในการควบคุมแบบ PID เพียงค่าเดียว โดยการนำ PID

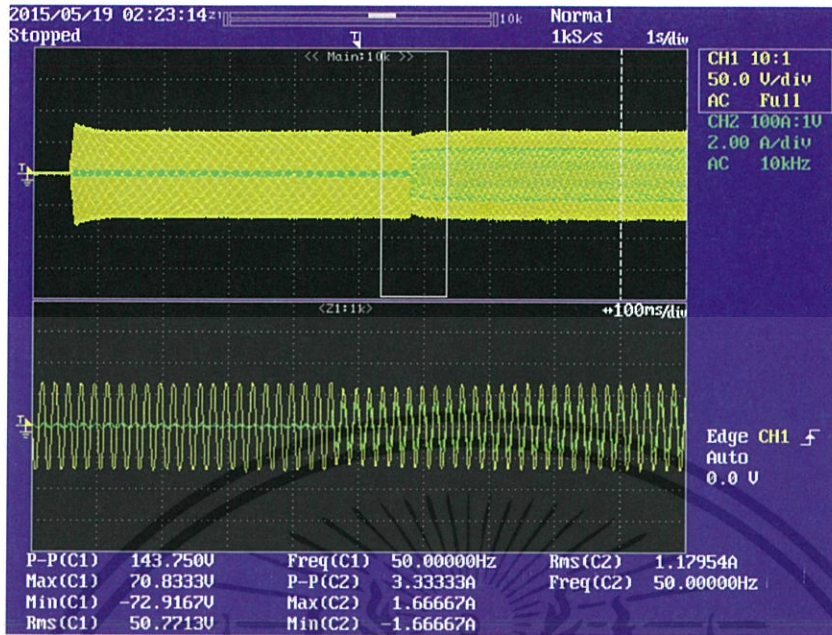
หลายๆค่ามาควบคุมในแต่ละช่วงการทำงาน ดังรูปที่ 5.10 ที่ในช่วงแรกจะใช้ค่า  $K_p = 0.001$ ,  $K_i = 0.0005$ ,  $K_d = 0$  และจะทำการปรับเปลี่ยนค่า PID โดยปรับลด  $K_i$  ลง เพื่อจำกัดการพุ่งเกินของแรงดัน นอกจากนี้ยังทำให้การตอบสนองต่อการเปลี่ยนแปลงโหลดดีขึ้น โดยสามารถลดค่าเวลาเข้าสู่สภาวะคงตัวหลังจากเปลี่ยนแปลงโหลดให้เหลือเพียง 100 ms ดังรูปที่ 5.11 เมื่อทำการปลดตัวเหนี่ยวนำอนุกรมออกจากวงจร พบว่าสามารถรักษาระดับแรงดันให้อยู่ในสภาวะคงตัวได้เช่นเดียวกัน ดังรูปที่ 5.12



รูปที่ 5.10 การควบคุมแบบ Hybrid PID โหลดตัวต้านทาน



รูปที่ 5.11 การควบคุมแบบ Hybrid PID ขณะเปลี่ยนแปลงโหลดโดยเพิ่มตัวเหนี่ยวนำอนุกรม



รูปที่ 5.12 การควบคุมแบบ Hybrid PID ขณะเปลี่ยนแปลงโหลดโดยกำจัดตัวเหนี่ยวนำอนุกรม

### 5.5 การเปรียบเทียบการควบคุมแบบ PID และ Hybrid PID

ตารางที่ 5.1 เปรียบเทียบผลการควบคุมที่โหลดเป็นตัวต้านทาน

ตัวควบคุม	เปอร์เซ็นต์การพุ่งเกิน ( $M_p$ )	เวลาเข้าสู่สภาวะคงตัว ( $t_s$ )	ค่าผิดพลาดในสภาวะ คงตัว ( $e_{ss}$ )
แบบ PID	5.3%	3.2 s	0.5%
แบบ Hybrid PID	4.8%	350 ms	0%

ตารางที่ 5.2 เปรียบเทียบผลการควบคุมที่โหลดเป็นตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ

ตัวควบคุม	เปอร์เซ็นต์การพุ่งเกิน ( $M_p$ )	เวลาเข้าสู่สภาวะคงตัว ( $t_s$ )	ค่าผิดพลาดในสภาวะ คงตัว ( $e_{ss}$ )
แบบ PID	21.2%	2.13 s	0.5%
แบบ Hybrid PID	11%	430 ms	0%

จากตารางที่ 5.1 และ 5.2 จะเห็นได้ว่าการควบคุมแบบ Hybrid PID จะให้ผลการควบคุมที่ดีกว่าการควบคุมแบบ PID

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

### บทสรุป ข้อเสนอแนะ และแนวทางการปฏิบัติ

#### 6.1 บทสรุป

จากการที่ได้ศึกษาการควบคุมแบบ Hybrid PID สำหรับอินเวอร์เตอร์ ซึ่งในปัจจุบันมีการใช้พลังงานทดแทนมากขึ้น โดยพลังงานทดแทนเหล่านี้ส่วนมากจะผลิตเป็นไฟฟ้ากระแสตรงซึ่งมีขอบเขตในการนำไปใช้งานที่แคบ จึงต้องทำการเปลี่ยนและปรับปรุงให้เป็นไฟฟ้ากระแสสลับที่มีพิกัดแรงดันที่สูงขึ้น ซึ่งทำให้มีขอบเขตและความเหมาะสมในการใช้งานที่หลากหลายมากขึ้น โดยใช้อินเวอร์เตอร์ในการแปลงพลังงานไฟฟ้า ซึ่งอินเวอร์เตอร์ที่นำมาใช้งานจะต้องเป็นอินเวอร์เตอร์ที่มีประสิทธิภาพในการทำงานที่สูง จึงจะทำให้เกิดประโยชน์อย่างสูงสุดในการปฏิบัติงาน ปัจจุบันได้มีการปรับปรุงอินเวอร์เตอร์ให้มีประสิทธิภาพมากขึ้นอยู่ตลอดเวลา อินเวอร์เตอร์ที่นำไปใช้งานนั้นมีอยู่หลายประเภทขึ้นอยู่กับการใช้งานของแต่ละชนิดงาน ดังนั้นการควบคุมแรงดันไฟฟ้าของอินเวอร์เตอร์ในปริณญาณิพนธ์นี้จึงนำเสนอวิธีการควบคุมแบบ Hybrid PID เพื่อให้มีคุณลักษณะทางไดนามิกส์ที่คงทนต่อการเปลี่ยนแปลงพารามิเตอร์และการรบกวนได้ โดยจะใช้แรงดันควบคุมซึ่งเป็นการควบคุมที่ง่ายกว่าแบบกระแสควบคุม เมื่อทำการจ่ายภาระทางไฟฟ้าจะพบว่าทำให้แรงดันตกลงซึ่งจะสามารถควบคุมแรงดันให้คงที่ได้ตลอดโดยการใช้วิธีควบคุมแบบ PID

ปริณญาณิพนธ์ฉบับนี้ได้ทำการออกแบบวงจรอินเวอร์เตอร์ที่มีการควบคุมแบบ Hybrid PID โดยกำหนดแรงดันอินพุทให้มีค่าเท่ากับ 100 โวลต์ ( $V_{dc}$ ) ที่วงจร DC-link และกำหนดแรงดันเอาต์พุทของอินเวอร์เตอร์ให้มีค่าเท่ากับ 50 โวลต์ ( $V_{rms}$ ) โดยทำการควบคุมแบบ Hybrid PID เพื่อให้มีคุณลักษณะทางไดนามิกส์ที่คงทนต่อการเปลี่ยนแปลงพารามิเตอร์และการรบกวนได้โดยใช้การควบคุมแรงดัน ซึ่งมีการเปลี่ยนแปลงโหลด อย่างเช่น เมื่อโหลดมีการเปลี่ยนแปลงโดยมีค่าความต้านทานเพิ่มเข้ามาในโหลด ระบบการควบคุมจะสามารถรับภาระระดับแรงดันเอาต์พุทของอินเวอร์เตอร์ให้คงที่ไว้ได้ ดังนั้นในการออกแบบการควบคุมต้องทำให้มีความคงทนต่อการเปลี่ยนแปลงพารามิเตอร์ของโหลดและการรบกวนได้

การทดลองนี้สามารถสรุปได้ว่า ได้ทำการเปรียบเทียบระหว่างการควบคุมแบบ PID และการควบคุมแบบ Hybrid PID สำหรับอินเวอร์เตอร์ จะเห็นได้ว่าการควบคุมแบบ PID จะสามารถตอบสนองต่อการควบคุมได้ในช่วงการเปลี่ยนแปลงพารามิเตอร์ของโหลดที่แคบ ส่วนการควบคุมแบบ Hybrid PID จะสามารถตอบสนองต่อการควบคุมในช่วงการเปลี่ยนแปลงของโหลดที่กว้างกว่าการควบคุมแบบ PID เนื่องจากมีการเปลี่ยนแปลงค่าของตัวควบคุมแบบ PID

#### 6.2 ข้อเสนอแนะและข้อควรระวัง

1. ควรออกแบบอินเวอร์เตอร์ให้มีแรงดันเอาต์พุทที่มีความใกล้เคียงกับสัญญาณไซน์ของไฟฟ้ากระแสสลับให้มากที่สุดและยังเป็นการลดค่าฮาร์มอนิกส์ให้ต่ำลง
2. ควรเลือกอุปกรณ์ในการสร้างวงจรการทดลองให้มีความเหมาะสมกับขนาดของแรงดันและกระแสไฟฟ้าตามที่ต้องการ เพื่อลดความเสียหายที่จะเกิดกับวงจรการทดลอง
3. ควรทำการออกแบบวงจรให้มีสัญญาณรบกวนให้น้อยที่สุด จะได้ไม่ส่งผลกระทบต่อวงจรการควบคุม (Microcontroller)

4. ควรตรวจสอบสภาพอุปกรณ์ที่ใช้ในการทดลองให้มีประสิทธิภาพความพร้อมก่อนทำการทดลองเสมอ

### 6.3 แนวทางการพัฒนา

จากการออกแบบวงจรการทดลอง จะกำหนดแรงดันเอาต์พุตของอินเวอร์เตอร์ให้มีค่าเท่ากับ 50 โวลต์ ( $V_{rms}$ ) โดยทำการควบคุมแบบ Hybrid PID (วงจรถับแบบ) เพื่อให้มีคุณลักษณะทางไดนามิกส์ที่คงทนต่อการเปลี่ยนแปลงพารามิเตอร์และการรบกวนได้โดยใช้การควบคุมแรงดัน ซึ่งมีการเปลี่ยนแปลงโหลด ซึ่งสามารถนำมาพัฒนาให้มีแรงดันเอาต์พุตของอินเวอร์เตอร์ให้มีค่าเท่ากับ 220 โวลต์ ( $V_{rms}$ ) เพื่อนำไปใช้กับเครื่องใช้ไฟฟ้าทั่วไปได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เอกสารอ้างอิง

- [1] กองสารสนเทศ ฝ่ายสื่อสารองค์กร กฟผ. (2557). *ความต้องการพลังงานไฟฟ้าสูงสุด*. สืบค้นเมื่อ 18 ส.ค. 2557 จาก [http://www.egat.co.th/index.php?option=com\\_content&view=article&id=348&temid=116](http://www.egat.co.th/index.php?option=com_content&view=article&id=348&temid=116)
- [2] เดลินิวส์. (2557). *ยอดใช้ไฟฟ้าพุ่งทุบสถิติ*. สืบค้นเมื่อ 18 ส.ค. 2557 จาก <http://www.dailynews.co.th/Content/economic/84457/ยอดใช้ไฟฟ้าพุ่งทุบสถิติ>
- [3] Michael J.Ryan and Robert D. Lorenz. 1995. "A High Performance Sine Wave Inverter Controller With Capacitor Current Feedback and "Back-EMF" Decoupling." 26<sup>th</sup> Annual IEEE PESC'95. Vol.1 :507-513.
- [4] Naser M. Abdel-Rahim and John E. Quaicoe. 1996. "Analysis and Design of a Multiple Feedback Loop Control Strategy for Single-Phase Voltage-source UPS Inverter." IEEE Transactions on Power Electronics. Vol.11, no.4 :532-541.
- [5] Michael J.Ryan, William L. Brumsickle and Robert D. Lorenz. 1996. "Control Topology Options for Single-Phase UPS Inverter". 26<sup>th</sup> Annual IEEE PEDES'96. Vol.1 :493-501.
- [6] Tomoki Yokoyama and Atsuo Kawamura. 1994. "Disturbance Observer Based Fully Digital Controlled PWM Inverter for CVCF Operation." IEEE Transactions on Power Electronics. Vol.9, no.5 :473-480.
- [7] Annette von Jouanne, Prasad N. Enjeti and Donald J. Lucas. 1996. "DSP Control of High-Power UPS Systems Feeding Nonlinear Loads." IEEE Transactions on Industrial Electronics. Vol.43, no.1 :121-125.
- [8] Tzuen-Lih Chern, Jerome Chang, Chien-Hung and Hann-Tzong Su. 1999. "Microprocessor-Based Modified Discrete Integral Variable-Structure Control for UPS." IEEE Transactions on Industrial Electronics. Vol.46, no.2 :340-347.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# การควบคุมพีไอดีแบบไฮบริดสำหรับอินเวอร์เตอร์

## Hybrid PID Control for PV Inverter

ณัฐพล วิทยากรณ์ บัณฑิต บุญตั้งแต่ง ปริญญา ภัณฑิลา และสถาปนิก หมดหวัง

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

1 ซอยฉลองกรุง 1 ลาดกระบัง กรุงเทพมหานคร 10520 โทรศัพท์ 02-329-8000 ต่อ 3925 ssathapanic@gmail.com

### บทคัดย่อ

บทความนี้นำเสนอการศึกษาการควบคุมอินเวอร์เตอร์พลังงานเซลล์แสงอาทิตย์ในการควบคุมแรงดันสำหรับโหลดทั่วไป ซึ่งเป็นอุปกรณ์หลักสำคัญที่ทำให้สามารถนำพลังงานของพลังงานทดแทนมาใช้ในระบบไฟฟ้าได้ โครงการนี้ศึกษาอินเวอร์เตอร์

สำหรับโหลดทั่วไป ในรูปแบบการควบคุมแรงดัน ซึ่งใช้เทคนิคการควบคุมแบบ PID และ Hybrid PID การออกแบบสร้างและทดสอบอินเวอร์เตอร์โหมดแรงดันเฟสเดียวและวิธีการควบคุมจะอธิบายในโครงการนี้ นอกจากนี้ประสิทธิภาพวิธีในส่วนของการควบคุมโดยใช้วิธีควบคุมแรงดัน รวมไปถึงการจำลองผลตอบสนองของทางพลศาสตร์จะถูกดำเนินการและวิเคราะห์ในโครงการนี้

**คำสำคัญ:** อินเวอร์เตอร์เฟสเดียว ตัวควบคุมแบบพีไอดี การควบคุมแบบป้อนกลับ สัญญาณที่ดับเบิลยูเอ็ม การควบคุมแรงดัน

### Abstract

A paper presents a study of controlled PV inverter which is an important device for connecting a renewable energy source. The voltage mode controlled inverter is studied in this project using the comparative study between PID and Hybrid PID control techniques. The design and test of voltage mode controlled inverter is illustrated in this project. In addition, the effectiveness of power transfer by controlling voltage, and the dynamic responses of voltage mode controlled inverter is investigated in this project.

**Keywords:** Single phase inverter PID controller Feedback control PWM signal Voltage control

### 1. บทนำ

อินเวอร์เตอร์ที่นำไปใช้งานจะเป็นการแปรผันจากไฟฟ้ากระแสตรงไปเป็นไฟฟ้ากระแสสลับ จึงทำให้แรงดันไฟฟ้าที่ได้มีลักษณะเป็นรูปคลื่นสี่เหลี่ยม เมื่อนำมาใช้งานจะทำให้อุปกรณ์ทำงานได้ไม่เต็มประสิทธิภาพ ดังนั้นจึงได้พัฒนารูปคลื่นแรงดันของอินเวอร์เตอร์ให้มี

ความใกล้เคียงกับสัญญาณไซน์ของไฟฟ้ากระแสสลับให้มากที่สุดและยังเป็นการลดค่าฮาร์มอนิกส์ให้ต่ำลง ดังนั้นการควบคุมอินเวอร์เตอร์จึงต้องมีประสิทธิภาพสูง จึงจำเป็นต้องทำให้แหล่งจ่ายมีค่าคงที่ไม่มี การปรับเปลี่ยนแรงดันและความถี่ที่จะส่งผลกระทบต่อโหลด [1]-[6] ดังนั้นการควบคุมแรงดันไฟฟ้าของอินเวอร์เตอร์ในปริภูมิพหุนี้จึงนำเสนอวิธีการควบคุมแบบพีไอดี เพื่อให้มีคุณลักษณะทางไดนามิกที่ดี ลงทุนต่อการเปลี่ยนแปลงพารามิเตอร์และการรบกวนได้ โดยจะใช้แรงดันควบคุมซึ่งเป็นการควบคุมที่ง่ายกว่าแบบกระแสควบคุม เมื่อทำการจ่ายภาระทางไฟฟ้าจะพบว่าทำให้แรงดันตกลง ซึ่งจะสามารถควบคุมแรงดันให้คงที่ได้ตลอดโดยการใช้วิธีควบคุมแบบพีไอดี

## 2. ทฤษฎีที่เกี่ยวข้อง

### 2.1 อินเวอร์เตอร์เฟสเดียว

อินเวอร์เตอร์เฟสเดียวจะแบ่งออกเป็นสองชนิด คือ แบบฮาล์ฟบริดจ์ (half-bridge) และแบบฟูลบริดจ์ (full-bridge) ในแบบฮาล์ฟบริดจ์ จะมีตัวเก็บประจุสองตัวต่อกันอยู่ระหว่างแหล่งจ่ายแรงดันไฟฟ้ากระแสตรงและหากกำหนดให้ค่าตัวเก็บประจุสองตัวมีค่าเท่ากัน จะทำให้แรงดันไฟฟ้าตกคร่อมตัวเก็บประจุแต่ละตัวจะมีค่าเท่ากันคือ  $V_d / 2$  จุดกึ่งกลางแรงดันไฟฟ้า ส่วนวงจรอินเวอร์เตอร์แบบฟูลบริดจ์เฟสเดียวจะประกอบไปด้วยสองกิ่ง คือ กิ่ง A และ กิ่ง B โดยแบบฟูลบริดจ์จะมีกำลังไฟฟ้าสูงกว่าแบบฮาล์ฟบริดจ์ สองเท่า จึงจะเหมาะที่จะเลือกใช้เมื่อต้องการจ่ายกำลังไฟฟ้าโหลดสูงขึ้น

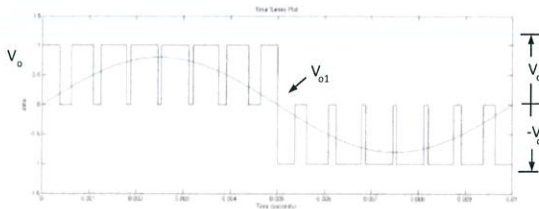
#### 2.1.1 การสวิตชิงแรงดันไฟฟ้าแบบยูนิโพลาร์

ข้อแตกต่างระหว่างการสวิตชิงแรงดันไฟฟ้าแบบไบโพลาร์กับแบบยูนิโพลาร์ (unipolar voltage switching) ก็คือ ในแบบยูนิโพลาร์ การสวิตชิงในกิ่ง A กับกิ่ง B จะแยกสัญญาณควบคุมออกจากกัน คือ สวิตซ์ในกิ่ง A จะถูกควบคุมจากสัญญาณ  $V_{control}$  เทียบกับสัญญาณรูปสามเหลี่ยม ( $V_m$ ) ขณะที่สวิตซ์ในกิ่ง B จะถูกควบคุมจากสัญญาณ  $-V_{control}$  เทียบกับสัญญาณรูปสามเหลี่ยม ( $V_m$ )

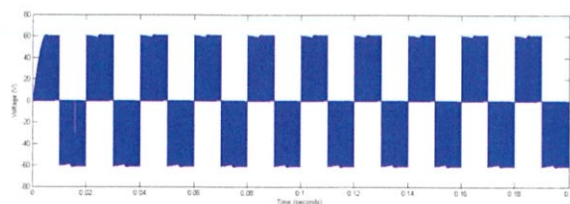
อินเวอร์เตอร์ที่นำไปใช้งานจะเป็นการแปรผันจากไฟฟ้ากระแสตรงไปเป็นไฟฟ้ากระแสสลับ จึงทำให้แรงดันไฟฟ้าที่ได้มีลักษณะเป็นรูปคลื่นสี่เหลี่ยม เมื่อนำมาใช้งานจะทำให้อุปกรณ์ทำงานได้ไม่เต็มประสิทธิภาพ ดังนั้นจึงได้พัฒนารูปคลื่นแรงดันของอินเวอร์เตอร์ให้มี

ประสิทธิภาพ ดังนั้นจึงได้พัฒนารูปคลื่นแรงดันของอินเวอร์เตอร์ให้มี

ประสิทธิภาพ ดังนั้นจึงได้พัฒนารูปคลื่นแรงดันของอินเวอร์เตอร์ให้มี



รูปที่ 2.1 การสวิตชิงแรงดันไฟฟ้าแบบยูนิโพลาร์



รูปที่ 3.1 แรงดันเอาต์พุตของวงจรอินเวอร์เตอร์ที่เป็นแบบยูนิโพลาร์

## 2.2 ตัวควบคุมแบบ PID

ตัวควบคุมแบบ PID ถูกนำมาใช้ในการควบคุมกระบวนการผลิตอย่างแพร่หลายในอุตสาหกรรมมากกว่า 50 ปี ในการสร้างสัญญาณควบคุม และเครื่องควบคุมแบบดิจิทัลที่ทำงานโดยใช้วงจรตรรก (Logic Circuits) หรือไมโครโปรเซสเซอร์สร้างสัญญาณควบคุม ปัจจุบันตัวควบคุม PID ยังได้รับความนิยมอยู่ ทั้งนี้เนื่องเพราะรูปแบบของตัวควบคุม PID เป็นรูปแบบที่สามารถควบคุมกระบวนการต่างๆ ได้อย่างกว้างขวาง ตัวควบคุม PID ก็สามารถควบคุมกระบวนการได้อย่างมีประสิทธิภาพ เมื่อได้รับการปรับแต่งค่าพารามิเตอร์ของตัวควบคุมที่เหมาะสม ตัวควบคุมแบบ PID ประกอบไปด้วยตัวควบคุมแบบ P (Proportional) ตัวควบคุมแบบ I (Integral) และตัวควบคุมแบบ D (Derivative) ซึ่งมีฟังก์ชันถ่ายโอน (Transfer Function) ดังนี้

$$G_c(s) = K_p + K_D s + \frac{K_I}{s} \quad (2.1)$$

โดยที่

$K_p$  = อัตราขยายของตัวควบคุมแบบ P (Proportional Gain)

$K_I$  = อัตราขยายของตัวควบคุมแบบ I (Integral Gain)

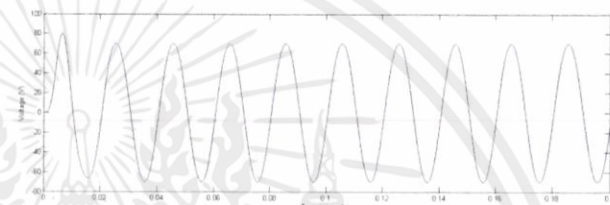
$K_D$  = อัตราขยายของตัวควบคุมแบบ D (Derivative Gain)

## 3. การสร้างแบบจำลองอินเวอร์เตอร์และตัวควบคุม PID แบบอัตโนมัติ

### 3.1 การออกแบบวงจรอินเวอร์เตอร์ด้วยโปรแกรม

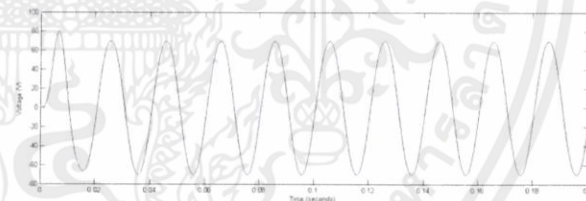
ทำการออกแบบด้วยโปรแกรม MATLAB Simulink จะรวมวงจร DC link วงจรการสังเคราะห์สัญญาณ PWM วงจรกรองแบบ LC วงจรอินเวอร์เตอร์และวงจรโหลด โดยต้องการให้แรงดันเอาต์พุตมีค่าเท่ากับ 50 V ( $V_{rms}$ ) มีแรงดันเอาต์พุตที่ออกจากวงจรอินเวอร์เตอร์จะเป็นแบบยูนิโพลาร์แสดงดังรูปที่ 3.2

ต่อมาได้นำแรงดันเอาต์พุตของวงจรอินเวอร์เตอร์ผ่านวงจรกรองความถี่สูงออกไปเหลือเฉพาะความถี่ต่ำ จะทำให้เอาต์พุตของวงจรอินเวอร์เตอร์เป็นรูปคลื่นไซน์แสดงดังรูปที่ 3.3

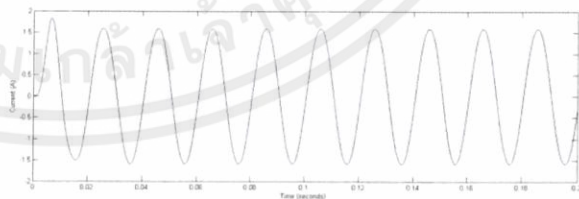


รูปที่ 3.2 แรงดันที่ออกจากวงจรกรองแบบ LC

และเมื่อต่อโหลดเข้ากับวงจร โดยใช้โหลดเป็นตัวต้านทาน โดยกำหนดให้เอาต์พุตของแรงดันมีค่าเท่ากับ 50 โวลต์ ( $V_{rms}$ ) จะได้แรงดันและกระแสดังรูปที่ 3.4 และ 3.5



รูปที่ 3.3 แรงดันเอาต์พุตของโหลดมีค่าเท่ากับ 50 โวลต์ ( $v_{rms}$ )



รูปที่ 3.4 กระแสเอาต์พุตของโหลดมีค่าเท่ากับ 1.14 แอมป์ ( $I_{rms}$ )

### 3.2 การออกแบบตัวควบคุมแบบ PID สำหรับอินเวอร์เตอร์

วงจรการควบคุมอินเวอร์เตอร์ด้วยตัวควบคุมแบบ PID เมื่อทำการปรับค่า PID ได้ผลตามต้องการ ดังนั้นจะได้ค่าดังนี้

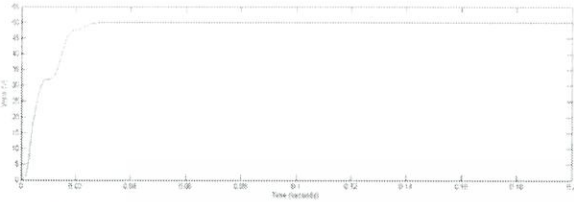
ค่าอัตราขยายของตัวควบคุมแบบ P (Proportional Gain) = 3000

ค่าอัตราขยายของตัวควบคุมแบบ I (Integral Gain) = 10000

ค่าอัตราขยายของตัวควบคุมแบบ D (Derivative Gain) = 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่สามารถนำเอกสารนี้ไปใช้  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา

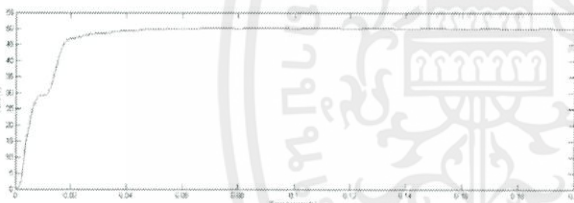
ผลของการควบคุมอินเวอร์เตอร์ด้วยตัวควบคุมแบบPID โดยมีโพลด์เป็นตัวต้านทาน แสดงดังรูปที่ 3.7



รูปที่ 3.5 กราฟของค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response) โดยมีตัวต้านทานขนาด  $44 \Omega$

เมื่อโพลด์มีการเปลี่ยนแปลง โดยมีค่าความเหนี่ยวนำเพิ่มเข้ามาจะส่งผลกระทบต่อการควบคุมแบบPID จึงต้องทำการปรับค่าPIDใหม่สำหรับโพลด์ที่มีค่าความเหนี่ยวนำใดๆ จะทำการยกตัวอย่างที่วงจรที่มีโพลด์เป็นตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำแสดงดังรูปที่ 3.8 โดยมีค่าPIDดังนี้

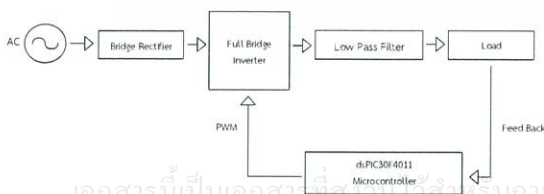
- ค่าอัตราขยายของตัวควบคุมแบบ P (Proportional Gain) = 5
- ค่าอัตราขยายของตัวควบคุมแบบ I (Integral Gain) = 10
- ค่าอัตราขยายของตัวควบคุมแบบ D (Derivative Gain) = 5



รูปที่ 3.6 กราฟของค่าเฉลี่ยกำลังสองของแรงดัน ( $V_{rms}$ ) แบบผลตอบสนองรูปขั้น (step response) โดยมีตัวต้านทานขนาด  $44 \Omega$  ต่ออนุกรมกับค่าความเหนี่ยวนำ  $50 \text{ mH}$

#### 4. การออกแบบและสร้างชุดวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์

##### 4.1 โครงสร้างของวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์



รูปที่ 4.1 โครงสร้างของวงจรการทำงานการควบคุมแบบไฮบริดจ์สำหรับอินเวอร์เตอร์

จากรูปที่ 4.1 ประกอบด้วยวงจรดังนี้

##### 4.1.1 วงจรควบคุมไมโครคอนโทรลเลอร์ (Microcontroller)

แสดงการทำงานของ dsPIC30F4011 ที่ใช้ในโครงงานนี้ ซึ่ง dsPIC30F4011 นี้รับทั้งหมด 1 สัญญาณ ได้แก่ สัญญาณแรงดันป้อนกลับจากอินเวอร์เตอร์ ทางช่อง AN0 โดย dsPIC30F4011 ทำการอ่านค่าของสัญญาณรับเข้าของตัวแปลงอนาล็อก โดยรับแรงดันเอาท์พุทจากวงจรอินเวอร์เตอร์มาประมวลผลผ่านกริยาควบคุมPID

##### 4.1.2 วงจรอปโตอิเล็กทรอนิกส์ (Optoelectronic Couplers)

ตัวออปโตอิเล็กทรอนิกส์เป็นอุปกรณ์ที่เชื่อมต่อทางแสง (Opto-Isolator) หรือที่เรียกว่าออปโตคัปเปิลเลอร์ (Opto-Coupler) เป็นอุปกรณ์อิเล็กทรอนิกส์ที่ใช้ในการเชื่อมต่อทางแสง โดยใช้หลักการเปลี่ยนสัญญาณไฟฟ้าเป็นสัญญาณแสง และเปลี่ยนกลับจากแสงเป็นไฟฟ้าตามเดิม ดังนั้นจึงใช้สัญญาณที่ดับเบิลยูเอ็ม (PWM) ไปสั่งวงจรออปโตอิเล็กทรอนิกส์เพื่อให้สร้างสัญญาณได้ขั้วขาคงของมอเตอร์

##### 4.1.3 วงจรเรียงกระแส (Bridge Rectifier)

วงจรที่ประกอบด้วย รีคตีไฟเออร์เต็มคลื่น (Full Wave Rectifier) ต่อกับตัวเก็บประจุ (Capacitor) เป็นวงจรที่ทำให้แหล่งจ่ายกำลังไฟฟ้ากระแสสลับเปลี่ยนเป็นแหล่งจ่ายกำลังไฟฟ้ากระแสตรง โดยแรงดันไฟฟ้ากระแสตรงด้านขาออกของวงจรนี้จะถูกกรองให้เป็นไฟฟ้ากระแสตรงที่มีการกระเพื่อมน้อยลง

##### 4.1.4 วงจรอินเวอร์เตอร์แบบฟูลบริดจ์ (Full-Bridge Inverter)

ในวงจรแปลงผันไฟตรง-ไฟสลับแบบฟูลบริดจ์เฟสเดียวจะประกอบไปด้วยสองกิ่ง ใช้การสวิตช์แรงดันไฟฟ้าแบบยูนิโพลาร์ โดยการสวิตช์ในสองกิ่ง จะแยกสัญญาณควบคุมออกจากกัน คือกิ่งที่ A จะควบคุมสัญญาณ  $V_{control}$  เทียบกับสัญญาณรูปสามเหลี่ยม ( $V_{tri}$ ) ขณะที่สวิตช์ในกิ่ง B จะควบคุมสัญญาณ  $-V_{control}$  เทียบกับสัญญาณรูปสามเหลี่ยม ( $V_{tri}$ ) แรงดันด้านออกที่ได้มีการเปลี่ยนแปลงระหว่างแรงดันไฟฟ้าค่าบวกไปยังศูนย์และศูนย์ไปยังลบในครึ่งคาบ ส่วนอีกครึ่งคาบจะมีแรงดันไฟฟ้าด้านออกเปลี่ยนแปลงระหว่างแรงดันไฟฟ้าค่าลบไปยังศูนย์และจากศูนย์ไปยังลบ โดยในปริณิษยานุพนธ์นี้ได้เลือกใช้วงจรแปลงผันไฟตรง-ไฟสลับแบบฟูลบริดจ์

##### 4.1.5 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วงจรกรองความถี่ต่ำผ่าน มีลักษณะการต่อของวงจรคือ ใช้ตัวเหนี่ยวนำ (L) อนุกรมกับวงจร และขนานกับตัวเก็บประจุ (C) คุณสมบัติของวงจรคือเมื่อป้อนความถี่ต่ำเข้าวงจร ตัวเหนี่ยวนำ (L) ทำให้มีค่ารีแอกแตนซ์ ( $X_L$ ) ต่ำ ตัวเก็บประจุ (C) ทำให้มีค่าอิมพีแดนซ์สูง ( $X_C$ ) ทำให้ความถี่ต่ำผ่านตัวเหนี่ยวนำได้สะดวก ระดับสัญญาณเอาท์พุทจึงผ่านได้มาก แต่

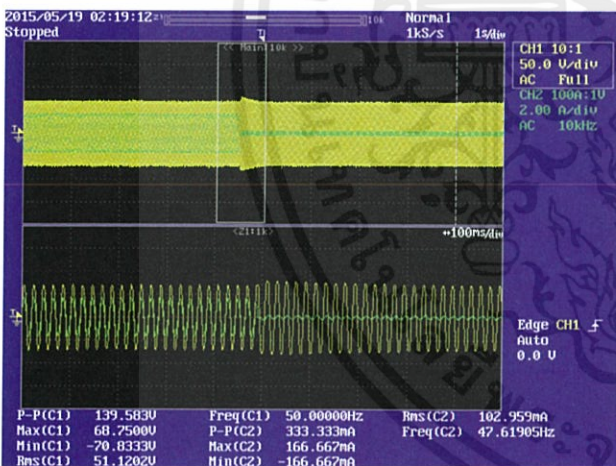
เมื่อความถี่สูงกว่าจุดที่กำหนดค่ารีแอกแตนซ์จะมีค่ามากขึ้นและค่าอิมพีแดนซ์จะต่ำลง ทำให้ความถี่ผ่านขดลวดได้ลดลง บางส่วนที่ผ่านไปได้ก็จะถูกตัวเก็บประจุดึงลงกราวด์ ระดับสัญญาณเอาต์พุตจึงผ่านได้น้อยมาก

#### 4.1.6 วงจรป้อนกลับแรงดัน

เนื่องจากวงจรอินเวอร์เตอร์ทำการควบคุมแบบป้อนกลับ จึงมีการสร้างวงจรป้อนกลับแรงดันสำหรับนำแรงดันเอาต์พุตของอินเวอร์เตอร์มาเปรียบเทียบกับแรงดันอ้างอิง โดยเปรียบเทียบในวงจรควบคุมไมโครคอนโทรลเลอร์ (Microcontroller) ซึ่งใช้ dsPIC30F4011 ซึ่งในวงจรควบคุมสามารถรับแรงดันไฟฟ้าที่อยู่ในช่วง 0-5 โวลต์ ( $V_{dc}$ ) เนื่องจากแรงดันเอาต์พุตของอินเวอร์เตอร์เป็นแรงดันไฟฟ้ากระแสสลับขนาด 50 โวลต์ ( $V_{rms}$ ) จึงต้องสร้างวงจรป้อนกลับแรงดันขึ้น

### 5. ผลการทดลอง

#### 5.1 ผลการทดลองจากวงจรอินเวอร์เตอร์ที่ใช้การควบคุมแบบ Hybrid PID และการเปรียบเทียบกับวงจรอินเวอร์เตอร์ที่ใช้การควบคุมแบบ PID



รูปที่ 5.2 การควบคุมแบบ Hybrid PID ขณะเปลี่ยนแปลงโหลดโดยเพิ่มตัวเหนี่ยวนำอนุกรม

ตัวควบคุมแบบ PID ไม่สามารถใช้กับโหลดของวงจรอินเวอร์เตอร์ได้ทุกกรณี ดังรูปที่ 5.8 เมื่อโหลดเปลี่ยนแปลงโดยมีตัวเหนี่ยวนำต่ออนุกรมเข้ามา จะทำให้ระดับแรงดันเปลี่ยนแปลงและไม่เข้าสู่ระดับแรงดันที่ต้องการ ดังนั้น จึงนำการควบคุมแบบ Hybrid PID มาควบคุมวงจรอินเวอร์เตอร์แทน จะได้ผลดังรูปที่ 5.9 เมื่อมีการควบคุมแบบ Hybrid PID จะทำให้เมื่อมีตัวเหนี่ยวนำต่ออนุกรมเข้ามาในโหลด จะทำให้ระดับแรงดันที่เพิ่มขึ้นกลับเข้าสู่ระดับแรงดันที่ต้องการ

### 6. สรุป

การทดลองได้ทำการเปรียบเทียบระหว่างการควบคุมแบบ PID และการควบคุมแบบ Hybrid PID สำหรับอินเวอร์เตอร์ จะเห็นได้ว่าการควบคุมแบบ PID จะสามารถตอบสนองต่อการควบคุมได้ในช่วงการเปลี่ยนแปลงพารามิเตอร์ของโหลดที่แคบ ส่วนการควบคุมแบบ Hybrid PID จะสามารถตอบสนองต่อการควบคุมในช่วงการเปลี่ยนแปลงของโหลดที่กว้างกว่าการควบคุมแบบ PID เนื่องจากมีการเปลี่ยนแปลงค่าของตัวควบคุมแบบ PID

### 7. เอกสารอ้างอิง

- [1] Michael J.Ryan and Robert D. Lorenz. 1995. "A High Performance Sine Wave Inverter Controller With Capacitor Current Feedback and "Back-EMF" Decoupling." 26th Annual IEEE PESC'95. Vol.1 :507-513.
- [2] Naser M. Abdel-Rahim and John E. Quaicoe. 1996. "Analysis and Design of a Multiple Feedback Loop Control Strategy for Single-Phase Voltage-source UPS Inverter." IEEE Transactions on Power Electronics. Vol.11, no.4 :532-541.
- [3] Michael J.Ryan, William L. Brumsickle and Robert D. Lorenz. 1996. "Control Topology Options for Single-Phase UPS Inverter". 26th Annual IEEE PEDES'96. Vol.1 :493-501.
- [4] Tomoki Yokoyama and Atsuo Kawamura. 1994. "Disturbance Observer Based Fully Digital Controlled PWM Inverter for CVCF Operation." IEEE Transactions on Power Electronics. Vol.9, no.5 :473-480.
- [5] Annette von Jouanne, Prasad N. Enjeti and Donald J. Lucas. 1996. "DSP Control of High-Power UPS Systems Feeding Nonlinear Loads." IEEE Transactions on Industrial Electronics. Vol.43, no.1 :121-125.
- [6] Tzuen-Lih Chern, Jerome Chang, Chien-Hung and Hann-Tzong Su. 1999. "Microprocessor-Based Modified Discrete Integral Variable-Structure Control for UPS." IEEE Transactions on Industrial Electronics. Vol.46, no.2 :340-347.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**MICROCHIP**

---

# dsPIC30F4011/4012 Data Sheet

High Performance  
Digital Signal Controllers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# dsPIC30F4011/4012

## dsPIC30F4011/4012 Enhanced Flash 16-bit Digital Signal Controller

**Note:** This data sheet summarizes features of this group of dsPIC30F devices and is not intended to be a complete reference source. For more information on the CPU, peripherals, register descriptions and general device functionality, refer to the *dsPIC30F Family Reference Manual* (DS70046). For more information on the device instruction set and programming, refer to the *dsPIC30F Programmer's Reference Manual* (DS70030).

### High Performance Modified RISC CPU:

- Modified Harvard architecture
- C compiler optimized instruction set architecture with flexible addressing modes
- 84 base instructions
- 24-bit wide instructions, 16-bit wide data path
- 48 Kbytes on-chip Flash program space (16K Instruction words)
- 2 Kbytes of on-chip data RAM
- 1 Kbytes of non-volatile data EEPROM
- Up to 30 MIPS operation:
  - DC to 40 MHz external clock input
  - 4 MHz-10 MHz oscillator input with PLL active (4x, 8x, 16x)
- 30 interrupt sources
  - 3 external interrupt sources
  - 8 user selectable priority levels for each interrupt source
  - 4 processor trap sources
- 16 x 16-bit working register array

### DSP Engine Features:

- Dual data fetch
- Accumulator write back for DSP operations
- Modulo and Bit-Reversed Addressing modes
- Two, 40-bit wide accumulators with optional saturation logic
- 17-bit x 17-bit single cycle hardware fractional/integer multiplier
- All DSP instructions single cycle
- $\pm$  16-bit single cycle shift

### Peripheral Features:

- High current sink/source I/O pins: 25 mA/25 mA
- Timer module with programmable prescaler:
  - Five 16-bit timers/counters; optionally pair 16-bit timers into 32-bit timer modules
- 16-bit Capture input functions
- 16-bit Compare/PWM output functions
- 3-wire SPI™ modules (supports 4 Frame modes)
- I<sup>2</sup>C™ module supports Multi-Master/Slave mode and 7-bit/10-bit addressing
- 2 UART modules with FIFO Buffers
- 1 CAN modules, 2.0B compliant

### Motor Control PWM Module Features:

- 6 PWM output channels
  - Complementary or Independent Output modes
  - Edge and Center Aligned modes
- 3 duty cycle generators
- Dedicated time base
- Programmable output polarity
- Dead-time control for Complementary mode
- Manual output control
- Trigger for A/D conversions

### Quadrature Encoder Interface Module Features:

- Phase A, Phase B and Index Pulse input
- 16-bit up/down position counter
- Count direction status
- Position Measurement (x2 and x4) mode
- Programmable digital noise filters on inputs
- Alternate 16-bit Timer/Counter mode
- Interrupt on position counter rollover/underflow

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

## Analog Features:

- 10-bit Analog-to-Digital Converter (A/D) with 4 S/H Inputs:
  - 500 Ksps conversion rate
  - 9 input channels
  - Conversion available during Sleep and Idle
- Programmable Brown-out Detection and Reset generation

- Power-on Reset (POR), Power-up Timer (PWRT) and Oscillator Start-up Timer (OST)
- Flexible Watchdog Timer (WDT) with on-chip low power RC oscillator for reliable operation
- Fail-Safe clock monitor operation detects clock failure and switches to on-chip low power RC oscillator
- Programmable code protection
- In-Circuit Serial Programming™ (ICSP™)
- Selectable Power Management modes
  - Sleep, Idle and Alternate Clock modes

## Special Microcontroller Features:

- Enhanced Flash program memory:
  - 10,000 erase/write cycle (min.) for industrial temperature range, 100K (typical)
- Data EEPROM memory:
  - 100,000 erase/write cycle (min.) for industrial temperature range, 1M (typical)
- Self-reprogrammable under software control

## CMOS Technology:

- Low power, high speed Flash technology
- Wide operating voltage range (2.5V to 5.5V)
- Industrial and Extended temperature ranges
- Low power consumption

## dsPIC30F Motor Control and Power Conversion Family\*

Device	Pins	Program Mem. Bytes/Instructions	SRAM Bytes	EEPROM Bytes	Timer 16-bit	Input Cap	Output Comp/Std PWM	Moto Control PWM	A/D 10-bit 500 Ksps	Quad Enc	UART	SPI™	I <sup>2</sup> C™	CAN
dsPIC30F2010	28	12K/4K	512	1024	3	4	2	6 ch	6 ch	Yes	1	1	1	-
dsPIC30F3010	28	24K/8K	1024	1024	5	4	2	6 ch	6 ch	Yes	1	1	1	-
dsPIC30F4012	28	48K/16K	2048	1024	5	4	2	6 ch	6 ch	Yes	1	1	1	1
dsPIC30F3011	40/44	24K/8K	1024	1024	5	4	4	6 ch	9 ch	Yes	2	1	1	-
dsPIC30F4011	40/44	48K/16K	2048	1024	5	4	4	6 ch	9 ch	Yes	2	1	1	1
dsPIC30F5015	64	66K/22K	2048	1024	5	4	4	8 ch	16 ch	Yes	1	2	1	1
dsPIC30F6010	80	144K/48K	8192	4096	5	8	8	8 ch	16 ch	Yes	2	2	1	2

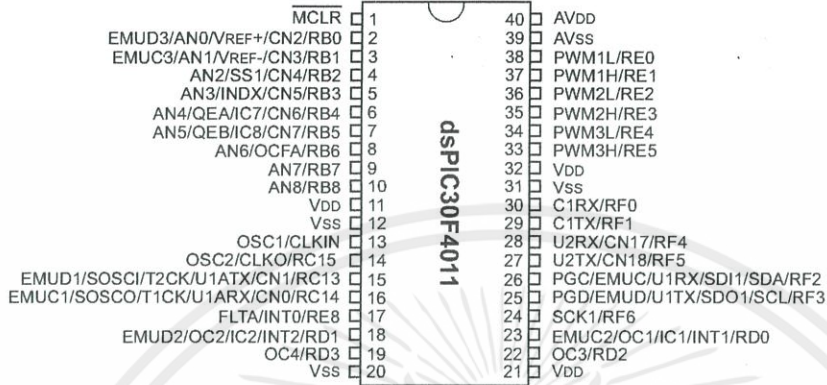
\* This table provides a summary of the dsPIC30F6010 peripheral features. Other available devices in the dsPIC30F Motor Control and Power Conversion Family are shown for feature comparison.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

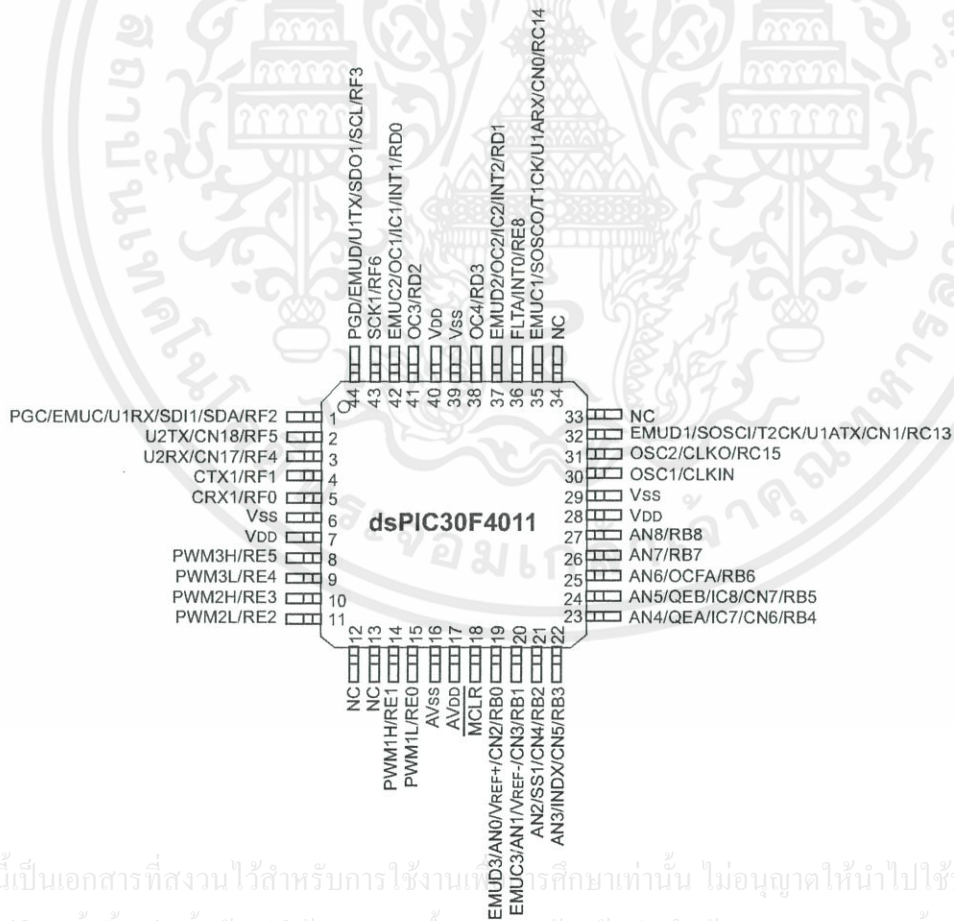
# dsPIC30F4011/4012

## Pin Diagrams

### 40-Pin PDIP



### 44-Pin TQFP



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.0 DEVICE OVERVIEW

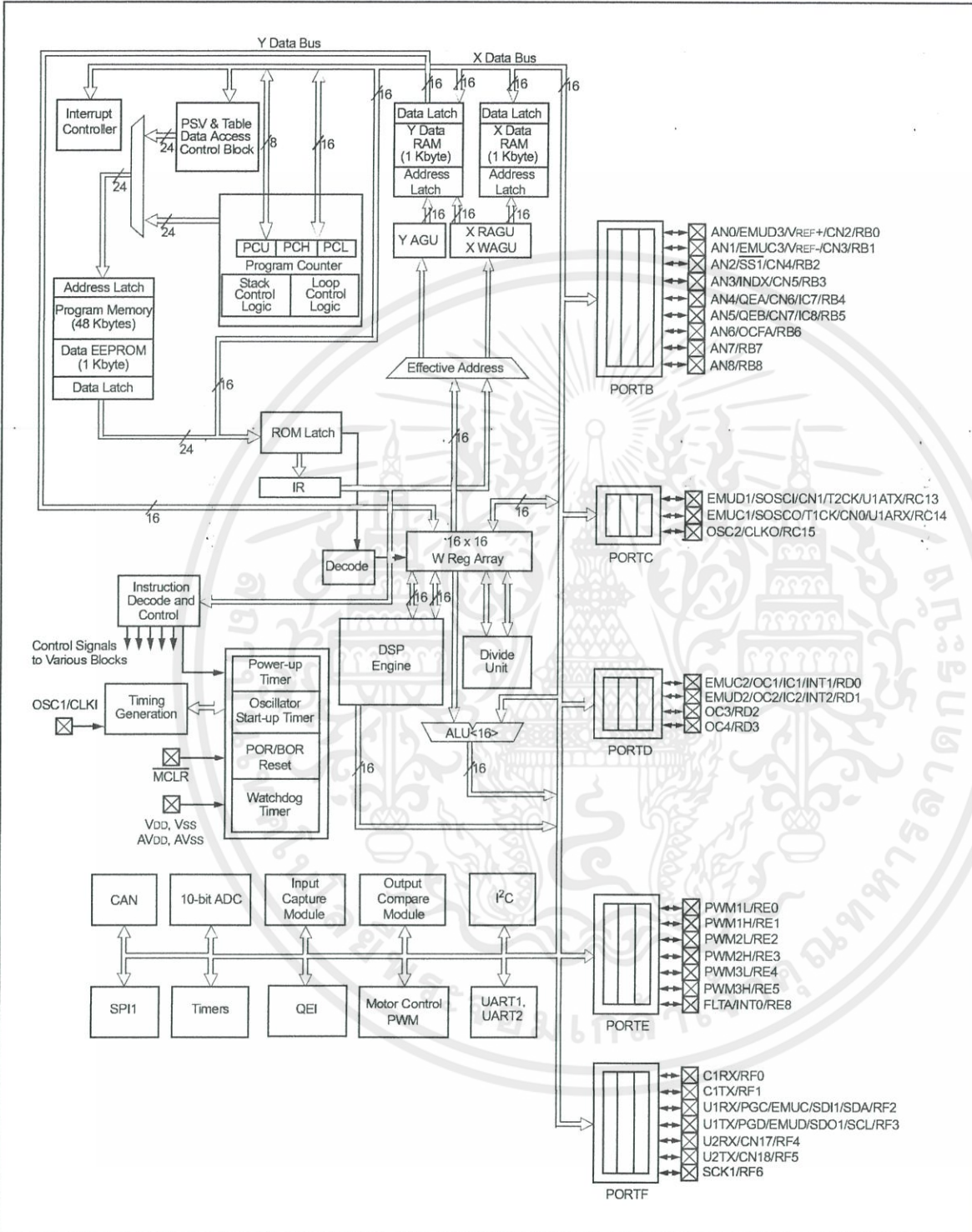
**Note:** This data sheet summarizes features of this group of dsPIC30F devices and is not intended to be a complete reference source. For more information on the CPU, peripherals, register descriptions and general device functionality, refer to the *dsPIC30F Family Reference Manual* (DS70046). For more information on the device instruction set and programming, refer to the *dsPIC30F Programmer's Reference Manual* (DS70030).

This document contains device specific information for the dsPIC30F4011/4012 device. The dsPIC30F devices contain extensive Digital Signal Processor (DSP) functionality within a high performance 16-bit microcontroller (MCU) architecture. Figure 1-1 and Figure 1-2 show device block diagrams for the dsPIC30F4011 and dsPIC30F4012 device.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

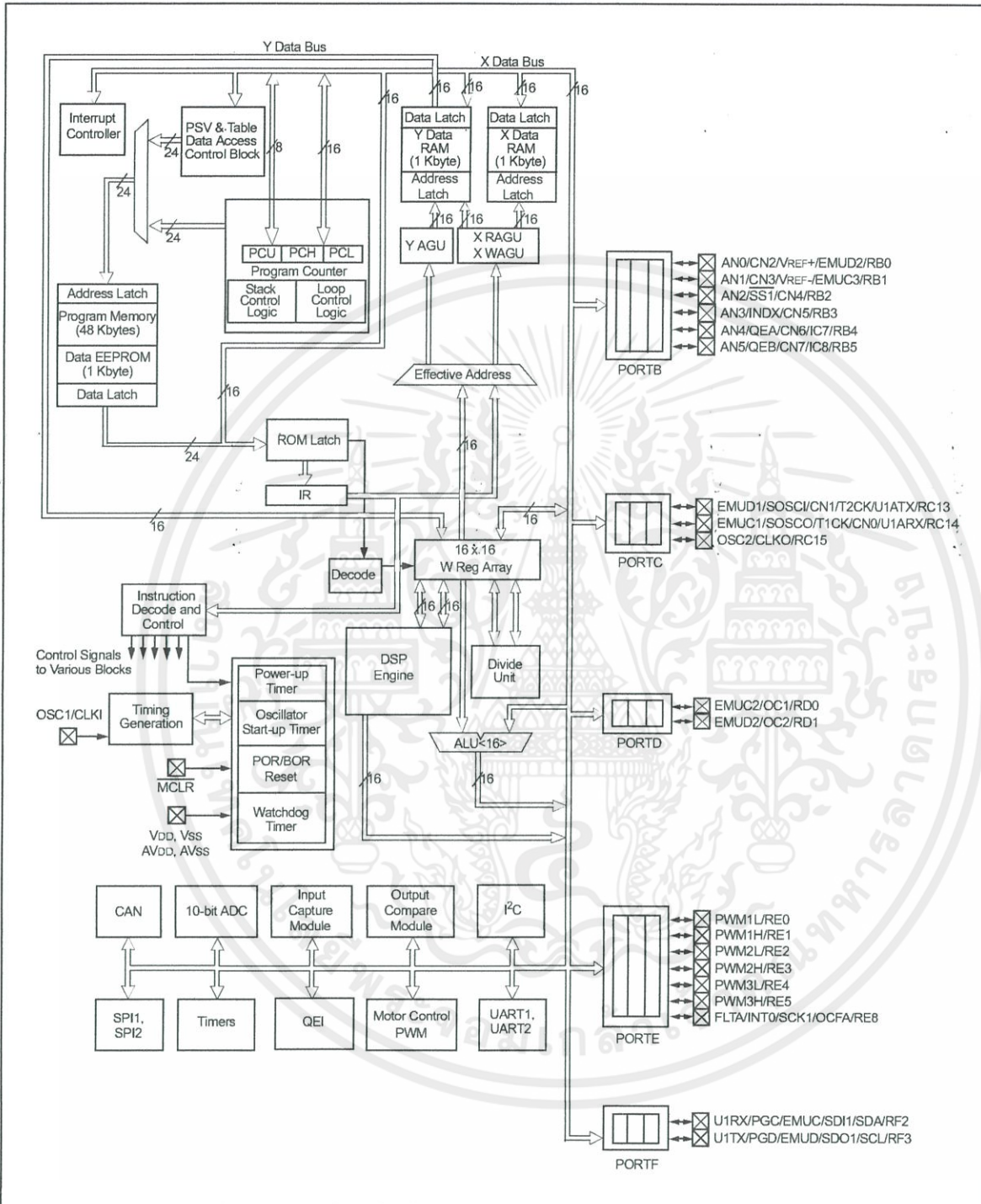
FIGURE 1-1: dsPIC30F4011 BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

FIGURE 1-2: dsPIC30F4012 BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

Table 1-1 provides a brief description of the device I/O pinout and the functions that are multiplexed to a port pin. Multiple functions may exist on one port pin. When multiplexing occurs, the peripheral module's functional requirements may force an override of the data direction of the port pin.

**TABLE 1-1: dsPIC30F4011 I/O PIN DESCRIPTIONS**

Pin Name	Pin Type	Buffer Type	Description
AN0-AN8	I	Analog	Analog input channels. AN0 and AN1 are also used for device programming data and clock inputs, respectively.
AVDD	P	P	Positive supply for analog module.
AVSS	P	P	Ground reference for analog module.
CLKI CLKO	I O	ST/CMOS —	External clock source input. Always associated with OSC1 pin function. Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. Optionally functions as CLKO in RC and EC modes. Always associated with OSC2 pin function.
CN0-CN7 CN17-CN18	I	ST	Input change notification inputs. Can be software programmed for internal weak pull-ups on all inputs.
C1RX C1TX	I O	ST —	CAN1 bus receive pin. CAN1 bus transmit pin.
EMUD EMUC EMUD1 EMUC1 EMUD2 EMUC2 EMUD3 EMUC3	I/O I/O I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST ST ST	ICD Primary Communication Channel data input/output pin. ICD Primary Communication Channel clock input/output pin. ICD Secondary Communication Channel data input/output pin. ICD Secondary Communication Channel clock input/output pin. ICD Tertiary Communication Channel data input/output pin. ICD Tertiary Communication Channel clock input/output pin. ICD Quaternary Communication Channel data input/output pin. ICD Quaternary Communication Channel clock input/output pin.
IC1, IC2, IC7, IC8	I	ST	Capture inputs 1, 2, 7 and 8.
INDX QEA QEB	I I I	ST ST ST	Quadrature Encoder Index Pulse input. Quadrature Encoder Phase A input in QEI mode. Auxiliary Timer External Clock/Gate input in Timer mode. Quadrature Encoder Phase A input in QEI mode. Auxiliary Timer External Clock/Gate input in Timer mode.
INT0 INT1 INT2	I I I	ST ST ST	External interrupt 0. External interrupt 1. External interrupt 2.
FLTA PWM1L PWM1H PWM2L PWM2H PWM3L PWM3H	I O O O O O O	ST — — — — — —	PWM Fault A input. PWM 1 Low output. PWM 1 High output. PWM 2 Low output. PWM 2 High output. PWM 3 Low output. PWM 3 High output.
MCLR	I/P	ST	Master Clear (Reset) input or programming voltage input. This pin is an active low Reset to the device.
OCFA OC1-OC4	I O	ST —	Compare Fault A input (for Compare channels 1, 2, 3 and 4). Compare outputs 1 through 4.

Legend: CMOS = CMOS compatible input or output      Analog = Analog input  
ST = Schmitt Trigger input with CMOS levels      O = Output  
I = Input      P = Power

## dsPIC30F4011/4012

TABLE 1-1: dsPIC30F4011 I/O PIN DESCRIPTIONS (CONTINUED)

Pin Name	Pin Type	Buffer Type	Description
OSC1 OSC2	I I/O	ST/CMOS —	Oscillator crystal input. ST buffer when configured in RC mode; CMOS otherwise. Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. Optionally functions as CLK0 in RC and EC modes.
PGD PGC	I/O I	ST ST	In-Circuit Serial Programming data input/output pin. In-Circuit Serial Programming clock input pin.
RB0-RB8	I/O	ST	PORTB is a bidirectional I/O port.
8RC13-RC15	8I/O	8ST	PORTC is a bidirectional I/O port.
RD0-RD3	I/O	ST	PORTD is a bidirectional I/O port.
RE0-RE5, RE8	I/O	ST	PORTE is a bidirectional I/O port.
RF0-RF6	I/O	ST	PORTF is a bidirectional I/O port.
SCK1 SDI1 SDO1 SS1	I/O I O I	ST ST — ST	Synchronous serial clock input/output for SPI™ 1. SPI 1 Data In. SPI 1 Data Out. SPI 1 Slave Synchronization.
SCL SDA	I/O I/O	ST ST	Synchronous serial clock input/output for I <sup>2</sup> C. Synchronous serial data input/output for I <sup>2</sup> C.
SOSCO SOSCI	O I	— ST/CMOS	32 kHz low power oscillator crystal output. 32 kHz low power oscillator crystal input. ST buffer when configured in RC mode; CMOS otherwise.
T1CK T2CK	I I	ST ST	Timer1 external clock input. Timer2 external clock input.
U1RX U1TX U1ARX U1ATX U2RX U2TX	I O I O I O	ST — ST — ST —	UART1 Receive. UART1 Transmit. UART1 Alternate Receive. UART1 Alternate Transmit. UART2 Receive. UART2 Transmit.
VDD	P	—	Positive supply for logic and I/O pins.
VSS	P	—	Ground reference for logic and I/O pins.
VREF+	I	Analog	Analog Voltage Reference (High) input.
VREF-	I	Analog	Analog Voltage Reference (Low) input.

Legend: CMOS = CMOS compatible input or output      Analog = Analog input  
 ST = Schmitt Trigger input with CMOS levels      O = Output  
 I = Input      P = Power

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.0 INTERRUPTS

**Note:** This data sheet summarizes features of this group of dsPIC30F devices and is not intended to be a complete reference source. For more information on the CPU, peripherals, register descriptions and general device functionality, refer to the *dsPIC30F Family Reference Manual* (DS70046). For more information on the device instruction set and programming, refer to the *dsPIC30F Programmer's Reference Manual* (DS70030).

The dsPIC30F4011/4012 has 30 interrupt sources and 4 processor exceptions (traps), which must be arbitrated based on a priority scheme.

The CPU is responsible for reading the Interrupt Vector Table (IVT) and transferring the address contained in the interrupt vector to the program counter. The interrupt vector is transferred from the program data bus into the program counter, via a 24-bit wide multiplexer on the input of the program counter.

The Interrupt Vector Table (IVT) and Alternate Interrupt Vector Table (AIVT) are placed near the beginning of program memory (0x000004). The IVT and AIVT are shown in Figure 5-1.

The interrupt controller is responsible for pre-processing the interrupts and processor exceptions, prior to their being presented to the processor core. The peripheral interrupts and traps are enabled, prioritized and controlled using centralized special function registers:

- IFS0<15:0>, IFS1<15:0>, IFS2<15:0>  
All interrupt request flags are maintained in these three registers. The flags are set by their respective peripherals or external signals, and they are cleared via software.
- IEC0<15:0>, IEC1<15:0>, IEC2<15:0>  
All Interrupt Enable Control bits are maintained in these three registers. These control bits are used to individually enable interrupts from the peripherals or external signals.
- IPC0<15:0>... IPC11<7:0>  
The user assignable priority level associated with each of these interrupts is held centrally in these twelve registers.
- IPL<3:0> The current CPU priority level is explicitly stored in the IPL bits. IPL<3> is present in the CORCON register, whereas IPL<2:0> are present in the status register (SR) in the processor core.

- INTCON1<15:0>, INTCON2<15:0>

Global interrupt control functions are derived from these two registers. INTCON1 contains the control and status flags for the processor exceptions. The INTCON2 register controls the external interrupt request signal behavior and the use of the alternate vector table.

**Note:** Interrupt Flag bits get set when an interrupt condition occurs, regardless of the state of its corresponding Enable bit. User software should ensure the appropriate Interrupt Flag bits are clear prior to enabling an interrupt.

All interrupt sources can be user assigned to one of 7 priority levels, 1 through 7, via the IPCx registers. Each interrupt source is associated with an interrupt vector, as shown in Table 5-1. Levels 7 and 1 represent the highest and lowest maskable priorities, respectively.

**Note:** Assigning a priority level of 0 to an interrupt source is equivalent to disabling that interrupt.

If the NSTDIS bit (INTCON1<15>) is set, nesting of interrupts is prevented. Thus, if an interrupt is currently being serviced, processing of a new interrupt is prevented, even if the new interrupt is of higher priority than the one currently being serviced.

**Note:** The IPL bits become read-only whenever the NSTDIS bit has been set to '1'.

Certain interrupts have specialized control bits for features like edge or level triggered interrupts, interrupt-on-change, etc. Control of these features remains within the peripheral module which generates the interrupt.

The DISI instruction can be used to disable the processing of interrupts of priorities 6 and lower for a certain number of instructions, during which the DISI bit (INTCON2<14>) remains set.

When an interrupt is serviced, the PC is loaded with the address stored in the vector location in Program Memory that corresponds to the interrupt. There are 63 different vectors within the IVT (refer to Figure 5-2). These vectors are contained in locations 0x000004 through 0x0000FE of program memory (refer to Figure 5-2). These locations contain 24-bit addresses, and in order to preserve robustness, an address error trap will take place should the PC attempt to fetch any of these words during normal execution. This prevents execution of random data as a result of accidentally decrementing a PC into vector space, accidentally mapping a data space address into vector space, or the PC rolling over to 0x000000 after reaching the end of implemented program memory space. Execution of a GOTO instruction to this vector space will also generate an address error trap.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อข้อมูลเท่านั้น ไม่อนุญาตให้ทำซ้ำหรือเผยแพร่ข้อมูลนี้โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

## 5.1 Interrupt Priority

The user assignable Interrupt Priority (IP<2:0>) bits for each individual interrupt source are located in the LS 3-bits of each nibble, within the IPCx register(s). Bit 3 of each nibble is not used and is read as a '0'. These bits define the priority level assigned to a particular interrupt by the user.

**Note:** The user selectable priority levels start at 0, as the lowest priority, and level 7, as the highest priority.

Since more than one interrupt request source may be assigned to a specific user specified priority level, a means is provided to assign priority within a given level. This method is called "Natural Order Priority".

Natural Order Priority is determined by the position of an interrupt in the vector table, and only affects interrupt operation when multiple interrupts with the same user-assigned priority become pending at the same time.

Table 5-1 lists the interrupt numbers and interrupt sources for the dsPIC devices and their associated vector numbers.

**Note 1:** The natural order priority scheme has 0 as the highest priority and 53 as the lowest priority.

**2:** The natural order priority number is the same as the INT number.

The ability for the user to assign every interrupt to one of seven priority levels implies that the user can assign a very high overall priority level to an interrupt with a low natural order priority. For example, the PLVD (Low Voltage Detect) can be given a priority of 7. The INT0 (external interrupt 0) may be assigned to priority level 1, thus giving it a very low effective priority.

**TABLE 5-1: INTERRUPT VECTOR TABLE**

INT Number	Vector Number	Interrupt Source
Highest Natural Order Priority		
0	8	INT0 - External Interrupt 0
1	9	IC1 - Input Capture 1
2	10	OC1 - Output Compare 1
3	11	T1 - Timer 1
4	12	IC2 - Input Capture 2
5	13	OC2 - Output Compare 2
6	14	T2 - Timer 2
7	15	T3 - Timer 3
8	16	SPI1
9	17	U1RX - UART1 Receiver
10	18	U1TX - UART1 Transmitter
11	19	ADC - ADC Convert Done
12	20	NVM - NVM Write Complete
13	21	SI2C - I <sup>2</sup> C Slave Interrupt
14	22	MI2C - I <sup>2</sup> C Master Interrupt
15	23	Input Change Interrupt
16	24	INT1 - External Interrupt 1
17	25	IC7 - Input Capture 7
18	26	IC8 - Input Capture 8
19	27	OC3 - Output Compare 3
20	28	OC4 - Output Compare 4
21	29	T4 - Timer 4
22	30	T5 - Timer 5
23	31	INT2 - External Interrupt 2
24	32	U2RX - UART2 Receiver
25	33	U2TX - UART2 Transmitter
26	34	Reserved
27	35	C1 - Combined IRQ for CAN1
28	36	Reserved
29	37	Reserved
30	38	Reserved
31	39	Reserved
32	40	Reserved
33	41	Reserved
34	42	Reserved
35	43	Reserved
36	44	Reserved
37	45	Reserved
38	46	Reserved
39	47	PWM - PWM Period Match
40	48	QE1 - QE1 Interrupt
41	49	Reserved
42	50	Reserved
43	51	FLTA - PWM Fault A
44	52	Reserved
45-53	53-61	Reserved
Lowest Natural Order Priority		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.2 Reset Sequence

A Reset is not a true exception, because the interrupt controller is not involved in the Reset process. The processor initializes its registers in response to a Reset, which forces the PC to zero. The processor then begins program execution at location 0x000000. A GOTO instruction is stored in the first program memory location, immediately followed by the address target for the GOTO instruction. The processor executes the GOTO to the specified address and then begins operation at the specified target (start) address.

### 5.2.1 RESET SOURCES

There are 6 sources of error which will cause a device reset.

- Watchdog Time-out:  
The watchdog has timed out, indicating that the processor is no longer executing the correct flow of code.
- Uninitialized W Register Trap:  
An attempt to use an uninitialized W register as an address pointer will cause a Reset.
- Illegal Instruction Trap:  
Attempted execution of any unused opcodes will result in an illegal instruction trap. Note that a fetch of an illegal instruction does not result in an illegal instruction trap if that instruction is flushed prior to execution due to a flow change.
- Brown-out Reset (BOR):  
A momentary dip in the power supply to the device has been detected, which may result in malfunction.
- Trap Lockout:  
Occurrence of multiple Trap conditions simultaneously will cause a Reset.

## 5.3 Traps

Traps can be considered as non-maskable interrupts indicating a software or hardware error, which adhere to a predefined priority as shown in Figure 5-1. They are intended to provide the user a means to correct erroneous operation during debug and when operating within the application.

**Note:** If the user does not intend to take corrective action in the event of a trap error condition, these vectors must be loaded with the address of a default handler that simply contains the RESET instruction. If, on the other hand, one of the vectors containing an invalid address is called, an address error trap is generated.

Note that many of these trap conditions can only be detected when they occur. Consequently, the questionable instruction is allowed to complete prior to trap exception processing. If the user chooses to recover from the error, the result of the erroneous action that caused the trap may have to be corrected.

There are 8 fixed priority levels for traps: Level 8 through Level 15, which implies that the IPL3 is always set during processing of a trap.

If the user is not currently executing a trap, and he sets the IPL<3:0> bits to a value of '0111' (Level 7), then all interrupts are disabled, but traps can still be processed.

### 5.3.1 TRAP SOURCES

The following traps are provided with increasing priority. However, since all traps can be nested, priority has little effect.

#### Math Error Trap:

The Math Error trap executes under the following three circumstances:

1. Should an attempt be made to divide by zero, the divide operation will be aborted on a cycle boundary and the trap taken.
2. If enabled, a Math Error trap will be taken when an arithmetic operation on either accumulator A or B causes an overflow from bit 31 and the Accumulator Guard bits are not utilized.
3. If enabled, a Math Error trap will be taken when an arithmetic operation on either accumulator A or B causes a catastrophic overflow from bit 39 and all saturation is disabled.
4. If the shift amount specified in a shift instruction is greater than the maximum allowed shift amount, a trap will occur.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### Address Error Trap:

This trap is initiated when any of the following circumstances occurs:

1. A misaligned data word access is attempted.
2. A data fetch from our unimplemented data memory location is attempted.
3. A data access of an unimplemented program memory location is attempted.
4. An instruction fetch from vector space is attempted.

**Note:** In the MAC class of instructions, wherein the data space is split into X and Y data space, unimplemented X space includes all of Y space, and unimplemented Y space includes all of X space.

5. Execution of a "BRA #literal" instruction or a "GOTO #literal" instruction, where literal is an unimplemented program memory address.
6. Executing instructions after modifying the PC to point to unimplemented program memory addresses. The PC may be modified by loading a value into the stack and executing a RETURN instruction.

### Stack Error Trap:

This trap is initiated under the following conditions:

1. The stack pointer is loaded with a value which is greater than the (user programmable) limit value written into the SPLIM register (stack overflow).
2. The stack pointer is loaded with a value which is less than 0x0800 (simple stack underflow).

### Oscillator Fail Trap:

This trap is initiated if the external oscillator fails and operation becomes reliant on an internal RC backup.

### 5.3.2 HARD AND SOFT TRAPS

It is possible that multiple traps can become active within the same cycle (e.g., a misaligned word stack write to an overflowed address). In such a case, the fixed priority shown in Figure 5-2 is implemented, which may require the user to check if other traps are pending, in order to completely correct the fault.

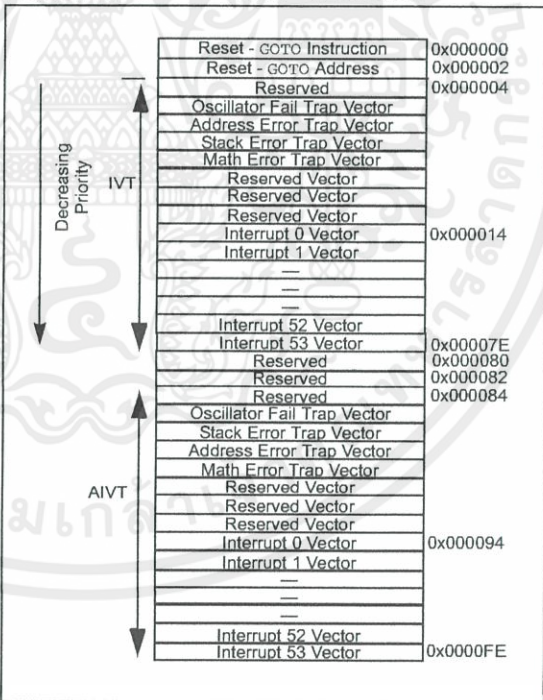
'Soft' traps include exceptions of priority level 8 through level 11, inclusive. The arithmetic error trap (level 11) falls into this category of traps.

'Hard' traps include exceptions of priority level 12 through level 15, inclusive. The address error (level 12), stack error (level 13) and oscillator error (level 14) traps fall into this category.

Each hard trap that occurs must be acknowledged before code execution of any type may continue. If a lower priority hard trap occurs while a higher priority trap is pending, acknowledged, or is being processed, a hard trap conflict will occur.

The device is automatically Reset in a hard trap conflict condition. The TRAPR status bit (RCON<15>) is set when the Reset occurs, so that the condition may be detected in software.

**FIGURE 5-1: TRAP VECTORS**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

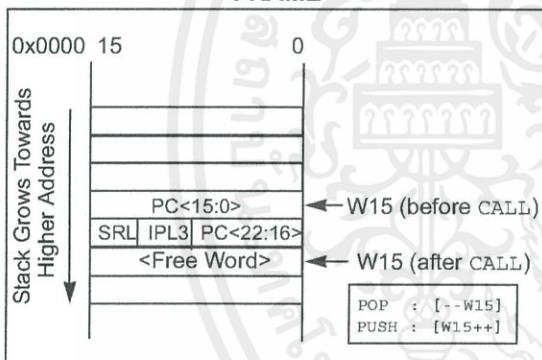
## 5.4 Interrupt Sequence

All interrupt event flags are sampled in the beginning of each instruction cycle by the IFSx registers. A pending interrupt request (IRQ) is indicated by the flag bit being equal to a '1' in an IFSx register. The IRQ will cause an interrupt to occur if the corresponding bit in the interrupt enable (IECx) register is set. For the remainder of the instruction cycle, the priorities of all pending interrupt requests are evaluated.

If there is a pending IRQ with a priority level greater than the current processor priority level in the IPL bits, the processor will be interrupted.

The processor then stacks the current program counter and the low byte of the processor status register (SRL), as shown in Figure 5-2. The low byte of the status register contains the processor priority level at the time, prior to the beginning of the interrupt cycle. The processor then loads the priority level for this interrupt into the status register. This action will disable all lower priority interrupts until the completion of the Interrupt Service Routine.

FIGURE 5-2: INTERRUPT STACK FRAME



**Note 1:** The user can always lower the priority level by writing a new value into SR. The Interrupt Service Routine must clear the interrupt flag bits in the IFSx register before lowering the processor interrupt priority, in order to avoid recursive interrupts.

**2:** The IPL3 bit (CORCON<3>) is always clear when interrupts are being processed. It is set only during execution of traps.

The RETFIE (Return from Interrupt) instruction will unstack the program counter and status registers to return the processor to its state prior to the interrupt sequence.

## 5.5 Alternate Vector Table

In Program Memory, the Interrupt Vector Table (IVT) is followed by the Alternate Interrupt Vector Table (AIVT), as shown in Figure 5-1. Access to the Alternate Vector Table is provided by the ALTIVT bit in the INTCON2 register. If the ALTIVT bit is set, all interrupt and exception processes will use the alternate vectors instead of the default vectors. The alternate vectors are organized in the same manner as the default vectors. The AIVT supports emulation and debugging efforts by providing a means to switch between an application and a support environment, without requiring the interrupt vectors to be reprogrammed. This feature also enables switching between applications for evaluation of different software algorithms at run time.

If the AIVT is not required, the program memory allocated to the AIVT may be used for other purposes. AIVT is not a protected section and may be freely programmed by the user.

## 5.6 Fast Context Saving

A context saving option is available using shadow registers. Shadow registers are provided for the DC, N, OV, Z and C bits in SR, and the registers W0 through W3. The shadows are only one level deep. The shadow registers are accessible using the PUSH.S and POP.S instructions only.

When the processor vectors to an interrupt, the PUSH.S instruction can be used to store the current value of the aforementioned registers into their respective shadow registers.

If an ISR of a certain priority uses the PUSH.S and POP.S instructions for fast context saving, then a higher priority ISR should not include the same instructions. Users must save the key registers in software during a lower priority interrupt, if the higher priority ISR uses fast context saving.

## 5.7 External Interrupt Requests

The interrupt controller supports five external interrupt request signals, INT0-INT4. These inputs are edge sensitive; they require a low-to-high or a high-to-low transition to generate an interrupt request. The INTCON2 register has five bits, INT0EP-INT4EP, that select the polarity of the edge detection circuitry.

## 5.8 Wake-up from Sleep and Idle

The interrupt controller may be used to wake up the processor from either Sleep or Idle modes, if Sleep or Idle mode is active when the interrupt is generated.

If an enabled interrupt request of sufficient priority is received by the interrupt controller, then the standard interrupt request is presented to the processor. At the same time, the processor will wake-up from Sleep or Idle and begin execution of the Interrupt Service Routine (ISR) needed to process the interrupt request.

TABLE 5-2: INTERRUPT CONTROLLER REGISTER MAP

SFR Name	ADR	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
INTCON1	0080	NSTDIS	---	---	---	---	OVATE	OVBTE	COVTE	---	---	---	MATHERR	ADDRERR	STKERR	OSCFAIL	---	0000 0000 0000 0000
INTCON2	0082	ALTVT	---	---	---	---	U1TXIF	U2TXIF	U2RXIF	---	---	---	---	---	INT2EP	INT1EP	INT0EP	0000 0000 0000 0000
IFS0	0084	CNIF	M12CIF	S12CIF	NVMIF	ADIF	U1TXIF	U2TXIF	SPI1IF	T3IF	T2IF	OC2IF	IC2IF	T1IF	OC1IF	IC1IF	INT0IF	0000 0000 0000 0000
IFS1	0086	---	---	---	---	C1IF	---	---	---	INT2IF	T5IF	T4IF	OC4IF	OC3IF	IC8IF	IC7IF	INT1IF	0000 0000 0000 0000
IFS2	0088	---	---	---	---	FLTAIF	---	---	QE1IF	PWMIF	---	---	---	---	---	---	---	0000 0000 0000 0000
IEC0	008C	CNIE	M12CIE	S12CIE	NVMIE	ADIE	U1TXIE	U2TXIE	SPI1IE	T3IE	T2IE	OC2IE	IC2IE	T1IE	OC1IE	IC1IE	INT0IE	0000 0000 0000 0000
IEC1	008E	---	---	---	---	C1IE	---	U2TXIE	U2RXIE	INT2IE	T5IE	T4IE	OC4IE	OC3IE	IC8IE	IC7IE	INT1IE	0000 0000 0000 0000
IEC2	0090	---	---	---	---	FLTAIE	---	---	QE1IE	PWMIE	---	---	---	---	---	---	---	0000 0000 0000 0000
IPC0	0094	---	T1IP<2:0>	---	---	---	OC1IP<2:0>	---	---	---	---	IC1IP<2:0>	---	---	---	INT0IP<2:0>	---	0100 0100 0100 0100
IPC1	0096	---	T3IP<2:0>	---	---	---	T2IP<2:0>	---	---	---	OC2IP<2:0>	---	---	---	---	IC2IP<2:0>	---	0100 0100 0100 0100
IPC2	0098	---	ADIP<2:0>	---	---	---	U1TXIP<2:0>	---	---	---	---	U1RXIP<2:0>	---	---	---	SPI1IP<2:0>	---	0100 0100 0100 0100
IPC3	009A	---	CNIP<2:0>	---	---	---	M12CIP<2:0>	---	---	---	---	S12CIP<2:0>	---	---	---	NVMIP<2:0>	---	0100 0100 0100 0100
IPC4	009C	---	OC3IP<2:0>	---	---	---	IC8IP<2:0>	---	---	---	---	IC7IP<2:0>	---	---	---	INT1IP<2:0>	---	0100 0100 0100 0100
IPC5	009E	---	INT2IP<2:0>	---	---	---	T5IP<2:0>	---	---	---	---	T4IP<2:0>	---	---	---	OC4IP<2:0>	---	0100 0100 0100 0100
IPC6	00A0	---	C1IP<2:0>	---	---	---	---	---	---	---	---	U2TXIP<2:0>	---	---	---	U2RXIP<2:0>	---	0100 0000 0100 0100
IPC7	00A2	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	0000 0000 0000 0000
IPC8	00A4	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	0000 0000 0000 0000
IPC9	00A6	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	0000 0000 0000 0000
IPC10	00A8	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	0100 0000 0100 0100
IPC11	00AA	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	0100 0000 0000 0100

Legend: u = uninitialized bit

Note: Refer to dsPIC30F Family Reference Manual (DS70046) for descriptions of register bit fields.



## 15.0 MOTOR CONTROL PWM MODULE

**Note:** This data sheet summarizes features of this group of dsPIC30F devices and is not intended to be a complete reference source. For more information on the CPU, peripherals, register descriptions and general device functionality, refer to the *dsPIC30F Family Reference Manual* (DS70046).

This module simplifies the task of generating multiple, synchronized Pulse Width Modulated (PWM) outputs. In particular, the following power and motion control applications are supported by the PWM module:

- Three Phase AC Induction Motor
- Switched Reluctance (SR) Motor
- Brushless DC (BLDC) Motor
- Uninterruptible Power Supply (UPS)

The PWM module has the following features:

- 6 PWM I/O pins with 3 duty cycle generators
- Up to 16-bit resolution

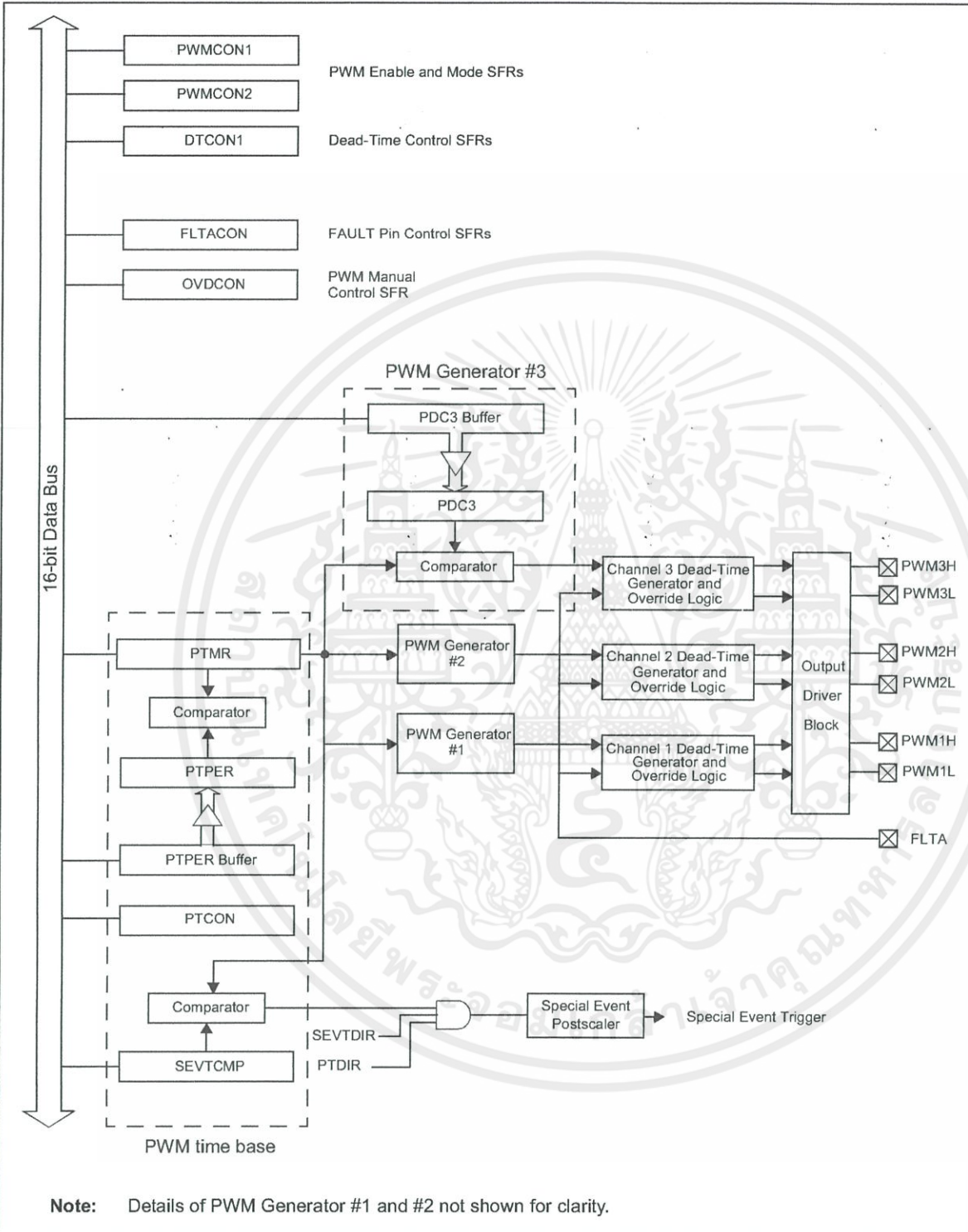
- 'On-the-Fly' PWM frequency changes
- Edge and Center Aligned Output modes
- Single Pulse Generation mode
- Interrupt support for asymmetrical updates in Center Aligned mode
- Output override control for Electrically Commutative Motor (ECM) operation
- 'Special Event' comparator for scheduling other peripheral events
- FAULT pins to optionally drive each of the PWM output pins to a defined state

This module contains 3 duty cycle generators, numbered 1 through 3. The module has 6 PWM output pins, numbered PWM1H/PWM1L through PWM3H/PWM3L. The six I/O pins are grouped into high/low numbered pairs, denoted by the suffix H or L, respectively. For complementary loads, the low PWM pins are always the complement of the corresponding high I/O pin.

The PWM module allows several modes of operation which are beneficial for specific power control applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**FIGURE 15-1: PWM MODULE BLOCK DIAGRAM**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 15.1 PWM Time Base

The PWM time base is provided by a 15-bit timer with a prescaler and postscaler. The time base is accessible via the PTMR SFR. PTMR<15> is a Read Only Status bit, PTDIR, that indicates the present count direction of the PWM time base. If PTDIR is cleared, PTMR is counting upwards. If PTDIR is set, PTMR is counting downwards. The PWM time base is configured via the PTCAN SFR. The time base is enabled/disabled by setting/clearing the PTEN bit in the PTCAN SFR. PTMR is not cleared when the PTEN bit is cleared in software.

The PTPER SFR sets the counting period for PTMR. The user must write a 15-bit value to PTPER<14:0>. When the value in PTMR<14:0> matches the value in PTPER<14:0>, the time base will either reset to 0, or reverse the count direction on the next occurring clock cycle. The action taken depends on the operating mode of the time base.

**Note:** If the period register is set to 0x0000, the timer will stop counting, and the interrupt and the special event trigger will not be generated, even if the special event value is also 0x0000. The module will not update the period register, if it is already at 0x0000; therefore, the user must disable the module in order to update the period register.

The PWM time base can be configured for four different modes of operation:

- Free Running mode
- Single Shot mode
- Continuous Up/Down Count mode
- Continuous Up/Down Count mode with interrupts for double updates

These four modes are selected by the PTMOD<1:0> bits in the PTCAN SFR. The Up/Down Counting modes support center aligned PWM generation. The Single Shot mode allows the PWM module to support pulse control of certain Electronically Commutative Motors (ECMs).

The interrupt signals generated by the PWM time base depend on the mode selection bits (PTMOD<1:0>) and the postscaler bits (PTOPS<3:0>) in the PTCAN SFR.

### 15.1.1 FREE RUNNING MODE

In the Free Running mode, the PWM time base counts upwards until the value in the Time Base Period register (PTPER) is matched. The PTMR register is reset on the following input clock edge and the time base will continue to count upwards as long as the PTEN bit remains set.

When the PWM time base is in the Free Running mode (PTMOD<1:0> = 00), an interrupt event is generated each time a match with the PTPER register occurs and the PTMR register is reset to zero. The postscaler selection bits may be used in this mode of the timer to reduce the frequency of the interrupt events.

### 15.1.2 SINGLE SHOT MODE

In the Single Shot Counting mode, the PWM time base begins counting upwards when the PTEN bit is set. When the value in the PTMR register matches the PTPER register, the PTMR register will be reset on the following input clock edge and the PTEN bit will be cleared by the hardware to halt the time base.

When the PWM time base is in the Single Shot mode (PTMOD<1:0> = 01), an interrupt event is generated when a match with the PTPER register occurs, the PTMR register is reset to zero on the following input clock edge, and the PTEN bit is cleared. The postscaler selection bits have no effect in this mode of the timer.

### 15.1.3 CONTINUOUS UP/DOWN COUNTING MODES

In the Continuous Up/Down Counting modes, the PWM time base counts upwards until the value in the PTPER register is matched. The timer will begin counting downwards on the following input clock edge. The PTDIR bit in the PTCAN SFR is read only and indicates the counting direction. The PTDIR bit is set when the timer counts downwards.

In the Up/Down Counting mode (PTMOD<1:0> = 10), an interrupt event is generated each time the value of the PTMR register becomes zero and the PWM time base begins to count upwards. The postscaler selection bits may be used in this mode of the timer to reduce the frequency of the interrupt events.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

## 15.1.4 DOUBLE UPDATE MODE

In the Double Update mode (PTMOD<1:0> = 11), an interrupt event is generated each time the PTMR register is equal to zero, as well as each time a period match occurs. The postscaler selection bits have no effect in this mode of the timer.

The Double Update mode provides two additional functions to the user. First, the control loop bandwidth is doubled because the PWM duty cycles can be updated, twice per period. Second, asymmetrical center-aligned PWM waveforms can be generated, which are useful for minimizing output waveform distortion in certain motor control applications.

**Note:** Programming a value of 0x0001 in the period register could generate a continuous interrupt pulse, and hence, must be avoided.

## 15.1.5 PWM TIME BASE PRESCALER

The input clock to PTMR (Fosc/4), has prescaler options of 1:1, 1:4, 1:16, or 1:64, selected by control bits PTCKPS<1:0> in the PTCN SFR. The prescaler counter is cleared when any of the following occurs:

- a write to the PTMR register
- a write to the PTCN register
- any device Reset

The PTMR register is not cleared when PTCN is written.

## 15.1.6 PWM TIME BASE POSTSCALER

The match output of PTMR can optionally be post-scaled through a 4-bit postscaler (which gives a 1:1 to 1:16 scaling).

The postscaler counter is cleared when any of the following occurs:

- a write to the PTMR register
- a write to the PTCN register
- any device Reset

The PTMR register is not cleared when PTCN is written.

## 15.2 PWM Period

PTPER is a 15-bit register and is used to set the counting period for the PWM time base. PTPER is a double buffered register. The PTPER buffer contents are loaded into the PTPER register at the following instants:

- **Free Running and Single Shot modes:** When the PTMR register is reset to zero after a match with the PTPER register.
- **Up/Down Counting modes:** When the PTMR register is zero.

The value held in the PTPER buffer is automatically loaded into the PTPER register when the PWM time base is disabled (PTEN = 0).

The PWM period can be determined using Equation 15-1:

### EQUATION 15-1: PWM PERIOD

$$T_{\text{PWM}} = \frac{T_{\text{CY}} \cdot (\text{PTPER} + 1)}{(\text{PTMR Prescale Value})}$$

If the PWM time base is configured for one of the Up/Down Count modes, the PWM period will be twice the value provided by Equation 15-1.

The maximum resolution (in bits) for a given device oscillator and PWM frequency can be determined using Equation 15-2:

### EQUATION 15-2: PWM RESOLUTION

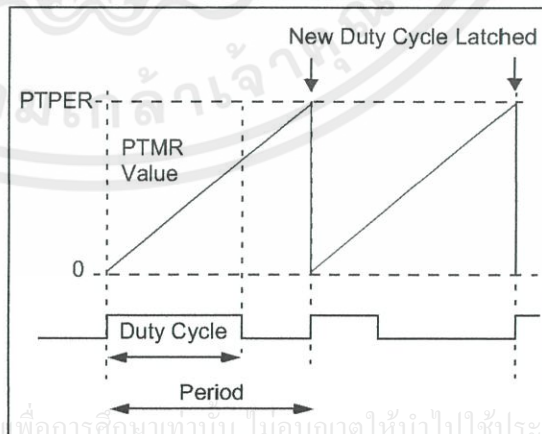
$$\text{Resolution} = \frac{\log(2 \cdot T_{\text{PWM}} / T_{\text{CY}})}{\log(2)}$$

## 15.3 Edge Aligned PWM

Edge aligned PWM signals are produced by the module when the PWM time base is in the Free Running or Single Shot mode. For edge aligned PWM outputs, the output has a period specified by the value in PTPER and a duty cycle specified by the appropriate duty cycle register (see Figure 15-2). The PWM output is driven active at the beginning of the period (PTMR = 0) and is driven inactive when the value in the duty cycle register matches PTMR.

If the value in a particular duty cycle register is zero, then the output on the corresponding PWM pin will be inactive for the entire PWM period. In addition, the output on the PWM pin will be active for the entire PWM period if the value in the duty cycle register is greater than the value held in the PTPER register.

FIGURE 15-2: EDGE ALIGNED PWM



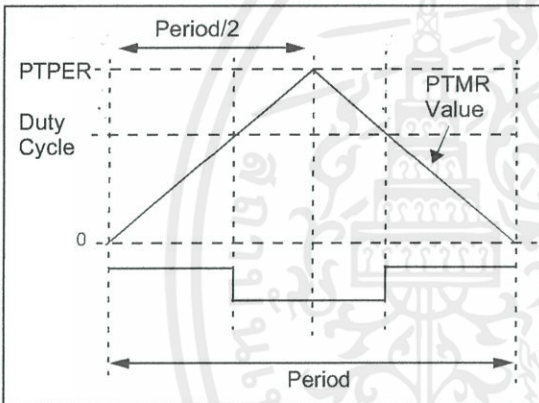
### 15.4 Center Aligned PWM

Center aligned PWM signals are produced by the module when the PWM time base is configured in an Up/Down Counting mode (see Figure 15-3).

The PWM compare output is driven to the active state when the value of the duty cycle register matches the value of PTMR and the PWM time base is counting downwards (PTDIR = 1). The PWM compare output is driven to the inactive state when the PWM time base is counting upwards (PTDIR = 0) and the value in the PTMR register matches the duty cycle value.

If the value in a particular duty cycle register is zero, then the output on the corresponding PWM pin will be inactive for the entire PWM period. In addition, the output on the PWM pin will be active for the entire PWM period if the value in the duty cycle register is equal to the value held in the PTPER register.

**FIGURE 15-3: CENTER ALIGNED PWM**



### 15.5 PWM Duty Cycle Comparison Units

There are three 16-bit special function registers (PDC1, PDC2 and PDC3) used to specify duty cycle values for the PWM module.

The value in each duty cycle register determines the amount of time that the PWM output is in the active state. The duty cycle registers are 16-bits wide. The LS bit of a duty cycle register determines whether the PWM edge occurs in the beginning. Thus, the PWM resolution is effectively doubled.

#### 15.5.1 DUTY CYCLE REGISTER BUFFERS

The three PWM duty cycle registers are double buffered to allow glitchless updates of the PWM outputs. For each duty cycle, there is a duty cycle register that is accessible by the user and a second duty cycle register that holds the actual compare value used in the present PWM period.

For edge aligned PWM output, a new duty cycle value will be updated whenever a match with the PTPER register occurs and PTMR is reset. The contents of the duty cycle buffers are automatically loaded into the duty cycle registers when the PWM time base is disabled (PTEN = 0) and the UDIS bit is cleared in PWMCON2.

When the PWM time base is in the Up/Down Counting mode, new duty cycle values are updated when the value of the PTMR register is zero and the PWM time base begins to count upwards. The contents of the duty cycle buffers are automatically loaded into the duty cycle registers when the PWM time base is disabled (PTEN = 0).

When the PWM time base is in the Up/Down Counting mode with double updates, new duty cycle values are updated when the value of the PTMR register is zero, and when the value of the PTMR register matches the value in the PTPER register. The contents of the duty cycle buffers are automatically loaded into the duty cycle registers when the PWM time base is disabled (PTEN = 0).

### 15.6 Complementary PWM Operation

In the Complementary mode of operation, each pair of PWM outputs is obtained by a complementary PWM signal. A dead-time may be optionally inserted during device switching, when both outputs are inactive for a short period (Refer to Section 15.7).

In Complementary mode, the duty cycle comparison units are assigned to the PWM outputs as follows:

- PDC1 register controls PWM1H/PWM1L outputs
- PDC2 register controls PWM2H/PWM2L outputs
- PDC3 register controls PWM3H/PWM3L outputs

The Complementary mode is selected for each PWM I/O pin pair by clearing the appropriate PMODx bit in the PWMCON1 SFR. The PWM I/O pins are set to Complementary mode by default upon a device Reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

## 15.7 Dead-Time Generators

Dead-time generation may be provided when any of the PWM I/O pin pairs are operating in the Complementary Output mode. The PWM outputs use Push-Pull drive circuits. Due to the inability of the power output devices to switch instantaneously, some amount of time must be provided between the turn off event of one PWM output in a complementary pair and the turn on event of the other transistor.

The PWM module allows two different dead-times to be programmed. These two dead-times may be used in one of two methods described below to increase user flexibility:

- The PWM output signals can be optimized for different turn off times in the high side and low side transistors in a complementary pair of transistors. The first dead-time is inserted between the turn off event of the lower transistor of the complementary pair and the turn on event of the upper transistor. The second dead-time is inserted between the turn off event of the upper transistor and the turn on event of the lower transistor.
- The two dead-times can be assigned to individual PWM I/O pin pairs. This Operating mode allows the PWM module to drive different transistor/load combinations with each complementary PWM I/O pin pair.

### 15.7.1 DEAD-TIME GENERATORS

Each complementary output pair for the PWM module has a 6-bit down counter that is used to produce the dead-time insertion. As shown in Figure 15-4, each dead-time unit has a rising and falling edge detector connected to the duty cycle comparison output.

### 15.7.2 DEAD-TIME RANGES

The amount of dead-time provided by the dead-time unit is selected by specifying the input clock prescaler value and a 6-bit unsigned value.

Four input clock prescaler selections have been provided to allow a suitable range of dead-time, based on the device operating frequency. The dead-time clock prescaler values are selected using the DTAPS<1:0> control bits in the DTCON1 SFR. One of four clock prescaler options (Tcy, 2Tcy, 4Tcy or 8Tcy) may be selected.

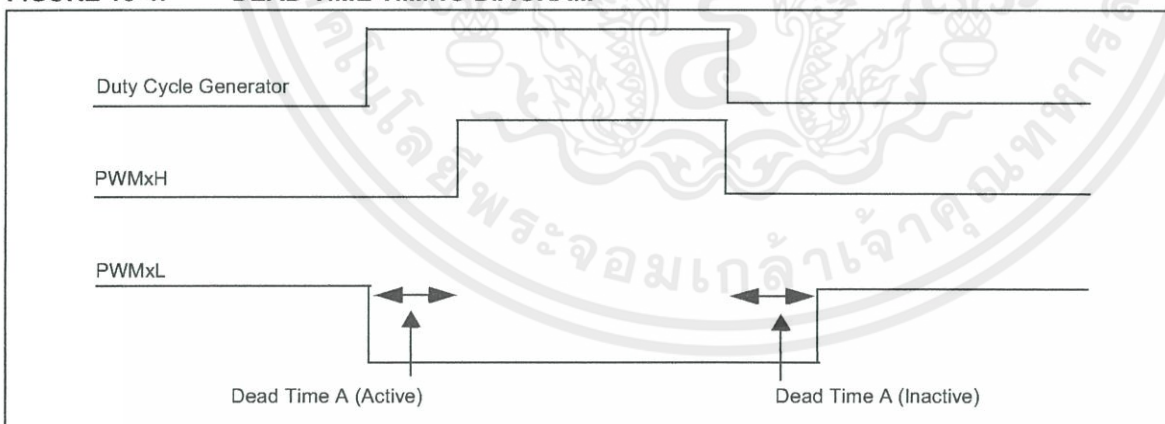
After the prescaler value is selected, the dead-time is adjusted by loading 6-bit unsigned values into the DTCON1 SFR.

The dead-time unit prescaler is cleared on the following events:

- On a load of the down timer due to a duty cycle comparison edge event.
- On a write to the DTCON1 register.
- On any device Reset.

**Note:** The user should not modify the DTCON1 value while the PWM module is operating (PTEN = 1). Unexpected results may occur.

FIGURE 15-4: DEAD-TIME TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 15.8 Independent PWM Output

An independent PWM Output mode is required for driving certain types of loads. A particular PWM output pair is in the Independent Output mode when the corresponding PMOD bit in the PWMCON1 register is set. No dead-time control is implemented between adjacent PWM I/O pins when the module is operating in the Independent mode and both I/O pins are allowed to be active simultaneously.

In the Independent mode, each duty cycle generator is connected to both of the PWM I/O pins in an output pair. By using the associated duty cycle register and the appropriate bits in the OVDCON register, the user may select the following signal output options for each PWM I/O pin operating in the Independent mode:

- I/O pin outputs PWM signal
- I/O pin inactive
- I/O pin active

## 15.9 Single Pulse PWM Operation

The PWM module produces single pulse outputs when the PTCON control bits PTMOD<1:0> = 10. Only edge aligned outputs may be produced in the Single Pulse mode. In Single Pulse mode, the PWM I/O pin(s) are driven to the active state when the PTEN bit is set. When a match with a duty cycle register occurs, the PWM I/O pin is driven to the inactive state. When a match with the PTPER register occurs, the PTMR register is cleared, all active PWM I/O pins are driven to the inactive state, the PTEN bit is cleared, and an interrupt is generated.

## 15.10 PWM Output Override

The PWM output override bits allow the user to manually drive the PWM I/O pins to specified logic states, independent of the duty cycle comparison units.

All control bits associated with the PWM output override function are contained in the OVDCON register. The upper half of the OVDCON register contains six bits, POVDxH<3:1> and POVDxL<3:1>, that determine which PWM I/O pins will be overridden. The lower half of the OVDCON register contains six bits, POUTxH<3:1> and POUTxL<3:1>, that determine the state of the PWM I/O pins when a particular output is overridden via the POVD bits.

### 15.10.1 COMPLEMENTARY OUTPUT MODE

When a PWMxL pin is driven active via the OVDCON register, the output signal is forced to be the complement of the corresponding PWMxH pin in the pair. Dead-time insertion is still performed when PWM channels are overridden manually.

### 15.10.2 OVERRIDE SYNCHRONIZATION

If the OSYNC bit in the PWMCON2 register is set, all output overrides performed via the OVDCON register are synchronized to the PWM time base. Synchronous output overrides occur at the following times:

- Edge Aligned mode, when PTMR is zero.
- Center Aligned modes, when PTMR is zero and when the value of PTMR matches PTPER.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

## 15.11 PWM Output and Polarity Control

There are three device configuration bits associated with the PWM module that provide PWM output pin control:

- HPOL configuration bit
- LPOL configuration bit
- PWMPIN configuration bit

These three bits in the FPORBOR configuration register (see Section 21) work in conjunction with the three PWM Enable bits (PWMEN<3:1>) located in the PWMCON1 SFR. The configuration bits and PWM Enable bits ensure that the PWM pins are in the correct states after a device Reset occurs. The PWMPIN configuration fuse allows the PWM module outputs to be optionally enabled on a device Reset. If PWMPIN = 0, the PWM outputs will be driven to their inactive states at Reset. If PWMPIN = 1 (default), the PWM outputs will be tri-stated. The HPOL bit specifies the polarity for the PWMxH outputs, whereas the LPOL bit specifies the polarity for the PWMxL outputs.

### 15.11.1 OUTPUT PIN CONTROL

The PEN<3:1>H and PEN<3:1>L control bits in the PWMCON1 SFR enable each high PWM output pin and each low PWM output pin, respectively. If a particular PWM output pin not enabled, it is treated as a general purpose I/O pin.

## 15.12 PWM FAULT Pin

There is one FAULT pin (FLTA) associated with the PWM module. When asserted, these pins can optionally drive each of the PWM I/O pins to a defined state.

### 15.12.1 FAULT PIN ENABLE BITS

The FLTACON SFR has 3 control bits that determine whether a particular pair of PWM I/O pins is to be controlled by the FAULT input pin. To enable a specific PWM I/O pin pair for FAULT overrides, the corresponding bit should be set in the FLTACON register.

If all enable bits are cleared in the FLTACON register, then the corresponding FAULT input pin has no effect on the PWM module and the pin may be used as a general purpose interrupt or I/O pin.

**Note:** The FAULT pin logic can operate independent of the PWM logic. If all the enable bits in the FLTACON register are cleared, then the FAULT pin could be used as a general purpose interrupt pin. The FAULT pin has an interrupt vector, Interrupt Flag bit and Interrupt Priority bits associated with it.

### 15.12.2 FAULT STATES

The FLTACON special function register has 6 bits that determine the state of each PWM I/O pin when it is overridden by a FAULT input. When these bits are cleared, the PWM I/O pin is driven to the inactive state. If the bit is set, the PWM I/O pin will be driven to the active state. The active and inactive states are referenced to the polarity defined for each PWM I/O pin (HPOL and LPOL polarity control bits).

A special case exists when a PWM module I/O pair is in the Complementary mode and both pins are programmed to be active on a FAULT condition. The PWMxH pin always has priority in the Complementary mode, so that both I/O pins cannot be driven active simultaneously.

### 15.12.3 FAULT INPUT MODES

The FAULT input pin has two modes of operation:

- **Latched Mode:** When the FAULT pin is driven low, the PWM outputs will go to the states defined in the FLTACON register. The PWM outputs will remain in this state until the FAULT pin is driven high and the corresponding interrupt flag has been cleared in software. When both of these actions have occurred, the PWM outputs will return to normal operation at the beginning of the next PWM cycle or half-cycle boundary. If the interrupt flag is cleared before the FAULT condition ends, the PWM module will wait until the FAULT pin is no longer asserted, to restore the outputs.
- **Cycle-by-Cycle Mode:** When the FAULT input pin is driven low, the PWM outputs remain in the defined FAULT states for as long as the FAULT pin is held low. After the FAULT pin is driven high, the PWM outputs return to normal operation at the beginning of the following PWM cycle or half-cycle boundary.

The Operating mode for the FAULT input pin is selected using the FLTAM control bit in the FLTACON Special Function Register.

The FAULT pin can be controlled manually in software.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 15.13 PWM Update Lockout

For a complex PWM application, the user may need to write up to three duty cycle registers and the time base period register, PTPER, at a given time. In some applications, it is important that all buffer registers be written before the new duty cycle and period values are loaded for use by the module.

The PWM update lockout feature is enabled by setting the UDIS control bit in the PWMCON2 SFR. The UDIS bit affects all duty cycle buffer registers and the PWM time base period buffer, PTPER. No duty cycle changes or period value changes will have effect while UDIS = 1.

### 15.14 PWM Special Event Trigger

The PWM module has a special event trigger that allows A/D conversions to be synchronized to the PWM time base. The A/D sampling and conversion time may be programmed to occur at any point within the PWM period. The special event trigger allows the user to minimize the delay between the time when A/D conversion results are acquired and the time when the duty cycle value is updated.

The PWM special event trigger has a SFR named SEVTCMP, and five control bits to control its operation. The PTMR value for which a special event trigger should occur is loaded into the SEVTCMP register. When the PWM time base is in an Up/Down Counting mode, an additional control bit is required to specify the counting phase for the special event trigger. The count phase is selected using the SEVTDIR control bit in the SEVTCMP SFR. If the SEVTDIR bit is cleared, the special event trigger will occur on the upward counting cycle of the PWM time base. If the SEVTDIR bit is set, the special event trigger will occur on the downward count cycle of the PWM time base. The SEVTDIR control bit has no effect unless the PWM time base is configured for an Up/Down Counting mode.

#### 15.14.1 SPECIAL EVENT TRIGGER POSTSCALER

The PWM special event trigger has a postscaler that allows a 1:1 to 1:16 postscale ratio. The postscaler is configured by writing the SEVOPS<3:0> control bits in the PWMCON2 SFR.

The special event output postscaler is cleared on the following events:

- Any write to the SEVTCMP register
- Any device Reset

### 15.15 PWM Operation During CPU Sleep Mode

The FAULT A input pin has the ability to wake the CPU from Sleep mode. The PWM module generates an interrupt if the FAULT pin is driven low while in Sleep.

### 15.16 PWM Operation During CPU Idle Mode

The PTCN SFR contains a PTSIDL control bit. This bit determines if the PWM module will continue to operate or stop when the device enters Idle mode. If PTSIDL = 0, the module will continue to operate. If PTSIDL = 1, the module will stop operation as long as the CPU remains in Idle mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 15-1: 6-OUTPUT PWM REGISTER MAP

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State	
PTCON	01C0	PTEN	PTSIDL								PTOPS<3:0>			PTCKPS<1:0>			PTMOD<1:0>	0000 0000 0000 0000	
PTMR	01C2	PTDIR									PWM Timer Count Value							0000 0000 0000 0000	
PTPER	01C4										PWM Time Base Period Register							0000 0000 0000 0000	
SEVTCMP	01C6	SEVTDJR									PWM Special Event Compare Register							0000 0000 0000 0000	
PWMCON1	01C8						PTMOD3	PTMOD2	PTMOD1	PEN3H	PEN2H	PEN1H	PEN3L	PEN2L	PEN1L			0000 0000 1111 1111	
PWMCON2	01CA						SEVOPS<3:0>											0000 0000 0000 0000	
DTCON1	01CC									Dead-Time A Value								0000 0000 0000 0000	
FLTACON	01D0			FAOV3H	FAOV3L	FAOV2H	FAOV2L	FAOV1H	FAOV1L	FLTAM								0000 0000 0000 0000	
OVDACON	01D4			POVD3H	POVD3L	POVD2H	POVD2L	POVD1H	POVD1L									0000 0000 0000 0000	
PDC1	01D6									PDC1: PWM Duty Cycle #1 Register			POUT3H	POUT3L	POUT2H	POUT2L	POUT1H	POUT1L	1111 1111 0000 0000
PDC2	01D8									PDC2: PWM Duty Cycle #2 Register									0000 0000 0000 0000
PDC3	01DA									PDC3: PWM Duty Cycle #3 Register									0000 0000 0000 0000

Legend: u = uninitialized bit

Note: Refer to dsPIC30F Family Reference Manual (DS70046) for descriptions of register bit fields.



## 20.0 10-BIT HIGH SPEED ANALOG-TO-DIGITAL CONVERTER (A/D) MODULE

**Note:** This data sheet summarizes features of this group of dsPIC30F devices and is not intended to be a complete reference source. For more information on the CPU, peripherals, register descriptions and general device functionality, refer to the *dsPIC30F Family Reference Manual* (DS70046).

The 10-bit high-speed analog-to-digital converter (A/D) allows conversion of an analog input signal to a 10-bit digital number. This module is based on a Successive Approximation Register (SAR) architecture, and provides a maximum sampling rate of 500 ksp/s. The A/D module has 16 analog inputs which are multiplexed into four sample and hold amplifiers. The output of the sample and hold is the input into the converter, which generates the result. The analog reference voltages are software selectable to either the device supply voltage (AVDD/AVSS) or the voltage level on the (VREF+/VREF-) pin. The A/D converter has a unique feature of being able to operate while the device is in Sleep mode.

The A/D module has six 16-bit registers:

- A/D Control Register1 (ADCON1)
- A/D Control Register2 (ADCON2)
- A/D Control Register3 (ADCON3)
- A/D Input Select Register (ADCHS)
- A/D Port Configuration Register (ADPCFG)
- A/D Input Scan Selection Register (ADCSSL)

The ADCON1, ADCON2 and ADCON3 registers control the operation of the A/D module. The ADCHS register selects the input channels to be converted. The ADPCFG register configures the port pins as analog inputs or as digital I/O. The ADCSSL register selects inputs for scanning.

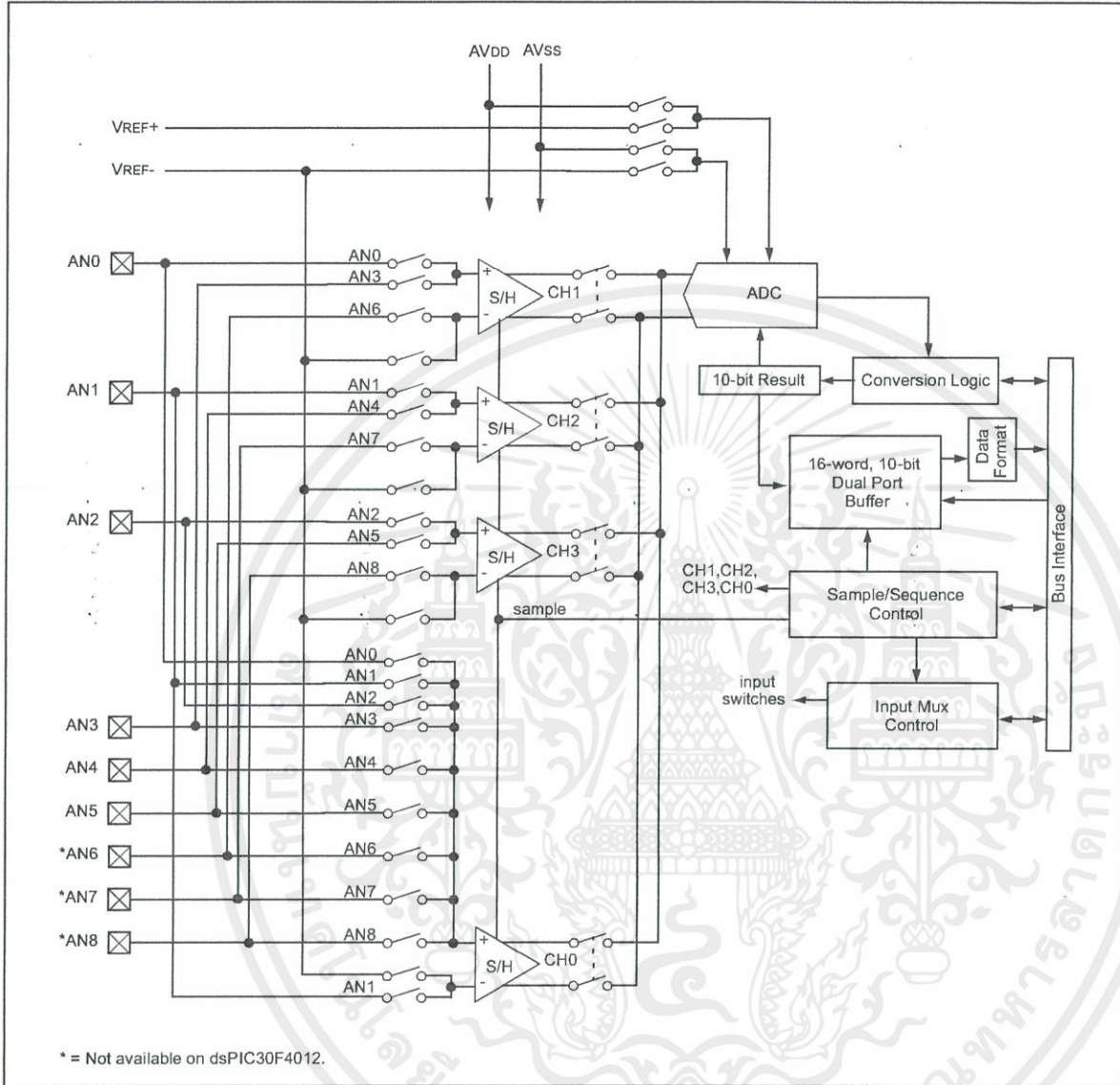
**Note:** The SSRC<2:0>, ASAM, SIMSAM, SMP1<3:0>, BUFM and ALTS bits, as well as the ADCON3 and ADCSSL registers, must not be written to while ADON = 1. This would lead to indeterminate results.

The block diagram of the A/D module is shown in Figure 20-1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

FIGURE 20-1: 10-BIT HIGH SPEED A/D FUNCTIONAL BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 20.1 A/D Result Buffer

The module contains a 16-word dual port read-only buffer, called ADCBUF0...ADCBUFF, to buffer the A/D results. The RAM is 10-bits wide, but is read into different format 16-bit words. The contents of the sixteen A/D conversion result buffer registers, ADCBUF0 through ADCBUFF, cannot be written by user software.

## 20.2 Conversion Operation

After the A/D module has been configured, the sample acquisition is started by setting the SAMP bit. Various sources, such as a programmable bit, timer time-outs and external events, will terminate acquisition and start a conversion. When the A/D conversion is complete, the result is loaded into ADCBUF0...ADCBUFF, and the A/D interrupt flag ADIF and the DONE bit are set after the number of samples specified by the SMPI bit.

The following steps should be followed for doing an A/D conversion:

1. Configure the A/D module:
  - Configure analog pins, voltage reference and digital I/O
  - Select A/D input channels
  - Select A/D conversion clock
  - Select A/D conversion trigger
  - Turn on A/D module
2. Configure A/D interrupt (if required):
  - Clear ADIF bit
  - Select A/D interrupt priority
3. Start sampling.
4. Wait the required acquisition time.
5. Trigger acquisition end, start conversion
6. Wait for A/D conversion to complete, by either:
  - Waiting for the A/D interrupt
7. Read A/D result buffer, clear ADIF if required.

## 20.3 Selecting the Conversion Sequence

Several groups of control bits select the sequence in which the A/D connects inputs to the sample/hold channels, converts channels, writes the buffer memory, and generates interrupts. The sequence is controlled by the sampling clocks.

The SIMSAM bit controls the acquire/convert sequence for multiple channels. If the SIMSAM bit is '0', the two or four selected channels are acquired and converted sequentially, with two or four sample clocks. If the SIMSAM bit is '1', two or four selected channels are acquired simultaneously, with one sample clock. The channels are then converted sequentially. Obviously, if there is only 1 channel selected, the SIMSAM bit is not applicable.

The CHPS bits selects how many channels are sampled. This can vary from 1, 2 or 4 channels. If CHPS selects 1 channel, the CH0 channel will be sampled at the sample clock and converted. The result is stored in the buffer. If CHPS selects 2 channels, the CH0 and CH1 channels will be sampled and converted. If CHPS selects 4 channels, the CH0, CH1, CH2 and CH3 channels will be sampled and converted.

The SMPI bits select the number of acquisition/conversion sequences that would be performed before an interrupt occurs. This can vary from 1 sample per interrupt to 16 samples per interrupt.

The user cannot program a combination of CHPS and SMPI bits that specifies more than 16 conversions per interrupt, or 8 conversions per interrupt, depending on the BUFM bit. The BUFM bit, when set, will split the 16-word results buffer (ADCBUF0...ADCBUFF) into two 8-word groups. Writing to the 8-word buffers will be alternated on each interrupt event. Use of the BUFM bit will depend on how much time is available for moving data out of the buffers after the interrupt, as determined by the application.

If the processor can quickly unload a full buffer within the time it takes to acquire and convert one channel, the BUFM bit can be '0' and up to 16 conversions may be done per interrupt. The processor will have one sample and conversion time to move the sixteen conversions.

If the processor cannot unload the buffer within the acquisition and conversion time, the BUFM bit should be '1'. For example, if  $SMPI<3:0> (ADCON2<5:2>) = 0111$ , then eight conversions will be loaded into 1/2 of the buffer, following which an interrupt occurs. The next eight conversions will be loaded into the other 1/2 of the buffer. The processor will have the entire time between interrupts to move the eight conversions.

The ALTS bit can be used to alternate the inputs selected during the sampling sequence. The input multiplexer has two sets of sample inputs: MUX A and MUX B. If the ALTS bit is '0', only the MUX A inputs are selected for sampling. If the ALTS bit is '1' and  $SMPI<3:0> = 0000$ , on the first sample/convert sequence, the MUX A inputs are selected, and on the next acquire/convert sequence, the MUX B inputs are selected.

The CSCNA bit ( $ADCON2<10>$ ) will allow the CH0 channel inputs to be alternately scanned across a selected number of analog inputs for the MUX A group. The inputs are selected by the ADCSSL register. If a particular bit in the ADCSSL register is '1', the corresponding input is selected. The inputs are always scanned from lower to higher numbered inputs, starting after each interrupt. If the number of inputs selected is greater than the number of samples taken per interrupt, the higher numbered inputs are unused.

# dsPIC30F4011/4012

## 20.4 Programming the Start of Conversion Trigger

The conversion trigger will terminate acquisition and start the requested conversions.

The SSRC<2:0> bits select the source of the conversion trigger.

The SSRC bits provide for up to 5 alternate sources of conversion trigger.

When SSRC<2:0> = 000, the conversion trigger is under software control. Clearing the SAMP bit will cause the conversion trigger.

When SSRC<2:0> = 111 (Auto Start mode), the conversion trigger is under A/D clock control. The SAMC bits select the number of A/D clocks between the start of acquisition and the start of conversion. This provides the fastest conversion rates on multiple channels. SAMC must always be at least 1 clock cycle.

Other trigger sources can come from timer modules, Motor Control PWM module, or external interrupts.

**Note:** To operate the A/D at the maximum specified conversion speed, the Auto Convert Trigger option should be selected (SSRC = 111) and the Auto Sample Time bits should be set to 1 TAD (SAMC = 00001). This configuration will give a total conversion period (sample + convert) of 13 TAD. The use of any other conversion trigger will result in additional TAD cycles to synchronize the external event to the A/D.

## 20.5 Aborting a Conversion

Clearing the ADON bit during a conversion will abort the current conversion and stop the sampling sequencing. The ADCBUF will not be updated with the partially completed A/D conversion sample. That is, the ADCBUF will continue to contain the value of the last completed conversion (or the last value written to the ADCBUF register).

If the clearing of the ADON bit coincides with an auto start, the clearing has a higher priority.

After the A/D conversion is aborted, a 2 TAD wait is required before the next sampling may be started by setting the SAMP bit.

If sequential sampling is specified, the A/D will continue at the next sample pulse which corresponds with the next channel converted. If simultaneous sampling is specified, the A/D will continue with the next multi-channel group conversion sequence.

## 20.6 Selecting the A/D Conversion Clock

The A/D conversion requires 12 TAD. The source of the A/D conversion clock is software selected using a six bit counter. There are 64 possible options for TAD.

### EQUATION 20-1: A/D CONVERSION CLOCK

$$\begin{aligned} \text{TAD} &= \text{TCY} * (0.5 * (\text{ADCS}\langle 5:0 \rangle + 1)) \\ \text{ADCS}\langle 5:0 \rangle &= 2 \frac{\text{TAD}}{\text{TCY}} - 1 \end{aligned}$$

The internal RC oscillator is selected by setting the ADRC bit.

For correct A/D conversions, the A/D conversion clock (TAD) must be selected to ensure a minimum TAD time of 154 nsec (for VDD = 5V). Refer to the Electrical Specifications section for minimum TAD under other operating conditions.

Example 20-1 shows a sample calculation for the ADCS<5:0> bits, assuming a device operating speed of 30 MIPS.

### EXAMPLE 20-1: A/D CONVERSION CLOCK CALCULATION

$$\begin{aligned} \text{Minimum TAD} &= 154 \text{ nsec} \\ \text{TCY} &= 33 \text{ nsec (30 MIPS)} \\ \text{ADCS}\langle 5:0 \rangle &= 2 \frac{\text{TAD}}{\text{TCY}} - 1 \\ &= 2 \cdot \frac{154 \text{ nsec}}{33 \text{ nsec}} - 1 \\ &= 8.33 \\ \text{Therefore,} \\ \text{Set ADCS}\langle 5:0 \rangle &= 9 \\ \text{Actual TAD} &= \frac{\text{TCY}}{2} (\text{ADCS}\langle 5:0 \rangle + 1) \\ &= \frac{33 \text{ nsec}}{2} (9 + 1) \\ &= 165 \text{ nsec} \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

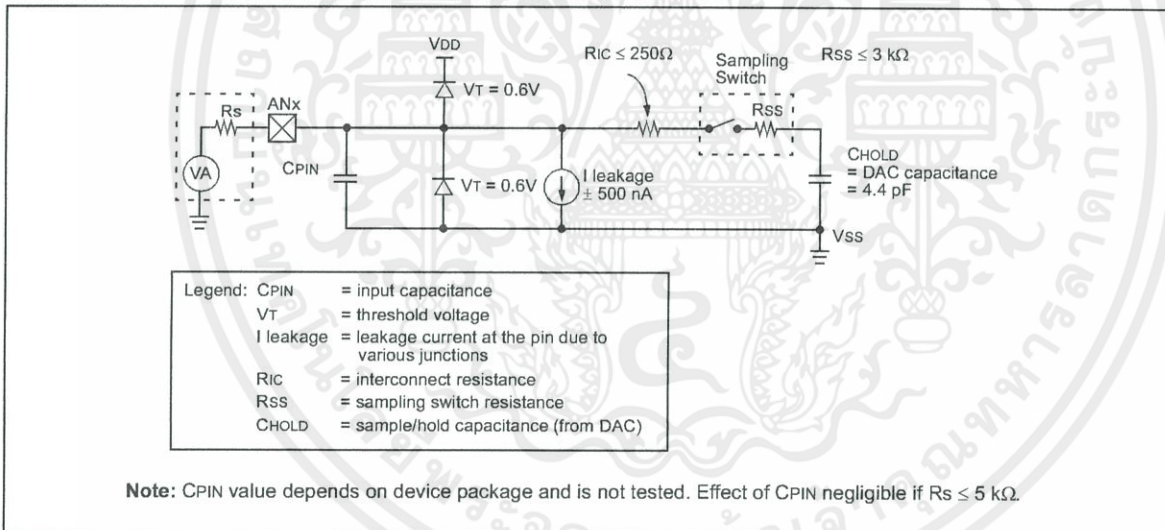
## 20.7 A/D Acquisition Requirements

The analog input model of the 10-bit A/D converter is shown in Figure 20-2. The total sampling time for the A/D is a function of the internal amplifier settling time, device VDD and the holding capacitor charge time.

For the A/D converter to meet its specified accuracy, the charge holding capacitor (CHOLD) must be allowed to fully charge to the voltage level on the analog input pin. The source impedance (Rs), the interconnect impedance (Ric), and the internal sampling switch (RSS) impedance combine to directly affect the time required to charge the capacitor CHOLD. The combined impedance of the analog sources must therefore be small enough to fully charge the holding capacitor within the chosen sample time. To minimize the effects of pin leakage currents on the accuracy of the A/D converter, the maximum recommended source impedance, Rs, is 5 kΩ. After the analog input channel is selected (changed), this sampling function must be completed prior to starting the conversion. The internal holding capacitor will be in a discharged state prior to each sample operation.

The user must allow at least 1 TAD period of sampling time, TSAMP, between conversions to allow each sample to be acquired. This sample time may be controlled manually in software by setting/clearing the SAMP bit, or it may be automatically controlled by the A/D converter. In an automatic configuration, the user must allow enough time between conversion triggers so that the minimum sample time can be satisfied. Refer to the Electrical Specifications for TAD and sample time requirements.

FIGURE 20-2: A/D CONVERTER ANALOG INPUT MODEL



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 20.8 Module Power-down Modes

The module has 3 internal power modes. When the ADON bit is '1', the module is in Active mode; it is fully powered and functional. When ADON is '0', the module is in Off mode. The digital and analog portions of the circuit are disabled for maximum current savings. In order to return to the Active mode from Off mode, the user must wait for the ADC circuitry to stabilize.

## 20.9 A/D Operation During CPU Sleep and Idle Modes

### 20.9.1 A/D OPERATION DURING CPU SLEEP MODE

When the device enters Sleep mode, all clock sources to the module are shutdown and stay at logic '0'.

If Sleep occurs in the middle of a conversion, the conversion is aborted. The converter will not continue with a partially completed conversion on exit from Sleep mode.

Register contents are not affected by the device entering or leaving Sleep mode.

The A/D module can operate during Sleep mode if the A/D clock source is set to RC (ADRC = 1). When the RC clock source is selected, the A/D module waits one instruction cycle before starting the conversion. This allows the SLEEP instruction to be executed, which eliminates all digital switching noise from the conversion. When the conversion is complete, the Done bit will be set and the result loaded into the ADCBUF register.

If the A/D interrupt is enabled, the device will wake-up from Sleep. If the A/D interrupt is not enabled, the A/D module will then be turned off, although the ADON bit will remain set.

### 20.9.2 A/D OPERATION DURING CPU IDLE MODE

The ADSIDL bit selects if the module will stop on Idle or continue on Idle. If ADSIDL = 0, the module will continue operation on assertion of Idle mode. If ADSIDL = 1, the module will stop on Idle.

## 20.10 Effects of a Reset

A device Reset forces all registers to their Reset state. This forces the A/D module to be turned off, and any conversion and acquisition sequence is aborted. The values that are in the ADCBUF registers are not modified. The A/D result register will contain unknown data after a Power-on Reset.

## 20.11 Output Formats

The A/D result is 10-bits wide. The data buffer RAM is also 10-bits wide. The 10-bit data can be read in one of four different formats. The FORM<1:0> bits select the format. Each of the output formats translates to a 16-bit result on the data bus.

Write data will always be in right justified (integer) format.

**FIGURE 20-3: A/D OUTPUT DATA FORMATS**

RAM Contents:	d09	d08	d07	d06	d05	d04	d03	d02	d01	d00						
Read to Bus:																
Signed Fractional (1.15)	$\overline{d09}$	d08	d07	d06	d05	d04	d03	d02	d01	d00	0	0	0	0	0	
Fractional (1.15)	d09	d08	d07	d06	d05	d04	d03	d02	d01	d00	0	0	0	0	0	
Signed Integer	$\overline{d09}$	$\overline{d09}$	$\overline{d09}$	$\overline{d09}$	$\overline{d09}$	$\overline{d09}$	d08	d07	d06	d05	d04	d03	d02	d01	d00	
Integer	0	0	0	0	0	0	d09	d08	d07	d06	d05	d04	d03	d02	d01	d00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 20.12 Configuring Analog Port Pins

The use of the ADPCFG and TRIS registers control the operation of the A/D port pins. The port pins that are desired as analog inputs must have their corresponding TRIS bit set (input). If the TRIS bit is cleared (output), the digital output level (VOH or VOL) will be converted.

The A/D operation is independent of the state of the CH0SA<3:0>/CH0SB<3:0> bits and the TRIS bits.

When reading the PORT register, all pins configured as analog input channels will read as cleared.

Pins configured as digital inputs will not convert an analog input. Analog levels on any pin that is defined as a digital input (including the ANx pins), may cause the input buffer to consume current that exceeds the device specifications.

## 20.13 Connection Considerations

The analog inputs have diodes to VDD and VSS as ESD protection. This requires that the analog input be between VDD and VSS. If the input voltage exceeds this range by greater than 0.3V (either direction), one of the diodes becomes forward biased and it may damage the device if the input current specification is exceeded.

An external RC filter is sometimes added for anti-aliasing of the input signal. The R component should be selected to ensure that the sampling time requirements are satisfied. Any external components connected (via high impedance) to an analog input pin (capacitor, zener diode, etc.) should have very little leakage current at the pin.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 20-1: ADC REGISTER MAP

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
ADCBUF0	0280	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 0	---	---	---	---	---	0000 0000 0000 0000
ADCBUF1	0282	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 1	---	---	---	---	---	0000 0000 0000 0000
ADCBUF2	0284	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 2	---	---	---	---	---	0000 0000 0000 0000
ADCBUF3	0286	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 3	---	---	---	---	---	0000 0000 0000 0000
ADCBUF4	0288	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 4	---	---	---	---	---	0000 0000 0000 0000
ADCBUF5	028A	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 5	---	---	---	---	---	0000 0000 0000 0000
ADCBUF6	028C	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 6	---	---	---	---	---	0000 0000 0000 0000
ADCBUF7	028E	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 7	---	---	---	---	---	0000 0000 0000 0000
ADCBUF8	0290	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 8	---	---	---	---	---	0000 0000 0000 0000
ADCBUF9	0292	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 9	---	---	---	---	---	0000 0000 0000 0000
ADCBUFA	0294	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 10	---	---	---	---	---	0000 0000 0000 0000
ADCBUFB	0296	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 11	---	---	---	---	---	0000 0000 0000 0000
ADCBUFC	0298	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 12	---	---	---	---	---	0000 0000 0000 0000
ADCBUFD	029A	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 13	---	---	---	---	---	0000 0000 0000 0000
ADCBUFE	029C	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 14	---	---	---	---	---	0000 0000 0000 0000
ADCBUFF	029E	---	---	---	---	---	---	---	---	---	---	ADC Data Buffer 15	---	---	---	---	---	0000 0000 0000 0000
ADCON1	02A0	ADON	---	ADSIDL	---	---	---	FORM<1:0>	SSRC<2:0>	BUFS	SIMSAM	SAMP	DONE	---	---	---	---	0000 0000 0000 0000
ADCON2	02A2	---	VCFG<2:0>	---	---	CSCNA	CHPS<1:0>	---	---	ADRC	---	SMPI<3:0>	BUFM	ALTS	---	---	---	0000 0000 0000 0000
ADCON3	02A4	---	---	---	---	SAMC<4:0>	---	---	---	---	---	---	---	---	---	---	---	0000 0000 0000 0000
ADCHS	02A6	CH123NB<1:0>	CH123SB	CH0NB	---	CH0SB<3:0>	CH123NA<1:0>	CH123SA	CH0NA	---	---	CH0SA<3:0>	---	---	---	---	---	0000 0000 0000 0000
ADPCFG	02A8	---	---	---	---	---	PCFG8*	PCFG7*	PCFG6*	PCFG5	PCFG4	PCFG3	PCFG2	PCFG1	PCFG0	---	---	0000 0000 0000 0000
ADCSSL	02AA	---	---	---	---	---	CSSL8*	CSSL7	CSSL6*	CSSL5	CSSL4	CSSL3	CSSL2	CSSL1	CSSL0	---	---	0000 0000 0000 0000

Legend: u = uninitialized bit

\* Not available on dsPIC30F4012

Note: Refer to dsPIC30F Family Reference Manual (DS70046) for descriptions of register bit fields.

## 23.0 DEVELOPMENT SUPPORT

The PICmicro® microcontrollers are supported with a full range of hardware and software development tools:

- Integrated Development Environment
  - MPLAB® IDE Software
- Assemblers/Compilers/Linkers
  - MPASM™ Assembler
  - MPLAB C17 and MPLAB C18 C Compilers
  - MPLINK™ Object Linker/  
MPLIB™ Object Librarian
  - MPLAB C30 C Compiler
  - MPLAB ASM30 Assembler/Linker/Library
- Simulators
  - MPLAB SIM Software Simulator
  - MPLAB dsPIC30 Software Simulator
- Emulators
  - MPLAB ICE 2000 In-Circuit Emulator
  - MPLAB ICE 4000 In-Circuit Emulator
- In-Circuit Debugger
  - MPLAB ICD 2
- Device Programmers
  - PRO MATE® II Universal Device Programmer
  - PICSTART® Plus Development Programmer
  - MPLAB PM3 Device Programmer
- Low-Cost Demonstration Boards
  - PICDEM™ 1 Demonstration Board
  - PICDEM.net™ Demonstration Board
  - PICDEM 2 Plus Demonstration Board
  - PICDEM 3 Demonstration Board
  - PICDEM 4 Demonstration Board
  - PICDEM 17 Demonstration Board
  - PICDEM 18R Demonstration Board
  - PICDEM LIN Demonstration Board
  - PICDEM USB Demonstration Board
- Evaluation Kits
  - KEELoQ®
  - PICDEM MSC
  - microID®
  - CAN
  - PowerSmart®
  - Analog

## 23.1 MPLAB Integrated Development Environment Software

The MPLAB IDE software brings an ease of software development previously unseen in the 8/16-bit microcontroller market. The MPLAB IDE is a Windows® based application that contains:

- An interface to debugging tools
  - simulator
  - programmer (sold separately)
  - emulator (sold separately)
  - in-circuit debugger (sold separately)
- A full-featured editor with color coded context
- A multiple project manager
- Customizable data windows with direct edit of contents
- High-level source code debugging
- Mouse over variable inspection
- Extensive on-line help

The MPLAB IDE allows you to:

- Edit your source files (either assembly or C)
- One touch assemble (or compile) and download to PICmicro emulator and simulator tools (automatically updates all project information)
- Debug using:
  - source files (assembly or C)
  - mixed assembly and C
  - machine code

MPLAB IDE supports multiple debugging tools in a single development paradigm, from the cost effective simulators, through low-cost in-circuit debuggers, to full-featured emulators. This eliminates the learning curve when upgrading to tools with increasing flexibility and power.

## 23.2 MPASM Assembler

The MPASM assembler is a full-featured, universal macro assembler for all PICmicro MCUs.

The MPASM assembler generates relocatable object files for the MPLINK object linker, Intel® standard HEX files, MAP files to detail memory usage and symbol reference, absolute LST files that contain source lines and generated machine code and COFF files for debugging.

The MPASM assembler features include:

- Integration into MPLAB IDE projects
- User defined macros to streamline assembly code
- Conditional assembly for multi-purpose source files
- Directives that allow complete control over the assembly process

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

## 23.3 MPLAB C17 and MPLAB C18 C Compilers

The MPLAB C17 and MPLAB C18 Code Development Systems are complete ANSI C compilers for Microchip's PIC17CXXX and PIC18CXXX family of microcontrollers. These compilers provide powerful integration capabilities, superior code optimization and ease of use not found with other compilers.

For easy source level debugging, the compilers provide symbol information that is optimized to the MPLAB IDE debugger.

## 23.4 MPLINK Object Linker/ MPLIB Object Librarian

The MPLINK object linker combines relocatable objects created by the MPASM assembler and the MPLAB C17 and MPLAB C18 C compilers. It can link relocatable objects from precompiled libraries, using directives from a linker script.

The MPLIB object librarian manages the creation and modification of library files of precompiled code. When a routine from a library is called from a source file, only the modules that contain that routine will be linked in with the application. This allows large libraries to be used efficiently in many different applications.

The object linker/library features include:

- Efficient linking of single libraries instead of many smaller files
- Enhanced code maintainability by grouping related modules together
- Flexible creation of libraries with easy module listing, replacement, deletion and extraction

## 23.5 MPLAB C30 C Compiler

The MPLAB C30 C compiler is a full-featured, ANSI compliant, optimizing compiler that translates standard ANSI C programs into dsPIC30F assembly language source. The compiler also supports many command line options and language extensions to take full advantage of the dsPIC30F device hardware capabilities and afford fine control of the compiler code generator.

MPLAB C30 is distributed with a complete ANSI C standard library. All library functions have been validated and conform to the ANSI C library standard. The library includes functions for string manipulation, dynamic memory allocation, data conversion, time-keeping and math functions (trigonometric, exponential and hyperbolic). The compiler provides symbolic information for high-level source debugging with the MPLAB IDE.

## 23.6 MPLAB ASM30 Assembler, Linker and Librarian

MPLAB ASM30 assembler produces relocatable machine code from symbolic assembly language for dsPIC30F devices. MPLAB C30 compiler uses the assembler to produce its object file. The assembler generates relocatable object files that can then be archived or linked with other relocatable object files and archives to create an executable file. Notable features of the assembler include:

- Support for the entire dsPIC30F instruction set
- Support for fixed-point and floating-point data
- Command line interface
- Rich directive set
- Flexible macro language
- MPLAB IDE compatibility

## 23.7 MPLAB SIM Software Simulator

The MPLAB SIM software simulator allows code development in a PC hosted environment by simulating the PICmicro series microcontrollers on an instruction level. On any given instruction, the data areas can be examined or modified and stimuli can be applied from a file, or user defined key press, to any pin. The execution can be performed in Single-Step, Execute Until Break or Trace mode.

The MPLAB SIM simulator fully supports symbolic debugging using the MPLAB C17 and MPLAB C18 C Compilers, as well as the MPASM assembler. The software simulator offers the flexibility to develop and debug code outside of the laboratory environment, making it an excellent, economical software development tool.

## 23.8 MPLAB SIM30 Software Simulator

The MPLAB SIM30 software simulator allows code development in a PC hosted environment by simulating the dsPIC30F series microcontrollers on an instruction level. On any given instruction, the data areas can be examined or modified and stimuli can be applied from a file, or user defined key press, to any of the pins.

The MPLAB SIM30 simulator fully supports symbolic debugging using the MPLAB C30 C Compiler and MPLAB ASM30 assembler. The simulator runs in either a Command Line mode for automated tasks, or from MPLAB IDE. This high-speed simulator is designed to debug, analyze and optimize time intensive DSP routines.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 23.9 MPLAB ICE 2000 High-Performance Universal In-Circuit Emulator

The MPLAB ICE 2000 universal in-circuit emulator is intended to provide the product development engineer with a complete microcontroller design tool set for PICmicro microcontrollers. Software control of the MPLAB ICE 2000 in-circuit emulator is advanced by the MPLAB Integrated Development Environment, which allows editing, building, downloading and source debugging from a single environment.

The MPLAB ICE 2000 is a full-featured emulator system with enhanced trace, trigger and data monitoring features. Interchangeable processor modules allow the system to be easily reconfigured for emulation of different processors. The universal architecture of the MPLAB ICE in-circuit emulator allows expansion to support new PICmicro microcontrollers.

The MPLAB ICE 2000 in-circuit emulator system has been designed as a real-time emulation system with advanced features that are typically found on more expensive development tools. The PC platform and Microsoft® Windows 32-bit operating system were chosen to best make these features available in a simple, unified application.

### 23.10 MPLAB ICE 4000 High-Performance Universal In-Circuit Emulator

The MPLAB ICE 4000 universal in-circuit emulator is intended to provide the product development engineer with a complete microcontroller design tool set for high-end PICmicro microcontrollers. Software control of the MPLAB ICE in-circuit emulator is provided by the MPLAB Integrated Development Environment, which allows editing, building, downloading and source debugging from a single environment.

The MPLAB ICE 4000 is a premium emulator system, providing the features of MPLAB ICE 2000, but with increased emulation memory and high-speed performance for dsPIC30F and PIC18XXXX devices. Its advanced emulator features include complex triggering and timing, up to 2 Mb of emulation memory and the ability to view variables in real-time.

The MPLAB ICE 4000 in-circuit emulator system has been designed as a real-time emulation system with advanced features that are typically found on more expensive development tools. The PC platform and Microsoft Windows 32-bit operating system were chosen to best make these features available in a simple, unified application.

### 23.11 MPLAB ICD 2 In-Circuit Debugger

Microchip's In-Circuit Debugger, MPLAB ICD 2, is a powerful, low-cost, run-time development tool, connecting to the host PC via an RS-232 or high-speed USB interface. This tool is based on the Flash PICmicro MCUs and can be used to develop for these and other PICmicro microcontrollers. The MPLAB ICD 2 utilizes the in-circuit debugging capability built into the Flash devices. This feature, along with Microchip's In-Circuit Serial Programming™ (ICSP™) protocol, offers cost effective in-circuit Flash debugging from the graphical user interface of the MPLAB Integrated Development Environment. This enables a designer to develop and debug source code by setting breakpoints, single-stepping and watching variables, CPU status and peripheral registers. Running at full speed enables testing hardware and applications in real-time. MPLAB ICD 2 also serves as a development programmer for selected PICmicro devices.

### 23.12 PRO MATE II Universal Device Programmer

The PRO MATE II is a universal, CE compliant device programmer with programmable voltage verification at VDDMIN and VDDMAX for maximum reliability. It features an LCD display for instructions and error messages and a modular detachable socket assembly to support various package types. In Stand-Alone mode, the PRO MATE II device programmer can read, verify and program PICmicro devices without a PC connection. It can also set code protection in this mode.

### 23.13 MPLAB PM3 Device Programmer

The MPLAB PM3 is a universal, CE compliant device programmer with programmable voltage verification at VDDMIN and VDDMAX for maximum reliability. It features a large LCD display (128 x 64) for menus and error messages and a modular detachable socket assembly to support various package types. The ICSP™ cable assembly is included as a standard item. In Stand-Alone mode, the MPLAB PM3 device programmer can read, verify and program PICmicro devices without a PC connection. It can also set code protection in this mode. MPLAB PM3 connects to the host PC via an RS-232 or USB cable. MPLAB PM3 has high-speed communications and optimized algorithms for quick programming of large memory devices and incorporates an SD/MMC card for file storage and secure data applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

## 23.14 PICSTART Plus Development Programmer

The PICSTART Plus development programmer is an easy-to-use, low-cost, prototype programmer. It connects to the PC via a COM (RS-232) port. MPLAB Integrated Development Environment software makes using the programmer simple and efficient. The PICSTART Plus development programmer supports most PICmicro devices up to 40 pins. Larger pin count devices, such as the PIC16C92X and PIC17C76X, may be supported with an adapter socket. The PICSTART Plus development programmer is CE compliant.

## 23.15 PICDEM 1 PICmicro Demonstration Board

The PICDEM 1 demonstration board demonstrates the capabilities of the PIC16C5X (PIC16C54 to PIC16C58A), PIC16C61, PIC16C62X, PIC16C71, PIC16C8X, PIC17C42, PIC17C43 and PIC17C44. All necessary hardware and software is included to run basic demo programs. The sample microcontrollers provided with the PICDEM 1 demonstration board can be programmed with a PRO MATE II device programmer or a PICSTART Plus development programmer. The PICDEM 1 demonstration board can be connected to the MPLAB ICE in-circuit emulator for testing. A prototype area extends the circuitry for additional application components. Features include an RS-232 interface, a potentiometer for simulated analog input, push button switches and eight LEDs.

## 23.16 PICDEM.net Internet/Ethernet Demonstration Board

The PICDEM.net demonstration board is an Internet/Ethernet demonstration board using the PIC18F452 microcontroller and TCP/IP firmware. The board supports any 40-pin DIP device that conforms to the standard pinout used by the PIC16F877 or PIC18C452. This kit features a user friendly TCP/IP stack, web server with HTML, a 24L256 Serial EEPROM for Xmodem download to web pages into Serial EEPROM, ICSP/MPLAB ICD 2 interface connector, an Ethernet interface, RS-232 interface and a 16 x 2 LCD display. Also included is the book and CD-ROM "TCP/IP Lean, Web Servers for Embedded Systems," by Jeremy Bentham

## 23.17 PICDEM 2 Plus Demonstration Board

The PICDEM 2 Plus demonstration board supports many 18, 28 and 40-pin microcontrollers, including PIC16F87X and PIC18FXX2 devices. All the necessary hardware and software is included to run the demonstration programs. The sample microcontrollers provided with the PICDEM 2 demonstration board can be programmed with a PRO MATE II device programmer, PICSTART Plus development programmer, or MPLAB ICD 2 with a Universal Programmer Adapter. The MPLAB ICD 2 and MPLAB ICE in-circuit emulators may also be used with the PICDEM 2 demonstration board to test firmware. A prototype area extends the circuitry for additional application components. Some of the features include an RS-232 interface, a 2 x 16 LCD display, a piezo speaker, an on-board temperature sensor, four LEDs and sample PIC18F452 and PIC16F877 Flash microcontrollers.

## 23.18 PICDEM 3 PIC16C92X Demonstration Board

The PICDEM 3 demonstration board supports the PIC16C923 and PIC16C924 in the PLCC package. All the necessary hardware and software is included to run the demonstration programs.

## 23.19 PICDEM 4 8/14/18-Pin Demonstration Board

The PICDEM 4 can be used to demonstrate the capabilities of the 8, 14 and 18-pin PIC16XXXX and PIC18XXXX MCUs, including the PIC16F818/819, PIC16F87/88, PIC16F62XA and the PIC18F1320 family of microcontrollers. PICDEM 4 is intended to showcase the many features of these low pin count parts, including LIN and Motor Control using ECCP. Special provisions are made for low-power operation with the supercapacitor circuit and jumpers allow on-board hardware to be disabled to eliminate current draw in this mode. Included on the demo board are provisions for Crystal, RC or Canned Oscillator modes, a five volt regulator for use with a nine volt wall adapter or battery, DB-9 RS-232 interface, ICD connector for programming via ICSP and development with MPLAB ICD 2, 2 x 16 liquid crystal display, PCB footprints for H-Bridge motor driver, LIN transceiver and EEPROM. Also included are: header for expansion, eight LEDs, four potentiometers, three push buttons and a prototyping area. Included with the kit is a PIC16F627A and a PIC18F1320. Tutorial firmware is included along with the User's Guide.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 23.20 PICDEM 17 Demonstration Board

The PICDEM 17 demonstration board is an evaluation board that demonstrates the capabilities of several Microchip microcontrollers, including PIC17C752, PIC17C756A, PIC17C762 and PIC17C766. A programmed sample is included. The PRO MATE II device programmer, or the PICSTART Plus development programmer, can be used to reprogram the device for user tailored application development. The PICDEM 17 demonstration board supports program download and execution from external on-board Flash memory. A generous prototype area is available for user hardware expansion.

### 23.21 PICDEM 18R PIC18C601/801 Demonstration Board

The PICDEM 18R demonstration board serves to assist development of the PIC18C601/801 family of Microchip microcontrollers. It provides hardware implementation of both 8-bit Multiplexed/Demultiplexed and 16-bit Memory modes. The board includes 2 Mb external Flash memory and 128 Kb SRAM memory, as well as serial EEPROM, allowing access to the wide range of memory types supported by the PIC18C601/801.

### 23.22 PICDEM LIN PIC16C43X Demonstration Board

The powerful LIN hardware and software kit includes a series of boards and three PICmicro microcontrollers. The small footprint PIC16C432 and PIC16C433 are used as slaves in the LIN communication and feature on-board LIN transceivers. A PIC16F874 Flash microcontroller serves as the master. All three microcontrollers are programmed with firmware to provide LIN bus communication.

### 23.23 PICKIT™ 1 Flash Starter Kit

A complete "development system in a box", the PICKIT Flash Starter Kit includes a convenient multi-section board for programming, evaluation and development of 8/14-pin Flash PIC® microcontrollers. Powered via USB, the board operates under a simple Windows GUI. The PICKIT 1 Starter Kit includes the User's Guide (on CD ROM), PICKIT 1 tutorial software and code for various applications. Also included are MPLAB® IDE (Integrated Development Environment) software, software and hardware "Tips 'n Tricks for 8-pin Flash PIC® Microcontrollers" Handbook and a USB interface cable. Supports all current 8/14-pin Flash PIC microcontrollers, as well as many future planned devices.

### 23.24 PICDEM USB PIC16C7X5 Demonstration Board

The PICDEM USB Demonstration Board shows off the capabilities of the PIC16C745 and PIC16C765 USB microcontrollers. This board provides the basis for future USB products.

### 23.25 Evaluation and Programming Tools

In addition to the PICDEM series of circuits, Microchip has a line of evaluation kits and demonstration software for these products.

- KEELOQ evaluation and programming tools for Microchip's HCS Secure Data Products
- CAN developers kit for automotive network applications
- Analog design boards and filter design software
- PowerSmart battery charging evaluation/calibration kits
- IrDA® development kit
- microID development and rFLab™ development software
- SEEVAL® designer kit for memory evaluation and endurance calculations
- PICDEM MSC demo boards for Switching mode power supply, high-power IR driver, delta sigma ADC and flow rate sensor

Check the Microchip web page and the latest Product Selector Guide for the complete list of demonstration and evaluation kits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 24.0 ELECTRICAL CHARACTERISTICS

This section provides an overview of dsPIC30F electrical characteristics. Additional information will be provided in future revisions of this document as it becomes available.

For detailed information about the dsPIC30F architecture and core, refer to *dsPIC30F Family Reference Manual* (DS70046).

Absolute maximum ratings for the dsPIC30F family are listed below. Exposure to these maximum rating conditions for extended periods may affect device reliability. Functional operation of the device at these or any other conditions above the parameters indicated in the operation listings of this specification is not implied.

### Absolute Maximum Ratings<sup>(†)</sup>

Ambient temperature under bias.....	-40°C to +125°C
Storage temperature .....	-65°C to +150°C
Voltage on any pin with respect to V <sub>SS</sub> (except V <sub>DD</sub> and MCLR) (Note 1).....	-0.3V to (V <sub>DD</sub> + 0.3V)
Voltage on V <sub>DD</sub> with respect to V <sub>SS</sub> .....	-0.3V to +5.5V
Voltage on MCLR with respect to V <sub>SS</sub> .....	0V to +13.25V
Maximum current out of V <sub>SS</sub> pin .....	300 mA
Maximum current into V <sub>DD</sub> pin (Note 2).....	250 mA
Input clamp current, I <sub>IK</sub> (V <sub>I</sub> < 0 or V <sub>I</sub> > V <sub>DD</sub> ).....	±20 mA
Output clamp current, I <sub>OK</sub> (V <sub>O</sub> < 0 or V <sub>O</sub> > V <sub>DD</sub> ).....	±20 mA
Maximum output current sunk by any I/O pin.....	25 mA
Maximum output current sourced by any I/O pin .....	25 mA
Maximum current sunk by all ports .....	200 mA
Maximum current sourced by all ports (Note 2).....	200 mA

**Note 1:** Voltage spikes below V<sub>SS</sub> at the MCLR/VPP pin, inducing currents greater than 80 mA, may cause latchup. Thus, a series resistor of 50-100Ω should be used when applying a "low" level to the MCLR/VPP pin, rather than pulling this pin directly to V<sub>SS</sub>.

**2:** Maximum allowable current is a function of device maximum power dissipation. See Table 24-2.

**†NOTICE:** Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operation listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

## 24.1 DC Characteristics

**TABLE 24-1: OPERATING MIPS VS. VOLTAGE**

V <sub>DD</sub> Range	Temp Range	Max MIPS		
		dsPIC30F401x-30I	dsPIC30F401x-20I	dsPIC30F401x-20E
4.5-5.5V	-40°C to 85°C	30	20	—
4.5-5.5V	-40°C to 125°C	—	—	20
3.0-3.6V	-40°C to 85°C	20	15	—
3.0-3.6V	-40°C to 125°C	—	—	15
2.5-3.0V	-40°C to 85°C	10	7.5	—

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**TABLE 24-2: THERMAL OPERATING CONDITIONS**

Rating	Symbol	Min	Typ	Max	Unit
dsPIC30F401x-30I					
Operating Junction Temperature Range	T <sub>J</sub>	-40		+125	°C
Operating Ambient Temperature Range	T <sub>A</sub>	-40		+85	°C
dsPIC30F401x-20I					
Operating Junction Temperature Range	T <sub>J</sub>	-40		+150	°C
Operating Ambient Temperature Range	T <sub>A</sub>	-40		+85	°C
dsPIC30F401x-20E					
Operating Junction Temperature Range	T <sub>J</sub>	-40		+150	°C
Operating Ambient Temperature Range	T <sub>A</sub>	-40		+125	°C
Power Dissipation: Internal chip power dissipation: $P_{INT} = V_{DD} \times (I_{DD} - \sum I_{OH})$ I/O Pin power dissipation: $P_{I/O} = \sum ((V_{DD} - V_{OH}) \times I_{OH}) + \sum (V_{OL} \times I_{OL})$	P <sub>D</sub>		P <sub>INT</sub> + P <sub>I/O</sub>		W
Maximum Allowed Power Dissipation	P <sub>DMAX</sub>	(T <sub>J</sub> - T <sub>A</sub> ) / θ <sub>JA</sub>			W

**TABLE 24-3: THERMAL PACKAGING CHARACTERISTICS**

Characteristic	Symbol	Typ	Max	Unit	Notes
Package Thermal Resistance, 28-pin SPDIP (SP)	θ <sub>JA</sub>	41		°C/W	1
Package Thermal Resistance, 28-pin SOIC (SO)	θ <sub>JA</sub>	45		°C/W	1
Package Thermal Resistance, 40-pin DIP (P)	θ <sub>JA</sub>	37		°C/W	1
Package Thermal Resistance, 44-pin TQFP (10x10x1mm)	θ <sub>JA</sub>	40		°C/W	1
Package Thermal Resistance, 44-pin QFN	θ <sub>JA</sub>	28		°C/W	1

**Note 1:** Junction to ambient thermal resistance, Theta-ja (θ<sub>JA</sub>) numbers are achieved by package simulations.

**TABLE 24-4: DC TEMPERATURE AND VOLTAGE SPECIFICATIONS**

DC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ T <sub>A</sub> ≤ +85°C for Industrial -40°C ≤ T <sub>A</sub> ≤ +125°C for Extended					
Param No.	Symbol	Characteristic	Min	Typ <sup>(1)</sup>	Max	Units	Conditions
<b>Operating Voltage<sup>(2)</sup></b>							
DC10	V <sub>DD</sub>	Supply Voltage	2.5	—	5.5	V	Industrial temperature
DC11	V <sub>DD</sub>	Supply Voltage	3.0	—	5.5	V	Extended temperature
DC12	V <sub>DR</sub>	RAM Data Retention Voltage <sup>(3)</sup>	—	1.5	—	V	
DC16	V <sub>POR</sub>	V <sub>DD</sub> Start Voltage to ensure internal Power-on Reset signal	—	V <sub>SS</sub>	—	V	
DC17	S <sub>VDD</sub>	V <sub>DD</sub> Rise Rate to ensure internal Power-on Reset signal	0.05			V/ms	0-5V in 0.1 sec 0-3V in 60 ms

**Note 1:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

**2:** These parameters are characterized but not tested in manufacturing. *พารามิเตอร์เหล่านี้ถูกกำหนดไว้แต่ไม่ได้ทดสอบในกระบวนการผลิต*

**3:** This is the limit to which V<sub>DD</sub> can be lowered without losing RAM data.

*นี่คือขีดจำกัดที่ V<sub>DD</sub> สามารถลดลงได้โดยไม่สูญเสียข้อมูล RAM และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้*

**TABLE 24-5: DC CHARACTERISTICS: OPERATING CURRENT (IDD)**

DC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq \text{TA} \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq \text{TA} \leq +125^{\circ}\text{C}$ for Extended		
Parameter No.	Typical <sup>(1)</sup>	Max	Units	Conditions	
<b>Operating Current (IDD)<sup>(2)</sup></b>					
DC20	—	—	mA	$-40^{\circ}\text{C}$	3.3V  5V 1 MIPS EC mode
DC20a	2.5	—	mA	$25^{\circ}\text{C}$	
DC20b	—	—	mA	$85^{\circ}\text{C}$	
DC20c	—	—	mA	$125^{\circ}\text{C}$	
DC20d	—	—	mA	$-40^{\circ}\text{C}$	
DC20e	4.5	—	mA	$25^{\circ}\text{C}$	
DC20f	—	—	mA	$85^{\circ}\text{C}$	
DC20g	—	—	mA	$125^{\circ}\text{C}$	
DC23	—	—	mA	$-40^{\circ}\text{C}$	3.3V  5V 4 MIPS EC mode, 4X PLL
DC23a	11	—	mA	$25^{\circ}\text{C}$	
DC23b	—	—	mA	$85^{\circ}\text{C}$	
DC23c	—	—	mA	$125^{\circ}\text{C}$	
DC23d	—	—	mA	$-40^{\circ}\text{C}$	
DC23e	18	—	mA	$25^{\circ}\text{C}$	
DC23f	—	—	mA	$85^{\circ}\text{C}$	
DC23g	—	—	mA	$125^{\circ}\text{C}$	
DC24	—	—	mA	$-40^{\circ}\text{C}$	3.3V  5V 10 MIPS EC mode, 4X PLL
DC24a	25	—	mA	$25^{\circ}\text{C}$	
DC24b	—	—	mA	$85^{\circ}\text{C}$	
DC24c	—	—	mA	$125^{\circ}\text{C}$	
DC24d	—	—	mA	$-40^{\circ}\text{C}$	
DC24e	43	—	mA	$25^{\circ}\text{C}$	
DC24f	—	—	mA	$85^{\circ}\text{C}$	
DC24g	—	—	mA	$125^{\circ}\text{C}$	
DC25	—	—	mA	$-40^{\circ}\text{C}$	3.3V  5V 8 MIPS EC mode, 8X PLL
DC25a	24	—	mA	$25^{\circ}\text{C}$	
DC25b	—	—	mA	$85^{\circ}\text{C}$	
DC25c	—	—	mA	$125^{\circ}\text{C}$	
DC25d	—	—	mA	$-40^{\circ}\text{C}$	
DC25e	41	—	mA	$25^{\circ}\text{C}$	
DC25f	—	—	mA	$85^{\circ}\text{C}$	
DC25g	—	—	mA	$125^{\circ}\text{C}$	

**Note 1:** Data in "Typical" column is at 5V,  $25^{\circ}\text{C}$  unless otherwise stated. Parameters are for design guidance only and are not tested.

**2:** The supply current is mainly a function of the operating voltage and frequency. Other factors such as I/O pin loading and switching rate, oscillator type, internal code execution pattern and temperature also have an impact on the current consumption. The test conditions for all IDD measurements are as follows: OSC1 driven with external square wave from rail to rail. All I/O pins are configured as Inputs and pulled to VDD. MCLR = VDD, WDT, FSCM, LVD and BOR are disabled. CPU, SRAM, Program Memory and Data Memory are operational. No peripheral modules are operating.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**TABLE 24-5: DC CHARACTERISTICS: OPERATING CURRENT (I<sub>DD</sub>) (CONTINUED)**

DC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended		
Parameter No.	Typical <sup>(1)</sup>	Max	Units	Conditions	
<b>Operating Current (I<sub>DD</sub>)<sup>(2)</sup></b>					
DC27	—	—	mA	-40°C	3.3V 20 MIPS EC mode, 8X PLL
DC27a	52	—	mA	25°C	
DC27b	—	—	mA	85°C	
DC27c	—	—	mA	-40°C	
DC27d	94	—	mA	25°C	
DC27e	—	—	mA	85°C	
DC27f	—	—	mA	125°C	5V 20 MIPS EC mode, 8X PLL
DC28	—	—	mA	-40°C	
DC28a	41	—	mA	25°C	
DC28b	—	—	mA	85°C	
DC28c	—	—	mA	-40°C	
DC28d	74	—	mA	25°C	
DC28e	—	—	mA	85°C	3.3V 16 MIPS EC mode, 16X PLL
DC28f	—	—	mA	125°C	
DC29	—	—	mA	-40°C	
DC29a	132	—	mA	25°C	
DC29b	—	—	mA	85°C	
DC29c	—	—	mA	125°C	
DC30	—	—	mA	-40°C	5V 30 MIPS EC mode, 16X PLL
DC30a	7	—	mA	25°C	
DC30b	—	—	mA	85°C	
DC30c	—	—	mA	125°C	
DC30d	—	—	mA	-40°C	
DC30e	12	—	mA	25°C	
DC30f	—	—	mA	85°C	3.3V FRC (~ 2 MIPS)
DC30g	—	—	mA	125°C	
DC31	—	—	mA	-40°C	
DC31a	1	—	mA	25°C	
DC31b	—	—	mA	85°C	
DC31c	—	—	mA	125°C	
DC31d	—	—	mA	-40°C	5V LPRC (~ 512 kHz)
DC31e	2	—	mA	25°C	
DC31f	—	—	mA	85°C	
DC31g	—	—	mA	125°C	

**Note 1:** Data in "Typical" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

- 2:** The supply current is mainly a function of the operating voltage and frequency. Other factors such as I/O pin loading and switching rate, oscillator type, internal code execution pattern and temperature also have an impact on the current consumption. The test conditions for all I<sub>DD</sub> measurements are as follows: OSC1 driven with external square wave from rail to rail. All I/O pins are configured as Inputs and pulled to V<sub>DD</sub>. MCLR = V<sub>DD</sub>, WDT, FSCM, LVD and BOR are disabled. CPU, SRAM, Program Memory and Data Memory are operational. No peripheral modules are operating.

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 24-6: DC CHARACTERISTICS: IDLE CURRENT (I<sub>IDLE</sub>)

DC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ T <sub>A</sub> ≤ +85°C for Industrial -40°C ≤ T <sub>A</sub> ≤ +125°C for Extended	
Parameter No.	Typical <sup>(1)</sup>	Max	Units	Conditions
<b>Idle Current (I<sub>IDLE</sub>): Core OFF Clock ON Base Current<sup>(2)</sup></b>				
DC40	—	—	mA	-40°C
DC40a	1.5	—	mA	25°C
DC40b	—	—	mA	85°C
DC40c	—	—	mA	125°C
DC40d	—	—	mA	-40°C
DC40e	3	—	mA	25°C
DC40f	—	—	mA	85°C
DC40g	—	—	mA	125°C
DC43	—	—	mA	-40°C
DC43a	8	—	mA	25°C
DC43b	—	—	mA	85°C
DC43c	—	—	mA	125°C
DC43d	—	—	mA	-40°C
DC43e	12	—	mA	25°C
DC43f	—	—	mA	85°C
DC43g	—	—	mA	125°C
DC44	—	—	mA	-40°C
DC44a	17	—	mA	25°C
DC44b	—	—	mA	85°C
DC44c	—	—	mA	125°C
DC44d	—	—	mA	-40°C
DC44e	27	—	mA	25°C
DC44f	—	—	mA	85°C
DC44g	—	—	mA	125°C
DC45	—	—	mA	-40°C
DC45a	15	—	mA	25°C
DC45b	—	—	mA	85°C
DC45c	—	—	mA	125°C
DC45d	—	—	mA	-40°C
DC45e	26	—	mA	25°C
DC45f	—	—	mA	85°C
DC45g	—	—	mA	125°C

**Note 1:** Data in "Typical" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

**Note 2:** Base I<sub>IDLE</sub> current is measured with Core off, Clock on and all modules turned off.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**TABLE 24-6: DC CHARACTERISTICS: IDLE CURRENT (I<sub>IDLE</sub>) (CONTINUED)**

DC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended		
Parameter No.	Typical <sup>(1)</sup>	Max	Units	Conditions	
<b>Idle Current (I<sub>IDLE</sub>): Core OFF Clock ON Base Current<sup>(2)</sup></b>					
DC47	—	—	mA	-40°C	3.3V 20 MIPS EC mode, 8X PLL
DC47a	33	—	mA	25°C	
DC47b	—	—	mA	85°C	
DC47c	—	—	mA	-40°C	
DC47d	56	—	mA	25°C	
DC47e	—	—	mA	85°C	
DC47f	—	—	mA	125°C	5V
DC48	—	—	mA	-40°C	3.3V 16 MIPS EC mode, 16X PLL
DC48a	26	—	mA	25°C	
DC48b	—	—	mA	85°C	
DC48c	—	—	mA	-40°C	
DC48d	46	—	mA	25°C	
DC48e	—	—	mA	85°C	
DC48f	—	—	mA	125°C	5V
DC49	—	—	mA	-40°C	5V 30 MIPS EC mode, 16X PLL
DC49a	85	—	mA	25°C	
DC49b	—	—	mA	85°C	
DC49c	—	—	mA	125°C	
DC50	—	—	mA	-40°C	3.3V FRC (~ 2 MIPS)
DC50a	4	—	mA	25°C	
DC50b	—	—	mA	85°C	
DC50c	—	—	mA	125°C	
DC50d	—	—	mA	-40°C	
DC50e	7	—	mA	25°C	
DC50f	—	—	mA	85°C	
DC50g	—	—	mA	125°C	5V
DC51	—	—	mA	-40°C	3.3V LPRC (~ 512 kHz)
DC51a	0.5	—	mA	25°C	
DC51b	—	—	mA	85°C	
DC51c	—	—	mA	125°C	
DC51d	—	—	mA	-40°C	
DC51e	0.9	—	mA	25°C	
DC51f	—	—	mA	85°C	
DC51g	—	—	mA	125°C	5V

**Note 1:** Data in "Typical" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

**2:** Base I<sub>IDLE</sub> current is measured with Core off, Clock on and all modules turned off.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TABLE 24-7: DC CHARACTERISTICS: POWER-DOWN CURRENT (IPD)**

DC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated)			
			Operating temperature		-40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended	
Parameter No.	Typical <sup>(1)</sup>	Max	Units	Conditions		
<b>Power Down Current (IPD)<sup>(2)</sup></b>						
DC60	—	—	μA	-40°C	3.3V	Base Power Down Current <sup>(3)</sup>
DC60a	1	—	μA	25°C		
DC60b	—	—	μA	85°C		
DC60c	—	—	μA	125°C		
DC60d	—	—	μA	-40°C		
DC60e	1	—	μA	25°C		
DC60f	—	—	μA	85°C		
DC60g	—	—	μA	125°C	5V	Base Power Down Current <sup>(3)</sup>
DC61	—	—	μA	-40°C		
DC61a	4	—	μA	25°C		
DC61b	—	—	μA	85°C		
DC61c	—	—	μA	125°C		
DC61d	—	—	μA	-40°C		
DC61e	10	—	μA	25°C		
DC61f	—	—	μA	85°C	5V	Watchdog Timer Current: ΔI <sub>WDT</sub> <sup>(3)</sup>
DC61g	—	—	μA	125°C		
DC62	—	—	μA	-40°C		
DC62a	5.5	—	μA	25°C		
DC62b	—	—	μA	85°C		
DC62c	—	—	μA	125°C		
DC62d	—	—	μA	-40°C		
DC62e	7.5	—	μA	25°C	5V	Timer 1 w/32 kHz Crystal: ΔI <sub>T132</sub> <sup>(3)</sup>
DC62f	—	—	μA	85°C		
DC62g	—	—	μA	125°C		
DC63	—	—	μA	-40°C		
DC63a	32	—	μA	25°C		
DC63b	—	—	μA	85°C		
DC63c	—	—	μA	125°C		
DC63d	—	—	μA	-40°C		
DC63e	38	—	μA	25°C		
DC63f	—	—	μA	85°C		
DC63g	—	—	μA	125°C		

- Note 1:** Data in the Typical column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.
- 2:** Base IPD is measured with all peripherals and clocks shut down. All I/Os are configured as inputs and pulled high. LVD, BOR, WDT, etc. are all switched off.
- 3:** The Δ current is the additional current consumed when the module is enabled. This current should be added to the base IPD current.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**TABLE 24-8: DC CHARACTERISTICS: I/O PIN INPUT SPECIFICATIONS**

DC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic	Min	Typ <sup>(1)</sup>	Max	Units	Conditions
D110	$V_{IL}$	<b>Input Low Voltage<sup>(2)</sup></b> I/O pins: with Schmitt Trigger buffer	$V_{SS}$	—	$0.2 V_{DD}$	V	
D115		$\overline{\text{MCLR}}$	$V_{SS}$	—	$0.2 V_{DD}$	V	
D116		OSC1 (in XT, HS and LP modes)	$V_{SS}$	—	$0.2 V_{DD}$	V	
D117		OSC1 (in RC mode) <sup>(3)</sup>	$V_{SS}$	—	$0.3 V_{DD}$	V	
D118		SDA, SCL	TBD	—	TBD	V	SM bus disabled
D119		SDA, SCL	TBD	—	TBD	V	SM bus enabled
D120	$V_{IH}$	<b>Input High Voltage<sup>(2)</sup></b> I/O pins: with Schmitt Trigger buffer	$0.8 V_{DD}$	—	$V_{DD}$	V	
D125		$\overline{\text{MCLR}}$	$0.8 V_{DD}$	—	$V_{DD}$	V	
D126		OSC1 (in XT, HS and LP modes)	$0.7 V_{DD}$	—	$V_{DD}$	V	
D127		OSC1 (in RC mode) <sup>(3)</sup>	$0.9 V_{DD}$	—	$V_{DD}$	V	
D128		SDA, SCL	TBD	—	TBD	V	SM bus disabled
D129		SDA, SCL	TBD	—	TBD	V	SM bus enabled
D130	ICNPU	<b>CNxx Pull-up Current<sup>(2)</sup></b>	50	250	400	$\mu\text{A}$	$V_{DD} = 5\text{V}$ , $V_{PIN} = V_{SS}$
D131			TBD	TBD	TBD	$\mu\text{A}$	$V_{DD} = 3\text{V}$ , $V_{PIN} = V_{SS}$
D150	IIL	<b>Input Leakage Current<sup>(2)(4)(5)</sup></b> I/O ports	—	0.01	$\pm 1$	$\mu\text{A}$	$V_{SS} \leq V_{PIN} \leq V_{DD}$ , Pin at hi-impedance
D151		Analog input pins	—	0.50	—	$\mu\text{A}$	$V_{SS} \leq V_{PIN} \leq V_{DD}$ , Pin at hi-impedance
D155		$\overline{\text{MCLR}}$	—	0.05	$\pm 5$	$\mu\text{A}$	$V_{SS} \leq V_{PIN} \leq V_{DD}$
D156		OSC1	—	0.05	$\pm 5$	$\mu\text{A}$	$V_{SS} \leq V_{PIN} \leq V_{DD}$ , XT, HS and LP Osc mode

**Note 1:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

**2:** These parameters are characterized but not tested in manufacturing.

**3:** In RC oscillator configuration, the OSC1/CLKI pin is a Schmitt Trigger input. It is not recommended that the dsPIC30F device be driven with an external clock while in RC mode.

**4:** The leakage current on the MCLR pin is strongly dependent on the applied voltage level. The specified levels represent normal operating conditions. Higher leakage current may be measured at different input voltages.

**5:** Negative current is defined as current sourced by the pin.

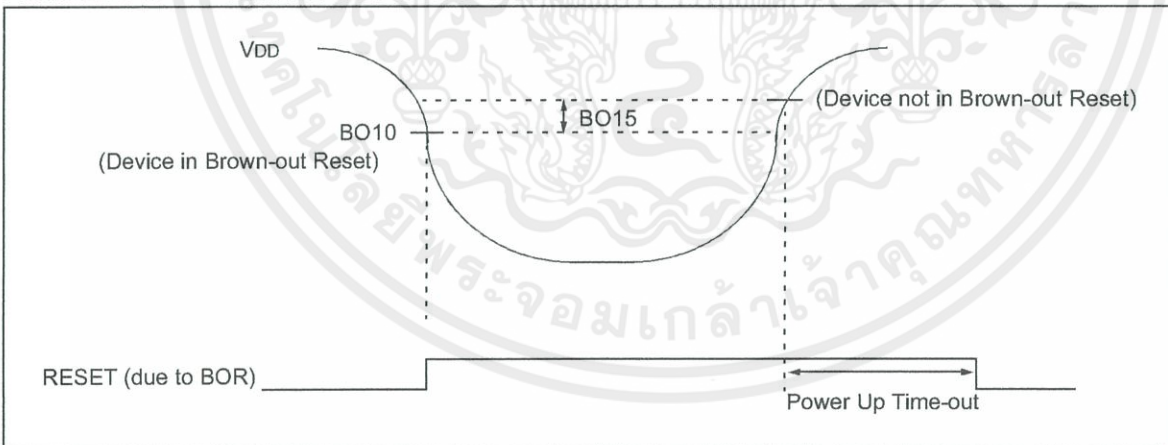
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TABLE 24-9: DC CHARACTERISTICS: I/O PIN OUTPUT SPECIFICATIONS**

DC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended				
Param No.	Symbol	Characteristic	Min	Typ <sup>(1)</sup>	Max	Units	Conditions
DO10	VO <sub>L</sub>	<b>Output Low Voltage<sup>(2)</sup></b> I/O ports	—	—	0.6	V	I <sub>OL</sub> = 8.5 mA, V <sub>DD</sub> = 5V
DO16		OSC2/CLKOUT (RC or EC Osc mode)	—	—	TBD	V	I <sub>OL</sub> = 2.0 mA, V <sub>DD</sub> = 3V
DO20	VO <sub>H</sub>	<b>Output High Voltage<sup>(2)</sup></b> I/O ports	V <sub>DD</sub> - 0.7	—	—	V	I <sub>OH</sub> = -3.0 mA, V <sub>DD</sub> = 5V
DO26		OSC2/CLKOUT (RC or EC Osc mode)	TBD	—	—	V	I <sub>OH</sub> = -2.0 mA, V <sub>DD</sub> = 3V
DO50	Cosc2	<b>Capacitive Loading Specs on Output Pins<sup>(2)</sup></b> OSC2/SOSC2 pin	—	—	15	pF	In XTL, XT, HS and LP modes when external clock is used to drive OSC1.
DO56	C <sub>IO</sub>	All I/O pins and OSC2	—	—	50	pF	RC or EC Osc mode
DO58	C <sub>B</sub>	SCL, SDA	—	—	400	pF	In I <sup>2</sup> C mode

**Note 1:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.  
**Note 2:** These parameters are characterized but not tested in manufacturing.

**FIGURE 24-1: BROWN-OUT RESET CHARACTERISTICS**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**TABLE 24-10: ELECTRICAL CHARACTERISTICS: BOR**

DC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended					
Param No.	Symbol	Characteristic	Min	Typ <sup>(1)</sup>	Max	Units	Conditions	
BO10	VBOR	BOR Voltage <sup>(2)</sup> on VDD transition high to low	BORV = 00 <sup>(3)</sup>	—	—	—	V	Not in operating range
			BORV = 01	2.7	—	2.86	V	
			BORV = 10	4.2	—	4.46	V	
			BORV = 11	4.5	—	4.78	V	
BO15	VBHYS		—	5	—	mV		

**Note 1:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

**2:** These parameters are characterized but not tested in manufacturing.

**3:** .00 values not in usable operating range.

**TABLE 24-11: DC CHARACTERISTICS: PROGRAM AND EEPROM**

DC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic	Min	Typ <sup>(1)</sup>	Max	Units	Conditions
<b>Data EEPROM Memory<sup>(2)</sup></b>							
D120	ED	Byte Endurance	100K	1M	—	E/W	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$
D121	VDRW	VDD for Read/Write	V <sub>MIN</sub>	—	5.5	V	Using EECON to read/write V <sub>MIN</sub> = Minimum operating voltage
D122	TDEW	Erase/Write Cycle Time	—	2	—	ms	
D123	TRETD	Characteristic Retention	40	100	—	Year	Provided no other specifications are violated
D124	IDEW	IDD During Programming	—	10	30	mA	Row Erase
<b>Program Flash Memory<sup>(2)</sup></b>							
D130	EP	Cell Endurance	10K	100K	—	E/W	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$
D131	VPR	VDD for Read	V <sub>MIN</sub>	—	5.5	V	V <sub>MIN</sub> = Minimum operating voltage
D132	VEB	VDD for Bulk Erase	4.5	—	5.5	V	
D133	VPEW	VDD for Erase/Write	3.0	—	5.5	V	
D134	TPEW	Erase/Write Cycle Time	—	2	—	ms	
D135	TRETD	Characteristic Retention	40	100	—	Year	Provided no other specifications are violated
D136	TEB	ICSP Block Erase Time	—	4	—	ms	
D137	IPEW	IDD During Programming	—	10	30	mA	Row Erase
D138	IEB	IDD During Programming	—	10	30	mA	Bulk Erase

**Note 1:** Data in "Typ" column is at 5V, 25°C unless otherwise stated.

**2:** These parameters are characterized but not tested in manufacturing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

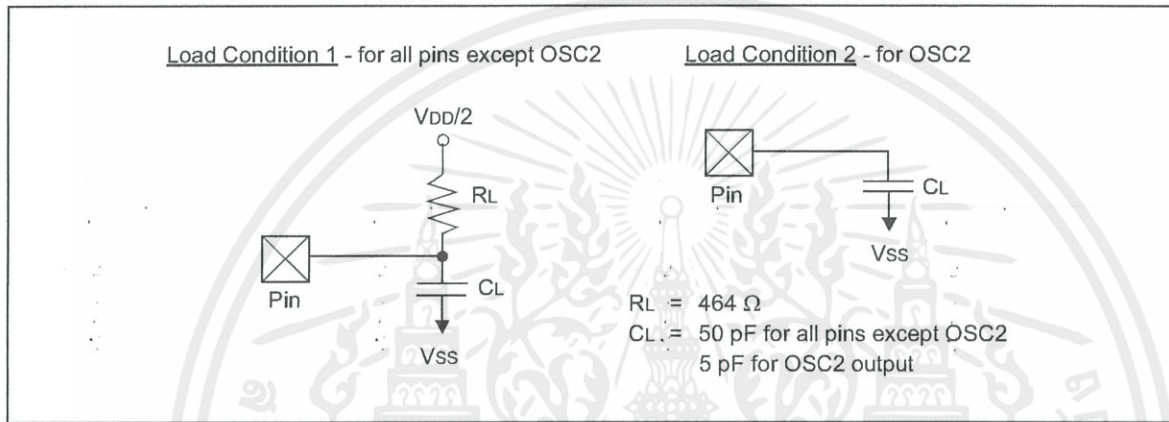
## 24.2 AC Characteristics and Timing Parameters

The information contained in this section defines dsPIC30F AC characteristics and timing parameters.

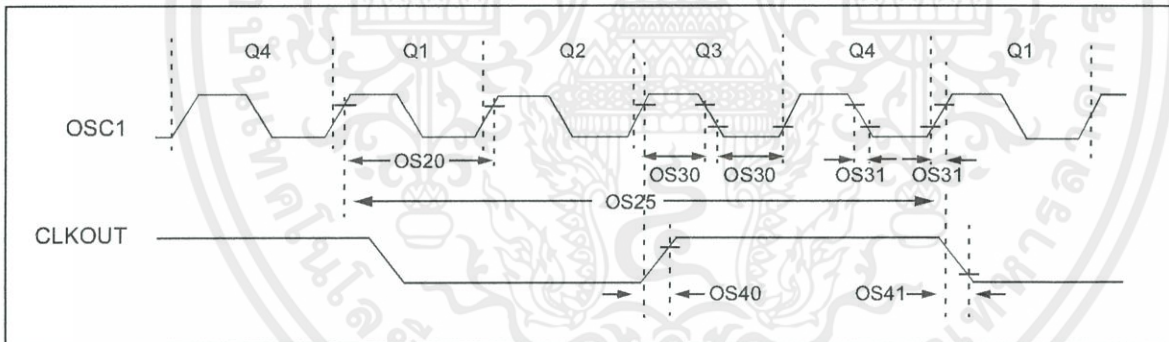
**TABLE 24-12: TEMPERATURE AND VOLTAGE SPECIFICATIONS – AC**

<b>AC CHARACTERISTICS</b>	<b>Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated)</b>
	Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended
	Operating voltage VDD range as described in DC Spec Section 24.0.

**FIGURE 24-2: LOAD CONDITIONS FOR DEVICE TIMING SPECIFICATIONS**



**FIGURE 24-3: EXTERNAL CLOCK TIMING**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**TABLE 24-13: EXTERNAL CLOCK TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic	Min	Typ <sup>(1)</sup>	Max	Units	Conditions
OS10	Fosc	External CLKIN Frequency <sup>(2)</sup> (External clocks allowed only in EC mode)	DC	—	40	MHz	EC
			4	—	10	MHz	EC with 4x PLL
			4	—	10	MHz	EC with 8x PLL
			4	—	7.5	MHz	EC with 16x PLL
	Oscillator Frequency <sup>(2)</sup>	DC	—	4	MHz	RC	
		0.4	—	4	MHz	XTL	
		4	—	10	MHz	XT	
		4	—	10	MHz	XT with 4x PLL	
		4	—	10	MHz	XT with 8x PLL	
		4	—	7.5	MHz	XT with 16x PLL	
10	—	25	MHz	HS			
31	—	33	kHz	LP			
—	7.3728	—	MHz	FRC internal			
—	512	—	kHz	LPRC internal			
OS20	Tosc	Tosc = 1/Fosc	—	—	—	—	See parameter OS10 for Fosc value.
OS25	Tcy	Instruction Cycle Time <sup>(2)(3)</sup>	33	—	DC	ns	See Table 24-15
OS30	TosL, TosH	External Clock <sup>(2)</sup> in (OSC1) High or Low Time	.45 x Tosc	—	—	ns	EC
OS31	TosR, TosF	External Clock <sup>(2)</sup> in (OSC1) Rise or Fall Time	—	—	20	ns	EC
OS40	TckR	CLKOUT Rise Time <sup>(2)(4)</sup>	—	6	10	ns	
OS41	TckF	CLKOUT Fall Time <sup>(2)(4)</sup>	—	6	10	ns	

**Note 1:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

**2:** These parameters are characterized but not tested in manufacturing.

**3:** Instruction cycle period (Tcy) equals four times the input oscillator time-base period. All specified values are based on characterization data for that particular oscillator type under standard operating conditions with the device executing code. Exceeding these specified limits may result in an unstable oscillator operation and/or higher than expected current consumption. All devices are tested to operate at "min." values with an external clock applied to the OSC1/CLKI pin. When an external clock input is used, the "Max." cycle time limit is "DC" (no clock) for all devices.

**4:** Measurements are taken in EC or ERC modes. The CLKOUT signal is measured on the OSC2 pin. CLKOUT is low for the Q1-Q2 period (1/2 Tcy) and high for the Q3-Q4 period (1/2 Tcy).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TABLE 24-14: PLL CLOCK TIMING SPECIFICATIONS (V<sub>DD</sub> = 2.5 TO 5.5 V)**

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended					
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
OS50	FPLLI	PLL Input Frequency Range <sup>(2)</sup>	4	—	10	MHz	EC, XT modes with PLL
OS51	FSYS	On-chip PLL Output <sup>(2)</sup>	16	—	120	MHz	EC, XT modes with PLL
OS52	TLOC	PLL Start-up Time (Lock Time)	—	20	50	μs	
OS53	DCLK	CLKOUT Stability (Jitter)	TBD	1	TBD	%	Measured over 100 ms period

- Note 1:** These parameters are characterized but not tested in manufacturing.  
**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

**TABLE 24-15: INTERNAL CLOCK TIMING EXAMPLES**

Clock Oscillator Mode	Fosc (MHz) <sup>(1)</sup>	Tcy (μsec) <sup>(2)</sup>	MIPS <sup>(3)</sup> w/o PLL	MIPS <sup>(3)</sup> w PLL x4	MIPS <sup>(3)</sup> w PLL x8	MIPS <sup>(3)</sup> w PLL x16
EC	0.200	20.0	0.05	—	—	—
	4	1.0	1.0	4.0	8.0	16.0
	10	0.4	2.5	10.0	20.0	—
	25	0.16	6.25	—	—	—
XT	4	1.0	1.0	4.0	8.0	16.0
	10	0.4	2.5	10.0	20.0	—

- Note 1:** Assumption: Oscillator Postscaler is divide by 1.  
**Note 2:** Instruction Execution Cycle Time: Tcy = 1 / MIPS.  
**Note 3:** Instruction Execution Frequency: MIPS = (Fosc \* PLLx) / 4 [since there are 4 Q clocks per instruction cycle].

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## dsPIC30F4011/4012

TABLE 24-16: AC CHARACTERISTICS: INTERNAL RC ACCURACY

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for Extended				
Param No.	Characteristic	Min	Typ	Max	Units	Conditions
<b>Internal FRC Accuracy @ FRC Freq = 7.37 MHz<sup>(1)</sup></b>						
	FRC		TBD		%	+25°C VDD = 3.0-3.6V
			TBD		%	+25°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 3.0-3.6V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +125°C VDD = 4.5-5.5V
	FRC with x4 PLL		TBD		%	+25°C VDD = 3.0-3.6V
			TBD		%	+25°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 3.0-3.6V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +125°C VDD = 4.5-5.5V
	FRC with x8 PLL		TBD		%	+25°C VDD = 3.0-3.6V
			TBD		%	+25°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 3.0-3.6V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +125°C VDD = 4.5-5.5V
	FRC with x16 PLL		TBD		%	+25°C VDD = 3.0-3.6V
			TBD		%	+25°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 3.0-3.6V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +125°C VDD = 4.5-5.5V

**Note 1:** Frequency calibrated at 25°C and 5V. TUN bits can be used to compensate for temperature drift.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## dsPIC30F4011/4012

TABLE 24-17: AC CHARACTERISTICS: INTERNAL RC JITTER

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial -40°C ≤ TA ≤ +125°C for Extended				
Param No.	Characteristic	Min	Typ	Max	Units	Conditions
Internal FRC Jitter @ FRC Freq = 7.37 MHz <sup>(1)</sup>						
	FRC		TBD		%	+25°C VDD = 3.0-3.6V
			TBD		%	+25°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 3.0-3.6V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +125°C VDD = 4.5-5.5V
	FRC with x4 PLL		TBD		%	+25°C VDD = 3.0-3.6V
			TBD		%	+25°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 3.0-3.6V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +125°C VDD = 4.5-5.5V
	FRC with x8 PLL		TBD		%	+25°C VDD = 3.0-3.6V
			TBD		%	+25°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 3.0-3.6V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +125°C VDD = 4.5-5.5V
	FRC with x16 PLL		TBD		%	+25°C VDD = 3.0-3.6V
			TBD		%	+25°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 3.0-3.6V
			TBD		%	-40°C ≤ TA ≤ +85°C VDD = 4.5-5.5V
			TBD		%	-40°C ≤ TA ≤ +125°C VDD = 4.5-5.5V

Note 1: Frequency calibrated at 25°C and 5V. TUN bits can be used to compensate for temperature drift.

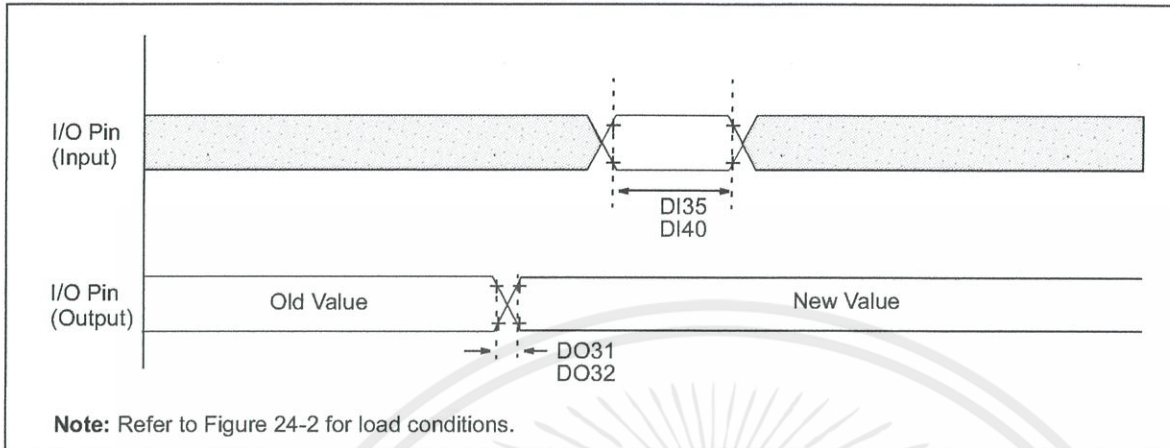
TABLE 24-18: INTERNAL RC ACCURACY

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended				
Param No.	Characteristic	Min	Typ	Max	Units	Conditions
LPRC @ Freq = 512 kHz <sup>(1)</sup>						
F20		TBD	—	TBD	%	-40°C to +85°C VDD = 3V
F21		TBD	—	TBD	%	-40°C to +85°C VDD = 5V

Note 1: Frequency at 25°C and 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

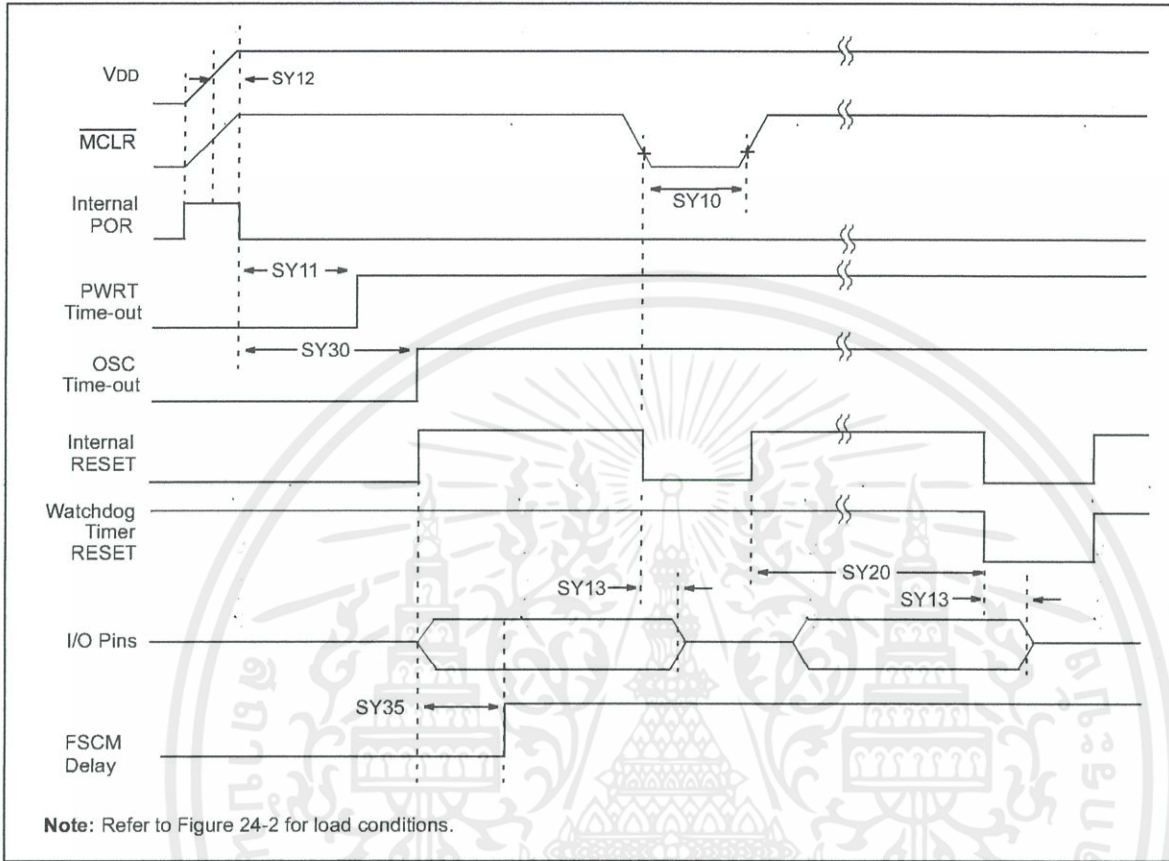
**FIGURE 24-4: CLKOUT AND I/O TIMING CHARACTERISTICS**

**TABLE 24-19: CLKOUT AND I/O TIMING REQUIREMENTS**

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended					
Param No.	Symbol	Characteristic <sup>(1)(2)(3)</sup>	Min	Typ <sup>(4)</sup>	Max	Units	Conditions
DO31	TiOR	Port output rise time	—	10	25	ns	—
DO32	TiOF	Port output fall time	—	10	25	ns	—
DI35	TINP	INTx pin high or low time (output)	20	—	—	ns	—
DI40	TRBP	CNx high or low time (input)	2 Tcy	—	—	ns	—

- Note 1:** These parameters are asynchronous events not related to any internal clock edges  
**Note 2:** Measurements are taken in RC mode and EC mode where CLKOUT output is  $4 \times T_{osc}$ .  
**Note 3:** These parameters are characterized but not tested in manufacturing.  
**Note 4:** Data in "Typ" column is at 5V, 25°C unless otherwise stated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**FIGURE 24-5: RESET, WATCHDOG TIMER, OSCILLATOR START-UP TIMER AND POWER-UP TIMER TIMING CHARACTERISTICS**



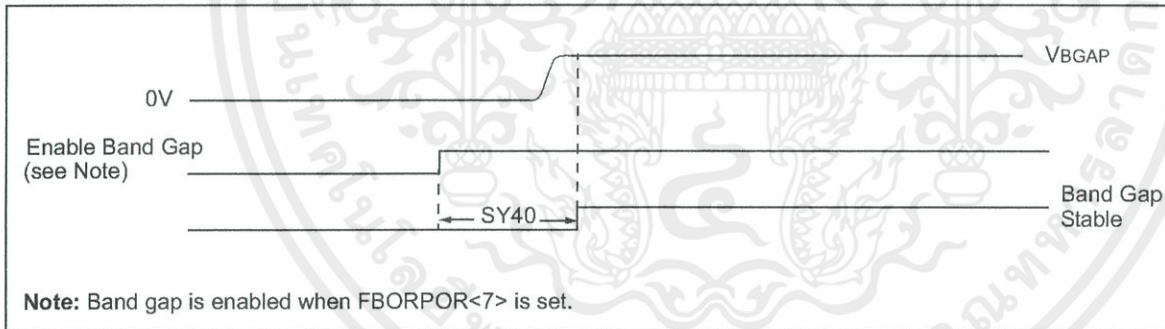
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TABLE 24-20: RESET, WATCHDOG TIMER, OSCILLATOR START-UP TIMER, POWER-UP TIMER AND BROWN-OUT RESET TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
SY10	TmCL	MCLR Pulse Width (low)	2	—	—	μs	-40°C to +85°C
SY11	TPWRT	Power-up Timer Period	TBD	0	TBD	ms	-40°C to +85°C User programmable
			TBD	4	TBD		
			TBD	16	TBD		
			TBD	64	TBD		
SY12	TPOR	Power On Reset Delay	3	10	30	μs	-40°C to +85°C
SY13	TIOZ	I/O Hi-impedance from MCLR Low or Watchdog Timer Reset	—	—	100	ns	
SY20	TWDT1	Watchdog Timer Time-out Period (No Prescaler).	1.8	2.0	2.2	ms	VDD = 5V, -40°C to +85°C
	TWDT2		1.9	2.1	2.3	ms	VDD = 3V, -40°C to +85°C
SY25	TBOR	Brown-out Reset Pulse Width <sup>(3)</sup>	100	—	—	μs	VDD ≤ VBOR (D034)
SY30	TOST	Oscillation Start-up Timer Period	—	1024 TOSC	—	—	TOSC = OSC1 period
SY35	TFSCM	Fail-Safe Clock Monitor Delay	—	100	—	μs	-40°C to +85°C

- Note 1:** These parameters are characterized but not tested in manufacturing.  
**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated.  
**Note 3:** Refer to Figure 24-1 and Table 24-10 for BOR.

**FIGURE 24-6: BAND GAP START-UP TIME CHARACTERISTICS**

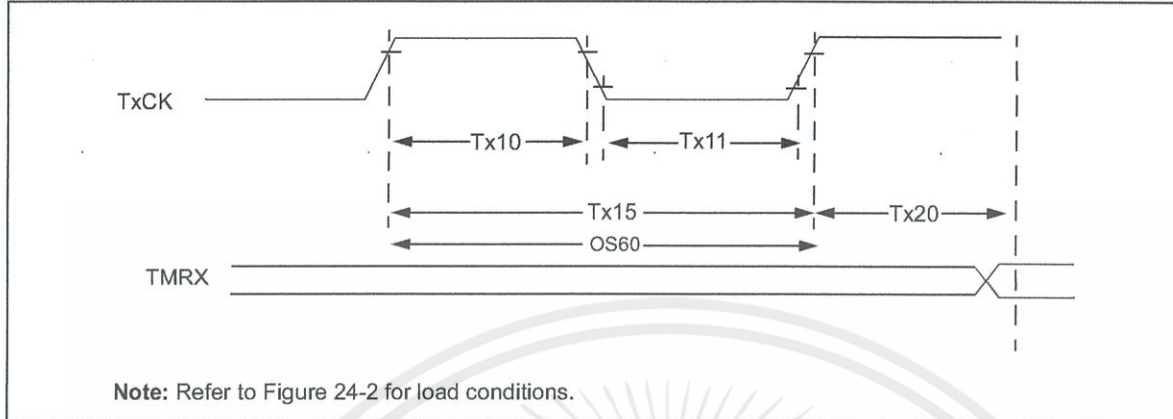


**TABLE 24-21: BAND GAP START-UP TIME REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
SY40	TBGAP	Band Gap Start-up Time	—	20	50	μs	Defined as the time between the instant that the band gap is enabled and the moment that the band gap reference voltage is stable. RCON<13>Status bit

- Note 1:** These parameters are characterized but not tested in manufacturing.  
**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated.

**FIGURE 24-7: TIMER 1, 2, 3, 4 AND 5 EXTERNAL CLOCK TIMING CHARACTERISTICS**



Note: Refer to Figure 24-2 for load conditions.

**TABLE 24-22: TIMER1 EXTERNAL CLOCK TIMING REQUIREMENTS**

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended						
Param No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions	
TA10	TtXH	TxCK High Time	Synchronous, no prescaler	$0.5 T_{CY} + 20$	—	—	ns	Must also meet parameter TA15
		Synchronous, with prescaler	10	—	—	ns		
		Asynchronous	10	—	—	ns		
TA11	TtXL	TxCK Low Time	Synchronous, no prescaler	$0.5 T_{CY} + 20$	—	—	ns	Must also meet parameter TA15
		Synchronous, with prescaler	10	—	—	ns		
		Asynchronous	10	—	—	ns		
TA15	TtXP	TxCK Input Period	Synchronous, no prescaler	$T_{CY} + 10$	—	—	ns	N = prescale value (1, 8, 64, 256)
		Synchronous, with prescaler	Greater of: 20 ns or $(T_{CY} + 40)/N$	—	—	—		
		Asynchronous	20	—	—	ns		
OS60	Ft1	SOSC1/T1CK oscillator input frequency range (oscillator enabled by setting bit TCS (T1CON, bit 1))	DC	—	50	kHz		
TA20	TCKEXTMRL	Delay from External TxCK Clock Edge to Timer Increment	$2 T_{OSC}$	—	$6 T_{OSC}$	—		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**TABLE 24-23: TIMER2 AND TIMER4 EXTERNAL CLOCK TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended					
Param No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions	
TB10	TtxH	TxCK High Time	Synchronous, no prescaler	$0.5 T_{CY} + 20$	—	—	ns	Must also meet parameter TB15
			Synchronous, with prescaler	10	—	—	ns	
TB11	TtxL	TxCK Low Time	Synchronous, no prescaler	$0.5 T_{CY} + 20$	—	—	ns	Must also meet parameter TB15
			Synchronous, with prescaler	10	—	—	ns	
TB15	TtxP	TxCK Input Period	Synchronous, no prescaler	$T_{CY} + 10$	—	—	ns	N = prescale value (1, 8, 64, 256)
			Synchronous, with prescaler	Greater of: 20 ns or $(T_{CY} + 40)/N$	—	—		
TB20	TCKEXTMRL	Delay from External TxCK Clock Edge to Timer Increment	2 TOSC	—	6 TOSC	—		

**TABLE 24-24: TIMER3 AND TIMER5 EXTERNAL CLOCK TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended					
Param No.	Symbol	Characteristic	Min	Typ	Max	Units	Conditions	
TC10	TtxH	TxCK High Time	Synchronous	$0.5 T_{CY} + 20$	—	—	ns	Must also meet parameter TC15
TC11	TtxL	TxCK Low Time	Synchronous	$0.5 T_{CY} + 20$	—	—	ns	Must also meet parameter TC15
TC15	TtxP	TxCK Input Period	Synchronous, no prescaler	$T_{CY} + 10$	—	—	ns	N = prescale value (1, 8, 64, 256)
			Synchronous, with prescaler	Greater of: 20 ns or $(T_{CY} + 40)/N$	—	—		
TC20	TCKEXTMRL	Delay from External TxCK Clock Edge to Timer Increment	2 TOSC	—	6 TOSC	—		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 24-8: TIMERQ (QE1 MODULE) EXTERNAL CLOCK TIMING CHARACTERISTICS

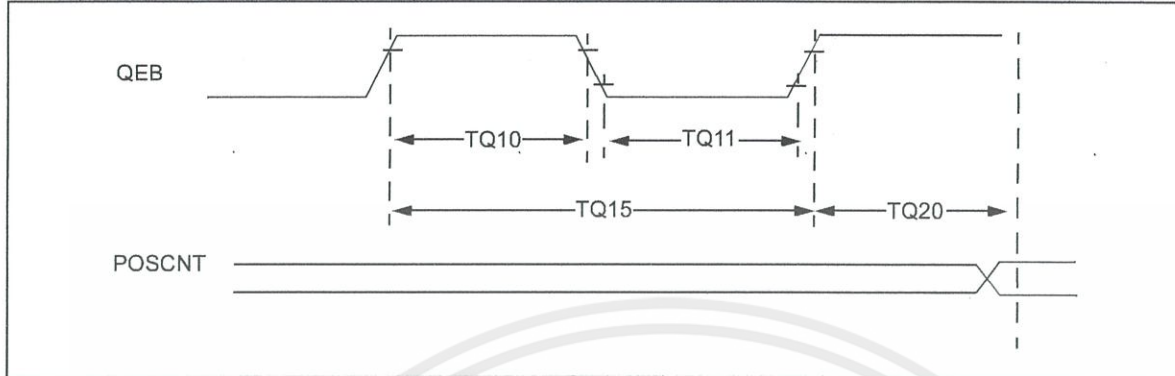


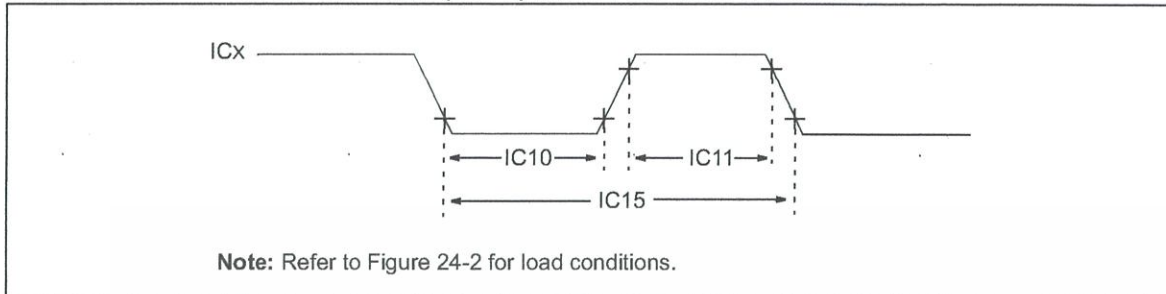
TABLE 24-25: QE1 MODULE EXTERNAL CLOCK TIMING REQUIREMENTS

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended						
Param No.	Symbol	Characteristic <sup>(1)</sup>		Min	Typ	Max	Units	Conditions
TQ10	TtQH	TQCK High Time	Synchronous, with prescaler	$T_{CY} + 20$	—	—	ns	Must also meet parameter TQ15
TQ11	TtQL	TQCK Low Time	Synchronous, with prescaler	$T_{CY} + 20$	—	—	ns	Must also meet parameter TQ15
TQ15	TtQP	TQCP Input Period	Synchronous, with prescaler	$2 * T_{CY} + 40$	—	—	ns	—
TQ20	TCKEXTMRL	Delay from External TxCK Clock Edge to Timer Increment		$T_{osc}$	—	$5 T_{osc}$	ns	—

**Note 1:** These parameters are characterized but not tested in manufacturing.

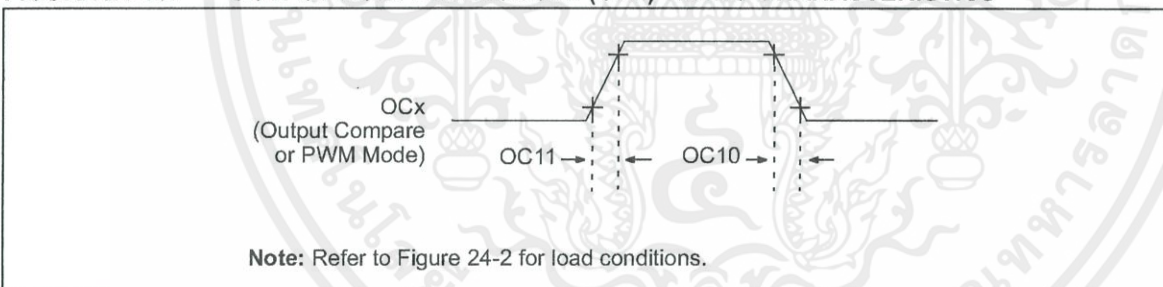
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**FIGURE 24-9: INPUT CAPTURE (CAPx) TIMING CHARACTERISTICS**

**TABLE 24-26: INPUT CAPTURE TIMING REQUIREMENTS**

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Max	Units	Conditions
IC10	TccL	ICx Input Low Time	No Prescaler	$0.5 T_{CY} + 20$	—	ns
			With Prescaler	10	—	ns
IC11	TccH	ICx Input High Time	No Prescaler	$0.5 T_{CY} + 20$	—	ns
			With Prescaler	10	—	ns
IC15	TccP	ICx Input Period	$(2 T_{CY} + 40)/N$	—	ns	N = prescale value (1, 4, 16)

Note 1: These parameters are characterized but not tested in manufacturing.

**FIGURE 24-10: OUTPUT COMPARE MODULE (OCx) TIMING CHARACTERISTICS**

**TABLE 24-27: OUTPUT COMPARE MODULE TIMING REQUIREMENTS**

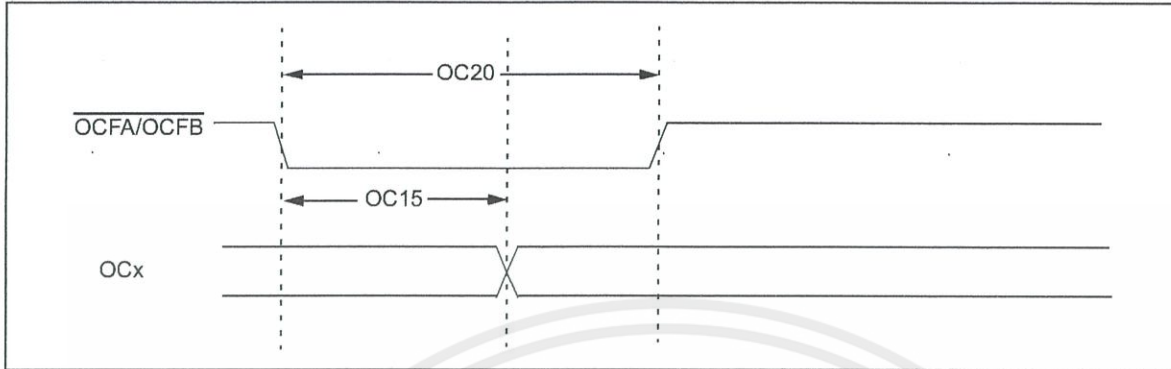
AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended					
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
OC10	TccF	OCx Output Fall Time	—	10	25	ns	—
OC11	TccR	OCx Output Rise Time	—	10	25	ns	—

Note 1: These parameters are characterized but not tested in manufacturing.

Note 2: Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**FIGURE 24-11: OC/PWM MODULE TIMING CHARACTERISTICS**



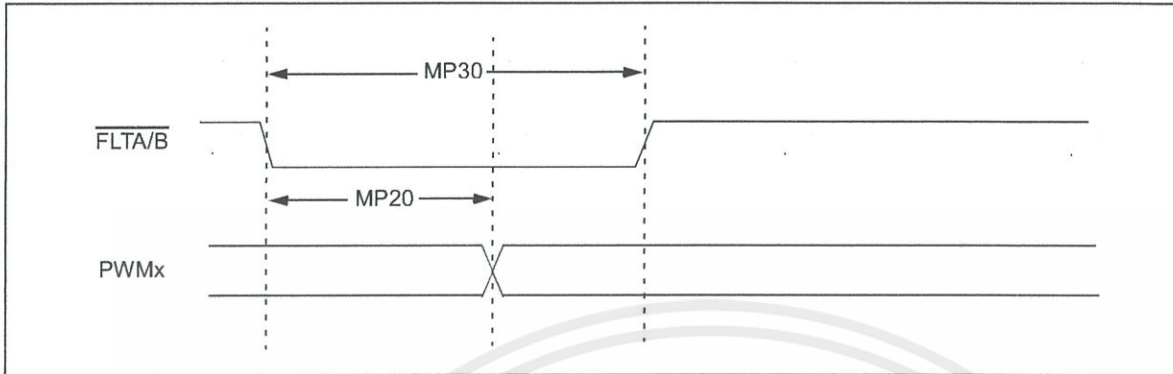
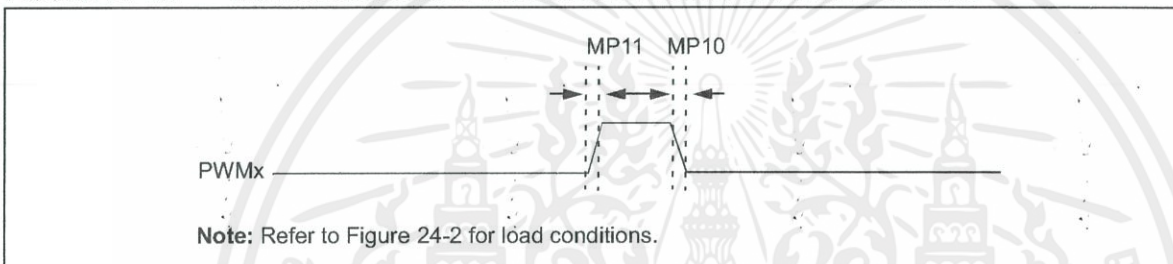
**TABLE 24-28: SIMPLE OC/PWM MODE TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
OC15	T <sub>FD</sub>	Fault Input to PWM I/O Change	—	—	25	ns	V <sub>DD</sub> = 3V
					TBD	ns	V <sub>DD</sub> = 5V
OC20	T <sub>FLT</sub>	Fault Input Pulse Width	—	—	50	ns	V <sub>DD</sub> = 3V
					TBD	ns	V <sub>DD</sub> = 5V

- Note 1:** These parameters are characterized but not tested in manufacturing.  
**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**FIGURE 24-12: MOTOR CONTROL PWM MODULE FAULT TIMING CHARACTERISTICS**

**FIGURE 24-13: MOTOR CONTROL PWM MODULE TIMING CHARACTERISTICS**

**TABLE 24-29: MOTOR CONTROL PWM MODULE TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended					
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions	
MP10	TFPWM	PWM Output Fall Time	—	10	25	ns	$V_{DD} = 5V$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
MP11	TRPWM	PWM Output Rise Time	—	10	25	ns	$V_{DD} = 5V$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
MP12	TFPWM	PWM Output Fall Time	—	TBD	TBD	ns	$V_{DD} = 3V$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
MP13	TRPWM	PWM Output Rise Time	—	TBD	TBD	ns	$V_{DD} = 3V$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
MP20	TFD	Fault Input $\downarrow$ to PWM I/O Change	—	—	25	ns	$V_{DD} = 3V$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
					TBD	ns	$V_{DD} = 5V$	
MP30	TFH	Minimum Pulse Width	—	—	50	ns	$V_{DD} = 3V$	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$
					TBD	ns	$V_{DD} = 5V$	

**Note 1:** These parameters are characterized but not tested in manufacturing.

**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 24-14: QEA/QEB INPUT CHARACTERISTICS

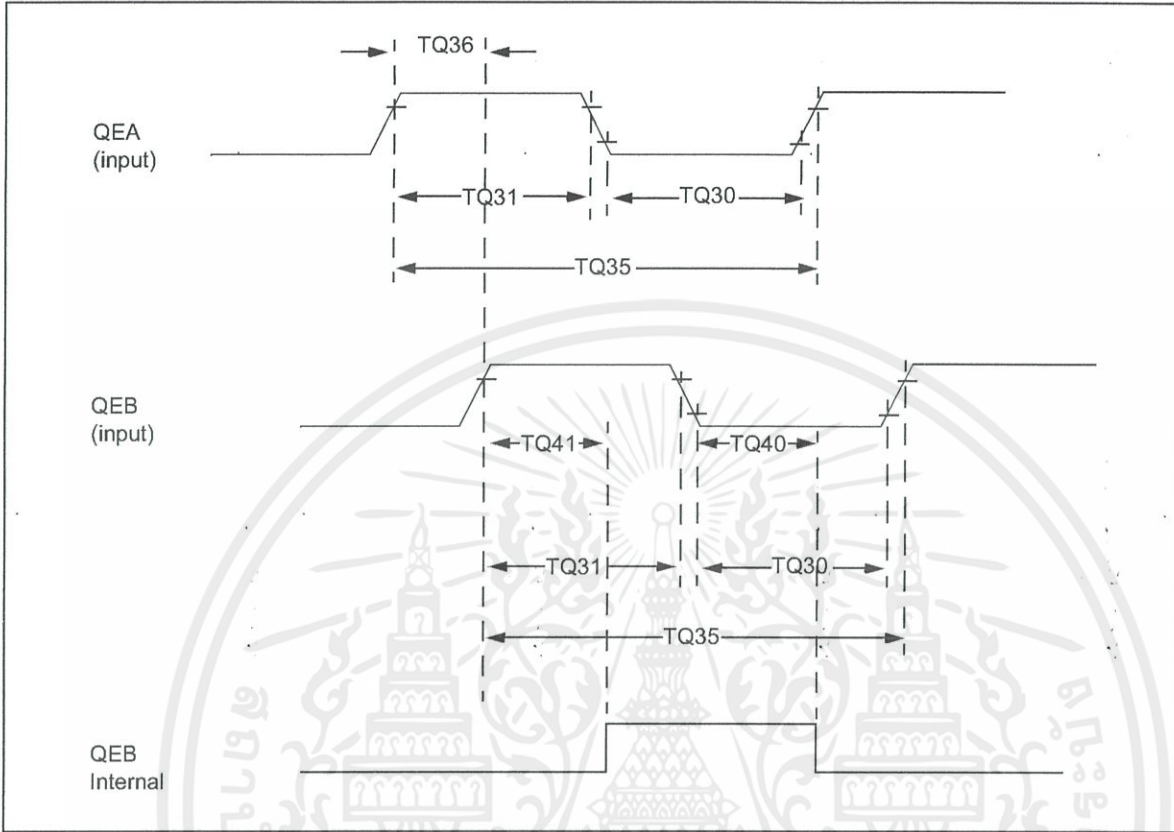


TABLE 24-30: QUADRATURE DECODER TIMING REQUIREMENTS

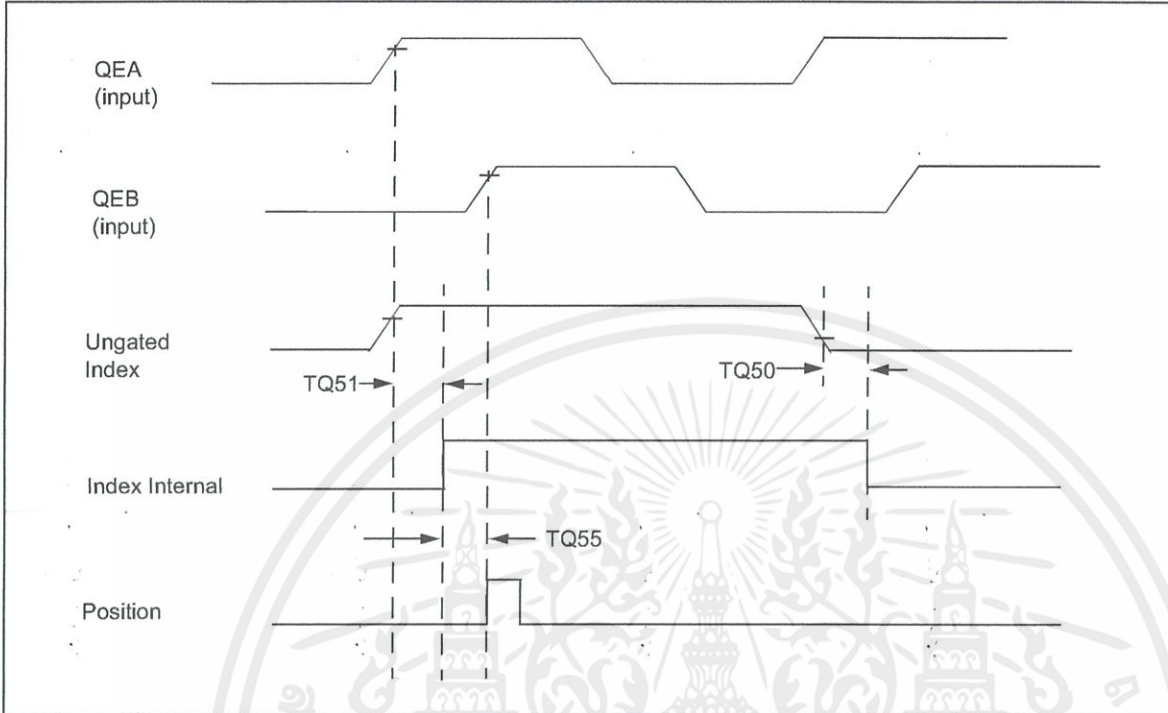
AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Typ <sup>(2)</sup>	Max	Units	Conditions
TQ30	TQUL	Quadrature Input Low Time	6 TcY	—	ns	—
TQ31	TQUH	Quadrature Input High Time	6 TcY	—	ns	—
TQ35	TQUIN	Quadrature Input Period	12 TcY	—	ns	—
TQ36	TQUP	Quadrature Phase Period	3 TcY	—	ns	—
TQ40	TQUFL	Filter Time to Recognize Low, with Digital Filter	3 * N * TcY	—	ns	N = 1, 2, 4, 16, 32, 64, 128 and 256 (Note 2)
TQ41	TQUFH	Filter Time to Recognize High, with Digital Filter	3 * N * TcY	—	ns	N = 1, 2, 4, 16, 32, 64, 128 and 256 (Note 2)

Note 1: These parameters are characterized but not tested in manufacturing.

Note 2: N = Index Channel Digital Filter Clock Divide Select Bits. Refer to Section 16. "Quadrature Encoder Interface (QEI)" in the dsPIC30F Family Reference Manual.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**FIGURE 24-15: QEI MODULE INDEX PULSE TIMING CHARACTERISTICS**



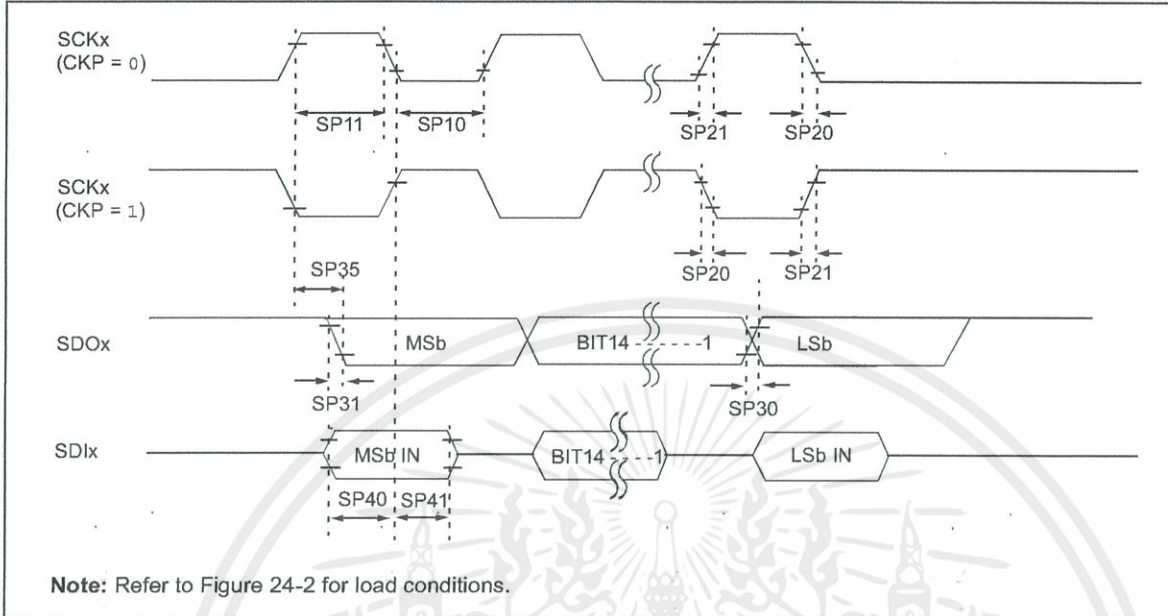
**TABLE 24-31: QEI INDEX PULSE TIMING REQUIREMENTS**

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Max	Units	Conditions
TQ50	TqIL	Filter Time to Recognize Low, with Digital Filter	3 * N * TCY	—	ns	N = 1, 2, 4, 16, 32, 64, 128 and 256 (Note 2)
TQ51	TqiH	Filter Time to Recognize High, with Digital Filter	3 * N * TCY	—	ns	N = 1, 2, 4, 16, 32, 64, 128 and 256 (Note 2)
TQ55	Tqidxr	Index Pulse Recognized to Position Counter Reset (Ungated Index)	3 TCY	—	ns	—

- Note 1:** These parameters are characterized but not tested in manufacturing.  
**Note 2:** Alignment of Index Pulses to QEA and QEB is shown for Position Counter reset timing only. Shown for forward direction only (QEA leads QEB). Same timing applies for reverse direction (QEA lags QEB) but Index Pulse recognition occurs on falling edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**FIGURE 24-16: SPI MODULE MASTER MODE (CKE = 0) TIMING CHARACTERISTICS**



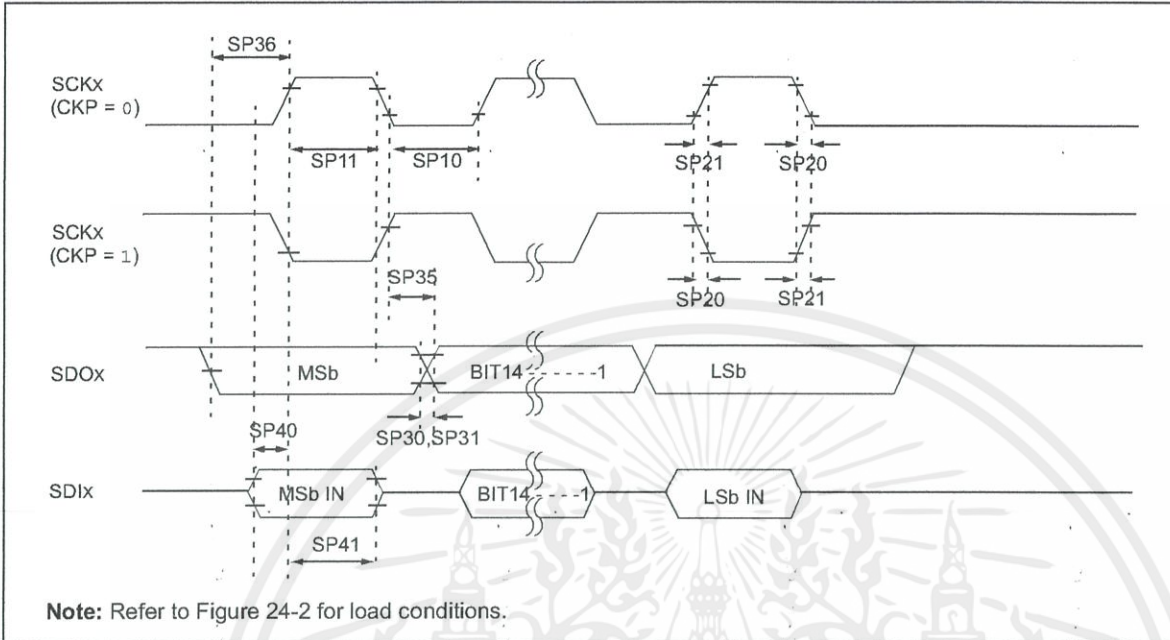
**TABLE 24-32: SPI MASTER MODE (CKE = 0) TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
SP10	TscL	SCKx Output Low Time <sup>(3)</sup>	Tcy / 2	—	—	ns	—
SP11	Tsch	SCKx Output High Time <sup>(3)</sup>	Tcy / 2	—	—	ns	—
SP20	TscF	SCKx Output Fall Time <sup>(4)</sup>	—	10	25	ns	—
SP21	TscR	SCKx Output Rise Time <sup>(4)</sup>	—	10	25	ns	—
SP30	TdoF	SDOx Data Output Fall Time <sup>(4)</sup>	—	10	25	ns	—
SP31	TdoR	SDOx Data Output Rise Time <sup>(4)</sup>	—	10	25	ns	—
SP35	Tsch2doV, TscL2doV	SDOx Data Output Valid after SCKx Edge	—	—	30	ns	—
SP40	TdiV2scH, TdiV2scL	Setup Time of SDIx Data Input to SCKx Edge	20	—	—	ns	—
SP41	Tsch2diL, TscL2diL	Hold Time of SDIx Data Input to SCKx Edge	20	—	—	ns	—

- Note 1:** These parameters are characterized but not tested in manufacturing.  
**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.  
**Note 3:** The minimum clock period for SCK is 100 ns. Therefore, the clock generated in Master mode must not violate this specification.  
**Note 4:** Assumes 50 pF load on all SPI pins.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**FIGURE 24-17: SPI MODULE MASTER MODE (CKE = 1) TIMING CHARACTERISTICS**

**TABLE 24-33: SPI MODULE MASTER MODE (CKE = 1) TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
SP10	TscL	SCKx output low time <sup>(3)</sup>	$T_{cy} / 2$	—	—	ns	—
SP11	TscH	SCKx output high time <sup>(3)</sup>	$T_{cy} / 2$	—	—	ns	—
SP20	TscF	SCKx output fall time <sup>(4)</sup>	—	10	25	ns	—
SP21	TscR	SCKx output rise time <sup>(4)</sup>	—	10	25	ns	—
SP30	TdoF	SDOx data output fall time <sup>(4)</sup>	—	10	25	ns	—
SP31	TdoR	SDOx data output rise time <sup>(4)</sup>	—	10	25	ns	—
SP35	Tsch2doV, TscL2doV	SDOx data output valid after SCKx edge	—	—	30	ns	—
SP36	TdoV2sc, TdoV2scL	SDOx data output setup to first SCKx edge	30	—	—	ns	—
SP40	TdiV2scH, TdiV2scL	Setup time of SDIx data input to SCKx edge	20	—	—	ns	—
SP41	Tsch2diL, TscL2diL	Hold time of SDIx data input to SCKx edge	20	—	—	ns	—

**Note 1:** These parameters are characterized but not tested in manufacturing.

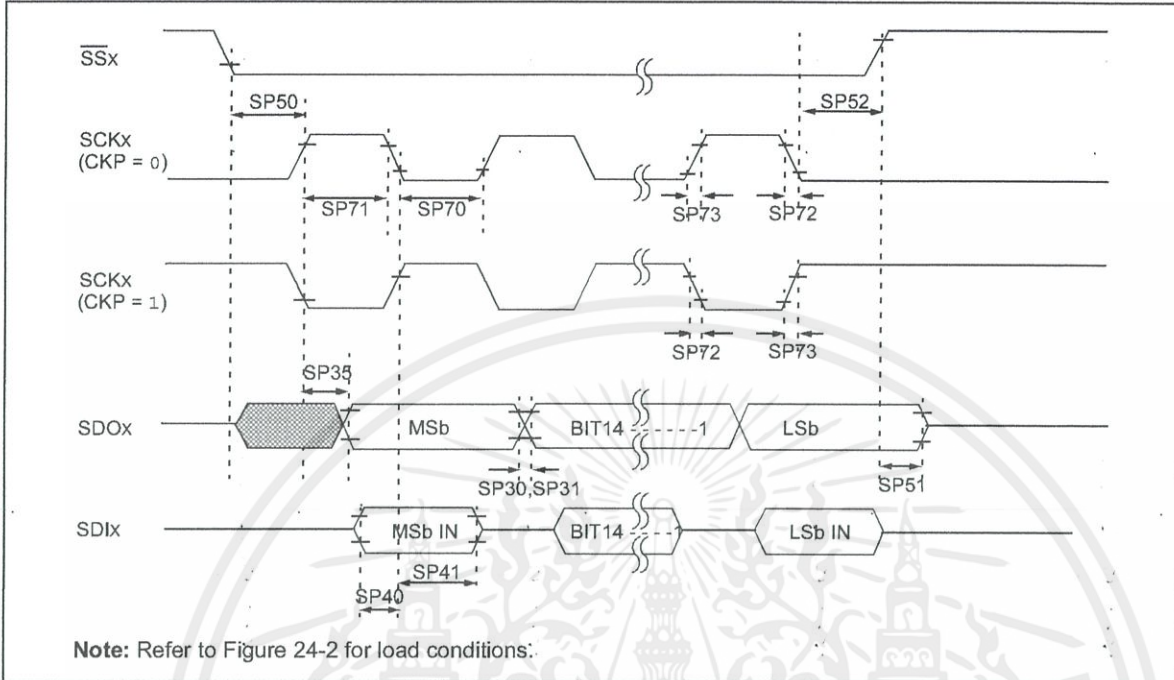
**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

**Note 3:** The minimum clock period for SCK is 100 ns. Therefore, the clock generated in master mode must not violate this specification.

**Note 4:** Assumes 50 pF load on all SPI pins.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**FIGURE 24-18: SPI MODULE SLAVE MODE (CKE = 0) TIMING CHARACTERISTICS**



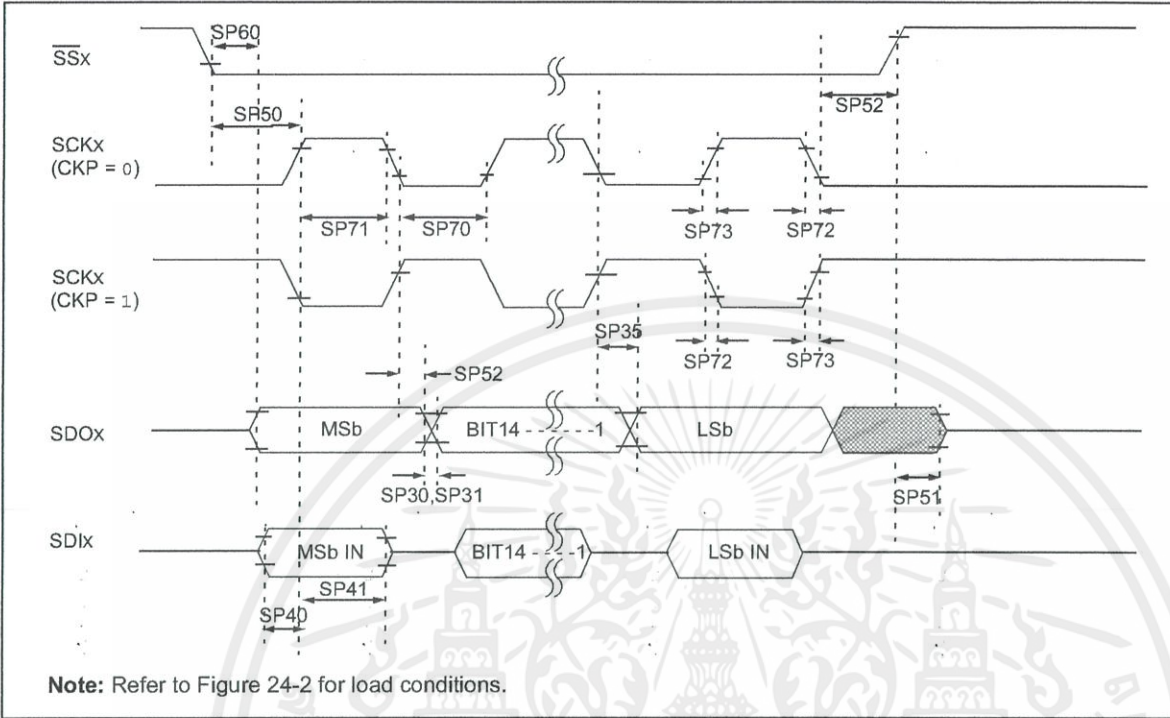
**TABLE 24-34: SPI MODULE SLAVE MODE (CKE = 0) TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
SP70	TscL	SCKx Input Low Time	30	—	—	ns	—
SP71	TscH	SCKx Input High Time	30	—	—	ns	—
SP72	TscF	SCKx Input Fall Time <sup>(3)</sup>	—	10	25	ns	—
SP73	TscR	SCKx Input Rise Time <sup>(3)</sup>	—	10	25	ns	—
SP30	TdoF	SDOx Data Output Fall Time <sup>(3)</sup>	—	10	25	ns	—
SP31	TdoR	SDOx Data Output Rise Time <sup>(3)</sup>	—	10	25	ns	—
SP35	Tsch2doV, TscL2doV	SDOx Data Output Valid after SCKx Edge	—	—	30	ns	—
SP40	TdiV2scH, TdiV2scL	Setup Time of SDIx Data Input to SCKx Edge	20	—	—	ns	—
SP41	Tsch2diL, TscL2diL	Hold Time of SDIx Data Input to SCKx Edge	20	—	—	ns	—
SP50	TssL2scH, TssL2scL	SSx↓ to SCKx↑ or SCKx↓ Input	120	—	—	ns	—
SP51	TssH2doZ	SSx↑ to SDOx Output Hi-Impedance <sup>(3)</sup>	10	—	50	ns	—
SP52	Tsch2ssh, TscL2ssh	SSx after SCK Edge	1.5 Tcy + 40	—	—	ns	—

- Note 1:** These parameters are characterized but not tested in manufacturing.  
**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.  
**Note 3:** Assumes 50 pF load on all SPI pins.

# dsPIC30F4011/4012

**FIGURE 24-19: SPI MODULE SLAVE MODE (CKE = 1) TIMING CHARACTERISTICS**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TABLE 24-35: SPI MODULE SLAVE MODE (CKE = 1) TIMING REQUIREMENTS**

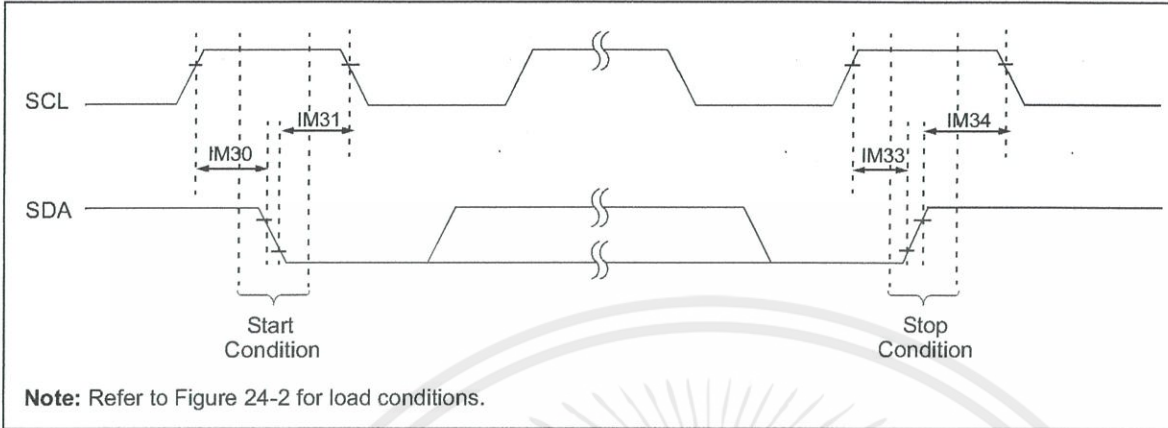
AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
SP70	TscL	SCKx Input Low Time	30	—	—	ns	—
SP71	TscH	SCKx Input High Time	30	—	—	ns	—
SP72	TscF	SCKx Input Fall Time <sup>(3)</sup>	—	10	25	ns	—
SP73	TscR	SCKx Input Rise Time <sup>(3)</sup>	—	10	25	ns	—
SP30	TdoF	SDOx Data Output Fall Time <sup>(3)</sup>	—	10	25	ns	—
SP31	TdoR	SDOx Data Output Rise Time <sup>(3)</sup>	—	10	25	ns	—
SP35	TscH2doV, TscL2doV	SDOx Data Output Valid after SCKx Edge	—	—	30	ns	—
SP40	TdiV2scH, TdiV2scL	Setup Time of SDIx Data Input to SCKx Edge	20	—	—	ns	—
SP41	TscH2diL, TscL2diL	Hold Time of SDIx Data Input to SCKx Edge	20	—	—	ns	—
SP50	TssL2scH, TssL2scL	$\overline{\text{SS}}\text{x}\downarrow$ to SCKx $\downarrow$ or SCKx $\uparrow$ input	120	—	—	ns	—
SP51	TssH2doZ	$\overline{\text{SS}}\text{x}\uparrow$ to SDOx Output Hi-Impedance <sup>(4)</sup>	10	—	50	ns	—
SP52	TscH2ssH, TscL2ssH	$\overline{\text{SS}}\text{x}\uparrow$ after SCKx Edge	$1.5 T_{CY} + 40$	—	—	ns	—
SP60	TssL2doV	SDOx Data Output Valid after $\overline{\text{SS}}\text{x}$ Edge	—	—	50	ns	—

- Note 1:** These parameters are characterized but not tested in manufacturing.  
**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.  
**Note 3:** The minimum clock period for SCK is 100 ns. Therefore, the clock generated in master mode must not violate this specification.  
**Note 4:** Assumes 50 pF load on all SPI pins.

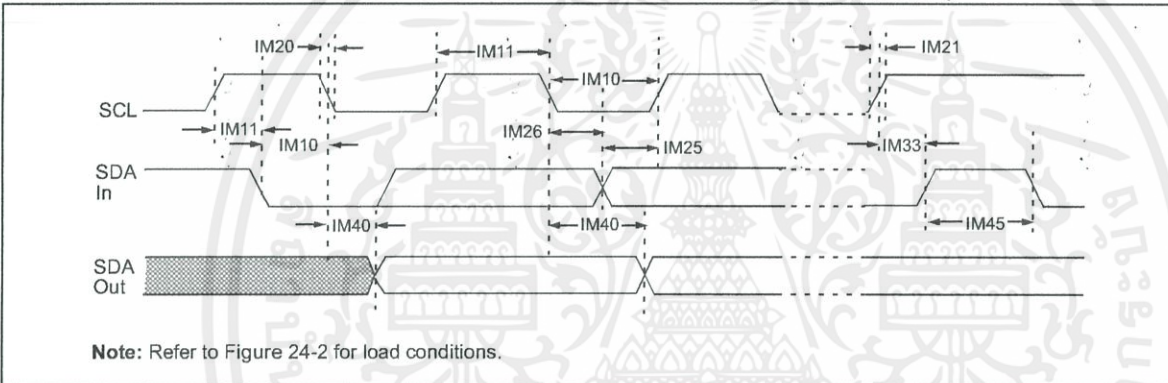
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**FIGURE 24-20: I<sup>2</sup>C BUS START/STOP BITS TIMING CHARACTERISTICS (MASTER MODE)**



**FIGURE 24-21: I<sup>2</sup>C BUS DATA TIMING CHARACTERISTICS (MASTER MODE)**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## dsPIC30F4011/4012

TABLE 24-36: I<sup>2</sup>C BUS DATA TIMING REQUIREMENTS (MASTER MODE)

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ T <sub>A</sub> ≤ +85°C for Industrial -40°C ≤ T <sub>A</sub> ≤ +125°C for Extended				
Param No.	Symbol	Characteristic	Min <sup>(1)</sup>	Max	Units	Conditions	
IM10	TLO:SCL	Clock Low Time	100 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	—
			400 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	—
			1 MHz mode <sup>(2)</sup>	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	—
IM11	THI:SCL	Clock High Time	100 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	—
			400 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	—
			1 MHz mode <sup>(2)</sup>	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	—
IM20	TF:SCL	SDA and SCL Fall Time	100 kHz mode	—	300	ns	C <sub>B</sub> is specified to be from 10 to 400 pF
			400 kHz mode	20 + 0.1 C <sub>B</sub>	300	ns	
			1 MHz mode <sup>(2)</sup>	—	100	ns	
IM21	TR:SCL	SDA and SCL Rise Time	100 kHz mode	—	1000	ns	C <sub>B</sub> is specified to be from 10 to 400 pF
			400 kHz mode	20 + 0.1 C <sub>B</sub>	300	ns	
			1 MHz mode <sup>(2)</sup>	—	300	ns	
IM25	TSU:DAT	Data Input Setup Time	100 kHz mode	250	—	ns	—
			400 kHz mode	100	—	ns	
			1 MHz mode <sup>(2)</sup>	TBD	—	ns	
IM26	THD:DAT	Data Input Hold Time	100 kHz mode	0	—	ns	—
			400 kHz mode	0	0.9	μs	
			1 MHz mode <sup>(2)</sup>	TBD	—	ns	
IM30	TSU:STA	Start Condition Setup Time	100 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	Only relevant for repeated Start condition
			400 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	
			1 MHz mode <sup>(2)</sup>	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	
IM31	THD:STA	Start Condition Hold Time	100 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	After this period the first clock pulse is generated
			400 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	
			1 MHz mode <sup>(2)</sup>	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	
IM33	TSU:STO	Stop Condition Setup Time	100 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	—
			400 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	
			1 MHz mode <sup>(2)</sup>	T <sub>cy</sub> / 2 (BRG + 1)	—	μs	
IM34	THD:STO	Stop Condition Hold Time	100 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	ns	—
			400 kHz mode	T <sub>cy</sub> / 2 (BRG + 1)	—	ns	
			1 MHz mode <sup>(2)</sup>	T <sub>cy</sub> / 2 (BRG + 1)	—	ns	
IM40	TAA:SCL	Output Valid From Clock	100 kHz mode	—	3500	ns	—
			400 kHz mode	—	1000	ns	
			1 MHz mode <sup>(2)</sup>	—	—	ns	
IM45	TBF:SDA	Bus Free Time	100 kHz mode	4.7	—	μs	Time the bus must be free before a new transmission can start
			400 kHz mode	1.3	—	μs	
			1 MHz mode <sup>(2)</sup>	TBD	—	μs	
IM50	C <sub>B</sub>	Bus Capacitive Loading	—	400	pF	—	

**Note 1:** BRG is the value of the I<sup>2</sup>C Baud Rate Generator. Refer to Section 21 "Inter-Integrated Circuit™ (I<sup>2</sup>C)" in the dsPIC30F Family Reference Manual.

**Note 2:** Maximum pin capacitance = 10 pF for all I<sup>2</sup>C pins (for 1 MHz mode only).

# dsPIC30F4011/4012

FIGURE 24-22: I<sup>2</sup>C BUS START/STOP BITS TIMING CHARACTERISTICS (SLAVE MODE)

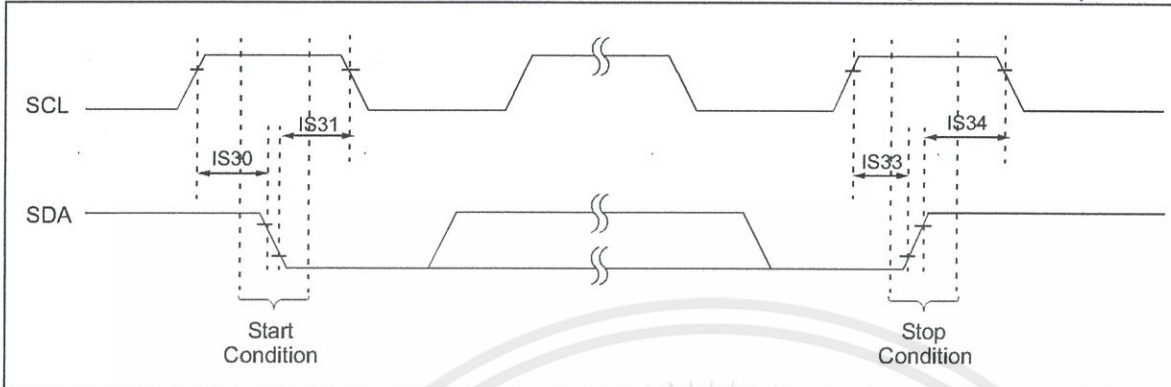
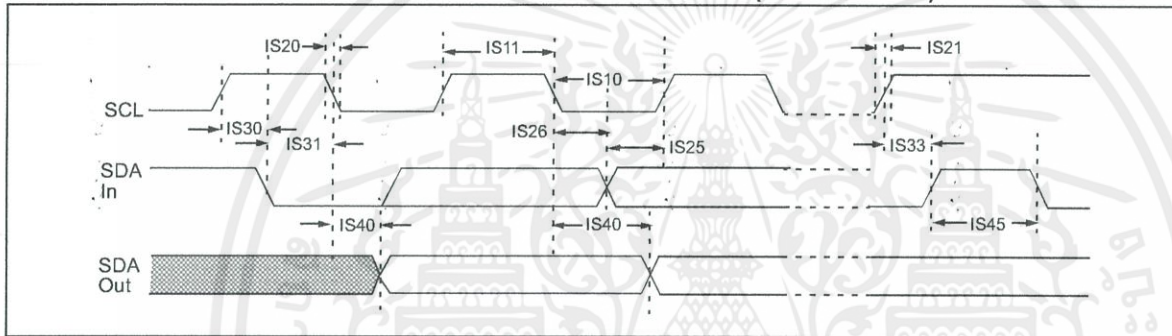


FIGURE 24-23: I<sup>2</sup>C BUS DATA TIMING CHARACTERISTICS (SLAVE MODE)



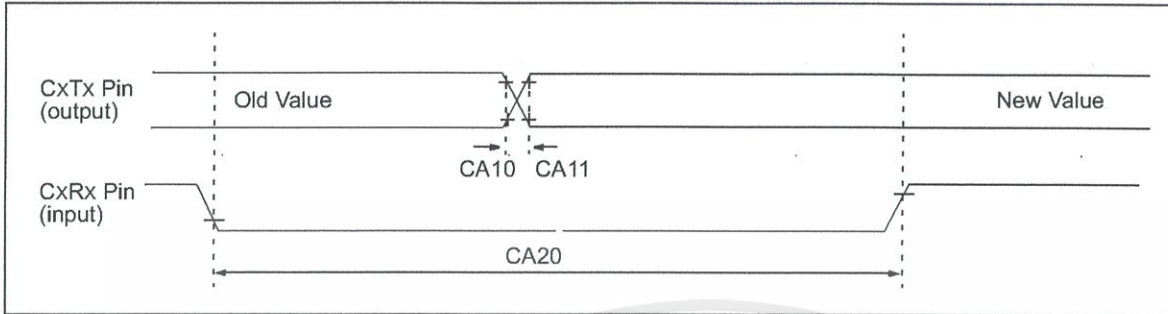
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TABLE 24-37: I<sup>2</sup>C BUS DATA TIMING REQUIREMENTS (SLAVE MODE)**

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended					
Param No.	Symbol	Characteristic	Min	Max	Units	Conditions	
IS10	TLO:SCL	Clock Low Time	100 kHz mode	4.7	—	μs	Device must operate at a minimum of 1.5 MHz
			400 kHz mode	1.3	—	μs	Device must operate at a minimum of 10 MHz.
			1 MHz mode <sup>(1)</sup>	0.5	—	μs	—
IS11	THI:SCL	Clock High Time	100 kHz mode	4.0	—	μs	Device must operate at a minimum of 1.5 MHz
			400 kHz mode	0.6	—	μs	Device must operate at a minimum of 10 MHz
			1 MHz mode <sup>(1)</sup>	0.5	—	μs	—
IS20	TF:SCL	SDA and SCL Fall Time	100 kHz mode	—	300	ns	Cb is specified to be from 10 to 400 pF
			400 kHz mode	20 + 0.1 Cb	300	ns	
			1 MHz mode <sup>(1)</sup>	—	100	ns	
IS21	TR:SCL	SDA and SCL Rise Time	100 kHz mode	—	1000	ns	Cb is specified to be from 10 to 400 pF
			400 kHz mode	20 + 0.1 Cb	300	ns	
			1 MHz mode <sup>(1)</sup>	—	300	ns	
IS25	TSU:DAT	Data Input Setup Time	100 kHz mode	250	—	ns	—
			400 kHz mode	100	—	ns	
			1 MHz mode <sup>(1)</sup>	100	—	ns	
IS26	THD:DAT	Data Input Hold Time	100 kHz mode	0	—	ns	—
			400 kHz mode	0	0.9	μs	
			1 MHz mode <sup>(1)</sup>	0	0.3	μs	
IS30	TSU:STA	Start Condition Setup Time	100 kHz mode	4.7	—	μs	Only relevant for repeated Start condition
			400 kHz mode	0.6	—	μs	
			1 MHz mode <sup>(1)</sup>	0.25	—	μs	
IS31	THD:STA	Start Condition Hold Time	100 kHz mode	4.0	—	μs	After this period the first clock pulse is generated
			400 kHz mode	0.6	—	μs	
			1 MHz mode <sup>(1)</sup>	0.25	—	μs	
IS33	TSU:STO	Stop Condition Setup Time	100 kHz mode	4.7	—	μs	—
			400 kHz mode	0.6	—	μs	
			1 MHz mode <sup>(1)</sup>	0.6	—	μs	
IS34	THD:STO	Stop Condition Hold Time	100 kHz mode	4000	—	ns	—
			400 kHz mode	600	—	ns	
			1 MHz mode <sup>(1)</sup>	250	—	ns	
IS40	TAA:SCL	Output Valid From Clock	100 kHz mode	0	3500	ns	—
			400 kHz mode	0	1000	ns	
			1 MHz mode <sup>(1)</sup>	0	350	ns	
IS45	TBF:SDA	Bus Free Time	100 kHz mode	4.7	—	μs	Time the bus must be free before a new transmission can start
			400 kHz mode	1.3	—	μs	
			1 MHz mode <sup>(1)</sup>	0.5	—	μs	
IS50	Cb	Bus Capacitive Loading	—	400	pF	—	

**Note 1:** Maximum pin capacitance = 10 pF for all I<sup>2</sup>C pins (for 1 MHz mode only).

**FIGURE 24-24: CAN MODULE I/O TIMING CHARACTERISTICS**



**TABLE 24-38: CAN MODULE I/O TIMING REQUIREMENTS**

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended					
Param No.	Symbol	Characteristic <sup>(1)</sup>	Min	Typ <sup>(2)</sup>	Max	Units	Conditions
CA10	TioF	Port Output Fall Time	—	10	25	ns	—
CA11	TioR	Port Output Rise Time	—	10	25	ns	—
CA20	Tcwf	Pulse Width to Trigger CAN Wakeup Filter	500			ns	—

- Note 1:** These parameters are characterized but not tested in manufacturing.  
**Note 2:** Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TABLE 24-39: 10-BIT HIGH-SPEED A/D MODULE SPECIFICATIONS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic	Min.	Typ	Max.	Units	Conditions
<b>Device Supply</b>							
AD01	AVDD	Module VDD Supply	Greater of VDD - 0.3 or 2.7		Lesser of VDD + 0.3 or 5.5	V	—
AD02	AVSS	Module VSS Supply	VSS - 0.3		VSS + 0.3	V	—
<b>Reference Inputs</b>							
AD05	VREFH	Reference Voltage High	AVSS+2.7		AVDD	V	—
AD06	VREFL	Reference Voltage Low	AVSS		AVDD - 2.7	V	—
AD07	VREF	Absolute Reference Voltage	AVSS - 0.3		AVDD + 0.3	V	—
AD08	IREF	Current Drain	—	200 .001	300 3	$\mu\text{A}$ $\mu\text{A}$	A/D operating A/D off
<b>Analog Input</b>							
AD10	VINH-VINL	Full-Scale Input Span	VREFL		VREFH	V	—
AD11	VIN	Absolute Input Voltage	AVSS - 0.3		AVDD + 0.3	V	—
AD12	—	Leakage Current	—	$\pm 0.001$	$\pm 0.244$	$\mu\text{A}$	VINL = AVSS = VREFL = 0V, AVDD = VREFH = 5V Source Impedance = 5 k $\Omega$
AD13	—	Leakage Current	—	$\pm 0.001$	$\pm 0.244$	$\mu\text{A}$	VINL = AVSS = VREFL = 0V, AVDD = VREFH = 3V Source Impedance = 5 k $\Omega$
AD15	RSS	Switch Resistance	—	5K	—	$\Omega$	—
AD16	CSAMPLE	Sample Capacitor	—	2.5	—	pF	—
AD17	RIN	Recommended Impedance Of Analog Voltage Source	—	—	5K	$\Omega$	—
<b>DC Accuracy</b>							
AD20	Nr	Resolution	10 data bits			bits	—
AD21	INL	Integral Nonlinearity	—	$\pm 0.5$	$< \pm 1$	LSb	VINL = AVSS = VREFL = 0V, AVDD = VREFH = 5V
AD21A	INL	Integral Nonlinearity	—	$\pm 0.5$	$< \pm 1$	LSb	VINL = AVSS = VREFL = 0V, AVDD = VREFH = 3V
AD22	DNL	Differential Nonlinearity	—	$\pm 0.5$	$< \pm 1$	LSb	VINL = AVSS = VREFL = 0V, AVDD = VREFH = 5V
AD22A	DNL	Differential Nonlinearity	—	$\pm 0.5$	$< \pm 1$	LSb	VINL = AVSS = VREFL = 0V, AVDD = VREFH = 3V
AD23	GERR	Gain Error	—	$\pm 0.75$	TBD	LSb	VINL = AVSS = VREFL = 0V, AVDD = VREFH = 5V
AD23A	GERR	Gain Error	—	$\pm 0.75$	TBD	LSb	VINL = AVSS = VREFL = 0V, AVDD = VREFH = 3V

**Note 1:** Because the sample caps will eventually lose charge, clock rates below 10 kHz can affect linearity performance, especially at elevated temperatures.

**2:** The A/D conversion result never decreases with an increase in the input voltage, and has no missing codes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 24-39: 10-BIT HIGH-SPEED A/D MODULE SPECIFICATIONS (CONTINUED)

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic	Min.	Typ	Max.	Units	Conditions
AD24	E <sub>OFF</sub>	Offset Error	—	±0.75	TBD	LSb	V <sub>INL</sub> = AV <sub>SS</sub> = V <sub>REFL</sub> = 0V, AV <sub>DD</sub> = V <sub>REFH</sub> = 5V
AD24A	E <sub>OFF</sub>	Offset Error	—	±0.75	TBD	LSb	V <sub>INL</sub> = AV <sub>SS</sub> = V <sub>REFL</sub> = 0V, AV <sub>DD</sub> = V <sub>REFH</sub> = 3V
AD25	—	Monotonicity <sup>(2)</sup>	—	—	—	—	Guaranteed
AD26	CMRR	Common-Mode Rejection	—	TBD	—	dB	—
AD27	PSRR	Power Supply Rejection Ratio	—	TBD	—	dB	—
AD28	CTLK	Channel to Channel Crosstalk	—	TBD	—	dB	—
Dynamic Performance							
AD30	THD	Total Harmonic Distortion	—	TBD	—	dB	—
AD31	SINAD	Signal to Noise and Distortion	—	TBD	—	dB	—
AD32	SFDR	Spurious Free Dynamic Range	—	TBD	—	dB	—
AD33	F <sub>NYQ</sub>	Input Signal Bandwidth	—	—	250	kHz	—
AD34	ENOB	Effective Number of Bits	—	TBD	TBD	bits	—

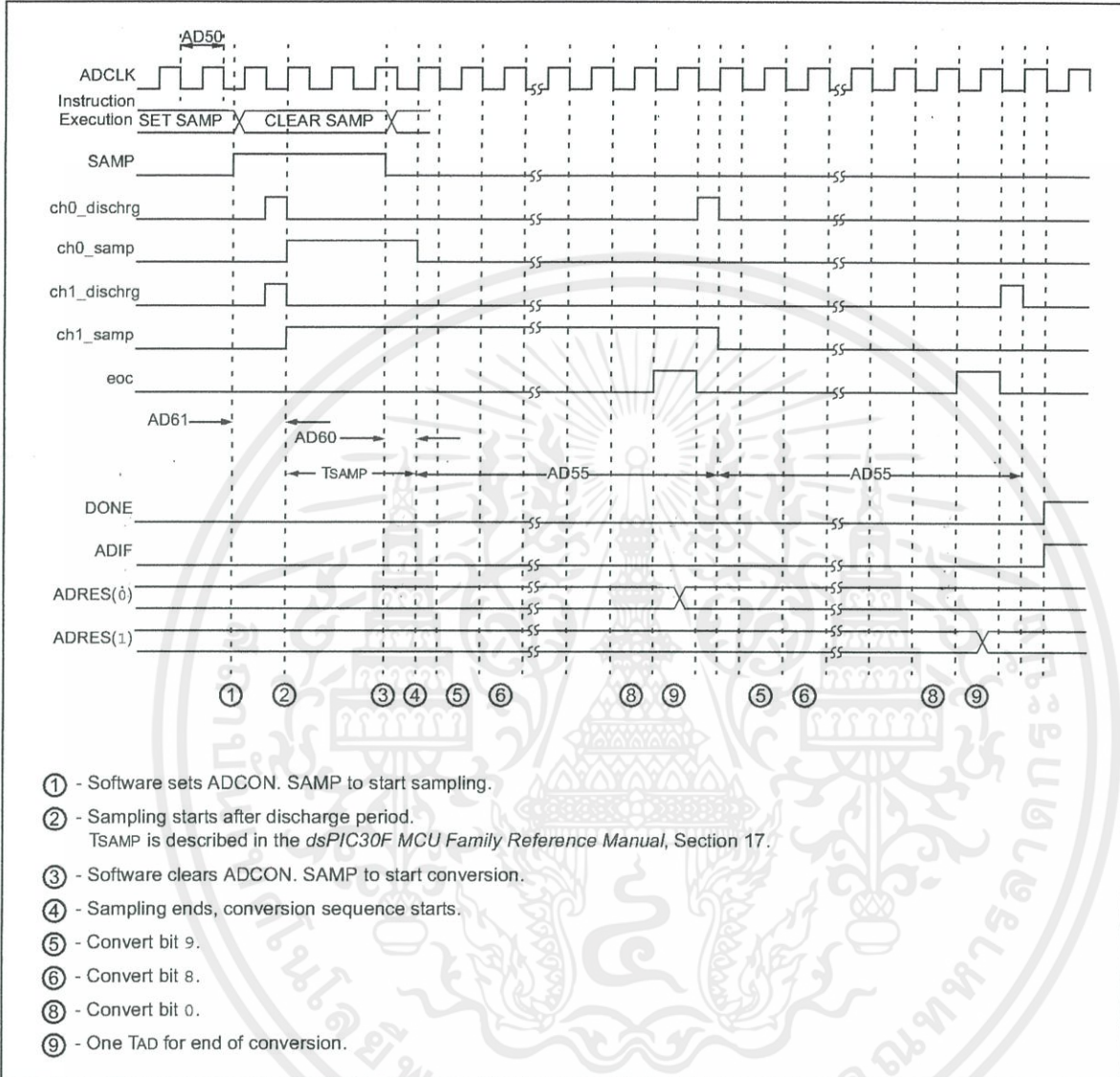
**Note 1:** Because the sample caps will eventually lose charge, clock rates below 10 kHz can affect linearity performance, especially at elevated temperatures.

**2:** The A/D conversion result never decreases with an increase in the input voltage, and has no missing codes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

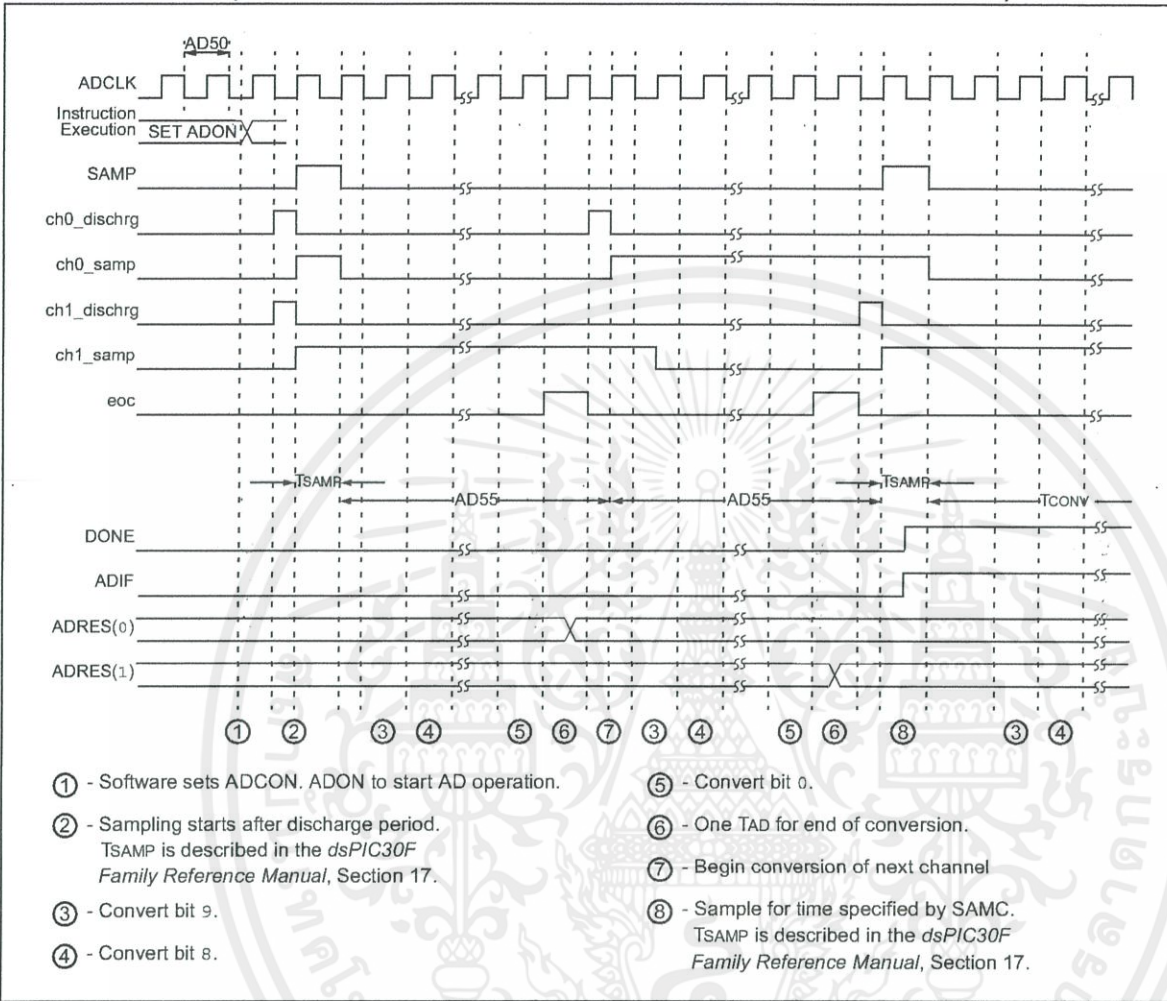
**FIGURE 24-25: 10-BIT HIGH-SPEED A/D CONVERSION TIMING CHARACTERISTICS**  
(CHPS = 01, SIMSAM = 0, ASAM = 0, SSRC = 000)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

**FIGURE 24-26: 10-BIT HIGH-SPEED A/D CONVERSION TIMING CHARACTERISTICS**  
 (CHPS = 01, SIMSAM = 0, ASAM = 1, SSRC = 111, SAMC = 00001)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TABLE 24-40: 10-BIT HIGH-SPEED A/D CONVERSION TIMING REQUIREMENTS**

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic	Min.	Typ	Max.	Units	Conditions
<b>Clock Parameters</b>							
AD50	TAD	A/D Clock Period	154 256			ns	VDD = 5V (Note 1) VDD = 2.7V (Note 1)
AD51	tRC	A/D Internal RC Oscillator Period	700	900	1100	ns	—
<b>Conversion Rate</b>							
AD55	tCONV	Conversion Time		13 TAD		ns	—
AD56	FCNV	Throughput Rate			500 100	ksp/s ksp/s	VDD = VREF = 5V VDD = VREF = 2.7V
AD57	TSAMP	Sample Time	—	1 TAD	—	ns	VDD = 3-5.5V
<b>Timing Parameters</b>							
AD60	tPCS	Conversion Start from Sample Trigger	—	—	TAD	ns	—
AD61	tPSS	Sample Start from Setting Sample (SAMP) Bit	0.5 TAD	—	1.5 TAD	ns	—
AD62	tCSS	Conversion Completion to Sample Start (ASAM = 1)	—	—	TBD	ns	—
AD63	tDPU	Time to Stabilize Analog Stage from A/D Off to A/D On	—	—	TBD	μs	—

**Note 1:** Because the sample caps will eventually lose charge, clock rates below 10 kHz can affect linearity performance, especially at elevated temperatures.

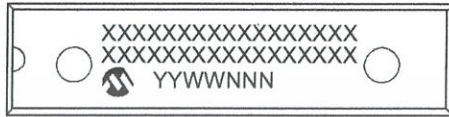
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# dsPIC30F4011/4012

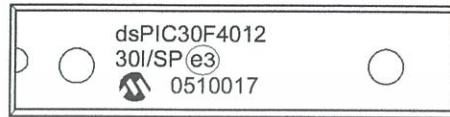
## 25.0 PACKAGING INFORMATION

### 25.1 Package Marking Information

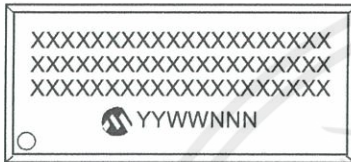
28-Lead PDIP (Skinny DIP)



Example



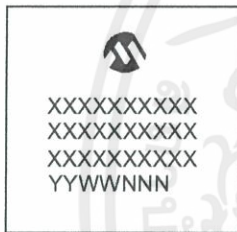
28-Lead SOIC



Example



44-Lead QFN



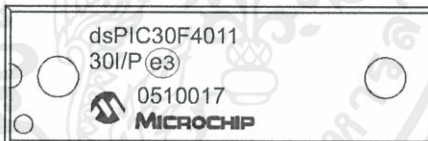
Example



40-Lead PDIP



Example

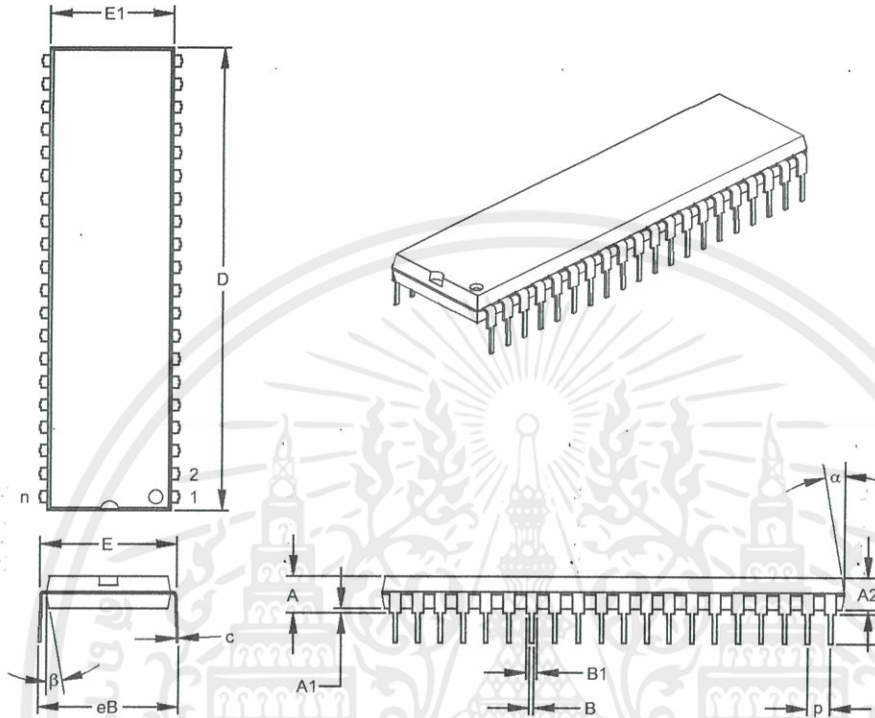


<b>Legend:</b>	XX...X	Customer-specific information
	Y	Year code (last digit of calendar year)
	YY	Year code (last 2 digits of calendar year)
	WW	Week code (week of January 1 is week '01')
	NNN	Alphanumeric traceability code
	(e3)	Pb-free JEDEC designator for Matte Tin (Sn)
	*	This package is Pb-free. The Pb-free JEDEC designator (e3) can be found on the outer packaging for this package.
<b>Note:</b> In the event the full Microchip part number cannot be marked on one line, it will be carried over to the next line, thus limiting the number of available characters for customer-specific information.		

\* Standard PICmicro device marking consists of Microchip part number, year code, week code and traceability code. For PICmicro device marking beyond this, certain price adders apply. Please check with your Microchip Sales Office. For QTP devices, any special marking adders are included in QTP price.

# dsPIC30F4011/4012

## 40-Lead Plastic Dual In-line (P) – 600 mil Body (PDIP)



Dimension	Units	INCHES*			MILLIMETERS		
		MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n	40			40		
Pitch	P		.100			2.54	
Top to Seating Plane	A	.160	.175	.190	4.06	4.45	4.83
Molded Package Thickness	A2	.140	.150	.160	3.56	3.81	4.06
Base to Seating Plane	A1	.015			0.38		
Shoulder to Shoulder Width	E	.595	.600	.625	15.11	15.24	15.88
Molded Package Width	E1	.530	.545	.560	13.46	13.84	14.22
Overall Length	D	2.045	2.058	2.065	51.94	52.26	52.45
Tip to Seating Plane	L	.120	.130	.135	3.05	3.30	3.43
Lead Thickness	c	.008	.012	.015	0.20	0.29	0.38
Upper Lead Width	B1	.030	.050	.070	0.76	1.27	1.78
Lower Lead Width	B	.014	.018	.022	0.36	0.46	0.56
Overall Row Spacing	§ eB	.620	.650	.680	15.75	16.51	17.27
Mold Draft Angle Top	α	5	10	15	5	10	15
Mold Draft Angle Bottom	β	5	10	15	5	10	15

\* Controlling Parameter  
 § Significant Characteristic

Notes:

Dimensions D and E1 do not include mold flash or protrusions. Mold flash or protrusions shall not exceed

.010" (0.254mm) per side.

JEDEC Equivalent: MO-011

Drawing No. C04-016

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค.  
IRFP460

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International  
**IR** Rectifier

SMPS MOSFET

PD- 91880

**IRFP460A**

HEXFET® Power MOSFET

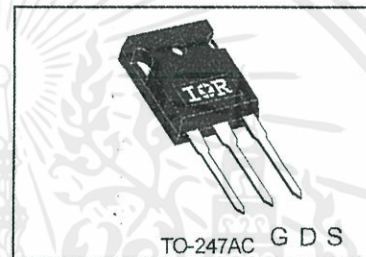
#### Applications

- Switch Mode Power Supply ( SMPS )
- Uninterruptable Power Supply
- High speed power switching

$V_{DSS}$	$R_{ds(on)}$ max	$I_D$
500V	0.27 $\Omega$	20A

#### Benefits

- Low Gate Charge  $Q_g$  results in Simple Drive Requirement
- Improved Gate, Avalanche and dynamic  $dv/dt$  Ruggedness
- Fully Characterized Capacitance and Avalanche Voltage and Current
- Effective  $C_{oss}$  specified ( See AN1001)



#### Absolute Maximum Ratings

	Parameter	Max.	Units
$I_D$ @ $T_C = 25^\circ\text{C}$	Continuous Drain Current, $V_{GS}$ @ 10V	20	A
$I_D$ @ $T_C = 100^\circ\text{C}$	Continuous Drain Current, $V_{GS}$ @ 10V	13	
$I_{DM}$	Pulsed Drain Current ①	80	
$P_D$ @ $T_C = 25^\circ\text{C}$	Power Dissipation	280	W
	Linear Derating Factor	2.2	W/°C
$V_{GS}$	Gate-to-Source Voltage	$\pm 30$	V
$dv/dt$	Peak Diode Recovery $dv/dt$ ②	3.8	V/ns
$T_J$	Operating Junction and	-55 to + 150	°C
$T_{STG}$	Storage Temperature Range		
	Soldering Temperature, for 10 seconds	300 (1.6mm from case )	
	Mounting torque, 6-32 or M3 screw	10 lbf·in (1.1N·m)	

#### Typical SMPS Topologies:

- Full Bridge
- PFC Boost

Notes ① through ⑤ are on page 8

[www.irf.com](http://www.irf.com) ออกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

6/23/99

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## IRFP460A

International  
IR RectifierStatic @  $T_J = 25^\circ\text{C}$  (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	500	—	—	V	$V_{GS} = 0V, I_D = 250\mu A$
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.61	—		$V/^\circ\text{C}$ Reference to $25^\circ\text{C}$ , $I_D = 1\text{mA}$
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.27	$\Omega$	$V_{GS} = 10V, I_D = 12A$ ④
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	$V_{DS} = V_{GS}, I_D = 250\mu A$
$I_{DSS}$	Drain-to-Source Leakage Current	—	—	25 250	$\mu A$	$V_{DS} = 500V, V_{GS} = 0V$ $V_{DS} = 400V, V_{GS} = 0V, T_J = 125^\circ\text{C}$
$I_{GSS}$	Gate-to-Source Forward Leakage	—	—	100	nA	$V_{GS} = 30V$
	Gate-to-Source Reverse Leakage	—	—	-100		$V_{GS} = -30V$

Dynamic @  $T_J = 25^\circ\text{C}$  (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$g_{fs}$	Forward Transconductance	11	—	—	S	$V_{DS} = 50V, I_D = 12A$
$Q_g$	Total Gate Charge	—	—	105		$I_D = 20A$
$Q_{gs}$	Gate-to-Source Charge	—	—	26	nC	$V_{DS} = 400V$
$Q_{gd}$	Gate-to-Drain ("Miller") Charge	—	—	42		$V_{GS} = 10V$ , See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	18	—		$V_{DD} = 250V$
$t_r$	Rise Time	—	55	—	ns	$I_D = 20A$
$t_{d(off)}$	Turn-Off Delay Time	—	45	—		$R_G = 4.3\Omega$
$t_f$	Fall Time	—	39	—		$R_D = 13\Omega$ , See Fig. 10 ④
$C_{iss}$	Input Capacitance	—	3100	—		$V_{GS} = 0V$
$C_{oss}$	Output Capacitance	—	480	—		$V_{DS} = 25V$
$C_{riss}$	Reverse Transfer Capacitance	—	18	—	pF	$f = 1.0\text{MHz}$ , See Fig. 5
$C_{oss}$	Output Capacitance	—	4430	—		$V_{GS} = 0V, V_{DS} = 1.0V, f = 1.0\text{MHz}$
$C_{oss}$	Output Capacitance	—	130	—		$V_{GS} = 0V, V_{DS} = 400V, f = 1.0\text{MHz}$
$C_{oss\text{ eff.}}$	Effective Output Capacitance	—	140	—		$V_{GS} = 0V, V_{DS} = 0V$ to $400V$ ⑤

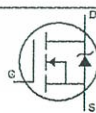
## Avalanche Characteristics

	Parameter	Typ.	Max.	Units
$E_{AS}$	Single Pulse Avalanche Energy ②	—	960	mJ
$I_{AR}$	Avalanche Current ③	—	20	A
$E_{AR}$	Repetitive Avalanche Energy ③	—	28	mJ

## Thermal Resistance

	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	0.45	$^\circ\text{C/W}$
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient	—	40	

## Diode Characteristics

	Parameter	Min.	Typ.	Max.	Units	Conditions
$I_S$	Continuous Source Current (Body Diode)	—	—	20	A	MOSFET symbol showing the integral reverse p-n junction diode. 
$I_{SM}$	Pulsed Source Current (Body Diode) ①	—	—	80		
$V_{SD}$	Diode Forward Voltage	—	—	1.8	V	$T_J = 25^\circ\text{C}, I_S = 20A, V_{GS} = 0V$ ④
$t_{rr}$	Reverse Recovery Time	—	480	710	ns	$T_J = 25^\circ\text{C}, I_F = 20A$
$Q_{rr}$	Reverse Recovery Charge	—	5.0	7.5	$\mu\text{C}$	$di/dt = 100A/\mu\text{s}$ ④
$t_{on}$	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by $L_S + L_D$ )				

2 2 สกรีนเป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ [www.irf.com](http://www.irf.com) โฆษณาด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

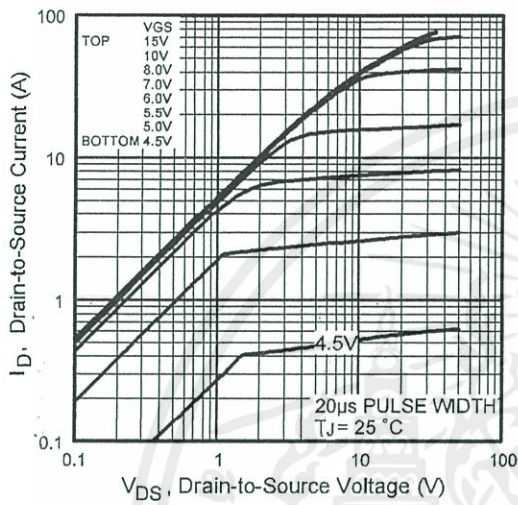


Fig 1. Typical Output Characteristics

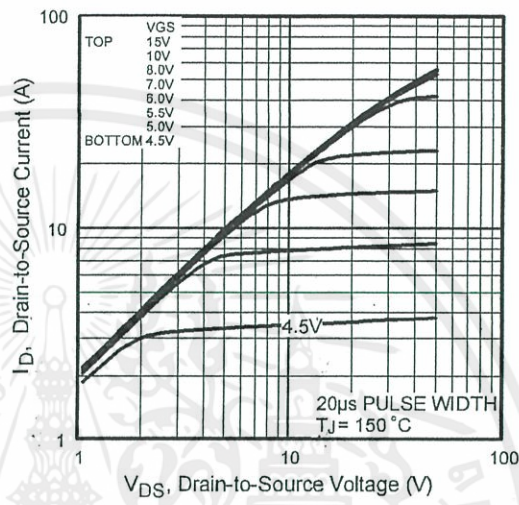


Fig 2. Typical Output Characteristics

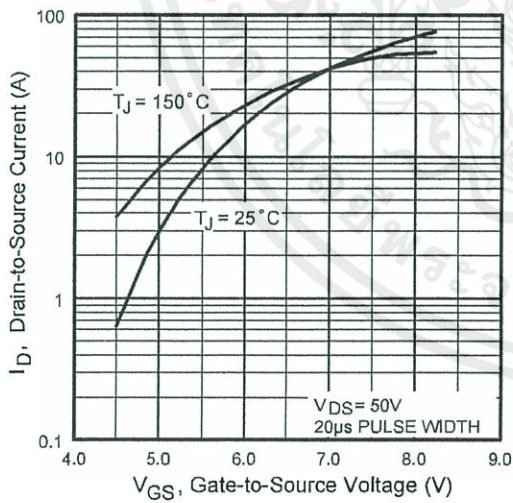


Fig 3. Typical Transfer Characteristics

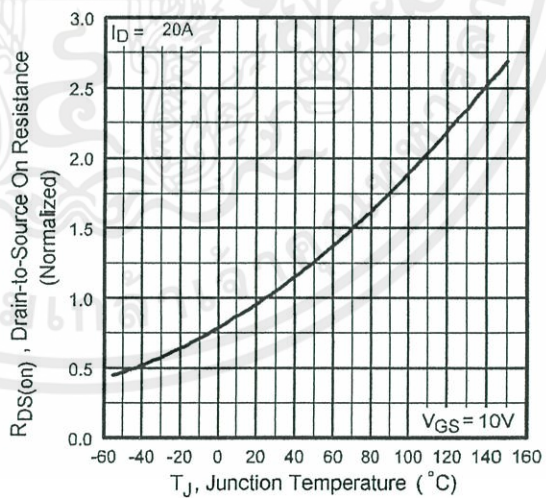


Fig 4. Normalized On-Resistance vs. Temperature

www.irf.com ออกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ 3 โยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# IRFP460A

International  
**IR** Rectifier

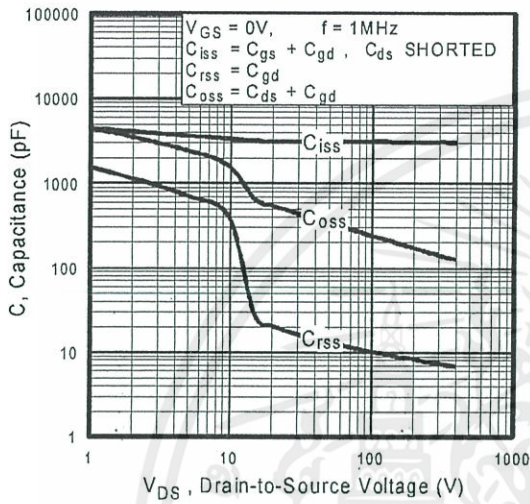


Fig 5. Typical Capacitance Vs. Drain-to-Source Voltage

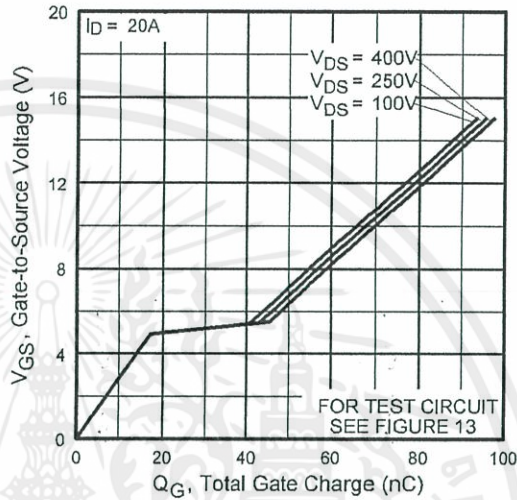


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

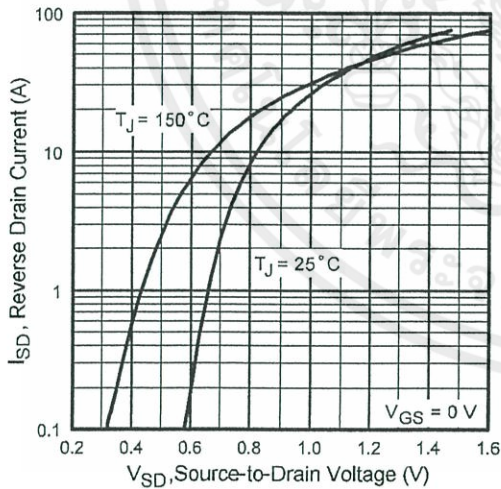


Fig 7. Typical Source-Drain Diode Forward Voltage

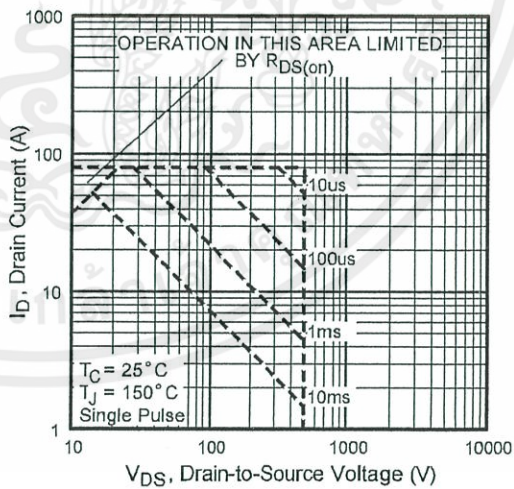


Fig 8. Maximum Safe Operating Area

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โฆษณาการค้า  
www.irf.com  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International  
IR Rectifier

# IRFP460A

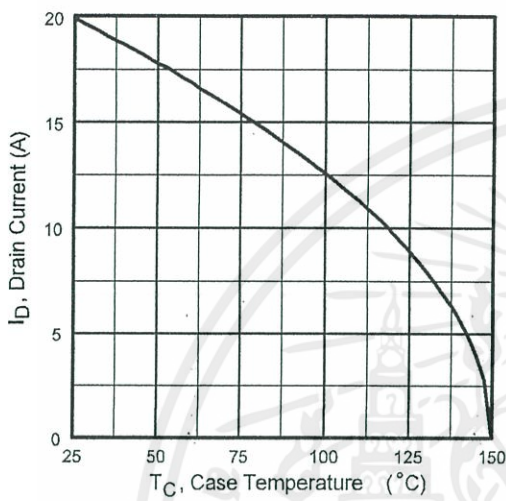


Fig 9. Maximum Drain Current Vs. Case Temperature

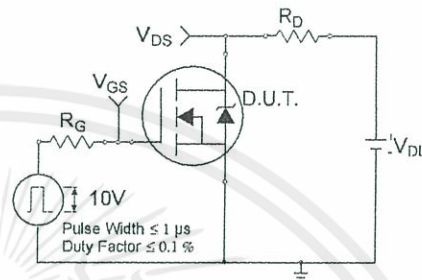


Fig 10a. Switching Time Test Circuit

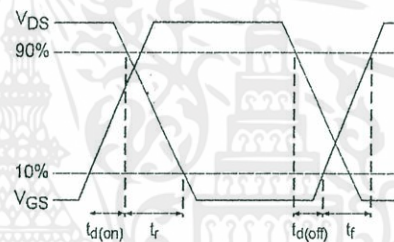


Fig 10b. Switching Time Waveforms

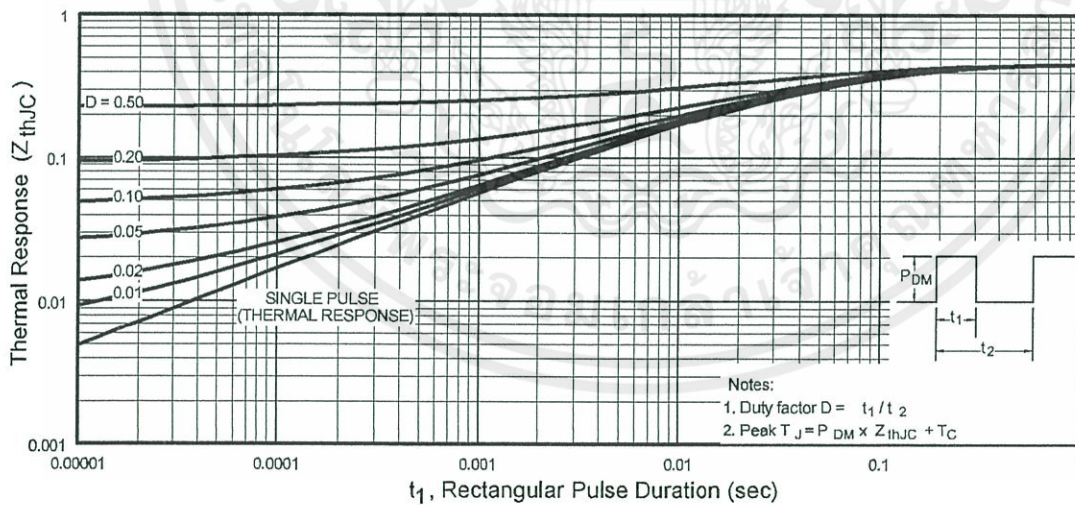
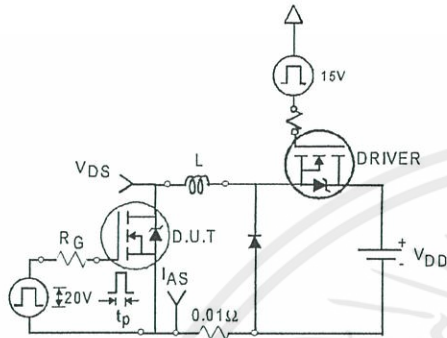


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Case

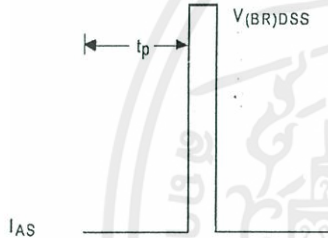
www.irf.com เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะมิได้จกทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# IRFP460A

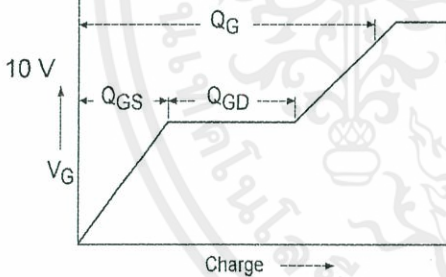
International  
**IGR** Rectifier



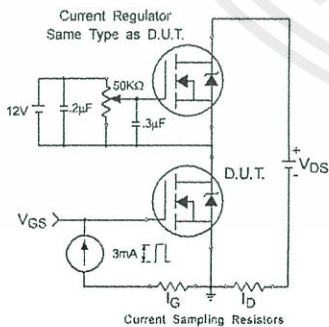
**Fig 12a. Unclamped Inductive Test Circuit**



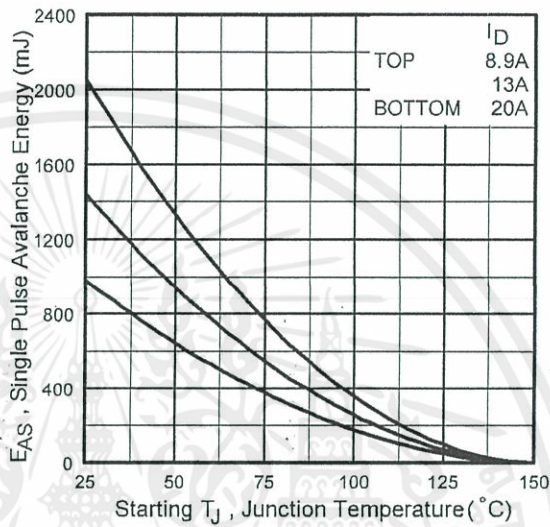
**Fig 12b. Unclamped Inductive Waveforms**



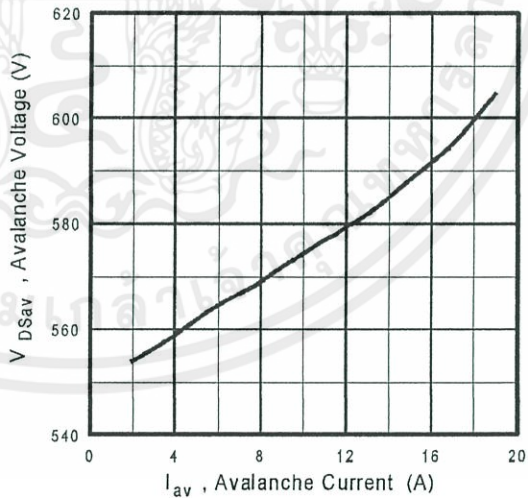
**Fig 13a. Basic Gate Charge Waveform**



**Fig 13b. Gate Charge Test Circuit**



**Fig 12c. Maximum Avalanche Energy Vs. Drain Current**



**Fig 12d. Typical Drain-to-Source Voltage Vs. Avalanche Current**

6 สารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจาก IRF. ไซนส์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[www.irf.com](http://www.irf.com)

Peak Diode Recovery dv/dt Test Circuit

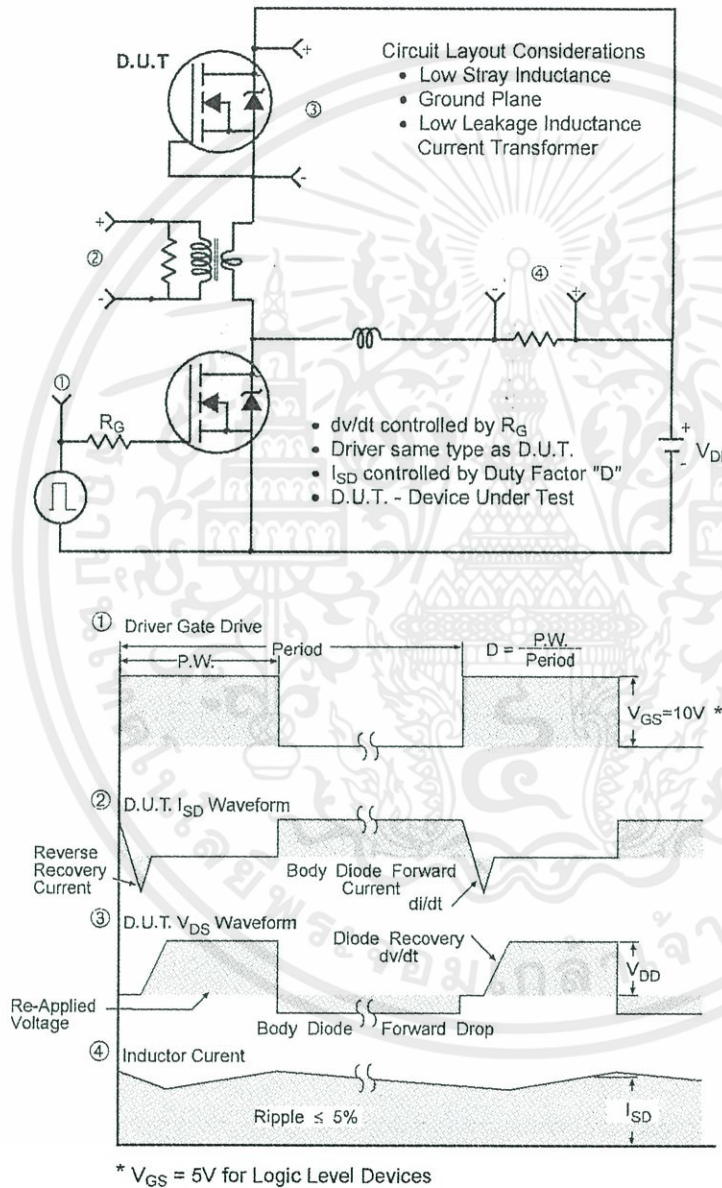


Fig 14. For N-Channel HEXFETS

www.irf.com เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ 7 โฆษณาด้านการค้า  
 ไม่ว่าจะฉีดยุติทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

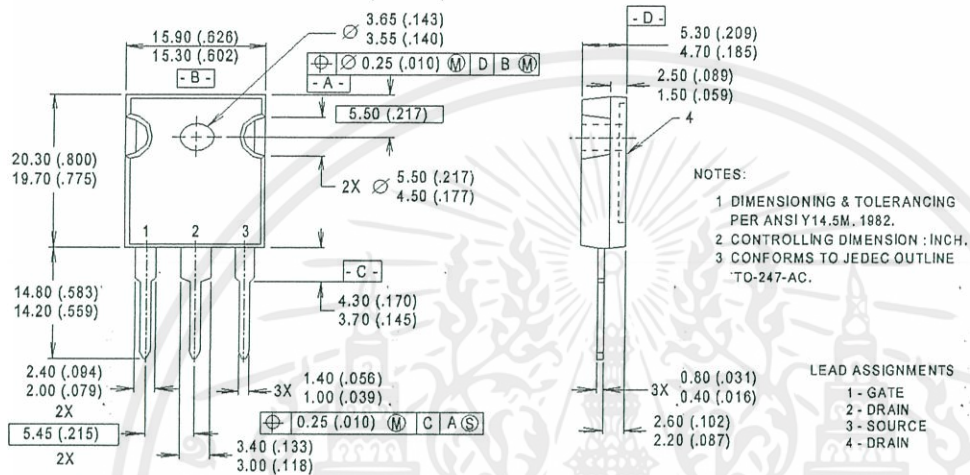
# IRFP460A

International  
**IR** Rectifier

## Package Outline

### TO-247AC Outline

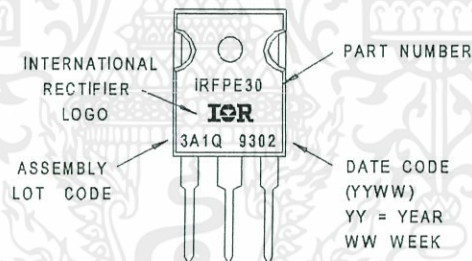
Dimensions are shown in millimeters (inches)



## Part Marking Information

### TO-247AC

EXAMPLE: THIS IS AN IRFPE30 WITH ASSEMBLY LOT CODE 3A1Q



### Notes:

- ① Repetitive rating; pulse width limited by max. junction temperature. ( See fig. 11 )
- ② Starting  $T_J = 25^\circ\text{C}$ ,  $L = 4.3\text{mH}$   
 $R_G = 25\Omega$ ,  $I_{AS} = 20\text{A}$ . (See Figure 12)
- ③  $I_{SD} \leq 20\text{A}$ ,  $di/dt \leq 125\text{A}/\mu\text{s}$ ,  $V_{DD} \leq V_{(BR)DSS}$ ,  
 $T_J \leq 150^\circ\text{C}$
- ④ Pulse width  $\leq 300\mu\text{s}$ ; duty cycle  $\leq 2\%$ .
- ⑤  $C_{oss}$  eff. is a fixed capacitance that gives the same charging time as  $C_{oss}$  while  $V_{DS}$  is rising from 0 to 80%  $V_{DSS}$

International  
**IR** Rectifier

**WORLD HEADQUARTERS:** 233 Kansas St., El Segundo, California 90245, Tel: (310) 322 3331  
**IR GREAT BRITAIN:** Hurst Green, Oxted, Surrey RH8 9BB, UK Tel: ++ 44 1883 732020  
**IR CANADA:** 15 Lincoln Court, Brampton, Ontario L6T3Z2, Tel: (905) 453 2200  
**IR GERMANY:** Saalburgstrasse 157, 61350 Bad Homburg Tel: ++ 49 6172 96590  
**IR ITALY:** Via Liguria 49, 10071 Borgaro, Torino Tel: ++ 39 11 451 0111  
**IR FAR EAST:** K&H Bldg., 2F, 30-4 Nishi-Ikebukuro 3-Chome, Toshima-Ku, Tokyo Japan 171 Tel: 81 3 3983 0086  
**IR SOUTHEAST ASIA:** 1 Kim Seng Promenade, Great World City West Tower, 13-11, Singapore 237994 Tel: ++ 65 838 4630  
**IR TAIWAN:** 16 Fl. Suite D, 207, Sec. 2, Tun Haw South Road, Taipei, 10673, Taiwan Tel: 886-2-2377-9936  
<http://www.irf.com/> Data and specifications subject to change without notice. 6/99

ข้อ 8 การนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจาก International Rectifier

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TLP250

Transistor Inverter

Inverter For Air Conditionor

IGBT Gate Drive

Power MOS FET Gate Drive

The TOSHIBA TLP250 consists of a GaAlAs light emitting diode and a integrated photodetector.

This unit is 8-lead DIP package.

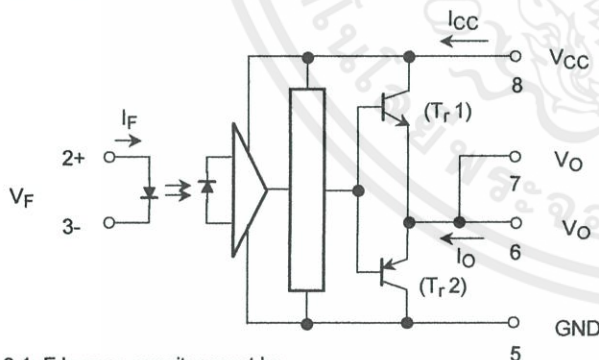
TLP250 is suitable for gate driving circuit of IGBT or power MOS FET.

- Input threshold current:  $I_F=5\text{mA}(\text{max.})$
- Supply current ( $I_{CC}$ ):  $11\text{mA}(\text{max.})$
- Supply voltage ( $V_{CC}$ ):  $10\text{--}35\text{V}$
- Output current ( $I_O$ ):  $\pm 1.5\text{A}(\text{max.})$
- Switching time ( $t_{pLH}/t_{pHL}$ ):  $1.5\mu\text{s}(\text{max.})$
- Isolation voltage:  $2500\text{V}_{\text{rms}}(\text{min.})$
- UL recognized: UL1577, file No.E67349
- Option (D4) type  
 VDE approved: DIN VDE0884/06.92,certificate No.76823  
 Maximum operating insulation voltage:  $630\text{V}_{\text{PK}}$   
 Highest permissible over voltage:  $4000\text{V}_{\text{PK}}$

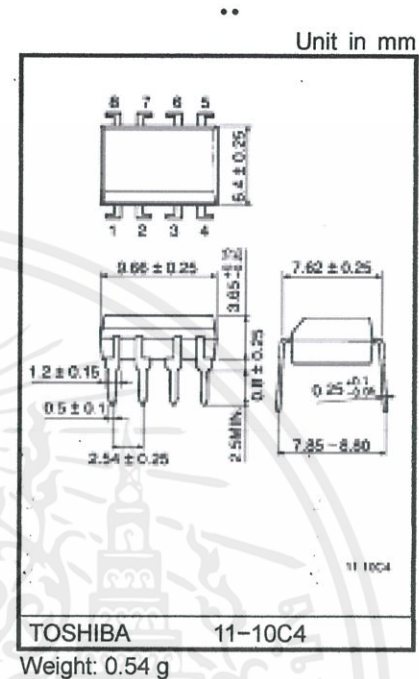
**(Note) When a VDE0884 approved type is needed, please designate the "option (D4)"**

- Creepage distance:  $6.4\text{mm}(\text{min.})$
- Clearance:  $6.4\text{mm}(\text{min.})$

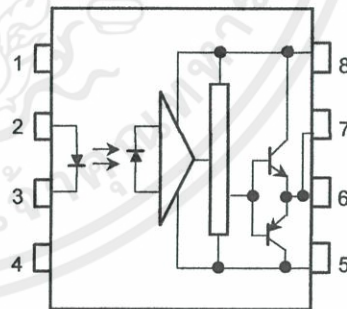
## Schematic



A  $0.1\mu\text{F}$  bypass capacitor must be connected between pin 8 and 5 (See Note 5).



## Pin Configuration (top view)



- 1 : N.C.
- 2 : Anode
- 3 : Cathode
- 4 : N.C.
- 5 : GND
- 6 :  $V_O$  (Output)
- 7 :  $V_O$
- 8 :  $V_{CC}$

## Truth Table

		Tr1	Tr2
Input LED	On	On	Off
	Off	Off	On

## Absolute Maximum Ratings (Ta = 25°C)

Characteristic		Symbol	Rating	Unit	
LED	Forward current	$I_F$	20	mA	
	Forward current derating (Ta ≥ 70°C)	$\Delta I_F / \Delta T_a$	-0.36	mA / °C	
	Peak transient forward current (Note 1)	$I_{FPT}$	1	A	
	Reverse voltage	$V_R$	5	V	
	Junction temperature	$T_j$	125	°C	
Detector	"H" peak output current (P <sub>W</sub> ≤ 2.5μs, f ≤ 15kHz) (Note 2)	$I_{OPH}$	-1.5	A	
	"L" peak output current (P <sub>W</sub> ≤ 2.5μs, f ≤ 15kHz) (Note 2)	$I_{OPL}$	+1.5	A	
	Output voltage	$V_O$	(Ta ≤ 70°C)	35	V
			(Ta = 85°C)	24	
	Supply voltage	$V_{CC}$	(Ta ≤ 70°C)	35	V
			(Ta = 85°C)	24	
	Output voltage derating (Ta ≥ 70°C)	$\Delta V_O / \Delta T_a$	-0.73	V / °C	
	Supply voltage derating (Ta ≥ 70°C)	$\Delta V_{CC} / \Delta T_a$	-0.73	V / °C	
Junction temperature	$T_j$	125	°C		
Operating frequency (Note 3)	f	25	kHz		
Operating temperature range	$T_{opr}$	-20~85	°C		
Storage temperature range	$T_{stg}$	-55~125	°C		
Lead soldering temperature (10 s) (Note 4)	$T_{sol}$	260	°C		
Isolation voltage (AC, 1 min., R.H. ≤ 60%) (Note 5)	$BV_S$	2500	V <sub>rms</sub>		

Note 1: Pulse width  $P_W \leq 1\mu s$ , 300pps

Note 2: Exponential waveform

Note 3: Exponential waveform,  $I_{OPH} \leq -1.0A (\leq 2.5\mu s)$ ,  $I_{OPL} \leq +1.0A (\leq 2.5\mu s)$

Note 4: It is 2 mm or more from a lead root.

Note 5: Device considered a two terminal device: Pins 1, 2, 3 and 4 shorted together, and pins 5, 6, 7 and 8 shorted together.

Note 6: A ceramic capacitor (0.1μF) should be connected from pin 8 to pin 5 to stabilize the operation of the high gain linear amplifier. Failure to provide the bypassing may impair the switching property. The total lead length between capacitor and coupler should not exceed 1cm.

## Recommended Operating Conditions

Characteristic	Symbol	Min.	Typ.	Max.	Unit
Input current, on (Note 7)	$I_{F(ON)}$	7	8	10	mA
Input voltage, off	$V_{F(OFF)}$	0	—	0.8	V
Supply voltage	$V_{CC}$	15	—	30   20	V
Peak output current	$I_{OPH}/I_{OPL}$	—	—	±0.5	A
Operating temperature	$T_{opr}$	-20	25	70   85	°C

Note 7: Input signal rise time (fall time) < 0.5 μs.

## Electrical Characteristics (Ta = -20~70°C, unless otherwise specified)

Characteristic	Symbol	Test Circuit	Test Condition	Min.	Typ.*	Max.	Unit	
Input forward voltage	V <sub>F</sub>	—	I <sub>F</sub> = 10 mA, Ta = 25°C		1.6	1.8	V	
Temperature coefficient of forward voltage	ΔV <sub>F</sub> / ΔTa	—	I <sub>F</sub> = 10 mA	—	-2.0	—	mV / °C	
Input reverse current	I <sub>R</sub>	—	V <sub>R</sub> = 5V, Ta = 25°C		—	10	μA	
Input capacitance	C <sub>T</sub>	—	V = 0, f = 1MHz, Ta = 25°C	—	45	250	pF	
Output current	"H" level	I <sub>OPH</sub>	3	V <sub>CC</sub> = 30V (*1) I <sub>F</sub> = 10 mA V <sub>8-6</sub> = 4V	-0.5	-1.5	—	A
	"L" level	I <sub>OPL</sub>	2		I <sub>F</sub> = 0 V <sub>6-5</sub> = 2.5V	0.5	2	
Output voltage	"H" level	V <sub>OH</sub>	4	V <sub>CC1</sub> = +15V, V <sub>EE1</sub> = -15V R <sub>L</sub> = 200Ω, I <sub>F</sub> = 5mA	11	12.8	—	V
	"L" level	V <sub>OL</sub>	5	V <sub>CC1</sub> = +15V, V <sub>EE1</sub> = -15V R <sub>L</sub> = 200Ω, V <sub>F</sub> = 0.8V	—	-14.2	-12.5	
Supply current	"H" level	I <sub>CCH</sub>	—	V <sub>CC</sub> = 30V, I <sub>F</sub> = 10mA Ta = 25°C	—	7	—	mA
				V <sub>CC</sub> = 30V, I <sub>F</sub> = 10mA	—	—	11	
	"L" level	I <sub>CCL</sub>	—	V <sub>CC</sub> = 30V, I <sub>F</sub> = 0mA Ta = 25°C	—	7.5	—	
				V <sub>CC</sub> = 30V, I <sub>F</sub> = 0mA	—	—	11	
Threshold input current	"Output L→H"	I <sub>FLH</sub>	—	V <sub>CC1</sub> = +15V, V <sub>EE1</sub> = -15V R <sub>L</sub> = 200Ω, V <sub>O</sub> > 0V	—	1.2	5	mA
Threshold input voltage	"Output H→L"	I <sub>FHL</sub>	—	V <sub>CC1</sub> = +15V, V <sub>EE1</sub> = -15V R <sub>L</sub> = 200Ω, V <sub>O</sub> < 0V	0.8	—	—	V
Supply voltage	V <sub>CC</sub>	—	—	10	—	35	V	
Capacitance (input-output)	C <sub>S</sub>	—	V <sub>S</sub> = 0, f = 1MHz Ta = 25°C	—	1.0	2.0	pF	
Resistance(input-output)	R <sub>S</sub>	—	V <sub>S</sub> = 500V, Ta = 25°C R.H. ≤ 60%	1×10 <sup>12</sup>	10 <sup>14</sup>	—	Ω	

\* All typical values are at Ta = 25°C (\*1): Duration of I<sub>O</sub> time ≤ 50μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Switching Characteristics (Ta = -20~70°C , unless otherwise specified)

Characteristic	Symbol	Test Circuit	Test Condition	Min.	Typ.*	Max.	Unit
Propagation delay time	L→H	t <sub>pLH</sub>	I <sub>F</sub> = 8mA (Note 7) V <sub>CC1</sub> = +15V, V <sub>EE1</sub> = -15V R <sub>L</sub> = 200Ω	—	0.15	0.5	μs
	H→L	t <sub>pHL</sub>		—	0.15	0.5	
Output rise time	t <sub>r</sub>	6		—	—	—	
Output fall time	t <sub>f</sub>			—	—	—	
Common mode transient immunity at high level output	C <sub>MH</sub>	7	V <sub>CM</sub> = 600V, I <sub>F</sub> = 8mA V <sub>CC</sub> = 30V, Ta = 25°C	-5000	—	—	V / μs
Common mode transient immunity at low level output	C <sub>ML</sub>	7	V <sub>CM</sub> = 600V, I <sub>F</sub> = 0mA V <sub>CC</sub> = 30V, Ta = 25°C	5000	—	—	V / μs

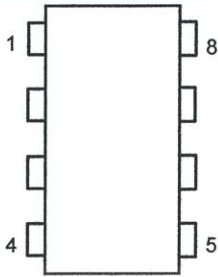
\* All typical values are at Ta = 25°C

Note 7: Input signal rise time (fall time) < 0.5 μs.

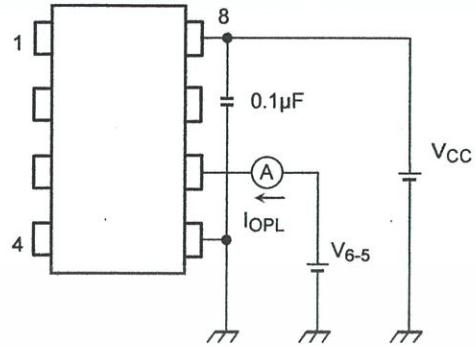


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

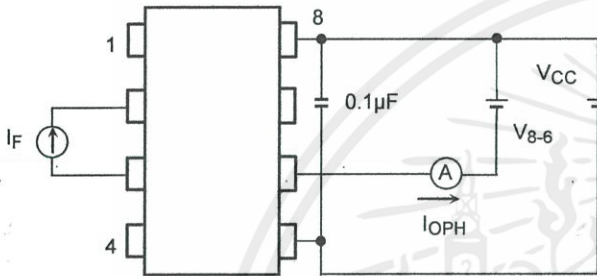
Test Circuit 1 :



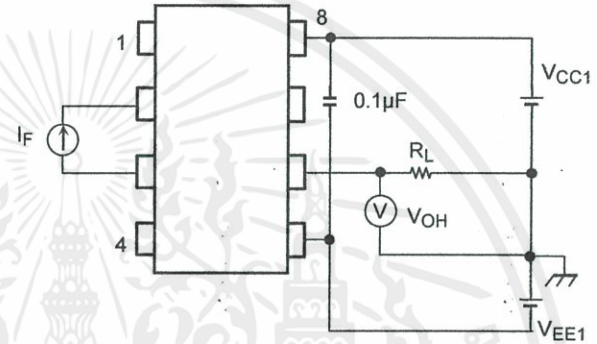
Test Circuit 2 : IOPL



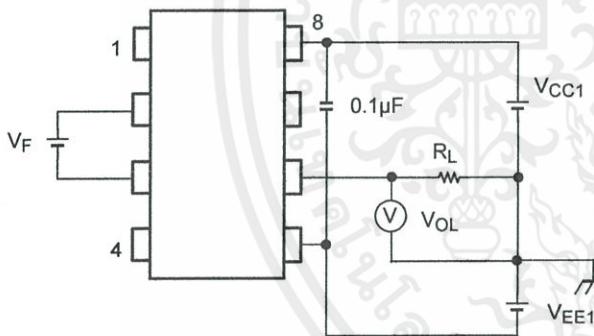
Test Circuit 3 : IOPH



Test Circuit 4 : VOH

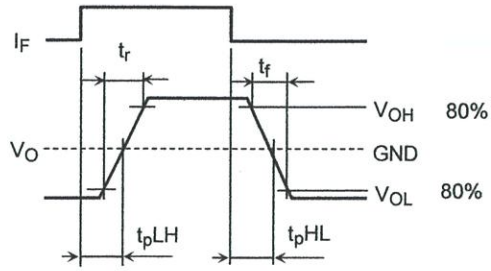
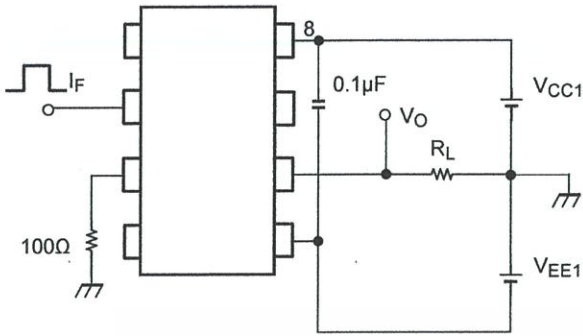


Test Circuit 5 : VOL

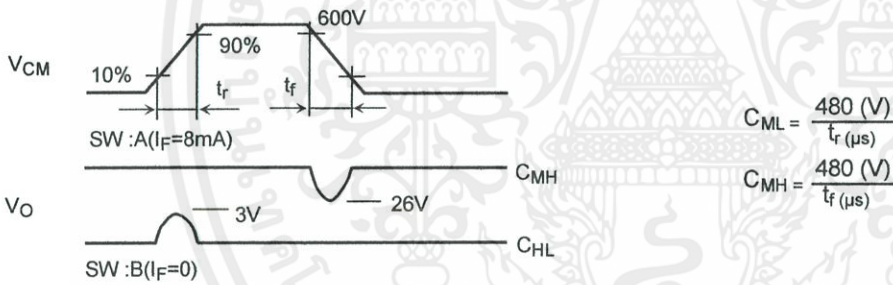
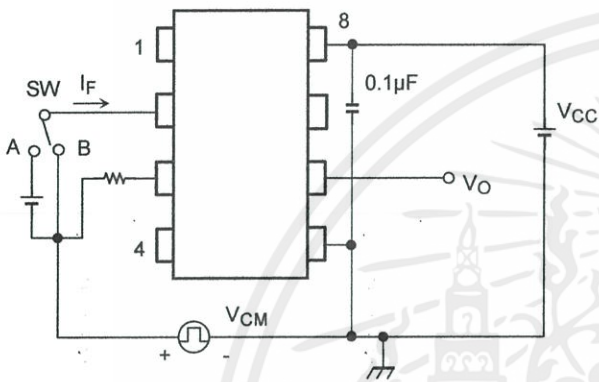


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuit 6:  $t_{pLH}$ ,  $t_{pHL}$ ,  $t_r$ ,  $t_f$

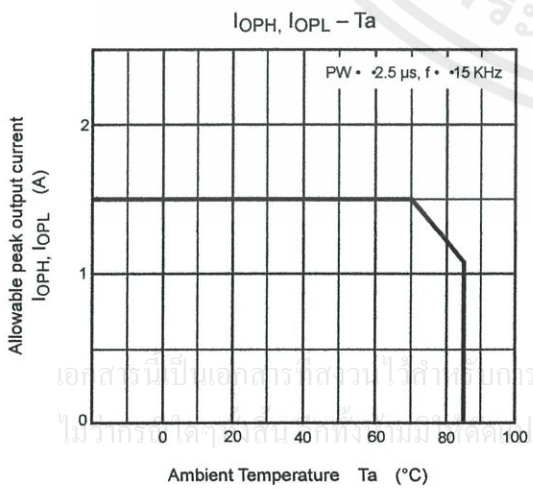
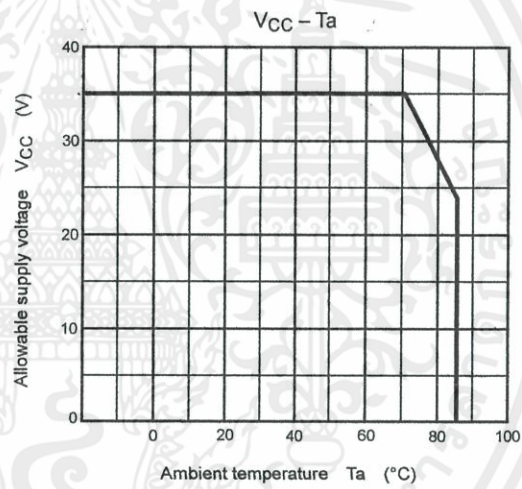
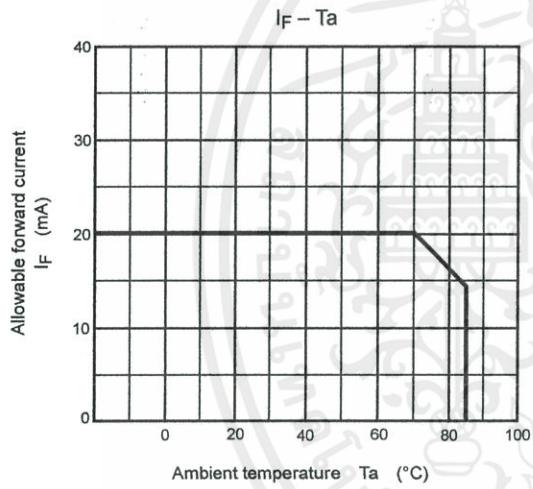
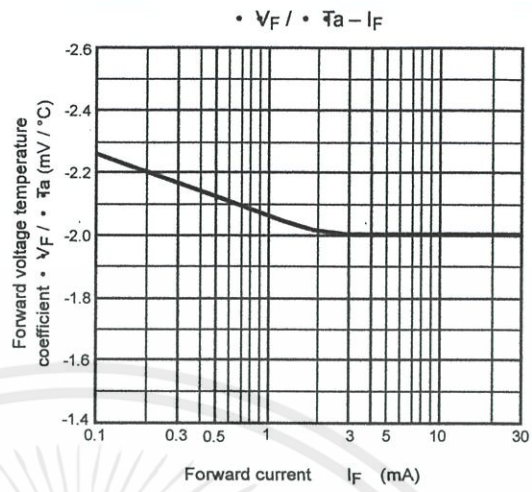
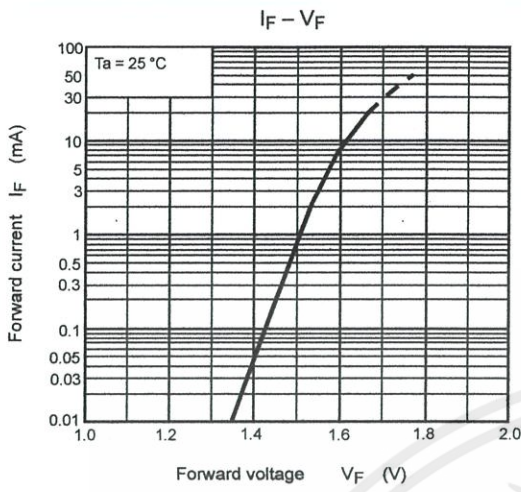


Test Circuit 7:  $C_{MH}$ ,  $C_{ML}$



$C_{ML}(C_{MH})$  is the maximum rate of rise (fall) of the common mode voltage that can be sustained with the output voltage in the low (high) state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ขอสงวนสิทธิ์ในเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## RESTRICTIONS ON PRODUCT USE

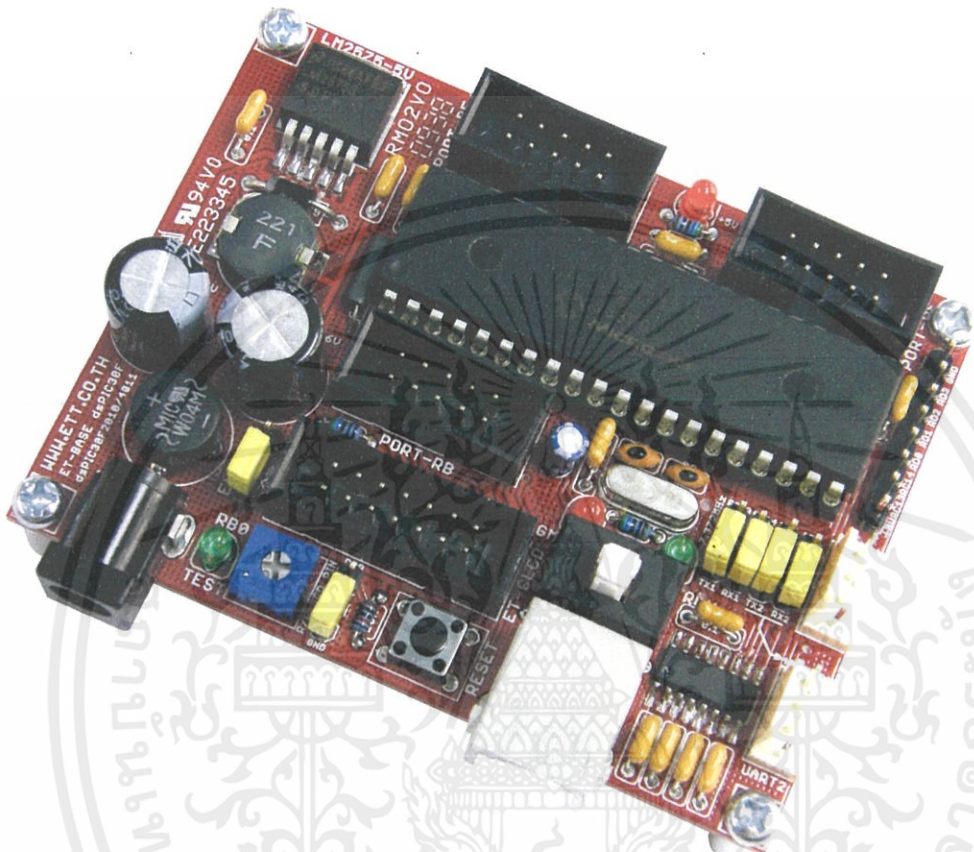
- The information contained herein is subject to change without notice.
- The information contained herein is presented only as a guide for the applications of our products. No responsibility is assumed by TOSHIBA for any infringements of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of TOSHIBA or others.
- TOSHIBA is continually working to improve the quality and reliability of its products. Nevertheless, semiconductor devices in general can malfunction or fail due to their inherent electrical sensitivity and vulnerability to physical stress. It is the responsibility of the buyer, when utilizing TOSHIBA products, to comply with the standards of safety in making a safe design for the entire system, and to avoid situations in which a malfunction or failure of such TOSHIBA products could cause loss of human life, bodily injury or damage to property.  
In developing your designs, please ensure that TOSHIBA products are used within specified operating ranges as set forth in the most recent TOSHIBA products specifications. Also, please keep in mind the precautions and conditions set forth in the "Handling Guide for Semiconductor Devices," or "TOSHIBA Semiconductor Reliability Handbook" etc..
- The TOSHIBA products listed in this document are intended for usage in general electronics applications (computer, personal equipment, office equipment, measuring equipment, industrial robotics, domestic appliances, etc.). These TOSHIBA products are neither intended nor warranted for usage in equipment that requires extraordinarily high quality and/or reliability or a malfunction or failure of which may cause loss of human life or bodily injury ("Unintended Usage"). Unintended Usage include atomic energy control instruments, airplane or spaceship instruments, transportation instruments, traffic signal instruments, combustion control instruments, medical instruments, all types of safety devices, etc.. Unintended Usage of TOSHIBA products listed in this document shall be made at the customer's own risk.
- The products described in this document are subject to the foreign exchange and foreign trade laws.
- TOSHIBA products should not be embedded to the downstream products which are prohibited to be produced and sold, under any law and regulations.
- GaAs(Gallium Arsenide) is used in this product. The dust or vapor is harmful to the human body. Do not break, cut, crush or dissolve chemically.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ET-BASE dsPIC30F2010/4011



ET-BASE dsPIC30F2010/4011 เป็นบอร์ดไมโครคอนโทรลเลอร์ในตระกูล dsPIC30F ซึ่งเลือกใช้ไมโครคอนโทรลเลอร์รุ่น 28 Pin เบอร์ dsPIC30F2010 หรือ รุ่น 40 Pin เบอร์ dsPIC30F4011 ของ Microchips เป็น MCU ประจำบอร์ด โดย dsPIC30F2010/4011 เป็น MCU ซึ่งใช้การประมวลผลข้อมูลแบบ 16 บิต จากค่าย Microchips ซึ่งมีจุดเด่นในด้านของความสามารถในการประมวลผลข้อมูลสัญญาณแบบดิจิทัลอย่างดียิ่งสำหรับนำไปประยุกต์ใช้ในงานควบคุมต่างๆ โดยโครงสร้างภายในจะเป็นการผสมผสานระหว่างไมโครคอนโทรลเลอร์ (MCU) และวงจร DSP (Digital Signal Processing) รวมเข้าไว้ด้วยกัน หรืออาจเรียก MCU ตระกูล dsPIC30F ว่าเป็น DSC หรือ Digital Signal Controller ก็ได้

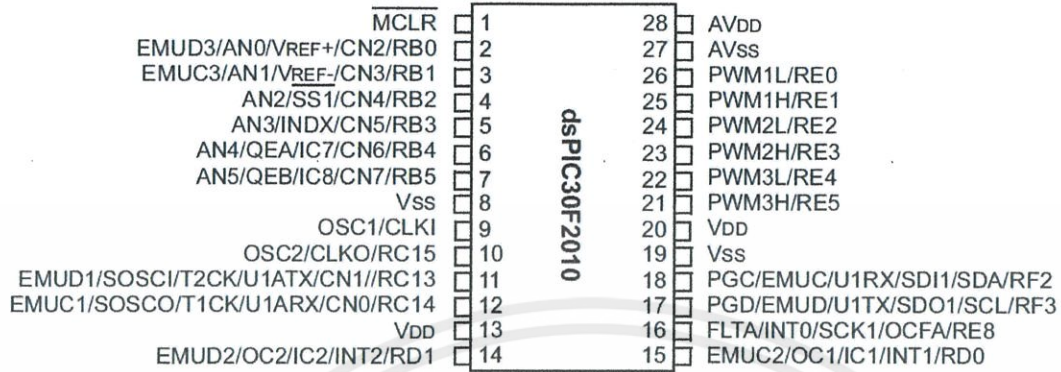
โดยโครงสร้างของบอร์ด ET-BASE dsPIC30F2010/4011 ได้รับการออกแบบให้บอร์ดมีขนาดเล็กเหมาะต่อการนำไปประยุกต์ใช้งานเป็นหลัก โดยภายในบอร์ดได้บรรจุเอาวงจรที่จำเป็นต่อการใช้งาน และสะดวกต่อการพัฒนาโปรแกรม มีความยืดหยุ่น สามารถปรับเปลี่ยนสัญญาณ I/O เพื่อนำไปประยุกต์ใช้งานในลักษณะต่างๆ ให้สอดคล้องและเหมาะสมกับความต้องการใช้งานได้ในหลายๆ ลักษณะตามต้องการ

## คุณสมบัติของบอร์ด

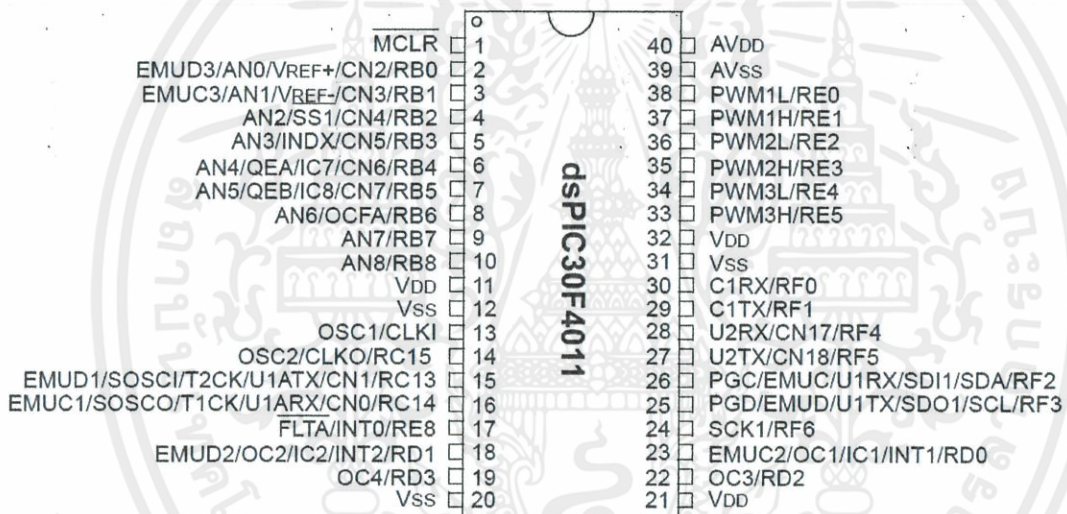
- เลือกใช้ MCU ตระกูล dsPIC30F2010 หรือ dsPIC30F4011 ของ Microchips เป็น MCU ประจำบอร์ด โดยคุณสมบัติเด่นๆของ MCU ได้แก่
  - มีหน่วยความจำ Flash 12KByte(dsPIC20F2010) หรือ 48KByte(dsPIC30F4011)
  - มีหน่วยความจำ RAM ขนาด 512Byte(dsPIC30F2010) หรือ 2KByte(dsPIC30F4011)
  - มีหน่วยความจำ EEPROM ขนาด 1KByte สำหรับเก็บข้อมูลใช้งาน
  - มีพอร์ต I/O ขนาด 19 Bit(dsPIC30F2010) หรือ 29 Bit(dsPIC30F4011)
  - มี 16Bit Timer/Counter จำนวน 3 ชุด(dsPIC30F2010) หรือ 5 ชุด(dsPIC30F4011)
  - มี Input Capture จำนวน 4 ช่อง
  - มี Output Compare จำนวน 2 ช่อง(dsPIC30F2010) หรือ 4 ช่อง(dsPIC30F4011)
  - มี ADC 10Bit/500Ksps จำนวน 6 ช่อง(dsPIC30F2010) หรือ 9 ช่อง(dsPIC30F4011)
  - มี PWM Motor Control จำนวน 6 ช่อง พร้อม Quadrature Encode Interface(QEI)
  - มี UART จำนวน 1 ช่อง(dsPIC30F2010) หรือ 2 ช่อง (dsPIC30F4011)
  - มี SPI จำนวน 1 ช่อง และมี I2C จำนวน 1 ช่อง
  - มีวงจร Watchdog, Power-ON Reset, PWM
- ใช้ Crystal ความถี่ 7.3728MHz สามารถใช้ PLL คุณความถี่เพื่อ Run ความถี่ 29.4912MHz ได้
- มีพอร์ตสื่อสารอนุกรม UART แบบ RS232 จำนวน 1 ช่อง สำหรับ dsPIC30F2010 และ 2 ช่อง สำหรับ dsPIC30F4011 พร้อม Jumper สำหรับเลือกใช้งาน UART หรือ GPIO ได้ตามต้องการ โดยให้ขั้วต่อ UART แบบ CPA-4 Pin มาตรฐาน อีทีที
- มีขั้ว ICSP มาตรฐาน ICD2 แบบ RJ11 สำหรับใช้ร่วมกับชุดพัฒนาโปรแกรมและ Debugger ที่รองรับการทำงานตามมาตรฐาน ICD2 ของ Microchips เช่น ICD2 หรือ Pickit2 ได้
- มี Switch สำหรับสลับสัญญาณระหว่าง Program/Debug(PGM) และ ใช้งานปรกติ(RUN) พร้อม LED แสดงโหมดการทำงานของบอร์ด
- มีขั้วต่อสัญญาณ I/O แบบ Header ขนาด 2x5 จำนวน 3 ชุด และ Header 1x8 Pin อีก 1 ชุด
- Header 14Pin สำหรับ Character LCD พร้อม VR ปรับความสว่าง
- มี Switch Reset สำหรับสั่ง Reset การทำงานของ MCU ภายในบอร์ด
- มี LED สำหรับทดสอบการทำงาน โดยใช้ RB0 ในการควบคุม พร้อม Jumper ตัดต่อสัญญาณ
- Power AC/DC Input พร้อม Regulate แบบ Switching เบอร์ LM2575 ขนาด 5V/1A ลดปัญหาความร้อนจากวงจร Regulate และ LED แสดงสถานะแหล่งจ่าย Power

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของ ETT จำกัด ใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คู่มือการใช้งานบอร์ดไมโครคอนโทรลเลอร์รุ่น ET-BASE dsPIC30F2010/4011



รูปแสดงการจัดขาสัญญาณของ dsPIC30F2010

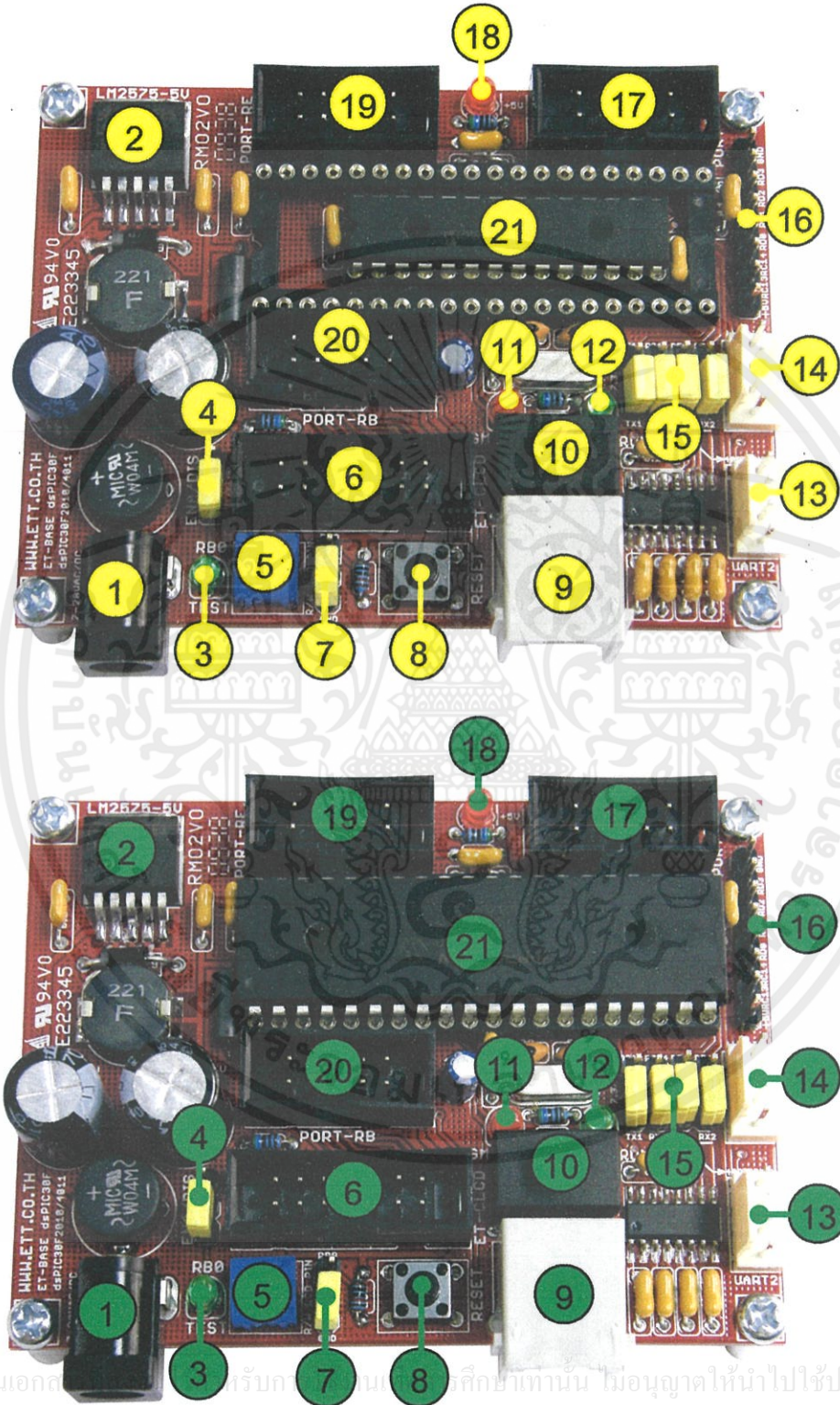


รูปแสดงการจัดขาสัญญาณของ dsPIC30F4011

Device	Pins	Program Mem. Bytes/Instructions	SRAM Bytes	EEPROM Bytes	Timer 16-bit	Input Cap	Output Comp/Std PWM	Motor Control PWM	A/D 10-bit 500 Ksps	Quad Enc	UART	SPI™	I <sup>2</sup> C™	CAN
dsPIC30F2010	28	12K/4K	512	1024	3	4	2	6 ch	6 ch	Yes	1	1	1	-
dsPIC30F3010	28	24K/8K	1024	1024	5	4	2	6 ch	6 ch	Yes	1	1	1	-
dsPIC30F4012	28	48K/16K	2048	1024	5	4	2	6 ch	6 ch	Yes	1	1	1	1
dsPIC30F3011	40/44	24K/8K	1024	1024	5	4	4	6 ch	9 ch	Yes	2	1	1	-
dsPIC30F4011	40/44	48K/16K	2048	1024	5	4	4	6 ch	9 ch	Yes	2	1	1	1
dsPIC30F5015	64	66K/22K	2048	1024	5	4	4	8 ch	16 ch	Yes	1	2	1	1
dsPIC30F6010	80	144K/48K	8192	4096	5	8	8	8 ch	16 ch	Yes	2	2	1	2

ไม่ว่ากรณีใดๆทั้งนี้ ตารางแสดง คุณสมบัติความแตกต่างของ dsPIC30F เบอร์ต่างๆ ทุกครั้งที่มีการนำไปใช้

โครงสร้างบอร์ด ET-BASE dsPIC30F2010/4011



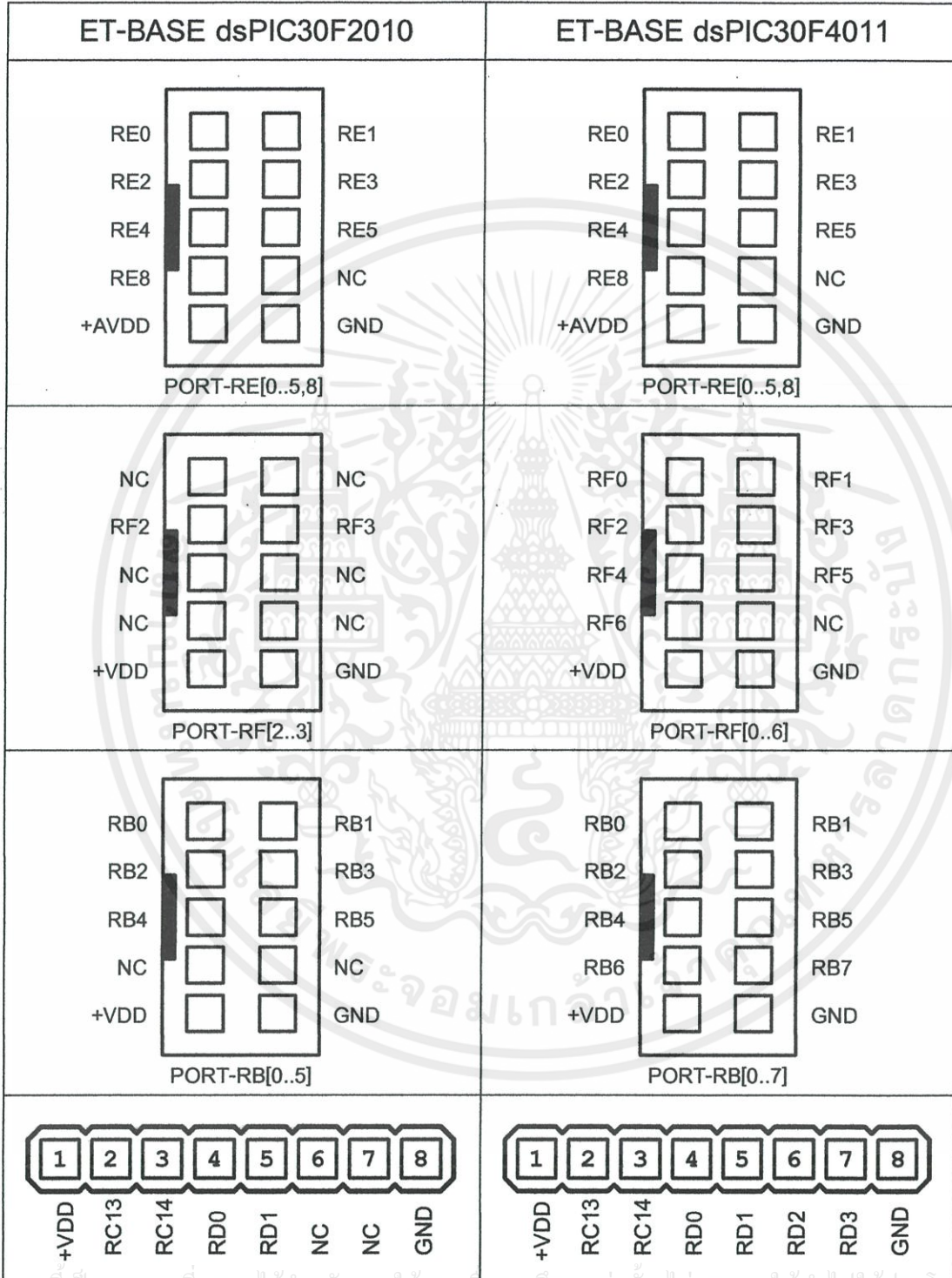
เอกสารนี้เป็นเอกสารลับ กรุณาเก็บรักษาไว้เป็นเอกสารลับ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- หมายเลข 1 คือ ขั้วต่อแหล่งจ่ายไฟเลี้ยงวงจรของบอร์ด ให้อุปกรณ์แหล่งจ่ายไฟ 7-20VAC/DC
- หมายเลข 2 คือ IC Regulate แบบ Switching ขนาด 5V/1A
- หมายเลข 3 คือ LED TEST สำหรับทดสอบการทำงานของบอร์ด โดยควบคุมจาก RB0
- หมายเลข 4 คือ Jumper สำหรับ ตัด ต่อ สัญญาณ RB0 กับ LED TEST
- หมายเลข 5 คือ VR ปรับค่า สำหรับใช้ปรับความสว่างของหน้าจอแสดงผล LCD
- หมายเลข 6 คือ ขั้วต่อ 14PIN IDE สำหรับเชื่อมต่อกับ LCD แบบ Character
- หมายเลข 7 คือ Jumper สำหรับเลือกรูปแบบการควบคุมขา RW ของ LCD โดยถ้าใช้ MCU รุ่น 28Pin ต้องเลือกไว้ด้าน GND เสมอและไม่สามารถส่งอ่านข้อมูลจาก LCD ได้
- หมายเลข 8 คือ สวิตช์ Reset สำหรับ Reset การทำงานของ MCU เมื่ออยู่ในโหมด Run
- หมายเลข 9 คือ ขั้วต่อ ICD2 สำหรับใช้เชื่อมต่อกับเครื่องโปรแกรมและดีบั๊กตามมาตรฐาน ICD2
- หมายเลข 10 คือ สวิตช์ สำหรับเลือกโหมดการทำงานระหว่าง Run(RUN) และ Program(PGM)
- หมายเลข 11 คือ LED สีแดง แสดงสถานะ PGM เมื่อบอร์ดทำงานใน Program Mode
- หมายเลข 12 คือ LED สีเขียว แสดงสถานะ RUN เมื่อบอร์ดทำงานใน Run Mode
- หมายเลข 13 คือ ขั้วต่อ UART2 ซึ่งมีเฉพาะใน MCU รุ่น 40 Pin (dsPIC30F4011) เท่านั้น โดยเป็นสัญญาณแบบ RS232 โดยใช้ Pin ของ RF4(RX2) และ RF5(TX2) เป็นสัญญาณเชื่อมต่อ
- หมายเลข 14 คือ ขั้วต่อ UART1 โดยเป็นสัญญาณแบบ RS232 มีอยู่ใน MCU ทั้งรุ่น 28 Pin และรุ่น 40 Pin ซึ่งใช้ Pin ของ RC13(TX1),RC14(RX1) เป็นสัญญาณเชื่อมต่อ
- หมายเลข 15 คือ Jumper สำหรับเลือกการเชื่อมต่อสัญญาณ RC13,RC14,RF4,RF5 ว่าจะใช้ขาสัญญาณดังกล่าวทำหน้าที่เป็นขาสัญญาณรับส่งของ RS232 หรือ GPIO สำหรับใช้งานทั่วไป
- หมายเลข 16 คือ ขั้วต่อสัญญาณ RC13,RC14,RD0,RD1,RD2 และ RD3 สำหรับใช้งาน โดยถ้าเป็น MCU รุ่น 28Pin จะไม่มีสัญญาณ RD2 และ RD3 ขาสัญญาณดังกล่าวจะปล่อยว่างไว้
- หมายเลข 17 คือ ขั้วต่อสัญญาณ Port-RF ซึ่งถ้าเป็น MCU รุ่น 40 Pin จะมี 7 บิต คือ RF[0..6] แต่ถ้าเป็น MCU รุ่น 28 Pin จะมีเพียง 2 บิต คือ RF[2] และ RF[3] เท่านั้น
- หมายเลข 18 คือ LED สำหรับแสดงสถานะ ของแหล่งจ่ายไฟ +5V ของบอร์ด
- หมายเลข 19 คือ ขั้วต่อสัญญาณ Port-RE ซึ่งจะมี 7 บิต คือ RE[0..6 และ 8]
- หมายเลข 20 คือ ขั้วต่อสัญญาณ Port-RB ซึ่งถ้าเป็น MCU40Pin จะมี 8 บิต คือ RB[0..7] แต่ถ้าเป็น MCU 28Pin จะมีเพียง 6 บิต คือ RB[0..5] เท่านั้น
- หมายเลข 21 คือ MCU ประจำบอร์ด โดยถ้าเป็น รุ่น 28Pin จะใช้เบอร์ dsPIC30F2010 แต่ถ้าเป็น รุ่น 40Pin จะใช้เบอร์ dsPIC30F4011

เอกสารนี้เป็นเอกสารที่เผยแพร่ไว้สำหรับบอร์ดใช้งานเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



หัวต่อสัญญาณต่างๆ



รูปแสดง การจัดเรียงสัญญาณของพอร์ต I/O ต่างๆของบอร์ด ET-BASE dsPIC30F2010/4011

## ประวัติผู้เขียน



ชื่อ-นามสกุล นาย ณ์ฐพล วิฑูราภรณ์  
 วัน เดือน ปีเกิด 29 เมษายน 2536  
 ที่อยู่ 59/133 ถนนรามคำแหง 140 แขวง  
 สะพานสูง เขตสะพานสูง กรุงเทพฯ 10240

## ประวัติการศึกษา

ปีการศึกษา 2551 สำเร็จการศึกษาระดับมัธยมศึกษาตอนปลาย จากโรงเรียนเตรียม  
 อุดมศึกษาน้อมเกล้า จังหวัดกรุงเทพมหานคร  
 ปีการศึกษา 2557 สำเร็จการศึกษาวิศวกรรมศาสตร์ สาขาวิศวกรรมไฟฟ้า  
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
 ฝึกงานภาคฤดูร้อน บริษัท บิวเทค จำกัด ตำแหน่ง Site engineer ระหว่างวันที่ 1 เมษายน  
 2557 ถึง 30 กรกฎาคม 2557

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ชื่อ-นามสกุล  
วัน เดือน ปีเกิด  
ที่อยู่

นาย บัณฑิต บุญตั้งแต่ง  
13 มิถุนายน 2534  
130/38 ถนนราษฎร์อุทิศ ตำบลอรัญประเทศ  
อำเภออรัญประเทศ สระแก้ว 27120

### ประวัติการศึกษา

- ปีการศึกษา 2551 สำเร็จการศึกษาระดับมัธยมศึกษาตอนปลาย จากโรงเรียนเตรียม  
อุดมศึกษาน้อมเกล้า จังหวัดกรุงเทพมหานคร
- ปีการศึกษา 2557 สำเร็จการศึกษาระดับปริญญาตรี สาขาวิศวกรรมไฟฟ้า  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- ฝึกงานภาคฤดูร้อน บริษัท เบสโตเรคชั่น จำกัด ตำแหน่ง Project engineer ระหว่างวันที่ 1  
เมษายน 2557 ถึง 30 พฤษภาคม 2557



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ชื่อ-นามสกุล  
วัน เดือน ปีเกิด  
ที่อยู่

นาย ปฐวี กันชน  
7 กันยายน 2535  
2188 ถนนพัฒนาการ แขวงสวนหลวง  
เขตสวนหลวง กรุงเทพฯ 10250

### ประวัติการศึกษา

- ปีการศึกษา 2551 สำเร็จการศึกษาระดับมัธยมศึกษาตอนปลาย จากโรงเรียนเตรียม  
อุดมศึกษาพัฒนาการ จังหวัดกรุงเทพมหานคร
- ปีการศึกษา 2557 สำเร็จการศึกษาระดับปริญญาตรี สาขาวิศวกรรมไฟฟ้า  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- ฝึกงานภาคฤดูร้อน บริษัท เบสโตเรคชั่น จำกัด ตำแหน่ง Project engineer ระหว่างวันที่ 1  
เมษายน 2557 ถึง 30 พฤษภาคม 2557



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ชื่อ-นามสกุล  
วัน เดือน ปีเกิด  
ที่อยู่

นาย สถาปนิก หมดหวัง  
23 พฤศจิกายน 2535  
1/10 หมู่ที่ 8 แขวงคูฝั่งเหนือ  
เขตหนองจอก กรุงเทพฯ 10530

### ประวัติการศึกษา

- ปีการศึกษา 2551 สำเร็จการศึกษาระดับมัธยมศึกษาตอนปลาย จากโรงเรียนเตรียม  
อุดมศึกษาน้อมเกล้า จังหวัดกรุงเทพมหานคร
- ปีการศึกษา 2557 สำเร็จการศึกษาระดับปริญญาตรี สาขาวิศวกรรมไฟฟ้า  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- ฝึกงานภาคฤดูร้อน บริษัท บิวเทค จำกัด ตำแหน่ง Site engineer ระหว่างวันที่ 1 เมษายน  
2557 ถึง 30 กรกฎาคม 2557



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้