การออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ทำงานในโหมดของกระแสโดยใช้วงจรสะท้อนกระแสแบบคาสโคด

CURRENT MODE ANALOG TO DIGITAL CONVERTER CIRCUIT DESIGN BASED ON CASCODE CURRENT MIRROR

บุญยิ่ง นบนอบ
BOONYING NOBNOB

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2543

ISBN 974-622-702-5

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ทำงานในโหมดของกระแสโดยใช้วงจรสะท้อนกระแสแบบคาสโคด

CURRENT MODE ANALOG TO DIGITAL CONVERTER CIRCUIT DESIGN BASED ON CASCODE CURRENT MIRROR

T035430

บุญยิ่ง นบนอบ

BOONYING NOBNOB

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2543

ISBN 974-622-702-5

เลขหมู่..........
เลขทะเบียน 35430
วัน, เดือน, ปี 25 เม.ย. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2000

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิตอล ที่ทำงานในโหมดของกระแสโดยใช้วงจรสะท้อนกระแสแบบคาสโคด

CURRENT MODE ANALOG TO DIGITAL CONVERTER CIRCUIT DESIGN BASED ON CASCODE CURRENT MIRROR

ชื่อนักศึกษา นายบุญยิ่ง นบนอบ

รหัสประจำตัว 41061147

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้า

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร.กอบชัย เดชหาญ

คณะกรรมการสอบวิทยานิพนธ์	ลายมือชื่อ
รศ.ดร.วันชัย ริ้วรุจา	(signature)
ผศ.ดร.เกียรติศักดิ์ คมวัชระ	(signature)
รศ.วิทยา ทิพย์สุวรรณพร	(signature)
รศ.ดร.ฟูศักดิ์ ชีวสุวิทย์	(signature)
รศ.ดร.กอบชัย เดชหาญ	(signature)

วัน/เดือน/ปี ที่สอบ 7 มีนาคม 2543 เวลา 11.00-12.00 น.

สถานที่สอบ ณ. ห้องสอบวิทยานิพนธ์ คณะวิศวกรรมศาสตร์ ตึก 12 ชั้น ชั้น 4 ห้อง (E12-404)

บัณฑิตวิทยาลัยรับรองแล้ว

(รศ.ดร.วันชัย สังข์ศิลป์)

คณบดีบัณฑิตวิทยาลัย

วันที่....๖......**เดือน**.....เมษายน.....**พ.ศ.**..๒๕๔๓...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบตัวแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ทำงานในโหมดกระแสโดยใช้วงจรสะท้อนกระแสแบบคาสโคด
ชื่อนักศึกษา	นายบุญยิ่ง นบนอบ
รหัสประจำตัว	41061147
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2543
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

ในวิทยานิพนธ์นี้ได้นำเสนอวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลในโหมดกระแส ใช้เทคโนโลยีของ CMOS โดยใช้วงจรสะท้อนกระแสแบบคาสโคดส่งกระแสเพื่อนำไปเปรียบเทียบกระแส ใช้วงจรตามและคงสัญญาณเป็นตัวคงสัญญาณกระแสเพื่อทำการแปลงบิทต่อไปและส่งบิทที่ได้จากการเปรียบเทียบให้วงจรชิฟรีจีสเตอร์ วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลใช้เทคโนโลยี CMOS ขนาด 0.8 ไมครอน อัตราการแปลง 1 μsample/sec และช่วงปฏิบัติงานย่านกระแส 0-200 μA วงจรนี้สามารถขยายจำนวนบิทโดยการเพิ่มจำนวนสัญญาณนาฬิกาและวงจรชิฟรีจีสเตอร์เมื่อถูกนำไปใช้การเพิ่มจำนวนบิทที่สูงขึ้นผลการเลียนแบบได้กระทำโดยใช้โปรแกรมเลียนแบบการทำงาน PSpice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Current Mode Analog to Digital Converter Circuit Design Based on Cascode
Student	Mr. Boonying Nobnob
Student ID.	41061147
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2000
Thesis Advisor	Assoc.Prof.Dr.Kobchai Dejhan

ABSTRACT

This thesis proposes an analog-to-digital converter circuit operation in current mode based on CMOS technology. The cascode current mirror is used for comparing the current, the track and hold circuit is used to convert the bit and shift the compared bit to the shift register. This proposed circuit is new circuit with 0.8 μm CMOS technology with 1 μ sample/sec conversion rate and 0 to 200 μA operating input current. This proposed circuit is able to extend the number of bit by increasing the clock signal and the shift register in order to obtain the higher number of bits. All of results have been carried out by simulating based on PSpice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ รศ. ดร. กอบชัย เดชหาญ ที่ให้ความช่วยเหลือให้โอกาสตลอดจนคำแนะนำต่าง ๆ ในการจัดทำวิทยานิพนธ์ และการดำเนินชีวิตประจำวัน จนทำให้วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี และบิดา มารดา ที่สนับสนุนและให้กำลังใจตลอดการศึกษา ตลอดจนอาจารย์ทุกท่านที่ได้อบรมว่ากล่าวตักเตือนตั้งแต่อดีตจนถึงปัจจุบัน

ขอขอบคุณทุนอุดหนุนการทำวิทยานิพนธ์ของบัณฑิตวิทยาลัยสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง คุณวราภรณ์ สุวรรณเนาว์ เพื่อน ๆ และน้อง ๆ ทุกคน ที่ให้กำลังใจตลอดมา

บุญยิ่ง นบนอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย..I
บทคัดย่อภาษาอังกฤษ...II
กิตติกรรมประกาศ...III
สารบัญ...IV
สารบัญตาราง...VII
สารบัญรูป...VIII
บทที่ 1 บทนำ...1
1.1 บทนำ..1
1.2 ที่มาของงานวิจัย...1
1.3 วัตถุประสงค์งานวิจัย..2
1.4 รายละเอียดในวิทยานิพนธ์...2
1.5 สรุป...2

บทที่ 2 ทฤษฎีการทำงานของมอส...3
2.1 บทนำ..3
2.2 ทฤษฎีการทำงานของมอส..3
2.3 สรุป...8

บทที่ 3 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล..............................9
3.1 บทนำ..9
3.2 อินพุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล..................9
3.2.1 สัญญาณ Direct Current (DC) หรือ Slowly Verying..............................9
3.2.2 สัญญาณ Continuously Changing และ Single Event Alternating Current (AC)..10
3.2.3 สัญญาณ Pulse Amplitude...11
3.3 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล...........................11
3.4 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำ...............13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

3.4.1 Single Slope Analog to Digital Converter หรือ Pulse Width Modulator Analog to DigitalConverter..........13
3.4.2 Dual Slope Analog to Digital Converter หรือ Up-Down Integrator Analog to DigitalConverter..........15
3.5 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วปานกลาง..........18
3.5.1 Successive Approximation Analog to Digital Converter..........18
3.5.2 Algorithmic Analog to Digital Converter..........21
3.6 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วสูง..........23
3.6.1 Parallel Analog to Digital Converter หรือ Flash Analog to Digital Converter..........23
3.7 สรุป..........25

บทที่ 4 ทฤษฎี..........26
4.1 บทนำ..........26
4.2 วงจรสะท้อนกระแสแบบคาสโคดโดยใช้มอสทรานซิสเตอร์..........26
4.3 วงจรเปรียบเทียบกระแส..........29
4.4 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิท..........34
4.5 วงจรตามและคงสัญญาณ..........37
4.6 วงจรชิฟรีจิสเตอร์..........41
4.7 สรุป..........41

บทที่ 5 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท..........42
5.1 บทนำ..........42
5.2 หลักการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท....42
5.3 การเลียนแบบและผลการเลียนแบบวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 8 บิท..........47
5.4 เวลาที่ใช้ในการแปลง..........55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

5.5 ผลการวิเคราะห์ค่าเปอร์เซ็นต์ผิดพลาดจากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท..........56
5.6 สรุป..........57

บทที่ 6 บทสรุปวิจารณ์และข้อเสนอแนะ..........59

บรรณานุกรม..........61
ภาคผนวก..........63
ก. ผลงานที่ได้รับการตีพิมพ์..........64
ประวัติผู้เขียน..........79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

4.1 ลอจิกและตารางความจริงเกี่ยวกับแรงดัน..30
5.1 แสดงค่าความกว้างและค่าความยาวของแชลแนล...48
5.2 แสดงผลการเลียนแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิทโดยการป้อนสัญญาณอินพุตเป็นกระแสที่ระดับต่างๆกัน..49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 แสดงการไบอัสมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel....3

2.2 แสดงความสัมพันธ์ระหว่าง I_d กับ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ของมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel....4

2.3 แสดงการไบอัสมอสเฟตแบบดีพลีชั่นชนิด N-Channel....5

2.4 แสดงความสัมพันธ์ระหว่าง I_d กับ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ของมอสเฟตแบบดีพลีชั่นชนิด N-Channel....6

2.5 คุณสมบัติการถ่ายโอน....8

3.1 สัญญาณ Direct Current (DC) หรือ Slowly Verying....10

3.2 สัญญาณ

(ก) Continuously Changing....10

(ข) Single Event Alternating Current....11

3.3 สัญญาณ Pulse Amplitude....11

3.4 บล็อกไดอะแกรมของตัวแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล....12

3.5 กราฟความสัมพันธ์ระหว่างสัญญาณอนาลอกอินพุตและสัญญาณดิจิตอลเอ้าพุต....13

3.6 หลักการพื้นฐานของ Single Slope Analog to Digital Converter หรือ Pulse Width Modulator Analog to Digital Converter....14

3.7 หลักการพื้นฐานของ Dual Slope Analog to Digital Converter หรือ Up-Down Integrator Analog to Digital Converter....16

3.8 กราฟความสัมพันธ์ระหว่างค่าศักดาเอ้าพุตของวงจรอินทิเกรตกับเวลา....18

3.9 รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบ Successive Approximation Analog to Digital Converter....19

3.10 วงจรพื้นฐานของ Successive Approximation Analog to Digital Converter....20

3.11 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องเอ้าพุต V_{oa} จากสัญญาณดิจิตอลเป็นสัญญาณอนาลอกกับสัญญาณต่อเนื่องอินพุต V_{ia}....20

3.12 หลักการทำงานและวงจรพื้นฐานของ Algorithmic Analog to Digital Converter

(ก)หลักการทำงานของ Algorithmic Analog to Digital Converter....21

(ข)วงจรพื้นฐานของ Algoritmic Analog to Digital Converter....22

3.13 หลักการทำงานของ Parallel Analog to Digital Converter....24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

3.14 วงจรพื้นฐานของ Parallel Analog to Digital Converter....25

4.1 วงจรสะท้อนกระแสแบบคาสโคด....27

4.2 วงจรสมมูลของวงจรสะท้อนกระแสแบบคาสโคด....27

4.3 บล็อกไดอะแกรมของวงจรเปรียบเทียบกระแส....29

4.4 สัญญลักษณ์ลอจิก....30

4.5 คุณลักษณะการส่งผ่านแรงดันของอินเวอเตอร์ในอุดมคติ....30

4.6 วงจรอินเวอเตอร์ซีมอส....31

4.7 กราฟแสดงคุณลักษณะการส่งผ่านแรงดันของอินเวอเตอร์แบบซีมอสในอุดมคติ....31

4.8 วงจรเปรียบเทียบกระแส....33

4.9 วงจรสะท้อนกระแสแบบพื้นฐาน....35

4.10 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิทโดยใช้วงจรสะท้อนกระแสแบบพื้นฐาน....35

4.11 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิทโดยใช้วงจรสะท้อนกระแสแบบคาสโคด....36

4.12 บล็อกไดอะแกรมของวงจรตามและคงสัญญาณแบบลูปเปิด....38

4.13 วงจรตามและคงสัญญาณ....38

4.14 แซมปลิ้งสวิตช์ทรานซิสเตอร์แบบเอ็นมอส....39

4.15 รูปแบบการแซมปลิ้งสวิตช์....39

4.16 ไดอะแกรมสัญญาณควบคุม....40

4.17 วงจรชิฟรีจิสเตอร์....41

5.1 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท....43

5.2 ไดอะแกรมสัญญาณควบคุม....44

5.3 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 10µ A, I_{ref} = 200 µA....50

5.4 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 20µ A, I_{ref} = 200 µA....50

5.5 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 40µ A, I_{ref} = 200 µA....51

5.6 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 60µ A, I_{ref} = 200 µA....51

5.7 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 80µ A, I_{ref} = 200 µA....52

5.8 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 100µ A, I_{ref} = 200 µA....52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

5.9 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ $I_{in} = 120\mu A, I_{ref} = 200\ \mu A$ 53
5.10 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ $I_{in} = 140\mu A, I_{ref} = 200\ \mu A$ 53
5.11 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ $I_{in} = 160\mu A, I_{ref} = 200\ \mu A$ 54
5.12 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ $I_{in} = 180\mu A, I_{ref} = 200\ \mu A$ 54
5.13 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ $I_{in} = 190\mu A, I_{ref} = 200\ \mu A$ 55
5.14 แสดงกราฟผลการวิเคราะห์เปอร์เซ็นต์ค่าผิดพลาดจากการเลียนแบบการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท....................57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 บทนำ

ในปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์และโทรคมนาคมได้วิวัฒนาการไปอย่างรวดเร็วมาก เทคโนโลยีที่จำเป็น คือเทคโนโลยีการออกแบบวงจรอิเล็กทรอนิกส์พัฒนาตามไปด้วยอย่างรวดเร็วทั้งในระบบอนาลอก (Analog) และระบบดิจิตอล (Digital) ดังนั้นอุปกรณ์แปลงสัญญาณจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter) และจากสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter) นั้นเป็นสิ่งที่จำเป็น ในวิทยานิพนธ์นี้จะกล่าวถึงอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล การทำงานของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะดีหรือไม่นั้นขึ้นกับคุณสมบัติของอุปกรณ์แปลงสัญญาณ คุณลักษณะของอุปกรณ์แปลงสัญญาณที่ดีจะต้องมีค่าการแปลงสัญญาณโดยให้มีค่าใกล้เคียงกับสัญญาณเดิมมากที่สุด มีความผิดเพี้ยนของสัญญาณน้อยที่สุดและมีอัตราการแปลงสัญญาณที่สามารถตอบสนองความต้องการของวงจรได้ดี จากความสำคัญของอุปกรณ์แปลงสัญญาณดังกล่าวข้างต้นจึงเป็นที่มาของวิทยานิพนธ์เรื่อง การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโหมดกระแส โดยได้คิดพัฒนาอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีประสิทธิภาพที่ดี และใช้เทคโนโลยีของ CMOS เพราะมีข้อดีเช่น การสูญเสียของกำลังต่ำ มีอินพุตอิมพีแดนซ์สูง และใช้พื้นที่น้อย ฯลฯ

1.2 ที่มาของงานวิจัย

จากคุณสมบัติของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและข้อดีของเทคโนโลยีแบบ CMOS จึงได้นำวงจรสะท้อนกระแสแบบคาสโคด (Cascode Mirror) วงจรเปรียบเทียบกระแส (Current Comparator) วงจรตามและคงสัญญาณ (Track and Hold) และวงจรชิฟรีจิสเตอร์ (Shift Register) มาทำการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท โดยการทำงานในโหมดกระแสและใช้สัญญาณนาฬิกาควบคุมการทำงานของวงจร เมื่อต้องการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่บิทสูงขึ้นโดยการเพิ่มจำนวนสัญญาณนาฬิกาให้สูงขึ้นตามจำนวนบิท และเพิ่มวงจรชิฟรีจิสเตอร์ให้สูงขึ้นตามจำนวนบิท จากการออกแบบเช่นนี้เพื่อที่จะนำอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลไปใช้งานตามความเหมาะสมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 วัตถุประสงค์งานวิจัย

จุดมุ่งหมายของงานวิจัยที่นำเสนอการออกแบบอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโหมดกระแสเพื่อพัฒนาอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีประสิทธิภาพในการแปลงสัญญาณที่ดี มีความผิดเพี้ยนของสัญญาณต่ำมีความเหมาะสมที่จะนำไปประยุกต์ใช้งานด้านต่างๆ วงจรมีขนาดเล็กที่จำนวนบิทสูงๆ วงจรใช้พื้นที่น้อย โดยศึกษาวิเคราะห์ค่าผิดเพี้ยนของวงจรและใช้โปรแกรม PSpice ในการเลียนแบบวงจรเพื่อยืนยันประสิทธิภาพของวงจร

1.4 รายละเอียดในวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้แบ่งเนื้อหาเป็น 6 บท โดยในบทที่ 1 จะเป็นการกล่าวนำ ที่มาของงานวิจัยและวัตถุประสงค์ของงานวิจัย สำหรับเนื้อหาในบทอื่น ๆ มีรายละเอียดดังต่อไปนี้

บทที่ 2 จะกล่าวถึงทฤษฎีการทำงานของมอส

บทที่ 3 จะกล่าวถึงหลักการทำงานเบื้องต้นของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ลักษณะอินพุตและรายละเอียดการทำงานของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลประเภทต่าง ๆ

บทที่ 4 จะกล่าวถึงทฤษฎีของวงจรย่อยที่ใช้ในการแปลงสัญญาณดิจิตอลซึ่งประกอบด้วยวงจรสะท้อนกระแสแบบคาสโคด (Cascode Current Mirror) วงจรเปรียบเทียบกระแส (Current Comparator) วงจรอัลกอริธมิคขนาด 1 บิท วงจรตามและคงสัญญาณ (Track and Hold) และวงจรชิฟรีจิสเตอร์ (Shift Register)

บทที่ 5 จะกล่าวถึงการเลียนแบบและผลการเลียนแบบอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และผลการวิเคราะห์ค่าผิดพลาดที่เกิดขึ้นจากการเลียนแบบและผลการเลียนแบบ

บทที่ 6 กล่าวถึงบทสรุปวิจารณ์และข้อเสนอแนะ

1.5 สรุป

ในบทนี้เป็นการกล่าวถึงที่มาและวัตถุประสงค์ของงานวิจัยและรายละเอียดในวิทยานิพนธ์ซึ่งประกอบด้วยเนื้อหาสำคัญ 2 หัวข้อคือ หลักการทำงานของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท การเลียนแบบและผลการเลียนแบบอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท เพื่อความเหมาะสมที่จะนำวงจรนี้ไปใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

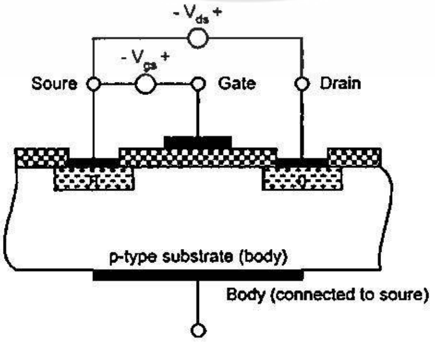
บทที่ 2
ทฤษฎีการทำงานของมอส

2.1 บทนำ

ในการพัฒนาการเทคโนโลยี VLSI (Very Large Scale Integration) เป็นการผลิตวงจรที่นิยมใช้กันมาก เพราะว่ามีข้อดีกว่าเทคโนโลยีแบบอื่นๆ หลายประการ เช่น การสูญเสียของพลังงานต่ำกว่า มีอินพุตอิมพีแดนซ์สูงมาก การออกแบบง่าย ฯลฯ ซึ่งมีความต้องการมากของงานด้าน การประมวลผลสัญญาณ (Signal Processing) แบบวงจรร่วมชิฟเดียว (Single Chip Circuit) การทำงานจะมีประสิทธิภาพมากที่สุด ซึ่งในวงจรอนาลอก (Analog Circuit) ก็เป็นบทบาทสำคัญของการผลิตไอซีโดยออกแบบเป็น VLSI ในการออกแบบ VLSI ในระบบที่เป็นวงจรอนาลอก (Analog Circuit) ส่วนใหญ่ที่เรารู้จักก็คือวงจรกรองสัญญาณ วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter Circuit) และวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter Circuit) วงจรเปรียบเทียบกระแส (Current Comparator Circuit) วงจรควบคุมอัตราการขยายอัตโนมัติ (Automatic Gain Control Circuit) ฯลฯ วิธีการออกแบบไอซีจะนิยมใช้เทคโนโลยีอยู่ 2 แบบคือแบบไบโพลาร์ (BJT) และมอส (MOS) โดยทั้งหมด จะอยู่บนรากฐานของเทคโนโลยีวงจรร่วมซิลิกอน (Silicon Integrated – Circuit Technology) เมื่อก่อนการออกแบบวงจรรวมนั้นจะใช้เทคโนโลยีของไบโพลาร์ แต่สมัยนี้เทคโนโลยีของมอสได้เจริญเติบโตขึ้นอย่างมาก ซึ่งในส่วนของเทคโนโลยีของมอส ทำให้สามารถบรรจุที่ออกแบบไว้มีความหนาแน่นมากขึ้น เช่น หน่วยความจำ (Memory) หน่วยประมวลผล (Microprocessor)

2.2 ทฤษฎีการทำงานของมอส

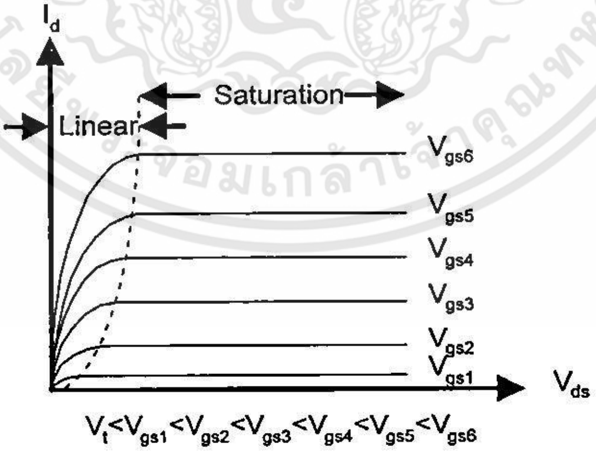
การทำงานของมอสเฟตทั้ง 2 ประเภทนั้นสามารถอธิบายได้โดยใช้ N-Channel ได้ดังนี้คือ



รูปที่ 2.1 แสดงการไบอัสมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

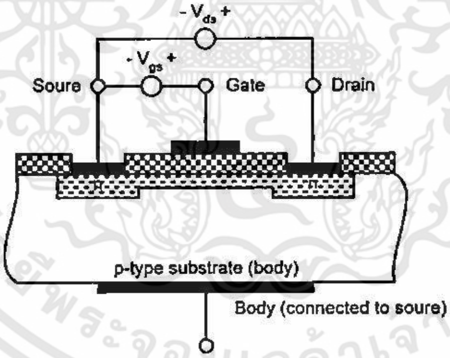
จากรูปที่ 2.1 แสดงการต่อแรงดันต่าง ๆ ให้กับมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel จากโครงสร้างภายในจะเห็นว่ารอบ ๆ ส่วนของซอสและเดรนมีลักษณะเป็นรอยต่อพีเอ็น (P-N Junction) เกิดย่านปลอดพาหะ (Depletion Region) ขึ้น ถ้าเกทได้รับแรงดันค่าลบในขณะที่ $V_{ds}=0$ จะเกิดสนามไฟฟ้า Oxide มีทิศทางไปยัง Gate Electrode จะทำให้ Holes ใน P-Type Substrate ผ่านมายังบริเวณใกล้ผิวทำให้ Minority Carrier Concentration (Hole) บริเวณใกล้ผิวเพิ่มขึ้นกว่าใน Substrate ขณะเดียวกัน Minority Carrier Concentration (Electron) บริเวณใกล้ผิวจะลดลง เนื่องจากอิเล็กตรอนจะถูกผลักลงไปใน Substrate ต่อไปถ้าเกทได้รับแรงดันค่าบวกน้อย $(V_{gs}>0)$ ในขณะที่ $V_{ds}=0$ จะเกิดสนามไฟฟ้าในอ็อกไซด์มีทิศทางไปยัง Substrate ทำให้โฮลล์บริเวณใกล้ผิวของ Substrate ภายใต้ Gate Oxide จะถูกผลักออกมา Fixed Ionized Acceptor ของมันกลับไปใน Substrate ดังนั้นจะเกิด Depletion Region บริเวณใกล้ผิวขึ้น ต่อมาเมื่อเกทได้รับแรงดันค่าบวกมากขึ้น จนกระทั่งมากกว่าแรงดันค่าบวกค่าหนึ่งเรียกว่า Threshold Voltage (V_{to}) นั้นคือ $V_{gs}>V_{to}$ จะทำให้ศักย์บวกที่เกทที่มากนี้จะดึงอิเล็กตรอนจำนวนมากจาก P-Type Substrate มาใกล้ผิวสร้างเป็น N-Type Region ใกล้ผิวเรียกว่า Inversion Layer และสภาวะนี้เรียกว่า Surface Inversion โดย Inversion Layer หรือ N-Type Conduction Channel จะเกิดขึ้นระหว่าง Source Region และ Drain Region ทำหน้าที่เป็นช่องทาง (Channel) เดินกระแสระหว่างซอส ดังนั้นทำให้แรงดันเดรนซอสเป็นบวกเล็กน้อย $(V_{ds}>0)$ จะเกิดกระแสไหลจากเดรนไปยังซอสได้ ถ้าเพิ่ม $V_{ds}=(V_{gs}-V_t)$ กระแสเดรนจะไหลสูงสุดและจะคงที่ตลอดแม้มีการเพิ่ม V_{ds} มาขึ้นอีกก็ตาม ดังแสดงความสัมพันธ์ระหว่าง I_d และ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ในรูปที่ 2. 2



รูปที่ 2.2 แสดงความสัมพันธ์ระหว่าง I_d กับ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ของมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.3 แสดงการต่อแรงดันต่าง ๆ ให้กับมอสเฟตแบบดีพลีชั่นชนิด N-Channel จะเห็นว่า เมื่อไบอัสแรงดันเกทเป็นศูนย์เมื่อเทียบกับซอสและให้แรงดันเดรนเทียบกับซอสเป็นบวกค่าหนึ่ง จะมีกระแสเดรนไหลค่าหนึ่งเนื่องจากแชลแนลได้ถูกสร้างไว้แล้วเมื่อไบอัสแรงดันเกทเป็นค่าลบ ค่าน้อยเทียบกับซอสจะเกิดสนามไฟฟ้าในอ็อกไซด์มีทิศทางไปยัง Gate Electrode ผลจะผลักอิเล็กตรอนบริเวณใกล้ผิวในแชลแนลให้ออกจาก Fixed Ionized Donor (ประจุบวกอยู่กับที่) ลงมาแชลแนลส่วนล่าง ผลทำให้เกิด Depletion Region ใกล้ผิวภายในแชลแนลขึ้น ทำให้สภาพความนำไฟฟ้าของแชลแนลลดลง ผลกระแสเดรนไหลน้อยลงและถ้าเกทเป็นค่าลบมากขึ้นทำให้ Depletion Region แผ่กว้างเพิ่มขึ้นในแชลแนล จะทำให้สภาพความนำไฟฟ้าของแชลแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีกและถ้าเกทเป็นลบมาก ๆ ทำให้ Depletion Region แผ่กว้างเต็มแชลแนล แชลแนลจะไม่นำกระแส กระแสแดรนจะมีค่าเป็นศูนย์ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชั่นโหมด (Depletion Mode) ต่อมาเมื่อไบอัสแรงดันเกทเป็นบวกเมื่อเทียบกับซอสจะเกิดสนามไฟฟ้าในอ็อกไซด์ไปยังแชลแนลจะดึงดูดอิเล็กตรอนจาก P-Substrate มายังบริเวณแชลแนลมากขึ้น ทำให้สภาพความนำไฟฟ้าของแชลแนลเพิ่มขึ้น กระแสเดรนไหลเพิ่มขึ้นมีค่ามากกว่ากระแสเดรนขณะ $V_{gs} = 0$ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบเอ็นฮานเมนท์โหมด (Enhancement Mode) ดังแสดงความสัมพันธ์ของ I_d และ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ในรูปที่ 2.4



รูปที่ 2.3 แสดงการไบอัสมอสเฟตแบบดีพลีชั่นชนิด N-Channel

จากการทำงานของมอสเฟตจะเห็นว่าเป็นการใช้แรงดันควบคุมปริมาณกระแสไฟฟ้าจะมีสมการความสัมพันธ์ของกระแสเดรน (I_d) กับแรงดันเกทซอส (V_{gs}) และค่าพารามิเตอร์ต่าง ๆ มอสเฟตดังแสดงได้ในสมการที่ (2.1) โดยการอ้างอิงการไบอัสของมอสเฟตแบบเอ็นฮานเมนท์ชนิด N-Channel ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_d = \beta\left[\left(V_{gs} - V_t\right)V_{ds} - \frac{V_{ds}^2}{2}\right] \tag{2.1}$$

โดยที่ β = ค่าทรานสคอนดัคแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu C_{ox}\left[\frac{W}{L}\right]$

μ = ค่าสภาพความคล่องตัวของโฮลล์หรืออิเล็กตรอน (Surface Mobility of Carrier)

C_{ox} = ค่าความจะไฟฟ้าต่อพื้นที่ของเกทอ็อกไซด์ (Capacitance Per Unit Area of the Gate Oxide)

W = ความกว้างของแชลแนล (Channel Width)

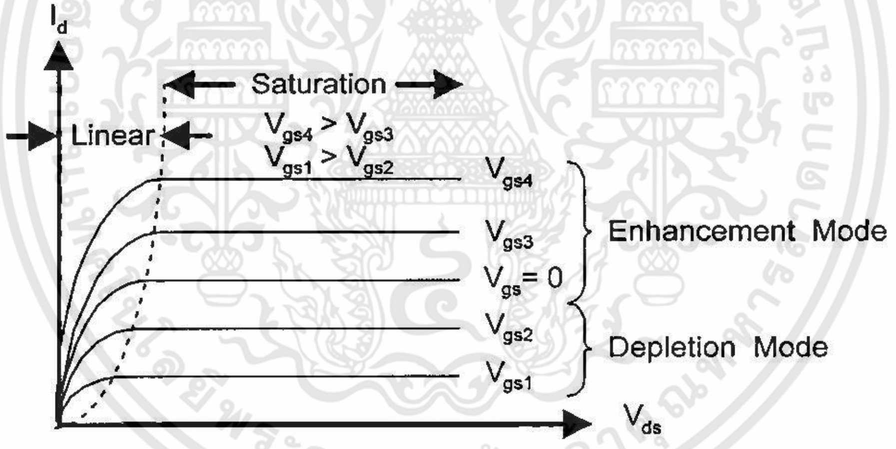
L = ความยาวของแชลแนล (Channel Length)

V_{gs} = แรงดันไฟฟ้าระหว่างเกทกับซอส (Gate-Source Voltage)

V_{ds} = แรงดันไฟฟ้าระหว่างเดรนกับซอส (Drain- Source Voltage)

V_t = แรงดันขีดเริ่ม (Threshold Voltage)

I_d = กระแสเดรน



รูปที่ 2.4 แสดงความสัมพันธ์ระหว่าง I_d กับ V_{ds} เมื่อเปลี่ยนค่า V_{gs} ของมอสเฟตแบบดีพลีชั่นชนิด N-Channel

การจัดไบอัสการทำงานของมอสเฟตสามารถแบ่งออกได้เป็น 3 ช่วง ขึ้นกับการพิจารณาค่า $\left(V_{gs} - V_t\right)$ โดยสมการทั้งหมดจะอ้างอิงการไบอัสมอสเฟตชนิด N-Channal แบบเอ็นฮานเมนท์

1. ทำงานในช่วงคัทออฟ (Cutoff Region) คือทำการไบอัสให้แรงดันไฟฟ้าที่เกทกับซอส $\left(V_{gs}\right)$ มีค่าน้อยกว่า V_t ผลทำให้ไม่มีกระแสเดรนไหลดังสมการที่ (2.2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_d = 0, V_{gs} < V_t \tag{2.2}$$

2. ทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region) คือเพื่อให้มอสเฟตทำงานในช่วงนี้ต้องการทำไบอัสให้แรงดันไฟฟ้าที่เกทกับซอส $|V_{gs}|$ มากกว่า V_t ขณะเดียวกันให้ค่าแรงดันไฟฟ้าที่เดรนกับซอส (V_{ds}) มีค่าน้อยกว่า $(V_{gs} - V_t)$ ดังนั้น

$$I_d = \beta\left[\left(V_{gs} - V_t\right)V_{ds} - \frac{V_{ds}^2}{2}\right], V_{gs} > V_t ; 0 < V_{ds} < \left(V_{gs} - V_t\right) \tag{2.3}$$

ถ้ามี V_{ds} มีค่าน้อย ๆ หรือไบอัสให้ $0 < V_{ds} \le \left(V_{gs} - V_t\right)$ จะสามารถตัดเทอม $\frac{V_{ds}^2}{2}$ ในสมการที่ (2.3) ได้และสามารถประมาณสมการได้เป็น

$$I_d \cong \beta\left[\left(V_{gs} - V_t\right)V_{ds}\right], V_{gs} > V_t ; 0 < V_{ds} \le \left(V_{gs} - V_t\right) \tag{2.4}$$

จากความสัมพันธ์อย่างเชิงเส้นในสมการที่ (2.4) จะแสดงการทำงานของมอสเฟตเป็นค่าความต้านทานที่มีความเป็นเชิงเส้น (R_{ds}) ถูกควบคุมด้วยค่าแรงดันไฟฟ้าของ V_{gs}

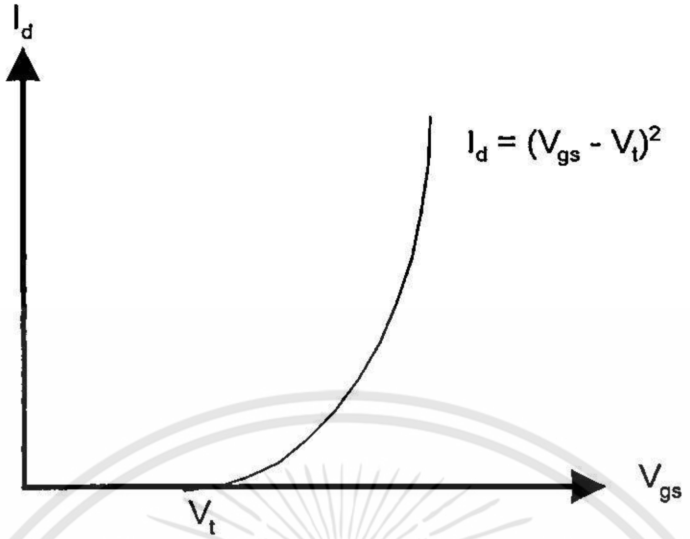
$$R_{ds} = \frac{V_{ds}}{I_d} = \left[\beta\left(V_{gs} - V_t\right)\right]^{-1} \tag{2.5}$$

3. ทำงานในช่วงอิ่มตัว (Saturation Region) คือช่วงนี้จะไบอัสให้แรงดันที่เดรนกับซอส (V_{ds}) มากกว่าหรือเท่ากับ $(V_{gs} - V_t)$ ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็น

$$I_d = \beta\left(V_{gs} - V_t\right)^2, V_{gs} > V_t ; 0 < \left(V_{gs} - V_t\right) \le V_{ds} \tag{2.6}$$

จะเห็นว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับแรงดันไฟฟ้าที่เดรนกับซอส (V_{ds}) แต่จะขึ้นกับค่าแรงดัน $(V_{gs} - V_t)$ ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) นั่นเอง โดยสามารถแสดงกราฟคุณสมบัติการถ่ายโอน (Transfer Charecteristic) ในรูปที่ 2. 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 คุณสมบัติการถ่ายโอน

2.3 สรุป

ในบทนี้ได้กล่าวถึงทฤษฎีการทำงานของมอสซึ่งมอสเฟตเป็นอุปกรณ์ทางอิเล็กทรอนิกส์ชนิดหนึ่ง สามารถควบคุมปริมาณของกระแสเดรนได้ด้วยสนามไฟฟ้า ที่เกิดขึ้นจากแรงดันที่ขาเกท สามารถแบ่งการทำงานของมอสเฟตได้ 2 ประเภท ซึ่งมีอยู่ 2 ชนิด คือ N-Channel และ P-Channel แต่ในวิทยานิพนธ์นี้ได้แสดงการทำงานของมอสเฟตทั้ง 2 ประเภท ด้วยชนิด N-Channel และการจัดการไบอัสการทำงานของมอสเฟตสามารถแบ่งได้ 3 ช่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การแปลงสัญญาณอนาลอกเป็นสัญญาณ

3.1 บทนำ

ในปัจจุบันวิทยาการทางด้านดิจิตอลได้เข้ามามีบทบาทมากมาย เช่น ทางด้านโทรคมนาคม คอมพิวเตอร์ การควบคุมและอื่นๆ เป็นต้น ดังนั้นอุปกรณ์การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter) จึงเป็นสิ่งที่จำเป็นที่จะสามารถประยุกต์ใช้งานในด้านต่างๆ ดังนั้นคุณสมบัติของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่ดีจะต้องทำการแปลงสัญญาณโดยให้มีความเที่ยงตรงของสัญญาณเอ้าพุต ช่วงการปฏิบัติงานย่านอินพุตและมีอัตราการแปลงสัญญาณที่สามารถตอบสนองความต้องการของวงจรได้ดี

ประเภทของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลสามารถแบ่งได้หลายลักษณะเช่นแบ่งตามความเร็วในการแปลงสัญญาณหรือแบ่งตามสมรรถนะการทำงานของวงจรเป็นต้น ซึ่งในวิทยานิพนธ์นี้จะกล่าวถึงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลตามความเร็วในการเปลี่ยนแปลงสัญญาณ โดยสามารถแบ่งเป็นประเภทใหญ่ ๆ ได้ 3 ประเภทคือ 1. วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำ 2. วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วปานกลาง 3. วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วสูง ซึ่งวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแต่ละประเภทเหมาะกับลักษณะของงานที่จะนำไปประยุกต์ใช้งานสำหรับลักษณะอินพุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล หลักการและรายละเอียดของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแต่ละประเภทจะกล่าวในหัวข้อที่ (3.4), (3.5) และ (3.6) ตามลำดับ

3.2 อินพุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

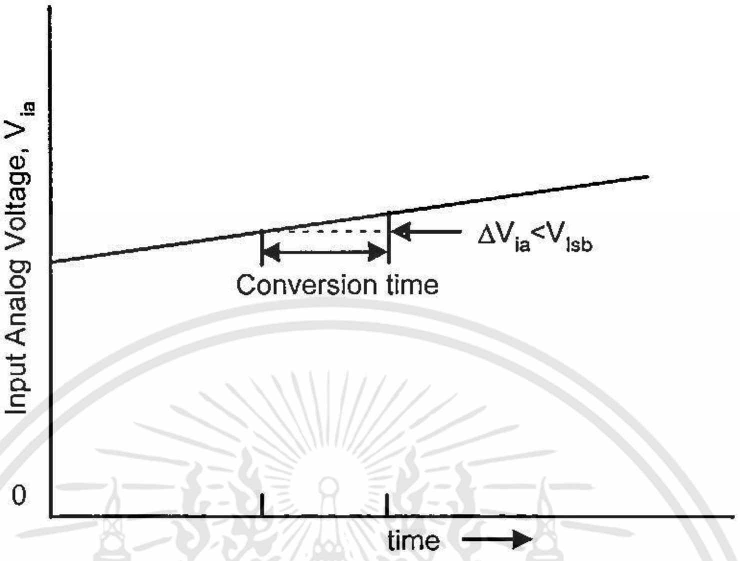
ประเภทของสัญญาณอินพุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะมีความสำคัญในการนำประเภทของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลซึ่งแบ่งตามความเร็วในการเปลี่ยนแปลงของสัญญาณที่ได้กล่าวมาแล้วในบทนำ โดยสามารถแบ่งประเภทของสัญญาณอินพุตได้ 3 ประเภท [11] คือ

3.2.1 สัญญาณ Direct Current (DC) หรือ Slowly Verying

ดังแสดงในรูปที่ 3.1 สัญญาณประเภทนี้จะเป็นค่าคงที่หรือสัญญาณจะเกิดการเปลี่ยนแปลงเล็กน้อยในระหว่างกระบวนการแปลงสัญญาณวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

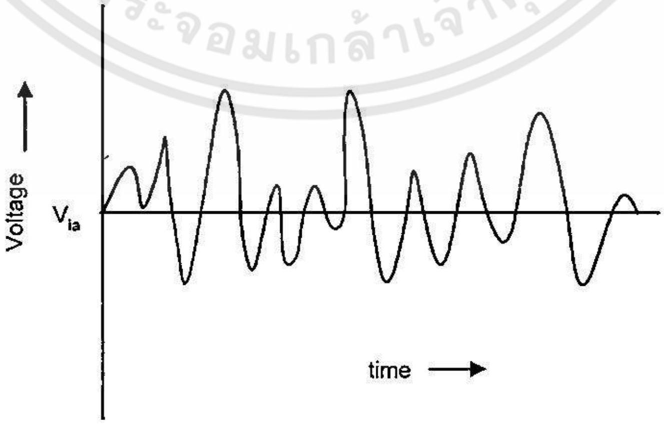
ใช้สัญญาณอินพุตประเภทนี้ได้แก่ วงจร Single Slope Analog to Digital Converter และ Dual Slope Analog to Digital Converter



รูปที่ 3.1 สัญญาณ Direct Current (DC) หรือ Slowly Verying

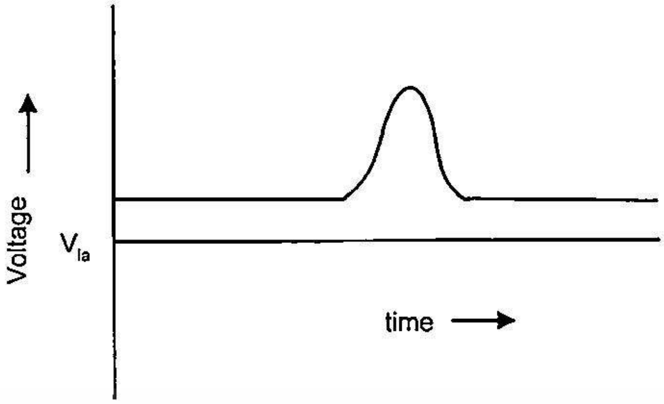
3.2.2 สัญญาณ Continuously Changing และ Single Event Alternating Current (AC)

ดังแสดงในรูปที่ 3.2 สัญญาณประเภทนี้จะมีแบนวิดท์และระดับของสัญญาณจะไม่มีการเปลี่ยนแปลงเมื่อระหว่างกระบวนการแปลงสัญญาณ อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่ใช้สัญญาณอินพุตประเภทนี้ได้แก่ วงจร Successive Approximation และ Parallel Analog to Digital Converter



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

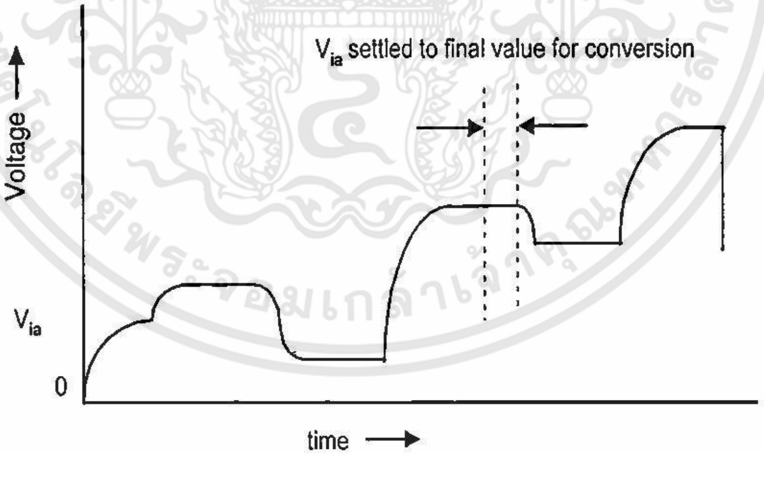


(ข)

รูปที่ 3.2 สัญญาณ (ก) Continuously Changing และ (ข) Single Event Alternating Current

3.2.3 สัญญาณ Pulse Amplitude

ดังแสดงในรูปที่ 3.3 สัญญาณประเภทนี้จะมีลักษณะของสัญญาณที่ไม่มีความสัมพันธ์ที่ต่อเนื่องกัน อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่ใช้สัญญาณประเภทนี้ได้แก่ วงจร Successive Approximation และ Parallel Analog to Digital Converter



รูปที่ 3.3 สัญญาณ Pulse Amplitude

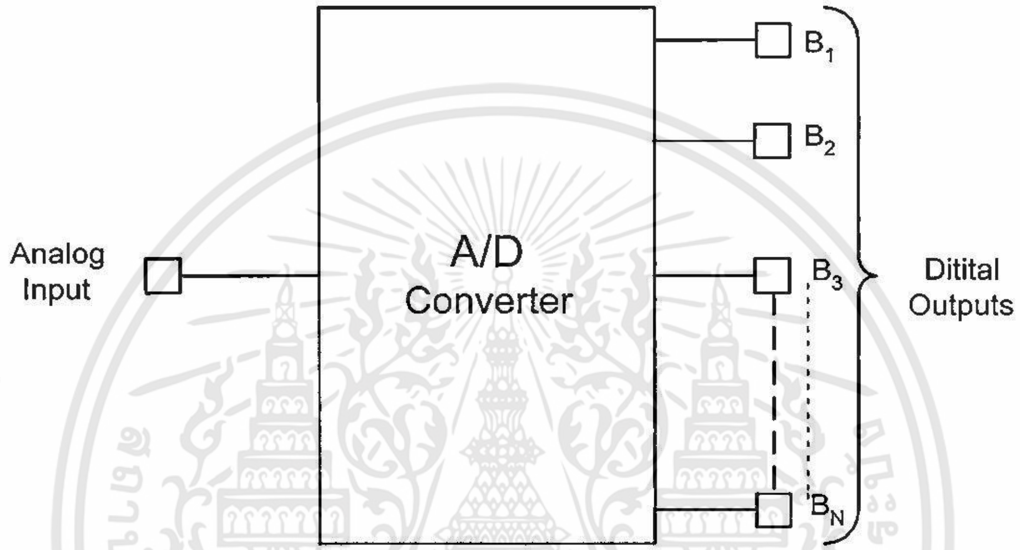
3.3 หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

หลักการของการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลคือการแปลงรูปแบบของสัญญาณต่อเนื่องค่าหนึ่ง ๆ ที่เป็นโวลท์เตจหรือกระแสเป็นสัญญาณดิจิตอลที่มีค่าสอดคล้องกัน โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บล็อกไดอะแกรมของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแสดงดังรูปที่ 3.4 ซึ่งอินพุตโวลท์เตจ (V_{in}) เป็นการประมาณไบนารีส่วนโวลท์เตจเอ้าพุตฟูลสเกล (V_{fs}) ซึ่งเอ้าพุตของตัวแปลงสัญญาณดิจิตอลที่ n บิทจะได้รหัสดิจิตอล ดังสมการที่ (3.1)

$$D = \frac{V_{in}}{V_{fs}} = \frac{B_1}{2} + \frac{B_2}{2^2} + \cdots\cdots\cdots\cdots + \frac{B_n}{2^n} \qquad (3.1)$$

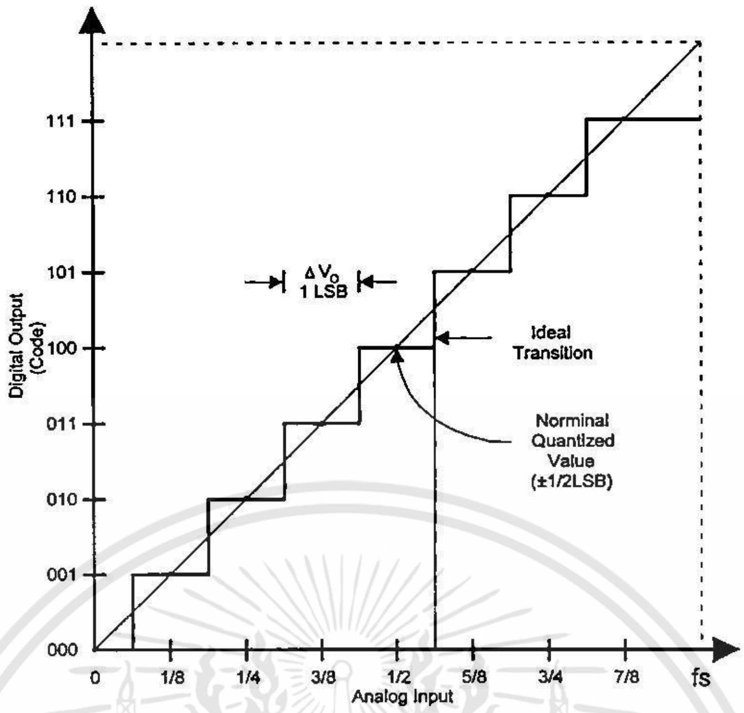


รูปที่ 3.4 บล็อกไดอะแกรมของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ความสัมพันธ์ระหว่างสัญญาณอนาลอกอินพุตและสัญญาณดิจิตอลเอ้าพุตของตัวแปลงสัญญาณใน อุดมคติแสดงดังรูปที่ 3.5 จากรูปกำหนดดิจิตอลเอ้าพุตมีค่า 3 บิทโดยที่ n บิทดิจิตอลเอ้าพุตมีค่า $(2^n - 1)$ บิท ในแนวนอนแสดงสัญญาณอนาลอกอินพุตและในแนวตั้งแสดงสัญญาณดิจิตอลเอ้าพุต โดยย่านของอนาลอกอินพุตจะมีความสัมพันธ์กับดิจิตอลเอ้าพุตยกตัวอย่าง เช่นที่อนาลอกอินพุตย่าน $0.5fs$ จะมีความสัมพันธ์กับดิจิตอลเอ้าพุต 100 เป็นต้น ซึ่งความสัมพันธ์นี้เรียกว่าความกว้างของรหัส (Code) ในอุดมคติความกว้างมีค่า $1\ LSB$ (Least Signiticant Bit) ดังแสดงค่าในสมการที่ (3.2) แต่ในทางปฏิบัติความกว้างที่ยอมรับได้จะมีค่า = $\pm\ 0.5\ LSB$

$$\Delta V_O = 1\ \ LSB = \frac{V_{fs}}{2^n} \qquad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 กราฟความสัมพันธ์ระหว่างสัญญาณอนาลอกอินพุตและสัญญาณดิจิตอลเอ้าพุต

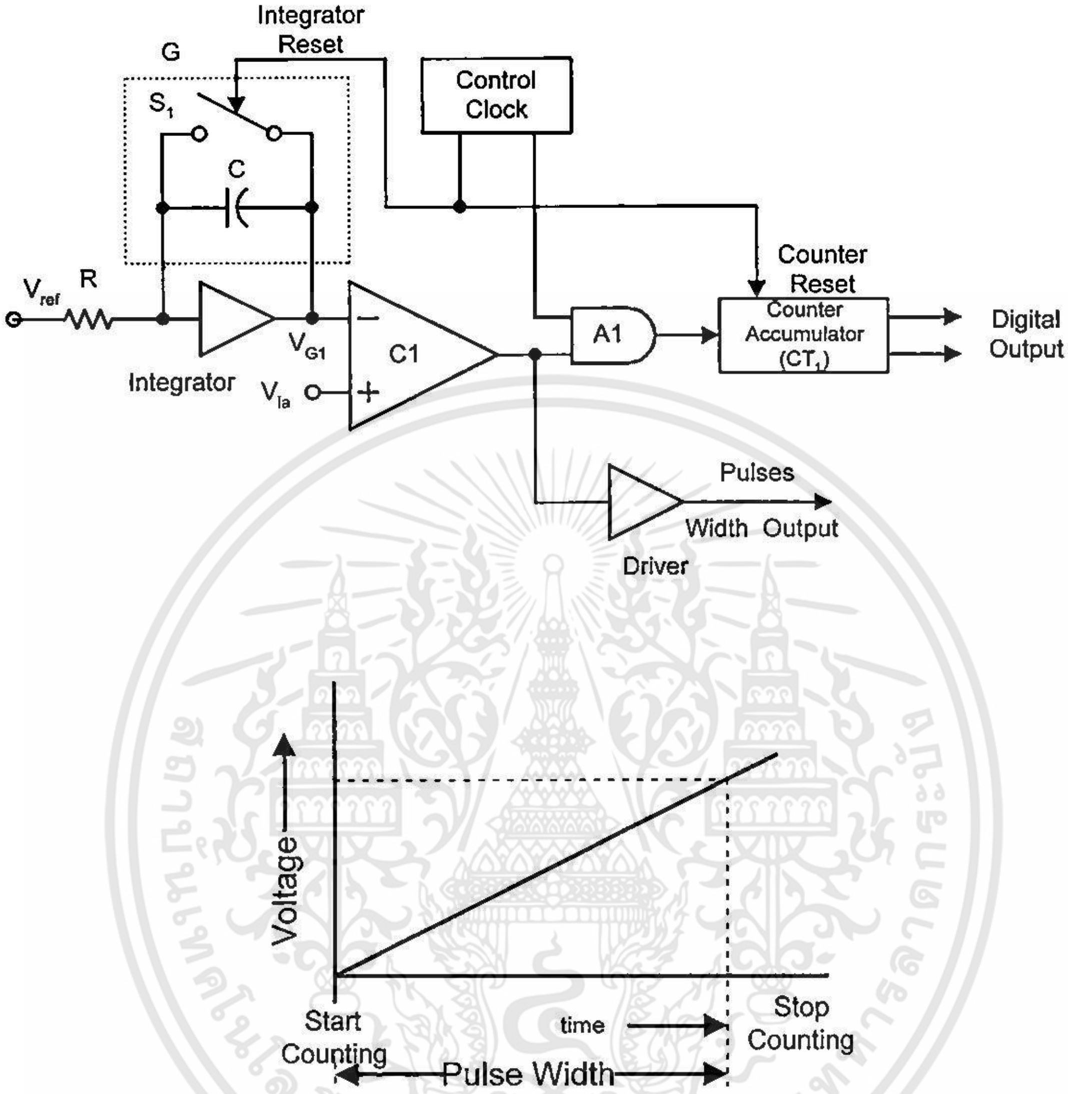
3.4 อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำ

อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำเป็นอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีขนาดเล็ก ลักษณะการทำงานของวงจรไม่ซับซ้อน เวลาที่ใช้ในการแปลงสัญญาณขึ้นอยู่กับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจร ขนาดของวงจรไม่ขึ้นกับจำนวนบิทที่ต้องการ สามารถแปลงสัญญาณที่ต้องการความละเอียดสูงได้ดี คือจำนวนบิทมาก อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่จัดอยู่ในประเภทนี้ได้แก่ วงจร Single Slope Analog to Digital Slope และวงจร Dual Slope Analog to Digital Converter ซึ่งมีรายละเอียดดังต่อไปนี้

3.4.1 Single Slope Analog to Digital Converter หรือ Pulse Width Modulator Analog to Digital Converter

อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลแบบนี้มีหลักการทำงานแปลงสัญญาณต่อเนื่องให้อยู่ในรูปของพัลส์ที่มีขนาดความกว้างแปรตามเวลาซึ่งเป็นฟังก์ชั่นของระดับสัญญาณต่อเนื่องที่ต้องการแปลงค่า และสัญญาณดิจิตอลจะได้จากการนับสัญญาณความถี่อ้างอิงที่เกิดขึ้นในช่วงตั้งแต่เริ่มต้นจนกระทั่งสิ้นสุดสัญญาณพัลส์ [3] และ [11] หลักการพื้นฐานแสดงได้ดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 หลักการพื้นฐานของ Single Slope Analog to Digital Converter หรือ Pulse Width Modulator Analog to Digital Converter

หลักการพื้นฐานประกอบด้วยวงจรสร้างสัญญาณ Ramp C_I วงจรเปรียบเทียบสัญญาณ C_1 วงจรแอนด์เกท (AND Gate) A_1 วงจรนับแบบไบนารี CT_1 และวงจรควบคุมการทำงาน การทำงานของวงจรอธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องอินพุต V_{ia} ถูกป้อนเข้าสู่ขาบวก (+) ของวงจรเปรียบเทียบ C_1 วงจรควบคุมการทำงานจะทำการส่งสัญญาณรีเซทไปทำการรีเซทวงจรสร้างสัญญาณ G_1 เพื่อให้วงจร G_1 สร้างสัญญาณ Ramp จาก 0 โวลท์ โดยการอินทิเกรตสัญญาณกระแสอ้างอิง I ได้ศักดาเอ้าพุตของวงจร V_{G1} ซึ่งมีค่าแปรตามเวลา ตามสมการที่ (3.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{G1}(t) = K\int_{0}^{t_s} I_{ref}\,dt \tag{3.3}$$

โดยที่ K เป็นค่าคงที่ และ t_s เป็นเวลาที่ค่าสัญญาณเอ้าพุต $V_{G1}(t)$ เท่ากับ V_{ia}

เอ้าพุตของวงจรสร้างสัญญาณ G_1 จะต่อกับขาลบ (-) ของวงจรเปรียบเทียบ C_1 ณ เวลา t ใด ๆ ถ้าสัญญาณต่อเนื่องอินพุต $V_{ia} > V_{G1(t)}$ สัญญาณเอ้าพุตของวงจรเปรียบเทียบ C_1 จะเป็น "1" ซึ่งทำให้วงจรแอนด์เกท (AND Gate) A_1 ทำงานส่งสัญญาณนาฬิกาความถี่ F ซึ่งเท่ากับ $\frac{1}{T_{CLK}}$ เข้าสู่วงจรนับ CT_1 และเมื่อ $V_{G1(t)} = V_{ia}$ ให้เวลา ณ ขณะนั้นเป็น t_s สัญญาณเอ้าพุตจากวงจรเปรียบเทียบ C_1 จะเปลี่ยนเป็น "0" ค่าดังกล่าวจะทำให้แอนด์เกท A_1 ไม่สามารถส่งสัญญาณนาฬิกาไปยังวงจรนับ CT_1 ได้ทำให้การนับสิ้นสุด จำนวนสัญญาณนาฬิกาที่ CT_1 นับได้ในช่วงคาบเวลา T_s วงจรควบคุมการทำงานจะทำการแปลงสัญญาณดิจิตอลที่มีค่าเทียบกับสัญญาณต่อเนื่อง V_{ia}

ข้อเสียของวงจรนี้คือคาบเวลาที่ใช้ในการแปลงสัญญาณ t_s แปรตามระดับของสัญญาณต่อเนื่องอินพุต V_{ia} ทั้งนี้เนื่องจากอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนี้ใช้การนับจำนวนสัญญาณนาฬิกาในช่วงคาบเวลาที่ระดับสัญญาณเปรียบเทียบ $V_{G1(t)}$ มีการเปลี่ยนแปลงค่าจาก 0 โวลท์ไปจนกระทั่งมีค่าเท่ากับสัญญาณอินพุต V_{ia} ดังนั้นจึงมีการเปลี่ยนระดับสัญญาณได้ทีละหนึ่งระดับสัญญาณดิจิตอล LSB เท่านั้น นอกจากนั้นเสถียรภาพและความแม่นยำของวงจรขึ้นอยู่กับความผิดพลาดของวงจรสร้างสัญญาณ Ramp และวงจรสร้างสัญญาณนาฬิกา

3.4.2 Dual Slope Analog to Digital Converter หรือ Up-Down Integrator Analog to Digital Converter

หลักการนี้เป็นหลักการแบบหนึ่งของวงจร Pulse Width Modulator Analog to Digital Converter โดยจะมีความซับซ้อนและความเที่ยงตรงในการทำงานของวงจรเพิ่มขึ้น หลักการทำงานพื้นฐานของวงจรคือการสร้างพัลส์ขึ้นมาหนึ่งลูกในหนึ่งรอบการแปลงสัญญาณ ความกว้างของพัลส์ถูกคำนวณจากเวลาที่ใช้ในการอินทิเกรตสัญญาณที่แตกต่างกัน 2 ค่า คือสัญญาณต่อเนื่องอินพุตและสัญญาณอ้างอิงซึ่งอธิบายได้ดังนี้ การอินทิเกรตครั้งแรกเป็นการอินทิเกรตสัญญาณต่อเนื่องอินพุตภายในระยะเวลาที่กำหนดแน่นอนค่าหนึ่งให้เป็น t_1 ซึ่งจะได้สัญญาณเอ้าพุตของวงจรอินทิเกรต ณ เวลานั้นแตกต่างตามขนาดสัญญาณต่อเนื่องอินพุต หลังจากนั้นวงจรจะสร้างพัลส์เพื่อคำนวณค่าสัญญาณดิจิตอลโดยการทำการอินทิเกรตสัญญาณอ้างอิงในทิศทางลบ จนกระทั่งสัญญาณเอ้าพุตของวงจรอินทิเกรตมีค่าเท่ากับระดับสัญญาณที่ถูกกำหนดแน่นอนค่าหนึ่งให้มีค่า

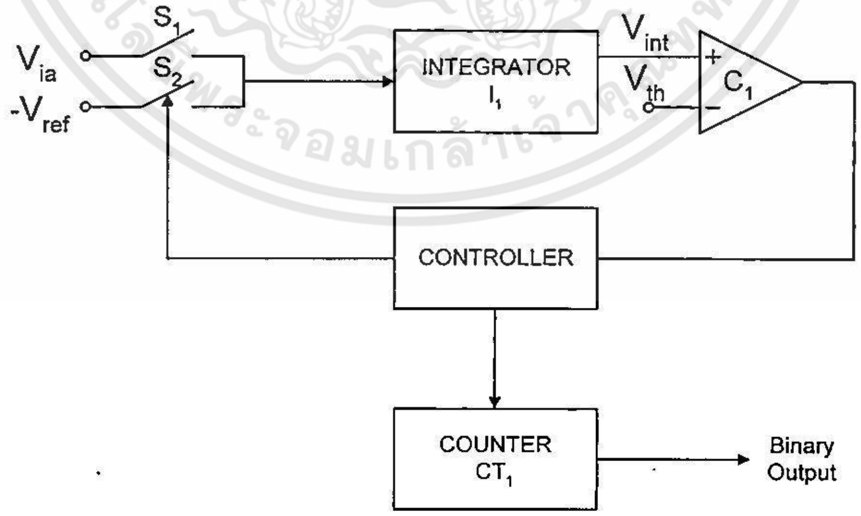
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับ V_{th} และระยะเวลาที่ใช้ในการอินทิเกรตครั้งที่ 2 มีค่าเท่ากับ t_2 กรณีที่สัญญาณต่อเนื่องอินพุตต่างกัน ค่าเวลา t_2 ของการทำงานก็จะแตกต่างกันด้วย จำนวนสัญญาณนาฬิกาที่เกิดขึ้นภายในช่วงเวลาพัลส์ t_2 วงจรควบคุมการทำงานจะแปลงค่าเป็นสัญญาณดิจิตอลที่เทียบเท่าสัญญาณต่อเนื่องอินพุต

หลักการพื้นฐานแสดงได้ดังรูปที่ 3.7 หลักการพื้นฐานประกอบด้วยวงจรอินทิเกรต I_1 วงจรเปรียบเทียบสัญญาณ C_1 วงจรควบคุมการทำงานวงจรนับแบบไบนารี CT_1 สวิตช์ S_1 และสวิตช์ S_2 โดยที่สวิตช์ S_1 และสวิตช์ S_2 จะทำงานตรงข้ามกันตลอด การทำงานนี้อธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องอินพุต V_{ia} ป้อนสู่วงจร วงจรควบคุมการทำงานจะส่งสัญญาณรีเซทไปทำการรีเซทค่าศักดาเอ้าพุต V_{int} ของวงจรอินทิเกรต I_1 จาก 0 โวลท์ ให้มีค่าเท่ากับ V_{th} ซึ่งเป็นระดับศักดาเทรชโฮลล์ของ C_1 หลังจากนั้นวงจรควบคุมการทำงานจะส่งสัญญาณไปปิดสวิตช์ S_1 เพื่อส่งสัญญาณต่อเนื่องอินพุต V_{ia} ไปยังวงจรอินทิเกรต I_1 เพื่อทำการอินทิเกรตสัญญาณเป็นระยะเวลาเท่ากับ $N_{ref}T(t_1)$ ซึ่งเป็นสัญญาณนาฬิกาอ้างอิง ได้สัญญาณเอ้าพุตจากวงจรอินทิเกรต I_1 เป็น V_{int} ความสัมพันธ์ระหว่าง V_{ia} กับ V_{int} แสดงได้สมการที่ (3.4)

$$V_{int}(t) = K\int_0^{N_{ref}T} V_{ia}\,dt + V_{int}(0)$$
$$= KN_{ref}TV_{ia} + V_{th} \qquad (3.4)$$

โดยที่ K เป็นค่าคงที่



รูปที่ 3.7 หลักการพื้นฐานของ Dual Slope Analog to Digital Converter หรือ Up-Down Integrator Analog to Digital Converter

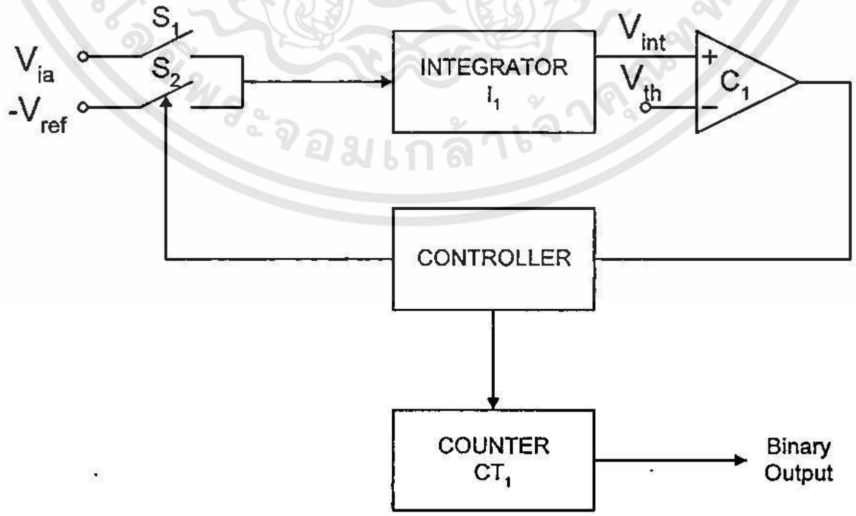
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับ V_{th} และระยะเวลาที่ใช้ในการอินทิเกรตครั้งที่ 2 มีค่าเท่ากับ t_2 กรณีที่สัญญาณต่อเนื่องอินพุตต่างกัน ค่าเวลา t_2 ของการทำงานก็จะแตกต่างกันด้วย จำนวนสัญญาณนาฬิกาที่เกิดขึ้นภายในช่วงเวลาพัลส์ t_2 วงจรควบคุมการทำงานจะแปลงค่าเป็นสัญญาณดิจิตอลที่เทียบเท่าสัญญาณต่อเนื่องอินพุต

หลักการพื้นฐานแสดงได้ดังรูปที่ 3.7 หลักการพื้นฐานประกอบด้วยวงจรอินทิเกรต I_1 วงจรเปรียบเทียบสัญญาณ C_1 วงจรควบคุมการทำงานวงจรนับแบบไบนารี CT_1 สวิตช์ S_1 และสวิตช์ S_2 โดยที่สวิตช์ S_1 และสวิตช์ S_2 จะทำงานตรงข้ามกันตลอด การทำงานนี้อธิบายได้ดังนี้ เมื่อสัญญาณต่อเนื่องอินพุต V_{ia} ป้อนสู่วงจร วงจรควบคุมการทำงานจะส่งสัญญาณรีเซทไปทำการรีเซทค่าศักดาเอ้าพุต V_{int} ของวงจรอินทิเกรต I_1 จาก 0 โวลท์ ให้มีค่าเท่ากับ V_{th} ซึ่งเป็นระดับศักดาเทรชโฮลด์ของ C_1 หลังจากนั้นวงจรควบคุมการทำงานจะส่งสัญญาณไปปิดสวิตช์ S_1 เพื่อส่งสัญญาณต่อเนื่องอินพุต V_{ia} ไปยังวงจรอินทิเกรต I_1 เพื่อทำการอินทิเกรตสัญญาณเป็นระยะเวลาเท่ากับ $N_{ref}T(t_1)$ ซึ่งเป็นสัญญาณนาฬิกาอ้างอิง ได้สัญญาณเอ้าพุตจากวงจรอินทิเกรต I_1 เป็น V_{int} ความสัมพันธ์ระหว่าง V_{ia} กับ V_{int} แสดงได้สมการที่ (3.4)

$$\begin{aligned} V_{int}(t) &= K\int_0^{N_{ref}T} V_{ia}\,dt + V_{int}(0) \\ &= KN_{ref}TV_{ia} + V_{th} \end{aligned} \tag{3.4}$$

โดยที่ K เป็นค่าคงที่



รูปที่ 3.7 หลักการพื้นฐานของ Dual Slope Analog to Digital Converter หรือ Up-Down Integrator Analog to Digital Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้นวงจรควบคุมจะเปิดสวิตช์ S_1 และปิดสวิตช์ S_2 เพื่อส่งผ่านค่าศักดาอ้างอิง $\left(-V_{ref}\right)$ เข้าสู่วงจรอินทิเกรต I_1 ซึ่งวงจรจะอินทิเกรตโดยมีความชันการทำงานของวงจรเป็นลบ ในขณะเดียวกันนั้นวงจรนับ CT_1 จะเริ่มทำการนับจำนวนสัญญาณนาฬิกาไปจนกระทั่ง V_{int} มีค่าเท่ากับ V_{th} ซึ่งเป็นค่าระดับศักดาที่กำหนด วงจรนับ CT_1 จะหยุดทำการนับให้ระยะเวลาที่วงนับ CT_1 ทำงานเท่ากับ $N_{out}T(t_2)$ วงจรควบคุมการทำงานจะแปลงจำนวนสัญญาณนาฬิกา N_{out} ที่นับได้เป็นสัญญาณดิจิตอลที่เทียบเท่ากับสัญญาณต่อเนื่องอินพุต V_{ia} สมการความสัมพันธ์ในช่วงความชันขาลงระหว่าง $\left(-V_{ref}\right)$ กับ V_{int} ดังแสดงได้ดังสมการที่ (3.5)

$$V_{\text{int}}(t) = V_{\text{int}}(0) + K\int_{0}^{N_{out}T}\left(-V_{ref}\right)dt \tag{3.5}$$

เมื่อ $t = N_{out}T$ จะได้ว่า

$$V_{int}(N_{out}T) = V_{int}(0) - KN_{out}TV_{ref} \tag{3.6}$$

จาก $V_{int}(0) = KN_{ref}TV_{ia} - V_{th}$ ดังนั้น

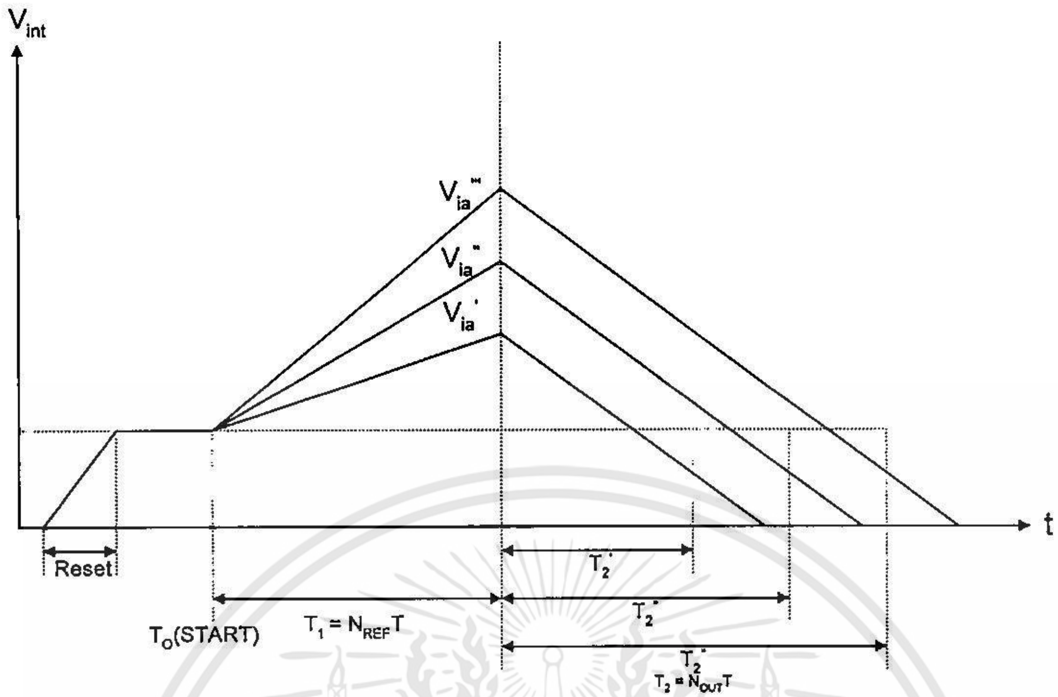
$$V_{int}(N_{out}T) = \left[KN_{ref}TV_{ia} + V_{th}\right] - KN_{out}TV_{ref} \tag{3.7}$$

หรือ

$$N_{out} = N_{ref}\left[\frac{V_{ia}}{V_{ref}}\right] \tag{3.8}$$

กราฟแสดงความสัมพันธ์ระหว่างค่าศักดาเอ้าพุตของวงจรอินทิเกรต V_{int} และ t เป็นดังรูปที่ 3.8 และจากสมการที่ (3.8) จะเห็นได้ว่าการทำงานของวงจรไม่ขึ้นกับค่าศักดาเทรชโฮลด์ของวงจรเปรียบเทียบสัญญาณ ความชันของวงจรอินทิเกรตหรือสัญญาณนาฬิกาแต่การทำงานของวงจรจะขึ้นกับระดับของศักดาอินพุตเท่านั้น ทำให้การทำงานของวงจรมีความเที่ยงตรงและแม่นยำ สำหรับในกรณีที่สัญญาณต่อเนื่องอินพุตมีค่าเต็มสเกล (ระดับศักดาอินพุตสูงสุด) เวลาที่ใช้ในการแปลงสัญญาณจะมีค่ามากที่สุดคือ $2^{(n+1)}t$ วินาที โดยที่ n เป็นจำนวนบิทที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
35430



รูปที่ 3.8 กราฟความสัมพันธ์ระหว่างค่าศักดาเอ้าพุตของวงจรอินทิเกรตกับเวลา

3.5 อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วปานกลาง

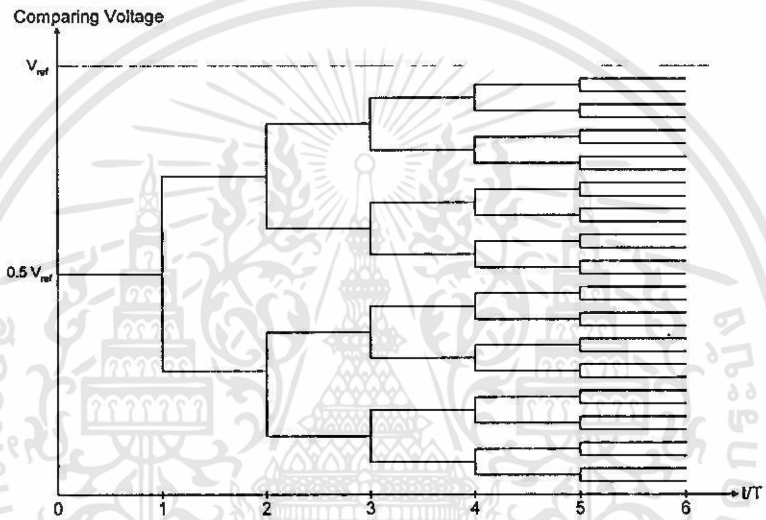
อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วปานกลาง เป็นอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่มีการทำงานเป็นแบบอนุกรมคือในการแปลงสัญญาณหนึ่งครั้งจะได้สัญญาณดิจิตอลหนึ่งบิท เมื่อเปรียบเทียบกับอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำ อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลประเภทนี้จะมีความซับซ้อนมากขึ้น เวลาที่ใช้ในการแปลงสัญญาณไม่ขึ้นกับค่าระดับสัญญาณต่อเนื่องที่ป้อนเข้าสู่วงจรแต่ขึ้นกับจำนวนบิทที่ต้องการ อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่จัดอยู่ในประเภทนี้ได้แก่ วงจร Successive Approximation Analog to Digital Converter และวงจร Algorithmic Analog to Digital Converter ซึ่งมีรายละเอียดดังต่อไปนี้

3.5.1 Successive Approximation Analog to Digital Converter

หลักการพื้นฐานคือวงจรจะทำการแปลงสัญญาณต่อเนื่องให้เป็นสัญญาณดิจิตอลทีละหนึ่งบิท เริ่มต้นจากบิทสูงสุด (*MSB*) ไปยังบิทต่ำสุด (*LSB*) นั่นคือสัญญาณต่อเนื่องอินพุตจะทำการเปรียบเทียบกับสัญญาณเปรียบเทียบค่าหนึ่งๆ โดยในแต่ละรอบการเปรียบเทียบสัญญาณที่เข้าทำการเปรียบเทียบจะมีค่าแตกต่าง ในรอบแรกค่าสัญญาณเปรียบเทียบจะมีค่าเท่ากับครึ่งหนึ่งของสัญญาณเต็มสเกลที่วงจรสามารถยอมรับได้ ในกรณีที่สัญญาณต่อเนื่องอินพุตมากกว่าสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบ สัญญาณดิจิตอลบิทสูงสุดจะมีค่าเป็น "1" แต่ถ้าสัญญาณต่อเนื่องมีค่าน้อยกว่าสัญญาณเปรียบเทียบ สัญญาณดิจิตอลบิทสูงสุดจะมีค่าเป็น "0" หลังจากนั้นวงจรจะทำการเปรียบเทียบเพื่อหาค่าดิจิตอลบิทถัดไป โดยเพิ่มหรือลดค่าสัญญาณเปรียบเทียบจากค่าเดิมอีกครึ่งหนึ่ง ซึ่งขึ้นอยู่ว่าสัญญาณเอ้าพุตของวงจรเปรียบเทียบมีค่าเป็นอะไร ถ้ามีสัญญาณเป็น "1" วงจรจะเพิ่มค่าสัญญาณเปรียบเทียบ แต่ถ้าสัญญาณนั้นมีค่าเป็น "0" วงจรจะลดค่าสัญญาณเปรียบเทียบลง การทำงานของวงจรสำหรับบิทถัดไปก็จะปฏิบัติตามขั้นตอนเหมือนที่กล่าวมาข้างต้นจนกว่าจะครบตามจำนวนบิทที่ต้องการ รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบแสดงได้ดังรูปที่ 3.9

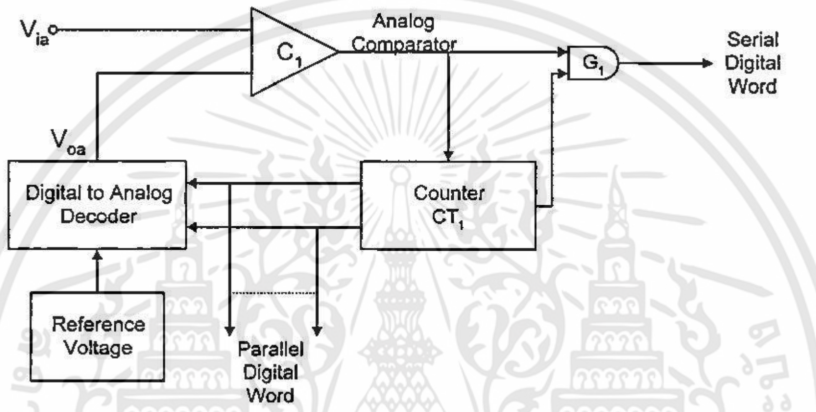


รูปที่3.9รูปแบบการเปรียบเทียบสัญญาณต่อเนื่องกับสัญญาณเปรียบเทียบSuccessive Approximation Analog to Digital Converter

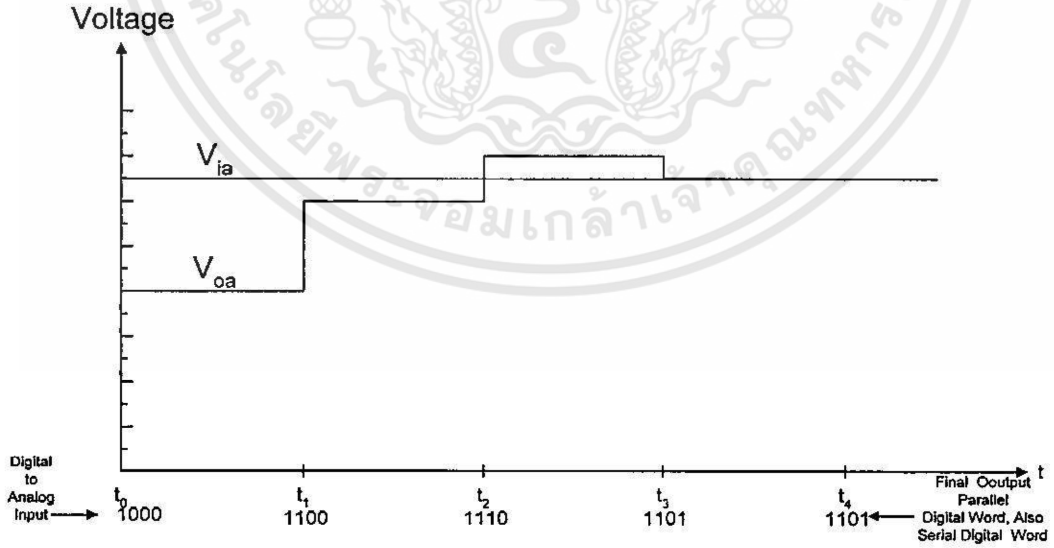
จากหลักการที่กล่าวมาข้างต้นสามารถนำมาประยุกต์ในวงจรดังแสดงในรูปที่ 3.10 วงจรประกอบไปด้วย วงจรเปรียบเทียบสัญญาณ C_1 วงจรเกท G_1 วงจรควบคุมการทำงาน อุปกรณ์แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกและแหล่งจ่ายศักดาอ้างอิง การทำงานของวงจรอธิบายได้ดังนี้เมื่อสัญญาณต่อเนื่องอินพุต V_{ia} ป้อนเข้าสู่วงจรเปรียบเทียบ C_1 วงจรควบคุมการทำงานจะกำหนดค่าเริ่มต้นของสัญญาณอินพุตบิทสูงสุดของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก ให้เป็น "1" และค่าบิทอื่นๆ ให้เป็น "0" วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกจะทำการแปลงสัญญาณดังกล่าวเป็นสัญญาณเอ้าพุต V_{oa} ซึ่งต่อเข้าไปยังวงจรเปรียบเทียบ C_1 เพื่อเปรียบเทียบกับสัญญาณอินพุต V_{ia} ถ้า $V_{ia} > V_{oa}$ สัญญาณเอ้าพุตของวงจร C_1 จะเป็น "1" แต่ถ้า $V_{ia} < V_{oa}$ สัญญาณเอ้าพุตของ C_1 จะเป็น "0" ค่าสัญญาณเอ้าพุต C_1 นี้จะส่งไปยังวงจรควบคุมการทำงาน เพื่อที่จะนำไปใช้ในการกำหนดค่าสัญญาณเปรียบเทียบในครั้งต่อไปและสำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิตอลของบิทนั้นจะส่งไปยังวงจรถัดไปผ่านไปยังวงจรเกท G_1 ซึ่งการทำงานของเกท G_1 จะถูกควบคุมโดยจังหวะสัญญาณนาฬิกา หลังจากนั้นวงจรจะเริ่มต้นการทำงานเพื่อหาบิทถัดไปตามขั้นตอนที่กล่าวมาข้างต้น โดยวงจรควบคุมการทำงานไม่เปลี่ยนแปลง ป้อนเข้าอุปกรณ์แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกวงจรจะสิ้นสุดการทำงานในการแปลงสัญญาณต่อเนื่องหนึ่งค่าเมื่อวงจรได้ทำการแปลงสัญญาณจนครบตามจำนวนบิทที่ต้องการ ตัวอย่างความสัมพันธ์ของสัญญาณต่อเนื่องเอ้าพุต V_{oa} จากวงจรสัญญาณดิจิตอลเป็นสัญญาณอนาลอกกับสัญญาณต่อเนื่องขาเข้า V_{ia} แสดงได้ดังกราฟรูปที่ 3.12



รูปที่ 3.10 วงจรพื้นฐานของ Successive Approximation Analog to Digital Converter



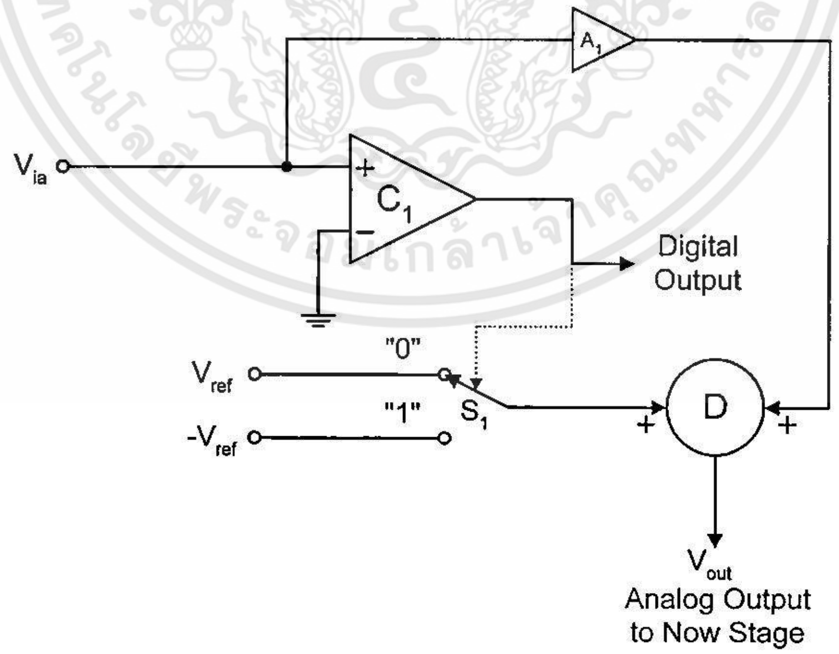
รูปที่ 3.11 ตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่อเนื่องเอ้าพุต V_{oa} จากสัญญาณดิจิตอลเป็นสัญญาณอนาลอกกับสัญญาณต่อเนื่องอินพุต V_{ia}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของวงจรชนิดนี้ คือใช้ขั้นตอนในการแปลงสัญญาณเพียง n ขั้นตอนเท่านั้น โดยที่ n เป็นจำนวนบิทที่ต้องการ ทำให้ความเร็วในการแปลงสัญญาณดีกว่าอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วต่ำ 2 แบบที่กล่าวมาข้างต้น แต่ความเที่ยงตรงและความแม่นยำของวงจรขึ้นอยู่กับอุปกรณ์แปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (Digital to Analog Converter) ที่ใช้ในวงจรซึ่งจะต้องมีค่าความผิดพลาดในการทำงานไม่เกิน $\pm 0.5LSB$ มิฉะนั้นจะทำให้สัญญาณอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลมีความผิดพลาดมากขึ้น

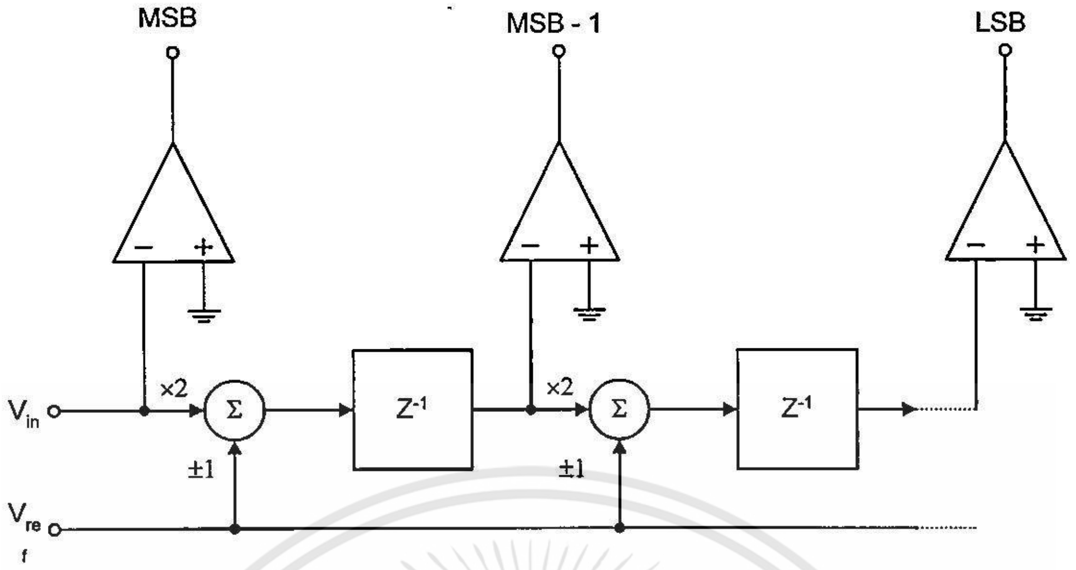
3.5.2 อุปกรณ์แปลงสัญญาณดิจิตอลแบบอัลกอริธมิค

หลักการแปลงสัญญาณของวงจรเริ่มต้นที่จากบิทสูงสุด (MSB) ไปหาบิทต่ำสุด (LSB) วงจรประกอบด้วยวงจรย่อยหรืออุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณ ขนาดหนึ่งบิท จำนวนเท่ากับจำนวนบิทที่ต้องการต่ออนุกรมกัน โดยวงจรย่อยแต่ละวงจรมีหลักในการทำงานดังนี้ คือวงจรกระทำการขยายสัญญาณต่อเนื่องอินพุตเป็นสองเท่าแล้วนำสัญญาณที่ได้ไปบวกหรือลบกับสัญญาณอ้างอิงของวงจรผลลัพธ์ที่ได้จะส่งผ่านเป็นสัญญาณอินพุตสำหรับวงจรย่อยบิทถัดไป การบวกหรือลบสัญญาณที่กล่าวข้างต้นขึ้นอยู่กับเครื่องหมายของสัญญาณอินพุตของวงจรย่อยนั้น ถ้าสัญญาณอินพุตเป็นบวกวงจรจะลบสัญญาณอ้างอิงจากสัญญาณอินพุต และสัญญาณดิจิตอลสำหรับบิทนี้มีค่าเป็น "1" แต่ถ้าสัญญาณอินพุตเป็นลบวงจรจะสั่งให้ทำการบวกสัญญาณทั้งสองเข้าด้วยกัน สัญญาณดิจิตอลที่ได้จะมีค่าเป็น "0"



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 3.12 (ก) หลักการทำงาน และ (ข) วงจรพื้นฐานของ Algorithmic Analog to Digital Converter

รายละเอียดพื้นฐานของวงจรแสดงได้ดังรูปที่ 3.12 วงจรย่อยแต่ละวงจรจะประกอบด้วย วงจรเปรียบเทียบสัญญาณ C_1 วงจรขยายสัญญาณขนาดสองเท่า A_1 วงจรบวก D_1 วงจรควบคุมการทำงานของสวิตช์ S_1 เมื่อสัญญาณต่อเนื่องอินพุต V_{ia} ป้อนเข้าสู่วงจรย่อยวงจรแรก สัญญาณจะเข้า V_{ia} จะเปรียบเทียบกับระดับศักดาดิน (0โวลท์) ถ้าสัญญาณอินพุต $V_{ia} > 0$ สัญญาณเอ้าพุตของวงจรเปรียบเทียบ C_1 จะมีค่าเป็น “1” วงจรจะควบคุมสวิตช์ S_1 ให้ส่งผ่านสัญญาณอ้างอิง $\left(-V_{ref}\right)$ ไปทำการบวกกับสัญญาณอินพุตที่ผ่านวงจรขยายคือ $2V_{ia}$ แต่ถ้า $V_{ia} < 0$ สัญญาณเอ้าพุตของวงจรเปรียบเทียบ C_1 จะมีค่าเป็น “0” วงจรจะควบคุมสวิตช์ S_1 ให้ผ่านสัญญาณอ้างอิง V_{ref} ไปบวกกับสัญญาณ $2V_{ia}$ ผลลัพธ์ของวงจรบวก D_1 จะเป็นสัญญาณอินพุตสำหรับวงจรย่อยบิทถัดไป ความสัมพันธ์ระหว่างสัญญาณต่อเนื่องอินพุต V_{ia} กับสัญญาณดิจิตอล D_0 สามารถแสดงได้ดังสมการที่ (3.9)

$$V_{ia} = V_{ref} \sum_{i=1}^{n} B_i 2^{-i} \tag{3.9}$$

โดยที่ $B_1 = 1$: ถ้าบิทนั้นมีค่าเป็น “1”
และ $B_i = -1$: ถ้าบิทนั้นมีค่าเป็น “0”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเช่น ต้องการแปลงสัญญาณต่อเนื่องเป็นสัญญาณดิจิตอลจำนวน 3 บิท สมมุติให้ $V_{ia}=2$ โวลท์ และ $V_{ref}=3$ โวลท์ ดังนั้นจะได้สัญญาณดิจิตอลมีค่าเท่ากับ “110” เมื่อทำการคำนวณสัญญาณกลับเพื่อหาระดับสัญญาณต่อเนื่องอินพุตจะได้

$$V_{ia} = 3\left(\frac{1}{2}+\frac{1}{4}+\frac{1}{8}\right) \text{ หรือเท่ากับ 1.875โวลท์} \tag{3.10}$$

จะเห็นได้ว่าสัญญาณที่ได้จากการแปลงกลับจะมีค่าใกล้เคียงกับสัญญาณต่อเนื่องอินพุต ซึ่งถ้าจำนวนบิทเพิ่มขึ้นค่าสัญญาณดิจิตอลจะมีค่าใกล้เคียงกับสัญญาณต่อเนื่องอินพุตมากขึ้นวงจรชนิดนี้มีข้อดีคือสัญญาณต่อเนื่องอินพุตสามารถเป็นสัญญาณที่เป็นได้ทั้งสัญญาณบวกหรือสัญญาณลบ (Bipolar Signal) โดยบิทแรกสามารถชี้ให้เห็นทิศทางของสัญญาณ นอกจากนั้นเวลาที่ใช้ในการเปลี่ยนแปลงสัญญาณใช้เพียง n รอบสัญญาณนาฬิกาเท่านั้น โดยที่ n เป็นจำนวนบิทที่ต้องการและการเพิ่มหรือลดจำนวนบิทของวงจรทำได้ง่าย

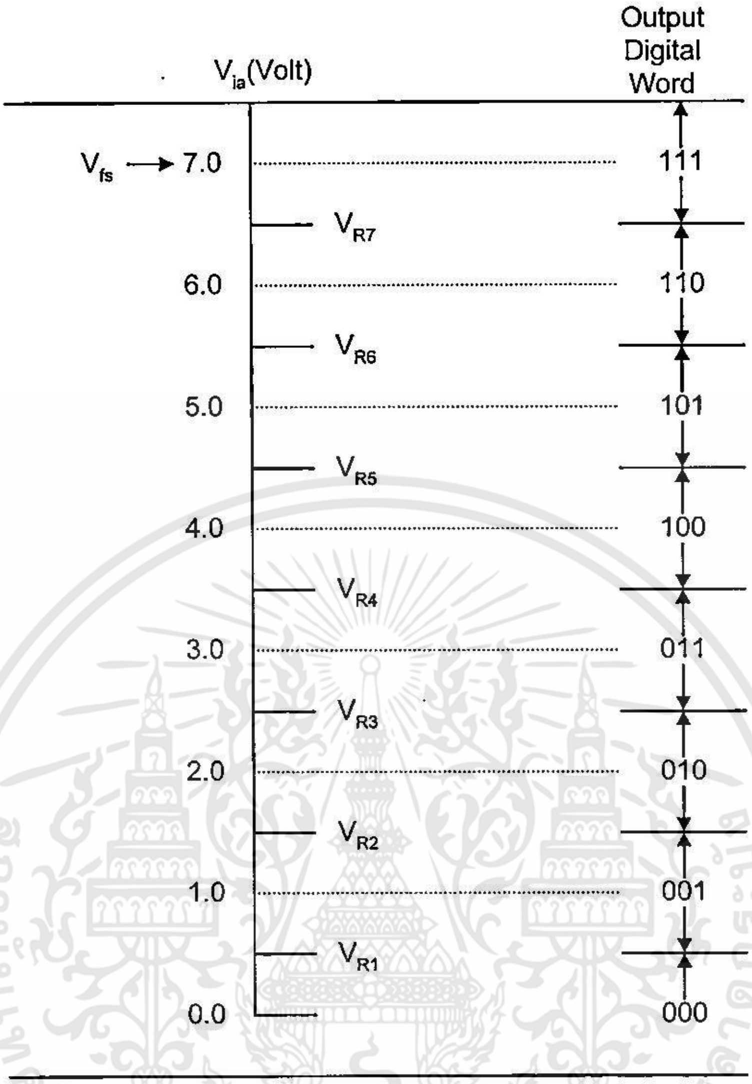
3.6 อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วสูง

อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลความเร็วสูงเป็นวงจรแปลงสัญญาณที่มีความซับซ้อนมากและขนาดของวงจรจะแปรตามจำนวนบิทที่ต้องการทำให้วงจรมีขนาดใหญ่กินพื้นที่มาก หลักการที่จะกล่าวถึงในประเภทนี้คือหลักการ Parallel Analog to Digital Converter

3.6.1 Parallel Analog to Digital Converter หรือ Flash Analog to Digital Converter

ค่าแตกต่างกันขั้นละหนึ่งระดับสัญญาณพร้อม ๆ กัน ดังนั้นจำนวนสัญญาณเปรียบเทียบจึงมีจำนวนเท่ากับ (2^n-1) โดยที่ n เป็นจำนวนบิทที่ต้องการ สัญญาณเอ้าพุตที่ได้จากการเปรียบเทียบจะนำมาทำการเข้ารหัสเพื่อให้ได้ค่าสัญญาณดิจิตอลที่เทียบเท่าสัญญาณต่อเนื่องอินพุต ซึ่งหลักการข้างต้นสามารถเขียนเป็นแผนผังได้ดังรูปที่ 3.13

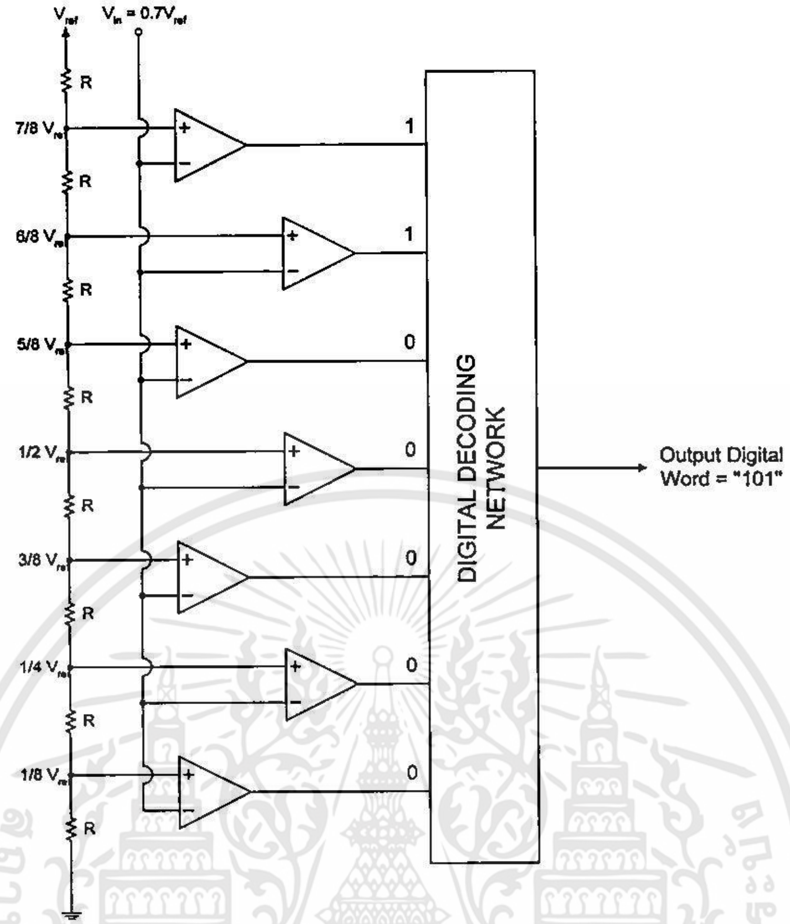
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 หลักการทำงานของ Parallel Analog to Digital Converter

จากหลักการสามารถนำมาพัฒนาเป็นหลักการพื้นฐานแสดงดังรูปที่ 3.14 วงจรประกอบไปด้วยสัญญาณเปรียบเทียบจำนวน $\left(2^n - 1\right)$ ค่า วงจรเปรียบเทียบสัญญาณจำนวน $\left(2^n - 1\right)$ วงจร และวงจรถอดรหัสสัญญาณ สัญญาณต่อเนื่องอินพุต V_{ia} จะทำการเปรียบเทียบกับ V_{ref} ถ้า $V_{ia} > V_{refi}$ สัญญาณเอ้าพุตจากวงจรเปรียบเทียบที่ i จะมีค่าเป็น "1" แต่ถ้า $V_{ia} < V_{refi}$ สัญญาณเอ้าพุตจากวงจรเปรียบเทียบที่ i นั้นจะมีค่าเป็น "0" โดยที่ i เป็นวงจรใด ๆ มีค่า ตั้งแต่ 1 ถึง $\left(2^n - 1\right)$ ค่า จะนำมาเข้ารหัสเพื่อหาค่าสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 หลักการพื้นฐานของ Parallel Analog to Digital Converter

ซึ่งจะเห็นได้ว่าการทำงานประกอบด้วยขั้นตอนเพียง 2 ขั้นตอนเท่านั้นคือขั้นตอนการเปรียบเทียบและขั้นตอนเข้ารหัส ทำให้การแปลงสัญญาณ n บิทสามารถทำได้ในหนึ่งสัญญาณนาฬิกาเท่านั้น แต่อุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลชนิดนี้ถ้าต้องการเพิ่มความละเอียดในการแปลงอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ชนิดนี้เหมาะที่จะใช้กับการแปลงสัญญาณที่ไม่ต้องการความละเอียดมากนัก ซึ่งปกติจะอยู่ระหว่าง 3-6 บิท นอกจากนั้นความผิดพลาดของวงจรยังขึ้นกับวงจรเปรียบเทียบและค่าสัญญาณเปรียบเทียบอีกด้วย

3.7 สรุป

ในบทนี้ได้กล่าวถึงอินพุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลซึ่งมี 3 ประเภท หลักการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและประเภทของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลซึ่งแบ่งตามความเร็วได้ 3 ประเภทรวมทั้งข้อดีและข้อเสียของวงจรแต่ละประเภทเพื่อที่จะได้นำไปประยุกต์ใช้งานได้ตามความเหมาะสมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ทฤษฎี

4.1 บทนำ

ทฤษฎีและวงจรที่เกี่ยวข้องในอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter) ขนาด n บิทที่ทำงานในโหมดกระแส เนื่องจากวิทยานิพนธ์นี้มีวัตถุประสงค์ในการศึกษาค้นคว้าวิจัยอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท โหมดกระแสซึ่งประกอบด้วยวงจรย่อย คือวงจรสะท้อนกระแสแบบคาสโคด (Cascode Current Mirror) วงจรเปรียบเทียบกระแส (Current Comparator) วงจรอัลกอริธมิคของตัวแปลงสัญญาณขนาด 1 บิท วงจรตามและคงสัญญาณ (Track and Hold) และวงจรชิฟรีจิสเตอร์ (Shift Register) ดังนั้นในบทนี้จึงได้กล่าวเรื่องของทฤษฎีและวงจรที่เกี่ยวข้องที่ได้มีการนำมาใช้เพื่อการออกแบบเป็นวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิทในวิทยานิพนธ์นี้ เพื่อจะได้เป็นพื้นฐานพอสังเขปก่อนการนำไปใช้เพื่อออกแบบเป็นวงจรที่จะกล่าวถึงในบทต่อไป

4.2 วงจรสะท้อนกระแสแบบคาสโคดโดยใช้มอสทรานซิสเตอร์

วงจรสะท้อนกระแสแบบคาสโคดแสดงในรูปที่ 4.1 สามารถที่จะแสดงความสัมพันธ์ระหว่างกระแส I_{out} และ I_{in} ในรูปของสัญญาณขนาดเล็กได้ดังนี้[14]

$$I_{out} = \frac{g_{m2} g_{m3}}{g_{m1} g_{m2}} I_{in} \tag{4.1}$$

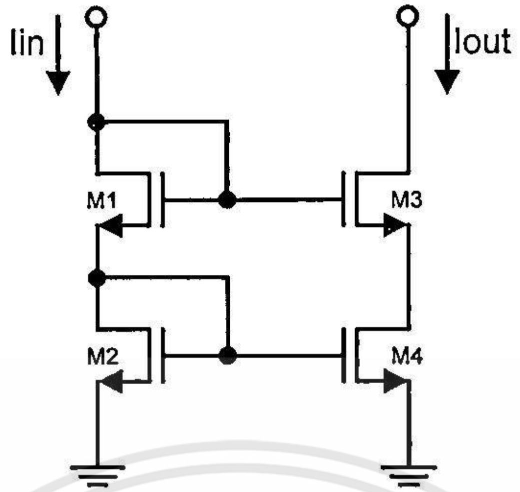
และค่าความต้านทานระหว่างขาเดรนและขาซอสของมอสทรานซิสเตอร์ M3 จะมีค่าเท่ากับ

$$r_{out} = r_{d2} + r_{d3} + g_{m3} r_{d2} r_{d3} \cong g_{m3} r_{d2} r_{d3} \tag{4.2}$$

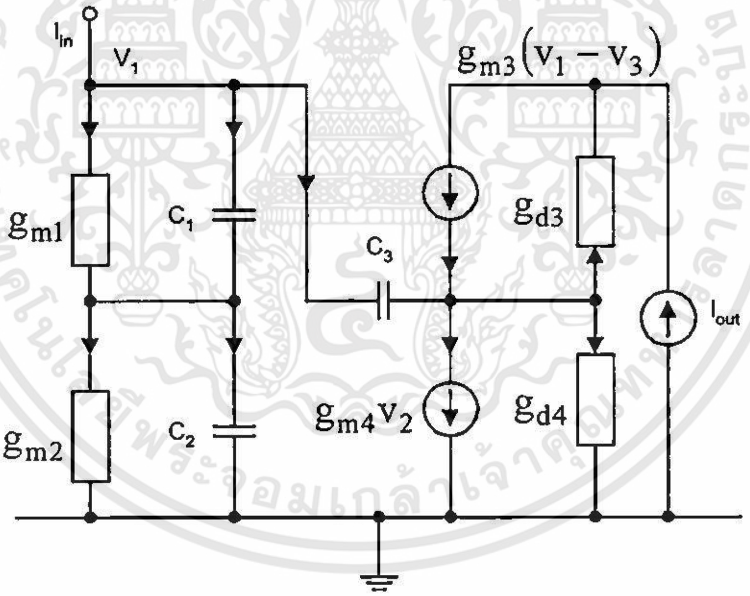
เมื่อ $g_{m3} r_{d2} r_{d3} \geq (r_{d2} + r_{d3})$

r_{di} คือค่าความต้านทานระหว่างขาเดรนและขาซอสของมอสทรานซิสเตอร์ Mi วงจรสมมูลของวงจรสะท้อนกระแสแบบคาสโคดและแสดงในรูปที่ 4.2 การหาฟังก์ชั่นการส่งผ่านจะสามารถหาได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 วงจรสะท้อนกระแสแบบคาสโคด



รูปที่ 4.2 วงจรสมมูลของวงจรสะท้อนกระแสแบบคาสโคด

ที่จุด V_1

$$I_{in} = (g_{m1} + C_1 s)(V_1 - V_2) + C_3 s(V_1 - V_3) \tag{4.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{in} = (g_{m1} + C_y s)V_1 - (g_{m1} + C_1 s)V_2 - C_3 s V_3 \tag{4.4}$$

เมื่อ $C_y = C_1 + C_3$

ที่จุด V_2

$$(g_{m1} + C_1 s)(V_1 - V_2) - (g_{m2} + C_2 s)V_2 = 0 \tag{4.5}$$

$$(g_{m1} + C_1 s)V_1 - (g_m + C_x s)V_2 = 0 \tag{4.6}$$

เมื่อ $g_m = g_{m1} + g_{m2}$ และ $C_x = C_1 + C_2$

$$V_2 = \frac{(g_{m1} + C_1 s)}{(g_m + C_x s)} V_1 \tag{4.7}$$

ที่จุด V_3

$$g_{m3}(V_1 - V_3) + C_3 s(V_1 - V_3) - g_{m4} V_2 - (g_{d3} + g_{d4})V_3 = 0 \tag{4.8}$$

จากสมการที่ (4.7) และ (4.8) จะได้

$$V_3 = \frac{(g_{m1} + C_x s)}{(g_m + C_x s)} V_1 \tag{4.9}$$

แทนค่าสมการที่ (4.7) และ (4.9) ลงในสมการที่ (4.4)

$$I_{in} - \left[\frac{C_1 C_2 s^2 + (C_1 g_m + C_3 g_{m2})s + g_{m1} g_{m2}}{(g_m + C_x s)}\right] V_1 = 0 \tag{4.10}$$

กระแสจุดออก I_{out} จะหาได้จาก

$$I_{out} = g_{m3}(V_1 - V_3) - g_{d3} V_3 \tag{4.11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (4.9), (4.10) และ (4.11) จะได้

$$\frac{I_{out}}{I_{in}} = \frac{g_{m2}g_{m3}}{C_1C_2s^2 + \left(C_1g_m + C_3g_{m2}\right)s + g_{m1}g_{m2}} \tag{4.12}$$

ค่าความผิดพลาดของวงจรสะท้อนกระแสมีค่า [3]

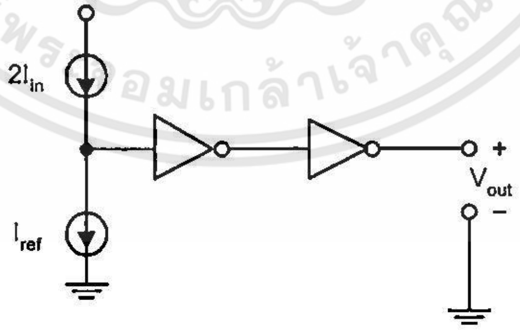
$$\frac{\Delta I}{I_{in}} = \frac{I_{out} - I_{in}}{I_{in}} \tag{4.13}$$

แทนค่าสมการที่ (4.10) และ(4.11) ลงในสมการที่ (4.13)

$$\frac{\begin{array}{l}\left[(g_{m3}-1)C_1^2 + (2g_{m3}-1)C_1C_2 + (g_{m3}-1)C_2^2\right]s^2 + \\ \left[(-3g_{m1} + 2g_{m2} + 2g_{m1}g_{m3} + 2g_{m2}g_{m3})C_1(-2g_m + 2g_mg_{m3})C_2 + g_{m2}C_3\right]s + \\ \left[-g_{m1}^2 + g_{m2}^2 + g_{m1}^2g_{m3} + 2g_{m1}g_{m2}\right]\end{array}}{C_1C_2s^2 + \left(C_1g_m + C_3g_{m2}\right)s + g_{m1}g_{m2}} \tag{4.14}$$

4.3 วงจรเปรียบเทียบกระแส

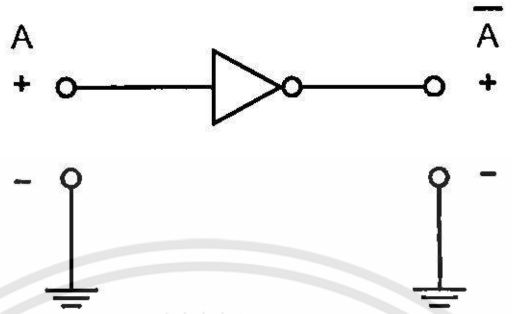
วงจรเปรียบเทียบกระแส (Current Comparator) ใช้ในการเปรียบเทียบกระแสสองเท่าอินพุต $\left(2I_{in}\right)$ กับกระแสอ้างอิง $\left(I_{ref}\right)$ จะประกอบด้วยวงจรอินเวอเตอร์สองตัวอนุกรมกันซึ่งบล็อกไดอะแกรมแสดงดังรูปที่ (4.3)



รูปที่ 4.3 บล็อกไดอะแกรมของวงจรเปรียบเทียบกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินเวอเตอร์เป็นวงจรที่มีอินพุตเพียงขาเดียวและเอ้าพุตจะมีสถานะตรงกันข้ามกับอินพุตซึ่งมีลักษณะทางลอจิกดังแสดงในรูปที่ 4.4 ความสัมพันธ์ระหว่างระดับสัญญาณอินพุตกับเอ้าพุตของวงจรสามารถแสดงได้ดังตารางที่ (4.1)



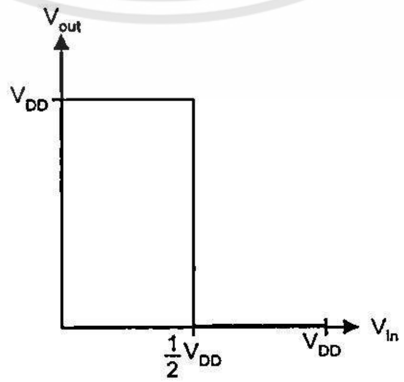
รูปที่ 4.4 สัญญลักษณ์ลอจิก

ตารางที่ 4.1 ลอจิกและตารางความจริงเกี่ยวกับแรงดัน

A	$\overline{A}$
0	1
1	0

V_{IN}	V_{OUT}
0	V_{DD}
V_{DD}	0

จากตารางที่ (4.1) เมื่อสมมุติว่าแรงดันต่ำสุด คือ 0 โวลท์ หรือกราวด์และแรงดันสูงสุด คือ V_{DD} ดังนั้นลอจิก "1" = V_{DD} ลอจิก "0" = 0 โวลท์ รูปที่ 4.5 แสดงคุณลักษณะการส่งผ่านแรงดันของอินเวอเตอร์ในอุดมคติ (Voltage Tranfer Characteristic, VTC)



รูปที่ 4.5 คุณลักษณะการส่งผ่านแรงดันของอินเวอเตอร์ในอุดมคติ

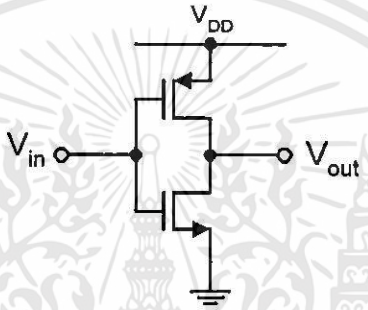
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณลักษณะของทรานซิสเตอร์ซีมอสอินเวอเตอร์วงจรพื้นฐานของซีมอสอินเวอเตอร์แสดงดังรูปที่ 4.6 โดย (V_{in}) ควบคุมการไบอัสที่ขาเกทของทรานซิสเตอร์ทั้งสองตัว ขาเกทของทรานซิสเตอร์ทั้งสองต่อเข้าด้วยกันเป็นอินพุตของวงจร

$$V_{in} = V_{gsn} = V_{DD} - V_{sgp} \tag{4.15}$$

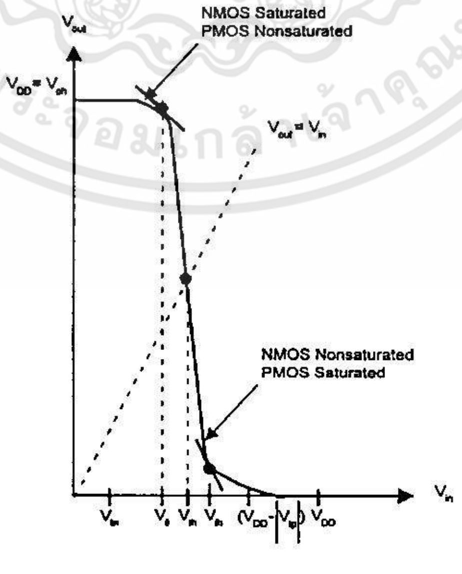
ขาเดรนของทรานซิสเตอร์ต่อเข้าด้วยกันเป็นเอ้าพุตของวงจร

$$V_{out} = V_{dsn} = V_{DD} - V_{sdp} \tag{4.16}$$



รูปที่ 4.6 วงจรอินเวอเตอร์ซีมอส

กราฟ V_{TC} สำหรับอินเวอเตอร์แบบซีมอสแสดงดังรูปที่ 4.7



รูปที่ 4.7 กราฟแสดงคุณลักษณะการส่งผ่านแรงดันของอินเวอเตอร์แบบซีมอสในอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟ V_{TC} ของอินเวอเตอร์แบบซีมอสเริ่มต้นที่แรงดันอินพุต $V_{in} < V_{tn}$ ดังนั้นทรานซิสเตอร์เอ็นมอสจะคัทอ็อฟ $I_{dn} = I_{dp} = 0$ จะทำให้ V_{gs} ที่ทรานซิสเตอร์พีมอสดังนี้

$$V_{out} = V_{oh} = V_{DD} - V_{sdp} \cong V_{DD} \tag{4.17}$$

ขณะที่ $V_{sdp} = 0$ จากสมการที่ (4.16) จะทำให้ $V_{out} = V_{DD}$ เมื่อ V_{in} เพิ่มมากกว่า V_{tn} ทรานซิสเตอร์ชนิดเอ็นจะทำงานในช่วงอิ่มตัว ขณะทรานซิสเตอร์ชนิดพีทำงานอยู่ในช่วงไม่อิ่มตัว จะได้ $I_{dp} = I_{dn}$

$$\frac{\beta_n}{2}(V_{in} - V_{tn})^2 = \frac{\beta_P}{2}\left[\left(2V_{DD} - V_{in} - |V_{tp}|\right)(V_{DD} - V_{out}) - (V_{DD} - V_{out})^2\right] \tag{4.18}$$

เมื่อทรานซิสเตอร์ชนิดพีทำงานในช่วงคัทอ็อฟ $|V_{gsp}| < |V_{tp}|$ เมื่อทรานซิสเตอร์ชนิดพีทำงานในช่วงไม่อิ่มตัว $|V_{dsp}| < |V_{gsp} - V_{tp}|$

$$I_{dp} = \frac{\beta_P}{2}\left[2\left(V_{sgp} + V_{tp}\right)V_{sp} - V_{sdp}^2\right] \tag{4.19}$$

เมื่อทรานซิสเตอร์ชนิดพีทำงานในช่วงอิ่มตัว $|V_{dsp}| \geq |V_{gsp} - V_{tp}|$

$$I_{dp} = \frac{\beta_P}{2}\left(V_{sgp} + V_{tp}\right)^2 \tag{4.20}$$

เมื่อ V_{in} เพิ่มขึ้นอีก V_{out} จะลดลงได้

$$\left(V_{DD} - V_{out}\right) > \left(V_{DD} - V_{in} - |V_{tp}|\right) \tag{4.21}$$

เมื่อทรานซิสเตอร์ชนิดพีและเอ็นทำงานในช่วงอิ่มตัวจะได้

$$\frac{\beta_n}{2}(V_{in} - V_{tn})^2 = \frac{\beta_P}{2}\left(V_{DD} - V_{in} - |V_{tp}|\right)^2 \tag{4.22}$$

เมื่อ V_{out} ลดลงถึงระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{out} < (V_{in} - V_{tn}) \tag{4.23}$$

เมื่อทรานซิสเตอร์ชนิดเอ็นอยู่ในสภาวะไม่อิ่มตัวจะได้

$$\frac{\beta_n}{2}\left[2(V_{in} - V_{tn})V_{out} - V_{out}^2\right] = \frac{\beta_p}{2}\left(V_{DD} - V_{in} - |V_{tp}|\right)^2 \tag{4.24}$$

เมื่อ V_{in} เพิ่มขึ้นจนเท่ากับ V_{DD} หรือ V_{in} จะได้

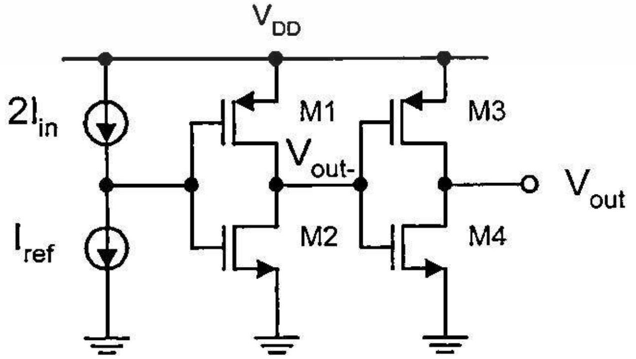
$$(V_{DD} - V_{in}) < |V_{tp}| \tag{4.25}$$

ดังนั้นทรานซิสเตอร์พีมอสอยู่ในสภาวะคัทออฟจะได้ $I_{dn} = I_{dp} = 0$ จะได้

$$V_{out} = V_{ol} = V_{dsn} \cong 0 \text{ โวลท์} \tag{4.26}$$

ซึ่งจะได้วงจรอินเวอเตอร์ถ้า $V_{in} < V_{tn}$ จะได้เอ้าพุตเป็นสภาวะลอจิก "1" และเมื่อ $(V_{DD} - V_{in}) < |V_{tp}|$ เอ้าพุตเป็นสภาวะลอจิก "0"

วงจรเปรียบเทียบกระแส (Current Comparator) ที่นำมาใช้ในอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท แสดงดังรูปที่ 4.8 โดยนำวงจรอินเวอเตอร์สองตัวมาคาสแคดกัน ซึ่งได้อธิบายหลักการทำงานของวงจรอินเวอเตอร์ไว้ในข้างต้น การนำวงจรอินเวอเตอร์มาคาสแคดกันสองวงจรเพื่อต้องการค่าเอ้าพุตมีค่าเป็นค่าบวกเพราะเอ้าพุตของวงจรอินเวอเตอร์ M1 และ M2 จะเปรียบเทียบกระแสสองเท่าอินพุต $(2I_{in})$ กับกระแสอ้างอิง (I_{ref}) จะได้เอ้าพุตเท่ากับ (V_{out-}) เอ้าพุต (V_{out-}) ของวงจรอินเวอเตอร์ M1 และ M2 จะเป็นอินพุตให้กับวงจรอินเวอเตอร์ M3 และ M4 ซึ่งได้เอ้าพุตของวงจรอินเวอเตอร์ M3 และ M4 มีค่าเท่ากับ (V_{out})



รูปที่ 4.8 วงจรเปรียบเทียบกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิท

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิทดังแสดงในรูปที่ 4.10 และ 4.11 จะประกอบด้วยวงจรย่อย 2 วงจร คือวงจรสะท้อนกระแส (Current Mirror) วงจรเปรียบเทียบกระแส (Current Comparator) หลักการของบิทเซลล์ขนาด 1 บิท จะทำตามเงื่อนไขดังสมการที่ (4.25) และ (4.26)

$$\text{Digital Output:} \begin{cases} 2I_{in} > I_{ref} = D_i = "1" \\ 2I_{in} \leq I_{ref} = D_i = "0" \end{cases} \tag{4.25}$$

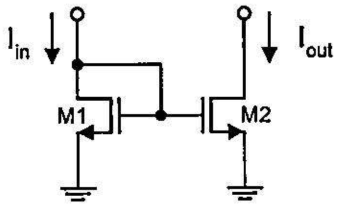
และ

$$\text{Analog Output:} \begin{cases} 2I_{in} > I_{ref} = 2I_{in} - I_{ref} \\ 2I_{in} \leq I_{ref} = 2I_{in} \end{cases} \tag{4.26}$$

จากสมการที่ (4.25) และ (4.26) สามารถอธิบายหลักการพื้นฐานได้ดังนี้คือที่ดิจิตอลเอ้าพุต เมื่อกระแสสองเท่าของอินพุต $(2I_{in})$ มากกว่ากระแสอ้างอิง (I_{ref}) จะได้รับสัญญาณดิจิตอลเอ้าพุตเท่ากับ “1” และกระแสสองเท่าของอินพุต $(2I_{in})$ น้อยกว่าหรือเท่ากับกระแสอ้างอิง (I_{ref}) จะได้สัญญาณดิจิตอลเอ้าพุตเท่ากับ “0” และที่อนาลอกเอ้าพุตเมื่อกระแสสองเท่าของอินพุต $(2I_{in})$ มากกว่ากระแสอ้างอิง (I_{ref}) จะได้สัญญาณอนาลอกเอ้าพุตเท่ากับสองเท่าของกระแสอินพุต ลบด้วยกระแสอ้างอิง $(2I_{in} - I_{ref})$ และกระแสสองเท่าของอินพุต $(2I_{in})$ น้อยกว่าหรือเท่ากับกระแสอ้างอิง (I_{ref}) จะได้สัญญาณอนาลอกเอ้าพุตเท่ากับสองเท่าของกระแสอินพุต $(2I_{in})$

จากหลักการพื้นฐานของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิท สามารถนำมาสร้างวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิท วงจรจะมีความเที่ยงตรงในการแปลงสัญญาณขึ้นอยู่กับวงจรสะท้อนกระแสในรูปที่ 4.10 แสดงวงจรสะท้อนกระแสแบบพื้นฐาน (Basic Current Mirror) ความสัมพันธ์ระหว่างกระแสเอ้าพุต I_{out} และกระแสอินพุต I_{in} สำหรับสัญญาณขนาดเล็กแสดงดังสมการที่ (4.27) [13]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 วงจรสะท้อนกระแสแบบพื้นฐาน

$$\frac{I_{out}}{I_{in}} = \frac{g_{m2}}{g_{m1}} \tag{4.27}$$

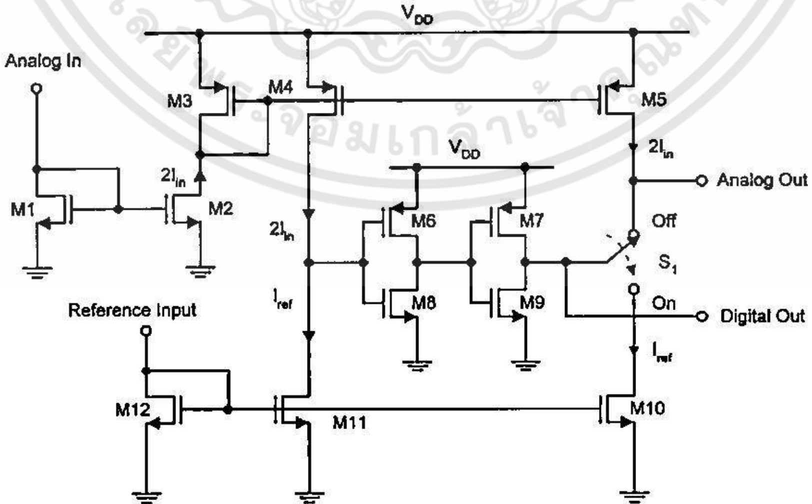
โดยที่ g_{mi} คืออัตราขยายความนำของสัญญาณขนาดเล็กในมอสทรานซิสเตอร์ Mi

สำหรับค่าความต้านทานเอ้าพุตที่พิจารณาในรูปที่ 4.10 จะมีค่าเท่ากับ

$$r_{out} = \frac{1}{g_{d2}} \tag{4.28}$$

เมื่อ g_{d2} เป็นค่าความนำระหว่างขาขาเดรนและขาขาซอสของทรานซิสเตอร์ M2

ในรูปที่ 4.10 จะอธิบายวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิท โดยใช้วงจรสะท้อนกระแสแบบพื้นฐานจะมีหลักการทำงานเป็นไปตามเงื่อนไขในสมการที่ (4.25) และ (4.26)



รูปที่ 4.10 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิทโดยใช้วงจรสะท้อนกระแสแบบพื้นฐาน

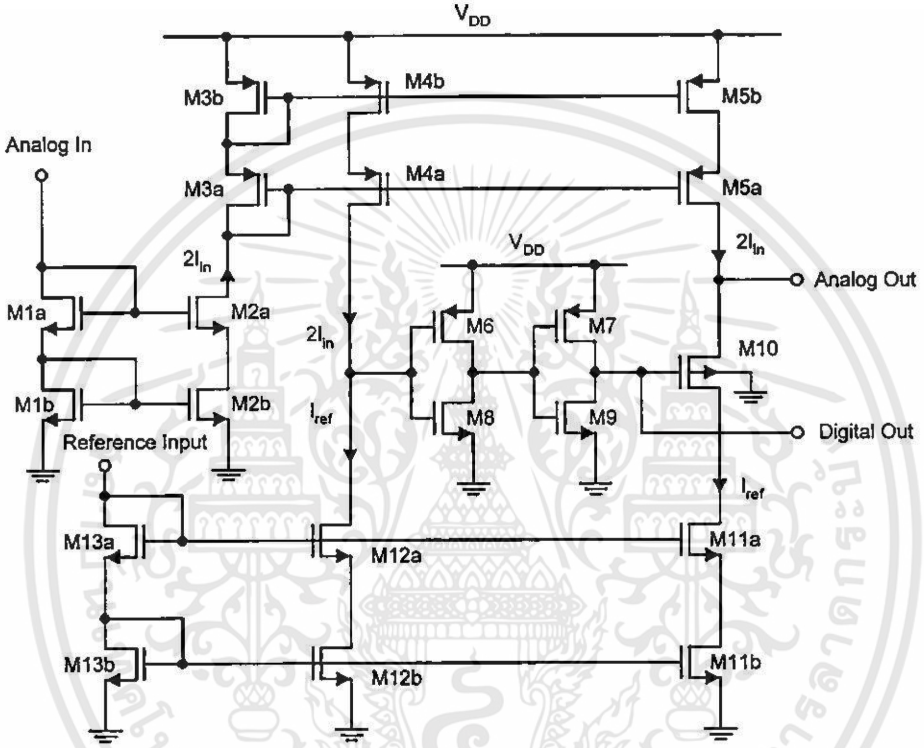
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 4.10 สามารถอธิบายหลักการทำงานของวงจรเมื่อป้อนสัญญาณอนาลอกอินพุต (Analog Input) โหมดกระแสผ่านมายังทรานซิสเตอร์ M1 และ M2 ซึ่งเป็นวงจรสะท้อนกระแสแบบพื้นฐาน (Basic Current Mirror) กระแสอินพุต (I_{in}) จะถูกสะท้อนกระแสมายังทรานซิสเตอร์ M2 โดยค่า W/L ของทรานซิสเตอร์ M2 จะถูกกำหนดให้มีค่าเป็นสองเท่าของทรานซิสเตอร์ M1 จะได้กระแสสองเท่าอินพุต $(2I_{in})$ ส่งผ่านมายังวงจรถ่ายโอนกระแส M3 และ M4 เพื่อนำกระแส $(2I_{in})$ ไปเปรียบเทียบกระแสอ้างอิง (I_{ref}) ในวงจรเปรียบเทียบกระแส (Current Comparator) ซึ่งประกอบด้วย M6, M7, M8และ M9 ดังเงื่อนไขในสมการที่ (4.25) และ (4.26) คือถ้ากระแสสองเท่าอินพุต $(2I_{in})$ มากกว่ากระแสอ้างอิง (I_{ref}) ดิจิตอลเอ้าพุตจะเป็น "1" สวิตช์ S_1 จะ "On" กระแสอ้างอิง (I_{ref}) จาก M10 จะลบกระแสสองเท่าอินพุต $(2I_{in})$ จาก M5 จะได้อนาลอกเอ้าพุตมีค่าเท่ากับกระแสสองเท่าอินพุตลบด้วยกระแสอ้างอิง $(2I_{in} - I_{ref})$ ถ้ากระแสสองเท่าอินพุต $(2I_{in})$ น้อยกว่าหรือเท่ากับกระแสอ้างอิง (I_{ref}) ดิจิตอลเอ้าพุตจะเป็น "0" สวิตช์ S_1 จะ "Off" จะได้อนาลอกเอ้าพุตเป็นกระแสสองเท่าอินพุต $(2I_{in})$ จากข้อจำกัดของวงจรสะท้อนกระแสแบบพื้นฐาน (Basic Current Mirror) คือเอ้าพุตอิมพีแดนซ์ต่ำจึงได้นำวงจรสะท้อนกระแสแบบคาสโคด (Cascode Current Mirror) มาใช้กับวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิท เพื่อความเที่ยงตรงของกระแสอินพุตที่จะนำไปเปรียบเทียบกระแสในวงจรเปรียบเทียบกระแส (Current Comparator) ดังแสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิทโดยใช้วงจรสะท้อนกระแสแบบคาสโคดในรูปที่ 4.11

จากรูปที่ 4.11 จะประกอบด้วยวงจรย่อย 2 วงจร คือวงจรสะท้อนกระแสแบบคาสโคด (Cascode Current Mirror) และวงจรเปรียบเทียบกระแส (Current Comparator) หลักการทำงานของบิทเซลล์ขนาด 1 บิท เมื่อป้อนสัญญาณอนาลอกอินพุต (Analog Input) โหมดกระแสผ่านมายังทรานซิสเตอร์ M1a และ M1b ซึ่งเป็นวงจรสะท้อนกระแสแบบคาสโคด (Cascode Current Mirror) ได้กล่าวไว้ในหัวข้อที่ (4.2) กระแสอินพุต (I_{in}) จะถูกสะท้อนกระแสมายังทรานซิสเตอร์ M2a และ M2b โดยค่า W/L ของทรานซิสเตอร์ M2a และ M2b จะถูกกำหนดให้มีค่าเป็นสองเท่าของทรานซิสเตอร์ M1a และ M1b จะได้กระแสสองเท่าอินพุต $(2I_{in})$ ส่งผ่านมายังวงจรถ่ายโอนกระแส M3a, M3b, M4a และ M4b เพื่อนำกระแสสองเท่าอินพุต $(2I_{in})$ ไปเปรียบเทียบกระแสกับกระแสอ้างอิง (I_{ref}) ในวงจรเปรียบเทียบกระแส (Current Comparator) ซึ่งประกอบด้วย M6, M7, M8 และ M9 ดังเงื่อนไขในสมการที่ (4.25) และ (4.26) คือถ้ากระแสสองเท่าอินพุต $(2I_{in})$ มากกว่ากระแสอ้างอิง (I_{ref}) ดิจิตอลเอ้าพุตจะเป็น "1" M10 ทำหน้าที่เป็นสวิตช์จะเป็น "On" กระแสอ้างอิง (I_{ref}) จาก M11a และ M11b จะลบกระแสสองเท่าอินพุต $(2I_{in})$ จาก M5a และ M5b จะได้อนาลอกเอ้าพุตมีค่าเท่ากับกระแสสองเท่าอินพุตลบด้วยกระแสอ้างอิง $(2I_{in} - I_{ref})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้ากระแสสองเท่าอินพุต $(2I_{in})$ น้อยกว่าหรือเท่ากับกระแสอ้างอิง (I_{ref}) ดิจิตอลเอ้าพุตจะเป็น "0" M10 ที่ทำหน้าที่เป็นสวิตช์จะ "Off" จะได้อนาลอกเอ้าพุต (I_{out}) เท่ากับกระแสสองเท่าอินพุต $(2I_{in})$ จากรูปที่ 4.12 ทรานซิสเตอร์ M3a, M3b, M4a, M4b, M5a และ M5b ทรานซิสเตอร์ M11a, M11b, M12a, M12b, M13aและ M13b ถูกนำมาคาสโคดกันเพื่อให้วงจรสมพงษ์กัน หลักการทำงานของวงจรสะท้อนกระแสแบบคาสโคดได้อธิบายไว้ในหัวข้อที่ (4.2)

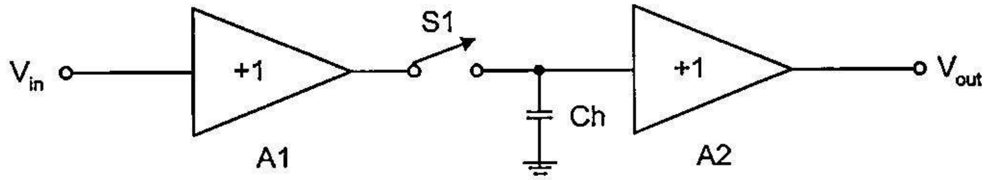


รูปที่ 4.11 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลอัลกอริธมิคขนาด 1 บิทโดยใช้วงจรสะท้อนกระแสแบบคาสโคด

4.5 วงจรตามและคงสัญญาณ

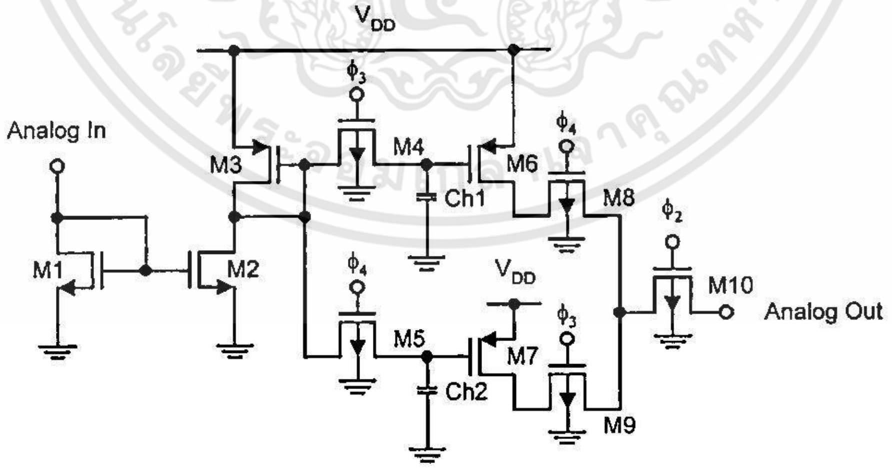
วงจรตามและคงสัญญาณ (Track and Hold) ได้นำมาใช้ในอุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด n บิท มีโครงสร้างบล็อกไดอะแกรมเป็นแบบลูปเปิด (Open-Loop) ดังแสดงในรูปที่ 4.12 ซึ่งประกอบด้วย A1 คือบัฟเฟอร์ขยายทางด้านอินพุต Ch คือตัวเก็บประจุที่ใช้ในการคงสัญญาณทางด้านอินพุตและ A2 คือตัวขยายสัญญาณเอ้าพุตของวงจรตามและคงสัญญาณให้อินพุตวงจรต่อไป ข้อดีของวงจรตามและคงสัญญาณแบบลูปเปิดจะทำงานที่ความเร็วสูง [10]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 บล็อกไดอะแกรมของวงจรตามและคงสัญญาณแบบลูปเปิด

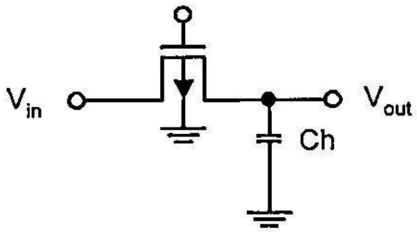
วงจรตามและคงสัญญาณที่นำมาใช้ในอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิทในวิทยานิพนธ์นี้แสดงดังรูปที่ 4.13 ซึ่งมีหลักการทำงานเมื่อป้อนกระแสอินพุตสัญญาณอนาลอกเข้ามายังวงจรตามและคงสัญญาณ เมื่อกระแสเข้ามายังอินพุต M1, M2, M3, M6 และM7 โดยให้ M4, M5, M8, M9 และ M10 เป็นสวิตช์ควบคุมการสะท้อนกระแสจาก M1 ตามจังหวะของสัญญาณ ϕ_3 และ ϕ_4 ดังแสดงในรูปที่ 4.17 โดย M4 และ M5 จะสลับกันทำงานที่สภาวะ High ของ ϕ_3 และ ϕ_4 Ch1และCh2 จะสลับการคงสัญญาณเช่นกัน ค่า V_{gs} ที่ได้จาก M3 และค่าที่คงสัญญาณจะถูกส่งไปยัง M6 และM7 ตามจังหวะของสัญญาณ ϕ_3 และ ϕ_4 โดย M8 และ M9 จะเป็นสวิตช์ที่ควบคุมการส่งสัญญาณตามจังหวะของสัญญาณ ϕ_3 และ ϕ_4 เพื่อส่งสัญญาณอนาลอกไปให้ M10 ที่ถูกควบคุมด้วย ϕ_2 ที่ทำงานสภาวะ High ดังแสดงในรูปที่ 4.16 ซึ่งเอ้าพุตที่ได้จากวงจรตามและคงสัญญาณจะเป็นอนาลอกอินพุตให้กับอุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด n บิท ที่บิท 1, 2, 3,.....,(n-1) ตามลำดับ



รูปที่ 4.13 วงจรตามและคงสัญญาณ

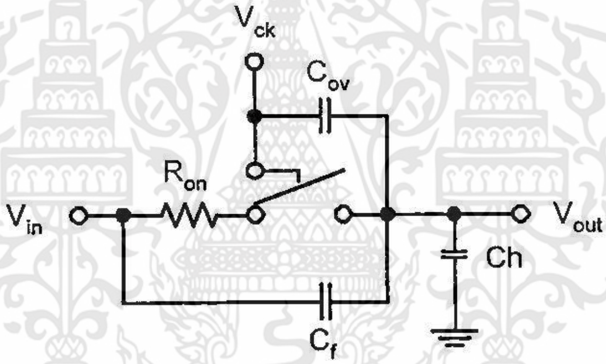
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของแซมปลิ้งสวิตช์แสดงดังรูปที่ 4.14



รูปที่ 4.14 แซมปลิ้งสวิตช์ทรานซิสเตอร์แบบเอ็นมอส

รูปแบบการแซมปลิ้งสวิตช์แสดงดังรูปที่ 4.15



รูปที่ 4.15 รูปแบบการแซมปลิ้งสวิตช์

จากรูปที่ 4.15 ค่าความจุของการคงสัญญาณหาได้จาก

$$Ch = \frac{1}{2\pi R_{on} B} \tag{4.26}$$

เมื่อ

B คือแบนวิดท์สวิตช์

R_{on} คือค่า r_{ds} ของเอ็นมอสที่ทำงานในย่านไม่อิ่มตัวและมีค่า $V_{ds} \le (V_{gs} - V_{th})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{on} = \frac{1}{\mu_n C_{ox}\left(\frac{W}{L}\right)\left(V_{gs} - V_{th}\right)} \tag{4.27}$$

ค่าพารามิเตอร์ได้กล่าวไว้ในหัวข้อที่ (2.2)

ค่าผิดพลาด Pedestal (P) จากการชาร์จระหว่างสภาวะ Turn-Off ของสวิตช์หาได้จาก

$$P = \frac{\delta V_{out}}{V_{fs}} = \left(\frac{C_{ov}}{C_h}\right)\cdot\left(\frac{V_{ck}}{V_{fs}}\right) \tag{4.28}$$

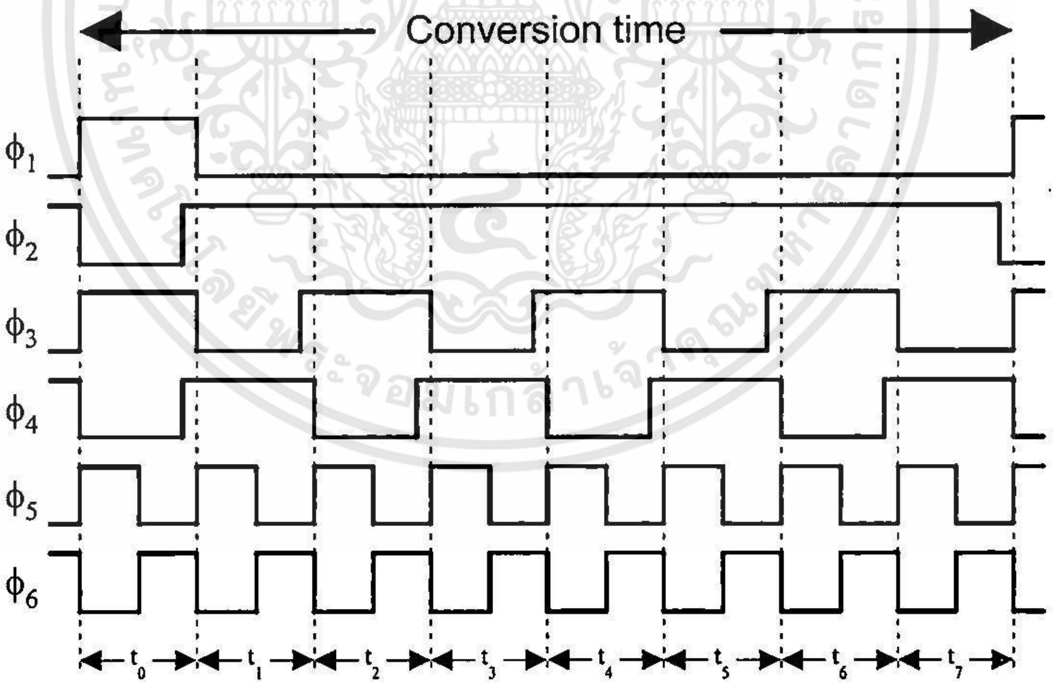
เมื่อ

δV_{out} คือขนาดของค่าผิดพลาดที่สวิตช์เอ้าพุต

V_{fs} คือค่าสูงสุดของย่านสัญญาณอินพุต

V_{ck} คือระดับสัญญาณนาฬิกาที่แกว่งระหว่างสวิตช์ Turn-Off

C_{ov} คือค่าความจุที่คลัปปิ้งระหว่างการควบคุมขาเกทของสวิตช์และสวิตช์เอ้าพุต

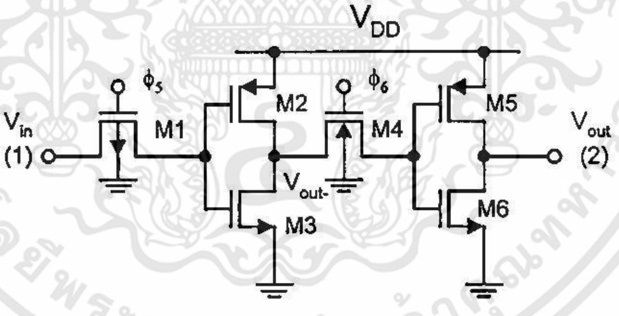


รูปที่ 4.16 ไดอะแกรมสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจรชิฟรีจิสเตอร์

วงจรชิฟรีจิสเตอร์ (Shift Register) เป็นการนำวงจรอินเวอเตอร์สองตัวมาคาสแคดกันซึ่งได้กล่าวถึงในหัวข้อที่ (4.3) โดยกำหนดให้ M1 และ M4 เป็นสวิตช์ สวิตช์ M1 และ M4 จะทำงานต่อการเลื่อนสัญญาณดิจิตอลเอ้าพุตหนึ่งบิทดังแสดงในไดอะแกรมสัญญาณควบคุมรูปที่ 4.16 หลักการทำงานสัญญาณ ϕ_5และϕ_6 จะทำงานที่สภาวะ High ยกตัวอย่างที่เวลา t_o เมื่อสัญญาณอินพุต (V_{in}) ถูกป้อนมายังวงจรและสัญญาณ ϕ_5 ถูกป้อนมายัง M1 จะทำให้ M1 "On" สัญญาณอินพุต (V_{in}) จะถูกป้อนเข้าวงจรอินเวอเตอร์ M2 และ M3 จะได้สัญญาณเอ้าพุตเป็นลบ (V_{out-}) เมื่อสัญญาณ ϕ_6 ถูกป้อนมายัง M4 จะทำให้ M4 "On" สัญญาณเอ้าพุตของวงจรอินเวอเตอร์ M2 และ M3 ซึ่งจะเป็นสัญญาณอินพุต (V_{in-}) ของวงจรอินเวอเตอร์ M5 และ M6 จะถูกป้อนเข้าวงจรอินเวอเตอร์ M5 และ M6 จะได้สัญญาณเอ้าพุต (V_{out}) เมื่อการเลื่อนสิ้นสุดในหนึ่งคาบเวลาของสัญญาณดิจิตอลเอ้าพุต สัญญาณเอ้าพุตจะเลื่อนให้วงจรชิฟรีจิสเตอร์ลำดับถัดไป เมื่อวงจรชิฟรีจิสเตอร์วงจรถัดไปได้รับสัญญาณควบคุมซึ่งมีหลักการทำงานของวงจรเช่นเดียวกัน วงจรชิฟรีจิสเตอร์ที่นำมาใช้ในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท ทำหน้าที่ใช้เลื่อนสัญญาณดิจิตอลเอ้าพุตที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่บิท *MSB* ไปยัง *LSB* ตามลำดับ



รูปที่ 4.17 วงจรชิฟรีจิสเตอร์

4.7 สรุป

ในบทนี้ได้กล่าวถึงทฤษฎีและวงจรที่เกี่ยวข้องซึ่งประกอบด้วยวงจรสะท้อนกระแสแบบคาสโคด (Cascode Current Mirror) วงจรเปรียบเทียบกระแส (Current Comparator) วงจรอัลกอริธมิคของตัวแปลงสัญญาณขนาด 1 บิท วงจรตามและคงสัญญาณ (Track and Hold) และวงจรชิฟรีจิสเตอร์ (Shift Register) ซึ่งวงจรย่อยที่ได้กล่าวมาจะถูกนำมาต่อร่วมในวงจรแปลงสัญญาณดิจิตอลขนาด n บิทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท

5.1 บทนำ

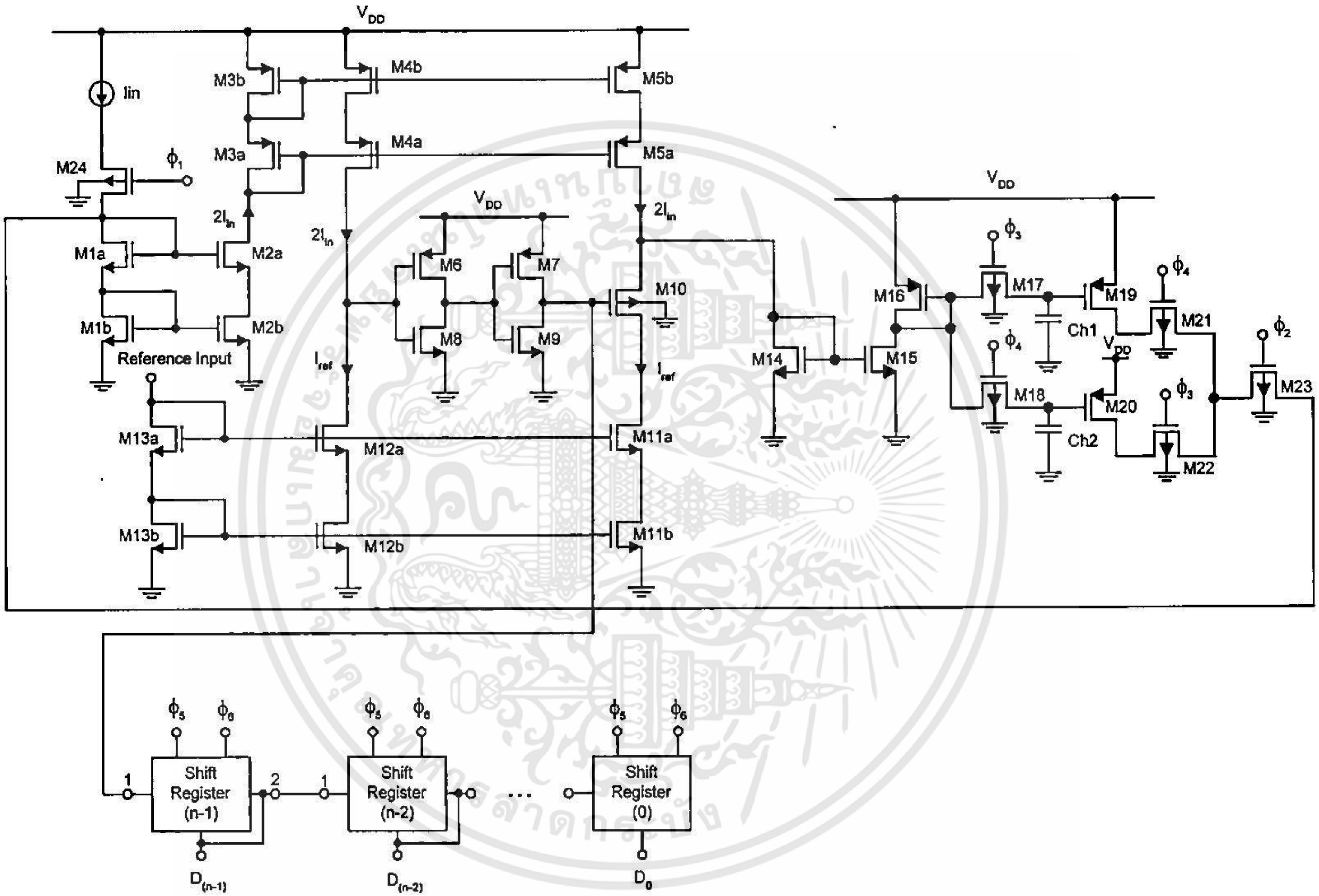
ในปัจจุบันวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลมีการนำประยุกต์ใช้งานอย่างกว้างขวางและการเสนองานวิจัยเกี่ยวกับวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลมีออกมามากมายแต่เมื่อจำนวนบิทเอ้าพุตมีมากขึ้น วงจรมีพื้นที่มาก มีช่วงการปฏิบัติงานย่านกระแสอินพุตต่ำ สิ้นเปลืองกำลังสูง ในวิทยานิพนธ์นี้ได้เสนอการออกแบบโดยใช้เทคโนโลยีของทรานซิสเตอร์ชนิดมอสเพราะความก้าวหน้าและข้อดีของเทคโนโลยีของทรานซิสเตอร์ชนิดมอสจึงเหมาะสำหรับการสร้างเป็นวงจรรวม หลักการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโหมดกระแสจะใช้วงจรสะท้อนกระแสแบบคาสโคดเพื่อความเที่ยงตรงของสัญญาณเอ้าพุตซึ่งมีความสำคัญในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่ทำงานในโหมดกระแสซึ่งวิทยานิพนธ์ที่นำเสนอวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโหมดกระแสจะประกอบไปด้วยวงจรย่อยคือ วงจรสะท้อนกระแสแบบคาสโคด (Cascode Curent Mirror) วงจรเปรียบเทียบกระแส (Current Comparator) วงจรอัลกอริธมิคของอุปกรณ์แปลงสัญญาณ วงจรตามและคงสัญญาณ (Track and Hold) และวงจรชิฟรีจีสเตอร์ (Shift Register) ซึ่งได้กล่าวไว้ในหัวข้อที่ (4.2), (4.3), (4.4), (4.5)และ(4.6) ตามลำดับ

ในวิทยานิพนธ์นี้ได้นำเสนอวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลที่ทำงานในโหมดกระแสบนเทคโนโลยีของ CMOS โดยใช้วงจรสะท้อนกระแสแบบคาสโคดส่งกระแสเพื่อนำไปเปรียบเทียบกระแสโดยใช้วงจรตามและคงสัญญาณ เป็นตัวคงสัญญาณกระแสเพื่อทำการแปลงบิทต่อไปและนำบิทที่ทำการเปรียบเทียบเลื่อนเข้าวงจรชิฟรีจีสเตอร์ วงจรที่ออกแบบใหม่นี้มีขนาด n บิทใช้เทคโนโลยีทรานซิสเตอร์ชนิดมอส วงจรนี้สามารถที่ขยายจำนวนบิทโดยการเพิ่มจำนวนสัญญาณนาฬิกาและจำนวนวงจรชิฟรีจีสเตอร์เมื่อถูกนำไปใช้ในการเพิ่มจำนวนบิทที่สูงขึ้นผลการเลียนแบบได้กระทำโดยใช้โปรแกรมเลียนแบบการทำงาน PSpice

5.2 หลักการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท

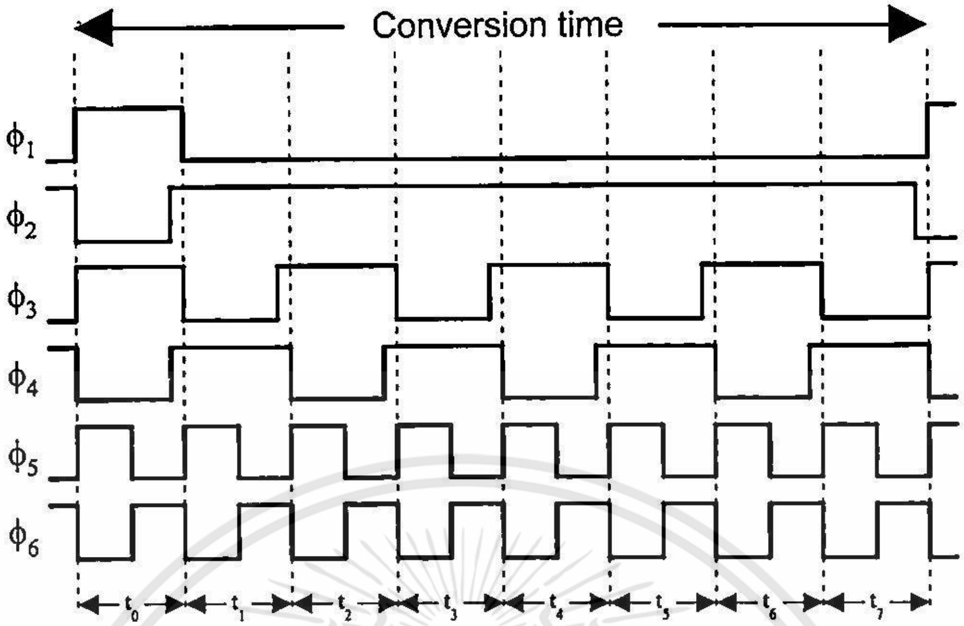
ในวิทยานิพนธ์ได้อธิบายวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท ซึ่งประกอบด้วยวงจรย่อย 3 วงจร คือวงจรอัลกอริธมิคของอุปกรณ์แปลงสัญญาณขนาด 1 บิทในหัวข้อที่ (4.4) วงจรตามและคงสัญญาณในหัวข้อที่ (4.5) และวงจรชิฟรีจิสเตอร์ในหัวข้อที่ (4.6) เมื่อป้อนไดอะแกรมสัญญาณควบคุมในรูปที่ 5.2 กระแสอินพุต (I_{in}) และ กระแสอ้างอิง (I_{ref}) ให้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิทดังแสดงในรูปที่ 5.1 ต่อไปจะอธิบายหลักการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิทที่เวลาต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 ไดอะแกรมสัญญาณควบคุม

: ที่เวลา t_o

สัญญาณควบคุม $\phi 1$ จะเป็นบิทเริ่มต้นให้กับวงจรเมื่อ $\phi 1$ ทำงานที่สภาวะ "On" กระแส I_{in} จะผ่านมายัง M1a, M2a, M1b และ M2b เมื่อกำหนดให้ค่า W/L ของ M1b และ M2b เป็นสองเท่าของ M1a และ M2a กระแส (I_{in}) จะมีค่าเท่ากับ $(2I_{in})$ ผ่านไปยัง M3a, M3b, M4a และ M4b ที่ทำหน้าที่เป็นวงจรถ่ายโอนกระแส กระแส $(2I_{in})$ เมื่อนำกระแสมาเปรียบเทียบในวงจรเปรียบเทียบกระแส M6, M7, M8 และ M9 กับกระแสอ้างอิงให้เป็นไปตามเงื่อนไขในสมการที่ (4.25) และ (4.26) จะได้สัญญาณดิจิตอลเอ้าพุตที่เวลา t_o ซึ่งจะถูกส่งจากวงจรชิฟรีจิสเตอร์ตัวที่ t_o และสัญญาณอนาลอกถูกส่งไปยังวงจรตามและคงสัญญาณ สัญญาณอนาลอกเอ้าพุตจะผ่านวงจรสะท้อนกระแส M14, M15 ผ่านไปยัง M16 ซึ่ง M17 และ M18 ทำหน้าที่เป็นสวิตช์ถูกควบคุมโดย $\phi 3$ และ $\phi 4$ ตามลำดับ M17 และ M18 จะทำงานที่สภาวะ "On" จะเห็นว่า $\phi 3$ และ $\phi 4$ จะสลับกันทำงาน Ch1 และ Ch2 จะสลับกันทำงานเช่นกัน ซึ่งที่เวลา t_o สัญญาณควบคุม $\phi 3$ จะทำงาน Ch1 จะเกิดการคงสัญญาณ สัญญาณจะถูกส่งมายัง M19 ต่อไปวงจรจะทำงานที่สภาวะที่สภาวะ t_1 สัญญาณควบคุม $\phi 4$ จะถูกส่งที่สภาวะ "On" สัญญาณควบคุม $\phi 3$ จะ "Off" สัญญาณอนาลอกจะถูกส่งมายัง M23 ซึ่ง $\phi 2$ มีสภาวะ "On" จาก $t_1 - t_7$ และ M24 จะหยุดทำงานจาก $t_1 - t_7$ เพราะสัญญาณควบคุม $\phi 1$ ได้รับสภาวะ "Off" สัญญาณอนาลอกจาก M23 จะถูกส่งเข้าวงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

: ที่เวลา t_1

กระแสที่ถูกส่งจาก M23 จะถูกส่งเข้าวงจรโดยวงจรสะท้อนกระแส M1a, M2a, M1b และ M2b จะสะท้อนกระแส $(2I_{in})$ ซึ่งจะถูกส่งไปยังวงจรถ่ายโอนกระแสผ่านไปยัง M3a, M3b, M4a และ M4b ที่ทำหน้าที่เป็นวงจรถ่ายโอนกระแส กระแส $(2I_{in})$ เมื่อนำกระแสมาเปรียบเทียบในวงจรเปรียบเทียบกระแส M6, M7, M8 และ M9 กับกระแสอ้างอิงให้เป็นไปตามเงื่อนไขในสมการที่ (4.25) และ (4.26) จะได้สัญญาณดิจิตอลเอ้าพุตที่เวลา t_1 ซึ่งจะถูกส่งจากวงจรชิฟรีจิสเตอร์ตัวที่ t_1 และสัญญาณอนาลอกถูกส่งไปยังวงจรตามและคงสัญญาณ สัญญาณอนาลอกเอ้าพุตถูกส่งมายัง M14 จะถูกสะท้อนกระแสผ่านไปยัง M15และ M16 M17 จะหยุดทำงานเพราะสัญญาณควบคุม $\phi 3$ ที่ t_1 มีสภาวะ "Off" M18 จะทำงานเพราะสัญญาณควบคุม $\phi 4$ มีสภาวะ "On" Ch2 จะเกิดการคงสัญญาณกระแส กระแสจะถูกส่งผ่าน M20, M22 และ M23 จะถูกส่งเข้าวงจรสะท้อนกระแส

: ที่เวลา t_2

กระแสที่ถูกส่งจาก M23 จะถูกส่งเข้าวงจรโดยวงจรสะท้อนกระแส M1a, M2a, M1b และ M2b จะสะท้อนกระแส $(2I_{in})$ ซึ่งจะถูกส่งไปยังวงจรถ่ายโอนกระแสผ่านไปยังM3a, M3b, M4a และ M4b ที่ทำหน้าที่เป็นวงจรถ่ายโอนกระแส กระแส $(2I_{in})$ เมื่อนำกระแสมาเปรียบเทียบในวงจรเปรียบเทียบกระแส M6, M7, M8 และ M9 กับกระแสอ้างอิงให้เป็นไปตามเงื่อนไขในสมการที่ (4.25) และ (4.26) จะได้สัญญาณดิจิตอลเอ้าพุตที่เวลา t_2 ซึ่งจะถูกส่งจากวงจรชิฟรีจิสเตอร์ตัวที่ t_2 และสัญญาณอนาลอกถูกส่งไปยังวงจรตามและคงสัญญาณ สัญญาณอนาลอกเอ้าพุตถูกส่งมายัง M14 จะถูกสะท้อนกระแสผ่านไปยัง M15 และ M16 M18จะหยุดทำงานเพราะสัญญาณควบคุม $\phi 4$ ที่ t_2 มีสภาวะ "Off" M17 จะทำงานเพราะสัญญาณควบคุม $\phi 3$ มีสภาวะ "On" Ch1 จะเกิดการคงสัญญาณกระแส กระแสจะถูกส่งผ่าน M20, M22 และ M23 จะถูกส่งเข้าวงจรสะท้อนกระแส

: ที่เวลา t_3

กระแสที่ถูกส่งจาก M23 จะถูกส่งเข้าวงจรโดยวงจรสะท้อนกระแส M1a, M2a, M1b และ M2b จะสะท้อนกระแส $(2I_{in})$ ซึ่งจะถูกส่งไปยังวงจรถ่ายโอนกระแสผ่านไปยัง M3a, M3b, M4a และ M4b ที่ทำหน้าที่เป็นวงจรถ่ายโอนกระแส กระแส $(2I_{in})$ เมื่อนำกระแสมาเปรียบเทียบในวงจรเปรียบเทียบกระแส M6, M7, M8และ M9 กับกระแสอ้างอิงให้เป็นไปตามเงื่อนไขในสมการที่ (4.25) และ (4.26) จะได้สัญญาณดิจิตอลเอ้าพุตที่เวลา t_3 ซึ่งจะถูกส่งจากวงจรชิฟรีจิสเตอร์ตัวที่ t_3 และสัญญาณอนาลอกถูกส่งไปยังวงจรตามและคงสัญญาณ สัญญาณอนาลอกเอ้าพุตถูกส่งมายัง M14 จะถูกสะท้อนกระแสผ่านไปยัง M15 และ M16 M17จะหยุดทำงานเพราะสัญญาณควบคุม $\phi 3$ ที่ t_3 มีสภาวะ "Off" M18 จะทำงานเพราะสัญญาณควบคุม $\phi 4$ มีสภาวะ "On" Ch2 จะเกิดการคงสัญญาณกระแส กระแสจะถูกส่งผ่าน M20, M22 และ M23 จะถูกส่งเข้าวงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

: ที่เวลา t_4

กระแสที่ถูกส่งจาก M23 จะถูกส่งเข้าวงจรโดยวงจรสะท้อนกระแส M1a, M2a, M1b และ M2b จะสะท้อนกระแส $(2I_{in})$ ซึ่งจะถูกส่งไปยังวงจรถ่ายโอนกระแสผ่านไปยังM3a, M3b, M4a และ M4b ที่ทำหน้าที่เป็นวงจรถ่ายโอนกระแส กระแส $(2I_{in})$ เมื่อนำกระแสมาเปรียบเทียบในวงจรเปรียบเทียบกระแส M6, M7, M8และ M9 กับกระแสอ้างอิงให้เป็นไปตามเงื่อนไขในสมการที่ (4.25) และ (4.26) จะได้สัญญาณดิจิตอลเอ้าพุตที่เวลา t_4 ซึ่งจะถูกส่งจากวงจรชิฟรีจิสเตอร์ตัวที่ t_4 และสัญญาณอนาลอกถูกส่งไปยังวงจรตามและคงสัญญาณสัญญาณอนาลอกเอ้าพุตถูกส่งมายัง M14 จะถูกสะท้อนกระแสผ่านไปยัง M15 และ M16 M18จะหยุดทำงานเพราะสัญญาณควบคุม $\phi 4$ ที่ t_4 มีสภาวะ "Off" M17 จะทำงานเพราะสัญญาณควบคุม $\phi 3$ มีสภาวะ "On" Ch1 จะเกิดการคงสัญญาณกระแส กระแสจะถูกส่งผ่าน M20, M22 และ M23 จะถูกส่งเข้าวงจรสะท้อนกระแส

: ที่เวลา t_5

กระแสที่ถูกส่งจาก M23 จะถูกส่งเข้าวงจรโดยวงจรสะท้อนกระแส M1a, M2a, M1b และ M2b จะสะท้อนกระแส $(2I_{in})$ ซึ่งจะถูกส่งไปยังวงจรถ่ายโอนกระแสผ่านไปยัง M3a, M3b, M4a และ M4b ที่ทำหน้าที่เป็นวงจรถ่ายโอนกระแส กระแส $(2I_{in})$ เมื่อนำกระแสมาเปรียบเทียบในวงจรเปรียบเทียบกระแส M6, M7, M8และ M9 กับกระแสอ้างอิงให้เป็นไปตามเงื่อนไขในสมการที่ (4.25) และ (4.26) จะได้สัญญาณดิจิตอลเอ้าพุตที่เวลา t_5 ซึ่งจะถูกส่งจากวงจรชิฟรีจิสเตอร์ตัวที่ t_5 และสัญญาณอนาลอกถูกส่งไปยังวงจรตามและคงสัญญาณ สัญญาณอนาลอกเอ้าพุตถูกส่งมายัง M14 จะถูกสะท้อนกระแสผ่านไปยัง M15 และ M16 M17จะหยุดทำงานเพราะสัญญาณควบคุม $\phi 3$ ที่ t_5 มีสภาวะ "Off" M18 จะทำงานเพราะสัญญาณควบคุม $\phi 4$ มีสภาวะ "On" Ch2 จะเกิดการคงสัญญาณกระแส กระแสจะถูกส่งผ่าน M20, M22 และ M23 จะถูกส่งเข้าวงจรสะท้อนกระแส

: ที่เวลา t_6

กระแสที่ถูกส่งจาก M23 จะถูกส่งเข้าวงจรโดยวงจรสะท้อนกระแส M1a, M2a, M1b และ M2b จะสะท้อนกระแส $(2I_{in})$ ซึ่งจะถูกส่งไปยังวงจรถ่ายโอนกระแสผ่านไปยัง M3a, M3b, M4a และ M4b ที่ทำหน้าที่เป็นวงจรถ่ายโอนกระแส กระแส $(2I_{in})$ เมื่อนำกระแสมาเปรียบเทียบในวงจรเปรียบเทียบกระแส M6, M7, M8 และ M9 กับกระแสอ้างอิงให้เป็นไปตามเงื่อนไขในสมการที่ (4.25) และ (4.26) จะได้สัญญาณดิจิตอลเอ้าพุตที่เวลา t_6 ซึ่งจะถูกส่งจากวงจรชิฟรีจิสเตอร์ตัวที่ t_6 และสัญญาณอนาลอกถูกส่งไปยังวงจรตามและคงสัญญาณ สัญญาณอนาลอกเอ้าพุตถูกส่งมายัง M14 จะถูกสะท้อนกระแสผ่านไปยัง M15 และ M16 M18จะหยุดทำงานเพราะสัญญาณควบคุม $\phi 4$ ที่ t_6 มีสภาวะ "Off" M17 จะทำงานเพราะสัญญาณควบคุม $\phi 3$ มีสภาวะ "On" Ch1 จะเกิดการคงสัญญาณกระแส กระแสจะถูกส่งผ่าน M20, M22 และ M23 จะถูกส่งเข้าวงจรสะท้อนกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

: ที่เวลา t_7

กระแสที่ถูกส่งจาก M23 จะถูกส่งเข้าวงจรโดยวงจรสะท้อนกระแส M1a, M2a, M1b และ M2b จะสะท้อนกระแส $(2I_{in})$ ซึ่งจะถูกส่งไปยังวงจรถ่ายโอนกระแสผ่านไปยัง M3a, M3b, M4a และ M4b ที่ทำหน้าที่เป็นวงจรถ่ายโอนกระแส กระแส $(2I_{in})$ เมื่อนำกระแสมาเปรียบเทียบในวงจรเปรียบเทียบกระแส M6, M7, M8 และ M9 กับกระแสอ้างอิงให้เป็นไปตามเงื่อนไขในสมการที่ (4.25) และ (4.26) จะได้สัญญาณดิจิตอลเอ้าพุตที่เวลา t_7 ซึ่งจะถูกส่งจากวงจรชิฟรีจิสเตอร์ตัวที่ t_7 และสัญญาณอนาลอกถูกส่งไปยังวงจรตามและคงสัญญาณ สัญญาณอนาลอกเอ้าพุตถูกส่งมายัง M14 จะถูกสะท้อนกระแสผ่านไปยัง M15 และ M16 M17จะหยุดทำงานเพราะสัญญาณควบคุม $\phi3$ ที่ t_7 มีสภาวะ "Off" M18 จะทำงานเพราะสัญญาณควบคุม $\phi4$ มีสภาวะ "On" Ch2 จะเกิดการคงสัญญาณกระแส หลังจากเวลา t_7 พบว่า $\phi2$ มีสภาวะ "Off" ซึ่งเป็นบิทหยุดจะทำให้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลหยุดทำงาน

5.3 การเลียนแบบและผลการเลียนแบบวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลขนาด 8 บิท

เพื่อเป็นการยืนยันการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิทที่ได้ออกแบบในหัวข้อที่ (5.2) ได้ทำการวิเคราะห์การทำงานของวงจรดังกล่าวด้วยโปรแกรม PSpice เมื่อป้อนไดอะแกรมสัญญาณควบคุมในรูปที่ 5.2 ให้กับวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิทโดยกำหนดไดอะแกรมสัญญาณควบคุมขนาด 8 บิท ซึ่งมีลักษณะการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท ได้อธิบายไว้ในหัวข้อที่ (5.2) โดยกำหนดค่าความกว้างของแชลแนล (width) และค่าความยาวของแชลแนล (length) ดังแสดงในตารางที่ (5.1) ค่าความจุของตัวเก็บประจุ Ch1 และ Ch2 มีค่า 20 PF ซึ่งมีค่าความจุดังกล่าวในหัวข้อที่ (4.5) ค่า V_{DD} = 5V เมื่อGND = 0 V กระแสอ้างอิง (I_{ref}) มีค่าเท่ากับ 200 μA กระแสอินพุตที่ใช้ในการเลียนแบบมีค่าเท่ากับ 10 μA, 20 μA, 40 μA, 60 μA, 80 μA, 100 μA, 120 μA, 140 μA, 160 μA, 180 μA,และ 190 μA ตามลำดับ ทำการวิเคราะห์วงจรโดยใช้โหมด Transient

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 แสดงค่าความกว้างและค่าความยาวของแชลแนล

ทรานซิสเตอร์	ความกว้าง (μm)	ความยาว (μm)
M1a	8	0.8
M1b	8	0.8
M2a	16	0.8
M2b	16	0.8
M3a	8	0.8
M3b	8	0.8
M4a	8	0.8
M4b	8	0.8
M5a	8	0.8
M5b	8	0.8
M6	8	0.8
M7	8	0.8
M8	8	0.8
M9	8	0.8
M10	8	0.8
M11a	8	0.8
M11b	8	0.8
M12a	8	0.8
M12b	8	0.8
M13a	8	0.8
M13b	8	0.8
M14	8	0.8
M15	8	0.8
M16	8	0.8
M17	16	0.8
M18	16	0.8
M19	8	0.8
M20	8	0.8
M21	16	0.8
M22	16	0.8
M23	8	0.8
M24	16	0.8

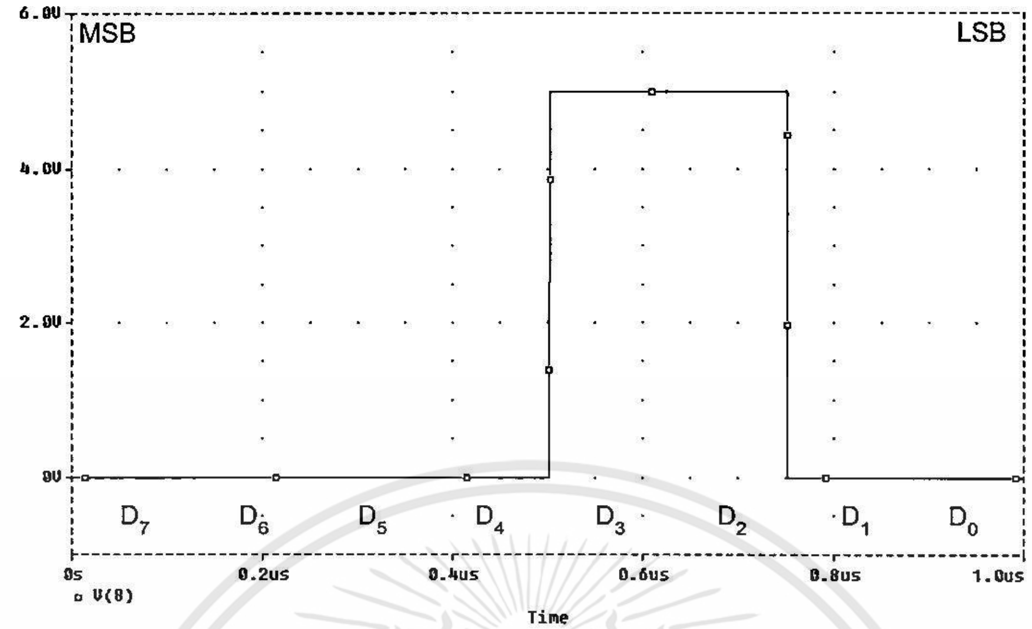
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.2 แสดงผลการเลียนแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท โดยการป้อนสัญญาณอินพุตเป็นกระแสที่ระดับต่างๆกัน

I_{in} (μA)	Digital Output		$I_{out} = \frac{FS}{2^n}\sum_{i=0}^{n-1} bi2^i$ (μA)
	MSB	LSB	
0	0000	0000	0.00000
10	0000	1100	9.37500
20	0001	1001	19.53125
40	0011	0011	39.84375
60	0100	1100	59.37500
80	0110	1100	79.68750
100	1000	0000	100.00000
120	1001	1001	119.53125
140	1011	0011	139.84375
160	1100	1100	159.37500
180	1110	0110	179.68750
190	1111	0011	189.84375

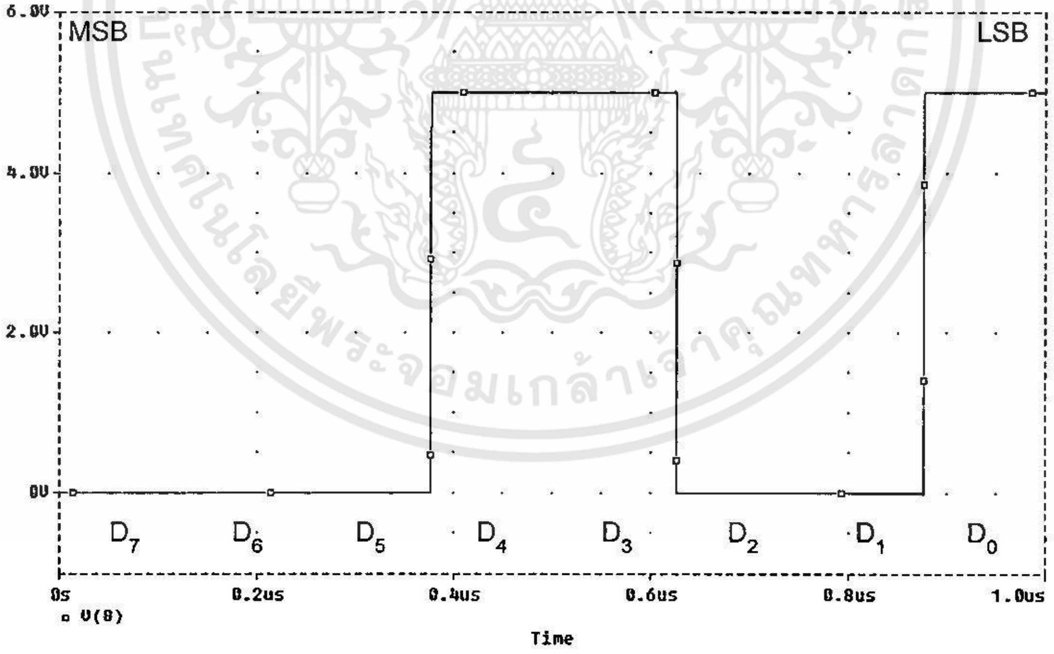
ผลการเลียนแบบแสดงดังในรูปที่ 5.3-5.13 ตามลำดับเมื่อกำหนดค่ากระแสอินพุต I_{in} ที่ใช้ในการเลียนแบบมีค่าเท่ากับ 10 μA, 20 μA, 40 μA, 60 μA, 80 μA, 100 μA, 120 μA, 140 μA, 160 μA, 180 μA และ 190 μA ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 10µ A, I_{ref} = 200 µA

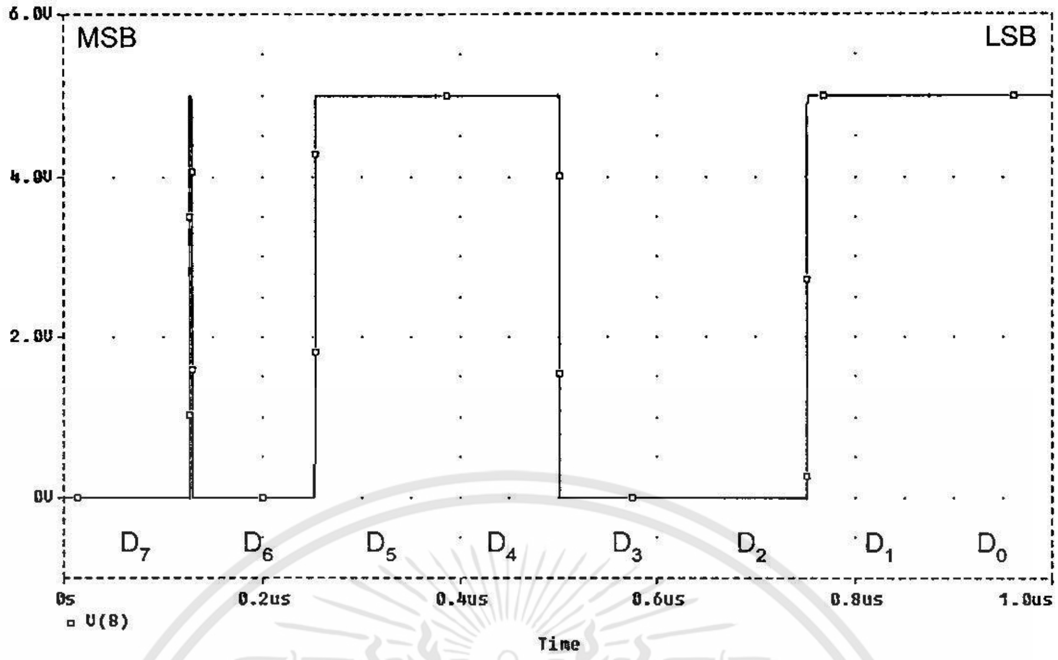
ดิจิตอลเอ้าพุต = "00001100" ค่าประมาณ I_{out} = 9.37500 µA



รูปที่ 5.4 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 20µ A, I_{ref} = 200 µA

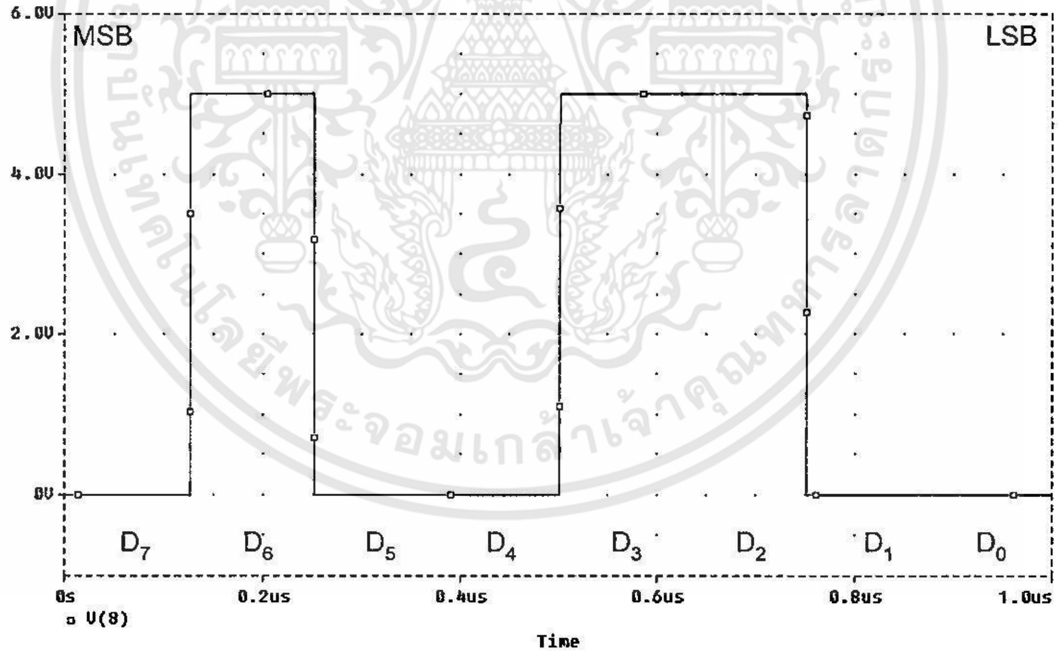
ดิจิตอลเอ้าพุต = "00011001" ค่าประมาณ I_{out} = 19.53125 µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ $I_{in} = 40\ \mu A$, $I_{ref} = 200\ \mu A$

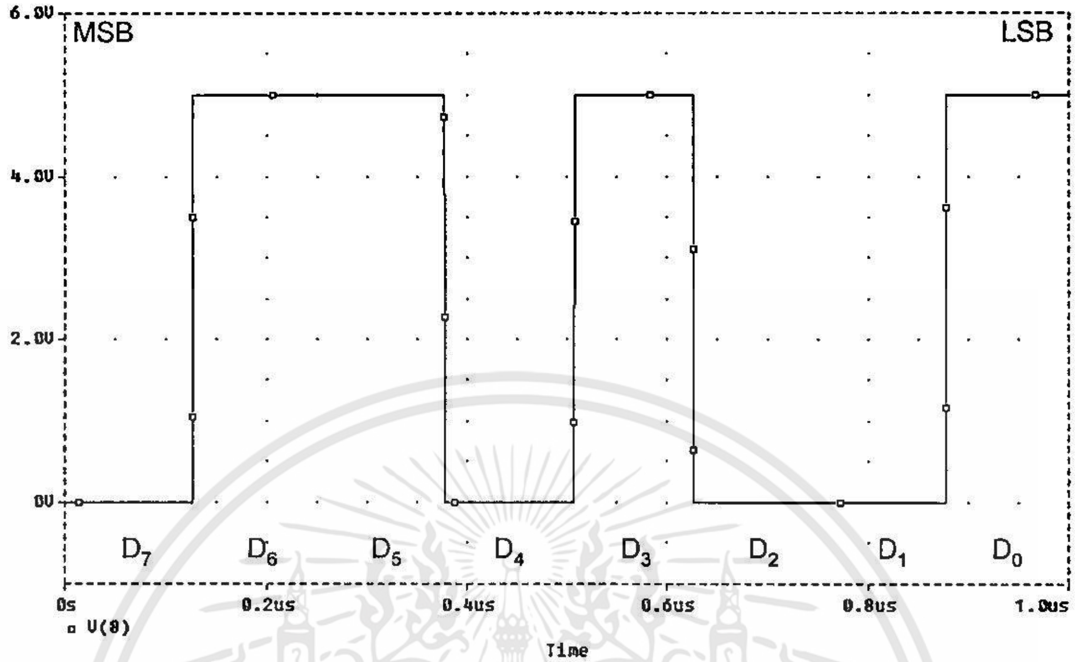
ดิจิตอลเอ้าพุต = "00110011" ค่าประมาณ $I_{out} = 39.84375\ \mu A$



รูปที่ 5.6 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ $I_{in} = 60\mu A$, $I_{ref} = 200\ \mu A$

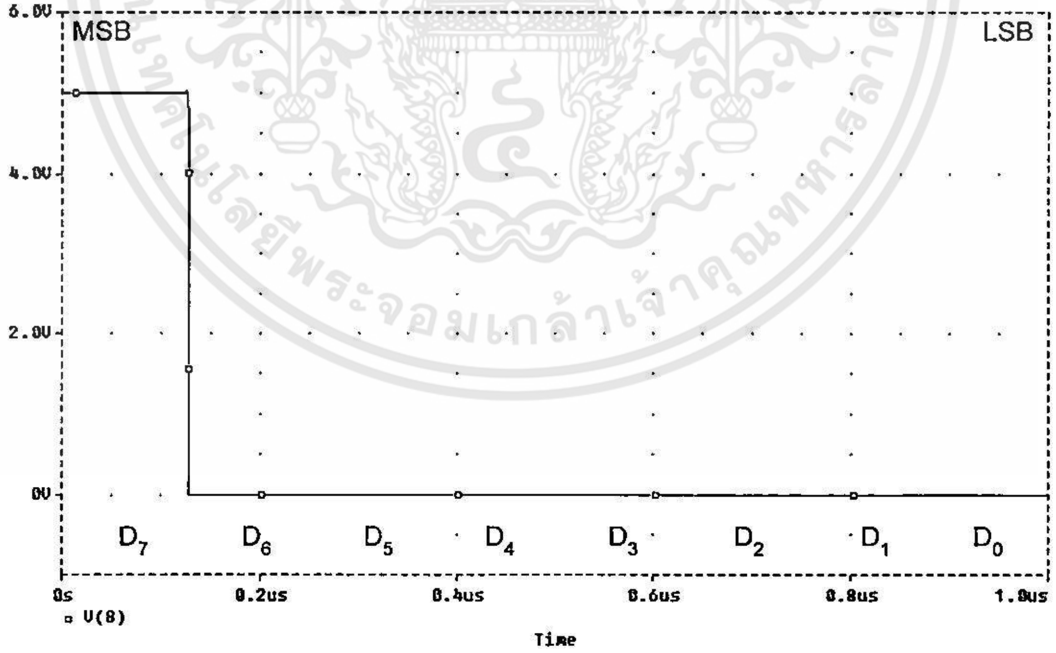
ดิจิตอลเอ้าพุต = "01001100" ค่าประมาณ $I_{out} = 59.37500\ \mu A$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 80 μ A, I_{ref} = 200 μA

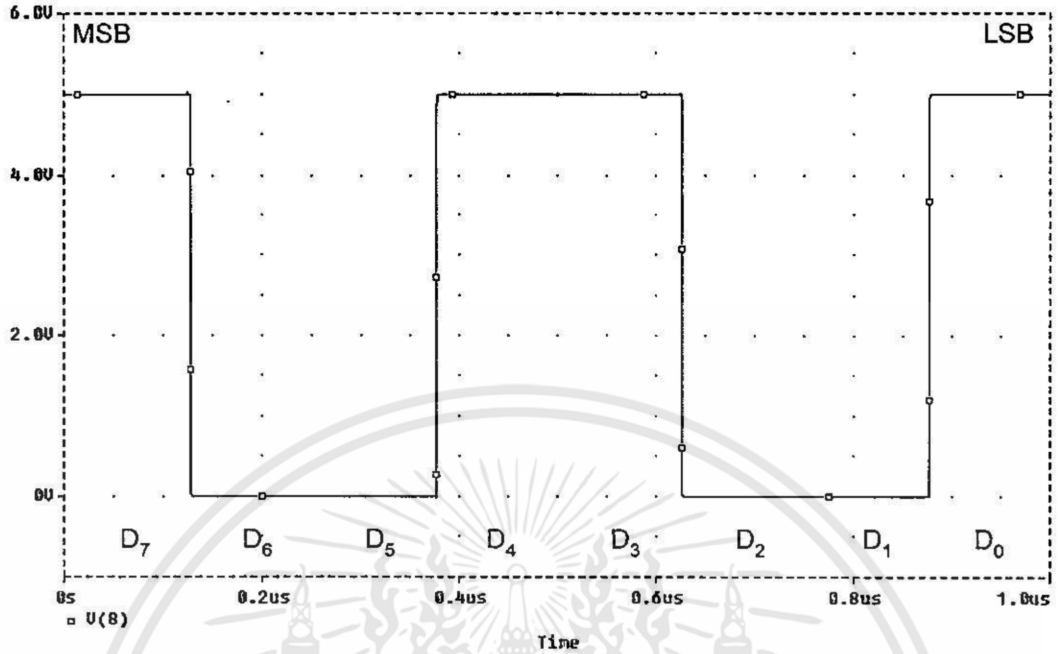
ดิจิตอลเอ้าพุต = “01100110” ค่าประมาณ I_{out} = 79.68750 μA



รูปที่ 5.8 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 100 μ A, I_{ref} = 200 μA

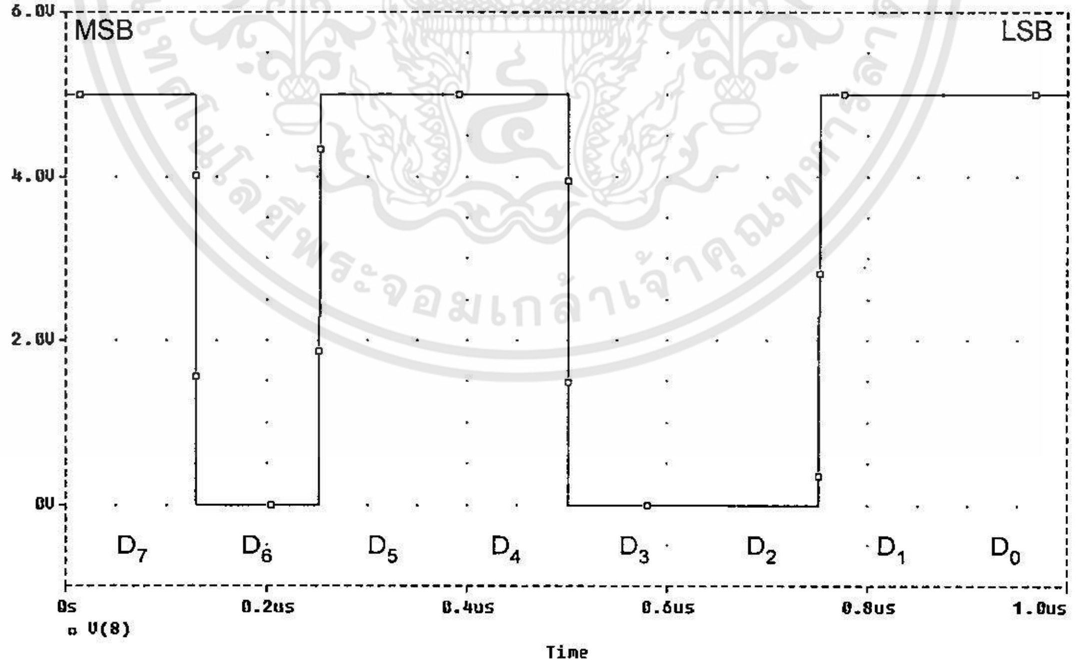
ดิจิตอลเอ้าพุต = “10000000” ค่าประมาณ I_{out} = 100.00000 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 120 μ A, I_{ref} = 200 μA

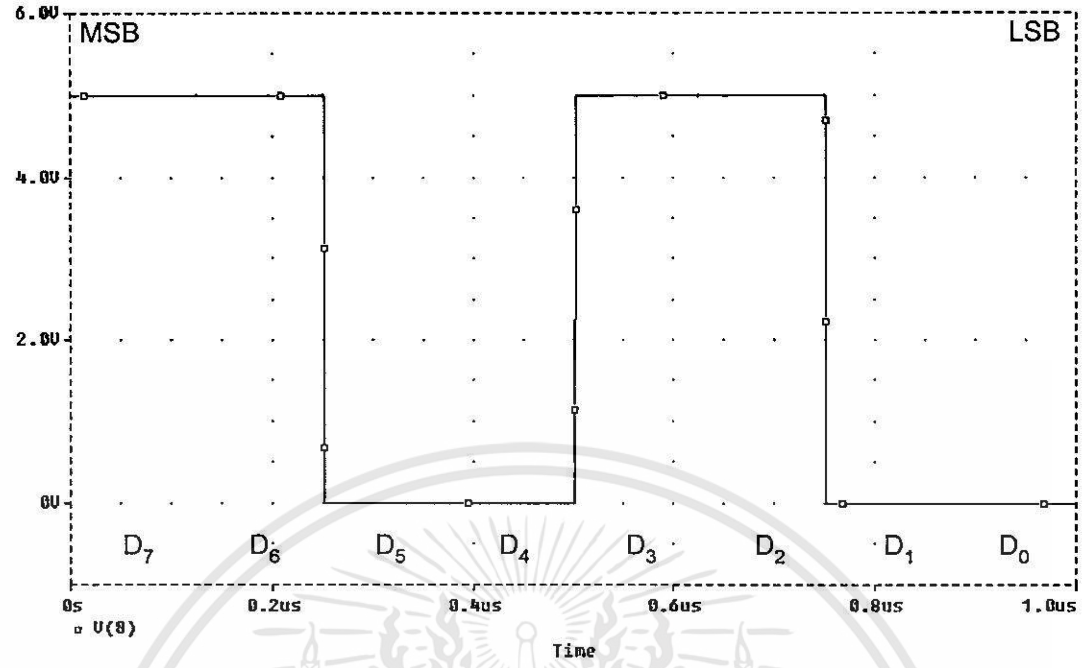
ดิจิตอลเอ้าพุต = "10011001" ค่าประมาณ I_{out} = 119.53125 μA



รูปที่ 5.10 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 140 μ A, I_{ref} = 200 μA

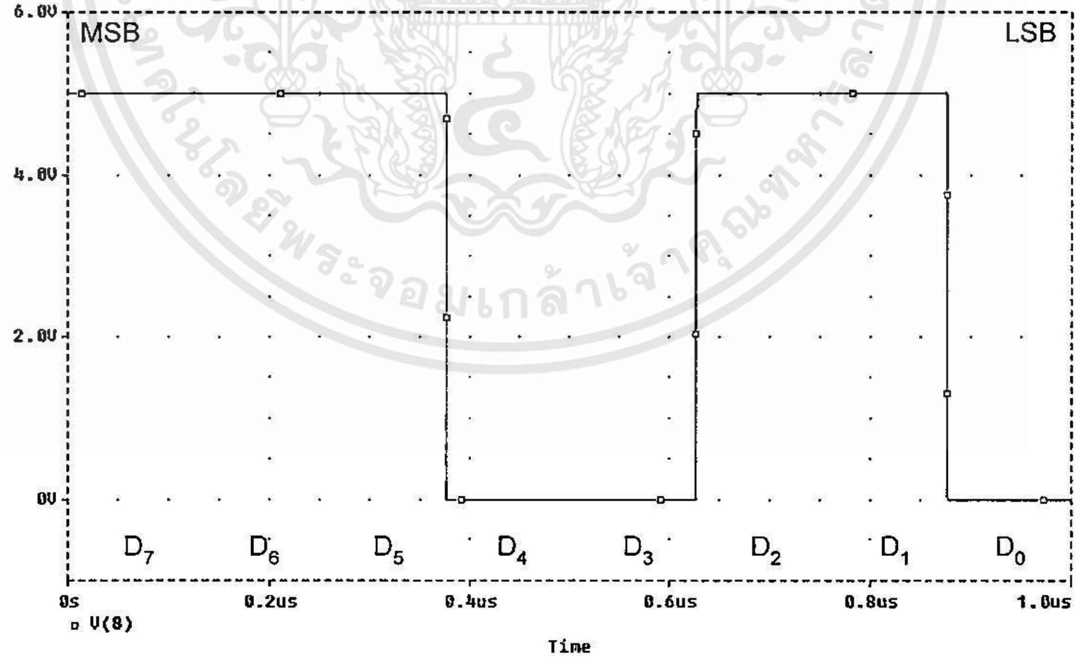
ดิจิตอลเอ้าพุต = "10110011" ค่าประมาณ I_{out} = 139.84375 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 160 μ A, I_{ref} = 200 μA

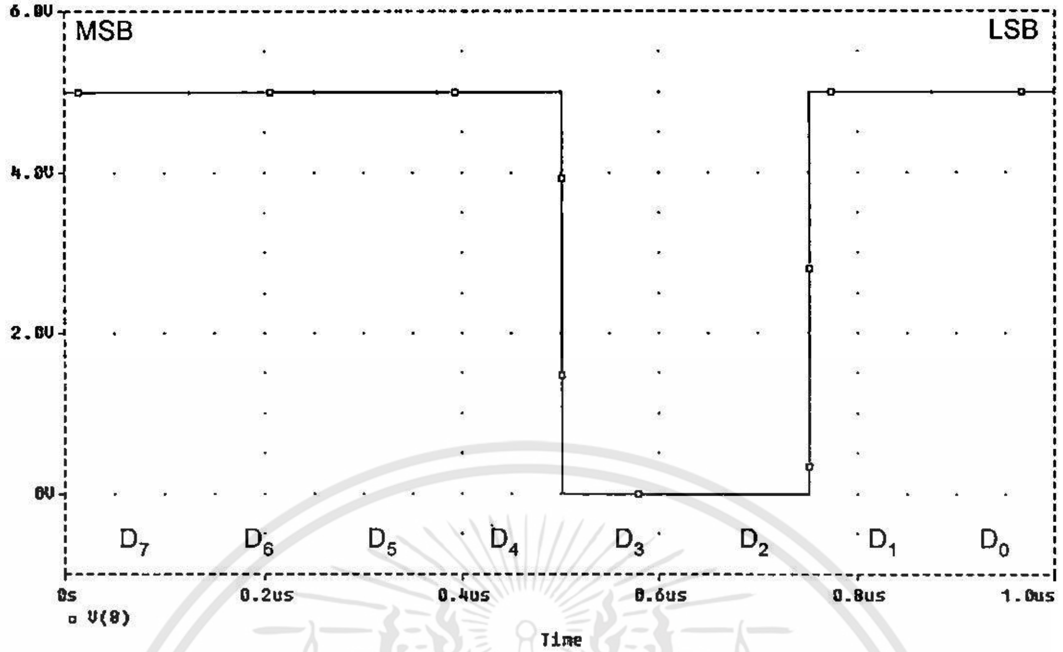
ดิจิตอลเอ้าพุต = “11100110” ค่าประมาณ I_{out} = 159.37500 μA



รูปที่ 5.12 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 180 μ A, I_{ref} = 200 μA

ดิจิตอลเอ้าพุต = “11100110” ค่าประมาณ I_{out} = 179.687500 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 แสดงสัญญาณดิจิตอลเอ้าพุตเมื่อ I_{in} = 190 μA, I_{ref} = 200 μA
ดิจิตอลเอ้าพุต = "11110011" ค่าประมาณ I_{out} = 189.84375 μA

5.4 เวลาที่ใช้ในการแปลง

เวลาที่ใช้ในการแปลง (Conversion time, t_{conv}) คือเวลาที่ใช้ในการแปลงสัญญาณอนาลอก 1 ตัวอย่างให้เป็นสัญญาณดิจิตอล ซึ่งเวลาดังกล่าวจะบ่งบอกถึงความเร็วในการทำงานของอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนั้นๆ และสำหรับวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท แบบอนุกรมสามารถหาความถี่ของสัญญาณนาฬิกาได้โดย

$$t_{conv} = \frac{1}{f_{conv}} \tag{5.1}$$

เมื่อ

f_{conv} คือความถี่ของสัญญาณนาฬิกาของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

t_{conv} คือคาบเวลาของสัญญาณนาฬิกาของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท จากการเลียนแบบได้กำหนดคาบเวลาของสัญญาณนาฬิกาเท่ากับ $1\mu\text{sec}$ ต่อ 1 รอบการแปลงจะได้ความถี่นาฬิกา f_{conv} ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท

$$f_{conv} = \frac{1}{1\mu\text{sec}}$$

$$= 1MHz \tag{5.2}$$

เมื่อกำหนดให้ X คือ 1 คาบเวลา (Cycle) ของสัญญาณนาฬิกาที่ใช้ในการแปลงสัญญาณต่อ 1 รอบการแปลงของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท เมื่อ จากสมการที่ (5.1) จะได้ความถี่ของสัญญาณนาฬิกา $X = 8$ จากสมการที่ (5.1) จะได้ความถี่ของสัญญาณนาฬิกาของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลต่อบิทดังสมการที่ (5.3)

$$f_{conv} = Xt_{conv}$$

$$= 8\left(\frac{1}{1\mu\text{sec}}\right)$$

$$= 8MHz / bit \tag{5.3}$$

จากการคำนวนความถี่ของสัญญาณนาฬิกาของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท มีความถี่เท่ากับ 1 MHz และความถี่ต่อ 1 บิท มีค่าเท่ากับ 8 MHz

5.5 ผลการวิเคราะห์ค่าเปอร์เซ็นต์ผิดพลาดจากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท

จากการเลียนแบบวงจรด้วยโปรแกรม PSpice นำผลที่ได้จากการตารางที่ (5.2) มาวิเคราะห์หาค่าผิดพลาดซึ่งค่าเปอร์เซ็นต์ผิดพลาด (*Percentage Error*) หาได้จากสมการที่ (5.4) ค่าเปอร์เซ็นต์ผิดพลาดแสดงดังรูปที่ 5.14

$$Percentage\ \ Error = \left|\frac{I_{in} - I_{out}}{I_{in}}\right| \times 100\% \tag{5.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

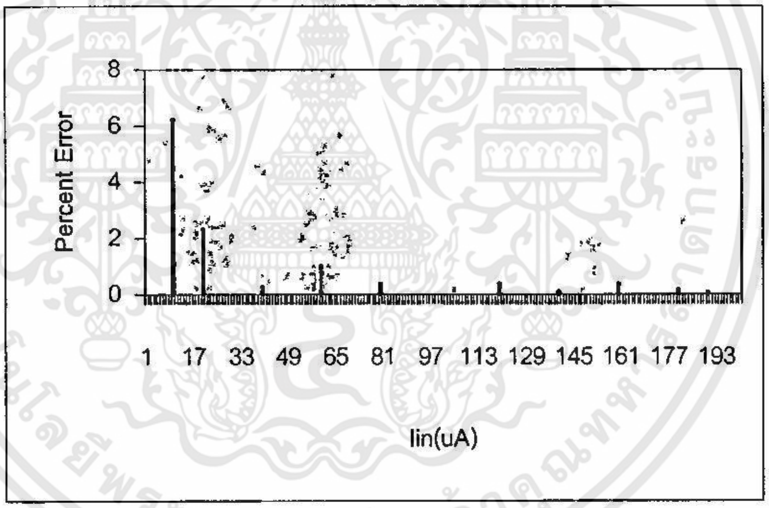
จากตารางที่ (5.2) ยกตัวอย่างที่ $I_{in} = 10\mu A$ และ $I_{out} = 9.375\mu A$ จากสมการที่ (5.4)จะได้

$$Percentage\ \ Error = \left|\frac{10\mu A - 9.375\mu A}{10\mu A}\right| \times 100\%$$

$$= 6.25\% \tag{5.5}$$

จากการคำนวณเปอร์เซ็นต์ผิดพลาด ($Percentage\ \ Error$) ของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท ที่ $I_{in} = 10\mu A$ เปอร์เซ็นต์ผิดพลาด ($Percent\ \ Error$) มีค่าเท่ากับ 6.25%

จากรูปที่ 5.3-5.13 นำมาแสดงกราฟผลการวิเคราะห์เปอร์เซ็นต์ค่าผิดพลาดจากการเลียนแบบของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท ได้ดังแสดงในรูปที่ 5.14



รูปที่ 5.14 แสดงกราฟผลการวิเคราะห์เปอร์เซ็นต์ค่าผิดพลาดจากการเลียนแบบของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด 8 บิท

5.6 สรุป

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท ได้นำหลักการของวงจรย่อย คือ วงจรสะท้อนกระแสแบบคาสโคด (Cascode Current Mirror) วงจรเปรียบเทียบกระแส (Current Comparator) วงจรอัลกอริคมิคขนาด 1 บิท วงจรตามและคงสัญญาณ (Track and Hold) และวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชิฟรีจีสเตอร์ (Shift Register) มาต่อรวมกัน โดยวงจรสามารถเพิ่มจำนวนบิทได้โดยเพิ่มจำนวนสัญญาณนาฬิกาและจำนวนของวงจรชิฟรีจิสเตอร์ขึ้นตามจำนวนบิทที่ต้องการ วงจรที่นำเสนอสามารถยืนยันหลักการทำงานได้โดยการเลียนแบบการทำงานด้วยโปรแกรม PSpice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุปวิจารณ์และข้อเสนอแนะ

6.1 บทสรุปวิจารณ์

จากวิธีการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลสามารถทำได้ด้วยกระบวนการแปลงหลัก 2 กระบวนการ คือกระบวนการแปลงแบบขนานและกระบวนการแปลงแบบอนุกรม โดยกระบวนการแปลงแบบขนานนั้นเอ้าพุตของสัญญาณดิจิตอลที่ได้แต่ละบิทจะเกิดขึ้นในเวลาเดียวกันซึ่งจะทำให้กระบวนการแปลงแบบนี้มีความเร็วสูงและกระบวนการแปลงแบบอนุกรมเอ้าพุตแต่ละบิทจะเกิดขึ้นในเวลาที่เรียงกันตามลำดับจาก *MSB* ไปยัง *LSB* โดยวิทยานิพนธ์นี้ได้นำเสนอกระบวนการแปลงแบบอนุกรม ช่วยให้เข้าใจถึงการทำงานของวงจรที่มีการทำงานไม่ยุ่งยาก เมื่อเปรียบเทียบกับแบบเดิมที่ใช้งานอยู่ โดยใช้กระแสในการทำงานของวงจร ใช้สัญญาณนาฬิกาในการควบคุมวงจร เมื่อต้องการเพิ่มจำนวนบิทที่สูงขึ้นให้กับวงจรโดยเพิ่มสัญญาณนาฬิกาและเพิ่มจำนวนของวงจรชิฟรีจิสเตอร์ สมรรถนะของวงจรสามารถยืนยันผลการเลียนแบบด้วยโปรแกรม PSpice และจากการเลียนแบบแสดงให้เห็นถึงความสามารถของวงจรที่ออกแบบขึ้น ทั้งความเร็ว ความถูกต้องในการแปลงสัญญาณอนาลอกอินพุตเป็นสัญญาณดิจิตอลเอ้าพุต พื้นที่ชิฟและการเพิ่มจำนวนบิทที่บิทสูงขึ้น ที่เหมาะจะนำไปทำวงจรรวม

6.2 ข้อเสนอแนะ

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิทนี้เป็นการนำเสนอเพื่อให้เป็นอีกทางเลือกหนึ่งที่สามารถนำมาใช้เพื่อตอบสนองความต้องการในด้านต่าง ๆ ซึ่งมีคุณสมบัติดังที่กล่าวในบทสรุป วงจรที่พัฒนาขึ้นจึงเป็นต้นแบบสามารถที่จะพัฒนาให้มีประสิทธิภาพการทำงานที่ดีขึ้นได้โดย

1. ลดจำนวนอุปกรณ์ที่ใช้ในวงจร โดยเปลี่ยนเทคโนโลยีทางด้าน CMOS มาเป็นเทคโนโลยีทางด้าน BiCMOS ซึ่งส่งผลให้กำลังสูญเสีย (Power Dissipation) ลดลง
2. เปลี่ยนวงจรสะท้อนกระแสให้เป็นแบบต่าง ๆ เช่น วงจรสะท้อนกระแสแอคทีฟ (Active Current Mirror) โดยใช้วงจรสะท้อนกระแสแบบวิลสัน (Wilson Current Mirror) เพราะข้อดีของวงจรสะท้อนกระแสแบบต่าง ๆ มีความแตกต่างกันจะทำให้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลขนาด n บิท จะมีความเที่ยงตรงในการแปลงสัญญาณและมีความเร็วเพิ่มขึ้น
3. ปรับปรุงสวิตช์อิเล็กทรอนิกส์เพื่อลดเวลาที่ใช้ในการสวิตช์การทำงานและค่า Ch ในวงจรซึ่งจะส่งผลให้ความเร็วในการทำงานของวงจรเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ปรับปรุงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล n บิท ให้สามารถนำไปต่อใช้งานได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] D.G Nairn and C.A.T. Samala, "Algorithmic analog/digital converter based on current mirrors," Electron. Lett., Vol.24, pp. 471-472, Apr. 1988.

[2] Z. Wang, "Design Methodlogy of CMOS Algorithmic Currents A/D Converters in View of Transistor Mismatches," IEEE Trans. Circuits syst., Vol .38, pp. 660-667, June 1991.

[3] B. Nobnob, K. Dejhan, S.Mitatha, F. Cheevasuvit and C. Soonyeekan, " High Conversion Time Current-Mode 8-Bit Analog-to-Digital Converter Circuit," Proc. of the 8^{th} ISIC'99, Singapore, pp. 525-528, Sep. 8-10, 1999.

[4] D.G. Nairn and C.A.T. Salama, "Current–Mode Algorithmic Analog-to -Digital Converters," IEEE J. Solid-State Circuits, Vol.25, pp.997-1004, Aug. 1990.

[5] K.R. Lakshmikumar, R.A. Hadaway and M.A. Copeland, "Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design," IEEE J. Solid-State Circuits, Vol. sc-21, pp.1057 – 1066. Dec. 1986.

[6] M. Nayebi and B. A. Wooley, "A 10-bit Video BiCMOS Track-and–Hold Amplifier," IEEE J. Solid-State Circuits, Vol.24, pp.1507 –1516, Dec. 1989.

[7] A.C. Ipri and J.C. Sarace, "CMOS/SOS Semi-Static Shift Registers," IEEE J.Solid -State Circuits, pp 337-338, Apr. 1976.

[8] C.-C. Chen and C.-Y. Wu, "Design Techniques for 1.5-V Low Power CMOS Current –Mode Cyclic Analog – to - Digital Converters," IEEE Trans. Circuits Syst.,Vol.45, pp.28-40, Jan. 1998.

[9] R. J. Van D.E. Plassche and H. J. Schouwenaar, "A Monolithic High-Speed Sample-Hold Amplifier for Digital Audio," IEEE J. Solid-state Circuit, vol. SC-18, pp. 716-722, Dec. 1983.

[10] W.Y. Subhajit and B.H. Leung, "Distortion Analysis of mos Track-and-Hold Sampling Mixers Using Time-Varying Volterra Series," IEEE Trans. Circuit Syst., Vol.46, pp.101-113, Feb. 1999.

[11] F. David and J.R. Hoeschele, " Analog-to-Digital and Digital-to-Analog Conversion Techniques," Second Edition, John Wiley&Sons, 1994.

[12] D.H. Sheingold, "Analog-Digital Conversion Notes," Published by Analog Devices, Inc Norwood, Massachusetts, 1977.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[13] D.H. Sheingold, "Analog-Digital Conversion Handbook," Prentice-Hall,England, 1986.

[14] A.B. Grebene, "Bipolar and MOS Analog Integrated Circuit Design," John Wiley&Sons, New York, 1983.

[15] R.L.Geiger, P.E.Allen and N.R.Strader, "VLSI Design Techniques For Analog and Digital Circuits," McGraw-Hill, 1990.

[16] D.J.Hamilton and W.G.Howard, "Basic Integrated Circuit Engineering," McGraw-Hill, New York,1975.

[17] A.B.Grebene, "Analog Integrated Circuit Design," Van Norstand Reinhold, New York, 1972.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
ผลงานที่ได้รับการตีพิมพ์

[1] B. Nobnob, K. Dejhan, S.Mitatha, F. Cheevasuvit and C. Soonyeekan, " High Conversion Time Current-Mode 8-Bit Analog-to-Digital Converter Circuit," Proc. of the 8th ISIC'99, Singapore, pp. 525-528, Sep. 8-10, 1999.

[2] บุญยิ่ง นบนอบ, พงศ์ยศ คีรีวนานนท์, กอบชัย เดชหาญ และวิษณุ กอพยัคฆินทร์, "การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลที่ทำงานในโหมดของกระแสโดยใช้วงจรสะท้อนกระแสแบบแอ็คทีฟ,"วิศวสารลาดกระบัง, ปีที่ 16 ฉบับที่ 4 หน้า 82-86, ธันวาคม, 2542.

[3] บุญยิ่ง นบนอบ, กอบชัย เดชหาญ, สมเกียรติ ฤกษ์วรัญญู และ เชื้อ นกอยู่, "การออกแบบวงจรบวกทางเวคเตอร์ด้วยมอสเฟท," วิศวสารลาดกระบัง, ปีที่ 15 ฉบับที่ 1 หน้า 1-5, สิงหาคม, 2541.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISIC-99

8th International Symposium on
Integrated Circuits, Devices & Systems

8-10 September 1999
Grand Hyatt, Singapore

IEEE
Networking the World™
IEEE Singapore Section

PROCEEDINGS

Organised by:
Nanyang Technological University
School of Electrical and Electronic Engineering

And
IEEE Singapore Section

Sponsored by:
Cadence Design Systems

cadence

Supported by:
IEE Singapore Centre

IEE
IEE Singapore Centre

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIGH CONVERSION TIME CURRENT-MODE 8-BIT ANALOG-TO-DIGITAL CONVERTER CIRCUIT

Boonying Nobnob, Kobchai Dejhan, Somsak Mitatha, Fusak Cheevasuvit

Faculty of Engineering and Research Center for Communications and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Bangkok10520, Thailand.
Tel : 66-2-3269967, 66-2-3269081, Fax : 66-2-3269086
E-mail : kobchai@telelan.telecom.eng.kmitl.ac.th

Chatcharin Soonyeekan

Faculty of Engineering, Kasem Bundit University, Patanakarn Road, Bangkok 10250, Thailand.

Abstract : This paper proposes an analog-to-digital converter circuit operation in current mode based on CMOS technology. The cascode current mirror is used for comparing the current, the track and hold circuit is used to convert the bit and shift the compared bit to the shift register. This proposed circuit is a new circuit design with 0.8 μm CMOS technology with 1 μs/s conversion rate, 200 μA operating input current, 10.1 mW power dissipation, all performances are better than the previous papers. This proposed circuit is able to extend the bit by increasing the clock signal and the shift register in order to obtain the higher number of bits.

1. INTRODUCTION

The analog-to-digital converters are widely used according to the researches in this field [1-3,7]. The output bit can be increased by increasing the circuit area [1-3]. Some previous paper proposed to use the small input current [1-3, 7] with high power dissipation. The CMOS technology promises to obtain the better performances according to the advantage of the technology. The current mode uses the current mirror by considering the mismatch for achieving the accuracy of the output signal.

2. THEORY

The proposed circuit is 8 bits and simulated by using PSpice program simulator. The basic concept uses 1-bit signal converting algorithm as shown in Fig.1.

The conditions can be obtained as:

$$\text{Output:}\begin{cases} 2I_{IN} - I_{REF}, & D_i = 1 \text{ for } 2I_{IN} \geq I_{REF} \\ 2I_{IN}, & D_i = 0 \text{ for } 2I_{IN} \leq I_{REF} \end{cases} \qquad (1)$$

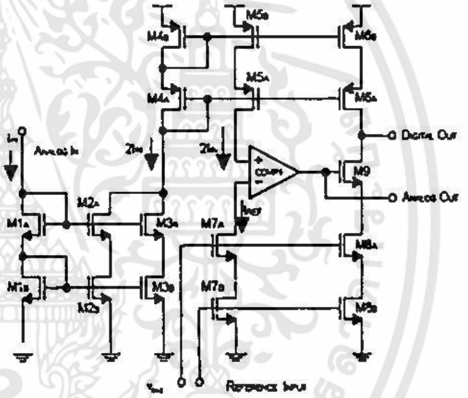


Fig.1 1-bit algorithm of signal converter

The mismatch problem of cascode current mirror gives the current error, as shown in Fig.2.

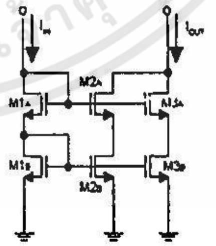


Fig.2 Cascode current mirror

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\Delta I}{I_{IN}} = \frac{I_{OUT} - I_{IN}}{I_{IN}} \tag{2}$$

ΔI is the difference between input current and output current. Suppose that the transistors operate in saturation region, then

$$\frac{\Delta I}{I_{IN}} = \frac{\Delta\beta}{\beta} - \Delta V_T \left(\frac{2\beta}{I_{IN}}\right)^{1/2} \tag{3}$$

β = Constant average of current mirror.
Δβ = The difference between of current mirror constant
ΔV_T = Threshold voltage difference of current mirror
The relation can be rewritten as

$$|\Delta I| = \Delta V_T \sqrt{2 I_{MAX} \beta} \tag{4}$$

I_{MAX} will be assigned by the transistors M_{3A}, M_{3B}, M_{4A} and M_{4B} which operate in saturation region.

$$I_{MAX} = \frac{\beta}{2}\left[\frac{V_{DD} - 3V_T}{4}\right]^2 \tag{5}$$

The current comparator is used based on two-cascode inverters as shown in Fig.3.

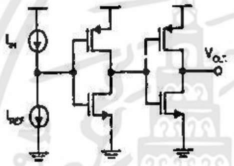
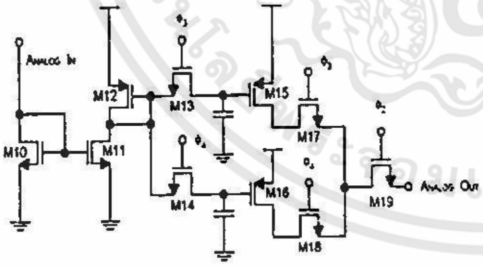
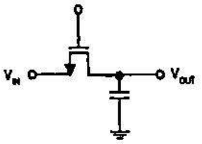


Fig.3 Current comparator

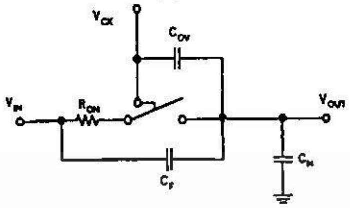
The track and hold circuit as shown in Fig.4 (a) is used for the sampling, the sampling switch is shown in Fig.4(b). The form of sampling will be shown in Fig.4(c). Fig.5 shows the shift register



(a)



(b)



(c)

Fig.4 (a) Track and Hold circuit, (b) sampling switch, (c) form of sampling

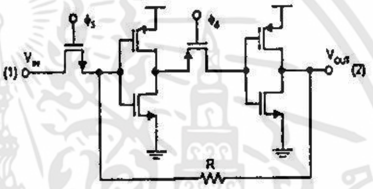


Fig.5 Shift register

3. RESULTS

The proposed of n-bit analog-to-digital converter circuit is shown in Fig.6, with controlling signal diagram, it consists of the basic circuits as mentioned before. The structure is quite simple for integration. All results are carried out based on PSpice program simulator, 0.8 μm CMOS technology, as shown in Fig.7. The ratio W/L of all transistors is 8 μm/0.8 μm, except for M13, M14, M17, M18, M19 and M20, the ratio of W/L are 16 μm/0.8 μm. $C_{H1} = C_{H2} = 20$ pF, the supply voltage is 5 volts for ground is 0 volt. The testing signal procedure is done by applying the signal for Φ_3 and Φ_4 at 8[th] bit, $I_{IN} = 10$ μA, $I_{REF} = 200$ μA and the digital output signal will be $(00001100)_2$ as shown in Fig.8 . For $I_{IN} = 100$ μA, $I_{REF} = 200$ μA, the digital output is $(10000000)_2$ as shown in Fig.9 . And $I_{IN} = 190$ μA, $I_{REF} = 200$ μA, the digital output is $(11110011)_2$ as shown in Fig.10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

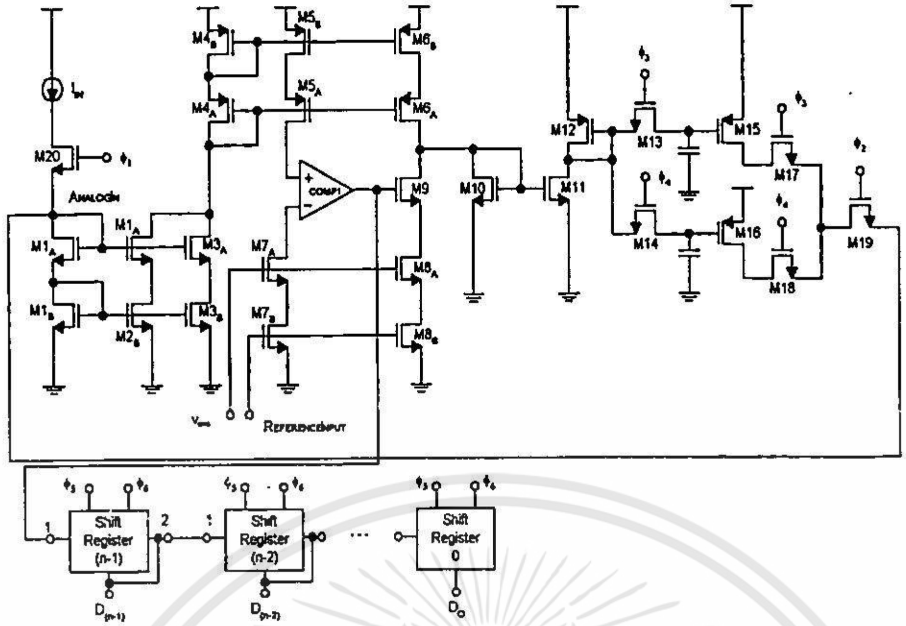


Fig.6 The proposed circuit for n bits

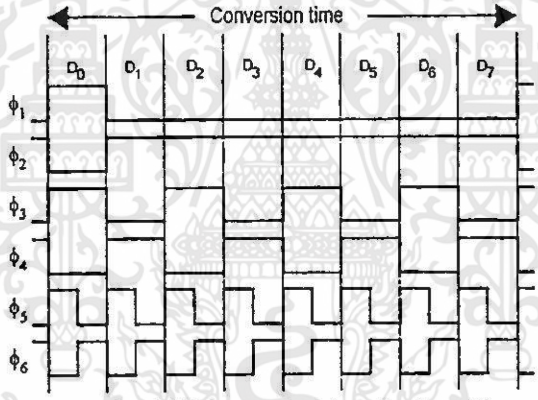


Fig.7 The testing of digital output signal for various I_{IN} and I_{REF}

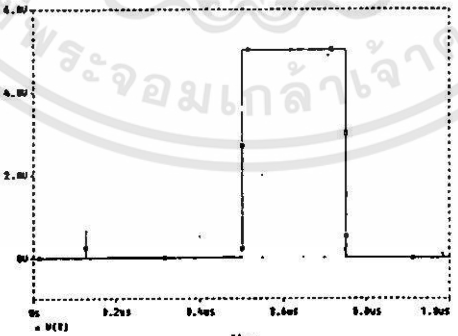


Fig. 8 Digital output D_7 -D_0, I_{IN} = 10μ A. I_{REF} = 200 μA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

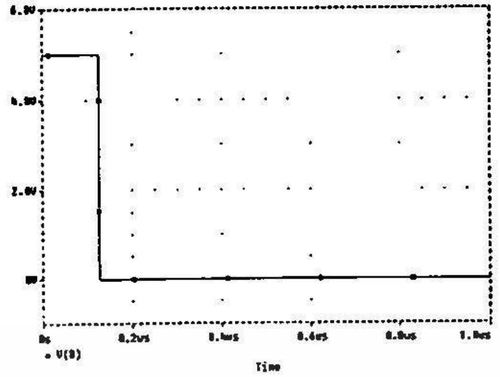


Fig. 9 Digital output D_7-D_0, I_{IN} = 100μ A, I_{REF} = 200 μA.

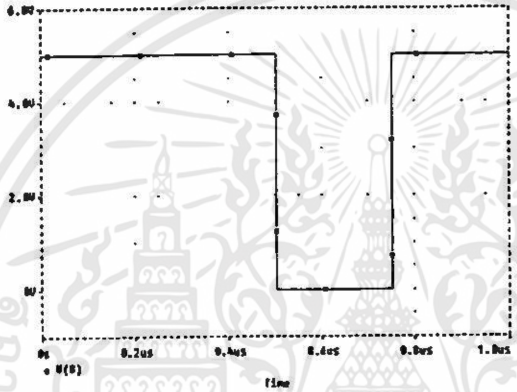


Fig. 10 Digital output D_7-D_0, I_{IN} = 190 μ A, I_{REF} = 200 μA.

4. CONCLUSION

This proposed 8-bit current-mode analog-to-digital converter circuit has a high performance when compared with the previous results according to the higher conversion time, only 1 μs/S.

REFERENCES

[1] D.G Nairn and C.A.T. Samala. "Algorithmic analog/digital converter based on current mirrors," Electron. Letts., Vol.24, pp.471-472, April 1988.

[2] Z. Wang, "Design methodlogy of CMOS algorithmic currents A/D converters in view of transistor mismatches," IEEE Trans. Circuits Syst., Vol .38, pp. 660-667, June 1991.

[3] D.G. Nairn and C.A.T. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters," IEEE J. Solid-State Circuits, Vol.25, pp.997-1004, Aug. 1990.

[4] K.R. Lakshmikumar, R.A. Hadaway and M.A. Copeland, "Characterization and modeling of mismatch in MOS transistors for precision analog design," IEEE J. Solid-State Circuits, Vol. SC-21, pp.1057–1066. Dec. 1986.

[5] M. Nayebi and B. A. Wooley, "A 10-bit video BiCMOS track-and-hold amplifier," IEEE J. Solid-State Circuits, Vol.24, pp.1507–1516, Dec. 1989.

[6] A.C. Ipri and J.C. Sarace, "CMOS/SOS semi-static shift registers," IEEE J.Solid-State Circuits, pp. 337-338, Apr. 1976.

[7] C.-C. Chen and C.-Y. Wu, "Design techniques for 1.5-V low power CMOS current-mode cyclic analog-to-digital converters," IEEE Trans. Circuits Syst., Vol.45, pp.28-40, Jan. 1998.

[8] J.-B. Shyu, G.C. Temes and F. Krummenacher "Random error effects in matched MOS capacitors and current sources," IEEE J.Solid- State Circuits, Vol.SC-19,pp.948-955, Dec. 1984

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลที่ทำงานในโหมดของกระแสโดยใช้วงจรสะท้อนกระแสแบบแอ็คทีฟ

Current-Mode Analog-to-Digital Converter Circuit Using Active Current Mirror Design

บุญถึง นบนอบ พงศ์ยศ คีรีวนานนท์ กอบชัย เดชหาญ

คณะวิศวกรรมศาสตร์และสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วิชญ กอพยัคฆินทร์

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเซนต์จอห์น

บทคัดย่อ

ในบทความวิจัยนี้ได้นำเสนอวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลที่ทำงานในโหมดกระแสโดยใช้วงจรสะท้อนกระแสแบบแอ็คทีฟส่งกระแสเพื่อนำไปเปรียบเทียบกระแสโดยใช้วงจร Track & Hold เป็นตัวโฮลกระแสเพื่อทำการแปลงบิทต่อไปวงจรที่ออกแบบใหม่นี้มีขนาด 8 บิทอัตราการแปลง 16 MHz ต่อ 1 บิทและช่วงปฏิบัติงานย่านกระแสอินพุต 0 - 200 μA วงจรนี้สามารถที่ขยายจำนวนบิทโดยการเพิ่มจำนวนสัญญาณนาฬิกาเมื่อถูกนำไปใช้ในการเพิ่มจำนวนบิทที่สูงขึ้นผลการทดสอบได้กระทำโดยใช้โปรแกรมเลียนแบบการทำงาน PSpice

Abstract

This paper proposes a current mode analog-to-digital converter circuit. The active current mirror is used for comparing the current, the track and hold circuit is used to convert the bit and shift the compared bit to the shift register. This proposed 8 bit circuit with 16 MHz/bit converting rate uses the controlling current 0 to 200 μA. This proposed circuit is able to extend the bit by increasing the clock signal and the shift register in order to obtain the higher number of bits.

1. บทนำ

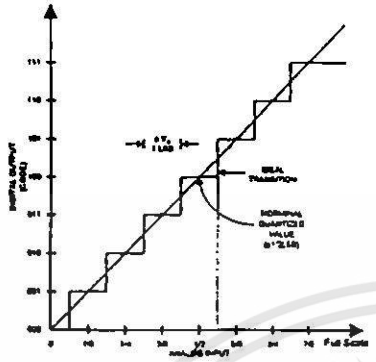
ในปัจจุบันวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลมีการนำไปประยุกต์ใช้งานอย่างกว้างขวางและการเสนองานวิจัยเกี่ยวกับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลมีออกมามาก [1-6] แต่เมื่อจำนวนบิททางเอ้าพุตมากขึ้น วงจรจะมีพื้นที่มาก สิ้นเปลืองกำลังสูง [2-5] มีช่วงการปฏิบัติงานย่านกระแสอินพุตต่ำ [2-6] อัตราการแปลงต่ำ [1-6] หลักการออกแบบวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลโหมดกระแสจะใช้วงจรสะท้อนกระแสแบบแอ็คทีฟ เพื่อความเที่ยงตรงของสัญญาณเอ้าพุตเพราะมีความสำคัญมากในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลที่ทำงานในโหมดกระแสโดยงานวิจัยที่นำเสนอวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลโหมดกระแสจะประกอบด้วยวงจรย่อยคือ วงจรสะท้อนกระแสแบบแอ็คทีฟ (Active Current Mirror) วงจรเปรียบเทียบกระแส (Current Comparator) และวงจรแทร็คและโฮล (Track & Hold) โดยถูกเลียนแบบการทำงานให้มีขนาด 8 บิท อาศัยโปรแกรม PSpice

2. หลักการเบื้องต้น

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลคือการแปลงรูปแบบของสัญญาณต่อเนื่องค่าหนึ่งๆที่เป็นศักดาหรือกระแสเป็นสัญญาณดิจิตอลที่มีค่าสอดคล้องกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ladkrabang Engineering Journal, Vol.16, No. 4, December 1999



รูปที่ 1 กราฟความสัมพันธ์ระหว่างสัญญาณอนาล็อกอินพุตและสัญญาณดิจิตอลเอ้าพุต

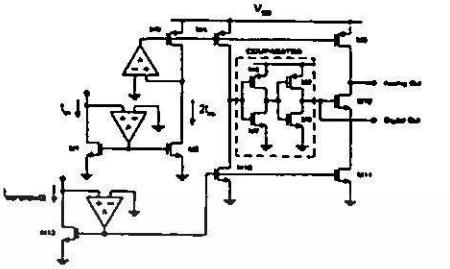
ความสัมพันธ์ระหว่างสัญญาณอนาล็อกอินพุตและสัญญาณดิจิตอลเอ้าพุตของตัวแปลงสัญญาณใน อุดมคติ แสดงดังรูปที่ 1 จากรูปกำหนดดิจิตอลเอ้าพุตมีค่า 3 บิทโดยที่ N บิทของดิจิตอลเอ้าพุตมีค่า $2^{N}-1$ บิท

2.1 อัลกอลิทึมของตัวแปลงสัญญาณ 1 บิท

วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลโหมดกระแส 1 บิท มีลักษณะโครงสร้างของบิทเซลดังรูปที่ 2 หลักการทำงานของบิทเซลเมื่อกระแส I_{IN} ผ่านมายัง M1 จะสะท้อนกระแสไปยัง M2 กระแส $2I_{IN}$ มายังวงจรสะท้อนกระแส M3และM4 เพื่อเปรียบเทียบกระแสที่วงจรเปรียบเทียบกระแสและ M12 เป็นอนาล็อกเอ้าพุตวงจรเปรียบเทียบกระแส $2I_{IN}$ จาก M4 กับ I_{REF} จาก M10 ดังเงื่อนไข $2I_{IN}$ น้อยกว่า I_{REF} ดิจิตอลเอ้าพุตจะเป็น "0" M12 จะ OFF จะได้อนาล็อกเอ้าพุตเท่ากับ $2I_{IN}$ ถ้า $2I_{IN}$ มากกว่า I_{REF} ดิจิตอลเอ้าพุตจะเป็น "1" M12 จะ ON I_{REF} จาก M11 จะลบ $2I_{IN}$ จาก M5 จะได้อนาล็อกเอ้าพุตเท่ากับ $(2I_{IN} - I_{REF})$

ซึ่งเงื่อนไขที่กล่าวมาจะแสดงดังสมการที่ (1)

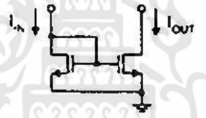
$$\text{Digital output:}\begin{cases} 2I_{IN} - I_{REF}, & D_i = 1 \quad for \quad 2I_{IN} \geq I_{REF} \\ 2I_{IN}, & D_i = 0 \quad for \quad 2I_{IN} \leq I_{REF} \end{cases} \tag{1}$$



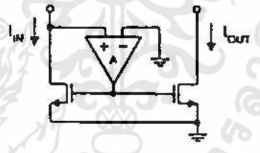
รูปที่ 2 อัลกอริทึมของตัวแปลงสัญญาณ 1 บิทเซล

2.2 วงจรสะท้อนกระแส

ในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลความเที่ยงตรงจะขึ้นอยู่กับวงจรสะท้อนกระแสเพราะฉะนั้นวงจรสะท้อนกระแสต้องแมทช์กันในอุดมคติจากรูปที่ 2 จะแสดงกระแสของวงจรสะท้อนกระแสดังรูปที่ 3



(a)



(b)

รูปที่ 3 (a) วงจรสะท้อนกระแสแบบพื้นฐาน
(b) วงจรสะท้อนกระแสแบบแอกทีฟ

จากวงจรสะท้อนกระแสแบบแอกทีฟในรูปที่ 3 (b) จะได้สมการ

$$\frac{I_O}{I_{IN}} = \frac{R_O}{R_O + 1/Ag_m} \tag{2}$$

I_O คือกระแสเอ้าพุตของวงจรสะท้อนกระแส
I_{IN} คือกระแสอินพุตของวงจรสะท้อนกระแส
R_O คือความต้านทานเอ้าพุต
A คืออัตราการขยาย
g_m คือทรานคอนดัคแตนซ์ของทรานซิสเตอร์

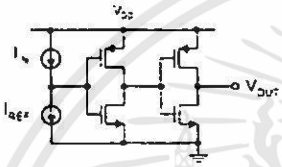
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{IN} - I_O = \frac{I/Ag_m}{R_O + I/Ag_m} \quad (3)$$

$$I_{IN} - I_O \cong \frac{I}{AR_O g_m} \quad (4)$$

2.3 วงจรเปรียบเทียบกระแส

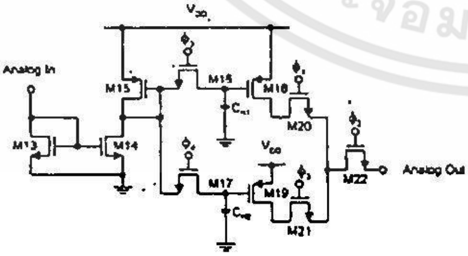
วงจรเปรียบเทียบกระแสแสดงดังรูปที่ 4 ซึ่งใช้วงจรอินเวอร์เตอร์มาคาสโคดกันวงจรเปรียบเทียบกระแสจะเปรียบเทียบกระแสให้เป็นไปตามเงื่อนไขในสมการที่ (1)



รูปที่ 4 วงจรเปรียบเทียบกระแส

2.4 วงจร Track & Hold

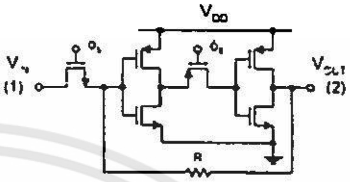
วงจร Track & Hold แสดงดังรูปที่ 5 ซึ่งมีหลักการทำงานเมื่อป้อนกระแสเข้ายังอินพุตของ วงจร Track & Hold เมื่อกระแสผ่าน M13 จะสะท้อนกระแสมายัง M14, M15, M18 และ M19 โดยใช้ M16, M17, M20 และ M21 เป็นสวิทช์ควบคุมการสะท้อนกระแสจาก M13 ตามจังหวะของสัญญาณ ϕ_1 และ ϕ_2 โดย M16 และ M17 ทำหน้าที่เป็นตัวควบคุมการหน่วงสัญญาณของคาปาซิเตอร์ C_{H1} และ C_{H2} ที่ได้ค่า V_{GS} จากมอสทรานซิสเตอร์ M15 ส่วน M22 ทำหน้าที่เป็นสวิทช์ควบคุมกระแสจาก M13 ตามจังหวะการควบคุมของสัญญาณ ϕ_3 ที่ได้จากมอส M20 และ M21 เพื่อนำไปแปลงที่บิท 0, 1,(N-1) ตามลำดับ



รูปที่ 5 วงจร Track & Hold

2.5 วงจรชิฟรีจิสเตอร์

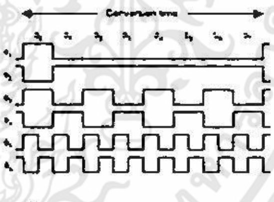
วงจรชิฟรีจิสเตอร์ 1 บิทแสดงดังรูปที่ 6 โครงสร้างของวงจรชิฟรีจิสเตอร์โดยการนำเอาวงจรอินเวอเตอร์มาคาสโคดกันและใช้สัญญาณนาฬิกา 1 คาบเวลาควบคุมบิทต่อ 1 บิท



รูปที่ 6 วงจรชิฟรีจิสเตอร์ 1 บิท

3. การทำงานของตัวแปลงสัญญาณอนาล็อกเป็นดิจิตอลที่ N บิท

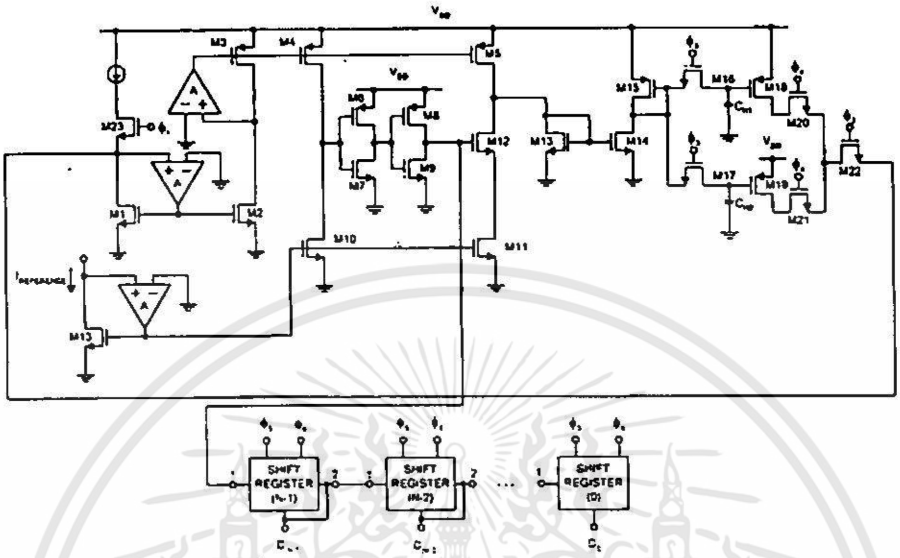
วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลที่ N บิท แสดงดังรูปที่ 8 ซึ่งนำวงจรบิทเซลในรูปที่ 2 มาต่อร่วมกับวงจร Track & Hold ในรูปที่ 5 และต่อดิจิตอลเอ้าพุตจากบิทเซลล์เข้าวงจรชิฟรีจิสเตอร์เพื่อแสดงค่าต่อ 1 บิทในรูปที่ 6 โดยแสดงค่าที่บิท 0, 1, (N-1) ตามลำดับ



รูปที่ 7 ไดอะแกรมสัญญาณควบคุม

เมื่อป้อนสัญญาณควบคุม ϕ_1-ϕ_4 และกระแส I_{IN} ให้กับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลตัวแปลงสัญญาณจะทำการแปลงที่บิท 0 ก่อนผลการแปลงสัญญาณจะได้ดิจิตอลเอ้าพุตเลื่อนเข้าวงจรชิฟรีจิสเตอร์ส่วนอนาล็อกเอ้าพุตผ่านไปยังวงจร Track & Hold ซึ่งM16 จะทำงาน C_{H1}จะโฮลสัญญาณเมื่อพัลซ์ลูกที่ 2 เข้ามา M20 ไม่ทำงาน M22 ทำงานจะได้อนาล็อกเอ้าพุตที่จะเป็น I_{IN} ให้กับวงจรบิทเซลตามรูปที่ 8 โดยที่ C_{H1} กับ C_{H2}สลับกันทำงานตามสัญญาณ ϕ_3-ϕ_4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

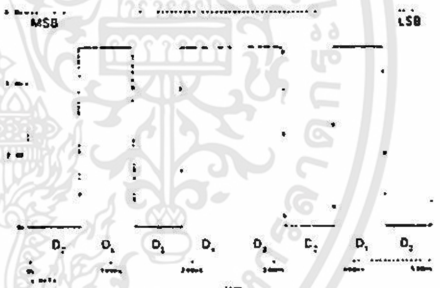


รูปที่ 8 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลขนาด N บิท

4. การทดสอบและผลการทดสอบ

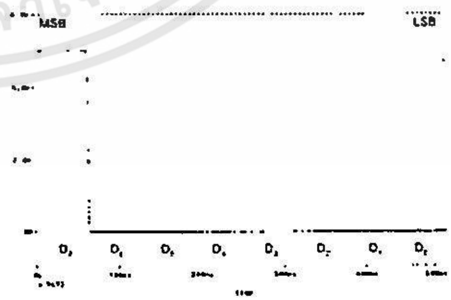
ในบทความนี้ได้ใช้การเลียนแบบการทำงานด้วยโปรแกรม PSpice โดยการกำหนดค่า W/L ของทรานซิสเตอร์เท่ากับ 8 μm/0.8 μm ยกเว้นทรานซิสเตอร์ที่ทำหน้าที่เป็นสวิทช์ M16, M17, M20, M21, M22 และ M23 มีค่าเท่ากับ 16 μm/0.8 μm. C_{s1} และ C_{s2} = 20pF, V_{DD} = 5V และ GND = 0V

การทดสอบโดยป้อนสัญญาณ ϕ_1-ϕ_2 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลขนาด N บิทขนาด 8 บิทให้ I_{IN} = 70 μA, I_{REF} = 200 μA จะได้ดิจิตอลเอ้าพุต = $(01011010)_2$ ดังแสดงในรูปที่ 9(a) ให้ I_{IN} = 100 μA, I_{REF} = 200 μA ดิจิตอลเอ้าพุต = $(10000000)_2$ ดังแสดงในรูปที่ 9(b) ให้ I_{IN} = 133 μA, I_{REF} = 200 μA ดิจิตอลเอ้าพุต = $(10101010)_2$ ดังแสดงในรูปที่ 9(c) และให้ I_{IN} = 170 μA, I_{REF} = 200 μA ดิจิตอลเอ้าพุต = $(11011010)_2$ ดังแสดงในรูปที่ 9(d)



I_{IN} = 70 μA, I_{REF} = 200 μA

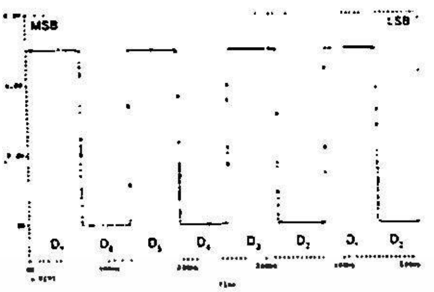
(a)



I_{IN} = 100 μA, I_{REF} = 200 μA

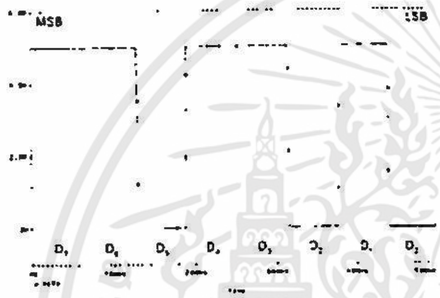
(b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



I_{IN} = 133 μA, I_{REF} = 200 μA

(c)



I_{IN} = 170 μA, I_{REF} = 200 μA

(d)

รูปที่ 9 ดิจิตอลเอ้าพุต D_7-D_0

5. สรุป

ผลการทดสอบวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลโหมดกระแสที่ 8 บิท อัตราการแปลง 16 MHz ต่อ 1 บิทซึ่งเร็วกว่าบทความ [1] เป็นสองเท่า, เอ้าพุตอินพีแดนซ์ต่ำและช่วงปฏิบัติงานย่านกระแสอินพุต 0 - 200 μA จากรูปที่ 9(a)และ(d) มีค่าความผิดพลาด 0.44 % ซึ่งเป็นค่าที่น้อยและสามารถยอมรับได้ วงจรนี้สามารถที่ขยายจำนวนบิทที่สูงขึ้นโดยการเพิ่มจำนวนสัญญาณนาฬิกาและจำนวนวงจรรีจิสเตอร์เหมาะสำหรับนำไปทำวงจรรวม

6. เอกสารอ้างอิง

[1] B. Nobnob, K. Dejhan, S. Mitatha and F.Cheevasuvit, and C. Soonyeekan, "High Conversion Time Current-Mode 8-Bit Analog-to-Digital Converter Circuit," Proc. of the 8th ISIC, Singapore, pp. 525-528, Sep. 8-10, 1999.

[2] D.G Nairn and C.A.T. Samala, "Algorithmic Analog/Digital Converter Based on Current Mirrors," Electron. Letts., Vol. 24, pp. 471-472, Apr. 1988.

[3] Z. Wang, "Design Methodlogy of CMOS Algorithmic Currents A/D Converters in View of Transistor Mismatches," IEEE Trans. Circuits syst., Vol. 38, pp. 660-667, June 1991.

[4] D.G. Nairn and C.A.T. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters," IEEE J. Solid-State Circuits, Vol 25, pp.997-1004, Aug. 1990

[5] D.G Nairn and and C.A.T. Salama, "High-Resolution Current-Mode A/D Convertors Using Active Current Mirrors,"Electron. Lett., Vol. 24, pp. 1331-1332, Oct. 1988

[6] C.-C. Chen and C.-Y. Wu, "Design Techniques for 1.5-V Low Power CMOS Current -Mode Cyclic Analog-to-Digital Converters," IEEE Trans Circuits Syst., Vol. 45, pp. 28-40, Jan. 1998.

[7] M Nayebi and B. A. Wooley, "A 10-bit Video BiCMOS Track-and-Hold Amplifier," IEEE J. Solid-State Circuits, Vol. 24, pp. 1507-1516, Dec. 1989.

[8] A.C. Ipri and J.C. Sarace, "CMOS/SOS Semi-Static Shift Registers," IEEE J.Solid-State Circuits, pp. 337-338, Apr. 1976.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรบวกทางเวคเตอร์ด้วยมอสเฟท

A MOSFET Vector Summation Circuit Design

บุญยิ่ง นบนอบ กอบชัย เดชหาญ สมเกียรติ ฤกษ์วรัญญู เชื้อ นกอยู่
คณะวิศวกรรมศาสตร์และสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้เสนอวงจรบวกทางเวคเตอร์โดยใช้มอสเฟทซึ่งใช้กฎกำลังสองของมอสเฟท โดยโครงสร้างของวงจรประกอบด้วย 2 ส่วนหลัก ส่วนแรกคือวงจรยกกำลังสอง ส่วนที่สองคือวงจรรากที่สอง ซึ่งโครงสร้างของวงจรบวกทางเวคเตอร์ด้วยมอสเฟทเป็นการใช้กระแสคงที่ในการหักล้างค่าแรงดันเทรชโฮลด์ของมอสเฟท ผลการทดสอบได้กระทำโดยใช้โปรแกรมเลียนแบบการทำงาน PSpice เพื่อยืนยันประสิทธิภาพของวงจรซึ่งสอดคล้องกับทฤษฎี

Abstract

This paper presents the MOSFET vector summation circuit by using Square's law of MOSFET. Its structure consists of two main parts. First part is the Square's law circuit and the second part is Square root's law circuit. The structure of the MOSFET vector summation circuit uses the fixed current with neutralizing threshold voltage of MOSFET. The results of this circuit are shown by using the PSpice simulation program to demonstrate the performances of this circuit.

1. บทนำ

วงจรบวกทางเวคเตอร์เป็นวงจรที่มีการใช้งานกันมากในด้านการสื่อสารโทรคมนาคม, การคำนวณทางเครื่องมือวัดและวิเคราะห์ต่าง ๆ [1-3] แต่เป็นการเสนอหลักการที่สร้างมาจากวงจรทรานส์ลิเนียร์ของไบโพล่าร์ทรานซิสเตอร์กับออปแอมป์หรือแม้กระทั่งวงจรสายพานกระแสรุ่นที่สองกับมอสเฟท [1] ในบทความนี้ได้เสนอวงจรบวกทางเวคเตอร์ด้วยมอสเฟทที่มีความเหมาะสมกับการสร้างวงจรรวม ซึ่งใช้หลักการของวงจรยกกำลังสองและหลักการของวงจรถอดรากที่สองมาออกแบบเป็นวงจรบวกทางเวคเตอร์ โดยการใช้กระแสคงที่ในการหักล้างค่าแรงดันเทรชโฮลด์ของมอสเฟทซึ่งมีการใช้ทรานซิสเตอร์จำนวนน้อยและมีประสิทธิภาพสูง สามารถนำไปประยุกต์ใช้งานได้ตามความเหมาะสม

2. หลักการทำงานและวงจร

วงจรบวกทางเวคเตอร์โดยใช้มอสเฟทที่เสนอในบทความนี้จะมีโครงสร้างประกอบด้วย 2 ส่วน

(1) วงจรยกกำลังสอง

(2) วงจรรากที่สอง

ทั้งสองวงจรใช้หลักการกฎกำลังสองของมอสเฟทซึ่งทำงานในย่านอิ่มตัว (Saturation Region) เป็นหลักในการออกแบบวงจรซึ่งมีสมการกระแสเดรนเท่ากับ

$$I_D = K\left(V_{GS} - V_T\right)^2 ; \left|V_{DS}\right| > \left|V_{GS}\right| - \left|V_T\right| > 0 \quad (1)$$

โดยที่ $K = \frac{\mu_O C_{OX}}{2}\left(\frac{W}{L}\right)$

μ_o = ค่าสภาพคล่องตัวของพาหะที่ผิวบริเวณแชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{OX} = \frac{\varepsilon_{OX}}{t_{ox}}$$

ε_{OX} = ค่าคงที่ไดอิเล็กตริกซึ่งเป็นของ SiO_2 มีค่าประมาณ $3.9\varepsilon_O$ (โดย $\varepsilon_O \approx 8.854 \times 10^{-14}\ F/cm$)

t_{OX} = ค่าความหนาของเกทออกไซด์ (Gate Oxide)

V_{GS} = ค่าความต่างศักย์ระหว่างเกทกับซอส

$$V_T = V_{TO} + \gamma\left(\sqrt{2|\phi| - V_{SB}} - \sqrt{2|\phi_F|}\right)$$

V_{TO} = ค่าศักดาเทรชโฮลด์เมื่อ $V_{BS} = 0$

γ = ค่าเทรชโฮลด์ที่ bulk $(volts)^{1/2}$

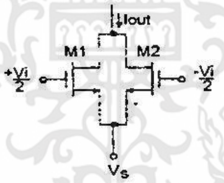
ϕ_F = ค่า Strong Inversion Surface Potential (Volts)

λ = ค่า Channel Length Modulation $(volts)^{-1}$

V_{BS} = ค่าศักดาระหว่าง bulk กับ ซอส

3. หลักการของวงจรกำลังสอง

วงจรยกกำลังสองซึ่งใช้วงจรขยายสัญญาณดิฟเฟอเรนเชียลเป็นหลักในการออกแบบซึ่งสามารถเขียนได้ดังรูปที่ 1



รูปที่ 1 วงจรขยายสัญญาณดิฟเฟอเรนเชียล

จากรูปที่ 1 ทรานซิสเตอร์ M1, M2 มีสมการกระแสเดรนเท่ากับ

$$I_{D1} = K_1\left(V_{GS1} - V_T\right)^2 \qquad (2)$$

$$I_{D2} = K_2\left(V_{GS2} - V_T\right)^2 \qquad (3)$$

จากสมการที่ (2) และ (3) กำหนดให้ค่า W/L ของ M1 และ M2 มีค่าเท่ากันดังนั้น $K_1=K_2=K_D$

$$I_{OUT} = I_{D1} + I_{D2}$$

$$I_{OUT} = K_D\left(V_{GS1} - V_T\right)^2 + K_D\left(V_{GS2} - V_T\right)^2$$

$$I_{OUT} = K_D\left(\frac{V_i}{2} - V_S - V_T\right)^2 + K_D\left(-\frac{V_i}{2} - V_S - V_T\right)^2$$

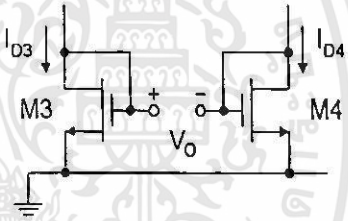
$$I_{OUT} = 2K_D\left(\left(\frac{V_i}{2}\right)^2 + \left(V_S + V_T\right)^2\right) \qquad (4)$$

จากสมการที่ (4) ถ้ากำหนดให้ $V_S = -V_T$ จะได้กระแสเอ้าพุตเป็นกำลังสองของแรงดันอินพุตดังสมการที่ (5)

$$I_{OUT} = K_D\frac{\left(V_i\right)^2}{2} \qquad (5)$$

4. หลักการของวงจรรากที่สอง

วงจรรากที่สองมีโครงสร้างหลักซึ่งสามารถเขียนได้ดังรูปที่ 2



รูปที่ 2 หลักการของวงจรรากที่สอง

จากรูปที่ 2 ทรานซิสเตอร์ M3 และ M4 มีสมการกระแสเดรนเท่ากับ

$$I_{D3} = K_3\left(V_{GS3} - V_T\right)^2 \qquad (6)$$

$$I_{D4} = K_4\left(V_{GS4} - V_T\right)^2 \qquad (7)$$

จากสมการที่ (6) และ (7) กำหนดให้ค่า W/L ของ M3 และ M4 มีค่าเท่ากันดังนั้น $K_3=K_4=K_S$

$$V_O = V_{GS3} - V_{GS4} = \frac{\sqrt{I_{D3}} - \sqrt{I_{D4}}}{\sqrt{K_S}} \qquad (8)$$

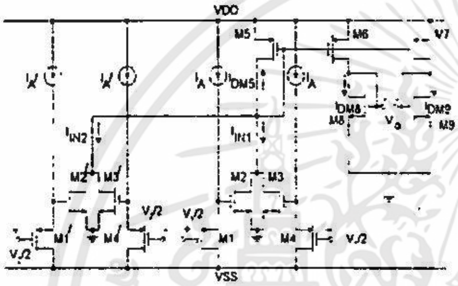
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (8) กำหนดให้ $I_{D3} = 4I_{D4}$ จะได้แรงดันเอ้าพุตของวงจรรากที่สองดังสมการที่ (9)

$$V_O = \sqrt{\frac{I_{D4}}{K_S}} \qquad (9)$$

5. วงจรบวกทางเวคเตอร์ด้วยมอสเฟททึ่สมบูรณ์

วงจรบวกทางเวคเตอร์แบบนี้จะใช้แหล่งจ่ายกระแสค่าคงที่ในการหักล้างค่าแรงดันเทรชโฮลด์ของมอสเฟทซึ่งลักษณะวงจรจะเป็นดังรูปที่ 3



รูปที่ 3 วงจรสมบูรณ์ของวงจรบวกทางเวคเตอร์ด้วยมอสเฟท

จากรูปที่ 3 กำหนดให้ M1 และ M4 มีค่า W/L เท่ากัน $V_{GS1} = V_{GS4}$ ถูกควบคุมให้คงที่ด้วยแหล่งจ่ายกระแสคงที่ I_A ถ้ากำหนดให้

$$V_{GS1} = V_{GS4} = V_{TN}$$

เพื่อให้ง่ายในการแก้สมการและทำได้โดยสร้างบนซับสเตรทเดียวกันโดยที่ V_{TN} = แรงดันเทรชโฮลด์ของเอ็นแชนแนลมอสทรานซิสเตอร์

จากรูปที่ 3 และสมการที่ (5)

$$I_{IN1} = \frac{K_D (V_1)^2}{2} \qquad (10)$$

$$I_{IN2} = K_D \frac{(V_2)^2}{2} \qquad (11)$$

กำหนดให้ค่า W/L ของ M6 มีค่าเป็นสี่เท่าของ M5 และ M7 โดยค่า W/L ของ M5 และ M7 มีค่าเท่ากัน ดังนั้น

$$I_{DM7} = I_{DM5} = I_{IN1} + I_{IN2}$$

$$I_{DM7} = \frac{1}{4} I_{DM6} \qquad (12)$$

จากสมการที่ (9) จะได้

$$V_O = \sqrt{\frac{I_{IN1} + I_{IN2}}{K_S}} \qquad (13)$$

แทนค่าสมการที่ (10) และสมการที่ (11) ลงในสมการที่ (13) จะได้สมการเอ้าพุตดังสมการที่ (14)

$$V_O = \frac{1}{\sqrt{2}} \sqrt{\frac{K_D}{K_S}} \sqrt{(V_1)^2 + (V_2)^2} \qquad (14)$$

จากสมการที่ (14) ถ้ากำหนดให้ $K_D = 2K_S$ จะได้สมการเอ้าพุตของวงจรบวกทางเวคเตอร์ด้วยมอสเฟทดังสมการที่ (15)

$$V_O = \sqrt{(V_1)^2 + (V_2)^2} \qquad (15)$$

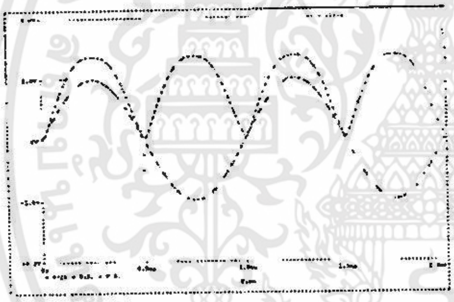
6. การทดลองและผลการทดลอง

ในบทความนี้ได้ใช้การเลียนแบบการทำงานด้วยโปรแกรม PSpice ซึ่งใช้ Model ES2 ของ European Silicon Structure ใช้ Level = 2 และเป็น Worse Case โดยกำหนดค่า W/L ของวงจรบวกทางเวคเตอร์โดยการใช้กระแสค่าคงที่ในการหักล้างค่าแรงดันเทรชโฮลด์ของมอสเฟท ทรานซิสเตอร์ M1-M4, M1′-M4′ มีค่า W/L = 200μm/10μm, M5 มีค่า W/L = 25μm/10μm, M6 มีค่า W/L = 100μm/10μm, M7 มีค่า W/L = 25μm/10μm, M8 และ M9 มีค่า W/L = 100μm/10μm โดยใช้แหล่งจ่ายกระแสคงที่เท่ากับ 100μA, VDD = 5 V และ VSS = -5 V

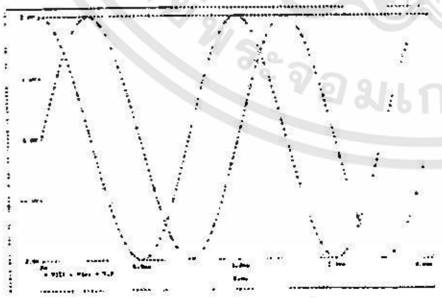
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองจะจำลองการทำงานวงจรบวกทางเวคเตอร์เป็นวงจรฟูลเวฟเรคติไฟร์โดยป้อนอินพุต V_1 และ V_2 เป็นคลื่นรูปซายน์ขนาด 4 V_{P-P} ความถี่ 1 kHz ในวงจรบวกทางเวคเตอร์ในรูปที่ 3 ผลการจำลองแสดงดังรูปที่ 4(a)

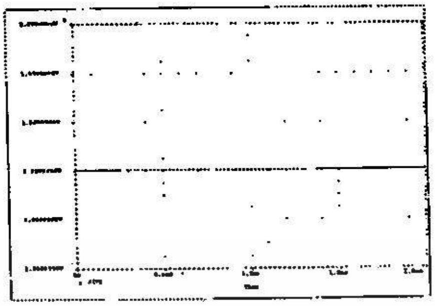
รูปที่ 4(b) เป็นผลการจำลองการทำงานของวงจรบวกทางเวคเตอร์โดยอาศัยความสัมพันธ์เอกลักษณ์ทางตรีโกณมิติ $cos^2\omega t + sin^2\omega t = 1$ โดยป้อนสัญญาณอินพุต $V_1 = 2sin\omega t$ และ $V_2 = 2cos\omega t$ ในวงจรบวกทางเวคเตอร์ในรูปที่ 3 ดังนั้นเอ้าพุตที่ได้เป็นศักดาคงที่ดังรูปที่ 4(b) ค่าศักดาเอ้าพุตมีค่าประมาณ 2 V รูปที่ 4(c) แสดงค่าผิดพลาดของสัญญาณเอ้าพุตระหว่างผลทางทฤษฎีซึ่งมีค่าศักดาคงที่เท่ากับ 2 Vและผลการจำลองมีค่าศักดาคงที่เท่ากับ 1.9999994 V ดังนั้นผลการจำลองวงจรบวกทางเวคเตอร์ในรูปที่ 3 มีค่าผิดพลาดเท่ากับ 0.6 μV



(a) แสดงสัญญาณอินพุตและเอ้าพุตเมื่อให้อินพุต $V_1 = V_2$ เป็นคลื่นรูปซายน์



(b) แสดงสัญญาณอินพุตและเอ้าพุตเมื่อให้อินพุต $V_1 = 2sin\omega t, V_2 = 2cos\omega t$



(c) แสดงสัญญาณเอ้าพุตที่ผิดพลาดเมื่อให้อินพุต $V_1 = 2sin\omega t, V_2 = 2cos\omega t$

รูปที่ 4 ผลการเลียนแบบวงจรบวกทางเวคเตอร์

7. บทสรุป

วงจรบวกทางเวคเตอร์ด้วยมอสเฟทที่ได้ออกแบบในบทความนี้ โดยใช้หลักการของมอสเฟทย่านอิ่มตัว (Saturation) หรือเรียกอีกอย่างหนึ่งว่ากฎกำลังสอง (Square 's law) จะเห็นว่ามีโครงสร้างที่ง่ายมีประสิทธิภาพดีเหมาะที่จะนำไปสร้างวงจรรวม ซึ่งผลการเลียนแบบโดยโปรแกรม PSpice สามารถชี้ให้เห็นผลการวิเคราะห์ที่ใกล้เคียงกับทฤษฎี

8. เอกสารอ้างอิง

[1] S.-I. Liu. "Square-rooting and vector summation circuits using current conveyor." Proc. IEE Circuits Devices Syst., Vol-142, No.4, pp. 223-226, August. 1995.

[2] O. Landolt, E. Vittoz and P. Heim. "CMOS self-biased Euclidean distance computing circuit with high dynamic range." Electron. Letts., Vol. 28, pp. 352-354, Feb. 1992.

[3] E. Seevinck, R.F. Wassenar and H.C.K. Wong. "A wide-band technique for vector summation and RMS-DC conversion." IEEE J. Solid-State Circuit, Vol. 19, pp. 311-318, June 1984.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายบุญยิ่ง นบนอบ เกิดเมื่อวันที่ 14 ธันวาคม 2515 จังหวัดกระบี่ สำเร็จการศึกษาอุตสาหกรรมศาสตรบัณฑิต สาขาอิเล็กทรอนิกส์ จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้