ADC แบบฮาล์ฟแฟลชขนาดสี่บิทโดยไม่ใช้ DAC

HALF FLASH ADC 4-BIT WITHOUT DAC

วินัย ชูโชติสกุลเลิศ

WINAI CHUCHOTSAKUNLEOT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2545

ISBN 974-648-653-5

ADC แบบฮาล์ฟแฟลชขนาดสี่บิทโดยไม่ใช้ DAC

HALF FLASH ADC 4-BIT WITHOUT DAC

T043245

วินัย ชูโชติสกุลเลิศ

WINAI CHUCHOTSAKUNLEOT

เลขหมู่......
เลขทะเบียน 43245
วัน, เดือน, ปี 8 ส.ค. 2545

.b......
.i......

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พ.ศ. 2545

ISBN 974 - 648 - 653 -5

HALF FLASH ADC 4-BIT WITHOUT DAC

WINAI CHUCHOTSAKUNLEOT

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISBN 974 - 648 - 653 - 5

COPYRIGHT 2002

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ ADC แบบฮาล์ฟแฟลชขนาดสี่บิทโดยไม่ใช้ DAC

HALF FLASH ADC 4-BIT WITHOUT DAC

ชื่อนักศึกษา นายวินัย ชูโชติสกุลเลิศ

รหัสประจำตัว 41061119

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้า

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.วิทยา ทิพย์สุวรรณพร

คณะกรรมการสอบวิทยานิพนธ์	ลายมือชื่อ
รศ.ดร.วันชัย ริ้วรุจา	
รศ.พิพัฒน์ เลาหสงคราม	
รศ.ดร.ฟูศักดิ์ ชีวสุวิทย์	
รศ.วิทยา ทิพย์สุวรรณพร	

วัน/เดือนปี ที่สอบ 18 กุมภาพันธ์ 2545 เวลา 14.00-16.00 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-404)

บัณฑิตวิทยาลัยรับรองแล้ว

(รศ.ดร.บุญวัฒน์ อัตชู)

คณบดีบัณฑิตวิทยาลัย

วันที่...9...**เดือน**...เมษายน...**พ.ศ.**...2545...

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
SCHOOL OF GRADUATE
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	ADC แบบฮาล์ฟแฟลชขนาดสี่บิทโดยไม่ใช้ DAC
นักศึกษา	นาย วินัย ชูโชติสกุลเลิศ
รหัสประจำตัว	41061119
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2545
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. วิทยา ทิพย์สุวรรณพร

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอเรื่อง ADC แบบฮาล์ฟแฟลชขนาดสี่บิทโดยไม่ใช้ DAC ซึ่งมีการพิจารณาร่วมกับพารามิเตอร์ต่างๆที่มีผลกระทบต่อประสิทธิภาพของ ADC ส่วนโครงสร้างของตัวแปลงจะประกอบด้วย 2 ขั้นตอนหลักคือ ขั้นตอนการเปรียบเทียบปริมาณกระแส ตามการเปรียบเทียบจากการปรับอัตราส่วน W/L ของ CMOS และได้ทำการปรับปรุงช่วงเวลาในการตอบสนองของวงจรเปรียบเทียบกระแสให้เร็วกว่าวงจรเปรียบเทียบกระแสแบบพื้นฐานประมาณ 0.3 ถึง 0.8 เท่า โดยใช้วงจรเปรียบเทียบกระแสชมิททริกเกอร์ ที่มีการควบคุมการเปรียบเทียบกระแสจากการปรับตัวแปรฮีสเทอร์เรซีส สำหรับขั้นตอนการเข้ารหัส ทำหน้าที่รับเอาต์พุตที่ได้จากการเปรียบเทียบปริมาณกระแส และทำการเปลี่ยนเป็นรหัสไบนารี่ตามที่กำหนด จากผลการทดลองและการเลียนแบบวงจรด้วยโปรแกรม Hspice โดยใช้เทคโนโลยี CMOS 0.8 μm จะทำให้มีความน่าเชื่อถือตามหลักการที่ได้นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Half flash ADC 4-bit without DAC
Student	Mr. Winai Chuchotsakunleot
Student ID.	41061119
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2002
Thesis Advisor	Assoc. Prof. Vittaya Tipsuwanporn

ABSTRACT

This thesis presents Half flash ADC 4-bit without DAC. It is considered with parameters, which has the effects to the various performances of ADC. The structure of ADC consists of two main steps. The first step is the current compare according to with the adjustment the ratio of W/L of CMOS and improve the response to the comparator of the circuit to be faster than its basic 0.3 to 0.8 fold. Schmitt Trigger comparator of the circuit to use is controlled the current compare by adjusting the variable hysteresis. The second step is to encoder. It function is to receive the result of the output of current compare and also changing the binary code given. From the experiment and imitation the circuit of Hspice programmme use CMOS 0.8 μm Technology. It causes the reliability of according to this present.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี ขอขอบพระคุณอาจารย์ รศ. วิทยา ทิพย์สุวรรณพร ที่ปรึกษา ที่ได้ช่วยกรุณาให้คำแนะนำปรึกษาในการแก้ปัญหาและฝึกฝนให้ผู้เขียนมีความสามารถในการทำวิจัย รวมทั้งคำชี้แนะในการเขียนวิทยานิพนธ์ครั้งนี้

ขอขอบพระคุณอาจารย์ เสน่ห์ ไมตรีจิตร์ อ. เสรี ชื่นอารมณ์ ผศ. ณัฐ จันท์ครบ ภาควิชาวิศวกรรมอีเล็กทรอนิกส์ มหาวิทยาลัย เอเชียอาคเนย์ และอาจารย์ทุกท่านที่มิได้เอ่ยนาม โดยให้ความกรุณาประสิทธิ์ประสาทวิชาความรู้ทั้งหลายให้แก่ผู้เขียน

ขอกราบขอบพระคุณ คุณพ่อคุณแม่ที่ให้กำลังใจกับผู้เขียนมาโดยตลอด และทุกท่านที่มีส่วนร่วมในการช่วยเหลือเอื้ออำนวยต่อผู้เขียน

วินัย ชูโชติสกุลเลิศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I
บทคัดย่อภาษาอังกฤษ.....II
กิตติกรรมประกาศ.....III
สารบัญ.....IV
สารบัญตาราง.....VI
สารบัญภาพ.....VII
บทที่ 1 บทนำ.....1
1.1 ความเป็นมาและความสำคัญของปัญหา.....1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....1
1.3 สมมติฐานการศึกษา.....1
1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....2
1.5 รายละเอียดของวิทยานิพนธ์.....2

บทที่ 2 ทฤษฎีและการทำงานของมอสเฟท.....4
2.1 บทนำ.....4
2.2 ประเภทของมอสเฟท.....4
2.3 ทฤษฎีของมอสเฟท.....5
2.4 การทำงานของมอสเฟท.....7
2.5 บทสรุป.....11

บทที่ 3 หลักการอัลกอริธึมของ ADCและวิธีการปรับปรุงความเร็ว.....12
3.1 อัลกอริธึมของการแปลงสัญญาณ A/D.....12
3.2 หลักการ ADC แบบฮาล์ฟแฟลชขนาดสี่บิทและการทำงานของวงจร.....15
3.3 หลักการปรับปรุงความเร็วของ ADC แบบฮาล์ฟแฟลช.....19
3.4 บทสรุป.....22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 4 วิเคราะห์วงจรภายในอัลกอริธึม ADC....................................23

4.1 บทนำ....................................23

4.2 วงจรสะท้อนกระแส....................................23

4.3 วงจรเปรียบเทียบกระแส....................................25

4.4 วงจรสวิทซ์มอส....................................31

4.5 ซีมอสชมิททริกเกอร์ที่ใช้ปรับปรุงความเร็วในการแปลง ADC....................................32

4.6 บทสรุป....................................34

บทที่ 5 ผลของการปรับปรุงความเร็วในวงจร ADC แบบฮาล์ฟแฟลช 35

5.1 บทนำ....................................35

5.2 ผลการเลียนแบบวงจรADC แบบฮาล์ฟแฟลชด้วยโปรแกรม Hspice....................................35

5.3 ผลการเปรียบเทียบวงจรADC ฮาล์ฟแฟลชแบบเดิมกับแบบปรับปรุง....................................58

5.4 บทสรุป....................................59

บทที่ 6 สรุปผลงานวิจัยและข้อเสนอแนะ....................................60

บรรณานุกรม....................................61

ภาคผนวก.................................... 63

ภาคผนวก ก....................................64

ภาคผนวก ข....................................71

ภาคผนวก ค....................................73

ภาคผนวก ง 79

ประวัติผู้เขียน....................................85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

3.1 เงื่อนไขการเปรียบเทียบระหว่างI_{in}กับ I_{ref}..16

5.1 ผลตอบสนองช่วงเวลาขาขึ้นของวงจรเปรียบเทียบกระแส (4บิท)........................55

5.2 ผลตอบสนองช่วงเวลาขาขึ้นของวงจรเปรียบเทียบกระแส (4บิท)
แบบปรับปรุง..57

5.3 พารามิเตอร์ของอัลกอริธึม ADC โดยไม่ใช้ DAC..58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่ หน้า

2.1 แสดงโครงสร้างพื้นฐานของมอสเฟท..5
2.2 แสดงการเหลื่อมล้ำจากการแพร่สารเกทกับเดรนและซอร์ส......................................6
2.3 แสดงตัวอย่างสัญลักษณ์ของมอสเฟทแบบ 3 ขั้ว ที่ $V_{BS} = 0$ 6
2.4 แสดงตัวอย่างสัญลักษณ์ของมอสเฟทแบบ 4 ขั้วที่ $V_{BS} \neq 0$......................................7
2.5 แสดงการไบอัสที่ขั้วต่างๆของ NMOS..7
2.6 แสดงความสัมพันธ์ระหว่าง I_D กับ V_{GS} ในสภาวะ cutoff 8
2.7 แสดงความสัมพันธ์แบบเชิงเส้นระหว่าง I_{DS} กับ V_{DS}......................................9
2.8 แสดงผลการเพิ่ม V_D ในสภาวะอิ่มตัว..9
2.9 แสดงกระแส I_D ในสภาวะอิ่มตัว..10
3.1 โฟลว์ชาร์ต์อัลกอริธึม ADC พื้นฐานขนาด 1 บิท 13
3.2 ไดอะแกรมของการขยาย N บิท 14
3.3 บล็อคไดอะแกรม ADC แบบฮาล์ฟแฟลชขนาดสี่บิท โดยไม่ใช้ DAC...................... 15
3.4 ไดอะแกรม ADC แบบฮาล์ฟแฟลชขนาดสี่บิท โดยไม่ใช้ DAC 16
3.5 วงจร Encoder ของ ADC แบบฮาล์ฟแฟลชขนาด 4 บิท 17
3.6 ความสัมพันธ์ระหว่าง I_{in} กับ I_{out} และรูปสัญญาณดิจิตอลเอาต์พุต 18
3.7 รูปสัญญาณเอาต์พุตของวงจรเปรียบเทียบกระแส 18
3.8 หลักการปรับปรุงความเร็วของ ADC แบบฮาล์ฟแฟลช......................................19
3.9 วงจรเปรียบเทียบกระแสชมิททริกเกอร์ควบคุม delay time ด้วยการปรับค่า W/L......20
3.10 วงจรสะท้อนกระแสแบบแอคทีฟ..21
4.1 แสดงวงจรสะท้อนกระแสแบบแอคทีฟและวงจรสมมูลย์ขนาดเล็ก......................24
4.2 (a) แสดงวงจรเปรียบเทียบกระแสพื้นฐาน (b) แสดงวงจรสมมูลทางไฟฟ้า......................25
4.3 แสดงคุณลักษณะของแรงดันอินพุตกับเอาต์พุตในสภาวะลอจิก......................27
4.4 (a) วงจร CMOS อินเวอร์เตอร์ (b) ทรานเฟอร์ฟังก์ชันของแรงดัน CMOS......................28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่

หน้า

4.5 แสดงวงจรสมมูลย์ของ n และ p มอสช่วงการทำงานในย่าน B....28

4.6 แสดงวงจรสมมูลย์ของ n และ p มอสช่วงการทำงานในย่าน C....29

4.7 แสดงวงจรสมมูลย์ของ n และ p มอสช่วงการทำงานในย่าน D....30

4.8 วงจรซีมอสชมิททริกเกอร์ควบคุมฮีสเทอร์เรซีสด้วยการปรับ W/L....32

5.1 การเปลี่ยนแปลง I_{in} เป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง(ADC 2 บิท)....36

5.2 การเปลี่ยนแปลง I_{in} เป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง(ADC 3 บิท)....37

5.3 การเปลี่ยนแปลง I_{in} เป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง(ADC 4 บิท)....39

5.4 การเปลี่ยนแปลง I_{in} เป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง(ADC 6 บิท)....40

5.5 I_{in} เปรียบเทียบเป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง(ADC 2 บิทปรับปรุง)....41

5.6 I_{in} เปรียบเทียบเป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง(ADC 3 บิทปรับปรุง)....42

5.7 I_{in} เปรียบเทียบเป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง(ADC 4 บิทปรับปรุง)....43

5.8 I_{in} เปรียบเทียบเป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง(ADC 6 บิทปรับปรุง)....44

5.9 Performance ของวงจร ADC 2 บิท....46

5.10 Performance ของวงจร ADC 3 บิท....47

5.11 Performance ของวงจร ADC 4 บิท....48

5.12 Performance ของวงจร ADC 6 บิท....49

5.13 Performance ของวงจร ADC 2 บิทแบบปรับปรุง....50

5.14 Performance ของวงจร ADC 3 บิทแบบปรับปรุง....51

5.15 Performance ของวงจร ADC 4 บิทแบบปรับปรุง....52

5.16 Performance ของวงจร ADC 6 บิทแบบปรับปรุง....53

5.17 แรงดันเอาต์พุตของวงจรเปรียบเทียบกระแสแบบพื้นฐาน 2 บิท, 3บิทและ 4 บิท....54

5.18 แรงดันเอาต์พุตของวงจรเปรียบเทียบกระแสแบบปรับปรุง 2 บิท, 3บิทและ 4 บิท....56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา [1], [2], [3]

การออกแบบตัวแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอล (A design of Analog - to - Digital converters) โดยวงจรภายในประกอบด้วยอุปกรณ์จำพวกเฟท และเฟทมีคุณสมบัติที่ดีหลายประการ อาทิเช่น ไม่มีผลต่อแรงดันต้านภายในเมื่อนำไปใช้เป็นสวิตซ์, สัญญาณรบกวนต่ำกว่าทรานซิสเตอร์, สามารถต่อขยายสัญญาณแบบหลายภาคได้ดี, ขนาดของเฟทสามารถสร้างให้มีขนาดเล็กกว่าทรานซิสเตอร์ได้

โดยทั่วไปวงจร ADC จะพัฒนาเกี่ยวกับความเร็วในการแปลง, พลังงานที่ใช้, ขนาดพื้นที่ของวงจรรวม, จำนวนของการขยายบิต วิทยานิพนธ์ฉบับนี้ มุ่งเน้นพัฒนาด้านความเร็วและเสถียรภาพในการแปลงด้วยหลักการอัลกอริธึม เป็นหลักการหนึ่งที่มีความเร็วสูงในการแปลง แต่ประสิทธิภาพของความเร็วนี้ยังไม่สมบูรณ์ เนื่องจากความผิดพลาดที่เกิดขึ้นภายในวงจร เช่น ความผิดพลาดของวงจรเปรียบเทียบกระแส ทำให้ความเร็วในการแปลงลดลงและทำงานผิดพลาด กรณีที่จำนวนบิตเพิ่มขึ้น วงจรเปรียบเทียบกระแสไม่สามารถรักษาเสถียรภาพความเป็นสัญญาณลอจิกไว้ได้ ดังนั้นจึงให้ความสำคัญเกี่ยวกับปัญหานี้รวมถึงแนวทางในการแก้ไข

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ในการทำวิทยานิพนธ์ " ADC แบบฮาล์ฟแฟลชขนาดสี่บิทโดยไม่ใช้ DAC " จุดประสงค์ของการศึกษานี้ เพื่อที่จะเพิ่มพูนความรู้ในการพัฒนาความเร็วของการแปลงสัญญาณวงจรA/D และการปรับปรุงเสถียรภาพวงจร ADC ให้ดีกว่าเดิม คือความผิดพลาดในระบบลดน้อยลง รวมถึงการแสดงถึงประสิทธิภาพของ ADC ว่าเป็นเช่นไร

1.3 สมมติฐานการศึกษา

ตัวแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลโดยไม่ใช้ DAC จำนวนบิตทางเอาต์พุตจะแปรผันตามจำนวนของวงจรเปรียบเทียบกระแส ทำให้ความผิดพลาดจากการเปรียบเทียบกระแสเพิ่มมากขึ้น และการขยายบิตของ ADC ถูกลดทอนด้วย หนทางหนึ่งในการแก้ปัญหาคือ โดยการสร้างวงจรเปรียบเทียบกระแสที่มีความไวมากขึ้นและยังคงเสถียรภาพความเป็นลอจิกไว้ได้

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย [4], [5]

ในการจัดระดับของการแปลง ADC โดยไม่ใช้ DAC จะมีค่าเท่ากับ 2^n โดย n คือ จำนวนบิต ดังนั้นจำนวนของการเปรียบเทียบจะมีค่าเท่ากับ $2^n - 1$ จากข้อเสียของการเปรียบเทียบกระแสแบบเดิมจึงเกิดแนวความคิดที่จะสร้างวงจรเปรียบเทียบกระแสชมิททริกเกอร์และสามารถควบคุมจุดทริกบน และจุดทริกล่างได้ โดยปรับพารามิเตอร์ซีมอส ซึ่งเป็นการปรับสภาวะการเกิดฮีสเทอร์เรซีส ในทางอุดมคติผลทางเอาต์พุตอยู่ในสภาวะ “ High ” และ “ Low ” แม้ว่าจำนวนบิตจะเพิ่มขึ้นก็ตาม

1.5 รายละเอียดของวิทยานิพนธ์

วิทยานิพนธ์นี้ แบ่งเนื้อหาเป็น 6 บทและ 3 ภาคผนวก โดยแต่ละบทมีรายละเอียดดังนี้

บทที่ 1 บทนำและวัตถุประสงค์ในการทำวิทยานิพนธ์

บทที่ 2 กล่าวถึงโครงสร้างและทฤษฎีมอสเฟท รวมทั้งพารามิเตอร์ที่มีผลต่อมอสเฟท อาทิเช่น V_{TH}, V_{BS}, Inversion Layer, Pinch off Voltage เป็นต้น

บทที่ 3 กล่าวถึงพื้นฐานและหลักการแปลงสัญญาณ ADC การขยายบิต และพารามิเตอร์หลักที่มีผลต่อประสิทธิภาพของ ADC

บทที่ 4 กล่าวถึงการวิเคราะห์วงจรภายในอัลกอริธึม ADC ว่ามีผลกระทบต่อระบบอย่างไร ตัวอย่างเช่น วงจรสะท้อนกระแส, วงจรเปรียบเทียบกระแส

บทที่ 5 กล่าวถึงผลการออกแบบและทดลองวงจรADC ด้วยโปรแกรม Hspice รวมถึงการสรุปข้อดีและข้อเสียของวงจรอัลกอริธึม ADC จากการปรับปรุงค่าพารามิเตอร์ต่างๆว่าประสิทธิภาพของ ADC ว่าเป็นเช่นไร

บทที่ 6 สรุปผลงานที่ได้นำเสนอจากบทความที่เกี่ยวข้องและแนวทางสำหรับการพัฒนาในด้านของวงจร ADC ในลำดับต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก แสดงบทความวิจัยที่ได้รับการตีพิมพ์

ภาคผนวก ข แสดงวงจรADC 6 บิตแบบปรับปรุง

ภาคผนวก ค แสดงโปรแกรม Hspice ที่ใช้ในการจำลองการทำงานวงจร ADC 6 บิต

ภาคผนวก ง แสดงการหาค่า Performance ของวงจร ADC

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและการทำงานของมอสเฟท

2.1 บทนำ

ในการออกแบบวงจรโดยใช้อุปกรณ์มอส ได้นำมาทำเป็นวงจรรวม (Chip) กันอย่างมาก เนื่องจากวิธีการผลิตมอสเป็นวิธีการเดียวกับการทำวงจรรวม ทำให้ขนาดของวงจรที่ได้ออกแบบไว้มีขนาดเล็ก ซึ่งเกิดผลดีทางด้านความเร็วและกินกำลังไฟต่ำ รวมถึงความเหมาะสมในการสร้างวงจรในระบบที่สลับซ้อนได้ อาทิเช่น การเชื่อมต่อสัญญาณในชิพใช้เวลาน้อยกว่าใน PCB หลายร้อยเท่า, ตัวเก็บประจุและตัวต้านทานแฝงมีขนาดเล็กทำให้เกิดการสูญเสียค่อนข้างน้อย สำหรับวงจรที่สลับซ้อน เช่น Transaction Processing System, Fast Switching Device, Anti-lock Breaking (ABS) เป็นต้น

โดยเนื้อหาของบทนี้ เริ่มกล่าวถึงพื้นฐานของมอส ได้แก่ ประเภท, โครงสร้าง, สัญลักษณ์ และการทำงานในย่านต่างๆ ซึ่งคุณสมบัติของมอสนี้ ถูกนำไปประยุกต์ใช้ในการออกแบบวงจรแปลงสัญญาณกันอย่างกว้างขวาง

2.2 ประเภทของมอสเฟท [6]

มอสเฟทเป็นอุปกรณ์ที่นำกระแสได้ด้วยพาหะส่วนใหญ่(เพียงชนิดเดียว) ซึ่งค่ากระแสสามารถไหลได้ในแชนแนลระหว่างเดรนกับซอร์ส โดยแบ่งออกเป็นประเภทตามชนิดของพาหะตรงบริเวณช่องทางเดินกระแส (Channel) ระหว่างเดรนกับซอร์ส ได้ดังนี้

2.2.1 Metal Oxide Semiconductor Field Effect Transistor ใช้ตัวย่อเรียกว่า มอสเฟท (MOSFET) โดยแบ่งออกได้เป็น 3 ประเภทคือ

1. ดีพลีชั่น มอสเฟท (Depletion MOSFET) โดยแบ่งออกได้เป็น 2 ชนิด คือ ชนิดแชนแนล และชนิดเอ็น แชนแนล

2. เอนฮานซ์เมนท์ มอสเฟท (Enhancement MOSFET) แบ่งออกได้เป็น 2 ชนิดคือ ชนิดพี แชนแนล และชนิดเอ็น แชนแนล

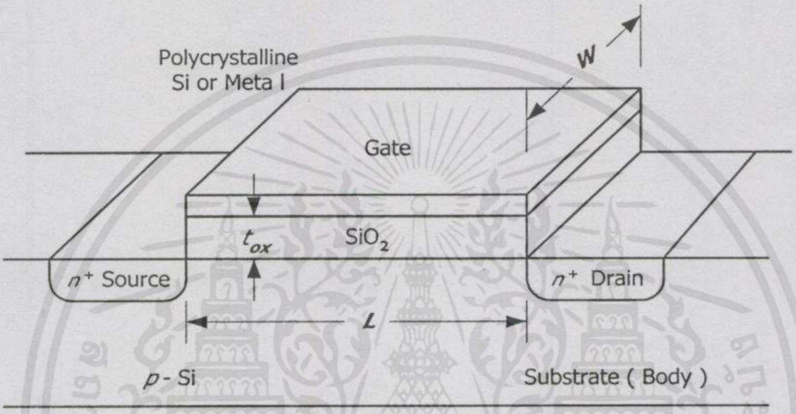
3. เวอร์ติคอล มอสเฟท (Vertical MOSFET) แบ่งออกได้เป็น 2 ชนิดคือ ชนิดพี แชนแนล และชนิดเอ็น แชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ทฤษฎีของมอสเฟท [6], [7]

โดยพื้นฐานทางทฤษฎีของมอสเฟท ได้อาศัยความรู้ในเรื่องของฟิสิกส์ เกี่ยวกับสารกึ่งตัวนำ ซึ่งเป็นประโยชน์และมีความสำคัญอย่างยิ่งต่อการศึกษาถึงคุณสมบัติต่างๆรวมถึงการทำงานของมอสเฟท ในรายละเอียดดังต่อไปนี้

2.3.1 โครงสร้างของมอสเฟท

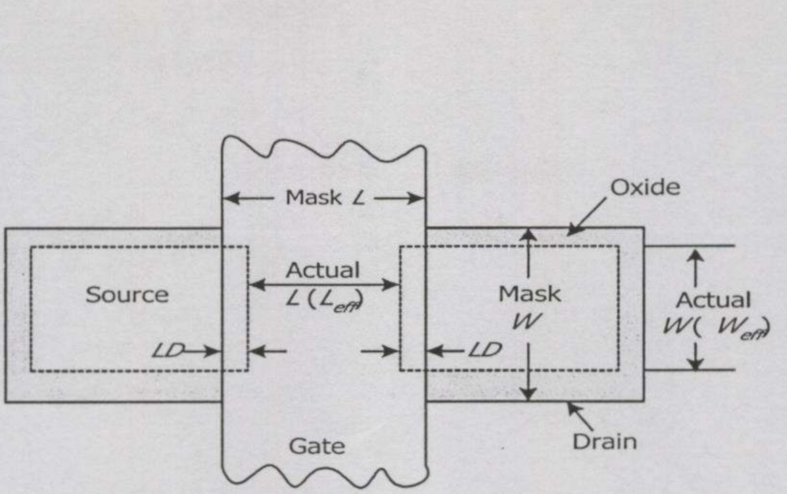


ภาพที่ 2.1 แสดงโครงสร้างพื้นฐานของมอสเฟท

ภาพที่ 2.1 แสดงโครงสร้างของ NMOS ที่เดรน (Drain) และซอร์ส (Source) เป็นอุปกรณ์ที่สมมาตรกัน เพราะเป็นเนื้อสารชนิด N เหมือนกันและอยู่บนฐานรองซับสเตรต (Substrate) ที่เป็นสารชนิด P โดยมีขาเกท (Gate) คั่นระหว่างเดรนกับซอร์ส ขาเดรนกับซอร์สสลับที่กันได้ โดยใช้แรงดันไบอัสเป็นตัวกำหนดขา ค่า L คือ ช่องทางเดินกระแสระหว่างเดรนกับซอร์ส โดยถูกฉนวนคั่นกลางไว้ จึงมีคุณสมบัติเหมือนตัวเก็บประจุ ค่า t_{ox} คือความหนาของฉนวน (SiO_2) และความกว้างของแชนแนลคือ ค่าของ W

2.3.2 การเหลื่อมล้ำของสารระหว่างเกทกับเดรนและซอร์ส

ในการแพร่สาร สิ่งที่หลีกเลี่ยงไม่ได้ก็คือ การเหลื่อมของสารที่แพร่เข้าไป ฉะนั้นค่าพารามิเตอร์ต่างๆในมอส จึงมีอยู่ 2 ค่า โดยค่าแรกเป็นการกำหนดทางทฤษฎี ส่วนค่าที่สองเกิดจากกระบวนการที่เกิดขึ้นจากการปฏิบัติ ซึ่งมีการกำหนดช่วงที่ยอมรับได้



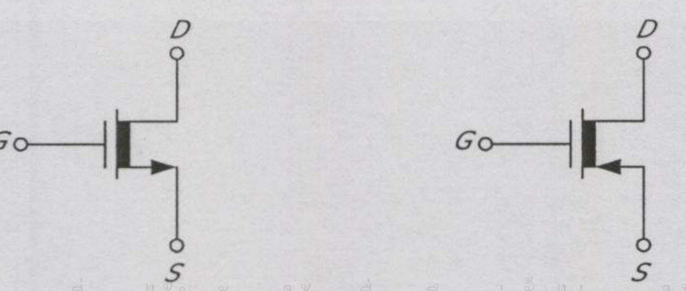
ภาพที่ 2.2 การเหลื่อมล้ำจากการแพร่สารเกทกับเดรนและซอร์ส

ในการแพร่สารระหว่างเดรนกับซอร์ส ทำให้เกิดการเหลื่อมล้ำ(Overlap) ของสาร เข้าไปในพื้นที่เกทและเกิดค่าความยาวแชนแนล L_{eff} (The effective channel length) และค่า W_{eff} (The effective channel width) ผลจากการแพร่สารนี้ จะเกิดค่าเก็บประจุขึ้น เช่น C_{GS}, C_{GD}, C_{GB} และส่งผลกระทบต่อการทำงานในย่านต่างๆของมอส

2.3.2 สัญลักษณ์ของมอสเฟท

สัญลักษณ์ของ NMOS และ PMOS มีทั้งแบบ 3 ขั้วและ 4 ขั้วดังนี้

(ก) เอนฮานซ์เมนท์ เอ็นมอส (ข) เอนฮานซ์เมนท์ พีมอส

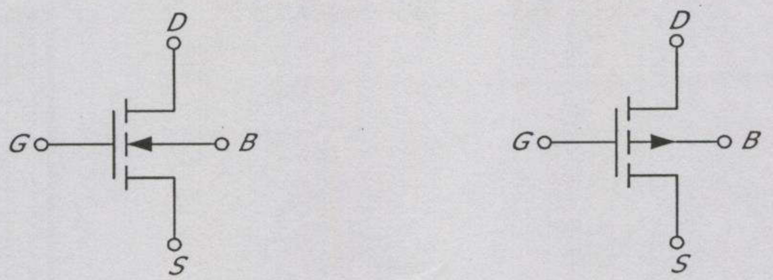


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

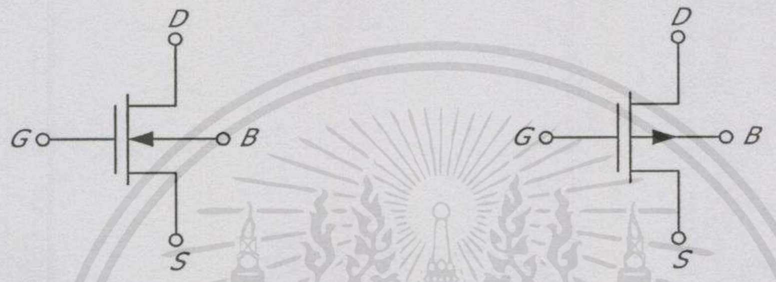
(ค) ดีพลีชั่น เอ็นมอส (ง) ดีพลีชั่น พีมอส

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 2.3 แสดงตัวอย่างสัญลักษณ์ของมอสเฟทแบบ 3 ขั้ว ที่ $V_{BS} = 0$



(ก) เอนฮานซ์เมนท์ เอ็นมอส (ข) เอาฮานซ์เมนท์ พีมอส

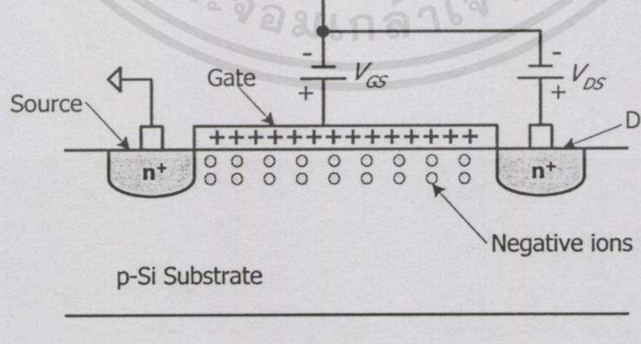


(ค) ดีพลีชั่น เอ็นมอส (ง) ดีพลีชั่น พีมอส

ภาพที่ 2.4 แสดงตัวอย่างสัญลักษณ์ของมอสเฟทแบบ 4 ขั้วที่ $V_{BS} \neq 0$

2.4 การทำงานของมอสเฟท [6], [8], [9]

2.4.1 มอสทำงานในย่านไม่นำกระแส



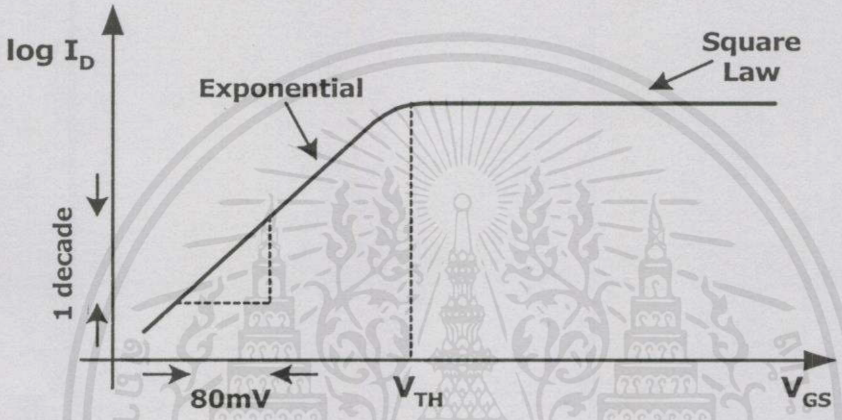
ภาพที่ 2.5 แสดงการไบอัสที่ขั้วต่างๆของ NMOS

เอกสารนี้...เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การไบอัสมอสเกิดสนามไฟฟ้า 2 ทิศทางคือ สนามไฟฟ้าในแนวตั้งทำให้เกิด (Inversion Layer) และสนามไฟฟ้าในแนวนอน คือ กระแสไหลจากเดรนไปยังซอร์สหรืออิเล็กตรอนวิ่งจาก

ซอร์สไปยังเดรน กระแสที่ไหลจากเกทมายังแชนแนลมีค่าใกล้ศูนย์ เนื่องจากมีฉนวนคั่นกลาง ทนแรงดัน (V_G) สูงๆได้ แรงดัน V_G ทำให้เกิดประจุลบมาสะสมบริเวณใต้เกท แต่ความหนาแน่นของประจุลบนี้ยังไม่พอที่จะให้เกิดแชนแนลได้กระแส (I_D) เท่ากับศูนย์ เนื่องจาก $V_{GS}<V_{TH}$ ความจริงยังมีกระแส (I_D) ไหลอยู่ แชนแนลมิได้ปิดสนิท แสดงในภาพที่ 2.5 และสมการที่ (2.1) ดังนี้

$$I_D = I_O e^{\frac{V_{GS}}{nV_T}} \tag{2.1}$$



ภาพที่ 2.6 แสดงความสัมพันธ์ระหว่าง I_D กับ V_{GS} ในสภาวะ cuttoff

2.4.2 มอสทำงานในย่านลิเนียร์

ย่านลิเนียร์หรือ (Non-saturated) เป็นช่วงที่เกิด Inversion layer ค่อนข้างน้อย กระแส I_D จะเพิ่มขึ้นตามแรงดัน V_G และ V_D อย่างต่อเนื่องเป็นเส้นตรง ดังสมการที่ (2.2)

$$V_{DS(non)} \le V_{GS} - V_{TH} < V_{DS(sat)} \tag{2.2}$$

ค่ากระแส I_D ในสภาวะลิเนียร์หรือ (Triode Region) คือ

$$I_D = \mu_n cox \frac{W}{L}\left[(V_{GS} - V_{TH})\ V_{DS} - \frac{1}{2}V^2{}_{DS}\right] \tag{2.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

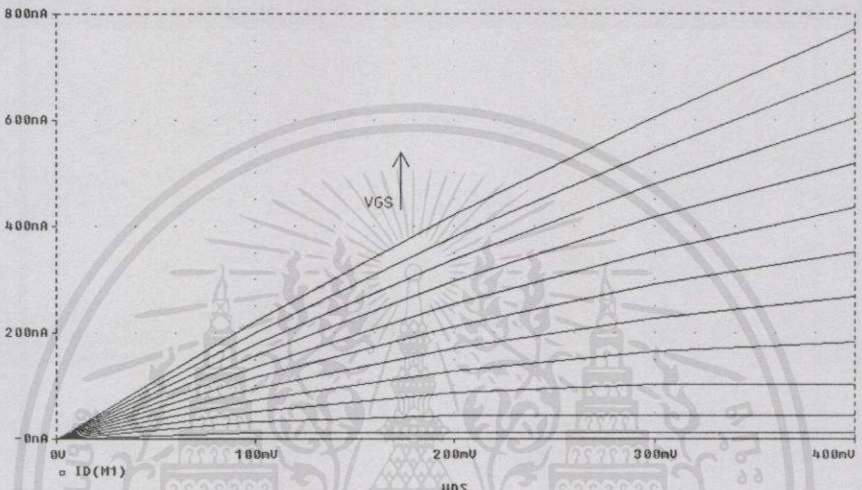
สมการ (2.3) ที่แชนแนลของมอสทำหน้าที่เหมือนเป็น ความต้านทานลิเนียร์

เมื่อ μ_n = ค่าความคล่องตัวของโฮลหรืออิเล็กตรอนที่ผิว(Surface mobility of carrier)

COX = ค่าความจุไฟฟ้าต่อพื้นที่เกทอ๊อกไซด์ (Capacitance per area the gate oxide)

$$R_{ON} = \frac{1}{\mu_n COX \frac{W}{L}(V_{GS} - V_{TH})} \quad (2.4)$$

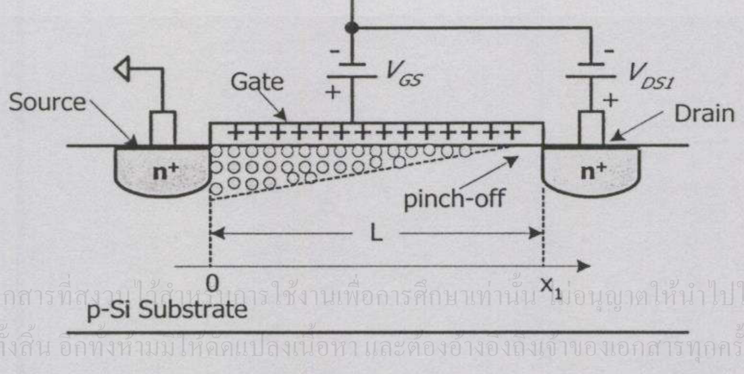
ในสมการ(2.4) สามารถปรับค่าความต้านทานได้ โดยปรับที่ V_{GS} และ W/L



ภาพที่ 2.7 ความสัมพันธ์แบบเชิงเส้นระหว่าง I_D กับ V_{DS}

2.4.3 มอสทำงานในย่านอิ่มตัว

ในสภาวะอิ่มตัว แรงดัน V_D มีค่ามากขึ้นและไปหักล้างกับแรงดัน V_G ทำให้ประจุลบตรงส่วนของเดรนลดลง แชนแนลจึงมีลักษณะเอียงลาด (Pinch off) ดังภาพที่ 2.7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

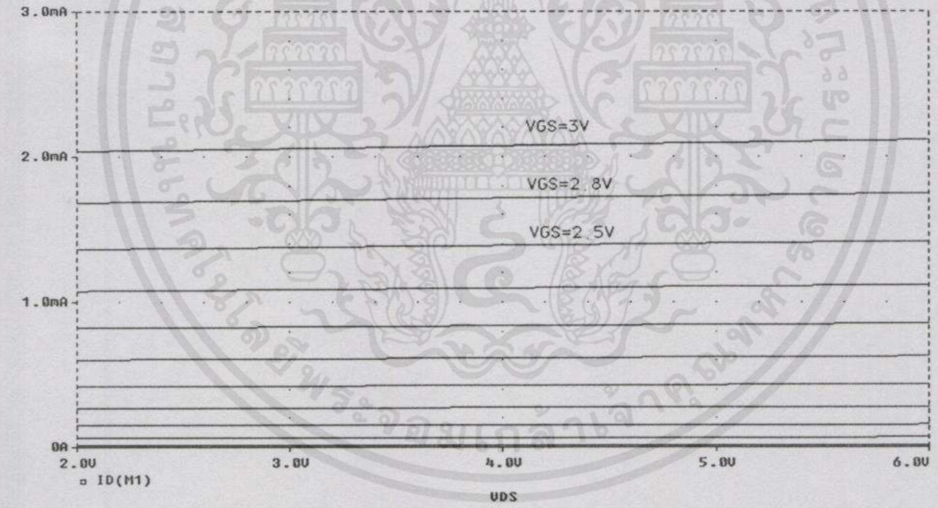
ภาพที่ 2.8 ผลการเพิ่ม V_D ในสภาวะอิ่มตัว

ค่าของ V_D ไม่ได้เสริมสร้างประจุในแชนแนล ถ้า V_D มีค่ามากขึ้น ความยาวจริง (L_{eff}) ของแชนแนลจะยิ่งลดลงและไม่แตะถึงเดรน แต่จะมีกระแสไหลค่อนข้างคงที่และข้ามมายังเดรนได้โดยอาศัยการ Drift ภายใต้สนามไฟฟ้าที่เกิดจากค่า V_D มีค่าสูงมากๆ ถ้า V_D มีค่าสูงมากจนเกินขีดจำกัด จะเกิดปรากฏการณ์ (Avalanche breakdown) หรือ (Punch through) เนื่องจากดีพลีชั่นรอบๆ บริเวณของเดรนได้ถูกขยายมาถึงซอร์ส เป็นผลให้เกิดกระแสไหลผ่านได้ตลอดและคงที่ โดยไม่ต้องอาศัยค่า V_G ดังนั้นค่า V_G ในสภาวะอิ่มตัว มีเงื่อนไขดังสมการ (2.5) ดังนี้

$$V_{DS(sat)} \le V_{GS} - V_{TH} \le V_{DS} \tag{2.5}$$

ค่าของกระแส I_D ในสภาวะอิ่มตัวได้ถูกการมอดดูเลต ดังสมการ (2.6)

$$I_D = \frac{1}{2}\mu_n COX \frac{W}{L}(V_{GS} - V_{TH})^2(1 + \lambda V_{DS}) \tag{2.6}$$



ภาพที่ 2.9 กระแส I_D ในสภาวะอิ่มตัว

เมื่อ V_{GS} เพิ่มขึ้น ค่า $I_{D(sat)}$ จะเพิ่มขึ้นตาม และค่า λ (Channel length modulation) **จะมีผลทำให้เส้นกราฟไม่เป็นไปตามอุดมคติ และแปรผกผันกับค่าของ L ดังสมการ (2.7)**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้มีการดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\lambda = \frac{1}{L_{eff}}\left[\frac{2\varepsilon_{si}}{qN_{SUB}}\right]^{1/2}\left\{\frac{V_{DS} - V_{DS(sat)}}{4} + \left[1 + \left(\frac{V_{DS} - V_{DS(sat)}}{4}\right)^2\right]^{1/2}\right\} \tag{2.7}$$

โดยที่

ε_{Si} คือ ค่าคงที่ไดอีเล็กทริกของซิลิกอน ประมาณ ($103.545*10^{-14}$) F/cm

N_{SUB} คือ ค่าจากการโด๊ปตรงบริเวณซับสเตรทของสารชนิดพี cm^{-3}

q คือ ประจุอีเล็กตรอน ประมาณ $1.60*10^{-19}$ C

ค่า $V_{DS} > V_{DS(sat)}$ ดังสมการ (2.7) ค่า λ มีค่าน้อยมาก เนื่องจากค่า ε_{Si} กับ qN_{SUB}

2.5 บทสรุป

ในบทนี้ กล่าวถึงพื้นฐานของมอสเฟท ตั้งแต่โครงสร้าง, สัญลักษณ์, การไบอัสในย่านการทำงานต่างๆ, คุณสมบัติในแต่ละย่านการทำงาน, พารามิเตอร์ต่างๆที่เกิดขึ้นและผลกระทบต่อมอสเฟท โดยแสดงออกมาในรูปของสมการและกราฟ เพื่อเป็นพื้นฐานในการศึกษาเพิ่มพูนความรู้ความเข้าใจ รวมถึงการนำไปประยุกต์ในงานอื่นๆต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการอัลกอริธึมของ ADC และการปรับปรุงความเร็ว

3.1 อัลกอริธึมของการแปลงสัญญาณ A/D

การแปลงเลขฐานสิบเป็นเลขฐานสอง เสมือนกับการแปลง ADC โดยแบ่งออกเป็น 2 ส่วน คือ จำนวนเต็มและเศษส่วน ถ้าใช้วิธีการคูณเลขเศษส่วน จะได้บิทที่ออกมาก่อนคือ MSB ซึ่งตรงกับหลักการแปลง ADC ขนาด n บิต

การทำเลขเศษส่วนให้เป็นเลขจำนวนเต็มฐานสิบ จะต้องนำค่าคงที่คูณกับเลขเศษส่วน สมมุติให้ค่าคงที่คือ I_{REF} มีค่าหรือพิสัยที่วัดปริมาณได้ ค่าที่ได้จากการแปลงนี้มีค่าไม่เกิน (Full scale) หรือไม่เกิน I_{REF} ดังนั้นค่าประมาณจากการแปลงเป็นจำนวนเต็ม แสดงได้ดังสมการ (3.1)

$$I_{IN} = I_{REF}\left[\frac{b_{n-1}2^{n-1}}{2^n} + \frac{b_{n-2}2^{n-2}}{2^n} + \dots + \frac{b_{n-m}2^{n-m}}{2^n}\right] \quad (3.1)$$

กำหนดให้

I_{IN} คือ ค่าประมาณจากการแปลงรหัสไบนารี่เป็นจำนวนเต็ม

I_{REF} คือ ค่าพิสัยหรือค่าเต็มสเกลของการแปลง

$b_{n-1}, b_{n-2}, \dots, b_{n-m}$ คือ ค่าน้ำหนักแต่ละบิทของรหัสไบนารี่

ถ้าจำนวนบิทเพิ่มขึ้น ค่า I_{IN} จะยิ่งใกล้เคียงกับค่า I_{REF} มากยิ่งขึ้น เช่น กรณี 1 บิท ค่าเวิร์ดมีค่า 0 ถึง 2^n-1 มี 2 ระดับคือ 0 กับ 1 จึงนำค่า 2 มาคูณในสมการที่ (3.1) ทั้งสองข้าง ทำให้ได้สมการ (3.2) ดังนี้

$$2I_{IN} = 2I_{REF}\left[\frac{b_{n-1}2^{n-1}}{2^n} + \frac{b_{n-2}2^{n-2}}{2^n} + \dots + \frac{b_{n-m}2^{n-m}}{2^n}\right] \quad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$2I_{IN} = I_{REF}\left[b_{n-1} + \frac{b_{n-2}2^{n-1}}{2^n} + \dots + \frac{b_{n-m}2^{n-m+1}}{2^n}\right] \quad (3.3)$$

ในสมการที่ (3.3) จะได้ค่า b_{n-1} ออกมา ซึ่งมีอยู่ 2 ค่า คือ 0 และ 1

1. กรณีที่ b_{n-1} มีค่าเป็น 0 จะได้

$$2I_{IN} = I_{REF}\left[\frac{b_{n-2}2^{n-1}}{2^n} + \ldots + \frac{b_{n-m}2^{n-m+1}}{2^n}\right] \tag{3.4}$$

การแปลงจากสมการ (3.4) จะได้บิท MSB เป็น “0” และได้ค่าการแปลงในบิทที่ต่ำกว่า คือ $2I_{IN}$

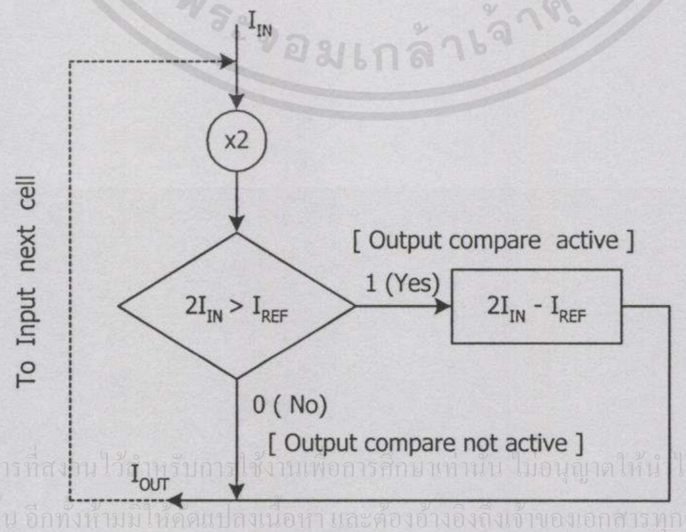
2. กรณีที่ b_{n-1} มีค่าเป็น 1 จะได้

$$2I_{IN} - I_{REF} = I_{REF}\left[\frac{b_{n-2}2^{n-1}}{2^n} + \ldots + \frac{b_{n-m}2^{n-m+1}}{2^n}\right] \tag{3.5}$$

ผลจากการแปลงในสมการ (3.5) จะได้บิต MSB เป็น “1” และได้ค่าจากการแปลงในบิทที่ต่ำกว่า คือ $2I_{IN} - I_{REF}$ เป็นผลให้ทางขวาของสมการ (3.4) และ (3.5) มีค่าเท่ากัน ถ้ามีผลการแปลงในลำดับต่อไป จะได้บิทนัยสำคัญที่ต่ำกว่าออกมาตามลำดับจนถึงบิท LSB

3.1.1 โฟลวชาร์ตและวงจรอัลกอริธึม ADC ขนาด 1 บิท

ในสมการ (3.4) และ (3.5) สามารถเขียนเป็นโฟลวชาร์ตพื้นฐานขนาด 1 บิท เพื่อเพิ่มความเข้าใจในการศึกษามากยิ่งขึ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 3.1 โฟลวชาร์ตอัลกอริธึม ADC พื้นฐานขนาด 1 บิทเซลล์

เมื่อ I_{IN} (กระแสอินพุต) ถูกขยายเป็น 2 เท่า จะเกิดค่ากระแสเป็น $2I_{IN}$ และจะไปเปรียบเทียบกับค่า I_{REF} ซึ่งการเปรียบเทียบนี้ แบ่งออกเป็น 2 กรณีคือ

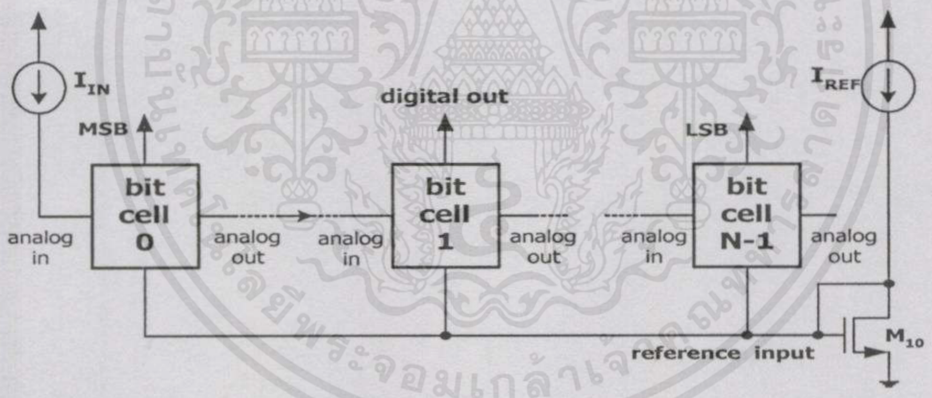
$b_{n-1} = 0$ หมายความว่า ถ้าค่ากระแส $2I_{IN} < I_{REF}$ ค่าเอาต์พุตดิจิตอลจากการเปรียบเทียบจะมีค่าเป็นลอจิก "0" ค่า I_{OUT} (กระแสเอาต์พุต) มีค่าเท่ากับ $2I_{IN}$

$b_{n-1} = 1$ หมายความว่า ถ้าค่ากระแส $2I_{IN} > I_{REF}$ ค่าเอาต์พุตดิจิตอลจากการเปรียบเทียบจะมีค่าเป็นลอจิก "1" ค่า I_{OUT} มีค่าเท่ากับ $2I_{IN} - I_{REF}$

ในเงื่อนไขต่างๆของอัลกอริธึม ADC นี้เป็นการแปลงทีละบิท เมื่อต้องการจำนวนบิทเพิ่มขึ้น ค่ากระแส I_{OUT} จะถูกป้อนกลับเข้าไปเป็นกระแส I_{IN} ใหม่ เพื่อแปลงบิทที่ต่ำกว่า

3.1.2 หลักการขยายบิทของ A/D

การขยายบิท ในทางอุดมคติ สามารถที่จะขยายบิทได้อย่างไม่มีข้อจำกัด โดยนำแต่ละเซลล์มาคาสเคดจนครบตามจำนวนบิทที่ต้องการ ในแต่ละเซลล์จะมีกี่บิทก็ได้ ดังภาพที่ 3.2



ภาพที่ 3.2 ไดอะแกรมของการขยาย N บิทเซลล์

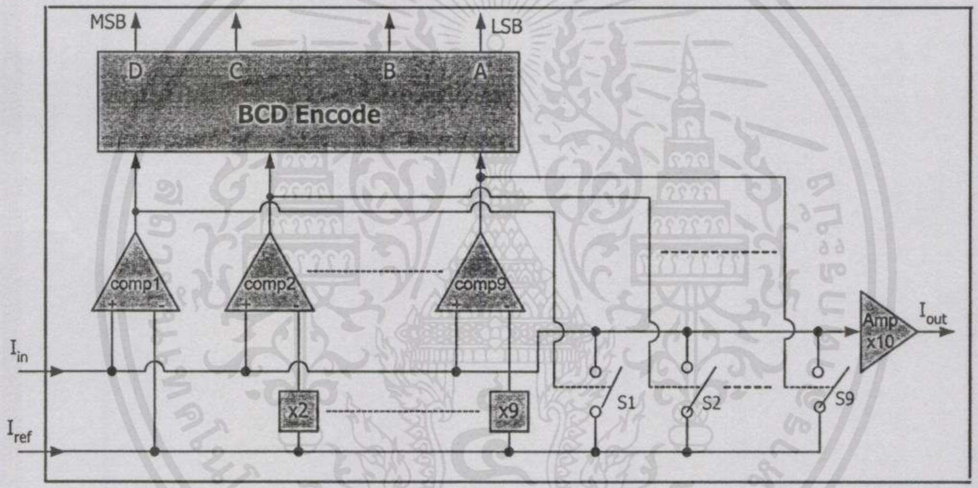
การขยายบิทลำดับบิต 0 จนถึง N-1 หมายความว่า ในแต่ละเซลล์มีมากกว่า 1 บิทก็ได้ ข้อดีของการขยายบิทนี้ สามารถลดจำนวนอุปกรณ์ภายในวงจรได้ เมื่อจำนวนบิทเพิ่มขึ้น แต่ค่า 2^n ไม่สามารถลดลงได้ จึงเกิดความผิดพลาดสะสมในอะนาลอกอินพุต ($2^n \times I_{IN}$) และมีผลกระทบต่อเซลล์ถัดไปจนถึงเซลล์สุดท้าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการ ADC แบบฮาล์ฟแฟลชขนาดสี่บิทและการทำงานของวงจร

หลักการของวงจร ADC แบบฮาล์ฟแฟลช คือ การแปลงสัญญาณต่อเนื่องจากอินพุตให้เป็นสัญญาณดิจิตอลพร้อมกันทุกๆบิท โดยการเปรียบเทียบระหว่างสัญญาณต่อเนื่องจากอินพุตกับระดับสัญญาณอ้างอิงที่มีค่าแตกต่างกันขั้นละ 1 ระดับในสัญญาณLSB ทำให้จำนวนสัญญาณอ้างอิงเท่ากับ 2^n-1 ซึ่ง N เป็นจำนวนบิทที่ต้องการสัญญาณเอาต์พุตจากการเปรียบเทียบจะนำมาเข้ารหัส เพื่อให้ได้ค่าสัญญาณดิจิตอลที่เทียบเท่ากับค่าของสัญญาณอินพุต

ในกรณีของวงวจร ADC ฮาล์ฟแฟลชสี่บิท BCD จะมีทั้งหมด 10 ระดับ คือ 0 ถึง 9 และมีจำนวนของวงจรเปรียบเทียบทั้งหมด 9 วงจร ดังภาพที่ 3.3



ภาพที่ 3.3 บล็อคไดอะแกรม ADC แบบฮาล์ฟแฟลชขนาดสี่บิท โดยไม่ใช้ DAC

สัญญาณอะนาลอกอินพุต (I_{in}) จะทำการเปรียบเทียบกับสัญญาณอ้างอิงหรือ (I_{ref}) โดยถูกจัดระดับให้มีค่าเท่ากับ I_{ref}, $2I_{ref}$,…,$9I_{ref}$ ตามลำดับ ถ้า $I_{in} > I_{ref}$ ที่ถูกจัดระดับไว้ ผลของเอาต์พุตจากการเปรียบเทียบจะแสดงสภาวะ "high" ถ้า $I_{in} < I_{ref}$ ผลของเอาต์พุตจากการเปรียบเทียบจะแสดงสภาวะ "low" ซึ่งผลจากการเปรียบเทียบทั้งหมด จะนำเข้าสู่วงจร BCD –Encoder ทำให้ได้เอาต์พุตขนาดสี่บิทบีซีดี พิจารณาได้ในตารางที่ 3.1

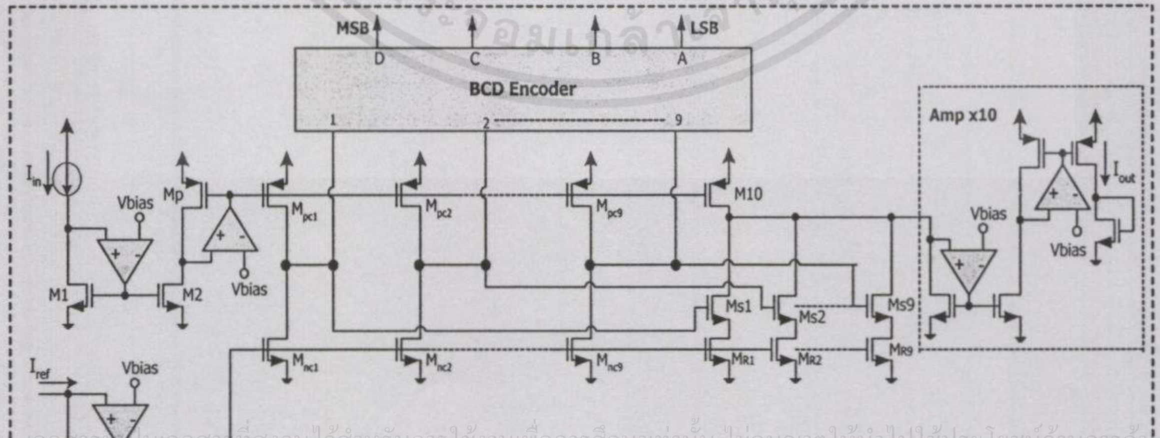
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 เงื่อนไขการเปรียบเทียบระหว่าง I_{in} กับ I_{ref}

Input current	**Output comp**									**Output current**	**BCD digital output**			
I_{in}	9	8	7	6	5	4	3	2	1	I_{out}	D	C	B	A
$I_{in}<I_{ref}$	0	0	0	0	0	0	0	0	0	$10I_{in}$	0	0	0	0
$I_{ref}<I_{in}<2I_{ref}$	0	0	0	0	0	0	0	0	1	$10(I_{in}-I_{ref})$	0	0	0	1
$2I_{ref}<I_{in}<3I_{ref}$	0	0	0	0	0	0	0	1	1	$10(I_{in}-2I_{ref})$	0	0	1	0
$3I_{ref}<I_{in}<4I_{ref}$	0	0	0	0	0	0	1	1	1	$10(I_{in}-3I_{ref})$	0	0	1	1
$4I_{ref}<I_{in}<5I_{ref}$	0	0	0	0	0	1	1	1	1	$10(I_{in}-4I_{ref})$	0	1	0	0
$5I_{ref}<I_{in}<6I_{ref}$	0	0	0	0	1	1	1	1	1	$10(I_{in}-5I_{ref})$	0	1	0	1
$6I_{ref}<I_{in}<7I_{ref}$	0	0	0	1	1	1	1	1	1	$10(I_{in}-6I_{ref})$	0	1	1	0
$7I_{ref}<I_{in}<8I_{ref}$	0	0	1	1	1	1	1	1	1	$10(I_{in}-7I_{ref})$	0	1	1	1
$8I_{ref}<I_{in}<9I_{ref}$	0	1	1	1	1	1	1	1	1	$10(I_{in}-8I_{ref})$	1	0	0	0
$9I_{ref}<I_{in}$	1	1	1	1	1	1	1	1	1	$10(I_{in}-9I_{ref})$	1	0	0	1

เมื่อ $I_{in} < I_{ref}$ ค่าเอาต์พุตของ comp1 ถึง comp9 จะแสดงสภาวะ “low” ทั้งหมด ทำให้ S1 ถึง S9 ซึ่งเป็นสวิทซ์จะไม่นำกระแส จึงไม่มี I_{ref} ไหลไปลบกับ I_{in} ทำให้ค่า I_{out} เมื่อผ่าน Amp X 10 จะเท่ากับ $10I_{in}$ ถ้า $I_{in} < 2I_{ref}$ เอาต์พุตของ comp1 จะแสดงสภาวะ “high” จึงมีค่า I_{ref} ไหลผ่านสวิทซ์ S1 ได้ และค่า I_{ref} นี้จะไปลบกับค่า I_{in} เมื่อผ่าน Amp x10 ค่า I_{out} จึงมีค่าเท่ากับ $10(I_{in}-I_{ref})$ ส่วน comp2 ถึง comp9 จะแสดงสภาวะ “low” เป็นผลให้สวิทซ์ S2 ถึง S9 ไม่นำกระแส

กรณีที่ $9I_{ref} < I_{in}$ เอาต์พุตของ comp1 ถึง comp9 จะแสดงสภาวะ “high” ทำให้สวิทซ์ S1 ถึง S9 นำกระแส จึงมีกระแสไหลผ่านในแต่ละสวิทซ์เท่ากับ I_{ref} ดังนั้นกระแสที่ไหลผ่านสวิทซ์ S1 ถึง S9 รวมกันจึงเท่ากับ $9I_{ref}$ และไปลบกับ I_{in} เมื่อผ่าน Ampx10 ค่า I_{out} จะเท่ากับ $10(I_{in}-9I_{ref})$ ค่า I_{out} ที่ได้ในแต่ละกรณี จะเท่ากับ I_{in} จากหลักการข้างต้น เขียนเป็น ไดอะแกรมดังภาพ 3.4



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 3.4 ไดอะแกรม ADC แบบฮาล์ฟแฟลชขนาดสี่บิทโดยไม่ใช้ DAC

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

กำหนดให้

M_{pc1},M_{nc1} คือ มอสที่ทำหน้าที่เป็นวงจรเปรียบเทียบกระแสชุดที่ 1 หรือ comp1

M_{pc2},M_{nc2} คือ มอสที่ทำหน้าที่เป็นวงจรเปรียบเทียบกระแสชุดที่ 2 หรือ comp2

M_{pc9},M_{nc9} คือ มอสที่ทำหน้าที่เป็นวงจรเปรียบเทียบกระแสชุดที่ 9 หรือ comp9 ซึ่งวงจรเปรียบเทียบกระแสมีทั้งหมด 9 ชุด

Ms1, Ms9 คือ สวิทซ์มอส S1 ถึง S9 มีทั้งหมด 9 ตัว

MR1 ถึง MR9 คือ มอสที่สะท้อนกระแสมาจาก MI_{ref} ทำให้เกิด I_{ref} ไหลผ่าน MR1 ถึง MR9 ในแต่ละตัว

ในส่วนของ Encoder จะได้สมการดิจิตอลเอาต์พุตดังสมการ (3.6) ถึง(3.9) ดังนี้

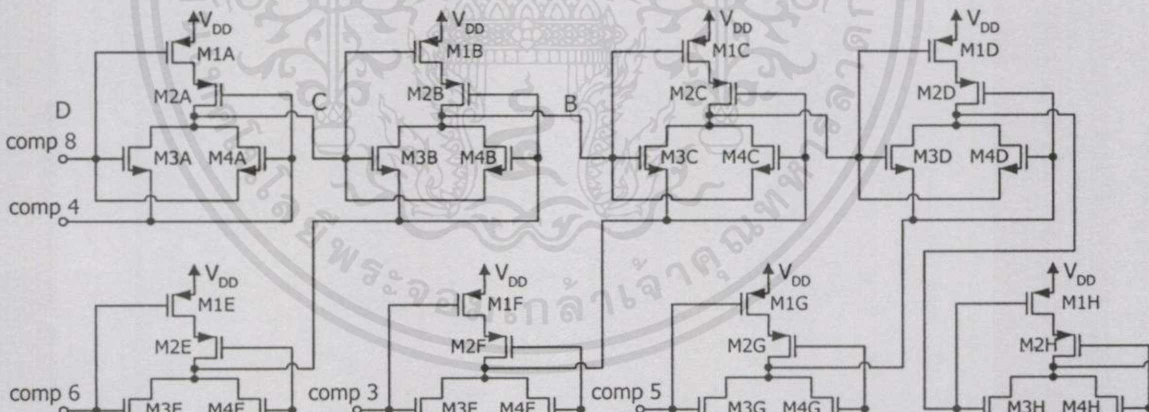
D= comp8 (3.6)

C= comp8 $\oplus$Comp 4 (3.7)

B= (comp2 $\oplus$comp 4) + (Comp6 $\oplus$ Comp8) (3.8)

A= comp1$\oplus$comp2$\oplus$…$\oplus$comp9 (3.9)

สมการ (3.6) ถึง (3.9) สามารถนำมาสร้างเป็นวงจร Encoder ได้ดังนี้



ภาพที่ 3.5 วงจร Encoder ของ ADC แบบฮาล์ฟแฟลชขนาด 4 บิท

วงจร Encoder ดังภาพที่ 3.5 ประกอบด้วย Exclusive –or เกททั้งหมด 8 ชุด ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

M1A ถึง M4A คือ Exclusive –or เกทชุดที่ 1

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

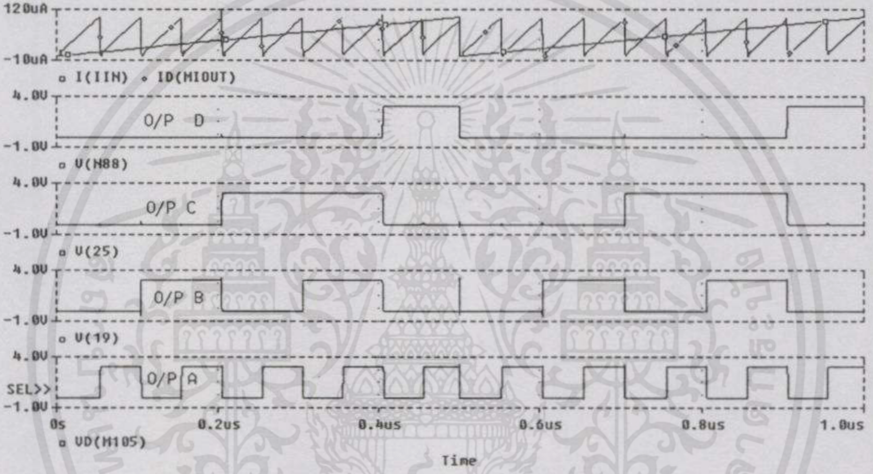
M1B ถึง M4B คือ Exclusive –or เกทชุดที่ 2

M1C ถึง M4C คือ Exclusive –or เกทชุดที่ 3

43245

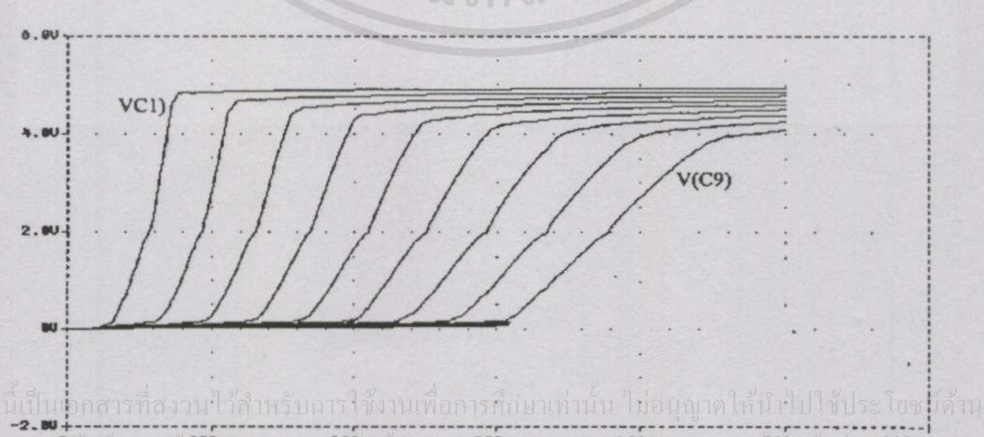
M1D ถึง M4D คือ Exclusive –or เกทชุดที่ 4 และ M1E ถึง M4E คือ Exclusive –or เกทชุดที่ 5
M1F ถึง M4F คือ Exclusive –or เกทชุดที่ 6 และ M1G ถึง M4G คือ Exclusive –or เกทชุดที่ 7
M1H ถึง M4H คือ Exclusive –or เกทชุดที่ 8

โดยคุณสมบัติของ Exclusive –or เกท สัญญาณอินพุตที่เข้ามา ถ้ามีลอจิกเหมือนกัน เช่น “0” กับ “0” หรือ “1” กับ”1” เอาต์พุตของ Exclusive –or จะมีสภาวะเป็น “0” ถ้าสัญญาณอินพุตที่เข้ามา มีสภาวะลอจิกที่ต่างกัน เช่น “0” กับ “1” เอาต์พุตของ Exclusive –or จะมีสภาวะเป็น “1”
ค่า D ในสมการที่ (3.6) คือค่าของบิท MSB และค่า A ในสมการที่ (3.9) คือ บิท LSB
สำหรับความสัมพันธ์ระหว่าง I_{in} กับ I_{out} และรูปสัญญาณดิจิตอลเอาต์พุต แสดงดังภาพที่ 3.6



ภาพที่ 3.6 ความสัมพันธ์ระหว่าง I_{in} กับ I_{out} และรูปสัญญาณดิจิตอลเอาต์พุต

ในส่วนของการเปรียบเทียบกระแส ค่าเอาต์พุตวงจรเปรียบเทียบมีทั้งหมด 9วงจร ดังภาพที่ 3.7



ภาพที่ 3.7 รูปสัญญาณเอาต์พุตของวงจรเปรียบเทียบเทียบกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

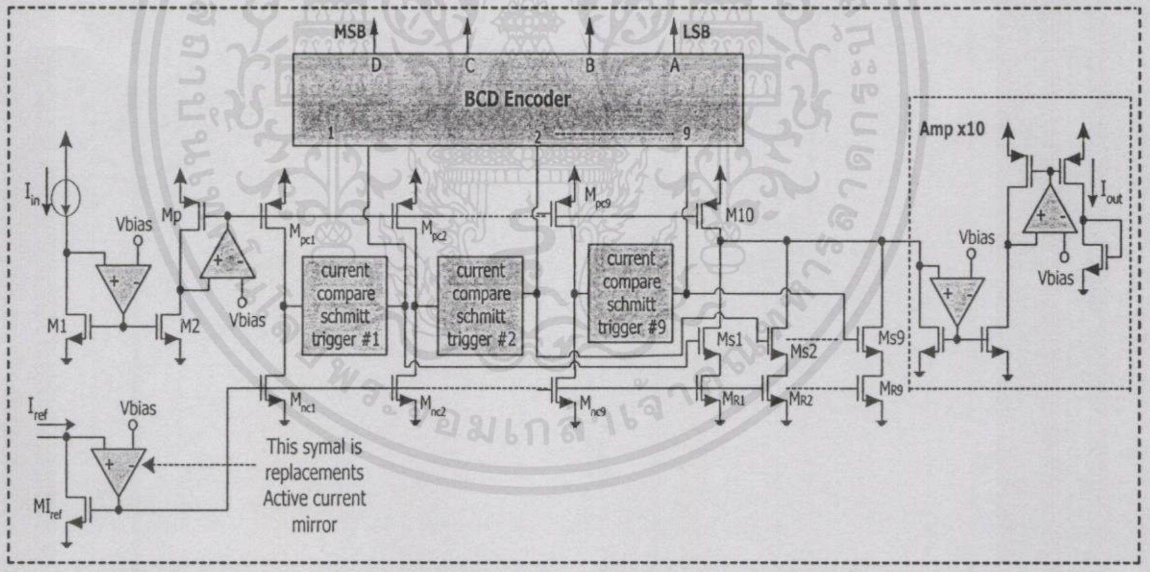
ในภาพที่ 3.7 กำหนดให้

ค่าของ VC1 คือ แรงดันเอาต์พุตของวงจรเปรียบเทียบกระแสชุดที่ 1

ค่าของ VC9 คือ แรงดันเอาต์พุตของวงจรเปรียบเทียบกระแสชุดที่ 9

3.3 หลักการปรับปรุงความเร็วของ ADC แบบฮาล์ฟแฟลช

หลักการปรับปรุงความเร็วนี้ เป็นการปรับปรุงในส่วนของการเปรียบเทียบปริมาณกระแส ซึ่งในภาพที่ 3.7 แอมพลิจูดของสัญญาณเอาต์พุตจากการเปรียบเทียบกระแสจะลดลงเรื่อยๆ และมีผลกระทบในการแปลงสัญญาณ ถ้ายิ่งจำนวนบิตมากขึ้น แอมพลิจูดของสัญญาณจะยิ่งลดต่ำมาก จนไม่สามารถรักษาระดับความเป็นสัญญาณลอจิกไว้ได้และค่าความหน่วงเวลาจะมีค่ามากขึ้นตามจำนวนของการเปรียบเทียบกระแส ด้วยเหตุนี้จึงทำการพัฒนาข้อด้อยในส่วนของการเปรียบเทียบกระแส โดยใช้คุณสมบัติของวงจรเปรียบเทียบกระแสชมิททริกเกอร์ โดยมีหลักการดังนี้

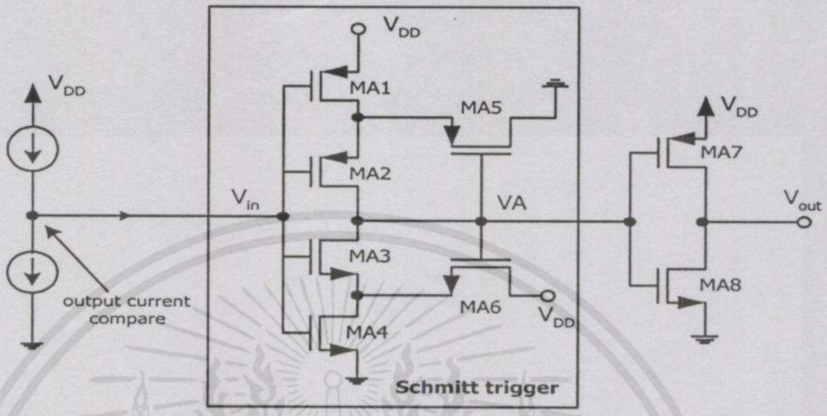


ภาพที่ 3.8 หลักการปรับปรุงความเร็วของ ADC แบบฮาล์ฟแฟลช

ในภาพที่ 3.8 วงจรเปรียบเทียบกระแสชมิททริกเกอร์ในชุดที่ 1 จะต่อเข้ากับเอาต์พุตของวงจรเปรียบเทียบกระแสแบบพื้นฐานชุดที่ 1 ซึ่งประกอบไปด้วย M_{pc1}, M_{nc1} และวงจรเปรียบเทียบกระแสชมิททริกเกอร์ชุดที่ 2 จะต่อเข้ากับเอาต์พุตของวงจรเปรียบเทียบกระแสแบบพื้นฐานชุดที่ 2 ซึ่งประกอบไปด้วย M_{pc2}, M_{nc2} จนกระทั่งถึงวงจรเปรียบเทียบกระแสชมิททริกเกอร์ในชุดที่ 9 ซึ่งจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อเข้ากับเอาต์พุตของวงจรเปรียบเทียบกระแสแบบพื้นฐานชุดที่9 ซึ่งประกอบด้วย M_{pc9}, M_{nc9} โดยคุณสมบัติของวงจรเปรียบเทียบกระแสชมิททริกเกอร์อาศัยการปรับอัตราส่วนของ W/L ซึ่งเป็นการปรับค่าของ delay time และกำหนดให้มีค่ามากหรือน้อยก็ได้ โดยที่ยังรักษาเสถียรภาพของสัญญาณเอาต์พุตจากการเปรียบเทียบกระแสไว้ได้



ภาพที่ 3.9 วงจรเปรียบเทียบกระแสชมิททริกเกอร์ ควบคุม delay time ด้วยการปรับค่า W/L

การปรับค่า W/L ของวงจรเปรียบเทียบกระแสชมิททริกเกอร์ ดัง (3.10) และ (3.11) คือ

$$\frac{V_{DD}+V_{tp}}{\left[1+\sqrt{\frac{W_{n1}/L_{n1}}{W_{n5}/L_{n5}}}\right]\left[1+(\beta_{neq}/\beta_{peq})^{1/2}\right]} \approx 0V \tag{3.10}$$

$$\frac{(\beta_{neq}/\beta_{peq})^{1/2}(V_{DD}-V_{tn})}{\left[1+\sqrt{\frac{W_{n4}/L_{n4}}{W_{n6}/L_{n6}}}\right]\left[1+(\beta_{neq}/\beta_{peq})^{1/2}\right]} \approx V_{DD} \tag{3.11}$$

เอกสารนี้เป็นลิขสิทธิ์ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กำหนดให้

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามทำให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

β_{neq}, β_{peq} คือ เกณฑ์ของมอส MA1, MA2 ถึง MA4 โดยต่อกันแบบอนุกรม

$W_{n1}, W_{n4}, W_{n5}, W_{n6}$ คือ ความกว้างแชนแนลของมอส MA1, MA4, MA5 และ MA6

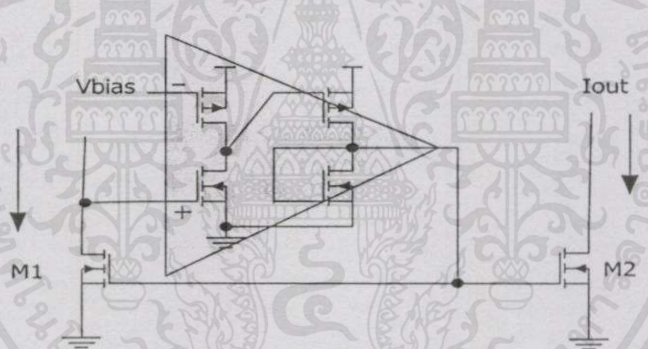
$L_{n1}, L_{n4}, L_{n5}, L_{n6}$ คือ ความยาวแชนแนลของมอส MA1, MA4, MA5 และ MA6

V_{tp} คือ แรงดันเทรดโฮลของอุปกรณ์พีมอส

V_{tn} คือ แรงดันเทรดโฮลของอุกรณ์เอ็นมอส

ในสมการที่ (3.10) , (3.11) คือ ค่าแตกต่างระหว่าง high threshold กับ low threshold ซึ่งเป็นค่าแรงดันฮีสเทอร์เรซีส (V_H) มี 2 สภาวะคือ “0” กับ “1” หรือแรงดันจุดทริกต่ำกับแรงดันจุดทริกสูง เมื่อค่า $\frac{W_{n1}/L_{n1}}{W_{n5}/L_{n5}}$ เพิ่มขึ้น ค่าของแรงดันจุดทริกต่ำจะลดลง ทำให้ความกว้างของฮีสเทอร์เรซีสเพิ่มมากขึ้น ถ้าค่าของ $\frac{W_{n4}/L_{n4}}{W_{n6}/L_{n6}}$ เพิ่มขึ้น ค่าแรงดันจุดทริกสูงจะลดลงเป็นผลให้ค่า delay time มีค่าลดลงด้วย การตอบสนองของวงจรเปรียบเทียบกระแสชมิทท์ทริกเกอร์จะยิ่งไวขึ้น

ในส่วนของการสะท้อนกระแส ใช้วงจรแบบแอคทีฟ มีรูปแบบวงจรดังนี้



ภาพที่ 3.10 วงจรสะท้อนกระแสแบบแอคทีฟ

จากภาพที่ 3.8 ประกอบด้วยวงจรสะท้อนกระแสแบบแอคทีฟ 5 ชุด ซึ่งภายในของวงจรแสดงดังภาพที่ 3.10 ข้อดีของวงจรจะนำมาใช้แก้ไขในกรณีที่จำนวนบิตเพิ่มมากขึ้นระบบของ ADC จะมีความผิดพลาดมากขึ้นตาม โดยทั่วไปวงจรสะท้อนกระแสแบบแอคทีฟนี้ มีความผิดพลาดน้อยกว่า 1% สาเหตุมาจากความคลาดเคลื่อนจากการสะท้อนกระแส และมีผลต่อความต้านทานอินพุต วงจรนี้สามารถที่จะลดค่าความต้านทานด้านอินพุตให้น้อยลงได้ ด้วยค่าเกณฑ์ภายในวงจร ดังสมการที่ (3.12) ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{I_{in} - I_{out}}{I_{in}} = \frac{1}{Agmr_o} \tag{3.12}$$

กำหนดให้

I_{in} คือ กระแสอินพุตที่ไหลเข้าเดรน M1

I_{out} คือ กระแสเอาต์พุตที่ไหลจากเดรน M2 ซึ่งมาจากการสะท้อนค่ากระแสอินพุตของเดรน M1

A คือ ค่าเกณฑ์ขยายภายในวงจรสะท้อนกระแสแบบแอคทีฟ

gm คือ ค่าความนำกระแสของวงจรสะท้อนกระแสแบบแอคทีฟ

r_o คือ ความต้านทานด้านเอาต์พุตของวงจรสะท้อนกระแสแบบแอคทีฟ

เมื่อเกิดความคลาดเคลื่อนของกระแสขึ้น ค่าเกณฑ์ของวงจรมีค่าเพิ่มขึ้น เป็นผลไปลดค่าความคลาดเคลื่อนของกระแสให้น้อยลง และค่า r_o โดยทั่วไปมีค่าประมาณ 5MΩ ซึ่งค่านี้ก็มีผลไปลดความคลาดเคลื่อนของกระแสให้ลดลงเช่นกัน พิจารณาได้จากสมการ (3.12)

ในส่วนของวงจร BCD Encoder จะใช้วงจรเดียวกับในภาพที่ 3.5 โดยมีหลักการเดียวกัน

3.4 บทสรุป

ในเรื่อง A/D ขนาด 1 บิท เป็นพื้นฐานอ้างอิงในการศึกษาและเป็นแนวทางสำหรับการประยุกต์ ในการขยายบิตหรือปรับปรุงข้อด้อยต่างๆที่เกิดขึ้นในระบบของ ADC ในบทนี้กล่าวถึงแนวทางของการปรับปรุงในส่วนของการเปรียบเทียบปริมาณกระแสระหว่างกระแสอินพุตกับกระแสอ้างอิง ที่ได้ถูกจัดระดับไว้ตามหลักการแปลงสัญญาณ A/D จุดประสงค์เพื่อต้องการเพิ่มความเร็วในการแปลงให้ไวขึ้นและศึกษาว่า เมื่อความเร็วในการแปลงเพิ่มขึ้นจะมีผลกระทบอย่างไรต่อระบบ A/D ซึ่งสิ่งต่างๆเหล่านี้มาจากการปรับพารามิเตอร์ในวงจรเปรียบเทียบกระแสชมิททริกเกอร์ ในหลักที่ถูกต้องเมื่อความเร็วในการแปลงสัญญาณ A/D เพิ่มขึ้นจะต้องคำนึงถึง performance ของ ADC ด้วยว่ามีผลอย่างไร ซึ่งความคลาดเคลื่อนที่เกิดขึ้นควรจะลดลงเมื่อได้ทำการจนเสร็จสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วิเคราะห์วงจรภายในอัลกอริธึม ADC

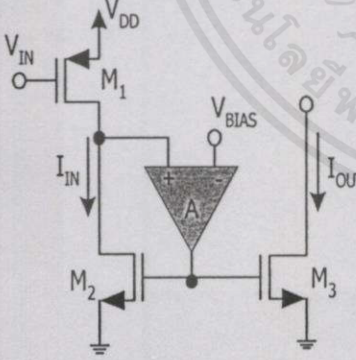
4.1 บทนำ

วงจรแปลงสัญญาณ A/D ด้วยอัลกอริธึมนี้ ในแต่ละส่วนประกอบไปด้วยวงจร ซึ่งทำหน้าที่โดยเฉพาะ ซึ่งมีทั้งข้อดีและข้อเสียตามคุณสมบัติที่เกิดขึ้นของอุปกรณ์ที่นำมาใช้ รวมถึงการออกแบบวงจร โดยส่งผลกระทบส่งผลกระทบต่อความเที่ยงตรงของระบบ ADC เอง การวิเคราะห์คุณสมบัติเฉพาะในส่วนต่างๆและการทำงานของวงจร ได้แสดงออกมาในรูปของพารามิเตอร์จากค่าตัวแปรต่างๆที่ปรากฏขึ้น ซึ่งรายละเอียดต่างๆจะกล่าวในหัวข้อถัดไป

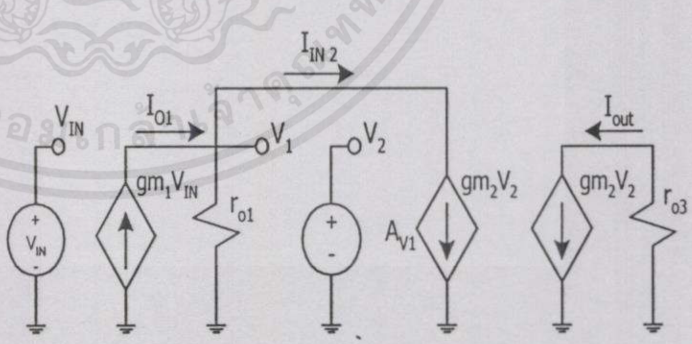
4.2 วงจรสะท้อนกระแส [1],[6],[17],[18]

4.2.1 วงจรสะท้อนกระแสแบบแอคทีฟ

วงจรสะท้อนกระแสแบบ (Active current mirror) และวงจรสมมูลย์ แสดงดังภาพที่ 4.1(a) และ 4.1(b)



(a) วงจรสะท้อนกระแสแบบแอคทีฟ



(b) วงจรสมมูลย์ขนาดเล็ก

ภาพที่ 4.1 วงจรสะท้อนกระแสแบบแอคทีฟและวงจรสมมูลย์ขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสคลาดเคลื่อนจากการสะท้อนกระแส (Current mismatch) ก่อให้เกิดปัญหา เช่น ความเคลื่อนของบิตและความเที่ยงตรงในระบบลดลง จึงใช้คุณสมบัติของวงจรสะท้อนกระแส

แบบแอคทีฟมาลดค่าความต้านทานด้านอินพุต เนื่องจากในสภาวะนี้ความต้านทานด้านเอาต์พุตไม่สามารถเพิ่มค่าได้ ถ้ามอสไม่สมพงศ์กัน ค่าทรานเฟอร์ฟังก์ชั่นของความคลาดเคลื่อนกระแสพิจารณาได้จากวงจรสมมูลย์ขนาดเล็กในภาพที่ 4.1 (b) ดังสมการ (4.1)

$$\frac{I_{IN\,2}}{I_{O\,1}} = \frac{r_o}{r_o + {}^{1}\!/_{Agm}} \tag{4.1}$$

กำหนดให้

I_{IN2} คือ กระแสอินพุตที่ไหลเข้าเดรน M_2

I_{O1} คือ กระแสเอาต์พุตที่มาจากกระแสอินพุตซอร์สของ M_1

r_o คือ ความต้านทานด้านเอาต์พุตหรือ *1/gm*

A คือ ค่าเกณฑ์ขยายในวงจรสะท้อนกระแสแบบแอคทีฟ

gm คือ ค่าความนำกระแสในวงจรสะท้อนกระแสแบบแอคทีฟ

ค่าความคลาดเคลื่อนของกระแสมีผลต่อความต้านทานด้านอินพุต ซึ่งสามารถลดค่าความต้านทานด้านอินพุตลงได้ ด้วยค่าเกณฑ์ของวงจรสะท้อนกระแสแบบแอคทีฟ ซึ่งค่าเกณฑ์นี้ มีผลต่อการลดค่าความคลาดเคลื่อนของกระแสที่ไม่สมพงศ์กัน ดังสมการ (4.2)

$$\frac{I_{O\,1} - I_{IN\,2}}{I_{O\,1}} = \frac{{}^{1}\!/_{Agm}}{r_O + {}^{1}\!/_{Agm}} \tag{4.2}$$

หรือ

$$\frac{I_{O1} - I_{IN2}}{I_{O1}} = \frac{1}{Agmr_O} \tag{4.3}$$

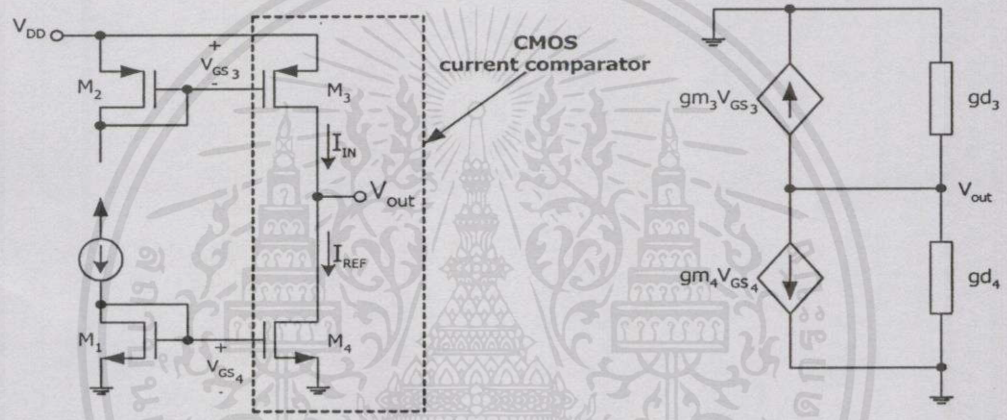
กำหนดค่าของ $r_O >> \frac{1}{Agm}$ ในสมการ (4.2) จะได้ในสมการ (4.3) โดยทั่วไปค่า $r_o \approx 5M\Omega$, $gm_2 \approx 20\mu A/V$ ค่าความผิดพลาดของวงจรสะท้อนกระแสแบบแอคทีฟเท่ากับ 0.01%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรเปรียบเทียบกระแส [11], [18], [19]

4.3.1 วงจรเปรียบเทียบกระแสแบบพื้นฐาน

ภาพที่ 4.2 เป็นการเปรียบเทียบค่ากระแสอินพุตกับกระแสอ้างอิง มีเงื่อนไขดังนี้ 1. กระแสอินพุตมากกว่ากระแสอ้างอิง 2. กระแสอินพุตน้อยกว่ากระแสอ้างอิง และค่าการเปรียบเทียบนี้จะแปลงจากค่ากระแสเป็นค่าแรงดันและเทียบเป็นค่าปริมาณทางลอจิกได้ซึ่งมีช่วงผ่อนผันของปริมาณลอจิก เช่น ในสภาวะลอจิกสูง มีค่าตั้งแต่ 4.5 V ถึง 5V และสภาวะลอจิกต่ำ มีค่าตั้งแต่ 0 V ถึง 0.4 V



ภาพที่ 4.2 (a) วงจรเปรียบเทียบกระแสพื้นฐาน (b) วงจรสมมูลทางไฟฟ้า

ถ้า $I_{IN} < I_{REF}$ มอส M_3 จะทำงานในย่านลิเนียร์และมอส M_4 ทำงานในย่านอิ่มตัว ทำให้ V_{out} มีสภาวะเป็นลอจิกต่ำ ในกรณีที่ V_{out} มีสภาวะเป็นลอจิกสูง มอส M_3, M_4 จะทำงานในย่านอิ่มตัวและลิเนียร์ตามลำดับ พิจารณาที่โหนด V_{out} จะได้สมการดังนี้

$$-gm_3V_{GS_3} - gm_4V_{GS_4} + (gd_3 + gd_4)V_{out} = 0 \tag{4.4}$$

$$V_{out} = \frac{1}{(gd_3 + gd_4)}(gm_3V_{GS_3} + gm_4V_{GS_4}) \tag{4.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าของ $gd = \lambda I_D, V_{GS_3} = \sqrt{\frac{n(2I_{IN})L_3}{\mu_p C_{ox} W_3}} - V_{thp}, V_{GS_4} = -\sqrt{\frac{2I_{REF}L_4}{\mu_n C_{ox} W_4}} + V_{thp}$ ลงในสมการ (4.5) จะได้ค่า V_{out} ดังสมการที่ (4.6)

$$V_{out}=\frac{1}{(\lambda_3 I_{D_3}+\lambda_4 I_{D_4})}\left[gm_3\left(\sqrt{\frac{n(2I_{IN})L_3}{\mu_p C_{ox}W_3}}-V_{thp}\right)-gm_4\left(\sqrt{\frac{2I_{REF}L_4}{\mu_n C_{ox}W_4}}-V_{thn}\right)\right] \quad (4.6)$$

แทนค่า $gm=\frac{\partial i_D}{\partial V_{GS}}$ มีค่าประมาณ $\sqrt{2\mu C_{ox} I_D W/L}$ ลงในสมการ (4.6) เมื่อมอสมีความสมพงศ์กันเป็นผลให้กระแส $I_{D_3}=I_{D_4}, gm_3=gm_4$ และ $V_{thp}=V_{thn}$ ทำให้ได้ค่า V_{out} ใหม่ ดังสมการ (4.7)

$$V_{out}=\frac{n\left[\sqrt{2I_{IN}}-\sqrt{I_{REF}}\right]}{(\lambda_3+\lambda_4)\sqrt{I_D}} \quad (4.7)$$

ค่า n ในสมการ (4.7) คือ ค่าสะท้อนกระแสอินพุต ถ้ากระแส $2I_{IN}<I_{REF}$ ค่ากระแส I_D เท่ากับ $2I_{IN}$ ทำให้ V_{out} มีสภาวะเป็น " 0 " กรณีที่กระแส $2I_{IN}>I_{REF}$ ค่ากระแส I_D เท่ากับ I_{REF} เป็นผลให้ V_{out} มีสภาวะเป็น " 1 " โดยที่ λ จะมีค่าน้อยมากๆ

4.3.2 ผลกระทบจากพารามิเตอร์ของวงจรเปรียบเทียบกระแส

การเปรียบเทียบกระแสที่ดีนั้น เกณฑ์การเปรียบเทียบต้องมีค่าสูงสุด การเปลี่ยนแปลงค่ากระแสที่เกิดจากการเปรียบเทียบนี้ จะแปรผันตามการเปลี่ยนแปลงของค่าแรงดันเกทซอร์ส ถ้ามีการเปรียบเทียบกระแสมากกว่า 1 วงจร โดยต่อกันแบบขนาน ความต้านทานเอาต์พุต (R_o) ของมอสทั้งพีและเอ็นแชนแนลคือ

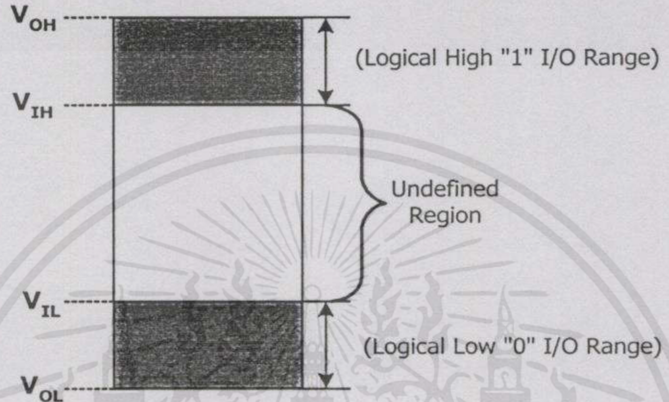
$$R_o=\frac{1}{[I_D(\lambda_p+\lambda_n)]} \quad (4.8)$$

ค่า λ มีหน่วยเป็น V^{1} กรณีกระแส I_{D_p} มีค่าน้อยๆ การตอบสนองเกณฑ์จะมีค่าเพิ่มขึ้น ทำให้การหน่วงเวลาลดลงและกระทบต่อความเร็วของการเปรียบเทียบเพียงเล็กน้อย และค่า I_{D_n} มีผลต่อการเลื่อนสัญญาณการเปรียบเทียบกระแสของแต่ละวงจร ผลของ V_{out} แสดงไว้ในบทที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 ผลกระทบจากการอินเวิอร์สัญญาณ [9], [20]

อินเวิอร์เตอร์เป็นส่วนประกอบที่เล็กและใช้ในการออกแบบวงจรดิจิตอล ซึ่งอธิบายถึงคุณลักษณะที่ซับซ้อนของเกตทางด้านแรงดันไฟตรง (VTC) ได้ เช่น NAND, NOR และ XOR โดยการพล็อตสมการตามค่าตัวแปรในแกนตั้งมีค่าเท่ากับค่าตัวแปรในแกนนอน เช่น $V_y = f(V_x)$ ค่า V_y เป็นแรงดันเอาต์พุตและค่า V_x เป็นแรงดันอินพุต



ภาพที่ 4.3 คุณลักษณะของแรงดันอินพุตกับเอาต์พุตในสภาวะลอจิก

ระดับ “0” กับ “1” คือ การกำหนดช่วงแรงดันที่วงจรอินเวอร์เตอร์ยังทำงานได้ถูกต้อง ระดับ “1” เริ่มตั้งแต่ V_{IH} ถึง V_{OH} ค่าระดับ “0” เริ่มตั้งแต่ V_{IL} ถึง V_{OL} ทั้ง 2 ช่วงนี้ถูกกั้นกลางจากบริเวณที่มีค่าลอจิกที่ไม่แน่นอน (Uncertainly region) ซึ่งไม่สามารถกำหนดได้ว่าเป็น “0” หรือ “1” และมีช่วงตั้งแต่ V_{IL} ถึง V_{IH} มีความชันหรือเกณฑ์ขยาย (Gain = $\Delta Vy / \Delta Vx$) เท่ากับ -1 ควรให้ช่วงนี้สั้นที่สุด โดยการเปลี่ยนสถานะลอจิกอย่างรวดเร็ว การกำหนดช่วงแรงดันอินพุตและเอาต์พุตหรือ Noise margin มีอยู่ 2 แบบ ดังสมการ (4.9) และ (4.10)

$$\text{Noise margin low } (NM_L) = \left| V_{IL} - V_{OL} \right| \tag{4.9}$$

$$\text{Noise margin high } (NM_H) = \left| V_{OH} - V_{IH} \right| \tag{4.10}$$

กำหนดให้

V_{IH} คือ ค่าต่ำสุดเริ่มสู่สภาวะลอจิก “1” ของแรงดันอินพุตค่าสูง แต่น้อยกว่า V_{DD}

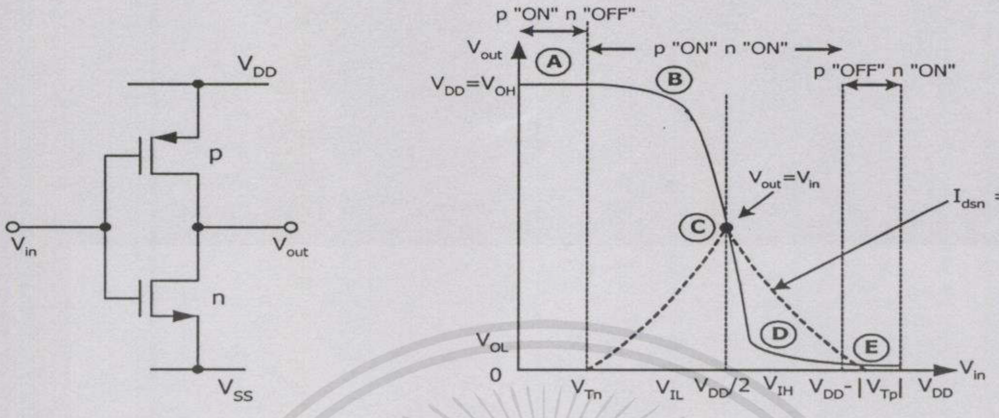
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

V_{IL} คือ ค่าต่ำสุดเริ่มเข้าสู่สภาวะลอจิก “0” ของแรงดันอินพุตค่าต่ำ และมากกว่า V_T แต่น้อยกว่าแรงดันเทรดโฮลของอินเวอร์เตอร์

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{OH} คือ ค่าต่ำสุดเริ่มเข้าสู่สภาวะลอจิก “1” ของแรงดันเอาต์พุตค่าสูง มีค่าประมาณ V_{DD}

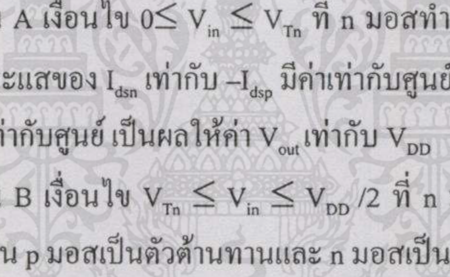
V_{OL} คือ ค่าต่ำสุดเริ่มเข้าสู่สภาวะลอจิก "0" ของแรงดันเอาต์พุตค่าต่ำ มีค่า 0 ถึง $V_{OL(max)}$ วงจรอินเวอร์เตอร์ แบ่งการทำงานออกเป็น 5 ช่วง แสดงดังภาพที่ 4.4



ภาพที่ 4.4 (a) วงจร CMOS อินเวอร์เตอร์ (b) ทรานเฟอร์ฟังก์ชันของแรงดัน CMOS

ช่วงทำงานในย่าน A เงื่อนไข $0 \leq V_{in} \leq V_{Tn}$ ที่ n มอสทำงานในย่านคัทออฟ และ p มอสทำงานในย่านลิเนียร์ ค่ากระแสของ I_{dsn} เท่ากับ $-I_{dsp}$ มีค่าเท่ากับศูนย์ และค่าแรงดันของ V_{dsp} มีค่าเท่ากับ $V_{out}-V_{DD}$ โดยที่ V_{dsp} เท่ากับศูนย์ เป็นผลให้ค่า V_{out} เท่ากับ V_{DD}

ช่วงทำงานในย่าน B เงื่อนไข $V_{Tn} \leq V_{in} \leq V_{DD}/2$ ที่ n มอสทำงานในย่านอิ่มตัว และ p มอสในย่านลิเนียร์ โดยแทน p มอสเป็นตัวต้านทานและ n มอสเป็นแหล่งจ่ายกระแส ดังภาพที่ 4.5



ภาพที่ 4.5 วงจรสมมูลย์ของ n และ p มอสช่วงการทำงานในย่าน B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดต่อหรือดัดแปลงและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสอิ่มตัวสำหรับ n มอส (I_{dsn}) หาได้โดยที่ค่า $V_{gs} = V_{in}$ ดังนี้

$$I_{dsn} = \beta_n \frac{\left[V_{in} - V_{Tn}\right]^2}{2} \tag{4.11}$$

โดยที่

$$\beta_n = \frac{\mu_n \varepsilon}{t_{ox}}\left(\frac{W_n}{L_n}\right)$$

กระแสของ P มอสหาได้โดยที่ค่า $V_{gs} = V_{in} - V_{DD}$ และ $V_{ds} = V_{out} - V_{DD}$ ดังนี้

$$I_{dsp} = -\beta_n\left[\ (V_{in} - V_{DD} - V_{Tp})(V_{out} - V_{DD}) - \frac{(V_{out} - V_{DD})^2}{2}\right] \tag{4.12}$$

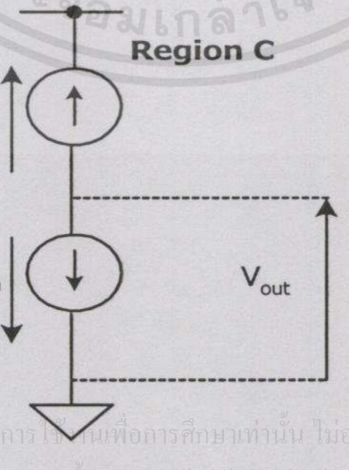
โดยที่

$$\beta_p = \frac{\mu_p \varepsilon}{t_{ox}}\left(\frac{W_p}{L_p}\right)$$

แทนลงในสมการ $I_{dsp} = -I_{dsn}$ ในสมการที่ (4.11) และ (4.12) จะได้ค่า V_{out} ดังนี้

$$V_{out} = (V_{in} - V_{Tp}) + \sqrt{(V_{in} - V_{Tp})^2 - 2\left(V_{in} - \frac{V_{DD}}{2} - V_{Tp}\right)V_{DD} - \frac{\beta_n}{\beta_p}(V_{in} - V_{Tn})^2} \tag{4.13}$$

ในย่าน C ทั้ง n และ p มอส อยู่ในย่านอิ่มตัว แทนเป็นแหล่งจ่ายกระแส 2 ตัวต่ออนุกรม



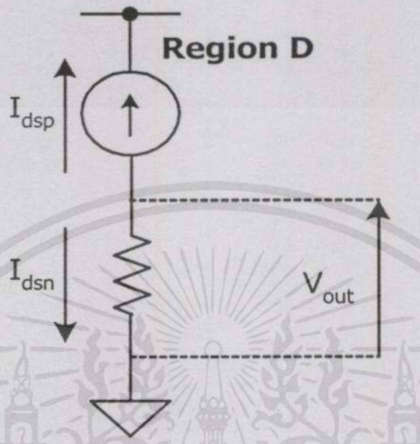
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
...เอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ 4.6 วงจรสมมูลย์ของ n และ p มอสช่วงการทำงานในย่าน C

กระแสอิ่มตัวของ n และ p มอส สามารถเขียนเป็นสมการได้ดังนี้

$$I_{dsp} = -\frac{\beta_n}{2}(V_{in} - V_{DD} - V_{Tp})^2 \tag{4.14}$$

ช่วงทำงานย่าน D ที่ n มอส ทำงานช่วงลิเนียร์ และ p มอสทำงานช่วงอิ่มตัว เงื่อนไข V_{in} เท่ากับ V_{IH} แทน p มอสเป็นแหล่งจ่ายกระแสและ n มอสเป็นความต้านทาน



ภาพที่ 4.7 วงจรสมมูลย์ของ n และ p มอสช่วงการทำงานในย่าน D

กระแสทั้งสองคือ $I_{dsp} = -I_{dsn}$ และมีค่าเท่ากับ

$$\frac{\beta_n}{2}\left[\,2(V_{IH} - V_{Tn})V_{out} - V^2{}_{out}\right] = \frac{\beta_p}{2}(V_{DD} - V_{IH} - \left|V_{Tp}\right|)^2 \tag{4.15}$$

ค่ากระแส $I_{dn}(V_{in}, V_{out})$ เท่ากับ $I_{dp}(V_{in})$ และใช้สมการ $\frac{\partial V_{out}}{\partial V_{in}} = -1$ จะได้ค่าของ V_{out} ดังนี้

$$V_{out} = \frac{1}{2}\left[(V_{IH} - V_{Tn}) - \frac{\beta_p}{\beta_n}(V_{DD} - V_{IH} - \left|V_{Tp}\right|)\right] \tag{4.16}$$

ช่วงทำงานในย่าน E ในเงื่อนไข $V_{in} \geq V_{DD} - V_{Tp}$ ที่ n มอสทำงานในย่านคัทออฟ และ p มอสในย่านลิเนียร์ ค่า $V_{gsp} = V_{in} - V_{DD}$ มากกว่าแรงดันเทรดโฮล p มอส จะได้ V_{out} มีค่าเป็นศูนย์

แรงดันเกทเทรดโฮล เป็นแรงดันที่อยู่ตรงกลางของภาพที่ 4.4 ไม่ใช่แรงดัน V_T ของตัวมอส หรือเรียกว่า (Switching Threshold Voltage) ที่ค่า $V_{in} = V_{out}$ ขึ้นกับอัตราส่วน $\frac{\beta_n}{\beta_p}$ และค่า $\frac{\beta_n}{\beta_p}$ จะขึ้นกับค่า L และ W เมื่อ $\frac{\beta_n}{\beta_p}$ เพิ่มขึ้น ย่านทำงานจะเลื่อนจากซ้ายไปขวาอย่างรวดเร็ว และไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระทบด้านความเร็วในการสวิทซ์ ถ้า $\frac{\beta_n}{\beta_p}$ เท่ากับ 1 เวลาในการเก็บหรือคายประจุให้กับโหลดที่เป็นตัวประจุจะมีค่าเท่ากัน ผลทางอุณหภูมิค่า $\beta \alpha T^{-1.5}$ มีผลต่อ $I_{ds} \alpha T^{-1.5}$ เนื่องจาก μ_n และ μ_p ลดลงเล็กน้อยเมื่ออุณหภูมิเพิ่มขึ้น ทำให้ย่านทำงาน A และ E เปลี่ยนแปลงตรงข้ามกัน

4.4 วงจรสวิทซ์มอส [8], [9]

4.4.1 คุณสมบัติความเป็นสวิทซ์ของมอส

ช่วงการทำงานของมอสที่เป็นความต้านทานเชิงเส้น จากสมการ (2.3) ถ้าค่าแรงดันของ $V_{DS} << 2(V_{GS} - V_{TH})$ จะได้กระแส I_D ดังสมการ (4.17)

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH}) V_{DS} \right] \tag{4.17}$$

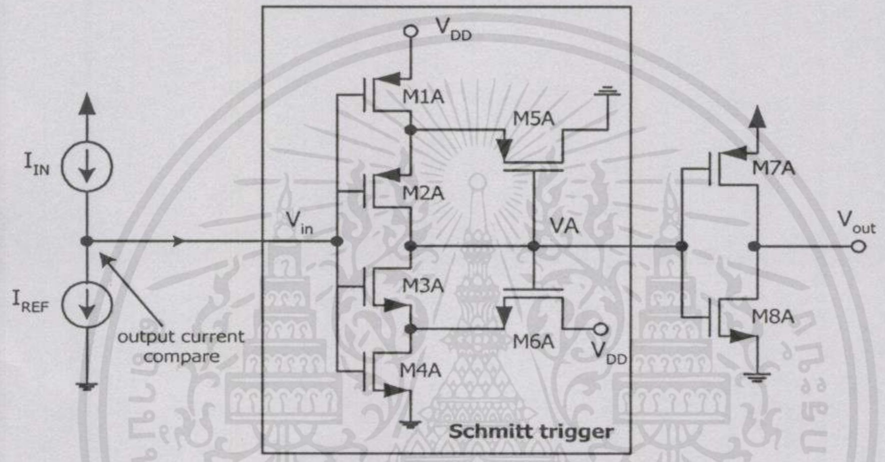
กระแส I_D เป็นเชิงเส้นกับค่า V_{GS} และ V_{DS} จึงปรับค่ามอสให้เป็นความต้านทานที่มีค่ามากหรือน้อยได้ โดยปรับที่ V_{GS} กับ W/L พิจารณาได้ในสมการ (2.4) คือ rds ของมอสมีค่าต่ำหรือ Switch on ในสภาวะที่มอสไม่นำกระแส ค่า rds มีค่าเป็นอนันต์หรือ Switch off มอสจะอยู่ในสภาวะไม่นำกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ซีมอสชมิททริกเกอร์ที่ใช้ปรับปรุงความเร็วในการแปลง ADC [21], [22]

4.5.1 วงจรและการทำงาน

ในสภาวะที่ $V_{in} < V_t$ ของตัวซีมอส ที่ M3A, M4A จะไม่นำกระแสและ M1A, M2A ทำงานในสภาวะลิเนียร์ กระแสเดรนที่ไหลใน M1A, M2A จนถึง M4A มีค่าเท่ากันตลอด แรงดัน V_{out} จะเข้าสู่ " high" ที่ M3A จะเข้าสู่สภาวะอิ่มตัว เป็นผลให้ M6A นำกระแสและ M5A ไม่นำกระแส



ภาพที่ 4.8 วงจรซีมอสชมิททริกเกอร์ควบคุมฮีสเทอร์เรซีสด้วยการปรับ W/L

เมื่อ $V_{in} > V_{tn}$ มอส M3A, M4A จะนำกระแส กระแสเดรน ที่ M3A, M4A มีค่าเท่ากันและเท่ากับ $0.5(\mu_n C_{ox})(W/L)(V_{in} - V_{TN})^2$ วงจรชมิททริกเกอร์จะเริ่มทำงาน

เมื่อ V_{in} เพิ่มขึ้นจนถึงค่าจุดทริกสูง ค่า V_{DS} ของ M4A จะลดลง มอส M3A จะนำกระแสเป็นผลให้ M6A นำกระแส เนื่องจากค่า $V_{out} \cong V_{DD}$ ส่งผลให้เกทของ M6A เท่ากับ V_{DD} คือ $V_{in} > V_t$ เล็กน้อย ค่า V_{out} ยังเท่ากับ V_{DD}

เมื่อที่ V_{in} ลดลงจนถึงจุดทริกต่ำ ค่า V_{out} จะเริ่มลดลงและ V_{DS} ของ M4A จะเพิ่มขึ้น มอส M3A เริ่มไม่นำกระแส ส่วน M1A, M2A จะเริ่มนำกระแส ส่งผลให้ M5A นำกระแส ถ้า V_{out} ลดสู่ศูนย์ ค่าแรงดัน V_{in} จะเข้าสู่สภาวะ $V_{DD} - |V_{tp}|$ ในทางตรงกันข้าม เมื่อ V_{out} เพิ่มขึ้นจนถึง V_{DD} แรงดัน V_{in} จะลดต่ำกว่า V_{tn}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

แรงดันจุดทริกสูง (high threshold voltage) พิจารณาที่ M6A ร่วมกับเทรดโฮลของวงจรอินเวอร์เตอร์ที่เป็น low threshold คือ M1A,M2A,M3A และ M4A ดังนั้น ค่าแรงดัน high threshold แสดงดังสมการ (4.18) คือ

$$V_T^+ \approx \frac{V_{DD} + V_{tp} + (\beta_{neq}/\beta_{peq})^{1/2} V_{tn}}{1 + (\beta_{neq}/\beta_{peq})^{1/2}} + \frac{(\beta_{neq}/\beta_{peq})^{1/2}(V_{DD} - V_{tn})}{[1+\sqrt{K_n}]\,[1+(\beta_{neq}/\beta_{peq})^{1/2}]} \tag{4.18}$$

β_{neq}, β_{peq} คือ เกณฑ์ของมอส M1A, M2A ถึง M4A โดยต่อในลักษณะอนุกรม

K_n คือ อัตราส่วนทางเรขาคณิต ของมอส M4A,M6A โดยต่อในลักษณะอนุกรม

ดังนั้นค่า β_{neq}, β_{peq} แสดงดังสมการ (4.19) และ (4.20) คือ

$$\beta_{neq} = \frac{[L_4(\mu_o C_{ox})_3 W_3][L_3(\mu_o C_{ox})_4 W_4]}{[L_4(\mu_o C_{ox})_3 W_3 + L_3(\mu_o C_{ox})_4 W_4]} \tag{4.19}$$

$$\beta_{peq} = \frac{[L_2(\mu_o C_{ox})_1 W_1][L_1(\mu_o C_{ox})_2 W_2]}{[L_2(\mu_o C_{ox})_1 W_1 + L_1(\mu_o C_{ox})_2 W_2]} \tag{4.20}$$

และค่าของ K_n แสดงดังสมการ (4.21) คือ

$$K_n = \frac{W_{n4}/L_{n4}}{W_{n6}/L_{n6}} \tag{4.21}$$

$$V_T^- \approx \frac{V_{DD} + V_{tp} + (\beta_{neq}/\beta_{peq})^{1/2} V_{tn}}{1 + (\beta_{neq}/\beta_{peq})^{1/2}} - \frac{V_{DD} + V_{tp}}{[1+\sqrt{K_p}][1+(\beta_{neq}/\beta_{peq})^{1/2}]} \tag{4.22}$$

ค่า K_p คือ อัตราส่วนทางเรขาคณิตของมอส M1A,M5A ต่อในลักษณะอนุกรม

$$K_p = \frac{W_{n1}/L_{n1}}{W_{n5}/L_{n5}} \tag{4.23}$$

เทอมแรกของสมการ(4.18) ปราศจากฮีสเทอร์เรซีสและเทอมหลังขึ้นกับพารามิเตอร์ K_n เนื่องจากวงจรมีความสมมาตรกัน ทั้ง high threshold และ low threshold แรงดันเทรดโฮลของอินเวอร์เตอร์เทอมแรกในสมการ(4.22) เท่ากับเทอมแรกของสมการ (4.18) ดังนั้นค่าแตกต่างระหว่าง high threshold กับ low threshold คือ แรงดันฮีสเทอร์เรซีส (V_H) ซึ่งมี 2 สภาวะคือ “0” กับ “1” ดังนี้

$$\frac{V_{DD} + V_{tp}}{[1+\sqrt{K_p}][1 + (\beta_{neq} / \beta_{peq})^{1/2}]} \approx 0V \tag{4.24}$$

$$\frac{(\beta_{neq} / \beta_{peq})^{1/2}(V_{DD} - V_{tn})}{[1+\sqrt{K_n}][1 + (\beta_{neq} / \beta_{peq})^{1/2}]} \approx V_{DD} \tag{4.25}$$

สมการ (4.24) และ (4.25) สภาวะ “1” กับ “0” มีช่วงผ่อนผันระหว่างลอจิกเกิดขึ้น ซึ่งคุณสมบัติเหมือนอินเวอร์เตอร์ ค่า K_n เพิ่มขึ้น แรงดันจุดทริกสูงจะลดลง เวลาหน่วงจะเร็วขึ้น กรณีที่ K_p เพิ่มขึ้น ค่าแรงดันที่จุดทริกต่ำจะมีค่าลดลง แต่ความกว้างของฮีสเทอร์เรซีสจะเพิ่มขึ้น จากเงื่อนไขการปรับค่าพารามิเตอร์ของวงจรชมิททริกเกอร์นี้ จะส่งผลต่อค่า delay time ถ้า delay time น้อยลง การตอบสนองในการเปรียบเทียบกระแสจะยิ่งไวขึ้น เป็นผลให้ใช้เวลาในการแปลง A/D น้อยลง

4.6 บทสรุป

จากการวิเคราะห์วงจรภายในของอัลกอริธึม ADC อาทิเช่น วงจรสะท้อนกระแสแบบแอคทีฟ, วงจรเปรียบเทียบกระแส, วงจรสวิทซ์มอสและวงจรเปรียบเทียบกระแสชมิททรกเกอร์ ในแต่ละวงจรจะมีข้อจำกัดในตัวเอง ซึ่งข้อจำกัดเหล่านี้มีผลกระทบต่อระบบ ADC เมื่อนำวงจรทั้งหมดนี้มาประกอบกันเป็น ADC แบบฮาล์ฟแฟลช ลำดับต่อไปที่จะต้องพิจารณาคือ การปรับค่าพารามิเตอร์ต่างๆในวงจรจะต้องมีความเหมาะสมที่จะลดค่าผิดพลาดที่เกิดขึ้นได้ของการแปลงสัญญาณ A/D ซึ่งคุณสมบัติของแต่ละวงจรสามารถปรับค่าพารามิเตอร์ได้ เพื่อให้ความเร็วในการแปลง A/D ไวขึ้นและลดความผิดพลาดให้น้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ผลของการปรับปรุงความเร็วในวงจร ADC แบบฮาล์ฟแฟลช

5.1 บทนำ

ในบทที่ 5 นี้ แสดงการเปรียบเทียบประสิทธิภาพของวงจร ADC แบบฮาล์ฟแฟลช ทั้ง 2 แบบ เงื่อนไขต่างๆในการเปรียบเทียบนี้ จะเทียบกับหลักการอัลกอริธึม ADC ในอุดมคติที่จำนวนบิทเท่ากันและแสดงผลของประสิทธิภาพอัลกอริธึม ADC ว่าเป็นอย่างไร โดยพิจารณาจากความคลาดเคลื่อนห่างจากค่าทางอุดมคติเป็นเท่าใด จากนั้นวิเคราะห์ผลทั้งหมดที่ได้จากการทดลอง

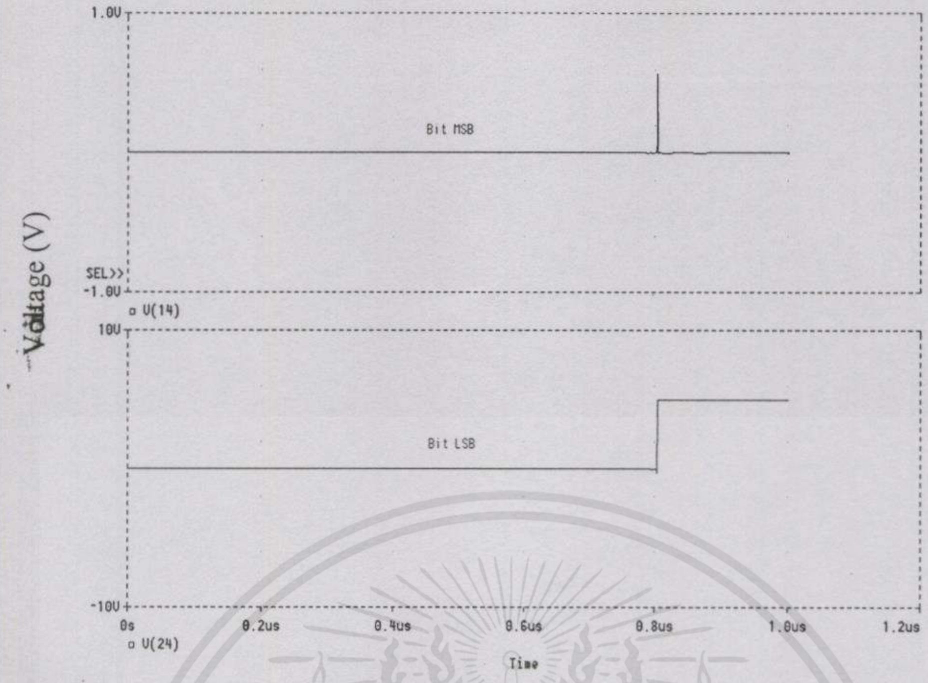
สำหรับการเลียนแบบการทำงานของวงจร โดยใช้โปรแกรม Hspice และ Matlab สำหรับแสดงผลพารามิเตอร์ต่างๆที่ได้จากการทดลอง

5.2 ผลการเลียนแบบวงจร ADC แบบฮาล์ฟแฟลชด้วยโปรแกรม Hspice

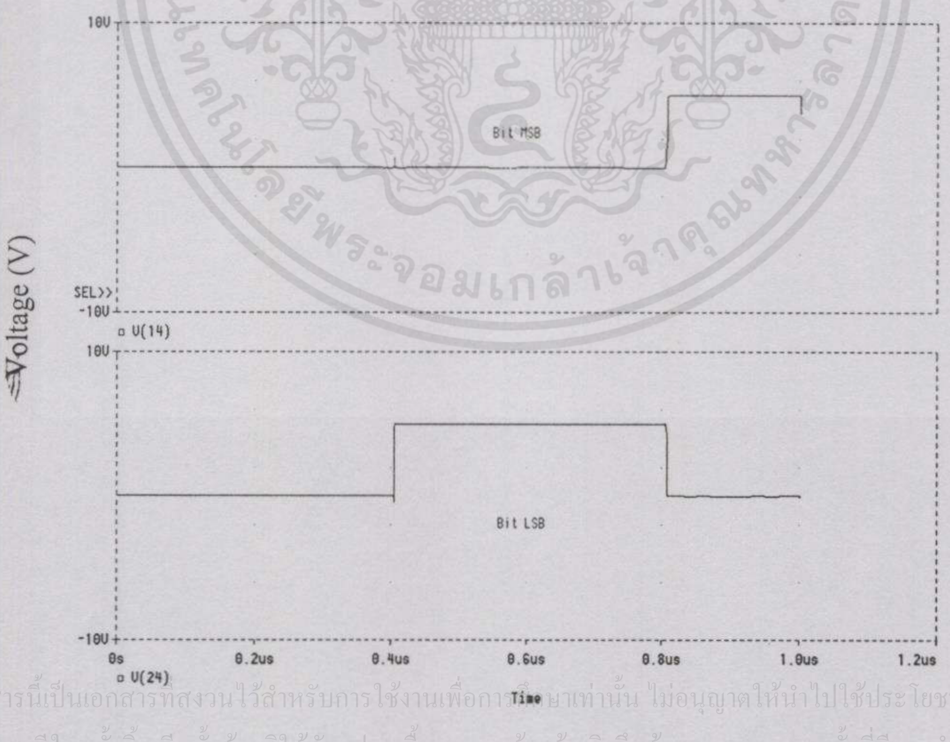
การทดสอบเริ่มจากวงจรอัลกอริธึม ADC แบบฮาล์ฟแฟลชขนาด 3บิท, 4 บิทและ 6 บิท ตามลำดับ โดยปรับกระแสอินพุตตั้งแต่ 0 ถึงค่าสูงสุดคือ 10μA บันทึกค่าเปลี่ยนแปลงของกระแสอินพุตกับการเปลี่ยนแปลงของสัญญาณเอาต์พุตดิจิตอล ผลการทดลองนี้ แสดงดังภาพที่ 5.1 ถึง 5.8 ในภาพที่ 5.1 เป็นการปรับค่ากระแสอินพุตและบันทึกผลการเปลี่ยนแปลงรูปเอาต์พุตดิจิตอล (สำหรับ 2 บิท), ภาพที่ 5.2 (สำหรับ 3 บิท), ภาพที่ 5.3 (สำหรับ 4 บิท), ภาพที่ 5.4 (สำหรับ 6 บิท) ในภาพที่ 5.5 (สำหรับ 2 บิทแบบปรับปรุง), ภาพที่ 5.6 (สำหรับ 3 บิทแบบปรับปรุง), ภาพที่ 5.7 (สำหรับ 4 บิทแบบปรับปรุง)และภาพที่ 5.8 (สำหรับ 6 บิทแบบปรับปรุง)

ในภาพที่ 5.9 ถึง 5.12 แสดง performance ของวงจร ADC 2 บิท, 3 บิท, 4 บิทและ 6 บิท ค่า performance เหล่านี้ บ่งบอกถึงความคลาดเคลื่อนของ ADC ในรูปพารามิเตอร์ เช่น DNL, INL, Gain error ฯลฯ ถ้าค่าเหล่านี้ยิ่งมีค่ามาก ความคลาดเคลื่อนยิ่งมีค่ามากตาม สำหรับภาพที่ 5.13 ถึง 5.16 จะแสดง performance ของ ADC 2 บิท, 3 บิท, 4 บิทและ 6 บิท (เป็นแบบปรับปรุงทั้งหมด)

ภาพที่ 5.17 แสดงเอาต์พุตของวงจรเปรียบเทียบกระแสแบบพื้นฐานขนาด 2 บิท, 3 บิท, 4 บิท และบันทึกค่า delay time ในแต่เอาต์พุตของวงจรเปรียบเทียบ ภาพที่ 5.18 แสดงเอาต์พุตของวงจรเปรียบเทียบกระแสแบบปรับปรุงขนาด 2 บิท, 3 บิท, 4 บิท บันทึกค่า delay time ในแต่ละเอาต์พุตของวงจรเปรียบเทียบ นำผลที่ได้มาเปรียบเทียบค่า delay time โดยเทียบที่จำนวนบิทเท่ากันระหว่างภาพที่ 5.17 กับ 5.18 และนำผลที่ได้มาวิเคราะห์ต่อไป



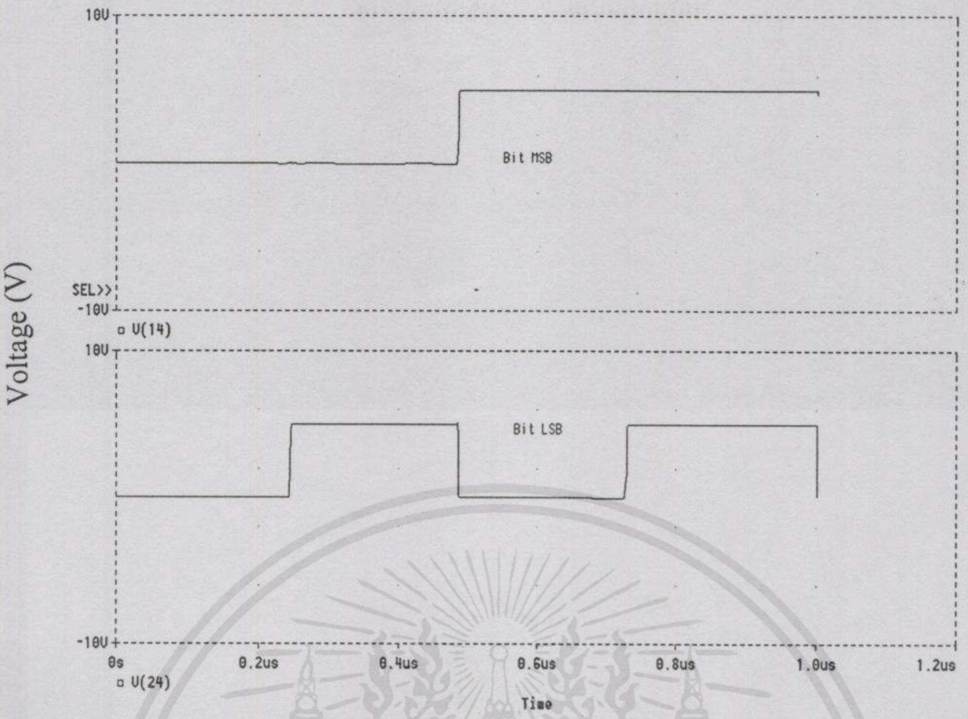
(ก) ผลการเลียนแบบวงจร ADC 2 บิท ที่กระแส I_{IN} =3 μA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

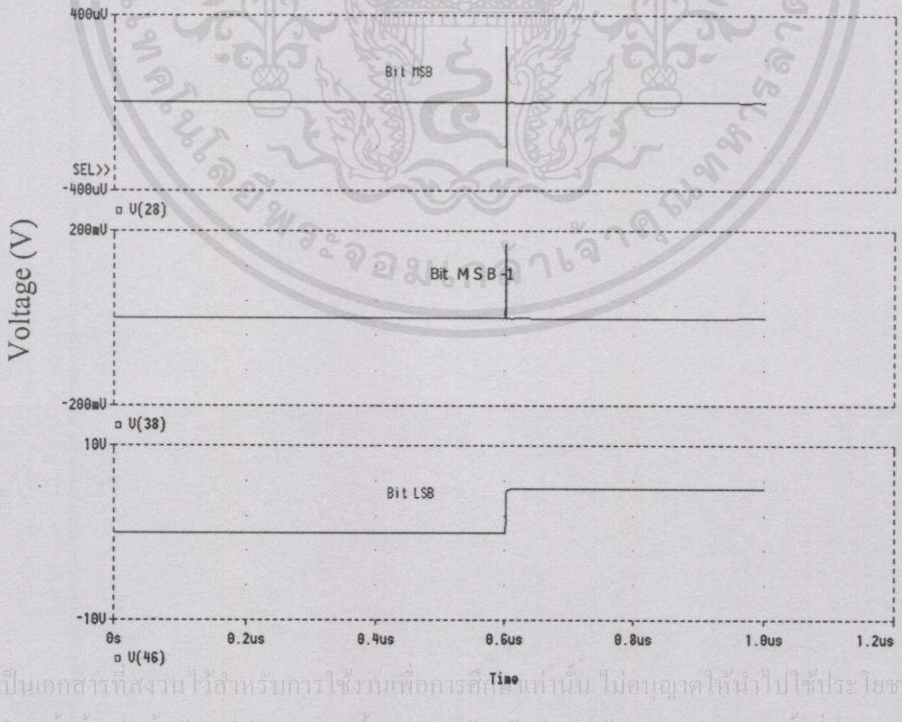
(ข) ผลการเลียนแบบวงจร ADC 2 บิท ที่กระแส I_{IN} =6 μA

ภาพที่ 5.1 การเปลี่ยนแปลง I_{IN} เป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง (ADC 2 บิท)



(ค) ผลการเลียนแบบวงจร ADC 2 บิทที่กระแส I_{IN} =10 μA

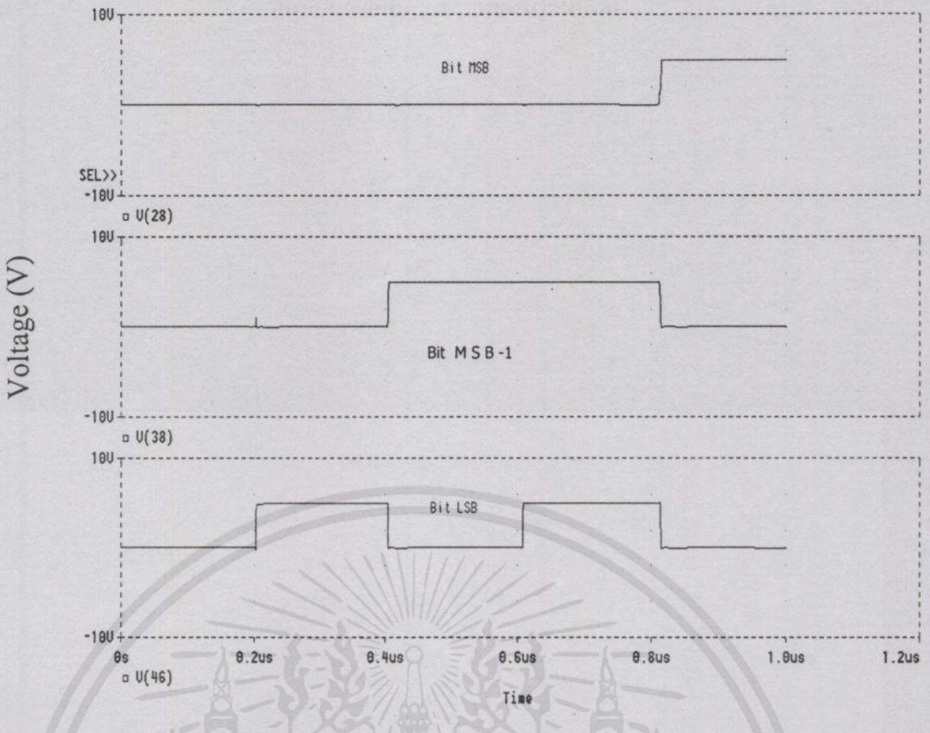
ภาพที่ 5.1 (ต่อ)



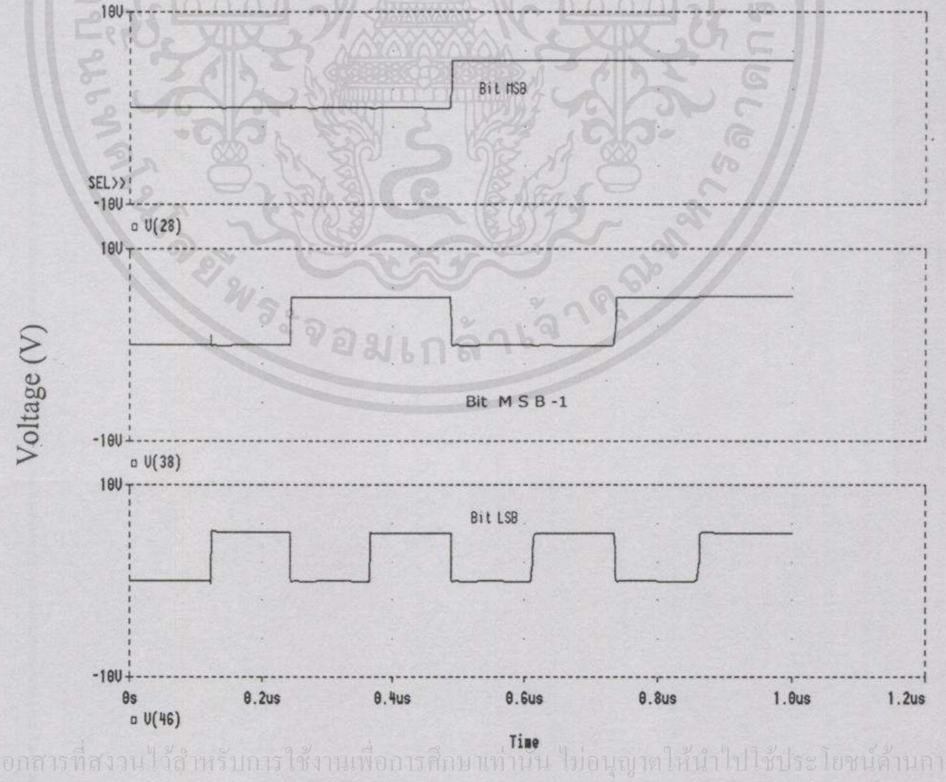
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) ผลการเลียนแบบวงจร ADC 3 บิท ที่กระแส I_{IN} =2 μA

ภาพที่ 5.2 การเปลี่ยนแปลง I_{IN} เป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง (ADC 3 บิท)



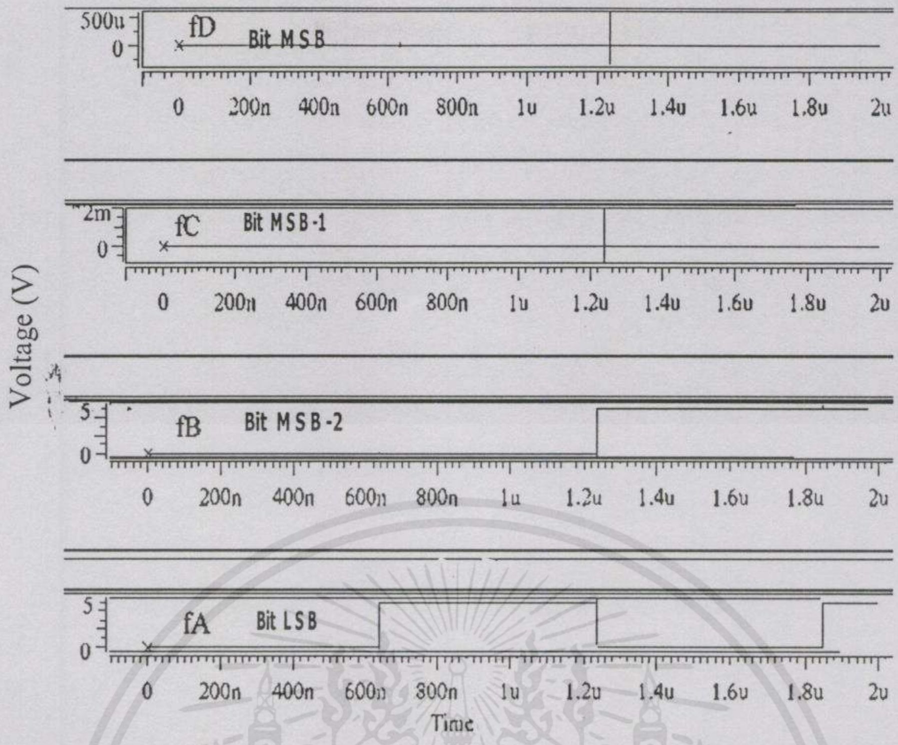
(ข) ผลการเลียนแบบวงจร ADC 3 บิท ที่กระแส I_{IN} =6 μA



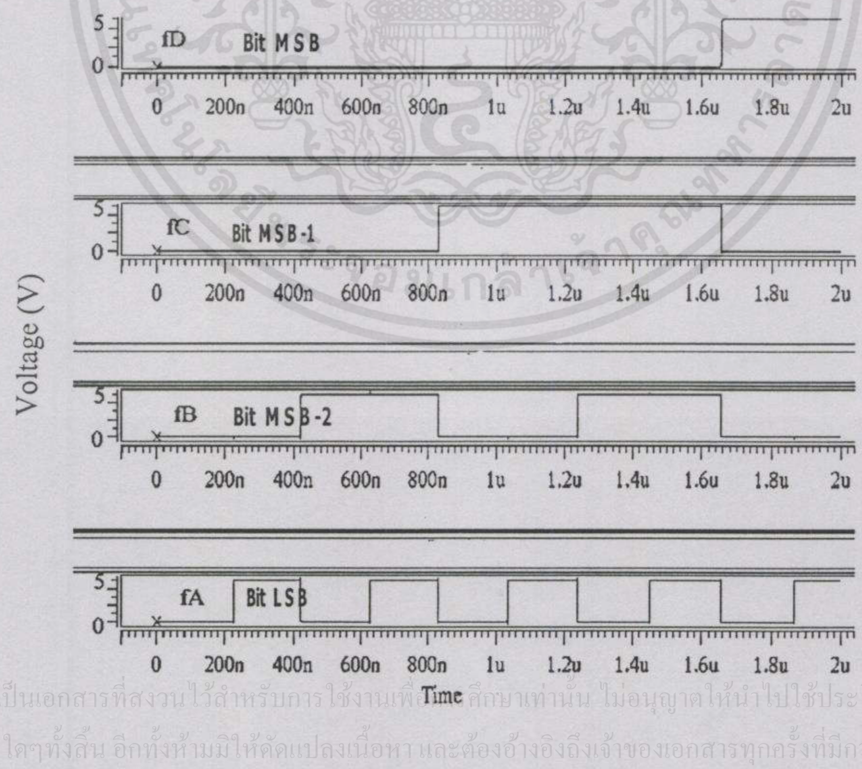
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) ผลการเลียนแบบวงจร ADC 3 บิท ที่กระแส I_{IN} =10 μA

ภาพที่ 5.2 (ต่อ)



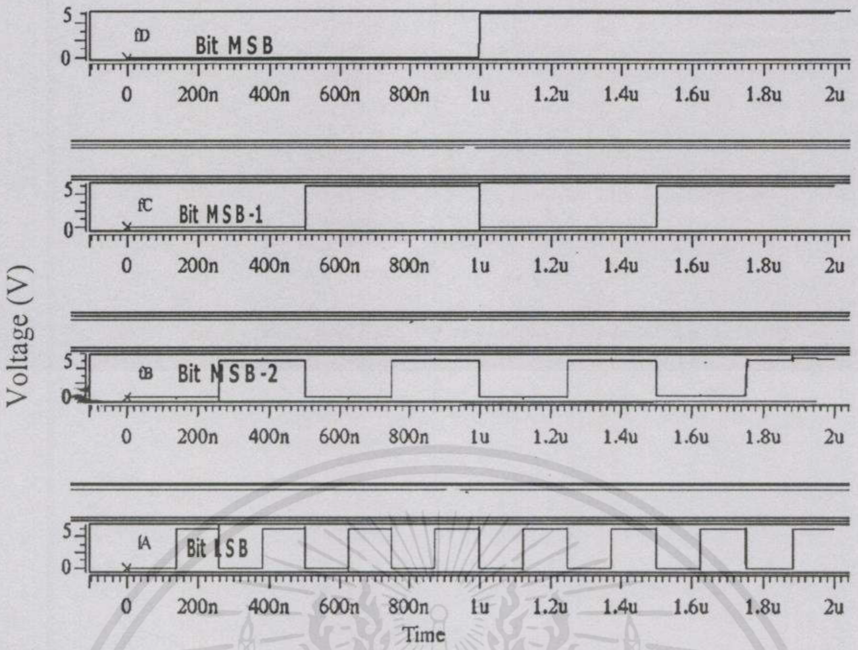
(ก) ผลการเลียนแบบวงจร ADC 4 บิท ที่กระแส I_{IN} =2 μA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

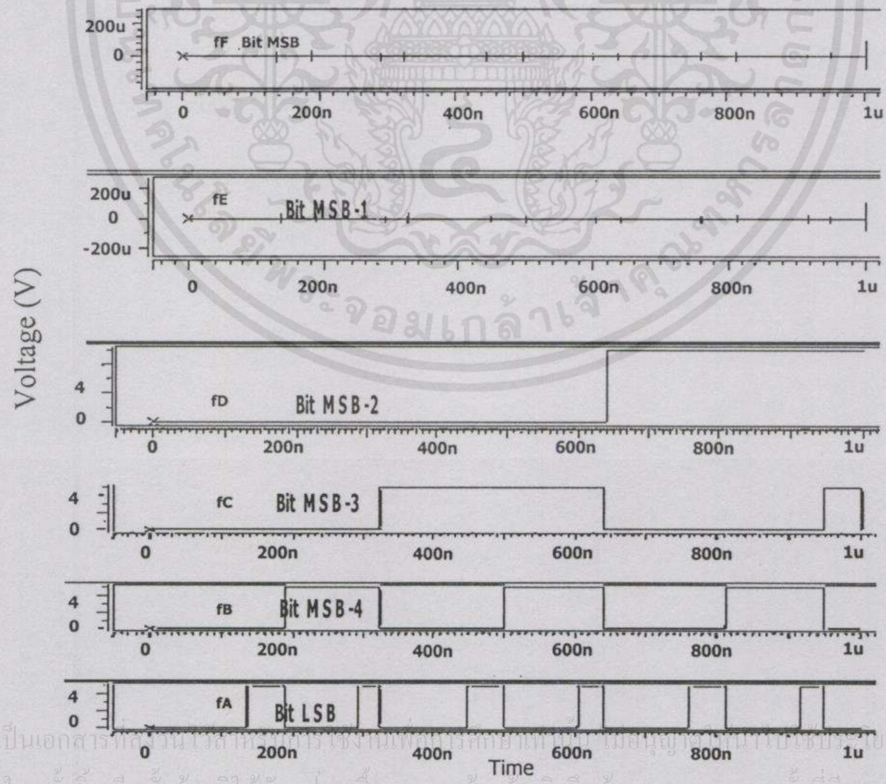
(ข) ผลการเลียนแบบวงจร ADC 4 บิท ที่กระแส I_{IN} =6 μA

ภาพที่ 5.3 **การเปลี่ยนแปลง I_{IN} เป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง** (ADC 4 บิท)



(ค) ผลการเลียนแบบวงจร ADC 4 บิท ที่กระแส $I_{IN} = 10\ \mu A$

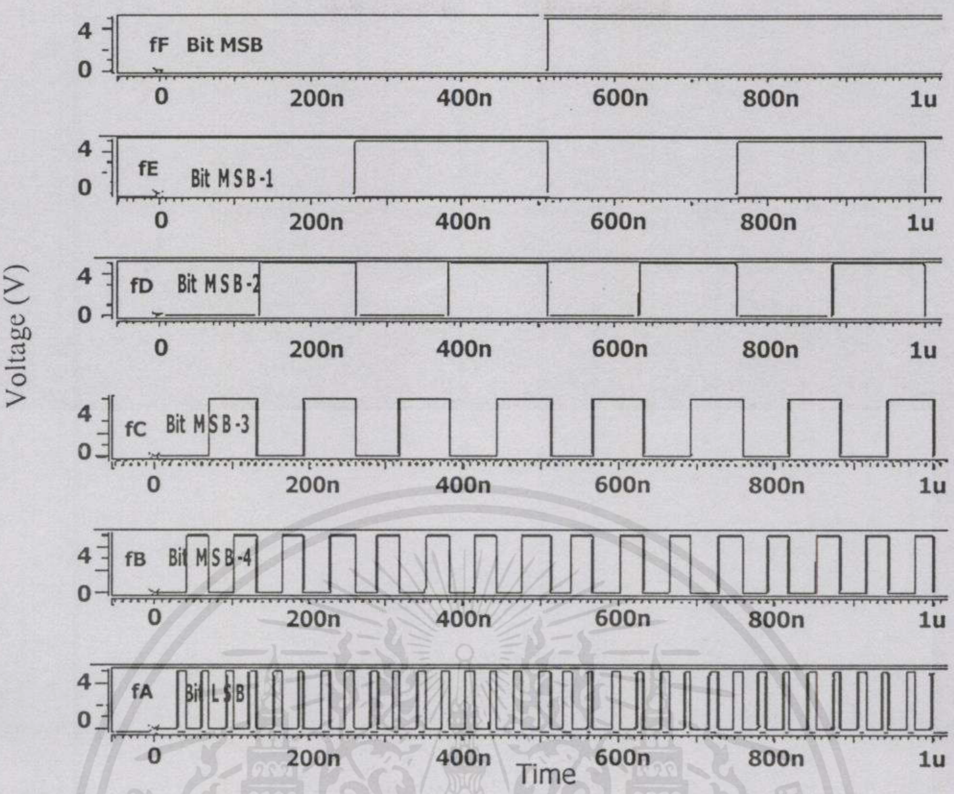
ภาพที่ 5.3 (ต่อ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

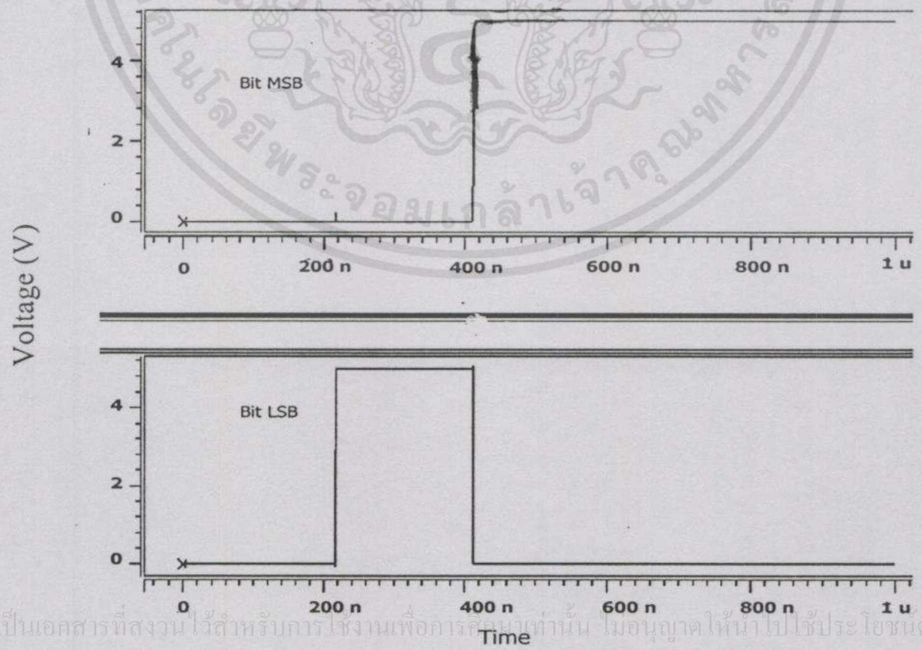
(ก) ผลการเลียนแบบวงจร ADC 6 บิท ที่กระแส $I_{IN} = 2\ \mu A$

ภาพที่ 5.4 การเปลี่ยนแปลง I_{IN} เป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง (ADC 6 บิท)



(ข) ผลการเลียนแบบวงจร ADC 6 บิท ที่กระแส I_{IN} =10 μA

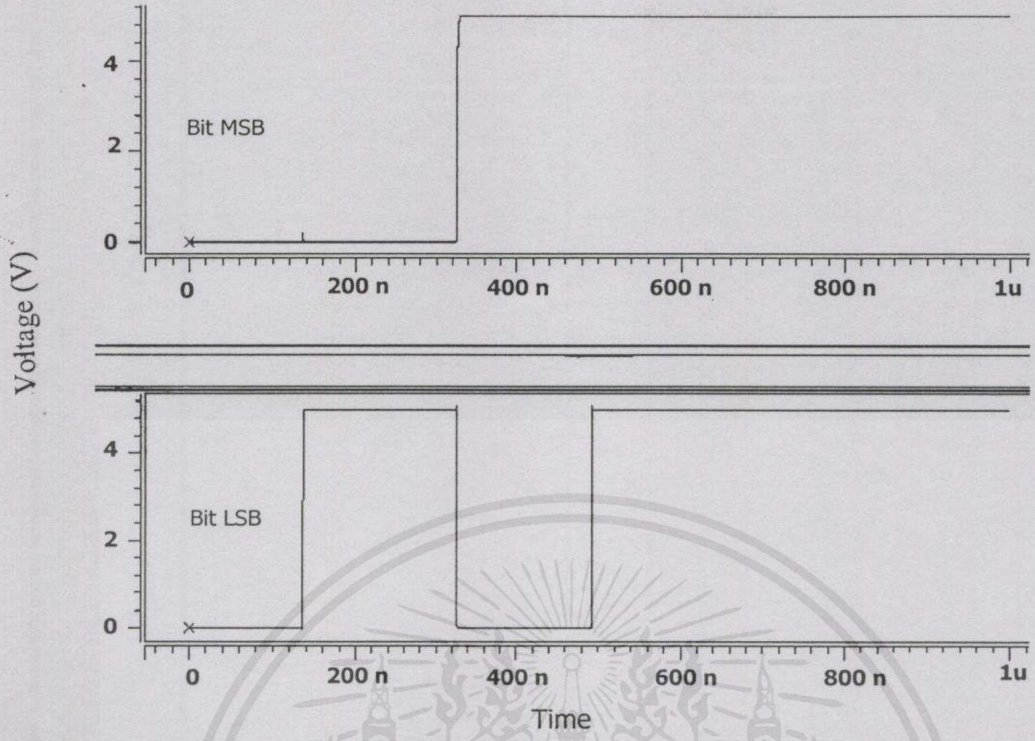
ภาพที่ 5.4 (ต่อ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

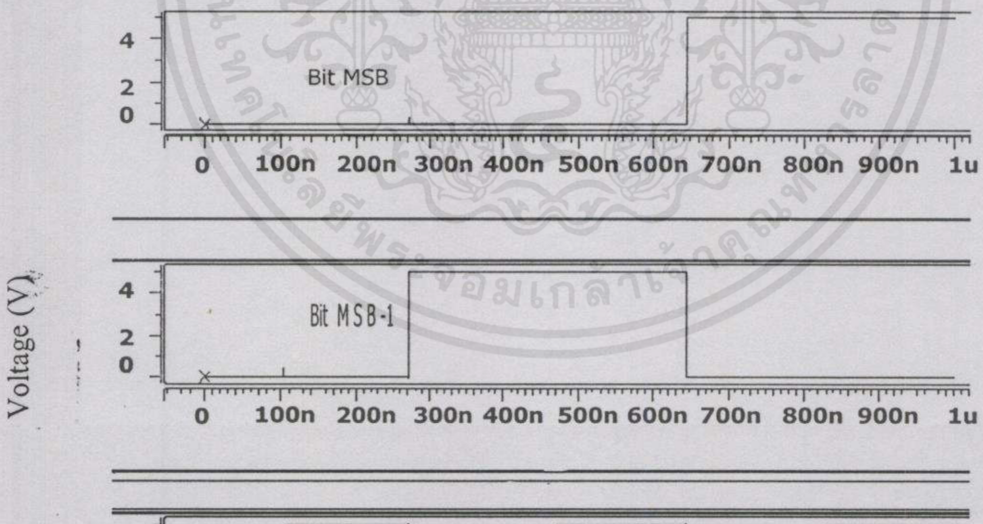
(ก) ผลการเลียนแบบวงจร ADC 2 บิทแบบปรับปรุงที่กระแส I_{IN} = 2 μA

ภาพที่ 5.5 I_{IN} เปลี่ยนแปลงเป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง (ADC 2 บิทปรับปรุง)



(ข) ผลการเลียนแบบวงจร ADC 2 บิทแบบปรับปรุงที่กระแส $I_{IN} = 10\ \mu A$

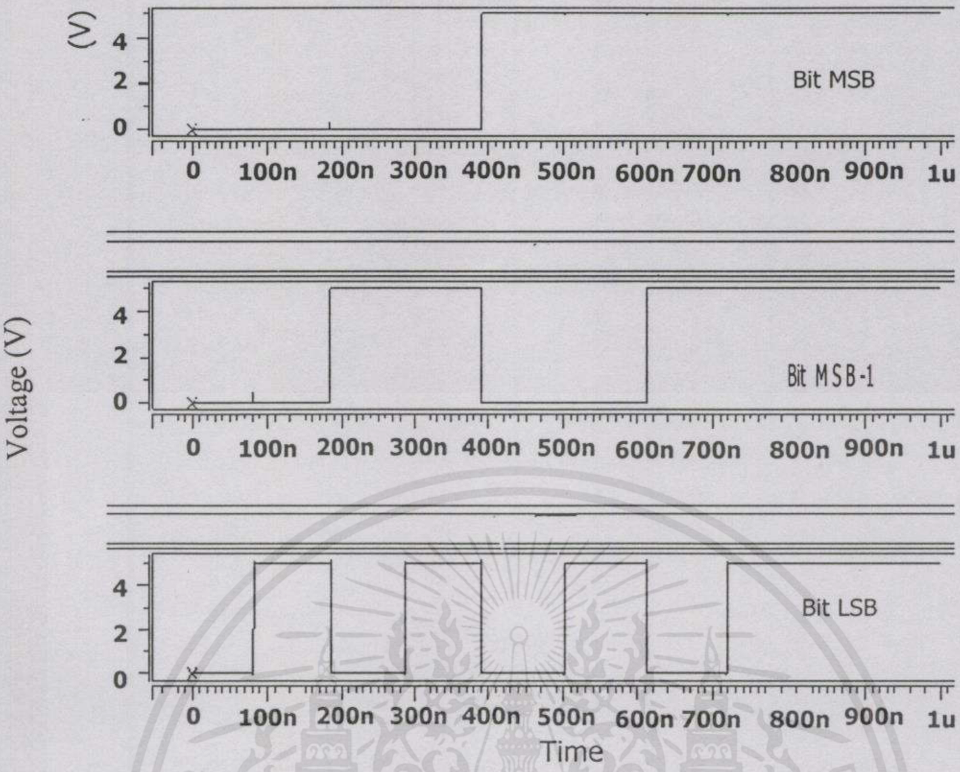
ภาพที่ 5.5 (ต่อ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

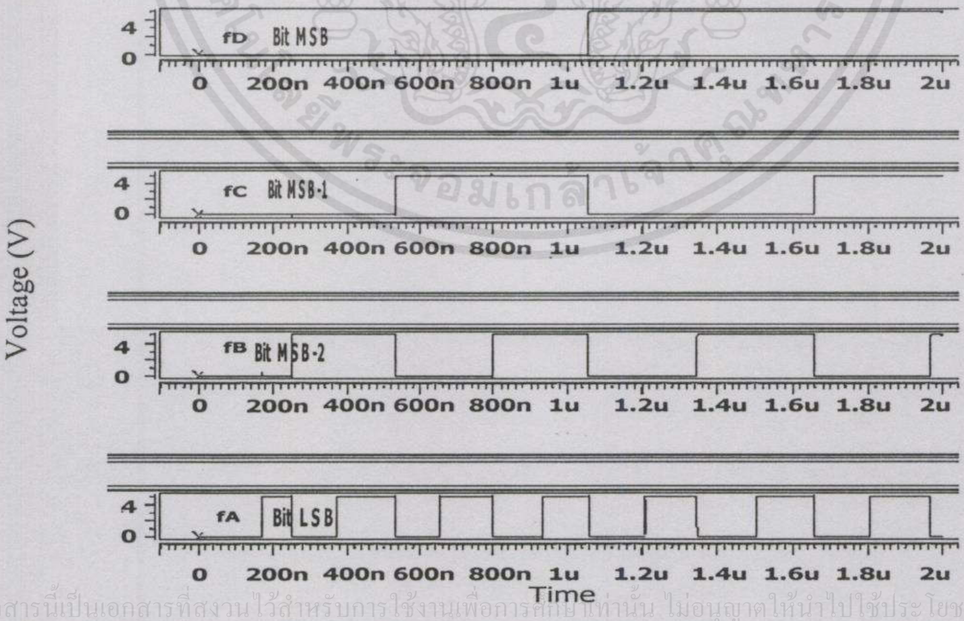
(ก) ผลการเลียนแบบวงจร ADC 3 บิทแบบปรับปรุงที่กระแส $I_{IN} = 6\ \mu A$

ภาพที่ 5.6 I_{IN} เปลี่ยนแปลงเป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง (ADC 3 บิทปรับปรุง)



(ข) ผลการเลียนแบบวงจร ADC 3 บิทแบบปรับปรุงที่กระแส I_{IN} = 10 μA

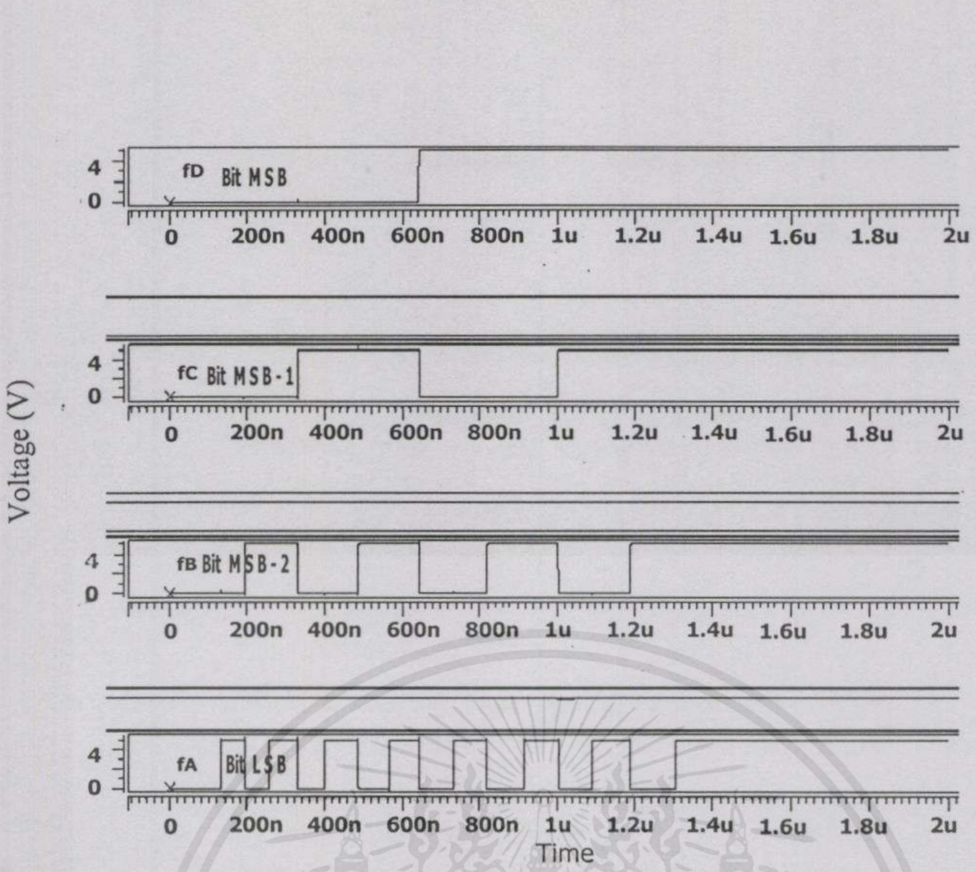
ภาพที่ 5.6 (ต่อ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

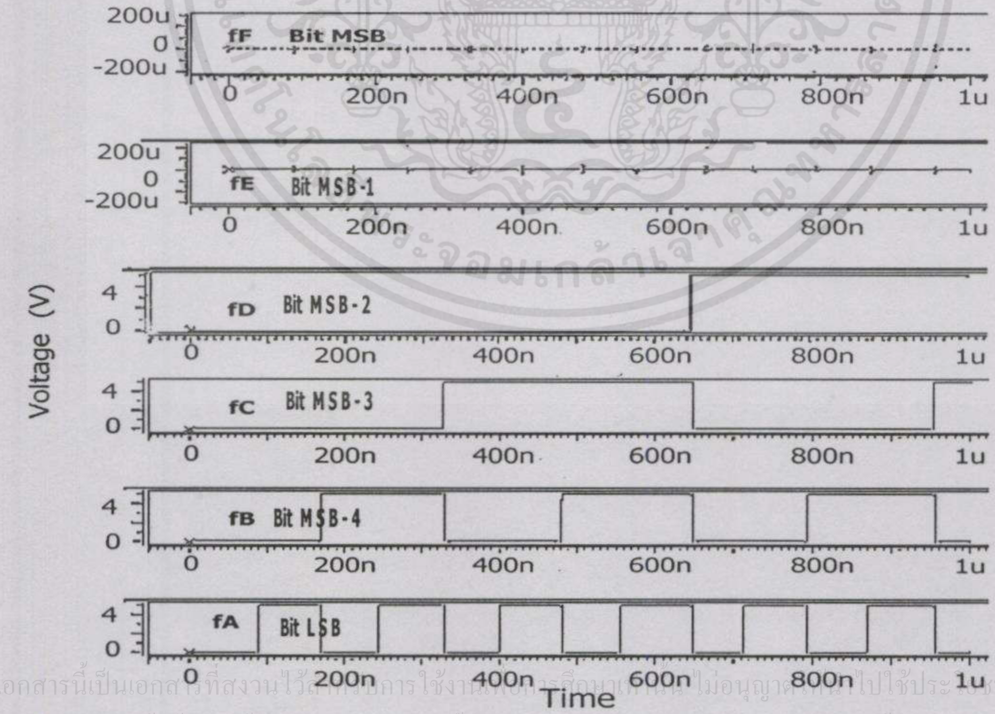
(ก) ผลการเลียนแบบวงจร ADC 4 บิทแบบปรับปรุงที่กระแส I_{IN} = 6 μA

ภาพที่ 5.7 I_{IN} เปลี่ยนแปลงเป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง (ADC 4 บิทปรับปรุง)



(ข) ผลการเลียนแบบวงจร ADC 4 บิทแบบปรับปรุงที่กระแส I_{IN} = 10 μA

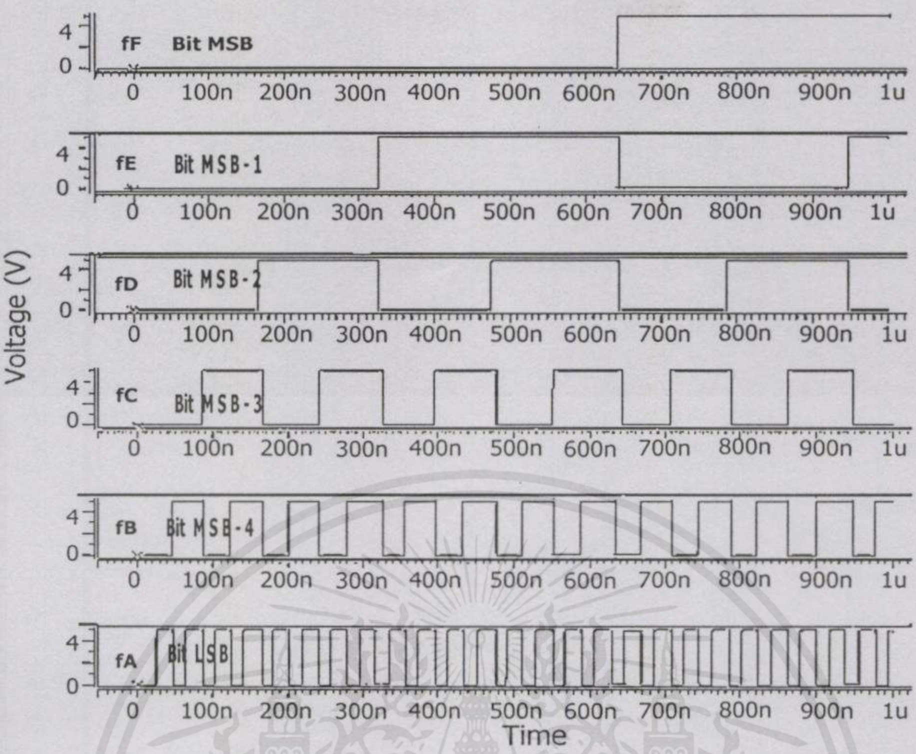
ภาพที่ 5.7 (ต่อ)



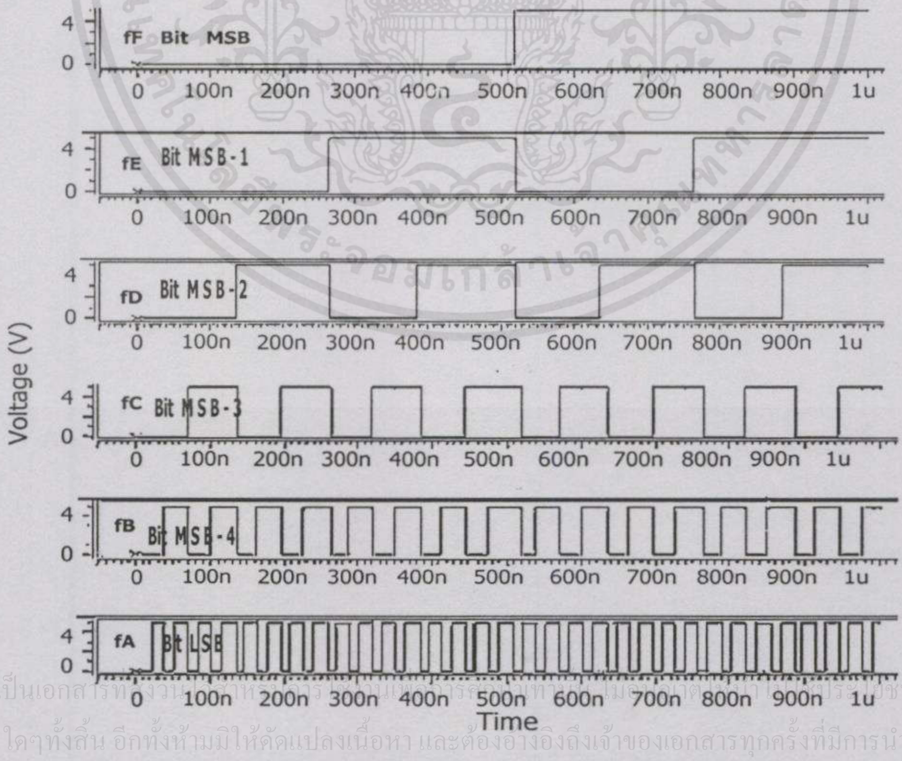
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) ผลการเลียนแบบวงจร ADC 6 บิทแบบปรับปรุงที่กระแส I_{IN} = 2 μA

ภาพที่ 5.8 I_{IN} เปลี่ยนแปลงเป็นผลให้สัญญาณดิจิตอลเกิดการเปลี่ยนแปลง (ADC 6 บิทปรับปรุง)



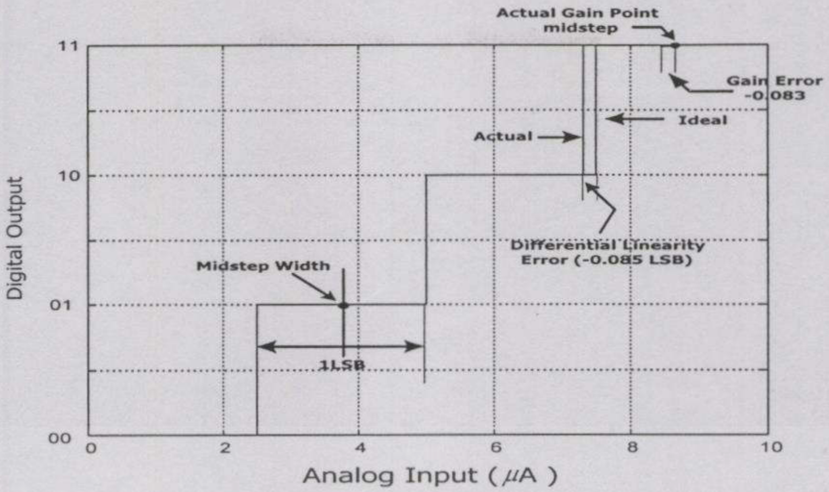
(ข) ผลการเลียนแบบวงจร ADC 6 บิทแบบปรับปรุงที่กระแส I_{IN} = 8 μA



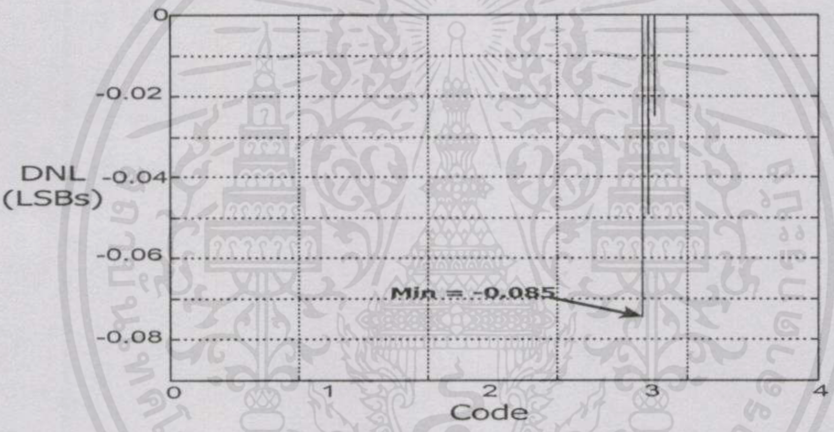
เอกสารนี้เป็นเอกสาร ... ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) ผลการเลียนแบบวงจร ADC 6 บิทแบบปรับปรุงที่กระแส I_{IN} = 10 μA

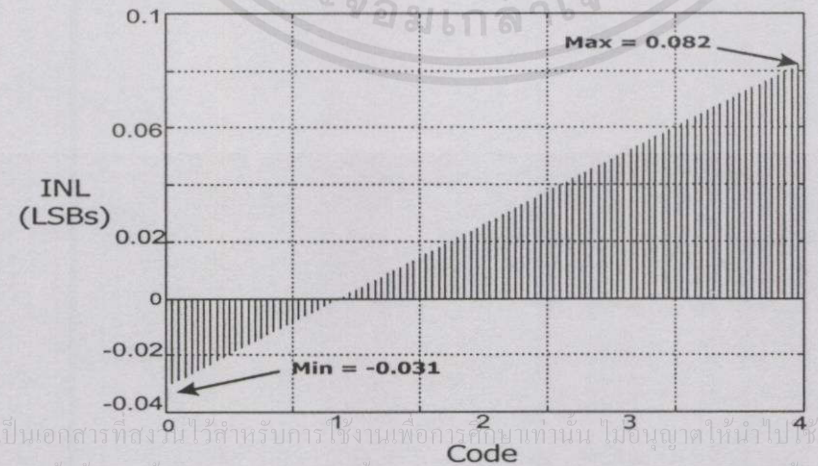
ภาพที่ 5.8 (ต่อ)



(ก) ไดอะแกรมของค่าคุณสมบัติการส่งผ่าน ADC 2 บิท



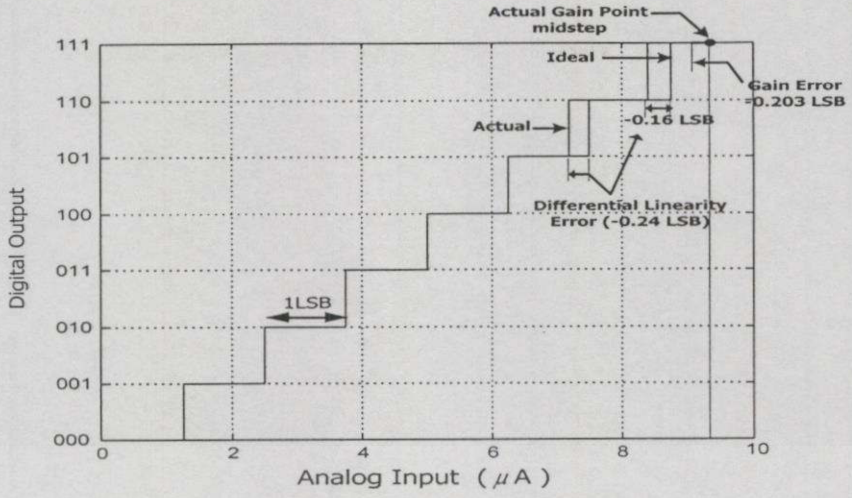
(ข) DNL ของวงจร ADC 2 บิท



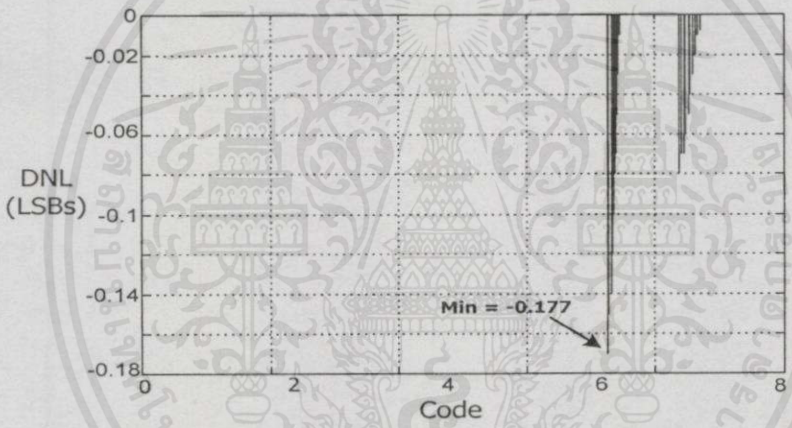
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) INL ของวงจร ADC 2 บิท

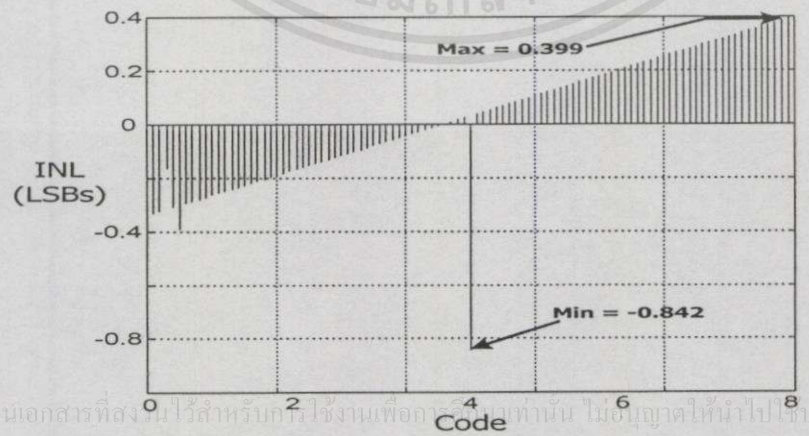
ภาพที่ 5.9 Performance ของวงจร ADC 2 บิท



(ก) ไดอะแกรมของค่าคุณสมบัติการส่งผ่าน ADC 3 บิท



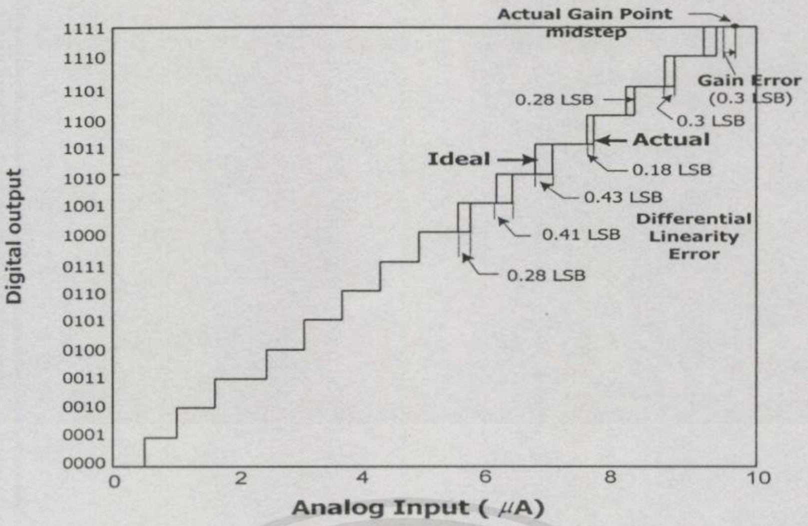
(ข) DNLของวงจร ADC 3 บิท



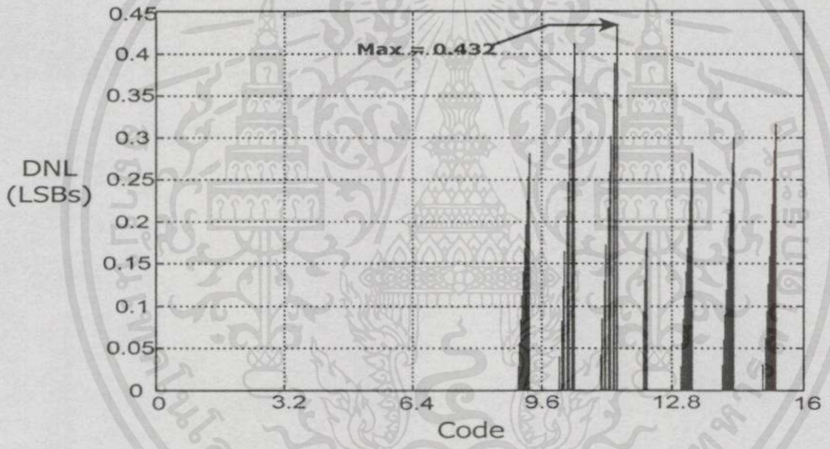
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) INLของวงจร ADC 3 บิท

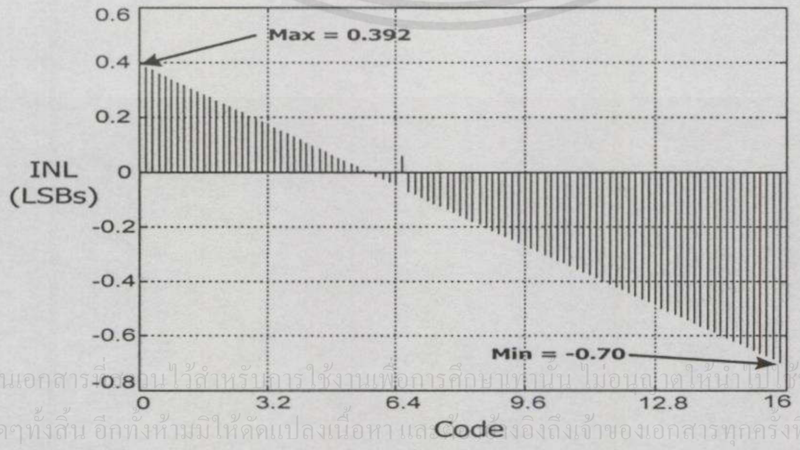
ภาพที่ 5.10 Performance ของวงจร ADC 3 บิท



(ก) ไดอะแกรมของค่าคุณสมบัติการส่งผ่าน ADC 4 บิท



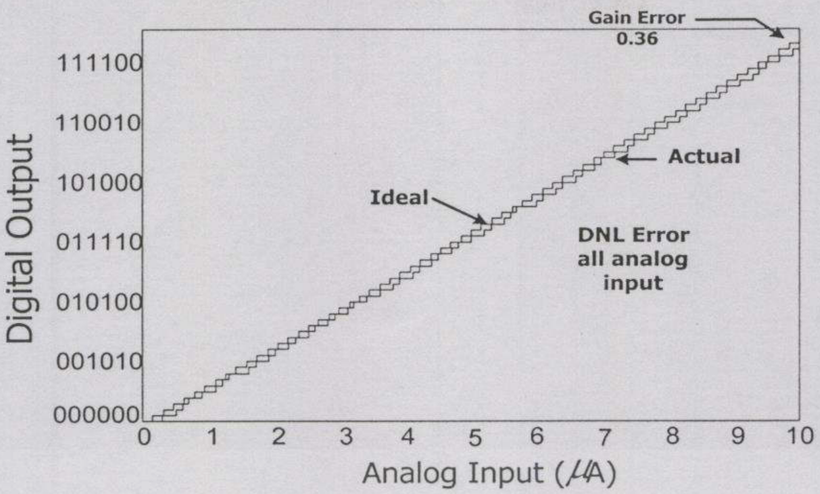
(ข) DNLของวงจร ADC 4 บิท



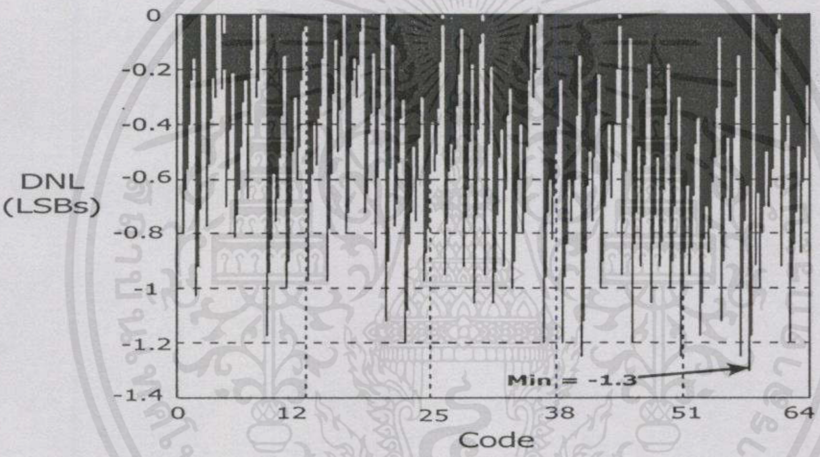
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) INLของวงจร ADC 4 บิท

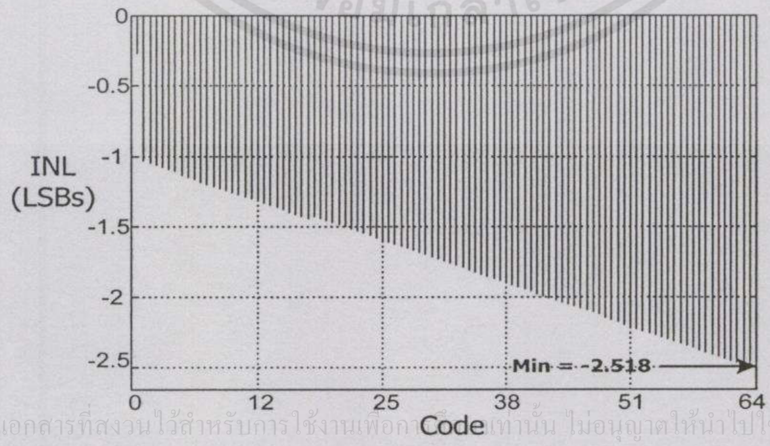
ภาพที่ 5.11 Performance ของวงจร ADC 4 บิท



(ก) ไดอะแกรมของค่าคุณสมบัติการส่งผ่าน ADC 6 บิท



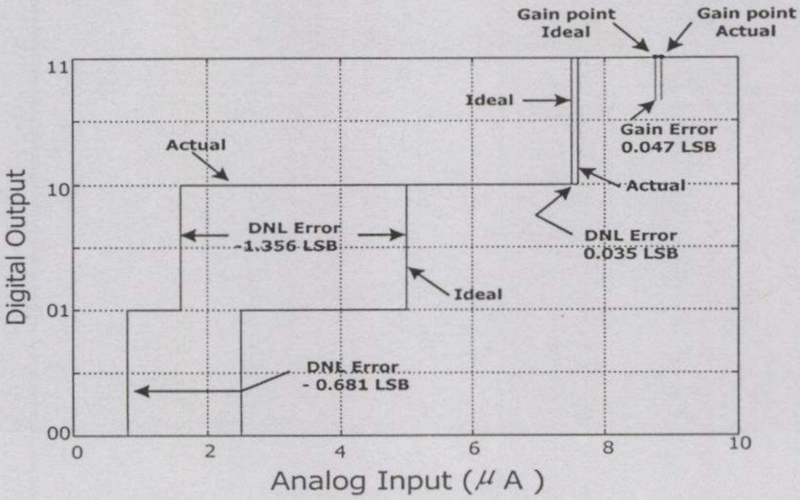
(ข) DNL ของวงจร ADC 6 บิท



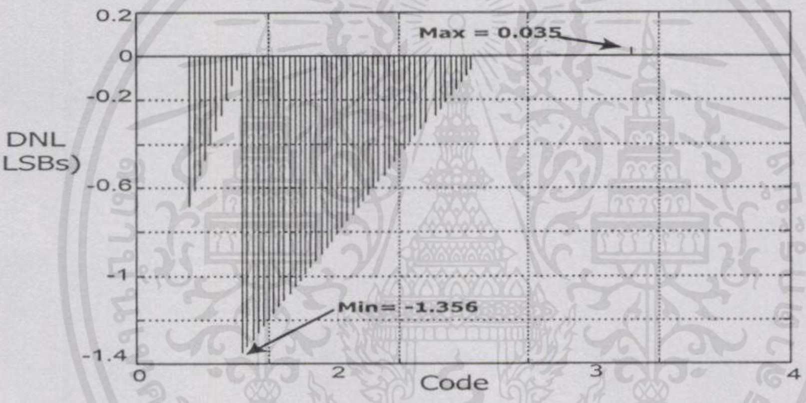
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) INL ของวงจร ADC 6 บิท

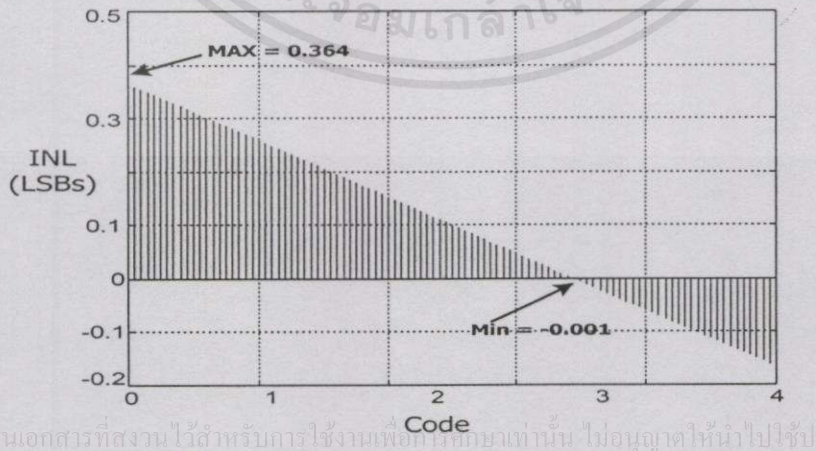
ภาพที่ 5.12 Performance ของวงจร ADC 6 บิท



(ก) ไดอะแกรมของค่าคุณสมบัติการส่งผ่าน ADC 2 บิทแบบปรับปรุง



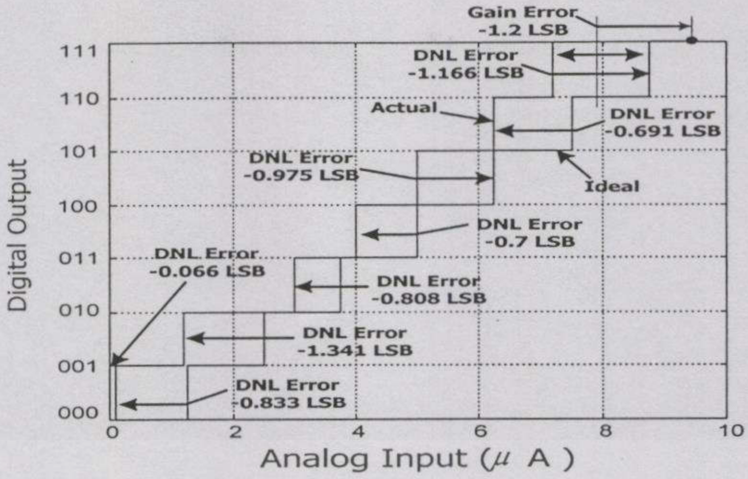
(ข) DNL ของวงจร ADC 2 บิตแบบปรับปรุง



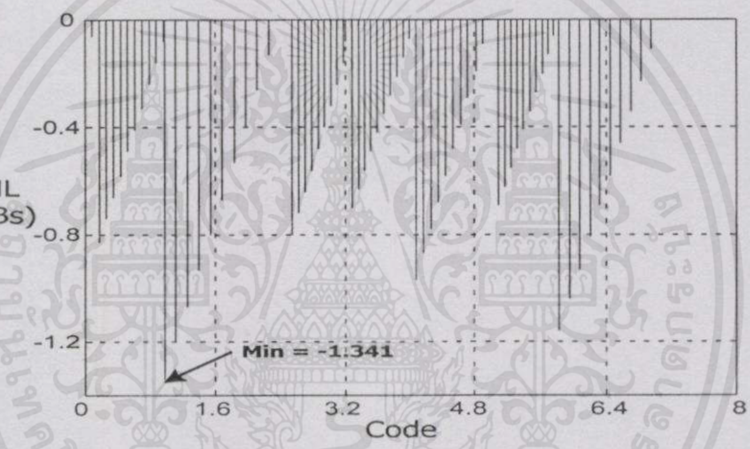
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่า ... จะต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) INL ของวงจร ADC 2 บิตแบบปรับปรุง

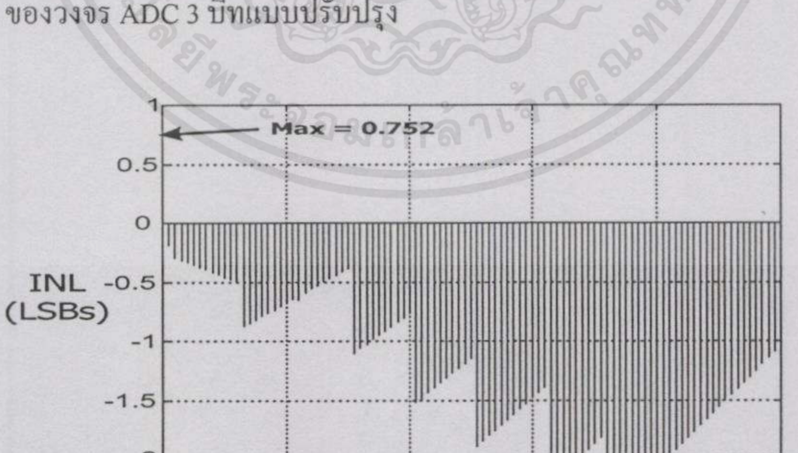
ภาพที่ 5.13 Performance ของวงจร ADC 2 บิทแบบปรับปรุง



(ก) ไดอะแกรมของค่าคุณสมบัติการส่งผ่าน ADC 3 บิทแบบปรับปรุง



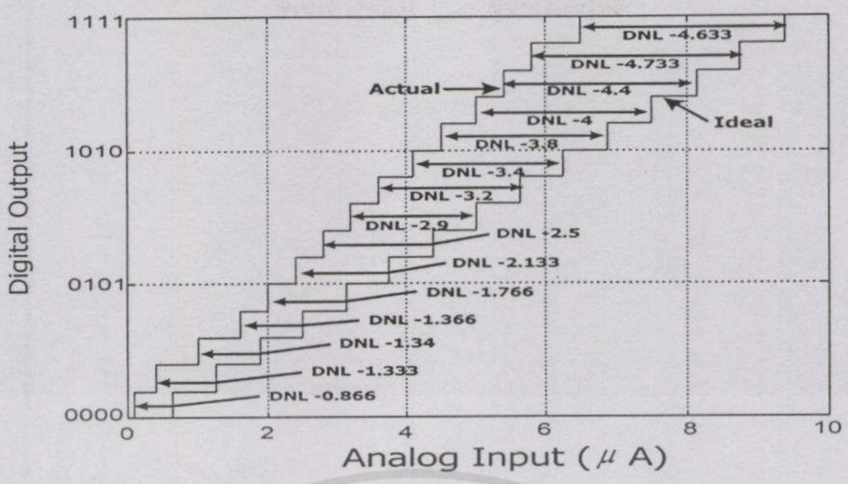
(ข) DNL ของวงจร ADC 3 บิทแบบปรับปรุง



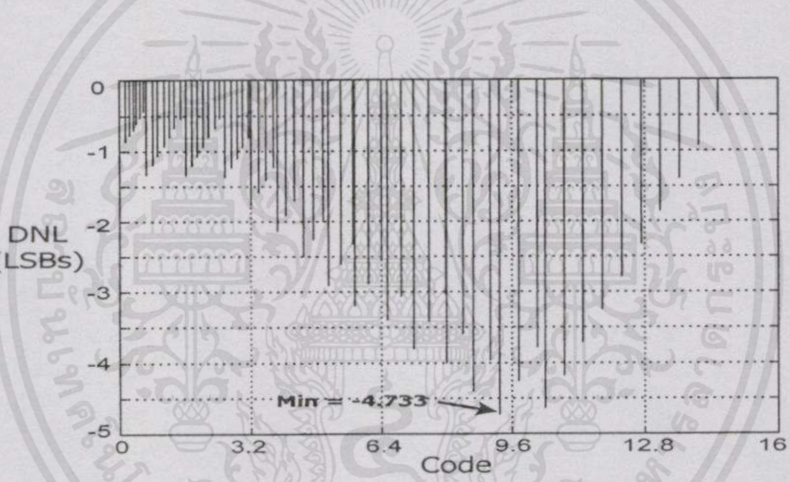
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) INL ของวงจร ADC 3 บิทแบบปรับปรุง

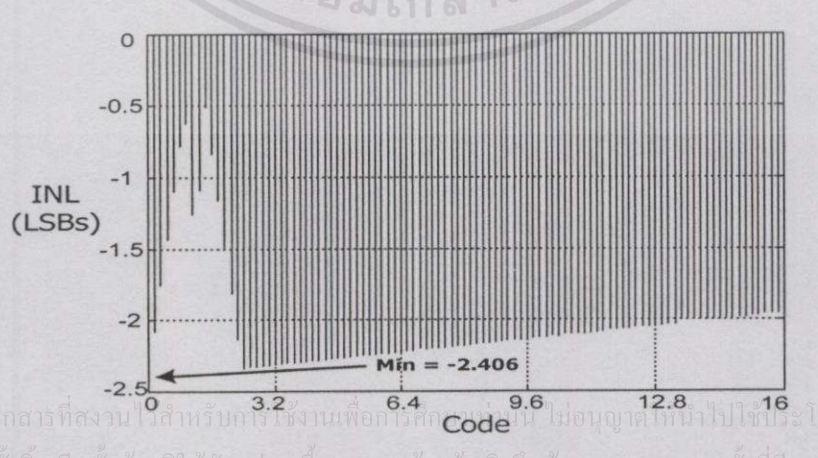
ภาพที่ 5.14 Performance ของวงจร ADC 3 บิทแบบปรับปรุง



(ก) ไดอะแกรมของค่าคุณสมบัติการส่งผ่าน ADC 4 บิทแบบปรับปรุง



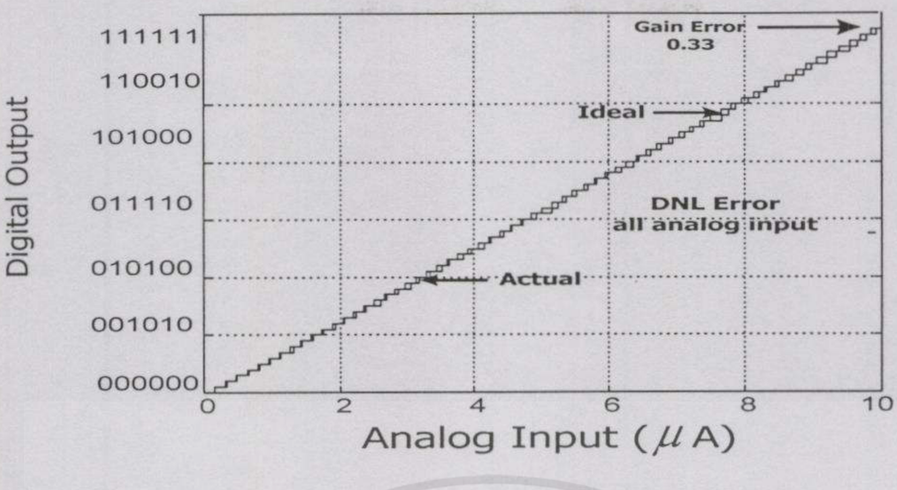
(ข) DNL ของวงจร ADC 4 บิตแบบปรับปรุง



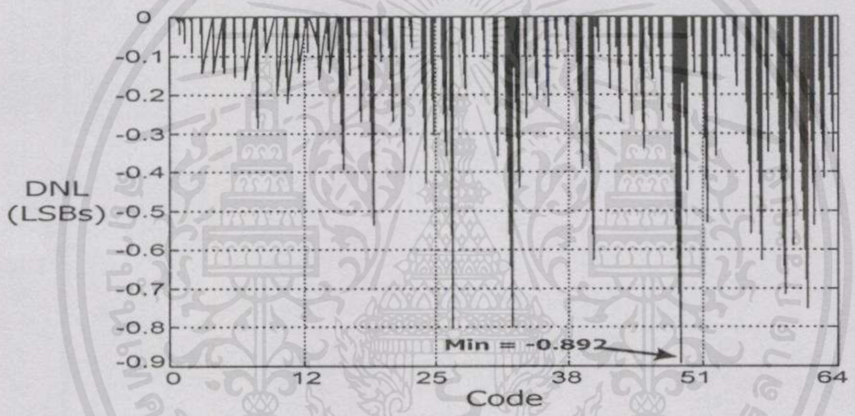
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) INL ของวงจร ADC 4 บิตแบบปรับปรุง

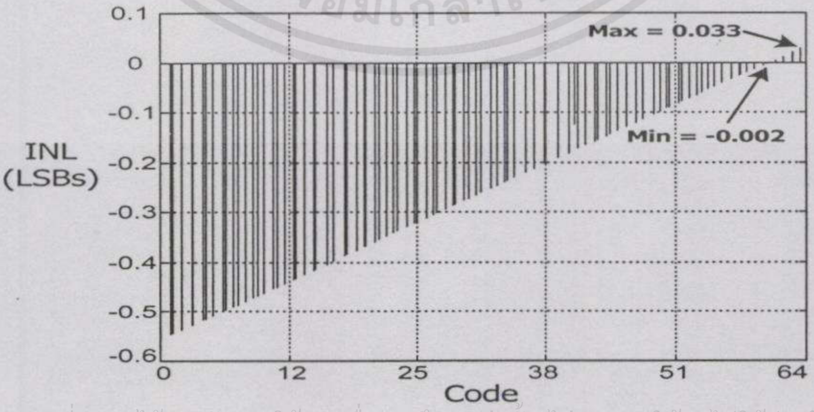
ภาพที่ 5.15 Performance ของวงจร ADC 4 บิทแบบปรับปรุง



(ก) ไดอะแกรมของค่าคุณสมบัติการส่งผ่าน ADC 6 บิท



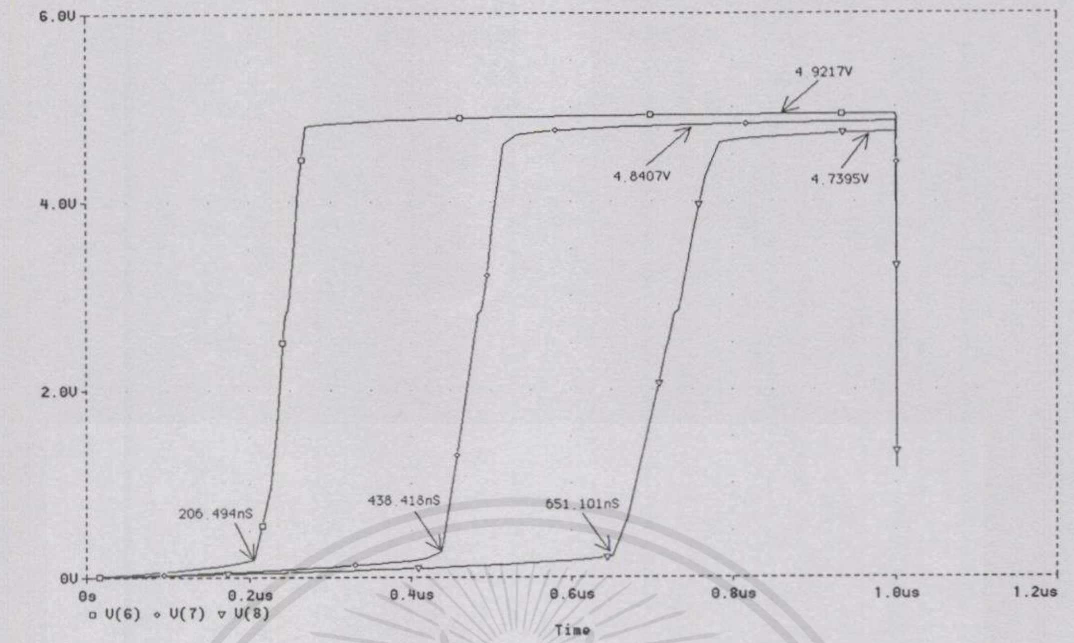
(ข) DNL ของวงจร ADC 6 บิทแบบปรับปรุง



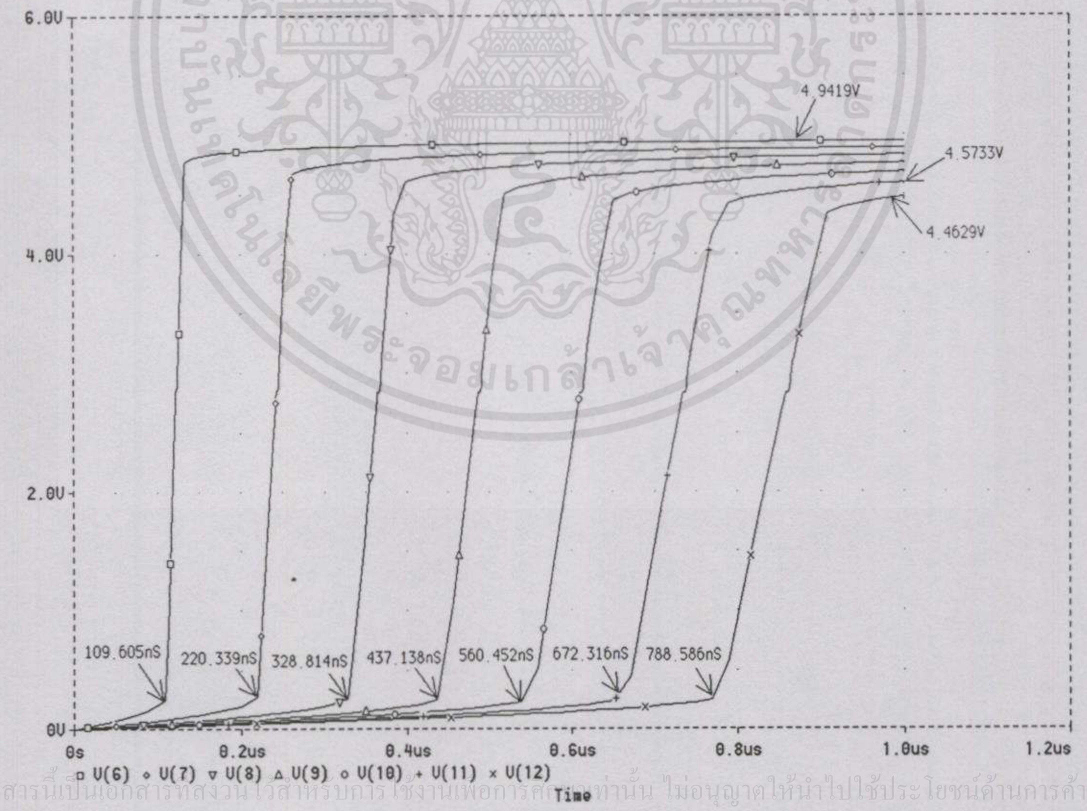
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่า ... จะต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ค) INL ของวงจร ADC 6 บิทแบบปรับปรุง

ภาพที่ 5.16 Performance ของวงจร ADC 6บิทแบบปรับปรุง



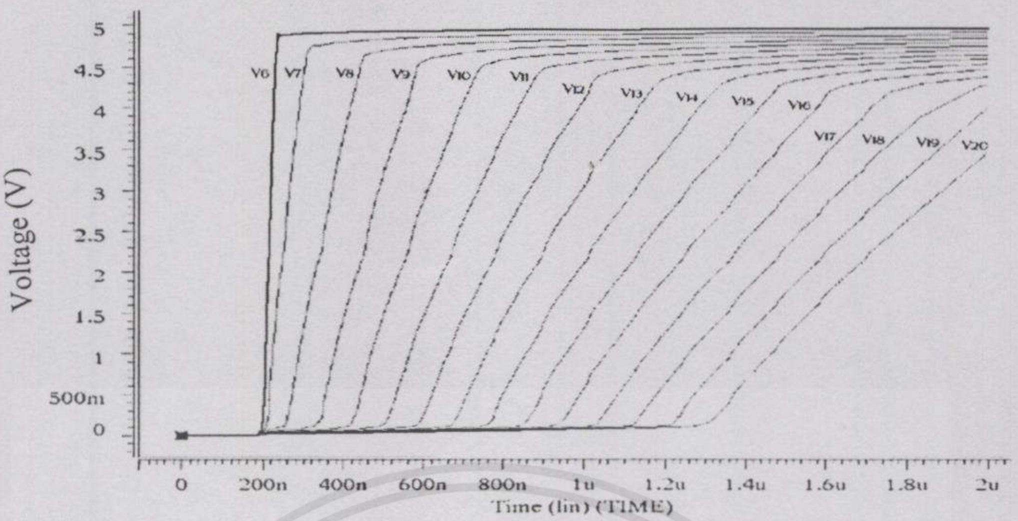
(ก) ผลตอบสนองของวงจรเปรียบเทียบกระแสแบบพื้นฐาน (2 บิท)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ข) ผลตอบสนองของวงจรเปรียบเทียบกระแสแบบพื้นฐาน (3 บิท)

ภาพที่ 5.17 แรงดันเอาต์พุตของวงจรเปรียบเทียบกระแสแบบพื้นฐาน 2 บิท, 3 บิทและ 4 บิท



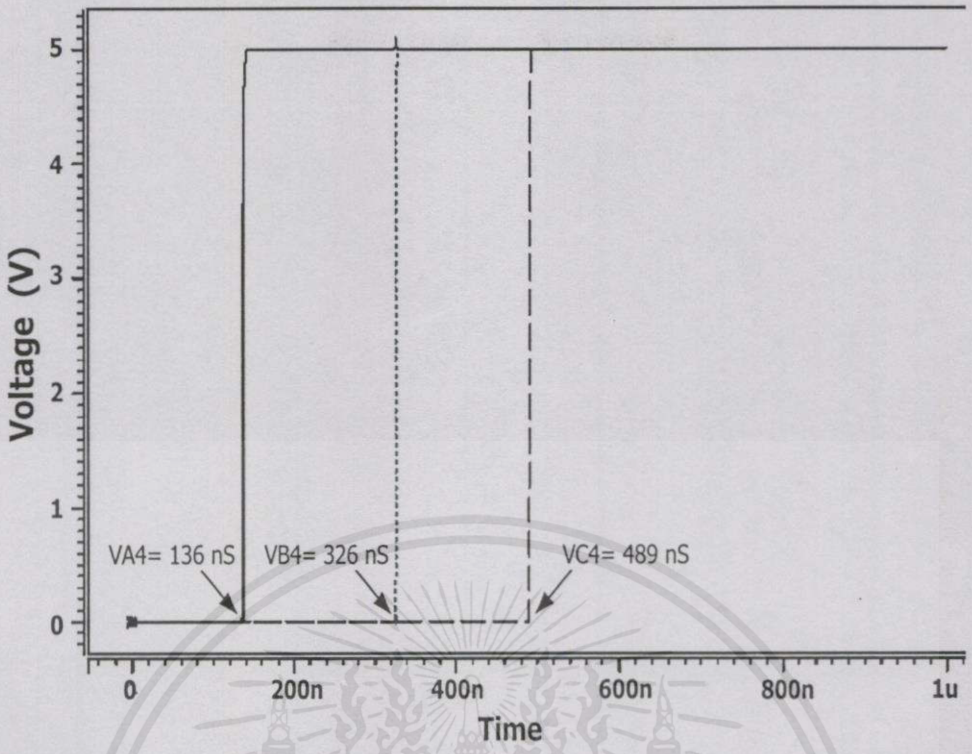
(ค) ผลตอบสนองของวงจรเปรียบเทียบกระแส (4 บิท)

ภาพที่ 5.17 (ต่อ)

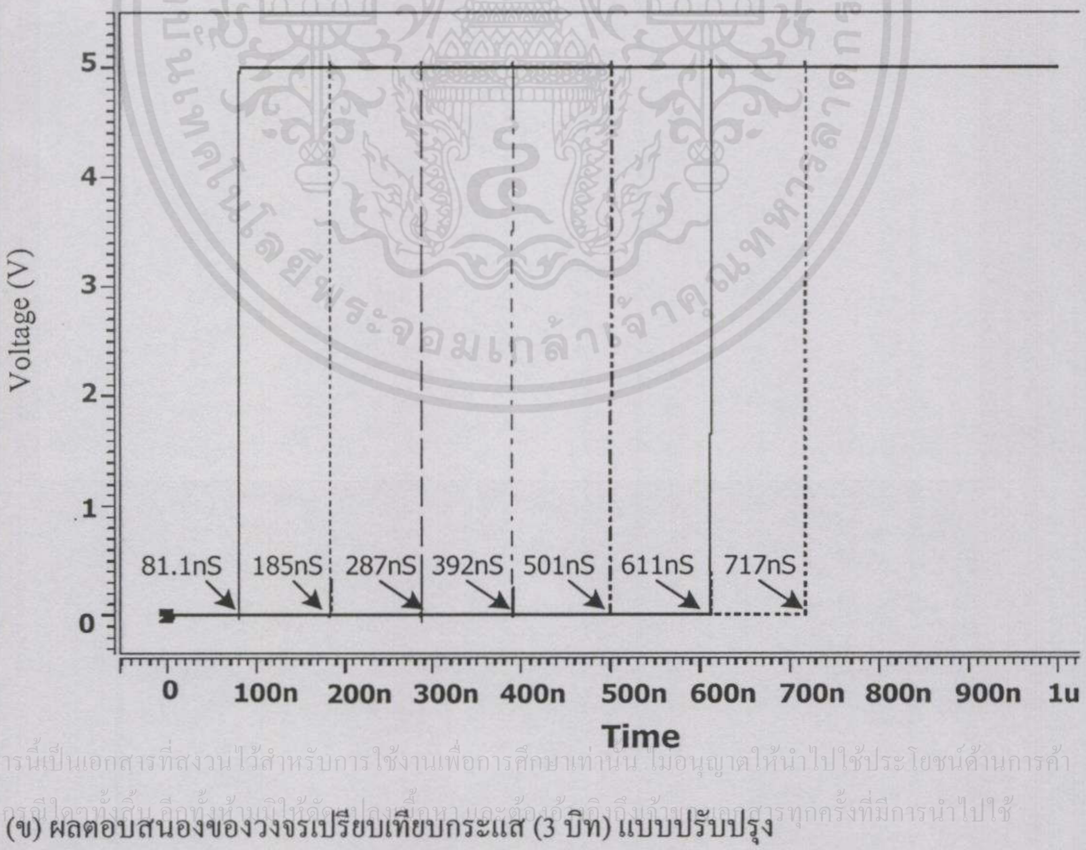
ตารางที่ 5.1 ผลตอบสนองช่วงเวลาขาขึ้นของวงจรเปรียบเทียบกระแส

แรงดันตอบสนอง	ช่วงเวลาขาขึ้น (μS)
V6	0.183
V7	0.208
V8	0.255
V9	0.34
V10	0.419
V11	0.501
V12	0.589
V13	0.676
V14	0.769
V15	0.855
V16	0.947
V17	1.03
V18	1.13
V19	1.22
V20	1.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



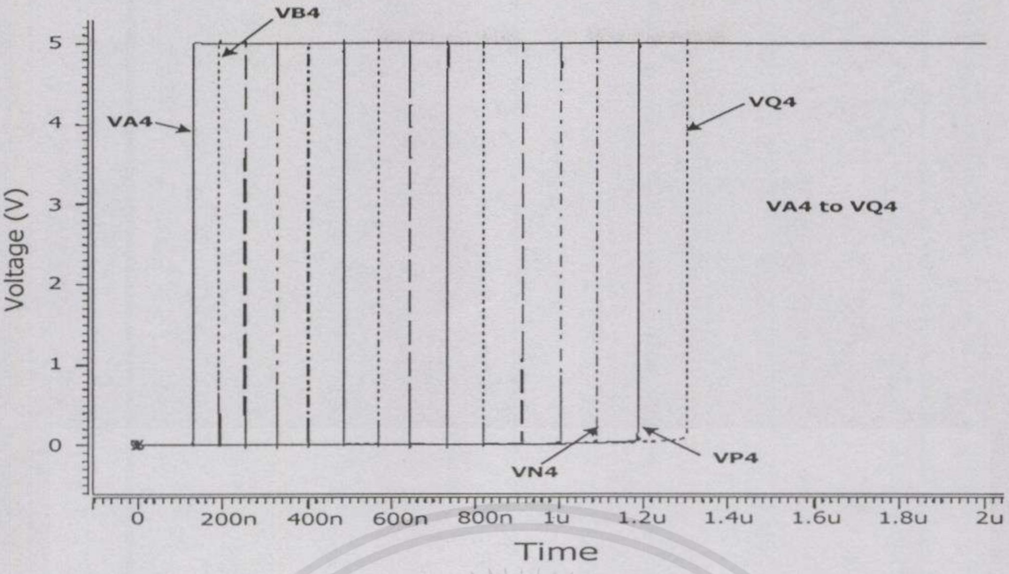
(ก) ผลตอบสนองของวงจรเปรียบเทียบกระแส (2 บิท) แบบปรับปรุง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ข) ผลตอบสนองของวงจรเปรียบเทียบกระแส (3 บิท) แบบปรับปรุง

ภาพที่ 5.18 แรงดันเอาต์พุตของวงจรเปรียบเทียบกระแสแบบปรับปรุง 2 บิท, 3 บิทและ 4 บิท



(ค) ผลตอบสนองของวงจรเปรียบเทียบกระแส (4 บิท) แบบปรับปรุง

ภาพที่ 5.18 (ต่อ)

ตารางที่ 5.2 ผลตอบสนองช่วงเวลาขาขึ้นของวงจรเปรียบเทียบกระแส (4บิท) แบบปรับปรุง

แรงดันตอบสนอง	ช่วงเวลาขาขึ้น (μS)
VA4	0.130
VB4	0.191
VC4	0.253
VD4	0.328
VE4	0.401
VF4	0.485
VG4	0.567
VH4	0.643
VI4	0.734
VJ5	0.818
VK4	0.914
VL4	1
VN4	1.09
VP4	1.19
VQ4	1.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.3 พารามิเตอร์ของอัลกอริธึม ADC โดยไม่ใช้ DAC

Parameter	2-bit	2-bit Adapt	3-bit	3-bit Adapt	4-bit	4-bit Adapt	6-bit	6-bit Adapt
Power Supply (V)	+5	+5	+5	+5	+5	+5	+5	+5
Reference Current (μA)	10	10	10	10	10	10	10	10
Power Diss. Voltage (μW)	50	50.25	51.29	51.73	52.17	52.63	50.02	50.08
Power Diss. Current (μW)	37.97	42.15	41.98	45.23	48.7	54.98	37.62	40.05
Conversion Time (μS)	0.26	0.22	0.32	0.26	0.39	0.35	0.42	0.395
Gain error @ full scale	-0.08	0.047	-0.20	-1.2	0.3	-2.84	0.36	0.33
Maximum DNL (LSB)	0	0.035	0	0	0.43	0	0	0
Minimum DNL (LSB)	-0.08	-1.35	-0.17	-1.34	0	-4.73	-1.3	-0.89
Maximum INL (LSB)	0.08	0.364	0.39	0.75	0.39	0	0	0.033
Minimum INL (LSB)	-0.03	-0.001	-0.84	-2.49	-0.7	-2.40	-2.51	-0.002

5.3 ผลการเปรียบเทียบวงจร ADC ฮาล์ฟแฟลชแบบเดิมกับแบบปรับปรุง

พิจารณาได้จากค่า DNL และ INL ในตารางที่ 5.3 เทียบกันระหว่าง ADC ทั้ง 2 แบบที่จำนวนบิทเท่ากัน ถึงแม้ว่าอัลกอริธึม ADC แบบปรับปรุง จะมีความเร็วในการแปลงสัญญาณที่เร็วกว่าเดิม แต่ความผิดพลาดที่เกิดขึ้นในระบบกลับมีมากกว่า สิ่งเหล่านี้คือ เกิดการ (Trade off) โดยมาจากการปรับวงจรเปรียบเทียบกระแสแบบปรับปรุงยังไม่เหมาะสม กรณีของ 6 บิท ต่อในลักษณะคาสเคดทีละบิทจนครบ 6 บิท เพื่อลดจำนวนวงจรเปรียบเทียบกระแสคือ 2^N -1 ซึ่งเท่ากับ 63 วงจร สัญญาณเอาต์พุตในแต่ละบิท คือ เอาต์พุตดิจิตอล และใช้วงจรเปรียบเทียบกระแสแบบปรับปรุงมาปรับการเปลี่ยนแปลงของสัญญาณเอาต์พุตดิจิตอล ให้มีการเปลี่ยนแปลงที่เร็วและลดความผิดพลาด

ที่เกิดขึ้นในระบบ โดยพิจารณาที่บิท LSB เป็นหลัก ผลที่ได้จากการใช้วงจรเปรียบเทียบนี้ ทำให้ค่า DNL กับ INL ลดลง เมื่อเปรียบผลระหว่างอัลกอริธึม ADC 6 บิททั้ง 2 แบบ

5.4 บทสรุป

วงจรเปรียบเทียบกระแสแบบปรับปรุงนี้ สามารถปรับ delay time ของการเปรียบเทียบกระแสให้มีค่ามากหรือน้อยได้ แต่มีข้อจำกัดคือ คุณสมบัติของวงจรเองและการปรับ delay time ให้มีค่าน้อยเกินไป ส่งผลให้วงจร Encoder ไม่สามารถเปรียบเทียบสัญญาณให้มีสภาวะเป็นลอจิก " 0 " และ "1" ได้อย่างถูกต้อง จึงเป็นผลให้การตอบสนองของเอาต์พุตดิจิตอลไม่ถูกต้อง ค่าฮีสเทอร์เรซีสของวงจรเปรียบเทียบกระแสแบบปรับปรุงนี้ มีความคลาดเคลื่อนจากค่าทางทฤษฎีประมาณ 0.97% ถึง 10% ดังนั้นการปรับค่า delay time ที่เหมาะสมควรมีค่าไม่ต่ำกว่า 80% จากค่า delay time เดิม

ข้อดีของวงจรเปรียบเทียบกระแสนี้ สามารถลดความผิดพลาดของการจัดระดับในการเปรียบเทียบได้, ความเร็วในการแปลงเพิ่มมากขึ้นและ รักษาเสถียรภาพของเกณฑ์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลงานวิจัยและข้อเสนอแนะ

ในหลักการอัลกอริธึมของการแปลงสัญญาณ A/D การพัฒนาความเร็วให้ไวขึ้น สามารถพิจารณาในส่วนของอินพุต, ส่วนของการเปรียบเทียบปริมาณใดๆ, ส่วนของการเข้ารหัส ในส่วนของการเปรียบเทียบได้ใช้วงจรเปรียบเทียบกระแสชมิททริกเกอร์ โดยปรับอัตราส่วน W/L ผลการทดลองทั้งหมด แสดงไว้ในบทที่ 5 ซึ่งการปรับค่า delay time นั้น จะต้องมีความเหมาะสมเพื่อไม่ให้เกิดการ trade off สิ่งเหล่านี้เป็นข้อจำกัดของวงจรเปรียบเทียบกระแสชมิททริกเกอร์ แม้ความเร็วในการแปลงจะเพิ่มขึ้นก็ตาม แต่ความผิดพลาดก็เกิดขึ้นด้วย จากผลการทดลอง โดยการจำลองวงจร ADC ขนาด 2 บิท, 3บิท, 4 บิทและ6 บิท ด้วยโปรแกรม HSPICE ซึ่งค่าฮีสเทอร์เรซีสของวงจรเปรียบเทียบกระแสชมิททริก กอร์ที่ใช้สำหรับปรับปรุงความเร็วในการแปลงสัญญาณ A/D นี้ เกิดความคลาดเคลื่อนจากค่าทางทฤษฎีประมาณ 0.97% ถึง 10% และการปรับค่า delay time ที่เหมาะสม ต้องมีค่าไม่ต่ำกว่า 80% เทียบกับค่า delay time ของวงจรเปรียบเทียบกระแสในหัวข้อ 4.3 ถ้าการปรับค่า delay time ตรงตามเงื่อนไขนี้ performance ของ ADC จะมีเสถียรภาพดีขึ้น คือมีความผิดพลาดในระบบลดน้อยลง ค่าผิดพลาดเหล่านี้ สามารถจะวิเคราะห์ได้จากพารามิเตอร์หลักๆ เช่น DNL,INL,Gain error ถ้าค่าเหล่านี้มีค่ามาก ความผิดพลาดก็ยิ่งมากตาม วงจรเปรียบเทียบกระแสชมิททริกเกอร์มีทั้งข้อดีและข้อจำกัดในตัวเอง ซึ่งเป็นแนวทางในการพัฒนางานวิจัยเกี่ยวกับการเปรียบเทียบปริมาณกระแส ให้มีประสิทธิภาพที่ดีขึ้น ในลำดับต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] David G.Nairn C.Andre T.Salama "Algorithmic Analogue-to-digital converter using current mode techniques" IEE PROCEEDINGS, VOL.137.Pt.G, No.2, APRIL 1990

[2] V.Tipsuwanporn, S.Chuenarom, S.Maitreechit, W.Chuchotsakunleot and V.Kongrat "Flash ADC Based on Current Mode Algorithmic" KACC.473,2000

[3] วินัย ชูโชติสกุลเลิศ, วิทยา ทิพย์สุวรรณพร, เสรี ชื่นอารมณ์ และ เสน่ห์ ไมตรีจิตร์ "อัลกอริธึม ADC แบบขนานเอาต์พุต BCD 4 บิต", การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 39 , หน้า 511-519, กุมภาพันธ์ 2544

[4] Z.Wang, W.Guggenbchl. "CMOS Current Schmitt Trigger With Fully Adjustable Hysteresis" Electronics Letters, Vol.25 No.6 pp. 397-398 16th March 1989

[5] C. J. F. Ridders "Simulation of The Hysteresis of a Schmitt Trigger"INT.J. ELECTRONICS, Vol.60 No.4 pp. 541-542 1986

[6] Phillip E. Allen, Douglas R. Holberg "CMOS Analog Circuit Design" Holt, Rinehart and Winston, INC 1987

[7] H.Craig Casey, JR " Devices for Integrated Circuits Silicon and III-V Compound Semiconductors" John Wiley & Sons. INC 1999

[8] J.Ngarmnil "Analog Integrated Circuit Design" Mahanakorn University of Technology, 2542

[9] "VLSI Design & Tols" Department of Electronic Eng Mahanakorn University of Technology, 1997

[10] ธงชัย มณีชูเกตุ "การแปลงสัญญาณอะนาลอกเป็นสัญญาณดิจิตอลโดยวิธีการ ประมาณค่าตามลำดับขั้นด้วยสวิทซ์-คาปาซิเตอร์ขนาด 8 บิต" วิทยานิพนธ์ วิศวกรรมศาสตร์มหาบัณฑิต กรุงเทพฯ บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2541

[11] เสรี ชื่นอารมณ์ "การออกแบบตัวแปลงสัญญาณอะนาลอกเป็นดิจิตอลจำนวน n บิต ด้วยอัลกอริธึมที่มีการทำงานในรูปกระแส" วิทยานิพนธ์ วิศวกรรมศาสตร์มหาบัณฑิต กรุงเทพฯ บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[12] D.G. Nairn C.A. T.Salama "Algorithmic A/D Convertor Based On Current Mirror " Electronics Letters, Vol.24 No.8 pp. 471-472 14th April 1988

[13] Texas Instruments "Understand Data Converters Application Report"pp.1-8 1995

[14] Larry Gaddy "Select An ADC" Burr-Brown Corporation,pp.1-5 April 2000

[15] Robert F. Coughlin and Robert S.Villanucci "Introduction Operational Amplifier and Linear ICS Theory and Experimentation" Prentice-Hall International Editions. 1990

[16] W.Chuchotsakunleot, V.Tipsuwanporn, S.Chuenarom, S.Maitreechit and N.Junkrob "Algorithmic parallel ADC 4-bit BCD output using Cascade current Mirror circuits" Second Symposium on Graduate Research Mahidol University pp. 80 27th April 2001

[17] V.Tipsuwanporn, S.Chuenarom, N.Junkrob, W.Chuchotsakunleot, P.Roengruen and S.Maitreechit "HALF FLASH ADC 4-BIT WITHOUT DAC" International Symposium on Integrated Circuits,Devices & System pp.63-66 9th 3-5 SEPTEMBER 2001

[18] D. A.Freitas, J.W. Current. "CMOS Current Comparator Circuit" Electronics Letters, Vol.19 No.17 pp. 695-697 18th August 1983

[19] Zhenhua Wang "Design Methodology of CMOS Algorithmic Current A/D Converters in View of Transistor Mismatches" IEEE TRANSACTION ON CIRCUITS AND SYSTEM, VOL 38, NO. 6, JUNE 1991

[20] John P. Uyemura "Fundamentals of MOS Digital Integrated Circuits" Addison-Wesley Publishing Company. July,1988

[21] A. Pfister "Novel CMOS Schmitt Trigger With Controllable Hysteresis" Electronics Letters, Vol.28 No.7 pp. 639-641 26th March 1992

[22] M. Filanovsky and H. Baltes "CMOS Schmitt Trigger Design" IEEE TRANSACTION ON CIRCUITS AND SYSTEM FUNDAMENTAL THEORY AND APPLICATIONS ,VOL,41,NO.1,JANUARY 1994

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

บทความทางวิชาการเรื่อง

Half Flash ADC 4 - bit without DAC

International Symposium on Integrated Circuits, Devices & System pp.63-66 9th

3-5 SEPTEMBER 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

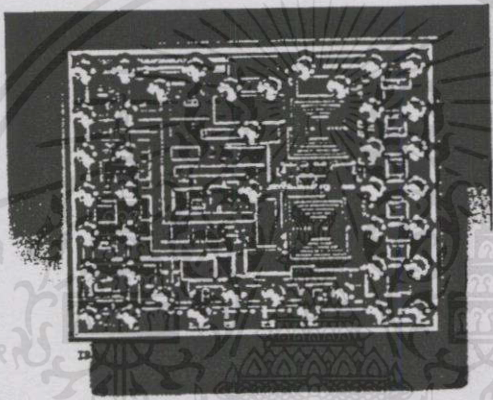
ISIC-2001

9th International Symposium on
Integrated Circuits, Devices & Systems

3 -5 September 2001
Marina Mandarin, Singapore

PROCEEDINGS

Low Power and Low Voltage Integrated Systems



Organised by:
Nanyang Technological University
School of Electrical and Electronic Engineering

Supported by:
IEEE Singapore Section
IEE Singapore Centre
Singapore Exhibition & Convention Bureau

Sponsored by:
Celestry Design Technologies (former BTA-Ultima)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A Case Study of Floating Gate Failure, Photo Emission at the Second Stage after the Defect
Wu C. F./Chang C. J., Taiwan 36

Effects of Copper Grain Structure on Electromigration Behaviour
Toh B. H. W./Mc Neill D. W./Gamble H. S., United Kingdom 39

Effect of NH_3 Plasma Treatment on the Electromigration Reliability of Copper Metal Lines
Low J. K./Park H. S./Hong S./Ismail Z./Chua E. C./See A./Zhou M. S., Singapore 43

Deprocessing Techniques for Advanced Semiconductor CMOS 0.35μm and Below Integrated Circuits in Failure Analysis
Neo S. P./Oh C. K./Song Z. G./Guo Z. R./Redkar S., Singapore 47

Wafer-Level Constant Current Electromigration Reliability Test for Deep Submicron Aluminum Metallization
Lim Y. K./Goh W. L./Tse M. S./Loh W. B./See A., Singapore 51

SA I **Systems and Applications I: AD/DA Converters**

Design and Implementation of a 100-MHz CMOS Direct Digital Synthesiser with a 10-bit On-chip Digital-to-Analog Converter
Thanachayanont A./Meenakarn C./Thongphuak T./Sangnak W., Thailand 55

Performance Analysis of a CMOS Analog to Digital Converter for Wireless Telecommunications
Stojcevski A./Singh J./Zayegh A., Australia 59

Half Flash ADC 4-bit without DAC
Tipsuwanporn V./Chuenarom S./Junkrob N./Chuchotsakunleot W./Roengruen P./Maitreechit S., Thailand 63

Novel Noise Shaping of High-order Sigma-Delta Modulator for Wide Bandwidth Applications
Chiang J. S./Chang T. H./Chou P. C., Taiwan 67

A Noise, Power and Area Optimized 12bit 18MSPS AFE for Digital Still Cameras
Mukherjee S./Kulhalli S./Das M./Sitharaman S., India 71

A 10-Bit Unclocked A/D Converter
Xiao Z./ Chen L./ Siek L./ Chan P. K., Singapore 75

IC II **Integrated Circuits II: Switch Capacitor and Current Mode Circuits**

Versatile Current-mode Biquadratic Circuit Using Dual Current Output OTAs
Tsukutani T./Higashimura M./Sumi Y./Fukui Y., Japan 79

Multiplier and Divider Circuits Based on CMOS Current Controlled Current Conveyors
Parnklang J./Moltaweepaisan T./Nunthanawanich W., Thailand 83

A CMOS Square-Rooting Circuit
Chaikla A./Lee T./Ukakimaparn P./Riewruja V./Anantahirunrat K., Thailand 87

A CMOS Piecewise-Linear Circuit for Nonlinear Function Syntheses
Petchmaneelumka W./Chaikla A./Pannil P./Julprapa A./Riewruja V., Thailand 90

Temperature Compensation of CMOS Translinear Current Conveyor and OTA
Chaikla A./ Julsereewong P./Petchmaneelumka W./Kamsri T./Riewruja V., Thailand 94

เอกสารนี้เป็นเอกสารที่ใช้เพื่อการศึกษา ห้ามนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HALF FLASH ADC 4-BIT WITHOUT DAC

V. Tipsuwarnpron , S. Chuenarom* , W. Chuchotsakunleot , P. Roungruen and S. Maitreechit*

Faculty of Engineering,King Mongkut's Insititute of Technology Ladkarabang
Bangkok 10520 Thailand. Email: ktvittay@kmitl.ac.th
*Faculty of Engineering ,South-East Asia University
Bangkok 10160 Thailand.

Abstract : This paper presents a principle of parallel ANALOG TO Digital CONVERSION (ADC) based on current mode HALF FLASH ADC. This circuit can be converted to 4-bit output at each moment, and multiple output bit numbers by serial connection. A current mode, the ACTIVE CURRENT MIRROR and current comparators that controlled reference current by W/L ratio, has been used. Its feasibility agrees with simulation results of PSPICE program. The circuit design used CMOS 0.8 μm which is capable to convert 4 -bit in 50 nS, power consumed 0.127 mW, input current 0-100 μA and single 3V supply. From simulation testing, the conversion rate is faster than other method.

1. INTRODUCTION

The analog circuit design technique was developed to work under current mode by using digital submicron CMOS technology [1], low voltage operation, high speed, which used in CMOS ADCs. Such as TWO-STEP FLASH [2] pipe- line [3] and ALGORITHMIC [4] under the high-speed requirement with high resolution and less energy consumed. All the three principles are brought to put under consideration in order to achieve the required characterization for ADC. Since, each individual characteristic cannot give the fully required property. High-speed ANALOG TO DIGITAL CONVERSION by FLASH and TWO-STEP FLASH is quite popular but by FLASH, cannot increase the number of bit at the output. The number of comparison bit has to be 2^n-1, and n is the output bit. So it has to space the area and powers twice of the number of output bits. For TWO-STEP FLASH, the conversion speed is low cause of main circuit DAC implementation, which total conversion time must be included both conversion time and operation time of DAC. In this paper, a high speed ALGORITHMIC ADC is proposed. The propose ADC speed higher than [4] about four times. Cause of its convert 4-bit per each moment with ten quantized level BCD an output is based on ALGORITHMIC ADC. The propose circuit is simulated by PSPICE program to confirm its performance.

2. PRINCIPLE OF OPERATION AND DESIGN

The previous ALGORITHMIC ADC [4] in order to multiple bit output can be used serial connection of each one-bit cell. Causes a conversion time increate associate with desire multiple bit output. If 4-bit ADC, it must be used four conversion time. In this paper, the circuit was designed to achieve 4-bit BCD output in each conversion time.

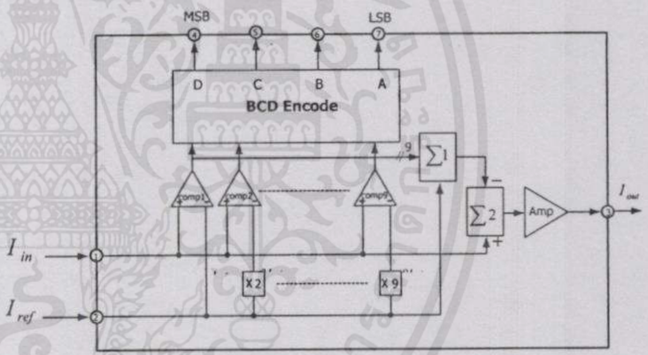


Fig.1 Block diagram of HALF FLASH ADC 4-bit BCD no DAC.

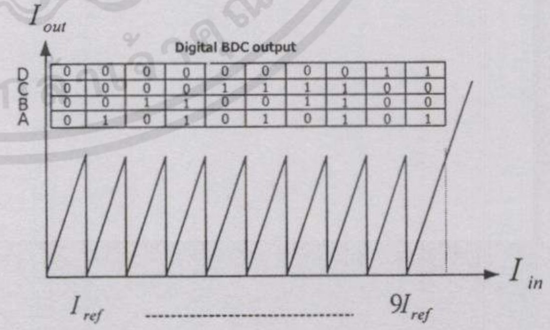


Fig.2 Relation between I_{in} and I_{out}.

To implement this function can be illustrated in Fig. 1, which compose of 10 times gains current amplifier (AMP), current comparators (comp 1 to comp9), BCD-

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ENCODER for encode the output comparator to BCD output at D, C, B, A output terminal, current summation circuit (Σ1), and current subtractor circuit (Σ2). These circuits operate as follows: input current I_{in} is fed into circuit and compared current with reference value of comparators comp1 to comp9 which set value of I_{ref} to $9I_{ref}$ respectively. If I_{in} exceeds their reference the output will be high. These outputs are encoded to BINARY CODE DECIMAL by BCD-ENCODER and enable the summation of Σ1 to their reference. Therefore the output of Σ1 is zero if all comparator not active and I_{ref} , $2I_{ref}$ to $9I_{ref}$, which associate with their output comparator. This output is fed to subtract with I_{in} on Σ2 and than fed to amplified with 10 times gain to output current (I_{out}) by AMP10. Consequently, the output I_{out} will be write in (1).

$$I_{out} = 10 \begin{Bmatrix} I_{in} & ;when \quad I_{ref} > I_{in} \\ I_{in} - I_{ref} & ;when \quad I_{ref} < I_{in} < 2I_{ref} \\ I_{in} - 2I_{ref} & ;when \quad 2I_{ref} < I_{in} < 3I_{ref} \\ I_{in} - 3I_{ref} & ;when \quad 3I_{ref} < I_{in} < 4I_{ref} \\ I_{in} - 4I_{ref} & ;when \quad 4I_{ref} < I_{in} < 5I_{ref} \\ I_{in} - 5I_{ref} & ;when \quad 5I_{ref} < I_{in} < 6I_{ref} \\ I_{in} - 6I_{ref} & ;when \quad 6I_{ref} < I_{in} < 7I_{ref} \\ I_{in} - 7I_{ref} & ;when \quad 7I_{ref} < I_{in} < 8I_{ref} \\ I_{in} - 8I_{ref} & ;when \quad 8I_{ref} < I_{in} < 9I_{ref} \\ I_{in} - 9I_{ref} & ;when \quad 9I_{ref} < I_{in} \end{Bmatrix} \quad (1)$$

3. ACTIVE CURRENT MIRROR

The maximum multiple output bit of the proposes circuit is defined by error of CURRENT MIRROR [5] which usually no lesser than 1%. To correct that, may be using CASCADE CURRENT MIRROR. But, it reduces the input operation rang. Hence the ACTIVE CURRENT MIRROR has been used to improved disadvantage and brought about implementation for bit output increment with non-reduced input operation rang. The ACTIVE CURRENT MIRROR circuit shown in Fig. 3, and its error shown in equation (2). Where r_o is the output resistance of the previous stage and g_{m1} is the TRANSCONDUCTANCE of transistor M1. (Usually, $r_o \cong 5M\Omega$, $g_{m1} \cong 20\ \mu A/V$) Which amplifier (A) gain equal to 100 V/V causes the error of the ACTIVE CURRENT MIRROR circuit equal to 0.01 %.

$$I_{in} - I_{out} = \frac{1/Ag_{m1}}{r_o + 1/Ag_{m1}} \cong \frac{1}{Ag_{m1}r_o} \quad (2)$$

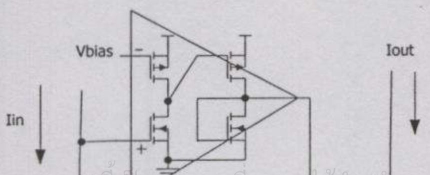


Fig.3 Active current mirror.

4. CURRENT COMPARATOR CIRCUIT

The current comparator circuit is similar to current comparator circuit propose in CADC [4], Which enable to control comparison ratio in [5], analyses the operation rang and specified transistor characteristic in [6]. In operation, each comparator part will be separate. Fig 4, the reference level define by bias voltage (V_{gs}) of transistor M_{NC1} to M_{NC9}, which set threshold current equal I_{ref} to $9I_{ref}$ respectively. The Fig. 4, the input current (I_{in}) on drain of transistor M_{PA} forcing the drain current of M_{PC1} to be equal I_{in} . If this current exceeds the reference threshold current of M_{PC1}, which set to I_{ref}, the output of comp1 will be high (+Vdd), otherwise it will be low. Cause the transistor M_{PC1} is active in linear region and M_{NC1} active in saturation region. The relationship of output voltage can be write by (3).

$$V_{out} = \frac{1}{(g_{dPC1} + g_{dNC1})}(g_{mPC1}V_{gsPC1} + g_{mNC1}V_{gsNC1}) \quad (3)$$

Substitute as $g_d = \lambda I_D ; g_m = \sqrt{2\mu C_{OX}\frac{W}{L}I_D}$ onto (3) than to get (4).

$$V_{out} \cong \frac{1}{(\lambda_P + \lambda_N)}\left(\frac{W_{PC1}}{L_{PC1}} - \frac{W_{NC1}}{L_{NC1}}\right) \quad (4)$$

We found that, the equation (4) can be set output to high or low by control W/L ratio of M_P and M_N transistors on comparator circuit, which comp1, comp2,…,comp9 is set W/L in order to output voltage relate to I_{ref}, $2I_{ref}$,…,$9I_{ref}$ respectively.

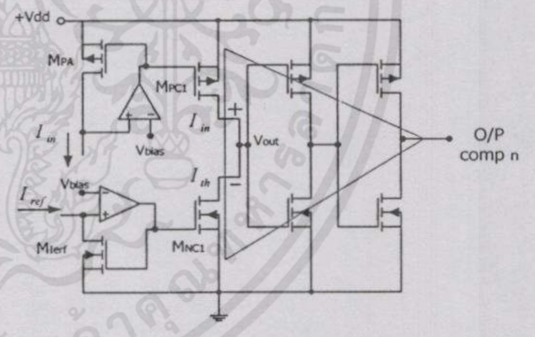


Fig. 4 Current comparator circuit.

5. BCD-ENCODER CIRCUIT

Principle of comparison as describe on table I can encode the comparator outputs to BINARY CODE DECIMAL by REED-MULLER minimization [7]. Therefore the D,C,B and A output can be write as equation (5),(6),(7) and (8) respectively.

$$D = Comp\ 8 \quad (5)$$

$$C = Comp\ 8 \oplus Comp\ 4 \quad (6)$$

$$B = (Comp\ 2 \oplus Comp\ 4) + (Comp\ 6 \oplus Comp\ 8) \quad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A = Comp1 \oplus Comp2 \oplus ... \oplus Comp9 \quad (8)$$

From equation (5) to (8), It can be constructed to BCD-ENCODER circuit by 48 MOS which connection in form of PASS TRANSISTOR. The EXCLUSIVE-OR gate in this equation can be created with six MOS and illustrate in Fig.5.

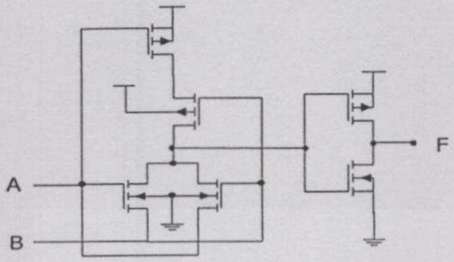


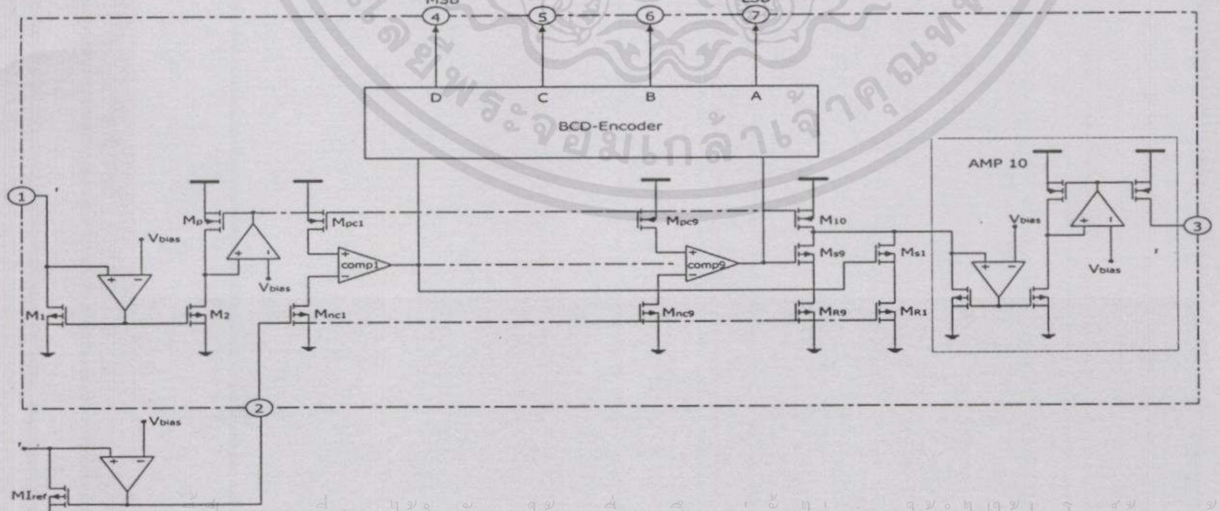
Fig. 5 Exclusive- OR gate circuit

6. A 4-BIT BCD HALF FLASH ADC

Fig. 6, shown the integration of the propose circuit. The input current I_{in} is fed into drain of M1, which constructed in ACTIVE CURRENT MIRROR forcing I_{D2} and I_D of M_{PC1}, MPC2,...,M_{PC9} to be equal I_{in}. This current is fed to input of comparators comp1, comp2,...,comp9 for comparison with reference which set to I_{ref}, $2I_{ref}$,...,$9I_{ref}$ by W/L ratio of M_{NC1}, M_{NC2},...,M_{NC9} respectively. The output of comparators will be encode by BCD-ENCODER and enable MOS switches (M_{S1} to M_{S9}) for subtraction I_{in}, which stored as drain current of M_{PC1} to M_{PC9}, with reference of each quantizing MOS (M_{NC1} to M_{NC9}) which set value of I_{ref} to $9I_{ref}$ respectively. Ten-times amplifier then fed to output terminal as output current (I_{out}) gains the result of this operation.

Input Current	Output Comp									Output Current	BCD Digital output			
I_{in}	9	8	7	6	5	4	3	2	1	I_{out}	D	C	B	A
$I_{in}<I_{ref}$	0	0	0	0	0	0	0	0	0	$10I_{in}$	0	0	0	0
$I_{ref}<I_{in}<2I_{ref}$	0	0	0	0	0	0	0	0	1	$10(I_{in}-I_{ref})$	0	0	0	1
$2I_{ref}<I_{in}<3I_{ref}$	0	0	0	0	0	0	0	1	1	$10(I_{in}-2I_{ref})$	0	0	1	0
$3I_{ref}<I_{in}<4I_{ref}$	0	0	0	0	0	0	1	1	1	$10(I_{in}-3I_{ref})$	0	0	1	1
$4I_{ref}<I_{in}<5I_{ref}$	0	0	0	0	0	1	1	1	1	$10(I_{in}-4I_{ref})$	0	1	0	0
$5I_{ref}<I_{in}<6I_{ref}$	0	0	0	0	1	1	1	1	1	$10(I_{in}-5I_{ref})$	0	1	0	1
$6I_{ref}<I_{in}<7I_{ref}$	0	0	0	1	1	1	1	1	1	$10(I_{in}-6I_{ref})$	0	1	1	0
$7I_{ref}<I_{in}<8I_{ref}$	0	0	1	1	1	1	1	1	1	$10(I_{in}-7I_{ref})$	0	1	1	1
$8I_{ref}<I_{in}<9I_{ref}$	0	1	1	1	1	1	1	1	1	$10(I_{in}-8I_{ref})$	1	0	0	0
$9I_{ref}<I_{in}$	1	1	1	1	1	1	1	1	1	$10(I_{in}-9I_{ref})$	1	0	0	1

Table I: Comparison condition of output signal.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 6 Unit cell circuit diagram of Half Flash ADC output BCD 4 – bit.

7. CONCEPTUAL OF MULTI-BIT ADC

The purpose ADC can be multiple bit by serial connection of 4-bit cell as shown in Fig. 7. The input

current I_{in} will pass through a process of first " 4-bit FLASH ALGORITHMIC ADC " and transfer the output current (I_{out}) to input I_{in2} of the second one. This manner given 4-bit BCD output per cell. This sequence is repeated until the desire bit has been achieved. The maximum possible conversion bit depends on error of match component fabrication process. This are forced to error on current mirror which important of maximum bit implementation.

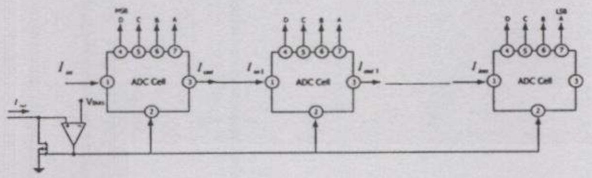


Fig. 7 ADC connection of n -bit multiple circuit.

8. SIMULATION RESULTS

The ADC was tested by PSPICE program simulation using single 3V supply, reference 10µA current. The input current varied 0-100µA. Two output of simulation results are analog which shown in Fig. 8, and digital shown in Fig. 9.The output of comparators shown in bottom Fig. 8.

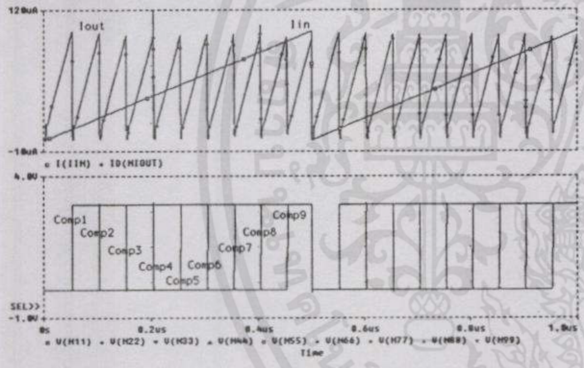


Fig. 8 Relation of current I_{out}, I_{in} and output of the Comp1to Comp9.

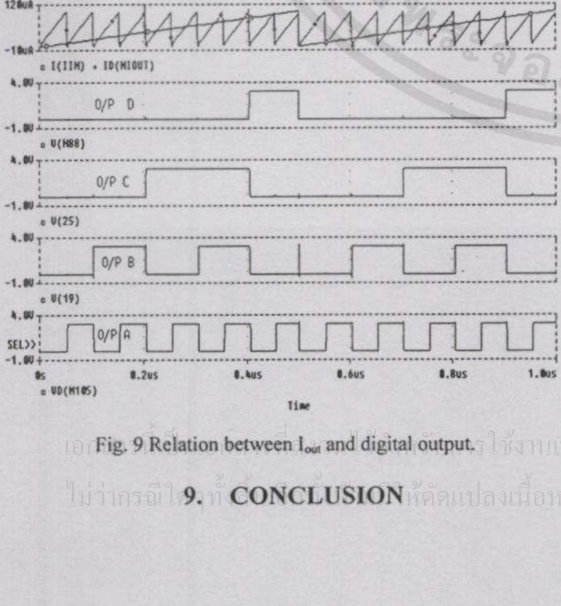


Fig. 9 Relation between I_{out} and digital output.

9. CONCLUSION

The simulation results evident the feasibility of 4-bit BCD Half Flash ADC method with current mode and can be multiple bit by serial connection of ADC cell. The maximum bit multiple limitation associates with error of current mirror. The conversion accuracy depends on controllability of parameter that associates with W/L ratio in fabrication process. The conversion time is function of mirror delay and switching speed of MOS transistor. Because of output is BCD; it is useful to various digital electronic application designs.

10. REFERENCE

[1] E.A. Vittoz,"The design of high-performance analog circuit on digital CMOS chip," *IEEE* JSSC, Vol. SC-20, pp.657-665 June1985.

[2] J.Carreira et al.., " A Two-Step Flash ADC for Digital CMOS Technology " ,PORC. ADDA, pp.48-51, 1994.

[3] C.Y.Wu et al, "A CMOS Transistor-only 8-b 4.5Ms/sPipelined Analog-to-Digital Converter Usigng Fully-Differential Current-Mode Circuit Techniques" *IEEE* JSSC,Vol.30,no.5, pp.522-532 May 1995.

[4] David G.Nairn C.Andre T.salama "Current-Mode Algorithmic Analog-to-Digital Converters" *IEEE* JSSC,Vol. 25, No.4, pp.997-1004, August 1990.

[5] D.A.Freitas K.W. Current "CMOS Current Comparator Circuit" *ELECTRONICS LETTERS* J.VOL.19, No.17,pp.695-697,August 1983.

[6] Zhenhua Wang "Design Methodology of CMOS Algorithmic Current A/D Converters in View of Transistor mismatches" *IEEE Transaction on Circuit and Systems*, Vol.38, No.6, pp.660-667 June 1997

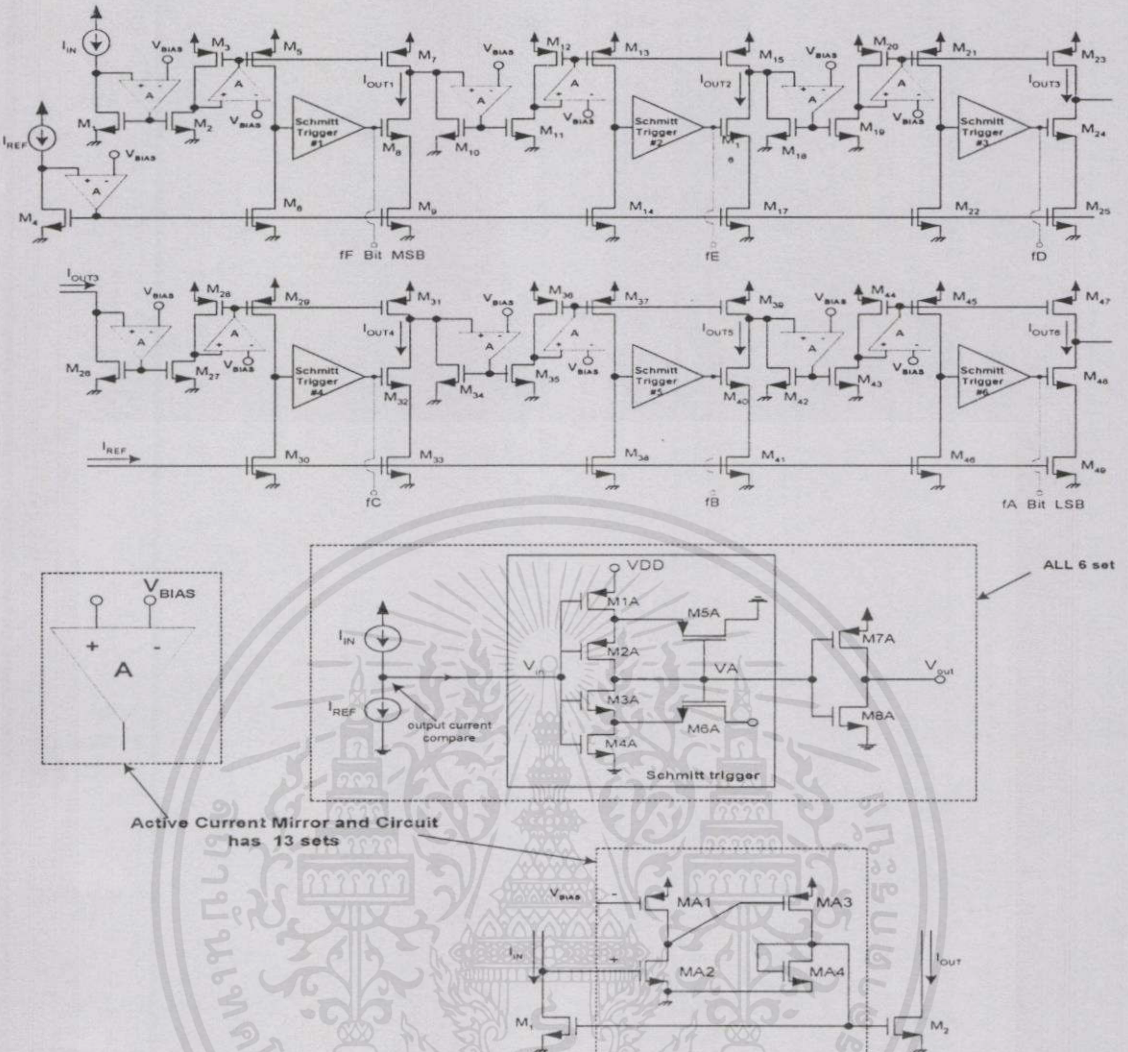
[7] Almaini, A. E. A., Thomson, P., and Hamsan, D.,"Tabular techniques for Reed-Muller logic", *International Journal of Electronics*, Vol.70, pp.23-34,1991.

เอกสารนี้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น ห้ามดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

แสดงวงจรอัลกอริธึม ADC 6 บิตแบบปรับปรุง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ ข.1 แสดงวงจร ADC 6 บิตแบบปรับปรุง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

แสดงโปรแกรม Hspice ในการจำลองการทำงานของวงจร ADC 6 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม Hspice ที่ใช้ในการเลียนแบบ

```
TEST6.SP
VDD     1    0    DC 5
IIN     1    2    PWL (0 0 1U 10U 1.001U 0U)
IREF    1    4    10U
VBIAS 36    0    DC 1.8

M1    2    35   0   0   NMOS1   W=2U   L=1U
M2    3    35   0   0   NMOS1   W=4U   L=1U
MA1   34   36   1   1   PMOS1   W=4U   L=1U
MA2   34   2    0   0   NMOS1   W=4U   L=1U
MA3   35   34   1   1   PMOS1   W=4U   L=1U
MA4   35   35   0   0   NMOS1   W=4U   L=1U
MB1   37   36   1   1   PMOS1   W=4U   L=1U
MB2   37   4    0   0   NMOS1   W=4U   L=1U
MB3   38   37   1   1   PMOS1   W=4U   L=1U
MB4   38   38   0   0   NMOS1   W=4U   L=1U
MC1   39   36   1   1   PMOS1   W=4U   L=1U
MC2   39   7    0   0   NMOS1   W=4U   L=1U
MC3   40   39   1   1   PMOS1   W=4U   L=1U
MC4   40   40   0   0   NMOS1   W=4U   L=1U
MD1   41   36   1   1   PMOS1   W=4U   L=1U
MD2   41   12   0   0   NMOS1   W=4U   L=1U
MD3   42   41   1   1   PMOS1   W=4U   L=1U
MD4   42   42   0   0   NMOS1   W=4U   L=1U
ME1   43   36   1   1   PMOS1   W=4U   L=1U
ME2   43   17   0   0   NMOS1   W=4U   L=1U
ME3   44   43   1   1   PMOS1   W=4U   L=1U
ME4   44   44   0   0   NMOS1   W=4U   L=1U
MF1   45   36   1   1   PMOS1   W=4U   L=1U
MF2   45   22   0   0   NMOS1   W=4U   L=1U
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MF3	46	45	1	1	PMOS1	W=4U	L=1U
MF4	46	46	0	0	NMOS1	W=4U	L=1U
MG1	47	36	1	1	PMOS1	W=4U	L=1U
MG2	47	27	0	0	NMOS1	W=4U	L=1U
MG3	48	47	1	1	PMOS1	W=4U	L=1U
MG4	48	48	0	0	NMOS1	W=4U	L=1U
M3	3	3	1	1	PMOS1	W=2U	L=1U
M4	4	38	0	0	NMOS1	W=2U	L=1U
M5	5	3	1	1	PMOS1	W=2U	L=1U
M6	5	38	0	0	NMOS1	W=2U	L=1U
M7	7	3	1	1	PMOS1	W=2U	L=1U
M8	7	A4	8	0	NMOS1	W=2U	L=1U
M9	8	38	0	0	NMOS1	W=2U	L=1U
M10	7	40	0	0	NMOS1	W=2U	L=1U
M11	9	40	0	0	NMOS1	W=4U	L=1U
M12	9	9	1	1	PMOS1	W=2U	L=1U
M13	10	9	1	1	PMOS1	W=2U	L=1U
M14	10	38	0	0	NMOS1	W=2U	L=1U
M15	12	9	1	1	PMOS1	W=2U	L=1U
M16	12	B4	13	0	NMOS1	W=2U	L=1U
M17	13	38	0	0	NMOS1	W=2U	L=1U
M18	12	42	0	0	NMOS1	W=2U	L=1U
M19	14	42	0	0	NMOS1	W=4U	L=1U
M20	14	14	1	1	PMOS1	W=2U	L=1U
M21	15	14	1	1	PMOS1	W=2U	L=1U
M22	15	38	0	0	NMOS1	W=2U	L=1U
M23	17	14	1	1	PMOS1	W=2U	L=1U
M24	17	C4	18	0	NMOS1	W=2U	L=1U
M25	18	38	0	0	NMOS1	W=2U	L=1U
M26	17	44	0	0	NMOS1	W=2U	L=1U
M27	19	44	0	0	NMOS1	W=4U	L=1U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงที่มาของเอกสารทุกครั้งที่มีการนำไปใช้

M28	19	19	1	1	PMOS1	W=2U	L=1U
M29	20	19	1	1	PMOS1	W=2U	L=1U
M30	20	38	0	0	NMOS1	W=2U	L=1U
M31	22	19	1	1	PMOS1	W=2U	L=1U
M32	22	D4	23	0	NMOS1	W=2U	L=1U
M33	23	38	0	0	NMOS1	W=2U	L=1U
M34	22	46	0	0	NMOS1	W=2U	L=1U
M35	24	46	0	0	NMOS1	W=4U	L=1U
M36	24	24	1	1	PMOS1	W=2U	L=1U
M37	25	24	1	1	PMOS1	W=2U	L=1U
M38	25	38	0	0	NMOS1	W=2U	L=1U
M39	27	24	1	1	PMOS1	W=2U	L=1U
M40	27	E4	28	0	NMOS1	W=2U	L=1U
M41	28	38	0	0	NMOS1	W=2U	L=1U
M42	27	48	0	0	NMOS1	W=2U	L=1U
M43	29	48	0	0	NMOS1	W=4U	L=1U
M44	29	29	1	1	PMOS1	W=2U	L=1U
M45	30	29	1	1	PMOS1	W=2U	L=1U
M46	30	38	0	0	NMOS1	W=2U	L=1U
M47	32	29	1	1	PMOS1	W=2U	L=1U
M48	32	F4	33	0	NMOS1	W=2U	L=1U
M49	33	38	0	0	NMOS1	W=2U	L=1U
M50	32	32	0	0	NMOS1	W=2U	L=1U

... COMPARE SCHMITT TRIGGER...

M1A	A1	5	1	1	PMOS1	W=1.2U	L=1U
M2A	A2	5	A1	A1	PMOS1	W=1.2U	L=1U
M3A	A2	5	A3	0	NMOS1	W=1.2U	L=1U
M4A	A3	5	0	0	NMOS1	W=1.2U	L=1U
M5A	0	A2	A1	A1	PMOS1	W=1.2U	L=1U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M6A	1	A2	A3	0	NMOS1	W=1.2U	L=1U
M7A	A4	A2	1	1	PMOS1	W=1.2U	L=1U
M8A	A4	A2	0	0	NMOS1	W=1.2U	L=1U
M1B	B1	10	1	1	PMOS1	W=1.2U	L=1U
M2B	B2	10	B1	B1	PMOS1	W=1.2U	L=1U
M3B	B2	10	B3	0	NMOS1	W=1.2U	L=1U
M4B	B3	10	0	0	NMOS1	W=1.2U	L=1U
M5B	0	B2	B1	B1	PMOS1	W=1.2U	L=1U
M6B	1	B2	B3	0	NMOS1	W=1.2U	L=1U
M7B	B4	B2	1	1	PMOS1	W=1.2U	L=1U
M8B	B4	B2	0	0	NMOS1	W=1.2U	L=1U
M1C	C1	15	1	1	PMOS1	W=1.2U	L=1U
M2C	C2	15	C1	C1	PMOS1	W=1.2U	L=1U
M3C	C2	15	C3	0	NMOS1	W=1.2U	L=1U
M4C	C3	15	0	0	NMOS1	W=1.2U	L=1U
M5C	0	C2	C1	C1	PMOS1	W=1.2U	L=1U
M6C	1	C2	C3	0	NMOS1	W=1.2U	L=1U
M7C	C4	C2	1	1	PMOS1	W=1.2U	L=1U
M8C	C4	C2	0	0	NMOS1	W=1.2U	L=1U
M1D	D1	20	1	1	PMOS1	W=1.2U	L=1U
M2D	D2	20	D1	D1	PMOS1	W=1.2U	L=1U
M3D	D2	20	D3	0	NMOS1	W=1.2U	L=1U
M4D	D3	20	0	0	NMOS1	W=1.2U	L=1U
M5D	0	D2	D1	D1	PMOS1	W=1.2U	L=1U
M6D	1	D2	D3	0	NMOS1	W=1.2U	L=1U
M7D	D4	D2	1	1	PMOS1	W=1.2U	L=1U
M8D	D4	D2	0	0	NMOS1	W=1.2U	L=1U
M1E	E1	25	1	1	PMOS1	W=1.2U	L=1U
M2E	E2	25	E1	E1	PMOS1	W=1.2U	L=1U
M3E	E2	25	E3	0	NMOS1	W=1.2U	L=1U
M4E	E3	25	0	0	NMOS1	W=1.2U	L=1U

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
M5E   0    E2   E1   E1   PMOS1   W=1.2U   L=1U
M6E   1    E2   E3   0    NMOS1   W=1.2U   L=1U
M7E   E4   E2   1    1    PMOS1   W=1.2U   L=1U
M8E   E4   E2   0    0    NMOS1   W=1.2U   L=1U
M1F   F1   30   1    1    PMOS1   W=1.2U   L=1U
M2F   F2   30   F1   F1   PMOS1   W=1.2U   L=1U
M3F   F2   30   F3   0    NMOS1   W=1.2U   L=1U
M4F   F3   30   0    0    NMOS1   W=1.2U   L=1U
M5F   0    F2   F1   F1   PMOS1   W=1.2U   L=1U
M6F   1    F2   F3   0    NMOS1   W=1.2U   L=1U
M7F   F4   F2   1    1    PMOS1   W=1.2U   L=1U
M8F   F4   F2   0    0    NMOS1   W=1.2U   L=1U


*....NMOS....*
.MODEL NMOS1 NMOS LEVEL=1  VTO=1.0 KP=17U +GAMMA=1.3 LAMBDA=0.01
PHI=0.7 PB=0.80 MJ=0.5 +MJSW=0.3 CGBO=200P CGSO=350P +CGDO=350P CJ=300U
+CJSW=500P LD=0.8U TOX=80N
*......PMOS....*
.MODEL PMOS1 PMOS LEVEL=1 VTO=-1.0 KP=8U +GAMMA=0.6 LAMBDA=0.008
PHI=0.6 PB=0.50 MJ=0.5 +MJSW=0.25 CGBO=200P CGSO=350P CGDO=350P CJ=150U
+CJSW=400P LD=0.8U TOX=80N
 .TRAN 0.04U  1.001U
.PROBE
.OP
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

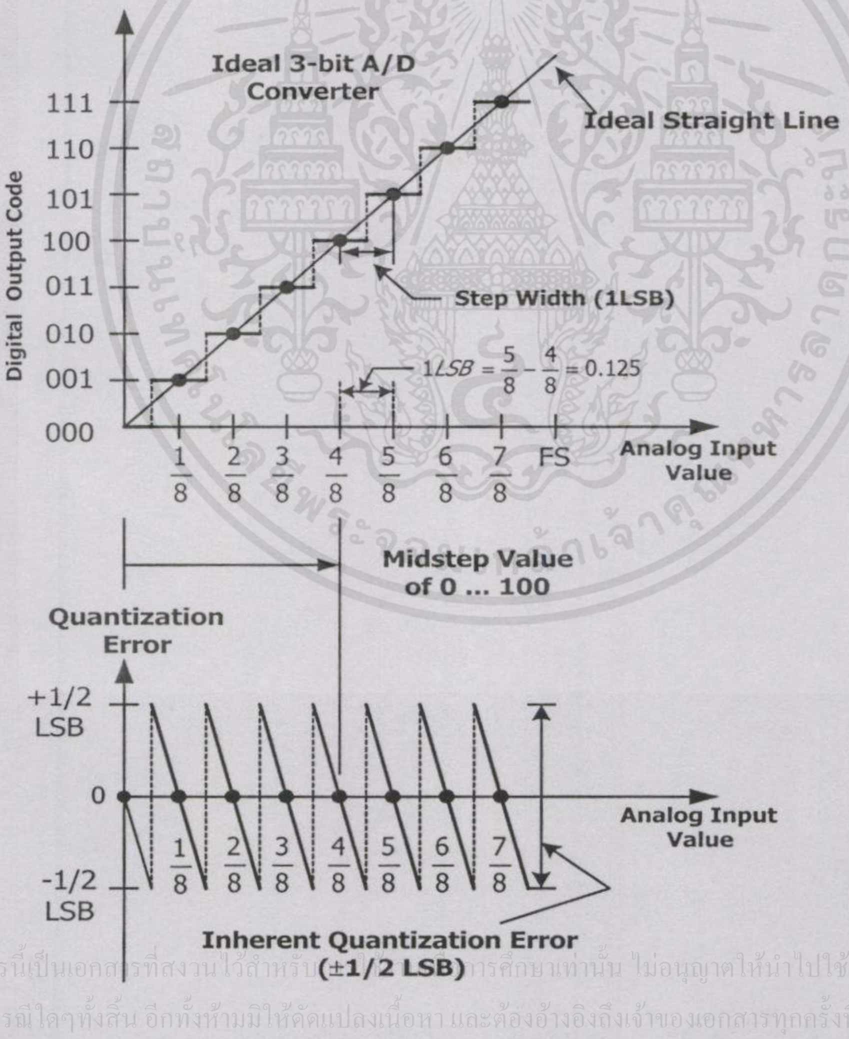
แสดงการหาค่า performance ในวงจร ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Performance ในวงจรของ ADC [13], [14], [15]

ง.1 ไดอะแกรมของลิเนียร์ ADC ในอุดมคติ

ภาพที่ ง.1 อะนาลอกอินพุต มีค่า 0 ถึง FS และการเปลี่ยนแปลงเป็นเชิงเส้น เมื่อจัดระดับ (Quantize) เป็นปริมาณดิจิตอล จะได้กราฟเป็นขั้นบันได และความละเอียดเท่ากับ 1/8 ต่อบิต ถ้าเอาต์พุตดิจิตอลเท่ากับ 001 ปริมาณอะนาลอกอินพุตมีค่า 1/16 ถึง 3/16 ค่ากึ่งกลาง(Midpoint) เท่ากับ 1/8 ฉะนั้น (1/8 - 1/16 = 0.0625) หรือ 0.5LSB ทางซ้าย และ (3/16 – 1/8 = 0.0625) หรือ 0.5LSB ทางขวา ปริมาณอะนาลอกในแต่ละช่วงจะเท่ากับ 1LSB ถ้าไม่ตรงตามนี้ การจัดระดับจะมีความผิดพลาดเกิดขึ้น

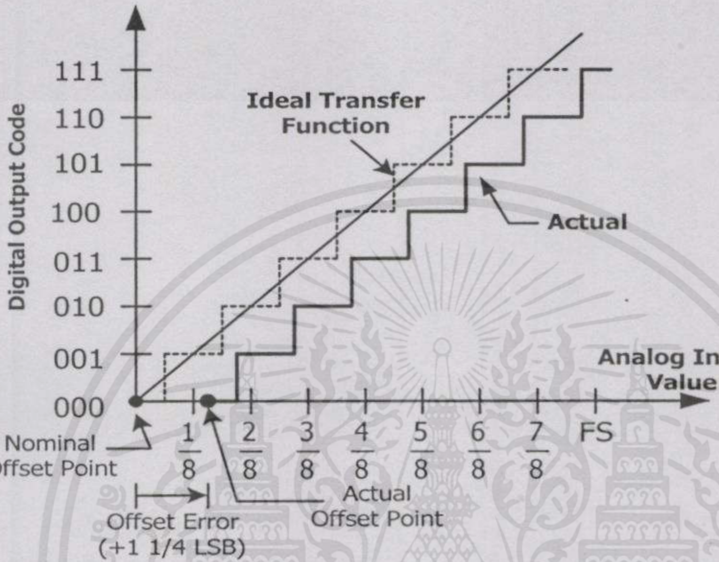


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ ง.1 ส่วนประกอบของไดอะแกรมลิเนียร์ ADC ทางอุดมคติ

ง.2 ความคลาดเคลื่อนของค่าออฟเซต

ความคลาดเคลื่อน ดังภาพที่ 3.9 เป็นความคลาดเคลื่อนประเภทหนึ่งในระบบ ADC



ภาพที่ ง.2 ความคลาดเคลื่อนออฟเซตของ ADC 3 บิต

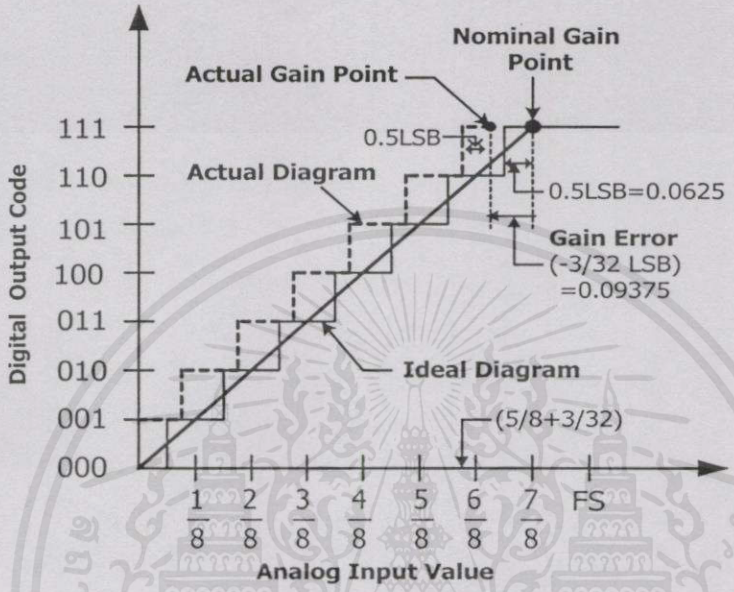
ค่าออฟเซต 0LSB คือ เริ่มจากจุดศูนย์หรือ (Nominal offset point) และเพิ่มค่าอะนาลอกอินพุตจนมีค่าเท่ากับ 0.5LSB โดยที่รหัสดิจิตอลยังคงอยู่ในสภาวะศูนย์ ดังแสดงในภาพที่ ง.2 ค่าออฟเซตที่เกิดจริงไม่ได้เริ่มที่ 0LSB แต่ค่าอินพุตอะนาลอกไปเริ่มที่ (1.75LSB – 0.5LSB) จึงเกิดออฟเซตมีค่าเท่ากับ +1 1/4 LSB เป็นการเพิ่มความผิดพลาดเข้าไปในระบบของ ADC เอง

ง.3 ความคลาดเคลื่อนของเกณฑ์

ความคลาดเคลื่อนของเกณฑ์ในระบบ ADC คือ ค่าแตกต่างระหว่างค่าเกณฑ์ในอุดมคติกับค่าเกณฑ์ที่เกิดขึ้นจริง โดยที่เอาต์พุตดิจิตอลอยู่ในสภาวะเต็มสเกล ในภาพที่ ง.3 ค่าเต็มสเกลของเอาต์พุตดิจิตอลคือ 111 ซึ่งค่าอะนาลอกอินพุตไปสู่สภาวะดิจิตอลเอาต์พุตเต็มสเกลมีการเบี่ยงเบนที่ไม่ตรงกัน ความคลาดเคลื่อนจึงเกิดขึ้น การวัดความคลาดเคลื่อนของเกณฑ์ แสดงในรูปเปอร์เซ็นต์ของ FSR หรือกำหนดให้อยู่ในรูปของแรงดันหรือ LSBs ก็ได้ ในทางอุดมคติพิจารณาได้จากค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FSR ที่จุดกึ่งกลางมีค่าเท่ากับ 0.5LSB หรือ 0.0625 สำหรับ 3 บิต ต่อจากนั้นจึงไปสู่ค่าเกณฑ์ที่เกิดขึ้นจริงที่จุดกึ่งกลาง ดังภาพที่ ง.3



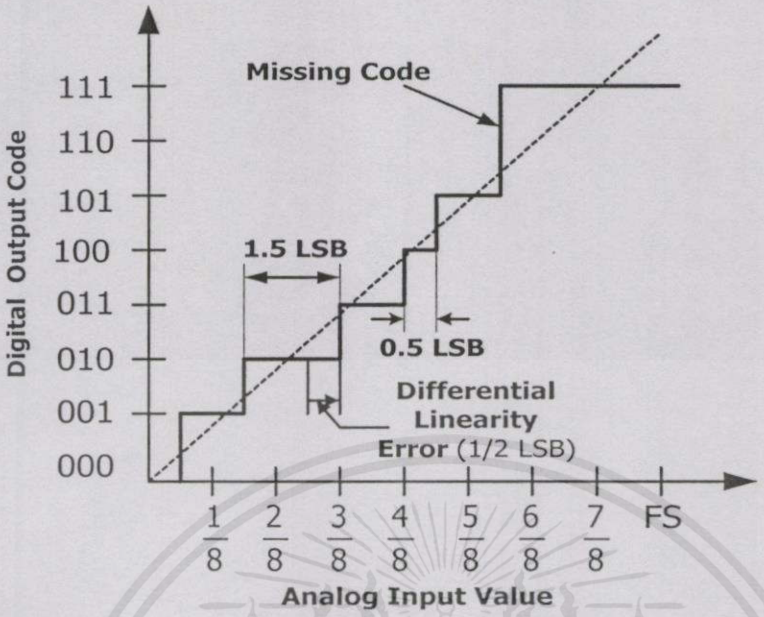
ภาพที่ ง.3 ความคลาดเคลื่อนของเกณฑ์ในระบบ 3 บิต ADC

อีกวิธีหนึ่งคือ นำ FSR ไปลบกับค่าเริ่มต้น เกิดความคลาดเคลื่อนของเกณฑ์ ในที่นี้คือ (5/8 +3/32) ผลลัพธ์ที่ได้ลบกับ 0.5LSB ค่าจริงความเคลื่อนของเกณฑ์คือ 0.09375

ง.4 ความคลาดเคลื่อนของค่าความแตกต่างที่ไม่เป็นเชิงเส้น

ค่าความแตกต่างที่ไม่เป็นเชิงเส้น (DNL) ในระบบของ ADC หมายความว่า เงื่อนไขของการเพิ่มเอาต์พุต ซึ่งมีการเพิ่มค่าทุกๆค่าของปริมาณอินพุตตลอดย่านการทำงานทั้งหมด เป็นสัดส่วนที่แปรผันกัน เรียกว่า (Monotonic) ในกรณีนี้ค่าของ DNL เท่ากับศูนย์ หรือมีการเปลี่ยนแปลงปริมาณอะนาลอกอินพุตเป็นดิจิตอลในแต่ละช่วงเท่ากับ 1LSB ถ้ามีค่า DNL เกิดขึ้น แสดงว่าการเปลี่ยนแปลงปริมาณอะนาลอกอินพุตกับดิจิตอลเอาต์พุตมีมากกว่าหรือน้อยกว่า 1LSB คือ ไม่เป็นเชิงเส้น (Nonmonotonic) และบางช่วงอาจจะไม่สามารถแสดงข้อมูลเป็นรหัสดิจิตอลออกมา (Missing Code) ทำให้ DNL ที่ไม่เป็น 0 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



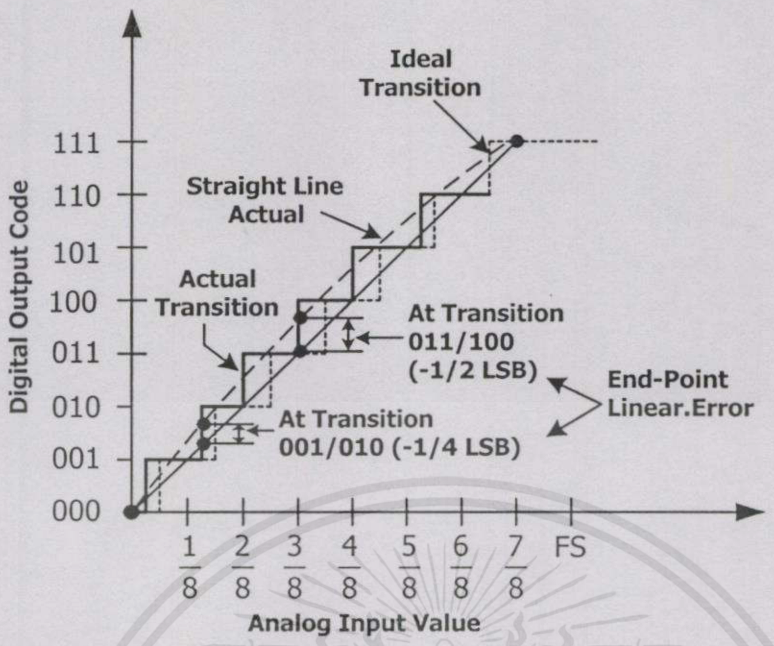
ภาพที่ ง.4 ความคลาดเคลื่อนของ DNL ในระบบ 3 บิต ADC

การจัดระดับสัญญาณของอะนาลอกอินพุตที่ค่า 2/8 ถึง 3/8 มีความผิดพลาดเกิดขึ้นและมีค่าเท่ากับ 1.5 LSB ทำให้เกิดความคลาดเคลื่อนเท่ากับ 0.5LSB และค่าอะนาลอกอินพุตตั้งแต่ 3/8 จนถึงค่าเต็มสเกล ก็เกิดความผิดพลาดขึ้นเช่นกัน ตัวอย่างเช่น สภาวะการเปลี่ยนรหัสดิจิตอลจาก 101 เป็น 110 สัญญาณรหัสดิตอลที่ถูกต้องในส่วนนี้ขาดหายไป ทำให้ข้อมูลต่างๆที่ส่งออกมาไม่ครบถ้วนและผิดพลาดไม่ตรงตามที่กำหนด

ง.5 ความคลาดเคลื่อนของผลรวมจากค่าความแตกต่างที่ไม่เป็นเชิงเส้น

ผลรวมของความคลาดเคลื่อน DNL ทั้งหมด คือ ค่าของ (INL) วิธีการหาค่า INL มีด้วยกัน 2 ขั้นตอน คือ 1. ต้องสร้างเส้นตรง 1 เส้นที่เหมาะสมที่สุด โดยเส้นตรงนี้มาจากค่าของทรานเฟอร์ฟังก์ชันที่ไม่ใช่อุดมคติจากการแปลงสัญญาณ A/D ขั้นตอนที่ 2. นำเส้นตรงที่สร้างขึ้นนี้มาเปรียบเทียบกับเส้นตรงในอุดมคติของการแปลงสัญญาณ A/D ซึ่งผลจากการเปรียบเทียบนี้ ทำให้เห็นค่าของการเบี่ยงเบนของ (INL) ระหว่างจุดปลาย (End Point Linear) ในระบบ A/D ทั้งหมด แสดงไว้ดังภาพที่ ง.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ ง.5 ความคลาดเคลื่อนของ INL ในระบบ 3 บิต ADC

ในการสร้างเส้นตรง จะใช้วิธีการแทนกลุ่มข้อมูลที่เกิดขึ้นจริงจากการแปลง ADC เพื่อต้องการเส้นตรงที่เหมาะสมที่สุดเส้นหนึ่ง โดยใช้ทฤษฎี Least Square หรือ Polynomial Regression ซึ่งทฤษฎีนี้ เกิดจากผลรวมระหว่างจุดของข้อมูลถึงเส้นที่แทนกลุ่มข้อมูล ยกกำลังสองและมีค่าน้อยที่สุด เส้นตรงที่เหมาะสมที่สุด คือ เส้นตรงที่ลดค่าเบี่ยงเบนของ DNL ทุกๆค่าให้ต่ำที่สุด ดังนั้น INL มีทั้งค่าบวกและลบมีค่าเบี่ยงเบนสูงสุดและต่ำสุดที่จุดปลายเชิงเส้นหรือ $\pm INL_{(max,min)}$ อาจมีค่ามากกว่าหรือน้อยกว่า $\pm DNL_{(max,min)}$ ก็ได้ ขึ้นอยู่กับค่า DNL ในระบบ A/D ทั้งหมดมีความเบี่ยงเบนมากน้อยเพียงใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ นาย วินัย ชูโชติสกุลเลิศ เกิดเมื่อวันที่ 10 มีนาคม 2513 วุฒิการศึกษาที่สำเร็จ อุตสาหกรรมศาสตร์บัณฑิต สาขาวิศวกรรมอีเล็กทรอนิกส์ สถานที่สำเร็จการศึกษา มหาวิทยาลัยเอเชียอาคเนย์ ปี พ.ศ. 2536ในปี พ.ศ. 2533 ถึง 2535 เคยเป็นอาจารย์สอนวิชาทางด้านอีเล็กทรอนิกส์ ที่โรงเรียนกนกเทคโนโลยี และปี พ.ศ. 2537 ถึง 2541 เคยทำงานในบริษัท GSS สาขารังสิต และนครราชสีมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้