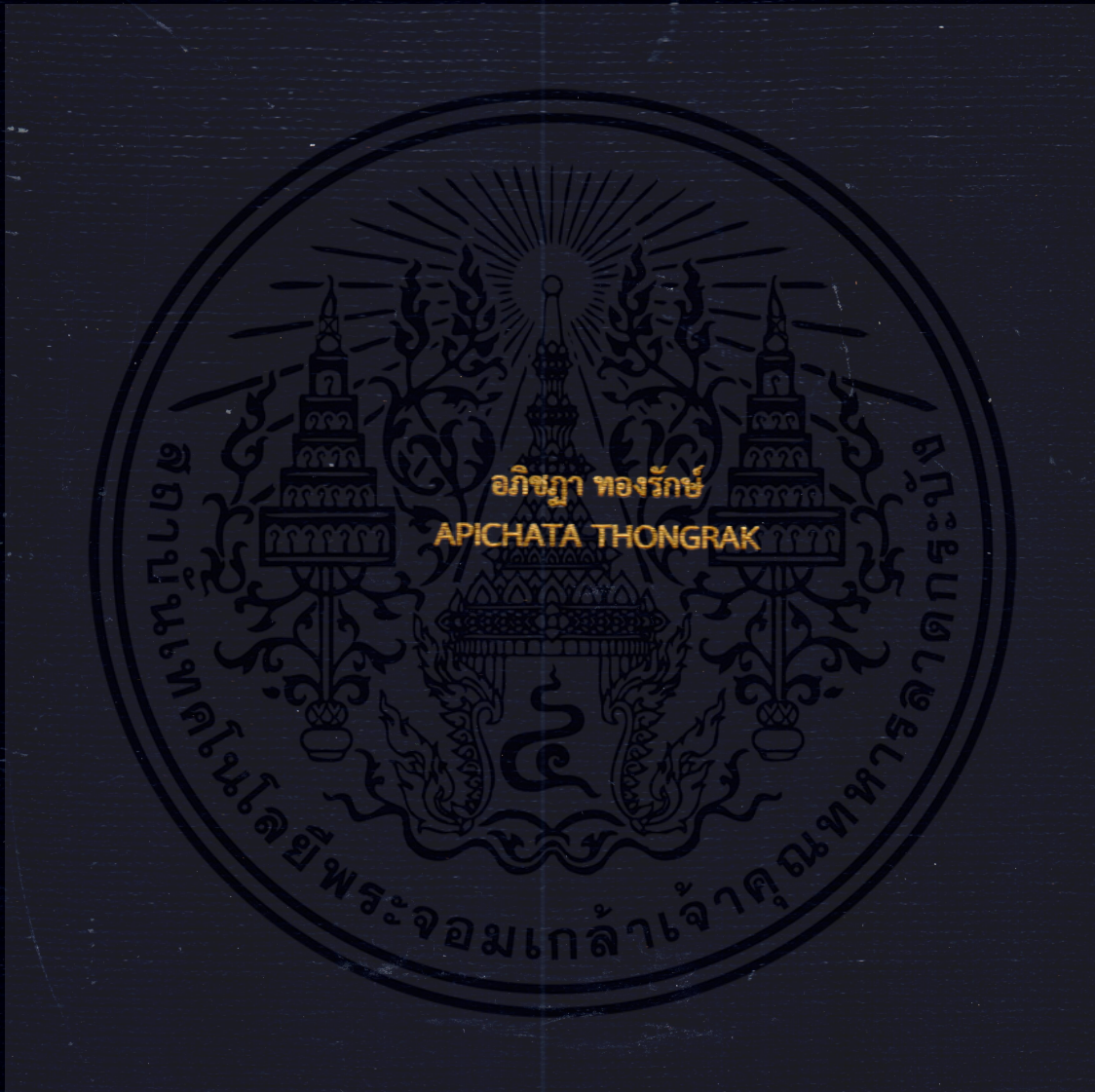


การออกแบบวงจรจำลองเมมรีสเตอร์โดยใช้โอทีเอ

DESIGN OF MEMRISTER EMULATOR CIRCUIT BASED ON OTAs



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาคามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2562

KMITL-2019-EN-D-018-115

การออกแบบวงจรจำลองเมมริสเตอร์โดยใช้โอทีเอ

DESIGN OF MEMRISTER EMULATOR CIRCUIT BASED ON OTAs



อภิชญา ทองรักษ์
APICHATA THONGRAK

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2562

KMITL-2019-EN-D-018-115

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรจำลองเมมริสเตอร์โดยใช้โอทีเอ

DESIGN OF MEMRISTER EMULATOR CIRCUIT BASED ON OTAs



อภิชญา ทองรักษ์

APICHATA THONGRAK

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2562

KMITL-2019-EN-D-018-115

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN OF MEMRISTER EMULATOR CIRCUIT BASED ON OTAs



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2019
KMITL-2019-EN-D-018-115

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2019

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรจำลองเมมรีสเตอร์โดยใช้ไอทีเอ
นักศึกษา	นางสาวอภิษฎา ทองรักษ์
รหัสประจำตัว	56610104
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2562
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผู้ช่วยศาสตราจารย์ ดร.พิเชฐ ม่วงนวล

บทคัดย่อ

วิทยานิพนธ์นี้ได้นำเสนอถึงการควบคุมกระแสให้มีการลดลงและเพิ่มขึ้นวงจรจำลองเมมรีสเตอร์ด้วยบนพื้นฐานของวงจรขยายทรานคอนดักแตนซ์ วงจรที่นำเสนอสามารถแสดงได้อย่างถูกต้องด้วยการใช้อุปกรณ์วงจรรวมที่มีอยู่ในเชิงพาณิชย์ (LM13600) วงจรคูลนแอนะลอก (AD633) ตัวเก็บประจุ ตัวต้านทาน ดังนั้นลักษณะของวงจรเลียนแบบเมมรีสเตอร์สามารถทดสอบได้ทั้งการจำลองและทดสอบกับอุปกรณ์จริงด้วยอุปกรณ์แบบแคทไฟและพาสซีฟ ซึ่งสามารถช่วยให้ทราบถึงการเรียนรู้การทำงานและการประยุกต์ใช้ของเมมรีสเตอร์ วงจรขยายทรานคอนดักแตนซ์ถูกนำมาประกอบเป็นวงจรอิเล็กทรอนิกส์เพื่อปรับกระแสไฟฟ้าโดยใช้วงจรสายพานกระแสได้อย่างมีประสิทธิภาพ วงจรจำลองเมมรีสเตอร์ที่ได้ออกแบบมีการลดลงและเพิ่มขึ้นของกระแส พบว่าเหมาะสำหรับการเชื่อมต่อในวงจรอนุกรม วงจรขนาน และวงจรผสม ทั้งนี้วงจรวงจรจำลองเมมรีสเตอร์ได้ให้ผลของการเพิ่มขึ้นและลดต่ำลงได้ตามแบบโครงสร้างของเมมรีสเตอร์ตัวเดี่ยวๆ นอกจากนี้วงจรวงจรจำลองเมมรีสเตอร์ได้แสดงลักษณะของฮิสเทอรีซิสลูปที่ขึ้นอยู่กับความถี่ และสามารถปรับปรุงได้โดยการเปลี่ยนค่าของสภาพความจุไฟฟ้าและสภาพความต้านทาน แต่ยังสามารถเพิ่มขึ้นได้โดยอัตราการขยายกระแสของกระแสที่สะท้อนกลับ ทั้งนี้ฟังก์ชันการทำงานของวงจรที่ได้ในวิทยานิพนธ์ได้สามารถยืนยันผลได้ด้วยการโปรแกรมจำลอง PSPICE และการทดสอบด้วยการทดลองจริง

Thesis	Design of Memristor Emulator Circuit based on OTAs
Student	Miss Apichata Thongrak
Student ID.	56610104
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2019
Thesis Advisor	Asst. Prof. Dr. Phichet Moungnoul

Abstract

This thesis as presents current-controlled decremental and incremental memristor emulator circuits based on operational transconductance amplifiers (OTAs). The proposed circuits can be realized using commercially available integrated circuits OTA (LM13600), analog multiplier (AD633), capacitor and resistors. Therefore, the characteristic of memristor emulators can be studied both simulation and breadboard experiment with the same active and passive components which could be served as a teaching aid and real memristor circuit applications. The OTA will be used to realize electronically tunable current conveyors which are the main advantage of this paper. The decremental and incremental memristor emulator circuits, the memristor emulator circuits that suitable for connecting in serial, in parallel and in hybrid and the memristor emulator circuits that provide decremental and incremental memristor emulators into single topology are presented. Not only the frequency-dependent pinched hysteresis loop of proposed memristor emulator circuits can be updated by changing the values of capacitance and resistance, but it can also be pushed by the current gain of current conveyor. The functionality of the proposed circuits can be confirmed simultaneously both PSPICE simulation and experiment tests.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้อย่างดี ด้วยคำแนะนำและคำปรึกษาจาก ผศ.ดร.พิเชฐ ม่วงนวล อาจารย์ผู้ควบคุมวิทยานิพนธ์ ขอกราบขอบคุณไว้ ณ ที่นี้

ขอขอบคุณ รศ.ดร.พิพัฒน์ พรหมมี รศ.ดร.มนตรี คำเงิน ผศ.ดร.สถาพร พรหมวงศ์ ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ผศ.ดร.สุชาติ สิทธิจงสถาพร สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร ผศ.ดร.สัญญา คุณขาว สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร ที่เป็นแรงผลักดันให้ข้าพเจ้ามีความกระตือรือร้นในการค้นคว้า และให้คำแนะนำในการค้นคว้าข้อมูลที่เกี่ยวข้อง รวมทั้งคอยให้กำลังใจ ช่วยเหลือในเรื่องต่าง ๆ ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์ทั้งสิ้นท่าน ขอขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร ที่สนับสนุนทุนในการศึกษาต่อระดับปริญญาเอกแก่ข้าพเจ้า

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา คุณพ่อศรี ทองรักษ์ คุณแม่พรรณณี ทองรักษ์ อาจารย์จักรพันธ์ กัณหา คู่สมรส นายสามหมอก กัณหา นายพิพิชชัย ทองรักษ์ บุตรชายทั้งสอง ที่คอยเป็นห่วงและให้กำลังใจมาตลอด และนายอานนท์ ทองรักษ์ พี่ชายที่ได้รับภาระอันยิ่งใหญ่ดูแลคุณแม่พรรณณีให้ รวมทั้งการสนับสนุนในทุกเรื่อง ๆ ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา และทุกคน ซึ่งเป็นที่รักและเคารพยิ่งของข้าพเจ้า และผู้มีพระคุณทุกท่าน ตลอดจนครู-อาจารย์ทุกท่านที่ได้ประสิทธิประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้ ข้าพเจ้าขอมอบแต่ทุกท่าน

อภิษฎา ทองรักษ์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	V
สารบัญรูป.....	VI
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 สมมุติฐานของการศึกษา.....	3
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	4
1.5 จุดประสงค์การออกแบบวงจร.....	4
1.6 การออกแบบจำลองการทำงานของวงจร.....	5
บทที่ 2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง.....	6
บทที่ 3 การออกแบบวงจรเลียนแบบตัวต้านจذب.....	17
3.1 การจำลองวงจรเลียนแบบตัวต้านจذب.....	17
3.2 วงจรสายพานกระแสที่ 2 ปรับตัวทางอิเล็กทรอนิกส์ด้วยวงจรมัลติเพล็กซ์ ทรานคอนดักแตนซ์.....	19
3.3 วงจรสายพานกระแสชนิดอินพุท.....	20
บทที่ 4 การทดลองและผลการทดลอง.....	26
4.1 การจำลองวงจรการทำงาน.....	26
บทที่ 5 สรุปผลงานวิจัย และข้อเสนอแนะ.....	34
เอกสารอ้างอิง.....	
ภาคผนวก	
ภาคผนวก ก. บทความที่ได้รับการตีพิมพ์และเผยแพร่	
ประวัติผู้เขียน	

สารบัญตาราง

ตารางที่	หน้า
2.1 เปรียบเทียบวงจรเลียนแบบ เมมรีสเตอร์.....	12
4.1 แสดงค่าพารามิเตอร์ของ ECCII และ EDDCC.....	26



สารบัญรูป

รูปที่	หน้า
1.1 โครงสร้างและวงจรสมมูลย์ของ เมมรีสเตอร์ ที่นักวิจัยบริษัท Hewlett Packard ได้คิดค้น.....	3
1.3 แผนภาพวงจรพื้นฐานของ เมมรีสเตอร์ ด้วย LDR วงจรส่วนบนนั้นเป็นวงจรควบคุมส่วนล่างเป็นสัญญาณแรงดันอินพุท.....	7
2.1 วงจรตัวคูณ.....	8
2.2 วงจรเครือข่ายประสาทเทียมที่ใช้วงจรจำลองเมมรีสเตอร์และวงจรที่ใช้ CMOS.....	8
2.3 ไดอะแกรมของ SPICE Macromodel สำหรับวงจรจำลองเมมรีสเตอร์.....	10
2.4 วงจรจำลองเมมรีสเตอร์ที่มีอินพุทอิมพีแดนซ์ต่ำสำหรับวงจรจำลองเมมรีสเตอร์แบบปรับลด.....	10
2.5 วงจรจำลองเมมรีสเตอร์ที่มีอินพุทอิมพีแดนซ์ต่ำสำหรับวงจรจำลองเมมรีสเตอร์แบบเพิ่ม.....	14
2.6 วงจรจำลองการเปลี่ยนแปลงในอุปกรณ์เมมรีสเตอร์..	14
2.7 ความสัมพันธ์ของกระแสและแรงดันของวงจรสมมูลย์เมมรีสเตอร์.....	15
2.8 วงจรปรับค่าแรงดันที่ประกอบด้วยเมมรีสเตอร์และทรานซิสเตอร์.....	15
2.9 วงจรจำลองโปรแกรมการควบคุมสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล.....	15
2.10 ความสัมพันธ์ฮิสเตอร์รีซิสลูปของวงจรจำลองเมมรีสเตอร์ระหว่างกระแสกับแรงดันไฟฟ้า.....	12
3.1 องค์ประกอบวงจรไฟฟ้าพื้นฐานแบบสองขั้ว.....	13
3.2 แบบจำลองความต้านทานแปรผันแบบคู่สำหรับวงจรความต้านทานจดจำ.....	13
3.3 สัญลักษณ์ของวงจร OTA.....	14
3.4 สัญลักษณ์ของวงจร ECCII.....	15
3.5 การสร้างวงจร OTA สำหรับ ECCII.....	17
3.6 สัญลักษณ์วงจร EDDCC.....	17
3.7 การพัฒนาวงจร EDDCC.....	21
3.8 วงจรจำลองเมมรีสเตอร์ แบบลดลงที่นำเสนอ.....	21
3.9 วงจรจำลอง เมมรีสเตอร์ แบบเพิ่มขึ้นที่นำเสนอ.....	22
4.1 ผลจำลองการบีบ ฮิสเตอร์รีซิส ลูป ของวงจรเลียนแบบ เมมรีสเตอร์ ที่ 1 kHz และอัตราขยายต่างกัน k ($k=k_1=k_2$)	21
4.2 ผลจำลองการบีบ ฮิสเตอร์รีซิสลูปของวงจรจำลอง เมมรีสเตอร์ ที่ความถี่ $f=1\text{kHz}$ และ $k_1 = 1$ โดยใช้ k_2 ที่มีค่าแตกต่างกัน.....	22
4.3 ผลจำลองการบีบ ฮิสเตอร์รีซิสลูป ของวงจรจำลอง เมมรีสเตอร์ เมื่อ $k_1 = 1$ โดยใช้ $k_2 = 20$ ที่ความถี่ 10 kHz และ 20 kHz.....	23
4.4 จำลองลูป ฮิสเตอร์รีซิส ที่ถูกบีบอัดของวงจรจำลองเมมรีสเตอร์ ที่ความถี่ 1 kHz โดยมีการเชื่อมต่อแบบอนุกรมและแบบขนาน.....	23

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.5 ผลจำลองการบีบอัดเทอร์รี่ซีสรูป ของวงจรจำลองเมมรีสเตอร์ ที่ 1 kHz และอัตราขยายต่างกัน k ($k=k_1=k_2$).....	24
4.6 ผลจำลองการบีบอัดเทอร์รี่ซีสรูป ของวงจรจำลองเมมรีสเตอร์ ที่ความถี่ต่างๆ และอัตราขยายต่างกัน k ($k=k_1=k_2$).....	24
4.7 การพัฒนางจรจำลองเมมรีสเตอร์.....	25
4.8 ผลการบีบอัดเทอร์รี่ซีสรูปของวงจรเลียนแบบ เมมรีสเตอร์ ที่ความถี่ 1kHz.....	26
4.9 ผลการบีบอัดเทอร์รี่ซีสรูปของวงจรเลียนแบบ เมมรีสเตอร์ที่ความถี่ 1kHz และให้ k ($k=k_1=k_2$).....	26
4.10 ผลการบีบอัดเทอร์รี่ซีสรูปของวงจรจำลอง เมมรีสเตอร์ ที่ความถี่ 3 kHz และปรับ $k_1=2$ และ $k_2=10$).....	27

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปี ค.ศ. 2008 นักวิจัยจากห้องปฏิบัติการของบริษัท Hewlett-Packard (HP) ได้ประกาศความสำเร็จของการประดิษฐ์ตัวต้านทานจดจำหรือเมมริสเตอร์ ใช้ไทเทเนียมไดออกไซด์ (titanium dioxide: TiO_2) [1] ซึ่งเมมริสเตอร์มีวัตถุประสงค์การใช้งานในรูปแบบของตัวต้านทานหน่วยความจำและอุปกรณ์ที่มีลักษณะแบบเมมริสตีฟ (Memristive) ที่สันนิษฐานว่าจะเกิดขึ้นเมื่อการเชื่อมโยงเกิดขึ้นกับแรงดันไฟฟ้าที่บริเวณขั้วเชื่อมต่อทางไฟฟ้าที่มีศักย์ไฟฟ้าบวกและลบ

ลักษณะทางกายภาพของเมมริสเตอร์ที่ใช้ฟิล์มบางแบบ TiO_2 ประกอบด้วยขอบเขตการเจือ และไม่เจือของอุปกรณ์โซลิตสเททในระดับสเกลนาโนเมตร อุปกรณ์เมมริสเตอร์เป็นอุปกรณ์ไม่เป็นเชิงเส้นตามความสัมพันธ์ของการชาร์จประจุไฟฟ้าและฟลักซ์ไฟฟ้า วงจรอิเล็กทรอนิกส์ในลักษณะไม่เป็นเชิงเส้น โดยคุณลักษณะพิเศษของเมมริสเตอร์จะมีความต้านทานที่เปลี่ยนแปลงขึ้นอยู่กับการทำงานของอุปกรณ์นั้นๆ โดยวงจรของเมมริสเตอร์ได้คิดค้นครั้งแรกในปีค.ศ. 1971 โดย Chua [2] เป็นวงจรที่ใส่ในอุปกรณ์พาสซีฟ ต่อจากตัวต้านทาน (Resistor: R) ตัวเหนี่ยวนำ (Inductor: L) และตัวเก็บประจุ (Capacitance: C) ตามลำดับ เริ่มจากการทำนายของ Leon Chua [1] ตั้งแต่ปี ค.ศ. 1971 แต่ยังไม่มีการเผยแพร่ให้นักวิจัยส่วนใหญ่รับรู้ จนกระทั่งปี ค.ศ. 2008 หลังจากที่นักวิจัยของห้องปฏิบัติการ HP ได้เผยแพร่ความสัมพันธ์ทางกายภาพ [1] ทำให้มีการนำเมมริสเตอร์มาใช้งานต่างๆ ดังตัวอย่างใน [3]-[11] เช่น ส่วนวงจรจำลองเมมริสเตอร์ และมีการทดลองจำนวนมากที่ใช้เป็นอุปกรณ์อิเล็กทรอนิกส์ เช่น การใช้งานสำหรับวงจรลอจิกแบบดิจิทัลใน [2] - [4] เช่น การใช้สร้างเกท XOR เมมริสเตอร์ สำหรับตัวคูณแบบตัวต้านทาน [3] และการใช้เมมริสเตอร์ สำหรับการสร้างมอดูเลตชนิดเปลี่ยนเฟสของคลื่นนำ (Phase shift keying modulator) [4] และ การใช้งานในวงจรเครือข่ายประสาทเทียม [5]-[6] แต่เมมริสเตอร์ยังไม่ได้มีการจำหน่ายในเชิงพาณิชย์ ซึ่งเป็นเรื่องที่น่าสนใจในการศึกษาอุปกรณ์ดังกล่าว โดยคาดว่าจะสามารถนำไปประยุกต์ใช้งานวงจรอิเล็กทรอนิกส์ในอนาคตได้

สำหรับการเลียนแบบพฤติกรรมของเมมริสเตอร์ที่มีลักษณะทางกายภาพที่สร้างด้วยฟิล์มบางแบบไทเทเนียมไดออกไซด์ (TiO_2) นักวิจัยจำนวนมากเสนอแบบจำลองเมมริสเตอร์ ด้วยการทดสอบการจำลองด้วยโปรแกรม SPICE หรือ PSPICE [12]-[18] อย่างไรก็ตาม ข้อจำกัดของแบบจำลองมาโครจะไม่รวมลักษณะองค์ประกอบที่แพร่กระจายและไม่รวมอยู่ในแบบจำลองเทียบเท่า แม้จะมีแบบจำลองมาโคร (macromodel) ที่ใช้สำหรับการจำลองสำหรับเมมริสเตอร์และการใช้งานทางด้านอิเล็กทรอนิกส์อื่นๆ ใน [19]-[24] อย่างไรก็ตาม บางวงจรมีความซับซ้อนและข้อจำกัดในการต่อแบบ

อนุกรมหรือขนาน ต่อมาได้มีการพัฒนาซีมอสมาใช้งานในวงจรเลียนแบบเมมริสเตอร์ ได้มีการรายงานใน [25], [26] ซึ่งได้รับการยืนยันว่าดำเนินงานได้เฉพาะการจำลองการทำงานด้วยโปรแกรมเท่านั้น

มีการศึกษาวงจรในลักษณะโหมดผสม เช่น วงจรสายพานกระแสด้วยการหาอนุพันธ์แรงดัน (Differential Voltage Current Conveyors: DVCC) วงจรสายพานกระแสรุ่นที่ 2 (Current Conveyor II: CCII) วงจรสายพานกระแสควบคุมกระแส (Current Controlled Current Conveyor II: CCCCII) ใน [33-37]

วงจรจำลองเมมริสเตอร์ด้วยการใช้วงจรสายพานกระแสด้วยการหาอนุพันธ์ผลต่างโดยใช้ซีมอส ในการสร้างวงจร DDCC (Differential Difference Current Conveyors) [38],[39] ได้มีการนำเสนอโดยใช้วงจรป้อนกลับกระแสด้วยออปแอมป์ (Current Feedback Operational Amplifier : CFOA) 2 วงจร และวงจรขยายทรานคอนดักแตนซ์ (Operational Transconductance Amplifier: OTA) ร่วมกับตัวต้านทาน 3 ตัวและตัวเก็บประจุ 2 ตัว ซึ่งนำเสนอเฉพาะในรูปแบบการจำลองการทำงาน

อุปกรณ์แอคทีฟสมัยใหม่มีการนำวงจรเลียนแบบเมมริสเตอร์ มาใช้งาน ได้แก่ วงจรขยายความนำด้วยสายพานกระแส (Current Conveyor Transconductance Amplifier: CCTA) ที่ใช้ซีมอส [40] ส่วนวงจรขยายความนำด้วยสายพานกระแสและผลต่างแรงดัน (Differential Voltage Current Conveyor Transconductance Amplifier: DVCCTA) โดยจะใช้วงจรจำลองเมมริสเตอร์ที่สามารถเพิ่มหรือลดค่าอัตราขยายกระแส (g_m) โดยใช้สวิตช์เป็นตัวเลือก [41] ซึ่งนำเสนอการสร้างวงจรจากอุปกรณ์ไอซีที่มีขายในท้องตลาด

ดังนั้น วิทยานิพนธ์ฉบับนี้จึงนำเสนอวงจรจำลองเมมริสเตอร์ในเชิงพาณิชย์ที่เป็นวงจรรวม (Integrated Circuits: ICs) วงจรจำลองเมมริสเตอร์ สร้างโดยใช้อุปกรณ์อิเล็กทรอนิกส์ทั่วไปที่หาได้ในท้องตลาดโดยใช้วงจรขยายทรานคอนดักแตนซ์ (OTA) ออกแบบวงจรสายพานกระแสผลต่างที่ปรับได้ทางอิเล็กทรอนิกส์ EDDCC (Electronically tunable Differential Different Current Conveyor) โดยวงจรจำลองเมมริสเตอร์ที่ออกแบบจำลองด้วยโปรแกรมคอมพิวเตอร์และการทดสอบทางฮาร์ดแวร์โดยการต่อวงจรกับอุปกรณ์แบบพาสซีฟและอุปกรณ์ไอซีที่มีขายในท้องตลาดทั่วไป ดังนั้นงานวิจัยนี้จึงมุ่งเน้นไปที่วงจรจำลองเมมริสเตอร์ที่สามารถทดสอบได้ทั้งการจำลองและการทดสอบด้วยอุปกรณ์ที่ใช้งานและอุปกรณ์แบบพาสซีฟได้

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์นี้มุ่งหวังเพื่อศึกษาและนำเสนอหลักการ ร์การออกแบบวงจรจำลองเมมริสเตอร์โดยใช้ไอทีเอ สำหรับการใช้งานจริงโดยเมมริสเตอร์ ในการทดลองนั้นมีเทคนิคการจำลอง 2 เทคนิค ได้แก่

1.2.1 สร้างแบบจำลองเมมริสเตอร์ตามแบบจำลองในโปรแกรม SPICE / PSPICE

1.2.2 ทำการจำลองพฤติกรรมของเมมริสเตอร์ที่ใช้ฟิล์มบางชนิดไททาเนียมไดออกไซด์ โดยใช้ไอซีที่มีวางจำหน่ายทั่วไปในการสร้างวงจรจำลองเมมริสเตอร์โดยใช้ไอทีเอ

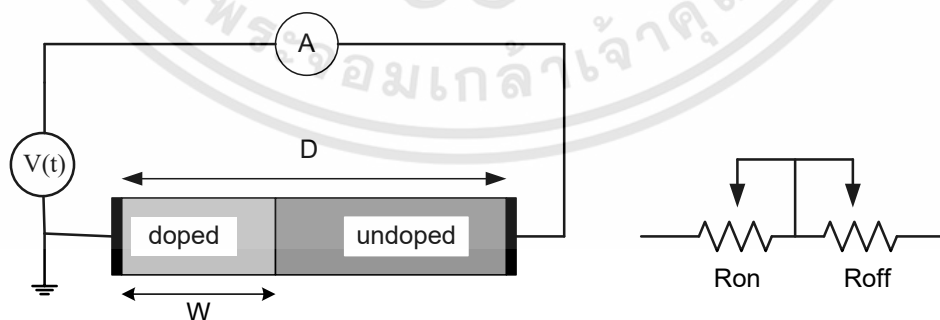
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 สมมติฐานของการศึกษา

จากงานวิจัยที่ได้มีการศึกษาและวิจัยต่างๆออกมาที่เกี่ยวข้องกับอุปกรณ์เมมริสเตอร์ที่ได้พัฒนามาจากงานห้องปฏิบัติการงานวิจัยของบริษัท Hewlett Packard ซึ่งได้มีการตีพิมพ์ผลการทดลองในวันที่ 1 พฤษภาคม ค.ศ. 2008 โดยสิ่งประดิษฐ์เมมริสเตอร์ที่ได้มีการเสนอแนวคิดออกมาในปีค.ศ. 1971 โดย Leon Chua ที่ได้มีการอธิบายการเปลี่ยนแปลงที่น่าสนใจในอุปกรณ์พาสซีฟ (passive elements) แต่กระนั้นก็ตามในส่วนของตัวอุปกรณ์ของเมมริสเตอร์ที่พัฒนาจากบริษัท Hewlett Packard ยังไม่สามารถนำมาศึกษาวิจัยได้อย่างกว้างขวาง ดังนั้นด้วยเหตุผลดังกล่าวนี้ทำให้นักวิจัยต่างๆได้มีการศึกษาพัฒนาด้วยวงจรจำลองเมมริสเตอร์ (เมมริสเตอร์ emulators) อยู่บนพื้นฐานของทฤษฎี โดยที่สามารถประยุกต์ใช้กับอุปกรณ์หน่วยความจำ วงจรแอนะล็อก หรือการจำลองระบบเครือข่ายประสาทเทียม

ในวิทยานิพนธ์นี้ มีวัตถุประสงค์ เพื่อพัฒนาประสิทธิภาพการทำงานของวงจรเพื่อจำลองการทำงานของเมมริสเตอร์ ลักษณะที่ได้รับการพิจารณาเป็นพิเศษของเมมริสเตอร์ ซึ่งเป็นอุปกรณ์ทางไฟฟ้าที่มีการทำงานเป็นสวิตช์สารกึ่งตัวนำที่มีโครงสร้างเป็นฟิล์มบางแบบแซนด์วิช ที่มีขั้วไฟฟ้าโลหะสองขั้วที่มีความยาวเท่ากับ D และมีการเติมอะตอมสารเจือและไม่มีการเติมอะตอมสารเจือ ซึ่งเป็นโครงสร้างกายภาพพื้นฐาน ที่เป็นวงจรสมมูลดังแสดงในรูปที่ 1.1 จากโครงสร้างดังกล่าวจะพบว่าสถานะภายในของส่วนที่มีการเติมอะตอมสารเจือนั้นมีการเปลี่ยนแปลงเป็นระยะ W การหาค่าระยะของการเติมอะตอมสารเจือที่มีการเปลี่ยนแปลงได้จากความต้านทานที่ลดต่ำลง สำหรับในบริเวณที่ไม่ได้รับการเติมอะตอมสารเจือนั้นจะมีค่าสภาพความต้านทานที่สูง ในที่นี้สถานการณ์เปลี่ยนแปลงภายในโครงสร้าง และสภาพความต้านทานทั้งหมดของสิ่งประดิษฐ์ชนิดนี้สามารถเปลี่ยนแปลงได้โดยแหล่งจ่ายแรงดันภายนอก นั่นจึงเป็นเหตุให้กระแสไฟฟ้าได้ไหลจาก เมมริสเตอร์ ในด้านหนึ่งที่จะทำให้เกิดค่าความต้านทานที่สูงขึ้น ในขณะที่การเปลี่ยนแปลงทิศทางของกระแสไฟฟ้าที่จ่ายให้มันจะลดต่ำลง โดยค่าความต้านทานจดจำ (Memristance) นั้นหมายความว่า สิ่งประดิษฐ์ชนิดนี้มีกระแสไฟฟ้าไหลจากทิศทางหนึ่งโดยมีคาบเวลาที่ค่อนข้างนานซึ่งจะมีการเปลี่ยนแปลงของสภาพความต้านทานของเมมริสเตอร์ ที่ค่อนข้างสูง

จากผลการทดสอบจากทีมนักวิจัยของบริษัท Hewlett Packard พบว่า เมมริสเตอร์ นั้นมีการทำงานในลักษณะของตัวต้านทานที่เปลี่ยนแปลงค่า โดยที่สภาพความต้านทานนี้สามารถที่จะทำการปรับได้โดยการเปลี่ยนแปลงของทิศทางและช่วงเวลาของการจ่ายแรงดันไฟฟ้าหรือกระแสไฟฟ้า



รูปที่ 1.1 โครงสร้างและวงจรสมมูลของเมมริสเตอร์ ที่นักวิจัยบริษัท Hewlett Packard ได้คิดค้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

ในปี 2010 Vasa et al. ได้ทำการวิจัยและแสดงวงจรของ เมมรีสเตอร์ แบบ mimicking โดยที่ วงจรดังกล่าวแสดงถึงความสัมพันธ์ของฟลักซ์สนามแม่เหล็กกับประจุไฟฟ้า ที่อยู่ภายในตัวของ เมมรีสเตอร์ ที่กำลังศึกษาขณะนั้น ถึงแม้ว่าวงจรดังกล่าวจะดูน่าสนใจในการศึกษาพฤติกรรมสภาพความต้านทานจดจำ ในการศึกษาไม่ได้ทำการศึกษาถึงการพัฒนาประยุกต์ใช้งาน เมมรีสเตอร์ เป็นเพียงการพิจารณาความสัมพันธ์ของกระแสไฟฟ้ากับแรงดันไฟฟ้าที่ได้ด้วยการควบคุมวงจร ทั้งนี้อุปกรณ์ที่ออกแบบนั้นยังคงใช้ เมมรีสเตอร์ ของ HP ที่แสดงผลของสัญญาณฮิสเทอรีซิสลูป นั้นหมายความว่า เมมรีสเตอร์ จาก HP นั้นยังคงให้ผลการควบคุมประจุไฟฟ้าตามทฤษฎีที่ได้รับการพัฒนาโดย Chua ในปี 1971 ดังนั้นเมื่อพิจารณาถึงหลักความสำคัญและข้อควรพิจารณาจะพบข้อจำกัดของวงจรที่ทำการศึกษานี้ ดังนั้นจึงมีความจำเป็นต้องทำการพัฒนาวงจรที่สามารถจำลองการทำงานของ เมมรีสเตอร์ เพื่อใช้ในการศึกษา

Dalibor Biolo et.al. ได้ศึกษาจำลองเมมรีสเตอร์เหนี่ยวนำด้วยโปรแกรม PSPICE เพื่อศึกษาโครงสร้างการทำงานของวงจรควบคุมฟลักซ์สนามไฟฟ้าและประจุไฟฟ้า

วงจรสายพานกระแสที่ 2 ปรับตัวทางอิเล็กทรอนิกส์ด้วยวงจรขยายทรานคอนดักแตนซ์ (Operational Transconductance Amplifier-based Electronically Current Conveyor II: OTA-based ECCII) ที่สร้างจากวงจรขยายทรานคอนดักแตนซ์ (Operational Transconductance Amplifier: OTA) ซึ่งเป็นอุปกรณ์ที่ใช้งานที่สำคัญที่ใช้ในการรับรู้วงจรแอนะล็อกทั้งแรงดันและกระแส โดยวงจรที่ใช้ OTA สามารถทดสอบได้ทั้งการจำลองและการทดลองด้วยบอร์ดทดลอง

วงจรสายพานกระแสชนิดอินพุตแตกต่างที่สามารถปรับอัตราขยายกระแสที่ปรับได้ทางอิเล็กทรอนิกส์ด้วยวงจรขยายทรานคอนดักแตนซ์ (OTA-based Electronically Tunable Differential Difference Current Conveyor: OTA-based EDDCC) สามารถสร้างจากวงจรสายพานกระแสชนิดอินพุตแตกต่าง (Electronically Tunable Differential Difference Current Conveyor: EDDCC) ที่สามารถปรับอัตราขยายกระแสที่ปรับได้ทางอิเล็กทรอนิกส์ด้วยวงจรขยายทรานคอนดักแตนซ์ (OTA)

ในวิทยานิพนธ์นี้ได้นำเสนอวิธีการออกแบบวงจรแอนะล็อกของอุปกรณ์ เมมรีสเตอร์ ในการใช้แบบจำลองและการทดลอง เพื่อแสดงให้เห็นถึงประสิทธิภาพของโมเดล โดยวงจรขยายทรานคอนดักแตนซ์ถูกนำมาประกอบเป็นวงจรอิเล็กทรอนิกส์เพื่อปรับกระแสไฟฟ้าโดยใช้วงจรสายพานกระแสได้อย่างมีประสิทธิภาพ

1.5 จุดประสงค์การออกแบบวงจร

ในปี 2010 Valsa et al. นำเสนอถึงแบบจำลองการทำงานของ เมมรีสเตอร์ โดยผลของการทดสอบพบว่าความสัมพันธ์ระหว่างกระแสไฟฟ้ากับแรงดันไฟฟ้าจากแรงดันอินพุตได้แสดงลักษณะของ pinched loop และกระแสที่ไหลในวงจร วงจรที่ออกแบบนี้ให้ประสิทธิภาพในสมบัติของการตอบสนองสภาพความต้านทานของ เมมรีสเตอร์ ได้ดีกว่าการนำไปประยุกต์ใช้ในการแทนที่อุปกรณ์ เมมรีสเตอร์ ที่เป็นอุปกรณ์จริง

ในกรณีของการใช้ทรานซิสเตอร์สนามไฟฟ้า FET แทนในวงจร พบว่าการควบคุมวงจรและการควบคุมแรงดันด้วยการต่อตัวต้านทานแบบอนุกรม ดังนั้นสัญญาณอินพุตของวงจรดังกล่าวจำเป็นต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แยกฟังก์ชันการควบคุมสภาพความต้านทานของ เมมริสเตอร์ จากนั้นจึงผ่านเข้าสู่รูปแบบจุดกำเนิดเริ่มต้น ในสถานะของการจำลองการทำงานของเมมริสเตอร์ จึงจำเป็นต้องมีฟังก์ชันการทำงานแบบขนาน ซึ่งวิธีการของวงจรดังกล่าวนี้สามารถถูกใช้ในการประยุกต์ให้กับการทำงานของอุปกรณ์ เมมริสเตอร์ กระบวนการที่เป็นแบบขนานนี้สามารถพิจารณาได้จากรูปที่ 1.2 โดยการทำงานของวงจรมีประสิทธิภาพ สามารถหาช่วงความถี่ที่ใช้ในการดำเนินการได้กว้างขึ้นได้อย่างมีประสิทธิภาพ ซึ่งเป็นเป้าหมายของการ ออกแบบพัฒนาในการจำลองการทำงานของวงจร วงจรจำลองเมมริสเตอร์ได้แสดงลักษณะของฮิสเทอเรซิสลูปที่ขึ้นอยู่กับความถี่ และสามารถปรับปรุงได้โดยการเปลี่ยนค่าของสภาพความจุไฟฟ้าและสภาพความต้านทาน แต่ยังสามารถเพิ่มขึ้นได้โดยอัตราการขยายกระแสของกระแสที่สะท้อนกลับ ทั้งนี้ฟังก์ชันการทำงานของวงจรที่ได้ในวิทยานิพนธ์ได้สามารถยืนยันผลได้ด้วยการโปรแกรมจำลอง PSPICE และการทดสอบด้วยการทดลองจริง

ทำการออกแบบวงจรจำลองเมมริสเตอร์ในเชิงพาณิชย์ที่เป็นวงจรรวม (Integrated Circuits: ICs) ซึ่งวงจรจำลองเมมริสเตอร์สามารถสร้างโดยใช้อุปกรณ์อิเล็กทรอนิกส์ทั่วไปที่หาได้ในท้องตลาดโดยใช้ วงจรขยายทรานคอนดักแตนซ์ (OTA) ร่วมกับการออกแบบวงจรสายพานกระแสผลต่างที่ปรับได้ทาง อิเล็กทรอนิกส์ (Electronically tunable Differential Different Current Conveyor: EDDCC) โดยมี จุดประสงค์ในการออกแบบเพื่อสร้างวงจรจำลองเมมริสเตอร์ที่ออกแบบ และจำลองการทำงานของวงจร ด้วยโปรแกรมคอมพิวเตอร์ ต่อมาทำการทดสอบทางฮาร์ดแวร์โดยการต่อวงจรกับอุปกรณ์แบบพาสซีฟ และอุปกรณ์ไอซีที่มีขายในท้องตลาดทั่วไป ดังนั้นงานวิจัยนี้จึงมุ่งเน้นไปที่วงจรจำลองเมมริสเตอร์ที่สามารถทดสอบได้ทั้งการจำลองและการทดสอบด้วยอุปกรณ์ที่ใช้งานและอุปกรณ์แบบพาสซีฟได้อย่างมีประสิทธิภาพ

1.6 การออกแบบจำลองการทำงานของวงจร

เป้าหมายของการออกแบบวงจรของเมมริสเตอร์ ที่เป็นจริงนี้ สามารถกระทำได้อย่างง่ายกับวงจร พื้นฐานด้วยพื้นฐานของโมเดลการควบคุมฟลักซ์ไฟฟ้า เพื่อให้ทราบแรงดันที่สัมพันธ์กันกับฟลักซ์ที่ได้ นำมาใช้ในการศึกษา ดังนั้นการศึกษาแรงดันที่สัมพันธ์กันกับการควบคุมฟลักซ์ก็จะเป็นการควบคุมวงจร เมมริสเตอร์ จากวงจรจำลองการทำงานของเมมริสเตอร์ ได้ถูกนำมาใช้เพื่อประสิทธิภาพที่เหมาะสม ทั้งนี้ วิธีการที่ง่ายต่อการควบคุมการเปลี่ยนแปลงค่าความต้านทานรวม โดยวงจรพื้นฐานที่ถูกออกแบบใช้ในการ การศึกษานี้เป็นอุปกรณ์ตัวดำเนินการขยายทรานคอนดักแตนซ์ ในการออกแบบด้วยการใช้อุปกรณ์วงจรรวมที่มีอยู่ในเชิงพาณิชย์ (LM13600) วงจรคูณแวนะลอก (AD633) ตัวเก็บประจุ ตัวต้านทาน เป็นส่วนที่เหมาะสมกับวิธีในการอธิบายการทำงานของแบบจำลองที่สร้างขึ้น ซึ่งวงจรที่ออกแบบมานี้ค่อนข้างพิเศษ สำหรับการควบคุมการเปลี่ยนแปลงสภาพความต้านทานได้อย่างมีประสิทธิภาพและง่ายต่อการออกแบบ ที่สามารถควบคุมสัญญาณอินพุตเพื่อทำการหาค่าการนำไฟฟ้า การออกแบบนี้มีเป้าหมายเพื่อการแยก วงจรการควบคุมจากการเปลี่ยนแปลงค่าความต้านทานที่เป็นฟังก์ชันการทำงาน จะมีค่าความต้านทานที่ สูงเมื่อ อยู่ในสถานะ OFF และจะมีความต้านทานที่ต่ำเมื่ออยู่ในสถานะ ON สภาพความต้านทานที่ แปรเปลี่ยน ในการหาผลดังกล่าวสามารถทำได้โดยกระแสที่ไหลผ่าน แผนภาพวงจรที่น่าเสนอ โครงสร้างโมเดล จากโครงสร้างดังกล่าวและหลักพื้นฐานของการขยายสัญญาณ แสดงให้ทราบได้ว่าวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิเล็กทรอนิกส์ มีความเหมาะสมที่จะใช้ในการควบคุมความต้านทานที่เปลี่ยนแปลงในวงจรโดยในที่นี้วงจรที่ใช้ในการควบคุมไม่เป็นส่วนหนึ่งของสัญญาณอินพุท รูปวงจรถามุมอิเล็กทรอนิกส์ ที่เชื่อมต่อเข้ากับวงจรควบคุมและ ซึ่งจะทำให้การเชื่อมต่อเข้ากับวงจรที่จำลองการทำงานของเมมรีสเตอร์



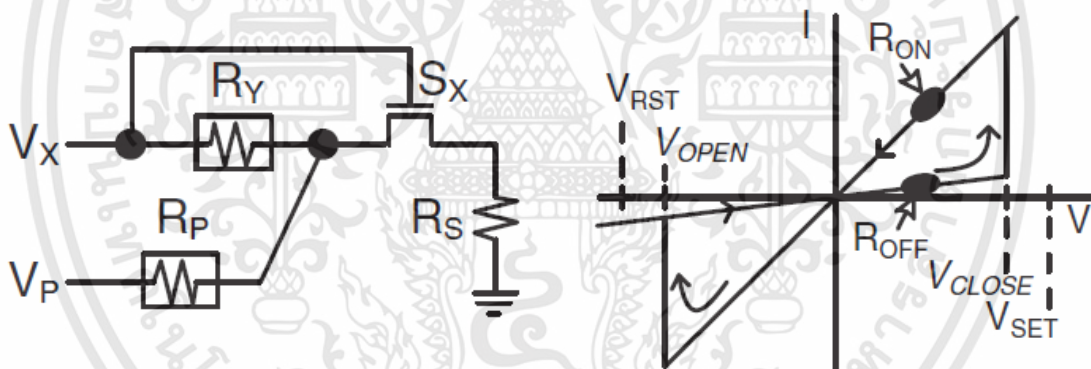
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

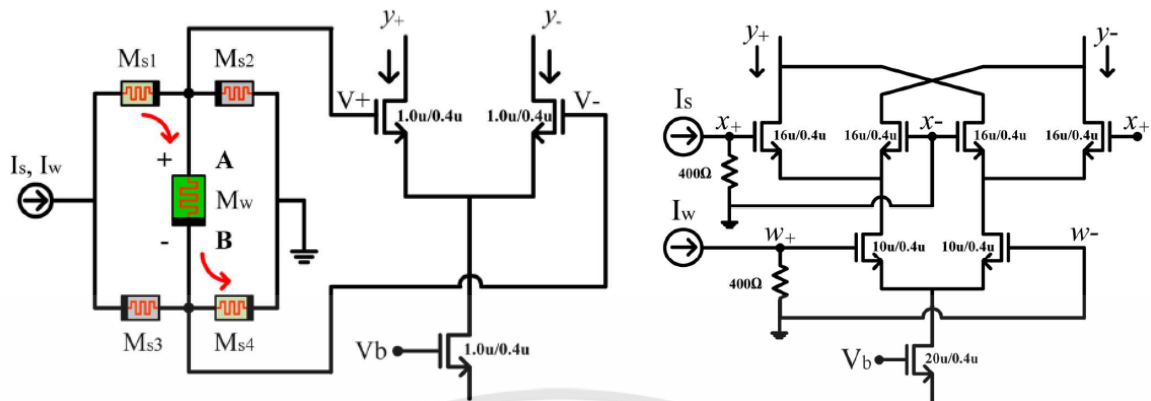
ในปี ค.ศ. 2008 นักวิจัยจากห้องปฏิบัติการของบริษัท Hewlett-Packard ประกาศความสำเร็จของการประดิษฐ์ตัวต้านทานจดจำหรือเมมริสเตอร์ (Memristor) โดยใช้ฟิล์มบางด้วยไทเทเนียมไดออกไซด์ (Titanium dioxide: TiO_2) โดยลักษณะทางกายภาพของเมมริสเตอร์ ประกอบด้วยขอบเขตการเจือ และไม่เจือของอุปกรณ์ชนิดโซลิตสเตรทในระดับนาโนเมตร ประกอบด้วยบริเวณที่มีสารเจือและไม่เจือในพื้นที่ที่มีสารเจือ โดยฟิล์มบางของไทเทเนียมไดออกไซด์ (TiO_2) จะถูกเจือด้วยออกซิเจนอะตอมที่มีประจุลบ ซึ่งจะสร้างตำแหน่งออกซิเจนที่มีประจุบวกแทนที่

ปัจจุบันมีการพัฒนาเมมริสเตอร์อย่างรวดเร็ว เช่น การใช้งานสำหรับวงจรรอแอสลอค [3] - [6] การใช้งานสำหรับวงจรรถระดัจิตอล [8] - [11] โดยตัวอย่างวงจรรถระดัจิตอลที่ใช้เมมริสเตอร์ดังแสดงในรูปที่ 2.1 เป็นวงจรรตัวคูณ (resistive multiplier) ที่ประกอบด้วยเมมริสเตอร์และอุปกรณ์ซีมอส [8]



รูปที่ 2.1 วงจรรตัวคูณ ที่ประกอบด้วยเมมริสเตอร์ (ด้านขวา) และแสดงความสัมพันธ์ของกระแสและแรงดันที่เกี่ยวข้อง (ด้านซ้าย)

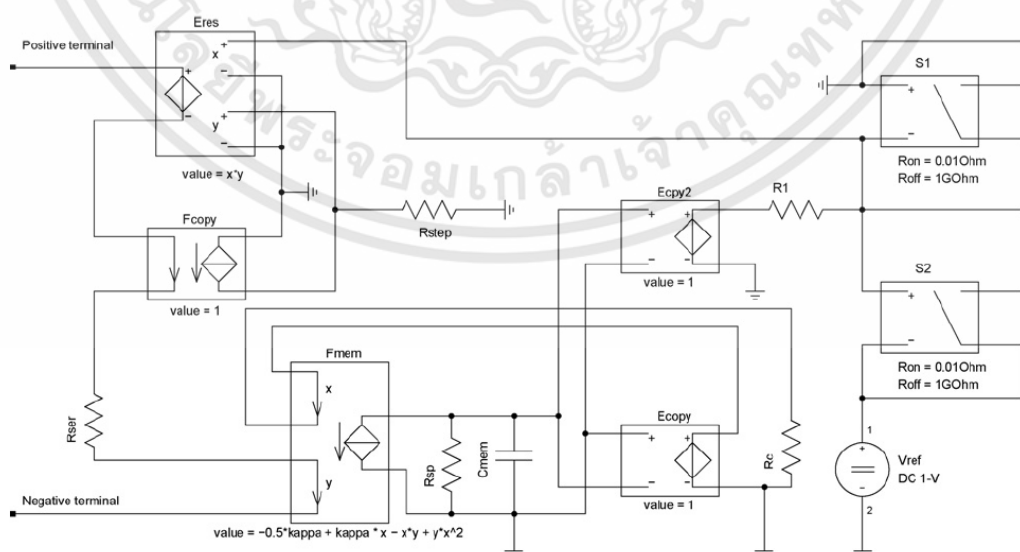
สำหรับการพัฒนาเมมริสเตอร์ด้านอื่นๆ เช่น การใช้งานสำหรับหน่วยความจำ [12]-[15] การใช้งานสำหรับวงจรรเครือข่ายประสาทเทียม [16]-[19] และ ระบบโครงข่ายที่มีสัญญาณแบบระบบประสาท (Neuromorphic Systems) เป็นต้น ดังตัวอย่างแสดงในรูปที่ 2.2 วงจรรเครือข่ายประสาทเทียมที่ใช้วงจรรจำลองเมมริสเตอร์ [17] โดยนำเสนอวงจรรจำลองเมมริสเตอร์แบบเครือข่ายประสาทที่ประกอบด้วยวงจรรจำลองเมมริสเตอร์ 5 ตัวและวงจรรขยายผลต่าง 1 ชุด เมื่อเปรียบเทียบกับวงจรรเครือข่ายประสาทเทียมด้วย CMOS



(ก) วงจรเครือข่ายประสาทเทียมที่ใช้วงจรจำลองเมมริสเตอร์ (ข) วงจรเครือข่ายประสาทเทียมด้วย CMOS

รูปที่ 2.2 วงจรเครือข่ายประสาทเทียมที่ใช้วงจรจำลองเมมริสเตอร์และวงจรที่ใช้ CMOS [17]

สำหรับวงจรจำลองเมมริสเตอร์ยังไม่มีวางจำหน่ายในท้องตลาด แต่เป็นสิ่งสำคัญในการศึกษาเพราะ คาดว่าเมมริสเตอร์ [21-22] จะนำไปสู่การใช้งานที่มีศักยภาพมากมาย นอกจากนี้มีการนำเมมริสเตอร์ บรรจุในแผนการเรียนการสอนวิชาวงจรไฟฟ้าเบื้องต้นได้ [23] ดังนั้นเทคนิคในการออกแบบพฤติกรรมของเมมริสเตอร์จึงได้รับการแนะนำ [24] - [30], [32-34] ซึ่งมีการนำเสนอ 2 เทคนิคในการออกแบบ พฤติกรรมของเมมริสเตอร์ที่ใช้ TiO_2 ได้แก่ แบบจำลองเมมริสเตอร์ตามแบบจำลองโปรแกรม SPICE / PSPICE ที่มีการนำเสนอใน [24] - [30] ตัวอย่างไดอะแกรมสำหรับ SPICE Macromodel ดังแสดงในรูปที่ 2.3 ไดอะแกรมของ SPICE Macromodel สำหรับวงจรจำลองเมมริสเตอร์ [26] ที่ใช้ในการจำลองการทำงานเพื่อศึกษาพฤติกรรมของเมมริสเตอร์



รูปที่ 2.3 ไดอะแกรมของ SPICE Macromodel สำหรับวงจรจำลองเมมริสเตอร์ [26]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

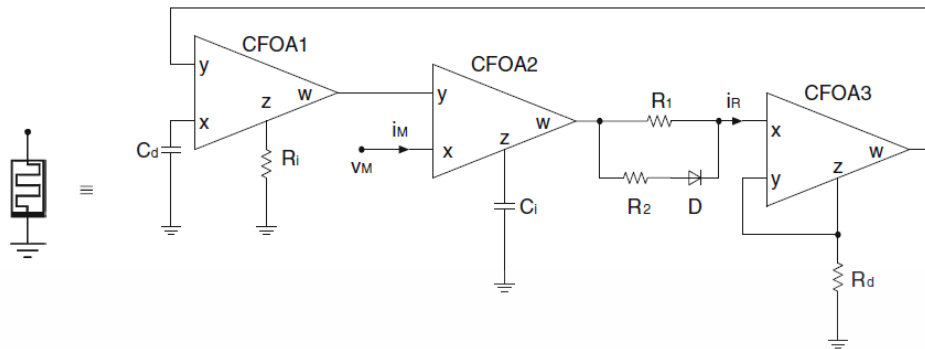
โดยแบบจำลองโปรแกรม SPICE/PSPICE เหล่านี้ได้รับการตระหนักจากวงจรเทียบเท่าของเมมรีสเตอร์ ว่าเหมาะสมสำหรับการจำลองด้วยคอมพิวเตอร์ที่สามารถสนับสนุนนักวิจัยให้ตระหนักถึงการใช้งานในรูปแบบใหม่ได้ แต่ข้อจำกัดของแบบจำลองที่เทียบเท่ากันเหล่านี้ คือ แบบจำลองเทียบเท่าหรือแบบจำลองมาโครฮาร์ดแวร์สำหรับการใช้งานจริงยังไม่สามารถนำไปสร้างและใช้งานได้จริง สำหรับการเรียนการสอนในห้องปฏิบัติการวงจรไฟฟ้าและการเรียนการใช้งานจริง การใช้เมมรีสเตอร์และในการทดลองนั้นมีความสำคัญอย่างมาก [31]

สำหรับออกแบบวงจรเมมรีสเตอร์โดยใช้โอทีเอทีที่สร้างจะใช้โอซีที่มีวางจำหน่ายทั่วไปในการสร้างวงจรออกแบบที่อ้างอิงกับอุปกรณ์ไวงานหรืออุปกรณ์แอคทีฟต่าง ๆ [32] - [45] โดยใน [32] วงจรออกแบบจำลองเมมรีสเตอร์ ที่ใช้โพเทนชิโอมิเตอร์แบบดิจิทัล ตัวแปลงแอนะล็อกเป็นดิจิทัล และไมโครคอนโทรลเลอร์ [33]

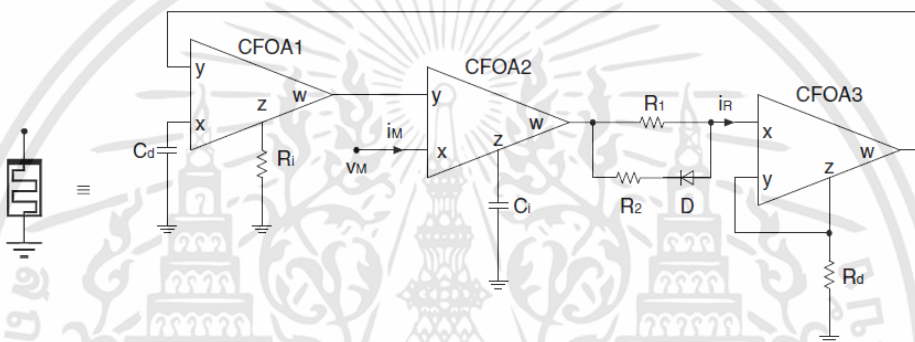
การออกแบบวงจรจำลองเมมรีสเตอร์โดยใช้โอทีเอ (OTA) ที่ใช้อุปกรณ์ที่เป็นวงจรรวมออปแอมป์ทรานซิสเตอร์แบบมอส และตัวคูณแบบแอนะล็อก ได้รับการนำเสนอใน [34] เป็นวงจรเมมรีสเตอร์แบบลดลงและเพิ่มขึ้น ซึ่งสามารถเชื่อมต่อในแบบอนุกรม แบบขนานและแบบไฮบริด ที่มีโครงสร้างซับซ้อนเล็กน้อยสำหรับการสร้างเป็นชิ้นงาน [35] สำหรับวงจรจำลองเมมรีสเตอร์ แบบลดลงและเพิ่มขึ้นโดยใช่วงจรสายพานกระแสไฟฟ้ารุ่นที่สอง (CCII_s) และตัวคูณแบบแอนะล็อก (AD633) มีการนำเสนอใช้งาน ในขณะที่ได้มีการนำเสนอวงจรจำลองแบบเมมรีสเตอร์ สำหรับออสซิลเลเตอร์แบบผ่อนคลาย [36] และใน [37] ได้นำเสนอวงจรจำลองแบบเมมรีสเตอร์ โดยใช่วงจรขยายสัญญาณการป้อนกลับแบบกระแส (CFOA) และตัวคูณแบบแอนะล็อก (AD633) โดยสรุปได้ว่าวงจรใน [32]-[37] ได้ศึกษาพฤติกรรมของเมมรีสเตอร์ ทั้งการจำลองและการทดสอบการทดลอง แต่ความถี่ในการใช้งานของวงจรเหล่านี้มีจำกัด โดยสามารถปรับปรุงได้โดยการเปลี่ยนค่าความต้านทานและความจุได้

การออกแบบวงจรจำลองเมมรีสเตอร์ จะ ใช่วงจรสายพานกระแสผลต่าง (Differential Different Current Conveyor: DDCC) ที่แตกต่างกันของซีมอส (CMOS) ได้รับการเสนอใน [38], [39] ได้ทำการทดสอบการจำลองด้วยโปรแกรมเท่านั้น วงจรออกแบบเมมรีสเตอร์ที่ใช่วงจรขยายสัญญาณการป้อนกลับแบบกระแส ประกอบด้วย ไดโอด 1 ตัว ตัวต้านทาน 4 ตัว และตัวเก็บประจุ 2 ตัว ขณะที่วงจรใน [41] ได้นำเสนอวงจรจำลอง เมมรีสเตอร์ โดยใช่วงจรขยายสัญญาณการป้อนกลับแบบกระแส 2 ตัว วงจรขยายความนำ 1 ตัวและ ตัวต้านทาน 3 ตัว ในบทความ [40], [41] สามารถทดสอบได้ทั้งการจำลองการทำงานด้วยโปรแกรมและการทดลองด้วยอุปกรณ์ในส่วนที่มีการใช่วงจรขยายความนำหลายเอาต์พุต เพื่อตระหนักถึงวงจรจำลองที่มี g_m ลดลงหรือเพิ่มขึ้น โดยในบทความ [40] ได้นำเสนอการประยุกต์ใช้งานในการประมวลผลสัญญาณดิจิทัลโดยนำเสนอวงจรจำลองเมมรีสเตอร์ที่มีอินพุทอิมพีแดนซ์ต่ำสำหรับวงจรจำลองเมมรีสเตอร์แบบปรับลด (low input impedance decremental เมมรีสเตอร์ emulator) ดังแสดงในรูปที่ 2.4 ที่ใช้ตัวขยายการป้อนกลับกระแส (Current-Feedback Operational Amplifiers: CFOA) สำหรับวงจรจำลองเมมรีสเตอร์แบบปรับลด และรูปที่ 2.5 ที่ใช้ตัวขยายการป้อนกลับกระแส (CFOA) สำหรับวงจรจำลองเมมรีสเตอร์แบบปรับเพิ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 วงจรจำลองเมมริสเตอร์ที่มีอินพุทอิมพีแดนซ์ต่ำสำหรับวงจรจำลองเมมริสเตอร์แบบปรับลด [40]



รูปที่ 2.5 วงจรจำลองเมมริสเตอร์ที่มีอินพุทอิมพีแดนซ์ต่ำสำหรับวงจรจำลองเมมริสเตอร์แบบเพิ่ม [40]

ใน [42] ได้ทำการทดสอบแบบจำลองการทำงานด้วยโปรแกรม PSPICE และการทดสอบใช้อุปกรณ์ที่ใช้งานแตกต่างกัน เป็นที่ทราบกันดีว่าซอฟต์แวร์การจำลองคอมพิวเตอร์ เช่น การจำลองด้วยโปรแกรม PSPICE ทำให้นักออกแบบอิเล็กทรอนิกส์สามารถออกแบบวงจรได้ง่าย กล่าวคือสามารถจำลองการทำงานก่อนที่จะนำไปใช้กับบอร์ดทดลองกับอุปกรณ์จริงที่มีตัวแปรจำนวนมาก เช่น แรงดันไฟฟ้า การไบแอส กระแส ค่าของความจุและความต้านทาน โดยประสิทธิภาพของวงจรสามารถทดสอบได้โดยการจำลองด้วยโปรแกรมและส่วนการสร้างบนบอร์ดทดลอง สามารถสร้างขึ้นได้ตามตัวแปรหรือพารามิเตอร์สำหรับการจำลองที่กำหนดขึ้นได้ นอกจากนี้ยังสะดวกมากถ้าอุปกรณ์ที่ใช้งานใน PSPICE simulations ที่มีกรวางตลาดแล้ว

อุปกรณ์แอคทีฟสมัยใหม่ได้นำมาใช้สำหรับวงจรออกแบบวงจรจำลองเมมริสเตอร์ เช่น วงจรขยายความนำด้วยสายพานกระแส (CCTA) [43] โดยวงจรขยายความนำด้วยสายพานกระแสและผลต่างแรงดัน (DVCCTA) ได้มีการนำเสนอใน [44] และ วงจรใน [44], [45] มีการนำเสนอวงจรจำลอง เมมริสเตอร์ ชนิดลดความจำและมีส่วนการเลือกสวิตช์สำหรับการเพิ่มหรือลดเป็นอีกหนึ่งวงจร โดยวงจรใน [43] ได้มีการจำลองโดยใช้การใช้อิมพีแดนซ์สำหรับวงจรขยายความนำด้วยสายพานกระแส ขณะที่วงจรใน [44] ได้มีการจำลองโดยใช้การใช้งานแบบชิมอสสำหรับวงจรขยายความนำ ด้วยสายพานกระแสและความต่างของแรงดัน สำหรับวงจรใน [45] พบว่าวงจรจำลอง เมมริสเตอร์ จะขึ้นอยู่กับการทำงานของทรานซิสเตอร์ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOSFET-C โดยทำการทดสอบการจำลองภายหลังการจัดวาง ซึ่งจะแสดงให้เห็นและบอร์ดทดลองที่ใช้ไอซี ALD1116PAL และ ALD1117PAL ที่ใช้ในเชิงพาณิชย์สำหรับการทดสอบการทำงาน นอกจากนี้ยังมีการเสนอวงจรจำลอง เมมรีสเตอร์ แบบลดลงเท่านั้น ส่วนวงจรใน [43] - [45] สามารถทำงานที่ความถี่สูงโดยมีการทดสอบแบบจำลองและการทดสอบใช้อุปกรณ์ที่ใช้งานต่างกัน

วงจรสายพานกระแสรุ่นที่ 2 (CCII) มีลักษณะการทำงานเป็นบล็อกที่ใช้งานได้อเนกประสงค์ ได้รับความสนใจอย่างมากในการใช้งานวงจรแอนะล็อก อุปกรณ์นี้มีวางจำหน่ายแล้วในตลาด เช่น PA630 จากบริษัท Phototronics L และ CCII01 จากบริษัท LTP Electronics และ MAX4198 จากบริษัท Maxim Integrated Products อย่างไรก็ตามพบว่า อุปกรณ์เหล่านี้มีราคาแพงและผลิตภัณฑ์บางอย่างที่ใช้งานได้มีการยกเลิกแล้ว เช่น ไอซี PA630 และ CCII01 โดยทั่วไปวงจรสายพานกระแสรุ่นที่ 2 (CCII) ทั่วไปจะมีเกจแรงดันระหว่างขั้ว y และขั้ว x โดยจะมีอัตราขยายกระแสแบบเอกภาพ (unity current gain) ระหว่างขั้ว x และขั้ว z เพื่อเพิ่มประสิทธิภาพของวงจร CCII ที่มีอัตราขยายกระแสที่สามารถปรับได้เรียกว่า วงจรสายพานกระแสรุ่นที่ 2 ที่ปรับได้ทางอิเล็กทรอนิกส์ (Electronically tunable Current Conveyor II: ECCII) ได้รับการเสนอ [46]-[49] โดยมีอัตราขยายกระแสระหว่างขั้ว z และ x ของอุปกรณ์นี้สามารถควบคุมได้โดยใช้กระแสไบแอส [46]-[49] ข้อดีของอัตราขยายกระแสของวงจร ECCII สามารถยืนยันได้โดย [48]-[52]

ในวิทยานิพนธ์ที่นำเสนอนี้เป็นวงจรจำลอง เมมรีสเตอร์ ที่เพิ่มขึ้นและลดลงโดยใช้วงจร ECCII เป็นองค์ประกอบที่ใช้งานโดยได้นำเสนอวงจรสายพานกระแสรุ่นที่ 2 (ECCII) กับไอซี LM13600 ที่มีวางจำหน่ายทั่วไปใช้งานร่วมกับไอซีที่ใช้ในเชิงพาณิชย์ เช่น ตัวคูณแบบทวีคูณ LM13600 และอุปกรณ์แบบพาสซีฟ เช่น ตัวต้านทานและตัวเก็บประจุ ดังนั้นพฤติกรรมของ เมมรีสเตอร์ จึงสามารถศึกษาได้ทั้งแบบจำลองและการทดลองด้วยอุปกรณ์จริง โดยปกติเมื่อค่าของความจุของวงจรจำลอง เมมรีสเตอร์ เป็นค่าคงที่ที่ใช้ความถี่สูงในการทำงาน ทำให้วงจรจำลองเมมรีสเตอร์ จะถูกจำกัดการทำงานโดยการทดสอบประสิทธิภาพที่ความถี่ที่แตกต่างกันของวงจรจำลองเมมรีสเตอร์ ที่ได้นำเสนอซึ่งแตกต่างจากวงจรจำลองเมมรีสเตอร์ ก่อนหน้านี้ที่มีลักษณะของฮิสเทอรีซิส (hysteresis) ที่ขึ้นอยู่กับความถี่ โดยวงจรจำลองเมมรีสเตอร์ ที่นำเสนอสามารถปรับปรุงได้โดยการเปลี่ยนค่าของความจุและความต้านทานและสามารถทำให้อัตราขยายกระแสของวงจร ECCII ที่ใช้ในวงจรจำลองสามารถทดสอบได้ทั้งการจำลองการทำงานด้วยโปรแกรมและการทดสอบทางฮาร์ดแวร์ด้วยอุปกรณ์ที่ใช้งานเดียวกัน วงจรจำลองเมมรีสเตอร์ที่นำเสนอจะเหมาะสมสำหรับการเชื่อมต่อแบบอนุกรม แบบขนานและแบบไฮบริด โดยวงจรจำลองชนิดลดความจุและส่วนเพิ่มเป็นอีกวิธีหนึ่งที่น่าสนใจมาเปรียบเทียบกับวงจรจำลองที่นำเสนอกับผลงานก่อนหน้านี้ได้สรุปไว้ในตารางที่ 2.1

เมื่อเปรียบเทียบกับ [33]-[45] แล้ว วงจรจำลองเมมรีสเตอร์ที่นำเสนอจะสามารถทำงานได้ที่ความถี่สูงโดยใช้การควบคุมความจุ ความต้านทานและอัตราขยายกระแสของวงจรสายพานกระแสได้ โดยวงจรที่นำเสนอใน [33-37], [40-41], [53], [55] ได้มีการศึกษาและนำเสนอการทดสอบทั้งการจำลองการทำงานและการทดสอบกับอุปกรณ์จริงโดยในอุปกรณ์พาสซีฟ ได้แก่ ความต้านทานและตัวเก็บประจุในการปรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ตามต้องการ ต่อมาเมื่อทำการเปรียบเทียบกับวงจรใน [33-42], [45], [53], [55] พบว่า วงจรจำลองเมมรีสเตอร์ที่ได้นำเสนอมจะสามารถทำการปรับเพิ่มหรือลดวงจรเมมรีสเตอร์ได้โดยใช้วงจรเพิ่มเติมเพียงวงจรเดียว และในบทความ [38-39] ได้นำเสนอการจำลองเมมรีสเตอร์โดยใช้วงจรสายพานกระแสด้วยผลต่าง (DDCC) โดยสามารถปรับความถี่ตามต้องการด้วยการปรับความต้านทานและตัวเก็บประจุ

เมื่อทำการเปรียบเทียบกับ [43-44] พบว่า วงจรจำลองเมมรีสเตอร์ที่ได้นำเสนอสามารถทดสอบทั้งการจำลองการทำงานด้วยโปรแกรมและทำการทดลองด้วยอุปกรณ์แบบแอคทีฟและพาสซีฟสำหรับการประยุกต์ใช้งานได้ ส่วนวงจรที่นำเสนอใน [45] ใช้อุปกรณ์ MOS และ ตัวเก็บประจุในการออกแบบวงจรจำลองเมมรีสเตอร์ที่สามารถปรับค่าความถี่ได้โดยใช้การคำนวณค่าอัตราขยายทรานคอนดักแตนซ์ และค่าตัวเก็บประจุ ส่วนการออกแบบวงจรจำลองเมมรีสเตอร์นำเสนอการใช้วงจรสายพานกระแสรุ่นที่ 2 ที่ปรับได้ทางอิเล็กทรอนิกส์ (ECCII) [53] และวงจรสายพานกระแสผลต่างที่ปรับทางอิเล็กทรอนิกส์ (EDDCC) [55] ร่วมกับอุปกรณ์ที่เป็นตัวต้านทานและตัวเก็บประจุ โดยมีอุปกรณ์ที่ใช้ปรับความถี่ได้จากการคำนวณอุปกรณ์เหล่านี้ ได้แก่ ตัวต้านทาน ตัวเก็บประจุ และอัตราขยายกระแส

ตารางที่ 2.1 เปรียบเทียบวงจรจำลองเมมรีสเตอร์

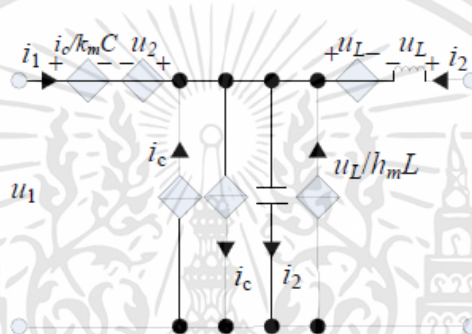
วงจร	จำนวนของอุปกรณ์แอคทีฟที่ใช้	จำนวนของอุปกรณ์พาสซีฟที่ใช้	วงจรชนิดลดลง (Decremental) หรือ เพิ่มขึ้น (Incremental)	การจำลองการทำงานและการทดสอบอุปกรณ์จริง	อุปกรณ์ปรับค่าความถี่
Ref. [33] (2012)	3-op-amp, 1-diode, 1-LDR	11-R, 1-C	Incremental	Yes	R, C
Ref. [34] (2012) Fig. 6(a) Fig. 6(b)	3-op-amp, 1-multiplier, 10-MOS 3-op-amp, 1-multiplier, 10-MOS	7-R, 1C 7-R, 1C	Incremental Decremental	Yes Yes	R, C R, C
Ref. [35] (2013) Fig. 5 Fig. 6	2-AD844, 1-AD633 3-AD844, 1-AD633	3-R, 2C 5-R, 2C	Either Either	Yes Yes	R, C R, C
Ref. [36] (2014) Fig. 1	4-AD844, 1-op-amp, 1-AD633	8-R, 1-C	Incremental	Yes	R, C
Ref. [37] (2014)	5-AD844, 1-AD633	4-R, 1-C	Incremental	Yes	R, C
Ref. [38] (2014) Fig. 5 Fig. 6	1-DDCC, 1-analog multiplier 1-DDCC, 1-analog multiplier	2-R, 1-C 2-R, 1-C	Decremental Incremental	No No	R, C R, C
Ref. [39] (2014) Fig. 6	4-DDCC, 4-MOS	2-R, 1-C	Decremental	No	R, C
Ref. [40] (2014) Fig. 1(a) Fig. 6(b)	3-AD844, 1-diode 3-AD844, 1-diode	4-R, 2-C 4-R, 2-C	Decremental Incremental	Yes Yes	R, C R, C
Ref. [41] (2017) Fig. 1	2-AD844, 1-LM3080 (OTA)	3-R, 2-C	Decremental	Yes	R, C
Ref. [42] (2017) Fig. 2(a) Fig. 2(b)	1-MO-OTA, 1-analog multiplier 1-MO-OTA, 1-analog multiplier	1-R, 1-C 1-R, 1-C	Decremental Incremental	No No	R, C R, C
Ref. [43] (2017)	1-CCTA	3-R, 1-C, 1-SW	Both	No	R, C
Ref. [44] (2017)	1-DVCCTA	3-R, 1-C, 1-SW	Both	No	R, C
Ref. [45] (2018)	7-MOS	1-C	Decremental	No	g_m , C
Ref. [53] (2015)	3-ECCII (6-LM13600), 1-AD633	1-R, 1-C	Decremental	Yes	R, C, k
Ref. [55] (2015) Fig. 3 Fig. 4	1-EDDCC (3-LM13600), 1-AD633 1-EDDCC (3-LM13600), 1-AD633	1-R, 1-C 1-R, 1-C	Decremental Incremental	Yes Yes	R, C, k R, C, k

ข้อสังเกต: k = current gain, SW = switch, MOS = metal oxide semiconductor, g_m = transconductance gain

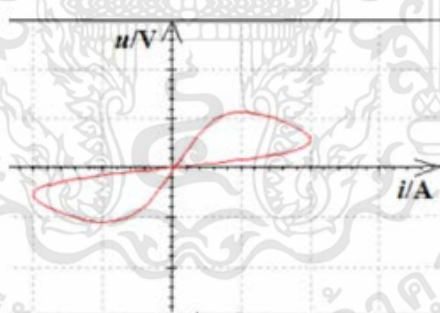
จากงานวิจัยของบริษัท HP ประสบผลสำเร็จในการศึกษาการสร้างเมมรีสเตอร์บนพื้นฐานของโลหะและโลหะออกไซด์ด้วยนาโนเทคโนโลยี ในปีค.ศ. 2008 และได้มีการสร้างโมเดลในการคำนวณทางคณิตศาสตร์ของเมมรีสเตอร์ จากนั้นมาก็ได้มีการศึกษาอย่างกว้างขวาง แต่อย่างไรก็ตามวงจรที่เกี่ยวข้องกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมมรีสเตอร์นั้นค่อนข้างจะยุ่งยากเนื่องจากความสัมพันธ์ของกระแสกับแรงดัน (Voltage-Current Relation:VCR) ที่มีฟังก์ชันหลายตัวแปรด้วยกัน ซึ่งเป็นปัญหาให้กับนักวิจัยต่างที่ต้องการศึกษาวิเคราะห์ ดังนั้นในงานวิจัยนี้ต้องการที่จะศึกษาเพื่ออธิบายการเปลี่ยนแปลงองค์ประกอบของเมมรีสเตอร์ด้วยการใช้การวิเคราะห์วงจรไฟฟ้าที่เกี่ยวข้องกับวงจรจำลองเมมรีสเตอร์ [27] ได้ด้วยโปรแกรมซอฟต์แวร์มัลติซิม (Multisim software) โดยการเปลี่ยนแปลงชนิดของอุปกรณ์ทางไฟฟ้าด้วยการใช้หลักพื้นฐานการของแมปปิง (Mapping) และทฤษฎีวงจรไฟฟ้า ด้วยประสิทธิภาพของเงื่อนไขพารามิเตอร์ที่กำหนดให้ในการวิเคราะห์วงจรไฟฟ้าตามเงื่อนไขของวงจรสมมูลย์สามารถอธิบายด้วยแบบจำลองการดังแสดงรูปที่ 2.6 ได้ ใช้แบบจำลองเพื่ออธิบายความสัมพันธ์ของกระแสแรงดันไฟฟ้า (Voltage-Current Relation:VCR) ในอุปกรณ์ของเมมรีสเตอร์ซึ่งมีความสัมพันธ์ของฟลักซ์สนามแม่เหล็กและประจุไฟฟ้า และสามารถที่จะแสดงความสัมพันธ์ของฮิสเตอร์ซิสระหว่างกระแสกับแรงดันของวงจรสมมูลย์เมมรีสเตอร์ ดังแสดงในรูปที่ 2.7

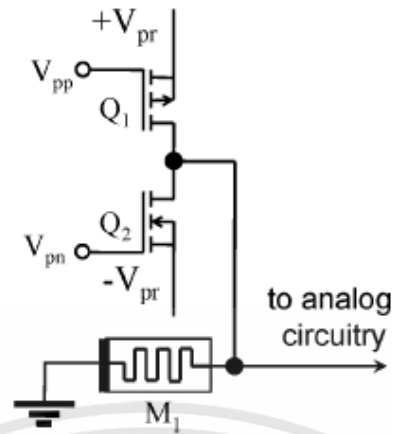


รูปที่ 2.6 วงจรจำลองการเปลี่ยนแปลงในอุปกรณ์เมมรีสเตอร์ [27]

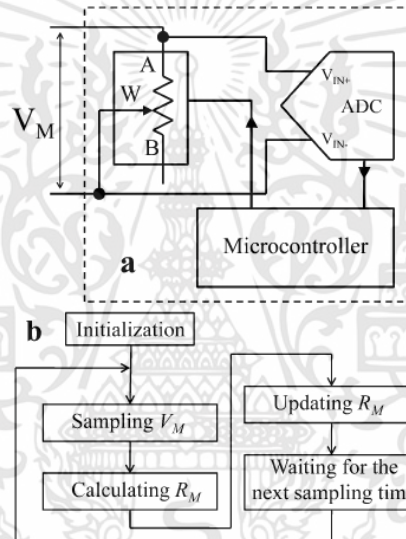


รูปที่ 2.7 ความสัมพันธ์ของกระแสและแรงดันของวงจรสมมูลย์เมมรีสเตอร์ [27]

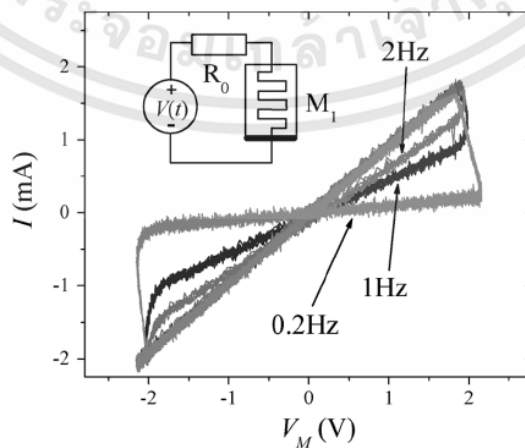
ส่วนโมเดลสำหรับเมมรีสเตอร์ [40] ได้แสดงถึงการใช้เมมรีสเตอร์ที่ลักษณะเป็นตัวต้านทานกับความจำโดยใช้วงจรแอนะล็อกในการจำลองการทำงาน ซึ่งได้เสนอแนวความคิดในการออกแบบวงจรปรับค่าแรงดัน ดังแสดงในรูปที่ 2.3 ที่มีการจ่ายค่าแรงดันค่าต่ำๆกับตัวอุปกรณ์ต่างๆทางไฟฟ้าในขณะที่เป็นวงจรแบบแอนะล็อก และการให้แรงดันค่าสูงกับสถานะที่เป็นเมมรีสเตอร์



รูปที่ 2.8 วงจรปรับค่าแรงดันที่ประกอบด้วยเมมริสเตอร์และทรานซิสเตอร์ [40]



รูปที่ 2.9 ส่วน (a) จะเป็นวงจรจำลองโปรแกรมการควบคุมสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล และ ส่วน (b) เป็นอัลกอริธึมที่ใช้ในการจำลองการทำงานของเมมริสเตอร์ [40]



รูปที่ 2.10 ความสัมพันธ์ฮิสเตอร์รีซิสทีฟของวงจรจำลองเมมริสเตอร์ระหว่างกระแสกับแรงดันไฟฟ้า [40]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขั้นตอนดังกล่าวเพื่อศึกษาแสดงให้ทราบด้วยการทดลองสถานะของเมมรีสเตอร์ที่ไม่เป็นเพียงแค่การมีเปลี่ยนแปลงสภาวะอย่างแอนะล็อกเท่านั้น ในการออกแบบการทดลองนี้ได้ทำการออกแบบโปรแกรมการทำงานแบบแอนะล็อกหลายอย่างเพื่อทำการศึกษาวงจรจำลองเมมรีสเตอร์ที่อยู่บนพื้นฐานของค่าที่อยู่ในสถานะค่าเริ่มต้นของอัตราขยายกระแส และความถี่ โดยที่การทำงานของกรออกแบบด้วยสถานะแรงดันต่ำที่อยู่ในโหมดแอนะล็อกและให้แรงดันสูงจะเป็นการศึกษาสถานะของเมมรีสเตอร์ โดยการทำงานจะอยู่ในลักษณะที่ใกล้เคียงกับการเปลี่ยนแปลงค่าทางดิจิทัลซึ่งมีลักษณะการทำงานของระบบวงจรหน่วยความจำ ดังรูปที่ 2.8 วงจรจำลองโปรแกรมการควบคุมสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลและรูปที่ 2.9 แสดงอัลกอริธึมที่ใช้ในการจำลองการทำงานของเมมรีสเตอร์ และมีความสัมพันธ์ของแรงดันและกระแส ดังแสดงในรูปที่ 2.10



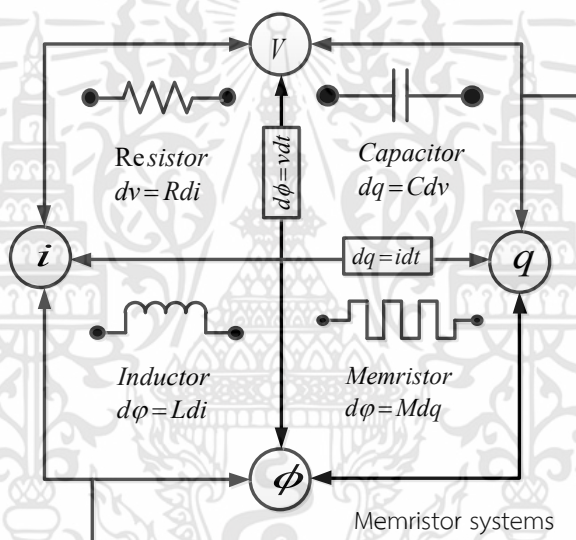
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจรจำลองตัวต้านทานจดจำ

3.1 การจำลองวงจรจำลองตัวต้านทานจดจำ

จากการวิเคราะห์ท่วงจรทางไฟฟ้าสมัยใหม่ [13] ได้นำเสนอองค์ประกอบทางไฟฟ้าพื้นฐาน 4 ชนิด ได้แก่ กระแสไฟฟ้า (i) แรงดัน (v) ประจุ (q) และฟลักซ์แม่เหล็ก (ϕ) ดังอธิบายไว้ในรูปที่ 3.1 โดยมีท่วงจรความต้านทานจดจำ (เมมริสเตอร์) ที่มีค่าความต้านทานจดจำ (Memristance: M) โดยมีความสัมพันธ์การทำงานระหว่างประจุและฟลักซ์แม่เหล็ก ดังแสดงเป็น $d\phi = Mdq$ ซึ่งมีนิยามทางคณิตศาสตร์พื้นฐานของวงจร เมมริสเตอร์ ที่ควบคุมกระแสสำหรับการวิเคราะห์ท่วงจรได้ โดยแสดงในรูป $v = R(w)i$ และ $\frac{dw}{dt}(i)$ โดยที่ w เป็นตัวแปรสถานะและ R เป็นความต้านทานทั่วไป



รูปที่ 3.1 องค์ประกอบวงจรไฟฟ้าพื้นฐานแบบสองขั้ว

จากรูปที่ 3.1 แสดงองค์ประกอบของเมมริสเตอร์ วงจรไฟฟ้าพื้นฐานแบบสองขั้ว 4 ชนิด ได้แก่ ตัวต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำ และตัวต้านทานจดจำ [22] พิล์มบางชนิดสารกึ่งตัวนำที่มีความหนา ประกบระหว่างหน้าสัมผัสโลหะ 2 ด้านโดยพิจารณาจากรูปที่ 3.2 ความต้านทานรวมจะกำหนดด้วยตัวต้านทาน 2 ตัวที่เชื่อมต่อบนุกรมซึ่งความต้านทานจะกำหนดจากความยาวของอุปกรณ์ อย่างไรก็ตามฟิล์มบางชนิดสารกึ่งตัวนำมีบริเวณที่มีสารเจือปนในระดับสูงซึ่งมีความต้านทานต่ำ (R_{on}) โดยมีส่วนที่เหลือจะมีความเข้มข้นเจือปนใกล้เคียงค่าศูนย์ และมีความต้านทาน R_{off} ที่สูงขึ้น ค่าแรงดันไบแอสภายนอกกำหนดให้เป็น $v(t)$ ทั้งอุปกรณ์จะย้ายขอบเขตระหว่างบริเวณทั้งสองที่เกิดจากการเจือปนด้วยประจุ w เป็นพื้นที่การโดปในไททานเนียมไดออกไซด์ และ D คือความหนาของฟิล์มที่แซนวิช ดังแสดงในสมการ

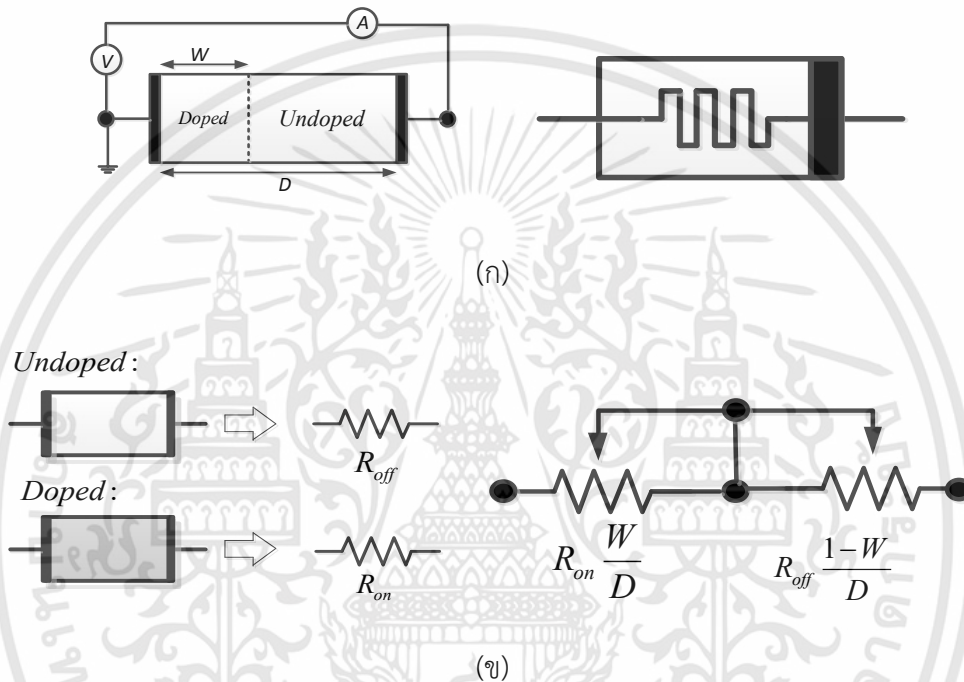
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v(t) = \left\{ R_{on} \frac{w(t)}{D} + R_{off} \left(1 - \frac{w(t)}{D} \right) \right\} i(t) \tag{3.1}$$

$$\frac{dw(t)}{dt} = \mu \frac{R_{on}}{D} i(t) \tag{3.2}$$

และ ค่า $w(t)$ สามารถคำนวณ ได้จากสมการที่ (3.3)

$$w(t) = \mu_v \frac{R_{on}}{D} q(t) \tag{3.3}$$



รูปที่ 3.2 แบบจำลองความต้านทานแปรผันแบบคู่สำหรับวงจรความต้านทานจดจำ

(ก) โครงสร้างและสัญลักษณ์ของวงจรความต้านทานจดจำ และ (ข) ไดอะแกรมด้วยวงจรสมมูลอย่างง่าย

เมื่อแทนที่สมการ (3.3) ลงในสมการ (3.1) จะสามารถหาค่าความต้านทานจดจำ เมื่อ $R_{ON} = R_{OFF}$ ดังสมการที่ (3.4) ดังนี้

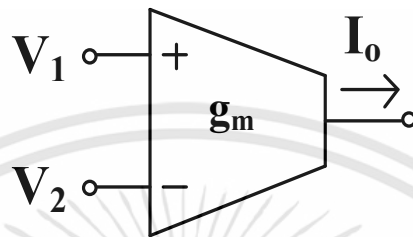
$$M(g) = R_{off} \left(1 - \frac{\mu_v R_{on}}{D^2} \right) g(t) \tag{3.4}$$

โดยที่ระยะเวลา (q) เป็นการสนับสนุนที่สำคัญต่อค่าความต้านทานจดจำ จะมีขนาดใหญ่ขึ้นด้วยการเคลื่อนที่ที่มีการเจือปนสูง และมีความหนาของฟิล์มชนิดสารกึ่งตัวนำขนาดเล็ก (D) ตามลำดับ

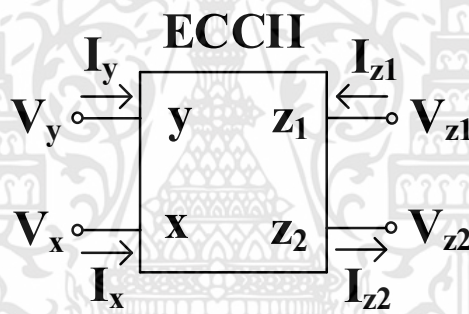
3.2 วงจรสายพานกระแสรุ่นที่ 2 ปรับตัวทางอิเล็กทรอนิกส์ด้วยวงจรขยายทรานคอนดักแตนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

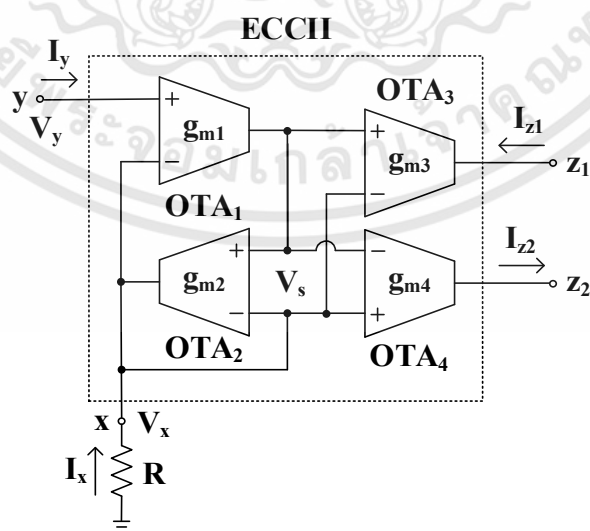
วงจรสายพานกระแสรุ่นที่ 2 ปรับตัวทางอิเล็กทรอนิกส์ด้วยวงจรขยายทรานคอนดักแทนซ์ ที่สร้างจากวงจรขยายทรานคอนดักแทนซ์ (OTA) ซึ่งเป็นอุปกรณ์ที่ใช้งานที่สำคัญที่ใช้ในการรับรู้แรงจลนและแรงดันและกระแส โดยวงจรที่ใช้ OTA สามารถทดสอบได้ทั้งการจำลองและการทดลองด้วยบอร์ดทดลอง โดยมีสัญลักษณ์ของวงจร OTA แสดงในรูปที่ 3.3 สามารถอธิบายคุณสมบัติในทางอุดมคติได้จาก $I_o = g_m(V_1 - V_2)$ โดยที่กระแสที่ไหลออกจาก g_m จะเป็นค่าความนำโดยที่ V_1 และ V_2 เป็นแรงดันอินพุทที่ไหลเข้าขั้วบวกและขั้วลบ



รูปที่ 3.3 สัญลักษณ์ของวงจร OTA



รูปที่ 3.4 สัญลักษณ์ของวงจร ECCII



รูปที่ 3.5 การสร้างวงจร OTA สำหรับ ECCII

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์ของวงจรสายพานกระแสรุ่นที่ 2 ปรับตัวทางอิเล็กทรอนิกส์ด้วยวงจรขยายทรานคอนดักเตอร์ (ECCII) แสดงในรูปที่ 3.4 และสามารถอธิบายลักษณะอุดมคติได้ ดังสมการที่ (3.5)

$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm k & 0 \end{bmatrix} \begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} \tag{3.5}$$

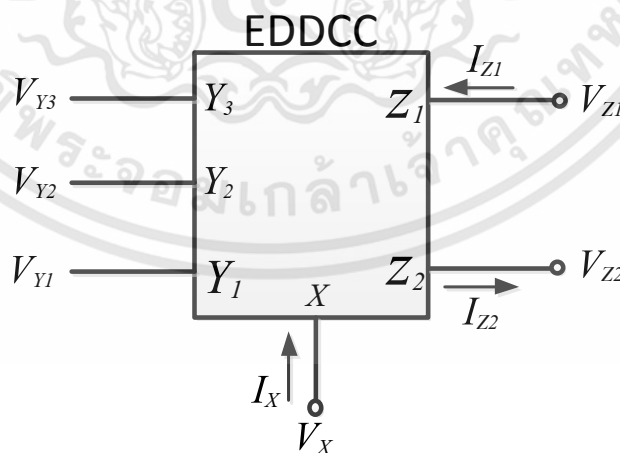
วงจร ECCII มีอัตราขยายแรงดันเอกภาพ (unity voltage gain) ระหว่างขั้ว y และ x และมีอัตราขยายกระแส (k) ระหว่างขั้ว z₁ และ z₂ โดยการใช้วงจร OTA สำหรับวงจร ECCII สามารถแสดงในรูปที่ 3.5 เป็นการวิเคราะห์ความสัมพันธ์ระหว่าง V_x และ V_y สามารถแสดงได้เป็น

$$V_x = \frac{g_{m1}g_{m2}Y_{in}R}{1+g_{m1}g_{m2}Y_{in}R} V_y \tag{3.6}$$

โดยที่ g_{m1} และ g_{m2} เป็นอัตราขยายที่ได้จากการแปลงค่าของ OTA₁ และ OTA₂ ตามลำดับ ส่วน R เป็นตัวต้านทานที่กำหนดและ r_{in} เป็นความต้านทานอินพุตสัญญาณขนาดเล็กของ OTA₂

3.3 วงจรสายพานกระแสชนิดอินพุท

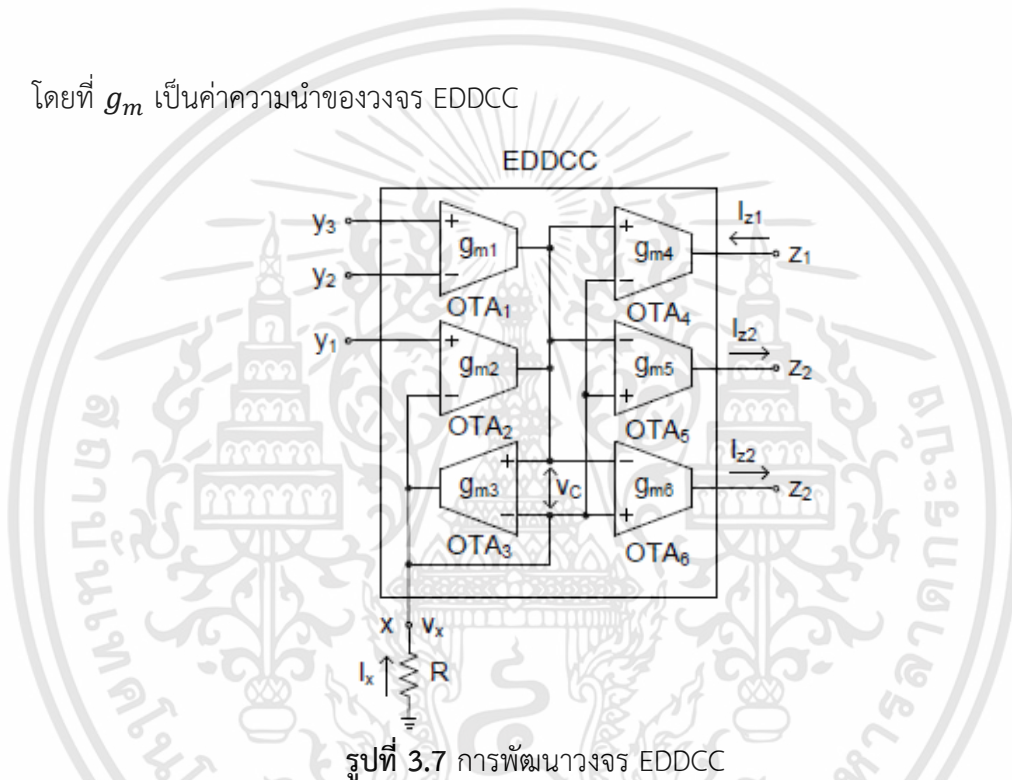
วงจรสายพานกระแสชนิดอินพุทแตกต่าง ที่สามารถปรับอัตราขยายกระแสที่ปรับได้ทางอิเล็กทรอนิกส์ด้วยวงจรขยายทรานคอนดักเตอร์ วงจรสายพานกระแสชนิดอินพุทแตกต่างที่สามารถปรับอัตราขยายกระแสที่ปรับได้ทางอิเล็กทรอนิกส์ด้วยวงจรขยายทรานคอนดักเตอร์ (OTA-based Electronically Tunable Differential Difference Current Conveyor: EDDCC) จะมีความสัมพันธ์ดังแสดงในรูปที่ 3.6 และในสมการที่ (3.7)



รูปที่ 3.6 สัญลักษณ์วงจร EDDCC

$$\begin{pmatrix} V_x \\ I_{y1} \\ I_{y2} \\ I_{y3} \\ I_{z1} \\ I_{z2} \end{pmatrix} = \begin{pmatrix} 1 & -1 & 1 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & k_1 \\ 0 & 0 & 0 & -k_2 \end{pmatrix} \begin{pmatrix} V_{y1} \\ V_{y2} \\ V_{y3} \\ I_x \end{pmatrix} \quad (3.7)$$

โดยที่ g_m เป็นค่าความนำของวงจร EDDCC



รูปที่ 3.7 การพัฒนางจร EDDCC

การนำวงจร OTA ไปใช้งานสำหรับวงจร EDDCC โดยใช้ CMOS นั้นแสดงในรูปที่ 3.7 วงจร OTA₁ ถึง OTA₃ ใช้เพื่อจัดเตรียมวงจรขยายชนิดอินพุตที่แตกต่างกัน (Differential Difference Amplifier: DDA) สำหรับการวิเคราะห์ค่าความสัมพันธ์ของแรงดันไฟฟ้า V_x , V_{y1} , V_{y2} และ V_{y3} สามารถแสดงดังสมการที่ (3.8)

$$V_y = \frac{(g_{m2}g_{m3}Y_{in}R)V_{y1}(g_{m1}g_{m3}Y_{in}R)V_{y2} + (g_{m1}g_{m3}Y_{in}R)V_{y3}}{1 + (g_{m3}R + g_{m2}R + g_{m3}Y_{in}R)} \quad (3.8)$$

จากสมการที่ (3.8) ให้ g_{mi} เป็นอัตราขยายที่ได้จากการแปลงสภาพของวงจร OTA_i และ R เป็นตัวต้านทานที่กำหนด และ r_{in} เป็นตัวต้านทานอินพุตในกรณีทีวิเคราะห์สัญญาณขนาดเล็กของวงจร OTA₃ ที่มีความต้านทานสัมพันธ์ระหว่างขั้ว V_x , Y_1 , Y_2 และ Y_3 สำหรับวงจร EDDCC นั้นดังสมการที่ (3.9)

$$V_x \approx V_{y1} - V_{y2} + V_{y3} \quad (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.7 สมมติให้ I_x เท่ากับเอาต์พุตของวงจร OTA₃ หาได้จากสมการที่ (3.10) สมการที่ (3.11) และ สมการที่ (3.12)

$$I_x = g_{m3}(V_c - V_x) \quad (3.10)$$

$$I_{z1} = g_{m4}(V_c - V_x) \quad (3.11)$$

$$I_{z2} = g_{m5}(V_c - V_x) \quad (3.12)$$

แทนค่าสมการที่ (3.11) และ สมการที่ (3.12) ลงใน (3.11) และ สมการที่ (3.9) ดังแสดงในสมการที่ (3.13) และ (3.14)

$$V_c - V_x = \frac{I_{z1}}{g_{m4}} \quad (3.13)$$

$$V_c - V_x = \frac{I_{z2}}{g_{m5}} \quad (3.14)$$

ผลลัพธ์ที่ได้จะเป็นดังแสดงในสมการที่ (3.15)

$$V_c - V_x = \frac{I_x}{g_{m3}} \quad (3.15)$$

จากรูปที่ 3.7 ให้กระแส I_x เท่ากับกระแสเอาต์พุตของ OTA₃ กำหนดให้ $I_x = g_{m3}(V_c - V_x)$ ในขณะที่กระแส I_{z1} และ I_{z2} หาได้จาก $I_{z1} = g_{m4}(V_c - V_x)$ และ $I_{z2} = g_{m5}(V_c - V_x)$ แทน $V_c - V_x = I_{z1}/g_{m4}$ และ $V_c - V_x = -I_{z2}/g_{m5}$ ลงใน $V_c - V_x = I_x/g_{m3}$ สามารถเขียน I_{z1} และ I_{z2} ใหม่ได้ดังสมการที่ (3.16) และ (3.17)

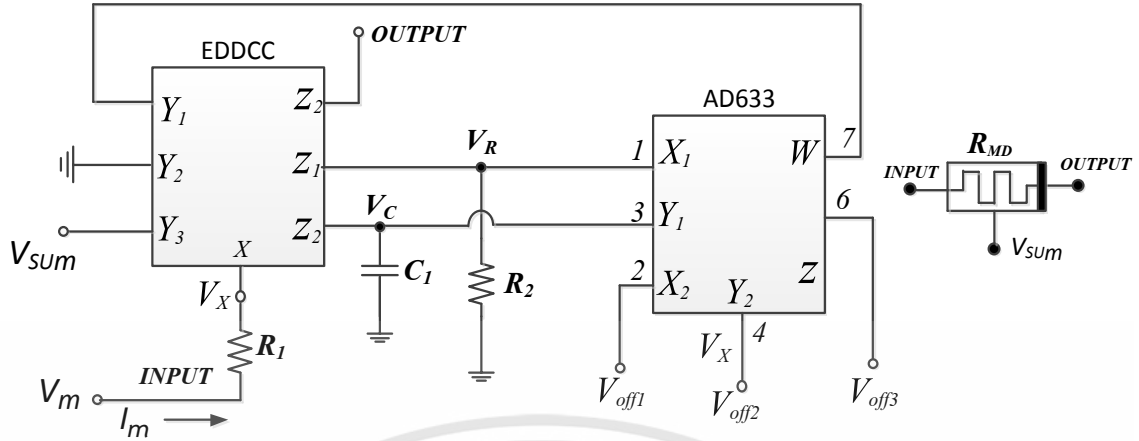
$$I_{z1} = \left(\frac{g_{m4}}{g_{m3}}\right) I_x = k_1 I_x \quad (3.16)$$

$$I_{z2} = \left(\frac{g_{m5}}{g_{m3}}\right) I_x = k_2 I_x \quad (3.17)$$

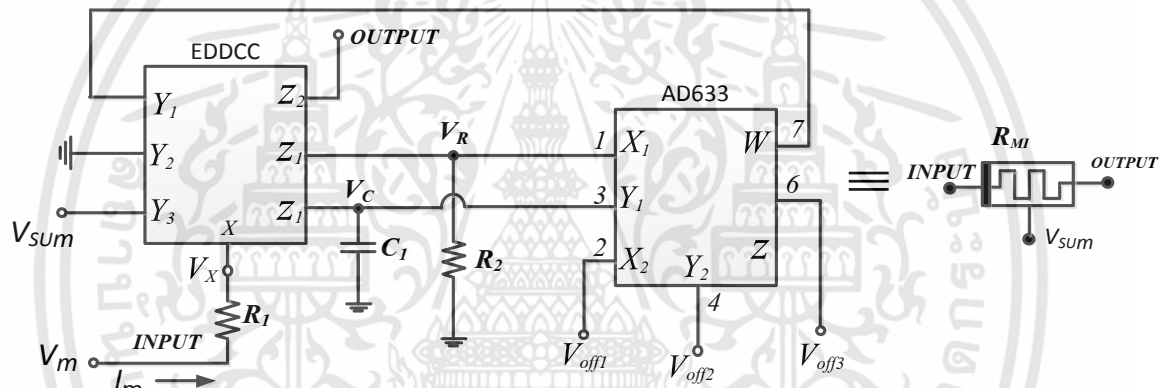
มีข้อสังเกตว่า k_1 และ k_2 เป็นอัตราขยายกระแสของวงจร EDDCC ที่ควบคุมโดย g_{m4} และ g_{m5} โดยอัตราขยายกระแสของ I_{z1} และ I_{z2} ถูกขยายด้วย k_1 และ k_2 ที่แตกต่างจากวงจร DDCC ทั่วไป ดังนั้นอัตราขยาย k_1 และ k_2 จึงถูกควบคุมได้อย่างอิสระ

สำหรับวงจร EDDCC ที่มีหลายเอาต์พุต สามารถสร้างได้ง่าย ๆ ได้โดยการเพิ่มความเป็นบวก (plus-type) ต่อเข้ากับวงจร EDDCC ซึ่งเมื่อเพิ่มการเชื่อมต่อของ OTA₁ เข้ากับ OTA₄ ด้วยการต่ออินพุตแบบขนานของวงจร OTA₁ จะเพิ่มขึ้นโดยเชื่อมต่อกับวงจร OTA₅ ความสัมพันธ์ของแรงดันและกระแสแสดงได้ดังนี้ สมการที่ (3.18)

$$V(t) = \left\{ \left(R_{on} \frac{w(t)}{D} \right) + R_{off} \left(1 - \frac{w(t)}{D} \right) \right\} i(t) \quad (3.18)$$



รูปที่ 3.8 วงจรจำลองเมมริสเตอร์แบบลดลง



รูปที่ 3.9 วงจรจำลองเมมริสเตอร์แบบเพิ่มขึ้น

โดยที่ D และ W เป็นความหนาของพื้นที่และพื้นที่เจือปนในตัวต้านทานจดจำ R_{on} และ R_{off} เป็นความต้านทานต่อบริเวณที่มีความเข้มข้นของอะตอมสารเจือสูงและอะตอมสารเจือต่ำ วงจรจำลอง เมมริสเตอร์ ได้นำเสนอในรูปที่ 3.8 และ รูปที่ 3.9 มีตัวต้านทาน 2 ตัวและมีตัวเก็บประจุ 1 ตัวและตัวคูณแบบแอนะล็อก 1 ตัวซึ่งใช้แนวคิดตามมาใน [17] โดยการใช้การวิเคราะห์ที่สำคัญดังแสดงในสมการที่ (3.19), สมการที่ (3.20) และสมการที่ (2.21)

$$V_m = i_m R_1 + V_x \tag{3.19}$$

$$V_c = \left(\frac{k_2}{R_1 C_1} \right) \int_0^1 V_m(\tau) d\tau \tag{3.20}$$

$$V_R = -k_1 R_2 + I_m \tag{3.21}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณลักษณะของอินพุทและเอาต์พุทของไอซี AD633 สามารถหาค่าแรงดัน V_{mul} ได้จาก

$$V_{mul} = \left(\frac{k_1 k_2 R_2}{10 R_1 C_1} \right) \int_0^1 V_m(\tau) d\tau \quad (3.22)$$

โดยใช้คุณสมบัติอินพุทของวงจร EDDCC จะได้ดังสมการที่ (3.23) และ สมการที่ (3.24)

$$V_x = V_{y1} - V_{y2} + V_{y3} \quad (3.23)$$

$$V_m = i_m R_1 \left(i_m \frac{k_1 k_2 R_2}{10 R_1 C_1} \right) \int V_m(\tau) dt + V_{sum} \quad (3.24)$$

จากสมการที่ (3.22) สมมติว่า V_{sum} มีค่าเข้าใกล้ศูนย์และพลาซึไฟฟ้า $\phi_m(t)$ คำนวณได้จากสมการที่ (3.25)

$$\phi_m(t) = \int_0^1 V_m(t) dt \quad (3.25)$$

นำสมการที่ (3.22) มาจัดรูปใหม่ จะได้เป็นดังสมการที่ (3.26)

$$\frac{v_m}{i_m} = R_1 - \left(\frac{k_1 k_2 R_2}{10 R_1 C_1} \right) \phi_m(t) = M(\phi(t)) \quad (3.26)$$

โดยที่ $M(\phi(t))$ คือความต้านทานของวงจร เอมริสเตอร์ ที่ใช้ k_1 และ k_2 เพื่อชดเชยค่าคงที่อัตรา การลดทอนที่ 1 ต่อ 10 จากวงจรทวิคูณ นอกจากนี้สามารถชดเชยผลกระทบจากความถี่ที่ส่งผลกระทบต่อพฤติกรรมการวนซ้ำของฮิตเตอร์รีซิสลูปของวงจร เอมริสเตอร์

จากรูปที่ 3.8 และ 3.9 พบว่าแรงดันไฟฟ้ากระแสตรง V_{off1} , V_{off2} , V_{off3} เป็นกระแสไบแอส เพื่อปรับปรุงพฤติกรรมของฮิตเตอร์รีซิสลูป ที่ถูกบีบจนมีลักษณะผิดเพี้ยน ซึ่งแรงดันไฟฟ้า V_{off1} และ V_{off2} ถูกนำมาใช้เพื่อปรับความสมมาตรระหว่างค่าบวกและค่าลบของฮิตเตอร์รีซิส ลูปที่ถูกบีบ จากนั้น V_{off3} จะถูกกำหนดเพื่อปรับแต่งการตัดข้ามศูนย์ (zero-crossing) ของฮิตเตอร์รีซิส ลูปที่ถูกบีบอัด

สมมติว่า $v_{in}(t) = v_p \sin(\omega t)$ เป็นอินพุทของรูปที่ 3.8 โดยที่ $\omega = 2\pi f$ และ V_p เป็นขนาดแอมพลิจูดของสัญญาณแรงดันไฟฟ้า ดังสมการที่ (3.27)

$$\phi_m(t) = -\left(\frac{V_p}{\omega} \right) \cos(\omega t) = \left(\frac{V_p}{\omega} \right) \cos(\omega - t) \quad (3.27)$$

และแทนค่า $\phi_m(t)$ ในสมการที่ (3.27) จะได้ค่าความต้านทานจดจำ ดังแสดงในสมการ (3.28)

$$M(\phi_m(t)) = R_1 \left(\frac{k_1 k_2 R_2}{10 R_1 \omega C_2} \cos(\omega t - \pi) \right) \quad (3.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.28) ค่าความต้านทานจดจำ (Memristance) ประกอบด้วยตัวต้านทานแบบแปรผันตามเส้นตรงและตัวต้านทานแบบไม่แปรผันตามเวลาเชิงเส้น หากความถี่เพิ่มขึ้นเวลาเชิงเส้น

ตัวต้านทานไม่แปรผัน (invariant) จะลดลง หมายความว่าความถี่ที่ขึ้นต่อกันนั้นจะถูกบีบให้วน hysteresis ลูป จนกระทั่งเมื่อความถี่เพิ่มขึ้น ในเวลาแก้ไขตัวต้านทานแปรปรวนเชิงเส้นทางเวลาจะถูกอัปเดตด้วยความถี่ที่ปรับปรุงวงจรนี้โดยการปรับ k_1 และ k_2 ตามลำดับ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

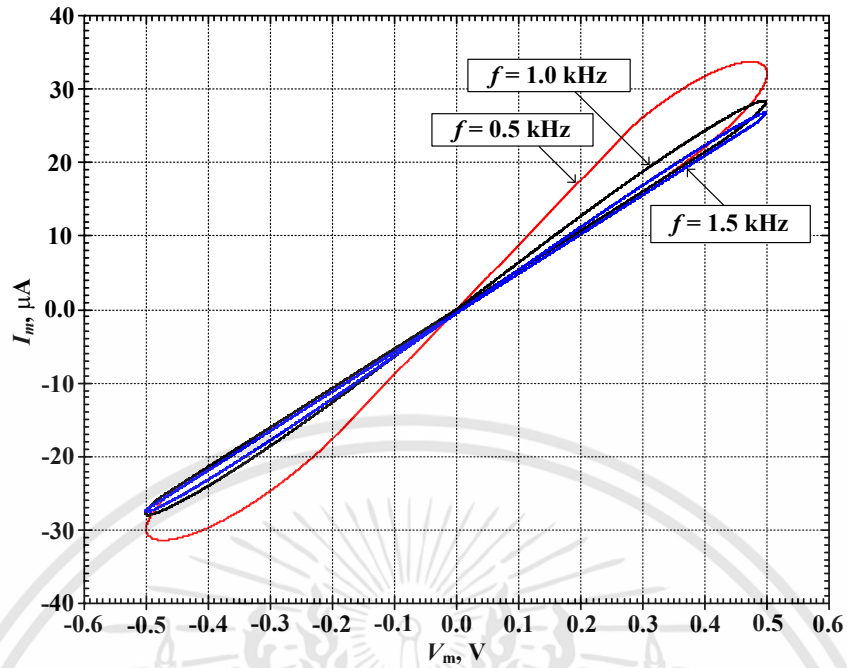
4.1 การจำลองวงจรการทำงาน

ในตรวจสอบการจำลองการทำงานของวงจรจำลอง เมมริสเตอร์ ที่นำเสนอ ดังแสดงในรูปที่ 3.7 – รูปที่ 3.9 ได้จำลองการทำงานโดยใช้โปรแกรม PSPICE ด้วยวงจร ECCII จากรูปที่ 3.6 และวงจร EDDCC จากรูปที่ 3.7 ถูกนำมาสร้างโดยใช้ไอซี LM13600N ที่มีวางจำหน่ายทั่วไป [57] และไอซี AD633 [56] ที่ใช้ในเชิงพาณิชย์สำหรับตัวคูณแรงดันไฟฟ้า ดังแสดงในตารางที่ 4.1

ตารางที่ 4.1 แสดงค่าพารามิเตอร์ของ ECCII และ EDDCC

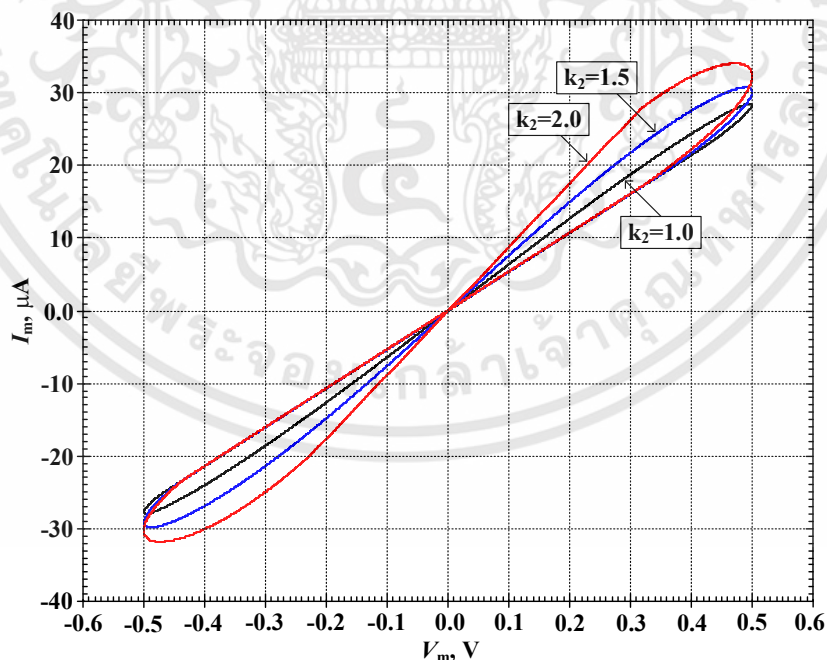
พารามิเตอร์	ค่าที่ใช้งาน
Supply voltage	± 10 V
OTA	LM13600N
V_x/V_y and V_x/V_{y1} (no load)	-0.9 V to 0.9 V
V_x/V_{y2} and V_x/V_{y3} (no load)	-0.1 V to 0.1 V
-3dB bandwidth (V_x/V_{yi}); $i = 1, 2, 3$	7.3 MHz
-3dB bandwidth (I_z/I_x)	11 MHz
$R_{yi}; C_{yi}$; $i = 1, 2, 3$	185 k Ω : 8.4 pF
$R_x; L_x$	17 Ω : 24 μ H
$R_z; C_z$	22 k Ω : 6.12 pF

วงจรจำลอง เมมริสเตอร์ ที่นำเสนอ จะกำหนดอุปกรณ์พาสซีฟให้ $R_1 = 15$ k Ω , $R_2 = 15$ k Ω และ $C_1 = 1$ nF จะได้แรงดัน $V_{off1} = 26$ mV, $V_{off2} = 0$ V, $V_{off3} = -50$ mV จากการจำลองวงจรในรูปที่ 3.8 และรูปที่ 3.9 จะได้ดังรูปที่ 4.1 - รูปที่ 4.6



รูปที่ 4.1 ผลจำลองการบีบอัดเตอร์รีซิสทีฟของวงจรจำลองเมมริสเตอร์
ที่ 1 kHz และอัตราขยายต่างกัน k ($k=k_1=k_2$)

จากรูปที่ 4.1 แสดงผลการจำลองความสัมพันธ์ของ $v_m(t)$ กับ $i_m(t)$ ในรูปที่ 3.8 สำหรับ k ($k=k_1=k_2$) ที่ความถี่ 1 kHz และแอมพลิจูดของอินพุต 0.5 Vp (ค่าพีค)

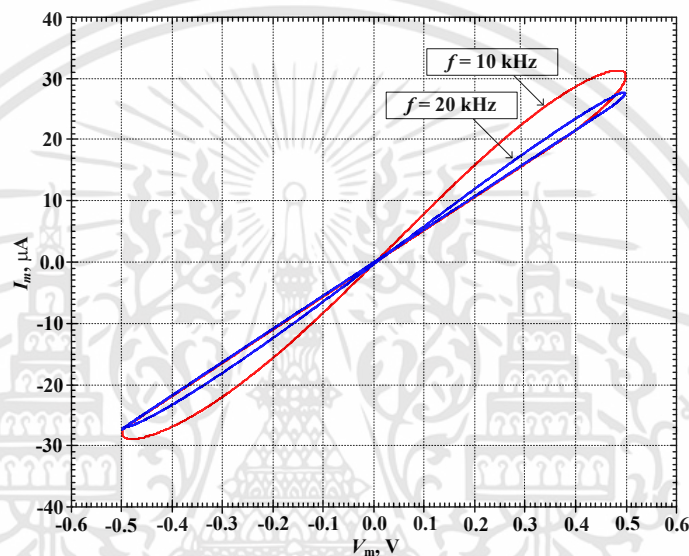


รูปที่ 4.2 ผลจำลองการบีบอัดเตอร์รีซิสทีฟของวงจรจำลองเมมริสเตอร์
ที่ความถี่ $f = 1$ kHz และ $k_1 = 1$ โดยใช้ k_2 ที่มีค่าแตกต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยรูปที่ 4.2 แสดงผลการจำลองความสัมพันธ์ของ $v_m(t)$ กับ $i_m(t)$ ที่สร้างจากวงจรรูปที่ 3.8 ในกรณีที่ความถี่แตกต่างกัน ได้แก่ 0.5 kHz, 0.8 kHz, 1.0 kHz, 1.5 kHz ที่ขนาดแอมพลิจูดของอินพุต เป็น 0.5 V_p (ค่าพีค) และ อัตราขยาย k เท่ากับ 1 ($k_1=k_2=1$)

จากรูปที่ 3.5 และ 3.6 พบว่า ค่าแรงดัน $v_m(t)$ กับกระแส $i_m(t)$ ของ เมมริสเตอร์ จะเปลี่ยนแปลงเมื่อเปลี่ยนแปลงอัตราขยาย k_1 และ k_2 และความถี่ จากผลการทดลองเป็นการยืนยันโดยสมการที่ (3.18) กรณีที่เพิ่มอัตราขยายกระแส พบว่าออฟเซตไฟกระแสตรงจะเพิ่มไปยัง I_{z1} และ I_{z2} ซึ่งเป็นผลมาจากจุดบิที่ออกจากจุดต้นเริ่มต้น



รูปที่ 4.3 ผลจำลองการบิฮิสเตอร์รีซิสลูป ของวงจรจำลองเมมริสเตอร์ เมื่อ $k_1 = 1$ โดยใช้ $k_2 = 20$ ที่ความถี่ 10 kHz และ 20 kHz

ไอซี LM13600N ที่มีจำหน่ายในเชิงพาณิชย์นั้น จะจ่ายแรงดันไฟฟ้ากระแสตรงที่มีค่าแรงดัน ± 10 V ในขณะที่ OTA₁ และ OTA₂ สำหรับวงจร ECCII ในรูปที่ 3.8 และวงจร OTA₁, OTA₂, OTA₃ สำหรับวงจร EDDCC ในรูปที่ 3.5 นั้นมีการไบอัสจากแหล่งจ่ายกระแสตรงที่ค่ากระแส 50 μ A โดยแสดงค่าพารามิเตอร์ของแบบจำลองของวงจร ECCII และวงจร EDDCC แสดงในตารางที่ 4.1

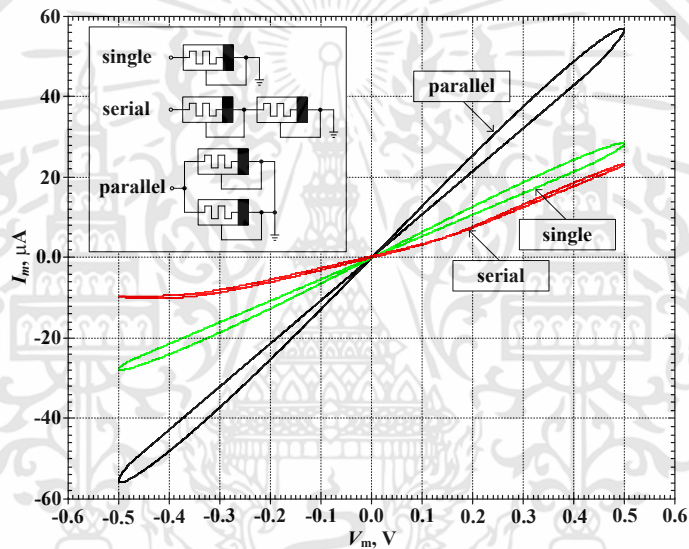
วงจรจำลอง เมมริสเตอร์ ที่ทดลองที่นำเสนอในรูปที่ 3.8 และ 3.9 ได้จำลองโดยใช้ค่าความต้านทานและความจุ ดังนี้ $R_1 = 15$ k Ω , $R_2 = 5$ k Ω และ $C_1 = 1$ nF ในกรณีที่จำลองวงจรจำลอง เมมริสเตอร์ ที่เพิ่มขึ้นที่นำเสนอในรูปที่ 3.8 ควรใช้ค่าความต้านทานต่ำ เช่น $R_1 = 5$ k Ω โดยแรงดันไฟฟ้ากระแสตรง V_{off1} , V_{off2} และ V_{off3} ในรูปที่ 3.9 จะมีค่า 26 mV, 0 V และ -50 mV ตามลำดับและมีอัตราขยายกระแส k_1 มีค่าเป็น 1 ($k_1 = 1$)

รูปที่ 4.1 แสดงฮิสเตอร์รีซิสลูป ที่ขึ้นอยู่กับความถี่ในการจำลองในความสัมพันธ์ของกระแสแรงดันไฟฟ้าที่สอดคล้องกับความถี่ 0.5, 1.0 และ 1.5 kHz ที่มีความกว้างของสัญญาณคงที่ 0.5 V (สูงสุด) และมีอัตราขยายกระแส $k_2 = 1$ ผลลัพธ์นี้ได้รับการยืนยันว่าเมื่อความกว้างของสัญญาณที่ใช้และค่าคงที่ค่าความจุ โดยวงจรจำลอง เมมริสเตอร์ ที่นำเสนอจะขึ้นอยู่กับความถี่ของแหล่งที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

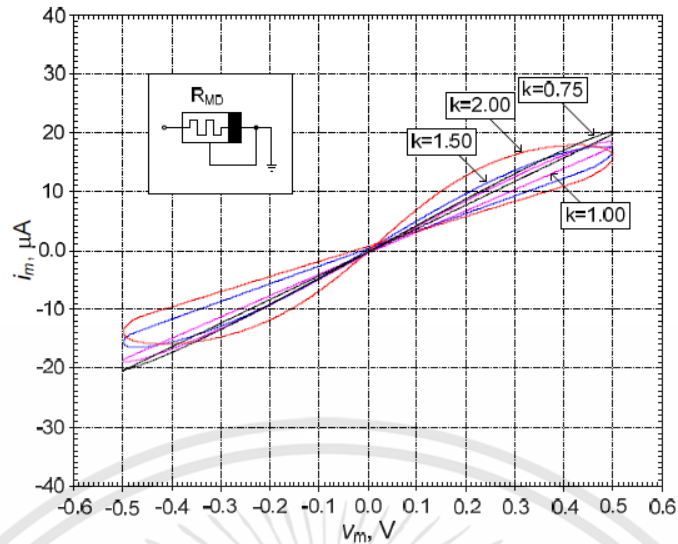
รูปที่ 4.2 แสดงฮิสเตอร์รีซิส ลูปที่ขึ้นอยู่กับความถี่ที่จำลองขึ้นในความสัมพันธ์ของกระแสไฟฟ้ากับแรงดันไฟฟ้าที่สอดคล้องสำหรับอัตราขยายกระแส k_2 ที่ใช้งานเป็น 1.0, 1.5 และ 2.0 ในขณะที่ความถี่ 1 kHz ที่มีความกว้างของสัญญาณคงที่ 0.5 V (สูงสุด) ผลลัพธ์นี้ได้รับการยืนยันว่าลูปฮิสเตอร์รีซิส ที่ขึ้นอยู่กับความถี่ในความสัมพันธ์ของกระแสไฟฟ้าและแรงดันของวงจรที่นำเสนอยังสามารถควบคุมได้โดยการปรับอัตราขยายกระแสของวงจรสายพานลำเลียงกระแสได้

เพื่อยืนยันสมการ (3.17) ว่าการเพิ่มอัตราขยายกระแสของวงจรสายพานลำเลียงโดยพฤติกรรมการวนซ้ำฮิสเตอร์รีซิส ของวงจรจำลอง เมมริสเตอร์ ที่นำเสนอสามารถผลักดันให้ทำงานที่ความถี่สูงขึ้นได้ รูปที่ 4.3 แสดงลูปฮิสเตอร์รีซิส ที่ขึ้นอยู่กับความถี่ที่จำลองขึ้นในความสัมพันธ์ของแรงดันและกระแสไฟฟ้าที่สอดคล้องกับอัตราขยายกระแสเมื่อ $k_2 = 20$ ในกรณีนี้ความถี่ของแหล่งกำเนิดที่ใช้งาน 10 kHz และ 20 kHz ที่มีค่า 0.5 V (สูงสุด) ถูกนำไปใช้และค่าของความจุ C_1 เป็นค่าคงที่ โดนในผลลัพธ์นี้แรงดันไฟฟ้า $V_{off1} = 48$ mV และ $V_{off3} = -40$ mV ถูกนำมาใช้เพื่อให้ได้ปรับพฤติกรรมของลูปฮิสเตอร์รีซิส



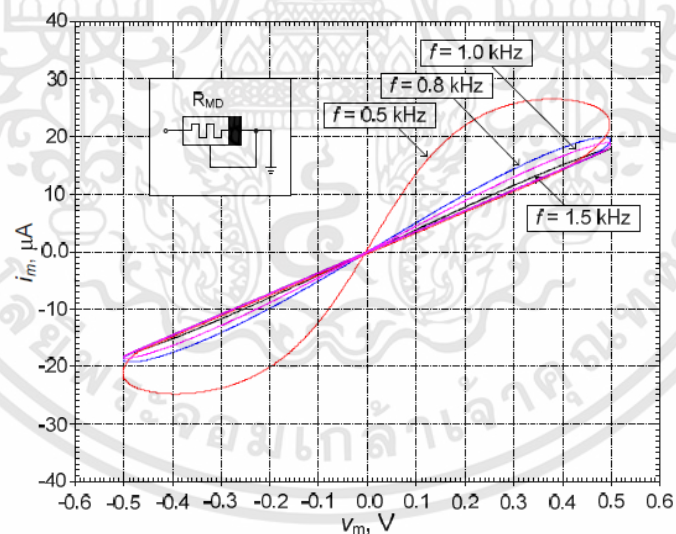
รูปที่ 4.4 จำลองลูปฮิสเตอร์รีซิส ที่ถูกบีบอัด ของวงจรจำลองเมมริสเตอร์ ที่ความถี่ 1 kHz ที่มีการเชื่อมต่อแบบอนุกรมและแบบขนาน

วงจรจำลอง เมมริสเตอร์ ที่ลดลงที่ได้เสนอในรูปที่ 3.8 โดยจำลองการทำงานด้วยค่าของความต้านทานและตัวเก็บประจุมีความคล้ายคลึงกับการจำลองในรูปที่ 3.8 วงจรได้รับการออกแบบมีค่าอัตราขยายกระแสเป็น $k_1 = k_2 = 1$ และรูปที่ 4.4 แสดงห้วงฮิสเตอร์รีซิส ที่ขึ้นอยู่กับความถี่ที่จำลอง โดยพบว่าความสัมพันธ์ระหว่าง $v_m(t)$ กับ $i_m(t)$ สำหรับความถี่ 1 kHz ที่มีความกว้างของสัญญาณที่ใช้ 0.5 V (สูงสุด) คงที่ ผลลัพธ์นี้ได้รับการยืนยันว่าวงจรที่นำเสนอในรูปที่ 3.9 สามารถนำไปใช้กับการเชื่อมต่อแบบอนุกรมและแบบขนานได้



รูปที่ 4.5 ผลจำลองการบีบอัดเทอร์ริซิสมูลของวงจรจำลองเมมริสเตอร์
ที่ 1 kHz และอัตราขยายต่างกัน k ($k=k_1=k_2$)

รูปที่ 4.5 แสดงผลการจำลองความสัมพันธ์ของ $v_m(t)$ กับ $i_m(t)$ ในรูปที่ 3 สำหรับ k ($k=k_1=k_2$) ที่
ความถี่ 1 kHz และแอมพลิจูดของอินพุต 0.5 V (ค่าพีค)

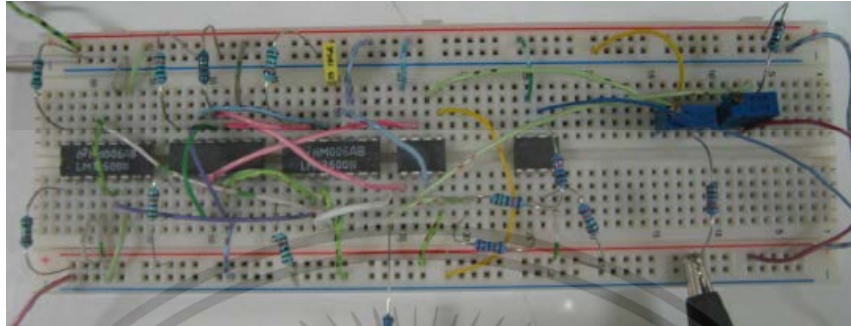


รูปที่ 4.6 ผลจำลองการบีบอัดเทอร์ริซิสมูลของวงจรจำลองเมมริสเตอร์
ที่ความถี่ต่างๆ และอัตราขยายต่างกัน k ($k=k_1=k_2$)

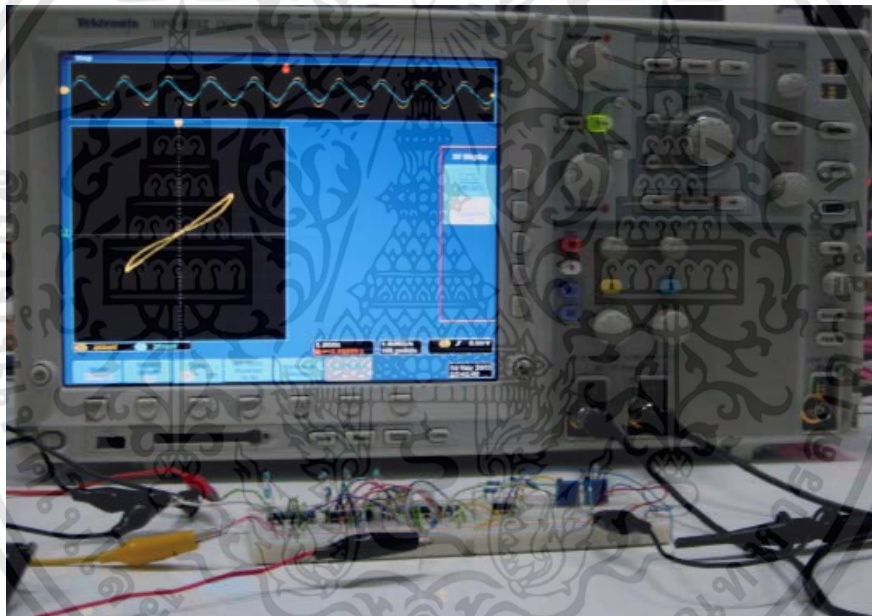
รูปที่ 4.6 ผลการจำลอง ความสัมพันธ์ของ $v_m(t)$ กับ $i_m(t)$ จากรูปที่ 3.8 กรณีที่ความถี่แตกต่างกัน
(0.5 kHz, 0.8 kHz, 1.0 kHz, 1.5 kHz) ที่แอมพลิจูดของอินพุต 0.5 V (ค่าพีค) และ อัตราขยาย k
เท่ากับ 1 ($k_1=k_2=1$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.5 และ 4.6 $v_m(t)$ กับ $i_m(t)$ ของ เมมรีสเตอร์ จะเปลี่ยนแปลง เมื่อเปลี่ยนแปลง อัตราขยาย k_1 และ k_2 และความถี่ จากผลการทดลองเป็นการยืนยันโดย (12) กรณีที่เพิ่มอัตราขยาย กระแส ออฟเซตไฟกระแสตรงจะเพิ่มไปยัง I_{z1} และ I_{z2} ซึ่งเป็นผลมาจากจุดบีบที่ออกจากจุดต้นเริ่มต้น



(ก)



(ข)

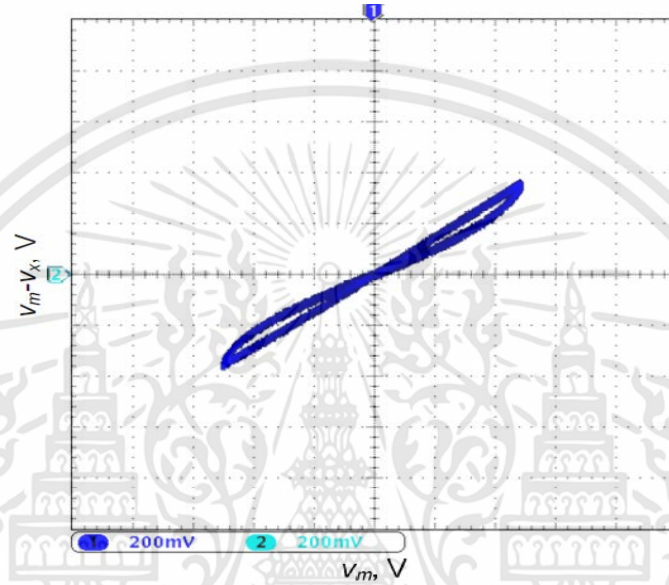
รูปที่ 4.7 การพัฒนางจรจำลองเมมรีสเตอร์

(ก) การต่ออุปกรณ์ของวงจร

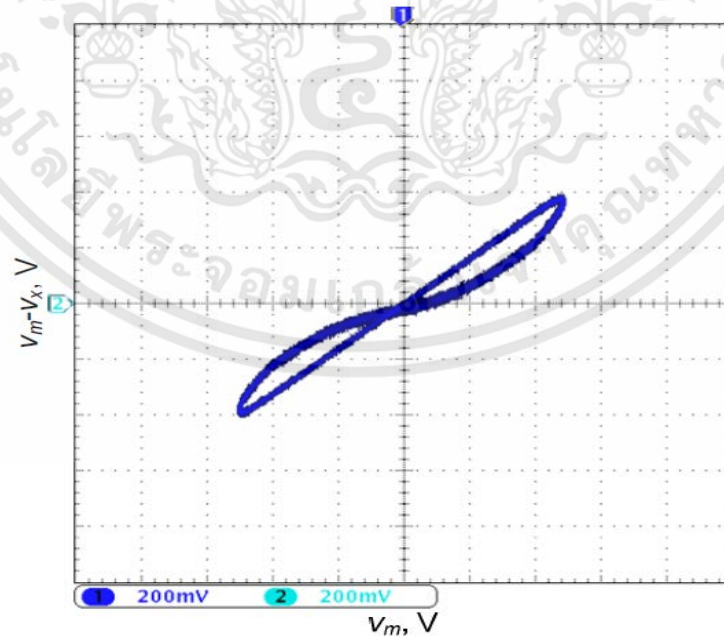
(ข) ผลที่ได้จากการทดลอง

รูปที่ 4.7 แสดงวงจรต้นแบบที่นำเสนอ ค่าพารามิเตอร์ทั้งหมด (อุปกรณ์พาสซีฟ, แหล่งจ่ายไฟ และกระแสไบอัส) เหมือนกับกรณีของการจำลอง จากรูปที่ 3.8 และ 3.9 กระแส i_m ไหลผ่าน R_1 ดังนั้น การบีบฮิสเตอร์รีซิส ลูปกระทำโดยจาก v_m และแรงดันระหว่าง R_1 ($v_m - v_x$) เมื่อวัดแรงดันที่ตัวต้านทาน R_1 ตัวขยายดิฟเฟอเรนเชียล ใช้โอปแอมป์ LF353 และตัวต้านทาน $10\text{ k}\Omega$ แรงดันไบอัส $V_{\text{off}1} = 0\text{ V}$, $V_{\text{off}2} = 26\text{ mV}$, $V_{\text{off}3} = 50\text{ mV}$ ใช้การแบ่งแรงดันประกอบด้วยตัวต้านทาน $100\text{ k}\Omega$ ตัวต้านทานแบบ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปรับค่าได้ 10 k Ω และแหล่งจ่ายไฟฟ้า ± 10 V ผลการทดลองการบีบอัดเทอร์ริซีส ลูปด้วยสัญญาณไซน์ อินพุต 1 kHz และ 0.5 Vp ดังรูปที่ 4.8 ส่วนรูปที่ 4.9 แสดงผลการทดลองการบีบอัดเทอร์ริซีส ลูปด้วย สัญญาณไซน์อินพุต 1 kHz, 0.5 Vp เมื่อเพิ่ม k_1 และ k_2 ($k_1=k_2=2$) รูปที่ 4.10 แสดงผลการทดลองการ บีบอัดเทอร์ริซีส ลูปด้วยสัญญาณไซน์อินพุต 3 kHz, 0.5 Vp เมื่อ k_1 และ k_2 เพิ่มขึ้น ($k_1 = 2$ และ $k_2 = 10$) ในกรณีนี้ใช้ $V_{off1} = 570$ mV และ $V_{off3} = -7.5$ mV เห็นได้ชัดจากรูปที่ 4.9 และ 4.10 ที่ลักษณะ v-i ของการบีบอัดเทอร์ริซีส ลูปสามารถปรับตามอัตราขยายกระแส k ของ EDDCC

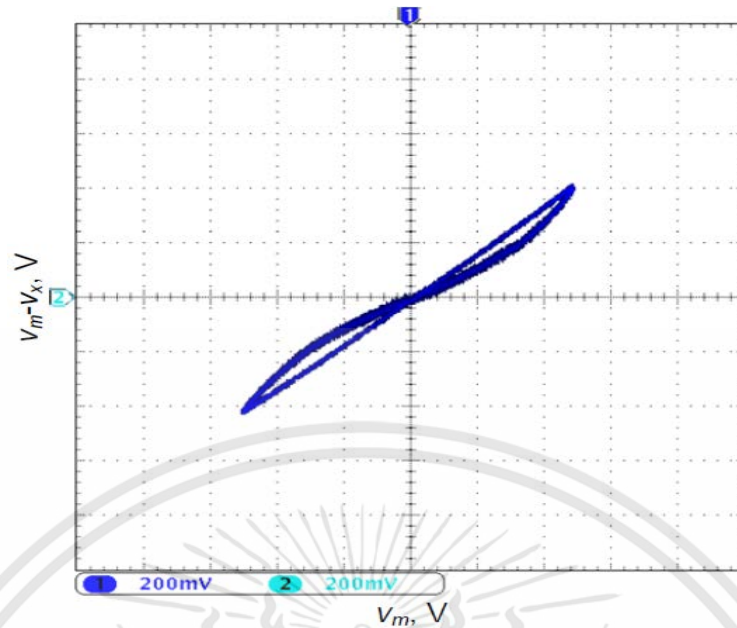


รูปที่ 4.8 ผลการบีบอัดเทอร์ริซีสลูป ของวงจรจำลองเมมริสเตอร์ ที่นำเสนอที่ความถี่ 1 kHz



รูปที่ 4.9 ผลการบีบอัดเทอร์ริซีสลูป ของวงจรจำลองเมมริสเตอร์ ที่นำเสนอที่ความถี่ 1 kHz และให้ k ($k=k_1=k_2 = 2$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 ผลการบีบอัดเตอร์รีซิสลูป ของวงจรจำลอง เมมริสเตอร์ ที่ความถี่ 3 kHz และปรับ $k_1 = 2$ และ $k_2 = 10$

ดังนั้นบทความนี้เสนอวงจรจำลอง เมมริสเตอร์ ที่ใช้ OTA โดยการปรับจูนทางอิเล็กทรอนิกส์ของสายพานลำเลียงกระแสดิฟเฟอเรนเชียลเป็นอุปกรณ์แอคทีฟ วงจรจำลอง เมมริสเตอร์ ที่นำเสนอใช้บอร์ดทดลอง ซึ่งสามารถใช้กับวงจร เมมริสเตอร์ จริง ใช้ทั้งการจำลองและการทดลอง ใช้สำหรับช่วยสอน ทั้งคุณสมบัติที่เพิ่มขึ้นและลดลง ปรับคุณลักษณะ $v-i$ ของการบีบอัดเตอร์รีซิส ลูป โดยปรับอัตราขยาย k ของสายพานลำเลียงกระแส ข้อดีของวงจรจำลอง เมมริสเตอร์ ทำงานที่ความถี่สูง ในการจำลองและการทดลองที่ความถี่ 1 kHz ใช้ในการทดสอบเบื้องต้นและ 3 kHz สำหรับการทดสอบที่ความถี่สูงขึ้น การทำงานของวงจรจำลอง เมมริสเตอร์ ที่ความถี่สูงหรือต่ำ โดยการปรับตัวเก็บประจุ C_1 ให้เหมาะสม ถ้าต้องใช้ทำงานที่ความถี่ต่ำกว่า 1 kHz ต้องเพิ่มค่า คาปาซิเตอร์ หากทำงานที่ความถี่สูงกว่า 1 kHz ควรลดค่า คาปาซิเตอร์ลง ยืนยันโดย สมการที่ (3.8)

บทที่ 5

สรุปผลงานวิจัย และข้อเสนอแนะ

ในการวิทยานิพนธ์นี้ จากวงจร เมมรีสเตอร์ ได้แสดงให้เห็นถึงการเพิ่มขึ้นและการลดต่ำลงของสัญญาณ ด้วยวงจรจำลองการทำงานของ เมมรีสเตอร์ สามารถทำการทดสอบด้วยการจำลองและการทดลองจริงกับวงจรด้วยอุปกรณ์วงจรรวมแบบแอนะล็อก ที่สามารถแสดงพฤติกรรมของตัวต้านทานและตัวเก็บประจุที่ได้ออกแบบไว้ที่เป็นพื้นฐานของอุปกรณ์ ซึ่งสามารถช่วยนำไปศึกษาการเรียนรู้การทำงานและการประยุกต์ใช้เมมรีสเตอร์ ที่เป็นจริงได้ ในการจำลองการทำงานนี้ใช้โปรแกรม PSPICE ในการจำลองเทียบผลกับการทดสอบจริง ซึ่งพบว่าผลของการจำลองและผลการทดลองจริง ได้ผลยอมรับได้ตามทฤษฎี ซึ่งอุปกรณ์ที่ใช้ในแบบจำลองการทำงานเป็นแบบ OTA ในการสร้างวงจร ECCII และ EDDCC ซึ่งเป็นส่วนสำคัญต่อการกระตุ้นวงจรที่ใช้ในการศึกษา การนำเสนอวงจรจำลอง เมมรีสเตอร์ จึงเป็นส่วนสำคัญมากในการทดสอบวงจรการจำลองการทำงานของเมมรีสเตอร์ ซึ่งได้แสดงพฤติกรรมเช่นเดียวกันกับของเมมรีสเตอร์ไททาเนียมไดออกไซด์ ที่ผลิตจากห้องปฏิบัติการของ HP

จากนำเสนอวงจรตัวจำลองแบบ เมมรีสเตอร์ โดยใช้ไอซีที่มีวางจำหน่ายทั่วไปเช่น AD633, LM13600, ตัวต้านทาน, ตัวเหนี่ยวนำและตัวเก็บประจุ OTA ถูกนำมาใช้เพื่อตระหนักถึง ECCII และ EDDCC ซึ่งเป็นองค์ประกอบสำคัญที่ใช้งานอยู่ วงจรอิมูเลเตอร์ที่นำเสนอที่มีวงจรเทียบเท่า Memresistive องค์ประกอบได้รับการจำลองโดยโปรแกรมจำลอง PSPICE และแผงวงจรใช้สำหรับการทดสอบจากวงจรจริง

ในวิทยานิพนธ์นี้ได้เสนอวงจรจำลอง เมมรีสเตอร์ ที่ใช้ OTA โดยการปรับจูนทางอิเล็กทรอนิกส์ของสายพานลำเลียงกระแสดิฟเฟอเรนเชียลเป็นอุปกรณ์แอกทีฟ วงจรจำลอง เมมรีสเตอร์ ที่นำเสนอใช้บอร์ดทดลอง ซึ่งสามารถใช้กับวงจร เมมรีสเตอร์ จริง ใช้ทั้งการจำลองและการทดลอง ใช้สำหรับช่วยสอน ทั้งคุณสมบัติชนิดเพิ่มขึ้นและลดลง ปรับคุณลักษณะ $v-i$ ของการบีบอัดเทอร์ริซิฟิลล์ โดยปรับอัตราขยาย k ของสายพานลำเลียงกระแส ข้อดีของวงจรจำลองเมมรีสเตอร์ ทำงานที่ความถี่สูง ในการจำลองและการทดลองที่ความถี่ 1 kHz ใช้ในการทดสอบเบื้องต้นและที่ความถี่ 3 kHz สำหรับการทดสอบที่ความถี่สูงขึ้น การทำงานของวงจรจำลอง เมมรีสเตอร์ ที่ความถี่สูงหรือต่ำ โดยการปรับตัวเก็บประจุ C_1 ให้เหมาะสม ถ้าต้องใช้ทำงานที่ความถี่ต่ำกว่า 1 kHz ต้องเพิ่มค่า คาปาซิเตอร์ หากทำงานที่ความถี่สูงกว่า 1 kHz ควรลดค่าคาปาซิเตอร์ลง ยืนยันโดย สมการที่ (3.28)

เอกสารอ้างอิง

- [1] D. B. Strukov, G. S. Snider, D. R. Stewart, R. S. Williams, "The missing Memristor found," *Nature*, vol. 453, pp. 80-83, 2008.
- [2] L. O. Chua, "Memristor-the missing circuit element," *IEEE Transactions on Circuit Theory*, vol. CT-18, pp. 507-511, 1971.
- [3] Y. V. Pershin, M. D. Ventra, "Practical approach to programmable analog circuit with Memristors," *IEEE Transactions on Circuits and Systems-I: Regular Papers*, vol. 57, pp. 1857-1864, 2010.
- [4] S. Shin, K. Kim, S.-M. Kang, "Memristor applications for programmable analog ICs," *IEEE Transactions on Nanotechnology*, vol. 10, pp. 266-274, 2011.
- [5] T. A. Wey, W. D. Jemison, "Variable gain amplifier circuit using titanium dioxide Memristors," *IET Circuits Devices and Systems*, vol. 5, pp. 59-65, 2011.
- [6] C. Goknar, F. Oncul, E. Minayi, "New Memristor applications: AM, ASK, FSK, and BPSK modulators," *IEEE Antennas and Propagation Magazine*, vol. 55, pp. 304-313, 2013.
- [7] J. Borghetti, G. Y. Snider, P. J. Kuekes, J. J. Yang, D. R. Stewart, R. S. Williams "Memristive' switches enable 'stateful' logic operations via material implecation," *Nature*, vol. 464, pp. 873-876, 2010.
- [8] S. Shin, K. Kim, S.-M. Kang, "Memistor XOR for resistive multiplier," *Electronics Letters*, vol. 48, pp. 78-80, 2012.
- [9] S. Kvatinsky, D. Belousov, S. Liman, G. Satat, N. Wald, E. G. Friedman, A. Kolodny, U. C. Weiser, "MAGIC-Memristor-aided logic," *IEEE Transactions on Circuits and Systems-II: Express Briefs*, vol. 61, pp. 895-899, 2014.
- [10] V. Hongal, R. Kotikalapudi, C. Minsu, "Design, test, and repair of MLUT (Memristor look-up table) based asynchronous nanowire reconfigurable crossbar architecture," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 4, pp. 427-437, 2014.
- [11] R. Tetzlaff, *Memristors and memristive systems*, Springer, New York, USA, 2014.
- [12] Y. Ho, G. M. Huang, P. Li, "Dynamic properties and design analysis for nonvolatile Memristor memories," *IEEE Transactions on Circuits and Systems-I: Regular Papers*, vol. 58, pp. 724-736, 2011.
- [13] H. Yenpo, G. M. Huang, L. Peng, "Dynamical properties and design analysis for nonvolatile Memristor memories," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, pp. 724-736, 2011.
- [14] P. Jungsangri, F. Lombardi, "Design of a hybrid memory cell using memristance and ambipolarity," *IEEE Transactions on nanotechnology*, vol. 12, pp. 71-80, 2013.
- [15] B. Mohammad, D. Homouz, H. Elgabra, "Robust hybrid Memristor-CMOS memory: modeling and design," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 21, pp. 2069-2079, 2013.
- [16] K. D. Cantley, A. Subramaniam, H. J. Stiegler, R. A. Chapman, E. M. Vogel, "Hebbian learning in spiking neural networks with nanocrystalline silicon TFTs and memristive synapses," *IEEE Transactions on Nanotechnology*, vol. 10, pp. 1066-1073, 2011.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง (ต่อ)

- [17] H. Kim, M. Pd. Sah, C. Yang, T. Roska, L. O. Chua, "Neural synaptic weighting with a pulse-based Memristor circuit," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 59, pp. 148-158, 2012.
- [18] K. Hyongsuk, M. P. Sah, Y. Changju, T. Roska, L. O. Chua, "Neural synaptic weighting with a pulse-based Memristor circuit," IEEE Transactions on Circuits and Systems-I: Regular Paper, vol. 59, pp. 148-158, 2012.
- [19] I. E. Ebong, P. Mazumder, "CMOS and Memristor-based neural network design for position detection," Proceedings of The IEEE, vol. 100, pp. 2050-2060, 2012.
- [20] R. Kozma, R. E. Pino, G. E. Pазieza, Advances in neuromorphic Memristor science and applications, Springer, New York, USA, 2012.
- [21] M. Hu, H. Li, Y. Chen, Q. Wu, G. S. Rose, R. W. Linderman, "Memristor crossbar-based neuromorphic computing system: a case study," IEEE Transactions on Neural Networks and Learning Systems, vol. 25, pp. 1864 – 1878, 2014.
- [22] X. Liu, M. Mao, B. Liu, B. Li, Y. Wang, H. Jiang, M. Barnell, Q. Wu, J. Yang, H. Li, Y. Chen, "Harmonica: a framework of heterogeneous computing systems with Memristor-based neuromorphic computing accelerators," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 63, pp. 617-628, 2016.
- [23] G. E. Pазienza, J. Albo-Canals, "Teaching Memristors to EE undergraduate student (class notes)," IEEE Circuits and Systems Magazine, vol. 11, pp. 36-44, 2011.
- [24] S. Benderli, A. Wey, "On SPICE macromodeling of TiO₂ memristors, Electronics Letters, vol. 45, pp. 377-379, 2009.
- [25] D. Biolek, Z. Biolek, V. Biolkova, "PSPICE modeling of Memristor with nonlinear dopant drift," Radioengineering, vol. 18, pp. 210-214, 2009.
- [26] A. Rak, G. Cserey, "Macromodelling of the Memristor in SPICE," IEEE Transactions on Computer-Aided Design of Integrated circuits and Systems," vol.29, pp. 632-636, 2010.
- [27] D. Biolek, Z. Biolek, V. Biolkova, "PSPICE modeling of Memristor," Analog Integrated Circuits and Signal Processing, vol. 66, pp. 129-137, 2011.
- [28] D. Bates, H. Fiedler, "A Memristor SPICE implementation and a new approach for magnetic flux controlled Memristor," IEEE Transactions on Nanotechnology, vol. 10, pp. 250-255, 2011.
- [29] G. D. Howard, L. Bull, B. D. L. Costello, A. Adamatzky, V. Erokhin, "A SPICE model of the PEO-PANI Memristor," International Journal of Bifurcation and Chaos, vol. 23, pp. 1350112-22, 2013.
- [30] K. D. Xu, Y. H. Zhang, L. Wang. M. Q. Yuan, Y. Fan, W. T. Joines, Q. H. Liu "Two Memristor SPICE model and their applications in microwave device,' IEEE Transactions on Nanotechnology, vol. 13, pp. 607-616, 2014.
- [31] Y. V. Pershin, M. Di Ventra, "Teaching memory circuit elements via experiment-based learning," IEEE Circuits and Systems Magazine, vol. 12, pp. 64-74, 2012.
- [32] Y. V. Pershin, M. Di Ventra, "Practical approach to programmable analog circuit with Memristors," IEEE Transactions on Circuits and Systems-I, vol. 57, pp. 1857–1864, 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง (ต่อ)

- [33] X.-Y. Wang, A. L. Fitch, H. C. Lu, V. Sreeram, W.-G. Qi “Implementation of an analogue model of a Memristor based on a light-dependent resistor,” Chinese Physics B, vol. 21, pp. 1-8, 2012.
- [34] H. Kim, M. Pd. Sah, C Yang, S. Cho, L. O. Chua, “Memristor emulator for Memristor circuit applications,” IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 59, pp. 2422-2431, 2012.
- [35] A. S. Elwakil, M. E. Fouda, A. G. Radwan, “A simple model of double-loop hysteresis behavior in memristive elements,” IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 60, pp. 487-491, 2013.
- [36] D. Yu, H. H.-C. lu, A. L. Fitch, L. Yan, “A floating Memristor emulator based relaxation oscillator,” IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 61, pp. 2888-2896, 2014.
- [37] C. Sanchez-Lopez, J. Mendoza-Lopez, M. A. Carrasco, C. Muniz-Montero, “A floating analog Memristor emulator circuit,” IEEE Transactions on Circuits and Systems-II: Express Briefs, vol. 61, pp. 309-313, 2014.
- [38] A. Yesil, Y. Babacan, F. Kacar, “A new DDCC based Memristor emulator circuit and its applications,” Microelectronics Journal, vol. 45, pp. 282-287, 2014.
- [39] S. C. Yener, H. H. Kuntman, “Fully CMOS Memristor based chaotic circuit,” Radioengineering, vol. 23, pp.1140-1149, 2014.
- [40] M. T. Abuelma’atti, Z. I. Khalifa, “A new Memristor emulator and its application in digital modulation,” Analog Integrated Circuits and Signal Processing, vol. 80, pp 577-584, 2014.
- [41] M. T. Abuelma’atti, Z. I. Khalifa, “A continuous-level Memristor emulator and its application in a multivibrator circuit,” International Journal of Electronics and Communications, vol. 69, pp. 771-775, 2015.
- [42] Y. Babacan, A. Yesil, F. Kacar, “Memristor emulator with tunable characteristic and its experimental results,” International Journal of Electronics and Communications, vol. 81, pp. 99-104, 2017.
- [43] R. K. Ranjan, N. Rani, R. Pal, S. K. Paul, G. Kanyal, “Single CCTA based high frequency floating and grounded type of incremental/decremental Memristor emulator and its application,” Microelectronics Journal, Microelectronics Journal, vol. 60, pp. 119-128, 2017.
- [44] R. K. Ranjan, N. Raj, N. Bhuwal, F. Khateb, “Single DVCCTA based high frequency incremental/decremental Memristor emulator and its application,” International Journal of Electronics and Communications, vol. 82, pp. 177-190, 2017.
- [45] A. Yesil, “A new grounded Memristor emulator based on MOSFET-C,” International Journal of Electronics and Communications, vol. 91, pp. 143-149, 2018.
- [46] W. Surakamponorn, K. Kumwachara, “CMOS-based electronically tunable current conveyor,” Electronics Letters, vol. 28, pp. 1316-1317, 1992.
- [47] A. Fabre, N. Mimeche, “Class A/AB second generation current conveyor with controlled current gain”, Electronics Letters, vol. 43, pp. 82-91, 1996.]

เอกสารอ้างอิง (ต่อ)

- [48] S. Mimaei, O. K. Sayin, H. Kuntman, "A New CMOS electronically tunable current conveyor and its application to current-mode filters," IEEE Transactions on Circuits and Systems-I, vol. 53, pp. 1448-1458, 2006.
- [49] V. Riewruja, W. Petchmaneelumka, "Floating current-controlled resistance converters using OTAs," AEU-International Journal of Electronics and Communications, vol. 62, pp. 725-731, 2008.
- [50] M. Kumngern, J. Chanwutitum, K. Dejhan, "Electronically tunable multiphase sinusoidal oscillator using translinear current conveyors," Analog Integrated Circuits and Signal Processing, vol. 65, pp. 327-334, 2010.
- [51] M. Kumngern, F. Khateb, P. Phasukkit, S. Tungjittkusolmun, S. Junnapiya, "ECCII-based current-mode universal filter with independent control of ω_c and Q," Radioengineering, vol. 23, pp. 687-696, 2014.
- [52] M. Kumngern, E. Wareechol, P. Phasukkit, "Quadrature oscillator and universal filter based on translinear current conveyors," AEU-International Journal of Electronics and Communications, vol. 95, pp. 69-78, 2018.
- [53] M. Kumngern. A floating Memristor emulator circuit using operational transconductance amplifiers. 2015 IEEE Conference on Electron Devices and Solid-State Circuits (EDSSC), Singapore, June 2-4, 2015.
- [54] W. Chiu, S.-I. Liu, H.-W. Tsao, J.-J. Chen, "CMOS differential difference current conveyors and their applications," IEE Proceeding-Circuits Devices and Systems, vol. 143, pp. 91-96, 1996.
- [55] M. Kumngern, P. Mounghoul "A Memristor emulator circuit based on operational transconductance amplifiers," in Proceedings of 2015 International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), Thailand, 2015.
- [56] AD633-Analog Devices, [Online] <http://www.analog.com/media/en/technical-documentation/data-sheets/AD633.pdf>
- [57] LM13600-National Semiconductor, [Online] <http://www.alldatasheet.com/datasheet-pdf/pdf/8640/NSC/LM13600N.html>



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก.

บทความที่ได้รับการตีพิมพ์และเผยแพร่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [1] A. Thongrak¹, S. Sitjongsataporn, S. Khunkhao, P. Moungnou. “A Practical Implementation of Memristor Emulator Circuit based on Operational Transconductance Amplifiers” , International Journal of Intelligent Engineering and Systems, Vol.x, No.x, ,pp.xx,2019
- [2] A. Thongrak, N. A-mapat, P. Moungnoul, P. Anunvrapong , “Load Sharing Technique for Coexistence LTE-FDD and LTE-TDD” The 5th International Conference on Engineering, Applied Sciences and Technology (ICEAST 2019).Luang Prabang,Lao PDR, 2-5 Jul, pp.557-560,2019.
- [3] A. Thongrak, S. Sitjongsataporn, S.Khunkhao, P. Moungnoul, “Implementation of OTA-based Memristor Emulator for Adjusting Frequency”, The 5th International Conference on Engineering, Applied Sciences and Technology (ICEAST 2019).Luang Prabang,Lao PDR, 2-5 Jul, pp.692-695, 2019.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล นางสาวอภิษฎา ทองรักษ์
วัน เดือน ปีเกิด 19 พฤษภาคม 2506 ที่จังหวัดแม่ฮ่องสอน
ที่อยู่ 39 หมู่ 8 ถนนรัตนธานีเบสท์ ซอย 8
ตำบลบางกระสอ อำเภอเมือง จังหวัดนนทบุรี 11000 โทร.0-2580-6100

ประวัติการศึกษา

พ.ศ. 2534 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า (ไฟฟ้าสื่อสาร)
สถาบันเทคโนโลยีราชมงคล วิทยาเขตเทเวศร์
พ.ศ. 2547 วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ความชำนาญเฉพาะด้าน

1. การประมวลผลสัญญาณดิจิทัล
2. ระบบการสื่อสารและนวัตกรรม

ประสบการณ์การทำงาน

พ.ศ. 2533 – 2554 ตำแหน่งอาจารย์ประจำสาขาวิศวกรรมไฟฟ้า มหาวิทยาลัยศรีปทุม
พ.ศ. 2554 - ปัจจุบัน ตำแหน่งอาจารย์ประจำสาขาวิศวกรรมอิเล็กทรอนิกส์ละโทรคมนาคม
มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร

รางวัลเกียรติคุณ

พ.ศ. 2555 โล่เกียรติคุณ รางวัลศิลปวัฒนธรรมดีเด่น อัญมณีพระนามงคลพระนคร ก้าวเข้าสู่ปีที่ 9
จาก มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร
พ.ศ. 2556 เหรียญกาชาดสมนาคุณ ชั้นที่ 2 จากสภาอากาศไทย
พ.ศ. 2558 โล่เกียรติคุณบุคคลดีเด่นและผู้ทำคุณประโยชน์ต่อมหาวิทยาลัย
ประเภทผู้มีผลงานด้านศิลปวัฒนธรรมและสิ่งแวดล้อมดีเด่น
จาก มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร
พ.ศ. 2560 รางวัล “อาสาสมัครดีเด่น” ประจำปี 2560 จากสภาสังคมสงเคราะห์แห่งประเทศไทย
พ.ศ. 2562 รางวัล “สตรีไทยดีเด่น” ประจำปี 2562 จากสภาสตรีแห่งชาติในพระบรมราชินูปถัมภ์
ร่วมกับ กระทรวงพัฒนาสังคมและความมั่นคงของมนุษย์