

วงจรรองความถี่ต่ำผ่านอันดับสูงปรับค่าได้รูปแบบกระแสชนิดชั้นบันได
โดยใช้เทคโนโลยีซีมอส

ELECTRONICALLY TUNABLE CURRENT-MODE HIGH-ORDER
LADDER LOW-PASS FILTERS BASED ON CMOS TECHNOLOGY



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2562

KMITL-2019-EN-D-018-014

วงจรกรองความถี่ต่ำผ่านอันดับสูงปรับค่าได้รูปแบบกระแสชนิดชั้นบันได
โดยใช้เทคโนโลยีซีมอส

**ELECTRONICALLY TUNABLE CURRENT-MODE HIGH-ORDER
LADDER LOW-PASS FILTERS BASED ON CMOS TECHNOLOGY**



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2562

KMITL-2019-EN-D-018-014

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ELECTRONICALLY TUNABLE CURRENT-MODE HIGH-ORDER
LADDER LOW-PASS FILTERS BASED ON CMOS TECHNOLOGY**



TERDSAK KUNTO

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2019
KMITL-2019-EN-D-018-014**

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2019
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรรองความถี่ต่ำผ่านอันดับสูงปรับค่าได้รูปแบบกระแสชนิด ชั้นบันไดโดยใช้เทคโนโลยีซีมอส
นักศึกษา	นาย เท็ดศักดิ์ กันโต
รหัสประจำตัว	56601371
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2562
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.พิพัฒน์ พรหมมี

บทคัดย่อ

วิทยานิพนธ์เล่มนี้นำเสนอการออกแบบวงจรรองความถี่ต่ำผ่านอันดับสูงปรับค่าได้รูปแบบกระแสชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส ซึ่งมีหลักกระบวนการสังเคราะห์วงจรรองความถี่ชนิดชั้นบันไดแบบกราฟการไหลสัญญาณ จำลองการทำงานวงจรรองความถี่ที่แนะนำเสนอโดยใช้การประมาณค่าแบบ Chebyshev และ Elliptic สำหรับการเลียนแบบจำลองการทำงานวงจรรองความถี่ต่ำผ่านพาสซีฟ RLC ชนิดชั้นบันไดต้นแบบนั้น สร้างได้โดยการใช้วงจรรวมที่เกเรเตอร์ชนิดสูญเสียและวงจรรวมที่เกเรเตอร์ชนิดไม่สูญเสียแบบใหม่ โดยวงจรรองความถี่ที่แนะนำเสนอนี้สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ในช่วงกว้างตั้งแต่ 10 kHz ถึง 100 MHz ขณะที่ปรับกระแสไบอัส I_B ตั้งแต่ 0.03 μA ถึง 300 μA ใช้ไฟเลี้ยง 1.5 V ใช้กำลังงานภายในวงจรต่ำกว่า 17 mW ที่กระแสไบอัส I_B เท่ากับ 300 μA อีกทั้งวงจรรองความถี่ที่แนะนำเสนอปราศจากการใช้ตัวต้านทานภายในวงจร โดยใช้เพียงตัวเก็บประจุต่อลงกราวด์ ซึ่งเหมาะในการสร้างเป็นวงจรรวม ค่าความเพี้ยนทางฮาร์มอนิกของวงจรรองความถี่ที่แนะนำเสนอลดต่ำกว่า 1% ในย่านความถี่ใช้งาน ยืนยันประสิทธิภาพของวงจรรองความถี่ที่แนะนำเสนอโดยจำลองการทำงานด้วยโปรแกรม PSPICE โดยใช้เทคโนโลยี TSMC 0.18 μm

Thesis	Electronically Tunable Current-mode High-order Ladder Low-pass Filters Based on CMOS Technology
Student	Mr.Terdsak Kunto
Student ID	56601371
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2019
Thesis Advisor	Assoc.Prof.Dr.Pipat Prommee

ABSTRACT

This thesis describes the design of current mode high-order ladder low-pass filters based on CMOS technology which have the synthesis procedure of ladder filters based on the signal flow graph (SFG) method. The Chebyshev and Elliptic approximations are used in the proposed low-pass filter realizations. The filters are derived from passive RLC ladder filter prototypes using new CMOS lossy and lossless integrators. The proposed two types of filter can be electronically tuned between 10 kHz and 100 MHz through bias current from 0.03 μA to 300 μA . The proposed filters use 1.5 V power supply with power consumption is less than 17 mW at 300 μA bias current. The proposed filters without resistor but using only grounded capacitors which suitable for further integration. The total harmonic distortion (THD) of the low-pass filters is less than 1% over the operating frequency range. PSPICE simulation results, obtained by using TSMC 0.18 μm technology, confirm the presented theory.

กิตติกรรมประกาศ

ในการจัดทำวิทยานิพนธ์เล่มนี้ ผู้เขียนขอกราบขอบพระคุณ รศ.ดร.พิพัฒน์ พรหมมี ผู้ซึ่งให้ความสนับสนุนในด้านต่างๆ อาทิเช่น แนวทางในการศึกษาค้นคว้าหาข้อมูลในการทำวิจัย ให้ความรู้ ความช่วยเหลือและชี้แนะแนวทางในการแก้ไขปัญหาต่างๆ อีกทั้งเป็นผู้มอบทุนการศึกษาทั้งภายในประเทศ และต่างประเทศตลอดระยะเวลาที่เข้ารับการศึกษามา ตลอดจนเป็นผู้อบรมฝึกฝนให้ผู้เขียนมีความรู้ในด้านต่างๆ นอกเหนือจากการศึกษา ซึ่งถือได้ว่าเป็นประสบการณ์และเป็นประโยชน์อย่างยิ่งในการดำเนินชีวิตกับผู้เขียนในอนาคตอีกด้วย

ขอกราบขอบพระคุณบิดาและมารดา ผู้ให้ชีวิตและคำอบรมสั่งสอนให้ผู้เขียนเห็นความสำคัญของการศึกษา อีกทั้งเป็นผู้สนับสนุนการศึกษาให้ผู้เขียนมาโดยตลอด

ขอกราบขอบพระคุณพี่ชายและพี่สาวทุกๆ คนที่ให้ความสนใจและคำปรึกษาต่างๆ ทั้งในเรื่อง การศึกษาและการใช้ชีวิตกับผู้เขียนตลอดมา

สุดท้ายนี้ผู้เขียนหวังว่าวิทยานิพนธ์นี้สามารถเป็นส่วนหนึ่งในการศึกษาหาข้อมูลให้แก่ผู้อ่านที่กำลังศึกษาหรือสนใจงานวิจัยด้านนี้ โดยเป็นพื้นฐานแนวทางในการพัฒนาแก้ไขต่อไปให้ดียิ่งขึ้น

เทิดศักดิ์ กั่นโต

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์.....	3
1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์.....	3
1.4 ขอบเขตของวิทยานิพนธ์.....	3
1.5 รายละเอียดในวิทยานิพนธ์.....	4
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....	5
2.1 บทนำ.....	5
2.2 มอสทรานซิสเตอร์.....	6
2.2.1 โครงสร้างของมอสทรานซิสเตอร์.....	6
2.2.2 การทำงานของมอสทรานซิสเตอร์.....	7
2.2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	10
2.3 เทคโนโลยีวงจรรวมซีมอส.....	11
2.4 วงจรสะท้อนกระแสแบบพื้นฐาน.....	13
2.5 การพล็อตขนาดและเฟสของฟังก์ชัน.....	15
2.6 หลักการโครงข่ายกราฟการไหลของสัญญาณ.....	17
2.7 หลักการของวงจรรองความถี่ต่ำผ่าน.....	19
2.8 การประมาณค่าฟังก์ชันวงจรรองสัญญาณ.....	20
2.8.1 วงจรรองความถี่ต่ำผ่านพาสซีฟ Chebyshev.....	20
2.8.2 วงจรรองความถี่ต่ำผ่านพาสซีฟ Elliptic.....	21
2.9 ค่าความไวของวงจรรองความถี่.....	23
บทที่ 3 งานวิจัยที่เกี่ยวข้อง.....	27
3.1 บทนำ.....	27
3.2 ผลงานวิจัยที่เกี่ยวข้อง.....	27

สารบัญ (ต่อ)

หน้า

บทที่ 4 วงจรกรองความถี่ต่ำผ่านอันดับสูงปรับค่าได้รูปแบบกระแสชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส.....	42
4.1 บทนำ.....	42
4.2 หลักการทำงาน.....	42
4.2.1 การสร้างวงจรอินทิเกรเตอร์โดยใช้เทคโนโลยีซีมอส.....	42
4.2.2 การสังเคราะห์วงจรกรองความถี่ต่ำผ่าน RLC ชนิดชั้นบันได.....	45
4.3 การสร้างวงจรกรองความถี่ต่ำผ่านชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส.....	50
4.4 ผลกระทบความไม่เป็นอุดมคติของวงจร.....	53
4.4.1 ผลกระทบจากค่าตัวเก็บประจุแฝง.....	54
4.4.1.1 ผลกระทบจากค่าตัวเก็บประจุแฝงต่อวงจรอินทิเกรเตอร์ชนิดสูญเสีย.....	54
4.4.1.2 ผลกระทบจากค่าตัวเก็บประจุแฝงต่อวงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย.....	54
4.4.2 ผลกระทบจากค่าตัวต้านทานแฝง r_{ds}	55
4.4.2.1 วงจรอินทิเกรเตอร์ชนิดสูญเสีย.....	56
4.4.2.2 วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย.....	56
4.4.3 ความไม่สมพงค์กันของทรานซิสเตอร์.....	57
4.4.3.1 วงจรอินทิเกรเตอร์ชนิดสูญเสีย.....	57
4.4.3.2 วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย.....	57
4.4.4 ค่าความไว.....	58
4.5 ผลการจำลองการทำงาน.....	61
บทที่ 5 บทสรุปและข้อเสนอแนะ.....	80
5.1 บทสรุปการวิจัย.....	80
5.2 เปรียบเทียบงานวิจัย.....	80
5.3 ข้อเสนอแนะ.....	81
เอกสารอ้างอิง.....	82
ภาคผนวก.....	85
ภาคผนวก ก. โปรแกรม PSpice ที่ใช้ในการวิเคราะห์.....	86
ภาคผนวก ข. ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา.....	92

สารบัญตาราง

ตารางที่	หน้า
2.1 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่ แบบ Chebyshev เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.1 dB	21
2.2 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่ แบบ Chebyshev เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.5 dB	21
2.3 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่ แบบ Elliptic เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.177 dB.....	22
2.4 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่ แบบ Elliptic เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.044 dB.....	22
2.5 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่ แบบ Elliptic เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.18 dB.....	23
3.1 การแปลงเชิงเส้น CMLT วงจรกรองความถี่ชนิดขั้นบันได.....	38
5.1 แสดงการเปรียบเทียบประสิทธิภาพของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ.....	80

สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างทางกายภาพของทรานซิสเตอร์ NMOS แบบเอ็นฮาซันเมนท์โหมด	
(ก) มุมมองภาพรวม (ข) ภาพมุมตัด.....	6
2.2 โครงสร้างทางกายภาพของทรานซิสเตอร์ NMOS แบบดีพลีชั่นโหมด.....	7
2.3 ทรานซิสเตอร์ NMOS แบบเอ็นฮาซันเมนท์โหมดป้อนไฟเลี้ยงที่ขาเกตทำให้เกิดการเหนี่ยวนำ ที่ n-channel ด้านบนส่วนฐาน ด้านล่างขาเกต.....	7
2.4 ทรานซิสเตอร์ NMOS ที่แรงดัน $v_{GS} > V_t$ ในขณะที่ป้อนแรงดัน v_{DS} ที่ค่าน้อยๆ.....	8
2.5 กราฟแสดงความสัมพันธ์ระหว่าง i_D กับ v_{DS} ของมอสทรานซิสเตอร์ในรูปที่ 2.4.....	8
2.6 การทำงานของทรานซิสเตอร์ NMOS แบบเอ็นฮาซันเมนท์โหมดที่แรงดัน v_{DS} เพิ่มขึ้น.....	9
2.7 กราฟแสดงการเปรียบเทียบระหว่างกระแส i_D กับแรงดัน v_{DS} ของทรานซิสเตอร์ NMOS โดยมีแรงดัน $v_{GS} > V_t$	9
2.8 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ.....	11
2.9 วงจรรวมซีมอสแบบบ่อ p บนฐานรองชนิด n	12
2.10 วงจรรวมซีมอสแบบบ่อ n บนฐานรองชนิด p	12
2.11 วงจรรวมซีมอสแบบเป็นแบบบ่อคู่บนฐานรองชนิด p	12
2.12 วงจรรวมซีมอสแบบสามบ่อบนฐานรองชนิด p	12
2.13 วงจรสะท้อนกระแสพื้นฐาน (ก) แบบดึงกระแส (ข) แบบจ่ายกระแส.....	13
2.14 วงจรเสมือนของวงจรสะท้อนกระแสแบบพื้นฐานชนิด NMOS.....	14
2.15 (ก) พล็อตขนาด (ข) เฟสพล็อตของ $\frac{1}{s}$	16
2.16 (ก) พล็อตขนาด (ข) เฟสพล็อตของ s	16
2.17 (ก) พล็อตขนาด (ข) เฟสพล็อตของ $s + \alpha$	17
2.18 (ก) พล็อตขนาด (ข) เฟสพล็อตของ $\frac{1}{s + \alpha}$	17
2.19 หลักการโครงข่ายพื้นฐานกราฟการไหลของสัญญาณ.....	17
2.20 พื้นฐานกราฟการไหลของสัญญาณแบบอื่นๆ.....	18
2.21 คุณสมบัติของวงจรรองความถี่ต่ำผ่าน.....	19
2.22 ลำดับขั้นตอนการออกแบบวงจรรองความถี่.....	20
2.23 การเปรียบเทียบผลตอบสนองทางความถี่ที่มีการประมาณค่าแบบ Butterworth และแบบ Chebyshev ที่อันดับเท่ากัน.....	20
2.24 วงจรรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่แบบ Chebyshev.....	21

สารบัญรูป (ต่อ)

รูปที่	หน้า
2.25 (ก) การเปรียบเทียบผลตอบสนองทางความถี่ที่มีการประมาณค่าแบบ Butterworth, Chebyshev และ Elliptic ที่อันดับเท่ากัน	
(ข) ผลตอบสนองทางความถี่ที่ประมาณค่าแบบ Elliptic.....	22
2.26 วงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่แบบ Elliptic	22
2.27 การวิเคราะห์ค่าความไวของวงจรโดยการแยกองค์ประกอบอุปกรณ์.....	23
2.28 (ก) ผลตอบสนองทางความถี่ของวงจรที่เปลี่ยนแปลงไปจากเดิม (ข) ผลตอบสนองทางความถี่ของวงจรที่เกิดการผิดเพี้ยน.....	24
3.1 โครงสร้างวงจรกระแสสมมาตร Fully balanced	27
3.2 วงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสูงชนิดขั้นบันไดต้นแบบ.....	27
3.3 วงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสูงชนิดขั้นบันไดโดยใช้โครงสร้างวงจรกระแสสมมาตร.....	28
3.4 ผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ต่ำผ่าน Chebyshev ที่ถูกนำเสนอ.....	29
3.5 (ก) สัญญาณและ (ข) โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต.....	29
3.6 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขั้นบันไดต้นแบบ.....	30
3.7 กราฟการไหลสัญญาณ (SFG) ของวงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอ.....	30
3.8 วงจรกรองความถี่ต่ำผ่าน Chebyshev รูปแบบกระแสชนิดขั้นบันไดโดยใช้โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต.....	31
3.9 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขั้นบันไดต้นแบบ.....	31
3.10 กราฟการไหลสัญญาณ (SFG) ของวงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอ.....	31
3.11 วงจรกรองความถี่ต่ำผ่าน Elliptic รูปแบบกระแสชนิดขั้นบันไดโดยใช้โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต.....	32
3.12 ผลตอบสนองของวงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแสชนิดขั้นบันไดโดยใช้โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต (ก) Chebyshev (ข) Elliptic	32
3.13 บล็อกไดอะแกรมของวิธีทางกระแสเมช.....	33
3.14 (ก) สัญลักษณ์ OTA ที่มีค่าความนำหลายเอาต์พุต (ข) สัญลักษณ์วงจรรกระแสบัฟเฟอร์.....	33
3.15 CMOS OTA ที่มีสี่เอาต์พุต.....	34
3.16 การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดขั้นบันไดต้นแบบ.....	34
3.17 วงจร CMOS OTA รูปแบบกระแสอันดับสองของวงจรไบควอด แบบที่ 1.....	35
3.18 วงจร CMOS OTA รูปแบบกระแสอันดับสองของวงจรไบควอด แบบที่ 2.....	35
3.19 วงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดขั้นบันไดโดยใช้ OTA	35

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.20 การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดขั้นบันไดต้นแบบ.....	35
3.21 วงจร CMOS OTA อันดับหนึ่ง.....	36
3.22 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขั้นบันไดโดยใช้ OTA	36
3.23 ผลตอบสนองของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูง ในรูปที่ 3.19.....	37
3.24 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขั้นบันไดต้นแบบ.....	37
3.25 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขั้นบันไดต้นแบบ.....	37
3.26 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขั้นบันไดโดยใช้ MOCCIIs	39
3.27 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขั้นบันไดโดยใช้ MOCCIIs	39
3.28 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขั้นบันไดโดยใช้ MOCCIIs แบบอุปกรณ์พาสซีฟต่อเทียบกราวด์.....	40
3.29 ผลตอบสนองทางเฟสและแมกนิจูดของวงจรกรองความถี่ต่ำผ่าน ในรูปที่ 3.26.....	40
3.30 ผลตอบสนองทางเฟสและแมกนิจูดของวงจรกรองความถี่ต่ำผ่าน ในรูปที่ 3.27.....	40
4.1 บล็อกไดอะแกรมวงจรอินทิเกรเตอร์ชนิดสูญเสีย.....	42
4.2 วงจรอินทิเกรเตอร์ชนิดสูญเสียรูปแบบกระแสโดยใช้ซีมอส.....	42
4.3 แบบจำลองสัญญาณขนาดเล็กของรูปที่ 4.2 และบล็อกไดอะแกรม ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m$).....	43
4.4 บล็อกไดอะแกรมวงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย.....	43
4.5 วงจรอินทิเกรเตอร์ชนิดไม่สูญเสียรูปแบบกระแสโดยใช้ซีมอส.....	44
4.6 แบบจำลองสัญญาณขนาดเล็กของรูปที่ 4.5 และบล็อกไดอะแกรม ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_m$).....	44
4.7 วงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสามชนิดขั้นบันไดต้นแบบ.....	45
4.8 (ก) กราฟการไหล (SFG) ของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสามชนิดขั้นบันได ในรูปที่ 4.7, (ข) SFG รูปแบบกระแสที่สมบูรณ์ของรูปที่ 4.8(ก).....	46
4.9 วงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับห้าชนิดขั้นบันไดต้นแบบ.....	46
4.10 (ก) กราฟการไหล (SFG) ของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับห้าชนิดขั้นบันได ในรูปที่ 4.9, (ข) SFG รูปแบบกระแสที่สมบูรณ์ของรูปที่ 4.10(ก).....	47
4.11 วงจรกรองความถี่ต่ำผ่าน RLC Elliptic อันดับสามชนิดขั้นบันไดต้นแบบ.....	47
4.12 แบบจำลองวงจรกรองความถี่ต่ำผ่าน Elliptic ขั้นบันไดอันดับสามที่ผ่านการแปลงรูป.....	48
4.13 (ก) กราฟการไหล (SFG) ของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามชนิดขั้นบันได ในรูปที่ 4.12, (ข) SFG รูปแบบกระแสที่สมบูรณ์ของรูปที่ 4.13(ก).....	49

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.14 วงจรกรองความถี่ต่ำผ่าน RLC Elliptic อันดับห้าชนิดขั้นบันไดต้นแบบ.....	49
4.15 แบบจำลองวงจรกรองความถี่ต่ำผ่าน Elliptic ขั้นบันไดอันดับห้าที่ผ่านการแปลงรูป.....	50
4.16 กราฟการไหล (SFG) ของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับห้าชนิดขั้นบันได.....	50
4.17 วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดขั้นบันไดอันดับสามที่นำเสนอ.....	50
4.18 วงจรกรองความถี่ต่ำผ่าน Chebyshev รูปแบบกระแสชนิดขั้นบันไดอันดับสาม โดยใช้เทคโนโลยีซีมอส.....	51
4.19 วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดขั้นบันไดอันดับห้า.....	51
4.20 วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดขั้นบันไดอันดับสามที่นำเสนอ.....	52
4.21 วงจรกรองความถี่ต่ำผ่าน Elliptic รูปแบบกระแสชนิดขั้นบันไดอันดับสาม โดยใช้เทคโนโลยีซีมอส.....	52
4.22 ตัวเก็บประจุ NMOS สำหรับสร้างเป็นตัวเก็บประจุต่อเทียบกราวด์.....	53
4.23 วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดขั้นบันไดอันดับห้า.....	53
4.24 แบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ชนิด NMOS	53
4.25 คุณลักษณะการส่งผ่านไฟฟ้ากระแสตรง DC วงจรอินทิเกรเตอร์ชนิดสูญเสีย.....	61
4.26 ค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์.....	62
4.27 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรอินทิเกรเตอร์ชนิดสูญเสียในรูปที่ 4.2 โดยปรับค่ากระแส I_B	62
4.28 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียในรูปที่ 4.5 โดยปรับค่ากระแส I_B	63
4.29 เปรียบเทียบวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่นำเสนอ กับวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.1$ dB, $I_B = 2.7$ μ A).....	63
4.30 ผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่นำเสนอ เมื่อปรับค่ากระแสไบอัส (I_B).....	64
4.31 เปรียบเทียบวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่นำเสนอ กับวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.5$ dB, $I_B = 2.7$ μ A).....	65
4.32 เปรียบเทียบวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับห้าที่นำเสนอ กับวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.1$ dB, $I_B = 2.7$ μ A).....	65
4.33 ผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับห้าที่นำเสนอ เมื่อปรับค่ากระแสไบอัส (I_B).....	66

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.34 ความต้านทานอินพุทของวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่นำเสนอ เมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$	66
4.35 กรู๊ปดีเลย์ของวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่นำเสนอ เมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$	67
4.36 เปรียบเทียบวงจรรองความถี่ต่ำผ่าน Elliptic อันดับสามที่นำเสนอ กับวงจรรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.177 \text{ dB}$, $I_B = 3.6 \mu\text{A}$).....	67
4.37 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่าน Elliptic อันดับสาม ที่นำเสนอเมื่อปรับค่ากระแสไบอัส (I_B).....	68
4.38 เปรียบเทียบวงจรรองความถี่ต่ำผ่าน Elliptic อันดับสามที่นำเสนอ กับวงจรรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.044 \text{ dB}$, $I_B = 4.2 \mu\text{A}$).....	68
4.39 เปรียบเทียบวงจรรองความถี่ต่ำผ่าน Elliptic อันดับห้าที่นำเสนอ กับวงจรรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.18 \text{ dB}$, $I_B = 4.2 \mu\text{A}$).....	69
4.40 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่าน Elliptic อันดับห้า เมื่อปรับค่ากระแสไบอัส (I_B).....	69
4.41 ความต้านทานอินพุทของวงจรรองความถี่ต่ำผ่าน Elliptic อันดับสามที่นำเสนอ เมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$	70
4.42 กรู๊ปดีเลย์ของวงจรรองความถี่ต่ำผ่าน Elliptic อันดับสาม ที่นำเสนอเมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$	70
4.43 การป้อนสัญญาณอินพุทของวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสาม เมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$	71
4.44 การป้อนสัญญาณอินพุทของวงจรรองความถี่ต่ำผ่าน Elliptic อันดับสาม เมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$	71
4.45 ค่าความเพี้ยนทางฮาร์มอนิกของวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสาม โดยกำหนดกระแสไบอัส $I_B = 300 \mu\text{A}$	72
4.46 ค่าความเพี้ยนทางฮาร์มอนิกของวงจรรองความถี่ต่ำผ่าน Elliptic อันดับสาม โดยกำหนดกระแสไบอัส $I_B = 300 \mu\text{A}$	72
4.47 รูปคลื่นสัญญาณไซน์ซวยด์ความถี่ 10 MHz ด้านอินพุทและเอาต์พุท ของวงจรรองความถี่ต่ำผ่านแบบ Chebyshev.....	73
4.48 รูปคลื่นสัญญาณไซน์ซวยด์ความถี่ 10 MHz ด้านอินพุทและเอาต์พุท ของวงจรรองความถี่ต่ำผ่านแบบ Elliptic.....	73

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.49 การวิเคราะห์ความถี่ตัดของวงจรรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสามที่ถูกนำเสนอ (Samples = 100, Dev = 2%, $I_B = 300 \mu\text{A}$).....	74
4.50 การวิเคราะห์ความถี่ตัดของวงจรรองความถี่ต่ำผ่านแบบ Elliptic อันดับสามที่ถูกนำเสนอ (Samples = 100, Dev = 2%, $I_B = 300 \mu\text{A}$).....	74
4.51 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสาม (ทรานซิสเตอร์ NMOS ไม่สมพงค์กัน, $I_B = 300 \mu\text{A}$).....	75
4.52 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่านแบบ Elliptic อันดับสาม (ทรานซิสเตอร์ NMOS ไม่สมพงค์กัน, $I_B = 300 \mu\text{A}$).....	75
4.53 การวิเคราะห์ความถี่ตัดของวงจรรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสาม ที่แหล่งจ่ายกระแสไม่เท่ากัน (Samples = 100, Dev = 2%, $I_B = 300 \mu\text{A}$).....	76
4.54 การวิเคราะห์ความถี่ตัดของวงจรรองความถี่ต่ำผ่านแบบ Elliptic อันดับสาม ที่แหล่งจ่ายกระแสไม่เท่ากัน (Samples = 100, Dev = 2%, $I_B = 300 \mu\text{A}$).....	76
4.55 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสามที่ (แหล่งจ่ายกระแสไม่สมพงค์กัน, $I_B = 300 \mu\text{A}$).....	77
4.56 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่านแบบ Elliptic อันดับสาม (แหล่งจ่ายกระแสไม่สมพงค์กัน, $I_B = 300 \mu\text{A}$).....	77
4.57 ขนาดทางกายภาพของวงจรรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสามที่นำเสนอ.....	78
4.58 ขนาดทางกายภาพของวงจรรองความถี่ต่ำผ่านแบบ Elliptic อันดับสามที่นำเสนอ.....	78

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรกรองความถี่แบบบล็อกแอกทีฟมีส่วนสำคัญอย่างมากในกระบวนการทางแอนะล็อก โดยเฉพาะในด้านโทรคมนาคม เครื่องมือวัด และระบบควบคุม ซึ่งในหลายปีที่ผ่านมา การออกแบบวงจรกรองความถี่แบบแอกทีฟทางด้านแอนะล็อกมักอยู่ในรูปแบบแรงดัน อย่างไรก็ตามเมื่อทำการออกแบบวงจรกรองความถี่รูปแบบแรงดันพบว่าวงจรมีขนาดที่ใหญ่ อีกทั้งยังใช้กำลังงานไฟฟ้าสูงอีกด้วย แต่เมื่อไม่นานมานี้ การออกแบบวงจรกรองความถี่แบบแอกทีฟทางด้านแอนะล็อกมีความต้องการที่จะลดขนาดพื้นที่ของวงจร และลดแรงดันไฟเลี้ยงให้น้อยลง เพื่อที่จะสามารถนำมาประยุกต์ใช้กับอุปกรณ์อิเล็กทรอนิกส์ หรืออุปกรณ์สื่อสารไร้สายต่างๆ ที่ต้องใช้แหล่งจ่ายพลังงานจากแบตเตอรี่ ดังนั้นจากความต้องการเหล่านี้จึงได้เกิดการออกแบบวงจรกรองความถี่ที่อยู่ในรูปแบบกระแส ซึ่งการออกแบบวงจรกรองความถี่รูปแบบกระแสนี้ได้รับความนิยมเป็นอย่างสูง อันเนื่องมาจากข้อได้เปรียบมากมายเมื่อเทียบกับวงจรกรองความถี่รูปแบบแรงดัน เช่น ใช้แรงดันไฟเลี้ยงต่ำ มีแบนด์วิดท์และช่วงพลวัตกว้าง (Larger dynamic range) นอกจากนี้วงจรกรองความถี่รูปแบบกระแสมีความซับซ้อนน้อยกว่า อีกทั้งยังง่ายต่อการนำสัญญาณมารวมกันโดยไม่ต้องเพิ่มวงจรรวมสัญญาณ ยิ่งไปกว่านั้นหากออกแบบวงจรกรองความถี่รูปแบบกระแสโดยปราศจากตัวต้านทานจะทำให้วงจรใช้พลังงานต่ำ และยังสามารถลดขนาดพื้นที่บนชิป ซึ่งช่วยให้วงจรย่อยๆ สามารถรวมได้บนชิปเดียวกัน อย่างไรก็ตาม การออกแบบวงจรกรองความถี่ยังต้องคำนึงถึงอันดับของวงจรกรองความถี่อีกด้วย ซึ่งเป็นที่ทราบกันดีว่าวงจรกรองความถี่อันดับสูงมีประสิทธิภาพสูงกว่าวงจรกรองความถี่ที่มีอันดับต่ำกว่าหากเปรียบเทียบกันในการประยุกต์ใช้งาน [1] ดังนั้น การใช้วงจรกรองความถี่อันดับสูง [2-3] ส่งผลให้ประสิทธิภาพของวงจรดีกว่าเมื่อเทียบกับวงจรกรองความถี่อันดับต่ำกว่า [4-5].

สำหรับการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงแบบแอกทีฟที่จำลองการทำงานมาจากวงจรกรองความถี่ต่ำผ่านแบบพาสซีฟ RLC ชนิดขั้วขึ้นบันไดต้นแบบ [6] นั้นได้ถูกพัฒนาและนำเสนอขึ้นอย่างต่อเนื่อง ดังเช่น วงจรกรองความถี่ต่ำผ่านชนิดขั้วขึ้นบันไดความถี่สูงที่ถูกนำเสนอใน [7] จากการทบทวนงานวิจัยนี้พบว่าข้อดีคือสามารถออกแบบวงจรกรองความถี่ให้อยู่ในรูปแบบกระแส โดยวงจรกรองความถี่ที่ถูกนำเสนอนี้ประกอบไปด้วยวงจรอินทิเกรเตอร์รูปแบบกระแสที่มีความต้านทานอินพุตต่ำและตัวเก็บประจุแบบต่อลงกราวด์ อย่างไรก็ตามยังคงพบข้อดีจากการใช้อุปกรณ์แอกทีฟและพาสซีฟมากเกินไปทำให้การออกแบบวงจรมีความซับซ้อน ในขณะที่การปรับย่านใช้งานทำได้ค่อนข้างแคบอีกด้วย

เป็นที่ทราบกันดีว่าการออกแบบวงจรกรองความถี่นั้นสามารถกำหนดการประมาณค่าได้หลายแบบ ดังเช่น วงจรกรองความถี่ต่ำผ่าน Butterworth อันดับสูงโดยใช่วงจรสายพานกระแสรุ่นที่สองหลายเอาต์พุต (MOCCII) ที่ถูกนำเสนอใน [8] จะเห็นได้ว่าวงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอนี้เลือกกำหนดการประมาณค่าแบบ Butterworth อย่างไรก็ตามหากมีความต้องการออกแบบวงจรกรองความถี่ต่ำผ่านให้มีการกรองสัญญาณที่จุดความถี่ตัด (Cut-Off) เข้าใกล้อุดมคติการกำหนดการประมาณค่าแบบ Butterworth นั้นยังคงเสียเปรียบเมื่อเทียบกับการกำหนดการประมาณค่าแบบ Chebyshev ในอันดับเดียวกัน อีกทั้งการปรับย่านใช้งานค่อนข้างแคบและใช้อุปกรณ์แอกทีฟ

เป็นจำนวนมาก ดังนั้นการออกแบบวงจรกรองความถี่ต่ำผ่านโดยการกำหนดการประมาณค่าแบบ Chebyshev นั้นจึงถูกพัฒนาขึ้นอย่างต่อเนื่อง สำหรับการออกแบบวงจรกรองความถี่ต่ำผ่านโดยการกำหนดการประมาณค่าแบบ Chebyshev ชนิดขั้นบันไดนั้น ถูกนำเสนอใน [9] โดยใช้วงจรอินทิเกรเตอร์แบบสวิตช์กระแส และวงจรอินทิเกรเตอร์แบบห่วงรูปแบบกระแส [10] อย่างไรก็ตามพบว่าข้อดีของวงจรที่นำเสนอใน [9] ไม่สามารถทำงานได้ที่ความถี่สูง และใน [10] ยังได้รับผลกระทบจากความผิดพลาดที่ความถี่ตัดอีกด้วย ต่อมายังคงมีงานวิจัยที่ออกแบบวงจรกรองความถี่ต่ำผ่านโดยการจำลองผลการทำงานโครงข่าย RLC ชนิดขั้นบันไดที่กำหนดการประมาณค่าทั้งแบบ Chebyshev และ Elliptic อาทิเช่น การออกแบบวงจรกรองความถี่ต่ำผ่านที่นำเสนอใน [11-12] เป็นการจำลองผลการทำงานโครงข่าย RLC ชนิดขั้นบันได โดยอุปกรณ์พาสซีฟที่ใช้ในวงจรต้นแบบถูกแปลงด้วยโครงสร้างคูไบควอตที่สร้างจากวงจรถือโอ (OTA) หลายเอาต์พุตต่อรวมกับตัวเก็บประจุต่อลงกราวด์ การสร้างวงจรกรองความถี่ leapfrog ชนิดขั้นบันไดรูปแบบกระแสโดยใช่วงจร CDBA และวงจร DVCC ที่นำเสนอใน [13] และ [14] ตามลำดับ โดยวงจรที่นำเสนอ [11-14] เหล่านี้ยังมีความต้องการอุปกรณ์บล็อกแอกทีฟจำนวนมากและยังใช้ตัวต้านทานแบบต่อลอยตัว ซึ่งไม่เหมาะในการสร้างเป็นวงจรรวม อย่างไรก็ตามยังมีวงจรกรองความถี่ leapfrog ชนิดขั้นบันไดรูปแบบกระแสโดยใช่วงจรสายพานกระแส (CCII) และวงจรขยายสัญญาณ (OA) ที่นำเสนอใน [15] โดยหลีกเลี่ยงการเชื่อมต่อกับอุปกรณ์พาสซีฟภายนอก แต่วงจรกรองความถี่ที่นำเสนอนี้ยังคงไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ได้ อีกทั้งยังใช้อุปกรณ์แอกทีฟเป็นจำนวนมากอีกด้วย ต่อมาวงจรกรองความถี่ต่ำผ่านที่จำลองผลการทำงานด้วยโครงข่าย RLC ชนิดขั้นบันไดต้นแบบ โดยใช่วงจรสายพานกระแสหลายเอาต์พุต (MOCC) ถูกนำเสนอใน [16] อย่างไรก็ตามวงจรที่นำเสนอนี้ยังคงต้องการอุปกรณ์พาสซีฟจำนวนมาก แต่ยังคงไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ด้วยเช่นกัน วงจรกรองความถี่อันดับสูงโดยใช้ DO-CCCII ซึ่งเป็นไบโพลาร์ทรานซิสเตอร์ถูกนำเสนอใน [17] สำหรับโครงสร้างของ DO-CCCII แต่ละชุดใช้ทรานซิสเตอร์จำนวน 20 ตัว โดยไม่รวมกระแสไบอัส DC ดังนั้นจำนวนของ DO-CCCII จึงเท่ากับจำนวนอันดับของวงจรกรองความถี่รวมกับวงจรจ่ายกระแสไบอัส DC เห็นได้ชัดว่าวงจรที่นำเสนอนี้ต้องการทรานซิสเตอร์ BJT เป็นจำนวนมาก ยิ่งไปกว่านั้นค่าความต้านทานแฝงที่พอร์ต X ของวงจร DO-CCCII ยังขึ้นอยู่กับอุณหภูมิอีกด้วย นอกจากนี้ยังมีโครงสร้างอื่น ๆ ในการออกแบบวงจรกรองความถี่อันดับสูงโดยใช้ DO-ICCII แบบซีมอส อาทิเช่น วงจรกรองความถี่ที่นำเสนอใน [18] ซึ่งภายใน ICCII แต่ละชุดประกอบไปด้วยทรานซิสเตอร์มอสเฟสจำนวน 16 ตัว อีกทั้งยังต้องไบอัสแรงดันที่ขาเกตของทรานซิสเตอร์สองตัว ซึ่งการไบอัสด้วยแรงดันนั้นจะต้องได้รับมาจากแหล่งจ่ายแรงดัน DC ทำให้วงจรกรองความถี่ที่นำเสนอนี้ต้องมีการเพิ่มเติมวงจรจ่ายแรงดัน DC อีกด้วย ดังนั้นจำนวนของ ICCII จึงเท่ากับจำนวนอันดับของวงจรกรองความถี่วงจรจ่ายแรงดัน DC ซึ่งทำให้ชิปของวงจรรวมมีขนาดใหญ่ อีกทั้งวงจรยังไม่อิสระจากการควบคุมของค่าพารามิเตอร์ต่างๆ ต่อมายังมีวงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบแรงดันที่นำเสนอใน [19] จากการออกแบบวงจรกรองความถี่ต่ำผ่านนี้มีข้อเสียเปรียบในการทำงานรูปแบบแรงดัน คือ วงจรยากต่อการนำสัญญาณมารวมกันโดยต้องเพิ่มวงจรรวมสัญญาณ ซึ่งส่งผลให้วงจรมีความซับซ้อนในการบวกและการลบของสัญญาณ ยิ่งไปกว่านั้นวงจรได้ใช้อุปกรณ์พาสซีฟแบบต่อลอยตัว ซึ่งไม่เหมาะในการสร้างเป็นวงจรรวม ดังนั้นจากข้อจำกัดและปัญหาในการออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับสูงแบบใหม่ที่มีคุณสมบัติดังนี้ คือ สามารถออกแบบวงจรกรองความถี่ต่ำผ่านให้อยู่ในรูปแบบกระแสได้ โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้อุปกรณ์แอกทีฟและพาสซีฟจำนวนน้อย อีกทั้งหลีกเลี่ยงการใช้ตัวต้านทานภายในวงจร โดยวงจรกรองความถี่ต่ำผ่านที่ถูกออกแบบสามารถปรับค่าพารามิเตอร์ได้ทางอิเล็กทรอนิกส์ ซึ่งเหมาะในการสร้างเป็นวงจรรวมอีกด้วย

1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์

จากข้อจำกัดและปัญหาข้างต้นที่ได้กล่าวมานั้น แสดงให้เห็นถึงความต้องการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงแบบใหม่ที่มีคุณสมบัติดังนี้ คือ ใช้อุปกรณ์แอกทีฟและพาสซีฟจำนวนน้อย อีกทั้งหลีกเลี่ยงการใช้ตัวต้านทาน สามารถปรับค่าพารามิเตอร์ของวงจรกรองความถี่ทางอิเล็กทรอนิกส์ได้ ซึ่งเหมาะสมในการสร้างเป็นวงจรรวม

วิทยานิพนธ์นี้มีความมุ่งหมายหลักในการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแสชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส โดยวงจรที่นำเสนอมีคุณสมบัติดังนี้ คือ มีความต้องการอัตราการเปลี่ยนแปลงในช่วงแถบการส่งผ่านแบบ Chebyshev และ Elliptic อีกทั้งใช้อุปกรณ์จำนวนน้อย ใช้ไฟเลี้ยงต่ำ ใช้พลังงานต่ำ ไม่ใช้ตัวต้านทานต่อภายนอก และปรับค่าทางอิเล็กทรอนิกส์ได้กว้าง ซึ่งเหมาะสำหรับการประยุกต์ใช้งานที่ความถี่สูงไปจนถึงย่าน VHF อีกทั้งเหมาะสมอย่างมากในการออกแบบวงจรกรองความถี่ด้านระบบโทรคมนาคม

1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์

วิทยานิพนธ์นี้เป็นการออกแบบวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส วงจรกรองความถี่ที่นำเสนอเป็นการจำลองการทำงานจากวงจรกรองความถี่พาสซีฟ RLC ชนิดชั้นบันไดต้นแบบ ซึ่งใช้กระบวนการสังเคราะห์วงจรกรองความถี่ชนิดชั้นบันไดได้ด้วยกราฟการไหลสัญญาณ (SFG) สำหรับการกำหนดคุณสมบัติการประมาณค่าที่มีความต้องการอัตราการเปลี่ยนแปลงในช่วงแถบการส่งผ่านที่สูงเพื่อให้เข้าใกล้ความถี่ตัดมากขึ้น ดังนั้นวงจรกรองความถี่ต่ำผ่าน Chebyshev และ Elliptic ชนิดชั้นบันไดทั้งสองจึงถูกใช้เป็นวงจรกรองความถี่ต้นแบบ โดยวงจรกรองความถี่ที่นำเสนอในงานวิจัยนี้ใช้พื้นฐานวงจรอินทิเกรเตอร์ชนิดสูญเสียน้อย และวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียน้อย โดยใช้ทรานซิสเตอร์ชนิด NMOS และ PMOS เป็นโครงสร้างในการออกแบบวงจรอินทิเกรเตอร์ทั้งสองชนิดนี้ สำหรับผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านที่นำเสนอทั้งสองแบบสามารถปรับค่าทางอิเล็กทรอนิกส์ได้ อีกทั้งวงจรกรองความถี่ต่ำผ่านที่นำเสนอใช้อุปกรณ์พาสซีฟต่อลงกราวด์ ซึ่งเหมาะสำหรับการสร้างเป็นวงจรรวม

1.4 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์นี้เป็นการออกแบบวงจรกรองความถี่ต่ำผ่านที่นำเสนอ โดยการเลียนแบบจำลองการทำงานจากวงจรกรองความถี่ต่ำผ่านพาสซีฟ RLC ชนิดชั้นบันไดต้นแบบที่มีการประมาณค่าแบบ Chebyshev และแบบ Elliptic โดยผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านที่นำเสนอทั้งสองแบบสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ตั้งแต่ประมาณ 10 kHz ถึง 100 MHz ด้วยการปรับค่ากระแสไบอัส ตั้งแต่ 0.03 μA ถึง 300 μA วงจรกรองความถี่ต่ำผ่านที่นำเสนอใช้ไฟเลี้ยง 1.5 V และใช้กำลังงานภายในวงจรต่ำกว่า 17 mW ที่กระแสไบอัส I_B เท่ากับ 300 μA ใช้ตัวเก็บประจุต่อลงกราวด์โดยไม่ใช้ตัวต้านทาน ค่าความเพี้ยนทางฮาร์มอนิกในช่วงการป้อนสัญญาณอินพุตที่เหมาะสมในการใช้งานวัดค่าได้ต่ำกว่า 1% จำลองผลการทำงานด้วย PSPICE โดยใช้เทคโนโลยีซีมอส TSMC 0.18 μm เพื่อยืนยันในทฤษฎีที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บท ดังต่อไปนี้

บทที่ 1 กล่าวถึง ความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์ หลักการใหม่ที่นำเสนอในวิทยานิพนธ์ ขอบเขตของวิทยานิพนธ์

บทที่ 2 กล่าวถึง ทฤษฎีที่เกี่ยวข้อง ประกอบด้วย บทนำ มอสมิทธานซิสเตอร์ เทคโนโลยีของซีมอส วงจรสะท้อนกระแสแบบพื้นฐาน การพล็อตขนาดและเฟสของฟังก์ชัน การประมาณค่าฟังก์ชันตัวกรอง และหลักการวงจรกรองความถี่ต่ำผ่าน

บทที่ 3 กล่าวถึง การทบทวนงานวิจัยที่เกี่ยวข้องที่เคยถูกนำเสนอในอดีต เพื่อนำมาเปรียบเทียบกับวิทยานิพนธ์นี้

บทที่ 4 กล่าวถึง การออกแบบวงจรกรองความถี่ต่ำผ่านที่นำเสนอ ซึ่งประกอบไปด้วย รายละเอียดการสร้างวงจรอินทิเกรเตอร์โดยใช้เทคโนโลยีซีมอส การสังเคราะห์วงจรกรองความถี่ต่ำผ่าน RLC ชนิดชั้นบันได การสร้างวงจรกรองความถี่ต่ำผ่านชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส และการจำลองผลการทำงานของวงจรที่นำเสนอ

บทที่ 5 กล่าวถึง บทสรุปและข้อเสนอแนะ ประกอบด้วย บทสรุปการวิจัย ตารางการเปรียบเทียบกับวิทยานิพนธ์ฉบับนี้ และข้อเสนอแนะ

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

2.1 บทนำ

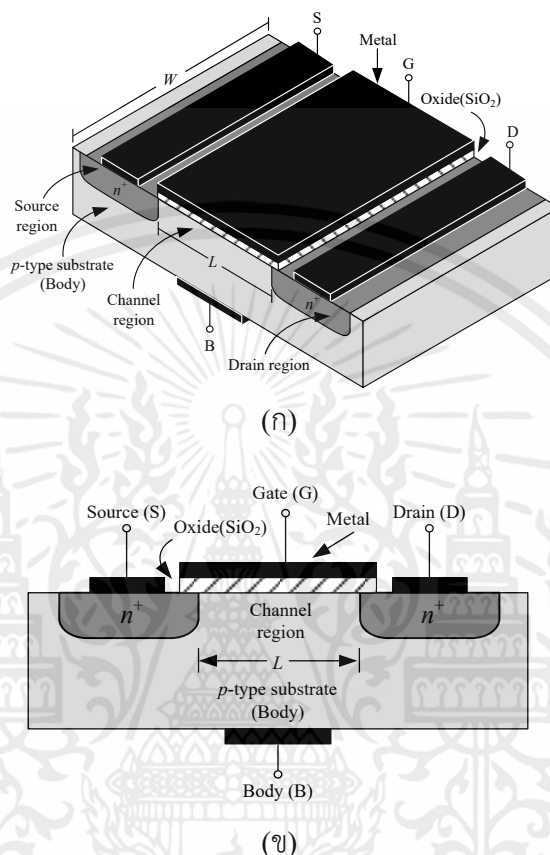
วงจรรีเลย์ทรานซิสต์ในช่วงก่อนปี ค.ศ. 1967 นั้น การออกแบบและการสร้างวงจรรีเลย์ทรานซิสต์จะเป็นการนำเอาอุปกรณ์ (Discrete components) ต่างๆ เช่น ตัวต้านทาน ตัวเก็บประจุ และทรานซิสเตอร์มาประกอบลงบนแผงวงจรไฟฟ้า โดยในต่อมา วงจรรวม (Integrated Circuit : IC) ได้ถือกำเนิดขึ้น วงจรถูกสร้างบนชิป (Chip) ที่มีขนาดเล็ก และสามารถออกแบบให้มีจำนวนอุปกรณ์มากขึ้นจากเดิม จึงทำให้วงจรรวมมีบทบาท และเข้ามาแทนที่วงจรรีเลย์ทรานซิสต์แบบเดิมอย่างรวดเร็ว เนื่องจากวงจรมีขนาดเล็ก กำลังงานสูญเสียต่ำ สามารถตอบสนองสัญญาณความถี่สูงได้ดี อีกทั้งวงจรรวมในปัจจุบันยังมีราคาถูกลงจากในอดีตอีกด้วย ดังนั้น วงจรรวมจึงกลายเป็นองค์ประกอบหลักของอุปกรณ์อิเล็กทรอนิกส์หลายๆ ชนิด เช่น เครื่องมือสื่อสาร เครื่องมือวัด คอมพิวเตอร์ ระบบโทรทัศนและวิทยุ เป็นต้น

ในปัจจุบัน จำนวนทรานซิสเตอร์ภายในวงจรรวมสามารถออกแบบและถูกสร้างได้มากกว่าหนึ่งล้านตัว โดยวงจรรวมดังกล่าวถูกเรียกว่า วงจรรวมที่มีขนาดใหญ่มาก (Very Large Scale Integration : VLSI) อีกปัจจัยสำคัญที่ทำให้เทคโนโลยีวงจรรวมประสบความสำเร็จมากนั้นคือ การพัฒนาทรานซิสเตอร์แบบมอสเฟต (Metal Oxide Semiconductor Field Effect Transistor : MOSFET) โดยหลักการทำงานของทรานซิสเตอร์ MOSFET ถูกนำเสนอขึ้นในปี ค.ศ. 1925 โดย J. Lilienfeld [20] ซึ่งในช่วงเวลานั้น ความรู้ด้านเทคโนโลยียังไม่เพียงพอต่อการการสร้างวงจรรวม ทำให้ MOSFET เป็นได้เพียงอุปกรณ์ที่มีอยู่ในแนวคิดเท่านั้น ต่อมาเทคโนโลยีของวงจรรวมถูกพัฒนาให้ดียิ่งขึ้น ทำให้ MOSFET จึงถูกสร้างขึ้นได้สำเร็จใน ปี ค.ศ. 1960 นับตั้งแต่นั้นมา MOSFET ได้ถูกพัฒนาให้มีคุณภาพที่ดีขึ้นจากอดีต โดยในปัจจุบันนี้ MOSFET กลายเป็นทรานซิสเตอร์ที่มีความสำคัญอย่างมากในการออกแบบเป็นวงจรรวม

สำหรับข้อเด่นของทรานซิสเตอร์แบบ MOSFET นั้นมีอยู่ด้วยกันหลายประการ เช่น กระบวนการสร้างที่ซับซ้อนน้อยกว่าเมื่อเทียบกับทรานซิสเตอร์แบบไบโพลาร์ (Bipolar junction transistor, BJT) จึงส่งผลให้ต้นทุนการผลิตวงจรรวมที่ใช้ทรานซิสเตอร์แบบ MOSFET ต่ำ ใช้แรงดันเพียงเล็กน้อยในการควบคุมการทำงานซึ่งต่างกับทรานซิสเตอร์แบบ BJT ที่ใช้กระแสควบคุมกระแส ดังนั้นทรานซิสเตอร์แบบ BJT จึงมีความต้านทานอินพุตอยู่ในระดับกลาง ในขณะที่ทรานซิสเตอร์แบบ MOSFET มีความต้านทานอินพุตสูงมากทำให้สามารถต่อกับวงจรรายหลายภาคได้ดี นอกจากนี้ยังมีเสถียรภาพทางอุณหภูมิที่ดีกว่า BJT อีกทั้งผู้ออกแบบวงจรรวมยังสามารถพัฒนางจรรวมรุ่นใหม่ให้มีขนาดเล็กลงได้อย่างต่อเนื่อง โดยวงจรรวมมีทั้ง n -MOSFET และ p -MOSFET ซึ่งเป็นที่รู้จักกันว่าวงจรรวมแบบซีมอส (Complementary MOS : CMOS) ดังนั้น MOSFET จึงได้รับความนิยมเป็นอย่างมาก โดยรายละเอียดการทำงานของ MOSFET และวงจรรวมแบบซีมอส จะกล่าวในหัวข้อถัดไป

2.2 มอสมทรานซิสเตอร์

มอสมทรานซิสเตอร์แบบเอ็นฮาซันเมนท์โหมดถูกใช้กันอย่างแพร่หลาย ในหัวข้อนี้จึงเป็นการศึกษาถึงโครงสร้างและการทำงานของมอสมทรานซิสเตอร์แบบเอ็นฮาซันเมนท์ ซึ่งนำไปสู่การหาความสัมพันธ์ระหว่างแรงดันและกระแสของมอสมทรานซิสเตอร์ชนิดนี้ โดยจะกล่าวในหัวข้อดังต่อไปนี้



รูปที่ 2.1 โครงสร้างทางกายภาพของทรานซิสเตอร์ NMOS แบบเอ็นฮาซันเมนท์โหมด
(ก) มุมมองภาพรวม (ข) ภาพมุมตัด

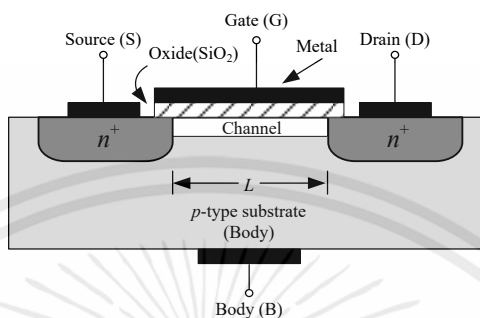
2.2.1 โครงสร้างของมอสมทรานซิสเตอร์

โครงสร้างทางกายภาพของมอสมทรานซิสเตอร์แบบเอ็นฮาซันเมนท์โหมดชนิดเอ็น (n -channel) [21] แสดงดังในรูปที่ 2.1 โดยทรานซิสเตอร์ NMOS ถูกสร้างอยู่บนฐานรองชนิดพี (p -type) ซึ่งเป็นสารกึ่งตัวนำซิลิกอนผลึกเดี่ยวแผ่นบางๆ เพื่อให้มีความเหมาะสมกับอุปกรณ์และนำไปสู่ในการสร้างเป็นวงจรรวม โดยมีการเจือสารชนิด n^+ ที่เข้มข้นบริเวณขาซอสและขาเดรนซึ่งถูกสร้างภายในส่วนฐาน ซึ่งมีโลหะอยู่ด้านบนสุดตรงขาเกต โดยมีชั้นซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนกั้นระหว่างส่วนที่เป็นโลหะกับฐานรองชนิดพี ทำให้สรุปได้ว่ามอสมทรานซิสเตอร์มีส่วนประกอบที่สำคัญอยู่ 4 ส่วน คือ เกต, ซอส, เดรน และส่วนฐาน ดังนั้นทรานซิสเตอร์ชนิดนี้จึงเรียกตามโครงสร้าง MOSFET (Metal-Oxide-Semiconductor FET)

สำหรับมอสมทรานซิสเตอร์แบบเอ็นฮาซันเมนท์โหมดชนิดพี (p -channel) ถูกสร้างอยู่บนฐานรองชนิดเอ็น (n -type) โดยมีการเจือสารชนิด p^+ ที่ขาเดรนและขาซอส ซึ่งโฮล (Holes) ทำหน้าที่เป็นพาหะส่งผ่านกระแสในแชนแนล การทำงานของทรานซิสเตอร์ PMOS คล้ายกับทรานซิสเตอร์ NMOS เว้นแต่แรงดัน v_{DS} , v_{GS} และ V_t มีค่าเป็นลบ ดังนั้นกระแส i_D จะไหลผ่านจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาซอสออกไปยังขาเดรน ซึ่งในอดีตเทคโนโลยี PMOS มีบทบาทอย่างมาก แต่เนื่องจากในปัจจุบัน อุปกรณ์ที่ถูกสร้างจาก NMOS มีขนาดที่เล็กอีกและทำงานได้เร็วกว่า อีกทั้ง NMOS มีความต้องการพลังงานต่ำกว่า PMOS ด้วยเหตุนี้ทำให้เทคโนโลยี NMOS แทบจะมาแทนเทคโนโลยี PMOS อย่างไรก็ตามยังมีสองเหตุผลหลักๆที่สำคัญของ PMOS คืออุปกรณ์ PMOS เหมาะสมกับการออกแบบวงจรดิจิทัลและสำคัญอย่างมากในการนำไปออกแบบในเทคโนโลยีวงจรรวม (CMOS)

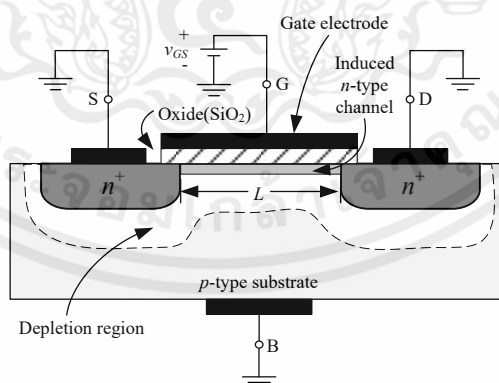


รูปที่ 2.2 โครงสร้างทางกายภาพของทรานซิสเตอร์ NMOS แบบดีฟลิชันโหมด

จากรูปที่ 2.2 แสดงโครงสร้างทางกายภาพของทรานซิสเตอร์แบบดีฟลิชันโหมดจะมีโครงสร้างคล้ายกับทรานซิสเตอร์แบบเอ็นฮานซ์เมนทโหมด แตกต่างกันที่ช่องระหว่างซอส และเดรนของทรานซิสเตอร์แบบดีฟลิชันโหมดจะมีการแพร่สารกึ่งตัวนำชนิดเอ็นที่ความหนาแน่นน้อย (Lightly Doped n-Type Region) เรียกว่าแซนแนล โดยด้านบนแซนแนลนั้นมีฉนวนบางๆ ซึ่งทำมาจากซิลิกอนไดออกไซด์ (SiO_2) จากนั้นจึงวางอิเล็คโทรดเกตซึ่งเป็นโลหะลงบนซิลิกอนไดออกไซด์

2.2.2 การทำงานของทรานซิสเตอร์

ในกรณีที่ไม่มีการดันที่ป้อนที่ขาเกต [21] เมื่อไม่มีการไบอัสเกิดขึ้นที่ขาเกตจะไม่มีกระแสไหลระหว่างเดรนและซอส โดยปกติแล้วความต้านทานระหว่างเดรนและซอสจะมีค่าสูงถึง $10^{12} \Omega$

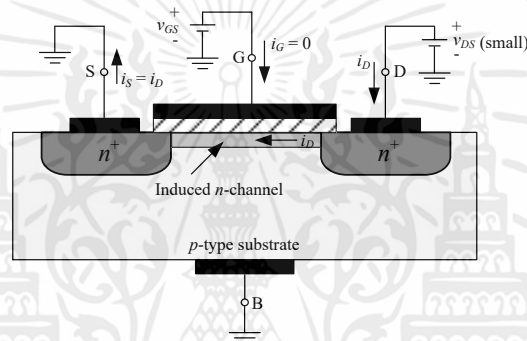


รูปที่ 2.3 ทรานซิสเตอร์ NMOS แบบเอ็นฮานซ์เมนทโหมดป้อนไฟเลี้ยงที่ขาเกต ทำให้เกิดการเหนี่ยวนำที่ n-channel ด้านบนส่วนฐาน ด้านล่างขาเกต

สำหรับการสร้างแซนแนลเพื่อให้กระแสไหลผ่านนั้น จากรูปที่ 2.3 สังเกตว่าขาซอสและขาเดรนต่อเทียบกราวด์ โดยมีการป้อนแรงดันบวกให้กับขาเกต ดังนั้น เมื่อขาซอสต่อเทียบกราวด์ทำให้เกิดแรงดันระหว่างเกตและซอส ซึ่งเรียกว่าแรงดัน v_{GS}

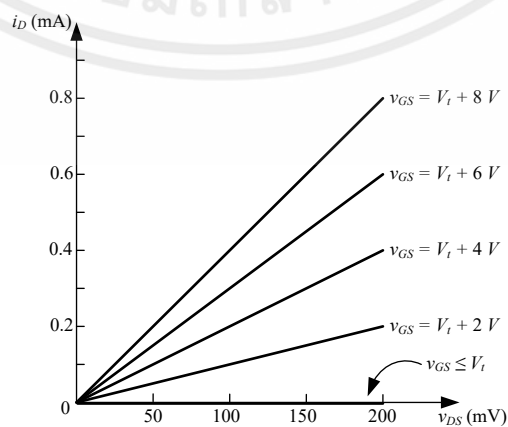
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยแรงดัน v_{GS} จะดึงประจุลบ n^- ที่ขาซอสและขาเดรนทำให้เกิดเป็นช่องทางเดินกระแสระหว่างขาเดรนและขาซอสเข้าด้วยกันตามรูปที่ 2.3 ซึ่งจะทำให้มีกระแสไหลจากเดรนไปยังซอส ดังนั้นจึงเรียก MOSFET ในรูปที่ 2.3 ได้ว่า MOSFET ชนิด n -channel หรือทรานซิสเตอร์ NMOS โดยทรานซิสเตอร์ NMOS นั้นถูกสร้างอยู่บนฐานรองชนิดพี (p -type) และช่องทางเดินกระแสถูกสร้างจากการสลับกันระหว่างสารกึ่งตัวนำชนิดพีกับชนิดเอ็น โดยแรงดัน v_{GS} ที่ทำให้เกิดช่องทางเดินกระแสเรียกว่า แรงดันขีดเริ่ม (threshold voltage) เขียนเป็นสัญลักษณ์ คือ V_t ซึ่งมีค่าเป็นบวก โดยทรานซิสเตอร์ NMOS แรงดันขีดเริ่มมีค่าประมาณ 1-3 V สำหรับขาเกตและขาบอดี้ นั้นเป็นชั้นที่ขนานกันโดยมีชั้นฉนวนออกไซด์ทำหน้าที่เป็นดั่งตัวเก็บประจุไดโอดิเล็กทริก ระหว่างขาเกตและขาบอดี้ โดยแรงดันบวกที่ขาเกตส่งผลให้มีการเก็บประจุที่ชั้นด้านบนตัวเก็บประจุไดโอดิเล็กทริก (Gate Electrode) เช่นเดียวกันกับการเก็บประจุลบที่ชั้นล่างตัวเก็บประจุไดโอดิเล็กทริกที่เกิดจากการเหนี่ยวนำที่ n -channel ดังนั้นจึงเป็นการกำหนดกระแสที่ไหลผ่านแซนแนลโดยการป้อนแรงดัน v_{DS}



รูปที่ 2.4 ทรานซิสเตอร์ NMOS ที่แรงดัน $v_{GS} > V_t$ ในขณะที่ป้อนแรงดัน v_{DS} ที่ค่าน้อยๆ

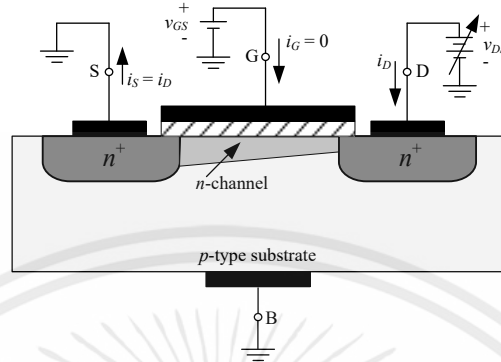
เมื่อป้อนแรงดันบวก v_{DS} ระหว่างขาเดรนและซอสทำให้แซนแนลเกิดการเหนี่ยวนำ โดยลำดับแรกเป็นการพิจารณาในกรณีที่แรงดัน v_{DS} มีค่าน้อย (0.1 V - 0.2 V) ดังแสดงในรูปที่ 2.4 โดยแรงดัน v_{DS} จะส่งผลต่อการเหนี่ยวนำกระแส i_D ที่ไหลผ่าน n -channel จากขาซอสไปขาเดรน โดยปริมาณของกระแส i_D ขึ้นอยู่กับปริมาณของแรงดัน v_{GS} และความหนาแน่นของอิเล็กตรอนในแซนแนล ถ้าหาก $v_{GS} = V_t$ แซนแนลจะมีกระแสไหลในปริมาณที่น้อยมาก แต่ถ้า $v_{GS} > V_t$ ทำให้แซนแนลลึกลงทำให้ปริมาณกระแสไหลได้มากขึ้น นั่นคือ กระแส i_D จะขึ้นอยู่กับค่าแรงดัน $v_{GS} - V_t$ และต้องมีแรงดัน v_{DS} จึงจะทำให้เกิดกระแสไหลได้



รูปที่ 2.5 กราฟแสดงความสัมพันธ์ระหว่าง i_D กับ v_{DS} ของทรานซิสเตอร์ในรูปที่ 2.4

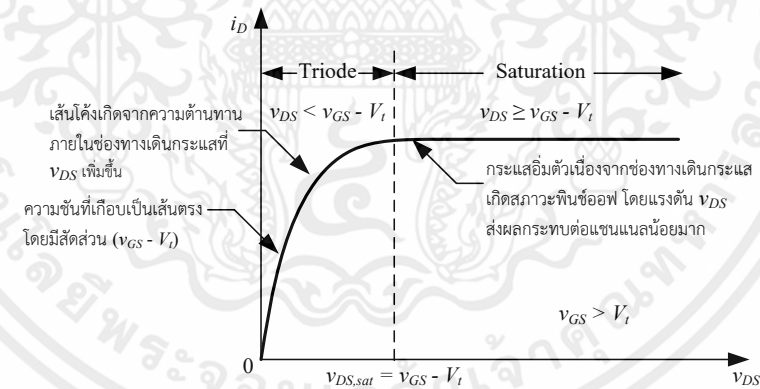
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.5 เป็นการแสดงความสัมพันธ์ระหว่าง i_D และ v_{DS} โดยปรับค่า v_{GS} ต่างกัน เห็นได้ว่า MOSFET ทำงานในย่านเชิงเส้นถูกควบคุมด้วยแรงดัน v_{GS} อีกทั้งยังเป็นเสมือนตัวต้านทานเมื่อ $v_{GS} \leq V_t$ สังเกตว่ากระแสที่ไหลออกขาซอส (i_S) มีค่าเท่ากับกระแสที่ไหลผ่านขาเดรน (i_D) โดยกระแสที่ขาเกต (i_G) มีค่าเท่ากับ 0



รูปที่ 2.6 การทำงานของทรานซิสเตอร์ NMOS แบบเอ็นฮานซ์เมนต์ที่โหมดที่แรงดัน v_{DS} เพิ่มขึ้น

ต่อมาเป็นการพิจารณาในกรณีที่แรงดัน v_{DS} มีค่าเพิ่มขึ้น ในขณะที่แรงดัน v_{GS} เป็นค่าคงที่ๆ มีค่ามากกว่า V_t ดังนั้นส่งผลให้แรงดันระหว่างขาเกตและแรงดันที่จุด v_{GS} ที่เข้าใกล้ขาซอสกับแรงดัน $v_{GS} - v_{DS}$ ที่เข้าใกล้ขาเดรนมีผลต่อการเปลี่ยนแปลงของแชนแนล ดังแสดงในรูปที่ 2.6 ซึ่งเห็นได้ว่า แชนแนลจะลึกสุดที่เข้าใกล้ขาซอสและตื้นสุดที่เข้าใกล้ขาเดรน โดยแรงดัน v_{DS} ที่เพิ่มขึ้นเป็นผลให้ แชนแนลมีขนาดลดลง ดังนั้น $i_D - v_{DS}$ จึงไม่เป็นในลักษณะเส้นตรง โดยมีการเลี้ยวแบน ดังแสดงในรูปที่ 2.7



รูปที่ 2.7 กราฟแสดงการเปรียบเทียบระหว่างกระแส i_D กับแรงดัน v_{DS} ของทรานซิสเตอร์ NMOS โดยมีแรงดัน $v_{GS} > V_t$

จากรูปที่ 2.7 เมื่อแรงดัน v_{DS} มีค่าเพิ่มขึ้นจนกระทั่ง $v_{DS} = v_{GS} - V_t$ ส่งผลให้ความลึกของ แชนแนลที่เข้าใกล้ขาเดรนลดลงจนเกือบเป็นศูนย์ ซึ่งช่องทางเดินกระแสที่แคบลงนี้ถูกเรียกว่าสภาวะ พินช์ออฟ (Pinch-Off) ต่อมาแรงดัน v_{DS} ที่เพิ่มขึ้นจากจุดนี้ ส่งผลกระทบบต่อแชนแนลน้อยมาก หรือไม่ส่งผลกระทบลเลยทางทฤษฎี โดยกระแสที่ไหลผ่านแชนแนลจะมีค่าคงที่ ตั้งแต่ $v_{DS} = v_{GS} - V_t$ เรียกการทำงาน ของ MOSFET ช่วงนี้ว่าย่านอิ่มตัว (Saturation-Region) ซึ่งแรงดัน $v_{DS,sat}$ ที่เกิดขึ้นหาได้ดังนี้

$$v_{DS,sat} = v_{GS} - V_t \quad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เห็นได้ชัดว่า MOSFET สามารถทำงานในย่านอิมิตัวได้ในกรณีที่ $v_{DS} \geq v_{DS,sat}$ ถ้าหาก $v_{DS} \leq v_{DS,sat}$ เรียกการทำงานของ MOSFET ช่วงนี้ว่าย่านโอห์มิก (Ohmic-Region หรือ Triode-Region) โดยความสัมพันธ์ระหว่าง $i_D - v_{DS}$ ในย่านโอห์มิกหาได้ดังสมการที่

$$i_D = K \left[2(v_{GS} - V_t)v_{DS} - v_{DS}^2 \right] \quad (2.2)$$

โดยที่ K คือพารามิเตอร์ ดังนี้

$$K = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right) \quad (2.3)$$

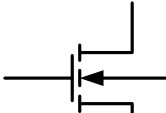
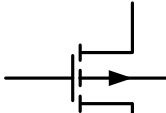
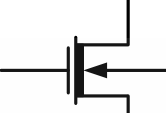
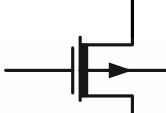




ซึ่ง μ_n คือค่าความคล่องของโฮล หรืออิเล็กตรอน (Surface Mobility of Carrier), C_{OX} คือค่าความจุต่อพื้นที่ของเกตออกไซด์ (Oxide Capacitance), L คือความยาวของแชนแนล (Channel Length), W คือความกว้างของแชนแนล (Channel Width) โดยดูได้จากรูปที่ 2.1

ดังนั้นการทำงานของ MOSFET ในย่านอิมิตัว โดยเกิดการเหนี่ยวนำภายในแชนแนลนั้น $v_{GS} \geq V_t$ และจะเกิดในสภาวะพินชออฟเมื่อ $v_{DS} \geq v_{GS} - V_t$ โดยขอบเขตระหว่างย่านโอห์มิกและย่านอิมิตัวคือ $v_{DS} = v_{GS} - V_t$ เมื่อแทนค่า v_{DS} ลงในสมการที่ (2.2) กระแส i_D ในย่านอิมิตัวได้ดังสมการที่ (2.4)

$$i_D = K(v_{GS} - V_t)^2 \quad (2.4)$$

2.2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

สัญลักษณ์ของมอสทรานซิสเตอร์ชนิด p และชนิด n [21] นั้นดูได้จากหัวลูกศรที่ขาซอส ถ้าหากหัวลูกศรหันเข้าที่ขาเกตแสดงว่าเป็น PMOS แต่ถ้าหากหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น NMOS อีกทั้งสามารถทิศทางของหัวลูกศรที่ฐานรอง (Substrate) หรือขาบอดี้ (Body) ถ้าหากหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น PMOS แต่ถ้าหากหัวลูกศรหันเข้าขาเกตแสดงว่าเป็น NMOS ซึ่งสัญลักษณ์ของมอสทรานซิสเตอร์สามารถบอกได้อีกว่าเป็นมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดหรือดีฟิซิชั่นโหมดดังแสดงในรูปที่ 2.8

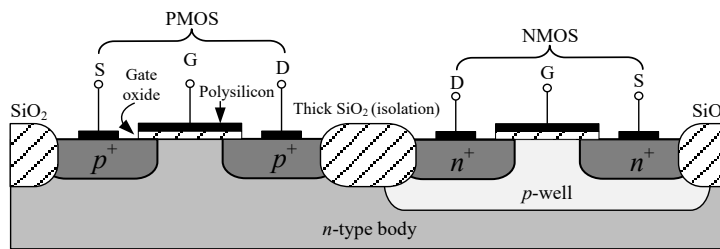
NMOS	PMOS	MODE
		Enhancement
		Depletion
		Enhancement
		Depletion

รูปที่ 2.8 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดต่างๆ

2.3 เทคโนโลยีวงจรรวมซีมอส

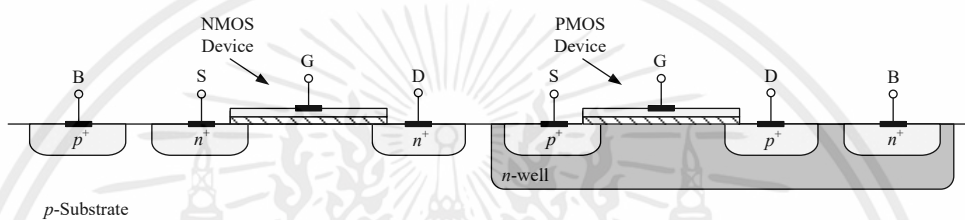
เทคโนโลยีวงจรรวมซีมอส (CMOS: Complementary MOS) [22],[23] เป็นเทคโนโลยีวงจรรวมที่มีความสำคัญอย่างยิ่งต่อการพัฒนาอุตสาหกรรมไมโครอิเล็กทรอนิกส์ ซึ่งมีจุดกำเนิดเป็นครั้งแรกในปี ค.ศ. 1960 เมื่อ Dawon Kahng และ Martin Atalla นักวิจัยจากห้องปฏิบัติการวิจัยโทรศัพท์เบลล์ ได้คิดค้นและประดิษฐ์ทรานซิสเตอร์มอสเฟต ที่สามารถทำงานได้จริงเป็นครั้งแรกของโลก อันเป็นการนำไปสู่การพัฒนาเทคโนโลยีมอสเฟตสำหรับการผลิตวงจรรวมมวลมากเชิงพาณิชย์ ในปี ค.ศ. 1963 นักวิจัย Frank Wanlass และ Chih-Tang Sah จากบริษัท Fairchild Semiconductor ได้คิดค้นและนำเสนอวงจรถิติดอลลอจิกที่ใช้มอสเฟตชนิด n และ ชนิด p บนฐานรองเดียวกัน และให้ชื่อว่า ซีมอส (CMOS) ซึ่งถือเป็นจุดกำเนิดของเทคโนโลยีวงจรรวมแบบซีมอส อันเป็นเทคโนโลยีวงจรรวมที่มีบทบาทสำคัญที่สุดต่อการพัฒนาและเจริญเติบโตของอุตสาหกรรมไมโครอิเล็กทรอนิกส์

กระบวนการผลิตเทคโนโลยีซีมอส ดังรูปที่ 2.9 แสดงให้เห็นโครงสร้างทางกายภาพของ NMOS และ PMOS ในเทคโนโลยีซีมอสแบบบ่อ p (p -well) ที่ใช้สารกึ่งตัวนำชนิด n เป็นฐานรองของ PMOS และวงจรรวมทั้งหมด โดยใช้บ่อ p เป็นบอดี้หรือฐานรองของ NMOS



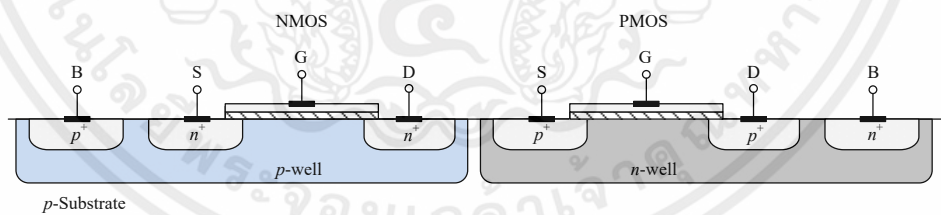
รูปที่ 2.9 วงจรรวมซีมอสแบบบ่อ p บนฐานรองชนิด n

เช่นเดียวกัน กระบวนการผลิตเทคโนโลยีซีมอส ดังรูปที่ 2.10 แสดงโครงสร้างกายภาพของ NMOS และ PMOS ในเทคโนโลยีซีมอสแบบบ่อ n (n -well) ที่ใช้สารกึ่งตัวนำชนิด p เป็นฐานรองของ NMOS และวงจรรวมทั้งหมด โดยใช้บ่อ n เป็นขั้วต่อหรือฐานรองของ PMOS

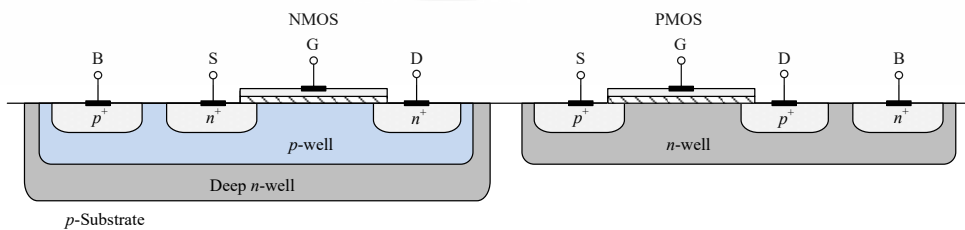


รูปที่ 2.10 วงจรรวมซีมอสแบบบ่อ n บนฐานรองชนิด p

เมื่อพิจารณามอสทรานซิสเตอร์แบบเอ็นฮาซันเมนต์ใหม่ทางกายภาพ ในรูปที่ 2.9 และรูปที่ 2.10 เห็นได้ว่าวงจรรวมซีมอสประกอบไปด้วยช่องทางเดินกระแสชนิด n และช่องทางเดินกระแสชนิด p ซึ่งจำเป็นอย่างมากในการทำให้ฐานรองชนิด n และชนิด p ในวงจรรวมซีมอสแยกจากกันทางไฟฟ้า ดังเช่นรูปที่ 2.9 ดังนั้นกระบวนการสร้างบ่อพีแยก (p -well) ถูกใช้เป็นเทคนิคการสร้างวงจรรวมซีมอส โดยเริ่มต้นจากการเจือสารซิลิคอนชนิด n ต่ำๆ ซึ่งช่องทางเดินกระแสชนิด p ของมอสทรานซิสเตอร์ถูกสร้างขึ้นต่อมาเป็นกระบวนการสร้างบ่อพีแยก โดยมีช่องทางเดินกระแสเป็นชนิด n ของมอสทรานซิสเตอร์



รูปที่ 2.11 วงจรรวมซีมอสแบบเป็นแบบบ่อคู่บนฐานรองชนิด p



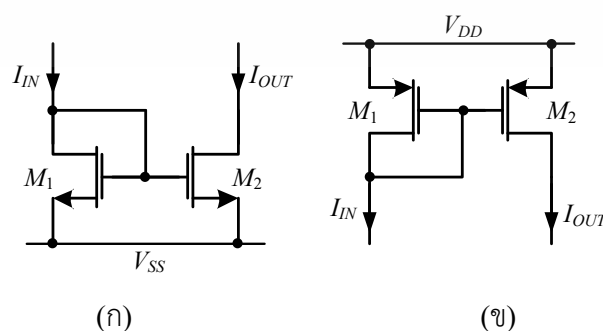
รูปที่ 2.12 วงจรรวมซีมอสแบบสามบ่อบนฐานรองชนิด p

เทคโนโลยีซีมอสสามารถแบ่งออกได้เป็น 4 แบบ [42] ได้แก่ แบบที่ 1 เป็นแบบบ่อ p (p -well) ดังรูปที่ 2.9 แบบที่ 2 เป็นแบบบ่อ n (n -well) ดังรูปที่ 2.10 แบบที่ 3 เป็นแบบบ่อคู่ (Twin-well) ดังรูปที่ 2.11 และแบบที่ 4 เป็นแบบสามบ่อ (Triple-well) ดังรูปที่ 2.12 ตามลำดับ สำหรับวงจรรวมซีมอสในรูปที่ 2.9 และรูปที่ 2.10 นั้นเป็นการสร้างบ่อ p และบ่อ n โดยการเจือสารตรงข้าม (counter-doped) ยกตัวอย่างในรูปที่ 2.10 ฐานรองชนิด p จะต้องเจือสารชนิด n ที่เข้มข้นจนกระทั่งเกิดการเปลี่ยนแปลงจากสารชนิด p ไปยังสารชนิด n ซึ่งปัญหาในการเจือสารตรงข้ามที่ฐานรองชนิด p เพื่อที่จะสร้างบ่อ n นี้ส่งผลให้ประสิทธิภาพของสารกึ่งตัวนำที่ได้ไม่ดีนัก เนื่องจากอิเล็กตรอนบางส่วนเกิดการแตกตัวเป็นอะตอมเข้าไปสู่โฮลที่ฐานรองชนิด p ซึ่งเป็นผลกระทบที่เกิดจากการเจือสารมากเกินไป (excessive doping effects) นอกจากนี้ PMOS ที่ได้จากบ่อ n นั้นประสิทธิภาพของสารกึ่งตัวนำที่ได้ยังคงไม่ดีนัก เช่นเดียวกับ NMOS ที่ได้จากบ่อ p ยกตัวอย่างเช่น การสร้าง PMOS ในบ่อ n จะมีประสิทธิภาพในการตอบสนองที่ช้ากว่า PMOS ที่สร้างในฐานรองชนิด n

สำหรับกระบวนการในการลดผลกระทบจากการเจือสารมากเกินไปนี้ทำได้โดยการเลือกใช้เทคโนโลยีซีมอสในแบบที่ 3 ซึ่งเป็นแบบบ่อคู่ (Twin-well) ดังแสดงในรูปที่ 2.11 โดยวงจรรวมซีมอสแบบบ่อคู่เป็นการเจือสารอย่างบาง (lightly doped) ที่ฐานรอง ดังนั้นผลกระทบจากการเจือสารตรงข้าม (counter-doped) จึงไม่มีนัยสำคัญ อย่างไรก็ตามหากเลือกใช้ฐานรองเป็นแบบชนิด p จะทำให้บ่อ p เชื่อมต่อกับฐานรองโดยตรง ดังนั้นที่ขาบอดี้ของ NMOS ทั้งหมดจะถูกเชื่อมต่อกันที่จุดเดียวกัน สำหรับเทคโนโลยีซีมอสแบบสามบ่อ (Triple-well) ดังแสดงในรูปที่ 2.12 เป็นการสร้างบ่อ n แบบลึก (deep n -well) ใต้พื้นที่บ่อ p เพื่อแยก NMOS ออกจากฐานรองของชิพทำให้สามารถลดกระแสรั่วใน NMOS ได้ อีกทั้งเป็นการป้องกันและลดทอนสัญญาณรบกวนจากฐานรอง เช่น สัญญาณรบกวนจากวงจรรอเวลาที่อยู่กับชิพเดียวกัน ทำให้ NMOS มีคุณสมบัติและประสิทธิภาพการทำงานสูงขึ้น เทคโนโลยีซีมอสแบบสามบ่อมักนิยมใช้กับวงจรที่ทำงานที่ความถี่สูงอีกด้วย ดังนั้น เทคโนโลยีซีมอสแบบบ่อคู่ และแบบสามบ่อจะมี NMOS และ PMOS ที่มีคุณสมบัติที่ดีกว่าในเทคโนโลยีแบบบ่อ p และบ่อ n แต่ก็จะมีต้นทุนการสร้างสูงกว่า เนื่องจากจะต้องใช้ขั้นตอนกระบวนการผลิตเพิ่มขึ้น

2.4 วงจรสะท้อนกระแสแบบพื้นฐาน

วงจรสะท้อนกระแส (current mirror) [24],[25] เป็นส่วนสำคัญในการจ่ายกระแสจากแหล่งจ่ายกระแสไปยังส่วนต่างๆของวงจร โดยวงจรสะท้อนกระแสรับกระแสอินพุตและให้กระแสเอาต์พุตที่มีค่าเท่ากัน หรือเป็นจำนวนเท่ากันของกระแสอินพุต และอาศัยหลักการพื้นฐานที่ซีมอสเฟต 2 ตัว หรือมากกว่า โดยมีแรงดันที่ขาเกตและขาซอสเท่ากัน เพื่อให้ได้กระแสเดรนมีค่าเท่ากัน หรือเป็นไปตามอัตราส่วนขนาดของมอสเฟตทั้ง 2 ตัว หรือมากกว่านั้น



รูปที่ 2.13 วงจรสะท้อนกระแสพื้นฐาน (ก) แบบดึงกระแส (ข) แบบจ่ายกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.13 แสดงวงจรสะท้อนกระแสพื้นฐานแบบดึงกระแส (current sink) ที่ใช้ NMOS และแบบจ่ายกระแส (current source) ที่ใช้ PMOS ซึ่งประกอบไปด้วยมอสเฟตอินพุต M_1 ที่มีการต่อขาเกตเข้ากับขาเดรน ทำหน้าที่รับกระแสอินพุต และมอสเฟตเอาต์พุต M_2 ทำหน้าที่สะท้อนกระแสที่อินพุตและให้กระแสเอาต์พุต โดยมอสเฟตทั้งสองตัวทำงานในย่านอิ่มตัว เมื่อวิเคราะห์วงจรในรูปที่ 2.13(ก) ซึ่งมี M_1 และ M_2 ทำงานในย่านอิ่มตัวและมี $V_{GS1} = V_{GS2}$ จะได้ $r_{in} \approx 1/g_{m1}$, $r_{out} = r_{ds2} = 1/\lambda I_{D2}$ และ $V_{min} = V_{DS2(sat)}$

$$\frac{I_{OUT}}{I_{IN}} = \frac{(\mu_n C_{ox})_2 (W/L)_2 (V_{GS2} - V_{T2})^2 (1 + \lambda V_{DS2})}{(\mu_n C_{ox})_1 (W/L)_1 (V_{GS1} - V_{T1})^2 (1 + \lambda V_{DS1})} \quad (2.5)$$

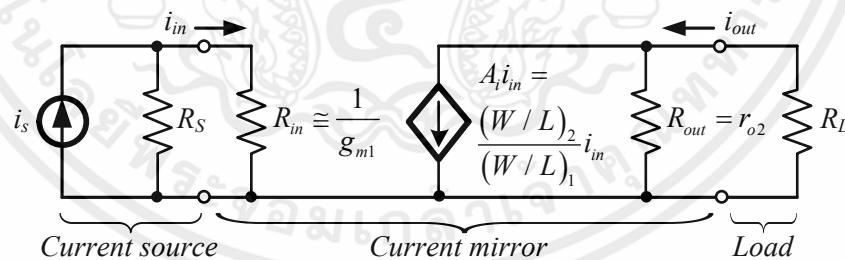
โดยทั่วไป ถ้าสมมติให้ M_1 และ M_2 มีคุณสมบัติทางกายภาพเหมือนกัน หรือ $(\mu_n C_{ox})_1 = (\mu_n C_{ox})_2$ และ $V_{T1} = V_{T2}$ จะได้

$$\frac{I_{OUT}}{I_{IN}} = \frac{(W/L)_2 (1 + \lambda V_{DS2})}{(W/L)_1 (1 + \lambda V_{DS1})} \quad (2.6)$$

และถ้าสมมติให้ $V_{DS1} = V_{DS2}$ จะได้

$$\frac{I_{OUT}}{I_{IN}} = \frac{(W/L)_2}{(W/L)_1} \quad (2.7)$$

จากสมการที่ (2.7) เห็นได้ว่าอัตราส่วนของกระแสที่เอาต์พุต I_{OUT} ต่อกระแสที่อินพุต I_{IN} หรืออัตราขยายกระแส (current gain: A_i) ของวงจรสะท้อนกระแสมีค่าขึ้นกับขนาดของทรานซิสเตอร์ทั้งสอง เช่น ถ้าออกแบบให้ $(W/L)_1$ มีค่าเท่ากับ $(W/L)_2$ กระแสที่เอาต์พุตจะมีค่าเท่ากับกระแสที่อินพุต หรือกล่าวได้ว่ากระแสที่อินพุตถูกสะท้อนไปเป็นกระแสที่เอาต์พุต



รูปที่ 2.14 วงจรเสมือนของวงจรสะท้อนกระแสแบบพื้นฐานชนิด NMOS

จากรูปที่ 2.14 แสดงวงจรเสมือนของวงจรสะท้อนกระแสแบบพื้นฐาน จากรูปวงจรมีความคล้ายคลึงกับวงจรเสมือนของวงจรขยายกระแส (current amplifier) เมื่อพิจารณาจากรูป R_{in} ของวงจรควรมีค่าน้อยทั้งนี้เพื่อให้กระแสจากแหล่งจ่ายกระแส (i_s) สามารถจ่ายกระแสเข้าสู่วงจรขยายกระแสได้อย่างเต็มที่ ในขณะที่เดียวกัน R_{out} ของวงจรควรมีค่ามากเพื่อให้กระแสจ่ายกระแส $A_i i_{in}$ สามารถจ่ายกระแสไปยังโหลด R_L ได้อย่างเต็มที่ เนื่องจาก R_{in} ของวงจรสะท้อนกระแสมีค่าน้อย ($R_{in} \approx 1/g_{m1}$) และ R_{out} ของวงจรสะท้อนกระแสมีค่ามาก ($R_{out} = r_{o2}$) ดังนั้นสามารถพิจารณาวงจรสะท้อนกระแสว่าเป็นวงจรขยายกระแสได้

2.5 การพล็อตขนาดและเฟสของฟังก์ชัน

ในการวิเคราะห์โครงข่าย ส่วนที่ต้องให้ความสำคัญในการวิเคราะห์คือ เฟส (Phase) และขนาด (Magnitude) เทียบกับความถี่ที่ถูกระบุ [26] ซึ่งทำได้โดยการพล็อตกราฟ โดยฟังก์ชันโครงข่ายสามารถเขียนได้ดังสมการ

$$H(s) = \frac{N(s)}{D(s)} = k \frac{\prod_{i=1}^n (s - z_i)}{\prod_{i=1}^m (s - p_i)} \quad (2.8)$$

โดยที่ค่าของโพลและซีโรสามารถเป็นได้ทั้งค่าจำนวนจริง หรือเชิงซ้อนจึงต้องเขียนสมการให้อยู่ในรูปของขนาด $H(j\omega)$ ในรูปของเดซิเบล (Decibel) ได้เป็น

$$\text{Magnitude} = 20 \log_{10} |H(j\omega)| \quad (2.9)$$

$$\text{Magnitude} = 20 \log_{10} |k| + \sum_{i=1}^n 20 \log_{10} |j\omega - z_i| - \sum_{i=1}^m 20 \log_{10} |j\omega - p_i| \quad (2.10)$$

และเฟสในรูปขององศาหรือ เรเดียน (Radians) สามารถเขียนได้เป็น

$$\text{Phase} = \tan^{-1} \frac{I_m H(j\omega)}{R_e H(j\omega)} \quad (2.11)$$

$$= \sum_{i=1}^n \tan^{-1} \left(\frac{I_m (j\omega - z_i)}{R_e (j\omega - z_i)} \right) - \sum_{i=1}^m \tan^{-1} \left(\frac{I_m (j\omega - p_i)}{R_e (j\omega - p_i)} \right) \quad (2.12)$$

สำหรับการวิเคราะห์โครงข่ายในตัวประกอบรูปแบบ $N(s)$ หรือ $D(s)$ กรณีที่วิเคราะห์โครงข่ายอันดับหนึ่งที่มีตัวประกอบ s สามารถแยกเป็น 2 แบบ ได้ดังต่อไปนี้

1. มีตัวประกอบ s แทนในรากที่จุดกำเนิด
2. ตัวประกอบ $s + \alpha$ แทนในรากจริง

เมื่อพิจารณาแบบที่ 1 รากที่จุดกำเนิดตัวประกอบ s คือ ค่าขนาด และเฟสของโพลที่จุดกำเนิดแทนที่ด้วย $H(s)$ ทำให้

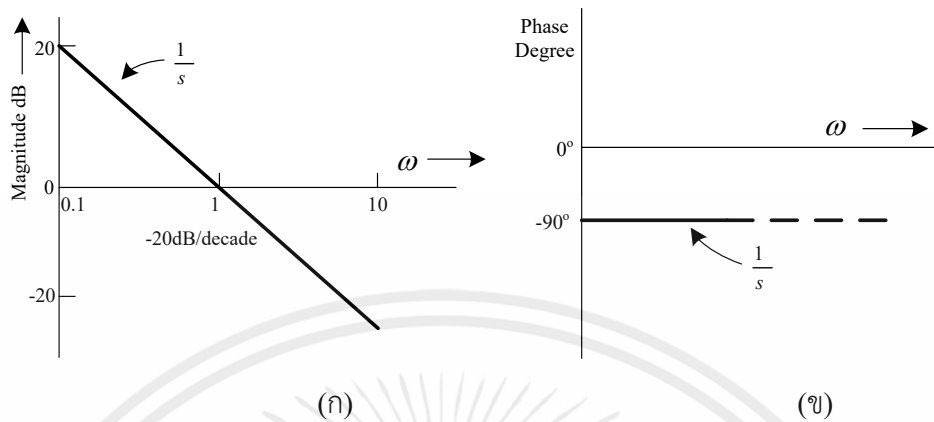
$$\text{Magnitude} = 20 \log_{10} \left| \frac{1}{j\omega} \right| = -20 \log \omega \quad (2.13)$$

$$\begin{aligned} \text{Phase} &= \tan^{-1}(0) - \tan^{-1} \left(\frac{\omega}{0} \right) \\ &= -90^\circ \end{aligned} \quad (2.14)$$

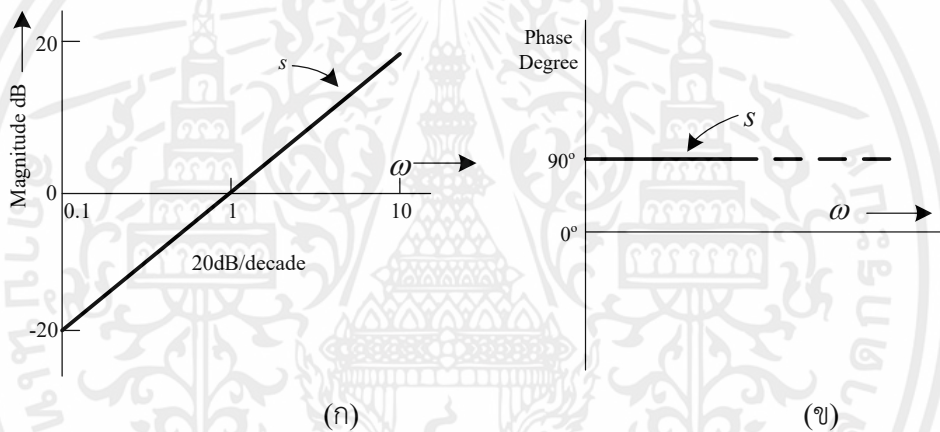
จากขนาดและเฟสที่ได้สามารถนำไปพล็อตได้เป็นดังรูปที่ 2.15 สังเกตได้ว่าค่าขนาดจะลดลง 20 dB เมื่อความถี่เพิ่มขึ้น 10 เท่า หรือพูดอีกอย่างหนึ่งคือ ขนาดลดลง 6 dB เมื่อความถี่เพิ่มขึ้น 2 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งความชันดังกล่าวนี้คือ -20 dB/decade หรือเท่ากับ -6 dB/octave นั่นเอง และถ้าขนาดและเฟสของฟังก์ชัน $H(s) = s$ แทนด้วยซีโรที่จุดกำเนิดสามารถพล็อตได้ดังรูปที่ 2.16



รูปที่ 2.15 (ก) พล็อตขนาด (ข) เฟสพล็อตของ $\frac{1}{s}$



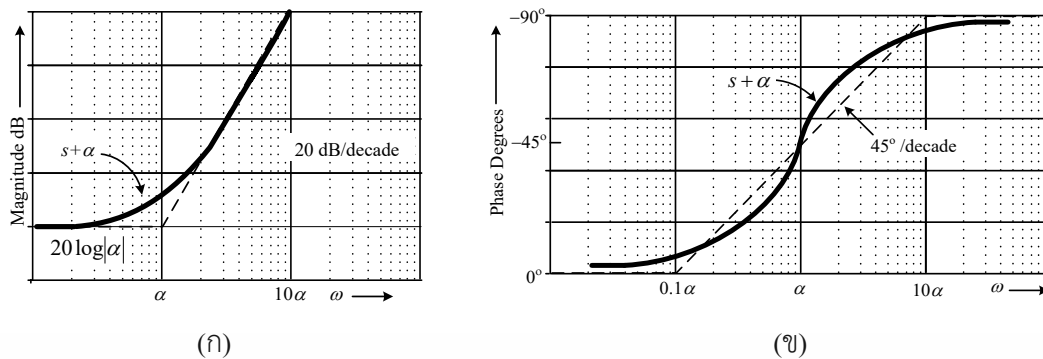
รูปที่ 2.16 (ก) พล็อตขนาด (ข) เฟสพล็อตของ s

สำหรับการวิเคราะห์โครงข่ายอันดับหนึ่งที่มีตัวประกอบ $s + \alpha$ ในแบบที่ 2 ถ้าฟังก์ชัน $H(s) = s + \alpha$ สามารถนำมาหาค่าขนาดและเฟสได้โดย

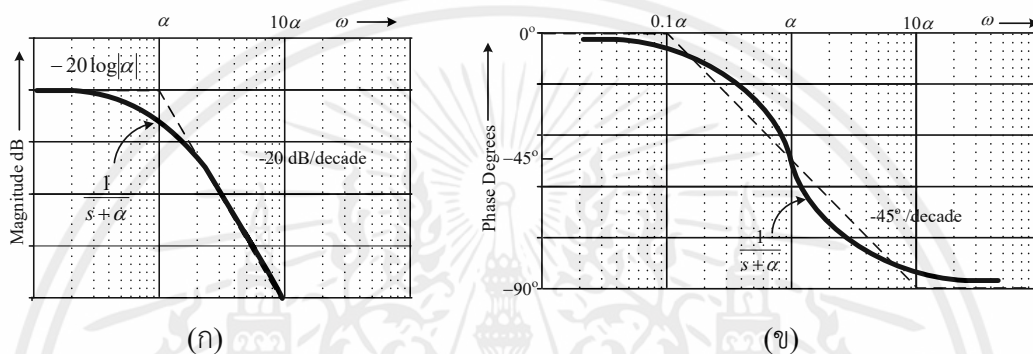
$$\text{Magnitude} = 20 \log_{10} |j\omega + \alpha| = 20 \log_{10} (\omega^2 + \alpha^2)^{\frac{1}{2}} \quad (2.15)$$

$$\text{Phase} = \tan^{-1} \left(\frac{\omega}{\alpha} \right) \quad (2.16)$$

ดังนั้นฟังก์ชันทั้งขนาดและเฟสสามารถนำมาพล็อตได้ดังรูปที่ 2.17 (ก) และ (ข) ที่ความถี่ต่ำ ($\omega \ll \alpha$) ฟังก์ชัน $H(s)$ สามารถประมาณด้วยค่าของ α ซึ่งทำให้อัตราขยายที่ความถี่ต่ำมีค่าประมาณ $20 \log \alpha$ และ ที่ความถี่สูง ($\omega \gg \alpha$) ค่าอัตราขยายจะสามารถประมาณได้ด้วย s และ ความชันของความถี่สูงจะประมาณ 6 dB/octave คือ เส้นประของรูป 2.17(ก) ส่วนค่าอัตราขยายที่เป็นจริงจะแสดงเป็นเส้นทึบ และทำการประมาณค่า $s = j\omega = j\alpha$ ณ จุดนี้จะได้จุดต่อของความถี่ต่ำและความถี่สูง ซึ่งในด้านความจริง (เส้นทึบ) จะห่างจากจุดอัตราขยายเริ่มต้นอยู่ 3.01 dB



รูปที่ 2.17 (ก) พล็อตขนาด (ข) เฟสพล็อตของ $s + \alpha$

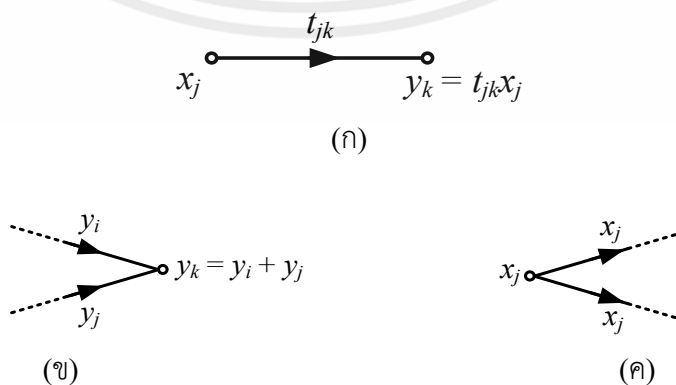


รูปที่ 2.18 (ก) พล็อตขนาด (ข) เฟสพล็อตของ $\frac{1}{s + \alpha}$

กรณีที่โครงข่ายอันดับหนึ่งที่มีตัวประกอบ $\frac{1}{s + \alpha}$ จากสมการที่ (2.16) ณ เส้นกราฟแสดงเฟส จากความถี่ 0° ไปจนถึงความถี่สูงๆ ที่ 90° ที่เป็นจริงจะแสดงไว้ดังรูปที่ 2.17 (ข) เป็นเส้นทึบและเส้นประเป็นเส้นที่ประมาณค่า ซึ่งมีค่าประมาณ $45^\circ/\text{decade}$ และปรากฏว่าที่ความถี่ $\omega = \alpha$ เฟสจะเลื่อนไป 45° ส่วนขนาดและเฟสในกรณีที่โพลเป็น $s = -\alpha$ เมื่อแทนสมการด้วย $\frac{1}{s + \alpha}$ จะแสดงไว้ดังรูปที่ 2.18 (ก) และ (ข) ตามลำดับ

2.6 หลักการโครงข่ายกราฟการไหลของสัญญาณ

การวิเคราะห์โครงข่ายกราฟการไหลของสัญญาณมีรูปแบบพื้นฐานมาจากการเชื่อมต่อกันระหว่างแขนงสัญญาณ หรือเรียกอีกอย่างว่าการวิเคราะห์ทางโนด [27] ดังแสดงในรูปที่ 2.19



รูปที่ 2.19 หลักการโครงข่ายพื้นฐานกราฟการไหลของสัญญาณ

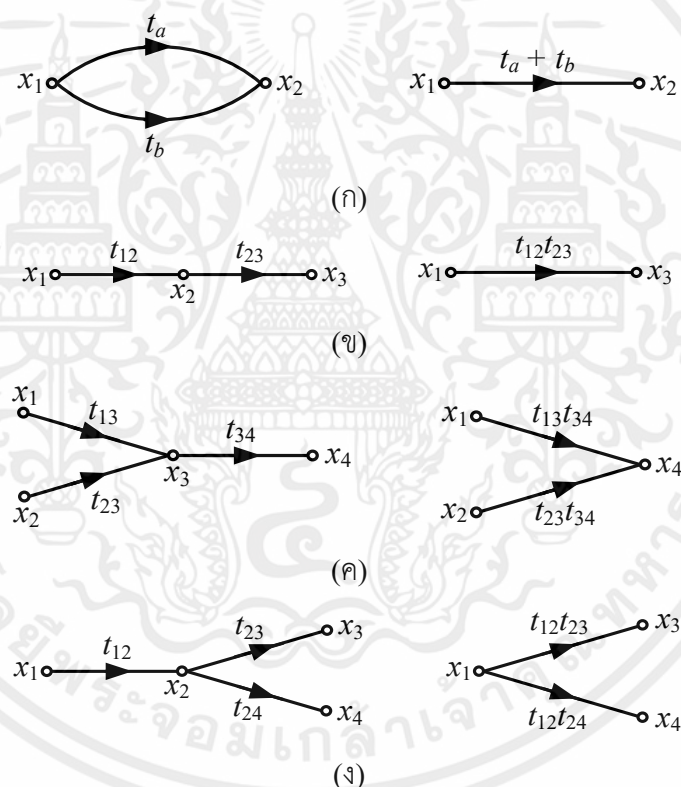
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.19 สามารถแสดงความสัมพันธ์กราฟการไหลของสัญญาณ โดยที่โหนด j ซึ่งเป็นโหนดทั่วไปจะมีโหนดสัญญาณ x_j เข้ามาต่อรวม แขนงกระแส jk เกิดขึ้นจากโหนด j ไปยังโหนด k โดยมีค่าทรานสมิตแตนซ์ (t_{jk}) เข้ามาต่อรวมด้วยเช่นกัน ซึ่งการกำหนดลักษณะนี้ สัญญาณ y_k ที่โหนด k จะขึ้นอยู่กับสัญญาณ x_j ที่โหนด j ดังแสดงในรูปที่ 2.19 โดยกราฟการไหลของสัญญาณมีหลักในการกำหนดอยู่ด้วยกัน 3 รูปแบบ ดังนี้

รูปแบบที่ 1 ทิศทางของแขนงสัญญาณถูกกำหนดโดยหัวลูกศรและคูณกับค่าทรานสมิตแตนซ์เท่านั้น ดังแสดงในรูปที่ 2.19(ก)

รูปแบบที่ 2 ที่จุดโหนด y_k เป็นการรวมสัญญาณที่เข้ามาทั้งหมดผ่านทางแขนงสัญญาณที่เข้ามา ดังแสดงในรูปที่ 2.19(ข)

รูปแบบที่ 3 สัญญาณที่จุดโหนด x_j สามารถส่งผ่านในแต่ละแขนงสัญญาณจากโหนดตั้งต้นนั้นๆ โดยการส่งผ่านรูปแบบนี้เป็นอิสระต่อค่าทรานสมิตแตนซ์ของแขนงสัญญาณที่ไหลออก ดังแสดงในรูปที่ 2.19(ค)

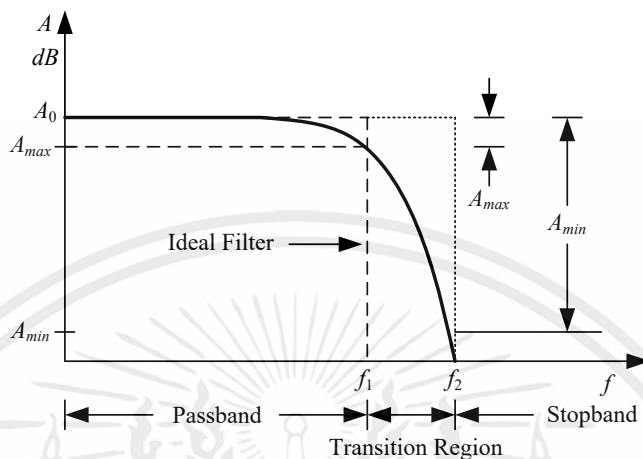


รูปที่ 2.20 พื้นฐานกราฟการไหลของสัญญาณแบบอื่นๆ

จากรูปที่ 2.20 เป็นพื้นฐานแนวทางในการจัดการกับกราฟการไหลของสัญญาณแบบอื่นๆ ซึ่งมีจุดมุ่งหมายเพื่อเป็นลดกราฟการไหลของสัญญาณให้เป็นแขนงของสัญญาณเดี่ยวที่เชื่อมต่อกันระหว่างโหนดอินพุตกับโหนดเอาต์พุต โดยรูปที่ 2.20 เป็นการยืนยันการเขียนที่ตรงกันในรูปแบบสมการพีชคณิต

2.7 หลักการของวงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านเป็นวงจรที่ยอมส่งผ่านสัญญาณความถี่ต่ำกว่าค่าที่เลือกไว้ไปได้ทั้งหมด แต่จะตัดทิ้งหรือลดทอน (Attenuator) ความถี่ที่สูงกว่าจุดความถี่ตัด (Cut-Off) [28] ดังแสดงในรูปที่ 2.21



รูปที่ 2.21 คุณสมบัติของวงจรกรองความถี่ต่ำผ่าน

จากรูปที่ 2.21 ค่าพารามิเตอร์ A_{max} คือ การยอมให้มีการเปลี่ยนแปลงในแถบความถี่ผ่าน (Passband) หรือการกระเพื่อมของสัญญาณ (Ripple), A_{min} คือ การยอมให้มีการลดทอนของสัญญาณในแถบความถี่หยุด (Stopband) โดยอ้างอิงจากอัตราขยายสูงสุดในแถบความถี่ผ่าน (A_0), f_1 คือ จุดความถี่ตัด, f_2 คือ แถบความถี่หยุดเริ่มต้น โดยค่าพารามิเตอร์เหล่านี้เป็นตัวกำหนดอันดับของวงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านในทางอุดมคตินั้นมีลักษณะความชันเป็นเส้นตรงลงมา ณ จุดความถี่ตัด ระหว่างเส้นแบ่งขอบเขตแถบความถี่ผ่านและแถบความถี่หยุด โดยมีการเปลี่ยนแปลงแถบเปลี่ยนความถี่ (Transition Region) ที่ฉับพลัน ซึ่งแสดงให้เห็นว่าวงจรกรองความถี่ต่ำผ่านในทางอุดมคติสามารถแยกสัญญาณความถี่ต่ำผ่านที่ต้องการออกจากความถี่ที่สูงกว่าจุดความถี่ตัดได้แบบฉับพลัน แต่ในทางปฏิบัติแล้วไม่สามารถทำได้ ดังนั้นจึงต้องกำหนดการประมาณค่าฟังก์ชันวงจรกรองสัญญาณ (ซึ่งจะกล่าวในหัวข้อที่ 2.8) ให้เหมาะสมกับการนำไปประยุกต์ใช้งาน

สามารถเทียบเคียงคุณลักษณะเฉพาะของวงจรกรองความถี่ต่ำผ่านในทางอุดมคติได้ด้วยสมการโพลิโนเมียลอันดับที่สอง (Second-order Polynomial Function) โดยสามารถเขียนในรูปฟังก์ชันถ่ายโอนได้ ดังนี้

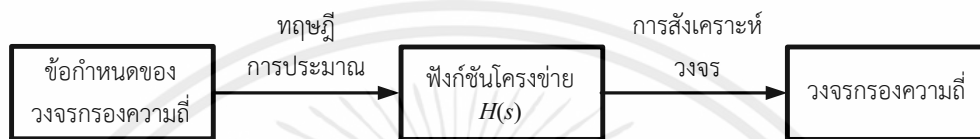
$$Gain = \frac{V_o(s)}{V_{in}(s)} = \frac{K}{s^2 + as + b} \quad (2.17)$$

โดยที่ K เป็นค่าคงที่ สำหรับ a และ b นั้นเป็นค่าที่กำหนดขึ้น อีกทั้งส่วนที่เป็นอันดับที่สองนั้น ได้จากกำลังสูงสุดสมการโพลิโนเมียลของตัวส่วน ซึ่งในกรณีที่สมการฟังก์ชันถ่ายโอนที่มีอันดับสูงกว่านี้ สามารถหาได้โดยใช้สมการที่ (2.17) ได้เช่นกัน โดยตัวส่วนเป็นนิพจน์ที่มีกำลังสูงสุดตามอันดับนั้นๆ สำหรับอัตราขยายของวงจรกรองความถี่ต่ำผ่าน สามารถหาได้โดยกำหนดให้ s ในสมการฟังก์ชันถ่ายโอนมีค่าเป็นศูนย์ ดังนั้น จากสมการที่ (2.17) อัตราขยายมีค่าเป็น K/b

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 การประมาณค่าฟังก์ชันวงจรรองสัญญาณ

การกำหนดคุณสมบัติของวงจรรองความถี่นั้น เป็นการกำหนดให้อยู่ในรูปของผลตอบสนองทางความถี่ (Frequency response) ซึ่งประกอบไปด้วยผลตอบสนองทางขนาด (Magnitude response) และผลตอบสนองทางเฟส (Phase response) สำหรับขั้นตอนการออกแบบวงจรรองความถี่นั้น เริ่มต้นจากการหาฟังก์ชันโครงข่าย (Network function) ให้มีความสอดคล้องกับข้อกำหนดของวงจรรองความถี่โดยใช้ทฤษฎีการประมาณค่า (Approximation theory) หลังจากนั้นจึงนำฟังก์ชันโครงข่ายที่ได้นำไปสังเคราะห์เป็นวงจรรองความถี่ โดยลำดับขั้นตอนการออกแบบวงจรรองความถี่ [29-31] แสดงดังในรูปที่ 2.22

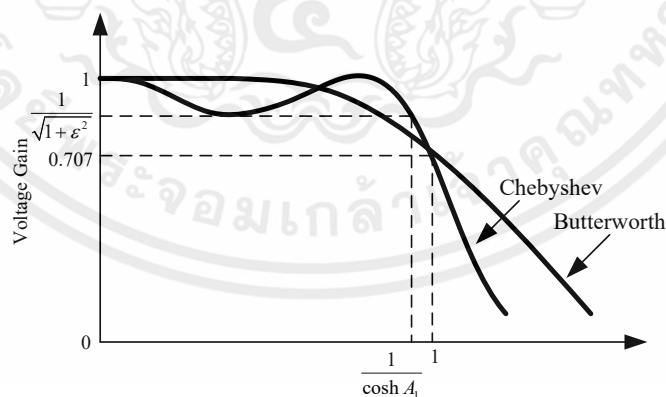


รูปที่ 2.22 ลำดับขั้นตอนการออกแบบวงจรรองความถี่

โดยการประมาณค่าฟังก์ชันวงจรรองสัญญาณในงานวิจัยนี้ใช้การประมาณค่าฟังก์ชันแบบ Chebyshev และการประมาณค่าฟังก์ชันแบบ Elliptic เป็นหลัก

2.8.1 วงจรรองความถี่ต่ำผ่านพาสซีฟ Chebyshev

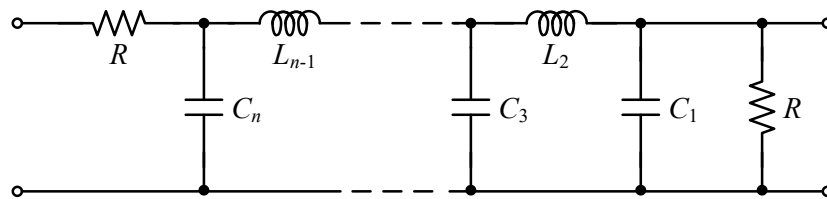
การประมาณค่าแบบ Chebyshev [32] ถึงแม้ว่าการการประมาณค่าชนิดนี้ส่งผลให้ผลตอบสนองทางความถี่ไม่เป็นโมโนโทนิก (Monotonic) ตลอดย่านความถี่เหมือนในการประมาณค่าแบบ Butterworth เนื่องจากมีการกระเพื่อมของสัญญาณ (Ripple) ในแถบความถี่ผ่าน (Passband) แต่การประมาณค่าแบบ Chebyshev จะมีความชันในการลดทอนสัญญาณในแถบเปลี่ยนความถี่สูงกว่าการประมาณค่าแบบ Butterworth ดังแสดงในรูปที่ 2.23



รูปที่ 2.23 การเปรียบเทียบผลตอบสนองทางความถี่ที่มีการประมาณค่าแบบ Butterworth และแบบ Chebyshev ที่อันดับเท่ากัน

อัตราการกระเพื่อมของสัญญาณในแถบความถี่ผ่านเป็นพารามิเตอร์ที่ใช้กำหนดในวงจรรองความถี่แบบ Chebyshev โดยอ้างอิงจากราคาอุปกรณ์ของวงจรรองความถี่ต่ำผ่านพาสซีฟชนิด

ตัวต้านทานปลายปิดคู่แบบ Chebyshev (ในรูปที่ 2.24) ดังแสดงในตารางที่ 2.1, 2.2 และตารางที่ 2.3 ซึ่งเป็นพื้นฐานในการนำมาใช้เป็นวงจรกรองความถี่ต่ำผ่านต้นแบบที่นำเสนอในงานวิจัยนี้



รูปที่ 2.24 วงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่แบบ Chebyshev

ตารางที่ 2.1 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่แบบ Chebyshev เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.1 dB

n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9
2	1.5715	0.288							
3	1.0316	1.1474	1.0316						
5	1.1468	1.3712	1.975	1.3712	1.1468				
7	1.1812	1.4228	2.0967	1.5734	2.0967	1.4228	1.1812		

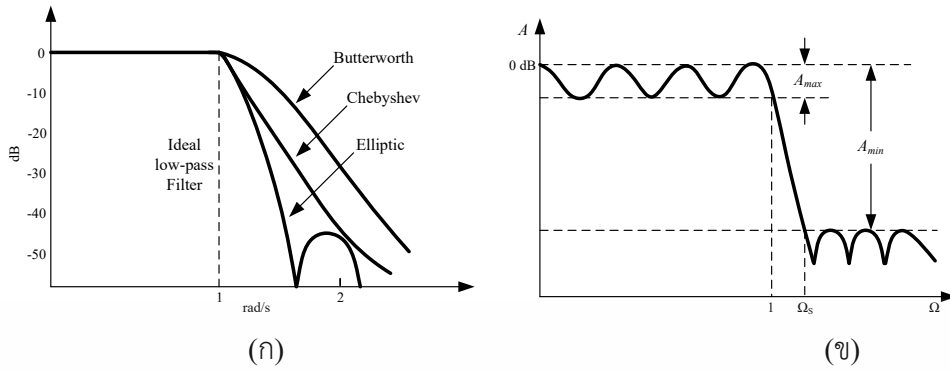
ตารางที่ 2.2 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่แบบ Chebyshev เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.5 dB

n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9
3	1.5963	1.0967	1.5963						
5	1.7058	1.2296	2.5408	1.2296	1.7058				
7	1.7373	1.2582	2.6383	1.3443	2.6383	1.2582	1.7373		
9	1.7504	1.269	2.6678	1.3673	2.7239	1.3673	2.6678	1.269	1.7504

จากตารางที่ 2.1 และตารางที่ 2.2 สามารถนำไปออกแบบเป็นวงจรกรองความถี่ต่ำอันดับสูงแบบ Chebyshev ซึ่งมีค่าของการกระเพื่อมเท่ากับ 0.1 dB และ 0.5 dB ตามลำดับ ดังนั้นค่าพารามิเตอร์ของอุปกรณ์เหล่านี้จึงเป็นที่มาของค่าอุปกรณ์พาสซีฟ RLC วงจรกรองความถี่ต่ำอันดับสูงต้นแบบ ที่ใช้ในวิทยานิพนธ์นี้

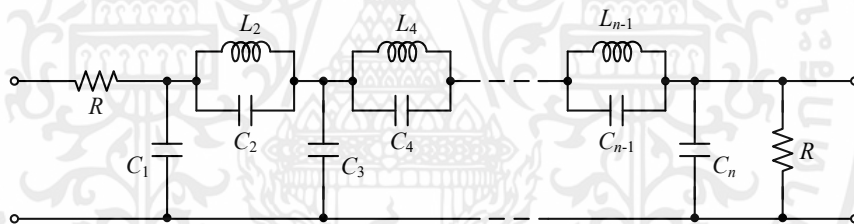
2.8.2 วงจรกรองความถี่ต่ำผ่านพาสซีฟ Elliptic

สำหรับการประมาณค่าวงจรกรองความถี่แบบ Elliptic [32] จะเกิดการกระเพื่อมของสัญญาณในแถบความถี่ผ่านและแถบความถี่หยุด โดยจะมีความชันสูงในแถบเปลี่ยนความถี่ (Transition Region) ดังนั้น การประมาณค่าวงจรกรองความถี่แบบ Elliptic จะมีการเปลี่ยนแปลงสูงในแถบเปลี่ยนความถี่กว่าวงจรกรองความถี่แบบ Chebyshev และวงจรกรองความถี่แบบ Butterworth ณ ที่วงจรมีอันดับเท่ากัน ดังแสดงในรูปที่ 2.25 (ก) โดยมีลักษณะผลตอบแทนของความถี่ที่ประมาณค่าแบบ Elliptic แสดงดังในรูปที่ 2.25 (ข)



รูปที่ 2.25 (ก) การเปรียบเทียบผลตอบสนองทางความถี่ที่มีการประมาณค่าแบบ Butterworth, Chebyshev และ Elliptic ที่อันดับเท่ากัน
(ข) ผลตอบสนองทางความถี่ที่ประมาณค่าแบบ Elliptic

สำหรับอัตราการกระเพื่อมของสัญญาณในแถบความถี่ผ่าน (A_{max}), การลดทอนของสัญญาณในแถบความถี่หยุด (A_{min}) และแถบความถี่หยุดเริ่มต้น (Ω_s) เป็นพารามิเตอร์ที่ใช้กำหนดในวงจรกรองความถี่แบบ Elliptic โดยอ้างอิงจากรายค่าอุปกรณ์ของวงจรกรองความถี่ต่ำผ่านพาสซีฟชนิดตัวต้านทานปลายปิดคู่แบบ Elliptic (ในรูปที่ 2.26) ดังแสดงในตารางที่ 2.3 และตารางที่ 2.4 ซึ่งเป็นพื้นฐานในการนำมาใช้เป็นวงจรกรองความถี่ต่ำผ่านต้นแบบที่นำเสนอในงานวิจัยนี้



รูปที่ 2.26 วงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่แบบ Elliptic

ตารางที่ 2.3 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่แบบ Elliptic เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.177 dB

A_{max}	A_{min}	Ω_s	C_1	C_2	L_2	C_3
0.177	79.6	14.34	1.1870	0.0032	1.1507	1.1870
0.177	69.1	9.57	1.1839	0.0072	1.1464	1.1839
0.177	55.7	5.76	1.1740	0.0200	1.1326	1.1740
0.177	40.2	3.24	1.1395	0.0669	1.0844	1.1395
0.177	33.7	2.56	1.1080	0.1123	1.0404	1.1080

ตารางที่ 2.4 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิดคู่แบบ Elliptic เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.044 dB

A_{max}	A_{min}	Ω_s	C_1	C_2	L_2	C_3
0.044	73.5	14.34	0.8510	0.0033	1.0997	0.8521
0.044	62.9	9.57	0.8479	0.0075	1.0944	0.8479
0.044	49.6	5.76	0.8380	0.0211	1.0776	0.8380
0.044	34.1	3.24	0.8036	0.0712	1.0190	0.8036
0.044	28.8	2.67	0.7791	0.1097	0.9774	0.7791

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

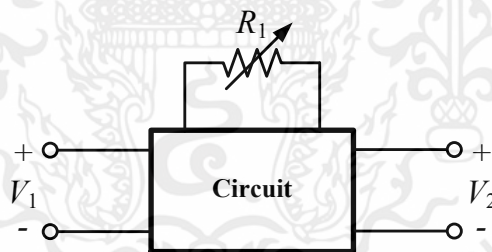
ตารางที่ 2.5 ค่าพารามิเตอร์ของอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านพาสซีฟตัวต้านทานปลายปิด
คู่แบบ Elliptic เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.18 dB

A_{max}	A_{min}	Ω_s	C_1	C_2	L_2	C_3	C_4	L_4	C_5
0.18	102.1	4.81	1.2923	0.0113	1.3338	2.0971	0.0299	1.3109	1.2742
0.18	92.3	3.86	1.2869	0.0178	1.3272	2.0796	0.0470	1.2915	1.2585
0.18	81.9	3.07	1.2778	0.0288	1.3160	2.0502	0.0765	1.2590	1.2324
0.18	71.5	2.46	1.2631	0.0466	1.2982	2.0041	0.1249	1.2081	1.1910
0.18	61.4	2.00	1.2407	0.0744	1.2710	1.9355	0.2024	1.1320	1.1287

จากตารางที่ 2.3 – 2.5 สามารถนำไปออกแบบเป็นวงจรกรองความถี่ต่ำอันดับสูงแบบ Elliptic ซึ่งมีค่าของการกระเพื่อมเท่ากับ 0.177 dB, 0.044 dB และ 0.18 ตามลำดับ ดังนั้นค่าพารามิเตอร์ของอุปกรณ์เหล่านี้จึงเป็นที่มาของค่าอุปกรณ์พาสซีฟ RLC วงจรกรองความถี่ต่ำอันดับสูงต้นแบบ ที่ใช้ในวิทยานิพนธ์นี้

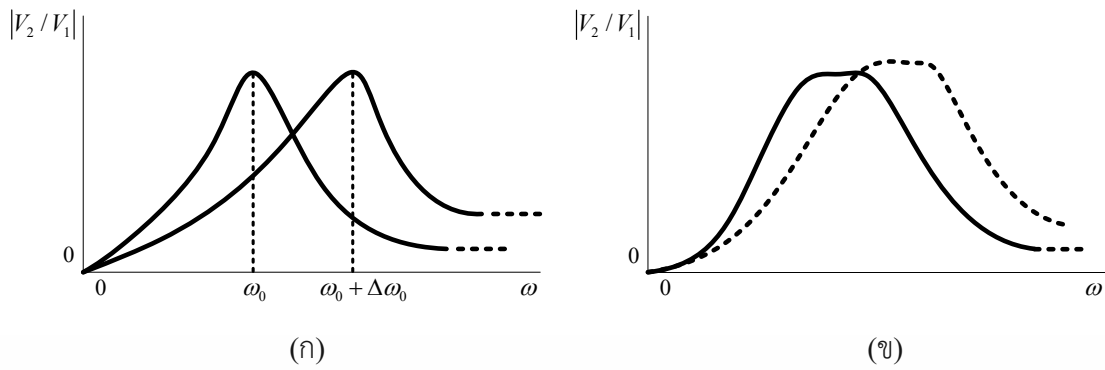
2.9 ค่าความไวของวงจรกรองความถี่

สำหรับการออกแบบวงจรกรองความถี่นั้น อีกหนึ่งปัจจัยหลักที่ผู้ออกแบบต้องคำนึงถึง คือ ค่าความไว (Sensitivity) ของอุปกรณ์ที่ถูกใช้ในการออกแบบเป็นวงจรกรองความถี่ ซึ่งในทางปฏิบัติ อุปกรณ์ที่ใช้ในวงจรจริงมักจะมีค่าความคลาดเคลื่อนไปจากค่าเดิมของอุปกรณ์นั้นๆ เช่น เกิดการเปลี่ยนแปลงทางเคมีอันเนื่องมาจากอุณหภูมิและความชื้นในสภาพแวดล้อมที่อุปกรณ์เหล่านี้ทำงานอยู่ โดยการเปลี่ยนแปลงของอุปกรณ์เหล่านี้ส่งผลให้เกิดการเบี่ยงเบนค่าพารามิเตอร์ต่างๆ ของวงจรกรองความถี่ เช่น ω_0 , Q และอัตราขยาย (k) ของวงจร อย่างไรก็ตามการวัดค่าความไวเริ่มต้นเป็นครั้งแรกโดย Bode ในปี ค.ศ. 1940 [46]



รูปที่ 2.27 การวิเคราะห์ค่าความไวของวงจรโดยการแยกองค์ประกอบอุปกรณ์

จากรูปที่ 2.27 เป็นการแยกองค์ประกอบอุปกรณ์ของภายในวงจรออกมาเพื่อทำการศึกษาค่าความไวของวงจร คือ ตัวต้านทาน R_1 โดยสมมติให้ค่าตัวต้านทาน R_1 เกิดการเปลี่ยนแปลงค่าจากเดิมเป็นปริมาณ ΔR_1 ซึ่งส่งผลให้ฟังก์ชันถ่ายโอน $T = V_2/V_1$ เกิดการเปลี่ยนแปลง โดยในที่นี้ให้ความสนใจที่ค่าพารามิเตอร์ ω_0 ของวงจรที่มีปริมาณการเปลี่ยนแปลงเป็น $\Delta \omega_0$ โดยการเปลี่ยนแปลงนี้อาจส่งผลต่อฟังก์ชันถ่ายโอน $T(s)$ ได้หลากหลายรูปแบบ ตัวอย่างเช่น อาจทำให้ตำแหน่งของโพลเปลี่ยนแปลงไปจากเดิมโดยผลตอบสนองทางความถี่ของวงจรอาจเปลี่ยนแปลงไป ดังแสดงในรูปที่ 2.28 (ก) ยิ่งไปกว่านั้นอาจทำให้ผลตอบสนองทางความถี่ของวงจรเกิดการผิดเพี้ยนได้ ดังแสดงในรูปที่ 2.28 (ข)



รูปที่ 2.28 (ก) ผลตอบสนองทางความถี่ของวงจรที่เปลี่ยนแปลงไปจากเดิม
(ข) ผลตอบสนองทางความถี่ของวงจรที่เกิดการผิดเพี้ยน

อย่างไรก็ตามหากพิจารณาค่าพารามิเตอร์ $\Delta\omega_0$ ที่เป็นอัตราส่วนการเปลี่ยนแปลงของ ω_0 และค่าพารามิเตอร์ ΔR_1 ที่เป็นอัตราส่วนการเปลี่ยนแปลงของ R_1 ซึ่งสามารถเขียนได้เป็น $\Delta\omega_0 / \omega_0$ และ $\Delta R_1 / R_1$ ตามลำดับ ดังนั้นเมื่อทำการวิเคราะห์ปริมาณการเปลี่ยนแปลงของ ω_0 และ R_1 เป็นเปอร์เซ็นต์ร้อยละ จึงสามารถเขียนเป็นอัตราส่วนได้ดังนี้

$$\frac{\% \text{ chang in } \omega_0}{\% \text{ chang in } R_1} = \frac{(\Delta\omega_0 / \omega_0) \times 100\%}{(\Delta R_1 / R_1) \times 100\%} \quad (2.18)$$

จากสมการที่ (2.18) นั้นเป็นอัตราส่วนคุณลักษณะที่มีความน่าสนใจอย่างมากในการคำนึงถึงการออกแบบวงจรรองความถี่ ซึ่งหากค่าอัตราส่วนนี้มีค่าน้อยจะส่งผลให้วงจรที่ได้รับการออกแบบมีประสิทธิภาพสูงขึ้น โดยสามารถเขียนความสัมพันธ์กันระหว่างอัตราส่วนการเปลี่ยนแปลงของ ω_0 และ R_1 ในรูปคณิตศาสตร์ได้เป็น $\Delta\omega_0 \rightarrow \partial\omega_0$ และ $\Delta R_1 \rightarrow \partial R_1$ ตามลำดับ

จะเห็นได้ว่าสมการที่ (2.18) เป็นการวิเคราะห์ปริมาณการเปลี่ยนแปลงของ ω_0 เทียบกับ R_1 อย่างไรก็ตามยังมีองค์ประกอบอุปกรณ์อื่นๆ ภายในวงจรที่เกิดการเปลี่ยนแปลง ดังนั้นจึงใช้การหาอนุพันธ์ย่อย (Partial derivative) ในการหาค่าความไวของอุปกรณ์อื่นๆ ภายในวงจรได้ ซึ่งเป็นการนิยามค่าความไวจากสมการที่ (2.18) สามารถเขียนได้เป็น

$$S_{R_1}^{\omega_0} = \frac{R_1}{\omega_0} \frac{\partial \omega_0 / \omega_0}{\partial R_1 / R_1} \quad (2.19)$$

จัดรูปแบบใหม่ได้เป็น

$$\frac{\partial \omega_0}{\omega_0} = S_{R_1}^{\omega_0} \frac{\partial R_1}{R_1} \quad (2.20)$$

ดังนั้นจากสมการที่ (2.20) จะเห็นได้ว่าฟังก์ชันความไว (Sensitivity function) คูณกับค่าการเปลี่ยนแปลงของ R_1 ที่เกิดขึ้นใน ω_0 โดยจากสมการที่ (2.19) สามารถนิยามการหาค่าความไวได้เป็นสองรูปแบบ โดยรูปแบบแรกเขียนได้เป็น

$$S_{R_1}^{\omega_0} = \frac{R_1}{\omega_0} \frac{\partial \omega_0}{\partial R_1} \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อมารูปแบบที่สองเป็นการหาอนุพันธ์ (Differential) สามารถเขียนได้เป็น

$$\frac{d}{dx} \ln u = \frac{1}{u} \frac{du}{dx} \quad (2.22)$$

หรือ

$$d(\ln u) = \frac{du}{u} \quad (2.23)$$

ดังนั้นจากสมการที่ (2.19) สามารถเขียนได้เป็น

$$S_{R_1}^{\omega_0} = \frac{\partial \ln \omega_0}{\partial \ln R_1} \quad (2.24)$$

ในกรณีการหาค่าความไวจากค่าพารามิเตอร์ต่างๆ ของวงจรกรองความถี่ เช่น Q และ อัตราขยาย (k) เทียบกับอุปกรณ์ต่างๆ ภายในวงจร โดยสามารถใช้วิธีเดียวกันได้ เช่น

$$S_{R_1}^Q = \frac{R_1}{Q} \frac{\partial Q}{\partial R_1} \quad (2.25)$$

$$S_{R_1}^k = \frac{R_1}{k} \frac{\partial k}{\partial R_1} \quad (2.26)$$

จากสมการที่ (2.19) - (2.24) จะเห็นได้ว่าเป็นการแสดงค่าความไวที่อยู่ในเทอมของ ω_0 และ R_1 อย่างไรก็ตามฟังก์ชันค่าความไวนี้สามารถนิยามให้อยู่ในเทอมตัวแปรทั่วไป x และ Y ได้ดังสมการที่ (2.27)

$$S_x^Y = \frac{x}{Y} \frac{\partial Y}{\partial x} = \frac{\partial \ln Y}{\partial \ln x} \quad (2.27)$$

โดยที่ Y คือ คุณสมบัติของวงจรที่สนใจ (ω_0) และ x คือ องค์ประกอบอุปกรณ์ของภายในวงจรนั้นๆ นอกจากนี้หาก Y ไม่เป็นฟังก์ชันของ x เช่น Y เท่ากับค่าคงที่ (c) ดังนั้น

$$S_x^Y = 0 \quad (2.28)$$

หรือ $Y = cx$ โดยที่ c เป็นค่าคงที่ ดังนั้นจะได้

$$S_x^{cx} = \frac{\partial \ln cx}{\partial \ln x} = \frac{\partial \ln c}{\partial \ln x} + \frac{\partial \ln x}{\partial \ln x} = 1 \quad (2.29)$$

เห็นได้ชัดเจนว่า $S_{R_1}^{\omega_0}$ เป็นการแสดงเปอร์เซ็นต์การเปลี่ยนแปลงของ ω_0 เนื่องจากเปอร์เซ็นต์การเปลี่ยนแปลงของ R_1 ตัวอย่างเช่น ถ้า $S_{R_1}^{\omega_0}$ มีค่าเท่ากับ 0.5 โดยที่เปอร์เซ็นต์การเปลี่ยนแปลงของ R_1 มีค่า 2% ดังนั้นจะส่งผลให้ ω_0 มีเปอร์เซ็นต์การเปลี่ยนแปลงเพียงเบน 1%

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากทฤษฎีที่เกี่ยวข้องในบทที่ 2 แสดงถึงการพัฒนาทรานซิสเตอร์แบบมอสเฟต ตลอดจนนำไปสู่การออกแบบและสร้างเป็นวงจรรวมแบบซีมอส นอกจากนี้ยังแสดงการวิเคราะห์โครงข่ายโดยการพล็อตขนาดและเฟสของฟังก์ชัน ซึ่งสำคัญอย่างมากต่อการวิเคราะห์สมการส่งผ่านของวงจรรองความถี่อีกด้วย ต่อมาแสดงถึงหลักการวิเคราะห์โครงข่ายกราฟการไหลของสัญญาณ ซึ่งมีรูปแบบพื้นฐานมาจากการเชื่อมต่อกันระหว่างแขนงสัญญาณต่างๆ โดยหลักการวิเคราะห์โครงข่ายกราฟการไหลของสัญญาณนี้ถือได้ว่าเป็นหลักการที่สำคัญในงานวิจัยนี้ ซึ่งสามารถนำไปประยุกต์ใช้กับหลักการวงจรรองความถี่ต่ำผ่าน โดยมีการประมาณค่าฟังก์ชันวงจรรองความถี่ต่ำผ่านทั้งแบบ Chebyshev และแบบ Elliptic นอกจากนี้ยังแสดงให้เห็นถึงการวิเคราะห์ค่าความไวของวงจรรองความถี่ ซึ่งเป็นอีกหนึ่งปัจจัยหลักที่ผู้ออกแบบวงจรรองความถี่ต้องคำนึงถึงอีกด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

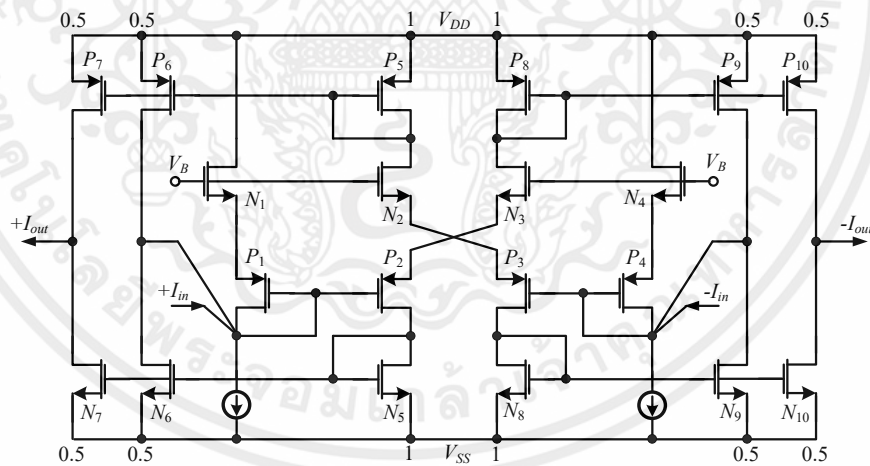
บทที่ 3 งานวิจัยที่เกี่ยวข้อง

3.1 บทนำ

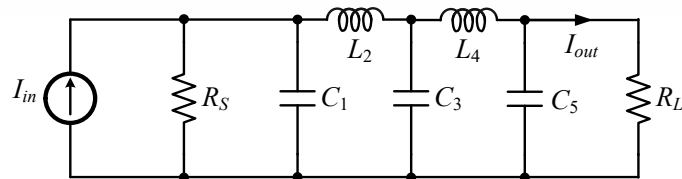
บทนี้จะกล่าวถึงงานวิจัยที่เกี่ยวกับวงจรกรองความถี่ต่ำผ่านที่ได้ถูกนำเสนอในอดีต โดยมุ่งเน้นการศึกษาหาแนวทางการพัฒนาและแก้ไข เพื่อเป็นพื้นฐานในการนำไปสู่การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแสแบบแอกทีฟ ซึ่งประกอบไปด้วยอุปกรณ์แอกทีฟชนิดต่างๆ ในการนำมาออกแบบเป็นวงจรย่อยๆ โดยมีการอ้างอิงเทคนิคและวิธีการต่างๆ ในการนำมาวิเคราะห์ที่ได้รับความนิยมอย่างแพร่หลายรวมถึงหลักการและแนวคิด หรือประเด็นปัญหาสำคัญต่างๆ ที่เกิดขึ้นจากในอดีต โดยเนื้อหาในบทนี้เป็น การอ้างอิงจากผลงานวิจัยที่เกี่ยวข้อง [9], [16], [12], [35] เพื่อเป็นแนวทางในการปรับปรุงแก้ไขร่วมกับหลักการและแนวคิดที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้ ซึ่งผลงานวิจัยที่เกี่ยวข้องจะกล่าวในหัวข้อถัดไป

3.2 ผลงานวิจัยที่เกี่ยวข้อง

ในปี 1993 วงจรกรองความถี่ต่ำผ่านรูปแบบกระแสสมมาตรโดยใช้เทคโนโลยีซีมอสถูกนำเสนอโดย R. H. Zele, D. J. Allstot และ T. S. Fiez [9] งานวิจัยนี้เป็นการสร้างวงจรกรองความถี่รูปแบบกระแสโดยใช้โครงสร้างวงจรกระแสสมมาตร (Fully balanced) ในการออกแบบ ซึ่งเป็นที่นิยมสำหรับการพัฒนาและออกแบบในกระบวนการทางสัญญาณอนาล็อก ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 โครงสร้างวงจรกระแสสมมาตร Fully balanced



รูปที่ 3.2 วงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสูงชนิดขึ้นบันไดต้นแบบ

โดยงานวิจัยที่ถูกนำเสนอนี้ได้ออกแบบและจำลองการทำงานวงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสูงชนิดขั้นบันไดต้นแบบ ดังแสดงในรูปที่ 3.2 ซึ่งเป็นที่ทราบกันดีว่าโครงข่ายวงจรกรองความถี่ชนิดนี้มีการเปลี่ยนแปลงสัมประสิทธิ์ค่าความไวต่ำในช่วงการตอบสนองแถบความถี่ผ่าน [33] โดยสามารถเขียนสมการความสัมพันธ์ในรูปแบบกระแสได้เป็น

$$I'_1 = \frac{1}{sC_1}(I_{in} - I'_1 - I_2) \quad (3.1)$$

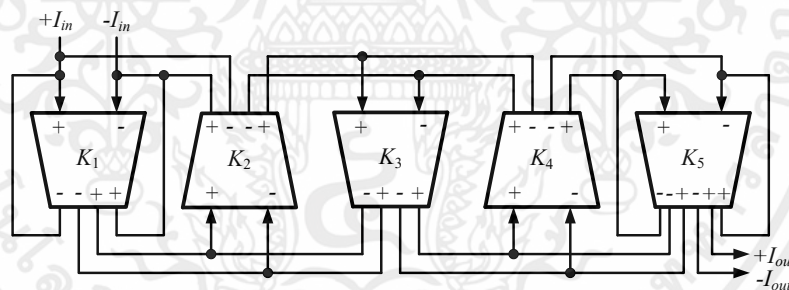
$$I_2 = \frac{1}{sL_2}(I'_1 - I'_3) \quad (3.2)$$

$$I'_3 = \frac{1}{sC_3}(I_2 - I_4) \quad (3.3)$$

$$I_4 = \frac{1}{sL_4}(I'_3 - I'_5) \quad (3.4)$$

$$I'_5 = \frac{1}{sC_5}(I_4 - I'_5) \quad (3.5)$$

จากสมการที่ (3.1)–(3.5) เมื่อแทนด้วยโครงสร้างวงจรกระแสสมมาตรสามารถออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสูงชนิดขั้นบันได ดังแสดงในรูปที่ 3.3



รูปที่ 3.3 วงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสูงชนิดขั้นบันได

โดยใช้โครงสร้างวงจรกระแสสมมาตร

จากรูปที่ 3.3 จะเห็นได้ว่าอัตราส่วนกระแสเอาต์พุตมีค่าเท่ากับ K_i โดยอัตราส่วนกระแสเอาต์พุต K_i สามารถเขียนได้เป็น

$$K_i = \frac{\omega_{co}}{f_s X_i} = \frac{C_U}{C_I} \quad (3.6)$$

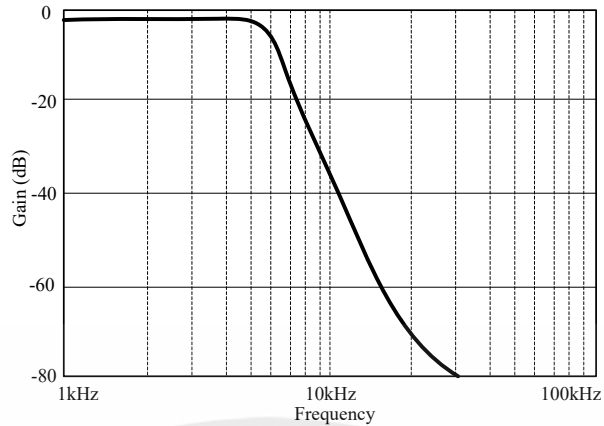
เมื่อ X_i คือ ค่าอุปกรณพาสซีฟของกระแสแต่ละแขนง

ω_{co} คือ ความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน

f_s คือ ความถี่ของสัญญาณที่แบ่งคลื่น (Sampling frequency)

ดังนั้นอัตราส่วนกระแสเอาต์พุต K_1 ถึง K_5 เป็นการ Normalized ค่า LC จากวงจรกรองความถี่ต้นแบบโดยใช้สมการที่ (3.6)

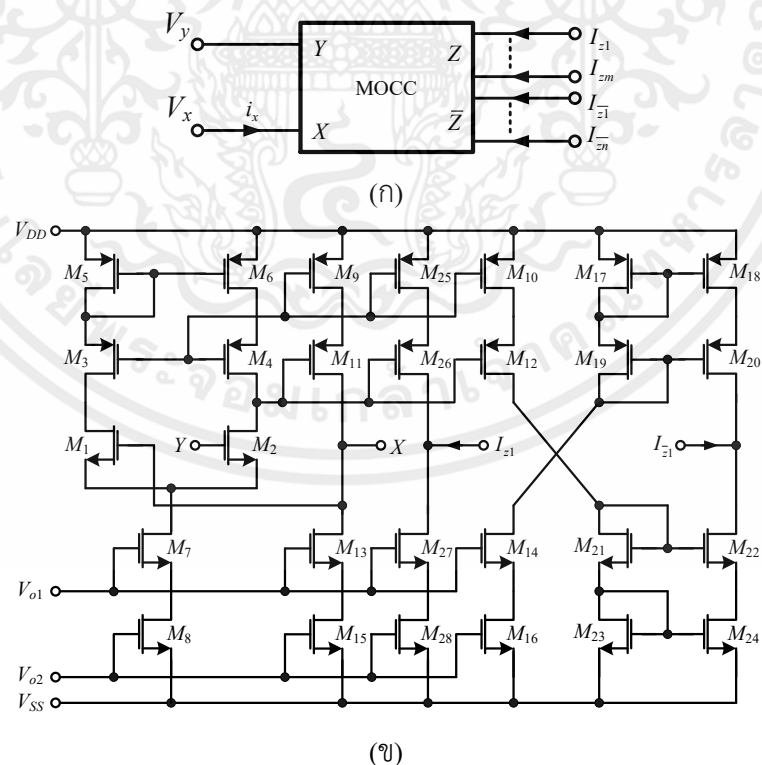
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่าน Chebyshev ที่ถูกนำเสนอ

จากรูปที่ 3.4 แสดงให้เห็นถึงผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่าน Chebyshev ที่ถูกนำเสนอโดยมีค่าความถี่ตัด $f_c = 5$ kHz, $ripple = 0.1$ dB และมีการกำหนดค่า $f_s = 128$ kHz เมื่อพิจารณาสมการที่ 3.6 เห็นได้ว่าวงจรรองความถี่ต่ำผ่านที่ถูกนำเสนอยังมีข้อจำกัด คือ ความถี่ตัดของวงจรรองความถี่ต่ำผ่าน ω_{co} ไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ เนื่องจากอัตราส่วนกระแสเอาต์พุตขึ้นอยู่กับค่าอุปกรณ์พาสซีฟของกระแสแต่ละแขนง

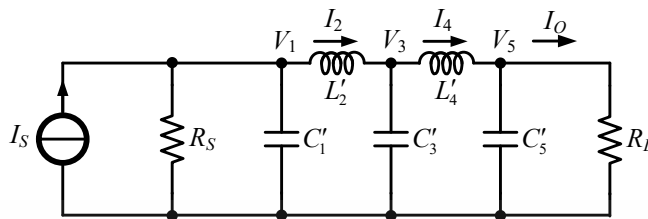
ต่อมาในปี 1996 งานวิจัยของ J. Wu และ E. El-Masry [16] ได้ถูกนำเสนอซึ่งมีหลักการออกแบบวงจรรองความถี่อนาล็อกรูปแบบกระแสโดยใช้โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต ดังแสดงในรูปที่ 3.5



รูปที่ 3.5 (ก) สัญลักษณ์และ (ข) โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสดชนิดชั้นบันไดโดยใช้วงจรสายพานกระแบบหลายเอาต์พุต ใช้พื้นฐานการจำลองวงจร RLC ต้นแบบ ดังแสดงในรูปที่ 3.6



รูปที่ 3.6 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดชั้นบันไดต้นแบบ

ทำการวิเคราะห์ห้วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดชั้นบันไดต้นแบบจะสามารถหาสมการความสัมพันธ์ในรูปแบบกระแสดได้ดังสมการที่ (3.7) - (3.12)

$$I'_1 = \frac{I_s - I'_1(R/R_s) - I_2}{sRC'_1} \tag{3.7}$$

$$I_2 = \frac{I'_1 - I'_3}{sL'_2/R} \tag{3.8}$$

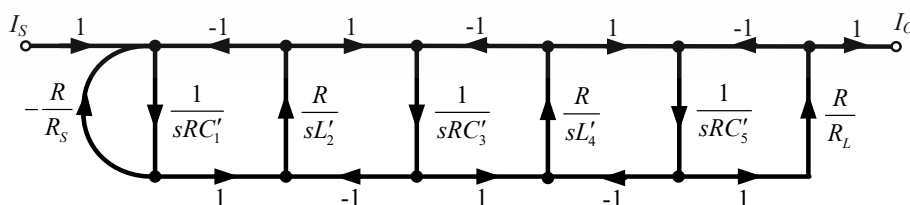
$$I'_3 = \frac{I_2 - I_4}{sRC'_3} \tag{3.9}$$

$$I_4 = \frac{I'_3 - I'_5}{sL'_4/R} \tag{3.10}$$

$$I'_5 = \frac{I_4 - I_6}{sRC'_5} \tag{3.11}$$

$$I_0 = I_6 = \frac{I'_5 R}{R_L} \tag{3.12}$$

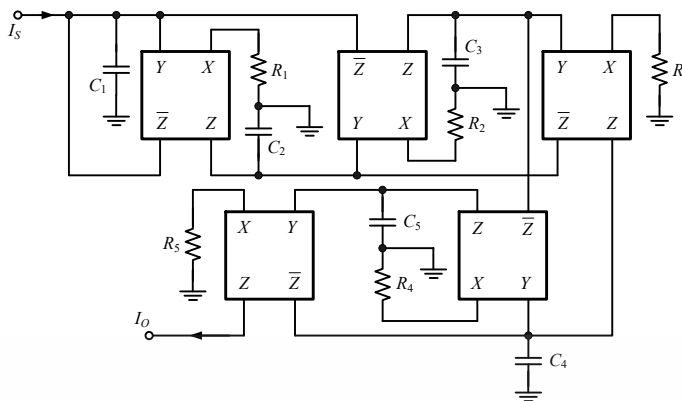
จากสมการที่ (3.7) - (3.12) นำมาเขียนในรูปกราฟการไหลของสัญญาณ (signal flow graph) ได้ดังแสดงในรูปที่ 3.7



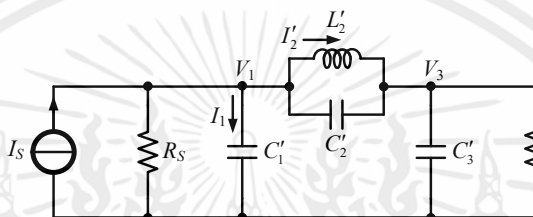
รูปที่ 3.7 กราฟการไหลสัญญาณ (SFG) ของวงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอ

พิจารณากราฟการไหลสัญญาณ (SFG) ในรูปที่ 3.7 วงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอสามารถสร้างได้ด้วยวงจรสายพานกระแบบหลายเอาต์พุต ดังแสดงในรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรกรองความถี่ต่ำผ่าน Chebyshev รูปแบบกระแสชนิดขึ้นบันได โดยใช้โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต



รูปที่ 3.9 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขึ้นบันไดต้นแบบ

เช่นเดียวกัน จากรูปที่ 3.9 ทำการวิเคราะห์ห้วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขึ้นบันไดต้นแบบ สามารถหาสมการความสัมพันธ์ในรูปแบบกระแสได้ดังสมการที่ (3.13) - (3.16)

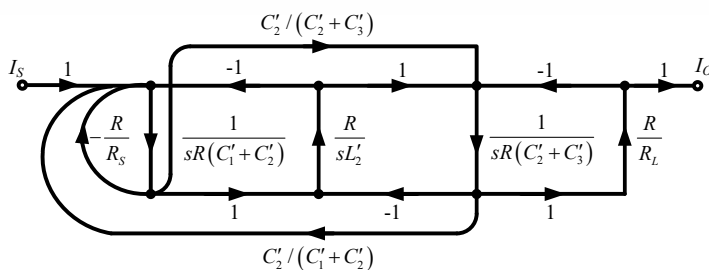
$$I'_1 = \frac{I_s - I'_1(R/R_s) - I_2}{sR(C'_1 + C'_2)} + \frac{I'_3 C'_2}{(C'_1 + C'_2)} \tag{3.13}$$

$$I_2 = \frac{I'_1 - I'_3}{sL'_2 / R} \tag{3.14}$$

$$I'_3 = \frac{I_2 - I'_3(R/R_L)}{sR(C'_3 + C'_2)} + \frac{I'_1 C'_2}{(C'_3 + C'_2)} \tag{3.15}$$

$$I_0 = I'_3 R / R_L \tag{3.16}$$

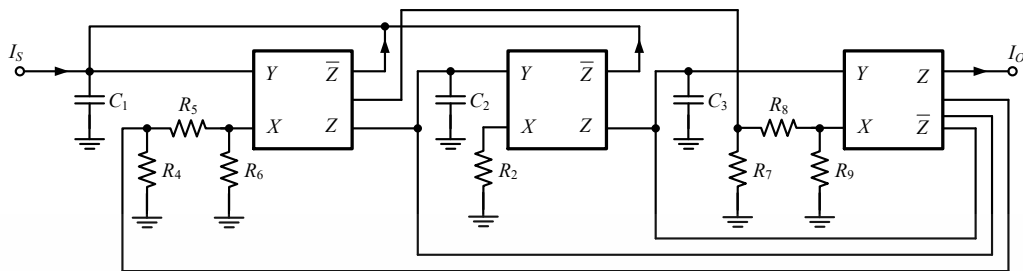
จากสมการที่ (3.13) - (3.16) นำมาเขียนในรูปกราฟการไหลของสัญญาณ (signal flow graph) ได้ดังแสดงในรูปที่ 3.7



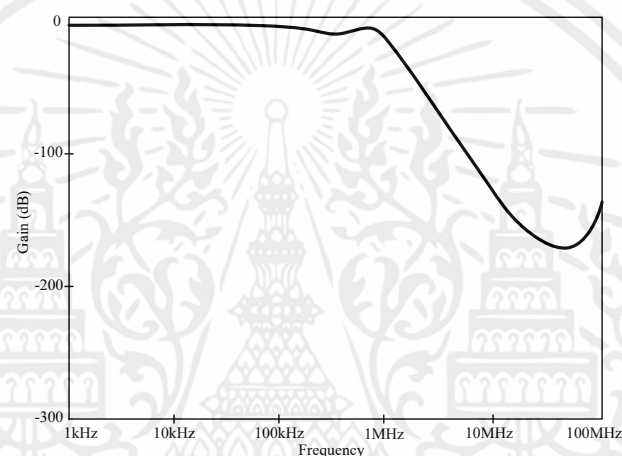
รูปที่ 3.10 กราฟการไหลสัญญาณ (SFG) ของวงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

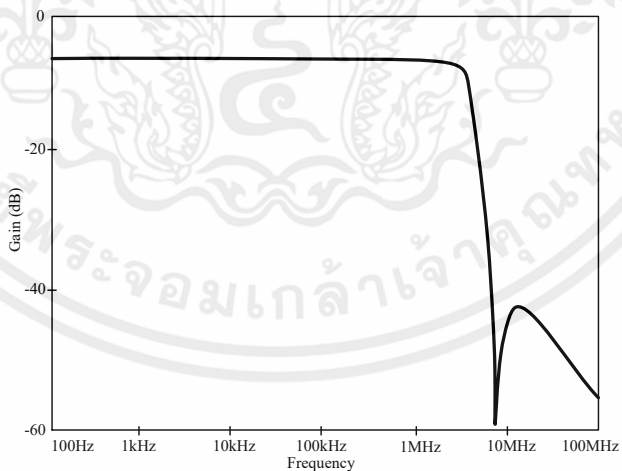
เมื่อพิจารณากราฟการไหลสัญญาณ (SFG) ในรูปที่ 3.10 วงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอ สามารถสร้างได้ด้วยวงจรสายพานกระแสแบบหลายเอาต์พุต ดังแสดงในรูปที่ 3.11



รูปที่ 3.11 วงจรกรองความถี่ต่ำผ่าน Elliptic รูปแบบกระแสชนิดขึ้นบันได โดยใช้โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต



(ก)



(ข)

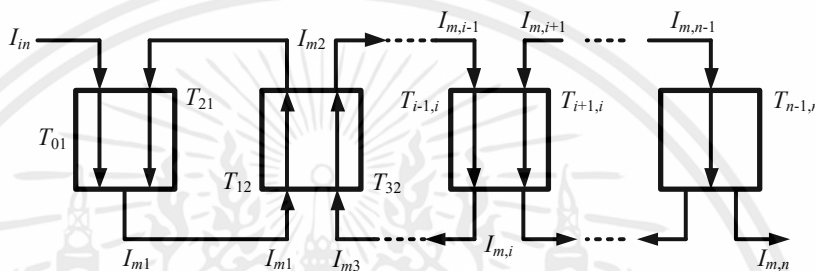
รูปที่ 3.12 ผลตอบสนองของวงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแสชนิดขึ้นบันได โดยใช้โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต (ก) Chebyshev (ข) Elliptic

จากรูปที่ 3.8 และ 3.11 แสดงวงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแสชนิดขึ้นบันได โดยใช้โครงสร้างวงจรสายพานกระแสแบบหลายเอาต์พุต (MOCC) เห็นได้ว่าข้อดีคือของวงจรกรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ที่ถูกนำเสนอใช้จำนวนอุปกรณ์พาสซีฟค่อนข้างน้อย ในทางกลับกันยังคงมีจำกัดคือ วงจรกรองความถี่ที่ถูกนำเสนอใช้ตัวต้านทานต่อร่วมด้วย ทำให้การออกแบบวงจรค่อนข้างซับซ้อนอีกทั้งไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ ยิ่งกว่านั้นเมื่อพิจารณาผลตอบสนองของวงจรกรองความถี่ที่แนะนำเสนอแสดงในรูปที่ 3.12 จะเห็นได้ว่าวงจรกรองความถี่ที่ถูกนำเสนอใช้งานได้ที่ย่านความถี่แคบ

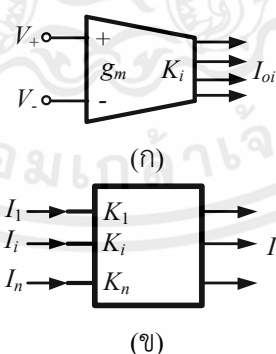
ภายหลังจากนั้นไม่นาน ในปี 1998 งานวิจัยของ J. Wu และ E. El-Masry [12] ได้ถูกนำเสนอโดยมีวิธีการออกแบบวงจรกรองความถี่รูปแบบกระแสชนิดชั้นบันไดโดยใช้ Coupled-Biquads ซึ่งวงจรถูกออกแบบบนพื้นฐานของวงจรกรองความถี่ RLC ชนิดชั้นบันไดต้นแบบ โดยใช้วิธีการสังเคราะห์แบบการวนลูกระแสของวงจรชนิดชั้นบันไดต้นแบบ ซึ่งเป็นการเลือกตัวแปรในการสร้างบล็อก Coupled-Biquads ดังแสดงในรูปที่ 3.13



รูปที่ 3.13 บล็อกไดอะแกรมของวิธีทางกระแส

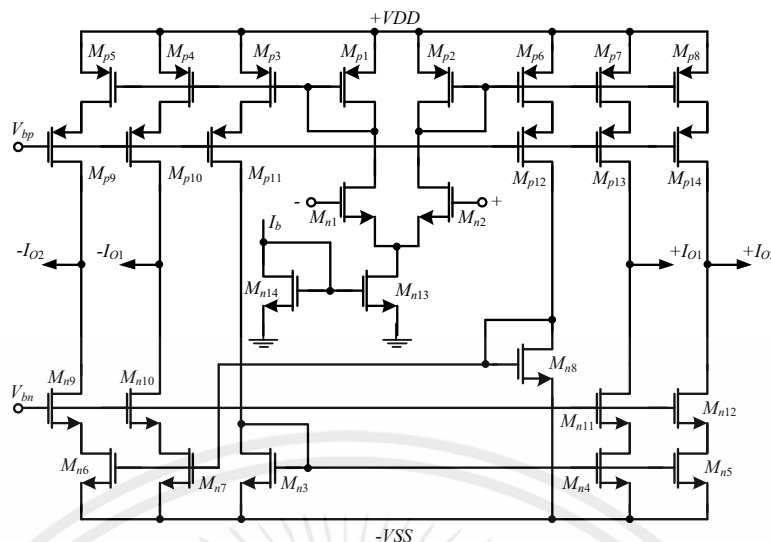
จากบล็อกไดอะแกรมในรูปที่ 3.13 ถูกสร้างโดยใช้วงจรขยายความนำ (OTA) เนื่องจากมีโครงสร้างที่ไม่ซับซ้อนและสะดวกในการปรับค่า อีกทั้งเมื่อออกแบบวงจรอยู่ในรูปแบบกระแสสามารถตอบสนองกระแสสัญญาณได้หลายเอาต์พุตเพียงแค่สำเนากระแสและกระแสบัฟเฟอร์ ดังรูปที่ 3.14 โดยกระแสเอาต์พุตสามารถเขียนได้เป็น

$$I_{oi} = K_i g_m (V_+ - V_-) \text{ และ } I_{oj} = \sum_{i=1}^n K_i I_i \tag{3.17}$$

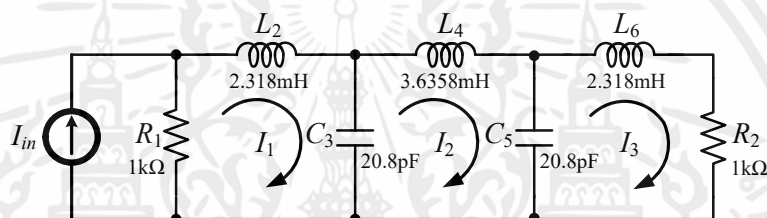


รูปที่ 3.14 (ก) สัญลักษณ์ OTA ที่มีค่าความนำหลายเอาต์พุต (ข) สัญลักษณ์วงจรกระแสบัฟเฟอร์

สำหรับวงจรซีมอส OTA ทั้งสองชุดมีสี่เอาต์พุต ซึ่งแบ่งออกเป็นเป็นบวกสองเอาต์พุตและลบสองเอาต์พุต โดยมีโครงสร้างพื้นฐานมาจาก [34] ดังแสดงในรูปที่ 3.15 อย่างไรก็ตามอัตราขยายค่าทรานคอนดักแตนซ์โดยรวมของ OTA เป็นการกำหนดค่า g_m และ K_i



รูปที่ 3.15 CMOS OTA ที่มีสี่เอาต์พุต



รูปที่ 3.16 การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดชั้นบันไดต้นแบบ

เมื่อพิจารณาวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดชั้นบันไดแบบเมซซิ่งต่ำในรูปที่ 3.16 ทำการวิเคราะห์กระแสเมซซิ่งเพื่อหาฟังก์ชันถ่ายโอน สามารถเขียนได้เป็น

$$T_{01} = \left. \frac{I_1}{I_{in}} \right|_{i_2=0} = \frac{sR_1 / L_2}{s^2 + sR_1 / L_2 + 1 / (L_2 C_3)} \quad (3.18)$$

$$T_{21} = \left. \frac{I_1}{I_2} \right|_{i_{in}=0} = \frac{1 / (L_2 C_3)}{s^2 + sR_1 / L_2 + 1 / (L_2 C_3)} \quad (3.19)$$

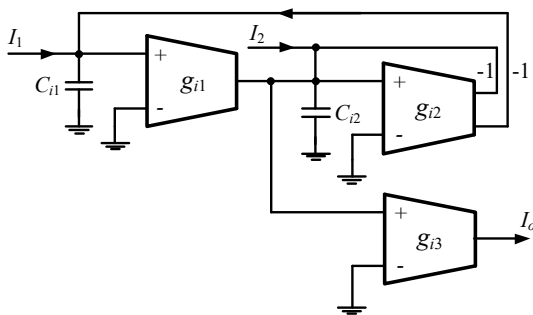
$$T_{12} = \left. \frac{I_2}{I_1} \right|_{i_3=0} = \frac{1 / (L_4 C_3)}{s^2 + 1 / (L_4 C_{3,5})} \quad (3.20)$$

$$T_{32} = \left. \frac{I_2}{I_3} \right|_{i_1=0} = \frac{1 / (L_4 C_5)}{s^2 + 1 / (L_4 C_{3,5})} \quad (3.21)$$

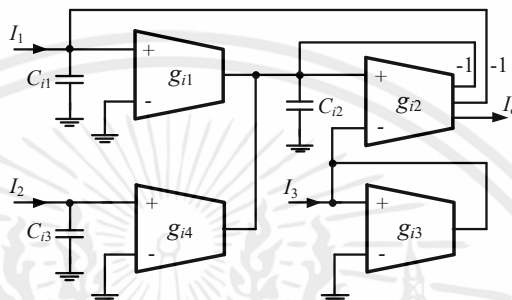
$$T_{23} = \frac{I_3}{I_2} = \frac{1 / (L_6 C_5)}{s^2 + sR_2 / L_6 + 1 / (L_6 C_5)} \quad (3.22)$$

เมื่อ C_{3,5} เป็นค่าความจุรวมของรูปที่สอง โดยคุณสมบัติฟังก์ชันทั้งหมดเป็นวงจรกรองความถี่ต่ำผ่านยกเว้นในชุดอินพุต (T₀₁) ซึ่งเป็นวงจรกรองแถบความถี่ผ่านอันดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

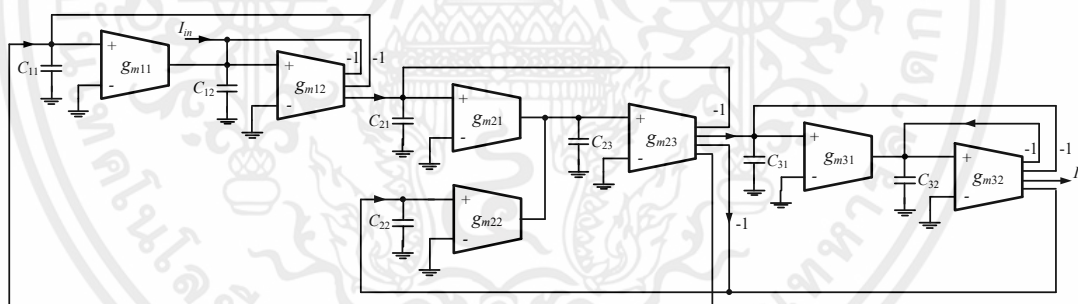


รูปที่ 3.17 วงจร CMOS OTA รูปแบบกระแสอันดับสองของวงจรไบควอดแบบที่ 1

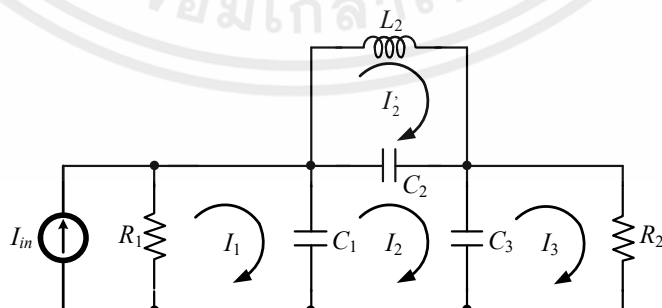


รูปที่ 3.18 วงจร CMOS OTA รูปแบบกระแสอันดับสองของวงจรไบควอดแบบที่ 2

ดังนั้นสมการ (3.18) (3.19) และ (3.22) สามารถสร้างได้โดยใช้วงจรไบควอดแบบที่ 1 ดังแสดงในรูปที่ 3.17 ในขณะที่สมการ (3.20) และ (3.21) สามารถสร้างได้โดยใช้วงจรไบควอดแบบที่ 2 ดังแสดงในรูปที่ 3.18 ผลที่ได้จากการออกแบบวงจร แสดงดังรูปที่ 3.19



รูปที่ 3.19 วงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดขึ้นบันไดโดยใช้ OTA



รูปที่ 3.20 การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดขึ้นบันไดต้นแบบ

สำหรับตัวอย่างการออกแบบวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามชนิดขึ้นบันได แสดงดังรูปที่ 3.20 โดยผลการวิเคราะห์กระแสเมช สามารถเขียนได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_{01} = \left. \frac{I_1}{I_{in}} \right|_{I_2=0} = \frac{s}{s + 1/(R_1 C_1)} \quad (3.23)$$

$$T_{21} = \left. \frac{I_1}{I_2} \right|_{I_{in}=0} = \frac{1/(R_1 C_1)}{s + 1/(R_1 C_1)} \quad (3.24)$$

$$T_{12} = \left. \frac{I_2}{I_1} \right|_{I_1=I_3=0} = K_1 = \frac{C_{22}}{C_1} \quad (3.25)$$

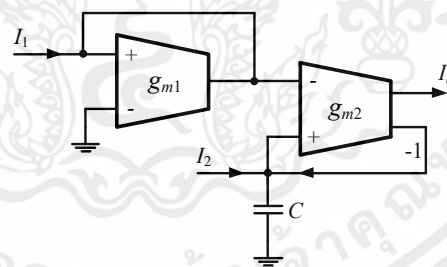
$$T_{22} = \left. \frac{I_2}{I_2} \right|_{I_1=I_3=0} = K_2 = \frac{C_{22}}{C_2} \quad (3.26)$$

$$T_{32} = \left. \frac{I_2}{I_3} \right|_{I_1=I_2=0} = K_3 = \frac{C_{22}}{C_3} \quad (3.27)$$

$$T_{22} = \frac{I_2}{I_2} = \frac{1/(L_2 C_2)}{s^2 + 1/(L_2 C_2)} \quad (3.28)$$

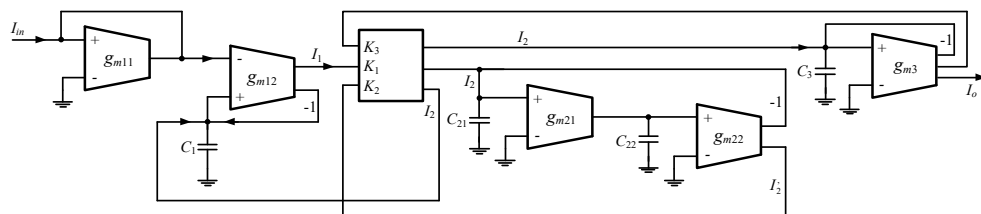
$$T_{23} = \frac{I_3}{I_2} = \frac{1/(R_2 C_3)}{s^2 + 1/(R_2 C_3)} \quad (3.29)$$

เมื่อ C_{22} เป็นค่าความจุรวมของลูบที่สอง และ $K_1 + K_2 + K_3 = 1$ ดังนั้นสมการ (3.23) และ (3.24) สามารถสร้างได้โดยใช้วงจรอันดับหนึ่ง ดังแสดงในรูปที่ 3.21



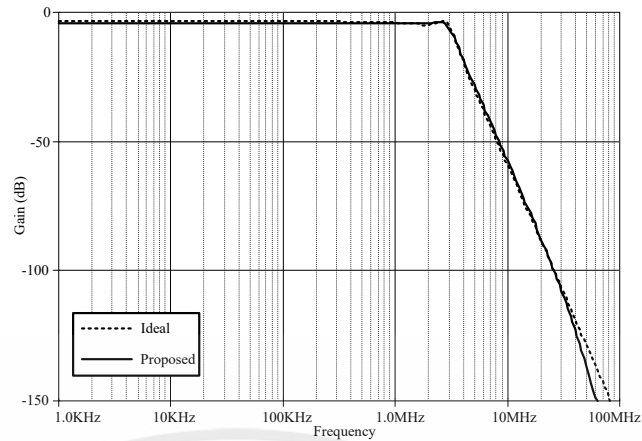
รูปที่ 3.21 วงจร CMOS OTA อันดับหนึ่ง

สำหรับสมการ (3.29) สร้างได้โดยใช้หัวขั้ววงจรรองความถี่ต่ำผ่าน ($I_1 = 0$) สมการที่ (3.28) สร้างได้โดยใช้วงจรไบควอดแบบที่ 1 ($g_{i3} = 0$) และ (3.25)-(3.27) สร้างได้โดยใช้วงจรกระแสบัฟเฟอร์ ผลที่ได้จากการออกแบบวงจร ดังแสดงในรูปที่ 3.22



รูปที่ 3.22 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดชั้นบันไดโดยใช้ OTA

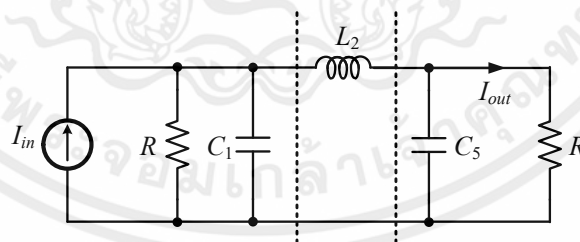
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



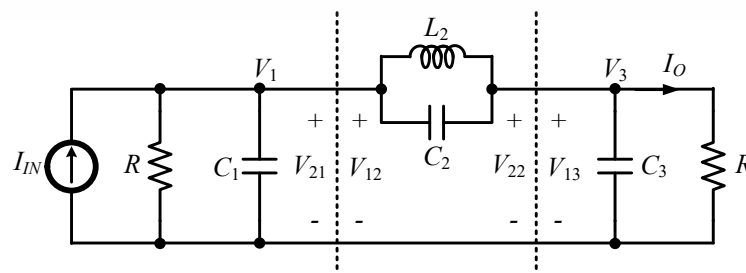
รูปที่ 3.23 ผลตอบสนองของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูง ในรูปที่ 3.19

เห็นได้ว่าข้อดีของงานวิจัยที่ถูกลำเสนอนี้เป็นการนำเสนอวิธีการรูปแบบกระแสโดยใช้พื้นฐานวงจร OTA ทำให้เป็นส่วนต่อขยายกับวงจรอื่นๆได้ง่าย เช่น วงจรสวิตช์กระแส วงจรสายพานกระแส และวงจรสะท้อนกระแส แต่เมื่อพิจารณาในรูปที่ 3.19 และ 3.22 เห็นได้ว่าวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสชนิดชั้นบันไดโดยใช้วงจรคูโบควอดมีตัวเก็บประจุต่อเทียบกราวด์เป็นจำนวนมาก ยิ่งไปกว่านั้นจากรูปที่ 3.23 ผลตอบสนองของวงจรกรองความถี่ต่ำผ่านที่ถูกลำเสนอนี้ใช้งานได้ที่ย่านความถี่แคบอีกด้วย

นอกจากงานวิจัยที่ถูกลำเสนอมาข้างต้น วงจรกรองความถี่ต่ำผ่านรูปแบบกระแสชนิดชั้นบันไดยังคงได้รับความสนใจและพัฒนาอย่างต่อเนื่อง โดยในปี 2002 งานวิจัยของ H. Yuh-Shyan, H. Pei-Tzu, C. Wei และ L. Shen-Iuan [35] ถูกลำเสนอโดยใช้หลักการแปลงเชิงเส้นในรูปแบบกระแส (CMLT) ในการสังเคราะห์ห่ออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน Chebyshev และ Elliptic อันดับสูงรูปแบบกระแสชนิดชั้นบันได ทั้งนี้วงจรกรองความถี่ต่ำผ่านที่ถูกลำเสนอประกอบไปด้วยวงจรสายพานกระแสแบบหลายเอาต์พุต (MOCCIIs) ต่อร่วมกับตัวเก็บประจุและตัวต้านแบบต่อเทียบกราวด์ โดยใช้พื้นฐานการจำลองวงจร RLC ต้นแบบ ดังแสดงในรูปที่ 3.24 และ 3.25 ตามลำดับ



รูปที่ 3.24 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดชั้นบันไดต้นแบบ

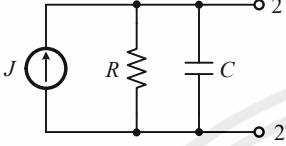
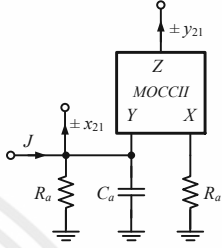
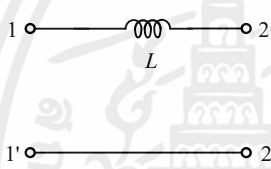
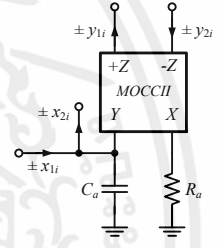
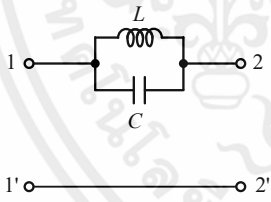
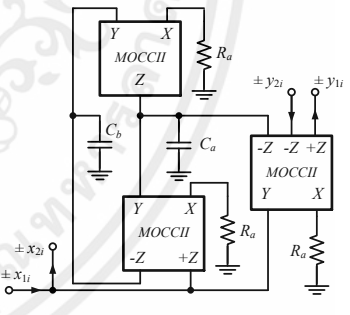
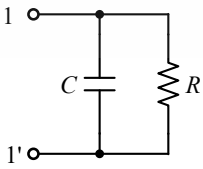
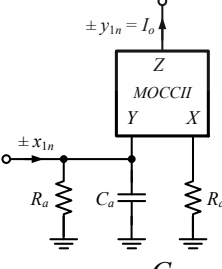


รูปที่ 3.25 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดชั้นบันไดต้นแบบ

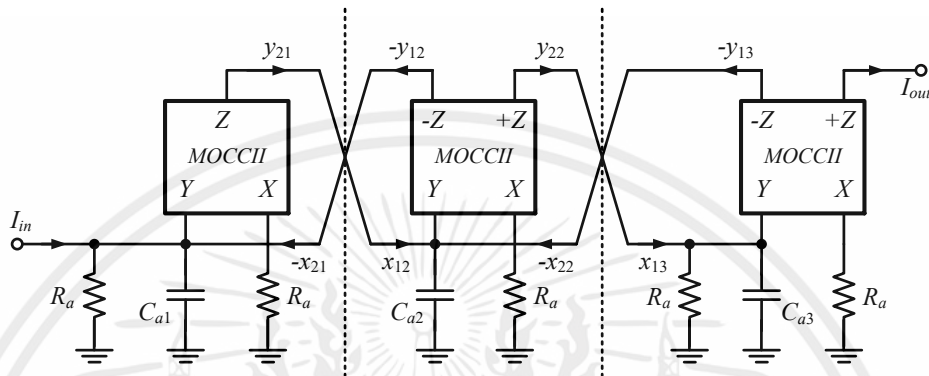
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.24 และ 3.25 ใช้หลักการแปลงเชิงเส้นในรูปแบบกระแส (CMLT) เพื่อสังเคราะห์ ออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน Chebyshev และ Elliptic อันดับสูงรูปแบบกระแสชนิด ชั้นบันได ดังแสดงในตารางที่ 3.1

ตารางที่ 3.1 การแปลงเชิงเส้น CMLT วงจรกรองความถี่ชั้นบันได

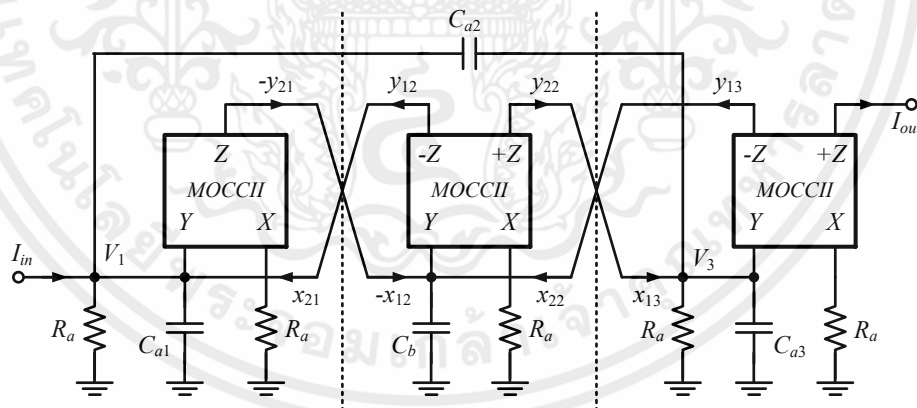
Filter Section	Transformation Matrix and Transfer Function	MOCCII-Based Circuit and Design Equation
	$\begin{bmatrix} 0 & \pm 1 \\ \pm G & 0 \end{bmatrix} \quad G = \frac{1}{R}$ $\pm y_{21} = \frac{\pm x_{21} + J}{s \frac{C}{G} + 1}$	 $R_a C_a = \frac{C}{G}$
	$\begin{bmatrix} \pm G & 0 \\ 0 & \pm 1 \end{bmatrix} \begin{bmatrix} \pm G & 0 \\ 0 & \pm 1 \end{bmatrix}$ $\pm y_{1i} = \pm y_{2i} = \frac{\pm x_{2i} \pm x_{1i}}{sGL}$	 $R_a C_a = GL$
	$\begin{bmatrix} \pm G & 0 \\ 0 & \pm 1 \end{bmatrix} \begin{bmatrix} \pm G & 0 \\ 0 & \pm 1 \end{bmatrix}$ $\pm y_{1i} = \pm y_{2i} = \frac{s^2 LC + 1}{sGL} (\pm x_{2i} \pm x_{1i})$	 $R_a C_a = \frac{C}{G} \text{ \& } R_a C_b = GL$
	$\begin{bmatrix} 0 & \pm 1 \\ \pm G & 0 \end{bmatrix}$ $\pm y_{1n} = \frac{\pm x_{1n}}{s \frac{C}{G} + 1} = I_o$	 $R_a C_a = \frac{C}{G}$

เมื่อพิจารณาในรูปแบบการแปลงเชิงเส้น CMLT ของวงจรกรองความถี่ชนิดขั้นบันได ดังตารางที่ 3.1 พบว่าวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขั้นบันไดต้นแบบในรูปที่ 3.24 สามารถแบ่งออกเป็น 3 ส่วน โดยเป็นการใช้พื้นฐานวงจรสายพานกระแสแบบหลายเอาต์พุต (MOCCIIs) ต่อร่วมกับตัวเก็บประจุและตัวต้านแบบต่อเทียบกราวด์ ดังนั้นเมื่อแทนแต่ละส่วนเข้าด้วยกันจึงเป็นวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขั้นบันไดโดยใช้ MOCCIIs ดังแสดงในรูปที่ 3.26



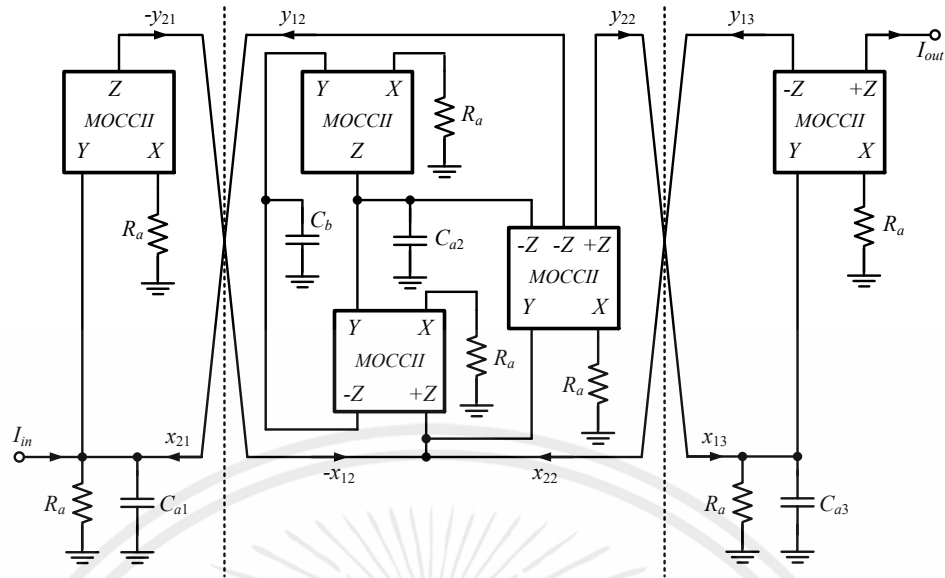
รูปที่ 3.26 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขั้นบันไดโดยใช้ MOCCIIs

เช่นเดียวกัน เมื่อพิจารณาในรูปแบบการแปลงเชิงเส้น CMLT วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขั้นบันไดต้นแบบในรูปที่ 3.25 จะเห็นได้ว่าเพียงต่อตัวเก็บประจุรอมระหว่าง โหนด V_1 และ V_3 ในรูปที่ 3.26 สามารถเป็นวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขั้นบันไดโดยใช้ MOCCIIs ได้ดังแสดงในรูปที่ 3.27

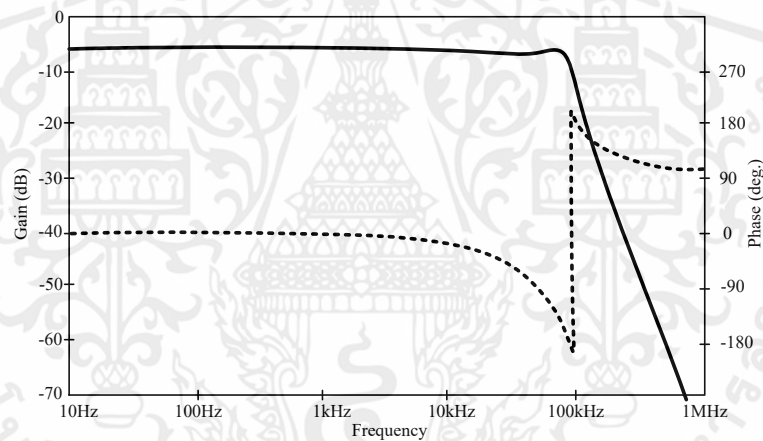


รูปที่ 3.27 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขั้นบันไดโดยใช้ MOCCIIs

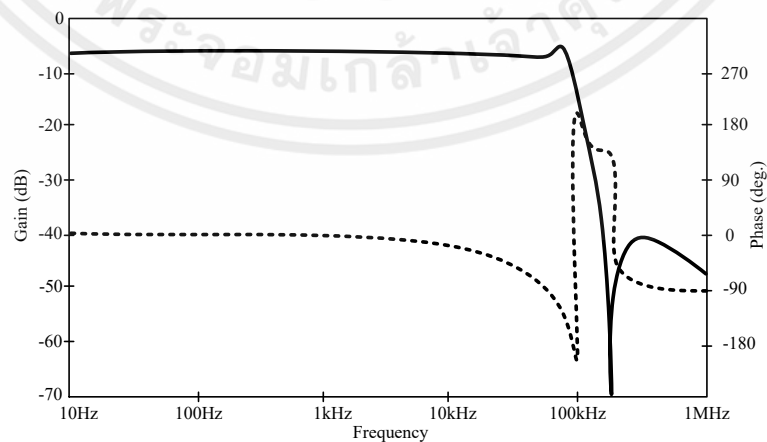
จากรูปที่ 3.27 สามารถออกแบบให้อุปกรณ์พาสซีฟทั้งหมดต่อเทียบกราวด์ได้โดยใช้รูปแบบการแปลงเชิงเส้น CMLT ดังตารางที่ 1 ซึ่งแบ่งออกได้เป็น 3 ส่วน ดังนั้นเมื่อแทนแต่ละส่วนเข้าด้วยกันจึงเป็นวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดขั้นบันไดโดยใช้ MOCCIIs แบบอุปกรณ์พาสซีฟต่อเทียบกราวด์ดังแสดงในรูปที่ 3.28



รูปที่ 3.28 วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสูงชนิดชั้นขนับได้โดยใช้ MOCCIIs แบบอุปกรณ์พาสซีฟต่อเทียบกราวด์



รูปที่ 3.29 ผลตอบสนองทางเฟสและแมกนิจูดของวงจรกรองความถี่ต่ำผ่าน ในรูปที่ 3.26



รูปที่ 3.30 ผลตอบสนองทางเฟสและแมกนิจูดของวงจรกรองความถี่ต่ำผ่าน ในรูปที่ 3.27

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เห็นได้ว่างานวิจัยที่ถูกรวบรวมนี้ใช้ข้อดีของหลักการแปลงเชิงเส้นในรูปแบบกระแส (CMLT) ช่วยในการสังเคราะห์ออกแบบเป็นวงจรรองความถี่ต่ำผ่าน Chebyshev และ Elliptic อันดับสูง รูปแบบกระแสชนิดขั้นบันได แต่เมื่อพิจารณาในรูปที่ 3.26 และ 3.27 เห็นได้ว่าวงจรรองความถี่ต่ำผ่านรูปแบบกระแสชนิดขั้นบันไดโดยใช้ MOCCIs ใช้อุปกรณ์พาสซีฟต่อเทียบกราวด์เป็นจำนวนมาก อีกทั้งวงจรรองความถี่ต่ำผ่านในรูปที่ 3.28 มีการใช้อุปกรณ์พาสซีฟต่อแบบลอยตัวทำให้การออกแบบวงจรค่อนข้างซับซ้อน ซึ่งไม่เหมาะในการสร้างเป็นวงจรรวม ยิ่งไปกว่านั้นจากรูปที่ 3.29 และ 3.30 แสดงให้เห็นถึงผลตอบสนองของวงจรรองความถี่ต่ำผ่านที่ถูกรวบรวมนี้ใช้งานได้ที่ย่านความถี่แคบอีกด้วย

จากงานวิจัยที่กล่าวมาข้างต้นพบว่า แต่ละงานวิจัยที่เคยถูกรวบรวมในอดีตนั้นมีข้อจำกัดที่แตกต่างกันออกไป เช่น ใช้อุปกรณ์พาสซีฟต่อเทียบกราวด์เป็นจำนวนมาก อีกทั้งบางงานวิจัยที่ถูกรวบรวมออกแบบโดยใช้อุปกรณ์พาสซีฟต่อแบบลอยตัว ซึ่งทำให้การออกแบบวงจรค่อนข้างซับซ้อนไม่เหมาะในการสร้างเป็นวงจรรวม นอกจากนี้ผลตอบสนองทางความถี่ของบางงานวิจัยที่ถูกรวบรวมไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ในขณะที่มีย่านความถี่ใช้งานค่อนข้างแคบอีกด้วย ดังนั้นจากข้อจำกัดที่กล่าวมานี้ จึงเป็นแนวทางนำไปสู่การออกแบบและพัฒนาให้ดียิ่งขึ้น โดยงานวิจัยเล่มนี้มุ่งเน้นการลดข้อจำกัดจากงานที่ถูกรวบรวมในอดีต ซึ่งรายละเอียดในการออกแบบงานวิจัยเล่มนี้จะกล่าวในบทถัดไป

บทที่ 4

วงจรรองความถี่ต่ำผ่านอันดับสูงปรับค่าได้รูปแบบกระแสชนิด ชั้นบันไดโดยใช้เทคโนโลยีซีมอส

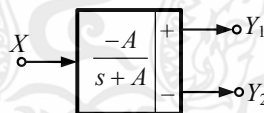
4.1 บทนำ

จากงานวิจัยที่เกี่ยวข้องในบทที่ 3 ซึ่งเป็นการอธิบายถึงข้อดีและข้อจำกัดต่างๆของงานวิจัยที่เคยถูกนำเสนอในอดีต จนนำไปสู่การศึกษาหาแนวทางการพัฒนาและแก้ไขเป็นวงจรรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแสที่ลดข้อจำกัดเหล่านั้น อีกทั้งยังสามารถเพิ่มประสิทธิภาพของวงจรรองความถี่ต่ำผ่านให้ดียิ่งขึ้นอีกด้วย ดังนั้นเนื้อหาในบทนี้เป็นการอธิบายรายละเอียดในการออกแบบวงจรรองความถี่ต่ำผ่านรูปแบบกระแสชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส โดยใช้วงจรรองความถี่ต่ำผ่าน Chebyshev และ Elliptic ต้นแบบในการสังเคราะห์ห้องค์ประกอบต่างๆในวงจรที่นำเสนอนี้ วงจรประกอบไปด้วยวงจรอินทิเกรเตอร์ชนิดสูญเสีย วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย วงจรขยายกระแสและตัวเก็บประจุต่อลงกราวด์ จำลองผลการทำงานด้วยโปรแกรม PSPICE โดยรายละเอียดในการออกแบบวงจรรองความถี่ต่ำผ่านอันดับสามรูปแบบกระแสชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส จะกล่าวในหัวข้อถัดไป

4.2 หลักการทำงาน

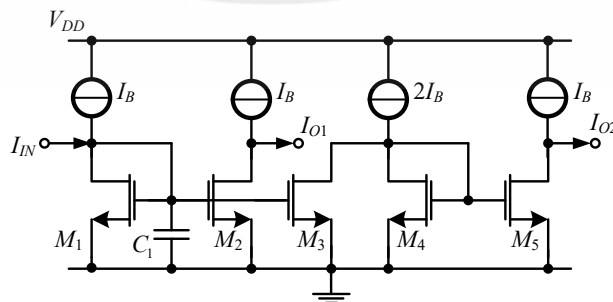
4.2.1 การสร้างวงจรอินทิเกรเตอร์โดยใช้เทคโนโลยีซีมอส

พื้นฐานวงจรอินทิเกรเตอร์ชนิดสูญเสีย หรือวงจรรองความถี่ต่ำผ่านอันดับหนึ่งถูกใช้ในบทความนี้ดังแสดงในรูปที่ 4.1 โดยมีหนึ่งอินพุต (X) และสองเอาต์พุต (Y_1 และ Y_2) ฟังก์ชันถ่ายโอนสามารถเขียนได้ดังสมการที่ (4.1)



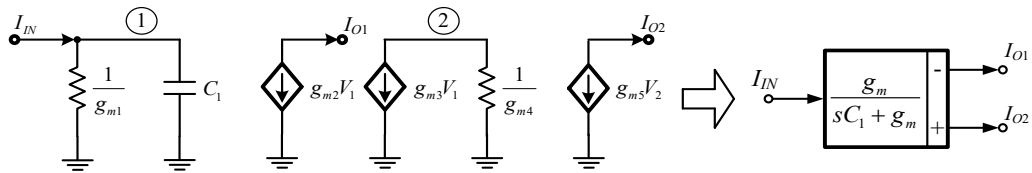
รูปที่ 4.1 บล็อกไดอะแกรมวงจรรองความถี่อินทิเกรเตอร์ชนิดสูญเสีย

$$\frac{Y_1}{X} = -\frac{Y_2}{X} = -\frac{A}{s + A} \quad (4.1)$$



รูปที่ 4.2 วงจรอินทิเกรเตอร์ชนิดสูญเสียรูปแบบกระแสโดยใช้ซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แบบจำลองสัญญาณขนาดเล็กของรูปที่ 4.2 และบล็อกไดอะแกรม ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m$)

วงจรรินทีเกรเตอร์ชนิดสูญเสียสองเอาต์พุต ดังแสดงในรูปที่ 4.1 สามารถสร้างได้ง่ายโดยใช้ มอสทรานซิสเตอร์ ดังแสดงในรูปที่ 4.2 ฟังก์ชันถ่ายโอนกระแสได้รับจากการวิเคราะห์แบบจำลอง สัญญาณขนาดเล็กของรูปที่ 4.3 โดยผลการวิเคราะห์ห้วงจรในรูปที่ 4.3 แสดงฟังก์ชันถ่ายโอนดัง สมการที่ (4.2) และ (4.3)

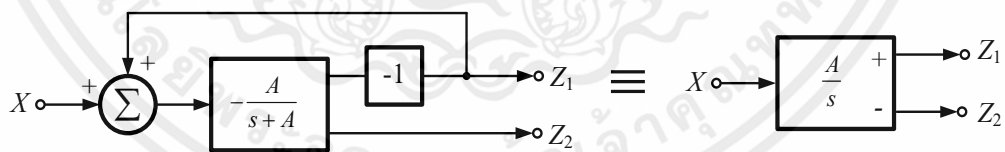
$$\frac{I_{O1}}{I_{IN}} = \frac{-g_{m2}}{sC_1 + g_{m1}} \tag{4.2}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_{m3}g_{m5}/g_{m4}}{sC_1 + g_{m1}} \tag{4.3}$$

เมื่อ g_{mi} คือ ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ i สมมติให้ทรานซิสเตอร์ M_1 ถึง M_4 สมพงค์ (match) กันทุกตัว ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m$) ดังนั้นฟังก์ชันถ่ายโอนของรูปที่ 4.3 สามารถ เขียนได้เป็น

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{sC_1 + g_m} \tag{4.4}$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{sC_1 + g_m} \tag{4.5}$$

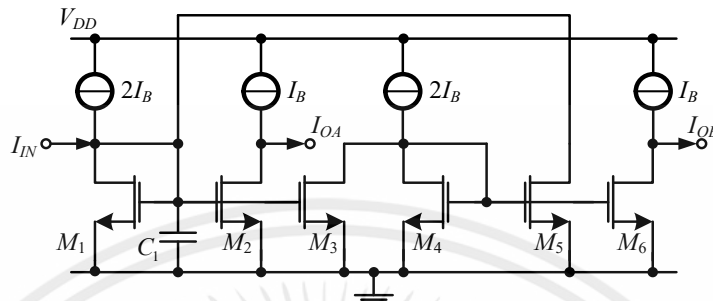


รูปที่ 4.4 บล็อกไดอะแกรมวงจรรินทีเกรเตอร์ชนิดไม่สูญเสีย

สำหรับวงจรรินทีเกรเตอร์ชนิดไม่สูญเสียสามารถสร้างได้ง่าย โดยการแก้ไขจากวงจรรินทีเกรเตอร์ ชนิดสูญเสียดังนี้ คือ อันดับแรกเพิ่มวงจรรขยายแบบกลับเฟสที่เอาต์พุตของวงจรรินทีเกรเตอร์ชนิดสูญเสีย แบบกลับเฟส [36] ต่อมาป้อนกลับกระแสเอาต์พุตแบบกลับเฟสไปยังอินพุต ดังแสดงในรูปที่ 4.4 ดังนั้น ฟังก์ชันถ่ายโอนของวงจรรินทีเกรเตอร์ชนิดไม่สูญเสียแบบกลับเฟสและไม่กลับเฟสที่พอร์ต Z_1 และ Z_2 สามารถเขียนได้เป็น

$$\frac{Z_1}{X} = \frac{-Z_2}{X} = \frac{A}{s} \tag{4.6}$$

ในรูปที่ 4.5 แสดงการสร้างวงจรรวมที่เกเรเตอร์ชนิดไม่สูญเสียจากบล็อกไดอะแกรมในรูปที่ 4.4 ด้วยการนำวงจรรวมที่เกเรเตอร์ชนิดสูญเสีย (M_1 , M_2 และ M_3) ต่อคาสเคดกับวงจรรขยายแบบกลับเฟส (M_4 และ M_5) แล้วจึงป้อนกระแสเอาต์พุตกลับมายังอินพุต โดยเอาต์พุตมี 2 ตัว คือ I_{OB} (พอร์ต Z_+) และ I_{OA} (พอร์ต Z_-) ที่ M_6 และ M_2 ตามลำดับ



รูปที่ 4.5 วงจรรวมที่เกเรเตอร์ชนิดไม่สูญเสียรูปแบบกระแสโดยใช้ซีมอส



รูปที่ 4.6 แบบจำลองสัญญาณขนาดเล็กของรูปที่ 4.5 และบล็อกไดอะแกรม ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_m$)

สมมติให้ทรานซิสเตอร์ M_1 ถึง M_6 สมพงค์ (match) กันทุกตัว ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_m$) ฟังก์ชันถ่ายโอนกระแสที่ได้รับจากการวิเคราะห์แบบจำลองสัญญาณขนาดเล็กของรูปที่ 4.6 สามารถเขียนได้เป็น

$$\frac{I_{OA}}{I_{IN}} = \frac{-g_m}{sC_1} \quad (4.7)$$

$$\frac{I_{OB}}{I_{IN}} = \frac{g_m}{sC_1} \quad (4.8)$$

จากรูปที่ 4.3 และรูปที่ 4.6 ความต้านทานอินพุตของวงจรรวมที่เกเรเตอร์ทั้งสองชนิด สามารถเขียนได้เป็น

$$Z_{in} = \frac{1}{g_m + sC_1} \quad (4.9)$$

ในสมการที่ (4.2)-(4.5) และ (4.7)-(4.8) ค่าทรานสคอนดักแตนซ์ (g_m) ของทรานซิสเตอร์สามารถเขียนได้เป็น

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \approx \sqrt{2\mu C_{ox} (W/L) I_D} \quad (4.10)$$

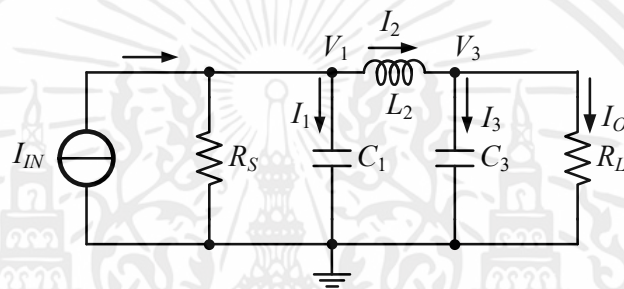
ซึ่ง μ , C_{ox} , W และ L คือ ค่าความคล่องของอิเล็กตรอน ประจุที่เกิดจากความหนาของออกไซด์ ความกว้าง ความยาวของแชนแนลตามลำดับ ส่วน I_D คือ กระแสเดรนของทรานซิสเตอร์ จากสมการที่ (4.9) เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงให้เห็นว่าค่าความนำสามารถปรับค่าได้ด้วยกระแสไปอัส I_B ดังนั้น ค่าพารามิเตอร์ของวงจรอินทีเกรเตอร์ชนิดสูญเสียและไม่สูญเสียในรูปแบบที่ 4.2 และรูปที่ 4.5 สามารถปรับค่าได้ทางอิเล็กทรอนิกส์

4.2.2 การสังเคราะห์วงจรกรองความถี่ต่ำผ่าน RLC ชนิดขั้นบันได

หัวข้อนี้เป็นการอธิบายกระบวนการสังเคราะห์วงจรกรองความถี่ชนิดขั้นบันไดโดยใช้กราฟการไหลสัญญาณ (SFG) โดยวงจรกรองความถี่ต่ำผ่าน Chebyshev และ Elliptic ชนิดขั้นบันได [37]-[41] ทั้งสองถูกใช้เป็นต้นแบบ ในการประยุกต์ใช้งานบางชนิดมีความต้องการอัตราการเปลี่ยนแปลงในช่วงแถบการส่งผ่านที่สูงเพื่อให้เข้าใกล้ความถี่ตัดมากที่สุด ซึ่งความต้องการนี้สามารถใช้การประมาณค่าแบบวงจรกรองความถี่ Elliptic หรือวงจรกรองความถี่ Caer ในการออกแบบได้ [38]

สำหรับกระบวนการสังเคราะห์วงจรกรองความถี่ต่ำผ่านพาสซีฟ RLC Chebyshev อันดับสามชนิดขั้นบันไดปลายปิดคู่ (Doubly Terminated) ต้นแบบ แสดงดังในรูปที่ 4.7



รูปที่ 4.7 วงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสามชนิดขั้นบันไดต้นแบบ

พิจารณาวงจรต้นแบบในรูปที่ 4.7 โดยใช้การวิเคราะห์ด้วย KCL หาค่าความสัมพันธ์ระหว่างกระแสและแรงดันสามารถเขียนได้เป็น

$$I_1 = I_{IN} - \frac{V_1}{R_S} - I_2 \quad (4.11)$$

$$V_1 = \frac{I_1}{sC_1} \quad (4.12)$$

$$V_2 = V_1 - V_3 \quad (4.13)$$

$$I_2 = \frac{V_2}{sL_2} \quad (4.14)$$

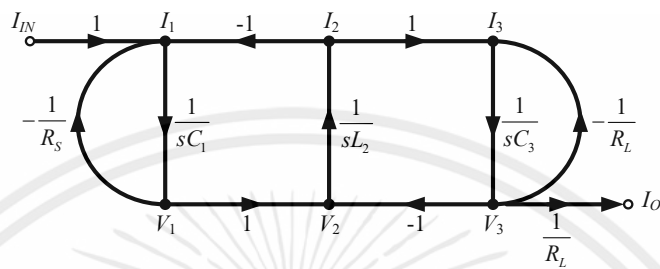
$$V_3 = \frac{I_3}{sC_3} \quad (4.15)$$

$$I_3 = I_2 - \frac{V_3}{R_L} \quad (4.16)$$

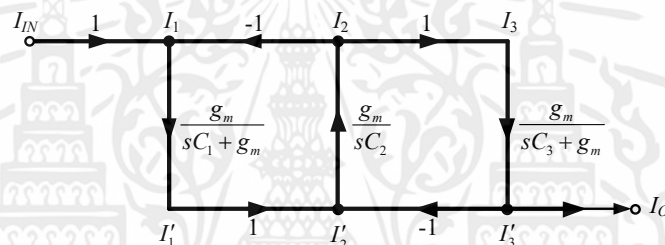
จากสมการที่ (4.11)-(4.16) สามารถนำมาเขียนเป็นกราฟการไหลสัญญาณ (SFG) ดังแสดงในรูปที่ 4.8 (ก) ซึ่งแรงดันที่โนดต่างๆ และกระแสในแขนงต่างๆ จะอยู่ในรูปของ SFG เมื่อต้องการปรับเอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันให้อยู่ในรูปของกระแสทั้งหมดสามารถทำได้โดยการ Normalized โดยใช้ค่าทรานสคอนดักแตนซ์ (g_m) เพื่อเปลี่ยนแรงดันให้อยู่ในรูปแบบกระแส โดยกำหนดให้ $R_S = R_L = 1/g_m$

นอกจากนี้ วงจรอินทีเกรเตอร์ชนิดไม่สูญเสียที่ป้อนกลับแบบลบด้านซ้ายและด้านขวา สามารถแทนได้ด้วยวงจรอินทีเกรเตอร์ชนิดสูญเสีย ดังแสดงในรูปที่ 4.8(ข) เห็นได้ชัดว่าวงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดขั้นบันไดสามารถออกแบบด้วยวงจรอินทีเกรเตอร์ชนิดสูญเสียและไม่สูญเสียได้



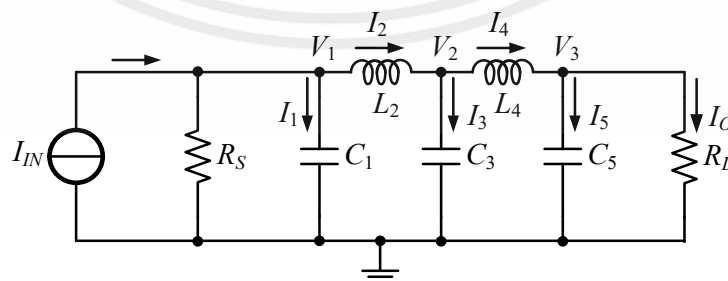
(ก)



(ข)

รูปที่ 4.8 (ก) กราฟการไหล (SFG) ของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสามชนิดขั้นบันได ในรูปที่ 4.7, (ข) SFG รูปแบบกระแสที่สมมูลของรูปที่ 4.8(ก)

อย่างไรก็ตามจากกระบวนการสังเคราะห์วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสามชนิดขั้นบันไดโดยใช้กราฟการไหลสัญญาณ (SFG) นั้น หากมีความต้องการในการออกแบบวงจรกรองความถี่ต่ำผ่าน Chebyshev ที่มีอันดับสูงขึ้น จากหลักการเดียวกันนี้สามารถนำไปประยุกต์ใช้ในการสังเคราะห์วงจรกรองความถี่ต่ำผ่านที่มีอันดับสูงได้อีกด้วย เช่น จรกรองความถี่ต่ำผ่าน Chebyshev อันดับห้าชนิดขั้นบันไดต้นแบบ ดังแสดงในรูปที่ 4.9

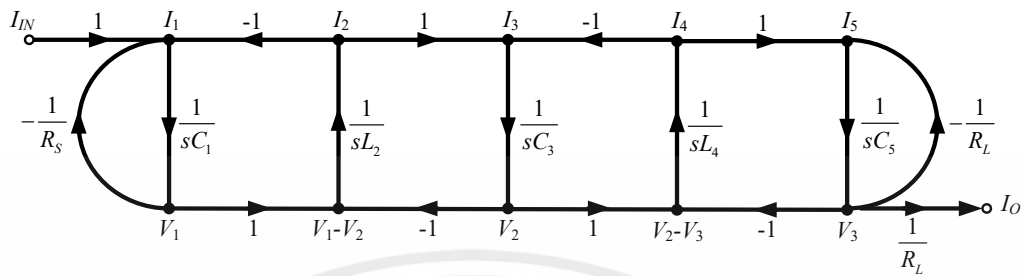


รูปที่ 4.9 วงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับห้าชนิดขั้นบันไดต้นแบบ

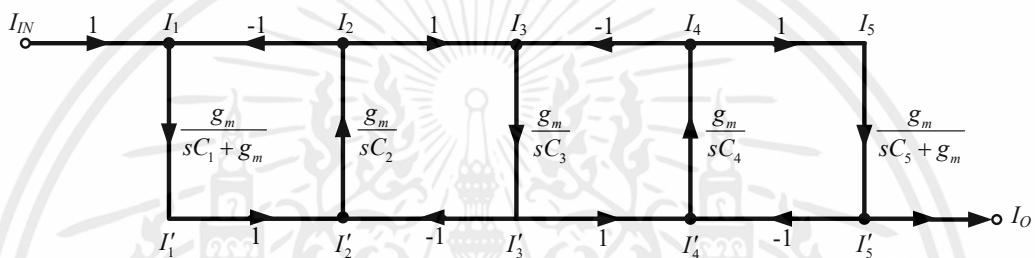
พิจารณาวจรต้นแบบในรูปที่ 4.9 โดยใช้การวิเคราะห์ด้วย KCL เพื่อหาความสัมพันธ์ระหว่างกระแสและแรงดัน เมื่อนำมาเขียนเป็นกราฟการไหลสัญญาณ (SFG) แสดงได้ดังรูปที่ 4.10(ก)

เอกสารนี้เป็นเอกสารสงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปเผยแพร่โดยไม่ได้รับอนุญาตให้เสียประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าแรงดันที่โหนดต่างๆ และกระแสในแขนงต่างๆ อยู่ในรูปของ SFG เมื่อต้องการปรับแรงดันให้อยู่ในรูปของกระแสทั้งหมดสามารถทำได้โดยการ Normalized โดยใช้ค่าทรานสคอนดักแตนซ์ (g_m) เพื่อเปลี่ยนแรงดันให้อยู่ในรูปแบบกระแส โดยกำหนดให้ $R_S = R_L = 1/g_m$ ดังแสดงในรูปที่ 4.10(ข)



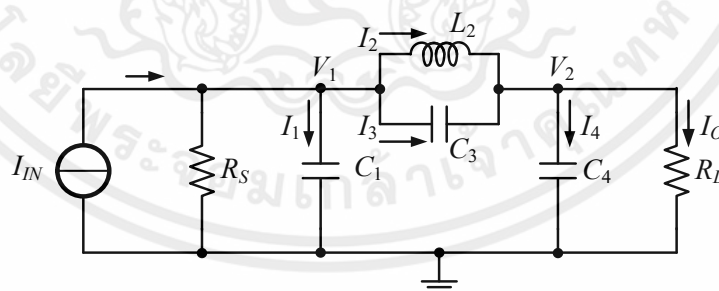
(ก)



(ข)

รูปที่ 4.10 (ก) กราฟการไหล (SFG) ของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับห้าชนิดขึ้นบันได ในรูปที่ 4.9, (ข) SFG รูปแบบกระแสที่สมบูรณ์ของรูปที่ 4.10(ก)

ต่อมาเป็นการอธิบายกระบวนการสังเคราะห์วงจรกรองความถี่ชนิดขึ้นบันไดโดยใช้กราฟการไหลสัญญาณ (SFG) ของวงจรกรองความถี่ต่ำผ่านพาสซีฟ RLC Elliptic อันดับสามชนิดขึ้นบันไดปลายปิดคู่ (Doubly Terminated) ต้นแบบ ดังแสดงในรูปที่ 4.11



รูปที่ 4.11 วงจรกรองความถี่ต่ำผ่าน RLC Elliptic อันดับสามชนิดขึ้นบันไดต้นแบบ

พิจารณาวจรต้นแบบในรูปที่ 4.11 โดยใช้การวิเคราะห์ด้วย KCL หาความสัมพันธ์ระหว่างกระแสและแรงดันสามารถเขียนได้เป็น

$$I_1 = I_{IN} - \frac{V_1}{R_S} - I_2 - I_3 \tag{4.17}$$

$$I_3 = (V_1 - V_2)sC_3 \tag{4.18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_1 = \frac{I_1}{sC_1} \quad (4.19)$$

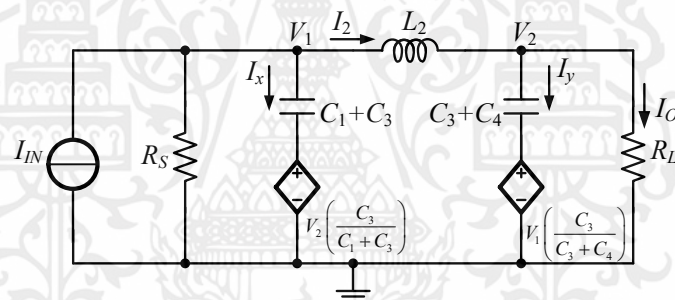
$$V_1 = \frac{I_{IN} - I_2 - V_1/R_S}{s(C_1 + C_3)} + V_2 \frac{C_3}{C_1 + C_3} \quad (4.20)$$

$$I_4 = I_2 + I_3 - I_O \quad (4.21)$$

$$V_2 = \frac{I_4}{sC_4} \quad (4.22)$$

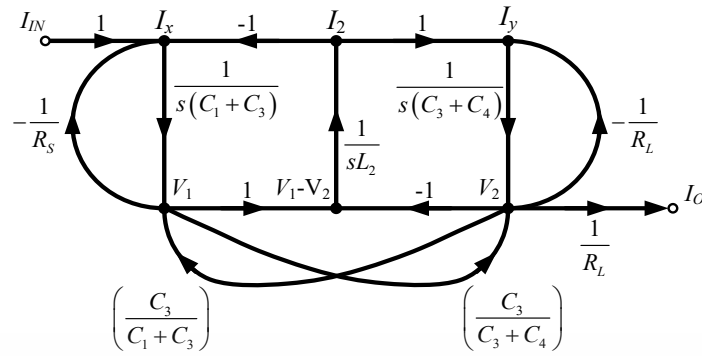
$$V_2 = \frac{I_2 - I_O}{s(C_3 + C_4)} + V_1 \frac{C_3}{C_3 + C_4} \quad (4.23)$$

จากสมการที่ (4.17) – (4.23) สามารถอธิบายโดยเขียนเป็นวงจรที่แปลงรูปวงจรใหม่ ดังแสดงในรูปที่ 4.12 โดยกระแส $I_X = I_{IN} - I_2 - V_1/R_S$ และ $I_Y = I_2 - I_O$ ตัวเก็บประจุ C_3 กลื่อนให้กลายเป็นตัวเก็บประจุตัวใหม่ (C_1+C_3) และ (C_3+C_4) ต่อร่วมกับแหล่งจ่ายไม่อิสระ

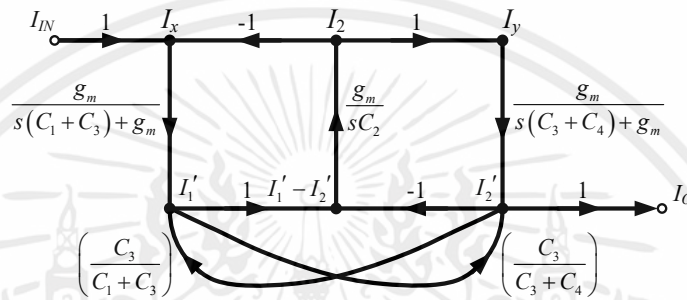


รูปที่ 4.12 แบบจำลองวงจรกรองความถี่ต่ำผ่าน Elliptic ชั้นบันไดอันดับสามที่ผ่านการแปลงรูป

จากสมการที่ (4.17)-(4.23) และรูปที่ 4.12 สามารถนำมาเขียนเป็นกราฟการไหลสัญญาณ (SFG) ดังแสดงในรูปที่ 4.13(ก) ซึ่งแรงดันที่โหนดต่างๆ และกระแสในแขนงต่างๆ จะอยู่ในรูปของ SFG เมื่อต้องการปรับแรงดันให้อยู่ในรูปของกระแสทั้งหมดสามารถทำได้โดยการ Normalized โดยใช้ค่าทรานสคอนดัคแตนซ์ (g_m) เพื่อเปลี่ยนแรงดันให้เป็นรูปแบบกระแส โดยกำหนดให้ $R_S=R_L=1/g_m$ นอกจากนี้วงจรอินทิเกรเตอร์ ชนิดไม่สูญเสียที่ป้อนกลับแบบลบด้านซ้ายและด้านขวา สามารถแทนได้ด้วยวงจรอินทิเกรเตอร์ชนิดสูญเสีย ดังแสดงในรูปที่ 4.13(ข) เห็นได้ชัดว่าวงจรกรองความถี่ต่ำผ่าน Elliptic ชั้นบันได สามารถออกแบบด้วยวงจรอินทิเกรเตอร์ชนิดสูญเสีย วงจรอินทิเกรเตอร์ชนิดไม่สูญเสียได้และวงจรขยายกระแส



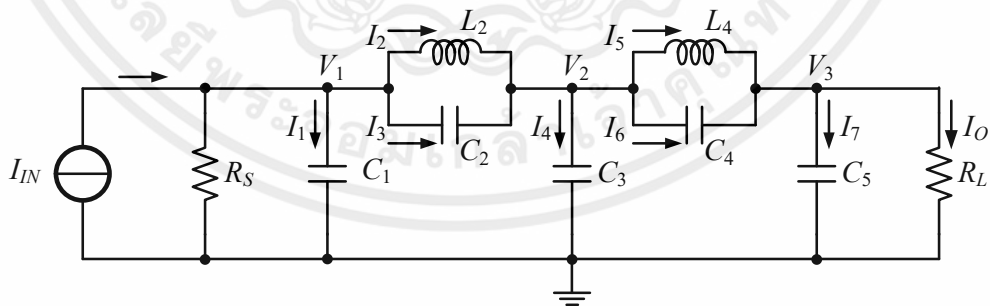
(ก)



(ข)

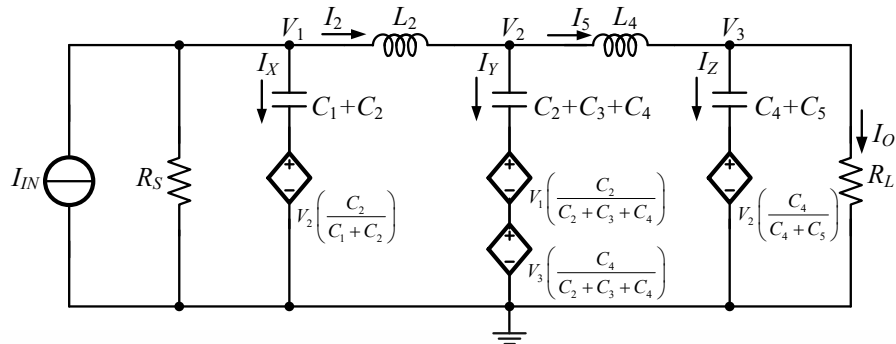
รูปที่ 4.13 (ก) กราฟการไหล (SFG) ของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามชนิดขึ้นบันได ในรูปที่ 4.12, (ข) SFG รูปแบบกระแสที่สมมูลของรูปที่ 4.13(ก)

อย่างไรก็ตามจากกระบวนการสังเคราะห์ห้วงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามชนิดขึ้นบันไดโดยใช้กราฟการไหลสัญญาณ (SFG) นั้น หากมีความต้องการในการออกแบบวงจรกรองความถี่ต่ำผ่าน Elliptic ที่มีอันดับสูงขึ้น จากหลักการเดียวกันนี้สามารถนำไปประยุกต์ใช้ในการสังเคราะห์ห้วงจรกรองความถี่ต่ำผ่านที่มีอันดับสูงได้อีกด้วย เช่น จรกรองความถี่ต่ำผ่าน Elliptic อันดับห้าชนิดขึ้นบันไดต้นแบบ ดังแสดงในรูปที่ 4.14



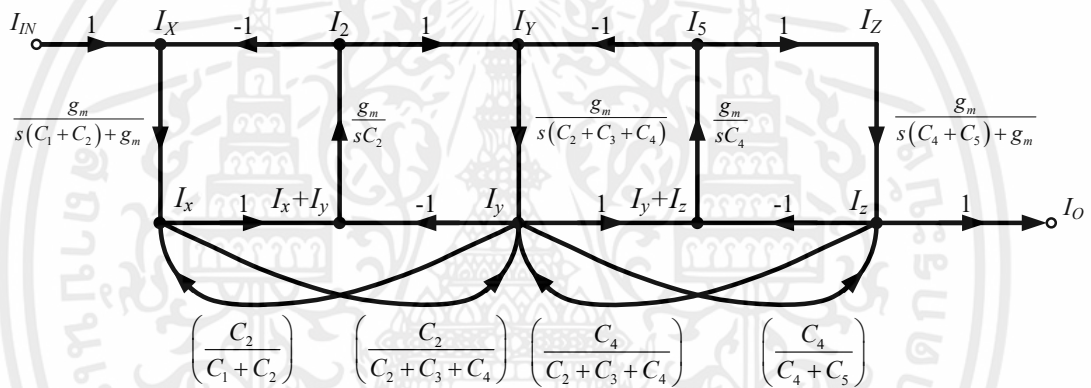
รูปที่ 4.14 วงจรกรองความถี่ต่ำผ่าน RLC Elliptic อันดับห้าชนิดขึ้นบันไดต้นแบบ

จากวงจรกรองความถี่ต่ำผ่าน RLC Elliptic อันดับห้าชนิดขึ้นบันไดต้นแบบในรูปที่ 4.14 เมื่อใช้การวิเคราะห์ด้วย KCL หาความสัมพันธ์ระหว่างกระแสและแรงดันสามารถอธิบายโดยเขียนเป็นวงจรที่แปลงรูปวงจรใหม่ ดังแสดงในรูปที่ 4.15



รูปที่ 4.15 แบบจำลองวงจรกรองความถี่ต่ำผ่าน Elliptic ชั้นบันไดอันดับห้าที่ผ่านการแปลงรูป

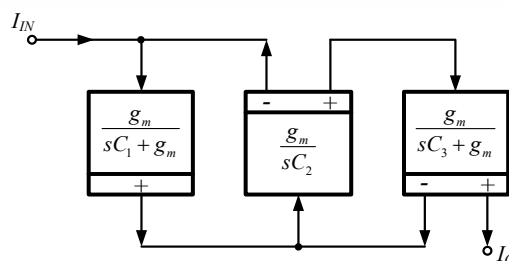
พิจารณาวจรต้นแบบในรูปที่ 4.15 โดยใช้การวิเคราะห์ด้วย KCL เพื่อหาความสัมพันธ์ระหว่างกระแสและแรงดัน เมื่อนำมาเขียนเป็นกราฟการไหลสัญญาณ (SFG) โดยปรับแรงดันให้อยู่ในรูปของกระแสทั้งหมดสามารถทำได้โดยการ Normalized โดยใช้ค่าทรานสคอนดักแตนซ์ (g_m) เพื่อเปลี่ยนแรงดันให้อยู่ในรูปแบบกระแส โดยกำหนดให้ $R_S = R_L = 1/g_m$ ดังแสดงในรูปที่ 4.16



รูปที่ 4.16 กราฟการไหล (SFG) ของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับห้าชนิดชั้นบันได

4.3 การสร้างวงจรกรองความถี่ต่ำผ่านชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส

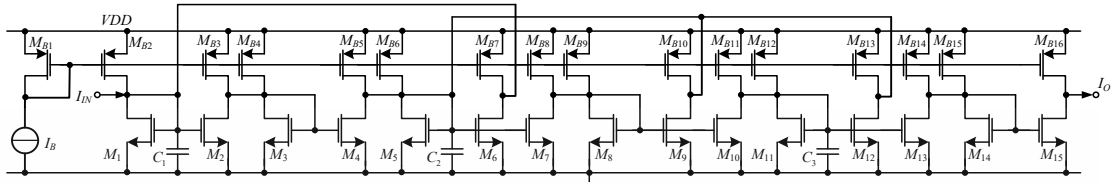
พิจารณากราฟการไหลสัญญาณ (SFG) ในรูปที่ 4.8(ข) วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดอันดับสาม สามารถสร้างด้วยวงจรอินทิเกรเตอร์ชนิดสูญเสีย 2 ตัว และวงจรอินทิเกรเตอร์ไม่สูญเสีย 1 ตัว โดยวงจรอยู่ในรูปแบบกระแสทำให้ง่ายในการบวกและการลบของกระแส ซึ่งสามารถเชื่อมต่อกับวงจรภายนอกได้โดยตรง การใช้บล็อกไดอะแกรมดังแสดงในรูปที่ 4.3 รูปที่ 4.6 และ SFG ในรูปที่ 4.8(ข) ดังนั้นวงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดอันดับสาม สามารถสร้างได้ดังบล็อกไดอะแกรมในรูปที่ 4.17



รูปที่ 4.17 วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดอันดับสามที่นำเสนอ

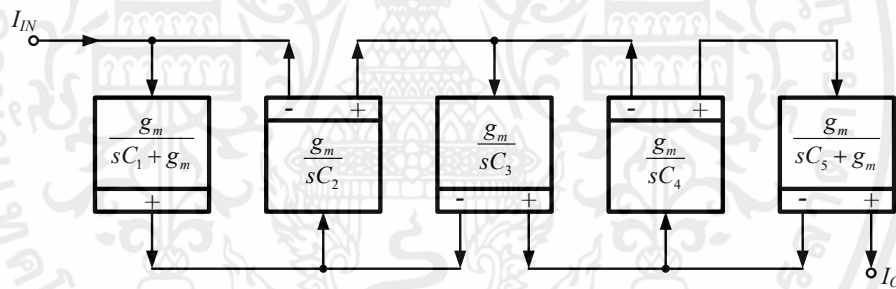
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้บล็อกไดอะแกรมในรูปที่ 4.17 และวงจรที่แสดงในรูปที่ 4.2 และรูปที่ 4.5 เป็นบล็อกไดอะแกรมวงจรที่สมบูรณ์ของการสังเคราะห์วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดอันดับสาม ดังแสดงในรูปที่ 4.18 โดยในรูปที่ 4.18 กระแสไบอัสสร้างได้โดยการใช้วงจรสะท้อนกระแสชนิด PMOS โดย M_{Bi} กำหนดอัตราส่วนเหมือนกันเพื่อให้ได้กระแสไบอัสที่เท่ากัน



รูปที่ 4.18 วงจรกรองความถี่ต่ำผ่าน Chebyshev รูปแบบกระแสชนิดชั้นบันไดอันดับสามโดยใช้เทคโนโลยีซีมอส

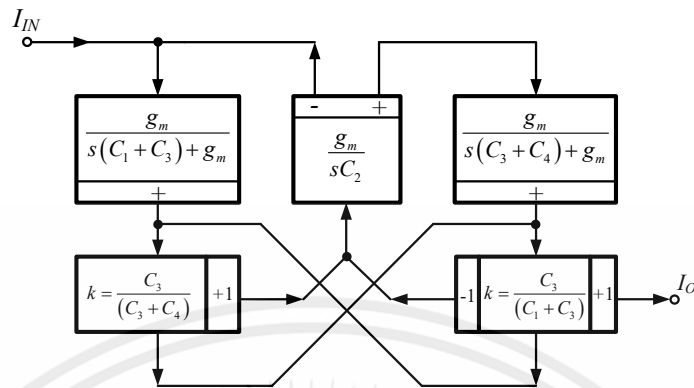
อย่างไรก็ตามเมื่อพิจารณากราฟการไหลสัญญาณ (SFG) ในรูปที่ 4.10(ข) วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดอันดับห้า สามารถสร้างได้ด้วยวงจรอินทิเกรเตอร์ชนิดสูญเสีย 2 ตัว และวงจรอินทิเกรเตอร์ไม่สูญเสีย 3 ตัว โดยการใช้บล็อกไดอะแกรมในรูปที่ 4.3 รูปที่ 4.6 และ SFG ในรูปที่ 4.10(ข) ดังนั้นวงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดอันดับห้า สามารถสร้างได้ดังบล็อกไดอะแกรมในรูปที่ 4.19



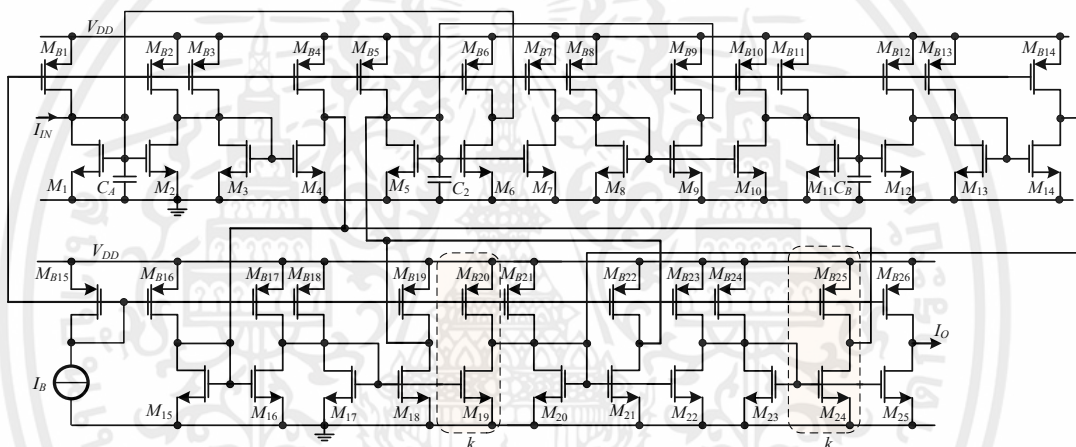
รูปที่ 4.19 วงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดอันดับห้า

เช่นเดียวกัน การใช้ SFG วงจรกรองความถี่ต่ำผ่าน Elliptic ดังแสดงในรูปที่ 4.13(ข) วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับสาม สามารถสร้างได้ด้วยวงจรอินทิเกรเตอร์ชนิดสูญเสีย วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย และวงจรขยายกระแส ซึ่งจากรูปที่ 4.13(ข) แสดงให้เห็นว่า SFG ของวงจรกรองความถี่ต่ำผ่าน Elliptic มีการป้อนกลับสองทางจากวงจรขยายกระแส วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับสาม สามารถสร้างได้โดยใช้บล็อกไดอะแกรมของวงจรอินทิเกรเตอร์ชนิดสูญเสีย 2 ตัว วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย 1 ตัว และวงจรแยกกระแสหลายเอาต์พุต (+, -, k) สองตัว ถูกใช้ในการป้อนกลับกระแสระหว่าง I'_1 และ I'_2 เห็นได้ชัดว่าวงจรที่แนะนำให้เสนอต้องการเพียงตัวเก็บประจุ 3 ตัวเท่านั้น ในขณะที่วงจรกรองความถี่ RLC ต้นแบบ ใช้ตัวเก็บประจุ 3 ตัว และตัวเหนี่ยวนำ 1 ตัว วงจรขยายกระแสสามารถสร้างได้ง่ายโดยเป็นการกำหนดอัตราส่วนของทรานซิสเตอร์โดยเฉพาะและกระแสไบอัส การใช้ SFG ในรูปที่ 4.13(ข) ในการสร้างเป็นวงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับสาม โดยใช้บล็อกไดอะแกรมของวงจร

อินทีเกรเตอร์ชนิดสูญเสีย 2 ตัว วงจรอินทีเกรเตอร์ชนิดไม่สูญเสีย 1 ตัว และวงจรแยกกระแส 2 ตัว ดังแสดงในรูปที่ 4.20

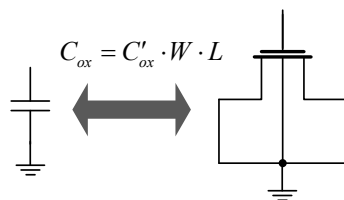


รูปที่ 4.20 วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับสามที่นำเสนอสอน



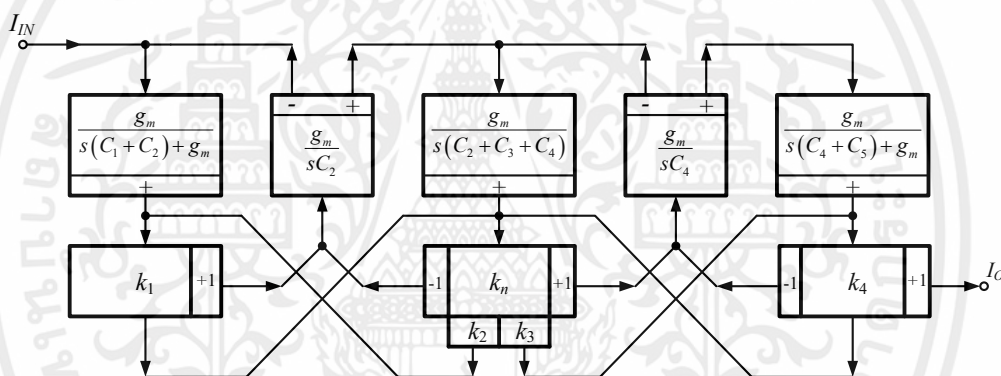
รูปที่ 4.21 วงจรกรองความถี่ต่ำผ่าน Elliptic รูปแบบกระแสชนิดชั้นบันได อันดับสามโดยใช้เทคโนโลยีซีมอส

การใช้บล็อกไดอะแกรมในรูปที่ 4.20 และวงจรที่แสดงในรูปที่ 4.2 และรูปที่ 4.5 เป็นบล็อกไดอะแกรมวงจรที่สมบูรณ์ของการสังเคราะห์วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันได อันดับสาม ดังแสดงในรูปที่ 4.21 เห็นได้ชัดว่าวงจรที่ถูกลำเสนอต้องการเพียงตัวเก็บประจุ 3 ตัวเท่านั้น ในขณะที่วงจรกรองความถี่ RLC ต้นแบบของรูปที่ 4.11 ต้องการตัวเก็บประจุ 3 ตัว และตัวเหนี่ยวนำ 1 ตัว โดยในรูปที่ 4.21 กระแสไบอัสสร้างได้โดยการใช้วงจรสะท้อนกระแสชนิด PMOS โดย M_{Bi} กำหนดอัตราส่วนเหมือนกันเพื่อให้ได้กระแสไบอัสที่เท่ากัน บล็อกไดอะแกรมดังแสดงในรูปที่ 4.20 วงจรขยายกระแสมีอัตราขยายเท่ากับ k โดยในรูปที่ 4.21 วงจรขยายกระแสเหล่านั้นถูกสร้างโดยใช้ทรานซิสเตอร์ MOSFET แสดงดังกล่องที่เป็นเส้นประ นอกจากนี้ตัวเก็บประจุที่ใช้ในวงจรเป็นชนิดบนชิป (on-chip) [42] ดังแสดงในรูปที่ 4.22 ซึ่งตัวเก็บประจุเหล่านั้นสามารถสร้างได้พร้อมกันกับวงจรทั้งหมดสำหรับวงจรรวมบนชิปเดียว นอกจากนี้ยังสามารถทำงานได้ที่ความถี่สูงโดยลดค่าเก็บประจุแฝงอันเนื่องมาจากการเชื่อมต่อของชิป



รูปที่ 4.22 ตัวเก็บประจุ NMOS สำหรับสร้างเป็นตัวเก็บประจุต่อเทียบกราวด์

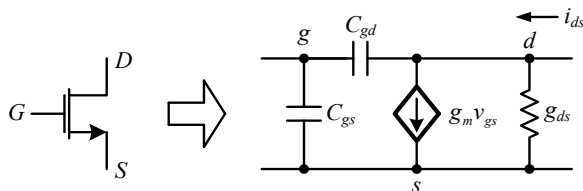
นอกจากนี้หากพิจารณากราฟการไหลสัญญาณ (SFG) ในรูปที่ 4.16 วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับห้า สามารถสร้างได้โดยใช้บล็อกไดอะแกรมของวงจรอินทิเกรเตอร์ชนิดสูญเสีย 2 ตัว วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย 3 ตัว และวงจรแยกกระแสหลายเอาต์พุต (+, -, k) สามตัว ถูกใช้ในการป้อนกลับกระแสระหว่าง I_x , I_y และ I_z โดยวงจรต้องการเพียงตัวเก็บประจุ 5 ตัว เท่านั้น ในขณะที่วงจรกรองความถี่ RLC ต้นแบบ ใช้ตัวเก็บประจุ 5 ตัว และตัวเหนี่ยวนำ 2 ตัว สำหรับวงจรขยายกระแสสามารถสร้างได้โดยการกำหนดอัตราส่วนของทรานซิสเตอร์โดยเฉพาะและกระแสไบอัส ดังนั้นการใช้ SFG ในรูปที่ 4.16 สร้างเป็นวงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับห้า แสดงดังในรูปที่ 4.23



รูปที่ 4.23 วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับห้า

4.4 ผลกระทบความไม่เป็นอุดมคติของวงจร

หัวข้อนี้แสดงให้เห็นถึงผลกระทบที่เกิดจากค่าพารามิเตอร์แฝงของทรานซิสเตอร์ชนิด NMOS ต่อวงจรอินทิเกรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสียที่ใช้เป็นวงจรหลักในการออกแบบวงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอในงานวิจัยนี้ เนื่องจากค่าพารามิเตอร์แฝงนี้เมื่อวงจรทำงานในย่านความถี่สูงอาจส่งผลกระทบต่อประสิทธิภาพของวงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอ นั่นคือคลาดเคลื่อนไปจากทฤษฎีก็เป็นได้ โดยผลกระทบความไม่เป็นอุดมคติของทรานซิสเตอร์ชนิด NMOS สามารถเขียนให้อยู่ในแบบจำลองสัญญาณขนาดเล็กได้ ดังแสดงในรูปที่ 4.24



รูปที่ 4.24 แบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ชนิด NMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากแบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ชนิด NMOS ในรูปที่ 4.24 จะพบว่ามีค่าพารามิเตอร์ต่างๆ (C_{gs} , C_{gd} , g_{ds} และ g_m) รวมอยู่ด้วยกัน โดยผลกระทบจากพารามิเตอร์เหล่านี้ต่อประสิทธิภาพของวงจรรองความถี่ต่ำผ่านที่ถูกนำเสนอสามารถอธิบายได้ในหัวข้อย่อยถัดไป

4.4.1 ผลกระทบจากค่าตัวเก็บประจุแฝง

เป็นที่ทราบกันดีว่าผลกระทบจากค่าตัวเก็บประจุแฝง C_{gs} และ C_{gd} นั้น ในทางปฏิบัติถือได้ว่าสำคัญอย่างยิ่งในการกำหนดประสิทธิภาพของวงจรรวม CMOS ที่ทำงานในย่านความถี่สูง

4.4.1.1 ผลกระทบจากค่าตัวเก็บประจุแฝงต่อวงจรอินทิเกรเตอร์ชนิดสูญเสียน้อย

การใช้แบบจำลองสัญญาณขนาดเล็กในรูปที่ 4.24 นำมาวิเคราะห์ห้วงจรอินทิเกรเตอร์ชนิดสูญเสียน้อยสองเอาต์พุต ในรูปที่ 4.2 พิจารณาเพียงค่าความจุแฝงที่ขาเกตและขาเดรน (C_{gd}) โดยสมมติให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวสมพงค์กัน ฟังก์ชันถ่ายโอนกระแสที่ได้รับจากการวิเคราะห์ห้วงจรในรูปที่ 4.2 แสดงดังสมการที่ (4.24) และ (4.25) ตามลำดับ

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + s(C_{gd2} + C_1)} \quad (4.24)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{g_m + s(3C_{gd2} + C_{gd4} + C_1)} \quad (4.25)$$

เช่นเดียวกัน เมื่อพิจารณาเพียงค่าความจุแฝงที่ขาเกตและขาซอส (C_{gs}) โดยสมมติให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวสมพงค์กัน ฟังก์ชันถ่ายโอนกระแสที่ได้รับจากการวิเคราะห์ห้วงจรในรูปที่ 4.2 แสดงดังสมการที่ (4.26) และ (4.27) ตามลำดับ

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + s(C_{gs1} + C_{gs2} + C_1)} \quad (4.26)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{g_m + s(C_{gs3} + C_{gs4} + C_{gs1} + C_{gs2} + C_1)} \quad (4.27)$$

จากสมการที่ (4.24) – (4.27) แสดงให้เห็นถึงผลกระทบจากค่าตัวเก็บประจุแฝงต่อวงจรอินทิเกรเตอร์ชนิดสูญเสียน้อย ในทางปฏิบัติค่าความจุแฝง C_{gd} และ C_{gs} จะแปรผันได้ตามเงื่อนไขต่างๆที่สัมพันธ์กัน [38] ซึ่งในกรณีนี้เป็นการกำหนดโดยสมมติให้ค่าความจุแฝง $C_{gdi} = C_{gd}$, $C_{gsi} = C_{gs}$ โดย $C_{gd} = WL_D C_{ox}$ และ $C_{gs} = W((2/3)(L) + L_D) C_{ox}$, เห็นได้ว่าค่าความจุแฝง C_{gd} และ C_{gs} นั้นคลาดเคลื่อนเพียงเพียงเล็กน้อยในย่านการทำงานของวงจรรองความถี่ต่ำผ่าน ดังนั้นเพื่อหลีกเลี่ยงการคลาดเคลื่อนเหล่านี้โดยการใช้ตัวเก็บประจุ C_1 ดังสมการที่ (4.28)

$$C_1 \gg 4(C_{gs} + C_{gd}) \quad (4.28)$$

4.4.1.2 ผลกระทบจากค่าตัวเก็บประจุแฝงต่อวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียน้อย

เช่นเดียวกัน ผลกระทบจากค่าตัวเก็บประจุแฝง C_{gd} และ C_{gs} ต่อวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียน้อยสองเอาต์พุต ในรูปที่ 4.5 สามารถพิจารณาได้จากหลักการเดียวกัน โดยสมมติให้ค่า

ทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวสมพงค์กัน ฟังก์ชันถ่ายโอนกระแสของวงจรรวมที่เกเรเตอร์ชนิดไม่สูญเสียที่ได้รับผลกระทบจากค่าตัวเก็บประจุแฝง C_{gd} และ C_{gs} สามารถเขียนได้เป็น

$$\frac{I_{OA}}{I_{IN}} = \frac{-g_m}{s(4C_{gd3} + 4C_{gd5} + C_{gd2} + C_1)} \quad (4.29)$$

$$\frac{I_{OB}}{I_{IN}} = \frac{g_m}{s(4C_{gd2} + 4C_{gd4} + C_{gd5} + C_1)} \quad (4.30)$$

$$\frac{I_{OA}}{I_{IN}} = \frac{-g_m}{s(C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} + C_{gs5} + C_1)} \quad (4.31)$$

$$\frac{I_{OB}}{I_{IN}} = \frac{g_m}{s(C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} + C_{gs5} + C_1)} \quad (4.32)$$

จากสมการที่ (4.29) - (4.32) แสดงให้เห็นถึงผลกระทบจากค่าตัวเก็บประจุแฝง C_{gd} และ C_{gs} ต่อประสิทธิภาพวงจรรวมที่เกเรเตอร์ชนิดไม่สูญเสีย ดังนั้นในย่านการทำงานเพื่อหลีกเลี่ยงการคลาดเคลื่อนเหล่านี้โดยการใช้ตัวเก็บประจุ C_1 ดังสมการที่ (4.33)

$$C_1 \gg 9C_{gd} + 5C_{gs} \quad (4.33)$$

เห็นได้ชัดว่าจากสมการที่ (4.28) และ (4.33) ผลกระทบจากค่าตัวเก็บประจุแฝง C_{gd} และ C_{gs} นั้นสามารถลดลงได้ด้วยการเลือกใช้ตัวเก็บประจุ C_1 ที่มีค่าสูง

4.4.2 ผลกระทบจากค่าตัวต้านทานแฝง r_{ds}

แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ดังรูปที่ 4.24 ถูกใช้กันอย่างมากในย่านการทำงานแบบแอกทีฟ โดยแหล่งจ่ายกระแสควบคุมด้วยแรงดัน ($g_m v_{gs}$) เป็นพารามิเตอร์ที่สำคัญอย่างมาก โดยความสัมพันธ์ระหว่างแรงดันและกระแสสามารถเขียนได้เป็น

$$i_{DS} = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}) \quad (4.34)$$

เมื่อ λ คือ ผลจากการมอดูเลตความยาวของช่องนำกระแส (Channel-length modulation) โดยปกติแล้วมีค่าน้อยกว่า 1 ซึ่งทำให้เกิดส่วนโค้งของกระแสเดรนที่เป็นฟังก์ชันของแรงดัน v_{gs} ทั้งนี้ค่าความนำของช่องนำกระแสขึ้นอยู่กับค่าความยาว L ถึง λ ซึ่งมีอัตราส่วนที่ผกผันกัน ($\lambda \propto 1/L$) โดยค่าความนำของช่องนำกระแสสามารถเขียนได้เป็น

$$\frac{1}{r_{ds}} = g_{ds} = \frac{\partial i_{DS}}{\partial v_{DS}} = \frac{\lambda i_{DS}}{1 + \lambda v_{DS}} \approx \lambda i_{DS} \quad (4.35)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (4.35) แสดงให้เห็นถึงผลกระทบโดยตรงของกระแส i_{DS} และการมอดูเลตความยาวของช่องนำกระแส λ โดยมีผลกระทบต่ออัตราขยาย (Gain) และความถี่ตัด (Cut-off) ของวงจรรองความถี่

4.4.2.1 วงจรอินทิเกรเตอร์ชนิดสูญเสีย

การใช้แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์วิเคราะห์หาค่าความนำกระแสแฝง อีกทั้งสมมติให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวสมพงค์กัน โดย $g_{mi} = g_m$ และ $g_{dsi} = g_{ds}$ ดังนั้นฟังก์ชันถ่ายโอนของวงจรอินทิเกรเตอร์ชนิดสูญเสียสามารถเขียนได้เป็น

$$\frac{I_{O1}}{I_{IN}} \approx - \left(\frac{g_m + g_{ds}}{g_m + 2g_{ds}} \right) \frac{g_m (g_m + 2g_{ds}) / C_1 (g_m + g_{ds})}{s + g_m (g_m + 2g_{ds}) / C_1 (g_m + g_{ds})} \quad (4.36)$$

$$\frac{I_{O2}}{I_{IN}} \approx \left(\frac{g_m}{3g_{ds} + g_m} \right) \frac{g_m (g_m + 3g_{ds}) / C_1 (g_m + 2g_{ds})}{s + g_m (g_m + 3g_{ds}) / C_1 (g_m + 2g_{ds})} \quad (4.37)$$

จากสมการที่ (4.36) และ (4.37) เห็นได้ชัดว่าแมกนิจูดและความถี่ตัดของวงจรอินทิเกรเตอร์ชนิดสูญเสียได้รับผลกระทบจากค่าความนำกระแสแฝง g_{ds} เพียงเล็กน้อย อย่างไรก็ตามเพื่อหลีกเลี่ยงความผิดพลาดในฟังก์ชันถ่ายโอนของวงจรอินทิเกรเตอร์ชนิดสูญเสียทำได้โดยการกำหนดค่าทรานสคอนดักแตนซ์ g_m ของทรานซิสเตอร์ดังนี้

$$g_m \gg 3g_{ds} \quad (4.38)$$

เห็นได้ชัดว่าจากสมการที่ (4.10) และ (4.38) สามารถหลีกเลี่ยงความผิดพลาดในฟังก์ชันถ่ายโอนของวงจรอินทิเกรเตอร์ชนิดสูญเสียได้โดยกำหนดค่า W ของทรานซิสเตอร์ให้มีขนาดใหญ่ขึ้น

4.4.2.2 วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย

เช่นเดียวกันค่าความนำกระแสแฝง g_{ds} ของวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียสามารถเขียนฟังก์ชันถ่ายโอนได้เป็น

$$\frac{I_{OA}}{I_{IN}} = \frac{-(g_m)^2}{g_m (g_{ds1} + g_{ds3} + g_{ds4} + g_{ds5}) + sC_1 (g_m + g_{ds3} + g_{ds4})} \quad (4.39)$$

$$\frac{I_{OB}}{I_{IN}} = \frac{(g_m)^2}{g_m (g_{ds1} + g_{ds2} + g_{ds3} + g_{ds4}) + sC_1 (g_m + g_{ds2} + g_{ds3})} \quad (4.40)$$

จากสมการที่ (4.39) และ (4.40) จะเห็นได้ว่าค่าความนำกระแสแฝง g_{ds} ของวงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย โดยสมมติให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ทุกตัวสมพงค์กัน ดังนั้นจากสมการที่ (4.39) และ (4.40) สามารถเขียนได้เป็น

$$\frac{I_{OA}}{I_{IN}} \approx \frac{-g_m}{4g_{ds} + sC_1} = \left(\frac{-g_m}{4g_{ds}} \right) \frac{4g_{ds}/C_1}{s + 4g_{ds}/C_1} \quad (4.41)$$

$$\frac{I_{OB}}{I_{IN}} \approx \frac{g_m}{4g_{ds} + sC_1} = \left(\frac{g_m}{4g_{ds}} \right) \frac{4g_{ds}/C_1}{s + 4g_{ds}/C_1} \quad (4.42)$$

ดังนั้นผลกระทบที่เกิดจากค่าความนำกระแสแฝง g_{ds} ของวงจรรวมอินทิเกรเตอร์ชนิดไม่สูญเสียในสมการที่ (4.39) และ (4.40) เป็นค่าโพลแฟงที่ย่านความถี่ต่ำ ($\omega_L = 4g_{ds}/C_1$) ซึ่งจะปรากฏในแต่ละฟังก์ชันถ่ายโอน อย่างไรก็ตามผลกระทบที่เกิดจากค่า g_{ds} นั้นมีนัยสำคัญที่ความถี่ต่ำมาก ในขณะที่ความถี่ใช้งานนั้นน้อยกว่าความถี่โพลแฟงมาก ดังนั้นผลกระทบของค่าโพลแฟงเป็นการให้ข้อจำกัดและให้อัตราขยายสูงสุดที่ความถี่ต่ำ ($|k| = g_m/4g_{ds}$) ของวงจรรวมอินทิเกรเตอร์ชนิดไม่สูญเสีย

4.4.3 ความไม่สมพงค์กันของทรานซิสเตอร์

ในหัวข้อนี้จะเป็นการพิจารณาความไม่สมพงค์กันของทรานซิสเตอร์เพื่อยืนยันประสิทธิภาพของวงจรรวมความถี่ที่ถูกลำเสนอในงานวิจัยนี้ โดยแสดงรายละเอียดในหัวข้อย่อยถัดไป

4.4.3.1 วงจรรวมอินทิเกรเตอร์ชนิดสูญเสีย

วิเคราะห์วงจรรวมอินทิเกรเตอร์ชนิดสูญเสียในรูปที่ 4.2 โดยใช้แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ในรูปที่ 4.24 อีกทั้งไม่คำนึงถึงผลกระทบจากค่า C_{gs} และ g_{ds} โดยสมมติให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ g_{m1} และ g_{m2} สำหรับทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ ดังนั้นผลการวิเคราะห์ฟังก์ชันถ่ายโอนของวงจรรวมอินทิเกรเตอร์ชนิดสูญเสียในรูปที่ 4.2 สามารถเขียนได้เป็น

$$\frac{I_{O1}}{I_{IN}} = \frac{-I_{O2}}{I_{IN}} = \left(\frac{-g_{m2}}{g_{m1}} \right) \left(\frac{g_{m1}}{g_{m1} + sC_1} \right) \quad (4.43)$$

จากสมการที่ (4.43) แสดงให้เห็นว่าผลจากความไม่สมพงค์กันของทรานซิสเตอร์โดยให้อัตราขยายความถี่ต่ำของวงจรรวมอินทิเกรเตอร์ชนิดสูญเสียจะมีการเบี่ยงเบนไปจากสมการที่ (4.4) และ (4.5) อย่างไรก็ตามผลกระทบจากความไม่สมพงค์กันของทรานซิสเตอร์นี้สามารถชดเชยได้ด้วยการเพิ่มหรือลดทอนกระแสไบอัส

4.4.3.2 วงจรรวมอินทิเกรเตอร์ชนิดไม่สูญเสีย

เช่นเดียวกันการวิเคราะห์วงจรรวมอินทิเกรเตอร์ชนิดไม่สูญเสียในรูปที่ 4.5 โดยใช้แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ในรูปที่ 4.24 อีกทั้งไม่คำนึงถึงผลกระทบจากค่า C_{gs} และ g_{ds} โดยสมมติให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ g_{m1} สำหรับทรานซิสเตอร์ M_1 และ g_{m2} สำหรับทรานซิสเตอร์ M_2 ตามลำดับ ดังนั้นผลการวิเคราะห์ฟังก์ชันถ่ายโอนของวงจรรวมอินทิเกรเตอร์ชนิดไม่สูญเสียในรูปที่ 4.5 สามารถเขียนได้เป็น

$$\frac{I_{OA}}{I_{IN}} = \frac{-I_{OB}}{I_{IN}} = \frac{-g_{m2}}{g_{m1} - g_{m2} + sC_1} \quad (4.44)$$

จากสมการที่ (4.44) แสดงให้เห็นว่าผลจากความไม่สมพงค์กันของทรานซิสเตอร์ซึ่งทำให้อินทิเกรเตอร์ชนิดไม่สูญเสียกลายเป็นอินทิเกรเตอร์ชนิดสูญเสียในช่วงความถี่โพลที่

$$\omega_p = \frac{g_{m1} - g_{m2}}{C_1} \quad (4.45)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (4.45) ในช่วงความถี่โพลนี้จะเป็นความถี่ศูนย์เมื่อมีค่า $g_{m1} = g_{m2}$ ซึ่งเป็นผลของวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียในทางอุดมคติ อย่างไรก็ตามอาจจะเคลื่อนไปแนวระนาบด้านขวาเล็กน้อยถ้าหาก $g_{m1} > g_{m2}$ หรือเคลื่อนไปแนวระนาบด้านซ้ายซึ่งจะเกิดการไม่เสถียร ดังนั้นเพื่อหลีกเลี่ยงความไม่สมพงศ์กันของทรานซิสเตอร์ที่มีผลประสิทธิภาพของวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียแก้ไขได้โดยการออกแบบให้ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ M_2 มีค่าน้อยกว่าทรานซิสเตอร์ M_1 หรือ $g_{m1} \geq g_{m2}$ ซึ่งสามารถทำได้โดยการปรับค่ากระแสไบอัสของทรานซิสเตอร์นั้นๆ

4.4.4 ค่าความไว

เมื่อพิจารณาในกรณีความไม่ใช่อุดมคติของวงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสามชนิดขั้นบันไดต้นแบบในรูปที่ 4.7 และวงจรกรองความถี่ต่ำผ่าน RLC Elliptic อันดับสามชนิดขั้นบันไดต้นแบบในรูปที่ 4.11 โดยมีตัวหารของฟังก์ชันการถ่ายโอนดังสมการที่ (4.46) และ (4.47) ตามลำดับ

$$D(s) = s^3 C_1 C_3 L_2 R_S R_L + s^2 (C_1 L_2 R_S + C_3 L_2 R_L) + s(C_1 R_S R_L + C_3 R_S R_L + L_2) + (R_S + R_L) \quad (4.46)$$

$$D(s) = s^3 R_S R_L L_2 (C_1 C_3 + C_4 C_3 + C_1 C_4) + s^2 L_2 (C_4 R_L + R_S C_1 + R_S C_3 + C_3 R_L) + s R_S R_L (C_1 + C_4 + L_2) + (R_S + R_L) \quad (4.47)$$

โดยความไม่ใช่อุดมคติ ω_0 ของวงจรกรองความถี่ต่ำผ่าน RLC Chebyshev อันดับสามชนิดขั้นบันไดต้นแบบในรูปที่ 4.7 และวงจรกรองความถี่ต่ำผ่าน RLC Elliptic อันดับสามชนิดขั้นบันไดต้นแบบในรูปที่ 4.11 ดังสมการที่ (4.48) และ (4.49) ตามลำดับ

$$\omega_0 = \sqrt[3]{\frac{(R_S + R_L)}{C_1 C_3 L_2 R_S R_L}} \quad (4.48)$$

$$\omega_0 = \sqrt[3]{\frac{(R_S + R_L)}{R_S R_L L_2 (C_1 C_3 + C_4 C_3 + C_1 C_4)}} \quad (4.49)$$

จากการศึกษาค่าความไว (Sensitivity) ซึ่งเป็นตัวชี้วัดที่สำคัญของประสิทธิภาพของโครงข่ายแบบแยกที่พต่างๆ เป็นรูปแบบค่านิยามของค่าความไว คือ

$$S_x^F = \frac{x}{F} \frac{\partial F}{\partial x} \quad (4.50)$$

โดยที่ F แทนค่าของ ω_0 และ x แทนอุปกรณ์แบบพาสซีฟต่างๆ ของวงจรกรองความถี่ต้นแบบในรูปที่ 4.7 และ 4.11 เช่น การหาค่าความไวของตัวต้านทาน R_S ในวงจรรูปที่ 4.7 โดยนำค่าของ ω_0 ในสมการที่ (4.48) และค่าตัวต้านทาน R_S แทนค่าตัวแปร F และ x ในสมการ (4.50) ดังนั้นสามารถเขียนรูปแบบค่านิยามของค่าความไวได้ดังสมการที่ (4.51)

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{R_S}^{\omega_o} = R_S \sqrt[3]{\frac{C_1 C_3 L_2 R_S R_L}{R_S + R_L}} \times \frac{\partial \sqrt[3]{(R_S + R_L) / (C_1 C_3 L_2 R_S R_L)}}{\partial R_S} \quad (4.51)$$

จากสมการที่ (4.51) ทำการหาค่าอนุพันธ์ย่อยเพื่อหาค่าความไวของตัวต้านทาน R_S ในวงจรกรองความถี่ต้นแบบในรูปที่ 4.7 ได้ดังนี้

$$S_{R_S}^{\omega_o} = -\frac{1}{3} \left(\frac{R_S + R_L}{R_S} \right)^{-1} R_L R_S^{-1} \quad (4.52)$$

จากสมการที่ (4.52) สามารถจัดรูปแบบสมการใหม่ โดยกำหนดให้ตัวต้านทาน R_S และ R_L ของวงจรกรองความถี่ต้นแบบในรูปที่ 4.7 มีค่าเท่ากัน ($R_S = R_L$) ดังนั้นค่าความไวของตัวต้านทาน R_S ในวงจรกรองความถี่ต้นแบบในรูปที่ 4.7 สามารถเขียนได้ดังสมการที่ (4.53)

$$S_{R_S}^{\omega_o} = -\frac{1}{3} \left(\frac{R_L}{R_S + R_L} \right) = -0.16 \quad (4.53)$$

เช่นเดียวกันการหาค่าความไวของตัวเก็บประจุ C_1 ในวงจรรูปที่ 4.7 โดยนำค่าของ ω_o ในสมการที่ (4.48) และค่าตัวเก็บประจุ C_1 แทนค่าตัวแปร F และ x ในสมการ (4.50) ดังนั้นสามารถเขียนรูปแบบค่านิยามของค่าความไวได้ดังสมการที่ (4.54)

$$S_{C_1}^{\omega_o} = C_1 \sqrt[3]{\frac{C_1 C_3 L_2 R_S R_L}{R_S + R_L}} \times \frac{\partial \sqrt[3]{(R_S + R_L) / (C_1 C_3 L_2 R_S R_L)}}{\partial C_1} \quad (4.54)$$

จากสมการที่ (4.54) ทำการหาค่าอนุพันธ์ย่อยเพื่อหาค่าความไวของตัวเก็บประจุ C_1 ในวงจรกรองความถี่ต้นแบบในรูปที่ 4.7 ได้ดังนี้

$$S_{C_1}^{\omega_o} = -\frac{1}{3} C_1^{4/3} C_1^{-4/3} \quad (4.55)$$

จากสมการที่ (4.55) สามารถจัดรูปแบบสมการใหม่ โดยค่าความไวของตัวเก็บประจุ C_1 ในวงจรกรองความถี่ต้นแบบในรูปที่ 4.7 สามารถเขียนได้ดังสมการที่ (4.56)

$$S_{C_1}^{\omega_o} = -\frac{1}{3} = -0.33 \quad (4.56)$$

ดังนั้นจากหลักการเดียวกันนี้สามารถหาค่าความไวของอุปกรณ์แบบพาสซีฟ R_L , L_2 , และ C_3 ของวงจรกรองความถี่ต้นแบบในรูปที่ 4.7 ตามลำดับได้ดังนี้

$$S_{R_L}^{\omega_o} = -\frac{1}{3} \left(\frac{R_S}{R_S + R_L} \right) = -0.16 \quad (4.57)$$

$$S_{L_2}^{\omega_o} = S_{C_3}^{\omega_o} = -0.33 \quad (4.58)$$

จากสมการที่ (4.53) และสมการที่ (4.56) - (4.58) พบว่ามีค่าความไวต่ำ ซึ่งไม่เกินกว่าค่าสัมบูรณ์ของหนึ่ง เช่นเดียวกันนี้สามารถหาค่าความไวของอุปกรณ์แบบพาสซีฟต่างๆ ของวงจรกรองความถี่ต้นแบบในรูปที่ 4.11 โดยนำค่าของ ω_0 ในสมการที่ (4.49) และอุปกรณ์แบบพาสซีฟต่างๆ แทนค่าตัวแปร F และ x ในสมการ (4.50) อย่างไรก็ตามวงจรกรองความถี่ต้นแบบในรูปที่ 4.11 มีค่าตัวเก็บประจุ $C_1 = C_4 = 88$ nF, $C_3 = 9$ nF ตัวเหนี่ยวนำ $L_2 = 83$ nH และตัวต้านทาน $R_S = R_L = 1\Omega$ ดังนั้นค่าความไวของอุปกรณ์แบบพาสซีฟ R_S, R_L, C_1, C_3, C_4 และ L_2 ของวงจรกรองความถี่ต้นแบบในรูปที่ 4.11 สามารถเขียนได้ดัง

$$S_{R_S}^{\omega_0} = -\frac{1}{3} \left(\frac{R_L}{R_S + R_L} \right) = -0.16 \quad (4.59)$$

$$S_{R_L}^{\omega_0} = -\frac{1}{3} \left(\frac{R_S}{R_S + R_L} \right) = -0.16 \quad (4.60)$$

$$S_{C_1}^{\omega_0} = -\frac{1}{3} \left[\frac{(C_1 C_3 + C_1 C_4)}{(C_1 C_3 + C_1 C_4 + C_3 C_4)} \right] = -0.3 \quad (4.61)$$

$$S_{C_3}^{\omega_0} = -\frac{1}{3} \left[\frac{(C_1 C_3 + C_3 C_4)}{(C_1 C_3 + C_1 C_4 + C_3 C_4)} \right] = -0.05 \quad (4.62)$$

$$S_{C_4}^{\omega_0} = -\frac{1}{3} \left[\frac{(C_1 C_4 + C_3 C_4)}{(C_1 C_3 + C_1 C_4 + C_3 C_4)} \right] = -0.3 \quad (4.63)$$

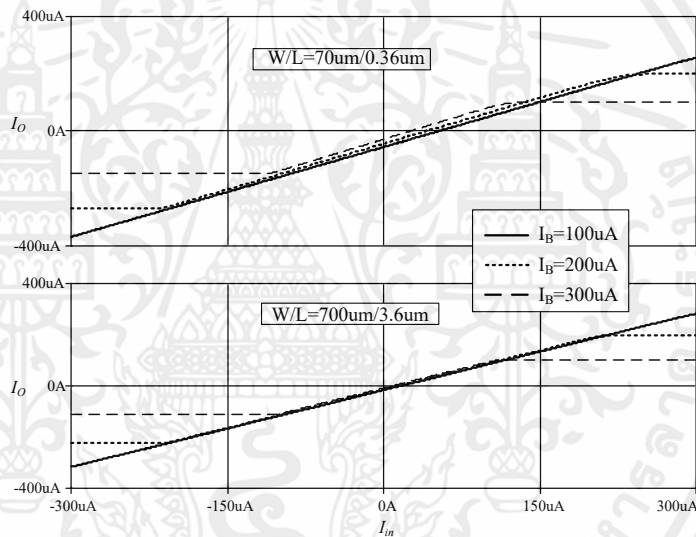
$$S_{L_2}^{\omega_0} = -0.33 \quad (4.64)$$

เมื่อพิจารณาสมการที่ (4.59) - (4.64) จะพบว่ามีค่าความไวต่ำและไม่เกินกว่าค่าสัมบูรณ์ของหนึ่ง โดยผลจากการวิเคราะห์สมการหาค่าความไวของวงจรกรองความถี่ต้นแบบในรูปที่ 4.7 และรูปที่ 4.11 เห็นได้ว่าสามารถคำนวณค่าเปอร์เซ็นต์การเปลี่ยนแปลงของผลตอบสนองทางความถี่ของวงจรกรองความถี่ได้ เช่น ในสมการที่ (4.53) และ (4.59) ค่าความไวของตัวต้านทาน R_S เทียบกับ ω_0 มีค่าเท่ากับ -0.16 แล้วถ้าหากตัวต้านทาน R_S เกิดการเบี่ยงเบนค่าความต้านทานเปลี่ยนไป 2% ซึ่งอาจเกิดจากการเปลี่ยนแปลงทางเคมีอันเนื่องมาจากอุณหภูมิ และความชื้นในสภาพแวดล้อมที่อุปกรณ์นี้ทำงานอยู่ ดังนั้นจะส่งผลให้ผลตอบสนองทางความถี่ของวงจรมีเปอร์เซ็นต์การเปลี่ยนแปลงเบี่ยงเบนจากเดิมไปทางด้านลบที่ 0.32% อีกทั้งเป็นการนำข้อดีของวงจรกรองความถี่ต้นแบบที่มีค่าความไวต่ำมาใช้ในการจำลองการทำงานของวงจรกรองความถี่ที่ถูกนำเสนอในวิทยานิพนธ์นี้อีกด้วย โดยค่าตัวแปรอุปกรณ์แบบพาสซีฟของวงจรกรองความถี่ต้นแบบเหล่านี้จะถูกปรับค่าจากเดิมเป็นค่าใหม่ ซึ่งมีอัตราส่วนที่เท่าเดิม เช่น จากตัวเก็บประจุ C เปลี่ยนเป็นตัวเก็บประจุที่อยู่ในรูปแบบฟังก์ชัน g_m / C ดังสมการที่ (4.43)- (4.44) อย่างไรก็ตามความคลาดเคลื่อนของค่า g_m สามารถส่งผลให้ผลตอบสนองทางความถี่ของวงจรกรองความถี่ที่ถูกนำเสนอมีการเปลี่ยนแปลงไปจากเดิมได้ด้วยเช่นกัน ซึ่งผลกระทบจากการคลาดเคลื่อนของค่า g_m นี้มีผลน้อยมาก โดยสามารถชดเชยได้ด้วยการเพิ่มหรือลดทอนกระแสไบอัสได้เช่นเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ผลการจำลองการทำงาน

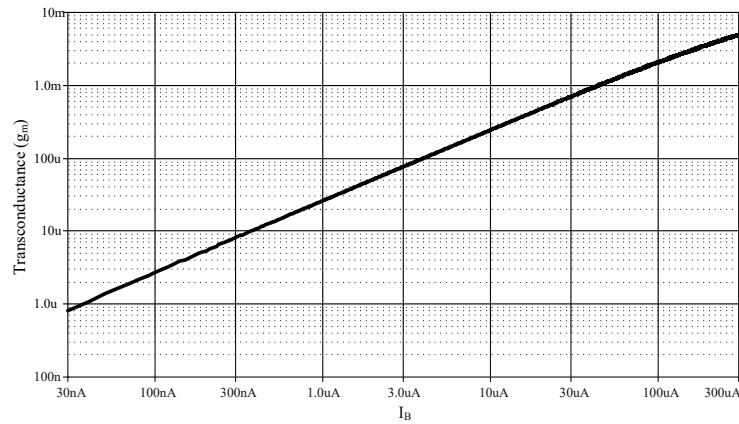
หัวข้อนี้เป็นการอธิบายผลการจำลองการทำงานของวงจรรองความถี่ต่ำผ่านอันดับสาม รูปแบบกระแสชนิดชั้นบันไดที่ถูกนำเสนอ จำลองการทำงานด้วย PSPICE โดยใช้เทคโนโลยีซีมอส TSMC 0.18 μm ใช้ไฟเลี้ยง +1.5 V โดยพารามิเตอร์แบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ชนิด NMOS และ PMOS มีค่า $\lambda_n = 0.1 \text{ V}^{-1}$, $\mu_n C_{ox} = 100 \mu\text{A/V}^2$ $V_{THn} = 0.37 \text{ V}$ และ $\lambda_p = 0.1 \text{ V}^{-1}$, $\mu_p C_{ox} = 25 \mu\text{A/V}^2$ $V_{THp} = 0.38 \text{ V}$ ตามลำดับ ทั้งนี้การปรับอัตราส่วน W/L โดยคำนึงถึงค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ที่ได้รับเพื่อลดค่าความคลาดเคลื่อนและพื้นที่ขนาดของวงจรถัดนั้น อัตราส่วนของทรานซิสเตอร์ในรูปที่ 4.18 และ 4.21 เลือกใช้ค่า $W/L = 70 \mu\text{m} / 0.36 \mu\text{m}$ โดยกระแสไบอัส I_B ที่ได้จากวงจรถัดบนกระแส (PMOS) เป็นการกำหนดอัตราส่วนของทรานซิสเตอร์มีค่า $W/L = 100 \mu\text{m} / 0.36 \mu\text{m}$ อีกทั้งกำหนดให้ทรานซิสเตอร์ NMOS (M_{19} และ M_{24}) ในรูปที่ 4.21 มีค่า $W/L = 4.8 \mu\text{m} / 0.36 \mu\text{m}$ เพื่อให้ได้อัตราขยายกระแส k เท่ากับ 0.07 กำหนดให้ทรานซิสเตอร์ PMOS (M_{B20} และ M_{B25}) ในรูปที่ 4.21 มีค่า $W/L = 6.8 \mu\text{m} / 0.36 \mu\text{m}$ เพื่อให้ได้กระแสไบอัสเท่ากับ $0.07I_B$



รูปที่ 4.25 คุณลักษณะการส่งผ่านไฟฟ้ากระแสตรง DC วงจรอินทิเกรเตอร์ชนิดสูญเสีย

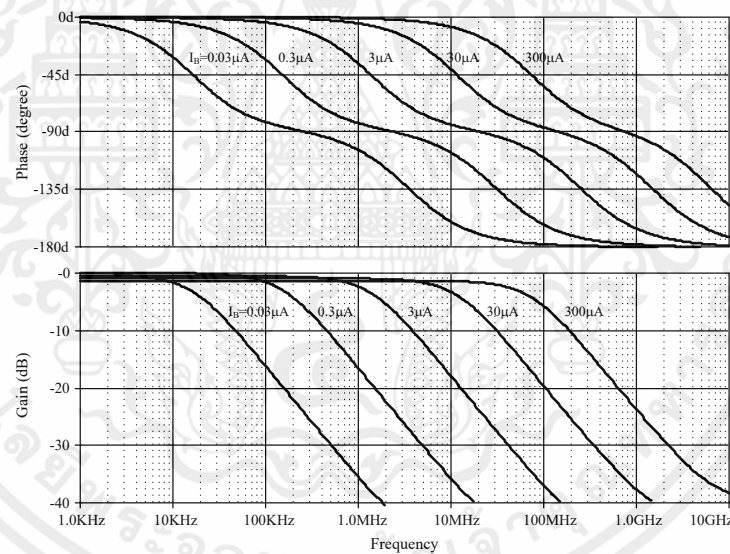
การจำลองคุณลักษณะการส่งผ่านไฟฟ้ากระแสตรง DC วงจรอินทิเกรเตอร์ชนิดสูญเสียที่ถูกนำเสนอแสดงดังรูปที่ 4.25 ซึ่งเห็นได้ว่าการเลือกใช้ความยาวแชนแนล L ที่มีขนาดใหญ่ส่งผลให้ค่าความผิดพลาดและค่าออฟเซต (DC-offset) น้อยกว่าการเลือกใช้ความยาวแชนแนล L ที่มีขนาดเล็ก อย่างไรก็ตามการกำหนดค่า L ขึ้นอยู่กับการพิจารณาความผิดพลาดและการออกแบบขนาดของวงจรถัดด้วย

เพื่อเป็นการยืนยันการทำงานมอสทรานซิสเตอร์ในย่านอิมิตัว โดยพิจารณาค่า V_{GS} และ V_{DS} อีกทั้งไบอัสกระแส I_B [0.03, 0.3, 3, 30, 300] μA สำหรับทรานซิสเตอร์ M_1 และ M_2 ของวงจอินทิเกรเตอร์ชนิดสูญเสียในรูปที่ 4.2 และทรานซิสเตอร์ M_1 ถึง M_5 ของวงจอินทิเกรเตอร์ชนิดไม่สูญเสียในรูปที่ 4.5 โดยที่ $V_{DS} > V_{GS} - V_{THN}$ และ $V_{GS} > V_{THN}$ ทั้งนี้กำหนดให้อัตราส่วน $W/L = 70 \mu\text{m} / 0.36 \mu\text{m}$ โดยการเปลี่ยนแปลงค่าค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์ในย่านอิมิตัวสามารถปรับค่าได้โดยการไบอัสกระแส ดังแสดงในรูปที่ 4.26



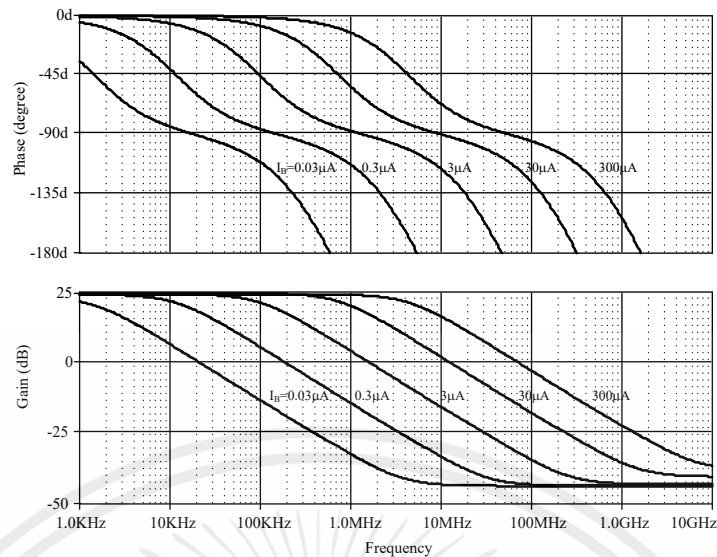
รูปที่ 4.26 ค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์

ผลตอบสนองทางความถี่ของวงจรรวมที่เกรเตอร์ชนิดสูญเสียโดยใช้ซีมอสในรูปที่ 4.2 และวงจรรวมที่เกรเตอร์ชนิดไม่สูญเสียโดยใช้ซีมอส ในรูปที่ 4.5 แสดงดังรูปที่ 4.27 และรูปที่ 4.28 ตามลำดับ ทั้งนี้จากการอธิบายในหัวข้อที่ 4.4.1 จึงเลือกใช้ตัวเก็บประจุ $C_1 = 10 \text{ pF}$ โดยไบอัสกระแส $I_B [0.03, 0.3, 3, 30, 300] \mu\text{A}$ จากรูปที่ 4.27 และรูปที่ 4.28 แสดงให้เห็นว่าสามารถปรับค่าความถี่ได้ด้วยกระแสไบอัส อีกทั้งปรับค่าความถี่ได้กว้างตั้งแต่ 10 kHz ถึง 100 MHz



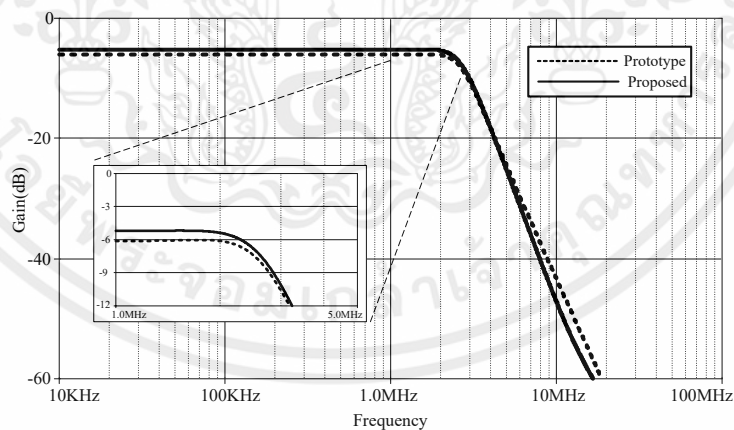
รูปที่ 4.27 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรรวมที่เกรเตอร์ชนิดสูญเสียในรูปที่ 4.2 โดยปรับค่ากระแส I_B

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.28 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรรวมที่เกรเตอร์ชนิดไม่สูญเสีย
ในรูปที่ 4.5 โดยปรับค่ากระแส I_B

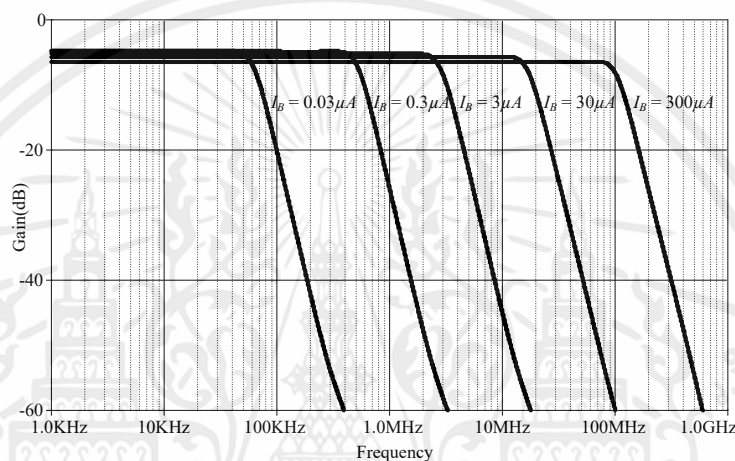
จากรูปที่ 4.28 อัตราขยายกระแสที่ความถี่ต่ำของวงจรรวมที่เกรเตอร์ชนิดไม่สูญเสียมีค่าประมาณ 25 dB ซึ่งสอดคล้องกับทฤษฎีที่ถูกลำเสนอในหัวข้อที่ 4.4.3.2 เมื่อพิจารณาในรูปที่ 4.28 พบว่ามีค่าซีโรแฝงในคุณลักษณะอัตราขยายความถี่ โดยค่าซีโรแฝงนี้สามารถรวมกับค่าความต้านทานแฝงของมอสทรานซิสเตอร์ซึ่งแปรผันกับค่าความยาวแชนแนล L ของมอสทรานซิสเตอร์ ดังนั้นเลือกค่า $L = 0.36 \mu\text{m}$ และไบอัสกระแส $I_B = 300 \mu\text{A}$ โดยมีค่าความต้านทานเอาต์พุตของมอสทรานซิสเตอร์ประมาณ $33 \text{ k}\Omega$ อย่างไรก็ตามค่าซีโรแฝงนี้ปรากฏขึ้นได้ที่ค่อนข้างความถี่สูง ซึ่งเป็นความถี่นอกย่านที่พิจารณา



รูปที่ 4.29 เปรียบเทียบวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่นำเสนอ
กับวงจรรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.1 \text{ dB}$, $I_B = 2.7 \mu\text{A}$)

สำหรับการกำหนดผลตอบสนองวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสามต้นแบบนั้น เป็นการกำหนดอัตราการกระเพื่อมของสัญญาณ (A_{max}) ในช่วงแถบความถี่ผ่าน ซึ่งพารามิเตอร์ที่ใช้กำหนดผลตอบสนองวงจรรองความถี่ต่ำผ่านแบบ Chebyshev ที่นำเสนอในงานวิจัยนี้ อ้างอิงจากตารางที่ 2.1 ในบทที่ 2 โดยค่าอุปกรณ์ของวงจรรองความถี่ต่ำผ่านพาสซีฟชนิดตัวต้านทานปลายปิดคู่

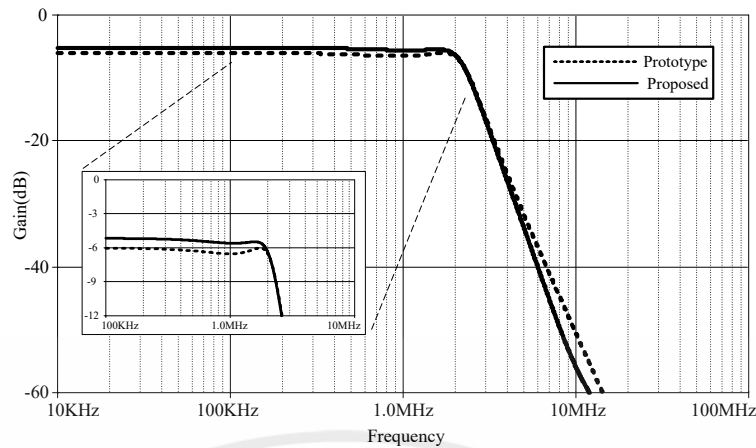
แบบ Chebyshev ในรูปที่ 2.29 มีค่า $R = 1 \Omega$, $n = 3$ และมีค่าของการกระเพื่อมเท่ากับ $A_{max} = 0.1 \text{ dB}$ อีกทั้งกำหนดค่าความถี่ตัด $f_c = 2 \text{ MHz}$ จำลองผลการทำงานวงจรกรองความถี่ RLC ต้นแบบ ในรูปที่ 4.7 โดยมีค่าตัวเก็บประจุ $C_1 = C_3 = 80 \text{ nF}$ ตัวเหนี่ยวนำ $L_2 = 90 \text{ nH}$ ตัวต้านทาน $R_S = R_L = 1 \Omega$ เปรียบเทียบกับวงจรกรองความถี่ที่นำเสนอในรูปที่ 4.18 โดยมีค่าตัวเก็บประจุ $C_1 = C_3 = 8 \text{ pF}$ ($W/L = 32 \mu\text{m} / 32 \mu\text{m}$) และตัวเก็บประจุ $C_2 = 9 \text{ pF}$ ($W/L = 34 \mu\text{m} / 34 \mu\text{m}$) โดยไบอัสกระแส $I_B = 2.7 \mu\text{A}$ ผลจำลองการทำงานจากวงจรกรองความถี่ RLC ต้นแบบ ในรูปที่ 4.7 และวงจรกรองความถี่ที่นำเสนอในรูปที่ 4.18 แสดงดังรูปที่ 4.29 พบว่าผลตอบสนองทางความถี่ของวงจรกรองความถี่ที่ถูกนำเสนอและวงจรกรองความถี่ RLC ต้นแบบ มีความใกล้เคียงกันแต่มีเบี่ยงเบนเล็กน้อยในช่วงแถบความถี่หยุด



รูปที่ 4.30 ผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสาม ที่นำเสนอเมื่อปรับค่ากระแสไบอัส (I_B)

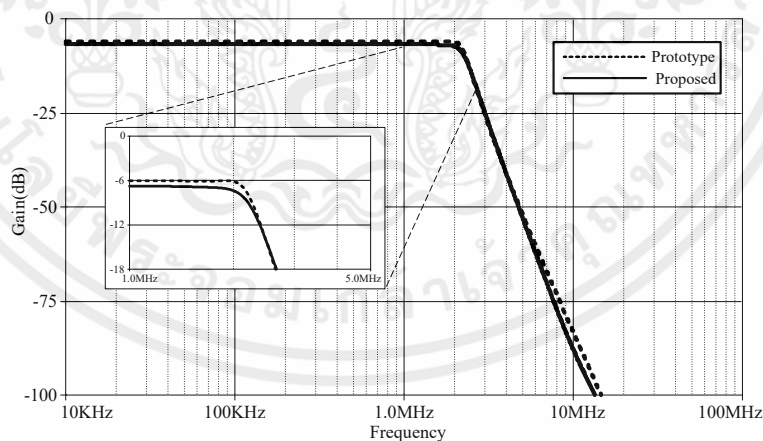
ในการปรับค่าผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสาม ที่นำเสนอ สามารถปรับค่าได้ทางอิมพีแดนซ์ โดยการปรับค่ากระแสไบอัส I_B [0.03, 0.3, 3, 30, 300] μA ผลตอบสนองทางความถี่สามารถปรับค่าได้ในช่วงกว้างตั้งแต่ 10 kHz ถึง 100 MHz ดังแสดงในรูปที่ 4.30 พบว่าผลมีความสอดคล้องกับทฤษฎี

อย่างไรก็ตามเพื่อเป็นการยืนยันความสามารถในการกำหนดค่าการกระเพื่อมต่างๆของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev ที่นำเสนอในงานวิจัยนี้ โดยอ้างอิงจากตารางที่ 2.2 ในบทที่ 2 และเลือกตัวอย่างค่าการกระเพื่อมเท่ากับ 0.5 dB อีกทั้งกำหนดค่าความถี่ตัด $f_c = 2 \text{ MHz}$ จำลองผลการทำงานวงจรกรองความถี่ RLC ต้นแบบ ในรูปที่ 4.7 โดยมีค่าตัวเก็บประจุ $C_1 = C_3 = 130 \text{ nF}$ ตัวเหนี่ยวนำ $L_2 = 90 \text{ nH}$ ตัวต้านทาน $R_S = R_L = 1 \Omega$ เปรียบเทียบกับวงจรกรองความถี่ที่นำเสนอในรูปที่ 4.18 โดยมีค่าตัวเก็บประจุ $C_1 = C_3 = 13 \text{ pF}$ ($W/L = 43 \mu\text{m} / 43 \mu\text{m}$) และตัวเก็บประจุ $C_2 = 9 \text{ pF}$ ($W/L = 34 \mu\text{m} / 34 \mu\text{m}$) โดยไบอัสกระแส $I_B = 2.7 \mu\text{A}$ ดังนั้นจากรูปที่ 4.31 เป็นการเปรียบเทียบผลจำลองการทำงานวงจรกรองความถี่ RLC ต้นแบบกับวงจรกรองความถี่ที่นำเสนอ พบว่าผลตอบสนองทางความถี่มีความใกล้เคียงกัน โดยผลตอบสนองทางความถี่ของวงจรกรองความถี่ที่นำเสนอมีการเบี่ยงเบนเล็กน้อยในช่วงแถบความถี่หยุด



รูปที่ 4.31 เปรียบเทียบวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่นำเสนอ กับวงจรรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.5$ dB, $I_B = 2.7$ μ A)

จากพื้นฐานหลักการสังเคราะห์เดียวกันนี้สามารถออกแบบเป็นวงจรรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดที่มีอันดับสูงได้เช่นเดียวกันกับวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่ถูกนำเสนอ โดยแสดงตัวอย่างการจำลองผลตอบสนองทางความถี่ของวงจรรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดอันดับห้าในรูปที่ 4.19 ซึ่งอ้างอิงจากตารางที่ 2.1 ในบทที่ 2 โดยเลือกตัวอย่างค่าการกระเพื่อมเท่ากับ 0.1 dB อีกทั้งกำหนดค่าความถี่ตัด $f_c = 2$ MHz จำลองผลการทำงานวงจรรองความถี่ RLC ต้นแบบ ในรูปที่ 4.9 โดยมีค่าตัวเก็บประจุ $C_1 = C_5 = 91$ nF, $C_3 = 160$ nF ตัวเหนี่ยวนำ $L_2 = L_4 = 110$ nH และตัวต้านทาน $R_S = R_L = 1$ Ω เปรียบเทียบกับวงจรรองความถี่ที่นำเสนอในรูปที่ 4.19 โดยมีค่าตัวเก็บประจุ $C_1 = C_5 = 9$ pF, $C_2 = C_4 = 11$ pF และ $C_3 = 16$ pF โดยไบอัสกระแส $I_B = 2.7$ μ A ดังแสดงในรูปที่ 4.32

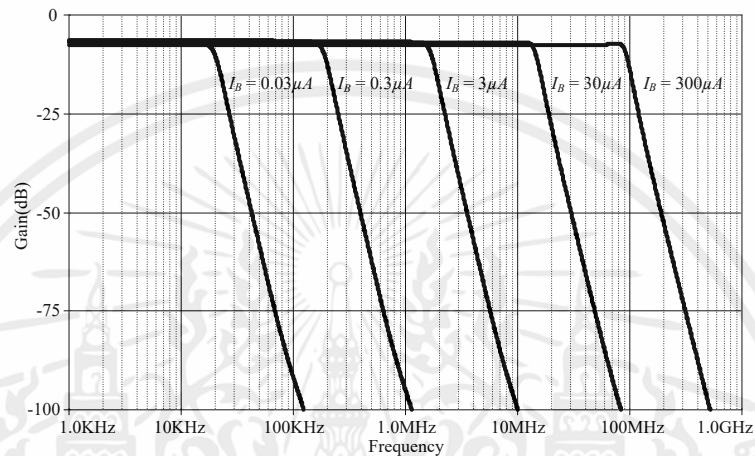


รูปที่ 4.32 เปรียบเทียบวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับห้าที่นำเสนอ กับวงจรรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.1$ dB, $I_B = 2.7$ μ A)

จากรูปที่ 4.32 เป็นการเปรียบเทียบผลจำลองการทำงานวงจรรองความถี่ RLC ต้นแบบกับวงจรรองความถี่ต่ำผ่าน Chebyshev ชนิดชั้นบันไดอันดับห้าที่นำเสนอ พบว่าผลตอบสนองทางความถี่มีความใกล้เคียงกัน โดยผลตอบสนองทางความถี่ของวงจรรองความถี่ที่นำเสนอมีการเบี่ยงเบนเล็กน้อยในช่วงแถบความถี่หยุด ยิ่งไปกว่านั้นวงจรรองความถี่ต่ำผ่าน Chebyshev ชนิด

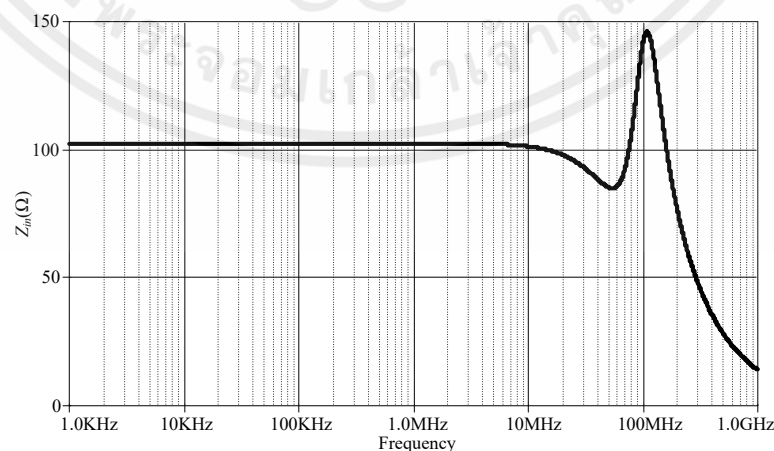
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชั้นบันไดอันดับห้าที่นำเสนอสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยปรับค่ากระแสไบอัส I_B [0.03, 0.3, 3, 30, 300] μA ดังแสดงในรูปที่ 4.33 ผลตอบสนองทางความถี่สามารถปรับค่าได้ในช่วงกว้าง ตั้งแต่ 10 kHz ถึง 100 MHz อีกทั้งเมื่อพิจารณาค่าความชันในช่วงแถบเปลี่ยนความถี่ (Transition Region) ของวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับห้าเปรียบเทียบกับวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสามในรูปที่ 4.30 จะเห็นได้ว่าวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับห้ามีความชันที่สูงกว่าวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสาม ดังนั้นส่งผลให้ผลตอบสนองทางความถี่มีความใกล้เคียงทางอุดมคติมากขึ้น ซึ่งมีความสอดคล้องกับทฤษฎี



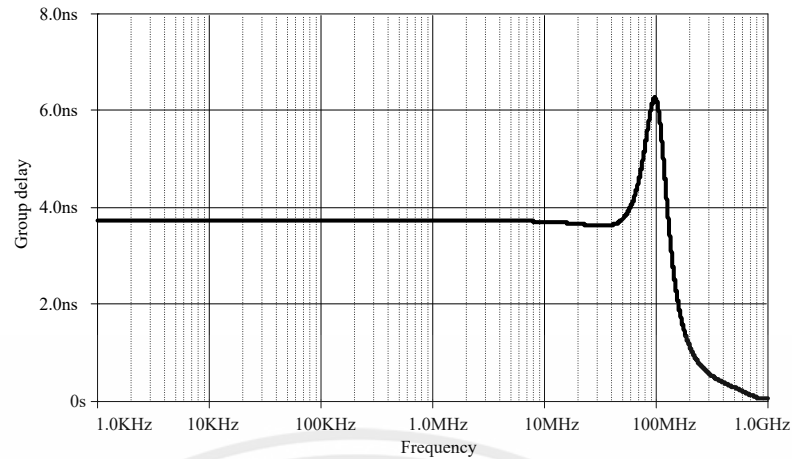
รูปที่ 4.33 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับห้าที่นำเสนอเมื่อปรับค่ากระแสไบอัส (I_B)

ในส่วนของความต้านทานอินพุตของวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่นำเสนอ แสดงดังรูปที่ 4.34 โดยไบอัสกระแส $I_B = 300 \mu\text{A}$ พบว่ามีค่าต่ำประมาณ 100Ω ตลอดย่านความถี่ที่ใช้งานที่ 100 MHz และเข้าใกล้ศูนย์ในช่วงแถบความถี่หยุด ดังนั้นความต้านทานอินพุตของวงจรรองความถี่ต่ำผ่านที่นำเสนอค่อนข้างต่ำครอบคลุมตลอดย่านความถี่ที่ใช้งาน จากรูปที่ 4.35 แสดงกรุปดีเลย์ของวงจรรองความถี่ต่ำผ่านที่นำเสนอ พบว่ากรุปดีเลย์มีลักษณะเป็นเส้นตรงในช่วงความถี่ที่ใช้งาน โดยมีค่าประมาณ 4 ns



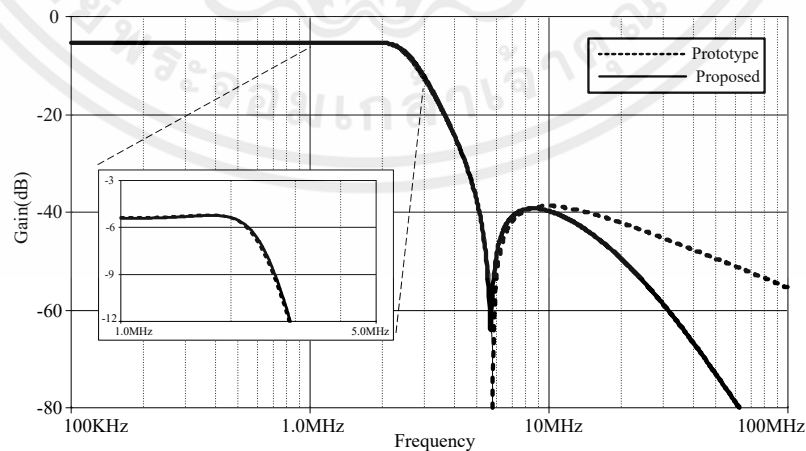
รูปที่ 4.34 ความต้านทานอินพุตของวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสามที่นำเสนอเมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

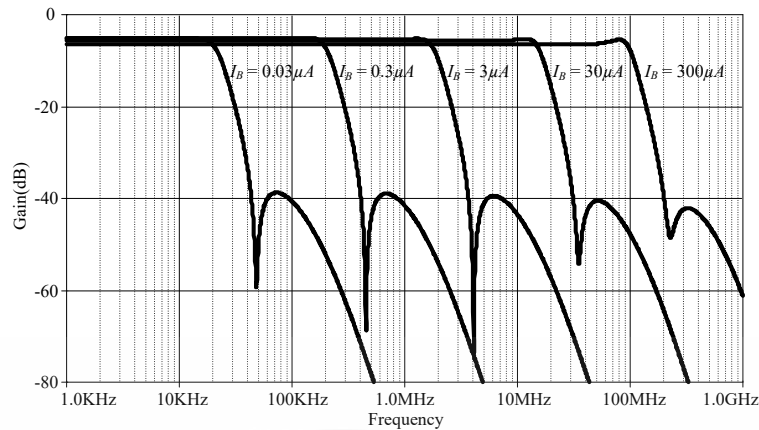


รูปที่ 4.35 กรุปดีเลย์ของวงจรรองความถี่ต่ำผ่าน Chebyshev อันดับสาม
ที่นำเสนอเมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$

สำหรับการกำหนดผลตอบสนองวงจรรองความถี่ต่ำผ่าน Elliptic อันดับสามต้นแบบนั้น เป็นการกำหนดอัตราการกระเพื่อมของสัญญาณในช่วงแถบความถี่ผ่าน ซึ่งพารามิเตอร์ที่ใช้กำหนดผลตอบสนองวงจรรองความถี่ต่ำผ่านแบบ Elliptic ที่นำเสนอในงานวิจัยนี้ อ้างอิงจากตารางที่ 2.3 ในบทที่ 2 โดยค่าอุปกรณของวงจรรองความถี่ต่ำผ่านพาสซีฟชนิดตัวต้านทานปลายปิดคู่แบบ Elliptic ในรูปที่ 2.26 มีค่า $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ $A_{max} = 0.177 \text{ dB}$ [29] อีกทั้งกำหนดค่าความถี่ตัด $f_c = 2 \text{ MHz}$ และ $A_{min} = -33.7 \text{ dB}$ จำลองผลการทำงานวงจรรองความถี่ RLC ต้นแบบ ในรูปที่ 4.11 โดยมีค่าตัวเก็บประจุ $C_1 = C_4 = 88 \text{ nF}$, $C_3 = 9 \text{ nF}$ ตัวเหนี่ยวนำ $L_2 = 83 \text{ nH}$ และตัวต้านทาน $R_S = R_L = 1 \Omega$ เปรียบเทียบกับวงจรรองความถี่ที่นำเสนอในรูปที่ 4.21 โดยมีค่าตัวเก็บประจุ $C_A = C_B = (C_1 + C_3) = (C_3 + C_4) = 9.7 \text{ pF}$ ($W/L = 39 \mu\text{m} / 39 \mu\text{m}$) และ $C_2 = 8.3 \text{ pF}$ ($W/L = 35 \mu\text{m} / 35 \mu\text{m}$) อีกทั้งไบอัสกระแส $I_B = 3.6 \mu\text{A}$ ผลจำลองการทำงานจากวงจรรองความถี่ RLC ต้นแบบ ในรูปที่ 4.11 และวงจรรองความถี่ที่นำเสนอในรูปที่ 4.21 แสดงดังรูปที่ 4.36 พบว่าผลตอบสนองทางความถี่ของวงจรรองความถี่ที่ถูกนำเสนอและวงจรรองความถี่ RLC ต้นแบบ มีความใกล้เคียงกันแต่มีความเบี่ยงเบนเล็กน้อยในช่วงแถบความถี่หยุด

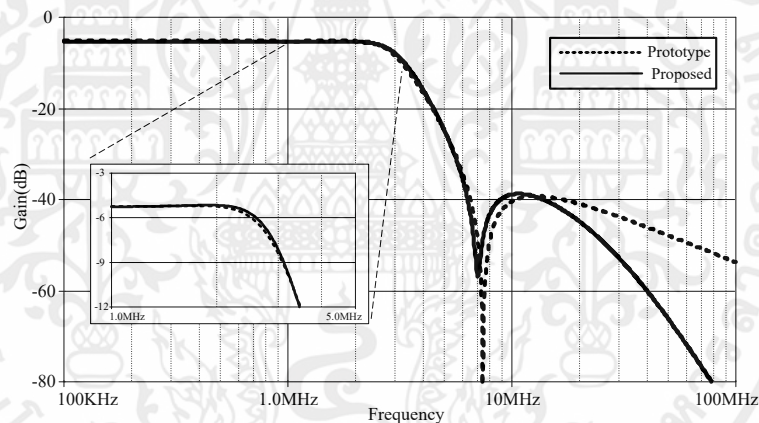


รูปที่ 4.36 เปรียบเทียบวงจรรองความถี่ต่ำผ่าน Elliptic อันดับสามที่นำเสนอ
กับวงจรรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.177 \text{ dB}$, $I_B = 3.6 \mu\text{A}$)



รูปที่ 4.37 ผลตอบสนองทางแอมพลิจูดของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสาม ที่นำเสนอ เมื่อปรับค่ากระแสไบอัส (I_B)

การปรับค่าผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามที่นำเสนอ สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยการไบอัสกระแส I_B [0.03, 0.3, 3, 30, 300] μA ผลตอบสนองทางความถี่สามารถปรับค่าได้ในช่วงกว้าง ดังแสดงในรูปที่ 4.37 พบว่าผลมีความสอดคล้องกับทฤษฎี

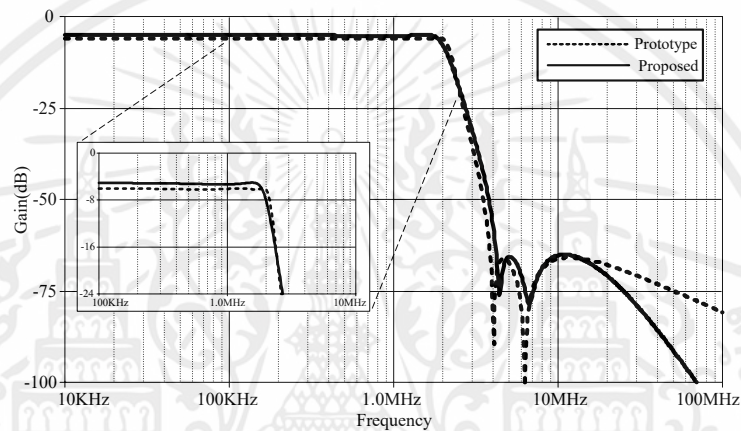


รูปที่ 4.38 เปรียบเทียบวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามที่นำเสนอ กับวงจรกรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.044$ dB, $I_B = 4.2$ μA)

อย่างไรก็ตามเพื่อเป็นการยืนยันความสามารถในการกำหนดค่าการกระเพื่อมต่างๆของวงจรกรองความถี่ต่ำผ่านแบบ Elliptic ที่นำเสนอในงานวิจัยนี้ โดยอ้างอิงจากตารางที่ 2.4 ในบทที่ 2 และเลือกตัวอย่างค่าการกระเพื่อมเท่ากับ $A_{max} = 0.044$ dB อีกทั้งกำหนดค่าความถี่ตัด $f_c = 2$ MHz และ $A_{min} = -34.1$ dB จำลองผลการทำงานวงจรกรองความถี่ RLC ต้นแบบ ในรูปที่ 4.11 โดยมีค่าตัวเก็บประจุ $C_1 = C_4 = 64$ nF, $C_3 = 5.7$ nF ตัวเหนี่ยวนำ $L_2 = 81$ nH และตัวต้านทาน $R_S = R_L = 1$ Ω เปรียบเทียบกับวงจรกรองความถี่ที่นำเสนอในรูปที่ 4.21 โดยมีค่าตัวเก็บประจุ $C_A = C_B = (C_1 + C_3) = (C_3 + C_4) = 7$ pF ($W/L = 38$ $\mu\text{m} / 38$ μm) และ $C_2 = 8$ pF ($W/L = 41$ $\mu\text{m} / 41$ μm) อีกทั้งไบอัสกระแส $I_B = 4.2$ μA ดังนั้นจากรูปที่ 4.38 เป็นการเปรียบเทียบผลจำลองการทำงานของวงจรกรองความถี่ RLC ต้นแบบกับวงจรกรองความถี่ที่นำเสนอ พบว่าผลตอบสนองทางความถี่มีความใกล้เคียงกันตลอดช่วงย่านความถี่ใช้งาน โดยผลตอบสนองทางความถี่ของวงจรกรองความถี่ที่นำเสนอมีการเบี่ยงเบนเล็กน้อยในช่วงแถบความถี่หยุด

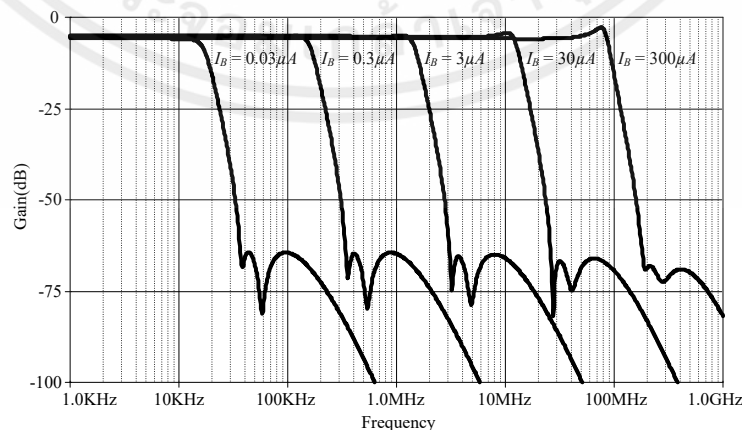
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากพื้นฐานหลักการสังเคราะห์เดียวกันนี้สามารถออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดที่มีอันดับสูงได้เช่นเดียวกันกับวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามที่ ถูกนำเสนอ โดยแสดงตัวอย่างการจำลองผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับห้าในรูปที่ 4.23 ซึ่งอ้างอิงจากตารางที่ 2.5 ในบทที่ 2 โดยเลือกตัวอย่าง ค่าการกระเพื่อมเท่ากับ 0.18 dB อีกทั้งกำหนดค่าความถี่ตัด $f_c = 2$ MHz จำลองผลการทำงานวงจรกรองความถี่ RLC ต้นแบบ ในรูปที่ 4.14 โดยมีค่าตัวเก็บประจุ $C_1 = 98$ nF, $C_2 = 6$ nF, $C_3 = 153$ nF, $C_4 = 17$ nF, $C_5 = 89$ nF ตัวเหนี่ยวนำ $L_2 = 100$ nH, $L_4 = 89$ nH และตัวต้านทาน $R_S = R_L = 1 \Omega$ เปรียบเทียบกับวงจรกรองความถี่ที่นำเสนอในรูปที่ 4.19 โดยมีค่าตัวเก็บประจุ $C_1 = 7.4$ pF, $C_2 = 7.3$ pF, $C_3 = 12.3$ pF, $C_4 = 6.8$ pF และ $C_5 = 7.4$ pF โดย $k_1 = 0.03$, $k_2 = 0.02$, $k_3 = 0.05$ และ $k_4 = 0.09$ อีกทั้งไบอัสกระแส $I_B = 4.2 \mu\text{A}$ ดังแสดงในรูปที่ 4.39



รูปที่ 4.39 เปรียบเทียบวงจกรองความถี่ต่ำผ่าน Elliptic อันดับห้าที่นำเสนอ กับวงจกรองความถี่ต่ำผ่าน RLC ต้นแบบ ($A_{max} = 0.18$ dB, $I_B = 4.2 \mu\text{A}$)

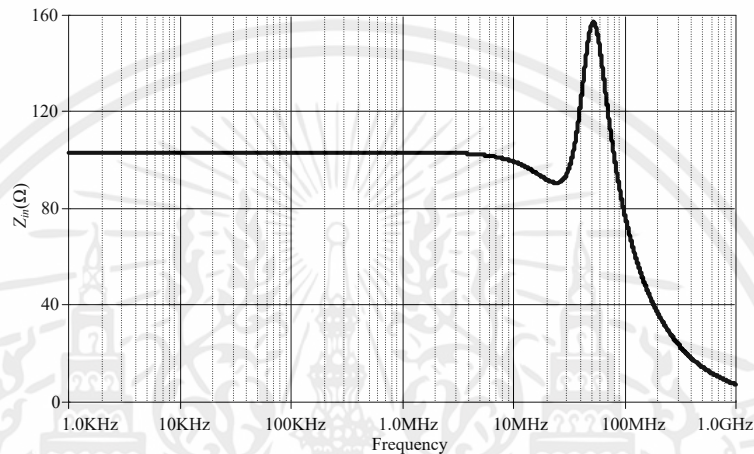
จากรูปที่ 4.39 เป็นการเปรียบเทียบผลจำลองการทำงานวงจรกรองความถี่ RLC ต้นแบบกับ วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับห้าที่นำเสนอ พบว่าผลตอบสนองทางความถี่ มีความใกล้เคียงกัน โดยผลตอบสนองทางความถี่ของวงจรกรองความถี่ที่นำเสนอมีการเบี่ยงเบน เล็กน้อยในช่วงแถบความถี่หยุดและช่วงแถบความถี่หยุดเริ่มต้น (Ω_s) ยิ่งไปกว่านั้นสามารถปรับค่าได้ ทางอิเล็กทรอนิกส์



รูปที่ 4.40 ผลตอบสนองทางแมกนิจูดของวงจกรองความถี่ต่ำผ่าน Elliptic อันดับห้า เมื่อปรับค่ากระแสไบอัส (I_B)

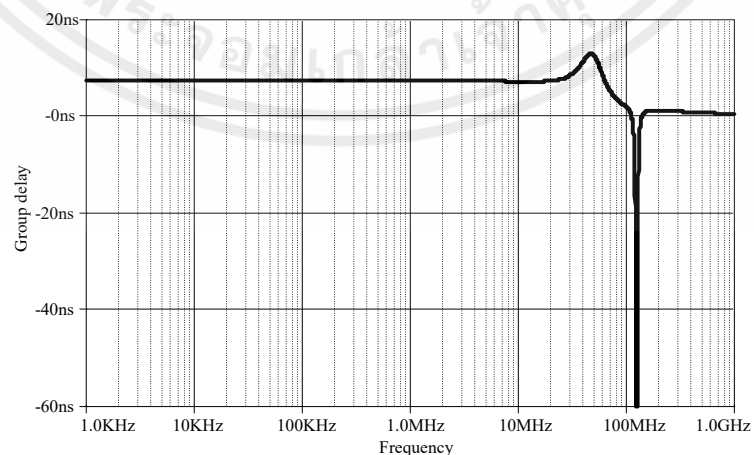
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.40 วงจรกรองความถี่ต่ำผ่าน Elliptic ชนิดชั้นบันไดอันดับห้าที่นำเสนอสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยปรับค่ากระแสไบอัส I_B [0.03, 0.3, 3, 30, 300] μA เห็นได้ว่าผลตอบสนองทางความถี่สามารถปรับค่าได้ในช่วงกว้างตั้งแต่ 10 kHz ถึง 100 MHz อีกทั้งเมื่อพิจารณาค่าความชันในช่วงแถบเปลี่ยนความถี่ (Transition Region) ของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับห้าเปรียบเทียบกับวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามในรูปที่ 4.36 จะเห็นว่าวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับห้ามีความชันสูงกว่าวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสาม ดังนั้นส่งผลให้ผลตอบสนองทางความถี่มีความใกล้เคียงทางอุดมคติมากขึ้น ซึ่งมีความสอดคล้องกับทฤษฎี



รูปที่ 4.41 ความต้านทานอินพุตของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามที่นำเสนอเมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$

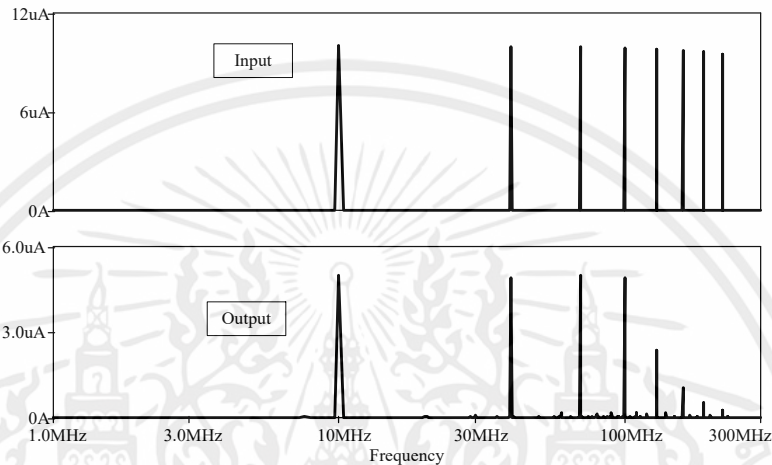
นอกจากนี้ค่าความต้านทานอินพุตของวงจรกรองความถี่ต่ำผ่านที่นำเสนอแสดงดังรูปที่ 4.41 ขณะที่ไบอัสกระแส $I_B = 300 \mu\text{A}$ พบว่ามีค่าต่ำประมาณ 100Ω ตลอดย่านความถี่ที่ใช้งานที่ 100 MHz และเข้าใกล้ศูนย์ในช่วงแถบความถี่หยุด ดังนั้นความต้านทานอินพุตของวงจรกรองความถี่ต่ำผ่านที่นำเสนอค่อนข้างต่ำครอบคลุมตลอดย่านความถี่ที่ใช้งาน ในส่วนกรุปดีเลย์ของวงจรกรองความถี่ต่ำผ่าน Elliptic ที่นำเสนอแสดงดังรูปที่ 4.42 พบว่ากรุปดีเลย์มีลักษณะเป็นเส้นตรงในช่วงความถี่ที่ใช้งาน โดยมีค่าประมาณ 4 ns



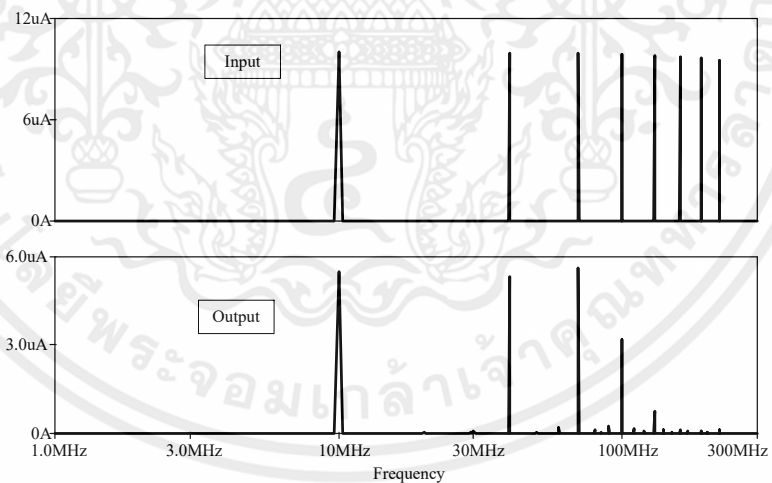
รูปที่ 4.42 กรุปดีเลย์ของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามที่นำเสนอเมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดสอบประสิทธิภาพของวงจรกรองความถี่ต่ำผ่าน Chebyshev และ Elliptic อันดับสาม ที่ถูกนำเสนอ โดยการป้อนสัญญาณอินพุตตั้งแต่ [10, 40, 70, 100, 130, 160, 190, 220] MHz ปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$ ดังแสดงในรูปที่ 4.43 และรูปที่ 4.44 ซึ่งพบว่าความถี่สัญญาณอินพุต นอกย่านการใช้งาน ($>100 \text{ MHz}$) จะถูกลดทอนสัญญาณเหลือเพียงความถี่สัญญาณอินพุตในย่านการใช้งาน ($<100 \text{ MHz}$) เท่านั้น นอกจากนี้ยังพบว่าวงจรกรองความถี่ต่ำผ่านที่อันดับเดียวกันวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสามนั้นมีการลดทอนสัญญาณนอกย่านการใช้งานดีกว่าวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสามอีกด้วย



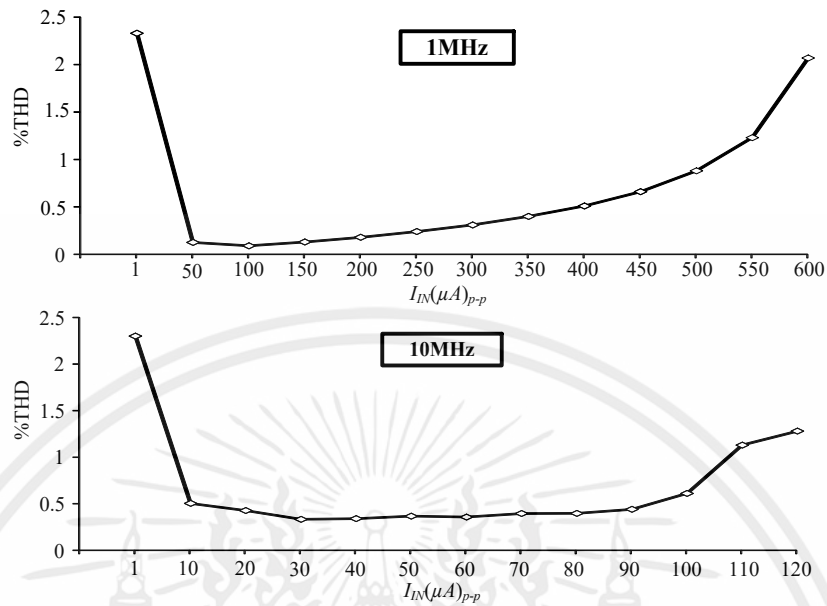
รูปที่ 4.43 การป้อนสัญญาณอินพุตของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสาม เมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$



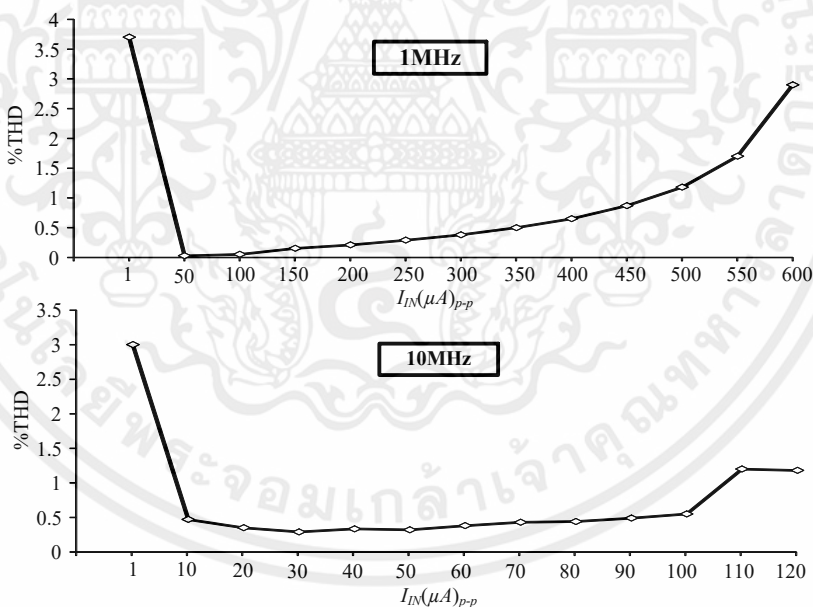
รูปที่ 4.44 การป้อนสัญญาณอินพุตของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสาม เมื่อปรับค่ากระแสไบอัส $I_B = 300 \mu\text{A}$

ค่าความเพี้ยนทางฮาร์โมนิก (THD) ของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic อันดับสามที่นำเสนอแสดงดังรูปที่ 4.45 และรูปที่ 4.46 ตามลำดับ ซึ่งเป็นผลที่ได้จากการป้อนสัญญาณอินพุตที่มีขนาดแตกต่างกันสองความถี่ (1 MHz และ 10 MHz) โดยไบอัสกระแส $I_B = 300 \mu\text{A}$ วัดค่า THD ที่ความถี่ 1 MHz และ 10 MHz ของวงจรกรองความถี่ที่นำเสนอพบว่าค่า

กว่า 2.5% และ 4% ตามลำดับ อย่างไรก็ตามหากพิจารณาในรูปที่ 4.45 และรูปที่ 4.46 จะพบว่าในช่วงการป้อนสัญญาณอินพุตที่เหมาะสมในการใช้งานมีค่า THD ต่ำกว่า 1% อีกด้วย



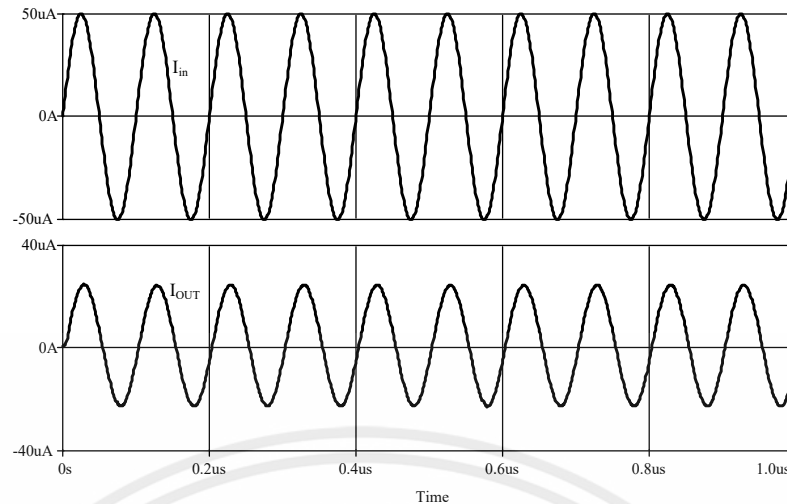
รูปที่ 4.45 ค่าความเพี้ยนทางฮาร์มอนิกของวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสาม โดยกำหนดกระแสไบอัส $I_B = 300 \mu A$



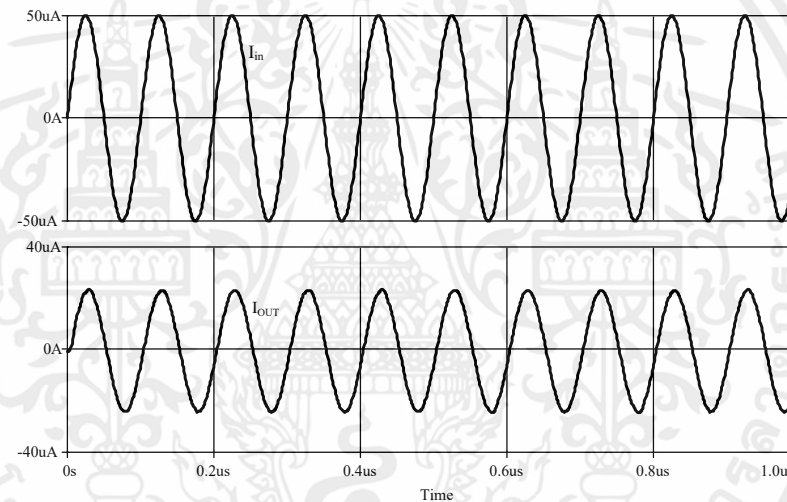
รูปที่ 4.46 ค่าความเพี้ยนทางฮาร์มอนิกของวงจรกรองความถี่ต่ำผ่าน Elliptic อันดับสาม โดยกำหนดกระแสไบอัส $I_B = 300 \mu A$

สำหรับการทดสอบประสิทธิภาพของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic ที่นำเสนอ โดยการป้อนสัญญาณในย่านการใช้งานและกำหนดค่าความถี่ตัดที่ 100 MHz ไบอัสกระแส $I_B = 300 \mu A$ ป้อนสัญญาณไซน์ซออยด์ (Sinusoidal signal) ที่ความถี่ 10 MHz ที่มีขนาดสัญญาณ $50 \mu A_{p-p}$ พบว่าได้รับสัญญาณไซน์ซออยด์ด้านเอาต์พุตของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic ที่นำเสนอ ดังแสดงในรูปที่ 4.47 และรูปที่ 4.48 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

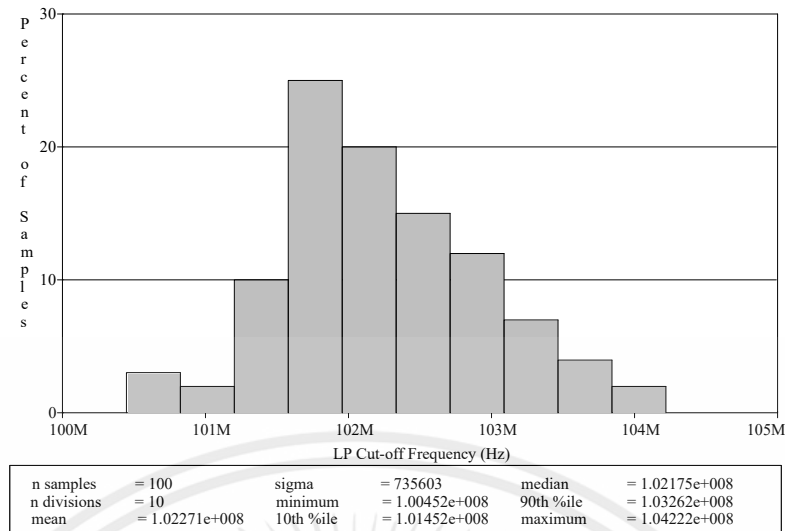


รูปที่ 4.47 รูปคลื่นสัญญาณไซน์ชอยด์ความถี่ 10 MHz ด้านอินพุตและเอาต์พุต
ของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev

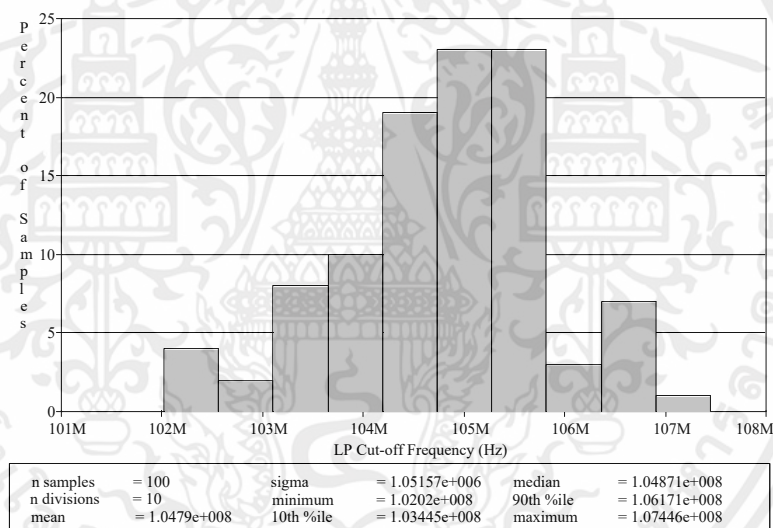


รูปที่ 4.48 รูปคลื่นสัญญาณไซน์ชอยด์ความถี่ 10 MHz ด้านอินพุตและเอาต์พุต
ของวงจรกรองความถี่ต่ำผ่านแบบ Elliptic

การทดสอบผลกระทบจากความไม่สมพงศ์กันของทรานซิสเตอร์ต่อประสิทธิภาพของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic ที่ถูกนำเสนอวิเคราะห์ความถี่ตัดโดยการใช้ Monte Carlo สุ่มผลตอบแทนของความถี่จำนวน 100 ครั้ง โดยสมมติค่าความคล่องของอิเล็กตรอน μ ของทรานซิสเตอร์ชนิด NMOS ($M_1 - M_{15}$) สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และทรานซิสเตอร์ชนิด NMOS ($M_1 - M_{25}$) สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Elliptic ให้มีค่าความเบี่ยงเบน (Deviation: Dev) อยู่ที่ 2% อีกทั้งไปอัสกระแส $I_B = 300 \mu\text{A}$ ผลการวิเคราะห์แสดงในรูปที่ 4.49 และรูปที่ 4.50 ตามลำดับ



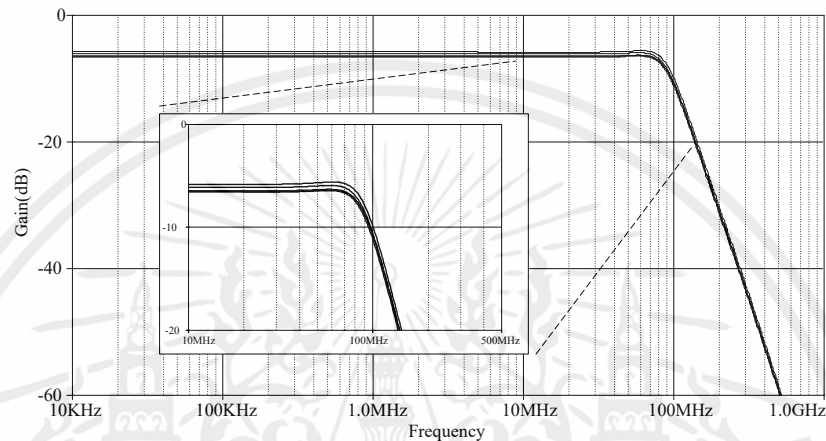
รูปที่ 4.49 การวิเคราะห์ความถี่ตัดของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสามที่ถูกลำเสนอ (Samples = 100, Dev = 2%, $I_B = 300 \mu\text{A}$)



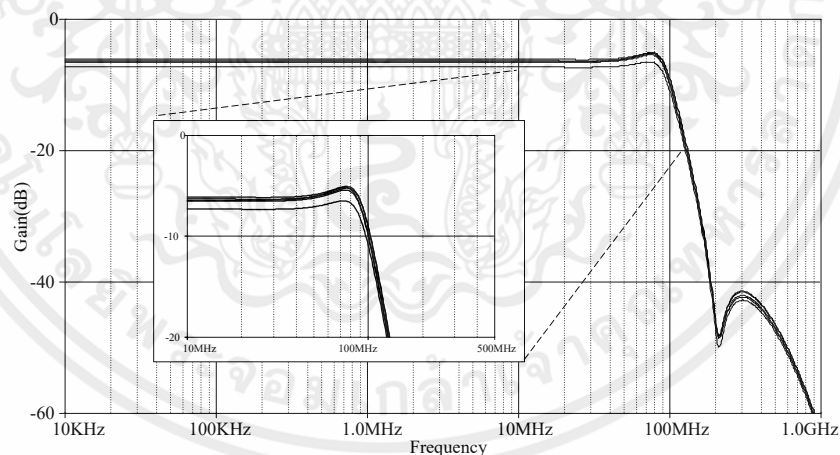
รูปที่ 4.50 การวิเคราะห์ความถี่ตัดของวงจรกรองความถี่ต่ำผ่านแบบ Elliptic อันดับสามที่ถูกลำเสนอ (Samples = 100, Dev = 2%, $I_B = 300 \mu\text{A}$)

จากรูปที่ 4.49 พบว่าความถี่ตัด (cut-off) ของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev มีค่าความถี่ตัดโดยรวม (Mean) อยู่ที่ประมาณ 102 MHz อย่างไรก็ตามเมื่อพิจารณาค่าความเบี่ยงเบนที่ความถี่ตัดด้านต่ำ (Minimum) และค่าความเบี่ยงเบนที่ความถี่ตัดด้านสูง (Maximum) แสดงให้เห็นว่ามีค่าความเบี่ยงเบนเล็กน้อยประมาณ ± 2 MHz เช่นเดียวกัน รูปที่ 4.50 พบว่าความถี่ตัดของวงจรกรองความถี่ต่ำผ่านแบบ Elliptic มีค่าความถี่ตัดโดยรวมอยู่ที่ประมาณ 104 MHz อย่างไรก็ตามเมื่อพิจารณาค่าความเบี่ยงเบนที่ความถี่ตัดด้านต่ำและค่าเบี่ยงเบนที่ความถี่ตัดด้านสูงแสดงให้เห็นว่ามีค่าความเบี่ยงเบนเล็กน้อยประมาณ ± 2 MHz เช่นเดียวกัน ดังนั้นค่าความเบี่ยงเบนของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic ที่ถูกลำเสนอมีความสอดคล้องกับค่าความเบี่ยงเบนที่ 2%

สำหรับการทดสอบผลกระทบจากความไม่สมพงค์กันของทรานซิสเตอร์ต่อประสิทธิภาพของ วงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic ที่ถูกนำเสนอวิเคราะห์ผลตอบสนอง ทางแมกนิจูดโดยใช้ Monte Carlo สุ่มผลตอบสนองความถี่จำนวน 5 ครั้ง โดยสมมติค่าความคล่อง ของอิเล็กตรอน μ ของทรานซิสเตอร์ชนิด NMOS ($M_1 - M_{15}$) สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และทรานซิสเตอร์ชนิด NMOS ($M_1 - M_{25}$) สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Elliptic ให้มีค่าความเบี่ยงเบนอยู่ที่ 2% อีกทั้งไบอัสกระแส $I_B = 300 \mu\text{A}$ ผลการวิเคราะห์แสดงในรูป ที่ 4.51 และรูปที่ 4.52 ตามลำดับ



รูปที่ 4.51 ผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสาม (ทรานซิสเตอร์ NMOS ไม่สมพงค์กัน, $I_B = 300 \mu\text{A}$)

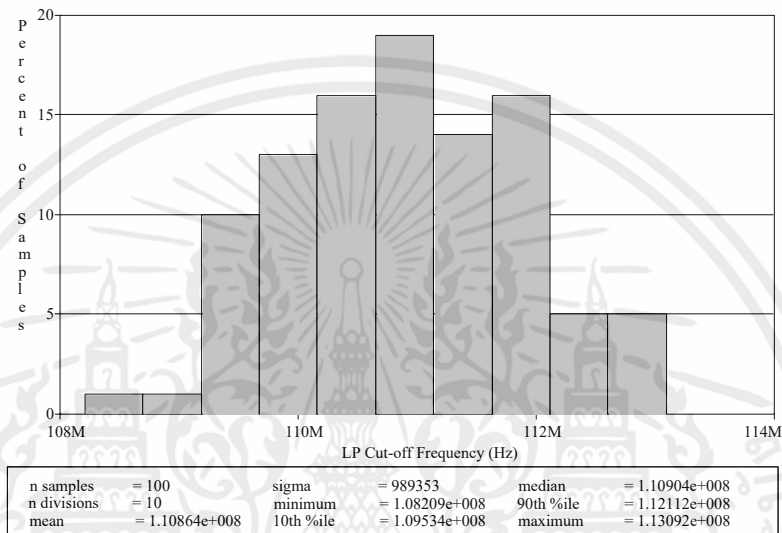


รูปที่ 4.52 ผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ต่ำผ่านแบบ Elliptic อันดับสาม (ทรานซิสเตอร์ NMOS ไม่สมพงค์กัน, $I_B = 300 \mu\text{A}$)

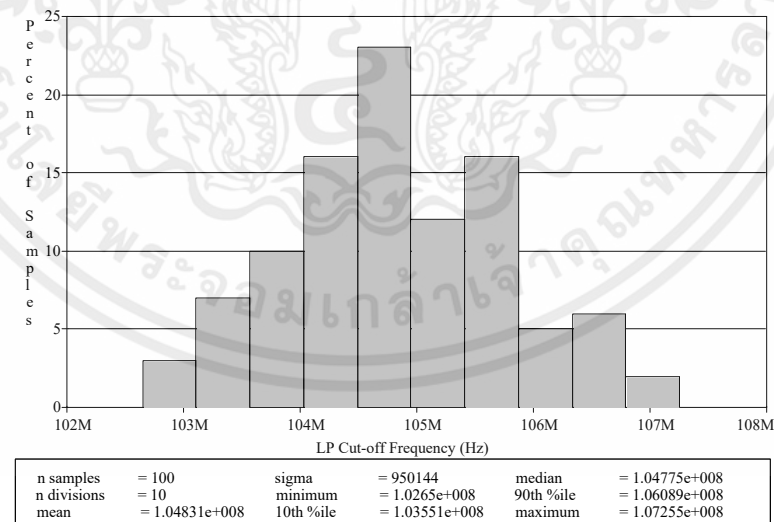
จากรูปที่ 4.51 และรูปที่ 4.52 เป็นการวิเคราะห์ผลตอบสนองทางแมกนิจูดโดยการสุ่ม ผลตอบสนองความถี่จำนวน 5 ครั้ง พบว่าผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ที่ถูก นำเสนอมีความใกล้เคียงกัน แต่จะมีผลกระทบต่อขนาดสัญญาณเพียงเล็กน้อยอันเนื่องมาจาก ผลกระทบจากความไม่สมพงค์กันของทรานซิสเตอร์ NMOS ที่สมมติให้มีค่าความเบี่ยงเบนที่ 2% อย่างไรก็ตามวงจรกรองความถี่ต่ำผ่านที่ถูกนำเสนอเป็นการเลียนแบบจำลองการทำงานจากวงจร

กรองความถี่ต่ำผ่านพาสซีฟ RLC ชนิดชั้นบันไดต้นแบบที่มีค่าความไวต่ำ ดังนั้นผลกระทบจากค่าความไวของ ω_0 จึงมีความสอดคล้องกันกับค่าความไว ดังสมการที่ (4.53) – (4.64)

อย่างไรก็ตามเพื่อทดสอบผลกระทบจากความไม่สมพงค์กันของแหล่งจ่ายกระแสในกรณีที่ไมเท่ากันของวงจรที่ถูกนำเสนอ โดยสมมติค่าความคล่องอิเล็กทรอนิกส์ μ ของทรานซิสเตอร์ชนิด PMOS ($M_{B1} - M_{B16}$) สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และทรานซิสเตอร์ชนิด PMOS ($M_{B1} - M_{B26}$) สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Elliptic ให้มีค่าความเบี่ยงเบนอยู่ที่ 2% อีกทั้งไบอัสกระแส $I_B = 300 \mu\text{A}$ ผลการวิเคราะห์แสดงในรูปแบบที่ 4.53 และรูปที่ 4.54 ตามลำดับ



รูปที่ 4.53 การวิเคราะห์ความถี่ตัดของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสามที่แหล่งจ่ายกระแสไม่เท่ากัน (Samples = 100, Dev = 2%, $I_B = 300 \mu\text{A}$)



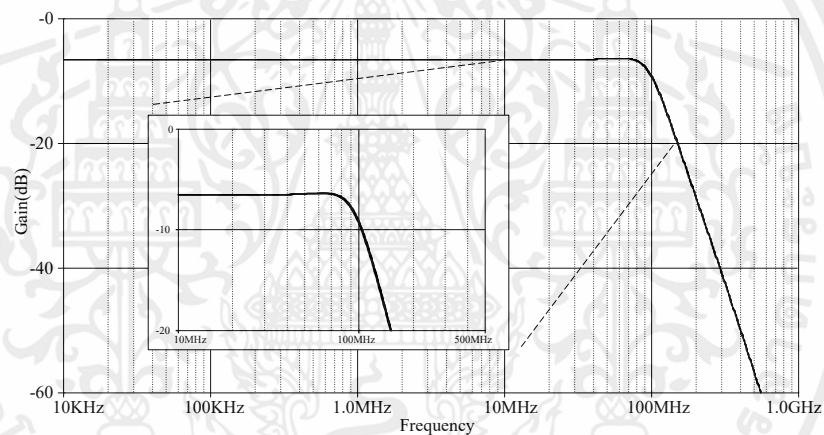
รูปที่ 4.54 การวิเคราะห์ความถี่ตัดของวงจรกรองความถี่ต่ำผ่านแบบ Elliptic อันดับสามที่แหล่งจ่ายกระแสไม่เท่ากัน (Samples = 100, Dev = 2%, $I_B = 300 \mu\text{A}$)

จากรูปที่ 4.53 เป็นการวิเคราะห์ความถี่ตัดของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสามที่แหล่งจ่ายกระแสไม่เท่ากันโดยใช้ Monte Carlo พบว่ามีค่าความถี่ตัดโดยรวมของ

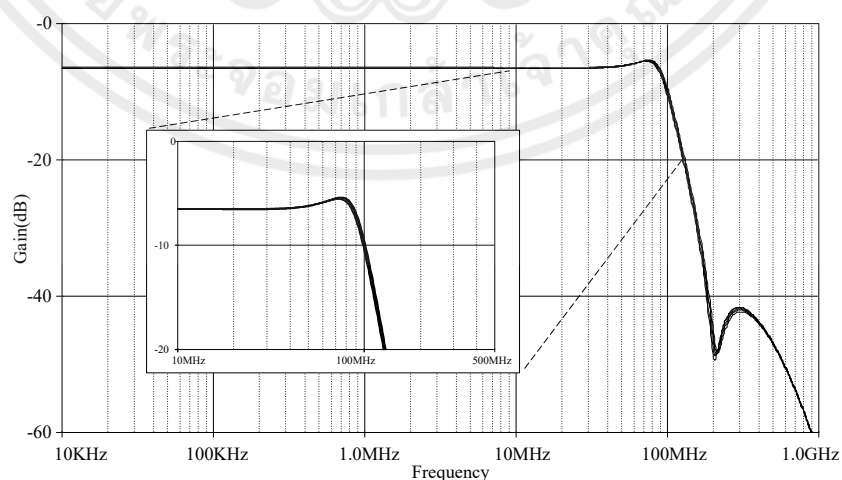
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอยู่ที่ประมาณ 110 MHz อย่างไรก็ตามเมื่อพิจารณาค่าความเบี่ยงเบนที่ความถี่ตัดด้านต่ำ และค่าความเบี่ยงเบนที่ความถี่ตัดด้านสูงพบว่ามีความเบี่ยงเบนเล็กน้อยประมาณ ± 2 MHz เช่นเดียวกัน รูปที่ 4.54 พบว่าค่าความถี่ตัดโดยรวมของวงจรรองความถี่ต่ำผ่านแบบ Elliptic อยู่ที่ประมาณ 104 MHz อย่างไรก็ตามเมื่อพิจารณาค่าความเบี่ยงเบนที่ความถี่ตัดด้านต่ำและค่าเบี่ยงเบนที่ความถี่ตัดด้านสูงแสดงให้เห็นว่ามีความเบี่ยงเบนเล็กน้อยประมาณ ± 2 MHz เช่นเดียวกัน ดังนั้นค่าความเบี่ยงเบนของวงจรรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic ที่ถูกนำเสนอมีความสอดคล้องกับค่าความเบี่ยงเบนที่ 2%

สำหรับการทดสอบผลกระทบจากความไม่สมพงค์กันของทรานซิสเตอร์ต่อประสิทธิภาพของวงจรรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic ที่ถูกนำเสนอในกรณีที่แหล่งจ่ายกระแสไม่เท่ากัน ซึ่งเป็นการวิเคราะห์ผลตอบสนองทางแมกนิจูดโดยการใช้ Monte Carlo สุ่มผลตอบสนองความถี่จำนวน 5 ครั้ง โดยสมมติค่าความคล่องอิเล็กตรอน μ ของทรานซิสเตอร์ชนิด PMOS ($M_{B1} - M_{B16}$) สำหรับวงจรรองความถี่ต่ำผ่านแบบ Chebyshev และทรานซิสเตอร์ชนิด PMOS ($M_{B1} - M_{B26}$) สำหรับวงจรรองความถี่ต่ำผ่านแบบ Elliptic ให้มีความเบี่ยงเบนอยู่ที่ 2% อีกทั้งไบอัสกระแส $I_B = 300 \mu\text{A}$ ผลการวิเคราะห์แสดงในรูปที่ 4.55 และรูปที่ 4.56 ตามลำดับ



รูปที่ 4.55 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสาม (แหล่งจ่ายกระแสไม่สมพงค์กัน, $I_B = 300 \mu\text{A}$)

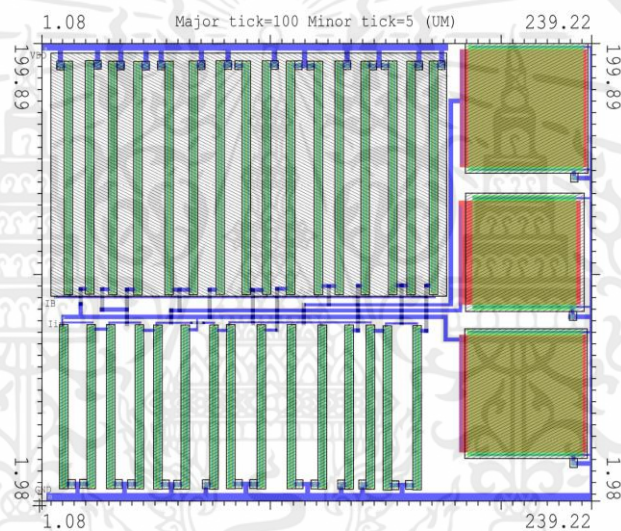


รูปที่ 4.56 ผลตอบสนองทางแมกนิจูดของวงจรรองความถี่ต่ำผ่านแบบ Elliptic อันดับสาม (แหล่งจ่ายกระแสไม่สมพงค์กัน, $I_B = 300 \mu\text{A}$)

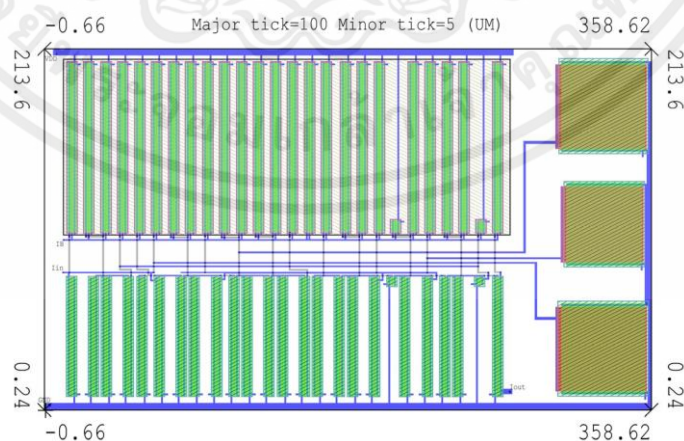
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.55 และรูปที่ 4.56 เป็นการวิเคราะห์ผลตอบสนองทางแมกนิจูดโดยการสุ่มผลตอบสนองความถี่จำนวน 5 ครั้ง ของวงจรกรองความถี่ที่ให้นำเสนอในกรณีนี้ที่แหล่งจ่ายกระแสไม่เท่ากัน ซึ่งพบว่าผลตอบสนองทางแมกนิจูดของวงจรกรองความถี่ที่ให้นำเสนอมีความใกล้เคียงกัน อย่างไรก็ตามจะเห็นได้ว่าวงจรกรองความถี่ต่ำผ่านที่ให้นำเสนอนี้เป็นการเลียนแบบจำลองการทำงานจากวงจรกรองความถี่ต่ำผ่านพาสซีฟ RLC ชนิดชั้นบันไดต้นแบบที่มีค่าความไวต่ำ ดังนั้นจึงส่งผลให้ผลกระทบจากค่าความไวของ ω_0 มีความสอดคล้องกันกับค่าความไว ดังสมการที่ (4.53) – (4.64)

นอกจากนี้ยังทดสอบประมาณการความเป็นไปได้และขนาดพื้นที่บนชิพในการสร้างเป็นวงจรรวมของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ โดยการออกแบบขนาดทางกายภาพ (Physical layout) ของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic อันดับสามที่นำเสนอมีขนาดโดยประมาณที่ $200 \mu\text{m} \times 240 \mu\text{m}$ สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสาม และ $210 \mu\text{m} \times 360 \mu\text{m}$ สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Elliptic อันดับสาม ดังแสดงในรูปที่ 4.57 และรูปที่ 4.58 ตามลำดับ



รูปที่ 4.57 ขนาดทางกายภาพของวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสามที่นำเสนอ



รูปที่ 4.58 ขนาดทางกายภาพของวงจรกรองความถี่ต่ำผ่านแบบ Elliptic อันดับสามที่นำเสนอ

จากหลักการและรายละเอียดข้างต้นเป็นการอธิบายรายละเอียดในการออกแบบวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส ซึ่งสังเคราะห์องค์ประกอบต่างๆ โดยการเลียนแบบจำลองการทำงานจากวงจรกรองความถี่ต่ำผ่านพาสซีฟ RLC ชนิดชั้นบันไดต้นแบบที่มีการประมาณค่าแบบ Chebyshev และแบบ Elliptic โดยใช้หลักกระบวนการสังเคราะห์วงจรกรองความถี่ชนิดชั้นบันไดแบบกราฟการไหลสัญญาณ (SFG) นำมาออกแบบเป็นวงจรกรองความถี่ต่ำผ่านในงานวิจัยเล่มนี้ ซึ่งเห็นได้ว่าวงจรที่ถูกนำเสนอนี้สร้างได้โดยการใช้วงจรอินทิเกรเตอร์ชนิดสูญเสียและวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียแบบใหม่ โดยวงจรกรองความถี่ที่ถูกนำเสนอนี้สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ในช่วงกว้างตั้งแต่ 10 kHz ถึง 100 MHz ขณะที่ปรับกระแสไบอัส I_B ตั้งแต่ 0.03 μA ถึง 300 μA ใช้ไฟเลี้ยง 1.5 V ใช้กำลังงานภายในวงจรต่ำกว่า 17 mW ที่กระแสไบอัส I_B เท่ากับ 300 μA อีกทั้งวงจรกรองความถี่ที่ถูกนำเสนอปราศจากการใช้ตัวต้านทานภายในวงจร โดยใช้เพียงตัวเก็บประจุต่อลงกราวด์ ซึ่งเหมาะในการสร้างเป็นวงจรรวม จำลองผลการทำงานด้วยโปรแกรม PSPICE โดยใช้เทคโนโลยีซีมอส TSMC 0.18 μm เพื่อยืนยันในทฤษฎีที่นำเสนอ อย่างไรก็ตามเมื่อทำการทดสอบประสิทธิภาพของวงจรกรองความถี่ที่ถูกนำเสนอทั้งในด้านอุดมคติและไม่เป็นอุดมคติพบว่าผลการการทำงานที่ได้รับจากการออกแบบวงจรกรองความถี่ต่ำผ่านในงานวิจัยเล่มนี้มีความสอดคล้องกันกับทฤษฎี



บทที่ 5

บทสรุปและข้อเสนอแนะ

5.1 บทสรุปการวิจัย

วิทยานิพนธ์เล่มนี้นำเสนอการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงปรับค่าได้รูปแบบกระแสชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส ซึ่งมีหลักกระบวนการสังเคราะห์วงจรกรองความถี่ชนิดชั้นบันไดแบบกราฟการไหลสัญญาณ (SFG) โดยวงจรกรองความถี่ต่ำผ่าน Chebyshev และ Elliptic ชนิดชั้นบันไดทั้งสองถูกใช้เป็นตัวแบบในการจำลองการทำงาน สำหรับการเลียนแบบจำลองการทำงาน วงจรกรองความถี่ต่ำผ่านพาสซีฟ RLC ชนิดชั้นบันไดต้นแบบนั้น สร้างได้โดยการใช้วงจรอินทิเกรเตอร์ ชนิดสูญเสีย วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย วงจรแยกกระแสและตัวเก็บประจุต่อลงกราวด์ โดยวงจรที่นำเสนอสามารถปรับค่าได้ในช่วงกว้างตั้งแต่ 10 kHz ถึง 100 MHz ขณะที่ปรับกระแสไบอัส I_B ตั้งแต่ 0.03 μA ถึง 300 μA ใช้ไฟเลี้ยง 1.5 V การใช้พลังงานภายในวงจรที่กระแสไบอัส I_B เท่ากับ 0.03 μA มีค่า 1.1 μW และ 2 μW สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic ตามลำดับ และที่กระแสไบอัส I_B เท่ากับ 300 μA มีค่า 8.9 mW และ 16.9 mW สำหรับวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev และแบบ Elliptic ตามลำดับ วงจรกรองความถี่ที่ถูกนำเสนอใช้โครงสร้างที่ไม่ค่อยซับซ้อน อีกทั้งใช้จำนวนอุปกรณ์ค่อนข้างน้อย ค่าความเพี้ยนทางฮาร์มอนิก (THD) ในช่วงการป้อนสัญญาณอินพุตที่เหมาะสมในการใช้งานต่ำกว่า 1% ค่าความต้านทานอินพุตค่อนข้างต่ำและทำงานได้ในย่านความถี่สูง ซึ่งเหมาะสมเป็นอย่างมากในการสร้างเป็นวงจรรวม และสามารถใช้งานได้ในช่วงความถี่สูงไปจนถึงย่าน VHF

5.2 เปรียบเทียบงานวิจัย

ตารางที่ 5.1 แสดงการเปรียบเทียบประสิทธิภาพของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ

Filters	Power supply	Frequency range	Number of transistors	Use of resistors	Electronic Tunability	Power Dissipation ($I_B=100\mu\text{A}$)	THD
[7]	+1.5V	>10MHz	146	No	Yes	6.2mW	<1%
[8]	$\pm 2\text{V}$	<100MHz	154	No	Yes	NA	NA
[9]	$\pm 5\text{V}$	<10MHz	104	No	No	14mW	<1%
[10]	$\pm 5\text{V}$	<100MHz	72	No	No	NA	NA
[11]	$\pm 3\text{V}$	<10MHz	123	No	No	NA	NA
[12]	$\pm 1\text{V}$	<10MHz	123	No	No	NA	NA
[13]	$\pm 1\text{V}$	<10MHz	85	Yes	No	NA	NA
[14]	$\pm 2.5\text{V}$	<10MHz	90	Yes	No	NA	NA
[15]	$\pm 1.8\text{V}$	<10MHz	171	No	No	NA	NA
[16]	$\pm 2.5\text{V}$	<10MHz	84	Yes	No	NA	NA
[35]	$\pm 18\text{V}$	<1MHz	90	Yes	No	NA	NA
Proposed1	+1.5V	<100MHz	31	No	Yes	3mW	<1%
Proposed2	+1.5V	<100MHz	53	No	Yes	5mW	<1%

จากตารางที่ 5.1 เป็นการแสดงการเปรียบเทียบประสิทธิภาพของวงจรรองความถี่ต่ำผ่านอันดับสามแบบ Chebyshev และแบบ Elliptic ชนิดชั้นบันไดที่นำเสนอในวิทยานิพนธ์นี้กับวงจรรองความถี่ต่ำผ่านอันดับสามที่เคยถูกนำเสนอมาในอดีต โดยส่วนใหญ่ใช้ทรานซิสเตอร์เป็นจำนวนมาก และใช้ไฟเลี้ยงสูงกว่า โดยเห็นได้ว่าวงจรรองความถี่ที่นำเสนอในวิทยานิพนธ์นี้ใช้ทรานซิสเตอร์เป็นจำนวนน้อยกว่า อีกทั้งไม่มีการต่อตัวต้านทานภายนอกเมื่อเปรียบเทียบกับวงจรรองความถี่ที่เคยถูกนำเสนอก่อนหน้านี้ ยิ่งไปกว่านั้นยังแสดงให้เห็นว่าวงจรรองความถี่ที่นำเสนอสามารถปรับค่าทางอิเล็กทรอนิกส์ได้และใช้พลังงานต่ำที่กระแสไบอัสเท่ากัน โดยพบว่าวงจรรองความถี่ต่ำผ่านที่นำเสนอนี้ทำงานได้ในย่านที่ค่อนข้างสูง ซึ่งถือว่าเป็นคุณสมบัติที่โดดเด่นในวงจรรองความถี่ที่ถูกนำเสนอในวิทยานิพนธ์นี้

นอกจากนี้จะเห็นได้ว่าวงจรรองความถี่ต่ำผ่านที่นำเสนอในวิทยานิพนธ์นี้ทั้งแบบ Chebyshev และแบบ Elliptic สามารถกำหนดคุณสมบัติการกระเพื่อม (*Ripple*) ได้โดยใช้หลักการเดียวในการออกแบบเป็นวงจรรองความถี่ต่ำผ่านอันดับสูงปรับค่าได้รูปแบบกระแสชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส ดังนั้นจึงเหมาะสมอย่างมากในการนำไปประยุกต์ใช้งานร่วมกับวงจรรีเลย์ทรานซิสเตอร์ในภาคต่างๆ ทั้งนี้ขึ้นอยู่กับความต้องการในการออกแบบวงจรว่าต้องการกำหนดคุณสมบัติการกระเพื่อมที่ค่าใดเพื่อให้เหมาะสมกับวงจรรีเลย์ทรานซิสเตอร์ในภาคนั้นๆ อย่างไรก็ตามเนื่องจากวงจรรองความถี่ที่นำเสนอในวิทยานิพนธ์นี้เป็นการทำงานมาจากวงจรรองความถี่ต้นแบบ ดังนั้นอีกหนึ่งปัจจัยหลักที่คำนึงถึง คือ การวิเคราะห์ค่าความไวอุปกรณ์ของวงจรรองความถี่ต้นแบบ ซึ่งพบว่ามีค่าความไวต่ำ โดยส่งผลให้วงจรรองความถี่ที่นำเสนอมีประสิทธิภาพสูงขึ้น โดยยืนยันด้วยผลการจำลองแล้วพบว่ามีความสอดคล้องกับทฤษฎี

5.3 ข้อเสนอแนะ

จากการศึกษาแนวทางการออกแบบวงจรรองความถี่ต่ำผ่านที่ได้นำเสนอในวิทยานิพนธ์นี้พบว่ามีข้อดีหลายประการ ซึ่งสามารถทำงานได้ตามวัตถุประสงค์และสอดคล้องกับทฤษฎี โดยวงจรรองความถี่ที่ถูกนำเสนอในวิทยานิพนธ์นี้ใช้โครงสร้างที่ไม่ค่อยซับซ้อน อีกทั้งใช้จำนวนอุปกรณ์ค่อนข้างน้อย สามารถปรับค่าได้ทางอิเล็กทรอนิกส์และยังทำงานได้ในย่านความถี่สูงจนถึงย่าน VHF นอกจากนี้วงจรรองความถี่ต่ำผ่านทั้งแบบ Chebyshev และแบบ Elliptic ยังสามารถกำหนดคุณสมบัติการกระเพื่อมได้โดยใช้หลักการเดียวกันในการออกแบบ ซึ่งเหมาะสมเป็นอย่างมากในการสร้างเป็นวงจรรวม

อย่างไรก็ตามวงจรที่นำเสนอในวิทยานิพนธ์นี้สามารถปรับปรุงและพัฒนาต่อไปได้อีก เช่น จากหลักและกระบวนการสังเคราะห์วงจรรองความถี่ต่ำผ่านชนิดชั้นบันไดแบบกราฟการไหลสัญญาณ (SFG) ที่ถูกนำเสนอสามารถนำไปใช้ออกแบบและสังเคราะห์เป็นวงจรรองความถี่ชนิดต่างๆได้ด้วยเช่นกัน เช่น การสังเคราะห์แบบกราฟการไหลสัญญาณโดยใช่วงจรรองแถบความถี่ผ่าน RLC อันดับสูงชนิดชั้นบันไดต้นแบบ ซึ่งวงจรอินทิเกรเตอร์ชนิดสูญเสียและชนิดไม่สูญเสียที่นำเสนอในวิทยานิพนธ์นี้ยังสามารถใช้เป็นพื้นฐานในการสร้างเป็นวงจรรองแถบความถี่ผ่าน RLC อันดับสูงชนิดชั้นบันไดต้นแบบที่ได้จากการออกแบบและสังเคราะห์นี้อีกด้วย

เอกสารอ้างอิง

- [1] Raut R., Swamy M. N. S. "Modern Analog Filter Analysis and Design." WILEY-VCH Verlag GmbH & Co. KGaA, Weinheim, 2010.
- [2] Raut R., Guo N. "Low Power Wideband Voltage and Current Mode Second-Order Filters Using Wideband CMOS Transimpedance Network." In Proceedings of the 40th Midwest Symposium on Circuits and Systems. MWSCAS., vol.1, Aug. 1997. pp. 241-244
- [3] Fabre A., Dayoub F., Duruisseau L. and Kamoun M. "High Input Impedance Insensitive Second-Order Filters Implemented from Current Conveyors." IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications., vol. 41, no.12, Dec. 1994. pp. 918-921
- [4] Luck J., Swanson J. G. "First-Order, Switched-Capacitor, Low-pass Filter Implemented with GaAs Insulated-Gate FET Switches." Electronics Letters, vol. 26, no. 22, Oct. 1990. pp. 1843-1845
- [5] Banerjee K., Ranjan A. and PAUL S. K. "New First Order Multifunction Filter Employing Operational Transresistance Amplifier." In Proceedings of 5th International Conference on Computers and Devices for Communication (CODEC 2012), Dec. 2012. pp.1-3
- [6] Chen W. K. "The Circuits and Filters Handbook." A CRC Handbook Published in Cooperation with IEEE Press, 1995.
- [7] Sa-Ad S., Chaythong D. "A High Frequency Current-Mode Ladder Filter using Multiple Output Lossless Integrator." In Proceedings of International Symposium on Intelligent Signal Processing and Communications Systems, ISPACS 2008., Feb. 2009. pp. 1-4
- [8] Jirasree-Amornkun A., Fujii N. and Surakampon-Torn W. "Realization of Electronically Tunable Ladder Filters using Multi-Output Current Controlled Conveyors." In Proceedings of the International Symposium on Circuits and Systems 2003, ISCAS'03, vol. 1, May. 2003. pp. 541-544
- [9] Zele R. H., Allstot D. J. and Fiez T. S. "Fully Balanced CMOS Current-Mode Circuits." IEEE Journal of Solid-State Circuits, vol. 28, no. 5, May. 1993. pp.569-575
- [10] Oralkan O., Karsilayan A. I. and Tan M. A. "Design of All-pole Low-pass Ladder Filters Using Current-Mode Damped Integrators." In Proceedings of the International Symposium on Circuits and Systems, ISCAS'96., vol. 1, May. 1996. pp.266-269
- [11] Wu J., El-Masry E. "A New Approach of Design of Current-Mode Filters." In Proceedings of International Symposium on Circuits and Systems, ISCAS'97, vol. 1, Jun. 1997. pp.317-320
- [12] Wu J., El-Masry E. "Design of Current-Mode Ladder Filters Using Coupled-Biquads." IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 45, no.11, Nov. 1998. , pp.1445-1454
- [13] Tangsrirat W., Fujii N. and Surakampon-torn W. "Current-Mode Leapfrog Ladder Filters Using CDBAs." In Proceedings of International Symposium on Circuits and Systems, ISCAS 2002, vol. 5, 2002. pp.57-60

- [14] Yan-Hui X., Xue L. “Active Simulation of Passive Leapfrog Ladder Filters Using DVCCs.” In Proceedings of International Conference on Industrial Technology, ICIT 2008, Apr. 2008. pp.1-5
- [15] Yan-Hui X., Peng H. “Realization of Low-pass and Band-pass Leapfrog Filters Using OAs and CCCIs.” In Proceedings of International Conference Management and Service Science, MASS’09, Sep. 2009. pp.1-4
- [16] Wu J., El-Masry E. “Current-Mode Ladder Filters using Multiple Output Current Conveyors.” IEE – Circuits, Devices and Systems, vol.143, no.4, 1996. pp.218-222
- [17] Yuce E., Minaei S. “On the realization of high-order current-mode filter employing current controlled conveyors.” Computers and Electrical Engineering, vol. 34, no.3, May 2008. pp. 165-172
- [18] Yuce E., Minaei S. “ICCII-based universal current-mode analog filter employing only grounded passive components.” Analog Integrated Circuits and Signal Processing, vol. 58, no. 2, Feb. 2009. pp. 161-169
- [19] Sinha P. K., Saini A., Kumar P. and Mishra S. “CFOA Based Low Pass and High Pass Ladder Filter-A New Configuration.” Circuits and Systems, vol. 5, no.12, 2014. pp.293-300
- [20] Lilienfeld J. E. “Device of controlling electric current.” US patent 1900018.
- [21] Sedra A. S., Smith K. C. “Microelectronic Circuits.” Oxford University, 1991.
- [22] Razavi B. “Fundamentals of Microelectronics.” John Wiley and Sons, Inc. 2008.
- [23] Allen P. E., Holberg D. R. “CMOS Analog Circuit Design.” Holt Rinehart and Winston, Inc. 1986.
- [24] อภินันท์ ธนชยานนท์, “วงจรรวมแอนะล็อกซีมอส” คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2558.
- [25] T. C. Carusone., D. A. Johns. and K. W. Martin. “Analog Integrated Circuit Design.” John Wiley & Sons, Inc., 2012
- [26] พิพัฒน์ พรหมมี, “หลักการตัวกรองความถี่อนาล็อก” คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2553.
- [27] Haykin S. “Modern Filters.” Macmillan Publishing Company, 1990.
- [28] Pactitis S. A. “Active Filters Theory and Design.” Taylor & Francis Group, LLC, 2008.
- [29] Huelsman L. P. “Active and Passive Analog Filter Design.” McGraw-Hill, Inc., 1993.
- [30] จิรยุทธ มหัทธกุล. “การออกแบบวงจรรองแอนะล็อก” แมคกรอ-ฮิล อินเตอร์เนชั่นแนล เอ็นเตอร์ไพรส์, อิงค์. 2001.
- [31] Niewiadomski S. “Filter Handbook: A Practical Design Guide.” Courier International Ltd, 1989.
- [32] Williams A. B., Taylor F. J. “Electronic Filter Design Handbook.” McGraw-Hill, Inc., 2006.
- [33] Orchard H. J. “Inductorless filters.” IEE Electron. Lett., vol. 2, June 1966. pp. 224-225
- [34] Gomez G. J., Embabi S. H. K. and Sanchez-Sinencio E. “A nonlinear macromodel for CMOS OTA’s.” in Proc. Int. Symp. Circuits Systems, 1995. pp. 920–923.
- [35] Yuh-Shyan H., Pei-Tzu H., Wei C. and Shen-Iuan L. “Systematic Generation of Current-Mode Linear Transformation Filters Based on Multiple Output CCIs.” Analog Integrated Circuits and Signal Processing, vol. 32, Nov. 2002. pp. 123-134
- [36] Prommee P., Wongprommoon N. “Tunable CMOS-based current mode fifth-order ladder low-pass filter.” In Proceedings of the 36th International Conference on Telecommunications and Signal Processing (TSP), Jul. 2013. pp. 397-401

- [37] Ananda-Mohan P. V. "Current-Mode VLSI Analog Filters: Design and Applications." Birkhauser Boston, 2003.
- [38] Deliyannis T., Sun Y. and Fidler J. K. "Continuous-Time Active Filter Design." London (UK): CRC Press, 1999.
- [39] Schaumann R., Ghausi M. S. and Laker K. R. "Design of Analog Filters: Passive, Active RC and Switched Capacitor." Prentice Hall, 1995.
- [40] Allstot D. J., Brodersen R. W. and Gray P. R. "Fullyintegrated high-order NMOS sampled-data ladder filters." In Proceedings of IEEE Intl. Solid-State Circuits Conf. New York, vol. 21, 1978. pp. 82-83.
- [41] Penney W. M., Lau L. "MOS Integrated Circuits, Theory, Fabrication, Design, and Systems Applications of MOS LSI." American Micro-Systems Inc., 1972.
- [42] Baker R. J. "CMOS Circuit Design, Layout, and Simulation." Wiley – Interscience, 2008.
- [43] Kunto T., Prommee P. and Abuelma'atti M. T. "Electronically Tunable Current-mode High-order Ladder Low-pass Filters Based on CMOS Technology." Radioengineering, Vol. 24, No. 4, Dec. 2015. pp. 974-987.
- [44] Prommee P., Kunto T., Somdunyanok M. and Prommee T. "CMOS-based current-mode tunable ladder Elliptic low-pass filter." Proc. of 37th International Conference on Telecommunications and Signal Processing (TSP2014), Jul. 2014. pp. 348-352
- [45] Kunto T., Prommee P. "Realization of Tunable Elliptic Low-pass Filter based on CCCIs." Proc. of IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2015), Nov. 2015. pp. 331-336
- [46] Van-Valkenburg M. E. "Analog Filter Design." Rinehart and Winston, Inc., 1982.



เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
โปรแกรม Pspice ที่ใช้ในการวิเคราะห์

โปรแกรมสำหรับวิเคราะห์วงจรกรองความถี่ต่ำผ่านอันดับสูงปรับค่าได้รูปแบบกระแส
ชนิดชั้นบันไดโดยใช้เทคโนโลยีซีมอส

สำหรับ Chebyshev Low-pass Filters

```
* DATE: May 21/09
* LOT: T92Y          WAF: 9103
* Temperature parameters=Default
.MODEL NMOS1 NMOS (          LEVEL = 7
+VERSION = 3.1      TNOM = 27      TOX = 4.1E-9
+XJ = 1E-7          NCH = 2.3549E17 VTH0 = 0.3694303
+K1 = 0.5789116    K2 = 1.110723E-3  K3 = 1E-3
+K3B = 0.0297124   W0 = 1E-7      NLX = 2.037748E-7
+DVT0W = 0         DVT1W = 0      DVT2W = 0
+DVT0 = 1.2953626  DVT1 = 0.3421545  DVT2 = 0.0395588
+U0 = 293.1687573  DEV=2%
+UA = -1.21942E-9  UB = 2.325738E-18
+UC = 7.061289E-11 VSAT = 1.676164E5  A0 = 2
+AGS = 0.4764546   B0 = 1.617101E-7  B1 = 5E-6
+KETA = -0.0138552 A1 = 1.09168E-3  A2 = 0.3303025
+RDSW = 105.6133217 PRWG = 0.5    PRWB = -0.2
+WR = 1            WINT = 2.885735E-9  LINT = 1.715622E-8
+XL = 0            XW = -1E-8      DWG = 2.754317E-9
+DWB = -3.690793E-9 VOFF = -0.0948017  NFACTOR = 2.1860065
+CIT = 0           CDSC = 2.4E-4    CDSCD = 0
+CDSCB = 0         ETA0 = 2.665034E-3  ETAB = 6.028975E-5
+DSUB = 0.0442223  PCLM = 1.746064    PDIBLC1 = 0.3258185
+PDIBLC2 = 2.701992E-3 PDIBLCB = -0.1    DROUT = 0.9787232
+PSCBE1 = 4.494778E10 PSCBE2 = 3.672074E-8  PVAG = 0.0122755
+DELTA = 0.01      RSH = 7        MOBMOD = 1
+PRT = 0           UTE = -1.5      KT1 = -0.11
+KTIL = 0          KT2 = 0.022    UA1 = 4.31E-9
+UB1 = -7.61E-18   UC1 = -5.6E-11  AT = 3.3E4
+WL = 0            WLN = 1        WW = 0
+WWN = 1           WWL = 0        LL = 0
+LLN = 1           LW = 0         LWN = 1
+LWL = 0           CAPMOD = 2      XPART = 0.5
+CGDO = 8.58E-10   CGSO = 8.58E-10  CGBO = 1E-12
+CJ = 9.471097E-4  PB = 0.8        MJ = 0.3726161
+CJSW = 1.905901E-10 PBSW = 0.8      MJSW = 0.1369758
+CJSWG = 3.3E-10  PBSWG = 0.8     MJSWG = 0.1369758
+CF = 0            PVTH0 = -5.105777E-3  PRDSW = -1.1011726
+PK2 = 2.247806E-3 WKETA = -5.071892E-3  LKETA = 5.324922E-4
+PU0 = -4.0206081  PUA = -4.48232E-11  PUB = 5.018589E-24
+PVSAT = 2E3       PETA0 = 1E-4     PKETA = -2.090695E-3 )
*
.MODEL PMOS1 PMOS (          LEVEL = 7
+VERSION = 3.1      TNOM = 27      TOX = 4.1E-9
+XJ = 1E-7          NCH = 4.1589E17 VTH0 = -0.3823437
+K1 = 0.5722049    K2 = 0.0219717  K3 = 0.1576753
+K3B = 4.2763642   W0 = 1E-6      NLX = 1.104212E-7
+DVT0W = 0         DVT1W = 0      DVT2W = 0
+DVT0 = 0.6234839  DVT1 = 0.2479255  DVT2 = 0.1
+U0 = 109.4682454  UA = 1.31646E-9  UB = 1E-21
+UC = -1E-10       VSAT = 1.054892E5  A0 = 1.5796859
+AGS = 0.3115024   B0 = 4.729297E-7  B1 = 1.446715E-6
```

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+KETA = 0.0298609  A1 = 0.3886886  A2 = 0.4010376
+RDSW = 199.1594405  PRWG = 0.5  PRWB = -0.4947034
+WR = 1  WINT = 0  LINT = 2.93948E-8
+XL = 0  XW = -1E-8  DWG = -1.998034E-8
+DWB = -2.481453E-9  VOFF = -0.0935653  NFACTOR = 2
+CIT = 0  CDSC = 2.4E-4  CDSCD = 0
+CDSCB = 0  ETA0 = 3.515392E-4  ETAB = -4.804338E-4
+DSUB = 1.215087E-5  PCLM = 0.96422  PDIBLC1 = 3.026627E-3
+PDIBLC2 = -1E-5  PDIBLCB = -1E-3  DROUT = 1.117016E-4
+PSCBE1 = 7.999986E10  PSCBE2 = 8.271897E-10  PVAG = 0.0190118
+DELTA = 0.01  RSH = 8.1  MOBMOD = 1
+PRT = 0  UTE = -1.5  KT1 = -0.11
+KTIL = 0  KT2 = 0.022  UA1 = 4.31E-9
+UB1 = -7.61E-18  UC1 = -5.6E-11  AT = 3.3E4
+WL = 0  WLN = 1  WW = 0
+WWN = 1  WWL = 0  LL = 0
+LLN = 1  LW = 0  LWN = 1
+LWL = 0  CAPMOD = 2  XPART = 0.5
+CGDO = 7.82E-10  CGSO = 7.82E-10  CGBO = 1E-12
+CJ = 1.214428E-3  PB = 0.8461606  MJ = 0.4192076
+CJSW = 2.165642E-10  PBSW = 0.8  MJSW = 0.3202874
+CJSWG = 4.22E-10  PBSWG = 0.8  MJSWG = 0.3202874
+CF = 0  PVTH0 = 5.167913E-4  PRDSW = 9.5068821
+PK2 = 1.095907E-3  WKETA = 0.0133232  LKETA = -3.648003E-3
+PU0 = -1.0674346  PUA = -4.30826E-11  PUB = 1E-21
+PVSAT = 50  PETA0 = 1E-4  PKETA = -1.822724E-3 )

```

```

*
*****
*In(=1) -Io1(=3) +Io2(=5) IB(=9)
.subckt lossless 1 3 5 9
M1 1 1 0 0 NMOS1 W=70u L=0.36u
M2 3 1 0 0 NMOS1 W=70u L=0.36u
M3 4 1 0 0 NMOS1 W=70u L=0.36u
M4 4 4 0 0 NMOS1 W=70u L=0.36u
M5 1 4 0 0 NMOS1 W=70u L=0.36u
M6 5 4 0 0 NMOS1 W=70u L=0.36u
VB 9 0 dc 0
VDD 2 0 dc 1.5
F1 6 0 VB 1
MB1 6 6 2 2 PMOS1 W=100u L=0.36u
MB2 1 6 2 2 PMOS1 W=100u L=0.36u
MB3 3 6 2 2 PMOS1 W=100u L=0.36u
MB4 4 6 2 2 PMOS1 W=100u L=0.36u
MB5 4 6 2 2 PMOS1 W=100u L=0.36u
MB6 1 6 2 2 PMOS1 W=100u L=0.36u
MB7 5 6 2 2 PMOS1 W=100u L=0.36u
.ends lossless
*****
*In(=1) -Io1(=2) +Io2(=4) IB(=9)
.subckt lossy 1 2 4 9
Mn1 1 1 0 0 NMOS1 W=70u L=0.36u
Mn2 2 1 0 0 NMOS1 W=70u L=0.36u
Mn3 3 1 0 0 NMOS1 W=70u L=0.36u
Mn4 3 3 0 0 NMOS1 W=70u L=0.36u
Mn5 4 3 0 0 NMOS1 W=70u L=0.36u
VDD 5 0 dc 1.5
VB 9 0 dc 0
F1 6 0 VB 1
Mp1 6 6 5 5 PMOS1 W=100u L=0.36u
Mp2 1 6 5 5 PMOS1 W=100u L=0.36u
Mp3 2 6 5 5 PMOS1 W=100u L=0.36u
Mp4 3 6 5 5 PMOS1 W=100u L=0.36u
Mp5 3 6 5 5 PMOS1 W=100u L=0.36u
Mp6 4 6 5 5 PMOS1 W=100u L=0.36u
.ends lossy
*****
****Prototype Chebyshev Low-pass Filters*(Ripple 0.1 dB)****

```

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Iina 0 100 ac 1
Rs 100 0 1
C1a 100 0 82n
L1a 100 200 91n
C2a 200 0 82n
RO 200 0 1

```

```

*****
*****Proposed Chebyshev Low-pass Filters*****

```

```

lin 0 1 ac 1
x1 1 9 3 11 lossy
x2 3 1 4 12 lossless
x3 4 3 5 13 lossy
F1 0 11 VB 1
F2 0 12 VB 1
F3 0 13 VB 1
*CC1 1 0 8p
*CL1 3 0 9p
*CC2 4 0 8p
Mn1 0 1 0 0 NMOS1 W=32u L=32u
Mn2 0 3 0 0 NMOS1 W=34u L=34u
Mn3 0 4 0 0 NMOS1 W=32u L=32u
VB 20 0 dc 0
IB 0 20 dc 2.7u
VDD 9 0 dc 1.5
RL 5 9 1
*.Tran 100n 3u 1u 1n
.ac dec 1000 1k 1g
*.step IB list 0.03u 0.3u 3u 30u 300u
.probe
.end

```

สำหรับ Elliptic Low-pass Filters

```

*****
* DATE: May 21/09
* LOT: T92Y WAF: 9103
* Temperature_parameters=Default
.MODEL NMOS1 NMOS ( LEVEL = 7
+VERSION = 3.1 TNOM = 27 TOX = 4.1E-9
+XJ = 1E-7 NCH = 2.3549E17 VTH0 = 0.3694303
+K1 = 0.5789116 K2 = 1.110723E-3 K3 = 1E-3
+K3B = 0.0297124 W0 = 1E-7 NLX = 2.037748E-7
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 1.2953626 DVT1 = 0.3421545 DVT2 = 0.0395588
+U0 = 293.1687573 DEV=2%
+UA = -1.21942E-9 UB = 2.325738E-18
+UC = 7.061289E-11 VSAT = 1.676164E5 A0 = 2
+AGS = 0.4764546 B0 = 1.617101E-7 B1 = 5E-6
+KETA = -0.0138552 A1 = 1.09168E-3 A2 = 0.3303025
+RDSW = 105.6133217 PRWG = 0.5 PRWB = -0.2
+WR = 1 WINT = 2.885735E-9 LINT = 1.715622E-8
+XL = 0 XW = -1E-8 DWG = 2.754317E-9
+DWB = -3.690793E-9 VOFF = -0.0948017 NFACTOR = 2.1860065
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 2.665034E-3 ETAB = 6.028975E-5
+DSUB = 0.0442223 PCLM = 1.746064 PDIBLC1 = 0.3258185
+PDIBLC2 = 2.701992E-3 PDIBLCB = -0.1 DROUT = 0.9787232
+PSCBE1 = 4.494778E10 PSCBE2 = 3.672074E-8 PVAG = 0.0122755
+DELTA = 0.01 RSH = 7 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0

```

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+WWN = 1      WWL = 0      LL = 0
+LLN = 1      LW = 0      LWN = 1
+LWL = 0      CAPMOD = 2    XPART = 0.5
+CGDO = 8.58E-10  CGSO = 8.58E-10  CGBO = 1E-12
+CJ = 9.471097E-4  PB = 0.8      MJ = 0.3726161
+CJSW = 1.905901E-10  PBSW = 0.8    MJSW = 0.1369758
+CJSWG = 3.3E-10    PBSWG = 0.8    MJSWG = 0.1369758
+CF = 0      PVTH0 = -5.105777E-3  PRDSW = -1.1011726
+PK2 = 2.247806E-3  WKETA = -5.071892E-3  LKETA = 5.324922E-4
+PU0 = -4.0206081  PUA = -4.48232E-11  PUB = 5.018589E-24
+PVSAT = 2E3      PETA0 = 1E-4    PKETA = -2.090695E-3 )

```

```

*
.MODEL PMOS1 PMOS (          LEVEL = 7
+VERSION = 3.1      TNOM = 27      TOX = 4.1E-9
+XJ = 1E-7      NCH = 4.1589E17  VTH0 = -0.3823437
+K1 = 0.5722049  K2 = 0.0219717  K3 = 0.1576753
+K3B = 4.2763642  W0 = 1E-6      NLX = 1.104212E-7
+DVT0W = 0      DVT1W = 0      DVT2W = 0
+DVT0 = 0.6234839  DVT1 = 0.2479255  DVT2 = 0.1
+U0 = 109.4682454  UA = 1.31646E-9  UB = 1E-21
+UC = -1E-10     VSAT = 1.054892E5  A0 = 1.5796859
+AGS = 0.3115024  B0 = 4.729297E-7  B1 = 1.446715E-6
+KETA = 0.0298609  A1 = 0.3886886  A2 = 0.4010376
+RDSW = 199.1594405  PRWG = 0.5      PRWB = -0.4947034
+WR = 1      WINT = 0      LINT = 2.93948E-8
+XL = 0      XW = -1E-8    DWG = -1.998034E-8
+DWB = -2.481453E-9  VOFF = -0.0935653  NFACTOR = 2
+CIT = 0      CDSC = 2.4E-4    CDSCD = 0
+CDSCB = 0     ETA0 = 3.515392E-4  ETAB = -4.804338E-4
+DSUB = 1.215087E-5  PCLM = 0.96422  PDIBLC1 = 3.026627E-3
+PDIBLC2 = -1E-5    PDIBLCB = -1E-3  DROUT = 1.117016E-4
+PSCBE1 = 7.999986E10  PSCBE2 = 8.271897E-10  PVAG = 0.0190118
+DELTA = 0.01     RSH = 8.1      MOBMOD = 1
+PRT = 0      UTE = -1.5     KT1 = -0.11
+KT1L = 0      KT2 = 0.022    UA1 = 4.31E-9
+UB1 = -7.61E-18  UC1 = -5.6E-11  AT = 3.3E4
+WL = 0      WLN = 1      WW = 0
+WWN = 1      WWL = 0      LL = 0
+LLN = 1      LW = 0      LWN = 1
+LWL = 0      CAPMOD = 2    XPART = 0.5
+CGDO = 7.82E-10  CGSO = 7.82E-10  CGBO = 1E-12
+CJ = 1.214428E-3  PB = 0.8461606  MJ = 0.4192076
+CJSW = 2.165642E-10  PBSW = 0.8    MJSW = 0.3202874
+CJSWG = 4.22E-10  PBSWG = 0.8    MJSWG = 0.3202874
+CF = 0      PVTH0 = 5.167913E-4  PRDSW = 9.5068821
+PK2 = 1.095907E-3  WKETA = 0.0133232  LKETA = -3.648003E-3
+PU0 = -1.0674346  PUA = -4.30826E-11  PUB = 1E-21
+PVSAT = 50      PETA0 = 1E-4    PKETA = -1.822724E-3 )

```

```

*
*****

```

```

*In(=1) -Io(=3) +Io(=5) IB(=8)
.Subckt lossless 1 3 5 8
M1 1 1 0 0 NMOS1 W=70u L=0.36u
M2 3 1 0 0 NMOS1 W=70u L=0.36u
M3 4 1 0 0 NMOS1 W=70u L=0.36u
M4 4 4 0 0 NMOS1 W=70u L=0.36u
M5 1 4 0 0 NMOS1 W=70u L=0.36u
M6 5 4 0 0 NMOS1 W=70u L=0.36u
VB 8 0 dc 0
VDD 2 0 dc 1.5
F1 6 0 VB 1
MB1 6 6 2 2 PMOS1 W=100u L=0.36u
MB2 1 6 2 2 PMOS1 W=100u L=0.36u
MB3 3 6 2 2 PMOS1 W=100u L=0.36u
MB4 4 6 2 2 PMOS1 W=100u L=0.36u
MB5 4 6 2 2 PMOS1 W=100u L=0.36u
MB6 1 6 2 2 PMOS1 W=100u L=0.36u

```

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MB7 5 6 2 2 PMOS1 W=100u L=0.36u
.ends lossless
```

```
*****
```

```
*Iin(=1) +Io(=5) IB(=6)
.Subckt lossy 1 3 6
M1 1 1 0 0 NMOS1 W=70u L=0.36u
M2 5 1 0 0 NMOS1 W=70u L=0.36u
M3 5 5 0 0 NMOS1 W=70u L=0.36u
M4 3 5 0 0 NMOS1 W=70u L=0.36u
VB 6 0 dc 0
VDD 2 0 dc 1.5
F1 7 0 VB 1
MB1 7 7 2 2 PMOS1 W=100u L=0.36u
MB2 1 7 2 2 PMOS1 W=100u L=0.36u
MB3 5 7 2 2 PMOS1 W=100u L=0.36u
MB4 5 7 2 2 PMOS1 W=100u L=0.36u
MB5 3 7 2 2 PMOS1 W=100u L=0.36u
.ends lossy
```

```
*****
```

```
*Iin(=1) -Io(=3) +Io(=5) +Io(=6) +kIo(=7) IB(=8)
.Subckt buffer 1 3 5 6 7 8
M1 1 1 0 0 NMOS1 W=70u L=0.36u
M2 3 1 0 0 NMOS1 W=70u L=0.36u
M3 4 1 0 0 NMOS1 W=70u L=0.36u
M4 4 4 0 0 NMOS1 W=70u L=0.36u
M5 5 4 0 0 NMOS1 W=70u L=0.36u
M6 6 4 0 0 NMOS1 W=70u L=0.36u
M7 7 4 0 0 NMOS1 W=4.8u L=0.36u
VB 8 0 dc 0
VDD 2 0 dc 1.5
F1 9 0 VB 1
MB1 9 9 2 2 PMOS1 W=100u L=0.36u
MB2 1 9 2 2 PMOS1 W=100u L=0.36u
MB3 3 9 2 2 PMOS1 W=100u L=0.36u
MB4 4 9 2 2 PMOS1 W=100u L=0.36u
MB5 4 9 2 2 PMOS1 W=100u L=0.36u
MB6 5 9 2 2 PMOS1 W=100u L=0.36u
MB7 6 9 2 2 PMOS1 W=100u L=0.36u
MB8 7 9 2 2 PMOS1 W=6.8u L=0.36u
.ends buffer
```

```
*****
```

```
***** Prototype Elliptic Low-pass Filters *****
```

```
Iin9 0 19 ac 1.1
RS1 19 0 1
C19 19 0 88n
C29 19 29 9n
C39 29 0 88n
L29 19 29 83n
RL1 29 0 1
```

```
*****
```

```
***** Prototype Elliptic Dependent Sources Low-pass Filters *****
```

```
Iin111 0 199 ac 1.1
RS2 199 0 1
C111 199 399 97n
C333 299 499 97n
L222 199 299 83n
E1 399 0 299 0 0.093
E2 499 0 199 0 0.093
RL2 299 0 1
```

```
*****
```

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

in 0 1 ac 1
x1 1 2 8 lossy
x2 5 1 3 9 lossless
x3 3 4 10 lossy
x4 2 7 5 7 4 11 buffer
x5 4 5 7 6 2 12 buffer
F1 7 8 VB 1
F2 7 9 VB 1
F3 7 10 VB 1
F4 7 11 VB 1
F5 7 12 VB 1

```

```

c1 1 0 9.7p
c2 5 0 8.3p
c3 3 0 9.7p

```

```

*Mn1 0 1 0 0 NMOS1 W=38u L=38u
*Mn2 0 5 0 0 NMOS1 W=35u L=35u
*Mn3 0 3 0 0 NMOS1 W=38u L=38u

```

```

VB 13 0 dc 0
IB 0 13 dc 3.6u
VDD 7 0 dc 1.5

```

```
RL 6 7 1
```

```

*****
.ac dec 500 1k 1GHz
.step IB list 0.03u .3u 3u 30u 300u
.probe
.end

```

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

ผลงานที่เคยได้รับการตีพิมพ์ระหว่างศึกษา

- [43] Kunto T., Prommee P. and Abuelma'atti M. T. "Electronically Tunable Current-mode High-order Ladder Low-pass Filters Based on CMOS Technology." *Radioengineering*, Vol. 24, No. 4, Dec. 2015. pp. 974-987.
- [44] Prommee P., Kunto T., Somdunyanok M. and Prommee T. "CMOS-based current-mode tunable ladder Elliptic low-pass filter." *Proc. of 37th International Conference on Telecommunications and Signal Processing (TSP2014)*, Jul. 2014. pp. 348-352
- [45] Kunto T., Prommee P. "Realization of Tunable Elliptic Low-pass Filter based on CCCII's." *Proc. of IEEE International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2015)*, Nov. 2015. pp. 331-336



เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electronically Tunable Current-mode High-order Ladder Low-pass Filters Based on CMOS Technology

Terdsak KUNTO¹, Pipat PROMMEE¹, Muhammad Taher ABUELMA'ATTI²

¹ Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Thailand 10520

² King Fahd University of Petroleum and Minerals, Box 203, Dhahran 31261, Saudi Arabia

pipat@telecom.kmitl.ac.th

Abstract. *This paper describes the design of current mode low-pass ladder filters based on CMOS technology. The filters are derived from passive RLC ladder filter prototypes using new CMOS lossy and lossless integrators. The all-pole and Elliptic approximations are used in the proposed low-pass filter realizations. The proposed two types of filter can be electronically tuned between 10 kHz and 100 MHz through bias current from 0.03 μ A to 300 μ A. The proposed filters use 1.5 V power supply with 3 mW power consumption at 300 μ A bias current. The proposed filters are resistorless, use grounded capacitors and are suitable for further integration. The total harmonic distortion (THD) of the low-pass filters is less than 1% over the operating frequency range. PSPICE simulation results, obtained by using TSMC 0.18 μ m technology, confirm the presented theory.*

Keywords

CMOS, current mode, ladder filters, all-pole, elliptic, low-pass filter

1. Introduction

Active filters are essential building blocks in analog signal processing particularly in communication, instrumentation and control systems. Over the years, high performance voltage-mode active filters have received much attention. Recently, current-mode filters are becoming more popular with many advantages compared to the voltage-mode counterparts. This is attributed to the simplicity of the current-mode circuit building blocks, the compact design that can be provided and the operation with low supply voltages. Moreover, in current mode the summation and subtraction can be easily realized with relatively simple circuitry. This leads to reduced die area, lower power consumption requirements and improved high frequency performance. On the other hand it is well known that the performance of high-order filters may be preferable than lower-order counterparts in some applications [1]. Thus, using high order filters [2], [3], superior performance can be achieved compared to that obtainable using low-order filters [4], [5]. Moreover, high order filters can save area on

the chip. Thus, allowing several subsystems to be integrated on the same chip.

For the design of high-order low-pass active filters, the realization method based on doubly terminated passive RLC ladder prototypes was used [6]. High frequency ladder low-pass filters were presented in [7] by using current-mode integrators. Low input impedance current mirror and grounded capacitors were used for designing differential current-mode integrators. The major drawbacks of the circuits in [7] are the use of excessive number of active and passive components while achieving a relatively narrow tuning range. Current-mode high-order Butterworth low-pass ladder filter using the multiple-output current-controlled current-conveyor (MCCCI) was introduced in [8]. It suffers from the narrow tuning range and the use of large numbers of active devices. All-pole Chebyshev low-pass ladder filters were presented using the fully balanced switched-current integrator [9] and the current-mode damped integrators [10]. However, the proposed circuit in [9] cannot work at high-frequencies and that in [10] suffers from errors in the cut-off frequency. The current-mode filters presented in [11], [12] use simulated RLC ladder networks. The passive components are transformed to coupled-biquad structures that can be realized by multiple output OTAs and grounded capacitors. The realizations of current-mode leapfrog ladder filters using the current-difference buffer-amplifier (CDBA) and the differential-voltage current-conveyor (DVCC) were presented in [13] and [14] respectively. These realizations require many active building blocks and use floating resistors and may, therefore, be not suitable for integration. A different realization method of low-pass leapfrog filters was presented in [15]. The proposed realization uses the second-generation current-conveyor (CCII) and exploits to advantage the frequency-dependence of the differential gain of the operational amplifier (OA) for implementing an integrator. While avoiding the use of externally connected passive components is an advantage, the proposed circuit in [15] lacks electronic tuning of the filter parameters and requires a relatively large number of active devices. In [16] the multiple outputs current conveyor (MOCC) was used to synthesize the low-pass filter (LPF) from the LC ladder prototype. However, the proposed circuit requires a relatively large number of passive components and lacks the

electronic tunability of the filter parameters. High-order filters using bipolar junction transistor-based DO-CCCII were presented in [17]. Each DO-CCCII uses 20 transistors without including the DC bias current. Since the number of DO-CCCII is equal to the order of the filter +1, then it is obvious that the proposed circuit requires a large number of bipolar junction transistors. Moreover, because of the dependence on the parasitic resistances at terminals x of the DO-CCCIs, the parameters of the circuit are temperature dependent. Another topology for implementing high-order filters using CMOS-based DO-ICCII was introduced in [18]. Each ICCII uses 16 MOSFETs in addition to special bias voltages applied to the gates of two transistors. Of course these bias voltages can be obtained from the DC supply voltages, but this requires additional circuits. Since the number of ICCII equal the order of the required filter +1, then it is obvious that the area on the chip will be very large. Moreover, the circuit does not enjoy independent control of its parameters. High order voltage mode circuits are also available; see for example [19]. The circuit in [19] suffers from the classical disadvantages of the operation in voltage mode; that is the complicated circuits required for realizing summation and subtraction. Moreover, the circuit uses floating passive elements which is not attractive for integration. Thus, it appears that there is a need for new designs of high-order LPFs enjoying the following attractive features: use of less number of active and passive components, avoid the use of resistors, enjoy the electronic tunability of the filter parameters and are suitable for integration.

Therefore, it is the major intention of this paper to present two transistor level designs of current-mode third-order ladder low-pass filters using CMOS technology. The well-known all-pole and Elliptic RLC prototypes are used for synthesizing the circuit elements of the proposed filters. The proposed filters are realized on the transistor-level using lossy integrators, lossless integrators, gain circuits and grounded capacitors. The proposed circuits enjoy the following attractive features: relatively small number of components, low-voltage supply, low-power consumption, no use of externally-connected resistors and wide-range electronic tuning of the filter characteristics. The PSPICE simulation results obtained are in excellent agreement with the theoretical results and confirm that the proposed filters are suitable for high-frequency up to VHF which would be very suitable for designing communications system.

2. Principle of Operation

2.1 CMOS Current-mode Lossy and Lossless Integrators

The basic lossy integrator, or first order low-pass filter, used in this paper as a main building block is depicted in Fig. 1. With a single input (X) and two outputs (Y_1 and Y_2) the transfer function of the lossy integrator is described by (1)

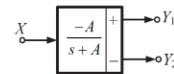


Fig. 1. Lossy integrator block diagram.

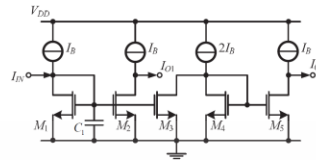


Fig. 2. CMOS-based current-mode lossy integrator.

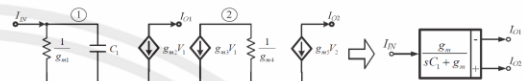


Fig. 3. Small signal model of Fig. 2 and its block diagram ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m$).

$$\frac{Y_1}{X} = \frac{-Y_2}{X} = \frac{-A}{s+A} \quad (1)$$

The current-mode dual output lossy integrator shown in Fig. 1 can be easily implemented on the transistor level by using MOS transistors as shown in Fig. 2. The current transfer functions can be obtained by using the small signal model shown in Fig. 3. Routine analysis of the circuit of Fig. 3 yields the current transfer functions of equations (2) and (3)

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_{m2}}{sC_1 + g_{m1}} \quad (2)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_{m3}g_{m5}/g_{m4}}{sC_1 + g_{m1}} \quad (3)$$

where g_{mi} is transconductance of transistor i . Assume that transistor $M_1 - M_4$ are matched ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m$), the current transfer functions of Fig. 3 become

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{sC_1 + g_m} \quad (4)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{sC_1 + g_m} \quad (5)$$

On the other hand, the lossless integrator can be easily realized by modifying the lossy integrator as follows. First, an inverting gain is added to the output of inverting lossy integrator [20]. Second, the inverted output is fed back to the input as shown in Fig. 4. Thus, the non-inverting and inverting current-mode lossless integrator transfer functions obtained at ports Z_1 and Z_2 , respectively, can be expressed as

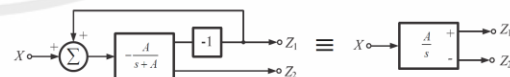


Fig. 4. Lossless integrator block diagram.

$$\frac{Z_1}{X} = \frac{-Z_2}{X} = \frac{A}{s}. \quad (6)$$

Figure 5 shows a possible transistor level realization for the lossless integrator shown in the block diagram of Fig. 4. The output of the lossy integrator formed of transistors M_1 , M_2 and M_3 is connected to the inverting gain unit formed of transistors M_4 and M_5 and then fed back to the input. There are two current outputs I_{OB} (port Z_+) and I_{OA} (port Z_-) taken from transistors M_6 and M_2 , respectively.

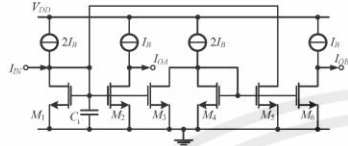


Fig. 5. CMOS-based current-mode lossless integrator.

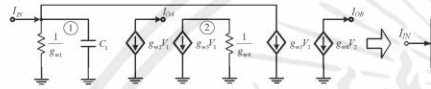


Fig. 6. Small signal model of Fig. 5 and its block diagram ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_m$).

Assuming that transistors $M_1 - M_6$ are matched with $g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_m$, the current transfer functions can be obtained by using the small signal model shown in Fig. 6. Routine analysis of the small signal model of Fig. 6 yields the following transfer functions

$$\frac{I_{OA}}{I_{IN}} = \frac{-g_m}{sC_1}, \quad (7)$$

$$\frac{I_{OB}}{I_{IN}} = \frac{g_m}{sC_1}. \quad (8)$$

From Fig. 3 and Fig. 6, the input impedance of both integrators can be expressed as

$$Z_{in} = \frac{1}{g_m + sC_1}. \quad (9)$$

In equations (2)-(5) and (7)-(8) the transconductance g_m of any transistor is given by

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \approx \sqrt{2\mu C_{ox} (W/L) I_D} \quad (10)$$

where μ , C_{ox} , W and L are surface mobility, channel oxide capacitance, channel width and channel length of the MOS transistor, respectively and I_D is the bias current I_B of the transistor. Equation (10) clearly shows that transconductance can be tuned by adjusting the bias current I_B . Thus, the parameters of the lossy and lossless integrators of Figs. 2 and 5 can be electronically tuned.

2.2 Synthesis of RLC Ladder Low-Pass Filters

This section describes the synthesis procedure of ladder filter based on the signal flow graph (SFG) method.

Two types of passive RLC ladder low-pass filter; the all-pole and Elliptic filters [21–25], are provided as prototypes. In some applications, a higher fall off rate is required in the transition band; that is a very high attenuation is required very near the cutoff frequency. This requirement mandates the use of elliptic functions in the approximation of the filter transfer function and leads to the design of Elliptic or Caer filters [22].

Firstly, the doubly terminated current-mode third-order all-pole passive RLC ladder low-pass filter prototype shown in Fig. 7 is considered.

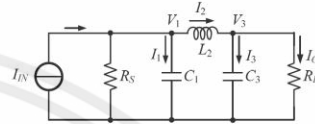


Fig. 7. Current-mode third-order all-pole low-pass RLC ladder prototype.

Considering the prototype shown in Fig. 7, using KCL the current and voltage relationship can be written as

$$I_1 = I_{IN} - \frac{V_1}{R_S} - I_2, \quad (11)$$

$$V_1 = \frac{I_1}{sC_1}, \quad (12)$$

$$V_2 = V_1 - V_3, \quad (13)$$

$$I_2 = \frac{V_2}{sL_2}, \quad (14)$$

$$V_3 = \frac{I_3}{sC_3}, \quad (15)$$

$$I_3 = I_2 - \frac{V_3}{R_L}. \quad (16)$$

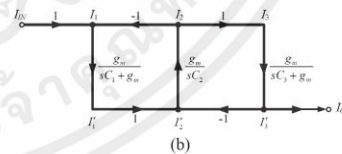
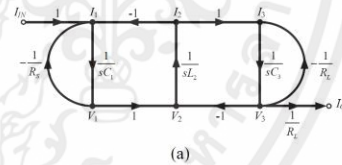


Fig. 8. (a) SFG of third-order all-pole low-pass ladder filter in Fig. 7, (b) Completed current-mode SFG of Fig. 8(a).

Using equations (11)-(16), a SFG can be constructed and is shown in Fig. 8(a). Voltages at different nodes and currents in different branches are forming the nodes of the SFG. The voltage nodes need to be transformed into current nodes. The transconductance g_m is used to normalize

the voltage nodes to current nodes. The variables $R_S=R_L=1/g_m$ are used to simplify the realization method. Furthermore, lossless integrators with its negative feedback in left-hand and right-hand sides can be replaced by lossy integrators. The finalized current-mode SFG is shown in Fig. 8(b). It can be seen that the all-pole low-pass ladder filter can be designed based on lossy and lossless integrators.

Secondly, the passive RLC doubly terminated third-order Elliptic low-pass filter shown in Fig. 9 is also used as a prototype.

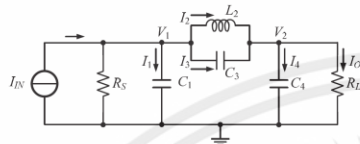


Fig. 9. Prototype current-mode third-order Elliptic low-pass RLC ladder filter.

Considering the prototype in Fig. 9, routine analysis yields the following current and voltage relationships:

$$I_1 = I_{IN} - \frac{V_1}{R_S} - I_2 - I_3, \tag{17}$$

$$I_3 = (V_1 - V_2) s C_3, \tag{18}$$

$$V_1 = \frac{I_1}{s C_1}, \tag{19}$$

$$V_1 = \frac{I_{IN} - I_2 - V_1/R_S + V_2}{s(C_1 + C_3)} + V_2 \frac{C_3}{C_1 + C_3}, \tag{20}$$

$$I_4 = I_2 + I_3 - I_O, \tag{21}$$

$$V_2 = \frac{I_4}{s C_4}, \tag{22}$$

$$V_2 = \frac{I_2 - I_O}{s(C_3 + C_4)} + V_1 \frac{C_3}{C_3 + C_4}. \tag{23}$$

Using (17)–(23), a modified RLC prototype can be redrawn as shown in Fig. 10. For simplicity, the current terms $(I_{IN} - I_2 - V_1/R_S)$ and $(I_2 - I_O)$ in (20) and (23) are replaced by I_x and I_y , respectively and the capacitor C_3 is replaced by two new capacitors $(C_1 + C_3)$ and $(C_3 + C_4)$ connected with two dependent sources as shown in Fig. 10.

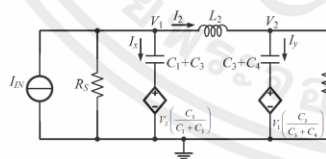


Fig. 10. Modified current-mode third-order Elliptic low-pass RLC ladder filter.

From equations (17)–(23) and Fig. 10, a SFG can be drawn as shown in Fig. 11(a). Voltages at different nodes and currents in different branches are forming the nodes of

voltage and current in the SFG. The voltage nodes need to be transformed into current nodes. The transconductance g_m is used to normalize the voltage nodes to current nodes. The variables $R_S=R_L=1/g_m$ are used to simplify the realization method. Furthermore, lossless integrators with its negative feedback in left-hand and right-hand sides can be replaced by lossy integrators. The finalized current-mode SFG is shown in Fig. 11(b). It can be seen that the elliptic low-pass ladder filter can be designed based on lossy, lossless integrators and current gains.

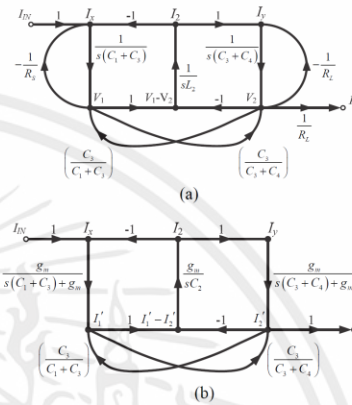


Fig. 11. (a) SFG of third-order elliptic low-pass ladder filter in Fig. 10. (b) Completed current-mode SFG of Fig. 11(a).

3. CMOS Realization of Ladder Low-Pass Filters

Considering the SFG shown in Fig. 8(b), the third-order all-pole low-pass ladder filter can be constructed by using 2 lossy integrators and a lossless integrator. In current-mode realizations, summing and subtracting can be easily implemented by direct connection without additional circuit elements. Using the block diagrams shown in Figs. 3 and 6 and the SFG in Fig. 8(b), a third-order all-pole ladder low-pass filter can be realized as shown in the block diagram of Fig. 12.

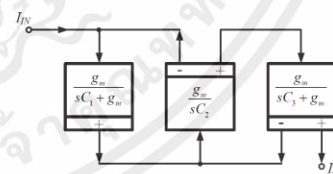


Fig. 12. Third-order Chebyshev low-pass ladder filter.

Using the block diagram in Fig. 12 and the circuits shown in Figs. 2 and 5, the complete circuit diagram of the synthesized third-order all-pole ladder low-pass filter is shown in Fig. 13. In Fig. 13, the bias currents are realized by using PMOS current mirrors M_{Bi} with identical aspect ratios for providing the equal bias currents.

In a similar way using the Elliptic filter SFG shown in Fig. 11(b), the third-order Elliptic low-pass ladder filter can be constructed by using lossy, lossless integrators and additional current gains. Inspection of Fig. 11(b) shows that the SFG of Elliptic filter has two feedback paths. The current gains are needed to provide the feedback paths. Elliptic third-order ladder low-pass filter can be implemented by using the block diagrams of two lossy integrators and a lossless integrator. Two multiple outputs (+, -) current splitters are used to provide the current feedback between I_1 and I_2 . It can be seen that the proposed circuit requires only three capacitors while the prototype RLC filter uses three capacitors and one inductor. The current-gain can be easily realized by defining the aspect ratios of the particular transistors and its bias current. Using the SFG in Fig. 11(b), the design of third-order elliptic low-pass ladder filter can be realized by using the block diagram of two lossy integrators, one lossless integrator and two current splitters as shown in Fig. 14.

Using the block diagram in Fig. 14 and the circuits shown in Figs. 2 and 5, the complete circuit of the third-order Elliptic low-pass ladder filter is shown in Fig. 15. It can be seen that the proposed circuit requires only three capacitors while the prototype RLC filter of Fig. 9 requires three capacitors and one inductor. In Fig. 15 the bias currents are implemented using PMOS current mirrors M_{Bi} with identical aspect ratios for providing the equal bias currents. As shown in the block diagram in Fig. 14, two extra current amplifiers with current gain k are required. In Fig. 15 these current amplifiers are realized by using the MOSFET transistors shown in the two dotted boxes. Note that the capacitors used in the circuits are on-chip type [26] as shown in Fig. 16. These capacitors can be simultaneously implemented with the whole circuit on the chip for full integration. This would also enable high frequency operation as it reduces the parasitic capacitances associated with of-the-chip connections.

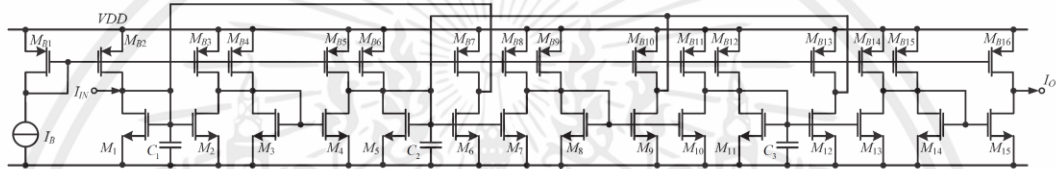


Fig. 13. CMOS current-mode tunable 3rd order all-pole low-pass ladder filter.

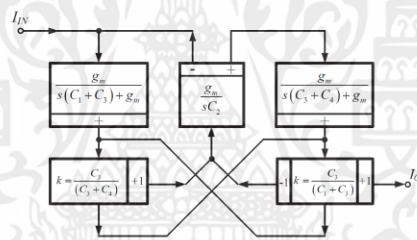


Fig. 14. Third-order Elliptic low-pass ladder filter.

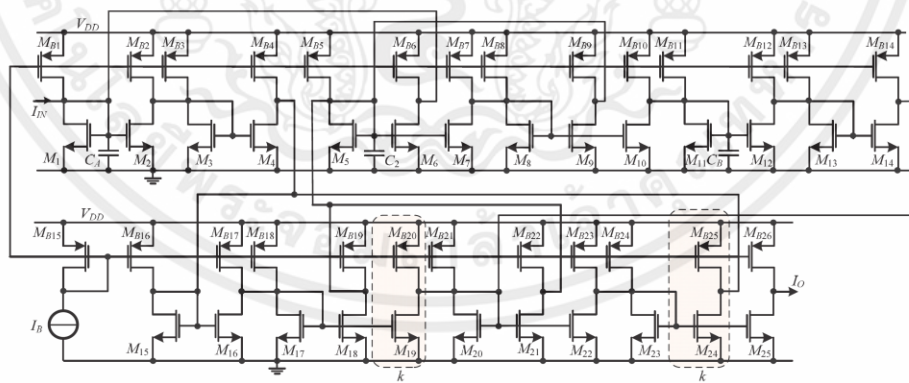


Fig. 15. CMOS current-mode tunable ladder elliptic low-pass filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Effect of Non-idealities

This section shows the influence of the NMOS transistors parasitic elements. Lossy and lossless integrators are the main building blocks of the proposed filters. Therefore, due to the transistor parasitic elements, when the circuits work at relatively high-frequencies their performances may deviate from the theory. Non-ideal analysis of integrators can be performed by using the small signal model of NMOS in Fig. 16.

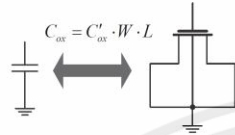


Fig. 16. NMOS capacitor used for the grounded capacitors.

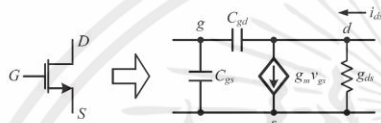


Fig. 17. Small signal model of MOS transistor.

In the small signal model shown in Fig. 17, the input parasitic capacitances C_{gs} and C_{gd} , the conductance g_{ds} and the transconductance g_m are incorporated. The effects of the transistor parasitic components on the performance of the proposed low-pass filters are described in the following subsections.

4.1 Parasitic Capacitances

This section will consider the effect of the parasitic capacitances C_{gd} and C_{gs} , which is important for determining the performance of a CMOS circuit, particularly at high frequencies.

4.1.1 Lossy Integrators

Using the small signal model of MOS transistor of Fig. 17, considering only the parasitic gate-drain capacitance C_{gd} , that affects the inverting and non-inverting lossy integrator, and assuming that the transconductances of MOS transistors are matched, then transfer functions of the lossy integrator of Fig. 2 can be approximated by (24) and (25), respectively

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + s(C_{gd2} + C_1)}, \quad (24)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{g_m + s(3C_{gd2} + C_{gd4} + C_1)}. \quad (25)$$

Similarly, considering the parasitic gate-source capacitance C_{gs} that affects inverting and non-inverting lossy integrator, and assuming that the transconductances of MOS transistors are matched, then the transfer functions of the lossy integrators are given by (26) and (27), respectively

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{g_m + s(C_{gs1} + C_{gs2} + C_1)}, \quad (26)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{g_m + s(C_{gs3} + C_{gs4} + C_{gs1} + C_{gs2} + C_1)}. \quad (27)$$

Equations (23)-(26) show the effect of the parasitic capacitances on the performance of the lossy integrator. In saturation operation, the parasitic gate to drain capacitance C_{gd} and gate to source capacitance C_{gs} will vary anywhere within the ranges depending on the bias conditions involved [22]. For the specific case where it is assumed that the parasitic capacitances $C_{gdi} = C_{gds}$, $C_{gsi} = C_{gs}$ with $C_{gd} = WL_D C_{ox}$ and $C_{gs} = W((2/3)(L+L_D))C_{ox}$, it can be seen that parasitic capacitances C_{gd} and C_{gs} produce a small deviation in the frequency response of the low-pass filter. To prevent significant errors, the capacitance C_1 should be

$$C_1 \gg 4(C_{gs} + C_{gd}). \quad (28)$$

4.1.2 Lossless Integrators

In a similar way, the effect of the parasitic gate-drain and gate-source capacitances C_{gd} and C_{gs} , that affect the inverting and non-inverting lossless integrator of Fig. 5 can be considered. Assuming that the transconductances of MOS transistors are matched, the transfer functions of the lossless integrators affected by the parasitic capacitances C_{gd} and C_{gs} can be expressed as

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{s(4C_{gd3} + 4C_{gd5} + C_{gd2} + C_1)}, \quad (29)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{s(4C_{gd2} + 4C_{gd4} + C_{gd5} + C_1)}, \quad (30)$$

$$\frac{I_{O1}}{I_{IN}} = \frac{-g_m}{s(C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} + C_{gs5} + C_1)}, \quad (31)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{g_m}{s(C_{gs1} + C_{gs2} + C_{gs3} + C_{gs4} + C_{gs5} + C_1)}. \quad (32)$$

Inspection of equations (29)-(32), shows the effect of the parasitic capacitances C_{gd} and C_{gs} on the performance of the lossless integrator. In saturation region, the parasitic gate to drain and source capacitances C_{gd} and C_{gs} will vary anywhere within the ranges depending on the bias conditions involved. To prevent significant errors, the selected capacitance C_1 should be

$$C_1 \gg 9C_{gd} + 5C_{gs}. \quad (33)$$

From (33), it is clear that the errors can be minimized by selecting relatively large values for the capacitance C_1 .

4.2 Parasitic Resistance r_{ds}

The most commonly used small-signal model for a MOS transistor operating in the active region is shown in Fig. 17. The voltage-controlled current source $g_m v_{gs}$ is the most important component of the model, with the transistor current-voltage relationship given by

$$i_{DS} = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}) \quad (34)$$

where λ represents the channel-length modulation effect which is normally less than 1. It produces the slope of drain current as a function of the voltage v_{DS} . The channel conductance will be dependent upon L through λ which is inversely proportional to L ($\lambda \propto 1/L$). The small-signal channel conductance g_{ds} is expressed as

$$\frac{1}{r_{ds}} = g_{ds} = \frac{\partial i_{DS}}{\partial v_{DS}} = \frac{\lambda i_{DS}}{1 + \lambda v_{DS}} \approx \lambda i_{DS}. \quad (35)$$

Equation (35) shows the direct effect of the drain current (bias current) and the channel-length modulation λ on g_{ds} . This would affect the gain and the cut-off frequency of the filter. It is a trade-off situation especially if short-channel ($L < 5 \mu\text{m}$) is used in order to minimize the die area of the chip and its power consumption. However, the resulting small reduction in gain of the filters may be tolerated and can be easily compensated in the succeeding stages.

4.2.1 Lossy Integrators

Using the small signal model of MOS transistor with parasitic conductance and assuming that the transconductances of the MOS transistors are matched, where it is assumed that $g_{m1} = g_m$ and $g_{ds1} = g_{ds}$ the transfer functions of the lossy integrators can be approximated by

$$\frac{I_{O1}}{I_{IN}} \approx - \left(\frac{g_m + g_{ds}}{g_m + 2g_{ds}} \right) \frac{g_m (g_m + 2g_{ds}) / C_1 (g_m + g_{ds})}{s + g_m (g_m + 2g_{ds}) / C_1 (g_m + g_{ds})}, \quad (36)$$

$$\frac{I_{O2}}{I_{IN}} \approx \left(\frac{g_m}{3g_{ds} + g_m} \right) \frac{g_m (g_m + 3g_{ds}) / C_1 (g_m + 2g_{ds})}{s + g_m (g_m + 3g_{ds}) / C_1 (g_m + 2g_{ds})}. \quad (37)$$

Inspection of equation (36) and (37) clearly shows that magnitude and the cut-off frequency of the lossy integrators will be slightly affected by g_{ds} . In order to avoid significant errors in the transfer functions of the lossy integrators the transistor transconductance g_m must satisfy the condition

$$g_m \gg 3g_{ds}. \quad (38)$$

Inspection of equations (10) and (38) shows that significant errors can be avoided if large transistor width W is used.

4.2.2 Lossless Integrators

In a similar way, taking into consideration the effect of the parasitic drain-source conductance g_{ds} , the transfer functions of the inverting and non-inverting lossless integrators can be expressed as

$$\frac{I_{O1}}{I_{IN}} = \frac{-(g_m)^2}{g_m (g_{ds1} + g_{ds3} + g_{ds4} + g_{ds5}) + sC_1 (g_m + g_{ds3} + g_{ds4})}, \quad (39)$$

$$\frac{I_{O2}}{I_{IN}} = \frac{(g_m)^2}{g_m (g_{ds1} + g_{ds2} + g_{ds3} + g_{ds4}) + sC_1 (g_m + g_{ds2} + g_{ds3})}. \quad (40)$$

Equations (39) and (40) show how the parasitic drain to source conductance g_{ds} affects the transfer functions of the lossless integrator. Assuming that the transconductances of MOS transistors are matched equations (39) and (40) reduce to

$$\frac{I_{O1}}{I_{IN}} \approx \frac{-g_m}{4g_{ds} + sC_1} = \left(\frac{-g_m}{4g_{ds}} \right) \frac{4g_{ds}/C_1}{s + 4g_{ds}/C_1}, \quad (41)$$

$$\frac{I_{O2}}{I_{IN}} \approx \frac{g_m}{4g_{ds} + sC_1} = \left(\frac{g_m}{4g_{ds}} \right) \frac{4g_{ds}/C_1}{s + 4g_{ds}/C_1}. \quad (42)$$

From equations (41) and (42), it can be seen that both types of lossless integrator are affected by the parasitic conductance g_{ds} as a parasitic pole at low frequency $\omega_L = 4g_{ds}/C_1$ will appear in each transfer function. However, these effects will be significant at very low-frequency where the working frequency is much less than the frequency of the parasitic pole. Thus, the resulting parasitic poles will provide the lower frequency limitation of lossless integrators and the maximum gain at low frequency $|k| = g_m/4g_{ds}$.

4.3 Transistor Mismatches

This section will consider the effect of transistor mismatches on the performance of the proposed integrator circuits.

4.3.1 Lossy Integrators

Consider the lossy integrator circuit of Fig. 2. Using the small signal model of the MOS transistor of Fig. 17, ignoring the effects of C_{gs} and g_{ds} and assuming that the transconductances of the MOS transistors are g_{m1} and g_{m2} for the transistors M_1 and M_2 respectively, reanalysis shows that the transfer function of the lossy integrator of Fig. 2 can be expressed by (43)

$$\frac{I_{O1}}{I_{IN}} = \frac{-I_{O2}}{I_{IN}} = \left(\frac{-g_{m2}}{g_{m1}} \right) \left(\frac{g_{m1}}{g_{m1} + sC_1} \right). \quad (43)$$

Inspection of equation (43) shows that, due to the transistor mismatch, the low frequency gain of the lossy integrator will deviate from unity as predicted by equations (4) and (5). This effect is not significant and can be easily compensated, if required, by an additional current amplifier or attenuator.

4.3.2 Lossless Integrators

In a similar way the effect of transistors mismatch on the performance of the lossless integrator of Fig. 5 can be studied. Using the small signal model of the MOS transistor of Fig. 17, ignoring the effects of C_{gs} and g_{ds} and assuming that the transconductances of the MOS transistors are g_{m1} for the transistor M_1 and g_{m2} for the transistors M_2 and M_3 respectively, reanalysis shows that the transfer function of the lossless integrator of Fig. 5 can be expressed by (44)

$$\frac{I_{OA}}{I_{IN}} = \frac{-I_{OB}}{I_{IN}} = \frac{-g_{m2}}{g_{m1} - g_{m2} + sC_1} \quad (44)$$

Inspection of equation (44) shows that, due to the transistor mismatch, the lossless integrator becomes a lossy integrator with a very low frequency pole at

$$\omega_p = \frac{g_{m1} - g_{m2}}{C_1} \quad (45)$$

This low-frequency pole will be at zero frequency when $g_{m1} = g_{m2}$ resulting in an ideal lossless integrator. But it may be moved slightly in the right-half plane if $g_{m1} > g_{m2}$ or slightly in the left-half plane if $g_{m1} < g_{m2}$. Thus, in order to avoid any unexpected performance care must be taken to ensure that $g_{m1} \geq g_{m2}$. This can be easily achieved by trimming the bias currents of the transistors.

5. Simulation Results

This section describes the simulation results of the proposed electronically tunable current-mode ladder third-order low-pass filters. PSPICE simulation results are carried out by using TSMC 0.18 μm CMOS technology, +1.5 V power supply. The extracted small signal parameters of NMOS and PMOS are $\lambda_n = 0.1 \text{ V}^{-1}$, $\mu_n C_{ox} = 100 \mu\text{A}/\text{V}^2$, $V_{THn} = 0.37 \text{ V}$ and $\lambda_p = 0.1 \text{ V}^{-1}$, $\mu_p C_{ox} = 25 \mu\text{A}/\text{V}^2$, $V_{THp} = 0.38 \text{ V}$ respectively. The minimization of the aspect ratio W/L is required for obtaining the desired transconductance with minimum error and die area. Thus, the aspect ratios of the transistors used in Figs. 13 and 15 were selected as $W/L = 70 \mu\text{m}/0.36 \mu\text{m}$. The bias currents I_B are provided by using positive current mirrors (PMOS) with identical aspect ratio $W/L = 100 \mu\text{m}/0.36 \mu\text{m}$. The special NMOS transistors (M_{19} and M_{24}) of Fig. 15 use $W/L = 4.8 \mu\text{m}/0.36 \mu\text{m}$ for obtaining the current gain $k = 0.07$. The special PMOS transistors (M_{B20} and M_{B25}) of Fig. 15 use of $W/L = 6.8 \mu\text{m}/0.36 \mu\text{m}$ to achieve the bias current $0.07I_B$.

The simulated DC transfer characteristic of the proposed lossy integrator is shown in Fig. 18. Inspection of Fig. 18 clearly shows that large values of channel length L result in smaller error and DC-offset than the small values of L . However, it is a trade-off between the error and die area minimizations. Using more accurate current mirror structures; for example cascode current mirrors and large values of L would result in smaller errors but a large die area, complex structures and more power consumption will be the price for this reduced error.

In order to verify the operation of the transistors in the saturation region, the values of V_{GS} and V_{DS} were monitored over the bias current range [0.03, 0.3, 3, 30, 300] μA for the transistors M_1 and M_2 of the lossy integrator of Fig. 2 and transistors M_1 - M_5 of the lossless integrator of Fig. 5. In all cases it was found that $V_{DS} > V_{GS} - V_{THn}$ and $V_{GS} > V_{THn}$. Thus, the operation of the transistors in the saturation region is confirmed for the bias current range of interest.

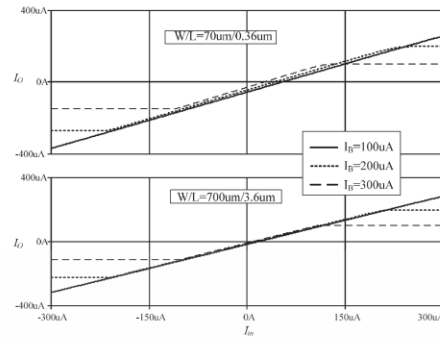


Fig. 18. DC-characteristic of the proposed lossy integrator using different values of W/L .

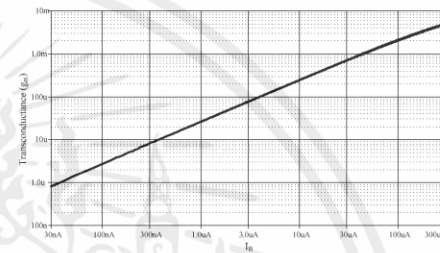


Fig. 19. Transconductance of a MOS transistor against its bias current.

Variations of the transconductance of the MOS transistor were also measured as a function of the bias current of the transistor aspect ratio $W/L = 70 \mu\text{m}/0.36 \mu\text{m}$. The result shown in Fig. 19 confirms the dependence of the transconductance on the bias current.

The frequency response of CMOS lossy integrator of Fig. 2 and CMOS lossless integrator of Fig. 5 are depicted in Fig. 20 and 21, respectively. As explained in Sec. 4.1, the capacitor $C_1 = 10 \text{ pF}$ is selected for minimizing the effect of parasitic capacitances and the bias current I_B was varied in the range [0.03, 0.3, 3, 30, 300] μA . Figures 20 and 21 clearly show that the frequency response can be tuned, using the bias current, over a wide range of frequencies (10 kHz to 100 MHz). From Fig. 21, the low-frequency current gain of the lossless integrator is around 25 dB. This agrees well with the theory presented in Sec. 4.2.2. Inspection of Fig. 21 clearly shows that there is a parasitic zero in the gain-frequency characteristic. This parasitic zero can be attributed to the parasitic output resistances of the MOSFETs which is inversely proportional to the transistor length L . Thus, for $L = 0.36 \mu\text{m}$ and bias current $I_B = 300 \mu\text{A}$ the output resistance of the transistor will be approximately 33 k Ω . This is a relatively low value and would result, in conjunction with the transistor parasitic capacitance, in a parasitic zero in the transfer characteristic. However, as shown in Fig. 21, this parasitic zero manifests itself at relatively high frequencies outside the frequency ranges of interest.

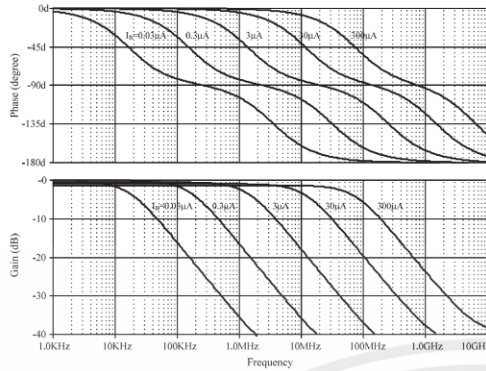


Fig. 20. Magnitude and phase responses of CMOS lossy integrator of Fig. 2 by varying bias current I_B .

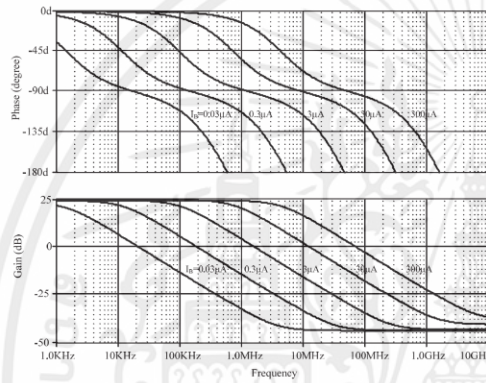


Fig. 21. Magnitude and phase responses of CMOS lossless integrator in Fig. 5 by varying bias current I_B .

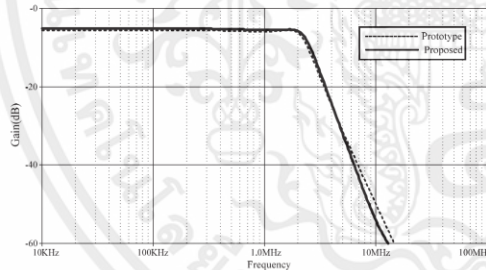


Fig. 22. Comparison of proposed all-pole LPF with RLC prototype ($I_B = 2.7 \mu A$).

The specifications of the prototype third-order filter with Chebyshev response are as follows: Cut-off frequency = 2 MHz, $A_{max} = -6$ dB and passband ripple = 0.1 dB [27]. The RLC prototype of Fig. 7 was simulated using the following components, $C_1 = C_3 = 128$ nF, $L_2 = 88$ nH, $R_S = R_L = 1 \Omega$ and the proposed all-pole filter of Fig. 13 was simulated using the following components, the capacitors $C_1 = C_3 = 12$ pF ($W/L = 40 \mu m / 40 \mu m$), $C_2 = 8$ pF ($W/L = 32 \mu m / 32 \mu m$) and bias current $I_B = 2.7 \mu A$. The simula-

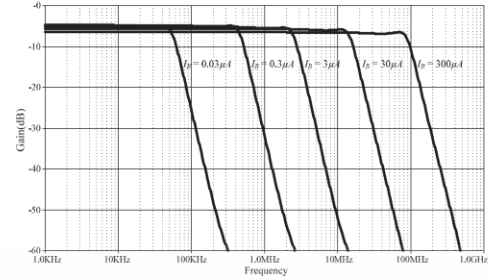


Fig. 23. Magnitude response of proposed third-order all-pole LPF as a function of the bias current I_B .

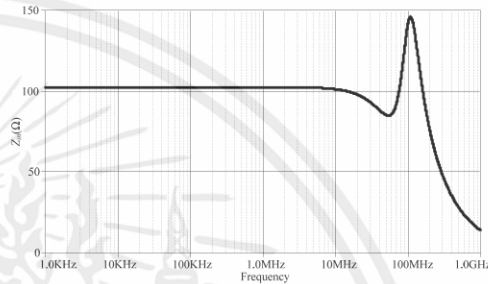


Fig. 24. Input impedance of the proposed all-pole low-pass filter at bias current $I_B = 300 \mu A$.

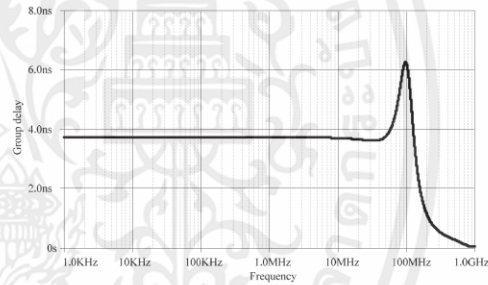


Fig. 25. Group delay of the proposed all-pole low-pass filter at bias current $I_B = 300 \mu A$.

tion results obtained from the RLC prototype filter of Fig. 7 and the proposed all-pole filter in Fig. 13 is shown in Fig. 22. It can be seen that the frequency response of the proposed filter and the RLC prototype are very close but the slope of the stop band has slight deviations. The electronically-tuned feature of the proposed third-order all-pole low-pass filter can be provided by adjusting the bias current I_B [0.03, 0.3, 3, 30, 300] μA . The frequency response of the filter can be tuned over a wide range of frequencies (10 kHz and 100 MHz) as shown in Fig. 23. It can be seen that the results are in agreement with the theoretical predictions.

Figure 24 shows that the variation of the input impedance at a bias current $I_B = 300 \mu A$. Inspection of Fig. 24 shows that the input impedance is around 100 Ω along the pass-band frequency of around 100 MHz and becomes

almost zero within the stop-band. Thus, the input impedance is relatively low over a wide range of the pass band. Figure 25 shows the group delay of the proposed all-pole low-pass filter. It can be seen that the group delay is flat along the pass-band with a value around 4 ns.

The specifications of the prototype third-order Elliptic filter are as follows: the cut-off frequency = 2MHz, $A_{max} = -6$ dB, $A_{min} = -35$ dB, and passband ripple = 0.1 dB [27]. The Elliptic prototype low-pass filter of Fig. 9 was simulated using the following components: $C_1 = C_4 = 120$ nF, $C_3 = 11.4$ nF, $L_2 = 102.8$ nH and $R_S = R_L = 1 \Omega$. The proposed Elliptic filter of Fig. 15 was simulated using the following components: $C_4 = C_B = (C_1 + C_3) = (C_3 + C_4) = 8.5$ pF ($W/L = 50 \mu\text{m} / 50 \mu\text{m}$) and $C_2 = 7.5$ pF ($W/L = 45 \mu\text{m} / 45 \mu\text{m}$) and bias current $I_B = 5 \mu\text{A}$. The simulation results obtained from the proposed Elliptic LPF and the RLC prototype are depicted in Fig. 26. It can be seen that the magnitude response of the proposed Elliptic filter is quite similar to that of the prototype Elliptic filter but the stop-band magnitude is slightly different.

The electronically-tuned feature of the proposed third-order Elliptic low-pass filter can be provided by adjusting the bias current I_B [0.03, 0.3, 3, 30, 300] μA . The frequency response of the filter can be tuned over a wide frequency range as shown in Fig. 27. It can be seen that the results are in good agreement with the theoretical predictions.

Figure 28 shows the variation of the input impedance of the Elliptic low-pass filter. The input impedance with bias current $I_B = 300 \mu\text{A}$ is obtained around 100Ω along

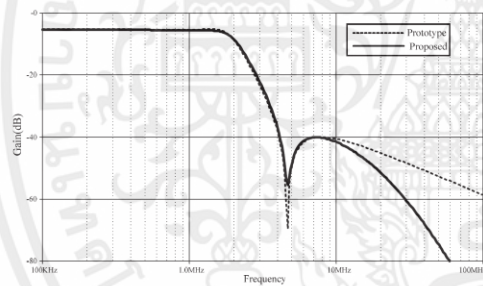


Fig. 26. Comparison of the proposed Elliptic LPF with the RLC prototype.

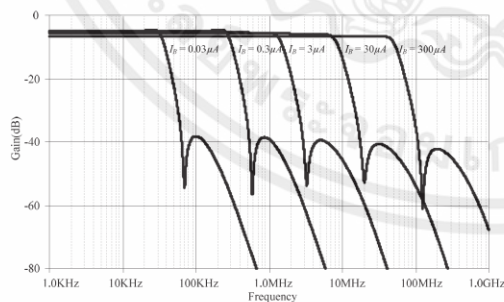


Fig. 27. Magnitude response of the proposed third-order Elliptic LPF as a function of the bias current I_B .

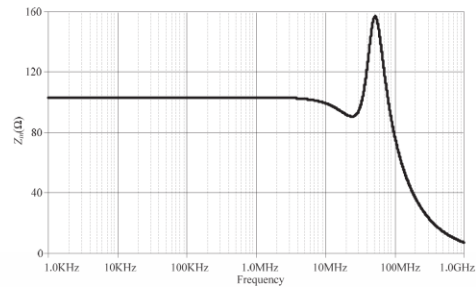


Fig. 28. Input impedance of the proposed Elliptic low-pass filter at bias current $I_B = 300 \mu\text{A}$.

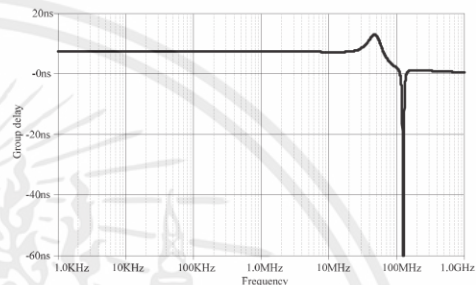


Fig. 29. Group delay of the proposed Elliptic low-pass filter at bias current $I_B = 300 \mu\text{A}$.

the pass-band frequency of around 100 MHz and becomes almost zero in the stop-band. Thus, the input impedance is relatively low over a wide range of the pass band. Fig. 29 shows the group delay of the proposed Elliptic low-pass filter at bias current $I_B = 300 \mu\text{A}$. It can be seen that the group delay is flat along the pass-band with a value around 4 ns.

The performance of the proposed third-order all-pole and Elliptic low-pass filters can also be verified by applying multi tones (10, 40, 70, 100, 130, 160, 190 and 220 MHz) to the filters at the bias current equal to 300 μA . From Figs. 30 and 31, it appears that the out-of-band tones (> 100 MHz) have been removed and only the in-band tones (< 100 MHz) can be obtained at the output. Furthermore, it can be seen that, with the same order of the filter, the characteristic of the Elliptic filter is better than that of the all-pole counterpart especially in removing signals in the stop-band.

The total harmonic distortion (THD) of the proposed third-order all-pole and Elliptic low-pass filters was measured and the results are shown in Fig. 32 and 33, respectively. The results were obtained by applying two sinusoids with variable amplitudes at two frequencies (1 MHz and 10 MHz) with bias current $I_B = 300 \mu\text{A}$. The THD at 10 MHz of the proposed filters are found to be below 0.7% and 0.6%, respectively.

The performance of the proposed filters can be verified by applying the in-band signal into the filters. Both of the filters are setting the frequency cut-off at 100 MHz based on 300 μA of the bias current. Sinusoidal signals of

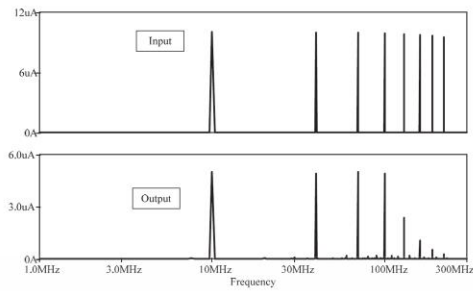


Fig. 30. Multi tones measurement of the proposed third-order all-pole low-pass filter at bias current $I_B = 300 \mu A$.

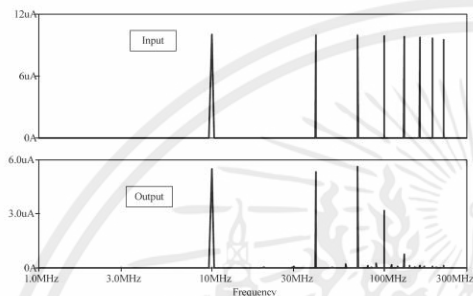


Fig. 31. Multi tones measurement of the proposed third-order Elliptic low-pass filter at bias current $I_B = 300 \mu A$.

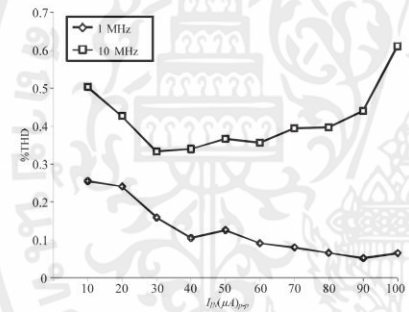


Fig. 32. THD of the proposed third-order all-pole low-pass filter at bias current $I_B = 300 \mu A$.

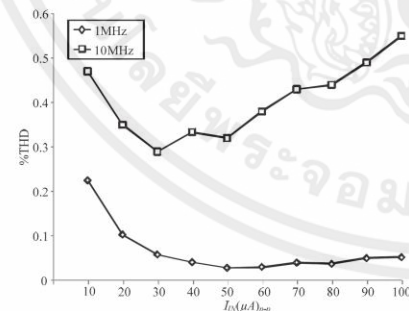


Fig. 33. THD of the proposed third-order Elliptic low-pass filter at bias current $I_B = 300 \mu A$.

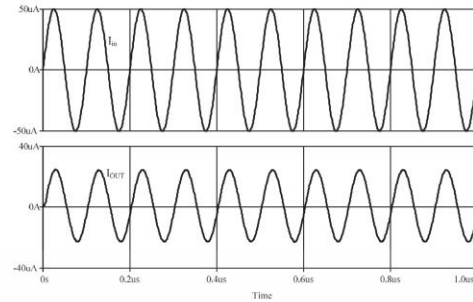


Fig. 34. Input and output of 10 MHz waveforms of Chebyshev LPF at bias current $I_B = 300 \mu A$.

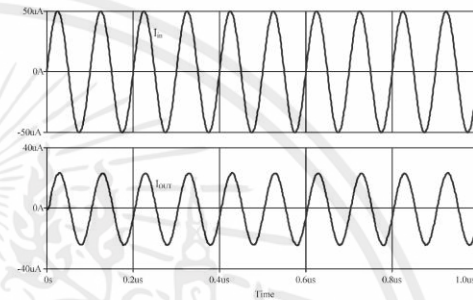


Fig. 35. Input and output of 10 MHz waveforms of the Elliptic LPF at bias current $I_B = 300 \mu A$.

10 MHz with $30 \mu A_{p-p}$ are applied to the both filters. It can be seen that the sinusoidal signal can be obtained at the outputs of the proposed Chebyshev and Elliptic filters as shown in Fig. 34 and 35, respectively. It is evidently found that in-band signal can be passed the proposed filters with low distortion.

Transistor mismatches are the major sources of errors in the proposed MOSFET based filters. To investigate the effect of transistor mismatches on the performance of the proposed filters Monte Carlo analysis was performed. A hundred of samples are run for verifying the frequency response. The 2% uniform deviation of NMOS transistors surface mobility μ with bias current $I_B = 300 \mu A$ is assumed. The results are shown in Figs. 36 and 37. Inspection of Fig. 36 shows that the cutoff frequency of the filter deviates from its nominal value by about ± 2 MHz which corresponds to $\pm 2\%$.

Inspection of Fig. 37 shows that the cut-off frequency of the Elliptic filter deviates from its nominal value by about ± 2 MHz which corresponds to $\pm 2\%$ error. In order to investigate the feasibility of integrated circuit fabrication and to estimate the area on the chip of the proposed circuits, the physical layout of the proposed low-pass Chebyshev and Elliptic filters were obtained and are shown in Figs. 38 and 39 respectively. The resulting dimensions of these layouts are approximately $200 \mu m \times 240 \mu m$ and $210 \mu m \times 360 \mu m$, for Chebyshev and Elliptic filters, respectively.

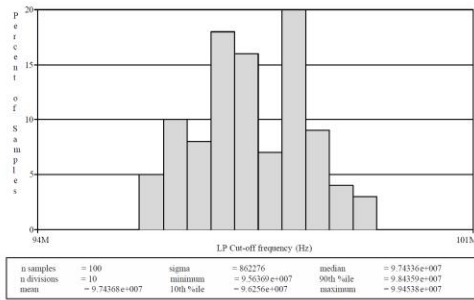


Fig. 36. Monte Carlo analysis of the cut-off frequency of the all-pole low-pass filter based on 2% surface mobility deviations of the NMOS transistors (M_1 - M_{15}) with $I_B = 300 \mu A$.

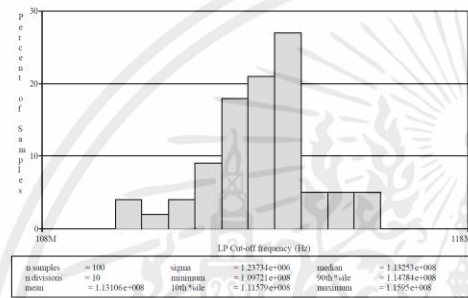


Fig. 37. Monte Carlo analysis of the cut-off frequency of the Elliptic low-pass filter based on 2% surface mobility deviations of the NMOS transistors (M_1 - M_{25}) with $I_B = 300 \mu A$.

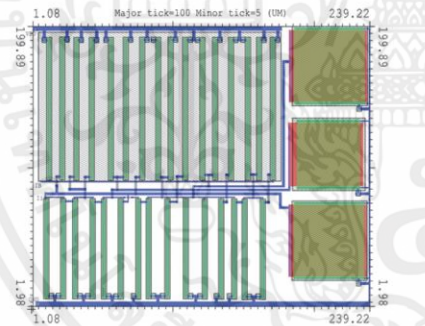


Fig. 38. The physical layout of the low-pass Chebyshev filter.

Table 1 shows a comparison of the performance of the proposed all-pole and Elliptic third-order ladder low-pass filters with previously published filters. Most of the previous works cannot be operated at relatively very high frequencies and have no electronic tunability feature because of the limitation of the used active devices. Most of the previous works use excessive number of transistors and relatively large power supply voltages. It can be seen that the proposed filters use a low number of components without any externally connected resistors compared with previously published works. Table 1 shows that electronic

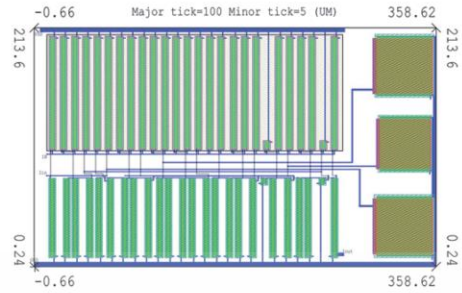


Fig. 39. The physical layout of the Elliptic low-pass filter.

Filters	Power supply	Frequency range	Number of transistors	Use of resistors	Electronic Tunability	Power Dissipation ($I_B=100\mu A$)	THD
[7]	+1.5 V	>10 MHz	146	No	Yes	6.2 mW	<1%
[8]	+2 V	<100 MHz	154	No	Yes	NA	NA
[9]	+5 V	<10 MHz	104	No	No	14 mW	<1%
[10]	+5 V	<100 MHz	72	No	No	NA	NA
[11]	+3 V	<10 MHz	123	No	No	NA	NA
[12]	+1 V	<10 MHz	123	No	No	NA	NA
[13]	+1 V	<10 MHz	85	Yes	No	NA	NA
[14]	+2.5 V	<10 MHz	90	Yes	No	NA	NA
[15]	+1.8 V	<10 MHz	171	No	No	NA	NA
[16]	+2.5 V	<10 MHz	84	Yes	No	NA	NA
Proposed1	+1.5 V	<100 MHz	31	No	Yes	3 mW	<1%
Proposed2	+1.5 V	<100 MHz	53	No	Yes	5 mW	<1%

Tab. 1. Comparison of previous works with the proposed filters.

tunability, low power dissipation (at same bias current) and operation at relatively very high frequencies are the most outstanding features of the proposed filters.

6. Conclusion

CMOS third-order current-mode all-pole and Elliptic low-pass filters based on RLC ladder prototype have been proposed. The filters are built around lossy and lossless integrators, current splitters and grounded capacitors. They enjoy wide tuning range of the frequency responses in the range 10 kHz and 100 MHz by using bias current from 0.03 μA to 300 μA . The circuits use only single +1.5 V DC power supply with dynamic power consumption around 8.9 mW and 16.9 mW (300 μA bias current) and occupied 200 $\mu m \times 240 \mu m$ and 210 $\mu m \times 360 \mu m$, for Chebyshev and Elliptic filters, respectively. The proposed circuits enjoy low complexity structures, with low number of components, low-voltage, low THD, relatively low input impedance and high-frequency operation. All the proposed filters are suitable for integration and can be used for high frequencies up to the VHF range.

References

- [1] RAUT, R., SWAMY, M. N. S. *Modern Analog Filter Analysis and Design*. Weinheim (Germany): Wiley-VCH Verlag GmbH & Co. KGaA, 2010. ISBN: 9783527407668
- [2] RAUT, R., GUO, N. Low power wideband voltage and current mode second-order filters using wideband CMOS transimpedance network. In *Proceedings of the 40th Midwest Symposium on*

- Circuits and Systems MWSCAS*, Aug. 1997, vol. 1, p. 241–244. DOI: 10.1109/MWSCAS.1997.666078
- [3] FABRE, A., DAYOUB, F., DURUISSEAU, L., KAMOUN, M. High input impedance insensitive second-order filters implemented from current conveyors. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Dec. 1994, vol. 41, no.12, p. 918–921. DOI: 10.1109/81.340859
- [4] LUCK, J., SWANSON, J. G. First-order, switched-capacitor, low-pass filter implemented with GaAs insulated-gate FET switches. *Electronics Letters*, Oct. 1990, vol. 26, no. 22, p. 1843–1845. DOI:10.1049/el:19901186
- [5] BANERJEE, K., RANJAN, A., PAUL, S. K. New first order multifunction filter employing operational transresistance amplifier. In *Proceedings of 5th International Conference on Computers and Devices for Communication (CODEC 2012)*, Dec. 2012, p. 1–3. DOI: 10.1109/CODEC.2012.6509218
- [6] CHEN, W. K. *The Circuits and Filters Handbook*. A CRC Handbook Published in Cooperation with IEEE Press, 1995. ISBN: 9781420055276
- [7] SA-AD, S., CHAYTHONG, D. A high frequency current-mode ladder filter using multiple output lossless integrator. In *Proceedings of International Symposium on Intelligent Signal Processing and Communications Systems, ISPACS 2008*, Feb. 2009, p. 1–4. DOI:10.1109/ISPACS.2009.4806743
- [8] JIRASEREE-AMORNKUN, A., FUJII, N., SURAKAMPONTORN, W., Realization of electronically tunable ladder filters using multi-output current controlled conveyors. In *Proceedings of the International Symposium on Circuits and Systems 2003, ISCAS'03*, May 2003, vol. 1, p. 541–544. DOI:10.1109/ISCAS.2003.1205620
- [9] ZELE, R. H., ALLSTOT, D. J., FIEZ, T. S. Fully balanced CMOS current-mode circuits. *IEEE Journal of Solid-State Circuits*, 1993, vol. 28, no. 5, p. 569–575. DOI: 10.1109/4.229398
- [10] ORALKAN, O., KARSILAYAN, A. I., TAN, M. A. Design of all-pole low-pass ladder filters using current-mode damped integrators. In *Proceedings of the International Symposium on Circuits and Systems, ISCAS'96*, May 1996, vol. 1, p. 266–269. DOI: 10.1109/ISCAS.1996.539880
- [11] WU, J., EL-MASRY, E. A new approach of design of current-mode filters. In *Proceedings of International Symposium on Circuits and Systems, ISCAS'97*, Jun. 1997, vol. 1, p. 317–320. DOI: 10.1109/ISCAS.1997.608721
- [12] WU, J., EL-MASRY, E. Design of current-mode ladder filters using coupled-biquads. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Nov. 1998, vol. 45, no. 11, p. 1445–1454. DOI: 10.1109/82.735356
- [13] TANGSRIRAT, W., FUJII, N., SURAKAMPONTORN W. Current-mode leapfrog ladder filters using CDBAs. In *Proceedings of International Symposium on Circuits and Systems, ISCAS 2002*, 2002, vol. 5, p. 57–60. DOI: 10.1109/ISCAS.2002.1010639
- [14] YAN-HUI, X., XUE, L. Active simulation of passive leapfrog ladder filters using DVCCs. In *Proceedings of International Conference on Industrial Technology, ICIT 2008*, Apr. 2008, p. 1–5. DOI:10.1109/ICIT.2008.4608606
- [15] YAN-HUI, X., PENG, H. Realization of low-pass and band-pass leapfrog filters using OAs and CCCIs. In *Proceedings of International Conference Management and Service Science, MASS'09*, Sep. 2009, p. 1–4. DOI: 10.1109/ICMSS.2009.5303743
- [16] WU, J., EL-MASRY, E. Current-mode ladder filters using multiple output current conveyors. *IEE Circuits, Devices and Systems*, 1996, vol. 143, no. 4, p. 218–222. DOI: 10.1049/ip-cds:19960490
- [17] YUCE, E., MINAEI, S. On the realization of high-order current-mode filter employing current controlled conveyors. *Computers and Electrical Engineering*, May 2008, vol. 34, no. 3, p. 165–172. DOI:10.1016/j.compeleceng.2007.04.001
- [18] YUCE, E., MINAEI, S. ICCII-based universal current-mode analog filter employing only grounded passive components. *Analog Integrated Circuits and Signal Processing*, Feb. 2009, vol. 58, no. 2, p. 161–169. DOI: 10.1007/s10470-008-9225-2
- [19] SINHA, P. K., SAINI, A., KUMAR, P., MISHRA, S., CFOA based low pass and high pass ladder filter—a new configuration. *Circuits and Systems*, 2014, vol. 5, no. 12, p. 293–300. DOI: 10.4236/cs.2014.512030
- [20] PROMMEE, P., WONGPROMMOON, N. Tunable CMOS-based current mode fifth-order ladder low-pass filter. In *Proceedings of the 36th International Conference on Telecommunications and Signal Processing (TSP)*, Jul. 2013, p. 397–401. DOI: 10.1109/TSP.2013.6613961
- [21] ANANDA MOHAN, P. V. *Current-Mode VLSI Analog Filters: Design and Applications*. Birkhauser Boston, 2003. ISBN: 9781461200338
- [22] DELIYANNIS, T., SUN, Y., FIDLER, J. K. *Continuous-Time Active Filter Design*. London (UK): CRC Press, 1999. ISBN: 9780849325731
- [23] SCHAUMANN, R., GHAUSI, M. S., LAKER, K. R. *Design of Analog Filters: Passive, Active RC and Switched Capacitor*. Prentice Hall, 1995. ISBN: 9780132002882
- [24] ALLSTOT, D. J., BRODERSEN, R. W., GRAY, P. R. Fully-integrated high-order NMOS sampled-data ladder filters. In *Proceedings of IEEE Intl. Solid-State Circuits Conf.* New York, 1978, vol. 21, p. 82–83. DOI: 10.1109/ISSCC.1978.1155789
- [25] PENNEY, W. M., LAU, L. *MOS Integrated Circuits, Theory, Fabrication, Design, and Systems Applications of MOS LSI*. American Micro-Systems Inc., 1972. ISBN: 9780442203528
- [26] BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation*. Wiley - Interscience, 2008. ISBN: 9780470881323
- [27] HUELSMAN, L. P. *Active and Passive Analog Filter Design*. McGraw-Hill Inc., International Edition, 1993. ISBN: 9780070308602

About the Authors...

Terdsak KUNTO received B. Ind. Tech. degree in Telecommunications from the Faculty of Engineering, King Mongkut's University of Technology North Bangkok (KMUTNB), Bangkok, Thailand in 2009, and M.Eng. degree in Telecommunications Engineering from the Faculty of Engineering, King Mongkut's Inst. of Technology Ladkrabang (KMITL), Bangkok, Thailand in 2013. He is now pursuing a doctoral degree in Electrical Engineering, KMITL.

Pipat PROMMEE received his B. Ind. Tech. degree in Telecommunications, M.Eng. and D.Eng. in Electrical Engineering from the Faculty of Engineering, King Mongkut's Inst. of Technology Ladkrabang (KMITL), Bangkok, Thailand in 1992, 1995 and 2002, respectively. He was a senior engineer of CAT telecom plc. between 1992 and 2003. Since 2003, he has been a faculty member of KMITL. He is currently an associate professor at the Telecommunications Engineering Dept. at KMITL. He is author or co-author of more than 60 publications in journals and proceedings of international conferences. His research interests are focusing in analog signal processing,

analog filter design and CMOS analog integrated circuit design. He is a member of IEEE, USA.

Muhammad Taher ABUELMA'ATTI was born in Cairo, Egypt, in 1942. He received the B.Sc. degree in Electrical Engineering from the University of Cairo, Cairo, Egypt, in 1963, and the Ph.D. degree and the Doctor of Science degree, both from the University of Bradford, Bradford, England, in 1979 and 1999, respectively. From 1963 to 1967, he was at the Military Technical College, Cairo, as a Teaching Assistant. He was with the Iron and Steel Company in Helwan, Cairo, from 1967 to 1973 as a Senior Electrical Engineer. From 1973 to 1976, he was with the College of Engineering, University of Riyadh, Riyadh, Saudi Arabia, as a Teaching Assistant. From 1980 to 1981, he was with the Faculty of Engineering, University of Khartoum, Khartoum, Sudan, as an Assistant Professor, and from 1981 to 1982 he was with the College of Engi-

neering, King Saud University, Riyadh, Saudi Arabia, as an Assistant Professor. In 1982, he joined the College of Engineering, University of Bahrain and in 1987 he became an Associate Professor. In 1991 he joined the College of Engineering Sciences, King Fahd University of Petroleum and Minerals, Dhahran, Saudi Arabia, where he became a Full Professor in January 1995 and in April 2008 he became a Distinguished University Professor. In April 2009, he was appointed as an Honorary Visiting Professor at the Department of Electronic and Electrical Engineering, University of Manchester, Manchester, U.K. He is the author or coauthor of more than 600 journal articles and technical presentations. According to Scopus (Elsevier) his current "h-index" is 23. His research interests include problems related to analysis and design of nonlinear electronic circuits and systems, analog integrated circuits, and active networks design.



เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS-Based Current-Mode Tunable Ladder Elliptic Low-Pass Filter

Pipat Prommee, Terdsak Kunto, Montri Somdunyanok, and Tanakrit Prommee

Abstract—This paper presents a tunable CMOS-based third-order low-pass filter that can be operated in high frequency. The proposed low pass filter is designed based on Elliptic Ladder low-pass filter prototype. The proposed filter structure is constructed by using two lossy integrators and a lossless integrator. The proposed filter comprises only 18 transistors. The frequency responses of low-pass filter can be electronically tuned between 10kHz and 100MHz through bias current from 0.01 μ A to 100 μ A. The circuit used 1.5 V power supply with 3mW power consumption at 100 μ A bias current. Using of the grounded capacitors which is suitable for further integration. THD of low-pass filter can be obtained less than 1% along the operating frequencies. PSPICE simulation results are carried out to confirm the theory by using TSMC 0.18 μ m technology.

Keywords—Ladder, High frequency, Elliptic, low-pass, CMOS.

I. INTRODUCTION

PRESENTLY, integrated circuit for communication are rapidly developed for not only reducing die areas, but also increasing their performances. CMOS technology is used in designing and developing many types of analog signal processing circuit including analog filters. Low-pass filters were developed in low-order, such as, first-order [1] and second-order [2]. It is well known that the performance of higher-order low-pass filters is better than lower order filters. Higher order low-pass filters were synthesized based on RLC prototype [3-5], but they could be operated in only voltage-mode. It is clear that current-mode has more benefits than voltage-mode, such as, has higher frequency response, smaller die area and use lower power supply. Current mode high order low-pass filters were presented [6-7].

Elliptic high-order ladder low-pass filter were presents based on Op-amps and MOS transistors [8-11] with complex structures. OTAs [12] based was presented, but there are many grounded capacitors. Multiple outputs current conveyer (MOCC) [13] with resistors was presented, but it suffered

Manuscript received February 4, 2014.

P. Prommee is with the Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand, (corresponding author Tel: +66 2 3298324, Fax: +66 2 3298325, Email: pipat@telecom.kmit.ac.th).

T. Kunto is with the Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand, (Email: terdzaa@hotmail.com).

M. Somdunyanok is with the Department of Electrical Engineering, Faculty of Engineering, Rajamangala University of Technology Rattanakosin (RMUTR), Phuthamonthon, Nakhon Pathom 73170, Thailand (corresponding author Tel: +66 28894585-7 Ext 2660 Fax: +66 28894585-7 Ext 2621; E-mail: montri.som@rmutr.ac.th).

T. Prommee is with the Department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand, (Email: projectosk128@gmail.com).

from a large number of passive devices.

Due to the drawbacks of the previous circuits, tunable Elliptic third-order current-mode ladder Low-pass Filter Based on CMOS Technology is proposed in this paper. This filter is realized by 1 lossy integrator, 2 lossless integrators, 1 differentiator circuits and 4 grounded capacitors. The proposed circuit is operated in transistor-level for achieving the benefits, such as, low component counts, low-voltage, low-power, and wide-range electronic tuning features. The circuit consists of 25 MOS transistors and 4 grounded capacitors which is suitable for integrations. The simulation results are agreed well with the theory.

II. A. CMOS-BASED INTEGRATORS

Figure 1 shows lossy integrator block diagram that has the same outputs which are Y_1 and Y_2 . The transfer function can be expressed as

$$\frac{Y_1}{X} = \frac{Y_2}{X} = -\frac{A}{s+A} \quad (1)$$

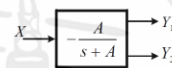


Fig. 1 Lossy integrator block diagram

Lossless integrator can be easily realized by adding inverting gain to the output Y_1 , then feeding back to the input as shown in Fig.2. From this concept, the non-inverting and inverting lossless integrator transfer functions are obtained at ports Z_1 and Z_2 , respectively, as

$$\frac{Z_1}{X} = \frac{A}{s} \quad (2)$$

$$\frac{Z_2}{X} = -\frac{A}{s} \quad (3)$$

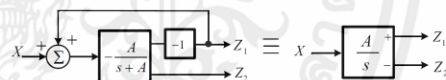


Fig. 2 Lossless integrator block diagram

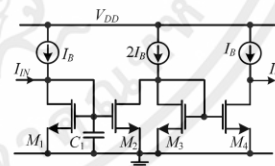


Fig. 3 CMOS-based lossy integrator

Figure 3 shows the realization of CMOS-based lossy integrator by using the building block in Fig.1. Small signal model of Fig.3 and its block diagram can be written as Fig.4. Assume that all transconductances are identical, then uses KCL analysis in Fig.4; hence the current transfer function can be expressed as

$$\frac{I_{O_1}}{I_{IN}} = \frac{g_{m2}g_{m4}/g_{m3}}{sC_1 + g_{m1}} \quad (4)$$

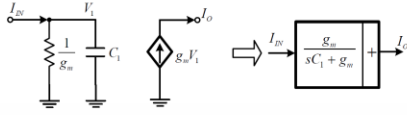


Fig. 4 Small signal model of Fig.3 and its block diagram

Figure 5 shows the realization of lossless integrator from the synthesis in Fig.2 by cascading lossy integrator (M_1 , M_2 and M_3) with inverting gain (M_4 and M_5), then feeding back the output current to the input. There are two current outputs I_{O_1} (port Z_2) and I_{O_2} (port Z_1) at M_2 and M_6 , respectively. By using KCL analysis, the current transfer functions of small signal model in Fig.6 can be written as

$$\frac{I_{O_1}}{I_{IN}} = \frac{-g_{m2}g_{m4}}{sC_1g_{m4} - g_{m3}g_{m5} + g_{m1}g_{m4}} \quad (5)$$

$$\frac{I_{O_2}}{I_{IN}} = \frac{g_{m3}g_{m6}}{sC_1g_{m4} - g_{m3}g_{m5} + g_{m1}g_{m4}} \quad (6)$$

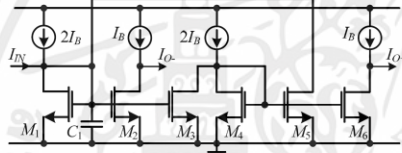


Fig. 5 CMOS-based lossless integrator

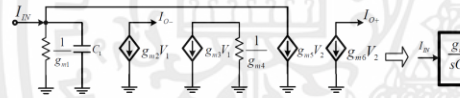


Fig. 6 Small signal model of Fig.5 and its block diagram

Where, g_{mi} is transconductance of transistor i . Assume that transistor $M_1 - M_6$ are ($g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_{m5} = g_{m6} = g_m$), the current transfer functions of Fig.6 can be expressed as

$$\frac{I_{O_1}}{I_{IN}} = -\frac{g_m}{sC_1} \quad (7)$$

$$\frac{I_{O_2}}{I_{IN}} = \frac{g_m}{sC_1} \quad (8)$$

where $g_m = \sqrt{2\mu C_{ox}(W/L)I_B}$ which μ , C_{ox} , W and L are surface mobility, channel oxide capacitance, channel width and channel length of MOS transistor, respectively. It can be seen that transconductance can be tuned by adjusting bias current I_B .

III. ELLIPTIC THIRD-ORDER LADDER LOW-PASS FILTER SYNTHESIS

Third-order low-pass filter is realized from the proposed CMOS-based lossless, lossy integrator and lossless differentiator by simulating from using LC ladder filter Elliptic prototype. Using doubly terminated LC ladder concept in realization, the filter prototype is shown in Fig.11 and its current transfer function is depicted in (9).

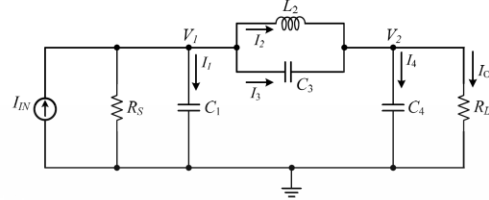


Fig. 7 Elliptic third-order ladder low-pass filter prototype

$$\frac{I_O}{I_{IN}} = \frac{s^2(R_L L_2 C_3) + R_S}{s^3(R_S R_L L_2 C_1 C_3 + R_S R_L L_2 C_3 C_4 + R_S R_L L_2 C_1 C_4) + s^2(R_L L_2 C_3 + R_L L_2 C_4 + R_S L_2 C_3 + R_S L_2 C_1) + s(R_S R_L C_1 + R_S R_L C_4 + L_2) + (R_L + R_S)} \quad (9)$$

Considering current and voltage of the third-order ladder low-pass filter in Fig.11, their relationship by using KCL can be written as

$$I_1 = I_{IN} - V_1/R_S - I_2 - I_3, \quad (10)$$

$$I_3 = (V_1 - V_2)sC_3, \quad (11)$$

$$V_1 = \frac{I_1}{sC_1} \quad (12)$$

$$V_1 = \frac{I_{IN} - I_2 - V_1/R_S}{s(C_1 + C_3)} + V_2 \frac{C_3}{C_1 + C_3} \quad (13)$$

$$I_4 = I_2 + I_3 - I_O, \quad (14)$$

$$V_2 = \frac{I_4}{sC_4} \quad (15)$$

$$V_2 = \frac{I_2 - I_O}{s(C_3 + C_4)} + V_1 \frac{C_3}{C_3 + C_4} \quad (16)$$

Considering (10)-(16), the modified RLC prototype can be rewritten in Fig.8. The capacitor C_3 is moved to the new two capacitors ($C_1 + C_3$) and ($C_3 + C_4$) connecting with two dependent sources.

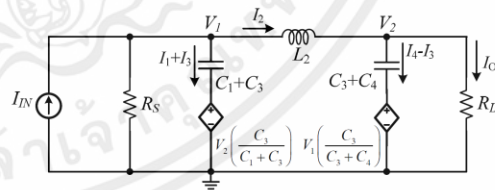
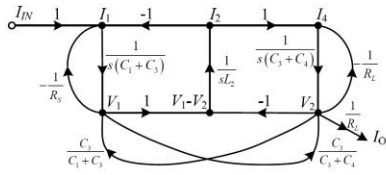


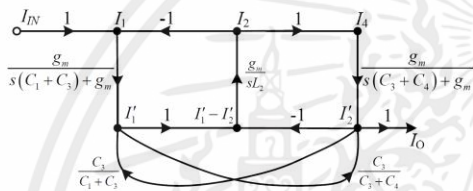
Fig. 8 Modified Elliptic third-order ladder low-pass filter prototype



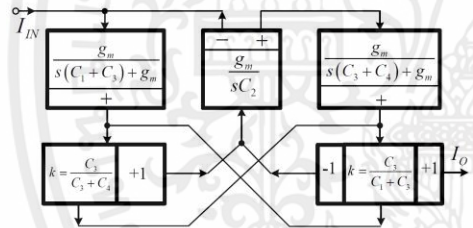
g. 9 Signal flow graph of Elliptic Third-order ladder low-pass filter

Signal flow graph (SFG) can be written from Fig.8 in the s domain of current and voltage variables as shown in Fig.9. The current-mode cannot be directly applied by using the Fig.8. The voltage variables need to be converted to current variables. Transforming the voltage variables to the current variables, the transconductance (g_m) are applied in particular places. The variables $R_s=R_l=1/g_m$ are supposed for the doubly terminated realization method. Lossless integrators with its positive feedback in left-hand and right-hand sides are realized by lossy integrators. The finalized current-mode SFG is shown in Fig.10.

Considering in Fig.10, currents I'_1 and I'_2 are obtained by



10 Normalized current-mode signal flow graph of Fig.9



11 Proposed current-mode Tunable Ladder Elliptic Low-pass Filter

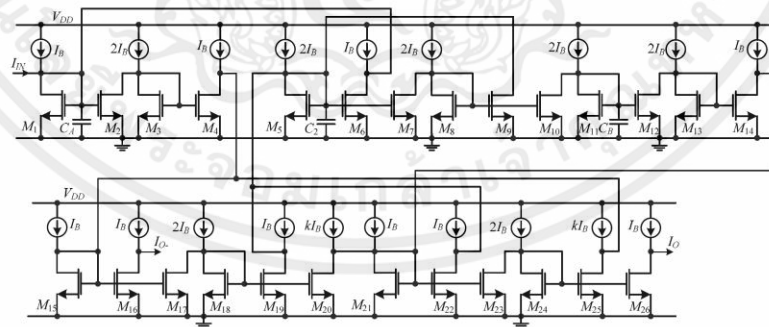


Fig. 12 CMOS-based current-mode Tunable Ladder Elliptic Low-pass Filter

feeding through current gain (k) which is a ratio of capacitors across of each others. The current-mode approach is well-known that the easily sum and subtract implementation by connecting their currents together. Elliptic third-order ladder low-pass filter can be implemented by using block diagrams of 2 lossy integrators and a lossless integrator. Two multiple outputs (+, -, k) current splitters are used to provide their currents across I'_1 and I'_2 . It can be seen that the proposed circuit uses only 3 capacitors while the prototype RLC filter uses 4 capacitors. The current-gain can be easily realized by defining the aspect ratio of a particular transistor and its bias current. Using the SFG in Fig.10, the design of third-order Elliptic filter can be realized based on block diagram of lossy, lossless integrators and current splitter as shown in Fig.11.

IV. SIMULATION RESULTS

In this paper, the results using PSpice have been carried out to confirm the performances of proposed third-order Elliptic LPF circuit. The prototype filter in Fig.7 uses the following components, $C_1=8.2\mu\text{F}$, $C_2=2.2\mu\text{F}$, $C_3=8.2\mu\text{F}$ and $L_2=8.2\mu\text{H}$ with $R_s=R_l=1\Omega$, respectively. The proposed third-order Elliptic LPF circuit is implemented as shown in Fig.12. The TSMC 0.18 μm CMOS technology [17] is used for proposed Elliptic LPF based on 1.5 volts power supply. All NMOS transistor aspect ratios are $W/L = 70\mu\text{m}/0.36\mu\text{m}$ except the special transistors (M_{20} , M_{25}) used $W/L = 9\mu\text{m}/0.25\mu\text{m}$ and different gain k (actually is 0.1). The bias currents of $0.1I_B$ cooperated with special transistors are defined. Proposed Elliptic filter is realized by connecting the circuits in Fig.3, Fig.5 and current splitter with capacitors $C_A=C_B=(C_1+C_3) = (C_3+C_4) = 0.7 \text{ pF}$ and $C_2 = 2.4\text{pF}$ based on $0.01\mu\text{A}$ of bias current. The comparing result of the proposed Elliptic LPF and the RLC prototype is depicted in Fig.13. It can be seen that pole and zero are quite similar to the prototype filter but the stop-band magnitude has around 10dB different. Magnitude response of lossy and lossless integrators with capacitor $C=1\text{pF}$ are resulting in Fig. 13 and 14. It can be seen that the angular frequency can be tuned through different bias current in accordance with the theory. The comparison between a proposed third-order Elliptic low-pass filter based on $I_B=0.01 \mu\text{A}$ and the RLC prototype in Fig.7 is exhibited in Fig.15. Small errors of around 5dB is observed at stopband.

The proposed third-order Elliptic low-pass filter can be electronically-tuned by adjusting the bias current I_B [0.01, 0.1, 1, 10, 100] μA for obtaining the transconductance [0.174, 1.65, 15.19, 128.68, 844.15] μS . For frequency response of filter can be tuned between 10kHz and 100MHz as shown in Fig.16. It can be seen that the results are in agreement with the theoretical expectation. The input resistance of proposed filter is shown in Fig.17 around 400 Ω along the 100MHz of operation frequency.

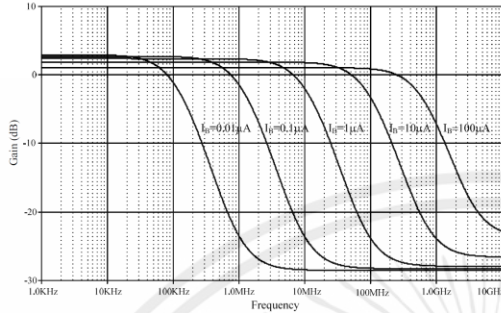


Fig. 13 Magnitude response of lossy integrator based on $C=1\text{pF}$

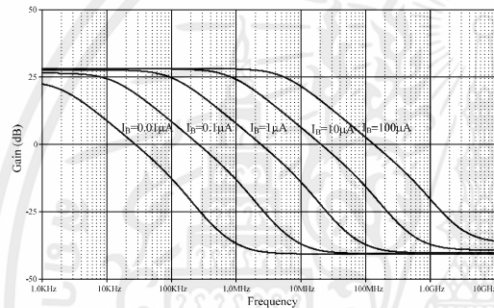


Fig. 14 Magnitude response of lossless integrator based on $C=1\text{pF}$

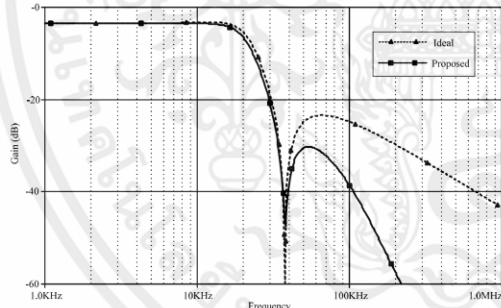


Fig. 15 Comparison of proposed Elliptic LPF with RLC prototype

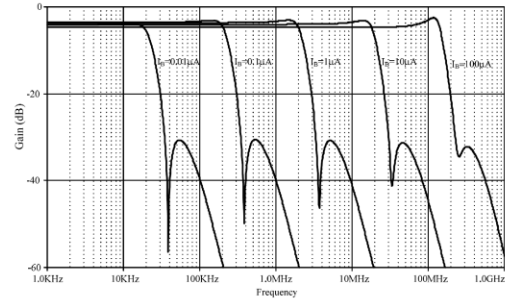


Fig. 16 Magnitude response of proposed Elliptic LPF with varying I_B

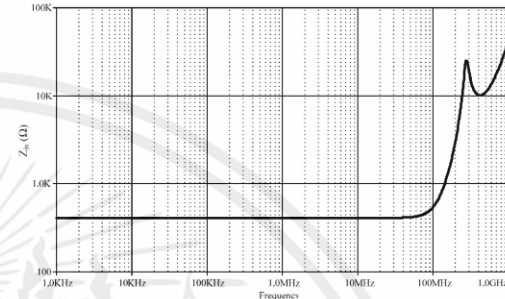


Fig. 17 Input resistance of proposed third-order Elliptic low-pass filter at bias current $I_B=100\mu\text{A}$

The proposed Elliptic LPF has been verified by applying two tones 10MHz and 200MHz at input and setting the bias current $I_B=10\mu\text{A}$. From Fig.18, it is cleared that the second tone (200MHz) is removed and only first tone can be obtained at the output.

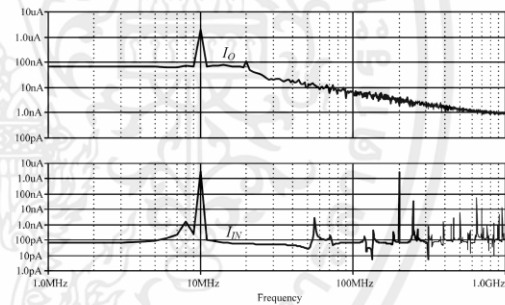


Fig. 18 Two-tone 10MHz and 200MHz test proposed third-order Elliptic low-pass filter at bias current $I_B=10\mu\text{A}$

Fig.19 illustrated the total harmonic distortion (THD) of proposed third-order Elliptic low-pass filter can be measured by applying different amplitude sinusoidal signals of 1MHz and 10MHz with bias current $I_B=10\mu\text{A}$. The THD can be found that below 0.4% and 1%, respectively.

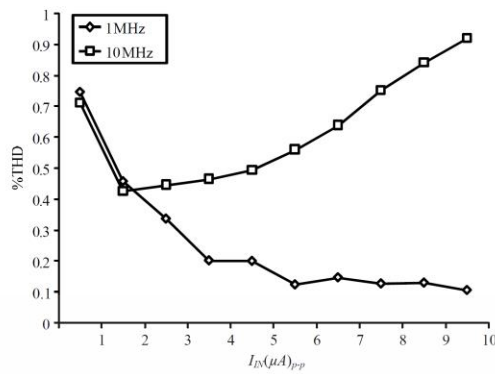


Fig. 19 THD of proposed third-order Elliptic low-pass filter at bias current $I_B=10\mu A$

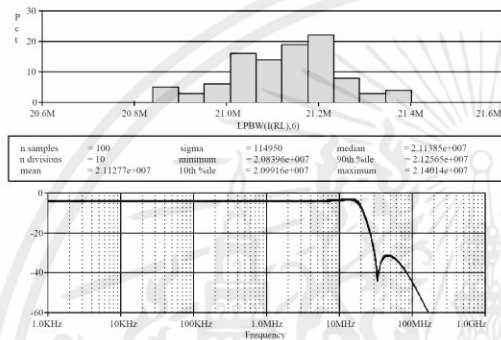


Fig. 20 Magnitude response of proposed filter at bias current $I_B=10\mu A$ using Monte Carlo 100 samples based on 1% deviation of surface mobility

A performance of proposed filter due to process deviation is presented. Fig.20 presents Monte Carlo 100 samples based on 1% deviation of surface mobility (μ). Very low-deviation of frequency cut-off can be seen that the tolerance of circuit is quite good.

I. CONCLUSION

The CMOS-based third-order Elliptic low-pass filter based on RLC ladder prototype is proposed. It consists of lossy, lossless integrators and current splitter. Wide-range tuning of frequency response between 10kHz and 100MHz can be tuned electronically by using bias current from 0.01 μA to 100 μA . The circuit uses only single 1.5V power supply with low dynamic power consumption. It contains only 26 transistors, 3 grounded capacitors and 19 current sources. Low-complexity structure, low-component count, low-

voltage, low THD, low input impedance and high-frequency operation are the benefit of this filter. It is suitable for further applied in low-voltage and high-frequency integrated circuit applications.

REFERENCES

- [1] R. Raut, N. Guo, "Low Power Wideband Voltage and Current Mode Second-Order Filters Using Wideband CMOS Transimpedance Network," IEEE Proceedings of the 40th Midwest Symposium on Circuits and Systems, vol. 1, pp. 241-244, Aug. 1997.
- [2] I. A. Khan, P. Beg, T. Muslim Ahmed, "First Order Current Mode Filters and Multiphase Sinusoidal Oscillators Using MOCCHs," Microelectronics, 2006. ICM '06. International Conference on, pp. 146-149, Dec. 2006.
- [3] N. B. El Feki, D.S. Masmoudi, N. Derbel, "Nth Order Voltage Mode Low-Pass Filter Using Current Conveyors," IEEE 2nd International Conference on Signals, Circuits and Systems, pp. 1-4, Nov. 2008.
- [4] M. Kummern, K. Dehjan, "Voltage-Mode Low-pass, High-pass, Band-pass Biquad Filter Using Simple CMOS OTAs," IEEE Instrumentation and Measurement Technology Conference, pp. 924-927, May 2009.
- [5] C. Hung, K.A.I. Halonen, M. Ismail, V. Porra, A. Hyogo, "A Low-Voltage, Low-Power CMOS Fifth-Order Elliptic GM-C Filter for Baseband Mobile, Wireless Communication," IEEE Transactions on and systems for video technology, vol.7, No.4, pp.584-593, 1997.
- [6] F. F. Dai, Xin Jin, "A 100MHz Fifth-Order Low-Pass Gm-C Filter Using Folded Stages," IECON 2012, 38th Annual Conference on IEEE Industrial Electronics Society, pp.6234-6239, Oct. 2012.
- [7] T. Choi, R. Brodersen, "Considerations for high-frequency switched-capacitor ladder filters," IEEE Transactions on circuits and systems, vol.27, No.6, pp.545-552, 1980.
- [8] K. Martin, "Improved circuits for the realization of switched-capacitor filters," IEEE Transactions on currents and systems, vol.27, No.4, pp.237 - 244, 1980.
- [9] G. Jacobs, D. Allstot, R. Brodersen, P. Gray, "Design techniques for MOS switched capacitor ladder filters," IEEE Transactions on circuits and systems, vol.25, No.12, pp.1014-1021, 1978.
- [10] T. S. Fiez, D. J. Allstot, "CMOS switched-current ladder filters. IEEE Journal of Solid-State Circuits," vol.25, No.6, pp.1360-1367, 1990.
- [11] A. E. J. Ng, J. I. Sewell, "Ladder decompositions for wideband SI filter applications," IEE Proceedings: Circuits, Devices and Systems, vol.145, No.5, pp.306 - 313, 1998.
- [12] J. Wu, E. El-Masry, "Design of current-mode ladder filters using coupled-biquads," IEEE Transactions on circuits and systems II: Analog and digital signal processing, vol.45, No.11, pp.1445-1454, 1998.
- [13] J. Wu, E. El-Masry, "Current-mode ladder filters using multiple output current conveyors," IEE Proceedings: Circuits, Devices and Systems, vol.143, No.4, pp.218-222, 1996.
- [14] S. Lee, R.H. Zele, D.J. Allstot, and G. Liang, "A Continuous-Time Current-Mode Integrator," IEEE Transactions on circuits and systems, Vol.38, No.10, pp.1236-1238, 1991.
- [15] P. Prommee, and N. Wongprommoon "Tunable CMOS-based Current Mode Fifth-order Ladder Low-pass Filter," Proc. of 36th International Conference on Telecommunications and Signal Processing (TSP2013), Rome, Italy, pp.378 - 381, July 3-4, 2013.
- [16] L. P. Huelsman, "Active and Analog Filter Design" McGraw-Hill, Inc., International Edition, 1993.
- [17] https://www.mosis.com/cgi-bin/cgiwrap/umosis/swp/params/tsmc-018/t68b_mm_non_epi-params.txt

Realization of Tunable Elliptic Low-pass Filter based on CCCII

Terdsak Kunto

Department of Telecommunication Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Thailand 10520
terdsakkm@gmail.com

Pipat Prommee

Department of Telecommunication Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Thailand 10520
pipat@telecom.kmitl.ac.th

Abstract— This article presents a realization of electronically tunable current-mode Elliptic ladder low-pass filter using CCCII. The passive RLC ladder filters prototype and signal flow graph method (SFG) are employed for synthesis. The CCCII-based lossy, lossless integrators and current attenuator are required for the circuit realization. The proposed filter circuit can be electronically tuned between 1 kHz and 1 MHz through bias current from $0.05\mu\text{A}$ to $50\mu\text{A}$. The proposed filter use $\pm 1.5\text{V}$ power supply with 6 mW power consumption at $50\mu\text{A}$ bias current. The proposed filter uses grounded capacitors without external resistors which is suitable for further integration. The total harmonic distortion (THD) of the low-pass filters is less than 0.5% over the operating frequency range. PSPICE simulation results are carried out, obtained by using BJT model parameter of HFA 3046, confirm the presented theory.

Keywords—ladder filters; Elliptic; current controlled conveyor; current mode

I. INTRODUCTION

In telecommunications area, continuous-time filter [1] is an essential building block for selecting the desired frequency from the multi-frequency spectral. Passive network can be used to implement the continuous-time filter [2]. Unfortunately, they lack of the following features such as electronic tuning and difficult for integrable. Active filters based on OPAMP using biquad function were introduced [3-5]. Although it can be further integrable but they cannot be tuned electronically. In voltage-mode (VM) is well-known that suffered the disadvantage such as high voltage required, low-bandwidth, large die area compared to the current-mode (CM) [6]. Inverting CM circuit can be also achieved by copy of the output current into the different direction. Moreover, the summation and subtraction can be easily realized by directly connection with relatively simple circuitry. Current-mode filters are becoming more popular with many advantages compared to the voltage-mode counterparts. Current conveyor is an interesting current mode active building block which can be implemented in many applications. The current-mode filters using second generation current conveyors (CCII) have been introduced with their linearity, dynamic range and bandwidth, performances are better than OPAMP based counterparts [7-9]. The current conveyors can be designed in the several concepts in terms of accuracy, bandwidth, convenience and simpler circuits. However, they need external resistors and also require

floating passive elements which are not suitable for further integration.

Recently, second generation current-controlled current conveyors (CCCII) [10-11], has been extended to the domain of electronically adjustable functions. Electronic adjustability is provided to control the intrinsic resistance (R_x) at port X through bias current. The designs of universal filter using CCCII [12-22] are introduced based on different structures. They provides multifunction filter by using two-integrator loop concept. The following trade-off features such as requires floating passive elements [13] or pole-Q and pole-frequency are not independent [14-17], [19-21] or excessive of active elements [18]. Unfortunately, these filter can provided only the biquad Butterworth second-order function. The applications of filter are limited in order to accuracy and performance of filter. However, n-order Butterworth filter [22] was introduced using multiple-loop concept but the resulting is complexity.

Passive ladder high-order filters were found in many applications because they have high-performance and low sensitivity [23]. High-order low-pass active filter based on CCCII was introduced by using doubly terminated passive RLC ladder prototypes [24]. The major drawback is the use of floating capacitor which is not preferred for integrated circuit due to the very serious problem of bottom plate and the substrate [25]. Therefore, it is the major intention of this paper to present realization of electronically tunable current-mode Elliptic low-pass filter using CCCII. The proposed filters are realized on the transistor-level using lossy integrators, lossless integrators, current attenuator and grounded capacitors. The proposed circuits enjoy the following attractive features: low component counts, low-voltage supply, low-power consumption, no use of resistors and wide-range electronic tuning of the filter characteristics.

II. THEORY AND PRINCIPLE

A. Basic Concept of CCCII

Since the proposed circuit is based on multiple outputs CCCII [10-12], the properties are introduced in this section. Typically, the CCCII is a versatile analog building block quite similar to CCII which also including 3-terminals, x, y and z. Multiple of z terminals can be arbitrary implemented using current mirror concept. The matrix-relationship between voltage and current variables among x, y and z terminals can be described in Eq. (1).

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_x & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (1)$$

Where

$$R_x = \frac{V_T}{2I_B} \approx \frac{1}{g_m} \quad (2)$$

where the positive and negative signs of the current i_z represent the positive and negative current output of z-terminals. The intrinsic resistance R_x of CCCII can be controlled through bias current I_B and defined as $1/g_m$. The x-terminal resistance can be calculated by Eq. (2) where V_T is the thermal voltage (26mV at room temperature). Fig.1 (a) and (b) exhibits the electrical symbol and circuit, respectively.

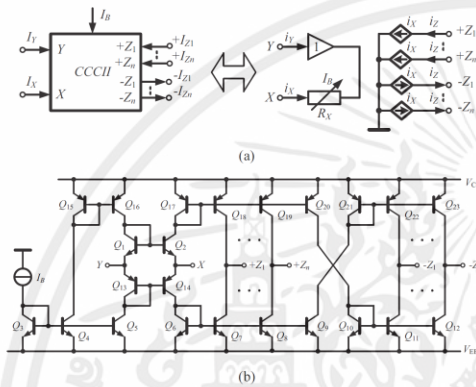


Fig. 1. Basic MO-CCCII circuit (a) Symbol (b) Circuit Implementation

3. Implementation of the Filter

The proposed filter consists of two main building blocks, integrator (lossy and lossless) and current attenuator. They can be described in following subsections:

1) Current-mode lossy and lossless integrators

The current-mode lossy integrator can be easily implemented on the circuit structure of bipolar transistors as shown in Fig. 1. Negative output of CCCII is loop-back to the input then the dual output lossy integrator as shown in Fig. 2. From circuit in Fig. 2, the current transfer function can be expressed as

$$\frac{+I_{O1}}{I_{IN}} = \frac{-I_{O2}}{I_{IN}} = \frac{1}{sC_1R_x + 1} \quad (3)$$

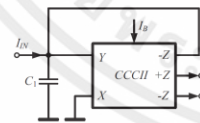


Fig. 2. Lossy integrator using CCCII

If $R_x=1/g_m$, the current-mode lossy integrator transfer function can be rewritten as

$$\frac{+I_{O1}}{I_{IN}} = \frac{-I_{O2}}{I_{IN}} = \pm \frac{g_m/C_1}{s + g_m/C_1} \quad (4)$$

On the other hand, the lossless integrator as shown in Fig. 3, can be easily implemented without loop-back as shown in Fig.3, the current transfer function can be expressed as

$$\frac{+I_{O1}}{I_{IN}} = \frac{-I_{O2}}{I_{IN}} = \frac{1}{sC_2R_x} \quad (5)$$

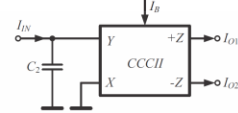


Fig. 3. Lossless integrator using CCCII

If $R_x=1/g_m$, the current mode lossless integrator transfer function can be rewritten as

$$\frac{+I_{O1}}{I_{IN}} = \frac{-I_{O2}}{I_{IN}} = \frac{g_m}{sC_2} \quad (6)$$

2) Current-attenuator

The proposed filter requires such current attenuator. Many methods can be realized but the frequency response needs to be concerned. The current divider is a concept for obtaining the current attenuator. The parallel network in Fig. 4 is discussed for the current divider concept. Because the resistors R_{Xi} are in parallel, they have the current I_{Xi} , the current attenuator (k) is a ratio of total resistance (R_p) and desired resistance (R_{Xi}) which can be described in Eq. (7).

$$I_{Xi} = \frac{R_p}{R_{Xi}} I_{IN} = k I_{IN} \quad (7)$$

Where $\frac{1}{R_p} = \sum_{i=1}^n \frac{1}{R_{Xi}}$

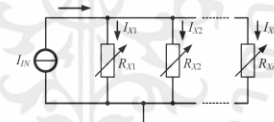


Fig. 4. Current divider rule for n branches

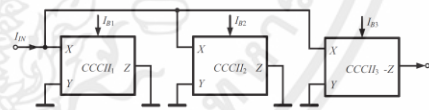


Fig. 5. Current attenuator using CCCII

The current attenuator can be realized by using CCCII as shown in Fig.5. Note that the current attenuator can be realized by using at least 2 CCCII but the attenuator parameter (k) is achieved by too low bias current of last CCCII. The low frequency response of current attenuator becomes depends on

the small bias current. In this case, three CCCII are required for electronically tunable current attenuator can be written as

$$k = \left(\frac{g_{m3}}{g_{m1} + g_{m2} + g_{m3}} \right) \quad (8)$$

III. SYNTHESIS OF ELLIPTIC THIRD-ORDER LADDER LOW-PASS FILTER

The passive doubly terminated RLC ladder Elliptic low-pass filter prototype in Fig.6 is used to realize an active filter by simulating method based on lossy and lossless integrators and current attenuators. The current transfer function of Fig.6 can be written as (9).

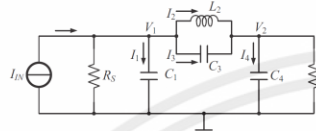


Fig. 6. doubly terminated RLC ladder Elliptic low-pass filter prototype

$$\frac{I_O}{I_{IN}} = \frac{s^2 (R_S R_L C_3) + R_S}{s^3 (R_S R_L L_2 C_1 C_3 + R_S R_L L_2 C_3 C_4 + R_S R_L L_2 C_1 C_4) + s^2 (R_L L_2 C_3 + R_L L_2 C_4 + R_S L_2 C_3 + R_S L_2 C_4) + s (R_S R_L C_1 + R_S R_L C_4 + L_2) + (R_S + R_L)} \quad (9)$$

Using KCL, the current and voltage relationship of the third-order ladder low-pass filter in Fig.6 can be described as

$$I_1 = I_{IN} - V_1/R_S - I_2 - I_3 \quad (10)$$

$$I_3 = (V_1 - V_2) s C_3 \quad (11)$$

$$V_1 = \frac{I_1}{s C_1} \quad (12)$$

$$V_1 = \frac{I_{IN} - I_2 - V_1/R_S + V_2}{s (C_1 + C_3)} + V_2 \frac{C_3}{C_1 + C_3} \quad (13)$$

$$I_4 = I_2 + I_3 - I_O \quad (14)$$

$$V_2 = \frac{I_4}{s C_4} \quad (15)$$

$$V_2 = \frac{I_2 - I_O}{s (C_3 + C_4)} + V_1 \frac{C_3}{C_3 + C_4} \quad (16)$$

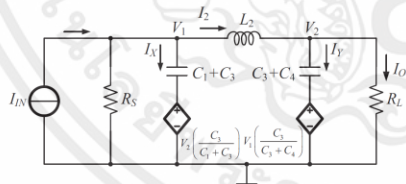


Fig. 7. Modified Elliptic third-order ladder low-pass filter prototype

Regarding (10)-(16), the original RLC prototype can be modified and rewritten in Fig.7. The capacitor C_3 is split to add

at the new two capacitors (C_1+C_3) and (C_3+C_4) which are series by the two dependent sources.

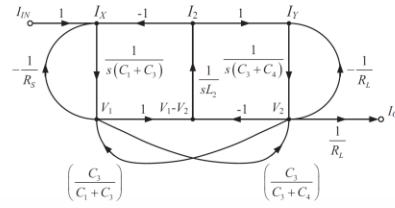


Fig. 8. Signal flow graph of RLC prototype in Fig.7

Fig. 8 shows the signal flow graph (SFG) that incorporated by current and voltage variable terms. The current-mode circuit cannot be directly realized by using the Fig.8. All voltage variables have to transform into the current variables. The transconductance (g_m) are applied into particular branches for converting the voltage variables to the current variables. The terminated resistors $R_S = R_L$ are supposed to be $1/g_m$ for the simplified realization. Considering, lossless integrators with its negative feedback in left-hand and right-hand sides are replaced by lossy integrators. The completed SFG in current-mode can be rewritten in Fig. 9.

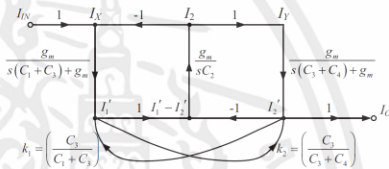


Fig. 9. Simplified signal flow graph of Fig. 8

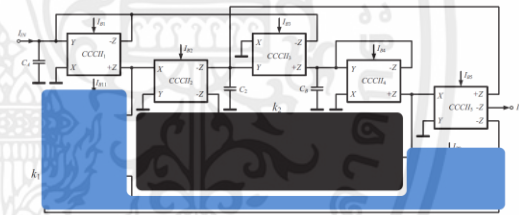


Fig. 10. Proposed CCCII-based Elliptic Low-pass Filter

Considering in Fig. 9, currents I'_1 and I'_2 can be obtained summing of current lossy integrator and across current attenuator (k) and which resulting by the ratio of capacitors. Generally, current-mode circuit enables to sum and subtract by connecting their current branches. Proposed Elliptic third-order ladder low-pass filter can be realized by using two lossy integrators, one lossless integrator and two current attenuators (k). Current attenuators can be realized by using 6 CCCII (highlight blocks) across I'_1 and I'_2 . It is obviously found that the proposed Elliptic LPF uses only 3 capacitors less than the prototype RLC filter requires 4 capacitors. Furthermore, current attenuator can be easily implemented by adjusting the

particular bias currents. The completed CCCII-based third-order Elliptic filter is constructed and illustrated in Fig.10.

A. Non-ideal Effect

For non-ideal case, the voltage and current tracking errors of the CCCII effect on the performance of the proposed filter. By routine analysis, the CCCII with non-ideal case [11] can be respectively characterized with the following equations

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ \beta & R_x & 0 \\ 0 & \pm\alpha & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (17)$$

Where $\beta = 1 - \varepsilon_v$ ($\varepsilon_v \ll 1$) denotes the voltage gain, where ε_v is the voltage tracking error from V_y to V_x of CCCII. Similarly, α denotes the current gain equal to $1 - \varepsilon_i$ ($\varepsilon_i \ll 1$), where ε_i is the output current tracking error of CCCII. In the case of non-ideal, lossy and lossless integrators circuit in Fig. 2 and Fig. 3 are discussed because they are the main circuits. The current non-ideal transfer functions of lossy and lossless integrators in Eq. (4) and Eq. (6) can be described as

$$\frac{\pm I_{On}}{I_{IN}} = \frac{\beta\alpha R_x R_c}{sR_x R_y R_z (C_1 + C_y + C_z) + \beta\alpha R_x R_z + R_y R_x + R_z R_x} \quad (18)$$

$$\frac{\pm I_{On}}{I_{IN}} = \frac{\beta\alpha R_y R_v}{sR_x R_y (C_1 + C_y) + R_x} \quad (19)$$

The voltage and current tracking errors depend on decreasing of both voltage gain and current gain in order to operating in higher frequency. Considered at port X, port Y and port Z, the resistance of port Y and port Z are definitely larger than port X resistance. From Eqs. (18) and (19), it can be seen that lossy and lossless integrators are received small effects from the CCCII voltage and current tracking errors (ε_v and ε_i) especially in low-frequency gain. Likewise, the capacitance at port Y and port Z are definitely smaller than C_1 . To prevent the errors, capacitor C_1 should be selected larger than the following condition.

$$C_1 \gg C_y + C_z \quad (20)$$

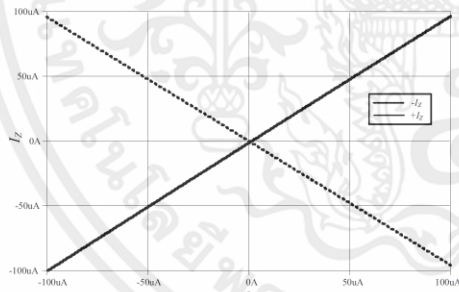


Fig. 11. Current input-output characteristic between terminals X and +Z, -Z

IV. SIMULATION RESULTS

This section describes the simulation results of the proposed realization of electronically tunable current-mode Elliptic ladder low-pass filter using CCCII. Bipolar model parameter of transistor array HFA3046 [26] is used for PSpice simulation with $\pm 1.5V$ power supply. Evaluating the static and dynamic characteristics of the CCCII are described based on bias current of $I_B = 50 \mu A$. Input and output currents relationship between nodes X and +Z and -Z is shown in Fig. 11. An excellent current-follower property, it can be seen that over the wide range.

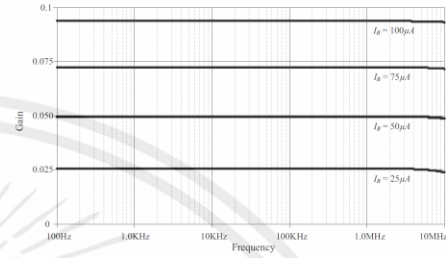


Fig. 12. Tunability characteristic of current attenuator in Fig. 5 with varying I_B

Tunability characteristic of the current attenuator in Fig. 5 is depicted in Fig. 12. Bias current I_{B3} [25, 50, 75, 100] μA is varied while bias current $I_{B1} = I_{B2}$ are constant at 500 μA . It is seen that the current attenuator (k) can be adjusted from 0.025 to 0.09. For confirming the concept of current divider, the frequency response is used and supposed that the current attenuator parameter is $k=0.05$ by using different number of CCCII (2, 3, 5) by adjusting the bias current I_{B1} [25, 50, 100] μA , respectively. From Fig.13, it can be seen that high number of CCCII with high bias current achieves high frequency response.

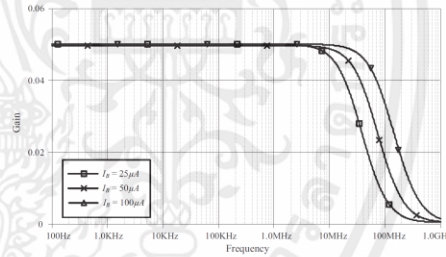


Fig. 13. Frequency response of current attenuator between X and both +Z, -Z

Regarding to the Elliptic prototype filter in Fig. 6, it uses the following components $C_1 = C_4 = 1.92 \mu F$, $C_3 = 0.09 \mu F$, $L_2 = 1.65 \mu H$ and $R_5 = R_1 = 1 \Omega$, respectively. The proposed Elliptic filter in Fig.10 uses the capacitors $C_A = C_B = (C_1 + C_3) = (C_3 + C_4) = 0.66nF$ and $C_2 = 0.53nF$ based on 5 μA of bias current. The bias current of CCCII used for current attenuators (k) is kept to be constant at $I_{B8} = I_{B11} = 50 \mu A$ and $I_{B6} = I_{B7} = I_{B9} = I_{B10} = 500 \mu A$ for achieving $k_1 = k_2 = 0.05$. The simulation results compared with the proposed Elliptic LPF and the RLC prototype are depicted

in Fig.14. It can be seen that the magnitude response of proposed Elliptic filter is similar according to the prototype Elliptic filter.

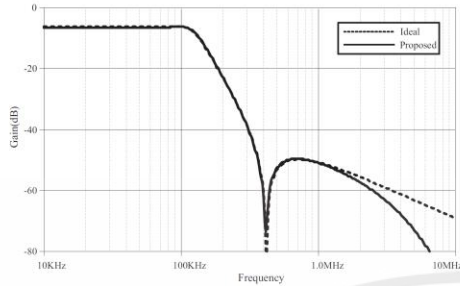


Fig. 14. Magnitude response of proposed Elliptic LPF compared with RLC prototype

The electronically tunable feature of the proposed third-order Elliptic low-pass filter can be achieved by adjusting the bias current I_B [0.05, 0.5, 5, 50] μA . It can be seen that the frequency response of filter can be tuned between 1 kHz and 1 MHz as shown in Fig. 15. The results are in accordance with the theoretical prediction.

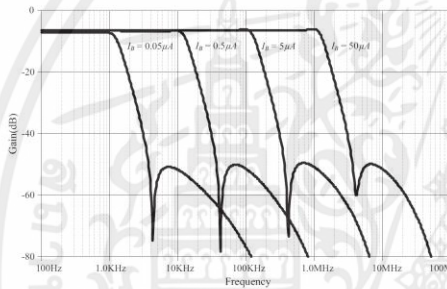


Fig. 15. Tunable feature of proposed Elliptic LPF by varying I_B

The performance of proposed third-order Elliptic low-pass filters can be verified by applying 8 multi-tones (100 kHz, 200 kHz, 400 kHz, 800 kHz, 1 MHz, 2 MHz, 4 MHz and 8 MHz) to the filters at bias currents 50 μA . From Fig. 16, it obviously appears that out-of-band tones (>1 MHz) have been removed but only in-band tones (<1 MHz) can be obtained at the output.

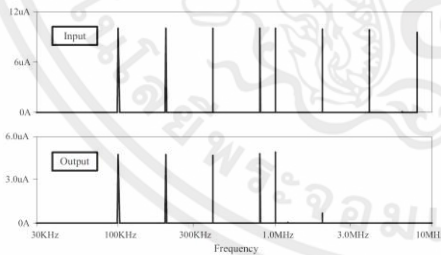


Fig. 16. Multi-tone simulation of CCCII-based Elliptic LPF

The total harmonic distortion (THD) of proposed third-order Elliptic low-pass filter is shown in Fig. 18. The results is obtained by setting bias current $I_B = 50\mu\text{A}$ and applying two sinusoidal signals (10kHz and 100kHz) with varied amplitudes. The THD at 100 kHz of proposed filter is obtained below 0.3%.

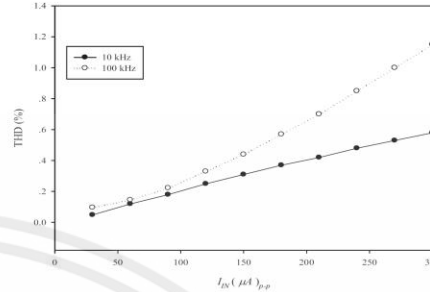


Fig. 17. THD of proposed Elliptic LPF at $I_B = 50\mu\text{A}$

V. CONCLUSION

Realization of electronically tunable current-mode Elliptic ladder low-pass filter using CCCIs is proposed. It consists of lossy and lossless integrators, current attenuator and grounded capacitors. It enjoys electronic tuning of frequency response between 1 kHz and 1 MHz through bias current from 0.05 μA to 50 μA . The circuit uses $\pm 1.5\text{V}$ DC power supply with low dynamic power consumption (6mW). The proposed circuit enjoys low complexity structures, with low-component count, low THD, it is very suitable for further integration in low-voltage applications as well as, portable electronic or wireless communication equipment.

REFERENCES

- [1] T. Delyannis, Y. Sun and J. K. Fidler, "Continuous-Time Active Filter Design," London: CRC Press, 1999.
- [2] L. P. Huelsman, "Active and analog filter design," McGraw-Hill, Inc., International Edition, 1993.
- [3] J. W. Kerwin, L. P. Huelsman, R. W. Newcomb, "State-Variable Synthesis for Insensitive Integrated Circuit Transfer Functions," IEEE Journal of Solid-State Circuits, vol.2, no. 3, pp. 87 – 92, Sep 1967.
- [4] J. Tow, "Design formulas for active RC filters using operational-amplifier biquad," Electronics Letters, vol.5, no. 15, pp. 339 – 341, July 1969.
- [5] L. Thomas, "The Biquad: Part I-Some practical design considerations," IEEE Transactions on Circuit Theory, vol.18, no.3, pp.350 – 357, May 1971.
- [6] C. Toumazou, E. J. Lidgey and D. G. Haigh, "Analogue IC design the current-mode approach," Peter Peregrinus Ltd, London, 1990.
- [7] G.W. Roberts and A.S. Sedra, "All current-mode frequennnny selective circuits," Electronics Lett, vol. 25, pp.759-761, 1989
- [8] C.M. Chang, "Novel universal current-mode filter with single input and three outputs using only five current conveyors," Electronics Lett, vol. 29, pp.2005-2007, 1993.
- [9] S. Minaei and S. Turkoz "New current-mode current-controlled universal filter with single Input and three outputs," Int'l J. Electronics, vol. 88, pp.333-337, 2001.

- [10] A. Fabre, O. Saaid and H. Barthelemy, "On the frequency limitation of the circuits based on second generation current conveyors," *Analog Integ. Circuit Signal Process*, 1995.
- [11] A. Fabre, O. Saaid, F. Wiest and C. Boucheron, "High frequency applications base on a new current controlled conveyor," *IEE Tran. Circuits and Syst. I*, vol. CAS-43, pp. 82-91, Feb. 1996.
- [12] M. T. Abuelma'atti and N. A. Tassadduq, "Universal current-controlled current-mode filter using the multiple-output translinear current conveyor," *Frequenz*, vol. 52, pp. 252-254, 1998.
- [13] E. Yuce, S. Minaei and O. Cicekoglu, "Universal currentmode active-C filter employing minimum number of passive elements," *Analog Integrated Circuits and Signal Processing*, vol. 46, pp. 169-171, 2006.
- [14] R. Šotner1, J. Slezák1, T. Dostál1 and J. Petřelá1, "Universal tunable current-mode biquad employing distributed feedback structure with MO-CCCI," *Journal of Electrical Engineering*, vol. 61, issue 1, pp. 52-56, June 2011.
- [15] N. Jangsamsi, T. Pukkalanun and W. Tangsrirat, "CCCI-based high-output impedance current-mode universal filter employing only grounded capacitors," *SICE-ICASE, International Joint Conference*, pp. 5695-5698, Oct. 2006.
- [16] S. K. Paul, N. Pandey and A. Bhattacharyya, "Transadmittance mode universal filter based on MOCCCI," *Computers and Devices for Communication, 4th International Conference on*, pp. 1-4, Dec. 2009.
- [17] S. K. Paul, N. Pandey and A. Bhattacharyya, "Current Controlled Conveyor based Transadmittance mode Universal Filter," *Industrial Electronics & Applications, ISIEA 2009. IEEE Symposium on*, vol. 2, pp. 764-767, Oct. 2009.
- [18] J. Jiang, J. Zhao, W. Ma and J. Liu, "CCCI and CCI based universal current-mode filter with tunable frequency," *ASIC, ASICON '09. IEEE 8th International Conference on*, pp. 1101-1104, Oct. 2009.
- [19] N. Pandey, S. K. Paul and S. B. Jain "A new electronically tunable current mode universal filter using MO-CCCI," *Analog Integrated Circuits and Signal Processing*, Vol. 58, issue 2, pp. 171-178, 2009.
- [20] E. Yuce and S. Minaei, "On the realization of high-order current-mode filter employing current controlled conveyors," *Computers & Electrical Engineering*, pp. 165-172, vol. 34, issue 3, May 2008.
- [21] S. Srisakultiew, A. Noppakarn, S. Yurungroangsak and M. Siripruchyanun, "A current-mode electronically controllable multifunction biquadratic filter using CCCIs," *Telecommunications and Signal Processing (TSP), 35th International Conference on*, pp. 382-385, July 2012.
- [22] S. X. Song and W. D. Wang, "A New High Order Current Mode Filter with Multiple Inputs and Single Output Based on MOCCCI," *Proceedings of International Conference on Communications Circuits and Systems*, vol. 4, pp. 2172-2175, June 2006.
- [23] R. Raut and M. N. S. Swamy, "Modern analog filter analysis and design," *WILEY-VCH Verlag GmbH & Co. KGaA, Weinheim*, 2010.
- [24] A. Jirasree-amornkun and W. Surakamponorn, "Efficient implementation of tunable ladder filters using multi-output current controlled conveyors," *International Journal of Electronics and Communications*, vol. 62, No.1, pp. 11-23, Jan. 2008.
- [25] Y. Tsividis, "Mixed Analog-digital VLSI Devices and Technology," *World Scientific Publishing, Singapore*, 2002.
- [26] HFA 3046 Datasheet available at <http://www.intersil.com/content/dam/Intersil/documents/hfa3/hfa3046-3096-3127-3128.pdf>.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายเทิดศักดิ์ กันโต
วัน เดือน ปีเกิด	11 พฤศจิกายน พ.ศ.2530 ที่จังหวัดสิงห์บุรี
ที่อยู่	18/4 หมู่ 6 ตำบลไม้ดัด อำเภอบางระจัน จังหวัดสิงห์บุรี 16130
ประวัติการศึกษา	
พ.ศ. 2554-2556	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง วิศวกรรมศาสตรมหาบัณฑิต คณะวิศวกรรมศาสตร์ สาขาวิชาวิศวกรรมโทรคมนาคม
พ.ศ. 2551-2553	มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ อุตสาหกรรมศาสตรบัณฑิต คณะวิทยาลัยเทคโนโลยีอุตสาหกรรม สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์
ประสบการณ์การทำงาน	
พ.ศ. 2560-2562	ตำแหน่งวิศวกร แผนกทดสอบ (Tester) บริษัท SDL
พ.ศ. 2554-2555	ตำแหน่งช่างเทคนิค สังกัดงานพัฒนาเครื่องส่งโทรทัศน์ แผนกพัฒนาระบบด้านเครือข่าย ฝ่ายวิศวกรรมวางแผนและเครือข่าย บริษัท กรุงเทพโทรทัศน์และวิทยุ จำกัด
พ.ศ. 2553-2554	ตำแหน่งผู้ช่วยสอน เจ้าหน้าที่ประจำห้องทดลอง ภาควิชาเทคโนโลยีวิศวกรรมอิเล็กทรอนิกส์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ
พ.ศ. 2550-2550	ตำแหน่งนักศึกษาฝึกงาน แผนกควบคุมคุณภาพ QC/QA บริษัท แคนนอนไฮเทค (ประเทศไทย) จำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้