การประยุกต์โครงข่ายเชื่อมต่อภายในกับการส่ง PCM-TDM FRAME

INTERCONNECTION NETWORK APPLICATION FOR PCM-TDM FRAME

ดำรงค์ จันทร์เรือง

DAMRONG CHANRUENG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2544

ISBN 974-648-067-7

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การประยุกต์โครงข่ายเชื่อมต่อภายในกับการส่ง PCM-TDM FRAME

INTERCONNECTION NETWORK APPLICATION FOR PCM-TDM FRAME

T039762

ดำรงค์ จันทร์เรือง

DAMRONG CHANRUENG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2544

ISBN 974-648-067-7

เลขหมู่..........
เลขทะเบียน 39762
วัน, เดือน, ปี 21 มิ.ย. 2544

.b..........
.i..........

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INTERCONNECTION NETWORK APPLICATION FOR PCM-TDM FRAME

DAMRONG CHANRUENG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2001

ISBN 974-648-067-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2001

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การประยุกต์โครงข่ายเชื่อมต่อภายในกับการส่ง PCM-TDM frame INTERCONNECTION NETWORK APPLICATION FOR PCM-TDM FRAME

ชื่อนักศึกษา นายดำรงค์ จันทร์เรือง

รหัสประจำตัว 39061020

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้า

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร.กอบชัย เดชหาญ

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ศ.มนูญ	สุขเกษม	
รศ.ดร.สุวิพล	สิทธิชีวภาค	
ผศ.ดร.ไกรสิน	ส่งวัฒนา	
รศ.ดร.ฟูศักดิ์	ชีวสุวิทย์	
รศ.ดร.กอบชัย	เดชหาญ	

วัน/เดือนปี ที่สอบ 2 กุมภาพันธ์ 2544 เวลา 12.00-13.00 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-404)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

บัณฑิตวิทยาลัยรับรองแล้ว

(รศ.ดร.บุญวัฒน์ อัตชู)

คณบดีบัณฑิตวิทยาลัย

วันที่....15....**เดือน**....กุมภาพันธ์....**พ.ศ.**....2544....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การประยุกต์โครงข่ายเชื่อมต่อภายในกับการส่ง PCM-TDM frame
นักศึกษา	นาย ดำรงค์ จันทร์เรือง
รหัสประจำตัว	39061020
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2544
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ เป็นการนำเสนอหลักการออกแบบ และการประยุกต์โครงข่ายเชื่อมต่อภายในเพื่อใช้ในการส่งข้อมูล PCM-24 ในระบบเบล T1 ที่ให้เอาท์พุทขนาด 1.544 Mbps โดยการเลียนแบบโครงข่ายเชื่อมต่อภายในใช้งานในการสวิตชิ่งและส่งชุดข้อมูล PCM-TDM frame ที่ความเร็วสูง ซึ่งโครงข่ายเชื่อมต่อภายในจะประกอบด้วยโครงข่ายแบตเชอร์ที่ใช้ในการเรียงลำดับข้อมูล และ โครงข่ายบานยานใช้ในการจัดส่งข้อมูลไปยังปลายทางที่ถูกต้อง ในการประยุกต์ใช้งานโครงข่ายเชื่อมต่อภายในนั้น กระทำโดยการสร้างบิตส่วนหัวและบิตสถานะของชุดข้อมูลที่ส่วนหัวชุดข้อมูล PCM-24 จากวงจรสร้างบิตส่วนหัว เพื่อใช้ในการซิงโครไนซ์ระบบและควบคุมการเชื่อมต่อชุดข้อมูลไปยังเอาท์พุทปลายทางตามหมายเลขปลายทางที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Interconnection Network Application for PCM-TDM frame
Student	Mr. Damrong Chanrueng
Student ID.	39061020
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2001
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This thesis presents the interconnection network design and application for PCM-24 data frame (Bell system T1 carrier 1.544Mbps). The interconnection networks consists of batcher and banyan network which are designed to transfer PCM-TDM data frame with high speed for packet switching network. Batcher network is used for sorting packet and banyan network is used for expanding packet. Both networks can be applied to PCM-24 data frame transmission, within PCM-TDM data frame is added a header bit and activity bit. Header bit is used to synchronize and control switch to the destinations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้เป็นอย่างดีเนื่องด้วยคำปรึกษาและคำแนะนำจาก รศ. ดร. กอบชัย เดชหาญ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ฉบับนี้ ผู้วิจัยจึงรู้สึกซาบซึ้งเป็นอย่างมากในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ขอกราบขอบพระคุณ คุณพ่อเจริญ และคุณแม่อำคา จันทร์เรือง ที่ได้ให้โอกาส และสนับสนุนทุกๆ อย่างในการศึกษาจนสำเร็จลุล่วงได้เป็นอย่างดี

ขอขอบคุณ คุณวิไลภรณ์ ศรีพัฒน์ ที่ได้ช่วยพิมพ์วิทยานิพนธ์ และให้กำลังใจในยามเกิดอุปสรรคต่างๆ เสมอมา

ขอขอบคุณ เพื่อนๆ นักศึกษาที่ได้ให้ความช่วยเหลือและคำแนะนำต่างๆ ในยามเกิดปัญหาและอุปสรรคที่ยากแก่การแก้ไข จนสำเร็จสมบูรณ์ได้เป็นอย่างดี

อุปสรรคต่างๆ ที่เกิดขึ้นได้ถูกแก้ไขให้สำเร็จลุล่วงไปได้ด้วยดี ทั้งนี้ด้วยกำลังใจและคำแนะนำที่ดีจากผู้มีพระคุณทุกท่าน สุดท้ายคุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยจึงขอมอบแด่ผู้มีพระคุณทุกท่าน และขอกราบขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้

ดำรงค์ จันทร์เรือง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูป	VIII
บทที่ 1 บทนำ	1
บทที่ 2 งานวิจัยที่เกี่ยวข้อง	4
บทที่ 3 ทฤษฎีและหลักการพื้นฐาน	6
3.1 บทนำ	6
3.2 พัลซ์โค๊ดมอดูเลชั่น (PCM)	6
3.2.1 การสุ่มสัญญาณ	6
3.2.2 การควอนไทเซชั่น	12
3.2.3 การคอมแพนดิ้ง	17
3.2.4 ลักษณะเชิงเส้นเป็นช่วงๆ ของการคอมแพนดิ้ง	19
3.3 การมัลติเพล็กซ์แบบแบ่งเวลา (TDM)	23
3.3.1 หลักการเบื้องต้นของการมัลติเพล็กซ์แบบแบ่งเวลา	23
3.3.2 การซิงโครไนซ์เฟรมข้อมูล	25
3.3.3 เฟรมอไลเมนต์เวอร์ด	27
3.4 ทฤษฎีโครงข่ายเชื่อมต่อภายใน	30
3.4.1 โปรโตคอลของการเชื่อมโยง	30
3.4.2 โหมดการทำงาน	31
3.4.3 หลักในการสวิตชิ่ง	31
3.4.4 โทโปโลยี	32
บทที่ 4 หลักการออกแบบการส่งข้อมูล PCM-TDM	37
4.1 บทนำ	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

4.2 หลักการซิงโครไนซ์บิต 37

4.1.1 จิทเตอร์ 37

4.2.2 การเข้ารหัสสัญญาณดิจิตอล 39

4.3 ระบบการส่งสัญญาณพัลซ์โค๊ดมอดูเลชั่น 42

4.3.1 หลักการเบื้องต้นของการมัลติเพล็กซ์แบบแบ่งเวลา 42

4.3.2 ลำดับขั้นของระบบ 44

4.3.3 การเข้ารหัสสัญญาณ 47

4.3.4 หลักการพื้นฐานของ T แคเรีย 51

4.3.5 การออกแบบ PCM-TDM ในระบบ T1 แคเรีย 54

4.3.6 เฟรมซิงโครไนเซชั่น 60

4.4 การกำเนิดสัญญาณโทรศัพท์ชนิดกดปุ่ม (DTMF) 63

4.4.1 โทนไดอัลริ่ง 63

4.4.2 การกำเนิดสัญญาณโทน 64

4.4.3 ตัวแปลงสัญญาณพัลซ์ 68

4.5 การถอดรหัสความถี่โทรศัพท์ DTMF 72

4.6 การสร้างสัญญาณควบคุมการส่งชุดข้อมูล PCM-TDM frame 77

บทที่ 5 หลักการออกแบบโครงข่ายเชื่อมต่อภายใน 79

5.1 บทนำ 79

5.2 โครงข่ายแบตเชอร์ 79

5.2.1 หลักการออกแบบโครงข่ายแบตเชอร์ 82

5.2.2 การทำงานของโครงข่ายแบตเชอร์ 83

5.2.3 การออกแบบวงจรโครงข่ายแบตเชอร์ 84

5.3 โครงข่ายบานยาน 85

5.3.1 หลักการออกแบบโครงข่ายบานยาน 87

5.3.2 การทำงานของโครงข่ายบานยาน 88

5.3.3 การออกแบบวงจรโครงข่ายบานยาน 90

5.4 โครงข่ายเชื่อมต่อภายใน 91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

5.4.1 ส่วนของโครงข่ายแบตเชอร์ 92

5.4.2 ส่วนของโครงข่ายบานยาน 92

บทที่ 6 การออกแบบและผลการทดสอบ 96

6.1 บทนำ 96

6.2 วงจรการสร้างบิตส่วนหัว 96

6.3 โครงข่ายเชื่อมต่อภายใน 99

6.3.1 โครงข่ายแบตเชอร์ 100

6.3.2 โครงข่ายบานยาน 104

6.4 การทดสอบระบบเมื่อเชื่อมต่อกับวงจรการสร้างบิตส่วนหัวข้อมูล 106

6.5 การทดสอบการส่งข้อมูลผ่านโครงข่ายเชื่อมต่อภายใน 109

บทที่ 7 สรุปผลการวิจัยและข้อเสนอแนะ 117

เอกสารอ้างอิง 119

ภาคผนวก 121

ประวัติผู้เขียน 129

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

3.1 การเข้ารหัส พีซีเอ็ม สำหรับเซกเมนต์คอมแพนดิ้งแบบ $\mu, \mu = 225$ 20

3.2 การเข้ารหัส พีซีเอ็ม สำหรับเซกเมนต์คอมแพนดิ้งแบบ $A, A = 87.6$ 22

4.1 แสดงการจำแนกจิทเตอร์แบบต่างๆ 38

4.2 แสดงดิจิตอลซิกแนล บิตเรท จำนวนช่องสัญญาณ และลำดับขั้นของการให้บริการ 45

4.3 แสดงถึงคุณสมบัติของการเข้ารหัสแบบต่างๆ 50

4.4 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ 74

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

3.1 แสดงบล็อกไดอะแกรมของระบบ PCM 6

3.2 การแปลงสัญญาณระหว่างอนาลอกและดิจิตอล 7

3.3 แสดงกระบวนการสุ่มสัญญาณอนาลอก 8

3.4 แสดงผลของการถูกสุ่มทำให้แถบความถี่ของสัญญาณที่ได้ถูกเลื่อนออกไปเป็น จำนวน k โดย $\Omega_k = 2\pi k / T_S$ 10

3.5 แสดงความสัมพันธ์ระหว่างแถบความถี่ 11

3.6 แสดงคุณลักษณะของตัวควอนไทซ์เชิงเส้นและความผิดพลาดควอนไทซ์ โดยช่วง $x < x_0$ และ $x > x_N$ เป็นช่วงที่เกิดการโอเวอร์โหลด 13

3.7 กราฟคุณลักษณะของตัวควอนไทซ์แบบไม่สม่ำเสมอ 16

3.8 แสดงวิธีการสร้างควอนไทซ์แบบไม่สม่ำเสมอ 17

3.9 ตัวอย่างเส้นโค้งบีบอัดสัญญาณ 18

3.10 การประมาณค่าเส้นโค้งการคอมแพนดิ้งแบบลอการิทึม $\mu = 225$ ด้วยส่วนของเส้นตรงเป็นช่วงๆ โดยแสดงเฉพาะช่วงบวก 20

3.11 การประมาณค่าเส้นโค้งการคอมแพนดิ้งแบบลอการิทึมค่า $A = 87.6$ ด้วยส่วนของเส้นตรงเป็นช่วงๆ โดยแสดงเฉพาะช่วงบวก 22

3.12 ภาพสมมูลแสดงตัวส่งและตัวรับระบบทีดีเอ็ม 23

3.13 โครงสร้างของเฟรมระบบทีดีเอ็ม 24

3.14 ไดอะแกรมแสดงสถานะการอไลเมนต์ 25

3.15 ตัวอย่างการซิงโครไนซ์เฟรม 27

3.16 แสดงไดอะแกรมการตรวจหา เฟรมอไลเมนต์เวอร์ด FAW 28

3.17 การซิงโครไนซ์เฟรมผิดเนื่องจากการเลือก FAW ที่ไม่เหมาะสม 29

3.18 โทโปโลยีของโครงข่ายเชื่อมโยงภายใน 31

3.19 แสดงโทโปโลยีของโครงข่ายแบบสเตติก 32

3.20 แนวความคิดซิงเกิลสเตจอินเตอคอนเนคชั่นเน็ตเวิร์ค 33

3.21 วงจรสวิตซ์ 4 สภาวะการทำงาน 34

3.22 สัญญลักษณ์ของวงจรสวิตซ์ 35

3.23 รายละเอียดของชุดข้อมูล 36

4.1 แสดงนิยามของจิทเตอร์ 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่		หน้า
4.2	การเข้ารหัสข้อมูลดิจิตอลเป็นสัญญาณดิจิตอล	39
4.3	แสดงลักษณะของรหัสสัญญาณดิจิตอลแบบต่างๆ	40
4.4	เส้นโค้งแสดงความหนาแน่นพลังงานในแถบความถี่	41
4.5	ภาพสมมูลย์แสดงตัวส่งและตัวรับระบบทีดีเอ็ม	42
4.6	โครงสร้างของเฟรมระบบทีดีเอ็ม	43
4.7	ลำดับขั้นของระบบ	44
4.8	บล๊อกไดอะแกรมของมาสเตอร์กรุ๊ปและคอมเมอเชียลทีลิวิชั่น	45
4.9	รูปแบบการเข้ารหัสข้อมูล	46
4.10	รูปแบบการเข้ารหัส	48
4.11	การยืดระยะของระดับดีซี	49
4.12	ดิจิตอลไบเฟส	50
4.13	บล๊อกไดอะแกรมของรีพีทเตอร์	51
4.14	แสดงการเข้ารหัส PCM-TDM (a) บล็อกไดอะแกรม (b) TDM frame	54
4.15	ลำดับการแซมปลิ้ง T1 carrier	55
4.16	การสร้างเฟรมมิ่งบิตสำหรับระบบ PCM-24	56
4.17	TDM frame และ แซมเปิลอะไลเมนต์	57
4.18	ลำดับเฟรมมิ่งบิตของซุปเปอร์เฟรม T1 ที่ใช้ D2 หรือ D3	58
4.19	T1 แคเรียเฟรม การสุ่มสัญญาณ และซิกแนลริ่งอะไลเมนต์ ของ D2 และ D3	59
4.20	การอินเทอรีพวิ่ง	62
4.21	ความถี่และคีย์แพดของ DTMF	63
4.22	วงจรการสร้างสัญญาณ DTMF	64
4.23	ระดับการส่ง DTMF	66
4.24	วงจรเพาเวอร์ที่ใช้ในเครื่องโทรศัพท์	68
4.25	วงจรสมมูลของการเกิดโวลเตจทรานเชียล	69
4.26	บล๊อกไดอะแกรมตัวแปลงสัญญาณพัลซ์	70
4.27	ไดอัลและมิวพัลซ์ไดอัลริ่ง	70
4.28	การกำเนิดสัญญาณ DTMF	71
4.29	ชนิดของคีย์แพด DTMF และเวพฟอร์มเอาท์พุท	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่		หน้า
4.30	แสดงบล็อกไดอะแกรมของ MT8870	72
4.31	แสดงความถี่ที่ได้จากภาคกรองความถี่	73
4.32	แสดงวงจรตรวจสอบอย่างง่ายและแสดงการกำหนดเวลาการ์ดไทม์	75
4.33	รูปแสดงการต่อวงจรภาคอินพุท	75
4.34	(a) รูปแสดงการต่อวงจรผลิตความถี่	76
	(b) รูปแสดงวงจรใช้งานเบื้องต้นของ MT8870	
4.35	(a) บล๊อกไดอะแกรมของวงการสร้างบิตส่วนหัว (b) TDM packet	77
5.1	การเชื่อมโยงของวงจรสวิตซ์แบตเชอร์	81
5.2	(a) สัญลักษณ์ของวงจรสวิตซ์ (b) สภาวะการทำงานของวงจรสวิตซ์	81
5.3	โครงข่ายแบตเชอร์ขนาด 16 อินพุท และ 16 เอาท์พุท	82
5.4	แสดงขนาดต่างๆ ของโครงข่ายแบตเชอร์	82
5.5	วงจรการทำงานของโครงข่ายแบตเชอร์	83
5.6	บล็อกไดอะแกรมของแบตเชอร์โปรเซสซิ่งอิลิเมนต์	85
5.7	การเชื่อมโยงของวงจรสวิตซ์บานยาน	86
5.8	สถานะและสัญญลักษณ์ของโครงข่ายบานยาน	87
5.9	โครงข่ายบานยานขนาด 16 อินพุท และ 16 เอาท์พุท	88
5.10	ขนาดต่างๆ ของโครงข่ายบานยาน	88
5.11	วงจรการทำงานของโครงข่ายบานยาน	89
5.12	บล็อกไดอะแกรมของบานยานโปรเซสซิ่งอิลิเมนต์	91
5.13	โครงข่ายแบตเชอร์ขนาด 16 x 16	92
5.14	โครงข่ายบานยานขนาด 16 x 16	93
5.15	โครงข่ายเชื่อมต่อภายในขนาด 16 x 16	93
5.16	รูปแบบชุดข้อมูล	94
5.17	สัญลักษณ์ของการทำงานวงจรสวิตซ์	95
6.1	(a) บล๊อกไดอะแกรมของวงการสร้างบิตส่วนหัว (b) TDM packet	96
6.2	วงจรการสร้างบิตส่วนหัว	97
6.3	แสดงสัญญาณการสร้างบิตส่วนหัว โดยรูปที่ a ถึง p แสดงบิตส่วนหัวช่องสัญญาณที่ 1-16 ตามลำดับ (บิตปลายทาง 0-15)	99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

6.4 โครงข่ายเชื่อมต่อภายในขนาด 16 x 16 99

6.5 บล็อกไดอะแกรมของแบตเชอร์โปรเซสซิ่งอิลิเมนต์ 100

6.6 วงจรสวิตซ์แบตเชอร์ชนิด Batcher Down-sort element 100

6.7 ผลการทดสอบวงจรสวิตซ์แบตเชอร์ชนิด Batcher Down-sort element
เมื่ออินพุท (I0 , I1) เป็น Active packet (Activity Bit = 0) ทั้งสองด้าน 101

6.8 ผลการทดสอบวงจรสวิตซ์แบตเชอร์ชนิด Batcher Down-sort element
เมื่ออินพุท (I0 , I1) ด้านใดด้านหนึ่งเป็น Inactive packet (Activity Bit = 1) 102

6.9 วงจรสวิตซ์แบตเชอร์ชนิด Batcher Up-sort element 102

6.10 ผลการทดสอบวงจรสวิตซ์แบตเชอร์ชนิด Batcher Up-sort element
เมื่ออินพุท (I0 , I1) เป็น Active packet (Activity Bit = 0) ทั้งสองด้าน 103

6.11 ผลการทดสอบวงจรสวิตซ์แบตเชอร์ชนิด Batcher Up-sort element
เมื่ออินพุท (I0 , I1) ด้านใดด้านหนึ่งเป็น Inactive packet (Activity Bit = 1) 104

6.12 บล็อกไดอะแกรมของบานยานโปรเซสซิ่งอิลิเมนต์ 104

6.13 วงจรสวิตซ์บานยานชนิด Banyan Down-sort element 105

6.14 ผลการทดสอบวงจรสวิตซ์บานยานชนิด Banyan Down-sort element
เมื่ออินพุท (I0 , I1) เป็น Active packet (Activity Bit = 0) ทั้งสองด้าน 105

6.15 ผลการทดสอบวงจรสวิตซ์บานยานชนิด Banyan Down-sort element
เมื่ออินพุท (I0 , I1) ด้านใดด้านหนึ่งเป็น Inactive packet (Activity Bit = 1) 106

6.16 ผลการทดสอบระบบ Batcher Down-sort element 107

6.17 ผลการทดสอบระบบ Batcher Up-sort element 108

6.18 ผลการทดสอบระบบ Banyan Down-sort element 108

6.19 โครงข่ายแบตเชอร์ที่ใช้พิจารณาในการเลียนแบบ 109

6.20 โครงข่ายบานยานที่ใช้พิจารณาในการเลียนแบบ 109

6.21 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 1ได้สภาวะ Exchange 110

6.22 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 2ได้สภาวะ Exchange 110

6.23 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 3ได้สภาวะ Straight 111

6.24 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 4ได้สภาวะ Exchange 111

6.25 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 5ได้สภาวะ Exchange 112

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่		หน้า
6.26	สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 6ได้สภาวะ Straight	112
6.27	สัญญาณการทดสอบ Batcher Down-sort element สเตจที่ 7ได้สภาวะ Exchange ...	113
6.28	สัญญาณการทดสอบ Batcher Down-sort element สเตจที่ 8ได้สภาวะ Straight	113
6.29	สัญญาณการทดสอบ Batcher Down-sort element สเตจที่ 9ได้สภาวะ Exchange ...	114
6.30	สัญญาณการทดสอบ Batcher Down-sort element สเตจที่ 10ได้สภาวะ Straight	114
6.31	สัญญาณการทดสอบ Banyan Down-sort element สเตจที่ 1ได้สภาวะ Straight	115
6.32	สัญญาณการทดสอบ Banyan Down-sort element สเตจที่ 2ได้สภาวะ Exchange	115
6.33	สัญญาณการทดสอบ Banyan Down-sort element สเตจที่ 3ได้สภาวะ Straight	116
6.34	สัญญาณการทดสอบ Banyan Down-sort element สเตจที่ 4ได้สภาวะ Straight	116

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

โครงข่ายการสื่อสารแบบดิจิตอลนั้นเป็นโครงข่ายที่ถูกพัฒนาขึ้นมาอย่างต่อเนื่องตลอดโดยเฉพาะการสื่อสารด้านโทรศัพท์ ซึ่งจะมีการเชื่อมโยงระหว่างชุมสายโทรศัพท์เข้าด้วยกัน ข้อดีของสัญญาณดิจิตอลคือ สามารถทำการสร้างสัญญาณใหม่ขึ้นมาทดแทนสัญญาณเดิมได้ โดยสถานีทวนสัญญาณ (Repeater) ในระยะ 20 ปีที่ผ่านมา โครงข่ายสื่อสารข้อมูลสาธารณะได้พัฒนาไปอย่างรวดเร็ว ด้วยเทคโนโลยีการสื่อสารข้อมูลดิจิตอล สัญญาณอนาลอกจะถูกแปลงให้เป็นสัญญาณดิจิตอลและสื่อสารผ่านโครงข่ายดิจิตอล (Integrated Digital Network) ก่อนที่จะแปลงกลับมาเป็นสัญญาณอนาลอกดังเดิม ดังนั้นการสื่อสารระบบดิจิตอลจึงเป็นเทคโนโลยีที่ถูกพัฒนาให้มีประสิทธิภาพมากขึ้นเรื่อยๆ ด้วยคุณภาพที่ดีขึ้นและค่าใช้จ่ายที่ต่ำลงกว่าเดิม จึงเป็นอีกเหตุผลหนึ่งที่ทำให้มีการพัฒนารูปแบบใหม่ๆ ในการให้บริการไม่ว่าจะเป็นเทคโนโลยีแบบไร้สาย หรือแม้กระทั่งโครงข่ายบริการสื่อสารร่วมระบบดิจิตอล (Integrated Services Digital Network)

วิทยานิพนธ์ฉบับนี้จะกล่าวถึงการประยุกต์ใช้งานการสื่อสารระบบดิจิตอลอีกรูปแบบหนึ่งซึ่งอาศัยโครงข่ายการสื่อสารทางด้านฮาร์ดแวเพื่อใช้ในการส่งข้อมูลในรูปแบบดิจิตอล เพื่อเป็นพื้นฐานในการสร้างโครงข่ายขนาดใหญ่ต่อไป

1.2 ความมุ่งหมายและวัตถุประสงค์

วัตถุประสงค์ในการทำวิทยานิพนธ์ฉบับนี้ ผู้เขียนมีวัตถุประสงค์หลักในการออกแบบและทดสอบ เพื่อให้แน่ใจว่าสามารถนำโครงข่ายเชื่อมต่อภายใน มาประยุกต์ใช้งานในการสื่อสารข้อมูลพัลซ์โค๊ดมอดูเลชั่นได้ ซึ่งเนื้อหาของวิทยานิพนธ์นี้จะว่าด้วยคุณสมบัติของโครงข่ายเชื่อมต่อภายในในการส่งข้อมูล PCM-TDM frame ระบบเบล T1 1.544Mbps ทดสอบโดยการเลียนแบบการทำงานอย่างละเอียด การเชื่อมต่อกับวงจรสร้างบิตส่วนหัวรวมถึงขอบเขตหรือขีดจำกัดของโครงข่ายเชื่อมต่อภายในที่สามารถทำได้ โดยกำหนดวัตถุประสงค์หลักไว้ดังต่อไปนี้

1.2.1 ศึกษาคุณสมบัติและรูปแบบของการเชื่อมต่อรวมถึงการออกแบบของโครงข่ายเชื่อมต่อภายในที่มีขนาด 16 อินพุท และ 16 เอาท์พุท

1.2.2 ศึกษาคุณสมบัติและหลักการทำงานของการเข้ารหัสแบบพัลซ์โค๊ดมอดูเลชั่น (PCM) กับการมัลติเพล็กซ์แบบแบ่งเวลา (TDM) ในระบบ PCM-24 T1 digital carrier (1.544Mbps)

1.2.3 ศึกษาคุณสมบัติและการออกแบบ ส่วนสร้างสัญญาณโทรศัพท์ชนิดกดปุ่ม (DTMF) และจัดรูปแบบเพื่อนำมาใช้งานร่วมกับโครงข่ายเชื่อมต่อภายในได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2.4 ออกแบบวงจรการสร้างบิตส่วนหัว (Header bit) และแอคติวิทีบิต (Activity bit) ของชุดข้อมูลเพื่อใช้ควบคุมการสวิตชิ่งข้อมูลของโครงข่ายเชื่อมต่อภายในไปยังตำแหน่งปลายทาง

1.2.5 ทดสอบการทำงานวงจรสวิตซ์แบตเชอร์และบานยาน ที่ใช้เชื่อมต่อกันเป็นโครงข่ายเชื่อมต่อภายใน

1.2.6 ทดสอบการทำงานวงจรสร้างบิตส่วนหัว (Header bit)และแอคติวิทีบิต (Activity bit) ที่ส่วนหัวของชุดข้อมูล PCM-TDM frame ในระบบเบล T1 1.544Mbps และทดสอบระบบโดยการป้อนพัลซ์ผ่านวงจรสวิตซ์ของโครงข่ายเชื่อมต่อภายใน

1.2.7 ศึกษาถึงแนวทางการพัฒนาระบบของโครงข่ายเชื่อมต่อภายในเพื่อให้ใช้งานได้อย่างมีประสิทธิผล

1.3 สมมุติฐานของการศึกษา

ในการออกแบบโครงข่ายเชื่อมต่อภายในในวิทยานิพนธ์ฉบับนี้จะอาศัยหลักการและทฤษฎีรวมถึงคุณสมบัติการเชื่อมโยงข้อมูล จากงานวิจัยที่เกี่ยวข้องที่ได้แสดงการเชื่อมโยงเป็นโครงข่ายไว้แล้ว โดยในวิทยานิพนธ์ฉบับนี้จะเป็นการออกแบบวงจรสวิตซ์ด้วยวงจรเกต ซึ่งเป็นเพียงส่วนหนึ่งที่นำมาประกอบกันขึ้นเป็นโครงข่ายเชื่อมต่อภายใน และเลียนแบบการทำงานให้ได้คุณสมบัติตามทฤษฎีหรือหลักการดังกล่าว แล้วศึกษาถึงความเป็นไปได้ในการนำมาประยุกต์ใช้งานในการส่งข้อมูล PCM-TDM frame รวมถึงอ้างอิงหลักการสร้างพัลซ์จากสัญญาณโทรศัพท์ชนิดกดปุ่ม (DTMF) เพื่อนำมาประยุกต์ใช้งานร่วมกัน

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

แนวความคิดที่ใช้ในงานวิจัยนี้ ได้จากความต้องการที่จะนำโครงข่ายเชื่อมต่อภายใน มาใช้งานในการสื่อสารข้อมูลดิจิตอล โดยการสร้างสัญญาณควบคุมจากวงจรภายนอก ซึ่งจะพิจารณาจากสัญญาณที่ได้จากความถี่โทรศัพท์ จึงเป็นการสะดวกและเห็นได้ชัดว่ามีความเป็นไปได้จริง โดยการกดปุ่มและแปลงความถี่ให้เป็นสัญญาณดิจิตอลขนาด 4 บิต ขนาน และแปลงให้เป็นรูปแบบอนุกรมขนาด 4 บิต จากนั้นก็ทำการเพิ่มบิตอีก 1 บิต จากชิพรีจีสเตอร์เพื่อเป็นแอคทิวิทีบิตหรือบิตสถานะ เมื่อได้ครบ 5 บิต แล้วจึงนำไปมัลติเพล็กซ์รวมกับสัญญาณข้อมูลให้เป็นบิตส่วนหัวของชุดข้อมูล 5 บิต เพื่อควบคุมให้โครงข่ายสวิตซ์ข้อมูลไปยังตำแหน่งปลายทางได้ตามที่ต้องการ

1.5 ขอบเขตการวิจัย

1.) ในวิทยานิพนธ์ฉบับนี้ จะเน้นหนักในด้านศึกษาทฤษฎีและอ้างถึงหลักการในงานวิจัยที่เกี่ยวข้องในส่วนหลักในการเชื่อมโยงของโครงข่ายเชื่อมต่อภายใน และทำการออกแบบวงจรสวิตซ์ทดสอบเพื่อให้แน่ใจว่าเป็นไปตามทฤษฎีที่ได้ศึกษามาแล้วนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.) ในส่วนการสร้างวงจรควบคุมการสวิตซ์ของโครงข่าย จะอาศัยหลักการและทฤษฎีของการสร้างดิจิตอลบิตจากวงจรโทรศัพท์ และทำการจัดรูปแบบสัญญาณเพื่อให้สามารถนำมาควบคุมการสวิตซ์ของโครงข่ายเชื่อมต่อภายในได้

3.) ในส่วนสัญญาณข้อมูลในวิทยานิพนธ์ฉบับนี้จะกล่าวถึงสัญญาณพัลซ์โค๊ดมอดูเลชั่นที่เข้ารหัสและมัลติเพล็กซ์แบบ 24 ช่องสัญญาณ แบบพื้นฐานในระบบ T1 1.544 Mbps และทดสอบการส่งสัญญาณ PCM-TDM frame ในระบบดังกล่าวโดยการเลียนแบบด้วยสัญญาณพัลซ์เพื่อให้แน่ใจว่าสามารถส่งข้อมูล PCM-TDM frame ไปยังตำแหน่งปลายทางที่ต้องการได้

1.6 ขั้นตอนของการศึกษา

ขั้นตอนของการศึกษาในวิทยานิพนธ์ฉบับนี้ จะแบ่งเนื้อหาหลัก ๆ ออกเป็นทั้งหมด 7 บทด้วยกันโดย

บทที่ 1 จะกล่าวถึงความเป็นมาและความสำคัญของปัญหาความมุ่งหมายและวัตถุประสงค์ของการศึกษา สมมุติฐานของการศึกษา ทฤษฎีและแนวความคิดที่ใช้ในการวิจัย ขอบเขตของการวิจัย รวมถึงขั้นตอนของการศึกษาโดยแบ่งเป็นบทๆ มีทั้งหมด 7 บท

บทที่ 2 จะกล่าวถึงชื่อเรื่องหรือหัวข้องานวิจัยที่เกี่ยวข้อง ที่เป็นพื้นฐาน และแนวความคิดเบื้องต้นในการทำวิทยานิพนธ์ฉบับนี้

บทที่ 3 จะกล่าวถึงทฤษฎีและหลักการเบื้องต้น ซึ่งประกอบด้วยทฤษฎีพัลซ์โค๊ดมอดูเลชั่น (PCM) ทฤษฎีการมัลติเพล็กซ์แบบแบ่งเวลา รวมถึงทฤษฎีโครงข่ายเชื่อมต่อภายใน

บทที่ 4 จะกล่าวถึงการออกแบบการส่งข้อมูล PCM-TDM frame ซึ่งจะประกอบด้วยระบบของการซิงโครไนซ์สัญญาณ ระบบของการส่งข้อมูล PCM-24 การกำเนิดสัญญาณโทรศัพท์ชนิดกดปุ่ม (DTMF) การถอดรหัสความถี่โทรศัพท์และระบบการสร้างสัญญาณควบคุมการส่งชุดข้อมูล PCM-TDM data frame

บทที่ 5 จะกล่าวถึงหลักการออกแบบโครงข่ายเชื่อมต่อภายใน จะอธิบายถึงหลักการทำงานของวงจรสวิตซ์แบตเชอร์ วงจรสวิตซ์บานยาน รวมถึงการเชื่อมต่อเพื่อสร้างเป็นโครงข่ายเชื่อมต่อภายในที่สมบูรณ์

บทที่ 6 จะกล่าวถึงการออกแบบระบบ การทดสอบระบบ ซึ่งประกอบด้วยผลการทดสอบการสร้างบิตส่วนหัวของชุดข้อมูล ผลการทดสอบเมื่อเชื่อมต่อเป็นโครงข่ายใช้งาน ผลการทดสอบในส่วนของโครงข่ายแบตเชอร์ และโครงข่ายบานยาน

บทที่ 7 สรุปผลของการวิจัยและข้อเสนอแนะรวมถึงแนวทางในการพัฒนาระบบเพื่อให้ใช้งานจริงได้อย่างมีประสิทธิผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
งานวิจัยที่เกี่ยวข้อง

วรรณกรรมหรืองานวิจัยที่เกี่ยวข้อง (Literature review) ที่ใช้เป็นแนวทางในการทำงานวิจัยชิ้นนี้ จะมีด้วยกันทั้งหมด 4 งานวิจัย คือ งานวิจัยเรื่อง

A 200 MHz CMOS Broad-Band Switching Chip

จะกล่าวถึงโครงสร้างและหลักการทำงาน การเชื่อมโยงในแบบของมัลติสเตจเน็ตเวิร์คของโครงข่ายแบตเชอร์และโครงข่ายบานยาน ที่ออกแบบโดยใช้ชิพ 200 MHz 32 ช่องสัญญาณเพื่อใช้สำหรับบรอดแบนด์แพคเก็ตของ "อะซิงโครนัสทรานสเฟอร์โหมด"(Asynchronous transfer mode) หรือที่เรียกว่า ATM สวิตชิ่งแพคเก็ต โดยจะอธิบายถึงทฤษฏีการออกแบบและการพัฒนาเป็นแบบที่ใช้ซีมอสทรานซีสเตอร์

A CMOS Batcher and Banyan Chip Set for B-ISDN Packet Switching

กล่าวถึง การประยุกต์ใช้งานโครงข่ายแบตเชอร์และโครงข่ายบานยานเพื่อใช้สำหรับบรอดแบนด์แพคเก็ต โดยกระทำที่ 32 บิต อนุกรมแพคเก็ต และอธิบายถึงโครงสร้างที่สามารถประยุกต์ใช้งานให้เป็นโครงข่ายขนาดใหญ่ขึ้น โดยชิพที่ใช้ทดสอบในแต่ละช่องสัญญาณจะใช้ชิพที่มีความเร็วในการถ่ายโอน 170Mbps และต้องการแหล่งจ่ายขนาด 5 โวลท์ 1.5 วัตต์ เพื่อเตรียมสำหรับความเร็วในการสวิตชิ่ง 5.44 Gbps โดยจะออกแบบเพื่อใช้รองรับความเร็วสูงๆ ของ B-ISDN (Broad-band Integrated services digital network) แพคเก็ตสวิตชิ่ง โดยในงานวิจัยจะอธิบายถึงรูปแบบการเชื่อมต่อวงจรสวิตซ์เป็นโครงข่ายเชื่อมโยงภายใน ทฤษฎีและหลักการออกแบบบล็อกไดอะแกรมของวงจรสวิตซ์แบตเชอร์และวงจรสวิตซ์บานยาน รวมถึงไทมิ่งไดอะแกรมการออกแบบโดยชิพซีมอส

VLSI Performance Comparison of Banyan and Crossbar Communications Networks

จะกล่าวถึง คุณสมบัติของโครงข่ายบานยาน และโครงข่ายครอสบาร์ ที่ออกแบบโดยใช้เทคโนโลยี VLSI ซึ่งจะเปรียบเทียบคุณสมบัติลักษณะการทำงานของโครงข่ายบานยาน และโครงข่ายครอสบาร์ โดยสมมติโครงข่ายถูกออกแบบแบบซิงเกิล VLSI ชิพ และทำงานในลักษณะเซอกิตสวิตซ์โหมด โดยทั้งสองโครงข่ายที่นำมาพิจารณามีขนาด 8 อินพุท และ 8 เอาท์พุทเท่ากัน

การออกแบบโครงข่ายเชื่อมโยงภายในและการประยุกต์ใช้งาน

จะกล่าวถึง โครงสร้างและโหมดการทำงาน หลักการเชื่อมโยงในแบบมัลติสเตจเน็ตเวิร์ค การออกแบบโครงข่ายโดยใช้ซีมอสทรานซีสเตอร์ การควบคุมในส่วนของฮาร์ดแวร์ของโครงข่ายการเชื่อมต่อการสวิตชิ่งข้อมูล การจัดลำดับของแพคเก็ตข้อมูล รูปแบบการเชื่อมต่อวงจรสวิตซ์ และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการออกแบบโครงข่ายเชื่อมโยงภายในขนาด 16 x 16 การออกแบบบล็อกไดอะแกรมของวงจรสวิตซ์แบตเชอร์และวงจรสวิตซ์บานยาน รวมถึงไทมิ่งไดอะแกรมของทั้งสองวงจร และส่วนของการประยุกต์ และนำไปใช้งานเป็นโครงข่ายสำหรับถ่ายโอนข้อมูลด้วยความเร็วสูงๆ แบบต่างๆ คือ โครงข่ายเชื่อมโยงภายในด้วยตัวเอง (Self-Routing Switching) การนำไปใช้งานกับโครงข่ายสื่อสารร่วมระบบดิจิตอล (ISDN : Integrated Services Digital Network) หรือโครงข่ายสื่อสารร่วมดิจิตอลแถบกว้าง (B-ISDN : Broadband Integrated Services Digital Network) การนำไปใช้สำหรับโครงข่ายที่ต้องการถ่ายโอนข้อมูลด้วยความเร็วสูง

ดังนั้น ในวิทยานิพนธ์ฉบับนี้จึงนำเอาหลักการและทฤษฎีรวมถึงคุณสมบัติการเชื่อมโยงข้อมูลจากงานวิจัยที่เกี่ยวข้องที่ได้แสดงการเชื่อมโยงเป็นโครงข่ายไว้แล้ว โดยในวิทยานิพนธ์ฉบับนี้จะเป็นการออกแบบวงจรสวิตซ์ด้วยวงจรเกต ซึ่งเป็นเพียงส่วนหนึ่งที่นำมาประกอบกันขึ้นเป็นโครงข่ายเชื่อมต่อภายในและเลียนแบบการทำงานให้ได้คุณสมบัติตามทฤษฎีหรือหลักการดังกล่าว แล้วศึกษาถึงความเป็นไปได้ในการนำมาประยุกต์ใช้งานในการส่งข้อมูล PCM-TDM frame รวมถึงอ้างอิงหลักการสร้างพัลซ์จากสัญญาณโทรศัพท์ชนิดกดปุ่ม (DTMF) เพื่อนำมาประยุกต์ใช้งานร่วมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

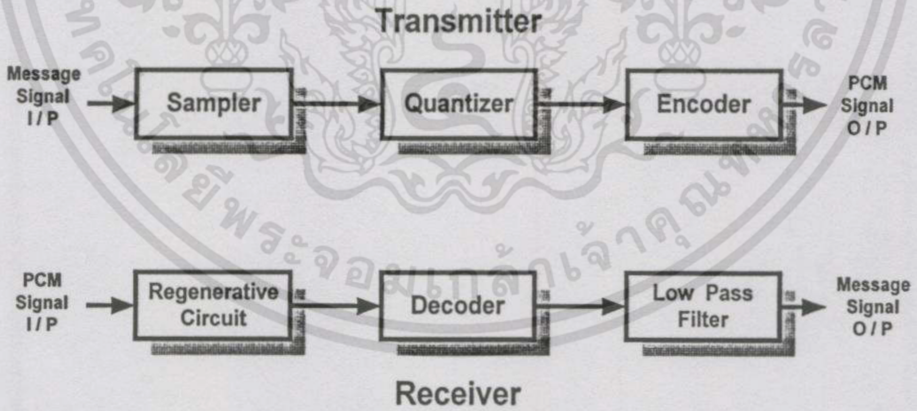
บทที่ 3
ทฤษฎีและหลักการเบื้องต้น

3.1 บทนำ

ในปัจจุบันการสื่อสารทางโทรคมนาคมมีการพัฒนาขึ้นไปอย่างรวดเร็ว โดยเฉพาะในด้านการสื่อสารข้อมูลในระบบดิจิตอล (Digital System) ซึ่งเป็นที่นิยม และถูกพัฒนาขึ้นมากกว่าระบบอนาลอก เพราะมีข้อดีที่เหนือกว่าหลายด้านด้วยกัน เช่น ความเร็วในการส่งข้อมูล การรบกวนของสัญญาณ และ ความผิดพลาดของข้อมูล ที่มีน้อยกว่าระบบอนาลอก ส่วนในวิทยานิพนธ์ฉบับนี้จะกล่าวถึงการสื่อสารข้อมูลดิจิตอลอีกรูปแบบหนึ่ง คือ พัลซ์โคดมอดูเลชั่น (Pulse Code Modulation) และทำการมัลติเพล็กซ์แบบแบ่งเวลา TDM : (Time Division Multiplex)

3.2 พัลซ์โคดมอดูเลชั่น (PCM)

หลักการของ พีซีเอ็ม เป็นหลักการที่ใช้การสุ่มสัญญาณข้อมูล (Sampling) และ การเข้ารหัสขนาดของสัญญาณที่สุ่มให้เป็นลำดับของพัลซ์ ซึ่งนั่นคือลำดับของรหัสเลขฐานสองนั่นเอง ดังนั้นสัญญาณพีซีเอ็มจะสร้างได้จากกระบวนการ 3 อย่าง คือการสุ่มสัญญาณ (Sampling) การควอนไทซ์ (Quantizing) และ การเข้ารหัส (Coding)



รูปที่ 3.1 แสดงบล็อกไดอะแกรมของระบบ PCM

3.2.1 การสุ่มสัญญาณ (Sampling)

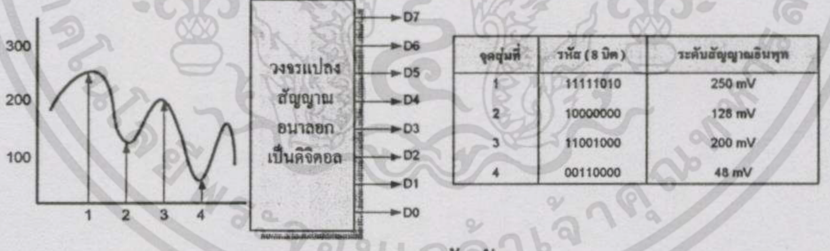
สัญญาณข้อมูลที่เป็นอนาลอกจะถูกแซมปลิ้งแต่ละครั้งโดยมีระยะเวลาห่างเท่าๆ กันทุกครั้ง โดยสัญญาณแซมปลิ้งที่ได้จะเป็นสัญญาณ PAM (Pulse Amplitude Modulation) สัญญาณ PAM มีความกว้างเท่ากับความกว้างของสัญญาณแซมปลิ้งและมีแอมปลิจูดเท่ากับขนาดแอมปลิจูดของสัญญาณข้อมูลในขณะที่ถูกแซมปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีการสุ่มสัญญาณ (Sampling Theory) กล่าวไว้ว่า "สัญญาณข้อมูลที่มีแบนวิดท์เท่ากับ f_M Hz สามารถที่จะสร้างสัญญาณนี้กลับคืนมาใหม่ได้จากค่าสัญญาณที่ได้จากการสุ่มด้วยอัตราที่มากกว่าหรือเท่ากับ 2 เท่าของแบนวิดท์ของสัญญาณข้อมูลหรืออาจกล่าวอีกนัยหนึ่งได้ว่าค่าตัวอย่างที่สุ่มนั้นมีช่วงเวลาของการสุ่มสัญญาณ (Sampling interval) น้อยกว่า หรือเท่ากับ $1/2f_M$ วินาที" ดังนั้นหมายความว่าความถี่สูงสุดของสัญญาณข้อมูลไม่เกิน f_M Hz แล้วนั้นสัญญาณแซมปลิ้ง f_s ต้องมีความถี่มากกว่าหรือเท่ากับ $2f_M$ Hz

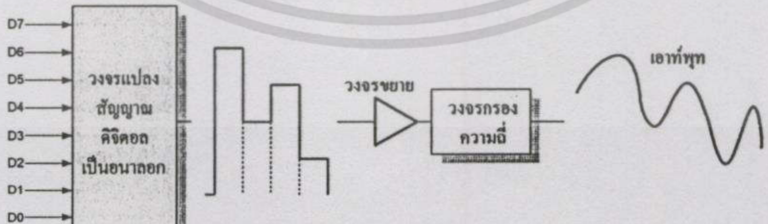
$$f_s \quad \geq \quad 2f_M \qquad (3.1)$$

ถ้าใช้ความถี่ที่ต่ำกว่าความถี่นี้จะทำให้เกิดปรากฏการณ์ ที่เรียกว่า "เอเลียสซิ่ง" (Aliasing) กล่าวคือ เมื่อสัญญาณการแปลงกลับจากดิจิตอลเป็นอนาลอก สเปกตรัมของสัญญาณจะแตกต่างไปจากสัญญาณเดิมเพราะว่าที่ปลายทางจะมี วงจรโลว์พาสฟิลเตอร์ (Lowpass filter) กรองเอาสัญญาณข้อมูลเดิมกลับมา ถ้า f_s มีค่าน้อยกว่า $2f_M$ จะทำให้สัญญาณข้อมูลที่รับได้ที่ปลายทางผิดเพี้ยนไปจากเดิม เนื่องจากสเปกตรัมของสัญญาณ PAM เกิดการ โอเวอร์แลป (Overlap) กัน ดังนั้น f_s อย่างน้อยที่สุดจะต้องมีค่าเท่ากับ $2f_M$ โดยอัตราความถี่จุดนี้เรียกว่า "คริติคอลแซมปลิ้งเรท หรือไนควิสท์เรท" (Critical sampling rate Or Nyquist rate) ในการปฏิบัติเพื่อให้แน่ใจว่าสัญญาณข้อมูลมีแบนด์-ลิมิท (Band-limited) ไม่เกิน f_M Hz จะต้องมีวงจรโลว์พาสฟิลเตอร์ที่มีอัตราการลดทอนที่จุดคัทออฟสูง (Sharp cutoff) ทำการกรองสัญญาณข้อมูลก่อนที่จะได้รับการแซมปลิ้ง



จุดสุ่มที่	รหัส (8 บิต)	ระดับสัญญาณอินพุท
1	11111010	250 mV
2	10000000	128 mV
3	11001000	200 mV
4	00110000	48 mV

(a) การเข้ารหัส



(b) การถอดรหัส

รูปที่ 3.2 การแปลงสัญญาณระหว่างอนาลอกและดิจิตอล

(a) การแปลงจากสัญญาณอนาลอกเป็นดิจิตอล

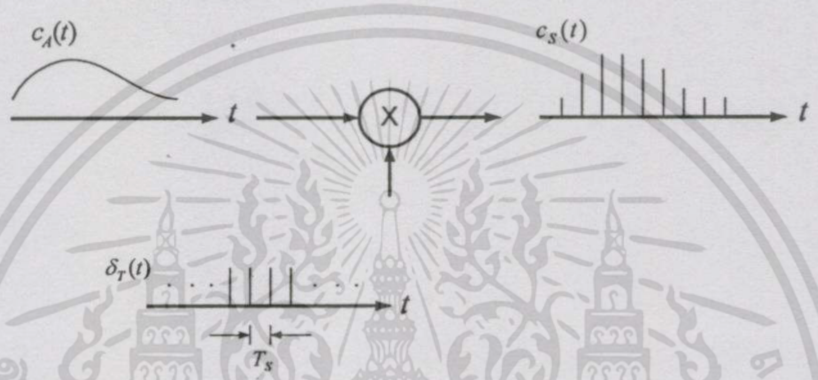
(b) การแปลงจากสัญญาณดิจิตอลเป็นอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีการสุ่มสัญญาณเบื้องต้น (Fundamental of Sampling Theory) สามารถจำลองได้ด้วยการดำเนินการทางคณิตศาสตร์ดังนี้

$$\begin{aligned} c_s(t) &= c_A(t).\delta_{T_s}(t) \\ &= c_A(t).\sum_{n=-\infty}^{\infty}\delta(t-nT_s) \end{aligned} \quad (3.2)$$

เมื่อ $c_s(t)$ คือ สัญญาณที่ได้จากการสุ่ม



รูปที่ 3.3 แสดงกระบวนการสุ่มสัญญาณอนาลอก

$c_A(t)$ คือ สัญญาณอนาลอก

$\delta_{T_S}(t)$ คือ กระบวนการของ ดิแลคเดลตาฟังก์ชั่นที่เกิดขึ้นทุกๆ T_S วินาที

กระบวนการสุ่มสัญญาณแสดงได้ดังรูปที่ 3.3 องค์ประกอบเชิงความถี่ $C_S(j\Omega)$ ของ $c_S(t)$ หาได้โดยทำการแปลง ฟูริเยอร์ ดังนี้

$$\begin{aligned} C_S(j\Omega) &= \int_{-\infty}^{\infty} c_S(t)e^{-j\Omega t}dt \\ &= \int_{-\infty}^{\infty}\left[c_A(t)\sum_{n=-\infty}^{\infty}\delta(t-nT_S)\right]e^{-j\Omega t}dt \end{aligned} \quad (3.3)$$

สลับตัวดำเนินการอินทิเกรตและผลรวม

$$\begin{aligned} C_S(j\Omega) &= \sum_{n=-\infty}^{\infty}\left[\int_{-\infty}^{\infty}\delta(t-nT_S)c_A(t)e^{-j\Omega t}dt\right] \\ &= \sum_{m=-\infty}^{\infty}c_A(nT_S)e^{-jn\Omega T_S} \end{aligned} \quad (3.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย Ω คือ ตัวแปรความถี่สำหรับสัญญาณอนาลอก มีหน่วยเป็น เรเดียน / วินาที

เมื่อพิจารณาองค์ประกอบเชิงความถี่ $C(e^{j\omega})$ ของสัญญาณที่ผ่านการสุ่ม $c_S(t)$ ในกรอบของการแปลงฟูริเยร์เต็มหน่วย DFT (Discrete Fourier Transform) ทั่วไปจะได้

$$C(e^{j\omega}) \;=\; \sum_{n=-\infty}^{\infty} c_A(nT_S)e^{-jn\omega} \qquad (3.5)$$

โดย ω เป็นตัวแปรความถี่ของ $c_S(t)$ มีหน่วยเป็น เรเดียนต่อคาบการสุ่ม เมื่อเปรียบเทียบสมการที่ (3.4) และ (3.5) จะสังเกตุเห็นว่า

$$C(e^{j\omega}) \;=\; C_S(j\Omega)\Big|_{\Omega=\omega/T_S} \qquad (3.6)$$

แสดงว่า $C(e^{j\omega})$ สามารถหาได้จาก $C_S(j\Omega)$ โดยการแทน Ω ด้วย ω/T_S

เพื่อให้ได้ความสัมพันธ์เชิงความถี่ระหว่าง สัญญาณอนาลอก $C_A(j\Omega)$ และสัญญาณที่ได้จากการสุ่ม $C_S(j\Omega)$ ดังนั้นจะต้องแสดง $C_S(j\Omega)$ ในเทอมของ $C_A(j\Omega)$ ให้ได้

เนื่องจาก $\delta_{T_S}(t)$ เป็นฟังก์ชั่นเชิงคาบ จึงสามารถกระจายให้อยู่ในรูปของอนุกรมฟูริเยร์ได้ดังนี้

$$\delta_{T_S}(t) \;=\; \sum_{n=-\infty}^{\infty} a_n e^{-j\Omega_n t} \qquad (3.7)$$

โดยที่ $\Omega_n = 2\pi n/T_S$

$$a_n \;=\; \frac{1}{T_S}\int_{-T_S/2}^{T_S/2} \delta(t)e^{j\Omega_n t}\,dt$$

เนื่องจากในช่วง $-T_S/2 \le t < T_S/2$ มี ดิแลคอิมพัลซ์ เพียงพัลซ์เดียวเท่านั้นคือที่ $t=0$ ดังนั้น

$$a_n \;=\; \frac{1}{T_S}\int_{-T_S/2}^{T_S/2} \delta(t)e^{j0}\,dt \;=\; \frac{1}{T_S} \qquad (3.8)$$

และแทนค่าสัมประสิทธ์ a_n ลงไปในสมการที่ (3.7) และนำสมการที่ (3.7) แทนลงในสมการที่ (3.2) จะได้

$$c_S(t) \;=\; c_A(t).\frac{1}{T_S}\sum_{n=-\infty}^{\infty} e^{-j\Omega_n t}$$

$$\;=\; \frac{1}{T_S}\sum_{n=-\infty}^{\infty} c_A(t)e^{-j\Omega_n t} \qquad (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และองประกอบเชิงความถี่ของ $c_S(t)$ เป็น

$$\begin{aligned} C_S(j\Omega) &= \int_{-\infty}^{\infty} c_S(t)e^{-j\Omega t}dt \\ &= \frac{1}{T_S}\int_{-\infty}^{\infty}\left[\sum_{n=-\infty}^{\infty} c_A(t)e^{-j\Omega_n t}\right]e^{-j\Omega t}dt \end{aligned} \qquad (3.10)$$

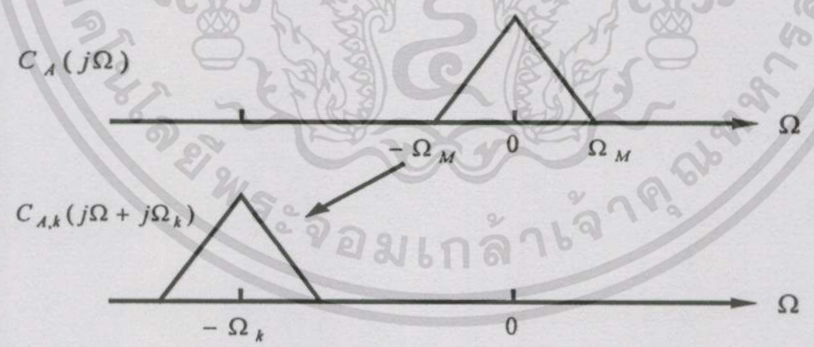
สลับลำดับของตัวดำเนินการอินทิเกรต และผลรวม

$$C_S(j\Omega) = \frac{1}{T_S}\sum_{n=-\infty}^{\infty}\left[\int_{-\infty}^{\infty} c_A(t)e^{-j(\Omega+\Omega_n)t}dt\right] \qquad (3.11)$$

ถ้ากำหนดให้

$$\begin{aligned} C_{s,k}(j\Omega) &= \int_{-\infty}^{\infty} c_A(t)e^{-j(\Omega+\Omega_k)t}dt \\ &= C_A(j\Omega + j\Omega_k) \end{aligned} \qquad (3.12)$$

ผลที่ได้ คือ $C_{s,k}(j\Omega)$ มีรูปแบบเหมือนกับ การแปลงฟูริเยอร์ของสัญญาณอนาลอก ที่ความถี่ถูกเลื่อนออกไปจาก $\Omega = 0$ ไปเป็น $\Omega = -\Omega_k$ ซึ่งเขียนได้อีกรูปหนึ่ง คือ $C_A(j\Omega + j\Omega_k)$ ดังในรูปที่ 3.4



รูปที่ 3.4 แสดงผลของการถูกสุ่มทำให้แถบความถี่ของสัญญาณที่ได้ถูกเลื่อนออกไปเป็นจำนวน k โดย $\Omega_k = 2\pi k/T_S$

ดังนั้นองค์ประกอบทางความถี่รวมหาได้จากผลรวมของแถบความถี่ที่ทุกๆ ค่าของ k ดังนี้

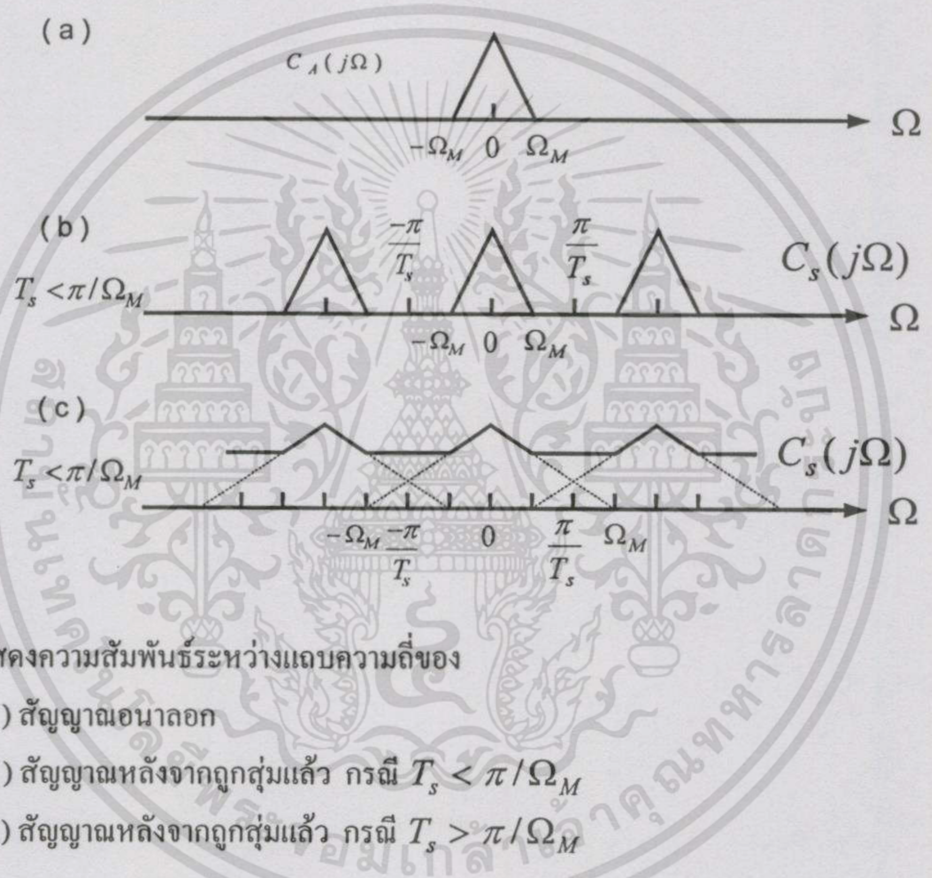
$$C_s(j\Omega) = \frac{1}{T_s}\sum_{k=-\infty}^{\infty} C_{s,k}(j\Omega)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{1}{T_s}\sum_{k=-\infty}^{\infty} C_A(j\Omega + j2\pi k/T_s) \qquad (3.13)$$

จะเห็นว่า $C_s(j\Omega)$ เป็นฟังก์ชั่นรายคาบ ซึ่งมีคาบเป็น $2\pi/T_s$ เมื่อนำผลจากสมการ (3.13) แทนกลับไปในสมการ (3.6) จะได้สมการสุดท้าย คือ

$$C(e^{j\omega}) = \frac{1}{T_s}\sum_{k=-\infty}^{\infty} C_A(j\omega/T_s + j2\pi k/T_s) \qquad (3.14)$$



รูปที่ 3.5 แสดงความสัมพันธ์ระหว่างแถบความถี่ของ

(a) สัญญาณอนาลอก

(b) สัญญาณหลังจากถูกสุ่มแล้ว กรณี $T_s < \pi/\Omega_M$

(c) สัญญาณหลังจากถูกสุ่มแล้ว กรณี $T_s > \pi/\Omega_M$

จากสมการหลังสุดนี้แสดงให้เห็นว่า เมื่อทำการสุ่มสัญญาณอนาลอก $c_A(t)$ ด้วยคาบการสุ่ม T_s ผลที่ได้คือ สัญญาณที่มีค่าไม่ต่อเนื่อง $c_A(nT_s)$ ซึ่งมีองค์ประกอบเชิงความถี่ $C_s(j\Omega)$ เป็นฟังก์ชั่นรายคาบคือ เกิดแถบความถี่ $C_A(j\Omega)$ เป็นช่วงๆ ห่างเท่าๆ กัน ช่วงละ $2\pi/T_s$ ดังรูปที่ 3.5(b) และจากรูปที่ 3.5(c) พิจารณาแถบความถี่ที่ $\Omega = 0$ และ $\Omega = 2\pi/T_s$ จะเห็นว่า ถ้าแถบความถี่ Ω_M ของสัญญาณอนาลอก $C_A(j\Omega)$ มีค่ามากกว่า π/T_s แล้วพบว่า เกิดการซ้อนกันของแถบความถี่ที่ π/T_s เป็นผลให้แถบความถี่ของสัญญาณที่ถูกสุ่มผิดเพี้ยนไปจากสัญญาณอนาลอกดั้งเดิม $c_A(t)$ เรียกปรากฏการนี้ว่า "เอเลียสซิ่ง" (Aliasing effect) โดยเงื่อนไขที่จะไม่ทำให้เกิดปรากฏการณ์นี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\pi}{T_s} \geq \Omega_M$$

หรือ $$f_s \geq 2f_M$$

โดย $f_s = 1/T_s$ และ $\Omega_M = 2\pi f_M$

ดังนั้นจึงเป็นไปตามสมการที่ (3.1) ซึ่งเรียกความถี่ f_s นี้ว่าความถี่ไนควิสท์

3.2.2 การควอนไทเซชัน

กระบวนการสุ่มสัญญาณคือ กระบวนการแปลงสัญญาณอนาลอกที่มีความต่อเนื่องเชิงเวลา (Continuous time signal) เป็นสัญญาณที่ไม่มีความต่อเนื่องเชิงเวลา (Discrete time signal) ซึ่งขนาดสัญญาณจะเท่ากันกับสัญญาณก่อนถูกสุ่ม แต่จะปรากฏค่าเฉพาะเวลาที่แน่นอนค่าหนึ่งเท่านั้น ส่วนกระบวนการควอนไทซ์ (Quantizing) คือ กระบวนการแปลงขนาดระดับของสัญญาณใด ๆ ให้เป็นระดับที่ใกล้เคียงที่สุดที่ถูกกำหนดแบ่งไว้แล้ว ที่เป็นเช่นนี้เนื่องจากการแปลงค่าสัญญาณต่อเนื่องให้เป็นค่าตัวเลขซึ่งก็คือ เซ็ตของกลุ่มบิตข้อมูลที่มีจำนวนบิต n ที่แน่นอนนั้นกลุ่มบิตเหล่านี้สามารถที่จะย้อนกลับไปแทนระดับสัญญาณได้เพียง 2^n ระดับ จึงไม่สามารถแทนระดับสัญญาณต้นแบบได้อย่างต่อเนื่องทุกค่าได้ ผลอันนี้ก่อให้เกิดสัญญาณรบกวนที่เรียกว่า “สัญญาณรบกวนควอนไทซ์ N_q (Quantization Noise) ซึ่งสำหรับตัวควอนไทซ์เชิงเส้น สัญญาณรบกวนเหล่านี้จะกระจายอย่างสม่ำเสมอตลอดช่วงของการควอนไทซ์ ทำให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ S/N_q ที่ระดับสัญญาณต่ำ ๆ จะไม่ดี จึงมีการใช้ตัวควอนไทซ์แบบใหม่ที่เรียกว่า “ตัวควอนไทซ์แบบไม่สม่ำเสมอ” (Nonuniform Quantization) เพื่อแก้ปัญหา

3.2.2.1 ควอนไทซ์เชิงเส้น

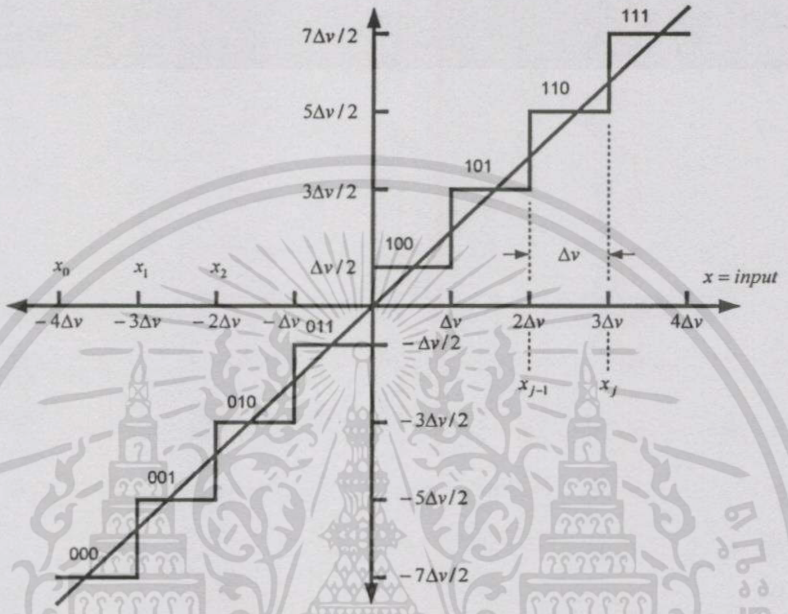
กราฟความสัมพันธ์ระหว่างเอาท์พุทและอินพุทของตัวควอนไทซ์เชิงเส้น แสดงได้ดังรูปที่ 3.6(a) ซึ่งเป็นตัวควอนไทซ์ขนาด 3 บิต จากรูปจะเห็นว่าพิสัยขนาดของสัญญาณอนาลอกอินพุทจะถูกแบ่งเป็นช่วงย่อยๆ (x_{j-1}, x_j) เมื่อสัญญาณอินพุทมีขนาดตกอยู่ในช่วง (x_{j-1}, x_j) ใดๆ เอาท์พุทที่ได้ก็จะมีระดับ y_j ที่ได้กำหนดไว้แล้ว ดังนั้นจะเห็นได้ว่าขนาดของสัญญาณที่ถูกควอนไทซ์แล้วจะมีลักษณะเป็นขั้นบันได

ตัวควอนไทซ์ที่มีขนาด N สเตป คือตัวควอนไทซ์ที่มีจุดในการสวิตซ์ระดับทางเอาท์พุท $N+1$ จุด คือ $x_0, x_1, x_2, \ldots, x_N$ และมีเซ็ตเอาท์พุทเป็น $y_1, y_2, y_3, \ldots, y_N$ เมื่อค่า x ใด ๆ ของสัญญาณอินพุทตกอยู่ในช่วงควอนไทซ์สเตป R_j หรือ

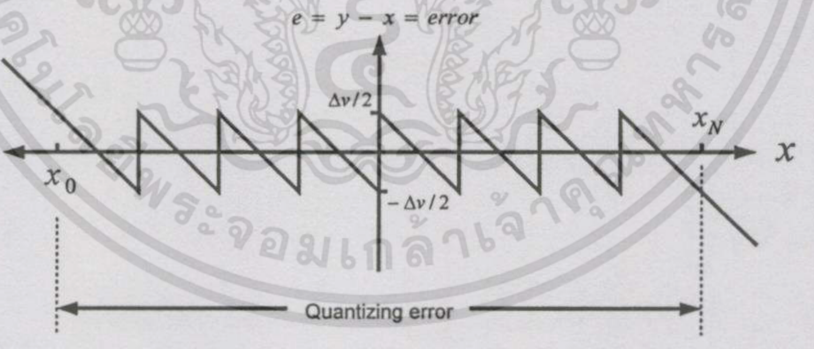
$$R_j = (x_{j-1} < x < x_j) \tag{3.15}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วตัวควอนไทซ์จะให้เอาท์พุทเป็น y_j โดยจุด x_0 และ x_N จะมีค่าเท่ากับค่าต่ำสุดและสูงสุดของสัญญาณอินพุทตามลำดับ และเมื่อเป็นสัญญาณ พีซีเอ็ม ค่า y_j ทางเอาท์พุทจะถูกแทนที่ด้วยกลุ่มของรหัสเลขฐานสองขนาด n บิต ซึ่ง $N = 2^n$ และเรียกตัวควอนไทซ์นี้ว่าตัวควอนไทซ์ขนาด n บิต ดังรูป 3.6(a) ซึ่งเป็นตัวอย่างตัวควอนไทซ์เชิงเส้นขนาด 3 บิต



(a) กราฟคุณลักษณะของตัวควอนไทซ์เชิงเส้น



(b) กราฟความผิดพลาดควอนไทซ์

รูปที่ 3.6 แสดงคุณลักษณะของตัวควอนไทซ์เชิงเส้นและความผิดพลาดควอนไทซ์ โดยช่วง $x < x_0$ และ $x > x_N$ เป็นช่วงที่เกิดการโอเวอร์โหลด

การควอนไทซ์แบบพื้นฐานที่สุดคือ การควอนไทซ์ที่มีช่วงควอนไทซ์สเตปอย่างสม่ำเสมอเท่าๆ กันตลอด เรียกการควอนไทซ์แบบนี้ว่า "การควอนไทซ์เชิงเส้น" (Linear Quantization) หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควอนไทซ์แบบสม่ำเสมอ (Uniform Quantization) ดังนั้นถ้ากำหนดให้สัญญาณอินพุทมีขนาดอยู่ในช่วง $(-V,V)$ และเป็นการควอนไทซ์ขนาด n บิต แล้วขนาดควอนไทซ์สเตป Δv จะเป็น

$$\Delta v = \frac{2V}{2^n} = \frac{2V}{N} \qquad (3.16)$$

เนื่องจากกระบวนการควอนไทซ์เป็นการประมาณค่าขนาดสัญญาณอินพุทด้วยระดับขนาดที่ได้กำหนดแบ่งไว้แล้ว จึงเป็นที่แน่นอนว่าจะต้องเกิดการผิดพลาดของค่าได้ ความผิดพลาดที่เกิดขึ้นจากกระบวนการควอนไทซ์มีอยู่ 2 ลักษณะคือ ความผิดเพี้ยนควอนไทซ์ (Quantizing Distortion) ซึ่งก่อให้เกิดสัญญาณรบกวนที่เรียกว่า "สัญญาณรบกวนควอนไทซ์" (Quantization noise) และการเกิดอาการโอเวอร์โหลด หรือ คลิปปิ้ง (Clipping) ดังรูปที่ 3.6(b) โอเวอร์โหลดเกิดเนื่องจากสัญญาณอินพุทมีขนาดเกินขอบเขตของการควอนไทซ์ คือช่วง (x_0, x_N) ซึ่งมักจะไม่เกิดขึ้นในทางปฏิบัติ เนื่องจากขนาดของสัญญาณก่อนถูกควอนไทซ์มักจะถูกควบคุมให้มีขนาดที่เหมาะสมอยู่แล้ว ดังนั้นจะไม่กล่าวถึงหัวข้อนี้

3.2.2.2 สัญญาณรบกวนควอนไทซ์

สมรรถนะของตัวควอนไทซ์แสดงได้ด้วยค่า อัตราส่วนสัญญาณต่อสัญญาณรบกวนควอนไทซ์ (S/N_q) จากรูปที่ 3.6(b) ถ้านิยามให้ความผิดพลาดควอนไทซ์เป็น

$$e = F(x) - x \qquad (3.17)$$

แล้วค่าผิดพลาดเฉลี่ยกำลังสอง (Mean square error) จะเป็น

$$\overline{e^2} = \int_{-\infty}^{\infty} \left[F(x) - x\right]^2 p(x)dx \qquad (3.18)$$

โดย $p(x)$ เป็นความหนาแน่นของความน่าจะเป็น (PDF : Probability density function) ของสัญญาณอินพุท x

สำหรับการควอนไทซ์เชิงเส้นโดยทั่วไปแล้ว $\overline{e^2}$ จะหาได้จากผลรวมของการอินทิเกรตภายในช่วงควอนไทซ์สเตป Δv ดังนี้

$$\overline{e^2} = \sum_{j=1}^{N} \int_{x_{j-1}}^{x_j} (y_j - x)^2 p(x)dx \qquad (3.19)$$

โดย $F(x) = y_j$ เมื่อ x อยู่ในช่วง R_j

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากในแต่ละช่วงควอนไทซ์สเตป y_j มีค่าคงที่ตลอด และ $p(x)$ มีค่าเดียวในแต่ละช่วงควอนไทซ์สเตป ดังนั้นจะแทน $p(x)$ ด้วย $p(y_j)$

$$\overline{e^2} = \sum_{j=1}^{N} \frac{(x_j - x_{j-1})^2}{12}(x_j - x_{j-1})p(y_j)$$

$$= \frac{1}{12}\sum_{j=1}^{N}(\Delta v_j)^2[p(y_j)\Delta v_j] \qquad (3.20)$$

เทอม $p(y_j)\Delta v_j$ คือ ความน่าจะเป็นที่สัญญาณอินพุท x จะมีค่าอยู่ในช่วง x_{j-1} ถึง x_j ดังนั้นเมื่อหาผลรวมตลอดช่วง (x_0, x_N) ความน่าจะเป็นมีค่าเท่ากับ 1 และเนื่องจากเป็นการควอนไทซ์เชิงเส้น Δv จะมีค่าคงที่ตลอดช่วง (x_0, x_N) ดังนั้นสมการ (3.20) จะเป็น

$$\overline{e^2} = \frac{(\Delta v)^2}{12}\sum_{j=1}^{N} p(y_j)\Delta v$$

$$= \frac{(\Delta v)^2}{12} \qquad (3.21)$$

เพื่อที่จะสามารถคำนวณหาค่าสัญญาณต่อสัญญาณรบกวนควอนไทซ์ S/N_q ดังนั้นเราจึงต้องกำหนดคุณลักษณะของสัญญาณอินพุทโดย ถ้ากำหนดให้สัญญาณอินพุทเป็นสัญญาณไซน์มีขนาดเป็น $(-V,V)$ ดังนั้นกำลังงานเฉลี่ยของสัญญาณจะเป็น

$$S = \frac{V^2}{2} \qquad (3.22)$$

และเมื่อพิจารณาจากสมการ (3.15) ทราบว่าขนาดของสัญญาณอินพุท $(-V,V)$ ของตัวควอนไทซ์มีค่าเป็น $2^n \Delta v$ ดังนั้นสมการ (3.21) จะเป็น

$$\overline{e^2} = \frac{2}{3}.\frac{V^2/2}{2^{2n}} \qquad (3.23)$$

ดังนั้นจากสมการ (3.22) และ (3.23) จะได้ค่าอัตราส่วนสัญญาณ ต่อสัญญาณรบกวนควอนไทซ์ S/N_q ของตัวควอนไทซ์เชิงเส้น

$$\frac{S}{N_q} = \frac{S}{\overline{e^2}} = \frac{V^2/2}{(2/3)[(V^2/2)/2^{2n}]}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{S}{N_q} = \left[\frac{3}{2}\right].2^{2n} \qquad (3.24)$$

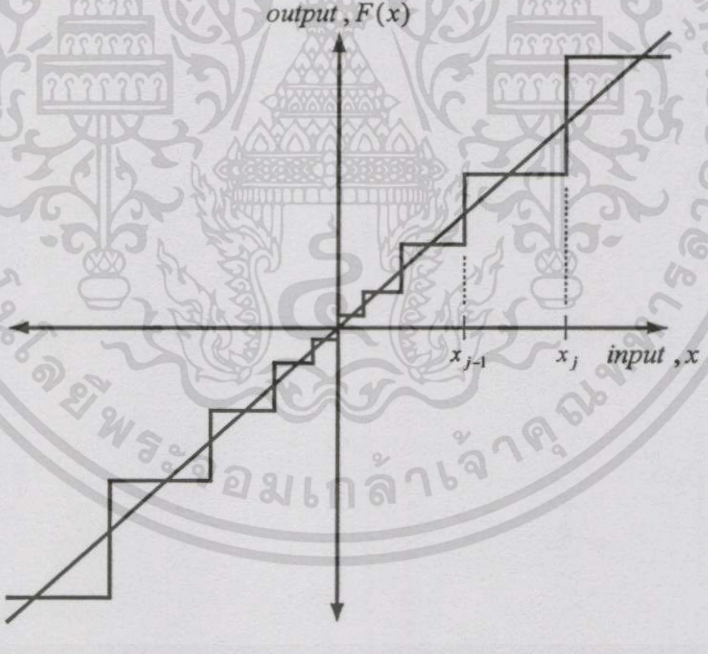
หรือในหน่วยเดซิเบลเป็น

$$\left[\frac{S}{N_q}\right]_{dB} = 6n + 1.8 \quad dB \qquad (3.25)$$

จากสมการนี้ทำให้ทราบว่า การเพิ่มควอนไทซ์บิตขึ้น 1 บิต จะทำให้ค่า S/N_q ดีขึ้น $6\,dB$

3.2.2.3 การควอนไทซ์แบบไม่สม่ำเสมอ

วิธีที่จะแปรค่า ควอนไทซ์สเตป Δv ตามขนาดของสัญญาณอินพุทสามารถทำได้หลายวิธี ดังตัวอย่างในรูปที่ 3.8(a) เป็นตัวควอนไทซ์ที่ใช้วิธีเข้าไปกำหนดช่วงแรงดันควอนไทซ์สเตปที่ใช้ในการสวิตซ์ค่าเอาท์พุทโดยตรง วิธีนี้ยังมีปัญหาบ้างในทางปฏิบัติเนื่องจากเป็นการยากที่จะควบคุมความแน่นอนในการดริฟท์ (ของระดับแรงดันสวิตซ์ที่กำหนดไว้ เมื่อใช้กับอุปกรณ์อนาลอกมาตรฐานทั่วไป)



รูปที่ 3.7 กราฟคุณลักษณะของตัวควอนไทซ์แบบไม่สม่ำเสมอ

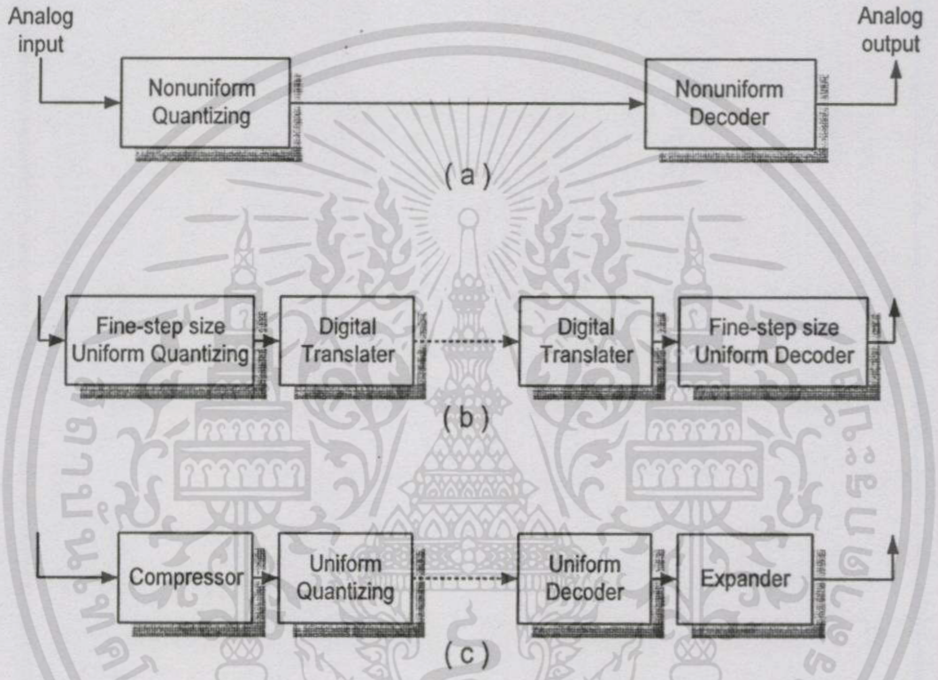
ส่วนวิธีในรูปที่ 3.8(b) ใช้ตัวควอนไทซ์เชิงเส้นธรรมดาที่มีการแบ่งขนาดควอนไทซ์สเตปให้ละเอียดย่อยลงไปอีกซึ่งก็ คือ มีจำนวนสเตปมากเป็นพิเศษ จากนั้นข้อมูลตัวเลขที่ได้จะส่งเข้าตัวแปลงดิจิตอล ซึ่งทำหน้าที่แปลงหรือประมวลผลให้ข้อมูลชุดใหม่ซึ่งมีคุณลักษณะเหมือนตัวควอนไทซ์แบบไม่สม่ำเสมอออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วิธีในรูปที่ 3.8(c) จะใช้ตัวควอนไทซ์เชิงเส้นธรรมดาเช่นกัน ซึ่งมีจำนวนควอนไทซ์สเตปตามปกติแต่สัญญาณจะนำไปผ่านโครงข่ายวงจรที่ไม่เป็นเชิงเส้นก่อนเรียก ตัวบีบอัด (Compressor) ซึ่งมีฟังก์ชั่นการถ่ายโอนเป็นลอการิทึม ผลที่ได้จะเหมือนกับการควอนไทซ์แบบไม่สม่ำเสมอ เรียกกระบวนการนี้ว่า "การคอมแพนดิง" (Companding) ส่วนกระบวนการทางด้านรับซึ่งทำในลักษณะที่กลับกันเรียกว่า "การเอ็กแพนดิง" (Expanding)

โดยทั้ง 3 วิธี ที่กล่าวมานั้นจะให้ผลลัพธ์ที่เหมือนกัน แต่วิธีที่ 3 เป็นวิธีที่ใช้กันมากที่สุดในปัจจุบัน



รูปที่ 3.8 แสดงวิธีการสร้างควอนไทซ์แบบไม่สม่ำเสมอ

3.2.3 การคอมแพนดิ้ง

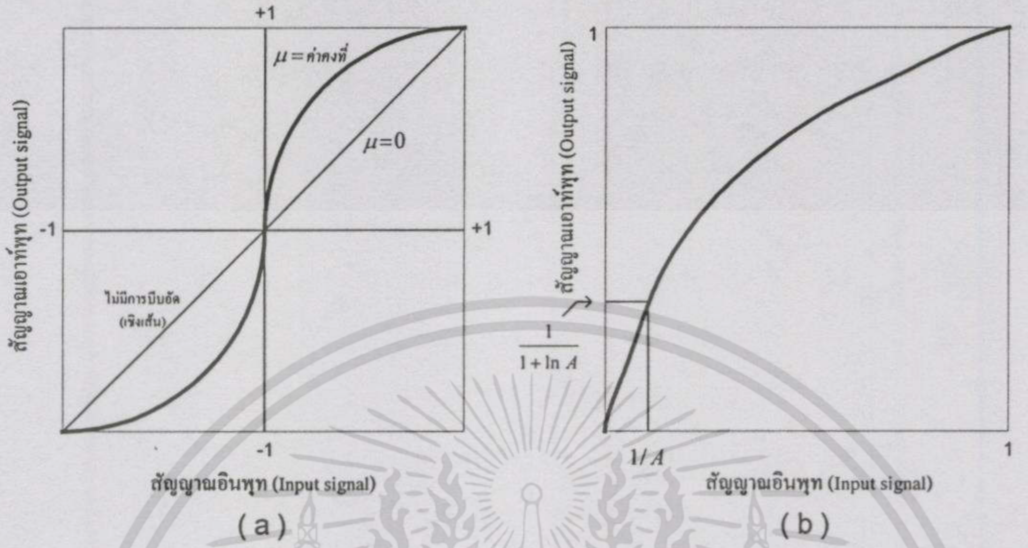
การแปรค่าควอนไทซ์สเตป Δv ตามขนาดของสัญญาณอินพุทเรียกว่า อันดับของความไม่สม่ำเสมอ (Degree of nonuniformity) ซึ่งสามารถกำหนดได้ด้วยการเลือก กฎของการคอมแพนดิ้ง (Companding law) กฎนี้แสดงได้ด้วยเส้นโค้งความสัมพันธ์ อินพุท-เอาท์พุท ของตัวบีบอัดสัญญาณ (Compander) ซึ่งจะต้องเลือกให้สัมพันธ์กับค่าเชิงสถิติของสัญญาณอินพุท

มาตรฐานของกฎการคอมแพนดิ้ง ที่รับรองโดย CCITT มีอยู่ 2 แบบ คือ กฎการคอมแพนดิ้งแบบ μ (μ *Law*) นิยมใช้ในอเมริกาและญี่ปุ่น และกฎการคอมแพนดิ้งแบบ A (A *Law*) นิยมใช้ในยุโรป อาฟริกา และอเมริกาใต้ จากรูปที่ 3.9 จะเห็นว่าเส้นโค้งของทั้งสองแบบสมมาตรกันทั้งช่วงบวกและช่วงลบของสัญญาณ ดังนั้นจะกล่าวถึงเฉพาะช่วงบวกของสัญญาณ

กฎการคอมแพนดิ้งแบบ μ (μ *Law*) ซึ่งอยู่ในรูปของฟังก์ชั่นลอการิทึม คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
39762

$$V_c = \frac{V . \ln(1+\mu V_i / V)}{\ln(1+\mu)} \qquad , 0 \le V_i \le V \qquad (3.26a)$$



รูปที่ 3.9 ตัวอย่างเส้นโค้งบีบอัดสัญญาณ

(a) ตามกฎการคอมแพนดิ้งแบบ μ (μ *Law*)

(b) ตามกฎการคอมแพนดิ้งแบบ A (A *Law*) แสดงเฉพาะช่วงบวก

$$V_c = \frac{-V . \ln(1-\mu V_i / V)}{\ln(1+\mu)} \qquad \text{เมื่อ } -V \le V_i \le 0 \qquad (3.26b)$$

โดย V_i คือ สัญญาณอินพุทซึ่งมีค่าอยู่ในช่วง $(-V, V)$

V_c คือ สัญญาณเอาท์พุท

ระดับของการบีบอัด (Degree of compression) สามารถเปลี่ยนแปลงได้ด้วยค่า พารามิเตอร์การบีบอัด μ (Compression parameter) เนื่องจากลักษณะเส้นโค้งในช่วงบวกและลบสมมาตรกัน ดังนั้นเพื่อความสะดวกสมการ (3.26a) จะเขียนใหม่เฉพาะช่วงบวกและนอมัลไลซ์ค่าแล้วได้เป็น

$$V_c = \frac{\ln(1-\mu V_i)}{\ln(1+\mu)} \qquad (3.27)$$

ความสัมพันธ์ระหว่าง V_c และ V_i จะมีลักษณะเป็นเชิงเส้นโดยประมาณที่ระดับสัญญาณอินพุท V_i ต่ำๆ และเป็นฟังก์ชั่นลอการิทึมที่ระดับสัญญาณอินพุทใหญ่ๆ โดยจุดต่อระหว่างความสัมพันธ์ทั้งสองแบบจะอยู่ที่ $V_i = 1/\mu$ ในทางปฏิบัติแล้วสำหรับพีซีเอ็มที่มีขนาด 7 บิต จะใช้ค่า $\mu = 100$ และสำหรับพีซีเอ็มขนาด 8 บิต จะใช้ $\mu = 255$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กฎการคอมแพนดิ้งแบบ A (A Law) เกิดขึ้นในปี 1962 โดย K.W. Cattermole มีสมการในรูปนอมัลไลซ์แล้วเป็น

$$V_c = \frac{AV_i}{1+\ln A} \quad , 0 \le V_i \le \frac{1}{A} \qquad (3.28a)$$

$$V_c = \frac{1+\ln(AV_i)}{1+\ln A} \quad , \frac{1}{A} \le V_i \le 1 \qquad (3.28b)$$

โดยที่ V_i คือ สัญญาณอินพุท

V_c คือ สัญญาณเอาท์พุท

A คือ พารามิเตอร์บีบอัด

เส้นโค้งคุณสมบัติแสดงได้ดังในรูป 3.9(b) จะเห็นว่าความสัมพันธ์เป็นเชิงเส้นโดยแท้เมื่อสัญญาณอินพุทอยู่ในช่วง $[0.1/A]$ และช่วงนอกเหนือจากนี้จะเป็นลอการิทึม ค่า A ในทางปฏิบัติคือ 87.6

3.2.4 ลักษณะเชิงเส้นเป็นช่วงๆ ของการคอมแพนดิ้ง

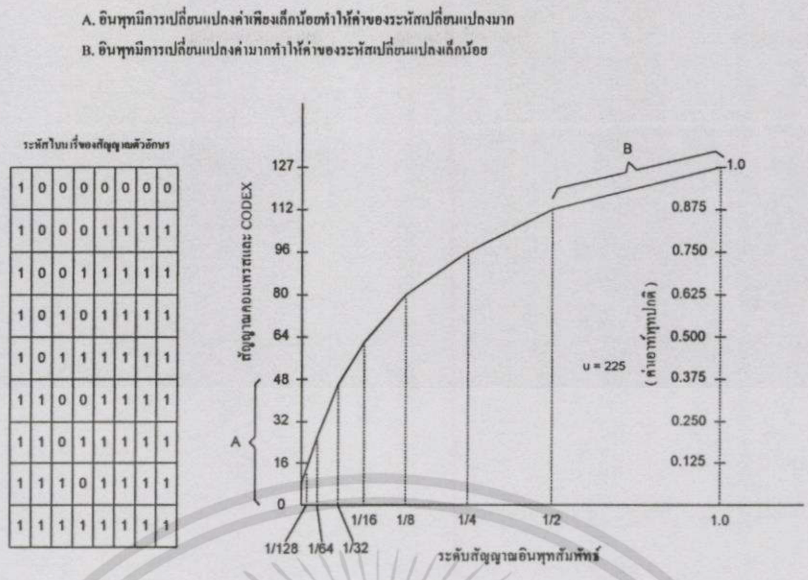
จากกฎการคอมแพนดิ้ง ซึ่งถ้าสร้างตัวควอนไทซ์อย่างตรงไปตรงมาจะต้องใช้จำนวนควอนไทซ์สเตปจำนวนมากคือ ใช้จำนวนบิตมาก ประกอบกับเหตุผลที่ว่าการที่จะลดต้นทุนในการสร้างตัวควอนไทซ์แบบไม่สม่ำเสมอนั้น จะต้องพยายามลดจำนวนควอนไทซ์สเตปให้มีจำนวนน้อยที่สุด ดังนั้นเพื่อให้ได้ข้อดีของกระบวนการบีบอัดสัญญาณและราคาต้นทุนต่ำ จึงเกิดวิธีการที่เรียกว่า การคอมแพนดิ้งแบบแบ่งเป็นส่วน ๆ (Segmented Companding) วิธีการนี้ ใช้หลักการประมาณเส้นโค้งของการบีบอัด ด้วยส่วนของเส้นตรงหลายเส้นที่ต่อกันในแต่ละส่วนของเส้นตรงทำการควอนไทซ์แบบเชิงเส้นและจะเรียกส่วนเส้นตรงแต่ละส่วนว่า “เซกเมนต์” (Segment)

การคอมแพนดิ้งแบบ μ จะประมาณเส้นโค้งด้วยส่วนของเส้นตรง 15 เซกเมนต์ แบ่งเป็น 8 เซกเมนต์ สำหรับช่วงบวก และอีก 8 เซกเมนต์ สำหรับช่วงลบ แต่เนื่องจากเซกเมนต์แรกของทั้งช่วงบวกและช่วงลบอยู่ในแนวเดียวกันซึ่งผ่านจุดกำเนิด จึงถือเป็นเซกเมนต์เดียวกัน รวมแล้วจึงเป็น 15 เซกเมนต์ ดังรูป 3.10 ซึ่งแสดงเฉพาะช่วงบวกของสัญญาณ

การจัดเซกเมนต์จัดได้โดยให้เซกเมนต์ใดๆที่ติดกันรับช่วงสัญญาณอินพุทต่างกัน 2 เท่า คือ เซกเมนต์ที่ 8 จะรับช่วงสัญญาณอินพุทเป็น 2 เท่าของเซกเมนต์ที่ 7 และเซกเมนต์ที่ 7 จะรับช่วงเป็น 2 เท่าของเซกเมนต์ที่ 6 เป็นเช่นนี้ไปเรื่อย ๆ ทำให้ความชันของเซกเมนต์ที่ติดกันต่างกันอยู่ 2 เท่าด้วย รหัสที่ได้จากการควอนไทซ์มีขนาด 8 บิต มีรายละเอียด คือ

$B_1(MSB)$ บิตเครื่องหมาย (Sign Bit) เป็นบิตที่ใช้แทนช่วงของสัญญาณอินพุท โดย 0 แทนช่วงลบและ 1 แทนช่วงบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 การประมาณค่าเส้นโค้งการคอมแพนดิ้งแบบลอการิทึม $\mu = 225$ ด้วยส่วนของเส้นตรงเป็นช่วงๆ (Piecewise Linear Segment) โดยแสดงเฉพาะช่วงบวก

ตารางที่ 3.1 การเข้ารหัส พีซีเอ็ม สำหรับเซกเมนต์คอมแพนดิ้งแบบ $\mu, \mu = 225$

หมายเลขเซกเมนต์	จำนวนสเตปต่อเซกเมนต์	ขนาดสเตป	แอมปลิจูดอินพุท $(x_n \ to \ x_{n+1})$	เอาท์พุทของการเข้ารหัส			
				ค่ารหัสปกติ	รหัสเซกเมนต์ $B_2 - B_4$	รหัสควอนไทซ์ $B_5 - B_8$	เอาท์พุทจากการถอดรหัส y_n
1	16	1 2	0-1 1-3 ... 29-31	0 1 15	111	1111 1110 ... 0000	0 2 ... 30
2	16	4	31-35 ... 91-95	16 ... 31	110	1111 ... 0000	33 ... 93
3	16	8	95-103 ... 215-223	32 ... 47	101	1111 ... 0000	99 ... 219
4	16	16	223-239 ... 463-479	48 ... 63	100	1111 ... 0000	231 ... 471
5	16	32	479 ... 959-991	64 ... 79	011	1111 ... 0000	495 ... 975
6	16	64	991-1055 ... 1951-2015	80 ... 95	010	1111 ... 0000	1023 ... 1983
7	16	128	2015-2143 ... 3935-4063	96 ... 111	001	1111 ... 0000	2079 ... 3999
8	16	256	4063-4319 ... 7903-8159	112 ... 127	000	1111 ... 0000	4191 ... 8031

* ค่าเต็มสเกลของช่วงแอมปลิจูดอินพุทนอมัลไลซ์ไว้ที่ 8159 และบิตเครื่องหมาย (B1) = 0 สำหรับอินพุทค่าลบ 1 อินพุทค่าบวก

* เอาท์พุทจากการถอดรหัสหาได้จาก $y_0 = x_0 = 0$ และ $y_n = (x_n + x_{n+1})/2$, $n = 1,2,....,127$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$B_2 - B_4$ ค่าเซกเมนต์ เป็นกลุ่มบิตที่ใช้ระบุหมายเลขเซกเมนต์ ซึ่งมี 8 เซกเมนต์

$B_5 - B_8$ ค่าควอนไทซ์สเตป เป็นกลุ่มบิตที่ใช้ระบุควอนไทซ์สเตปในแต่ละเซกเมนต์ ซึ่งมี 16 ควอนไทซ์สเตป

จากตารางที่ 3.1 จะเห็นว่ารหัสที่ได้ไม่ได้อยู่ในรูปของรหัสเลขฐานสองปกติ ตัวอย่าง เช่น ในช่วงแอมปลิจูดอินพุท 0-1 แทนที่รหัสจะเป็น 000-0000 (B2-B8) ตามค่ารหัสปกติแต่กลับเป็น 111-1111 เนื่องจากเป็นการเข้ารหัสรูปคลื่นแบบไบโพล่าจะมีเสถียรภาพของการซิงโครไนซ์ที่ดีกับบิตข้อมูลที่มีความหนาแน่นของระดับลอจิก 1 มาก ๆ แต่เป็นที่ทราบแล้วว่าค่าของความน่าจะเป็นสำหรับเสียงพูดอยู่ที่ระดับสัญญาณต่ำๆ จึงไม่เหมาะในการใช้ส่งข้อมูล ดังนั้นจึงใช้วิธีการคอมพลีเมนต์บิต B2-B8 ของรหัสในรูปปกติ ซึ่งจะทำให้ค่าความหนาแน่นของระดับลอจิก 1 มีค่าสูง และสำหรับรหัสที่มีค่าปกติเป็น 0111-1111 (-127) ซึ่งอยู่ในช่วงลบของสัญญาณจะเห็นว่าเมื่อเปลี่ยนแปลงแล้วรหัสที่ได้จะเป็น 0 ทั้งหมด ซึ่งในทางปฏิบัติจะไม่ใช้รหัสนี้แต่จะแทนด้วย 0000-0010 (-125) ซึ่งจะทำให้แน่ใจได้ว่าจะไม่มีโอกาสเกิดลอจิก 0 ติดๆ กันมากกว่า 13 บิต

ส่วนการคอมแพนดิ้งแบบ A จะประมาณเส้นโค้งด้วยส่วนของเส้นตรง 13 เซกเมนต์ โดย 2 เซกเมนต์แรกของทั้งช่วงบวกและลบ อยู่ในแนวของเส้นตรงเดียวกันจึงถือเป็นเซกเมนต์เดียวกัน การจัดเซกเมนต์จะจัดให้เซกเมนต์ที่ติดกันรับช่วงอินพุทต่างกัน 2 เท่า ซึ่งคล้ายกับแบบ μ ยกเว้น 2 เซกเมนต์แรกจะมีขนาดเท่ากัน สองเซกเมนต์นี้จึงอยู่ในแนวเส้นตรงเดียวกันจึงทำให้เมื่อนับตามแนวเส้นตรงแล้วจะมีเพียง 7 เซกเมนต์ (เดิมถ้านับตามบิต B2-B4 จะมี 8 เซกเมนต์) ดังรูป 3.11 จากรูปความชันของเซกเมนต์แรกสามารถคำนวณได้ คือ

$$Slope_1 = \frac{32/128}{64/4096} = 16$$

และจากสมการ (3.28a) จะได้ค่าความชัน

$$Slope_1 = \frac{d}{dV_i}[V_c] = \frac{A}{1+\ln A}$$

แทนค่า $A = 67.5$

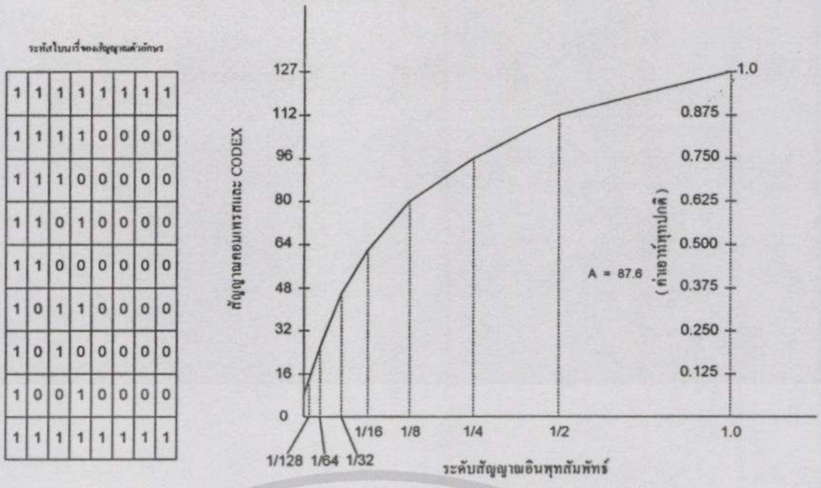
$$\left.\frac{A}{1+\ln A}\right|_{A=67.5} = 16$$

จะเห็นว่าค่าที่ได้สอดคล้องกับทฤษฎี แสดงให้เห็นว่าเซกเมนต์แรกมีความเป็นเชิงเส้นอย่างแท้จริง

รหัสที่ใช้แทนระดับควอนไทซ์มีขนาด 8 บิต ดังนี้

$B_1(MSB)$ บิตเครื่องหมาย (Sign Bit) เป็นบิตที่ใช้แทนสัญญาณอินพุท โดย 0 แทนช่วงลบ และ 1 แทนช่วงบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 การประมาณค่าเส้นโค้งการคอมแพนดิ้งแบบลอการิทึมค่า $A = 87.6$ ด้วยส่วนของเส้นตรงเป็นช่วงๆ (Piecewise Linear Segment) โดยแสดงเฉพาะช่วงบวก

ตารางที่ 3.2 การเข้ารหัส พีซีเอ็ม สำหรับเซกเมนต์คอมแพนดิ้งแบบ $A, A = 87.6$

หมายเลขเซกเมนต์	จำนวนสเตปต่อเซกเมนต์	ขนาดสเตป	แอมปลิจูดอินพุท $(x_n \ to \ x_{n+1})$	เอาท์พุทของการเข้ารหัส			
				ค่ารหัสปกติ	รหัสเซกเมนต์ $B_2 - B_4$	รหัสควอนไทซ์ $B_5 - B_8$	เอาท์พุทจากการถอดรหัส y_n
1	32	2	0-2 ... 30-32	0 ... 15	101	0101 ... 1010	1 ... 31
			32-34 ... 62-64	16 ... 31	100	0101 ... 1010	33 ... 63
2	16	4	64-68 ... 124-128	32 ... 47	111	0101 ... 1010	66 ... 126
3	16	8	128-136 ... 248-256	48 ... 63	110	0101 ... 1010	132 ... 252
4	16	16	256-272 ... 496-512	64 ... 79	001	0101 ... 1010	264 ... 502
5	16	32	512-544 ... 992-1024	80 ... 95	000	0101 ... 1010	528 ... 1008
6	16	64	1024-1088 ... 1984-2048	96 ... 111	011	0101 ... 1010	1056 ... 2016
7	16	128	2048-2176 ... 3968-4096	112 ... 127	010	0101 ... 1010	2112 ... 4032

* ค่าเต็มสเกลของช่วงแอมปลิจูดอินพุทนอมัลไลซ์ไว้ที่ 4096 และบิตเครื่องหมาย (B1) = 0 สำหรับอินพุทค่าลบ 1 อินพุทค่าบวก

* เอาท์พุทจากการถอดรหัสหาได้จาก $y_n = (x_n + x_{n+1})/2$, $n = 1,2,....,127$

$B_2 - B_4$ ค่าเซกเมนต์ เป็นกลุ่มบิตที่ใช้ระบุหมายเลขเซกเมนต์ ซึ่งมี 7 เซกเมนต์ (รหัส 000 และ 001 อยู่ในเซกเมนต์เดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$B_5 - B_8$ ค่าควอนไทซ์สเตป เป็นกลุ่มบิตที่ใช้ระบุควอนไทซ์สเตปในแต่ละเซกเมนต์ ซึ่งมี 16 ควอนไทซ์สเตป

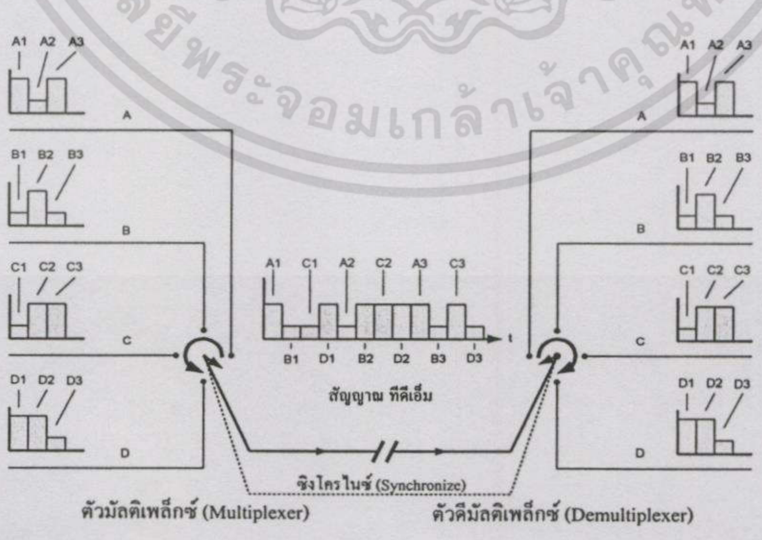
รายละเอียดของรหัสแสดงดังตารางที่ 3.2 จากตารางจะเห็นว่าค่ารหัส B2-B8 ไม่ได้อยู่ในรูปรหัสฐานสองปกติ ซึ่งเป็นเหตุผลเดียวกับการคอมแพนดิ้งแบบ μ คือ เพื่อเสถียรภาพของการซิงโครไนซ์ โดย B2-B8 ได้จากการคอมพลีเมนต์บิตลำดับคู่ (B2, B4, B6, B8) ของรหัสปกติ เช่น รหัสปกติเป็น 0000-0001 เมื่อแปลงแล้วจะเป็น 0101-0100

3.3 การมัลติเพล็กซ์แบบแบ่งเวลา

การแปลงสัญญาณอนาลอกให้อยู่ในรูปดิจิตอล ทำให้สามารถที่จะรวมสัญญาณจากหลายๆ แหล่งเข้าด้วยกันได้โดยง่ายเทคนิควิธีที่ใช้กันคือ การมัลติเพล็กซ์ข้อมูลเข้าด้วยกันในกรอบของเวลา เรียกวิธีการมัลติเพล็กซ์แบบนี้ว่า TDM (Time Division Multiplexing) ซึ่งในที่นี้จะกล่าวถึงหลักการเบื้องต้น วิธีการซิงโครไนซ์ กระบวนการตัดสินใจในการควบคุมสถานะการซิงโครไนซ์ และการเลือกใช้เฟรมอไลเมนต์เวอร์ด

3.3.1 หลักการเบื้องต้นของการมัลติเพล็กซ์แบบแบ่งเวลา

ระบบ TDM เป็นระบบสื่อสารดิจิตอลที่ใช้ส่งข้อมูลจากหลายๆ ช่องข้อมูล ให้เป็นสัญญาณดิจิตอลเดียวโดยใช้วิธีการแบ่งช่วงเวลาที่แน่นอนค่าหนึ่งให้แต่ละช่องข้อมูลเรียงลำดับกันไป ดังรูปที่ 3.12 เรียกช่องเวลาที่กำหนดให้แต่ละช่องข้อมูลว่า "ช่องเวลา" (Time Slot) และถ้าแต่ละช่องเวลาประกอบด้วยข้อมูลเพียง 1 บิต เรียกว่า การมัลติเพล็กซ์ข้อมูลแบบ บิตอินเตอลีฟ (Bit Interleaved) แต่ถ้าประกอบด้วยกลุ่มของบิตหรือเวอร์ด เรียกว่า เวอร์ดอินเตอลีฟ (Word Interleaved)



รูปที่ 3.12 ภาพสมมูลแสดงตัวส่ง (Multiplexer) และตัวรับ (Demultiplexer) ระบบทีดีเอ็ม

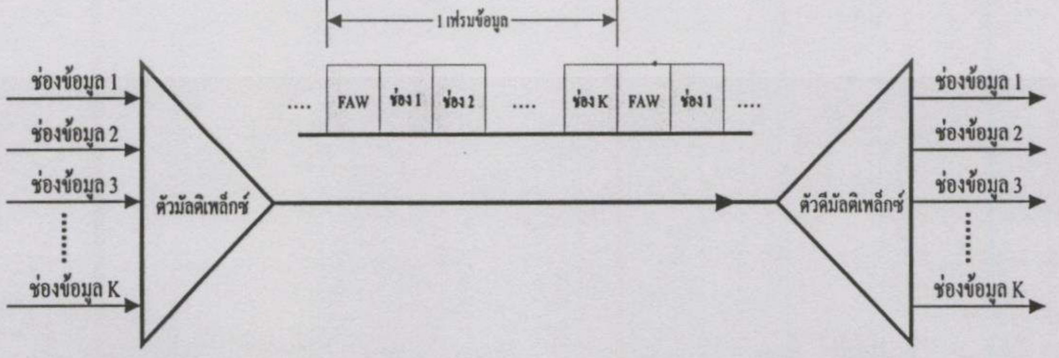
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารระบบทีดีเอ็มสามารถแบ่งเป็น 2 ระบบใหญ่ๆ คือ

1. ซิงโครนัส ทีดีเอ็ม (Synchronous TDM) เป็นระบบที่ใช้ แหล่งกำเนิดข้อมูล และตัวมัลติเพล็กซ์ข้อมูลทำงานที่สัญญาณนาฬิกาเดียวกัน ทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูล และตัวมัลติเพล็กซ์เป็นไปในจังหวะเดียวกัน หรือกล่าวได้ว่า ทุกๆ ครั้งที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูล แหล่งข้อมูลจะมีข้อมูลพร้อมที่จะส่งออกไปเสมอ

2. อะซิงโครนัสทีดีเอ็ม (Asynchronous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ทำงานที่สัญญาณนาฬิกาที่ต่างกัน ทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็กซ์ไม่เป็นไปในจังหวะเดียวกันเช่น จังหวะที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูลแหล่งข้อมูลอาจไม่พร้อมที่จะให้ข้อมูลเป็นผลให้ข้อมูลในช่องข้อมูลนั้นๆ มักจะไม่ค่อยมีความต่อเนื่องจึงทำให้การสื่อสารในระบบนี้จะต้องมีกระบวนการ จัสติฟิเคชั่น (Justification) หรือ พัลซ์สตัฟฟิ่ง (Pulse Stuffing) เพื่อทำการซิงโครไนซ์สัญญาณนาฬิกาของแหล่งข้อมูลกับสัญญาณนาฬิกาของตัวมัลติเพล็กซ์ การสื่อสารแบบนี้จึงมีความยุ่งยากซับซ้อนกว่าแบบซิงโครนัสทีดีเอ็ม แต่เป็นแบบที่มีความยืดหยุ่นมากกว่าในการเชื่อมต่อแหล่งข้อมูลที่มีอัตราข้อมูลต่างๆ กัน

ในการสื่อสารระบบทีดีเอ็มสิ่งหนึ่งที่สำคัญที่สุดคือ การซิงโครไนซ์ระหว่างตัวมัลติเพล็กซ์และตัวดีมัลติเพล็กซ์ จากรูป 3.12 จะเห็นว่าการที่ตัวมัลติเพล็กซ์สามารถแยกข้อมูลที่รวมกันมาเป็นสัญญาณทีดีเอ็มไปยังช่องข้อมูลที่ถูกต้องของมันนั้น จำเป็นอย่างยิ่งที่ตัวดีมัลติเพล็กซ์ จะต้องอยู่ในสภาพซิงโครไนซ์กับตัวมัลติเพล็กซ์ พิจารณากันอย่างง่ายๆ หมายความว่า สวิตซ์ทางตัวส่งและตัวรับต้องอยู่ในตำแหน่งเดียวกันและหมุนไปพร้อม ๆ กัน วิธีการที่ใช้กันในทางปฏิบัติคือ การกำหนดช่องเวลาขึ้น 1 ช่อง (หรือ 2 ช่อง) ซึ่งบรรจุเวอร์ดที่มีลักษณะจำเพาะ ช่องเวลานี้กำหนดขึ้นเพื่อเป็นช่องเวลาอ้างอิงเพื่อใช้ระบุตำแหน่งของช่องเวลาอื่น ๆ ดังนั้นถ้าตัวดีมัลติเพล็กซ์สามารถตรวจสอบพบเวอร์ดนี้ได้ตัวดีมัลติเพล็กซ์ก็สามารถทราบตำแหน่งของช่องเวลาอื่นๆ ทำให้สามารถแยกแยะข้อมูลในช่องเวลาต่างๆ ออกมาได้ เรียกเวอร์ดที่บรรจุอยู่ในช่องเวลาอ้างอิงนี้ว่า เฟรมอไลเมนต์เวอร์ด FAW (Frame Alignment Word) ดังรูป 3.13



รูปที่ 3.13 โครงสร้างของเฟรมระบบทีดีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

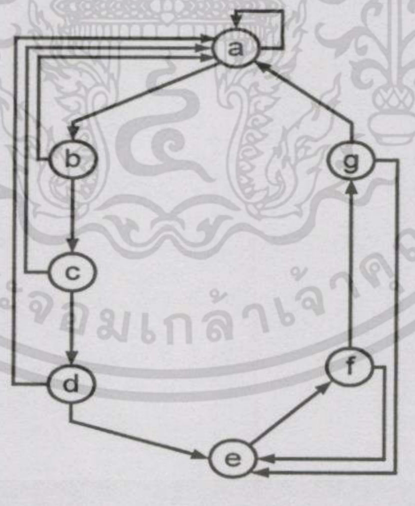
สำหรับอัตราความเร็วสามารถคำนวณได้คือ ถ้าให้ระบบมีช่องข้อมูลที่ต้องการส่ง K ช่อง และเฟรมอไลเมนต์เวอร์ด FAW 1 ช่องเวลา ดังนั้นใน 1 เฟรมข้อมูลประกอบด้วยช่องเวลา $K+1$ ช่องเวลา และกำหนดให้ข้อมูลในแต่ละช่องข้อมูลได้จากการสุ่มสัญญาณอนาลอก ด้วยความถี่ f_s ความละเอียด m บิต ต่อการสุ่ม 1 ครั้ง ดังนั้นอัตราความเร็วบิตของสัญญาณมัลติเพล็กซ์ f_o เป็น

$$f_o = mf_s(K+1) \tag{3.29}$$

3.3.2 การซิงโครไนซ์เฟรมข้อมูล

เนื่องจากข้อมูลที่ส่งมาในช่องข้อมูลต่างๆ นั้น มีลักษณะเป็น แรนดอม คือ อาจมีรูปแบบข้อมูลเป็นลักษณะใด ๆ ก็ได้ ดังนั้นจึงเป็นไปได้ที่จะเกิดเวอร์ดข้อมูลที่มีลักษณะเหมือนกับ FAW ได้ เรียกเวอร์ดข้อมูลที่มีลักษณะเหมือน FAW นี้ว่า FAW เทียม ประกอบกับข้อมูลที่ส่งจากต้นทางไปถึงปลายทางมีโอกาสผิดพลาดได้เสมอ ดังนั้นจึงจำเป็นต้องมีกระบวนการ หรือขั้นตอนที่ใช้ในการตัดสินใจว่า FAW ที่ตรวจพบเป็น FAW ที่แท้จริงหรือไม่ และเมื่อใดที่จะถือว่าระบบอยู่ในสภาวะการซิงโครไนซ์ แล้วกระบวนการที่ใช้ในการตัดสินใจและดำเนินการในสิ่งเหล่านี้เรียกว่า การอไลเมนต์เฟรม (Frame Alignment)

จากเหตุผลที่กล่าวข้างต้นนั้น การอไลเมนต์เฟรมจึงจำเป็นต้องกำหนดสถานะต่างๆ ในการทำงานดังรูป 3.14



รูปที่ 3.14 ไดอะแกรมแสดงสถานะการอไลเมนต์

สถานะ a เป็นสถานะอไลเมนต์เฟรมสมบูรณ์ระบบอยู่ในสภาพล็อก (Synchronize)

สถานะ b, c, d เป็นสถานะอไลเมนต์เฟรมชั่วคราว ระบบจะอยู่ในโหมดการตรวจสอบ (Check Mode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สถานะ e เป็นสถานะของการไม่อไลเมนต์เฟรม ระบบจะอยู่ในโหมดการค้นหา FAW (Search Mode)

สถานะ f, g เป็นสถานะรอ ระบบจะอยู่ในโหมดการค้นหาและตรวจสอบ (Search / Check Mode) FAW

จากไดอะแกรมในรูปที่ 3.14 สามารถแบ่งโหมดการทำงานเป็น 2 โหมด ใหญ่ๆ คือ

1) โหมดซิงโครไนซ์ ประกอบด้วย 4 สถานะย่อย คือ

สถานะ a เป็นสถานะที่ระบบอยู่ในสภาพการอไลเมนต์สมบูรณ์

สถานะ b เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n

สถานะ c เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+1

สถานะ d เป็นสถานะที่ระบบตรวจไม่พบ FAW ในเฟรมที่ n+2

กล่าวโดยสรุป สำหรับในโหมดซิงโครไนซ์ คือ เมื่อระบบอยู่ในสภาพการซิงโครไนซ์แล้ว (สถานะ a) ถ้ามีการตรวจไม่พบ FAW ในจุดที่กำหนดไว้ 4 เฟรมติดต่อกัน ระบบจะเข้าสู่โหมดค้นหา (สถานะ e) แต่ถ้ามีการตรวจพบ FAW เพียงเฟรมใดเฟรมหนึ่งระบบก็จะกลับเข้าสู่สถานะ a ใหม่ การกำหนดให้มีสถานะ b, c, d ทำให้เสถียรภาพของระบบมีความมั่นคงขึ้น ผลของความผิดพลาดของข้อมูลนี้ จะมีผลต่อสภาพการซิงโครไนซ์ลดลง และยังทำให้ระบบไม่หลุดจากสภาพการซิงโครไนซ์ง่าย ๆ ได้

2) โหมดค้นหา ประกอบขึ้นจาก 3 สถานะย่อย คือ

สถานะ e เป็นสถานะที่ระบบอยู่ในสภาพค้นหา FAW

สถานะ f เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ 0

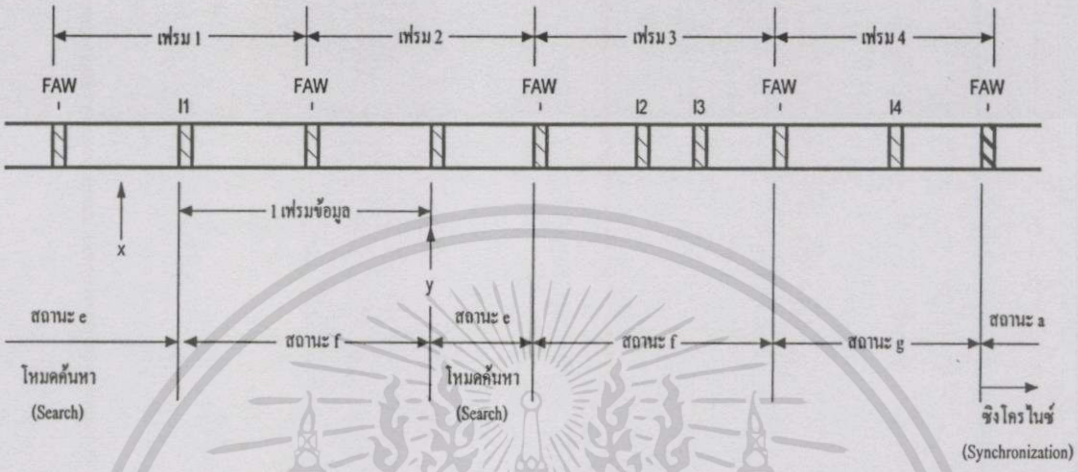
สถานะ g เป็นสถานะที่ระบบตรวจพบ FAW ในเฟรมที่ 1

กล่าวโดยสรุปสำหรับในโหมดค้นหาคือ เมื่อระบบอยู่ในสภาพการค้นหา (สถานะ e) ถ้ามีการตรวจพบ FAW ติดต่อกัน 3 เฟรม ระบบจะเข้าสู่โหมดการซิงโครไนซ์ เป็นการถือได้ว่า FAW ที่พบนั้นเป็น FAW ที่แท้จริง แต่ถ้ามีเฟรมใดเฟรมหนึ่งตรวจแล้วไม่พบ FAW ระบบจะกลับเข้าสู่สถานะ e เพื่อค้นหา FAW ใหม่ ซึ่งแสดงว่า FAW ตัวแรกที่พบนั้นไม่ใช่ FAW ที่แท้จริง

ความจริงแล้วเทคนิคของการอไลเมนต์เฟรมมีหลายวิธีเช่น การอไลเมนต์เฟรมแบบอนุกรม (Serial Frame Alignment) หรือการว่า การอไลเมนต์เฟรมแบบขนาน (Parallel Frame Alignment) ซึ่งจะอไลเมนต์เฟรมได้รวดเร็วกว่าแบบอนุกรม แต่วิธีการอไลเมนต์เฟรมแบบอนุกรมเป็นวิธีการที่ง่ายที่สุดและใช้กันมากที่สุด ดังรูปที่ 3.15 I1, I2 , I3 และ I4 เป็น FAW เทียม จุด x เป็นจุดเริ่มต้นการทำงาน และกำหนดให้สภาวะเริ่มต้นของตัวดีมัลติเพล็กซ์อยู่ที่สถานะ e คือ สถานะการไม่อไลเมนต์เฟรม (เช่นตอนเริ่มเปิดเครื่อง) วิธีการอไลเมนต์เฟรมใช้หลักการที่ว่า FAW แท้จริงจะปรากฏที่ตำแหน่งเดิมของทุกๆ เฟรม ส่วน FAW เทียมจะไม่ปรากฏที่ตำแหน่งใดๆ อย่างถาวร ดังนั้นเมื่อตรวจพบ FAW ที่ตำแหน่งใดๆ แล้ว ระบบจะต้องไปตรวจสอบที่อีกครั้งที่ตำแหน่งเดิมของเฟรมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไป กระบวนการอไลเมนต์เฟรมจะเริ่มที่จุด x โดยการเริ่มตรวจสอบ F บิตแรก ถ้าไม่ตรงกับ FAW ที่ตั้งค่าไว้ก็จะทำการตรวจสอบเวอร์ดต่อไป โดยการเลื่อนไปอีก 1 บิต จากเวอร์ดหลังสุดที่ทดสอบ และกระบวนการจะเป็นเช่นนี้ไปเรื่อยๆ จนกว่าจะพบเวอร์ดที่เหมือน FAW



รูปที่ 3.15 ตัวอย่างการซิงโครไนซ์เฟรม

จากจุด x เป็นต้นไปเวอร์ดแรกที่เหมือน FAW คือ I1 ซึ่งเป็น FAW เทียม เมื่อระบบพบ I1 ระบบจะเปลี่ยนสถานะจาก e เป็นสถานะ f (ดูรูปที่ 3.14 ประกอบ) จากนั้นกระโดดไปตรวจสอบ FAW อีกครั้งที่จุด y เพื่อตรวจสอบว่า I1 ที่ตรวจพบนั้นเป็น FAW ที่แท้จริงหรือไม่และช่วงระหว่างจุด x และ y จะไม่มีการตรวจสอบใด ๆ ทั้งสิ้น จากจุด y เมื่อตรวจสอบแล้วปรากฏว่าไม่พบ FAW จึงสรุปได้ว่า I1 ที่พบนั้น ไม่ใช่ FAW ที่แท้จริง และระบบก็จะเปลี่ยนสถานะจาก f กลับมาที่ e ใหม่เพื่อเริ่มต้นค้นหา FAW ใหม่

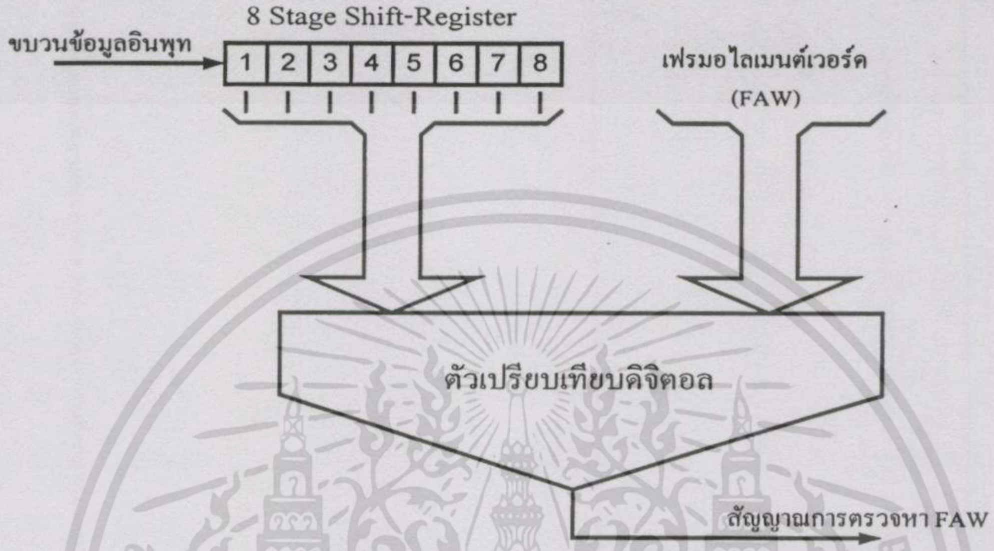
จากจุด y FAW ที่พบตัวต่อไปคือ FAW ของเฟรม 3 ซึ่งเป็น FAW ที่แท้จริงระบบจะเปลี่ยนสถานะจาก e ไปสถานะ f ใหม่ เช่นเดียวกันระบบจะกระโดดไปตรวจสอบอีกครั้งในเฟรมต่อไปซึ่งจะพบ FAW ของเฟรม 4 และ 5 ทำให้สถานะของระบบเปลี่ยนจากสถานะ f ไป g และเข้าสู่สภาพซิงโครไนซ์ในสถานะ a ตามลำดับ จะเห็นว่าเพียงเริ่มต้นพบ FAW ที่แท้จริงเท่านั้นระบบก็จะเข้าสู่สถานะการซิงโครไนซ์ในที่สุด ข้อสังเกตุ คือ เพียงแค่ระบบค้นพบ FAW ที่แท้จริงเท่านั้น FAW เทียมที่เกิดขึ้นภายในเฟรม (I2, I3, I4) จะไม่มีผลต่อระบบ

3.3.3 เฟรมอไลเมนต์เวอร์ด

ปัญหาประการหนึ่งของการอไลเมนต์เฟรมคือ ยิ่งปรากฏมี FAW เทียมมากก็ยิ่งทำให้ระบบใช้เวลามากขึ้นในการซิงโครไนซ์เฟรม เป็นผลให้สมรรถนะของระบบซิงโครไนซ์เฟรมต่ำลง นั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

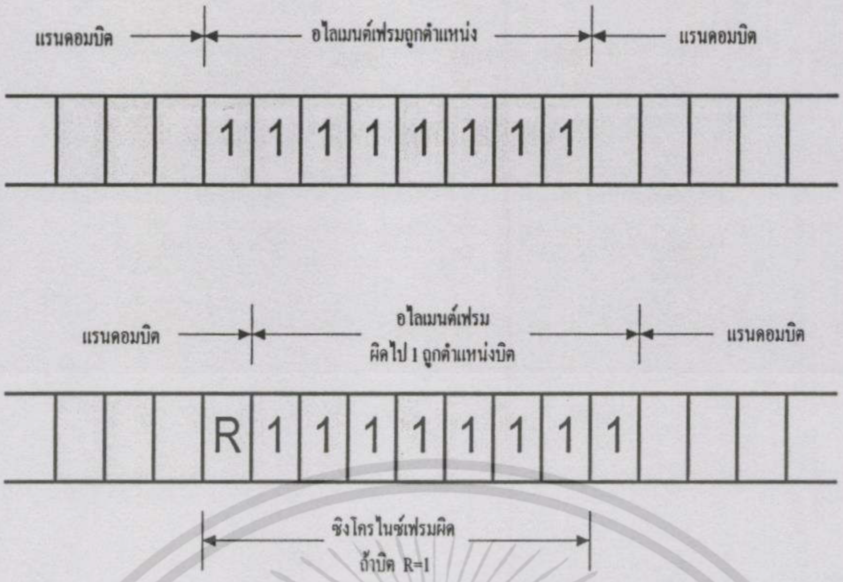
หมายถึง สมรรถนะโดยรวมของระบบต่ำลงด้วย ดังนั้นการเลือกใช้รหัส FAW ที่เหมาะสมนั้น จึงสามารถเพิ่มสมรรถนะของระบบการซิงโครไนซ์เฟรมได้ สาเหตุ เนื่องจากมีรหัสบางค่าที่สามารถถูกเลียนแบบได้โดยง่าย ดังนั้นจึงมีโอกาสพบ FAW เทียมได้มาก



รูปที่ 3.16 แสดงไดอะแกรมการตรวจหา เฟรมอไลเมนต์เวอร์ด FAW

โดยปกติแล้วการตรวจหา FAW จะทำโดยการเลื่อนขบวนข้อมูลที่รับได้เข้าสู่ชิฟรีจีสเตอร์ขนาด 8 สเตจ (กรณี FAW เป็นขนาด 8 บิต) โดยเลื่อนเข้าทีละ 1 บิต ข้อมูลและนำเอาท์พุทจากทุกๆ สเตจของชิฟรีจีสเตอร์เข้าสู่วงจรเปรียบเทียบเพื่อเปรียบเทียบกับรหัส FAW ที่ได้กำหนดไว้แล้วดังรูป 3.16 เมื่อใดก็ตามที่เวอร์ดใดๆ ที่มีรูปเหมือน FAW ถูกเลื่อนมาปรากฏบนรีจีสเตอร์ทั้ง 8 ตัว วงจรเปรียบเทียบจะกำเนิดสัญญาณตรวจหา FAW ออกมาทันที เพื่อแสดงให้เห็นผลของการเลือกรหัส FAW ที่ไม่เหมาะสม จะกำหนดให้ขบวนข้อมูลที่รับได้มีลักษณะเป็นแรนดอม และใช้รหัส FAW เป็น 11111111 เนื่องจากข้อมูลมีลักษณะเป็นแรนดอม ดังนั้นโอกาสที่ข้อมูลที่ปรากฏบนชิฟรีจีสเตอร์จะมีรหัสเหมือน FAW จะเป็น 0.5^F โดย F เป็นจำนวนบิตของ FAW เวอร์ด พิจารณาเมื่อ 7 บิตแรกของ FAW เวอร์ด ถูกเลื่อนเข้ามาในชิฟรีจีสเตอร์ ดังรูป 3.17 พบว่าในสภาพเช่นนี้โอกาสที่ FAW จะถูกเลียนแบบจะมีค่าถึง 0.5 แทนที่จะเป็น $(0.5)^8$ เนื่องจาก 7 บิตแรกที่ถูกเลื่อนเข้าไปในชิฟรีจีสเตอร์เหมือนกับ 7 บิตหลังของรหัส FAW ที่ได้กำหนดไว้ จากตัวอย่างที่ได้แสดงมาจะเห็นว่าสาเหตุเกิดจากการเกิดการเลียนแบบตัวเองของรหัส FAW ที่ถูกเลื่อนบิต วิธีที่จะลดผลปรากฏการนี้ คือ การเลือกรหัสที่เกิดการเลียนแบบตัวเองได้น้อยที่สุด คุณสมบัติเชิงคณิตศาสตร์ที่แสดงความสัมพันธ์นี้คือ ค่าสหสัมพันธ์ (Autocorrelation) ซึ่งมีนิยามดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 การซิงโครไนซ์เฟรมผิดเนื่องจากการเลือก FAW ที่ไม่เหมาะสม

เมื่อกำหนดให้ลำดับของรหัส FAW เป็น $x_1, x_2, x_3, ..., x_m$ ดังนั้นค่าสหสัมพันธ์ $R_x(k)$ จะได้

$$R_x(k) = \sum_{i=1}^{m=k} x_i \cdot x_{i+k} \quad , x_i = \pm 1 \tag{3.30}$$

โดยแทนลอจิก 1 ด้วยค่า +1

ลอจิก 0 ด้วยค่า -1

รหัสที่มีคุณสมบัติที่ดีจะต้องมีค่า $R_x(k)$ น้อยที่สุด เมื่อ $k \neq 0$ เหมาะสำหรับการซิงโครไนซ์ ควรจะมีเงื่อนไขค่าสหสัมพันธ์ดังนี้

$$|R_x(k)| \leq 1 \quad , k \neq 0 \tag{3.31}$$

เรียกรหัสที่มีคุณสมบัติตามสมการ (3.31) นี้ว่า รหัสบาร์เกอร์ (Barker Code) แต่อย่างไรก็ดีรหัสที่มีคุณสมบัติที่ดีสำหรับการซิงโครไนซ์ไม่จำเป็นที่จะต้องมีคุณสมบัติตามสมการ (3.31) เสมอไป ตัวอย่างรหัสบาร์เกอร์ เช่น 110, 1110010, 11100010010 ซึ่งค่าคอมพลีเมนต์ ค่าสะท้อน (การกลับรหัสจากทางซ้ายมายังทางขวา) หรือคอมพลีเมนต์ของค่าสะท้อนของรหัสบาร์เกอร์ล้วนมีคุณสมบัติตามสมการ (3.31)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ทฤษฎีโครงข่ายเชื่อมต่อภายใน

โครงข่ายเชื่อมโยงภายในสามารถจะนำไปประยุกต์ใช้งานได้อย่างกว้างขวางในการสื่อสารข้อมูลระบบดิจิตอล ไม่ว่าจะเป็นการประมวลผลแบบขนาน (Parallel Processing) ของการประมวลผลโปรเซสเซอร์ การนำมาสร้างเป็นโครงข่ายเชื่อมโยงภายในด้วยตัวเอง (Self-Routing Switching) การนำไปใช้งานกับโครงข่ายสื่อสารร่วมระบบดิจิตอล (ISDN: Integrated Service Digital Network) หรือ โครงข่ายสื่อสารร่วมดิจิตอลแถบกว้าง (Broadband Integrated Service Digital Network) หรือ B-ISDN การนำไปใช้งานสำหรับโครงข่ายที่ต้องการถ่ายโอนข้อมูลด้วยความเร็วสูง

3.4.1 โปรโตคอลของการเชื่อมโยง

การเชื่อมต่อสื่อสารกับโครงข่ายเชื่อมต่อภายใน จะต้องมีกฎระเบียบและวิธีปฏิบัติที่เรียกว่าโปรโตคอลของโครงข่าย โดยยึดตามคุณสมบัติการเชื่อมต่อตามแบบจำลองของ OSI โปรโตคอลที่เกี่ยวข้องของโครงข่ายจะมีด้วยกัน 3 ชั้น คือโปรโตคอลชั้นกายภาพ โปรโตคอลชั้นเชื่อมโยงข้อมูล และโปรโตคอลชั้นโครงข่าย ในที่นี้จะพิจารณาเฉพาะ 2 ชั้นแรก เท่านั้น

1) โปรโตคอลชั้นกายภาพ (Phisical Layer Protocol) กล่าวถึง กฎระเบียบ และวิธีการเชื่อมต่ออุปกรณ์สื่อสารเข้ากับโครงข่าย แสดงถึงคุณสมบัติที่แท้จริงของการเชื่อมต่อ เช่น ไลน์โคดดิ้ง สัญญาณที่ใช้ในการติดต่อใช้รหัสอะไร ระดับแรงดันไฟฟ้าที่ใช้แทนบิต “0” และบิต “1” ลักษณะของเต้าเสียบหรือตัวเชื่อมต่อจำนวนเข็ม และหน้าที่ของแต่ละเข็มของเต้าเสียบ จังหวะในการรับส่งข้อมูล เป็นต้น

2) โปรโตคอลชั้นเชื่อมโยงข้อมูล (Data Layer Protocol) การติดต่อสื่อสารระหว่างอุปกรณ์สื่อสารปลายทางกับโครงข่าย นอกจากจะใช้การเชื่อมต่อทางกายภาพแล้ว ยังต้องมีกฎระเบียบและวิธีปฏิบัติเพื่อให้อุปกรณ์สื่อสารปลายทาง และ โครงข่ายสามารถตีความหมายของชุดข้อมูลได้ รวมทั้งสามารถบอกได้ว่าข้อมูลที่ได้รับนั้น มีความผิดพลาดเกิดขึ้นในการส่งข้อมูลหรือไม่ โปรโตคอลในชั้นเชื่อมโยงข้อมูลนี้มีอยู่ด้วยกันหลายตัวแต่ละตัวก็มีหลักการพื้นฐานที่เหมือนกันจะแตกต่างกันไปบ้างในรายละเอียดปลีกย่อยเท่านั้น

ในการประยุกต์ใช้งานส่วนนี้จะพิจารณาเฉพาะ 2 ชั้น เท่านั้น โดยใช้โปรโตคอลทั้งสองในการเชื่อมโยงโครงข่าย การควบคุมในการรับส่งข้อมูลในรูปแบบของชุดข้อมูล การกำหนดรูปแบบของชุดข้อมูล การตรวจสอบข้อผิดพลาดในการรับส่งข้อมูล และการควบคุมการเชื่อมต่อชุดข้อมูลผ่านโครงข่าย ให้เป็นไปตามข้อกำหนดของ CCITT

ในการออกแบบโครงข่ายเชื่อมต่อภายในนั้น จะพิจารณาจากโทโปโลยีที่ใช้งาน และมีข้อกำหนดในการพิจารณาที่เหมาะสมทางด้านสถาปัตยกรรมของโครงข่าย ดังนี้ 1)โหมดการทำงาน (Operation Mode) 2) การควบคุม (Control Strategy) 3)วิธีการสวิทชิ่ง (Switching Methodology) และ 4) โทโปโลยี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 โหมดการทำงาน

สามารถที่จะแบ่งโหมดการทำงานของการสื่อสารโดยทั่วไปออกเป็น 3 ประเภท คือ

1) ซิงโคนัสโหมด (Synchronous Mode) เหมาะสำหรับการสื่อสารที่ต้องการถ่ายเทข้อมูล หรือการกระจายข้อมูลที่เข้าจังหวะกระทำพร้อม ๆ กันไป โดยสามารถที่จะใช้ส่งผ่านข้อมูลได้ด้วยความเร็วสูงได้

2) อะซิงโคนัสโหมด (Asynchronous Mode) เหมาะสำหรับใช้ในการสื่อสารที่มีการติดต่อที่เปลี่ยนแปลงอยู่เสมอ แต่จะมีข้อด้อยตรงที่ความสามารถส่งถ่ายข้อมูลได้ไม่ดีนัก

3) ระบบผสม (Combination Mode) เป็นระบบสื่อสารที่ใช้ทั้งระบบซิงโคนัสและอะซิงโคนัสรวมกัน

โครงข่ายเชื่อมต่อภายในประกอบด้วยวงจรสวิตซ์จำนวนมากเชื่อมต่อกัน ตามรูปแบบการเชื่อมโยงของโครงข่าย "อินเตอคอนเนคชั่นลิงค์" จะเชื่อมโยงวงจรสวิตซ์ในลักษณะต่างกันตามโทโปโลยีและการควบคุม "อินเตอคอนเนคชั่นฟังก์ชัน" ควบคุมวงจรสวิตซ์โดยการควบคุมจากศูนย์กลาง (Centralized Control) การควบคุมวงจรสวิตซ์แต่ละตัวจะกระทำโดยหน่วยควบคุมกลาง

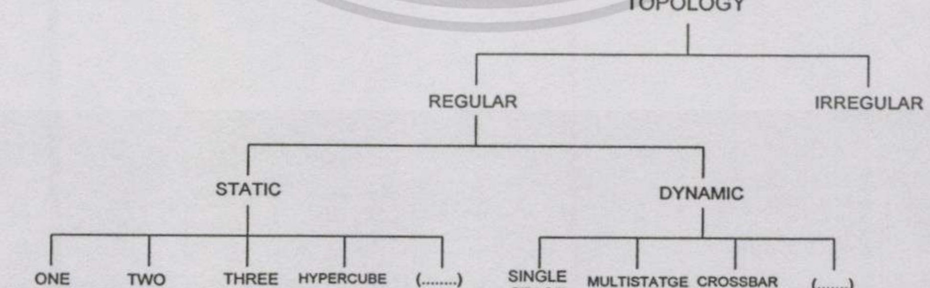
3.4.3 หลักในการสวิทชิ่ง

การสวิทชิ่งของโครงข่ายจะมีด้วยกัน 3 วิธีการ คือ

1) เซอร์กิตสวิทชิ่ง (Circuit Switching) จะมีการเชื่อมโยงทางกายภาพ (Physical) ระหว่างต้นทางไปจนถึงปลายทาง

2) แพคเกตสวิทชิ่ง (Packet Switching) จะไม่มีการเชื่อมโยงทางกายภาพ ข้อมูลจะถูกส่งไปยังปลายทางโดยจะแบ่งเป็นชุดข้อมูล (Packet) แล้วส่งผ่านโครงข่าย โดยปราศจากการสร้างเส้นทางทางกายภาพไปยังปลายทาง ชุดข้อมูลจะถูกรวบรวมที่ปลายทางอีกครั้งหนึ่ง

3) สวิทชิ่งแบบร่วม (Integrated Switching) จะเป็นการรวมเอา เซอร์กิตสวิทชิ่ง และ แพคเกตสวิทชิ่ง เข้าด้วยกัน

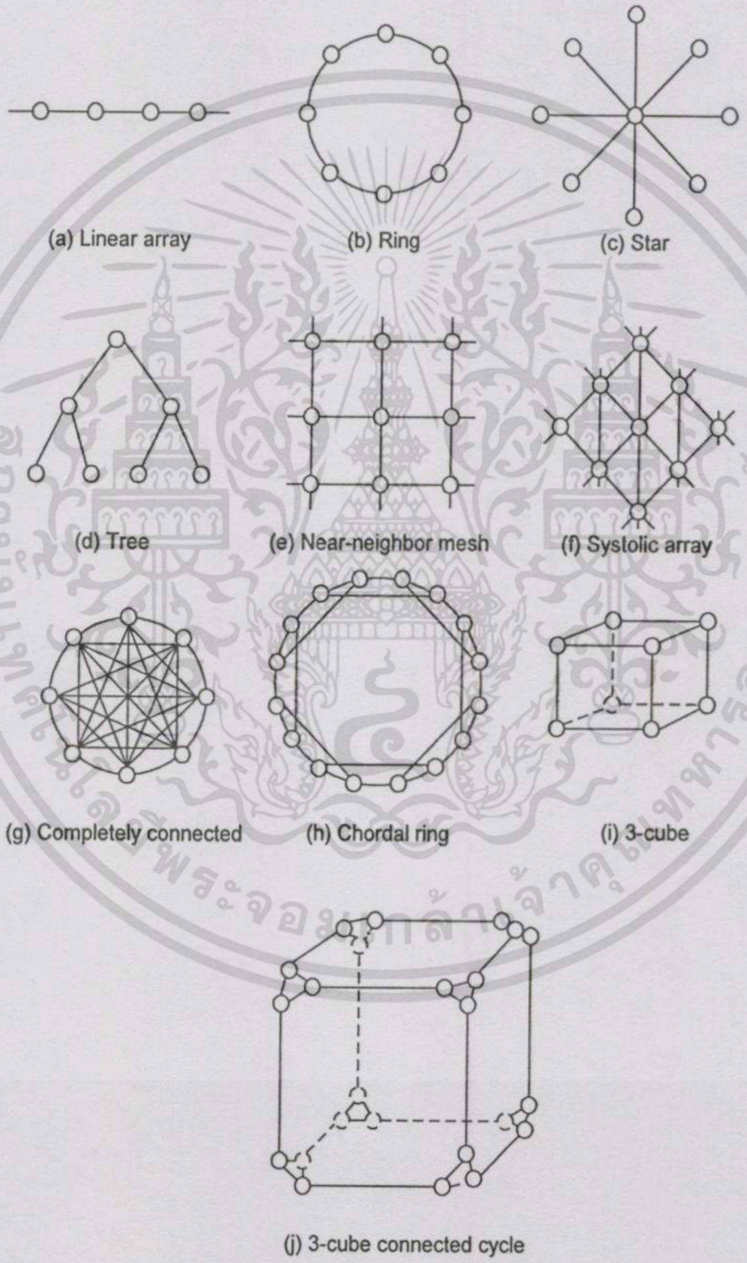


รูปที่ 3.18 โทโปโลยีของโครงข่ายเชื่อมโยงภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.4 โทโปโลยี

รูปแบบโทโปโลยีของโครงข่าย สามารถที่จะแสดงได้ด้วยกราฟ โนด (Node) แทนรูปแบบของการสวิทชิ่ง (Switching Point) และ เอดจ์ (Edges) แทนรูปแบบการเชื่อมโยง (Communication Link Topology) ดังรูปที่ 3.19 แบบที่นิยมและแบบที่ไม่นิยมแบ่งได้เป็น 2 ระดับชั้นคือแบบสแตติกและแบบไดนามิค ซึ่งจะเป็นกุญแจสำคัญที่ใช้ในการกำหนดรูปแบบ โครงสร้างสถาปัตยกรรมของโครงข่าย



รูปที่ 3.19 แสดงโทโปโลยีของโครงข่ายแบบสแตติก (a) แบบ 1 มิติ (b-f) แบบ 2 มิติ (g-j) แบบ 3มิติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.4.1 โทโปโลยีโครงข่ายแบบสแตติก

คือ เป็นการเชื่อมโยงระหว่างวงจรสวิตซ์แต่ละตัว จะไม่แสดงอะไรและไม่สามารถเปลี่ยนแปลงรูปแบบการเชื่อมโยงได้ หรือเป็นการต่อโดยตรงกับวงจรสวิตซ์ตัวอื่นนั่นเอง สามารถแบ่งได้ตามขนาดทางมิติของแต่ละแบบมี 1มิติ 2มิติ 3มิติ และมิติที่สูงกว่า สี่เหลี่ยมลูกบาศก์ (Hypercube)

โทโปโลยีแบบ 1 มิติ คือ ลิเนียร์อาร์เลย์ (Linear Array) ใช้ในสถาปัตยกรรมแบบ “ไปไลย์” (Pipe Line) บางอย่าง ดังรูปที่ 3.19(a)

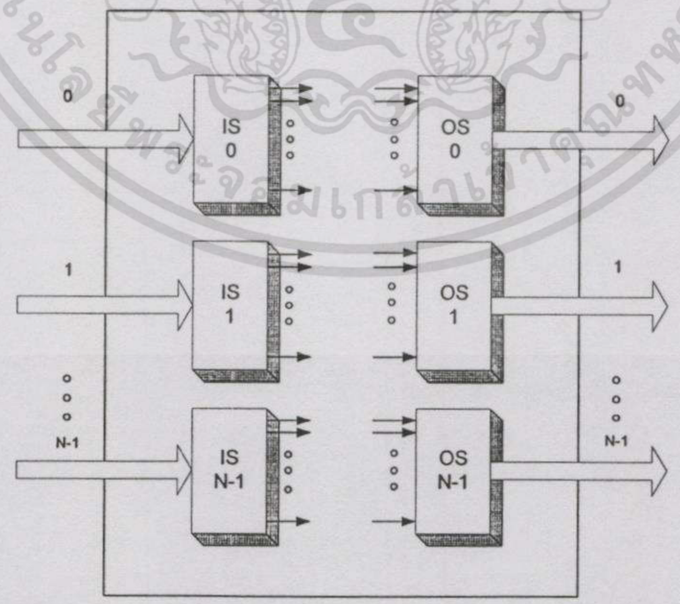
โทโปโลยีแบบ 2 มิติ คือ Ring, Star, Tree, Mesh และ Systolic array ดังรูปที่ 3.19(b-f)

โทโปโลยีแบบ 3 มิติ คือ Completely Connected, Chordal Ring, 3-Cube และ 3-Cube Connected Cycle Network ดังรูปที่ 3.19(g-j)

3.4.4.2 โทโปโลยีโครงข่ายแบบไดนามิค

คือ สามารถเปลี่ยนแปลงรูปแบบการเชื่อมโยงได้ เช่น การเปลี่ยนแปลงการเชื่อมโยงของวงจรครอสบาร์เป็นต้น โครงข่ายแบบไดนามิคจะพิจารณาเป็น 2 ลำดับชั้น คือ แบบสเตจเดียว (Single stage) และแบบหลายสเตจ (Multi-stage)

1) แบบสเตจเดียว (Single stage network) คือวงจรสวิทชิ่งที่ประกอบไปด้วย N อินพุทซีเลคเตอร์ (IS) และ N เอาท์พุทซีเลคเตอร์ (OS) ดังแสดงในรูปที่ 3.20 และ IS จำเป็นต้องมีดีมัลติเพล็กเซอร์ขนาด 1 to D และแต่ละ OS จะต้องมีมัลติเพล็กเซอร์ขนาด M to 1 โดยที่ 1<D<N และ 1 <M<N ดังเช่น สวิทชิ่งแบบครอสบาร์จะเป็นแบบสเตจเดียวที่มี N=D=M ซิงเกิลสเตจ

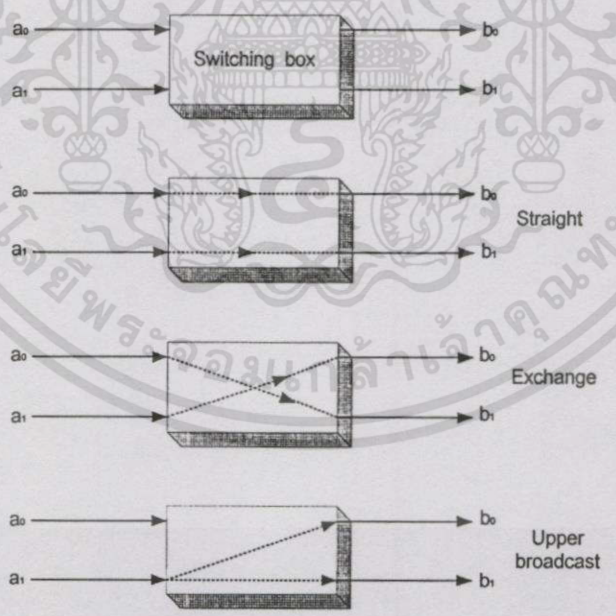


รูปที่ 3.20 แนวความคิดซิงเกิลสเตจอินเตอคอนเนคชั่นเน็ตเวิร์ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือแบบสเตจเดียวบางครั้งเรียกว่า โครงข่ายรีเซอกูเลติ้ง (Recirculating Network) เนื่องจากชุดข้อมูลแต่ละตัวอาจวนผ่านซิงเกิลสเตจหลายครั้งก่อนไปถึงปลายทาง จำนวนรีเซอกูเลชั่นจะขึ้นอยู่กับความต้องการการเชื่อมโยง ในโครงข่ายซิงเกิลสเตจโดยทั่วไปแล้ว การเชื่อมต่อทางฮาร์ดแวร์จะมีสูงและจำนวนของรีเซอกูเลชั่นจะน้อย ตัวอย่าง เช่น สวิตซ์แบบครอสบาร์มีเพียงเซอกูเลชั่นเดียวในการสร้างเส้นทางการเชื่อมโยงไปที่ปลายทาง

2) แบบมัลติสเตจ (Multistage Network) มีชุดของวงจรสวิตซ์ (Switching Element) หลายชุดวงจร โดยพิจารณาจากคุณลักษณะ 3 ประการคือ วงจรสวิตซ์ , โทโปโลยี และโครงสร้างการควบคุม (Control Structure) มีวงจรสวิตซ์จำนวนมากที่ใช้กับโครงข่ายมัลติสเตจ วงจรสวิตซ์แต่ละตัวจะมีการแลกเปลี่ยนกันระหว่าง 2 อินพุท และ 2 เอาท์พุท ดังแสดงในรูป 3.21 จะมีสภาวะพื้นฐานของวงจรสวิตซ์ 4 สภาวะ คือ Straight , Exchange , Upper broadcast และ Lower broadcast วงจรสวิตซ์บางวงจรที่ใช้กับโครงข่ายเชื่อมโยง จะใช้ลักษณะการทำงานเพียง 2 สภาวะคือ Straigh = Pass และ Exchange = Cross เท่านั้น ความสามารถด้านการเชื่อมต่อของโครงข่ายมัลติสเตจ จะไม่มีกฎเกณฑ์ทางอินพุทและเอาท์พุท อาจมีได้ทั้งแบบด้านเดียวและแบบ 2 ด้าน แบบด้านเดียวนั้น บางครั้งเราเรียกว่า "ฟูลสวิตซ์" (Full Switch) โดยมีอินพุทพอร์ทอยู่ด้านเดียวกัน แบบ 2 ด้านจะแยกด้วยอินพุทและเอาท์พุทสามารถแบ่งตามคุณลักษณะได้ 3 อย่างคือ Blocking,Rearrangeable และ Nonblocking



รูปที่ 3.21 วงจรสวิตซ์ 4 สภาวะการทำงาน

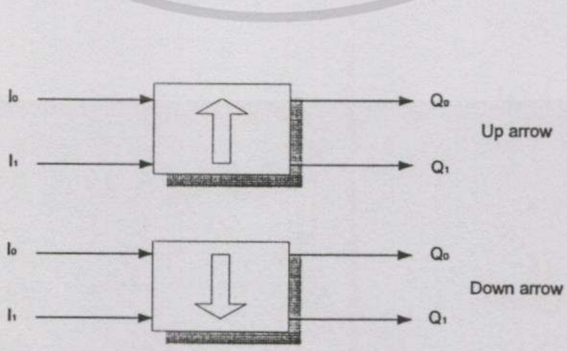
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Blocking Network เป็นโครงข่ายที่สามารถทำการเชื่อมต่อชุดข้อมูลทางด้านอินพุทในเวลาเดียวกันมากกว่า 1 คู่ ผลที่ได้อาจจะขัดแย้งกัน หรือเกิดการชนกันของชุดข้อมูลในระหว่างการเชื่อมโยงชุดข้อมูลได้

2. Rearrangeable Network เป็นโครงข่ายที่สามารถเชื่อมต่อชุดข้อมูลทั้งหมดที่เป็นไปได้จากอินพุทไปยังเอาท์พุท โดยที่ Rearrangeable Network ยังคงต่ออยู่ ดังนั้นเส้นทางการเชื่อมต่อสำหรับอินพุทและเอาท์พุทใหม่สามารถสร้างไว้เสมอ

3. Nonblocking Network เป็นโครงข่ายที่สามารถเชื่อมต่อชุดข้อมูลทางด้านอินพุท ไปยังเอาท์พุทในเวลาเดียวกันได้มากกว่า 1 คู่ โดยไม่มีการขัดแย้งซึ่งกันและกันหรือเกิดการชนกันของชุดข้อมูลในระหว่างการสร้างเส้นทางการเชื่อมโยงนั้น

ขนาดของมัลติสเตจเน็ตเวิร์คมีขนาดเป็น N = 2 โดยที่ n เป็นจำนวนสเตจ N เป็นจำนวนของอินพุทหรือเอาท์พุท แต่ละสเตจจะใช้วงจรสวิตซ์จำนวน N/2 รูปแบบการเชื่อมโยงของแต่ละสเตจสามารถกำหนดได้จากโทโปโลยีของโครงข่าย โครงสร้างการควบคุม(Control Structure) ของโครงข่ายขึ้นอยู่กับสถานะของวงจรสวิตซ์ที่ใช้ โครงสร้างการควบคุมมี 2 ชนิด ใหญ่ๆ ที่ใช้ในโครงข่าย คือ ควบคุมแต่ละสเตจเอง (Individual Stage Control) โดยสัญญาณที่ใช้ควบคุมวงจรสวิตซ์แต่ละตัวจะเหมือน ๆ กันในสเตจเดียวกัน ดังนั้นจะต้องมีสัญญาณ n ชุด เพื่อควบคุม n Stage แบบที่ 2 ใช้สัญญาณควบคุมแต่ละวงจรสวิตซ์เอง (Individual Box Control) ในแต่ละวงจรสวิตซ์จะต้องใช้สัญญาณควบคุมในแต่ละวงจรสวิตซ์เอง ทำให้มีการยืดหยุ่นสูงในการกำหนดเส้นทางการเชื่อมโยง แต่ต้องการสัญญาณควบคุมถึง N / 2 สัญญาณ ซึ่งเป็นส่วนประกอบของวงจรที่จะต้องเพิ่มขึ้น โปรโตคอลของการสวิตซ์จะเป็นตัวกำหนดสภาวะของวงจรสวิตซ์ โปรโตคอลการสวิตซ์สามารถแบ่งออกได้ 2 ระดับ ระดับแรกคือ สวิตชิ่งคอนโทรลอการิทึม(Switching Control Algorithm) เป็นแนวความคิดในการควบคุมวงจรสวิตซ์ ซึ่งจำเป็นมากในการควบคุมวงจรสวิตซ์ เพื่อจะให้มีความสัมพันธ์กันกับการถ่ายโอนข้อมูลจากต้นทางไปยังปลายทาง ระดับที่ 2 คือ ลิงค์คอนโทรลโพซิเดอร์ (Link Control Procedure) พิจารณาการติดต่อเชื่อมโยงที่จัดเตรียมไว้สำหรับตรวจสอบกันระหว่างวงจรสวิตซ์ "แฮนด์เช็คกิ้ง" (Hand Shaking)

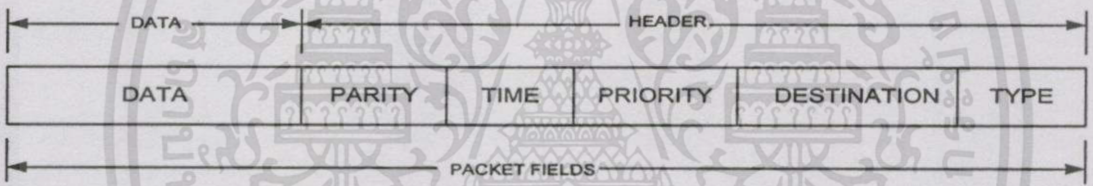


รูปที่ 3.22 สัญญลักษณ์ของวงจรสวิตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะการทำงานของวงจรสวิตซ์จะมีอยู่ 4 สภาวะ คือ Straight, Exchange, Uperbroadcast และ Lower broadcast โดยมีลักษณะการทำงานที่ไม่ควรเกิดขึ้น 2 กรณีคือ Upercast และ Lowercast สัญลักษณ์ที่ใช้แทนลักษณะการทำงานคือ จะใช้ลูกศรแทนลักษณะการทำงาน โดยที่ลูกศรชี้ขึ้น (Up arrow) ใช้แทนวงจรสวิตซ์ที่มีสภาวะการทำงานให้เอาท์พุทที่มีค่าสูงกว่าไปออกด้านบน O0 และให้เอาท์พุทที่มีค่าต่ำกว่ามาออกด้านล่าง O1 ลูกศรชี้ลง (Down arrow)ใช้แทนวงจรสวิตซ์ที่มีสภาวะการทำงานให้เอาท์พุทที่มีค่าสูงกว่าไปออกด้านล่าง O1 และให้เอาท์พุทที่มีค่าต่ำกว่ามาออกด้านบน O0

การกำหนดชุดข้อมูล จะประกอบด้วยชนิดของชุดข้อมูล (Type) เป็นส่วนเริ่มต้นของชุดข้อมูล ส่วน "แอคทีพ" (Active) และ "อินแอคทีพ" (Inactive) ใช้แสดงว่าชุดข้อมูลนั้นมีข้อมูลอยู่หรือไม่ตามลำดับ โดยปกติแล้วจะมีค่าเป็น 7E หมายเลขปลายทางเป็นส่วนที่ใช้กำหนดตำแหน่งปลายทางของชุดข้อมูล ส่วนลำดับความสำคัญจะใช้กำหนดลำดับความสำคัญของชุดข้อมูล ส่วนเวลาจะใช้แสดงเวลาที่ใช้ในขณะจัดส่งข้อมูล ส่วนตรวจสอบความผิดพลาดจะใช้ตรวจสอบความผิดพลาดของชุดข้อมูลที่ส่งไปยังปลายทาง ส่วนข้อมูลจะบรรจุข้อมูลต่างๆ ที่จะส่งไปยังปลายทางตามหมายเลขปลายทาง



รูปที่ 3.23 รายละเอียดของชุดข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
หลักการออกแบบการส่งข้อมูล PCM-TDM

4.1 บทนำ

จากที่กล่าวมาในบทที่แล้ว เป็นหลักการพื้นฐานของการสร้างสัญญาณ พัลซ์โค๊ดมอดูเลชั่น (PCM) และวิธีการมัลติเพล็กซ์แบบแบ่งเวลา (TDM) ซึ่งถือเป็นส่วนสำคัญที่สุดส่วนหนึ่งในวิทยานิพนธ์ฉบับนี้และในบทนี้จะกล่าวถึงระบบการมัลติเพล็กซ์และการส่งสัญญาณ พัลซ์โค๊ดมอดูเลชั่น ในระบบ 24 ช่องสัญญาณ 1.544 Mbps การซิงโครไนซ์เฟรมข้อมูลซึ่งทำการอไลเมนต์เฟรมโดยวิธีการตรวจสอบเฟรมอไลเมนต์เวอร์ด การกำเนิดสัญญาณโทรศัพท์ชนิดกดปุ่ม (DTMF) นำมาสร้างบิตส่วนหัวของชุดข้อมูลเพื่อใช้ควบคุมการสวิตซ์ของโครงข่ายเชื่อมต่อภายในให้สวิตซ์ข้อมูลไปยังหมายเลขปลายทางที่ต้องการ

4.2 การซิงโครไนซ์บิต

เมื่อพิจารณาลึกลงไปจะพบว่าภายในเวอร์ดที่ทำการตรวจสอบประกอบขึ้นจากกลุ่มของบิตข้อมูลต่างๆ จึงเห็นได้ว่าถ้าระบบรับไม่สามารถอ่านข้อมูลต่างๆ ได้อย่างถูกต้องแล้ว ขบวนการอไลเมนต์เฟรมข้อมูลก็ไม่สามารถจะดำเนินต่อไปได้อย่างถูกต้อง ดังนั้นจึงอาจกล่าวได้ว่า ส่วนสำคัญที่สุดของการสื่อสารข้อมูลดิจิตอลระบบทีดีเอ็มคือ การซิงโครไนซ์บิต (Bit Synchronization)

การที่ระบบสื่อสารจะสามารถอ่านข้อมูลต่างๆได้อย่างถูกต้องนั้น จำเป็นอย่างยิ่งที่ระบบรับจะต้องทราบว่าบิตข้อมูลนั้นเริ่มต้น และจบลงเมื่อใด หรือกล่าวให้ง่ายขึ้นคือ ระบบจะต้องสามารถสร้างสัญญาณนาฬิกา ที่ซิงโครไนซ์กับขบวนสัญญาณที่รับได้นั้น การเข้ารหัสสัญญาณดิจิตอลเป็นอีกวิธีหนึ่งที่ช่วยปรับปรุงสมรรถนะในการแยกสัญญาณนาฬิกาของเครื่องรับ โดยการแปลงขบวนของบิตข้อมูลให้เป็นรหัสสัญญาณรูปแบบใหม่ที่มี ข้อมูลเชิงเวลา (Time Information) ของเครื่องส่งปนอยู่ด้วย ทั้งนี้ขึ้นอยู่กับการเลือกใช้รหัสให้เหมาะสม นอกจากนี้การเข้ารหัสสัญญาณดิจิตอลยังเป็นการแปลงขบวนข้อมูลให้เป็นสัญญาณที่มีรูปแบบเหมาะสมกับตัวกลางที่ใช้ในการส่งข้อมูล

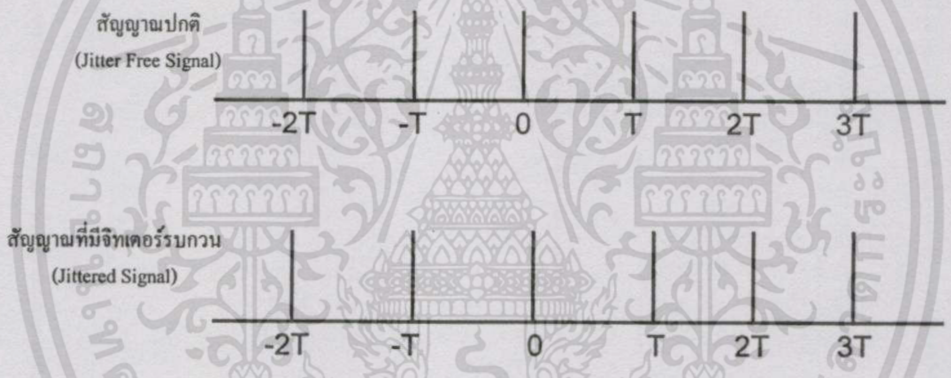
4.2.1 จิตเตอร์

ในระบบการส่งสัญญาณดิจิตอลเชิงอุดมคตินั้น พัลซ์ต่างๆ ของขบวนสัญญาณดิจิตอลที่มาถึงเครื่องรับจะเกิดขึ้นที่ตำแหน่งเวลาที่เป็นจำนวนเต็มเท่าของคาบสัญญาณนาฬิกา T ที่ใช้ แต่อย่างไรก็ตามสำหรับในระบบจริงนั้นพัลซ์เหล่านี้มาถึงเครื่องรับในตำแหน่งเวลาที่ต่างไปจากจำนวนเต็มเท่าของ T เรียกปรากฏการณ์ที่พัลซ์ถูกเบี่ยงเบนไปจากตำแหน่งปกตินี้ว่า จิทเตอร์ ซึ่งจำแนกออกเป็นหลายชนิดตามสาเหตุที่เกิด จิทเตอร์ในแต่ละแบบไม่ว่าจะเกิดกับขบวนสัญญาณดิจิตอลโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือเกิดกับสัญญาณนาฬิกาที่แยกออกมาจากขบวนสัญญาณดิจิตอลที่รับได้ ล้วนก่อให้เกิดการเบี่ยงเบนทางเฟสของสัญญาณซึ่งเป็นสาเหตุให้เกิดการผิดพลาดบิต BER (Bit error rate)ขึ้น

จิตเตอร์แบบต่างๆ จำแนกได้ดังตาราง 4.1 แหล่งกำเนดจิทเตอร์เบื้องต้นที่เห็นได้ชัดคือ ตัวทวนสัญญาณ (Regenerator) เนื่องจากการส่งสัญญาณดิจิตอลระยะทางไกลมากๆ จำเป็นต้องใช้ตัวทวนสัญญาณ เพื่อให้ข้อมูลที่ไปถึงปลายทางสมบูรณ์ที่สุด ภายในตัวทวนสัญญาณจะประกอบด้วยตัวแยกสัญญาณเวลา (Timimg Exteaction) ซึ่งในทางปฏิบัติส่วนนี้จะยังไม่สมบูรณ์ ทำให้สัญญาณเวลาที่แยกได้มีจิทเตอร์ที่เรียกว่า "ซิสเต็มเมติกจิทเตอร์" (Systematic Jitter) ปนอยู่ด้วย เป็นผลให้สัญญาณข้อมูลที่กำเนิดขึ้นใหม่มีจิทเตอร์ประเภทนี้ปนอยู่เช่นกัน และที่สำคัญคือ ถ้าตลอดระยะทางการสื่อสารใช้ตัวทวนสัญญาณหลายตัว จิทเตอร์เหล่านี้จะมีค่าสะสมเพิ่มขึ้นเรื่อยๆ ตามจำนวนของตัวทวนสัญญาณที่ใช้ จะเห็นว่าถ้าไม่มีการควบคุมจิทเตอร์เหล่านี้แล้ว สัญญาณจะมีการผิดเพี้ยนไปได้มากจนไม่อาจใช้ประโยชน์จากข้อมูลข่าวสารได้



รูปที่ 4.1 แสดงนิยามของจิทเตอร์ (Definition of Jitter)

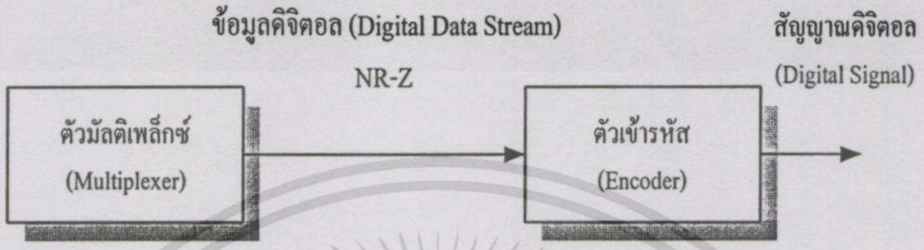
ตารางที่ 4.1 แสดงการจำแนกจิทเตอร์แบบต่างๆ (Classification of Jitter)

จำแนกโดยเทียบกับเวลาอ้างอิง	จำแนกโดยแหล่งกำเนิดจิทเตอร์
(a) ไทมิ่งจิทเตอร์ (Timing Jitter) (b) อไลเมนต์จิทเตอร์ (Alignment Jitter)	(a) แรนดอมจิทเตอร์ (Random Jitter) เป็นจิทเตอร์ที่ขึ้นอยู่กับนอส์ย (b) ซิสเต็มเมติกจิทเตอร์ (Systematic Jitter) เป็นจิทเตอร์ที่ขึ้นอยู่ขึ้นอยู่กับแพทเทเทอร์นของข้อมูล (i) แบบ A จิทเตอร์ที่มีสาเหตุจากค่า Q ของวงจรจูนมีค่าไม่สูงพอ พัลซ์กระตุ้นไม่แคบพอ การจูนความถี่คลาดเคลื่อน (ii) แบบ B จิทเตอร์ที่มีสาเหตุจากความผิดเพี้ยนของรูปคลื่นแอมปลิจูดของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 การเข้ารหัสสัญญาณดิจิตอล

จากที่ได้ทราบมาแล้วว่า ถ้าขบวนข้อมูลที่รับได้นั้นมีข้อมูลเชิงเวลาอยู่ด้วยจะทำให้การแยกสัญญาณทำได้ง่ายขึ้น ข้อมูลเชิงเวลานี้สามารถสร้างได้โดยการนำขบวนข้อมูลที่มัลติเพล็ซ์แล้วมาทำการเข้ารหัสสัญญาณ สัญญาณใหม่ที่ได้เรียกว่า สัญญาณดิจิตอล (Digital Signal) ดังรูปที่ 4.2



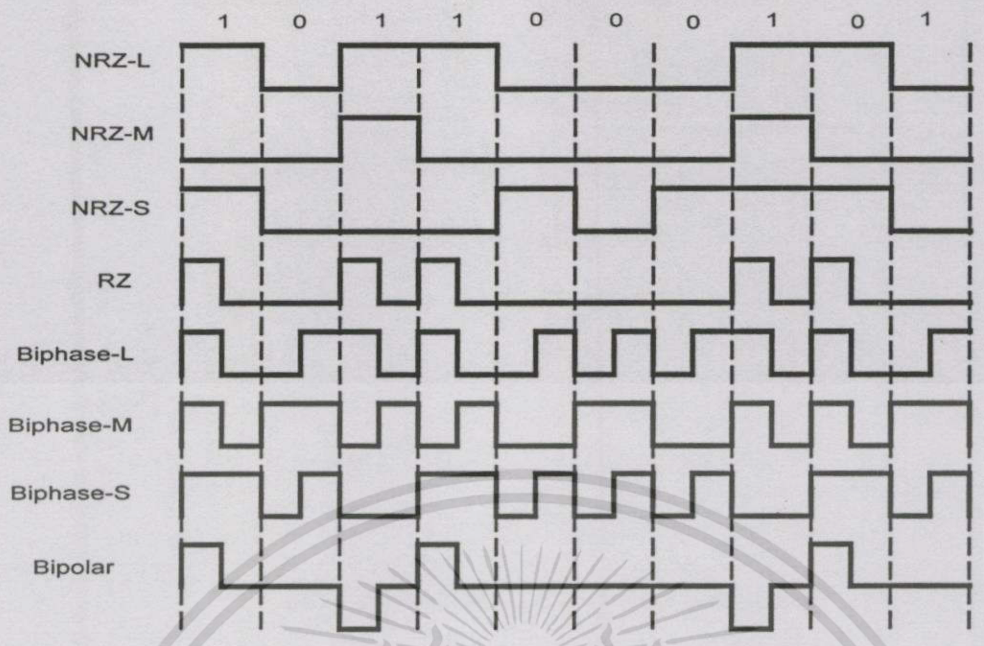
รูปที่ 4.2 การเข้ารหัสข้อมูลดิจิตอลเป็นสัญญาณดิจิตอล

ปกติแล้วข้อมูลดิจิตอลที่ใช้กันภายในระบบทั่วไป จะแทนลอจิก 1 ด้วยแรงดันระดับหนึ่ง และแทนลอจิก 0 ด้วยแรงดันอีกระดับหนึ่ง เรียกสัญญาณรูปแบบนี้ว่า “สัญญาณเอ็นอาร์แซด-แอล” NRZ-L(Nonreturn to Zero) เมื่อผ่านการเข้ารหัสแล้วรูปคลื่นของสัญญาณและคุณสมบัติอื่นๆ ของรหัสจะถูกนิยามใหม่เช่น แถบความถี่ของสัญญาณ คุณสมบัติการซิงโครไนซ์ เป็นต้น ตัวอย่างนิยามลักษณะของรหัสแสดงในรูปที่ 4.3

การเข้ารหัสที่ต่างกันย่อมให้สมรรถนะ และความเหมาะสมกับตัวกลางที่ต่างกัน และมีข้อดีข้อเสียที่ต่างกัน รหัสบางแบบถึงแม้จะทำให้สมรรถนะในการแยกสัญญาณนาฬิกาดีขึ้น แต่ก็มักจะใช้แถบความถี่ของตัวกลางมากเกินไปหรือรหัสบางแบบซับซ้อนเกินไปในการสร้าง แต่อย่างไรก็ดีการที่จะตัดสินใจเลือกใช้รหัสแบบใดนั้นมีสิ่งที่ควรพิจารณาดังนี้

1) แถบความถี่ของรหัสสัญญาณ รหัสที่ใช้แถบความถี่ของตัวกลางน้อยที่สุดถือได้ว่าเป็นรหัสที่มีประสิทธิภาพในการใช้ความถี่ดีที่สุด ดังนั้นควรพยายามเลือกใช้รหัสที่ใช้แถบความถี่น้อยที่สุด
2) ความสามารถในการซิงโครไนซ์ รหัสบางแบบง่ายต่อการแยกสัญญาณนาฬิกา แต่อย่างไรก็ดีการแยกสัญญาณนาฬิกาก็ยังสามารถใช้เทคนิควิธีอื่นได้อีก
3) ความต้านทานต่อนอส์ยและสัญญาณแทรกซ้อน รหัสบางแบบมีคุณสมบัติดีในด้านนี้ ทำให้เมื่อเทียบกับรหัสแบบอื่นแล้ว จะให้อัตราผิดพลาดบิต BER ที่ต่ำกว่าในสภาพที่มีค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน S/N เท่าๆ กัน
4) ความซับซ้อนและราคา เป็นตัวประกอบที่นำมาพิจารณาเสมอ รหัสบางแบบสร้างยากกว่าต้องใช้วงจรที่มากกว่าซับซ้อนกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 แสดงลักษณะของรหัสสัญญาณดิจิตอลแบบต่างๆ

4.2.2.1 รหัสเอ็นอาร์แซด (NRZ : Nonreturn to Zero)

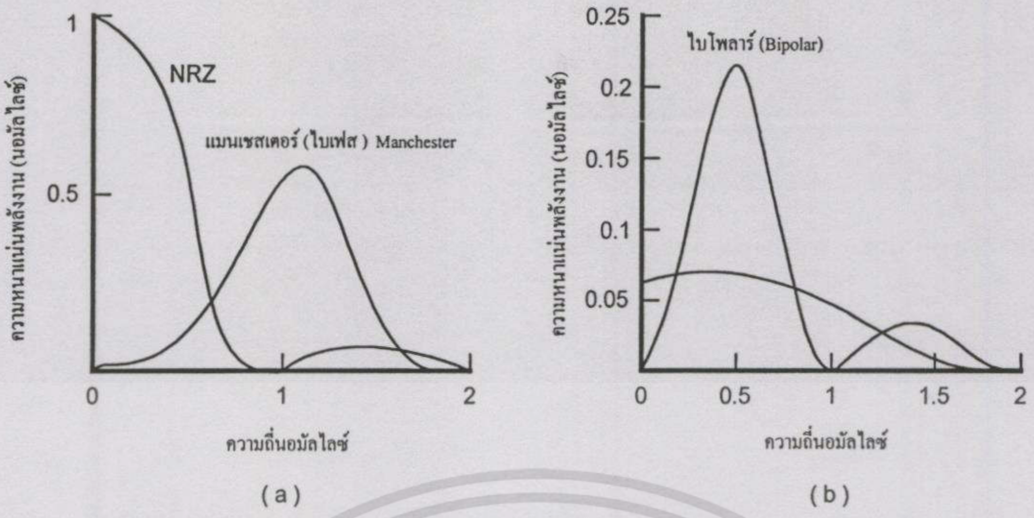
รหัสเอ็นอาร์แซด (NRZ) แสดงในรูปที่ 4.3 จะเห็นว่าเป็นรหัสที่มีความซับซ้อนน้อยที่สุด และรหัสที่ง่ายที่สุดคือรหัสเอ็นอาร์แซดแอล (NRZ-L) ซึ่งเป็นรหัสพื้นฐานที่ใช้กันในอุปกรณ์ทั่วไป และในรหัสกลุ่มนี้ยังมีอีก 2 เวอร์ชั่น คือ เอ็นอาร์แซดเอ็ม (NRZ-M) และเอ็นอาร์แซดเอส (NRZ-S) ซึ่งเป็นรหัสดิฟเฟอเรนเชียล รหัสดิฟเฟอเรนเชียลมีข้อดีกว่ารหัสธรรมดา คือ

1) สัญญาณจะไม่มีการเปลี่ยนระดับเฉพาะขบวนลอจิก 0 สำหรับ NRZ-M ขบวนลอจิก 1 สำหรับรหัส NRZ-S แต่สำหรับ NRZ-L แล้ว สัญญาณจะไม่มีการเปลี่ยนระดับทั้งขบวนลอจิก 0 หรือลอจิก 1 ซึ่งจะเป็นปัญหาในกระบวนการแยกสัญญาณนาฬิกาด้านเครื่องรับ

2) เมื่อเกิดอาการกลับขั้วของสัญญาณข้อมูลอันเนื่องมาจากสัญญาณรบกวน จะก่อให้เกิดการผิดพลาดข้อมูลสำหรับรหัส NRZ-L แต่สำหรับรหัสดิฟเฟอเรนเชียลแล้วจะไม่ก่อให้เกิดการผิดพลาด เนื่องจากการถอดรหัสใช้วิธีการตรวจสอบว่ามีการเปลี่ยนสถานะของระดับสัญญาณหรือไม่ แทนที่จะตรวจสอบระดับสัญญาณว่าเป็นลอจิก 0 หรือ 1

เมื่อพิจารณาในเรื่องของการใช้แถบความถี่แล้วจากรูป 4.4(a) ซึ่งแสดงการกระจายของพลังงานในแถบความถี่ของรหัส จะเห็นว่ารหัส NRZ เป็นรหัสที่มีประสิทธิภาพมากที่สุดในการใช้แถบความถี่ของตัวกลาง โดยพลังงานเกือบทั้งหมดของตัวกลางจะตกอยู่ในช่วงดีซีถึงประมาณครึ่งหนึ่งของอัตราบิต ดังนั้นจะเห็นได้ว่ารหัสแบบนี้ใช้แถบความถี่ของตัวกลางอย่างน้อยที่สุดเพียงครึ่งเดียวของอัตราการส่งข้อมูล ข้อด้อยของรหัสแบบนี้คือ ไม่มีองค์ประกอบความถี่ที่เป็นอัตราส่งข้อมูลในแถบความถี่ หรือกล่าวได้ว่าเป็นรหัสที่ไม่มีคุณสมบัติ เซลฟ์ซิงโครไนเซชั่น (Self Synchronization)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 เส้นโค้งแสดงความหนาแน่นพลังงานในแถบความถี่

(a) ของรหัสเอ็นอาร์แซด (NRZ) และแมนเชสเตอร์

(b) ของรหัสอาร์แซด (RZ) และไบโพลาร์

4.2.2.2 รหัสอาร์แซด (RZ :Return to Zero)

รหัสอาร์แซด (RZ) ถือว่าเป็นรหัสที่ไม่ได้ปรับปรุงคุณสมบัติอะไร เมื่อเทียบกับรหัส NRZ ยกเว้นคุณสมบัติเรื่องของการซิงโครไนซ์ โดยเมื่อสังเกตจากเส้นโค้งในรูป 4.4(b) จะเห็นว่าเส้นโค้งครอบคลุมความถี่ที่เป็นอัตราการส่งข้อมูลอยู่ด้วย แต่รหัสแบบนี้ยังคงมีปัญหากับขบวนข้อมูลที่เป็น 0 การใช้แถบความถี่ของรหัสแบบนี้จะใช้มากกว่ารหัส NZR ถึงประมาณ 2 เท่า จึงมีการประยุกต์ใช้กับเฉพาะงานเท่านั้น

4.2.2.3 รหัสไบเฟส (Biphase)

รหัสไบเฟสที่รู้จักกันดีที่สุดคือ รหัสแมนเชสเตอร์ (Manchester หรือ Biphaes-L) ดังรูป 4.3 เป็นรหัสที่ปรับปรุงมาจากรหัส NZR และรหัส RZ ซึ่งยังคงมีข้อจำกัดในเรื่องการซิงโคไนซ์อยู่ จะเห็นว่ารหัสไบเฟส จะมีการเปลี่ยนสถานะที่ตำแหน่งกลางบิตข้อมูลเสมอ จึงทำให้เป็นรหัสที่มีการเปลี่ยนแปลงสถานะของสัญญาณอย่างมาก ส่งผลให้สถานะของการแยกสัญญาณนาฬิกาดีมาก แต่เมื่อสังเกตแถบความถี่ของรหัสนี้จากรูปที่ 4.4(a) พบว่าใช้แถบความถี่ถึงประมาณ 2 เท่าของการส่งข้อมูล เช่นเดียวกับรหัสอาร์แซด รหัสไบเฟสเป็นรหัสที่มีใช้กันมาก เช่น ระบบบันทึกข้อมูลบนเทปแม่เหล็ก ระบบโครงข่ายท้องถิ่น หรือ LAN เป็นต้น แต่มักใช้กับการส่งข้อมูลในอัตราที่ไม่สูงมากนัก เนื่องจากวิธีการเข้ารหัสค่อนข้างซับซ้อนและใช้แถบความถี่กว้างเกินไป

4.2.2.4 รหัสไบโพลาร์ (Bipolar)

รูปแบบของรหัสไบโพลาร์แสดงดังรูปที่ 4.3 รหัสแบบนี้มีทั้งส่วนของสัญญาณที่เป็นทั้งค่าบวกและลบ แถบความถี่ของรหัสแบบนี้ไม่ครอบคลุมความถี่ที่เป็นอัตราส่งข้อมูล ดังรูปที่ 4.4(b) จึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่มีคุณสมบัติการซิงโครไนซ์ แต่การใช้แถบความถี่ค่อนข้างจะมีประสิทธิภาพ โดยพลังงานส่วนใหญ่จะอัดกันอยู่บริเวณครึ่งหนึ่งของอัตราการส่งข้อมูล รหัสไบโพลาร์นี้มีใช้กันอย่างกว้างขวางในระบบชุมสายโทรศัพท์ดิจิตอลแบบ T1

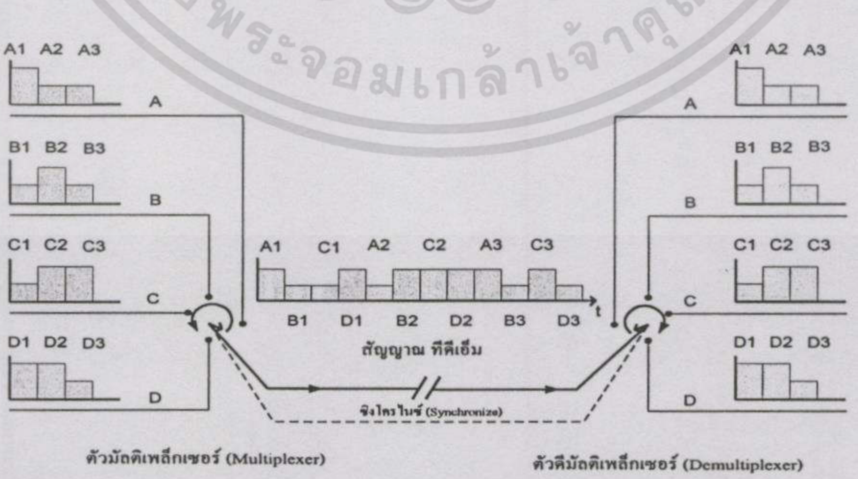
4.3 ระบบการส่งสัญญาณพัลซ์โค๊ดมอดูเลชั่น

สัญญาณพัลซ์โค๊ดมอดูเลชั่นเป็นสัญญาณซึ่งอยู่ในรูปของสัญญาณดิจิตอล ทำให้สามารถที่จะรวมสัญญาณจากหลายๆ แหล่ง หลายๆ พีซีเอ็มเข้าด้วยกันและทำการมัลติเพล็กซ์ข้อมูลในกรอบของเวลาที่เรียกว่าการมัลติเพล็กซ์แบบ TDM (Time Division Multiplexing) ได้ง่าย และมีประสิทธิภาพมากที่สุด ดังนั้นในหัวข้อนี้จะอธิบายถึงหลักการและวิธีการส่งข้อมูลพัลซ์โค๊ดมอดูเลชั่นในรูปแบบ 24 ช่องสัญญาณ หรือที่เรียกและรู้จักกันว่าเป็นแบบพื้นฐานในระบบ T1 ซึ่งมีอัตราการส่งข้อมูลเป็น 1.544 Mbps

4.3.1 หลักการเบื้องต้นของการมัลติเพล็กซ์แบบแบ่งเวลา

การแปลงสัญญาณอนาลอกให้อยู่ในรูปดิจิตอล ทำให้สามารถที่จะรวมสัญญาณจากหลายๆ แหล่งเข้าด้วยกันได้โดยง่ายเทคนิควิธีที่ใช้กันคือ การมัลติเพล็กซ์ข้อมูลเข้าด้วยกันในกรอบของเวลาเรียกวิธีการมัลติเพล็กซ์แบบนี้ว่า TDM

ระบบ TDM เป็นระบบสื่อสารดิจิตอลที่ใช้ส่งข้อมูลจากหลายๆ ช่องข้อมูล ให้เป็นสัญญาณดิจิตอลเดียวโดยใช้วิธีการแบ่งช่วงเวลาที่แน่นอนค่าหนึ่งให้แต่ละช่องข้อมูลเรียงลำดับกันไป ดังรูปที่ 4.5 เรียกช่องเวลาที่กำหนดให้แต่ละช่องข้อมูลว่า “ช่องเวลา” (Time Slot) และถ้าแต่ละช่องเวลาประกอบด้วยข้อมูลเพียง 1 บิต เรียกว่า การมัลติเพล็กซ์ข้องมูลแบบ บิตอินเตอลีฟ (Bit Interleaved) แต่ถ้าประกอบด้วยกลุ่มของบิตหรือเวอร์ด เรียกว่า เวอร์ดอินเตอลีฟ (Word Interleaved)



รูปที่ 4.5 ภาพสมมูลย์แสดงตัวส่ง (Multiplexer) และตัวรับ (Demultiplexer) ระบบทีดีเอ็ม

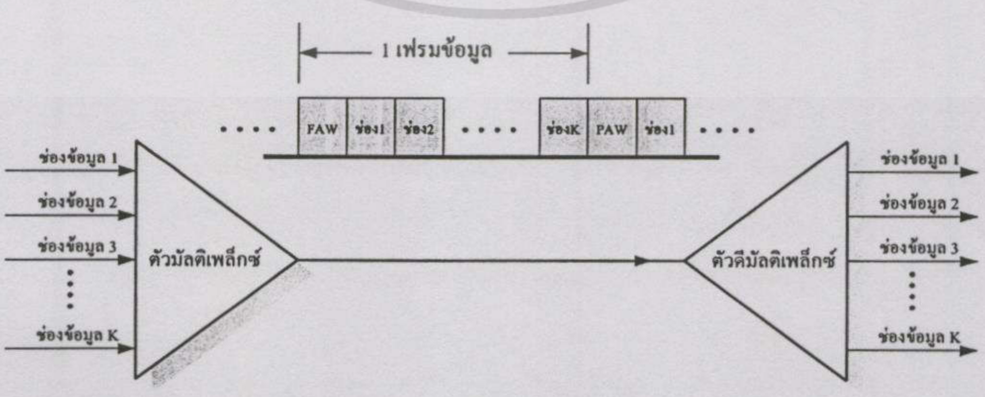
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารระบบทีดีเอ็มสามารถแบ่งเป็น 2 ระบบใหญ่ๆ คือ

1. ซิงโครนัส ทีดีเอ็ม (Synchronous TDM) เป็นระบบที่ใช้แหล่งกำเนิดข้อมูล และตัวมัลติเพล็กซ์ข้อมูลทำงานที่สัญญาณนาฬิกาเดียวกัน ทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูล และตัวมัลติเพล็ซ์เป็นไปในจังหวะเดียวกัน หรือกล่าวได้ว่า ทุกๆ ครั้งที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูล แหล่งข้อมูลจะมีข้อมูลพร้อมที่จะส่งออกไปเสมอ

2. อะซิงโครนัสทีดีเอ็ม (Asynchronous TDM) เป็นระบบที่แหล่งกำเนิดข้อมูลและตัวมัลติเพล็กซ์ทำงานที่สัญญาณนาฬิกาที่ต่างกันทำให้การส่งและรับข้อมูลระหว่างแหล่งข้อมูลและตัวมัลติเพล็ซ์ไม่เป็นไปในจังหวะเดียวกัน เช่น จังหวะที่ตัวมัลติเพล็กซ์เข้ามาอ่านข้อมูลแหล่งข้อมูลอาจไม่พร้อมที่จะให้ข้อมูลเป็นผลให้ข้อมูลในช่องข้อมูลนั้นๆ มักจะไม่ค่อยมีความต่อเนื่องจึงทำให้การสื่อสารในระบบนี้จะต้องมีกระบวนการ จัสติฟิเคชั่น (Justification) หรือ พัลซ์สตัฟฟิ่ง (Pulse Stuffing) เพื่อทำการซิงโครไนซ์สัญญาณนาฬิกาของแหล่งข้อมูลกับสัญญาณนาฬิกาของตัวมัลติเพล็กซ์ การสื่อสารแบบนี้จึงมีความยุ่งยากซับซ้อนกว่าแบบซิงโครนัสทีดีเอ็ม แต่เป็นแบบที่มีความยืดหยุ่นมากกว่าในการเชื่อมต่อแหล่งข้อมูลที่มีอัตราข้อมูลต่างๆ กัน

ในการสื่อสารระบบทีดีเอ็มสิ่งหนึ่งที่สำคัญที่สุดคือ การซิงโครไนซ์ระหว่างตัวมัลติเพล็กซ์และตัวดีมัลติเพล็กซ์ จากรูปที่ 4.5 จะเห็นว่าการที่ตัวมัลติเพล็กซ์สามารถแยกข้อมูลที่รวมกันมาเป็นสัญญาณทีดีเอ็มไปยังช่องข้อมูลที่ถูกต้องของมันนั้น จำเป็นอย่างยิ่งที่ตัวมัลติเพล็กซ์ จะต้องอยู่ในสภาพซิงโครไนซ์กับตัวมัลติเพล็กซ์ พิจารณากันอย่างง่ายๆ หมายความว่า สวิตซ์ทางตัวส่งและตัวรับต้องอยู่ในตำแหน่งเดียวกันและหมุนไปพร้อมกันๆ วิธีการที่ใช้กันในทางปฏิบัติคือ การกำหนดช่องเวลาขึ้น 1 ช่อง (หรือ 2 ช่อง) ซึ่งบรรจุเวอร์ดที่มีลักษณะจำเพาะ ช่องเวลานี้กำหนดขึ้นเพื่อเป็นช่องเวลาอ้างอิงเพื่อใช้ระบุตำแหน่งของช่องเวลาอื่นๆ ดังนั้นถ้าตัวดีมัลติเพล็กซ์สามารถตรวจสอบพบเวอร์ดนี้ได้ตัวดีมัลติเพล็กซ์ก็สามารถทราบตำแหน่งของช่องเวลาอื่นๆ ทำให้สามารถแยกแยะข้อมูลในช่องเวลาต่างๆ ออกมาได้ เรียกเวอร์ดที่บรรจุอยู่ในช่องเวลาอ้างอิงนี้ว่า เฟรมอไลเมนต์เวอร์ด FAW (Frame alignment word) ดังรูปที่ 4.6

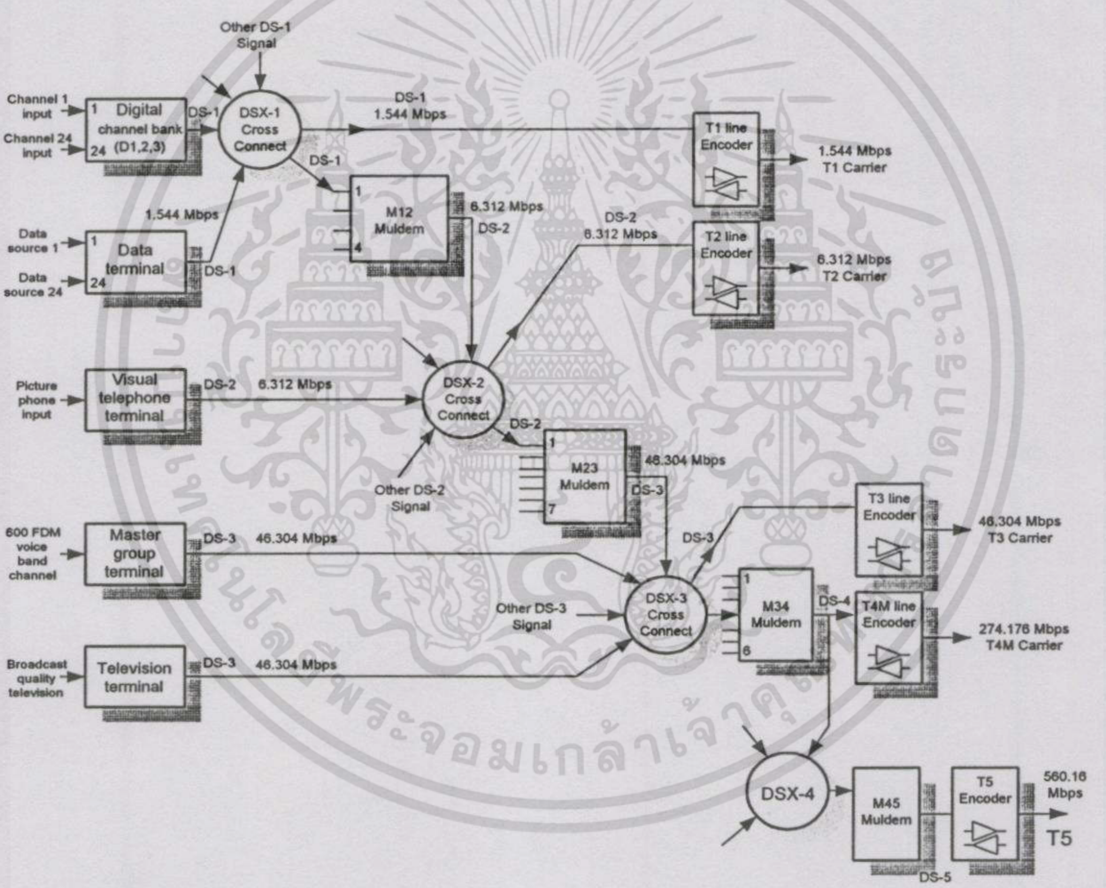


รูปที่ 4.6 โครงสร้างของเฟรมระบบทีดีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 ลาดับขั้นของระบบ

ในการส่งข้อมูลดิจิตอลนั้น มีการรวมสัญญาณเข้าด้วยกันเพื่อให้ง่ายต่อการส่ง ดังนั้นความแตกต่างของการส่งจะขึ้นกับบิตเรทหรืออัตราการส่งข้อมูล ดังแสดงในรูปที่ 4.7 แสดงถึงลำดับขั้นการส่งของระบบดิจิตอลที่ใช้งานในแถบอเมริกาเหนือ โดยการส่งระดับสูงขึ้นไปสามารถทำได้โดยอุปกรณ์พิเศษที่เรียกว่า "มัลเด็ม" (Multiplexers / Demultiplexers) ซึ่งจะทำให้อินพุทและเอาท์พุทของสัญญาณดิจิตอลสัมพันธ์กัน เช่น M12 มัลเด็ม เป็นการมัลติเพล็กซ์และดีมัลติเพล็กซ์ที่การเชื่อมต่อ DS-1 และ DS-2 ดิจิตอลซิกแนล และ M23 มัลเด็ม จะเชื่อมต่อ DS-2 และ DS-3 ซิกแนล ใน DS-1 ซิกแนล จะเป็นการมัลติเพล็กซ์หรือการเข้ารหัสที่สภาวะพิเศษที่เรียกว่า T1 ส่วน DS-2 , DS-3 , DS-4 และ DS-5 ซิกแนล กระทำที่ T2 ,T3 ,T4M และ T5 ตามลำดับ



รูปที่ 4.7 ลำดับขั้นของระบบ

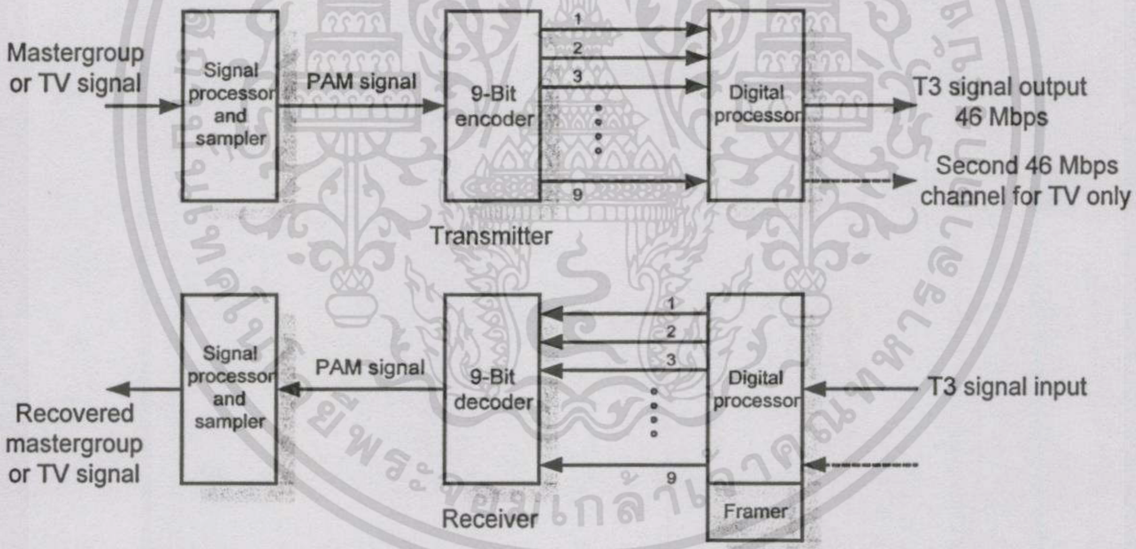
ดิจิตอลซิกแนล จะมีการเชื่อมโยงที่ตำแหน่งศูนย์กลางที่เรียกว่า "ดิจิตอล-ครอส-คอนเนค" (Digital Cross-Connects) DSX ซึ่งจะสะดวกในการบำรุงรักษาแก้ไขปรับปรุง โดยในแต่ละชนิดของดิจิตอลซิกแนล (DS-1 , DS-2 , อื่นๆ) จะเป็นดิจิตอลสวิตซ์ (DSX-1 , DSX-2 , อื่นๆ) เอาท์พุทที่ได้จากดิจิตอลสวิตช์นั้น จะถูกพัฒนาการเข้ารหัสระดับสูงขึ้น และจะกระทำที่ลำดับของระบบ T ไลน์ (T1 ,T2 ,T3 , อื่นๆ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 แสดงดิจิตอลซิกแนล บิตเรท จำนวนช่องสัญญาณ และลำดับขั้นของการให้บริการ

Line type	Digital signal	Bit rate (Mbps)	Channel capacities	Services offerd
T1	DS-1	1.544	24	Voice band telephone
T1C	DS-1C	3.152	48	Voice band telephone
T2	DS-2	6.312	96	Voice band telephone and picturephone
T3	DS-3	46.304	672	Voice band telephone, picturephone, and broadcast-quality television
T4M	DS-4	274.176	4032	Same as T3 except more capacity
T5	DS-5	560.160	8064	Same as T4 except more capacity

รูปที่ 4.8 แสดงบล๊อกไดอะแกรมของมาสเตอร์กรุ๊ปและคอมเมอเชียลทีลิวิชั่น ซึ่งทางด้านรับของมาสเตอร์กรุ๊ปจะเป็น FDM (Frequency Division Multiplexing) โดยจะมีความถี่เปลี่ยนแปลงอยู่ระหว่าง 564-3084 kHz และจะมีแบนด์วิธ 0-2520 kHz ในการเลื่อนความถี่ของมาสเตอร์กรุ๊ปจะถูกสุ่มที่ 5.1 MHz ส่วนคอมเมอเชียลทีลิวิชั่นจะเป็นสองเท่าของมาสเตอร์กรุ๊ปคือ 10.2 MHz



รูปที่ 4.8 บล๊อกไดอะแกรมของมาสเตอร์กรุ๊ปและคอมเมอเชียลทีลิวิชั่น

กรณีต้องการส่งรหัสพีซีเอ็มขนาด 9 บิต จะต้องใช้การสุ่มสัญญาณดิจิตอลในแต่ละช่องของมาสเตอร์กรุ๊ปหรือทีลิวิชั่นซิกแนล โดยมาสเตอร์กรุ๊ปจะให้เอาท์พุทประมาณ 46 Mbps ส่วนทีลิวิชั่นซิกแนล จะเป็นสองเท่าของมาสเตอร์กรุ๊ปคือ 92 Mbps

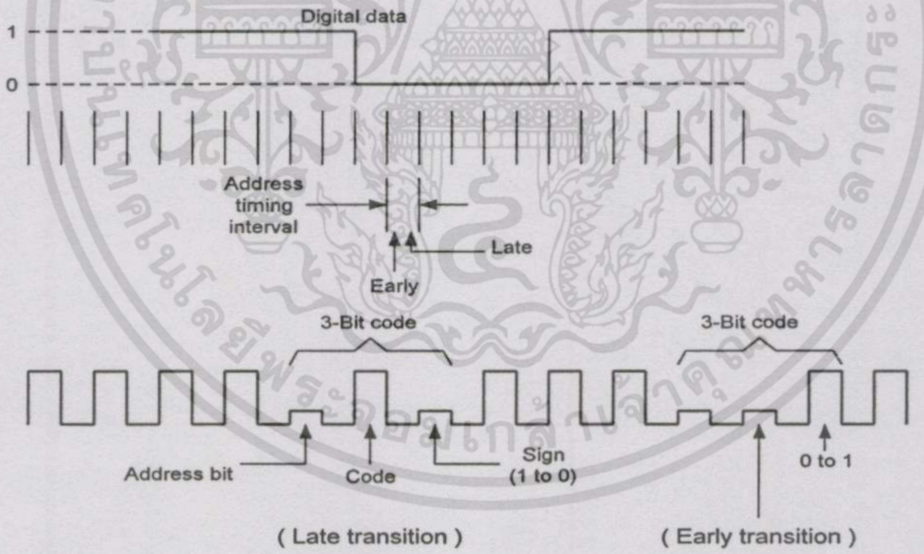
ดิจิตอลเทอมินอล จะแสดงได้ดังรูปที่ 4.8 ตามชนิดของฟังก์ชั่นนั้นโดยจะแปลงข้อมูลจากเอาท์พุทของวงจรเข้ารหัสจากขนานไปเป็นอนุกรม และทำการแซกเฟรมซิงโครไนซ์บิต แปลงให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นไบนารี่ที่เหมาะสมสำหรับการส่ง ส่วนคอมเมอเชียลทีลิวิชั่น 92 Mbps จะเป็นการรวมกันของ 46 Mbps 2 อัน เนื่องจากไลน์สปีด 92 Mbps จะไม่มีในลำดับขั้นมาตรฐาน

พิกเจอร์โฟนเทอมินอล (Picture phone terminal) จะเป็นการส่งสัญญาณ ซึ่งจะมีคุณภาพต่ำเมื่อใช้กับคู่สายแบบธรรมดา ดังนั้นในทางเศรษฐศาสตร์จึงมีความต้องการที่จะเข้ารหัสสัญญาณภาพเป็นแบบ T2 6.312 Mbps ซึ่งจะต่ำกว่าที่ใช้กับโครงข่ายคอมเมอเชียลแต่จะลดต้นทุนในการจัดสร้างและให้บริการ การให้บริการพิกเจอร์โฟนมีแนวคิดที่จะบริการ โดยใช้ความแตกต่างของการเข้ารหัสพีซีเอ็ม แต่ก็จะมีลักษณะเดียวกันกับพีซีเอ็มแบบธรรมดาพื้นฐาน นอกจากว่าจะมีขนาดที่ใหญ่เกินไปจึงไม่สามารถที่จะให้บริการได้

ในส่วนของดาต้าเทอมินอลนั้น จะพูดถึงการสื่อสารข้อมูลที่มากกว่าข้อมูลเสียง โดยจะเพิ่มขึ้นแบบ “เอ็กโพเนนเชียล” โดยปกติแล้วอัตราการส่งข้อมูลในแต่ละคู่สายจะต่ำกว่าอัตราการส่งข้อมูลของ “ดิจิตอลไลน์” ดังนั้นจึงดูเหมือนว่ามันถูกออกแบบในการที่จะส่งข้อมูลจากแหล่งข้อมูลที่ถูกจำกัดมากกว่า แต่อย่างไรก็ตามมันก็เพียงพอสำหรับการส่งสัญญาณข้อมูลดิจิตอลที่อัตราการสุ่มสัญญาณสูงๆ ที่มีบิตเรทในการส่งมากๆ โดยเฉพาะข้อมูลที่ไม่ค่อยมีการเปลี่ยนแปลงมากนัก ซึ่งแสดงได้ดังรูปที่ 4.9



รูปที่ 4.9 รูปแบบการเข้ารหัสข้อมูล

รูปที่ 4.9 จะแสดงถึงรูปแบบของการเข้ารหัสสัญญาณ รหัสทั้ง 3 บิต จะใช้งานในลักษณะเดียวกันเมื่อข้อมูลมีการเปลี่ยนแปลงเกิดขึ้น หรือเปลี่ยนจาก “1” ไปเป็น “0” บิตแรกของรหัสจะเรียกว่า “แอดเดรสบิต” (Address bit) เมื่อแอดเดรสบิตมีค่าเป็นลอจิก “1” แสดงถึงสภาวะที่ไม่มีการเปลี่ยนแปลงเกิดขึ้น แต่ถ้าแอดเดรสบิตมีค่าเป็น “0” จะแสดงถึงสภาวะที่มีการเปลี่ยนแปลงเกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขึ้น บิตที่สองจะแสดงถึงการเปลี่ยนแปลงในระหว่างครึ่งซีกแรก (0) หรือในระหว่างครึ่งซีกที่สอง (1) ของการสุ่มสัญญาณ ในบิตที่สามแสดงถึงสัญญลักษณ์หรือทิศทางของการเปลี่ยนแปลง ถ้าบิตนี้เป็น "1" จะแสดงถึงการเปลี่ยนแปลงจาก 0 ไป 1 และถ้าเป็น "0" จะแสดงถึงการเปลี่ยนแปลงจาก 1 ไป 0 ดังนั้นถ้าเกิดข้อมูลไม่มีการเปลี่ยนแปลงสัญญาณทั้งหมดนี้จะเป็น 1 เสมอ ดังนั้นแอดเดรสบิตอย่างเดียวก็เพียงพอสำหรับการส่งข้อมูลแล้ว แต่อย่างไรก็ตาม "ไซน์บิต" (Sign bit) ก็จะเตรียมไว้สำหรับป้องกันการผิดพลาดที่เกิดขึ้น และจำกัดอัตราการผิดพลาดไว้เมื่อเกิดการผิดพลาดหลายๆ ครั้ง ประสิทธิภาพของรูปแบบนี้จะมีค่าประมาณ 33 % ส่วนข้อดีนั้นจะมีมากกว่าแบบเดิม กล่าวคือรหัสข้อมูลจะมีประสิทธิภาพมากกว่าเมื่อนำมาใช้กับสัญญาณเสียงในระบบอนาลอก

4.3.3 การเข้ารหัสสัญญาณ (Line encoding)

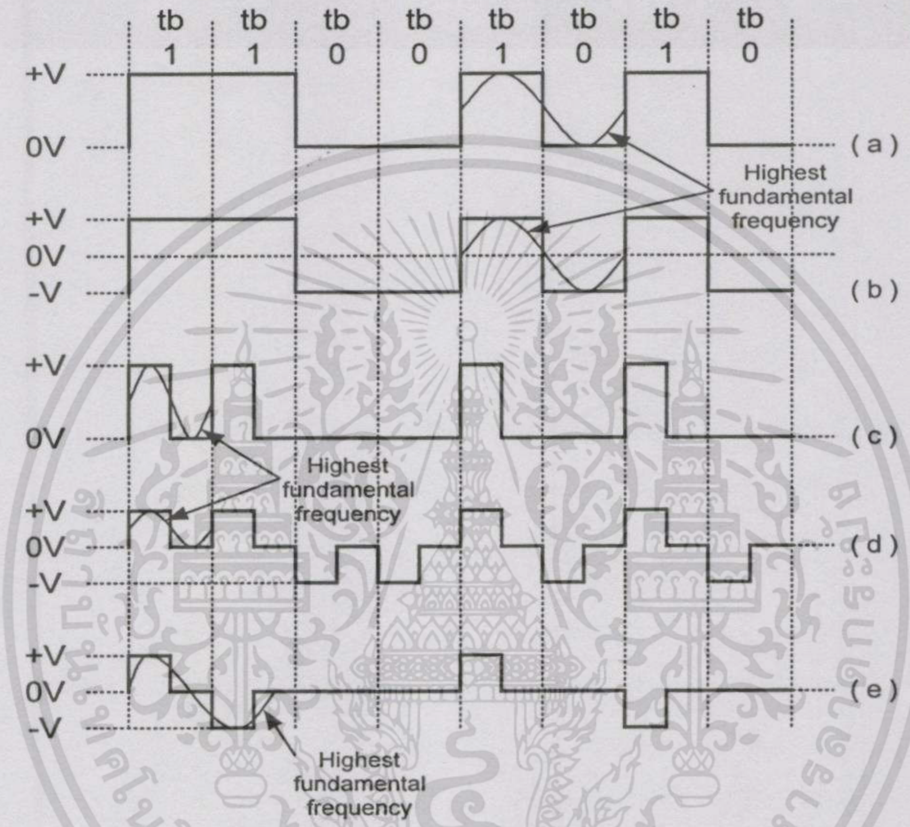
การเข้ารหัสสัญญาณในที่นี้ อธิบายโดยอ้างอิงมาตรฐานของระดับลอจิกของ ไอซี ทีทีแอล ซีมอส และชนิดอื่นๆ ในลักษณะที่เหมาะสำหรับการสื่อสาร โทรศัพท์ มีหัวข้อหลักคือ ระดับแรงดันและไฟดีซี (Transmission Voltage and DC component) การแยกสัญญาณนาฬิกา (Timing , clock recovery) แบนด์วิธ (Transmission bandwidth) การตรวจจับความผิดพลาด (Error detection)

ระดับแรงดันและไฟดีซี (Transmission Voltage and DC component) สามารถแยกประเภทได้เป็นแบบ "ยูนิโพลาร์" (Unipolar : UP) และแบบ "ไบโพลาร์" (Bipolar : BP) ยูนิโพลาร์ทรานสมิสชั่นจะอธิบายถึงการเข้ารหัสไบนารี่แบบขั้วเดียว "นอนซีโร่โวลท์เตจ" (Nonzero voltage) กล่าวคือ +V คือ ลอจิก "1" และ 0V จะเป็นกราวด์หรือลอจิก "0" ส่วนไบโพลาร์ทรานสมิสชั่นจะอธิบายถึงการเข้ารหัสไบนารี่แบบ 2 ด้าน "2 นอนซีโร่โวลท์เตจ" (2-Nonzero voltage) กล่าวคือ +V แทนด้วยลอจิก "1" และ –V แทนด้วยลอจิก "0" ด้วยเหตุนี้การเข้ารหัสและส่งข้อมูลดิจิตอลจะมีประสิทธิภาพมากเมื่อมีการเข้ารหัสที่แรงดันสูง ๆ ยกตัวอย่าง เช่น สมมติว่ามีความต้านทานเท่ากับ 1 โอห์ม และลอจิก "1" มีระดับแรงดันเป็น +5V และลอจิก "0" มีระดับ 0V ต้องการกำลังไฟเฉลี่ยเป็น 12.5 W (สมมติว่ามีสภาวะที่เป็นไปได้ทั้ง 0 และ 1) ลอจิก "1" จะมีระดับแรงดัน +2.5 V และลอจิก "0" จะมีระดับ –2.5 V ดังนั้นค่าเฉลี่ยของกำลังที่ได้จะเป็น 6.25 W เพราะฉะนั้นการใช้แบบไบโพลาร์ซิมเมตริซ์จะมีค่าเฉลี่ยของกำลังที่ถูกลดทอนลง 50 %

"ดิวตี้ไซเคิล" (Duty cycle) ดิวตี้ไซเคิลของพัลซ์ไบนารี่สามารถแยกประเภทออกได้ตามชนิดของการส่งข้อมูล ถ้าไบนารี่พัลซ์มีบิตไทม์ครบถ้วนจะเรียกว่า "นอนรีเทินทูซีโร่" (Nonreturn-to-zero :NRZ) แต่ถ้าไบนารี่พัลซ์มีการเปลี่ยนแปลงต่ำกว่า 100% ของบิตไทม์จะเรียกว่า "รีเทินทูซีโร่" (Return-to-zero :RZ) ในการเข้ารหัส ยูนิโพลาร์ ไบโพลาร์ รีเทินทูซีโร่ และนอนรีเทินทูซีโร่ แสดงได้ดังรูปที่ 4.10 ในรูปที่ 4.10(a) จะสังเกตว่ามีเฉพาะซีกบวกอย่างเดียว (+V = ลอจิก 1) โดยลอจิก "1" จะเป็นค่าบวกเสมอ ดังนั้นดิวตี้ไซเคิลจะเป็น 100 % เพราะฉะนั้นในรูปที่ 4.10(a) จะแสดงถึงไบนารี่พัลซ์แบบ "ยูนิโพลาร์นอนรีเทินทูซีโร่" (Unipolar nonreturn-to-zero : UPNRZ) ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

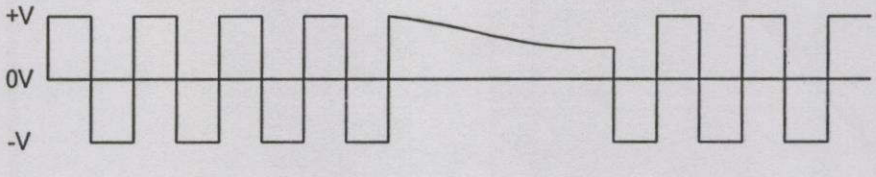
รูปที่ 4.10(b) จะมีทั้งซีกบวกและซีกลบ (+V= ลอจิก 1 และ –V=ลอจิก 0) และค่าดิวตี้ไซเคิลเป็น 100% ดังนั้นแสดงว่าเป็นไบนารี่พัลซ์แบบ "ไบโพลาร์นอนรีเทินทูซีโร่" (Bipolar nonreturn-to-zero : BPNRZ) ในรูปที่ 4.10(c) จะมีซีกบวกด้านเดียวโดยแต่ละพัลซ์แอคทีฟที่ 50 % ของบิตไทม์ ดังนั้นจึงแสดงว่าเป็นไบนารี่พัลซ์แบบ "ยูนิโพลาร์รีเทินทูซีโร่" (Bipolar return-to-zero : UPRZ)



รูปที่ 4.10 รูปแบบการเข้ารหัส (a) UPNRZ (b) BPNRZ (c) UPRZ (d)BPRZ (e) BPRZ-AMI

ในรูปที่ 4.10(d) จะมีทั้งซีกบวกและซีกลบ (+V = ลอจิก 1 และ –V = ลอจิก 0) โดยแต่ละพัลซ์จะแอคทีฟที่ 50 % ของบิตไทม์ ดังนั้นจึงแสดงได้ว่าเป็นไบนารี่พัลซ์แบบ "ไบโพลาร์รีเทินทูซีโร่" (Bipolar return-to-zero : BPRZ) ส่วนในรูปที่ 4.10(e) จะมีทั้งซีกบวกและซีกลบซ้ำๆ กันไป (–V และ +V) และขั้วทั้งสองนี้จะแทนด้วยลอจิก "1" ส่วนแรงดัน 0V แสดงค่าเป็นลอจิก "0" รูปแบบของการเข้ารหัสแบบนี้เรียกว่า "ออลเทอเนทมาร์คอินเวอร์ชั่น" (Alternate mark inversion : AMI) AMI ลอจิก 1 จะต่อเนื่องกัน เป็นการกลับขั้วจากลอจิก 1 ครั้งก่อน ด้วยเหตุนี้เอง "รีเทินทูซีโร่" จะสามารถใช้เทคนิคการเข้ารหัสแบบนี้ได้จึงเรียกว่า "ไบโพลาร์รีเทินทูซีโร่ออลเทอเนทมาร์คอินเวอร์ชั่น" (Bipolar return-to-zero alternate mark inversion : BPRZ-AMI)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 การยืดระยะของระดับดีซี (DC wandering)

การเข้ารหัส NRZ สภาวะที่ระดับสัญญาณจะเป็นไปได้ทั้ง “1” และ “0” ซึ่งถูกสร้างจากสภาวะที่ทางด้านรับเกิดการสูญเสียโดยอ้างอิงระดับความแตกต่างของแอมปลิจูดระหว่าง 1 และ 0 สภาวะนี้เรียกว่า “ดีซีวอนเดอริ่ง” (DC wandering) ปัญหานี้จะเกิดขึ้นได้เมื่อตัวเลข 1 และ 0 เกิดการไม่สมดุลย์กัน ดังรูปที่ 4.11 จะแสดงดีซีวอนเดอริ่งที่เกิดขึ้นเมื่อลอจิก 1 ต่อเนื่องกันยาวๆ จากรูปจะเห็นว่าหลังจากลอจิก 1 ต่อเนื่องกันมาแล้วเปลี่ยนสภาวะไปเป็น 0 จะมีการผิดพลาดมากกว่าการที่เปลี่ยนจาก 0 ไปเป็น 1 ทำนองเดียวกันจะเห็นระดับของ 0 เพิ่มขึ้น จึงมีความน่าจะเป็นที่จะเกิดค่าผิดพลาดระหว่าง 0 ไปเป็น 1 มากขึ้น ดังนั้นหลักของการเข้ารหัสจะคำนวณได้จากแบนด์วิธสูงสุดที่ต้องการส่ง และจะง่ายต่อการแยกสัญญาณนาฬิกาออกจากตัวมัน รวมถึงง่ายต่อการถอดรหัสออกมาโดยค่าเฉลี่ยของระดับดีซีจะให้ความสะดวกในการแยกค่าผิดพลาดนี้

“แบนด์วิธ” (Bandwidth) ในการหาแบนด์วิธที่ต้องการในการเข้ารหัสสัญญาณจะหาได้จากความสัมพันธ์ของความถี่ขั้นพื้นฐานสูงสุด (Highest fundamental frequency) ดังแสดงในรูปที่ 4.10 ความถี่นี้จะคำนวณได้จากลำดับของไบนารี่บิตที่สภาวะต่ำสุด UPNRZ จะมีสภาวะเปลี่ยนจาก 1/0 ความถี่นี้จะถูกกระทำที่ระยะเวลาของบิต 2 บิต เพราะฉะนั้นจึงมีค่าเท่ากับครึ่งหนึ่งของบิตเรท ถ้าเป็น UPRZ สภาวะนี้จะมีบิต 1 ต่อเนื่องกัน 2 บิต เพราะฉะนั้นแบนด์วิธต่ำสุดที่ทำได้จะมีค่าเท่ากับบิตเรท ส่วน BPRZ สภาวะนี้จะมีบิต 1 หรือว่า บิต 0 ต่อเนื่องกัน 2 บิต ดังนั้นแบนด์วิธต่ำสุดที่ทำได้จะมีค่าเท่ากับบิตเรทเช่นกัน และรหัส BPRZ-AMI สภาวะนี้จะมี 1 ติดต่อกันมา 2 บิต หรือมากกว่า 2 บิต ดังนั้นแบนด์ที่ได้จะมีค่าเป็นครึ่งหนึ่งของบิตเรท

“การแยกสัญญาณนาฬิกา” จะอธิบายถึงการรับสัญญาณนาฬิกาจากข้อมูลที่รับได้ ซึ่งเพียงพอแล้วในการส่งข้อมูล รหัส UPNRZ และ BPNRZ จะมีเลข 1 หรือ 0 ติดๆ กันมาเมื่อสร้างสัญญาณข้อมูลเพื่อใช้ส่ง และจะไม่เพียงพอที่จะใช้สำหรับการซิงโครไนซ์สัญญาณนาฬิกา รหัส UPRZ และ BPRZ-AMI จะเป็นเลข 0 ในการสร้างสัญญาณข้อมูลในการส่ง ซึ่ง BPRZ จะเกิดการเปลี่ยนแปลงขึ้นโดยจะไม่คำนึงถึงตำแหน่งของแต่ละบิต แต่ก็จะเป็น 1 หรือ 0 เท่านั้น ในส่วนของวงจรสัญญาณนาฬิกา จะแปลงสัญญาณแบบเต็มคลื่น โดยเป็นสัญญาณนาฬิกาแบบอิสระที่มีค่าเท่ากับบิตเรททางด้านรับ ดังนั้นการเข้ารหัส BPRZ จะเหมาะสำหรับแยกสัญญาณนาฬิกา แต่ถ้าจะใช้ป้องกันการเกิดสัญญาณสภาวะ 0 นานๆ นั้น การเข้ารหัสแบบ BPRZ-AMI ก็เพียงพอแล้วสำหรับการซิงโครไนซ์สัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"การตรวจจับความผิดพลาด" (Error Detection) การเข้ารหัส UPNRZ , BPNRZ , UPRZ , และ BPRZ จะไม่สามารถทำได้ถ้าการรับข้อมูลมีการผิดพลาด ในรหัส BPRZ-AMI การผิดพลาดบางบิตก็จะทำให้เกิดสาเหตุนี้ขึ้นได้ (การรับเอาบิต 1 จำนวน 2 บิต หรือมากกว่าติดต่อกันมาด้วยขั้วเดียวกัน) ด้วยเหตุนี้รหัส BPRZ-AMI จะใช้เป็นตัวแยกการผิดพลาดภายในได้

การดีเทคและการเข้ารหัสแบบง่ายๆ ใช้แบบ "ยูนิโพลาร์ทรานสมิสชั่น" ซึ่งจะกล่าวถึงการส่งแบบขั้วๆ เดียว จะใช้ค่าเฉลี่ยของแรงดันไฟดีซีในการแยก โดยจะเท่ากับ +V/2 ในการสมมติให้ความน่าจะเป็นที่จะเกิด 1 หรือ 0 แต่ไบโพลาร์จะมีค่าเฉลี่ยของดีซีเป็น 0V ซึ่งค่าดีซีนั้นจะเป็นสิ่งที่ไม่ต้องการ จึงต้องทำการดีเทคออก เพราะเป็นสาเหตุให้สภาวะของพัลซ์ที่รับได้เกิดการผิดพลาด เพราะฉะนั้น ไบโพลาร์ทรานสมิสชั่น จึงมีความเหมาะสมกว่าในการดีเทคข้อมูล

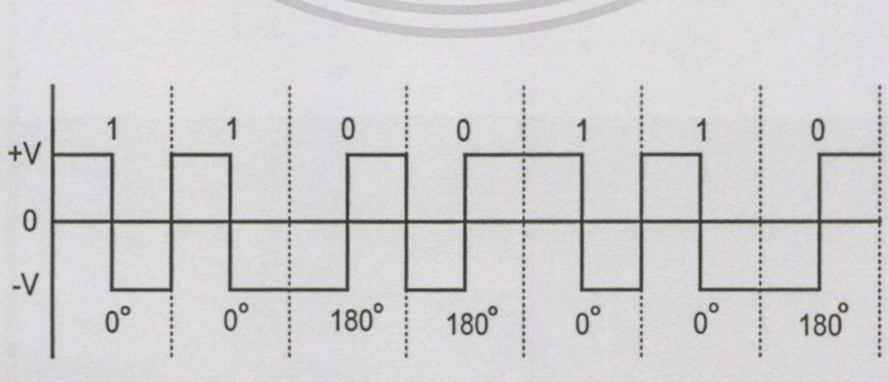
ตารางที่ 4.3 แสดงถึงคุณสมบัติของการเข้ารหัสแบบต่างๆ

Encoding format	Minimum BW	Average DC	Clock recovery	Error detection
UPNRZ	ft/2[a]	+V/2	Poor	NO
BPNRZ	ft/2[a]	0 V[a]	Poor	NO
UPRZ	fb	+V/2	Good	NO
BPRZ	fb	0 V[a]	Best[a]	NO
BPRZ-AMI	ft/2[a]	0 V[a]	Good	Yes[a]

[a] Denotes best performance or quality

ตารางที่ 4.3 แสดงถึงค่าแบนด์วิธต่ำสุด ค่าเฉลี่ยไฟดีซี สัญญาณนาฬิกา และการดีเทคค่าผิดพลาดของรูปแบบการเข้ารหัส "ไลน์เอ็นโค๊ดฟอร์แมท" (Line-encoding formats) ของสัญญาณรูปที่ 4.10

ดิจิตอลไบเฟส (Digital biphase) หรือที่เรียกอีกอย่างหนึ่งว่า รหัสแมนเชสเตอร์หรือไบเฟส ซึ่งจะเป็นที่นิยมมากในการเข้ารหัสและแยกสัญญาณนาฬิกา เพราะจะไม่ทำให้เกิด สภาวะดีซีวอนเดอริ่ง ใช้รูปแบบการส่งแบบ BPRZ



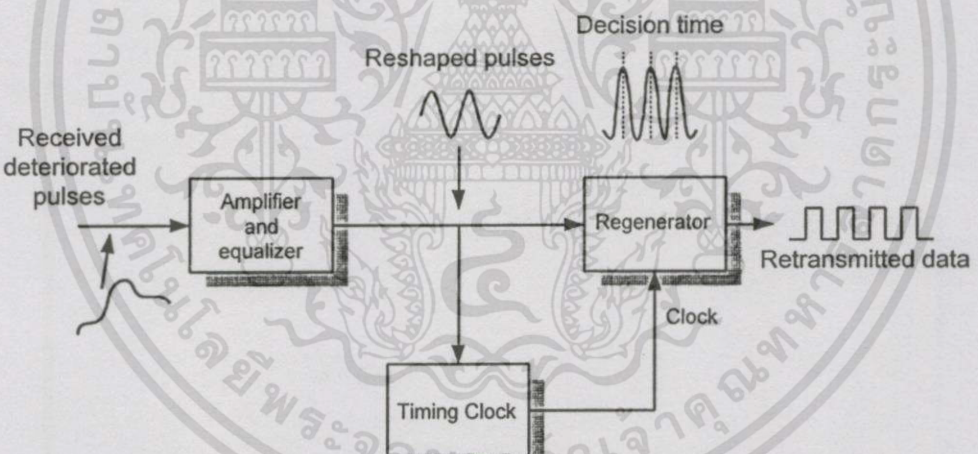
รูปที่ 4.12 ดิจิตอลไบเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.12 สแควร์เวฟของรูปคลื่นแรกนั้นจะมีสภาวะลอจิก "1" ที่ 0^0 และจะมีสภาวะเป็น "0" ที่สแควร์เวฟที่ 180^0 การเปลี่ยนแปลงของรูปคลื่นจะเกิดที่ช่วงกลางๆ ของทุกๆ สัญญาณ เมื่อพิจารณาดูจะเห็นว่ารหัสไบเฟสมีคาบเวลาที่มั่นคง ซึ่งจะเหมาะสำหรับการแยกสัญญาณนาฬิกา ความเป็นไปได้ที่จะเกิดทั้ง 1 และ 0 จะมีค่าเฉลี่ยอยู่ที่ 0V จึงไม่ทำให้เกิดดีซีวอนเดอริ่ง ส่วนข้อเสียของไบเฟสนั้นก็คือ จะไม่มีวิธีการดีเทคค่าผิดพลาดเลย

4.3.4 หลักการพื้นฐานของ T แคเรีย

T1 แคเรีย เป็นการเข้ารหัสและส่งสัญญาณพีซีเอ็มมัลติเพล็กซ์แบบแบ่งเวลา โดย T1 แคเรีย นำมาใช้ในการเข้ารหัสสัญญาณและส่งข้อมูลไปตามสายสื่อสัญญาณและเคเบิลทองแดงซึ่งต้องการส่งข้อมูลด้วยความเร็วสูง และมีแบนด์วิธมากๆ ซึ่งจะมีการสูญเสียมากเมื่อสายเคเบิลยาวหรือสายทองแดงที่ทำให้เกิดการสูญเสียมากๆ และจำเป็นที่ต้องใช้วงจรกรองสัญญาณความถี่ต่ำ (Low-pass filter) ต่อขนานกับคู่สายนั้นๆ เพราะฉะนั้นจึงจำเป็นต้องสร้างสัญญาณขึ้นมาใหม่ (Regenerative repeaters) โดยระยะห่างระหว่างตัวรีพีทเตอร์จะไม่ได้เป็นอิสระกัน โดยจะเชื่อมต่อกันและใช้เทคนิคการเข้ารหัสสัญญาณดิจิตอลไปตามสาย



รูปที่ 4.13 บล๊อกไดอะแกรมของรีพีทเตอร์

จากรูปที่ 4.13 แสดงถึงบล๊อกไดอะแกรมของ "รีพีทเตอร์" (Regenerative repeater) โดยจะแสดงบล๊อกฟังก์ชั่นของ "แอมปลิฟลายอีควอไลเซอร์" (Amplifier-equalizer) และรีเจนเนอเรเตอร์ รูปแบบของแอมปลิฟายอีควอไลเซอร์จะรับสัญญาณดิจิตอล และจะทำการยกระดับสัญญาณให้เป็นสภาวะแบบที่มีพัลซ์และไม่มีพัลซ์ อีควอไลเซอร์จะทำการแยกสัญญาณนาฬิกาจากข้อมูลที่รับได้ไว้เพื่อเตรียมไว้สำหรับรีเจนเนอเรเตอร์ ซึ่งจะได้สัญญาณที่มีความถูกต้องทำให้มีโอกาสผิดพลาดน้อย ระยะระหว่างรีพีทเตอร์แต่ละตัวจะมีค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวน (Signal-to-noise

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

: S/N) หรือ อาจจะไม่มีค่าผิดพลาดนี้ก็เป็นได้ ค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่ได้จริงๆ แล้วจะวัดที่จุดเชื่อมต่อการส่งข้อมูล และที่เอาท์พุทของรีเจนเนอเรเตอร์ตัวก่อนหน้านั้น (ในความเป็นจริงแล้ว ถ้ามีการรีเจนเนอเรชั่นใหม่ ค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนนี้จะมีค่าเท่าเดิม)

4.3.4.1 ระบบ T1 และ T1 แคเรีย

ระบบ T1 แคเรีย จะนำไปใช้ประโยชน์ในการเข้ารหัส PCM และ TDM ที่ 24 ช่องสัญญาณ โดยใช้งานที่ระยะห่างในการส่งข้อมูลประมาณ 5 ถึง 50 ไมล์ ซึ่ง T1 แคเรีย จะใช้การเข้ารหัสแบบ BPRZ-AMI โดยจะรีเจนเนอเรทสัญญาณทุกๆ 6000 ฟุต เพราะว่า T1 แคเรีย ใช้การเข้ารหัสแบบ BPRZ-AMI ดังนั้นจึงเป็นการง่ายที่การซิงโครไนซ์สัญญาณจะเกิดการผิดพลาดขึ้นเมื่อเกิดสภาวะที่ "0" ติดต่อกันมา ซึ่งสภาวะนี้จะเกิดเมื่อมีรหัส PCM หลายๆ บิตติดต่อกันมา (ถ้าเป็นช่องสัญญาณว่างจะมีสภาวะ 0 ติดต่อกันได้ถึง 7 หรือ 8 บิต) ด้วยเหตุนี้ถ้ามีช่องสัญญาณ PCM ว่างมากๆ ก็จะเป็นปัญหามากขึ้นด้วย ในการแก้ปัญหานี้จะทำการกลับรหัส PCM ก่อนการส่งและทางด้านรับก็จะกลับอีกครั้งในการถอดรหัส ดังนั้นที่เวลาใดก็ตามที่เกิดสภาวะ 0 ติดต่อกันมามากกว่า 2 ช่องสัญญาณการเข้ารหัสที่เป็นบวกจะมีปัญหามากที่สุด ซึ่งเป็นสิ่งที่ไม่พึงปรารถนาที่จะให้เกิดขึ้น

ระบบ T1 และ T1C แคเรีย จะทำขึ้นไว้เพื่อแก้ปัญหาการเกิดสภาวะ 0 ที่เกิดติดต่อกันมากกว่า 14 บิตขึ้นไป โดยถ้าแต่ละเฟรมมีสภาวะ 0 ติดต่อกันมากถึง 15 บิตเกิดขึ้น ในที่นี้จึงจะแทนบิต 1 ลงไปในตำแหน่งที่เหมาะสม

	MSB LSB	MSB LSB	
Original DS-1 signal	1000 0000	0000 0001	14 consecutive 0's (no substitution)
Original DS-1 signal	1000 0000	0000 0000	15 consecutive 0's
Substituted DS-1 signal	1000 0000	0000 0010 ↑ Substituted bit	

โดยจะแทนบิตสถานะ "1" ลงในบิตที่สองนับจากบิตต่ำสุด (LSB) ในที่นี้จะมีค่าผิดพลาดของการเข้ารหัสมีค่าเป็น 2 เท่า ของแอมปลิจูดรีโซลูชั่น บิตนี้จะถูกเลือกใช้มากกว่าบิตต่ำสุดเพราะว่าในส่วนของรูปแบบซุปเปอร์เฟรมในทุกๆ หกเฟรม บิต LSB นี้จะถูกนำไปใช้เป็นซิกแนลริ่งบิต ถ้าเปลี่ยนแปลงบิตนี้จะทำให้ซิกแนลริ่งเวอร์ดเปลี่ยนแปลงไปด้วย

	MSB LSB	MSB LSB	MSB LSB
Original DS-1 signal	1010 1000	0000 0000	0000 0001
Substituted DS-1 signal	1010 1000	0000 0010 ↑ Substituted bit	0000 0001

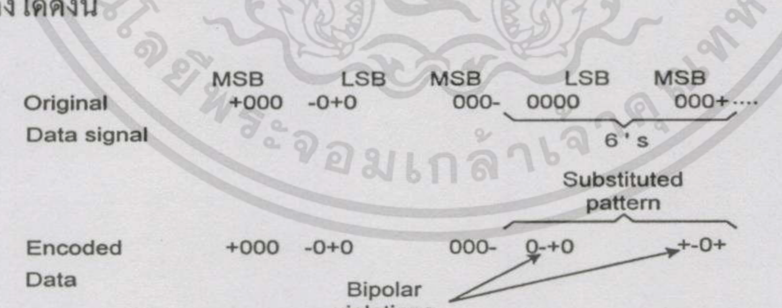
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการทำนั้น จะแสดงได้โดยนำไปใช้กับระบบ T1 และ T1 แคเรีย ถ้าเมื่อใดที่รับบิตสถานะเป็น "0" ติดต่อกันยาวถึง 32 บิต ระบบนี้จะไม่สามารถสร้างพัลซ์หรือจะไม่สามารถให้บริการได้เลย ดังนั้นจึงควรหลีกเลี่ยงไม่ให้เกิดสภาวะที่ 0 ติดต่อกันนานถึง 32 บิตเด็ดขาด

4.3.4.2 ระบบ T2 , T3 , T4M และ T5 แคเรีย

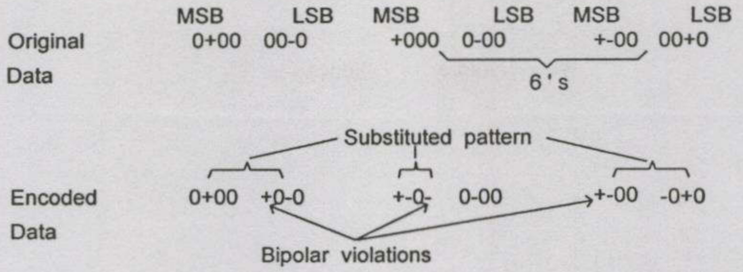
ระบบ T2 แคเรีย จะนำมาใช้ในการส่งข้อมูล PCM ในแบบ TDM ขนาด 96 ช่องสัญญาณ หรือที่อัตราการส่ง 6.312 Mbps และสามารถที่จะใช้ส่งในระยะไกลได้ถึง 500 ไมล์หรือมากกว่า T2 แคเรีย สามารถจะนำไปใช้ในการส่ง "พิกเจอร์โฟน" ได้ ดังที่กล่าวมาแล้วในหัวข้อลำดับขั้นของระบบ ระบบ T2 แคเรีย ใช้การเข้ารหัสแบบ BPRZ-AMI แต่อย่างไรก็ตามเมื่อนำมาใช้ที่อัตราการส่งข้อมูลสูงๆ นั้น สัญญาณนาฬิกาซิงโครไนซ์ (Clock synchronization) จะเกิดค่าผิดพลาดมาก โดยจำนวนบิต 0 เกิดติดต่อกันแค่ 6 บิต ก็จะสามารถทำให้สัญญาณนาฬิกาซิงโครไนซ์มีค่าผิดพลาดได้ เพราะฉะนั้น T2 แคเรีย จึงยึดเอาหลักการที่ว่าที่ค่าๆ หนึ่งซึ่งทำให้ข้อมูลเกิดการเปลี่ยนแปลงขึ้นได้ โดยได้ผลสรุปที่แน่นอนแล้ว และเรียกหลักการนี้ว่า "B6ZS" (Binary six zero substitution)

หลักการ B6ZS นี้ เมื่อใดก็ตามที่สถานะ 0 เกิดติดต่อกันถึง 6 บิต จะทำการแทนรหัสลงไปในตัวมัน 0 - + 0 + - หรือ 0 + - 0 - + โดยค่า + และ - จะแสดงถึงค่าเป็นบวกและลบ ค่าของศูนย์จะแสดงค่าที่สถานะ 0 เมื่อทำการแทนค่าลงในกลุ่มบิตที่มีสถานะ 0 ติดต่อกัน 6 บิต จะเรียกบิตนี้ว่า "ไบโพลาร์ ไวโอเลชั่น" ซึ่งจะสามารถตรวจจับได้ในการดีเทครหัส B6ZS ทางด้านรับ และสภาวะ "0" จำนวนหกบิตเดิมก็สามารถแปลงกลับมาเป็นข้อมูลเดิมได้ ในซัพสติจูดแพทเทิลจะเป็นไบโพลาร์ไวโอเลชั่นที่บิตที่ 2 และบิตที่ 5 กรณีใช้สัญญาณ DS-2 มามัลติเพล็กซ์ในลักษณะ DS-3 รหัส B6ZS จะถูกดีเทคออกจากสัญญาณ DS-2 ก่อนที่จะไปมัลติเพล็กซ์แบบ DS-3 ตัวอย่างของ B6ZS แสดงได้ดังนี้



ระบบ T3 แคเรีย จะนำมาใช้ในการเข้ารหัสและมัลติเพล็กซ์สัญญาณพีซีเอ็มขนาด 672 ช่องสัญญาณเสียง ใช้การส่งข้อมูลทางข่ายสายทองแดง โดยอัตราการส่งข้อมูลของ T3 แคเรีย จะเท่ากับ 44.736 Mbps เทคนิคการเข้ารหัสโดยใช้ T3 แคเรีย จะเป็น "Binary three zero substitution(B3ZS)" โดยสร้างขึ้นจากการที่มีบิต 0 ติดต่อกัน 3 บิต แพทเทิลของ B3ZS จำนวน 4 แพทเทิล แสดงได้ดังนี้ 00 - , -0- , 00 + และ + 0 + การเลือกแพทเทิลจะใช้สาเหตุของการเกิดค่าผิดพลาดของไบโพลาร์ในบิต 3 บิต แสดงได้ดังตัวอย่างต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

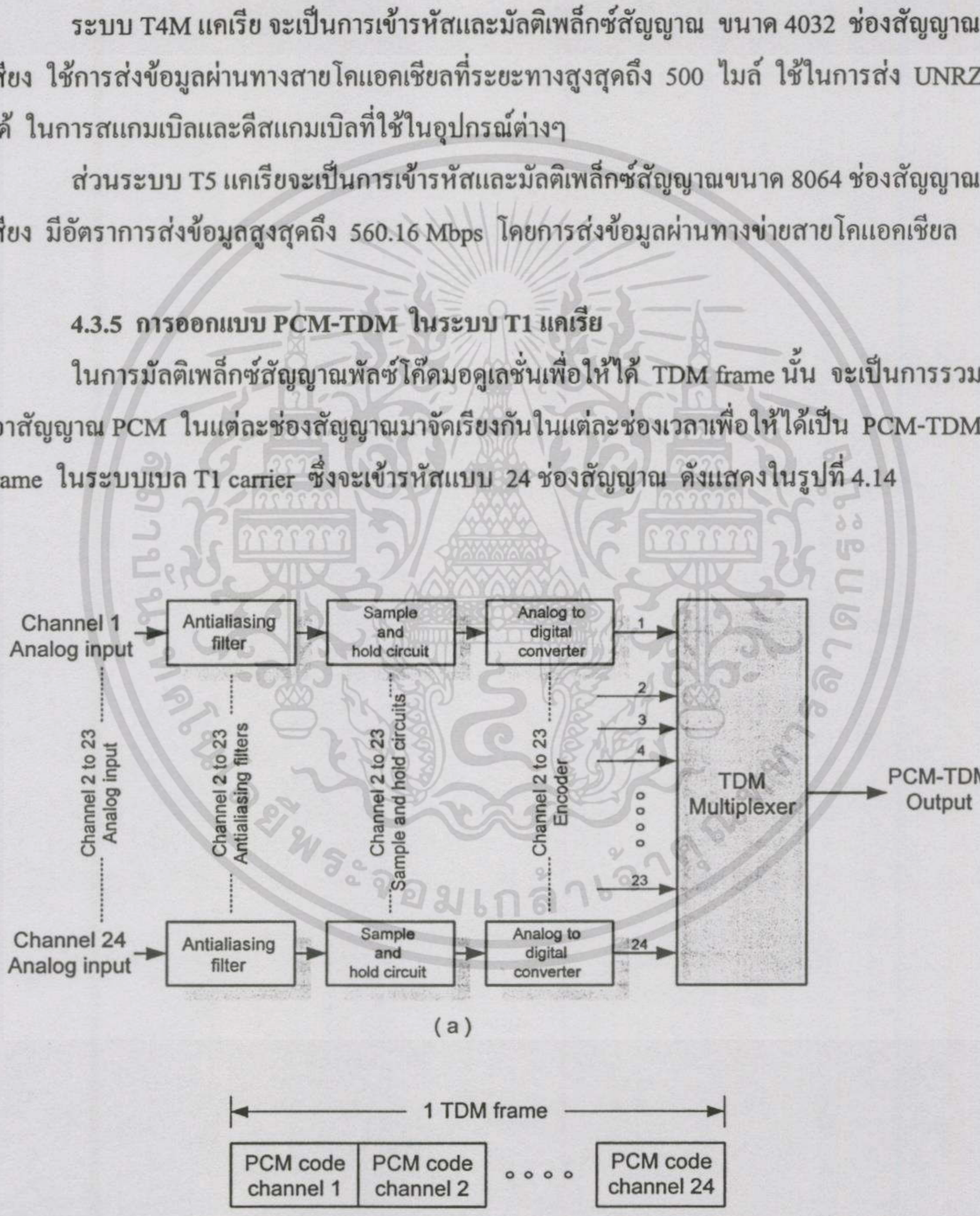


ระบบ T4M แคเรีย จะเป็นการเข้ารหัสและมัลติเพล็กซ์สัญญาณ ขนาด 4032 ช่องสัญญาณเสียง ใช้การส่งข้อมูลผ่านทางสายโคแอคเชียลที่ระยะทางสูงสุดถึง 500 ไมล์ ใช้ในการส่ง UNRZ ได้ ในการสแกมเบิลและดีสแกมเบิลที่ใช้ในอุปกรณ์ต่างๆ

ส่วนระบบ T5 แคเรียจะเป็นการเข้ารหัสและมัลติเพล็กซ์สัญญาณขนาด 8064 ช่องสัญญาณเสียง มีอัตราการส่งข้อมูลสูงสุดถึง 560.16 Mbps โดยการส่งข้อมูลผ่านทางข่ายสายโคแอคเชียล

4.3.5 การออกแบบ PCM-TDM ในระบบ T1 แคเรีย

ในการมัลติเพล็กซ์สัญญาณพัลซ์โค๊ดมอดูเลชั่นเพื่อให้ได้ TDM frame นั้น จะเป็นการรวมเอาสัญญาณ PCM ในแต่ละช่องสัญญาณมาจัดเรียงกันในแต่ละช่องเวลาเพื่อให้ได้เป็น PCM-TDM frame ในระบบเบล T1 carrier ซึ่งจะเข้ารหัสแบบ 24 ช่องสัญญาณ ดังแสดงในรูปที่ 4.14



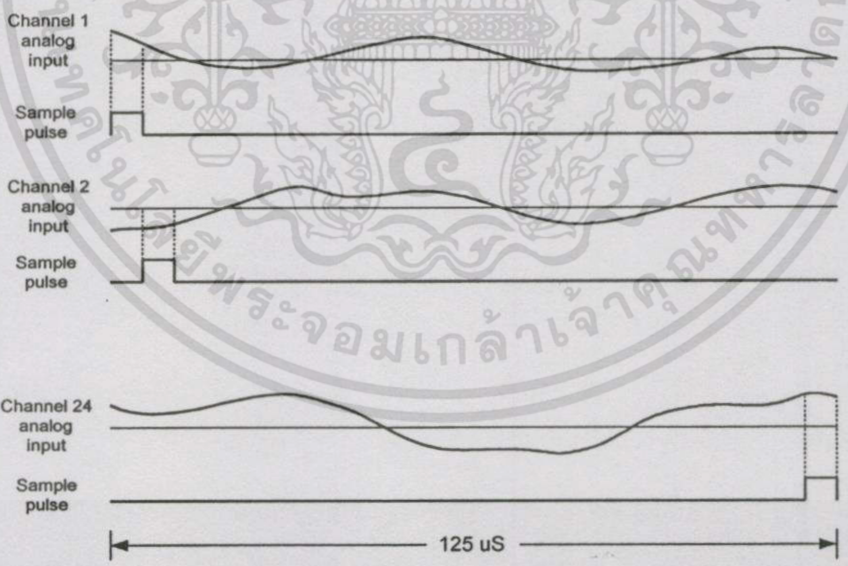
รูปที่ 4.14 แสดงการเข้ารหัส PCM-TDM (a) บล็อกไดอะแกรม (b) TDM frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.14 (a) แสดงบล๊อกไดอะแกรมของ PCM-24 โดยข้อมูลสัญญาณอนาลอกจะถูกสุ่มสัญญาณเพื่อแปลงเป็นสัญญาณพัลซ์โค๊ดมอดูเลชั่นในแต่ละช่องสัญญาณและป้อนเข้ามัลติเพล็กเซอร์เพื่อรวมสัญญาณจาก 24 ช่องสัญญาณให้เป็นสัญญาณเอาท์พุท 1 ช่อง โดยวิธีมัลติเพล็กซ์แบบแบ่งเวลา ดังนั้นช่องสัญญาณที่ 1 จนถึง 24 จะถูกจัดเรียงออกทางเอาท์พุทมัลติเพล็กเซอร์โดยขึ้นกับเวลาที่ใช้ในการมัลติเพล็กซ์ ซึ่งแต่ละช่องเวลานั้นเรียกว่า “เฟรมไทม์” (Frame time) รหัส PCM ในแต่ละช่องจะถูกกำหนดลงในช่อง “ไทม์สล๊อต” (Time slot) ภายใน TDM frame โดยเวลาในแต่ละช่องไทม์สล๊อตจะประมาณ 1/24 เท่า ของเฟรมไทม์ การสุ่มสัญญาณในแต่ละครั้งจะถูกกำหนดให้อยู่ในแต่ละเฟรมไทม์ ดังนั้นเวลารวมของทุกเฟรมจะเท่ากับ “แซมปลิ้งเรท” (Sample rate) 1/fs

4.3.5.1 ระบบ T1 ดิจิตอลแคเรีย

จากรูปที่ 4.14 (a) แสดงบล๊อกไดอะแกรมของระบบเบล T1 ดิจิตอลแคเรีย ซึ่งระบบนี้ใช้ในแถบอเมริกาเหนือ ใช้ T1 แคเรีย ในการเข้ารหัส TDM จำนวน 24 ช่องสัญญาณ PCM โดยการมัลติเพล็กซ์ 24 ช่องสัญญาณอินพุทให้ได้ 1 สัญญาณเอาท์พุท โดย 24 ช่องสัญญาณอินพุทจะถูกจัดเรียงให้ไปออกที่เอาท์พุทตามลำดับ ในแต่ละช่องสัญญาณเสียงจะมีแบนด์วิธ 300-3000 Hz ซึ่งจะกระทำภายใต้ T1 แคเรีย โดยจะให้เอาท์พุทมัลติเพล็กเซอร์แบบ Digital signal (DS-1) 1.536 Mbps ตามมาตรฐานของระบบ T1 ซึ่งจะกล่าวในหัวข้อถัดไป



รูปที่ 4.15 ลำดับการแซมปลิ้ง T1 carrier

ระบบเบล T1 แคเรีย , D-Type จะทำการแซมปลิ้ง , เข้ารหัส และมัลติเพล็กซ์แบบ 24 ช่องสัญญาณ โดยแต่ละช่องสัญญาณจะประกอบไปด้วยรหัส PCM ขนาด 8 บิต และถูกทำการแซมปลิ้ง

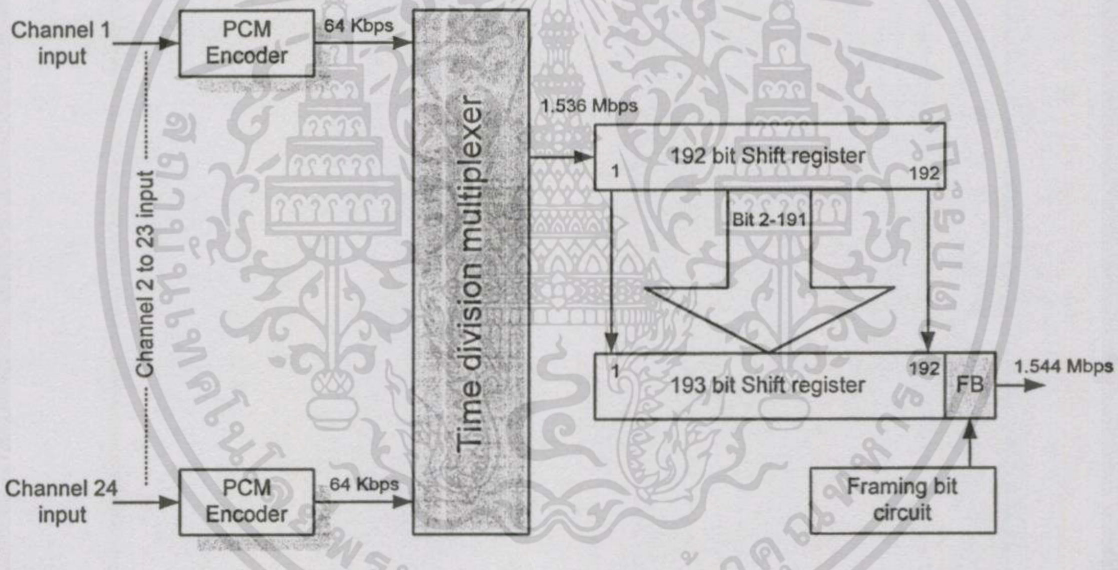
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ 8000 ครั้ง/วินาที (แต่ละช่องสัญญาณจะแซมปลิ้งที่ "แซมปลิ้งเรท" เดียวกัน แต่คนละเวลากัน ดังรูปที่ 4.15) ดังนั้นใน 1 PCM จะได้อัตราการส่งข้อมูล 64 Kbps

$$\frac{8\,bit}{Sample} \; x \; \frac{8000\,Sample}{Second} \;=\; 64\,Kbps \qquad \ldots\ldots\ldots\ldots\ldots\ldots (4.1)$$

ภายในแต่ละเฟรมจะถูกเพิ่มบิตส่วนหัวของเฟรม 1 บิต ที่เรียกว่า "เฟรมมิ่งบิต" (Framing bit) โดยวิธีการของชิพรีจิสเตอร์ทางเอาท์พุทมัลติเพล็กเซอร์ ซึ่งเฟรมมิ่งบิตจะกระทำที่ 8000 bps เช่นกัน โดยเฟรมมิ่งบิตนี้จะนำมาใช้ในการตรวจสอบเฟรมและซิงโครไนซ์ระหว่างภาคส่งและภาครับ ดังนั้น TDM frame ในระบบเบล T1 แคเรีย จึงประกอบไปด้วยจำนวนบิตทั้งหมด 193 บิต

$$\frac{8\,bit}{Channel} \times \frac{24\,Channel}{frame} = \frac{192\,bit}{frame} + \frac{1\,framing\ bit}{frame} = \frac{193\,bit}{frame} \qquad \ldots\ldots\ldots (4.2)$$



รูปที่ 4.16 การสร้างเฟรมมิ่งบิตสำหรับระบบ PCM-24

ดังนั้นผลลัพธ์ของการส่งข้อมูลสำหรับ T1 แคเรีย จะได้เป็น

$$line\ speed \;=\; \frac{193\,bit}{frame} \times \frac{8000\,frame}{Second} \;=\; 1.544\,Mbps \qquad \ldots\ldots\ldots\ldots\ldots\ldots (4.3)$$

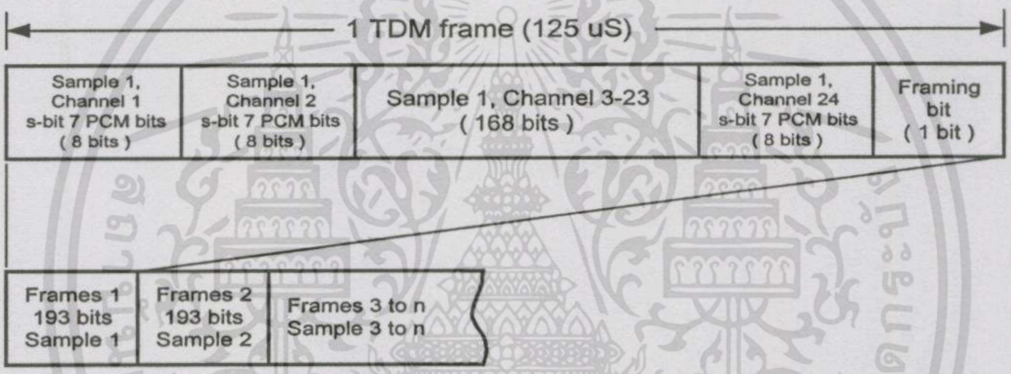
4.3.5.2 D-Type แชนแนลแบง

จากที่ผ่านมาระบบ T1 แคเรียจะถูกจัดทำขึ้นแบบ D1A แชนแนลแบง ซึ่งจะให้รหัสพีซีเอ็มขนาด 7 บิต และใช้การบีบอัดแบบอนาลอก โดยจะกระทำที่ $\mu = 100$ ต่อมาจึงใช้แบบ D1 แชน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนลแบง (D1D) ซึ่งจะใช้รหัสพีซีเอ็มขนาด 8 บิต ใน D1 แชลแนลแบง ดังรูปที่ 4.17 บิตที่ 8 (sบิต) จะนำไปใช้เป็น "ซิกแนลริ่ง" (ยกหู , วางหู , ไดอัลพัลซ์ และอื่นๆ) ดังนั้นซิกแนลริ่งเรทของ D1 แชลแนลแบง จึงเป็น 8 Kbps อีกทั้ง D1 แชลแนลแบง เฟรมมิ่งบิตจะเรียงลำดับกันแบบง่ายๆ มีแพทเทิลสลับกันระหว่าง 1/0 รูปที่ 4.17 จะแสดงถึงเฟรมและแซมเปิลอะไลเมนต์ของระบบ T1 แคเรีย ที่ใช้ D1A แชนแนลแบง

โดยทั่วไประบบ T1 แคเรีย จะมีลำดับขั้นเป็น D2 , D3 , D4 และ D5.D4 และ D5 แชลแนลแบง และใช้การบีบอัดรหัสพีซีเอ็มแบบดิจิตอล ซึ่งจะได้รหัสพีซีเอ็มสูงสุด 8 บิต โดยจะกระทำที่ $\mu = 255$ คุณสมบัติของการบีบอัดและการขยายรหัสพีซีเอ็มของ D1 จะกระทำ และมีวงจรที่แยกกันจากการเข้ารหัสและถอดรหัส D2 , D3 , D4 และ D5 จะมีการเข้ารหัสและถอดรหัสที่มีฟังก์ชั่นการบีบอัดในทิศทางเดียวกัน



รูปที่ 4.17 TDM frame และ แซมเปิลอะไลเมนต์

D1A แชลแนลแบง จะใช้ " แมกนิจูด-โอนลิโค๊ด" (Magnitude-only code) ดังนั้นจึงทำให้เกิดค่าผิดพลาดที่ "ซิกนิฟีแคนบิต" (MSB) มาก ในทุกๆ การสุ่มสัญญาณค่าผิดพลาดที่ได้จะเท่ากับครึ่งหนึ่งของควอนไตซ์เร้งทั้งหมด (Vmax) ดังนั้น D1D, D2, D3, D4 และ D5 จะใช้ "ไซน์-แมกนิจูดโค๊ด" (Sign-magnitude code) จึงทำให้ค่าผิดพลาดใน MSB (Sign bit) มีค่าผิดพลาดของการถอดรหัสเท่ากับสองเท่าของแซมเปิลแมกนิจูด (จาก +V ถึง –V) ค่าผิดพลาดนี้จะเป็นสองเท่าของควอนไตซ์เร้งทั้งหมด อย่างไรก็ค่าสูงสุดนี้จะเกิดขึ้นได้จริงก็ต่อเมื่อ D1D , D2 , D3 , D4 และ D5 เข้ารหัสต่ำกว่าครึ่งหนึ่งของโค๊ดดิ้งเร้ง ดังนั้นค่าผิดพลาดเฉลี่ยที่ได้ของ "ไซน์-แมกนิจูด โค๊ด" จะดีกว่าของ "แมกนิจูด-โอนลิโค๊ด"

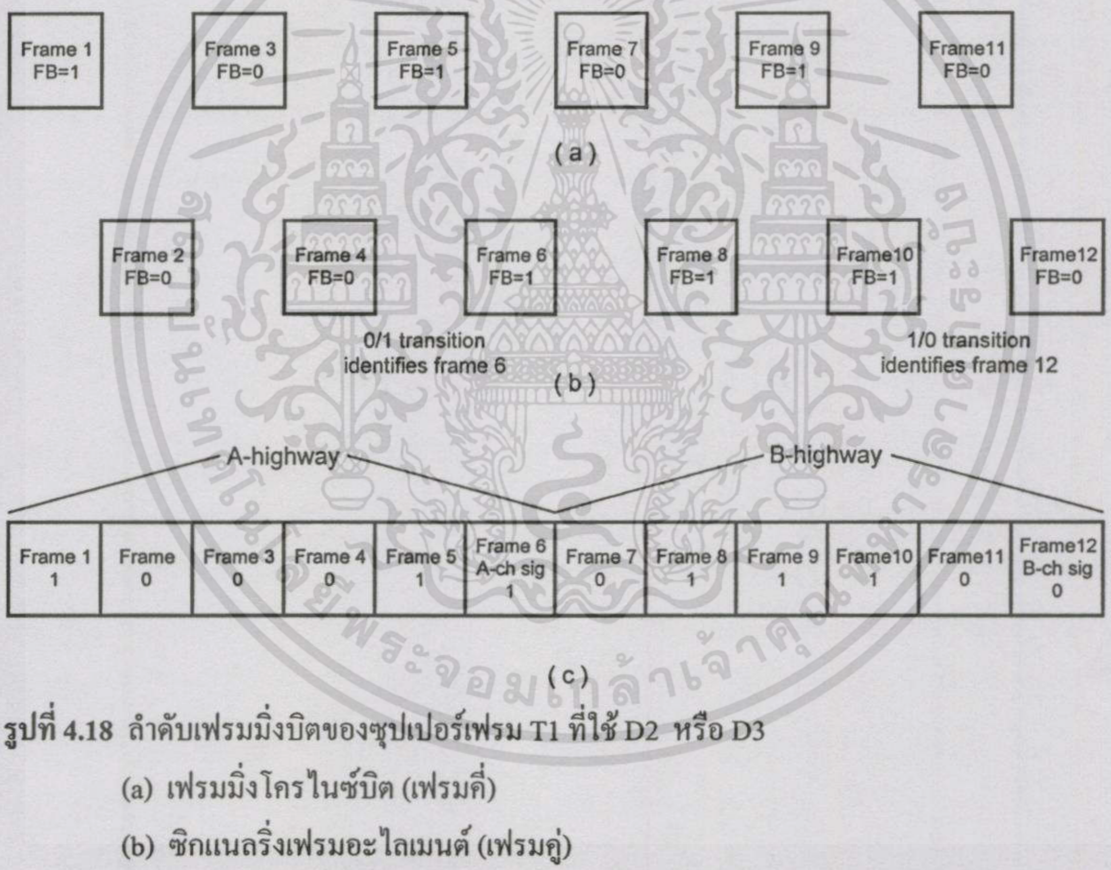
4.3.5.3 รูปแบบของซุปเปอร์เฟรม (Superframe format)

การใช้ซิกแนลริ่งขนาด 8 Kbps โดย D1 ก็เพียงพอสำหรับการส่งสัญญาณเสียง ดังนั้นการใช้งาน D2 และ D3 จึงได้นำเอาซิกแนลริ่งบิตแทนลงไปในบิต LSB ของทุกๆ เฟรมที่ 6 ดังนั้นซิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนลริ่งเรทของแต่ละช่องสัญญาณจะเป็น 1.333 Kbps (8000 bps/6) แต่การตอบสนองจริงของบิตต่อการสุ่มสัญญาณจะเป็น $7\frac{5}{6}$ บิต จะไม่ได้เป็น 8 บิต

ด้วยเหตุนี้ทุกๆ หกเฟรมจะถูกสร้างซิกแนลริ่งบิต ซึ่งจำเป็นที่จะให้ทางฝ่ายรับรู้จัก เมื่อรับสัญญาณจำนวน 2 บิตไบนารี่เวอร์ด ที่ MSB และ LSB ของซิกแนลริ่งเวอร์ด ดังนั้นรูปแบบของซุปเปอร์เฟรมแสดงได้ดังรูปที่ 4.18 ภายในซุปเปอร์เฟรมจะมี 12 เฟรม ติดๆ กันมา (1-12) ซิกแนลริ่งบิตจะแทนลงไปในเฟรมที่ 6 และ 12 โดยแทน MSB ในเฟรมที่ 6 และ LSB ในเฟรมที่ 12 ซึ่งเฟรมที่ 1-6 จะเรียกว่า A-highway โดยเฟรมที่ 6 จะถูกออกแบบให้เป็น A-channel ส่วนเฟรมที่ 7-12 จะเรียกว่า B-highway โดยเฟรมที่ 12 จะถูกออกแบบให้เป็น B-channel ดังนั้นเฟรมที่ 6 และเฟรมที่ 12 จึงมีลักษณะที่คล้ายกัน ซึ่งจะมีค่าเป็นบวกเช่นเดียวกัน



รูปที่ 4.18 ลำดับเฟรมมิ่งบิตของซุปเปอร์เฟรม T1 ที่ใช้ D2 หรือ D3

(a) เฟรมมิ่งโครไนซ์บิต (เฟรมคี่)

(b) ซิกแนลริ่งเฟรมอะไลเมนต์ (เฟรมคู่)

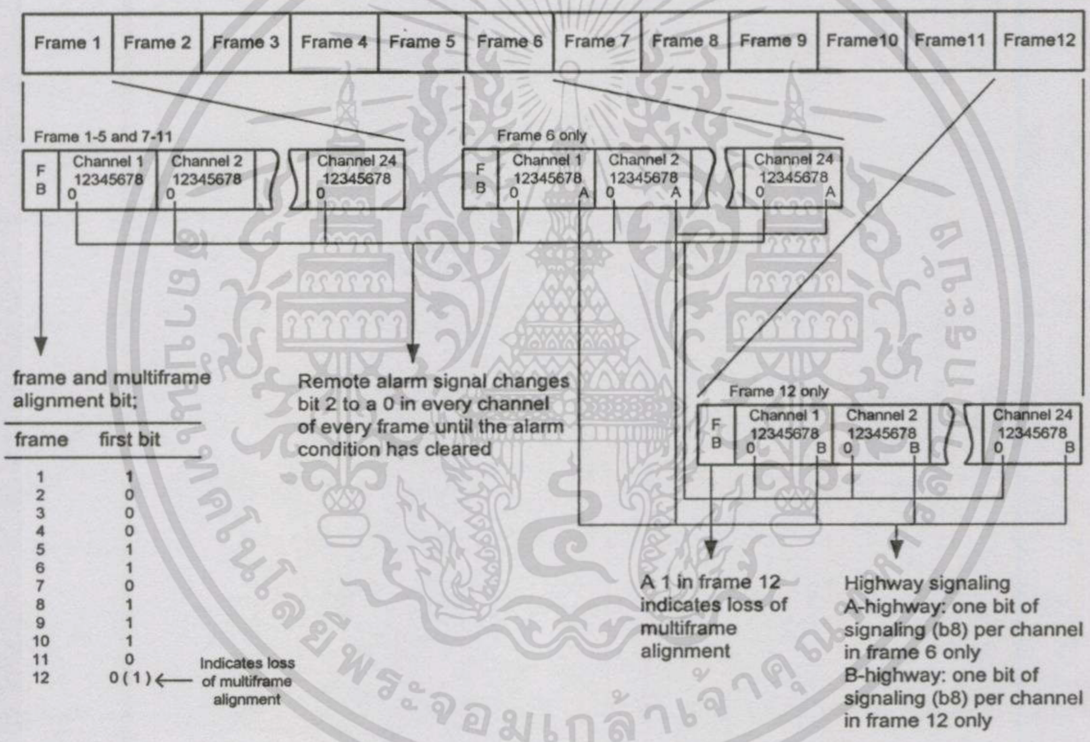
(c) คอมโพสิตเฟรมอะไลเมนต์

เมื่อเฟรมที่ 6 และเฟรมที่ 12 มีลักษณะเหมือนกัน ลำดับความแตกต่างของเฟรมมิ่งบิตจะใช้เฟรมที่เป็นหมายเลขคี่ (Odd) และคู่ (Even) เฟรมคี่ (1 , 3 , 5 , 7 , 9 และ 11) จะมีการเปลี่ยนแปลงแพทเทิล 1 / 0 และเฟรมคู่ (2 , 4 , 6 , 8 , 10 และ 12) จะมีแพทเทิลที่ซ้ำๆ กัน คือ 001110 เมื่อนำเฟรมมิ่งบิตมารวมกันจะได้เป็น 100011011100 ซ้ำๆ กันไป เฟรมคี่จะนำไปใช้สำหรับเฟรมและการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซิงโครไนซ์สุ่มสัญญาณ ส่วนเฟรมคู่นั้นจะนำไปใช้กับซิกแนลริ่งเฟรม A-channel และ B-channel (เฟรมที่ 6 และเฟรมที่ 12) โดยเฟรมที่ 6 จะเปลี่ยนจาก 0 / 1 ของเฟรมมิ่งบิตระหว่างเฟรมที่ 4 และเฟรมที่ 6 ส่วนเฟรมที่ 12 จะเปลี่ยนจาก 1 / 0 ของเฟรมมิ่งบิตระหว่างเฟรมที่ 10 และเฟรมที่ 12

จากรูปที่ 4.19 แสดงถึงเฟรม การสุ่มสัญญาณ และ ซิกแนลริ่งอะไลเมนต์ ของระบบ T1 แคเรีย ที่ใช้ D2 หรือ D3 แชนแนลแบง การรวมกันของ “มัลติเฟรมอะไลเมนต์บิต” และพีซีเอ็มบิต ไทม์สล๊อตนี้จะนำไปใช้ในการแสดงค่าสถานะของอลาม เช่น เพาเวอร์ซัพพลายเสียทางด้านส่งอุปกรณ์ต่างๆ เสีย หรือค่าผิดพลาดของมัลติเฟรมอะไลเมนต์ บิตที่สองของแต่ละช่องจะเป็น 0 จนกระทั่งมีการเคลียสถานะของอลามนั้นๆ เช่นเดียวกันกับเฟรมมิ่งบิตในเฟรมที่ 12 จะแสดงค่าเมื่อใดก็ตามที่มัลติอะไลเมนต์เกิดการผิดพลาด (ในที่นี้สมมติจากเฟรมอะไลเมนต์เกิดการผิดพลาด)



รูปที่ 4.19 T1 แคเรียเฟรม การสุ่มสัญญาณ และซิกแนลริ่งอะไลเมนต์ ของ D2 และ D3

ส่วน D4 แชนแนลแบง จะเป็น TDM แบบ 48 ช่องสัญญาณ และมีอัตราการส่งข้อมูลเป็น 3.152 Mbps มากกว่าสองเท่าของไลน์สปีด 24 ช่องสัญญาณ D1 , D2 และ D3 เพราะเหตุนี้ D4 จึงมีอัตราการส่งมากกว่าแบบซิงเกิลเฟรมมิ่งบิต และใช้บิตจำนวน 10 บิต เป็นเฟรมซิงโครไนซ์ ดังนั้นอัตราการส่งข้อมูลของ D4 (D5-1C) TDM frame จึงเป็น

$$\frac{8\,bit}{Channel} \times \frac{48\,Channels}{frame} = \frac{384\,bits}{frame} + \frac{10\,sys\,bits}{frame} = \frac{394\,bits}{frame} \qquad \ldots\ldots(4.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจะได้

$$line\ speed \ = \ \frac{394\,bits}{frame} \times \frac{8000\,frames}{Second} \ = \ 3.152\,Mbps \qquad \ldots\ldots..(4.5)$$

"เฟรมมิ่ง" ของระบบ DS-1(T1) หรือเฟรมมิ่งแพทเทิลของระบบ DS-1 (T1C)TDM แคเรีย เป็นการรวมบิตที่ทางด้านเอาท์พุทของมัลติเพล็กเซอร์ ดังรูป 4.16 ซึ่งเป็นวงจรการสร้างเฟรมมิ่งบิตของระบบ 24-Channel T1 แคเรีย โดยที่เอาท์พุทของ TDM มัลติเพล็กเซอร์จะเป็น 1.536 Mbps และเอาท์พุทที่ได้จริงจะเป็น 193 บิต เมื่อผ่านชิพรีจีสเตอร์ ดังนั้นจึงได้อัตราการส่งเป็น 1.544 Mbps

4.3.6 เฟรมซิงโครไนเซชั่น (Frame synchronization)

ระบบ TDM การซิงโครไนซ์เฟรมเป็นสิ่งจำเป็นมาก เช่นเดียวกันกับการสุ่มสัญญาณไทม์สล๊อตภายในเฟรม เฟรมซิงโครไนซ์จะได้มาจากการรวมบิตที่ส่วนหัวของข้อมูล เพื่อใช้สำหรับการซิงโครไนซ์เฟรมให้แน่นอนและมีประสิทธิภาพ

4.3.6.1 การเพิ่มดิจิทเฟรมมิ่ง

ในระบบ T1 แคเรีย จะใช้ D1 หรือ D2 หรือ D3 แชลแนลแบง ในการรวมดิจิทเฟรมมิ่ง ซึ่งจะเป็นดิจิทพิเศษที่รวมไปในแต่ละเฟรม ดังนั้นถ้าสุ่มสัญญาณที่ 8 kHz (125 us) จะมีบิตที่เพิ่มไปเป็น 8000 ดิจิทต่อวินาที ซิงโครไนซ์แพทเทิลที่ใช้ของ T1 แคเรีย จะใช้การสลับระหว่าง 1 / 0

ในส่วนรับจะรับและค้นหาเฟรมซิ่งโครไนซ์จากข้อมูลที่รับผ่านเข้ามา จนกระทั่งค้นหาจนเจอการเปลี่ยนของ 1 / 0 จึงใช้เป็นเฟรมมิ่งบิตแพทเทิล เมื่อรวมบิตนี้เข้าไปจะนับได้ 193 บิต และจะทำอีกครั้งเมื่อเกิดสถานะตรงข้ามกัน ขบวนการนี้จะกระทำต่อเนื่องจนกว่าจะพบการเปลี่ยน 1 / 0 อีก ซิงโครไนซ์เฟรมเริ่มแรกนั้นจะขึ้นกับ ผลรวมของเฟรมไทน์ เลขบิตต่อเฟรม และคาบเวลาของแต่ละบิต ในการค้นหาตำแหน่งของบิต N ครั้ง โดยที่ N เป็นเลขของตำแหน่งบิตในเฟรม ค่าเฉลี่ยที่รับได้นั้นจะขึ้นกับค่าผิดพลาดของตำแหน่งเฟรมสำหรับคาบเวลาระหว่างสองเฟรม เพราะฉะนั้นค่าเฉลี่ยสูงสุดของเวลาการซิงโครไนซ์จะได้เป็น

$$Synchronization\ time \ = \ 2NT \ = \ 2N^2 t \qquad \ldots\ldots\ldots\ldots\ldots.(4.6)$$

โดยที่ T = คาบเวลาเฟรมของ Nt , N = เลขของบิตต่อเฟรม , t = บิตไทม์

สำหรับระบบ T1 แคเรีย ค่าของ N = 193 , T = 125 μS และ t = 0.648 μS เพราะฉะนั้นค่าสูงสุดจะได้เป็น 74,498 บิต และค่าเฉลี่ยสูงสุดของเวลาการซิงโครไนซ์เซชั่นจะได้เป็น 48.25 mS

"รอบเบทดิจิทเฟรมมิ่ง" (Robbed digit feaming) กรณีที่ใช้งานในช่วงเวลาสั้นๆ ดิจิทที่เพิ่มไปนั้นจะไม่เป็นผลโดยกระทำในระบบ PCM แบบช่องเดียว ดังนั้นจึงนำไปใช้งานใน "ทีลิวิชั่นเทอมินอล" อีกทางหนึ่งจะถูกแทนด้วย บิต LSB ทุกๆ เฟรมที่ n ด้วยเฟรมมิ่งบิต พารามิเตอร์ n จะอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กึ่งกลางระหว่างคาบเวลาเฟรมไทม์และสัญญาณที่ทำให้เกิดการสูญเสียนั้น สำหรับ n = 10 SQR จะสูญเสียที่ 1 dB ในการส่ง "รอบเบทดิจิทเฟรมมิ่ง" จะไม่มีการอินเทอรับแต่จะถูกแทนที่บิตเป็นระยะๆ ไปด้วยข้อมูลที่เกิดการผิดพลาดที่ใช้ควบคุมการซิงโครไนซ์ ตัวอย่างของระบบที่ใช้ "รอบเบทดิจิทเฟรมมิ่ง" คือ การเข้ารหัสควบคุมค่าผิดพลาดแบบ B6ZS และ B3ZS

4.3.6.2 การเพิ่มแชนแนลเฟรมมิ่ง

ใจความสำคัญ "การเพิ่มแชนแนลเฟรมมิ่ง" (Added channel framing)จะเหมือนกับการเพิ่มดิจิทเฟรมมิ่ง นอกจากการเพิ่มดิจิทแบบเป็นกลุ่มหรือแบบเวอร์ดที่ใช้การแทนที่ในแต่ละบิต ซึ่งการเพิ่มแชนแนลเฟรมมิ่งจะใช้งานการมัลติเพล็กซ์ในระบบมาตรฐาน CCITT เข้ารหัสแบบ 32 ไทม์สล๊อตต่อเฟรม ซึ่งจะแตกต่างจากที่กล่าวมาแล้ว โดยค่าเฉลี่ยเวลาของเฟรมซิงโครไนซ์ของการเพิ่มช่องสัญญาณเฟรมมิ่งจะได้เป็น

$$Synchronization\ \ time\,(bit) \;=\; \frac{N^2}{2(2^L-1)} \qquad \text{.................. (4.7)}$$

โดยที่ N = เลขของบิตต่อเฟรม , L = เลขของบิตในรหัสเฟรม

สำหรับระบบ CCITT 32 ช่องสัญญาณ N = 256 และ L = 8 เพราะฉะนั้นค่าเฉลี่ยเลขของบิตที่จำเป็นต่อการซิงโครไนซ์เฟรมจะได้เป็น 128.5 ที่ 2.048 Mbps เวลาของการซิงโครไนซ์จะประมาณ 62.7 μS

"สแตติสติคอลเฟรมมิ่ง" (Statistical framing) สแตติสติคอลเฟรมมิ่ง จะไม่มีความจำเป็นเหมือนกับรอบเบทดิจิทเฟรมมิ่ง และการเพิ่มดิจิท รหัสเกรย์บิตที่สองจะเป็น "1" ในครึ่งกลางของโค๊ดเร้งและจะเป็น "0" ที่ปลายสุดของโค๊ดเร้ง เพราะฉะนั้นการกระจายสัญญาณจะมีค่าสูงสุดที่จุดกึ่งกลางเป็น 1 ในดิจิทที่สอง สัญญาณมาสเตอร์กรุ๊ปจะมีการกระจายด้วยการเข้ารหัสมาสเตอร์กรุ๊ปความน่าจะเป็นที่บิตที่สองจะเป็น 1 หรือเป็นที่ 95 % สำหรับบิตอื่นๆ จะมีค่าต่ำกว่า 50 % เพราะฉะนั้นในบิตที่สองจึงสามารถนำไปใช้เป็นเฟรมมิ่งบิตได้

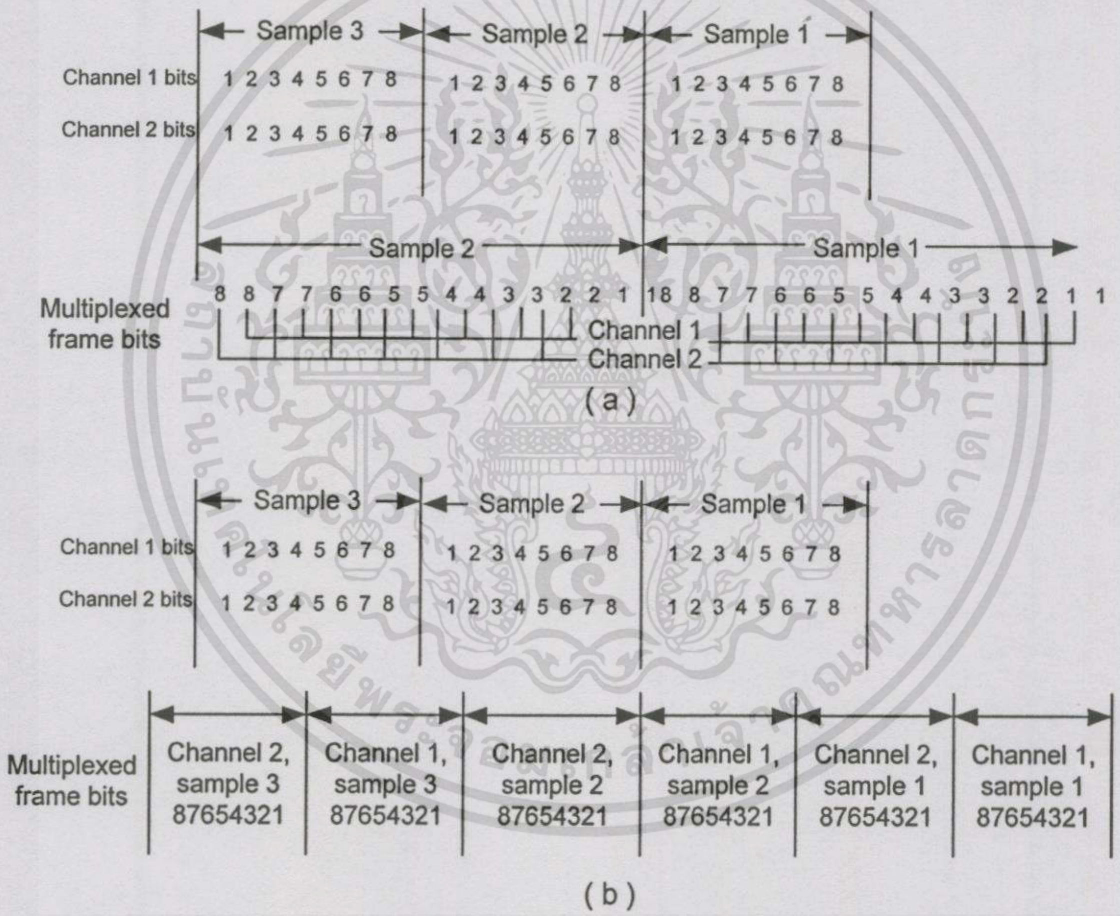
"ยูนีคไลน์โค๊ดเฟรมมิ่ง" (Unique line code framing) ยูนีคไลน์โค๊ดเฟรมมิ่งเป็นเฟรมมิ่งบิตที่แตกต่างจากบิตข้อมูลอื่นๆ โดยจะสร้างมาจากแอมปลิจูดสูงหรือว่าต่ำหรือความแตกต่างของเวลาแต่ก่อนระบบ PCM-TDM จะใช้ยูนีคไลน์โค๊ดเฟรมมิ่ง D1 แชนแนลแบง โดยใช้เฟรมมิ่งพัลซ์ที่ค่าแอมปลิจูดทั้งสองของบิตข้อมูล และสามารถที่จะใช้ยูนีคไลน์โค๊ดเฟรมมิ่ง , การเพิ่มดิจิทหรือเวอร์ดเฟรมมิ่งด้วยตัวมันเองหรือบิตข้อมูลสามารถใช้รับส่งข้อมูลพร้อมกันได้รวมทั้งสัญญาณซิงโครไนซ์ด้วย ข้อดีของยูนีคไลน์โค๊ดเฟรมมิ่ง คือ การซิงโครไนซ์บิตจะอยู่ติดๆ กัน และเป็นแบบอัตโนมัติ ส่วนข้อเสียของยูนีคไลน์โค๊ดเฟรมมิ่ง คือ จะต้องการและสร้างกระบวนการเพิ่มบิตเพื่อให้ยูนีคเฟรมมิ่งบิตรู้จัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.6.3 บิตอินเทอรีพวิ่งกับเวิอร์ดอินเทอรีพวิ่ง (Bit and word interleaving)

เมื่อมีการมัลติเพล็กซ์ระบบพีซีเอ็ม ที่สองพีซีเอ็มหรือมากกว่านั้น จำเป็นที่จะต้องมีการอินเทอรีพในไทม์โดเมน ดังรูปที่ 4.20 แสดงรูปแบบของการอินเทอรีพวิ่งของการส่งพีซีเอ็มที่เรียกว่า บิตอินเทอรีพวิ่งและเวิร์ดอินเทอรีพวิ่ง

ระบบ T1 แคเรีย จะใช้เวิร์ดอินเทอรีพวิ่งที่การสุ่มขนาด 8 บิตจากแต่ละช่องสัญญาณจะเป็นการสอดแทรกไปใน 24 ช่องสัญญาณของทีดีเอ็มเฟรม ที่ความเร็วสูงสุดของระบบทีดีเอ็มและระบบเดลต้ามอดูเลชั่น จะเป็นแบบบิตอินเทอรีพวิ่ง ดังนั้นข้อกำหนดของการอินเทอรีพวิ่งนี้จะใช้วิธีไหนนั้นจะขึ้นอยู่กับสัญญาณที่จะนำมามัลติเพล็กซ์



รูปที่ 4.20 การอินเทอรีพวิ่ง (a) แบบบิตอินเทอรีพวิ่ง (b) แบบเวิร์ดอินเทอรีพวิ่ง

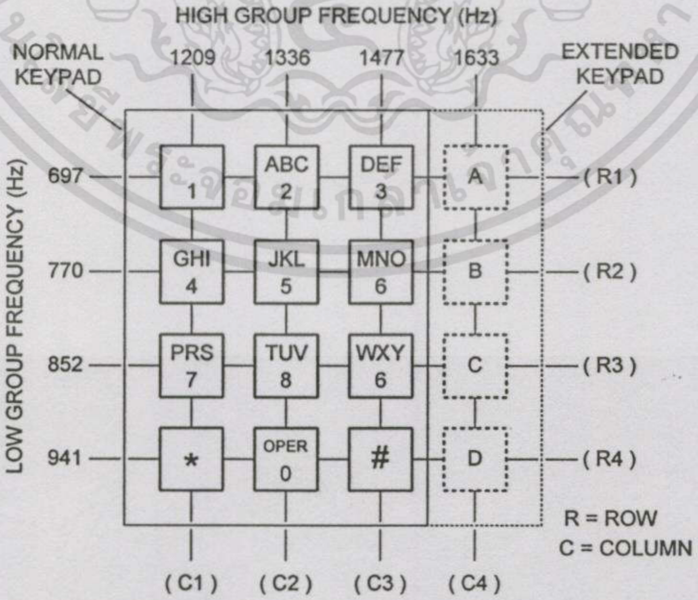
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การกำเนิดสัญญาณโทรศัพท์ชนิดกดปุ่ม (DTMF)

ในวิทยานิพนธ์ฉบับนี้ การสร้างสัญญาณโทรศัพท์ชนิดกดปุ่ม (DTMF) เป็นสิ่งจำเป็นที่ใช้สำหรับการควบคุม และกำหนดหมายเลขปลายทางของชุดข้อมูล ที่ใช้ส่งผ่านโครงข่ายเชื่อมต่อภายใน ในหัวข้อนี้จะกล่าวถึงหลักการเบื้องต้นของการสร้างสัญญาณโทรศัพท์ชนิดกดปุ่ม

4.4.1 โทนไดอัลริ่ง (Tone dialing)

ในระบบโทรศัพท์นั้นจะใช้ทฤษฎีหลักการที่เรียกว่า "ดูอัลโทน มัลติฟรีเควนซี่" (Dual tone multifrequency : DTMF) สำหรับกำหนดและส่งเลขหมายโทรศัพท์ ซึ่งมันสามารถที่จะใช้ได้กรณีที่อุปกรณ์ส่วนกลางนั้นตอบสนองต่อรูปแบบโทน ดังรูปที่ 4.21 แสดงรูปแบบของ "พุช-บัททอลคีย์แพด" (Push-button keypad) ขนาด 12 คีย์ จาก 0 ถึง 9 และสัญญลักษณ์ * กับ # และแสดงถึงปุ่มเครื่องโทรศัพท์ชนิดพิเศษที่มี 16 คีย์ (ซึ่งพิจารณานำไปใช้ในการควบคุม 16 อินพุทข้อมูล ในวิทยานิพนธ์ฉบับนี้) การกดปุ่มครั้งหนึ่งจะทำให้วงจรอิเลคทรอนิกส์สร้างสัญญาณ 2 สัญญาณ ในย่านสัญญาณเสียง โดยมีสัญญาณความถี่ต่ำในแต่ละแถวและสัญญาณความถี่สูงในแต่ละหลัก ตัวอย่างเช่น เมื่อกดคีย์หมายเลข 5 สัญญาณความถี่ต่ำจะถูกสร้างที่ความถี่ 770 Hz และสัญญาณความถี่สูงจะถูกสร้างที่ 1,336 Hz โดยใช้หลักการของ "ดูอัลโทน" ในโทรศัพท์แบบ 12 คีย์ จะถูกสร้างจากสัญญาณทั้งหมด 7 สัญญาณ คือทางด้านความถี่ต่ำจะมี 697 Hz , 770 Hz , 852 Hz และ 941 Hz ทางด้านความถี่สูงจะมี 1209Hz , 1336Hz และ 1477Hz ส่วนถ้าเป็นโทรศัพท์แบบ 16 คีย์จะเพิ่มความถี่สูงอีก 1 หลัก คือ 1633 Hz



รูปที่ 4.21 ความถี่และคีย์แพดของ DTMF

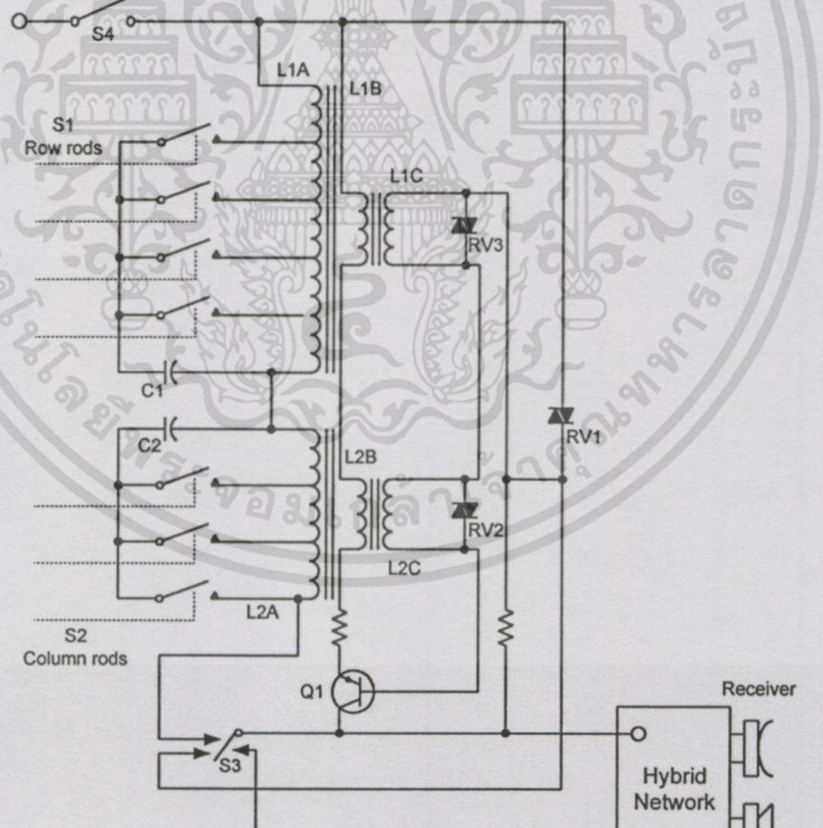
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบคีย์แพดและความถี่นี้จะเป็นมาตรฐานของระบบแต่จะยอมให้แต่ละความถี่สามารถเปลี่ยนแปลงได้ตามความแตกต่างของแต่ละประเทศนั้นๆ เช่น มาตรฐานของอเมริกาเหนือจะเป็น ± 1.5 % สำหรับการสร้างดิจิท และ ± 12% สำหรับการรับดิจิท

4.4.2 การกำเนิดสัญญาณโทน

ลักษณะของวงจรการสร้างสัญญาณ DTMF แสดงได้ดังรูปที่ 4.22 โดยสวิตซ์ S1 , S2 และ S3 จะแสดงสถานะที่ยังไม่ทำงานสวิตซ์ฮุกอยู่ในสถานะ " อ๊อฟฮุก" (Off- hook) ลูปของกระแสจะไหลไปตาม RV1, L1A, L2A และผ่านไปที่วงจรไฮบริดทางคู่สายทรานซีสเตอร์ Q1จะอยู่ในสถานะอ๊อฟ คาปาซิเตอร์ C1 และ C2 จะดิสคอนเนคเมื่อสิ้นสุดและเปิดหน้าคอนแทค S1 และ S2

เมื่อทำการกดคีย์แพทจะทำให้เกิดการเชื่อมต่อ เรียกจุดนี้ว่า "โลว์ลอต" และ "คอลลัมลอต" ตำแหน่งของสวิตซ์ S1 และ S2 จะปิดและเชื่อมต่อ C1 ไปที่ L1A และเชื่อมต่อ C2 ไปที่ L2A เมื่อวงจรเกิดการรีโซแนนซ์ และมีเสถียรภาพแล้วจะได้ "โลว์กรุ๊ปโทน "(L1A-C1) และ"ไฮกรุ๊ปโทน" (L2A-C2)



รูปที่ 4.22 วงจรการสร้างสัญญาณ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดวงจรของระบบ DTMF จะใช้สวิตซ์ในการเชื่อมต่อวงจรรีโซแนนซ์ โดยใช้ระบบปุ่มกดของเครื่องดังรูปที่ 4.22 ที่สวิตซ์ S3 นั่นเอง เมื่อปุ่มกดสวิตซ์ S3 ถูกเปลี่ยนตำแหน่ง ที่สภาวะนี้ไฟดีซีจะไหลไปตาม L1A และ L2A และจะไปกระตุ้นวงจรรีโซแนนซ์ 2 วงจรในส่วนของออสซิลเลชั่นในเวลาเดียวกัน S3 จะเชื่อมต่อแบตเตอรี่จากขาคอลเลคเตอร์ของทรานซิสเตอร์ Q1 หม้อแปลงจะทำการคับปลิ้งระหว่าง L1A, L2B และ L1C และระหว่าง L2A, L2B และ L2C ทรานซิสเตอร์ Q1 จะป้อนให้ส่วนของออสซิลเลชันและมอดูเลต ลูปของกระแสจะใช้ในการส่ง 2 สัญญาณ โทนไปที่ส่วนกลาง ดังนั้นตัวส่งและตัวรับจะถูกแบ่งแยกกันโดยสวิตซ์ S3

ในส่วนของการดีเทคสัญญาณโทนนั้นจะเป็นส่วนของการทำงานที่ส่วนกลางซึ่งมีหน้าที่ไม่ทำให้เกิดการสับสนเมื่อมีสัญญาณโทนอื่นๆ เกิดขึ้นในไลน์เข้ามา ตัวรับดิจิทจะมีความถี่ฟิลเตอร์ที่ความถี่ของสัญญาณ DTMF โดยจะมีวงจรเวลาที่มีความถูกต้องมากเมื่อใช้ที่เวลาค่าต่ำๆ (ในระบบอเมริกาประมาณ 50 ms) ตัวรับดิจิทนี้จะเป็นวงจรที่แยกเอาสัญญาณ DTMF ออกจากสัญญาณข้อมูลหรือสัญญาณเสียงที่ยอมให้ใช้ DTMF โทน ในการสื่อสารข้อมูลในส่วนที่รับเข้ามาที่รีโมทเทอมินอลหรือข้อมูลจากรีโมทดาต้าเบส

ในการเปรียบเทียบเวลากัน หลักการของระบบ DTMF ไดอัล จะมีความรวดเร็วกว่าระบบพัลซ์ไดอัลมาก ในระบบ DTMF ไดอัล เวลาในการรู้จักดิจิทโทนจะประมาณ 50 ms และเวลาที่ใช้ส่งอินเตอร์ดิจิท(Interdigit interval) จึงมีค่าเท่ากับ 100 ms ส่วนไดอัลพัลซ์จะต้องการ 60 msในการหยุดพัลซ์และ 40 ms ในการสร้างพัลซ์แต่ละไดอัลพัลซ์ ดังนั้นเวลารวมในแต่ละไดอัลพัลซ์จึงเป็น 100 ms ซึ่งไดอัลพัลซ์ในแต่ละครั้งจะใช้เวลามากกว่าเพราะว่าเลขของพัลซ์ในแต่ละดิจิทจะมีค่าเพิ่มขึ้น โดยจะรู้จักอินเตอร์ดิจิทประมาณ 700 ms ซึ่งจะมากกว่าแบบไดอัลโทน DTMF มาก สมมติว่าต้องการเรียกหมายเลข 555-555-5555 เวลาเฉลี่ยของไดอัลพัลซ์จะได้ดังนี้

5 พัลซ์/ดิจิท x 100 ms/ พัลซ์ x 10 ดิจิท = 5 วินาที

อินเตอร์ดิจิท x (เลขดิจิท –1) = 700 ms x 9 = 6.3 ms

เวลารวมของไดอัลพัลซ์ = 5 + 6.3 = 11.3 วินาที

แต่เมื่อนำหมายเลขดังกล่าวมาเรียกแบบ DTMF ไดอัล จะได้เป็น

เลขของดิจิท x 100 ms/ดิจิท = 10 x 100 ms = 1 วินาที

ซึ่งค่าเวลานี้จะเป็นค่าต่ำสุด และเป็นค่ากระบวนการทางด้านฟิสิกส์เท่านั้น ในการคับปลิ้งวงจรกำเนิดสัญญาณ DTMF จะใช้สำหรับในการเชื่อมต่อสัญญาณ DTMF เข้าไปในคู่สาย โดยจะพิจรณาดังนี้

1. ความเหมาะสมของดีซีโวลท์เตจและลูปกระแส
2. คุณสมบัติของแอมปลิจูดและการดิสตรอชั่นของสัญญาณโทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การกำเนิดสัญญาณ DTMF จะต้องมีค่าอิมพีแดนซ์ในสายที่แมทกัน

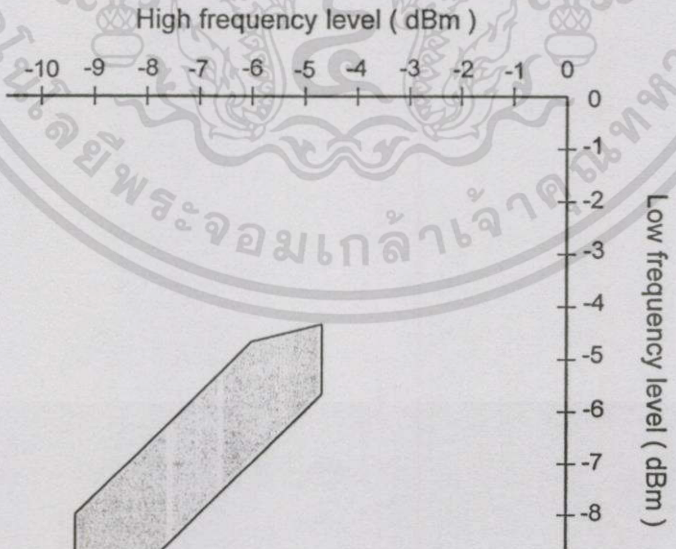
กำลังที่เกิดขึ้นที่ได้จากวงจร DTMF จะคำนึงถึง 2 ส่วนด้วยกัน คือ " ลองลูป" (Long loops) และ "ช๊อตลูป" (Short loops) โดยพยายามที่จะลดกระแส และแรงดันลองลูปเท่าที่จะทำได้ ดังนั้น วงจรไดอัลโทนสามารถที่จะใช้แหล่งจ่ายแรงดันค่าต่ำสุดได้ประมาณ 3 V

ค่าดีซีโวลท์เตจที่ต่ำที่สุด $\left(V_{DC(MIN)}\right)$ สำหรับการสร้างสัญญาณ DTMF และการเชื่อมต่อวงจรนั้น จะเป็นการรวมกันของค่าแรงดันของทั้งสองสัญญาณโทน $\left(V_{LPK} + V_{HPK}\right)$ บวกกับโวลท์เรกูเลต $\left(V_{\text{Reg}}\right)$ บวกกับโวลท์เตจดร๊อปที่ $\left(V_{BE} + V_{CE(SAT)}\right)$

$$
\begin{aligned}
V_{DC(MIN)} &= \left(V_{LPK} + V_{HPK}\right) + V_{\text{Reg}} + \left(V_{BE} + V_{CE(SAT)}\right) \\
&= 1.24V + 3V + 1.2V \\
&= 5.44V
\end{aligned}
$$

ส่วน "ช๊อตลูป" ของโทรศัพท์นั้น จะครอบคลุมถึงกระแสสูงๆ ของลูป หรือรับแรงดันดีซีที่ค่าสูงๆ โดยจะสร้างมาจากส่วนกลางหรือจำกัดกระแสและแรงดันของลูป ซึ่งทั้งสองส่วนที่กล่าวมาแล้วนี้จะทำหน้าที่เชื่อมต่อและรักษาแรงดันดีซีโวลท์เตจ รวมถึงการจ่ายแรงดันให้วงจรต่างๆ ด้วย

ระดับของการส่งสัญญาณ DTMF โทนนั้น จะเปรียบเทียบกับค่า $0\,dBm\,(1\,mW\,;600\,\Omega)$ ความถี่สูงจะมีระดับ 2 dB เหนือกว่าระดับความถี่ต่ำเพื่อชดเชยค่าสูญเสียจากการส่ง ดังแสดงในรูปที่ 4.23 แสดงถึงระดับรูปคลื่นของการส่ง



รูปที่ 4.23 ระดับการส่ง DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"การดิสตรอชั่น" (Distortion) ในการเกิดดิสตรอชั่นของการส่งสัญญาณโทนนั้น จะขึ้นกับคุณสมบัติต่างๆ ดังนี้

1. ผลรวมของกำลัง ของความถี่ที่ไม่ต้องการจะต้องต่ำกว่า 20 dB ที่ระดับความถี่ของทั้งสองความถี่ที่ระดับต่ำสุด

2. ระดับความถี่ที่ไม่ต้องการจะถูกกำหนดโดยความถี่สองทางคือ

   a) ไม่มากไปกว่า -33 dB ในย่านความถี่ 300 - 3,400 Hz

   b) ไม่มากไปกว่า -33 dB ที่ 3,400 Hz และตกลง 12 dB / ออกเทป จนถึงความถี่ 50kHz

   c) ไม่สูงเกินกว่า -80 dB ที่ความถี่เกิน 50kHz

3. การดิสตรอชั่นในรูปของ dB นี้จะหาได้จากสมการดังนี้

$$Distortion = 20\,log_{10} + \frac{\sqrt{V_1^2 + V_2^2 + \Lambda + V_N^2}}{\sqrt{V_L^2 + V_H^2}} \qquad \text{........(4.8)}$$

ที่ V_1 ถึง Vn เป็นความถี่ที่ไม่ต้องการ

V_L เป็นความถี่สัญญาณโทนด้านต่ำ

V_H เป็นความถี่สัญญาณโทนด้านสูง

"ค่าอิมพีแดนซ์" (Impedance) เมื่อวงจรกำเนิดสัญญาณ DTMF ทำงาน ลูปของสัญญาณจะมีความต้านทานแบบไดนามิคอิมพีแดนซ์ โดยสภาวะปกติจะมีค่าอิมพีแดนซ์ประมาณ 900Ω แต่ถ้ากรณีวงจร DTMF ไม่ทำงาน เมื่อมีการเชื่อมต่อแบบอนุกรมค่าของไดนามิคอิมพีแดนซ์จะมีค่าต่ำ และถ้าเชื่อมต่อแบบขนานค่าของไดนามิคอิมพีแดนซ์จะมีค่าสูง

"รีเทิลลอส" (Return loss) ค่าของรีเทิลลอสจะหาได้จากสมการดังต่อไปนี้

$$RL = 20log_{10}\frac{Z_L + Z_g}{Z_L - Z_g} \qquad \text{..............(4.9)}$$

ที่ Z_L เป็นไลน์อิมพีแดนซ์ และ Z_g เป็นเอาท์พุทอิมพีแดนซ์

ในย่านความถี่ระหว่าง 300-3,400 Hz ค่าของ R_L จะมีค่ามากที่สุดถึง 14 dB และ R_L จะมีค่าเป็น 10 dB ที่ย่านความถี่ 50-300 Hz และจาก 2,400-20,000 Hz

ข้อดีของสัญญาณ DTMF ที่กล่าวมามีดังนี้

1.) จะใช้เวลาในการเรียก (Dialing time) ลดลงมาก

2.) ใช้วงจรโซลิทสเตจอิเลคทรอนิกส์ขนาดเล็กและมีประสิทธิภาพ

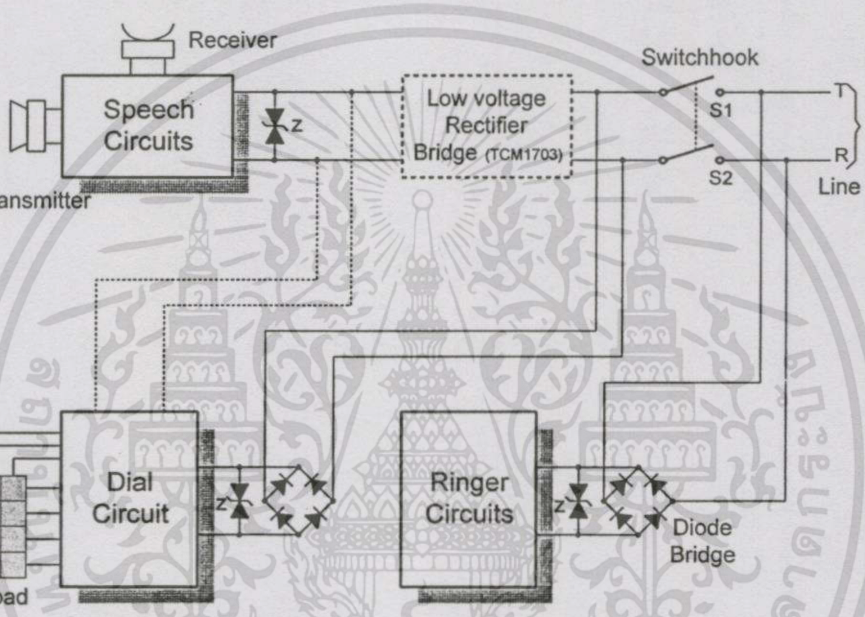
3.) สามารถใช้สำหรับสัญญาณ "เอ็นทูเอ็น" (End to end) หลังจากที่เกิดการเรียกและเชื่อมต่อ (ส่งข้อมูลที่ความเร็วต่ำ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.3 ตัวแปลงสัญญาณพัลซ์ (Pulse dialer)

ก่อนที่จะอธิบายถึงตัวแปลงสัญญาณพัลซ์ จะอธิบายถึงหลักการทั่วไปที่ครอบคลุมในส่วนนี้ คือวงจรเพาเวอร์และโวลท์เตจทรานเชียล

"วงจรเพาเวอร์" รูปที่ 4.24 แสดงถึงวงจรเพาเวอร์ที่ใช้งานในเครื่องโทรศัพท์ซึ่งรับเพาเวอร์มาจากคู่สาย วงจรริงกิ้ง จะรับแหล่งจ่ายไฟมาจากคู่สายที่ต่อกับสวิตซ์ฮุก ดังนั้นวงจรนี้ จะให้พลังงานสัญญาณริงกิ้งเมื่อสวิตซ์อยู่ในสถานะออนฮุก ซึ่งจะทำให้วงจรไดโอดเรกติไฟทำงานและวงจรไดอัลก็จะรับแหล่งจ่ายไฟจากสวิตซ์ฮุกเช่นกัน



รูปที่ 4.24 วงจรเพาเวอร์ที่ใช้ในเครื่องโทรศัพท์

"โวลเตจทรานเชียล" พิจารณาจากเมื่อเครื่องโทรศัพท์ออนฮุก คือสวิตซ์ฮุกเปิดจะรับไฟจากชุมสาย 48 Vdc ที่ขั้วทิปกับริง แต่เมื่อเครื่องโทรศัพท์ถูกยกขึ้นคือสวิตซ์ฮุกปิด หน้าคอนแทคสวิตซ์จะเด้งปิดและเปิดทำให้วงจรโทรศัพท์เกิดการเหนี่ยวนำเมื่อเกี่ยวพันกับพัลซ์ที่แรงดันสูงๆ เรียกการเกิดนี้ว่า "ทรานเชียล" ซึ่งไดอัลพัลซ์นี้จะถูกสร้างขึ้นมาจากทรานเชียลที่แรงดันสูงๆ

รูปที่ 4.25 แสดงวงจรสมมูลของวงจรสวิตซ์เปิดทันทีทันใด จะทำให้เกิดกระแส I ไหลในวงจร และทำให้เกิดสนามแม่เหล็กขึ้นในขดลวดเหนี่ยวนำ L ซึ่งจะยุบลงเมื่อกระแสหยุดไหล และจะทำให้เกิดแรงดันตกคร่อมขดลวดเหนี่ยวนำด้วยเมื่อคอนแทคสวิตซ์เปิด แรงดันนี้สามารถคำนวณได้ตามสมการดังนี้

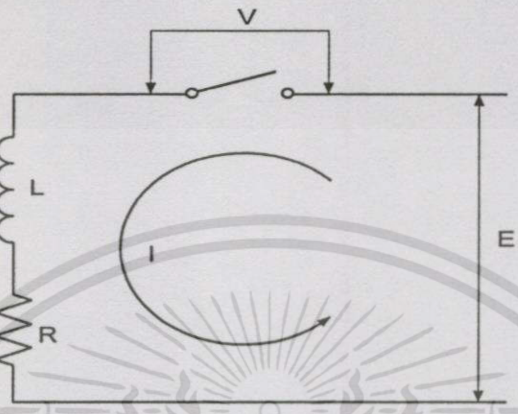
$$V = \frac{L\Delta I}{\Delta t} \qquad ....(4.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ L = ขดลวดเหนี่ยวนำในวงจร

ΔI = ค่าการเปลี่ยนแปลงของกระแส

Δt = ระยะเวลาที่กระแสมีการเปลี่ยนแปลง



รูปที่ 4.25 วงจรสมมูลของการเกิดโวลเตจทรานเชียล

ตัวอย่างเช่น เมื่อมีค่าแรงดันสูงๆ L = 1H , ที่กระแส 10mA กระแสจะเริ่มไหลเมื่อสวิตซ์ปิดลง ดังนั้นที่เวลา $10mS(10\times10^{-6}S)$ สามารถแทนจากสูตรได้เป็น

$$V = \frac{1\times10\times10^{-3}}{10\times10^{-6}}$$

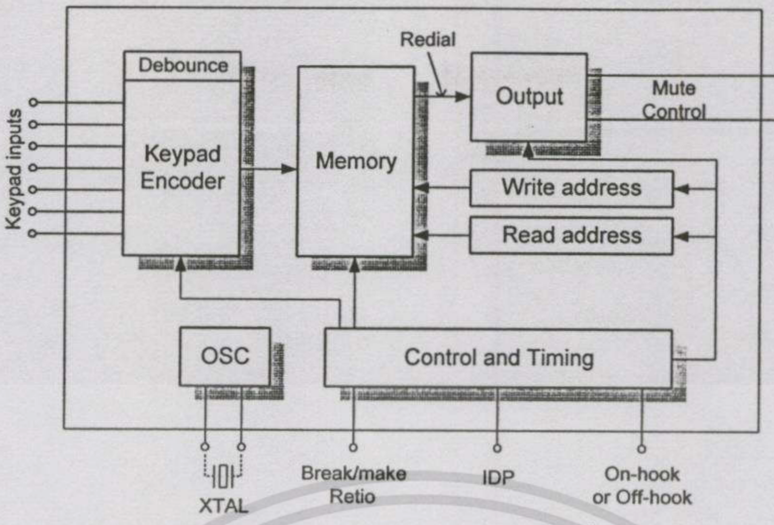
$$= 1\times10^{3}$$

$$= 100V$$

แรงดันถูกสร้างขึ้นเป็น 1000V ซึ่งวงจรไอซีส่วนมากจะไม่สามารถรองรับได้ ดังนั้นในระบบโทรศัพท์อิเลคทรอนิกส์จึงต้องมีทรานซีสเตอร์แรงดันสูงเพื่อรองรับทรานเชียลนี้

"ฟังก์ชั่นเบื้องต้นการกำเนิดสัญญาณ DTMF" จากรูปที่ 4.26 แสดงถึงการกำเนิดสัญญาณพัลซ์ที่เป็นลักษณะวงจรไอซี (Integrated Circuit) โดยคีย์แพทเอ็นโค๊ดเดอร์ (Keypad Encoder) จะรับอินพุทมาจากคีย์แพทโทรศัพท์ที่มีได้สูงสุดที่ 16 ปุ่ม (4 แถว 4 หลัก) แต่ในรูปจะแสดงเป็นแบบ 4 แถว 3 หลักเท่านั้น ซึ่งคีย์แพทเอ็นโค๊ดเดอร์ (Keypad Encoder) จะทำงานเมื่อคีย์แพทโทรศัพท์ถูกกดปุ่ม วงจรจะเช็คอินพุทต่อเนื่อง โดยจะกำหนดตามคาบเวลาที่ตั้งไว้ ซึ่งสถานะที่ได้จากการกดแต่ละครั้งจะถูกเก็บไว้ในหน่วยความจำ โดยสามารถเก็บได้สูงถึง 17 หรือ 20 ดิจิต เมื่อตัวเลขที่แปลงมานั้นถูกเก็บไว้ในหน่วยความจำแล้ว จะทำการบันทึกตำแหน่งของรีจีสเตอร์ ในทิศทางของตัวเลขในตำแหน่งของหน่วยความจำ ถ้าตัวเลขนี้ถูกเรียกอีกครั้งทิศทางตำแหน่งของรีจีสเตอร์ตัวเลขจะถูกอ่านค่าออกมา

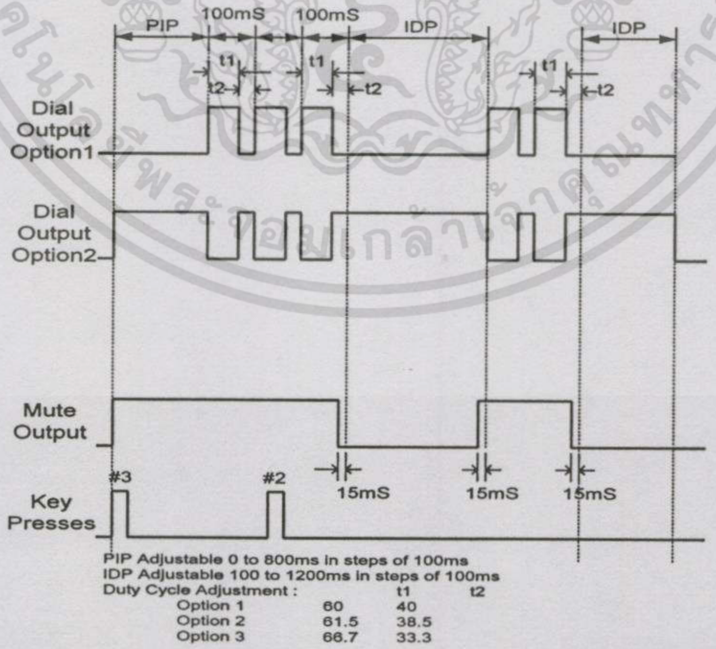
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 บล็อกไดอะแกรมตัวแปลงสัญญาณพัลซ์

วงจรออสซิลเลเตอร์จะควบคุมโดย "คริสตอล" (Crystal) หรือ โดยตัวต้านทานและคาปาซิเตอร์ ซึ่งจะทำให้พัลซ์มีความถี่ที่เสถียรภาพ เป็นการออกแบบขั้นพื้นฐานของวงจรนับในไอซีหรือรีจีสเตอร์ควบคุมวงจรเวลา

วงจรไดอัลพัลซ์แบบพิเศษจะมีอัตราส่วนการทำและหยุดประมาณ 60% / 40% หรือ 66.7% / 33.3% ซึ่งจะตั้งอัตราการไดอัลพัลซ์โดยประมาณ 2 : 1 โดย IDP (Inter-digit pause)

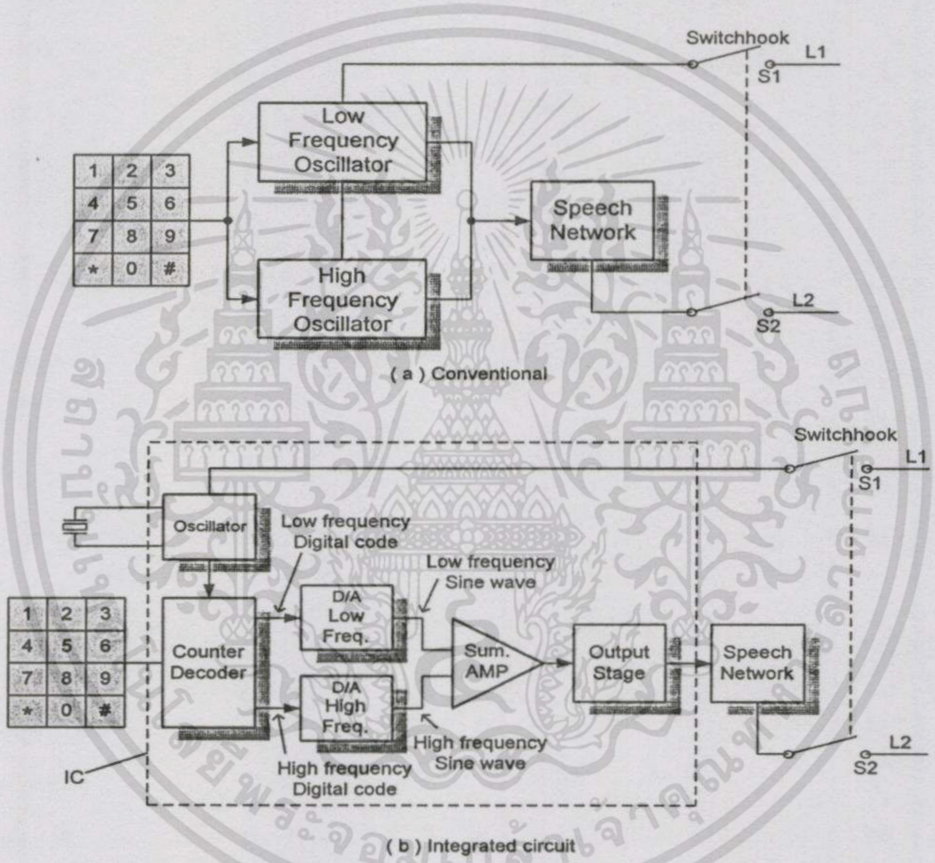


รูปที่ 4.27 ไดอัลและมิวพัลซ์ไดอัลริ่ง (Dial and Mute Pulse Dialing)

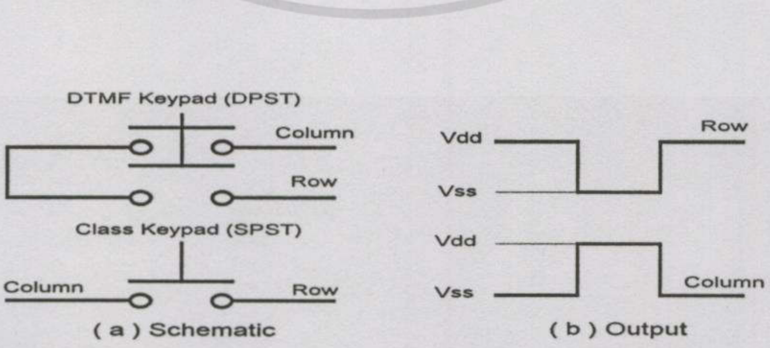
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DTMF ไดอัลริ่ง

การไดอัลริ่ง จะเป็นการส่งสองสัญญาณโทนไปในสาย ซึ่งเป็นหลักการพื้นฐานและมีการออกแบบไอซีไว้รองรับหลักการนี้อยู่แล้ว ในรูปที่ 4.28(a) ความถี่ต่ำ (Low frequency) และความถี่สูง (High frequency) จะถูกป้อนเข้าไปใน "สปีดเน็ตเวิร์ค" (Speech network) ไอซีกำเนิดสัญญาณ DTMF จะนับและถอดรหัสพัลซ์ คริสตอลจะเป็นตัวควบคุมการออสซิลเลต และเตรียมรหัสเอาท์พุทที่มีลักษณะเช่นเดียวกันทั้งด้านความถี่ต่ำและความถี่สูง ทั้งสองเอาท์พุทที่ได้นี้จะถูกป้อนเข้าวงจรภาคแปลงรหัส Digital-to-Analog (D/A) ซึ่งเอาท์พุทที่ได้นั้นจะเป็นแบบ "ไซด์เวพ" (Sine wave)



รูปที่ 4.28 การกำเนิดสัญญาณ DTMF



รูปที่ 4.29 ชนิดของคีย์แพด DTMF และเวพฟอร์มเอาท์พุท

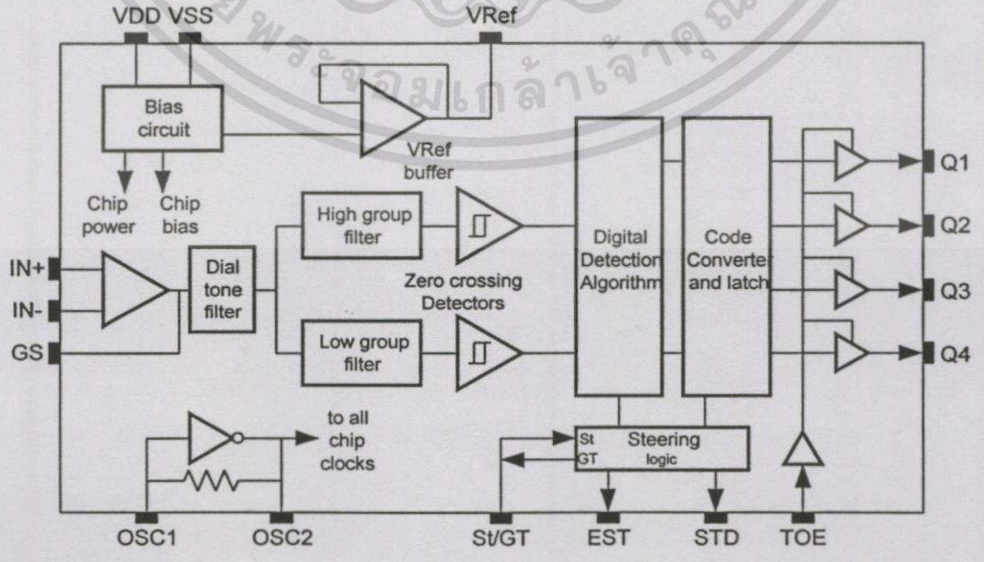
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การถอดรหัสความถี่โทรศัพท์ DTMF

เนื่องจากโครงข่ายเชื่อมต่อภายในนั้น ต้องการสัญญาณควบคุมหรือบิตส่วนหัวที่จะกำหนดปลายทางของชุดข้อมูลที่เป็นสัญญาณดิจิตอล เพื่อควบคุมการสวิตชิ่งของวงจรสวิตซ์โครงข่าย ดังนั้นจึงต้องแปลงสัญญาณควบคุมที่กำเนิดมาจากสัญญาณความถี่โทรศัพท์ที่เป็นแบบ DTMF ให้เป็นตัวเลขดิจิตอลบิตก่อน ด้วยวงจรการถอดรหัสความถี่โทรศัพท์ ซึ่งโครงข่ายเชื่อมต่อภายในที่ออกแบบนี้มีขนาด 16 ช่องสัญญาณ จึงต้องการดิจิตอลบิตขนาด 4 บิต ที่สามารถเปลี่ยนแปลงได้จาก 0 ถึง 15 หรือมี 16 ค่านั่นเอง ดังนั้นจึงพิจารณาออกแบบวงจรถอดรหัสความถี่โทรศัพท์ที่แปลงจากสัญญาณ DTMF มาเป็นไบนารี่ขนาด 4 บิต ในที่นี้จะพิจารณาออกแบบโดยใช้ไอซีเบอร์ MT8870 ในการถอดรหัสความถี่จากโทรศัพท์ชนิดกดปุ่ม ไอซี MT8870 เป็นไอซีถอดรหัสความถี่โทรศัพท์ (Integrated DTMF Receiver) ซึ่งหมายถึงการแปลงสัญญาณความถี่ที่เกิดจากการกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่มให้เป็นระบบตัวเลขทางดิจิตอล ซึ่งใช้ไอซี MT8870 แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิต โดยแต่ก่อนการออกแบบวงจรถอดรหัสความถี่ของโทรศัพท์มักใช้ไอซีจำพวกเฟสล๊อกลูป ซึ่งจะเกิดปัญหามาก เช่น เรื่องของความถี่ที่เปลี่ยนแปลงไป การปรับแต่งวงจรต่างๆ ขนาดของวงจรที่ใหญ่เพราะใช้ไอซีจำนวนมาก

คุณสมบัติของไอซี MT8870 คือ

1. จะใช้เป็นตัวรับและถอดรหัสความถี่ (DTMF Receiver)
2. กินไฟน้อย ใช้ไฟเลี้ยงระดับเดียวกันกับไอซี TTL
3. สามารถตั้งอัตราการขยายภายในตัวไอซีได้
4. สามารถปรับการ์ดไทม์ (Guard Time) ได้
5. เป็นไอซีมีคุณภาพสูง



รูปที่ 4.30 แสดงบล็อกไดอะแกรมของ MT8870

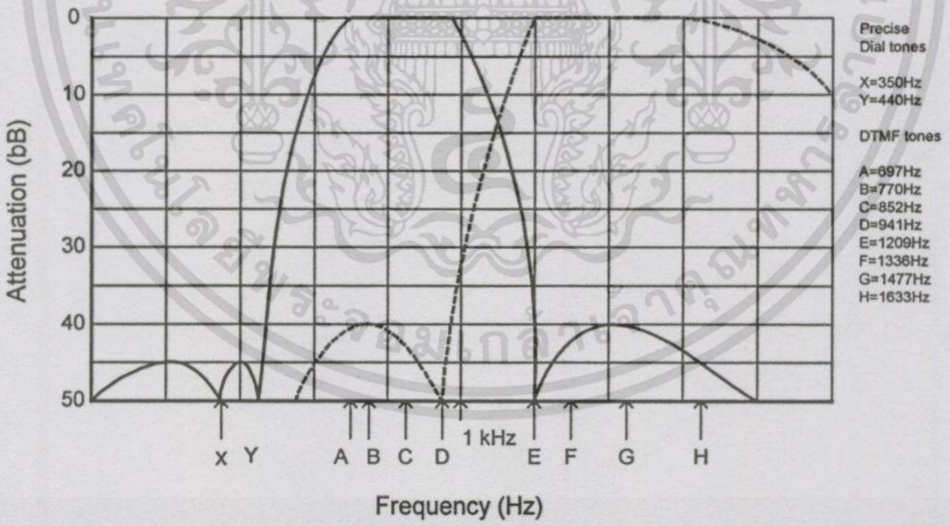
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของ MT8870 นั้นเป็นไอซีที่สร้างโดยเทคโนโลยี ISO^2 – CMOS วงจรกรองความถี่ใช้เทคนิคของสวิตซ์คาปาซิเตอร์ฟิลเตอร์กรองความถี่สูงและต่ำ วงจรถอดรหัสใช้เทคนิคการนับทางดิจิตอลเพื่อตรวจจับและถอดรหัสทั้ง 16 ความถี่ ออกเป็นเลขฐานสองขนาด 4 บิต และเช็คช่วงเวลาที่สัญญาณเข้ามา วงจรขยายภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับอัตราการขยายได้โดยการต่อเข้ากับอุปกรณ์ภายนอก ส่วนภาคเอาท์พุทเป็นวงจรแลตซ์ 3 สถานะ ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วน คือ

1. ภาคกรองความถี่ (Filter section)
2. ภาคถอดรหัส (Decoder section)
3. ภาคตรวจสอบสัญญาณ (Steering circuit)
4. ภาคขยายสัญญาณความแตกต่าง (Differential input)
5. ภาคกำเนิดความถี่ (Oscillator)

ภาคกรองความถี่ (Filter section)

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือ ช่วงความถี่สูง และช่วงความถี่ต่ำ โดยใช้วงจรกรองความถี่สวิตซ์คาปาซิเตอร์อันดับที่ 6 (Six order switched capacitor band pass filter) ซึ่งแถบความถี่แยกได้เป็น 2 ช่วง คือ ช่วงความถี่สูงและช่วงความถี่ต่ำ



รูปที่ 4.31 แสดงความถี่ที่ได้จากภาคกรองความถี่

ภาคถอดรหัส (Decoder section)

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลขดิจิตอล โดยใช้เทคนิคการนับแบบดิจิตอล และมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF จริงหรือไม่เพื่อป้องกันความถี่อื่นๆ เข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้องแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ขา EST (Early steering) ก็จะมีสภาวะแอคทีฟ สำหรับค่าที่ถอดรหัสได้จากความถี่ต่างๆ นั้น แสดงได้ดังตารางที่ 4.4

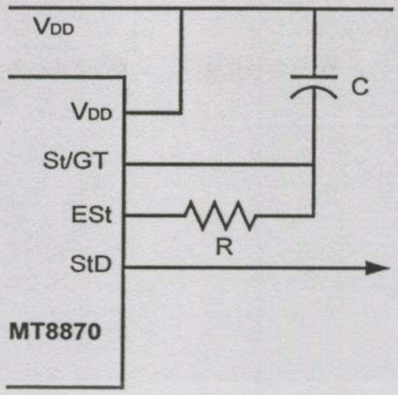
ตารางที่ 4.4 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ

F_{LOW}	F_{HIGH}	NO.	TOE	Q4	Q3	Q2	Q1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

ภาคตรวจสอบสัญญาณ (Steering circuit)

ก่อนที่จะมีการถอดรหัสความถี่ออกไปให้ที่เอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดนั้นเราสามารถกำหนดได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา Est จะเป็น “High” นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามา จากรูปเมื่อขา Est เป็น “High” ทำให้ VC สูงขึ้น ตัวเก็บประจุ C จะคลายประจุทำให้แรงดันสูงขึ้นจนถึงค่าเทรชโฮลด์วงจรถอดรหัสจึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$t_{GTA} = (RC)\ln(V_{DD}/V_{TSt})$$

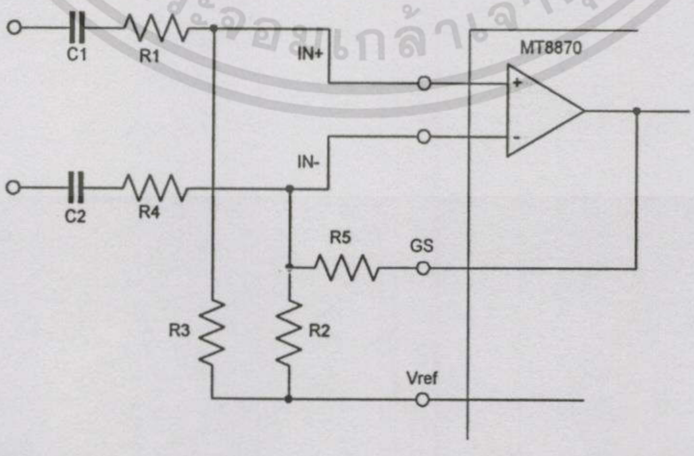
$$t_{GTP} = (RC)\ln[V_{DD}/(V_{DD} - V_{TSt})]$$

รูปที่ 4.32 แสดงวงจรตรวจสอบอย่างง่ายและแสดงการกำหนดเวลาการ์ดไทม์

การ์ดไทม์ (Guard time) หมายถึงช่วงคาบเวลาของความถี่ที่เข้ามา จะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่ตั้งไว้ จึงจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC คือการ์ดไทม์นั่นเอง เมื่อสัญญาณความถี่เข้ามานานเข้าหรือมากกว่าเวลาที่ตั้งไว้ จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกมา ซึ่งการตั้งเวลาและการคำนวณแสดงได้ดังสมการข้างต้น

ภาคขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุทของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราการขยายโดยต่อวงจรภายนอกเพิ่มเข้าไป รูปด้านล่างแสดงการต่อวงจรภายนอกเข้ากับอินพุทซึ่งสามารถคำนวณอัตราการขยายความแตกต่างของอินพุทอิมพีแดนซ์ได้

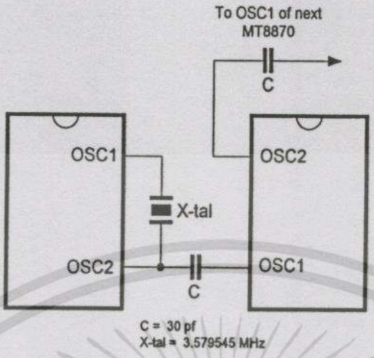


รูปที่ 4.33 รูปแสดงการต่อวงจรภาคอินพุท

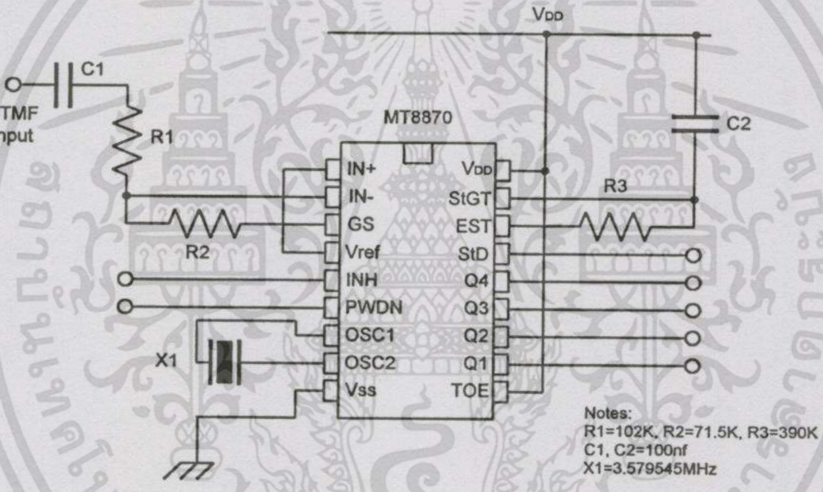
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคกำเนิดความถี่

ในภาคนี้ภายในไอซีจะมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อคริสตอลขนาด 3.579545 MHz ก็สามารถใช้งานได้ทันที การต่อวงจรกำเนิดความถี่แสดงได้ดังรูป



(a)



(b)

รูปที่ 4.34 (a) รูปแสดงการต่อวงจรผลิตความถี่

(b) รูปแสดงวงจรใช้งานเบื้องต้นของ MT8870

วงจรการใช้งานเบื้องต้น MT8870 จะมีขั้นตอนการทำงานคือ

1.) ตรวจสอบความถี่เข้ามา ถ้าคาบเวลาไม่ถูกต้องเอาท์พุทไม่เปลี่ยน

2.) ความถี่ # n ถูกตรวจพบและมีคาบเวลาที่ถูกต้องความถี่ถูกถอดรหัสและแลตซ์ไว้ที่เอาท์พุท

3.) จบความถี่ # n ช่วงห่างถูกต้อง เอาท์พุทยังคงแลตซ์อยู่จนกว่าจะได้รับความถี่ที่ถูกต้องใหม่

4.) เอาท์พุทเปลี่ยนเป็นไฮอิมพีแดนซ์

5.) ความถี่ # n+1 ถูกตรวจพบ คาบเวลาถูกต้อง ความถี่ถูกถอดรหัสและแลตซ์ไว้

6.) ความถี่ # n+1 หายไป ช่วงห่างไม่ถูกต้อง เอาท์พุทยังคงแลตซ์อยู่

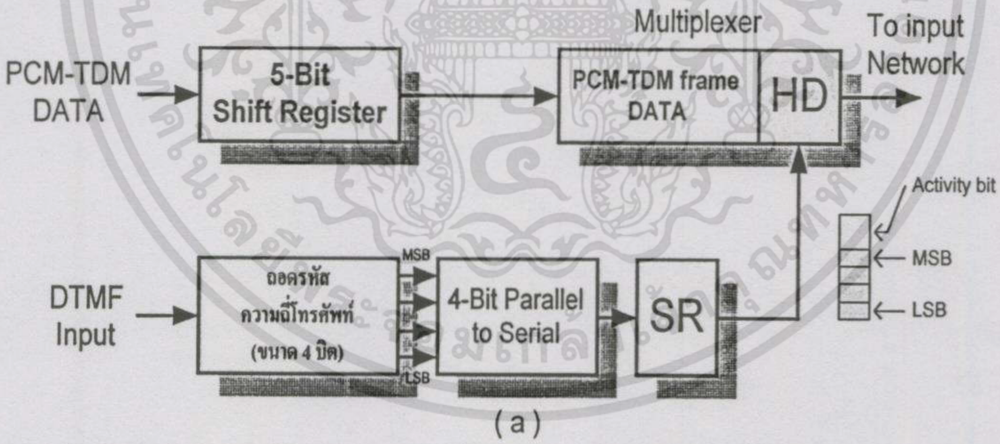
7.) จบความถี่ # n+1 ช่วงห่างถูกต้อง เอาท์พุทยังคงแลตซ์อยู่จนถึงความถี่ใหม่ที่ถูกต้อง

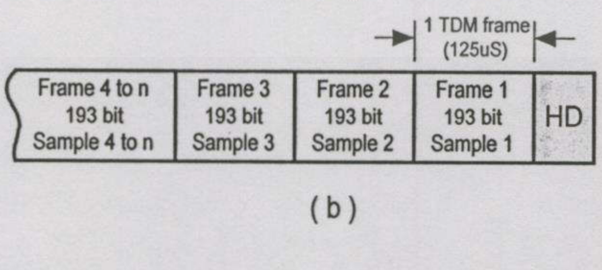
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การสร้างสัญญาณควบคุมการส่งชุดข้อมูล PCM-TDM frame

ในการออกแบบโครงข่ายเชื่อมต่อภายในเพื่อใช้สำหรับส่งชุดข้อมูล PCM-TDM frame นั้น ส่วนประกอบหลักๆ คือส่วนของการสร้างสัญญาณการเชื่อมต่อข้อมูลทางอินพุทหรือที่เรียกว่า ส่วนการสร้างบิตส่วนหัว (Header bit) ทำหน้าที่สร้างบิตส่วนหัวขนาด 5 บิต และ ส่วนที่ทำหน้าที่เป็นโครงข่ายเชื่อมต่อภายในเพื่อใช้สวิตซ์ข้อมูลไปยังตำแหน่งปลายทางตามที่ต้องการ ซึ่งในหัวข้อนี้จะกล่าวถึงการนำสัญญาณไบนารี่บิตที่ได้จากการถอดรหัสสัญญาณ DTMF จากหัวข้อที่แล้ว มาแซกและจัดรูปแบบในการควบคุมการสวิตซ์ของโครงข่าย

วงจรการสร้างบิตส่วนหัวทำหน้าที่สร้างบิตส่วนหัวขนาด 5 บิต ซึ่งจะได้จากการถอดรหัสความถี่โทรศัพท์ชนิดกดปุ่ม(DTMF) ให้เป็นสัญญาณระบบตัวเลขดิจิตอลขนาด 4 บิต และจาก Shift Register อีก 1 บิต เพื่อใช้เป็นบิตสถานะหรือที่เรียกว่า "แอคติวิทีบิต" (Activity bit) โดย 4 บิตที่ได้จากการถอดรหัสสัญญาณ โทรศัพท์ชนิดกดปุ่มนั้นจะใช้เป็นตัวกำหนดหมายเลขปลายทางที่ต้องการจะส่งข้อมูลไป ซึ่งในที่นี้จำนวนบิตขนาด 4 บิต จะสามารถกำหนดหมายเลขปลายทางได้สูงสุด 16 ช่องสัญญาณ ส่วนบิตสถานะหรือ "แอคติวิทีบิต" (Activity bit) จะมีค่าเป็น "0" ซึ่งจะทำให้วงจรสวิตซ์โครงข่ายรู้ว่ามีข้อมูล (Active packet) เข้ามาทางอินพุทนั่นเอง ในการออกแบบวงจรจะแสดงได้ดังบล็อกไดอะแกรมรูปที่ 4.35 (a)





รูปที่ 4.35 (a) บล็อกไดอะแกรมของวงการสร้างบิตส่วนหัว (Header Bit)

(b) TDM packet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.35(a) แสดงบล็อกไดอะแกรมของวงจรการสร้างบิตส่วนหัว (Header Bit) โดยรับข้อมูล PCM-TDM frame เข้ามาทางอินพุทวงจรชิพรีจีสเตอร์(Shift Register) ที่มีขนาด 5 บิตชิฟรีจีสเตอร์ และอีกส่วนจะรับสัญญาณโทรศัพท์ชนิดกดปุ่ม DTMF มาถอดรหัสความถี่โทรศัพท์ขนาด 4 บิต ซึ่งเอาท์พุทที่ได้ในส่วนนี้จะเป็นแบบขนาน จึงจำเป็นต้องแปลงให้เป็นแบบอนุกรม โดยผ่านวงจร 4-Bit Parallel to Serial ก่อน แล้วจึงป้อนเข้าวงจรชิพรีจีสเตอร์ขนาด 1 บิตชิพรีจีสเตอร์ โดยในบิตนี้จะใช้เป็นบิตสถานะหรือที่เรียกว่า "แอคติวิทีบิต" แล้วจึงจะนำไปรวมกันกับสัญญาณข้อมูล PCM-TDM frame ที่ภาคมัลติเพล็กเซอร์ ดังนั้นจึงได้แพ็คเกตข้อมูลที่มีบิตปลายทางที่ส่วนหัวของชุดข้อมูลขนาด 5 บิตที่สามารถนำไปควบคุมการสวิตชิ่งของวงจรสวิตซ์โครงข่ายเชื่อมต่อภายในได้ดังแสดงในรูปที่ 4.35(b) โดยมีข้อจำกัดที่ว่าสัญญาณนาฬิกาของวงจรการสร้างบิตส่วนหัว และวงจรสวิตซ์ของโครงข่ายเชื่อมต่อภายในต้องตรงและมีค่าเท่ากันด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
หลักการออกแบบโครงข่ายเชื่อมต่อภายใน

5.1 บทนำ

หลักในการออกแบบโครงข่ายเชื่อมต่อภายในนั้น จะประกอบไปด้วยโครงข่าย 2 ชนิด มาเชื่อมต่อกันเพื่อให้ได้เป็นโครงข่ายเชื่อมต่อภายในที่สมบูรณ์ สามารถนำไปประยุกต์ใช้งานในการสื่อสารข้อมูลที่เป็นดิจิตอลได้ ซึ่งเป็นเป้าหมายหลักของวิทยานิพนธ์ฉบับนี้ การออกแบบโครงข่ายเชื่อมต่อภายในนั้น จะประกอบด้วย 2 ส่วนใหญ่ๆ ดังนี้ คือ

5.1.1 ส่วนของโครงข่ายแบตเชอร์

โดยในส่วนนี้จะทำหน้าที่เป็น "ซอทติ้ง" (Sorting Network) ซึ่งใช้หลักการของโครงข่ายแบตเชอร์ (Batcher Network) บนพื้นฐานของทฤษฎี "แบตเชอร์ ไบโทนิค ซอทติ้ง อัลกอริทึม" [1] (Batcher Bitonic Sorting Algorithrm) เชื่อมต่อแบบ "เพอเฟ็คท์ชัพเฟิล" (Perfect shuffle)

5.1.2 ส่วนของโครงข่ายบานยาน

โดยในส่วนนี้จะทำหน้าที่เป็น "เอ็กซแพนเดอร์" (Expander Network) จะใช้หลักการของโครงข่ายบานยาน (Banyan Network) ในการออกแบบวงจรสวิตซ์

เมื่อนำโครงข่ายแบตเชอร์ และโครงข่ายบานยาน มาเชื่อมต่อกันในลักษณะที่เหมาะสมก็จะได้เป็นโครงข่ายเชื่อมต่อภายในที่สมบูรณ์ สามารถส่งข้อมูลไปยังตำแหน่งปลายทางได้

5.2 โครงข่ายแบตเชอร์

โครงข่ายแบตเชอร์ (Batcher Network) ทำหน้าที่ เป็นโครงข่ายที่ใช้เรียงลำดับข้อมูลที่รับเข้ามาทางด้านอินพุทให้ไปออกที่เอาท์พุทตามหมายเลขปลายทางของชุดข้อมูล อาจจะเรียงจากน้อยไปหามาก หรือเรียงจากมากไปหาน้อยก็ได้ โดยจะขึ้นอยู่กับการจัดวงจรภายใน โครงข่ายแบตเชอร์จะใช้โทโปโลยีแบบมัลติสเตจทำงานในโหมดซิงโครนัส การควบคุมวงจรสวิตซ์จะใช้การควบคุมจากศูนย์กลาง โครงข่ายแบตเชอร์ประกอบด้วยวงจรสวิตซ์แบตเชอร์ (Batcher Switching Element) จำนวนมากเชื่อมต่อกัน

การหาขนาดของโครงข่ายแบตเชอร์นั้น จะขึ้นกับขนาดอินพุทว่ามีจำนวนอินพุทมากน้อยเท่าใด โดยในวิทยานิพนธ์นี้จะออกแบบอินพุทขนาด 16 ช่องสัญญาณ กล่าวคือก็จะได้เอาท์พุท 16 ช่องสัญญาณเช่นกัน ซึ่งการคำนวณก็สามารถคำนวณหาขนาดของวงจรสวิตซ์แบตเชอร์ที่ต้องใช้ในการสร้างโครงข่ายขนาด 16 x 16 โดยคำนวณได้จากสมการดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$ROW = N/2 \quad (5.1)$$

$$Column = log_2N(log_2N+1)/2 \quad (5.2)$$

$$Processing\ Element = ROW\ x\ Column \quad (5.3)$$

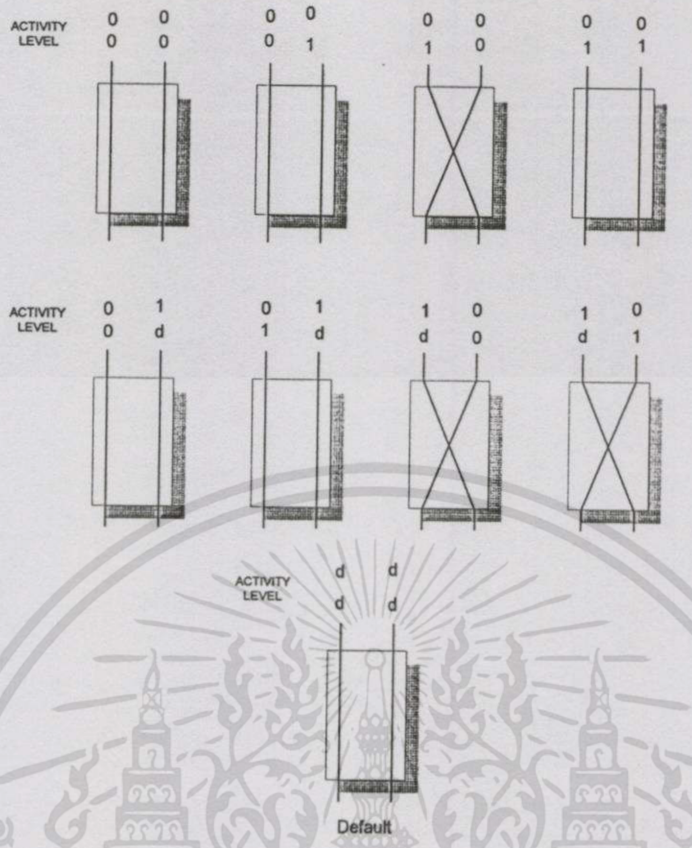
$$N = Channel$$

โครงข่ายแบตเชอร์ จะทำหน้าที่เรียงลำดับชุดข้อมูลที่ป้อนเข้ามาทางอินพุท โดยการเปรียบเทียบบิตที่ส่วนหัวของชุดข้อมูลแต่ละตัวในแต่ละภาคของโครงข่าย เมื่อตรวจพบความแตกต่างของบิตจะทำการควบคุมสภาวะของวงจรสวิตซ์ในภาคนั้นๆ เพื่อที่จะกำหนดเส้นทางเชื่อมต่อของชุดข้อมูล โดยใช้ความสัมพันธ์ของบิตเริ่มต้นของชุดข้อมูล ความแตกต่างของบิตในส่วนหัวของชุดข้อมูลและชนิดของวงจรสวิตซ์ที่ใช้ในแต่ละภาคของโครงข่ายด้วย ถ้าหากใช้วงจรสวิตซ์ชนิดเรียงจากข้อมูลจากน้อยไปหามาก ก็จะได้เอาท์พุทที่มีหมายเลขปลายทางน้อยกว่าออกที่ด้านบนและหมายเลขปลายทางที่มากกว่าไปออกที่ด้านล่าง ในทางกลับกันถ้าใช้วงจรสวิตซ์ที่เรียงจากมากไปหาน้อยเอาท์พุทที่ได้จะตรงกันข้ามกับแบบแรก การเชื่อมต่อกันในแต่ละภาคของโครงข่ายจะไม่มีการเชื่อมหรือชนกันของชุดข้อมูลเกิดขึ้น ส่วนในกรณีที่ข้อมูลมีหมายเลขปลายทางที่ซ้ำกัน จะได้ข้อมูลที่เรียงอยู่ติดกันโดยจะไม่มีการเชื่อมหรือชนกัน ชุดข้อมูลดังกล่าวจะถูกส่งผ่านไปยังโครงข่ายสำหรับแยกชุดข้อมูลที่มีหมายเลขปลายทางที่ซ้ำกัน เพื่อแยกไปเข้าโครงข่ายสำหรับหน่วงเวลาชุดข้อมูลเพื่อให้ชุดข้อมูลวนกลับไปรวมกับชุดข้อมูลในลำดับต่อไป ที่ถูกป้อนมาทางอินพุทของโครงข่าย เอาท์พุทอีกส่วนหนึ่งจะถูกป้อนเข้าที่โครงข่ายบานยานในสเตจต่อไป

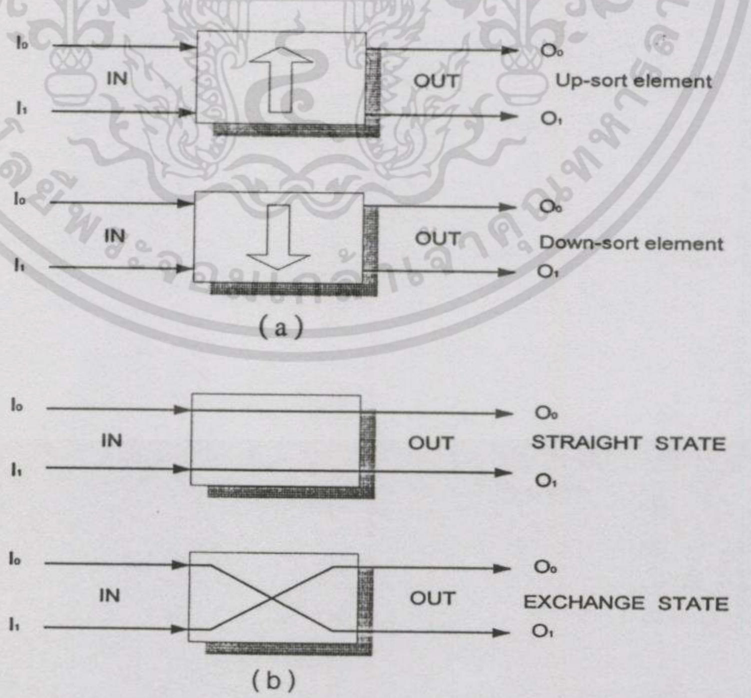
วงจรสวิตซ์ที่ใช้ในการเชื่อมโยงจะใช้ความสัมพันธ์ของ "แอ็คทิวิทีบิต" (Activity bit) และบิตในส่วนหัวของชุดข้อมูล เป็นตัวกำหนดเส้นทางในการเชื่อมโยง บิตแรกในส่วนหัวจะสำคัญสุด (MSB) บิตสุดท้ายจะมีนัยสำคัญต่ำที่สุด (LSB) สภาวะของการสวิตซ์จะถูกกำหนดโดยการเปรียบเทียบบิตส่วนหัวของชุดข้อมูลกับแอคติวิตี้บิต โดยตามเงื่อนไขที่กำหนดจะเป็นไปได้ 2 สภาวะ คือ Straight และ Exchange

วงจรสวิตซ์ที่ใช้ในโครงข่ายนั้น ใช้ทั้งชนิด แบตเชอร์อัพซอร์ทอิลีเมนต์ (Batcher Up-sort Eelement) และ แบตเชอร์เดาน์ซอทอิลีเมนต์ (Batcher Down-sort Element) เพื่อให้การเปรียบเทียบบิตที่ส่วนหัวของชุดข้อมูลมีความแตกต่างกัน และจะช่วยลดจำนวนภาคของวงจรน้อยที่สุด สภาวะการทำงานของวงจรสวิตซ์แบตเชอร์ถูกออกแบบให้มีสภาวะการทำงาน 2 สภาวะ คือ Straight หรือ Pass และ Exchange หรือ Cross เพื่อป้องกันไม่ให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล เพราะจะทำให้ชุดข้อมูลเกิดการผิดพลาดขึ้นได้ ซึ่งเป็นคุณสมบัติของโครงข่ายที่ไม่ทำให้เกิดการเชื่อมหรือชนกันของชุดข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 การเชื่อมโยงของวงจรสวิตซ์แบตเชอร์

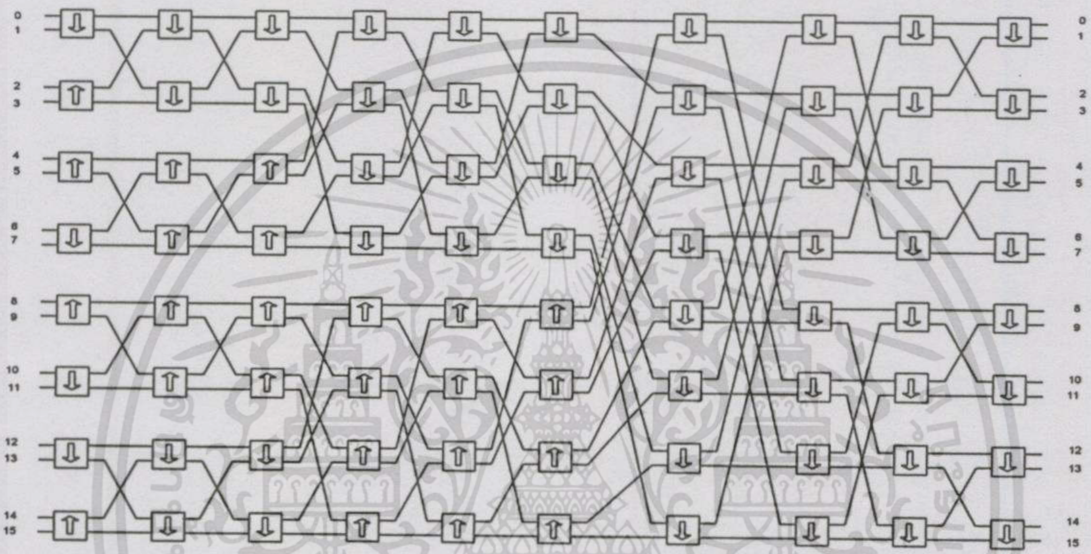


รูปที่ 5.2 (a) สัญลักษณ์ของวงจรสวิตซ์ (b) สภาวะการทำงานของวงจรสวิตซ์

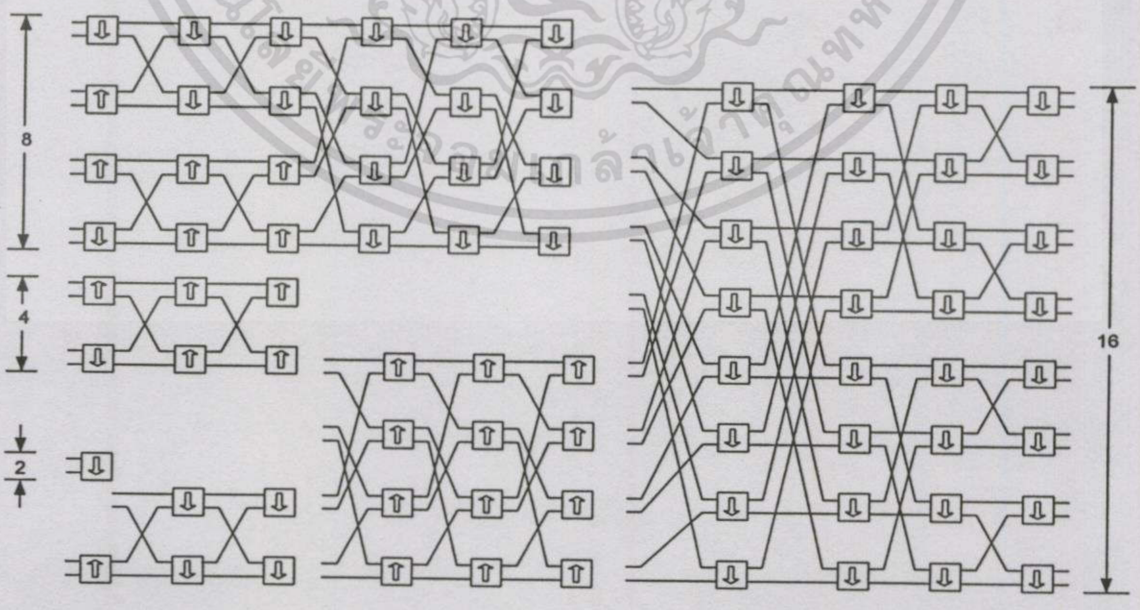
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.1 หลักการออกแบบโครงข่ายแบตเชอร์

ขนาดของโครงข่ายแบตเชอร์ จะขึ้นกับขนาดอินพุทของโครงข่ายแบตเชอร์ที่ต้องการ ชุดข้อมูลที่ถูกป้อนที่อินพุทของโครงข่ายแบตเชอร์นั้น จำเป็นต้องมีหมายเลขปลายทางไม่มากไปกว่าจำนวนอินพุทของโครงข่าย และจะต้องไม่มีหมายเลขปลายทางที่ซ้ำกัน โครงข่ายแบตเชอร์สามารถสร้างได้หลายขนาดบนพื้นฐานของวงจรสวิตซ์แบตเชอร์หลายๆ วงจร มาประกอบกันเป็นโครงข่ายแบตเชอร์หลายๆ ขนาด ตามความต้องการของผู้ออกแบบ



รูปที่ 5.3 โครงข่ายแบตเชอร์ขนาด 16 อินพุท และ 16 เอาท์พุท

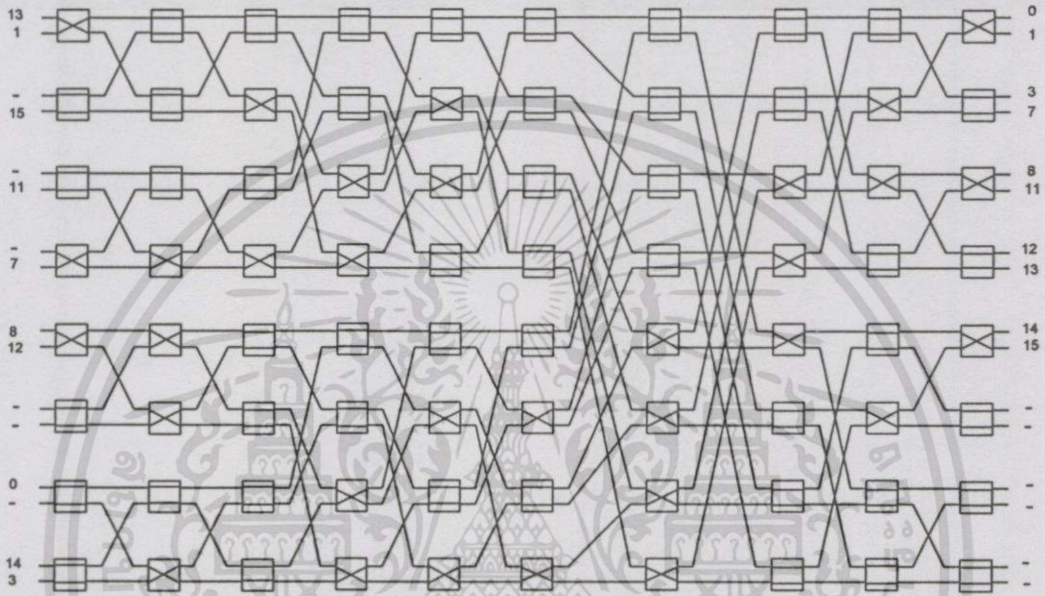


รูปที่ 5.4 แสดงขนาดต่างๆ ของโครงข่ายแบตเชอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 การทำงานของโครงข่ายแบตเชอร์

จากรูปที่ 5.5 ชุดข้อมูลที่ถูกป้อนเข้าที่อินพุทของโครงข่ายแบตเชอร์นั้น จะต้องมีหมายเลขปลายทางไม่มากไปกว่าจำนวนวงจรของโครงข่าย และจะต้องไม่มีหมายเลขปลายทางที่ซ้ำกัน ชุดข้อมูลทีถูกป้อนเข้ามาที่อินพุทจะสลับปนกันมา โดยยังไม่ได้เรียงลำดับซึ่งโครงข่ายแบตเชอร์จะทำหน้าที่เรียงลำดับชุดข้อมูลดังกล่าว ดังแสดงในรูป 5.5



รูปที่ 5.5 วงจรการทำงานของโครงข่ายแบตเชอร์

จากรูป 5.5 เมื่อเราใช้ชุดข้อมูลที่มีหมายเลขปลายทาง 11 (1011b) ส่งผ่านโครงข่าย ชุดข้อมูลจะถูกป้อนเข้ามาทางอินพุท 5 คือ ทางด้านอินพุท I1 ในส่วนของวงจรภาคแรกชุดข้อมูลดังกล่าวจะถูกเปรียบเทียบกับ อินแอคทีฟแพคเก็ท (Inactive packet) ที่อินพุท 4 วงจรสวิตซ์ในส่วนนี้จะใช้แบบ แบตเชอร์อัพซอร์ทอิลีเมนต์ (Batcher Up-sort Eelement) จากเงื่อนไขที่ใช้ในการเปรียบเทียบทำให้วงจรสวิตซ์มีสภาวะเป็น Straight ชุดข้อมูลจะไปปรากฏที่เอาท์พุท O1 ของวงจรภาคแรก ในภาคที่ 2 จะถูกป้อนเข้าที่อินพุท I0 ของภาคที่ 2 และจะทำการเปรียบเทียบกับ อินแอคทีฟแพคเก็ท (Inactive packet) เช่นกัน แต่เงื่อนไขที่ใช้ต่างกัน ทำให้ได้สภาวะเป็น Exchange คือชุดข้อมูลจะไปปรากฏที่เอาท์พุท O1 ซึ่งจะเห็นได้ว่าเป็นการสลับเส้นทาง ในภาคที่ 3 ข้อมูลจะถูกป้อนเข้าที่อินพุท I1 และจะทำการเปรียบเทียบกับชุดข้อมูลที่มีหมายเลขปลายทาง 7 จะได้สภาวะ Exchange เช่นกันจึงได้เอาท์พุทออกที่ O0 ในภาคที่ 4 อินพุทจะถูกป้อนเข้ามาทาง I1 และจะถูกเปรียบเทียบกับข้อมูลหมายเลขปลายทาง 15 จึงได้สภาวะเป็น Exchange เอาท์พุทจะไปออกที่ O0 และถูกป้อนเข้าสู่ภาคที่ 5 ทางด้าน I1 ต่อไปซึ่งเมื่อเปรียบเทียบกับหมายเลขปลายทาง 1 แล้ว จะได้สภาวะเป็น Straight

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วส่งต่อไปยังภาคต่อๆ ไปตามลำดับ โดยเป็นไปตามสภาวะวงจรสวิตซ์ที่แสดงไว้บนสัญญลักษณ์ของวงจรสวิตซ์ ตามเส้นทางการเชื่อมโยงของชุดข้อมูลต่างๆ ผลรวมที่ปรากฏที่ทางเอาท์พุทจะเป็นไปตามวัตถุประสงค์คือจะได้ชุดข้อมูลที่ถูกเรียงจากน้อยไปหามากจนครบทุกชุดข้อมูลและตามด้วยอินแอคทีฟแพคเก็ท (Inactive packet) โดยชุดข้อมูลจะไม่มีการเชื่อมหรือชนกัน

5.2.3 การออกแบบวงจรโครงข่ายแบตเชอร์

เนื่องจากโครงข่ายแบตเชอร์เป็นโครงข่ายที่ต้องใช้วงจรต่อซ้ำๆ กันจำนวนมากซึ่งจะขึ้นกับความต้องการการสวิตซ์ของวงจรว่ามีจำนวนมากเท่าใด โดยจำนวนวงจรสวิตซ์ของโครงข่ายจะเป็นไปตามสมการที่ (5.1) , (5.2) และ (5.3) ดังที่กล่าวไปแล้วนั้น ในวิทยานิพนธ์ฉบับนี้จะเป็นการออกแบบโครงข่ายแบตเชอร์ขนาด 16 อินพุท และ 16 เอาท์พุท ดังนี้

เมื่อแทนค่าลงในสมการ (5.1) , (5.2) และ (5.3) กรณี $N = 16$ (อินพุท 16 ช่องสัญญาณ)

$$ROW = 16/2 = 8 \text{ แถว}$$
$$Column = log_2 16(log_2 16+1)/2 = 4 \, x \, 2.5 = 10 \text{ หลัก}$$
$$Processing\ Element = 8 \, x \, 10 = 80 \text{ วงจร}$$

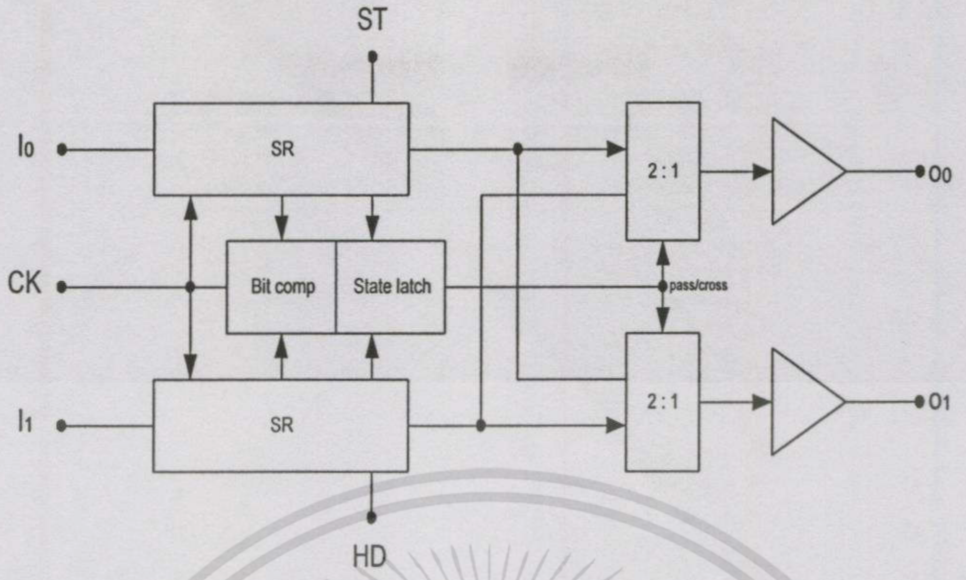
จากผลการคำนวณจะได้จำนวนวงจรสวิตซ์แบตเชอร์ที่ต้องใช้จำนวนทั้งสิ้น 80 วงจรสวิตซ์

เนื่องจากโครงข่ายประกอบด้วยวงจรสวิตซ์ขนาด 2 x 2 ที่ซ้ำๆ กันจำนวนมาก ดังนั้นเราจึงพิจารณาการออกแบบเพียงวงจรเดียว ซึ่งจะพบว่ามีอยู่ 2 ลักษณะคือ แบตเชอร์อัพซอร์ทอิลีเมนต์ (Batcher Up-sort Eelement) และ แบตเชอร์เดาท์ซอร์ทอิลีเมนต์ (Batcher Down-sort Eelement) สังเกตุได้จากทิศทางของลูกศรที่แสดงภายในสวิตซ์บล็อก (Switch block) โดยที่ แบตเชอร์อัพซอร์ทอิลีเมนต์ (Batcher Up-sort Eelement) จะทำการเรียงลำดับชุดข้อมูลที่มีหมายเลขปลายทางที่มากกว่าไปออกด้านบนและจะให้ชุดข้อมูลที่มีหมายเลขปลายทางที่น้อยกว่าไปออกด้านล่าง ส่วนแบตเชอร์เดาท์ซอร์ทอิลีเมนต์ (Batcher Down-sort Eelement) จะกระทำในลักษณะตรงกันข้ามคือ จะทำการเรียงลำดับข้อมูลที่มีหมายเลขปลายทางที่มากกว่าไปออกด้านล่าง และจะให้ชุดข้อมูลที่มีหมายเลขปลายทางที่น้อยกว่าไปออกด้านบน เมื่อเรานำมาเชื่อมต่อกันในลักษณะที่เหมาะสมแล้วจะทำให้ได้คุณสมบัติของโครงข่ายซอททิ้งเน็ตเวิร์ค (Sorting Network)หรือที่เรียกว่าโครงข่ายแบตเชอร์นั่นเอง

บล็อกไดอะแกรมของวงจรสวิตซ์แบตเชอร์ (Batcher switching element) ที่มีขนาดพื้นฐานคือ 2 x 2 นั้น แสดงได้ดังรูปที่ 5.6

วงจรสวิตซ์จะประกอบด้วย ชิพรีจีสเตอร์ (SR : Shift Register) , บิตคอมพาราเตอร์ (BC : Bit Comparator) , สเตจแล็ซ (SL : State latch) และ 2 : 1 มัลติเพล็กเซอร์ (2:1 Multiplexer) ดังรูปที่ 5.6 เมื่อชุดข้อมูลถูกป้อนเข้ามาที่อินพุท I0 และ I1 ส่วนซิงโครนัสโหมด (Synchronous Mode) ของวงจรเปรียบเทียบจะทำการเปรียบเทียบบิตของหมายเลขปลายทางที่อยู่ส่วนหัวของชุดข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 บล็อกไดอะแกรมของแบตเชอร์โปรเซสซิ่งอิลิเมนต์ (Batcher Processing Element)

ถ้าตรวจพบความแตกต่างของบิตที่เป็นไปตามเงื่อนไข ก็จะทำการปรับเปลี่ยนเส้นทางการเชื่อมโยงของชุดข้อมูลไปยังเอาท์พุท โดยจะส่งสัญญาณไปแล็ซสถานะของ 2:1 มัลติเพล็กเซอร์ ที่สเตจแล็ซ จนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านวงจรสวิตซ์ไปโดยผ่านชิพรีจีสเตอร์ ชุดข้อมูลที่ปรากฏที่เอาท์พุทของวงจรสวิตซ์จะยังคงเหมือนเดิมเช่นเดียวกับที่รับเข้ามาทางอินพุทแต่จะเรียงลำดับตามคุณสมบัติของโครงข่าย เมื่อชุดข้อมูลถูกส่งผ่านไปหมดเรียบร้อยแล้ว ก็จะปรับสถานะตัวเองกลับมาเป็นสถานะปกติ (Pass State) ตามเดิม เพื่อรับข้อมูลที่ถูกส่งเข้ามาทางอินพุทครั้งต่อไป

5.3 โครงข่ายบานยาน

โครงข่ายบานยาน (Banyan network) เป็นโครงข่ายที่ใช้ในการจัดส่งข้อมูลไปยังตำแหน่งปลายทางให้ถูกต้องตามหมายเลขปลายทางของชุดข้อมูล หรือเรียกว่า "เอ็กซแพนเดอร์" (Expander Network) ใช้โทโปโลยีแบบมัลติสเตจ ทำงานในโหมดซิงโครนัสใช้การควบคุมจากศูนย์กลาง ซึ่งโครงข่ายจะประกอบด้วยวงจรสวิตซ์บานยานจำนวนมาก วงจรสวิตซ์บานยาน (Banyan Switching Element) จะถูกเชื่อมต่อกันให้เหมาะสมเพื่อให้ได้คุณสมบัติของโครงข่าย โดยในวิทยานิพนธ์ฉบับนี้โครงข่ายบานยานจะเชื่อมต่อถัดจากโครงข่ายแบตเชอร์ เพื่อให้ได้คุณสมบัติเป็นโครงข่ายเชื่อมต่อภายใน การหาขนาดของโครงข่ายบานยานจะเป็นลักษณะเดียวกันกับโครงข่ายแบตเชอร์ คือ จะขึ้นอยู่กับขนาดอินพุทของโครงข่าย ในที่นี้จะมีค่าเท่ากับขนาดเอาท์พุทของโครงข่ายแบตเชอร์ เพราะจะใช้เชื่อมต่อซึ่งกันและกันพอดี การสร้างโครงข่ายบานยานสามารถสร้างได้หลายขนาดเช่นเดียวกับโครงข่ายแบตเชอร์ โดยสามารถคำนวณหาจำนวนของวงจรสวิตซ์ที่จำเป็นต้องใช้ในการสร้างเป็นโครงข่ายบานยานได้จากสมการดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

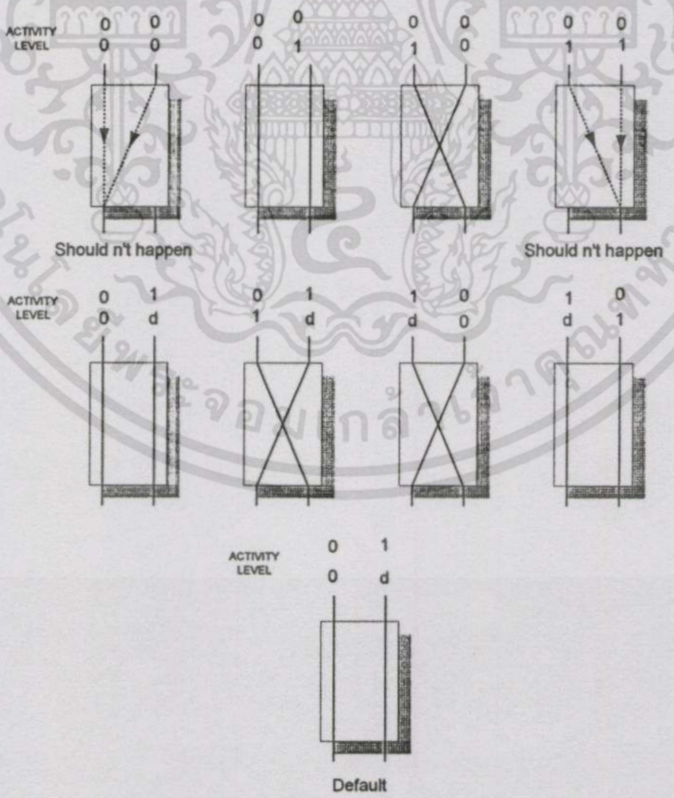
$$ROW \quad = \quad N/2 \qquad (5.4)$$

$$Column \quad = \quad log_2N \qquad (5.5)$$

$$Processing\ Element \quad = \quad ROW\ x\ Column \qquad (5.6)$$

$$N \quad = \quad Channel$$

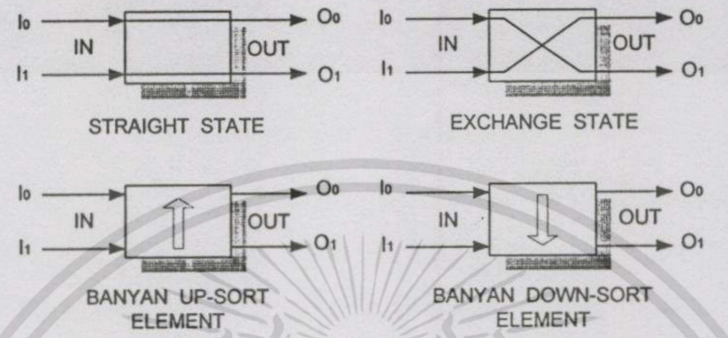
ลักษณะของการเชื่อมโยงระหว่างวงจรสวิตซ์ของโครงข่ายบานยานจะใช้การเชื่อมโยงแบบ "เพอเฟ็คท์ชัพเฟิล" (Perfect shuffle) เพื่อให้ได้คุณสมบัติตามต้องการ โดยใช้ความสัมพันธ์ของแอ็คทิวิทีบิต(Activity bit) และบิตต่างๆ ในส่วนหัวของชุดข้อมูล โดยบิตแรกในส่วนหัวของชุดข้อมูลจะเป็นบิตที่มีนัยสำคัญสูงสุด (MSB) และบิตสุดท้ายของส่วนหัวเป็นบิตที่มีนัยสำคัญต่ำสุด (LSB) ข้อมูลที่ส่วนหัวของชุดข้อมูลแต่ละบิตนั้น จะใช้กำหนดการเชื่อมโยงในแต่ละภาคของโครงข่าย วงจรสวิตซ์จะมีสถานะการเชื่อมต่อทั้งหมด 6 สถานะด้วยกัน มีทั้งสถานะที่ควรจะเกิดและไม่ควรจะเกิด โดยเราจะปรับปรุงให้สถานะที่ไม่ควรจะเกิดให้เป็นการสวิตซ์แบบ Straight ดังนั้นการเชื่อมต่อจึงมีความเป็นไปได้เพียง 2 สภาวะ คือ Straight และ Exchange เท่านั้น



รูปที่ 5.7 การเชื่อมโยงของวงจรสวิตซ์บานยาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสวิตซ์ที่ใช้ในโครงข่ายบานยานจะใช้วงจรสวิตซ์ที่มีลักษณะเหมือนกันกับวงจรสวิตซ์แบตเชอร์ ซึ่งใช้ บานยานอัพซอทอิลิเมนต์ (Banyan Up-sort Element) และ บานยานเดาท์ซอทอิลิเมนต์ (Banyan Down-sort Element) มาควบคุมการหาเส้นทางการเชื่อมโยงของโครงข่าย แต่ในวิทยานิพนธ์ฉบับนี้จะใช้เฉพาะบานยานเดาท์ซอทอิลิเมนต์เท่านั้น



รูปที่ 5.8 สถานะและสัญญลักษณ์ของโครงข่ายบานยาน

5.3.1 หลักการออกแบบโครงข่ายบานยาน

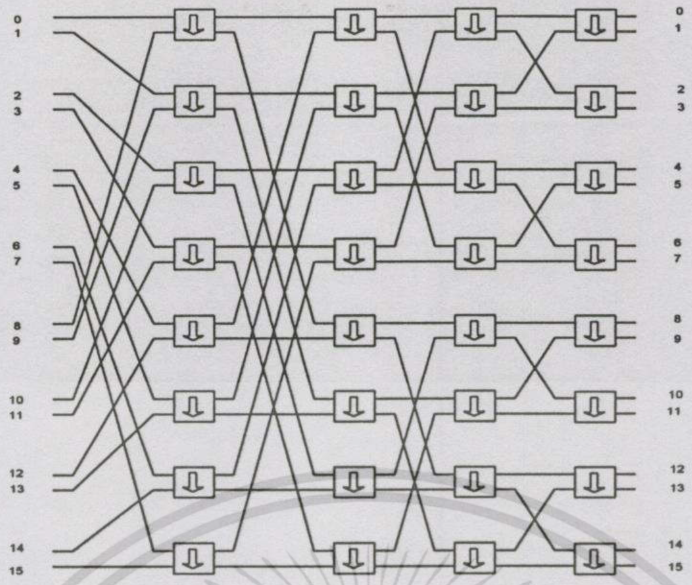
ขนาดของโครงข่ายบานยานจะขึ้นอยู่กับขนาดของอินพุทของโครงข่าย ซึ่งในวิทยานิพนธ์ฉบับนี้จะจำกัดขนาดของโครงข่าย โดยจะขึ้นกับขนาดเอาท์พุทของโครงข่ายแบตเชอร์ด้วย ลักษณะอินพุทที่ป้อนเข้าโครงข่ายนั้นจะเป็นอินพุทที่ถูกเรียงลำดับมาเรียบร้อยแล้ว อาจจะเป็นจากน้อยไปหามากหรือจากมากไปหาน้อยก็ได้ ซึ่งขึ้นกับโครงข่ายแบตเชอร์ โดยโครงข่ายบานยานนี้จะทำหน้าที่จัดส่งชุดข้อมูลไปยังตำแหน่งปลายทางที่ถูกกำหนดไว้แล้วอย่างถูกต้องตามหมายเลขปลายทางชุดข้อมูล ซึ่งเป็นคุณสมบัติของโครงข่ายบานยาน

การสร้างโครงข่ายบานยาน สามารถจะสร้างได้หลายขนาดบนพื้นฐานของวงจรสวิตซ์บานยานหลายๆวงจรเช่นเดียวกับโครงข่ายแบตเชอร์ เมื่อนำวงจรสวิตซ์มาประกอบกันอย่างถูกต้องและเหมาะสมก็จะได้คุณสมบัติของโครงข่ายตามต้องการของผู้ออกแบบ

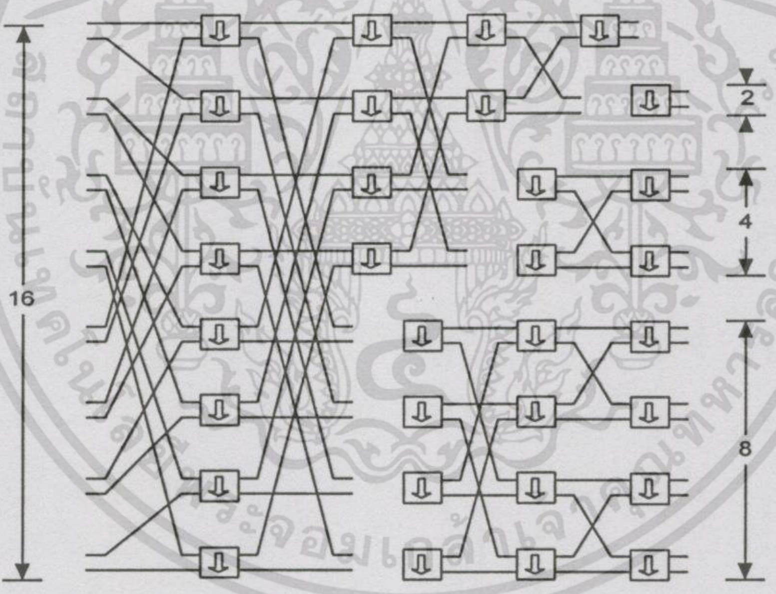
จากรูปที่ 5.9 จะเห็นว่าโครงข่ายบานยานมีลักษณะคล้ายกับส่วนสุดท้ายของโครงข่ายแบตเชอร์แต่การทำงานในส่วนดังกล่าวนี้ จะทำหน้าที่ในการจัดส่งชุดข้อมูลไปยังตำแหน่งปลายทางให้ถูกต้องตามหมายเลขปลายทางของชุดข้อมูล ซึ่งในส่วนนี้จะเรียกว่าเป็น "เอ็กซแพนเดอร์เน็ตเวิร์ค" (Expander Network)

ส่วนขนาดต่าง ๆ ของโครงข่ายบานยานนั้น จะเป็นการนำเอาวงจรสวิตซ์บานยานหลาย ๆ วงจรมาประกอบกัน โดยจะแยกเป็นวงจรพื้นฐานที่มีขนาดเล็กตั้งแต่ 2 x 2 (2 อินพุท และ 2 เอาท์พุท) ขึ้นไปมาประกอบรวมกันจนมีขนาดตามต้องการ โดยจะขึ้นกับสมการ (5.4) , (5.5) , (5.6) ซึ่งในที่นี้จะพิจารณาที่ขนาด 16 x 16 ดังรูป 5.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 โครงข่ายบานยานขนาด 16 อินพุท และ 16 เอาท์พุท



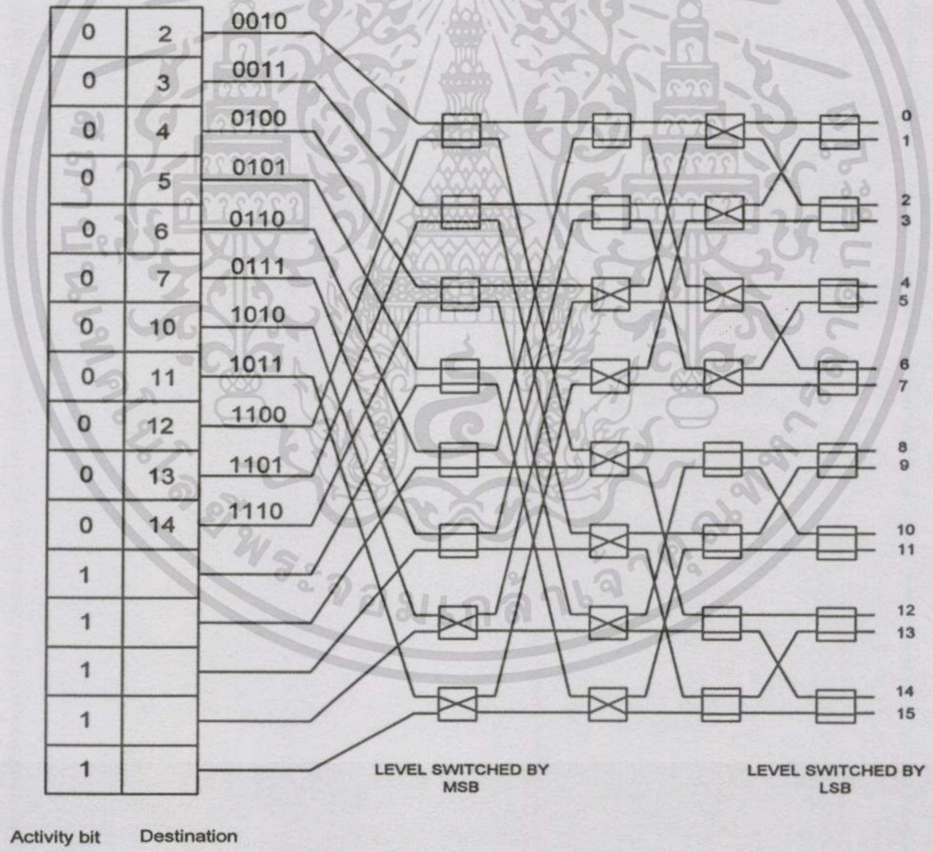
รูปที่ 5.10 ขนาดต่างๆ ของโครงข่ายบานยาน

5.3.2 การทำงานของโครงข่ายบานยาน

โครงข่ายบานยาน จะใช้ในการจัดส่งชุดข้อมูลไปยังปลายทางที่ถูกต้องตามหมายเลขปลายทางของชุดข้อมูลนั้น ชุดข้อมูลที่จะป้อนที่อินพุทของโครงข่ายบานยานจะต้องมีการเรียงลำดับจากน้อยไปหามากมาแล้วและต้องไม่มีหมายเลขปลายทางที่ซ้ำกัน จากรูปการทำงานของโครงข่ายบานยาน จะเห็นว่าชุดข้อมูลที่มีข้อมูล "แอคทีพแพคเก็ท (Active Packet) จะอยู่ทางด้านซ้ายและเรียงจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

น้อยไปหามาก มีแอ็คทิวิตี้บิตเป็น “0” ส่วนชุดข้อมูลที่ไม่มีข้อมูล (Inactive Packet) ซึ่งมีแอ็คทิวิตี้บิตเป็น “1” นั้น จะอยู่ทางด้านขวาทั้งหมด ในการกำหนดเส้นทางการเชื่อมโยงจะใช้สถานะของแต่ละบิตของส่วนหัวของชุดข้อมูลมาเป็นตัวกำหนดเส้นทาง โดยมีความสัมพันธ์กับแอ็คทิวิตี้บิต โดยบิตแรก (MSB) จะใช้กำหนดเส้นทางการเชื่อมโยงของสถานะวงจรสวิตซ์ในภาคแรกของโครงข่าย และในบิตที่ 2 ก็จะกำหนดเส้นทางการเชื่อมโยงของสถานะวงจรสวิตซ์ในภาคที่สอง โดยใช้วงจรชิพรีจีสเตอร์ในการเลื่อนบิตข้อมูลซึ่งจะกล่าวในหัวข้อถัดไป เลื่อนไปเรื่อยๆ จนถึงบิตสุดท้ายของส่วนหัวของชุดข้อมูล ซึ่งใช้กำหนดเส้นทางการเชื่อมโยงของสถานะวงจรสวิตซ์ในภาคสุดท้ายของโครงข่าย ในระหว่างที่ข้อมูลถูกเลื่อนออกไปนั้น วงจรสวิตซ์จะปรับปรุงเส้นทางการเชื่อมโยงและค้างสถานะไว้จนกว่าชุดข้อมูลจะถูกเลื่อนผ่านโครงข่ายจนหมด และจัดส่งไปยังปลายทางตามหมายเลขปลายทางของชุดข้อมูลถูกต้อง วงจรสวิตซ์จึงจะทำการปรับปรุงสถานะตัวมันเองให้พร้อมที่จะรับชุดข้อมูลอื่นๆ อีกต่อไป ซึ่งเป็นคุณสมบัติของโครงข่ายบานยาน



รูปที่ 5.11 วงจรการทำงานของโครงข่ายบานยาน

จากรูป 5.11 จะเห็นว่าชุดข้อมูลที่มีหมายเลขปลายทาง “2” หรือ 0010 จะมีแอ็คทิวิตี้บิตเท่ากับ “0” กล่าวคือจะมีแอ็คทีฟแพคเก็ต (Active Packet) เข้ามาทางอินพุท จาก “0010” จะเห็นว่ามีบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลที่มีนัยสำคัญสูงสุด (MSB) คือ "0" ถูกป้อนเข้าที่อินพุท I0 ของสเตจแรก ในทำนองเดียวกัน ทางอินพุท I1 ของสเตจแรกก็รับชุดข้อมูลหมายเลข "12" (1100b) ซึ่งเป็น แอ็คทีฟแพคเก็ต (Active Packet) เช่นกัน มีบิตข้อมูลส่วนหัวที่มีนัยสำคัญสูงสุดคือ "1" เมื่อทำการเปรียบเทียบกันแล้วจะได้เงื่อนไขในการเชื่อมโยงเป็น "0001" ซึ่งจะทำให้วงจรสวิตซ์อยู่ในสภาวะ Straight ดังนั้นเอาท์พุทที่ได้ ชุดข้อมูลหมายเลข 2 จะไปปรากฏที่เอาท์พุท O0 ทางด้านบน ส่วนชุดข้อมูลหมายเลข 12 จะไปปรากฏที่เอาท์พุท O1 ทางด้านล่าง ในสเตจถัดมาชิพรีจีสเตอร์จะทำการเลื่อนบิต คือ จะได้บิตที่ถัดจากบิต (MSB) ไปหนึ่งบิตของชุดข้อมูลหมายเลข 2 และจะถูกป้อนเข้าที่อินพุท I0 ของสเตจที่สอง ส่วนอินพุท I1 ของสเตจที่สองจะรับชุดข้อมูลหมายเลข 6 (0110b) โดยเปรียบเทียบกับบิตที่สองของชุดข้อมูลหมายเลข 6 ดังนั้นสถานะของวงจรสวิตซ์จะได้เป็น Straight เช่นกัน จึงได้เอาท์พุทชุดข้อมูลหมายเลข 2 ออกทางด้านบน O0 ของสเตจที่สองและชุดข้อมูลหมายเลข 6 ออกทางด้านล่าง O1 ชุดข้อมูลหมายเลข 2 จะถูกส่งไปยังอินพุท I0 ของสเตจที่สาม และจะเปรียบเทียบกับชุดข้อมูลที่เป็น อินแอ็คทีฟแพคเก็ต (Inactive Packet) คือไม่มีชุดข้อมูลเข้ามา ดังนั้นสถานะของวงจรสวิตซ์สเตจที่สามจึงได้เป็น Exchange ชุดข้อมูลหมายเลข 2 จึงถูกส่งออกที่เอาท์พุท O1 ของสเตจที่สาม และต่อเข้ากับอินพุท I0 ของสเตจที่สี่ และทำการเปรียบเทียบกับชุดข้อมูลหมายเลข 3 ที่ป้อนเข้ามาทางอินพุท I1 สถานะของวงจรสวิตซ์ในสเตจที่สี่นี้จึงได้เป็น Straight ชุดข้อมูลหมายเลข 2 จึงถูกส่งออกที่เอาท์พุท O0 ของวงจรสวิตซ์ในสเตจที่สี่ ดังนั้นเราจึงได้ชุดข้อมูลหมายเลข 2 ปรากฏที่เอาท์พุท 2 ตามจุดประสงค์ที่ต้องการ ซึ่งเป็นคุณสมบัติของโครงข่ายบานยานนั่นเอง

5.3.3 การออกแบบวงจรโครงข่ายบานยาน

โครงข่ายบานยาน (Banyan Network) เป็นโครงข่ายที่ประกอบไปด้วยวงจรสวิตซ์บานยานซ้ำ ๆ กันจำนวนมากมาต่อรวมกันเป็นโครงข่าย จำนวนของวงจรสวิตซ์บานยานจะขึ้นกับอินพุทที่ต้องการว่ามีมากเท่าใด ซึ่งจะเป็นไปตามสมการที่ (5.4) , (5.5) และ (5.6) ดังที่กล่าวไปแล้วนั้น ในวิทยานิพนธ์ฉบับนี้จะเป็นการออกแบบโครงข่ายบานยานขนาด 16 อินพุท และ 16 เอาท์พุท ดังนี้

$$ROW = 16/2 = 8 \text{ แถว}$$
$$Column = log_2 16 = 4 \text{ หลัก}$$
$$Processing\ Element = 8 x 4 = 32 \text{ วงจร}$$

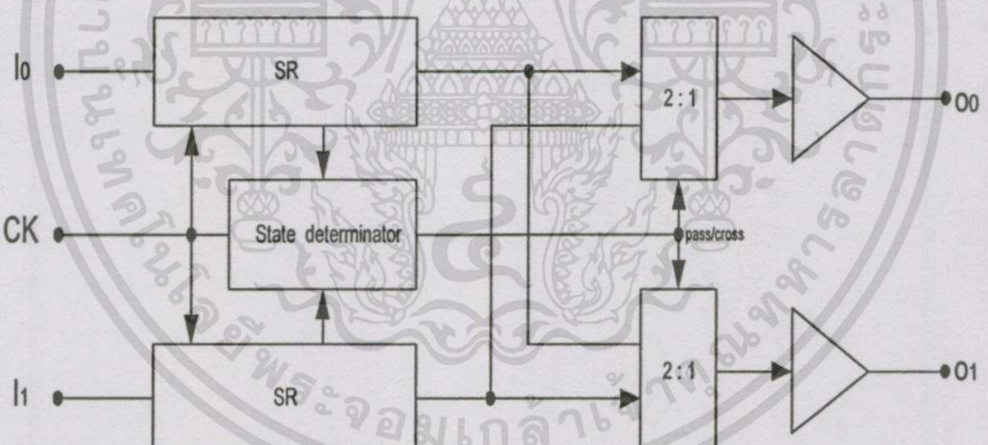
เนื่องจากโครงข่ายประกอบด้วยวงจรสวิตซ์ขนาด 2 x 2 ที่ซ้ำๆ กันจำนวนมาก ดังนั้นการออกแบบวงจรจึงพิจารณาเฉพาะวงจรสวิตซ์บานยานวงจรเดียวเท่านั้น ดังรูป 5.12

วงจรสวิตซ์บานยานนั้น จะสร้างเป็นบานยานอัพซอทอิลิเมนต์ (Banyan Up-sort Element) หรือบานยานเดาท์ซอทอิลิเมนต์ (Banyan Down-sort Element) ก็ได้ แต่ในวิทยานิพนธ์ฉบับนี้จะใช้เฉพาะ บานยานเดาท์ซอทอิลิเมนต์ เท่านั้น หลักการควบคุมการเชื่อมโยงจะใช้บิตแรกซึ่งเป็นบิตที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นัยสำคัญสูงสุด (MSB)ในส่วนหัวของชุดข้อมูลมากำหนดสถานะของการสวิตซ์ในสเตจแรกของวงจรสวิตซ์ และเรียงลำดับต่อไปจนกระทั่งบิตสุดท้ายของส่วนหัวของชุดข้อมูล(LSB)ใช้ควบคุมสเตจสุดท้ายของโครงข่าย

จากรูปบล็อกไดอะแกรมของ บานยานโปรเซสซิ่งอิลิเมนต์ (Banyan Processing Element) จะประกอบด้วยส่วนสำคัญหลักๆ คือ ส่วนของ ชิพรีจีสเตอร์ (SR : Shift Register) , สเตจดีเทอมิเนเตอร์ (SD : State Determinater) , สเตจแล็ซ (SL : State Latch) , และส่วน 2 : 1 มัลติเพล็กเซอร์ เมื่อมีชุดข้อมูลเข้ามาทางอินพุททั้งสอง แอคทิวิตี้บิต (Activity bit) จะถูกเก็บไว้ตรวจสอบกับบิตต่างๆ ในส่วนหัวของชุดข้อมูล เพื่อนำผลเปรียบเทียบไปกำหนดเส้นทางการเคลื่อนที่ของข้อมูลผ่านโครงข่าย โดยสัญญาณจะไปควบคุม 2 : 1 มัลติเพล็กเซอร์ ถ้าสัญญาณมีค่าเป็น "0" จะมีผลทำให้วงจรสวิตซ์มีสภาวะเป็นการเชื่อมต่อโดยตรง Straight แต่ถ้าสัญญาณที่ไปควบคุม 2 : 1 มัลติเพล็กเซอร์มี่ค่าเป็น "1" วงจรสวิตซ์จะสลับเส้นทางให้ชุดข้อมูลเปลี่ยนทิศทางให้ไปออกในทิศทางตรงกันข้าม สวิตซ์จึงมีสภาวะเป็นการเชื่อมต่อแบบ Exchange หลังจากที่วงจรสวิตซ์ทำการปรับเปลี่ยนเส้นทางในการเชื่อมโยงแล้วก็จะยังคงค้างสภาวะเดิมไปจนกว่าชุดข้อมูลจะเคลื่อนที่ผ่านไปจนหมด แล้วจึงทำการปรับสถานะตัวเองให้มีสถานะเป็นปกติตามเดิม พร้อมที่จะรับข้อมูลชุดใหม่ต่อไป



รูปที่ 5.12 บล็อกไดอะแกรมของบานยานโปรเซสซิ่งอิลิเมนต์

5.4 โครงข่ายเชื่อมต่อภายใน

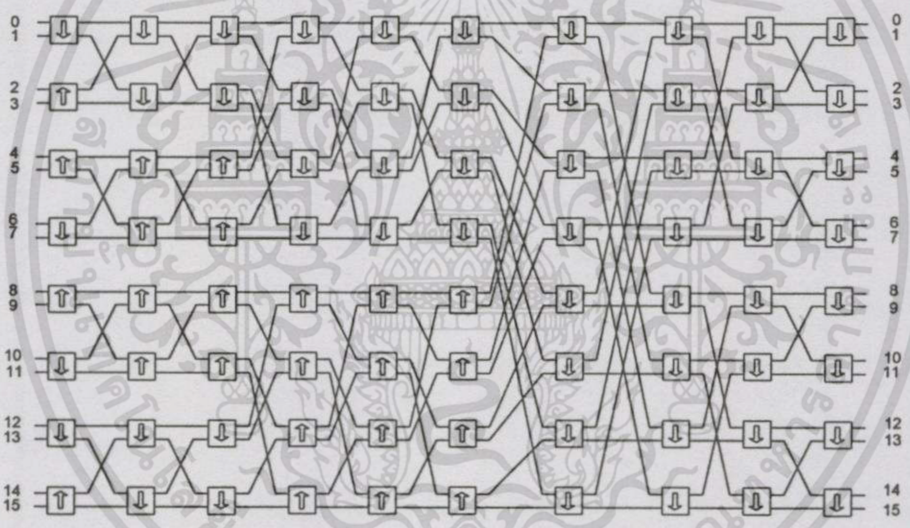
จากที่กล่าวมาแล้วนั้น การออกแบบโครงข่ายเชื่อมต่อภายในนั้นจะประกอบไปด้วย 2 ส่วนใหญ่ๆ คือ ส่วนที่ทำหน้าที่ "ซอททิ้ง" (Sorting Network) ซึ่งจะใช้หลักการของโครงข่ายแบตเชอร์ (Batcher Network) บนพื้นฐานของทฤษฎี "แบตเชอร์ ไบโทนิค ซอทติ้ง อัลกอริทึม" [1] (Batcher Bitonic Sorting Algorithrm) เชื่อมต่อแบบ "เพอเฟ็คท์ชัพเฟิล" (Perfect shuffle) ส่วนที่ 2 จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ทำหน้าที่ "เอ็กซแพนเดอร์" (Expander Network) ใช้หลักการของโครงข่ายบานยาน (Banyan Network) ในการออกแบบวงจรสวิตซ์ เมื่อนำโครงข่ายทั้งสองโครงข่ายมาเชื่อมต่อกันก็จะได้โครงข่ายเชื่อมต่อภายในที่สมบูรณ์ ในวิทยานิพนธ์ฉบับนี้จะออกแบบการใช้งานโครงข่ายขนาด 16 x 16 วงจรเท่านั้น ซึ่งจะประกอบด้วยโครงข่ายแบตเชอร์ 16 x 16 วงจร โครงข่ายบานยาน 16 x 16 วงจร

5.4.1 ส่วนของโครงข่ายแบตเชอร์

ส่วนนี้ทำหน้าที่เป็นซอททิ้งเน็ตเวิร์ค (Sorting Network) ใช้เรียงลำดับข้อมูลที่รับเข้ามาทางอินพุทให้ไปออกที่เอาท์พุทตามหมายเลขปลายทางของชุดข้อมูล ซึ่งหมายเลขปลายทางของข้อมูลที่เข้ามาทางอินพุทจะสลับกันมา และโครงข่ายจะทำหน้าที่เรียงลำดับออกที่เอาท์พุทอย่างเป็นระเบียบ โดยในที่นี้จะใช้คุณสมบัติโครงข่ายที่เรียงจากน้อยไปหามากและขนาดของโครงข่ายเท่ากับ 16 x 16 ซึ่งจะต้องใช้วงจรสวิตซ์แบตเชอร์จำนวนมากถึง 80 วงจร ให้อินพุทและเอาท์พุท 16 ช่องสัญญาณ

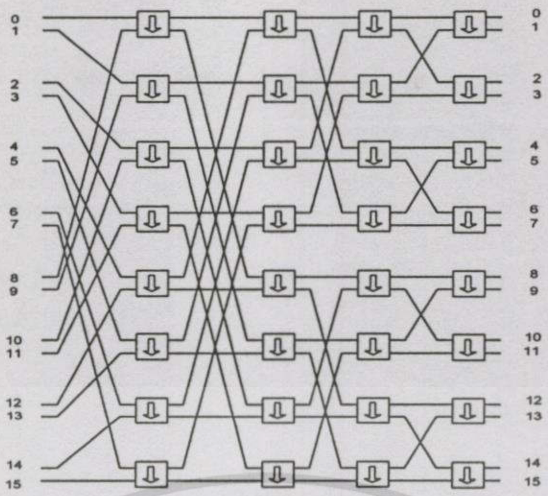


รูปที่ 5.13 โครงข่ายแบตเชอร์ขนาด 16 x 16

5.4.2 ส่วนของโครงข่ายบานยาน

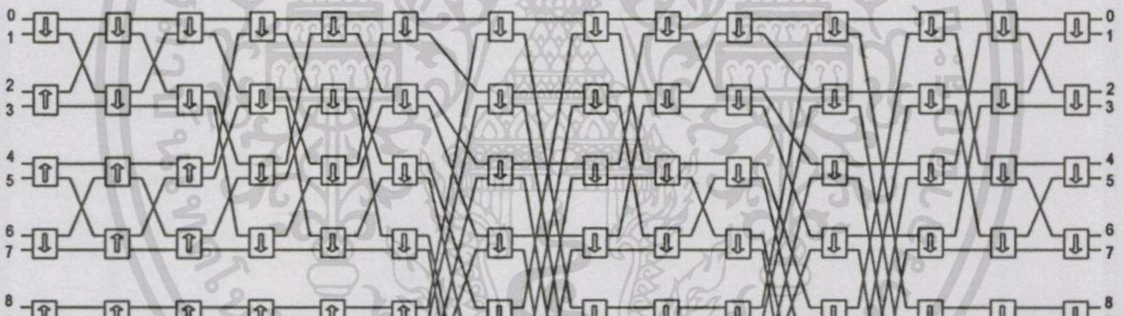
เป็นโครงข่ายที่ใช้ในการจัดส่งข้อมูลไปยังตำแหน่งปลายทาง ที่ถูกต้องตามหมายเลขปลายทางของชุดข้อมูลหรือที่เรียกว่า เอ็กซแพนเดอร์เน็ตเวิร์ค (Expander Network) ชุดข้อมูลที่รับเข้ามาทางอินพุทของโครงข่ายจะต้องเรียงลำดับจากน้อยไปหามากมาแล้ว จึงจะได้คุณสมบัติเป็นไปตามคุณสมบัติโครงข่ายบานยาน ซึ่งจะได้จากเอาท์พุทของโครงข่ายแบตเชอร์นั่นเอง เมื่อรับข้อมูลเข้ามาทางอินพุทแล้ว โครงข่ายจะทำการสับเปลี่ยนเส้นทางการเชื่อมโยงเพื่อให้ได้เอาท์พุทไปออกตามหมายเลขปลายทางที่ถูกต้อง ในที่นี้จะใช้โครงข่ายขนาด 16 x 16 ซึ่งจะต้องใช้สวิตซ์บานยานทั้งหมด 32 วงจร ให้อินพุท และเอาท์พุท 16 ช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 โครงข่ายบานยานขนาด 16 x 16

เมื่อนำโครงข่ายแบตเชอร์และโครงข่ายบานยานทั้งสอง มาเชื่อมต่อกันก็จะได้เป็นโครงข่ายเชื่อมต่อภายในที่สมบูรณ์ ดังรูปที่ 5.15

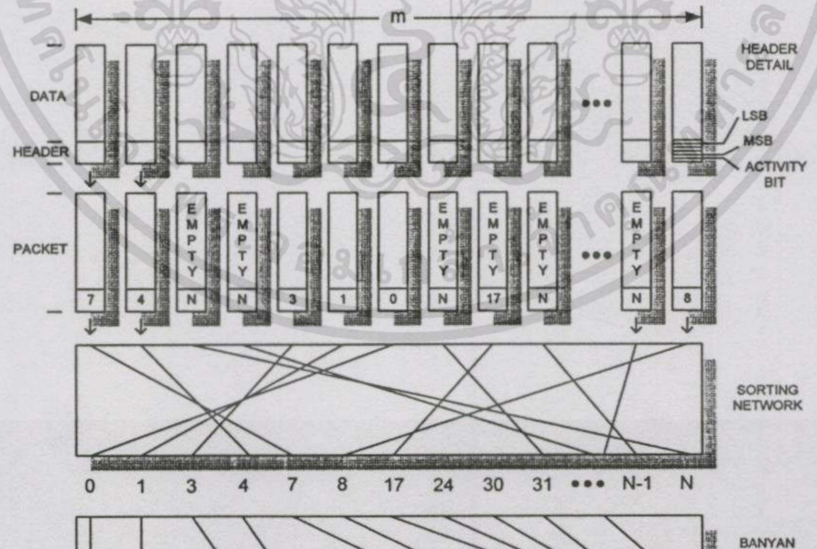


รูปที่ 5.15 โครงข่ายเชื่อมต่อภายในขนาด 16 x 16

จากรูปที่ 5.15 การเชื่อมโยงข้อมูลของโครงข่ายเชื่อมต่อภายในจากอินพุทไปยังเอาท์พุทนั้น ประกอบด้วย โครงข่ายแบตเชอร์ (Batcher Network) และโครงข่ายบานยาน (Banyan Network) นั้น โดยจะพิจารณาจากชุดข้อมูลที่อยู่ "ไทส์สล๊อต" เดียวกัน มีขนาดและความยาวเท่ากัน ส่วนของการซิงโครนัสชุดข้อมูลประกอบด้วยส่วนสำคัญคือ ส่วนแอคทิวิตี้บิต ส่วนเฮดเดอร์ (Header) และส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

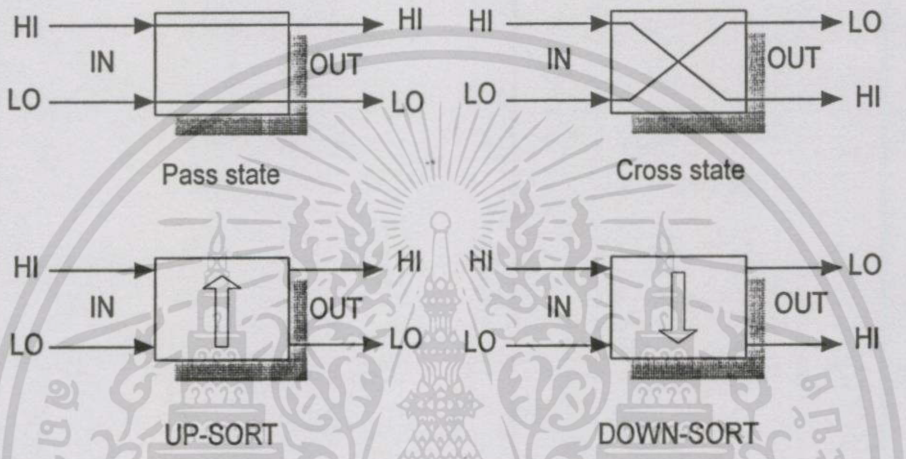
ดาต้า (Data) ในส่วนของแอคทิวิตี้บิตนั้น ถ้าเป็น “0” จะหมายถึงการมีชุดข้อมูล (Active Packet) ส่วนถ้าเป็น “1” จะหมายถึง การไม่มีชุดข้อมูล (Inactive Packet) วงจรเชื่อมต่อภายในจะทำหน้าที่เรียงลำดับข้อมูลขนาด m แพคเก็ต ในแต่ละ ไทส์เฟรม (Time frame) ให้เรียงลำดับจากน้อยไปมาก โดยซอททิ่งเน็ตเวิร์ค และจัดสรรข้อมูลให้ไปออกทางเอาท์พุทตามหมายเลขเอาท์พุทที่ต้องการ โดยเอ็กซแพนเดอร์เน็ตเวิร์ค ซึ่งในการใช้งานจริงนั้นอินพุทบางช่องอาจจะไม่ได้รับข้อมูล แต่ผลที่ได้จากโครงข่ายแบตเชอร์ หรือในส่วนของซอททิ่งเน็ตเวิร์ค ชุดข้อมูลจะถูกเรียงลำดับจากน้อยไปมาก แต่จะไม่มากไปกว่าขนาดของโครงข่าย เอาท์พุทจะมีความสัมพันธ์กันและไม่จำเป็นต้องมีตัวเลขที่เรียงติดกัน พิจารณาจากรูป 5.5 จะเห็นว่าไม่มีชุดข้อมูลหมายเลขปลายทาง 2 ป้อนเข้ามาทางอินพุทเอาท์พุทของโครงข่ายแบตเชอร์ และโครงข่ายบานยานก็จะไม่มีชุดข้อมูลหมายเลขปลายทาง 2 เลยเช่นกัน โครงข่ายจะทำการจัดส่งชุดข้อมูลไปยังเอาท์พุทที่ตำแหน่งที่ถูกต้องตามหมายเลขปลายทางนั้นๆ ซึ่งโครงข่ายที่นำมาเชื่อมต่อกันทั้งสองนี้เราเรียกว่า โครงข่ายเชื่อมต่อภายในด้วยตัวเอง (Self Routing Network) โดยมีคุณสมบัติในการเชื่อมโยงชุดข้อมูลจากอินพุทไปยังเอาท์พุทได้ด้วยตัวเอง ทำงานโดยการอ่านค่าจากส่วนหัวของชุดข้อมูลมากำหนดเส้นทางการเคลื่อนที่ผ่านโครงข่าย อินพุทจะมีแอคทีพแพคเก็ตจำนวนมากต่อเข้ามา โดยคุณสมบัติของโครงข่ายมีลักษณะเป็น “นอนบล็อกกิ้ง (Non-Blocking) ทำให้การปรับตัวของสวิตซ์เพื่อการเชื่อมโยงชุดข้อมูลจากอินพุทไปยังเอาท์พุทสามารถเชื่อมโยงได้โดยไม่มีการเชื่อมหรือชนกัน การหน่วงเวลาของชุดข้อมูลที่เคลื่อนที่ผ่านโครงข่ายจะมีค่าเท่ากันตลอด



รูปที่ 5.16 รูปแบบชุดข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของวงจรสวิตซ์ของโครงข่ายเชื่อมต่อภายใน ก็จะมีสถานะการทำงานดังที่กล่าวมาแล้วในโครงข่ายแบตเชอร์และโครงข่ายบานยาน ซึ่งจะมีลักษณะการทำงานอยู่ 2 ลักษณะคือ Pass และ Cross ซึ่งจะมีสถานะการทำงานแสดงดังรูปที่ 5.17 โดยจะดูได้จากสัญลักษณ์ของลูกศรบนตัววงจรสวิตซ์ซึ่งจะมีอยู่ 2 ชนิดคือ ลูกศรชี้ขึ้น (Upsort Switching Element) และลูกศรชี้ลง (Downsort Switching Element) โดยจะเรียงลำดับหมายเลขปลายทางของชุดข้อมูลให้ไปปรากฏที่เอาท์พุทตามทิศทางของลูกศร ดังรูป 5.17



รูปที่ 5.17 สัญลักษณ์ของการทำงานวงจรสวิตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

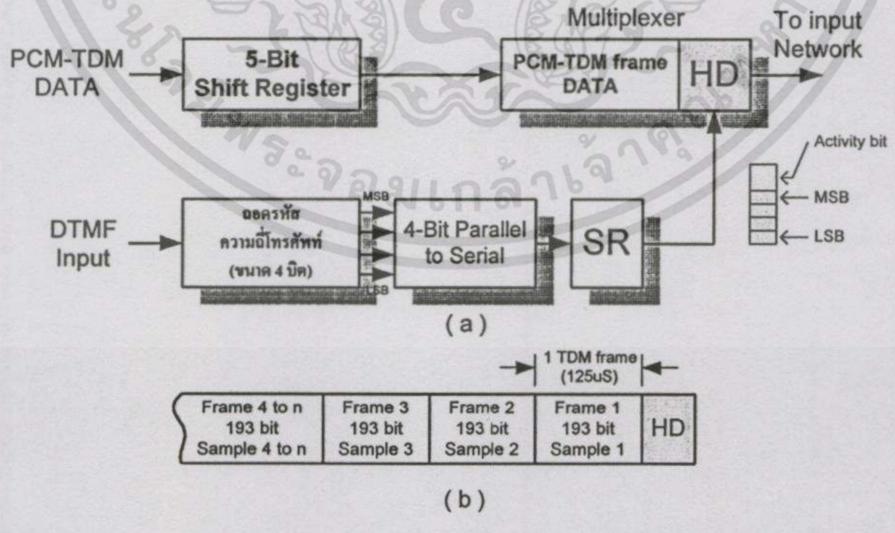
การออกแบบและผลการทดสอบ

6.1 บทนำ

ในการออกแบบโครงข่ายเชื่อมต่อภายในเพื่อใช้สำหรับส่งชุดข้อมูล PCM-TDM frame นั้น ส่วนประกอบหลักๆ คือส่วนของการสร้างสัญญาณการเชื่อมต่อข้อมูลทางอินพุทหรือที่เรียกว่า ส่วนการสร้างบิตส่วนหัว (Header bit) ทำหน้าที่สร้างบิตส่วนหัวขนาด 5 บิต และ ส่วนที่ทำหน้าที่เป็นโครงข่ายเชื่อมต่อภายในเพื่อสวิตซ์ข้อมูลไปยังตำแหน่งปลายทางตามที่ต้องการ

6.2 วงจรการสร้างบิตส่วนหัว (Header bit)

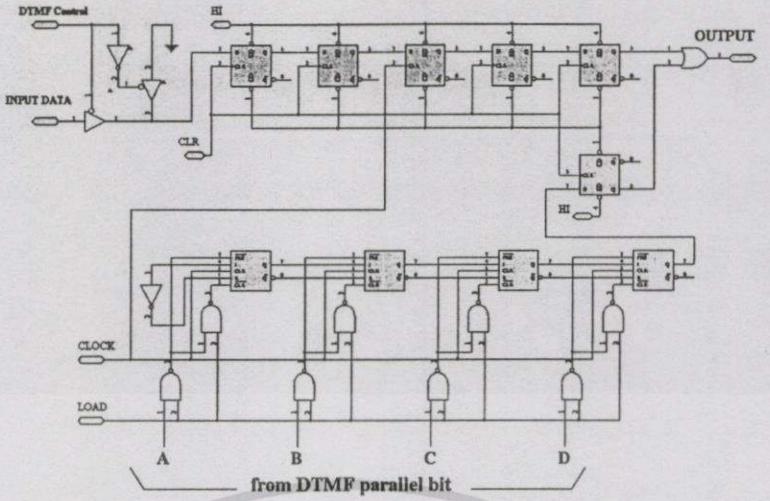
วงจรการสร้างบิตส่วนหัวทำหน้าที่สร้างบิตส่วนหัวขนาด 5 บิต ซึ่งจะได้จากการถอดรหัสความถี่โทรศัพท์ชนิดกดปุ่ม(DTMF) ให้เป็นสัญญาณระบบตัวเลขดิจิตอลขนาด 4 บิต และจาก Shift Register อีก 1 บิต เพื่อใช้เป็นบิตสถานะหรือที่เรียกว่า "แอคติวิทีบิต" (Activity bit) โดย 4 บิตที่ได้จากการถอดรหัสสัญญาณโทรศัพท์ชนิดกดปุ่มนั้นจะใช้เป็นตัวกำหนดหมายเลขปลายทางที่ต้องการจะส่งข้อมูลไป ซึ่งในที่นี้จำนวนบิตขนาด 4 บิต จะสามารถกำหนดหมายเลขปลายทางได้สูงสุด 16 ช่องสัญญาณ ส่วนบิตสถานะหรือ "แอคติวิทีบิต" (Activity bit) จะมีค่าเป็น "0" ซึ่งจะทำให้วงจรสวิตซ์รู้ว่ามีข้อมูล (Active packet) เข้ามาทางอินพุทนั่นเอง



รูปที่ 6.1 (a) บล็อกไดอะแกรมของวงการสร้างบิตส่วนหัว (Header Bit)

(b) TDM packet

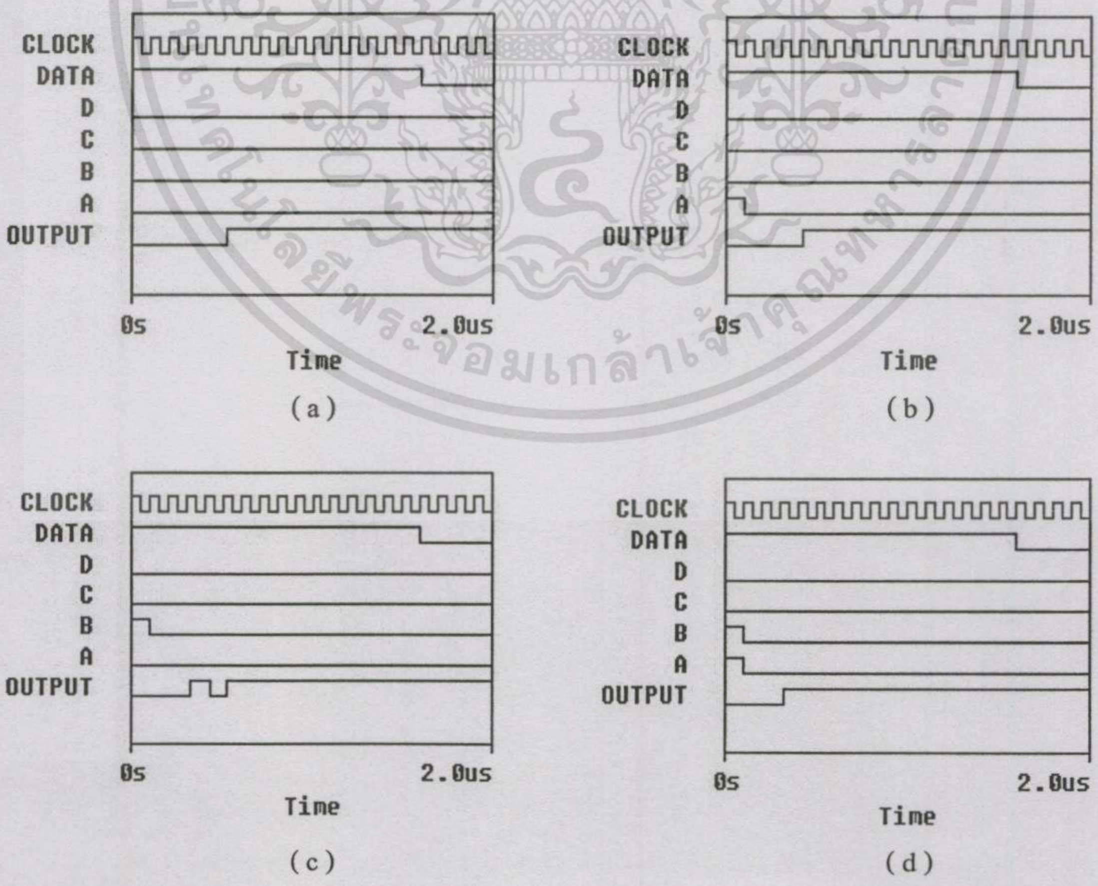
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



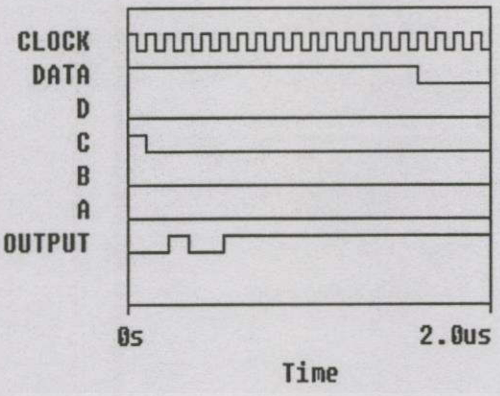
รูปที่ 6.2 วงจรการสร้างบิตส่วนหัว (Header Bit)

ผลการทดสอบ

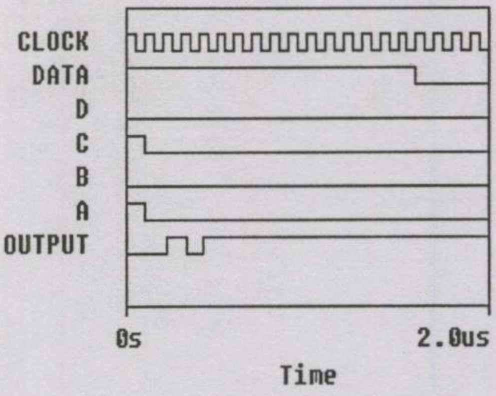
การส่งข้อมูล PCM-TDM frame ไปยังตำแหน่งปลายทาง ซึ่งสามารถเลือกและกำหนดได้สูงสุด 16 ช่องทาง ในที่นี้จะใช้พัลซ์ในการเลียนแบบการกำหนดหมายเลขปลายทางและบิตสถานะในการส่งข้อมูล PCM-TDM frame



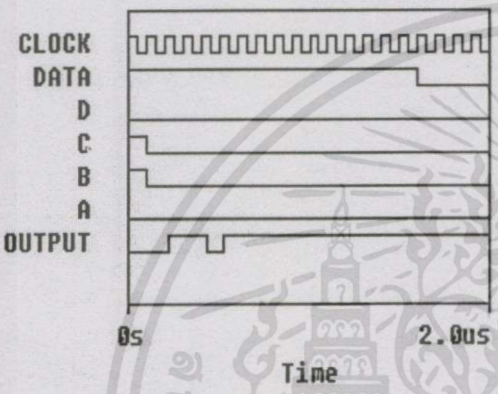
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



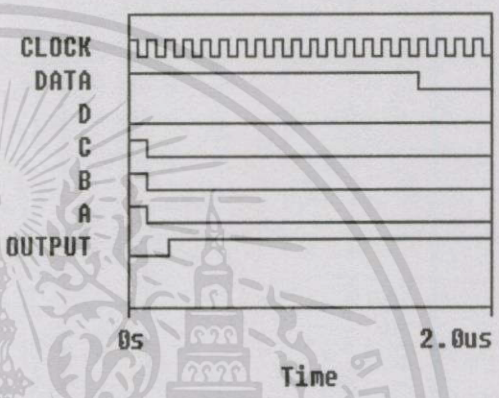
(e)



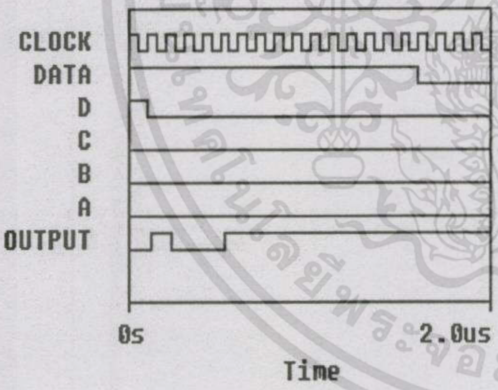
(f)



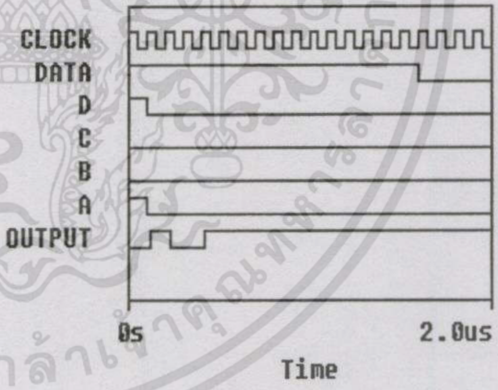
(g)



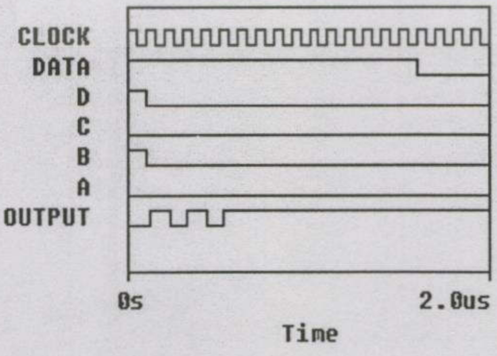
(h)



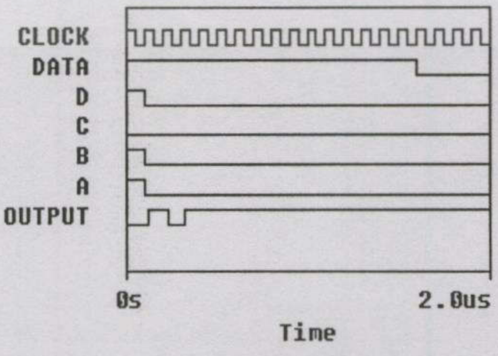
(i)



(j)

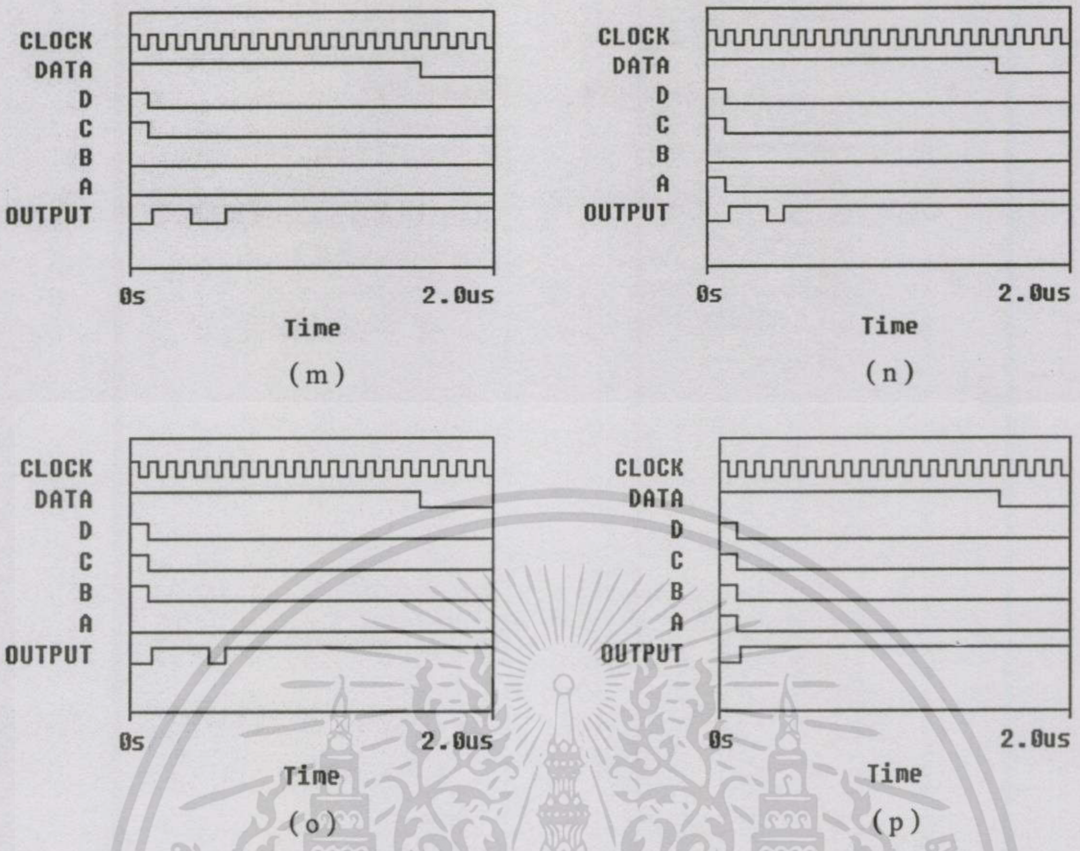


(k)



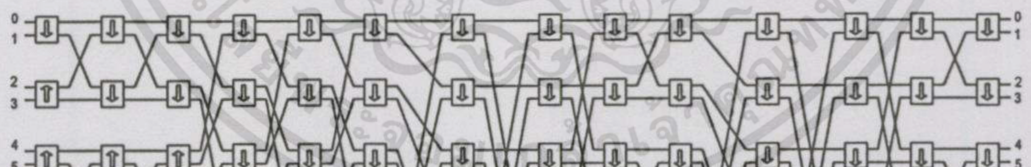
(l)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 แสดงสัญญาณการสร้างบิตส่วนหัว โดยรูปที่ a ถึง p แสดงบิตส่วนหัวช่องสัญญาณที่ 1-16 ตามลำดับ (บิตปลายทาง 0-15)

6.3 โครงข่ายเชื่อมต่อภายใน



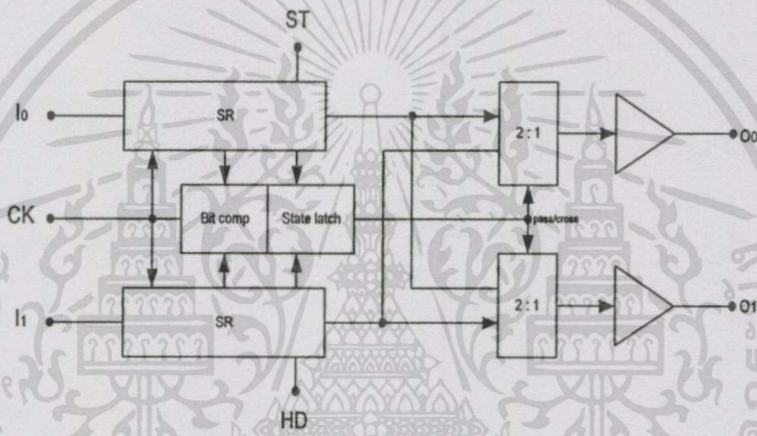
รูปที่ 6.4 โครงข่ายเชื่อมต่อภายในขนาด 16 x 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงข่ายเชื่อมต่อภายในนั้นประกอบไปด้วย 2 ส่วนใหญ่ๆ คือ ส่วนที่ทำหน้าที่เป็น Sorting Network ซึ่งใช้หลักการของโครงข่ายแบตเชอร์ (Batcher Network) และส่วนที่ทำหน้าที่ Expander Network ใช้หลักการของโครงข่ายบานยาน (Banyan Network) และเมื่อนำทั้งสองโครงข่ายมาเชื่อมต่อกันก็จะได้โครงข่ายเชื่อมต่อภายในที่สมบูรณ์

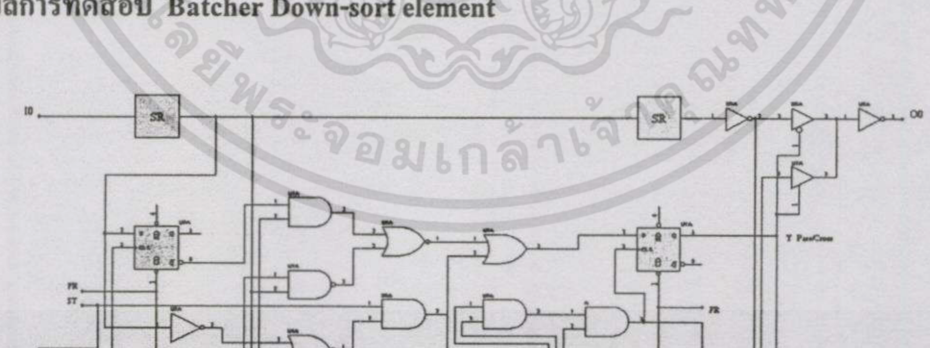
6.3.1 โครงข่ายแบตเชอร์ (Batcher Network)

วงจรสวิตซ์แบตเชอร์จะมี 2 ชนิดด้วยกัน คือ แบตเชอร์อัพซอร์ทอิลีเมนต์ (Batcher Up-sort Eelement) และแบตเชอร์ดาวน์ซอทอิลีเมนต์ (Batcher Down-sort Element)โดยในการออกแบบนั้นจะมีข้อแตกต่างกันเพียงในส่วนของวงจร 2 : 1 Multiplexer เท่านั้น เนื่องจากโครงข่ายประกอบด้วยวงจรสวิตซ์ขนาด 2 x 2 ที่ซ้ำๆ กันจำนวนมาก ดังนั้นจึงพิจารณาการออกแบบเพียงวงจรเดียว



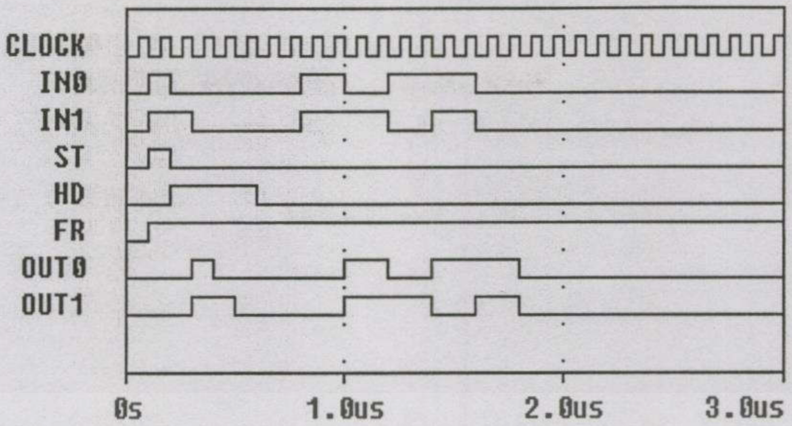
รูปที่ 6.5 บล็อกไดอะแกรมของแบตเชอร์โปรเซสซิ่งอิลิเมนต์ (Batcher Processing Element)

ผลการทดสอบ Batcher Down-sort element

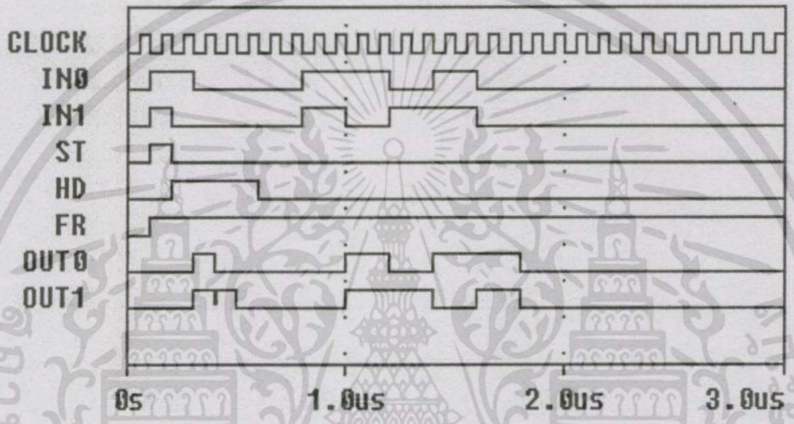


รูปที่ 6.6 วงจรสวิตซ์แบตเชอร์ชนิด Batcher Down-sort element

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)

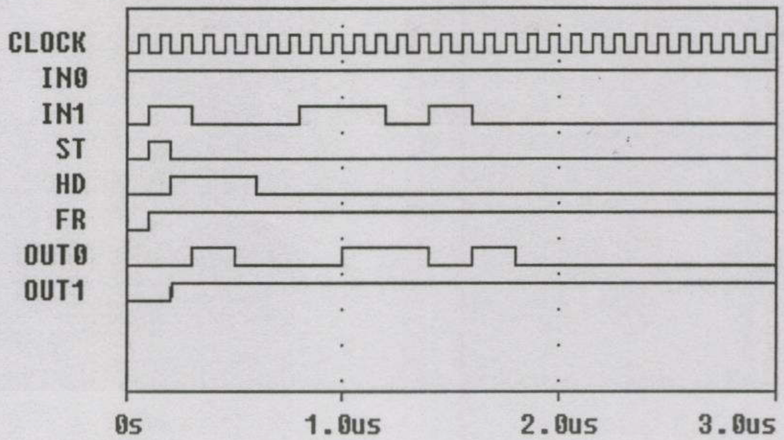
รูปที่ 6.7 ผลการทดสอบวงจรสวิตซ์แบตเชอร์ชนิด Batcher Down-sort element เมื่ออินพุท (I0 , I1) เป็น Active packet (Activity Bit = 0) ทั้งสองด้าน

(a) กรณีเกิดสภาวะ Pass หรือ Straight

(b) กรณีเกิดสภาวะ Cross หรือ Exchange

(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



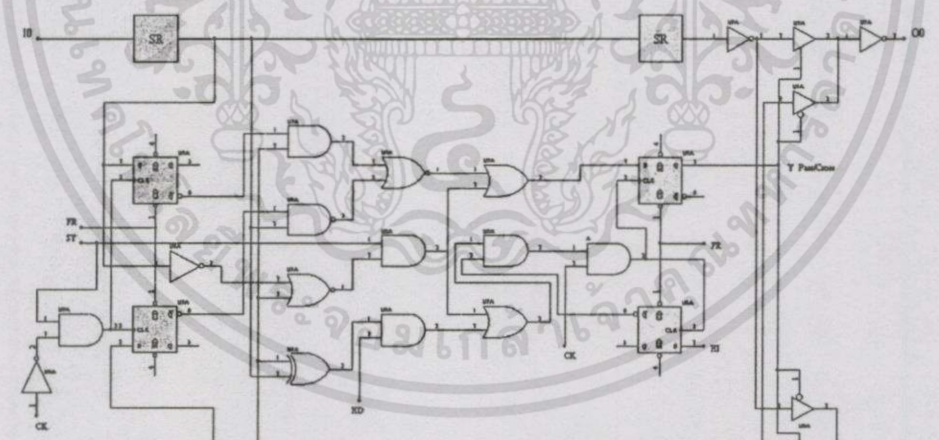
(b)

รูปที่ 6.8 ผลการทดสอบวงจรสวิตซ์แบตเชอร์ชนิด Batcher Down-sort element เมื่อกรณีที่อินพุท (I0 , I1) ด้านใดด้านหนึ่งเป็น Inactive packet (Activity Bit = 1) และอีกด้านหนึ่งเป็น Active packet (Activity Bit = 0)

(a) กรณีเกิดสภาวะ Pass หรือ Straight

(b) กรณีเกิดสภาวะ Cross หรือ Exchange

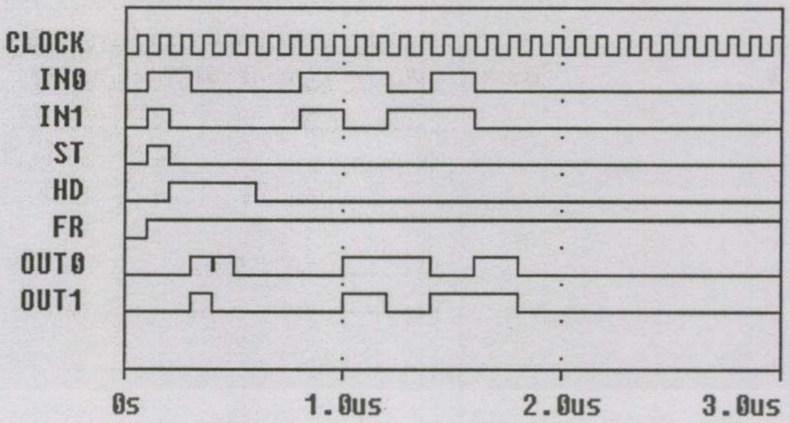
ผลการทดสอบ Batcher Up-sort element



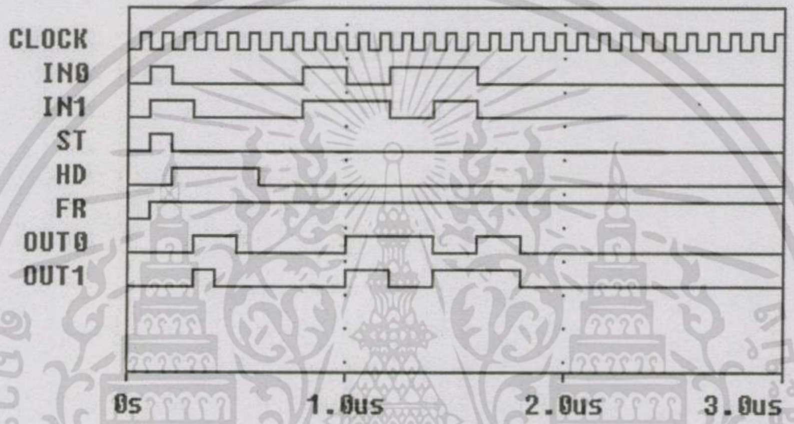
รูปที่ 6.9 วงจรสวิตซ์แบตเชอร์ชนิด Batcher Up-sort element

จากรูปวงจรสวิตซ์แบตเชอร์ชนิด Batcher Up-sort element จะมีลักษณะคล้ายกันกับวงจรสวิตซ์แบตเชอร์ชนิด Batcher Down-sort element โดยมีความแตกต่างกันที่ภาคเอาท์พุทมัลติเพล็กเซอร์ 2 : 1 Multiplexer เท่านั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)

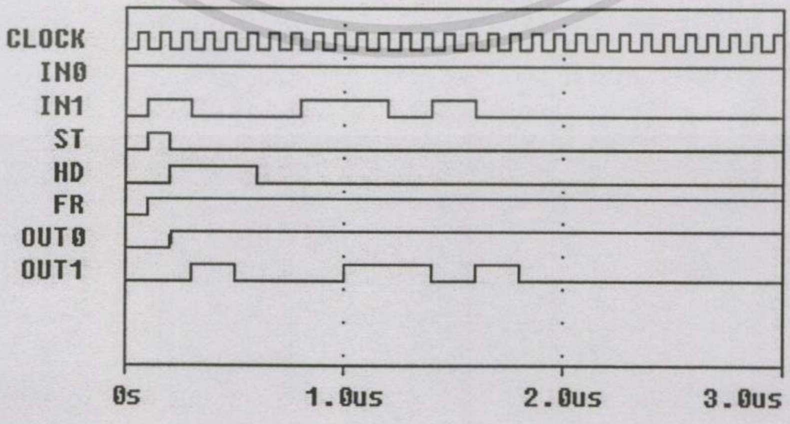


(b)

รูปที่ 6.10 ผลการทดสอบวงจรสวิตซ์แบตเชอร์ชนิด Batcher Up-sort element เมื่ออินพุท (I0 , I1) เป็น Active packet (Activity Bit = 0) ทั้งสองด้าน

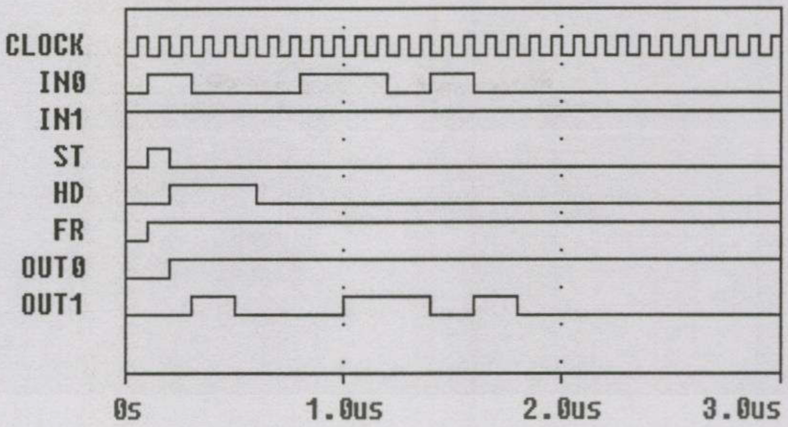
(a) กรณีเกิดสภาวะ Pass หรือ Straight

(b) กรณีเกิดสภาวะ Cross หรือ Exchange



(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

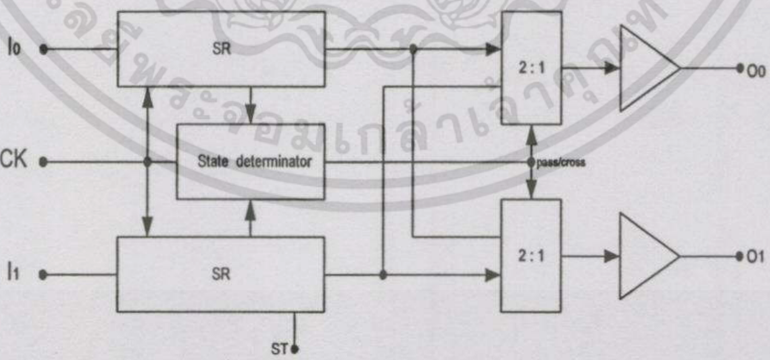
รูปที่ 6.11 ผลการทดสอบวงจรสวิตซ์แบตเชอร์ชนิด Batcher Up-sort element เมื่อกรณีที่อินพุท (I0 , I1) ด้านใดด้านหนึ่งเป็น Inactive packet (Activity Bit = 1) และอีกด้านหนึ่งเป็น Active packet (Activity Bit = 0)

(a) กรณีเกิดสภาวะ Pass หรือ Straight

(b) กรณีเกิดสภาวะ Cross หรือ Exchange

6.3.2 โครงข่ายบานยาน (Banyan Network)

วงจรสวิตซ์บานยานจะมี 2 ชนิด ด้วยกัน คือ บานยานอัพซอร์ทอิลีเมนต์ (Batcher Up-sort Eelement) และบานยานดาวน์ซอทอิลีเมนต์ (Batcher Down-sort Element) โดยในการออกแบบนั้น จะมีข้อแตกต่างกันเพียงในส่วนของวงจร 2 : 1 Multiplexer เท่านั้น เนื่องจากโครงข่ายประกอบด้วย วงจรสวิตซ์ขนาด 2 x 2 ที่ซ้ำๆ กันจำนวนมาก ดังนั้นจึงพิจารณาการออกแบบเพียงวงจรเดียว

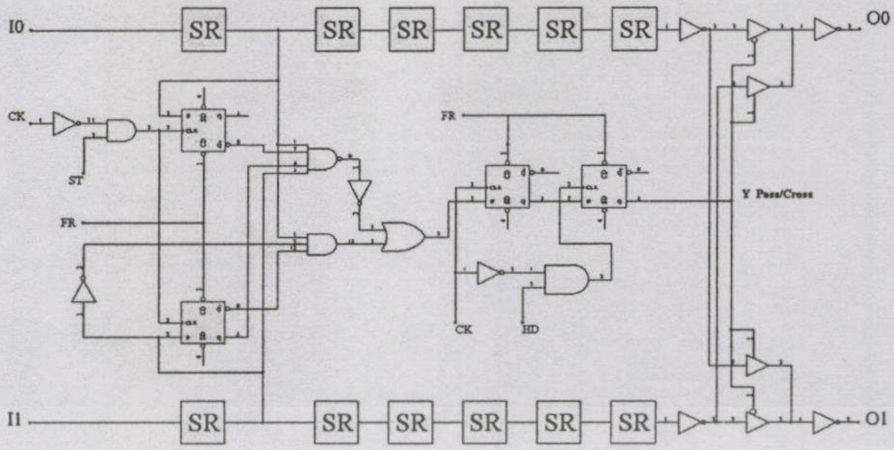


รูปที่ 6.12 บล็อกไดอะแกรมของบานยานโปรเซสซิ่งอิลิเมนต์ (Banyan Processing Element)

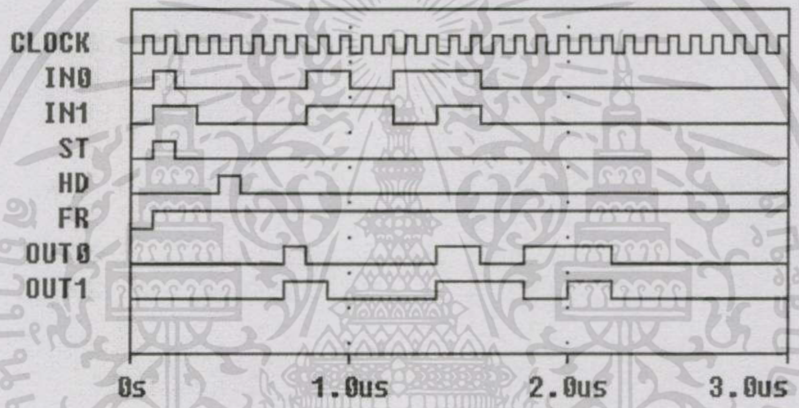
ผลการทดสอบ Banyan Down-sort element

โครงข่ายเชื่อมต่อภายในที่จะทดสอบเลียนแบบการทำงานนี้ ใช้วงจรสวิตซ์บานยานเฉพาะ Banyan Down-sort element เท่านั้น

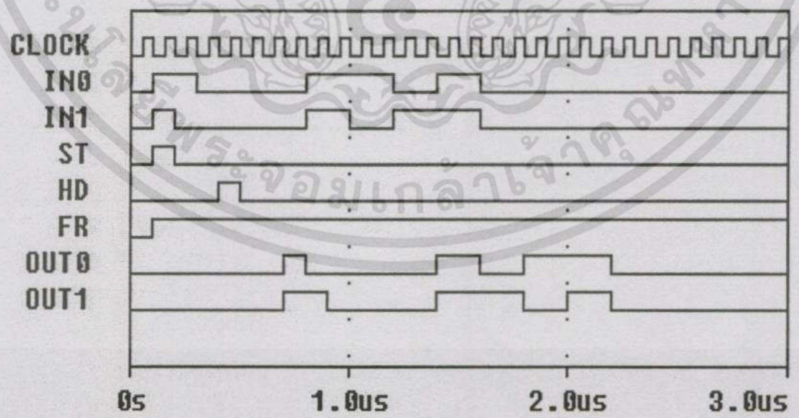
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.13 วงจรสวิตซ์บานยานชนิด Banyan Down-sort element



(a)



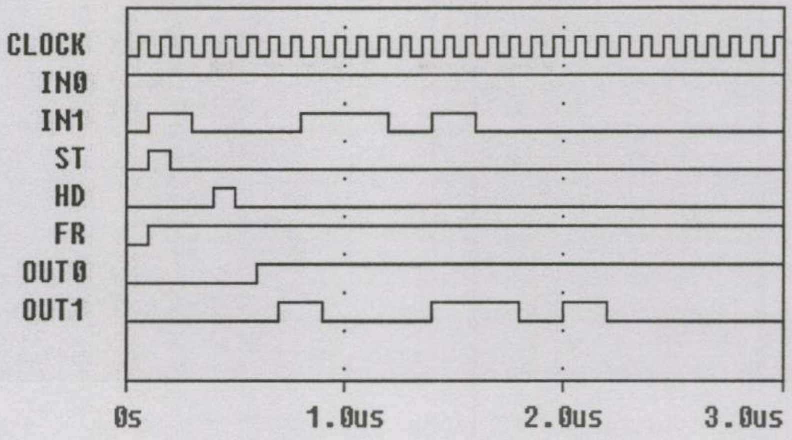
(b)

รูปที่ 6.14 ผลการทดสอบวงจรสวิตซ์บานยานชนิด Banyan Down-sort element เมื่ออินพุท (I0 , I1) เป็น Active packet (Activity Bit = 0) ทั้งสองด้าน

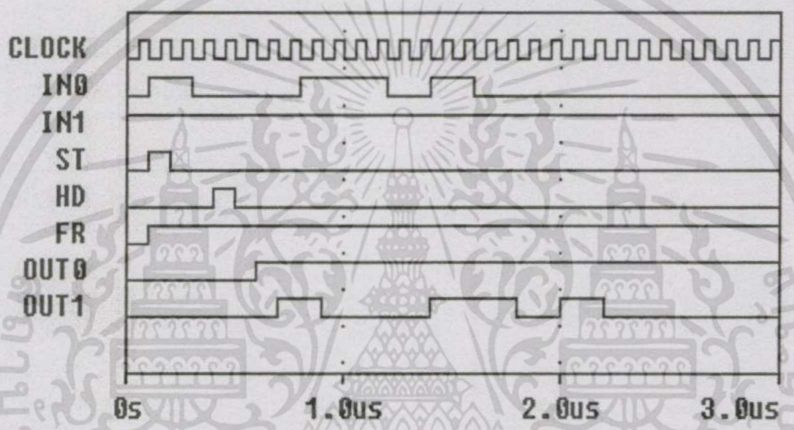
(a) กรณีเกิดสภาวะ Pass หรือ Straight

(b) กรณีเกิดสภาวะ Cross หรือ Exchange

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)

รูปที่ 6.15 ผลการทดสอบวงจรสวิตซ์บานยานชนิด Banyan Down-sort element เมื่อกรณีที่อินพุท (I0 , I1) ด้านใดด้านหนึ่งเป็น Inactive packet (Activity Bit = 1) และอีกด้านหนึ่งเป็น Active packet (Activity Bit = 0)

(a) กรณีเกิดสภาวะ Pass หรือ Straight

(b) กรณีเกิดสภาวะ Cross หรือ Exchange

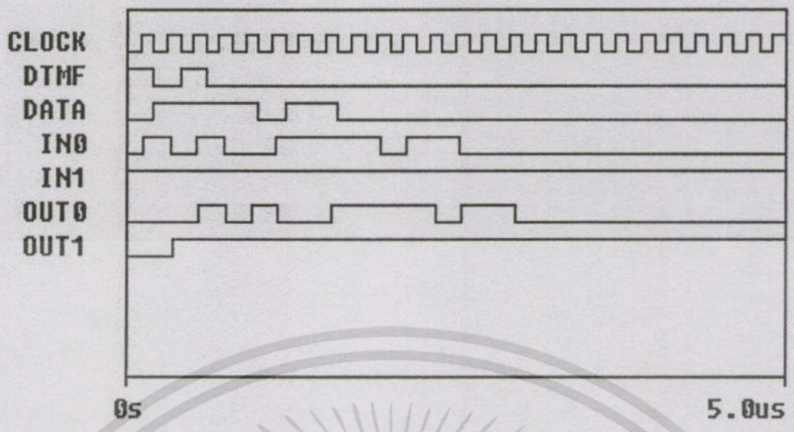
6.4 การทดสอบระบบเมื่อเชื่อมต่อกับวงจรการสร้างบิตส่วนหัวข้อมูล

ในการทดสอบระบบเมื่อเชื่อมต่อกับวงจรการสร้างบิตส่วนหัวของชุดข้อมูลนั้น จะใช้พัลซ์ในการเลียนแบบการทำงานเช่นเดียวกัน โดยเพื่อให้ง่ายและเห็นชัดเจนยิ่งขึ้น จึงทำการทดสอบโดยการป้อนพัลซ์ และสร้างสัญญาณข้อมูลเข้าอินพุทวงจรสวิตซ์เพียงด้านเดียวเท่านั้น โดยอีกด้านหนึ่งของวงจรสวิตซ์จะไม่มีพัลซ์ข้อมูลเข้ามา หรือเป็น Inactive packet (Activity Bit = 0) ซึ่งจะแบ่งการทดสอบเป็นวงจรสวิตซ์ Batcher Down-sort element , Batcher Up-sort element และ วงจรสวิตซ์ Banyan Down-sort element ส่วนวงจรสวิตซ์ Banyan Up-sort element จะไม่ทดสอบเพราะในโครงข่ายเชื่อมต่อภายในที่ออกแบบนี้ไม่มีใช้งาน

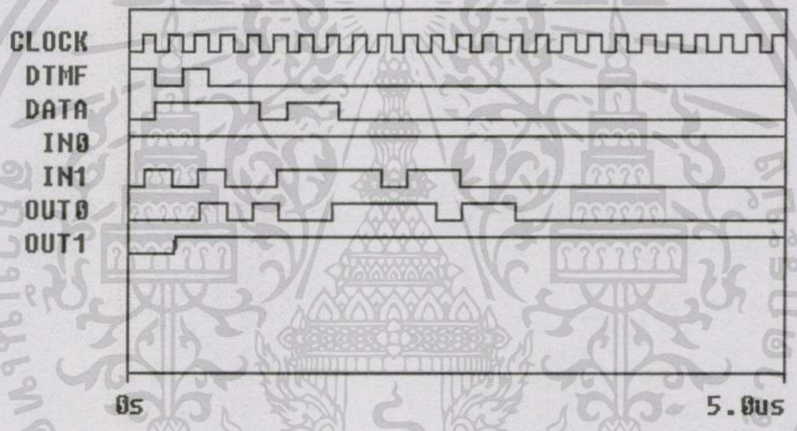
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดสอบระบบ

เมื่อเชื่อมต่อกับวงจรการสร้างบิตส่วนหัวของชุดข้อมูล



(a)

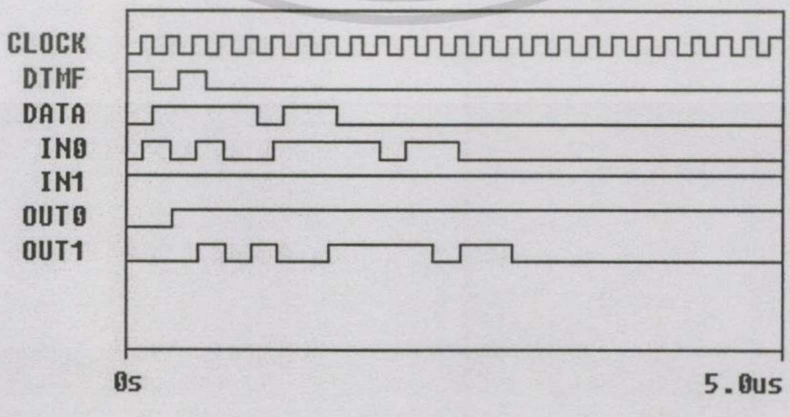


(b)

รูปที่ 6.16 ผลการทดสอบระบบ Batcher Down-sort element

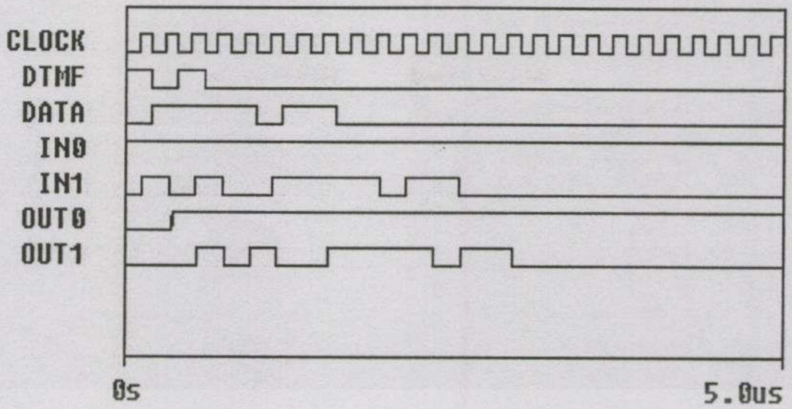
(a) I0 = Active packet , I1 = Inactive packet เกิดสภาวะ Pass หรือ Straight

(b) I0 = Inactive packet , I1 = Active packet เกิดสภาวะ Cross หรือ Exchange



(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

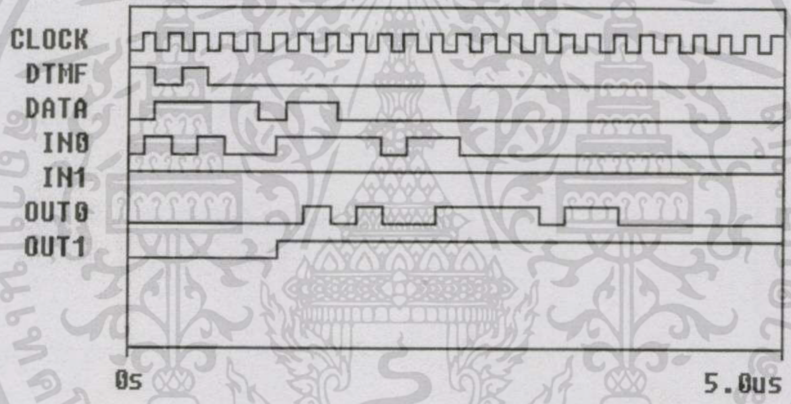


(b)

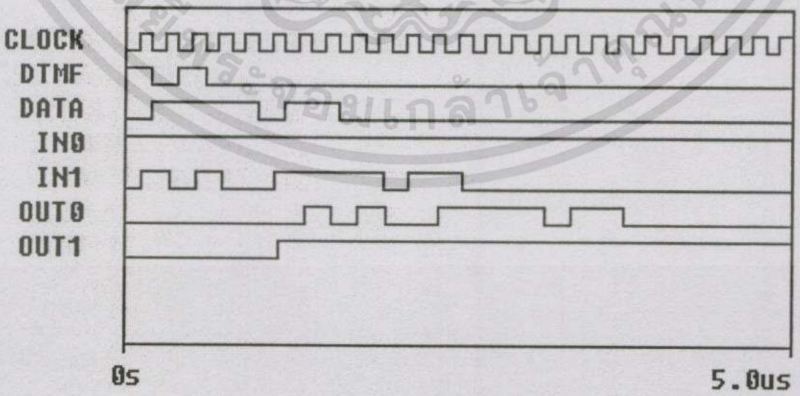
รูปที่ 6.17 ผลการทดสอบระบบ Batcher Up-sort element

(a) I0 = Active packet , I1 = Inactive packet เกิดสภาวะ Cross หรือ Exchange

(b) I0 = Inactive packet , I1 = Active packet เกิดสภาวะ Pass หรือ Straight



(a)



(b)

รูปที่ 6.18 ผลการทดสอบระบบ Banyan Down-sort element

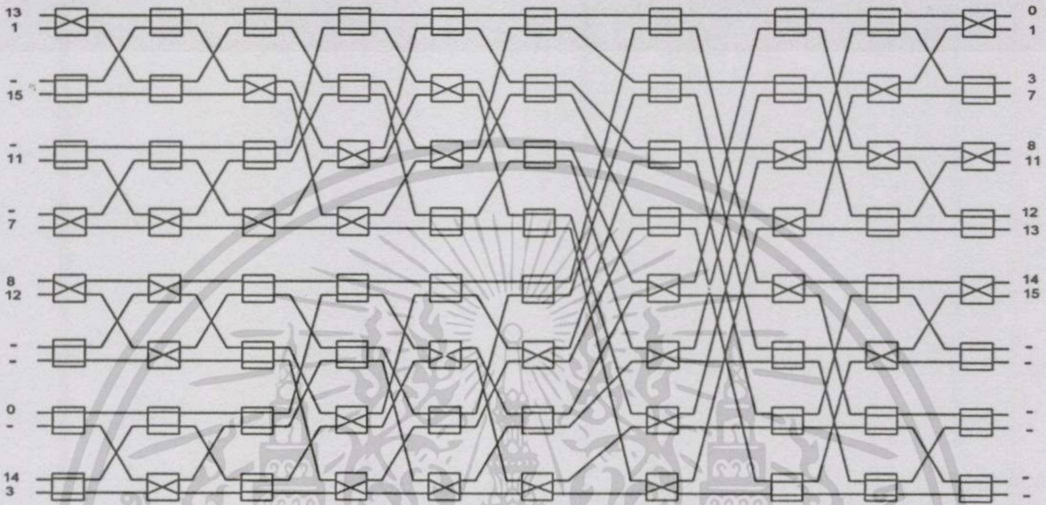
(a) I0 = Active packet , I1 = Inactive packet เกิดสภาวะ Pass หรือ Straight

(b) I0 = Inactive packet , I1 = Active packet เกิดสภาวะ Cross หรือ Exchange

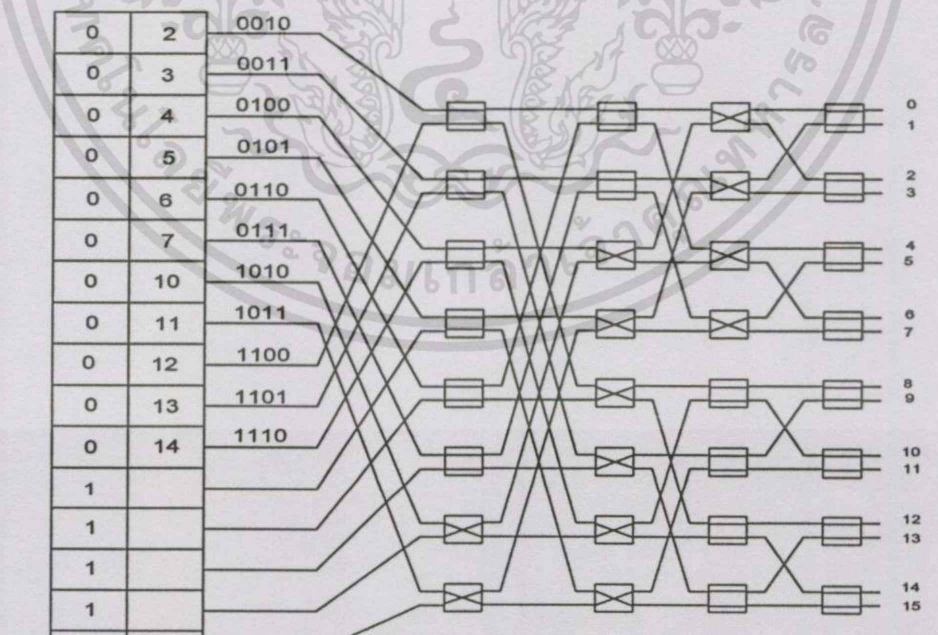
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 การทดสอบการส่งข้อมูลผ่านโครงข่ายเชื่อมต่อภายใน

การทดสอบการส่งข้อมูลผ่านโครงข่ายเชื่อมต่อภายในนั้น จะเป็นการเลียนแบบการทำงาน โดยใช้พัลซ์ป้อนเข้าแต่ละสเตจของวงจรสวิตซ์โครงข่ายเชื่อมต่อภายใน โดยจะอ้างอิงรูปแบบการเชื่อมต่อเป็นหลัก



รูปที่ 6.19 โครงข่ายแบตเชอร์ที่ใช้พิจารณาในการเลียนแบบ



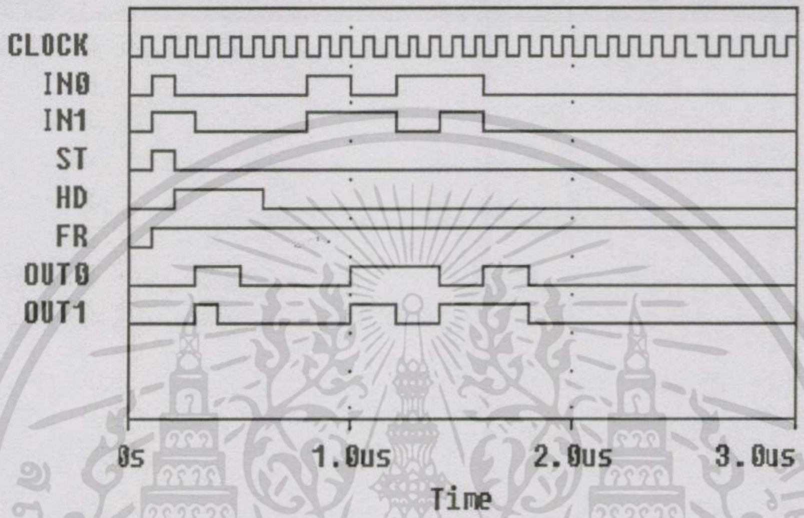
รูปที่ 6.20 โครงข่ายบานยานที่ใช้พิจารณาในการเลียนแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดสอบ

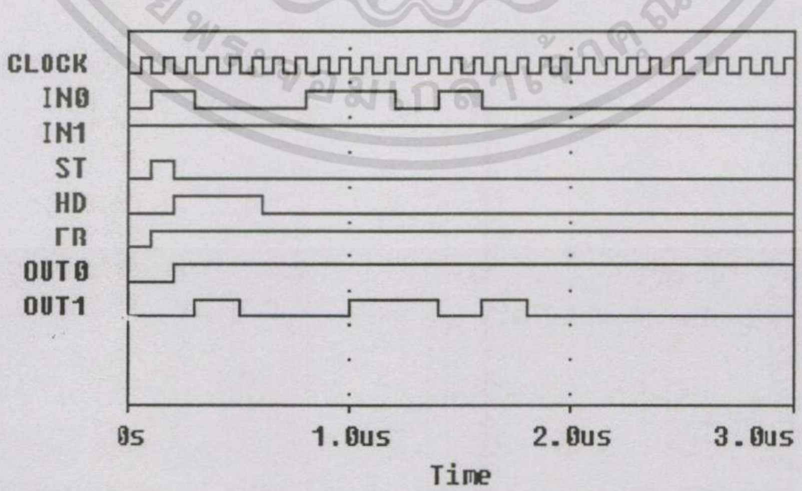
ผลการทดสอบในส่วนของโครงข่ายแบตเชอร์ (Batcher processing element) พิจารณาจาก รูปที่ 6.19 โดยอ้างอิงการส่งข้อมูลที่มีหมายเลขปลายทาง 12(1100b)

สเตจที่ 1 พิจารณา Row 5 , Column 1 ใช้วงจรสวิตซ์แบบ Batcher Up-sort element โดยมีอินพุทหมายเลขปลายทาง 8 กับ 12 ที่ I0 = 8(1000b) , I1 = 12(1100b)



รูปที่ 6.21 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 1 ได้สภาวะเป็น Cross หรือ Exchange

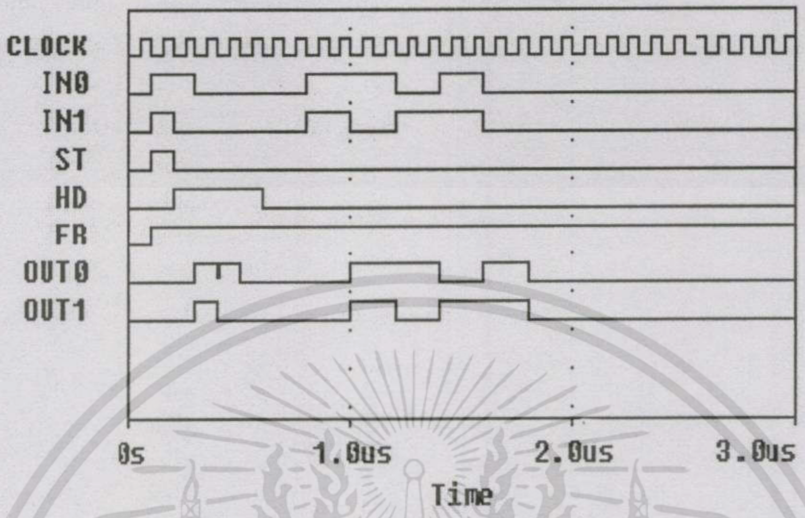
สเตจที่ 2 พิจารณา Row 5 , Column 2 ใช้วงจรสวิตซ์แบบ Batcher Up-sort element โดยมีอินพุท 12 กับ Inactive packet ที่ I0 = 12(1100b) , I1 = Inactive packet



รูปที่ 6.22 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 2 ได้สภาวะเป็น Cross หรือ Exchange

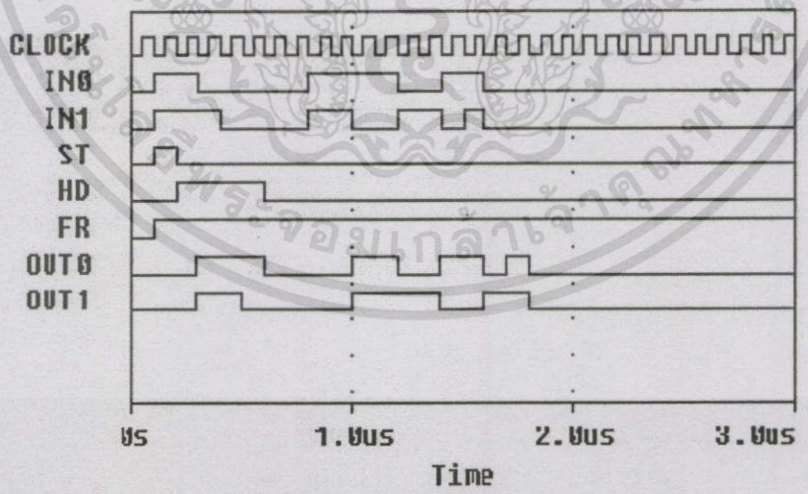
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>สเตจที่ 3</u> พิจารณา Row 6 , Column 3 ใช้วงจรสวิตซ์แบบ Batcher Up-sort element โดยมีอินพุทหมายเลขปลายทาง 12 กับ 8 ที่ I0 = 12(1100b) , I1 = 8(1000b)



รูปที่ 6.23 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 3 ได้สภาวะเป็น Pass หรือ Straight

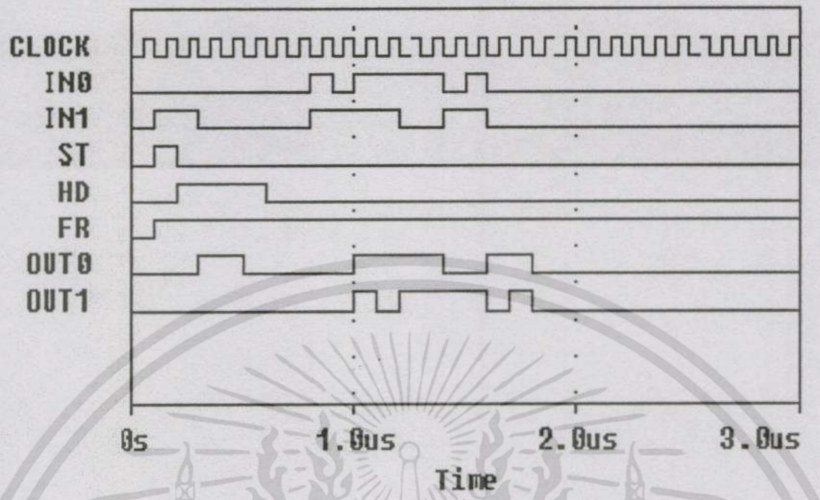
<u>สเตจที่ 4</u> พิจารณา Row 7 , Column 4 ใช้วงจรสวิตซ์แบบ Batcher Up-sort element โดยมีอินพุทหมายเลขปลายทาง 12 กับ 14 ที่ I0 = 12(1100b) , I1 = 14(1110b)



รูปที่ 6.24 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 4 ได้สภาวะเป็น Cross หรือ Exchange

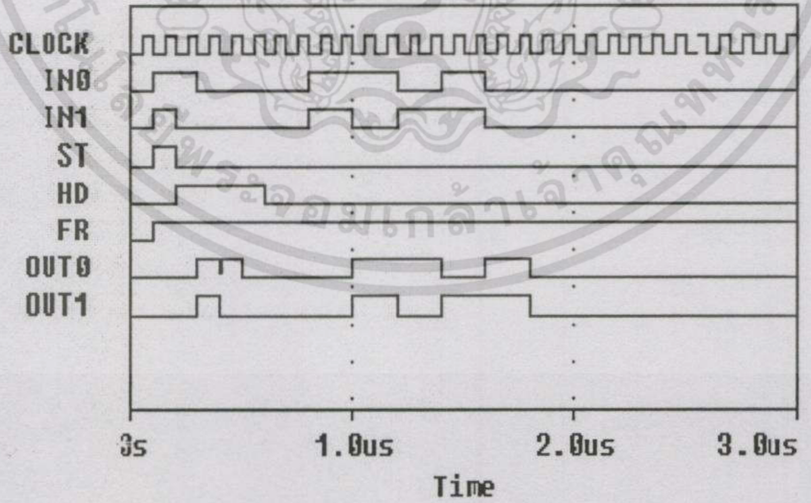
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>สเตจที่ 5</u> พิจารณา Row 6 , Column 5 ใช้วงจรสวิตซ์แบบ Batcher Up-sort element โดยมีอินพุทหมายเลขปลายทาง 0 กับ 12 ที่ I0 = 0(0000b) , I1 = 12(1100b)



รูปที่ 6.25 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 5 ได้สภาวะเป็น Cross หรือ Exchange

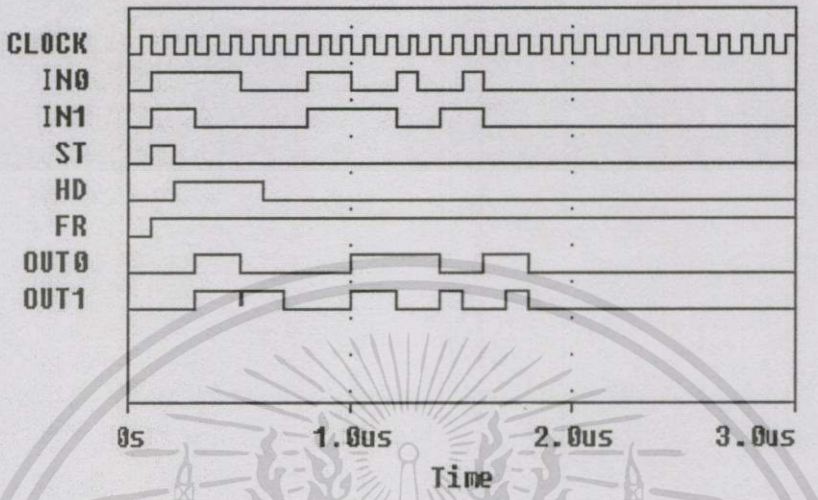
<u>สเตจที่ 6</u> พิจารณา Row 7 , Column 6 ใช้วงจรสวิตซ์แบบ Batcher Up-sort element โดยมีอินพุทหมายเลขปลายทาง 12 กับ 8 ที่ I0 = 12(1100b) , I1 = 8(1000b)



รูปที่ 6.26 สัญญาณการทดสอบ Batcher Up-sort element สเตจที่ 6 ได้สภาวะเป็น Pass หรือ Straight

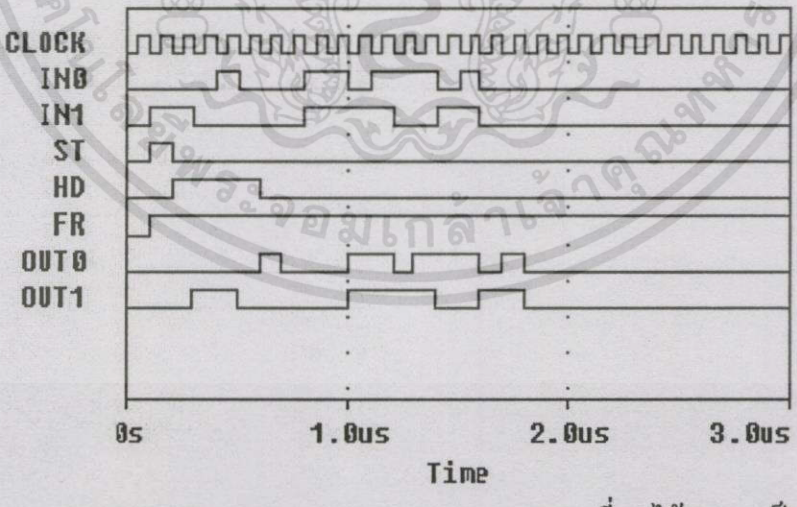
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>สเตจที่ 7</u> พิจารณา Row 5 , Column 7 ใช้วงจรสวิตซ์แบบ Batcher Down-sort element โดยมีอินพุทหมายเลขปลายทาง 15 กับ 12 ที่ I0 = 15(1111b) , I1 = 12(1100b)



รูปที่ 6.27 สัญญาณการทดสอบ Batcher Down-sort element สเตจที่ 7 ได้สภาวะเป็น Cross หรือ Exchange

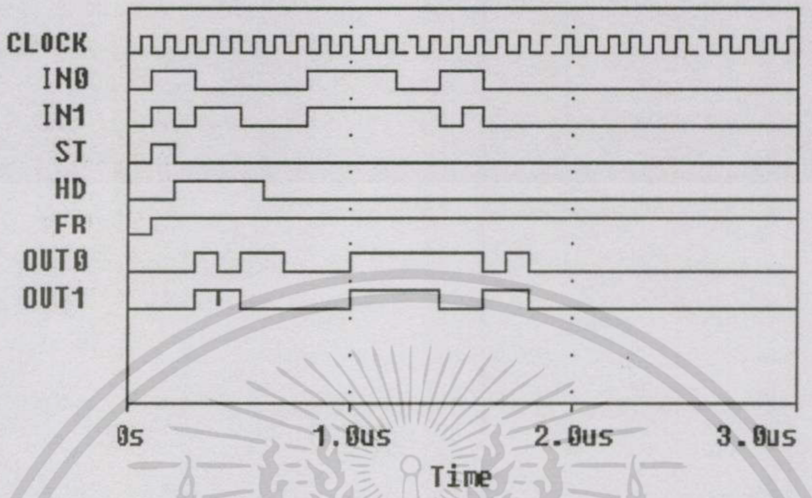
<u>สเตจที่ 8</u> พิจารณา Row 1 , Column 8 ใช้วงจรสวิตซ์แบบ Batcher Down-sort element โดยมีอินพุทหมายเลขปลายทาง 1 กับ 12 ที่ I0 = 1(0001b) , I1 = 12(1100b)



รูปที่ 6.28 สัญญาณการทดสอบ Batcher Down-sort element สเตจที่ 8 ได้สภาวะเป็น Pass หรือ Straight

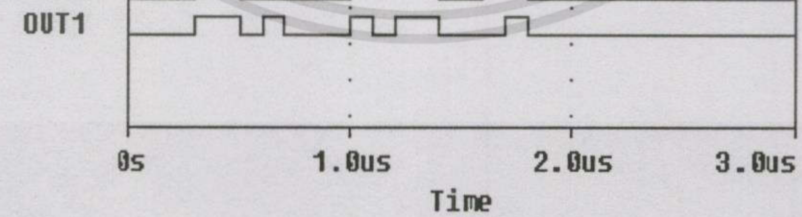
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>สเตจที่ 9</u> พิจารณา Row 3 , Column 9 ใช้วงจรสวิตซ์แบบ Batcher Down-sort element โดยมีอินพุทหมายเลขปลายทาง 12 กับ 11 ที่ I0 = 12(1100b) , I1 = 11(1011b)



รูปที่ 6.29 สัญญาณการทดสอบ Batcher Down-sort element สเตจที่ 9 ได้สภาวะเป็น Cross หรือ Exchange

<u>สเตจที่ 10</u> พิจารณา Row 4 , Column 10 ใช้วงจรสวิตซ์แบบ Batcher Down-sort element โดยมีอินพุทหมายเลขปลายทาง 12 กับ 13 ที่ I0 = 12(1100b) , I1 = 13(1101b)

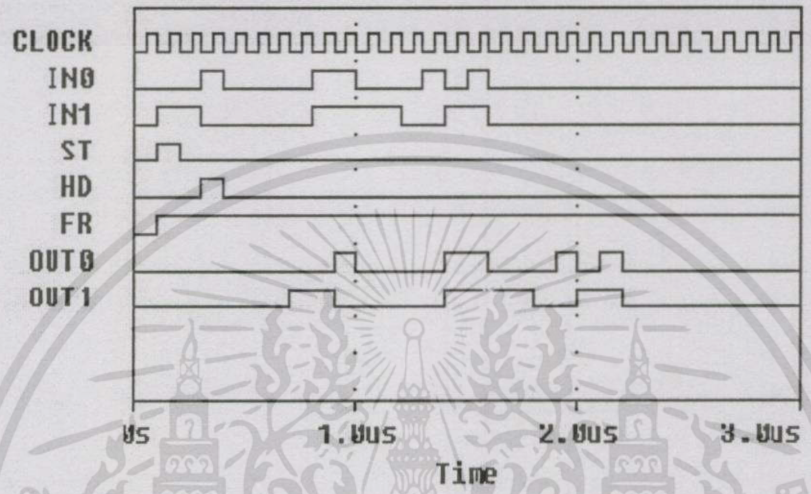


รูปที่ 6.30 สัญญาณการทดสอบ Batcher Down-sort element สเตจที่ 10 ได้สภาวะเป็น Pass หรือ Straight

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

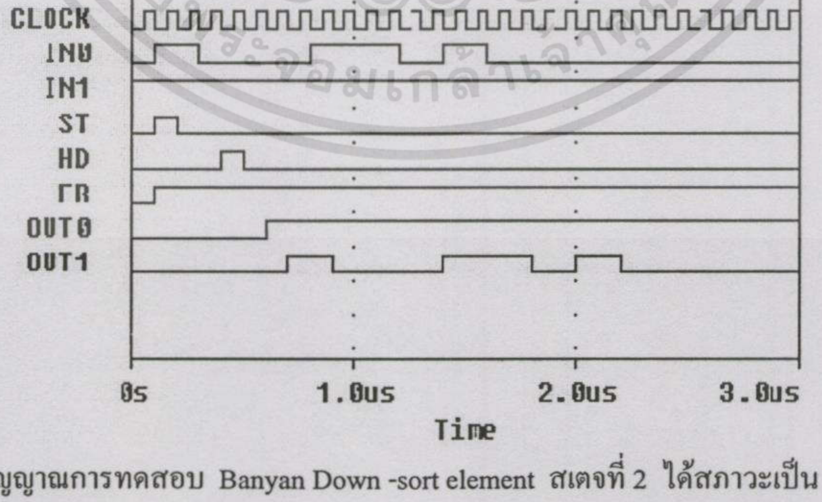
ผลการทดสอบในส่วนของโครงข่ายบานยาน (Banyan processing element) พิจารณาจาก รูปที่ 6.20 โดยอ้างอิงการส่งข้อมูลที่มีหมายเลขปลายทาง 12(1100b) เช่นเดียวกัน

<u>สเตจที่ 1</u> พิจารณา Row 1 , Column 1 ใช้วงจรสวิตซ์แบบ Banyan Down-sort element โดยมีอินพุทหมายเลขปลายทาง 2 กับ 12 ที่ I0 = 2(0010b) , I1 = 12(1100b)



รูปที่ 6.31 สัญญาณการทดสอบ Banyan Down-sort element สเตจที่ 1 ได้สภาวะเป็น Pass หรือ Straight

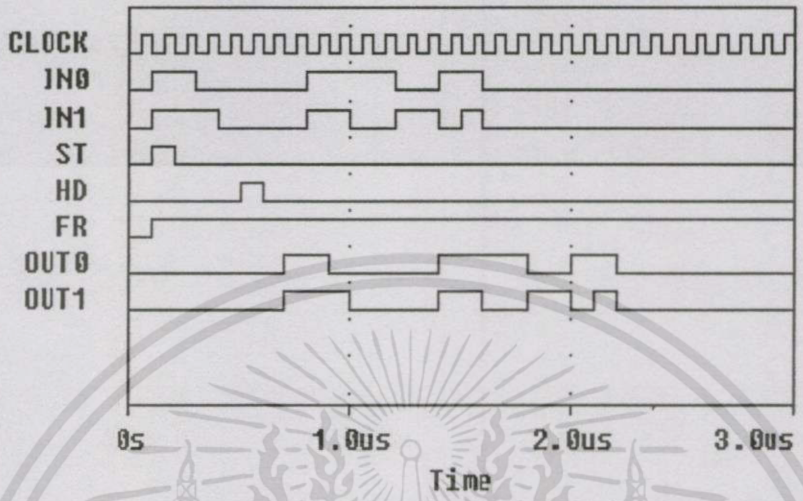
<u>สเตจที่ 2</u> พิจารณา Row 5 , Column 2 ใช้วงจรสวิตซ์แบบ Banyan Down-sort element โดยมีอินพุท 12 กับ Inactive packet ที่ I0 = 12(1100b) , I1 = Inactive packet



รูปที่ 6.32 สัญญาณการทดสอบ Banyan Down -sort element สเตจที่ 2 ได้สภาวะเป็น Cross หรือ Exchange

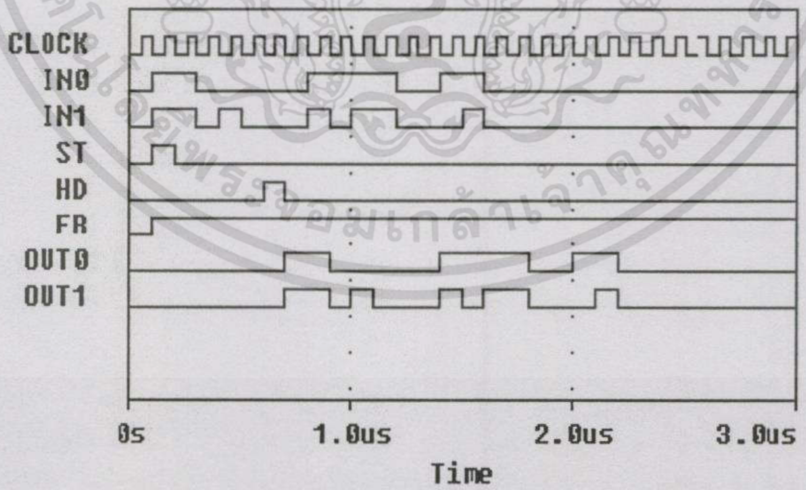
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>สเตจที่ 3</u> พิจารณา Row 7 , Column 3 ใช้วงจรสวิตซ์แบบ Banyan Down-sort element โดยมีอินพุทหมายเลขปลายทาง 12 กับ 14 ที่ I0 = 12(1100b) , I1 = 14(1110b)



รูปที่ 6.33 สัญญาณการทดสอบ Banyan Down-sort element สเตจที่ 3 ได้สภาวะเป็น Pass หรือ Straight

<u>สเตจที่ 4</u> พิจารณา Row 7 , Column 4 ใช้วงจรสวิตซ์แบบ Banyan Down-sort element โดยมีอินพุทหมายเลขปลายทาง 12 กับ 13 ที่ I0 = 12(1100b) , I1 = 13(1101b)



รูปที่ 6.34 สัญญาณการทดสอบ Banyan Down -sort element สเตจที่ 4 ได้สภาวะเป็น Pass หรือ Straight

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปผลการวิจัยและข้อเสนอแนะ

วิทยานิพนธ์ฉบับนี้จะเป็นการนำเสนอ เพื่อต้องการที่จะนำโครงข่ายเชื่อมต่อภายในนั้น มาประยุกต์ใช้ในการสื่อสารข้อมูลพัลซ์โค้ดมอดูเลชั่น โดยในที่นี้จะพิจารณาการส่งข้อมูล PCM-TDM frame ในระบบเบล PCM-24 T1 digital carrier เอาท์พุท 1.544Mbps ซึ่งจะเป็นรูปแบบพื้นฐานและง่ายต่อการเข้าใจ โดยมีวัตถุประสงค์หลักที่จะทดสอบเพื่อให้แน่ใจว่าสามารถนำมาใช้งานได้จริง ซึ่งอ้างอิงหลักการการสร้างสัญญาณพัลซ์จากสัญญาณความถี่โทรศัพท์ชนิดกดปุ่ม(DTMF)ขนาด 4 บิต และเพิ่มบิตสถานะอีก 1 บิต รวมเป็น 5 บิต นำบิตที่ได้ไปเพิ่มที่ส่วนหัวของชุดข้อมูล PCM-TDM frame เพื่อนำมาใช้ในการควบคุมการเชื่อมโยงข้อมูลของโครงข่ายเชื่อมต่อภายใน ซึ่งสามารถสรุปเนื้อหาในวิทยานิพนธ์ฉบับนี้เป็นไปตามวัตถุประสงค์ที่ได้ตั้งเอาไว้ได้ดังนี้

ในส่วนแรกจะเป็นการศึกษาถึงคุณสมบัติและรูปแบบของพัลซ์โค้ดมอดูเลชั่นและการมัลติเพล็กซ์สัญญาณ รวมถึงรูปแบบการเชื่อมต่อของโครงข่ายเชื่อมต่อภายใน โดยอาศัยทฤษฎีและหลักการพื้นฐานจากคุณสมบัติการสลับเส้นทาง จากการเช็คบิตส่วนหัวของชุดข้อมูล PCM-TDM frame ซึ่งจะพิจารณาโครงข่ายเชื่อมต่อภายในที่มีขนาด 16 อินพุท และ 16 เอาท์พุท โดยโครงข่ายเชื่อมต่อภายในขนาด 16 x 16 นี้จะประกอบด้วย วงจรสวิตซ์แบตเชอร์จำนวน 80 วงจร และวงจรสวิตซ์บานยานจำนวน 32 วงจร แต่ละวงจรสวิตซ์ออกแบบโดยใช้ไอซีดิจิตอลชนิดซีมอสความเร็วสูง (วงจรที่ทดสอบใช้เป็นแบบวงจรเกต) ซีมอสนี้จะมีอัตราการถ่ายโอนข้อมูลด้วยความเร็วมากกว่า 10 Mbps โดยจะขึ้นอยู่กับสัญญาณนาฬิกาที่ใช้ ในการหน่วงเวลาของวงจรสวิตซ์แบตเชอร์ใช้เวลาเท่ากับ 2 สัญญาณนาฬิกา และการหน่วงเวลาของวงจรสวิตซ์บานยานใช้เวลาเท่ากับ 6 สัญญาณนาฬิกา และโครงข่ายจะถูกใช้งานในระบบซิงโครนัส ใช้โปโตคอลในชั้นกายภาพ และชั้นเชื่อมโยงข้อมูล ในส่วนของการสร้างสัญญาณควบคุมการเชื่อมโยงของโครงข่าย จะอาศัยหลักการการกำเนิดสัญญาณจากคีย์แพดของเครื่องโทรศัพท์ และทำการแปลงสัญญาณความถี่โทรศัพท์นี้ ให้เป็นตัวเลขดิจิตอล แล้วจึงนำดิจิตอลบิตที่ได้จัดรูปแบบเป็นแบบอนุกรมบิต และมัลติเพล็กซ์เข้ากับข้อมูล PCM-TDM frame โดยวงจรการสร้างบิตส่วนหัว (Header Bit)

ในการทดสอบเลียนแบบการทำงานในวิทยานิพนธ์ฉบับนี้นั้น จะออกแบบวงจรด้วยวงจรเกต และ ทดสอบวงจรโดยใช้โปรแกรมเลียนแบบการทำงานของวงจร ซึ่งเป็นวิธีที่นิยมใช้กันในปัจจุบัน ซึ่งจะมีปัญหาและข้อจำกัดในการเลียนแบบการทำงานของวงจรพอสมควร เช่น

โปรแกรมไม่สามารถทดสอบโครงข่ายที่มีขนาดใหญ่ได้

ซึ่งมีวิธีแก้ปัญหาได้โดยทดสอบโครงข่ายแต่ละสเตจจนได้เอาท์พุทออกที่สเตจสุดท้าย โดยอาศัยหลักการที่ว่า โครงข่ายประกอบขึ้นจากวงจรสวิตซ์ที่คล้ายๆ กัน จะแตกต่างกันเฉพาะส่วนของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเชื่อมโยงวงจรสวิตซ์เท่านั้น จึงเลียนแบบการทำงานเฉพาะในส่วนของวงจรสวิตซ์ทีละวงจร ทีละสเตจที่เชื่อมโยงกันเป็นโครงข่ายเชื่อมต่อภายใน ซึ่งผลการทดสอบก็เป็นไปตามวัตถุประสงค์

การทดสอบการทำงานนั้นสัญญาณนาฬิกามีส่วนสำคัญมาก จะต้องมีการ Sync สัญญาณควบคุมกับสัญญาณนาฬิกาก่อนป้อนเข้าไปควบคุมในส่วนต่างๆ ของวงจรสวิตซ์และวงจรสร้างบิตส่วนหัว และจะต้องสัมพันธ์กับช่วงเวลาของชุดข้อมูลด้วย

จากการทดสอบระบบของการเลียนแบบ PCM-TDM frame ด้วยพัลซ์ส่งผ่านวงจรสร้างบิตส่วนหัวและป้อนเข้าโครงข่ายเชื่อมต่อภายใน ได้ผลตามวัตถุประสงค์ แต่ถ้าเป็นการใช้งานจริงนั้นสัญญาณนาฬิกาจะต้องสัมพันธ์กันกับบิตส่วนหัวของชุดข้อมูล ซึ่งฟลิฟฟลอบจะมีค่าดีเลย์ประมาณ 10 nS อาจทำให้เกิดความผิดพลาดได้ แต่ในการออกแบบจริงนั้นจะใช้ CMOS ซึ่งมีค่าดีเลย์ต่ำกว่า 10 nS อยู่แล้ว จึงมีอัตราการถ่ายโอนข้อมูลได้ที่ความเร็วสูง ซึ่งเกินขีดจำกัดของโปรแกรมที่จะทำการเลียนแบบได้

แนวทางในการพัฒนาขั้นสูงต่อไปนั้น เนื่องจากวิทยานิพนธ์ฉบับนี้เป็นการนำเอาหลักการการเชื่อมโยงมาประยุกต์ใช้งาน ซึ่งออกแบบเพียงโครงข่ายที่มีขนาดระดับกลางๆ คือ 16 x 16 เท่านั้น โดยใช้ Header Bit เพียง 5 บิต (1 Activity bit + 4 Control bit) ดังนั้นจากหลักการดังกล่าวจึงสามารถที่จะขยายให้มีขนาดใหญ่ขึ้นได้อีก เช่น โครงข่ายขนาด 64 x 64 จะต้องใช้ Header Bit ทั้งหมด 7 บิต (1 Activity bit + 6 Control bit) ซึ่งขนาดของโครงข่ายจะเป็นไปตามสมการที่ได้กล่าวไปแล้วนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] K. Hwang , "Computer Architecture and Parallel Processing ," McGraw-Hill, 1985.

[2] W. Tomasi , "Advanced Electronic Communications Systems," Prentice-Hall International Editions, 1992.

[3] W. Marcus, "A CMOS Batcher and Banyan Chip Set for B-ISDN Packet Switching," IEEE J. Solid-State Circuits, Vol. 25, No. 6, pp. 1426-1432, Dec. 1990.

[4] J. H. O'Neill, "A 200-MHz CMOS Broad-Band Switching Chip," IEEE J. Solid-State Circuits, Vol. 28, No. 3, pp. 269-275, Mar. 1993.

[5] T. Lang and H. S. Stone, "A Shuffle-Exchange Network with Simplified Control ," IEEE Trans. Computer, Vol. C-25, No. 1, pp. 55-65, Jan. 1976.

[6] M. A. Franklin, "VLSI Performance Comparison of Banyan and Crossbar Communications Networks," IEEE Trans. Computer, Vol. C-30, No. 4, pp. 283-290, Apr. 1981.

[7] C. Wu and T. Feng, "On a Class of Multistage Interconnection Networks," IEEE Trans. Computer, Vol. C-29, No. 8, pp. 694-702, Aug. 1980.

[8] H. J. Siegel, "Interconnection Networks for SIMD Machines," Computer, Vol. 12, No. 6, pp. 57-66, June 1979.

[9] C. Clos, "A Study of Nonblocking Switching Networks," Jour. Bell System Technical, pp. 406-424, Mar. 1953.

[10] D. Nassimi and S. Sahni, "Bitonic Sort on a mesh-connected parallel Computer," IEEE Trans. Comp., Vol. C-28, pp. 2-7, Jan. 1979.

[11] J. Gecsei, "Interconnection Network from Three-State Cells," IEEE Trans. Computer, Vol. C-26, pp. 705-711, Aug. 1977.

[12] J. L. Fike, "Understanding Telephone Electronics," Texas Instruments Incorporated, 1987.

[13] B. E. Keiser and E. Strange, "Digital Telephony and Network Integration," Van Nostrand Reinhold Company Inc., New York, 1985.

[14] J. C. McDonald, "Fundamentals of Digital Switching," Plenum Press, New York, 1983.

[15] D. G. Cantor, "On non-blocking switching networks," Networks, Vol.1, pp367-377, Winter 1971

[16] F. J. Redmill and A. R. Valdar, "SPC Digital Telephone Exchanges," Peter Peregrinus Ltd., London, 1990.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[17] Y. Oie, T. Suda, M. Murata, D. Koson, and H. Miyahra, “Survey switching techniques in high-speed networks and their performance,” Proc. IEEE INFOCOM ’90, Vol.3, p. 1242.

[18] ธานินทร์ ถาวรศาสนวงศ์. “การออกแบบวงจรด้วยไอซี TTL,” สำนักพิมพ์ฟิสิกส์เซ็นเตอร์.

[19] ชัชวาล ภูรินันทน์, กอบชัย เดชหาญ. “การออกแบบโครงข่ายเชื่อมต่อภายในด้วยฮาร์ดแวร์,” วารสารคอมพิวเตอร์, สมาคมคอมพิวเตอร์แห่งประเทศไทยในพระบรมราชูปถัมภ์ , 2539.

[20] ดำรงค์ จันทร์เรือง, กอบชัย เดชหาญ. “การประยุกต์โครงข่ายเชื่อมต่อภายในกับการส่ง PCM-TDM frame,” วิศวสารลาดกระบัง, ปีที่ 17, ฉบับที่ 2, มิถุนายน 2543.

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ผลงานวิจัยที่เกี่ยวข้องกับการทำวิทยานิพนธ์และได้รับการตีพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISSN 0125-1724
วิศวสาร
ลาดกระบัง
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
LADKRABANG ENGINEERING JOURNAL

ปีที่ 17 ฉบับที่ 2 มิถุนายน 2543

1. การวิเคราะห์ข้อมูลใน ISUP ของโครงข่ายบริการร่วมระบบดิจิตอล 1
ฉัตรชัย วัฒนพันธุ์ พิเชฐ ม่วงนวล มนูญ สุขเกษม

2. ระบบควบคุมการใช้งานโทรศัพท์สำหรับชุมสายปลายทางอัตโนมัติ 6
สุรเชษฐ์ ดิษาภิรมย์ พิเชฐ ม่วงนวล ถวิล พึ่งมา

3. การศึกษาปริมาณทราฟฟิคทางสายระหว่างชุมสายโทรศัพท์ท้องถิ่นกับชุมสายต่อผ่านภายในท้องถิ่นเพื่อปรับปรุงวงจรเชื่อมต่อทรั้งค์ให้เหมาะสมกับปริมาณการสื่อสารในอนาคต 12
ฐชาติ พูตระกูล วินัย สังฆวิจิตร พิเชฐ ม่วงนวล ถวิล พึ่งมา

4. การปรับปรุงสถานีฐานของโทรศัพท์เคลื่อนที่ระบบ AMPS โดยวิธีกำลังสองน้อยที่สุด 18
อรรถสิทธิ์ อินทร์น้อย พิเชฐ ม่วงนวล ถวิล พึ่งมา

5. เครื่องรับแบบวงปิดของคอสแทสที่ปรับปรุงขึ้นใหม่ 24
ธรรมนูญ สุขหวาน วินัย ศิริผลหลาย จริยา เลิศจรัสอร่ามดี วิภา แสงพิสิทธิ์

6. การประยุกต์โครงข่ายเชื่อมต่อภายในกับการส่ง PCM-TDM frame 30
ดำรงค์ จันทร์เรือง กอบชัย เดชหาญ

7. Discrete Array Antenna Pattern Synthesis with Side Lobe Level Controllable 36
Chuwong Phongcharoenpanich Voravit Ongwongwattana Sompol Kolsulvit Monai Krairiksh

8. การแสดงคุณสมบัติการเชื่อมต่อโพรโทคอลหลายรูปแบบ และการบีบอัดข้อมูลลงบนเครือข่ายเฟรมรีเลย์ 41
ธวัชชัย มะพะสาธุโร กอบชัย เดชหาญ ชาลิน สุวรรณวงศ์

9. การทดลองกระบวนการที่ถูกควบคุมระยะไกลผ่านทางอินเตอร์เน็ต 47
สรรเพชญ เชื้อแก้ว ประสิทธิ์ จุลเสรีวงศ์ วันชัย ริ้วรุจา

10 วงจรกำเนิดความถี่ 57 เมกกะเฮิร์ต แบบ RC ที่สามารถปรับค่าออฟเซตของเอาท์พุทได้ด้วยแรงดันควบคุม 53
วินัย สังฆวิจิตร พิเชฐ ม่วงนวล ถวิล พึ่งมา อดิศักดิ์ มนต์ประภัสสร

11. การสร้างตัวกรองเชิงเลขแบบหลายแถบความถี่ผ่าน 59
สายน้ำฝน หอมจันทร์ สุรพันธ์ ยิ้มมั่น พยุง เดชอยู่ กอบชัย เดชหาญ

12. การควบคุมการแสดงผล Dot Matrix ขนาดใหญ่โดยใช้ไมโครโปรเซสเซอร์ต่อแบบ Master-Slave 65
ประวัติชัย สมานรักษ์ พิเชฐ ม่วงนวล ถวิล พึ่งมา

13. ตัวควบคุมฟัซซี่พีไอแบบปรับค่าสมรรถนะด้วยตัวเอง 71
อุมาพร ทองรักษ์ กิตติ ไพฑูรย์วัฒนกิจ นิมิต บุญภิรมย์

14. การตรวจหาเชื้อมาเลเรียในภาพเซลล์เม็ดเลือดแดงโดยการเปรียบเทียบมัลติพีคของฮิสโตรแกรม 77
กริช สมกันธา สมชัย เอี่ยวสานุรักษ์ บุญธีร์ เครือตราชู

15. การออกแบบหาขนาดของหัวอ่านแม่เหล็กไฟฟ้าที่เหมาะสมที่สุดโดยใช้เทคนิคโปรแกรมทางคณิตศาสตร์ 83
มงคล มงคลวงศ์โรจน์ อมรชัย ฉัตรสง่า

16. อุปกรณ์ขจัดเสิร์จในวงจรไฟฟ้ากระแสสลับแรงดันต่ำโดยใช้ผลลัพธ์เชิงเลข 89
สนธยา เมืองน้อย กอบชัย เดชหาญ สมยศ จุณณะปิยะ

17. การวิเคราะห์ขนาดกระแสไฟฟ้าของสายเคเบิลที่ใช้ในช่องชาร์ฟรางเดินสาย และท่อร้อยสายใต้ดิน 95
ไชยา สายัณห์ ศุลี บรรจงจิตร

18. การลดสัญญาณฮาร์โมนิกส์ในสายนิวทรอลในระบบไฟฟ้ากำลังแบบ 3 เฟส 4 สาย ที่ต่อกับภาระไฟฟ้าที่ไม่เป็นเชิงเส้น 101
วีรเทพ พงศ์ศรีเพียร จงรักษ์ บุญเส็ง

19. การหาค่าพารามิเตอร์ของมอเตอร์เหนี่ยวนำขณะการทำงานในสภาวะคงตัว 107
เอก พันธุ์ฟุ้ง สถาพร อุดมสิน ชัยภัฎ วรรธนะสาร

20. การวิเคราะห์เปรียบเทียบสมรรถนะของเทคนิคควบคุมกระแสสำหรับการควบคุมมอเตอร์เหนี่ยวนำ 3 เฟส แบบเวกเตอร์ฟลักซ์ 113
พิเชฐ ฉัตรพาน วิจิตร กิณเรศ

21. การพัฒนาการออกแบบที่เหมาะสมสำหรับหม้อแปลงไฟฟ้าขนาดเล็กแบบเซลล์ 119
ก่อเกียรติ กาญจนรัตน์ ชัยวุฒิ ฉัตรอุทัย

22. Effects of Feed Temperature on The Coupling of Endothermic-Exothermic Reactions in a Multitubular Heat Exchanger Reactor 125
Teerapol Buranaosod Piyanat Intanakul Noppakorn Thamphiphit Prakob Kitchaiya

23. การออกแบบเพื่อหาขนาดที่เหมาะสมที่สุดของเครื่องแลกเปลี่ยนความร้อน โดยใช้วิธีบรอยเดน-เฟลตเชอร์-โกล์ดเฟรบ-ชันโน 131
มงคล มงคลวงศ์โรจน์ วรภัทร ฟุ้งเจริญ

24. พฤติกรรมทางสถิตย์และพลศาสตร์ของแบริ่งเพลากลมหล่อลื่นด้วยสารหล่อลื่นนอน-นิวตรอนเนียน ไดลาแตนท์ 137
มงคล มงคลวงศ์โรจน์ ขนิษฐา วงษ์สีดาแก้ว

25. การวิเคราะห์การสั่นสะเทือนของเฟืองเฉียง 143
มงคล มงคลวงศ์โรจน์ ขนิษฐา วงษ์สีดาแก้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประยุกต์โครงข่ายเชื่อมต่อภายในกับการส่ง PCM-TDM frame

Interconnection Network Application for PCM-TDM frame

ดำรงค์ จันทร์เรือง
คณะวิศวกรรมศาสตร์ และสำนักวิจัยสื่อสารและเทคโนโลยีสารสนเทศ

กอบชัย เดชหาญ
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้จะนำเสนอหลักการประยุกต์โครงข่ายเชื่อมต่อภายใน เพื่อใช้ในการส่งข้อมูล PCM-24 (ระบบเบล T1 1.544 Mbps) ใช้คุณสมบัติการสลับเส้นทางของโครงข่ายเชื่อมต่อภายในในการส่งข้อมูล PCM-TDM โดยการสร้างบิตส่วนหัวของชุดข้อมูลที่ส่วนหัวของชุดข้อมูล PCM-TDM frame เพื่อใช้ในการซิงโครไนซ์ และควบคุมการเชื่อมต่อข้อมูลไปยังเอาท์พุทปลายทางตามหมายเลขปลายทางที่ต้องการ

Abstract

This paper presents the interconnection network application of PCM- 24 data (Bell system T1 digital carrier = 1.544 Mbps). The interconnection networks are used for PCM-TDM data frame transmission, within PCM-TDM frame is added a header bit. The header bit is used to synchronize and control switch to the destinations.

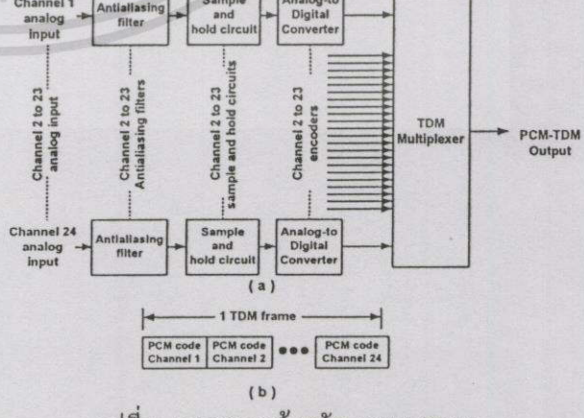
1. บทนำ

โครงข่ายการสื่อสารข้อมูลดิจิตอล เป็นโครงข่ายที่ได้มีการคิดค้นและถูกพัฒนาขึ้นมาอย่างต่อเนื่องเสมอ ไม่ว่าจะเป็นรูปแบบวิธีการทำงาน ที่แตกต่างกันออกไป ซึ่งในบทความนี้จะเป็นการสื่อสารข้อมูล PCM-TDM frame ผ่านโครงข่ายในอีกรูปแบบหนึ่ง โดยใช้คุณสมบัติของโครงข่ายเชื่อมต่อภายใน [1] ในการสวิตซ์ข้อมูลไปยังปลายทาง

2. ทฤษฎี

2.1 PCM-TDM system

การออกแบบ PCM-TDM ในบทความนี้เป็นการออกแบบในระบบ Bell system T1 digital carrier [2] เข้ารหัส และมัลติเพล็กแบบ PCM-24



รูปที่ 1 แสดงการเข้ารหัส PCM-TDM

(a) บล็อกไดอะแกรม

(b) TDM frame

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 1 (a) แสดงบล็อกไดอะแกรมของ PCM-24 ข้อมูล PCM จะถูกจัดเรียงออกทางเอาท์พุทมัลติเพล็กเซอร์ตามลำดับ ในที่นี้จะพิจารณาสัญญาณเสียง ซึ่งมีแบนด์วิทธ์ 300-3000 Hz โดยระบบ TDM จะกระทำภายใต้ T1 carrier ซึ่งให้เอาท์พุทมัลติเพล็กเซอร์แบบ Digital signal (DS-1) 1.536 Mbps [2] ตามมาตรฐานของระบบ

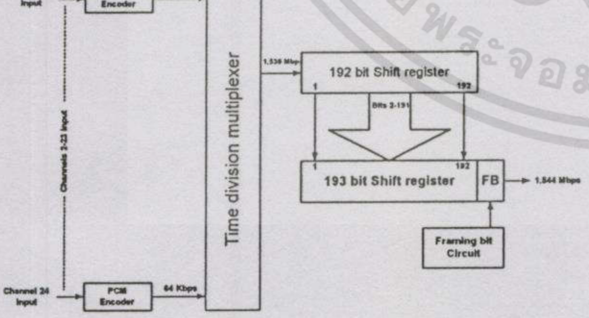
ใช้การมัลติเพล็กแบบ 24 ช่องสัญญาณ โดยในแต่ละช่องสัญญาณนั้นจะประกอบด้วย PCM code ขนาด 8 บิต และสุ่มสัญญาณด้วยอัตราเร็ว 8000 ครั้ง/วินาที

$$\frac{8bit}{Sample} \times \frac{8000Sample}{Second} = 64Kbps \quad \text{..........(1)}$$

นำ PCM code ที่ได้มัลติเพล็กรวมกัน และทำการเพิ่มบิต 1 บิต ที่เรียกว่า " เฟรมมิ่งบิต " โดยวิธีการของชิพรีจีสเตอร์ทางเอาท์พุทมัลติเพล็กเซอร์ ซึ่งกระทำที่ 8000 bps ใช้ในการ ตรวจสอบเฟรม และซิงโครไนซ์ระหว่างภาคส่งและภาครับ ดังนั้น TDM frame ในระบบนี้จึงประกอบไปด้วยจำนวนบิตทั้งหมด 193 บิต

$$\frac{8bit}{channel} \times \frac{24channel}{frame} = \frac{192bit}{frame} + \frac{1framing\ bit}{frame} = \frac{193bit}{frame} \quad \text{..............(2)}$$

$$\text{Line speed} \quad 193 \times 8000frame = 1.544Mbps \quad \text{......(3)}$$



รูปที่ 2 การสร้างเฟรมมิ่งบิตสำหรับระบบ PCM-24

ในการสร้างเฟรมมิ่งบิตนั้นจะทำการรวมสัญญาณดิจิตอล โดยใช้ชิพรีจีสเตอร์ที่เอาท์พุทของ มัลติเพล็กเซอร์ การซิงโครไนซ์จะเช็คได้จากการเปลี่ยนแปลง 1/0 ดังนั้นค่าเฉลี่ยสูงสุดของการซิงโครไนซ์ [2] จะได้ตามสมการที่ 4

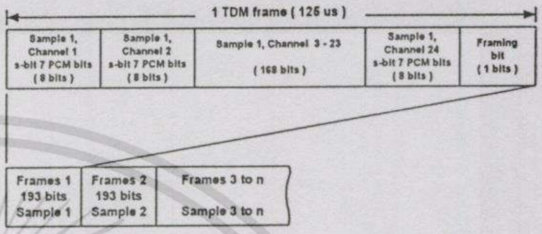
$$\text{Sync Time} = 2NT = 2N^2t \quad \text{.....(4)}$$

โดยที่ N = number of bit per frame

T = frame period of Nt

t = bit time

สำหรับ T1 carrier นั้น $N = 193$, $T = 125$ us และ $t = 0.648$ us



รูปที่ 3 TDM frame และ Sample alignment

ดังนั้นจึงได้เป็น PCM-TDM frame ในระบบ Bell system T1digital carrier PCM-24 เพื่อนำไปป้อนเข้าโครงข่ายเชื่อมต่อภายใน เพื่อทำการสวิตซ์ข้อมูลไปยังตำแหน่งปลายทางตามที่ต้องการ

2.2 โครงข่ายแบตเชอร์ (Batcher Network)

ทำหน้าที่ Sorting Network บนพื้นฐาน Batcher Bitonic Sorting Algorithrm [1] ใช้เชื่อมต่อแบบ Perfect Shuffleใช้โทโปโลยีแบบมัลติสเตจ ทำงานในโหมดซิงโครนัส ควบคุมวงจรสวิตซ์จากศูนย์กลาง

โครงข่ายแบตเชอร์ใช้เรียงลำดับข้อมูลให้ไปออกที่เอาท์พุทโดยใช้ความสัมพันธ์ของบิตเริ่มต้น(Activity bit) (กรณีอินพุทเป็น Active packet จะมีค่าเป็น"0" และกรณีที่อินพุทเป็น Inactive packet คือไม่มีข้อมูลจะมีค่าเป็น"1") และ ความแตกต่างของบิตส่วนหัวชุดข้อมูล ในการควบคุมสภาวะของวงจรสวิตซ์ เพื่อกำหนดเส้นทางเชื่อมต่อของชุดข้อมูล โดยไม่ให้มีการเชื่อมหรือชนกัน บิตแรกในส่วนหัวจะเป็นบิตที่มีนัยสำคัญสูงสุด(MSB) บิตสุดท้ายมีนัยสำคัญต่ำสุด(LSB) สภาวะของการสวิตซ์จะเป็นได้ 2 สภาวะคือ Straight และ Exchange โครงข่ายประกอบด้วยวงจรสวิตซ์แบตเชอร์ (Batcher Switching Element) จำนวนมากเชื่อมต่อกัน ดังนั้นขนาดของโครงข่ายจึงขึ้นกับสมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$ROW = N/2 \quad ....(5)$$

$$Column = \log_2 N(\log_2 N+1)/2 \quad ...(6)$$

$$Processing\ element = ROW \times Column \quad ....(7)$$

$$N = Channel \quad ....(8)$$

2.3 โครงข่ายบานยาน (Banyan Network)

ทำหน้าที่ Expander Network [1] เชื่อมต่อแบบ Perfect Shuffle ใช้โทโปโลยีแบบมัลติสเตจ ทำงานโหมดซิงโครนัส ควบคุมการทำงานวงจรสวิตซ์จากศูนย์กลาง

โครงข่ายบานยานนั้น จะใช้ในการส่งข้อมูลไปยังตำแหน่งปลายทาง ให้ถูกต้องตามหมายเลขปลายทางชุดข้อมูล โดยใช้ความสัมพันธ์ของบิตเริ่มต้น (Activity bit) และบิตส่วนหัวของชุดข้อมูล บิตแรกเป็นบิตที่มีนัยสำคัญสูงสุด (MSB) และ บิตสุดท้ายเป็นบิตที่มีนัยสำคัญต่ำสุด (LSB) วงจรสวิตซ์มีสถานะการเชื่อมต่อเป็น 2 สภาวะคือ Straight และ Exchange โครงข่ายประกอบด้วยวงจรสวิตซ์บานยานจำนวนมากเชื่อมต่อกัน ดังนั้นขนาดของโครงข่ายจึงขึ้นกับสมการดังนี้

$$ROW = N/2 \quad ....(9)$$

$$Column = \log_2 N \quad ....(10)$$

$$Processing\ element = ROW \times Column \quad .....(11)$$

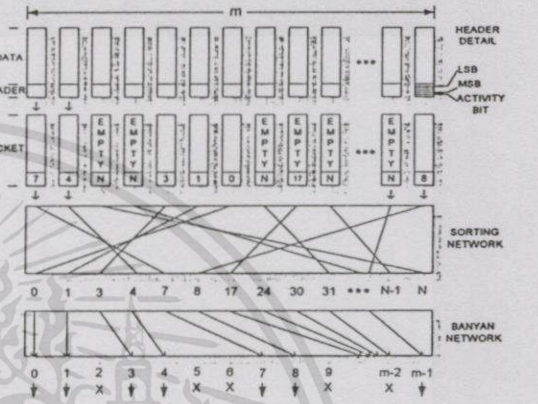
$$N = Channel \quad ....(12)$$

จากคุณสมบัติโครงข่ายทั้งสอง เมื่อนำมาเชื่อมต่อกันก็จะได้โครงข่ายเชื่อมต่อภายในที่สมบูรณ์ สามารถที่จะสวิตซ์ข้อมูลไปยังปลายทางตามต้องการได้ โดยข้อมูลไม่มีการเชื่อมหรือชนกัน

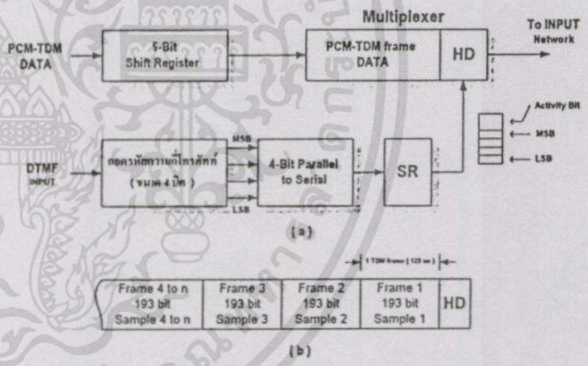
3. การออกแบบ

การออกแบบโครงข่ายประกอบด้วยส่วนเชื่อมต่อข้อมูลทางอินพุท ทำหน้าที่สร้างบิตส่วนหัว (Header bit) ขนาด 5 บิต ซึ่งจะได้จากการถอดรหัสความถี่โทรศัพท์ชนิดกดปุ่ม(DTMF)ให้เป็นระบบตัวเลขดิจิตอลขนาด 4 บิต จาก Shift Register อีก 1 บิต เพื่อใช้เป็น Activity bit และส่วนที่ทำหน้าที่เป็นโครงข่ายเพื่อสวิตซ์ข้อมูลไปยังตำแหน่งปลายทางที่ต้องการ

โครงข่ายเชื่อมต่อภายในนั้นประกอบด้วย 2 ส่วนใหญ่ ๆ คือ ส่วนที่ทำหน้าที่ Sorting Network ซึ่งจะใช้หลักการของโครงข่ายแบตเชอร์ (Batcher network) และส่วนที่ทำหน้าที่ Expander network ใช้หลักการของโครงข่ายบานยาน (Banyan network)

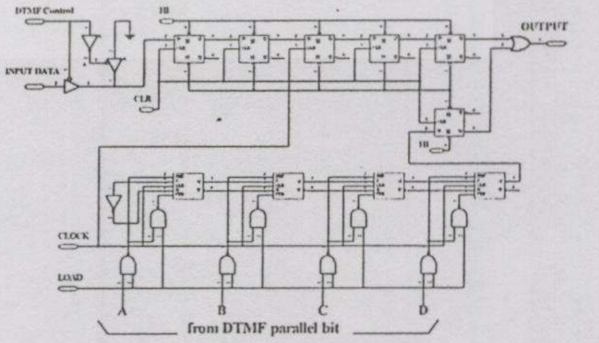


รูปที่ 4 รูปแบบชุดข้อมูล



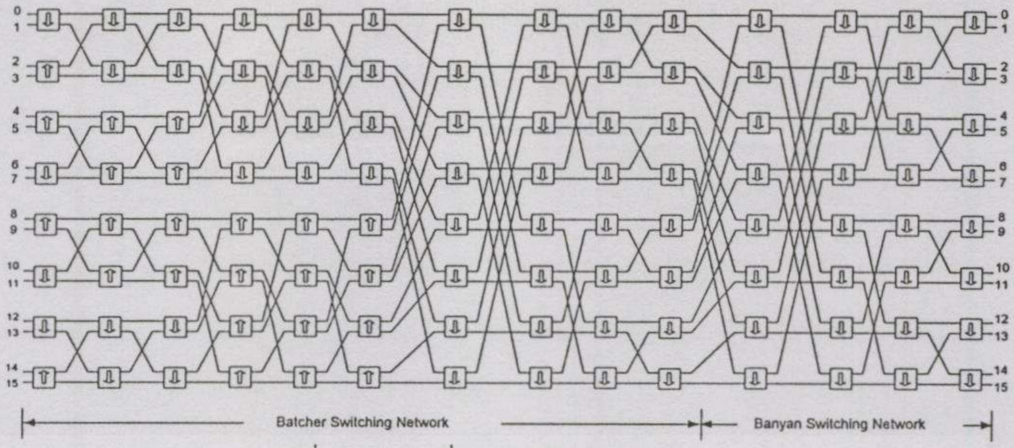
รูปที่ 5 (a) บล็อกไดอะแกรมของ Header bit

(b) TDM packet



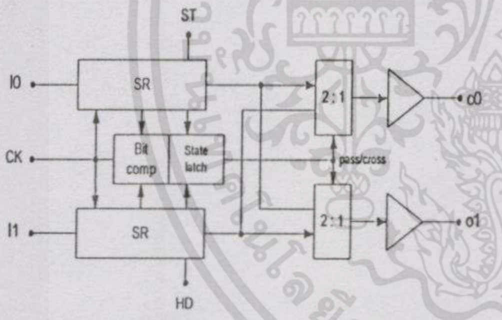
รูปที่ 6 วงจรการสร้าง Header bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



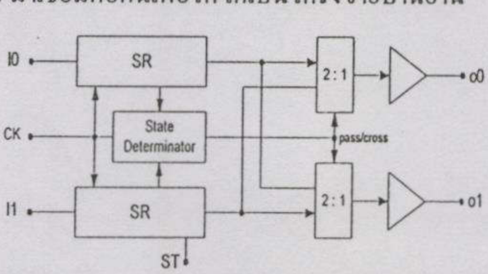
รูปที่ 7 โครงข่ายเชื่อมต่อภายในขนาด 16 x 16

โครงข่ายแบตเชอร์ ทำหน้าที่ เรียงลำดับข้อมูลที่รับเข้ามาทางอินพุทให้ไปออกเอาท์พุทตามหมายเลขปลายทางของชุดข้อมูล ใช้วงจรสวิตซ์อยู่ 2 ลักษณะคือ Batcher up-sort element และ Batcher down-sort element ซึ่งวงจรสวิตซ์แบตเชอร์ทั้งสองแตกต่างกันเพียงในส่วนของ 2 : 1 Multiplexer เท่านั้น และนำมาเชื่อมต่อกันจำนวน 80 วงจร เพื่อให้ได้เป็นโครงข่ายแบตเชอร์ที่สมบูรณ์



รูปที่ 8 บล็อกไดอะแกรมของ Batcher switching element

โครงข่ายบานยาน ทำหน้าที่ ในการจัดส่งข้อมูลไปยังปลายทางที่ถูกต้อง ตามหมายเลขปลายทางของชุดข้อมูล ประกอบด้วย Banyan down-sort element จำนวน 32 วงจร มาเชื่อมต่อกันเพื่อให้ได้เป็นโครงข่ายบานยาน



รูปที่ 9 บล็อกไดอะแกรม Banyan switching element

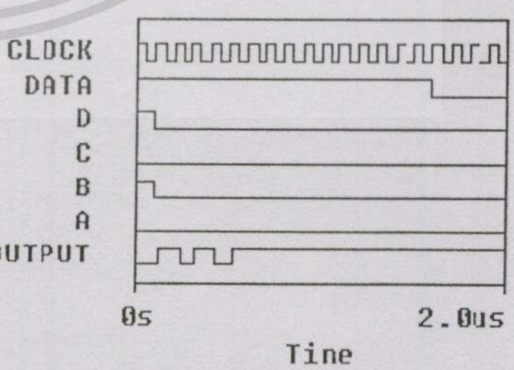
4. ผลการทดสอบ

ในบทความนี้ ใช้พัลซ์ในการเลียนแบบการส่งข้อมูล PCM-TDM frame โดยเพิ่มบิตส่วนหัวที่รับมาจากการถอดรหัสความถี่โทรศัพท์ที่ส่วนหัวของชุดข้อมูล และเลียนแบบการสวิตซ์ผ่านวงจรสวิตซ์แบตเชอร์และบานยาน

4.1 การสร้างบิตส่วนหัว (Header bit)

ประกอบไปด้วยบิตสถานะ(Activity bit) จะมีค่าเป็น “0 ” ซึ่งทำให้วงจรสวิตซ์ของโครงข่ายเชื่อมต่อภายในรู้ว่ามีข้อมูล (Active packet) เข้ามาทางอินพุท และบิตปลายทางจำนวน 4 บิต ที่ได้จากภาคถอดรหัสสัญญาณโทรศัพท์ชนิดกดปุ่ม (DTMF) จะใช้เป็นตัวกำหนดหมายเลขปลายทางที่ต้องการจะส่งข้อมูลไป ในที่นี้ขนาด 4 บิต จะสามารถกำหนดหมายเลขปลายทางได้สูงสุด 16 ช่องสัญญาณ

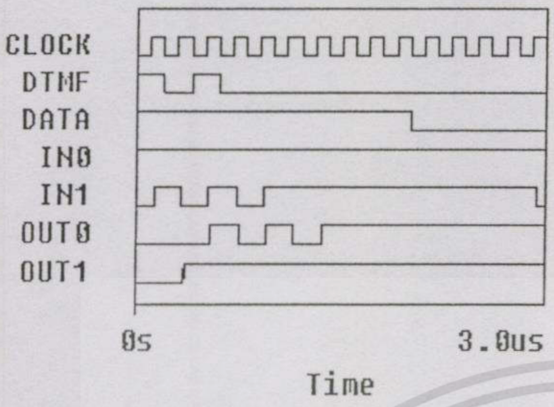
การทดสอบการสร้างบิตส่วนหัว กรณีต้องการส่งข้อมูลไปยังเอาท์พุทหมายเลข 10 (1010b)



รูปที่ 10 แสดงสัญญาณการสร้าง Header bit ที่ต้องการส่งข้อมูลไปยังเอาท์พุทหมายเลข 10 (1010b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดสอบระบบ กรณีต้องการส่งข้อมูลไปยังเอาท์พุทหมายเลขปลายทาง 10 (1010b)



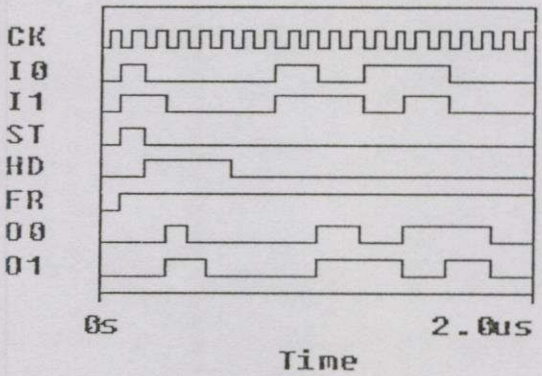
รูปที่ 11 ผลการทดสอบ สร้าง Header bit ส่งผ่าน Batcher down-sort element โดยป้อนที่ INPUT1 ส่วน INPUT0 เป็น Inactive packet ดังนั้นจึงได้เป็นสภาวะ Exchange

4.2 โครงข่ายเชื่อมต่อภายใน

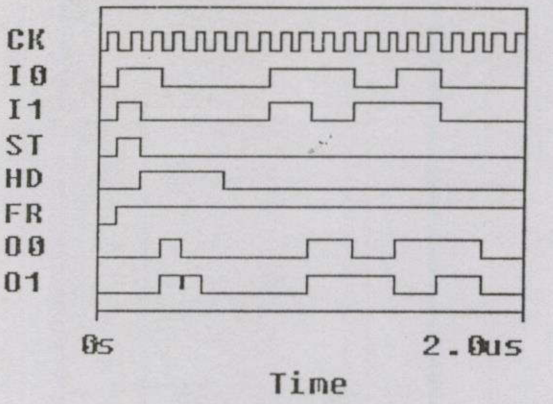
จะพิจารณา การสับเปลี่ยนเส้นทางของ ชุดข้อมูลทางด้านอินพุท I0 , I1 ไปออกที่เอาท์พุท O0 , O1 โดยขึ้นกับบิตส่วนหัว(Header bit) จำนวน 5 บิต ของชุดข้อมูล ซึ่งเป็นไปได้ 2 สภาวะ คือ Straight และ Exchange

4.2.1 โครงข่ายแบตเชอร์

จะประกอบด้วยวงจรสวิตซ์แบตเชอร์ 2 ชนิด คือ Batcher down-sort element และ Batcher up-sort element ในที่นี้จะทำการเลียนแบบการทำงานเฉพาะ Batcher down-sort element เพราะวงจรสวิตซ์แบตเชอร์ทั้งสองจะแตกต่างกันเพียงภาค 2 :1 Multiplexer เท่านั้น จึงทำให้เอาท์พุทที่ได้มีผลตรงข้ามกัน ในที่นี้จะพิจารณาอินพุทที่มีบิตส่วนหัวเท่ากับ 8 (01000b) และ 12 (01100b) ในการเลียนแบบ



(a)

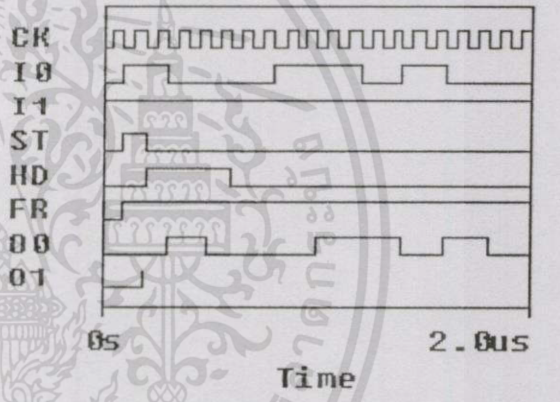


(b)

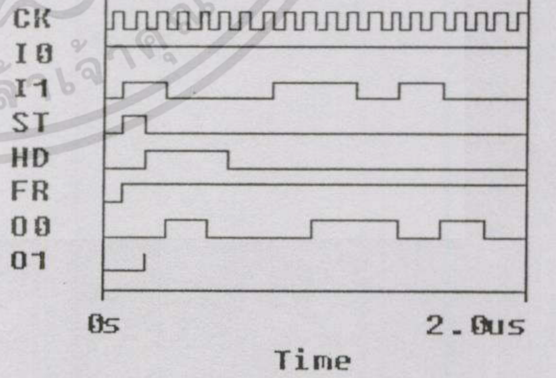
รูปที่ 12 ผลการทดสอบ Batcher down-sort element

(a) กรณีเกิดสภาวะ Pass หรือ Straight

(b) กรณีเกิดสภาวะ Cross หรือ Exchange



(a)



(b)

รูปที่ 13 ผลการทดสอบ Batcher down-sort element เมื่ออินพุท (I0 , I1) ด้านใดด้านหนึ่งไม่มีข้อมูลหรือเป็น Inactive packet (Activity bit = 1)

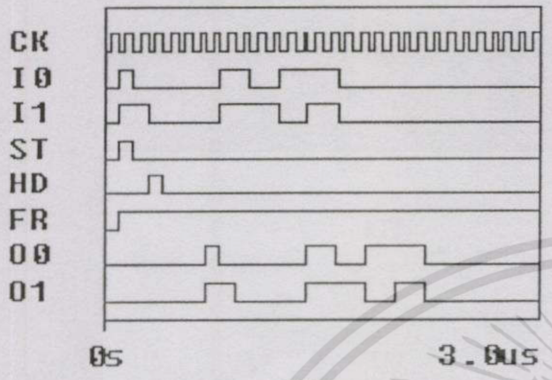
(a) กรณีเกิดสภาวะ Pass หรือ Straight

(b) กรณีเกิดสภาวะ Cross หรือ Exchange

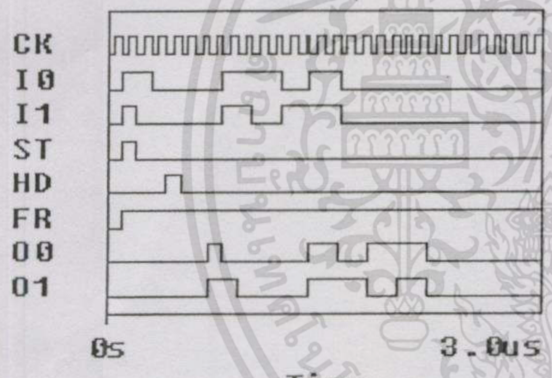
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 โครงข่ายบานยาน

จะประกอบด้วยวงจรสวิตซ์ Banyan down - sort element ทั้งหมด 32 วงจร ในที่นี้จะพิจารณาอินพุทที่มีบิตส่วนหัว 8 (01000b) และ 12 (01100b) ในการเลียนแบบ



(a)



(b)

รูปที่ 14 ผลการทดสอบ Banyan down-sort element
(a) กรณีเกิดสภาวะ Pass หรือ Straight
(b) กรณีเกิดสภาวะ Cross หรือ Exchange

ส่วน Banyan down-sort element เมื่ออินพุท (I0 , I1) ด้านใดด้านหนึ่งไม่มีข้อมูล หรือเป็น Inactive packet (Activity bit = 1) นั้น ก็จะเป็นลักษณะเดียวกันกับวงจรสวิตซ์แบตเชอร์

5. สรุปผล

บทความนี้ยึดหลักการและคุณสมบัติการเข้ารหัส PCM-TDM ในระบบ PCM-24 1.544 Mbps เป็นหลักในการส่งข้อมูล PCM ไปยังปลายทางโดยอาศัยคุณสมบัติการสลับเส้นทางจากการเช็คบิตส่วนหัวข้อมูล ของวงจรสวิตซ์ โดยบิตส่วนหัวของข้อมูล PCM-TDM frame พิจารณาจากการถอดรหัส DTMF ขนาด 4 บิต และชิพรีจีสเตอร์อีก 1บิต เพื่อใช้ซิงโครไนซ์ข้อมูลที่เป็น Active packet จากการป้อนสัญญาณพัลซ์จะได้ผลลัพธ์ตามวัตถุประสงค์ แต่การใช้งานจริง Clock จะต้องสัมพันธ์กับบิตส่วนหัวของชุดข้อมูล ซึ่งฟลิฟฟลอบจะมีค่าดีเลย์ประมาณ 10 ns ทำให้เกิดความผิดพลาดได้ แก้ไขได้โดยการแทนวงจรด้วย CMOS หรือใช้ Clock ที่มีค่าดีเลย์ต่ำกว่า 10 ns การใช้งานจริงจะมีอัตราในการถ่ายโอนข้อมูล ที่ความเร็วสูงมาก ซึ่งเกินขีดจำกัดของโปรแกรมที่จะเลียนแบบได้

6. เอกสารอ้างอิง

[1] K. Hwang , "Computer Architecture and Parallel Processing ," McGraw-Hill, 1985.

[2] W. Tomasi , "Advanced Electronic Communications Systems," Prentice-Hall International Editions, 1992.

[3] W. Marcus, "A CMOS Batcher and Banyan Chip Set for B-ISDN Packet Switching ," IEEE J. Solid-State Circuits, Vol. 25, No. 6, pp. 1426-1432, Dec. 1990.

[4] J. H. O'Neill, "A 200-MHz CMOS Broad-Band Switching Chip," IEEE J. Solid-State Circuits, Vol. 28, No. 3, pp. 269-275, Mar. 1993.

[5] A. J. Van de Goor , "Computer Architecture and Design," Addison-Wesley Publishing Company, pp. 481-49.

[6] T. Lang, H. S. Stone, "A Shuffle-Exchange Network with Simplified Control ," IEEE Trans. Computer, Vol. C-25, No. 1, pp. 55-65, Jan. 1976.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นาย ดำรงค์ จันทร์เรือง เกิดเมื่อวันที่ 12 สิงหาคม พ.ศ. 2515 ที่จังหวัดยโสธร สำเร็จการศึกษาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2538 และเข้าปฏิบัติงานที่ บริษัท เทเลคอมเอเซีย คอร์ปอเรชั่น จำกัด (มหาชน) ประจำหน่วยงาน ศูนย์บริหารและปฏิบัติการชุมสาย กองระบบชุมสายโทรศัพท์พระโขนง ปัจจุบันดำรงตำแหน่ง วิศวกร ประจำหน่วยงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้