

การออกแบบวงจรถอดรากที่สองแบบเที่ยงตรงบนพื้นฐาน
ของเทคโนโลยีทรานซิสเตอร์แบบซีมอส

DESIGN OF ACCURATE CMOS-BASED SQUARE ROOT
EXTRACTOR



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2544

ISBN 974-648-148-7

การออกแบบวงจรถอดรหัที่สองแบบเที่ยงตรงบนพื้นฐาน
ของเทคโนโลยีทรานซิสเตอร์แบบซีมอส

DESIGN OF ACCURATE CMOS - BASED SQUARE ROOT
EXTRACTOR



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2544

ISBN 974-648-148-7

เลขหมู่.....
เลขทะเบียน **39749**
วัน, เดือน, ปี **21 มิ.ย. 2544**

.b.....
i.....

**DESIGN OF ACCURATE CMOS - BASED SQUARE ROOT
EXTRACTOR**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT 'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2001

ISBN 974-648-148-7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPY RIGHT 2001

SCHOOL OF GRADUATE STUDIES

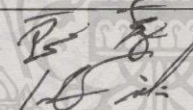
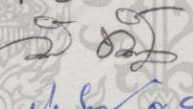
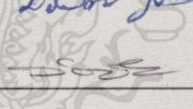


KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรถอดรหัสดิจิทัลสองแบบที่เที่ยงตรง บนพื้นฐานของเทคโนโลยี
ทรานซิสเตอร์แบบซีมอส
DESIGN OF ACCURATE CMOS-BASED SQUARE ROOT
EXTRACTOR

ชื่อนักศึกษา นายอนุชา แก้วพูลสุข
รหัสประจำตัว 41061156
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร. วันชัย ธีรวิรุจ

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.วิสุทธิ	ฐิติรุ่งเรือง	
ผศ.ดร.เกียรติศักดิ์	คมวิษระ	
รศ.วิทยา	ทิพย์สุวรรณพร	
ผศ.ประสิทธิ์	จุลเสรีวงศ์	
รศ.ดร.วันชัย	ธีรวิรุจ	

วัน/เดือน/ปี ที่สอบ 10 เมษายน 2544 เวลา 12.00 – 13.00 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-404)



วันที่ 26 เดือน เมษายน พ.ศ. 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรถอดรหัสดิจิทัลแบบเชิงตรรกบนพื้นฐาน
	ของเทคโนโลยีทรานซิสเตอร์แบบซีมอส
นักศึกษา	นาย อนุชา แก้วพูลสุข
รหัสประจำตัว	41061156
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2544
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. วันชัย ธีรรัฐจา

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้มีจุดมุ่งหมายในการนำเสนอหลักการออกแบบวงจรถอดรหัสดิจิทัลสำหรับสัญญาณอนาล็อกโดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอสเฟต ซึ่งจะมุ่งเน้นการออกแบบวงจรโดยอาศัยหลักการของวงจรรวมที่มีการทำงานอยู่ในโหมดกระแส โครงสร้างของวงจรถอดรหัสดิจิทัลที่ได้นำเสนอจะประกอบด้วย วงจรสายพานกระแสรูนที่สอง วงจรสะท้อนกระแส และวงจรถอดรหัสดิจิทัลสำหรับสัญญาณกระแสเบื้องต้น ซึ่งการออกแบบจะอาศัยหลักการของวงจรรวมสลิเนียร์แบบมอสเฟตที่มีการทำงานอยู่ในช่วงอิมิตัวเป็นหลัก ในการทดสอบสมรรถนะของวงจรถัดไปข้างหน้า จะใช้โปรแกรม PSPICE เลียนแบบการทำงานของวงจร ผลการทดสอบสามารถยืนยันถึงความแม่นยำ ช่วงปฏิบัติการทางขนาด และผลตอบสนองทางความถี่ที่กว้าง เป็นไปตามหลักการที่ได้นำเสนอ

Thesis Title	Design of Accurate CMOS - Based Square Root Extractor
Student	Mr. Anucha Keawpoonsuk
Student I.D.	41061156
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2001
Thesis Advisor	Assoc.Prof.Dr.Vanchai Riewruja

ABSTARCT

The goal of this thesis is to propose the design of square root extractor for analog signal processing, which are attractive features for integrated circuit of current mode function circuits by using MOS transistor technology. The proposed circuit consists of the second-generation current conveyer (CCII), the current mirror and the basic current-mode square root extractor. The realization method makes use of the characteristic of MOS translinear principle PSPICE simulation results confirm that the performance of the propose circuits, i.e. accuracy, dynamic range and frequency response, are in agreement with the theoretical results.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี ผู้เขียนขอกราบขอบพระคุณ รองศาสตราจารย์ ดร. วันชัย ธีรจุฑา อาจารย์ที่ปรึกษา ที่ได้ให้ความรู้ ความคิดริเริ่ม คำปรึกษาและคำชี้แนะแนวทางในการแก้ไขปัญหาต่างๆ อย่างทุ่มเท ตลอดจนการฝึกฝนให้ผู้เขียนมีความสามารถในการทำวิจัยและพัฒนาได้อย่างมีประสิทธิภาพมาโดยตลอดระยะเวลาการศึกษา

ขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร. เกียรติศักดิ์ กมวัชระ อาจารย์ กงศักดิ์ อนันตหริรัษฎ รัตน์ และคุณเฉลิมภรณ์ ฟองสมุทร ที่ได้ให้คำปรึกษาวิธีแก้ไขปัญหาต่างๆ ที่เกิดขึ้นตลอดระยะเวลาการศึกษาร่วมกับอาจารย์ที่ปรึกษา

ขอขอบคุณพี่ๆ น้องๆ ทีมงานห้อง B420/2 ทุกท่านที่ได้เอื้อเฟื้ออุปกรณ์ เครื่องมือ สถานที่ และแรงงานในการทำวิจัยและการเรียบเรียงวิทยานิพนธ์

ขอกราบขอบพระคุณ คุณพ่อ วิรัช แก้วพูลสุข คุณแม่ สายชล ฉิมศิริ น้องชาย เกียรติดิณรงค์ แก้วพูลสุข และคุณ จิรนนท์ กานตายนนท์ ที่คอยห่วงใยและให้การสนับสนุนในการศึกษา

สุดท้ายนี้ขอขอบคุณ สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติภายใต้โครงการทุนส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติภายใต้โครงการสนับสนุนการออกแบบวงจรรวมในสถาบันศึกษา ที่ให้ทุนและเครื่องมือสนับสนุนในการทำวิทยานิพนธ์นี้ และขอขอบคุณทบวงมหาวิทยาลัยสำหรับทุนสนับสนุนในการจัดทำวิทยานิพนธ์ มา ณ โอกาสนี้ด้วย

อนุชา แก้วพูลสุข

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 กล่าวนำ.....	1
1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์.....	2
1.3 หลักการใหม่ในวิทยานิพนธ์.....	3
1.4 รายละเอียดของวิทยานิพนธ์.....	3
บทที่ 2 ทฤษฎีการทำงานของมอสเฟตและหลักการของวงจรถานส์ลีนีเยร์.....	5
2.1 กล่าวนำ.....	5
2.2 ทฤษฎีการทำงานของมอสเฟต.....	5
2.2.1 คุณสมบัติการทำงาน.....	8
2.2.2 สมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่.....	13
2.2.3 ค่าความจุไฟฟ้าในมอสเฟต.....	14
2.2.4 วงจรสมมูลย์และสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก.....	16
2.2.5 ผลของอุณหภูมิในมอสเฟต.....	17
2.2.6 เปรียบเทียบข้อดีและข้อเสียระหว่างมอสเฟตกับไบโพลาร์ทรานซิสเตอร์.....	18
2.3 หลักการของวงจรถานส์ลีนีเยร์.....	20
2.3.1 หลักการของวงจรถานส์ลีนีเยร์สำหรับไบโพลาร์ทรานซิสเตอร์.....	21
2.3.2 หลักการของวงจรถานส์ลีนีเยร์สำหรับมอสเฟต.....	23
2.4 สรุป.....	24

สารบัญ(ต่อ)

หน้า

บทที่ 3 วงจรลดรากลที่สองสำหรับสัญญาณอานาลอก.....	26
3.1 กล่าวนำ.....	26
3.2 วงจรลดรากลที่สองที่ใช้โอปแอมป์ต่อร่วมกับตัวต้านทานและวงจรคูณ.....	26
3.3 วงจรลดรากลที่สองที่ใช้โอปแอมป์ต่อร่วมกับตัวเก็บประจุและอานาลอกสวิทช์.....	29
3.4 วงจรลดรากลที่สองที่อาศัยหลักการของวงจรทรานส์ลีเนียร์ แบบไบโพลาร์ทรานซิสเตอร์.....	31
3.5 วงจรลดรากลที่สองที่ใช้มอสเฟตซึ่งทำงานในย่านวีคอินเวอร์ชัน.....	32
3.6 วงจรลดรากลที่สองที่ใช้มอสเฟตต่อร่วมกับโอปแอมป์และวงจรสายพานกระแส.....	33
3.7 สรุป.....	35
บทที่ 4 การออกแบบวงจรลดรากลที่สองที่นำเสนอกภายในวิทยานิพนธ์.....	37
4.1 กล่าวนำ.....	37
4.2 กลุ่มวงจรร้อย.....	37
4.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	37
4.2.2 วงจรสายพานกระแส.....	39
4.2.3 วงจรลดรากลที่สองสำหรับสัญญาณกระแสเบื้องต้น.....	41
4.3 การออกแบบวงจรลดรากลที่สอง.....	43
4.4 การวิเคราะห์คุณสมบัติการทำงานของวงจร.....	44
4.4.1 การวิเคราะห์ค่าความต้านทานที่จุดเข้าและที่จุดออก.....	44
4.4.2 การวิเคราะห์ค่าอัตราส่วนของศักดา V_x/V_y	47
4.4.3 การวิเคราะห์ช่วงปฏิบัติการทางขนาด.....	49
4.4.4 การวิเคราะห์ผลตอบสนองทางความถี่ของวงจร.....	53
4.4.5 การวิเคราะห์ค่าผิดพลาดของวงจร.....	56
4.5 ผลการเทียบแบบการทำงานของวงจรด้วยโปรแกรม PSPICE.....	58
4.6 สรุป.....	64

สารบัญ(ต่อ)

	หน้า
บทที่ 5 บทสรุปและวิจารณ์.....	65
5.1 บทสรุปและวิจารณ์.....	65
5.2 ข้อเสนอแนะและแนวทางในการทำวิจัยต่อ.....	65
เอกสารอ้างอิง.....	67
ภาคผนวก ก. ภาพเลย์เอาต์(Layout)ของวงจรที่ออกแบบโดยใช้โปรแกรม L-Edit, ข้อมูลที่ได้จากการ Extract ไฟล์ และ โมเดล(Model)ของมอสเฟต.....	70
ภาคผนวก ข. ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม T-SPICE.....	74
ภาคผนวก ค. การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน.....	78
ภาคผนวก ง. ผลงานวิจัยที่ได้รับการตีพิมพ์.....	81
ประวัติผู้เขียน.....	139

สารบัญตาราง

ตารางที่

หน้า

4.1 อัตราส่วนความกว้างต่อความยาวเซลล์แนล(W/L)ของมอสเฟต.....58



สารบัญรูป(ต่อ)

รูปที่	หน้า
4.8	วงจรสำหรับการวิเคราะห์ช่วงปฏิบัติงานทางอินพุต.....49
4.9	วงจรสำหรับการวิเคราะห์ช่วงปฏิบัติงานทางเอาท์พุต.....52
4.10	วงจรสมมูลย์สำหรับการวิเคราะห์ผลตอบสนองทางความถี่.....53
4.11	วงจรสำหรับการวิเคราะห์ค่าความผิดพลาดของวงจร.....57
4.12	วงจรถอดรากลที่สองที่สมบูรณ์ภายในวิทยานิพนธ์.....58
4.13	ผลการทดสอบช่วงสักคาปฏิบัติการ.....59
4.14	คุณลักษณะทางดีซีระหว่างค่ากระแส I_{out} กับค่าศักดา V_{in}60
4.15	คุณลักษณะทางดีซีระหว่างค่ากระแส I_{out} กับค่ากระแส I_{in}61
4.16	ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงตามเวลา.....62
4.17	ผลการแปรค่ากระแส I_{B4}63
4.18	ผลการแปรค่าอุณหภูมิ.....63
4.19	ผลตอบสนองทางความถี่ของวงจร.....64
ก.1	ภาพเลย์เอาท์(Layout)ของวงจรที่ออกแบบโดยใช้โปรแกรม L-Edit.....70
ข.1	ช่วงสักคาปฏิบัติงาน.....74
ข.2	คุณลักษณะทางดีซี(DC characteristic)ระหว่างค่า I_{out} กับ V_{in}75
ข.3	ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงตามเวลา.....76
ข.4	คุณลักษณะทางดีซี(DC characteristic)ระหว่างค่า I_{out} กับ I_{B4}77
ค.1	วงจรสะท้อนกระแสแบบพื้นฐาน.....78
ค.2	วงจรสมมูลย์สำหรับการวิเคราะห์ค่าความต้านทานที่จุดเข้าและจุดออก ของวงจรสะท้อนกระแสแบบพื้นฐาน.....79
ค.3	วงจรสมมูลย์สำหรับการวิเคราะห์ค่าอัตราขยายสำหรับสัญญาณขนาดเล็ก.....80

บทที่ 1

บทนำ

1.1 กล่าวนำ

ในช่วงหลาย ๆ ปีที่ผ่านมาวงการอุตสาหกรรมอิเล็กทรอนิกส์ได้พยายามคิดค้นพัฒนาการ ออกแบบวงจรสำหรับการจัดการและการประมวลผลสัญญาณที่มีราคาถูก คุณภาพสูงและมีความยืดหยุ่นในการใช้งาน ซึ่งโดยส่วนใหญ่จะมีลักษณะเป็นแบบศักดาจูดออกจูดควบคุมด้วยศักดาที่จูดเข้า (Voltage Controlled Voltage Source; VCVS)จนเป็นที่คุ้นเคยสำหรับวิศวกรไฟฟ้าและนักออกแบบวงจรโดยทั่วไป แต่จากการศึกษาค้นคว้าพบว่าบ่อยครั้งที่การประมวลผลสัญญาณในรูปแบบของสัญญาณกระแสจะให้คุณสมบัติการทำงานที่ดีกว่าการดำเนินการในรูปแบบของศักดา[1]-[10] ตัวอย่างเช่นความเร็ว ความถูกต้องแม่นยำ ช่วงขนาดและความถี่ปฏิบัติการเป็นต้น ดังนั้นในปัจจุบันจึงได้มีการพัฒนาการออกแบบในรูปแบบของสัญญาณกระแสเป็นจำนวนมากซึ่งสามารถนำมาประยุกต์ใช้งานและแปลงกลับให้อยู่ในรูปแบบของศักดาเพื่อใช้งานร่วมกับวงจรขยายแบบที่คุ้นเคยได้โดยไม่ยุ่งยาก

วงจรถอดราก็ที่สองสำหรับสัญญาณอนาลอกจัดเป็นวงจรที่มีประโยชน์และสำคัญมากวงจรหนึ่งที่มีใช้ในเครื่องมือวัดและระบบตรวจวัดสัญญาณทางอิเล็กทรอนิกส์ การประยุกต์ใช้งานของวงจรเช่นจูดใช้สำหรับปรับสัญญาณที่ได้จากตัววัดอัตราการไหลให้เป็นเชิงเส้น หรือใช้สำหรับการหาค่ารากที่สองของกำลังสองเฉลี่ย (Root Mean Square; RMS) ของสัญญาณรูปคลื่นต่างๆ[11] ดังนั้นที่ผ่านมาได้มีการคิดค้นและพัฒนาการออกแบบวงจรถอดราก็ที่สองสำหรับสัญญาณอนาลอกกันมาอย่างต่อเนื่อง ตัวอย่างหลักการที่สำคัญที่ได้มีการนำเสนอไว้ได้แก่ การใช้ออปแอมป์ (Operational Amplifier) ต่อร่วมกับตัวต้านทานและวงจรจูด[12]-[13] หรือการใช้ออปแอมป์ต่อร่วมกับตัวเก็บประจูดและอนาลอกสวิตช์ (Analog Switch)[14] อย่างไรก็ตามวงจรที่ประกอบด้วยออปแอมป์จะมีข้อจำกัดหลายประการเช่น วงจรมีขนาดใหญ่ใช้พื้นที่ในการสร้างมากและใช้กำลังงานสูง ต่อมาได้มีการนำเสนอหลักการออกแบบวงจรถอดราก็ที่สองโดยอาศัยคุณสมบัติของวงจรถานส์ลิเนียร์แบบไบโพลาร์ทรานซิสเตอร์[1] ซึ่งมีการทำงานในรูปแบบของสัญญาณกระแส และวงจรขนาดที่เล็กกว่าการใช้ออปแอมป์ต่อร่วมกัน เป็นที่ทราบกันดีแล้วว่าในปัจจุบันการออกแบบและการสร้างวงจรในรูปแบบของวงจรรวม (Integrated Circuits) โดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอสเฟทกำลังได้รับความนิยมและสนใจมากขึ้นสำหรับการจัดการและประมวลผลสัญญาณทั้งทางด้านอนาลอก (Analog) และด้านดิจิตอล (Digital) เนื่องจากมีขั้นตอนการผลิตที่ไม่ยุ่งยากเมื่อเปรียบเทียบกับเทคโนโลยีแบบไบโพลาร์ ซึ่งทำให้มีต้นทุนที่ใช้ในการผลิตต่ำกว่ารวมทั้งเมื่อนำไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่บนสื่อออนไลน์
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้งานยังใช้กำลังงานต่ำกว่าด้วย ดังจะเห็นได้จากการที่ในปัจจุบันมีผู้นำเสนอการออกแบบวงจรโดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอสเฟทเพื่อการจัดการและการประมวลผลสัญญาณต่างๆ เป็นจำนวนมาก รวมทั้งการออกแบบวงจรเพื่อสังเคราะห์ฟังก์ชันลอจิกที่สองสำหรับสัญญาณอนาล็อกด้วย ตัวอย่างหลักการที่ได้มีการนำเสนอไว้เช่น หลักการออกแบบโดยใช้งานมอสเฟทที่มีการทำงานในย่านวีกอินเวอร์ชัน (Weak Inversion)[15] ซึ่งมีข้อดีคือวงจรมีการสูญเสียกำลังต่ำสามารถทำงานได้ที่ไฟเลี้ยงวงจรต่ำ แต่ก็มีข้อจำกัดอยู่ที่ความเที่ยงตรงและการมีช่วงปฏิบัติงานทางขนาดที่ค่อนข้างแคบ ซึ่งเป็นข้อจำกัดจากผลของการใช้งานมอสเฟทในย่านนี้ อีกหลักการหนึ่งเป็นการออกแบบวงจรลอจิกที่สองโดยใช้งานมอสเฟทที่มีการทำงานในช่วงไม่อิ่มตัว(Non-saturation Region) ทำงานร่วมกับวงจรสายพานกระแสรุ่นที่สอง (The Second Generation Current Conveyor; CCII) และออปแอมป์[16] ซึ่งมีช่วงปฏิบัติงานทางขนาดและผลตอบสนองทางความถี่กว้างกว่าการใช้งานมอสเฟทในย่านวีกอินเวอร์ชัน แต่เนื่องจากการใช้งานออปแอมป์เป็นส่วนประกอบทำให้วงจรมีโครงสร้างค่อนข้างใหญ่ นอกจากนี้วงจรยังมีปัญหาด้านเสถียรภาพทางอุณหภูมิอีกด้วย

วิทยานิพนธ์ฉบับนี้ได้ทำการนำเสนองานวิจัยการออกแบบวงจรลอจิกที่สองสำหรับสัญญาณอนาล็อกในรูปแบบของวงจรรวมโดยใช้เทคโนโลยีทรานซิสเตอร์แบบมอสเฟทที่มีการทำงานอยู่ในช่วงอิ่มตัว (Saturation Region) และหลักการของวงจรทรานส์ลิเนียร์รูปแบบมอสเฟทเป็นหลัก ซึ่งจะทำให้ได้วงจรลอจิกที่สองที่มีคุณสมบัติดีกว่าการใช้งานมอสเฟททั้งสองลักษณะที่ได้กล่าวอ้าง

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

ในการทำวิทยานิพนธ์นี้ได้กำหนดวัตถุประสงค์ในการทำวิทยานิพนธ์ไว้ดังนี้

1. วิจัยและพัฒนาการออกแบบวงจรลอจิกที่สองสำหรับสัญญาณอนาล็อกในรูปแบบของวงจรรวมโดยอาศัยคุณสมบัติการทำงานในช่วงอิ่มตัวของมอสเฟท
2. วงจรที่ออกแบบมีโครงสร้างที่เรียบง่าย สามารถใช้งานกับอินพุตที่เป็นทั้งสัปดาห์และกระแสโดยมีการทำงานในรูปแบบของสัญญาณกระแส (Current Mode) และเอาต์พุตเป็นสัญญาณกระแส
3. วงจรสามารถทำงานได้อย่างถูกต้องเที่ยงตรง มีช่วงปฏิบัติงานทางขนาดและผลตอบสนองทางความถี่กว้าง
4. ในการทดสอบสมรรถนะการทำงานของวงจรที่ได้พัฒนาออกแบบ จะใช้โปรแกรม PSPICE เลียนแบบการทำงานของวงจร หลังจากนั้นจะทำการออกแบบเป็นเลย์เอาต์โดยใช้โปรแกรม L-Edit

1.3 หลักการใหม่ในวิทยานิพนธ์

ในการทำวิทยานิพนธ์ฉบับนี้ได้มีการเสนอแนวความคิดและหลักการใหม่ในการออกแบบ "วงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อก" ใช้ 3 ประการคือ

1. วงจรที่ออกแบบสามารถใช้งานได้กับอินพุตที่เป็นทั้งกระแสและศักดา โดยจะให้เอาต์พุตของวงจรเป็นสัญญาณกระแส
2. วงจรที่ออกแบบ จะให้ค่ากระแสเอาต์พุตที่สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์
3. การออกแบบวงจรรย่อเพื่อสังเคราะห์ฟังก์ชันถอดรอกที่สองแบบพื้นฐาน ที่ใช้ประกอบในวิทยานิพนธ์ เป็นการอาศัยหลักการทรานส์ลิเนียร์แบบซิมอสที่มีการทำงานในช่วงอิมิตัว

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 5 บทและภาคผนวกอีก 4 ภาค ซึ่งมีรายละเอียดดังต่อไปนี้

บทที่ 1 คือบทนำ ซึ่งเป็นการกล่าวนำถึงวัตถุประสงค์ หลักการใหม่ในวิทยานิพนธ์และรายละเอียดของวิทยานิพนธ์ในแต่ละบท

บทที่ 2 กล่าวถึงทฤษฎีการทำงาน และสมการแสดงความสัมพันธ์ของมอสเฟต โดยจะเน้นที่การทำงานในช่วงอิมิตัว และได้กล่าวถึงหลักการของวงจรถอดรอกที่สังเคราะห์ที่จะนำมาใช้วิเคราะห์และกล่าวอ้างภายในวิทยานิพนธ์

บทที่ 3 กล่าวถึงตัวอย่างหลักการออกแบบวงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อกที่สำคัญในอดีต 5 ตัวอย่าง ซึ่งได้แก่ การใช้ฮอปแอมป์คู่ร่วมกับตัวต้านทานและวงจรถูก การใช้ออปแอมป์คู่ร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์ การออกแบบโดยอาศัยหลักการของวงจรถอดรอกที่สังเคราะห์แบบไบโพลาร์ทรานซิสเตอร์ การออกแบบโดยใช้มอสเฟตในย่านวิคอินเวอร์ชัน และการออกแบบโดยใช้มอสเฟตทำงานในช่วงไม่อิมิตัวคู่ร่วมกับฮอปแอมป์และวงจรถอดรอกที่สังเคราะห์ พร้อมทั้งได้อธิบายถึงข้อดีและข้อเสียของแต่ละแนวทางการออกแบบ

บทที่ 4 กล่าวถึงการออกแบบวงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อกภายในวิทยานิพนธ์ วงจรรย่อที่ใช้ประกอบร่วมสำหรับการออกแบบ การวิเคราะห์คุณสมบัติของวงจรถอดรอกที่สังเคราะห์ การออกแบบ ซึ่งได้แก่ค่าความต้านทานที่จุดเข้าและที่จุดออก ช่วงขนาดปฏิบัติงานค่าความผิดพลาดและผลตอบสนองทางความถี่ของวงจรถอดรอกที่สังเคราะห์ จากนั้นเป็นการเขียนแบบการทำงานของวงจรถอดรอกที่สังเคราะห์ด้วยโปรแกรม PSPICE เพื่อทดสอบคุณสมบัติดังกล่าวของวงจรถอดรอกที่สังเคราะห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 เป็นการสรุปผลงานภายในวิทยานิพนธ์ ข้อดีและข้อเสียของหลักการการออกแบบ และแนวทางในการพัฒนาต่อไปในอนาคต

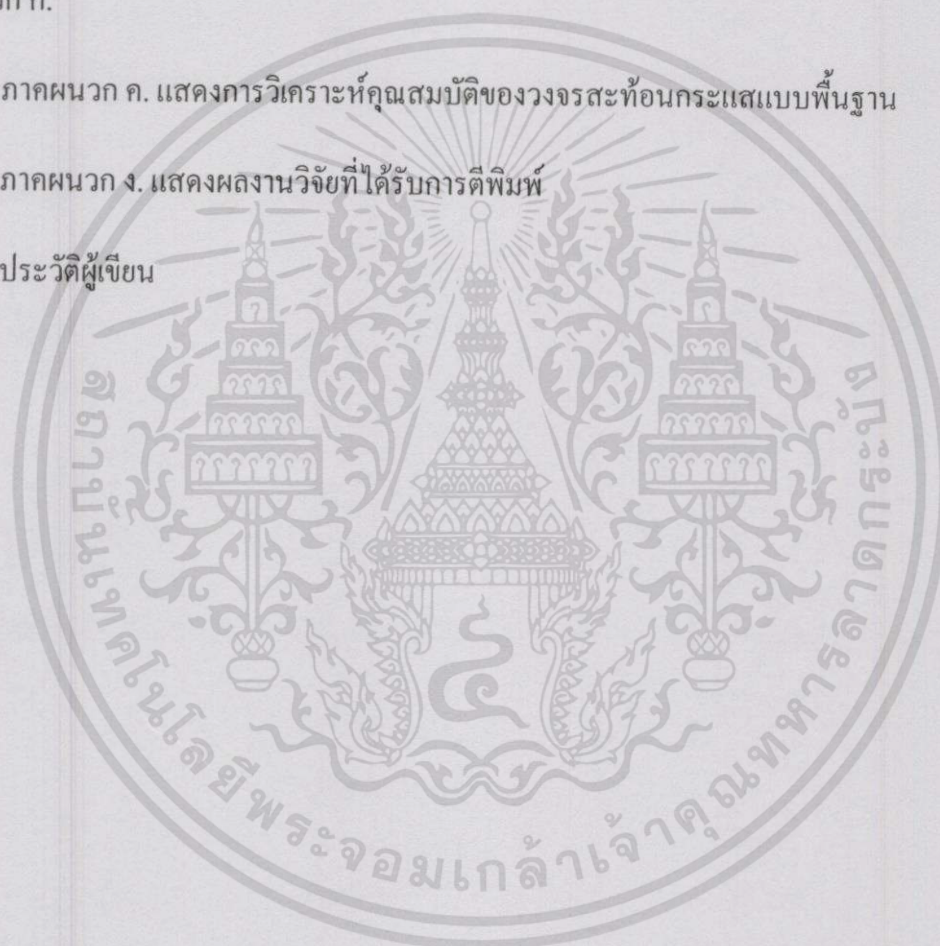
ภาคผนวก ก. แสดงภาพเลย์เอาต์ของวงจรดอครากที่สองที่ได้ทำการออกแบบขึ้นและวาด โดยใช้โปรแกรม L-Edit ข้อมูลที่ได้จากการ Extract ไฟล์ดังกล่าว และพารามิเตอร์ที่สำคัญของมอส เฟทที่ใช้สำหรับการเขียนแบบการทำงานและการออกแบบ

ภาคผนวก ข. แสดงผลการเขียนแบบของวงจรด้วยโปรแกรม T-SPICE โดยใช้ข้อมูลจาก ภาคผนวก ก.

ภาคผนวก ค. แสดงการวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน

ภาคผนวก ง. แสดงผลงานวิจัยที่ได้รับการตีพิมพ์

ประวัติผู้เขียน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีการทำงานของมอสเฟตและหลักการ ของวงจรถานส์ลิเนียร์

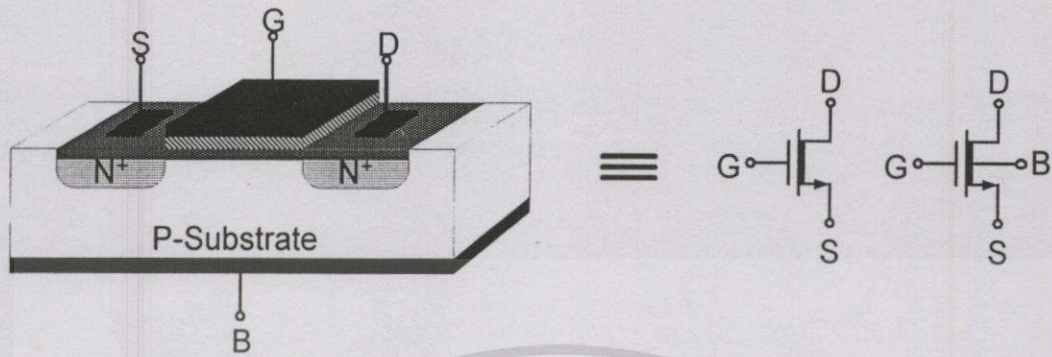
2.1 กล่าวนำ

ในวิทยานิพนธ์นี้เป็นการวิจัยและพัฒนาการออกแบบวงจรถานส์ลิเนียร์สำหรับสัญญาณอนาล็อก โดยอาศัยหลักการของวงจรถานส์ลิเนียร์แบบมอสเฟตชนิดเอ็นฮานซ์เมนต์โหมด (Enhancement-mode) ที่มีการทำงานอยู่ในช่วงอิ่มตัว (Saturation Region) เป็นหลัก ดังนั้นเพื่อเป็นแนวทางในการออกแบบซึ่งจะนำไปสู่ผลที่คาดว่าจะเกิดขึ้น และการใช้เป็นข้ออ้างอิงกับผลที่ได้จากการเลียนแบบการทำงานของวงจรถานส์ลิเนียร์โดยใช้โปรแกรมทางคอมพิวเตอร์ เช่น โปรแกรม PSPICE ซึ่งจะใช้เป็นข้อแสดงถึงสมรรถนะของวงจรถานส์ลิเนียร์ที่เกิดขึ้นว่า มีคุณสมบัติเป็นไปตามหลักการที่ได้ออกแบบและนำเสนอมาก่อนหน้านี้หรือไม่ เนื้อหาในบทนี้จะขออ้างอิงและกล่าวถึงทฤษฎีการทำงานของวงจรถานส์ลิเนียร์ และสมการสำคัญๆ ของมอสเฟต โดยเฉพาะอย่างยิ่งมอสเฟตชนิดเอ็นฮานซ์เมนต์โหมดที่มีการทำงานในช่วงอิ่มตัว รวมทั้งได้กล่าวถึงหลักการของวงจรถานส์ลิเนียร์ ซึ่งจะใช้เป็นพื้นฐานในการออกแบบวงจรถานส์ลิเนียร์สำหรับสัญญาณอนาล็อกภายในวิทยานิพนธ์ สำหรับสมการและทฤษฎีการทำงานโดยละเอียดของมอสเฟตนั้น ได้มีการนำเสนอไว้แล้วในเอกสารและตำราต่างๆ มากมาย [1], [2], [17]-[37]

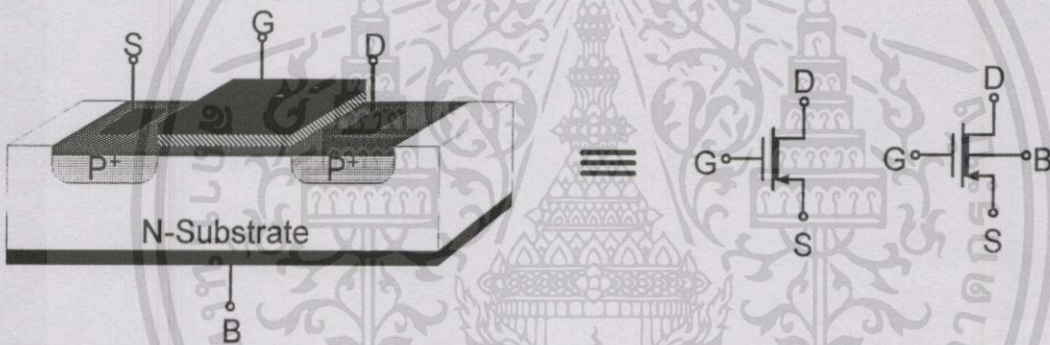
2.2 ทฤษฎีการทำงานของมอสเฟต [1], [2], [17]-[37]

มอสเฟต (Metal Oxide Semiconductor Field Effect Transistor; MOSFET) หรือมอสทรานซิสเตอร์ หรือทรานซิสเตอร์แบบมอส ได้มีการพัฒนามาก่อนการสร้างไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistor) [17] ในต้นทศวรรษที่ 1930 ได้มีหลักฐานแสดงถึงการจดสิทธิบัตรสำหรับอุปกรณ์ที่คล้ายกับซิลิกอนมอสเฟตในปัจจุบัน แต่ไม่ได้สร้างขึ้นจากซิลิกอน แต่เนื่องจากสมัยนั้นเทคโนโลยีและกระบวนการสร้างยากที่จะควบคุมรอยสัมผัสหรือรอยต่อของฉนวนกับสารกึ่งตัวนำ (Insulator-semiconductor Interface) และยังคงขาดความเข้าใจในกระบวนการของฉนวนและสารกึ่งตัวนำ ทำให้อุปกรณ์ที่คล้ายมอสเฟตในสมัยนั้นไม่สามารถนำไปใช้งานจริงได้ จนกระทั่งการเกิดขึ้นของกระบวนการ Silicon planar และเทคโนโลยีสมัยใหม่สามารถควบคุมรอยต่อระหว่างออกไซด์และซิลิกอนได้ดี ทำให้สามารถสร้างมอสทรานซิสเตอร์และนำมาใช้งานได้จริง ซึ่งเป็นวิธีที่แพร่หลายตั้งแต่ปลายทศวรรษที่ 1970 จนถึงปัจจุบัน [17]-[26]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



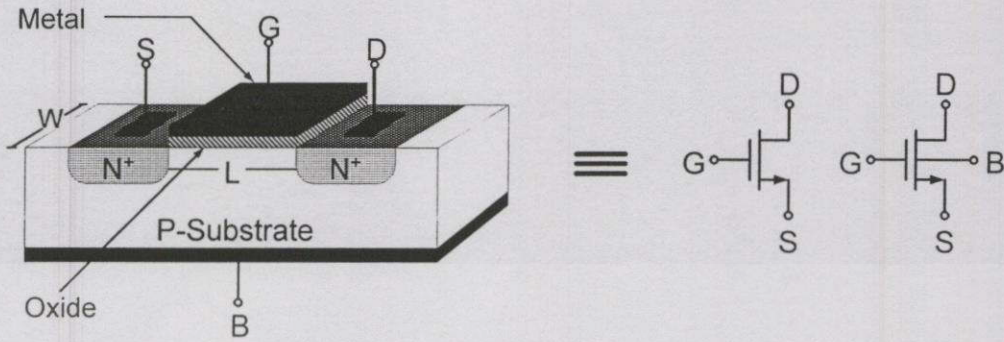
(ก) แบบช่องทางเดินกระแสชนิดเอ็น(N-channel)



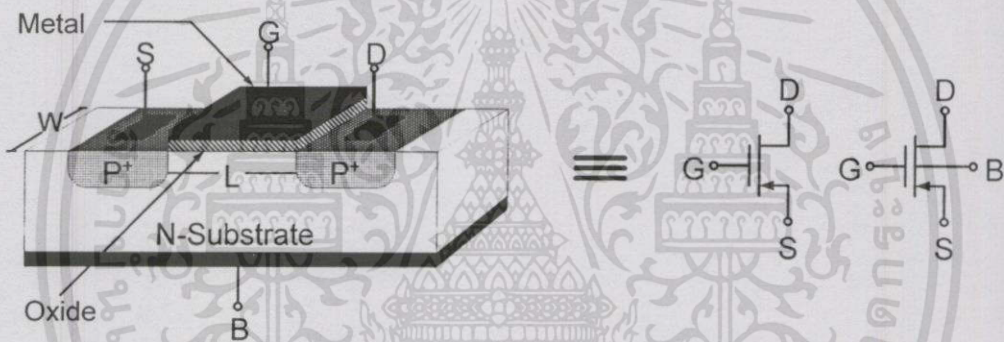
(ข) แบบช่องทางเดินกระแสชนิดพี(P-channel)

รูปที่ 2.1 มอสเฟตแบบแบบตีเพลทชั้น โหมด (Depletion-mode)

มอสเฟตเป็นทรานซิสเตอร์ที่ทำงานโดยผลของสนามไฟฟ้า สามารถแบ่งเป็นประเภทต่างๆ ได้หลายแบบ ขึ้นอยู่กับเกณฑ์ที่ใช้ในการแบ่ง เช่น ถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแส จะสามารถแบ่งได้เป็นสองชนิด คือ มอสเฟตแบบช่องทางเดินกระแสชนิดเอ็น (N-channel MOSFET) ซึ่งเป็นมอสเฟตที่ใช้อิเล็กตรอนเป็นพาหะในการนำกระแส และมอสเฟตแบบช่องทางเดินกระแสชนิดพี (P-channel MOSFET) ซึ่งเป็นมอสเฟตที่ใช้โฮล (hole) เป็นพาหะในการนำกระแส ถ้าแบ่งมอสเฟตตามลักษณะโครงสร้างและการเกิดแชนแนลในขณะที่มีการไบอัสเป็นศูนย์ จะสามารถแบ่งออกได้เป็นสองลักษณะคือ มอสเฟตแบบตีเพลทชั้น โหมด (Depletion-mode) และแบบเอ็นฮานซ์เมนต์ โหมด (Enhancement-mode) สำหรับมอสเฟตแบบตีเพลทชั้น โหมดชนิดเอ็น โครงสร้างจะประกอบไปด้วยปลายอิเล็กโทรดเรตนและซอสที่มีปลายทั้งสองข้างต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกันซึ่งเป็นชนิดเอ็นบางๆ ที่ต่อกันในลักษณะของแชนแนล ซึ่งวางอยู่บนผิวหน้าของเอ็กสตรินเป็นเอ็กสตรินสองชั้นไว้สำหรับการเซาะเพื่อทำการศึกษาเท่านั้น เมื่ออยู่ใต้เทินาไปเซาะจะเซาะจนถึงการค้ำไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) แบบช่องทางเดินกระแสชนิดเอ็น(N-channel)



(ข) แบบช่องทางเดินกระแสชนิดพี(P-channel)

รูปที่ 2.2 มอสเฟตแบบแบบเอ็นฮานซ์เมนต์โหมด(Enhancement-mode)

ฐานรอง (Substrate) ชนิดพี จากนั้นจึงวางอิเล็กโทรดเกตซึ่งเป็นโลหะเหนี่ยวนำของเซลล์ชนิดเอ็นซึ่งกันด้วยฉนวนบางๆ ของซิลิกอนออกไซด์ (SiO_2) โดยมีค่าพิคัดความต้านทาน (Resistivity) ประมาณ 10^{15} โอห์ม (ฉ. อุณหภูมิห้อง) [17], [32]-[33] ทำนองเดียวกันถ้าเปลี่ยนไปใช้ฐานรองที่เป็นชนิดเอ็นและมีเซลล์ที่วางอยู่บนผิวหน้าของฐานรองเป็นชนิดพี เราเรียก มอสเฟต ชนิดนี้ว่าเป็นมอสเฟตแบบดีเพลทชันโหมดชนิดพีเซลล์ ดังแสดงในรูปที่ 2.1 ในการทำงานของมอสเฟตแบบดีเพลทชันโหมดนี้ สามารถทำงานในย่านดีเพลทชันด้วยไบอัสย้อนกลับและยังทำงานในย่านเอ็นฮานซ์เมนต์ด้วยไบอัสตรง โดยมีแรงดันไบอัสเกตซอส (V_{GS}) ควบคุมการไหลของกระแส (I_D) ที่เกิดขึ้น สำหรับมอสเฟตแบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นและชนิดพีมีขบวนการสร้างเช่นเดียวกับการสร้างมอสเฟตแบบดีเพลทชันโหมดชนิดเอ็นและชนิดพีตามลำดับทุกประการแต่จะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความแตกต่างกันเฉพาะในส่วนของการสร้างเซลล์แทนที่นั้น ซึ่งมอสเฟตแบบเอ็นฮานซ์เมนต์ โหมดนี้จะมีส่วนปลายอิเล็กโทรดและซอสทั้งสองข้างต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกันใน ลักษณะของเซลล์ซึ่งวางอยู่บนผิวหน้าของฐานรอง แต่เซลล์ดังกล่าวจะไม่ต่อถึงกันโดยที่มี ระยะห่างหรือความยาวของเซลล์(Channel Length) เกิดขึ้นเป็น L และมีความกว้างของเซลล์ (Channel Width) เป็น W ดังรูปที่ 2.2 ในการทำงานของมอสเฟต แบบเอ็นฮานซ์เมนต์โหมด สามารถทำงานได้เฉพาะย่านเอ็นฮานซ์เมนต์ด้วยไบอัสตรงเท่านั้น ไม่สามารถทำงานในย่านของดีเพลทชันด้วยไบอัสย้อนกลับได้

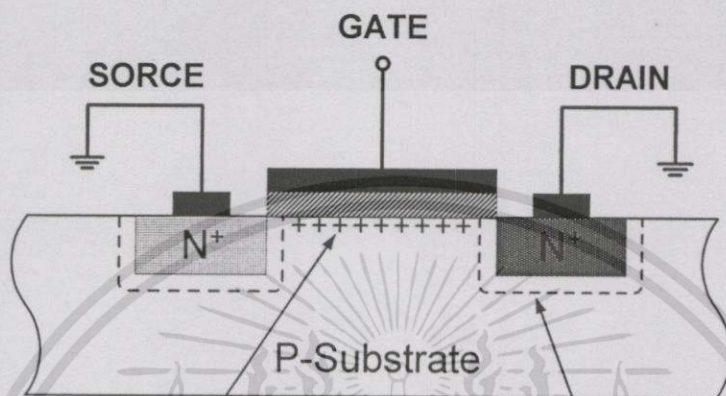
เนื่องจากมอสเฟตแบบเอ็นฮานซ์เมนต์โหมด เป็นแบบที่นิยมใช้กันอย่างแพร่หลายมากกว่า แบบดีเพลชันโหมด และเป็นแบบที่ใช้ภายในวิทยานิพนธ์นี้ ดังนั้นหัวข้อที่จะกล่าวดังต่อไปนี้ เป็น รายละเอียดซึ่งอธิบายถึงทฤษฎีการทำงานของมอสเฟตชนิดเอ็นฮานซ์เมนต์โหมด โดยจะพิจารณา ที่มอสเฟตในช่วงทางเดินกระแสชนิดเอ็นเป็นหลัก สำหรับชนิดพีจะมีค่าศักดา V_{GS} และทิศทางของ กระแสตรงเป็นไปในทิศทางตรงข้าม และเพื่อความกระชับในการกล่าวอ้าง คำว่า "มอสเฟต" ภายในวิทยานิพนธ์นี้จะหมายถึง "มอสเฟตชนิดเอ็นฮานซ์เมนต์"

2.2.1 คุณสมบัติการทำงาน

ในการอธิบายคุณสมบัติการทำงานของมอสเฟตชนิดเอ็นสามารถที่จะอธิบายการทำงานได้ ตามโครงสร้างในรูปที่ 2.3 ซึ่งแสดงถึงการทำงานในช่วงต่างๆ ของ V_{GS} และ V_{DS} จากรูปที่ 2.3 (ก) ซอส เคน และฐานรองต่อลงกราวด์ ในกรณีนี้มีผลให้ทรานซิสเตอร์ทำงานคล้ายกับตัวเก็บประจุ โดยเกตและผิวของซิลิกอนได้ฉนวนซิลิกอนไดออกไซด์ทำหน้าที่เสมือนแผ่นระนาบ (plate) ของ ตัวเก็บประจุ ซึ่งมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนกั้นระหว่างกลาง ถ้า V_{GS} มีค่าเป็นลบ ประจุพาหะชนิดบวกหรือโฮลจะถูกดึงดูดเข้ามาสะสมบริเวณเซลล์ มีผลให้บริเวณเซลล์ กลายเป็น p^+ และเรียกว่า เซลล์สะสม (Accumulated Channel) บริเวณซอสและเคนที่เป็น n^+ ถูกแยกกันด้วยเซลล์ p^+ เมื่อมองในลักษณะวงจรสมมูลแล้ว จะพบว่า มีลักษณะของไดโอดสอง ตัวต่อหันหลังชนกัน (back-to-back diodes) ดังนั้นถ้าจะเกิดกระแสไหลได้ แรงดันที่ซอสและเคน จะต้องมีความมากๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหล (Leakage Current) หรือกรณีที่แรงดัน เคนซอสมีค่ามากจนทำให้ทรานซิสเตอร์เบรคดาวน์ [29]

ในกรณีที่แรงดันเกตมีค่าเป็นบวกไม่มาก ประจุข้างใต้เกตจะถูกผลักออกไป ทำให้เซลล์- เซลล์เปลี่ยนไปเป็น p^- และเป็นบริเวณปลอดพาหะ (Depletion region) ในที่สุด เมื่อแรงดันที่เกตเพิ่ม มากขึ้น ประจุลบหรืออิเล็กตรอนจะถูกดึงดูดเข้ามาที่บริเวณเซลล์ และเซลล์จะแปรสภาพ เป็นบริเวณ n ตามรูปที่ 2.3(ข) ซึ่งเชื่อมต่อบริเวณซอสและเคนเข้าด้วยกัน และเรียกว่าเซลล์ กลับ (Inverted Channel) แรงดันเกตที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกตมีค่าเท่ากับความ

หนาแน่นของโฮลบริเวณฐานรอง เป็นนิยามของแรงดันขีดเริ่มของทรานซิสเตอร์ (Transistor Threshold Voltage) ใช้สัญลักษณ์ V_{TH} สำหรับค่าแรงดันเกตขอสมากกว่า V_{TH} จะมีเซลล์ชนิดเอ็นเกิดขึ้น และสามารถเกิดการนำไฟฟ้าระหว่างเดรนและซอร์สได้

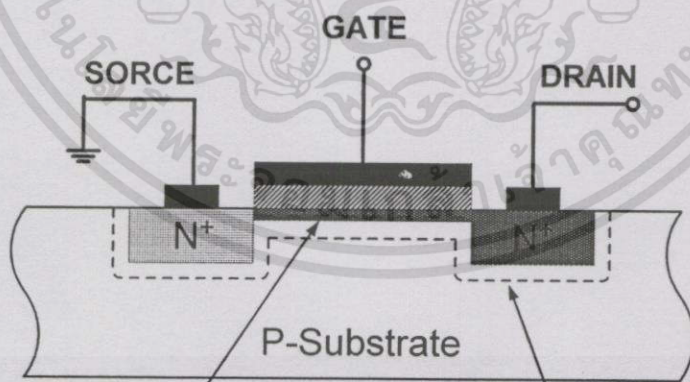


Accumulation layer

Depletion region

$$V_{GS} < 0$$

2.3 (ก).



Inversion layer

Depletion region

$$V_{GS} > V_{TH}$$

$$V_{DS} < V_{GS} - V_{TH}$$

2.3 (ข).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อแรงดันเกต-ซอส V_{GS} มีค่ามากกว่า V_{TH} ทำให้แชนแนลเกิดขึ้น ดังนั้นเมื่อ V_{GS} เพิ่มขึ้น ความหนาแน่นของอิเล็กตรอนในแชนแนลก็จะเพิ่มขึ้นด้วย และสรุปได้ว่าค่าความหนาแน่นของประจุพาหะจะแปรผันตาม $V_{GS} - V_{TH}$ ซึ่งนิยามเป็น "แรงดันเกต-ซอสประสิทธิผล" (Effective Gate-Source Voltage) ใช้สัญลักษณ์ V_{eff} ดังนั้นค่าความหนาแน่นของประจุอิเล็กตรอน แสดงได้โดย [30]

$$Q = C_{ox}(V_{GS} - V_{TH}) = C_{ox} V_{eff} \quad (2.1)$$

โดยที่ C_{ox} เป็นค่าความจุไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่

เมื่อแรงดันที่เดรนมีค่ามากกว่าศูนย์โวลต์เล็กน้อย ทำให้เกิดความต่างศักย์ที่ซอสและเดรน มีผลให้เกิดกระแสไหลจากเดรนไปซอส ความสัมพันธ์ระหว่าง V_{DS} และกระแส I_D จะเหมือนกับกรณีของความต้านทาน โดยมีความสัมพันธ์ดังนี้

$$I_D = \mu_n Q \frac{W}{L} V_{DS} \quad (2.2)$$

ขณะที่ μ_n เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอน และ Q เป็นค่าความหนาแน่นของประจุในแชนแนลต่อหนึ่งหน่วยพื้นที่ จากสมการ (2.1) และ (2.2) จะได้

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.3)$$

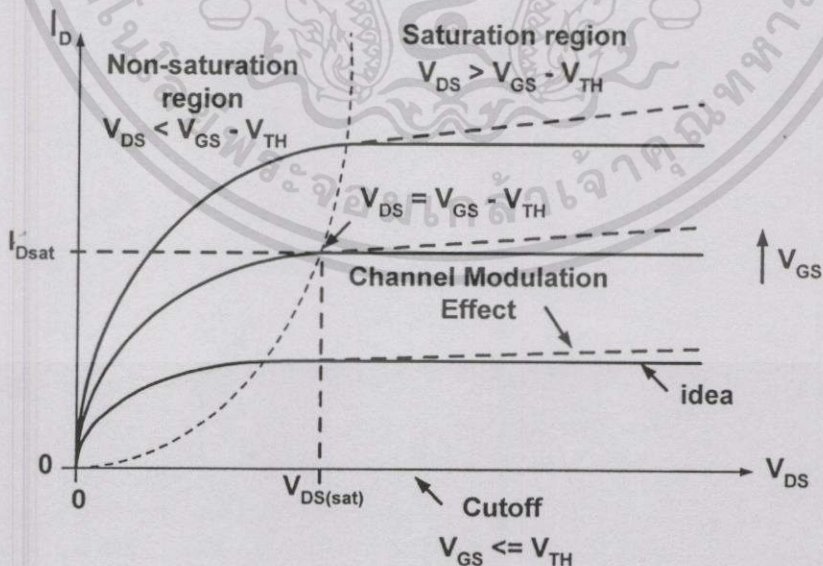
สมการ (2.3) นี้เป็นความสัมพันธ์ที่สามารถใช้ได้เพียงกรณีแรงดันเดรน-ซอสมีค่าเข้าใกล้ศูนย์

การทำงานของทรานซิสเตอร์ในเชิงโครงสร้างอธิบายได้ตามรูปที่ 2.3 (ข) โดยเมื่อ V_{GS} มากกว่า V_{TH} และ $V_{DS} = 0V$ ซึ่งขณะนี้แชนแนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหล เนื่องจากแรงดันระหว่างซอสและเดรนมีค่าเป็นศูนย์โวลต์ และเมื่อให้แรงดัน V_{DS} ค่าน้อยๆ ค่าหนึ่งจะทำให้เกิดมีกระแสไหลผ่านแชนแนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้ เสมือนเป็นตัวต้านทาน มีความสัมพันธ์เป็นไปตามสมการ (2.3)

เมื่อแรงดันเดรน-ซอสเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่แชนแนลจะลดลงตามแนวแชนแนลจากซอสไปเดรน ตามรูปที่ 2.3 (ค). การลดลงของประจุพาหะในแชนแนลนี้มีผลให้เกิดแรงดันตกคร่อมแชนแนลที่ตำแหน่งต่างๆ ไม่เท่ากัน กล่าวคือ สมมุติว่าแรงดันที่เดรนมีค่ามากกว่าแรงดันที่ซอส จะมีการเพิ่มขึ้นของแรงดันจากซอสไปเดรนอย่างต่อเนื่องภายในแชนแนลมีผล

ให้แรงดันดักคร่อมระหว่างเกตและแชลแนลจะมีค่าสูงสุดเท่ากับ V_{GS} ที่ตำแหน่งด้านซอสและแรงดันเกตแชลแนลมีค่าต่ำสุดที่ตำแหน่งปลายด้านเดรน และแรงดันเกตที่ทำให้เกิดแชลแนลคือ $V_G = V_{GS} - V_{TH}$ (เมื่อ $V_{GS} < V_{TH}$ กระแสจะไม่ไหลและไม่มีแชลแนลเกิดขึ้น) เพื่อที่จะทำให้แชลแนลจะดองมีศักย์เป็นบวก จึงจะทำให้เกิดแชลแนล โดยในขณะนี้ทรานซิสเตอร์ทำงานและอยู่ในช่วงไม่อิ่มตัว กระแสเดรน I_D จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน V_{DS} อย่างไม่เป็นเชิงเส้นตามกราฟในรูป 2.3 (ค) การทำงานของทรานซิสเตอร์ในย่านนี้ ($V_{DS} < V_{GS} - V_{TH}$) เรียกว่า ช่วงไม่อิ่มตัว (Nonsaturation Region) เมื่อ V_{DS} มีค่ามากขึ้น จนกระทั่งมีค่า $V_{DS} = V_{GS} - V_{TH}$ ทรานซิสเตอร์เริ่มเข้าสู่สภาวะอิ่มตัว และลักษณะโครงสร้างของทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูปที่ 2.3 (ค)

และเมื่อค่าของแรงดัน V_{DS} เพิ่มขึ้นไปอีกจนกระทั่งมีค่า $V_{DS} > V_{GS} - V_{TH}$ ในกรณีนี้แรงดันที่ตกคร่อมแชลแนลที่ปลายด้านเดรนมีค่าสูงกว่า $V_{GS} - V_{TH}$ ดังนั้นจะทำให้เกิดภาวะพินช์ออฟ (Pinch off) กล่าวคือ แชลแนลซึ่งเป็นช่องทางเดินกระแสจะขาดออก เริ่มจากบริเวณด้านเดรน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าซึ่งจะมาเหนี่ยวนำให้มีการสะสมของประจุลบ เพื่อทำหน้าที่เป็นแชลแนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกัน แสดงดังรูปที่ 2.3 (ง) และจะมีกระแสแพร่ (Diffusion Current) จากส่วนของซอสไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูง และคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source) กระแสเดรนในภาวะนี้จึงมีค่าคงที่ แม้ว่า V_{DS} จะมีค่าเพิ่มขึ้นก็ตามแสดงในกราฟตามรูปที่ 2.3 (ง) การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่าช่วงอิ่มตัว (Saturation Region)



รูปที่ 2.4 กราฟคุณสมบัติการทำงานของมอสเฟตแบบเอ็นชานซ์เมนต์โหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 สมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ [1], [2], [26]-[38]

จากคุณสมบัติของมอสเฟตชนิดเอ็นทีได้กล่าวมาแล้วสามารที่จะสรุปโดยแบ่งการทำงานออกได้เป็น 3 ช่วงโดยพิจารณาจากค่า $V_{GS} - V_{TH}$ และค่า V_{DS} ซึ่งจะสามารถเขียนสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-Signal Model) ได้ดังต่อไปนี้

1. ช่วงที่มอสเฟตไม่นำกระแส (Cutoff Region) จะได้ว่า

$$I_D = 0 \quad \text{เมื่อ } V_{GS} \leq V_{TH} \quad (2.4)$$

2. ช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น (Non-saturation Region or Triode Region) จะได้ว่า

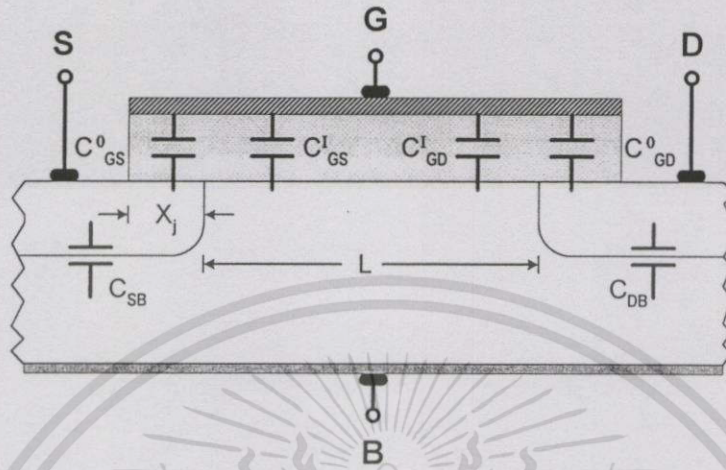
$$I_D = \frac{\mu_n C_{ox} W}{L} \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{เมื่อ } V_{GS} - V_{TH} > V_{DS} \quad (2.5)$$

3. ช่วงนำกระแสอิ่มตัว (Saturation Region) จะได้ว่า

$$I_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{TH})^2 \quad \text{เมื่อ } V_{GS} - V_{TH} \leq V_{DS} \quad (2.6)$$

- โดยที่
- I_D คือ ค่ากระแสเดรน (Drain Current)
 - V_{GS} คือ ค่าศักดาตกคร่อมขาทเกต-ซอส (Gate-Source Voltage)
 - V_{DS} คือ ค่าศักดาตกคร่อมขาดเรน-ซอส (Drain-Source Voltage)
 - μ_n คือ ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
 - C_{ox} คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance Per Unit Area of the Gate Oxide)
 - W คือ ความกว้างประสิทธิผลของแชนแนล (Effective Channel Width)
 - L คือ ความยาวประสิทธิผลของแชนแนล (Effective Channel Length)
 - V_{TH} คือ ค่าศักดาไฟฟ้าขีดเริ่ม (Threshold Voltage)

2.2.3 ค่าความจุไฟฟ้าในมอสเฟต [1], [2], [31], [32]



รูปที่ 2.5 ค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสเฟต

สำหรับค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างภายในของมอสเฟต สามารถพิจารณาได้ตามโครงสร้างในรูปที่ 2.5 โดยมีค่าดังต่อไปนี้

1. C_{GS} คือ ค่าความจุไฟฟ้ารวมระหว่าง เกตและซอส ซึ่งมีค่าเท่ากับ

$$C_{GS} = C_{GS}^I + C_{GS}^O \quad (2.7)$$

เมื่อ C_{GS}^I คือ gate-oxide capacitance associated with the source region of the intrinsic transistor structure

C_{GS}^O คือ parasitic capacitance resulting from the overlap of the gate and source

$$\text{โดยที่ } C_{GS}^I = \begin{cases} C_{OX} WL \left(1 - \left[\frac{V_{GS} - V_{TH} - V_{DS}}{2(V_{GS} - V_{TH})_m V_{DS}} \right] \right) & \text{Non-saturation region} \\ \frac{2}{3} C_{OX} WL & \text{Saturation region} \end{cases} \quad (2.8)$$

$$\text{และ } C_{GS}^O = C_{OX} W X_j \quad (2.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. C_{GD} คือ ค่าความจุไฟฟ้ารวมระหว่างเกตและเดรน ซึ่งมีค่าเท่ากับ

$$C_{GD} = C_{GD}^I + C_{GD}^O \quad (2.10)$$

เมื่อ C_{GD}^I คือ gate-oxide capacitance associated with the drain region of the intrinsic transistor

C_{GD}^O คือ parasitic capacitance resulting from the overlap of the gate and drain

โดยที่ $C_{GD}^I = \begin{cases} C_{OX} WL \left[1 - \left[\frac{V_{GS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}} \right]^2 \right] & \text{Non-saturation region} \\ \approx 0 & \text{Saturation region} \end{cases} \quad (2.11)$

$$C_{GD}^O = C_{OX} W X_j \quad (2.12)$$

3. C_{SB} คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างซอสกับซบสเตท ซึ่งมีค่าเท่ากับ

$$C_{SB}(V_{SB}) = \frac{C_{SB}(0)}{\sqrt{(1 + V_{SB}/\phi_0)}} \quad (2.13)$$

เมื่อ $C_{SB}(0)$ คือ the zero-bias capacitance of the source-body pn junctions

ϕ_0 คือ the barrier potential

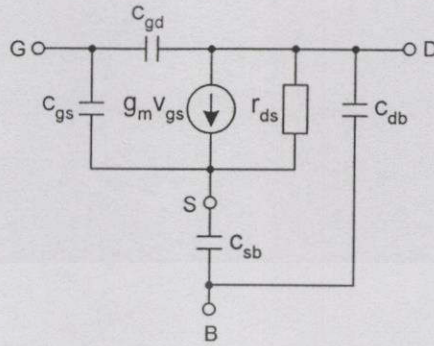
4. C_{DB} คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างเดรนกับซบสเตท ซึ่งมีค่าเท่ากับ

$$C_{DB}(V_{DB}) = \frac{C_{DB}(0)}{\sqrt{(1 + V_{DB}/\phi_0)}} \quad (2.14)$$

เมื่อ $C_{DB}(0)$ คือ the zero-bias capacitance of the drain-body pn junctions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 วงจรสมมูลย์และสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก[2],[26]-[32]



รูปที่ 2.6 วงจรสมมูลย์สำหรับสัญญาณขนาดเล็กของมอสเฟต

ในรูปที่ 2.6 แสดงวงจรสมมูลย์สำหรับสัญญาณขนาดเล็กของมอสเฟตที่ซึ่งทำงานในช่วงอิมิตัวและไม่อิมิตัว โดยที่มีค่าของตัวเก็บประจุแต่ละตัวจะมีค่าเป็นไปตามสมการ (2.7)-(2.14)

และค่าความนำ(Transconductance)ของวงจรสามารถคำนวณได้จากสมการที่ (2.5) และสมการที่ (2.6) ซึ่งจะได้

$$g_m = \left. \frac{dI_d}{dV_{gs}} \right|_{V_{GS}=0} = \begin{cases} \frac{\mu_n C_{OX} W V_{DS}}{L} & \text{Non-saturation region} \\ \frac{\mu_n C_{OX} W}{L} (V_{GS} - V_{TH}) & \text{Saturation region} \end{cases} \quad (2.15)$$

จากสมการที่ (2.15) สำหรับการงานในช่วงอิมิตัว ค่าความนำของวงจรสามารถเขียนความสัมพันธ์ให้อยู่ในรูปของกระแสได้เป็น

$$g_m = \sqrt{\frac{2\mu_n C_{OX} W I_D}{L}} \quad (2.16)$$

สำหรับค่าความต้านทานที่จุดออกของวงจรสามารถคำนวณได้ตามความสัมพันธ์ดังนี้คือ

$$\frac{1}{r_{ds}} = g_{ds} = \left. \frac{dI_d}{dV_{DS}} \right|_{V_{DS}=0} = \begin{cases} \frac{\mu_n C_{OX} (V_{GS} - V_{TH} - V_{DS})}{L} & \text{Non-saturation region} \\ \lambda I_D & \text{Saturation region} \end{cases} \quad (2.17)$$

เมื่อ λ คือ channel length modulation parameter (volts⁻¹)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 2.6 ได้รวมถึงตัวเก็บประจุจำนวน 4 ตัวคือ C_{gs} , C_{gd} , C_{sb} และ C_{db} ซึ่งค่อนข้างยุ่งยากและซับซ้อนสำหรับการวิเคราะห์ด้วยมือและมักถูกใช้สำหรับในการวิเคราะห์โดยใช้การจำลองการทำงานด้วยโปรแกรมคอมพิวเตอร์เท่านั้น [27], [28], [31] เนื่องจากในวิทยานิพนธ์นี้เป็นกรอกแบบวงจรถอดรากที่สองสำหรับสัญญาณอนาล็อกโดยใช้มอสเฟตที่มีการทำงานอยู่ในช่วง-อิมิตัวเป็นหลักซึ่งจะเป็นผลให้เกิดสถานะพินชออฟ (Pinch off) กล่าวคือแชนแนล (Channel) ซึ่งเป็นช่องทางเดินกระแสบริเวณปลายด้านเดรนขาออกหรือแคบมาก และศักคาที่ขาเดรนจะรบกวนแค่แชนแนลหรือประจุที่ขาเกตน้อยมาก ซึ่งสามารถกล่าวได้ว่าค่าความจุระหว่างเกตกับเดรน (C_{gd}) มีค่าน้อยมาก ส่วนค่าความจุระหว่างซอสกับซบสเดท (C_{sb}) และเดรนกับซบสเดท (C_{db}) นั้น ถือว่ามีค่าน้อยมากโดยเฉพาะเมื่อซอสถูกเชื่อมต่อกับฐานรอก ซึ่งจะพิจารณาเฉพาะค่าความจุระหว่างเกต-ซอส (C_{gs}) ซึ่งจะมีค่าประมาณ $2/3C_{ox}WL$ และสำหรับค่าความต้านทานเนื่องจากที่ขาเกตของมอสเฟตถูกคั่นด้วยฉนวน ดังนั้นค่าความต้านทานที่เกิดขึ้นระหว่างขาเกตกับซอส (R_{gs}) และขาเกตกับเดรน (R_{gd}) จึงมีค่าสูงมาก จะมีเฉพาะค่าความต้านทานระหว่างขาเดรนกับซอส (R_{ds}) เท่านั้น ดังนั้นเพื่อความสะดวกสำหรับการวิเคราะห์ด้วยมือ ภายในวิทยานิพนธ์นี้จะใช้วงจรสมมูลย์ของมอสเฟตโดยที่กำหนดให้ C_{gd} , C_{sb} และ C_{db} มีค่าเท่ากับศูนย์ ซึ่งเป็นวงจรสมมูลย์ที่เสนอโดย Gray และ Meyer [31]

2.2.5 ผลของอุณหภูมิในมอสเฟต[27], [32], [33]

พิจารณาสมการที่ (2.6) เมื่อมีการเปลี่ยนแปลงของอุณหภูมิจะมีผลทำให้ค่ากระแสเดรนของมอสเฟตมีการเปลี่ยนแปลงเกิดขึ้นอันเนื่องมาจากพารามิเตอร์ที่สำคัญ 2 ตัว ซึ่งมีผลขึ้นกับอุณหภูมิ ซึ่งได้แก่

1. ค่าสภาพความคล่องตัวของประจุพาหะ (Surface Mobility of Carrier) หรือ μ_n ซึ่งสามารถแสดงในสมการที่สัมพันธ์กับอุณหภูมิได้ดังสมการที่ (2.18) โดยมีค่า T_r ซึ่งเป็นค่าของอุณหภูมิรอบข้าง (Room Absolute Temperature) และ k , เป็นค่าคงที่มีค่าอยู่ระหว่าง 1.5 ถึง 2.0

$$\mu_n(T) = \mu(T_r) \left(\frac{T}{T_r} \right)^{-k} \quad (2.18)$$

เมื่อ T คือ ค่าอุณหภูมิขณะพิจารณา (k)

T_r คือ ค่าอุณหภูมิ ณ อุณหภูมิห้อง เท่ากับ $300k$

จากสมการที่ (2.18) จะเห็นได้ว่าค่า $\mu(T)$ จะมีค่าลดลงเมื่ออุณหภูมิมีค่าเพิ่มขึ้น

2. ค่าศักดาขีดเริ่ม (Threshold Voltage) หรือ V_{TH} ซึ่งสามารถแสดงเป็นสมการที่สัมพันธ์กับอุณหภูมิได้ดังสมการที่ (2.19)

$$V_{TH}(T) = V_T(T_r) - k_2(T - T_r) \quad (2.19)$$

เมื่อ k_2 เป็นค่าคงที่ที่มีค่าอยู่ระหว่าง 0.5 mV/k ถึง 4 mV/k

จากสมการที่ 2.26 จะเห็นได้ว่าค่า V_{TH} จะมีค่าลดลงเมื่ออุณหภูมิเพิ่มขึ้น

นอกจากการจำแนกประเภทการใช้งานมอสเฟทจะแบ่งออกเป็น 3 ช่วงจากการพิจารณาค่า $V_{GS} - V_{TH}$ และค่า V_{DS} ซึ่งจะได้ค่ากระแสเดรนเท่ากับศูนย์เมื่อ $V_{GS} \leq V_{TH}$ และจะมีค่าเป็นไปตามสมการที่ (2.5) และ (2.6) เมื่อ $V_{GS} > V_{TH}$ แต่ตามความเป็นจริงแล้ว เมื่อค่า V_{GS} มีค่าเข้าใกล้ V_{TH} สมการแสดงคุณลักษณะระหว่างค่ากระแสเดรนกับค่าศักดาเกต-ซอสในช่วงนี้จะอยู่ในรูปของเอ็กซ์โพเนนเชียล (Exponential) โดยเฉพาะอย่างยิ่งเมื่อ $V_{GS} \leq V_{TH}$ ซึ่งจะเรียกการทำงานในช่วงนี้ว่า "ย่านวีกอินเวอร์ชัน" (Weak Inversion Region) หรือ "ย่านซับเทรชโฮล" (Subthreshold) [2], [32]-[37] ซึ่งการทำงานของมอสเฟทในช่วงนี้มีข้อดีอยู่ที่สามารถทำงานได้ที่ไฟเลี้ยงต่ำและการใช้พลังงานต่ำมาก แต่ก็ไม่เป็นที่นิยมมากนักเนื่องจากมีช่วงปฏิบัติการทางขนาดที่แคบมากนอกจากนี้ยังมีผลตอบสนองทางความถี่ที่ต่ำด้วย

2.2.6 เปรียบเทียบข้อดีและข้อเสียระหว่างมอสเฟทกับไบโพลาร์ทรานซิสเตอร์ [36]-[37]

ก. ข้อดี ของมอสเฟทเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

- ต้องการขั้นตอนการผลิตประมาณ 25% เมื่อเทียบกับกระบวนการสร้างไบโพลาร์ทรานซิสเตอร์ ก็เนื่องจากการออกแบบสร้าง MOSFET มีโครงสร้างและกระบวนการที่ง่าย ทำให้ใช้ต้นทุนในการผลิตต่ำ (Low Cost)
- สิ่งประดิษฐ์ถูกสร้างขึ้นได้มากกว่าและสามารถบรรจุหรือถูกใส่ไปในพื้นที่ที่จำกัดได้ในปริมาณมาก และปัจจุบันเหมาะสมที่จะทำเป็นวงจรร VLSI
- ขาเดรน (Drain) และขาซอส (Source) ของ MOS สามารถสลับแทนที่กันได้ ซึ่งการทำงานยังคงไม่เปลี่ยนแปลงมากนัก เพราะเนื่องจากว่า MOS มีความสมมาตร (Bilaterally Symmetric) ซึ่งแตกต่างกับไบโพลาร์ทรานซิสเตอร์ที่ไม่สามารถจะสลับระหว่างขาอิมิตเตอร์ (Emitter) กับขาคอลเลคเตอร์ (Collector) ได้เพราะ

- ปริมาณการโคปสารกึ่งตัวนำที่อิมิตเตอร์กับคอลเลคเตอร์จะไม่เท่ากัน โดยสารกึ่งตัวนำที่อิมิตเตอร์จะมีปริมาณการโคปที่สูงกว่า ซึ่งถ้าทำการสลับขางจะทำให้อัตราขยาย (Gain) ลดลงอย่างมาก
- จำนวนชนิดพาหะในการนำกระแส โดยมอสเฟทจะใช้ในการนำกระแสเพียงชนิดเดียว คือ โฮล (hole) ใน PMOS หรืออิเล็กตรอน (electron) ใน NMOS ดังนั้นจึงเรียกสิ่งประดิษฐ์สารกึ่งตัวนำชนิดนี้ว่า ยูนิโพลาร์ทรานซิสเตอร์ (unipolar transistor) ซึ่งต่างจากกรณิไบโพลาร์ทรานซิสเตอร์ (bipolar transistor) จะใช้จำนวนพาหะในการนำกระแส 2 ชนิด แบ่งเป็นกระแสของพาหะส่วนใหญ่ (majority carrier) ซึ่งเป็นอิเล็กตรอนสำหรับกรณิ npn และเป็นโฮล สำหรับกรณิ pnp และกระแสของพาหะส่วนน้อย (minority carrier) ซึ่งเป็นโฮลสำหรับ npn และเป็นอิเล็กตรอนสำหรับกรณิ pnp
- การทำงาน มอสทรานซิสเตอร์ทำงานโดยใช้แรงดันไปควบคุมกระแสที่ทางออกและค่าความต้านทานที่ทางเข้า (input impedance) ของมอสเฟทมีค่ามาก ๆ เนื่องจากที่อินพุทขาเกตต่ออยู่กับฉนวน (ซิลิกอนไดออกไซด์) ทำให้มีอัตราการใช้พลังงานต่ำมาก และสามารถนำไปจับมอสเฟทตัวอื่นๆ ได้จำนวนมาก ขณะที่ไบโพลาร์ทรานซิสเตอร์ทำงาน โดยใช้กระแสทางเข้าควบคุมกระแสทางออก และความต้านทานที่ทางเข้าก็มีค่าน้อยกว่ากรณิของมอสเฟท ทำให้มีอัตราในการสูญเสียกำลังมากกว่า
- เนื่องจาก MOSFET มีการทำงานโดยการใช่แรงดันควบคุม จึงทำให้สามารถขับ (Drive) MOSFET ตัวอื่นๆ ได้มีจำนวนมาก ซึ่งมีค่าแฟนเอาท์สูง (High Fan-out) และมีอัตราสูญเสียกำลังอินพุทที่เกิดขึ้นมีค่าต่ำมาก
- ผลกระทบของอุณหภูมิต่อกระแส (Thermal Runaway) ภายใน MOSFET มีค่าน้อยมาก นั่นคือ ถ้าอุณหภูมิมีค่าเพิ่มขึ้นกระแสที่ไหลผ่าน MOS จะมีค่าค่อนข้างคงที่ จึงไม่เกิดการเสียหาย เนื่องจากผลทางความร้อน ต่างจากไบโพลาร์ทรานซิสเตอร์ซึ่งเมื่ออุณหภูมิเพิ่มขึ้นจะทำให้มีกระแสไหลเพิ่มขึ้น ผลอันนี้เองจะทำลายทรานซิสเตอร์ที่ใช้งานที่กระแสสูงๆ จึงต้องมีฟิวส์คอยป้องกันการไหลเกินของกระแสเพื่อไม่ให้ทรานซิสเตอร์เสียหาย ซึ่งใน MOS ไม่จำเป็นต้องมีวงจรป้องกัน
- การใช้งาน MOS ใช้กำลังต่อซึ่งเป็นผลให้ถูกรบกวนทางไฟฟ้าที่เกิดขึ้นต่ำไปด้วย

ข. ข้อเสีย ของมอสเฟตเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์

- ไม่สามารถทำงานโดยการใส่กระแสควบคุมได้
- มีความเร็วในการทำงานที่ต่ำกว่าไบโพลาร์ทรานซิสเตอร์ เนื่องจากมีค่าของคาปาซิแตนซ์ ทางด้านอินพุทที่สูง ซึ่งเป็นข้อจำกัดการใช้งานทางด้านความถี่สูง แต่ปัจจุบันได้มีการใช้โพลีลิทิกอนเทคเทคโนโลยี จึงช่วยลดค่าคาปาซิแตนซ์ที่เกททำให้มีการทำงานเร็วขึ้น
- ค่าของทรานส์คอนดักแตนซ์ (Transconductance) หรือ g_m มีค่าต่ำ
- สมการที่ใช้วิเคราะห์การทำงาน MOSFET มีความยุ่งยากมากกว่าสมการของไบโพลาร์ทรานซิสเตอร์ อีกทั้งการพิจารณาการทำงานของ MOSFET ยังมีหลายระดับ (LEVEL) อีกด้วย ดังเช่น ในโปรแกรมสำเร็จรูป SPICE 2G.6 แบ่งการทำงานของ MOSFET เป็น 3 ระดับ คือ LEVEL1, LEVEL2 และ LEVEL3

2.3 วงจรทรานส์ลิเนียร์[1], [2], [38]

ในปี ค.ศ. 1975 Barrie Gilbert ได้บัญญัติคำว่า " ทรานส์ลิเนียร์ " ขึ้นเพื่อใช้อธิบายกลุ่มวงจรไม่เป็นเชิงเส้นที่นิยมใช้กันทั่วไป อาทิเช่น วงจรคูณ(Multiplier), วงจรหาร(Divider) และวงจรกกำลังสอง(Squarer) เป็นต้น โดยใช้ประโยชน์จากความสัมพันธ์ที่ว่า ค่าอัตราการส่งผ่านความนำ (Transconductance) ของไบโพลาร์ทรานซิสเตอร์จะมีการเปลี่ยนแปลงอย่างเป็นเชิงเส้น(Linear)กับกระแสที่ไหลผ่านขาคอลเลกเตอร์จึงเป็นที่มาของชื่อ "Trans-linear" นอกจากนี้เรายังพบว่าในวงจรเชิงเส้นหลายชนิดได้แก่ วงจรขยายคลาส AB ในภาคขาออกของออปแอมป์ส่วนใหญ่, วงจรสายพานกระแส หรือแม้กระทั่งในวงจรขยายสัญญาณแบบป้อนกลับด้วยกระแส ก็สามารถมองอยู่ในรูปของทรานส์ลิเนียร์ได้อีกด้วย

สำหรับการพิจารณาสัญญาณทั้งส่วนขาเข้าและขาออกของวงจรทรานส์ลิเนียร์นั้น จะอยู่ในรูปของกระแสแทบทั้งสิ้น มีเพียงศักดาที่รอยต่อพี-เอ็นของทรานซิสเตอร์เท่านั้นที่ถูกนำมาพิจารณาร่วมด้วย เป็นเหตุให้ก่อนที่จะมีคำว่าทรานส์ลิเนียร์เราจึงเรียกวงจรแบบนี้ว่าวงจรโหมคกระแส (Current-mode Circuits) วงจรประเภทนี้จะต้องสร้างขึ้นด้วยเทคโนโลยีของวงจรรวมเท่านั้น เนื่องจากความใกล้เคียงกันของอุณหภูมิขณะปฏิบัติการ ความเข้ากันของโครงสร้างอุปกรณ์ และความเข้มข้นของสารเจือมีความสำคัญเป็นอย่างมากต่อการทำงานของวงจร ทำให้แม้จะมีการคิดหลักการของวงจรวางแบบนี้ได้ตั้งแต่ต้นทศวรรษที่ 60 แต่ก็ไม่สามารถสร้างขึ้นได้ด้วยเทคโนโลยีของอุปกรณ์แบบแยกชิ้น (discrete devices) ในขณะนั้น

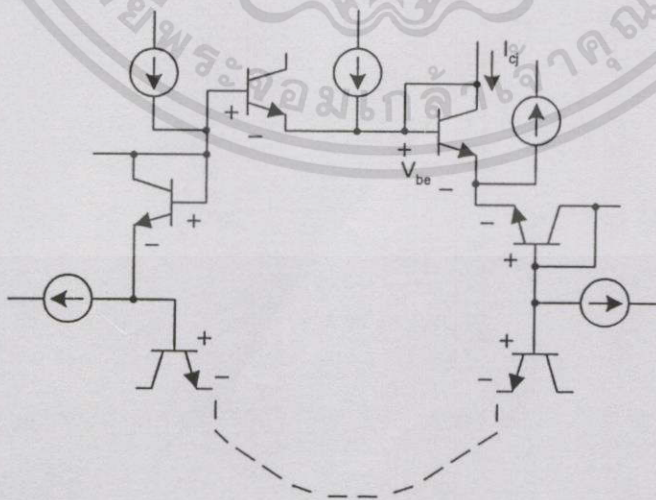
ในปัจจุบันการวิเคราะห์ทางทรานส์ลิเนียร์ได้รับการพัฒนาขึ้นอย่างรวดเร็ว และไม่ได้จำกัดอยู่เพียงการใช้ไบโพลาร์ทรานซิสเตอร์เท่านั้น เพราะการไปอสมอสทรานซิสเตอร์ในช่วงซัพเทค-เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โอส(subthreshold)ก็สามารถให้ความสัมพันธ์แบบเดียวกับไบโพลาร์ทรานซิสเตอร์ จึงอาจพิจารณา มอสทรานซิสเตอร์เป็นอุปกรณ์ทรานส์ลิเนียน์ได้เช่นกัน [1] นอกจากนี้ยังพบว่าสามารถนำมา ประยุกต์ใช้กับมอสทรานซิสเตอร์ที่มีการทำงานในช่วงอิมิตัวซึ่งหัวข้อที่จะกล่าวต่อไปนี้จะเป็นการ กล่าวถึงหลักการของวงจรทรานส์ลิเนียน์สำหรับทรานซิสเตอร์แบบไบโพลาร์และแบบมอสเฟตที่มี การทำงานในช่วงอิมิตัว เนื่องจากเป็นหลักการที่มีการนำไปประยุกต์ใช้งานสำหรับการออกแบบวง จรเพื่อประมวลผลสัญญาณอย่างกว้างขวาง รวมทั้งการออกแบบวงจรออครากที่สองภายในวิทยา นิพนธ์นี้ด้วย

2.3.1 หลักการของวงจรทรานส์ลิเนียน์สำหรับไบโพลาร์ทรานซิสเตอร์ [1], [2]

หลักการของวงจรทรานส์ลิเนียน์สำหรับไบโพลาร์ทรานซิสเตอร์ เป็นการอาศัยความ สัมพันธ์ที่เป็นเชิงเส้นระหว่างค่าทรานส์คอนดักแตนซ์กับค่ากระแสคอลเล็กเตอร์เพื่อนำไปประยุกต์ ใช้วงจรที่มีการนำไบโพลาร์ทรานซิสเตอร์มาต่อกันเป็นวงจรซึ่งมีรอยต่อพี-เอ็นระหว่างเบส และคอลเล็กเตอร์ต่อเรียงกันเป็นวงปิด ซึ่งจะเรียกววงจรในลักษณะนี้ว่าวงจรทรานส์ลิเนียน์รูป (Translinear Loop) ดังตัวอย่างที่แสดงในรูปที่ 2.7

จากวงจรในรูปที่ 2.7 จะเห็นได้ว่าสามารถที่จะแบ่งออกได้เป็น 2 พวกด้วยกันคือ รอยต่อพี- เอ็น ที่ได้รับการไบอัสจรมีสักคาตคคร่อมในทิศทางตามเข็มนาฬิกา(Clockwise; CW) กับรอยต่อพี- เอ็นที่ได้รับการไบอัสจรมีสักคาตคคร่อมในทิศทางทวนเข็มนาฬิกา(Counterclockwise; CCW) ซึ่งจะ ได้ผลรวมของสักคาตคคร่อมเบส-อิมิตเตอร์ภายในรูปเป็นเท่ากับศูนย์



รูปที่ 2.7 รูปแบบพื้นฐานของวงจรทรานส์ลิเนียน์รูปโดยใช้ไบโพลาร์ทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\sum_{j=1}^n V_{bej} = 0 \quad (2.20)$$

หรือ

$$\sum_{CW} V_{bej} = \sum_{CCW} V_{bej} \quad (2.21)$$

และ

$$V_{bej} = V_T \ln \left(\frac{I_{cj}}{I_{sj}} \right) \quad (2.22)$$

โดยที่ V_{bej} คือ ศักดาตกคร่อมเบส-อิมิตเตอร์ของทรานซิสเตอร์ที่ j (V)

I_{cj} คือ ค่ากระแสคอลเล็กเตอร์ของทรานซิสเตอร์ตัวที่ j (A)

V_T คือ ค่าศักดาเชิงอุณหภูมิตัว (Thermal Voltage) (V)

I_{sj} คือ ค่ากระแสอิ่มตัว (Saturation Current) ของทรานซิสเตอร์ตัวที่ j (A)

แทนค่าสมการที่ (2.22) ลงในสมการที่ (2.21) จะได้

$$\sum_{CW} V_T \ln \left(\frac{I_{cj}}{I_{sj}} \right) = \sum_{CCW} V_T \ln \left(\frac{I_{cj}}{I_{sj}} \right) \quad (2.23)$$

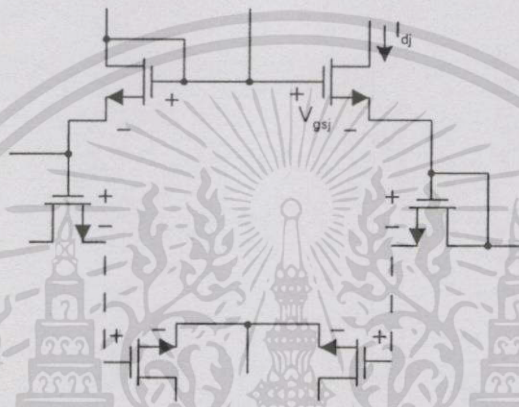
พิจารณาสมการที่ (2.23) สมมติให้ทรานซิสเตอร์ทุกตัวมีความสมพงษ์กันทุกประการ ดังนั้นสมการที่ (2.23) จะสามารถเขียนใหม่ได้เป็น

$$\prod_{CW} (I_{cj}) = \prod_{CCW} (I_{cj}) \quad (2.24)$$

จากสมการที่ (2.24) สามารถสรุปหลักการของวงจรทรานส์ลิเนียร์โดยใช้ไบโพลาร์ทรานซิสเตอร์ว่า " ผลคูณของกระแสคอลเล็กเตอร์ในทิศตามเข็มนาฬิกา จะมีค่าเท่ากับผลคูณของกระแสคอลเล็กเตอร์ในทิศทวนเข็มนาฬิกา" [2]

2.3.2 หลักการของวงจรทรานส์ลิเนียร์สำหรับมอสเฟทที่มีการทำงานในช่วงอิมิตัว [1], [2], [38]

หลักการของวงจรทรานส์ลิเนียร์สำหรับมอสเฟทที่มีการทำงานในช่วงอิมิตัวเป็นการอาศัยความสัมพันธ์ที่เป็นเชิงเส้นระหว่างค่าทรานส์คอนดักแตนซ์ (Transconductance) กับค่าศักดาตกคร่อมเกต-ซอสของมอสเฟท และการนำมอสเฟทแต่ละตัวมาต่อเป็นวงจรที่มีขั้วเกต-ซอสต่อกันเป็นวงปิด ดังตัวอย่างที่แสดงในรูปที่ 2.8



รูปที่ 2.8 รูปแบบพื้นฐานของวงจรทรานส์ลิเนียร์รูปโดยใช้มอสเฟท

พิจารณาถูปปิดที่ประกอบด้วยขั้วเกต-ซอสของมอสเฟทที่มีการทำงานในช่วงอิมิตัวจากวงจรในรูปที่ 2.8 ในทำนองเดียวกันกับไบโพลาร์ทรานซิสเตอร์นั้นก็สามารถที่จะแบ่งออกได้เป็น 2 พวก คือพวกแรกเป็นมอสเฟทที่มีขั้วเกต-ซอส ซึ่งได้รับการไบอัสในทิศตามเข็มนาฬิกา (Clockwise; CW) และพวกที่สองเป็นมอสเฟทที่มีขั้วเกต-ซอส ได้รับการไบอัสในทิศทวนเข็มนาฬิกา (Counterclockwise; CCW) ซึ่งจะได้ผลรวมของศักดาตกคร่อมขั้วเกต-ซอส ภายในลูปปิดเท่ากับศูนย์

$$\sum_{j=1}^N V_{gsj} = 0 \quad (2.25)$$

หรือ

$$\sum_{CW} V_{gsj} = \sum_{CCW} V_{gsj} \quad (2.26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเนื่องจาก

$$V_{gsj} = V_{TH} + \sqrt{\frac{I_{dj}}{\mu_n C_{ox} (W/2L)_j}} \quad (2.27)$$

แทนค่าสมการที่ (2.27) ลงในสมการที่ (2.26) จะได้

$$\sum_{CW} \left(V_{TH} + \sqrt{\frac{I_d}{\mu_n C_{ox} (W/2L)_j}} \right) = \sum_{CCW} \left(V_{TH} + \sqrt{\frac{I_d}{\mu_n C_{ox} (W/2L)_j}} \right) \quad (2.28)$$

พิจารณาสมการที่ (2.28) สมมติให้ทรานซิสเตอร์ทุกตัวมีความสมพงษ์กัน กล่าวคือมีค่า V_{TH} และค่า $\mu_n C_{ox}$ ของมอสเฟตแต่ละตัวเท่ากัน ดังนั้นสมการที่ (2.28) สามารถที่จะเขียนใหม่ได้เป็น

$$\sum_{CW} \left(\sqrt{\frac{I_d}{(W/L)_j}} \right) = \sum_{CCW} \left(\sqrt{\frac{I_d}{(W/L)_j}} \right) \quad (2.29)$$

จากวงจรในรูปที่ 2.8 และสมการที่ (2.29) สามารถกล่าวได้ว่า "ผลบวกของค่ารากที่สองของกระแสหารด้วยอัตราส่วนความกว้างต่อความยาวเซลล์ในทิศตามเข็มนาฬิกากับทิศทวนเข็มนาฬิกาจะมีค่าเท่ากัน" [2]

จากหลักการของวงจรทรานส์ลิเนียร์ที่ได้กล่าวอ้างนี้สามารถที่จะนำไปประยุกต์ใช้สำหรับการออกแบบวงจรเพื่อสังเคราะห์ฟังก์ชันทางคณิตศาสตร์ต่างๆ ในระบบอิเล็กทรอนิกส์ได้เช่น วงจรคูณ (Multiplier Circuits), วงจรหาร (Divider Circuits) และวงจรกำลังสอง (Squarer Circuits) เป็นต้น ซึ่งภายในวิทยานิพนธ์นี้ได้อาศัยหลักการของวงจรทรานส์ลิเนียร์โดยใช้มอสเฟตที่มีการทำงานในช่วงอิมิตัว สำหรับการออกแบบวงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อก ซึ่งจะกล่าวต่อไปในบทที่ 4

2.4 สรุป

ในบทนี้ได้กล่าวถึงทฤษฎีการทำงานและสมการสำคัญของมอสเฟต โดยจะเน้นที่มอสเฟตแบบเอ็นฮานซ์เมนต์โหมดที่มีการทำงานในช่วงอิมิตัวเป็นหลัก รวมทั้งได้กล่าวถึงหลักการของ วงจรทรานส์ลิเนียร์ซึ่งจะใช้เป็นแนวทางสำหรับการออกแบบวงจรถอดรอกที่สองสำหรับ

สัญญาณ- อนาคตในรูปแบบของวงจรรวมภายในวิทยานิพนธ์ และได้กำหนดว่าคำว่า "มอสเฟท" ภายในวิทยานิพนธ์ฉบับนี้จะเป็นการหมายถึง "มอสเฟทแบบเอ็นฮานซ์เมนต์"



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรถอดรากลที่สองสำหรับสัญญาณอนาลอก

3.1 กล่าวนำ

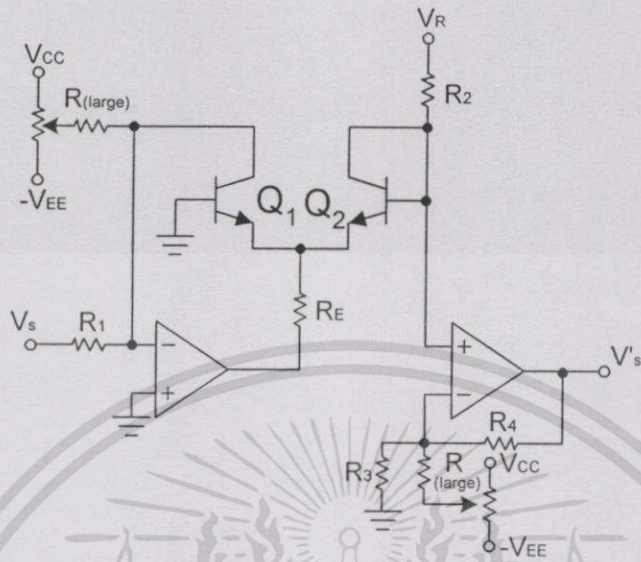
วงจรถอดรากลที่สองสำหรับสัญญาณอนาลอกเป็นวงจรหนึ่งที่มีความสำคัญสำหรับการจัดการและการประมวลผลสัญญาณในระบบอิเล็กทรอนิกส์ จากอดีตถึงปัจจุบันได้มีการพัฒนาและนำเสนอการออกแบบวงจรถอดรากลที่สองกันอย่างต่อเนื่อง เพื่อให้ได้วงจรถอดรากลที่สองที่มีคุณสมบัติที่ดี เช่น มีช่วงปฏิบัติการทางขนาดและผลตอบสนองทางความถี่ที่กว้าง ใช้พลังงานต่ำ วงจรมีขนาดเล็ก และสะดวกต่อการใช้งาน เป็นต้น ดังนั้นเพื่อใช้เป็นแนวทางสำหรับพัฒนาการออกแบบวงจรถอดรากลที่สองต่อไปควรศึกษาและทำความเข้าใจถึงข้อดีและข้อเสียของหลักการออกแบบที่ได้มีการนำเสนอไว้ในอดีต ในบทนี้จะเป็นการกล่าวถึงตัวอย่างหลักการออกแบบวงจรถอดรากลที่สองสำหรับสัญญาณอนาลอกที่สำคัญๆ 5 ตัวอย่าง ที่ได้มีการนำเสนอไว้ซึ่งได้แก่ การใช้โอปแอมป์ (Operational Amplifier; Op-Amp) ต่อกับตัวต้านทานและวงจรถคูณ (Multiplier Circuits) การใช้โอปแอมป์ต่อกับตัวเก็บประจุและอนาลอกสวิตช์ (Analog Switch) การออกแบบโดยอาศัยหลักการของวงจรทรานส์ลิเนียร์รูปแบบไบโพลาร์ทรานซิสเตอร์ การออกแบบโดยใช้มอสเฟตซึ่งมีการทำงานในย่านวีกอินเวอร์ชัน (Weak Inversion) และการออกแบบโดยใช้มอสเฟตที่มีการทำงานในช่วงไม่อิ่มตัว (Nonsaturation Region) ต่อกับโอปแอมป์และวงจรถายพานกระแส (Current Conveyor Circuits) โดยมีรายละเอียดของแต่ละหลักการดังต่อไปนี้

3.2 วงจรถอดรากลที่สองโดยใช้โอปแอมป์ต่อกับตัวต้านทานและวงจรถคูณ [12]-[13]

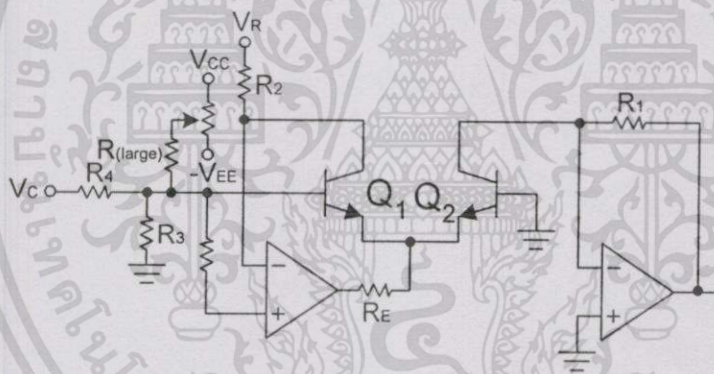
การออกแบบวงจรถอดรากลที่สองที่ใช้โอปแอมป์ต่อกับวงจรถคูณ เป็นการอาศัยหลักการเชิงลอการิทึม (Logarithmic) และแอนติลอการิทึม (Antilogarithmic) เพื่อสังเคราะห์เป็นวงจรถคูณ จากนั้นเป็นการนำวงจรถคูณมาต่อกับโอปแอมป์ เพื่อเป็นการสังเคราะห์ฟังก์ชันถอดรากลที่สอง

วงจรรูปที่ 3.1(ก) และ 3.1(ข) เป็นตัวอย่างของวงจรถอยเชิงลอการิทึมและเอ็กโพเนนเชียล ตามลำดับ ซึ่งจะได้ความสัมพันธ์ของศักดาที่จุดออกของทั้งสองวงจรถอยนี้

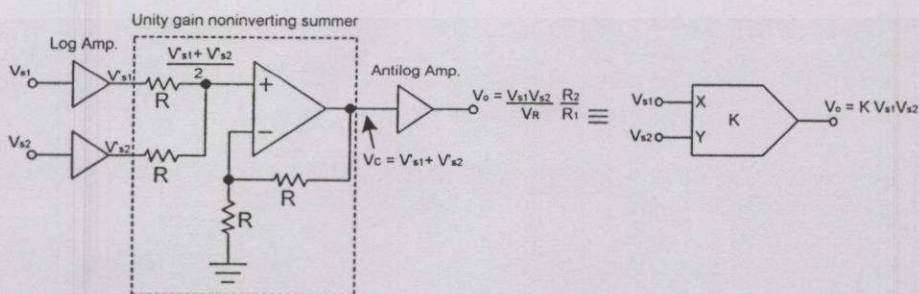
$$V_S' = -V_T \left(\frac{R_3 + R_4}{R_3} \right) \ln \left(\frac{V_S R_2}{V_R R_1} \right) \quad (3.1)$$



รูปที่ 3.1(ก) วงจรขยายเชิงลอการิทึม (Logarithmic Amplifier)

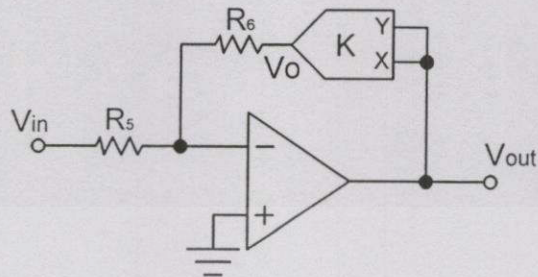


รูปที่ 3.1(ข) วงจรขยายเอ็กโปเนนเชียลหรือแอนติลอการิทึม
(Exponential Amplifier or Antilogarithmic Amplifier)



รูปที่ 3.1(ค) วงจรคูณ โดยอาศัยหลักการเชิงลอการิทึมและแอนติลอการิทึม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1(ง) วงจรถอดราก็สองที่ใช้ฮอปแอมป์คู่ร่วมกับตัวต้านทานและวงจรถูก

และ

$$V_C = \frac{R_1}{R_2} V_R \exp\left(\frac{-V_C}{V_T} \frac{R_3}{R_3 + R_4}\right) \quad (3.2)$$

เมื่อ V_T คือ ศักดาเชิงอุณหภูมิ (Thermal Voltage)

จากหลักการของวงจรถบายเชิงลอกและเอ็กโพเนนเชียลตั้งกล่าวเมื่อนำมาต่อร่วมกับวงจรวกสัญญาณ (Unity gain non-inverting summer) ดังแสดงในรูปที่ 3.1(ค) จะทำให้ได้วงจรถูกสัญญาณซึ่งมีค่าศักดาที่จุดออกดังนี้

$$V_O = V_C = \frac{R_1}{R_2} V_R \exp\left[\ln\left(\frac{R_2^2}{R_1^2} \frac{V_{S1} V_{S2}}{V_R}\right)\right] \quad (3.3)$$

ซึ่งจะได้

$$V_O = K V_{S1} V_{S2} \quad (3.4)$$

เมื่อ

$$K = \text{ค่าคงที่ของการคูณ} = \frac{R_2}{R_1 V_R} \quad (3.5)$$

วงจรในรูปที่ 3.1(ง) เป็นการออกแบบวงจรลดครากที่สองโดยใช้ออปแอมป์ต่อร่วมกับวงจรรวม ซึ่งจะได้ความสัมพันธ์ ดังนี้

$$\frac{V_{in}}{R_5} + K \frac{V_{out}^2}{R_6} = 0 \quad (3.6)$$

$$\therefore V_{out} = \sqrt{\frac{R_6}{R_5} \frac{|V_{in}|}{K}} \quad (3.7)$$

จากหลักการออกแบบวงจรลดครากที่สองสำหรับสัญญาณอนาลอกนี้ เนื่องจากโครงสร้างภายในของวงจรรวมซึ่งจะต้องประกอบด้วยตัวต้านทานเป็นจำนวนมาก และมีหลายตัวซึ่งจะต้องมีความสมพียงกัน ทำให้ต้องใช้พื้นที่ในการสร้างบนชิพมากและอาจเกิดปัญหาด้านความสมพียงกันของตัวต้านทาน ดังนั้นเพื่อเป็นการปรับปรุงคุณสมบัติของวงจรลดครากที่สองได้มีการนำเสนอหลักการออกแบบวงจรลดครากที่สองโดยใช้ออปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาลอกสวิทช์ ซึ่งเป็นการอาศัยหลักการของสวิทช์คาปาซิเตอร์เพื่อสังเคราะห์ค่าความต้านทานแทนการสร้างตัวต้านทานจริง ดังที่จะกล่าวในหัวข้อต่อไป

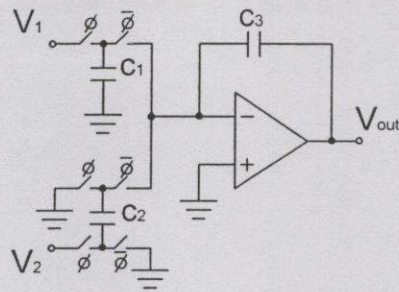
3.3 วงจรลดครากที่สองที่ใช้ออปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาลอกสวิทช์ [14]

วงจรในรูปที่ 3.2(ก) แสดงวงจรลบสัญญาณอนาลอกที่ใช้ออปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาลอกสวิทช์ [] เมื่อ ϕ และ $\bar{\phi}$ เป็นสัญญาณควบคุมสวิทช์ที่มีเฟสตรงข้ามกัน จะได้ความสัมพันธ์ของศักดาที่จุดออกคือ

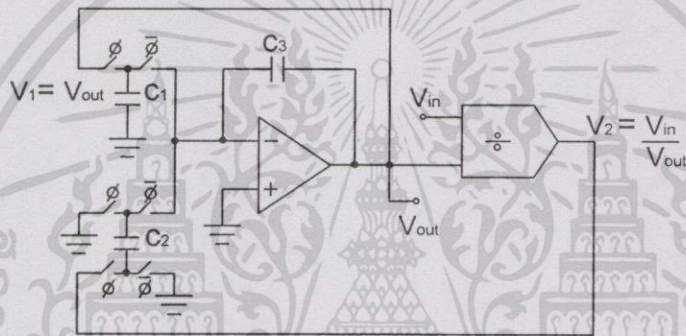
$$V_{out} = V_2 \frac{C_2}{C_3} - V_1 \frac{C_1}{C_3} \quad (3.8)$$

จากสมการที่ (3.8) กำหนดให้ $C_3 = 2C_1 = 2C_2$ ดังนั้นจะได้

$$V_{out} = \frac{V_2}{2} - \frac{V_1}{2} \quad (3.9)$$



รูปที่ 3.2(ก) วงจรลบสัญญาณอนาลอก



รูปที่ 3.2(ข) วงจรลดครากที่สองที่ใช้โอปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาลอกสวิทช์

จากหลักการของวงจรลบสัญญาณในรูปที่ 3.2(ก) เมื่อนำมาต่อร่วมกับวงจรหารสัญญาณซึ่งมีโครงสร้างภายในเป็นตัวเก็บประจุโอปแอมป์และอนาลอกสวิทช์เช่นเดียวกัน[14] จะได้เป็นวงจรลดครากที่สองสำหรับสัญญาณอนาลอกดังแสดงในรูปที่ 3.2(ข) ซึ่งจะได้ความสัมพันธ์ดังนี้

$$V_1 = V_{out} \quad (3.10)$$

$$V_2 = V_{in} / V_{out} \quad (3.11)$$

แทนค่าสมการที่ (3.10) และสมการที่ (3.11) ลงในสมการที่ (3.9) จะได้

$$V_{out} = \frac{V_{in}}{2V_{out}} - \frac{V_{out}}{2} \quad (3.12)$$

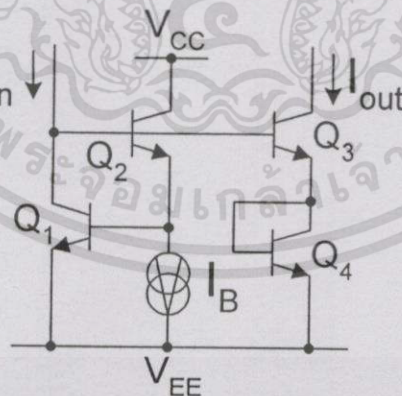
จัดรูปสมการที่ (3.12) ใหม่จะได้

$$V_{out} = \sqrt{\frac{V_{in}}{3}} \quad (3.13)$$

การออกแบบวงจรทรานซิสเตอร์สองโดยใช้อุปกรณ์ที่ต่อร่วมกับตัวเก็บประจุและอนาล็อก-สวิทช์เป็นการอาศัยหลักการของวงจรสวิทช์คาปาซิเตอร์[14] เพื่อสังเคราะห์ค่าความต้านทานแทนการสร้างตัวต้านทานจริงเพื่อลดปัญหาเรื่องความถูกต้องและความสมพียงกันของค่าความต้านทาน แต่เนื่องจากวิธีการดังกล่าวนี้จำเป็นจะต้องสร้างสัญญาณนาฬิกาควบคุม (ϕ , $\bar{\phi}$) ต่อร่วมด้วยทำให้วงจรยังคงมีขนาดใหญ่ และมีช่วงความถี่ปฏิบัติงานที่ไม่สูง

3.4 วงจรทรานซิสเตอร์สองที่อาศัยหลักการของวงจรทรานซิสเตอร์แบบไบโพลาร์ทรานซิสเตอร์ [1]-[2]

การออกแบบวงจรทรานซิสเตอร์สองโดยใช้ไบโพลาร์ทรานซิสเตอร์ ที่สำคัญเป็นการออกแบบโดยอาศัยหลักการของวงจรทรานซิสเตอร์รูป สำหรับอินพุตและเอาต์พุตที่เป็นสัญญาณกระแสแสดงในรูปที่ 3.3



รูปที่ 3.3 วงจรทรานซิสเตอร์สองโดยใช้ไบโพลาร์ทรานซิสเตอร์

จากวงจรในรูปที่ 3.3 สังเกตได้ว่ารอยต่อพี-เอ็นระหว่างเบส-อิมิตเตอร์ของทรานซิสเตอร์ Q_1 - Q_2 ต่อเรียงกันเป็นวงปิด ดังนั้นเมื่ออาศัยหลักการของวงจรทรานซิสเตอร์รูปจะได้รับความสัมพันธ์ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{be1} + V_{be2} = V_{be3} + V_{be4} \quad (3.15)$$

เมื่อ

$$V_{bei} = V_T \ln\left(\frac{I_{ci}}{I_s}\right) \quad (3.16)$$

แทนค่าสมการที่ (3.16) ลงในสมการที่ (3.15) จะได้

$$I_{c1}I_{c2} = I_{c3}I_{c4} \quad (3.17)$$

จากสมการที่ (3.17) แทนค่า $I_{c1} = I_{in}$, $I_{c2} = I_B$ และ $I_{out} = I_{c3} = I_{c4}$ ดังนั้นจะได้

$$I_{out} = \sqrt{I_{in} I_B} \quad (3.18)$$

จากวงจรในรูปที่ 3.3 จะเห็นได้ว่าการอาศัยหลักการของวงจรทรานส์ลิเนียร์เพื่อสังเคราะห์ ถอดรากที่สองวงจรที่ได้มีการออกแบบจะมีขนาดเล็กกว่าวิธีการตามหลักการในหัวข้อที่ 3.2.1 และ หัวข้อที่ 3.2.2 มากแต่เป็นการออกแบบเพื่อใช้งานสำหรับสัญญาณกระแส อย่างไรก็ตามหาก ต้องการนำไปใช้งานกับสัญญาณอินพุตที่เป็นคิกคาจะต้องมีการนำวงจรแปลงสัญญาณระหว่าง กระแสและคิกคาเข้ามาต่อร่วม

3.5 วงจรถอดรากที่สองโดยใช้มอสเฟตที่มีการทำงานในย่านวิคอินเวอร์ชัน [15]

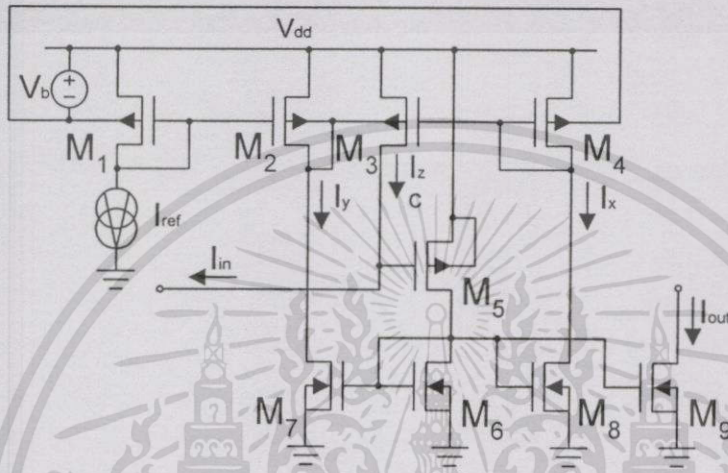
ในรูปที่ 3.4 แสดงการออกแบบวงจรถอดรากที่สองสำหรับสัญญาณกระแสโดยใช้มอสเฟต (M_1 - M_4) ที่มีการทำงานในย่านวิคอินเวอร์ชัน เพื่อสังเคราะห์วงจรคูณและหารซึ่งจะได้รับความสัมพันธ์ ระหว่างค่ากระแส I_z กับค่า I_{ref} , I_x และ I_y ดังสมการที่ (3.19)

$$I_z = I_x I_y / I_{ref} \quad (3.19)$$

จากวงจรในรูปที่ 3.4 ทรานซิสเตอร์ M_5 ทำหน้าที่ขยายความแตกต่างระหว่าง I_m และ I_z และป้อนกลับไปเป็นค่า I_x และ I_y โดยวงจรสะท้อนกระแส M_6 - M_9 และทำให้ $I_{out} = I_x = I_y$ ดังนั้นจะ

ได้ค่ากระแสเอาต์พุตของวงจรคือ

$$I_{out} = \sqrt{I_{in} I_{ref}} \quad (3.20)$$

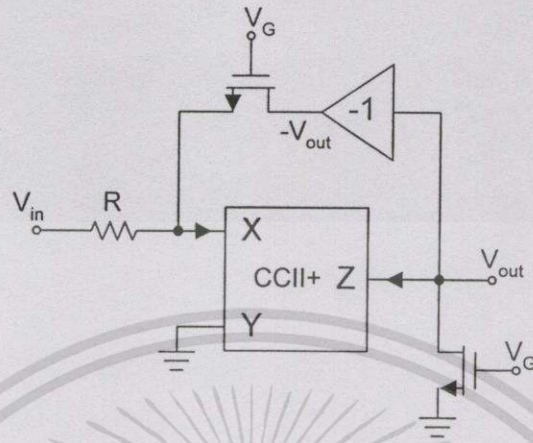


รูปที่ 3.4 วงจรถอครากที่สองโดยใช่มอสเฟตที่มีการทำงานในย่านวีกอินเวอร์ชัน

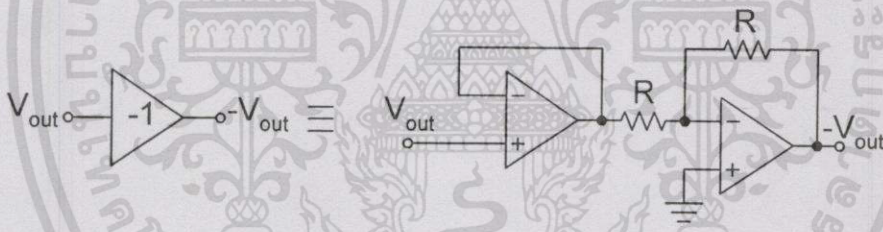
จากหลักการออกแบบวงจรถอครากที่สองสำหรับสัญญาณอนาลอกนี้ เนื่องจากการใช้งานมอสเฟตในย่านวีกอินเวอร์ชันซึ่งสามารถทำงานได้ที่ไฟเลี้ยงวงจรต่ำและใช้ใช้พลังงานต่ำมาก แต่เนื่องจากการใช้งานมอสเฟตในย่านนี้จะทำให้วงจรถอครากที่สองที่ทำการออกแบบมีช่วงปฏิบัติการทางขนาดและความถี่ค่อนข้างแคบ[14], [26], [27] ซึ่งในหัวข้อต่อไปจะเป็นการแสดงตัวอย่างการใช้งานมอสเฟตในอีกลักษณะหนึ่งเพื่อการสังเคราะห์ฟังก์ชันถอครากที่สองซึ่งจะมีช่วงปฏิบัติการทางขนาดและผลตอบสนองทางความถี่ที่สูงกว่าในหัวข้อนี้

3.6 วงจรถอครากที่สองโดยใช่มอสเฟตต่อร่วมกับออปแอมป์และวงจรสายพานกระแส [15]

ในรูปที่ 3.5(ก) แสดงวงจรถอครากที่สองซึ่งออกแบบโดยใช่มอสเฟตต่อร่วมกับวงจรสายพานกระแสรุ่นที่สองชนิดบวกและวงจรบัฟเฟอร์แบบกลับเฟสโดยใช้ออปแอมป์(รูปที่ 3.5(ข)) เมื่อกำหนดให้ M_1 และ M_2 มีการทำงานในช่วงไม่อิ่มตัว(Nonsaturation Region) จากการวิเคราะห์ความสัมพันธ์จะได้



รูปที่ 3.5(ก) วงจรถดถอยที่สองโดยใช้มอสเฟตตัวร่วมกับ
วงจรมัลติไฟเออร์และวงจรสายพานกระแส



รูปที่ 3.5(ข) วงจรมัลติไฟเออร์แบบกลับเฟส

$$I_x = \frac{V_{in}}{R_1} + \mu_u C_{ox} \frac{W_1}{L_1} \left[(V_G - V_{TH}) V_{out} - \frac{V_{out}^2}{2} \right] \quad (3.21)$$

และ

$$I_z = -\mu_u C_{ox} \frac{W_2}{L_2} \left[(V_G - V_{TH}) V_{out} - \frac{V_{out}^2}{2} \right] \quad (3.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.17) และสมการที่ (3.18) กำหนดให้ $\mu_n C_{ox} \frac{W_1}{L_1} = \mu_n C_{ox} \frac{W_2}{L_2}$ และเนื่องจากคุณสมบัติของวงจรถ่ายพิกัดกระแสชนิดบวกนั้นคือ $V_x = V_y$ และ $I_z = I_x$ ดังนั้นจะได้ศักดาที่จุดออกของวงจรถือ

$$V_{out} = \sqrt{\frac{V_{in}}{\mu_n C_{ox} R \frac{W}{L}}} \quad (3.23)$$

การออกแบบวงจรถอดรอกที่สองโดยใช้มอสเฟตที่มีการทำงานในช่วงเชิงเส้นหรือไม่อิ่มตัวตามหลักการดังกล่าวนี้ทำให้การทำงานของวงจรมีช่วงปฏิบัติการทางขนาดและความถี่กว้างกว่าการใช้งานมอสเฟตในย่านวีกอินเวอร์ชันตามหลักในหัวข้อที่ 3.2.4 แต่ก็จะมีปัญหาอยู่บ้างที่การทำงานของวงจรมีขึ้นอยู่กับการคูณของอุณหภูมิดังกล่าวขึ้นเนื่องมาจากพารามิเตอร์ μ_n (สมการที่ (3.23)) ซึ่งจะต้องหาวิธีการแก้ไขต่อไป

3.7 สรุป

ในบทนี้เป็นการกล่าวถึงหลักการออกแบบวงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อกที่สำคัญๆ และแตกต่างกัน ซึ่งได้มีการนำเสนอไว้ในอดีต และเมื่อทำการพิจารณาเปรียบเทียบคุณสมบัติการทำงานของวงจรถอดรอกที่สองในแต่ละหลักการจะเห็นว่า การออกแบบวงจรถอดรอกที่สองที่ใช้โอป-แอมป์ต่อร่วมกับวงจรถอดรอกในหัวข้อที่ 3.2 เป็นหลักการพื้นฐานซึ่งเป็นที่คุ้นเคยสำหรับนักออกแบบวงจรถอดรอกโดยทั่วไป แต่เนื่องจากโครงสร้างภายในจะต้องประกอบด้วย ตัวต้านทานเป็นจำนวนมากซึ่งจะมีผลต่อความแม่นยำในการทำงานของวงจรถอดรอกในกรณีที่ตัวต้านทานบางคู่ไม่สมพียงกัน ในหัวข้อที่ 3.3 เป็นการปรับปรุงคุณสมบัติการทำงานของวงจรถอดรอกที่สอง โดยการใช้ออป-แอมป์ต่อร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์ โดยอาศัยหลักการของสวิตช์คาปาซิเตอร์เพื่อสังเคราะห์ค่าความต้านทานแทนการสร้างตัวต้านทานจริง ซึ่งจะสามารถลดข้อผิดพลาดด้านความแม่นยำในการทำงานของวงจรถอดรอกในหัวข้อที่ 3.2 แต่อย่างไรก็ตาม การออกแบบวงจรถอดรอกที่สองที่ใช้โอป-แอมป์เป็นส่วนประกอบจะมีโครงสร้างภายในค่อนข้างใหญ่ หากต้องการสร้างเป็นวงจรรวมก็จะใช้พื้นที่บนชิพในการสร้างมาก ซึ่งวิธีการออกแบบโดยอาศัยหลักการของวงจรถอดรอกแบบไบโพลาร์ทรานซิสเตอร์ จะเป็นวิธีการที่เหมาะสมกว่าเนื่องจากเป็นวงจรถอดรอกที่มีขนาดเล็กกว่ามาก แต่เมื่อพิจารณาถึงเทคโนโลยีที่ใช้ในการผลิตในปัจจุบันเทคโนโลยีมอสทรานซิสเตอร์กำลังได้รับความนิยมและสนใจมากขึ้นเนื่องจากมีขั้นตอนการผลิตและการใช้พื้นที่บนชิพน้อยกว่าเมื่อเปรียบเทียบกับเทคโนโลยีแบบไบโพลาร์ทรานซิสเตอร์ทำให้มีต้นทุนที่ใช้ในการผลิตที่ต่ำกว่า ดังนั้นจึงได้มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพยายามพัฒนาการออกแบบ วงจรถอดรอกที่สองโดยใช้เทคโนโลยีมอสทรานซิสเตอร์ เมื่อพิจารณาวิธีการตามหลักการในหัวข้อที่ 3.5 ซึ่งเป็นการออกแบบโดยการใช้งานมอสเฟตที่มีการทำงานในย่านวิคอินเวอร์ชันเป็นวิธีการที่มีข้อดีคือ การใช้กำลังไฟฟ้าต่ำและสามารถใช้งานที่ไฟเลี้ยงต่ำได้ แต่ก็มีข้อเสียอยู่ที่มีช่วงปฏิบัติการทางขนาดและผลตอบสนองทางความถี่ที่ค่อนข้างแคบ ในหัวข้อที่ 3.6 เป็นวิธีการออกแบบวงจรถอดรอกที่สองโดยใช้มอสเฟตที่มีการทำงานอยู่ในช่วงไม่อิ่มตัวร่วมกับวงจรสายพานกระแสและออปแอมป์ซึ่งจะมีช่วงปฏิบัติการทางขนาดและผลตอบสนองทางความถี่ที่กว้างกว่าวิธีตามหลักการในหัวข้อ 3.5 แต่ก็จะมีปัญหาด้านเสถียรภาพทางอุณหภูมิ ซึ่งจะต้องหาทางแก้ไขต่อไป



บทที่ 4

การออกแบบวงจรถอดรอกที่สองที่นำเสนอภายในวิทยานิพนธ์

4.1 กล่าวนำ

การออกแบบวงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อกภายในวิทยานิพนธ์นี้ จะประกอบไปด้วย กลุ่มวงจรขนาดเล็กทำหน้าที่ร่วมกันสำหรับการสังเคราะห์ฟังก์ชันถอดรอกที่สองของสัญญาณอินพุต เนื้อหาในบทนี้ได้กล่าวถึงคุณสมบัติของวงจรร้อยดังกล่าว ซึ่งได้แก่ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสายพานกระแส และวงจรถอดรอกที่สองสำหรับสัญญาณกระแสเบื้องต้นซึ่งการออกแบบจะอาศัยหลักการของวงจรทรานส์ลิเนียร์แบบมอสเฟตที่มีการทำงานในช่วงอิมิตัว จากนั้นได้อธิบายถึงหลักการนำวงจรร้อยดังกล่าวมาต่อรวมกันเป็นวงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อกที่สมบูรณ์ ในส่วนต่อมาเป็นการวิเคราะห์คุณสมบัติต่างๆ ของวงจรถัดที่ได้แก่ ค่าความต้านทานที่จุดเข้าและที่จุดออก ค่าของอัตราส่วน v_x/v_y ช่วงปฏิบัติการทางขนาดของวงจรถอดรอก ผลตอบสนองทางความถี่และค่าความผิดพลาดของวงจรถอดรอก ส่วนสุดท้ายได้ทำการเขียนแบบการทำงานของวงจรถอดรอกด้วยโปรแกรม PSPICE เพื่อเป็นการทดสอบสมรรถนะการทำงานของวงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อกที่ได้ทำการออกแบบขึ้น

4.2 กลุ่มวงจรร้อย

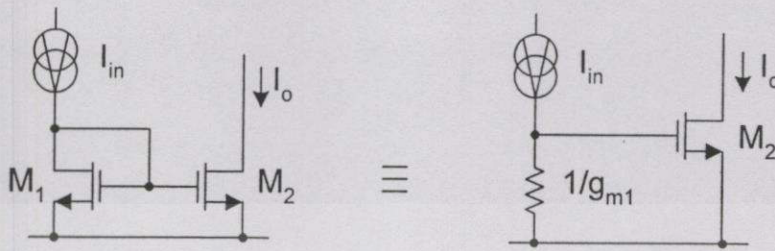
จากที่ได้กล่าวข้างต้น กลุ่มของวงจรร้อยที่ใช้ประกอบร่วมกันเพื่อทำหน้าที่สังเคราะห์ฟังก์ชันถอดรอกที่สองภายในวิทยานิพนธ์ จะสามารถแบ่งออกได้เป็น 3 กลุ่มด้วยกันคือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสายพานกระแสแบบสองแบบบวก และวงจรถอดรอกที่สองสำหรับสัญญาณกระแสเบื้องต้น ซึ่งสามารถอธิบายรายละเอียดของแต่ละวงจรถัดได้ดังต่อไปนี้

4.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน [27]-[29], [32], [35]

วงจรถอดรอกแบบพื้นฐานเป็นวงจรร้อยพื้นฐานที่มีประโยชน์มากวงจรถัดหนึ่ง ซึ่งถูกนำมาประยุกต์ใช้ในการออกแบบวงจรอิเล็กทรอนิกส์เป็นจำนวนมาก ในวิทยานิพนธ์นี้ได้ให้วงจรถอดรอกแบบพื้นฐาน สำหรับการสำเนาและการส่งผ่านสัญญาณกระแสไปยังส่วนต่างๆของวงจรถอดรอกที่สองรวมทั้งใช้เป็นแหล่งจ่ายกระแสไบอัสให้กับวงจรถัด ในรูปที่ 4.1 แสดงวงจรถอดรอกแบบพื้นฐานโดยใช้มอสเฟตชนิดเอ็นแชนแนล ซึ่งสามารถที่จะอธิบายการทำงานได้ดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ M_1 ทำหน้าที่เสมือนเป็นตัวความต้านทานค่าต่ำที่ทำให้กระแสอินพุต I_{in} ไหลเข้าสู่วงจรและเกิดเป็นศักดาไบอัส $V_{gs2} = V_{gs1}$ ให้กับ M_2 เกิดมีค่ากระแสเอาต์พุต $I_o = I_{dM2} = I_{in}$



รูปที่ 4.1 วงจรสะท้อนกระแสแบบพื้นฐานโดยใช้มอสเฟต

จากการวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน(ภาคผนวก ค.) จะได้คุณสมบัติต่างๆ ดังนี้คือ

อัตราการสะท้อนกระแส

$$\beta = \frac{I_o}{I_{in}} = \left(\frac{W_2 L_1}{W_1 L_2} \right) \quad (4.1)$$

ค่าความต้านทานที่จุดเข้า

$$r_{in} = \frac{1}{g_{m1}} = \sqrt{\frac{L_1}{2\mu_n C_{ox} W_1 I_{in}}} \quad (4.2)$$

ค่าความต้านทานที่จุดออก

$$r_o = \frac{1}{\lambda I_{D2}} = \frac{1}{\lambda I_o} \quad (4.3)$$

อัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก

$$\beta(s) = \frac{i_o(s)}{i_1(s)} = \frac{g_{m2}}{g_{m1}} \left(\frac{1}{1 + \frac{s(C_{gs1} + C_{gs2})}{g_{m1}}} \right) \quad (4.4)$$

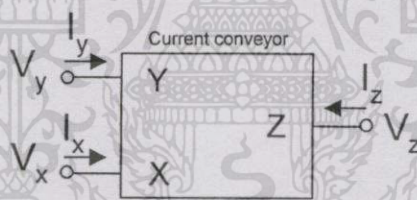
เมื่อ g_{mi} คือค่าความนำของทรานซิสเตอร์ตัวที่ i

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐานในสมการที่ (4.1) ถึง (4.4) จะเห็นได้ว่าการควบคุมอัตราขยายของวงจรสะท้อนกระแสสามารถทำได้โดยการกำหนดอัตราส่วนความกว้าง (W) ต่อความยาว (L) ของเซลล์แนลของทรานซิสเตอร์แต่ละตัวดังสมการ (4.1) การปรับปรุงให้ค่าความต้านทานที่จุดเข้ามีค่าต่ำสามารถทำได้โดย ลดขนาดของ L_1 หรือเพิ่มขนาดของ W_1 (สมการที่ (4.2)) การปรับปรุงค่าความต้านทานที่จุดออกให้มีค่าสูงทำได้โดยการออกแบบให้ λ มีค่าต่ำๆ หรือควบคุมกระแสเอาต์พุต I_o ให้มีค่าน้อย และหากต้องการให้วงจรสะท้อนกระแสแบบพื้นฐานมีผลตอบสนองทางความถี่ที่สูง ควรออกแบบให้ C_{gs} ของทรานซิสเตอร์แต่ละตัวมีค่าต่ำ หรือการเพิ่ม g_{m1} ให้มีค่าสูง

4.2.2 วงจรสายพานกระแส [1]-[10]

วงจรสายพานกระแส (Current Conveyor Circuit) จัดอยู่ในกลุ่มของวงจรร้อยที่มีการทำงานอยู่ในโหมดของกระแส (Current Mode)[1]-[10] โดยได้ถูกพัฒนาและเสนอขึ้นครั้งแรกในปี ค.ศ.1968[4]-[5] ซึ่งมีลักษณะโครงสร้างเป็นอุปกรณ์แบบสามพอร์ต โดยทั่วไปนิยมแทนด้วยสัญลักษณ์ดังแสดงในรูปที่ 4.2



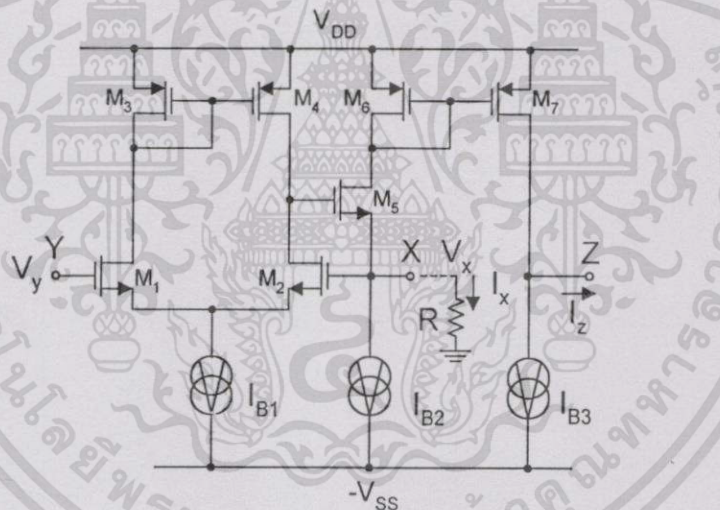
รูปที่ 4.2 สัญลักษณ์ของวงจรสายพานกระแส

จากคุณสมบัติของวงจรสายพานกระแสรุ่นแรก (First Generation Current Conveyor) ที่ได้มีการนำเสนอไว้คือ $I_y = I_x$, $V_x = V_y$ และ $I_z = \pm I_x$ ซึ่งไม่เป็นที่นิยมในการนำมาประยุกต์ใช้งานเนื่องจากมีเทอมของ I_y แสดงว่าค่าความต้านทานที่จุดเข้าของพอร์ต Y ไม่สูงจริง นอกจากนี้การที่กระแส I_y แปรตามกระแส I_x ทำให้เกิดความซับซ้อนและยุ่งยากในการนำไปออกแบบและใช้งาน ต่อมาได้มีผู้นำเสนอวงจรสายพานกระแสรุ่นที่สอง (Second Generation Current Conveyor; CCII) ขึ้น[5]-[10] เนื่องจากวงจรสายพานกระแสรุ่นที่สองถูกออกแบบให้สามารถรับอินพุตที่เป็นทั้งกระแสและศักดาได้โดยที่พอร์ต Y มีค่าอินพุตอิมพีแดนซ์ที่สูงมากเหมาะสำหรับสัญญาณอินพุตที่เป็นศักดา และที่พอร์ต X มีค่าอินพุตอิมพีแดนซ์ต่ำมากเหมาะสำหรับอินพุตที่เป็นสัญญาณกระแส โดยที่พอร์ต Z มีค่าเอาต์พุตอิมพีแดนซ์สูงมากและจะให้เอาต์พุตที่เป็นสัญญาณกระแส คุณสมบัติทางอุดมคติของ CCII สามารถเขียนสมการความสัมพันธ์เชิงเมตริกซ์ได้ดังนี้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \quad (4.5)$$

จากสมการที่ (4.5) เครื่องหมายบวกและลบ(±)แสดงถึงทิศทางการไหลของกระแส I_z ว่ามีทิศทางเหมือนกันหรือตรงกันข้ามกับทิศทางการไหลของกระแส I_x นี้ตามลำดับ สำหรับวงจรสายพานกระแสที่มีทิศทางการไหลของกระแส I_z และ I_x มีทิศทางเดียวกันจะเรียกว่าวงจรสายพานกระแสชนิดบวก (CCII+) และวงจรสายพานกระแสที่มีทิศทางการไหลของกระแส I_z และ I_x มีทิศทางตรงกันข้ามจะเรียกว่าวงจรสายพานกระแสชนิดลบ (CCII-)



รูปที่ 4.3 วงจรสายพานรุ่นที่สองชนิดบวก(CCII+)

ในวิทยานิพนธ์นี้จะใช้วงจรสายพานกระแสรุ่นที่สองชนิดบวก(CCII+) เป็นภาคหน้าของวงจรทำให่วงจรลดราคาที่สองที่ได้ออกแบบสามารถใช้งานได้กับอินพุตที่เป็นทั้งสัญญาณกระแสและศักดา โดยจะให้เอาท์พุตของวงจรในรูปแบบของสัญญาณกระแส ในรูปที่ 4.3 แสดงวงจรสายพานรุ่นที่สองชนิดบวกที่ถูกพัฒนาขึ้นโดย Surakamponrom และคณะ [10] การทำงานของวงจรสามารถอธิบายได้ดังนี้ สมมติให้ทรานซิสเตอร์ทุกตัวมีความสมพงษ์กันทุกประการและมีการทำงานอยู่ในช่วงอิมิตัว กำหนดให้วงจรสะท้อนกระแส M_3 - M_4 และ M_6 - M_7 มีอัตราการสะท้อนเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสเท่ากับหนึ่ง วงจรสะท้อนกระแส M_3-M_4 จะบังคับให้กระแสเดรนของ M_1 และ M_2 มีค่าเท่ากัน ซึ่งจะเป็นผลให้ศักดาคร่อมระหว่างขาเกตและซอสของทรานซิสเตอร์ทั้งสองมีค่าเท่ากันด้วย ($V_{gs1} = V_{gs2}$)

กรณีที่อินพุตเป็นศักดา (V_{in}) และถูกป้อนเข้าที่พอร์ต Y (ขาเกตของ M_1) ผลต่างระหว่างศักดาที่พอร์ต Y และพอร์ต X จะถูกขยายและถูกป้อนกลับไปที่พอร์ต X (ขาเกตของ M_2) โดยทรานซิสเตอร์ M_5 เป็นผลให้ศักดาที่พอร์ต X แปรตามศักดาที่จุด Y อย่างแม่นยำ ($V_x = V_y = V_{in}$) สำหรับทรานซิสเตอร์ M_5 นอกจากจะทำหน้าที่เป็นวงจขยายซอสตาม เพื่อให้ศักดาที่พอร์ต X แปรตามศักดาที่จุด Y แล้วเมื่อมองเข้าไปที่พอร์ต X ทรานซิสเตอร์ M_5 ยังต่ออยู่ในลักษณะวงจขยายเกทร่วมสำหรับสัญญาณกระแส ซึ่งจะทำหน้าที่ส่งผ่านกระแสจากขาซอสมายังขาเดรนและยังทำให้ความต้านทานจุดเข้าพอร์ต X มีค่าต่ำอีกด้วย แหล่งจ่ายกระแสคงที่ I_{B1} และ I_{B2} ทำหน้าที่ไบอัสให้กับวงจร R คือตัวต้านทานภายนอกที่ต่อระหว่างพอร์ต X และศักดาอิน ซึ่งจะทำหน้าที่แปลงศักดา V_x เป็นกระแส I_x ที่มีค่าเท่ากับ $V_x/R = V_y/R$ ทำให้กระแสเดรนของ M_5 มีค่าเท่ากับ $I_{B2} + I_x$ ซึ่งจะถูกสะท้อนไปยังจุดออก(พอร์ต Z) โดยวงจรสะท้อนกระแส M_6-M_7 โดยมีแหล่งจ่ายกระแสคงที่ $I_{B3}=I_{B2}$ หักล้างกระแส I_{B2} ออกจากพอร์ต Z ซึ่งจะได้กระแสจุดออกของพอร์ต Z คือ $I_z = I_x = V_{in}/R$ สำหรับกรณีที่ต้องการใช้งานกับอินพุตที่เป็นสัญญาณกระแสสามารถทำได้โดยต่อศักดาอินเข้าที่พอร์ต Y และป้อนสัญญาณกระแสอินพุต I_{in} เข้าที่พอร์ต X (ไม่ต้องต่อตัวต้านทานภายนอก R) ซึ่งจะมีค่าความต้านทานจุดเข้าที่ต่ำมากโดยจะให้เอาต์พุต $I_z = I_x = I_{in}$ ที่พอร์ต Z ซึ่งมีค่าความต้านทานที่จุดออกสูงมาก

4.2.3 วงจรถอดรอกที่สองสำหรับสัญญาณกระแสเบื้องต้น

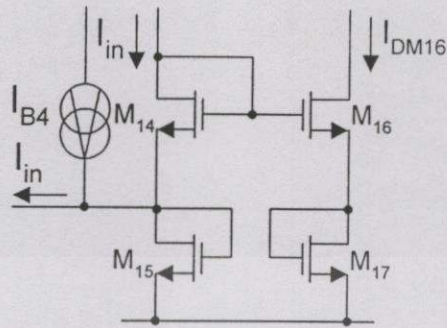
ในรูปที่ 4.4 แสดงวงจรถอดรอกที่สองสำหรับสัญญาณกระแสเบื้องต้นที่ได้ทำการออกแบบขึ้นโดยอาศัยหลักการของวงจรทรานส์ลีนีเยร์รูปแบบมอสเฟต ซึ่งได้อธิบายไว้ในหัวข้อที่ 2.3.2 โดยเบื้องต้นของการออกแบบจะถือว่าทรานซิสเตอร์ทุกตัวมีความสัมพันธ์กันและมีการทำงานอยู่ในช่วงอิมิตัว ดังนั้นจะสามารถคำนวณหาความสัมพันธ์ระหว่างค่ากระแสเดรนของทรานซิสเตอร์ M_{16} (I_{dM16}) กับค่ากระแส I_{in} และ I_{B4} ได้ตามความสัมพันธ์ดังต่อไปนี้

$$V_{gsM14} + V_{gsM15} = V_{gsM16} + V_{gsM17} \quad (4.6)$$

เมื่อ

$$V_{gsMi} = V_{TH} + \sqrt{\frac{I_{dMi}}{\mu_n C_{ox} (W/L)_{Mi}}} \quad (4.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 วงจรลดครากที่สองสำหรับสัญญาณกระแสเบื้องต้น

แทนค่าสมการที่ (4.7) ลงในสมการที่ (4.6) จะได้

$$\sqrt{\frac{I_{dM14}}{(W/L)_{M14}} + \frac{I_{dM15}}{(W/L)_{M15}}} = \sqrt{\frac{I_{dM16}}{(W/L)_{M16}} + \frac{I_{dM17}}{(W/L)_{M17}}} \quad (4.8)$$

จากวงจรในรูปที่ 4.4 จะได้ว่า $I_{dM16} = I_{dM17}$, $I_{dM14} = I_{in}$ และ $I_{dM15} = I_{B4}$ เมื่อกำหนดให้ค่า W/L ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากัน ดังนั้นสมการที่ (4.8) จะสามารถเขียนใหม่ได้เป็น

$$\sqrt{I_{in}} + \sqrt{I_{B4}} = 2\sqrt{I_{dM16}} \quad (4.9)$$

จากสมการที่ (4.9) ยกกำลังสองทั้งสองข้างและทำการจัดรูปใหม่จะได้

$$I_{dM16} = \frac{I_{in}}{4} + \frac{I_{B4}}{4} + \sqrt{\frac{I_{in} I_{B4}}{4}} \quad (4.10)$$

พิจารณาสมการที่ (4.10) จะเห็นได้ว่าค่ากระแส I_{dM16} จะประกอบไปด้วยเทอมของค่ารากที่สองของกระแส I_{in} บวกอยู่กับเทอมของค่ากระแส $I_{in}/4$ และ $I_{B4}/4$ ซึ่งในที่นี้จะถือว่าเป็น กระแสออฟเซต (Offset Current) ที่ไม่ต้องการดังนั้นหากสามารถทำการกำจัดเทอมดังกล่าวออกไปจะทำให้ได้ค่ากระแสซึ่งมีค่าแปรผันกับค่ารากที่สองของกระแส I_{in}

4.3 การออกแบบวงจรลดครากที่สอง

จากหลักการของวงจรในรูปที่ 4.1, 4.3 และ 4.4 สามารถนำมาพัฒนาประกอบรวมกันเพื่อเป็นวงจรลดครากที่สองสำหรับสัญญาณอนาล็อกซึ่งสามารถใช้งานได้กับสัญญาณอินพุตที่เป็นทั้งสัปดาห์และกระแสคังแสดงในรูปที่ 4.5 สำหรับการทำงานของวงจรสามารถที่จะอธิบายได้ดังต่อไปนี้ เมื่อทำการป้อนสัญญาณสัปดาห์อินพุต (V_{in}) ที่จุดเข้า Y (พอร์ต Y) ค่าสัปดาห์คังกล่าวจะถูกส่งผ่านมายังจุด X (พอร์ต X) และถูกแปลงเป็นค่ากระแสอินพุต I_{in} ซึ่งมีค่าเท่ากับ V_{in}/R เมื่อ R คือความต้านทานภายนอกที่ถูกต่ออยู่ระหว่างจุด X และสัปดาห์คัง ค่ากระแสอินพุต I_{in} ดังกล่าวจะถูกสำเนาและส่งผ่านไปยังส่วนของวงจรลดครากที่สองเบื้องต้น ($M_{14}-M_{17}$) โดยวงจรสะท้อนกระแส M_6-M_{13} กำหนดให้วงจรสะท้อนกระแส M_6-M_{12} มีอัตราการสะท้อนกระแสเท่ากับหนึ่ง ซึ่งจะทำให้ค่ากระแสที่ไหลผ่าน M_{14} มีค่าเท่ากับ I_{in} และกระแสที่ไหลผ่าน M_{15} มีค่าเท่ากับ I_{B4} จากหลักการของวงจรลดครากที่สองสำหรับสัญญาณกระแสเบื้องต้น ($M_{14}-M_{17}$) ที่ได้อธิบายในหัวข้อที่ 4.2.3 จะได้ค่ากระแสเดรนของ M_{16} เป็น

$$I_{dM16} = \frac{\sqrt{I_{in} I_{B4}}}{2} + \frac{I_{in}}{4} + \frac{I_{B4}}{4} \quad (4.11)$$

จากสมการที่ (4.11) เมื่อกำหนดให้ M_3 มีอัตราการสะท้อนกระแส เท่ากับ $1/4$ และ $I_{B5} = I_{B4}/4$ จะได้ค่ากระแสเอาต์พุตที่จุดออกของวงจร(o/p) เป็น

$$I_{out} = I_{dM16} - \frac{I_{in}}{4} - \frac{I_{B4}}{4} \quad (4.12)$$

แทนค่า สมการที่ (4.12) ลงในสมการที่ (4.11) จะได้

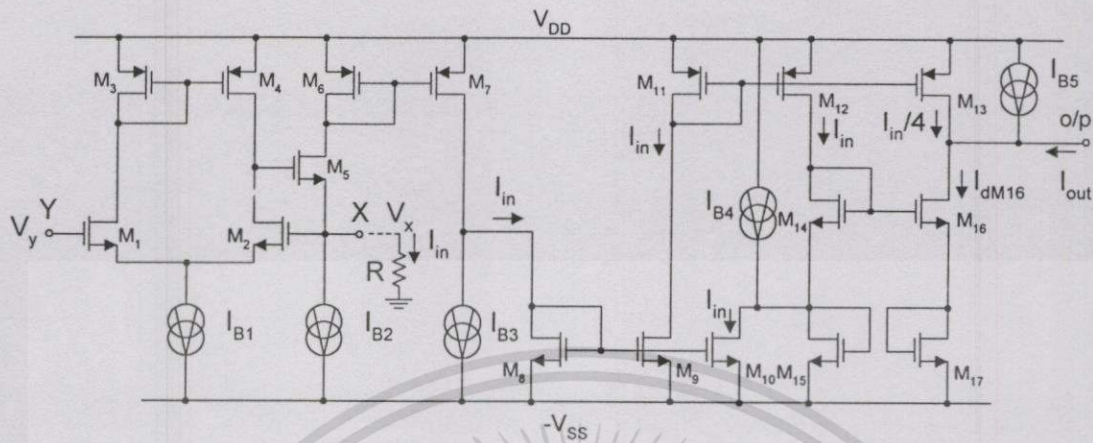
$$I_{out} = G\sqrt{I_{in}} \quad (4.13)$$

เมื่อ $G = \frac{\sqrt{I_{B4}}}{2} \quad (4.14)$

จากสมการที่ (4.13) เมื่อพิจารณาความสัมพันธ์ของค่ากระแสเอาต์พุต (I_{out}) กับค่าสัปดาห์อินพุต V_{in} ที่จุดเข้า Y จะได้

$$I_{out} = G\sqrt{\frac{V_{in}}{R}} \quad (4.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรลอตรรกที่สองสำหรับสัญญาณอนาล็อกที่ได้นำเสนอ

จากสมการที่ (4.13)-(4.15) จะเห็นได้ว่ากระแส I_{out} ที่จุดออกของวงจรในรูปที่ 4.5 เป็นค่าที่แปรผันตรงกับค่ารากที่สองของสัญญาณอินพุต (V_{in} หรือ I_{in}) ซึ่งเป็นค่าที่ไม่ขึ้นอยู่กับการคูณหมุมิ นอกจากนี้ยังสามารถควบคุมอัตราขยายได้ด้วยวิธีทางอิเล็กทรอนิกส์ นั่นคือการปรับค่ากระแสไบอัส I_{B4}

4.4 การวิเคราะห์คุณสมบัติการทำงานของวงจร

การทำงานของวงจรลอตรรกที่สองสำหรับสัญญาณอนาล็อกที่ได้นำเสนอในหัวข้อที่ 4.3 เป็นการสมมุติให้ทรานซิสเตอร์แต่ละตัวมีคุณสมบัติเป็นไปตามอุดมคติ สำหรับในทางปฏิบัติค่าความนำ (g_m) ของทรานซิสเตอร์แต่ละตัวจะมีค่าไม่เป็นอนันต์ และทรานซิสเตอร์แต่ละตัวไม่สมพงษ์กัน เป็นผลให้สมรรถนะของวงจรไม่เป็นไปตามต้องการ ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติการทำงานของวงจรดังกล่าว ซึ่งได้แก่ค่าความต้านทานที่จุดเข้าและที่จุดออก ค่าของอัตราส่วน v_x/v_y ค่าช่วงปฏิบัติการทางขนาดของสัญญาณอินพุต ผลตอบสนองทางความถี่และค่าความผิดพลาดของวงจร

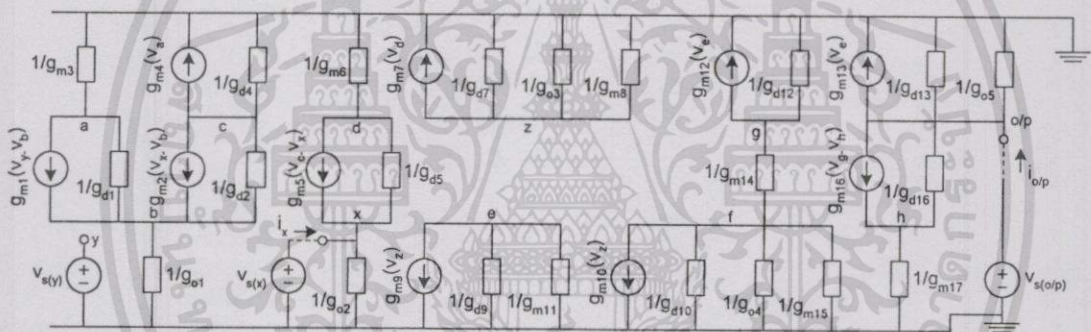
4.4.1 การวิเคราะห์ค่าความต้านทานที่จุดเข้าและที่จุดออก

เนื่องจากการออกแบบวงจรให้สามารถใช้งานได้กับอินพุตที่เป็นทั้งสัญญาณกระแสและศักดาโดยจะให้เอาท์พุตเป็นสัญญาณกระแส สำหรับการวิเคราะห์ค่าความต้านทานที่จุดเข้าจะ-

แบ่งออกเป็นสองจุดคือที่จุดเข้า X (พอร์ต X) ซึ่งถูกใช้สำหรับเป็นจุดเข้าของกระแสอินพุต (i_{in}) และที่จุดเข้า Y (พอร์ต Y) จะถูกใช้สำหรับเป็นจุดเข้าของศักดาอินพุต (v_{in})

ก. ค่าความต้านทานจุดเข้า X

จากวงจรในรูปที่ 4.5 ในการวิเคราะห์ค่าความต้านทานที่จุดเข้าและจุดออกของวงจรสามารถทำได้โดยการแทนวงจรในรูปที่ 4.5 ด้วยวงจรเสมือนสำหรับสัญญาณขนาดเล็กโดยไม่พิจารณาผลของตัวเก็บประจุแฝงดังแสดงในรูปที่ 4.6 และสำหรับการวิเคราะห์ค่าความต้านทานที่จุดเข้า X สามารถทำได้โดยป้อนศักดาทดสอบ $v_{s(x)}$ ที่จุดเข้า X โดยไม่พิจารณาผลอันเนื่องมาจากแหล่งจ่ายศักดาที่จุดเข้า Y ($v_{s(y)}=0$) และแหล่งจ่ายศักดาที่จุดออก o/p ($v_{s(o/p)}=0$) จากนั้นพิจารณาหาค่าของกระแส i_x ที่ไหลเข้าไปยังจุดเข้า X



รูปที่ 4.6 วงจรสมมูลสำหรับการคำนวณหาค่าความต้านทานที่จุดเข้าและจุดออก

จากวงจรในรูปที่ 4.6 กำหนดให้ $v_y = v_{s(y)} = 0$ และ $v_{o/p} = 0$ พิจารณาที่จุดต่างๆ ซึ่งสามารถใช้กฎของ KCL (Kirchhoff's Current Law) สร้างเป็นสมการได้ดังนี้

ที่ จุด a จะได้

$$g_{m3} v_a + g_{d1}(v_a - v_b) + g_{m1}(-v_b) = 0 \tag{4.20}$$

ที่ จุด b จะได้

$$g_{o1} v_b + g_{d1}(v_b - v_a) - g_{m1}(-v_b) + g_{d2}(v_b - v_c) - g_{m2}(v_x - v_b) = 0 \tag{4.21}$$

ที่ จุด c จะได้

$$g_{d2}(v_c - v_b) + g_{m2}(v_x - v_b) + g_{m4}v_a + g_{d4}v_c = 0 \quad (4.22)$$

ที่ จุด d จะได้

$$g_{m5}(v_c - v_x) + g_{d5}(v_d - v_x) + g_{m6}v_d = 0 \quad (4.23)$$

ที่จุดเข้า x จะได้

$$i_x = (g_{o2} + g_{d5} + g_{m5})v_x - g_{d5}v_d - g_{m5}v_c \quad (4.24)$$

เมื่อ g_{oi} คือค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทานเอาต์พุตของแหล่งจ่ายกระแสคงที่ I_{B_i}

g_{di} คือค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทานเอาต์พุตของมอสเฟต M_i

g_{mi} คือค่าความนำสำหรับสัญญาณขนาดเล็กของมอสเฟต M_i

จากสมการที่ (4.20) ถึง (4.24) สามารถคำนวณหาค่าความต้านทานที่จุดเข้า X ได้ซึ่งมีค่าเป็น

$$r_x = \frac{v_x}{i_x} = \frac{(g_{d2} + g_{d4})}{(g_{m2}g_{m5})} \quad (4.25)$$

จากสมการที่ (4.25) จะเห็นได้ว่าการปรับปรุงให้ค่าความต้านทานอินพุตที่จุดเข้า X มีค่าต่ำสามารถทำได้โดยการออกแบบให้ g_{m2} และ g_{m5} มีค่าสูงๆหรือการออกแบบให้ g_{d2} และ g_{d4} มีค่าต่ำๆ เช่น ถ้ากำหนดให้ $g_{m2} = 235 \mu\text{A/V}$, $g_{m5} = 370 \mu\text{A/V}$ และ $g_{d2} + g_{d4} = 0.85 \mu\text{A/V}$ จะได้ค่าความต้านทานที่จุด X (r_x) ซึ่งมีค่าต่ำมากประมาณ 10Ω

ข. ค่าความต้านทานที่จุดเข้า Y

สำหรับค่าความต้านทานที่จุดเข้า Y เนื่องจากที่จุดดังกล่าวขาเกตของ M_1 ซึ่งมีฉนวนซิลิกอนไดออกไซด์ (SiO_2) กั้นอยู่อีกชั้นหนึ่งทำให้ค่าความต้านทานที่จุดเข้า Y มีค่าสูงมาก ประมาณ $10^{15} \Omega$ ณ อุณหภูมิห้อง [27], [32]-[33]

ค. ค่าความต้านทานที่จุดออก o/p

จากวงจรสมมูลย์ในรูปที่ 4.6 ไปทำนองเดียวกับการวิเคราะห์หาค่าความต้านทานที่จุดเข้า X ในการวิเคราะห์ค่าความต้านทานที่จุดออก(o/p)ของวงจรจะสามารถทำได้โดยป้อนศักดาทดสอบ $v_{o/p}$ ที่จุดออก o/p โดยไม่พิจารณาผลอันเนื่องมาจากศักดาที่จุดเข้า X และจุดเข้า Y ($v_{s(y)} = v_{s(x)} = 0$) จากนั้นพิจารณาหาค่ากระแส ที่ไหลเข้า $i_{o/p}$ ซึ่งจะได้ความสัมพันธ์ดังนี้คือ

$$i_{o/p} = g_{d13} v_{o/p} + g_{O5} v_{o/p} + \frac{g_{m17} g_{d16}}{g_{m17} + g_{d16}} v_{o/p} \quad (4.26)$$

จากสมการที่ (4.7) เมื่อ $g_{d16} \ll g_{m17}$ จะได้

$$i_{o/p} = (g_{d13} + g_{O5} + g_{d16}) v_{o/p} \quad (4.27)$$

$$\therefore \text{จะได้} \quad r_{out} = \frac{v_{o/p}}{i_{o/p}} = \frac{1}{g_{d13} + g_{O5} + g_{d16}} \quad (4.28)$$

จากสมการที่ (4.28) การปรับปรุงวงจรถอดรอกที่สองที่ได้ทำการออกแบบให้มีค่าความต้านทานที่จุดออก(r_{out}) มีค่าสูงควรออกแบบให้ g_{d13} , g_{d16} และ g_{O5} มีค่าต่ำ เช่น ถ้ากำหนดให้ $g_{d13} = g_{O5} = 0.36 \mu A/V$ และ $g_{d16} = 0.28 \mu A/V$ จะได้ค่า r_{out} ประมาณ $1M\Omega$

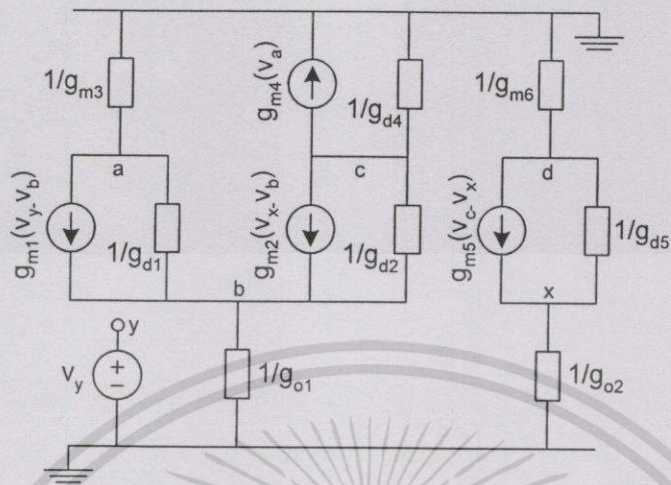
4.4.2 การวิเคราะห์ค่าอัตราส่วนของศักดา v_x/v_y

ในหัวข้อนี้เป็นการวิเคราะห์ความสัมพันธ์ระหว่างค่าศักดาที่จุดเข้า X ต่อค่าศักดาที่จุดเข้า Y โดยได้ทำการป้อนศักดาอินพุต v_y เข้าที่จุดเข้า Y จากนั้นพิจารณาหาค่าศักดาเกิดขึ้นที่จุดเข้า X โดยได้แทนวงจรเสมือนสำหรับการวิเคราะห์ค่าดังกล่าวนี้ดังแสดงในรูปที่ 4.7

จากรูปที่ 4.7 พิจารณาที่จุดต่างๆ โดยใช้กฎของ KCL (Kirchhoff's Current Law) สร้างเป็นสมการได้ดังนี้

ที่จุด a จะได้

$$g_{m1}(v_y - v_b) + g_{d1}(v_a - v_b) + g_{m3}v_a = 0 \quad (4.29)$$



รูปที่ 4.7 วงจรสมมูลสำหรับการวิเคราะห์ค่าอัตราส่วน v_x/v_y

ที่จุด b จะได้

$$g_{o1}v_b + g_{d1}(v_b - v_a) + g_{d2}(v_b - v_c) - g_{m1}(v_y - v_b) - g_{m2}(v_x - v_b) = 0 \quad (4.30)$$

ที่จุด c จะได้

$$g_{m4}v_a + g_{d4}v_c + g_{m2}(v_x - v_b) + g_{d2}(v_c - v_b) = 0 \quad (4.31)$$

ที่จุด d จะได้

$$g_{m6}v_d + g_{m5}(v_c - v_x) + g_{d5}(v_d - v_x) = 0 \quad (4.32)$$

ที่จุดเข้า x จะได้

$$g_{o2}v_x + g_{d5}(v_x - v_d) - g_{m5}(v_c - v_x) = 0 \quad (4.33)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (4.29) ถึง (4.33) สามารถหาค่า v_x/v_y ซึ่งมีค่าเป็น

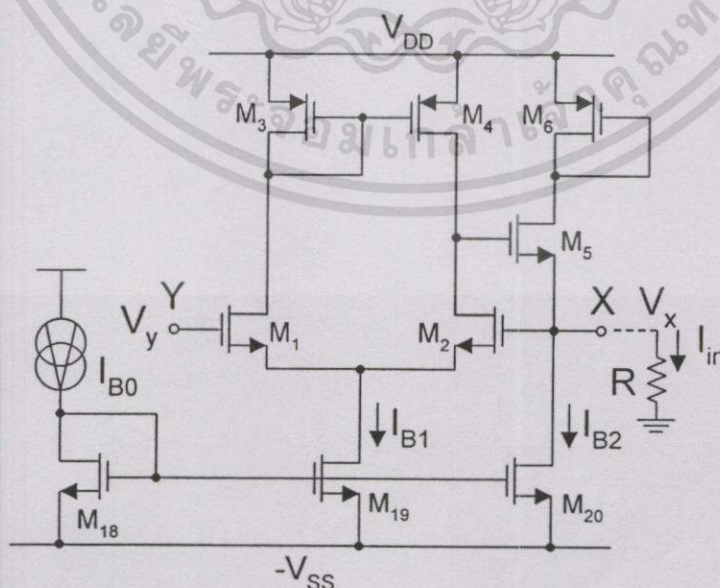
$$\frac{v_x}{v_y} = \frac{g_{m2}}{(g_{m2} + g_{d2} + g_{d4})} \approx 1 \quad \text{เมื่อ } g_{m2} = g_{m1} \text{ และ } g_{m2} \gg g_{d2} + g_{d4} \quad (4.34)$$

4.4.3 การวิเคราะห์ช่วงปฏิบัติการทางขนาด

สำหรับการวิเคราะห์ช่วงปฏิบัติการทางขนาด สามารถแบ่งการวิเคราะห์ออกได้เป็นสามส่วนคือ การวิเคราะห์ช่วงสัปดาห์อินพุตปฏิบัติงาน การวิเคราะห์ช่วงกระแสอินพุตปฏิบัติงาน และการวิเคราะห์ช่วงกระแสเอาต์พุตปฏิบัติงาน

ก. ช่วงสัปดาห์อินพุตปฏิบัติงาน

จากวงจรในรูปที่ 4.8 จะเห็นว่า M_1 และ M_2 ต่อกันอยู่ในลักษณะคู่ขยายความแตกต่าง (Differential Pair) ซึ่งมีวงจรสัปดาห์กระแส M_3 - M_4 ทำหน้าที่บังคับให้กระแสเดรน (Drain Current) ของ M_1 (I_{DM1}) และ M_2 (I_{DM2}) มีค่าเท่ากัน โดยมี M_5 ทำหน้าที่ขยายความแตกต่างของกระแสทั้งสองและป้อนกลับไปยังขาเกทของ M_2 (จุดเข้า X) ให้มีค่าแปรตามและเท่ากับสัปดาห์ที่ขาเกทของ M_1 (จุดเข้า Y) เมื่อกำหนดให้ $V_{y\max}$ และ $V_{y\min}$ คือค่าสัปดาห์อินพุตสูงสุดและต่ำสุดตามลำดับซึ่งวงจรยังคงสามารถทำงานได้อย่างถูกต้อง จะพบว่าค่าสัปดาห์ที่ขาเกทของ M_2 จะมีค่าสูงสุดได้ไม่เกินค่าที่ทำให้ M_5 ไม่สามารถจ่ายกระแสได้ซึ่งเปรียบเสมือนขาดกับขอสของ M_5 ถูกต่อถึงกัน (Short Circuit) นั่นคือ



รูปที่ 4.8 สำหรับการวิเคราะห์ช่วงปฏิบัติงานทางอินพุต

เอกสารนี้เป็นเอกสารทูลวงวนไว้สำหรับการแข่งขันเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{y\max} \leq V_{DD} - V_{gs6} \quad (4.35)$$

เนื่องจาก

$$V_{gs6} = V_{TH} + \sqrt{\frac{(I_{B2} + I_{in})}{\beta_{M6}}} \quad (4.36)$$

เมื่อ

$$\beta_{M6} = \left(\frac{\mu_p C_{OX} W}{2L} \right)_{M6} \quad (4.37)$$

แทนค่าสมการที่ (4.36) ลงในสมการที่ (4.35) จะได้

$$V_{y\max} \leq V_{DD} - V_{TH} - \sqrt{\frac{(I_{B2} + I_{in})}{\beta_{M6}}} \quad (4.38)$$

จากสมการที่ (4.37) สังเกตได้ว่า ถ้ากำหนดให้ V_{DD} และ V_{TH} เป็นค่าคงที่ เมื่อต้องการออกแบบให้ค่า $V_{y\max}$ มีค่าสูงสามารถทำได้โดยการออกแบบให้ มีค่าสูง β_{M6} รวมทั้งการกำหนดให้ I_{B2} และค่า I_{in} มีค่าต่ำ ตัวอย่างเช่นถ้ากำหนดให้ $V_{DD} = 3V$, $V_{TH} = 0.7V$, $\beta_{M6} = 160 \mu A/V$, $I_{B2} = 25 \mu A$ และ $I_{in} = 15 \mu A$ จะได้ค่าศักดาอินพุตสูงสุด $V_{y\max}$ โดยประมาณคือ $1.8V$

สำหรับค่าศักดาอินพุตต่ำสุด เนื่องจากการต่อตัวต้านทานภายนอกเพื่อใช้สำหรับแปลงค่าศักดาอินพุต (V_{in}) เป็นค่ากระแสอินพุต (I_{in}) ซึ่งต่ออยู่ระหว่างจุดเข้า X และศักดาอินพุต และ M_5 สามารถนำกระแสได้ทิศทางเดียวคือจากขาเดรนไปยังขาซอร์สโดยมี I_{B2} ทำหน้าที่เป็นกระแสไบอัสและเป็นตัวจำกัดค่ากระแสสูงสุดที่จะไหลเข้าไปยังจุดเข้า X ซึ่งสามารถสรุปได้ว่า $(0 - V_{y\min})/R \leq I_{B2}$ และอีกเงื่อนไขหนึ่งคือ $V_{y\min}$ จะต้องมีค่ามากกว่าศักดาที่ทำให้แหล่งจ่ายกระแสของ I_{B2} ยังคงมีการทำงานอยู่ในช่วงอิมิตัว นอกจากนี้เมื่อพิจารณาถึงหน้าที่การทำงานของวงจร คือเป็นการสังเคราะห์ฟังก์ชันถอดครากที่สองของสัญญาณอินพุต ซึ่งไม่สามารถหาค่าของสัญญาณที่มีค่าเป็นลบได้และเป็นข้อจำกัดหลักของวงจร ดังนั้นจะได้ว่า

$$V_{y\min} = 0 \quad (4.39)$$

ข. ช่วงกระแสอินพุตปฏิบัติการ

ถ้ากำหนดให้ $I_{x_{max}}$ และ $I_{x_{min}}$ คือค่ากระแสอินพุตสูงสุดและต่ำสุด ตามลำดับ ซึ่งยังคงทำให้วงจรสามารถทำงานได้อย่างถูกต้อง และค่า V_x คือ ค่าศักดาที่จุดเข้า X ในทำนองเดียวกับการวิเคราะห์ค่าศักดาอินพุตสูงสุดนั่นคือ V_x จะต้องมีค่าไม่มากกว่าค่าที่ทำให้ M_5 ไม่สามารถนำกระแสได้นั่นคือ

$$V_x \leq V_{DD} - V_{TH} - \sqrt{\frac{I_{B2} + I_{x_{max}}}{\beta_{M6}}} \quad (4.40)$$

จากสมการที่ (4.40) จัดรูปใหม่จะได้

$$I_{x_{max}} \leq \beta_{M6} (V_{DD} - V_{TH} - V_x)^2 - I_{B2} \quad (4.41)$$

จากสมการที่ (4.41) เนื่องจาก V_{DD} และ V_{TH} จะถูกพิจารณาว่าเป็นค่าคงที่ ดังนั้นหากต้องการออกแบบให้ $I_{x_{max}}$ มีค่าสูงจะต้องออกแบบให้ I_{B2} มีค่าต่ำ และพยายามลดค่าศักดา V_x สำหรับการพิจารณาค่ากระแสอินพุตต่ำสุด เช่นเดียวกับการพิจารณาค่า $V_{y_{max}}$ นั่นคือ

$$I_{x_{min}} = 0 \quad (4.42)$$

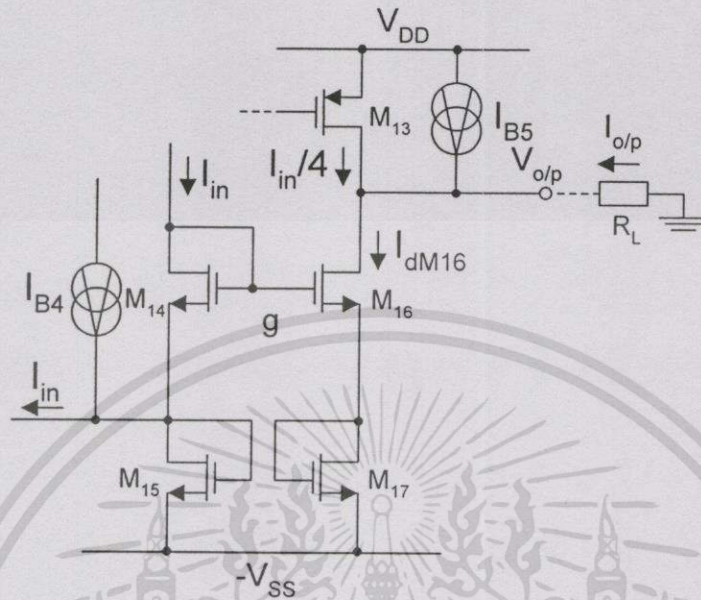
ง. ช่วงกระแสเอาต์พุตปฏิบัติการ

จากวงจรในรูปที่ 4.9 สำหรับการวิเคราะห์ค่ากระแสเอาต์พุตสูงสุด $I_{o/p_{max}}$ เมื่อทำการต่อตัวต้านทานภายนอก (R_L) ระหว่างจุดออกของวงจรกับศักดาดิน กำหนดให้ $I_{o/p_{max}}$ คือค่าของกระแสเอาต์พุตสูงสุดที่เข้ามายังจุดออกของวงจร (o/p) ซึ่งยังคงทำให้ทรานซิสเตอร์ทุกตัวมีการทำงานอยู่ในช่วงอิ่มตัว ซึ่งจะได้ความสัมพันธ์ดังต่อไปนี้

$$V_{o/p} \geq V_g - V_{TH} \quad (4.43)$$

เนื่องจาก

$$V_g = V_{SS} + 2V_{TH} + \sqrt{\frac{I_{in}}{\beta}} + \sqrt{\frac{I_{B4}}{\beta}} \quad (4.44)$$



รูปที่ 4.9 สำหรับกรวิเคราะห์ช่วงปฏิบัติงานทางเอาต์พุต

และ

$$V_{o/p} = 0 - I_{o/p \max} R_L \quad (4.45)$$

เมื่อ

$$\beta = \frac{\mu_n C_{ox} W}{2L} \quad (4.46)$$

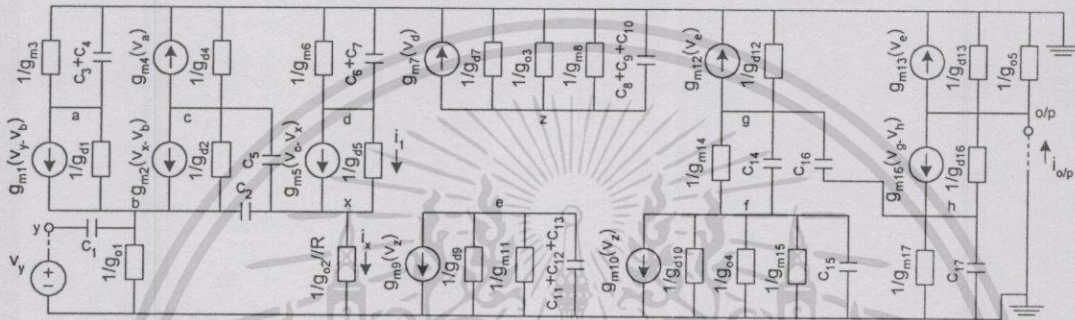
แทนค่าสมการที่ (4.44) และ (4.45) ลงในสมการที่(4.43) จะได้ค่ากระแสเอาต์พุตสูงสุดโดยประมาณ คือ

$$I_{o/p \max} \leq -(V_{SS} + V_{TH} + \sqrt{\frac{I_{in}}{\beta}} + \sqrt{\frac{I_{B4}}{\beta}}) / R_L \quad (4.47)$$

จากสมการที่ (4.46) และ (4.47) จะเห็นได้ว่า หากต้องการปรับปรุงให้วงจรมีค่ากระแสปฏิบัติงานสูง สามารถทำได้โดยการออกแบบให้ค่า W มีค่ามากหรือการลดค่า L รวมทั้งการนำไปใช้งานกับโหลดที่มีค่าความต้านทานจุดเข้าต่ำ

4.4.4 การวิเคราะห์ผลตอบสนองทางความถี่ของวงจร

จากหลักการของวงจรในรูปที่ 4.5 สำหรับการวิเคราะห์ผลตอบสนองทางความถี่ของวงจร จะแยกออกเป็นสองส่วน คือ การวิเคราะห์ค่าทรานส์คอนดักแตนซ์(G_m) ระหว่างค่ากระแส i_x กับค่าศักดา V_y และการวิเคราะห์ค่าอัตราส่วนระหว่างค่ากระแส i_{out} กับค่ากระแสอินพุต i_{in} ที่ไหลเข้าที่จุดเข้า x ซึ่งการวิเคราะห์ทั้งสองส่วนนี้จะใช้วงจรเสมือนสำหรับสัญญาณขนาดเล็กดังแสดงในรูปที่ 4.10



รูปที่ 4.10 วงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่

ก. ค่าทรานส์คอนดักแตนซ์(G_m) ระหว่างค่ากระแส i_x กับค่าศักดา V_y

จากวงจรในรูปที่ 4.10 สำหรับการวิเคราะห์ค่าของอัตราส่วน i_x/V_y สามารถทำได้โดยป้อนศักดาอินพุต V_y เข้าที่จุดเข้า Y จากนั้นพิจารณาหาค่ากระแส i_x ได้จากการอาศัยกฎของ KCL ที่พิจารณาที่จุดต่างๆ ตามความสัมพันธ์ดังต่อไปนี้

ที่ จุด a จะได้

$$[g_{m3} + g_{d1} + s(C_3 + C_4)]v_a - g_{d1}v_b + g_{m1}(v_y - v_b) = 0 \tag{4.48}$$

ที่ จุด b จะได้

$$[g_{o1} + g_{d1} + g_{d2} + s(C_1 + C_2)]v_b - g_{d1}v_a - g_{d2}v_c - sC_1v_y - sC_2v_x = g_{m1}(v_y - v_b) + g_{m2}(v_x - v_b) \tag{4.49}$$

ที่จุด c จะได้

$$[g_{d2} + g_{d4} + sC_5]v_c - g_{d2}v_b - sC_5v_x = -g_{m2}(v_x - v_b) + g_{m4}v_a \quad (4.50)$$

ที่จุด d และจุด x พิจารณาโดยใช้กฎของ KVL ร่วมกับ KCL จะได้

$$\frac{C_x}{g_{m6} + s(C_6 + C_7)} + \frac{i_x}{g_{d5}} + v_x = 0 \quad (4.51)$$

และ

$$i_x = g_{m5}(v_c - v_x) + i_1 \quad (4.52)$$

แทนค่าสมการที่ (4.52) ลงในสมการที่ (4.51) จะได้

$$\frac{i_x}{g_{m6} + g_{d5} + s(C_6 + C_7)} - \frac{g_{m5}v_c}{g_{d5}} + \left(1 + \frac{g_{m5}}{g_{d5}}\right)v_x = 0 \quad (4.53)$$

และเนื่องจาก

$$v_x = R \cdot i_x \quad (4.54)$$

จากสมการที่ (4.48) ถึง (4.54) สามารถคำนวณหาค่าทรานส์คอนดักแตนซ์ (G_m) ของวงจรได้
มีค่าเป็น

$$\frac{i_x}{v_y} = \frac{1}{R} \frac{1}{\left(1 - \frac{(g_{d2} + g_{d4})}{(g_{m2} + g_{d2} + g_{d4})}\right)} \frac{T_1s + 1}{T_2s + 1} \quad (4.55)$$

เมื่อ

$$T_1 = \frac{C_2(g_{d2} + g_{d4}) + C_5g_{m2}}{g_{m2}g_{m5}} \quad (4.56)$$

$$T_2 = \frac{(C_2 + C_5)(g_{d2} + g_{d4}) + C_5g_{m2}}{g_{m2}g_{m5}} \quad (4.57)$$

เมื่อ C_x คือค่า C_{gs} ของทรานซิสเตอร์ M_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข. การวิเคราะห์ค่าของอัตราส่วนกระแส i_{out}/i_x

สำหรับการวิเคราะห์ค่าอัตราส่วน i_{out}/i_x จะสามารถหาความสัมพันธ์ได้โดยกำหนดให้ $V_y = 0$ และทำการป้อนกระแสอินพุต i_x ที่จุดเข้า x จากนั้นพิจารณาหาค่ากระแสเอาต์พุตที่จุดออก o/p ของวงจร โดยอาศัยกฎของ KCL พิจารณาที่จุดต่างๆ ซึ่งจะได้ความสัมพันธ์ดังต่อไปนี้

ที่ จุด d จะได้

$$v_d = \frac{-i_x}{g_{m6} + s(C_6 + C_7)} \quad (4.58)$$

ที่ จุด z จะได้

$$(g_{m8} + g_{d7} + g_{o3} + s(C_8 + C_9 + C_{10}))v_z + g_{m7}v_d = 0 \quad (4.59)$$

ที่ จุด e จะได้

$$g_{m9}v_z + (g_{d9} + g_{m11} + s(C_{11} + C_{12} + C_{13}))v_e = 0 \quad (4.60)$$

ที่ จุด g จะได้

$$g_{m12}v_e + g_{d12}v_g + (g_{m14} + sC_{14})(v_g - v_f) + sC_{16}(v_g - v_h) = 0 \quad (4.61)$$

ที่ จุด f จะได้

$$g_{m10}v_z + (g_{d10} + g_{o4} + g_{m15} + sC_{15})v_f + (g_{m14} + sC_{14})(v_f - v_g) = 0 \quad (4.62)$$

ที่ จุด h จะได้

$$(g_{m17} + sC_{17})v_h + sC_{16}(v_n - v_g) + g_{d16}(v_n - v_{o/p}) = g_{m16}(v_g - v_n) \quad (4.63)$$

ที่ จุด o/p จะได้

$$I_{out} = g_{m16}(v_g - v_h) + g_{d16}(v_{o/p} - v_h) + g_{m13}v_e + (g_{d13} - g_{o5})v_{o/p} \quad (4.64)$$

จากสมการที่ 4.58 ถึง 4.64 กำหนดให้ $g_{m16} = g_{m17}$, $g_{m9} = g_{m10}$, $g_{m11} = g_{m12}$ และ $C_{14} = C_{15} = C_{16} = C_{17}$ จะสามารถคำนวณหาค่าของอัตราส่วน i_{out}/i_x ของวงจรได้เป็น

$$\frac{i_{out}}{i_x} = \frac{-g_{m7}}{g_{m8}g_{m11}g_{m6}} \frac{1}{(T_3s+1)(T_4s+1)(T_5s+1)} \frac{A}{B} \quad (4.65)$$

$$\begin{aligned} \text{เมื่อ} \quad A = & s^2(2g_{m16}g_{m10}C_{14}(C_{11}+C_{12}+C_{13})+4g_{m10}^2C_{14}^2)+s(3g_{m10}^2g_{m15}C_{14}-2g_{m10}g_{m16}(g_{m15}C_{15}- \\ & g_{m14}(C_{11}+C_{12}+C_{13})))+(g_{m10}^2g_{m15}g_{m14}-g_{m10}g_{m15}g_{m16}) \end{aligned} \quad (4.66)$$

$$B = 4s^2C_{14}^2+3sC_{14}g_{m15}+g_{m14}g_{m15} \quad (4.67)$$

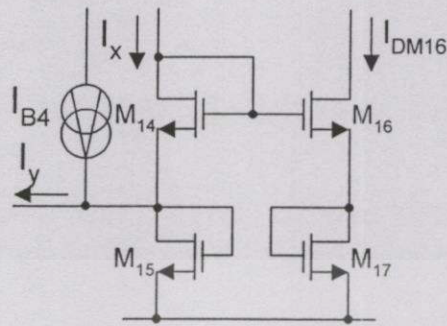
$$T_3 = \frac{C_6 + C_7}{g_{m6}} \quad (4.68)$$

$$T_4 = \frac{C_{11} + C_{12} + C_{13}}{g_{m11}} \quad (4.69)$$

$$T_5 = \frac{C_8 + C_9 + C_{10}}{g_{m8}} \quad (4.70)$$

4.4.5 การวิเคราะห์ค่าผิดพลาดของวงจร

สำหรับการวิเคราะห์ค่าความผิดพลาดของวงจรได้ทำการวิเคราะห์ผลซึ่งเกิดจากความผิดพลาดของกระแสอินพุตที่ไหลเข้าไปในวงจรทรานส์ซิสเตอร์รูป (M_{14} - M_{17}) ดังแสดงในรูปที่ 4.10 ซึ่งค่ากระแส I_x และ I_y ที่ถูกต้องจะต้องมีค่าเท่ากับ I_{in} สำหรับกรณีที่ค่ากระแสดังกล่าวมีความผิดพลาดไปจะสามารถคำนวณหาความผิดพลาดของกระแส I_{dm16} ได้ตามความสัมพันธ์ดังต่อไปนี้



รูปที่ 4.11 สำหรับการวิเคราะห์ความผิดพลาดของวงจร

จากวงจรในรูปที่ 4.11 ในทำนองเดียวกับการวิเคราะห์ค่ากระแสเดรนของ M_{16} ตามหลักการในหัวข้อที่ 4.2.3 จะได้

$$I_{dM16} = \frac{I_{dM14}}{4} + \frac{I_{dM15}}{4} + \sqrt{\frac{(I_{dM14})(I_{dM15})}{4}} \quad (4.71)$$

จากสมการที่ (4.71) เนื่องจาก $I_{dM14} = I_x$, $I_{dM15} = I_{B4} + I_x - I_y$ ดังนั้นจะได้

$$I_{dM16} = \frac{I_x}{4} + \frac{I_{B4} + (I_x - I_y)}{4} + \frac{1}{2} \sqrt{I_x (I_{B4} + (I_x - I_y))} \quad (4.72)$$

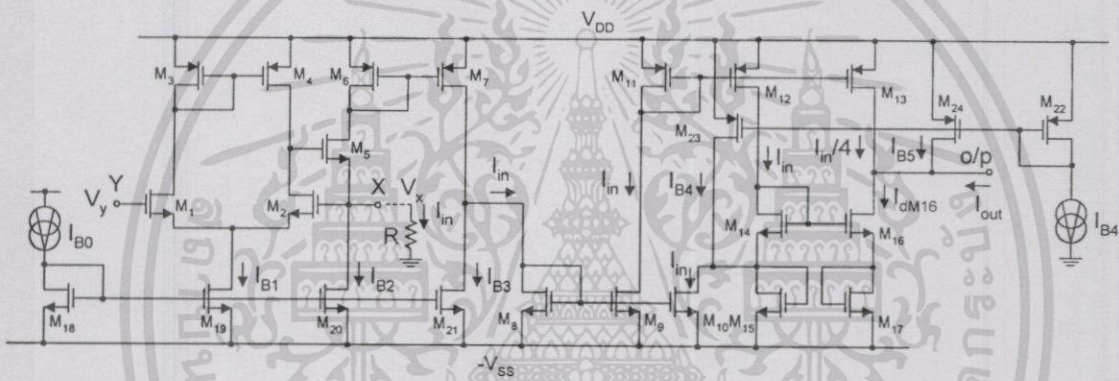
จากสมการที่ (4.72) สามารถคำนวณหาเปอร์เซ็นต์ความผิดพลาดของค่ากระแส I_{dM16} เปรียบเทียบกับสมการที่ (4.10) ได้ดังนี้

$$\text{error} = \frac{(I_{dM16}(\text{สมการที่4.10}) - I_{dM16}(\text{สมการที่4.72}))}{I_{dM16}(\text{สมการที่4.10})} \times 100\% \quad (4.73)$$

จากสมการที่ (4.10), (4.72) และ (4.73) ถ้ากำหนดให้กระแส I_y มีความผิดพลาดไป 5% เช่น กำหนดให้ $I_{B4} = 100\mu\text{A}$, $I_x = I_{in} = 100\mu\text{A}$ และ $I_y = 95\mu\text{A}$ จะได้ค่า error = 2.48% หรือถ้ากำหนดให้ I_x ผิดพลาดไป 5% เช่น $I_x = 95\mu\text{A}$, $I_y = 100\mu\text{A}$ จะได้ error = 3.70%

4.5 ผลการเลียนแบบการทำงานของวงจรถ่ายด้วยโปรแกรม PSPICE

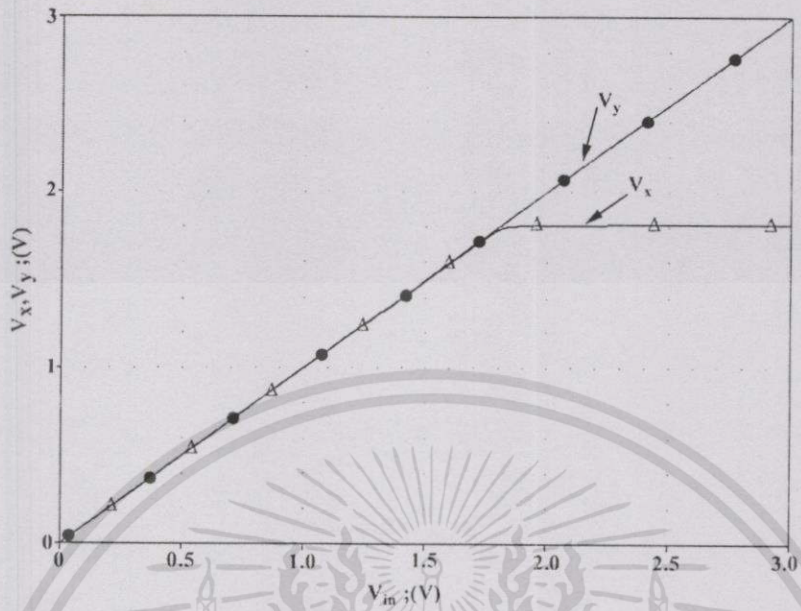
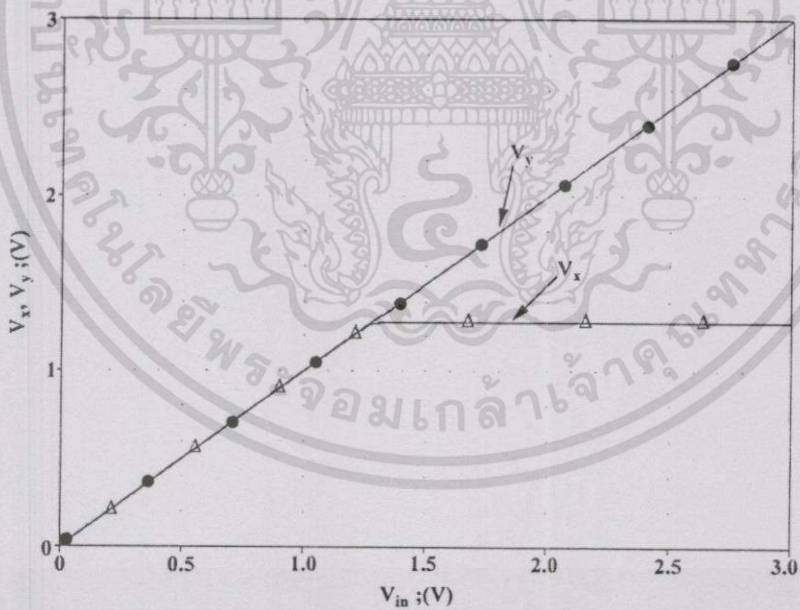
จากการออกแบบวงจรถ่ายตามหลักการที่ได้นำเสนอมาแล้วนั้น เพื่อเป็นการทดสอบสมรรถนะของวงจรถ่ายที่ได้ทำการออกแบบขึ้นว่าสามารถทำงานเป็นไปตามที่คาดการณ์เอาไว้เพียงใด ในที่นี้ได้ใช้โปรแกรม PSPICE เลียนแบบการทำงานของวงจรถ่าย โดยเลือกใช้โมสทรานซิสเตอร์เทคโนโลยี $2.0\mu\text{m}$ ของบริษัท MOSIS ในรูปที่ 4.12 แสดงวงจรถ่ายครากที่สองสำหรับสัญญาณอนาล็อกที่สมบูรณ์ภายในวิทยานิพนธ์ โดยได้มีกำหนดค่าอัตราส่วนความกว้างต่อความยาวเซลล์แนล (W/L) ของทรานซิสเตอร์แต่ละตัวดังที่แสดงในตารางที่ 4.1 และได้กำหนด ค่า $V_{DD} = -V_{SS} = 3\text{V}$, $I_{B1} = I_{B0} = 100\mu\text{A}$, $I_{B3} = I_{B2} = 25\mu\text{A}$, $I_{B4} = 100\mu\text{A}$ และ $R_L = 100\Omega$



รูปที่ 4.12 วงจรถ่ายครากที่สองที่สมบูรณ์ภายในวิทยานิพนธ์

ตารางที่ 4.1 อัตราส่วนความกว้างต่อความยาวเซลล์แนล(W/L)ของมอสเฟต

ทรานซิสเตอร์	ค่า W/L ($\mu\text{m}/\mu\text{m}$)
$M_1 - M_4, M_6 - M_{12}, M_{18} - M_{19}, M_{22} - M_{23}$	20/2
M_5	100/2
$M_{13}, M_{24}, M_{20} - M_{21}$	5/2
$M_{14} - M_{17}$	10/2

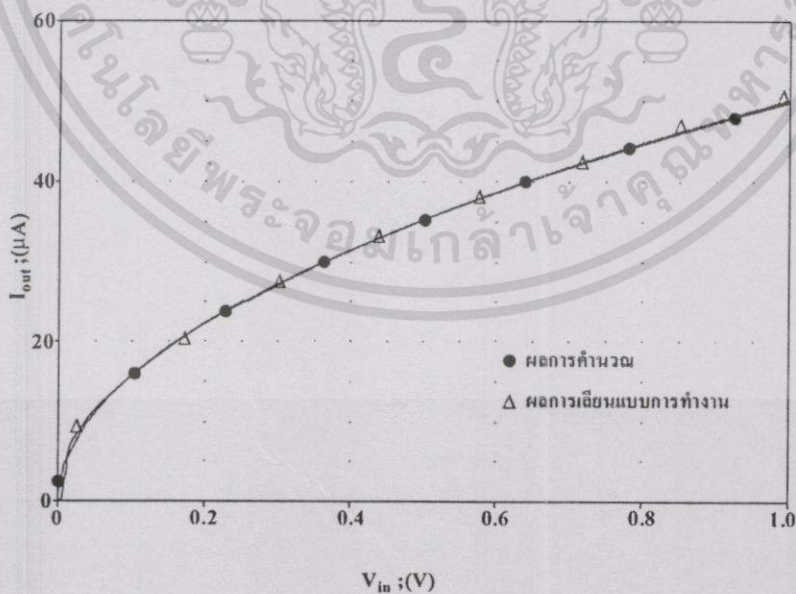
(ก) ค่าความต้านทานภายนอก $R=100\text{k}\Omega$ (ข) ค่าความต้านทานภายนอก $R=10\text{k}\Omega$

รูปที่ 4.13 ผลการทดสอบช่วงสัปดาห์ปฏิบัติการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

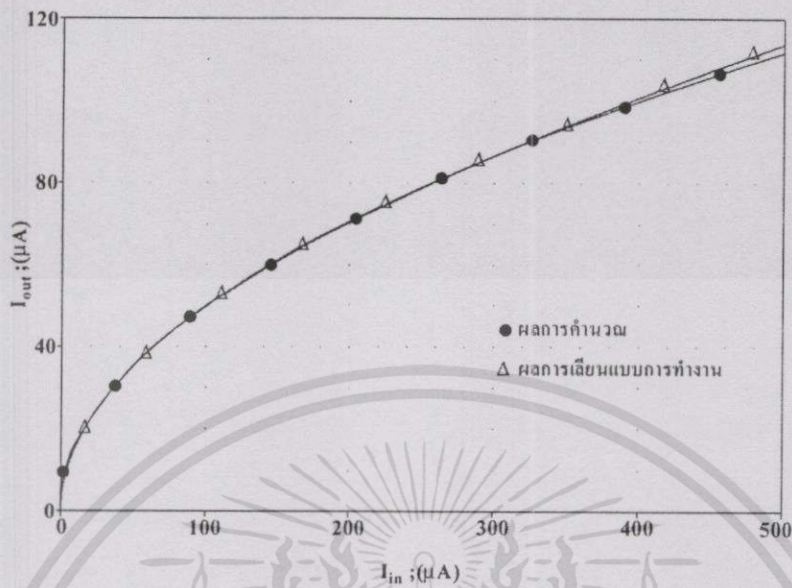
ในรูปที่ 4.13(ก) และ 4.13(ข) แสดงผลการทดสอบช่วงสัปดาห์ปฏิบัติการของวงจร โดยการต่อตัวต้านทานภายนอกระหว่างจุดเข้า X และสัปดาห์คานขนาด $100\text{k}\Omega$ และ $10\text{k}\Omega$ ตามลำดับ และได้ทำการป้อนและแปรค่าสัปดาห์คานอินพุต v_{in} ที่จุดเข้า Y ซึ่งจากผลการเขียนแบบการทำงานของวงจรจะเห็นได้ว่า ค่าสัปดาห์คานที่จุดเข้า X จะมีค่าแปรตามสัปดาห์คานที่จุด Y อย่างแม่นยำ จนกระทั่งมีค่าเท่ากับค่าสัปดาห์คานปฏิบัติงานสูงสุดของวงจรและค่าปฏิบัติงานสูงสุดของวงจรมีจะเป็นค่าที่ขึ้นอยู่กับขนาดของกระแสอินพุตที่ไหลออกจากจุด X ผ่านตัวต้านทานภายนอก R โดยจะมีค่าลดลงเมื่อขนาดกระแสอินพุตเพิ่มขึ้นเป็นไปตามสมการที่ (4.18)

ในรูปที่ 4.14 และ 4.15 เป็นผลการทดสอบและเปรียบเทียบคุณลักษณะทางคิซี(DC Characteristic)ของวงจร ระหว่างค่าที่ได้จากการคำนวณกับผลการเขียนแบบการทำงานของวงจร โดยรูปที่ 4.14 เป็นการป้อนและแปรค่าสัปดาห์คานอินพุต v_{in} ที่จุดเข้า Y ตั้งแต่ 0V ถึง 1V และได้ต่อตัวต้านทานขนาด $10\text{k}\Omega$ ระหว่างจุด X กับสัปดาห์คาน ในรูปที่ 4.15 ได้ทำการต่อจุด Y กับสัปดาห์คาน และได้ทำการแปรค่ากระแสอินพุตที่จุดเข้า X ตั้งแต่ $0\mu\text{A}$ ถึง $500\mu\text{A}$ จากผลการเขียนแบบการทำงานของวงจรแสดงให้เห็นว่าค่ากระแสเอาต์พุต i_{out} ของวงจรเป็นค่าที่เป็นฟังก์ชันถดถอยที่สองของสัญญาณอินพุต และเมื่อเปรียบเทียบกับค่าที่ได้จากการคำนวณจะมีความใกล้เคียงกันมาก ซึ่งจะมีผลผิดพลาดอยู่บ้างในช่วงกระแสอินพุตมีค่าต่ำกว่า $2\mu\text{A}$ และผลผิดพลาดจะมีค่าเพิ่มขึ้นเมื่อกระแสอินพุตมีค่ามากกว่า $400\mu\text{A}$ ซึ่งเป็นผลอันเนื่องมาจากค่าความผิดพลาดของวงจรสะท้อนกระแส



รูปที่ 4.14 คุณลักษณะทางคิซีระหว่างค่ากระแส I_{out} กับค่าสัปดาห์คาน V_{in}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



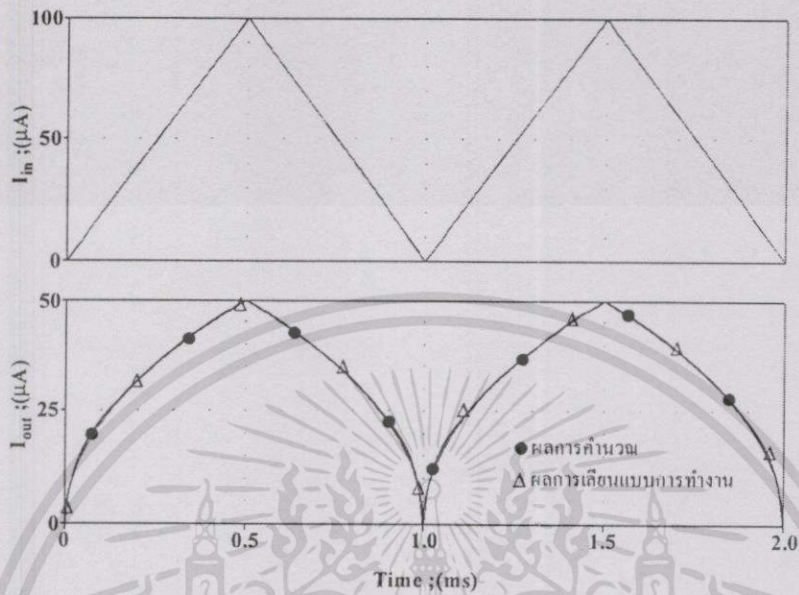
รูปที่ 4.15 คุณลักษณะทางดีซีระหว่างค่ากระแส I_{out} กับค่ากระแส I_{in}

ในรูปที่ 4.16(ก) และ 4.16(ข) แสดงผลการทำงานของวงจรซึ่งเป็นผลจากการป้อนกระแสอินพุตเป็นสัญญาณรูปสามเหลี่ยมขนาด $100\mu A$ ความถี่ $1kHz$ และ $100kHz$ ตามลำดับ จากผลการเลียนแบบการทำงานของวงจร แสดงให้เห็นว่าที่ความถี่สูงวงจรยังคงสามารถทำงานได้อย่างถูกต้อง

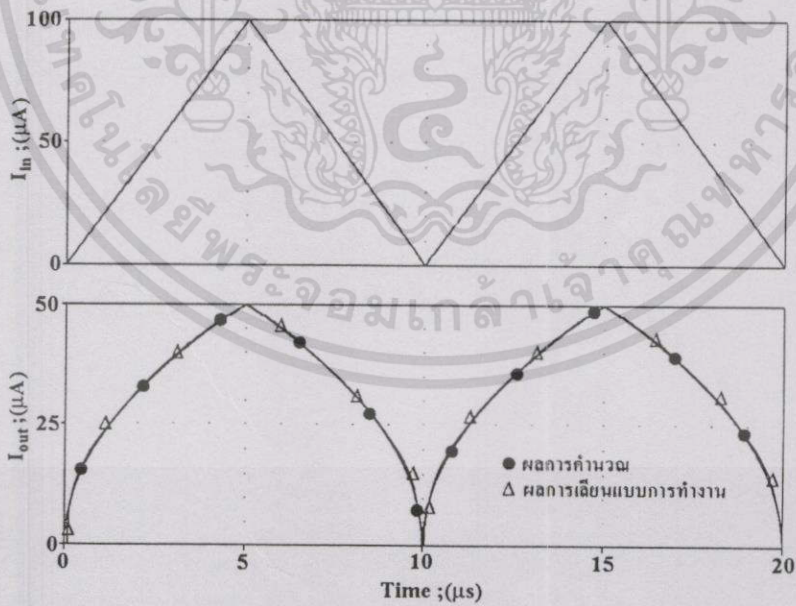
ในรูปที่ 4.17 เป็นผลการทดสอบการแปรค่า I_{B4} จาก $0\mu A$ ถึง $500\mu A$ โดยได้กำหนดให้กระแสอินพุตเป็นค่าคงที่ขนาด $100\mu A$ จากผลการทดสอบแสดงให้เห็นว่ากระแสเอาต์พุตของวงจรจะมีค่าเป็นไปตามสมการที่ (4.18) ซึ่งเป็นการยืนยันว่าอัตราขยาย (Gain) ของวงจรสามารถควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์นั่นคือการปรับค่ากระแส I_{B4} ซึ่งเป็นฟังก์ชันลอครากที่สองเช่นเดียวกับสัญญาณอินพุต

รูปที่ 4.18 แสดงผลทดสอบเสถียรภาพทางอุณหภูมิของวงจร โดยได้กำหนดให้กระแสอินพุต I_{in} และ I_{B4} มีค่าคงที่ขนาด $100\mu A$ และ $100\mu A$ ตามลำดับ จากผลการเลียนแบบการทำงานจะเห็นได้ว่าวงจรค่อนข้างจะมีเสถียรภาพต่ออุณหภูมิมาก นั่นคือมีความผิดพลาดเนื่องจากผลของอุณหภูมิน้อยกว่า 1 เปอร์เซ็นต์ เมื่ออุณหภูมิเปลี่ยนจาก $0-100^{\circ}C$

ในรูปที่ 4.19 แสดงผลตอบสนองทางความถี่ของวงจร โดยได้ทำการต่อตัวต้านทานภายนอกระหว่างจุดเข้า X และคัทคาติน ขนาด $10k\Omega$ และได้ทำการป้อนคัทคาอินพุตที่จุดเข้า Y ซึ่งเป็นสัญญาณไฟตรงขนาด $0.2V$ และสัญญาณไฟกระแสสลับขนาด $0.2V$ โดยกำหนดให้ $I_{B4}=200\mu A$ ซึ่งจะเห็นได้ว่าวงจรมีผลตอบสนองทางความถี่ที่สูงถึงประมาณ $100MHz$



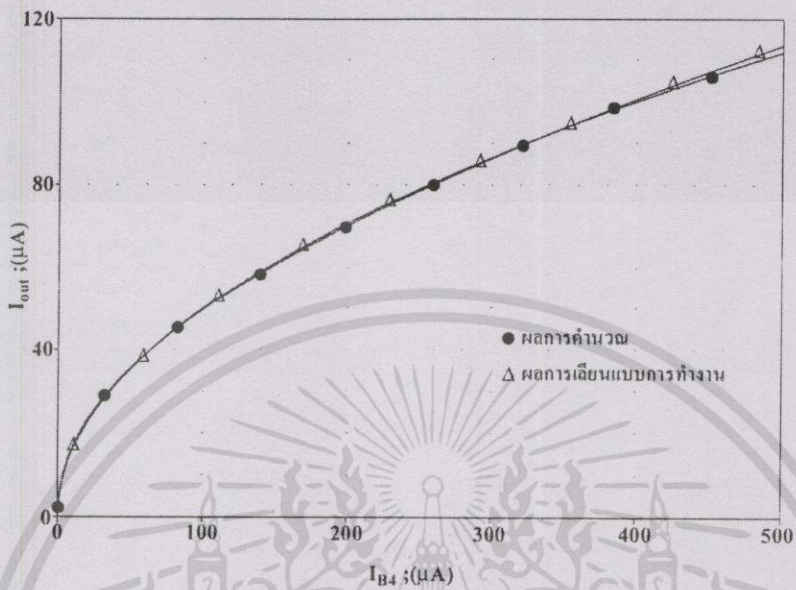
(ก). ความถี่ 1kHz



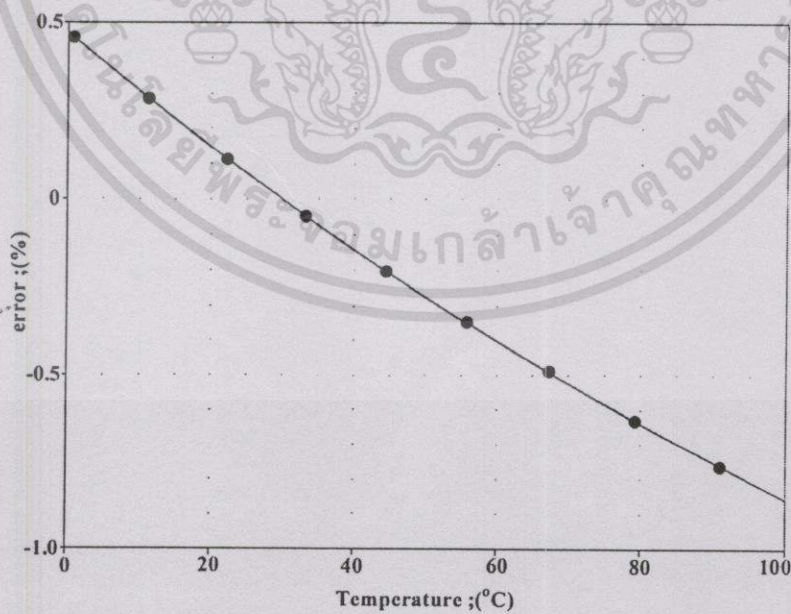
(ข). ความถี่ 100kHz

รูปที่ 4.16 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงตามเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

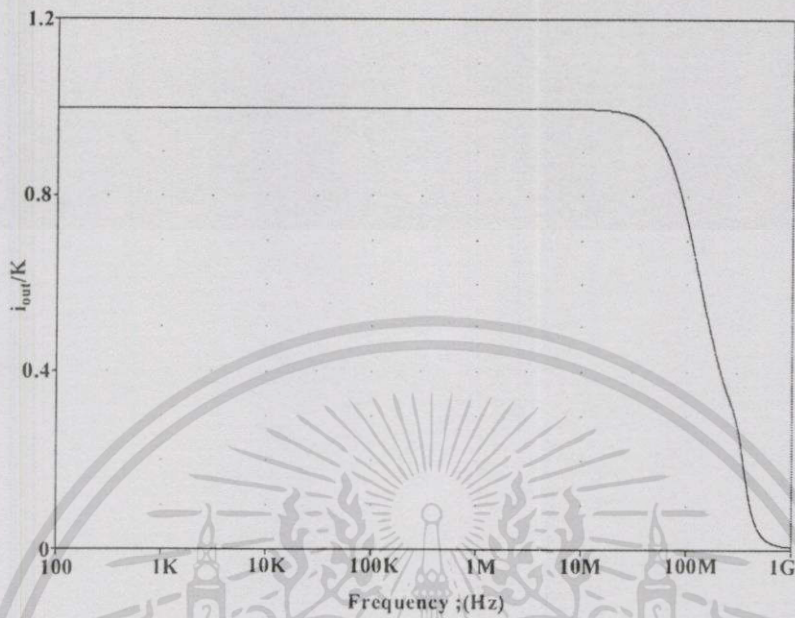


รูปที่ 4.17 ผลการแปรค่ากระแส I_{B4}



รูปที่ 4.18 ผลการแปรค่าอุณหภูมิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 ผลตอบสนองทางความถี่ของวงจร

4.6 สรุป

ในบทนี้ได้นำเสนอการออกแบบวงจรถอดรหัสดิจิทัลสำหรับสัญญาณอนาล็อก โดยวงจรจะประกอบไปด้วยกลุ่มของวงจรร้อยซึ่งได้แก่วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสายพานกระแสรุ่นที่สองชนิดบวก และวงจรถอดรหัสดิจิทัลสำหรับสัญญาณกระแสเบืองต้น เพื่อทำหน้าที่ร่วมกันสำหรับการสังเคราะห์ฟังก์ชันถอดรหัสดิจิทัลของสัญญาณอินพุต จากการวิเคราะห์คุณสมบัติและผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE จะแสดงให้เห็นว่าวงจรมีคุณสมบัติที่ดีตามที่คาดการณ์ไว้คือสามารถทำงานได้อย่างถูกต้อง มีช่วงปฏิบัติการทางขนาดและผลตอบสนองทางความถี่ที่กว้าง มีเสถียรภาพทางอุณหภูมิที่ดี วงจรมีขนาดเล็กแเล โครงสร้างที่ไม่ซับซ้อน และสะดวกต่อการใช้งานนั่นคือสามารถใช้งานได้กับอินพุตที่เป็นทั้งศักดาและกระแส นอกจากนี้ยังสามารถควบคุมอัตราขยายด้วยวิธีทางอิเล็กทรอนิกส์

บทที่ 5

บทสรุปและวิจารณ์

5.1 บทสรุปและวิจารณ์

ในการนำเสนอหลักการและวิธีการออกแบบวงจรดรากรที่สองสำหรับสัญญาณอนาล็อกในรูปแบบของวงจรรวมที่ได้นำเสนอขึ้นในวิทยานิพนธ์นี้เป็นอีกแนวทางหนึ่งที่ได้ทำการวิจัยและพัฒนาขึ้น โดยการออกแบบวงจรจะอาศัยหลักการของวงจรถานส์ลิเนียร์รูปแบบมอสเฟตที่มีการทำงานอยู่ในช่วงอิมิตัว และการทำงานของวงจรจะอยู่ในรูปแบบของกระแส ซึ่งวงจรดรากรที่สองที่ได้ทำการออกแบบขึ้นจะมีจุดเชื่อมต่อภายนอกทั้งหมด 7 จุดด้วยกันคือ จุดรับแหล่งจ่ายไฟเลี้ยงวงจรด้านบวกและลบ จุดรับกระแสไบอัสสำหรับภาคหน้าของวงจร จุดเข้า Y สำหรับรับสัญญาณอินพุตที่เป็นศักดา จุดเข้า X สำหรับรับสัญญาณอินพุตที่เป็นกระแส จุดรับกระแสไบอัสสำหรับปรับอัตราขยายของวงจร และจุดออก O/P สำหรับจ่ายกระแสเอาท์พุตของวงจร สมรรถนะการทำงานของวงจรที่ได้นำเสนอสามารถยืนยันได้ด้วยผลการวิเคราะห์คุณสมบัติทางทฤษฎี และผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE ซึ่งจะเห็นได้ว่าวงจรมีคุณสมบัติที่ดีคือสะดวกต่อการใช้งาน มีถูกต้องแม่นยำ มีช่วงปฏิบัติการทางขนาดและผลตอบสนองทางความถี่ที่กว้างกว่าการใช้งานมอสเฟตในย่านวีคอินเวอร์ชันตามหลักการในหัวข้อที่ 2.5 และมีเสถียรภาพทางอุณหภูมิที่ดีกว่าการใช้งานมอสเฟตในช่วงไม้อิมิตัวตามหลักการในหัวข้อที่ 2.6

ในส่วนของภาคผนวก ก. ได้แสดงภาพเลย์เอาท์(Layout) ของวงจรที่ได้ทำการออกแบบและวาดขึ้นโดยใช้โปรแกรม L-Edit และแสดงข้อมูลที่ได้จากการ Extract ไฟล์โปรแกรม L-Edit ในส่วนของภาคผนวก ข. แสดงผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม T-SPICE โดยใช้ข้อมูลจากภาคผนวก ก. ซึ่งจะเห็นได้ว่ามีค่าใกล้เคียงกับผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

5.2 ข้อเสนอแนะและในทางในการทำวิจัยและพัฒนาต่อ

การออกแบบวงจรดรากรที่สองสำหรับสัญญาณอนาล็อกที่ได้นำเสนอในวิทยานิพนธ์นี้เมื่อพิจารณาในส่วนของวงจรดรากรที่สองสำหรับสัญญาณกระแสเบื้องต้น จะประกอบด้วยมอสเฟตแบบช่องทางเดินกระแสชนิดอื่นทั้งหมดซึ่งจะมีข้อดีด้านเสถียรภาพทางอุณหภูมิและความสมพงษ์กันของทรานซิสเตอร์ นอกจากนี้จะเห็นว่าถ้าตัดวงจรสายพานกระแสในภาคหน้าของวงจรออก เพื่อออกแบบสำหรับใช้งานกับอินพุตที่เป็นสัญญาณกระแสอย่างเดียวงจรจะสามารถทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้โดยใช้แหล่งจ่ายไฟเพียงด้านเดียว(Single-supply) แต่เนื่องจากการออกแบบวงจรย่อยในส่วนดังกล่าวนี้เป็นลักษณะการจ่ายกระแสอินพุตเข้าและดึงออก ซึ่งอาจจะมีปัญหาด้านความไม่เท่ากันของสัญญาณดังกล่าวอันจะนำมาซึ่งความผิดพลาดของวงจรในที่นี่ได้ทำการปรับปรุงโดยปรับค่าอัตราส่วนความกว้างต่อความยาวเซลล์แนลของทรานซิสเตอร์(ตารางที่4.1)จนได้คุณสมบัติต่างๆ ดังแสดงในส่วนของผลการเทียบแบบการทำงาน สำหรับแนวทางการวิจัยและพัฒนาต่อควรทำการปรับปรุงแก้ไขปัญหาดังกล่าวต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] Toumazou C., Lidgley F.J. and Haigh D.G. **Analogue IC Design: The Current Mode Approach.**, London: Peter Peregrinus, 1990.
- [2] Greeneich E.W. **Analog Integrated Circuits.**, Chapman & Hall., 1997
- [3] Toumazou C., Lidgley F.J. and Makris C.A. "Extending voltage-mode opamps to current-mode performance.", *IEE Proceedings.*, Vol. 137, No.2, April. 1990, pp. 116 - 130
- [4] Smith K.C. and Sedra A., "The Current Conveyor : A New Circuit Bulding Block", *Proc. IEEE.*, 1968. pp. 1369-1369.
- [5] Smith K.C. and Sedra A., "A New Simple Wide-Band Current Measuring Device", *IEEE Trans.*, IM-18, 1969. pp.125 - 128.
- [6] Smith K.C. and Sedra A. " A Second Generation Current Conveyor and its applications" *IEEE Trans.*, Vol. CT-17, 1970. pp. 132-154.
- [7] Aronheim P. and Bakhtiar M.S., "A Current Conveyor Realization Using an Operational Amplifier", *Int. J. Electron.*, Vol. 45, 1978. pp. 283 – 288.
- [8] Senani R., "Novel Circuit Implementation of Current Conveyor Using an OA and OTA", *Electron. Lett.*, Vol. 16, 1980. pp. 2-3.
- [9] Sorakamponorn W. and Thitimajshima P., "Integrable Electronically Tunable Current Conveyor", *IEE Proc.*, Vol. 135, Pt.G, 1988. pp. 71 – 77.
- [10] Surakamponorn W., Riewruja V., Kumwachara K. and Dejhan K. " Accurate CMOS-based Current Conveyors", *IEEE Transaction on Instrumentation and Measurement.*, Vol. 40, No. 4, August, 1991. Pp.699 - 702
- [11] Doebelin O.E. **Measurement Systems: Application and Design**, New York, McGraw Hill, 1990.
- [12] Millman J. and Grabel A., **Microelectronics**, New York, McGraw Hill, 1992.
- [13] Franco S. **Design with Operation Amplifiers and Analog Integrates Circuits**, New York, Mc Graw Hill, 1998.
- [14] วิชา แสงพิสิทธิ์ วิวัฒน์ กิรานนท์ ปราโมทย์ วาดเขียน และจีรสุดา เกสร "วงจรถอดรอกที่ สองแบบใหม่" การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 18, หน้า 646 - 649
- [15] Van Der Gevel M. and Ckuenen J. " \sqrt{x} circuit based on a novel, book-gate using multiplier" *Electronic Letters* , vol. 30, 1994. pp. 183-184.

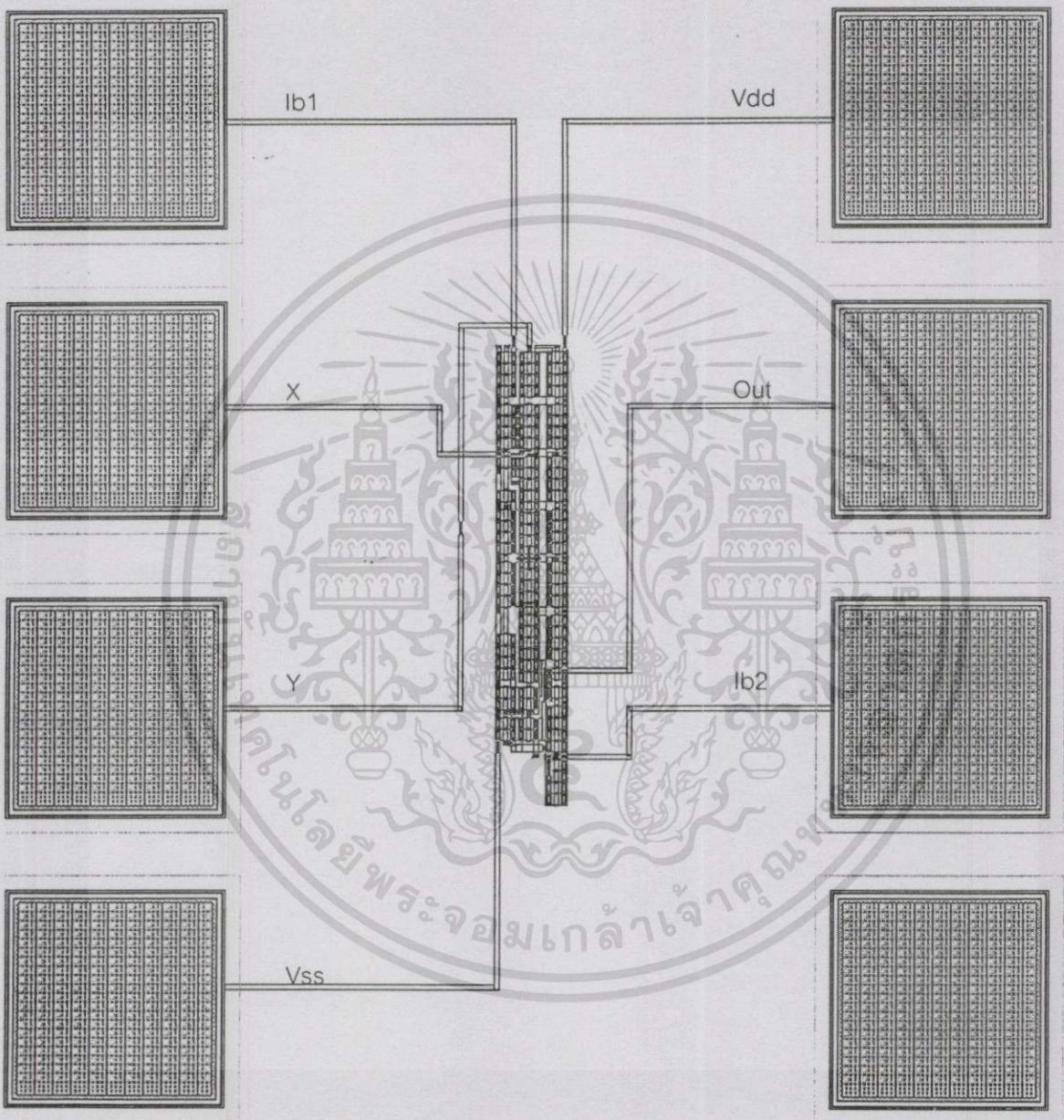
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [16] Liu S.I. "Square-rooting Vector Summation Circuits using current Conveyors"
IEE Proceeding Circuits Services and Systems., Vol. 142, 1995. pp. 223-226
- [17] Richard S. Muller, Theodore I. Kamins. **Device Electronics for Integrated Circuits**, 2nd
Ed., John Wiley & Sons, Inc. 1986.
- [18] Lilienfeld J.E., *Canadian Patent application field*, October 25; U.S. Patent 1745175(1930),
1877140(1932), 1900018(1933)
- [19] Hoil O., *British Patent* 439457 (filed and granted 1935)
- [20] Bardeen J. and Brattain W.H., "The transistor: A Semiconductor Triod", *Phys. Rev.*, 74,
230 July, 1948; also U.S. Patent 2524035, October, 1950.
- [21] Shockley W., "A Unipolar 'Field-Effect' Transistor", *Proc. IRE.*, 40, November, 1952.
pp. 1365 – 1376.
- [22] Dacey G.C. and Ross I.M., "Unipolar Field-Effect Transistor", *Proc. IRE.*, 41, 1953.
pp. 970-979
- [23] Kahng D. and Atalla M.M., "Silicon-Silicon Dioxide Field Induced Devices", *Solid-State
Device Reserch Conference*, Pittsburgh, 1960.
- [24] Shichman H. and Hodges D., "Modelling and Simulation of Insulated-Gate Field-Effect
Transistor Switching Circuits", *IEEE J. Solid-State Circuits*, Vol. SC-3, No. 3, Sep. 1968.
pp. 285 – 289
- [25] Penney W.M. and Lau L., Ed. **MOS Integrated Circuits**, New York, Van Nostrand
Reinhold, 1972
- [26] Sah C.T., "Characteristics of the Metal-Oxide-Semiconductor transistor", *IEEE Trans.
Electron Devices*, Vol. ED-11, July 1964. pp. 324 – 325
- [27] เกียรติศักดิ์ คมวัชร, "การสร้างวงจรรายพานกระแส และวงจรมแปลงความต้านทานค่าลบด้วย
CMOS" วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย,
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2534
- [28] วันชัย ธีรรูจา, "การออกแบบและการวิเคราะห์วงจรรอนาตอกฟังก์ชัน โดยใช้หลักการของวงจรรวม"
วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย,
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2535
- [29] David A. John, Ken Martin, **Analog Integrated Circuit Design**, John Wiley & Sons,
Inc. 1997.
- [30] Sze S.M., **Physics of Semiconductor Devices.**, 2nd Ed. John Wiley & Sons, Inc. 1981.

- [31] Paul R. Gray, Robert G. Meyer, **Analysis and Design of Analog Integrated Circuits.**, 3rd Ed. John Wiley & Sons, Inc. 1993
- [32] Allen P.E. and Holberg D.R., **CMOS Analog CirCuit Design**, Holt Rinehart and Winston, 1987. pp. 119 – 124.
- [33] Tsvividis Y.P., **Operation and Modelling of The MOS Transistor**, Mc Graw-Hill, 1989. pp. 168 – 175.
- [34] Banu M., Tsvividis Y., “Detailed analysis of nonidealities in MOS fully integrated active RC filters based on balanced networks”, *IEE Proc.*, Vol. 131, H.G., Oct, 1984. pp. 190 – 196.
- [35] Adel S. Sedra, Kenneth C. Smith. **Microeletronic Circuits.**, 4th Ed. New York. Oxford University Press, Inc. 1998.
- [36] Coughlin R.F., **Principle and Application of Semiconductors and Circuits**, Prentice-Hall, 1971.
- [37] Ong D.G., **Modern MOS Technology**, Mc Graw-Hill Book Co., Inc. New York, 1986. pp. 1-9.
- [38] Wiegierink R.J. **Analysis and Synthesis of MOS Translinear Circuits**, Kluwer Academic Publishers, 1993

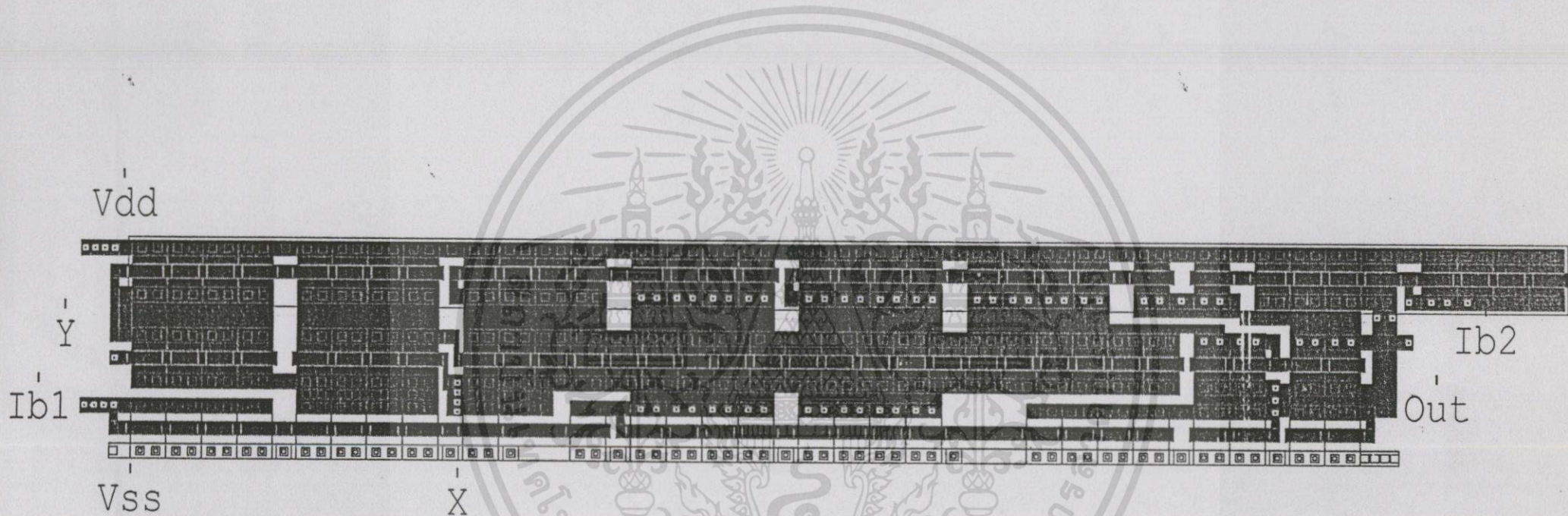
ภาคผนวก ก.

ก. 1 ภาพเลย์เอาต์ (Layout) ของวงจรที่ได้ออกแบบโดยใช้โปรแกรม L-Edit



รูป ก.1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป ก.1.2

ต้าเจ้าคุณทหาร

ก. 2 ข้อมูลที่ได้จากการ Extract ไฟล์โปรแกรม L-Edit

* Circuit Extracted by Tanner Research's L-Edit V8.03 / Extract V8.03 ;

□

* TDB File: C:\Fabricate\Rooting\layout\rooting4.tdb

□

* Cell: CORE1 Version 1.87

□

* Extract Definition File:

C:\Fabricate\Lab\mosis20\l_edit\mosis20.ext

.include ..\mod\mosis20.md

M1 Ib2 Ib2 Vdd 17 EP L=2u W=20u
 M2 2 Ib2 Vdd 17 EP L=2u W=20u
 M3 Out Ib2 Vdd 17 EP L=2u W=5u
 M4 5 13 Vdd 17 EP L=2u W=20u
 M5 13 13 Vdd 17 EP L=2u W=20u
 M6 Out 4 Vdd 17 EP L=2u W=5u
 M7 3 4 Vdd 17 EP L=2u W=20u
 M8 4 4 Vdd 17 EP L=2u W=20u
 M9 14 14 Vdd 17 EP L=2u W=20u
 M10 15 14 Vdd 17 EP L=2u W=20u
 M11 12 3 Out Vss EN L=2u W=10u
 M12 2 3 3 Vss EN L=2u W=10u
 M13 Vss 12 12 Vss EN L=2u W=10u
 M14 Vss 2 2 Vss EN L=2u W=10u
 M15 Vss 5 2 Vss EN L=2u W=20u
 M16 Vss 5 4 Vss EN L=2u W=20u
 M17 Vss 5 5 Vss EN L=2u W=20u
 M18 X 15 13 Vss EN L=2u W=100u
 M19 Vss Ib1 X Vss EN L=2u W=5u
 M20 Vss Ib1 16 Vss EN L=2u W=20u
 M21 Vss Ib1 5 Vss EN L=2u W=5u
 M22 Vss Ib1 Ib1 Vss EN L=2u W=20u
 M23 16 X 15 Vss EN L=2u W=20u
 M24 16 Y 14 Vss EN L=2u W=20u

* Total Nodes: 17

* Total Elements: 24

* Extract Elapsed Time: 0 seconds

.END

ก. 3 โมเดล (Model) ของมอสเฟตที่ใช้เลียนแบบการทำงานและการออกแบบ

* These SCN-2.0um parameters taken from MOSIS

*.MODEL CMOSN NMOS LEVEL=2 LD=0.250000U TOX=408.000001E-10

.MODEL NM1 NMOS LEVEL=2 LD=0.250000U TOX=408.000001E-10

+ NSUB=6.264661E+15 VTO=0.77527 KP=5.518000E-05 GAMMA=0.5388

+ PHI=0.6 UO=652 UEXP=0.100942 UCRIT=93790.5

+ DELTA=1.000000E-06 VMAX=100000 XJ=0.250000U LAMBDA=2.752568E-03

+ NFS=2.06E+11 NEFF=1 NSS=1.000000E+10 TPG=-1.000000

+ RSH=31.020000 CGDO=3.173845E-10 CGSO=3.173845E-10 CGBO=4.260832E-10

+ CJ=1.038500E-04 MJ=0.649379 CJSW=4.743300E-10 MJSW=0.326991 PB=0.800000

*.MODEL CMOSP PMOS LEVEL=2 LD=0.213695U TOX=408.000001E-10

.MODEL PM1 PMOS LEVEL=2 LD=0.213695U TOX=408.000001E-10

+ NSUB=5.574486E+15 VTO=-0.77048 KP=2.226000E-05 GAMMA=0.5083

+ PHI=0.6 UO=263.253 UEXP=0.169026 UCRIT=23491.2

+ DELTA=7.31456 VMAX=17079.4 XJ=0.250000U LAMBDA=1.427309E-02

+ NFS=2.77E+11 NEFF=1.001 NSS=1.000000E+10 TPG=-1.000000

+ RSH=88.940000 CGDO=2.712940E-10 CGSO=2.712940E-10 CGBO=3.651103E-10

+ CJ=2.375000E-04 MJ=0.532556 CJSW=2.707600E-10 MJSW=0.252466 PB=0.800000

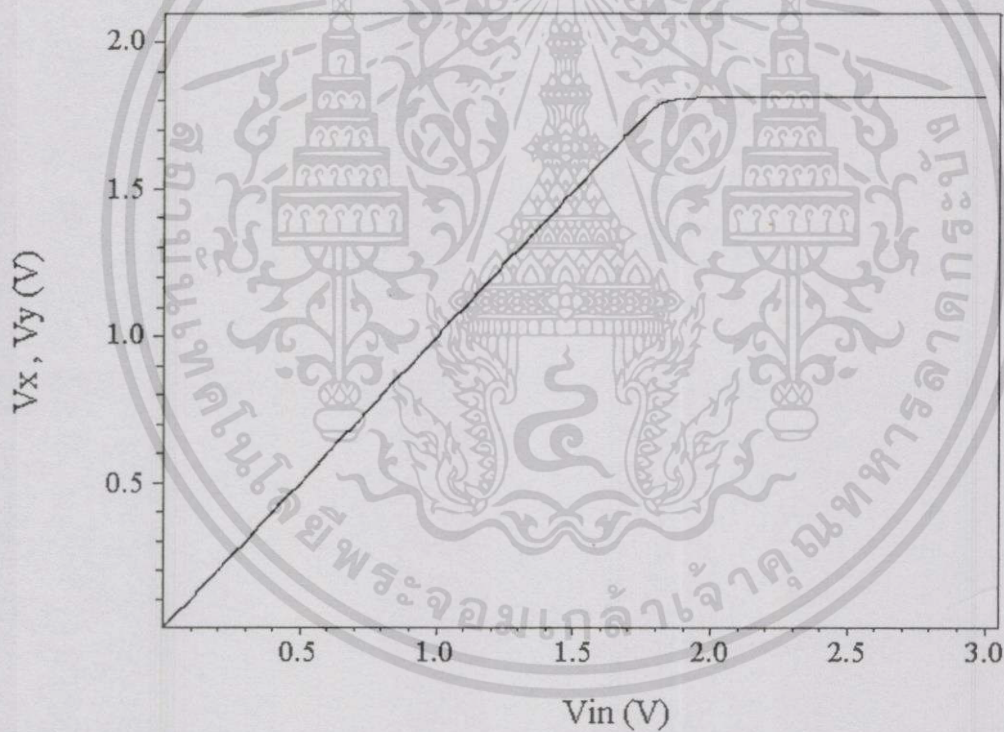
ภาคผนวก ข.

ผลการเลียนแบบการทำงานด้วยโปรแกรม T-SPICE

กำหนด $V_{DD} = -V_{SS} = 3V$, $I_{B1} = 100\mu A$, $I_{B2} = I_{B3} = 25\mu A$, $I_{B4} = 100\mu A$ และ $R_L = 100\Omega$

ข.1 ช่วงสัปดาห์ปฏิบัติงาน

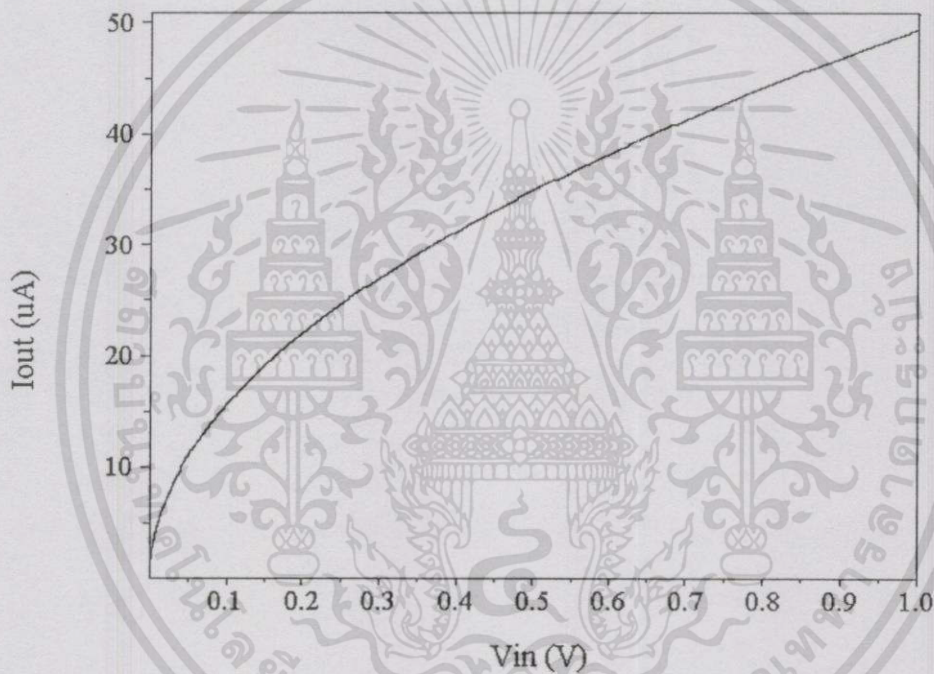
ป้อนและแปรค่าศักดาอินพุตที่จุดเข้า Y ตั้งแต่ 0-3V โดยได้ต่อตัวต้านทานขนาด 100kΩ ระหว่างจุดเข้า X และสัปดาห์ดิน.



รูปที่ ข.1 ช่วงสัปดาห์ปฏิบัติงาน

ข.2 คุณลักษณะทางดีซี(DC Characteristic) ระหว่างค่า I_{out} กับค่า I_{in}

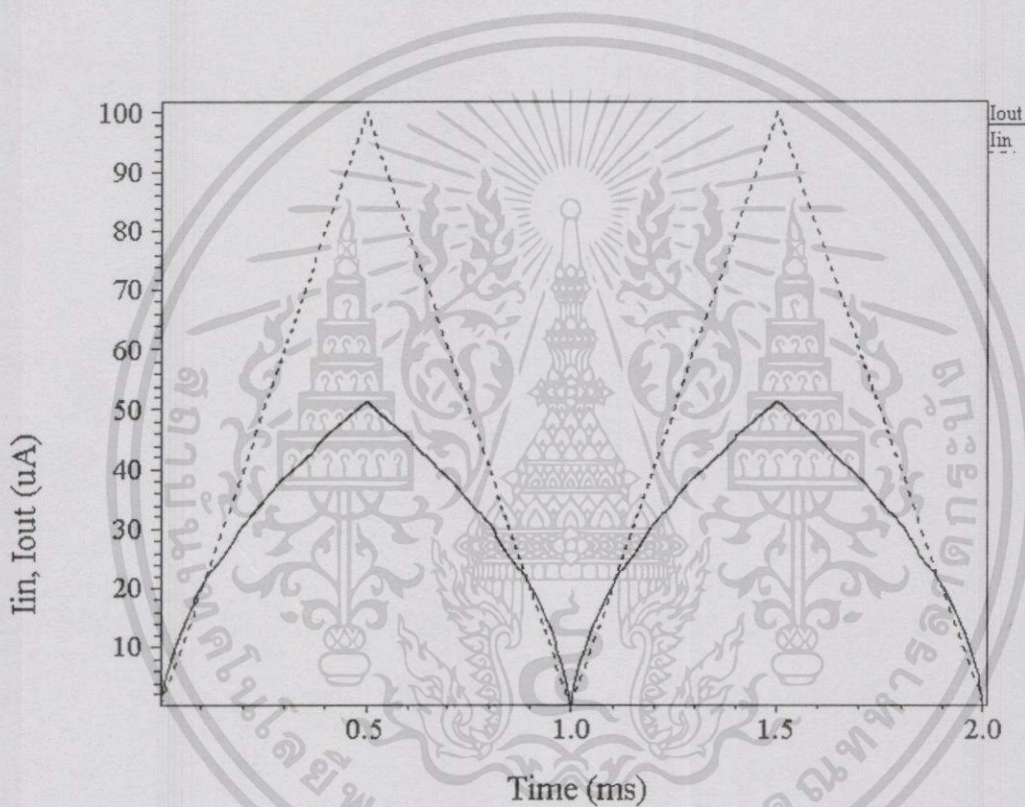
ป้อนและแปรค่าศักดาอินพุตที่จุดเข้า Y ตั้งแต่ 0-1V โดยได้ต่อตัวต้านทานขนาด $10k\Omega$ ระหว่างจุดเข้า X และศักดาดิน



รูปที่ ข.2 คุณลักษณะทางดีซี(DC Characteristic) ระหว่างค่า I_{out} กับค่า V_{in}

ข.3 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงตามเวลา

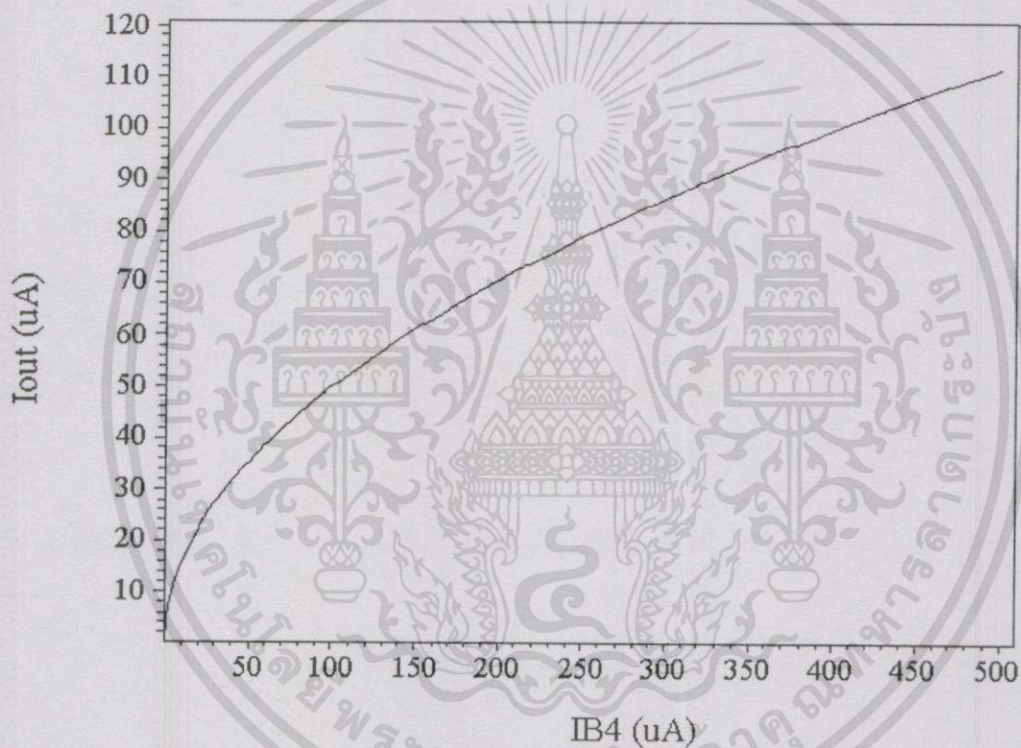
ต่อจุดเข้า Y กับสั๊กคาติน และทำการป้อนกระแสอินพุตที่จุดเข้า X เป็นสัญญาณสามเหลี่ยม ขนาด $100\mu\text{A}$ ความถี่ 1kHz และสั๊กคาติน



รูปที่ ข.3 ผลการทำงานเมื่อสัญญาณอินพุตเปลี่ยนแปลงตามเวลา

ข.4 คุณลักษณะทางดีซี(DC Characteristic) ระหว่างค่า I_{out} กับค่า I_{B4}

ต่อจุดเข้า Y กับศักดาณีน ป้อนกระแสที่จุดเข้า X เท่ากับ $100\mu A$ และทำการป้อนและแปรค่ากระแส I_{B4} ตั้งแต่ $0-500\mu A$

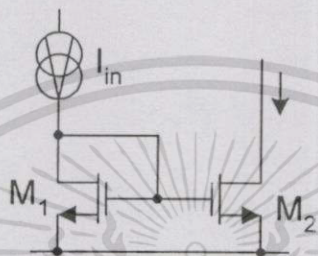


รูปที่ ข.4 คุณลักษณะทางดีซี(DC Characteristic) ระหว่างค่า I_{out} กับค่า I_{B4}

ภาคผนวก ค.

การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน

ค.1 อัตราการสะท้อนกระแส



รูปที่ ค.1 วงจรสะท้อนกระแสแบบพื้นฐาน

ในรูปที่ ค.1 แสดง วงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแชนแนล โดยมี I_{in} เป็นค่ากระแสอินพุต และ I_o เป็นค่ากระแสเอาต์พุตของวงจร เมื่อกำหนดให้ M_1 และ M_2 มีความสมพจน์กันและทำงานอยู่ในช่วงอิมิตัวโดยไม่พิจารณาผลของพารามิเตอร์ λ ของมอสเฟต ซึ่งเมื่อพิจารณาจะเห็นว่า ทรานซิสเตอร์ M_1 และ M_2 ต่อกันอยู่ในลักษณะของวงจรทรานส์ลิเนียร์รูปแบบมอสเฟต ทำให้ได้ความสัมพันธ์ คือ

$$V_{gsM1} = V_{gsM2} \quad (\text{ค.1.1})$$

ซึ่ง

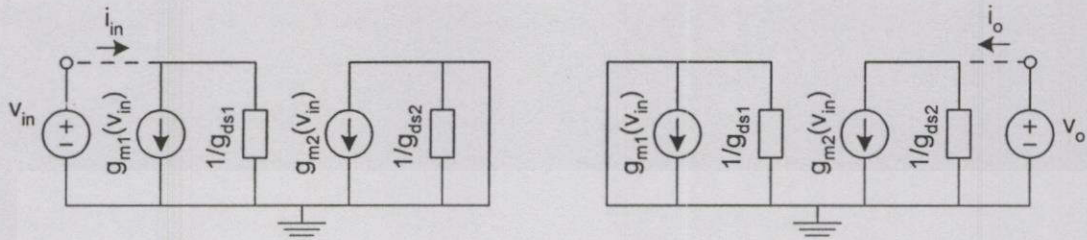
$$V_{gsMi} = V_{TH} + \sqrt{\left(\frac{I_d}{\mu_n C_{ox} \frac{W}{2L}} \right)_{Mi}}$$

(ค.1.2)

เมื่อ $I_{dM1} = I_{in}$ และ $I_{dM2} = I_o$ แทนค่าลงในสมการที่ (ค.1.1) และ (ค.1.2) จะได้

$$\frac{I_o}{I_{in}} = \left(\frac{W}{L} \right)_{M2} \left(\frac{L}{W} \right)_{M1} \quad (\text{ค.1.3})$$

ค.2 ค่าความต้านทานที่จุดเข้าและจุดออก



(ก) สำหรับความต้านทานที่จุดเข้า

(ข) สำหรับความต้านทานที่จุดออก

รูปที่ ค.2 วงจรเสมือนสำหรับการวิเคราะห์ค่าความต้านทานที่จุดเข้าและจุดออก
ของวงจรสะท้อนกระแสแบบพื้นฐาน

จากวงจรในรูปที่ ค.2(ก) การวิเคราะห์หาค่าความต้านทานที่จุดเข้าของวงจรสามารถทำได้โดยป้อนศักดาทดสอบ v_{in} ที่จุดเข้าของวงจร โดยไม่พิจารณาผลอื่นเนื่องมาจากค่าศักดาที่จุดออก จากนั้นพิจารณาหาค่ากระแส i_{in} ที่ไหลเข้าไปในวงจร โดยใช้กฎของ KCL ที่จุดเข้า ซึ่งจะได้

$$i_{in} = g_{m1}(v_{in}) + g_{ds1} v_{in} \quad (\text{ค.2.1})$$

$$i_{in} = (g_{m1} + g_{ds1})v_{in} \quad (\text{ค.2.2})$$

$$\therefore \text{จะได้} \quad r_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{2\mu_n C_{ox} W}\right)_{M1}} \frac{1}{I_{in}} \quad \text{เมื่อ } g_{m1} \gg g_{ds1} \quad (\text{ค.2.3})$$

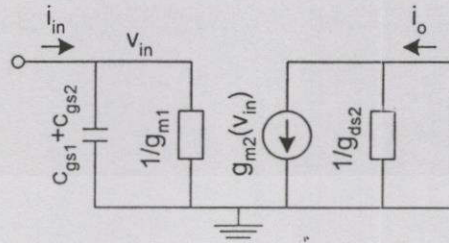
จากวงจรในรูปที่ ค.2(ข) การวิเคราะห์หาค่าความต้านทานที่จุดออกของวงจรสามารถทำได้โดยป้อนศักดาทดสอบ v_o ที่จุดออกของวงจร โดยไม่พิจารณาผลอื่นเนื่องมาจากศักดาจุดเข้า ซึ่งจะได้ความสัมพันธ์ดังนี้

$$i_o = g_{ds2} v_o \quad (\text{ค.2.4})$$

$$\therefore r_o = \frac{v_o}{i_o} = \frac{1}{g_{ds2}} = \frac{1}{\lambda I_{d2}} \quad (\text{ค.2.5})$$

เอกสารนี้เป็นเอกสารที่สวอนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค.3 อัตรายายกระแสสำหรับสัญญาณขนาดเล็ก



รูปที่ ค.3 วงจรเสมือนสำหรับวิเคราะห์ค่าอัตรายายสำหรับสัญญาณขนาดเล็ก

จากวงจรในรูปที่ ค.3 พิจารณาที่จุดต่างๆ โดยใช้กฎของ KCL จะได้ความสัมพันธ์ดังต่อไปนี้

ที่จุด v_1 จะได้

$$i_{in}(s) = (g_{m1} + s(C_{gs1} + C_{gs2}))v_{in}(s) \quad (\text{ค.3.1})$$

ที่จุด v_2 จะได้

$$i_{out}(s) = g_{m2}v_{in}(s) \quad (\text{ค.3.2})$$

แทนค่าสมการที่ (ค.3.2) ลงในสมการที่ (ค.3.1) จะได้

$$\frac{i_o(s)}{i_{in}(s)} = \frac{g_{m2}}{g_{m1}} \left(\frac{1}{1 + \frac{s(C_{gs1} + C_{gs2})}{g_{m1}}} \right) \quad (\text{ค.3.3})$$

ภาคผนวก ง.

บทความวิจัยที่ได้รับการตีพิมพ์ลงในวารสาร มี 9 บทความดังต่อไปนี้

- [1] V. Riewruja., R. Guntapong., A. Kaewpoonsuk. and C. Fongsamut. "Accurate CMOS-based square root extractor", Proceeding of the 14th, KACC'99, Oct., 1999, pp. E256-E258.
- [2] V. Riewruja., A. Linthong., A. Kaewpoonsuk., R. Gutapong and S. Supaph. "A Current-mode peak detector circuit", Proceeding of the 15th, KACC'2000, Oct., 2000, pp. 512.
- [3] R. Guntapong., V. Riewruja., C. Fongsamut. and A. Kaewpoonsuk. "High frequency CMOS precision full-wave rectifier circuit", Proceeding of the 8th, ISIC-99, Sep., 1999, pp. 13-15.
- [4] R. Guntapong., V. Riewruja., A. Kaewpoonsuk. and C. Fongsamut. "Accurate CMOS-based square rooting circuit", Proceeding of the ISPACS'99, 1999, pp. 637-639.
- [5] สมชาย สุภาพ, วันชัย ธีวรุจา, อนุชา แก้วพลสุข, ธาตรี คัมภีระ และ ธิภาพรรณ แซ่ลี "วงจรถ่วงเฟสที่ควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์แบบซิมอส" การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 23, 2543, หน้า 629-632
- [6] อนุชา แก้วพลสุข, วันชัย ธีวรุจา, ธาตรี คัมภีระ และ สมชาย สุภาพ "วงจรถ่วงจ็บบอดสัญญาณกระแส" การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 22, 2542, หน้า 540-543
- [7] อนุชา แก้วพลสุข, วันชัย ธีวรุจา และ เฉลิมภักดิ์ ฟองสมุทร "วงจรถ่วงกระแสเต็มคลื่นแบบเที่ยงตรง โดยใช้วงจรถ่วงขยายคลาส AB" การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21, 2541, หน้า 33-36
- [8] ธาตรี คัมภีระ, วันชัย ธีวรุจา, ธิภาพรรณ แซ่ลี, อนุชา แก้วพลสุข และ ธวัชชัย คำศรี "การชดเชยผลของอุณหภูมิในวงจรถวาย OTA แบบซิมอสและการประยุกต์ใช้งาน" การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 39, 2544, หน้า
- [9] สมชาย สุภาพ, วันชัย ธีวรุจา, อนุชา แก้วพลสุข และ สุจินต์ อันพันลำ "ตัวรับส่งสัญญาณกระแสแบบหนึ่งคู่สาย สำหรับงานควบคุมและการวัดระยะไกล" การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 38, 2543, หน้า 206-212

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'99 KACC 논문집 

KACC '99 제14차 한국자동제어학술회의 논문집

Proceedings of the 14th
Korea Automatic Control Conference

■ 일시 : 1999년 10월 14일~16일

■ 장소 : 용인 고등기술연구원



 제어·자동화·시스템공학회

Institute of Control, Automation and Systems Engineers, Korea

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสถาบันฯ ใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น ขอสงวนสิทธิ์ในสิ่งที่ปรากฏ ไม่มีการนำไปใช้

Trajectory Optimization Operations for Satellites in Elliptic Orbits E-238
 Changhee Won, Heesook Mo, Injun Kim, Seongpal Lee
 (Electronics and Telecommunications Research Institute, Korea)

Fast Response Technique 2 Quadrant DC Motor Speed Control E-244
 W.Piyarat, P.Thepsatorn
 (Srinakharinwirot Univ.,Thailand)
 V.Tipsuwanporn, W.Sawangsinkasikit, M.Leelajindarairerk
 (King Mongkut's Institute of technology Ladkrabang,Thailand)

International Session FPN : Industry Application (II)

Optimal Reaction Conditions for Minimization of Energy and Byproducts
 in a Poly(ethylene terephthalate) Process E-246
 Kyoungsu Ha, Hyunku Rhee (Seoul National Univ.,Korea)

Two-Phase Algorithm in Optimal Control E-252
 Chungsik Park, Taiyong Lee (KAIST,Korea)

Accurate CMOS-based Square Root Extractor E-256
 Vanchai Riewruja, Rojanakorn Guntapong, Anucha Kaewpoonsuk, Chalermpan Fongsamut
 (King Mongkut's Institute of technology Ladkrabang,Thailand)

OTA-Based Precision Full-Wave Rectifier E-259
 V.Riewruja, A.Chaikla, N.Tammarugwattana, P.Julsereewong, W.Surakamponom
 (King Mongkut's Institute of technology Ladkrabang,Thailand)

A Method for Extracting Shape and Position of an Object Using Partial M-array E-262
 K.Kaba ,H.Kashiwagi (Kumamoto Univ.,Japan)

Realization of Point Listening Characteristics by Enclosed Microphone Array
 System with Optimal Complex Weighting E-266
 Shinji Ohyama, Yukifumi Sasagawa, Akira Kobayashi
 (Tokyo Institute of Technology, Japan)
 Li Cao
 (Tsinghua Univ.,China)

Automatic Extraction of Particle Streaks for 3D Flow Measurement E-270
 Kikuhito Kawawue (Sasebo National College of Technology,Japan)
 Yuichiro Ohya (West Japan Fluid Engineering Lab.,Co.,Ltd.,Japan)

A Practical Approach to Mass Estimation of Loose Parts E-274
 Jungsoo Kim (Korea Atomic Energy Research Institute MMIS Team, Korea)
 Joon Lyou (Chungnam National Univ.,Korea)

International Session TPN : Industrial Control

Oven Temperature Control by Integral-Cycle Binary Rate Modulation Technique E-278
 V.Tipsuwanporn
 (King Mongkut's Institute of technology Ladkrabang,Thailand)
 W.Piyarat, Y.Paraken
 (Srinakharinwirot Univ.,Thailand)
 N.Chochai, K.Jamjan
 (Saint John's Univ.,Thailand)

Accurate CMOS-based square root extractor

Vanchai Riewruja., Rojanakorn Guntapong.,
Anucha Kaewpoonsuk., and Chalermpan Fongsamut

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.
(Tel : 66-2-739-0757; Fax : 66-2- 326-9989; E-mail: vanchai@cs.eng.kmitl.ac.th)

Abstract

In this article, an integrable circuit technique for implementing square root extractor for analog signal processing is described. The realization method makes use of the characteristic of MOS translinear principle. The proposed scheme achieves a wide dynamic range, wide-band capability and high accuracy. Simulation results demonstrating the performance of the proposed scheme are also presented.

1. Introduction

A square root extractor is a useful circuit building block used in analog measurement and instrumentation. For example, it can be used to linearize a signal from a differential pressure flow meter or to calculate the RMS value of an arbitrary waveform [1]. In the past, one fundamental approach to realize a square-root function is based on the use of an operational amplifier (op-amp) together with a bipolar transistor to form a log and anti-log amplifier [2]. This approach provides the logarithmic principle to realize a square root function. Another approach is based on the use of op-amps, analog switches and resistor-capacitor time constant. However, the frequency performance achieved by these approaches is limited by the narrow bandwidth of an op-amp topology. Alternatively, an approach based on the characteristic of the translinear configuration of bipolar junction transistors, which is suitable for implementing in monolithic integrated circuit form, has been shown to realize a square root function [3]. The advantage of this technique is a wide bandwidth due to the circuit operating in current mode. In addition, two approaches have been reported on the realization of a square root function using MOS transistors. The first approach is based on the use of weak inverted MOS transistors [4]. This approach obtains low power consumption and low voltage operation. In contrast, the accuracy and the frequency performance are limited by the small transconductance value of the weak inverted MOS transistors restriction [5]. The second approach is based on

the use of the second generation current conveyor (CCII) connected with non-saturated MOS transistors and op-amp [6]. The high-frequency limitation of this approach is due to the finite gain bandwidth product of the op-amp and parasitic capacitances of the non-saturated MOS transistors. The purpose of this article is to propose a CMOS integrated circuit technique for the realization of an accurate square root extractor. The resulting performances of the square root extractor have wide bandwidth and high accuracy.

2. Circuit description

The proposed CMOS-based square root extractor is shown in figure 1. Assuming that all transistors are well matched and operate in their saturation regions. The operation of the circuit can be explained as follow. The unity gain current mirror formed by M_3 and M_4 forces equal current in the transistors M_1 and M_2 . This operation drives the gate-source voltages of the transistors M_1 and M_2 to equal, $V_{GS1} = V_{GS2}$, and consequently, forces the voltage at node A to follow the input voltage v_{in} with the voltage gain equal 1 [7]. Then the signal current i_{in} can be stated as

$$i_{in} = \frac{v_{in} - V_{GS1} + V_{GS2}}{R} = \frac{v_{in}}{R} \quad (1)$$

Where R is a given resistance connected at node A. The resistor R converts the input signal voltage to the signal current i_{in} , and the transistor M_3 formed as a current follower transfers the signal current i_{in} to unity gain current mirror $M_6 - M_7$. The current mirror $M_8 - M_{10}$ provides only positive current to flow through it to limit the negative current. The unity gain current mirrors $M_8 - M_9$ and $M_{11} - M_{12}$ force the signal current i_{in} to the transistor M_{14} and the current source I_4 provides the bias current of transistor M_{15} . When the signal current i_{in} is applied to the transistor M_{14} , then the relationship of the drain current of the transistors M_{14} and M_{16} , I_{D14} and I_{D16} , respectively, and the signal current i_{in} , can be expressed as

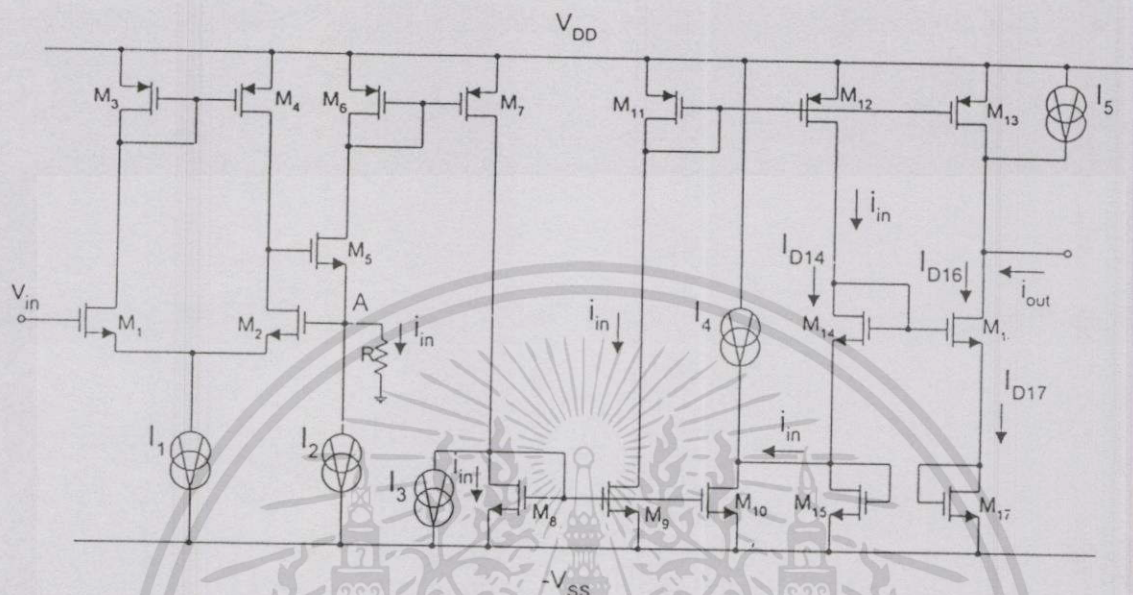


Figure 1. The proposed circuit

$$I_{D16} = \frac{i_{in}}{4} + \frac{\sqrt{I_4} \sqrt{i_{in}}}{2} + \frac{I_4}{4} \quad (2)$$

Where I_{Di} is the drain current of the transistor M_i . The current mirror formed by M_{11} and M_{13} , which has current gain equal to $1/4$, forces the current $i_{in}/4$ into an output node, and the current source $I_5 = I_4/4$ provides an elimination of the output current offset. Then the output current i_{out} becomes

$$i_{out} = \frac{\sqrt{I_4} \sqrt{i_{in}}}{2} = \sqrt{\frac{I_4}{4R}} \sqrt{v_{in}} \quad ; \quad v_{in} > 0 \quad (3)$$

$$= K \sqrt{v_{in}}$$

where $K = (I_4/4R)^{1/2}$. From Eq. (3), it is evident that the output current i_{out} is a square root of the input signal voltage v_{in} , with the transconductance gain equal to $(I_4 / 4R)^{1/2}$

3. Simulation results

The performance of the proposed circuit in figure 1 was observed using the PSPICE analogue simulation program. The MOSIS 2.0μm CMOS process parameters were used for the circuit simulation. The ratio of channel widths and lengths (W/L) of the devices used are shown in table 1. The bias currents $I_1 = I_2 = I_3$, I_4 and I_5 are set to 300μA, 100μA and 25μA, respectively, $V_{DD} = V_{SS} = 5V$, and $R = 100k\Omega$. Figure 2 shows the simulated DC transfer

characteristic for the input signal voltage v_{in} , which is varied from 0V to 10V. Figure 3 shows the transient response of the output current waveform for 10kHz triangular wave input waveform of peak amplitude 10V. The high frequency performance of the proposed scheme is shown in figure 4. It should be noted that the bandwidth about 100MHz is observed.

Transistors	W/L
M1-M4, M6-M12	20μm/2μm
M5	100μm/2μm
M13	5μm/2μm
M14-M17	10μm/2μm

Table 1 the ratio of channel widths and lengths of the MOS transistors

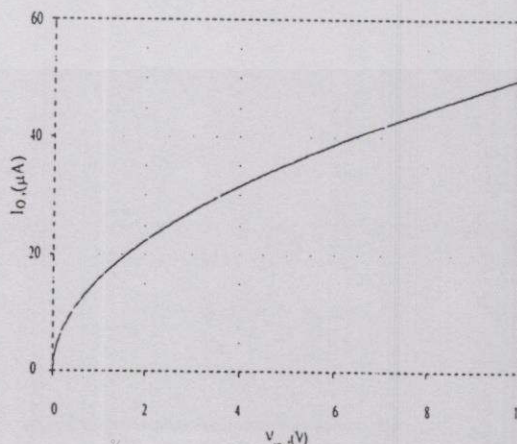


Figure 2. DC transfer characteristic

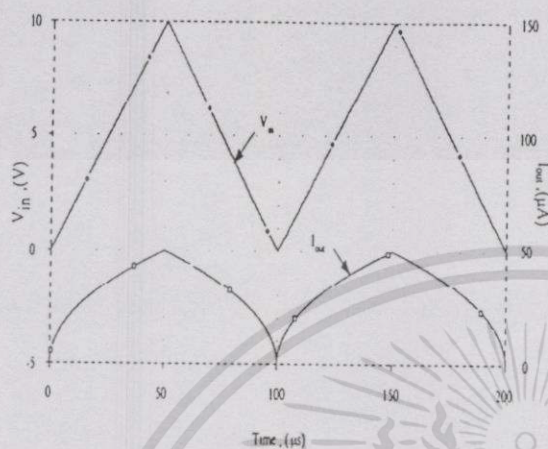


Figure 3. Simulated transient response for 10kHz triangular wave input waveform

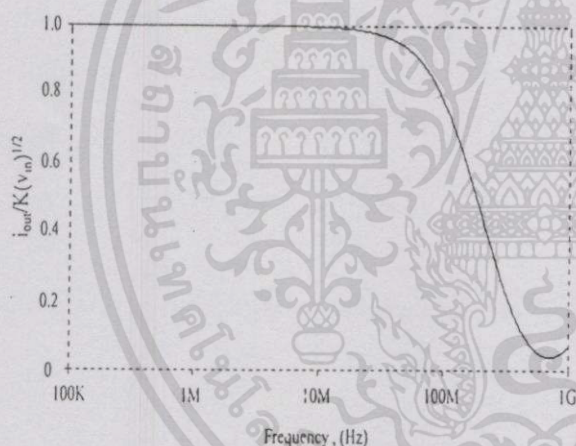


Figure 4. Frequency response of the proposed scheme

4. Conclusion

In this article, an alternative scheme suitable for fabrication using CMOS technology for the realization of a square root extractor has been presented. The simulation results have shown that the circuit performance is highly accurate and has wide-band capability.

5. Acknowledgments

The authors would like to express sincere gratitude to the National Science Technology Development Agency (NASTDA), and the National Electronics and Computer Technology Center (NECTEC), Thailand.

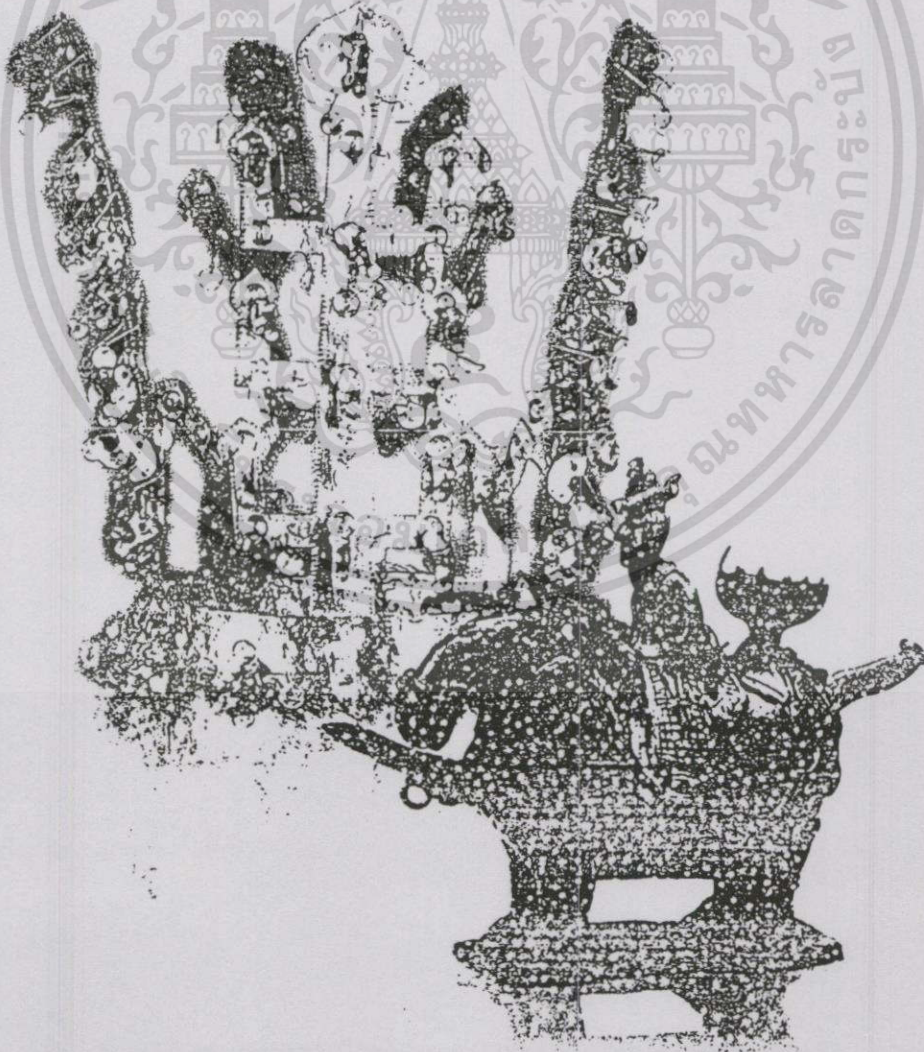
References

- [1] O. E. Doebelin, *Measurement Systems : Application and Design*, New York , McGraw Hill, 1990
- [2] J. Millman and A. Grabel, *Microelectronics*, New York , McGraw-Hill, 1992
- [3] C. Toumazou, F. J. Lidgley and D. G. Haigh, *Analogue IC Design : the current-Mode Approach*, London, UK, Peter Peregrinus, 1990
- [4] M. Van Der Gevel and J.C. Kuenen, "√x circuit based on a novel, back-gate using multiplier", *Electronics Letters*, vol. 30, pp. 183-184, 1994
- [5] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Wiley, 1993
- [6] S.-I. Liu, "Square-rooting vector summation circuits using current conveyors", *IEE Proceedings. Circuits Services and Systems*, vol. 142, pp. 223-226, 1995
- [7] W. Surakamponorn, V. Riewruja , K. Kumwachara and K. Dejhan , "Accurate CMOS-based current conveyors", *IEEE Transactions on Instrumentation and Measurement*, vol.40 ,no. 4 ,pp. 699-702 , 1991

KACC 2000 Abstract Book

KACC 2000 제 15회 한국자동제어학술회의 요약문집 15th Korea Automatic Control Conference

- 일시 : 2000년 10월 19일(목) ~ 10월 21일(토)
- 장소 : 현대인재개발원(용인)



Chair:	Anong Linthong (KMITL)	FPI18 : Room(501)	
14:00	Page 509	Identification and Estimation	
Linear 3-Terminals Voltage Control Current Source		Chair:	Oh-Kyn Kwon(Inha Univ.)
Jirawath Pamklang, Amnard Jenjiro pipat and Surasak Nueumcharoen, KMITL, Thailand		16:10	Page 521
14:20	Page 510	Robust H _∞ infinity FIR Sampled-Data Filtering	
High-Speed BiCMOS Comparator		Hee-Seob Ryu, Kyung-Sang Yoo, and Oh-Kyu Kwon, Inha Univ., Korea	
Jirawath Pamklang and Wanchana Thongtungsai, KMITL, Thailand		16:30	Page 522
14:40	Page 511	Pre-filtering and Location Estimation of a Loose Part	
Solar Cells Characteristics Tester		Jung-Soo Kim and Tae-Wan Kim, Korea Atomic Energy Research Institute, Korea, Joon Lyou, Chungnam National Univ., Korea	
Jirawath Pamklang, Amnard Jenjiro pipat and Santi Hanklar KMITL, Thailand		16:50	Page 523
15:00	Page 512	An Application of GP-based Prediction Model to Sunspots	
A Current-mode peak detector circuit		Hiroshi YANO, Ikuo YOSHIHARA, and Tomoo AOYAMA, Miyazaki University, Japan, Makoto NUMATA, Tohoku University, Moritoshi YASUNAGA, Tsukuba University, Japan	
Vanchai Riewruja, Anong Linthong, Anucha Kaewpoonsuk, Rojanakorn Guntapong and Somchai Supaph, KMITL, Thailand		17:10	Page 524
15:20	Page 513	Financial Application of Time Series Prediction based on Genetic Programming	
A High-speed Max/Min circuit		Ikuo YOSHIHARA, Tomoo AOYAMA, and Moritoshi YASUNAGA, Miyazaki University, Japan	
Thawatchai Chimpalee, Vanchai Riewruja, Amphawan Chaikla and Somchai Supaph, KMITL, Thailand		17:30	Page 525
15:40	Page 514	Recursive State Space Model Identification Algorithms Using Subspace Extraction via Schur Complement	
A High frequency CMOS precision full-wave rectifier		Yoshinori TAKEI, Jun IMAI, and Kiyoshi WADA, Kyushu University, Japan	
Vanchai Riewruja, Chaleompun Wangwivatana, Rojanakorn Guntapong, Amphawan Chaikla and Anong Linthong, KMITL, Thailand		17:50	Page 526
<hr/>		Direct estimation of physical parameters of an RLC electrical circuit by sixteen continuous-time methods	
FPI09 : Room(502)		Michel Mensler and Kiyoshi Wada, Kyushu University, Japan	
Robotics and Bio-Systems (I)		18:10	Page 527
Chair:	Jong- Hyeon Park (Hanyang Univ.)	Structural Dynamic System Reconstruction for Modal Parameter Estimation	
14:00	Page 515	Hyeung Yun Kim and Woonbong Hwang, Changwon Proving Ground/ADD	
Dynamic Robust Path-Following Using Temporary Path Generator for Mobile Robots with Nonholonomic Constraints		Seunghee Lee, Jongguk Yim, and Jong Hyeon Park, Hanyang Univ., Korea	
14:20	Page 516	14:40	Page 517
Learning-possibility for neuron model in Medical Superior Temporal area		Development of a Simulator for Off-Line Programming of Gantry-Robot Welding System	
Yasuhiro SEKIYA, Tomoo AOYAMA, and Hanxi ZHU, Miyazaki University, Japan, Zheng TANG, Toyama University, Japan		Choei Ki Ahn, Min-Cheol Lee, Kwon Son, and Jae Won Choi, Pusan National University, Korea, Chang-Wook Jung and Hyung-Sik Kim, Hyundai Heavy Industries co., Ltd, Korea	
15:00	Page 518	15:20	Page 519
Quantitative structure activity relationships for medicincs based on use of neural networks		A Bilateral Teleoperation Control Scheme for 2-DOF Manipulators with High Reduction Ratio Joints	
Tomoo AOYAMA and Hanxi ZHU, Miyazaki University, Japan, Umpei NAGASHIMA, National Institute for Advanced Interdisciplinary Research, Japan		Sung Ho Ahn and Ji Sup Yoon, Korea Atomic Energy Research Institute, Korea, Sang Jeong Lee, Chungnam National Univ., Korea	
15:40	Page 520	15:00	Page 520
The running experiment of the wheel type mobile robot		Masanori Sugisaka and Hisashi Aito, Oita University, Japan	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A Current-mode peak detector circuit

V. Riewruja., A. Linthong., A. Kaewpoonsuk., R. Guntapong and S. Supaph

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.

(Tel: 66-2-739-1362; Fax:66-2-326-9989; E-mail: vanchai@cs.eng.kmitl.ac.th)

Abstract

In this article, a current mode peak detector circuit is presented. The simple circuit configuration comprises four MOS transistors and one external capacitor. The realization method is suitable for fabrication using CMOS technology and all transistors are operated in their saturation region. The proposed circuit exhibits a very low drop rate and provides high accuracy, high-speed and wide dynamic range. The proposed circuit has very low power dissipation and operates using a single 2.5V supply. Simulation results confirmed the characteristic of the proposed circuit are also included.

1. Introduction

A peak detector is a useful circuit building block used in electronic systems, analog measurement and instrumentation. For example, it can be used in AC voltmeter to measure non-sinusoidal waveform [1], [2], an automatic voltage regulation loop of an uninterruptible power supply [3], a nuclear pulse spectroscopy [4], an automatic voltage gain control in radio receiver [5] and a floppy and hard disk drives [6]. Classical approach that can usually be employed to realize peak detector is through the use of diode and capacitor. The limitation of this approach is the detecting signal amplitude must greater than the diode "on" voltage to avoid an inaccuracy. Usually, the application of peak detector requires the signal amplitude in the order of millivolts or microampere. The use of diode in the feedback loop of an operational amplifier (op-amp) has been used to improve an accuracy of the classical approach. However, in practice it is not economical for integrated circuit design, particularly for the case of op-amp type, since each op-amp requires a substantial chip area in itself. Recently, the high frequency peak detector realizable in monolithic form is introduced [5]. The realization technique is based on bipolar technology and provides a differential output to eliminate the output offset voltage. In CMOS technology, the further references on the realization of a peak detector can be found in [6] - [8]. The MOS precision current peak detector is proposed in [6]. The advantage of this approach is a simple circuit configuration and a low voltage operation. However, the

use of MOS transistors operate in class B and MOS diode are effected the speed of the peak detector. The purpose of this article is to propose a CMOS circuit technique for the realization of a current peak detector. The realization method can result in fully integrated peak detector. The resulting performances of the circuit have high accuracy, high speed and wide dynamic range.

2. Circuit description

The proposed current-mode CMOS peak detector is shown in figure 1. Assuming that the transistors M_1 and M_2 are well matched and all transistors operate in their saturation regions. The operation of the circuit can be explained as follows. The transistors $M_1 - M_3$ form as a unity gain current mirror. The transistors M_3 and M_4 function as a current follower to provided a charge current to the capacitor C_1 and a path of the negative current I_{in} , respectively. If the positive input signal current $I_{in} > 0$, the current I_{in} flows through the input of the current mirror $M_1 - M_3$ that cause the voltage at node A to increase and the gate-source voltage of the transistor M_4 to decrease effecting the transistor M_4 to cutoff. The gate-source voltage of the transistor M_1 , V_C , is risen and held by the capacitor C_1 with the charge current from the transistor M_3 . The voltage V_C can be written as

$$V_C = \sqrt{\frac{2I_{in}}{\beta_1}} + V_T \quad (1)$$

where β_1 and V_T are the transconductance parameter ($K'_p W/L$) and the threshold voltage, respectively, of the transistor M_1 . The gate-source of the transistor M_2 is connected to the capacitor C_1 then the drain current of the transistor M_2 , I_{out} , can be stated as

$$I_{out} = I_{d1} = K'_p \frac{W}{2L} (V_C - V_T)^2 \quad (2)$$

where I_{d1} is the drain current of the transistor M_1 . When the capacitor voltage rises to the steady voltage V_C that causes the transistor M_3 to cutoff. The voltage V_C still forces the transistors M_1 and M_2 to operate equal drain current. If the

input signal current is less than the previous input signal current causes the voltage at node A to decrease. Therefore the transistor M_3 still turns "off" and the voltage V_C is unchanged. The drain current of the transistor M_1 and the output current I_{out} are equal to the previous input signal current. If the input signal current exceeds the output current I_{out} than the voltage at node A is increased and the transistor M_3 is active. The voltage V_C is risen to force the drain current of the transistors M_1 and M_2 equal to the input signal current and held.

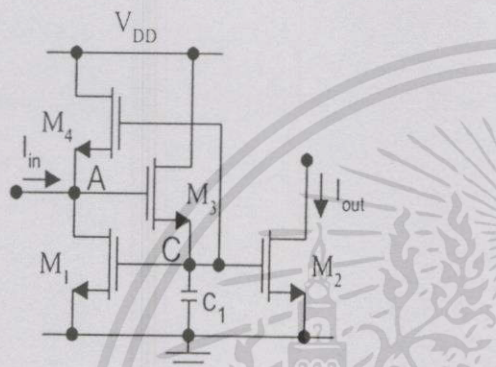


Figure 1. The proposed circuit

For the negative input signal current $I_{in} < 0$, the voltage at node A is decreased causes the transistor M_3 to cutoff. The negative input signal current flows through the transistor M_4 and uneffects to the voltage V_C . Therefore the drain current of the transistor M_1 and the current I_{out} are equal to the previous hold current. It should be noted that the current I_{out} is the peak of the input signal current. The equivalent parallel resistance of the capacitor C_1 causes the decay of the voltage V_C . The drop rate of the voltage V_C , $\Delta V_C / \Delta t$, can be expressed as

$$\frac{\Delta V_C}{\Delta t} = \frac{I_{leakage}}{C_1} \quad (3)$$

where $I_{leakage}$ is the leakage current of the capacitor C_1 . The drop rate can be minimized by using a large value of the capacitor C_1 . However, the response time of the peak detector is increased with the increasing capacitance.

3. Simulation Results

The performance of the proposed circuit in figure 1 was observed using the PSPICE analogue simulation program. The BSIM MOS model of the $0.5\mu\text{m}$ double-poly CMOS process were used for circuit simulation. The ratio of channel widths and lengths (W/L) of the devices used are shown in table 1. The power supply, V_{DD} , were set to 2.5V and $R_{load} = 1\text{k}\Omega$. Figure 2 shows the transient response of

the circuit for the input current I_{in} which is varied from $0\mu\text{A}$ to $400\mu\text{A}$ and $C_1 = 0.1\text{nF}$. The result shows that the transfer characteristic of the circuit is linear over a entire dynamic range. Figure 3 shows the transient response for amplitude variable triangle waveform input current I_{in} . The capacitor C_1 was set to 0.1nF . The simulated transient response for sinusoidal waveform input current I_{in} for the frequencies 1kHz , 100kHz and 1MHz are shown in figure 4. It is evident that the performance of the proposed circuit is a very low drop rate and provide high accuracy and high-speed.

Transistors	(W/L)
M_1 - M_2	$4/2 \mu\text{m}/\mu\text{m}$
M_3	$0.5/0.5 \mu\text{m}/\mu\text{m}$
M_4	$50/2 \mu\text{m}/\mu\text{m}$

Table 1. The ratio of channel widths and lengths of the MOS transistors

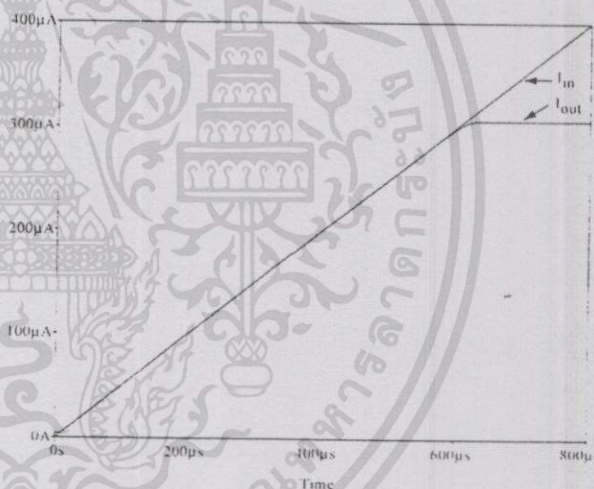


Figure 2. Transient response of the proposed circuit for the input current I_{in} , which is varied from $0\mu\text{A}$ to $400\mu\text{A}$

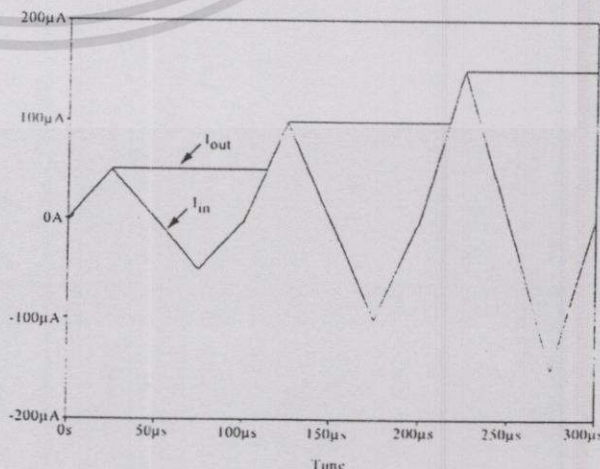


Figure 3. Transient response of the proposed circuit for amplitude variable triangle waveform input current I_{in}

4. Conclusion

A new current-mode peak detector circuit has been introduced. The circuit comprises four NMOS transistors and one external capacitor. The realization method is suitable for fabrication using CMOS technology. The simulation results have shown that the circuit performance is very low drop rate and provides high accuracy, high-speed and wide dynamic range.

5. Acknowledgments

The authors would like to express sincere gratitude to the National Science Technology Development Agency (NASTDA), and the National Electronics and Computer Technology Center (NECTEC), Thailand.

References

[1] S. Franco, Design with operational amplifier and analog integrated circuit, *New York: McGraw Hill*, 1988
 [2] W. D. Stanley, Operational amplifier with linear integrated circuit, *Merrill Publishing Company*, 1984
 [3] C. T. Pan and M. C. Jiang, "A Quick Response Peak Detector for Variable Frequency Three-Phase Sinusoidal Signals" *IEEE Transactions on Industrial Electronics*, vol. 41, no. 4, 1994
 [4] M. N. Ericson, M. L. Simpson, C. L. Britton, M. D. Allen, R. A. Kroeger and S. E. Inderhees, "A Low-Power, CMOS Peak Detect and Hold Circuit for Nuclear" *IEEE Transactions on Nuclear Science*, vol. 42, no. 4, 1995
 [5] R. G. Meyer, "Low-Power Monolithic RF Peak Detector Analysis" *IEEE Journal of Solid State Circuits*, Vol. 30, no. 1, 1995
 [6] K. Koli and K. Halonen, "Low voltage MOS-transistor-only precision current peak detector with signal independent discharge time constant" *IEEE International Symposium on Circuit and System*, Hong Kong, June, 1987
 [7] B. Linares-Barranco, A. Rodriguez-Vazquez, E. Sanchez-Sinencio and J. Ramirez-Angulo, "Generation, design and tuning of OTA-C high-frequency sinusoidal oscillators" *IEE Proceedings-G*, vol. 139, no. 5., pp. 557-568, 1992
 [8] M. Ismail, T. Tiez (ed.), *Analog VLSI Signal and Information Processing*, *McGraw Hill*, pp. 290-293, 1994

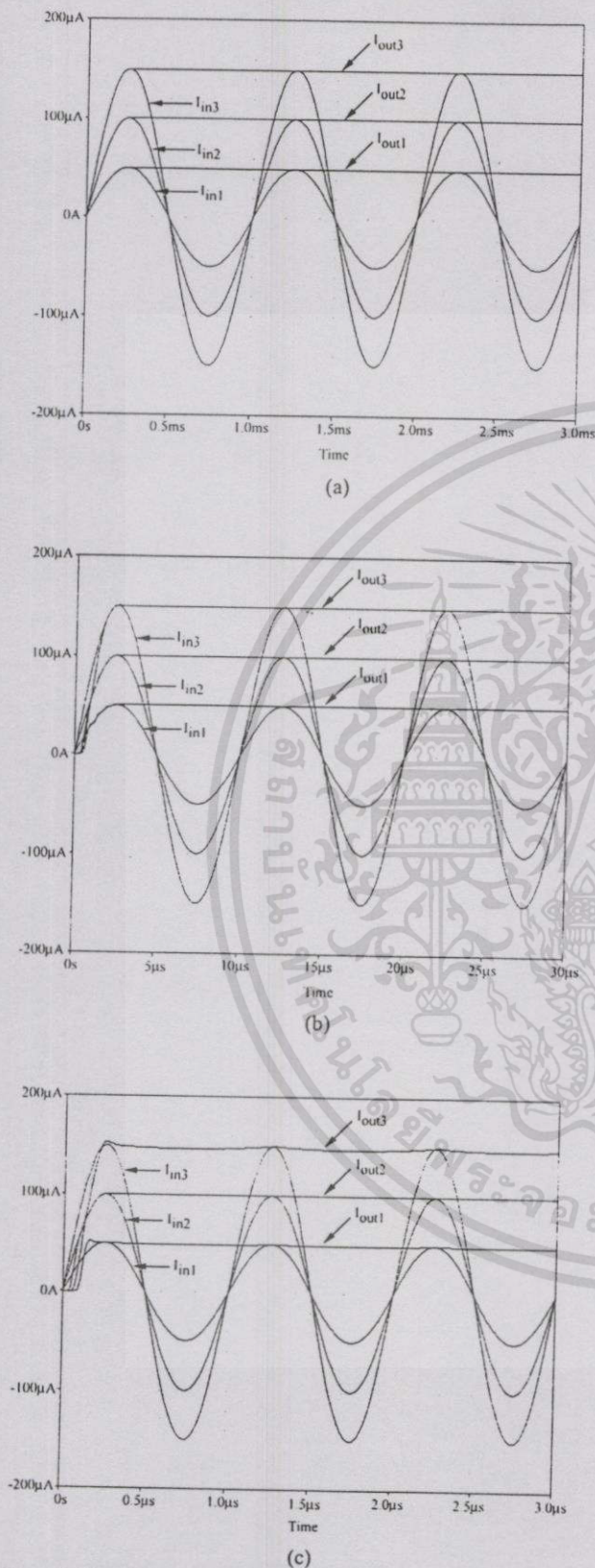


Figure 4. Transient response of the proposed circuit for the peak Amplitude $I_{in1} = 50\mu A$, $I_{in2} = 100\mu A$ and $I_{in3} = 150\mu A$
 (a) for frequency 1kHz and $C_1 = 0.1nF$
 (b) for frequency 100kHz and $C_1 = 0.1nF$
 (c) for frequency 1MHz and $C_1 = 0.01nF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ISIC-99

8th International Symposium on
Integrated Circuits, Devices & Systems

8-10 September 1999
Grand Hyatt, Singapore

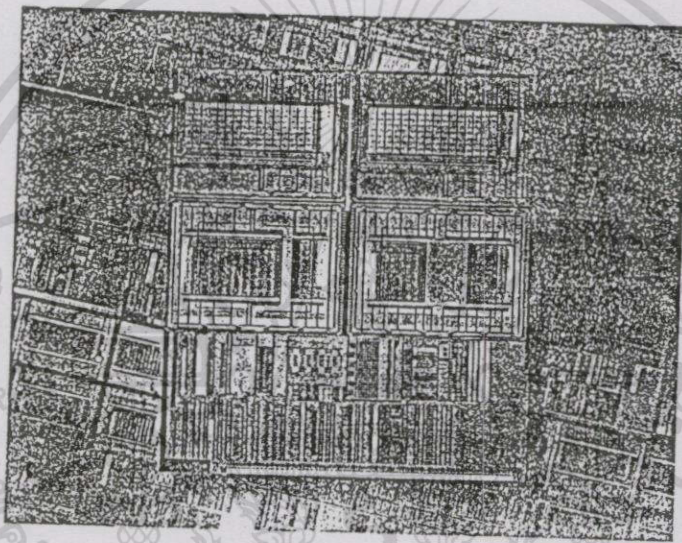


IEEE

*Networking
the World™*

IEEE Singapore Section

PROCEEDINGS



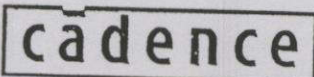
Organised by:
Nanyang Technological University
School of Electrical and Electronic Engineering



And
IEEE Singapore Section

Sponsored by:
Cadence Design Systems

Supported by:
IEE Singapore Centre



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไป
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารที่

CONTENTS

Keynote Address : Communications Systems Integration into Silicon	Mark R. Pinto, Vice-President / Chief Technical Officer, Lucent Technologies Microelectronics Group, USA	1
Keynote Address : Technologies for the RF Circuits in the 3rd Generation of Mobile Communications Systems	Ingo Wolff, Rector, Gerhard-Mecator Universitat of Germany and President, Institute of Mobile and Satellite Communication Techniques of Germany	2
A8 Integrated Circuits I: Switched Capacitor and Current Mode Circuits	A High Speed and Low Voltage BiCMOS Schmitt Trigger Circuit Suriyaammaranon C./Dejhan K./Cheevasuvit F./Soonyeeakan C., Thailand	3
	A Design of Current-Mode All-Pass Oscillator Based on Current Conveyor Circuit Dejhan K./Konthong S./Wisetphanichkij S./Nokyoo C./Cheevasuvit F./Soonyeeakan C., Thailand ..	6
	An Integrable Current-Mode Root-n Circuit Tangsrirat W./Surakamponorn W./Kumwatchara K./Riewruja V., Thailand	10
	High Frequency CMOS Precision Full-Wave Rectifier Circuit Guntapong R./Riewruja V./Fongsamut C./Kaewpoonsuk A., Thailand	13
	OTA-based Piecewise-Linear Circuit for Nonlinear Function Syntheses Chaikla A./Riewruja V./Surakamponorn W./Julsereewong P., Thailand	16
	A Novel Switched Capacitor Integrator Topology Rapakko H./Kostamovaara J., Finland	19
B1 Device and IC Technology I : Device Physics and Modeling	Design of Piezoelectric Transformer for the Switching Power Supply Jin Y./Foo C. F./Zhu W. G., Singapore	23
	Current-Voltage and Capacitance-Voltage Characteristics of Dual Channel High Electron Mobility Transistors Kasemsuwan V., Thailand	26
	Influence of Strain on Two-Dimensional Electron Gas in Pseudomorphic HEMT Structures Osotchan T./Zhang D. H./Shi W., Singapore	30
	Determining the Transport Properties of Silicon with the Use of EBIC Ong K. S. V./Phua P. C., Singapore	34

High frequency CMOS precision full-wave rectifier circuit

Rojanakorn Guntapong, Vanchai Riewruja,
Chalermpan Fongsamut and Anucha Kaewpoonsuk

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.

Abstract : A CMOS integrable circuit technique for the realization of full-wave precision rectifier circuit, which operates throughout in the current domain, is presented. The circuit achieves a wide dynamic range and a wide-band capability. The rectifying characteristic of the circuit exhibits a low distortion in the output signal at low level input signal. Simulation results demonstrating the circuit performance are included.

1. INTRODUCTION

A precision rectifier of low-level signal is one of important circuit building block used in analogue signal processing systems. The traditional approaches to realize a precision rectifier are based on the use of operational amplifiers (op-amp) and diodes [1] or bipolar transistors operating in class B [2,3]. These approaches exhibit the output distortion evident during the zero-crossing of the low-level input signal due to the delay caused by the switching between "on" and "off" state of diodes or bipolar transistors. Alternatively, an approach based on the use of operational-amplifier supply-current sensing technique has been shown to realize a precision rectifier [4]. This approach requires the signal current much greater than the op-amp bias current to avoid nonlinearity error due to the op-amp characteristic [5]. In addition, two approaches to improve the nonideal precision rectifier performance based on current mode technique, which is demonstrated the use of current conveyors and diodes as the active elements, have been reported in literature [6,7]. These approaches used the diodes biased to the edge of conduction to reduce the delay and improve high frequency performance. In CMOS technology, the diodes can replace by a drain-gate-connected MOS transistor [8]. However, the MOS diodes exhibit the nonideal V-I characteristic. The realization of a CMOS full-wave rectifier can be implemented by the use of op-amp and MOS transistors operating in class B [10]. The high frequency limitation of this scheme is due to the finite gain bandwidth product of the op-amp and the delay caused by switching of MOS transistors. Another approaches are based on a CMOS class AB and

configuration [11,12]. These approaches require the signal current greater than four times of the bias current to avoid square law error of MOS transistors. The aim of this article is to propose a method for realizing a CMOS precision full-wave rectifier circuit. The resulting performances of the circuit have high accuracy and wide-band capability.

2. CIRCUIT DESCRIPTION

The proposed circuit diagram is shown in figure 1. The current sources I_1 , I_2 and transistor M_3 provide the bias voltage V_B for the transistors M_1 and M_2 and bring the transistors M_1 and M_2 to the edge of conduction. The voltage V_B is approximately equal to $V_{T1}+V_{T2}$, where V_{T1} and V_{T2} is the threshold voltage of the MOS transistors M_1 and M_2 , respectively. The advantage of this biasing technique is to reduce second order harmonic distortion [11] and the circuit can operate at high frequency. The operation of the proposed circuit is as follows. During the positive input current $I_{in}>0$, the current I_{in} that flow through the transistor M_2 and the current mirror $M_6 - M_7$, causes the voltage V_{GS2} to increase and the voltage V_{GS1} to decrease driving M_1 into cutoff, therefore $I_{D2}=I_{in}$ and $I_{D1}=0$. During the negative input current $I_{in}<0$, the current flow through the transistor M_1 and the current mirror $M_4 - M_5$. The voltage V_{GS1} is increased and causes the voltage V_{GS2} to decrease driving the transistor M_2 into cutoff, thus $I_{D1}=I_{in}$ and $I_{D2}=0$. This means that

$$I_{D1} = I_{in} \text{ and } I_{D2} = 0 \quad \text{for } I_{in} < 0 \quad (1a)$$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการแจ้งสิทธิในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และผู้ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D1} = 0 \text{ and } I_{D2} = I_{in} \text{ for } I_{in} > 0 \quad (1b)$$

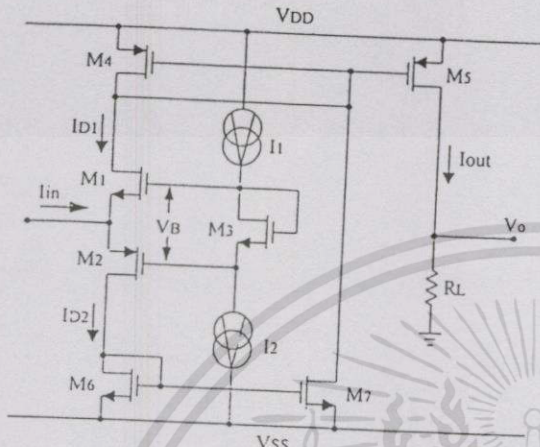


Fig. 1. The proposed circuit

Group of transistor $M_4 - M_5$ and $M_6 - M_7$ function as unity current mirror. Owing to the fact that the current mirror M_6 and M_7 reflects the current I_{D2} in order to add to the current I_{D1} . Thus the current I_{D4} , the sum of I_{D1} and I_{D2} , is full-wave rectified. The current mirror M_4 and M_5 reflects the current $|I_{in}|$ to the output node, then the drain current of the transistor M_5 , I_{out} , becomes

$$I_{out} = I_{D1} + I_{D2} = |I_{in}| \quad (2)$$

3. SIMULATION RESULTS

The performance of the proposed circuit were observed using the PSPICE analogue simulation program. The current sources I_1 and I_2 are set to $20\mu A$, $V_{DD} = -V_{SS} = 5V$. The sinusoidal input signal current I_{in} is $200\mu A$ peak-to-peak. The MOSIS $2.0\mu m$ CMOS process

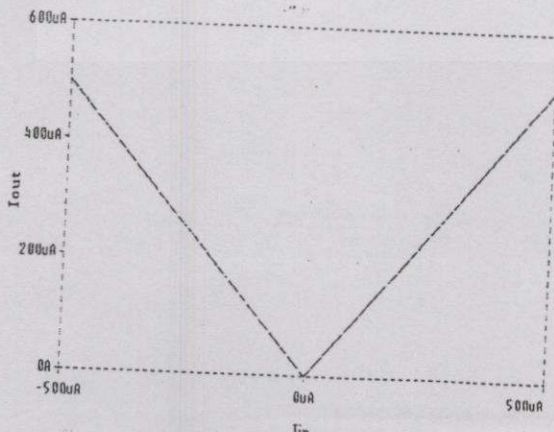


Fig. 2. DC transfer characteristic of the proposed circuit

parameters were used for the circuit simulation. The ratio of channel widths and lengths (W/L) of the devices used are as $5\mu m/2\mu m$. The simulation result for DC

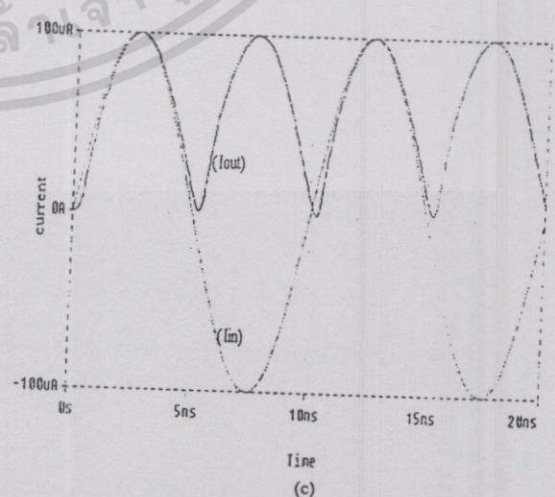
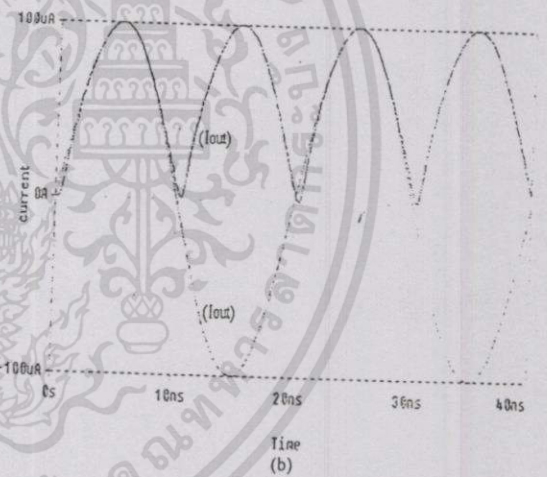
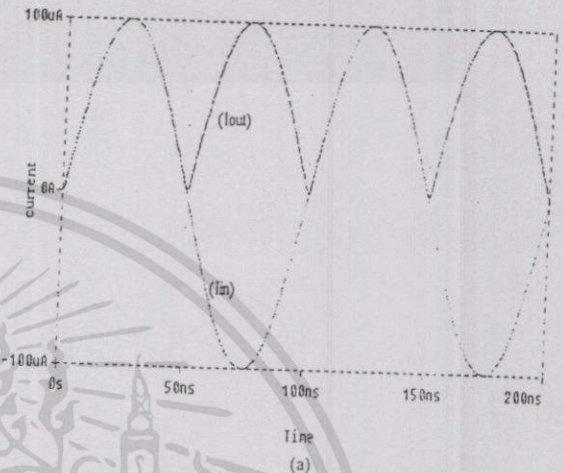


Fig. 3. Transient response of the proposed circuit

- (a) for frequency 10MHz
- (b) for frequency 50MHz
- (c) for frequency 100MHz

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่ใช่ว่าจะเผยแพร่โดยไม่ได้รับอนุญาตจากสำนักพิมพ์

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และใช้อย่างอื่นถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

transfer characteristic of the proposed circuit is shown in figure 2. The result shows that the transfer characteristic of the circuit is linear and wide dynamic range. The simulated transient response for input frequency 10MHz, 50MHz and 100MHz are shown in figure 3. Figure 4 shows the transient response for 20 μ A peak-to-peak, 100MHz input signal. It is evident that the performance of the proposed circuit is almost consistent with the ideal case.

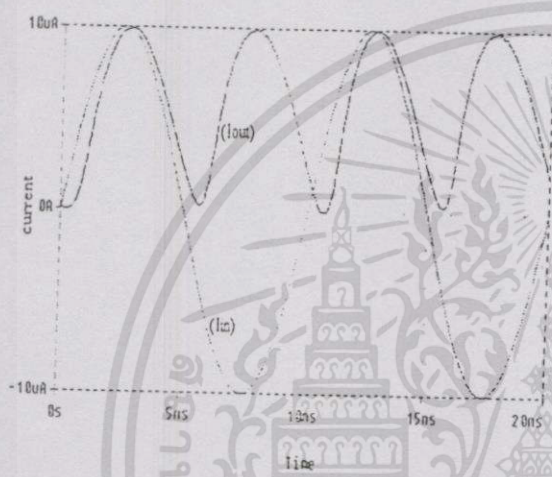


Fig. 4. Simulated transient response for 20 μ A peak-to-peak, 100MHz input signal

4. CONCLUSION

Integrable high frequency precision full-wave rectifier is presented. The rectifier has a simple configuration and suitable for implementing in CMOS integrated circuit form as a versatile building block. The basic performances of the circuit are confirmed by PSPICE analogue simulation program.

ACKNOWLEDGMENT

The authors would like to express sincere gratitude to the National Science Technology Development Agency (NASTDA), Thailand, for the financial support of this work.

REFERENCES

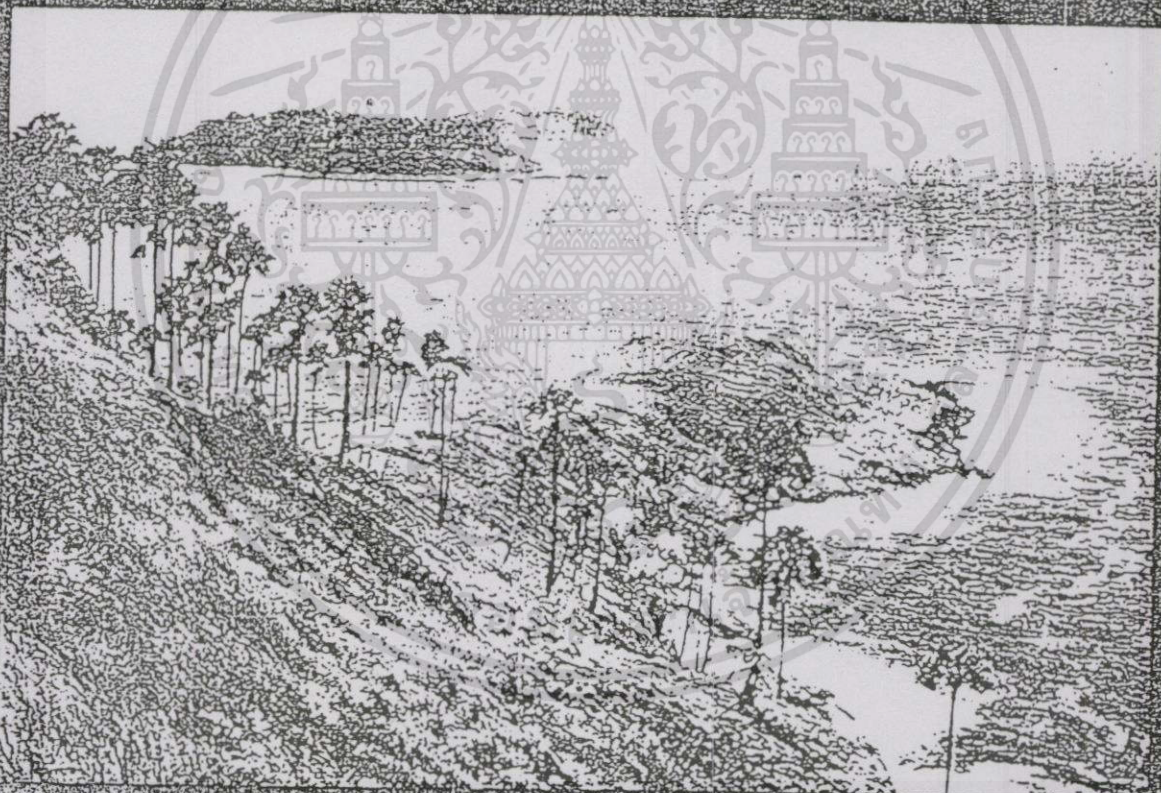
- [1] P. R. Gray and R. G. Meyer, 'Analysis and design of analog integrated circuits,' New York: Wiley, 1993
- [2] R. W. J. Barker, 'Versatile precision fullwave rectifier,' Electron. Lett., Vol. 13, No. 5, pp. 143-144, 1977.
- [3] R. W. J. Barker and B. L. Hart, 'Precision absolute-value circuit technique,' INT. J. Electronics, Vol. 66, No.3, pp.445-448, 1989.
- [4] C. Toumazou and F. J. Lidgley, 'Wide-band precision rectification,' IEE Proc. G, Vol. 134, No. 1, pp. 7-15, 1987.
- [5] W. Surakamponorn, 'Sinusoidal frequency doublers using operational amplifiers,' IEEE Trans. Instrum. Meas., Vol. 37, No. 2, pp. 259-262, 1988.
- [6] C. Toumazou, F. J. Lidgley and S. Chattong, 'High frequency current conveyor precision full-wave rectifier,' Electron. Lett., Vol. 30, No. 10, pp. 745-746, 1994.
- [7] B. Wilson and V. Maniama, 'Current-mode rectifier with improved precision,' Electron. Lett., Vol. 31, No. 4, pp. 247-248, 1995.
- [8] P. E. Allen and D. R. Holberg, 'CMOS analog circuit design,' Holt, Rinehart and Winston, 1987.
- [9] Z. Wang, 'Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation,' IEEE Trans. on Circuits and Syst. I, Vol. 39, No. 6, pp. 456-462, 1992.
- [10] J. Ramirez-Angulo, 'High frequency low voltage CMOS diode,' Electron. Lett., Vol. 28, No. 3, pp. 298-299, 1992.
- [11] W. Surakamponorn and V. Riewruja, 'Integrable CMOS sinusoidal frequency doubler and full-wave rectifier,' INT. J. Electronics, Vol. 73, No. 3, pp.627-632, 1992.



PROCEEDINGS

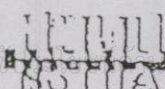
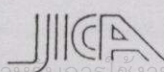
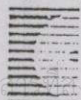
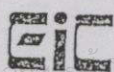


1999 IEEE International Symposium on Intelligent Signal Processing and Communication Systems



Signal Processing and Communications Beyond 2000

December 8-10, 1999



เอกสารนี้เป็นเอกสารงานวิจัยที่ได้รับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

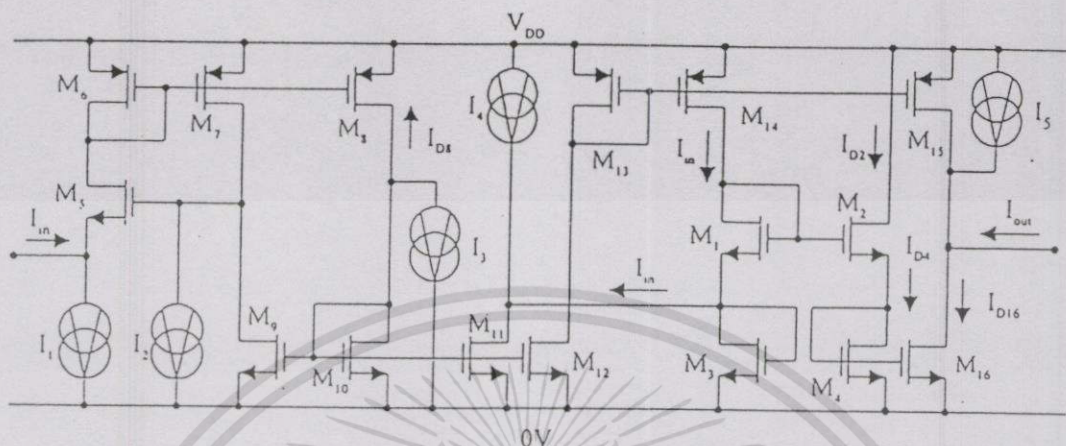


Fig. 2 The proposed circuit

the current mirror $M_9 - M_{12}$ allows only the negative input current to flow through it to limit the positive input current. The transistors M_7, M_9 and the current source I_2 provide the bias for the transistor M_5 . Groups of transistors $M_1 - M_4$ form a square-rooting cell. If the negative input current I_{in} is applied to the circuit, the operation of the circuit can be explained as follows. The current mirror $M_5 - M_8$ reflects the input current I_{in} to the current mirror $M_9 - M_{12}$ and $M_{13} - M_{14}$. The current source I_4 provides the bias current for the transistor M_3 . The unity gain current mirrors $M_{10} - M_{11}$ and $M_{13} - M_{14}$ reflect the input current I_{in} into the transistor M_1 . The current mirror M_4 and M_{16} reflects the current I_{D4} to the output node and the current I_{D16} can be written as

$$I_{D16} = \frac{I_4}{4} + \frac{I_{in}}{4} + \frac{\sqrt{I_4}}{2} \sqrt{I_{in}} \quad (2)$$

The current mirror M_{13} and M_{15} , which have current gain equal to $1/4$, force the current $I_{in}/4$ into an output node, and the current source $I_5 = I_4/4$ provided and elimination of the output current offset. Then the output current I_{out} becomes

$$I_{out} = \frac{\sqrt{I_4}}{2} \sqrt{I_{in}} = G \sqrt{I_{in}} \quad (3)$$

which means that the output current I_{out} is a square-root of the input signal current I_{in} , with the current gain equal to G or $\sqrt{I_4}/2$.

3. Simulation results

The transfer characteristic and high-frequency response of the proposed circuit were observed using the

PSPICE analogue simulation program. The current sources $I_1 = I_2 = I_3 = I_4$ and I_5 are set to $100\mu A$ and $25\mu A$, respectively, and $V_{DD} = 7V$. The MOSIS $2.0\mu m$ CMOS process parameters were used for the circuit simulation. The ratio of channel widths and lengths (W/L) of the devices used are as follows: $W_8/L_8 = W_9/L_9 = 20\mu m/2\mu m$, $W_{15}/L_{15} = 5\mu m/2\mu m$ and the other devices are set to $2\mu m/2\mu m$. The DC transfer characteristic of the proposed circuit is shown in Fig. 3. Fig. 4 shows the transient response for 1MHz triangular wave input current signal with the peak amplitude $100\mu A$. The simulated frequency response of the proposed circuit is shown in Fig. 5. It should be note that the bandwidth about 80 MHz is observed.

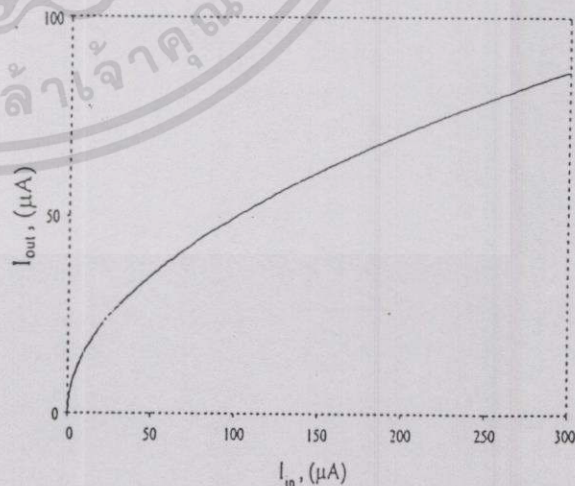


Fig. 3 DC transfer characteristic

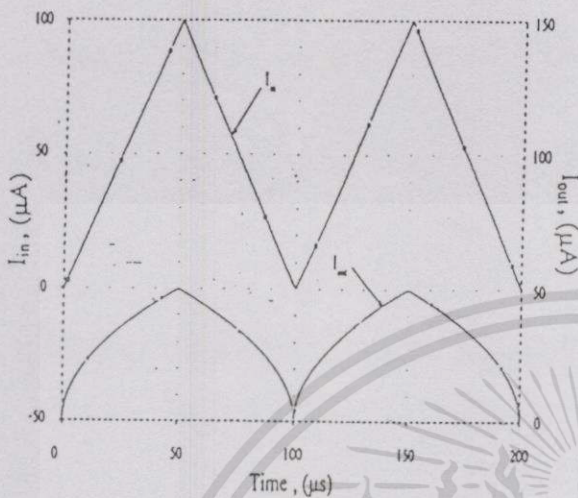


Fig. 4 Simulated transient response

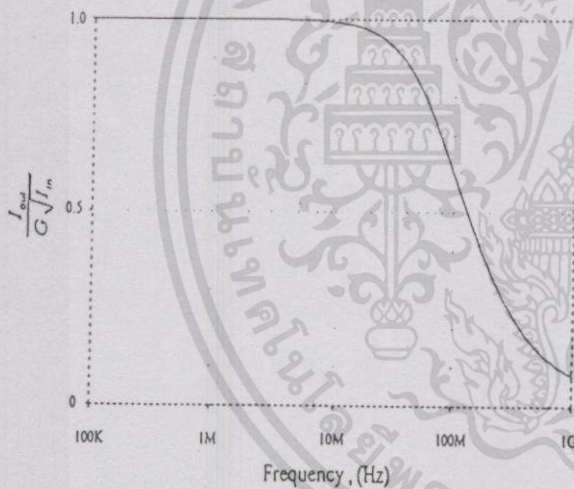


Fig. 5 Frequency response of the proposed circuit

References

- [1] O. E. Doebelin, *Measurement Systems : Application and Design* (New York : McGraw Hill), 1990.
- [2] J. Millman, and A. Grabel, *Microelectronics* (New York : McGraw-Hill), 1992.
- [3] C., Toumazou, F. J., Lidgey, and D.G., Haigh, *Analogue IC Design : the current-Mode Approach*, (London, UK : Peter Peregrinus), 1990.
- [4] M., Van Der Gevel, and J.C., Kuenen, "√x circuit based on a novel, back-gate-using multiplier," *Electronics Letters*, 30, 183-184, 1994.
- [5] P. R., Gray and R. G., Meyer, *Analysis and Design of Analog Integrated Circuits* (Wiley), 1993.
- [6] S.-I., Liu, Square-rooting vector summation circuits using current conveyors. *IEE Proceedings. Circuits Services and Systems*, 142, 223-226, 1995.

4. Conclusion

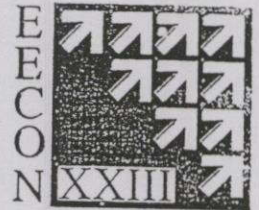
A current-controlled square-rooting circuit has been introduced. The realization method is based on the principle of MOS translinear configuration and is suitable for implementation in CMOS integrated circuit form. The simulation results have shown that the circuit performance is highly accurate and has wide-band capability.

Acknowledgments

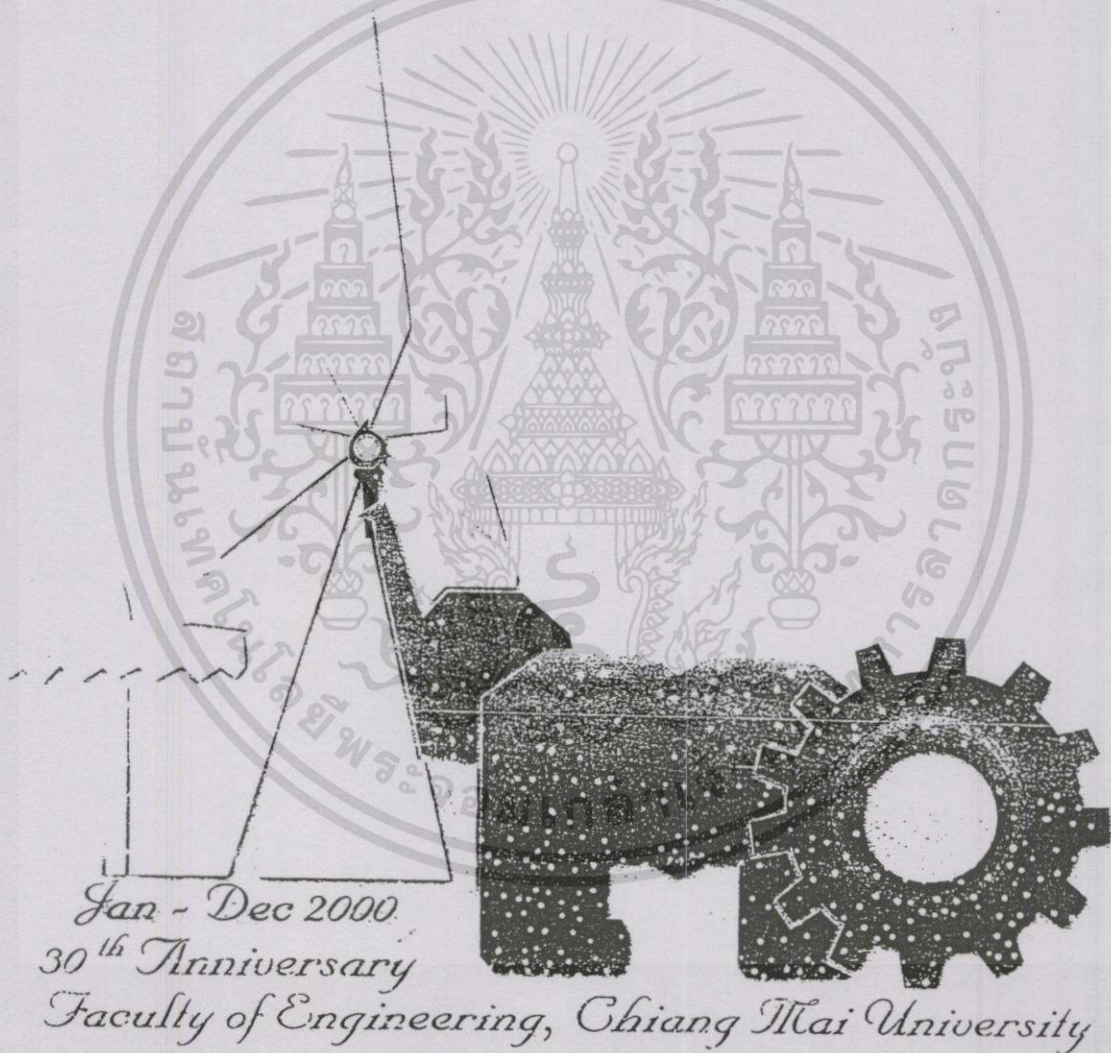
The authors would like to express sincere gratitude to the National Science and Technology Development Agency (NASTDA), Thailand, for the financial support of this work.



การประชุมวิชาการ
ทางวิศวกรรมไฟฟ้า ครั้งที่ 23



23rd Electrical Engineering Conference
(EECON-23)



วันที่ 23-24 พฤศจิกายน 2543 โรงแรมดิเอ็มเพรส เชียงใหม่

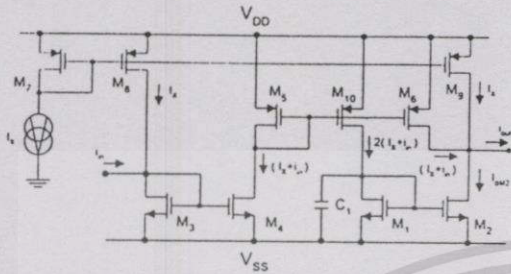
ดำเนินการจัดประชุมโดย

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

เอกสารนี้เป็นเอกสารทบทวนเวลาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้มหาวิทยาลัยเชียงใหม่ออกเอกสารทุกครั้งที่มีการนำไปใช้

- E13 : Improved Intelligent Adaptive Control System by Auto-Tuning Reference Model 613
Phomsuk Ratiroch-anant Hiroshi Hirata
Jongkol Ngamwiwit and Vipana Prejapanij
King Mongkut's Institute of Technology Ladkrabang and Tokai University
- E14 : วงจรเลือกค่าสูงสุดค่าสุดความเร็วสูง 617
รัชชัย นิมาลี วันชัย ธีรวิภา สมชาย สุภาพ และ วรณดี เพชรพณีล้ำค่า
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- E15 : การเปรียบเทียบสมรรถนะของวงจรกรองแบบปรับตัวชนิดต่าง ๆ 621
ในการควบคุมสคคั่นแบบปรับตัว
ทวัฒน์ ไชยศรี และ วัชรพงษ์ ไชวิฑูรกิจ
จุฬาลงกรณ์มหาวิทยาลัย
- E16 : Design of Fuzzy Controllers Using Genetic Algorithms 625
Athula Rajapakse
Asian Institute of Technology
- E17 : วงจรเลื่อนเฟสที่ควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์แบบซิมอส 629
สมชาย สุภาพ วันชัย ธีรวิภา อนุชา แก้วพูลสุข
ธาดรี คัมภีระ และ ธิภาพรรณ แซ่ลี
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- หมวด F : อิเล็กทรอนิกส์ (Electronics : EL)
- F01 : วงจรกรองความถี่หลายรูปแบบโดยใช้วงจรสายพานกระแสที่สอง 633
ที่ถูกควบคุมด้วยกระแส
วุฒิพร เลิศวาสนา อนุรี หล่อสวัสดิ์ศิริ
ราชู พันธุ์ฉลาด และ กนก เงินจิระพงศ์เวช
มหาวิทยาลัยเทคโนโลยีมหานคร และ
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- F02 : วงจรกรองสัญญาณหลายหน้าที่โหมคกระแสที่มีพื้นฐานอยู่บน 637
ทรานสลิเนียร์คอนเวเยอร์
วิจิตรเพ็ชรกิจ อังกรารวม เนื่องนิตย์
วิวัฒน์ กิรานนท์ และ วิชา แสงพิสิทธิ์
มหาวิทยาลัยสยาม และ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



รูปที่ 1 วงจรเลื่อนเฟสแบบซิมอส

pass filter) สำหรับสัญญาณกระแสอินพุต (i_{in}) กำหนดให้ วงจรสะท้อนกระแส $M_1 - M_2$ มีอัตราการสะท้อนกระแสเท่ากับ 1 และ M_{10} มีอัตราการสะท้อนเท่ากับ 2 จะได้ความสัมพันธ์ระหว่างกระแสทรานซิสเตอร์ของ M_2 (i_{DM2}) กับสัญญาณกระแสอินพุต (i_{in}) เป็น

$$i_{DM2} = 2i_{in} + 2 \left(\frac{i_{in}}{sC_1 r_1 + 1} \right) \quad (1)$$

เมื่อ

$$r_1 = \sqrt{\frac{L_1}{4K'_p W_1 I_1}} \quad (2)$$

จากสมการที่ (2) r_1 คือ ความต้านทานจุดเข้าของวงจรสะท้อนกระแส $M_1 - M_2$ ที่จากรณาที่จุดออก เนื่องจาก $i_{DM2} = I_1$ และ $i_{DM1} = I_1 - i_{in}$ ดังนั้นจะได้

$$i_{out} = \left(\frac{sC_1 r_1 - 1}{sC_1 r_1 + 1} \right) i_{in} \quad (3)$$

จากสมการที่ (3) แสดงให้เห็นว่าวงจรในรูปที่ 1 แสดงคุณสมบัติเป็นวงจรเลื่อนเฟสสำหรับสัญญาณกระแส i_{in} โดยมีค่าการเลื่อนเฟสเป็น

$$\begin{aligned} \theta &= -2 \tan^{-1} (2\pi f C_1 r_1) \\ &= -2 \tan^{-1} \left(\pi f C_1 \sqrt{\frac{L_1}{K'_p W_1 I_1}} \right) \end{aligned} \quad (4)$$

2.2 วงจรชดเชยค่า K'p

ในรูปที่ 2 แสดงวงจรชดเชยค่า K'p สำหรับวงจรเลื่อนเฟสในรูปที่ 1 ซึ่งสามารถอธิบายการทำงานได้ดังนี้เมื่อทรานซิสเตอร์ทุกตัวมีการทำงานอยู่ในช่วงอิมิตัว กำหนดให้หาค่าที่ขาเกตของ $M_{11} - M_{13}$ เท่ากับ $V_A + V_B$, $V_A - V_B$ และ V_A ตามลำดับ และวงจรสะท้อนกระแส $M_{14} - M_{16}$ มีอัตราการสะท้อนกระแสเท่ากับ 1 จะได้ความสัมพันธ์ดังนี้ คือ

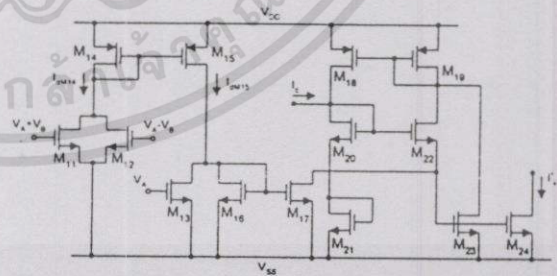
$$\begin{aligned} I_{DM13} &= I_{DM14} = I_{DM11} + I_{DM12} \\ &= \beta_{11} (V_A + V_B - V_{SS} - V_t)^2 \\ &\quad + \beta_{12} (V_A - V_B - V_{SS} - V_t)^2 \end{aligned} \quad (5)$$

$$I_{DM11} = \beta_{11} (V_A - V_{SS} - V_t)^2 \quad (6)$$

$$\beta_i = \left(\frac{K'_p W}{2L} \right)_i \quad (7)$$

จากสมการที่ (5) - (7) กำหนดให้ $\beta_{13} = 2 \beta_{11} = 2\beta_{12}$ จะให้

$$\begin{aligned} \text{กระแสทรานซิสเตอร์ของ } M_{16} \text{ เป็น} \\ I_{DM16} &= I_{DM13} - I_{DM11} \\ &= 2\beta_{11} V_B^2 \end{aligned} \quad (8)$$



รูปที่ 2 วงจรชดเชยค่า K'p

จากวงจรในรูปที่ 2 พิจารณา $M_{20} - M_{23}$ อาศัยหลักการทรานส์ซิสเตอร์แบบมอสทรานซิสเตอร์ [8-9] กำหนดให้ $(W/L)_{20,21,24} = 4(W/L)_{22,23}$ จะได้

$$I'_c = I_{DM24} = \frac{I_c^2}{I_{DM22}} \quad (9)$$

แทนค่า สมการ (8) ลงในสมการที่ (9) เมื่อ $I_{D422} = I_{D417} = I_{D416}$ จะได้

$$I_c' = \frac{I_c^2}{2\beta_{11} V_B^2} \quad (10)$$

จากสมการที่ (10) จะเห็นว่ากระแสจุดออกของวงจรในรูปที่ 2 แปรผันตรงกับกระแส I_c' และแปรผกผันกับค่า K_p ดังนั้นเมื่อนำวงจรในรูปที่ 2 มาประกอบกับวงจรในรูปที่ 1 โดยกำหนดให้ $I_c = I_c'$ และ $\beta_{11} = \beta_{12} = \beta_1 = \beta_2$ จะได้ว่าวงจรเลื่อนเฟสที่ไม่ขึ้นกับ K_p โดยมีค่าการเลื่อนเฟสคือ

$$\theta = -2 \tan^{-1} \left(\frac{\pi f C_1 V_B}{I_c} \right) \quad (11)$$

3. ผลการเปลี่ยนแปลงการทำงานของวงจร

เพื่อทดสอบสมรรถนะการทำงานของวงจรเลื่อนเฟสสำหรับสัญญาณกระแสที่ได้นำเสนอ ได้ใช้โปรแกรม PSPICE เขียนแบบการทำงานของวงจร โดยใช้โมสทรานซิสเตอร์เทคโนโลยี 0.5µm, $V_{DD} = V_{SS} = 2.4V$, $V_A = -1V$, $V_B = 0.3V$, $C_1 = 30nF$ และกำหนดอัตราส่วนความกว้างต่อความยาวแซลแนล(W/L)ของทรานซิสเตอร์แต่ละตัวดังที่แสดงในตารางที่ 1

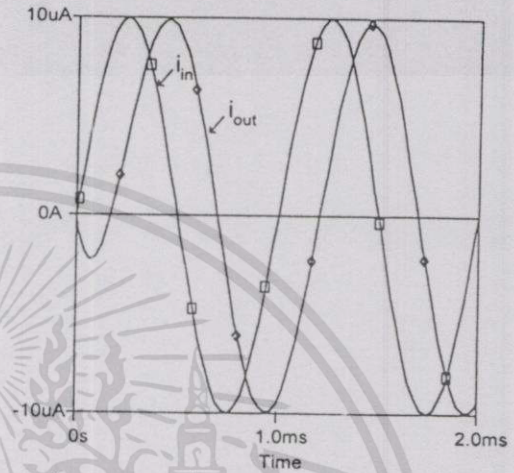
ทรานซิสเตอร์	ค่า (W/L)
M_1 - M_9 , M_{11} - M_{12} , M_{14} - M_{19}	16/8 µm/µm
M_{10} , M_{13} , M_{20} - M_{21} , M_{24}	32/8 µm/µm
M_{22} - M_{23}	8/8 µm/µm

ตารางที่ 1 อัตราส่วนความกว้างต่อความยาวแซลแนล(W/L)

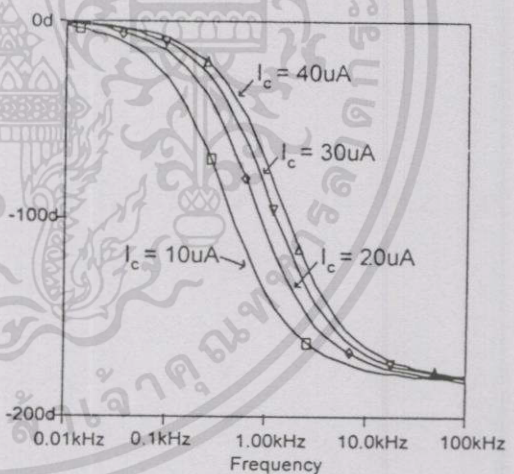
ในรูปที่ 3-5 แสดงผลการเปลี่ยนแปลงการทำงานของวงจร โดยที่ในรูปที่ 3 แสดงผลการทำงานเมื่อ I_c เป็นกระแสเคลื่อนที่ขนาด 10µA ความถี่ 1kHz และกำหนด $I_c = 40\mu A$ รูปที่ 4 แสดงการเลื่อนเฟสที่ความถี่และกระแสควบคุม(I_c)ค่าต่างๆ เมื่อ I_c เป็นสัญญาณกระแสขนาด 10µA ในรูปที่ 5 แสดงผลตอบสนองต่อความถี่ที่มีความถี่ต่างๆ โดยเปรียบเทียบการทำงานของวงจรในรูปที่ 1 ระหว่างการใช้และไม่ใช้วงจรชดเชยค่า K_p ในรูปที่ 2 ($I_c = I_c' = 97\mu A$)

จากผลเขียนแบบการทำงานจะเห็นได้ว่าวงจรเลื่อนเฟสที่ได้นำเสนอสามารถควบคุมการเลื่อนเฟสได้โดยการปรับค่ากระแสควบคุม และเมื่อใช้วงจรในรูปที่ 1 ทำงานร่วมกับวงจรในรูปที่ 2 ทำให้การนำไปประยุกต์ใช้งานสามารถทำได้ง่ายขึ้น เช่น การนำไปทำงานร่วมกับวงจร

เปลี่ยนความถี่เป็นกระแสสำหรับการชดเชยค่าความถี่ นอกจากนี้ยังสามารถลดผลของอุณหภูมิขึ้นเนื่องมาจากพารามิเตอร์ K_p ลงได้



รูปที่ 3 ผลการทำงานเมื่อ I_c เป็นกระแสเคลื่อนที่ขนาด 10µA ความถี่ 1kHz และกำหนด $I_c = 40\mu A$

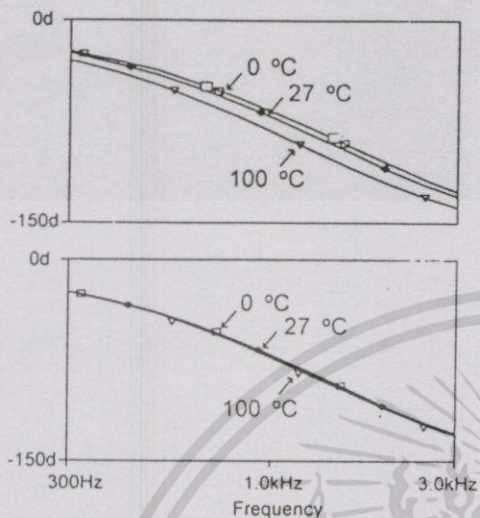


รูปที่ 4 การเลื่อนเฟสของสัญญาณที่ความถี่และกระแสควบคุมต่างๆ

4. สรุป

วงจรเลื่อนเฟสที่ได้นำเสนอในบทความนี้เป็นการออกแบบโดยอาศัยคุณสมบัติการทำงานของโมสทรานซิสเตอร์ในรูปแบบของวงจรรวมเป็นหลัก จากผลการเขียนแบบการทำงานของวงจรแสดงให้เห็นว่า มีคุณสมบัติเป็นไปตามหลักการที่ได้นำเสนอคือ สามารถควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์ และสามารถลดผลของอุณหภูมิขึ้นเนื่องมาจากพารามิเตอร์ K_p ลงได้





รูปที่ 5 ผลตอบสนองต่ออุณหภูมิที่ความถี่ 300 Hz - 3kHz
 (รูปบน) ไม่ได้ใช้วงจรชดเชยค่า K_p คอร่วม
 (รูปล่าง) ใช้วงจรชดเชยค่า K_p คอร่วม

5. กิตติกรรมประกาศ

ขอขอบคุณสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ(สวทช.) ภายใต้โครงการส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติภายใต้โครงการการออกแบบวงจรรวมขนาดใหญ่ และ Japan International Cooperation Agency (JICA) ที่ได้ให้ทุนและเครื่องมือสนับสนุนในการทำวิจัย

เอกสารอ้างอิง

[1] R. Boylestad and L. Nashelsky, Electronic Devices and Circuit Theory, Prentice Hall, pp.759-762, 1992.
 [2] A.M. Soliman, "Generation of Current Conveyor-Based All-Pass Filter From Op Amp-Based Circuit", IEEE Transaction on Circuit and System - Analog and Digital Signal Processing, vol.44, no.4, 1997.
 [3] C.A. Karybakas and G.A. Micholitsis, "A Circuit for Constant Phase Shift Using a Narrow Pulse Duty Cycle All-Pass Filter", IEEE Transaction on Instrumentation and Measurement, vol.39, no.4, 1999.
 [4] บุญมี นน่องสวัสดิ์ศิริ, โสภณแสงพิสัยพันธ์, ปรีชาโมทย์ มงคลเชียน และ วิจิตรพันธ์ นน่องสวัสดิ์, วงจรชดเชยเฟสและ วงจรชดเชยค่า K_p คอร่วมที่ได้ผลวิจัยจริง, วารสารวิจัยและพัฒนาระบบบริหารวิชาการของไฟฟ้แห่งประเทศไทยที่ 20, 2540

[5] T.Tsukutani, M.Ishida, S.Tsuike and Y.Fukui, "Versatile current mode biquad filter using multiple current output OTA", INT.J. Electronics, vol 80, no.4, pp.533-541, 1996.
 [6] S.Pookaiyaudom, K.Djhan and C.Watanachaiprateep, "An Integrable Electronically Variable Phase Shifter", Proceeding of the IEEE, vol.67, no.1, 1979.
 [7] S.Pookaiyaudom, K.Samootrut, "A Differential-current electronically-Variable Current-Mirror Phase-Shifter", INT.J. Electronics, vol.65, no.1, pp.130-136, 1988.
 [8] Weixin Gai, Hongyi Chen and E.Seevinck, "Quadratic-Translinear CMOS multiplier-divider circuit", Electronics Letters, vol.33, no.10, pp.860-861, 1997.
 [9] E.Seevinck, "Advanced Analog Circuit Design", Kluwer Academic Publishers, Dordrecht, 1997.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การประชุมวิศวกรรมไฟฟ้า
Electrical Engineering Conference
(EECON-22)

วันที่ 2-3 ธันวาคม 2542

ณ อาคารสถาบันค้นคว้าและพัฒนาเทคโนโลยีการผลิตทางอุตสาหกรรม
มหาวิทยาลัยเกษตรศาสตร์

ดำเนินการจัดประชุมโดย

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

มหาวิทยาลัยเกษตรศาสตร์

วันศุกร์ที่ 3 ธันวาคม 2542

14.20-14.40	การประยุกต์ใช้ชุดประมวลผลเชิงดิจิทัลในการออกแบบชุดควบคุมอินเวอร์เตอร์แบบอาร์ดับเบิลยูดีเอ็ม DSP Application for RWDM Inverters ถักหมั่น มีจางักษ์ พรชัย มรวงศ์ศักดิ์ มหาวิทยาลัยเทคโนโลยีมหานคร (DS043)	528
14.40-15.00	อัลกอริทึมค่าเฉลี่ยกำลังน้อยที่สุดแบบมีการหน่วงสัมประสิทธิ์การปรับค่า The LMS Algorithms with Delayed Coefficient Update พุทธพงศ์ สมใจ มหาวิทยาลัยเทคโนโลยีมหานคร (DS044)	532

ห้อง Mos วิศวกรรมระบบควบคุม (CT)

09.00-09.20	เครื่องควบคุมสัญญาณไฟจราจรแบบอัตโนมัติโดยใช้ไมโครคอนโทรลเลอร์ Automatic Traffic Light Controller using Microcontroller ณรงค์ กวรวนท พิสิฐ บุญศิริเมือง พิเชฐ ม่วงนวล และ กวีล ทั้งพา สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง (CT027)	536
09.20-09.40	วงจรถ่ายจับยอดสัญญาณกระแส A Peak Detector for Current Signal สมชาย สุภาพ ธีรชยา แก้วพูลสุข และวันชัย จีวรจจา สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง (CT028)	540
09.40-10.00	วงจรรวมกระแสแบบเต็มคลื่นโดยใช้ OTA OTA based precision full-wave rectifier นรินทร์ อรรถวิวัฒน์ธนะ วันชัย จีวรจจา วิมลภัก สุระคำพลอง พรชัย หลุยพสุ สุจินต์ อินพันล้ำ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง (CT029)	544
10.00-10.20	การควบคุมแบบปรับตัวสำหรับแขนกลข้อต่อเดียวแบบอ่อนตัวโดยใช้ข่ายงานเวฟเล็ต Adaptive control of One-Link Flexible Robot Arms Using Wavelet Networks จิตโกมล อรรถวิวัฒน์ธนะ อภิศกร มาลากานิช กันต์ สมวิไลโรวานิช วาสนน อภิชาติวิมลมา และ พัชรพงษ์ มีธีระกิจ จุฬาลงกรณ์มหาวิทยาลัย (CT030)	548

ห้อง Mos วิศวกรรมระบบควบคุม (CT)

10.40-11.00	การควบคุมแบบตรวจสอบล่วงหน้าด้วยเครือข่ายนิวรอลฐานรัศมีสำหรับตัวแลกเปลี่ยนความร้อน Radial Basis Neural Networks Based Predictive Control for Heat Exchanger อรรถสิทธิ์ สิริมงคล และ วราภรณ์ เขาววิศิษฏ จุฬาลงกรณ์มหาวิทยาลัย (CT031)	552
11.00-11.20	ระบบควบคุมเชิงอุณหภูมิแบบอัตโนมัติ An Automatic Temperature Calibration System อรรถพล นิยมสกุล และ กฤษดา วิศวะรินทร์ จุฬาลงกรณ์มหาวิทยาลัย (CT032)	556
11.20-11.40	การออกแบบระบบควบคุมวิกฤตสำหรับรถไฟฟ้ามะกอกแม่เหล็ก Critical control system design for a Maglev vehicle ดร.สุชิน อรุณศรีสวัสดิ์วงศ์ และ อภินันท์ อวรรณโณทัย จุฬาลงกรณ์มหาวิทยาลัย (CT033)	560
11.40-12.00	การทำลูปเชป และการควบคุม H ที่ infinite สำหรับแขนกลแบบอ่อนตัว Loopshaping and H-infinity Control for Flexible Robot Arm ลัดดาวัลย์ แซ่ไคว้ และ เดวิด บรรเจิดพงษ์ชัย จุฬาลงกรณ์มหาวิทยาลัย (CT035)	564

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ก่อผลกำไรใดๆทั้งสิ้น ลิขสิทธิ์สงวนไว้ทั้งหมด และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถวจจับยอดสัญญาณกระแส A Peak Detector for Current Signal

อนุชา แก้วพลสุข, วันชัย รวีรุจา, ธาตรี กัมภีระ และสมชาย สุภาพ
ภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ และสำนักวิจัยเพื่ออุตสาหกรรมและเทคโนโลยีสารสนเทศ
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนจตุรทิศ เขตลาดกระบัง กรุงเทพฯ 10520 โทร (02) 739-1162, E-mail: vanchai@mvisi.eng.kmitl.ac.th

บทคัดย่อ

บทความนี้ได้นำเสนอการออกแบบวงจรถวจจับยอดสัญญาณ สำหรับสัญญาณกระแส โดยใช้โมโพลาร์ทรานซิสเตอร์ วงจรนี้ให้สัมประสิทธิ์การบิดเบือนที่ต่ำ วงจรจำกัดกระแส คือตัวร่วมกับวงจรเปลี่ยน แรงดันเป็นกระแสเป็นหลัก ผลของค่าหน่วงเวลาในช่วงคrossover (cross-over delay times) ของวงจรถวจจับกระแส ได้ถูกชดเชยด้วยวงจรขยาย kelas AB ซึ่งทำให้ได้วงจรถวจจับยอดสัญญาณ ที่มีช่วงปฏิบัติการที่กว้างครอบคลุมถึงสมรรถนะของวงจรมารวมถึงจะอินพุตได้ด้วยการทำงานที่ราบของวงจรด้วยโปรแกรม PSPICE

Abstract

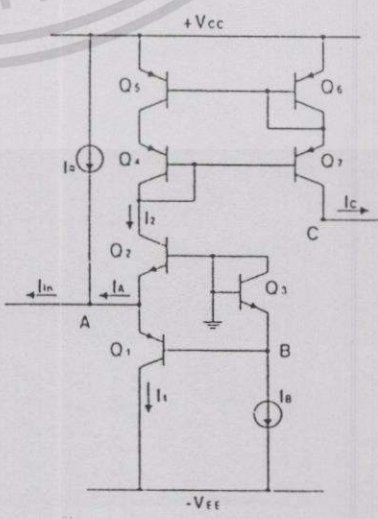
A peak detector for current signal, using bipolar technology, is presented in this article. The proposed circuit comprises current limiter connected with voltage to current converter. The crossover delay time of the current limiter is compensated by a class AB configuration. The circuit achieves wide dynamic range. PSPICE simulation results demonstrating the circuit performance are also included.

บทนำ

วงจรถวจจับยอดสัญญาณ เป็นวงจรที่สำคัญมากวงหนึ่งในระบบอิเล็กทรอนิกส์ การประยุกต์ใช้งานมีอย่างกว้างขวาง เช่น การวัดความดันเฟส, การวัดความถี่, การวัดค่าประกอบกำลัง และการควบคุมอัตราขยายอัตโนมัติ ในการออกแบบวงจรถวจจับยอดสัญญาณนั้น มักนิยมใช้โอปอแอมป์คู่ร่วมกับไดโอด[1-2]ในการออกแบบ เนื่องจากเป็นรูปแบบที่ง่ายและคุณสมบัติที่ดีของโอปอแอมป์คืออินพุตอิมพีแดนซ์สูง แต่เนื่องจากโอปอแอมป์มีค่าแบนด์วิดท์(bandwidth)ที่แคบทำให้ไม่สามารถใช้งานได้ที่ความถี่สูง จึงได้มีการพัฒนาวงจรขึ้นใหม่ โดยใช้โอปอแอมป์ร่วมกับวงจรสะท้อนกระแส ต่อใช้งานในลักษณะโวมครอสเส[3] และวิธีการใช้วงจรสะพานกระแสคู่ร่วมกับไดโอดและโอปอแอมป์ ซึ่งทำให้สามารถใช้งานที่ความถี่สูงขึ้นได้

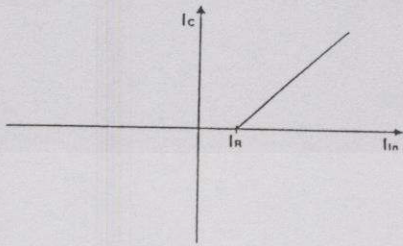
ในปัจจุบันเป็นที่ทราบกันดีแล้วว่าได้มีการพัฒนาวงจรที่ทำงานในโวมครอสเสขึ้นมาแทนที่โวมครอสเส เนื่องจากสามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำ และมีช่วงปฏิบัติการของขนาดสัญญาณที่กว้าง รวมทั้งสามารถใช้งานได้ที่ความถี่สูงขึ้น[3-4] บ่อยครั้งที่วงจรที่ต้องการพัฒนามีความถี่เป็นดีกรีใช้วงจรถวจจับยอดสัญญาณเป็นส่วนประกอบ แต่ที่ผ่านมาได้มีการนำเสนอวงจรถวจจับยอดสัญญาณสำหรับสัญญาณกระแสโดยตรง หลักการเดิมของวงจรถวจจับยอดสัญญาณแรงดันจะใช้การต่อรวมกับวงจรแปลงสัญญาณกระแสเป็นสัญญาณแรงดัน และวงจรแปลงสัญญาณแรงดันเป็นสัญญาณกระแสเป็นหลัก ซึ่งจะเป็นวงจรที่มีขนาดใหญ่มาก และไม่เหมาะสมในการสร้างเป็นวงจรรวม บทความนี้ได้นำเสนอการออกแบบวงจรถวจจับยอดสัญญาณสำหรับสัญญาณกระแส โดยใช้โมโพลาร์ทรานซิสเตอร์ ซึ่งเป็นวงจรที่มีขนาดเล็ก มีช่วงปฏิบัติการทางขนาดและความถี่กว้าง

2. การทำงานของวงจร 2.1 วงจรถวจจับกระแส



ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรตรวจจ่ายยอดสัญญาณกระแส



(ข)

รูปที่ 1 (ก) วงจรจ่ายกระแส

(ข) คุณสมบัติ

วงจรในรูปที่ 1(ก) แสดงวงจรจ่ายกระแส โดยมีทรานซิสเตอร์ Q_1, Q_2, Q_3 และ Q_4 คือตัวร่วมเป็นวงจรสะท้อนกระแสแบบลบ ที่มีอัตราส่วนกระแสเท่ากันหนึ่ง แหล่งจ่ายกระแสคงที่ I_m ไหลผ่านทรานซิสเตอร์ Q_1 เป็นตัวสร้างแรงดันไบอัส ให้ทรานซิสเตอร์ Q_2 และ Q_3 ทำงานในช่วงต้นของคลาส AB เพื่อลดผลของค่าหน่วยเวลาในช่วงคิกผ่านศูนย์ที่เกิดขึ้นกับ Q_2 และ Q_3 แหล่งจ่ายกระแส I_m ก็กระแสเริ่มต้นที่จะทำให้วงจรจ่ายกระแสจ่ายกระแส I_c ยังจุดออกที่จุด C สมมติให้ทรานซิสเตอร์ทุกตัวมีคุณสมบัติเหมือนกันทุกประการ เมื่อป้อนสัญญาณกระแสอินพุต I_m ให้กับวงจรที่จุด A จะได้ความสัมพันธ์ของกระแสจุดเข้าที่จุด A และจุดออก C ดังนี้

จุดเข้า A

$$I_A = I_m - I_R \quad (1)$$

จุดออก C

$$I_c = I_c \quad (2)$$

พิจารณาสมการที่ (1) กระแส I_c เป็นลบเมื่อ $I_m < I_m$ ทำให้ทรานซิสเตอร์ Q_2 นำกระแส เกิดกระแส $I_1 = -I_A$ ไหลผ่าน Q_2 และกระแส I_2 จะเท่ากับศูนย์, ถ้า $I_m > I_m$ ทำให้กระแส I_c เป็นบวก เกิดเป็นกระแส I_2 ไหลผ่านทรานซิสเตอร์ Q_3 และกระแส I_1 จะเท่ากับศูนย์ เมื่อแทนสมการที่ (1) ลงในสมการที่ (2) ตามความสัมพันธ์นี้จะได้

$$I_c = \begin{cases} 0 & \text{เมื่อ } I_m \leq I_m \\ I_m - I_R & \text{เมื่อ } I_m > I_m \end{cases} \quad (3)$$

จากวงจรในรูปที่ 1(ก) และสมการที่ (3) จะได้กราฟคุณสมบัติของวงจรจ่ายกระแสนี้ ดังแสดงในรูปที่ 1(ข)

2.2 วงจรตรวจจ่ายยอดสัญญาณกระแส

จากพื้นฐานของวงจรจ่ายกระแสในรูปที่ 1 สามารถนำมาประกอบกับตัวเก็บประจุ C_1 และวงจรส่วนที่เป็นวงจรเปลี่ยนสัญญาณแรงดันเป็นกระแส สร้างเป็นวงจรตรวจจ่ายยอดสัญญาณกระแส ดังแสดงในรูปที่ 2 โดยที่ I_m ซึ่งเป็นค่ากระแสเริ่มต้นที่จะทำให้วงจรจ่ายกระแสเริ่มจ่ายกระแส เกิดจากการสำเนาที่สัญญาณกระแส I_m ในอัตราส่วน 1:1 ป้อนกลับมายังจุดเข้า A จากการทำงานที่ทรานซิสเตอร์ Q_2 และ Q_3 ค่อยกันแนวคาร์ลิงตัน ซึ่งมีอินพุตที่มีแอมพลิจูดสูงมาก(3-4) ดังนั้นกระแสที่ไหลผ่านตัวเก็บประจุ C_1 จึงมีค่าประมาณ 1 และจากเงื่อนไขของวงจรจ่ายกระแสตามสมการที่ (3) ทำให้ได้ความสัมพันธ์ของแรงดันที่ตกคร่อมตัวเก็บประจุ C_1 คือ

$$V_{C_1}(t) = \begin{cases} V_{C_1}(t_0) & \text{เมื่อ } I_m \leq I_m \\ \frac{1}{C_1} \int_{t_0}^t (I_m - I_R) \cdot dt + V_{C_1}(t_0) & \text{เมื่อ } I_m > I_m \end{cases} \quad (4)$$

เมื่อ $V_{C_1}(t_0)$ คือแรงดันตกคร่อมตัวเก็บประจุ C_1 ในสภาวะก่อนหน้า

จากสมการที่ (4) แรงดัน $V_{C_1}(t)$ ที่จุด C จะถูกส่งผ่านไปยังขาอินพุตของ Q_4 (จุด D) ที่มีค่าเท่ากับ $V_{C_1}(t) - 2V_{BE}$ (เมื่อ V_{BE} คือ แรงดันตกคร่อมระหว่างขาเบสกับขาอินพุตของทรานซิสเตอร์) ซึ่งจะถูกแปลงเป็นกระแสที่มีค่าเท่ากับ $(V_{C_1}(t) - 2V_{BE}) / R_1$ ไหลผ่านตัวต้านทาน R_1 แหล่งจ่ายกระแสคงที่ I_m ทำหน้าที่เป็นตัวสร้างแรงดันไบอัสให้กับทรานซิสเตอร์ Q_4 และ Q_5 ทำให้สามารถส่งผ่านแรงดันจากจุด C มายังจุด D ได้อย่างถูกต้อง เมื่อพิจารณาจุดออก(E) ซึ่งทรานซิสเตอร์ $Q_4 - Q_5$ คือตัวร่วมเป็นวงจรสะท้อนกระแสที่มีอัตราส่วนกระแสเท่ากันหนึ่ง เราจะได้ความสัมพันธ์ของกระแสดังนี้

$$I_{out} = I_E - I_{B1} = I_D - I_{B2}$$

$$I_{out} = (I_{R1} + I_{R2}) \cdot I_R \quad (5)$$

เมื่อกำหนดให้ $I_{R2} = I_m$ ดังนั้นจะได้

$$I_{out} = I_{R1} \quad (6)$$

จากสมการที่ (6), I_{out} คือกระแสที่ไหลผ่านตัวต้านทาน R_1 อันเกิดจากแรงดันที่ส่งผ่านมาจากจุด C ซึ่งมีค่าเพิ่มขึ้นเมื่อสัญญาณกระแสอินพุต (I_m) ถูกดึงออกจากวงจร จนขนาดมากกว่ากระแส I_m ที่ป้อนกลับ

CT028

วงจรตรวจจับยอดสัญญาณกระแส

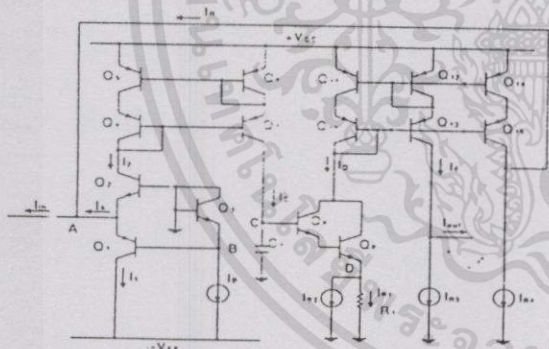
ไป และจะคว่ำทำไว้เมื่อสัญญาณกระแส $|I_m|$ มีขนาดน้อยกว่ากระแส I_m ขงแพทเท็กรวมหัวถ่วงนี้แสดงนึ่งว่าวงจรในรูปที่ 2 แสดงคุณสมบัติเป็นวงจรตรวจจับค่ายอดสูงสุดของสัญญาณกระแสนี้เอง

3 ผลการทำงานของวงจร

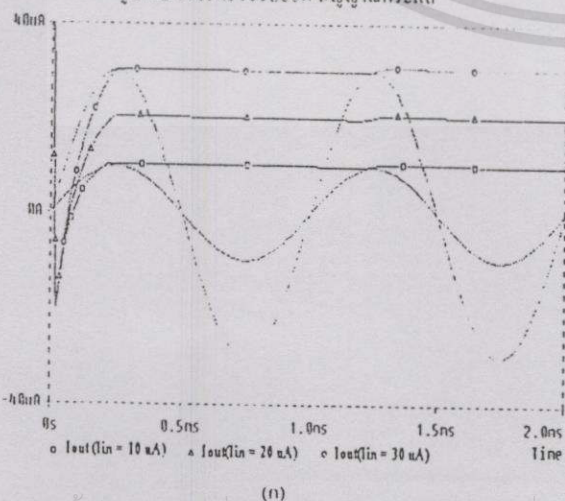
จากวงจรในรูปที่ 2 ได้ใช้โปรแกรม PSPICE เขียนเนมการทำงานโดยเลือกใช้ทรานซิสเตอร์ชนิด PNP เบอร์ 2N3906, ชนิด NPN เบอร์ 2N3904, $V_{cc} = 15\text{ V}$, $V_{EE} = -15\text{ V}$, $I_{B1} = 1\text{ mA}$, $I_{B2} = I_{B1} = I_{B3} = 100\text{ }\mu\text{A}$, $R_1 = 20\text{ k}\Omega$

ในรูปที่ 3(ก) แสดงผลการเขียนเนมการทำงานเมื่อป้อนสัญญาณกระแส I_m ขนาด 10 μA , 20 μA และ 30 μA ที่ความถี่ 1 kHz โดยใช้ C_1 เท่ากับ 1 nF, รูปที่ 3(ข) เป็นผลการเขียนเนมการทำงานเมื่อ I_m เป็นสัญญาณรูปสามเหลี่ยมขนาด 30 μA และ 60 μA ที่ความถี่ 10 kHz โดยใช้ C_1 เท่ากับ 0.1 nF และในรูปที่ 3(ค) แสดงผลของสัญญาณกระแส I_m ขนาด 200 μA , 300 μA และ 400 μA ที่ความถี่ 100 kHz เมื่อใช้ C_1 เท่ากับ 0.01 nF

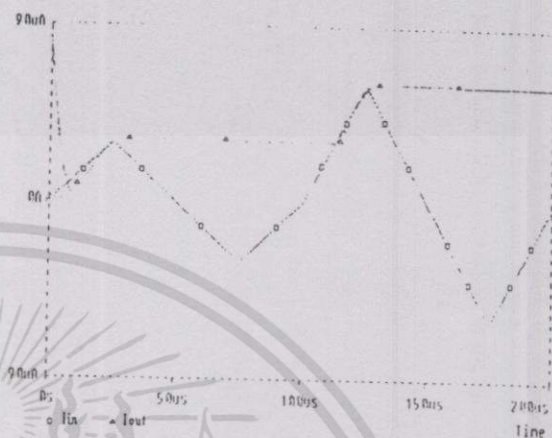
จะเห็นได้ว่าผลการเขียนเนมการทำงานของวงจรจะใกล้เคียงไปตามหลักการที่ได้นำเสนอ



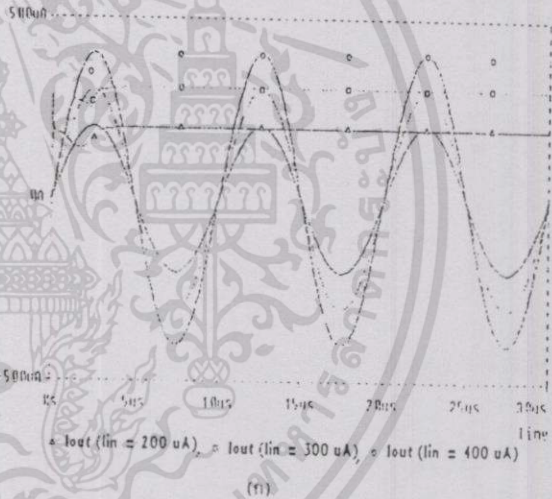
รูปที่ 2 วงจรตรวจจับยอด สัญญาณกระแส



(ก)



(ข)



(ค)

รูปที่ 3 การใช้โปรแกรม PSPICE เขียนเนมการทำงาน

- (ก) อื่นหุทเป็นสัญญาณกระแสกลันซาร์น ความถี่ 1 kHz ขนาด 10 μA , 20 μA และ 30 μA ตามลำดับ ($C_1 = 1\text{ nF}$)
- (ข) อื่นหุทเป็นสัญญาณกระแสกลันรูปสามเหลี่ยม ความถี่ 10 kHz ขนาด 30 μA และ 60 μA ($C_1 = 0.1\text{ nF}$)
- (ค) อื่นหุทเป็นสัญญาณกระแสกลันซาร์น ความถี่ 100 kHz ขนาด 200 μA , 300 μA และ 400 μA ตามลำดับ ($C_1 = 0.01\text{ nF}$)

4 สรุป

บทความนี้ได้มีเสนอ หลักการออกแบบวงจรตรวจจับยอดสัญญาณ สำหรับสัญญาณกระแสโดยปราศจากการใช้ฮอตาแควมว่าเป็นส่วนประกอบ ทำให้เป็นวงจรที่มีความคิดเห็นขจรสัญญาณค่า สามารถใช้ร่วมกับสัญญาณกระแสขจรรูปกลันต่างๆ ได้ ตลอดจนมีขจรปฏิบัติกรทรวความถี่ที่เร็วว เหมาะสัหรับนำไปเป็นส่วนประกอบของวงจรที่ขจรกรพัฒนา โนวาของสัญญาณกระแสกลันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ทำกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5 กิตติกรรมประกาศ

ขอขอบคุณสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ(สวทช) ภายใต้โครงการส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติภายใต้โครงการการออกแบบวงจรรวมขนาดใหญ่มาก และ Japan International Cooperation Agency (JICA) ที่ได้ให้ทุนและเครื่องมือสนับสนุนในการทำวิจัย

เอกสารอ้างอิง

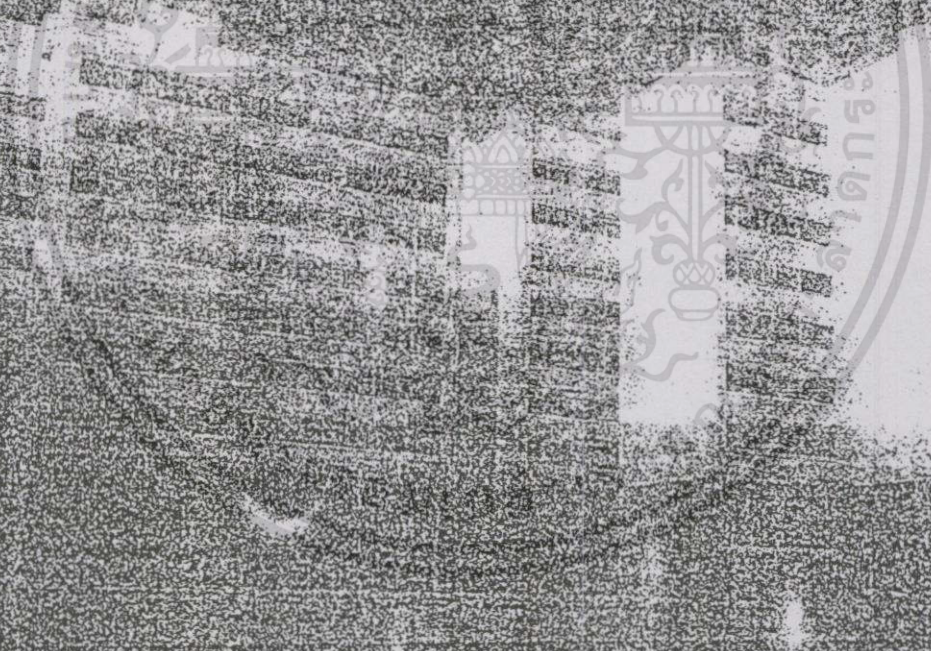
- [1] S. Franco, "Design with operational amplifier and analog integrated circuits", New York: McGraw Hill, 1988.
- [2] W.D. sttanley, "Operational amplifiers with linear integrated circuit", Merril Publishing Company, 1984.
- [3] C. Toumazou, F.J. Lidgley, and D.G. Haigh, "Analogue IC design : the current-mode approach", Peter Peregrinus Ltd., April, 1990.
- [4] Edwin W. Greneich, "Analog Integrated circuits", Chapman & Hall, 1997.
- [5] V. Riewruja, W. Surakamponorn and C. Surawalpunyn, "Integrable voltage-controlled and current-controlled nonlinear resistances", IEE Proceedings, vol. 137, pp. 238-246, August, 1990.

การประชุมวิชาการ
ทางวิศวกรรมไฟฟ้า ครั้งที่ 21

21st Electrical Engineering Conference
(EECON-21)

วันที่ 12-13 พฤศจิกายน 2541

ณ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
อ.สุขสวัสดิ์ 48 เขตทุ่งครุ กรุงเทพมหานคร



สงวนลิขสิทธิ์ © 2541 โดย มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
SING MONGKUL'S UNIVERSITY OF TECHNOLOGY THONBURI

ดำเนินการจัดการประชุม โดย

ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์

มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น
ไม่ว่ากรณีใดๆทั้งสิ้น อื่นๆที่มิใช่เจ้าของเอกสารทุกฉบับที่มีการนำไปใช้

วันพฤหัสบดีที่ 12 พฤศจิกายน 2541

สารบัญ

วันพฤหัสบดีที่ 12 พฤศจิกายน 2541

หน้า

ห้อง CB 1103 วิศวกรรมอิเล็กทรอนิกส์ (EL)

13.00-13.40	บทความรับเชิญ "การวิจัยและการใช้งานโซลาร์เซลล์ในประเทศไทยและแนวโน้มในอนาคต" กฤษณพงษ์ กิรคิกร รัชชัย สุวรรณคำ วีระพล โมเนษะกุล มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ	1
13.40-14.00	An Analysis of Continuous-Time Sigma-Delta Modulators Naiyavudhi Wongkornet Bernhard E. Boser Chulalongkorn University (EL002)	11
14.00-14.20	เครื่องประมวลผลคำอักษรเบรลล์ชนิดพูดได้ A Talking Braille Word Processor ัชชาวลักษณ์ หายสกุลบรรเทิง เอกชัย ลีลาธรรมี จุฬาลงกรณ์มหาวิทยาลัย (EL004)	15
14.20-14.40	วงจรเปลี่ยนความถี่เป็นแรงดันที่ใช้อินทิเกรเตอร์ Frequency-to-Voltage Converter based on Integrators วิภาวรรณ นาคทรัพย์ วิวัฒน์ กิรานนท์ จริยา เลิศจรสอร่ามดี วิภา แสงพิสิทธิ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง (EL007)	19
14.40-15.00	วงจรวัดค่าเพาเวอร์แฟกเตอร์แบบใหม่ A Novel Power-factor Measurement Circuit วิจิตรา โอคง วิวัฒน์ กิรานนท์ จริยา เลิศจรสอร่ามดี วิภา แสงพิสิทธิ มหาวิทยาลัยสยาม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง (EL008)	23

ห้อง CB 1103 วิศวกรรมอิเล็กทรอนิกส์ (EL)

15.20-16.00	บทความรับเชิญ "Who Needs Hardware Multipliers" Sawasd Tantaratana Sirindhorn International Institute of Technology Thammasart University	27
16.00-16.20	วงจรเรียงกระแสแบบเต็มคลื่นแบบที่ยังคงโดยใช้วงจรขยายคลาส AB Class AB Precision Full-Wave Rectifier อนุชา แก้วพุดสุข วันชัย รวีรุจา เถลิงภักดิ์ ฟองสมุทร สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง (EL 023)	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการปฏิบัติงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

16.20-16.40 การออกแบบวงจรเพาเวอร์แฟกเตอร์มิเตอร์ โดยใช้เทคโนโลยี ซิมูลิส

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเรียงกระแสเต็มคลื่นแบบเที่ยงตรง โดยใช้วงจรขยายคลาส AB

Class AB precision full-wave rectifier

อนุชา แก้วพลสุข^๑, วันชัย วีร์จุจำ และ เถลิงภรณ์ ฟ่องสมุทร^๒

นักศึกษาคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อาจารย์ภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520 โทร.(02) 739-1362, E-mail:vanchai@mvlsi.eng.kmitl.ac.th

บทคัดย่อ

บทความนี้ได้นำเสนอการออกแบบวงจรเรียงกระแสแบบเต็มคลื่น โดยใช้วงจรขยายคลาส AB แบบที่ประกอบด้วยทรานซิสเตอร์ 3 ตัว และวงจรสะท้อนกระแส 2 ชุด เพื่อใช้ในการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นสมรรถนะสูง ซึ่งเทคนิคดังกล่าวทำให้ได้วงจรเรียงกระแสที่มีความผิดพลาดของสัญญาณต่ำ มีช่วงปฏิบัติการกว้าง และค่าเวลาหน่วงในช่วงคิดผ่านศูนย์(crossover delay time)ต่ำ เพื่อเป็นการยืนยันถึงสมรรถนะการทำงานของวงจรที่ได้นำเสนอ ได้จำลองการทำงานของวงจรด้วยโปรแกรม PSPICE หรือทั้งทำการทดลองจริง

Abstract

A precision full-wave rectifier circuit using three transistors class AB configuration and two current mirror circuits is presented. The circuit achieves provides high accuracy, wide dynamic range and small crossover delay time. Experimental results and PSPICE simulation results demonstrating the circuit performance are also included.

1 บทนำ

วงจรเรียงกระแสแบบเต็มคลื่นสำหรับสัญญาณที่มีขนาดต่ำ เป็นวงจรที่สำคัญมากวงจรหนึ่ง ที่ใช้ในการประมวลผลสัญญาณ จัดการสัญญาณ และใช้ในเครื่องมือวัดวิเคราะห์ การประยุกต์ใช้งานของวงจรเรียงกระแสแบบเต็มคลื่นมีอย่างกว้างขวางเช่น การเปลี่ยนค่า RMS เป็นสัญญาณกระแสตรง ตัวตรวจจับขนาดของสัญญาณ(peak detector) และการสังเคราะห์วงจรมีเป็นเชิงเส้น[1] ในการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นสำหรับสัญญาณที่มีขนาดต่ำ ในช่วงแรกจะใช้ ออปแอมป์ไดโอด และตัวค้ำทาน[2][3] แต่การออกแบบวงจรถักมีปัญหานี้ จะมีความแม่นยำในการทำงานไม่สูงมาก เนื่องจากค่าแรงดันออฟเซต(offset voltage) ที่เกิดขึ้นในวงจรที่มีการคั่นระหว่างตัวค้ำทานและออปแอมป์ ตลอดจนความเร็วในการทำงานที่ไม่สูงอันเนื่องมาจากค่าแบนด์วิธ(bandwidth) ที่แคบของออปแอมป์ และค่าเวลาหน่วงในช่วงคิดผ่านศูนย์

(crossover delay time) ที่เกิดขึ้นในไดโอด จึงได้มีการพัฒนาวงจรเรียงกระแสแบบเต็มคลื่นขึ้นใหม่ โดยใช้คุณสมบัติของวงจรขยายคลาส B ร่วมกับออปแอมป์เพื่อลดผลของช่วงเวลาหน่วงที่เกิดขึ้นในไดโอดและมีความเร็วในการทำงานที่สูงขึ้น[4] แต่ก็ยังไม่สามารถลดช่วงเวลาหน่วงลงได้มากนัก ต่อมามีการพัฒนาวงจรขึ้นใหม่ โดยใช้วงจรถ่ายพาดกระแสคู่ร่วมกับไดโอดและแหล่งจ่ายไฟกระแสตรงเพื่อไบอัสให้ไดโอดทำงานในลักษณะคลาส AB วงจรนี้จะมีการทำงานที่เร็วและช่วงปฏิบัติการทางความถี่ที่กว้าง แต่วงจรจะใช้วงจรถ่ายพาดกระแสถึงสองชุดเป็นการสิ้นเปลือง และการไบอัสให้ไดโอดในคลาส AB จะมีข้อผิดพลาดง่าย ถ้าแปรค่าแรงดันไบอัสไม่เหมาะสมจะมีผลของสัญญาณฮาร์โมนิกที่สองเกิดขึ้นเมื่อสัญญาณที่อินพุตเข้าวงจรมีขนาดที่ต่ำมาก[5] ในบทความนี้จะนำเสนอหลักการออกแบบวงจรเรียงกระแสแบบเต็มคลื่นโดยใช้วงจรขยายคลาส AB แบบใช้ทรานซิสเตอร์ 3 ตัว โดยสามารถลดผลของช่วงเวลาหน่วงลงได้มากและมีขนาดวงจรที่เล็ก

2 การทำงานของวงจร

2.1 วงจรขยายคลาส AB

วงจรในรูปที่ 1 แสดงวงจรถ่ายพาดกระแส AB ที่ได้พัฒนาขึ้น โดยประกอบด้วยทรานซิสเตอร์ 3 ตัว ทรานซิสเตอร์ Q_1 และแหล่งจ่ายกระแส I_{in} ตัวสร้างแรงดันไบอัสให้ทรานซิสเตอร์ Q_1, Q_2 ทำงานในช่วงต้นของคลาส AB ซึ่งจะทำให้ทรานซิสเตอร์ Q_1 และ Q_2 พร้อมทั้งจะทำงานตลอดเวลา สมมติให้ทรานซิสเตอร์ทุกตัวมีคุณสมบัติที่เหมือนกันทุกประการ เมื่อป้อนกระแส I_{in} เข้ามาในวงจร โดยที่ I_{in} มีค่ามากกว่าศูนย์ ทรานซิสเตอร์ Q_2 จะนำกระแส และทรานซิสเตอร์ Q_1 จะหยุดนำกระแส ในขณะที่เดียวกันเมื่อป้อนกระแส I_{in} ที่มีค่าน้อยกว่าศูนย์ ทรานซิสเตอร์ Q_1 จะนำกระแสและทรานซิสเตอร์ Q_2 จะหยุดนำกระแส ซึ่งสามารถเขียนเป็นสมการได้ ดังนี้

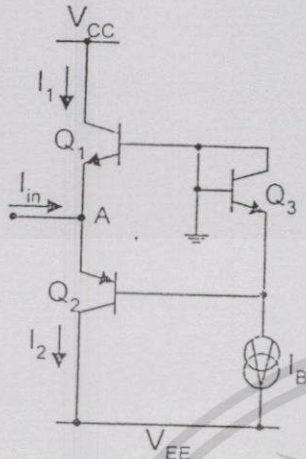
$$I_1 = \begin{cases} 0 & \text{เมื่อ } I_{in} > 0 \\ I_{in} & \text{เมื่อ } I_{in} < 0 \end{cases} \quad (1)$$

$$I_2 = \begin{cases} I_{in} & \text{เมื่อ } I_{in} > 0 \\ 0 & \text{เมื่อ } I_{in} < 0 \end{cases} \quad (2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

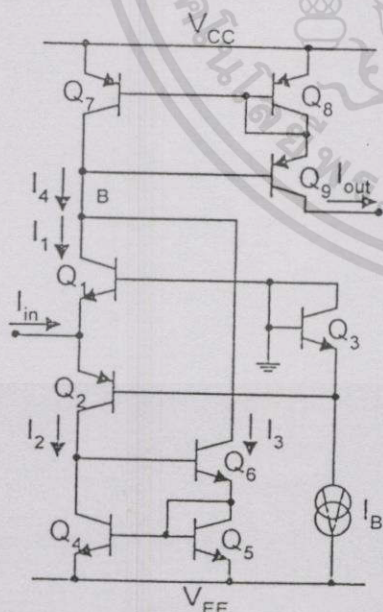
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21 พ.ศ. 2541



รูปที่ 1 วงจรขยายคลาส AB

จากหลักการทํางานของวงจรในรูปที่ 1 เนื่องจากทรานซิสเตอร์ Q₁ และ Q₂ ถูกไบอัสให้อยู่ในช่วงเรกของวงจรถ่ายขยายคลาส AB ก็ยหรือมีที่ จะทํางานอยู่ตลอดเวลา และมีแรงดันไบอัสที่ขั้วเบสของทรานซิสเตอร์ของ ทรานซิสเตอร์ Q₁ และ Q₂ ที่จุด A ของวงจรถ่ายขยายในรูปที่ 1 จะมีค่าเท่ากับ แรงดันที่ขั้วเบสและขั้วอีมิเตอร์ (V_{BE}) ประมาณ 0.7 V เมื่อทรานซิสเตอร์ Q₁ และ Q₂ สลับกันทํางานเป็นผลให้ค่าประจุที่สะสมอยู่ที่รอยต่อของขา เบส และขั้วอีมิเตอร์มีค่าน้อยกว่าแบบ ที่ใช้ทรานซิสเตอร์ที่มีการทํางาน ในวงจรถ่ายขยายคลาส B ซึ่งจะมีแรงดันเปลี่ยนแปลงที่ขั้วอีมิเตอร์ ประมาณ 1.4 V ดังนั้นค่าเวลาหน่วงในช่วงคัตส่วนศูนย์ ก็จะน้อยลง วงจรก็จะมีการ ทํางานที่เร็วขึ้น



รูปที่ 2 วงจรเรียงกระแสแบบเต็มคลื่น

2.2 วงจรเรียงกระแสแบบเต็มคลื่น ในโหมคกระแส

จากพื้นฐานของวงจรถ่ายขยายในรูปที่ 1 สามารถนำมาประกอบรวม กับวงจรถ่ายกระแสแบบ Wilson 2 ชุดสร้างเป็นวงจรถ่ายกระแส แบบเต็มคลื่น ในโหมคกระแสได้แสดงในรูปที่ 2 โดยที่กระแส I₁ จะถูก วงจรถ่ายกระแส Q₁-Q₂ สะท้อนไปยังจุด B ซึ่งจะได้อกระแส I₄ มีค่า เท่ากับ I₁ + I₂ กระแส I₄ จะถูกวงจรถ่ายกระแสซึ่งประกอบด้วย Q₃-Q₆ ส่งผ่านไปเป็นกระแสที่ขั้วออก I_{out} โดยที่กระแส I_{in} จะเป็นกระแส แบบเต็มคลื่น ซึ่งจะได้ความสัมพันธ์ของกระแสของดังนี้

$$I_{out} \approx I_4 = I_1 + I_2 \tag{3}$$

ดังนั้น $I_{out} \approx I_1 + I_2$ (4)

และ $I_1 \approx I_2$ (5)

แทนค่าสมการที่ (5) ลงในสมการที่ (4) จะได้

$$I_{out} \approx I_1 + I_1 \tag{6}$$

เนื่องจาก I₁ และ I₂ เป็น กระแสที่กลับของกระแสที่เข้า I_{in} ที่ทรานซิสเตอร์ Q₁ และ Q₂ สลับกันนำกระแสตามลำดับ ดังนั้นจะได้ กระแสที่ขั้วออก (I_{out}) จะมีค่า

$$I_{out} \approx 2 I_{in} \tag{7}$$

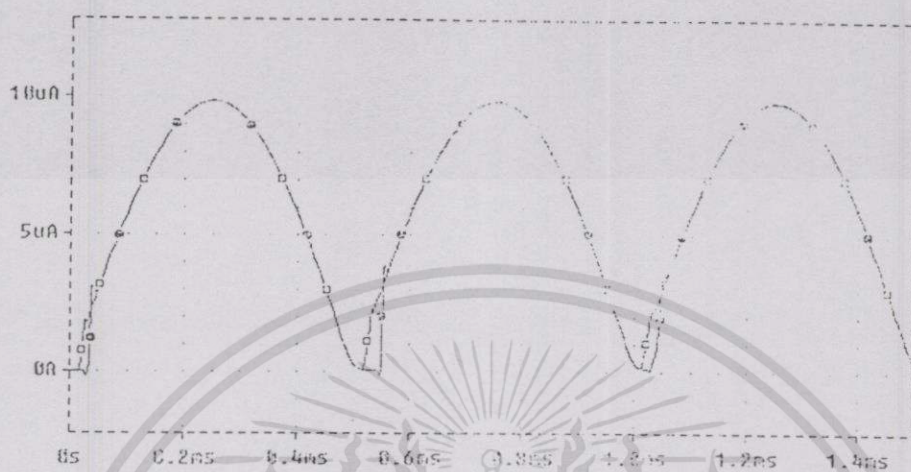
3 ผลการทํางานของวงจรถ่าย

เพื่อทดสอบและเปรียบเทียบสมรรถนะการทํางานของวงจรถ่ายกระแส ที่ได้ นำเสนอแสดงในรูปที่ 2 กับวงจรถ่ายกระแสที่ ประกอบขึ้นจากวงจรถ่ายขยายคลาส B ในเอกสารอ้างอิงที่ 4 โดยได้จำลอง การทํางานของวงจรถ่ายด้วยโปรแกรม PSPICE พร้อมทั้งได้ทำการทดลอง จริง โดยใช้ทรานซิสเตอร์ ชนิด PNP เบอร์ 2N3906 และชนิด NPN เบอร์ 2N3904 และใช้ V_{cc} = 5 V, V_{EE} = -5 V และ I_B = 1 mA

รูปที่ 3 แสดงผลการจำลองการทํางานด้วยโปรแกรม PSPICE โดยที่ I_{in} คือกระแสที่ขึ้นไซน์ ความถี่ 1 kHz ขนาด 10uA รูปที่ 4 แสดง ผลการทดลองจากวงจรถ่ายจริง โดยที่ I_{in} คือกระแสที่ขึ้นไซน์ ความถี่ 1 kHz ขนาด 10 uA

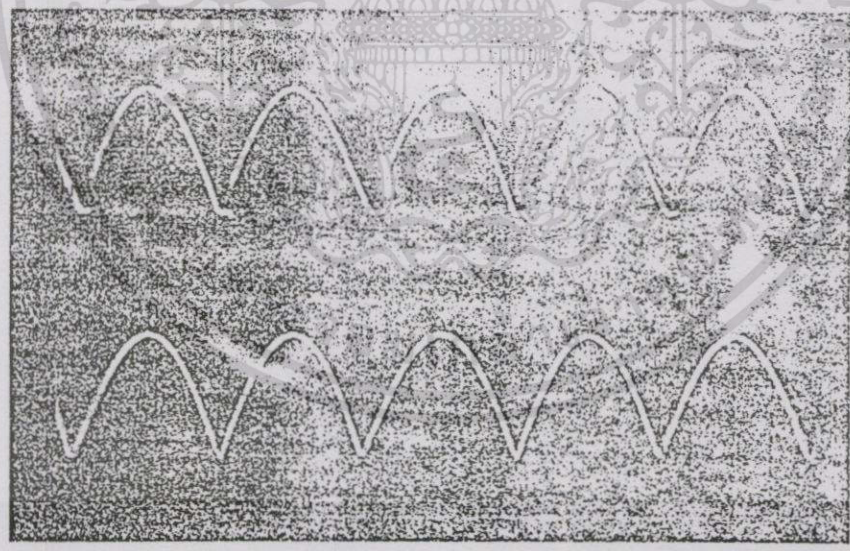
จากรูปที่ 3 และ 4 จะให้เห็นว่าวงจรถ่ายกระแสแบบเต็มคลื่น ที่ได้พัฒนาขึ้นจากวงจรถ่ายขยายคลาส AB ที่นำเสนอ มีสมรรถนะการทํางาน ที่ดีกว่าวงจรถ่ายกระแสแบบเต็มคลื่นที่พัฒนาขึ้นจากวงจรถ่ายขยายคลาส B มี

การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21 พ.ศ. 2541

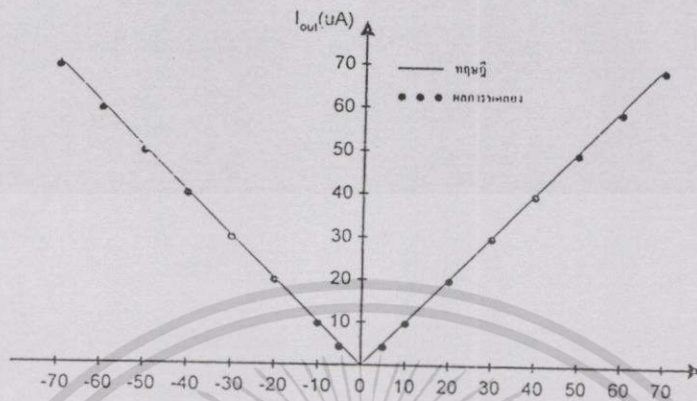


รูปที่ 3 ผลการวัดโดยใช้ออสซิลโลสโคป (รูปคลื่นเส้นบน) และวงจรที่นำเสนอ (รูปคลื่นเส้นล่าง)

รูปที่ 3 การวัดที่ขั้วต่อวงจรและผลการวัดโดยใช้ออสซิลโลสโคป (รูปคลื่นเส้นบน) และวงจรที่นำเสนอ (รูปคลื่นเส้นล่าง)



รูปที่ 4 ผลการทดลองโดยใช้ออสซิลโลสโคป (รูปคลื่นเส้นบน) และวงจรที่นำเสนอ (รูปคลื่นเส้นล่าง) เมื่อ I_m เป็นสัญญาณกระแสสลับความถี่ 1 kHz ขนาด 10 uA (สเกลแนวตั้ง 5 uV/div)



รูปที่ 5 ผลการทดลองแสดงความสัมพันธ์ระหว่างกระแส I_{in} และ I_{out}

ความคิดเห็นของสัญญาณที่น้อย และค่าเวลาหน่วงในช่วงลัดผ่านศูนย์ มีค่าน้อยโดยเฉพาะอย่างยิ่งเมื่อใช้งานกับสัญญาณที่มีขนาดค่า

รูปที่ 5 แสดงความสัมพันธ์ระหว่างกระแส I_{in} และ I_{out} ซึ่งจากผลการทดลองที่ได้ใกล้เคียงกับทฤษฎี

4 สรุป

ในบทความนี้ได้นำเสนอวงจรเรียงกระแสแบบเต็มคลื่น โดยใช้อัจฉริยะของทฤษฎี AB แบบใช้ทรานซิสเตอร์ 3 ตัว ที่ได้มีขนาดเป็นวงจรมีขนาดเล็กและสามารถลดค่าเวลาหน่วงในช่วงลัดผ่านศูนย์ลงได้มาก ทำให้มีความคิดเห็นของสัญญาณค่า คลอดจนมีช่วงปฏิบัติการที่กว้าง

5 กิตติกรรมประกาศ

ขอขอบคุณสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ(สวทช) ภายใต้โครงการทุนส่งเสริมวิสาหกิจวิจัย ประเภทรางวัลพัฒนาวิสาหกิจวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ ภายใต้โครงการการออกแบบวงจรรวมขนาดใหญ่ และ Japan International Cooperation Agency (JICA) ที่ได้ให้ทุนและเครื่องมือสนับสนุนในการทำงานวิจัย

เอกสารอ้างอิง

[1] V. Kiewruja, W.Surakamponorn and C.S. Awatpunya, "Integrable voltage-controlled and current-controlled nonlinear resistances", IEE Proc., Vol.137, Pt.G, No.4, 1990, pp. 238-246.

[2] P.R.Gray and R.G. Meyer, "Analysis and design of analog integrated circuits", New York: Wiley, 1984.

[3] S. Franco, "Design with operational amplifier and analog integrated circuits," New York: McGraw Hill, 1988.

[4] R.W. J. Barker and B.L. Hart, "Versatile precision full-wave rectifier," Electronics letters, Vol.13, No.5, 1977, pp. 143-144.

[5] W.Surakamponorn, S.Jutaviriya and T.Apajinda, "Dual translinear sinusoidal frequency doubler and full-wave rectifier," Int. J. Electronics, Vol.65, No.6, 1988, pp. 1203-1208.



การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 39

The 39th Kasetsart University Annual Conference

บทคัดย่อ Abstract

5-7 กุมภาพันธ์ 2544

5-7 February 2001

จัดโดย

มหาวิทยาลัยเกษตรศาสตร์

ร่วมกับ

กระทรวงศึกษาธิการ

กระทรวงเกษตรและสหกรณ์

กระทรวงวิทยาศาสตร์เทคโนโลยีและสิ่งแวดล้อม

ทบวงมหาวิทยาลัย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

36. วงจรสายพานกระแสเนกประสงค์ที่มีการชดเชยผลของอุณหภูมิ..... 300
 Temperature-insensitive universal current conveyor
 โดย สุชาติ สงวนไว้ พัทธราภรณ์ นิภัทรหัตถพงศ์ เอกชัย ม่วงรอดภัย และ เกียรติศักดิ์ คมวัชระ

37. การประมาณความจุของสัญญาณดาวเทียมไทยคม 3 จากสถิติฝนที่คลองใหญ่..... 301
 Channel capacity estimation of Thaicom 3 satellite from rain at Klong Yai
 โดย อติเทพ ชัยสังข์ จรุงภพ รามางกูร อำนวย วิเชียรสวรรค์ สุทธิชัย นพนาศิพงษ์ และ ณรงค์ เหมกรณ์

38. วงจรออสซิลเลเตอร์ปรับค่าความถี่ได้ขนาดเล็กแบบ Surface Mount..... 302
 Miniature Surface Mount voltage controlled oscillator
 โดย มิ่งขวัญ ธนะชัยพันธ์ และ ทองทศ วานิชศรี

39. วงจรขยายความนำที่เป็นอิสระจากอุณหภูมิรอบข้าง..... 303
 An independently temperature translinear OTA
 โดย เบญจวรรณ ธรรมวุฒ และ ปราโมทย์ วาดเขียน

40. การบำบัดน้ำเสียที่มีความเข้มข้นของไนโตรเจนสูงและมีความเค็มในระบบถังกรองแบบไหลขึ้น โดยวิธีสลับเติมอากาศ..... 304
 Intermittent aeration in upflow biofilter for treatment high strength nitrogen and salinity wastewater
 โดย สุมนทิพย์ จินต์สุภาวงศ์ และ เฉลิมราช วันทวิน

41. สมรรถนะการเผาไหม้กากตะกอนบำบัดน้ำเสียในเตาเผาฟลูอิดไคซ์เบด..... 305
 Combustion performance of sewage sludge in fluidized bed incinerator
 โดย พลกฤษณ์ จิตรโต และ พจนีย์ ชุมมงคล

42. เครื่องทำน้ำร้อนด้วยพลังงานแสงอาทิตย์อย่างง่ายสำหรับประเทศไทย..... 306
 A simple-low cost solar water heater for Thailand
 โดย ปรีดา จันทพงษ์ จงจิตร นริญลาภ และ โจเซฟ เคดารี

43. การพัฒนาพัดลมปรับความเร็วตามสภาวะแวดล้อมแบบอัตโนมัติ..... 307
 Development of an automatic-ambient-regulated fan
 โดย ณรงค์ วัชรเสถียร โจเซฟ เคดารี นริส ประทินทอง และ จงจิตร นริญลาภ

44. การชดเชยผลของอุณหภูมิในวงจขยายโอทีเอแบบซิมอส และการประยุกต์ใช้งาน..... 308
 Temperature compensation of CMOS OTA and it's application
 โดย ธาตรี คัมภีระ อนุชา แก้วพูลสุข ธวัชชัย คำศรี ธิภาพรรณ แซ่ลี และวันชัย รั้วจุจา

45. การศึกษาการดักจับอนุภาคขนาดเล็กโดยใช้เครื่องจับฝุ่นแบบเป็ยกชนิด Baffle Plate..... 309
 Removal of fine particle from air by baffle plate scrubber
 โดย ดารณี จันท์อำภากุล และ วิทยา เทพไพฑูรย์

46. ระบบผสมผสานแบบใหม่เพื่อผลิตน้ำร้อนและปรับอากาศโดยใช้พลังงานแสงอาทิตย์ร่วมกับเทอร์โมอิเล็กทริก..... 310
 A new hybrid solar-thermoelectric for domestic hot water and air-conditioning
 โดย สมชาย มณีวรรณ โจเซฟ เคดารี นริส ประทินทอง และ จงจิตร นริญลาภ

47. โฟโตไดโอดแบบรอยต่อเนื้อสารต่างชนิดกันของฟิล์มเพชรชนิดพีและซิลิคอนชนิดเอ็น..... 311
 Heterojunction photodiode between p-type diamond/n-type silicon structure
 โดย สุภาพร ปรัชเจริญนิชัย นิรุช ปันเกตุ ภควัด สรวัยสุวรรณ และ วิสุทธิ์ จิตติรุ่งเรือง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต
 ไม่ว่ากรรมใดๆ ทั้งสิ้นโดย สภาฯ มหาวิทยาลัย และ ปันเกตุ
 ภาควัด สรวัยสุวรรณ และ วิสุทธิ์ จิตติรุ่งเรือง

การชดเชยผลของอุณหภูมิในวงจรขยายโอทีเอแบบซีมอส และการประยุกต์ใช้งาน

ธাত্রี คัมภีระ อนุชา แก้วพูลสุข ธวัชชัย คำศรี ทิภาพรณ แซ่ลี และวันชัย รวีรุจา
ภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทความนี้เป็นการนำเสนอ หลักการออกแบบวงจรชดเชยผลของอุณหภูมิในวงจรขยายโอทีเอแบบซีมอส (CMOS-based Operational Transconductance Amplifier) โดยวงจรที่ได้พัฒนาขึ้นเป็นการอาศัยคุณสมบัติของวงจรทรานส์ลิเนียร์แบบซีมอสเพื่อสังเคราะห์ค่ากระแสเอาต์พุตที่มีค่าผกผันกับผลของอุณหภูมิ และเมื่อนำวงจรดังกล่าวนี้ไปใช้เป็นแหล่งจ่ายกระแสไบอัสให้กับวงจรโอทีเอแบบซีมอส จะเป็นการชดเชยผลของอุณหภูมิที่เกิดขึ้นกับวงจรโอทีเอ นอกจากนี้ยังเป็นการทำให้ค่าความนำของวงจรโอทีเอมีค่าที่เป็นเชิงเส้นกับกระแสควบคุมด้วย เพื่อเป็นการยืนยันถึงสมรรถนะของวงจรที่ได้นำเสนอ ได้ใช้โปรแกรม PSPICE เลียนแบบการทำงานของวงจร

Temperature compensation of CMOS OTA and it's application

Tatree Kompeera , Anucha Kaewpoonsuk , Thawatchai Kamsri , Tipapan Lee , and Vanchai Riewruja
Department of Control Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Landkrabang

In this article, a simple integrable circuit for implementing a temperature compensation circuit for CMOS OTA is introduced. The proposed circuit makes use of a CMOS translinear principle to provide a bias current for OTA, which is inversely proportional to the absolute temperature. As applied with CMOS OTA, the temperature sensitivity of the OTA is compensated and the transconductance gain can also be changed linearly with the bias current. Performance of the scheme is confirmed through PSPICE simulation results.

Keywords: temperature compensation, CMOS OTA

V. Riewruja: vanchai@mvlsi.eng.kmitl.ac.th

การชดเชยผลของอุณหภูมิในวงจรรขยายโอทีเอแบบซีมอส และการประยุกต์ใช้งาน

Temperature compensation of CMOS OTA and it's application

ทตรี คัมภีระ² อนุชา แก้วพูลสุข² ธวัชชัย คำศรี² ธิภาพรรณ แซ่ลี² และ วันชัย รั้วรุจา¹

Tatree Kompeera² Anucha Kaewpoonsuk² Thawatchai Kamtri² Tipapan Lee² and Vanchai Riewruja¹

บทคัดย่อ

บทความนี้เป็น การนำเสนอลักษณะการออกแบบวงจรรขยายโอทีเอแบบซีมอส (CMOS-based Operational Transconductance Amplifier) โดยวงจรถูกพัฒนาขึ้นเป็นการอาศัยคุณสมบัติของวงจรรานส์ลิเนียร์แบบซีมอสเพื่อสังเคราะห์ค่ากระแสเอาท์พุทที่มีค่าผกผันกับผลของอุณหภูมิ และเมื่อนำวงจรดังกล่าวนี้ไปใช้เป็นแหล่งจ่ายกระแสไบอัสให้กับวงจรรขยายโอทีเอแบบซีมอส จะเป็นการชดเชยผลของอุณหภูมิที่เกิดขึ้นกับวงจรรขยายโอทีเอ นอกจากนี้ยังเป็นการทำให้ค่าความนำของวงจรรขยายโอทีเอมีค่าที่เป็นเชิงเส้นกับกระแสควบคุมด้วย เพื่อเป็นการยืนยันถึงสมรรถนะของวงจรถูกนำเสนอ ได้ใช้โปรแกรม PSPICE เลียนแบบการทำงานของวงจรร

ABSTRACT

In this article, a simple integrable circuit for implementing a temperature compensation circuit for CMOS OTA is introduced. The proposed circuit makes use of a CMOS translinear principle to provide a bias current for OTA, which is inversely proportional to the absolute temperature. As applied with CMOS OTA, the temperature sensitivity of the OTA is compensated and the transconductance gain can also be changed linearly with the bias current. Performance of the scheme is confirmed through PSPICE simulation results.

คำนำ

ปัจจุบันการออกแบบวงจรรในรูปของวงจรรวม (Integrated Circuits) โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสกำลังได้รับความนิยมและสนใจมากขึ้น เนื่องจากมีขั้นตอนการผลิตและการใช้พื้นที่บนชิพน้อยกว่าเมื่อเปรียบเทียบกับเทคโนโลยีแบบไบโพลาร์ ซึ่งทำให้มีต้นทุนที่ใช้ในการผลิตต่ำกว่ารวมทั้งเมื่อนำไปใช้งานยังใช้กำลังงานต่ำกว่าด้วย ดังจะเห็นได้จากการที่ในปัจจุบันมีผู้นำเสนอการออกแบบวงจรรโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอสเพื่อการจัดการและการประมวลผลสัญญาณต่างๆ เป็นจำนวนมาก รวมทั้งการออกแบบเพื่อเป็นอุปกรณ์มาตรฐาน เช่น วงจรรออปแอมป์ (Operational Amplifier) วงจรรสายพานกระแส (Current Conveyor) และวงจรรขยายโอทีเอ (Operational Transconductance Amplifier) เป็นต้น ในส่วนของวงจรรขยายโอทีเอนั้นเป็นวงจรรที่ให้เอาท์พุทเป็นสัญญาณกระแสที่แปรผันกับความแตกต่างของศักดาอินพุทที่จุดเข้าทั้งสอง โดยมีค่าอัตราขยายของวงจรรคือค่าความนำ (G_m) โครงสร้างภายในและสัญลักษณ์ของวงจรรขยายโอทีเอแบบพื้นฐานโดยใช้เทคโนโลยีแบบซีมอส (Greeneich 1997) แสดงดังรูปที่ 1 โดยมีสมการแสดงความสัมพันธ์ดังนี้คือ

1 อาจารย์

2 นักศึกษาปริญญาโท

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang.

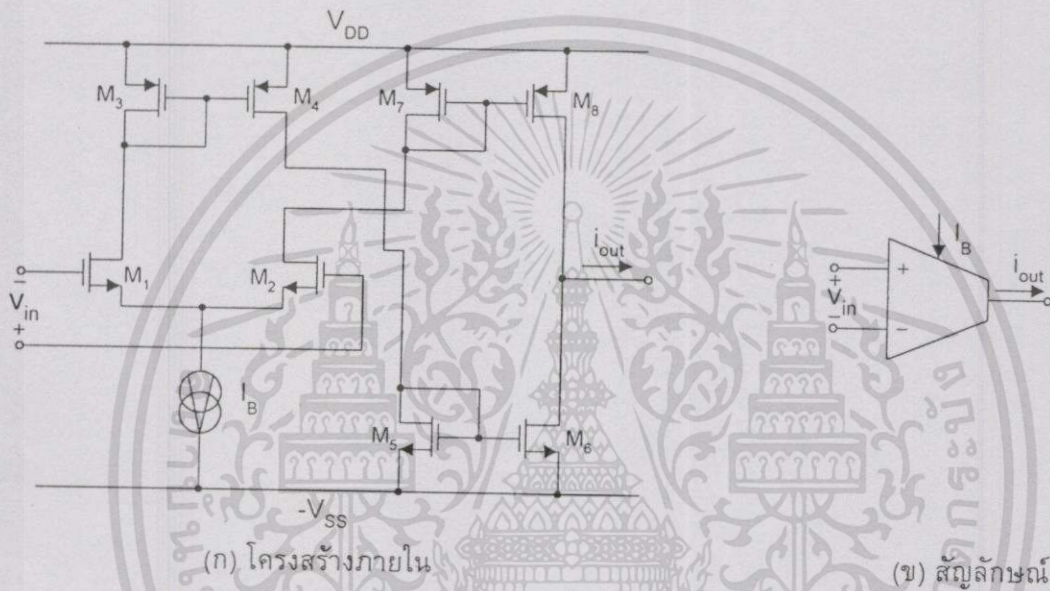
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งหากมีการนำไปใช้

$$i_{out} = G_m v_{in} \quad (1)$$

และ

$$G_m = \frac{I}{R_m} = \sqrt{\frac{K'_p W I_B}{L}} \quad (2)$$

เมื่อ R_m คือ ค่าความต้านทานที่เป็นส่วนกลับของค่าความนำ G_m , I_B คือ ค่ากระแสไบอัส, K'_p คือ ค่าพารามิเตอร์ความนำ (Transconductance Parameter) ของมอสทรานซิสเตอร์, W และ L คือ ความกว้าง และความยาวแชนแนลของทรานซิสเตอร์ M_1 ตามลำดับ



รูปที่ 1 วงจรซีมอสโอทีเอแบบพื้นฐาน

จากสมการที่ (1) และ (2) จะเห็นได้ว่าค่าความนำ (G_m) ของวงจโรทีเอ สามารถปรับได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยการปรับค่ากระแสไบอัส I_B ดังนั้นจึงได้มีการนำวงจโรทีเอไปประยุกต์ใช้ในการออกแบบวงจรเพื่อสังเคราะห์ฟังก์ชันต่างๆ เป็นจำนวนมากทั้งฟังก์ชันที่เป็นเชิงเส้นและที่ไม่เป็นเชิงเส้น (Geiger and S'anchez-Sinencio 1985, S'anchez-Sinencio et al 1989 and Inoue, Ueno, Motomura, Setoguchi and Matsuo 1991) เช่น ใช้เป็นวงจรแปลงสัญญาณแรงดันเป็นสัญญาณกระแส วงจรสังเคราะห์ค่าความต้านทานและฟังก์ชันทางคณิตศาสตร์ต่างๆ วงจรหาค่าต่ำสุดและค่าสูงสุด หรือใช้ในการออกแบบเป็นวงจรกรองสัญญาณเป็นต้น จุดเด่นอีกประการหนึ่งของวงจโรทีเอคือมีแถบความถี่ใช้งานที่คงที่ไม่ขึ้นกับค่าอัตราขยายของวงจร แต่จากสมการที่ (2) จะเห็นว่าค่าความนำวงจโรทีเอแบบซีมอสไม่ได้เป็นค่าที่เป็นเชิงเส้นกับกระแสไบอัส I_B แต่จะติดอยู่ในรูปของค่ารากที่สองของกระแส I_B นอกจากนี้ยังขึ้นกับค่าพารามิเตอร์ความนำ K'_p ของมอสทรานซิสเตอร์ ซึ่งจะทำให้กระแสเอาท์พุทของวงจโรทีเอขึ้นอยู่กับผลของอุณหภูมิอันเนื่องมาจากพารามิเตอร์ K'_p ด้วย บทความนี้จึงได้นำเสนองานวิจัยการออกแบบวงจรเพื่อปรับปรุงค่าความนำของวงจโรทีเอแบบซีมอส โดยการชดเชยผลของอุณหภูมิอันเนื่องมาจากพารามิเตอร์ K'_p และการทำให้ค่าความนำของวงจโรทีเอเป็นเชิงเส้นกับกระแสไบอัส พร้อมทั้งได้นำเสนอตัวอย่างการนำไปประยุกต์ใช้งานและการเปรียบเทียบระหว่างการใช้และไม่ใช้วงจรชดเชยผลของอุณหภูมิที่ได้ทำการพัฒนาต่อรวม

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีและหลักการทํางานของวงจร

ในรูปที่ 2 แสดงวงจรชดเชยผลของอุณหภูมิที่ได้พัฒนาขึ้น โดยถือว่าทรานซิสเตอร์ทุกตัวมีความสมพียงกันและมีการทํางานอยู่ในช่วงอิมิตัว การทํางานของวงจรสามารถอธิบายได้ดังนี้คือ กำหนดให้ศักดาที่ขาเกตของทรานซิสเตอร์ M_1 - M_3 เท่ากับ V_R+V_A , V_R-V_A และ V_R ตามลำดับ วงจรสะท้อนกระแส $M_4 - M_5$ มีอัตราการสะท้อนกระแสเท่ากับ 1 ซึ่งจะได้ความสัมพันธ์ดังนี้

$$I_{DM5} = I_{DM4} = I_{DM1} + I_{DM2} \quad (3)$$

$$I_{DM5} = \beta_{M1}(v_R + v_A - v_{ss} - v_{TH})^2 + \beta_{M2}(v_R - v_A - v_{ss} - v_{TH})^2 \quad (4)$$

และ
$$I_{DM3} = \beta_{M3}(v_R - v_{ss} - v_{TH})^2 \quad (5)$$

เมื่อ V_{TH} คือ ค่าศักดาวิกฤติ (Threshold Voltage) ของมอสทรานซิสเตอร์ และค่า β , คือ

$$\beta_{Mi} = \left(\frac{K'_p W}{2L} \right)_{Mi} = \left(\frac{\mu_n C_{ox} W}{2L} \right)_{Mi} \quad (6)$$

จากสมการที่ (4)-(6) กำหนดให้และ $\beta_{M3}=2\beta_{M1}=2\beta_{M2}$ จะได้กระแสเดรนของ M_6 คือ

$$\begin{aligned} I_{DM6} &= I_{DM5} - I_{DM3} \\ I_{DM6} &= \left(\frac{K'_p W}{L} \right)_{M1} V_A^2 \end{aligned} \quad (7)$$

จากวงจรในรูปที่ 2 พิจารณาที่ M_{10} - M_{13} อาศัยหลักการทรานส์ลีนีเยร์แบบซิมอส (Greeneich 1997) โดยกำหนดให้วงจรสะท้อนกระแส M_6 - M_9 มีอัตราการสะท้อนกระแสเท่ากับ 1 ซึ่งจะได้

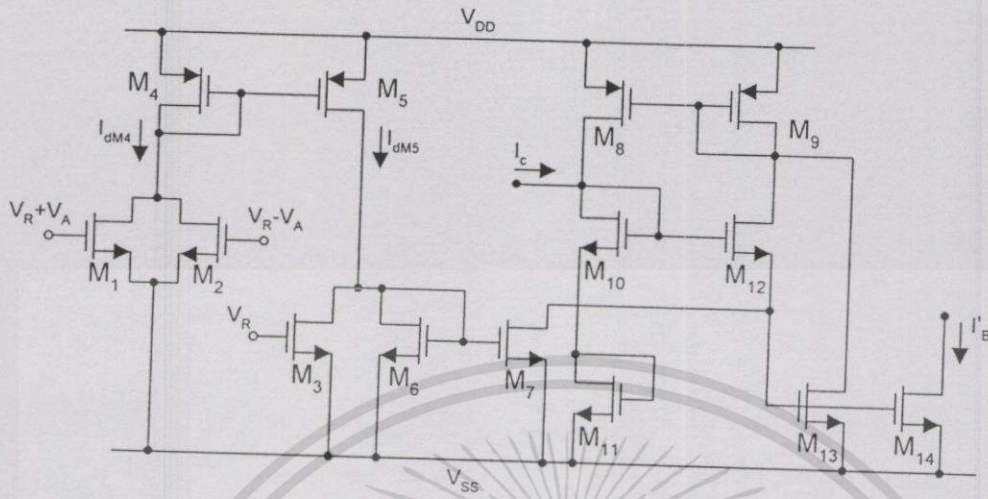
$$V_{gs10} + V_{gs11} = V_{gs12} + V_{gs13} \quad (8)$$

โดยที่
$$V_{gsi} = v_{TH} + \sqrt{\frac{I_{DMi}}{\beta_{Mi}}} \quad (9)$$

และ
$$I_{DM12} = I_{DM7} = I_{DM6} \quad (10)$$

$$I_{DM10} = I_{DM11} = I_c + I_{DM8} = I_c + I_{DM12} + I_{DM13} \quad (11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 วงจรชดเชยผลของอุณหภูมิที่ได้พัฒนาขึ้น

แทนค่าสมการที่ (9)-(11) ลงในสมการที่ (8) โดยกำหนดให้ $\beta_{M10} = \beta_{M11} = 4\beta_{M12} = 4\beta_{M13}$ จะได้

$$I_{DM13} = \frac{I_c}{4\beta_{M16}} \tag{12}$$

จากสมการที่ (12) เนื่องจากคัตตาคร่อมขาเท่ากับขอสของ M_{13} และ M_{14} ต่อรวมกันดังนั้นเมื่อกำหนดให้ $\beta_{M14} = 4\beta_{M13}$ และทำการแทนค่าสมการที่ (7) ลงในสมการที่ (12) จะค่าได้กระแสที่จุดออกของวงจร $I'_B = I_{DM14}$ เท่ากับ

$$I'_B = \frac{I_c}{\left(\frac{K_p}{K_n} \frac{W}{L}\right)_{M11}} V_A^2 \tag{13}$$

จากสมการที่ (13) จะเห็นว่ากระแสเอาท์พุทของวงจรในรูปที่ 2 แปรผันตรงกับค่ากระแส I_c และแปรผกผันกับค่าพารามิเตอร์ความนำของมอสทรานซิสเตอร์ (K_p) ซึ่งเมื่อนำวงจรดังกล่าวนี้ไปใช้เป็นแหล่งจ่ายกระแสไบอัสให้กับวงจรโอทีเอในรูปที่ 1 จะได้ค่าความนำของวงจรโอทีเอใหม่คือ

$$G_{m(new)} = \frac{I_c}{V_A} \sqrt{\left(\frac{W}{L}\right)_{M(OTA)} \left(\frac{L}{W}\right)_{M(K_p)}} \tag{14}$$

เมื่อ $(W/L)_{M(OTA)}$ คือ อัตราส่วนความกว้างต่อความยาวแชนแนลของ M_1 ในวงจรโอทีเอ(รูปที่ 1)

$(L/W)_{M(K_p)}$ คือ อัตราส่วนความยาวต่อความกว้างแชนแนลของ M_1 ในวงจรชดเชยผลของอุณหภูมิที่นำเสนอ(รูปที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

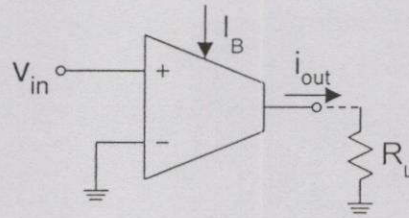
ผลการเลียนแบบการทำงานของวงจร

ในการทดสอบสมรรถนะของวงจรที่ได้นำเสนอ ได้ใช้โปรแกรม PSPICE เลียนแบบการทำงานของวงจรโดยได้ยกตัวอย่างการนำวงจรโอทีเอในรูปที่ 1 มาต่อเป็นวงจรเปลี่ยนศักดาเป็นกระแส วงจรเลียนแบบค่าความต้านทานแบบลอยตัว และวงจรกรองความถี่สูงผ่าน ดังแสดงในรูปที่ 3(ก), 4(ก) และ 5(ก) ตามลำดับ โดยมีการกำหนดค่าพารามิเตอร์ต่างๆ ดังนี้คือ $V_{DD} = -V_{SS} = 2.5V$, $V_R = -1.0V$, $V_A = 0.5V$, $R_L = 1k\Omega$ และ $C_1 = 10nF$ สำหรับค่าอัตราส่วน W/L ของทรานซิสเตอร์ในวงจรโอทีเอ(รูปที่ 1) และวงจรชดเชยผลของอุณหภูมิ(รูปที่ 2) แสดงดังตารางที่ 1 และ 2 ตามลำดับ ในรูปที่ 3(ข) และ 3(ค) เป็นผลการทดสอบเปรียบเทียบค่าความนำของวงจรในรูปที่ 3(ก) ระหว่างการใช้และไม่ใช้วงจรในรูปที่ 2 ต่อร่วมโดยการกำหนดค่า $V_{in} = 10mV$ ในรูปที่ 3(ข) เป็นผลจากการแปรค่ากระแสไบอัส I_B (วงจรซิมอสโอทีเอแบบดั้งเดิม) และ I_C (ใช้วงจรในรูปที่ 2 ต่อร่วม) โดยกำหนดให้ $I_B = I_C$ แปรค่าจาก $0 - 90\mu A$ ซึ่งจะเห็นได้ว่ากรณีที่ไม่วางวงจรในรูปที่ 2 ต่อร่วมค่าความนำของวงจรจะแปรผันกับค่ารากที่สองของกระแสไบอัส I_B และเมื่อใช้วงจรในรูปที่ 2 ต่อร่วมค่าความนำของวงจรจะแปรผันตรงกับค่ากระแสไบอัส I_C แต่ก็มีความผิดพลาดอยู่บ้างในช่วง $I_C < 10\mu A$ ในรูปที่ 3(ค) แสดงผลจากการแปรค่าอุณหภูมิตั้งแต่ $0 - 100^\circ C$ โดยกำหนดค่า $I_B = I_C = 44.925\mu A$ รูปที่ 4(ข) เป็นผลการทดสอบการทำงานของวงจรของวงจรในรูปที่ 4(ก) โดยกำหนดค่า $V_2 = 0V$, $I_B = I_C = 44.925\mu A$ ที่อุณหภูมิ $0^\circ C$, $27^\circ C$ และ $100^\circ C$ และทำการแปรค่าศักดา V_1 ตั้งแต่ $0 - 0.5V$ ในรูปที่ 5(ข) เป็นผลการทดสอบการทำงานของวงจรของวงจรในรูปที่ 5(ก) โดยกำหนดค่า V_{in} เป็นสัญญาณกระแสสลับขนาด $10mV$, $I_B = I_C = 44.925\mu A$ ที่อุณหภูมิ $0^\circ C$, $27^\circ C$ และ $100^\circ C$ และทำการแปรค่าความถี่ตั้งแต่ $100Hz - 100kHz$ จากผลการเลียนแบบการทำงานของวงจรตั้งแต่ในรูปที่ 3(ข) - 5(ข) จะเห็นได้ว่าเมื่อใช้วงจรในรูปที่ 2 ต่อร่วมจะสามารถลดผลของอุณหภูมิที่เกิดขึ้นกับวงจรโอทีเอแบบซิมอสลงได้

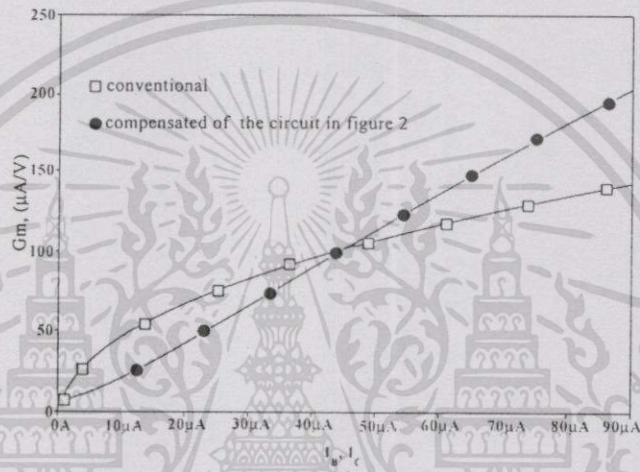
ทรานซิสเตอร์	ค่า W/L ($\mu m/\mu m$)
$M_1 - M_2, M_5 - M_6$	6/5
$M_3 - M_4$	10/5
$M_7 - M_8$	10/6

ตารางที่ 1 อัตราส่วน W/L ของทรานซิสเตอร์ในวงจรซิมอสโอทีเอ(รูปที่ 1)

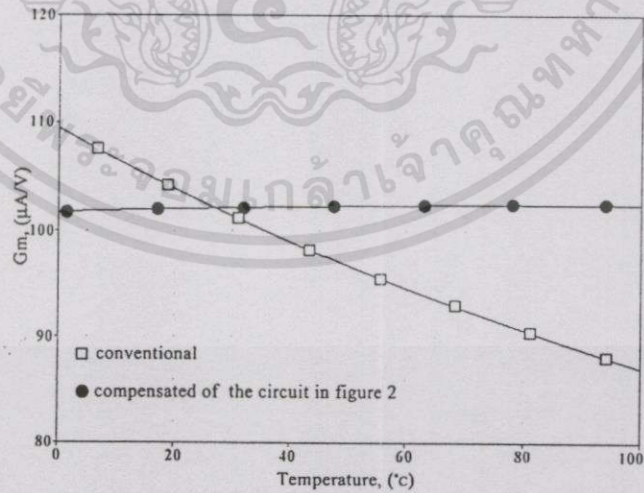
ทรานซิสเตอร์	ค่า W/L ($\mu m/\mu m$)
$M_1 - M_2$	6/5
M_3	12/5
$M_4 - M_5, M_8 - M_9$	10/5
$M_6 - M_7$	12/10
$M_{10} - M_{11}, M_{14}$	28/5
$M_{12} - M_{13}$	7/5



รูปที่ 3(ก) วงจรเปลี่ยนศักดาเป็นกระแส

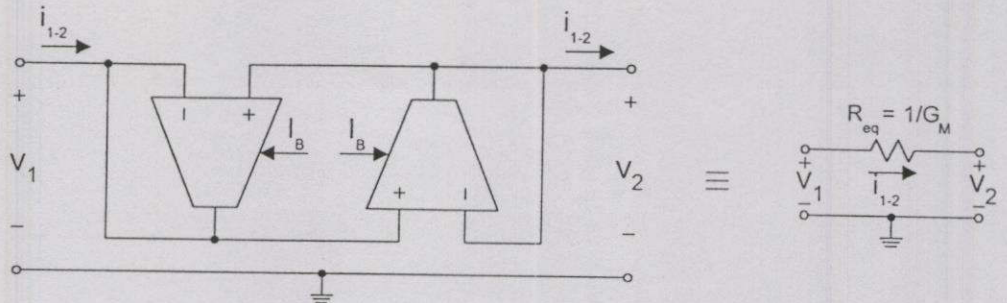


รูปที่ 3(ข) ผลการแปรค่ากระแสไบอัส I_B และ I_C

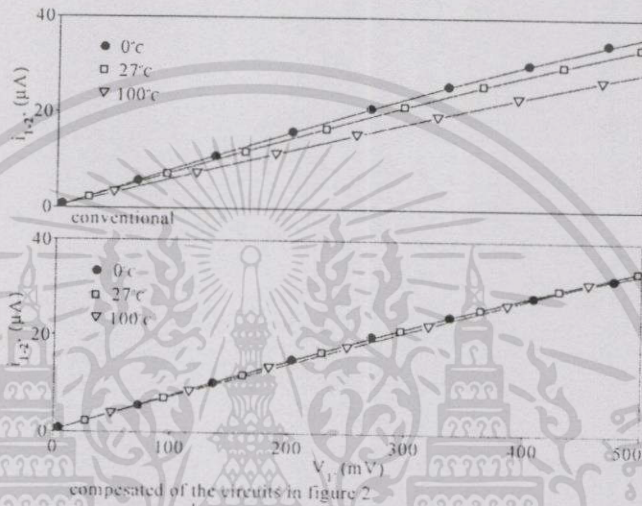


รูปที่ 3(ค) ผลการแปรค่าอุณหภูมิ

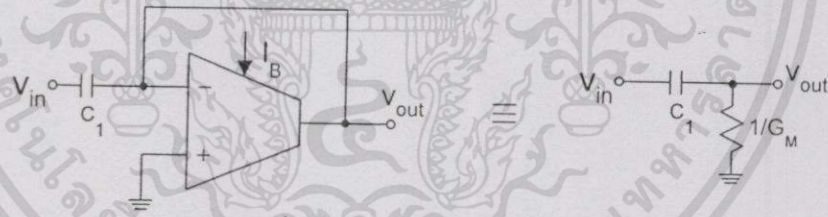
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



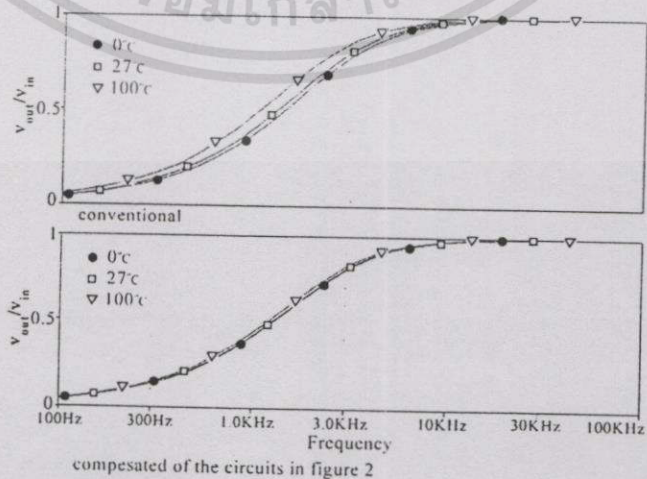
รูปที่ 4(ก) วงจรเลียนแบบค่าความต้านทานแบบลอยตัว



รูปที่ 4(ข) ผลการแปรค่าตัดตา V_1



รูปที่ 5(ก) วงจรกรองความถี่สูงผ่าน



รูปที่ 5(ข) ผลการแปรค่าความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุป

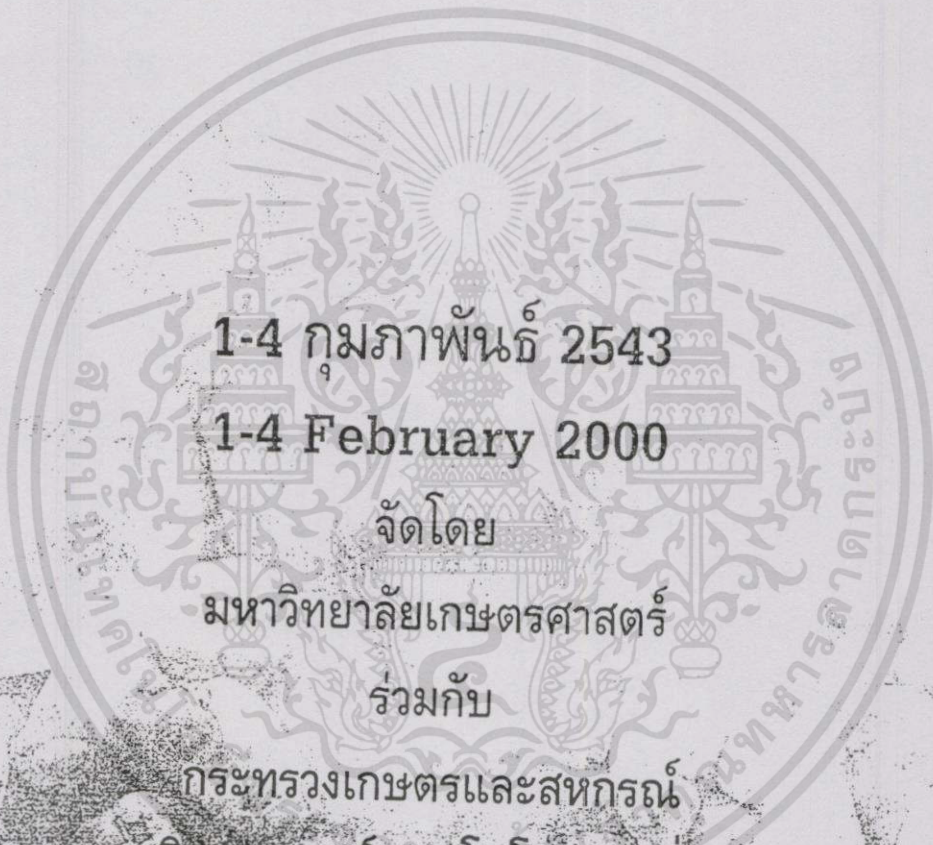
บทความนี้เป็น การนำเสนอการออกแบบวงจรออกแบบวงจรเพื่อปรับปรุงค่าความนำ (G_m) ของวงจรขยายโอทีเอแบบซีมอส ซึ่งเมื่อนำวงจรดังกล่าวนี้ไปใช้เป็นแหล่งจ่ายกระแสไบอัสให้กับวงจรโอทีเอแบบซีมอส จะสามารถลดผลของอุณหภูมิอันเนื่องมาจากพารามิเตอร์ความนำ (K_p) ของมอสทรานซิสเตอร์ และยังเป็นการทำให้ค่าความนำของวงจรโอทีเอสามารถควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์อย่างเป็นเชิงเส้นกับค่ากระแสควบคุม

เอกสารอ้างอิง

- Edwin W. Greeneich. 1997. CMOS Transconductance Amplifier. Analog Integrated Circuits. 191-194.
- Randall L. Geiger and Edgar S'anchez-Sinencio. 1985. Active Filter Design Using Operational Transconductance Amplifier: A Tutorial. IEEE Circuits and Devices Magazine. 1:20-32.
- Edgar S'anchez-Sinencio, Jaime Ramirez-Angulo, Bernab'e Linares-Barranco and Angel Rodriguez-V'zquez. 1989. Operational Transconductance Amplifier-Based Nonlinear Function Syntheses. IEEE Journal of Solid State Circuits. 24:1576-1989.
- T. Inoue, F. Ueno, T. Motomura, O. Setoguchi and R. Matsuo. 1991. New High-Speed Analogue Max and Min Circuits Using OTA-Based Bounded-Difference Operations. Electronics Letters. 27: 1034-1035.

การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 38 The 38th Kasetsart University Annual Conference

สาขาวิศวกรรมศาสตร์ และ
สาขาอุตสาหกรรมเกษตร



1-4 กุมภาพันธ์ 2543

1-4 February 2000

จัดโดย

มหาวิทยาลัยเกษตรศาสตร์

ร่วมกับ

กระทรวงเกษตรและสหกรณ์

กระทรวงวิทยาศาสตร์ เทคโนโลยีและสิ่งแวดล้อม

ทบวงมหาวิทยาลัย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 38

ตัวรับส่งสัญญาณกระแสแบบหนึ่งคู่สาย สำหรับงานควบคุมและการวัดระยะไกล	206
Two Wires Current Signal Transceiver For Remote Control And Telemetry	
สมชาย สุภาพ วันชัย รั้วรุจา อนุชา แก้วพูลสุข และ สุจินต์ อันพันลำ	
Somchai Supaph, Vanchai Riewruja, Anucha Kaewpoonsuk and Sujin Anphanlam	
วงจรรขยายสัญญาณรบกวนต่ำ 2 สเตจสำหรับระบบการสื่อสารไมโครเวฟ.....	213
2-Stage Low Noise Amplifier For Microwave Communication System	
ณัฐพล จินดา มนต์ชัย แซ่มช้อย สถาพร พรหมวงศ์ และ ประกิจ ดังติสานนท์	
Nuttapol Chinda, Monchai Chamchoy, Sathaporn Promwong and Prakrit Tangtisanon	
การเหนี่ยวนำกระแสอากาศปั่นป่วนระหว่างกระแสอิสระในระนาบ และทรงกระบอกอิสระเรียงกัน 2 อัน.....	220
Flow-Induced Turbulence Between A Plane Jet And Two Abreast Small Cylinders	
ศานติ วิริยะวิทย์ วิชิต สายประดิษฐ์ และบรรพต ศิรินทรานูช	
Santi Wiriyawit, Wichit Laipradit and Banphot Sirinthranuch	
การออกแบบระบบเซลล์แสงอาทิตย์เพื่อเพิ่มสมรรถนะของหลังคาติดตั้งโซลาร์เซลล์.....	230
Design Of A Simple Pv System To Enhance The Role Of Roof Solar Collector	
สหรัฐ อิงคะวนิช จงจิตร์ หิรัญลาภ และโจเซฟ เคดารี	
Saharat Ingkawanich, Jongjit Hirunlabh and Joseph Khedari	
การพัฒนาเตาปิ้งอาหารพลังงานแสงอาทิตย์.....	238
Development Of A Solar Grill	
สิทธิศักดิ์ พันธุ์บุญนาคจงจิตร์ หิรัญลาภ และโจเซฟ เคดารี	
Sittisak Panbunnak, Jongjit Hirunlabh and Joseph Khedari	
การพัฒนาหม้อหุงข้าวพลังงานแสงอาทิตย์.....	244
Development Of A Solar Rice Cooker	
สมภพ ปัญญาสมพรรค จงจิตร์ หิรัญลาภ และโจเซฟ เคดารี	
Sompop Punyasompuk, Jongjit Hirunlabh and Joseph Khedari	
การศึกษาปฏิกิริยาออกซิเดทีฟไฮโดรจีเนชันของบิวเทนในเครื่องปฏิกรณ์ แบบอินเนอร์ทเมมเบรน.....	252
Oxidative Dehydrogenation Of Butane In A Ceramic Membrane Reactor	
ถาวร เหมยชญาลานุสาร สุทธิชัย อัสสะบารุงรัตน์ Shigeo Goto และ ปิยะสาร ประเสริฐธรรม	
Tavorn Rienchalanusarn, Suttichai Assabumrungrat, Shigeo Goto and Piyasan	
Praserthdam	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวรับส่งสัญญาณกระแสแบบหนึ่งคู่สาย สำหรับงานควบคุมและการวัดระยะไกล

Two Wires Current Signal Transceiver For Remote Control And Telemetry

สมชาย สุภาพ วันชัย รีวรุจา อนุชา แก้วพูลสุข และ สุจินต์ อันพันล้า

Somchai Supaph, Vanchai Riewruja, Anucha Kaewpoonsuk and Sujin Anphanlam

ภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

Department of Control Engineering, Faculty of Engineering,

King Mongkul's Institute of Technology Ladkrabang

บทคัดย่อ

บทความนี้เป็นการนำเสนอตัวรับส่งสัญญาณแบบกระแสที่ใช้สายสัญญาณเพียงคู่เดียวในการควบคุมและการวัดสัญญาณระยะไกล โดยที่สัญญาณที่รับและส่งจะเป็นสัญญาณกระแสแบบอนุภาค และสามารถที่จะรับและส่งได้ในเวลาเดียวกัน การออกแบบตัวรับส่งสัญญาณที่นำเสนอจะประกอบไปด้วยวงจรสายพาน-กระแสแบบลบขั้วมีจุดออก 2 จุด 2 ชุด และความต้านทาน 2 ตัว สมรรถนะของวงจรสามารถที่ยืนยันได้ด้วยผลการเลียนแบบการทำงานด้วยโปรแกรม PSPICE

ABSTRACT

In this article, an analog current signal transceiver using two-wires connection for remote control and telemetry is proposed. The proposed transceiver can transmit and receive the current signal at the same time. The design consists of two dual output negative current conveyors (CCII-) and two resistors. Simulation results demonstrating the circuit performance are confirmed by using PSPICE analogue simulation program.

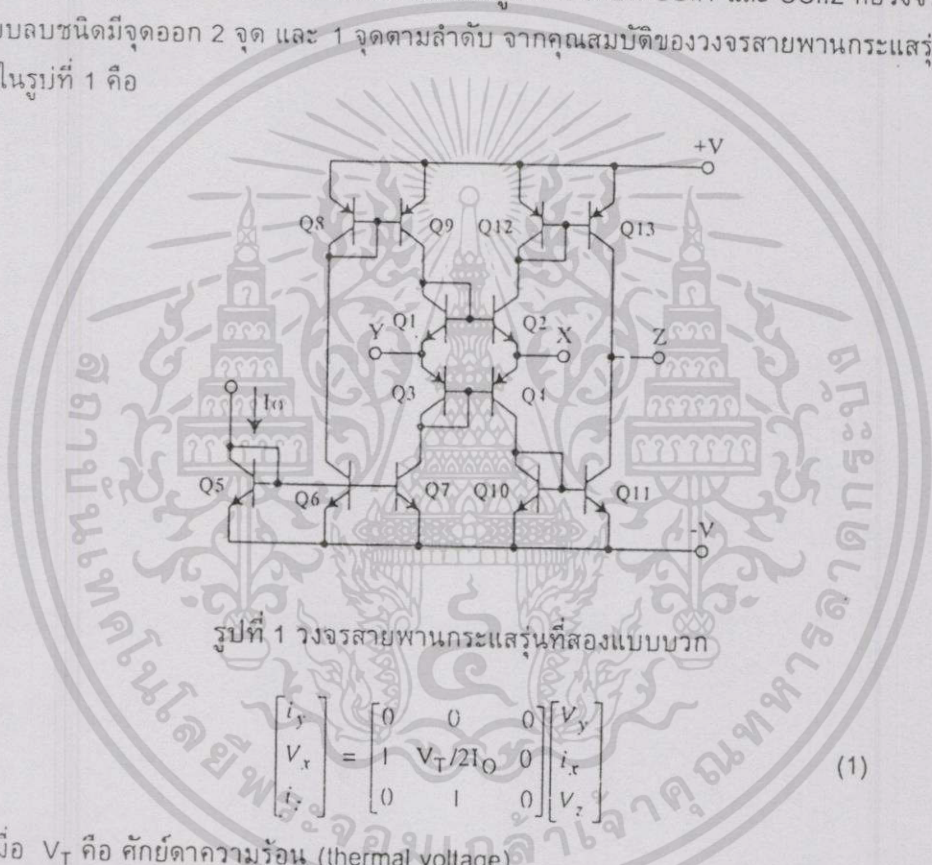
คำนำ

การวัดสัญญาณและการควบคุมระยะไกลเป็นส่วนสำคัญเป็นอย่างมาก สำหรับการควบคุมและตรวจวัดสัญญาณในระบบอุตสาหกรรมขนาดใหญ่ เช่น การควบคุมการหมุนของลูกหีบอ้อย การควบคุมอุณหภูมิในหม้อไอน้ำ การควบคุมการเผาไหม้ของเชื้อเพลิงในโรงจักรไฟฟ้า การควบคุมอุณหภูมิของหม้อย้อมผ้า เป็นต้น การวัดสัญญาณระยะไกลจะทำการส่งสัญญาณจากจุดที่ต้องการจะวัดไปยังห้องควบคุม ซึ่งจุดที่ต้องการจะวัดสัญญาณโดยทั่วไปจะเป็นบริเวณที่ค่อนข้างอันตรายหรือบริเวณที่ไม่สามารถเข้าถึงได้ จึงจำเป็นที่จะต้องนำเครื่องมือไปติดตั้งบริเวณที่จะวัดสัญญาณ ในขณะเดียวกันอุปกรณ์ที่ใช้สำหรับควบคุมส่วนใหญ่จะอยู่ในบริเวณเดียวกับจุดที่จะทำการวัดสัญญาณ ดังนั้นการวัดสัญญาณและการควบคุมจึงจะต้องใช้การรับส่งสัญญาณระยะไกล ในการส่งสัญญาณที่วัดได้และสัญญาณสำหรับควบคุมจึงนิยมใช้การส่งแบบกระแสเพื่อให้การส่งสัญญาณสามารถส่งได้ในระยะทางไกลและมีการรบกวนของสัญญาณรบกวนต่ำ ทำให้สัญญาณที่รับได้หรือส่งออกไปเข้ามามีความเที่ยงตรงสูง การรับส่งสัญญาณแบบกระแสโดยทั่วไปจะแยกสายสัญญาณออกเป็นสองชุดคือ สายสำหรับส่งหนึ่งชุดและรับหนึ่งชุด ในขณะเดียวกันก็จะ

ต้องมีสายสำรองอีกอย่างละหนึ่งชุดสำหรับใช้ในกรณีฉุกเฉินที่สายสัญญาณเดิมเกิดปัญหา ทำให้จะต้องสิ้นเปลืองสายสัญญาณ และค่าใช้จ่ายมากขึ้น ในบทความนี้จะเป็นการนำเสนอการรับส่งสัญญาณกระแสที่ใช้สายสัญญาณชุดเดียวสำหรับการรับและส่งสัญญาณสำหรับงานวัดและควบคุมระยะไกล โดยสัญญาณกระแสที่รับและส่งจะเป็นแบบอนาล็อกและสามารถรับและส่งได้ในเวลาเดียวกัน ทำให้สามารถที่จะลดจำนวนของสายนำสัญญาณและลดค่าใช้จ่ายลงได้ หลักการของวงจรที่นำเสนอจะมีรูปแบบที่ง่ายไม่ซับซ้อน และมีขนาดเล็ก สามารถที่จะทำงานได้อย่างมีประสิทธิภาพ มีช่วงผลตอบสองทางความถี่ที่กว้าง และยังสามารถรับส่งสัญญาณแบบดิจิตอลได้อีกด้วย

หลักการทํางาน

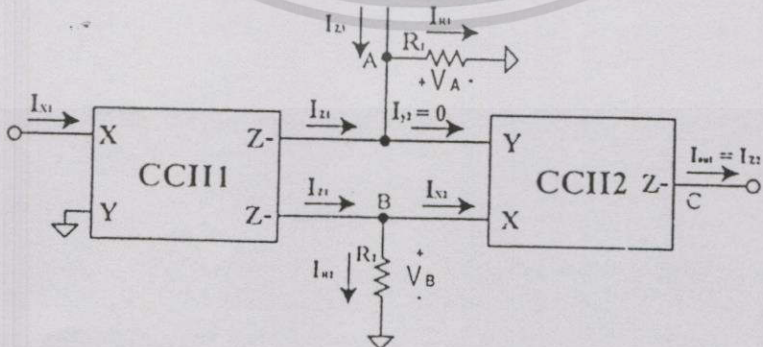
ตัวรับส่งสัญญาณกระแสแบบอนาล็อก แสดงดังรูปที่ 2 โดยที่ CCII1 และ CCII2 คือวงจรสายพานกระแสแบบลบชนิดมีจุดออก 2 จุด และ 1 จุดตามลำดับ จากคุณสมบัติของวงจรสายพานกระแสรุ่นที่สอง ดัง แสดงในรูปที่ 1 คือ



รูปที่ 1 วงจรสายพานกระแสรุ่นที่สองแบบบวก

$$\begin{bmatrix} i_y \\ V_x \\ i_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & V_T/2I_O & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ i_x \\ V_z \end{bmatrix} \quad (1)$$

เมื่อ V_T คือ ศักย์ตาความร้อน (thermal voltage)



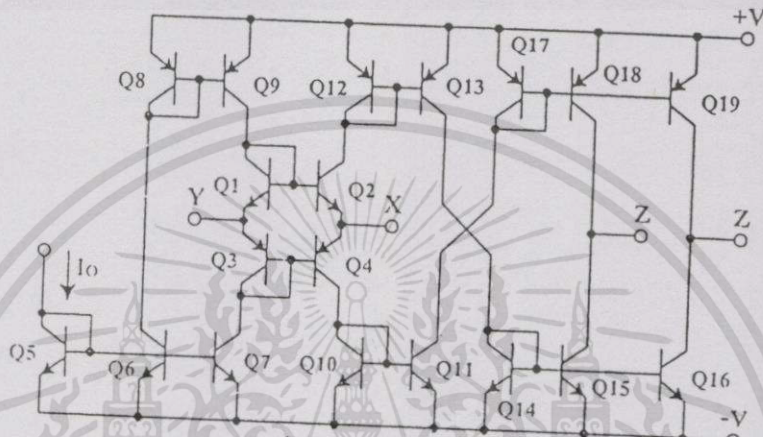
รูปที่ 2 ตัวรับส่งสัญญาณอนาล็อกแบบกระแส

$$I_{out1} = I_{in2} \tag{8}$$

และ

$$I_{out2} = I_{in1} \tag{9}$$

จากสมการที่ (8) และ (9) I_{in1} และ I_{in2} คือสัญญาณกระแสที่ตัวรับส่งสัญญาณ ชุดที่ 1 ต้องการส่งไปให้ตัวรับส่งสัญญาณ ชุดที่ 2 และสัญญาณกระแสที่ตัวรับส่งสัญญาณ ชุดที่ 2 ต้องการส่งไปให้ตัวรับส่งสัญญาณ ชุดที่ 1 ตามลำดับ สำหรับ I_{out1} และ I_{out2} คือสัญญาณกระแสที่ตัวรับส่งสัญญาณทั้งสองรับได้



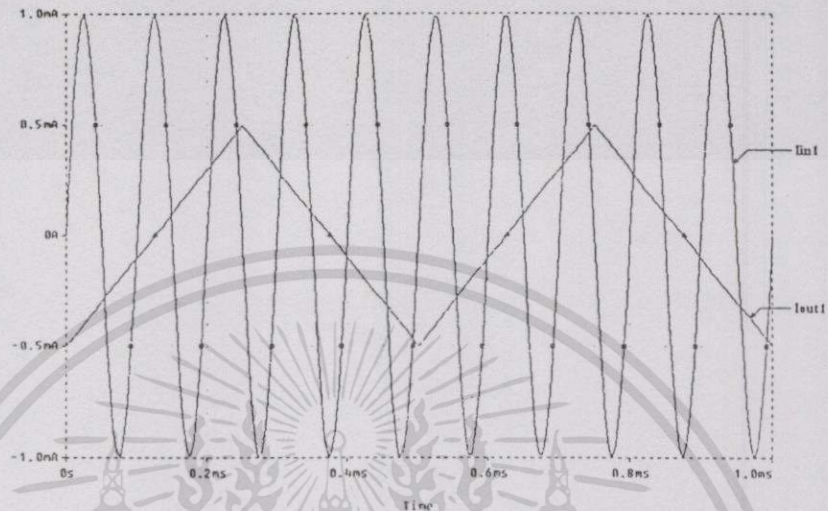
รูปที่ 4 วงจรของวงจรสายพานกระแสรุ่นที่ 2 แบบลบ ชนิดมีจุดออกสองจุดที่ปรับปรุงจากรูปที่ 1

ผลการเลียนแบบการทำงานของตัวรับส่งสัญญาณ

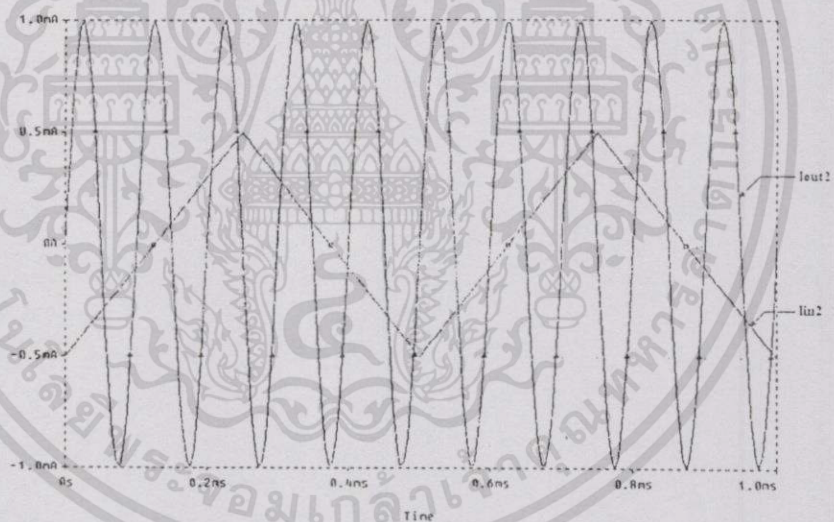
ในการยืนยันถึงสมรรถนะของวงจรที่นำเสนอจะใช้โปรแกรม PSPICE เลียนแบบการทำงานของวงจรในรูปที่ 3 โดยใช้วงจรสายพานกระแสรุ่นที่สองในรูปที่ 4 เป็นหลัก โดยได้เลือกใช้ทรานซิสเตอร์ชนิด PNP เบอร์ 2N3906 และชนิด NPN เบอร์ 2N3904 , $I_o = 1\text{mA}$, $V_{CC} = 15\text{V}$, $V_{EE} = -15\text{V}$, $R_1 = R_2 = R_3 = 100\Omega$

รูปที่ 5 แสดงผลการเลียนแบบการทำงานของตัวรับส่งสัญญาณในรูปที่ 3 เมื่อป้อน I_{in1} เป็นสัญญาณกระแสแอสลับไซน์ขนาด 1mA ความถี่ 10kHz ที่จุดเข้า IN1 ของตัวรับส่งสัญญาณตัวที่ 1 และป้อน I_{in2} เป็นสัญญาณกระแสแอสลับสี่เหลี่ยมขนาด 0.5mA ความถี่ 2kHz ที่จุดเข้า IN2 ของตัวรับส่งสัญญาณตัวที่ 2 ซึ่งจะได้ กระแสเอาท์พุท I_{out1} และ I_{out2} ที่จุดออก OUT1 และ OUT2 ของตัวรับส่งสัญญาณทั้งสองตามลำดับ โดย I_{in1} ในรูปที่ 5(ก) จะไปปรากฏเป็น I_{out2} ในรูปที่ 5(ข) ในทำนองเดียวกัน I_{in2} ในรูปที่ 5(ข) จะปรากฏเป็น I_{out1} ในรูปที่ 5(ก) ซึ่งจะเห็นได้ว่าวงจรที่นำเสนอสามารถที่จะรับส่งสัญญาณได้อย่างถูกต้อง

การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 38



(ก) ตัวรับส่งสัญญาณ ตัวที่ 1

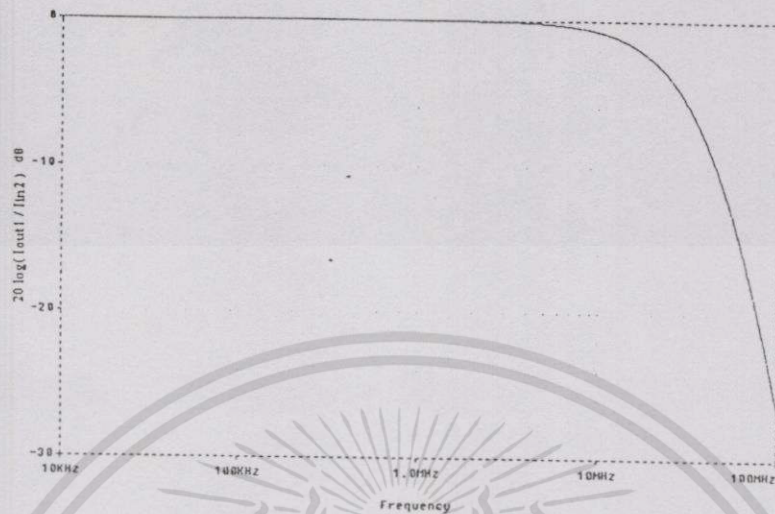


(ข) ตัวรับส่งสัญญาณ ตัวที่ 2

รูปที่ 5 ผลการเลียนแบบการทำงานของตัวรับส่งสัญญาณด้วยโปรแกรม PSPICE

ในรูปที่ 6 แสดงให้เห็นถึงผลตอบสนองทางความถี่ของวงจรที่นำเสนอ จะเห็นได้ว่าผลตอบสนองทางความถี่จะมีค่าประมาณ 20 MHz

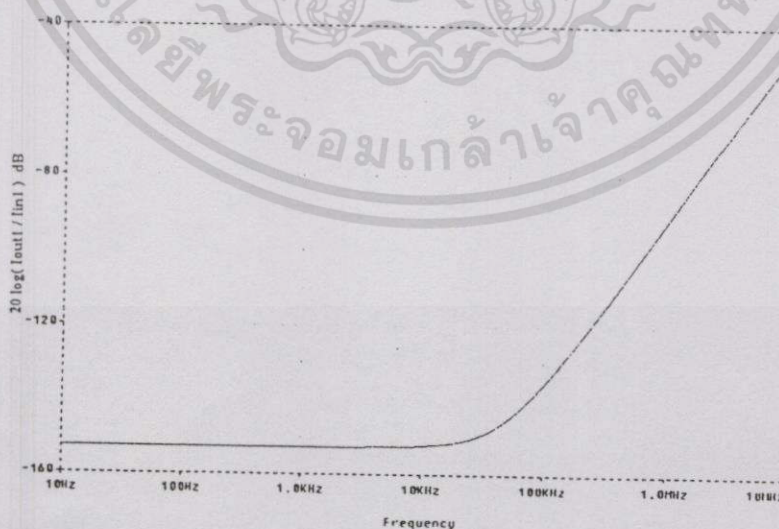
การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 38



รูปที่ 6 ผลตอบสนองทางความถี่ของตัวรับส่งสัญญาณทั้งสอง

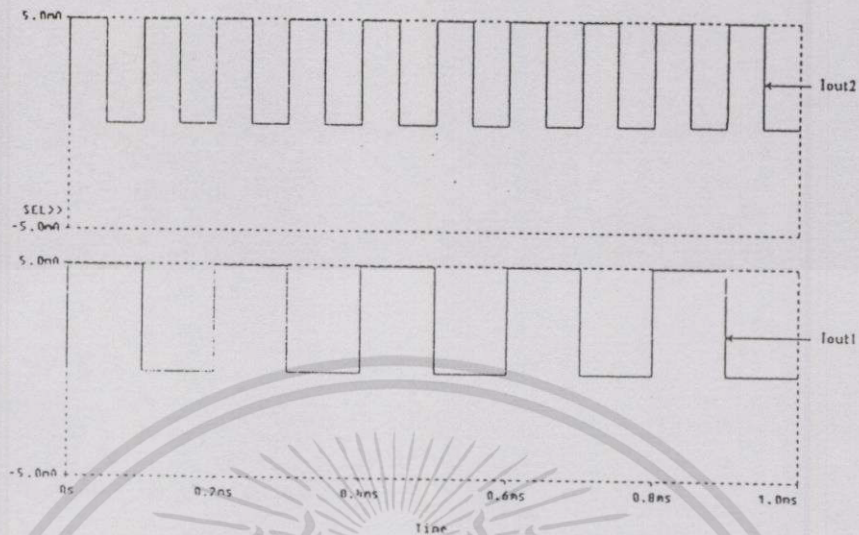
สำหรับผลการรบกวนกันระหว่างจุดเข้าและจุดออกของตัวรับส่งสัญญาณเมื่อป้อนสัญญาณเข้าที่จุดเข้าและวัดสัญญาณที่จุดออกของตัวรับส่งสัญญาณตัวเดียวกัน โดยจะได้สัญญาณรบกวนกันระหว่างจุดเข้าและจุดออกมีค่าเท่ากับ -153dB ซึ่งเป็นค่าน้อยมาก ดังแสดงในรูปที่ 7

ในรูปที่ 8 เป็นผลการเขียนแบบการทำงานของวงจร เมื่อป้อนสัญญาณเป็นรูปสี่เหลี่ยมขนาด 5mA ความถี่ 10kHz และ 5kHz เข้าที่จุดเข้า IN1 และจุดเข้า IN2 ของตัวรับส่งสัญญาณทั้งสองตามลำดับ โดยจะได้กระแสที่จุดออก OUT1 เท่ากับกระแสที่จุดเข้า IN2 และกระแสที่จุดออก OUT2 เท่ากับกระแสที่จุดเข้า IN1



รูปที่ 7 การรบกวนกันระหว่างจุดเข้าและจุดออก

การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 38



รูปที่ 8 สัญญาณจุดออกของตัวรับส่งสัญญาณทั้ง 2 ชุด เมื่อสัญญาณจุดเข้าเป็นสัญญาณรูปสี่เหลี่ยม

สรุป

บทความนี้เป็นข้อเสนอการออกแบบตัวรับส่งสัญญาณอนาล็อกแบบกระแสสำหรับการควบคุมและการวัดระยะไกล โดยใช้วงจรรสายพานกระแสรุ่นที่ 2 สองชุดประกอบกับตัวต้านทานแค่สองตัว ทำให้ได้ตัวรับส่งสัญญาณที่สามารถรับและส่งสัญญาณกระแส ที่ขนาดและความถี่ต่างๆได้ในเวลาเดียวกัน โดยผ่านทางสายสัญญาณเพียงเส้นเดียว ตัวรับส่งสัญญาณที่นำเสนอจะมีผลตอบสนองทางความถี่ที่กว้างและมีความเที่ยงตรงสูง

เอกสารอ้างอิง

- C. Toumazou, F.J. Lidgley, and D.G. Haigh, April, 1990. Analogue IC design : the current-mode approach, Peter Peeregrinus Ltd.
- Edwin W. Greneich, 1997. Analog Integrated circuits, Chapman & Hall.
- Fabre, O. Saaid, F. Wicst and C. Boucheron, 1996. High frequency applications based on a new current controlled conveyor, IEEE Trans Circuit & Systems, CAS vol. 43, no. 2, 82-91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่รวมกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายอนุชา แก้วพูลสุข เกิดเมื่อวันที่ 12 กุมภาพันธ์ 2517 ที่จังหวัดพิษณุโลก สำเร็จการศึกษา
 วิทยาศาสตรบัณฑิต สาขาวิชาฟิสิกส์-คอมพิวเตอร์และอิเล็กทรอนิกส์ จากมหาวิทยาลัยนเรศวร
 จังหวัดพิษณุโลก ปีการศึกษา 2539



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้