

วงจรหารแรงดันเชิงอนุภาคสี่ภาคโดยใช้ CMOS

THE CMOS FOUR-QUADRANT ANALOGUE VOLTAGE DIVIDER



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของเอกสารตีพิมพ์ของศูนย์บริการข้อมูลวิทยาศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2542

ISBN 974-622-510-3

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรหารแรงดันเชิงอุปมานสี่ควอดแดรนต์ที่ใช้ CMOS

THE CMOS FOUR-QUADRANT ANALOGUE VOLTAGE DIVIDER



ชัยสิทธิ์ อร่ามมงคลวิชัย

CHAIASITH ARAMMONGKONWICHAI

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาดมหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2542

ISBN 974-622-510-3

เลขหมู่.....

เลขทะเบียน.....3.3.3.67.....

วัน, เดือน, ปี.....2...ค.ค. 2542

เอกสารนี้จัดทำขึ้นเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ในทางอื่น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THE CMOS FOUR-QUADRANT ANALOGUE VOLTAGE DIVIDER



CHAIASITH ARAMMONGKONWICHAI

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

1999

ISBN 974-622-510-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 1999

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรรหารแรงดันเชิงอุปมานสี่ควอดแดรนต์โดยใช้ CMOS
นักศึกษา	นายชัยสิทธิ์ อร่ามมงคลวิชัย
รหัสประจำตัว	40061044
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2542
อาจารย์ผู้ควบคุมวิทยานิพนธ์	ผศ. จิรวัดณ์ ปานกลาง

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ ได้เสนอหลักการออกแบบวงจรรหารสัญญาณแรงดันเชิงอุปมานจำนวนห้าวงจร โดยแต่ละวงจรได้มีการพัฒนาขึ้นมาตามลำดับ วงจรแรกเป็นวงจรรหารแบบพื้นฐาน ได้ใช้หลักการของวงจรสะท้อนกระแสแบบพื้นฐาน และหลักการของมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว ในการสังเคราะห์ฟังก์ชันทางทหาร วงจรที่สองเป็นการพัฒนาขึ้นมาจากวงจรแรก โดยใช้หลักการของวงจรสายพานกระแสรุ่นที่สอง หรือ CCII เข้ามาแทนที่วงจรถ่อนกระแส วงจรที่สามเป็นการพัฒนาจากวงจรที่สอง โดยเปลี่ยนในส่วนของวงจรถอดคิกคาหรือวงจรมัลติไฟเลอร์ จากวงจรถอดคิกคาเป็นวงจรถอดคิกคา เปลี่ยนมาใช้ CMOS เป็นวงจรถอดคิกคาในวงจรที่สาม ซึ่งสามารถให้ผลตอบสนองทางความถี่ได้สูงมากขึ้น วงจรที่สี่เป็นวงจรรหารสัญญาณแรงดันเชิงอุปมานแบบสี่ควอดแดรนต์ ซึ่งสามารถหารได้ทั้งหมดไม่ว่าตัวหารหรือตัวตั้งเป็นบวกหรือลบ โดยเป็นการพัฒนาขึ้นมาจากวงจรที่สาม และใช้หลักการของวงจรรหารแรงดันแบบสองควอดแดรนต์สองวงจรมาสรางเป็นวงจรที่สี่ ซึ่งสามารถทำงานได้ทั้งสี่ควอดแดรนต์ วงจรสุดท้ายเป็นการพัฒนาจากวงจรที่สี่มีลักษณะคล้ายกับวงจรที่สี่ แตกต่างกันตรงส่วนที่ได้นำเอาวงจรสายพานกระแสชนิดลบและชนิดบวกรวมเข้าด้วยกัน และใช้พอร์ท Y ร่วมกันทั้งสองวงจรในการทำงาน ช่วยทำให้จำนวนมอสเฟตในวงจรถดลง โดยแต่ละวงจรที่ได้กล่าวถึงข้างต้น ได้เน้นถึงหลักการออกแบบ โดยใช้มอสทรานซิสเตอร์เป็นหลัก ซึ่งเหมาะสมสำหรับการนำไปสร้างเป็นวงจรรวม เพราะใช้พื้นที่ในการสร้างเป็นวงจรรวมน้อยกว่า อุปกรณ์ประเภทไบโพลาร์ทรานซิสเตอร์ และสามารถสร้างเป็นวงจรรวมได้ง่ายกว่า

จากผลการทดลอง โดยการสร้างวงจรถดด้วยไอซีเบอร์ MC14007UB และการจำลองผลการทำงานของวงจรถดด้วยโปรแกรม PSpice สามารถพิสูจน์ให้เห็นว่าผลจากการทดลองจากทั้งสองวิธี มีความสอดคล้องกันและเป็นไปตามการวิเคราะห์ทางทฤษฎี และได้แสดงให้เห็นว่าวงจรถดสามารถทำงานได้ในช่วงความถี่กว้าง และมีความถูกต้อง

Thesis Title	The CMOS Four-Quadrant Analogue Voltage Divider
Student	Mr.Chaiyasith Arammongkolwichai
Student ID.	40061044
Degree	Master of Engineering
Programme	Electrical Engineering
Year	1999
Thesis Advisor	Assist.Prof.Jirawath Panklang

ABSTRACT

This thesis presents design method of five analogue voltage divider circuits where each circuit has been improved step by step. The first one is a basic analogue voltage divider circuit which consists of current mirror circuits and MOS transistors biased in nonsaturation region or triode region for synthesizing analogue division function. The second, in which current mirror circuits were substituted by a second generation current conveyor circuit (CCII), is developed from the first circuit. With higher frequency response, the third circuit replaces the voltage follower or buffer circuit from operational amplifier buffer to CMOS buffer. Four-Quadrant Analogue Voltage Divider Circuit, the fourth circuit composes of two Two-Quadrant Analogue Voltage Divider Circuits from the third circuit and can be operated at all quadrants. The last one utilizes a common Y second generation current conveyor circuit that can be implemented by a positive and negative current conveyor while both Y ports are commonly used. Also included less transistors. All circuits emphasize on design methods using MOSFETs (Metal Oxide Semiconductor Field Effect Transistor) as main active elements. The CMOS-based circuits give more advantage than bipolar-based circuits in that they require less silicon chip area and more suitable for constructing in monolithic Integrated Circuit (IC).

From implementing the circuits with MC14007UB and PSpice simulation, experimental results are given to verify the theoretical analysis. The results illustrate that the circuits have wide bandwidth and good accuracy.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้เสร็จสมบูรณ์ล่วงหน้าได้เป็นอย่างดี ด้วยคำแนะนำและให้คำปรึกษาของ อาจารย์ผู้ควบคุมวิทยานิพนธ์ ผศ. จิรวัดน์ ปานกลาง ซึ่งให้กำลังใจและสนับสนุน ตลอดจน แนะนำในสิ่งที่เป็นประโยชน์ ในการเขียนวิทยานิพนธ์ฉบับนี้ ผู้วิจัยรู้สึกทราบบ้างในความ อนุเคราะห์จากท่าน และขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ ผศ. อนุพงศ์ สรงประภา ภาควิชาฟิสิกส์ประยุกต์ ที่ช่วยเหลือในด้าน อุปกรณ์คอมพิวเตอร์ เครื่องพิมพ์ ตลอดจนซอฟต์แวร์ที่มีประโยชน์ต่องานวิจัย

ขอขอบพระคุณ ศูนย์วิจัยอิเล็กทรอนิกส์ ที่ช่วยเหลือในด้านอุปกรณ์ถ่ายภาพ

ขอขอบพระคุณ สำนักงานวิจัยวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช.) ที่ได้ให้ทุนการศึกษา ทุนทำการวิจัย และทุนสนับสนุนการทำวิทยานิพนธ์

สุดท้ายขอขอบคุณเพื่อน ๆ นักศึกษาทุกคนที่ช่วยเหลือให้คำแนะนำต่าง ๆ และให้กำลังใจ ผู้วิจัยมาตลอด

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอบแต่ผู้มีพระคุณทุกท่าน

ชัยสิทธิ์ อร่ามมงคลวิชัย

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูป	VIII
บทที่ 1 บทนำ	1
1.1 กล่าวนำ	1
1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์	2
1.3 หลักการใหม่ในวิทยานิพนธ์	2
1.4 รายละเอียดของวิทยานิพนธ์	3
บทที่ 2 ทฤษฎีการทำงานของมอสเฟต	5
2.1 บทนำ	5
2.2 มอสเฟตชนิดเอ็นแชนจ์เมนต์	7
2.2.1 โครงสร้าง	7
2.2.2 คุณสมบัติการทำงาน	11
2.2.3 CMOS	14
2.3 มอสเฟตชนิดดีพีทีชั้น	15
2.4 วงจรสมมูลของมอสเฟต	17
2.5 ผลตอบสนองทางความถี่	20
2.6 แบบจำลองของมอสเฟต	24
2.7 การเปรียบเทียบกับไบโพลาร์	27
2.8 บทสรุป	28
บทที่ 3 กลุ่มวงจรที่ใช้ในวิทยานิพนธ์	29
3.1 บทนำ	29
3.2 วงจรสะท้อนกระแส	29

สารบัญ (ต่อ)

	หน้า
3.3 วงจรตามคัสคาหรือบัฟเฟอร์	34
3.4 วงจรสายพานกระแส	41
3.4.1 วงจรสายพานกระแสชนิดบวก	42
3.4.2 วงจรสายพานกระแสชนิดลบ	47
3.4.3 วงจรสายพานกระแสชนิดพอร์ท Y ร่วม	50
3.5 วงจรเปรียบเทียบแรงดัน	51
3.6 วงจรอนาล็อกสวิทช์	53
3.7 บทสรุป	55
บทที่ 4 ทฤษฎีและหลักการออกแบบวงจรหารแรงดันเชิงอุปมาน	56
4.1 บทนำ	56
4.2 หลักการและเทคนิคการออกแบบวงจรหาร	56
4.2.1 วงจรหารแบบพื้นฐาน	56
4.2.2 วงจรหารที่ประกอบด้วยวงจสายพานกระแสชนิดลบ	58
4.2.3 วงจรหารโดยใช้ CMOS บัฟเฟอร์	59
4.2.4 วงจรหารสี่ควอดแดรนต์	59
4.2.5 วงจรหารสี่ควอดแดรนต์โดยใช้วงจสายพานกระแสชนิดพอร์ท Y ร่วม	61
4.3 บทสรุป	62
บทที่ 5 การวิเคราะห์คุณสมบัติของวงจรและผลการทดสอบวงจร	64
5.1 บทนำ	64
5.2 การวิเคราะห์อินพุตและเอาต์พุตอิมพีแดนซ์	64
5.3 การวิเคราะห์หาช่วงปฏิบัติการทางอินพุต	76
5.4 การวิเคราะห์หาช่วงความถี่ปฏิบัติการ	78
5.5 ผลการจำลองการทำงานของวงจรด้วยโปรแกรม Pspice	83
5.6 ผลการทดลองจากการต่อวงจรจริง	92
5.7 บทสรุป	95

สารบัญ (ต่อ)

	หน้า
บทที่ 6 บทสรุปและแนวทางการพัฒนา	96
เอกสารอ้างอิง	98
ภาคผนวก แบบจำลองของมอสเฟตที่ใช้ในโปรแกรม PSpice	101
ผลงานวิจัยที่รับตีพิมพ์ในวารสารทางวิชาการ	101
ประวัติผู้เขียน	117



สารบัญตาราง

ตารางที่

หน้า

2.1 แสดงพารามิเตอร์ของแบบจำลองมอสเฟตที่ใช้ในโปรแกรม SPICE26



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา VIII นี้ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 สัญลักษณ์ของมอสทรานซิสเตอร์	6
2.2 แสดงโครงสร้างของมอสเฟตแบบเอ็นทรานส์เมนต์ชนิดเอ็นแชนแนล	7
2.3 แสดงการทำงานของมอสทรานซิสเตอร์ในช่วงต่าง ๆ	11
2.4 แบบจำลองการทำงานของมอสเฟต (ก) NMOS (ข) PMOS	11
2.5 แสดงกราฟความสัมพันธ์ระหว่าง I_D-V_{DS} ตามสมการ (2.1) ขณะที่ $\lambda = 0$	13
2.6 แสดงคุณสมบัติที่ทางออก (output characteristics) ของมอสทรานซิสเตอร์	14
2.7 โครงสร้างของ CMOS	15
2.8 มอสทรานซิสเตอร์แบบคิพลิชั้นชนิดเอ็นแชนแนล (ก) โครงสร้าง (ข) สัญลักษณ์	16
2.9 แสดงคุณสมบัติ I_D-V_{DS} ของมอสทรานซิสเตอร์แบบคิพลิชั้นชนิดเอ็นแชนแนล	17
2.10 แสดงคุณสมบัติ I_D-V_{GS} ของมอสเฟตทั้งหมด	17
2.11 แบบจำลองสัญญาณขนาดเล็กของมอสเฟต (ก) ไม่พิจารณาผลของ λ ขณะทำงาน ในช่วงอิมิตัว (ข) พิจารณาผลของ λ โดยเพิ่มความต้านทานที่ทางออก	18
2.12 แบบจำลองสัญญาณขนาดเล็กของมอสเฟต กรณีที่ฐานรองไม่ต่ออยู่กับซอส	20
2.13 (ก) แบบจำลองวงจรมูลของมอสเฟตที่ความถี่สูง (ข) วงจรมูลสำหรับ กรณีซอสต่อกับฐานรอง (ค) วงจรมูลตามรูป (ข) กรณี C_{ox} มีค่าน้อยมาก	21
2.14 แสดงการหาอัตราขยายกระแสขณะปิดวงจร	23
3.1 แสดงวงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแชนแนล	29
3.2 แสดงคุณสมบัติที่เอาต์พุตของวงจรสะท้อนกระแสในรูป 3.1 ในกรณี M1 และ M2 สมพงษ์กัน	31
3.3 (ก) แบบจำลองสัญญาณขนาดเล็กของ M1 (ข) วงจรมูลของแบบจำลองสัญญาณ ขนาดเล็กของ M1	32
3.4 (ก) แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแส (ข) วงจรมูลของ แบบจำลองสัญญาณขนาดเล็กของรูป (ก)	32
3.5 แสดงวงจรมูลที่ความถี่สูงของวงจรสะท้อนกระแสในรูป 3.1	33
3.6 (ก) สัญลักษณ์ของวงจรตามทักคา (ข) วงจรตามทักคาโดยใช้ออปแอมป์ (ค) วงจรมูล	34
3.7 (ก) วงจรขยายความแตกต่าง CMOS (ข) วงจรมูลสัญญาณขนาดเล็กของรูป (ก)	35
3.8 วงจรมูลสำหรับคำนวณหาอิมพีแดนซ์ทางออกของวงจรขยายความแตกต่าง CMOS	36

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.9 วงจรสมมูลสำหรับคำนวณหาอิมพีแดนซ์ทางเข้าของวงจรรขยายความแตกต่าง CMOS	37
3.10 (ก) วงจรสมมูลของวงจรรขยายความแตกต่าง CMOS (ข) สัญลักษณ์	38
3.11 (ก) วงจรตามสัปดาห์ CMOS (ข) วงจรสมมูลของรูป (ก)	38
3.12 วงจรสมมูลสำหรับคำนวณหาอิมพีแดนซ์ทางออกของวงจรถามสัปดาห์ CMOS	39
3.13 วงจรสมมูลสำหรับคำนวณหาอิมพีแดนซ์ทางเข้าของวงจรถามสัปดาห์ CMOS	40
3.14 แสดงสัญลักษณ์ของวงจรถายพานกระแส	41
3.15 (ก) วงจรถายพานกระแสชนิดบวก CCII+ (ข) วงจรสมมูลของรูป (ก)	43
3.16 วงจรสมมูลสำหรับหาค่าอัตราการทำงานผ่านกระแสสำหรับวงจรถายพานกระแส CCII+	44
3.17 วงจรสมมูลสำหรับหาค่าอิมพีแดนซ์ที่พอร์ท X	46
3.18 วงจรสมมูลสำหรับหาค่าอิมพีแดนซ์ที่พอร์ท Z ⁺	47
3.19 วงจรสมมูลอย่างง่ายของวงจรถายพานกระแสชนิดบวก	47
3.20 (ก) วงจรถายพานกระแสชนิดลบ CCII- (ข) วงจรสมมูลของรูป (ก)	48
3.21 วงจรสมมูลสำหรับหาค่าอัตราการทำงานผ่านกระแสสำหรับวงจรถายพานกระแส CCII-	48
3.22 วงจรสมมูลอย่างง่ายของวงจรถายพานกระแสชนิดลบ	50
3.23 (ก) วงจรถายพานกระแสชนิดพอร์ท Y ร่วม (ข) สัญลักษณ์	50
3.24 วงจรสมมูลอย่างง่ายของวงจรถายพานกระแสชนิดพอร์ท Y ร่วม	51
3.25 (ก) วงจรเปรียบเทียบแรงดันโดยใช้ CMOS (ข) สัญลักษณ์	52
3.26 (ก) วงจรสมมูลของวงจรถือเทียบแรงดัน (ข) วงจรสมมูลสัญญาณขนาดเล็ก	52
3.27 (ก) วงจรถือ CMOS อนุกรมสวิตช์ (ข) สัญลักษณ์	54
4.1 วงจรถือแบบที่หนึ่งหรือแบบพื้นฐาน	56
4.2 (ก) วงจรถือเชิงอุปมานโดยใช้วงจรถายพานกระแสรุ่นที่สองชนิดลบ (ข) สัญลักษณ์	58
4.3 (ก) วงจรถือเชิงอุปมานโดยใช้วงจรถายพานกระแสรุ่นที่สองชนิดบวก (ข) สัญลักษณ์	60
4.4 วงจรถือแรงดันเชิงอุปมานสี่ควอดแดรนต์	61
4.5 วงจรถือแรงดันสี่ควอดแดรนต์โดยใช้วงจรถายพานกระแสชนิดพอร์ท Y ร่วม	62
5.1 วงจรสมมูลของวงจรถือแบบพื้นฐาน	64
5.2 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุทที่ v_1 ของวงจรถือแบบพื้นฐาน	65
5.3 วงจรสมมูลสำหรับหาค่าความต้านทานเอาต์พุท ของวงจรถือแบบพื้นฐาน	65
5.4 (ก) วงจรถือสองควอดแดรนต์โดยใช้ CCII- (ข) วงจรสมมูล	66

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.5 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุทที่ v_1 สำหรับวงจรหารสองควอดแดรนต์ ที่สร้างขึ้นจาก CCII-	67
5.6 วงจรสมมูลสำหรับหาค่าความต้านทานเอาต์พุท สำหรับวงจรหารสองควอดแดรนต์ ที่สร้างขึ้นจาก CCII-	67
5.7 (ก) วงจรหารสองควอดแดรนต์โดยใช้ CCII+ (ข) วงจรสมมูล	69
5.8 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุทที่ v_1 สำหรับวงจรหารสองควอดแดรนต์ ที่สร้างขึ้นจาก CCII+	69
5.9 วงจรสมมูลสำหรับหาค่าความต้านทานเอาต์พุท สำหรับวงจรหารสองควอดแดรนต์ ที่สร้างขึ้นจาก CCII+	70
5.10 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของวงจรหารสองควอดแดรนต์ ที่สร้างขึ้นจาก (ก) CCII- (ข) CCII+.....	71
5.11 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุท v_1 จากรูป 5.10 (ก)	72
5.12 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุท v_1 จากรูป 5.10 (ข)	73
5.13 วงจรสมมูลสำหรับหาค่าความต้านทานเอาต์พุทของรูป 5.10 (ก)	74
5.14 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของรูปที่ 4.5	76
5.15 แสดงส่วนอินพุทของวงจรหาร	77
5.16 วงจรสมมูลสำหรับหาผลตอบสนองความถี่ สำหรับวงจรสี่ควอดแดรนต์	79
5.17 วงจรสมมูลสำหรับหาผลตอบสนองความถี่ โดยสมมติว่ามีโหลดเป็น C_L	82
5.18 ผลการทดลองจากโปรแกรม PSpice สำหรับวงจรหารแบบแรก	83
5.19 ผลตอบสนองความถี่สำหรับ v_1 ของวงจรแรก จากโปรแกรม PSpice	84
5.20 ผลตอบสนองความถี่สำหรับ v_2 ของวงจรแรก จากโปรแกรม PSpice	84
5.21 ผลการทดลองจากโปรแกรม PSpice สำหรับวงจรหารแบบที่สอง โดยให้ $v_1 = -5V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ที่ความถี่ 1 KHz ...	85
5.22 ผลตอบสนองความถี่สำหรับ v_1 ของวงจรที่สอง จากโปรแกรม PSpice	85
5.23 ผลตอบสนองความถี่สำหรับ v_2 ของวงจรที่สอง จากโปรแกรม PSpice	84
5.24 ผลการทดลองจากโปรแกรม PSpice สำหรับวงจรหารแบบที่สาม โดยให้ $v_1 = \pm 5V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ที่ความถี่ 1 KHz ..	87
5.25 ผลตอบสนองความถี่สำหรับ v_1 ของวงจรที่สาม จากโปรแกรม PSpice	87

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.26 ผลตอบสนองความถี่สำหรับ v_2 ของวงจรที่สาม จากโปรแกรม PSpice	88
5.27 แสดงอินพุทของวงจรหารสี่ควอดแดรนต์ $v_1 = \pm 5V$ ความถี่ 1 KHz และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ที่ความถี่ 1 KHz	88
5.28 แสดงเอาต์พุท v_{o1} ของวงจรหารสี่ควอดแดรนต์	89
5.29 แสดงเอาต์พุท v_{o2} ของวงจรหารสี่ควอดแดรนต์	89
5.30 แสดงเอาต์พุท v_o ของวงจรหารสี่ควอดแดรนต์	90
5.31 ผลตอบสนองความถี่สำหรับ v_1 ของวงจรหารสี่ควอดแดรนต์	90
5.32 ผลตอบสนองความถี่สำหรับ v_2 ของวงจรหารสี่ควอดแดรนต์	91
5.33 แสดงช่วงการทำงานสำหรับ v_1 ของวงจรหารสี่ควอดแดรนต์	91
5.34 แสดงฟังก์ชันส่งผ่าน v_2 ของวงจรหารสี่ควอดแดรนต์ ขณะที่ (ก) $V_1 = 5V$ (ข) $V_1 = -5V$	92
5.35 ผลการทดลองจากวงจรหารแบบแรก	93
5.36 ผลการทดลองจากวงจรหารแบบที่สอง	93
5.37 ผลการทดลองจากวงจรหารแบบที่สาม	94
5.38 ผลการทดลองจากวงจรหารแบบที่สี่	94
5.39 ผลการทดลองจากวงจรหารแบบที่ห้า	95

บทที่ 1

บทนำ

1.1 กล่าวนำ

ในปัจจุบันนี้การออกแบบวงจรรีเลย์ทรอนิกส์ โดยทั่วไปแล้วจะเน้นไปที่การออกแบบวงจรมอบให้สามารถนำมาสร้างเป็นวงจรรวมให้่ง่ายที่สุด และใช้เนื้อที่ของซิลิกอนชิพให้น้อยที่สุดหรือ ออกแบบให้จำนวนอุปกรณ์ที่ใช้ในวงจรมอบน้อยที่สุด โดยเฉพาะตัวความต้านทาน ตัวเก็บประจุ เพราะอุปกรณ์ประเภทนี้จำเป็นต้องใช้พื้นที่ซิลิกอนชิพในการสร้างมาก และความถูกต้องของค่าที่ออกแบบไว้และค่าที่ได้จากการสร้างมีความผิดพลาดสูง ในกรณีของตัวเหนี่ยวนำนั้นไม่สามารถสร้างลงบนซิลิกอนชิพได้ ดังนั้นการออกแบบวงจรมอบที่นำมาใช้งานในทางอิเล็กทรอนิกส์จึงต้องคำนึงถึงอุปกรณ์เหล่านี้ด้วย เพื่อประโยชน์ในการย่อวงจรมอบทั้งหมดลงบนแผ่นซิลิกอนชิพได้ง่ายและสะดวกขึ้น การออกแบบวงจรรวมในปัจจุบันนิยมใช้เทคโนโลยีวงจรรวมแบบมอส เนื่องจากสร้างได้ง่ายกว่าเทคโนโลยีวงจรรวมแบบไบโพลาร์ และเทคโนโลยีแบบไบโพลาร์มีข้อเสียหลายอย่าง คือ ในการทำงานด้วยกระแสไฟฟ้าทำให้เกิดความร้อนตามมา ทำให้การวางตำแหน่งของตัวทรานซิสเตอร์แต่ละตัวจึงต้องมีระยะห่างกันมากขึ้น และวงจรรวมที่ได้มีขนาดใหญ่ขึ้น นอกจากนี้ขนาดความหนาแน่นของตัวอุปกรณ์ก็ถูกจำกัดด้วยกระบวนการสร้าง และโครงสร้างของตัวไบโพลาร์ทรานซิสเตอร์ เช่น ต้องใช้กระบวนการสร้างหลายขั้นตอน ทำให้ต้องใช้เวลาในการสร้างมาก ขั้นตอนการสร้างยุ่งยาก และค่าใช้จ่ายสูง ดังนั้นการออกแบบวงจรมอบในวิทยานิพนธ์ฉบับนี้ จึงเน้นไปที่มอสทรานซิสเตอร์ ซึ่งเหมาะสมสำหรับเทคโนโลยีวงจรรวมขนาดใหญ่มาก (VLSI)

วงจรรวมแรงดันเชิงอุปมาผลสี่ควอดแดรนต์ เป็นวงจรมอบหนึ่งที่มีบทบาทสำคัญในงานด้านอิเล็กทรอนิกส์ โดยจัดเป็นกลุ่มเดียวกับวงจรรวมการคำนวณทางคณิตศาสตร์อื่น ๆ เช่น วงจรรวมวงจรรวมที่สอง ฯลฯ วงจรรวมโดยทั่วไปแล้วถูกใช้เป็นส่วนประกอบสำคัญในงานด้านต่าง ๆ เช่น การคำนวณเชิงอุปมาผล (analogue computation) ระบบควบคุมแบบฟัซซี่ (fuzzy control) ระบบโครงข่ายประสาท (neural network) และอื่น ๆ วงจรรวมแรงดันเชิงอุปมาผลส่วนใหญ่สามารถสร้างได้จาก การนำเอาวงจรรวมสัญญาณแรงดันเชิงอุปมาผลมาเป็นส่วนป้อนกลับของวงจรรวมออปแอมป์ อย่างไรก็ตามวงจรมอบที่ประกอบด้วย ออปแอมป์เป็นหลักจะมีข้อจำกัดหลายประการเช่น ไม่สามารถตอบสนองต่อการทำงานในย่านความถี่สูงได้ดี ใช้กำลังงานสูง ใช้พื้นที่ของซิลิกอนในการสร้างมาก และข้อจำกัดของความถูกต้องแน่นอนของสัญญาณที่ได้

วิทยานิพนธ์ฉบับนี้ได้ทำการเสนอ วงจรรวมแรงดันเชิงอุปมาผลสี่ควอดแดรนต์ชนิดใหม่ โดยใช้มอสทรานซิสเตอร์เป็นส่วนประกอบสำคัญของวงจรมอบ และสามารถแก้ไขข้อบกพร่องต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรที่ใช้โอปแอมป์เป็นส่วนประกอบหลัก ปัจจุบันนักออกแบบวงจรส่วนใหญ่ได้ให้ความสนใจในการออกแบบวงจร โดยใช้ทรานซิสเตอร์ชนิดมอสเป็นส่วนประกอบสำคัญของวงจร แทนที่จะเป็นทรานซิสเตอร์แบบไบโพลาร์หรือโอปแอมป์เหมือนในอดีต ทั้งนี้เพราะว่า ทรานซิสเตอร์ชนิดมอสสามารถให้ค่าความต้านทานที่ทางเข้าสูงมาก ตอบสนองต่อความถี่สูงได้ดี มีความถูกต้องแม่นยำของสัญญาณสูง และมีบทบาทสำคัญในการพัฒนาสร้างเป็นวงจรรวม โดยใช้พื้นที่ในส่วนของ การสร้างเป็นวงจรรวมน้อย วงจรหารแรงดันเชิงอุปมานที่นำมาเสนอนี้ สามารถทำงานได้ทั้งหมดสี่ควอดแดรนต์ หมายความว่า ทั้งแรงดันที่เป็นตัวตั้งและตัวหารสามารถมีค่าได้ทั้งค่าบวกและค่าลบ วงจรนี้สร้างขึ้นจากพื้นฐานของหลักการของ วงจรหารแรงดันสองควอดแดรนต์สองวงจร ที่ทำงานโดยใช้หลักการของมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว (nonsaturation region หรือ triode region) ประกอบกับวงจรสายพานกระแสสรุ่นที่สอง (Second Generation Current Conveyor - CCII) ซึ่งใช้เทคโนโลยี CMOS

1.2 วัตถุประสงค์ในการทำวิทยานิพนธ์

วิทยานิพนธ์เรื่อง “วงจรหารแรงดันเชิงอุปมานสี่ควอดแดรนต์โดยใช้ CMOS” ได้มีวัตถุประสงค์ในการออกแบบดังนี้

- 1) เพื่อศึกษาค้นคว้าวิจัยเกี่ยวกับทฤษฎีและเทคนิคในการออกแบบวงจรหารแรงดันเชิงอุปมานโดยใช้เทคโนโลยีของมอสเฟต
- 2) สามารถนำเอาหลักการพื้นฐานของวงจรสายพานกระแส มาประยุกต์ใช้กับวงจรหารแรงดันเชิงอุปมาน
- 3) สามารถทำงานได้ทั้งสี่ควอดแดรนต์ โดยที่ทั้งตัวตั้งและตัวหารสามารถเป็นได้ทั้งบวกและลบ
- 4) ใช้จำนวนอุปกรณ์ในการออกแบบให้น้อยที่สุด
- 5) สามารถทำงานได้ที่ความถี่สูง

1.3 หลักการใหม่ในวิทยานิพนธ์

จากการที่ได้ศึกษา วิจัย และออกแบบวงจรหารสัญญาณเชิงอุปมาน ในวิทยานิพนธ์ฉบับนี้ได้มีหลักการและแนวคิดใหม่เกิดขึ้น คือ วงจรที่ออกแบบได้ใช้หลักการของมอสทรานซิสเตอร์ แทนที่จะเป็นโอปแอมป์ (Operational Amplifier) หรือไบโพลาร์ทรานซิสเตอร์ ซึ่งไม่เหมาะสมในการนำมาสร้างเป็นวงจรรวม และได้้นำเอาหลักการของวงจรสายพานกระแสเข้ามาช่วยในการออกแบบ โดยวงจรสายพานกระแสนั้นสามารถสร้างได้จากมอสทรานซิสเตอร์ ซึ่งมีความเหมาะสมกับวงจรที่ได้ออกแบบขึ้น โดยการออกแบบวงจรหารนี้ได้ใช้หลักการของมอส

ทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัวเป็นตัวสังเคราะห์ฟังก์ชันทางารหารขึ้น ซึ่งใช้คุณสมบัติของมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว เพียงสองตัวในแต่ละสองควอดแดรนต์ย่อย โดยวงจรหารแรงดันสี่ควอดแดรนต์ สามารถสร้างได้จากวงจรหารแรงดันสองควอดแดรนต์สองวงจรมารประกอบกัน โดยใช้วงจรมอลลอกสวิทช์เป็นตัวเชื่อม วงจรหารแรงดันสี่ควอดแดรนต์ที่ได้ใช้มอสทรานซิสเตอร์สร้างขึ้นทั้งหมด ทำให้สามารถสร้างวงจรรวมได้ง่ายขึ้น และจากผลการทดลองที่ได้ วงจรหารแรงดันสี่ควอดแดรนต์ที่ได้สามารถทำงานได้ที่ความถี่สูง

1.4 รายละเอียดของวิทยานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีพื้นฐาน โครงสร้างและหลักการทำงานของมอสทรานซิสเตอร์ โดยแบ่งมอสเฟตเป็นสองชนิด ตามลักษณะการทำงาน คือ ชนิดเอ็นแชนซ์เมนต์และชนิดดีพีทีเอ็น และได้อธิบายถึง เทคโนโลยีแบบ CMOS แบบจำลองและวงจรมูลของมอสทรานซิสเตอร์ แบบจำลองการตอบสนองต่อความถี่สูงของมอสทรานซิสเตอร์ และได้ศึกษาถึงผลของอุณหภูมิที่มีต่อมอสเฟต และแบบจำลองของมอสทรานซิสเตอร์ ในการจำลองการทำงานของวงจรในโปรแกรม PSpice และสุดท้ายได้ทำการเปรียบเทียบในเชิงคุณสมบัติถึงข้อดีข้อเสียระหว่างมอสกับไบโพลาร์

บทที่ 3 ได้กล่าวถึงวงจรร้อยต่าง ๆ ที่มีประโยชน์กับวิทยานิพนธ์ฉบับนี้ โดยจะได้อธิบายถึงหลักการทํางาน คุณสมบัติต่าง ๆ ของวงจรร้อย ซึ่งกลุ่มวงจรร้อยนี้ประกอบด้วย วงจรสะท้อนกระแส (Current Mirror) วงจรตามศักดา (Voltage Follower) หรือ บัฟเฟอร์ (Buffer) วงจรสายพานกระแสซึ่งใช้ CMOS ได้แบ่งเป็นวงจรสายพานกระแสชนิดบวกและลบ และชนิดที่ใช้พอร์ท Y ร่วมกันซึ่งนำไปใช้ในวิทยานิพนธ์เล่มนี้ วงจรเปรียบเทียบแรงดัน (Voltage Comparator) และวงจรถูกท้ายเป็นวงจรมอลลอกสวิทช์ (Analog Switch)

บทที่ 4 ได้อธิบายถึงทฤษฎีและหลักการออกแบบของวงจรหารแรงดันเชิงอุปมาน ซึ่งประกอบด้วยวงจรหารในรูปแบบต่าง ๆ จำนวนห้าวงจร โดยทั้งห้าวงจรได้มีการพัฒนาขึ้นตามลำดับ ประกอบด้วย วงจรหารแบบพื้นฐาน วงจรหารที่ใช้เทคนิคของวงจรสายพานกระแส วงจรหารที่ได้รับการพัฒนาโดยใช้วงจรมอลลอกแบบ CMOS แทนวงจรมอลลอกที่ใช้โอปแอมป์ วงจรหารแบบสี่ควอดแดรนต์ และสุดท้ายเป็นวงจรมอลลอกสี่ควอดแดรนต์ที่ใช้วงจรสายพานกระแสชนิดพอร์ท Y ร่วม ซึ่งเป็นการลดจำนวนอุปกรณ์จากวงจรหารแบบสี่ควอดแดรนต์

บทที่ 5 เป็นการวิเคราะห์คุณสมบัติต่าง ๆ ของวงจรร้อยที่ได้ออกแบบไว้ เช่น การวิเคราะห์คุณสมบัติความต้านทานอินพุตและเอาต์พุต การวิเคราะห์หาช่วงปฏิบัติการทางอินพุต การวิเคราะห์หาช่วงควมถี่ปฏิบัติการ และในส่วนสุดท้ายจะได้แสดงให้เห็นถึง ผลการทดลองต่าง ๆ ทั้งจากการจำลองการทำงานของวงจรร้อยด้วยโปรแกรม PSpice และจากการต่อวงจรจริง

บทที่ 6 เป็นบทสุดท้ายของวิทยานิพนธ์ จะเป็นการสรุปถึงข้อดีและข้อเสียต่าง ๆ และ
แนวทางในการพัฒนาต่อไปในอนาคต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีการทำงานของมอสเฟต

2.1 บทนำ

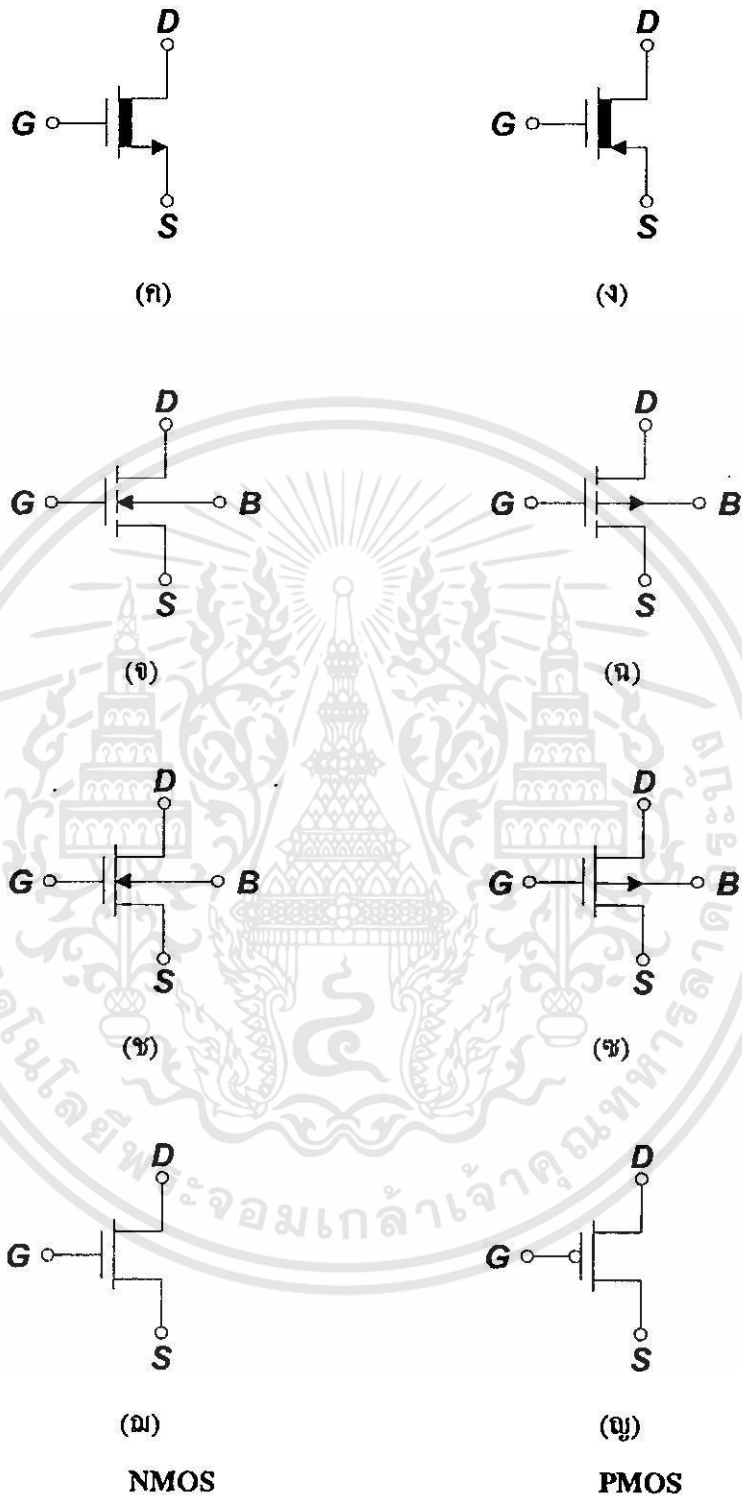
มอสเฟต (Metal Oxide Semiconductor Field Effect Transistor หรือ MOSFET) หรือทรานซิสเตอร์ชนิดมอส หรือมอสทรานซิสเตอร์ จริง ๆ แล้วแนวความคิดเกี่ยวกับมอสได้มีการพัฒนามาก่อนการสร้างไบโพลาร์ทรานซิสเตอร์ (bipolar transistor) [1] ในต้นทศวรรษ 1930 ได้มีหลักฐานแสดงถึงการจดสิทธิบัตรสำหรับอุปกรณ์ที่คล้ายกับซิลิกอนมอสเฟตสมัยใหม่ แต่ไม่ได้สร้างขึ้นจากซิลิกอน โดยสมัยนั้นในกระบวนการสร้างยากที่จะควบคุมรอยสัมผัสหรือรอยต่อของฉนวนกับสารกึ่งตัวนำ (insulator-semiconductor interface) และขาดความเข้าใจในกระบวนการของฉนวนและสารกึ่งตัวนำ ทำให้อุปกรณ์ที่คล้ายมอสเฟตในสมัยนั้นไม่สามารถนำไปใช้งานจริงได้ จนกระทั่งการเกิดขึ้นของกระบวนการ silicon planar และเทคโนโลยีสมัยใหม่สามารถควบคุมรอยต่อระหว่างออกไซด์และซิลิกอนได้ดี ทำให้มอสเฟตสามารถนำมาใช้งานได้จริง และเป็นที่แพร่หลายในปลายทศวรรษ 1970

มอสเฟตเป็นทรานซิสเตอร์ที่ทำงานโดยผลของสนามไฟฟ้า สามารถถูกแบ่งเป็นประเภทต่าง ๆ ได้มากมายขึ้นอยู่กับเกณฑ์ที่ใช้ในการแบ่ง เช่นถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแส จะสามารถแบ่งได้เป็นสองชนิด คือ มอสเฟตชนิดช่องทางเดินกระแสชนิดเอ็น (n-channel MOSFET) เป็นทรานซิสเตอร์ที่ใช้อิเล็กตรอนในการนำกระแส และมอสเฟตชนิดช่องทางเดินกระแสชนิดพี (p-channel MOSFET) เป็นทรานซิสเตอร์ที่ใช้โฮลเป็นพาหะในการนำกระแส โดยสัญลักษณ์แสดงมอสทรานซิสเตอร์ชนิดพีและเอ็น ได้แสดงดังรูปที่ 2.1 ถ้าแบ่งมอสทรานซิสเตอร์ตามลักษณะการทำงาน จะสามารถแบ่งได้สองลักษณะ คือ ทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด (Enhancement Mode Transistor) และทรานซิสเตอร์แบบดีพลีชันโหมด (Depletion Mode Transistor)



รูปที่ 2.1 สัญลักษณ์ของมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 (ต่อ)

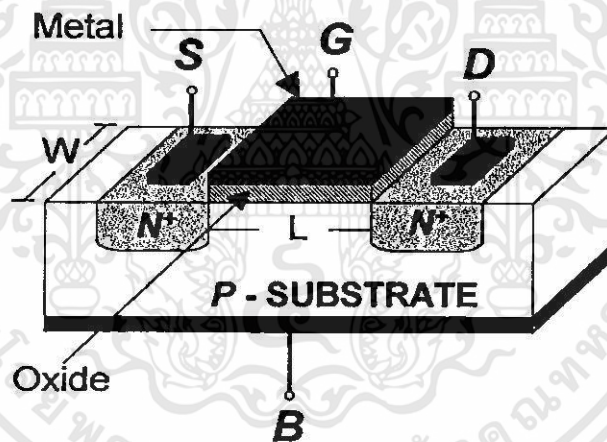
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 โมสเฟตชนิดเอ็นฮานซ์เมนต์

โมสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ เป็นชนิดที่เป็นที่นิยมใช้กันอย่างแพร่หลายมากกว่าชนิดคิพีชั่น โดยหัวข้อนี้จะได้กล่าวถึง โครงสร้างและคุณสมบัติในการทำงานของโมสชนิดเอ็นฮานซ์เมนต์ และในส่วนสุดท้ายของหัวข้อนี้จะอธิบายถึง CMOS

2.2.1 โครงสร้าง

รูปที่ 2.2 แสดงถึง โครงสร้างของโมสเฟตแบบเอ็นฮานซ์เมนต์ชนิดเอ็นแชนแนล ซึ่งส่วนซอส (Source) และ เคน (Drain) สร้างขึ้นจากการแพร่อะตอมสารเจือชนิดเอ็น (n-type) ที่มีความหนาแน่นสูง (n^+) เข้าไปในแผ่นผลึกฐานรอง (Body หรือ Substrate) ของสารกึ่งตัวนำชนิดพี (p-type) ซึ่งเป็นแผ่นผลึกซิลิกอนรูปเดี่ยว (single-crystal silicon wafer) และส่วนของเกต (Gate) จะเป็นโลหะ (Metal) หรือชั้นของโพลีซิลิกอนซึ่งซ้อนอยู่บนชั้นของออกไซด์ โดยมีโลหะอลูมิเนียมเป็นขั้วต่อไฟฟ้าของส่วนเกตจากโพลีซิลิกอน และเป็นขั้วไฟฟ้าของทั้งซอสและเคนด้วย



รูปที่ 2.2 แสดงโครงสร้างของโมสเฟตแบบเอ็นฮานซ์เมนต์ชนิดเอ็นแชนแนล

การทำงานของโมสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ ซึ่งอธิบายเกี่ยวกับทรานซิสเตอร์ชนิดเอ็นแชนแนล สามารถพิจารณาได้ตามโครงสร้างรูปที่ 2.3 ซึ่งแสดงถึงการทำงานในช่วงต่าง ๆ ของ V_{DS} และ V_{GS} จากรูป 2.3 (ก) ซอส เคน และฐานรองต่อลงกราวด์ ในกรณีนี้มีผลให้ทรานซิสเตอร์ทำงานคล้ายกับตัวเก็บประจุ โดยเกตและผิวของซิลิกอนได้ฉนวนซิลิกอนไดออกไซด์ทำหน้าที่เสมือนแผ่นระนาบ (plate) ของตัวเก็บประจุ ซึ่งมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนคั่นระหว่างกลาง ถ้า V_{GS} มีค่าเป็นลบ ประจุพาหะชนิดบวกหรือโฮลจะถูกดึงดูดเข้ามาสะสมบริเวณแชนแนล มีผลให้บริเวณแชนแนลกลายเป็น p^+ และเรียกว่า แชนแนลสะสม (accumulated channel) บริเวณซอสและเคนที่เป็น n^+ ถูกแยกจากกันด้วยแชนแนล p^+ เมื่อมอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในลักษณะของวงจรมูลแล้ว จะพบว่า มีลักษณะของไดโอดสองตัวต่อกันหลังชนกัน (back-to-back diodes) ดังนั้นถ้าจะเกิดกระแสไหลได้ แรงดันที่ขอสแตรอนจะต้องมีค่ามาก ๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหล (leakage current) หรือกรณีที่แรงดันขอสแตรอนมีค่ามากจนทำให้ทรานซิสเตอร์เบรคดาวน์ [2]

ในกรณีที่แรงดันเกตมีค่าเป็นบวกไม่มาก ประจุบวกข้างใต้เกตจะถูกผลักออกไป ทำให้แชนแนลเปลี่ยนไปเป็น p^- และเป็นบริเวณปลอดพาหะ (depletion region) ในที่สุด เมื่อแรงดันที่เกตเพิ่มมากขึ้น ประจุลบหรืออิเล็กตรอนจะถูกดึงดูดเข้ามาที่บริเวณแชนแนล และแชนแนลจะแปรสภาพเป็นบริเวณ n ตามรูปที่ 2.3 (ข) ซึ่งเชื่อมต่อบริเวณขอสแตรอนเข้าด้วยกัน และเรียกว่า แชนแนลกลับ (inverted channel) แรงดันเกตขอสแตรอนที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกตมีค่าเท่ากับ ความหนาแน่นของโฮลบริเวณฐานรอง เป็นนิยามของแรงดันขีดเริ่มของทรานซิสเตอร์ (transistor threshold voltage) ใช้สัญลักษณ์ V_T สำหรับค่าแรงดันเกตขอสแตรอนมากกว่า V_T จะมีแชนแนลชนิดอื่นเกิดขึ้น และสามารถเกิดการนำไฟฟ้าระหว่างขอสแตรอนและขอสแตรอนได้ สำหรับกรณีค่าแรงดันที่เกต-ขอสแตรอนน้อยกว่า V_T ปกติจะสมมติว่าทรานซิสเตอร์ไม่ทำงาน (off) และไม่มีกระแสไหลระหว่างขอสแตรอนและขอสแตรอน อย่างไรก็ตามการสมมติว่าไม่มีกระแสไหลระหว่างขอสแตรอนและขอสแตรอนระหว่างที่ทรานซิสเตอร์ออฟนั้น เป็นเพียงการประมาณเท่านั้น ในความเป็นจริงสำหรับแรงดันที่เกตที่มีค่าใกล้เคียง V_T จะไม่ใช่ทำให้เกิดมีการเปลี่ยนแปลงของกระแสอย่างทันทีทันใด แต่จะเกิดกระแสได้ขีดเริ่ม (subthreshold current) สามารถไหลได้ปริมาณเล็กน้อย

เมื่อแรงดันเกตขอสแตรอน V_{GS} มีค่ามากกว่า V_T ทำให้แชนแนลเกิดขึ้น ดังนั้นเมื่อ V_{GS} เพิ่มขึ้น ความหนาแน่นของอิเล็กตรอนในแชนแนลก็จะเพิ่มขึ้นด้วย และสรุปได้ว่าค่าความหนาแน่นของประจุพาหะจะแปรผันตาม $V_{GS} - V_T$ ซึ่งนิยามเป็น แรงดันเกตขอสแตรอนประสิทธิผล (effective gate-source voltage) ใช้สัญลักษณ์ V_{eff} ดังนั้นค่าความหนาแน่นของประจุอิเล็กตรอน แสดงได้โดย

$$Q = C_{ox}(V_{GS} - V_T) = C_{ox}V_{eff} \quad (2.1)$$

โดย C_{ox} เป็นค่าความจุไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่

เมื่อแรงดันที่ขอสแตรอนมีค่ามากกว่าศูนย์โวลต์เล็กน้อย ทำให้เกิดความต่างศักย์ที่ขอสแตรอน มีผลให้เกิดกระแสไหลจากขอสแตรอนไปขอสแตรอน ความสัมพันธ์ระหว่าง V_{DS} และกระแส I_D จะเหมือนกับกรณีของความต้านทาน โดยมีความสัมพันธ์ดังนี้ [3]

$$I_D = \mu Q \frac{W}{L} V_{DS} \quad (2.2)$$

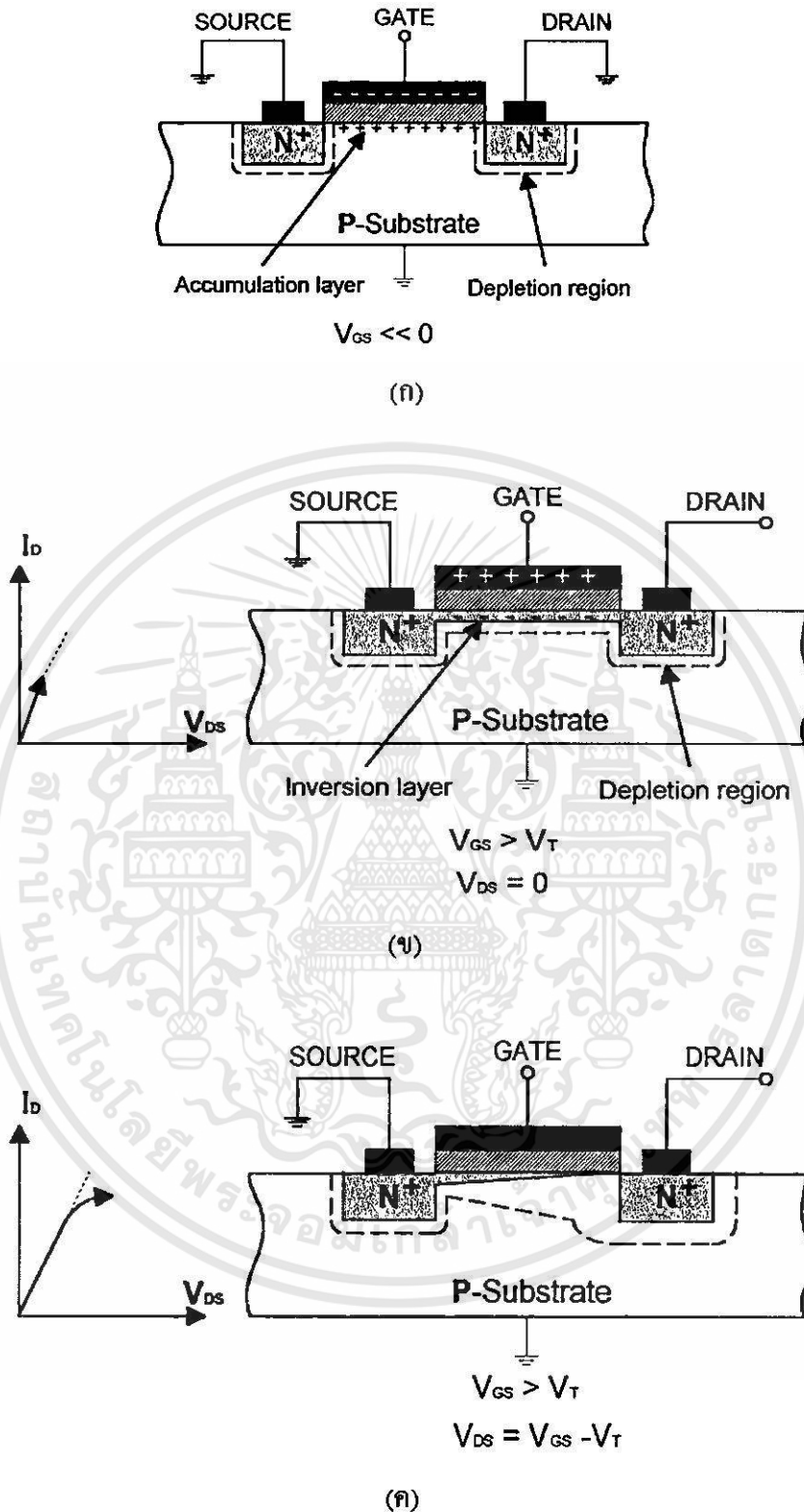
ขณะที่ μ เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอน และ Q เป็นค่าความหนาแน่นของประจุในแชนแนลต่อหนึ่งหน่วยพื้นที่ จากสมการ (2.1) และ (2.2) จะได้

$$I_D = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (2.3)$$

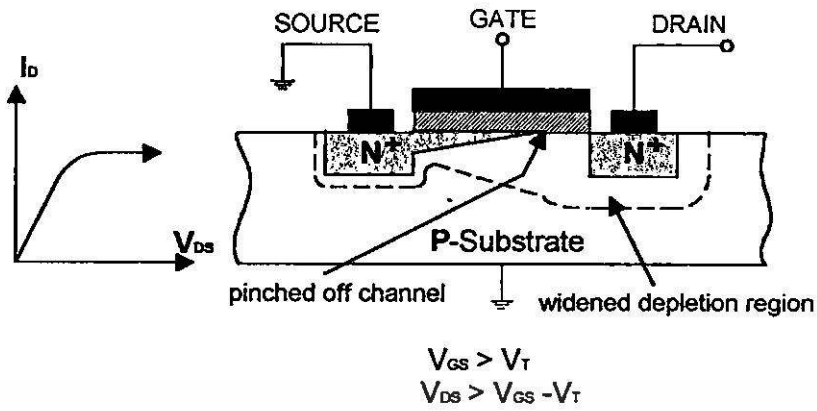
สมการ (2.3) นี้เป็นความสัมพันธ์ที่สามารถใช้ได้เพียง กรณีแรงดันเดรนขอสมีค่าเข้าใกล้ศูนย์

การทำงานของทรานซิสเตอร์ในเชิงโครงสร้างอธิบายได้ตามรูปที่ 2.3 (ข) โดยเมื่อ V_{GS} มากกว่า V_T และ $V_{DS} = 0V$ ซึ่งขณะนี้แชนแนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหล เนื่องจากแรงดันระหว่างขอสและเดรนมีค่าเป็นศูนย์โวลต์ และเมื่อให้แรงดัน V_{DS} ค่าน้อย ๆ ค่าหนึ่ง จะทำให้เกิดมีกระแสไหลผ่านแชนแนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้ เสมือนเป็นตัวต้านทาน มีความสัมพันธ์เป็นไปตามสมการ (2.3) และแสดงได้ด้วยกราฟในรูปที่ 2.3 (ข) และจะเห็นว่า I_D กับ V_{DS} สัมพันธ์กันอย่างเชิงเส้น สำหรับค่า V_{DS} น้อย ๆ

เมื่อแรงดันเดรนขอสเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่แชนแนลจะลดลงตามแนวแชนแนลจากขอสไปเดรน ตามรูปที่ 2.3 (ค) การลดลงของประจุพาหะในแชนแนลนี้มีผลให้เกิดแรงดันตกคร่อมแชนแนลที่ตำแหน่งต่าง ๆ ไม่เท่ากัน กล่าวคือ สมมติว่าแรงดันที่เดรนมีค่ามากกว่าแรงดันที่ขอส จะมีการเพิ่มขึ้นของแรงดันจากขอสไปเดรนอย่างต่อเนื่องภายในแชนแนล มีผลให้แรงดันตกคร่อมระหว่างเกตและแชนแนลจะมีค่าสูงสุดเท่ากับ V_{GS} ที่ตำแหน่งด้านขอส และแรงดันเกตแชนแนลมีค่าต่ำสุดที่ตำแหน่งปลายด้านเดรน และแรงดันเกตที่ทำให้เกิดแชนแนลคือ $V_G = V_{GS} - V_T$ (เมื่อ $V_{GS} < V_T$ กระแสจะไม่ไหลและไม่มีแชนแนลเกิดขึ้น) เพื่อที่จะทำให้แชนแนลเกิดขึ้นได้เป็นแนวยาวไปจนถึงจุดปลายด้านเดรนแรงดันเกตจะต้องมีค่ามากกว่า V_{DS} นั่นคือ $V_G > V_{DS}$ หรือ $(V_{GS} - V_T) > V_{DS}$ ซึ่งหมายถึง แรงดันที่เกตเมื่อเทียบกับทุกจุดในแนวแชนแนลจะต้องมีศักย์เป็นบวก จึงจะทำให้เกิดแชนแนล โดยในขณะนี้ทรานซิสเตอร์ทำงานและอยู่ในช่วงไม่อิ่มตัว กระแสเดรน I_D จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน V_{DS} อย่างไม่เป็นเชิงเส้น ตามกราฟในรูป 2.3 (ค) การทำงานของทรานซิสเตอร์ในย่านนี้ ($V_{DS} < V_{GS} - V_T$) เรียกว่า ช่วงไม่อิ่มตัว (nonsaturation region) เมื่อ V_{DS} มีค่ามากขึ้น จนกระทั่งมีค่า $V_{DS} = V_{GS} - V_T$ ทรานซิสเตอร์เริ่มเข้าสู่สภาวะอิ่มตัว และลักษณะโครงสร้างของทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูปที่ 2.3 (ค)



รูปที่ 2.3 แสดงการทำงานของมอสทรานซิสเตอร์ในช่วงต่าง ๆ



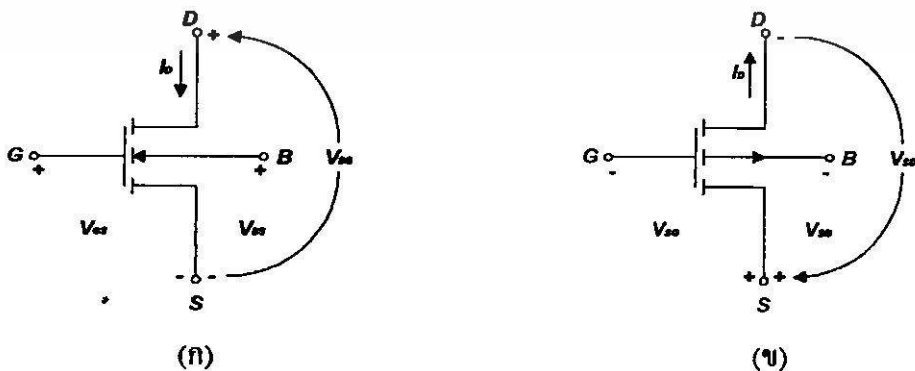
(ง)

รูปที่ 2.3 (ต่อ)

และเมื่อค่าของแรงดัน V_{DS} เพิ่มขึ้นไปอีกจนกระทั่งมีค่า $V_{DS} > V_{GS} - V_T$ ในกรณีนี้แรงดันที่ตกคร่อมแชนแนลที่ปลายด้านเดรนมีค่าสูงกว่า $V_{GS} - V_T$ ดังนั้นจะทำให้เกิดภาวะพินช์ออฟ (Pinch off) กล่าวคือ แชนแนลซึ่งเป็นช่องทางเดินกระแสจะขาดออก เริ่มจากบริเวณด้านเดรน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าซึ่งจะมาเหนี่ยวนำให้มีการสะสมของประจุลบ เพื่อทำหน้าที่เป็นแชนแนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกัน แสดงตามรูปที่ 2.3 (ง) และจะมีกระแสแพร่ (diffusion current) จากส่วนของซอสไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูง และคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (constant current source) กระแสเดรนในภาวะนี้จึงมีค่าคงที่ แม้ว่า V_{DS} จะมีค่าเพิ่มขึ้นก็ตามแสดงในกราฟตามรูปที่ 2.3 (ง) การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่า ช่วงอิ่มตัว (saturation region หรือ active region)

2.2.2 คุณสมบัติการทำงาน

คุณสมบัติการทำงานของมอสทรานซิสเตอร์ จะพิจารณาได้จากแบบจำลองสัญญาณขนาดใหญ่ (large-signal model) ตามรูปที่ 2.4



รูปที่ 2.4 แบบจำลองการทำงานของมอสเฟต (ก) NMOS (ข) PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการแสดงความสัมพันธ์ระหว่างกระแสและศักดา สำหรับมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว แสดงได้ตามสมการ (2.4) [4]

$$I_D = \beta \left[(V_{GS} - V_T) - \left(\frac{V_{DS}}{2} \right) \right] V_{DS} (1 + \lambda V_{DS}) \quad (2.4)$$

โดย

$$\beta = \frac{K'W}{L}$$

$$K' = \mu_o C_{ox}$$

μ_o คือ ค่าความคล่องตัวของผิว (surface mobility) ของพาหะในช่องทางเดินกระแส (cm²/volt.seconds)

$C_{ox} = \epsilon_{ox}/t_{ox}$ คือ ค่าความจุไฟฟ้าต่อหนึ่งหน่วยพื้นที่ (capacitance per unit area) ของเกตออกไซด์ (F/cm²)

W คือ ความกว้างประสิทธิผลของแชนแนล (effective channel width)

L คือ ความยาวประสิทธิผลของแชนแนล (effective channel length)

λ คือ channel length modulation parameter (volts⁻¹)

$$V_T = V_{T0} + \gamma \left[\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right] \quad (2.5)$$

$$V_{T0} = V_T (V_{SB} = 0) = V_{FB} + 2|\phi_F| + \frac{\sqrt{2q\epsilon_{si}N_{SUB}} 2|\phi_F|}{C_{ox}} \quad (2.6)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_{SUB}}}{C_{ox}} \quad \text{คือ bulk threshold parameter (volts}^{1/2}\text{)} \quad (2.7)$$

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_{SUB}}{n_i} \right) \quad \text{คือ strong inversion surface potential (volts)} \quad (2.8)$$

$$V_{FB} = \phi_{GB} - \frac{Q_{SS}}{C_{ox}} \quad \text{คือ flatband voltage (volts)} \quad (2.9)$$

$$\phi_{GB} = \phi_F(\text{substrate}) - \phi_F(\text{gate})$$

$$\phi_F(\text{substrate}) = \frac{kT}{q} \ln \left(\frac{n_i}{N_{SUB}} \right) \quad \text{สำหรับกรณี NMOS ที่มีฐานรองเป็นพี}$$

$$\phi_F(\text{gate}) = \frac{kT}{q} \ln \left(\frac{N_{GATE}}{n_i} \right) \quad \text{สำหรับกรณี NMOS ที่มีเกตเป็น n}^+\text{ polysilicon}$$

Q_{SS} คือ ค่าประจุออกไซด์ (oxide charge)

k คือ ค่าคงที่ Boltzmann's = 1.381×10^{-23} J/K = 8.62×10^{-5} eV/K

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T คือ อุณหภูมิ (K)

n_i คือ ความหนาแน่นของพาหะชนิด intrinsic = $1.45 \times 10^{10} \text{ cm}^{-3}$

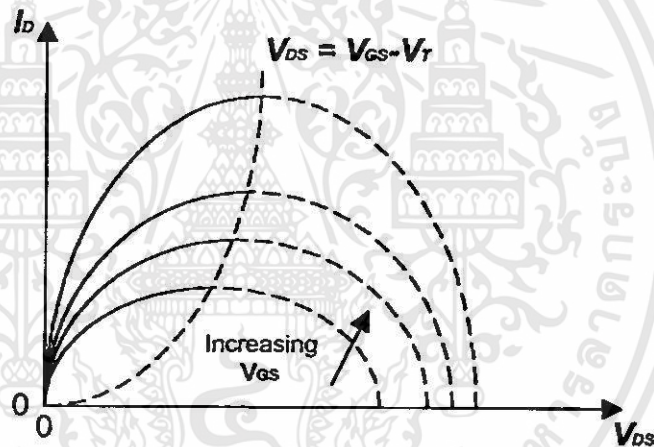
หรือสมการของมอสทรานซิสเตอร์ในช่วงไม่อิ่มตัว สามารถเขียนได้อีกรูปหนึ่งเป็น [5]

$$I_D = F(V_D, V_G) - F(V_S, V_G) \quad (2.10)$$

โดยที่

$$F(V_X, V_G) = 2K(V_G - V_B - V_{FB} - \phi_F)V_X - K(V_X - V_B)^2 - \frac{4}{3}K\gamma(V_X - V_B + \phi_F)^{\frac{3}{2}}$$

$$K = \frac{W}{2L} \mu C_{ox}$$



รูปที่ 2.5 แสดงกราฟความสัมพันธ์ระหว่าง I_D - V_{DS} ตามสมการ (2.4) ขณะที่ $\lambda = 0$

สมการ (2.4) และ (2.10) สามารถทำงานได้ในช่วงต่าง ๆ ขึ้นกับค่า $V_{GS} - V_T$ ถ้าค่า $V_{GS} - V_T$ เป็นศูนย์หรือลบ มอสทรานซิสเตอร์จะอยู่ในช่วงคัทออฟ (cut off) ซึ่งแชนแนลจะมีพฤติกรรมแบบเปิดวงจร (open circuit) โดยเขียนเป็นความสัมพันธ์ได้เป็น

$$I_D = 0, \quad V_{GS} - V_T \leq 0 \quad (2.11)$$

จากสมการ (2.4) สมมติให้ $\lambda = 0$ นำมาเขียนกราฟได้ตามรูป 2.5 สำหรับค่า $V_{GS} - V_T$ ค่าต่าง ๆ จุดสูงสุดของกราฟแต่ละเส้นเรียกว่า จุดอิ่มตัว (saturate) โดยค่าต่าง ๆ ของ V_{DS} ที่เกิดขึ้นที่ค่านี้เรียกว่า ศักคาอิ่มตัว (saturation voltage)

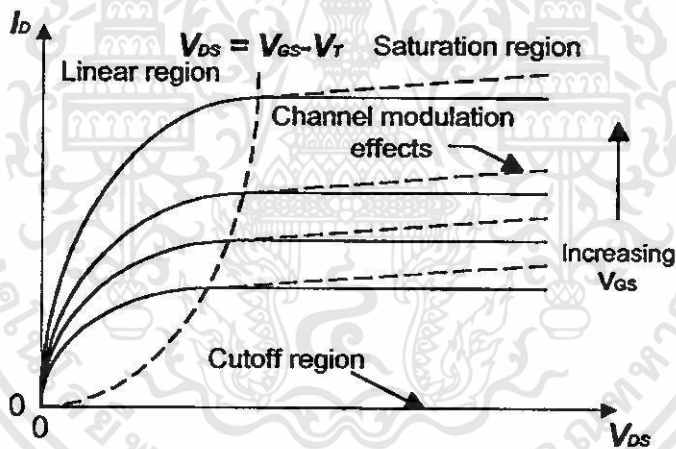
$$V_{DS}(\text{sat}) = V_{GS} - V_T \quad (2.12)$$

$V_{DS}(\text{sat})$ เป็นค่าที่แบ่งขอบเขตการทำงาน โดยค่า V_{DS} น้อยกว่า $V_{DS}(\text{sat})$ แล้วมอสทรานซิสเตอร์จะทำงานในช่วงไม่อิ่มตัว ตามสมการ (2.4) และมีเงื่อนไขว่า

$$0 < V_{DS} \leq (V_{GS} - V_T) \quad (2.13)$$

เมื่อ V_{DS} มีค่ามากกว่า $V_{DS}(\text{sat})$ ช่วงนี้เรียกว่า ช่วงอิ่มตัว (saturation region) ช่วงนี้กระแส I_D ไม่ขึ้นกับ V_{DS} ถ้าสมมติว่าไม่พิจารณาผลของ λ ดังนั้นจะได้ความสัมพันธ์ตามสมการ (2.14)

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}), \quad 0 < (V_{GS} - V_T) \leq V_{DS} \quad (2.14)$$



รูปที่ 2.6 แสดงคุณสมบัติที่ทางออก (output characteristics) ของมอสทรานซิสเตอร์

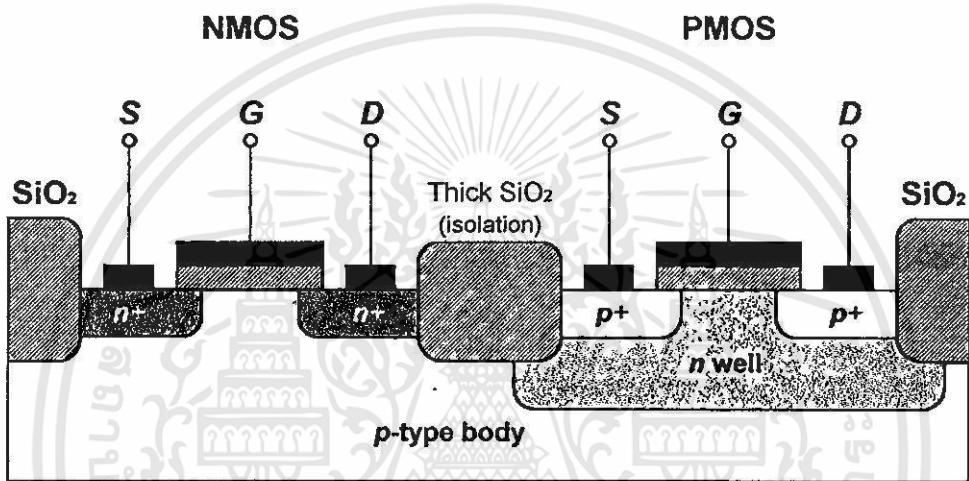
จากรูปที่ 2.6 แสดงถึงคุณสมบัติที่ทางออก (output characteristics) ของมอสทรานซิสเตอร์ ซึ่งได้จากสมการ (2.4), (2.11), (2.13) และ (2.14) โดยที่เส้นทึบในรูปที่ 2.6 ไม่พิจารณาถึงผลของ λ ($\lambda=0$) ส่วนเส้นประจะเป็นการพิจารณาผลของ λ ($\lambda \neq 0$)

2.2.3 CMOS [6]

CMOS ย่อมาจาก Complementary MOS เป็นเทคโนโลยีที่ใช้มอสทรานซิสเตอร์ทั้งชนิดเอ็นแชนแนลและพีแชนแนล มาสร้างลงบนฐานรองเดียวกัน แม้ว่าวงจร CMOS จะสร้างได้ยากกว่า NMOS แต่มีข้อดีคือ สามารถทำให้ออกแบบวงจรได้อย่างมีประสิทธิภาพ ในปัจจุบัน

CMOS มีบทบาทสำคัญมากในเทคโนโลยีวงจรรวมแบบมอส และสามารถใช้ได้ทั้งวงจรรวมเชิงอุปมาน (analog) และเชิงเลข (digital) เทคโนโลยี CMOS ได้เติบโตขึ้นอย่างรวดเร็ว และนักออกแบบวงจรได้ให้ความสนใจในการออกแบบวงจรโดยใช้ CMOS มากขึ้น และได้มีการแปลงวงจรประยุกต์ (application) จากเทคโนโลยีไบโพลาร์ ไปเป็นเทคโนโลยีแบบ CMOS มากมาย

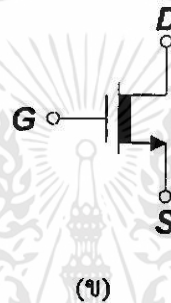
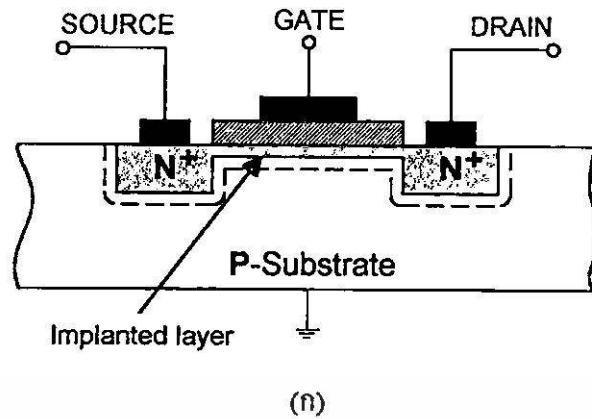
รูปที่ 2.7 เป็นโครงสร้างแบบ CMOS และอธิบายถึงการสร้าง PMOS และ NMOS บนแผ่นฐานรองเดียวกัน สังเกตว่าขณะนี้ NMOS สามารถสร้างได้โดยตรง PMOS จะสร้างขึ้นได้ โดยต้องสร้างบ่อเอ็น (n well) ขึ้นก่อน โดยที่มอสทั้งสองตัวถูกแยกจากกันโดยฉนวนออกไซด์



รูปที่ 2.7 โครงสร้างของ CMOS

2.3 มอสเฟตชนิดดีพีทีเอ็น

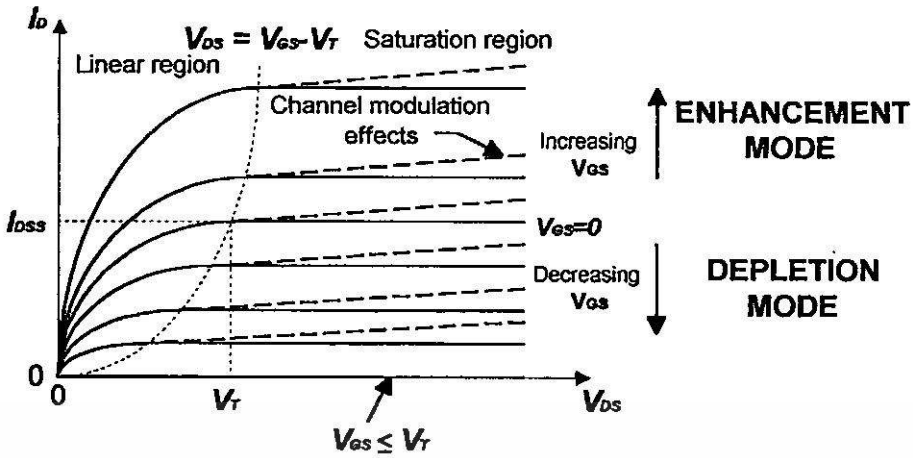
ทรานซิสเตอร์แบบดีพีทีเอ็นชนิดเอ็นแชนแนล มีลักษณะโครงสร้างและสัญลักษณ์ แสดงตามรูปที่ 2.8 โดยส่วนของซอสและเดรนจะถูกสร้างขึ้นโดยการแพร่อะตอมสารเจือชนิดเอ็น ซึ่งมีความหนาแน่นสูงเข้าไปในแผ่นสลิคฐานรองของสารกึ่งตัวนำชนิดพี หลังจากนั้นส่วนของแชนแนลจะถูกสร้างขึ้นด้วยวิธีการอิมพลานเตชัน ซึ่งเป็นวิธีการยิงอะตอมสารเจือเข้าไปในเนื้อสารกึ่งตัวนำ ลักษณะโครงสร้างอื่น ๆ ของทรานซิสเตอร์แบบนี้จะเหมือนกับแบบเอ็นแชนแนลที่ทุกประการ



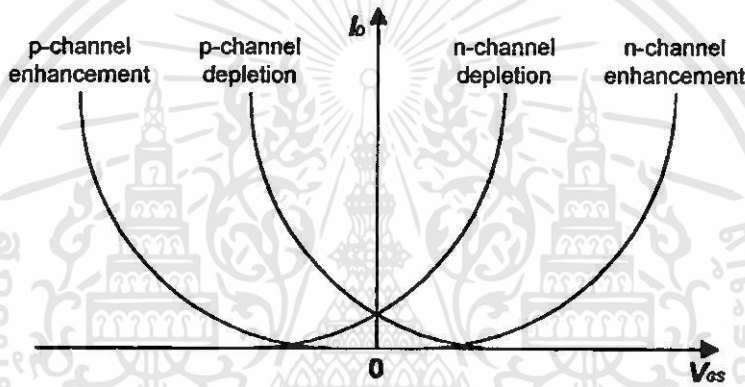
รูปที่ 2.8 มออสทรานซิสเตอร์แบบคิพลีชั้นชนิดเอ็นแชนแนล (ก) โครงสร้าง (ข) สัญลักษณ์

จากลักษณะโครงสร้างในรูปที่ 2.8 (ก) จะเห็นว่าขณะที่แรงดันเกตเป็นศูนย์และแรงดันขอสเตอร V_{DS} มีค่า ๆ หนึ่ง ก็จะมีกระแสเดรนเกิดขึ้น นั่นก็คือแม้ว่าไม่มีแรงดันที่เกต กระแสก็ สามารถไหลผ่านแชนแนลได้ เนื่องจากแชนแนลได้ถูกสร้างขึ้นมาก่อนแล้ว ซึ่งต่างจากกรณีเอ็น สานซ์เมนต์ที่จำเป็นต้องให้แรงดันที่เกตมีค่า ๆ หนึ่งเพื่อเหนี่ยวนำให้เกิดแชนแนล

การนำไฟฟ้าและความลึกของแชนแนลจะถูกควบคุมด้วย V_{GS} เหมือนกับกรณีของเอ็น สานซ์เมนต์ เมื่อให้ค่า V_{GS} เป็นบวกจะทำให้กว้างขึ้น โดยการดึงอิเล็กตรอนเข้ามาสะสมที่แชนแนล และทำให้การนำไฟฟ้าดีขึ้น เมื่อค่า V_{GS} เป็นลบอิเล็กตรอนจะถูกผลักออกจากแชนแนล ทำให้แชนแนลแคบลง และการนำไฟฟ้าลดลง ในการทำงานขณะที่ V_{GS} เป็นลบนั้นเรียกว่า การทำงานในช่วงคิพลีชันโหมค เมื่อ V_{GS} เป็นลบมากขึ้นจนถึงค่าหนึ่ง ซึ่งทำให้อิเล็กตรอนถูกผลัก ออกไปจากแชนแนลจนหมด (depleted) และแชนแนลหายไป ทำให้กระแส I_D มีค่าเป็นศูนย์ แม้ว่า V_{DS} ไม่เป็นศูนย์ก็ตาม โดยค่าที่เป็นลบของ V_{GS} ที่ทำให้แชนแนลหายไบนั่นก็คือ ค่าแรง ดันขีดเริ่ม (threshold voltage) ของมอสเฟทแบบคิพลีชั้นชนิดเอ็นแชนแนล



รูปที่ 2.9 แสดงคุณสมบัติ I_D - V_{DS} ของมอสทรานซิสเตอร์แบบคิพลิชั้นชนิดเอ็นแชนแนล



รูปที่ 2.10 แสดงคุณสมบัติ I_D - V_{GS} ของมอสเฟตทั้งหมด

จากรูปที่ 2.9 ได้แสดงถึง คุณสมบัติ I_D - V_{DS} ของมอสทรานซิสเตอร์แบบคิพลิชั้นชนิดเอ็นแชนแนล ซึ่งคล้ายกับกรณีของเอ็นแชนแนลเม้นท์ ยกเว้นค่า V_T มีค่าเป็นลบสำหรับ NMOS และเป็นบวกสำหรับ PMOS และสามารถทำงานเป็นแบบเอ็นแชนแนลเม้นท์โหมดได้ โดยการให้ค่า V_{GS} มีค่าเป็นบวก

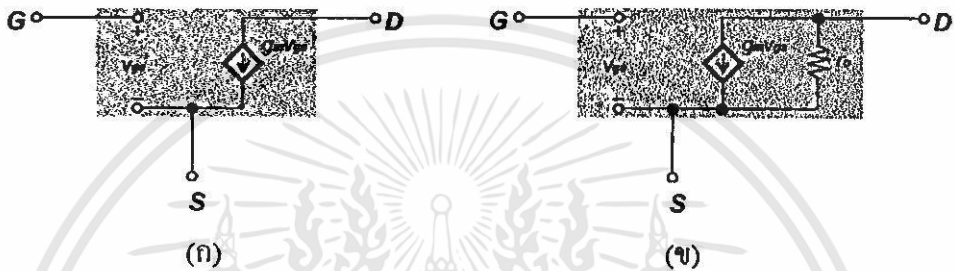
กราฟ I_D - V_{GS} ตามรูปที่ 2.10 เป็นการสรุปรวมคุณสมบัติ I_D - V_{GS} ทั้งหมดของมอสเฟตทั้งชนิดการทำงานแบบเอ็นแชนแนลเม้นท์โหมดและคิพลิชั้นโหมด และชนิดช่องทางเดินกระแสชนิดเอ็นแชนแนลและชนิดพี

2.4 วงจรสมมูลของมอสเฟต

วงจรสมมูล (small-signal equivalent circuit models) ของมอสเฟต เป็นการแทนอุปกรณ์มอสเฟตด้วยวงจรไฟฟ้า เพื่อนำไปใช้ในการวิเคราะห์ผลตอบสนองหรือพฤติกรรมของสัญญาณ

ขนาดเล็ก โดยพิจารณาแยกกับการวิเคราะห์สัญญาณขนาดใหญ่ ซึ่งพิจารณาเป็นปริมาณทางไฟตรง (dc quantities) ซึ่งได้กล่าวไปแล้วในหัวข้อ 2.2.2

มอสเฟตมีพฤติกรรมเป็น แรงดันควบคุมแหล่งกำเนิดกระแส (voltage-controlled current source) โดยเป็นการให้สัญญาณ v_{gs} และทำให้เกิดกระแส $g_m v_{gs}$ ที่ปลายด้านครน ความต้านทานที่ทางเข้า (input resistance) มีค่าสูงมากในทางปฏิบัติ ซึ่งในทางอุดมคติถือว่ามีค่าเป็นอนันต์ ความต้านทานที่ทางออก (ความต้านทานที่มองเข้าไปที่ปลายด้านครน) มีค่าสูงด้วย ในการพิจารณาอย่างง่าย ๆ จะสมมติว่ามีค่าเป็นอนันต์ ตามรูปที่ 2.11 (ก)



รูปที่ 2.11 แบบจำลองสัญญาณขนาดเล็กของมอสเฟต (ก) ไม่พิจารณาผลของ λ ขณะทำงานในช่วงอิมิตัว (ข) พิจารณาผลของ λ โดยเพิ่มความต้านทานที่ทางออก

ข้อเสียของแบบจำลองสัญญาณขนาดเล็กในรูป 2.11 (ก) คือ จะเป็นการสมมติว่ากระแสครนจะอยู่ในช่วงอิมิตัว และไม่ขึ้นกับแรงดันครน ซึ่งจากหัวข้อที่กล่าวมาข้างต้น พบว่า คุณสมบัติของมอสเฟตในช่วงอิมิตัวนั้นจริง ๆ แล้วขึ้นอยู่กับ V_{DS} ในลักษณะเชิงเส้นตามสมการ (2.11) ทำให้แบบจำลองได้เปลี่ยนไปเป็นรูปที่ 2.11 (ข) โดยมีตัวต้านทาน (r_o) มาตรฐานอยู่ระหว่างครนและซอส ซึ่งมีค่าประมาณ

$$r_o \cong \frac{|V_A|}{I_D} \quad (2.15)$$

ขณะที่ $V_A = 1/\lambda$ โดยทั่วไปค่า r_o อยู่ในช่วง 10 ถึง 1000 กิโลโอห์ม

ค่า r_o ที่พิจารณาข้างต้น เป็นการพิจารณามอสทรานซิสเตอร์ที่ทำงานในช่วงอิมิตัว ซึ่งให้ค่าความต้านทานที่ทางออกมีค่ามาก (แขนแนวขาออกจากกันระหว่างซอสและครน) ขณะที่มอสทรานซิสเตอร์ที่ทำงานในช่วงไม้อิมิตัวนั้น ค่าความต้านทานที่ทางออกมีค่าเป็น [4]

$$r_o = \frac{1}{g_{ds}} = \frac{\partial V_{ds}}{\partial I_d} \cong \frac{1}{\beta(V_{GS} - V_T - V_{DS})} \quad (2.16)$$

เราจะพิจารณาพารามิเตอร์ที่สำคัญอีกตัวหนึ่งในการวิเคราะห์สัญญาณขนาดเล็ก คือ ค่าทรานคอนดักแตนซ์ g_m ซึ่งมีค่าแสดงตามสมการ (2.17)

$$g_m = \frac{\partial I_d}{\partial V_{gs}} \quad (2.17)$$

ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว จากสมการ (2.14) จะได้

$$g_m = \sqrt{\frac{2K'W}{L} |I_D| (1 + \lambda V_{DS})} \cong \sqrt{\frac{2K'W}{L} |I_D|} \quad (2.18)$$

จากสมการ (2.18) พบว่าค่าของ g_m ซึ่งเป็นพารามิเตอร์ของสัญญาณขนาดเล็ก ขึ้นอยู่กับค่ากระแสครน I_D ซึ่งเป็นเงื่อนไขการทำงานของสัญญาณขนาดใหญ่ และในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว จากสมการที่ (2.4) และ (2.17) จะได้

$$g_m = \frac{K'W}{L} V_{DS} (1 + \lambda V_{DS}) \cong \frac{K'W}{L} V_{DS} \quad (2.19)$$

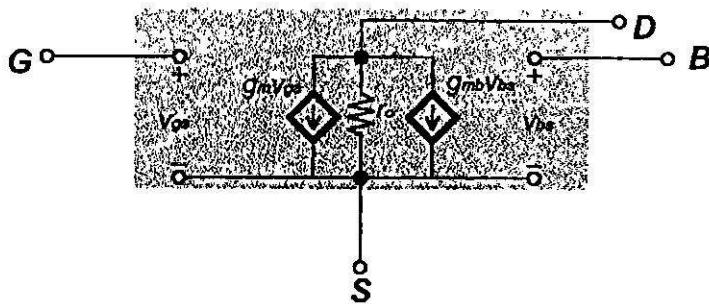
แบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวถึงข้างต้น เป็นแบบจำลองที่ยังไม่พิจารณาผลของฐานรอง (body effect) ซึ่งเกิดขึ้นเมื่อฐานรองไม่ได้ต่อยู่กับปลายด้านขอส และทำให้เกิด v_{bs} ขึ้นแสดงตามรูปที่ 2.12

สัญญาณ v_{bs} จะทำให้เกิดกระแสครน $g_{mb} v_{bs}$ โดย g_{mb} เป็นค่าทรานคอนดักแตนซ์ที่ฐานรอง (body transconductance) [6]

$$g_{mb} = \left. \frac{\partial I_d}{\partial V_{sb}} \right|_{\substack{v_{gs} = \text{constant} \\ v_{ds} = \text{constant}}} \quad (2.20)$$

กรณีมอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว จากสมการ (2.14), (2.5), และ (2.7) จะได้

$$g_{mbs} = g_m \frac{\gamma}{2(|\phi_F| + V_{SB})^{3/2}} = \eta g_m \quad (2.21)$$



รูปที่ 2.12 แบบจำลองสัญญาณขนาดเล็กรวมของมอสเฟต กรณีที่ฐานรองไม่ค่ออยู่กับซอส

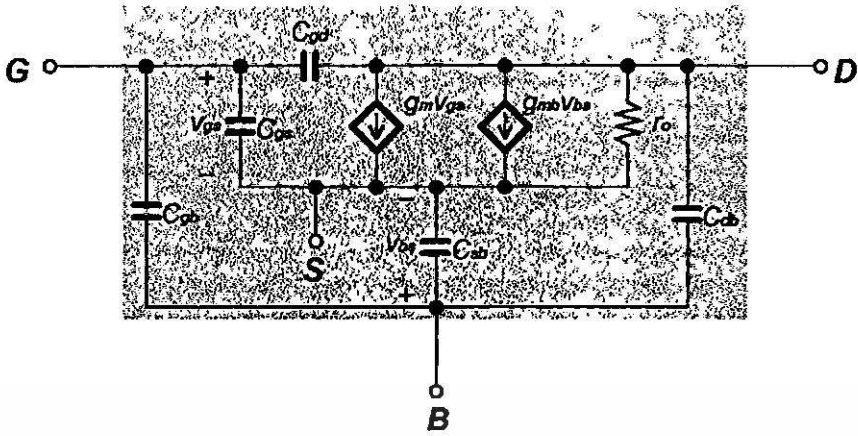
กรณีเมอสทรานซิสเตอร์ทำงานในช่วงไม้อิ่มตัว จากสมการ (2.4), (2.5), และ (2.7) จะได้

$$g_{mbs} = \frac{\beta V_{DS}}{2(2|\phi_F| + V_{SB})^{3/2}} \quad (2.22)$$

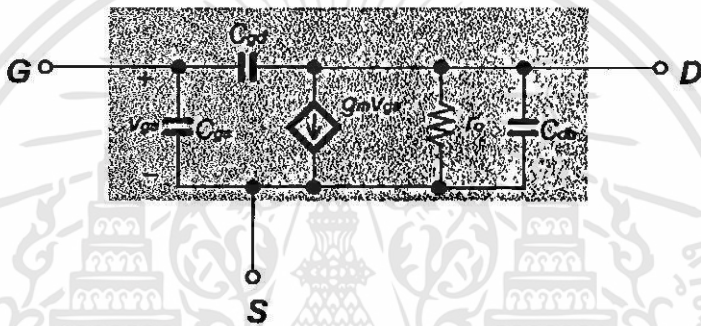
2.5 ผลตอบสนองทางความถี่

จากหัวข้อที่แล้ว ซึ่งได้กล่าวถึงวงจรสมมูลหรือแบบจำลองสัญญาณขนาดเล็กรวมของมอสเฟต และในหัวข้อนี้ จะได้เสนอถึงแบบจำลองวงจรสมมูลของมอสเฟต ซึ่งได้รวมเอาค่าความเก็บประจุ (capacitances) มาพิจารณาด้วย จากรูป 2.13 (ก) ได้แสดงถึงแบบจำลองสัญญาณขนาดเล็กรวมของมอสเฟต ซึ่งได้รวมถึงตัวเก็บประจุจำนวนห้าตัว คือ C_{gs} , C_{gd} , C_{sb} , C_{sb} และ C_{cs} อย่างไรก็ตามวงจรนี้ค่อนข้างยุ่งยากและซับซ้อนในการวิเคราะห์ด้วยมือ แต่เหมาะสมสำหรับการวิเคราะห์โดยใช้การจำลองการทำงาน โดยใช้โปรแกรมคอมพิวเตอร์ และในรูปที่ 2.13 (ข) ได้แสดงวงจรสมมูลกรณีที่ยอสเชื่อมต่อกับฐานรอง ซึ่งวงจรที่ได้มีความสะดวกในการวิเคราะห์มากกว่าวงจรในรูป 2.13 (ก) มาก แต่อย่างไรก็ตามวงจรในรูป 2.13 (ค) เป็นวงจรที่เหมาะสมในการวิเคราะห์ด้วยมือมากที่สุด โดยพิจารณาว่าค่าความจุ C_{cs} มีค่าน้อยมาก ๆ ซึ่งจะทำให้ได้วงจรที่วิเคราะห์ได้ง่ายมากขึ้น

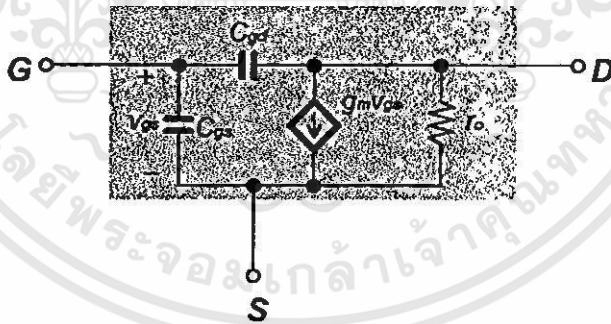
ค่าความจุทั้งห้าที่ได้กล่าวถึงข้างต้น มีเพียงค่าความจุที่เกยซอส C_{gs} เท่านั้นที่มีบทบาทสำคัญที่สุดในบรรดาค่าความจุทั้งห้า และเป็นพื้นฐานในการวิเคราะห์และพิจารณาที่ความถี่สูง ขณะที่ค่าความจุ C_{sb} และ C_{cs} เป็นค่าความจุแฝง (parasitic capacitances) ในย่านดีพลีชัน (depletion region) ระหว่างฐานรองกับซอส และฐานรองกับเดรนตามลำดับ และมีค่าเป็น [7]



(ก)



(ข)



(ค)

รูปที่ 2.18 (ก) แบบจำลองวงจรสมมูลของมอสเฟตที่มีความถี่สูง (ข) วงจรสมมูลสำหรับกรณีชอสต่อกับฐานรอง (ค) วงจรสมมูลตามรูป (ข) กรณี C_{db} มีค่าน้อยมาก

$$C_{sb} = \frac{A_s C_{sb0}}{\left(1 + \frac{V_{SB}}{\psi_0}\right)^{1/2}} \tag{2.23}$$

และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{db} = \frac{A_d C_{dbo}}{\left(1 + \frac{V_{DB}}{\psi_0}\right)^{1/2}} \quad (2.24)$$

โดย

$n = 2$ กรณีรอยต่อพีเอ็นเป็นแบบขั้นบันได (step junction)

$n = 3$ กรณีรอยต่อพีเอ็นเป็นแบบทางลาด (graded junction)

C_{sbo} และ C_{sdo} เป็นค่าความจุไฟฟ้ากรณี V_{SB} และ V_{DB} มีค่าเป็นศูนย์ ตามลำดับ

ψ_0 เป็นแรงดันที่รอยต่อพีเอ็นขณะที่แรงดันภายนอกเป็นศูนย์ (built-in potential)

A_s และ A_d เป็นพื้นที่ของซอสและเดรน รวมถึงพื้นที่ด้านข้าง (sidewall)

ค่าความจุไฟฟ้าระหว่างเกตและฐานรอง C_{sb} เป็นค่าความจุไฟฟ้าแฝงของออกไซด์ (parasitic oxide capacitance) ซึ่งเกิดขึ้นระหว่างชั้นสารทางด้านเกต (โลหะหรือโพลีซิลิกอน) กับฐานรอง โดยค่าความจุไฟฟ้า C_{sb} มีค่าคงที่ จริง ๆ แล้วค่าความจุไฟฟ้าแฝงชนิดนี้ จะวางตัวตามแนวโพลีซิลิกอนและโลหะบนแผ่นซีพ และจะถูกพิจารณาเฉพาะการจำลองและคำนวณของวงจรและคุณสมบัติของอุปกรณ์ที่ความถี่สูง โดยใช้คอมพิวเตอร์ ค่าโดยทั่วไปจะขึ้นอยู่กับความหนาของออกไซด์ และมีค่าอยู่ในช่วง 0.04 ถึง 0.15 เฟมโตฟารัดต่อตารางไมครอนของรอยต่อที่เลื่อมล้ำกัน

ค่าความจุไฟฟ้า C_{ss} และ C_{sd} เกิดจากเกตกับซอสและเกตกับเดรน ตามลำดับ โดยที่ C_{ss} เป็นค่าความจุออกไซด์ต่อหนึ่งหน่วยพื้นที่จากเกตถึงแกนแนล ทำให้ค่าความจุไฟฟ้าทั้งหมดข้างได้เกตมีค่าเท่ากับ $C_{ss} WL$ ซึ่งค่านี้เป็นค่าโดยแท้จริงของการทำงานของมอสเฟต และเป็นรูปแบบการใช้งานในการควบคุมให้เกิดการนำไฟฟ้าที่แกนแนล ขณะที่ในช่วงที่มอสเฟตทำงานในช่วงไม่อิ่มตัว ค่าความจุไฟฟ้านี้จะแบ่งออกเป็นสองส่วนเท่า ๆ กันระหว่างซอสและเดรน จะได้

$$C_{ss} = C_{sd} = \frac{1}{2} C_{ss} WL \quad (2.25)$$

ขณะที่มอสเฟตทำงานในช่วงอิ่มตัว แกนแนลจะหดแคบลงจนขาดออกที่ปลายด้านเดรน ซึ่งทำให้แรงดันเดรนมีผลเพียงเล็กน้อยต่อทั้งแกนแนลและประจุที่เกต ดังนั้นส่วนหนึ่งของค่า C_{sd} โดยทั่วไปแล้วมีค่าเป็นศูนย์ในช่วงการทำงานอิ่มตัว ขณะที่อีกส่วนซึ่งเกิดจากค่าความจุแฝงที่ออกไซด์ เนื่องจากบางส่วนของเกตซ้อนทับกับบางส่วนของเดรน โดยค่า C_{sd} มีค่าอยู่ในระดับ 1 ถึง 10 เฟมโตฟารัด

ในการคำนวณค่า C_{gs} ในช่วงอิมิตัว เราต้องคำนวณค่าจำนวนประจุทั้งหมด Q_T ที่อยู่ใน แชนแนล จะได้

$$Q_T = \frac{2}{3}WLC_{ox}(v_{gs} - V_T) \quad (2.26)$$

ดังนั้น

$$C_{gs} = \frac{Q_T}{v_{gs}} = \frac{2}{3}WLC_{ox} \quad (2.27)$$

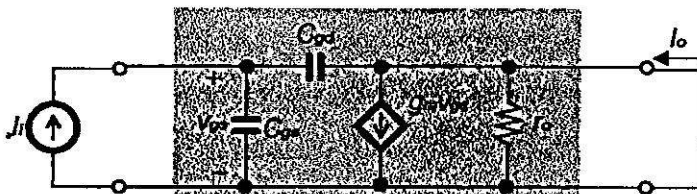
นอกจากนี้ ค่าความจุ C_{gs} ยังต้องรวมกับส่วนที่เกิดจากค่าความจุออกไซด์แฝง เนื่องจาก พื้นที่บางส่วนของเกตซ้อนทับกับพื้นที่บางส่วนของซอส

คุณสมบัติที่สำคัญอีกประการหนึ่ง สำหรับการทำงานที่ความถี่สูงของมอสเฟต ที่ทำงาน เป็นวงจรถยาย คือ ความถี่ที่มีอัตราขยายเป็นหนึ่ง (unity-gain frequency) f_T โดยมีนิยามว่า เป็น ความถี่ที่อัตราขยายกระแสของมอสเฟตที่อยู่ในรูปแบบวงจรถอยร่วม (common source configuration) มีค่าเป็นหนึ่งขณะที่ปิดวงจร (short-circuit) จากรูปที่ 2.14 แสดงแบบจำลอง ไฮบริด-ไพ (hybrid- π) ของมอสเฟตในลักษณะขอส่วร่วมระหว่างอินพุตและเอาต์พุตพอร์ท ในการหาอัตราขยายกระแสขณะปิดวงจร จะต้องทำการป้อนแหล่งกำเนิดกระแส I_i ที่อินพุต และที่เอาต์พุตปิดวงจร และทำการหากระแสที่เอาต์พุตได้ [6]

$$I_o = g_m V_{gs} - sC_{gd}V_{gs} \quad (2.28)$$

จากที่กล่าวข้างต้น C_{gd} มีค่าน้อยมาก มีผลให้พจน์สุดท้ายของสมการ (2.28) มีค่าเข้าใกล้ ศูนย์ แล้วจะได้สมการใหม่ คือ

$$I_o \cong g_m V_{gs} \quad (2.29)$$



รูปที่ 2.14 แสดงการหาอัตราขยายกระแสขณะปิดวงจร

จากรูปที่ 2.15 สามารถแสดง V_{gs} ในพจน์ของกระแสอินพุต I_i ได้

$$V_{gs} = \frac{I_i}{s(C_{gs} + C_{gd})} \quad (2.30)$$

จากสมการ (2.29) และ (2.30) จะได้อัตราขยายกระแสขณะปิดวงจร

$$\frac{I_o}{I_i} = \frac{g_m}{s(C_{gs} + C_{gd})} \quad (2.31)$$

โดย $s = j\omega$ และจะได้ขนาดของอัตราขยายกระแสมีค่าเป็นหนึ่งที่ความถี่

$$\omega_T = g_m / (C_{gs} + C_{gd}) \quad (2.32)$$

ดังนั้นความถี่ที่อัตราขยายเป็นหนึ่ง $f_T = \omega_T / 2\pi$ คือ

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (2.33)$$

ซึ่งค่าของ f_T แปรผันตามค่า g_m และแปรผกผันกับค่าความจุไฟฟ้าภายในตัวมอสเฟต เมื่อแทนค่า g_m ในสมการ (2.18) จะพบว่าค่า f_T จะขึ้นอยู่กับค่ากระแสเดรน I_D ซึ่งสามารถสรุปได้ว่ากระแสเดรนมีส่วนในการทำงานของมอสเฟตที่ความถี่สูง ค่าโดยทั่วไปของ f_T จะมีค่าอยู่ในช่วงประมาณ 100 เมกกะเฮิรตซ์ (MHz) สำหรับเทคโนโลยีแบบเก่า (เช่น เทคโนโลยีกระบวนการผลิต CMOS 5 ไมครอน) และมีค่าหลาย ๆ กิกะเฮิรตซ์ (GHz) สำหรับเทคโนโลยีความเร็วสูง (high-speed technologies) ที่ใหม่กว่า (เช่น เทคโนโลยีกระบวนการผลิต CMOS 0.8 ไมครอน)

2.6 แบบจำลองของมอสเฟต

ปัจจุบันในการออกแบบวงจรรวม สามารถทำการออกแบบและทราบถึงผลการออกแบบได้โดยที่ยังไม่ได้ทำการผลิต หรือทำการสร้างวงจรเพื่อทดลองหาพารามิเตอร์ต่าง ๆ เนื่องจากมีโปรแกรมคอมพิวเตอร์เข้ามาช่วยในการออกแบบ สามารถจำลองการทำงานของวงจรได้ใกล้เคียงกับวงจรที่ได้รับการสร้างขึ้น ทำให้ทราบถึงผลการออกแบบทั้งที่ยังไม่ได้ทำการผลิตจริง ซึ่งโปรแกรมเหล่านี้ในปัจจุบันได้มีบทบาทสำคัญ ในอุตสาหกรรมการออกแบบวงจรอิเล็กทรอนิกส์เป็นอย่างมาก ช่วยในการประหยัดเวลาและต้นทุนในการผลิตวงจรรวม โปรแกรมที่เป็นที่นิยมใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กันในปัจจุบัน ได้แก่ SPICE HSPICE [10] (ได้รับความนิยมอย่างแพร่หลายบนระบบปฏิบัติการ UNIX) และ PSPICE [11] (นิยมใช้กับคอมพิวเตอร์ส่วนบุคคล PC) ซึ่งโปรแกรมเหล่านี้ได้รับการพัฒนาขึ้นจากมหาวิทยาลัย Berkeley California ประเทศสหรัฐอเมริกา

มอสเฟตซึ่งเกิดขึ้นในช่วงใกล้เคียงกันกับโปรแกรม SPICE ได้รับการพัฒนาควบคู่กันมา โดยตลอด และได้มีการแบ่งพิจารณาแบบจำลอง (MODEL) ของมอสเฟตเป็นสามรูปแบบ ตามความละเอียดของการคำนวณและการพิจารณาผลกระทบ (effect) ต่าง ๆ ของกระบวนการสร้างมอสเฟต ซึ่งสามารถสรุปความแตกต่างของแบบจำลองทั้งสามชนิดของมอสเฟต [8,12]

โดยปกติแบบจำลอง LEVEL1 ซึ่งได้อ้างอิงถึงแบบจำลองของ Shichman-Hodges [13] โดยใช้คณิตศาสตร์พื้นฐานในการคำนวณ ใช้สำหรับการจำลองวงจรอย่างคร่าว ๆ ซึ่งไม่ต้องการค่าที่เที่ยงตรงมากนัก ใช้สำหรับมอสเฟตที่มีแชนแนลยาวและเกตออกไซด์หนา ไม่พิจารณาถึงพฤติกรรมของแชนแนลที่สั้น (short channel behavior) ใช้แบบจำลองของมอสเฟตที่มีการประมาณจากทฤษฎีมาก อย่างไรก็ตามการประมาณค่าพารามิเตอร์ต่าง ๆ ตาม LEVEL1 นี้ มีข้อดีคือ ใช้เวลาในการคำนวณ และประสิทธิภาพของเครื่องคอมพิวเตอร์ไม่มาก ในการจำลองหาประสิทธิภาพของวงจรอย่างคร่าว ๆ

แบบจำลอง LEVEL2 แตกต่างจาก LEVEL1 ทั้งวิธีการคำนวณค่าความยาวของช่องทางเดินกระแสสัมพัทธ์ (ผลของ λ) และการเปลี่ยนสถานะจากช่วงไม่อิ่มตัวไปอยู่ในช่วงอิ่มตัว [14] มีประโยชน์สำหรับมอสเฟตที่มีความยาวของแชนแนลสั้น ใช้จำนวนของพารามิเตอร์ในการคำนวณมากขึ้น อย่างไรก็ตามค่าพารามิเตอร์ของ LEVEL2 ถูกใช้หมด แบบจำลองนี้จะต้องใช้เวลาและประสิทธิภาพของ CPU (Central Processing Unit) อย่างมากในการคำนวณ และบ่อยครั้งประสบปัญหาเกี่ยวกับการ convergence ของ Newton-Raphson algorithm และไม่พิจารณาถึงการช้อนทับที่อาจเกิดขึ้นได้ของบริเวณปลอดพาหะ (depletion region) ของซอสและเดรนในอุปกรณ์ที่มีแชนแนลสั้นมาก ๆ ผลของสนามไฟฟ้าทางด้านข้าง (lateral field effect) ที่มีต่อความคล่องตัวของพาหะ และ drain-induced barrier lowering (DIBL) และทำการพิจารณาผลของแชนแนลที่สั้น (short channel effect) เพียงบางส่วนเท่านั้น

แบบจำลอง LEVEL3 เป็นแบบจำลองที่ได้แก้ไขข้อบกพร่องต่าง ๆ ที่ได้กล่าวถึงใน LEVEL2 โดยพื้นฐานแล้วจะคล้ายคลึงกับ LEVEL2 ในแง่ของโครงสร้าง พารามิเตอร์หลายตัวเหมือนกันหรือใกล้เคียงกันมาก แตกต่างกันที่ LEVEL3 ใช้แบบจำลองถึงการทดลอง (semi-empirical model) ใช้แบบจำลองของแรงดันขีดเริ่มที่เพิ่มขึ้น เพิ่มพารามิเตอร์ η ซึ่งใช้อธิบาย DIBL นอกจากนี้แบบจำลอง channel length modulation ที่ใช้ใน LEVEL1 และ LEVEL2 ซึ่งใช้ λ จะถูกแทนที่ด้วยแบบจำลองที่ซับซ้อนขึ้นเล็กน้อย ซึ่งเกี่ยวกับพารามิเตอร์ v_{max} และพารามิเตอร์กึ่งทดลอง (semi-empirical parameter) อีกตัวหนึ่ง และสุดท้ายได้พิจารณาถึงการลดลงของค่าความคล่องตัวของพาหะเมื่อสนามไฟฟ้าด้านข้างมีค่ามาก แบบจำลองใน LEVEL3 นี้

ตารางที่ 2.1 แสดงพารามิเตอร์ของแบบจำลองมอสเฟตที่ใช้ในโปรแกรม SPICE [8]

Symbol	SPICE keyword	LEVEL	Parameter name	Default value	Typical value	Units
V_{TO}	VTO	1-3	Zero-bias threshold voltage	1.0	1.0	V
K'	KP	1-3	Transconductance parameter	2×10^{-5}	3×10^{-5}	A/V^2
γ	GAMMA	1-3	Body-effect parameter	0.0	0.35	$V^{1/2}$
$2\phi_F$	PHI	1-3	Surface inversion potential	0.6	0.65	V
λ	LAMBDA	1,2	Channel-length modulation	0.0	0.02	V^{-1}
t_{ox}	TOX	1-3	Thin oxide thickness	1×10^{-7}	1×10^{-7}	m
N_A	NSUB	1-3	Substrate doping	0.0	1×10^{15}	cm^{-3}
N_{SS}	NSS	1-3	Surface state density	0.0	1×10^{10}	cm^{-2}
N_{FS}	NFS	2,3	Surface-fast state density	0.0	1×10^{10}	cm^{-2}
N_{eff}	NEFF	2	Total channel charge coefficient	1	5	
X_j	XJ	2,3	Metallurgical junction depth	0.0	1×10^{-6}	m
X_j	LD	1-3	Lateral diffusion	0.0	0.8×10^{-6}	m
T_{FO}	TPG	1-3	Type of gate material	1	1	
μ_0	UO	1-3	Surface mobility	600	700	$cm^2/(V.s)$
U_c	UCRIT	2	Critical electric field for mobility	1×10^{-4}	1×10^{-4}	V/cm
U_c	UEXP	2	Exponential coefficient for mobility	0.0	0.1	
U_t	UTRA	2	Transverse field coefficient	0.0	0.5	
v_{max}	VMAX	2,3	Maximum drift velocity of carriers	0.0	5×10^4	m/s
X_{QC}	XQC	2,3	Coefficient of channel charge share	0.0	0.4	
δ	DELTA	2,3	Width effect on threshold voltage	0.0	1.0	
K	KAPPA	3	Saturation field factor	0.2	1.0	
η	ETA	3	Static feedback on threshold voltage	0.0	1.0	
θ	THETA	3	Mobility modulation	0.0	0.05	V^{-1}
α_F	AF	1-3	Flicker-noise exponent	1.0	1.2	
k_F	KF	1-3	Flicker-noise coefficient	0.0	1×10^{-26}	
I_s	IS	1-3	Bulk junction saturation current	1×10^{-14}	1×10^{-15}	A
J_s	JS	1-3	Bulk junction saturation current per square meter	0.0	1×10^{-8}	A
ψ_0	PB	1-3	Bulk junction potential	0.80	0.75	V
C_j	CJ	1-3	Zero-bias bulk capacitance per square meter	0.0	2×10^{-4}	F/m^2
$1/n$	MJ	1-3	Bulk junction grading coefficient	0.5	0.5	
C_{jsw}	CJSW	1-3	Zero-bias perimeter capacitance per meter	0.0	1×10^{-9}	F/m
M_{jsw}	MJSW	1-3	Perimeter capacitance grading coefficient	0.33	0.33	
FC	FC	1-3	Forward-bias depletion capacitance coefficient	0.5	0.5	
C_{gbo}	CGBO	1-3	Gate-bulk overlap capacitance per meter	0.0	2×10^{-10}	F/m
C_{gdo}	CGDO	1-3	Gate-drain overlap capacitance per meter	0.0	4×10^{-11}	F/m
C_{gso}	CGSO	1-3	Gate source overlap capacitance per meter	0.0	4×10^{-11}	F/m
r_D	RD	1-3	Drain ohmic resistance	0.0	10.0	Ω
r_s	RS	1-3	Source ohmic resistance	0.0	10.0	Ω

ใช้ในการจำลองการทำงานของวงจรในขั้นสุดท้าย เพื่อให้ได้ค่าประสิทธิภาพและคุณสมบัติต่าง ๆ ของวงจรให้ใกล้เคียงกับวงจรที่ได้รับการสร้างขึ้น ดังนั้นแบบจำลองใน LEVEL3 นี้จะคิดทุกผลกระทบที่เกิดขึ้นกับมอสเฟตและพารามิเตอร์ทุกตัว เพื่อให้ได้ค่าต่าง ๆ ใกล้เคียงความจริงมากที่สุด เพราะฉะนั้นสามารถสรุปได้ว่า แบบจำลอง LEVEL3 เป็นแบบจำลองที่ละเอียดที่สุด ใช้เวลาและประสิทธิภาพของ CPU มากที่สุด โดยพารามิเตอร์ของมอสเฟตที่ใช้ในโปรแกรม SPICE ได้สรุปไว้ในตารางที่ 2.1

2.7 การเปรียบเทียบกับไบโพลาร์

ในหัวข้อนี้ จะได้ทำการเปรียบเทียบถึงความแตกต่างระหว่าง อุปกรณ์มอสทรานซิสเตอร์ กับไบโพลาร์ทรานซิสเตอร์ ซึ่งมีข้อแตกต่างที่ชัดเจน แสดงได้ดังนี้

- จำนวนชนิดพาหะในการนำกระแส โดยมอสเฟตจะใช้ในการนำกระแสเพียงชนิดเดียว คือ โฮล (hole) ใน PMOS หรือ อิเล็กตรอน (electron) ใน NMOS ดังนั้นจึงเรียกสิ่งประดิษฐ์สารกึ่งตัวนำชนิดนี้ว่า ยูนิโพลาร์ทรานซิสเตอร์ (unipolar transistor) ซึ่งต่างจากกรณียไบโพลาร์ทรานซิสเตอร์ (bipolar transistor) จะใช้จำนวนพาหะในการนำกระแสสองชนิด แบ่งเป็นกระแสของพาหะส่วนใหญ่ (majority carrier) ซึ่งเป็นอิเล็กตรอนสำหรับกรณีน npn และเป็นโฮล สำหรับกรณีน pnp และกระแสของพาหะส่วนน้อย (minority carrier) ซึ่งเป็นโฮลสำหรับ npn และเป็นอิเล็กตรอนสำหรับกรณีน pnp
- ลักษณะโครงสร้างของมอสเฟต จะมีลักษณะสมมาตรทั้งสองทาง (bilateral symmetry) ซึ่งตามโครงสร้างในรูปที่ 2.1 พบว่าที่ปลายเดรนและซอร์สมีความสมมาตรกันสามารถสลับที่กันได้โดยที่ไม่มีผลต่อการทำงานของอุปกรณ์ ต่างกับไบโพลาร์ทรานซิสเตอร์ ซึ่งลักษณะของโครงสร้างไม่มีความสมมาตร ปลายทางด้านอิมิตเตอร์ (emitter) ไม่สามารถสลับกับปลายทางด้านคอลเล็กเตอร์ได้ เพราะจะทำให้คุณสมบัติในการทำงานเปลี่ยนไป
- ขั้นตอนในการผลิต มอสทรานซิสเตอร์สามารถถูกควบคุมการผลิตให้ได้คุณสมบัติที่ต้องการได้ง่ายกว่า ใช้ขั้นตอนในการผลิตน้อยกว่า ใช้เวลาในการผลิตน้อยกว่า และใช้ต้นทุนในการผลิตต่ำกว่า ซึ่งเป็นคุณสมบัติที่ดีกว่าของมอสเฟตในเชิงพาณิชย์ ขณะที่ไบโพลาร์ควบคุมได้ยากกว่าในเรื่องของความกว้างของเบส ซึ่งมีอิทธิพลอย่างมากกับหลาย ๆ พารามิเตอร์ และมีขั้นตอนการผลิตที่ซับซ้อนมากกว่า ซึ่งมีผลต่อประสิทธิภาพในการผลิต (yield) ทำให้เกิดต้นทุนในการผลิตที่สูงกว่า
- ขนาดของอุปกรณ์ มอสทรานซิสเตอร์มีขนาดเล็กกว่าไบโพลาร์ทรานซิสเตอร์ มีผลให้ความหนาแน่นต่อแผ่นซิลิกอนของมอสมีมากกว่าไบโพลาร์ ซึ่งทำให้ลดต้นทุนใน

การผลิตได้จำนวนมาก และในปัจจุบันมอสทรานซิสเตอร์จัดเป็นอุปกรณ์สารกึ่งตัวนำ ที่ได้รับความนิยมมากที่สุด ในการนำมาสร้างเป็นวงจรรวมขนาดใหญ่มาก (VLSI) โดยใช้เทคโนโลยีของ CMOS

- การทำงาน มอสทรานซิสเตอร์ทำงานโดยใช้แรงดันไปควบคุมกระแสที่ทางออก และค่าความต้านทานที่ทางเข้า (input impedance) ของมอสเฟทมีค่ามาก ๆ เนื่องจากที่อินพุทขาเกตต่ออยู่กับฉนวน (ซิลิกอนไดออกไซด์) ทำให้มีอัตราการใช้พลังงานสูงเสียด้านค่ามาก และสามารถนำไปขับมอสเฟทตัวอื่น ๆ ได้จำนวนมาก ขณะที่ไบโพลาร์ทรานซิสเตอร์ทำงานโดยใช้กระแสทางเข้าควบคุมกระแสทางออก และความต้านทานที่ทางเข้าก็มีค่าน้อยกว่ากรณีของมอสเฟท ทำให้มีอัตราในการสูญเสียกำลังมากกว่า
- ความเร็วในการทำงานหรือการตอบสนองความถี่ ไบโพลาร์ทรานซิสเตอร์สามารถทำงานได้เร็วกว่า คอบสนองความถี่ได้สูงกว่า เนื่องจากมอสทรานซิสเตอร์มีค่าความจุไฟฟ้าทางด้านอินพุทสูง

2.8 บทสรุป

ในบทนี้เป็นการกล่าวถึง ชนิดของมอสเฟท โดยแบ่งตามลักษณะการทำงาน ซึ่งแบ่งได้เป็นมอสเฟทชนิดเอ็นแชนชันเมนท์โหมด และมอสเฟทชนิดดีพลีชันโหมด อธิบายถึงโครงสร้าง และลักษณะการทำงาน การเกิดช่องทางเดินกระแส แบบจำลองสัญญาณขนาดใหญ่ แบบจำลองสัญญาณขนาดเล็ก เทคโนโลยี CMOS การตอบสนองทางความถี่ของมอสเฟท วงจรสมมูลของมอสทรานซิสเตอร์ที่ความถี่สูง ซึ่งจะต้องทำการพิจารณาถึงค่าความจุไฟฟ้าต่าง ๆ ที่เกิดขึ้นจากโครงสร้างของมอสเฟท อิทธิพลของอุณหภูมิที่มีต่อมอสเฟท แบบจำลองของมอสเฟทที่ใช้ในโปรแกรม SPICE ซึ่งในวิทยานิพนธ์ฉบับนี้ได้ใช้โปรแกรม PSPICE version 5.3 ในการจำลองการทำงานของวงจรที่ได้ทำการออกแบบ และสุดท้ายได้ทำการเปรียบเทียบให้เห็นถึงความแตกต่างระหว่างมอสทรานซิสเตอร์และไบโพลาร์ทรานซิสเตอร์ โดยสิ่งที่ได้กล่าวถึงทั้งหมดนี้จะเป็นพื้นฐานของการออกแบบวงจรโดยใช้มอสเฟท ซึ่งจะได้อีกกล่าวถึงในบทต่อไป

บทที่ 3

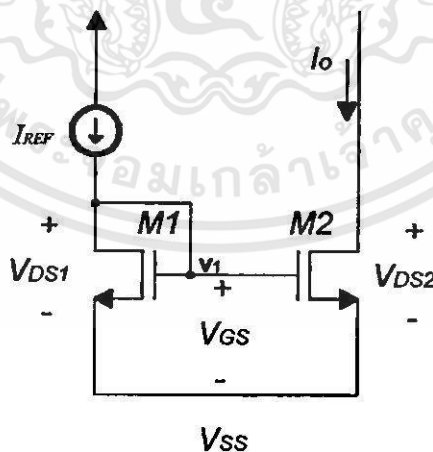
กลุ่มวงจรที่ใช้ในวิทยานิพนธ์

3.1 บทนำ

จากบทที่แล้วได้อธิบายถึง ทฤษฎีและการทำงานของมอสเฟต แบบจำลองสัญญาณ ขนาดใหญ่และเล็ก การตอบสนองความถี่ ฯลฯ ในบทนี้จะได้นำเอาทฤษฎีพื้นฐานเหล่านี้มาเป็น ส่วนสำคัญในการออกแบบและอธิบายกลุ่มวงจรย่อยต่าง ๆ ที่ใช้ในวิทยานิพนธ์ฉบับนี้ ซึ่ง ประกอบด้วย วงจรสะท้อนกระแส วงจรตามคัทคา วงจรสายพานกระแส วงจรเปรียบเทียบแรงดัน วงจรอนาล็อกสวิตช์ และในบทนี้จะได้ทำการวิเคราะห์หาคูสมบัติต่าง ๆ ของวงจรเหล่านี้

3.2 วงจรสะท้อนกระแส [2,4,6,15]

วงจรสะท้อนกระแส (Current Mirror) เป็นวงจรพื้นฐานที่สำคัญวงจรหนึ่ง มีการนำไป ใช้เป็นวงจรย่อยในวงจรต่าง ๆ มากมาย เช่น ใช้เป็นแหล่งกำเนิดกระแสคงที่ (constant current source) คุณสมบัติของวงจรสะท้อนกระแสที่ดีจะต้องให้ค่ากระแสที่ทางเข้าเท่ากับกระแสที่ทาง ออก และมีความต้านทานที่ทางเข้าของสัญญาณต่ำและความต้านทานที่ทางออกสูง วงจร สะท้อนกระแสใช้หลักการที่ว่า ถ้าแรงดันเกตของสองมอสฟทรานซิสเตอร์ที่เหมือนกันสองตัวมีค่า เท่ากัน แล้วกระแสที่ไหลผ่านแชนแนล (กระแสเดรน) จะเท่ากันด้วย



รูปที่ 3.1 แสดงวงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแชนแนล

จากรูปที่ 3.1 แสดงวงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแชนแนล (N-channel current mirror) โดยมีแหล่งกำเนิดกระแสคงที่ I_{REF} เป็นกระแสที่ทางเข้า และ I_o เป็นกระแสที่

ทางออกหรือกระแสที่ถูกสะท้อน มอสทรานซิสเตอร์ M1 มีค่า $V_{DS1}=V_{GS}$ ดังนั้นมอสทรานซิสเตอร์ M1 จะทำงานในช่วงอิ่มตัว และสมมติให้มอสทรานซิสเตอร์ M2 มีค่า $V_{DS2} \geq V_{GS}-V_{T2}$ ดังนั้นทำให้มอสทรานซิสเตอร์ M2 ทำงานในช่วงอิ่มตัว จากสมการ (2.14) จะได้อัตราส่วนของกระแสเอาต์พุตต่อกระแสอินพุต ดังนี้

$$\frac{I_O}{I_{REF}} = \left(\frac{L_1 W_2}{W_1 L_2} \right) \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left(\frac{1 + \lambda_2 V_{DS2}}{1 + \lambda_1 V_{DS1}} \right) \left(\frac{\mu_{02} C_{ox2}}{\mu_{01} C_{ox1}} \right) \quad (3.1)$$

เนื่องจากมอสทรานซิสเตอร์ทั้งสองตัว โดยทั่วไปจะถูกสร้างลงบนแผ่นวงจรรวมพร้อม ๆ กัน ดังนั้นมอสทรานซิสเตอร์ทั้งสองตัวจึงมีความสมพียงกัน มีค่าพารามิเตอร์ในเชิงโครงสร้าง (physical parameters) ทั้งหมด เช่น V_T , μ_0 , C_{ox} ฯลฯ เท่ากันหรือใกล้เคียงกัน ดังนั้นสมการ (3.1) สามารถเขียนใหม่ได้ดังนี้

$$\frac{I_O}{I_{REF}} = \left(\frac{L_1 W_2}{W_1 L_2} \right) \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (3.2)$$

ถ้า $V_{DS2} = V_{DS1}$ แล้ว

$$\frac{I_O}{I_{REF}} = \left(\frac{L_1 W_2}{W_1 L_2} \right) \quad (3.3)$$

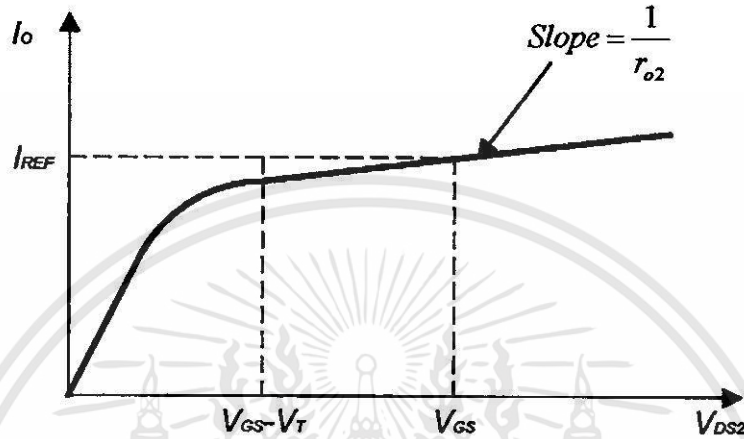
จากสมการ (3.3) จะเห็นว่าอัตราส่วน I_O/I_{REF} ขึ้นอยู่กับค่าความกว้างและความยาวของช่องทางเดินกระแส ซึ่งสามารถกำหนดได้ในการออกแบบ ถ้าให้ $W_1/L_1 = W_2/L_2$ แล้วจะได้กระแสที่เอาต์พุตเท่ากับกระแสที่อินพุต โดย M2 จะทำหน้าที่เสมือนแหล่งจ่ายกระแสคงที่ที่เอาต์พุต

จากข้างต้นได้สมมติว่าทรานซิสเตอร์ M2 ทำงานอยู่ในช่วงอิ่มตัว จึงจะได้ความสัมพันธ์ตามสมการ (3.3) ดังนั้นค่า V_{DS2} มีค่าต่ำสุดที่ทำให้วงจรทำงานได้อย่างเหมาะสมคือ

$$V_{DS2} = V_{GS} - V_T \quad (3.4)$$

อย่างไรก็ตามในทางปฏิบัติ ผลของ channel length modulation effect จะมีอิทธิพลต่อการทำงานของแหล่งกำเนิดกระแสคงที่ พิจารณากรณีมอสทรานซิสเตอร์สองตัวสมพียงกัน กระแสเดรนของ M2 จะเท่ากับกระแสเดรนของ M1 ก็ต่อเมื่อค่าแรงดันเดรนขอสของ M2 เท่า

กับแรงดันเดรนซอสของ M1 หมายความว่า $V_{DS2}=V_{GS}$ เมื่อ V_{DS2} เพิ่มขึ้นค่า I_o จะเพิ่มขึ้นตามความต้านทานเอาต์พุต (output resistance) ของ M2 (r_{o2}) ที่เพิ่มขึ้น ซึ่งสามารถอธิบายได้ตามกราฟรูปที่ 3.2 สำหรับ M2 ทำงานที่ V_{GS} คงที่ค่าหนึ่ง (V_{GS} ถูกกำหนดโดยกระแส I_{REF} ที่ไหลผ่าน M1)



รูปที่ 3.2 แสดงคุณสมบัติที่เอาต์พุตของวงจรสะท้อนกระแสในรูป 3.1 ในกรณี M1 และ M2 สมพจน์กัน

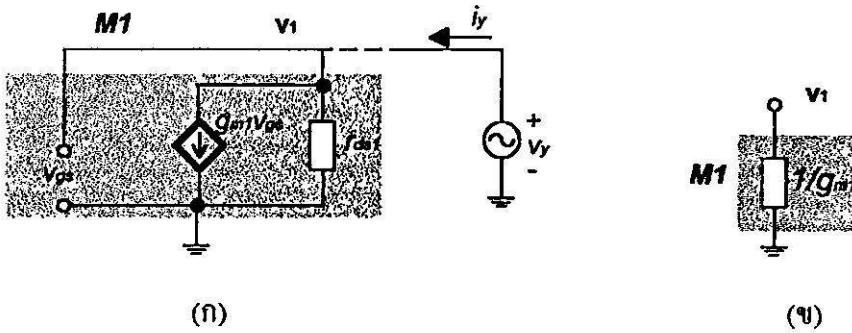
จากกราฟรูป 3.2 สามารถหาค่าความต้านทานเอาต์พุต R_o ได้ดังนี้

$$R_o = \frac{\Delta V_{DS2}}{\Delta I_o} = r_{o2} = \frac{V_{A2}}{I_o} \quad (3.5)$$

ขณะที่ V_{A2} คือ Early Voltage ของ M2 ซึ่งค่า V_A ของทรานซิสเตอร์แปรผันตามค่าความยาวของช่องทางเดินกระแส ดังนั้นเมื่อต้องการค่าความต้านทานเอาต์พุตสูง จะต้องทำการออกแบบวงจรสะท้อนกระแสโดยใช้ทรานซิสเตอร์ที่มีช่องทางเดินกระแสยาว

ต่อไปจะได้ทำการวิเคราะห์ผลตอบสนองต่อสัญญาณขนาดเล็ก พิจารณาแบบจำลองสัญญาณขนาดเล็กเฉพาะของ M1 ตามรูป 3.3 (ก) สังเกตว่า M1 ถูกต่อเสมือนเป็นไดโอด (ปลายเดรนและเกตต่อกัน) และ I_o จะถูกแทนด้วยค่าความต้านทานภายในสำหรับแบบจำลองสัญญาณขนาดเล็ก ซึ่ง I_o จะถูกแทนด้วยเบ็ดวงจร (open circuit) และสามารถหาค่าเอาต์พุตอิมพีแดนซ์ของ M1 ได้โดยต่อสัญญาณแรงดันทดสอบ v_y ที่โหนด v_y แล้ววัดสัญญาณกระแส i_y ได้ดังนี้

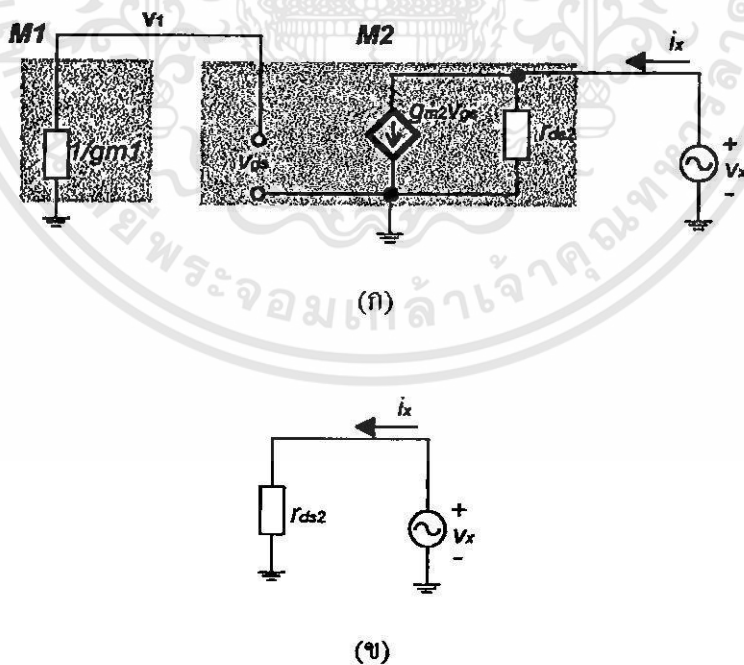
$$i_y = \frac{v_y}{r_{ds1}} + g_{m1}v_{gs} = \frac{v_y}{r_{ds1}} + g_{m1}v_y \quad (3.6)$$



รูปที่ 3.3 (ก) แบบจำลองสัญญาณขนาดเล็กลงของ M1 (ข) วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กลงของ M1

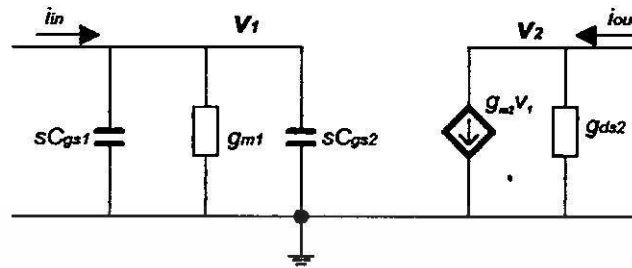
จะได้เอาท์พุทอิมพีแดนซ์ของ M1 คือ $(1/g_{m1}) \parallel r_{ds1}$ เนื่องจาก $r_{ds1} \gg 1/g_{m1}$ ดังนั้นค่าเอาท์พุทอิมพีแดนซ์มีค่าประมาณ $1/g_{m1}$ ซึ่งมีวงจรสมมูลตามรูป 3.3 (ข)

จากวงจรสมมูลของ M1 ข้างต้นจะได้แบบจำลองสัญญาณขนาดเล็กลงของวงจรสะท้อนกระแสตามรูป 3.4 (ก) เมื่อ v_{gs} ต่อลงกราวด์ทำให้ไม่มีกระแสไหลผ่านตัวต้านทาน $1/g_{m1}$ และ $g_{m2}v_{gs}=0$ จะได้วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กลงตามรูป 3.4 (ข) ดังนั้นเอาท์พุทอิมพีแดนซ์ของสัญญาณขนาดเล็กลงคือ r_{ds2}



รูปที่ 3.4 (ก) แบบจำลองสัญญาณขนาดเล็กลงของวงจรสะท้อนกระแส (ข) วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กลงของรูป (ก)

จากรูปที่ 3.5 สามารถหาฟังก์ชันการส่งผ่าน (transfer function) ได้โดยสมมติให้แหล่งกำเนิดกระแสที่ในรูป 3.1 I_{REF} แทนด้วยสัญญาณกระแสที่ทางเข้า i_{in}



รูปที่ 3.5 แสดงวงจรสมมูลที่ความถี่สูงของวงจรสะท้อนกระแสในรูป 3.1

พิจารณาที่โหนด v_1

$$i_{in}(s) = (sC_{gs1} + g_{m1} + sC_{gs2})v_1 \quad (3.7)$$

$$v_1 = \frac{i_{in}(s)}{sC_{gs1} + g_{m1} + sC_{gs2}} \quad (3.8)$$

พิจารณาที่โหนด v_2

$$i_{out}(s) = g_{m2}v_1 \quad (3.9)$$

แทนสมการ (3.8) ลงใน (3.9) จะได้ฟังก์ชันส่งผ่านดังนี้

$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{g_{m2}}{g_{m1} + s(C_{gs1} + C_{gs2})} \quad (3.10)$$

หรือ

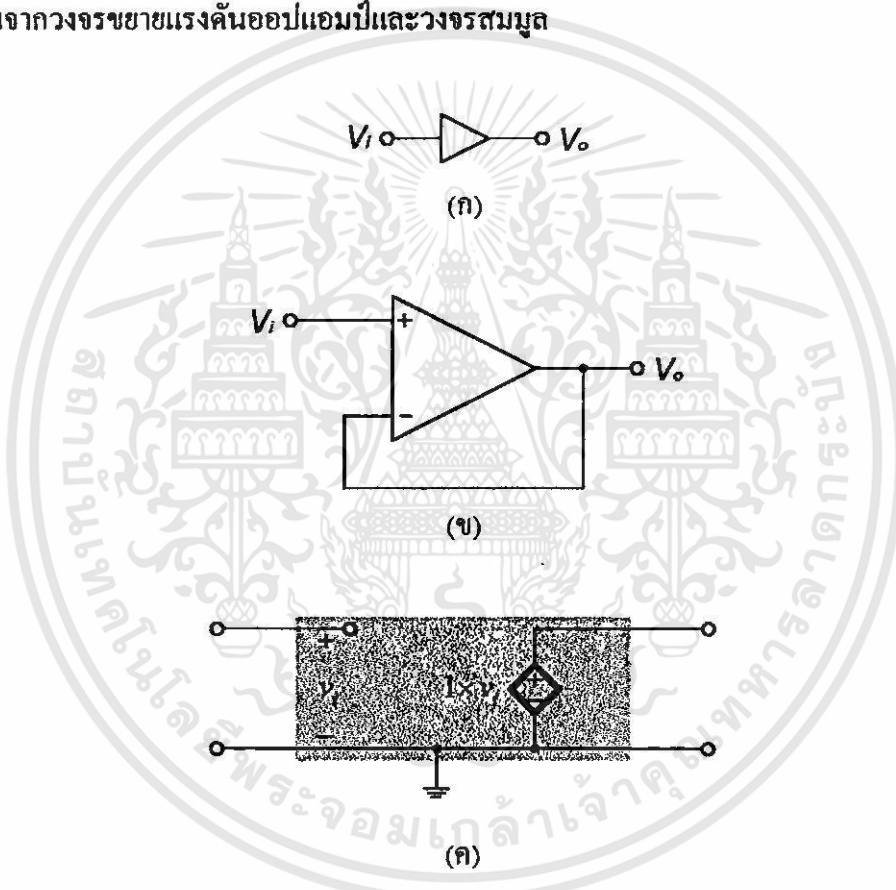
$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{g_{m2}}{g_{m1}} \left(\frac{1}{1 + \frac{s(C_{gs1} + C_{gs2})}{g_{m1}}} \right) \quad (3.11)$$

กรณีความถี่ต่ำหรือความถี่ปานกลาง จะได้ฟังก์ชันส่งผ่านดังนี้

$$\frac{i_{out}}{i_{in}} = \frac{g_{m2}}{g_{m1}} \quad (3.12)$$

3.8 วงจรตามคัทคาหรือบัฟเฟอร์

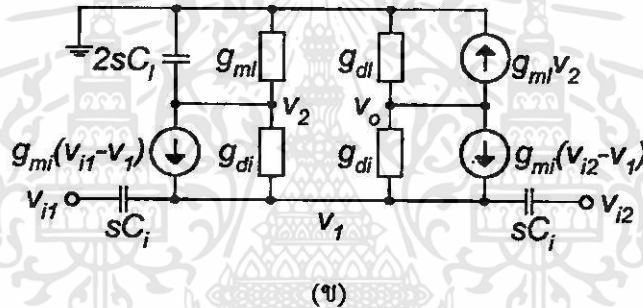
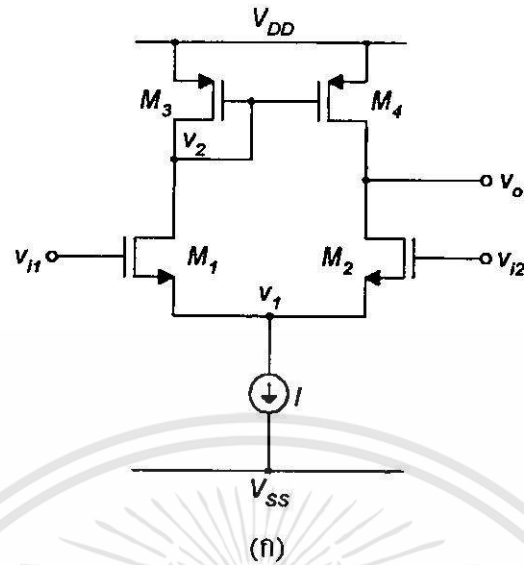
วงจรตามคัทคา (Voltage Follower) หรือ บัฟเฟอร์ (Buffer) เป็นวงจรที่ใช้แปลงค่าความต้านทานใช้สำหรับเป็นวงจรย่อยที่ทางออก สามารถสร้างขึ้นได้หลายวิธี โดยคุณสมบัติของวงจรตามคัทคาที่ดีจะต้องให้ค่าแรงดันที่ทางเข้าเท่ากับแรงดันที่ทางออก และมีความต้านทานที่ทางเข้าสูงและความต้านทานที่ทางออกต่ำ รูปที่ 3.6 แสดงถึงสัญลักษณ์และวงจรตามคัทคาที่สร้างขึ้นจากวงจรขยายแรงดันออปแอมป์และวงจรสมมูล



รูปที่ 3.6 (ก) สัญลักษณ์ของวงจรตามคัทคา (ข) วงจรตามคัทคาโดยใช้ออปแอมป์ (ค) วงจรสมมูล

วงจรตามคัทคาอีกวงหนึ่งสามารถสร้างได้จาก CMOS โดยใช้วงจรขยายความแตกต่าง โดยใช้ CMOS (CMOS Differential Amplifier) ที่มีทางออกเดี่ยว [16-17] และใช้วงจรครนร่วม (Common Drain) เป็นส่วนป้อนกลับและจ่ายกระแส

วงจรขยายความแตกต่างโดยใช้ CMOS ที่มีทางออกเดี่ยวแสดงตามรูปที่ 3.7 เป็นวงจรที่มีค่าความต้านทานทางเข้าสูง และมีค่าความต้านทานทางออกต่ำ



รูปที่ 3.7 (ก) วงจรขยายความแตกต่าง CMOS (ข) วงจรสมมูลสัญญาณขนาดเล็กของรูป (ก)

วงจรมูลสัญญาณขนาดเล็กแสดงตามรูปที่ 3.7 (ข) สมมติว่า M_1 และ M_2 มีความสมพ้องกัน แอกทิฟโหลด M_3 และ M_4 มีความสมพ้องกัน และแหล่งกำเนิดกระแสที่ I มีความต้านทานเป็นอนันต์ สามารถหาค่าฟังก์ชันการส่งผ่านได้ดังนี้

พิจารณาที่โหนด v_1 จะได้

$$2(sC_i + g_{dl} + g_{mi})v_1 - g_{dl}v_2 - g_{dl}v_o = (sC_i + g_{mi})(v_{i1} + v_{i2}) \quad (3.13)$$

พิจารณาที่โหนด v_2 จะได้

$$(g_{dl} + g_{mi} + 2sC_i)v_2 - (g_{dl} + g_{mi})v_1 = -g_{mi}v_{i1} \quad (3.14)$$

พิจารณาที่โหนด v_o จะได้

$$(g_{di} + g_{dl})v_o + g_{ml}v_2 - (g_{mi} + g_{di})v_1 = -g_{mi}v_{i2} \quad (3.15)$$

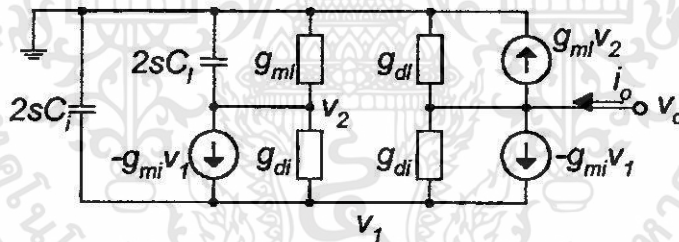
จากสมการ (3.13) ถึง (3.15) จะได้

$$A_{vd}(s) = \frac{v_o}{v_{i1} - v_{i2}} = \frac{g_{mi} [g_{mi}g_{dl} - 2(g_{mi} + sC_i)(g_{mi} + sC_i)]}{g_{mi}g_{dl}(g_{di} + g_{di} + 2sC_i) - 2(g_{mi} + sC_i)(g_{mi} + 2sC_i)(g_{di} + g_{di})}$$

$$\approx \frac{g_{mi}(g_{mi} + sC_i)}{(g_{mi} + sC_i)(g_{di} + g_{di})} \quad (3.16)$$

ที่ความถี่ต่ำหรือความถี่กลางจะได้

$$A_{vd} = \frac{v_o}{v_{i1} - v_{i2}} = \frac{g_{mi}}{g_{di} + g_{dl}} \quad (3.17)$$



รูปที่ 3.8 วงจรสมมูลสำหรับคำนวณหาอิมพีแดนซ์ทางออกของวงจรขยายความแตกต่าง CMOS

ในการคำนวณหาอิมพีแดนซ์ทางออกของสัญญาณขนาดเล็ก สำหรับวงจรขยายความแตกต่าง CMOS สามารถทำได้โดยมีนกระแส i_o ที่ทางออกของวงจร และให้แรงดันทางเข้า v_{i1} และ v_{i2} เป็นศูนย์ แล้วทำการหาค่า v_o/i_o แสดงตามรูปที่ 3.8

พิจารณาที่โหนด v_1 จะได้

$$2(sC_i + g_{dl} + g_{mi})v_1 - g_{dl}v_2 - g_{dl}v_o = 0 \quad (3.18)$$

พิจารณาที่โหนด v_2 จะได้

$$(g_{d1} + g_{m1} + 2sC_1)v_2 - (g_{d1} + g_{m1})v_1 = 0 \quad (3.19)$$

พิจารณาที่โหนด v_o จะได้

$$(g_{d1} + g_{d2})v_o + g_{m2}v_2 - (g_{m2} + g_{d1})v_1 = i_o \quad (3.20)$$

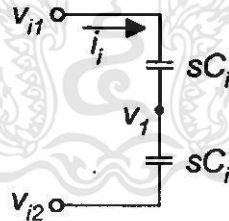
จากสมการ (3.18) ถึง (3.20) จะได้

$$z_{od} = \frac{v_o}{i_o} = \frac{g_{m1}g_{d2} - 2(g_{m1} + sC_1)(g_{m2} + 2sC_1)}{g_{m1}g_{d2}(g_{d1} + g_{d2} + 2sC_1) - 2(g_{m1} + sC_1)(g_{m2} + 2sC_1)(g_{d1} + g_{d2})}$$

$$\approx \frac{1}{g_{d1} + g_{d2}} \quad (3.21)$$

ที่ความถี่ต่ำหรือความถี่กลางจะ ได้ความต้านทานที่ทางออกเป็น

$$R_{od} = \frac{v_o}{i_o} = \frac{1}{g_{d1} + g_{d2}} \quad (3.22)$$



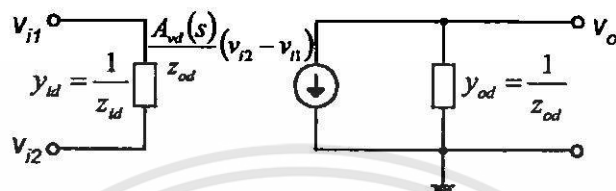
รูปที่ 3.9 วงจรสมมูลสำหรับคำนวณหาอิมพีแดนซ์ทางเข้าของวงจรขยายความแตกต่าง CMOS

ในการคำนวณหาอิมพีแดนซ์ทางเข้าของสัญญาณขนาดเล็ก สำหรับวงจรขยายความแตกต่าง CMOS สามารถหาได้จากวงจรสมมูลตามรูปที่ 3.9 ซึ่งให้แรงดันทางออก v_o เป็นศูนย์ และป้อนกระแส i_i ที่ทางเข้าของวงจร จากรูปอิมพีแดนซ์ทางเข้ามีค่าเป็น

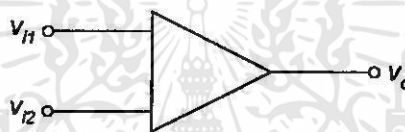
$$z_{id} = \frac{v_{i1} - v_{i2}}{i_i} = \frac{2}{sC_i} \quad (3.23)$$

ขณะที่กรณิความถี่ต่ำหรือความถี่กลางค่าความต้านทานที่ทางเข้าจะมีค่าเป็นอนันต์ เพราะถูกสั้นด้วยจนวนจิลิกอนไดออกไซด์ที่ขาเกทของ M_1 และ M_2

เมื่อทำการหาค่าฟังก์ชันการส่งผ่าน ค่าอิมพีแดนซ์ทางเข้า และค่าอิมพีแดนซ์ทางออกแล้ว จะสามารถเขียนวงจรสมมูลของวงจรขยายความแตกต่าง CMOS ที่มีทางออกเดียวได้ตามรูปที่ 3.10

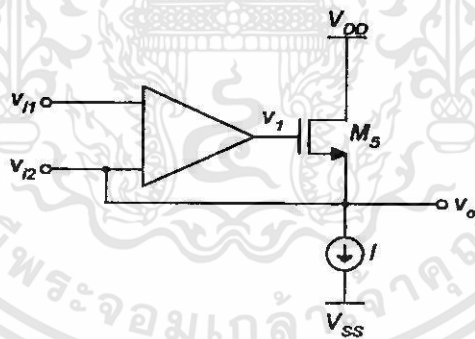


(ก)

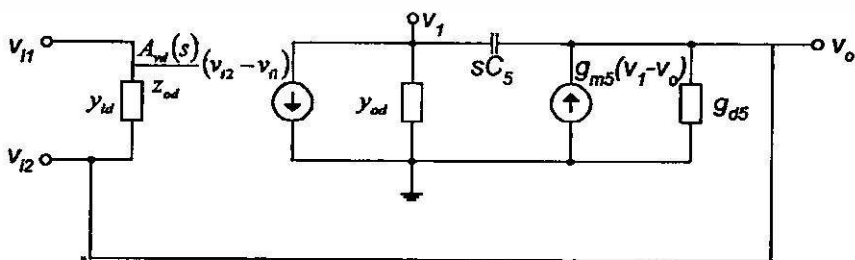


(ข)

รูปที่ 3.10 (ก) วงจรสมมูลของวงจรขยายความแตกต่าง CMOS (ข) สัญลักษณ์



(ก)



(ข)

รูปที่ 3.11 (ก) วงจรตามสัคคา CMOS (ข) วงจรสมมูลของรูป (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรตามทฤษฎีสามารถสร้างได้จากวงจรขยายความแตกต่าง และวงจรครนร่วม (วงจรซอสตาม) มาประกอบกันตามรูปที่ 3.11(ก) และจากรูปที่ 3.10(ก) จะได้วงจรสมมูลตามรูปที่ 3.11(ข) สามารถหาฟังก์ชันการส่งผ่านได้ดังนี้

พิจารณาที่โหนด v_1 จะได้

$$(y_{od} + sC_5)v_1 + \left(\frac{A_{vd}(s)}{z_{od}} - sC_5\right)v_o = \frac{A_{vd}(s)}{z_{od}}v_{in} \quad (3.24)$$

พิจารณาที่โหนด v_o จะได้

$$(g_{m5} + sC_5 + y_{id} + g_{d5})v_o - (g_{m5} + sC_5)v_1 = y_{id}v_{in} \quad (3.25)$$

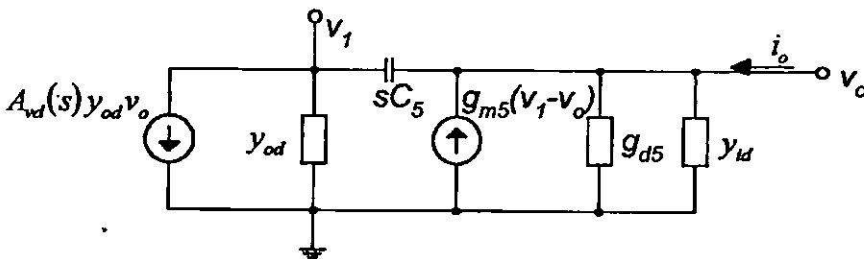
เนื่องจาก $v_{i2} = v_o$ และจากสมการ (3.24) และ (3.25) จะได้

$$A_{vb}(s) = \frac{v_o}{v_{in}} = \frac{(A_{vd}(s)/z_{od})(g_{m5} + sC_5) + (y_{od} + sC_5)y_{id}}{(A_{vd}(s)/z_{od} - sC_5)(g_{m5} + sC_5) + (y_{od} + sC_5)(sC_5 + g_{m5} + y_{id})}$$

$$\approx \frac{g_m(g_{m1} + sC_1)}{g_m(g_{m1} + sC_1) + (g_{d1} + g_{d2})(g_{m1} + 2sC_1)} \quad (3.26)$$

จากสมการ (3.17) และ (3.22) ที่ความถี่ต่ำหรือความถี่กลางจะได้

$$A_{vb} = \frac{g_m}{g_{m1} + g_{d1} + g_{d2}} \quad (3.27)$$



รูปที่ 3.12 วงจรสมมูลสำหรับคำนวณหาอิมพีแดนซ์ทางออกของวงจรตามทฤษฎี CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.12 แสดงวงจรสมมูลสำหรับคำนวณหาอิมพีแดนซ์ทางออกของวงจรตามสัปดาห์ CMOS พิจารณาที่โหนด v_1 จะได้

$$(y_{od} + sC_5)v_1 + (A_{vd}(s)y_{od} - sC_5)v_o = 0 \quad (3.28)$$

พิจารณาที่โหนด v_o จะได้

$$(y_{id} + g_{ds} + sC_5 + g_{ms})v_o - (sC_5 + g_{ms})v_1 = i_o \quad (3.29)$$

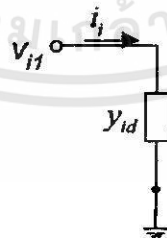
จากสมการ (3.28) และ (3.29) จะได้อิมพีแดนซ์ที่ทางออกเป็น

$$z_{ob} = \frac{v_o}{i_o} = \frac{y_{od} + sC_5}{(y_{od} + sC_5)(y_{id} + g_{ms} + sC_5) + (g_{ms} + sC_5)(A_{vd}(s)y_{od} - sC_5)}$$

$$\approx \frac{(g_{dl} + g_{dt} + sC_5)(g_{ml} + 2sC_1)}{g_{ms}(g_{ml} + sC_1)(g_{ms} + sC_5)} \quad (3.30)$$

จากสมการ (3.17) และ (3.22) ที่ความถี่ต่ำหรือความถี่กลางจะได้

$$R_{ob} = \frac{g_{dl} + g_{dt}}{g_{ms}g_{ml}} \quad (3.31)$$



รูปที่ 3.13 วงจรสมมูลสำหรับคำนวณหาอิมพีแดนซ์ทางเข้าของวงจรตามสัปดาห์ CMOS

ในการคำนวณหาค่าอิมพีแดนซ์ทางเข้าของสัญญาณขนาดเล็ก สำหรับวงจรตามสัปดาห์ CMOS สามารถหาได้จากวงจรสมมูลตามรูปที่ 3.13 ซึ่งให้แรงดันทางออก v_o เป็นศูนย์ และป้อนกระแส i_i ที่ทางเข้าของวงจร จากรูปอิมพีแดนซ์ทางเข้ามีค่าเป็น

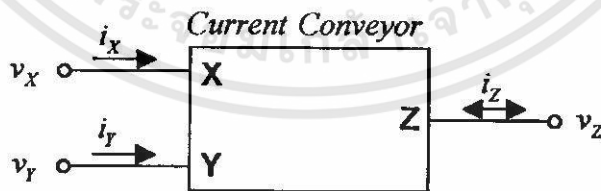
$$z_{ib} = \frac{v_{fl}}{i_f} = \frac{1}{y_{fd}} = \frac{2}{sC_f} \quad (3.32)$$

ขณะที่กรณีความถี่ต่ำหรือความถี่กลางค่าความต้านทานที่ทางเข้าจะมีค่าเป็นอนันต์ เพราะถูกกั้นด้วยฉนวนซีลิกอนไดออกไซด์ที่ขาเกตของ M_1

3.4 วงจรสายพานกระแส

วงจรสายพานกระแส (Current Conveyor Circuit) เป็นวงจรพื้นฐานชนิดใหม่ โดยถือกำเนิดขึ้นจากแนวความคิดของ K. C. Smith และ A. Sedra ในปี 1968 ซึ่งเรียกว่าเป็นวงจรสายพานกระแสรุ่นแรก (First Generation Current Conveyors หรือ CCI) [18] แต่เนื่องจากวงจรสายพานกระแสรุ่นแรกที่เกิดขึ้นมานั้นไม่ได้รับความนิยม K. C. Smith และ A. Sedra จึงได้คิดวงจรสายพานกระแสรุ่นที่สอง (Second Generation Current Conveyors หรือ CCII) ขึ้นมาในปี 1970 [19] และได้มีการพัฒนางจรให้อยู่ในรูปแบบของ CMOS เพื่อให้ง่ายต่อกระบวนการสร้าง โดย W. Surakamponthorn, V. Riewruja, K. Kumwachara และ K. Dejhan ในปี 1991 [20] ซึ่งวงจรสายพานกระแสรุ่นที่สองนี้ได้รับความนิยมในการนำไปประยุกต์ใช้งานอย่างกว้างขวาง และวงจรสายพานกระแสรุ่นที่สาม (Third Generation Current Conveyors หรือ CCIII) ได้รับการพัฒนาขึ้นโดย A. Fabre ในปี 1995 [21]

วงจรสายพานกระแสเป็นวงจรที่ทำงานในรูปแบบของกระแส (current mode circuit) และเป็นโครงข่ายวงจรสามพอร์ตคือ พอร์ต X, Y และ Z แสดงตามรูปที่ 3.14 โดยมีคุณสมบัติตามสมการ (3.33)



รูปที่ 3.14 แสดงสัญลักษณ์ของวงจรสายพานกระแส

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & A & 0 \\ 1 & 0 & 0 \\ 0 & \pm B & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (3.33)$$

ขณะที่ $A=1$ หมายถึง วงจรสายพานกระแสรุ่นที่หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$A=0$ หมายถึง วงจรสายพานกระแสรุ่นที่สอง

$A=-1$ หมายถึง วงจรสายพานกระแสรุ่นที่สาม

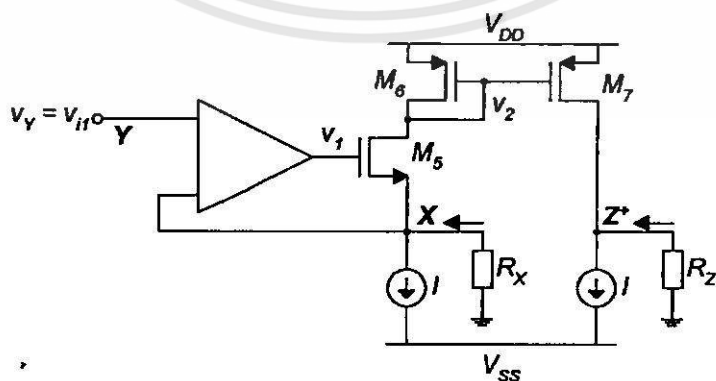
วงจรสายพานกระแสสามารถแบ่งออกได้เป็นสองชนิด คือ วงจรสายพานกระแสชนิดบวก CCII+ (positive second generation current conveyor) และวงจรสายพานกระแสชนิดลบ CCII- (negative second generation current conveyor) ตามค่าของ B ซึ่งแสดงถึงอัตราการขยายกระแสในสมการ (3.34) โดยที่เครื่องหมายของ B จะเป็นบวกหรือลบนั้น ขึ้นอยู่กับทิศทางการไหลของกระแส i_x กับกระแส i_y ถ้าเป็นเครื่องหมายบวกแสดงว่าทิศทางการไหลของกระแส i_x กับกระแส i_y มีทิศทางเดียวกัน ไหลเข้าหรือไหลออกจากวงจรเหมือนกัน และเรียกว่าเป็นสายพานกระแสชนิดบวก หรือ CCII+ ถ้าเป็นเครื่องหมายลบแสดงว่ากระแส i_x กับกระแส i_y มีทิศทางตรงกันข้ามกัน และเรียกว่าเป็นสายพานกระแสชนิดลบ หรือ CCII- ซึ่งเป็นข้อแตกต่างกันของวงจรสายพานกระแสทั้งสอง

ในวิทยานิพนธ์ฉบับนี้ได้ใช้วงจรสายพานกระแสรุ่นที่สอง ($A=0$) และอัตราการขยายกระแสเป็นหนึ่งในหนึ่ง ($B=1$) ดังนั้นจากสมการ (3.33) สามารถสรุปคุณสมบัติของวงจรสะท้อนกระแสที่ใช้ได้ดังนี้

$$\begin{aligned} i_y &= 0 \\ v_x &= v_y \\ i_z &= \pm i_x \end{aligned} \quad (3.34)$$

3.4.1 วงจรสายพานกระแสชนิดบวก

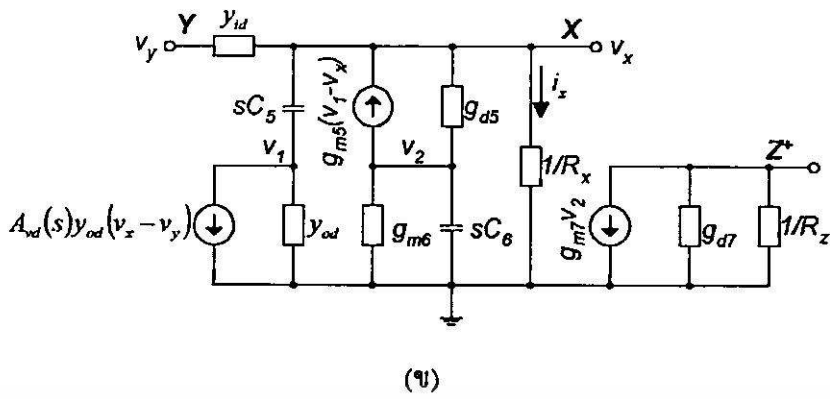
วงจรสายพานกระแสชนิดบวกโดยใช้ CMOS [16,20,22] แสดงได้ดังรูปที่ 3.15 โดย M_6 และ M_7 ต่ออยู่ในลักษณะวงจรสะท้อนกระแสชนิดพีแชนแนล



(ก)

รูปที่ 3.15 (ก) วงจรสายพานกระแสชนิดบวก CCII+ (ข) วงจรสมมูลของรูป (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะณใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 (ต่อ)

พิจารณาหาค่าอัตราขยายแรงดันที่พอร์ท X (ป้อนแรงดันที่พอร์ท Y หาแรงดันที่พอร์ท X) พิจารณาที่โหนด v_1 จะได้

$$(y_{od} + sC_5)v_1 + (A_{vd}(s)y_{od} - sC_5)v_x = A_{vd}(s)y_{od}v_y \quad (3.35)$$

พิจารณาที่โหนด v_2 จะได้

$$g_{m5}v_1 + (g_{ds} + g_{m6} + sC_6)v_2 - (g_{m5} + g_{ds})v_x = 0 \quad (3.36)$$

พิจารณาที่โหนด v_x จะได้

$$\left(\frac{1}{R_x} + y_{id} + g_{ds} + g_{m5} + sC_5 \right) v_x - g_{ds}v_2 - (g_{m5} + sC_5)v_1 = y_{id}v_y \quad (3.37)$$

จากสมการ (3.35) ถึง (3.37) จะได้

$$A_{v_{ccl}}(s) = \frac{v_x}{v_y} = \frac{(y_{od} + sC_5)y_{id} + A_{vd}(s)y_{od}(g_{m5} + sC_5)}{(y_{od} + sC_5) \left(\frac{1}{R_x} + y_{id} + g_{m5} + sC_5 \right) + A_{vd}(s)y_{od}(g_{m5} + sC_5)}$$

$$\approx \frac{g_{m1}(g_{m1} + sC_1)(g_{m5} + sC_5)}{g_{m1}(g_{m1} + sC_1)(g_{m5} + sC_5) + (g_{m1} + 2sC_1)(g_{d1} + g_{d1} + sC_5) \left(\frac{1}{R_x} + g_{m5} + sC_5 \right)} \quad (3.38)$$

ที่ความถี่ต่ำหรือความถี่กลางจะได้

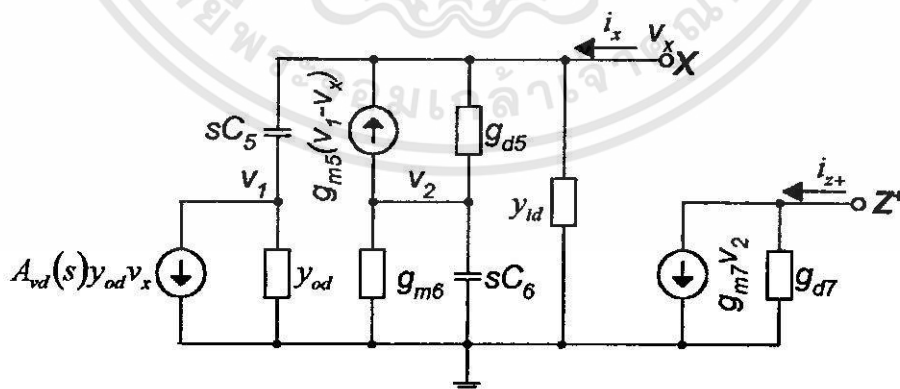
$$A_{vCCII} = \frac{g_{m1}g_{m5}}{g_{m1}g_{m5} + (g_{d1} + g_{d2})\left(\frac{1}{R_x} + g_{m5}\right)} \quad (3.39)$$

พิจารณาค่าทรานส์คอนดักแตนซ์ของวงจร (G_{mCCII}) ซึ่งเป็นการป้อนแรงดันเข้าที่พอร์ท Y แล้วทำการหากระแสที่พอร์ท X ตามรูป 3.15 (ข) ซึ่ง $v_x = i_x R_x$ ดังนั้นจากสมการ (3.38) และ (3.39) จะได้

$$G_{mCCII}(s) = \frac{i_x}{v_y} = \frac{A_{vCCII}(s)}{R_x} \quad (3.40)$$

$$G_{mCCII} = \frac{A_{vCCII}}{R_x} = \frac{1}{R_x} \left[\frac{g_{m1}g_{m5}}{g_{m1}g_{m5} + (g_{d1} + g_{d2})\left(\frac{1}{R_x} + g_{m5}\right)} \right] \quad (3.41)$$

พิจารณาค่าอัตราการส่งผ่านกระแสระหว่างพอร์ท X และพอร์ท Z^+ โดยไม่พิจารณาผลกระทบจากพอร์ท Y (ให้แรงดันที่พอร์ท Y เป็นศูนย์) จากรูปที่ 3.15 (ข) จะได้วงจรสมมูลอย่างง่าย สำหรับหาค่าอัตราการส่งผ่านกระแสดังรูปที่ 3.16



รูปที่ 3.16 วงจรสมมูลสำหรับหาค่าอัตราการส่งผ่านกระแสสำหรับวงจร CCII+

พิจารณาที่โหนด v_1 จะได้

$$(y_{od} + sC_5)v_1 + (A_{vd}(s)y_{od} - sC_5)v_x = 0 \quad (3.42)$$

พิจารณาที่โหนด v_2 จะได้

$$g_{m5}v_1 + (g_{d5} + g_{m6} + sC_6)v_2 - (g_{m5} + g_{d5})v_x = 0 \quad (3.43)$$

พิจารณาที่โหนด v_x จะได้

$$(y_{id} + g_{d5} + g_{m5} + sC_5)v_x - g_{d5}v_2 - (g_{m5} + sC_5)v_1 = i_x \quad (3.44)$$

และพิจารณาที่โหนด v_{z+} จะได้

$$g_{d7}v_{z+} = i_{z+} - g_{m7}v_2 \quad (3.45)$$

จากสมการ (3.42) ถึง (3.45) จะได้

$$A_{iccu+}(s) = \frac{i_{z+}}{i_x} = \frac{g_{m5}g_{m7}}{(g_{m5} + sC_5)(g_{m6} + sC_6)} \quad (3.46)$$

โดย C_6 มีค่าเท่ากับ $C_{gs6} + C_{gs7}$ และที่ความถี่ต่ำและความถี่กลางจะได้

$$A_{iccu+} = \frac{i_{z+}}{i_x} = \frac{g_{m7}}{g_{m6}} \quad (3.47)$$

พิจารณาค่าอิมพีแดนซ์ที่พอร์ท X ทำได้โดยไม่พิจารณาผลของพอร์ท Y ($v_y=0$) และถอดเอาความต้านทาน R_x ออก แล้วทำการให้แรงดัน v_x และทำการหากระแส i_x ที่พอร์ท X จะได้ว่าวงจรสมมูลตามรูปที่ 3.17

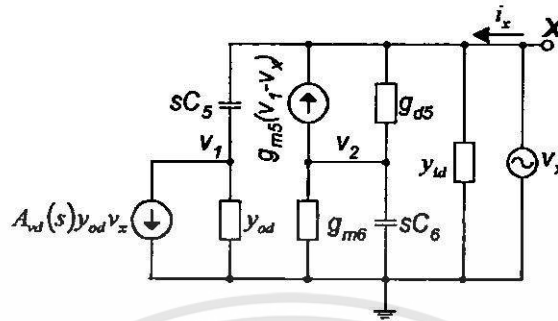
พิจารณาที่โหนด v_1 จะได้

$$(y_{od} + sC_5)v_1 + (A_{vd}(s)y_{od} - sC_5)v_x = 0 \quad (3.48)$$

พิจารณาที่โหนด v_2 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_{m5}v_1 + (g_{d5} + g_{m6} + sC_6)v_2 - (g_{m5} + g_{d5})v_x = 0 \quad (3.49)$$



รูปที่ 3.17 วงจรสมมูลสำหรับหาค่าอิมพีแดนซ์ที่พอร์ท X

พิจารณาที่โหนด v_x จะได้

$$(y_{id} + g_{d5} + g_{m5} + sC_5)v_x - g_{d5}v_2 - (g_{m5} + sC_5)v_1 = i_x \quad (3.50)$$

จากสมการ (3.48) ถึง (3.50) จะได้อิมพีแดนซ์ที่พอร์ท X เป็น

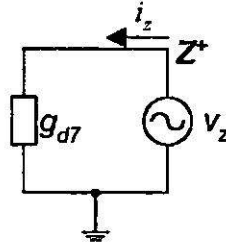
$$\begin{aligned} z_x = \frac{v_x}{i_x} &= \frac{y_{od} + sC_5}{(y_{od} + sC_5)(y_{id} + g_{m5} + sC_5) + (g_{m5} + sC_5)(A_{vd}(s)y_{od} - sC_5)} \\ &\approx \frac{(g_{d1} + g_{d1} + sC_5)(g_{m1} + 2sC_1)}{g_{m1}(g_{m1} + sC_1)(g_{m5} + sC_5)} \end{aligned} \quad (3.51)$$

ที่ความถี่ต่ำหรือความถี่กลางจะได้

$$r_x = \frac{g_{d1} + g_{d1}}{g_{m5}g_{m1}} \quad (3.52)$$

จากสมการ (3.51) และ (3.52) จะพบว่าเหมือนกับสมการ (3.30) และ (3.31) ซึ่งเป็นสมการของวงจรตามศักดิ์ดา ต่อไปจะได้ทำการพิจารณาหาค่าอิมพีแดนซ์ที่พอร์ท Z^* ทำได้โดยไม่ต้องพิจารณาผลของพอร์ท X ($v_x=0$) และ Y ($v_y=0$) และถอดเอาความต้านทานที่พอร์ท Z^* (R_2) ออก แล้วทำการให้แรงดัน v_z และทำการหากระแส i_z ที่พอร์ท Z^* ดังนั้นจากวงจรสมมูลรูป 3.15 (ข) จะได้ว่าวงจรสมมูลสำหรับหาค่าอิมพีแดนซ์ที่พอร์ท Z^* ได้ตามรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 วงจรสมมูลสำหรับหาค่าอิมพีแดนซ์ที่พอร์ท Z^+

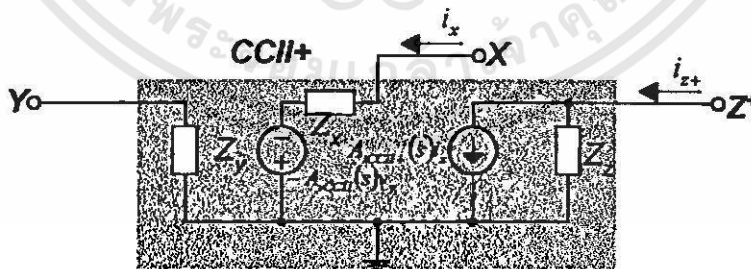
$$z_z = r_z = \frac{v_z}{i_z} = \frac{1}{g_{d7}} \quad (3.53)$$

พิจารณาหาค่าอิมพีแดนซ์ที่พอร์ท Y ทำได้โดยไม่พิจารณาผลของพอร์ท X ($v_x=0$) ดังนั้นจากรูปที่ 3.15 (ข) เมื่อมองเข้าไปที่พอร์ท Y เทียบกับกราวด์จะพบว่า

$$z_y = \frac{1}{y_{id}} = \frac{2}{sC_1} \quad (3.54)$$

ขณะที่กรณีความถี่ต่ำหรือความถี่กลางค่าความต้านทานที่ทางเข้าจะมีค่าเป็นอนันต์ เพราะถูกกั้นด้วยฉนวนชนิดไดอิเล็กทริกที่ขาของ M_1

จากพารามิเตอร์ที่ได้ทำการหามาข้างต้น สามารถนำเอาพารามิเตอร์เหล่านี้มาใช้เพื่อเขียนวงจรสมมูลอย่างง่ายสำหรับวงจรสายพานกระแสนิคบวคได้ตามรูปที่ 3.19

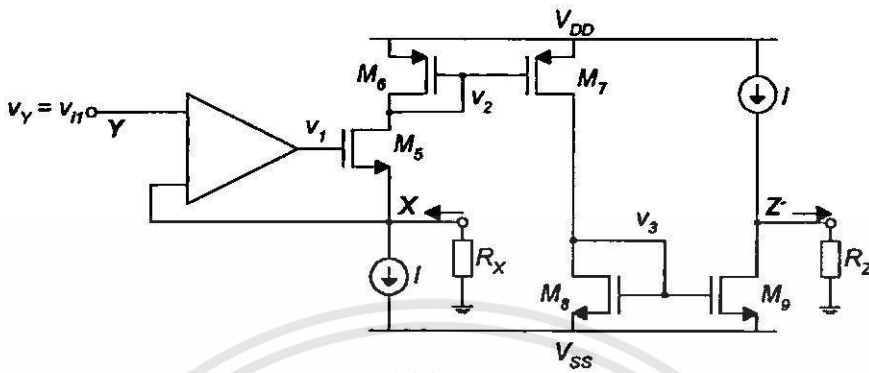


รูปที่ 3.19 วงจรสมมูลอย่างง่ายของวงจรสายพานกระแสนิคบวค

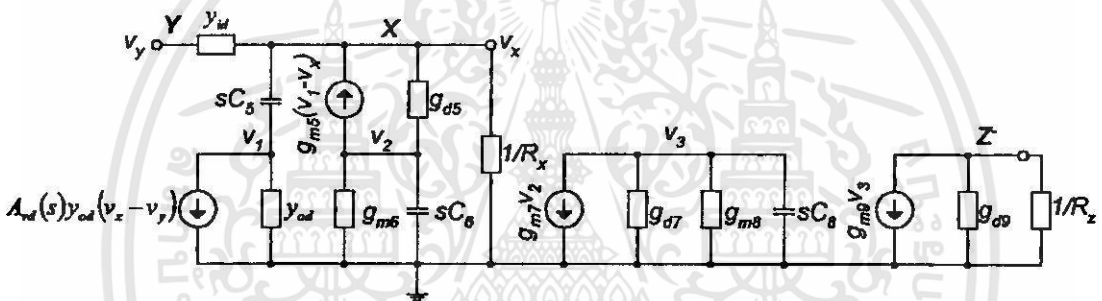
3.4.2 วงจรสายพานกระแสนิคลบ

วงจรสายพานกระแสนิคลบโดยใช้ CMOS [16,20,22] แสดงได้ดังรูปที่ 3.20 ซึ่งต่างจากวงจรสายพานกระแสนิคบวคโดยเพิ่มมอสเฟต M_3 และ M_4 ต่ออยู่ในลักษณะของวงจร

สะท้อนกระแสชนิดเอ็นแซนแนล เพื่อให้กระแสที่พอร์ท Z มีทิศทางตรงข้ามกับกระแสที่พอร์ท X



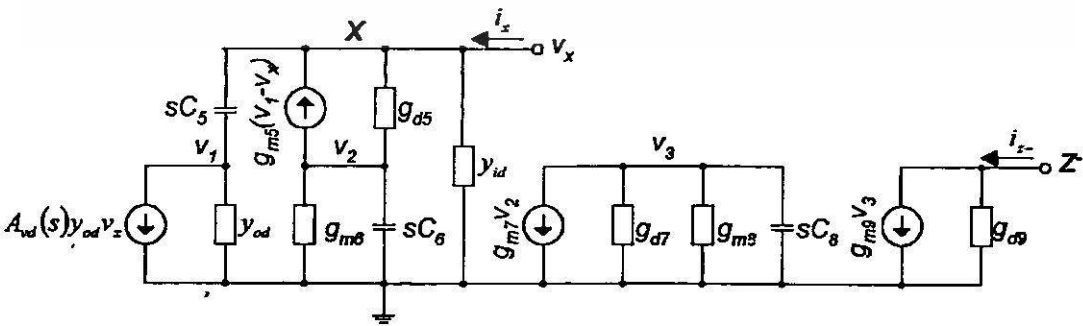
(ก)



(ข)

รูปที่ 3.20 (ก) วงจรสายพานกระแสชนิดลบ CCII- (ข) วงจรสมมูลของรูป (ก)

พารามิเตอร์ที่ได้ทำการหาไว้สำหรับวงจรสายพานกระแสชนิดบวก เช่น อัตราขยายแรงดัน (A_{vCCII}) ค่าทรานส์คอนดักแตนซ์ (G_{mCCII}) ค่าอิมพีแดนซ์ที่พอร์ท X (Z_x) และค่าอิมพีแดนซ์ที่พอร์ท Y (Z_y) สามารถนำมาใช้กับวงจรสายพานกระแสชนิดลบได้



รูปที่ 3.21 วงจรสมมูลสำหรับหาค่าอิมพีแดนซ์ที่พอร์ท X สำหรับวงจร CCII-

พิจารณาค่าอัตราการส่งผ่านกระแสระหว่างพอร์ท X และพอร์ท Z โดยไม่พิจารณาผลกระทบจากพอร์ท Y (ให้แรงดันที่พอร์ท Y เป็นศูนย์) จากรูปที่ 3.20 จะได้วงจรสมมูลอย่างง่าย สำหรับหาค่าอัตราการส่งผ่านกระแสตามรูปที่ 3.21 โดย C_6 และ C_8 ในรูปที่ 3.20 (ข) มีค่าเท่ากับ $C_{gs6} + C_{gs7}$ และ $C_{gs8} + C_{gs9}$ ตามลำดับ และสามารถหาค่าอัตราการส่งผ่านกระแสสำหรับวงจรสายพานกระแสชนิดลบได้ ดังนี้

พิจารณาที่โหนด v_1 จะได้

$$(y_{od} + sC_5)v_1 + (A_{vd}(s)y_{od} - sC_5)v_x = 0 \quad (3.55)$$

พิจารณาที่โหนด v_2 จะได้

$$g_{m5}v_1 + (g_{d5} + g_{m6} + sC_6)v_2 - (g_{m5} + g_{d5})v_x = 0 \quad (3.56)$$

พิจารณาที่โหนด v_x จะได้

$$(y_{id} + g_{d5} + g_{m5} + sC_5)v_x - g_{d5}v_2 - (g_{m5} + sC_5)v_1 = i_x \quad (3.57)$$

พิจารณาที่โหนด v_3

$$(g_{m8} + sC_8)v_3 + g_{m7}v_2 = 0 \quad (3.58)$$

และพิจารณาที่โหนด Z

$$g_{d9}v_{z-} = i_{z-} - g_{m9}v_3 \quad (3.59)$$

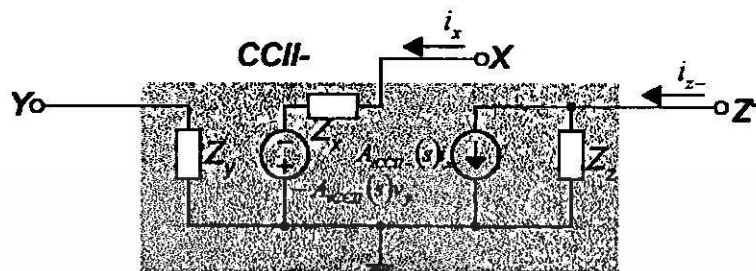
จากสมการ (3.55) ถึง (3.59) จะได้

$$A_{iccu}'(s) = \frac{i_{z-}}{i_x} = \frac{-g_{m5}g_{m7}g_{m9}}{(g_{m5} + sC_5)[g_{m6} + s(C_{gs6} + C_{gs7})][g_{m8} + s(C_{gs8} + C_{gs9})]} \quad (3.60)$$

ที่ความถี่ต่ำหรือความถี่กลางจะได้

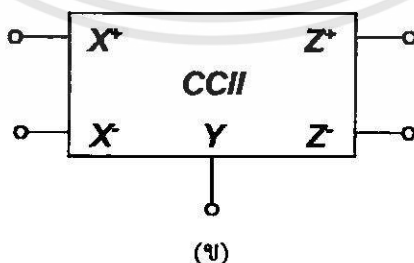
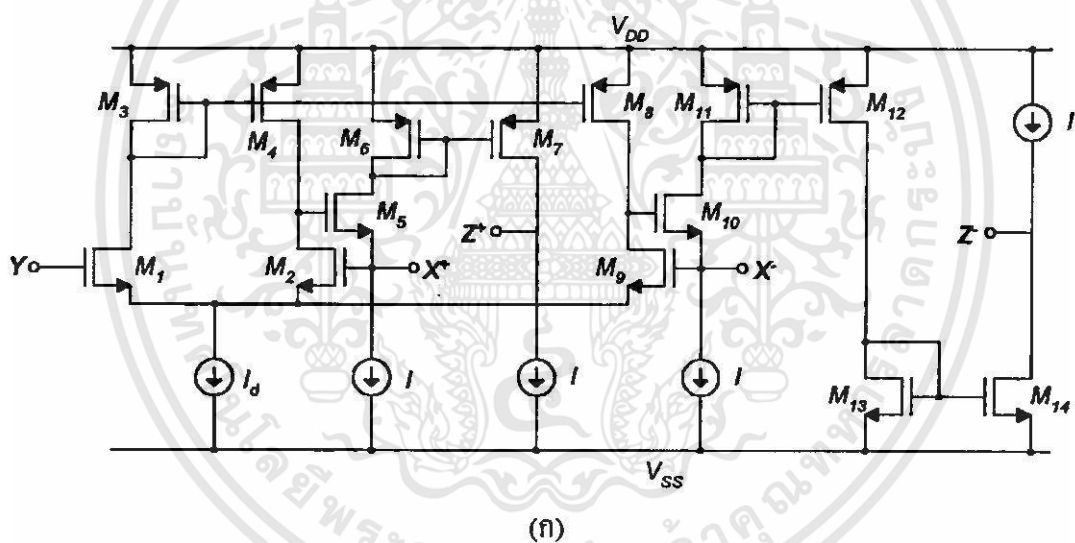
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_{iccn-} = \frac{i_{z-}}{i_x} = \frac{-g_{m7}g_{m9}}{g_{m6}g_{m8}} \quad (3.61)$$



รูปที่ 3.22 วงจรสมมูลอย่างง่ายของวงจรสายพานกระแสชนิดลบ

3.4.3 วงจรสายพานกระแสชนิดพอร์ต Y ร่วม

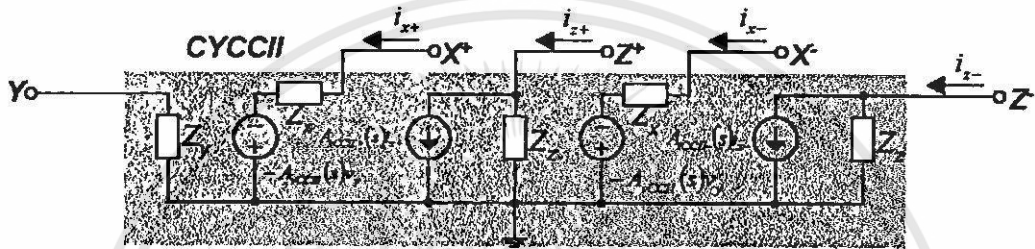


รูปที่ 3.23 (ก) วงจรสายพานกระแสชนิดพอร์ต Y ร่วม (ข) สัญลักษณ์

วงจรสายพานกระแสชนิดพอร์ต Y ร่วม เป็นวงจรที่รวมวงจรสายพานกระแสชนิดบวกและลบเข้าด้วยกัน โดยใช้พอร์ต Y ของทั้งสองวงจรร่วมกันตามรูป 3.23 วงจรสายพานกระแสเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดพอร์ท Y ร่วม เป็นอุปกรณ์ห้าพอร์ทสามารถเขียนเป็นวงจรสมมูลอย่างง่ายได้ดังรูปที่ 3.24 และสามารถอธิบายคุณสมบัติของวงจรได้ตามสมการ

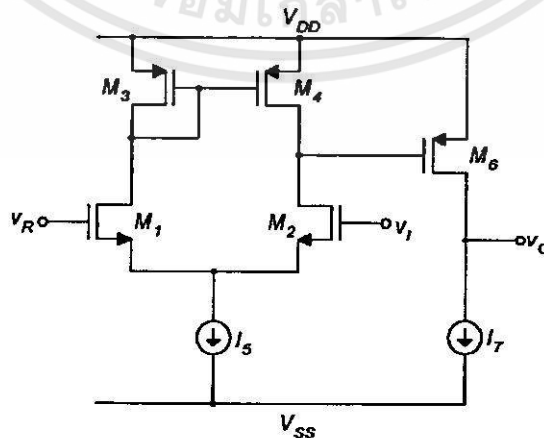
$$\begin{bmatrix} i_y \\ v_{x+} \\ v_{x-} \\ i_{z+} \\ i_{z-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & -1 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_{x+} \\ i_{x-} \\ v_{z+} \\ v_{z-} \end{bmatrix} \quad (3.62)$$



รูปที่ 3.24 วงจรสมมูลอย่างง่ายของวงจรสายพานกระแสชนิดพอร์ท Y ร่วม

3.5 วงจรเปรียบเทียบแรงดัน

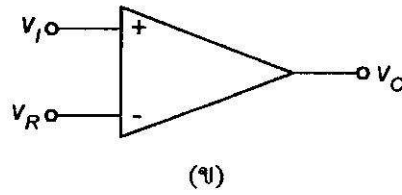
วงจรเปรียบเทียบแรงดัน (comparator) [4] เป็นวงจรที่ทำการเปรียบเทียบสัญญาณอนาล็อกที่ทางเข้ากับสัญญาณอนาล็อกอ้างอิง โดยที่สัญญาณที่ทางออกจะเป็นสัญญาณสองสถานะ เช่น ถ้าสัญญาณอนาล็อกที่ทางเข้ามีค่ามากกว่าสัญญาณอ้างอิง จะได้สัญญาณที่ทางออกสถานะสูง ในทางกลับกัน ถ้าสัญญาณทางเข้ามีค่าต่ำกว่าสัญญาณอ้างอิง จะได้สัญญาณที่ทางออกสถานะต่ำ



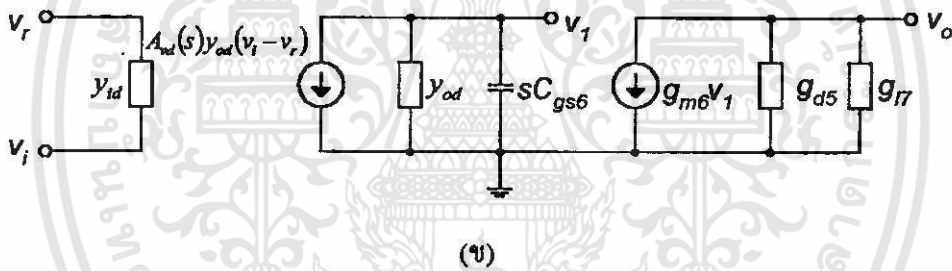
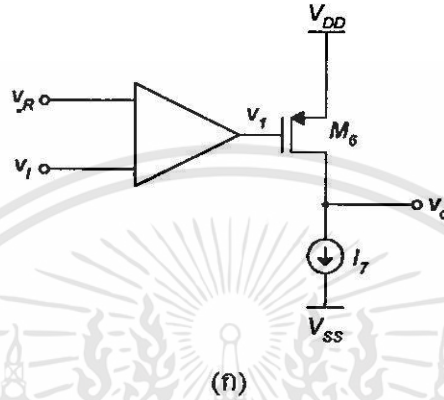
(ก)

รูปที่ 3.25 (ก) วงจรเปรียบเทียบแรงดันโดยใช้ CMOS (ข) สัญลักษณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 (ต่อ)



รูปที่ 3.26 (ก) วงจรสมมูลของวงจรเปรียบเทียบแรงดัน (ข) วงจรสมมูลสัญญาณขนาดเล็ก

วงจรเปรียบเทียบแรงดันโดยใช้ CMOS แสดงตามรูปที่ 3.25 ประกอบด้วยวงจรพื้นฐานสองวงจร คือวงจรขยายความแตกต่าง และวงจรอินเวอร์เตอร์ ซึ่งคุณสมบัติของวงจรเปรียบเทียบแรงดันที่ดี จะต้องมียัตราขยายแรงดันสูงมาก และมีค่าหน่วงเวลา (propagation delay) ต่ำ

จากรูปที่ 3.26 แสดงวงจรสมมูลของวงจรเปรียบเทียบแรงดัน ซึ่งสามารถหาอัตราขยายแรงดันได้ โดยพิจารณาที่โหนด \$v_1\$

$$(y_{od} + sC_{gs6})v_1 + A_{vd}(s)y_{od}(v_i + v_r) = 0 \quad (3.63)$$

พิจารณาที่โหนด \$v_o\$

$$(g_{d6} + g_{I7})v_o = -g_{m6}v_1 \quad (3.64)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (3.63) และ (3.64) จะได้อีตราชายแรงคั่นเป็น

$$A_{vcp}(s) = \frac{v_o}{v_i - v_r} = \frac{g_{m6} A_{vd}(s) y_{od}}{(g_{d6} + g_{17})(y_{od} + sC_{gs6})}$$

$$\approx \frac{g_{m6} g_{m1} (g_{m1} + sC_{I1})}{(g_{d6} + g_{17})(g_{m1} + 2sC_{I1})(g_{d1} + g_{d1} + sC_{gs6})} \quad (3.65)$$

ที่ความถี่ต่ำหรือกลางจะได้

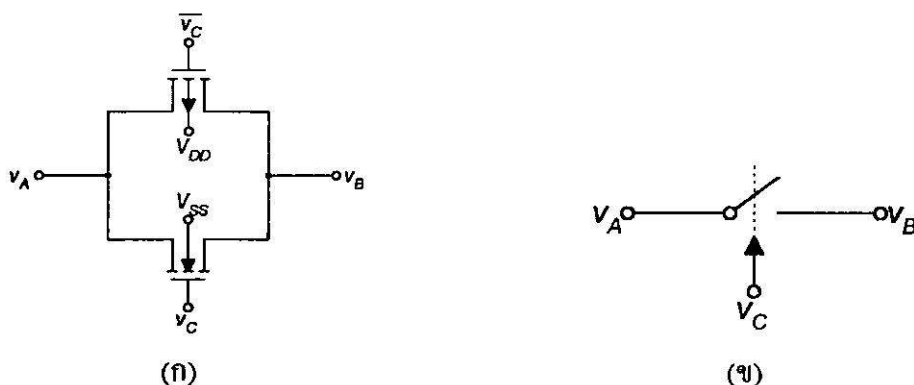
$$A_{vcp} = \frac{g_{m6} g_{m1}}{(g_{d6} + g_{17})(g_{d1} + g_{d1})} \quad (3.66)$$

จากสมการ (3.65) พบว่าเทอมสุดท้ายของตัวหารเป็นโพลสำคัญ (dominant pole) ซึ่งเป็นตัวกำหนดการตอบสนองความถี่ของวงจร และค่าหน่วงเวลาจะเป็นส่วนกลับของค่าโพล ถ้าค่าโพลมีค่ามากขึ้นจะทำให้ค่าหน่วงเวลามีค่าลดลง

3.6 วงจรอนาล็อกสวิตช์

วงจรอนาล็อกสวิตช์ (Analog Switch) เป็นวงจรที่ทำหน้าที่เสมือนเป็นสวิตช์ในวงจร โดยในการออกแบบสวิตช์ในวงจรรวมนั้นนิยมใช้สวิตช์ที่สร้างขึ้นจากมอสเฟต ซึ่งสามารถทำหน้าที่เป็นสวิตช์ได้ดี โดยใช้คุณสมบัติของมอสทรานซิสเตอร์ในช่วงไม่อิ่มตัว และควบคุมการเปิดปิดสวิตช์ด้วยแรงดันที่ขาเกต วงจร CMOS อนาล็อกสวิตช์หรือที่รู้จักกันในชื่อว่า วงจรทรานส์มิชชันเกต (Transmission Gate) [4,6] แสดงตามรูป 3.27 มอสเฟตที่ทำหน้าที่เป็นสวิตช์จะให้ค่าแรงดันที่ทางเข้า (v_A) ประมาณเกือบเท่ากับแรงดันที่ทางออก (v_B) ขณะที่สวิตช์ปิดจะมีค่าความต้านทานเกิดขึ้นค่าหนึ่งภายในสวิตช์ ดังนั้นจากสมการ (2.4) จะได้

$$r_{DS} = \frac{\partial v_{DS}}{\partial i_D} = \frac{1}{\beta(|v_{GS}| - |v_T|)} \quad (3.67)$$



รูปที่ 3.27 (ก) วงจร CMOS อนุบาลอกสวิตช์ (ข) สัญลักษณ์

จากรูปที่ 3.27 สมมติให้สัญญาณอนุบาลอกที่ทางเข้า (v_A) มีค่าอยู่ระหว่าง -5 ถึง 5 โวลต์ และกำหนดให้ค่า $V_{SS} = -5V$ (ค่าแรงดันต่ำสุดของวงจร) $V_{DD} = 5V$ (ค่าแรงดันสูงสุดของวงจร) เพื่อป้องกันไม่ให้อรอยต่อของทรานซิสเตอร์เกิดการไบอัสเดินหน้า (forward-biased) และที่ปลายด้านเกทของทรานซิสเตอร์ถูกควบคุมด้วย v_C ซึ่งสามารถมีค่าเท่ากับหรือมากกว่าระดับสูงสุดและต่ำสุดของสัญญาณที่ทางเข้า ในที่นี้สมมติให้มีค่าเป็น $5V$ และ $-5V$ ซึ่งเป็นสัญญาณสองระดับ เมื่อ v_C อยู่ที่ระดับต่ำ (low) ทำให้เกทของเอ็นมอสมีค่า $-5V$ ดังนั้นเอ็นมอสจะไม่มีการนำสัญญาณทุก ๆ ค่าของ v_A ขณะเดียวกันที่เกทของพีมอสจะมีค่า $+5V$ ซึ่งทำให้พีมอสไม่สามารถนำสัญญาณได้ตลอดทุกค่าของ v_A ดังนั้นจึงสามารถสรุปได้ว่า เมื่อสัญญาณควบคุม v_C อยู่ที่ระดับต่ำแล้วการทำงานของสวิตช์จะเสมือนกับเปิดวงจร

ดังนั้นในการปิดสวิตช์หรือปิดวงจรจะต้องให้สัญญาณควบคุม v_C อยู่ในระดับสูง (high) ทำให้ที่เกทของเอ็นมอสมีค่า $+5V$ สมมติว่ามอสเฟตมีค่า V_T เท่ากับ $2V$ เป็นผลให้เอ็นมอสสามารถนำสัญญาณที่ทางเข้า v_A ได้ในช่วง $-5V$ ถึง $+3V$ ขณะเดียวกันที่เกทของพีมอสจะมีค่า $-5V$ จะทำให้พีมอสสามารถนำสัญญาณที่ทางเข้า v_A ได้ในช่วง $-3V$ ถึง $+5V$ ดังนั้นจะพบว่าเมื่อสัญญาณ v_A มีค่าน้อยกว่า $-3V$ จะมีเพียงเอ็นมอสเท่านั้นที่สามารถนำสัญญาณได้ ในทางกลับกันเมื่อสัญญาณ v_A มีค่ามากกว่า $+3V$ จะมีเพียงพีมอสเท่านั้นที่สามารถนำสัญญาณได้ สำหรับสัญญาณช่วงที่เหลือ $-3V$ ถึง $+3V$ พบว่าทรานซิสเตอร์ทั้งสองชนิดสามารถนำกระแสได้พร้อม ๆ กัน โดยในช่วงนี้จะมีทรานซิสเตอร์ตัวหนึ่งที่สามารถนำได้มากกว่า อีกตัวหนึ่งขึ้นอยู่กับค่าสัญญาณที่ทางเข้า ดังนั้นทำให้ค่าความต้านทานภายในสวิตช์ของทรานซิสเตอร์แต่ละตัวเกิดการเปลี่ยนแปลง โดยขณะที่ความต้านทาน r_{DS} ของทรานซิสเตอร์ตัวหนึ่งลดลงแต่ของทรานซิสเตอร์อีกตัวหนึ่งเพิ่มขึ้น ซึ่งทรานซิสเตอร์ทั้งสองตัวค่อนข้างนานกันอยู่ ดังนั้นสรุปได้ว่าขณะที่สวิตช์ปิดความต้านทานของ CMOS อนุบาลอกสวิตช์จะมีค่าคงที่โดยประมาณ ซึ่งเป็นข้อดีของวงจร CMOS อนุบาลอกสวิตช์

3.7 บทสรุป

ในบทนี้ซึ่งได้กล่าวถึงเกี่ยวกับวงจรย่อยต่าง ๆ ที่เป็นประโยชน์ในการนำมาสังเคราะห์เป็นวงจรหาร โดยได้กล่าวถึงวงจรสะท้อนกระแสซึ่งความสัมพันธ์ระหว่างกระแสที่ทางเข้าและทางออกขึ้นอยู่กับขนาดของทรานซิสเตอร์ทั้งสองตัว และวงจรตามศักดาสามารถสร้างขึ้นได้จากทั้งออปแอมป์และ CMOS วงจรสายพานกระแสทั้งสามชนิดซึ่งเป็นวงจรส่วนสำคัญสำหรับนำมาสังเคราะห์เป็นวงจรหาร วงจรเปรียบเทียบแรงดันและวงจรมอดูลอสวิตช์จะถูกใช้ร่วมกันสำหรับวงจรหารสี่ควอดแดรนต์ ในบทต่อไปจะแสดงให้เห็นถึงการนำเอาวงจรเหล่านี้มาใช้งานเป็นส่วนประกอบในวงจรหารที่ได้ทำการสังเคราะห์ขึ้น



บทที่ 4

ทฤษฎีและหลักการออกแบบวงจรหารแรงดันเชิงอุปมาน

4.1 บทนำ

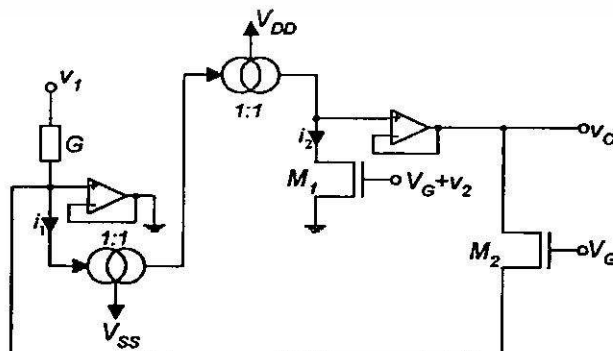
วงจรหารแรงดันเชิงอุปมาน เป็นวงจรหนึ่งที่มีบทบาทสำคัญในงานด้านอิเล็กทรอนิกส์ โดยจัดอยู่ในกลุ่มเดียวกับวงจรการคำนวณทางด้านคณิตศาสตร์อื่น ๆ เช่น วงจรคูณ วงจรถอดรอกที่สอง วงจรยกกำลัง ฯลฯ วงจรหารโดยทั่วไปแล้วถูกใช้เป็นส่วนประกอบสำคัญในงานด้านต่าง ๆ เช่น การคำนวณเชิงอุปมาน (analogue computation) ระบบควบคุมแบบฟัซซี่ (fuzzy control) ระบบโครงข่ายประสาท (neural network) และอื่น ๆ [23-25] วงจรหารสัญญาณแรงดันเชิงอุปมานส่วนใหญ่สามารถสร้างได้จาก การนำเอาวงจรคูณสัญญาณแรงดันเชิงอุปมานมาเป็นส่วนป้อนกลับของวงจรรอปแอมป์ [4,26-28] หรือสามารถสร้างได้จากวงจรวจร OTA (Operational Transconductance Amplifier) [29] อย่างไรก็ตามวงจรที่ประกอบด้วยออปแอมป์เป็นหลัก จะมีข้อจำกัดหลายประการเช่น ไม่สามารถตอบสนองต่อการทำงานในย่านความถี่สูงได้ดี ใช้กำลังงานสูง และใช้พื้นที่ในการสร้างเป็นวงจรรวมมาก เนื่องจากวงจรมีขนาดใหญ่

ในบทนี้จะได้กล่าวถึง วงจรหารแรงดันเชิงอุปมานในรูปแบบต่าง ๆ โดยได้นำเอาวงจรร้อยที่ได้อ้างถึงในบทที่ 3 มาเป็นส่วนประกอบในการสังเคราะห์ และจะได้แสดงถึงการพัฒนาของวงจรที่ได้ทำการสังเคราะห์ขึ้นตามลำดับ

4.2 หลักการและเทคนิคการออกแบบวงจรหาร

วงจรหารแรงดันเชิงอุปมานที่ทำการออกแบบขึ้นทั้งหมด จะใช้หลักการของมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว โดยวงจรที่ได้ออกแบบไว้มีห้วงจรดังนี้

4.2.1 วงจรหารแบบพื้นฐาน



รูปที่ 4.1 วงจรหารแบบที่หนึ่งหรือแบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรหารแบบแรกแสดงตามรูปที่ 4.1 [30] เป็นวงจรแบบพื้นฐานที่สามารถสังเคราะห์ได้จากการใช้คุณสมบัติพื้นฐานของมอสทรานซิสเตอร์ชนิดเอ็นแชนแนลที่ทำงานในช่วงไม่อิ่มตัว และประกอบด้วยวงจรสะท้อนกระแสสองวงจร และออปแอมป์ที่ทำหน้าที่เป็นวงจรตามคัทคาสองวงจร และตัวต้านทานหนึ่งตัวทำหน้าที่แปลงแรงดันให้เป็นกระแส หรือสามารถใช้วงจรแปลงคัทคาเป็นกระแสหรือวงจร OTA แทนได้

การทำงานของวงจรสามารถอธิบายได้ดังนี้คือ จากสมการ (2.4) ซึ่งเป็นสมการกระแสเดรนของมอสทรานซิสเตอร์ขณะทำงานในช่วงไม่อิ่มตัว และสมมติว่า $\lambda \approx 0$ จะได้

$$i_{D1} = i_2 = \beta_1 \left[(v_{GS1} - V_{T1})v_o - \frac{v_o^2}{2} \right] \quad (4.1)$$

สำหรับมอสทรานซิสเตอร์ M_1

$$i_{D2} = \beta_2 \left[(v_{GS2} - V_{T2})v_o - \frac{v_o^2}{2} \right] \quad (4.2)$$

สำหรับมอสทรานซิสเตอร์ M_2 และจากคุณสมบัติของวงจรสะท้อนกระแสทำให้

$$i_1 = i_2 \quad (4.3)$$

จากสมการ (4.1) ถึง (4.3) จะได้

$$Gv_1 + \beta_2 \left[(v_{GS2} - V_{T2})v_o - \frac{v_o^2}{2} \right] = \beta_1 \left[(v_{GS1} - V_{T1})v_o - \frac{v_o^2}{2} \right] \quad (4.4)$$

สมมติว่าทรานซิสเตอร์ M_1 และ M_2 มีความสมพงษ์กัน และจากสมการ (4.4) ทำให้

$$v_o = \frac{Gv_1}{\beta v_2} \quad (4.5)$$

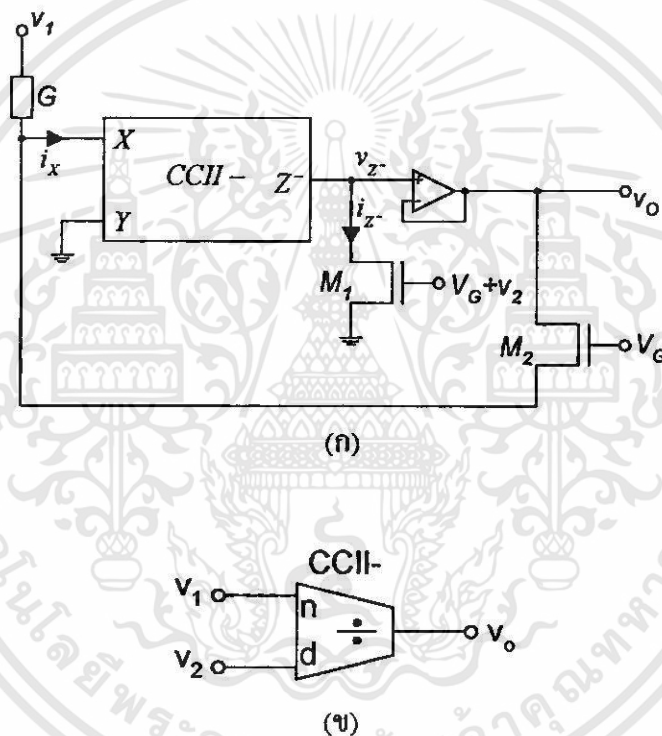
จากสมการ (4.5) พบว่าแรงดัน v_o แปรผันตาม v_1 หารด้วย v_2 โดยค่า β และ G มีค่าคงที่ และมีเงื่อนไขการทำงานของวงจรคือทรานซิสเตอร์ M_1 และ M_2 ต้องทำงานในช่วงไม่อิ่มตัว ตามเงื่อนไขในสมการ (4.6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_G, V_G + v_2 > v_o + V_T \quad (4.6)$$

4.2.2 วงจรหารที่ประกอบด้วยวงจรสายพานกระแสชนิดลบ

วงจรหารแบบที่สอง ได้นำเอาคุณสมบัติของวงจรสายพานกระแสชนิดลบมาใช้ แทนวงจรสะท้อนกระแสและวงจรมอดูเลต แสดงได้ตามรูปที่ 4.2 (ก) [30] ขณะที่รูป 4.2 (ข) แสดงถึงสัญลักษณ์ที่ใช้แทนวงจรในรูป (ก) โดยที่ n หมายถึง ตัวตั้ง (numerator) และ d หมายถึง ตัวหาร (denominator)



รูปที่ 4.2 (ก) วงจรหารเชิงอุปมานโดยใช้วงจรสายพานกระแสชนิดลบ (ข) สัญลักษณ์

หลักการทำงานของวงจรหารเชิงอุปมานโดยใช้วงจรสายพานกระแส สามารถอธิบายได้ ดังนี้ จากคุณสมบัติของวงจรสายพานกระแสชนิดลบสรุปได้ตามสมการ

$$\begin{aligned} i_Y &= 0 \\ v_X &= v_Y \\ i_{Z-} &= -i_X \end{aligned} \quad (4.7)$$

ขณะที่เครื่องหมายลบแสดงถึงทิศทางกระแสไหลของกระแส i_x และ i_z ไหลในทิศทางตรงข้ามกัน เช่น ถ้า i_x ไหลเข้าวงจรสายพานกระแสแล้ว i_z จะต้องไหลออกจากวงจรสายพานกระแส หรือ ถ้า i_x ไหลออกจากวงจรสายพานกระแสแล้ว i_z จะต้องไหลเข้าวงจรสายพานกระแส โดยที่ขนาดของกระแสมีค่าเท่ากัน และสมมติให้ทรานซิสเตอร์ M_1 และ M_2 มีความสมพียงกัน ดังนั้นจะได้แรงดันที่ทางออกเป็น

$$v_o = \frac{Gv_1}{\beta v_2} \quad (4.8)$$

และพบว่าสมการ (4.8) มีความสัมพันธ์เหมือนกับสมการ (4.5) ของวงจรแรก และต้องเป็นไปตามเงื่อนไขที่ว่า M_1 และ M_2 ต้องทำงานในช่วงไม้อิ่มตัวตามสมการ (4.6)

4.2.3 วงจรหารโดยใช้ CMOS บัฟเฟอร์

จากวงจรหารตามรูปที่ 4.2 พบว่ามีอ็อปแอมป์ทำหน้าที่เป็นวงจรตามคิกคาอยู่หนึ่งวงจร ซึ่งสามารถแทนได้ด้วยวงจรตามคิกคาแบบ CMOS ในรูปที่ 3.11 เพื่อเหมาะสมในการสร้างเป็นวงจรรวมแบบ CMOS โดยที่คุณสมบัติการทำงานของวงจรในการพิจารณาผลตอบสนองต่อสัญญาณขนาดใหญ่ยังคงไม่เปลี่ยนแปลง และได้แรงดันที่ทางออกตามสมการ (4.8) และต้องอยู่ในเงื่อนไขของสมการ (4.6)

วงจรหารทั้งสามวงจรที่ได้กล่าวมา พบว่าวงจรหารแบบแรกสามารถทำงานได้เพียงหนึ่งควอดแดรนต์เท่านั้น ซึ่งค่า v_1 และ v_2 มีค่าเป็นบวก ขณะที่อีกสองวงจรสามารถทำงานได้สองควอดแดรนต์ โดย v_1 ซึ่งเป็นตัวตั้งสามารถเป็นได้ทั้งค่าบวกและค่าลบ ขณะที่ v_2 ซึ่งเป็นตัวหารเป็นได้เฉพาะค่าบวก

4.2.4 วงจรหารสี่ควอดแดรนต์

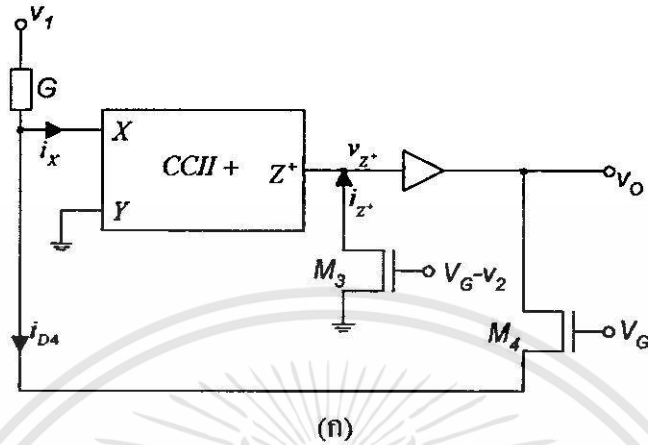
วงจรหารสี่ควอดแดรนต์ เป็นการนำเอาวงจรหารสองควอดแดรนต์ที่ได้กล่าวถึงไว้ข้างต้น ผสมกับวงจรหารที่ทำงานในสองควอดแดรนต์ที่เหลือ ซึ่งวงจรหารในอีกสองควอดแดรนต์ที่เหลือแสดงตามรูปที่ 4.3 จะใช้หลักการเดียวกับสองควอดแดรนต์ข้างต้น โดยประกอบด้วยวงจรสายพานกระแสรุ่นที่สองชนิดบวก (CCII+) วงจรตามคิกคา และมอสทรานซิสเตอร์ชนิดเอ็นแชนแนลที่ทำงานในช่วงที่เป็นเชิงเส้นจำนวนสองตัว และตัวต้านทานหนึ่งตัว

การทำงานของวงจรอธิบายได้ดังนี้ จากคุณสมบัติของวงจรสายพานกระแสรุ่นที่สองชนิดบวก และวงจรตามคิกคา ซึ่งได้

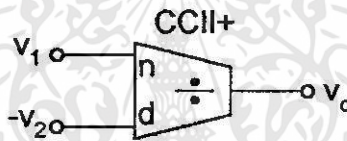
$$i_x = i_z \quad (4.9)$$

$$v_o = v_{z^+}$$

$$(4.10)$$



(ก)



(ข)

รูปที่ 4.3 (ก) วงจรหารเชิงอุปมานโดยใช้วงจรสายพานกระแสที่สองชนิดบวก (ข) สัญลักษณ์

จากสมการ (4.9) และ (4.10) จะได้

$$Gv_1 + \beta_4(v_{GS4} - V_{T4})v_o = -\beta_3(v_{GS3} - V_{T3})v_o \quad (4.11)$$

สมมติว่าทรานซิสเตอร์ M_3 และ M_4 มีความสมพียงกัน ดังนั้นจากสมการ (4.11) ทำให้

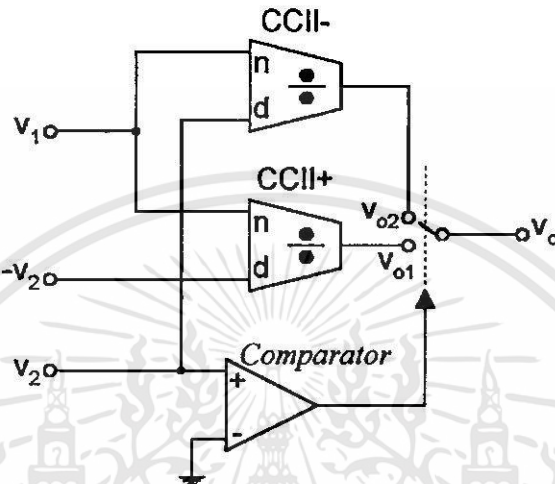
$$v_o = \frac{-Gv_1}{\beta(-v_2) + 2\beta(V_G - V_T)} \quad (4.12)$$

จากสมการ (4.12) พบว่าตัวหารพจน์สุดท้ายเป็นค่าคงที่ ดังนั้นแรงดันทางออก v_o จะแปรตามสัดส่วนของ v_1 หารด้วย $-v_2$ และมีเงื่อนไขการทำงานของวงจรถือทรานซิสเตอร์ M_3 และ M_4 ต้องทำงานในช่วงไม่อิ่มตัว ตามเงื่อนไขในสมการ (4.13)

$$V_G, V_G + (-v_2) > v_o + V_T \quad (4.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากที่ได้กล่าวมาพบว่า วงจรนี้สามารถทำงานในสองควอดแดรนต์ที่เหลือของวงจรรหที่สร้างขึ้นจากวงจรสายพานกระแสชนิดลบ ดังนั้นเมื่อนำทั้งสองวงจรมาทำงานร่วมกัน โดยใช้วงจรเปรียบเทียบแรงดันและอนาล็อกสวิตช์ สำหรับแบ่งจังหวะการทำงานของทั้งสองวงจร จะได้วงจรรหสัญญาณอุปมานสี่ควอดแดรนต์ตามรูปที่ 4.4 [31]



รูปที่ 4.4 วงจรรหแรงดันเชิงอุปมานสี่ควอดแดรนต์

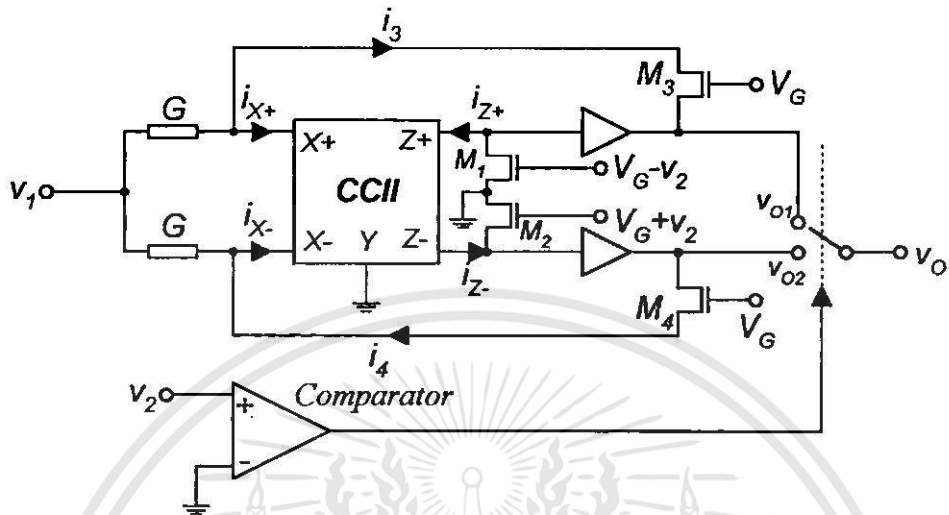
จากรูปที่ 4.4 v_1 สามารถมีค่าได้ทั้งบวกและลบ ขณะที่ v_2 จะเป็นตัวเลือกการทำงานของวงจรรห ถ้า v_2 มีค่าเป็นบวกวงจรรหเปรียบเทียบแรงดันจะทำการสวิตช์แรงดันทางออก v_o ไปที่วงจรรหแบบ CCII- และเมื่อแรงดัน v_2 มีค่าเป็นลบทำให้วงจรรหเปรียบเทียบแรงดันทำการสวิตช์แรงดันทางออก v_o ไปที่วงจรรหแบบ CCII+ ซึ่งทำให้วงจรรหสามารถทำการหารสัญญาณได้ทั้งสี่ควอดแดรนต์

4.2.5 วงจรรหสี่ควอดแดรนต์ที่ใช้วงจรรหสายพานกระแสชนิดพอร์ท Y ร่วม

วงจรรหแรงดันเชิงอุปมานสี่ควอดแดรนต์อีกวงจรรหหนึ่ง สามารถสังเคราะห์ได้จากวงจรรหสายพานกระแสที่สองชนิดพอร์ท Y ร่วม ซึ่งเป็นการรวมวงจรรหสายพานกระแสที่สองชนิดบวกและชนิดลบอยู่ในวงจรรหเดียวกันโดยใช้พอร์ท Y ร่วมกัน ทฤษฎีและหลักการทำงานของวงจรรหจะเหมือนกับวงจรรหที่กล่าวไว้ข้างต้น แต่วงจรรหนี้ใช้จำนวนอุปกรณ์น้อยกว่าโดยให้คุณสมบัติในการทำงานเหมือนกัน

จากรูปที่ 4.5 ได้แสดงวงจรรหแรงดันสี่ควอดแดรนต์ที่ใช้วงจรรหสายพานกระแสชนิดพอร์ท Y ร่วม [32] ซึ่งประกอบไปด้วยมอสทรานซิสเตอร์ชนิดเอ็นจำนวนสี่ตัว วงจรรหสายพานกระแสชนิดพอร์ท Y ร่วมหนึ่งวงจรรห วงจรรหตามทักดาสองวงจรรห และวงจรรหควบคุมจังหวะการเลือก

แรงดันทางออก ซึ่งประกอบด้วยวงจรเปรียบเทียบสัญญาณแรงดันค้วหาร v_2 และวงจรรวมลอค สวิทช์



รูปที่ 4.5 วงจรหารแรงดันสี่ควอดแดรนต์โดยใช้วงจรสายพานกระแสชนิดพอร์ท Y ร่วม

การทำงานของวงจรในรูปที่ 4.5 สามารถสรุปได้ดังนี้

$$v_o = \begin{cases} v_{o1} = \frac{-Gv_1}{\beta(-v_2) + 2\beta(V_G - V_T)} & ; v_2 < 0 \\ v_{o2} = \frac{Gv_1}{\beta v_2} & ; v_2 > 0 \end{cases} \quad (4.14)$$

โดยที่แรงดันที่ทางออกจะมีค่าเท่ากับ v_{o1} เมื่อ v_2 มีค่าน้อยกว่าศูนย์ และมีค่าเท่ากับ v_{o2} เมื่อ v_2 มีค่ามากกว่าศูนย์ โดยที่ขนาดของ v_{o2} จะมีค่ามากกว่า v_{o1} และการทำงานของวงจรจะต้องเป็นไปตามเงื่อนไข (4.6) และ (4.13) นั่นคือ NMOS ทั้งสี่ตัวที่อยู่ในวงจรตามรูป 4.5 จะต้องทำงานในช่วงไม่อิ่มตัว

4.3 บทสรุป

จากที่ได้กล่าวมาทั้งหมดในบทนี้ แสดงถึงทฤษฎีและเทคนิคการออกแบบวงจรหารแรงดันสี่ควอดแดรนต์ ซึ่งได้มีการพัฒนามาจากสองควอดแดรนต์จากหลักการเดียวกัน และได้แสดงถึงขั้นตอนในการพัฒนาโดยเน้นไปที่การออกแบบวงจรรวมแบบ CMOS ซึ่งแสดงให้เห็นจากการเปลี่ยนจากการใช้ออปแอมป์ซึ่งเป็นอุปกรณ์ขนาดใหญ่ในการสร้างเป็นวงจรบัฟเฟอร์ มาใช้วงจรบัฟเฟอร์แบบ CMOS ซึ่งสามารถลดจำนวนอุปกรณ์ และมีผลให้วงจรมีขนาดเล็กลงมีจำนวนเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์น้อยลงและสามารถสร้างเป็นวงจรรวมได้ง่ายขึ้น และในบทความต่อไปจะได้แสดงถึงการทดลองและผลการทดลองจากทั้งการจำลองการทำงานของวงจรจากโปรแกรม PSpice และผลการทดลองจากการต่อวงจรจริง และแสดงการหาคุณสมบัติต่าง ๆ ของวงจร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

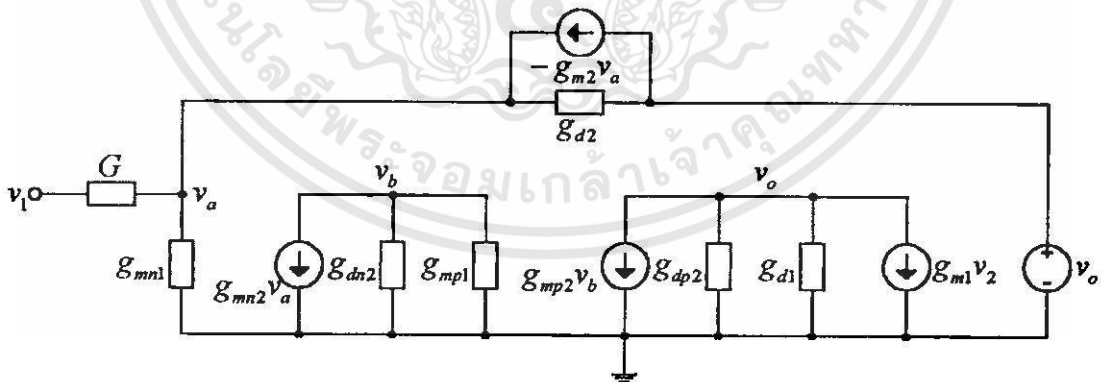
การวิเคราะห์คุณสมบัติของวงจรและผลการทดสอบวงจร

5.1 บทนำ

วงจรหารสัญญาณแรงดันเชิงอุปมานแบบต่าง ๆ ซึ่งได้แสดงทฤษฎีและหลักการออกแบบวงจรในเชิงของผลตอบสนองต่อสัญญาณขนาดใหญ่ไว้ในบทที่ 4 ในบทนี้จะได้แสดงถึงการวิเคราะห์คุณสมบัติต่าง ๆ ของวงจร เช่น คุณสมบัติทางความต้านทานอินพุตและเอาต์พุต คุณสมบัติทางช่วงปฏิบัติการทางอินพุต คุณสมบัติทางความถี่ปฏิบัติการ และในบทนี้ยังได้แสดงถึงผลการทดลองจากการจำลองการทำงานของวงจรด้วยโปรแกรม PSpice และผลการทดลองจากการต่อวงจรจริง

5.2 การวิเคราะห์คุณสมบัติความต้านทานอินพุตและเอาต์พุต

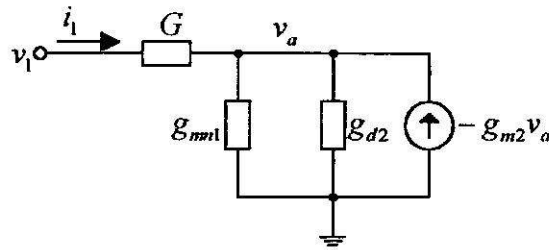
ในหัวข้อนี้จะได้กล่าวถึงการคำนวณ และการวิเคราะห์คุณสมบัติความต้านทานทางอินพุตและความต้านทานเอาต์พุต ซึ่งสามารถทำได้โดยใช้แบบจำลองสัญญาณขนาดเล็กของวงจรต่าง ๆ ที่ได้กล่าวไว้ก่อนหน้านี้ พิจารณาจากวงจรหารแบบพื้นฐานและสมมติว่าออปแอมป์ที่ต่อเป็นบัฟเฟอร์ในวงจรมีคุณสมบัติเหมือนในกรณีอุดมคติ จะได้วงจรสมมูลสำหรับสัญญาณขนาดเล็กตามรูปที่ 5.1



รูปที่ 5.1 วงจรสมมูลของวงจรหารแบบพื้นฐาน

พิจารณาหาค่าความต้านทานอินพุตที่ v_i โดยไม่พิจารณาผลของ v_o และ v_2 จะได้วงจรสมมูลตามรูปที่ 5.2 ดังนั้นพิจารณาที่โหนด v_i จะได้

$$(G + g_{d2} + g_{m1} + g_{m2})v_a - Gv_1 = 0 \quad (5.1)$$



รูปที่ 5.2 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุตที่ v_1 ของวงจรหารแบบพื้นฐาน

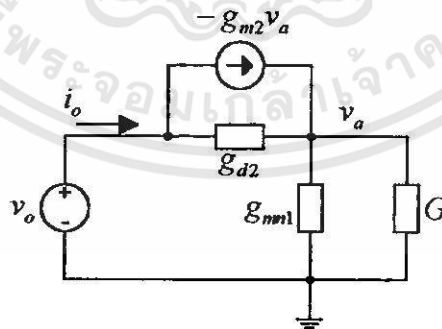
$$G(v_1 - v_a) = i_1 \quad (5.2)$$

จากสมการ (5.1) และ (5.2) จะได้ค่าความต้านทานอินพุตที่ v_1 ดังนี้

$$r_{in1} = \frac{v_1}{i_1} = \frac{G + g_{d2} + g_{m1} + g_{m2}}{G(g_{d2} + g_{m1} + g_{m2})} \quad (5.3)$$

จากการพิจารณาค่าความต้านทานอินพุตที่ v_2 จะพบว่าที่อินพุต v_2 ถูกกั้นด้วยฉนวนซิลิกอนไดออกไซด์ ทำให้มีค่าความต้านทานมีค่าเป็นอนันต์

ทำการพิจารณาค่าความต้านทานที่เอาต์พุตที่ v_o โดยไม่พิจารณาผลของอินพุต (v_1 และ v_2) จะได้ว่าวงจรสมมูลตามรูปที่ 5.3



รูปที่ 5.3 วงจรสมมูลสำหรับหาค่าความต้านทานเอาต์พุต ของวงจรหารแบบพื้นฐาน

พิจารณาที่โหนด v_a จะได้

$$(G + g_{d2} + g_{m1} + g_{m2})v_a - g_{d2}v_o = 0 \quad (5.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

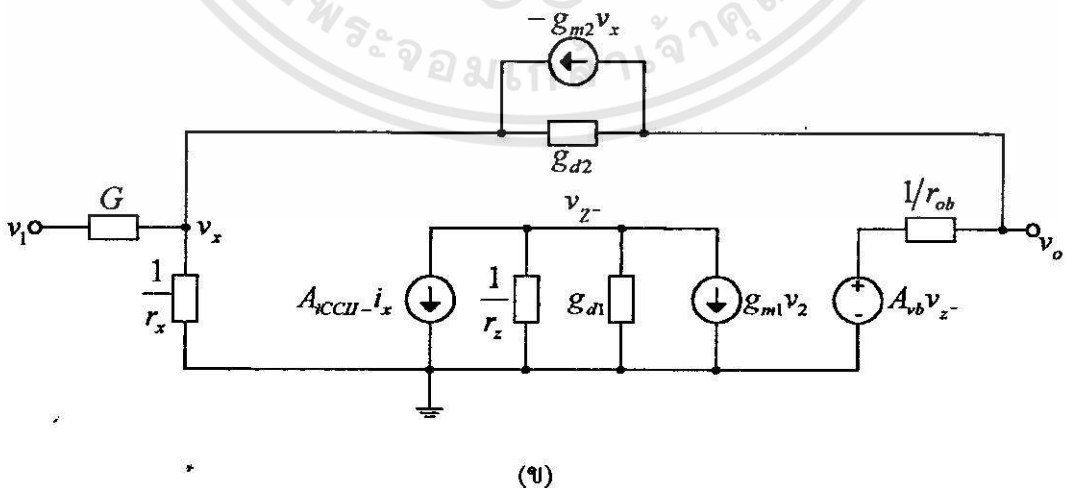
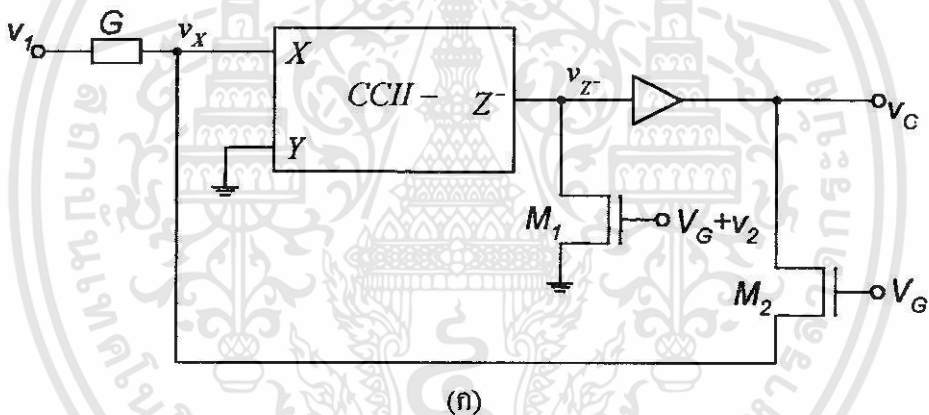
และที่โหนด v_o จะได้

$$g_{d2}v_o - (g_{d2} + g_{m2})v_a = i_o \quad (5.5)$$

ดังนั้นจากสมการ (5.4) และ (5.5) จะได้ค่าความต้านทานเอาต์พุตดังนี้

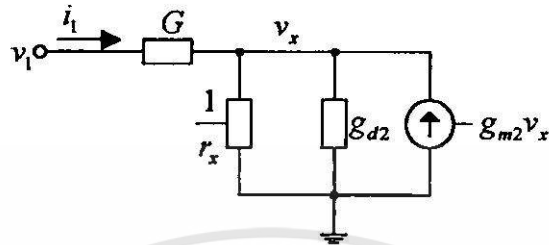
$$r_{out} = \frac{v_o}{i_o} = \frac{G + g_{d2} + g_{m1} + g_{m2}}{g_{d2}(G + g_{m1})} \quad (5.6)$$

พิจารณาวงจรหารสองควอดแดรนต์ที่ใช้ CMOS บัฟเฟอร์ และวงจร CCII- เป็นส่วนประกอบ ตามรูป 5.4 (ก) จะได้ว่าวงจรสมมูลสำหรับสัญญาณขนาดเล็กตามรูป 5.4 (ข)



รูปที่ 5.4 (ก) วงจรหารสองควอดแดรนต์โดยใช้ CCII- (ข) วงจรสมมูล

พิจารณาหาค่าความต้านทานอินพุตที่ v_1 ของวงจรหารสองควอดแดรนต์จากรูป 5.4 (ข) โดยไม่พิจารณาผลของ v_o และ v_2 จะได้วงจรสมมูลตามรูปที่ 5.5 ดังนั้นจะได้ค่าความต้านทานอินพุตที่ v_1 ดังนี้

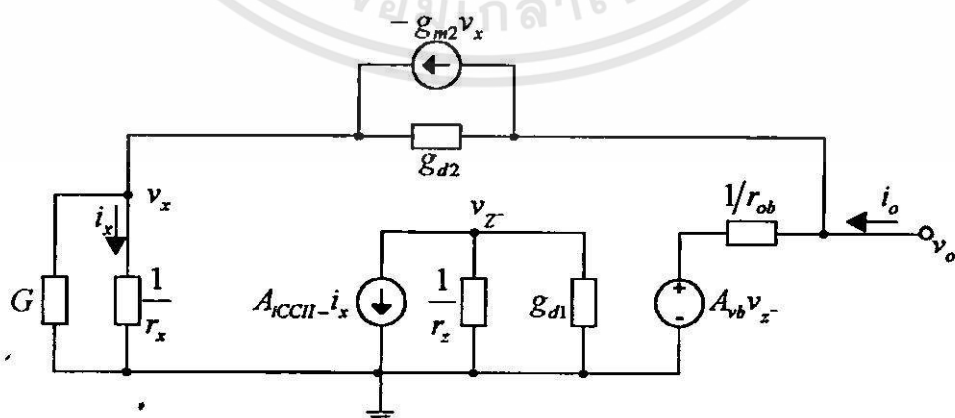


รูปที่ 5.5 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุตที่ v_1 สำหรับวงจรหารสองควอดแดรนต์ที่สร้างขึ้นจาก CCH-

$$r_{in1} = \frac{v_1}{i_1} = \frac{G + \frac{1}{r_x} + g_{d2} + g_{m2}}{G \left(\frac{1}{r_x} + g_{d2} + g_{m2} \right)} \quad (5.7)$$

การพิจารณาหาค่าความต้านทานอินพุตที่ v_2 สำหรับวงจรหารแรงดันสองควอดแดรนต์จากรูป 5.4 (ก) จะพบว่าที่อินพุต v_2 ถูกกั้นด้วยจนวนจิลิกอนไดออกไซด์ ทำให้มีค่าความต้านทานมีค่าเป็นอนันต์หรือประมาณ 10^{20} โอห์ม

ต่อมาได้ทำการพิจารณาหาค่าความต้านทานเอาต์พุตที่ v_o โดยไม่พิจารณาผลของอินพุต (ให้ v_1 และ v_2 เป็นศูนย์) จะได้วงจรสมมูลตามรูปที่ 5.6



รูปที่ 5.6 วงจรสมมูลสำหรับหาค่าความต้านทานเอาต์พุต สำหรับวงจรหารสองควอดแดรนต์ที่สร้างขึ้นจาก CCII-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.6 พิจารณาที่โหนด v_x จะได้

$$\left(G + \frac{1}{r_x} + g_{d2} + g_{m2}\right)v_x - g_{d2}v_o = 0 \quad (5.8)$$

พิจารณาที่โหนด v_{z^-} จะได้

$$\left(\frac{1}{r_z} + g_{d1}\right)v_{z^-} + A_{CCII}i_x = 0 \quad (5.9)$$

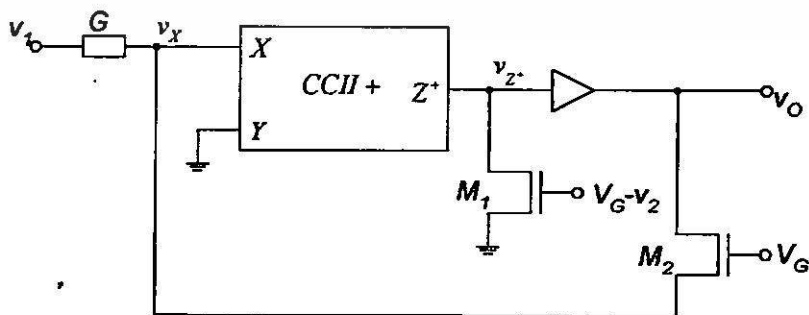
และพิจารณาที่โหนด v_o จะได้

$$\left(\frac{1}{r_{ob}} + g_{d2}\right)v_o - (g_{d2} + g_{m2})v_x - \frac{A_{vb}v_{z^-}}{r_{ob}} = i_o \quad (5.10)$$

จากสมการ (5.8) ถึง (5.10) จะได้ค่าความต้านทานที่ทางออกคือ

$$r_{out} = \frac{v_o}{i_o} = \frac{1}{g_{d2} + \frac{1}{r_{ob}} - \frac{g_{d2}(g_{d2} + g_{m2})}{G + g_{d2} + \frac{1}{r_x} + g_{m2}} + \frac{A_{CCII} - A_{vb}g_{d2}}{r_{ob}r_x \left(g_{d1} + \frac{1}{r_z}\right) \left(G + g_{d2} + \frac{1}{r_x} + g_{m2}\right)} \quad (5.11)$$

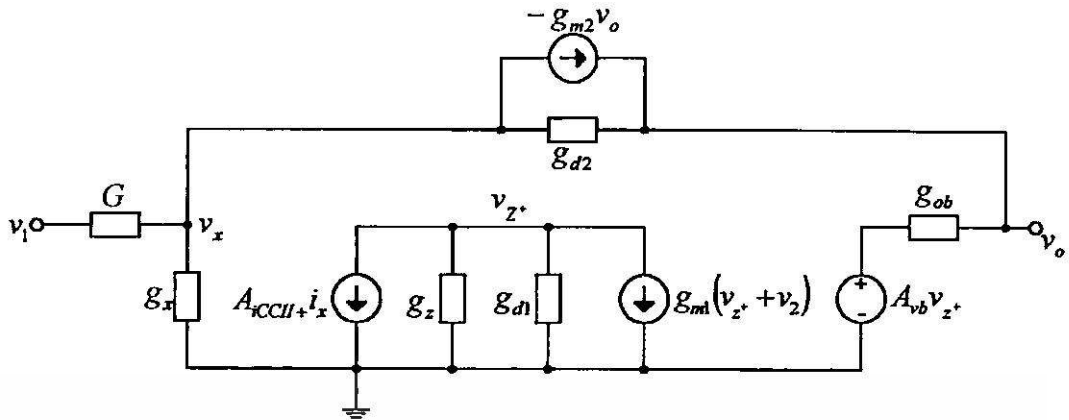
พิจารณาวงจรหารสองควอดแรนทีที่สร้างขึ้นจากวงจร CCII+ ตามรูป 5.7 (ก) จะได้ วงจรสมมูลสำหรับสัญญาณขนาดเล็กตามรูป 5.7 (ข)



(ก)

รูปที่ 5.7 (ก) วงจรหารสองควอดแรนทีโดยใช้ CCII+ (ข) วงจรสมมูล

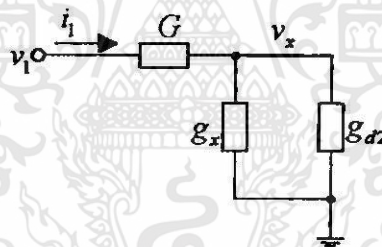
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข)

รูปที่ 5.7 (ต่อ)

พิจารณาหาค่าความต้านทานอินพุตที่ v_1 ของวงจรหารสองควอดแดรนต์จากรูป 5.7 (ข) โดยไม่พิจารณาผลของ v_o และ v_2 จะได้วงจรสมมูลตามรูปที่ 5.8 ดังนั้นจะได้ค่าความต้านทานอินพุตที่ v_1 ดังนี้



รูปที่ 5.8 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุตที่ v_1 สำหรับวงจรหารสองควอดแดรนต์ที่สร้างขึ้นจาก CCII+

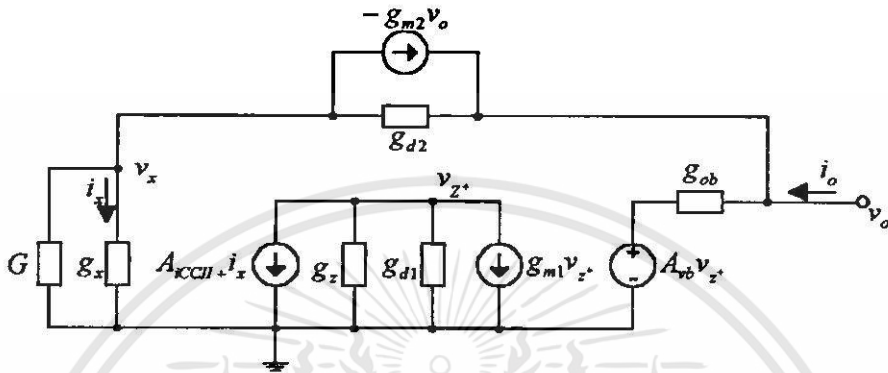
$$r_{in} = \frac{v_1}{i_1} = \frac{G + g_{d2} + g_x}{G(g_{d2} + g_x)} \quad (5.12)$$

จากรูป 5.8 และสมการ (5.12) เมื่อมองในลักษณะของตัวความต้านทานจะพบว่า ค่าความต้านทานอินพุตจะมีค่าขึ้นอยู่กับค่า $R = 1/G$ เพราะค่า r_{in} ขนานกับค่า r_x มีค่าน้อยกว่า R มาก

การพิจารณาหาค่าความต้านทานอินพุตที่ v_2 สำหรับวงจรแรงดันสองควอดแดรนต์จากรูป 5.7 (ก) จะพบว่าที่อินพุต v_2 ถูกกั้นด้วยฉนวนจิลิกอนไดออกไซด์ เหมือนกับวงจร

สองควอดแดรนต์ที่สร้างขึ้นจาก CCII- ทำให้มีค่าความต้านทานมีค่าเป็นอนันต์หรือประมาณ 10^{20} โอห์ม

การพิจารณาค่าความต้านทานเอาต์พุตที่ v_o โดยไม่พิจารณาผลของอินพุต (ให้ v_1 และ v_2 เป็นศูนย์) จะได้ว่าวงจรสมมูลตามรูปที่ 5.9



รูปที่ 5.9 วงจรสมมูลสำหรับหาค่าความต้านทานเอาต์พุต สำหรับวงจรหารสองควอดแดรนต์ที่สร้างขึ้นจาก CCII+

จากรูปที่ 5.9 พิจารณาที่โหนด v_x จะได้

$$(G + g_{d2} + g_x)v_x - (g_{d2} + g_{m2})v_o = 0 \quad (5.13)$$

พิจารณาที่โหนด $v_{z'}$ จะได้

$$(g_z + g_{d1} + g_{m1})v_{z'} + A_{ccii+}i_x = 0 \quad (5.14)$$

และพิจารณาที่โหนด v_o จะได้

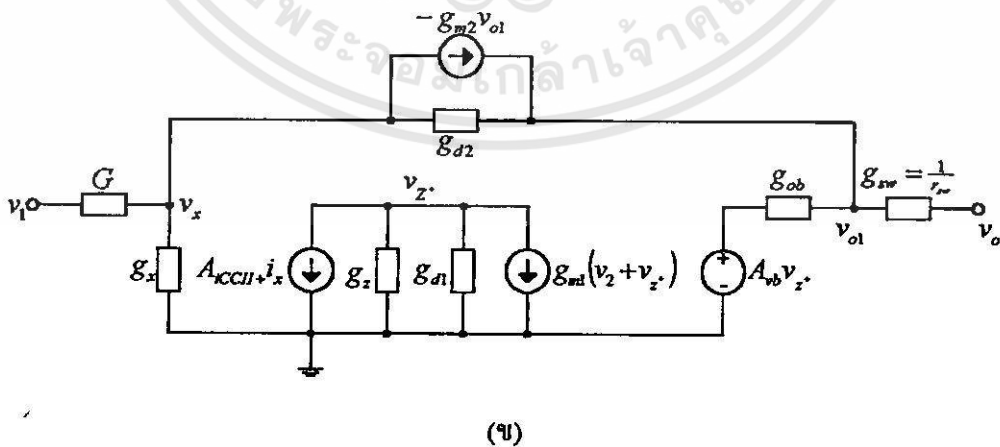
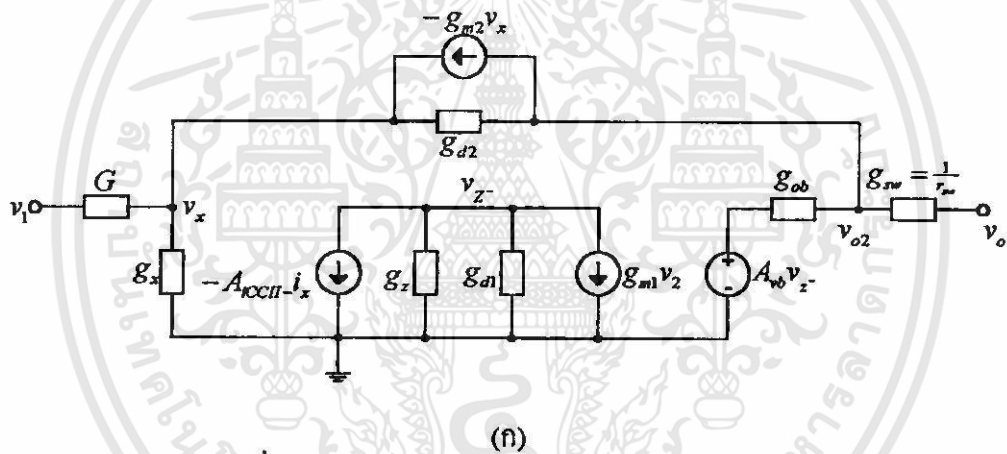
$$(g_{ob} + g_{d2} + g_{m2})v_o - g_{d2}v_x - g_{ob}A_{vb}v_{z'} = i_o \quad (5.15)$$

จากสมการ (5.13) ถึง (5.15) จะได้ค่าความต้านทานที่ทางออกคือ

$$r_{out} = \frac{v_o}{i_o} = \frac{1}{g_{d2} + g_{ob} + g_{m2} - \frac{g_{d2}(g_{d2} + g_{m2})}{G + g_{d2} + g_x} + \frac{A_{ccii+}A_{vb}g_xg_{ob}(g_{d2} + g_{m2})}{(g_{d1} + g_{m1})(G + g_{d2} + g_x)}} \quad (5.16)$$

พิจารณาวงจรหารสี่ควอดแดรนต์ในรูปที่ 4.4 พบว่าเกิดขึ้นจากวงจรหารสองควอดแดรนต์จำนวนสองวงจรประกอบกัน โดยมีวงจรเปรียบเทียบแรงดันเป็นตัวสวิตช์เลือกเอาท์พุทระหว่างสองวงจร ดังนั้นการพิจารณาหาค่าความต้านทานอินพุทและความต้านทานเอาท์พุทของวงจรหารสี่ควอดแดรนต์นี้ จะทำการพิจารณากรณีที่เอาท์พุทของวงจรหารสี่ควอดแดรนต์ สวิตช์ไปที่เอาท์พุทของวงจรสองควอดแดรนต์แต่ละวงจร

กรณีที่เอาท์พุทของวงจรหารสี่ควอดแดรนต์ สวิตช์ไปที่เอาท์พุทของวงจรสองควอดแดรนต์ ที่ประกอบขึ้นจากวงจรสายพานกระแสชนิดลบ จะได้วงจรสมมูลสำหรับสัญญาณขนาดเล็กแสดงตามรูปที่ 5.10 (ก) และกรณีที่เอาท์พุทของวงจรหารสี่ควอดแดรนต์ สวิตช์ไปที่เอาท์พุทของวงจรหารสองควอดแดรนต์ ที่ประกอบขึ้นจากวงจรสายพานกระแสชนิดบวก จะได้วงจรสมมูลสำหรับสัญญาณขนาดเล็กแสดงตามรูปที่ 5.10 (ข)



รูปที่ 5.10 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของวงจรหารสองควอดแดรนต์ ที่สร้างขึ้นจาก
(ก) CCII- (ข) CCII+

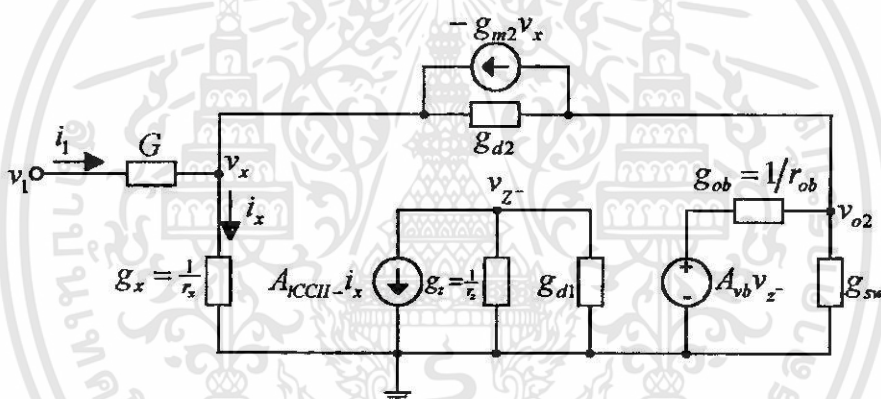
จากรูปที่ 5.10 (ก) ทำการพิจารณาหาค่าความต้านทานอินพุตที่ v_1 โดยไม่พิจารณาผลของ v_2 และ v_o จะได้วงจรสมมูลตามรูปที่ 5.11

เมื่อพิจารณาที่โหนด v_x จะได้

$$(G + g_{d2} + g_x + g_{m2})v_x - g_{d2}v_{o2} - Gv_1 = 0 \quad (5.17)$$

พิจารณาที่โหนด v_{o2} จะได้

$$(g_{d2} + g_{sw} + g_{ob})v_{o2} - (g_{d2} + g_{m2})v_x - g_{ob}A_{vb}v_{z^-} = 0 \quad (5.18)$$



รูปที่ 5.11 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุต v_1 จากรูป 5.10 (ก)

พิจารณาที่โหนด v_z^- จะได้

$$(g_{d1} + g_z)v_z^- + A_{vccII}i_x = 0 \quad (5.19)$$

และขณะที่

$$G(v_1 - v_x) = i_1 \quad (5.20)$$

$$i_x = g_x v_x \quad (5.21)$$

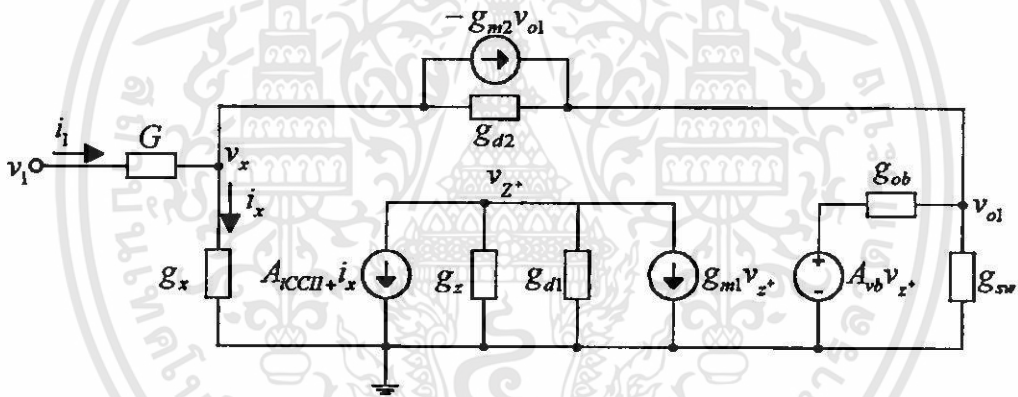
จากสมการ (5.17) ถึง (5.21) จะได้ค่าความต้านทานอินพุทที่ v_1 สำหรับวงจรในรูปที่ 5.10 (ก) คือ

$$r_{in-} = \frac{D_1}{G[D_1 - G(g_{d2} + g_{sw} + g_{ob})(g_{d1} + g_z)]} \quad (5.22)$$

ขณะที่

$$D_1 = (g_{d2} + g_{sw} + g_{ob})(G + g_{d2} + g_x + g_{m2})(g_{d1} + g_z) - g_{d2}(g_{d2} + g_{m2})(g_{d1} + g_z) + g_{d2}g_{ob}g_x A_{vb} A_{ccII}$$

เมื่อทำการพิจารณาหาค่าความต้านทานอินพุทที่ v_1 ในรูปที่ 5.10 (ข) จะได้วงจรสมมูลตามรูปที่ 5.12



รูปที่ 5.12 วงจรสมมูลสำหรับหาค่าความต้านทานอินพุท v_1 จากรูป 5.10 (ข)

เมื่อพิจารณาที่โหนด v_x จะได้

$$(G + g_{d2} + g_x)v_x - (g_{d2} + g_{m2})v_{o2} - Gv_1 = 0 \quad (5.23)$$

พิจารณาที่โหนด v_{o1} จะได้

$$(g_{d2} + g_{sw} + g_{ob} + g_{m2})v_{o2} - g_{d2}v_x - g_{ob}A_{vb}v_{z^*} = 0 \quad (5.24)$$

พิจารณาที่โหนด v_{z^*} จะได้

$$(g_{d1} + g_z + g_{m1})v_{z^-} + A_{CCU+}i_x = 0 \quad (5.25)$$

จากสมการ (5.23) ถึง (5.25) จะได้ค่าความต้านทานอินพุตที่ v_1 สำหรับวงจรในรูปที่ 5.10 (ข) คือ

$$r_{in+} = \frac{D_2}{G[D_2 - G(g_{d2} + g_{sw} + g_{ob} + g_{m2})(g_{d1} + g_{m1})]} \quad (5.26)$$

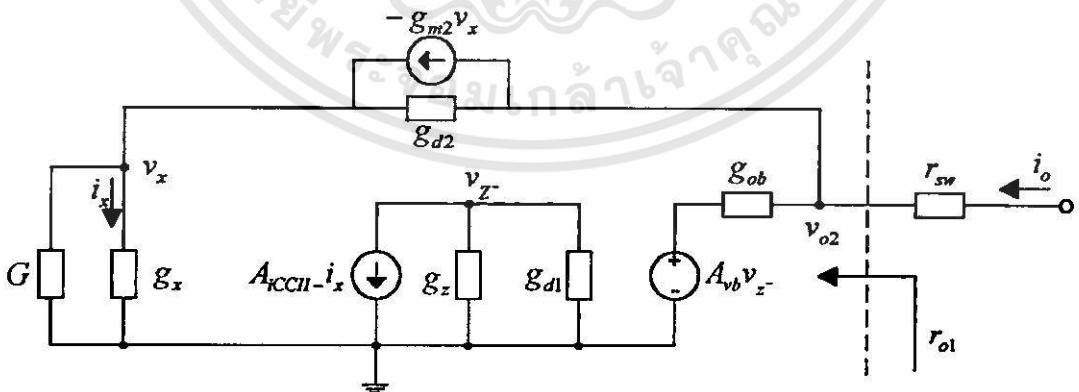
ขณะที่

$$D_2 = (g_{d2} + g_{sw} + g_{ob} + g_{m2})(G + g_{d2} + g_x)(g_{d1} + g_{m1}) - g_{d2}(g_{d2} + g_{m2})(g_{d1} + g_{m1}) + (g_{d2} + g_{m2})g_{ob}g_x A_{vb} A_{CCU+}$$

อย่างไรก็ตามจากรูปที่ 4.4 พบว่าแรงดันอินพุต v_1 ของทั้งสองวงจรต่อเข้าด้วยกัน ดังนั้นค่าความต้านทานอินพุตที่ v_1 ของวงจรหารที่ควอดแรนต์จะต้องเป็นการขนานกันของความต้านทานอินพุต v_1 ของทั้งสองวงจร

$$r_{in1} = r_{in1-} \parallel r_{in1+} \quad (5.27)$$

พิจารณาหาค่าความต้านทานเอาต์พุต จากวงจรในรูปที่ 5.10 (ก) จะได้ว่าวงจรสมมูลดังรูปที่ 5.13



รูปที่ 5.13 วงจรสมมูลสำหรับหาค่าความต้านทานเอาต์พุตของรูป 5.10 (ก)

จากรูปที่ 5.13 พบว่าทางฝั่งซ้ายของเส้นประ เป็นวงจรที่เหมือนกับรูปที่ 5.6 ซึ่งมีค่าความต้านทานเอาต์พุตตามสมการ (5.11) ดังนั้นการหาค่าความต้านทานเอาต์พุตของวงจรนี้ หากเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้จากการอนุกรมกันของความต้านทาน r_{o2} ซึ่งเป็นความต้านทานเอาต์พุตของวงจรในรูป 5.6 กับ r_{sw} ซึ่งเป็นความต้านทานของสวิตช์

$$r_{out2} = r_{o2} + r_{sw} \quad (5.28)$$

โดยที่ r_{o2} สามารถเขียนใหม่ได้เป็น

$$r_{o2} = \frac{(g_z + g_{d1})(G + g_x + g_{d2} + g_{m2})}{(g_{ob} + g_{d2})(g_z + g_{d1})(G + g_x + g_{d2} + g_{m2}) - g_{d2}(g_{d2} + g_{m2})(g_z + g_{d1}) + g_{ob}g_xg_{d2}A_{vb}A_{CCII}}$$

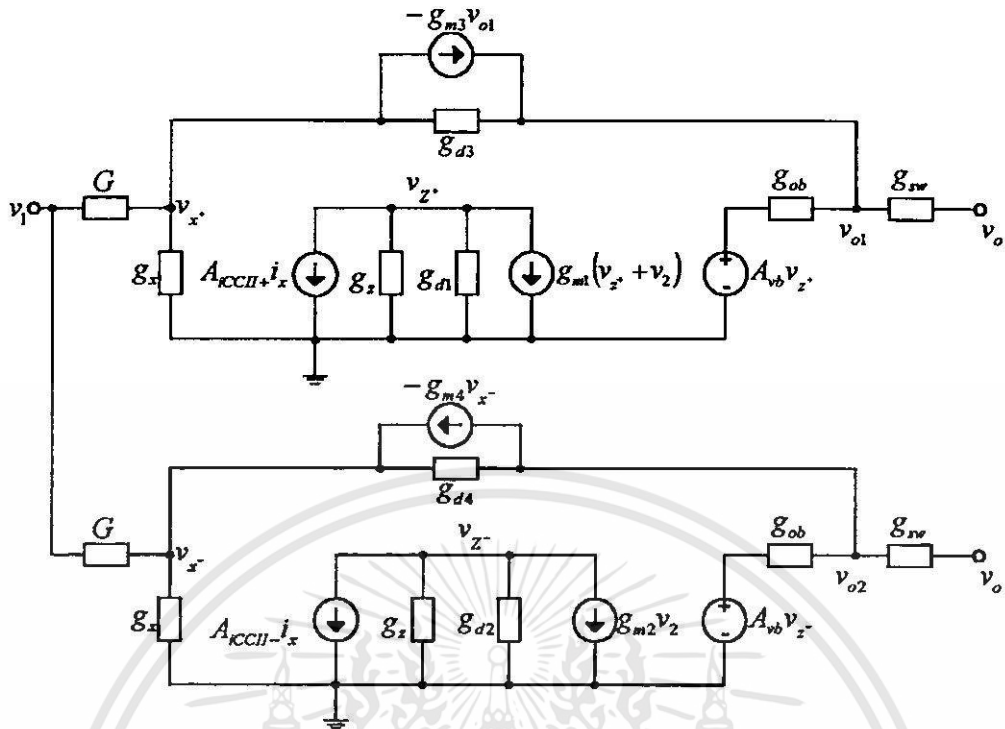
เมื่อทำการพิจารณาค่าความต้านทานเอาต์พุต จากวงจรในรูปที่ 5.10 (ข) พบว่า ลักษณะของวงจรคล้ายกับวงจรในรูป 5.10 (ก) ดังนั้นจะได้ค่าความต้านทานเอาต์พุตดังนี้

$$r_{out} = r_{o1} + r_{sw} \quad (5.29)$$

ขณะที่ r_{o1} คือสมการ (5.16) สามารถเขียนได้ใหม่เป็น

$$r_{o1} = \frac{(g_m + g_{d1})(G + g_x + g_{d2})}{(g_{ob} + g_{d2} + g_{m2})(g_m + g_{d1})(G + g_x + g_{d2}) - g_{d2}(g_{d2} + g_{m2})(g_m + g_{d1}) + g_{ob}g_x(g_{d2} + g_{m2})A_{vb}A_{CCII}}$$

สำหรับการหาค่าความต้านทานอินพุตและความต้านทานเอาต์พุต ของวงจรหารสี่ควอด แดรนท์ที่ประกอบขึ้นจากวงจรสายพานกระแสชนิดพอร์ท Y ร่วมในรูปที่ 4.5 สามารถเขียนวงจร สมมูลสำหรับสัญญาณขนาดเล็กได้ตามรูปที่ 5.14

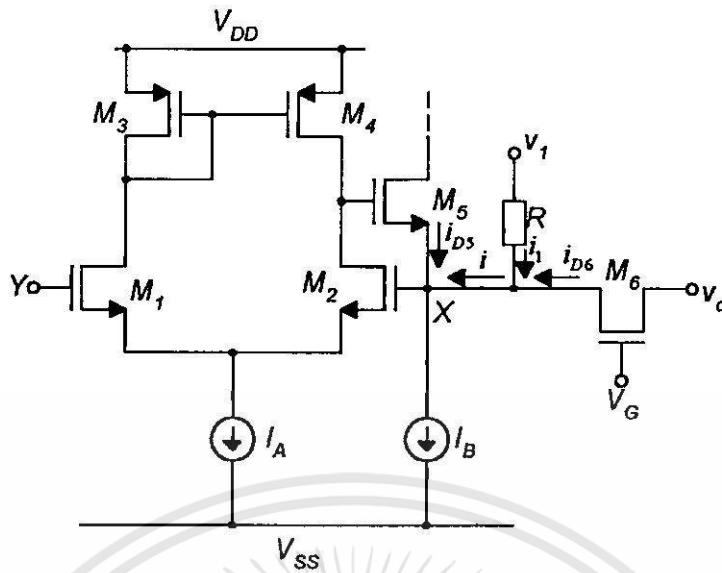


รูปที่ 5.14 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของรูปที่ 4.5

จากรูปที่ 5.14 พบว่าวงจรมีลักษณะเดียวกับวงจรหารแรงดันสี่ควอดแดรนต์ ที่สร้างขึ้นจากวงจรหารแรงดันสองควอดแดรนต์สองวงจรที่ได้อธิบายมาแล้วข้างต้น ดังนั้นค่าความต้านทานอินพุตและค่าความต้านทานเอาต์พุตของวงจรหารแรงดันสี่ควอดแดรนต์ทั้งวงจรนี้ จะมีค่าเป็นไปตามสมการ (5.27) ถึง (5.29)

5.8 การวิเคราะห์หาช่วงปฏิบัติการทางอินพุต

ในการพิจารณาค่าแรงดันปฏิบัติการทางอินพุต (v_1 และ v_2) สามารถแยกพิจารณาเป็นอินพุต v_1 และอินพุต v_2 แรงดันอินพุต v_1 สามารถพิจารณาได้จากปริมาณกระแสที่ไหลเข้าและไหลออกจากพอร์ท X ของวงจรถ่ายผันกระแส ขณะที่แรงดันอินพุต v_2 เป็นแรงดันที่ป้อนให้ขาเกตของมอสทรานซิสเตอร์ชนิดเอ็น



รูปที่ 5.15 แสดงส่วนอินพุทของวงจรหาร

ทำการพิจารณาค่าแรงดันอินพุท v_1 จากรูปที่ 5.15 เมื่อพิจารณาที่พอร์ท X พบว่า ถ้าสมมติว่ากระแส i มีทิศทางการไหลเข้าพอร์ท X และมีค่าเท่ากับ I_B ซึ่งจะทำให้กระแส i_{D5} เท่ากับศูนย์ แต่ถ้าสมมติว่า i มีทิศทางการไหลเข้าพอร์ท X และมีค่าน้อยกว่า I_B หรือ i มีทิศทางการไหลออกจากพอร์ท X จะมีผลทำให้ i_{D5} มีค่าเกิดขึ้น และสามารถส่งผ่านไปยังชุดของวงจรสะท้อนกระแส เพื่อทำให้เกิด i_1 ที่พอร์ท Z ได้ ดังนั้นสามารถสรุปได้ว่ากระแส i ที่ไหลเข้าพอร์ท X มีค่าสูงสุดเท่ากับ I_B จากการพิจารณากระแสที่โหนด X พบว่า

$$i_1 + i_{D6} + i_{D5} = I_B \quad (5.30)$$

เมื่อที่พอร์ท Y ถูกต่อลงกราวด์ทำให้แรงดันที่พอร์ท X และ Y มีค่าเท่ากับศูนย์ และจากรูปที่ 5.15 พบว่ากระแส i_1 มีค่ามากที่สุดเมื่อ i_{D5} เท่ากับศูนย์ และจากสมการ (5.30) จะได้ว่า

$$i_{1(\max)} = \frac{V_{1(\max)}}{R} \quad (5.31)$$

$$i_{D6} = \beta_6 \left[(V_G - V_T)v_o - \frac{v_o^2}{2} \right] \quad (5.32)$$

$$v_o = \frac{v_1}{\beta R v_2} \quad (5.33)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (5.31) ถึง (5.33) และในกรณีที่ $v_o \ll 2(V_G - V_T)$ สามารถเขียนสมการ (5.30) ได้ใหม่คือ

$$v_{I(\max)} = \frac{RI_B}{1 + \frac{(V_G - V_T)}{v_2}} \quad (5.34)$$

สมการ (5.34) เป็นสมการที่แสดงถึงค่าแรงดัน v_1 มากที่สุด โดยมีค่าแปรผันตาม I_B ตัวอย่างเช่นสมมติให้ $I_B = 1\text{mA}$, $V_G = 5\text{V}$, $V_T = 1.5\text{V}$, $v_2 = 10\text{V}$ และ $R = 10\text{k}$ จะได้ค่าแรงดัน $v_{I(\max)} = 7.4\text{V}$

ทำการพิจารณาค่าแรงดันปฏิบัติการอินพุต v_2 พบว่า v_2 เป็นแรงดันที่ป้อนเข้าที่ขาเกตของมอสทรานซิสเตอร์ชนิดเอ็น เพื่อให้ NMOS ทำงานในช่วงไม่อิ่มตัว ซึ่งมีเงื่อนไขเป็น

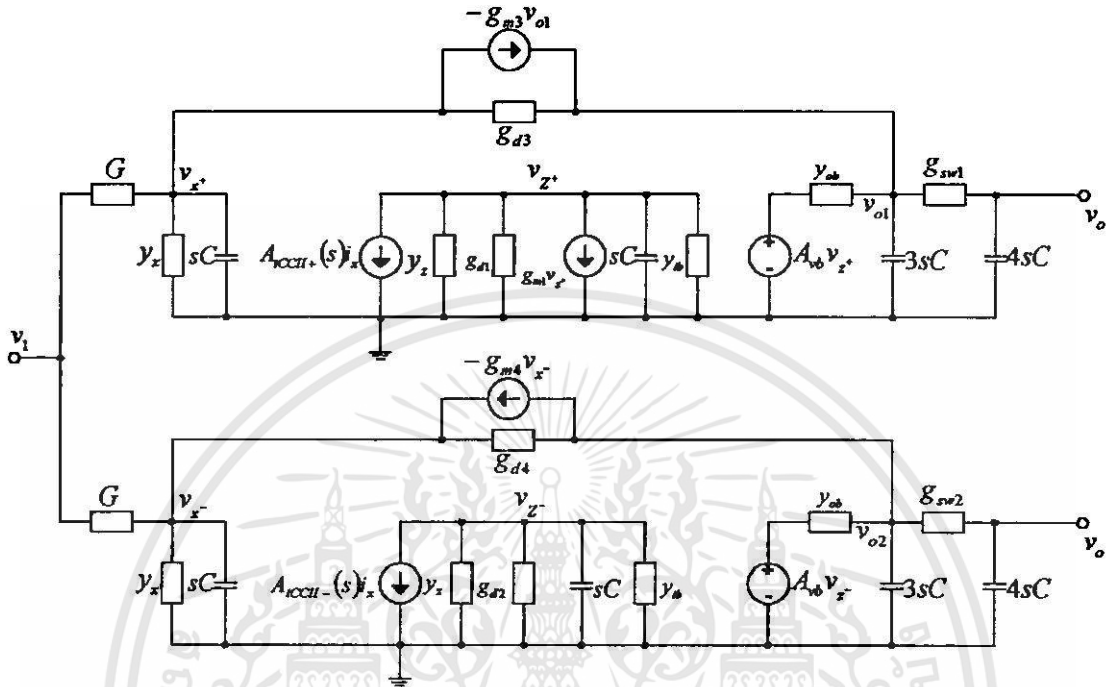
$$v_{GS} - V_T > v_{DS} \quad (5.35)$$

ดังนั้นถ้าให้แรงดันที่ทำการป้อนเข้าที่ขาเกตของ NMOS มีค่าเป็น $V_G + v_2$ ซึ่ง V_G มีค่าคงที่ และให้ค่า V_G มีค่ามาก ๆ (เท่ากับค่า V_{DD} ของวงจร) หรือมากกว่า $v_{DS} + V_T$ ซึ่งจะทำให้ v_2 มีค่ามากกว่าศูนย์ อย่างไรก็ตามการทำงานของวงจรหารสี่ควอดแดรนต์จะเป็นการทำงานสลับกันของวงจรหารสองควอดแดรนต์สองวงจร โดยขณะที่ v_2 มีค่าเป็นบวก วงจรหารสองควอดแดรนต์ที่สร้างขึ้นจาก CCII- จะทำงาน และที่ v_2 มีค่าเป็นลบ วงจรสองควอดแดรนต์ที่สร้างขึ้นจาก CCII+ จะทำงาน เนื่องจากการให้ค่าแรงดัน v_2 ได้อ้างอิงจากการให้ค่าแรงดันของวงจรที่สร้างขึ้นจาก CCII- โดยขณะที่ให้ค่าแรงดัน v_2 เป็นบวกป้อนให้กับวงจรที่สร้างขึ้นจาก CCII- ขณะเดียวกัน v_2 ที่ถูกป้อนให้กับวงจรที่สร้างขึ้นจาก CCII+ จะมีค่าเป็นลบ และขณะที่ค่าแรงดัน v_2 กลับเป็นลบป้อนให้กับวงจรที่สร้างขึ้นจาก CCII- ขณะเดียวกัน v_2 ที่ถูกป้อนให้กับวงจรที่สร้างขึ้นจาก CCII+ จะมีค่าเป็นบวก เพราะว่าแรงดัน v_2 ที่ป้อนให้ทั้งสองวงจรถัดกัน ดังนั้นการทำงานของวงจรสี่ควอดแดรนต์ ถ้า v_2 ที่ป้อนให้กับวงจรเป็นสัญญาณที่มีค่าได้ทั้งบวกและลบ

5.4 การวิเคราะห์หาช่วงความถี่ปฏิบัติการ

ในการวิเคราะห์หาช่วงความถี่ปฏิบัติการของวงจรสี่ควอดแดรนต์ ตามรูปที่ 4.4 และ 4.5 สามารถพิจารณาได้จากวงจรมุมูลในรูปที่ 5.16 ซึ่งใช้สำหรับหาค่าความถี่คutoff สำหรับ

อินพุต v_i โดยแบ่งพิจารณาวงจรออกเป็นสองส่วนคือ ส่วนของวงจรหารที่สร้างขึ้นจากวงจร CCII+ และส่วนของวงจรหารที่สร้างขึ้นจากวงจร CCII-



รูปที่ 5.16 วงจรสมมูลสำหรับหาผลคอบสนองความถี่ สำหรับวงจรหารสี่ควอดแดรนต์

วิเคราะห์วงจรในรูปที่ 5.16 ส่วนบน ซึ่งเป็นวงจรที่สร้างขึ้นจากวงจร CCII+ เมื่อพิจารณาที่โหนด v_{x+} จะได้

$$(G + y_x + sC + g_{d3})v_{x+} - (g_{m3} + g_{d3})v_{o1} = Gv_i \quad (5.36)$$

พิจารณาที่โหนด v_{z+} จะได้

$$(y_z + g_{d1} + sC + y_{ib} + g_{m1})v_{z+} + A_{CCII+}(s)i_{x+} = 0 \quad (5.37)$$

ขณะที่

$$i_{x+} = (y_x + sC)v_{x+} \quad (5.38)$$

พิจารณาที่โหนด v_{o1} จะได้

$$(y_{ob} + g_{sw} + g_{d3} + g_{m3} + 3sC)v_{o1} - g_{d3}v_{x^+} - g_{sw}v_o - y_{ob}A_{vb}(s)v_{z^+} = 0 \quad (5.39)$$

พิจารณาที่โหนด v_o จะได้

$$(4sC + g_{sw})v_o - g_{sw}v_{o1} = 0 \quad (5.40)$$

จากสมการ (5.36) ถึง (5.40) และสมการ (3.26) (3.30) (3.32) (3.46) (3.51) และ (3.53) จะได้อัตราขยายแรงดันเป็น

$$\frac{v_o}{v_1} \approx \frac{-G}{2(g_d + g_m) \left[\frac{Ps}{Q} + 1 \right]} \quad (5.41)$$

ขณะที่

$$P = g_{sw}C_g \left[4g_d^2 + 6g_dg_m + 2g_m^2 + 2G(g_d + g_m) + g_{ms}^2 \right] + 2g_{ms}^2C \left[4(g_d + g_m) + g_{sw} \right]$$

$$Q = 2g_{ms}^2g_{sw}(g_d + g_m)$$

เมื่อทำการวิเคราะห์ห้วงจรในรูปที่ 5.16 ส่วนล่าง ซึ่งเป็นวงจรที่สร้างขึ้นจากวงจร CCII- และพิจารณาที่โหนด v_{x^-} จะได้

$$(G + y_x + sC + g_{d4} + g_{m4})v_{x^-} - g_{d4}v_{o2} = Gv_1 \quad (5.42)$$

พิจารณาที่โหนด v_{z^-} จะได้

$$(y_z + g_{d2} + sC + y_{ib})v_{z^-} + A_{CCII-}(s)i_{x^-} = 0 \quad (5.43)$$

ขณะที่

$$i_{x^-} = (y_x + sC)v_{x^-} \quad (5.44)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาที่โหนด v_{o2} จะได้

$$(y_{ob} + g_{sw} + g_{d4} + 3sC)v_{o2} - (g_{d4} + g_{m4})v_x - g_{sw}v_o - y_{ob}A_{vb}(s)v_z = 0 \quad (5.45)$$

พิจารณาที่โหนด v_o จะได้

$$(4sC + g_{sw})v_o - g_{sw}v_{o2} = 0 \quad (5.46)$$

จากสมการ (5.42) ถึง (5.46) และสมการ (3.26) (3.30) (3.32) (3.51) (3.53) และ (3.60) จะได้อัตราขยายแรงดันเป็น

$$\frac{v_o}{v_i} \approx \frac{Gg_{ms}^2}{2g_d g_{ds} (2g_d + g_m + G) \left[\frac{Ms}{N} + 1 \right]} 1 \quad (5.47)$$

ขณะที่

$$M = g_{sw} C_g G (8g_d + g_{ms}) + 2Cg_{ms} [g_{sw} (8g_d + 7g_m) + 4G(g_d + 2g_{sw})]$$

$$N = 2Gg_d g_{ms} g_{sw}$$

โดยที่ g_{ms} และ g_{ds} หมายถึงค่า g_m และ g_d ของทรานซิสเตอร์ที่ทำงานในช่วงอิมิตัว ขณะที่ C_g หมายถึงค่าความจุไฟฟ้าระหว่างเกตและซอสขณะทำงานในช่วงอิมิตัว

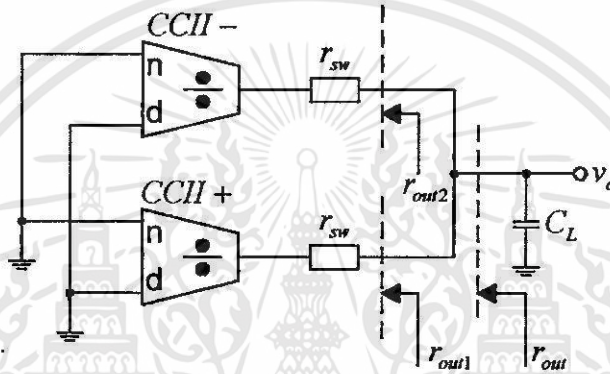
เมื่อพิจารณาค่าโพลของทั้งสองวงจรร้อยในสมการ (5.41) และ (5.47) จะพบว่าโพลของวงจรรหารสี่ควอดแดรนต์ คือ

$$s = - \frac{2Gg_d g_{ms} g_{sw}}{g_{sw} C_g G (8g_d + g_{ms}) + 2Cg_{ms} [g_{sw} (8g_d + 7g_m) + 4G(g_d + 2g_{sw})]} \quad (5.48)$$

ดังนั้นจะได้ค่าความถี่คัทออฟของวงจรถือ

$$f_{3dB} = \frac{2Gg_d g_{ms} g_{sw}}{2\pi \{g_{sw} C_g G(8g_d + g_{ms}) + 2Cg_{ms} [g_{sw}(8g_d + 7g_m) + 4G(g_d + 2g_{sw})]\}} \quad (5.49)$$

การพิจารณาหาผลตอบสนองความถี่อีกวิธีหนึ่ง ซึ่งทำได้ง่าย ๆ เมื่อสมมติให้มีตัวเก็บประจุ C_L เป็นโหลดของวงจร และมีค่ามากกว่าค่าความจุไฟฟ้าภายในของทรานซิสเตอร์มาก ซึ่งจะถูกพิจารณาเป็น dominant pole และเป็นตัวกำหนดค่าความถี่คutoff ของวงจร การวิเคราะห์สามารถพิจารณาได้จากรูปที่ 5.17 ซึ่งแสดงถึงวงจรสมมูลสำหรับหาค่าผลตอบสนองทางความถี่อย่างง่าย สำหรับอินพุต v_i



รูปที่ 5.17 วงจรสมมูลสำหรับหาผลตอบสนองความถี่ โดยสมมติว่ามีโหลดเป็น C_L

การหาค่าผลตอบสนองความถี่ของวงจร สามารถพิจารณาได้โดยเมื่อให้ค่า C_L มีค่ามากเมื่อเทียบกับค่าความเก็บประจุภายในตัวทรานซิสเตอร์ และหาค่าความต้านทานเอาต์พุตสำหรับสัญญาณขนาดเล็ก (r_{out}) จากนั้นจะได้ค่าคงตัวของวงจรเป็น

$$T = r_{out} C_L \quad (5.50)$$

ขณะที่

$$r_{out} = r_{out1} // r_{out2} \quad (5.51)$$

โดยที่ r_{out1} และ r_{out2} สามารถหาได้จากหัวข้อ 5.2 ดังนั้นจากสมการ (5.50) จะได้ค่าความถี่คutoff ของวงจรคือ

$$\omega_{3dB} = \frac{1}{r_{out} C_L} \quad (5.52)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{3dB} = \frac{1}{2\pi\tau_{out}C_L} \quad (5.53)$$

สำหรับการคำนวณค่าการตอบสนองความถี่ สำหรับอินพุต v_2 ของวงจรหารสี่ควอดแดรนต์ เนื่องจาก v_2 ต้องเป็นสัญญาณอินพุตของวงจรเปรียบเทียบแรงดัน ซึ่งให้ค่าผลการตอบสนองต่อความถี่ไม่สูงมากนัก ดังนั้นการหาค่าความถี่คัทออฟของวงจรหารสี่ควอดแดรนต์สามารถคำนวณได้จากผลการตอบสนองความถี่ของวงจรเปรียบเทียบแรงดันในหัวข้อ 3.5

จากสมการ (3.65) ในบทที่ 3 จะได้ dominant pole เป็นเทอมสุดท้ายของตัวหาร ซึ่งเป็นตัวกำหนดค่าความถี่คัทออฟของวงจร คือ

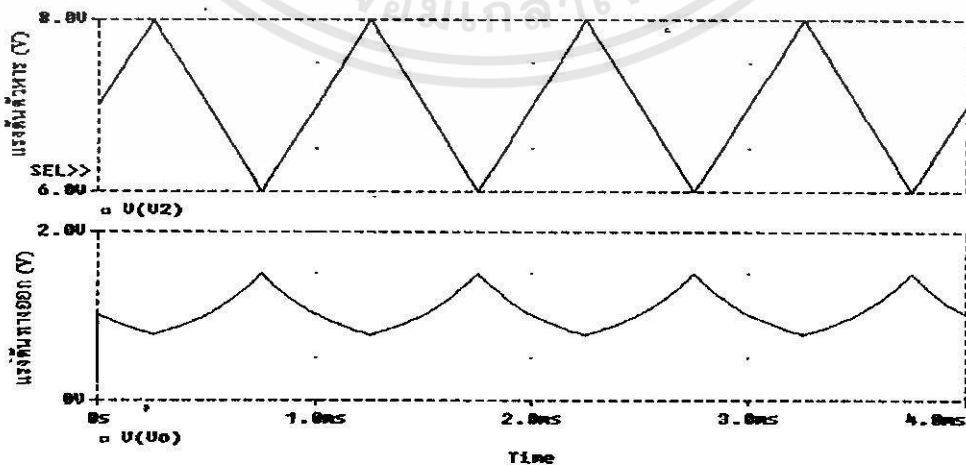
$$\omega_{3dB} = \frac{2g_d}{C_{gs}} \quad (5.54)$$

$$f_{3dB} = \frac{g_d}{\pi C_{gs}} \quad (5.55)$$

5.5 ผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSpice

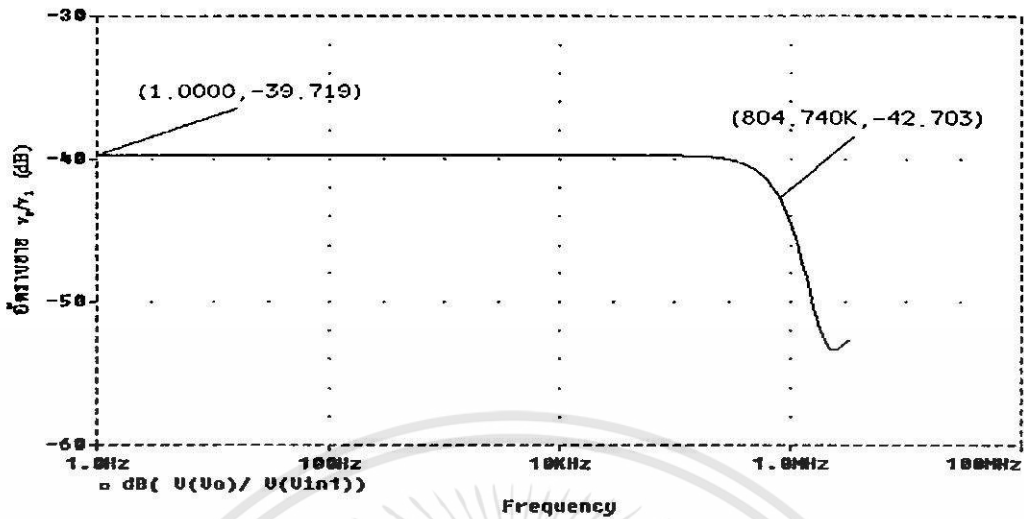
ในหัวข้อนี้จะได้แสดงถึงการทดสอบคุณสมบัติของวงจรที่ได้สร้างขึ้น โดยใช้โปรแกรมสำเร็จรูป PSpice ในการจำลองผลการทำงานของวงจรทั้งห้าวงจร

วงจรแรกหรือวงจรหารแบบพื้นฐาน ทำการทดลองโดยต่อวงจรตามรูปที่ 4.1 และกำหนดให้ $V_{DD} = -V_{SS} = V_1 = 5V$ และ $V_G = 7V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ความถี่ 1 KHz ซึ่งผลการจำลองการทำงานจากโปรแกรม PSpice แสดงตามรูปที่ 5.18

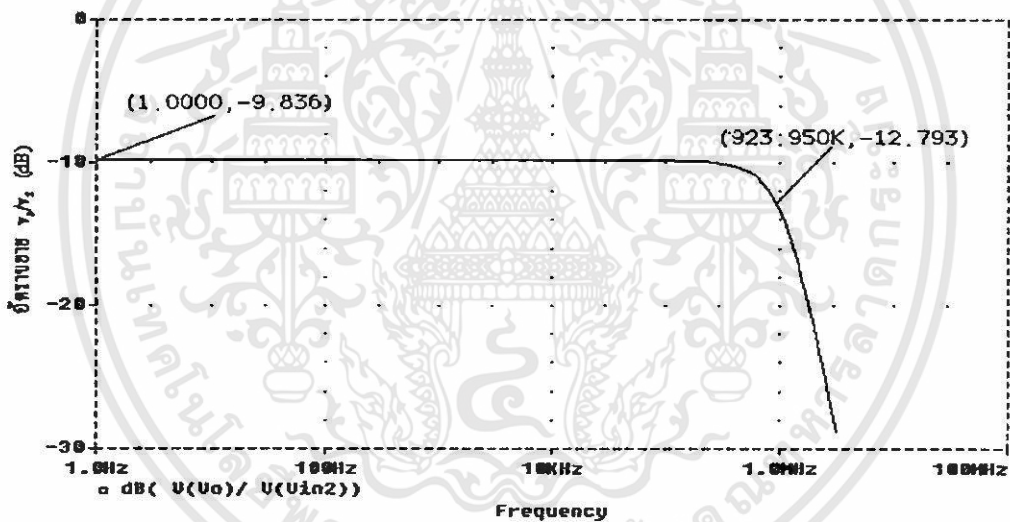


รูปที่ 5.18 ผลการทดลองจากโปรแกรม PSpice สำหรับวงจรหารแบบแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



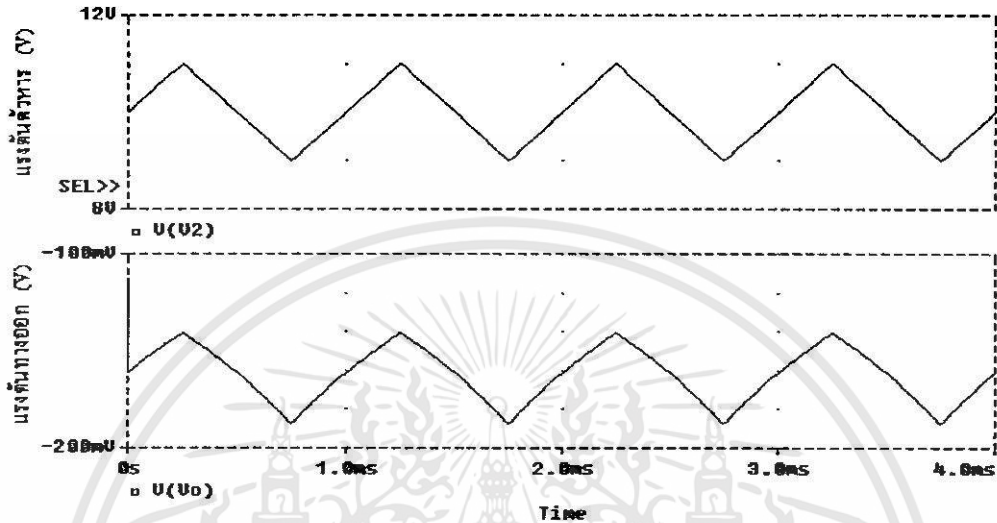
รูปที่ 5.19 ผลตอบสนองความถี่สำหรับ v_1 ของวงจรแรก จากโปรแกรม PSpice



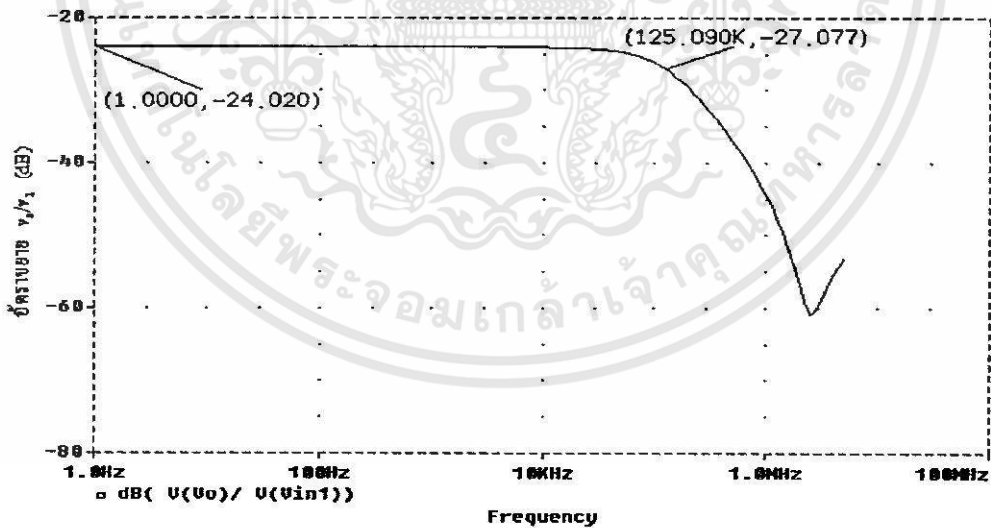
รูปที่ 5.20 ผลตอบสนองความถี่สำหรับ v_2 ของวงจรแรก จากโปรแกรม PSpice

รูปที่ 5.18 ได้แสดงถึงผลหารระหว่างสัญญาณ dc ที่เป็นบวกกับสัญญาณรูปสามเหลี่ยม ซึ่งได้ผลลัพธ์ที่ถูกต้อง โดยที่วงจรนี้สามารถทำงานได้เพียงหนึ่งควอดแดรนต์เท่านั้น และจากรูปที่ 5.19 และ 5.20 แสดงถึงผลตอบสนองความถี่ สำหรับอัตราขยาย v_1/v_1 ขณะที่ v_2 มีค่าคงที่ไม่ขึ้นอยู่กับความถี่ และสำหรับอัตราขยาย v_1/v_2 ขณะที่ v_1 มีค่าคงที่ไม่ขึ้นอยู่กับความถี่ตามลำดับ และจากรูปได้แสดงว่า ช่วงการทำงาน (bandwidth) ของ v_1 และ v_2 มีค่าประมาณ 800 KHz และ 900 KHz ซึ่งมีค่าใกล้เคียงกัน ขณะที่ค่าความต้านทานอินพุตและเอาต์พุตมีค่า 10 k Ω และ 1 m Ω ตามลำดับ

วงจรที่สองได้ทำการทดลองโดยต่อวงจรตามรูปที่ 4.2 และกำหนดให้ $v_1 = -5V$, $V_G = 10V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ที่ความถี่ 1 KHz และตัวต้านทานมีค่า $10\text{ k}\Omega$ ซึ่งผลการจำลองการทำงานจากโปรแกรม PSpice แสดงตามรูปที่ 5.21



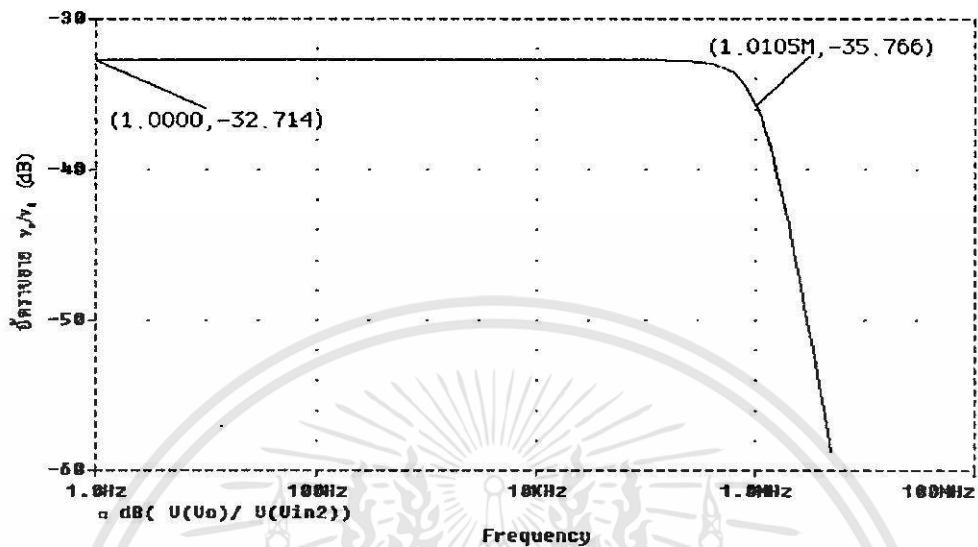
รูปที่ 5.21 ผลการทดลองจากโปรแกรม PSpice สำหรับวงจรแบบที่สอง โดยให้ $v_1 = -5V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ที่ความถี่ 1 KHz



รูปที่ 5.22 ผลตอบสนองความถี่สำหรับ v_1 ของวงจรที่สอง จากโปรแกรม PSpice

จากรูป 5.21 จะพบว่าวงจรนี้สามารถทำงานได้ถูกต้องขณะให้ค่าอินพุต v_1 มีค่าเป็นลบ ซึ่งวงจรนี้สามารถทำงานได้สองควอดแดรนต์ และจากรูป 5.22 และ 5.23 ได้แสดงว่าช่วงการทำงานของ v_1 และ v_2 มีค่าประมาณ 125 KHz และ 1 MHz ตามลำดับ และจากเอาท์พุทไฟล์

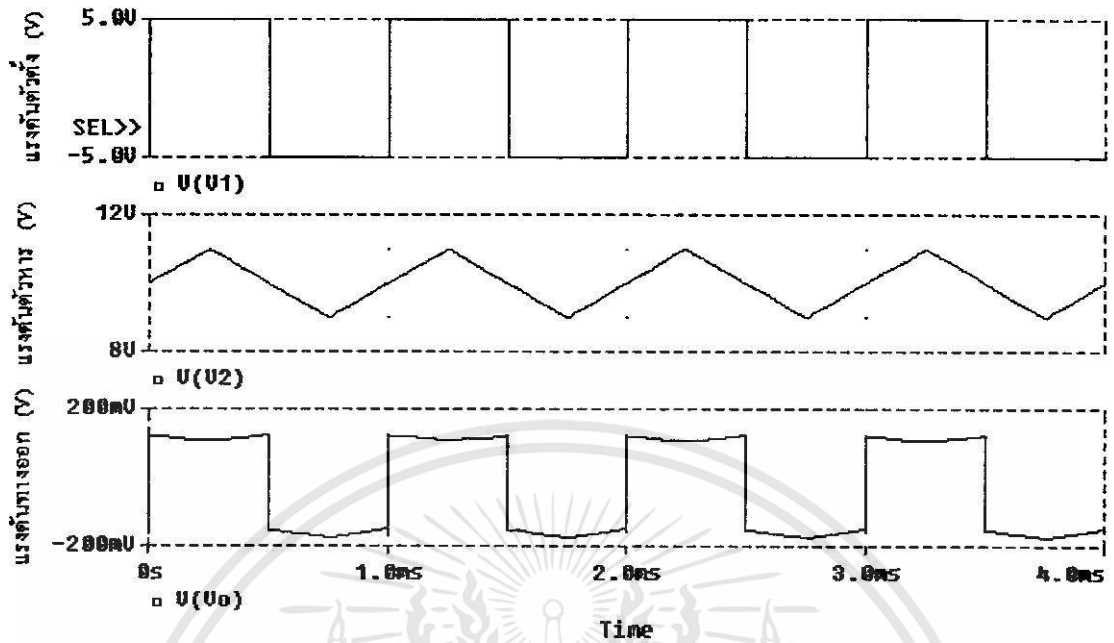
ของวงจรจะได้ค่าความต้านทานอินพุตและเอาต์พุตมีค่าประมาณ $10\text{ k}\Omega$ และ $1\text{ m}\Omega$ ตามลำดับ



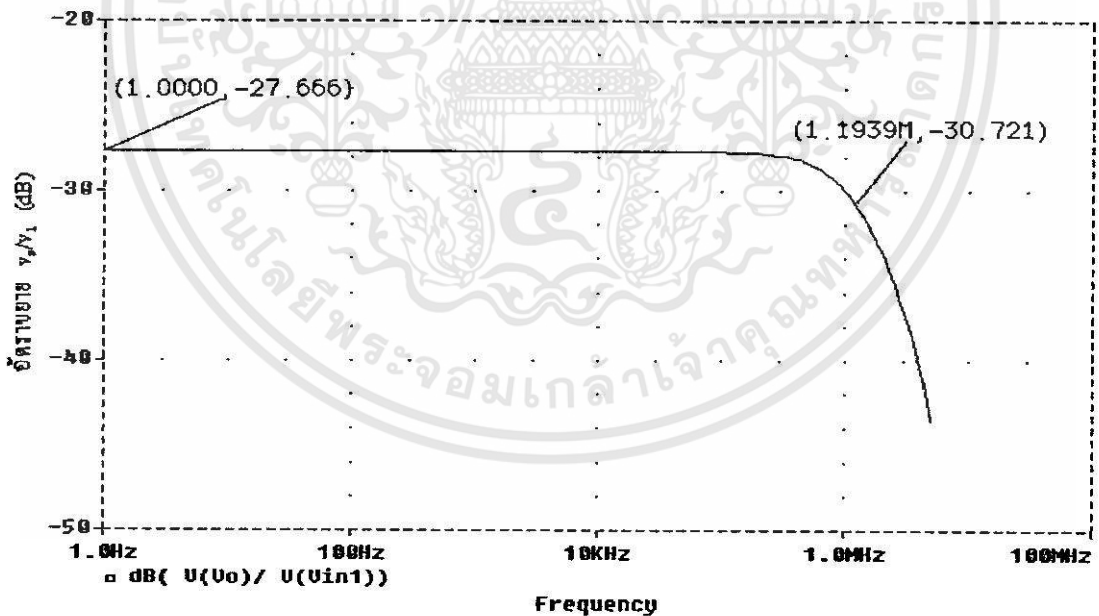
รูปที่ 5.23 ผลตอบสนองความถี่สำหรับ v_2 ของวงจรที่สอง จากโปรแกรม PSpice

วงจรที่สามารถทำการทดลองได้โดยต่อวงจรตามรูปที่ 4.2 ซึ่งเปลี่ยนจากบัฟเฟอร์ที่สร้างขึ้นจากออปแอมป์เป็นบัฟเฟอร์ที่สร้างขึ้นจาก CMOS ในรูปที่ 3.11 (ก) และกำหนดให้ v_1 เป็นสัญญาณพัลส์ $\pm 5\text{V}$ ความถี่ 1 KHz , $V_G = 10\text{V}$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด 2V_{pp} ที่ความถี่ 1 KHz และตัวต้านทานมีค่า $10\text{ k}\Omega$ ซึ่งผลการจำลองการทำงานจากโปรแกรม PSpice แสดงตามรูปที่ 5.24

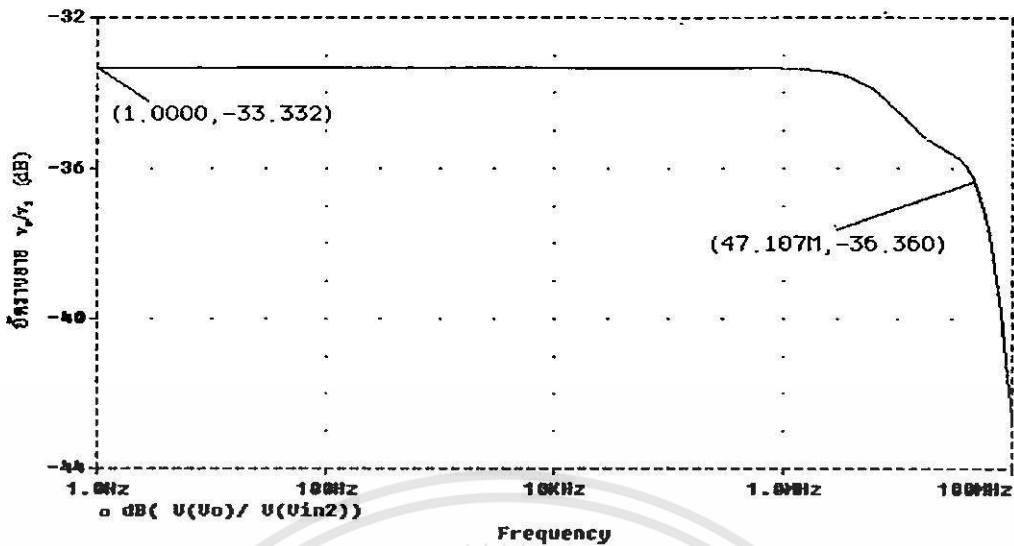
จากรูป 5.24 จะพบว่าวงจรนี้สามารถทำงานได้ถูกต้องขณะให้ค่าอินพุต v_1 มีค่าเป็นทั้งบวกและลบ ซึ่งวงจรนี้สามารถทำงานได้สองควอดแรนต์ ขณะที่ v_2 มีค่าได้เฉพาะค่าบวกและจากรูป 5.25 และ 5.26 ได้แสดงว่าช่วงการทำงานของ v_1 และ v_2 โดยพิจารณาจากผลตอบสนองของอัตราขยายที่มีต่อความถี่ ซึ่งจากกราฟมีค่าประมาณ 1.2 MHz และ 47 MHz ตามลำดับ และเมื่อทำการพิจารณาเปรียบเทียบกับวงจรที่สอง จะพบว่าช่วงการทำงานของวงจรเพิ่มขึ้นอย่างมากหลังจากทำการเปลี่ยนแปลงวงจรบัฟเฟอร์จากออปแอมป์เป็น CMOS และจากเอาต์พุตไฟล์ของวงจรจะได้ค่าความต้านทานอินพุตและเอาต์พุตมีค่าประมาณ $10\text{ k}\Omega$ และ $70\text{ }\Omega$ ตามลำดับ



รูปที่ 5.24 ผลการทดลองจากโปรแกรม PSpice สำหรับวงจรแบบที่สาม โดยให้ $v_1 = \pm 5V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ที่ความถี่ 1 KHz

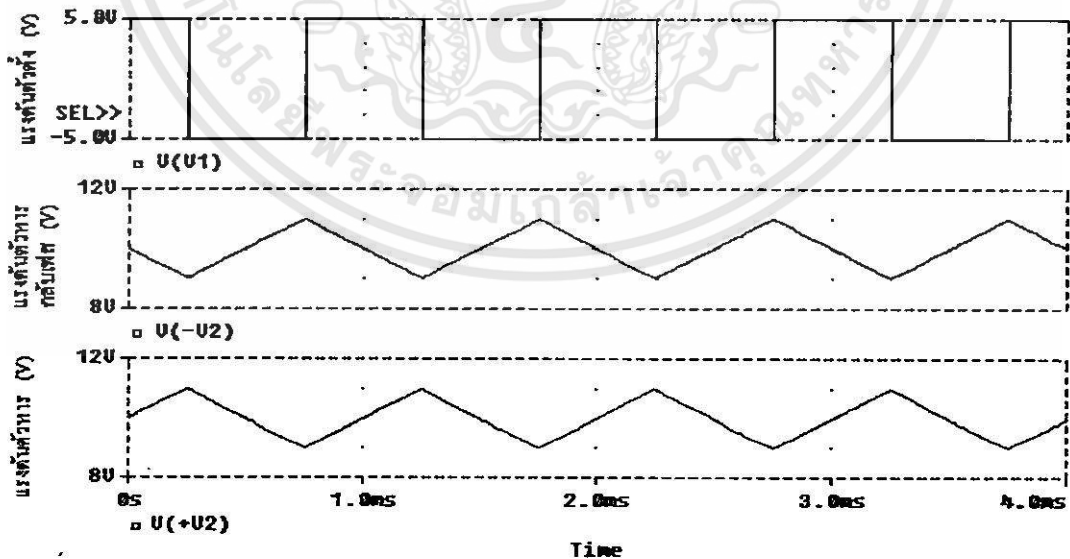


รูปที่ 5.25 ผลตอบสนองความถี่สำหรับ v_1 ของวงจรที่สาม จากโปรแกรม PSpice

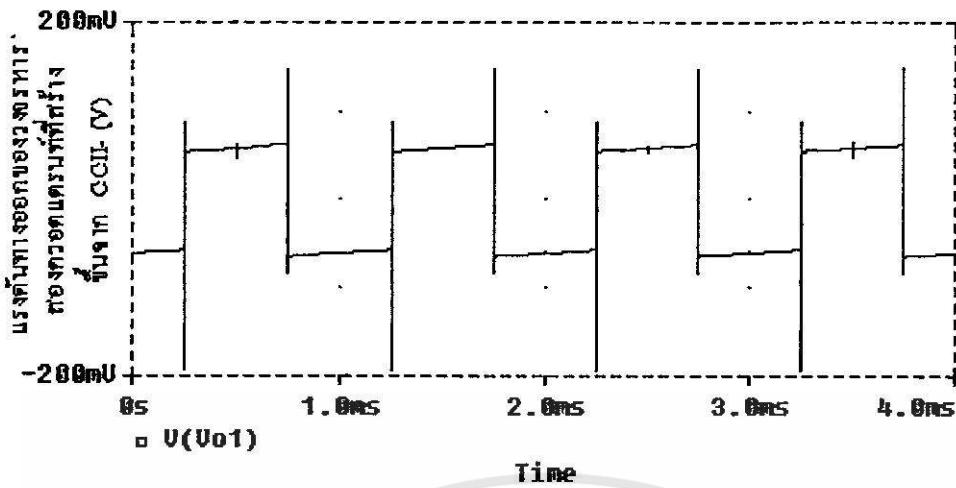


รูปที่ 5.26 ผลตอบสนองความถี่สำหรับ v_2 ของวงจรที่สาม จากโปรแกรม PSpice

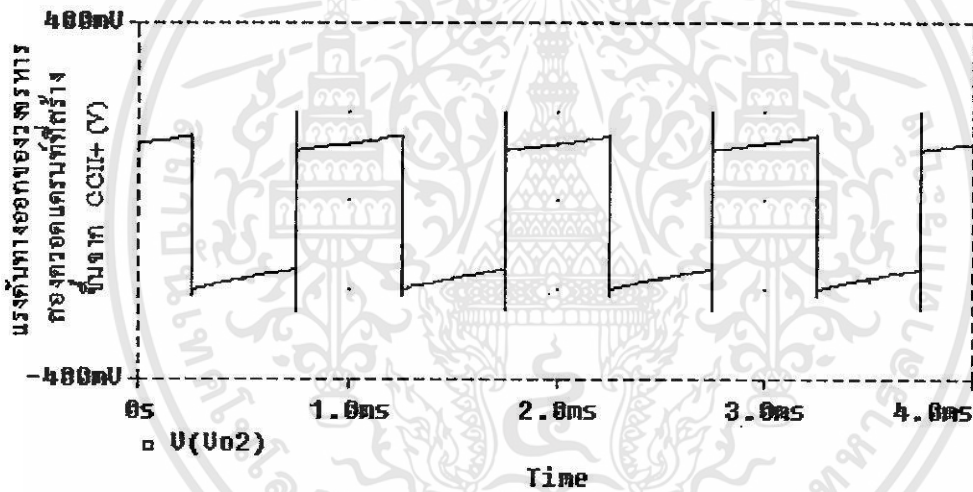
วงจรที่สี่และห้าซึ่งเป็นวงจรสี่ขั้วคอคเคอร์นธ์ สามารถทำการทดลองได้โดยต่อวงจรตามรูปที่ 4.4 และ 4.5 กำหนดให้ v_1 เป็นสัญญาณพัลส์ $\pm 5V$ ความถี่ 1 KHz, $V_G = 10V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ที่ความถี่ 1 KHz ตัวต้านทานมีค่า $10 k\Omega$ และให้ตัวเก็บประจุเป็นโหลด (C_L) $50 pF$ ซึ่งผลการจำลองการทำงานจากโปรแกรม PSpice แสดงตามรูปที่ 5.27



รูปที่ 5.27 แสดงอินพุตของวงจรหาคอคเคอร์นธ์ $v_1 = \pm 5V$ ความถี่ 1 KHz และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ที่ความถี่ 1 KHz

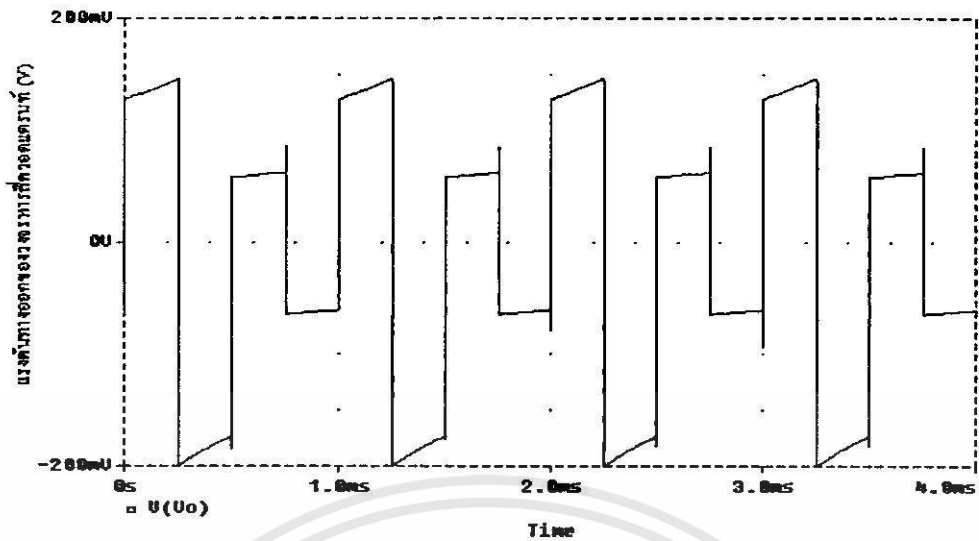


รูปที่ 5.28 แสดงเอาต์พุต v_{o1} ของวงจรหรัสี่ควอดแครนที่



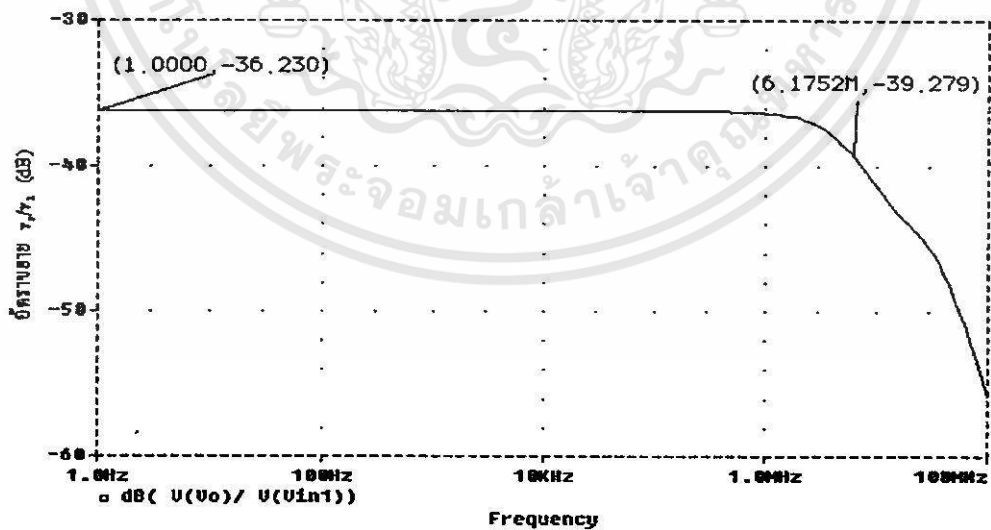
รูปที่ 5.29 แสดงเอาต์พุต v_{o2} ของวงจรหรัสี่ควอดแครนที่

จากรูปที่ 5.28 และ 5.29 แสดงถึงเอาต์พุตของวงจรหรัสี่ควอดแครนที่สองวงจร ซึ่งทำงานร่วมกันเป็นวงจรหรัสี่ควอดแครนที่ โดยเอาต์พุต v_{o1} เป็นเอาต์พุตของวงจรหรัสี่ควอดแครนที่สร้างขึ้นจาก CCII- ขณะที่เอาต์พุต v_{o2} เป็นเอาต์พุตของวงจรหรัสี่ควอดแครนที่สร้างขึ้นจาก CCII+ โดยที่ทั้งสองวงจรทำงานสลับกันขึ้นอยู่กับค่าของ v_2 เป็นบวกหรือเป็นลบ วงจรหรัสี่ควอดแครนที่จะทำการเลือกเอาต์พุตเป็น v_{o1} เมื่อค่า v_2 เป็นลบ และ v_{o2} เมื่อค่า v_2 เป็นบวก ซึ่งแสดง v_o ของวงจรหรัสี่ควอดแครนที่ได้ตามรูปที่ 5.30

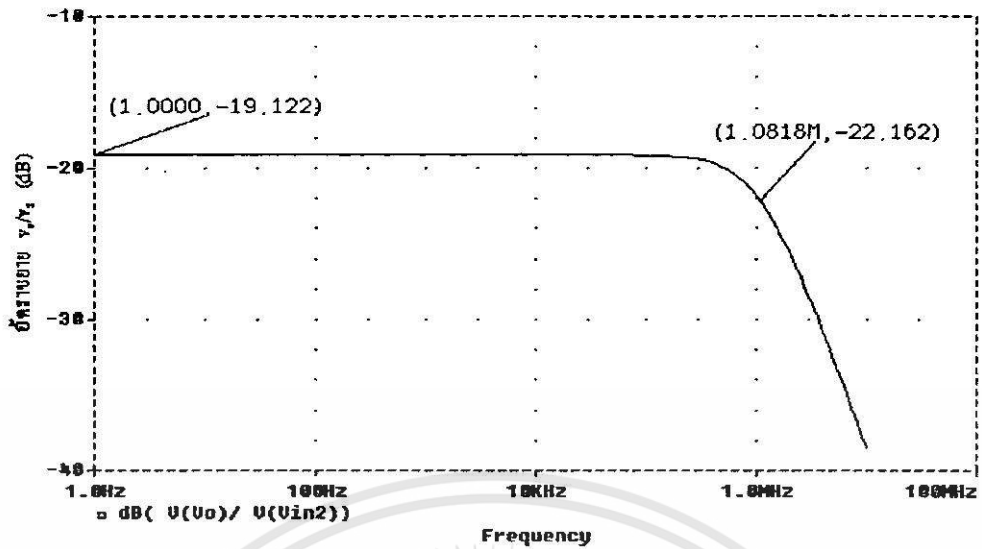


รูปที่ 5.30 แสดงเอาต์พุต v_o ของวงจรที่ควอดแดรนต์

จากรูป 5.31 และ 5.32 ได้แสดงว่าช่วงการทำงานของ v_1 และ v_2 ของวงจรที่ควอดแดรนต์ โดยพิจารณาจากผลตอบสนองของอัตราขยายที่มีต่อความถี่ ซึ่งจากกราฟมีค่าประมาณ 6 MHz และ 1 MHz ตามลำดับ และจากเอาต์พุตไฟล์ของวงจรจะได้ค่าความต้านทานอินพุตและเอาต์พุตมีค่าประมาณ $5 \text{ k}\Omega$ และ 600Ω ตามลำดับ โดยวงจรที่ควอดแดรนต์ทั้งสองวงจรมีค่าผลตอบสนองต่อความถี่ และค่าความต้านทานอินพุตและเอาต์พุตใกล้เคียงกัน

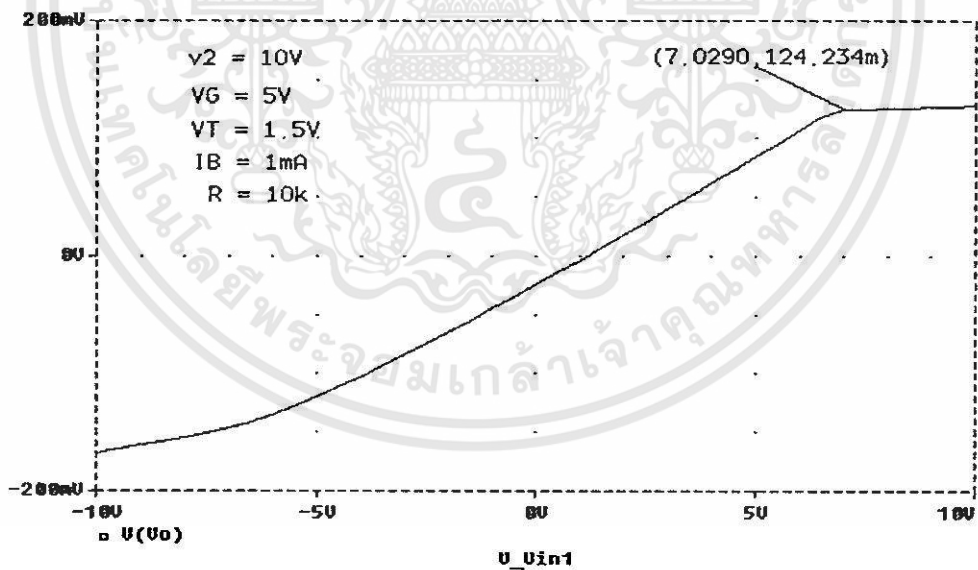


รูปที่ 5.31 ผลตอบสนองความถี่สำหรับ v_1 ของวงจรที่ควอดแดรนต์

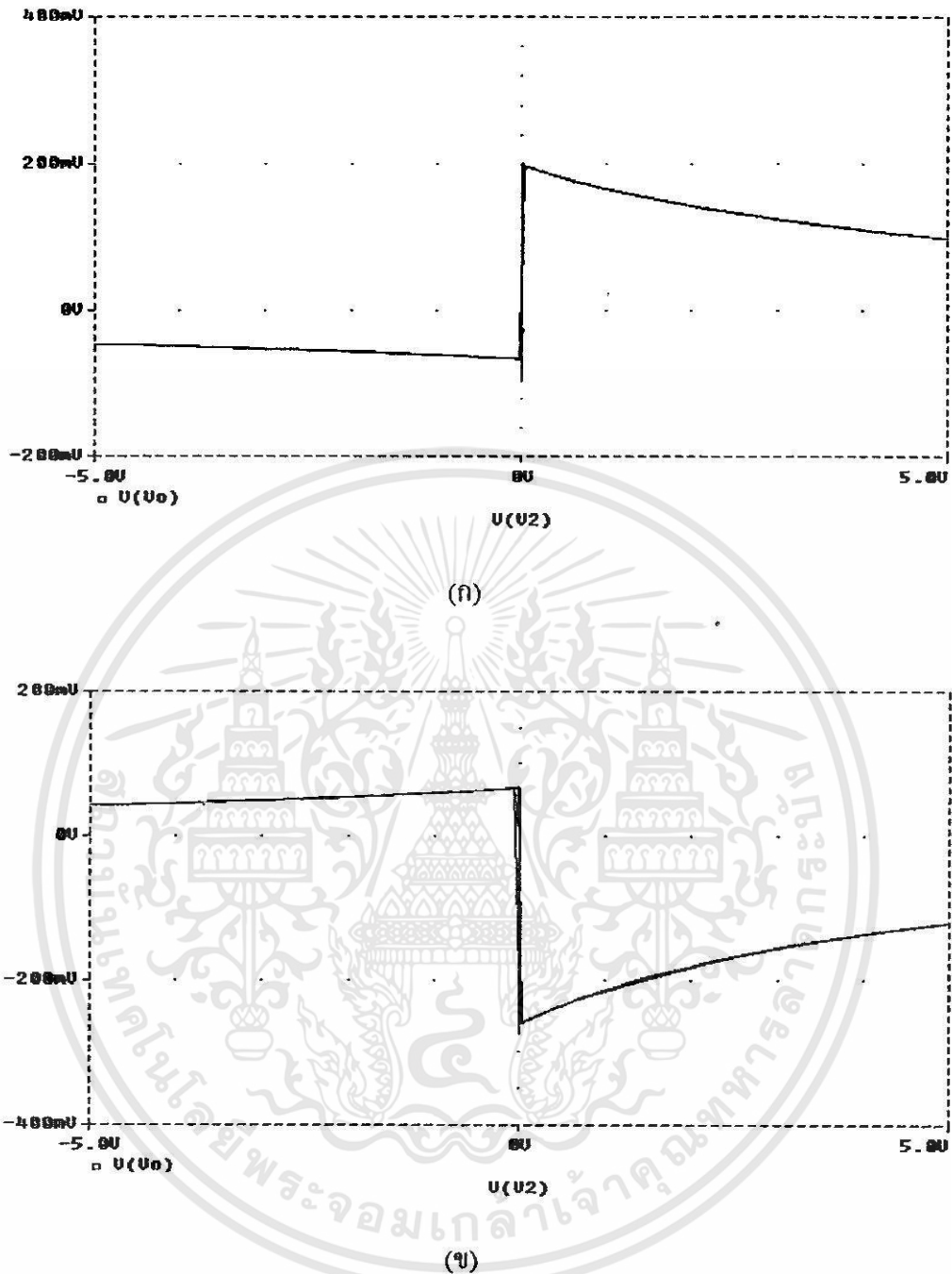


รูปที่ 5.32 ผลตอบสนองความถี่สำหรับ v_2 ของวงจรรหัสอีควอดแครนต์

รูปที่ 5.33 แสดงช่วงปฏิบัติงานทางอินพุตของวงจรรหัสอีควอดแครนต์ ซึ่งมีค่าประมาณ 7V ขณะที่มีการปรับค่าพารามิเตอร์ต่าง ๆ ตามในรูป ขณะที่รูป 5.34 แสดงค่าฟังก์ชันการส่งผ่านระหว่าง v_o และ v_2 ขณะที่รูป 5.34 (ก) $V_1 = 5V$ (ข) $V_1 = -5V$



รูปที่ 5.33 แสดงช่วงการทำงานสำหรับ v_1 ของวงจรรหัสอีควอดแครนต์



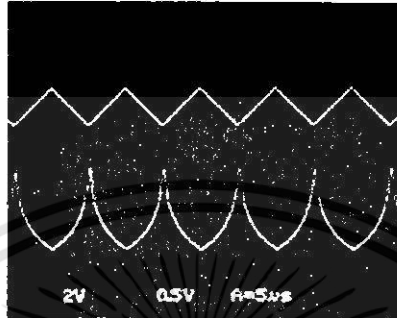
รูปที่ 5.34 แสดงฟังก์ชันส่งผ่าน v_2 ของวงจรหารที่ควอดแตรนัท ขณะที (ก) $V_1 = 5V$

(ข) $V_1 = -5V$

5.6 ผลการทดลองจากการต่อวงจรจริง

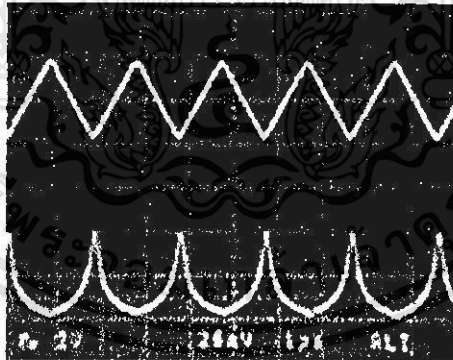
ในหัวข้อนี้จะได้เสนองถึงผลการทดลองที่ได้จากการต่อวงจรลงบนโปรโตบอร์ด โดยมอสทรานซิสเตอร์ในวงจร นำมาจากไอซีเบอร์ MC14007 (Dual Complementary Pair Plus Inverter) ซึ่งภายในประกอบด้วย PMOS และ NMOS อย่างละสามตัว

วงจรรวมแบบแรกได้ทำการทดลองโดยต่อวงจรตามรูปที่ 4.1 โดยใช้อปแอมป์ซึ่งต่อเป็นบัฟเฟอร์เบอร์ MC4558C และกำหนดให้ $V_{DD} = -V_{SS} = V_1 = V_G = 5V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{p-p}$ ความถี่ 100 KHz และความต้านทานค่า $1 k\Omega$ ซึ่งผลการทดลองแสดงตามรูปที่ 5.35



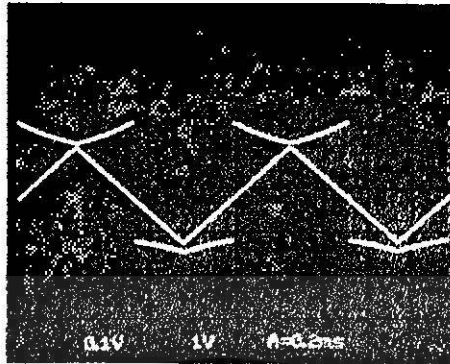
รูปที่ 5.35 ผลการทดลองจากวงจรรวมแบบแรก

วงจรรวมแบบที่สอง ซึ่งประกอบด้วย CCI- ได้ทำการทดลองโดยต่อวงจรตามรูปที่ 4.2 โดยใช้อปแอมป์เบอร์ MC4558C ต่อเป็นบัฟเฟอร์ และกำหนดให้ $V_1 = V_G = 5V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{p-p}$ ที่ความถี่ 500 KHz และตัวต้านทานมีค่า $10 k\Omega$ ซึ่งผลการทดลองแสดงตามรูปที่ 5.36



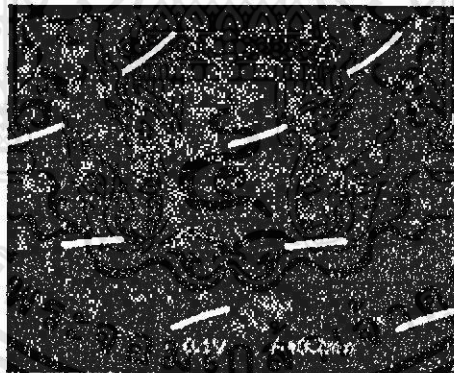
รูปที่ 5.36 ผลการทดลองจากวงจรรวมแบบที่สอง

วงจรรวมแบบที่สามสามารถทำการทดลองได้โดยต่อวงจรตามรูปที่ 4.2 ซึ่งเปลี่ยนจากบัฟเฟอร์ที่สร้างขึ้นจากอปแอมป์เป็นบัฟเฟอร์ที่สร้างขึ้นจาก CMOS และกำหนดให้ v_1 เป็นสัญญาณพัลส์ $\pm 5V$ ความถี่ 1 KHz, $V_G = 5V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{p-p}$ ที่ความถี่ 1 KHz และตัวต้านทานมีค่า $10 k\Omega$ ซึ่งผลการทดลองแสดงตามรูปที่ 5.37

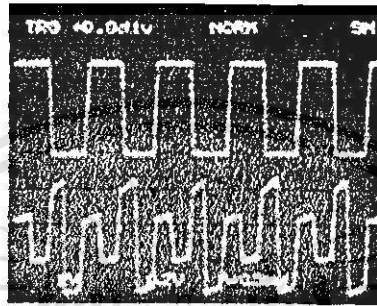
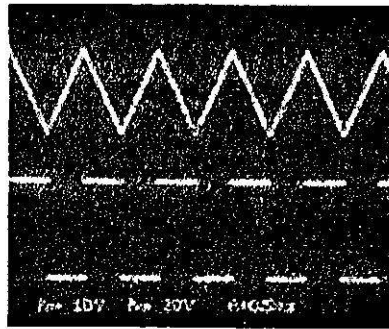


รูปที่ 5.37 ผลการทดลองจากวงจรหารแบบที่สาม

วงจรที่สี่และห้าซึ่งเป็นวงจรสี่ควอดแรนต์ สามารถทำการทดลองได้โดยต่อวงจรตามรูปที่ 4.4 และ 4.5 และใช้ไอซีเบอร์ LM311 ทำหน้าที่เป็นวงจรเปรียบเทียบแรงดัน และกำหนดให้ v_1 เป็นสัญญาณพัลส์ $\pm 5V$ ความถี่ 1 KHz, $V_G = 5V$ และ v_2 เป็นสัญญาณสามเหลี่ยมขนาด $2V_{pp}$ ที่ความถี่ 1 KHz ตัวต้านทานมีค่า $10 k\Omega$ ซึ่งผลการทดลองแสดงตามรูปที่ 5.38 และ 5.39 ตามลำดับ



รูปที่ 5.38 ผลการทดลองจากวงจรหารแบบที่สี่



รูปที่ 5.99 ผลการทดลองจากวงจรหารแบบที่ห้า

5.7 บทสรุป

ในบทนี้ได้เสนอถึงการวิเคราะห์คุณสมบัติต่างๆ ของวงจรจากการคำนวณทางทฤษฎี ซึ่งสามารถหาได้ทั้งค่าความต้านทานอินพุตและเอาต์พุต ค่าช่วงปฏิบัติการทางอินพุต และค่าช่วงปฏิบัติการทางความถี่

วงจรรหารที่ได้เสนอทั้งห้าวงจร จากผลการทดลองพบว่า ในวงจรรหารแบบแรกสามารถทำงานได้เพียงหนึ่งควอดแดรนต์ ซึ่งอินพุตต้องเป็นบวกทั้งคู่ วงจรรหารแบบที่สองได้ถูกพัฒนาขึ้นโดยสามารถทำงานได้สองควอดแดรนต์ ซึ่งอินพุตตัวตั้งสามารถเป็นได้ทั้งบวกและลบ ขณะที่ได้ผลการตอบสนองต่อความถี่ไม่สูงมากนัก วงจรรหารแบบที่สามสามารถตอบสนองต่อความถี่ได้สูงกว่าวงจรรหารแบบที่สองมาก โดยแตกต่างจากวงจรรหารที่สองเพียงส่วนของวงจรรวมคัสคา ซึ่งเปลี่ยนจากวงจรรวมคัสคาโดยใช้ช้อปแอมป์ในวงจรรหารที่สอง เป็นวงจรรวมคัสคาที่ใช้ CMOS ทำให้วงจรรตอบสนองความถี่ได้สูงขึ้น วงจรรหารที่สี่ซึ่งพัฒนาขึ้นมาจากวงจรรหารที่สาม โดยวงจรรหารนี้สามารถหารได้ทั้งสี่ควอดแดรนต์ และสร้างขึ้นมาจากวงจรรหารสองควอดแดรนต์สองวงจร และวงจรรสุดท้ายสามารถหารได้ทั้งสี่ควอดแดรนต์ ซึ่งสร้างขึ้นมาจากวงจรรหารสายพานกระแสชนิดพอร์ท Y ร่วม โดยลดจำนวนอุปกรณ์ลงจากวงจรรหารที่สี่ วงจรรหารสี่ควอดแดรนต์ทั้งสองวงจรสามารถตอบสนองต่อความถี่สูงได้ มีช่วงการทำงานกว้าง

บทที่ 6

บทสรุปและแนวทางการพัฒนา

ในวิทยานิพนธ์ฉบับนี้ได้กล่าวถึง การออกแบบวงจรหารสัญญาณแรงดันเชิงอุปมาน ที่เน้นการออกแบบวงจรโดยใช้มอสเฟต ซึ่งวงจรรหารที่ได้ทำการออกแบบไว้ทั้งห้าวงจร ได้ใช้หลักการและแนวคิดในการออกแบบคล้ายกัน คือ ใช้หลักการในการทำงานของมอสเฟตในช่วงไม่อิ่มตัว หรือช่วงที่เป็นเชิงเส้น มาทำการสังเคราะห์ฟังก์ชันทางกรหาร และวงจรทั้งห้าสามารถทำการหารสัญญาณเชิงอุปมานได้จริง ซึ่งปรากฏตามผลการทดลองในบทที่ 5 โดยวงจรที่ได้ออกแบบขึ้นในขั้นสุดท้าย ซึ่งเป็นวงจรรหารสี่ควอดแดรนต์ที่มีช่วงปฏิบัติการทางความถี่สูง และมีช่วงการทำงานทางอินพุตกว้าง วงจรแต่ละวงจรที่ได้ออกแบบขึ้นจะประกอบไปด้วยวงจรย่อยต่าง ๆ ที่ได้กล่าวถึงในบทที่ 3 ซึ่งแต่ละวงจรมีรายละเอียดดังนี้

วงจรรหารแบบที่หนึ่งหรือวงจรรหารแบบพื้นฐาน ประกอบด้วยวงจรสะท้อนกระแสชนิดเอ็นแชนแนลและพีแชนแนลอย่างละวงจร วงจรตามสัปดาห์ที่ใช้ออปแอมป์สร้างขึ้นจำนวนสองวงจร มอสเฟตจำนวนสองตัว และตัวต้านทานหนึ่งตัว ซึ่งวงจรมีความสามารถหารได้เพียงหนึ่งควอดแดรนต์เท่านั้น

วงจรรหารแบบที่สองซึ่งได้พัฒนาขึ้นมาจากวงจรที่หนึ่ง และสามารถหารได้สองควอดแดรนต์ ประกอบด้วยวงจรรายพานกระแสชนิดลบ วงจรตามสัปดาห์ที่สร้างขึ้นจากออปแอมป์ มอสเฟตสองตัว และตัวต้านทานหนึ่งตัว จากผลการทดสอบวงจรในบทที่ 5 จะพบว่าวงจรมีจะให้ผลตอบสนองต่อความถี่ได้ไม่สูงมากนัก ซึ่งวงจรมีสามสามารถแก้ปัญหานี้ได้

วงจรรหารแบบที่สามซึ่งมีส่วนประกอบของวงจรเหมือนกับในวงจรที่สอง แตกต่างกันที่วงจรมีได้เปลี่ยนวงจรตามสัปดาห์ที่สร้างขึ้นโดยใช้ออปแอมป์ มาเป็นวงจรตามสัปดาห์ที่สร้างขึ้นจาก CMOS ซึ่งจากผลการทดสอบวงจรในบทที่ 5 จะพบว่าผลตอบสนองความถี่มีค่ามากกว่าในวงจรที่สองมาก อย่างไรก็ตามวงจรมีสามารถทำการหารได้เพียงสองควอดแดรนต์เท่านั้น โดยตัวหารมีค่าได้เฉพาะค่าบวก ขณะที่ตัวตั้งมีค่าได้ทั้งบวกและลบ

วงจรรหารแบบที่สี่เป็นวงจรรหารสี่ควอดแดรนต์ สามารถหารได้ไม่ว่าตัวตั้งและตัวหารมีค่าเป็นบวกหรือลบ วงจรมีจะประกอบไปด้วย วงจรสายพานกระแสชนิดลบ วงจรสายพานกระแสชนิดบวก วงจรตามสัปดาห์ที่สร้างขึ้นจาก CMOS จำนวนสองวงจร มอสเฟตชนิดเอ็นแชนแนลจำนวนสี่ตัว วงจรเปรียบเทียบแรงดัน วงจรอนาล็อกสวิทช์สองวงจร และตัวต้านทานจำนวนสองตัว หรือกล่าวได้ว่า ประกอบด้วยวงจรรหารสองควอดแดรนต์ที่สร้างขึ้นจากวงจรรายพานกระแสชนิดลบ วงจรรหารสองควอดแดรนต์ที่สร้างขึ้นจากวงจรรายพานกระแสชนิดบวก วงจร

เปรียบเทียบแรงดัน วงจรอนาล็อกสวิตช์สองวงจร และตัวต้านทานจำนวนสองตัว ซึ่งเป็นวงจรมหาศาล

วงจรรหารแบบที่ห้าซึ่งเป็นวงจรรหารสี่ควอดแดรนต์ เป็นแนวคิดของการนำเอาวงจรมหาศาลสายพานกระแสชนิดลบและชนิดบวกมารวมกันเป็นวงจรมหาศาลเดียว โดยใช้พอร์ท Y ของวงจรมหาศาลสายพานกระแสทั้งสองร่วมกัน โดยรายละเอียดของวงจรมหาศาลจะเหมือนกับวงจรมหาศาลที่สี่ ซึ่งจากผลการจำลองการทำงานของวงจรมหาศาลด้วยโปรแกรม PSpice และจากผลการทดลอง จะได้คุณสมบัติต่างๆ ของวงจรมหาศาลไม่แตกต่างกันมากนัก โดยวงจรรหารสี่ควอดแดรนต์ทั้งสองวงจรมหาศาลสามารถตอบสนองต่อความถี่ได้สูง และมีค่าความต้านทานอินพุตขึ้นอยู่กับค่าตัวต้านทานที่ต่อให้กับวงจรมหาศาลสองตัวเหมือนกัน ขณะที่ค่าความต้านทานเอาต์พุตมีค่าต่ำ

อย่างไรก็ตามวงจรรหารสี่ควอดแดรนต์ทั้งสองวงจรมหาศาล มีข้อเสียที่สังเกตได้ชัดเจนคือ วงจรมหาศาลสองควอดแดรนต์ทั้งสองวงจรมหาศาลที่นำมาประกอบกัน ให้ค่าแอมพลิจูดของเอาต์พุตที่ไม่เท่ากัน ทำให้เอาต์พุตของวงจรรหารสี่ควอดแดรนต์มีค่าไม่เท่ากัน ทั้งนี้เนื่องมาจากวงจรรหารสองควอดแดรนต์ที่สร้างขึ้นจากวงจรมหาศาลสายพานกระแสชนิดบวก ให้ค่าแรงดันเอาต์พุตตามสมการ (4.12) ซึ่งจะพบว่าตัวหารจะมีค่าออฟเซตอยู่ค่าหนึ่ง ซึ่งทำให้ผลลัพธ์ที่ได้มีค่าต่ำกว่าเอาต์พุตที่ได้จากวงจรมหาศาลสองควอดแดรนต์ที่สร้างขึ้นจากวงจรมหาศาลสายพานกระแสชนิดลบ และจำนวนอุปกรณ์โดยเฉพาะมอส เฟตในวงจรรหารสี่ควอดแดรนต์ยังมีจำนวนมาก ซึ่งในการนำไปสร้างเป็นวงจรมหาศาลรวมจะมีผลให้ใช้จำนวนพื้นที่ในการสร้างมาก

แนวทางในการพัฒนาสำหรับวงจรรหารสี่ควอดแดรนต์ที่สร้างขึ้นจาก CMOS คือ จะต้องพยายามลดจำนวนอุปกรณ์มอสเฟต เพื่อให้การใช้พื้นที่น้อยในการนำไปสร้างบนแผ่นวงจรมหาศาลรวม และพยายามลดข้อเสียที่ได้กล่าวถึง โดยทำการพัฒนาเพื่อให้ขนาดของเอาต์พุตของวงจรรหารสี่ควอดแดรนต์มีค่าใกล้เคียงกันหรือเท่ากัน

เอกสารอ้างอิง

- [1] Richard S. Muller, Theodore I. Kamins. **Device Electronics for Integrated Circuits.** 2nd Ed. John Wiley & Sons, Inc. 1986
- [2] David A. Johns, Ken Martin. **Analog Integrated Circuit Design.** John Wiley & Sons, Inc. 1997
- [3] S. M. Sze. **Physics of Semiconductor Devices.** 2nd Ed. John Wiley & Sons, Inc. 1981
- [4] Phillip E. Allen, Douglas R. Holberg. **CMOS Analog Circuit Design.** New York. Holt, Rinehart and Winston, Inc. 1987
- [5] M. Banu, Y. Tsvividis. "Detailed analysis of nonidealities in MOS fully integrated active RC filters based on balanced networks," IEE Proc., vol.131, Pt. G., Oct, 1984. pp. 190-196.
- [6] Adel S. Sedra, Kenneth C. Smith. **Microelectronic Circuits.** 4th Ed. New York. Oxford University Press, Inc. 1998
- [7] Paul R. Gray, Robert G. Meyer. **Analysis and Design of Analog Integrated Circuits.** 3rd Ed. John Wiley & Sons, Inc. 1993
- [8] Giuseppe Massobrio, Paolo Antognetti. **Semiconductor Device Modeling with SPICE.** 2nd Ed. New York McGraw-Hill, Inc. 1993
- [9] Yannis P. Tsvividis. **Operation and Modeling of the MOS transistor.** New York McGraw-Hill, Inc. 1987
- [10] Meta-Software. **HSPICE User's Manual.** Campbell, California. 1993
- [11] Microsim. **PSPICE User's Guide.** Irvine, California 1992
- [12] Daniel Foty. **MOSFET Modeling with SPICE principles and practice.** New Jersey. Prentice Hall, Inc. 1997
- [13] H. Shichman, D. Hodges. "Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits," IEEE J. Sol. St. Circ. vol.SC-3, 1968. pp 285-289.
- [14] Randall L. Geiger, Phillip E. Allen, Noel R. Strader. **VLSI Design Technique for Analog and Digital circuits.** Singapore McGraw-Hill, Inc. 1990

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [15] กนก สมุทรรัตน์ “การประยุกต์ใช้งานวงจรสะท้อนกระแส” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2534.
- [16] วันชัย รีวรุจา “การออกแบบและสังเคราะห์วงจรมอดูลฟังก์ชันโดยใช้หลักการวงจรรวม” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2535.
- [17] Roubik Gregorian, Gabor C. Temes. *Analog MOS Integrated Circuits for Signal Processing*. Singapore. John Wiley & Sons, Inc. 1986.
- [18] K. C. Smith, A. Sedra. “The current conveyor*-A new circuit building block,” *Proc. IEEE*, August, 1968. pp. 1368-1369.
- [19] K. C. Smith, A. Sedra. “A second generation current conveyor and its applications,” *IEEE Trans.*, vol. CT-17, 1970. pp. 132-154.
- [20] W. Surakamponorn, V. Riewruja, K. Kumwachara and K. Dejhan. “Accurate CMOS-based current conveyors,” *IEEE Trans. on Inst. and Meas*, vol. 40 August, 1991. pp. 699-702.
- [21] A. Fabre. “Third-generation current conveyor: a new helpful active element,” *Electronics Letters*, vol. 31, 1995. pp. 338-339.
- [22] เกียรติศักดิ์ คมวัชระ “การสร้างวงจรมอดูลกระแสและวงจรมอดูลความต้านทานค่าลบด้วย CMOS” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2534
- [23] Mead C., Ismail M. *Analog VLSI implementation of neural system*. Boston. Kluwer Academic. 1989.
- [24] Yamakawa T. “High-speed fuzzy controller hardware system: the MegaFIPS machine,” *Inf. Sci.*, vol. 45, 1988. pp. 113 - 128.
- [25] Sturges Jr, R.H. “Analog matrix inversion,” *IEEE J. Robotics and Automation*, vol. 4, 1988. pp. 157-162.
- [26] Korn, G. A., and Korn, T. M., *Electronic analog and hybrid computer*. New York. McGraw-Hill. 1968.
- [27] Graeme, J. G., *Operational Amplifier Design and Application*. New York. McGraw-Hill. 1971.

- [28] Y. J. Wong. **Function Circuits : design and applications**. New York. McGraw-Hill. 1976.
- [29] Sanchez-Sinencio, E., Ramirez-Angulo, J., Linares-Barranco, B., Rodriguez-Vazquez, A., “Operational Transconductance Amplifier-Based Nonlinear Function Syntheses,” *IEEE J. Solid-State Circuits*, vol. 24, 1989. pp. 1567-1586.
- [30] จารุพิชญ์ สุธรรมมานันท์, ชัยสิทธิ์ อร่ามมงคลวิชัย และ จิรวัดน์ ปานกลาง. “วงจรรหารสัญญาณเชิงอุปमानที่เหมาะสมสร้างเป็นวงจรรวม.” การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 20. พ.ศ. 2540. หน้า 456-459.
- [31] J. Panklang., C. Arammongkonwichai. and P. Kongtanasunthorn. “Four-Quadrant CMOS Analog Divider,” *Proc. IEEE-APCCAS*, Chiangmai, Thailand, Nov. 1998. pp. 271-274.
- [32] ภูมินทร์ จินดาจิธาวัฒน์, ชัยสิทธิ์ อร่ามมงคลวิชัย และ จิรวัดน์ ปานกลาง. “วงจรรหารสัญญาณเชิงอุปमानที่ควอดแดรนต์โดยใช้ CMOS.” การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21. พ.ศ. 2541. หน้า 308-311.

ภาคผนวก

แบบจำลองของมอสเฟตที่ใช้ในโปรแกรม PSpice

ในการจำลองการทำงานของวงจรด้วยโปรแกรม PSpice จำเป็นจะต้องทราบค่าพารามิเตอร์ต่าง ๆ ของอุปกรณ์ เพื่อให้ผลการวิเคราะห์ที่ได้มีค่าถูกต้องใกล้เคียงกับสภาพความเป็นจริงมากที่สุด และสามารถทำนายผลการทดลองได้ถูกต้องก่อนที่จะนำมาต่อวงจรลงบนโปรโตบอร์ด หรือนำไปสร้างเป็นวงจรรวม วงจรที่ได้สร้างขึ้นซึ่งล้วนประกอบไปด้วยมอสเฟต ดังนั้นจึงต้องทำการให้พารามิเตอร์ต่าง ๆ แก่มอสเฟต ซึ่งพารามิเตอร์ที่ใช้เป็นพารามิเตอร์ของมอสเฟตในวิชยานิพนธ์แสดงได้ดังนี้

สำหรับกรณีมอสเฟตพีแชนแนล (PMOS)

```
.model TC407P PMOS ( LEVEL=2, LD=1.2U, VTO=-1.2, KP=0.69E-5, GAMMA=0.9,
TOX=1.0E-7, TPG=0, NSUB=2E15, L=8U, W=480U, WD=1.4U, CGSO=4.14E-10,
CGDO=4.14E-10, CGBO=1.61E-10, TT=80n)
```

สำหรับกรณีมอสเฟตเอ็นแชนแนล (NMOS)

```
.model TC407N NMOS ( LEVEL=2, LD=1.2U, VTO=1.5, KP=1.73E-5, GAMMA=1.0,
TOX=1.0E-7, TPG=0, NSUB=5E15, L=8U, W=290U, WD=1.4U, CGSO=4.14E-10,
CGDO=4.14E-10, CGBO=1.61E-10, TT=100n)
```

ผลงานวิจัยที่ได้รับตีพิมพ์ในวารสารทางวิชาการ



IEEE

IEEE
APCCAS
1998



NECTEC



The 1998 IEEE Asia-Pacific Conference on Circuits and Systems

Theme : Microelectronics and Integrating Systems

PROCEEDINGS

November 24-27, 1998

Chiangmai, Thailand

IEEE Catalog Number 98EX100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Four-Quadrant CMOS Analog Divider

J. Parnklang, C. Arammongkonwichai, P. Kongtanasunthorn,
 Electronics Research Center, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang
 Chalongkrung Road, Ladkrabang, Bangkok, 10520, Thailand
 Phone (662)3267980, Fax (662)7390643, e-mail:kpjirawa@kmitl.ac.th

Abstract

The novel four-quadrant analog divider circuit is presented. Essentially, it consists of two building blocks of circuits, a basic analog divider circuit, and a switching part. Analog divider circuit can be implemented by a second-generation current conveyor (CCII), which compose with two MOS transistors biased in non-saturation region, a voltage buffer and a resistor. The SPICE simulation results are given to verify the theoretical analysis.

1. Introduction

The analog divider is useful in analog signal processing. It can be adapted in analog computation, fuzzy control, neural network, and robotics etc [1],[2],[3]. Most of analog divider circuits can be made form the analog multiplier by using it as the feedback part of the operational amplifier [4],[5] or form the operational transconductance amplifier (OTA) [6]. However, these circuits which consist of operational amplifier, the finite gain bandwidth product of the operation amplifier will limit the high frequency operation and the accuracy of the divider.

The novel four-quadrant analog divider circuit is present in the paper. It use the principle of second generation current conveyor and the nonsaturation MOS transistors to combine two circuits of two-quadrant analog divider. The first circuit can be operated in the first and the second quadrant which consists of negative second generation current conveyor as the feedback part, the others quadrant can be succeed by the second circuit which consists of positive second generation current. The switching technique is operated as the selector switch to connect the suitable output signal. This novel four-quadrant analog divider circuit has the high frequency response and accuracy, low power consumption.

2. Circuit description

Basically of second generation current conveyor, as shown in Fig. 1, is three-terminal network [7].

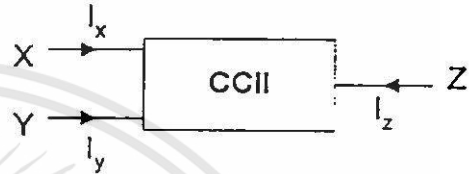


Fig. 1 Circuit symbol of a second generation current conveyor.

The characteristics can be described as

$$\begin{bmatrix} i_x \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (1)$$

The minus or plus sign of the ± 1 in (1) depend on the direction of the current i_z respected to the i_x . That is the plus sign show the same direction of the i_z and i_x . This condition we can use the positive second generation current conveyor to operate the input signal. And if the minus sign is shown, it mean that the direction of i_z is opposite to the i_x , so this condition the negative second generation current conveyor is used.

2.1 Two quadrant analog divider circuit with second generation current conveyor

Principle of two quadrant analog divider circuit with second generation current conveyor is shown in Fig. 2. The MOS transistors M_1 and M_2 are biased in the nonsaturation or triode region [8]. So the current of the transistors is

$$I_D = F(v_D, v_G) - F(v_S, v_G) \quad (2)$$

with

$$F(v_S, v_G) = 2k(v_G - v_S - v_{th} - \phi_s)v_S - k(v_S - v_S)^2 - \frac{4}{3}k\gamma(v_S - v_S + \phi_s)^{\frac{3}{2}}$$

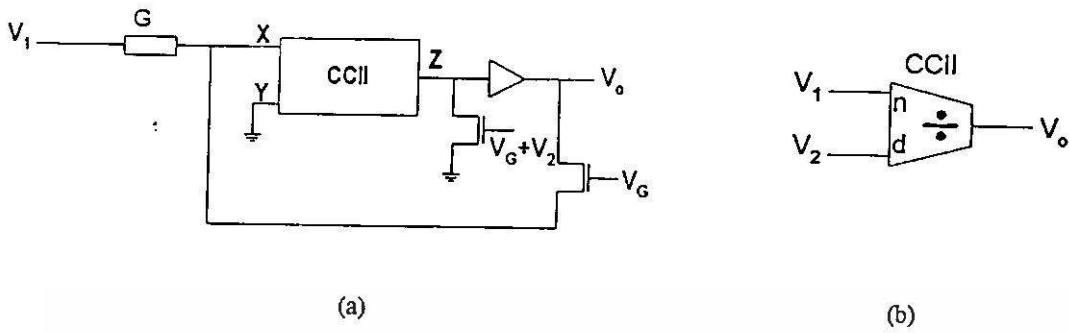


Fig. 2 (a) Proposed two quadrant divider circuit (b) Circuit symbol.

$$\kappa = \frac{\mu}{2L} \mu C_{ox}$$

$$\gamma = \frac{1}{C_{ox}} (2qN_A \epsilon_s)^{\frac{1}{2}}$$

Where I_D is the drain current in the nonsaturation region, μ is the effective mobility, V_{FB} is the flat-band voltage, N_A is the concentration of the doping substrate, W and L are channel width and length, respectively, C_{ox} is the gate oxide capacitance per unit area, ϕ_B is the approximate surface potential in strong inversion layer and V_G and V_B are the gate and substrate voltages, respectively.

In case of negative second generation current conveyor, the output voltage of the circuit is

$$V_{o1} = \frac{\sigma V_1}{2\kappa V_2}$$

To keep the MOS transistors M_1 and M_2 in the triode region, the following condition should be satisfied

$$V_o - V_T \cdot V_o + V_2 - V_T > V_o \tag{4}$$

with V_T is the threshold voltage of the M_1 and M_2 .

In case of positive second generation current conveyor, the output voltage of the circuit is

$$V_{o2} = \frac{\sigma V_1}{2\kappa (-V_2)} \tag{5}$$

The bias condition of the M_1 and M_2 is

$$V_o - V_T \cdot V_o + V_2 - V_T > 0 \tag{6}$$

2.2 Four quadrant analog divider circuit

The combination of the two previous circuits and the switching component is shown in Fig. 3.

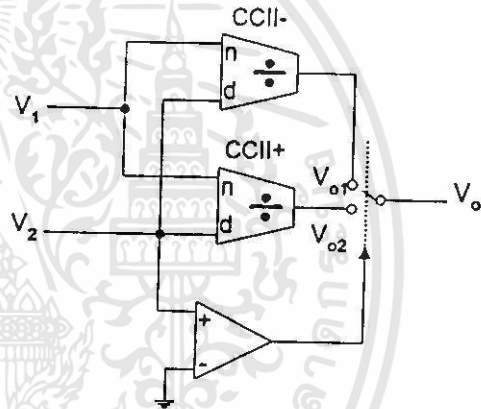


Fig. 3 Four-quadrant divider circuit.

We use two-quadrant divider circuit as the different building block connected with analog switch which controlled by V_2 that come from the output voltage of the comparator. If V_2 is positive, output of the four-quadrant divider circuit is switched to V_{o1} , two-quadrant divider circuit which uses the negative second generation current conveyor (CCII-) is operated. If V_2 is negative, output of four quadrant divider circuit is switched to V_{o2} , two quadrant divider circuit which uses the positive second generation current conveyor (CCII+) is operated.

3. Experimental results

To verify the circuit concept, PSpice program is used for all of simulations. The characteristic curve of input and output voltage of four-quadrant analog divider circuit is shown in Fig.4.

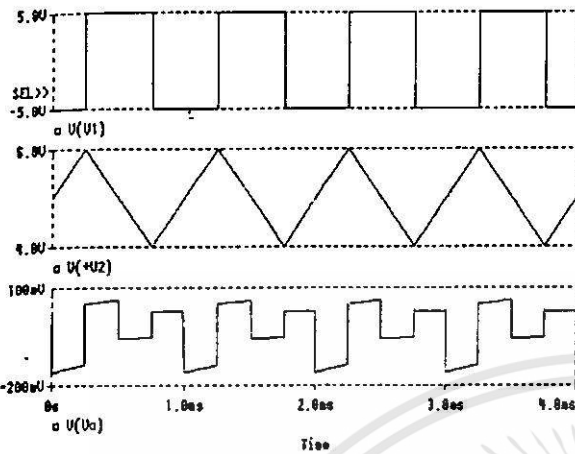


Fig. 4 The input and output voltage of four-quadrant analog divider circuit.

The frequency response of the four-quadrant analog divider circuit was measured in Fig. 5 and Fig. 6. Fig. 5 shows the frequency response of V_1 against V_0 with V_2 (sawtooth signal) $2 V_{P.P.}$. Its -3dB bandwidth was about 16 MHz. Fig. 6 shows the frequency response of V_2 against V_0 with $V_1 = 5 V_{DC}$. The bandwidth was about 12 MHz.

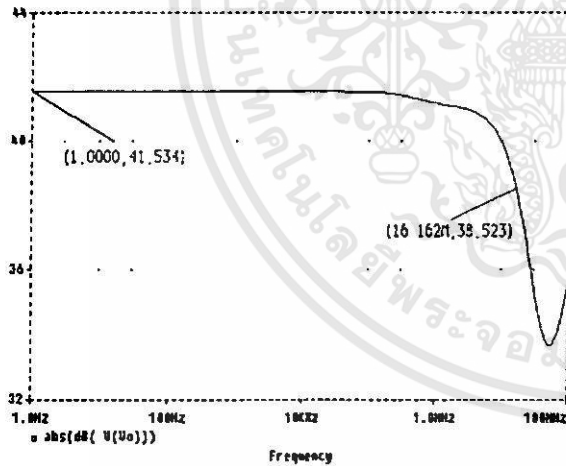


Fig. 5 The gain response of four-quadrant analog divider circuit V_0/V_1 with V_2 (sawtooth signal) $2 V_{P.P.}$.

To verify PSpice simulation result in Fig. 4, we breadboard the circuit by using the MC14007UB dual complementary pair plus inverter. The measurement result of the implemented circuit with the same condition of PSpice simulation is shown in Fig 7.

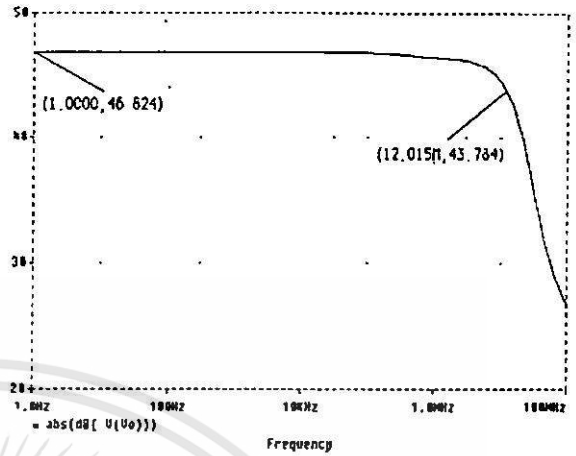


Fig. 6 The gain response of four-quadrant analog divider circuit V_0/V_2 with $V_1 = 5 V_{DC}$.

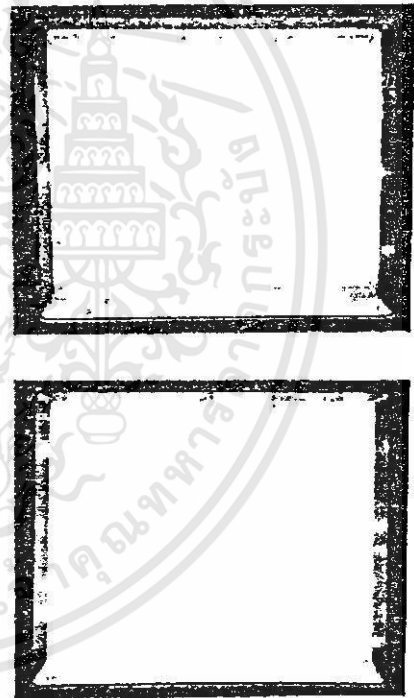


Fig. 7 The input and output voltage of the implemented circuit

4. Conclusion

The new four-quadrant analog divider circuit using CCI- and CCI+ have been proposed in this paper. Simulation results are given to show the feasibility of the proposed circuit. Frequency response show that the proposed four-quadrant analog divider circuit will be useful in high-frequency analog signal data processing application.

References

- [1] Mead, C, and Ismail, M., "*Analog VLSI implementation of neural system,*" Kluwer Academic, Boston, 1989.
- [2] Yamakawa, T.; "*High-speed fuzzy controller hardware system: the Mega-FIPS machine,*" *Inf. Sci.*, vol. 45, pp. 113 - 128, 1988.
- [3] Sturges Jr, R.H., "*Analog matrix inversion,*" *IEEE J. Robotics and Automation*, vol. 4, pp. 157-162, 1988.
- [4] Korn, G. A., and Korn, T. M., "*Electronic analog and hybrid computer,*" McGraw-Hill, New York, 1968.
- [5] Graeme, J. G., "*Operational Amplifier Design and Application,*" McGraw-Hill, New York, 1971.
- [6] Sanchez-Sinencio, E., Ramirez-Angulo, J., Linares-Barranco, B., Rodriguez-Vazquez, A., "*Operational Transconductance Amplifier-Based Nonlinear Function Syntheses,*" *IEEE J. Solid-State Circuits*, vol. 24, pp. 1567-1586, 1989.
- [7] Sedra, A., and Smith, R.C., "*A second generation current conveyor and its applications,*" *IEEE Trans*, pp. 132-134, 1970.
- [8] Lui, S.I., Wu, D.S., Tsao, H.W., Wu, J., and Tsah, J.H., "*Nonlinear circuit applications with current conveyor,*" *IEE Proc. G*, vol. 140, pp. 1-6, 1993.

การประชุมวิชาการ
ทางวิศวกรรมไฟฟ้า ครั้งที่ 20



20th Electrical Engineering Conference
(EECON-20)

วันที่ 13-14 พฤศจิกายน 2540

ณ โรงแรมโซลทวิน ทาวเวอร์ ถนนพระราม 6 ตัดใหม่
กรุงเทพมหานคร

ดำเนินการจัดประชุมโดย

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

จุฬาลงกรณ์มหาวิทยาลัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรหารสัญญาณเชิงอุปมานที่เหมาะสมสร้างเป็นวงจรรวม The Good Analogue Divider Circuits For Integrated Circuit

จารุพิชญ์ สุธรรมานันท์ ชัยสิทธิ์ ธรรมมงคลวิชัย* จีรวัดน์ ปานกลาง**

ศูนย์วิจัยอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้ได้เสนอวงจรรหารสัญญาณเชิงอุปมานแบบใหม่สองวงจร โดยวงจรแรกได้ใช้หลักการของ วงจรสะท้อนกระแส (current mirror circuit) และหลักการทำงานของทรานซิสเตอร์ชนิดมอสในช่วงไม้อิ่มตัว วงจรที่สองได้ใช้เทคนิคของวงจรสายพานกระแสรุ่นที่สองชนิดลบ CCII- และหลักการทำงานของมอสทรานซิสเตอร์ในช่วงไม้อิ่มตัว จากผลการทดลองสร้างวงจร แสดงให้เห็นว่า วงจรที่สองมีประสิทธิภาพการตอบสนองทางความถี่สูงกว่าวงจรแรก ในขณะที่วงจรที่สองมีจำนวนอุปกรณ์น้อยกว่าวงจรแรก

Abstract

This paper proposes two novel analogue divider circuits. First circuit consists of current mirror circuits and MOS transistors biased in non-saturation region or triode region. Second circuit composes of negative second generation current conveyor CCII- and MOS transistors biased in non-saturation region or triode region. From constructing the circuits, experimental results can be delineated that second circuit which have lower quantity component than the first circuit had better frequency response than the other.

1. บทนำ

วงจรรหารสัญญาณเชิงอุปมาน เป็นวงจรที่มีบทบาทสำคัญในงานด้านอิเล็กทรอนิกส์ โดยจัดเป็นกลุ่มเดียวกับวงจร

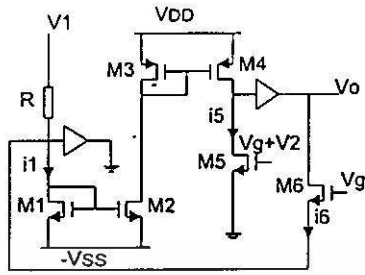
- * นักศึกษาทดลองวิจัยระดับปริญญาโท
- ** นักศึกษาปริญญาโท
- *** อาจารย์ ภาควิชาอิเล็กทรอนิกส์

การคำนวณทางด้านคณิตศาสตร์อื่น ๆ เช่น วงจรคูณ วงจรลดรากลที่สอง ฯลฯ วงจรรหารโดยทั่วไปแล้วจะใช้โอปแอมป์เป็นส่วนประกอบหลักในการออกแบบ เพื่อที่จะสังเคราะห์ฟังก์ชันทางารหารออกมา อย่างไรก็ตามการใช้โอปแอมป์เป็นส่วนประกอบสำคัญของวงจร ย่อมทำให้เกิดปัญหาตามมา เช่น การตอบสนองต่อความถี่ทำได้ไม่ดีนัก ทำให้ใช้งานได้เฉพาะในย่านความถี่ต่ำ ใช้กำลังงานสูง และข้อจำกัดของความถูกต้องแน่นอน

บทความนี้ได้ทำการเสนอ วงจรรหารสัญญาณเชิงอุปมานชนิดใหม่ โดยใช้มอสทรานซิสเตอร์เป็นส่วนประกอบสำคัญของวงจร และสามารถแก้ไขข้อบกพร่องต่าง ๆ ของวงจรที่ใช้โอปแอมป์เป็นส่วนประกอบหลัก มอสทรานซิสเตอร์สามารถตอบสนองต่อความถี่สูงได้ มีความถูกต้องแม่นยำ และมีอัตราสูญเสียกำลังต่ำ ใช้พลังงานน้อย และมีบทบาทสำคัญในการพัฒนาสร้างเป็นวงจรรวม โดยใช้พื้นที่ในส่วนของวงจรสร้างเป็นวงจรรวมน้อย วงจรรหารสัญญาณเชิงอุปมานที่นำมาเสนอนี้ เป็นวงจรพื้นฐานที่เรียกว่า วงจรรหารหนึ่งควอดแรนต์ (single quadrant divider circuit) ซึ่งในบทความนี้ได้เสนอขึ้นมาสองวงจร โดยพัฒนามาจากหลักการพื้นฐานของทรานซิสเตอร์ชนิดมอสที่ทำงานอยู่ในช่วงไม้อิ่มตัว (non-saturation region หรือ triode region) เหมือนกันทั้งสองวงจรรความแตกต่างกันของทั้งสองวงจรอยู่ที่ วงจรแรกจะใช้วงจรสะท้อนกระแสเป็นส่วนประกอบหลัก ส่วนวงจรที่สองซึ่งได้พัฒนามาจากวงจรรหารโดยใช้วงจรสายพานกระแสรุ่นที่สองชนิดลบ (negative second generation current conveyor (CCII-)) เป็นส่วนประกอบหลัก ซึ่งทั้งสองวงจรรใช้อุปกรณ์น้อยและมีขนาดเล็ก มีมอสทรานซิสเตอร์เป็นองค์ประกอบสำคัญ ดังนั้นจึงเหมาะสมที่จะนำมาพัฒนาเพื่อสร้างเป็นวงจรรวมต่อไป

2. หลักการออกแบบวงจร

2.1 วงจรหารแบบที่ 1



รูปที่ 1 วงจรหารแบบที่หนึ่ง

จากรูปที่ 1 ได้แสดงถึงวงจรหารแบบที่หนึ่ง ซึ่งประกอบไปด้วย NMOS 4 ตัว PMOS 2 ตัว ความต้านทาน 1 ตัว และออปแอมป์ทำหน้าที่เป็นวงจรตามศักดา (voltage follower) 2 ตัว โดยที่ NMOS M_5 และ M_6 จะทำงานอยู่ในสภาวะไม่อิ่มตัว M_1 และ M_2 ประกอบเป็นวงจรสะท้อนกระแสแบบบวก (positive current mirror) M_3 และ M_4 ประกอบเป็นวงจรสะท้อนกระแสแบบลบ (negative current mirror) โดยหลักการการทำงานของวงจรมีดังนี้

กระแสครนของมอสทรานซิสเตอร์ที่ถูกไบอัสในช่วงไม่อิ่มตัว สามารถแสดงได้โดยสมการต่อไปนี้[1]

$$I_D = F(V_D, V_G) - F(V_S, V_G) \quad (1)$$

โดยที่

$$F(V_X, V_G) = 2K(V_G - V_B - V_{FB} - \phi_B)V_X - K(V_X - V_B)^2 - \frac{4}{3}K\gamma(V_X - V_B + \phi_B)^{\frac{3}{2}}$$

$$K = \frac{W}{2L} \mu C_{ox}$$

$$\gamma = \frac{1}{C_{ox}} (2qN_A \epsilon_s)^{\frac{1}{2}}$$

เมื่อ μ = ค่า effective mobility

V_{FB} = ค่า flat-band voltage

N_A = ค่าความเข้มข้นของสารเจือพื้นฐานรอง

C_{ox} = ค่าตัวเก็บประจุที่เกตออกไซด์ต่อหนึ่งหน่วยพื้นที่

ϕ_B = ค่าประมาณของ strong inversion surface potential

V_B = ค่าศักดาพื้นฐานรอง

$$i_6 = F(v_o, V_G) - F(0, V_G) \quad (2)$$

$$i_1 = \frac{V_1}{R} + F(v_o, V_G) - F(0, V_G) \quad (3)$$

$$i_5 = F(v_o, V_G + v_2) - F(0, V_G + v_2) \quad (4)$$

จากวงจรสะท้อนกระแส ทำให้สมการ (3) เท่ากับ (4) ดังนั้นจะได้ศักดาที่ทางออกเป็น

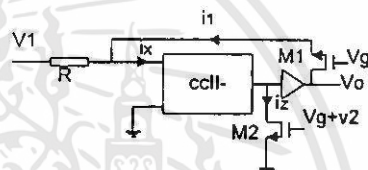
$$v_o = \frac{V_1}{2KRv_2} \quad (5)$$

เพื่อที่จะให้ NMOS M_5 และ M_6 ทำงานอยู่ในช่วงไม่อิ่มตัว จะต้องเป็นไปตามเงื่อนไขดังต่อไปนี้

$$V_G, V_G + v_2 > v_o + V_T \quad (6)$$

โดยที่ V_T คือค่าศักดาขีดเริ่ม (threshold voltage) ของมอสทรานซิสเตอร์

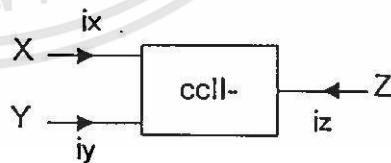
2.2 วงจรหารแบบที่ 2



รูปที่ 2 วงจรหารแบบที่สอง

จากรูปที่ 2 ได้แสดงถึงวงจรหารแบบที่สอง ซึ่งประกอบไปด้วย NMOS 2 ตัว วงจรสายพานกระแสรุ่นที่สอง ชนิดลบ 1 วงจร ความต้านทาน 1 ตัว และออปแอมป์ทำหน้าที่เป็นวงจรตามศักดา 1 ตัว โดยที่ NMOS สองตัว M_1 และ M_2 จะต้องทำงานอยู่ในสภาวะไม่อิ่มตัว

วงจรสายพานกระแสรุ่นที่สอง[2] เป็นโครงข่ายวงจรสามพอร์ต คือ พอร์ต X, Y และ Z ดังแสดงตามรูปที่ 3 ซึ่งมีหลักการพื้นฐานอธิบายได้ดังนี้



รูปที่ 3 แสดงสัญลักษณ์ของวงจรสายพานกระแส CCII

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (7)$$

โดยที่ ± 1 จะมีเครื่องหมายเป็นบวกหรือลบนั้น ขึ้นอยู่กับทิศทางการไหลของกระแส i_x กับกระแส i_y ถ้าเป็นเครื่องหมายบวกแสดงว่าทิศทางการไหลของกระแส i_x กับกระแส i_y มีทิศทางการไหลเดียวกัน และเรียกว่าเป็นสายพานกระแสชนิดบวก หรือ CCH+ ถ้าเป็นเครื่องหมายลบแสดงว่ากระแส i_x กับกระแส i_y มีทิศทางการไหลของกระแสตรงกันข้ามกัน และเรียกว่าเป็นสายพานกระแสชนิดลบ หรือ CCH- จากสมการที่ (7) จะได้ว่า

$$\begin{aligned} i_y &= 0 \\ v_x &= v_y \\ i_x &= \pm i_x \end{aligned} \quad (8)$$

โดยเครื่องหมายบวกลบ แสดงถึงทิศทางการไหลของกระแสเท่านั้น

การทำงานของวงจรแบบที่สอง เริ่มจากสมการที่

(1)

$$i_1 = F(v_o, V_G) - F(v_x, V_G) \quad (9)$$

จาก (8) ได้ $v_x = v_y = 0$ ทำให้

$$i_x = \frac{V_1}{R} + F(v_o, V_G) - F(0, V_G) \quad (10)$$

จาก (1)

$$i_x = F(v_o, V_G + v_2) - F(0, V_G + v_2) \quad (11)$$

จาก (8) ทำให้ (10) เท่ากับ (11) ดังนั้นจะได้ศักดาที่ทางออกเป็น

$$v_o = \frac{V_1}{2KRv_2}$$

โดยมีเงื่อนไขที่ว่า NMOS M_1 และ M_2 จะต้องทำงานอยู่ในช่วงสถานะไม่อิ่มตัว

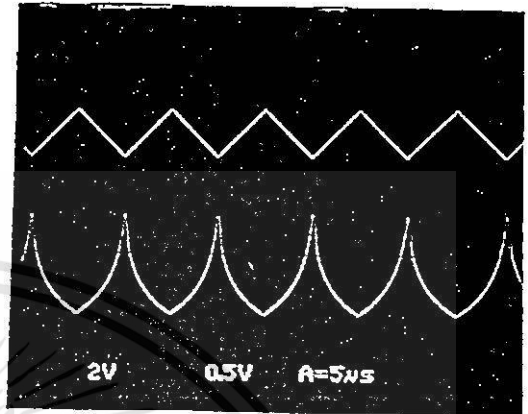
$$V_G, V_G + v_2 > v_o + V_T$$

โดย V_T คือ ศักดาขีดเริ่ม (threshold voltage) ของมอสทรานซิสเตอร์ M_1 และ M_2

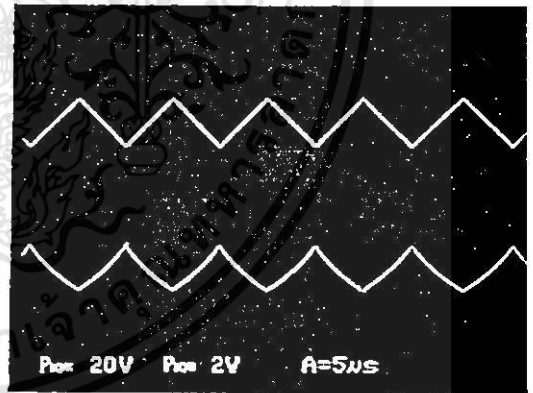
3. การทดสอบวงจร

การทดสอบวงจรทำได้โดย การต่อวงจรจริงตามรูปที่ 1 ซึ่งใช้มอสทรานซิสเตอร์จากไอซีเบอร์ MC14007UB (Dual Complementary Pair Plus Inverter) และใช้ voltage buffer จากไอซีเบอร์ MC4558C และความต้านทานค่า 1 กิโลโฮม ในการทดลองครั้งนี้กำหนดให้ $V_{DD} = V_G = V_1 = 5$ โวลต์ $V_{SS} = -5$

โวลต์ และ v_2 เป็นสัญญาณรูปสามเหลี่ยมที่มีขนาด $2 V_{pp}$ รวมอยู่บน $1 V_{dc}$ ซึ่งผลการทดลองได้แสดงดังรูปที่ 4



รูปที่ 4 แสดงผลการทดลองจากวงจรแบบที่ 1 โดยสัญญาณรูปบนเป็น v_2 (2 โวลต์/ช่อง) สัญญาณรูปล่างเป็น v_o (0.5 โวลต์/ช่อง) ที่ความถี่ 100 กิโลเฮิรตซ์

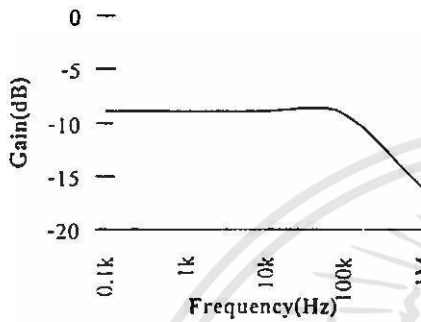


รูปที่ 5 แสดงผลการทดลองจากวงจรแบบที่ 2 โดยสัญญาณรูปบนเป็น v_2 (2 โวลต์/ช่อง) สัญญาณรูปล่างเป็น v_o (0.2 โวลต์/ช่อง) ที่ความถี่ 100 กิโลเฮิรตซ์

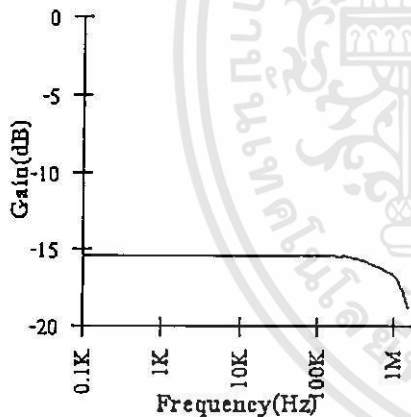
จากนั้นต่อวงจรตามรูปที่ 2 เพื่อทดสอบวงจรแบบที่สองโดยใช้อุปกรณ์และศักดาไฟฟ้าต่าง ๆ ตามวงจรแบบที่หนึ่ง

และวงจรสายพานกระแส สามารถใช้จากไอซีเบอร์ AD844[3] หรือค้ววงจรเอง[2] ซึ่งผลการทดลองแสดงตามรูปที่ 5

จากนั้นได้ทำการทดลองเปรียบเทียบย่านการทำงาน และผลตอบสนองทางความถี่ของวงจรทั้งสอง ได้แสดงดังรูปที่ 6 และ 7



รูปที่ 6 แสดงอัตรายขยาย (v_o/v_i) ขณะที่ V_i คงที่ 5 โวลต์ ที่ ความถี่ต่าง ๆ ของวงจรที่หนึ่ง



รูปที่ 7 แสดงอัตรายขยาย (v_o/v_i) ขณะที่ V_i คงที่ 5 โวลต์ ที่ ความถี่ต่าง ๆ ของวงจรที่สอง

จากรูปที่ 6 และ 7 พบว่าย่านการทำงาน (bandwidth) ของวงจรที่ 1 มีค่าประมาณ 700 กิโลเฮิรตซ์ ขณะที่วงจรที่ 2 มี ย่านการทำงานประมาณ 1.4 เมกกะเฮิรตซ์

4. สรุปและวิจารณ์

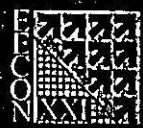
วงจรรหัสสัญญาณเชิงอุปมานที่ได้เสนอขึ้นสองวงจร มีหน้าที่ในการทำงานที่เหมือนกัน คือใช้มอสทรานซิสเตอร์ ให้ทำงานในสภาวะไม่อิ่มตัว และวงจรทั้งสองเป็นชนิด single quadrant divider ซึ่งหมายถึงทั้งตัวหารและตัวตั้งเป็นบวกทั้งคู่ จากผลการทดลองได้แสดงให้เห็นว่า วงจรที่สองซึ่งประกอบด้วยวงจรสายพานกระแส มีผลตอบสนองทางความถี่ได้ดีกว่า วงจรแรกสองเท่า ทั้งนี้มีสาเหตุมาจากการที่วงจรแรกใช้โอป-แอมป์ทำหน้าที่เป็น voltage follower หรือ voltage buffer มากกว่าวงจรที่สอง ดังนั้นจึงได้พัฒนาวงจรที่สองขึ้นมาเพื่อเพิ่มการตอบสนองต่อสัญญาณความถี่สูงมากขึ้น จึงมีความเหมาะสมที่จะนำมาสร้างเป็นวงจรรวมที่ใช้พื้นที่บนแผ่นซิลิกอนน้อยกว่า

5. เอกสารอ้างอิง

1. BANU, M., and TSIVIDIS, Y.: 'Detailed analysis of nonlinearities in MOS fully integrated active RC filters based on balanced network', IEE Proc. G, 1984, pp. 190-196
2. SEDRA, A., and SMITH, K.C.: 'A second generation current conveyor and its applications', IEEE Trans., 1970, pp. 132-134
3. SVOBODA, J.A., MCGORY, L., and WEBB, S.: 'Applications of a commercially available current conveyor', Int. J. Electron., 1991, pp. 159-164

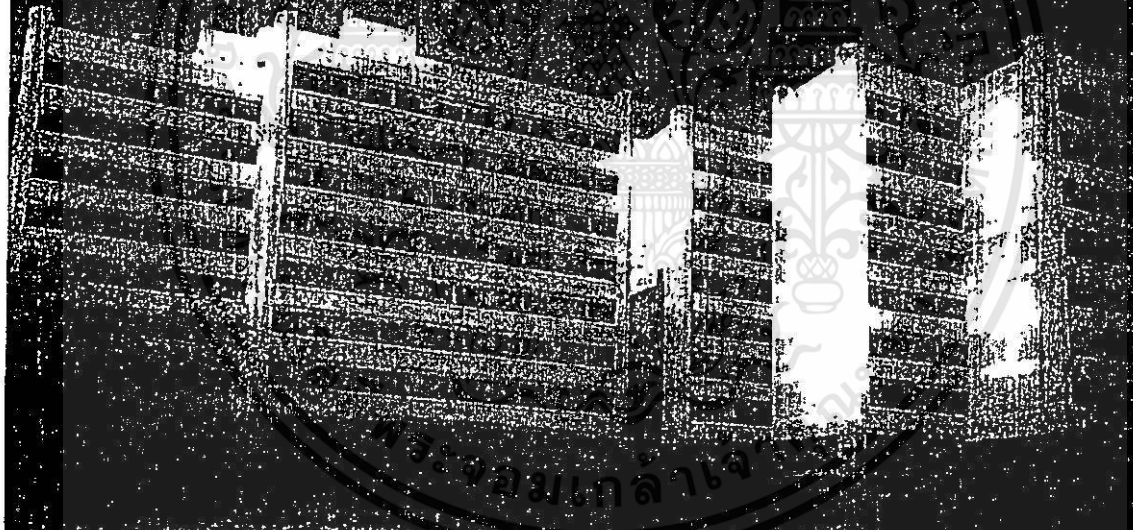


การประชุมวิชาการ
ทางวิศวกรรมไฟฟ้า ครั้งที่ 21



21st Electrical Engineering Conference (EECON-21)

วันที่ 12-13 พฤศจิกายน 2541
ณ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
จ.สุขสวัสดิ์ 48 เขตทุ่งครุ กรุงเทพมหานคร



มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
KING MONGKUT'S UNIVERSITY OF TECHNOLOGY THROMBU

ดำเนินการจัดการประชุมโดย

ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์

มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรหัสสัญญาณแรงดันเชิงอุปมาผลที่ควอดแดรนต์โดยใช้ CMOS

The CMOS Four-Quadrant Analogue Voltage Divider

จิรวุฒิ ปานกลาง ชัยสิทธิ์ ร่มมงกวิชัย และภูมิทร์ จินดาจิราวัฒน์
ศูนย์วิจัยอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
3 หมู่ 2 ถนนจตุรพักอง กรุงเทพฯ 10520
โทร (02) 3267980 E-mail:Chaiyasith@thaimail.com

บทคัดย่อ

บทความนี้ได้เสนอวงจรรหัสสัญญาณแรงดันเชิงอุปมาผลที่ควอดแดรนต์ชนิดใหม่ โดยใช้หลักการทำงานของทรานซิสเตอร์ชนิดมออสในช่วงไม่อิ่มตัว (non-saturation region หรือ triode region) และใช้วงจรรหัสสัญญาณกระแสที่สองชนิดพอร์ท Y ร่วม (common Y second generation current conveyor) ซึ่งวงจรรหัสสัญญาณกระแสที่สองชนิดพอร์ท Y ร่วม ประกอบด้วยวงจรรหัสสัญญาณกระแสที่สองชนิดบวก (CCII+) และวงจรรหัสสัญญาณกระแสที่สองชนิดลบ (CCII-) โดยที่ทั้งสองวงจรรหัสสัญญาณ Y ร่วมกัน จากผลการทดลองสร้างวงจรจริงและการจำลองการทำงานของวงจรด้วยโปรแกรม PSpice แสดงให้เห็นว่า ผลการทดลองทั้งสองวิธีมีความสอดคล้องกันและเป็นไปตามการวิเคราะห์จากทฤษฎี

Abstract

This paper proposes a novel CMOS Four-Quadrant Analogue Voltage Divider Circuit. The circuit consists of common Y second generation current conveyor circuit (CCII) and MOS transistors biased in non-saturation region or triode region. The common Y second generation current conveyor can be implemented by a positive and negative second generation current conveyor while both ports Y are commonly used. The PSpice simulation and experimental results are given to verify the theoretical analysis.

1. บทนำ

วงจรรหัสสัญญาณแรงดันเชิงอุปมาผลที่ควอดแดรนต์ เป็นวงจรมีบทบาทสำคัญในงานด้านอิเล็กทรอนิกส์ โดยจัดเป็นกลุ่มเดียวกับวงจรการคำนวณทางคณิตศาสตร์อื่น ๆ เช่น วงจรคูณวงจรถอดครากที่สอง ฯลฯ วงจรรหัสสัญญาณโดยทั่วไปแล้วถูกใช้เป็นส่วนประกอบสำคัญในงานด้านต่าง ๆ เช่น การคำนวณเชิงอุปมาผล (analogue computation) ระบบควบคุมแบบฟัซซี่ (fuzzy control) ระบบโครงข่ายประสาท (neural network) และอื่น ๆ วงจรรหัสสัญญาณแรงดันเชิงอุปมาผลส่วนใหญ่สามารถสร้างได้จากทรานซิสเตอร์ชนิดมออสที่ทำงานในบริเวณไม่อิ่มตัว จากผลการทดลองสร้างวงจรจริงและการจำลองการทำงานของวงจรด้วยโปรแกรม Pspice สามารถพิสูจน์ได้ว่า วงจรรหัสสัญญาณแรงดันเชิงอุปมาผลที่ควอดแดรนต์ที่ได้นำเสนอนี้สามารถนำไปใช้งานได้จริง

ที่ประกอบด้วยขั้วต่อเป็นหลัก จะมีข้อจำกัดหลายประการเช่น ไม่สามารถตอบสนองต่อการทำงานในย่านความถี่สูงได้ดี ใช้กำลังงานสูง และข้อจำกัดของความถูกต้องแม่นยำของสัญญาณที่ได้

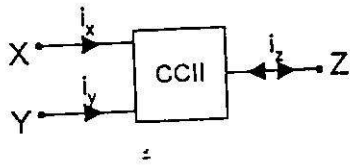
บทความนี้ได้ทำการเสนอ วงจรรหัสสัญญาณแรงดันเชิงอุปมาผลที่ควอดแดรนต์ชนิดใหม่ โดยใช้นอสมมาตรทรานซิสเตอร์เป็นส่วนประกอบสำคัญของวงจร และสามารถแก้ไขข้อบกพร่องต่าง ๆ ของวงจรที่ใช้อุปแอมป์เป็นส่วนประกอบหลัก ปัจจุบันนักออกแบบวงจรส่วนใหญ่ได้ให้ความสนใจในการออกแบบวงจร โดยใช้ทรานซิสเตอร์ชนิดมออสเป็นส่วนประกอบสำคัญของวงจร แทนที่จะเป็นทรานซิสเตอร์แบบไบโพลาร์หรืออุปแอมป์เหมือนในอดีต ทั้งนี้เพราะว่าทรานซิสเตอร์ชนิดมออสสามารถตอบสนองต่อความถี่สูงได้ดี มีความถูกต้องแม่นยำของสัญญาณสูง และมีอัตราสูญเสียกำลังต่ำ ใช้พลังงานน้อย และมีบทบาทสำคัญในการพัฒนาสร้างเป็นวงจรรวม โดยใช้พื้นที่ในส่วนของวงจรสร้างเป็นวงจรรวมน้อย วงจรรหัสสัญญาณแรงดันเชิงอุปมาผลที่นำมาเสนอนี้สามารถทำงานได้ทั้งหมดที่ควอดแดรนต์ หมายความว่า ทั้งสัญญาณแรงดันที่เป็นตัวตั้งและตัวหารสามารถมีค่าได้ทั้งค่าบวกและค่าลบ วงจรนี้สร้างขึ้นจากพื้นฐานของหลักการของ วงจรรหัสสัญญาณกระแสที่สองชนิดพอร์ท Y ร่วม และทรานซิสเตอร์ชนิดมออสที่ทำงานอยู่ในสถานะไม่อิ่มตัว จากผลการทดลองสร้างวงจรจริงและการจำลองการทำงานของวงจรด้วยโปรแกรม Pspice สามารถพิสูจน์ได้ว่า วงจรรหัสสัญญาณแรงดันเชิงอุปมาผลที่ควอดแดรนต์ที่ได้นำเสนอนี้สามารถนำไปใช้งานได้จริง

2. หลักการออกแบบวงจร

2.1 วงจรรหัสสัญญาณกระแส

วงจรรหัสสัญญาณกระแสที่สอง[1-2] เป็นโครงข่ายวงจรรหัสสัญญาณพอร์ท คือ พอร์ท X, Y และ Z วงจรรหัสสัญญาณกระแสสามารถแบ่งออกเป็นสองชนิด คือ วงจรรหัสสัญญาณกระแสชนิดบวก CCII+ (positive second generation current conveyor) และวงจรรหัสสัญญาณกระแสชนิดลบ CCII- (negative second generation current conveyor) โดยทั้งสองวงจรมีลักษณะและคุณสมบัติเหมือนกัน แตกต่างกันเพียงทิศทางกระแสของกระแสที่พอร์ท X และพอร์ท Z

วงจรรหัสสัญญาณกระแสที่สอง CCII แสดงตามรูปที่ 1 สามารถอธิบายหลักการพื้นฐานได้ดังนี้



รูปที่ 1 วงจรสายพานกระแสที่สอง

$$\begin{bmatrix} i_x \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_x \\ i_x \\ v_z \end{bmatrix} \quad (1)$$

จากสมการที่ (1) สามารถสรุปคุณสมบัติของ วงจรสายพานกระแสได้ ตามสมการที่ (2)

$$\begin{aligned} i_x &= 0 \\ v_x &= v_z \\ i_z &= \pm i_x \end{aligned} \quad (2)$$

โดยที่ ± 1 จะมีเครื่องหมายเป็นบวกหรือลบนั้น ขึ้นอยู่กับทิศทางการไหลของกระแส i_x กับกระแส i_z ถ้าเป็นเครื่องหมายบวกแสดงว่าทิศทางการไหลของกระแส i_x กับกระแส i_z มีทิศทางเดียวกัน ไหลเข้าหรือไหลออกจากวงจรเหมือนกัน และเรียกว่าเป็นสายพานกระแสชนิดบวก หรือ CCII+ ถ้าเป็นเครื่องหมายลบแสดงว่ากระแส i_x กับกระแส i_z มีทิศทาง การไหลของกระแสตรงกันข้ามกัน และเรียกว่าเป็นสายพานกระแสชนิดลบ หรือ CCII- ซึ่งเป็นข้อแตกต่างกันของวงจรสายพานกระแสทั้งสอง

2.2 วงจรหารสัญญาณแรงดันสี่ควอดแดรนต์

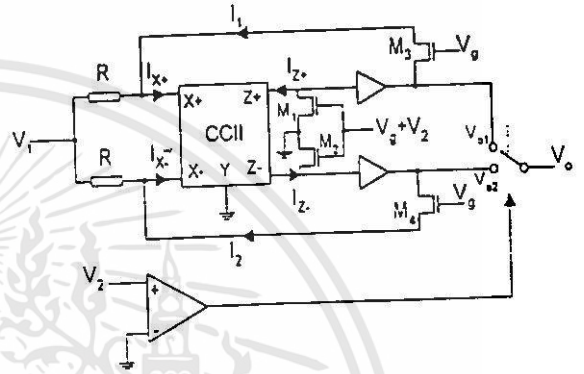
จากรูปที่ 2 แสดงถึงวงจรหารสัญญาณแรงดันสี่ควอดแดรนต์ ซึ่งประกอบไปด้วย NMOS 4 ตัว วงจรสายพานกระแสชนิดอินเวอร์ท Y ร่วมกับ 1 วงจร วงจรตามสติกคา (voltage follower) 2 วงจร วงจรเปรียบเทียบแรงดัน (voltage comparator) 1 วงจร วงจรอนาล็อกสวิตช์ (analogue switch) 1 วงจร ความต้านทาน 2 ตัว โดยที่ NMOS ทั้งสี่ตัวจะตั้งทำงานอยู่ในสภาวะไม่อิ่มตัว

หลักการทำงานของวงจรสามารถอธิบายได้ดังนี้ กระแสตรอนของมอสฟานซิสเตอร์ที่ถูกไบอัสในช่วงไม่อิ่มตัว สามารถแสดงได้โดยสมการต่อไปนี้[3]

$$I_D = F(V_D, V_G) - F(V_S, V_G) \quad (3)$$

โดยที่

$$\begin{aligned} F(V_x, V_o) &= 2K(V_o - V_b - V_{FB} - \phi_s)V_x \\ &- K(V_x - V_b)^2 - \frac{4}{3}KY(V_x - V_b + \phi_s)^{\frac{3}{2}} \\ K &= \frac{W}{2L} \mu C_{ox} \\ Y &= \frac{1}{C_{ox}} (2qN_A \epsilon_s)^{\frac{1}{2}} \end{aligned}$$



รูปที่ 2 วงจรหารสัญญาณแรงดันสี่ควอดแดรนต์

- เมื่อ μ = ค่า effective mobility
- V_{FB} = ค่า flat-band voltage
- N_A = ค่าความเข้มข้นของสารเจือที่ฐานรอง
- C_{ox} = ค่าตัวเก็บประจุที่เกาะออกไซด์ต่อหนึ่งหน่วยพื้นที่
- ϕ_s = ค่าประมาณของ strong inversion surface potential
- V_b = ค่าศักลที่ฐานรอง

$$i_1 = F(v_{o1}, V_x) - F(v_{x+}, V_x) \quad (4)$$

$$i_2 = F(v_{o2}, V_x) - F(v_{x-}, V_x) \quad (5)$$

$$i_{1-} = \frac{v_1}{R} + F(v_{o1}, V_x) - F(0, V_x) \quad (6)$$

$$i_{1+} = \frac{v_1}{R} + F(v_{o2}, V_x) - F(0, V_x) \quad (7)$$

$$i_{2-} = -F(v_{o1}, V_x + v_2) + F(0, V_o + v_2) \quad (8)$$

$$i_{2+} = F(v_{o2}, V_x + v_2) - F(0, V_o + v_2) \quad (9)$$

จากคุณสมบัติของวงจรสายพานกระแส ทำให้สมการที่ (6) เท่ากับ (8) และสมการที่ (7) เท่ากับ (9) จะได้

การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 21 พ.ศ. 2541

$$v_{o1} = \frac{v_1}{2KR(-v_2)} \tag{10}$$

$$v_{o2} = \frac{v_1}{2KRv_2} \tag{11}$$

วงจรเปรียบเทียบแรงดัน จะทำการเปรียบเทียบแรงดันจากสัญญาณ v_2 กับแรงดันอ้างอิงในที่มีค่าเท่ากับศูนย์โวลต์ เมื่อสัญญาณ v_2 มีค่าเป็นบวก วงจรเปรียบเทียบแรงดันจะส่งสัญญาณไปทวีขงให้ v_o เท่ากับ v_{o1} และถ้าสัญญาณ v_2 มีค่าเป็นลบ วงจรเปรียบเทียบแรงดันจะส่งสัญญาณไปทวีขงให้ v_o เท่ากับ v_{o2} จะทำให้ได้ v_o เป็นไปตามสมการที่ (12)

$$v_o = \begin{cases} v_{o1} = \frac{v_1}{2KR(-v_2)} \\ v_{o2} = \frac{v_1}{2KRv_2} \end{cases} \tag{12}$$

เพื่อให้จะให้ NMOS M_1 , M_2 , M_3 และ M_4 ทำงานในช่วงไม้อิ่มตัว จะต้องเป็นไปตามเงื่อนไขดังต่อไปนี้

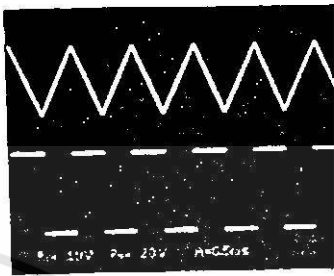
$$V_g - V_r - V_x + v_2 - V_r > v_{o1} - v_{o2} \tag{13}$$

โดยที่ V_r คือค่าศักดาขีดเริ่ม (threshold voltage) ของมออสทรานซิสเตอร์

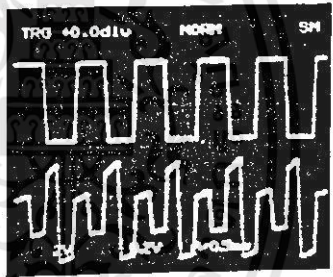
3. การทดสอบวงจร

การทดสอบวงจรทำได้โดย การต่อวงจรจริงตามรูปที่ 2 ซึ่งใช้มออสทรานซิสเตอร์จากไอซีเบอร์ MC14007UB (Dual Complementary Pair Plus Inverter) และใช้อนาล็อกสวิตช์เบอร์ 4066 ไอซีเปรียบเทียบแรงดัน (voltage comparator) เบอร์ LM311 และความต้านทานค่า 10 กิโลโอห์ม ในการทดลองครั้งนี้กำหนดให้ $V_g = 5$ โวลต์ และ v_1 เป็นสัญญาณรูปสี่เหลี่ยมขนาด ± 2.5 โวลต์ ความถี่ 1 กิโลเฮิร์ตซ์ v_2 เป็นสัญญาณรูปสามเหลี่ยมขนาด $2 V_{pp}$ ความถี่ 1 กิโลเฮิร์ตซ์ ซึ่งผลการทดลองได้แสดงดังรูปที่ 3

จากรูปที่ 3 แสดงถึงผลการทดลองจากการต่อวงจรจริง ซึ่งผลการของสัญญาณในรูป (ก) v_o/v_2 แสดงดังรูป (ข) และรูปที่ 4 เป็นผลการจำลองการทำงานจากโปรแกรม PSpice โดยให้สัญญาณอินพุตเหมือนกัน รูปที่ 5 แสดงถึงฟังก์ชันส่งผ่าน โดยรูป (ก) เป็นความสัมพันธ์ระหว่าง v_o และ v_2 ขณะที่ v_1 มีค่าคงที่ 5 โวลต์ และรูป (ข) เป็นความสัมพันธ์ระหว่าง v_o และ v_2 ขณะที่ v_1 มีค่าคงที่ -5 โวลต์ รูปที่ 6 แสดงผลฟังก์ชันทางการหารระหว่าง ฟังก์ชัน sine และ cosine

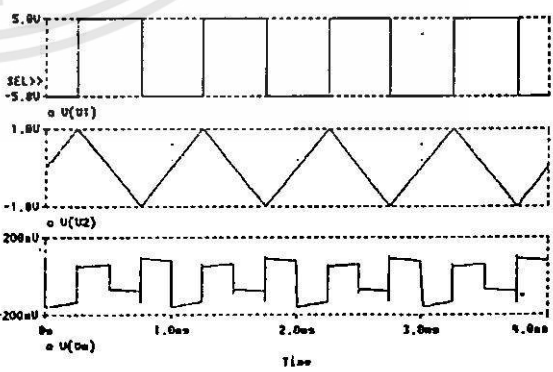


(ก)

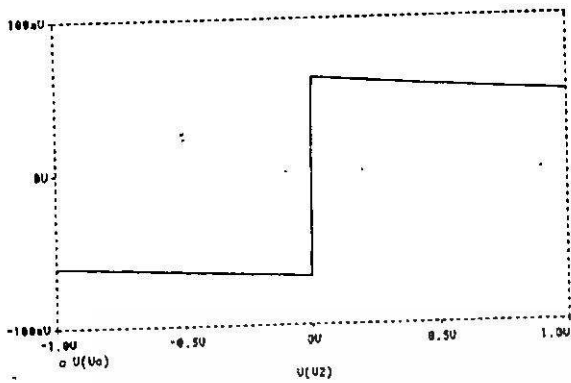


(ข)

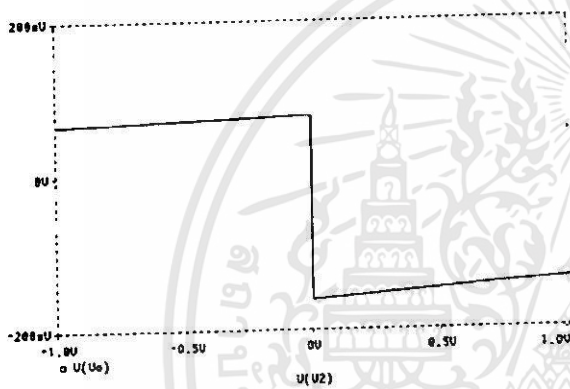
รูปที่ 3 (ก) สัญญาณอินพุตความถี่ 1 kHz v_1 เป็นรูปสี่เหลี่ยมขนาด ± 2.5 โวลต์ v_2 เป็นรูปสามเหลี่ยมขนาด $2 V_{pp}$ (ข) สัญญาณเอาต์พุต v_o



รูปที่ 4 ผลการจำลองการทำงานของวงจรจากโปรแกรม PSpice

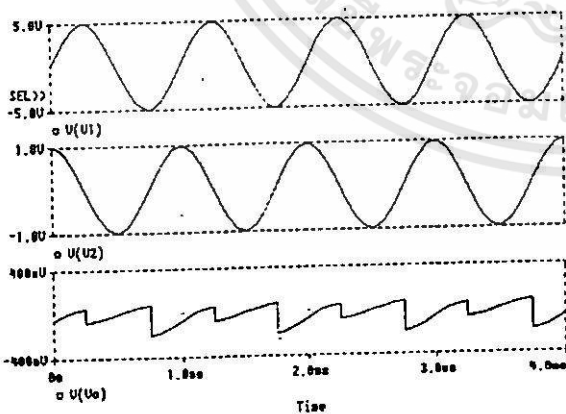


(ก)



(ข)

รูปที่ 5 (ก) ฟังก์ชันส่งผ่านขณะ v_1 มีค่า 5 โวลต์ (ข) ฟังก์ชันส่งผ่านขณะ v_1 มีค่า -5 โวลต์



รูปที่ 6 การหารระหว่างฟังก์ชัน sine (v_1) และฟังก์ชัน cosine (v_2) ได้ผลลัพธ์เป็นฟังก์ชัน tangent (v_3)

4. สรุปและวิจารณ์

วงจรหารสัญญาณเชิงอุปมาคือตัวคูณที่ได้ออกมาขึ้นทำหน้าที่ในการหารฟังก์ชันเชิงอุปมาใด ๆ โดยใช้หลักการพื้นฐานคือให้ขอตราทรานซิสเตอร์ทำงานในสถานะไม่อิ่มตัว และใช้การประยุกต์ของวงจรถ่ายทานกระแสเพื่อใช้ในการสังเคราะห์ฟังก์ชันหาร และวงจรนี้สามารถทำงานได้ทั้งที่ขั้วครอแดนท์ หมายถึงทั้งตัวตั้งและตัวหารสามารถมีค่าได้ทั้งบวกและลบ จากผลการทดลองดังรูปที่ 5 ได้แสดงผลการจำลองของฟังก์ชันส่งผ่าน ซึ่งสามารถยืนยันได้ว่าวงจรนี้แสดงถึงฟังก์ชันทางการหารและทำงานได้ทั้งที่ขั้วครอแดนท์จริง ผลการทดลองจากรูปที่ 3 และ 4 ได้แสดงถึงความสอดคล้องกันระหว่างผลการทดลองที่ได้จากการต่อวงจรจริงและผลการจำลองการทำงานจากโปรแกรม PSpice ผลการทดลองจากรูปที่ 6 เป็นการหารระหว่างฟังก์ชัน sine และ cosine ซึ่งได้ผลลัพธ์เป็นฟังก์ชัน tangent ตามทฤษฎี

เอกสารอ้างอิง

- [1] SEDRA, A., and SMITH, K.C.: 'A second generation current conveyor and its applications'. IEEE Trans., 1970, pp. 132-134
- [2] เกียรติศักดิ์ คุ้มวิษระ "การสร้างวงจรถ่ายทานกระแสและวงจรแปลงความต้านทานค่าลบด้วย CMOS" วิทยานิพนธ์ระดับมหาบัณฑิต ปีการศึกษา 2534 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- [3] LUI, S.I., WU, D.S., TSAO, H.W., Wu, J., and TSAY, J.H., "Nonlinear circuit applications with current conveyor," IEE Proc. G, vol. 140, pp. 1-6, 1993.

ประวัติผู้เขียน

นายชัยสิทธิ์ อร่ามมงคลวิชัย เกิดเมื่อวันที่ 17 มกราคม 2518 ที่จังหวัดกรุงเทพฯ สำเร็จ
การศึกษาวิทยาศาสตรบัณฑิต สาขาวิชาฟิสิกส์ประยุกต์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณ
ทหารลาดกระบัง ปีการศึกษา 2538



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้