

การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสแบบดิจิทัล

EXTENDED CHARACTERISTIC RANGE OF DIGITAL PHASE DETECTOR



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2544

ISBN 974-648-533-4

การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสแบบดิจิทัล

EXTENDED CHARACTERISTIC RANGE OF DIGITAL PHASE DETECTOR



เลขหมู่.....  
เลขทะเบียน 41494  
วัน, เดือน, ปี 19 ก.พ. 2545

b.....  
i.....

วิทยานิพนธ์นี้เป็นส่วนของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2544

ISBN 974-648-533-4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า-  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**EXTENDED CHARACTERISTIC RANGE OF DIGITAL PHASE DETECTOR**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

**2001**

**ISBN 974-648-533-4**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2001**

**SCHOOL OF GRADUATE STUDIES**

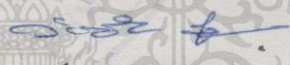
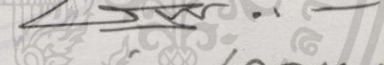
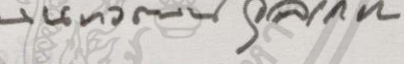
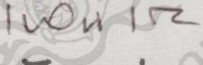
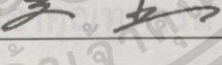
**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**บัณฑิตวิทยาลัย**  
**สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง**  
**ใบรับรองวิทยานิพนธ์**

**หัวข้อวิทยานิพนธ์**      การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสแบบดิจิทัล  
 EXTENDED CHARACTERISTIC RANGE OF DIGITAL PHASE  
 DETECTOR

**ชื่อนักศึกษา**            นายธนา      พรวิเศษกุล  
**รหัสประจำตัว**            37061178  
**ปริญญา**                    วิศวกรรมศาสตรมหาบัณฑิต  
**สาขาวิชา**                วิศวกรรมไฟฟ้า  
**อาจารย์ผู้ควบคุมวิทยานิพนธ์**      รศ.ดร.จنگกล                    งามวิวิทย์  
**อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม**      รศ.ดร.โยธิน                      เปรมปราณีรัชต์

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.วันชัย	วีรรุจา	
อาจารย์วรพงศ์	ตั้งศรีรัตน์	
ดร.นนทวัฒน์	จุลเดชะ	
รศ.ดร. โยธิน	เปรมปราณีรัชต์	
รศ.ดร.จنگกล	งามวิวิทย์	

วัน/เดือน/ปี ที่สอบ 26 ตุลาคม 2544 เวลา 9.30-11.30 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-402)

**บัณฑิตวิทยาลัยรับรองแล้ว**  
  
 (รศ.ดร.บุญวัฒน์ อีตพ)  
**คณบดีบัณฑิตวิทยาลัย**

วันที่.....๑๕.....เดือน.....พ.ศ.....๒๕๔๔

หัวข้อวิทยานิพนธ์	การขยายช่วงคุณสมบัติของวงจรถววจับเฟสแบบคิจิตอล
นักศึกษา	นายธนา พรวิศณุกุล
รหัสประจำตัว	37061178
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2544
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. ดร. จงกล งามวิวิทย์
อาจารย์ผู้ควบคุมวิทยานิพนธ์ร่วม	รศ. ดร. โยชิน เปรมปราณีรัชต์

### บทคัดย่อ

วิทยานิพนธ์เล่มนี้ ได้นำเสนอวิธีการขยายช่วงคุณสมบัติเอาท์พุทสเตทของวงจรถววจับเฟส และความถี่แบบสาม-สเตท ที่เกิดไซเคิลสลิปในช่วง  $\pm 2\pi$  เรเดียน โดยใช้วงจรถววจับเฟสและความถี่แบบสาม-สเตทซึ่งสามารถตรวจจับสัญญาณอินพุทที่ปรากฏเข้ามาพร้อมกันได้ ร่วมกับวงจรไซเคิลสลิปดีเทคเตอร์สองวงจร เพื่อสร้างสัญญาณไปกระตุ้นให้กับวงจรชิฟต์รีจิสเตอร์แบบสองทิศทางเมื่อเกิดไซเคิลสลิปในวงจรถววจับเฟสและความถี่แบบสาม-สเตท ซึ่งจะช่วยให้ช่วงคุณสมบัติเอาท์พุทสเตทออกไปได้เป็นหลายๆ สเตท และจากวิธีการดังกล่าวได้ออกแบบวงจรถววจับเฟสและความถี่ที่สามารถให้เอาท์พุทสเตทได้ถึง 6 สเตท ซึ่งจะทำให้ตรวจจับความต่างเฟสได้ถึง  $\pm 5\pi$  เรเดียน วงจรนี้ออกแบบและสร้างขึ้น ได้โดยใช้ไมโครคอนโทรลเลอร์ MCS-51 และการทำงานของวงจรสามารถแสดงได้จากผลการทดลองและการซิมูเลชัน ด้วย PSpice

<b>Thesis Title</b>	Extended Characteristic Range of Digital Phase Detector
<b>Student</b>	Mr.Thana Pornwisanukul
<b>Student ID.</b>	37061178
<b>Degree</b>	Master of Engineering
<b>Programme</b>	Electrical Engineering
<b>Year</b>	2001
<b>Thesis Advisor</b>	Assoc. Prof. Dr. Jongkol Ngamwiwit
<b>Thesis Co-Advisor</b>	Assoc. Prof. Dr. Yothin Prempraneerach

### ABSTRACT

This thesis presents the method to extend the range of the output state characteristic of the three-states phase-frequency detector which has a cycle slip within  $\pm 2\pi$  radians. This is achieved by using a three-states phase-frequency detector which is capable of detecting the input signals occurring simultaneously and it is connected with the two cycle slip detectors. The bidirectional shift register (BSR) is driven by the output of the two cycle slip detectors when the cycle slip is occurred in the three-states phase-frequency detector so that the output state characteristic of this circuit will be extended to more states. Consequently the six-states phase-frequency detector can be realized and it can detect the phase error which extend to  $\pm 5\pi$  radians. This circuit is designed and implement by microcontroller MCS-51. The circuit operation is confirmed by the experimental results and simulation with PSpice.

## กิตติกรรมประกาศ

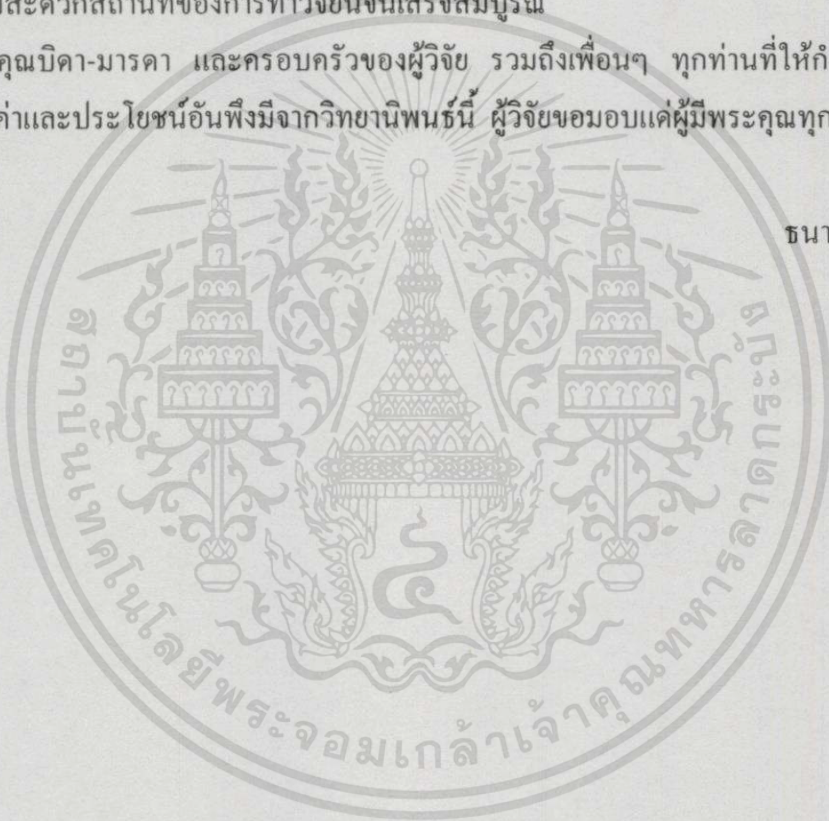
วิทยานิพนธ์เล่มนี้สำเร็จลุล่วงได้ด้วยคำแนะนำและคำปรึกษาจากท่าน รศ.ดร. โยชิน เปรมปราณีรัตน์ และท่าน รศ.ดร. จงกล งามวิวิทย์ ซึ่งทั้งสองท่านเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่าน และขอกราบขอบพระคุณอย่างสูง.

ขอขอบคุณอาจารย์ ทุกท่านที่ให้คำแนะนำ จนผลงานวิจัยนี้เสร็จสมบูรณ์

ขอขอบคุณศูนย์เทคโนโลยีและทดสอบผลิตภัณฑ์อุปกรณ์ไฟฟ้าและอิเล็กทรอนิกส์ (PTEC) ที่อำนวยความสะดวกสถานที่ของการทำวิจัยนี้จนเสร็จสมบูรณ์

ขอขอบคุณบิดา-มารดา และครอบครัวของผู้วิจัย รวมถึงเพื่อนๆ ทุกท่านที่ให้กำลังใจมาโดยตลอด คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์นี้ ผู้วิจัยขอมอบแด่ผู้มีพระคุณทุกท่าน.

ธนา พรวิศณุกุล



# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมติฐานของการศึกษา.....	2
1.4 ขอบเขตของการวิจัย.....	2
1.5 ขั้นตอนการศึกษา.....	2
บทที่ 2 วงจรตรวจจับเฟส.....	3
2.1 บทนำ.....	3
2.2 คุณสมบัติของวงจรตรวจจับเฟส.....	3
2.3 วงจรตรวจจับเฟสที่ให้คุณสมบัติของวงจรเป็นรูปชายน้.....	5
2.4 วงจรตรวจจับเฟสที่ให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยม.....	8
2.4.1 วงจรตรวจจับเฟสแบบเอ็กซ์คูซิฟ-ออร์เกท.....	10
2.4.2 วงจรตรวจจับเฟสที่มีสถานะการทำงานเป็นสาม-สเตท.....	13
บทที่ 3 การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่.....	17
3.1 บทนำ.....	17
3.2 วงจรชิฟต์รีจิสเตอร์แบบสองทิศทางกับการทำงานเป็นวงจรตรวจจับเฟส..	18
3.3 การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ ด้วยวงจรไซเคิลสลิปดีเทคเตอร์.....	19
3.4 การออกแบบและทดสอบวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วยโปรแกรม PSpice.....	23

# สารบัญ (ต่อ)

หน้า

บทที่ 4 การออกแบบวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตท ด้วยไมโครคอนโทรลเลอร์ MCS-51.....	31
4.1 ไมโครคอนโทรลเลอร์ MCS-51 กับการทำงานเป็น วงจรตรวจจับเฟสและความถี่.....	31
4.1.1 แมชชีนไซเกิ้ลของไมโครคอนโทรลเลอร์.....	33
4.1.2 การเลือกรีจิสเตอร์ที่ใช้ควบคุมการทำงาน.....	34
4.1.3 วงจรไทม์เมอร์/เคาน์เตอร์กับรีจิสเตอร์ที่ใช้ควบคุมการทำงาน...	35
4.1.4 การกำหนดใช้งานไทม์เมอร์ 0 และไทม์เมอร์ 1 ใน MCS-51.....	41
4.1.5 การร้องขออินเทอร์รัปต์กับรีจิสเตอร์ ที่ใช้ควบคุมการทำงาน.....	43
4.2 การออกแบบวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วยไมโครคอนโทรลเลอร์.....	46
4.2.1 ขั้นตอนการออกแบบวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วย 8031.....	46
4.2.2 การกำหนดหน้าที่ใช้งานของไทม์เมอร์/เคาน์เตอร์ เป็นตัวตรวจจับสัญญาณพัลส์อินพุต.....	48
4.2.3 การกำหนดช่วงความถี่จากเวลาในการตอบสนองสัญญาณ การร้องขออินเทอร์รัปต์.....	49
4.2.4 การแก้ปัญหาการตรวจจับสัญญาณอินพุตที่เกิดขึ้นพร้อมกัน และการกำหนดลำดับความสำคัญของการอินเทอร์รัปต์ ด้วยซอฟต์แวร์.....	54
บทที่ 5 การทดสอบและผลการทดสอบ.....	56
5.1 การทำงานของเครื่องต้นแบบ ของวงจรตรวจจับเฟสและความถี่ แบบ 6-สเตท.....	57
5.2 การทดสอบผลโดยการซิมูเลทด้วย โปรแกรม PSpice.....	60

## สารบัญ (ต่อ)

	หน้า
5.3 การทดสอบและเปรียบเทียบผลของวงจรถวายไฟและความถี่ แบบ 6-สเตจ ด้วยการทำงานของไมโครคอนโทรลเลอร์กับ วงจรถวายไฟและความถี่ MC4044.....	66
5.4 สรุปผลการทดสอบ.....	75
บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ.....	78
เอกสารอ้างอิง .....	82
ภาคผนวก ก.....	83
ภาคผนวก ข.....	84
ประวัติผู้เขียน.....	96

# สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงตารางค่าความจริงของการคูณ.....	13
2.2 แสดงตารางค่าความจริงของเอ็กซ์คลูซีฟ-ออร์เกท.....	13
4.1 แสดงโหมตการทำงานของไทม์เมอร์/เคาน์เตอร์.....	40
4.2 แสดงค่าในรีจิสเตอร์ TMOD ของไทม์เมอร์0 เป็นตัวนับสัญญาณนาฬิกา.....	42
4.3 แสดงค่าในรีจิสเตอร์ TMOD ของไทม์เมอร์0 เป็นตัวนับสัญญาณภายนอก.....	42
4.4 แสดงค่าในรีจิสเตอร์ TMOD ของไทม์เมอร์1 เป็นตัวนับสัญญาณนาฬิกา.....	42
4.5 แสดงค่าในรีจิสเตอร์ TMOD ของไทม์เมอร์1 เป็นตัวนับสัญญาณภายนอก.....	43



# สารบัญรูป

รูปที่	หน้า
2.1 กราฟคุณสมบัติของวงจรตรวจจับเฟสและเส้นทางของสัญญาณ.....	4
2.2 วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปคลื่นซายน์.....	6
2.3 วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม.....	9
2.4 วงจรตรวจจับเฟสแบบเอ็กซ์คูซิฟ-ออร์เกท.....	10
2.5 กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซ์คูซิฟ-ออร์เกท.....	12
2.6 วงจรตรวจจับเฟสและความถี่แบบสาม-สเตท.....	14
2.7 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท.....	15
3.1 แสดงบล็อกไดอะแกรมการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่..	18
3.2 วงจรซิงค์รีจิสเตอร์แบบสองทิศทาง 2-สถานะ ซึ่งให้ช่วงคุณสมบัติของวงจร เท่ากับ $\pm 2\pi$ เรเดียน เช่นเดียวกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท.....	19
3.3 วงจรตรวจจับเฟสและความถี่แบบสาม-สเตท กับการเปลี่ยนสถานะของสเตท ซึ่งถูกนำมาใช้ร่วมการออกแบบเป็นวงจรตรวจจับเฟสและความถี่ ที่มีสถานะการทำงานเป็น 6-สเตท.....	20
3.4 วงจรไซเคิลสลิปดีเทคเตอร์กับการสร้างสัญญาณควบคุมการสลิป.....	21
3.5 การออกแบบวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตท.....	24
3.6 สัญญาณเอาท์พุทเมื่อวงจรทำงานเป็นตัวตรวจจับความถี่ที่ $f_R > f_V$ และ กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท.....	25
3.7 วงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ที่ใช้ในการซิมูเลท ด้วยโปรแกรม Pspice.....	30
4.1 โครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS-51 .....	32
4.2 แมชชีนไซเคิลของไมโครคอนโทรลเลอร์ MCS-51.....	33
4.3 ตำแหน่งของหน่วยความจำข้อมูลภายในที่ใช้สำหรับรีจิสเตอร์ฟังก์ชันพิเศษ.....	34
4.4 ไดอะแกรมควบคุมการทำงานของทไมเมอร์/เคาน์เตอร์.....	35
4.5 รีจิสเตอร์ควบคุมการทำงานของทไมเมอร์/เคาน์เตอร์ หรือ TCON.....	36
4.6 รีจิสเตอร์เลือกโหมดการทำงานของทไมเมอร์/เคาน์เตอร์ หรือ TMOD.....	38
4.7 โหมดการทำงานต่างๆ ของทไมเมอร์/เคาน์เตอร์.....	41
4.8 รีจิสเตอร์อินทิเกรตอินเตอร์รัปต์ หรือ IE.....	44
4.9 รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการอินเตอร์รัปต์ หรือ IP.....	45

## สารบัญรูป (ต่อ)

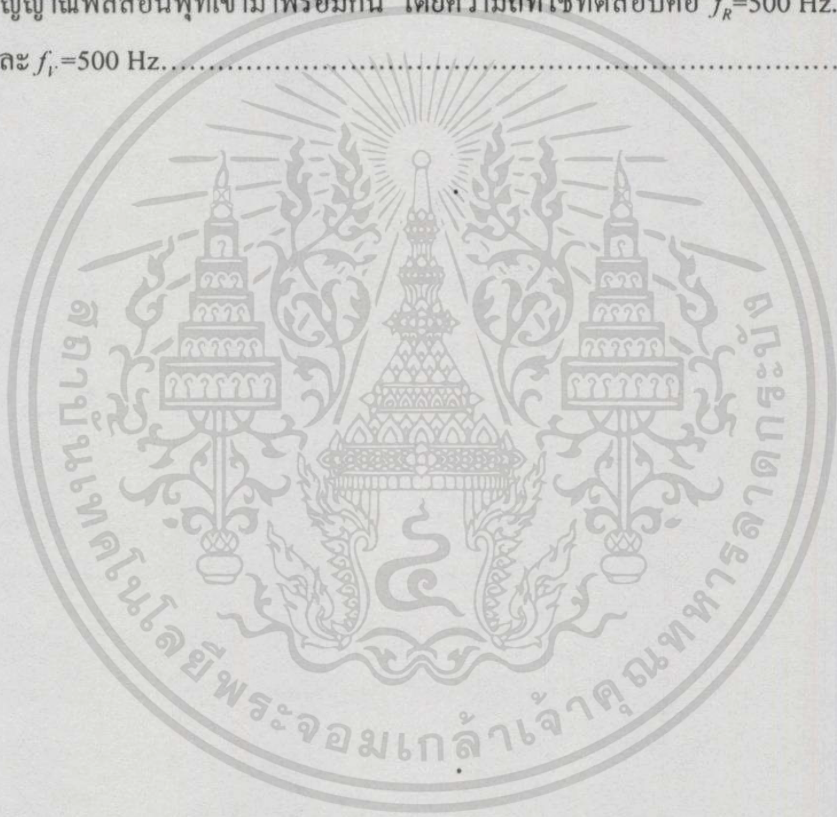
รูปที่	หน้า
4.10	46
4.11	47
4.12	49
4.13	50
4.14	52
4.15	53
4.16	55
5.1	56
5.2	57
5.3	58
5.4	59
5.5	60
5.6	62
5.7	63
5.8	64

## สารบัญรูป (ต่อ)

รูปที่	หน้า
5.9 แสดงผลการทดสอบของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท เมื่อทำงานเป็นตัวตรวจจับความถี่โดยการซิมมูลเตด้วยโปรแกรม PSpice ซึ่งสัญญาณอินพุตอ้างอิงมีความถี่เท่ากับ $f_R=550$ Hz. และสัญญาณอินพุตที่ต้องการเปรียบเทียบกับมีความถี่เท่ากับ $f_V=500$ Hz.....	65
5.10 แสดงผลการทดสอบจากการหารความถี่ของสัญญาณอินพุตที่ต้องการเปรียบเทียบกับ ( $f_V/2$ ) เพื่อทำให้เกิดการเพิ่มสถานะของสเตทที่เอาท์พุทจากไซเคิลสลิปของสัญญาณอินพุตอ้างอิงซึ่งมีความถี่เท่ากับสัญญาณอินพุตที่ต้องการเปรียบเทียบกับและมีช่วงเฟสต่างกันอยู่ $\pi/2$ .....	65
5.11 แสดงผลการทดสอบของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท เมื่อปรากฏสัญญาณพัลส์อินพุตเข้ามาพร้อมๆ กัน โดยทดสอบที่ความถี่ $f_R=500$ Hz. และ $f_V=500$ Hz.....	66
5.12 โครงสร้างภายในของไอซีสำเร็จรูป MC4044 ที่ใช้เป็นมาตรฐานเพื่อการทดสอบ.....	67
5.13 วงจรตรวจจับเฟสและความถี่ MC4044 ที่ใช้เป็นมาตรฐานของการเปรียบเทียบผล.....	68
5.14 แสดงวงจรที่ใช้ทดสอบการขยายสถานะของสเตท โดยการหารความถี่ของสัญญาณพัลส์อินพุตที่ต้องการเปรียบเทียบ ( $v_0$ ) ซึ่งจะให้เกิดไซเคิลสลิปจากสัญญาณพัลส์อินพุตอ้างอิง ( $v_1$ ) เมื่อความถี่ของสัญญาณอินพุตที่เข้ามามีค่าเท่ากัน ( $f_R = f_V$ ).....	69
5.15 แสดงการเปรียบเทียบผลจากการวัดสัญญาณทางเอาท์พุทของ MC4044 กับวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท เมื่อทำงานเป็นตัวตรวจจับเฟส โดยที่เฟสของอินพุตอ้างอิงตามหลังเฟสของอินพุตที่ต้องการเปรียบเทียบ ซึ่งทดสอบที่ความถี่ $f_R = f_V$ ที่ 500 Hz.....	70
5.16 แสดงผลการทดสอบ จากการวัดสัญญาณทางเอาท์พุทของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ไอซี MC4044 เมื่อทำงานเป็นตัวตรวจจับความถี่.....	71
5.17 แสดงผลการทดสอบจากการวัดสัญญาณทางเอาท์พุทของเครื่องต้นแบบ ที่สร้างขึ้นเป็นวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท เมื่อทำงานเป็นตัวตรวจจับความถี่ ( $f_R > f_V$ ).....	72

## สารบัญรูป (ต่อ)

รูปที่	หน้า	
5.18	แสดงผลการทดสอบจากการหารความถี่ของสัญญาณอินพุตที่ต้องการเปรียบเทียบ ( $f_c/2$ ) เพื่อทำให้เกิดการเพิ่มสถานะของสเตรทที่เอาท์พุท จาก ไซเคิลสลิปของสัญญาณอินพุตอ้างอิงซึ่งมีความถี่เท่ากับสัญญาณอินพุตที่ต้องการเปรียบเทียบและมีช่วงเฟสต่างกันอยู่ $\pi/2$ .....	73
5.19	แสดงผลเปรียบเทียบการทดสอบของวงจรตรวจจับเฟสและความถี่ เมื่อปรากฏสัญญาณพัลส์อินพุตเข้ามาพร้อมกัน โดยความถี่ที่ใช้ทดสอบคือ $f_r=500$ Hz. และ $f_c=500$ Hz.....	74



# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรตรวจจับเฟสเป็นวงจรที่มีความสำคัญอย่างมากในงานของระบบควบคุม เช่น การใช้งานวงจรตรวจจับเฟสเป็นตัวควบคุมระบบของเฟสล็อกกลุ๊ป ซึ่งวงจรมันจะทำหน้าที่ในการเปรียบเทียบเฟสระหว่างเฟสของสัญญาณอินพุตอ้างอิงกับเฟสของสัญญาณอินพุตที่ต้องการจะเปรียบเทียบ โดยจะสร้างแรงดันเอาท์พุทที่จะถูกนำไปใช้ควบคุมการทำงานของระบบเป็นสัดส่วนกับค่าของความต่างเฟสนี้ ซึ่งปัจจุบันพบว่าวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท หรือวงจร 3-state PFD นั้นจะให้ช่วงคุณสมบัติที่เป็นเชิงเส้นของวงจรมีได้กว้างที่สุดถึง  $\pm 2\pi$  เรเดียน และยังสามารถทำงานเป็นทั้งตัวตรวจจับเฟสและตัวตรวจจับความถี่ได้อีกด้วย แต่ถึงอย่างไรก็ตามยังไม่มียุติการใดที่จะมาทำให้สถานะของเอาท์พุทสเตทและช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทนี้ขยายต่อออกไปได้ วิทยานิพนธ์นี้ได้นำเสนอการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ให้กว้างออกไป โดยการเพิ่มจำนวนสถานะของสเตทการทำงานให้สูงขึ้นจากสาม-สเตทเดิมที่มีอยู่ ด้วยการตรวจจับสัญญาณไซเคิลสลิป (Cycle Slip) ที่จะปรากฏเมื่อช่วงของการเปรียบเทียบความต่างเฟส ( $\theta_n$ ) มีค่ามากกว่า  $2\pi$  เรเดียน จากการทำงานเป็นตัวตรวจจับความถี่ในวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทซึ่งวงจรมันไม่สามารถเปลี่ยนสถานะของสเตทต่อไปได้อีก และผลจากการตรวจจับสัญญาณไซเคิลสลิปนี้จะทำให้ได้มาซึ่งช่วงคุณสมบัติของวงจรตรวจจับเฟสที่กว้างขึ้นตามต้องการ และเพื่อเป็นการยืนยันถึงแนวความคิดดังกล่าวจึงได้มีการออกแบบวงจรตรวจจับเฟสและความถี่แบบดิจิทัลที่มีการเปลี่ยนสถานะของสเตทการทำงานเป็น 6-สเตท หรือวงจร 6-state PFD โดยจะให้ช่วงคุณสมบัติที่เป็นเชิงเส้นของวงจรมีได้ถึง  $\pm 5\pi$  เรเดียน เมื่อวงจรมันเป็นตัวตรวจจับความถี่ด้วยไมโครคอนโทรลเลอร์ MCS-51 ซึ่งจะนำถูกมาทดสอบและเปรียบเทียบผลการทำงานกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท เบอร์ MC4044 ที่เป็นชิพไอซีสำเร็จรูปของบริษัทโมโตโลลาร์ที่นิยมใช้กันในงานของระบบเฟสล็อกกลุ๊ป และจะเปรียบเทียบกับผลจากการซิมูเลทของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ที่สร้างขึ้นด้วยโปรแกรมเลียนแบบวงจร PSpice.

### 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

- 1.2.1 ต้องการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสให้กว้างขึ้นโดยไม่มีการลดทอนความถี่ของสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 1.2.2 วงจรจะสามารถตรวจจับสัญญาณอินพุตที่เกิดขึ้นพร้อมกันได้โดยไม่มีการสูญเสียสัญญาณอินพุตใดอินพุตหนึ่งไปซึ่งเป็นสาเหตุทำให้เกิดการทำงานที่ผิดพลาด
- 1.2.3 สามารถนำเอาไมโครคอนโทรลเลอร์ MCS-51 มาควบคุมการทำงานให้เป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะของสเตทและช่วงคุณสมบัติของวงจรที่กว้างขึ้น และยังสามารถขยายสถานะของสเตทต่อออกไปได้อีกเป็นหลายๆ สเตทซึ่งจะทำได้ง่ายเพราะเป็นการควบคุมการทำงานโดยซอฟต์แวร์

### 1.3 สมมติฐานของการศึกษา

การเพิ่มสถานะของเอาต์พุตสเตทในวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท จากเดิมที่มีอยู่แล้วเพียงสาม-สเตท จะทำให้ช่วงคุณสมบัติที่เป็นเชิงเส้นของวงจรตรวจจับเฟสจาก  $\pm 2\pi$  เรเดียน นั้นถูกขยายต่อออกไปได้

### 1.4 ขอบเขตของการวิจัย

ศึกษาถึง แนวความคิดของการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสด้วยการเพิ่มจำนวนสถานะของสเตท แล้วจึงทำการออกแบบและทดสอบวงจรโดยสร้างเป็นวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท และวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วยการซิมูเลทของโปรแกรมเลียนแบบวงจร PSpice จากนั้นนำเอาไมโครคอนโทรลเลอร์มาประยุกต์ใช้งานโดยควบคุมการทำงานด้วยซอฟต์แวร์ที่เขียนขึ้นตาม โครงสร้างสเตทโคออร์เดเนทของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ทดสอบการทำงานของวงจรที่สร้างขึ้นมาเป็นเครื่องต้นแบบและนำไปเปรียบเทียบกับวงจรตรวจจับเฟสและความถี่ MC4044 ซึ่งเป็นชิพไอซีสำเร็จรูปที่จะถูกนำมาใช้เป็นมาตรฐานของการทดสอบนี้ และนำไปเปรียบเทียบกับผลที่ได้จากการซิมูเลท.

### 1.5 ขั้นตอนการศึกษา

1. ศึกษาการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟส โดยสร้างเป็นวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วยโปรแกรมเลียนแบบวงจร PSpice และเปรียบเทียบกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท เดิมที่ใช้อยู่
2. ออกแบบวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตท ด้วยไมโครคอนโทรลเลอร์ MSC-51 เบอร์ 8031
3. นำวงจรที่ได้รับการออกแบบด้วยไมโครคอนโทรลเลอร์ไปเปรียบเทียบกับผลของวงจรตรวจจับเฟสและความถี่ MC4044 ที่เป็นไอซีสำเร็จรูป
4. สรุปผลการวิจัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

# วงจรตรวจจับเฟส

### 2.1 บทนำ

หน้าที่ของวงจรตรวจจับเฟสนั้นก็คือการสร้างแรงดันเอาต์พุต ( $v_o$ ) ที่เป็นสัดส่วนกับค่าความต่างเฟส (Phase Difference,  $\theta_o$ ) ระหว่างเฟสของสัญญาณอินพุตอ้างอิง ( $v_i$ ) กับเฟสของสัญญาณอินพุตที่ต้องการจะเปรียบเทียบ ( $v_d$ ) ซึ่งหลักการของวงจรตรวจจับเฟสเกือบทั้งหมดนั้นจะมีลักษณะเหมือนกับเป็นฟังก์ชันของการคูณทั้งที่เป็นแบบอนาล็อกและแบบดิจิทัล วงจรตรวจจับเฟสที่ใช้ในงานทั่วไปโดยส่วนใหญ่แล้วมักถูกทำให้อยู่ในไอซีสำเร็จรูป เช่น MC4044 ซึ่งเป็นวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท (3-state Phase/Frequency Detector) ของบริษัท โมโตโลลาร์ และจะเป็นวงจรที่ถูกนำมาใช้เป็นมาตรฐานเพื่อเปรียบเทียบกับงานของวิทยานิพนธ์นี้ สำหรับเนื้อหาในบทนี้จะกล่าวถึงคุณสมบัติของวงจรตรวจจับเฟส (Phase Detector Characteristic) ที่แสดงอยู่ในรูปของความสัมพันธ์ระหว่างค่าเฉลี่ยแรงดันเอาต์พุตของวงจรตรวจจับเฟส  $\bar{V}_o$  กับค่าความคลาดเคลื่อนเฟส  $\theta_o$ , หลักการเบื้องต้นของวงจรตรวจจับเฟส รวมถึงโครงสร้างการทำงานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทที่ให้คุณสมบัติช่วงเชิงเส้นได้ไม่เกิน  $\pm 2\pi$  เรเดียน ซึ่งจะเป็แนวทางของการพัฒนาเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะของสเตทการทำงานเป็น 6-สเตท ส่งผลให้วงจรที่ได้มีช่วงคุณสมบัติกว้างขึ้นตามต้องการ.

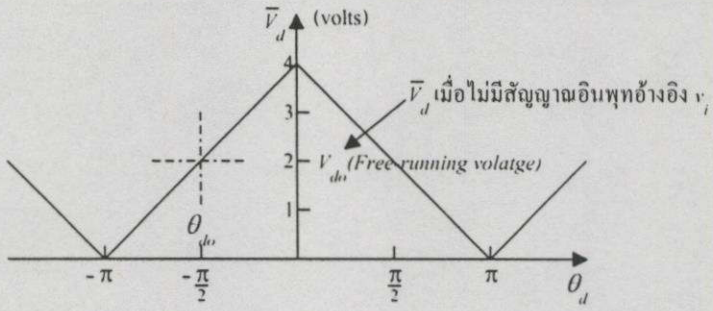
### 2.2 คุณสมบัติของวงจรตรวจจับเฟส

ถ้า  $\theta_o$  คือค่าความต่างเฟสระหว่างเฟสของสัญญาณอินพุตอ้างอิง ( $\theta_i$ ) กับเฟสของสัญญาณอินพุตที่ต้องการจะเปรียบเทียบ ( $\theta_d$ ) วงจรตรวจจับเฟสจะสร้างแรงดันเอาต์พุตที่เป็นสัดส่วนกับค่าของ  $\theta_o$  นี้ดังในรูปที่ 2.1 (ก) ซึ่งเป็นกราฟที่ใช้แสดงความสัมพันธ์ระหว่างค่าเฉลี่ย ( $\bar{V}_o$ ) ของแรงดันเอาต์พุต  $v_o$  เทียบกับค่าความต่างเฟส  $\theta_o$  โดยจะมีลักษณะเป็นช่วงๆ ของเชิงเส้นและเกิดซ้ำกันในทุกๆ  $2\pi$  เรเดียน ซึ่งในสภาวะที่ไม่มีสัญญาณอินพุตอ้างอิง  $v_i$  เข้ามานั้น วงจรตรวจจับเฟสจะสร้างแรงดันขึ้นมาก่าหนึ่งเรียกว่า ฟรี-รันนิ่ง โวลท์ เตจ (Free-Running Voltage,  $V_{FR}$ ) ที่ค่าของความต่างเฟส  $\theta_o$  ซึ่งในกรณีนี้ค่าฟรี-รันนิ่ง โวลท์ เตจจะมีค่า  $V_{FR}$  เท่ากับ  $2$  โวลท์ ที่ค่าความต่างเฟส  $\theta_o$  เท่ากับ  $-\pi/2$  เรเดียน แต่เนื่องจากในการวิเคราะห์และบ่งบอกคุณสมบัติของวงจรตรวจจับเฟสที่ใช้กันอยู่นั้น โดยทั่วไปแล้วมักจะแสดงในรูปความสัมพันธ์ระหว่างค่าเฉลี่ยของแรงดันเอาต์พุต  $v_o$  เทียบกับค่าความคลาดเคลื่อนเฟส (Phase Error,  $\theta_o$ ) ซึ่งได้จากการเลื่อนค่าความต่างเฟส  $\theta_o$  ของรูปที่ 2.1 (ก) ออกไปจนทำให้เกิดค่าความคลาดเคลื่อนเฟสเป็นศูนย์ที่ค่าฟรี-รันนิ่ง โวลท์ เตจดังรูปที่ 2.1 (ข) ดังนั้นจึงนิยามค่า

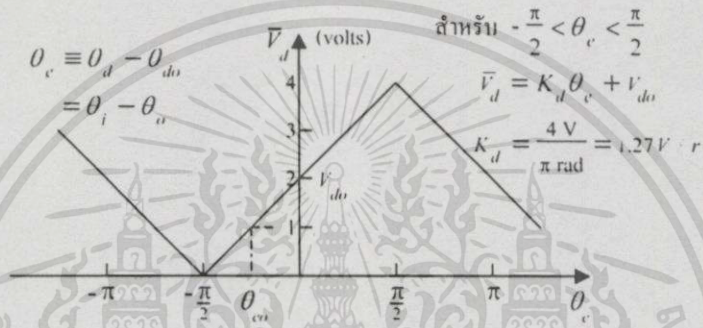
ความคลาดเคลื่อนเฟส  $\theta_o$  ได้จากสมการที่ (2.1) คือ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

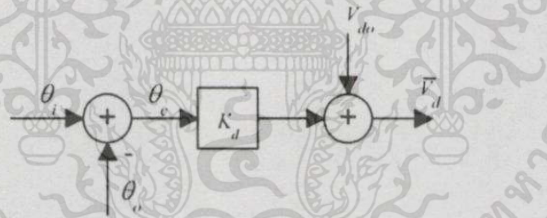
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

**รูปที่ 2.1** กราฟคุณสมบัติของวงจรถวายไฟเฟสและเส้นทางของสัญญาณ

- (ก) กราฟแสดงความสัมพันธ์ระหว่างค่า  $\bar{v}_d$  เทียบกับค่า  $\theta_d$
- (ข) กราฟแสดงคุณสมบัติของวงจรถวายไฟเฟส
- (ค) เส้นทางของสัญญาณ

$$\theta_c \equiv \theta_d - \theta_{d0} \tag{2.1}$$

และด้วยผลจากการเลื่อนค่าความต่างเฟส  $\theta_d$  นี้ซึ่งโดยปกติแล้วที่ค่า  $\theta_c$  เท่ากับศูนย์ไม่ได้ทำให้เฟสของสัญญาณอินพุตอ้างอิง  $v_i$  กับเฟสของสัญญาณอินพุตที่ต้องจะเปรียบเทียบ  $v_c$  ตรงกัน แต่เพื่อเหตุเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของการวิเคราะห์ห้วงจรการเทียบกับค่าความคลาดเคลื่อนเฟสที่มีค่าเป็นศูนย์จะเป็นการง่ายและสะดวกที่สุด ดังนั้นจากเงื่อนไขที่ใช้กันนี้จึงสามารถกำหนดเฟสสัญญาณอินพุตอ้างอิง ( $\theta$ ) และเฟสสัญญาณอินพุตที่ต้องการเปรียบเทียบ ( $\theta_c$ ) ได้ดังสมการที่ (2.2)

$$\theta_c = \theta_i - \theta_o \quad (2.2)$$

และเมื่อนำค่าเฉลี่ย  $\bar{v}_d$  ที่ผ่านวงจรกรองความถี่ต่ำของแรงดันเอาต์พุต  $v_d$  มาพล็อตเทียบกับค่าความคลาดเคลื่อนเฟส  $\theta_c$  ก็จะทำได้กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสดังในรูปที่ 2.1 (ข) ซึ่งมีนิยามก็คือที่ค่าเฟสรั้น-นิ่ง โวลต์เตจนั้นจะเกิดค่าความคลาดเคลื่อนเฟสเท่ากับศูนย์ ในช่วงที่เป็นเชิงเส้นของ  $-\frac{\pi}{2} \leq \theta_c \leq \frac{\pi}{2}$  นี้วงจรตรวจจับเฟสจะให้ค่าความชัน ( $K_d$ ) ที่คงที่ซึ่งสามารถหาค่าความชันนี้ได้จากอนุพันธ์ของแรงดันเฉลี่ยเอาต์พุต  $\bar{v}_d$  เทียบกับค่าความคลาดเคลื่อนเฟส  $\theta_c$  ดังสมการที่ (2.3)

$$K_d \equiv \frac{d(\bar{v}_d)}{d(\theta_c)} \quad (2.3)$$

และในกรณีของรูปที่ 2.1 (ข) นี้จะให้ค่า  $K_d = 4$  โวลต์/ $\pi$  เรเดียน หรือเท่ากับ 1.27 V/rad. ดังนั้นจากกราฟคุณสมบัติของวงจรตรวจจับเฟสเมื่อนำมาเขียนให้อยู่ในรูปทั่วไปด้วยสมการทางคณิตศาสตร์ในช่วงที่เป็นเชิงเส้นก็จะได้

$$\bar{v}_d = K_d \theta_c + V_{do} \quad (2.4)$$

โดยที่  $\bar{v}_d$  คือค่าเฉลี่ยของแรงดันเอาต์พุต มีหน่วยเป็นโวลต์

$K_d$  คืออัตราขยายของวงจรตรวจจับเฟส (PD Gain) มีหน่วยเป็นโวลต์/เรเดียน

$\theta_c$  คือค่าความคลาดเคลื่อนเฟส มีหน่วยเป็นเรเดียน

$V_{do}$  คือค่าแรงดันเฟสรั้น-นิ่งของวงจรตรวจจับเฟส มีหน่วยเป็นโวลต์

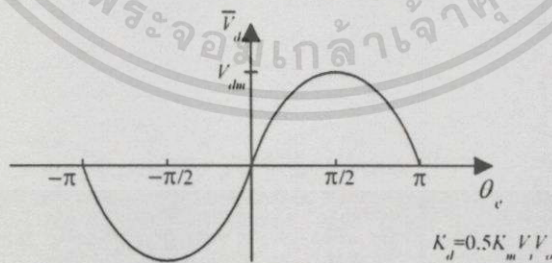
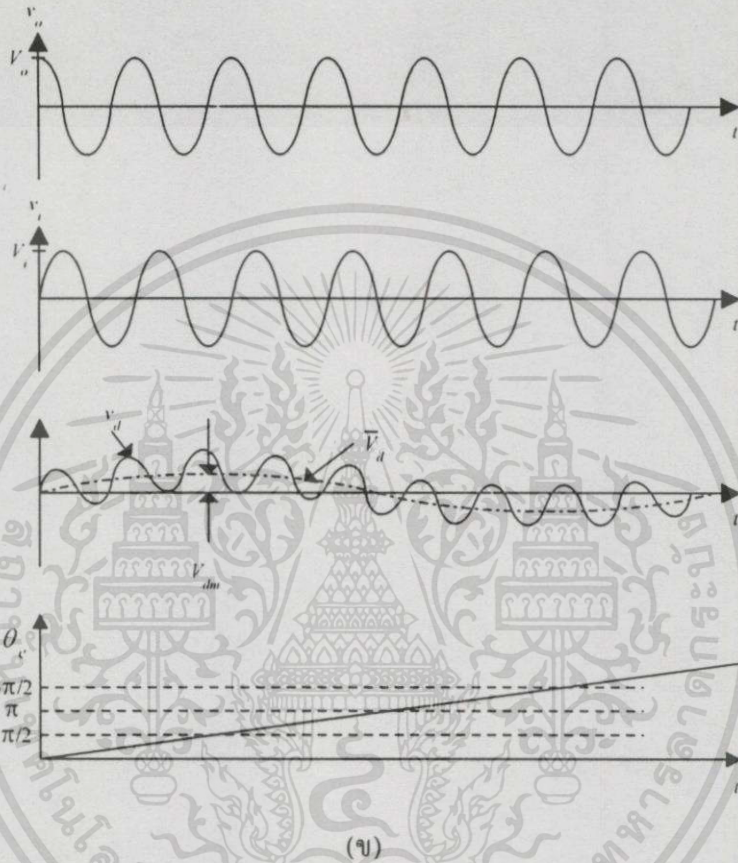
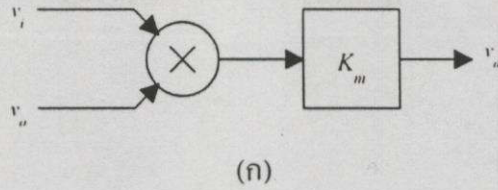
ซึ่งสามารถแทนสมการที่ (2.4) ได้ด้วยเส้นทางของสัญญาณ (Signal Flow Graph) ดังในรูปที่ 2.1 (ค)

### 2.3 วงจรตรวจจับเฟสที่ให้คุณสมบัติของวงจรเป็นรูปชายน

พื้นฐานวงจรตรวจจับเฟสนั้นจะมีการทำงานเหมือนกับเป็นตัวคูณระหว่างสองสัญญาณอินพุต

ตามเอกลักษณ์ทางตรีโกณมิติของสมการที่ (2.5) ซึ่งก็คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีคำนำนำไปใช้



## รูปที่ 2.2 วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปคลื่นชานน์

(ก) เส้นทางของสัญญาณ

(ข) สัญญาณเอาต์พุต  $v_d$  เมื่อ  $\theta_c$  มีค่าค่อยๆ เพิ่มขึ้นเป็นไปอย่างเชิงเส้นเทียบกับเวลา  $t$

(ค) กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบรูปคลื่นชานน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\sin(A)\cos(B) \equiv 0.5\sin(A - B) + 0.5\sin(A + B) \quad (2.5)$$

จากสมการที่ (2.5) ถ้ากำหนดให้สองสัญญาณอินพุตที่จะถูกนำมาคูณมีค่าเป็น

$$v_i = V_i \sin(\omega_i t) \quad (2.6 \text{ ก.})$$

$$v_o = V_o \cos(\omega_i t - \theta_c) \quad (2.6 \text{ ข.})$$

ดังนั้นเอาต์พุตที่ได้หลังจากทำฟังก์ชันของการคูณก็คือ

$$v_d = K_m v_i v_o \quad (2.7)$$

โดยที่  $K_m$  คือค่าสัมประสิทธิ์ของการคูณ ซึ่งสามารถแสดงเป็นเส้นทางของสัญญาณได้ดังในรูปที่ 2.2 (ก) และเมื่อแทนค่าสมการที่ (2.5), (2.6) และ (2.7) ก็จะทำให้ได้เอาต์พุตที่อยู่ในรูปของฟังก์ชันทางตรีโกณมิติดังสมการที่ (2.8)

$$v_d = 0.5K_m V_i V_o \sin(\theta_c) + 0.5K_m V_i V_o \sin(2\omega_i t - \theta_c) \quad (2.8)$$

สังเกตว่าทั้งสองเทอมของสมการที่ (2.8) นั้นมีค่าชาตินี้เป็นองค์ประกอบด้วยกันทั้งคู่ และเนื่องจากเอาต์พุตของวงจรตรวจจับเฟสจะให้ค่าคงที่ๆ ค่า  $\theta_c$  ใดๆ ตามสมการที่ (2.4) แต่ในเทอมที่สองของสมการที่ (2.8) นั้นจะแปรเปลี่ยนไปตามค่าความถี่  $2\omega_i$  ซึ่งในการประยุกต์ใช้งานของวงจรตรวจจับเฟสค่าความถี่นี้จะเป็นค่าที่สูงพอที่จะถูกตัดออกไปได้ด้วยวงจรกรองความถี่ต่ำผ่าน ดังนั้นเทอมแรกของสมการที่ (2.8) จึงถูกพิจารณาว่าเป็นเอาต์พุต ( $\bar{v}_d$ ) ของวงจรตรวจจับเฟสซึ่งก็คือ

$$\bar{v}_d = 0.5K_m V_i V_o \sin(\theta_c) \quad (2.9)$$

โดยที่ค่า  $\bar{v}_d$  นี้จะเป็นค่าเฉลี่ยของแรงดันเอาต์พุต  $v_d$  ที่ผ่านวงจรกรองความถี่มาแล้ว และจากสมการที่ (2.9) สามารถเขียนให้อยู่ในรูปทั่วไปได้ดังสมการที่ (2.10) คือ

$$\bar{V}_d = V_{dm} \sin(\theta_c) \quad (2.10)$$

ซึ่ง  $V_{dm}$  คือค่าสูงสุดของแรงดันเฉลี่ย  $\bar{v}_d$  ที่มีค่าเท่ากับ

$$V_{dm} = 0.5K_m V_i V_o \quad (2.11)$$

ในรูปที่ 2.2 (ข) แสดงการพล็อตแรงดันเอาต์พุต  $v_d$  เมื่อค่า  $\theta_c$  เพิ่มขึ้นเป็นไปอย่างเชิงเส้นเทียบกับเวลา ขณะที่รูป 2.2 (ค) จะเป็นกราฟแสดงคุณสมบัติแบบซายน์นูโซดัลของวงจรตรวจจับเฟส (Sinusoidal Phase Detector Characteristic) ที่มีการทำงานเป็นเหมือนตัวคูณซึ่งได้จากสมการที่ (2.10) โดยค่า  $\theta_c$  ที่มีค่าน้อยๆ นั้นจะทำให้ค่าประมาณของ  $\sin(\theta_c) \approx \theta_c$  ดังนั้น

$$\bar{V}_d \approx 0.5K_m V_i V_o \theta_c \quad (2.12)$$

และเมื่อเปรียบเทียบกับสมการที่ (2.4) กับสมการที่ (2.12) ก็จะได้ค่าอัตราขยายของวงจรตรวจจับเฟสที่  $\theta_c$  มีค่าน้อยๆ ดังสมการที่ (2.13)

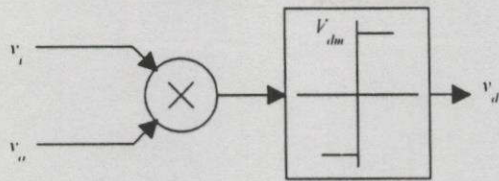
$$K_d = 0.5K_m V_i V_o \quad (2.13)$$

ซึ่งจากสมการที่ (2.13) จะเห็นว่าแอมพลิจูดของสองสัญญาณอินพุตนั้นมีผลต่ออัตราขยายของวงจรตัวอย่างของวงจรตรวจจับเฟสที่มีการทำงานเหมือนกับเป็นตัวคูณระหว่างสองสัญญาณและให้คุณสมบัติของวงจรเป็นรูปซายน์นูโซดัลได้แก่ วงจร Gilbert Multiplier[1] และวงจร Double-Balanced Multiplier[2] เป็นต้น

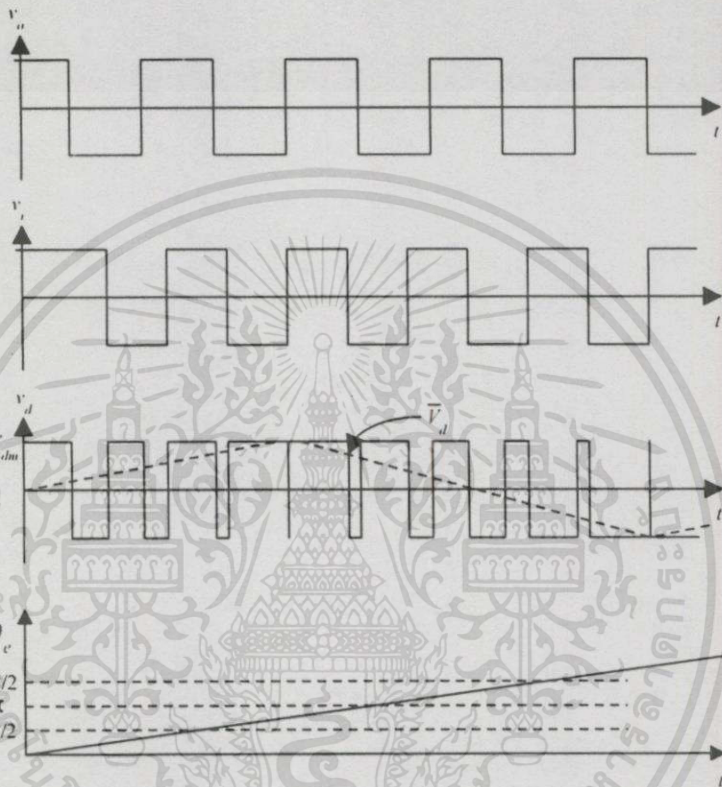
## 2.4 วงจรตรวจจับเฟสที่ให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยม

ในรูปที่ 2.3 (ก) นั้นแสดงเส้นทางของสัญญาณแบบตัวคูณของวงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม (Triangular Phase Detector Characteristic) โดยเงื่อนไขของการเกิดโอเวอร์ไดรฟ์ด้วยการตัดระดับสัญญาณที่เอาต์พุต ซึ่งจะเป็นเหตุให้แรงดันเอาต์พุต  $v_d$  มีค่าเท่ากับจุดอิ่มตัว (Saturate) ที่ค่า  $\pm V_{dm}$  เมื่อปรากฏระดับสัญญาณอินพุตเข้ามา ดังนั้นวงจรตรวจจับเฟสที่ให้คุณสมบัติแบบนี้ขั้วของสัญญาณอินพุตจึงมีความสำคัญต่อการทำงานของวงจร ดังเช่นรูปที่ 2.3 (ข) ซึ่งสัญญาณอินพุต  $v_i$  และ  $v_o$  ถูกกำหนดให้เป็นสัญญาณรูปคลื่นสี่เหลี่ยมโดยผลจากเอาต์พุต  $v_d$  ที่ได้จะเป็นไปตามฟังก์ชันของการคูณและให้สัญญาณสี่เหลี่ยมที่มีค่าควิตซ์ไซ้เคล็ชของสัญญาณขึ้นอยู่กับค่าความต่างเฟสระหว่างสองสัญญาณอินพุต และเมื่อ  $\theta_c$  มีค่าเพิ่มขึ้นเป็นไปอย่างเชิงเส้นเทียบกับเวลา ค่าเฉลี่ยของแรงดันเอาต์พุต  $\bar{V}_d$  ที่ได้จากวงจรรองความถี่ก็จะมีค่าเพิ่มขึ้นและลดลงในลักษณะที่เป็นเชิงเส้นเช่นเดียวกันดังเห็นได้จากแนวของเส้นประที่จะเกิดขึ้นในรูปที่ 2.3 (ข) คุณสมบัติที่เป็นรูปสามเหลี่ยมของวงจรตรวจจับเฟสนี้ได้แสดงไว้ในรูปที่ 2.3 (ค) ซึ่งในช่วงที่เป็นเชิงเส้นของ  $-0.5\pi < \theta_c < 0.5\pi$  นั้นจะให้ค่าอัตราขยายของวงจรตรวจจับเฟสเท่ากับ

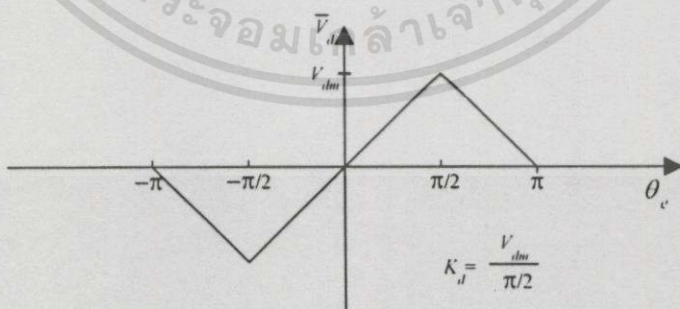
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 2.3 วงจรตรวจจับเฟสที่ให้คุณสมบัติเป็นรูปสามเหลี่ยม

(ก) เส้นทางของสัญญาณ

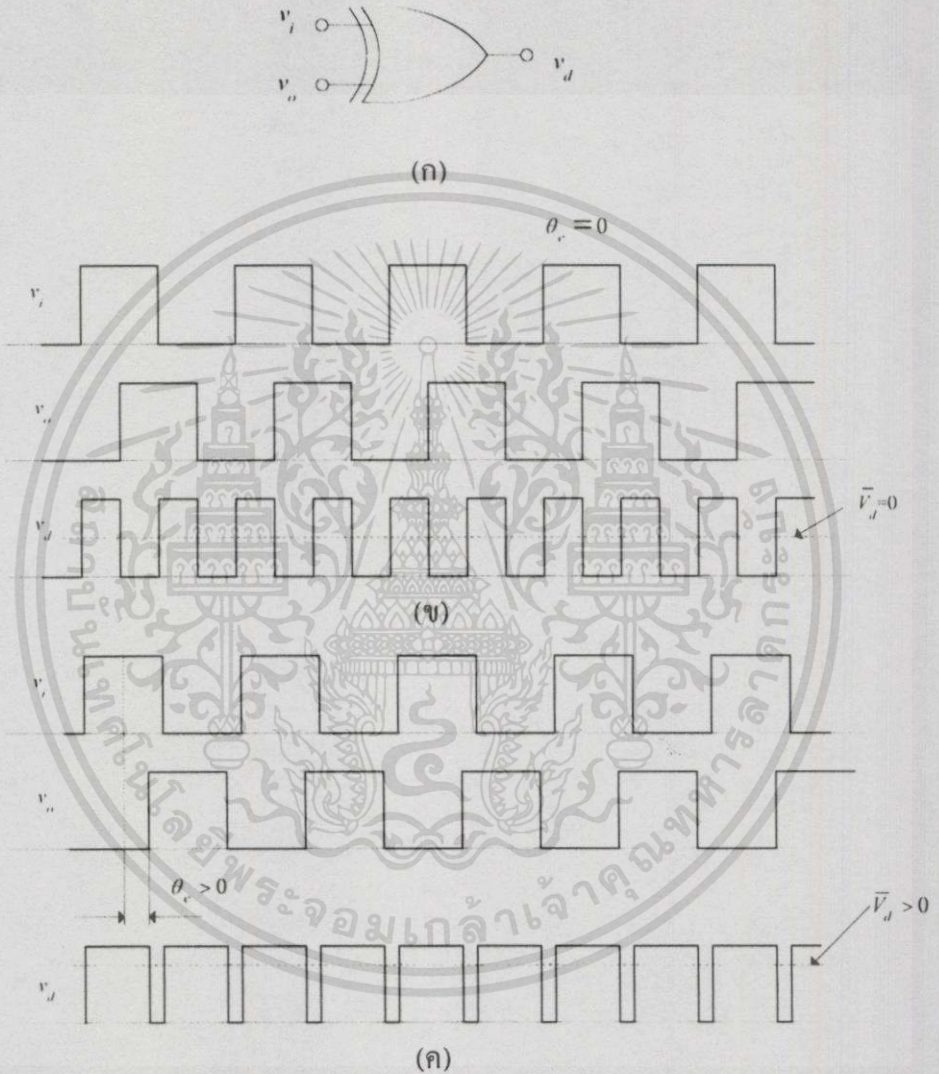
(ข) สัญญาณเอาต์พุต  $v_d$  เมื่อ  $\theta_e$  มีค่าค่อยๆ เพิ่มขึ้นเป็นไปอย่างเชิงเส้นเทียบกับเวลา  $t$

(ค) กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสเป็นรูปสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_d = \frac{V_{dm}}{\pi/2} \quad (2.14)$$

### 2.4.1 วงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟ-ออร์เกท



#### รูปที่ 2.4 วงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟ-ออร์เกท

- (ก) สัญลักษณ์เอ็กซ์คลูซีฟ-ออร์เกท ที่ใช้เป็นวงจรตรวจจับเฟส
- (ข) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเท่ากับศูนย์
- (ค) รูปสัญญาณที่ค่าความคลาดเคลื่อนเฟสเป็นบวก

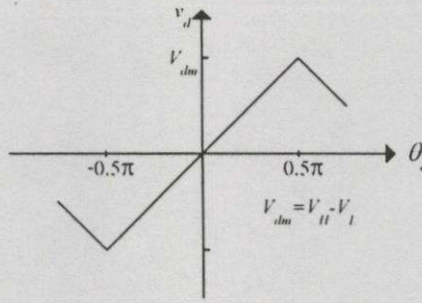
วงจรเอ็กซ์คลูซีฟ-ออร์เกทเป็นวงจรตรวจจับเฟสแบบดิจิทัลที่มีการทำงานเหมือนกับตัวคูณสัญญาณด้วยการ โอเวอร์ไดรฟ์แรงดันที่เอาท์พุทในขณะที่ปรากฏระดับของสัญญาณอินพุตเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

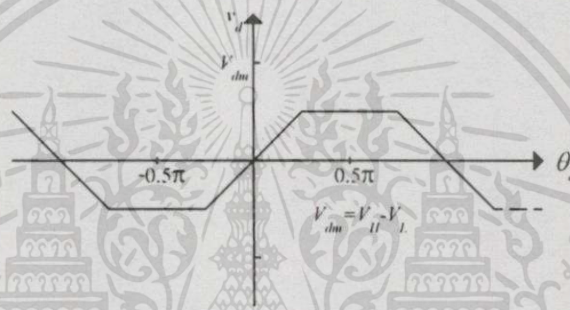
และยังให้คุณสมบัติของวงจรเป็นรูปสามเหลี่ยม โดยเอาที่พู่ที่ได้จากการคูณจะเป็นค่าอิมิตัวของแรงดันบวกซึ่งสอดคล้องกับค่าของลอจิกสูง หรือเป็นค่าอิมิตัวของแรงดันลบที่สอดคล้องกับค่าลอจิกต่ำ สำหรับเงื่อนไขของการคูณนั้นสามารถสรุปได้ดังตารางที่ 2.1 โดยเอาที่พู่  $v_i$  จะให้ค่าแรงดันอิมิตัวเป็นบวกเมื่อระดับของสัญญาณอินพุต  $v_i$  และ  $v_{ii}$  ทั้งสองสัญญาณต่างก็มีค่าเป็นลบหรือบวกด้วยกันทั้งคู่ และเอาที่พู่  $v_{ii}$  จะให้ค่าแรงดันอิมิตัวเป็นลบเมื่อระดับแรงดันอินพุตใดอินพุตหนึ่งเป็นบวกและอีกอินพุตหนึ่งเป็นลบ ดังนั้นถ้าเปรียบเทียบตารางที่ 2.1 ซึ่งเป็นตารางค่าความจริงของการคูณกับตารางที่ 2.2 ซึ่งเป็นตารางค่าความจริงของวงจรถ่ายเฟสเอ็กซ์คลูซีฟ-ออร์เกทที่มีสัญลักษณ์ดังในรูปที่ 2.4 (ก) โดยการแทนระดับแรงดันลอจิกสูง  $V_H$  ด้วยเครื่องหมาย (+) และระดับแรงดันลอจิกต่ำ  $V_L$  ด้วยเครื่องหมาย (-) แล้ว จะเห็นว่าเอ็กซ์คลูซีฟ-ออร์เกทสามารถถูกนำมาใช้เป็นวงจรตรวจจับเฟสที่ทำงานเป็นเหมือนตัวคูณสัญญาณ (ลอจิก) แบบโอเวอร์ไคร์เช่นเดียวกับรูปที่ 2.3 ได้

ในรูปที่ 2.4 ได้แสดงให้เห็นถึงเอาที่พู่ของวงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟ-ออร์เกทที่มีค่าความคลาดเคลื่อนเฟส  $\theta_c$  ต่างๆ กัน โดยจะสมมุติว่าสัญญาณอินพุต  $v_i$  และ  $v_{ii}$  ที่เข้ามานั้นมีความสมมาตรกล่าวคือมีค่าดีไซเคิลเท่ากับ 50 เปอร์เซ็นต์ ซึ่งในรูปที่ 2.4 (ข) เมื่อค่า  $\theta_c$  เท่ากับศูนย์คือสัญญาณอินพุต  $v_i$  และ  $v_{ii}$  มีค่าเฟสกันอยู่  $\pi/2$  จะทำให้สัญญาณเอาที่พู่  $v_{ii}$  ที่ได้จะเป็นสัญญาณสี่เหลี่ยมที่มีค่าความถี่เป็นสองเท่าของสัญญาณอินพุตและให้ค่าดีไซเคิลเท่ากับ 50 เปอร์เซ็นต์ เนื่องจากความถี่สูงของสัญญาณเอาที่พู่  $v_{ii}$  จะถูกกรองทิ้งไปด้วยวงจรกรองรูป ดังนั้นจึงพิจารณาเพียงแค่ว่าเฉลี่ย  $\bar{v}_{ii}$  ของ  $v_{ii}$  ตามเส้นประในรูปที่ 2.4 (ข) เท่านั้น ซึ่งค่า  $\bar{v}_{ii}$  นี้จะเป็นค่าที่คำนวณได้จากค่ากลาง (mean) ของระดับแรงดันลอจิกสูง ( $V_H$ ) และระดับแรงดันลอจิกต่ำ ( $V_L$ ) กล่าวคือ ถ้าวงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟ-ออร์เกทได้รับการจ่ายไฟจากแหล่งจ่าย 5 โวลต์ ค่า  $\bar{v}_{ii}$  ที่ได้จะมีค่าโดยประมาณ 2.5 โวลต์เท่านั้น ซึ่งระดับแรงดันที่ค่านี้เรียกว่าจุดสงบนิ่ง (Quiescent Point) ของวงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟ-ออร์เกทที่จะถูกกำหนดให้มีค่าเป็นศูนย์นับจากนี้ไป ด้วยเหตุนี้ถ้าสัญญาณอินพุต  $v_{ii}$  ถ้าหลังสัญญาณอินพุตอินพุตอ้างอิง  $v_i$  (นับจากจุดสงบนิ่ง) ค่าของ  $\theta_c$  ก็จะกลายเป็นบวกดังในรูปที่ 2.4 (ค) ค่าดีไซเคิลของ  $v_{ii}$  ที่ได้จึงมีค่ามากกว่า 50 เปอร์เซ็นต์ และเป็นผลให้  $\bar{v}_{ii}$  มีค่าเป็นบวกเพิ่มขึ้น ดังนั้นค่า  $\bar{v}_{ii}$  จะมีค่าสูงสุดที่ค่าของความคลาดเคลื่อนเฟส  $\theta_c$  เท่ากับ  $\pi/2$  และมีค่าต่ำสุดที่ค่าของความคลาดเคลื่อนเฟส  $\theta_c$  เท่ากับ  $-\pi/2$  ในรูปที่ 2.5 (ก) แสดงกราฟคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟ-ออร์เกทที่ได้จากการพล็อตค่าเฉลี่ยแรงดัน  $\bar{v}_{ii}$  เทียบกับค่าความคลาดเคลื่อนเฟส  $\theta_c$  ซึ่งจะให้ผลเป็นรูปสามเหลี่ยม และภายในช่วงที่เป็นเชิงเส้นของ  $-0.5\pi < \theta_c < 0.5\pi$  ค่าเฉลี่ย  $\bar{v}_{ii}$  นี้จะเป็นสัดส่วนโดยตรงกับค่าของ  $\theta_c$  ดังสมการที่ (2.15) คือ

$$\bar{v}_{ii} = K_d \theta_c \quad (2.15)$$



(ก)



(ข)

รูปที่ 2.5 กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสแบบเอ็กซ์คูสซีฟ-ออร์เกท

(ก) เมื่อสัญญาณอินพุต  $v_1$  และ  $v_2$  มีความสมมาตร

(ข) เมื่อสัญญาณอินพุต  $v_1$  และ  $v_2$  ไม่มีความสมมาตร เป็นผลให้  $V_{dm}$  มีการค่าลดลง

ซึ่งในกรณีของวงจรตรวจจับเฟสแบบเอ็กซ์คูสซีฟ-ออร์เกทนี้ อัตราขยายของวงจร ( $K_d$ ) จะมีค่าคงที่ และเมื่อแหล่งจ่ายที่ป้อนให้กับวงจรตรวจจับเฟสแบบเอ็กซ์คูสซีฟ-ออร์เกทคือระดับลอจิกแรงดันสูง  $V_H$  และต่ำ  $V_L$  ตามลำดับ ดังนั้นอัตราขยายของวงจรตรวจจับเฟสแบบเอ็กซ์คูสซีฟ-ออร์เกท ( $K_d$ ) ในช่วง  $-0.5\pi < \theta_c < 0.5\pi$  จะมีค่าเท่ากับ

$$K_d = \frac{V_{dm}}{0.5\pi} \quad (2.16)$$

เมื่อ  $V_{dm}$  คือค่าสูงสุดของค่าเฉลี่ย  $\bar{v}_d$  ซึ่งเท่ากับ  $V_{dm} = V_H - V_L$  ดังนั้นจะได้

$$K_d = \frac{V_H - V_L}{0.5\pi} \quad (2.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าในกรณีที่สัญญาณอินพุต  $v_i$  และ  $v_o$  ที่เข้ามามีความไม่สมมาตร กล่าวคือค่าวิตช์ไซ้เฉลี่ยไม่เท่ากับ 50 เปอร์เซ็นต์ ค่าสูงสุดของแรงดันเฉลี่ย ( $V_{dm}$ ) ที่ได้จะลดลง ดังกราฟแสดงคุณสมบัติของวงจรในรูปที่ 2.5 (ข)

ตารางที่ 2.1 แสดงตารางค่าความจริงของการคูณ

$v_i$	$v_o$	$v_d$
(-)	(-)	(+)
(-)	(+)	(-)
(+)	(-)	(-)
(+)	(+)	(+)

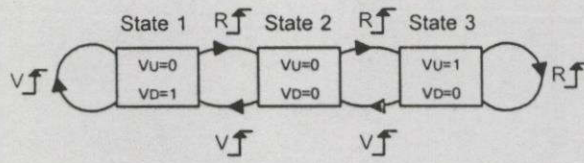
ตารางที่ 2.2 แสดงตารางค่าความจริงของเอ็กซ์คูลซีฟ-ออร์เกท

$v_i$	$v_o$	$v_d$
$V_L$	$V_L$	$V_L$
$V_L$	$V_H$	$V_H$
$V_H$	$V_L$	$V_H$
$V_H$	$V_H$	$V_L$

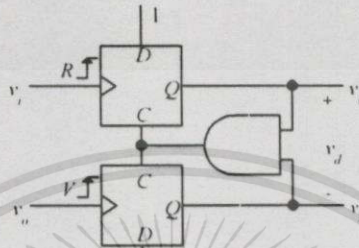
#### 2.4.2 วงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็นสาม-สเตท

วงจรตรวจจับเฟสและความถี่แบบสาม-สเตทหรือวงจร 3-state PFD[3] เป็นวงจรตรวจจับเฟสแบบดิจิทัลอีกวงจรหนึ่งที่ทำให้กราฟคุณสมบัติของวงจรเป็นแบบรูปสามเหลี่ยม และเป็นวงจรที่มีความสำคัญต่อการนำมาใช้ขยายสถานะของสเตท เพื่อที่จะทำให้ได้มาซึ่งช่วงคุณสมบัติของวงจรตรวจจับเฟสที่กว้างขึ้น วงจรตรวจจับเฟสและความถี่แบบสาม-สเตทได้ถูกนำมาใช้งานอย่างกว้างขวางเพราะเนื่องจากมีช่วงคุณสมบัติของวงจรที่กว้างถึง  $\pm 2\pi$  เรเดียน และสัญญาณเอาต์พุต  $v_i$  ที่ได้ไม่เพียงแต่จะขึ้นอยู่ค่าความคลาดเคลื่อนของเฟส  $\theta$  เท่านั้นแต่ยังขึ้นอยู่ค่าความคลาดเคลื่อนทางความถี่ ( $\Delta f = f_R - f_i$ ) อีกด้วย การทำงานของวงจรนั้นจะถูกกระตุ้นจากขอบของสัญญาณอินพุต  $v_i$  และ  $v_o$  ที่เข้ามาทางขั้วอินพุต R และ V ตามลำดับ ซึ่งจะไปทำให้วงจรมีการเปลี่ยนสถานะของสเตทตามสเตทโคอะแกรมที่ถูกกำหนดไว้ดังในรูปที่ 2.6 ที่แสดงให้เห็นถึงโครงสร้างพื้นฐานและการทำงานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ในรูปที่ 2.6 (ก) นั้นจะเป็นสเตทโคอะแกรมที่วงจรจะเปลี่ยนสถานะของสเตทไปตามขอบขาขึ้นของสัญญาณที่เข้ามาทางขั้วอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

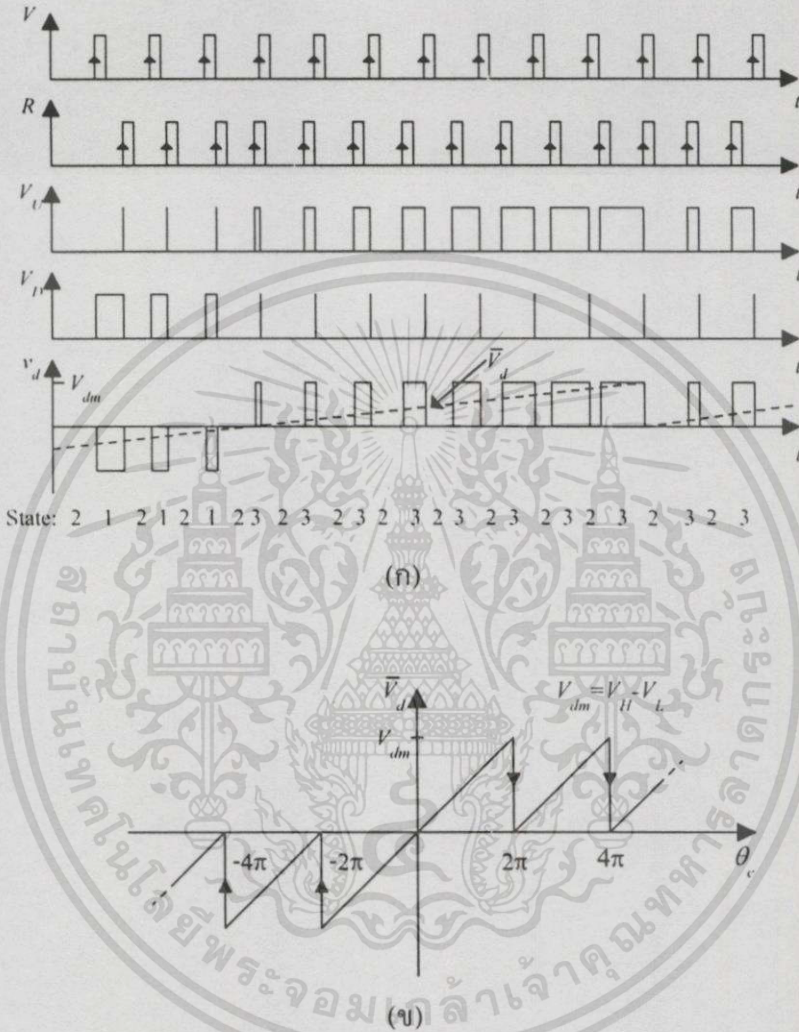
## รูปที่ 2.6 วงจรตรวจจับเฟสและความถี่แบบสาม-สเตต

- (ก) สเตตโคอะแกรมของวงจรที่มีการเปลี่ยนสถานะตามขอบขาขึ้นของสัญญาณอินพุต  
(ข) โครงสร้างทางวงจรไฟฟ้า

$R$  และ  $V$  โดยที่ขอบขาขึ้นของ  $R$  จะทำให้วงจรมีการเปลี่ยนสถานะไปยังสเตตที่สูงขึ้น ขณะที่ขอบขาขึ้นของ  $V$  จะทำให้การลตสถานะของวงจรถอยกลับมายังสเตตที่ต่ำกว่า สมมติว่าการทำงานของวงจรมันเริ่มต้นอยู่ในสเตตที่ 2 ดังนั้นเมื่อปรากฏการสลับกันเข้ามาของขอบขาขึ้นสัญญาณพัลส์ที่ขาอินพุต  $V$  และ  $R$  จะทำให้วงจรหมุนเวียนเปลี่ยนสถานะสลับสเตตไปมาระหว่างสเตตที่ 1 กับสเตตที่ 2 แต่ถ้าเกิดมีช่วงที่ขอบขาขึ้นของสัญญาณอินพุต  $V$  ไปตกอยู่หลังสัญญาณอินพุต  $R$  และเป็นเช่นนั้นตลอดไปดังที่มิงโคอะแกรมของรูปที่ 2.7 (ก) จนกระทั่งปรากฏขอบขาขึ้นของสัญญาณอินพุต  $R$  เข้ามาสองครั้งโดยปราศจากการแทรกของขอบขาขึ้นของสัญญาณอินพุต  $V$  วงจรก็จะเปลี่ยนสถานะของสเตตไปยังสเตตที่ 3 และการหมุนเวียนเปลี่ยนสถานะระหว่างสเตตที่ 2 สลับกับสเตตที่ 3 ก็จะเกิดขึ้นอีกตามพัลส์ของสัญญาณอินพุตที่ยังคงผลัดกันเข้ามาอย่างต่อเนื่อง

โครงสร้างพื้นฐานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตตนั้นจะแสดงอยู่ในรูปที่ 2.6 (ข) ซึ่งประกอบด้วยคู่ของลอจิกเอทพุท  $v_D$  และ  $v_L$  โดยมีสัญญาณอินพุต  $R$  และ  $V$  ต่ออยู่กับฟลิปฟลอปแบบ D-type ของแต่ละตัวและจะให้ค่าแรงดันเอทพุทที่ขา  $Q$  ( $v_L$  และ  $v_D$ ) ในขณะที่มีการเปลี่ยนสถานะของสเตตตามรูปที่ 2.6 (ก) สำหรับขาอินพุต  $C$  หรือขา Clear ของฟลิปฟลอปทั้งสองตัวนั้นจะถูกต่อเข้ากับเอทพุทของแอนด์-เกต ซึ่งได้รับสัญญาณอินพุตมาจากขา  $Q$  ของฟลิปฟลอปเพื่อรีเซตให้วงจรตรวจจับเฟสและความถี่แบบสามสเตตกลับไปยังสถานะของสเตตเริ่มต้น

ใหม่เมื่อสัญญาณพัลส์ที่ขั้วอินพุท  $R$  และ  $V$  ปราบเข้ามามีพร้อมกันหรือฟลิปฟล็อปทั้งสองอยู่ในสถานะเซตทั้งคู่ ด้วยเหตุนี้วงจรจึงสามารถตรวจจับสัญญาณอินพุทที่เกิดขึ้นพร้อมกันได้โดยไม่สูญเสียสัญญาณอินพุทใดอินพุทหนึ่งไปจนเป็นเหตุให้เกิดค่าผิดพลาดขึ้นที่เอาต์พุท



รูปที่ 2.7 คุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท  
 (ก) สัญญาณเอาต์พุท  $v_d$  ที่ได้จากการเปลี่ยนสถานะของสเตท  
 (ข) กราฟแสดงคุณสมบัติของวงจร

ในรูปที่ 2.7 (ข) จะเป็นกราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ระหว่างค่าความถี่เฟส  $\theta_c$  กับค่าเฉลี่ย  $\bar{v}_d$  ของแรงดันเอาต์พุท  $v_d$  ที่ผ่านวงจรกรองความถี่ต่ำมาแล้ว โดยจะให้ช่วงคุณสมบัติของวงจรที่เป็นเชิงเส้นได้ไม่เกิน  $\pm 2\pi$  เรเดียน สังเกตว่าเมื่อความถี่เฟส  $\theta_c$  มีค่าเกินช่วง  $2\pi$  และ  $-2\pi$  เรเดียนไปแล้ววงจรจะให้ช่วงคุณสมบัติกลับมาซ้ำๆ ทุกรอบ  $2\pi$  และ  $-2\pi$  เรเดียน อีกครั้ง ทั้งนี้เนื่องมาจากเมื่อวงจรทำงานอยู่ในสถานะของสเตทที่ 3 ค่า  $\theta_c$  จะยัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คงมีค่าเพิ่มขึ้นไปเรื่อยๆ (สัญญาณพัลส์ที่ขั้วอินพุท  $V$  ตามหลังสัญญาณพัลส์ที่ขั้วอินพุท  $R$  อย่างต่อเนื่อง) ดังนั้นการเปลี่ยนสถานะของสแตทก็จะสลับไปมาระหว่างสแตทที่ 2 กับสแตทที่ 3 เท่านั้น ในทำนองเดียวกันก็จะเกิดขึ้นกับช่วงที่  $\theta_c$  ให้ค่าเป็นลบคือเมื่อปรากฏสัญญาณพัลส์ที่ขั้วอินพุท  $V$  นำหน้าสัญญาณพัลส์ที่ขั้วอินพุท  $R$  และเป็นไปอย่างต่อเนื่อง วงจรก็มีการสลับสถานะไปมาระหว่างสแตทที่ 1 กับสแตทที่ 2 เพียงเท่านั้น สำหรับในการทำงานของวงจรเมื่อเป็นตัวตรวจจับความถี่ที่ให้แรงดันเอาต์พุทขึ้นอยู่กับค่าความคลาดเคลื่อนของความถี่ ( $\Delta f$ ) นั้นซึ่งถ้าปรากฏว่าความถี่ของสัญญาณอินพุทอ้างอิง  $\nu$  สูงกว่าความถี่ของสัญญาณอินพุท  $\nu_r$  ( $f_r > f_i$ ) ค่า  $\theta_c$  และค่าเฉลี่ย  $\bar{V}_d$  ก็จะมีค่าเป็นบวกเพิ่มขึ้นไปจนถึงค่าสูงสุดที่  $\theta_c$  เท่ากับ  $2\pi$  เรเดียน ทำให้ค่าเฉลี่ย  $\bar{V}_d$  มีค่าเท่ากับแรงดันเอาต์พุทสูงสุดที่ค่า  $V_{dm}$  ในสแตทที่ 3 อย่างรวดเร็วเมื่อเทียบกับเวลา ซึ่งทำนองเดียวกันถ้าความถี่ของสัญญาณอินพุทอ้างอิง  $\nu$  ต่ำกว่าความถี่ของสัญญาณอินพุท  $\nu_r$  ( $f_r < f_i$ ) ค่าของ  $\theta_c$  ก็จะมีค่าลดลงไปเรื่อยๆ จนถึงค่าต่ำสุดที่  $-2\pi$  เรเดียน ทำให้ค่าเฉลี่ย  $\bar{V}_d$  มีค่าเป็นลบมากขึ้นจนถึงค่าต่ำสุดที่  $\bar{V}_d$  เท่ากับ  $-V_{dm}$  ในสแตทที่ 1 อย่างรวดเร็ว

เนื่องจากวงจรตรวจจับเฟสและความถี่แบบสาม-สแตทนี้จะให้ค่าแรงดันเฉลี่ย  $\bar{V}_d$  สูงสุดเมื่อวงจรทำงานอยู่ในสแตทที่ 3 ซึ่งก็คือ  $\bar{V}_d = V_{dm} = V_H - V_L$  ดังนั้นจากกราฟแสดงช่วงคุณสมบัติของวงจรในรูปที่ 2.7 (ข) ทำให้สามารถหาอัตราขยายของวงจรตรวจจับเฟสและความถี่แบบสาม-สแตทได้ดังสมการที่ (2.18) คือ

$$K_d = \frac{V_{dm}}{2\pi} \quad (2.18)$$

เมื่อ  $V_{dm}$  คือค่าสูงสุดของค่าเฉลี่ยแรงดันเอาต์พุทเมื่อผ่านวงจรองความถี่เข้ามาแล้วซึ่งจะมีค่าเท่ากับ  $V_{dm} = V_H - V_L$  ดังนั้นจากสมการที่ (2.18) จะได้

$$K_d = \frac{V_H - V_L}{2\pi} \quad (2.19)$$

โดยที่  $V_H$  คือค่าของแรงดันลอจิกสูง

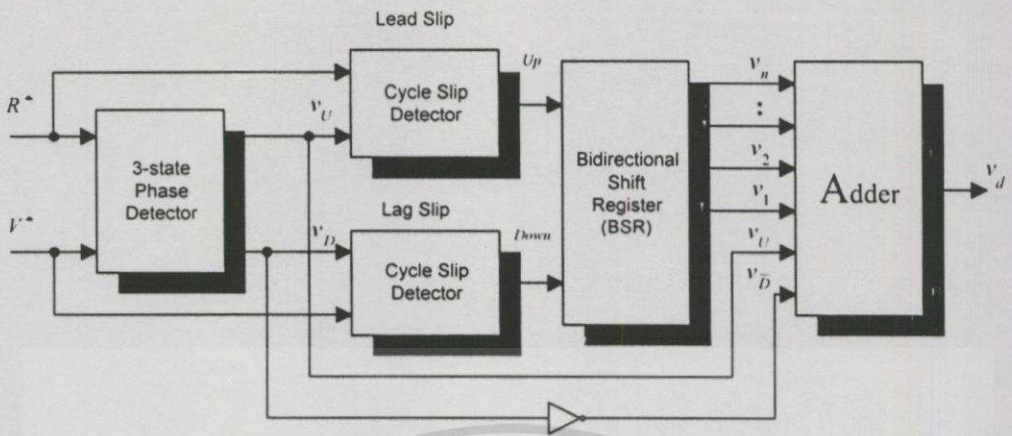
และ  $V_L$  คือค่าของแรงดันลอจิกต่ำ

### บทที่ 3

## การขยายคุณสมบัติของวงจรถ่วงเฟสและความถี่

### 3.1 บทนำ

เป็นที่ทราบกันดีว่าวงจรถ่วงเฟสและความถี่แบบสาม-สเตทที่นิยมใช้กันอยู่นั้นจะให้ช่วงคุณสมบัติของวงจรได้ไม่เกิน  $\pm 2\pi$  เรเดียน ดังเห็นได้จากกราฟแสดงคุณสมบัติของวงจรในบทที่ผ่านมา ซึ่งวงจรถ่วงเฟสยังสามารถทำงานเป็นตัวตรวจจับเฟสและความถี่ได้ในเวลาเดียวกัน จึงทำให้วงจรถ่วงเฟสและความถี่แบบสาม-สเตทนี้ถูกนำมาใช้งานอย่างกว้างขวาง โดยเฉพาะอย่างยิ่งในงานของคลาสิกอลดิจิตอลเฟสล็อกกรุป (DPLL) แต่ถึงอย่างไรก็ตามยังไม่มีวิธีการใดที่จะขยายสถานะของสเตทและช่วงคุณสมบัติของวงจรนี้ให้กว้างออกไปมากกว่า  $\pm 2\pi$  เรเดียน ได้สำหรับจุดประสงค์ของการนำเสนอเนื้อหาในบทนี้ก็เพื่อต้องการแสดงให้เห็นถึง วิธีการที่จะไปทำให้วงจรถ่วงเฟสมีความถี่ของวงจรถ่วงเฟสที่กว้างขึ้น โดยที่ความถี่เอาต์พุตจะไม่ถูกลดทอนลง ซึ่งจากการขยายช่วงคุณสมบัติของวงจรถ่วงเฟสที่ใช้วิธีการความถี่นั้นสัญญาณอินพุตจะถูกหารความถี่ด้วยค่าแฟคเตอร์ของตัวหารจึงเป็นเหตุให้การตอบสนองต่อแรงดันที่เอาต์พุตของวงจรเกิดขึ้นช้าเพราะเนื่องจากเอาต์พุตที่ได้มีค่าความถี่ลดลง นอกจากนี้วงจรจะสามารถตรวจจับสัญญาณอินพุตที่ปรากฏเข้ามาพร้อมกันได้โดยไม่มีกรสูญเสียสัญญาณอินพุตใดอินพุตหนึ่งไปจนเป็นเหตุให้เกิดการแสดงค่าผิดพลาดขึ้นที่เอาต์พุต และเพื่อให้ได้มาซึ่งจุดประสงค์ดังกล่าวจึงใช้วงจรถ่วงเฟสและความถี่แบบสาม-สเตทที่มีความสามารถในการตรวจจับสัญญาณพัลส์อินพุตเมื่อปรากฏเข้ามาพร้อมๆ กันได้ โดยมีวงจรถ่วงเฟสสัญญาณไซเคิลสลิป (Cycle Slip Detectors) [5] คอยสร้างสัญญาณเพื่อไปกระตุ้นให้วงจรชิฟต์รีจิสเตอร์แบบสองทิศทาง (Bi-directional Shift Register, BSR) แสดงค่าเอาต์พุตลอจิกเมื่อเกิดสัญญาณพัลส์ไซเคิลสลิปที่จะมีช่วงของการเปรียบเทียบค่าความต่างเฟส  $\theta$  มากกว่า  $2\pi$  เรเดียน ขึ้นในวงจรถ่วงเฟสและความถี่แบบสาม-สเตทจึงทำให้ช่วงคุณสมบัติของวงจรจาก  $\pm 2\pi$  เรเดียน เดิมนั้นถูกขยายต่อออกไปได้อีก ดังโครงสร้างการทำงานของวงจรในรูปที่ 3.1

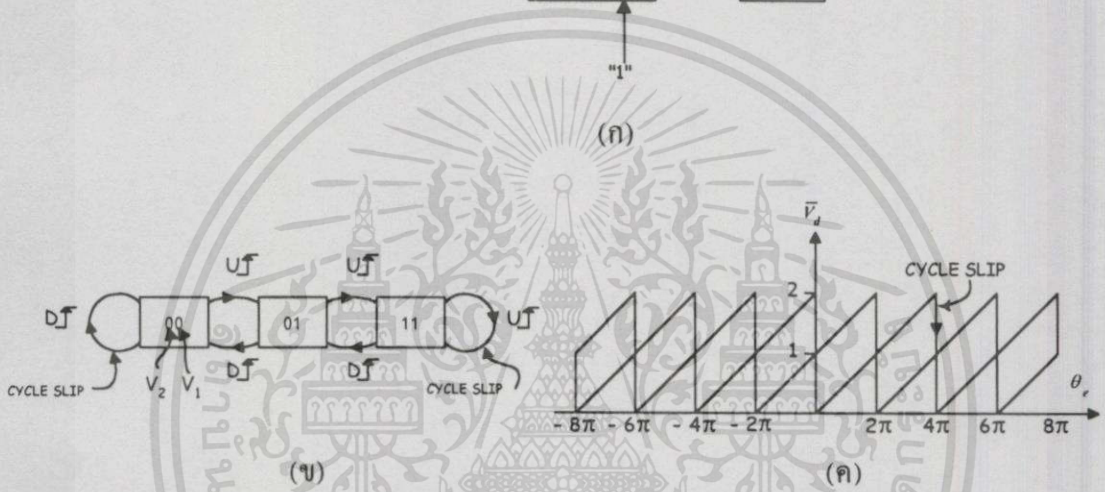
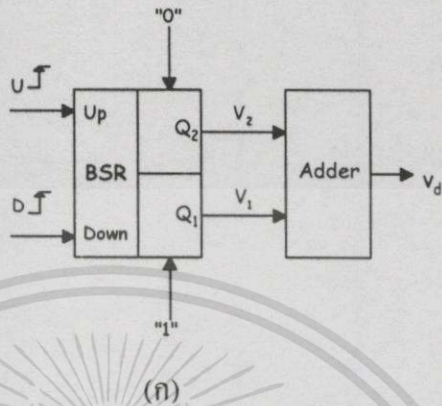


รูปที่ 3.1 แสดงบล็อกไดอะแกรมการขยายช่วงคุณสมบัติของวงจรถวจับเฟสและความถี่

### 3.2 วงจรซีฟต์รีจิสเตอร์สองทิศทางกับการทำงานเป็นวงจรถวจับเฟส

วงจรถวจับเฟสและความถี่แบบสาม-สเตทนั้นจะให้ผลที่เหมือนกับการทำงานของวงจรีจิสเตอร์แบบสองทิศทางจำนวน 2-สถานะของ[4] ดังในรูปที่ 3.2 ซึ่งเอาต์พุต  $v_i$  จะได้จากการรวมสัญญาณลอจิก  $v_1$  และ  $v_2$  เมื่อถูกกระตุ้นด้วยขอบสัญญาณอินพุต  $U$  และ  $D$  ตามสเตทไดอะแกรมของรูปที่ 3.2 (ข) สัญญาณอินพุต  $U$  แต่ละตัวจะเป็นสาเหตุทำให้เอาต์พุต  $v_1$  และ  $v_2$  มีค่าของลอจิกหนึ่งเพิ่มขึ้น ขณะที่สัญญาณอินพุต  $D$  จะทำให้ลอจิกหนึ่งใน  $v_1, v_2$  ลดลง ซึ่งถ้าวงจรถวจับเฟสอยู่ในสถานะที่ให้เอาต์พุตของสเตท  $v_1, v_2 = 11$  การกระตุ้นจากไซเคิลของขอบสัญญาณอินพุต  $U$  จะไม่ทำให้สถานะของสเตทเปลี่ยนไปอีกและเรียกไซเคิลของสัญญาณอินพุตที่ไม่ทำให้เกิดการเปลี่ยนแปลง สเตทนี้ว่า “ไซเคิลสลลิป (Cycle Slip)” วงจรีจิสเตอร์แบบสองทิศทางจำนวน 2-สถานะ นี้จะให้ช่วงคุณสมบัติของวงจรถวจับได้ไม่เกินค่า  $\pm 2\pi$  เรเดียน เช่นเดียวกับวงจรถวจับเฟสและความถี่แบบสาม-สเตท ที่ขอบสัญญาณอินพุต  $U$  เข้ามามากกว่าสองไซเคิลของขอบสัญญาณอินพุต  $D$  ดังในรูปที่ 3.2 (ค) โดยวงจรถวจับจะเริ่มต้นการทำงานจากสถานะของสเตทที่ให้เอาต์พุต  $v_1, v_2 = 00$  แล้วเลื่อนขึ้นไปจนถึงสเตทที่ให้เอาต์พุต  $v_1, v_2 = 11$  ทำให้เอาต์พุต  $v_i$  ที่วงจรถวจับสัญญาณลอจิก (Adder) มีค่าเพิ่มมาขึ้นเป็นสอง (กำหนดให้ลอจิก “1” เป็นค่าของลอจิกสูง ( $V_H$ ) มีค่าเท่ากับ 1 โวลต์ และลอจิก “0” เป็นค่าของลอจิกต่ำ ( $V_L$ ) มีค่าเท่ากับ 0 โวลต์) และจากการทำงานของวงจรีจิสเตอร์แบบสองทิศทาง 2-สถานะนี้ ซึ่งให้ผลที่เหมือนกับการทำงานของวงจรถวจับเฟสและความถี่แบบสาม-สเตท ดังนั้นการขยายช่วงคุณสมบัติของวงจรถวจับเฟสโดยใช้วงจรีจิสเตอร์จำนวน  $n$ -สถานะ ( $n$ -stage) จะทำให้ได้ช่วงคุณสมบัติของวงจรถวจับเฟสที่กว้างขึ้นถึง  $\pm 2(n-1)\pi$  เรเดียน แต่อย่างไรก็ตามวงจรถวจับดังกล่าวจะไม่สามารถตรวจจับสัญญาณอินพุต  $U$  และ  $D$  ที่เข้ามาพร้อมกันหรือใกล้กันมากๆ ได้ เพราะเนื่องจากการทำงานของวงจรีจิสเตอร์นั้นจะไม่ส่งค่าลอจิกหนึ่ง

หรือ Shift-Up และลจิกศูนย์หรือ Shift-Down ในช่วงเวลาเดียวกันจึงเป็นเหตุให้ต้องดูเงื่อนไขสัญญาณอินพุตใดอินพุตหนึ่งไปและจะส่งผลให้อาท์พุทเกิดค่าผิดพลาดขึ้น.



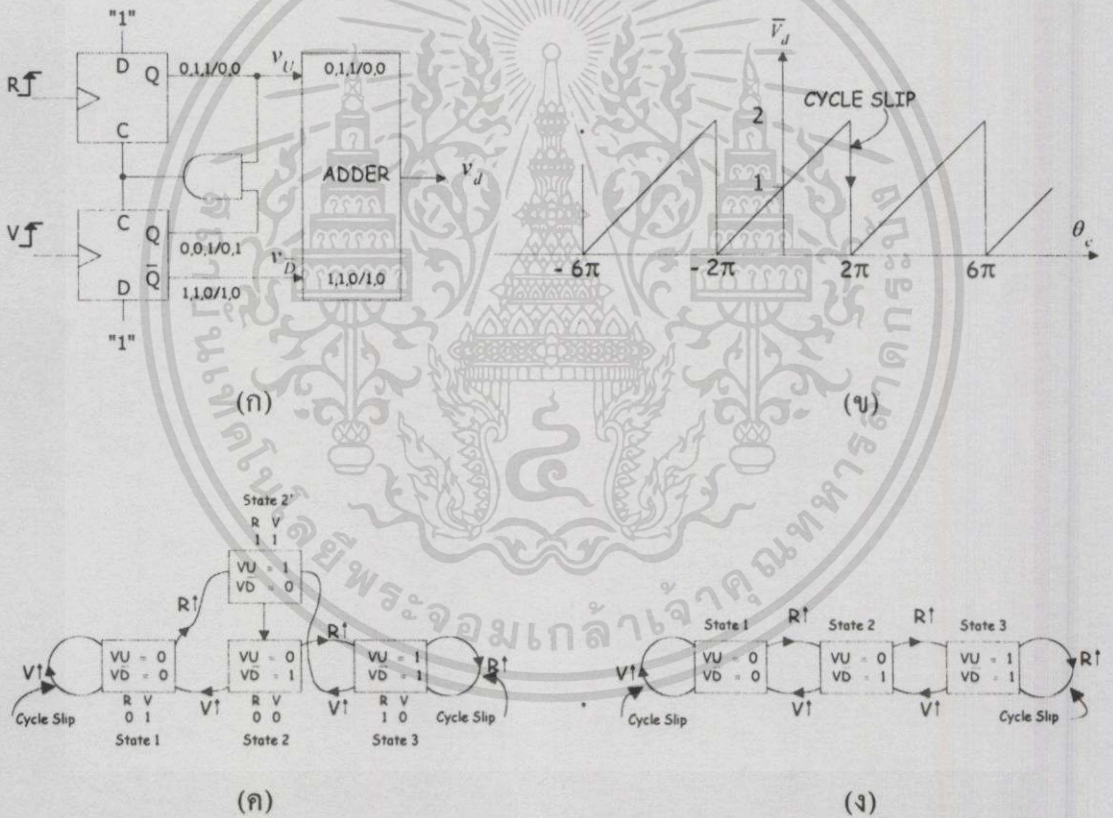
รูปที่ 3.2 วงจรซีฟตรีจิสเตอร์แบบสองทิศทาง 2-สถานะ ซึ่งให้ช่วงคุณสมบัติของวงจรเท่ากับ  $\pm 2\pi$  เรเดียน เช่นเดียวกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท  
 (ก) โครงสร้างวงจรซีฟตรีจิสเตอร์แบบสองทิศทาง 2-สถานะ  
 (ข) การเปลี่ยนสถานะของสเตท  
 (ค) กราฟแสดงคุณสมบัติของวงจร

### 3.3 การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ด้วยวงจรไซเคิลสลิปดีเทคเตอร์

ในรูปที่ 3.1 จะเป็นโครงสร้างของการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ที่นำมาใช้ในการออกแบบวงจร โดยที่การทำงานของแต่ละบล็อกนั้นสามารถอธิบายได้ดังนี้ วงจรตรวจจับเฟสและความถี่แบบสาม-สเตทจะทำงานในส่วนของการเปรียบเทียบเฟสและความถี่ระหว่างสองสัญญาณอินพุทโดยจะให้แรงดันเอาท์พุท  $V_d$  ที่เป็นฟังก์ชันกับค่าของความคลาดเคลื่อนเฟส  $\theta_e$  และจากที่ได้กล่าวมาแล้วในบทที่ 2 ถึงการเปลี่ยนสถานะของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทซึ่งจะเกิดขึ้นเมื่อมีการเปลี่ยนระดับลจิกจากศูนย์เป็นหนึ่งของสัญญาณที่เข้ามาทางขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

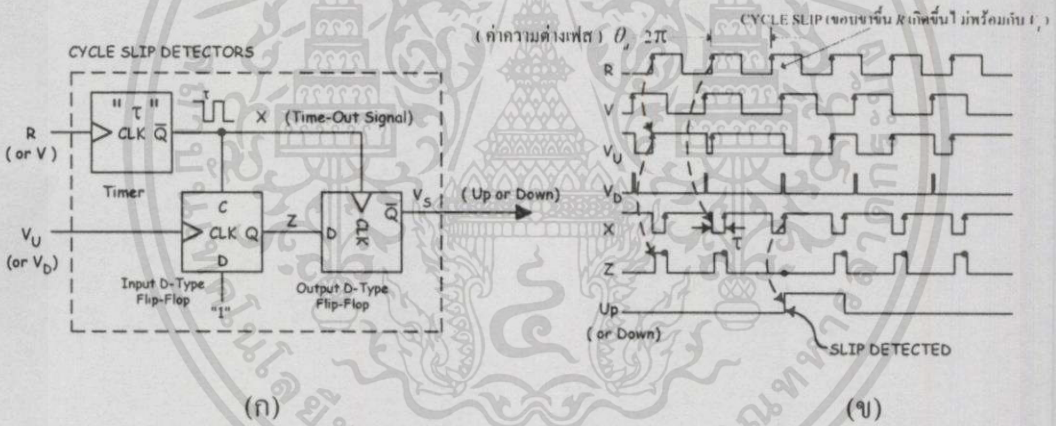
อินพุต  $R$  และ  $V$  โดยที่ขอบขาขึ้นของสัญญาณที่ขาอินพุต  $R$  จะทำให้เกิดการย้ายสถานะไปยังสเตตที่สูงขึ้น ขณะที่ขอบขาขึ้นของสัญญาณที่ขาอินพุต  $V$  จะทำให้เกิดการลดสถานะกลับมายังสเตตที่ต่ำกว่า แต่ในทางเป็นจริงแล้ววงจรตรวจจับเฟสและความถี่แบบสาม-สเตตนั้นจะมีสเตตการทำงานตามสเตตโคอะแกรมที่ถูกแสดงไว้ในรูปที่ 3.3 (ก) สังเกตว่าวงจรสามารถแก้ปัญหาสัญญาณอินพุตที่เข้ามาพร้อมกันได้ด้วยการคงอยู่ของสเตตที่ 2' ที่ให้ลู่ลอจิกเอาต์พุต  $v_U v_D = 10$  ซึ่งเป็นสถานะของสเตตชั่วคราวที่เกิดจากค่า Propagation Delay ของฟลิปฟล็อปและลอจิกเกตที่มีค่าน้อยมาก และจะกลับคืนสู่สเตตที่ 2 ที่ให้เอาต์พุต  $v_U v_D = 01$  อย่างรวดเร็ว เนื่องจากสเตตที่ 2' และสเตตที่ 2 ต่างก็ให้แรงดันเอาต์พุต  $v_U = 1$  ทั้งคู่ ดังนั้นสเตตทั้งสองจึงถูกรวมเป็นสถานะของกลุ่มเดียวกัน ด้วยเหตุนี้วงจรตรวจจับเฟสและความถี่จะมีสเตตเพียงแค่สามสถานะเท่านั้นที่ให้ค่าเอาต์พุตในสถานะเสถียร



รูปที่ 3.3 วงจรตรวจจับเฟสและความถี่แบบสาม-สเตตกับการเปลี่ยนสถานะของสเตตซึ่งถูกนำมาใช้รวมการออกแบบเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตต  
 (ก) โครงสร้างของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตต  
 (ข) PD Characteristic ระหว่างค่าเฉลี่ย  $\bar{v}_d$  กับค่าความคลาดเคลื่อนเฟส  $\theta_c$   
 (ค) สเตตโคอะแกรมในการทำงานจริงๆ ของวงจรตรวจจับเฟสและความถี่  
 (ง) สเตตการทำงานทั้งสามสเตตเมื่ออยู่ในสถานะเสถียร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เอาท์พุทของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทนั้นจะบ่งบอกถึงสถานะของสเตทการทำงานที่แตกต่างกันได้แก่ ลีคส์-สเตท (สเตทที่ 3) คือสถานะที่วงจรให้เอาท์พุทลอจิก  $v_U v_{\bar{D}} = 11$ , เซ็นเตอร์-สเตท (สเตทที่ 2) เป็นสถานะเริ่มต้นการทำงานของวงจรที่ให้เอาท์พุทลอจิก  $v_U v_{\bar{D}} = 01$  และเล็ก-สเตท (สเตทที่ 1) คือสถานะที่วงจรให้เอาท์พุทลอจิก  $v_U v_{\bar{D}} = 00$  ในรูปที่ 3.3 (ก) แสดงโครงสร้างของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทที่ได้จากการนำเอาเอาท์พุทลอจิก  $v_{\bar{D}}$  และ  $v_U$  ของโครงสร้างพื้นฐานในรูปที่ 2.6 (ข) มาผ่านวงจรบวกสัญญาณ โดยมี D-type ฟลิปฟลอปสองตัวทำหน้าที่รับสัญญาณอินพุทของแต่ละตัวและจะให้ค่าเอาท์พุทลอจิก (ที่ขา Q) เป็นหนึ่งทุกครั้งที่ถูกฟลิปฟลอปถูกระตุ้นจากขอบขาขึ้นของสัญญาณอินพุท ขณะเดียวกันวงจรก็จะสร้างสัญญาณเพื่อไปรีเซ็ตฟลิปฟลอปให้กลับมามีอยู่ในเซ็นเตอร์-สเตท (ผ่านสเตทที่ 2') ซึ่งเป็นสเตทเริ่มต้นเมื่อเอาท์พุทของฟลิปฟลอปทั้งสองตัวนี้อยู่ในสถานะเซตขึ้นมาพร้อมๆ กัน ในรูปที่ 3.3 (ข) เป็นกราฟแสดงให้เห็นถึงคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทที่จะให้ค่าอยู่ภายในช่วง  $\pm 2\pi$  เรเดียน เท่านั้น.



รูปที่ 3.4 วงจรไซเคิลสลีปดีเทคเตอร์กับการสร้างสัญญาณควบคุมการสลีป

(ก) โครงสร้างของวงจรไซเคิลสลีปดีเทคเตอร์

(ข) ไคอะแกรมทางเวลาของการตรวจจับสัญญาณไซเคิลสลีป

ตำแหน่งของวงจรไซเคิลสลีปดีเทคเตอร์ที่อยู่ในรูปที่ 3.1 นั้นจะทำหน้าที่คอยตรวจจับขอบขาขึ้นของสัญญาณอินพุท R หรือ V ที่ไม่ได้เป็นสาเหตุทำให้วงจรตรวจจับเฟสและความถี่แบบสาม-สเตทเปลี่ยนแปลงสถานะของสเตทและเป็นผลให้เกิดช่วงของความต่างเฟสมีค่ามากกว่า  $2\pi$  เรเดียน ซึ่งก็คือสัญญาณไซเคิลสลีปที่ปรากฏในสเตทไคอะแกรมของรูปที่ 3.3 (ง) และจากการตรวจจับสัญญาณดังกล่าวจะส่งผลให้จำนวนสถานะของสาม-สเตทเดิมที่มีอยู่แล้ว รวมถึงช่วงคุณสมบัติของวงจรจาก  $\pm 2\pi$  เรเดียนนั้นถูกขยายต่อออกไปได้อีก ด้วยเหตุนี้วงจรไซเคิลสลีปดีเทคเตอร์จึงเป็นองค์ประกอบที่สำคัญในการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟส สังเกตว่าเมื่อมีขอบขาขึ้น

ของสัญญาณอินพุต  $R$  ที่ทำให้วงจรตรวจจับเฟสและความถี่แบบสาม-สเตทเปลี่ยนสถานะของสเตท จากสเตทที่ 1 ไปเป็นสเตทที่ 2 (ผ่านสเตทที่ 2') หรือเปลี่ยนสถานะจากสเตทที่ 2 ไปเป็นสเตทที่ 3 นั้นจะเกิดขอบขาขึ้น (เปลี่ยนจากลอจิกต่ำ  $V_L$  ไปเป็นลอจิกสูง  $V_H$ ) ของเอาต์พุตลอจิก  $v_U$  ด้วย แต่เมื่อวงจรอยู่ในสเตทที่ 3 การปรากฏขอบขาขึ้นของสัญญาณอินพุต  $R$  (สัญญาณไซเคิลสลิป) จะไม่เป็นสาเหตุทำให้มีการเปลี่ยนแปลงสถานะของสเตทอีก และจะไม่เกิดขอบขาขึ้นของเอาต์พุตลอจิก  $v_U$  เช่นกัน ดังนั้น "การสลิป" ก็คือการที่มีขอบขาขึ้นของสัญญาณอินพุต  $R$  (หรือ  $V$ ) ไม่สอดคล้องตรงกันกับการเกิดขอบขาขึ้นของเอาต์พุตลอจิก  $v_U$  (หรือ  $v_D$ ) ดังรูปที่ 3.4 (ข) วงจรไซเคิลสลิปดีเทคเตอร์นี้จะประกอบด้วยส่วนที่เป็น ลิสต์-สลิปดีเทคเตอร์ซึ่งจะสร้างสัญญาณ  $Up$  เมื่อเกิดไซเคิลสลิปจากขอบขาขึ้นของ  $R$  นำหน้าขอบขาขึ้นของ  $V$  มากกว่าหนึ่งไซเคิล และแล็ก-สลิปดีเทคเตอร์สำหรับสร้างสัญญาณ  $Down$  เมื่อเกิดไซเคิลสลิปที่ขอบขาขึ้น  $R$  ตามขอบขาขึ้นของ  $V$  มากกว่าหนึ่งไซเคิล โดยภายในวงจรไซเคิลสลิปดีเทคเตอร์ทั้งสองตัวนี้จะมียังมีวงจรมีเวลาดังในรูปที่ 3.4 (ก) ที่ถูกกำหนดให้เริ่มต้นการทำงานเมื่อปรากฏขอบขาขึ้นของสัญญาณอินพุต  $R$  หรือ  $V$  และจะสร้างสัญญาณไทม์-เอาต์ (X) ที่เป็นสัญญาณแชนเนลหลังจากถึงช่วงเวลาที่กำหนดไว้ ( $\tau$ ) ซึ่งก็คือค่าเวลาการหน่วงของสัญญาณอินพุต หลักการทำงานของวงจรไซเคิลสลิปดีเทคเตอร์นั้นก็คือ เมื่อปรากฏขอบขาขึ้นของเอาต์พุตลอจิก  $v_U$  (หรือ  $v_D$ ) จากวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทจะทำให้อินพุตฟลิปฟลอปของไซเคิลสลิปดีเทคเตอร์อยู่ในสถานะเซต ดังนั้นสัญญาณ  $z$  ที่ขาเอาต์พุต  $Q$  ของฟลิปฟลอปตัวแรกจึงมีค่าเป็นลอจิกสูง จากนั้นสัญญาณดังกล่าว ( $z$ ) จะถูกรีเซตด้วยการเข้าไปแชนเนลของสัญญาณไทม์-เอาต์  $X$  ที่ค่าเวลาการหน่วง  $\tau$  โดยผลที่ได้จากการแชนเนลนี้จะแสดงออกมาที่ขาเอาต์พุตคอมพลิเมนต์ของฟลิปฟลอปตัวสุดท้ายในวงจรไซเคิลสลิปดีเทคเตอร์ที่จะทำงานพร้อมกับการเกิดสัญญาณไทม์-เอาต์ ซึ่งถ้าพบว่าสัญญาณ  $z$  ที่ขาคาด้า-อินพุต (ขา D) ของฟลิปฟลอปเป็นค่าลอจิกสูงอยู่ สัญญาณ  $v_s$  ที่ขาเอาต์พุตคอมพลิเมนต์  $\bar{Q}$  ของฟลิปฟลอปนี้ก็จะมีส่วนเป็นค่าของลอจิกต่ำ และในช่วงเวลาใกล้ๆ กันนั้นสัญญาณ  $z$  ก็จะถูกเปลี่ยนสถานะให้กลายเป็นค่าลอจิกต่ำเพราะผลจากการรีเซตอินพุตฟลิปฟลอปด้วยสัญญาณไทม์-เอาต์  $X$  นั่นเอง แต่ถ้าเมื่อใดก็ตามที่การเข้าไปแชนเนลสัญญาณ  $z$  ด้วยสัญญาณไทม์-เอาต์  $X$  นี้พบว่ามีค่าเป็นลอจิกต่ำ (เนื่องมาจากสัญญาณ  $z$  ได้ถูกรีเซตไปก่อนหน้านี้อแล้ว) สัญญาณ  $v_s$  ที่ขาเอาต์พุตคอมพลิเมนต์  $\bar{Q}$  ก็จะเปลี่ยนสถานะมาเป็นลอจิกสูงซึ่งแสดงว่ามีขอบขาขึ้นของเอาต์พุตลอจิก  $v_U$  (หรือ  $v_D$ ) ไม่สอดคล้องกับการเกิดขอบขาขึ้นของสัญญาณที่ขาอินพุต  $R$  (หรือ  $V$ ) หรือเกิดสัญญาณไซเคิลสลิปขึ้นทำให้วงจรตรวจจับเฟสและความถี่แบบสาม-สเตทไม่มีการเปลี่ยนสถานะของสเตทต่อไปได้อีก และเป็นผลให้เกิดช่วงของความต่างเฟส  $\theta_j$  มีค่ามากกว่า  $2\pi$  เรเดียน วงจรก็จะสร้างสัญญาณพัลส์  $Up$  (หรือ  $Down$ ) ที่ขาเอาต์พุตคอมพลิเมนต์  $\bar{Q}$  ของฟลิปฟลอปตัวสุดท้ายขึ้นมาดังในรูปที่ 3.4 (ข)

ในส่วนสุดท้ายของโครงสร้างการขยายช่วงคุณสมบัติวงจรตรวจจับเฟสและความถี่ที่แสดงในรูปที่ 3.1 นั้นจะเป็นวงจรชิฟต์รีจิสเตอร์สองทิศทาง (Shift UP/Shift Down) ที่ได้อธิบายเอาไว้แล้ว

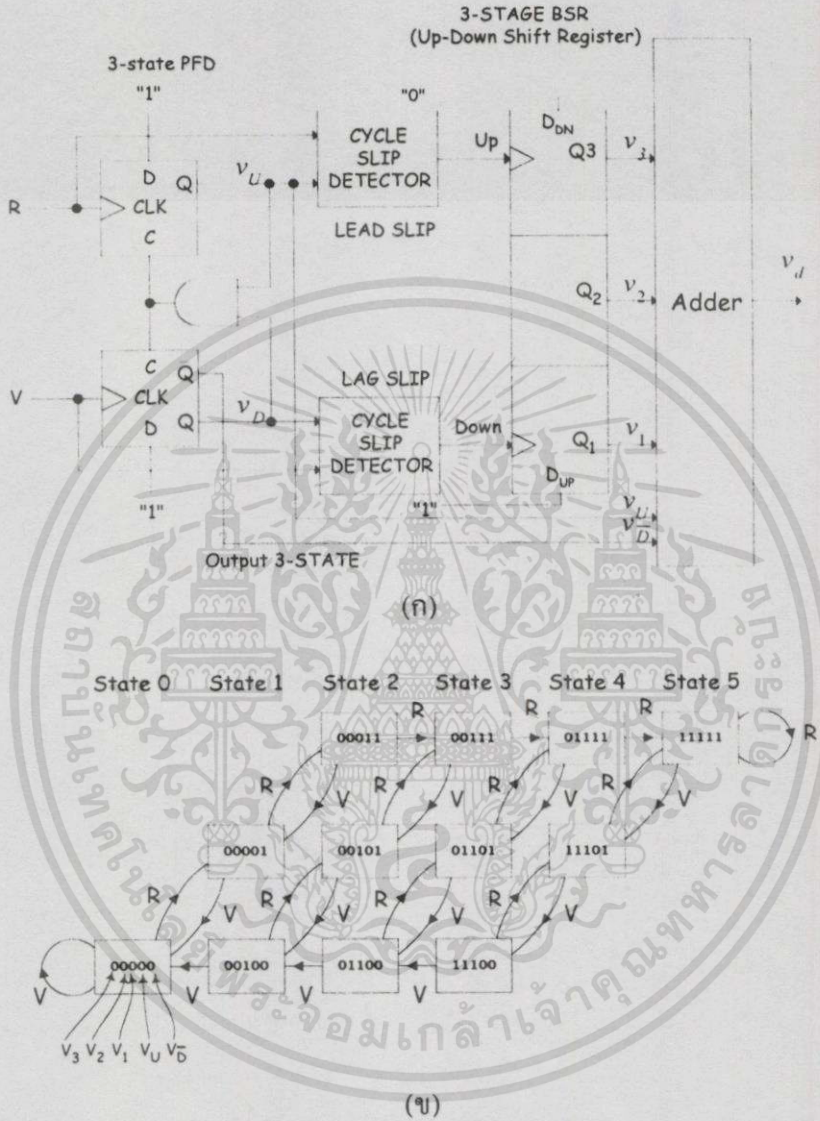
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อ 3.2 จำนวนสถานะ ( $n$ -stage) ของวงจรชิฟต์รีจิสเตอร์สองทิศทางนี้จะทำให้วงจรตรวจจับเฟสและความถี่ที่ได้มีช่วงคุณสมบัติของวงจรและสถานะของสเกตการทำงานเพิ่มขึ้นด้วย ดังนั้น การเพิ่มจำนวนสถานะ [10] ให้กับวงจรตรวจจับเฟสเพื่อขยายช่วงคุณสมบัติของวงจรจะถูกกระทำที่วงจรชิฟต์รีจิสเตอร์นี้เท่านั้น ซึ่งในที่นี้วงจรชิฟต์รีจิสเตอร์แบบสองทิศทางจะไม่ตอบสนองต่อสัญญาณอินพุตที่เข้ามาพร้อมกันเพราะเนื่องจากไซเคิลสลิปที่จะไปสร้างสัญญาณพัลส์อินพุต  $Up$  และ  $Down$  ให้กับวงจรชิฟต์รีจิสเตอร์แบบ Shift-Up และ Shift-Down นั้นจะไม่เกิดขึ้นในช่วงเวลาเดียวกัน ด้วยเหตุนี้การสูญเสียสัญญาณอินพุตใดอินพุตหนึ่งเมื่อปรากฏเข้าพร้อมกันดังที่กล่าวไว้ในหัวข้อ 3.2 จะไม่เกิดขึ้น ในส่วนของวงจรวกสัญญาณ (Adder) จะทำหน้าที่รวมสัญญาณจากเอาต์พุตของวงจรตรวจจับเฟสและความถี่แบบสาม-สเกต และเอาต์พุตของวงจรชิฟต์รีจิสเตอร์เข้าด้วยกัน โดยสัญญาณที่ได้ ( $v_u$ ) จากการรวมนี้จะมีลักษณะเป็นระดับแรงดันที่เกิดจากผลของการบวกสัญญาณลอจิกคังเห็นได้จากรูปที่ 3.6 (ก)

### 3.4 การออกแบบวงจรตรวจจับเฟสและความถี่แบบ 6-สเกต ด้วยโปรแกรม PSpice

เพื่อช่วยให้เข้าใจถึงวิธีการ[6]ที่นำเสนอ ในรูปที่ 3.5 (ก) เป็นการออกแบบวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเกต ตามบล็อกไดอะแกรมของวงจรในรูปที่ 3.1 ซึ่งประกอบด้วยวงจรตรวจจับเฟสและความถี่แบบสาม-สเกตที่ให้เอาต์พุตลอจิกคือ  $v_u$  และเอาต์พุตคอมพลิเมนต์  $v_d$  วงจรไซเคิลสลิปดีเทคเตอร์ที่จะคอยตรวจจับขอบขาขึ้นของ  $R$  และ  $V$  ที่ไม่ได้เป็นสาเหตุทำให้วงจรตรวจจับเฟสและความถี่แบบสาม-สเกตเปลี่ยนสถานะของสเกตต่อไปได้อีก ซึ่งก็คือสัญญาณไซเคิลสลิป การเปลี่ยนสถานะของสเกตในวงจรตรวจจับเฟสและความถี่แบบ 6-สเกตนั้นจะเป็นไปตามสเกตไดอะแกรมของรูปที่ 3.5 (ข) ที่แสดงให้เห็นว่าทุกๆ สัญญาณอินพุตอ้างอิง  $R$  ที่เข้ามา (ขอบของสัญญาณ) จะทำให้วงจรจะเลื่อนไปข้างหน้าทีละหนึ่งสเกตและเป็นผลให้เอาต์พุต  $v_u$  มีจำนวนของลอจิก "1" เพิ่มขึ้น ทำนองเดียวกันสัญญาณอินพุต  $V$  ที่ต้องการจะเปรียบเทียบกับเฟสและความถี่กับสัญญาณอ้างอิงจะไปทำให้วงจรลดสถานะของสเกตกลับลงมาหนึ่งสเกต และเป็นผลให้เอาต์พุต  $v_u$  มีจำนวนของลอจิก "1" ลดลง โดยที่การเปลี่ยนสเกตไปตามแนวตั้งทั้งหมดจะขึ้นอยู่กับฟังก์ชันการทำงานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเกต ขณะที่การเปลี่ยนสเกตไปตามแนวนอนทั้งหมดจะเป็นผลมาจากการเกิดสัญญาณไซเคิลสลิป และเมื่อนำสเกตต่างๆ ที่มีจำนวนของลอจิก "1" เท่ากันมารวมเป็นสถานะของกลุ่มเดียวกัน เช่นในสเกตที่ 2 ซึ่งประกอบด้วย 00011, 00101 และ 01100 วงจรจึงมีสถานะของการเปลี่ยนแปลงสเกตได้ทั้งหมด 6 สเกต สำหรับการดำเนินงานของวงจรมานั้นจะสามารถเป็นได้ทั้งตัวตรวจจับเฟสและความถี่ ซึ่งถ้าสัญญาณอินพุตอ้างอิง  $R$  ที่เข้ามามีความถี่ไม่เท่ากับสัญญาณอินพุต  $V$  ดังใหม่มีงไดอะแกรมของรูปที่ 3.6 (ก) วงจรตรวจจับเฟสและความถี่แบบ 6-สเกตก็จะทำหน้าที่เหมือนเป็นตัวตรวจจับ

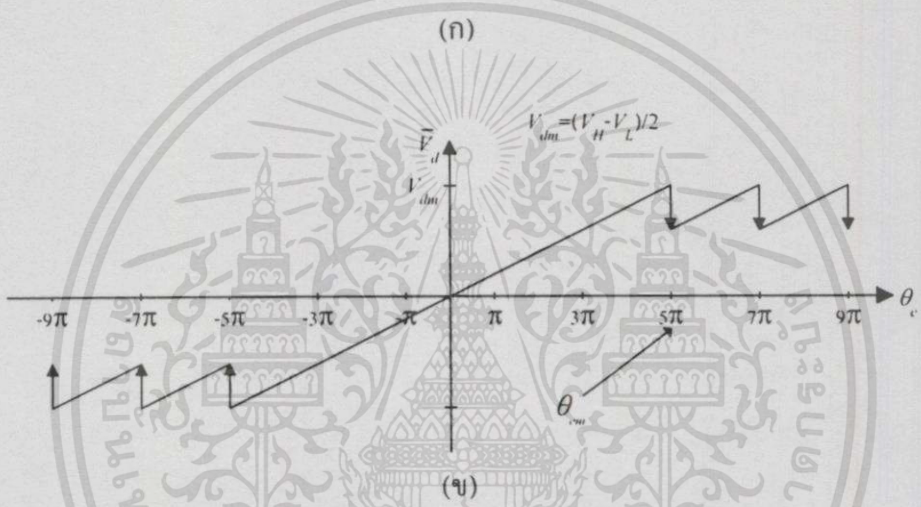
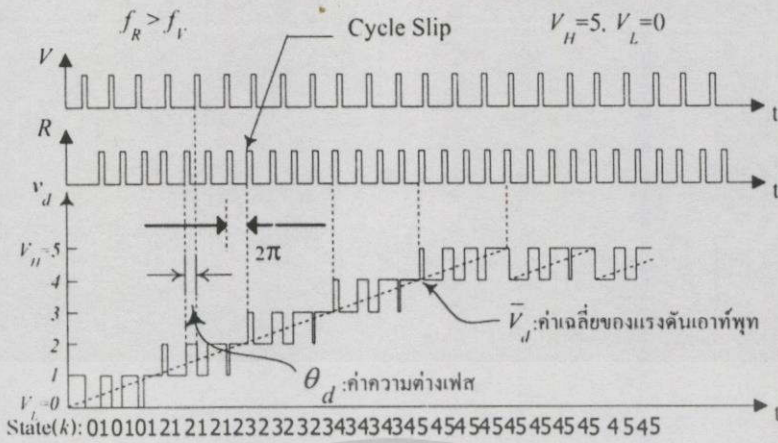
ความถี่ซึ่งในกรณีนี้สัญญาณอินพุตอ้างอิง  $R$  มีความถี่สูงกว่าสัญญาณอินพุต  $V$  ( $f_R > f_V$ ) จึงทำให้แรงดันเอาต์พุต  $v_U$  และค่าความต่างเฟส  $\theta_U$  ระหว่างสองสัญญาณอินพุตมีค่าเพิ่มขึ้นไปเรื่อย ๆ



รูปที่ 3.5 การออกแบบวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตต  
 (ก) Schematic ของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตต  
 (ข) สเตตไดอะแกรมของการทำงานเมื่อปรากฏสัญญาณอินพุตเข้ามา

การทำงานของวงจรมันจะเริ่มต้นเมื่อปรากฏขอบขาขึ้นของสัญญาณอินพุต  $R$  และ  $V$  ที่สลับกันเข้ามาจนทำให้วงจรตรวจจับเฟสและความถี่แบบสาม-สเตตหมุนเวียนเปลี่ยนสถานะและให้เอาต์พุต  $v_U, v_D = 01$  สลับกับ  $v_U, v_D = 00$  ตามสเตตไดอะแกรมของวงจรในรูปที่ 3.3 (ง) ส่งผลให้เอาต์พุตสเตตของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตตเปลี่ยนไปมาระหว่างสเตตที่ 1 ( $v_3, v_2, v_1, v_U, v_D$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 สัญญาณเอาต์พุตเมื่อวงจรทำงานเป็นตัวตรวจจับความถี่ที่  $f_R > f_V$  และกราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจ

- (ก) ระดับของแรงดันเอาต์พุต  $v_d$  ที่จะเพิ่มขึ้นเมื่อเกิดสัญญาณไซเคิลสลิป
- (ข) ช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจ ที่ให้ค่าถึง  $\pm 5\pi$  เรเดียน

= 00001) สลับกับสเตจที่ 0 ( $v_3, v_2, v_1, v_U, v_D = 00000$ ) ดังในรูปที่ 3.6 (ก) แต่เนื่องด้วยความถี่ที่สูงกว่าของสัญญาณอินพุตอ้างอิง R จึงเกิดมีช่วงที่ขอบขาขึ้นของสัญญาณอินพุต R นำหน้าขอบขาขึ้นของสัญญาณอินพุต V วงจรตรวจจับเฟสและความถี่แบบสาม-สเตจก็จะเปลี่ยนสถานะจากสเตจที่ให้เอาต์พุต  $v_U, v_D = 01$  ไปยังสเตจที่ให้เอาต์พุต  $v_U, v_D = 11$  ดังนั้นเอาต์พุตสเตจของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจในขณะนี้จึงมีสถานะของสเตจเปลี่ยนไปอยู่ในสเตจที่ 2 ( $v_3, v_2, v_1, v_U, v_D = 00011$ ) และเมื่อปรากฏขอบขาขึ้นของสัญญาณอินพุต V ซึ่งตามหลังขอบขาขึ้นของสัญญาณอินพุต R เข้ามา วงจรตรวจจับเฟสและความถี่แบบสาม-สเตจก็จะลดสถานะกลับมาอยู่ในสเตจที่ให้เอาต์พุต  $v_U, v_D = 01$  และหมุนเวียนเปลี่ยนสเตจระหว่างสเตจที่ให้เอาต์พุต  $v_U, v_D = 01$  สลับกับ  $v_U, v_D = 11$  อีกครั้งตามขอบขาขึ้นของสัญญาณอินพุต R และ V ที่ยังคงผลัดกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้ามาอย่างต่อเนื่องจึงทำให้เอาท์พุทสเตทของวงจรถวายับเฟสและความถี่แบบ 6-สเตท เปลี่ยนไปมาระหว่างสเตทที่ 1 สลับกับสเตทที่ 2

ช่วงที่วงจรถวายับเฟสและความถี่แบบสาม-สเตทอยู่ในสถานะของสเตทที่ให้เอาท์พุท  $v_U v_D = 01$  (เซ็นเตอร์-สเตท) นั้น ซึ่งก็คือเอาท์พุทสเตท  $v_3 v_2 v_1 v_U v_D = 00001$  (สเตทที่ 1), 00101 (สเตทที่ 2), 01101 (สเตทที่ 3) และ 11101 (สเตทที่ 4) ของวงจรถวายับเฟสและความถี่แบบ 6-สเตทในรูปที่ 3.5 (ข) ถ้าปรากฏว่ามีขอบขาขึ้นของสัญญาณอินพุทอ้างอิง  $R$  เข้ามาสองครั้งโดยไม่มี การแทรกของขอบขาขึ้นสัญญาณ  $V$  จะทำให้วงจรถวายับเฟสและความถี่แบบสาม-สเตทเปลี่ยน สถานะไปยังสเตทที่ให้เอาท์พุท  $v_U v_D = 11$  (ลีดส์-สเตท) จากนั้นขอบขาขึ้นของสัญญาณอินพุท  $R$  ถัดมาจะไม่ทำให้วงจรถวายับเฟสและความถี่แบบสาม-สเตทเปลี่ยนสถานะของสเตทต่อไปได้อีก จึงเกิดเป็นสัญญาณไซเคิลสลิปที่มีช่วงของการเปรียบเทียบค่าความต่างเฟส  $\theta_u$  มากกว่า  $2\pi$  เรเดียน วงจรลีดส์-สลิปดีเทกเตอร์ซึ่งคอยตรวจจับไซเคิลของสัญญาณนี้ตามวิธีการทำงานของวงจรมุ่งที่จะ กล่าวมาแล้วในหัวข้อที่ 3.3 ก็จะสร้างสัญญาณ  $Up$  ให้กับวงจรถวายับเฟสเพื่อเลื่อนค่าของลอจิก “1” (Shift-Up) ผ่านเข้ามายังขา  $D_{up}$  ของบิทที่มีนัยสำคัญต่ำสุด ( $v_1$ ) ก่อน (Least Significant Bit; LSB) จึงทำให้จำนวนของลอจิก “1” ในวงจรถวายับเฟสและระดับของแรงดันเอาท์พุท  $v_U$  ที่วงจรถวายับสัญญาณมีค่าเพิ่มขึ้นพร้อมๆ กับจำนวนสถานะของสเตทที่สูงขึ้นมาอีกหนึ่งสเตท ดังเช่นการ เปลี่ยนสถานะจากสเตทที่ 2 ( $v_3 v_2 v_1 v_U v_D = 00011$ ) ไปยังสเตทที่ 3 ( $v_3 v_2 v_1 v_U v_D = 00111$ ) ในรูปที่ 3.6 (ก) และหลังจากเกิดการสลิปแล้ววงจรถวายับเฟสและความถี่แบบสาม-สเตทก็จะสลับ สถานะไปมาระหว่างสเตทที่ให้เอาท์พุท  $v_U v_D = 01$  กับสเตทที่ให้เอาท์พุท  $v_U v_D = 11$  ด้วยขอบขา ขึ้นของสัญญาณอินพุท  $V$  ที่ยังคงล้าหลังขอบขาขึ้นของสัญญาณอินพุท  $R$  เพราะเนื่องจากมีความถี่ ที่ต่ำกว่าส่งผลให้เอาท์พุทสเตทของวงจรถวายับเฟสและความถี่แบบ 6-สเตท สลับไปมาระหว่าง สเตทที่ 2 ( $v_3 v_2 v_1 v_U v_D = 00101$ ) กับสเตทที่ 3 ( $v_3 v_2 v_1 v_U v_D = 00111$ ) ตามสเตทโคอะแกรมของ รูปที่ 3.5 (ข) การสลิปเพื่อเพิ่มสถานะของสเตทและจำนวนของลอจิก “1” ในวงจรถวายับเฟส จะเกิดขึ้นต่อไปอีก ถ้าปรากฏสัญญาณไซเคิลสลิปที่มีช่วงของการเปรียบเทียบค่าความต่างเฟสมาก กว่า  $2\pi$  เรเดียน และจะสิ้นสุดเมื่อวงจรถวายับเฟสและความถี่แบบ 6-สเตท ให้จำนวนของลอจิกที่ เอาท์พุทสเตทเป็น “1” หหมด (สเตทที่ 5) ดังนั้นแรงดันเอาท์พุท  $v_U$  ที่วงจรถวายับสัญญาณจึงมีค่าสูง สุดอยู่ในสเตทนี้ ซึ่งหลังจากเกิดสัญญาณไซเคิลสลิปที่เอาท์พุทสเตท  $v_3 v_2 v_1 v_U v_D = 11111$  ไปแล้ว และวงจรถวายับเฟสและความถี่แบบ 6-สเตทไม่มีการเปลี่ยนสถานะของสเตทต่อไปได้อีก การ ปรากฏขอบขาขึ้นของสัญญาณอินพุท  $V$  ซึ่งตามหลัง  $R$  เข้ามาจะทำให้วงจรถวายับเฟสและความถี่ แบบสาม-สเตทเปลี่ยนสถานะระหว่างสเตทที่ให้เอาท์พุท  $v_U v_D = 01$  สลับกับสเตทที่ให้เอาท์พุท  $v_U v_D = 11$  อยู่ตลอดเวลา เป็นผลให้เอาท์พุท สเตท  $v_3 v_2 v_1 v_U v_D = 11101$  (สเตทที่ 4) ของวงจรถวายับเฟสและความถี่แบบ 6-สเตท สลับไปมากับ  $v_3 v_2 v_1 v_U v_D = 11111$  (สเตทที่ 5) เพียงแค่ สองสเตทเท่านั้นดังในรูปที่ 3.6 (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการเปลี่ยนสถานะของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทจากเซ็นเซอร์-สเตทที่ให้เอาท์พุท  $v_U v_D = 01$  ไปยังลิตส์-สเตทที่ให้เอาท์พุท  $v_U v_D = 11$  และปรากฏสัญญาณไซเคิลสลิปที่ไม่ทำให้วงจรตรวจจับเฟสและความถี่แบบสาม-สเตทเปลี่ยนสถานะของสเตทต่อไปได้อีกนั้น จะเกิดในช่วงที่ความต่างเฟสของสัญญาณอินพุทอ้างอิง  $R$  ซึ่งมีความถี่ที่สูงกว่า กับเฟสของสัญญาณอินพุทที่ต้องการเปรียบเทียบ  $V$  ต่างกันมากกว่า  $2\pi$  เรเดียนดังแนวเส้นประของรูปที่ 3.6 (ก) ซึ่งก็คือช่วงที่มีการเปลี่ยนเอาท์พุทสเตทของรูปที่ 3.5 (ข) จาก 0001 (สเตทที่ 1) ไปยัง 0011 (สเตทที่ 3), จาก 0010 (สเตทที่ 2) ไปยัง 0111 (สเตทที่ 4), จาก 0110 (สเตทที่ 3) ไปยัง 1111 (สเตทที่ 5) และจาก 1110 (สเตทที่ 4) ไปยัง 1111 (สเตทที่ 5) แล้วเกิดสัญญาณไซเคิลสลิปที่ไม่ทำให้เอาท์พุทสเตทของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตทเปลี่ยนต่อไปอีก ดังนั้นเมื่อการสลิปเกิดขึ้นก็จะทำให้ได้มาซึ่งช่วงของ  $2\pi$  เรเดียนที่ถูกขยายออกไปสำหรับเปรียบเทียบความต่างเฟสระหว่างการสลับกันเข้ามาสองสัญญาณอินพุท ด้วยเหตุนี้ในการเปลี่ยนสถานะซึ่งเริ่มต้นจากสเตทที่ 1 ของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ที่มีเอาท์พุทสเตท  $v_3 v_2 v_1 v_U v_D = 00001$  ไปยังสเตทที่ 3 (00111), สเตทที่ 4 (01111) จนถึงสเตทที่ 5 (11111) แล้วเกิดสัญญาณไซเคิลสลิปที่ไม่ทำให้วงจรตรวจจับเฟสและความถี่แบบ 6-สเตท เปลี่ยนสถานะของสเตทต่อไปได้อีกนั้น จะทำให้ได้ค่าของความต่างเฟส  $\theta_i$  ที่เป็นสัดส่วนโดยตรงกับแรงดันเอาท์พุท  $v_i$  เท่ากับ  $2\pi, 3\pi, 4\pi$  และ  $5\pi$  เรเดียน ตามลำดับ.

แต่ถ้าความถี่ของสัญญาณอินพุท  $V$  สูงกว่าความถี่ของสัญญาณอินพุทอ้างอิง  $R$  ( $f_i > f_R$ ) การเกิดสัญญาณไซเคิลสลิปจากขอบขาขึ้นของ  $V$  เมื่อช่วงของการเปรียบเทียบความต่างเฟสมีค่ามากกว่า  $-2\pi$  เรเดียน ที่เอาท์พุท  $v_U v_D = 00$  ในสเตทโคอะแกรมของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทรูปที่ 3.3 (ง) ซึ่งก็คือสัญญาณไซเคิลสลิปที่ปรากฏในเอาท์พุทสเตท  $v_3 v_2 v_1 v_U v_D = 11100$  (สเตทที่ 3), 01100 (สเตทที่ 2) และ 00100 (สเตทที่ 1) ของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท รูปที่ 3.5 (ข) จะเป็นสาเหตุทำให้วงจรล็อก-สลิปดีเทคเตอร์สร้างสัญญาณ *Down* เพื่อเลื่อนค่าลอจิก "0" (Shift-Down) ผ่านเข้ามายังขา  $D_{DN}$  ของวงจรรีจิสเตอร์ในบิทที่มีนัยสำคัญสูงสุด ( $v_i$ ) ก่อน (Most Significant Bit; MSB) ด้วยเหตุนี้จำนวนลอจิก "1" ในวงจรรีจิสเตอร์และสถานะของสเตทในวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท จะถูกลดลงไปเรื่อยๆ トラบใดที่สัญญาณอินพุท  $V$  ยังมีความถี่สูงกว่าสัญญาณอ้างอิง  $R$  จนกระทั่งวงจรได้ให้จำนวนของลอจิกที่เอาท์พุทสเตทเป็น "0" ทั้งหมด (สเตทที่ 0) การสลิปเพื่อลดสถานะของสเตทต่อไปก็จะไม่เกิดขึ้นอีก ดังนั้นแรงดันเอาท์พุท  $v_i$  ที่วงจรบวกสัญญาณจึงมีค่าต่ำสุดอยู่ในสเตทนี้ ซึ่งหลังจากเกิดสัญญาณไซเคิลสลิปที่เอาท์พุทสเตท  $v_3 v_2 v_1 v_U v_D = 00000$  ไปแล้ววงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ก็จะหมุนเวียนเปลี่ยนสถานะระหว่างสเตทที่ให้เอาท์พุท  $v_U v_D = 01$  สลับกับสเตทที่ให้เอาท์พุท  $v_U v_D = 00$  โดยขอบขาขึ้นของสัญญาณอินพุทอ้างอิง  $R$  ซึ่งตามหลังขอบขาขึ้นของสัญญาณอินพุท  $V$  เนื่องจากมีความถี่ที่ต่ำกว่า ส่งผลให้เอาท์พุทสเตทของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท เปลี่ยนไปมาระหว่าง  $v_3 v_2 v_1 v_U v_D = 00001$  (สเตทที่ 1) สลับกับ  $v_3 v_2 v_1 v_U v_D = 00000$  (สเตท

ที่ 0) เพียงแค่สองสเตทเท่านั้น การปรากฏสัญญาณไขเคล็ดสติปิในวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ที่ช่วงของการเปรียบเทียบความต่างเฟสมีค่ามากกว่า  $2\pi$  เรเดียน นั้นจะไม่เกิดขึ้น ถ้าสัญญาณอินพุตอ้างอิง  $R$  และสัญญาณอินพุตที่ต้องการเปรียบเทียบเฟส  $V$  มีความถี่เท่ากัน ( $f_R = f_V$ ) ซึ่งในกรณีนี้วงจรตรวจจับเฟสและความถี่แบบ 6-สเตท จะปฏิบัติตัวเหมือนกับเป็นตัวตรวจจับเฟสที่จะให้แรงดันเอาต์พุต  $v_{ii}$  เป็นสัดส่วนโดยตรงกับค่าของความต่างเฟสอยู่ภายในช่วง  $\pm 2\pi$  เรเดียนเท่านั้น. และจากรูปที่ 3.6 (ก) จึงทำให้สามารถหาความสัมพันธ์ระหว่างแรงดันเอาต์พุต  $v_{ii}$  กับการเปลี่ยนสถานะของสเตทได้ดังสมการที่ (3.1) คือ

$$v_{ii} = k \frac{V_H}{5} + (5-k) \frac{V_L}{5} \quad (3.1)$$

โดยที่  $k$  คือสถานะของสเตทใดๆ ที่มีค่าตั้งแต่ 0 ถึง 5 สำหรับการทำงานเป็นวงจรตรวจจับเฟส

และความถี่แบบ 6-สเตท

$V_H$  คือค่าของแรงดันลอจิกสูง

$V_L$  คือค่าของแรงดันลอจิกต่ำ

และเมื่อนำค่าเฉลี่ย  $\bar{v}_{ii}$  ของแรงดันเอาต์พุต  $v_{ii}$  ที่ผ่านวงจรกรองความถี่ค่ามาแล้วนั้น พลัดเทียบกับค่าความคลาดเคลื่อนเฟส  $\theta_c$  ก็จะทำให้ได้กราฟแสดงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตท ดังในรูปที่ 3.6 (ข) โดยมีค่าสูงสุดของความคลาดเคลื่อนเฟส ( $\theta_{cm}$ ) ตามสมการที่ (3.2)

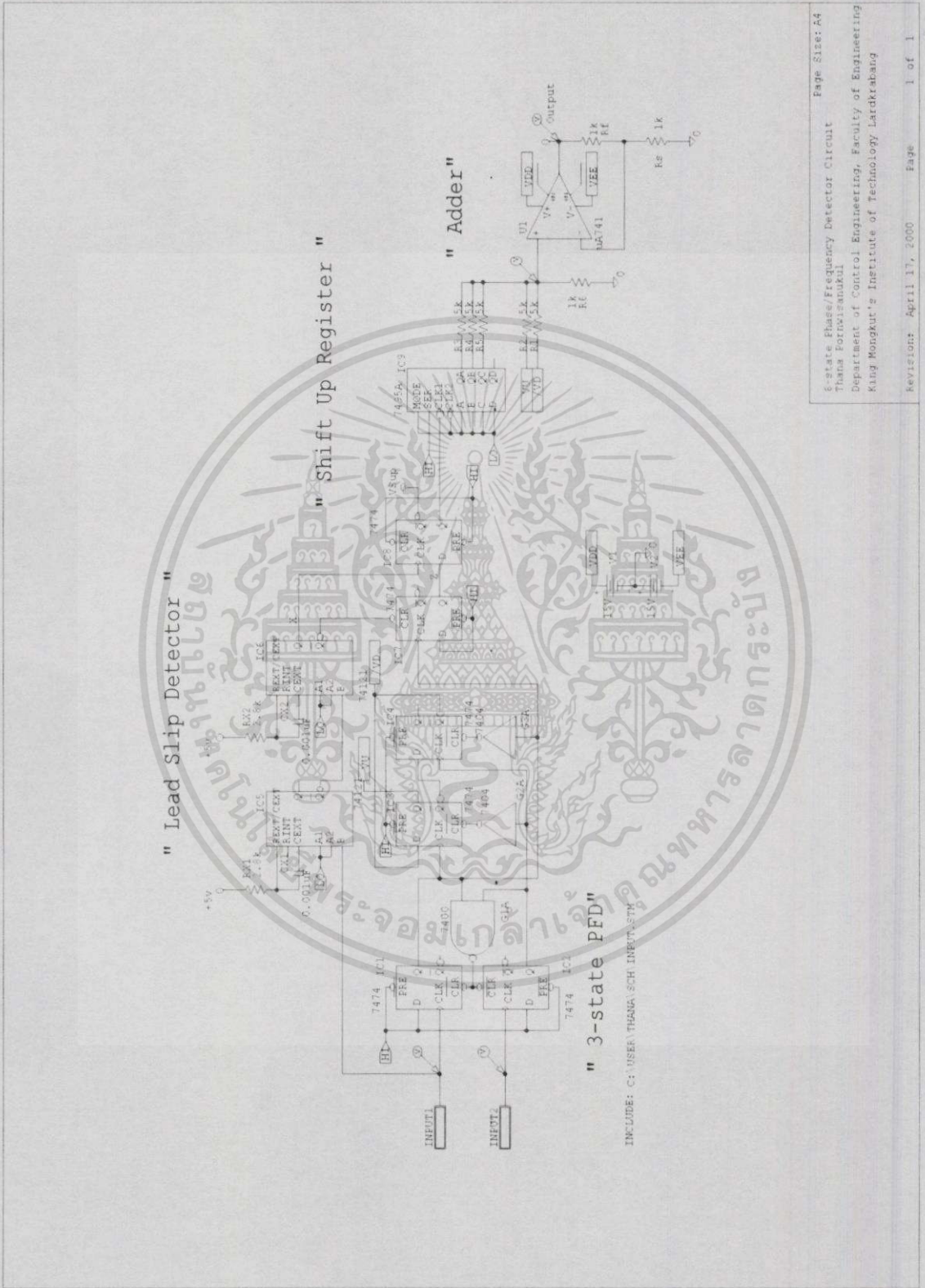
$$\theta_{cm} = (n-1)\pi \quad (3.2)$$

เมื่อ  $n$  คือจำนวนสถานะของสเตท ซึ่งถ้า  $n \geq 3$  แล้ววงจรจะทำงานเป็นตัวตรวจจับความถี่ (Frequency Detector) ดังนั้นวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท นี้จะมีค่าของความคลาดเคลื่อนเฟสสูงสุด  $\theta_{cm}$  อยู่ที่  $5\pi$  เรเดียน ( $n=6$ ) และให้ช่วงคุณสมบัติของวงจรได้ถึง  $\pm 5\pi$  เรเดียน เมื่อวงจรทำงานเป็นตัวตรวจจับความถี่ สำหรับอัตราขยาย (PD Gain,  $K_{ii}$ ) ของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท นั้นสามารถหาได้จากค่าความชันในช่วงที่เป็นเชิงเส้น  $-5\pi \leq \theta_c \leq 5\pi$  ของรูปที่ 3.6 (ข) ดังสมการที่ (3.3) ซึ่งก็คือ

$$K_d = \frac{V_{dm}}{\theta_{cm}} = \frac{V_H - V_L}{(n-1)2\pi} \quad (3.3)$$

โดยที่  $V_{dm}$  คือแรงดันเอาต์พุตสูงสุดในรูปที่ 3.6(ข) ซึ่งมีค่าเท่ากับ  $V_{dm} = (V_H - V_L)/2$  ดังนั้นวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท นี้จะให้อัตราขยาย  $K_d = (V_H - V_L)/10\pi$ . สังเกตว่าเมื่อ  $\theta_c$  มีค่าเป็นบวกเพิ่มขึ้นหรือลดลงเกินค่าสูงสุดของ  $\pm\theta_{cm}$  ที่  $\pm 5\pi$  เรเดียน ไปแล้ว วงจรจะให้ค่า  $\theta_c$  อยู่ไม่เกินช่วงค่าสูงสุดของ  $\pm\theta_{cm}$  เท่ากับ  $\pm 2\pi$  เรเดียน เพราะเนื่องจากในช่วงนี้วงจรจะทำงานเหมือนกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทที่มีการเปลี่ยนสถานะสลับไปมาเพียงแค่สองสเตทเท่านั้น ดังในรูปที่ 3.6 (ก) ซึ่งก็คือระหว่างสเตทที่ 5 สลับกับ สเตทที่ 4 และสเตทที่ 1 สลับกับสเตทที่ 0.

สำหรับวงจรที่ใช้ในการทดสอบตามวิธีการที่นำเสนอนี้จะแสดงอยู่ในรูปที่ 3.7 ซึ่งเป็นการเลียนแบบวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วยโปรแกรม PSpice[8] โดยมีโครงสร้างของวงจรตามรูปที่ 3.5 (ก) วงจรไซเคิลสลิปดีเทคเตอร์ (ลิตส์-สลิปดีเทคเตอร์) ในโปรแกรมการทดสอบนี้จะใช้วงจรฐานเวลาซึ่งเป็น โมโนสเตเบิลมัลติไวเบรเตอร์แบบไอซี-ซิงเกิลช็อต (74121) ที่มีค่าเวลาการหน่วง ( $\tau$ ) จากสัญญาณอินพุตอ้างอิง INPUT1 (ที่ขั้ว R) ไป  $2 \mu s$  (กำหนดได้จากค่าของ  $R_x$  และ  $C_x$ ) สำหรับสร้างสัญญาณโทม-เอาต์ X ที่จะไปแชนเบิ้ลสัญญาณ z เพื่อตรวจจับขอบขาขึ้นของ  $v_U$  ที่ไม่สอดคล้องกันกับขอบขาขึ้นของสัญญาณอินพุตอ้างอิง INPUT1 ตามวิธีการทำงานของวงจรไซเคิลสลิปดีเทคเตอร์ และเมื่อเกิดการสลิปในช่วงของการเปรียบเทียบความต่างเฟส  $\theta_d$  มีค่ามากกว่า  $2\pi$  เรเดียน วงจรก็จะสร้างสัญญาณ  $Up$  เพื่อเลื่อนค่าของลอจิก "1" ผ่านเข้าไปยังขา SER ของชิพดีริจิสเตอร์ 7495 ส่งผลให้วงจรมีสถานะของสเตทสูงขึ้นไปอีก ในการทดสอบนั้นจะกำหนดให้วงจรทำงานเป็นทั้งตัวตรวจจับเฟสและความถี่ และจะเปรียบเทียบกับผลของการเลียนแบบวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทตามโครงสร้างของรูปที่ 3.3 (ก) ด้วยโปรแกรม PSpice เช่นกัน ซึ่งผลจากการทดสอบได้ถูกแสดงเอาไว้ในหัวข้อที่ 5.2 ของบทที่ 5.



รูปที่ 3.7 วงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ที่ใช้ในการซิมมูลเทด้วยโปรแกรม PSpice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

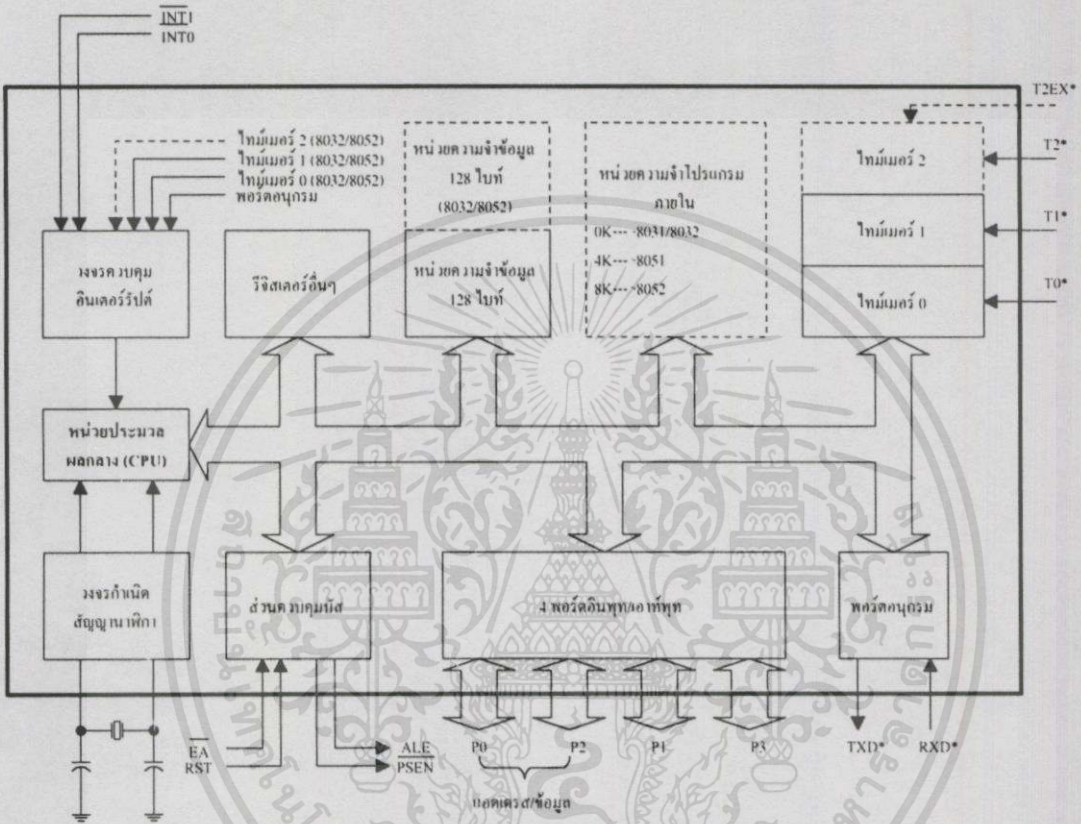
# การออกแบบวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตท ด้วยไมโครคอนโทรลเลอร์ MCS-51

ในการออกแบบไมโครคอนโทรลเลอร์ MCS-51 ให้ทำงานเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตท ซึ่งจะส่งผลให้สามารถขยายช่วงคุณสมบัติของวงจรได้กว้างขึ้น นั่นก็คือการควบคุมไมโครคอนโทรลเลอร์ MCS-51 ด้วยโปรแกรมการทำงานตามสเตทโคอะแกรมของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท นั่นเอง เนื่องจากไมโครคอนโทรลเลอร์ MSC-51 นั้นมีความยืดหยุ่นที่ดี การพัฒนาโปรแกรมทำได้ง่ายเพราะภาษาที่ใช้ในการเขียนคำสั่งไม่ยุ่งยากซับซ้อนมากนักเมื่อเทียบกับโครงสร้างของภาษาในระดับเดียวกัน ซึ่งจากการนำมาใช้เป็นวงจรตรวจจับเฟส MCS-51 จะให้ผลการทำงานที่เป็นไปตามแนวทฤษฎี ดังจะเห็นได้จากผลของการทดลองและการเขียนแบบวงจรด้วยโปรแกรม PSpice ในบทที่ 5 สำหรับเนื้อหาของบทนี้จะกล่าวถึงการควบคุมรีจิสเตอร์ของไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8031 ที่ใช้ในการออกแบบเป็นวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6 สเตท เท่านั้น รวมไปถึงแนวความคิดของการออกแบบโปรแกรมให้ 8031 สามารถตรวจจับสัญญาณอินพุตที่เข้ามาพร้อมกันได้ นอกจากนี้ยังใช้เทคนิคการจัดลำดับความสำคัญในการร้องขอบริการอินเตอร์รัปต์ของสัญญาณอินพุตเมื่อปรากฏเข้ามา (สัญญาณอินพุตอ้างอิง  $v_r$  และสัญญาณอินพุตที่ต้องการเปรียบเทียบ  $v_s$ ) จึงทำให้ไมโครคอนโทรลเลอร์สามารถแสดงค่าเอาต์พุตได้อย่างถูกต้องเป็นไปตามสเตทโคอะแกรมที่กำหนด ซึ่งองค์ประกอบพื้นฐานและการประยุกต์ใช้งานทางด้านอื่นๆ ของไมโครคอนโทรลเลอร์ตระกูลนี้สามารถศึกษาข้อมูลเพิ่มเติมได้จากบริษัทผู้ผลิต หรือจากคู่มือการประยุกต์ใช้งานไมโครคอนโทรลเลอร์ MCS-51[9] ในส่วนของสัญญาณเอาต์พุตที่ได้หลังจากผ่านขบวนการเปรียบเทียบเฟสและความถี่ด้วยไมโครคอนโทรลเลอร์นั้นจะถูกส่งต่อไปยังวงจรวัดสัญญาณเพื่อรวมค่าลอจิกเอาต์พุตต่างๆ จาก MCS-51 ให้เป็นระดับของแรงดัน ซึ่งสามารถเปลี่ยนให้เป็นแรงดันไฟตรงด้วยวงจรรองความถี่ต่ำและนำไปประยุกต์ใช้งานควบคุมได้ต่อไป.

### 4.1 ไมโครคอนโทรลเลอร์ MCS-51 กับการทำงานเป็นวงจรตรวจจับเฟสและความถี่

ไมโครคอนโทรลเลอร์เป็นไมโครโปรเซสเซอร์ประเภทหนึ่งที่ได้รับการออกแบบมาเพื่อใช้งานกับระบบควบคุมที่มีขนาดเล็ก ดังนั้นภายในของไมโครคอนโทรลเลอร์หนึ่งตัวจึงประกอบด้วยหน่วยการทำงานหลักๆ ของระบบคอมพิวเตอร์อย่างครบถ้วน เช่น หน่วยประมวลผลกลางหรือ

ซีพียู หน่วยความจำสำหรับเก็บข้อมูลและโปรแกรมที่ควบคุมการทำงาน หน่วยติดต่อสื่อสารกับ อุปกรณ์ภายนอกหรืออินพุท/เอาต์พุทพอร์ต โดยการทำงานของไมโครคอนโทรลเลอร์นั้นจะเป็นไปตามจังหวะของสัญญาณนาฬิกาที่กำหนด รูปที่ 4.1 แสดงให้เห็นถึงโครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS-51 ซึ่งไมโครคอนโทรลเลอร์ที่เลือกนำมาใช้ในการออกแบบเป็นวงจร



รูปที่ 4.1 โครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS-51

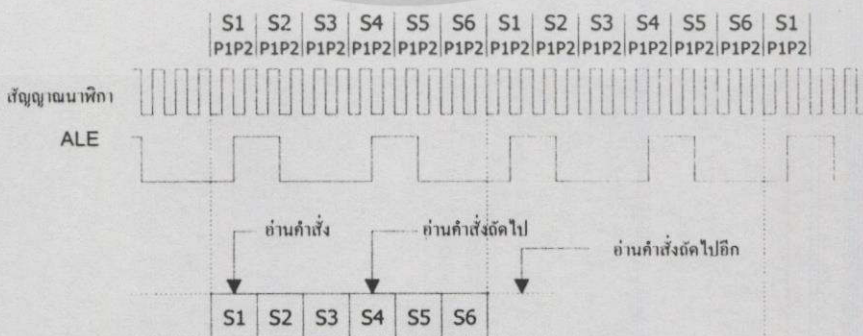
ตรวจจับเฟสและความถี่ก็คือ MCS-51 เบอร์ 8031 ที่เป็นของบริษัทอินเทล เพราะเนื่องจากเป็นไมโครคอนโทรลเลอร์ขนาด 8 บิตที่หาใช้งานได้ง่าย มีความคล่องตัวสูงเพียงต่อกับหน่วยความจำภายนอกที่เก็บโปรแกรมที่ผู้ใช้เขียนขึ้นก็สามารถนำไปควบคุมการทำงานของระบบได้ ที่สำคัญมีราคาถูกกว่าไมโครคอนโทรลเลอร์ชนิดอื่นๆ ในส่วนของทำงานเป็นวงจรตรวจจับเฟสและความถี่นั้นก็คือการออกแบบให้ 8031 ทำงานตามสเตทโคอะแกรมของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท โดยที่ 8031 จะเป็นตัวนับพัลส์ (Counter Mode) ขอบขาลงของสัญญาณอินพุทที่เข้ามาทางขาไทม์เมอร์ T0 และทางขาไทม์เมอร์ T1 จากนั้นจะถูกควบคุมด้วยโปรแกรมจำลองการทำงานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ร่วมกับโปรแกรมจำลองการทำงานของวงจรถิพรีจิสเตอร์-สองทิศทางเพื่อสร้างสัญญาณลอจิกเอาต์พุตตามเงื่อนไขของสเตทโคอะแกรมของวงจรตรวจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จับเฟสและความถี่แบบ 6-สเตท โดยสัญญาณพัลส์ที่เข้ามาทางขา T1 นั้นจะเป็นสัญญาณอินพุตที่ต้องการจะเปรียบเทียบเฟสและความถี่ ( $v_{in}$ ) กับสัญญาณพัลส์ที่เข้ามาทางขา T0 ซึ่งเป็นสัญญาณอินพุตอ้างอิง ( $v_r$ ) สัญญาณอินพุตที่ถูกรวบรวมได้นั้นจะผ่านขบวนการเปรียบเทียบเฟส (Phase Comparator) เสมือนกับเป็นตัวคูณสัญญาณด้วยเงื่อนไขของการโอเวอร์ไดรฟ์ที่แรงดันเอาต์พุต (เมื่อ  $V_{dm}$  คือแรงดันลอจิกแบบ TTL ที่ 8031 สร้างขึ้น) ตามที่ได้อธิบายไว้แล้วในบทที่ 2 และขบวนการเปรียบเทียบความถี่เมื่อสองสัญญาณอินพุตที่เข้ามาทางขา T0 และ T1 มีค่าความถี่ไม่เท่ากันส่งผลให้เกิดการขยายสถานะของสเตทสูงขึ้นจากสามสเตทเดิมที่มีอยู่ ซึ่งขบวนการทั้งหมดนี้จะถูกกระทำอยู่ในโปรแกรมจำลองการทำงานดังกล่าวที่ถูกจัดไว้เป็นโปรแกรมย่อยบริการอินเตอร์รัปต์และจะถูกร้องขอทันทีที่มีสัญญาณพัลส์ปรากฏเข้ามาทางขาอินพุต T0 (อินเตอร์รัปต์จากสัญญาณอินพุตอ้างอิง  $v_r$ ) หรือทางขาอินพุต T1 (อินเตอร์รัปต์จากขาสัญญาณอินพุตที่ต้องการเปรียบเทียบเฟสและความถี่  $v_{in}$ ) และ 8031 สามารถตรวจจับได้

#### 4.1.1 แมชชีนไซเคิลของไมโครคอนโทรลเลอร์

ในการทำงานของไมโครคอนโทรลเลอร์นั้นจะอ้างอิงกับสัญญาณนาฬิกาที่สร้างมาจากวงจรออสซิลเลเตอร์ ทำให้การทำงานต่างๆ เป็นไปตามลำดับที่ผู้ผลิตได้ออกแบบไว้ ดังในรูปที่ 4.2 ที่แสดงถึงโครงสร้างของแมชชีนไซเคิลใน MCS-51 ใช้ในการปฏิบัติคำสั่ง คำสั่งแต่ละคำสั่งของ MCS-51 จะใช้เวลาทำงาน 1, 2 หรือ 3 แมชชีนไซเคิลแล้วแต่ว่าเป็นคำสั่งประเภทใด โดยที่ในหนึ่งแมชชีนไซเคิลนั้นจะประกอบด้วย 6 สเตท คือ S1, S2, S3, S4, S5 และ S6 และในแต่ละสเตทจะใช้เวลา 2 คาบสัญญาณนาฬิกา ซึ่งเรียกคาบสัญญาณนาฬิกาแรกว่าเฟสที่ 1 (P1) และคาบสัญญาณนาฬิกาที่ 2 ว่าเฟสที่ 2 (P2) ดังนั้นใน 1 แมชชีนไซเคิลจะใช้เวลาเท่ากับ 12 คาบสัญญาณนาฬิกา ซึ่งหากใช้ความถี่ 12 เมกะเฮิรตซ์เป็นออสซิลเลเตอร์ให้กับ MCS-51 การปฏิบัติคำสั่งใน 1 แมชชีนไซเคิลจะต้องใช้เวลาเท่ากับ 1 ไมโครวินาที



รูปที่ 4.2 แมชชีนไซเคิลของไมโครคอนโทรลเลอร์ MCS-51

แอดเดรส		บิต								
FFH										
F0H	B7	B6	B5	B4	B3	B2	B1	B0	รีจิสเตอร์ B	
E0H	A7	A6	A5	A4	A3	A2	A1	A0	รีจิสเตอร์ ACC	
D0H	D7	D6	D5	D4	D3	D2	-	T0	รีจิสเตอร์ PSW	
B8H	-	-	-	D4	D3	D2	D1	D0	รีจิสเตอร์ IP	
B0H	3.7	3.6	3.5	3.4	3.3	3.2	3.1	3.0	รีจิสเตอร์ P3	
A8H	D7	-	-	D4	D3	D2	D1	D0	รีจิสเตอร์ IE	
A0H	2.7	2.6	2.5	2.4	2.3	2.2	2.1	2.0	รีจิสเตอร์ P2	
99H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ SBUF	
98H	S7	S6	S5	S4	S3	S2	S1	S0	รีจิสเตอร์ SCON	
90H	1.7	1.6	1.5	1.4	1.3	1.2	1.1	1.0	รีจิสเตอร์ P1	
8DH	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TH1	
8CH	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TH0	
8BH	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TL1	
8AH	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TL0	
89H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ TMOD	
88H	T7	T6	T5	T4	T3	T2	T1	T0	รีจิสเตอร์ TCON	
87H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ PCON	
83H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ DPH	
82H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ DPL	
81H	ไม่สามารถเข้าถึงระดับบิตได้								รีจิสเตอร์ SP	
80H	0.7	0.6	0.5	0.4	0.3	0.2	0.1	0.0	รีจิสเตอร์ P0	

รูปที่ 4.3 ตำแหน่งของหน่วยความจำข้อมูลภายในที่ใช้สำหรับรีจิสเตอร์ฟังก์ชันพิเศษ

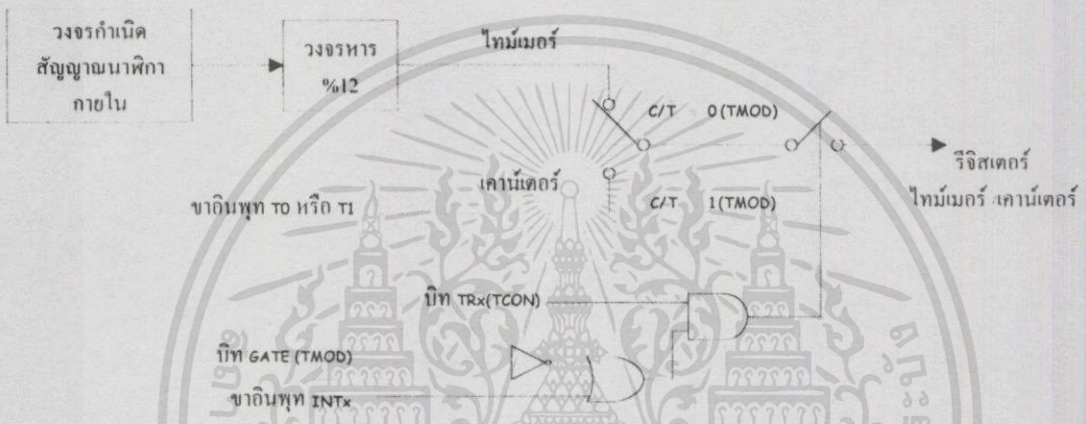
#### 4.1.2 การเลือกรีจิสเตอร์ที่ควบคุมการทำงาน

การควบคุมการทำงานของวงจรถ่ายในไมโครคอนโทรลเลอร์นั้นจะกระทำผ่านรีจิสเตอร์ที่ถูกกำหนดหน้าที่ไว้แล้ว ดังนั้นหากต้องการใช้ MCS-51 ให้มีประสิทธิภาพจำเป็นต้องทราบหน้าที่การทำงานของรีจิสเตอร์แต่ละตัวให้ละเอียดเสียก่อน ซึ่งในหน่วยความจำสำหรับเก็บข้อมูลภายในทุกตัวของ MCS-51 ที่เริ่มต้นตั้งแต่ตำแหน่ง 80H จนถึง 0FFH ดังโครงสร้างรูปที่ 4.3 นั้นจะใช้เป็นตำแหน่งของรีจิสเตอร์ใช้งานเฉพาะ (Special Function Register, SFR) เพื่อควบคุมและรายงานการทำงานของวงจรถ่ายในชิปซึ่งทำหน้าที่ต่างๆ กัน เช่น รีจิสเตอร์ใช้งานเฉพาะ TCON ใช้ควบคุมการทำงานของไทม์เมอร์ 0 และไทม์เมอร์ 1 รีจิสเตอร์ใช้งานเฉพาะ SCON ใช้ควบคุมและรายงานการทำงานของพอร์ตสื่อสารอนุกรม เป็นต้น รีจิสเตอร์ใช้งานเฉพาะใน MCS-51 อาจแยกออกตามประเภทการใช้งานได้ดังนี้

- รีจิสเตอร์ใช้ควบคุมการทำงานของ MCS-51 โดยรวม ได้แก่ รีจิสเตอร์ PSW, PCON
- รีจิสเตอร์ใช้ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ ได้แก่ รีจิสเตอร์ TCON, TMOD
- รีจิสเตอร์ใช้ควบคุมการตอบสนองต่อสัญญาณอินเทอร์รัปต์ ได้แก่ รีจิสเตอร์ IE, IP
- รีจิสเตอร์ใช้ควบคุมการทำงานของพอร์ตสื่อสารอนุกรม ได้แก่ รีจิสเตอร์ SCON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับรีจิสเตอร์ที่ใช้ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ และรีจิสเตอร์ที่ใช้ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์นั้นจะเป็นรีจิสเตอร์ที่ถูกนำมาใช้ในการออกแบบวงจรตรวจจับเฟสและความถี่นี้เท่านั้น โดยรีจิสเตอร์ที่ใช้ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์จะทำหน้าที่คอยตรวจจับขอบขาลงของพัลส์สัญญาณอินพุตที่เข้ามาทางขา T0 ที่เป็นสัญญาณอินพุตอ้างอิง และ T1 ที่เป็นสัญญาณอินพุตที่ต้องการเปรียบเทียบเฟส ก่อนจะทำขบวนการเปรียบเทียบเฟสและความถี่ด้วยรีจิสเตอร์ที่ใช้ควบคุมการตอบสนองต่อสัญญาณอินเตอร์รัปต์เพื่อสร้างสัญญาณเอาต์พุตลจิกตามเงื่อนไขของสเตทโคอะแกรมของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ต่อไป



รูปที่ 4.4 โคอะแกรมควบคุมการทำงานของวงจรไทม์เมอร์/เคาน์เตอร์

#### 4.1.3 วงจรไทม์เมอร์/เคาน์เตอร์กับรีจิสเตอร์ที่ใช้ควบคุมการทำงาน

วงจรไทม์เมอร์/เคาน์เตอร์เป็นอีกหนึ่งส่วนประกอบของไมโครคอนโทรลเลอร์ MCS-51 และมีความสำคัญของการนำมาใช้เพื่อออกแบบวงจรตรวจจับเฟสและความถี่ ซึ่งในไมโครคอนโทรลเลอร์ตระกูล MCS-51 นั้นจะมีรีจิสเตอร์ที่สามารถเลือกใช้งานเป็นไทม์เมอร์สำหรับนับจำนวนไซเคิลของสัญญาณนาฬิกาภายใน MCS-51 ที่ผ่านวงจรหารสิบสอง หรือเคาน์เตอร์สำหรับนับจำนวนพัลส์ที่เกิดขึ้นภายนอกทางขา T0 หรือ T1 อย่างใดอย่างหนึ่ง โดยที่สัญญาณที่เข้ามาทางขา T0 หรือ T1 อาจจะมาจากรูปทรงประเภชเช่นเซอร์ตรวจจับใดๆ แต่สภาวะของสัญญาณนี้จะต้องมีระดับโวลต์เตจของสถานะลจิก 0 หรือ 1 เป็นแบบ TTL กล่าวคือที่ลจิก 0 จะต้องมีโวลต์เตจไม่เกิน 0.6 โวลต์ และลจิก 1 จะต้องมีโวลต์เตจมากกว่า 2.4 โวลต์ รีจิสเตอร์ที่ใช้เก็บค่าของการนับนี้จะมีอยู่ด้วยกันสองชุด แต่ละชุดมีขนาด 16 บิต โดยมีชื่อเรียกว่า ไทม์เมอร์ 0 (T0) และไทม์เมอร์ 1 (T1) ตามลำดับ รีจิสเตอร์ที่ใช้เป็นไทม์เมอร์ 0 ประกอบขึ้นจากรีจิสเตอร์ TLO และ TH0 ส่วนรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์ 1 ประกอบขึ้นจากรีจิสเตอร์ TL1 และ TH1 ซึ่งทั้งรีจิสเตอร์ T0 และ T1 นี้สามารถกำหนดให้ทำงานเป็นไทม์เมอร์หรือคาน์เคาน์เตอร์ได้อย่างอิสระต่อกันด้วยการควบคุมผ่านบิต  $c/\bar{T}$  ของรีจิสเตอร์ใช้งานเฉพาะ TMOD ดังโคอะแกรมควบคุมการทำงานของวงจรไทม์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมอร์/เคาน์เตอร์รูปที่ 4.4 ถ้าหากบิต  $c/\bar{t}$  นี้มีค่าเป็น 0 หมายถึงเลือกให้ รีจิสเตอร์ T0 หรือ T1 ทำงานเป็นไทม์เมอร์คือนับสัญญาณนาฬิกาที่ถูกหารด้วยวงจรถหารสิบสองภายใน MCS-51 ทำให้ค่าในรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์นี้มีค่าเพิ่มขึ้นทุกๆ เมกซ์ซินไซเคิล เนื่องจากใน 1 เมกซ์ซินไซเคิลใดๆ ของ MCS-51 ประกอบด้วย 12 ไซเคิลสัญญาณนาฬิกา ดังนั้นอัตราเร็วในการนับ (Count Rate) จึงมีค่าเป็น  $1/12$  เท่าของความถี่สัญญาณนาฬิกาที่ใช้ ในขณะที่เดียวกันถ้าบิต  $c/\bar{t}$  นี้ถูกกำหนดให้มีค่าเป็น 1 จะหมายถึงการเลือกให้รีจิสเตอร์ T0 หรือ T1 นั้นทำงานเป็นเคาน์เตอร์ โดย MCS-51 จะคอยตรวจสอบสถานะของสัญญาณภายนอกที่ขา T0 หรือ T1 ซึ่งการตรวจสอบจะเกิดขึ้นในระหว่าง สเตต 5 เฟส 2 ของแต่ละเมกซ์ซินไซเคิล ถ้าพบว่าสัญญาณที่ขา T0 หรือ T1 มีสถานะเป็น 1 ที่สเตต 5 เฟส 2 ของเมกซ์ซินไซเคิลใดๆ และที่สเตต 5 เฟส 2 ของเมกซ์ซินไซเคิลถัดไป หากสัญญาณที่ขา T0 หรือ T1 มีค่าเปลี่ยนไปเป็น 0 จะทำให้รีจิสเตอร์ที่ถูกเลือกใช้งานเป็นเคาน์เตอร์เพิ่มค่าขึ้นอีกหนึ่งค่าในช่วงสเตต 3 เฟส 1 ของเมกซ์ซินไซเคิลซึ่งถัดจากไซเคิลที่มีการตรวจพบการเปลี่ยนสถานะของสัญญาณ ดังนั้น MCS-51 จำเป็นจะต้องใช้เวลา 2 เมกซ์ซินไซเคิลหรือ 24 ไซเคิลของสัญญาณนาฬิกาเพื่อตรวจสอบการเปลี่ยนสถานะสัญญาณจาก 1 เป็น 0 ที่ขา T0 หรือ T1 จึงทำให้อัตราการนับสูงสุดของเคาน์เตอร์ใน MCS-51 ถูกจำกัดความถี่ของสัญญาณอินพุทไว้ที่  $1/24$  เท่าของความถี่สัญญาณนาฬิกาที่ใช้โดยไม่ขึ้นอยู่กับค่าควิต์ไซเคิลของสัญญาณ แต่เพื่อให้แน่ใจว่าสถานะของสัญญาณจะถูกตรวจสอบเข้ามาอย่างน้อยหนึ่งครั้งก่อนที่จะเปลี่ยนระดับจึงควรให้สถานะสัญญาณคงค่า 0 หรือ 1 ไว้อย่างน้อย 1 เมกซ์ซินไซเคิลเต็ม เมื่อการนับของรีจิสเตอร์ TLx และ THx (x หมายถึง 0 หรือ 1) ถึงค่าสูงสุดที่จะเก็บได้คือ FFFFH การนับครั้งต่อไปจะทำให้รีจิสเตอร์ TLx และ THx มีค่าเป็น 0000H และบิตบอกสถานะการเกิดโอเวอร์โฟลว (TFx) ในรีจิสเตอร์ใช้งานเฉพาะ TCON ซึ่งควบคุมการร้องขอโปรแกรมบริการอินเตอร์รัปต์ของไทม์เมอร์/เคาน์เตอร์เมื่อเกิดโอเวอร์โฟลวก็จะถูกเซตขึ้นเพื่อรอตอบรับการร้องขอจากไมโครคอนโทรลเลอร์ MCS-51

### รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ หรือ

#### TCON (Timer/Counter Control Register)

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

รูปที่ 4.5 รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ หรือ TCON

รีจิสเตอร์ควบคุมการทำงานของไทม์เมอร์หรือเคาน์เตอร์ (TCON) เป็นรีจิสเตอร์ขนาด 8 บิต มีตำแหน่งหน่วยความจำข้อมูลภายในคือ 88H ของพื้นที่ๆ ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังรูปที่ 4.3 และสามารถเข้าถึงข้อมูลได้ในระดับบิต ซึ่งแต่ละบิตมีคำอธิบายประกอบดังนี้

TF1 (Timer 1 Overflow Flag): เป็นบิตที่แสดงสถานะการเกิดโอเวอร์โฟลวของไทม์เมอร์ 1 ที่ถูกเซตด้วยขบวนการทางฮาร์ดแวร์ เมื่อค่าของรีจิสเตอร์ในไทม์เมอร์ 1 มีการนับเกินค่าสูงสุด และบิตนี้จะถูกเคลียร์โดย MCS-51 เองเมื่อซีพียูได้ย้ายไปทำงานที่โปรแกรมบริการอินเตอร์รัปต์

TR1 (Timer 1 Run Control Bit): เป็นบิตที่ใช้ควบคุมการนับของไทม์เมอร์ 1 ที่ถูกเซตโดยโปรแกรมจากซอฟต์แวร์ดังนี้

“1” ไทม์เมอร์ 1 เริ่มทำงาน (นับสัญญาณ)

“0” ไทม์เมอร์ 1 หยุดทำงาน (หยุดนับสัญญาณนาฬิกาภายในหรือนับจำนวนพัลส์ภายนอก)

TFO (Timer 0 Overflow Flag): เป็นบิตที่แสดงสถานะการเกิดโอเวอร์โฟลวของไทม์เมอร์ 0 ที่ถูกเซตด้วยขบวนการทางฮาร์ดแวร์ เมื่อค่าของรีจิสเตอร์ในไทม์เมอร์ 0 มีการนับเกินค่าสูงสุด และบิตนี้จะถูกเคลียร์โดย MCS-51 เองเมื่อซีพียูได้ย้ายไปทำงานที่โปรแกรมบริการอินเตอร์รัปต์

TRO (Timer 0 Run Control Bit): เป็นบิตที่ใช้ควบคุมการนับของไทม์เมอร์ 0 ที่ถูกเซตโดยโปรแกรมจากซอฟต์แวร์ดังนี้

“1” ไทม์เมอร์ 0 เริ่มทำงาน (นับสัญญาณ)

“0” ไทม์เมอร์ 0 หยุดทำงาน (หยุดนับสัญญาณนาฬิกาภายในหรือนับจำนวนพัลส์ภายนอก)

IE1 (External Interrupt 1 Edge Flag): บิตนี้จะใช้ในการร้องขอโปรแกรมบริการอินเตอร์รัปต์จากภายนอกเมื่อ MCS-51 สามารถตรวจจับการเปลี่ยนสถานะของสัญญาณที่ขาอินพุตอินเตอร์รัปต์ INT1 ได้ ซึ่งจะถูกระเบิดด้วยกระบวนการทางฮาร์ดแวร์ และจะทำการเคลียร์เมื่อมีการบริการอินเตอร์รัปต์เกิดขึ้น

IT1 (Interrupt 1 Type Control Bit): เป็นบิตที่จะใช้ในกระบวนการอินเตอร์รัปต์ โดยใช้ในการเลือกลักษณะของสัญญาณอินเตอร์รัปต์จากภายนอกที่ต้องการทำให้เกิดการตอบสนองของการร้องขอของสัญญาณที่ขาอินพุตอินเตอร์รัปต์ INT1 การเซตและเคลียร์จะทำได้ด้วยโปรแกรมทางซอฟต์แวร์ดังนี้

“0” จะตรวจสอบการเปลี่ยนระดับของสัญญาณจาก 1 เป็น 0 ที่ขา INT1 เพื่อการร้องขออินเตอร์รัปต์

“1” จะตรวจสอบระดับลอจิกต่ำของสัญญาณที่ขา INT1 เพื่อการร้องขออินเตอร์รัปต์

IE0 (External Interrupt 0 Edge Flag): บิตนี้จะใช้ในการร้องขอโปรแกรมบริการอินเตอร์รัปต์จากภายนอก เมื่อ MCS-51 สามารถตรวจจับการเปลี่ยนสถานะของสัญญาณที่ขาอินพุตอินเตอร์รัปต์ INTO ได้ ซึ่งจะถูกระเบิดด้วยกระบวนการทางฮาร์ดแวร์ และจะทำการเคลียร์เมื่อมีการบริการอินเตอร์รัปต์เกิดขึ้น

ITO (Interrupt 0 Type Control Bit): เป็นบิตที่จะใช้ในกระบวนการอินเทอร์รัปต์ โดยใช้ในการเลือกลักษณะของสัญญาณอินเทอร์รัปต์จากภายนอกที่ต้องการทำให้เกิดการตอบสนองของการร้องขอของสัญญาณที่ขาอินพุตอินเทอร์รัปต์ INTO การเซตและเคลียร์จะทำได้ด้วยโปรแกรมทางซอฟต์แวร์ดังนี้

“0” จะตรวจสอบการเปลี่ยนระดับของสัญญาณจาก 1 เป็น 0 ที่ขา INTO เพื่อการร้องขออินเทอร์รัปต์

“1” จะตรวจสอบระดับลอจิกต่ำของสัญญาณที่ขา INTO เพื่อการร้องขออินเทอร์รัปต์

รีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์ หรือ

TMOD (Timer/Counter Mode Control Register)

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
GATE	C/T	M1	MO	GATE	C/T	M1	MO



รูปที่ 4.6 รีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์ หรือ TMOD

รีจิสเตอร์เลือกโหมดการทำงานของไทม์เมอร์หรือเคาน์เตอร์ (TMOD) นี้เป็นรีจิสเตอร์ขนาด 8 บิต มีตำแหน่งหน่วยความจำข้อมูลภายในอยู่ที่ 89H ของพื้นที่ ๆ ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังรูปที่ 4.3 และไม่สามารถเข้าถึงข้อมูลในระดับบิตได้ โดยแบ่งการทำงานออกเป็น 2 ส่วนคือ 4 บิตล่างใช้ในการเลือกโหมดการทำงานของไทม์เมอร์ 0 และ 4 บิตบนใช้ในการเลือกโหมดการทำงานของไทม์เมอร์ 1 ดังรูปที่ 4.6 ซึ่งในแต่ละบิตจะมีคำอธิบายประกอบร่วมกับไดอะแกรมควบคุมการทำงานของวงจรไทม์เมอร์/เคาน์เตอร์ดังนี้

**GATE** : ใช้เลือกลักษณะการควบคุมการทำงานของไทม์เมอร์/เคาน์เตอร์ โดยถ้ากำหนดให้เป็น

“0” ไทม์เมอร์/เคาน์เตอร์จะทำงานเมื่อบิต TR<sub>x</sub> ในรีจิสเตอร์ TCON เป็น “1” เรียกการควบคุมแบบนี้ว่า การควบคุมทางซอฟต์แวร์

“1” ไทม์เมอร์/เคาน์เตอร์จะทำงานเมื่อบิต TR<sub>x</sub> ในรีจิสเตอร์ TCON เป็น “1” และสถานะลอจิกที่ขาอินพุตอินเทอร์รัปต์ INT<sub>x</sub> เป็น “1” เรียกการควบคุมแบบนี้ว่าการควบคุมควบคุมทางฮาร์ดแวร์

C/T (Counter or Timer Selector) : ใช้เลือกลักษณะการทำงานของไทม์เมอร์หรือเคาน์เตอร์ โดยถ้าบิตนี้ถูกกำหนดให้เป็น

“0” จะเลือกให้ทำงานเป็นไทม์เมอร์ ใช้นับแมชชีนไซเคิลจากสัญญาณนาฬิกาภายใน

“1” จะเลือกให้ทำงานเป็นเคาน์เตอร์ ใช้นับสัญญาณอินพุตจากภายนอกที่เข้ามาทางขา T0 หรือ T1

MO, M1 (Mode Selector Bit) : เป็น 2 บิตที่ใช้ร่วมกันเพื่อเลือกโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์ ดังตารางที่ 4.1 ซึ่งมีทั้งหมด 4 โหมดการทำงาน ได้แก่ โหมด 0, โหมด 1, โหมด 2 และ โหมด 3 โดยในแต่ละโหมดจะมีการทำงานที่แตกต่างกัน ดังนี้

### 1. การทำงานในโหมด 0 : ไทม์เมอร์/เคาน์เตอร์ 13 บิต

ในโหมดนี้เป็นการกำหนดให้ใช้งานรีจิสเตอร์ TLx เพียง 5 บิตและ THx ครบ 8 บิต ดังรูปที่ 4.7 (ก) โดยสัญญาณอินพุตสำหรับการนับจะเลือกจากสัญญาณนาฬิกาภายในหรือสัญญาณพัลส์ภายนอก ขึ้นอยู่กับการควบคุมของบิต c/t และ GATE ในรีจิสเตอร์ TMOD, บิต TRx ในรีจิสเตอร์ TCON และสถานะของลจิกที่ขาอินพุต INTx ตามไดอะแกรมการควบคุมไทม์เมอร์/เคาน์เตอร์ของรูปที่ 4.4 การทำงานของโหมดนี้ก็คือ เมื่อรีจิสเตอร์ TLx นับครบ 32 ค่า (5 บิต) ก็จะส่งสัญญาณไปยังรีจิสเตอร์ THx ขนาด 8 บิตให้เพิ่มค่าขึ้นหนึ่งค่า ดังนั้นในโหมดนี้จะนับสัญญาณได้สูงสุดถึง 8192 ค่า หรือ 13 บิต และเมื่อมีการนับครบรอบทั้ง 13 บิต การเซตบิต TFX ในรีจิสเตอร์ TCON เพื่อร้องขอบริการอินเตอร์รัปต์จากซีพียูก็จะเกิดขึ้น

### 2. การทำงานในโหมด 1 : ไทม์เมอร์/เคาน์เตอร์ 16 บิต

ในโหมดนี้จะมีการทำงานที่เหมือนกันกับโหมด 0 ทุกประการ เว้นแต่ค่าในรีจิสเตอร์ที่ใช้เป็นไทม์เมอร์หรือเคาน์เตอร์จะถูกใช้งานครบทั้ง 16 บิตทำให้ค่าของการนับในโหมดนี้ทำได้ถึง 65536 ค่า หรือนับได้ตั้งแต่ 0000H จนถึง FFFFH ของรีจิสเตอร์ที่ใช้งาน และเมื่อทำการนับครบรอบ ค่าของการนับก็จะเปลี่ยนจาก FFFFH เป็น 0000H การเซตบิต TFX ในรีจิสเตอร์ TCON เพื่อร้องขอบริการอินเตอร์รัปต์จากซีพียูก็จะเกิดขึ้น ดังรูปที่ 4.7 (ข)

### 3. การทำงานในโหมด 2 : ไทม์เมอร์/เคาน์เตอร์ 8 บิตแบบตั้งค่าอัตโนมัติ

ในโหมดนี้จะแยกรีจิสเตอร์ไทม์เมอร์ที่ใช้งานออกเป็น 2 ชุด ชุดละ 8 บิต ดังรูปที่ 4.7 (ค) โดยรีจิสเตอร์ TLx ทำหน้าที่เป็นตัวนับค่า ส่วนรีจิสเตอร์ THx จะใช้ในการเก็บค่าเริ่มต้นของการนับ เมื่อเริ่มต้นการทำงานค่าของรีจิสเตอร์ THx จะถูกส่งไปยังรีจิสเตอร์ TLx ทำให้ในสถานะเริ่มต้นการทำงานค่าของรีจิสเตอร์ TLx และ THx มีค่าเท่ากัน แต่เมื่อรีจิสเตอร์ TLx นับถึงค่าสูงสุดคือ FFH และจะเริ่มต้นการนับรอบใหม่ จะทำให้มีการเซตบิต TFX พร้อมๆ กับทำการรับค่าการนับเริ่มต้นจากรีจิสเตอร์ THx ใหม่ซึ่งเรียกกระบวนการนี้ว่า “รีโหลด” และถึงแม้ว่าจะมีการส่งค่าเริ่มต้นไปยังรีจิสเตอร์ TLx แล้วก็ตาม ค่าของข้อมูลในรีจิสเตอร์ THx ก็ยังคงเป็นค่าเดิมไม่มีการเปลี่ยนแปลงจนกว่าจะมีการกำหนดค่าใหม่ให้กับรีจิสเตอร์ THx ด้วยโปรแกรมทางซอฟต์แวร์

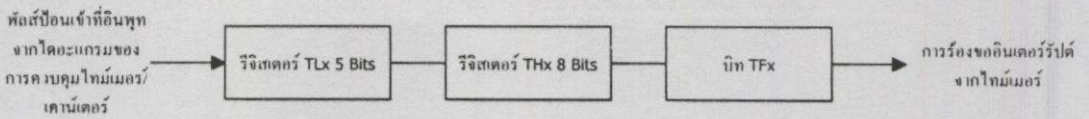
#### 4. การทำงานในโหมด 3

ในโหมดนี้เป็นโหมดเดียวที่การทำงานของไทม์เมอร์ 0 และไทม์เมอร์ 1 ไม่เหมือนกัน ซึ่งการทำงานของไทม์เมอร์ 1 ในโหมดนี้นั้นจะถูกสั่งให้หยุดนับค่าของการนับก่อนหน้านี้นี้ที่ถูกเก็บไว้ในรีจิสเตอร์ของไทม์เมอร์ 1 มีลักษณะการทำงานเหมือนกับการคิสเอเบิลไทม์เมอร์ 1 ขณะที่ไทม์เมอร์ 0 ในโหมดนี้การทำงานของรีจิสเตอร์ TLO และ TH0 จะแยกอิสระจากกัน โดยที่รีจิสเตอร์ TLO สามารถเลือกการทำงานได้เหมือนกับไทม์เมอร์/เคาน์เตอร์ตามปกติ ส่วนรีจิสเตอร์ TH0 จะถูกบังคับให้ใช้งานเป็นไทม์เมอร์นับสัญญาณนาฬิกาภายในเพียงอย่างเดียวเท่านั้น โดยสามารถควบคุมการทำงานได้จากบิต TR1 ดังรูปที่ 4.7 (ง) การแจ้งการนับเกินหรือโอเวอร์โฟลวของรีจิสเตอร์ TLO เพื่อร้องขอบริการอินเตอร์รัปต์จากไทม์เมอร์ 0 จะแจ้งผ่านบิต TFO เช่นเดิม ในขณะที่การเกิดโอเวอร์โฟลวอันเนื่องมาจากการนับสัญญาณนาฬิกาภายในของรีจิสเตอร์ TH0 จะไปควบคุมการร้องขออินเตอร์รัปต์ของไทม์เมอร์ 1 ได้โดยกระทำผ่านบิต TF1

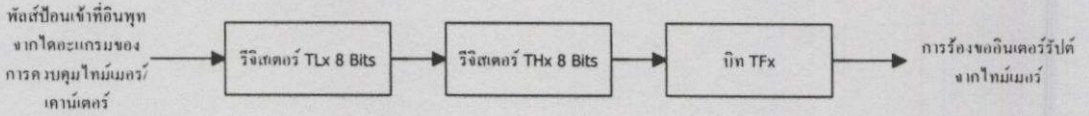
ตารางที่ 4.1 แสดงโหมดการทำงานของไทม์เมอร์/เคาน์เตอร์

M1	M0	อธิบายโหมดการทำงาน
0	0	- โหมด 0: รีจิสเตอร์ THx และ TLx เป็นตัวนับ 13 บิต ค่าจากการนับ 8 บิตบนมาจาก 8 บิตของ THx และอีก 5 บิตล่างมาจากค่า 5 บิตล่างของรีจิสเตอร์ TLx โดยที่ 3 บิตบนของ TLx จะไม่ถูกนำมาใช้งาน
0	1	- โหมด 1: รีจิสเตอร์ THx และ TLx เป็นตัวนับ 16 บิต ค่าจากการนับ 8 บิตบนอยู่ในรีจิสเตอร์ THx และค่าจากการนับ 8 บิตล่างอยู่ในรีจิสเตอร์ TLx
1	0	- โหมด 2: ในการนับของรีจิสเตอร์ TLx ขนาด 8 บิตเมื่อนับถึงค่าสูงสุดคือ FFH การนับครั้งต่อไป จะทำให้เกิดการโอเวอร์โฟลว ส่งผลให้มีการเซตบิต TFx ในรีจิสเตอร์ TCON เพื่อร้องขอโปรแกรมบริการการอินเตอร์รัปต์จาก MCS-51 แล้วก็จะทำการนำเอาข้อมูลจาก THx รีโหลดเข้าไปยัง TLx เพื่อเป็นค่าเริ่มต้นในการนับครั้งต่อไป
1	1	- โหมด 3: รีจิสเตอร์ TLO จะถูกนำมาใช้เป็นไทม์เมอร์/เคาน์เตอร์ขนาด 8 บิตที่ควบคุมการทำงานได้จากบิต TRO ในรีจิสเตอร์ TCON ขณะที่รีจิสเตอร์ TH0 จะถูกใช้งานเป็นไทม์เมอร์ 8 บิตที่ควบคุมการทำงานด้วยบิต TR1 ในรีจิสเตอร์ TCON เท่านั้น และโหมดนี้ไทม์เมอร์ 1 จะไม่ถูกนำมาใช้งาน (หยุดนับ)

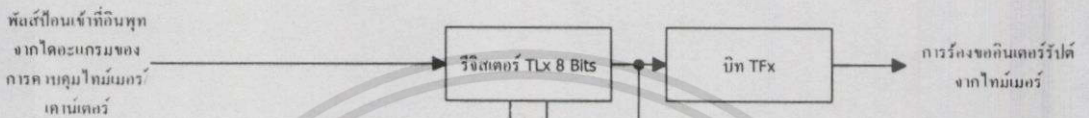
#### 4.1.4 การกำหนดการใช้งานไทม์เมอร์ 0 และไทม์เมอร์ 1 ใน MCS-51



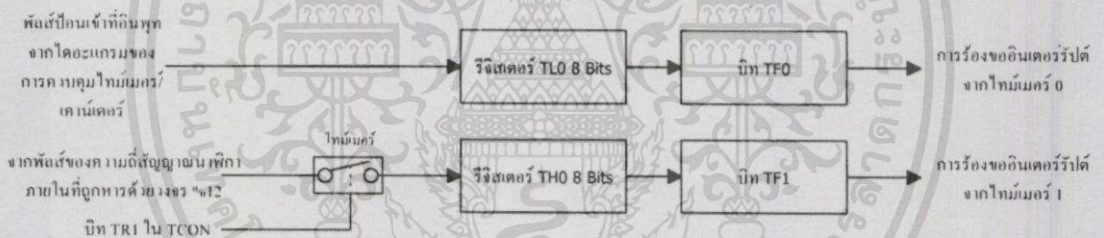
(ก)



(ข)



(ค)



(ง)

#### รูปที่ 4.7 โหมดการทำงานต่างๆ ของไทม์เมอร์/เคาน์เตอร์

- (ก) โหมด 0 ของไทม์เมอร์/เคาน์เตอร์เป็นแบบ 13-บิต
- (ข) โหมด 1 ของไทม์เมอร์/เคาน์เตอร์เป็นแบบ 16-บิต
- (ค) โหมด 2 ของไทม์เมอร์/เคาน์เตอร์ที่มีการรีโหลดค่าจาก THx ไปยัง TLx โดยอัตโนมัติ
- (ง) โหมด 3 ของไทม์เมอร์/เคาน์เตอร์ที่ใช้ไทม์เมอร์ 0 เป็นไทม์เมอร์หรือเคาน์เตอร์ขนาด 8 บิตและแยกอิสระจากกัน 2 ชุด

การกำหนดการใช้งานไทม์เมอร์ 0 และไทม์เมอร์ 1 นั้นกระทำโดยการโหลดค่าที่ต้องการไว้ในรีจิสเตอร์ใช้งานเฉพาะ TMOD ดังตารางที่ 4.2 ถึงตารางที่ 4.5 ซึ่งในแต่ละตารางจะสมมติว่าไทม์เมอร์ 0 หรือไทม์เมอร์ 1 ถูกใช้เพียงตัวเดียวเท่านั้น หากต้องการใช้งานไทม์เมอร์ 0 และไทม์เมอร์ 1 พร้อมกันให้นำค่าในตารางของไทม์เมอร์ 0 (ตารางที่ 4.2 และ 4.3) มาบวกกับค่าในตารางของไทม์เมอร์ 1 (ตารางที่ 4.4 และ 4.5) และจะต้องเซตบิต TRx ในรีจิสเตอร์ใช้งานเฉพาะ TCON เพื่อให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไทม์เมอร์/เคาน์เตอร์เริ่มทำการนับสัญญาณ ตัวอย่างเช่น การใช้ไทม์เมอร์ 0 เป็นตัวนับสัญญาณนาฬิกาในโหมด 1 โดยควบคุมการทำงานจากฮาร์ดแวร์ภายนอก และไทม์เมอร์ 1 เป็นเคาน์เตอร์ในโหมด 2 โดยควบคุมการทำงานจากโปรแกรม ค่าที่ต้องโหลดไปไว้ในรีจิสเตอร์ใช้งานเฉพาะ TMOD ก็คือ 69H (09H จากตารางที่ 4.2 บวกกับ 60H ในตารางที่ 4.5)

ตารางที่ 4.2 แสดงค่าในรีจิสเตอร์ TMOD ไทม์เมอร์ 0 เป็นตัวนับสัญญาณนาฬิกา

โหมด	ฟังก์ชันของ ไทม์เมอร์ 0 เป็นตัว นับสัญญาณนาฬิกา	TMOD	
		ควบคุมจาก โปรแกรม	ควบคุมจากฮาร์ด แวร์ภายนอก
0	13-bit Timer	00H	08H
1	16-bit Timer	01H	09H
2	8-bit Auto-Reload	02H	0AH
3	Two 8-bit Timers	03H	0BH

ตารางที่ 4.3 แสดงค่าในรีจิสเตอร์ TMOD ไทม์เมอร์ 0 เป็นตัวนับสัญญาณภายนอก

โหมด	ฟังก์ชันของ ไทม์เมอร์ 0 เป็นตัว นับสัญญาณภายนอก	TMOD	
		ควบคุมจาก โปรแกรม	ควบคุมจากฮาร์ด แวร์ภายนอก
0	13-bit Timer	04H	0CH
1	16-bit Timer	05H	0DH
2	8-bit Auto-Reload	06H	0EH
3	One 8-bit Timers	07H	0FH

ตารางที่ 4.4 แสดงค่าในรีจิสเตอร์ TMOD ไทม์เมอร์ 1 เป็นตัวนับสัญญาณนาฬิกา

โหมด	ฟังก์ชันของ ไทม์เมอร์ 1 เป็นตัว นับสัญญาณนาฬิกา	TMOD	
		ควบคุมจาก โปรแกรม	ควบคุมจากฮาร์ด แวร์ภายนอก
0	13-bit Timer	00H	80H
1	16-bit Timer	10H	90H
2	8-bit Auto-Reload	20H	A0H
3	Does Not Run	30H	B0H

ตารางที่ 4.5 แสดงค่าในรีจิสเตอร์ TMOD ไทเมอร์ 1 เป็นตัวนับสัญญาณภายนอก

โหมด	ฟังก์ชันของ ไทมเมอร์ 1 เป็นตัว นับสัญญาณภายนอก	TMOD	
		ควบคุมจาก โปรแกรม	ควบคุมจากฮาร์ด แวร์ภายนอก
0	13-bit Timer	40H	C0H
1	16-bit Timer	50H	D0H
2	8-bit Auto-Reload	60H	E0H
3	Not Available	-	-

#### 4.1.5 การร้องขอการอินเทอร์รัปต์กับรีจิสเตอร์ที่ใช้ควบคุมการทำงาน

การออกแบบ MCS-51 ให้ทำงานเป็นวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ซึ่งสามารถตอบสนองต่อสัญญาณอินพุต (TI, T0) ที่เข้ามาได้นั้น ในวิทยานิพนธ์นี้ได้ใช้วิธีการร้องขอบริการอินเทอร์รัปต์ให้ MCS-51 ทราบเมื่อมีสัญญาณอินพุตเข้ามาทุกครั้ง แล้วจึงทำการเปรียบเทียบเฟสและความถี่รวมถึงการขยายสถานะของสเตทให้สูงขึ้นที่โปรแกรมจำลองการทำงานต่อไป ซึ่งวิธีการนี้จะทำให้ไมโครคอนโทรลเลอร์สามารถตรวจจับพัลส์ของสัญญาณอินพุตได้ตลอดเวลาและยังสามารถตรวจจับสัญญาณอินพุตที่เกิดขึ้นพร้อมกันได้อีกด้วย ในส่วนของสัญญาณพัลส์อินพุตที่เข้ามานั้นจะต้องมีความถี่ที่ต่ำกว่า 1/24 เท่าของความถี่สัญญาณนาฬิกาที่ใช้ซึ่งที่กล่าวมาแล้วเพื่อให้แน่ใจว่าไมโครคอนโทรลเลอร์จะสามารถอ่านค่าสถานะของสัญญาณได้อย่างถูกต้อง

การร้องขอบริการอินเทอร์รัปต์นั้นก็คือ สภาวะที่ไมโครคอนโทรลเลอร์กำลังทำงานอยู่แล้วถูกขัดจังหวะด้วยสัญญาณ (ฮาร์ดแวร์) หรือคำสั่งพิเศษ (ซอฟต์แวร์) ให้ MCS-51 ต้องละจากงานที่กำลังทำอยู่ไปตอบสนองโปรแกรมการร้องขอบริการอินเทอร์รัปต์นั้นๆ และเมื่อเสร็จสิ้นการทำโปรแกรมการร้องขอบริการอินเทอร์รัปต์แล้วก็จะกลับมาทำงานเดิมได้ต่อไป MCS-51 เบอร์ 8031 นี้จะมีแหล่งกำเนิดการร้องขอบริการอินเทอร์รัปต์ได้ทั้งหมด 6 แหล่งสัญญาณด้วยกัน คือ

$\overline{INT0}, \overline{INT1}$  - เป็น 2 ขาอินพุตที่รับสัญญาณอินเทอร์รัปต์จากภายนอก การอินเทอร์รัปต์จะเกิดขึ้นถ้าสัญญาณที่ขาดังกล่าวมีสถานะลอจิกเป็น 0 หรือเปลี่ยนจาก 1 เป็น 0 โดยเลือกด้วยการกำหนดในบิต ITO หรือ IT1 ในรีจิสเตอร์ TCON

TF0, TF1- เป็นบิตหนึ่งที่จะบอกการทำงานของ ไทเมอร์ 0 หรือ ไทเมอร์ 1 เมื่อเกิดโอเวอร์โฟลวจากการนับสัญญาณพัลส์ในรีจิสเตอร์ ไทเมอร์ และจะเกิดการอินเทอร์รัปต์ 8031 ได้ ซึ่งถูกนำมาใช้ในการออกแบบของวิทยานิพนธ์นี้

TI, RI- เป็น 2 บิตในรีจิสเตอร์ SCON ซึ่งบิตนี้จะถูกเซตให้เป็น 1 โดยฮาร์ดแวร์เมื่อเสร็จสิ้นการส่งหรือรับข้อมูลและจะทำให้เกิดการอินเทอร์รัปต์ 8031 ได้

ซึ่งการร้องขอบริการอินเตอร์รัปต์ในไมโครคอนโทรลเลอร์ MCS-51 นั้นจะมีรีจิสเตอร์ที่เกี่ยวข้อง อยู่สองตัวดังรายละเอียดต่อไปนี้

รีจิสเตอร์อีน่าเบิลการอินเตอร์รัปต์ หรือ

IE (Interrupt Enable Register)

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
EA	-	ET2	ES	ET1	EX1	ET0	EX0

รูปที่ 4.8 รีจิสเตอร์อีน่าเบิลการอินเตอร์รัปต์ หรือ IE

รีจิสเตอร์อีน่าเบิลการอินเตอร์รัปต์เป็นรีจิสเตอร์ขนาด 8 บิตมีตำแหน่งหน่วยความจำข้อมูลภายในอยู่ที่ A8H ของพื้นที่ ๆ ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังรูปที่ 4.3 และสามารถเข้าถึงข้อมูลในระดับบิตได้ IE รีจิสเตอร์ใช้ในการอีน่าเบิลการตอบสนองการอินเตอร์รัปต์ในแบบต่างๆ ซึ่งมีรายละเอียดการทำงานตามรูปที่ 4.8 ดังนี้

EA (Global Enable/Disable Interrupt): ใช้ในการอีน่าเบิลและดิสเอเบิลการตอบสนองการอินเตอร์รัปต์ทั้งหมด

“0” ดิสเอเบิลการอินเตอร์รัปต์ คือ กำหนดให้ไมโครคอนโทรลเลอร์ไม่ตอบสนองการอินเตอร์รัปต์ ไม่ว่าจะมาจากแหล่งกำเนิดใดก็ตาม

“1” อีน่าเบิลการอินเตอร์รัปต์ คือ กำหนดให้ไมโครคอนโทรลเลอร์สามารถตอบสนองการอินเตอร์รัปต์จากแหล่งกำเนิดต่างๆ นั่นคือ ถ้าต้องการให้ไมโครคอนโทรลเลอร์ตอบสนองการอินเตอร์รัปต์ ไม่ว่าจะแหล่งกำเนิดใดจะต้องเซตบิตนี้ก่อนเสมอ ซึ่งสามารถเซตและเคลียร์ได้ด้วยกระบวนการทางซอฟต์แวร์

ET2 (Timer 2 Interrupt Enable): ใช้ในการอีน่าเบิลการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของไทม์เมอร์/เคาน์เตอร์ 2

ES (Serial Port Interrupt Enable Bit): ใช้ในการอีน่าเบิลการอินเตอร์รัปต์อันเนื่องมาจากการรับส่งข้อมูลทางพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS-51 ซึ่งสามารถเซตและเคลียร์บิตได้ด้วยกระบวนการทางซอฟต์แวร์

ET1 (Timer 1 Interrupt Enable): ใช้ในการอีน่าเบิลการอินเตอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของรีจิสเตอร์ตัวนับในไทม์เมอร์/เคาน์เตอร์ 1 ซึ่งสามารถเซตและเคลียร์บิตได้ด้วยกระบวนการทางซอฟต์แวร์

EX1 (External Interrupt 1 Enable Bit) : ใช้ในการอีน่าเปิดรื่องขอการอินเตอรร์ิปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามาซึ่งขา  $\overline{INT1}$  ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

ETO (Timer 0 Interrupt Enable) : ใช้ในการอีน่าเปิดรื่องขอการอินเตอรร์ิปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของรีจิสเตอร์ตัวนับในไทเมอร์/เคาน์เตอร์ 0 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

EXO (External Interrupt 0 Enable Bit) : ใช้ในการอีน่าเปิดรื่องขอการอินเตอรร์ิปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามาซึ่งขา  $\overline{INT0}$  ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

สำหรับบิท 6 ของรีจิสเตอร์ IE ไม่มีการใช้งาน ต้องกำหนดให้เป็น "0" เสมอ

รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการรื่องขอบริการอินเตอรร์ิปต์ หรือ IP (Interrupt Priority Register)

บิท 7	บิท 6	บิท 5	บิท 4	บิท 3	บิท 2	บิท 1	บิท 0
-	-	PT2	PS	PT1	PX1	PT0	PX0

รูปที่ 4.9 รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการอินเตอรร์ิปต์ หรือ IP

รีจิสเตอร์จัดลำดับความสำคัญการตอบสนองการรื่องขอบริการอินเตอรร์ิปต์เป็นรีจิสเตอร์ขนาด 8 บิทมีตำแหน่งหน่วยความจำข้อมูลภายในอยู่ที่ B8H ของพื้นที่ ๆ ใช้เป็นรีจิสเตอร์ใช้งานเฉพาะดังรูปที่ 4.3 และสามารถเข้าถึงข้อมูลในระดับบิทได้ เป็นรีจิสเตอร์ที่ใช้ในการเลือกลำดับความสำคัญของการตอบสนองการรื่องขอบริการอินเตอรร์ิปต์ว่าต้องการให้ตอบสนองสัญญาณอินเตอรร์ิปต์จากแหล่งกำเนิดใดเป็นลำดับก่อนหลัง ถ้าต้องการให้การอินเตอรร์ิปต์จากแหล่งกำเนิดใดมีความสำคัญสูงสุด ให้กำหนดที่บิทนั้นเป็น "1" ซึ่งรายละเอียดของรีจิสเตอร์ IP ในรูปที่ 4.9 มีดังนี้

PT2 (Timer 2 Interrupt Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเตอรร์ิปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของตัวนับในไทเมอร์/เคาน์เตอร์ 2 ซึ่งสามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PS (Serial Port Interrupt Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเตอรร์ิปต์อันเนื่องมาจากการรับส่งข้อมูลทางพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS-51 ที่สามารถเซตและเคลียร์บิทนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PT1 (Timer 1 Interrupt Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเทอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของตัวนับในไทเมอร์/เคาน์เตอร์ 1 ซึ่งสามารถเซตและเคลียร์บิตนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

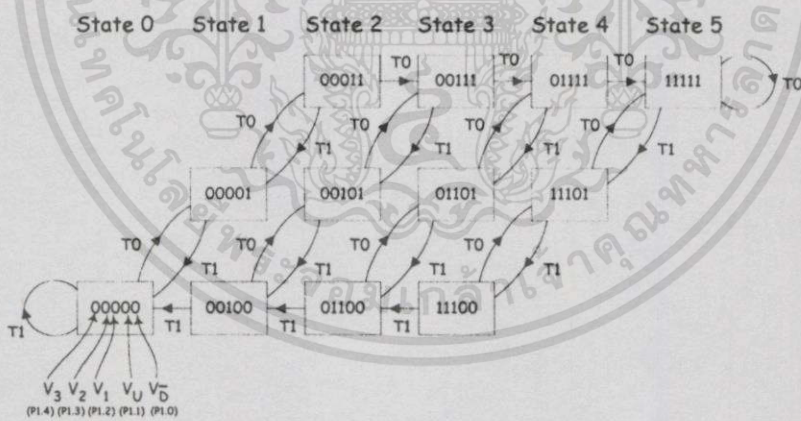
PX1 (External Interrupt 1 Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเทอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INT1 ซึ่งสามารถเซตและเคลียร์บิตนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PT0 (Timer 0 Interrupt Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเทอร์รัปต์อันเนื่องมาจากการเกิดโอเวอร์โฟลวของตัวนับในไทเมอร์/เคาน์เตอร์ 0 ซึ่งสามารถเซตและเคลียร์บิตนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

PX0 (External Interrupt 0 Priority Bit) : ใช้ในการกำหนดความสำคัญของการอินเทอร์รัปต์อันเนื่องมาจากสัญญาณภายนอกที่ป้อนเข้ามายังขา INTO ซึ่งสามารถเซตและเคลียร์บิตนี้ได้ด้วยกระบวนการทางซอฟต์แวร์

สำหรับบิต 6 และบิต 7 ของรีจิสเตอร์ IP นี้ไม่มีการใช้งาน ต้องกำหนดให้เป็น "0" เสมอ

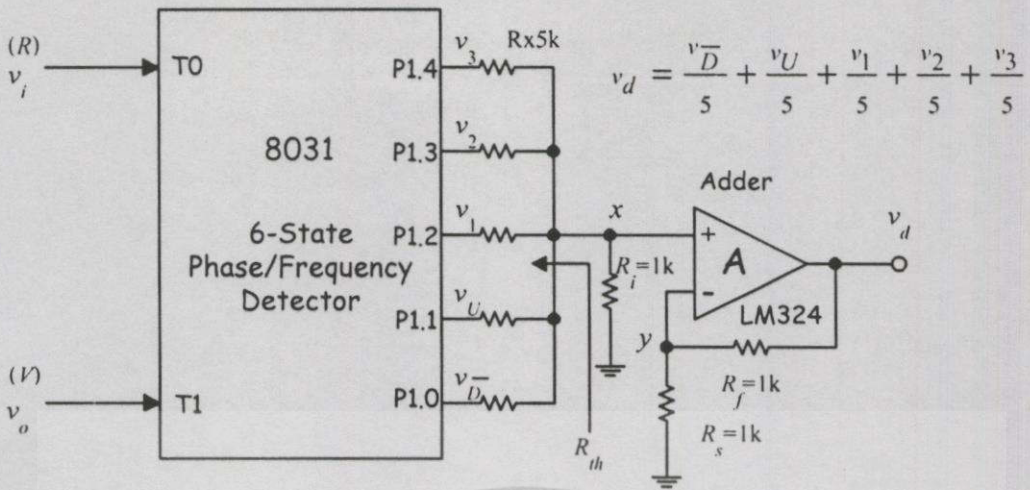
## 4.2 การออกแบบวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วยไมโครคอนโทรลเลอร์



รูปที่ 4.10 สเตทโคดของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท

### 4.2.1 ขั้นตอนการออกแบบวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วย 8031

ขั้นตอนในการออกแบบวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตทด้วยไมโครคอนโทรลเลอร์ที่นำเสนอนี้ก็ถือการควบคุมให้ MCS-51 เบอร์ 8031 นั้นทำงานตามสเตทโคดของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตทที่แสดงอยู่ในรูป 4.10 ซึ่งเป็นสเตทโคดแอมป์เดียวกันกับรูปที่ 3.5 (ข) ของบทที่ 3 วงจรจะมีการเปลี่ยนสถานะไปที่ละหนึ่งสเตทตามขอบขาลง



รูปที่ 4.11 โครงสร้างของวงจร 6-state PFD ที่ทำงานด้วยไมโครคอนโทรลเลอร์ 8031

ของสัญญาณพัลส์อินพุตที่ปรากฏเข้ามาทางขา T0 และ T1 โดยการเปลี่ยนสเตตไปตามแนวตั้งทั้งหมดจะขึ้นอยู่กับโปรแกรมจำลองการทำงานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตตที่จะให้ลอจิกเอาต์พุตเป็น  $v_D^-$  และ  $v_U$  ที่พอร์ตเอาต์พุต P1.0 และ P1.1 ของ 8031 ตามลำดับ ขณะที่การเปลี่ยนสเตตไปตามแนวนอนทั้งหมดจะเป็นผลมาจากการสลิปของสัญญาณไซเคิลสลิปที่จะเกิดขึ้นเมื่อความต่างเฟส  $\theta_d$  ระหว่างขาสัญญาณอินพุตอ้างอิง T0 กับขาสัญญาณอินพุตที่ต้องการเปรียบเทียบเฟส T1 มีค่าสูงสุด ( $\theta_{dm}$ ) เท่ากับ  $2\pi$  เรเดียน ซึ่งถ้า 8031 ตรวจพบในโปรแกรมจำลองการทำงาน of วงจรตรวจจับเฟสและความถี่แบบสาม-สเตต ก็จะส่งผลให้สถานะของสเตตถูกขยายต่อออกไปอีกด้วยโปรแกรมจำลองการทำงาน of วงจรซิงโครไนซ์สองทิศทาง จึงทำให้ได้มาซึ่งช่วงคุณสมบัติที่เป็นเชิงเส้นของวงจรตรวจจับเฟสเพิ่มขึ้นจาก  $\pm 2\pi$  เรเดียนออกไปอีก ซึ่งในกรณีดังกล่าวนี้ 8031 จะทำงานเสมือนเป็นตัวตรวจจับความถี่ระหว่างสัญญาณอินพุตอ้างอิงกับสัญญาณอินพุตที่ต้องการเปรียบเทียบที่มีค่าความถี่ไม่เท่ากัน สำหรับกรณีที่ความถี่ระหว่างสองสัญญาณอินพุตมีค่าเท่ากัน การปรากฏสัญญาณไซเคิลสลิปที่ค่าความต่างเฟสสูงสุด  $\theta_{dm}$  ก็จะไม่เกิดขึ้น ดังนั้น 8031 จึงทำงานเป็นตัวตรวจจับเฟสและให้แรงดันเอาต์พุตสูงสุดที่เป็นสัดส่วนกับค่าความต่างเฟสอยู่ภายในช่วงไม่เกิน  $\pm 2\pi$  เรเดียน ด้วยโปรแกรมจำลองการทำงาน of วงจรตรวจจับเฟสและความถี่แบบสาม-สเตตเท่านั้น สัญญาณลอจิกที่ได้จากการขยายสถานะของสเตตนี้ซึ่งแสดงออกมาที่เอาต์พุต  $v_1$ ,  $v_2$  และ  $v_3$  จะถูกกำหนดโดยพอร์ตเอาต์พุต P1.2, P1.3 และ P1.4 ของ 8031 ตามลำดับ จากนั้นสัญญาณลอจิกเอาต์พุตทั้งหมดจะถูกส่งต่อไปยังวงจรบวกสัญญาณแบบไม่กลับขั้วดังในรูปที่ 4.11 ที่แสดงถึงโครงสร้างการเชื่อมต่อวงจร เพื่อรวมค่าลอจิกเอาต์พุตต่างๆ เหล่านี้ให้เป็นระดับของแรงดันที่เอาต์พุต  $v_d$  ซึ่งการวิเคราะห์ห้วงจรสามารถทำได้ง่าย โดยการหาค่าแรงดันเรซินิน ( $v_s$ ) และความต้านทานเรซินิน ( $R_s$ ) [11] ที่จุด x ของวงจรบวกสัญญาณ ดังสมการที่ (4.1) และ (4.2) คือ

$$v_x = \frac{R_i}{R_i + R_{th}} E_{th} \quad (4.1)$$

$$R_x = \frac{R_i R_{th}}{R_i + R_{th}} \quad (4.2)$$

เมื่อ  $R_{th}$  คือค่าความต้านทานเทวินินก่อนต่อโหลด  $R_i$

$E_{th}$  คือค่าแรงดันเทวินินก่อนต่อโหลด  $R_i$

$R_x$  คือค่าความต้านทานเทวินินที่จุด  $x$

และ  $v_x$  คือค่าแรงดันเทวินินที่จุด  $x$

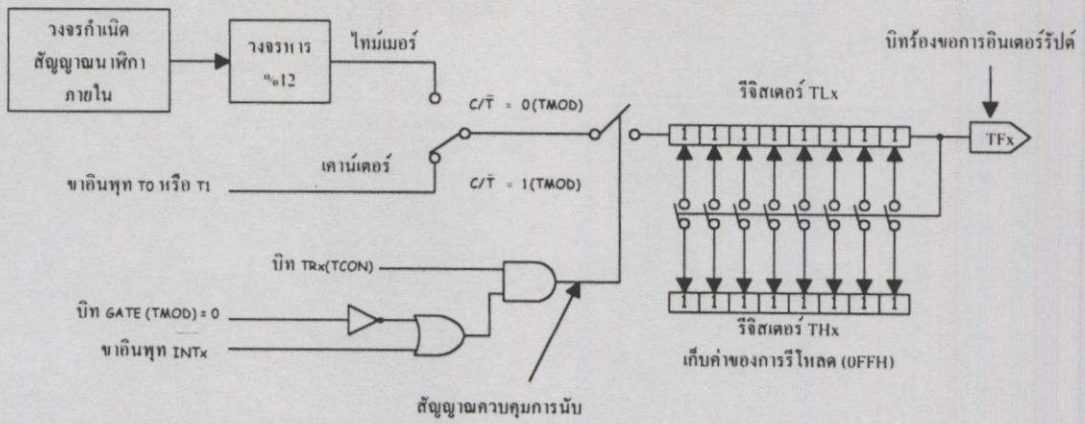
และด้วยวิธีการของออปแอมป์ [12] จะทำให้ได้สมการเอาต์พุตของวงจรถ่วงจับเฟสและความถี่แบบ 6-สเตจ ที่แสดงอยู่ในรูป 4.11 โดยกำหนดให้  $R_i = R_x$  และ  $R_f = R_{th}$  ดังสมการที่ (4.3) ซึ่งก็คือ

$$v_d = \frac{v_{d1}}{5} + \frac{v_{d2}}{5} + \frac{v_{d3}}{5} + \frac{v_{d4}}{5} + \frac{v_{d5}}{5} \quad (4.3)$$

จากสมการที่ (4.3) จะสังเกตว่าผลรวมของแรงดันเอาต์พุต  $v_d$  ที่ได้จะมีค่าสูงสุดเมื่อวงจรทำงานอยู่ในสเตจที่ 6 โดยเอาต์พุตแต่ละตัวจะแสดงค่าของลอจิกสูง ( $V_H$ ) ออกมาทั้งหมด เป็นผลให้  $v_d = V_H$  ทำนองเดียวกันผลรวมของแรงดันเอาต์พุต  $v_d$  จะมีค่าต่ำสุดเมื่อวงจรทำงานอยู่ในสเตจที่ 0 ซึ่งเอาต์พุตแต่ละตัวจะแสดงค่าของลอจิกต่ำ ( $V_L$ ) ออกมาตามสเตจไคอะแกรมของรูปที่ 4.10 ทำให้  $v_d = V_L$  ดังนั้นจากสมการที่ (4.3) เมื่อเทียบกับสมการที่ (3.1) ของบทที่ 3 เอาต์พุต  $v_d$  ของวงจรถ่วงจับเฟสและความถี่แบบ 6-สเตจ ที่แสดงอยู่ในรูป 4.11 นั้นจะให้ผลที่เหมือนกับรูป 3.6 (ก) ซึ่งเป็นไปตามแนวทฤษฎีที่นำเสนอ

#### 4.2.2 การกำหนดหน้าที่ใช้งานของไทม์เมอร์/เคาน์เตอร์เป็นตัวตรวจจับสัญญาณพัลส์อินพุต

ดังที่ได้กล่าวมาแล้วในหัวข้อ 4.1.3 ถึงเงื่อนไขของสัญญาณพัลส์ที่ไมโครคอนโทรลเลอร์ MCS-51 สามารถตอบสนองได้นั้น จะต้องเป็นสัญญาณพัลส์แบบ TTL โดยกำหนดให้ค่าของลอจิก "0" ( $V_L$ ) มีค่าโวลต์เดจไม่เกิน 0.6 โวลต์ และลอจิก "1" ( $V_H$ ) จะต้องมียค่าโวลต์เดจมากกว่า 2.4 โวลต์ ซึ่งสัญญาณพัลส์อินพุตทั้งสองนี้จะถูกส่งเข้ามาทางขา T0 สำหรับสัญญาณอินพุตอ้างอิง  $v_i$  และทางขา T1 สำหรับสัญญาณอินพุตที่ต้องการเปรียบเทียบเฟสและความถี่  $v_o$  ของ MCS-51 ที่ถูกกำหนดให้รีจิสเตอร์ไทม์เมอร์ 0 และรีจิสเตอร์ไทม์เมอร์ 1 ทำงานเป็นเคาน์เตอร์สำหรับนับสัญญาณพัลส์ภายนอกที่ขอบขาลงโดยควบคุมการทำงานจากโปรแกรมผ่านบิต  $C/\bar{T} = 1$ , GATE = 0 ของรีจิสเตอร์



รูปที่ 4.12 การทำงานของไทม์เมอร์/เคาน์เตอร์ ในโหมด 2 ด้วยค่าเริ่มต้นการรีโหลด 0FFH

ใช้งานเฉพาะ TMOD และที่บิต TRx=1 (x หมายถึง 1 หรือ 0) ของรีจิสเตอร์ใช้งานเฉพาะ TCON เพื่อให้ไทม์เมอร์/เคาน์เตอร์เริ่มทำการนับสัญญาณพัลส์ที่เข้ามา ซึ่งจากตารางของโหมดการใช้งานไทม์เมอร์/เคาน์เตอร์ที่ 4.1 นั้นจะเลือกให้ไทม์เมอร์ 0 และไทม์เมอร์ 1 ทำงานในโหมด 2 ดังนั้นค่าที่จะต้องกำหนดให้กับรีจิสเตอร์ใช้งานเฉพาะ TMOD ก็คือค่าที่ได้จากการบวกกันของตารางที่ 4.3 และตารางที่ 4.5 ซึ่งเท่ากับ 66H และเนื่องจากการใช้งานในโหมดรีโหลดจึงทำให้รีจิสเตอร์ TH0 และ TH1 ต้องมีการเก็บค่าการนับเริ่มต้น ซึ่งในที่นี้มีค่าเท่ากับ 0FFH เพื่อรีโหลดค่าใหม่ให้กับรีจิสเตอร์ TL0 และ TL1 ตามลำดับเมื่อเกิดโอเวอร์โฟลวจากการนับเกินขึ้นดังในรูปที่ 4.12 และด้วยการกำหนดค่าเริ่มต้นของการรีโหลดให้เท่ากับ 0FFH นี้เอง ดังนั้นเมื่อปรากฏสัญญาณพัลส์อินพุตเข้ามาเพียงพัลส์เดียวที่ขา TO หรือ TI การร้องขอโปรแกรมบริการอินเตอร์รัปต์อันเนื่องมาจากบิต TFO หรือบิต TF1 ในรีจิสเตอร์ TCON ถูกแอกทีฟก็จะเกิดขึ้น จึงส่งผลให้ไมโครคอนโทรลเลอร์สร้างแรงดันเอาต์พุต  $v_o$  ที่ได้จากการเปรียบเทียบเฟสและความถี่ รวมถึงการขยายสถานะของสเตตด้วยโปรแกรมจำลองการทำงานของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตตที่ได้ออกแบบไว้ตามสเตตโคอะแกรมของรูปที่ 4.10

4.2.3 การกำหนดช่วงความถี่จากเวลาในการตอบสนองสัญญาณการร้องขออินเตอร์รัปต์

ในการทำงานของไมโครคอนโทรลเลอร์ตามโปรแกรมจำลองการทำงานเป็นวงจรตรวจจับเฟสและความถี่แบบ 6-สเตต ที่นำเสนอนี้จะใช้วิธีการตรวจสอบสัญญาณอินเตอร์รัปต์ที่บิตบอกระดับ TFO และบิต TF1 ของรีจิสเตอร์ TCON โดยเมื่อเกิดโอเวอร์โฟลวจากการนับสัญญาณพัลส์อินพุตอ้างอิง  $v_i$  ที่เข้ามาทางขา TO และสัญญาณพัลส์อินพุต  $v_i$  ที่เข้ามาทางขา TI ของรีจิสเตอร์ไทม์เมอร์/เคาน์เตอร์เพียงพัลส์เดียวก็จะเกิดการอินเตอร์รัปต์ขึ้น และไปควบคุมให้ไมโครคอนโทรลเลอร์ทำโปรแกรมบริการอินเตอร์รัปต์ในการเปรียบเทียบเฟสและความถี่รวมถึงการขยายสถานะของสเตตเพื่อสร้างสัญญาณเอาต์พุตตามโครงสร้างของสเตตโคอะแกรมในรูปที่ 4.10 แต่ด้วยเหตุที่ไมโคร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอนโทรลเลอร์นั้นต้องใช้ระยะเวลาในการคำนวณแต่ละคำสั่งของโปรแกรม (บริการอินเตอร์รัปต์) ที่เขียนขึ้นซึ่งในช่วงนี้อาจเป็นสาเหตุทำให้เกิดการทำงานที่ผิดพลาดได้ ถ้าปรากฏว่าสัญญาณอินพุตที่ทำให้เกิดการอินเตอร์รัปต์นั้นมีอัตราการเกิดพัลส์ช้ากว่า (มีความถี่สูง) ที่ไมโครคอนโทรลเลอร์จะทำงานได้ทัน นอกจากนี้ไมโครคอนโทรลเลอร์อาจถูกขัดจังหวะการทำโปรแกรมบริการอินเตอร์รัปต์ที่มีลำดับความสำคัญต่ำด้วยสัญญาณอินเตอร์รัปต์ที่มีลำดับความสำคัญสูงกว่าได้ซึ่งอาจเป็นสาเหตุให้การสร้างสัญญาณเอาต์พุตเป็นไปอย่างไม่ถูกต้อง



รูปที่ 4.13 แสดงไขเคล็ดการตอบสนองต่อสัญญาณอินเตอร์รัปต์

ดังนั้นการใช้งานที่เกี่ยวข้องกับการอินเตอร์รัปต์พร้อมๆ กันของไมโครคอนโทรลเลอร์จึงต้องคำนึงถึงลำดับความสำคัญของสัญญาณอินเตอร์รัปต์ และเวลาในการตอบสนองต่อสัญญาณอินเตอร์รัปต์ที่จะเป็นตัวกำหนดช่วงความถี่ใช้งานด้วย ไมโครคอนโทรลเลอร์ เบอร์ 8031 นี้จะมีการตรวจสอบสัญญาณการร้องขอบริการอินเตอร์รัปต์จาก 6 แหล่งกำเนิดคือ INT0, INT1, TFO, TF1, TI และ RI ที่ทุกๆ สเตต 5 เฟส 2 ของแต่ละแมชชีนไซเคิล และค่าที่ตรวจสอบได้นั้นจะถูกรับเข้ามาในแมชชีนไซเคิลถัดไปดังรูปที่ 4.13 โดยช่วงเวลาการตอบสนองต่อสัญญาณอินเตอร์รัปต์ทั้งหมดจะประกอบด้วยไขเคล็ดการทำงานต่างๆ กันได้แก่

- ไขเคล็ดตรวจสอบสัญญาณอินเตอร์รัปต์ ซึ่งเป็นไขเคล็ดตรวจสอบสถานะของบิทว่ามีสัญญาณอินเตอร์รัปต์ใดร้องขอเข้ามาบ้าง
- ไขเคล็ดตรวจหาชนิดของสัญญาณอินเตอร์รัปต์ (Pooling Cycle) ซึ่งจะตรวจสอบว่าสัญญาณอินเตอร์รัปต์ที่เกิดขึ้นในไขเคล็ดตรวจสอบสัญญาณอินเตอร์รัปต์นั้น เป็นสัญญาณอินเตอร์รัปต์ชนิดใด (บิท TFO หรือบิท TF1 ซึ่งใช้ในวงจรตรวจจับเฟสและความถี่แบบ 6-สเตต นี้เท่านั้น) หรือสัญญาณอินเตอร์รัปต์ใดที่มีลำดับความสำคัญสูงจะได้รับการตอบสนองก่อนเสมอ
- ไขเคล็ดการสร้างคำสั่ง Long Call ซึ่งเป็นไขเคล็ดที่จะทำให้ MCS-51 หยุดจากงานที่กำลังทำอยู่แล้วไปยังโปรแกรมบริการอินเตอร์รัปต์ที่ร้องขอ โดยใช้เวลา 2 แมชชีนไซเคิล

- ไซเคิลการทำคำสั่งที่อยู่ในโปรแกรมบริการอินเทอร์เน็ตรีปัด เป็นไซเคิลของการทำคำสั่งแรก  
ในโปรแกรมบริการอินเทอร์เน็ตรีปัดที่ร้องขอ ซึ่งก็คือโปรแกรมจำลองการทำงานของวงจร  
ตรวจจับจับเฟสและความถี่แบบ 6-สเตท ที่เขียนขึ้น

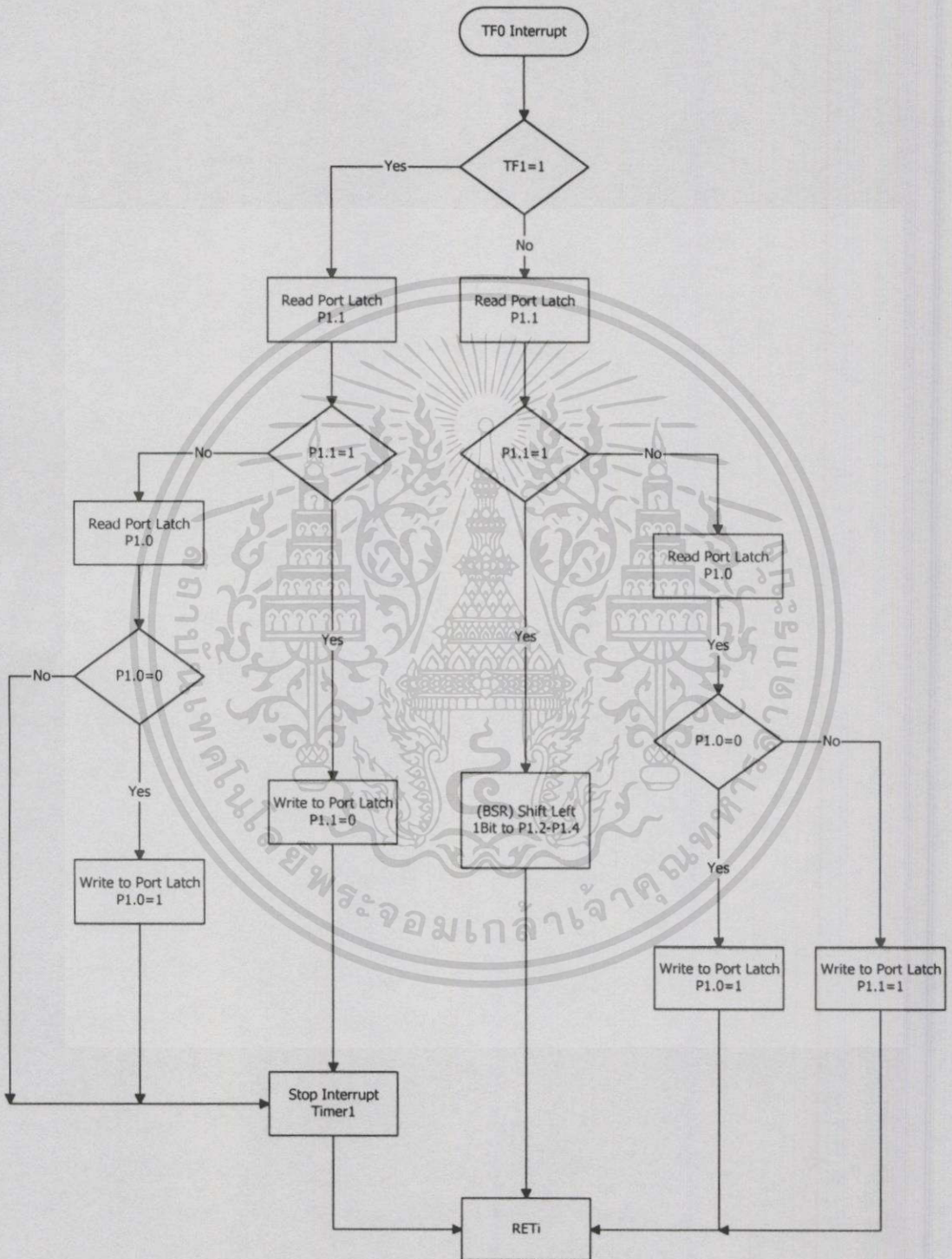
ซึ่งจากไซเคิลการทำงานของรูปที่ 4.13 ถ้าบิทยบอสถานะสัญญาณอินเทอร์เน็ตรีปัด TFO หรือ TF1 ตัว  
ใดตัวหนึ่งหรือเกิดขึ้นพร้อมกันอยู่ในสถานะถูกเซตอินเนื่องมาจากเกิดการโอเวอร์โวลในรีจิส  
เตอร์โทมเมอร์/เคาน์เตอร์ที่ใช้เป็นตัวนับสัญญาณพัลส์อินพุทที่ขา T0 หรือขา T1 ที่สเตท 5 เฟส 2  
ของไซเคิลตรวจสอบสัญญาณอินเทอร์เน็ตรีปัด ไซเคิลตรวจหาชนิดของสัญญาณอินเทอร์เน็ตรีปัดก็จะทำ  
การค้นหาว่าอินเทอร์เน็ตรีปัดชนิดใดเป็นผู้ขอมาและมีลำดับความสำคัญที่สุด ในไซเคิลถัดไป MCS-51  
ก็จะทำคำสั่ง Long Call ไปยังโปรแกรมบริการร้องขอการอินเทอร์เน็ตรีปัดนั้นๆ กล่าวคือถ้ามีการตรวจ  
พบว่าบิทย TFO (มีลำดับความสำคัญสูงสุด) เป็นผู้ร้องขอบริการอินเทอร์เน็ตรีปัดเนื่องจากมีสัญญาณ  
พัลส์อินพุท  $v_i$  เข้ามาทางขา T0 เพียงพัลส์เดียว ไมโครคอนโทรลเลอร์ก็จะไปทำโปรแกรมบริการ  
อินเทอร์เน็ตรีปัดอันเนื่องมาจากการร้องขอของสัญญาณอินพุทอ้างอิงที่ขา T0 ตามโพล์ซาร์ทของรูปที่  
4.14 ทำนองเดียวกันถ้ามีการตรวจพบว่าบิทย TF1 ถูกแอกทีฟจากสัญญาณพัลส์อินพุท  $v_i$  ที่เข้ามา  
ทางขา T1 เพียงพัลส์เดียว ไมโครคอนโทรลเลอร์ก็จะไปทำโปรแกรมบริการอินเทอร์เน็ตรีปัดอันเนื่อง  
มาจากการร้องขอของสัญญาณอินพุทที่ต้องการจะเปรียบเทียบเฟสและความถี่ที่ขา T1 ตามโพล์  
ซาร์ทของรูปที่ 4.15 ซึ่งช่วงไซเคิลของการทำคำสั่ง Long Call (ด้วยฮาร์ดแวร์ภายในของ MCS-51)  
นั้นจะถูกทำให้เสร็จสิ้นก่อนที่จะไปปฏิบัติคำสั่งแรกในไซเคิลของการทำคำสั่งที่อยู่ในโปรแกรม  
บริการอินเทอร์เน็ตรีปัดได้ก็ต่อเมื่อไม่ถูกป้องกันโดยสถานะดังต่อไปนี้

1. ซีพียูใน MCS-51 กำลังทำคำสั่งในโปรแกรมบริการอินเทอร์เน็ตรีปัดของอินเทอร์เน็ตรีปัดที่มี  
ความสำคัญเท่าเทียมกันหรือสูงกว่าอยู่ในขณะนั้น
2. ไซเคิลที่ตรวจหาชนิดของอินเทอร์เน็ตรีปัดไม่ใช่ไซเคิลสุดท้ายของคำสั่งที่ซีพียูกำลัง  
ปฏิบัติงานอยู่ นั่นคือซีพียูทำงานของคำสั่งใดๆ ยังไม่เสร็จสิ้นขณะตรวจพบชนิดของ  
สัญญาณอินเทอร์เน็ตรีปัด
3. คำสั่งที่ MCS-51 กำลังปฏิบัติอยู่ในขณะนั้นเป็นคำสั่ง RETI หรือคำสั่งใดๆ ที่มีการ  
เขียนข้อมูลไปยังรีจิสเตอร์ IE หรือ IP

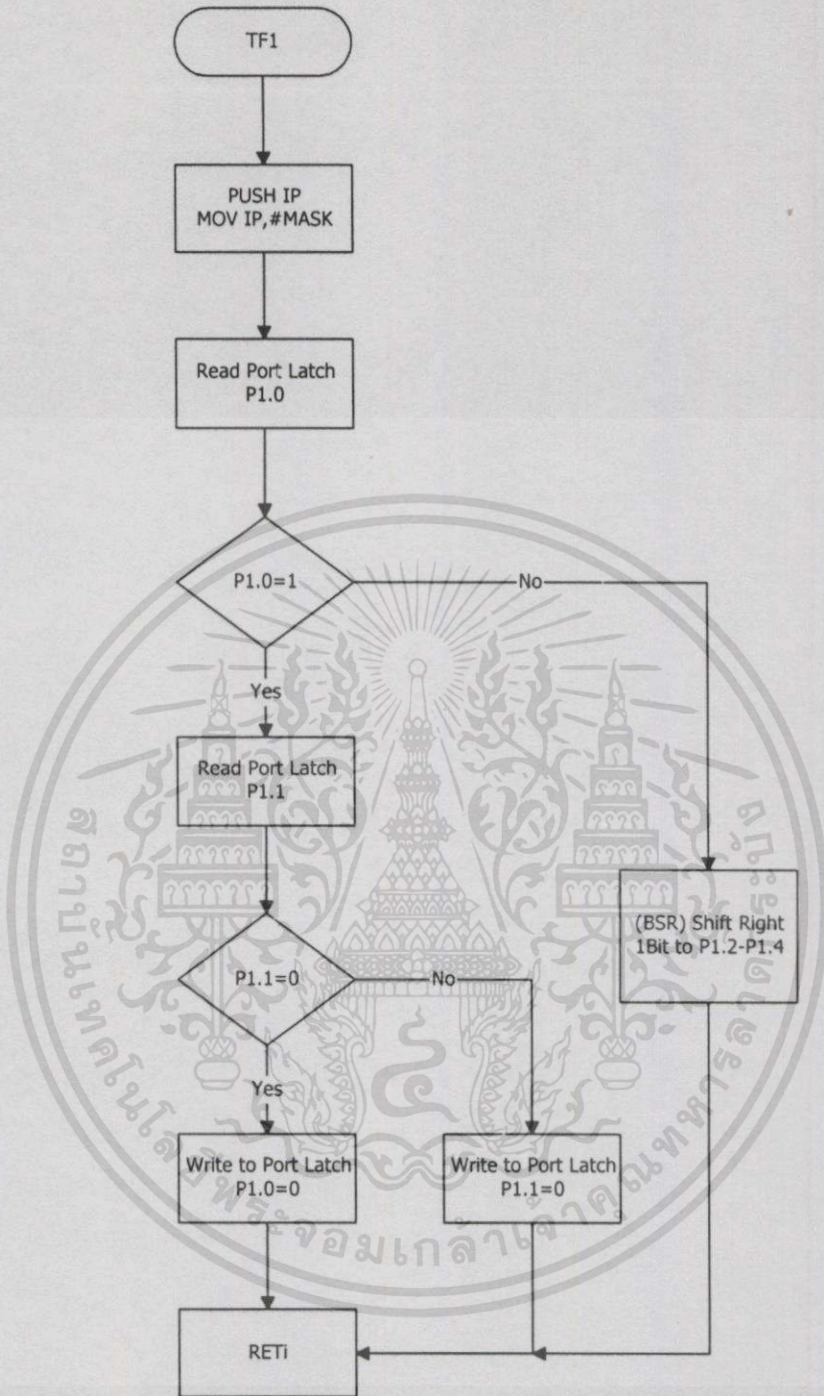
ทั้งสามสถานะนี้จะป้องกันไม่ให้ตัวซีพียูในไมโครคอนโทรลเลอร์ทำคำสั่ง Long Call แล้วย้ายไปยัง  
โปรแกรมบริการอินเทอร์เน็ตรีปัดขณะตรวจพบสัญญาณการร้องขออินเทอร์เน็ตรีปัดจากแหล่งกำเนิดนั้น  
ได้ ซึ่งในสถานะที่ 1 นั้นมีไว้เพื่อให้สัญญาณอินเทอร์เน็ตรีปัดที่มีความสำคัญสูงกว่าได้รับการบริการ  
ก่อนเสมอ โดยอินเทอร์เน็ตรีปัดที่มีลำดับความสำคัญต่ำกว่าจะไม่สามารถไปขัดจังหวะการทำงานได้  
ขณะที่ในสถานะที่ 2 มีไว้เพื่อให้แน่ใจว่าคำสั่งที่กำลังกระทำอยู่ในขณะนั้นจะถูกทำให้เสร็จก่อนการ  
ย้ายไปทำคำสั่งใดๆ ในโปรแกรมบริการอินเทอร์เน็ตรีปัดที่ร้องขอมา และในสถานะที่ 3 มีไว้เพื่อให้  
แน่ใจว่าคำสั่งที่กำลังทำอยู่นั้นเป็นคำสั่ง RETI ไมโครคอนโทรลเลอร์จะต้องออกจากโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บริการอินเตอร์รัปต์นี้ก่อน หรือถ้ากำลังทำคำสั่งที่มีการเข้าถึงข้อมูลในรีจิสเตอร์ IE หรือ IP อย่างน้อยจะต้องมีอีกหนึ่งคำสั่งถูกปฏิบัติก่อนที่อินเตอร์รัปต์ใดๆ จะถูกให้บริการ



รูปที่ 4.14 โฟลว์ชาร์ทของโปรแกรมบริการอินเตอร์รัปต์เมื่อมีการร้องขอจากบิต TF0 ของสัญญาณพัลส์อินพุตอ้างอิง  $v_i$  ที่เข้ามาทางขา T0 เพียงพัลส์เดียว



รูปที่ 4.15 โฟลว์ชาร์ทของโปรแกรมบริการอินเตอร์รัปต์เมื่อมีการร้องขอจากบิต TF1 ของสัญญาณพัลส์อินพุตที่ต้องการจะเปรียบเทียบกับ  $v_i$  ที่เข้ามาทางขา T1 เพียงพัลส์เดียว

ดังนั้นเวลาในการตอบสนองต่อสัญญาณการร้องขอบริการอินเตอร์รัปต์จากพัลส์อินพุตที่ขา T0 ซึ่งมีลำดับความสำคัญสูงสุดสำหรับวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท นี้จะเป็นตัวกำหนดช่วงความถี่ของสัญญาณพัลส์อินพุตอ้างอิง  $v_i$  ที่นำมาใช้งาน กล่าวคือถ้าอัตราการเกิดพัลส์ซ้ำของสัญญาณอินพุตอ้างอิงมีค่าน้อยกว่าหรือมีความถี่สูงกว่าเวลาในการตอบสนองต่อสัญญาณการร้อง

ขอบริการอินเทอร์เน็ตไร้สายของอินเทอร์เน็ตเดียวกันนั้น ไมโครคอนโทรลเลอร์ก็จะทำโปรแกรมบริการอินเทอร์เน็ตไร้สายเดิมอยู่ตลอดเวลา (โปรแกรมบริการอินเทอร์เน็ตไร้สายอื่นเนื่องมาจากการร้องขอของสัญญาผลิตภัณฑ์อินเทอร์เน็ต) ทำให้ไม่สามารถทำงานอย่างอื่นได้ ด้วยเหตุนี้อัตราการเกิดพัลส์ซ้ำของสัญญาอินเทอร์เน็ตอ้างอิงที่นำมาใช้งานจะต้องมีค่ามากกว่าหรือมีความถี่ต่ำกว่าผลรวมของไซเคิลของการตรวจสอบชนิดของสัญญาอินเทอร์เน็ต (C2) บวกกับไซเคิลของการทำคำสั่ง Long Call (C3 และ C4) และไซเคิลของการทำคำสั่งแต่ละคำสั่งในโปรแกรมบริการอินเทอร์เน็ต (ตั้งแต่ C5 ขึ้นไป) ตามโพลีชาร์ทของรูปที่ 4.14

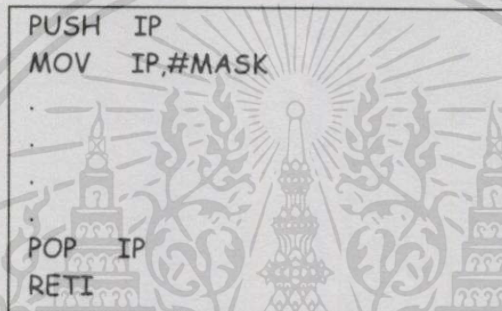
ในรูปที่ 4.14 และ 4.15 นั้นแสดงถึงโพลีชาร์ทของโปรแกรมบริการอินเทอร์เน็ตเมื่อมีการร้องขอจากบิต TFO และบิต TF1 ขณะที่เกิดโอเวอร์โวลต์ขึ้นในรีจิสเตอร์โทมเมอร์/เคาน์เตอร์ที่ใช้เป็นตัวนับสัญญาพัลส์อินเทอร์เน็ตอ้างอิง  $v$  ที่ขา T0 และสัญญาพัลส์อินเทอร์เน็ตที่ต้องการเปรียบเทียบ  $v$  ที่ขา T1 ซึ่งเป็นโพลีชาร์ทของกระบวนการเปรียบเทียบเฟสและความถี่ (วงจรตรวจจับเฟสและความถี่แบบสาม-สเตท) รวมถึงการขยายสถานะของสเตท (วงจรรีฟลิกซ์รีจิสเตอร์สองทิศทาง) ที่จะไปสร้างสัญญาลอจิกเอาต์พุตตามสเตทโคอะแกรมของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท

#### 4.2.4 การแก้ปัญหาการตรวจจับสัญญาอินเทอร์เน็ตที่เกิดขึ้นพร้อมกันและกฎกำหนดลำดับความสำคัญของการอินเทอร์เน็ตด้วยซอฟต์แวร์

เนื่องจากไมโครคอนโทรลเลอร์เบอร์ 8031 ที่ใช้ในงานนี้จะถูกอินเทอร์เน็ตไร้สายทุกครั้งเมื่อปรากฏขอขาลงของสัญญาพัลส์อินเทอร์เน็ตอ้างอิง  $v$  ที่เข้ามาทางขา T0 และสัญญาพัลส์อินเทอร์เน็ตที่ต้องการเปรียบเทียบ  $v$  ที่เข้ามาทางขา T1 ซึ่งเป็นไปได้อย่างแน่นอนว่าจะมีสัญญาพัลส์อินเทอร์เน็ตทั้งสองเข้ามาพร้อมกัน ด้วยเหตุนี้การร้องขอบริการอินเทอร์เน็ตจึงมีโอกาสที่จะเกิดขึ้นในช่วงเวลาเดียวกันได้ ซึ่งไมโครคอนโทรลเลอร์จะต้องมีการตัดสินใจในการตอบรับสัญญาการร้องขอบริการอินเทอร์เน็ตที่มีลำดับความสำคัญที่สุด (TFO) ก่อนเสมอและอาจเป็นสาเหตุทำให้ต้องสูญเสียสัญญาอินเทอร์เน็ตใดอินเทอร์เน็ตหนึ่งไป ถ้าสัญญาอินเทอร์เน็ตของการร้องขอบริการอินเทอร์เน็ตที่มีความสำคัญต่ำ (TF1) กว่านั้นไม่ได้รับการตอบสนองจากไมโครคอนโทรลเลอร์จึงเป็นผลทำให้เกิดการทำงานที่ผิดพลาดขึ้น นอกจากนี้ในขณะที่ไมโครคอนโทรลเลอร์กำลังทำโปรแกรมบริการอินเทอร์เน็ตที่มีความสำคัญต่ำ (PT1) อยู่แล้วปรากฏการร้องขอของสัญญาอินเทอร์เน็ตที่มีความสำคัญสูงกว่าโปรแกรมบริการอินเทอร์เน็ตที่มีความสำคัญต่ำกว่าอาจถูกขัดจังหวะการทำงานลงได้ ดังที่อธิบายไว้ในหัวข้อที่ผ่านมา และด้วยสาเหตุนี้จึงทำให้กระบวนการเปรียบเทียบเฟสและความถี่ของไมโครคอนโทรลเลอร์อาจไม่เป็นไปตามโปรแกรมการทำงาน สำหรับการแก้ปัญหาของการตรวจจับสัญญาอินเทอร์เน็ตที่เข้ามาพร้อมกันจนทำให้เกิดการร้องขอบริการอินเทอร์เน็ตในช่วงเวลาเดียวกันนั้นสามารถทำได้โดยใช้สเตทโคอะแกรมของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทในรูปที่ 3.3

(ค) ร่วมกับการตรวจสอบบิตบอกสถานะของสัญญาการร้องขอบริการอินเทอร์เน็ต TFO และ TF1 ว่าเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดขึ้นพร้อมกันหรือไม่ ซึ่งจากสเตทโคอะแกรมของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท จะสังเกตว่าเมื่อปรากฏสัญญาณอินพุตเข้ามาพร้อมๆ กันวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทจะกลับมาอยู่ในสถานะของสเตทเริ่มต้น (สเตทที่ 2) เสมอ ดังนั้นในโปรแกรมจำลองการทำงาน ของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ไมโครคอนโทรลเลอร์จะต้องคอยตรวจสอบว่ามีสัญญาณการร้องขอบริการอินเตอร์รัปต์ของบิท TFO และบิท TF1 ที่เกิดขึ้นจากสัญญาณพัลส์อินพุตเข้ามาพร้อมกันหรือไม่ โดยสามารถทำได้ด้วยการใช้คำสั่งตรวจสอบสถานะของบิทดิงโพลาร์ซาร์ทของรูปที่ 4.14 และถ้ามีสัญญาณพัลส์อินพุตเข้ามาพร้อมกันก็จะไปควบคุมไมโครคอนโทรลเลอร์ให้กลับไปทำโปรแกรมจำลองการทำงาน ของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทที่สถานะของสเตทเริ่มต้นใหม่ซึ่งจะให้ลอจิกเอาต์พุต  $v_U v_D = 01$  ที่พอร์ต P1.1 ( $v_U$ ) และ P1.0 ( $v_D$ )



```
PUSH IP
MOV IP, #MASK
.
.
POP IP
RETI
```

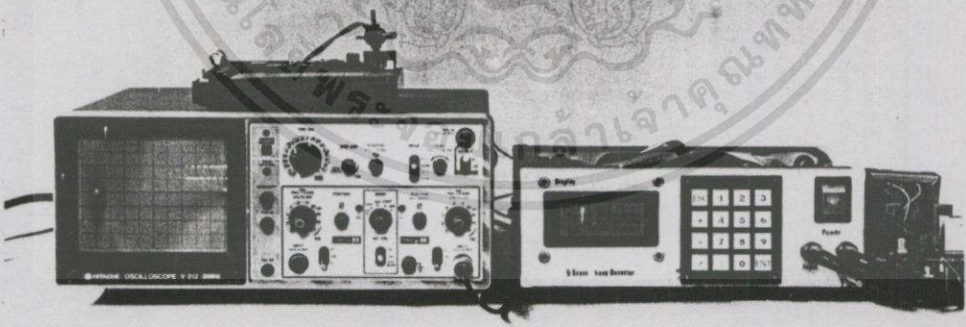
รูปที่ 4.16 แสดงโปรแกรมการป้องกันจากสัญญาณอินเตอร์รัปต์ที่มีลำดับความสำคัญสูงกว่า

รูปที่ 4.16 แสดงโปรแกรมการป้องกันการขัดจังหวะอันเนื่องมาจากการร้องขอของสัญญาณอินเตอร์รัปต์ที่มีลำดับความสำคัญสูง (TFO) กว่าในขณะที่ไมโครคอนโทรลเลอร์กำลังทำโปรแกรมบริการอินเตอร์รัปต์ที่มีลำดับความสำคัญต่ำอยู่ โดยวิธีการก็คือรีจิสเตอร์ใช้งานเฉพาะ IP ซึ่งทำหน้าที่กำหนดลำดับความสำคัญของสัญญาณการร้องขอบริการอินเตอร์รัปต์นั้นจะถูกเปลี่ยนค่าทันทีที่โปรแกรมบริการอินเตอร์รัปต์ซึ่งมีลำดับความสำคัญต่ำ (PT1) ถูกเรียกใช้เพื่อห้ามโปรแกรมบริการอินเตอร์รัปต์จากสัญญาณอินเตอร์รัปต์ที่มีลำดับความสำคัญสูงกว่า (TFO) เข้ามาขัดจังหวะได้ โดยค่าใน #MASK นั้นจะเป็นค่าที่กำหนดให้โปรแกรมบริการอินเตอร์รัปต์จากสัญญาณอินเตอร์รัปต์เดิม (TFO) ซึ่งมีลำดับความสำคัญสูงสุดมีระดับความสำคัญต่ำสุด ส่งผลให้โปรแกรมบริการอินเตอร์รัปต์ที่มีลำดับความสำคัญระดับสูง (PT0) จึงไม่ได้รับการบริการจากไมโครคอนโทรลเลอร์ในขณะนั้นได้ (เพราะถูกเปลี่ยนให้มีลำดับความสำคัญต่ำสุด) และเมื่อออกจากโปรแกรมบริการอินเตอร์รัปต์นี้การจัดลำดับความสำคัญก็จะถูกเปลี่ยนกลับมาเป็นค่าเดิมตามปกติ.

## บทที่ 5

### การทดสอบและผลการทดสอบ

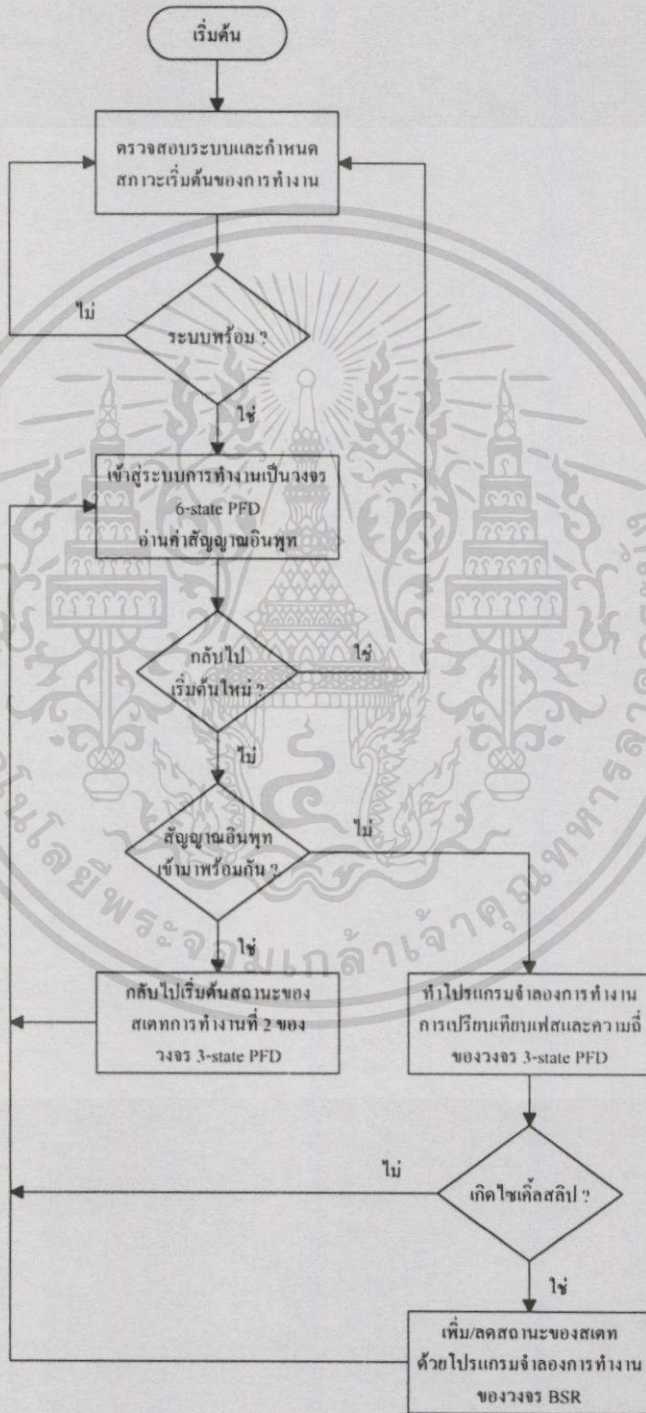
ในส่วนของการทดสอบเชิงปฏิบัติการนั้นจะเป็นการวัดผลของสัญญาณเอาต์พุตทั้งที่ได้จากการซิมูเลทของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ในรูปที่ 3.7 ด้วยโปรแกรม PSpice และจากการวัดสัญญาณของเครื่องต้นแบบที่สร้างขึ้นด้วยไมโครคอนโทรลเลอร์ โดยจะเปรียบเทียบผลกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทที่นิยมใช้กันอยู่ในปัจจุบันมาเป็นมาตรฐานในการทดสอบ เพื่อแสดงให้เห็นจริงถึงแนวความคิดที่ว่า การเพิ่มจำนวนสถานะที่เอาต์พุตสเตทของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท จะทำให้ได้มาซึ่งช่วงคุณสมบัติของวงจรที่กว้างขึ้นตามทฤษฎีที่นำเสนอ และยังสามารถที่จะนำเอาเครื่องต้นแบบนี้ไปประยุกต์ใช้งานเป็นตัวควบคุมระบบได้ต่อไป ซึ่งในการทดสอบนั้นวงจรจะถูกทดสอบด้วยการทำงานเป็นตัวตรวจจับเฟส (Phase Detector) และการทำงานเป็นตัวตรวจจับความถี่ (Frequency Detector) ที่จะมีการขยายสถานะของสเตทเกิดขึ้นเมื่อปรากฏสัญญาณไซน์คลื่นสลับ นอกจากนี้เพื่อเป็นการแสดงให้เห็นว่าวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ที่สร้างขึ้นตามวิธีการดังกล่าว สามารถขยายคุณสมบัติในช่วง  $2\pi$  เรเดียน ขณะที่วงจรทำงานเป็นตัวตรวจจับเฟสออกไปได้ โดยการหารความถี่ของสัญญาณอินพุตที่ต้องการจะเปรียบเทียบทำให้สัญญาณอินพุตอ้างอิงมีความถี่ที่สูงกว่า และเกิดเป็นสัญญาณไซน์คลื่นสลับกระตุ้นให้วงจรขยายสถานะของสเตทการทำงานต่อไป



รูปที่ 5.1 เครื่องต้นแบบของวงจรตรวจจับเฟสและความถี่ที่มีสถานะการทำงานเป็น 6-สเตท ด้วยไมโครคอนโทรลเลอร์ MCS-51

ในรูปที่ 5.1 นั้นแสดงเครื่องต้นแบบของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ซึ่งสร้างโดยไมโครคอนโทรลเลอร์ เบอร์ 8031 สำหรับใช้ทดสอบในเชิงปฏิบัติการ

### 5.1 การทำงานของเครื่องต้นแบบ ของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท



### รูปที่ 5.2 โพลีชาร์ทแสดงการทำงานของเครื่องต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 5.3 หน้าต่างแสดงสถานะการทำงานของเครื่องต้นแบบ

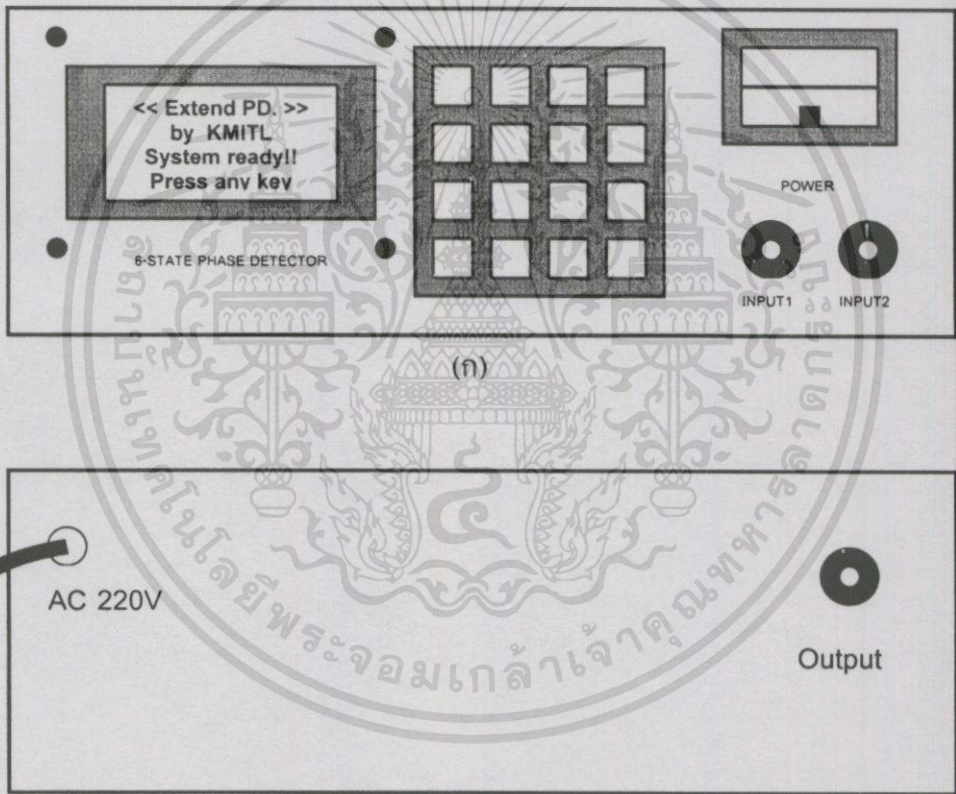
(ก) สถานะเริ่มต้นเมื่อระบบพร้อมการทำงาน

(ข) แสดงช่วงความถี่ใช้งานของสัญญาณอินพุตอ้างอิงที่วงจรสามารถทำงานได้ถูกต้อง

ในรูปที่ 5.2 เป็น โฟลว์ชาร์ทการทำงานของเครื่องต้นแบบ วงจรตรวจจับเฟสและความถี่แบบ 6-สเตตที่สร้างด้วยไมโครคอนโทรลเลอร์ MCS-51 ขณะที่รูป 5.3 นั้นจะแสดงหน้าต่างในสถานะการทำงานของวงจร โดยในรูปที่ 5.3 (ก) แสดงถึงสถานะความพร้อมของระบบเมื่อเริ่มต้นการทำงานเป็นวงจรตรวจจับเฟสและความถี่ ซึ่งระบบของเครื่องต้นแบบจะรับสัญญาณอินพุตจากภายนอกที่ป้อนเข้ามาทางเทอร์มินัลอินพุตที่ 1 (INPUT1) และอินพุตที่ 2 (INPUT2) ทางด้านหน้าของเครื่องดังในรูปที่ 5.4 (ก) สำหรับสัญญาณเอาต์พุตซึ่งผ่านวงจรบวกสัญญาณ ( $v_o$ ) จะถูกส่งออกมาที่เอาต์พุตเทอร์มินัลทางด้านหลังเครื่องดังรูปที่ 5.4 (ข) และเมื่อระบบเข้าสู่ความพร้อมการป้อนสัญญาณอินพุตในช่วงความถี่และเงื่อนไขที่กำหนดจะทำให้วงจรตรวจจับเฟสและความถี่แบบ 6-สเตต นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถทำงานได้อย่างถูกต้อง ซึ่งสัญญาณอินพุตที่ใช้ทดสอบจะต้องเป็นสัญญาณพัลส์แบบ TTL ที่มีสถานะของลอจิกต่ำ ( $V_L$ ) ไม่เกิน 0.6 โวลต์และสถานะของลอจิกสูง ( $V_H$ ) ต้องมากกว่า 2.4 โวลต์ โดยที่ในสถานะของลอจิกสูงและลอจิกต่ำนั้นจะต้องมีค่านานพอที่จะทำให้ไมโครคอนโทรลเลอร์สามารถตรวจจับสัญญาณได้ซึ่งก็คือในสถานะของลอจิกสูงจะต้องมีค่ามากกว่า  $1 \mu s$  และลอจิกต่ำอีก  $1 \mu s$  ดังที่ได้กล่าวมาแล้วในบทที่ 4 หน้าต่างถัดมาของรูปที่ 5.3 (ข) จะบอกให้ทราบถึงย่านความถี่การใช้งานกับเครื่องต้นแบบนี้โดยจะอยู่ในช่วง 100 Hz ถึง 20KHz ซึ่งกำหนดจากช่วงเวลาในการตอบสนองต่อสัญญาณการร้องขอบริการอินเตอร์รัปต์ที่ไมโครคอนโทรลเลอร์จะไม่ถูกขัดจังหวะการทำงาน (โปรแกรมบริการอินเตอร์รัปต์) จากสัญญาณอินพุตเดิมนั้นอยู่ตลอดเวลา



(ข)

รูปที่ 5.4 จุดต่อสัญญาณอินพุตจากภายนอกทางด้านหน้าและเอาต์พุตด้านหลังของเครื่องต้นแบบ

- (ก) สองอินพุตเทอร์มินัล ทางด้านหน้าของเครื่องต้นแบบ  
 (ข) เอาต์พุตเทอร์มินัล ทางด้านหลังของเครื่องต้นแบบ

### 5.2 การทดสอบผลโดยการซิมมูลเตด้วยโปรแกรม PSpice



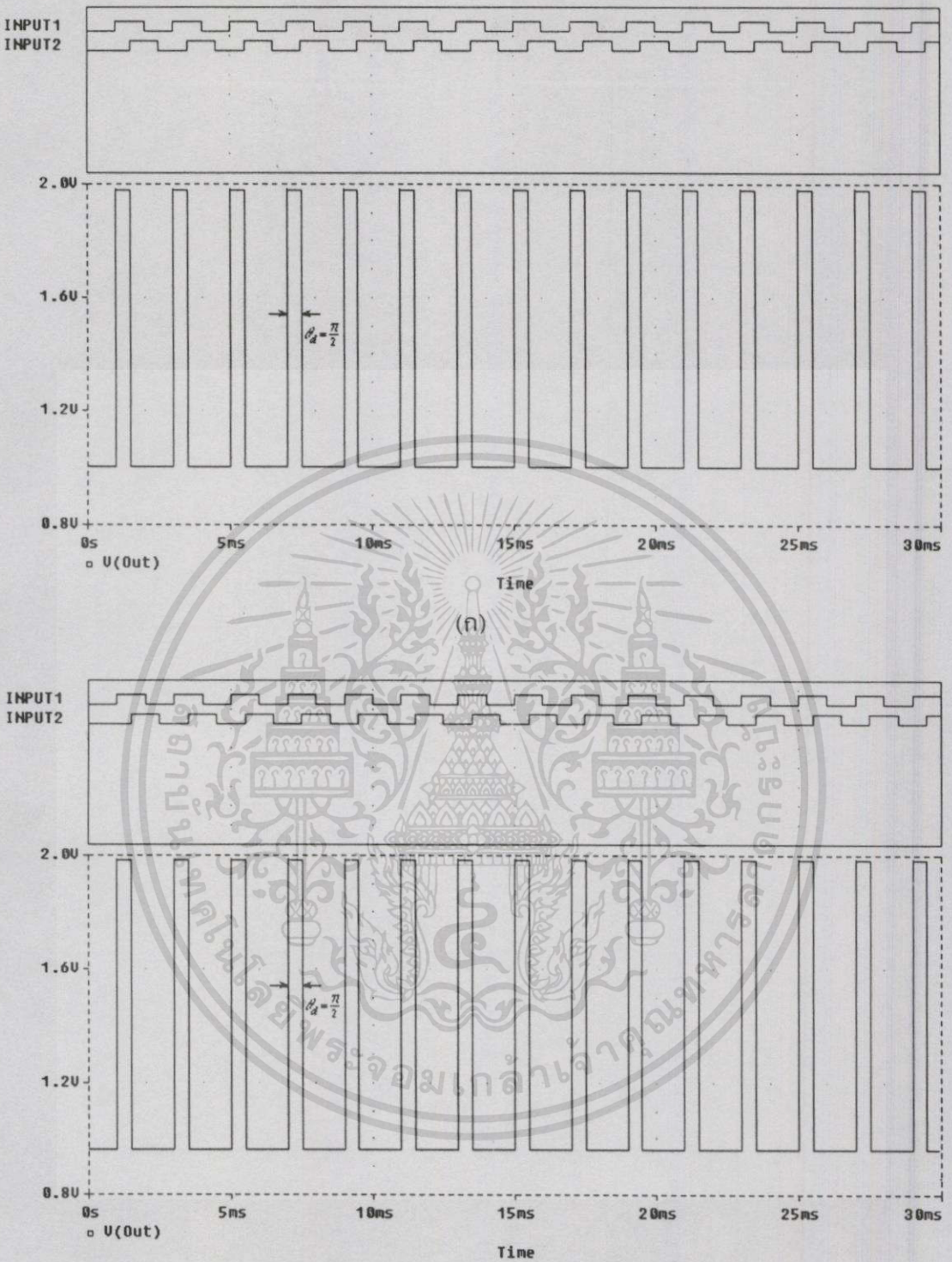
3-state Phase/Frequency Detector Circuit  
 Thana Fornwisandul  
 Department of Control Engineering, Faculty of Engineering  
 King Mongkut's Institute of Technology Ladkrabang  
 Revision: Oct 01, 2001 Page 1 of 1

รูปที่ 5.5 วงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ที่ใช้เป็นมาตรฐานของการเปรียบเทียบผล โดยวิธีการซิมมูลเตด้วย โปรแกรม PSpice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดสอบผลโดยการซิมูเลทด้วยโปรแกรม PSpice นั้นจะเป็นการทดสอบวงจรตรวจจับเฟส และความถี่แบบ 6-สเตท ที่แสดงในรูป 3.7 ของบทที่ 3 ซึ่งจะนำไปเปรียบเทียบกับเอาท์พุทของ วงจรตรวจจับเฟสและความถี่แบบสาม-สเตทในรูปที่ 5.5 ด้วยการซิมูเลทเช่นกัน ซึ่งมีขั้นตอนของ การทดสอบดังนี้

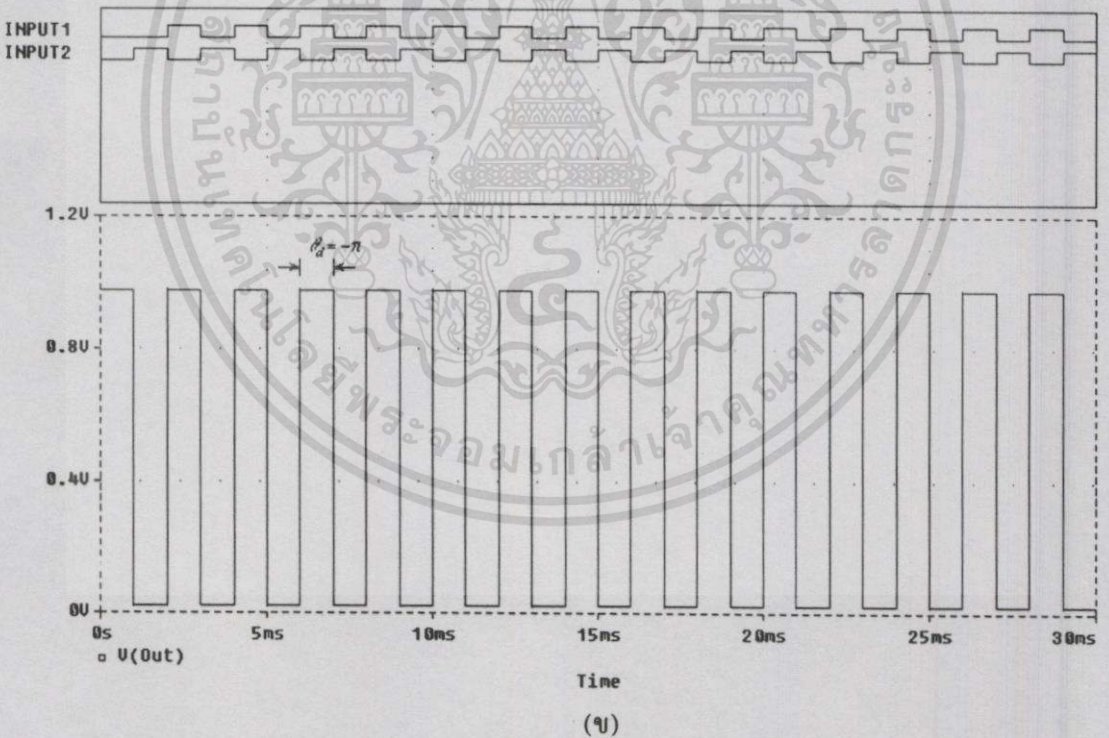
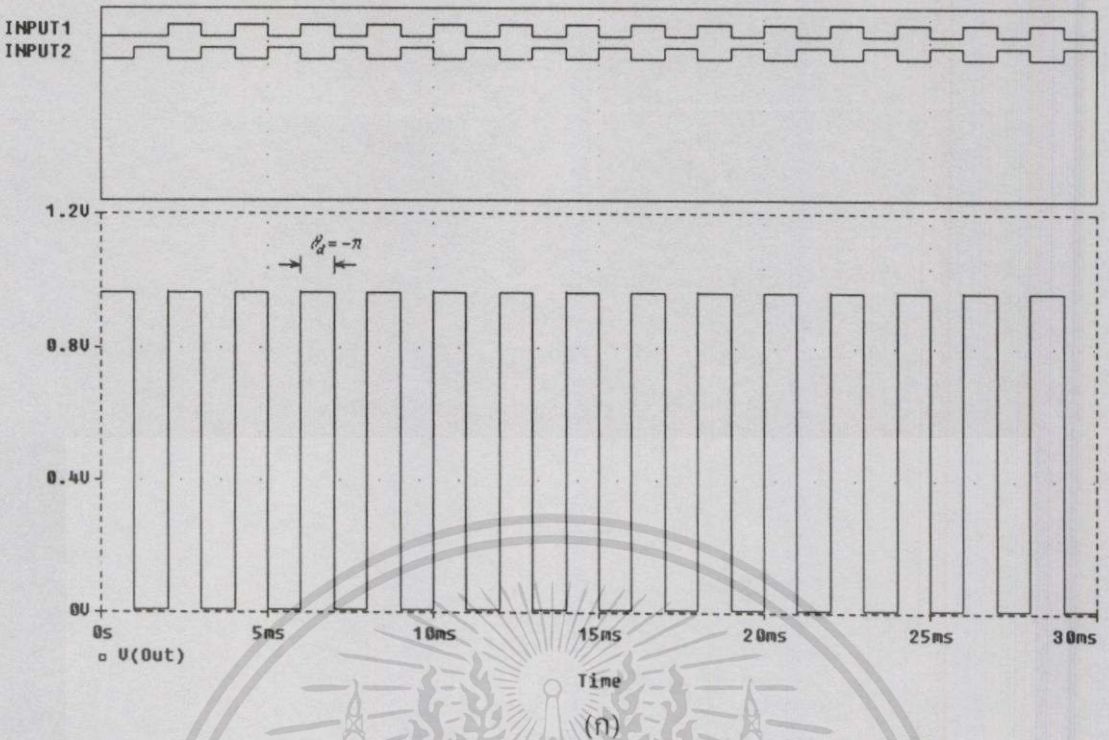
- 1) ทดสอบวงจรขณะทำงานเป็นวงจรตรวจจับเฟส ซึ่งจะกำหนดให้ค่าความถี่ของสัญญาณอินพุท อังอิง (อินพุทที่ 1) กับความถี่ของสัญญาณอินพุทที่ต้องการเปรียบเทียบ (อินพุทที่ 2) เท่ากัน แต่ มีช่วงเฟสต่างกัน โดยความถี่ที่ใช้ในการทดสอบคือ 500 Hz.
- 2) การทดสอบวงจรในขณะที่ทำงานเป็นตัวตรวจจับความถี่ โดยความถี่ของสัญญาณอินพุทอังอิง ( $f_R$ ) นั้นมีค่ามากกว่าความถี่ของสัญญาณอินพุทที่ต้องการเปรียบเทียบ ( $f_i$ ) อยู่ 1.1 เท่า และจะเป็น สาเหตุทำให้เกิดสัญญาณ ไซเคิลสลิปเมื่อความต่างเฟส ( $\theta_p$ ) มีค่ามากกว่าช่วง  $2\pi$  เรเดียน ซึ่งความถี่ที่ใช้ในการทดสอบก็คือ  $f'_R = 550$  Hz. และ  $f_i = 500$  Hz.
- 3) การทดสอบวงจรซึ่งสามารถขยายสถานะของสเตทออกไปได้ ถึงแม้ว่าความถี่ของสองสัญญาณ อินพุทที่เข้ามาจะเท่ากัน โดยการหารความถี่ของสัญญาณอินพุทที่ต้องการเปรียบเทียบ (อินพุท ที่ 2) ด้วยวงจรหารความถี่แบบไบนารีก่อนป้อนเข้าสู่อินพุทของวงจรตรวจจับเฟสและความถี่ แบบ 6-สเตท ซึ่งจะทำให้เกิดสัญญาณ ไซเคิลสลิปจากสัญญาณอินพุทอังอิงเพื่อขยายคุณสมบัติ ในช่วง  $\pm 2\pi$  เรเดียน ให้กว้างออกไปแม้ว่าความถี่ของสัญญาณอินพุททั้งสองจะมีค่าเท่ากันและ เป็นสาเหตุทำให้ไม่เกิดการสลิป จากนั้นจะนำผลที่ได้ไปเปรียบเทียบกับผลของเอาท์พุทก่อน มีการหารความถี่ที่ค่าความต่างเฟสเดียวกัน ( $\theta_p$  มีค่าเท่ากับ  $\pi/2$  เรเดียน)
- 4) การทดสอบวงจรในการตรวจจับสัญญาณอินพุทเมื่อเข้ามาพร้อมกัน ตามวัตถุประสงค์ที่นำเสนอ ในวิทยานิพนธ์นี้เพื่อแสดงให้เห็นว่า วงจรสามารถที่จะตอบสนองต่อทุกๆ สัญญาณอินพุทที่เข้า มาได้ โดยไม่มีการสูญเสียสัญญาณอินพุทใดอินพุทหนึ่งไป จนอาจเป็นสาเหตุทำให้เกิดค่าผิด พลาดขึ้นที่เอาท์พุท



(ข)

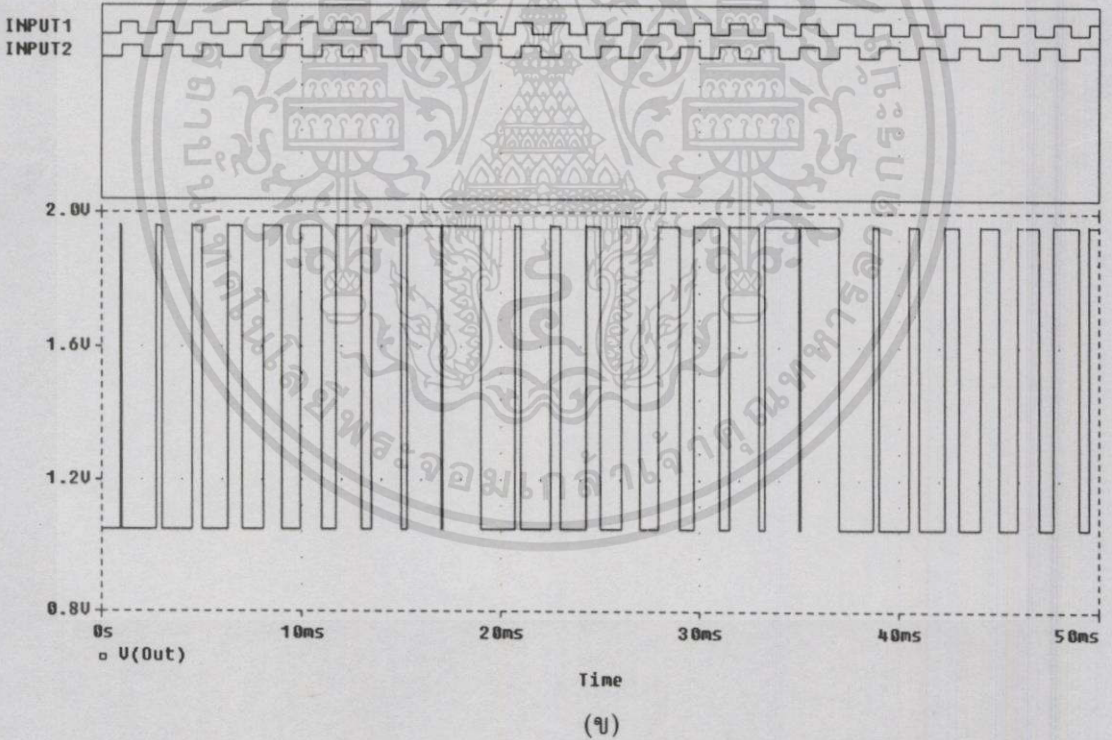
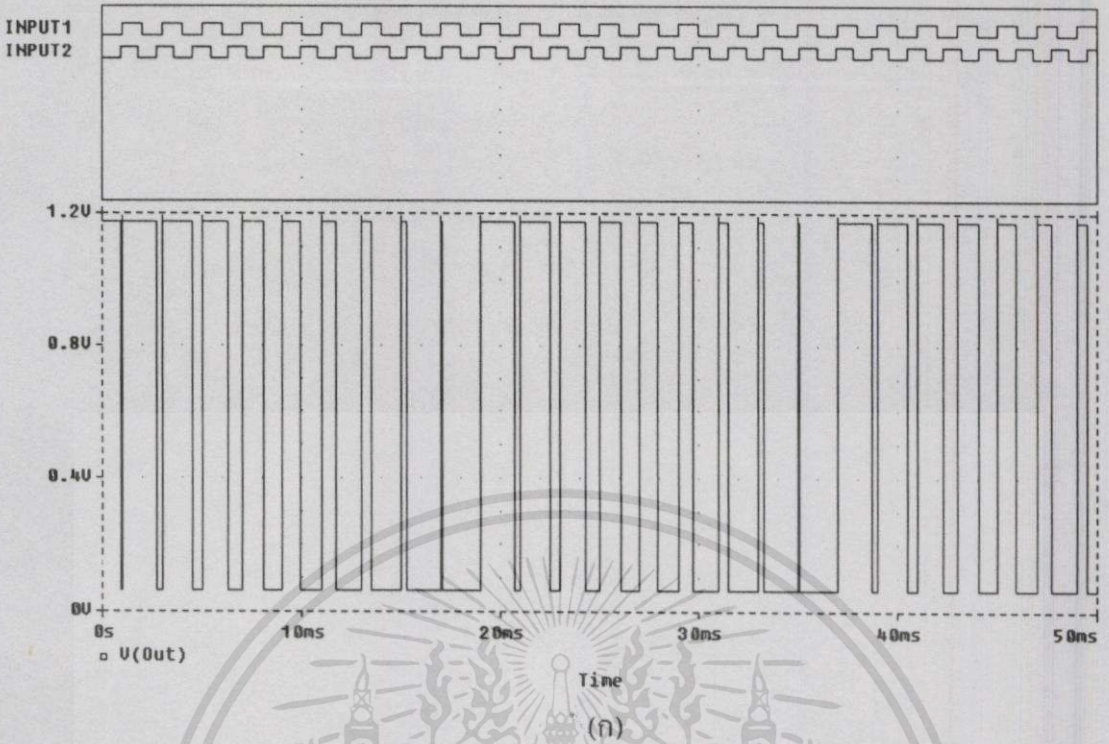
- รูปที่ 5.6 แสดงการเปรียบเทียบผลของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท กับวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท เมื่อทำงานเป็นตัวตรวจจับเฟสที่มีค่าความต่างเฟสเท่ากับ  $\pi/2$  เรเดียน โดยการซิมูเลตด้วยโปรแกรม PSpice ทดสอบที่ความถี่  $f_R = f_i$  คือ 500 Hz.
- (ก) ผลที่ได้จากการซิมูเลตของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท
- (ข) ผลที่ได้จากการซิมูเลตของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



- รูปที่ 5.7 แสดงการเปรียบเทียบผลของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท กับวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท เมื่อทำงานเป็นตัวตรวจจับเฟสที่มีค่าความต่างเฟสเท่ากับ  $-\pi$  เรเดียน โดยการซิมูเลทด้วยโปรแกรม PSpice ทดสอบที่ความถี่  $f_R = f_V$  คือ 500 Hz.
- (ก) ผลที่ได้จากการซิมูเลทของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท
- (ข) ผลที่ได้จากการซิมูเลทของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท

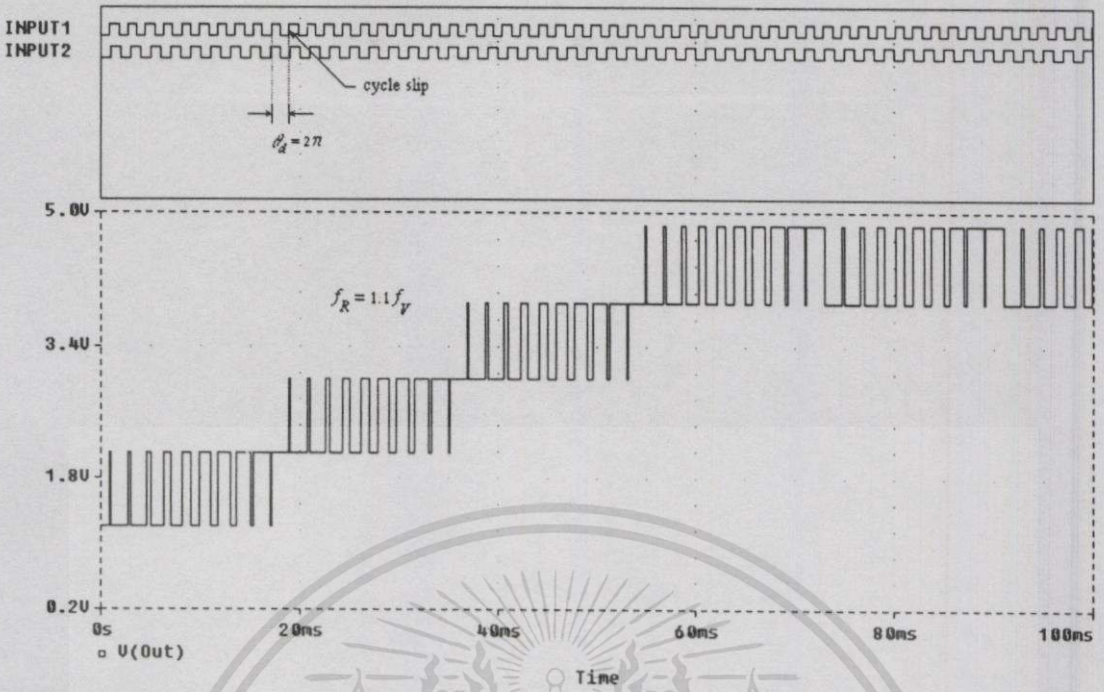
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



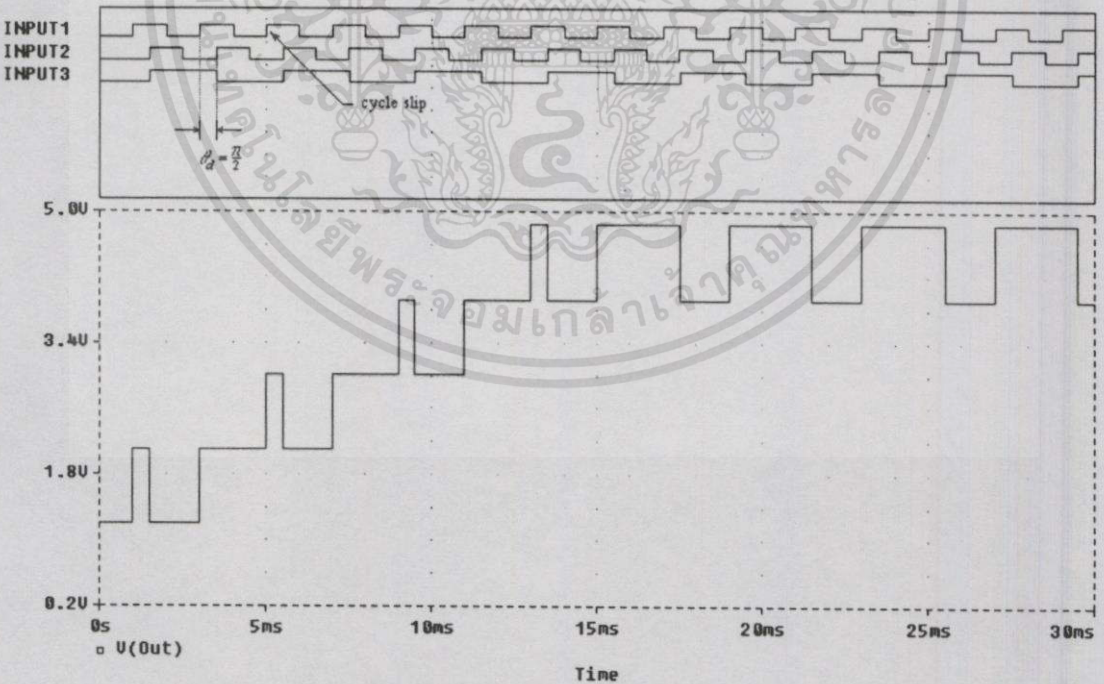
รูปที่ 5.8 แสดงผลการทดสอบของวงจรตรวจจับเฟสและความถี่แบบสาม-สแตท เมื่อทำงานเป็นตัวตรวจจับความถี่โดยการซิมูเลตด้วยโปรแกรม PSpice

(ก) เมื่อความถี่ของอินพุตอ้างอิง  $f_R=500$  Hz และอินพุตที่ต้องการเปรียบเทียบ  $f_I=550$  Hz

(ข) เมื่อความถี่ของอินพุตอ้างอิง  $f_R=550$  Hz และอินพุตที่ต้องการเปรียบเทียบ  $f_I=500$  Hz

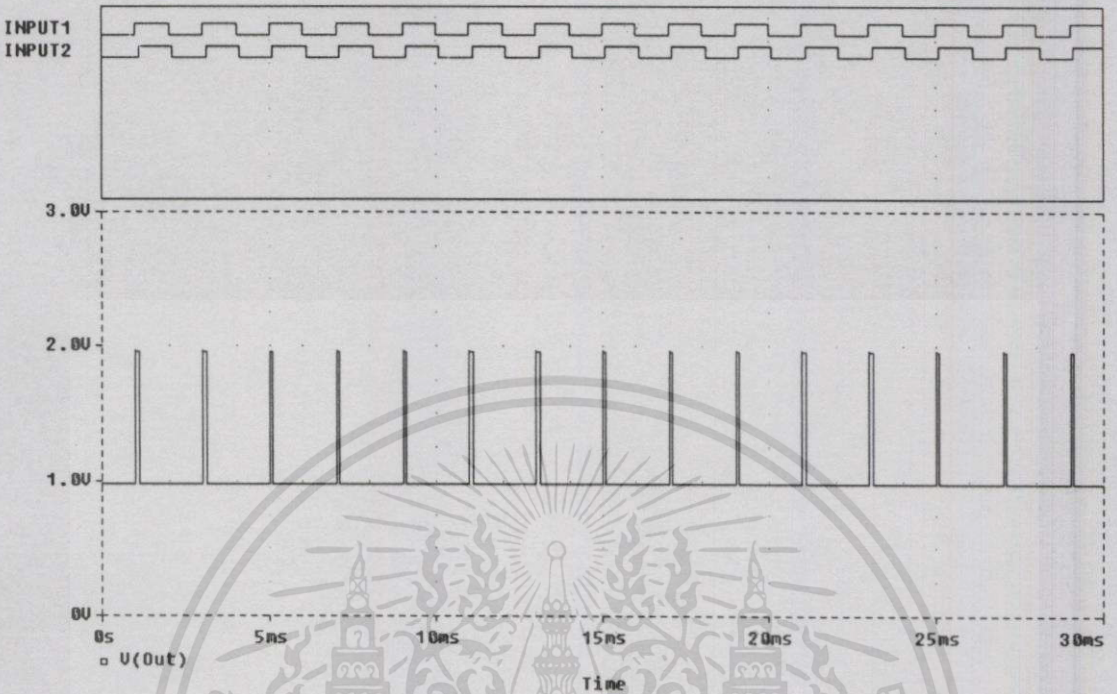


รูปที่ 5.9 แสดงผลการทดสอบของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจ เมื่อทำงานเป็นตัวตรวจจับความถี่โดยการซิมูเลตด้วยโปรแกรม PSpice ซึ่งสัญญาณอินพุตอ้างอิงมีความถี่เท่ากับ  $f_R = 550 \text{ Hz}$  และสัญญาณอินพุตที่ต้องการเปรียบเทียบมีความถี่เท่ากับ  $f_i = 500 \text{ Hz}$



รูปที่ 5.10 แสดงผลการทดสอบจากการหารความถี่ของสัญญาณอินพุตที่ต้องการเปรียบเทียบ ( $f_i/2$ ) เพื่อทำให้เกิดการเพิ่มสถานะของสเตจที่เอาท์พุท จากไซเคิลสลิปของสัญญาณอินพุตอ้างอิงซึ่งมีความถี่เท่ากับสัญญาณอินพุตที่ต้องการเปรียบเทียบและมีช่วงเฟสต่างกันอยู่  $\pi/2$

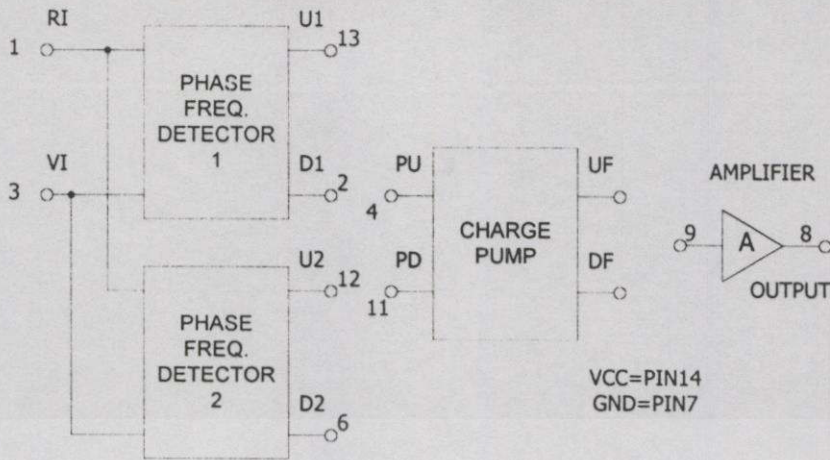
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 แสดงผลการทดสอบของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจ เมื่อปรากฏสัญญาณพัลส์อินพุตเข้ามาพร้อมๆ กัน โดยทดสอบที่ความถี่  $f_R=500$  Hz. และ  $f_i=500$  Hz.

### 5.3 การทดสอบและเปรียบเทียบผลของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจ ด้วยการทำงานของไมโครคอนโทรลเลอร์ กับวงจรตรวจจับเฟสและความถี่ MC4044

ในส่วนของการทดสอบนี้จะเป็นการเปรียบเทียบผลของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจ ที่สร้างขึ้นจากไมโครคอนโทรลเลอร์ เบอร์ 8031 ซึ่งมีวงจรแสดงอยู่ในภาคผนวก ก. กับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตจ เบอร์ MC4044 ที่เป็นชิปไอซีสำเร็จรูปของบริษัทโมโตโลลาร์ [7] และเป็นวงจรที่ถูกนำมาใช้งานอย่างกว้างขวางในการทำงานเป็นตัวตรวจจับเฟสเพราะวงจรจะให้ช่วงคุณสมบัติที่เป็นเชิงเส้นได้ถึง  $\pm 2\pi$  เรเดียน วงจรตรวจจับเฟสและความถี่ MC4044 ที่นำมาใช้เป็นมาตรฐานเพื่อเปรียบเทียบผลการทดสอบนี้จะประกอบด้วย ตัวตรวจจับเฟสและความถี่แบบดิจิตอลจำนวนสองตัว วงจรซาร์จปั๊มที่ และภาคขยายสัญญาณ ดังโครงสร้างภายในที่แสดงอยู่ในรูป 5.12

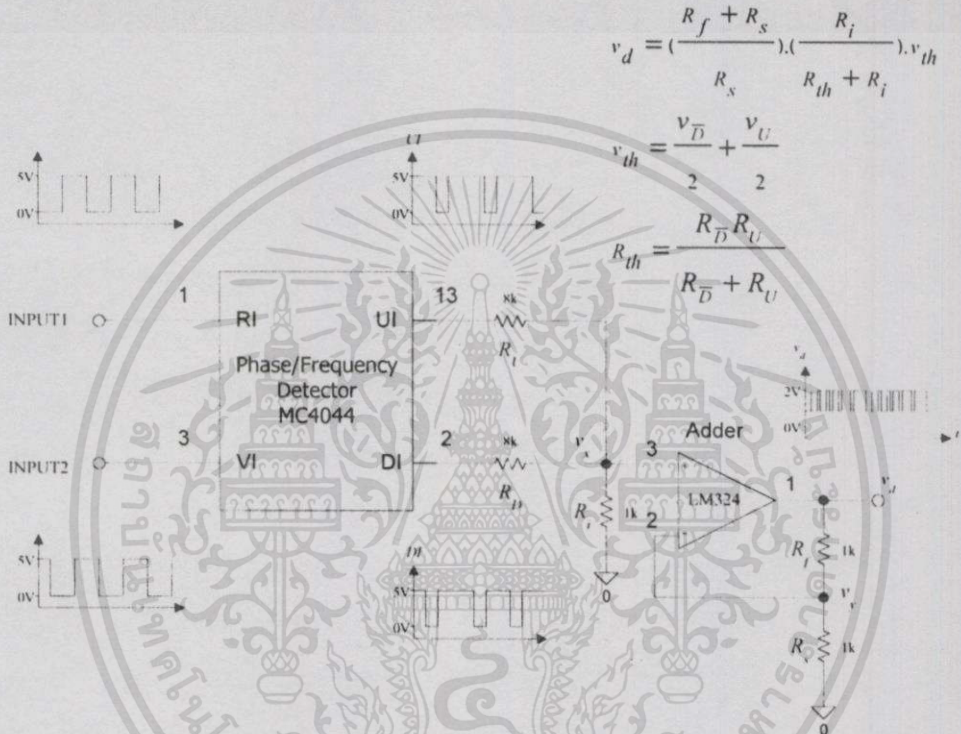


รูปที่ 5.12 โครงสร้างภายในของไอซีสำเร็จรูป MC4044 ที่ใช้เป็นมาตรฐานเพื่อการทดสอบ

จากโครงสร้างภายในของ MC4044 จะสังเกตว่าตัวตรวจจับเฟสและความถี่ทั้งสองตัวใช้ขาสัญญาณอินพุตร่วมกัน ซึ่งเมื่อนำไปใช้ในระบบของเฟสล็อกลูป (PLL) วงจรจะสามารถล็อกสัญญาณได้ที่สถานะเงื่อนไขที่แตกต่างกัน กล่าวคือตัวตรวจจับเฟสและความถี่ตัวหนึ่งจะล็อกสัญญาณเมื่อมีขอบขาลงของสัญญาณพัลส์ที่ขั้วอินพุต VI และขอบขาลงของสัญญาณพัลส์ที่ขั้วอินพุต RI มีค่าเท่ากันทั้งเฟสและความถี่ แต่ถ้าเมื่อใดก็ตามที่สัญญาณที่ขั้วอินพุต VI มีค่าความถี่น้อยกว่าหรือมีเฟสล่าหลังสัญญาณที่ขั้วอินพุต RI การเปลี่ยนสถานะไปสู่ค่าลอจิกต่ำที่ขั้วเอาต์พุต UI (Up) ก็จะเกิดขึ้นในทางกลับกันที่ขั้วเอาต์พุต DI (Down) จะเปลี่ยนสถานะไปสู่ค่าลอจิกต่ำ เมื่อสัญญาณที่ขั้วอินพุต VI มีความถี่สูงกว่าหรือมีเฟสนำหน้าสัญญาณที่ขั้วอินพุต RI ตามสเกทไดอะแกรมของวงจรตรวจจับเฟสและความถี่แบบสาม-สเกทที่แสดงอยู่ในรูป 3.3 (ง) สิ่งสำคัญอย่างหนึ่งที่สังเกตได้ก็คือการทำงานของวงจรตรวจจับเฟสตัวที่หนึ่งจะไม่ขึ้นอยู่กับการวัดความถี่ของสัญญาณที่ขั้วอินพุตทั้งสอง เพราะเนื่องจากสัญญาณเอาต์พุต UI และ DI ของวงจรตรวจจับเฟสตัวที่หนึ่งจะถูกควบคุมการเปลี่ยนสถานะของสัญญาณจากขอบขาลงที่ขั้วอินพุต RI และ VI เท่านั้น

สำหรับตัวตรวจจับเฟสและความถี่ตัวที่สองจะอยู่ในสถานะล็อกก็ต่อเมื่อสัญญาณที่ขั้วอินพุต VI ล้าหลังสัญญาณที่ขั้วอินพุต RI เท่ากับ 90 องศา ซึ่งสังเกตได้จากความกว้างของพัลส์สัญญาณที่ขั้วเอาต์พุต U2 และ D2 จะมีค่าเท่ากัน และเมื่อใดก็ตามที่สัญญาณอินพุต VI มีเฟสล่าหลังสัญญาณที่ขั้วอินพุต RI มากกว่า 90 องศา สัญญาณที่ขั้วเอาต์พุต U2 ก็จะเปลี่ยนสถานะไปสู่ค่าลอจิกต่ำมากกว่าสัญญาณที่ขั้วเอาต์พุต D2 ในทางกลับกันถ้าสัญญาณที่ขั้วอินพุต VI ล้าหลังสัญญาณที่ขั้วอินพุต RI น้อยกว่า 90 องศา การเปลี่ยนสถานะไปสู่ค่าลอจิกที่ต่ำของสัญญาณที่ขั้วเอาต์พุต D2 ก็จะเกิดขึ้นมากกว่าสัญญาณที่ขั้วเอาต์พุต U2 ซึ่งในกรณีนี้วงจรตรวจจับเฟสและความถี่ตัวที่สองจะต้องป้อนสัญญาณที่ขั้วอินพุต RI และ VI ที่มีค่าความถี่ที่ใกล้เคียงเท่ากับ 50 เปอร์เซ็นต์

วงจรรวบรวมซึ่งทำหน้าที่รับสัญญาณเอาต์พุตจากตัวตรวจจับเฟส (U1 หรือ U2 ต่อเข้ากับ PU และ D1 หรือ D2 ต่อเข้ากับ PD) และจะเปลี่ยนเป็นสัญญาณพัลส์บวกและพัลส์ลบซึ่งมีค่าแอมพลิจูดคงที่ ที่ชั่วเอาต์พุต UF และ DF ตามลำดับ สัญญาณพัลส์นี้จะถูกป้อนให้กับวงจรกรองรูปชนิดแอกทีฟแบบลิตส์-เล็กซึ่งจะต้องต่ออุปกรณ์ภายนอก (ตัวต้านทานและตัวเก็บประจุ) ร่วมกับวงจรรวบรวมที่มีไว้ให้ใน MC4044 อยู่แล้ว วงจรกรองรูปนี้จะให้เอาต์พุตที่เป็นแรงดันไฟฟ้ากระแสตรงและเป็นสัดส่วนกับค่าของความคลาดเคลื่อนเฟส



รูปที่ 5.13 วงจรรวบรวมเฟสและความถี่ MC4044 ที่ใช้เป็นมาตรฐานของการเปรียบเทียบผล

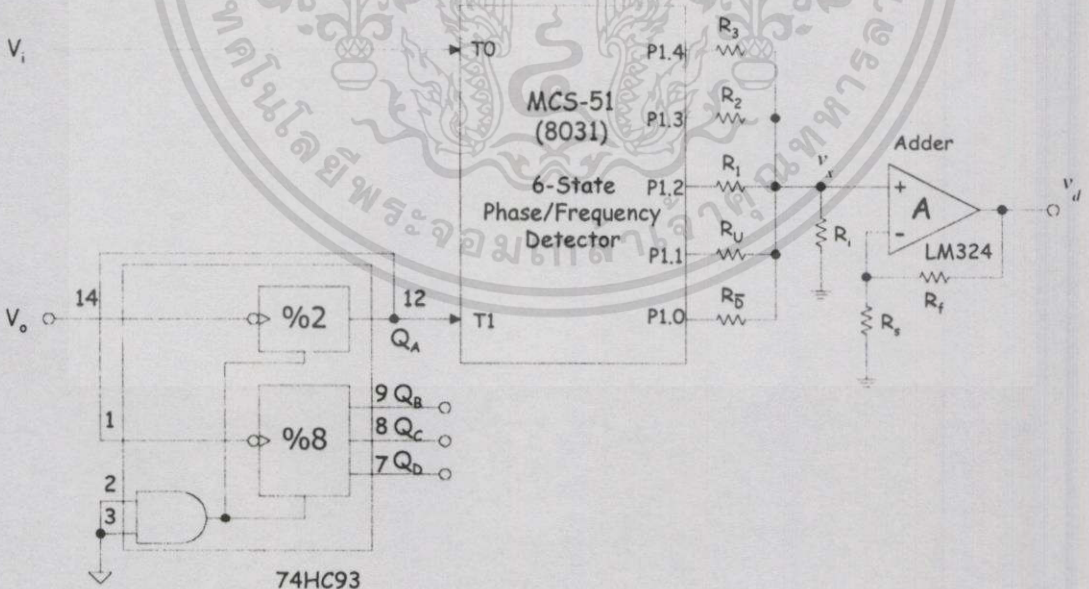
รูปที่ 5.13 แสดงการนำเอาสัญญาณที่ชั่วเอาต์พุต UI และ DI จากตัวตรวจจับเฟสและความถี่ภายในไอซี MC4044 ชุดที่ 1 มาต่อร่วมกับวงจรบวกสัญญาณภายนอกที่จะใช้เป็นวงจรมารฐานในการเปรียบเทียบผลกับเครื่องต้นแบบของวงจรรวบรวมเฟสและความถี่แบบ 6-สเตจ ที่สร้างขึ้นจากไมโครคอนโทรลเลอร์ และเพื่อให้เห็นผลไปในทิศทางเดียวกันดังนั้นในขั้นตอนของการทดสอบจะใช้เงื่อนไขที่เหมือนกันกับการทดสอบและเปรียบเทียบผลด้วยการซิมูเลชันจาก โปรแกรม PSpice ดังนี้

- 1) ทดสอบวงจรขณะทำงานเป็นวงจรรวบรวมเฟส โดยจะทดสอบกับสัญญาณอินพุตอ้างอิงที่เข้ามาทางขั้วอินพุตที่ 1 (Trace1) และสัญญาณอินพุตที่ต้องการเปรียบเทียบที่เข้ามาทางขั้วอินพุตที่ 2 (Trace2) ด้วยความถี่เดียวกันแต่มีช่วงเฟสต่างกัน ซึ่งความถี่ที่ใช้ในการทดสอบคือ 500 Hz.
- 2) การทดสอบวงจรในขณะที่ทำงานเป็นตัวตรวจจับความถี่ โดยความถี่ของสัญญาณอินพุตอ้างอิง

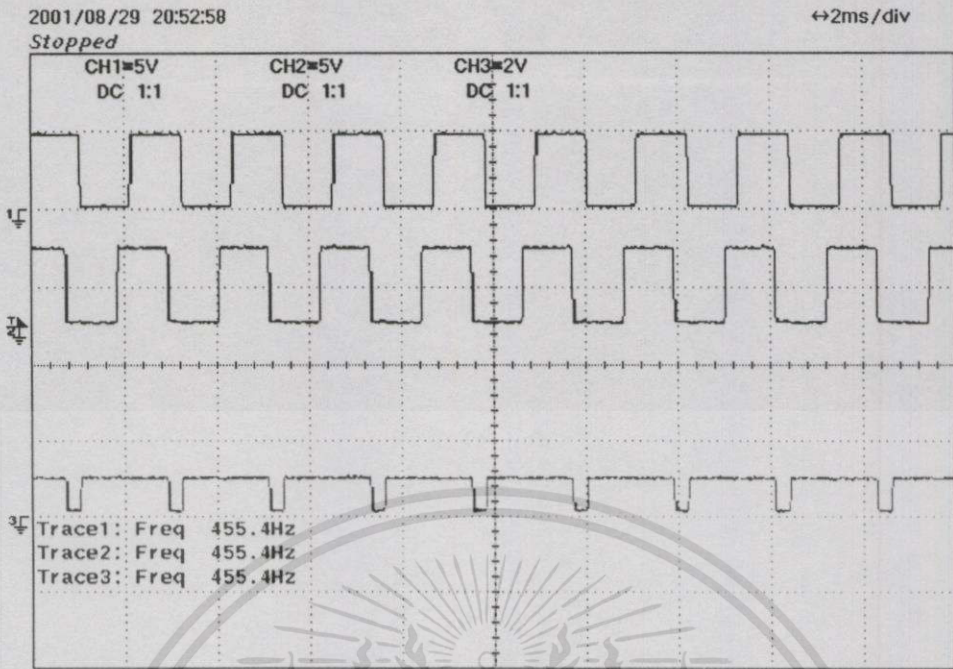
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$(f_R)$  นั้นจะมีค่ามากกว่าความถี่ของสัญญาณอินพุตที่ต้องการเปรียบเทียบ ( $f_V$ ) อยู่ 1.1 เท่า และจะเกิดสัญญาณไขเคล็ดสลิปเมื่อความต่างเฟส ( $\theta_p$ ) มีค่ามากกว่าช่วง  $2\pi$  เรเดียนทำให้วงจรมีการขยายสถานะของสเตตที่สูงขึ้น ซึ่งความถี่ที่ใช้ในการทดสอบก็คือ  $f_R = 550 \text{ Hz}$ . และ  $f_V = 500 \text{ Hz}$ .

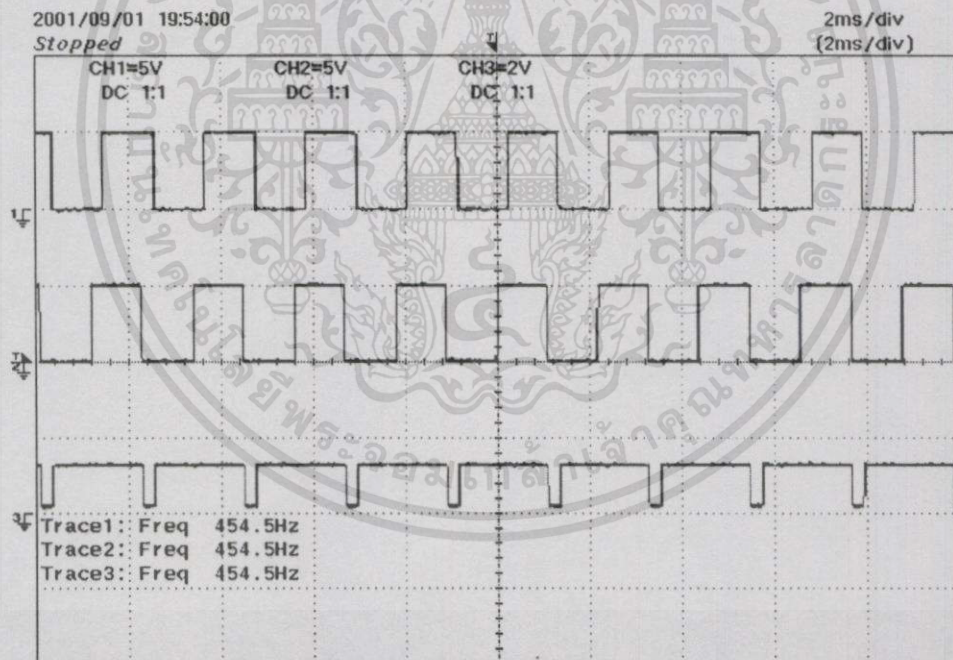
- 3) การทดสอบการขยายสถานะของสเตต โดยการหารความถี่ของสัญญาณอินพุตที่ต้องการเปรียบเทียบด้วยวงจรหารความถี่ของไอซี 74HC93 ที่มีวงจรหารสองและวงจรหารแปดอยู่ภายในชิพดังรูปที่ 5.14 ก่อนเข้าสู่ขั้วอินพุตที่ 2 ของเครื่องค้นแบบ (ขา T1) ซึ่งจะทำให้เกิดสัญญาณไขเคล็ดสลิปจากสัญญาณอินพุตอ้างอิงที่ขั้วอินพุตที่ 1 (ขา T0) เพื่อขยายคุณสมบัติในช่วงที่เป็นเชิงเส้นของ  $\pm 2\pi$  เรเดียน ให้กว้างออกไปได้แม้ว่าสัญญาณอินพุตทั้งสอง ( $v_i$  และ  $v_o$ ) จะมีความถี่เท่ากัน (ช่วงของการเปรียบเทียบค่าความต่างเฟสจะมีค่าไม่เกิน  $2\pi$  เรเดียน) และนำไปเปรียบเทียบกับผลของเอาท์พุทก่อนผ่านวงจรหารความถี่ที่ค่าความต่างเฟสเดียวกัน ( $\theta_p$  มีค่าเท่ากับ  $\pi/2$  เรเดียน)
- 4) การทดสอบวงจรในการตรวจจับสัญญาณอินพุตเมื่อเข้ามาพร้อมกัน เพื่อให้เป็นไปตามจุดประสงค์ของวิธีการที่นำเสนอในวิทยานิพนธ์นี้ โดยจะทำการทดสอบกับเครื่องค้นแบบที่สร้างขึ้นว่าสามารถตอบสนองต่อทุกๆ สัญญาณพัลส์อินพุตที่เข้ามาได้อย่างถูกต้องหรือไม่ และไม่มีการสูญเสียสัญญาณอินพุตใดอินพุตหนึ่งไป จนเป็นเหตุให้เกิดค่าผิดพลาดขึ้นที่เอาท์พุทก่อนนำไปประยุกต์ใช้งานเป็นตัวควบคุมระบบ



รูปที่ 5.14 แสดงวงจรที่ใช้ทดสอบการขยายสถานะของสเตต โดยการหารความถี่ของสัญญาณพัลส์อินพุตที่ต้องการเปรียบเทียบ ( $v_o$ ) ซึ่งจะทำให้เกิดไขเคล็ดสลิปจากสัญญาณพัลส์อินพุตอ้างอิง ( $v_i$ ) เมื่อความถี่ของสัญญาณอินพุตที่เข้ามามีค่าเท่ากัน ( $f_R = f_V$ )



(ก)



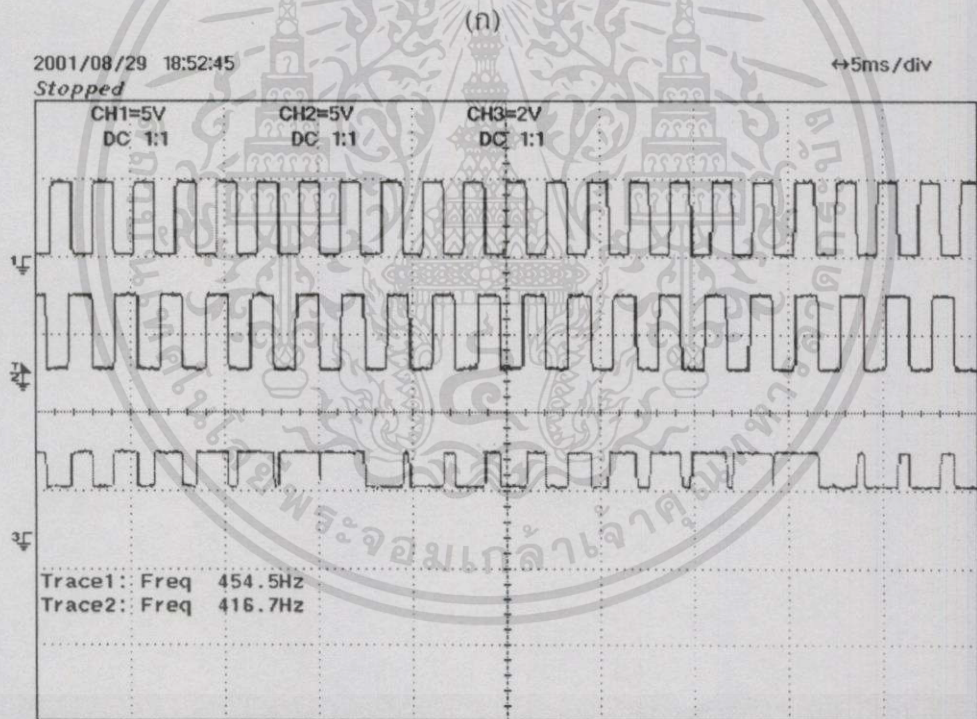
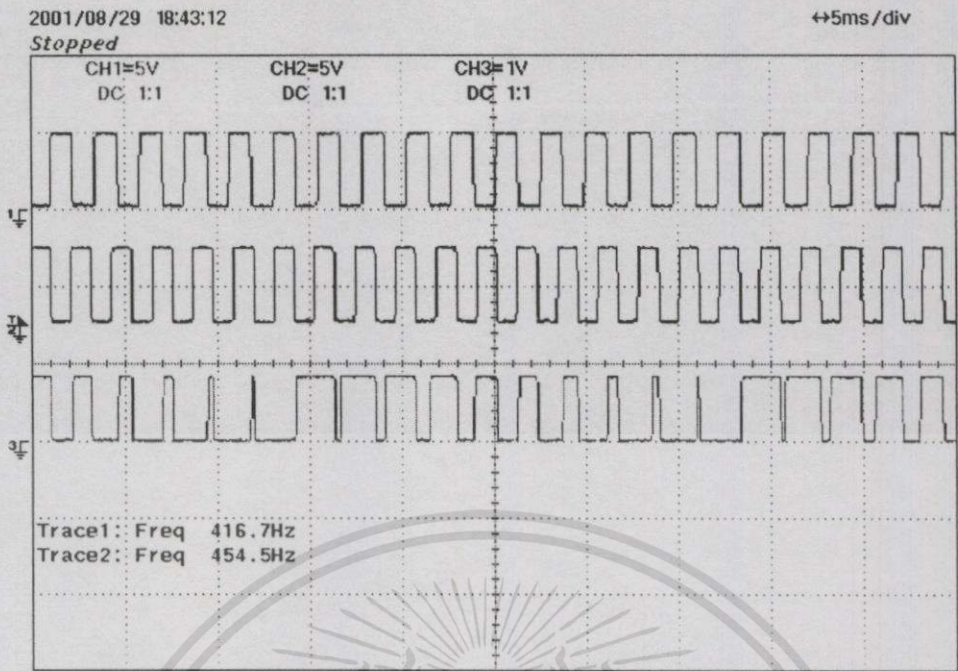
(ข)

รูปที่ 5.15 แสดงการเปรียบเทียบผลจากการวัดสัญญาณทางเอาต์พุตของ MC4044 กับวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท เมื่อทำงานเป็นตัวตรวจจับเฟสโดยที่เฟสของอินพุตอ้างอิงตามหลังเฟสของอินพุตที่ต้องการเปรียบเทียบ ซึ่งทดสอบที่ความถี่  $f_R = f_V$  ที่ 500 Hz.

(ก) ผลของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท จากไอซี MC4044

(ข) ผลของเครื่องต้นแบบที่สร้างขึ้นเป็นวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

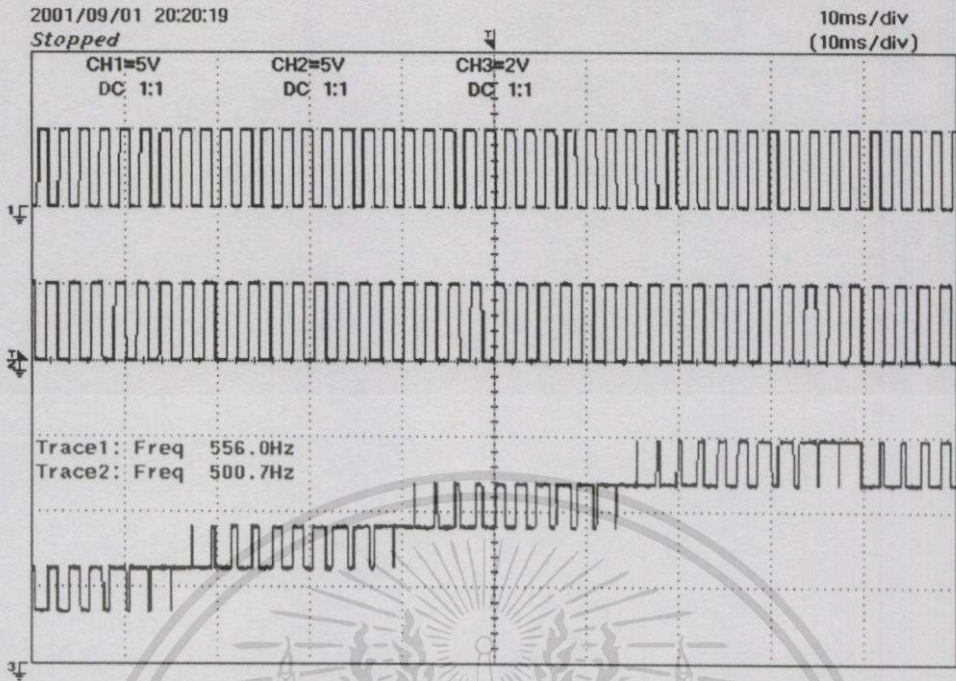


(ก)

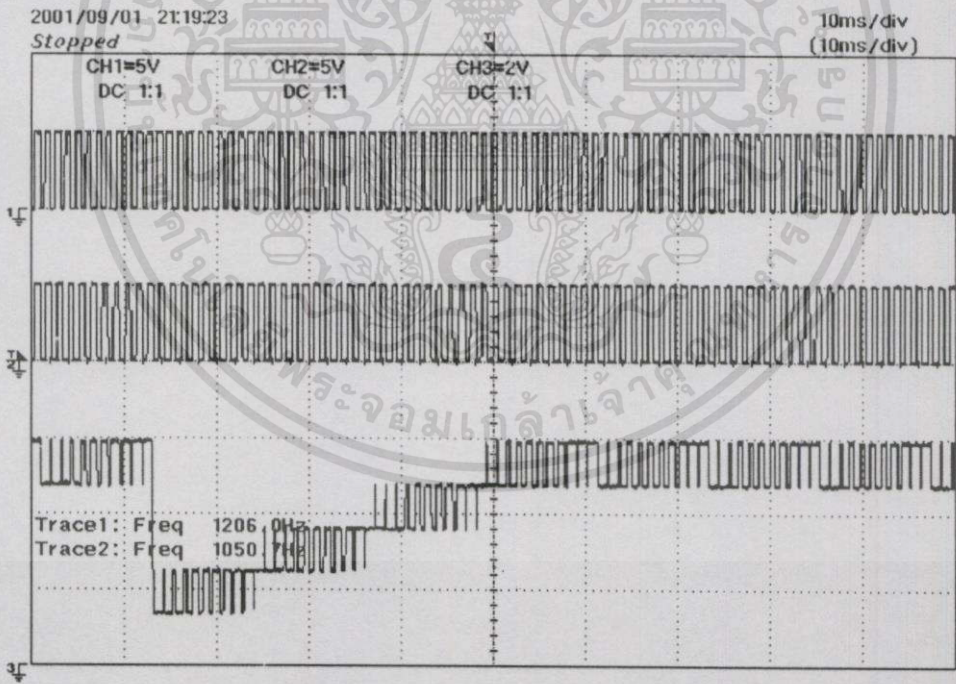
รูปที่ 5.16 แสดงผลการทดสอบ จากการวัดสัญญาณทางเอาต์พุตของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ไอซี MC4044 เมื่อทำงานเป็นตัวตรวจจับความถี่

(ก) เมื่อความถี่ของอินพุตอ้างอิง  $f_R=500$  Hz และอินพุตที่ต้องการเปรียบเทียบ  $f_i=550$  Hz

(ข) เมื่อความถี่ของอินพุตอ้างอิง  $f_R=550$  Hz และอินพุตที่ต้องการเปรียบเทียบ  $f_i=500$  Hz



(ก)



(ข)

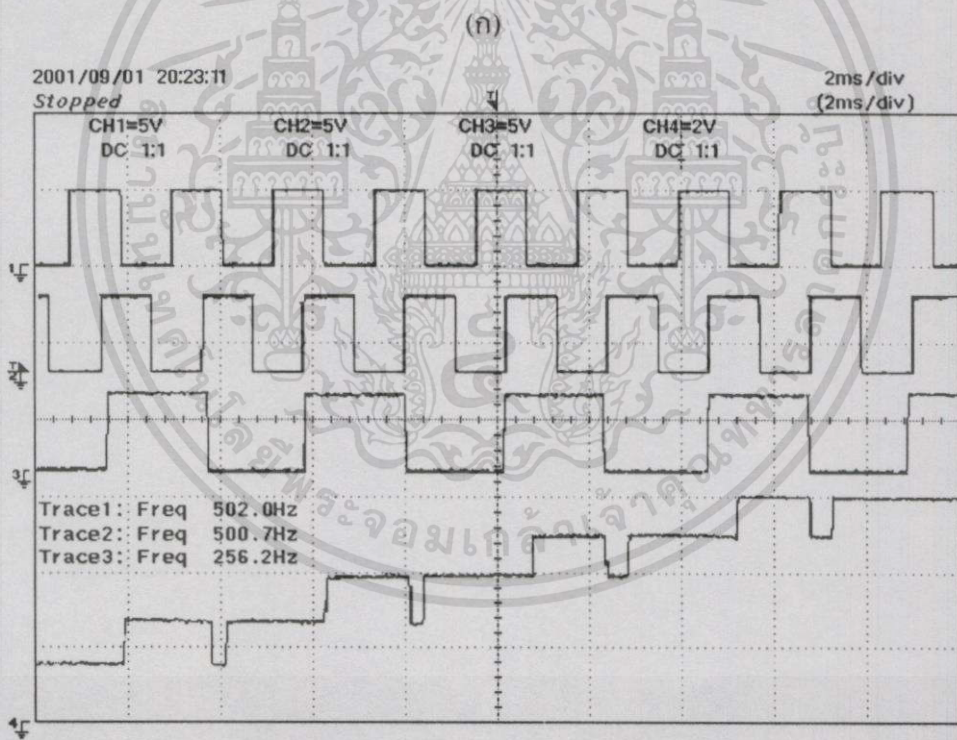
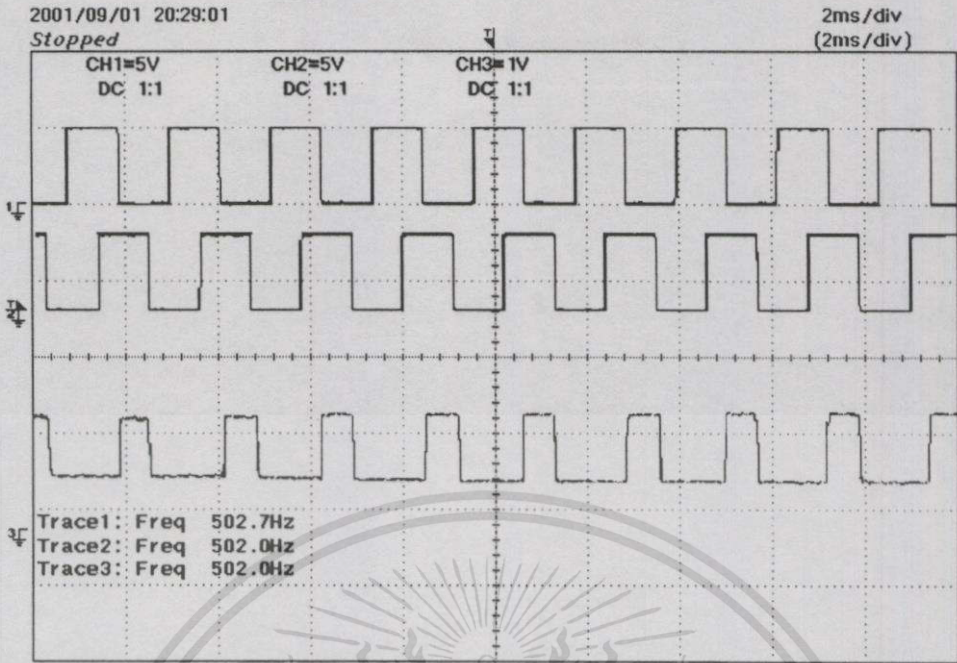
รูปที่ 5.17 แสดงผลการทดสอบจากการวัดสัญญาณทางเอาต์พุตของเครื่องต้นแบบที่สร้างขึ้นเป็นวง

จรตรงจับเฟสและความถี่แบบ 6-สเตท เมื่อทำงานเป็นตัวตรวจจับความถี่ ( $f_R > f_V$ )

(ก) เมื่อความถี่ของอินพุตอ้างอิง  $f_R = 500$  Hz และอินพุตที่ต้องการเปรียบเทียบ  $f_V = 550$  Hz

(ข) เมื่อความถี่ของอินพุตอ้างอิง  $f_R = 1.1$  kHz และอินพุตที่ต้องการเปรียบเทียบ  $f_V = 1$  kHz.

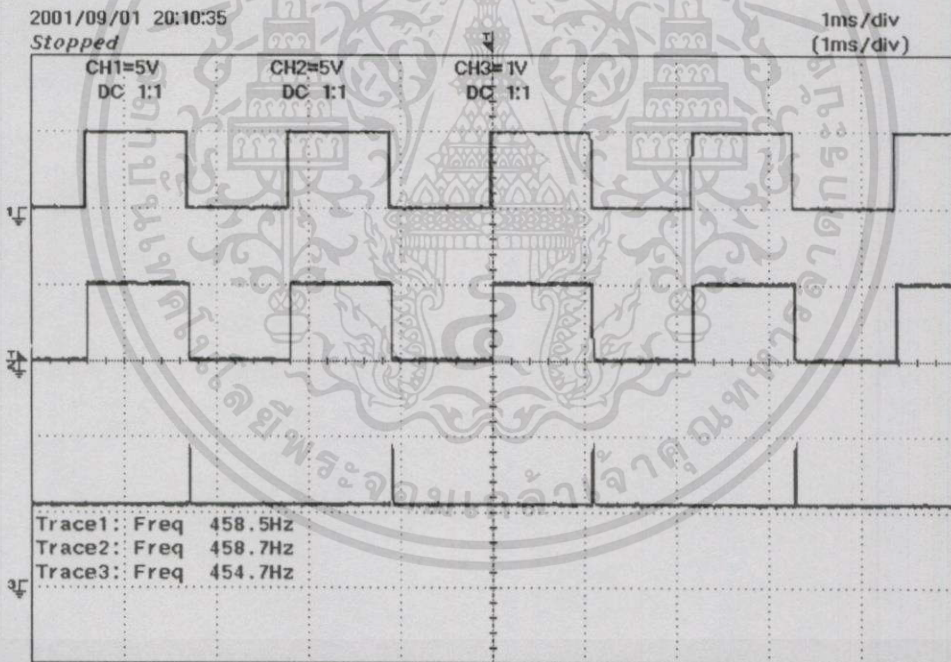
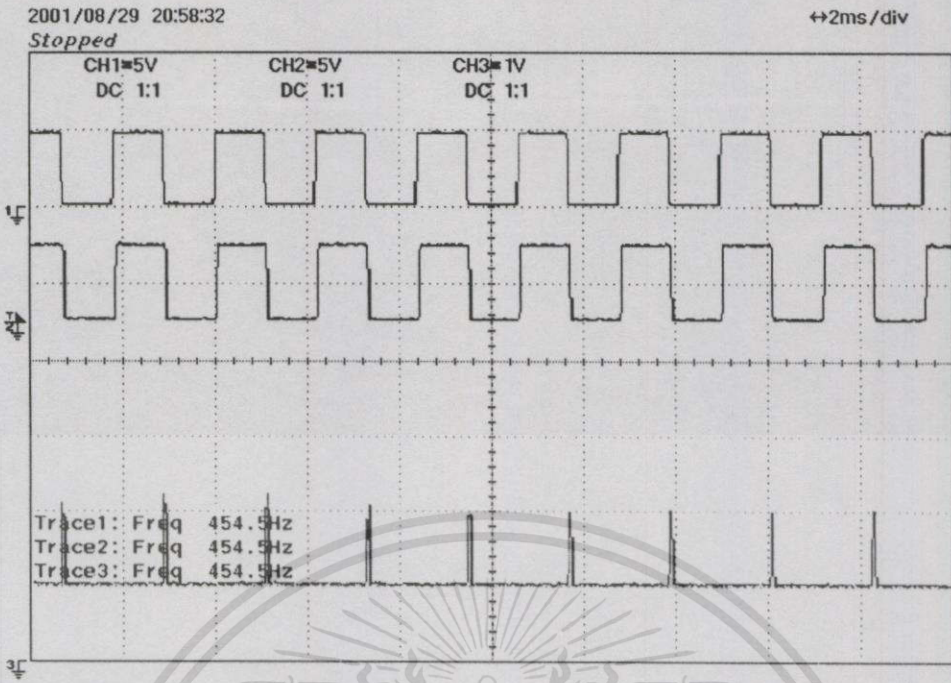
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

- รูปที่ 5.18 แสดงผลการทดสอบจากการหารความถี่ของสัญญาณอินพุตที่ต้องการเปรียบเทียบ ( $f_r/2$ ) เพื่อทำให้เกิดการเพิ่มสถานะของสเตทที่เอาท์พุท จากไจเคิ้ลสลิปของสัญญาณอินพุตอ้างอิงซึ่งมีความถี่เท่ากับสัญญาณอินพุตที่ต้องการเปรียบเทียบและมีช่วงเฟสต่างกันอยู่  $\pi/2$
- (ก) ผลจากการทำงานเป็นตัวตรวจจับเฟสที่ความถี่ทดสอบ  $f_r = f_i$  คือ 500 Hz และมี  $\theta_j = \pi/2$
- (ข) ผลที่ได้จากการหารความถี่ของอินพุตที่ต้องการเปรียบเทียบเพื่อทำให้เกิดไจเคิ้ลสลิป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

รูปที่ 5.19 แสดงผลเปรียบเทียบการทดสอบของวงจรจذبเฟสและความถี่ เมื่อปรากฏสัญญาณพัลส์อินพุตเข้ามาพร้อมกัน โดยความถี่ที่ใช้ทดสอบคือ  $f_R=500$  Hz. และ  $f_i=500$  Hz.

(ก) ผลจากการจذبสัญญาณพัลส์อินพุตที่เข้ามาพร้อมกันของไอซี MC4044

(ข) ผลจากการจذبสัญญาณพัลส์อินพุตที่เข้ามาพร้อมกันของเครื่องต้นแบบที่สร้างขึ้นเป็นวงจรจذبเฟสและความถี่แบบ 6-สเตจ

## 5.4 สรุปผลการทดสอบ

จากการทดสอบวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วยวิธีการซิมูเลทโดยโปรแกรม PSpice ในหัวข้อ 5.2 และด้วยการทำงานของไมโครคอนโทรลเลอร์เบอร์ 8031 ในหัวข้อ 5.3 ซึ่งนำมาเปรียบเทียบผลกับการซิมูเลทของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท และจากไอซีสำเร็จรูป MC4044 ที่ใช้เป็นมาตรฐานนี้ทำให้สามารถสรุปผลของการทดสอบได้ก็คือ เมื่อวงจรทำงานเป็นตัวตรวจจับเฟสที่ความถี่ของสัญญาณอินพุตอ้างอิง ( $f_r=500$  Hz.) เท่ากับความถี่ของสัญญาณอินพุตที่ต้องการเปรียบเทียบ ( $f_i=500$  Hz.) การหมุนเวียนเปลี่ยนสถานะของสเตทจะเป็นไปตามสเตทไดอะแกรมของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ดังในรูป 3.3 (ง) คือสถานะที่สัญญาณอินพุตอ้างอิงนำหน้าสัญญาณอินพุตที่ต้องการเปรียบเทียบ (เปลี่ยนจากสเตทที่ 2 ไปยังสเตทที่ 3 ซึ่งความต่างเฟสจะมีค่าเป็นบวก) และในสถานะที่สัญญาณอินพุตที่ต้องการเปรียบเทียบนำหน้าสัญญาณอินพุตอ้างอิง (เปลี่ยนจากสเตทที่ 2 ไปยังสเตทที่ 1 ความต่างเฟสจะมีค่าเป็นลบ) โดยจะมีช่วงของความต่างเฟส  $\theta_d$  ที่ไม่เกิน  $2\pi$  เรเดียน ทำให้การเปลี่ยนระดับแรงดันเอาต์พุต  $v_o$  ของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท จากการบวกค่าของลอจิกสูงที่วงจรบวกสัญญาณ (กำหนดให้ลอจิกสูงมีค่าเท่ากับหนึ่งโวลต์ โดยอัตราขยายของวงจรบวกสัญญาณ) เกิดขึ้นระหว่างสเตทที่ 0 กับสเตทที่ 2 เพียงแค่สามสเตทเท่านั้น คือเมื่อความต่างเฟสมีค่าเป็นบวกระดับแรงดันจะเปลี่ยนจากหนึ่งโวลต์ (สเตทที่ 1) ไปเป็นสองโวลต์ (สเตทที่ 2) ดังจะเห็นได้จากผลของการทดสอบโดยการซิมูเลทที่สถานะชั่วขณะ (transient) ในรูป 5.6 ที่ความต่างเฟสมีค่าเป็นบวกเท่ากับ  $\theta_d = \pi/2$  ทำนองเดียวกันระดับแรงดันเอาต์พุตของวงจรจะถูกเปลี่ยนจากหนึ่งโวลต์ (สเตทที่ 1) ไปสู่ระดับแรงดันศูนย์โวลต์ (สเตทที่ 0) เมื่อความต่างเฟสมีค่าเป็นลบ ดังเห็นได้จากผลของการทดสอบในรูป 5.7 ที่มีค่าความต่างเฟสเท่ากับ  $\theta_d = -\pi$  เรเดียน และรูป 5.15 ที่เป็นผลการทดสอบซึ่งได้จากเอาต์พุตของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท MC4044 และวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ของเครื่องต้นแบบที่สร้างขึ้นเมื่อเฟสของสัญญาณอินพุตอ้างอิงตามหลังเฟสของสัญญาณอินพุตที่ต้องการเปรียบเทียบ จะสังเกตว่าผลที่ได้นั้นเป็นไปในทิศทางเดียวกันทั้งวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท และวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ด้วยเหตุนี้เมื่อวงจรทำงานเป็นตัวตรวจจับเฟสการแสดงความสัมพันธ์ที่อยู่ในรูปของความสัมพันธ์ระหว่างค่าเฉลี่ย  $\bar{V}_o$  ของแรงดันเอาต์พุตเมื่อผ่านวงจรองความถี่เข้ามาแล้วเทียบกับค่าความคลาดเคลื่อนเฟส  $\theta_d$  จะให้ผลเป็นไปตามกราฟคุณสมบัติของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทดังในรูปที่ 3.3 (ข)

แต่เมื่อวงจรทำงานเป็นตัวตรวจจับความถี่ โดยความถี่ของสัญญาณอินพุตอ้างอิงมีค่าสูงกว่าความถี่ของสัญญาณอินพุตที่ต้องการเปรียบเทียบ ( $f_r=1.1f_i$ ) ก็จะสามารถสังเกตเห็นการขึ้นในวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ที่มีค่าของความต่างเฟสระหว่างเฟสของสัญญาณอินพุตอ้างอิง ( $\theta_d$ ) กับเฟสของสัญญาณอินพุตที่ต้องการเปรียบเทียบ ( $\theta_d$ ) มากกว่าช่วง  $2\pi$  เรเดียน จึงเป็นเหตุให้วงจรตรวจจับเฟสและความถี่แบบ 6-สเตท มีการขยายสถานะไปที่ละหนึ่งสเตทและจะ

แสดงค่าลอจิกสูงออกมาซึ่งเอาที่พุทของส่วนการทำงานที่เป็นวงจรรีจิสเตอร์ (พอร์ต P1.2 ถึง พอร์ต P1.4 ของไมโครคอนโทรลเลอร์) ดังที่ได้กล่าวมาแล้วในหัวข้อที่ 3.4 ของบทที่ 3 ส่งผลให้ระดับแรงดันเอาที่พุทจากการบวกสัญญาณลอจิก (สูง) ที่วงจรบวกสัญญาณมีค่าเพิ่มขึ้น เป็นไปตามสมการที่ (3.1) และสมการที่ (4.3) ซึ่งผลที่ได้จากการทดสอบในสถานะชั่วขณะของการทำงานเป็นตัวตรวจจับความถี่นั้นจะถูกแสดงไว้ในรูป 5.9 ที่เป็นผลจากการซิมูเลทด้วยโปรแกรม PSpice และผลที่ได้จากเครื่องต้นแบบในรูป 5.17 โดยจะให้ผลเช่นเดียวกับรูป 3.6 (ก) ตามแนวทฤษฎีที่นำเสนอสังเกตว่าแม้ความถี่ที่ใช้ทดสอบจะสูงขึ้น การทำงานของเครื่องต้นแบบก็ยังคงให้ค่าที่ถูกต้องดังผลที่ได้จากการทดสอบในรูป 5.17 (ข) ซึ่งความถี่ของสัญญาณอินพุทอ้างอิงมีค่าเท่ากับ  $f_r = 1100$  Hz. และความถี่ของสัญญาณอินพุทที่ต้องการเปรียบเทียบมีค่าเท่ากับ  $f_i = 1000$  Hz. ด้วยเหตุนี้เมื่อวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ทำงานเป็นตัวตรวจจับความถี่ ก็จะก่อให้เกิดการสลิปและการขยายสถานะของสเตท ส่งผลทำให้ได้มาของช่วงการเปรียบเทียบค่าความต่างเฟสเพิ่มขึ้นโดยจะมีกราฟแสดงคุณสมบัติของวงจรระหว่างค่าเฉลี่ยแรงดันเอาที่พุท  $V_U$  เทียบกับค่าความคลาดเคลื่อนเฟส  $\theta$  ดังในรูป 3.6 (ข) ซึ่งให้ค่าสูงสุดถึง  $\pm 5\pi$  เรเดียน ขณะที่การทำงานเป็นตัวตรวจจับความถี่ของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ทั้งที่ได้จากการซิมูเลทและจากไอซี MC4044 นั้นจะเป็นไปตามสเตทโคอะแกรมของรูป 3.3 (ง) คือเมื่อความถี่ของสัญญาณอินพุทอ้างอิงสูงกว่าความถี่ของสัญญาณอินพุทที่ต้องการเปรียบเทียบ (สัญญาณอินพุทอ้างอิงนำหน้าสัญญาณอินพุทที่ต้องการเปรียบเทียบตลอดเวลา) วงจรจะอยู่ในสเตทที่ให้ระดับแรงดันเอาที่พุทมีค่าสูงสุดซึ่งเท่ากับสองโวลท์ (สเตทที่ 3) มากขึ้นตามค่าของความต่างเฟสที่จะมีค่าสูงสุดเท่ากับ  $2\pi$  เรเดียน อย่างรวดเร็วและเมื่อปรากฏสัญญาณไซเคิลสลิปเข้ามาวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทจะไม่มีการเปลี่ยนสถานะของสเตทต่อไปได้อีก แต่จะสลดและเพิ่มสถานะระหว่างสเตทที่ 2 ( $V_U V_D = 01$  ให้ระดับแรงดันเอาที่พุทเท่ากับหนึ่งโวลท์) กับสเตทที่ 3 ( $V_U V_D = 11$  ให้ระดับแรงดันเอาที่พุทเท่ากับสองโวลท์) สลับไปตามขอบขาขึ้นหรือขอบขาลงของสัญญาณพัลส์อินพุทที่ต้องการเปรียบเทียบซึ่งอยู่ด้านหลังสัญญาณพัลส์อินพุทอ้างอิงตลอดเวลา ดังผลที่ได้จากการทดสอบในรูปที่ 5.8 (ข) ของการซิมูเลทด้วยโปรแกรม PSpice และรูป 5.16 (ข) จากไอซี MC4044 ในทางกลับกันเมื่อความถี่ของสัญญาณอินพุทอ้างอิงต่ำกว่าความถี่ของสัญญาณอินพุทที่ต้องการเปรียบเทียบวงจรก็จะอยู่ในสเตทที่ให้ระดับแรงดันเอาที่พุทมีค่าต่ำสุดมากขึ้นซึ่งประมาณเท่ากับศูนย์โวลท์ (สเตทที่ 1) ตามค่าของความต่างเฟสที่จะมีค่าลดลงไปจนถึงค่าต่ำสุดที่  $-2\pi$  เรเดียน อย่างรวดเร็วดังผลการทดสอบที่ได้จากการซิมูเลทของรูป 5.8(ก) และจากไอซี MC4044 ของรูป 5.16 (ก) ด้วยเหตุนี้การทำงานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ทั้งทำงานเป็นตัวตรวจจับเฟสและตัวตรวจจับความถี่ก็จะให้ช่วงคุณสมบัติที่เป็นเชิงเส้นได้ไม่เกิน  $\pm 2\pi$  เรเดียน เท่านั้นดังกราฟแสดงคุณสมบัติของวงจรในรูปที่ 3.3 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 5.10 และ 5.18 เป็นผลจากการซิมมูลต์และจากเครื่องต้นแบบที่แสดงให้เห็นว่าวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจ นี้สามารถขยายสถานะของสเตจออกไปได้ถึงแม้ว่าความถี่ของสัญญาณอินพุตอ้างอิง ( $f_r = 500$  Hz.) จะเท่ากับความถี่ของสัญญาณอินพุตที่ต้องการเปรียบเทียบ ( $f_v = 500$  Hz.) ซึ่งโดยปกติแล้วถ้าความถี่ของสองสัญญาณอินพุตที่เข้ามาเท่ากัน วงจรจะทำงานเสมือนเป็นตัวตรวจจับเฟสโดยมีช่วงของการเปรียบเทียบค่าความต่างเฟสไม่เกิน  $2\pi$  เรเดียน ตามที่กล่าวมาแล้วในตอนต้นของผลการทดสอบ ดังจะเห็นได้จากรูปที่ 5.6 และ 5.18 (ก) ที่มีค่าของความต่างเฟส  $\theta_d = \pi/2$  จึงเป็นสาเหตุให้ไม่เกิดการสลีปและการขยายสถานะของสเตจ แต่จากการหาความถี่ของสัญญาณพัลส์อินพุตที่ต้องการเปรียบเทียบโดยวงจรหารสอง (74HC93) ก่อนเข้าสู่อินพุตของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจ นี้จะเป็นผลให้สัญญาณอินพุตอ้างอิงมีความถี่เป็นสองเท่าของความถี่สัญญาณอินพุตที่ต้องการเปรียบเทียบ (อินพุตที่ 3) ด้วยเหตุนี้จึงทำให้เกิดสัญญาณไซเคิลสลีปที่มีช่วงของการเปรียบเทียบค่าความต่างเฟส ระหว่างเฟสของสัญญาณอินพุตอ้างอิงกับเฟสของสัญญาณอินพุตที่ต้องการเปรียบเทียบ (อินพุตที่ 3) มากกว่า  $2\pi$  เรเดียน ขึ้นทำให้วงจรมีการขยายสถานะของสเตจออกไป ซึ่งสังเกตได้จากระดับแรงดันที่จะเพิ่มขึ้นตามสัญญาณไซเคิลสลีปที่ปรากฏของรูป 5.18 (ข) เมื่อเทียบกับผลของการทำงานเป็นตัวตรวจจับเฟสของรูป 5.18 (ก) โดยทดสอบที่ค่าความต่างเฟสเดียวกันคือ  $\theta_d = \pi/2$

และเพื่อให้เป็นไปตามวัตถุประสงค์ ในส่วนสุดท้ายนี้จะเป็นผลของการทดสอบการตรวจจับสัญญาณพัลส์อินพุตที่เข้ามาพร้อมกันของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจที่สร้างขึ้นตามวิธีการที่นำเสนอ ซึ่งจากสเตจไดอะแกรมและการทำงานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตจ ในรูป 3.3 (ค) ของบทที่ 3 แสดงให้เห็นว่าวงจรสามารถที่จะตอบสนองต่อทุกๆ สัญญาณพัลส์อินพุตที่เข้ามาได้ถึงแม้จะปรากฏขอบขาขึ้น (หรือขอบขาลง) ของสัญญาณพัลส์อินพุตพร้อมกันก็ตาม โดยวงจรจะยังคงสถานะของเอาต์พุตให้เป็นไปตามสเตจไดอะแกรมของรูป 3.3 (ง) เสมอ จึงทำให้ไม่มีการสูญเสียสัญญาณอินพุตใดๆ จนเป็นสาเหตุของการเกิดค่าผิดพลาดขึ้นที่เอาต์พุต ซึ่งจากสเตจไดอะแกรมของรูป 3.3 (ค) สังเกตว่าวงจรจะอยู่ในสถานะของสเตจที่ 2 คือมีค่าลอจิกเอาต์พุตเป็น  $V_U V_D = 01$  ตลอดเวลาที่สัญญาณพัลส์อินพุตปรากฏเข้ามาพร้อมกัน (ผ่านสเตจที่ 2' ที่ให้ค่า  $V_U V_D = 10$ ) ทำให้ได้ระดับแรงดันจากการบวกสัญญาณลอจิกที่วงจรบวกสัญญาณมีค่าประมาณหนึ่งโวลต์ ดังผลการทดสอบของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตจ ไอซี MC4044 ในรูปที่ 5.19 (ก) ซึ่งเมื่อเปรียบเทียบกับผลจากการซิมมูลต์ของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตจ ในรูปที่ 5.11 และจากเครื่องต้นแบบที่สร้างขึ้นในรูปที่ 5.19 (ข) แล้ว วงจรจะให้ระดับแรงดันเอาต์พุตเป็นไปในทิศทางเดียวกันทั้งหมด.

## บทที่ 6

### สรุปผลการวิจัย และข้อเสนอแนะ

ในวิทยานิพนธ์เล่มนี้ ได้นำเสนอวิธีการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสแบบดิจิทัล ตามโครงสร้างบล็อกไดอะแกรมการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ที่แสดง อยู่ในรูป 3.1 ของบทที่ 3 ซึ่งประกอบด้วย วงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ทำหน้าที่เป็นตัวตรวจจับเฟสและตัวตรวจจับความถี่ ระหว่างสัญญาณอินพุตอ้างอิงกับสัญญาณอินพุตที่ต้องการเปรียบเทียบ วงจรไซเคิลสลิปดีเทคเตอร์สำหรับคอยตรวจจับสัญญาณ ไซเคิลสลิปในวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ที่จะเกิดขึ้นเมื่อช่วงของการเปรียบเทียบความต่างเฟสระหว่างสองสัญญาณอินพุตมีค่ามากกว่า  $2\pi$  เรเดียน และจะสร้างสัญญาณเพื่อไปกระตุ้นให้วงจรชิฟต์รีจิสเตอร์แบบ-สองทิศทางแสดงค่าลอจิกสูงออกมาทางเอาต์พุตขณะที่เกิดการสลิป ส่งผลให้สถานะของเอาต์พุตสเตทและช่วงของการเปรียบเทียบค่าความต่างเฟสที่  $2\pi$  เรเดียน นั้นถูกขยายต่อออกไปได้ ทำให่วงจรตรวจจับเฟสมีช่วงคุณสมบัติที่กว้างขึ้นตามต้องการ และเพื่อแสดงให้เห็นถึงแนวความคิดดังกล่าวนี้จึงได้ทำการออกแบบวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท โดยวิธีการซิมูเลชันด้วยโปรแกรมเลียนแบบวงจร PSpice ซึ่งวงจรที่ได้รับจากการออกแบบนั้นจะถูกนำไปทดสอบและเปรียบเทียบผลกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทที่นิยมใช้กันอยู่ในปัจจุบัน นอกจากนี้ยังได้นำเอาไมโครคอนโทรลเลอร์ MCS-51 มาประยุกต์ใช้งาน สร้างเป็นเครื่องต้นแบบของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ซึ่งควบคุมด้วยโปรแกรมจำลองการทำงานที่เขียนขึ้นตามสเตทไดอะแกรมของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท โดยมีการใช้รีจิสเตอร์ไทมเมอร์/เคาน์เตอร์ภายในของไมโครคอนโทรลเลอร์ ทำงานเป็นเคาน์เตอร์คอยตรวจจับขอบขาลงของสัญญาณพัลส์อินพุตแบบ TTL ที่ผ่านเข้ามาทางขาอินพุต T0 (สัญญาณอินพุตอ้างอิง) และทางขาอินพุต T1 (สัญญาณอินพุตที่ต้องการเปรียบเทียบ) ซึ่งจะไปร้องขอโปรแกรมบริการอินเตอร์รัปต์ของไฟลท์วาร์ทควบคุมการทำงานที่แสดงอยู่ในรูป 4.14 และ 4.15 ของบทที่ 4 เพื่อให้ไมโครคอนโทรลเลอร์ทำกระบวนการเปรียบเทียบเฟสและความถี่รวมถึงการขยายสถานะของสเตทได้ต่อไป สำหรับเครื่องต้นแบบที่สร้างขึ้นด้วยไมโครคอนโทรลเลอร์นั้นได้ทำการทดสอบและเปรียบเทียบผลกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทของ MC4044 ที่เป็นชิพไอซีสำเร็จรูปซึ่งถูกนำมาใช้เป็นมาตรฐานในการทดลองนี้

จากการทดสอบและเปรียบเทียบผลกับมาตรฐานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตททั้งที่ได้จากการซิมูเลชันโดยโปรแกรมเลียนแบบวงจร PSpice และจากเครื่องต้นแบบที่สร้างขึ้นเป็นวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท แสดงให้เห็นว่าการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสที่เกิดขึ้นจากการเพิ่มเอาต์พุตสเตท ด้วยวิธีการตรวจจับสัญญาณ ไซเคิลสลิปในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตรวจจับเฟสและความถี่แบบสาม-สเตทนั้นจะทำให้ได้มาของช่วงการเปรียบเทียบความต่างเฟส ( $\theta_p$ )  $2\pi$  เรเดียน เมื่อวงจรทำงานอยู่ในสถานะเป็นตัวตรวจจับความถี่ ซึ่งสังเกตได้จากการเปลี่ยนระดับแรงดันเอาท์พุท ( $v_o$ ) ของผลจากการบวกค่าลอจิกสูงที่วงจรบวกสัญญาณจะเพิ่มขึ้นไปตามสัญญาณไซเคิลสลิปที่ปรากฏเมื่อช่วงของการเปรียบเทียบความต่างเฟสมีค่ามากกว่า  $2\pi$  เรเดียน โดยความถี่ของสัญญาณอินพุทอ้างอิง ( $f_R$ ) สูงกว่าความถี่ของสัญญาณอินพุทที่เข้ามาเปรียบเทียบ ( $f_i$ ) ขณะที่วงจรตรวจจับเฟสและความถี่แบบสาม-สเตท นั้นการเปลี่ยนระดับแรงดันเอาท์พุทจะทำได้น้อยกว่า จึงเป็นผลให้คุณสมบัติของวงจรถูกจำกัดในอยู่ช่วงไม่เกิน  $\pm 2\pi$  เรเดียน และจากการสลิปทำให้วงจรเปลี่ยนสถานะของสเตทสูงขึ้นเรื่อยๆ จนถึงสเตทการทำงานสุดท้ายที่ไม่สามารถเพิ่มเอาท์พุทสเตทออกไปได้อีก การทำงานของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตทก็จะเหมือนกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตทคือมีการเปลี่ยนสถานะเพียงแค่สองสเตทเท่านั้นตามขอบขาขึ้นหรือขาลงของสัญญาณพัลส์อินพุทที่ยังคงสลับกันเข้ามาด้วยความถี่ที่ไม่เท่ากันอย่างต่อเนื่อง ด้วยเหตุนี้เมื่อความถี่ของสองสัญญาณอินพุทที่เข้ามาในวงจรตรวจจับเฟสไม่เท่ากัน จะปรากฏสัญญาณไซเคิลสลิปขึ้น การเพิ่มจำนวนเอาท์พุทสเตทออกไปจากสามสเตทเดิมที่มีอยู่ในวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท โดยการตรวจจับสัญญาณไซเคิลสลิปในช่วงของการเปรียบเทียบความต่างเฟสมีค่ามากกว่า  $2\pi$  เรเดียน นั้นจะช่วยให้วงจรสามารถขยายช่วงคุณสมบัติที่เป็นเชิงเส้นให้กว้างออกไปได้ ซึ่งจากการทดสอบวงจรตรวจจับเฟสและความถี่แบบ 6-สเตททั้งที่ได้จากการซิมูเลทและจากเครื่องต้นแบบให้ผลที่ได้ไปในทิศทางเดียวกันทั้งหมดตลอดการทดสอบและเป็นไปตามแนวทฤษฎีที่นำเสนอ โดยวงจรจะให้ช่วงคุณสมบัติที่เป็นเชิงเส้นสูงถึง  $\pm 5\pi$  เรเดียน

แต่จากการทำงานของวงจรเป็นตัวตรวจจับเฟส โดยเมื่อความถี่ของสองสัญญาณอินพุทที่เข้ามา มีค่าเท่ากัน การแสดงคุณสมบัติทางเอาท์พุทของวงจรจะเหมือนกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท คือระดับแรงดันเอาท์พุทที่ได้จะขึ้นอยู่กับค่าของความต่างเฟสระหว่าง เฟสของสัญญาณอินพุทอ้างอิง ( $\theta$ ) กับเฟสของสัญญาณอินพุทที่ต้องการเปรียบเทียบ ( $\theta_p$ ) ที่จะมีช่วงของการเปรียบเทียบความต่างเฟสอยู่ไม่เกิน  $2\pi$  เรเดียน เท่านั้นเป็นผลทำให้ไม่เกิดการสลิปและการเพิ่มสถานะของเอาท์พุทสเตท ด้วยเหตุนี้ในการทำงานเป็นตัวตรวจจับเฟสของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท วงจรจึงมีคุณสมบัติที่เป็นเชิงเส้นอยู่ในช่วง  $\pm 2\pi$  เรเดียน เช่นเดียวกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท

ในส่วนของการทดสอบการตรวจจับสัญญาณพัลส์อินพุทที่ปรากฏเข้ามาพร้อมกันตามวัตถุประสงค์ของวิธีการที่นำเสนอในวิทยานิพนธ์นี้ ซึ่งจากผลของการทดสอบทั้งจากการซิมูเลทและจากเครื่องต้นแบบที่สร้างขึ้น สรุปได้ว่าวงจรสามารถที่จะตอบสนองต่อทุกๆ สัญญาณพัลส์อินพุทที่เข้ามาได้อย่างถูกต้องแม้จะเกิดในเวลาเดียวกันก็ตาม โดยที่ไม่มีการสูญเสียสัญญาณอินพุทใดอินพุทหนึ่งไปจนเป็นสาเหตุทำให้เกิดค่าผิดพลาดขึ้นที่เอาท์พุท และจะให้ผลเช่นเดียวกับวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ของ MC4044 ที่ถูกนำมาใช้เป็นมาตรฐานของการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำงานของเครื่องต้นแบบที่สร้างเป็นวงจรตรวจจับเฟสและความถี่แบบ 6-สเตทด้วยไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8031 นั้นได้ใช้เทคนิคการตรวจสอบสถานะบิทของสัญญาณอินเทอร์รัปต์ว่าเกิดขึ้นในช่วงเวลาเดียวกันหรือไม่ ร่วมกับสเตทโคอะแกรมของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท จึงทำให้ไมโครคอนโทรลเลอร์สามารถตรวจจับสัญญาณพัลส์อินพุทที่เข้ามาพร้อมกันได้ และสร้างสัญญาณเอาต์พุทเป็นไปอย่างถูกต้องตามการทำงานของวงจรตรวจจับเฟสและความถี่แบบสาม-สเตท ทั้งยังได้ใช้วิธีการกำหนดลำดับความสำคัญของการร้องขอบริการอินเทอร์รัปต์เพื่อป้องกันการขัดจังหวะจากสัญญาณอินเทอร์รัปต์ที่มีลำดับความสำคัญสูงกว่า (สัญญาณอินพุทอ้างอิง) ขณะที่ไมโครคอนโทรลเลอร์กำลังทำโปรแกรมบริการอินเทอร์รัปต์จากสัญญาณอินเทอร์รัปต์ที่มีลำดับความสำคัญต่ำอยู่ (สัญญาณอินพุทที่ต้องการเปรียบเทียบ) ส่งผลให้การสร้างสัญญาณ (ลอจิก) เอาต์พุทที่ได้จากกระบวนการเปรียบเทียบเฟสและความถี่ระหว่างสองสัญญาณอินพุท รวมถึงการขยายสถานะของเอาต์พุทสเตท เป็นไปตามโปรแกรมควบคุมการทำงานที่เขียนขึ้นจากสเตทโคอะแกรมวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท ซึ่งจะเห็นได้จากทุกๆ ผลของการทดสอบของเครื่องต้นแบบนั้นให้ผลไปในทิศทางเดียวกันกับการจำลองด้วยโปรแกรม PSpice และแนวทฤษฎีที่นำเสนอ จึงทำให้สรุปได้ว่าการสร้างวงจรตรวจจับเฟสและความถี่ในช่วงคุณสมบัติของวงจรถูกขยายให้กว้างออกไปได้นั้นด้วยความสามารถของไมโครคอนโทรลเลอร์ MCS-51 ขนาด 8 บิต ที่มีอยู่ทุกวันนี้ ถึงแม้จะมีความก้าวหน้าทางด้านเทคโนโลยีมากขึ้นจนทำให้ไมโครคอนโทรลเลอร์หรือไมโครโปรเซสเซอร์รุ่นใหม่ ๆ มีประสิทธิภาพที่สูงกว่าและง่ายต่อการพัฒนา แต่การศึกษาทำความเข้าใจในโครงสร้าง และการใช้งานจนทำให้เกิดความชำนาญในเทคโนโลยีที่มีอยู่เดิมนั้นก็สามารถที่จะนำมาใช้ให้เกิดประโยชน์ได้สูงสุดด้วยราคาค่าต้นทุนที่ถูกกว่า ซึ่งแตกต่างจากเทคโนโลยีใหม่ ๆ ที่มีความยืดหยุ่นสูงแต่ก็ต้องแลกมากับราคาที่แพงขึ้น ตามหลักของเศรษฐศาสตร์

ปัญหาที่พบของงานวิจัยนี้ เนื่องจากการทำงานของไมโครคอนโทรลเลอร์จะขึ้นอยู่กับสัญญาณนาฬิกาที่ใช้กำหนดจังหวะของโปรแกรมการทำงาน ดังนั้นถ้าสัญญาณอินพุทที่เข้ามาไม่เป็นไปตามเงื่อนไขที่กำหนด เช่น มีค่าความถี่ของสัญญาณอินพุทสูงกว่าที่ไมโครคอนโทรลเลอร์จะสามารถทำงานได้ทันทีอาจส่งผลให้เกิดการทำงานที่ผิดพลาดขึ้นได้ หรือระดับแรงดันของสัญญาณพัลส์อินพุทไม่เป็นไปตามข้อกำหนดของสัญญาณพัลส์แบบ TTL ที่ไมโครคอนโทรลเลอร์รู้จักก็จะทำให้ไมโครคอนโทรลเลอร์ไม่สามารถตอบสนองต่อสัญญาณอินพุทดังกล่าว อีกทั้งปัญหาของการตอบสนองต่อสัญญาณอินพุทที่เข้ามาพร้อมกันตลอดจนปัญหาของความสำคัญของการร้องขอของสัญญาณอินเทอร์รัปต์ ซึ่งเป็นสิ่งที่ต้องคำนึงถึงร่วมในการออกแบบเพื่อให้ไมโครคอนโทรลเลอร์ที่มีขีดความสามารถจำกัดนี้ทำงานได้อย่างมีประสิทธิภาพตามที่ต้องการ นอกจากนี้ไมโครคอนโทรลเลอร์จะต้องใช้ระยะเวลาในการทำคำสั่งแต่ละคำสั่งในโปรแกรมควบคุมการทำงาน ดังนั้นในการเพิ่มค่า

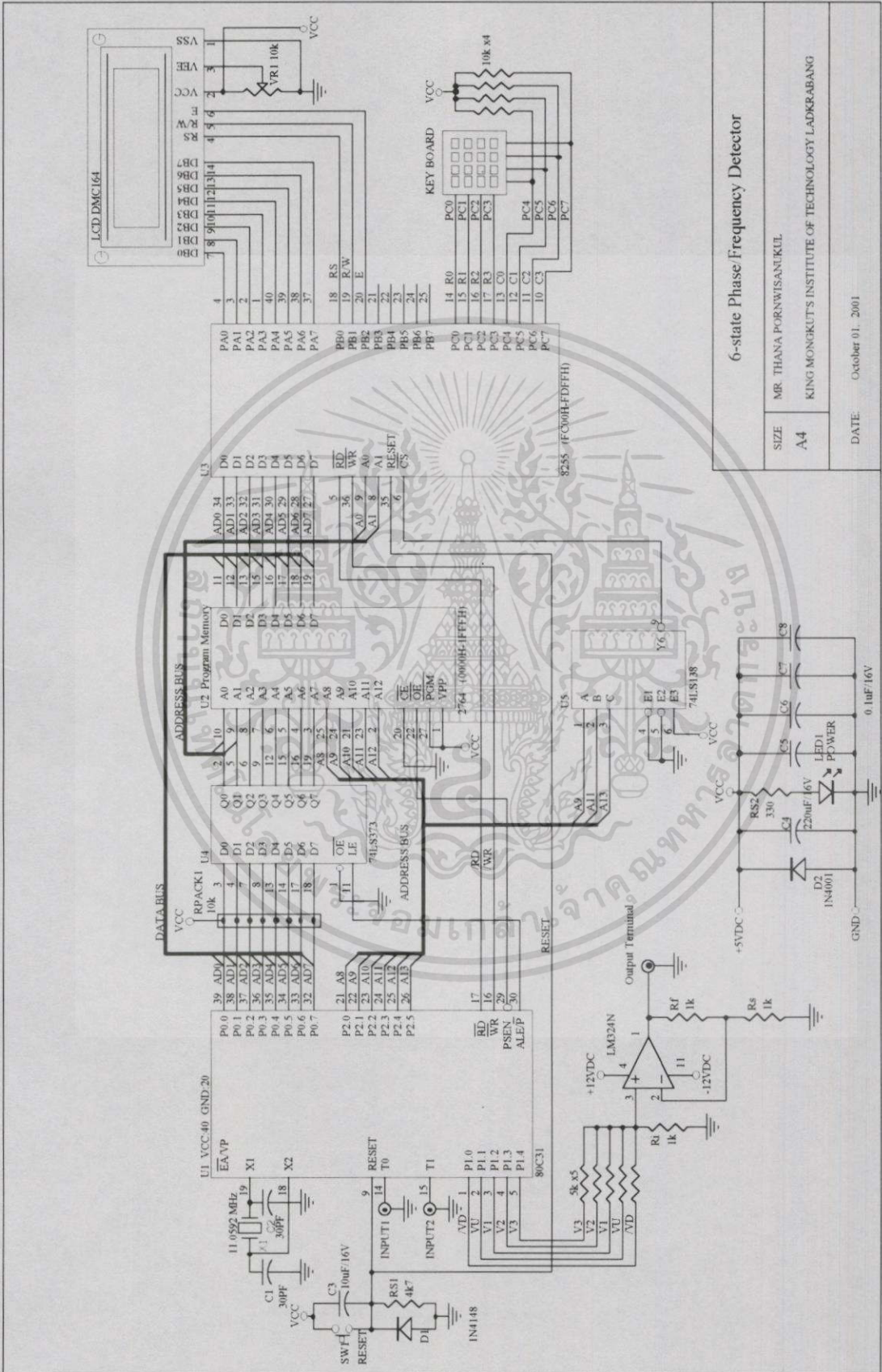
ตั้งเข้าไปหลายๆ คำสั่งจะทำให้ไมโครคอนโทรลเลอร์ใช้เวลาในการคำนวณโปรแกรมมากขึ้นซึ่งส่งผลต่อย่านความถี่ของสัญญาณอินพุตที่จะนำมาใช้งานด้วย

และจากวิธีการขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ที่นำเสนอนี้ ซึ่งจะทำได้มาของช่วงคุณสมบัติของวงจรตรวจจับเฟสที่กว้างขึ้น โดยวงจรยังสามารถขยายช่วงคุณสมบัตินี้ได้ออกไปอีก ด้วยการเพิ่มจำนวนเอาต์พุตสเตตที่วงจรชิฟต์รีจิสเตอร์ให้สูงขึ้น เช่น ถ้าวงจรชิฟต์รีจิสเตอร์ที่ใช้สามารถให้ค่าลอจิกเอาต์พุตได้ถึง 4 ค่าคือ  $v_1, v_2, v_3$  และ  $v_4$  การทำงานของวงจรตรวจจับเฟสและความถี่ที่ได้ก็จะเป็น 7-สเตต ส่งผลให้วงจรมีช่วงคุณสมบัติที่เป็นเชิงเส้นถึง  $\pm 6\pi$  เรเดียน ตามสมการที่ 3.2 (เมื่อ  $n=7$ ) ซึ่งสำหรับไมโครคอนโทรลเลอร์นั้นจะทำได้ง่ายกว่าเพราะเป็นการควบคุมการทำงานด้วยคำสั่งโดยซอฟต์แวร์ แตกต่างกับการสร้างวงจรที่พัฒนาขึ้นมาจากฟิลิปฟลอปและลอจิกเกต และด้วยช่วงคุณสมบัติของวงจรตรวจจับเฟสที่กว้างขึ้นนี้เมื่อนำไปประยุกต์ใช้กับงานของเฟสล็อกคูลูฟ เช่น การมอดคูเลททางเฟส (Phase Modulation) ที่มีวัตถุประสงค์ก็เพื่อต้องการนำเอาสัญญาณใดๆ  $m(t)$  ไปมอดคูเลทเข้ากับเฟสของคลื่นพาหะ (carrier) ตามสมการ  $\theta_c = \alpha m(t)$  แต่เนื่องจากค่าของ  $|\theta_c| \leq \theta_{cm}$  ซึ่งสำหรับการทำงานของวงจรตรวจจับเฟสและความถี่แบบสามสเตตแล้วจะถูกจำกัดให้ค่าสูงสุดของช่วงเฟส ( $\theta_{cm}$ ) ไม่เกิน  $\pm 2\pi$  เรเดียน ดังนั้นเมื่อวงจรตรวจจับเฟสและความถี่มีช่วงคุณสมบัติที่เป็นเชิงเส้นกว้างขึ้น เช่น การทำงานของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตต ก็จะทำให้การมอดคูเลทเชิงเฟสสามารถทำได้ด้วยช่วงเฟสที่สูงถึง  $|\theta_c| \leq 5\pi$  เรเดียน.

## เอกสารอ้างอิง

- [1] P.R. Gray and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, Wiley:New York, 1984, Section 103
- [2] Anzac RF & Microwave Signal Processing Components, Adams-Russell:Burlington:Mass., 1989, p.341
- [3] I. Shahriary, G. D. Brisay, S. Avery, and P. Gibsan, "GaAs Monolithic Phase/Frequency Discriminator," IEEE GaAs Symposium, 1985, pp. 183-86.
- [4] J. F. Oberst, "Generalized Phase Comparators for Improved Phase-Locked Loop Acquisition," IEEE Trans. Communication Technology, Vol. COM-19, December, pp. 1142-48 1971.
- [5] D. H. Wolaver, "Extended Range Phase Detector," Patent 4,920,902, owned by General Signal/Tau-tron, Inc., February 20, 1990.
- [6] D. H. Wolaver, Phase-Locked Loop Circuit Design, Prentice-Hall:Englewood Cliffs, NJ, 1991.
- [7] Motorola MECL Device Data, Motorola, Inc., Phoenix, Ariz., 1989, Section 6.
- [8] MicroSim Corporation. The Design Center™-Circuit Analysis-Reference Manual. Ver. 5.3 Irvine, California, January 1993.
- [9] Intel Corporation "MCS-51 Microcomputer User's Manual" 1982.
- [10] T. Pornwisanukul., J. Ngamwiwit., and Y. Prempraneerach. "Extended Range of Phase-Frequency Detector Characteristic Within  $\pm 2\pi$  Radians By Using Cycle Slip Detectors." Ladkrabang Engineering Journal, Vol. 18, No. 3, Sep. 2001. pp. 134-139.
- [11] S.A. Boctor., Electric Circuit Analysis: Prentice-Hall, Inc. 1987.
- [12] Robert Boylestad., Louis Nashelsky., Electronic Devices and Circuit Theory. 5<sup>th</sup> Ed. New Jersey: Prentice-Hall, Inc. 1992.

ภาคผนวก ก.



6-state Phase Frequency Detector

MR. THANNA PORNWISANAKUL  
 KING MONKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

DATE: October 01, 2001

SIZE: A4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ภาคผนวก ข.

โปรแกรมการทำงานของวงจรตรวจจับเฟสและความถี่แบบ 6-สเตท (6-state Phase/Frequency Detector) ด้วยไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8031.

```

*****;
;PROGRAM MONITOR FOR ;
;EXTENDED CHARRACTERISTIC RANGE OF ;
;DIGITAL PHASE DETECTOR ;
;BASEED ON MCS-51 (8031) ;
*****;
;
;FILENAME : 6SPFD.ASM
;HARDWARE : MCS-51 MODEL 8031, DMC164 LCD, 4X4 MATRIX
;ASSEMBLER : SXA51
;START-DATE : 02/11/01 (UPDATE)
;SOFTWARE ENG. : MR.THANA PORNWISANUKUL (KMIT'L CONTROL ENGINEER)
;
*****;
; PARAMETER ;
*****;
PORT_A EQU 0FC00H ;LCD DATA (PA0-PA7)
PORT_B EQU 0FC01H ;LCD CONTROL (PB0-PB2)
PORT_C EQU 0FC02H ;PORTC (LOWER) :SCAN KEY ROW
;PORTC (UPPER) :SCAN KEY COLUMN
CONT_W EQU 0FC03H ;CONTROL PORT 8255 PPI U3
;SET PORTA,B,C (LOWER) AS AN OUTPUT
PORT
;SET PORTC (UPPER) AS AN INPUT PORT
*****;
; INTERNAL RAM ;
*****;
KBRD EQU 30H ;KEYBORD SET
G_KEY EQU 31H ;GET KEY PRESSED
R_CODE EQU 32H ;DECODE ROW KEY

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

C_CODE      EQU      33H          ;DECODE COLUM KEY
K_CODE      EQU      34H          ;DECODE KEY PRESSED
KEY_P       EQU      35H          ;KEEP KEY PRASSED
;
BUTTON_0    EQU      02H          ;ASSIGN KEY CONSTANT
BUTTON_1    EQU      0DH
BUTTON_2    EQU      0EH
BUTTON_3    EQU      0FH
BUTTON_4    EQU      09H
BUTTON_5    EQU      0AH
BUTTON_6    EQU      0BH
BUTTON_7    EQU      05H
BUTTON_8    EQU      06H
BUTTON_9    EQU      07H
BUTTON_ENTER EQU      03H
BUTTON_ESC  EQU      0CH
BUTTON_PLUS EQU      08H
BUTTON_MINUS EQU      04H
BUTTON_DEL  EQU      01H
BUTTON_RST  EQU      10H

```

```

*****
;
;          MAIN PROGRAM
;
*****
;
;          ORG      0000H
;          LJMP     INITIAL          ;SKIP ADDRESS VECTOR
;
;          ORG      000BH           ;TF0 VECTOR INTERRUPT
;          LJMP     REF_INT0        ;REFERANCE FREQUENCY
;
;          ORG      001BH           ;TF1 VECTOR INTERRUPT
;          LJMP     IN2_INT1        ;GET INPUT2
;
*****
;          START OF MAIN PROGRAM SECTION
;
*****
;          ORG      0040H

```

```

INITIAL:      MOV      DPTR,#CONT_W      ;SET 8255 CONTROL PORT U3
              MOV      A,#88H
              MOVX     @DPTR,A
              MOV      KBRD,#0111111B  ;INITIAL KEYBORD SET

              MOV      R2,#4            ;INITIAL DELAY
              LCALL   LCD_DELAY

              ;**** INITIALIZE DMC164 ****

              MOV      A,#00111000B    ;FUNCTION SET
              LCALL   LCD_WI

              MOV      A,#00010000B    ;CURSOR/DISPLAY
              LCALL   LCD_WI

              MOV      A,#00001100B    ;DISPLAY CONTROL
              LCALL   LCD_WI

              MOV      A,#00000001B    ;CLEAR
              LCALL   LCD_WI

              MOV      A,#00000110B    ;MODE SET
              LCALL   LCD_WI

              MOV      R2,#2            ;DELAY TIME
              LCALL   LCD_DELAY

MAIN:         MOV      TMOD,#01100110B ;SET TIMER MODE CONTROL
              MOV      P1,#00H         ;V1=LOW,V2=LOW,V3=LOW (OUTPUT BSR)
              CLR      P1.0            ;CLEAR /VD
              CLR      P1.1            ;CLEAR VU
              MOV      IE,#10001010B  ;ENABLE T0,T1 & GLOBAL INTERRUPT
              MOV      IP,#00001010B  ;POOLING INTERRUPT PRIORITY
              ;PT0=1 HIGHER PRIORITY LEVEL
              ;PT1=1 HIGHER PRIORITY LEVEL

MAIN1:       MOV      DPTR,#MESSAGE1   ;PAGE 1
              LCALL   LCD_LD
              LCALL   KEY_SCAN         ;CALL SCAN KEYBORD SUB.
              JZ      MAIN2
              SJMP    MAIN3

```

```

MAIN2:      MOV     DPTR,#MESSAGE2 ;PAGE 2
            LCALL  LCD_LD
            LCALL  KEY_SCAN      ;CALL SCAN KEYBORD SUB.
            JZ     MAIN1

MAIN3:      MOV     DPTR,#MESSAGE3 ;PAGE 3
            LCALL  LCD_LD
            MOV     P1,#00H       ;INITIAL OUTPUT 3-STATE PFD
            SETB   P1.0          ;/VD=HIGH,VU=LOW
            CLR    P1.1
            MOV     TL0,#0FFH     ;AUTO RELOAD MODE 2 FOR T0
            MOV     TH0,#0FFH
            MOV     TL1,#0FFH     ;AUTO RELOAD MODE 2 FOR T1
            MOV     TH1,#0FFH
            MOV     TCON,#01010000B ;START UP TIMER0/TIMER1
CHK_KEY:    LCALL  KEY_SCAN      ;WAIT INTERRUPT FOR T0 & T1
            CJNE   A,#BUTTON_ESC,CHK_KEY
            CLR    TR0           ;STOP COUNT OF TIMER0
            CLR    TR1           ;STOP COUNT OF TIMER1
            AJMP   MAIN         ;RESET SYSTEM FOR INITIAL START UP

                                ;***** TABLE *****;
MESSAGE1:   DB     "<< EXTEND PD. >>"
            DB     " by KMITL "
            DB     " System Ready!! "
            DB     " Press Any Key. "

MESSAGE2:   DB     "<< EXTEND PD. >>"
            DB     " by KMITL "
            DB     " System Ready!! "
            DB     " "

MESSAGE3:   DB     "<- 6 STATE PD ->"
            DB     " Frequency Range"
            DB     " 100 Hz-20 kHz. "
            DB     "'ESC'KEY-->RESET"

```

```

;*****
; INTERRUPT SERVICE ROUTINE FOR TIMER0
;*****
REF_INT0:    JB      TF1,STATE_1      ;SIMULTANEOUS R & V
             JNB     P1.1,NORMAL_VU   ;DETECT STATE CHANGE
SLIP_UP1:    JB      P1.2,SLIP_UP2    ;*** CHECK SLIP FOR 6-STATE PFD.***
             SETB    P1.2              ;1st SLIP
             RETI

SLIP_UP2:    JB      P1.3,SLIP_UP3
             SETB    P1.3              ;2nd SLIP
             RETI

SLIP_UP3:    SETB    P1.4
             RETI                      ;***** END OF THE SLIP *****

NORMAL_VU:   JB      P1.0,END_TF0
             SETB    P1.0              ;CREATE /VD SIGNAL
             RETI

END_TF0:     SETB    P1.1              ;CREATE VU SIGNAL
             RETI

STATE_1:     JBC     P1.1,STOP_TF1     ;CHECK VU=HIGH?
             JB      P1.1,STOP_TF1
             SETB    P1.0

STOP_TF1:    CLR     TF1
             RETI

;*****
;INTERRUPT SERVICE ROUTINE FOR
;TIMER1 (RECIVE INPUT2 FOR COMPARE
;PHASE/FREQUENCY
;*****
IN2_INT1:    PUSH    IP
             MOV     IP,#00001000B    ;PT1=1 HIGHER PRIORITY LEVEL
             JB      P1.0,NORMAL_VD   ;CHECK /VD=LOW-->SLIP DOWN

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

SLIP_DN1:    JB      P1.4,SLIP_DN3      ;*** CHECK SLIP FOR 6-STATE PFD.***
             JB      P1.3,SLIP_DN2
             CLR     P1.2                ;1st SLIP DOWN
             POP     IP
             RETI

SLIP_DN2:    CLR     P1.3                ;2nd SLIP DOWN
             POP     IP
             RETI

SLIP_DN3:    CLR     P1.4                ;3rd SLIP DOWN
             POP     IP                  ;***** END OF SLIP *****
             RETI

NORMAL_VD:   JBC     P1.1,END_TF1
             CLR     P1.0
END_TF1:     POP     IP
             RETI

;*****
; LCD DELAY SUB.
;*****
;IN = R2
;REG = R2,R3,R4
;*****
LCD_DELAY:   MOV     R3,#0
LCD_DELAY1:  MOV     R4,#0
             DJNZ   R4,$
             DJNZ   R3,LCD_DELAY1
             DJNZ   R2,LCD_DELAY
             RET

;*****
; WRITE ADDR. TO LCD-MODULE SUB.
;*****
;IN = DPTR DATA BLOCK
;REG = A,R2,DPTR
;*****

```

```

LCD_LD:      MOV     A,#80H           ;SET ADDRESS LINE 1
             LCALL  LCD_LDS
             MOV     A,#0C0H        ;SET ADDRESS LINE 2
             LCALL  LCD_LDS
             MOV     A,#90H         ;SET ADDRESS LINE 3
             LCALL  LCD_LDS
             MOV     A,#0D0H        ;SET ADDRESS LINE 4
             LCALL  LCD_LDS
             RET

```

```

*****
;          WRITE DATA TO LCD-MODULE SUB.
*****
;IN = DPTR
;REG = A,R2,DPTR
*****
LCD_LDS:    PUSH    DPH           ;LOAD SUB.
            PUSH    DPL
            LCALL  LCD_WI        ;WRITE ADDRESS
            POP     DPL
            POP     DPH
            MOV     R2,#16       ;16 CHAR.

LCDLDS1:    CLR     A
            MOVC   A,@A+DPTR     ;MOVC FOR CODE/MOVX FOR DATA
            PUSH   DPH
            PUSH   DPL
            LCALL  LCD_WD        ;WRITE DATA
            POP    DPL
            POP    DPH
            INC    DPTR
            DJNZ   R2,LCDLDS1
            RET

```

```

*****
:           LCD WRITE INSTRUCTION (RS=0)           ;
*****
;IN = A                                           ;
;REG = A,DPTR                                     ;
*****
LCD_WI:      MOV     DPTR,#PORT_A      ;DATA TO PORT_A
             MOVX   @DPTR,A
             MOV     DPTR,#PORT_B      ;PORT_B READ MODIFY WRITE
             MOVX   A,@DPTR
             CLR     ACC.0              ;RS=0
             CLR     ACC.1              ;R/W=0
             CLR     ACC.2              ;ENBLE=0
             MOVX   @DPTR,A
             SETB   ACC.2              ;ENBLE=1
             MOVX   @DPTR,A
             CLR     ACC.2              ;ENBLE=0
             MOVX   @DPTR,A
             MOV     A,#0               ;DELAY
LCDWII:      DEC     A
             JNZ    LCDWII
             RET
*****
:           LCD WRITE INSTRUCTION (RS=1)           ;
*****
;IN = A                                           ;
;REG = A,DPTR                                     ;
*****
LCD_WD:      MOV     DPTR,#PORT_A      ;DATA TO PORT_A
             MOVX   @DPTR,A
             MOV     DPTR,#PORT_B      ;PORT_B READ MODIFY WRITE
             MOVX   A,@DPTR
             SETB   ACC.0              ;RS=1
             CLR     ACC.1              ;R/W=0
             CLR     ACC.2              ;ENBLE=0

```

```

MOVX  @DPTR,A
SETB  ACC.2          ;ENBLE=1
MOVX  @DPTR,A
CLR   ACC.2          ;ENBLE=0
MOVX  @DPTR,A
MOV   A,#0           ;DELAY
LCDWDI: DEC  A
      JNZ  LCDWDI
      RET

```

```

;*****
;SCAN KEYBOARD 4X4 MATRIX
;INITIAL SCAN KEYBOARD SUB.
;REG = KBRD,K_CODE,G_KEY,ACC
;*****
KEY_SCAN:  MOV   A,KBRD          ;SCAN ROW
           RL
           MOV   KBRD,A
           CJNE  A,#0EFH,K_SCAN1 ;FINISH SCAN ROW
           MOV   KBRD,#7FH      ;SET INITIAL ROW
           MOV   A,#00
           RET
KEY_SCAN1: LCALL  SCAN_KEYBRD
           JZ    OUT_KEY        ;NOT PRESS KEY
           MOV   G_KEY,A        ;ACC.=0
           LCALL KEY_DELAY
           LCALL SCAN_KEYBRD
           CJNE  A,G_KEY,OUT_KEY
           LCALL S_ROW
           LCALL S_COLUMN
           LCALL S_KCODE
           MOV   DPTR,#TABLE_KEY
           MOV   A,K_CODE
           MOVC  A,@A+DPTR
           MOV   KEY_P,A

```

RET

```

OUT_KEY:      MOV     A,#00
              SJMP    KEY_SCAN

TABLE_KEY:   DB      10H,01H,02H,03H,04H,05H,06H,07H,08H,09H,0AH,0BH
              DB      0CH,0DH,0EH,0FH

```

```

*****
;SCAN ROW KEYBORAD MATRIX 4X4
;IF NOT PRESS SET ZERO FLAG
*****

;IN = KBRD
;OUT = A
;REG = KBRD,A
*****
SCAN_KEYBRD:  PUSH    DPH
              PUSH    DPL
              MOV     DPTR,#PORT_C      ;CALL PORT_C
              MOV     A,KBRD
              MOVX   @DPTR,A           ;SCAN A ROW
              MOVX   A,@DPTR           ;GET KEYBRD COLUMN DATA
              ORL    A,#0FH            ;HIGH LOW-NIBBLE AND BIT MSB
              CPL    A
              POP     DPL
              POP     DPH
              RET

```

```

*****
;KEYBORD DELAY 10ms SUBROUTINE
;INITAL R2,R3 = #40H FOR 10ms
;REG = R2,R3
*****
KEY_DELAY:   MOV     R2,#40H
              MOV     R3,#40H

KEY_DELAY1:  DJNZ   R2,$
              DJNZ   R3,KEY_DELAY1

```

RET

```

*****
;FIND ROW FOR KEY PRESSED
;R_CODE KEEP CODE SCAN ROW
;KBRD KEEP ROW KEY PRESSED
*****
;IN = KBRD
;OUT = R_CODE
;REG = KBRD,R_CODE,ACC
*****
S_ROW:      PUSH    ACC           ;ACC→SP
            MOV     A,KBRD       ;READ ROW OF KBRD REG.
            CLR     C            ;CLEAR CARRY FLAG
            CPL     A            ;CODE COMPLEMENT
            MOV     R_CODE,#00   ;INITIAL OF ROW
RT_RLP:     RRC     A            ;ROTATE RIGHT THROUGH CARRY
            JC      OUT_SR       ;CARRY NOT EQUAL I INC ROW
            INC     R_CODE       ;INCREMENT ROW
            SJMP   RT_RLP
OUT_SR:     POP     ACC           ;SP→ACC
            RET
*****
;FIND COLUMN FOR KEY PRESSED
;G_KEY KEEP CODE SCAN COLUMN
;C_CODE KEEP COL. KEY PRESSED
*****
;IN = G_KEY
;OUT = C_CODE
;REG = A,G_KEY,C_CODE
*****
S_COLUMN:  PUSH    ACC           ;READ COLUMN KEY PRESSED
            MOV     A,G_KEY       ;GET BIT MSB
            SWAP   A            ;CLEAR CARRY FLAG

```

```

                CLR     C                ;INITIAL OF COLUMN
                MOV     C_CODE,#00      ;ROTATE RIGHT THROUGH CARRY
RT_CLP:        RRC     A                ;CARRY NOT EQUAL I INC COLUMN
                JC     OUT_SC           ;INCREMENT COLUMN
                INC     C_CODE
                SJMP    RT_CLP
OUT_SC:        POP     ACC
                RET

```

```

:*****:
:CREATE KEYCODE FOR INDEX TABLE
:R_CODE KEEP ROW KEY PRESSED
:C_CODE KEEP COLUMN KEY PRESSED
:*****:
:IN = R_CODE,C_CODE
:OUT = K_CODE
:REG = K_CODE,R_CODE,C_CODE,A
:*****:
S_KCODE:      PUSH    ACC
                MOV    A,R_CODE
                RL     A                ;SLIP TWO BIT
                RL     A
                ORL   A,C_CODE        ;ARRANGE COLUMN TO END.
                MOV    K_CODE,A
                POP    ACC
                RET

```

END.

## ประวัติผู้เขียน

นายธนา พรวิศณุกุล เกิดเมื่อวันที่ 7 สิงหาคม 2513 ที่จังหวัดกรุงเทพมหานคร สำเร็จการศึกษาในระดับปริญญาตรี คณะวิศวกรรมศาสตร์ จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2535

เมื่อครั้งยังศึกษาอยู่ในระดับปริญญาโทบัณฑิตของสถาบันฯ เคยมีผลงานวิจัยที่ได้รับการตีพิมพ์เรื่อง

“วงจรกรองสัญญาณขจัดแถบความถี่ผ่านแบบ-ทึขนาน โดยใช้เทคโนโลยีคิสมิทริวิท (Twin-T Notch Filter Circuit Using Distributed Technology)” ลงในวารสาร วิศวกรรมสาร ปีที่ 47 เล่มที่ 12.

และ “ การขยายช่วงคุณสมบัติของวงจรตรวจจับเฟสและความถี่ในช่วง  $\pm 2\pi$  เรเดียน ด้วยวงจรไซเคิลสลีปดีเทคเตอร์ (Extended Range of Phase-Frequency Detector Characteristic Within  $\pm 2\pi$  Radians By Using Cycle Slip Detectors)” ลงในวิศวกรรมลาดกระบัง ปีที่ 18 ฉบับที่ 3 ซึ่งเป็นส่วนหนึ่งของผลงานวิจัยที่นำเสนอในวิทยานิพนธ์นี้.

