

การควบคุมอัตราการไหลด้วยวิธี PLL ร่วมกับตัวควบคุมแบบ P

PLL INCORPORATING P CONTROLLER
FOR FLOW CONTROL SYSTEMS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2543

ISBN 974-622-788-2

การควบคุมอัตราการไหลด้วยวิธี PLL ร่วมกับตัวควบคุมแบบ P

PLL INCORPORATING P CONTROLLER
FOR FLOW CONTROL SYSTEMS



สมศักดิ์ วรรณชนะ
SOMSAK WANCHANA

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2543

ISBN 974-622-788-2

เลขหมู่.....
เลขทะเบียน..... 35952
วัน, เดือน, ปี - 3 ก.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**PLL INCORPORATING P CONTROLLER
FOR FLOW CONTROL SYSTEMS**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ ISBN 974-622-788-2 ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2000

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัณฑิตวิทยาลัย
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การควบคุมอัตราการไหลด้วยวิธี PLL ร่วมกับตัวควบคุมแบบ P
PLL INCORPORATING P CONTROLLER FOR FLOW
CONTROL SYSTEMS

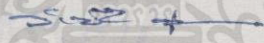
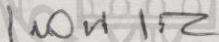
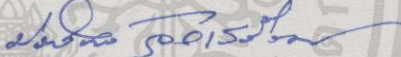
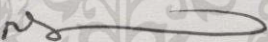

ชื่อนักศึกษา นายสมศักดิ์ วรรณชนะ

รหัสประจำตัว 41061077

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้า

อาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.ดร.จنگกล งามวิวิทย์

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.วันชัย	วีรจจา	
รศ.ดร.โยธิน	เปรมปราณีรัชต์	
อาจารย์ประสิทธิ์	จุลเสวีวงศ์	
รศ.กิตติ	ศิรเศรษฐ	
รศ.ดร.จنگกล	งามวิวิทย์	

วัน/เดือน/ปี ที่สอบ 9 พฤษภาคม 2543 เวลา 12.00-13.00 น. เป็นต้นไป

สถานที่สอบ ณ ตึก 12 ชั้น ชั้น 4 (ห้อง E12-403)

บัณฑิตวิทยาลัยรับรองแล้ว

(รศ.ดร.มนัส สังวรศิลป์)

คณบดีบัณฑิตวิทยาลัย

วันที่...3/...เดือน...พฤษภาคม...พ.ศ. 2543

หัวข้อวิทยานิพนธ์	การควบคุมอัตราการใช้พลังงานด้วยวิธี PLL ร่วมกับตัวควบคุมแบบ P
นักศึกษา	นายสมศักดิ์ วรรณชนะ
รหัสประจำตัว	41061077
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2543
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.จงกล งามวิวิทย์

บทคัดย่อ

วิทยานิพนธ์เล่มนี้ นำเสนอการควบคุมอัตราการใช้พลังงานด้วยวิธีเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P โดยเปลี่ยนอัตราการใช้พลังงานให้เป็นความถี่ ซึ่งตัวควบคุมแบบ P จะควบคุมให้ผลตอบสนองของระบบเข้าสู่สภาวะที่คงที่อย่างรวดเร็ว หลังจากนั้นเฟสล็อกลูปรจะทำหน้าที่ควบคุมอัตราการใช้พลังงานที่สภาวะคงตัว จากผลการทดลองควบคุมอัตราการใช้พลังงานที่ 40 50 และ 60 เปอร์เซ็นต์ของอัตราการใช้พลังงานสูงสุด พบว่าตัวควบคุมแบบนี้ให้ผลตอบสนองของระบบควบคุมที่มีค่าพ่วงเกินประมาณ 15 เปอร์เซ็นต์โดยไม่มีค่าออฟเซต และสามารถเข้าสู่สภาวะอัตราการใช้พลังงานอ้างอิงได้อีกครั้งเมื่อมีการรบกวนโหลดเข้ามาในระบบ ถ้าผลกระทบจากโหลดทำให้เกิดความแตกต่างของอัตราการใช้พลังงานน้อยกว่าค่าของความแตกต่างที่ได้กำหนดไว้

Thesis Title	PLL Incorporating P Controller for Flow Control Systems
Student	Mr. Somsak Wanchana
Student ID.	41061077
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2000
Thesis Advisor	Assoc. Prof. Dr.Jongkol Ngamwiwit

ABSTRACT

This thesis presents the flow control system using a phase-locked loop technique incorporating a P controller. The locking range will rapidly be controlled to reach its range by P controller and the steady state flow rate of the system will be controlled later by phase-locked loop. The experimental results in controlling 40, 50 and 60% of the maximum flow rate show that the response has overshoot approximately 15% without offset. The results also show that the effect of load disturbance can be rejected if the flow rate error due to the load disturbance is less than the preset value.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้อย่างนี้ ด้วยคำแนะนำและคำปรึกษาจาก รศ.ดร.จงกล งามวิวิทย์ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ อาจารย์ ถาวร เบญจนาสุทธิ์ และอาจารย์ประจำภาค วิชาการระบบควบคุมทุกท่าน ที่ช่วยเหลือแก้ไขและให้คำแนะนำในบางจุดที่ผู้วิจัยติดปัญหาบางอย่าง ซึ่งมีส่วนช่วยให้ผู้วิจัยเข้าใจในปัญหานั้น

ขอขอบพระคุณ Assoc. Prof. Noriyuki Komine ที่ให้ความช่วยเหลือต้อนรับและคำแนะนำต่าง ๆ ในการนำเสนองานวิจัยของข้าพเจ้า ณ ประเทศญี่ปุ่น

ขอขอบคุณ วิทยาลัยเทคนิคชลบุรี อ.บ้านบึง จ.ชลบุรี ที่เอื้อเฟื้ออุปกรณ์ทั้งหมดตลอดจนถึงสถานที่รวมทั้งอำนวยความสะดวก จนสามารถทำวิทยานิพนธ์ฉบับนี้เสร็จสิ้น รวมทั้ง นักศึกษาแผนกวิชาการวัดและควบคุมในอุตสาหกรรม ที่ช่วยเหลือในการทดลอง

ขอขอบคุณ อาจารย์ อนุรีย์ นพวิง ที่ช่วยเหลือในการถ่ายรูปต่าง ๆ

ขอขอบคุณ เพื่อนสนิทมิตรสหายทุกท่านซึ่งเป็นกำลังใจที่ดี ในการทำวิทยานิพนธ์ฉบับนี้
สุดท้ายขอขอบคุณ โครงการสำนักวิจัยการสื่อสารและเทคโนโลยีสารสนเทศ (ReCCIT) และ Japan International Cooperation Agency (JICA) ที่ได้ให้การสนับสนุนการทำวิจัยครั้งนี้

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้วิจัยขอบแต่ผู้มีพระคุณทุกท่าน

สมศักดิ์ วรรณชนะ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูป	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา	1
1.3 สมมติฐานของการศึกษา	1
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย	1
1.5 ขอบเขตของการวิจัย	2
1.6 ขั้นตอนการศึกษา	2
บทที่ 2 ระบบควบคุม	3
2.1 บทนำ	3
2.2 การควบคุมกระบวนการ	3
2.2.1 กระบวนการแบบอินทิกรัล	3
2.2.2 กระบวนการอันดับหนึ่ง	5
2.2.3 เวลาไร้ผลสนอง	7
2.2.4 การควบคุม	8
2.2.5 ตัวควบคุม	9
2.3 การวัดอัตราการไหล	10
บทที่ 3 เฟสล็อกถูป	15
3.1 กล่าวนำ	15
3.2 ลิเนียร์เฟสล็อกถูป	15
3.2.1 วงจรกรองถูป	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
3.2.2 การทำงานของลิเนียร์เฟสล็กกลุ่มในสภาวะล็ก	18
3.2.3 การทำงานของลิเนียร์เฟสล็กกลุ่มในสภาวะไม่ล็ก	21
3.3 คลาสซิคอลคิจิตอลเฟสล็กกลุ่ม	25
3.3.1 โครงสร้างของคลาสซิคอลคิจิตอลเฟสล็กกลุ่ม	25
3.3.2 ตัวตรวจจับเฟสแบบคิจิตอล	26
3.3.3 การทำงานของคลาสซิคอลคิจิตอลเฟสล็กกลุ่ม	35
บทที่ 4 การออกแบบระบบควบคุมอัตราการใช้	39
4.1 ระบบควบคุมอัตราการใช้ด้วยวิธีเฟสล็กกลุ่มร่วมกับตัวควบคุมแบบ P	39
4.2 กระบวนการอัตราการใช้	42
4.3 ตัวควบคุมแบบ P	43
4.4 เฟสล็กกลุ่ม	44
4.4.1 ตัวตรวจจับเฟสและวงจรรองรูป	45
4.4.2 วงจรกำเนิดสัญญาณนาฬิกา	47
4.4.3 วงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่	47
4.4.4 วงจรสัญญาณนาฬิกา	48
4.4.5 เสถียรภาพของเฟสล็กกลุ่ม	49
บทที่ 5 การทดลองและผลการทดลอง	52
5.1 การทดลองหาผลตอบสนองวงรอบเปิดของกระบวนการอัตราการใช้	54
5.2 การทดสอบประสิทธิภาพของตัวควบคุมที่ออกแบบและสร้างขึ้นเปรียบเทียบกับตัวควบคุมแบบ P	55
5.3 การทดสอบประสิทธิภาพของตัวควบคุมที่ออกแบบและสร้างขึ้น จากกระบวนการระบุเมื่อค่าพารามิเตอร์ของกระบวนการมีการเปลี่ยนแปลง	59
5.4 สรุปผลการทดลอง	66
บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

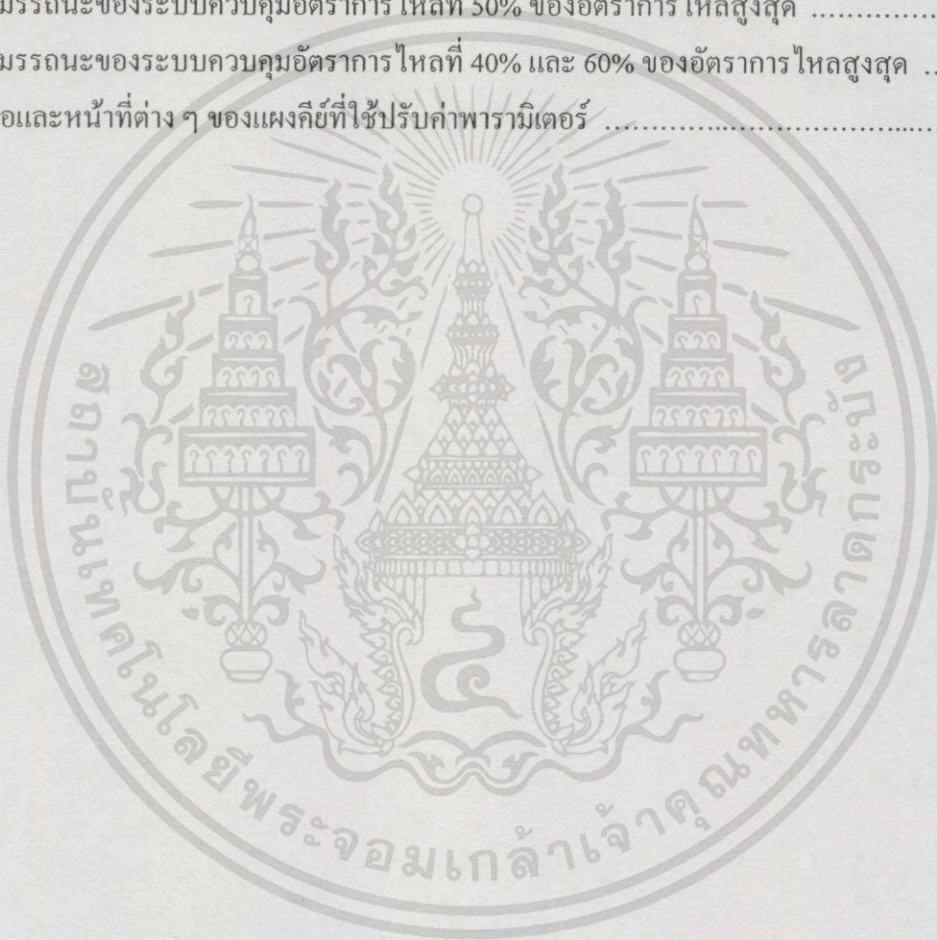
สารบัญ(ต่อ)

	หน้า
เอกสารอ้างอิง	70
ภาคผนวก ก.	72
ภาคผนวก ข.	73
ภาคผนวก ค.	76
ภาคผนวก ง.	82
ประวัติผู้เขียน	83



สารบัญตาราง

ตารางที่	หน้า
2.1 ข้อดีข้อเสียของอุปกรณ์ปฐมภูมิชนิดต่าง ๆ ที่ใช้วัดอัตราการไหลแบบความดันแตกต่างกัน	12
3.1 ω และ ζ ของคลาสซิคอลดิจิตอลเฟสล็อกกลูป	37
3.2 พารามิเตอร์ต่าง ๆ ของคลาสซิคอลดิจิตอลเฟสล็อกกลูป	38
5.1 สมรรถนะของระบบควบคุมอัตราการไหลที่ 50% ของอัตราการไหลสูงสุด	65
5.2 สมรรถนะของระบบควบคุมอัตราการไหลที่ 40% และ 60% ของอัตราการไหลสูงสุด	65
ก.1 ชื่อและหน้าที่ต่าง ๆ ของแ่งคีย์ที่ใช้ปรับค่าพารามิเตอร์	79



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 ผลตอบสนองของกระบวนการแบบอินทิกรัลกับอินพุตที่เป็นสัญญาณพัลส์	4
2.2 กระบวนการถึงระดับของเหลวแบบอินทิกรัล	5
2.3 ผลตอบสนองของกระบวนการอันดับหนึ่งกับสัญญาณอินพุตแบบขั้นบันไดขนาดหนึ่งหน่วย	6
2.4 กระบวนการถึงระดับของเหลวอันดับหนึ่ง	6
2.5 ผลตอบสนองของกระบวนการอันดับหนึ่งบวกเวลาไว้ผลสนองกับสัญญาณอินพุตแบบ ขั้นบันได	7
2.6 ระบบการควบคุมแบบวงรอบเปิด	8
2.7 ระบบการควบคุมแบบวงรอบปิด	8
2.8 โครงสร้างของตัวควบคุม	9
2.9 แผ่นออร์ฟิชที่มีหลอดวัดความดัน	13
3.1 โครงสร้างของลิเนียร์เฟสดีอกลูป	16
3.2 วงจรกรองลูปที่ใช้ในเฟสดีอกลูป	17
3.3 ผลตอบสนองของวงจรกรองสัญญาณความถี่ต่ำผ่าน	18
3.4 แบบจำลองทางคณิตศาสตร์ของลิเนียร์เฟสดีอกลูป	19
3.5 พัลส์ต่าง ๆ ของลิเนียร์เฟสดีอกลูป	22
3.6 บล็อกไดอะแกรมของคลาสซิคอลดิจิตอลเฟสดีอกลูป	25
3.7 ตัวตรวจจับเฟสที่นิยมใช้ในคลาสซิคอลดิจิตอลเฟสดีอกลูป	27
3.8 รูปสัญญาณของตัวตรวจจับเฟสแบบเอ็กซ์คูซิฟออร์เกท	28
3.9 กราฟสัญญาณเอาต์พุต v_c ของตัวตรวจจับเฟสแบบเอ็กซ์คูซิฟออร์เกท	28
3.10 รูปสัญญาณของตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป	30
3.11 กราฟสัญญาณเอาต์พุต v_c ของตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป	30
3.12 การเปลี่ยนสถานะของตัวตรวจจับเฟสแบบเฟส-ความถี่	32
3.13 รูปสัญญาณของตัวตรวจจับเฟสแบบเฟส-ความถี่	33
3.14 กราฟสัญญาณเอาต์พุต v_c ของตัวตรวจจับเฟสแบบเฟส-ความถี่	34
3.15 คำวินิจฉัยการทำงานของสัญญาณเอาต์พุต v_c ของตัวตรวจจับเฟสแบบเฟส-ความถี่	35
3.16 แบบจำลองทางคณิตศาสตร์ของดิจิตอลเฟสดีอกลูป	36
4.1 บล็อกไดอะแกรมระบบควบคุมอัตราการไหลด้วยวิธีเฟสดีอกลูปร่วมกับตัวควบคุมแบบ P ..	40
4.2 แผนผังขั้นตอนการทำงานจากระบบควบคุมอัตราการไหล	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.3 โค้ดแกรมของกระบวนการอัดการไหล	42
4.4 ตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E)	43
4.5 แผงวงจรของเฟสล็อกที่ใช้ในการทดลอง	44
4.6 บล็อกโค้ดแกรมของระบบควบคุมอัดการไหลในโหมดของเฟสล็อก	45
4.7 โครงสร้างภายในของชิปไอซี MC 4044	46
4.8 วงจรตรวจจับเฟสและวงจรกรองรูป	47
4.9 วงจรกำเนิดสัญญาณนาฬิกา	47
4.10 วงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่	48
4.11 วงจรนับสัญญาณนาฬิกา	49
5.1 กระบวนการอัดการไหลที่ใช้ในการทดลอง	52
5.2 โครงสร้างของกระบวนการอัดการไหล	53
5.3 การควบคุมอัดการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P	54
5.4 ผลตอบสนองวงรอบเปิดของกระบวนการอัดการไหล	55
5.5 ผลตอบสนองของระบบควบคุมอัดการไหลด้วยตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณ อ้างอิงเท่ากับ 50% ของอัดการไหลสูงสุด	56
5.6 ผลตอบสนองของระบบควบคุมอัดการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 50% ของอัดการไหลสูงสุด	57
5.7 ผลตอบสนองของระบบควบคุมอัดการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวนโหลดที่ทำให้เกิดค่าความคลาดเคลื่อนน้อยกว่า 10% ของอัดการไหลสูงสุด เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 50% ของอัดการไหลสูงสุด	58
5.8 ผลตอบสนองของระบบควบคุมอัดการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวนโหลดที่ทำให้เกิดค่าความคลาดเคลื่อนมากกว่า 10% ของอัดการไหลสูงสุด เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 50% ของอัดการไหลสูงสุด	58
5.9 ผลตอบสนองของระบบควบคุมอัดการไหลด้วยตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณ อ้างอิงเท่ากับ 40% ของอัดการไหลสูงสุด	59
5.10 ผลตอบสนองของระบบควบคุมอัดการไหลด้วยตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณ อ้างอิงเท่ากับ 60% ของอัดการไหลสูงสุด	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
5.11 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 40% ของอัตราการไหลสูงสุด	61
5.12 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 60% ของอัตราการไหลสูงสุด	61
5.13 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวนโหลดที่ทำให้เกิดค่าความคลาดเคลื่อนน้อยกว่า 10% ของอัตราการไหลสูงสุด เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 40% ของอัตราการไหลสูงสุด	62
5.14 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวนโหลดที่ทำให้เกิดค่าความคลาดเคลื่อนน้อยกว่า 10% ของอัตราการไหลสูงสุด เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 60% ของอัตราการไหลสูงสุด	63
5.15 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวนโหลดที่ทำให้เกิดค่าความคลาดเคลื่อนมากกว่า 10% ของอัตราการไหลสูงสุด เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 40% ของอัตราการไหลสูงสุด	64
5.16 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวนโหลดที่ทำให้เกิดค่าความคลาดเคลื่อนมากกว่า 10% ของอัตราการไหลสูงสุด เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 60% ของอัตราการไหลสูงสุด	64
ก.1 ภาพด้านหน้าของตัวควบคุมที่สามารถแสดงค่าและ โปรแกรมได้ (SLPC-151*E)	76
ก.2 คีย์ต่าง ๆ ของตัวควบคุมที่สามารถแสดงค่าและ โปรแกรมได้ (SLPC-151*E)	77
ก.3 การทำงานเป็นตัวควบคุมแบบ PID ของตัวควบคุมที่สามารถแสดงค่าและ โปรแกรมได้ (SLPC-151*E)	78
ก.4 วงจรบล็อกไดอะแกรมของตัวควบคุมที่สามารถแสดงค่าและ โปรแกรมได้ (SLPC-151*E)	81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในอุตสาหกรรมการผลิต ตัวแปรกระบวนการ (process variable) ที่ถูกควบคุมให้มีผลตอบสนองตามที่ต้องการที่พบได้บ่อยที่สุดคือ ความดัน อัตราการไหล ระดับ อุณหภูมิ และความเร็วรอบ [1] ตัวแปรกระบวนการที่ถูกควบคุมด้วยตัวควบคุมแบบ P (P controller) ให้ผลตอบสนองของการควบคุมแบบวงรอบปิดมีค่าผิดพลาดที่สภาวะคงตัว (steady state error) จากค่าเป้าหมายหรือ ออฟเซต (offset) [2] ค่าผิดพลาดที่สภาวะคงตัวของระบบควบคุมสามารถกำจัดได้ด้วยตัวควบคุมแบบ P ที่ทำงานร่วมกับตัวควบคุมแบบ I หรือเรียกว่า ตัวควบคุมแบบ PI (PI controller) วิทยานิพนธ์นี้นำเสนอการควบคุมอัตราการไหลโดยใช้วิธีเฟสล็อกคู่ร่วมกับตัวควบคุมแบบ P ซึ่งสามารถกำจัดค่าผิดพลาดที่สภาวะคงตัว และผลกระทบของการรบกวนของไหลได้

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1.2.1 ศึกษาการควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่ [3]

1.2.2 นำวิธีเฟสล็อกคู่ไปกำจัดค่าผิดพลาดที่สภาวะคงตัวของการควบคุมอัตราการไหลซึ่งเกิดมาจากตัวควบคุมแบบ P

1.2.3 ศึกษาสมรรถนะ (performance) ของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่ร่วมกับตัวควบคุมแบบ P

1.3 สมมติฐานของการศึกษา

คาดว่าสามารถกำจัดค่าผิดพลาดที่สภาวะคงตัว และผลกระทบของการรบกวนไหลที่เข้ามาในระบบของระบบควบคุมอัตราการไหลได้ เมื่อระบบควบคุมอัตราการไหลทำงานอยู่ในโหมดการควบคุมของเฟสล็อกคู่

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

ในกรณีทั่วไป เฟสล็อกคู่ถูกนำไปประยุกต์ใช้ควบคุมความเร็วของมอเตอร์ ซึ่งสามารถควบคุมความเร็วรอบของมอเตอร์ให้มีค่าผิดพลาดที่สภาวะคงตัว อยู่ระหว่าง 0.002% - 0.008% [4], [5] หลักการควบคุมของเฟสล็อกคู่ใช้วิธีการเปรียบเทียบความถี่ ดังนั้น การนำวิธีเฟสล็อกคู่มาประยุกต์ใช้ควบคุมกระบวนการอัตราการไหลนั้น จะต้องทำการเปลี่ยนอัตราการไหลให้เป็นความถี่ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยวงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่ [6] และนำมาเปรียบเทียบกับความถี่ที่คงที่ ซึ่งกำเนิดมาจากวงจรผลิตความถี่ที่ใช้ผลึกกำเนิดความถี่ ความคลาดเคลื่อนของความถี่จะถูกเปลี่ยนเป็นแรงดันไฟฟ้า เพื่อที่จะนำไปควบคุมการเปิดหรือปิดวาล์วควบคุมในตำแหน่งที่ต้องการควบคุมอัตราการไหล

1.5 ขอบเขตของการวิจัย

ทดสอบระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P โดยสังเกตผลตอบสนองของการควบคุมเมื่อมีสัญญาณอินพุตเป็นแบบขั้นบันไดและมีการรบกวนไหลเข้ามาในระบบเปรียบเทียบกับผลการควบคุมแบบ P ทดสอบประสิทธิภาพของตัวควบคุมที่ออกแบบ และสร้างขึ้นจากกระบวนการระบุ (nominal process) เมื่อค่าพารามิเตอร์ของกระบวนการมีการเปลี่ยนแปลง เนื่องมาจากการเปลี่ยนแปลงค่าเป้าหมายของกระบวนการ

1.6 ขั้นตอนการศึกษา

1. ออกแบบและสร้างตัวควบคุมอัตราการไหลด้วยวิธีของเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P
2. นำตัวควบคุมที่สร้างขึ้นไปควบคุมระบบควบคุมอัตราการไหลในห้องปฏิบัติการที่ได้จำลองขึ้นมา
3. สรุปผลการวิจัย

บทที่ 2

ระบบควบคุม

2.1 บทนำ

ระบบควบคุมสามารถแบ่งเป็น 2 กลุ่มใหญ่ ๆ คือ การควบคุมกระบวนการ (process control) และการควบคุมแบบเซอร์โว (Servomechanism control) [6] ในการควบคุมแบบเซอร์โว ตัวแปรที่ต้องการควบคุมเช่น ตำแหน่ง ความเร็ว หรืออัตราเร่ง จะถูกควบคุมให้เป็นไปตามค่าเป้าหมายตลอดเวลา การควบคุมกระบวนการในอุตสาหกรรมส่วนมาก เป็นการควบคุมตัวแปรของกระบวนการ เช่น อุณหภูมิ อัตราการไหล ระดับ ความดัน ค่า pH ความชื้น เป็นต้น ตัวแปรกระบวนการจะถูกควบคุมให้ผลต่างระหว่างค่าเป้าหมายกับค่าเอาต์พุตมีค่าน้อยที่สุด โดยปกติการควบคุมแบบนี้ ค่าเป้าหมายจะถูกกำหนดให้มีค่าคงที่ที่ค่าใดค่าหนึ่ง

2.2 การควบคุมกระบวนการ

พลานต์ (plant) ที่ใช้สำหรับควบคุมการผลิตในอุตสาหกรรมจะประกอบด้วยกระบวนการหลาย ๆ กระบวนการที่มีความสัมพันธ์กัน เช่น กระบวนการควบคุมอุณหภูมิ อัตราการไหล ระดับ เป็นต้น กระบวนการผลิตที่ดีคือตัวแปรกระบวนการต่าง ๆ ในกระบวนการผลิตต้องถูกควบคุมให้มีความถูกต้องแม่นยำ ดังนั้น การออกแบบการควบคุมกระบวนการชนิดต่าง ๆ ให้ได้ความถูกต้องแม่นยำนั้น จะต้องรู้สมบัติทั่ว ๆ ไปของกระบวนการก่อน

2.2.1 กระบวนการแบบอินทิกรัล

กระบวนการอย่างง่าย ๆ จะมีคุณสมบัติเป็นอัตราขยายคงที่ค่าใดค่าหนึ่ง เอาท์พุทของกระบวนการเป็นสัดส่วนกับค่าอินพุทของกระบวนการโดยตรง สำหรับกระบวนการแบบอินทิกรัล อัตราของการเปลี่ยนแปลงค่าเอาท์พุทของกระบวนการขึ้นอยู่กับค่าอินพุทของกระบวนการ ซึ่งสามารถเขียนเป็นสมการทางคณิตศาสตร์ได้ดังนี้ [6]

$$\frac{dv_o}{dt} = Kv_i$$

หรือ

$$v_o = K \int v_i dt \quad (2.1)$$

โดยที่ K เป็นค่าคงที่ v_o เป็นเอาท์พุทของกระบวนการ และ v_i เป็นอินพุทของกระบวนการ จะเห็นว่า เอาท์พุทของกระบวนการแบบอินทิกรัล v_o ขึ้นอยู่กับการอินทิเกรตของอินพุทที่เข้ามา การหาผล

เอกสารถูกเขียนโดยผู้เขียนที่สงวนลิขสิทธิ์ไว้สำหรับใช้เฉพาะในเอกสารนี้เท่านั้น การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย การคัดลอกเอกสารนี้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

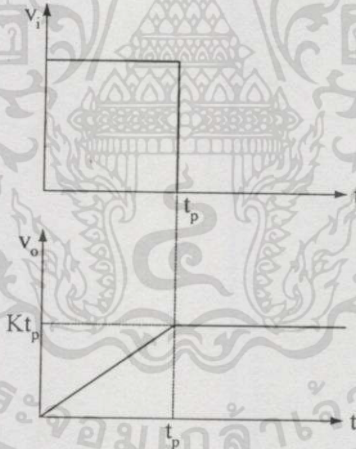
ค้อบสนองของกระบวนการนิยมป้อนอินพุทเป็นสัญญาณมาตรฐาน เช่น สัญญาณขั้นบันได (step) ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณพัลส์ (pulse) และสัญญาณแรมพ์ (ramp) ถ้าสัญญาณอินพุตของกระบวนการแบบอินทิกรัลเป็นสัญญาณขั้นบันได จะได้

$$v_o(t) = Kt \quad (2.2)$$

จากสมการ (2.2) จะเห็นได้ว่าสมการเอาต์พุตของกระบวนการแบบอินทิกรัลเป็นสัญญาณแรมพ์ เมื่อมีอินพุตเป็นสัญญาณขั้นบันได ดังนั้น เอาต์พุตของกระบวนการแบบอินทิกรัลจะค่อย ๆ เพิ่มขึ้นตามเวลาที่เพิ่มขึ้นจนถึงขีดจำกัดของระบบ เช่น ระดับของของเหลวในถังระดับนั้น เมื่อเวลาผ่านไประดับของของเหลวจะเพิ่มขึ้นจนล้นออกมา

สำหรับกรณีของผลตอบสนองของกระบวนการแบบอินทิกรัลกับอินพุตที่เป็นสัญญาณพัลส์ จะทำให้เข้าใจได้ง่าย ดังแสดงในรูปที่ 2.1 ในช่วงที่มีสัญญาณพัลส์เอาต์พุตของกระบวนการแบบอินทิกรัล จะเพิ่มขึ้นเป็นแบบสัญญาณแรมพ์ และคงที่อยู่ที่ค่าสุดท้ายเมื่อสัญญาณพัลส์มีค่าเป็นศูนย์



รูปที่ 2.1 ผลตอบสนองของกระบวนการแบบอินทิกรัลกับอินพุตที่เป็นสัญญาณพัลส์

รูปที่ 2.2 เป็นตัวอย่างของกระบวนการแบบอินทิกรัล ที่เป็นขบวนการถึงระดับของเหลวแสดงอัตราการไหลที่เอาต์พุตถูกป้อนออกอย่างคงที่ ดังนั้น อัตราการไหลที่เอาต์พุตไม่ขึ้นอยู่กับระดับความสูงของของเหลวในถัง จะสามารถเขียนสมการทางคณิตศาสตร์ได้เป็น

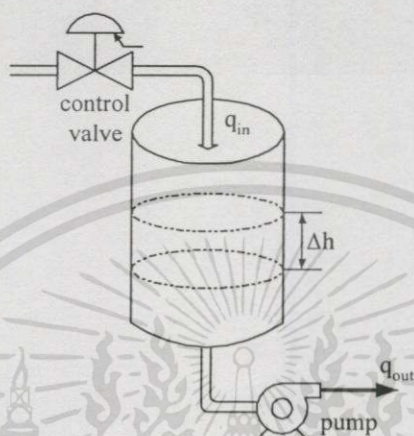
$$dh = \frac{q_{in} - q_{out}}{A} dt$$

หรือ

$$h = \frac{1}{A} \int (q_{in} - q_{out}) dt \quad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาดูเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ h คือความสูงของระดับของเหลว A คือพื้นที่หน้าตัดของถัง q_{in} คืออัตราการไหลเข้าถัง และ q_{out} คืออัตราการไหลออกจากถัง



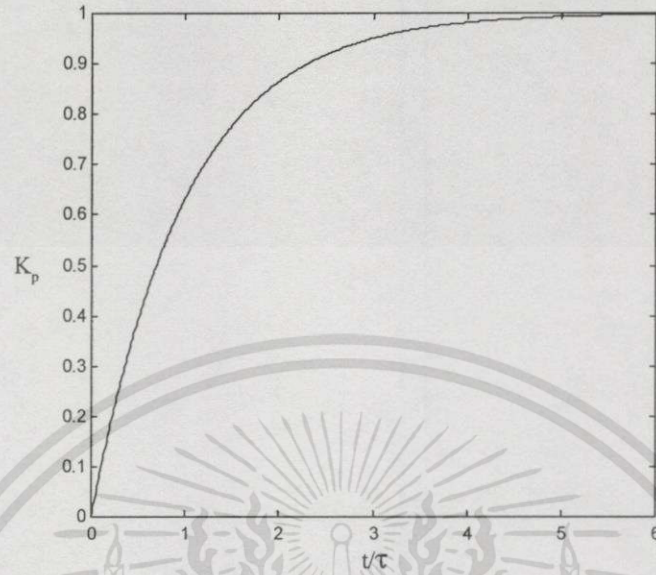
รูปที่ 2.2 กระบวนการถังระดับของเหลวแบบอินทิกรัล

2.2.2 กระบวนการอันดับหนึ่ง

กระบวนการส่วนใหญ่ในอุตสาหกรรมจะถูกสร้างขึ้นมาจากส่วนประกอบที่มีสมบัติเป็นค่าความจุ (capacitance) และค่าความต้านทาน (resistance) เช่นถังมีสมบัติเป็นค่าความจุ ส่วนวาล์วมีสมบัติเป็นค่าความต้านทาน จากรูปที่ 2.2 ถ้านวาล์วไปแทนที่ในตำแหน่งของปั๊มก็จะทำให้ได้กระบวนการที่มีการบังคับตัวเอง (self-regulating) ดังนั้น เมื่อให้สัญญาณอินพุตแบบขั้นบันไดกับกระบวนการที่มีการบังคับตัวเองมีผลทำให้เอาต์พุตเพิ่มขึ้นแบบเอกซ์โพเนนเชียล (exponential) จนกระทั่งถึงระดับคงที่ใหม่ กระบวนการที่มีการบังคับตัวเองเรียกว่า กระบวนการอันดับหนึ่ง ความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตของกระบวนการอันดับหนึ่งเขียนได้ดังนี้ [6]

$$v_o(t) = K_p \left(1 - e^{-t/\tau} \right) \quad (2.4)$$

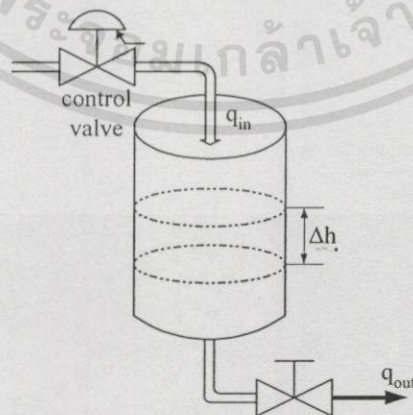
เมื่อ K_p คืออัตราขยายของกระบวนการและ τ คือค่าเวลาคงตัว เมื่อเวลาผ่านไป 1τ เอาต์พุตของกระบวนการอันดับหนึ่ง มีค่าเท่ากับ 63.2 เปอร์เซ็นต์ของค่าสูงสุด และเอาต์พุตเพิ่มขึ้นถึงค่าสูงสุดในเวลาประมาณ 5τ ดังแสดงในรูปที่ 2.3



รูปที่ 2.3 ผลตอบสนองของกระบวนการอันดับหนึ่งกับสัญญาณอินพุตแบบขั้นบันได
ขนาดหนึ่งหน่วย

ถึงระดับของเหลวที่มีคุณสมบัติแบบกระบวนการอันดับหนึ่ง แสดงได้ในรูปที่ 2.4 ซึ่ง
สามารถเขียนฟังก์ชันถ่ายโอนในรูปของการแปลงลาปลาซ ได้ดังนี้

$$\frac{H(s)}{Q_{in}(s)} = \frac{K_p}{s + 1} \quad (2.5)$$



รูปที่ 2.4 กระบวนการถึงระดับของเหลวอันดับหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

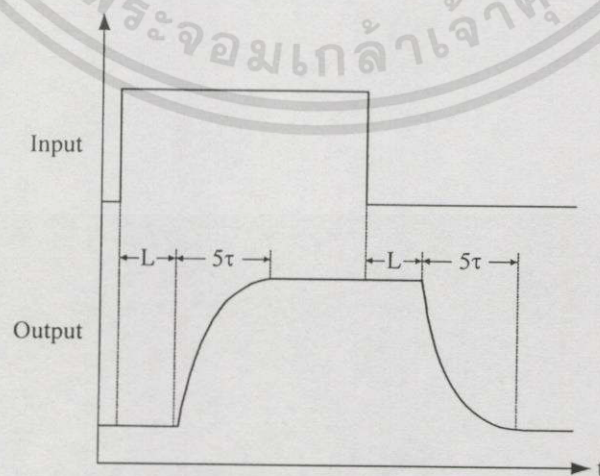
2.2.3 เวลาไร้ผลสนอง

จากกระบวนการแบบอินทิกรัลและกระบวนการอันดับหนึ่งที่กำลังกล่าวมาแล้ว เอาท์พุทของกระบวนการจะเพิ่มขึ้นทันทีเมื่ออินพุทมีการเปลี่ยนแปลง ในบางกระบวนการเอาท์พุทมีการหน่วงเวลาไว้ การเปลี่ยนแปลงของอินพุทไม่ได้ทำให้เกิดผลกระทบกับเอาท์พุททันที แต่เมื่อเวลาผ่านไปถึงช่วงหนึ่งเอาท์พุทจึงเริ่มตอบสนองตามการเปลี่ยนแปลงของอินพุทที่เข้ามา ช่วงเวลาที่เอาท์พุทไม่มีการตอบสนองต่อการเปลี่ยนแปลงของอินพุทเรียกว่า เวลาไร้ผลสนอง (dead time) ถ้ากระบวนการมีเวลาไร้ผลสนองยาวนาน การควบคุมให้ได้ผลตอบสนองที่ดีจะกระทำได้ยาก และระบบควบคุมจะไม่เสถียร

กระบวนการบางกระบวนการมีคุณสมบัติเป็นกระบวนการอันดับหนึ่งบวกเวลาไร้ผลสนอง (first-order plus dead-time) เช่นถึงระดับที่แสดงในรูปที่ 2.4 เมื่อความยาวของท่อจากควาล์วควบคุมมาลงถึงมีความยาวมาก ก็จะทำให้เกิดเวลาไร้ผลสนองขึ้น เพราะของเหลวต้องใช้เวลาในการเดินทาง ดังนั้น สามารถเขียนฟังก์ชันถ่ายโอนของกระบวนการแบบกระบวนการอันดับหนึ่งบวกเวลาไร้ผลสนองได้ดังนี้ [6]

$$\frac{H(s)}{Q_m(s)} = \left(\frac{K_p}{s+1} \right) e^{-sL} \quad (2.6)$$

เมื่อ L คือเวลาไร้ผลสนอง ผลตอบสนองของกระบวนการอันดับหนึ่งบวกเวลาไร้ผลสนอง เมื่อได้รับอินพุทเป็นสัญญาณแบบขั้นบันได แสดงได้ในรูปที่ 2.5



รูปที่ 2.5 ผลตอบสนองของกระบวนการอันดับหนึ่งบวกเวลาไร้ผลสนองกับสัญญาณอินพุท

เอกสารนี้เป็นเอกสารแบบขั้นบันไดสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

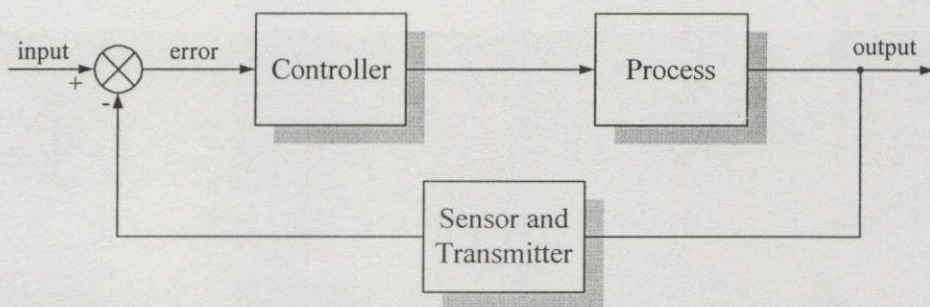
2.2.4 การควบคุม

การควบคุมแบ่งออกเป็นสองแบบคือ การควบคุมแบบวงรอบเปิด (open loop control) และการควบคุมแบบวงรอบปิด (close loop control) [2] การควบคุมแบบวงรอบเปิดเป็นการควบคุมที่ไม่มีการป้อนกลับของค่าเอาต์พุตมาเปรียบเทียบกับค่าอินพุต รูปที่ 2.6 แสดงบล็อกไดอะแกรมของระบบการควบคุมแบบวงรอบเปิด ข้อดีของระบบควบคุมแบบวงรอบเปิดคือ ไม่ต้องคำนึงถึงเสถียรภาพของระบบควบคุม การควบคุมแบบวงรอบเปิดจะใช้ได้ดีกับระบบที่ไม่มีสัญญาณรบกวนจากภายในและภายนอกมารบกวนกระบวนการ



รูปที่ 2.6 ระบบควบคุมแบบวงรอบเปิด

การควบคุมแบบวงรอบปิด คือระบบการควบคุมแบบป้อนกลับ โดยมีการวัดค่าเอาต์พุตของระบบควบคุมแล้วป้อนกลับมาเปรียบเทียบกับค่าอินพุตของระบบควบคุม ผลต่างของการเปรียบเทียบถูกนำไปคำนวณเป็นสัญญาณควบคุมอีกครั้งหนึ่ง ตัวควบคุมทำการควบคุมให้ผลต่างของอินพุตกับเอาต์พุตหมดไปหรือให้เหลือน้อยที่สุด บล็อกไดอะแกรมของระบบการควบคุมแบบวงรอบปิดแสดงในรูปที่ 2.7 ข้อดีของระบบการควบคุมแบบวงรอบปิดคือ สามารถลดผลกระทบจากสัญญาณรบกวนทั้งที่เกิดขึ้นจากภายในและภายนอกได้ดี (บางครั้งในการควบคุมแบบวงรอบปิด ก็ไม่จำเป็นต้องใช้อุปกรณ์มีความเที่ยงตรงสูงมาก มาใช้วัดและควบคุมในระบบ) ปัญหาสำคัญของการควบคุมแบบวงรอบปิดคือเสถียรภาพของระบบควบคุมเพราะอาจเกิดการแกว่งด้วยแอมพลิจูดคงที่ (oscillation) ขึ้นมาในระบบได้ เมื่ออัตราขยายของวงรอบปิดมีค่าสูงมาก ๆ

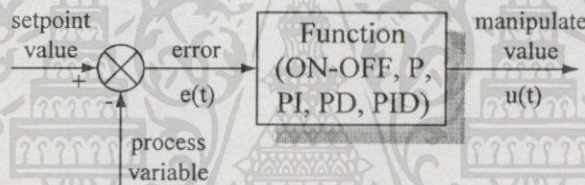


รูปที่ 2.7 ระบบควบคุมแบบวงรอบปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.5 ตัวควบคุม

ตัวควบคุม ทำหน้าที่เปรียบเทียบค่าอินพุตสองค่า โดยค่าอินพุตแรกจะเป็นค่าเป้าหมาย ซึ่งส่วนมากจะตั้งไว้คงที่ และค่าอินพุตที่สองเป็นค่าที่วัดมาจากเอาต์พุตของระบบควบคุม เอาต์พุตของตัวควบคุมที่เป็นสัญญาณควบคุม จะขึ้นอยู่กับขนาดของผลต่างของการเปรียบเทียบค่าอินพุตทั้งสองกับแบบการควบคุมของตัวควบคุม เอาต์พุตของตัวควบคุมถูกส่งออกไปให้ส่วนขับเคลื่อนตัวแปรกระบวนการ เพื่อปรับให้ตัวแปรกระบวนการมีค่าเหมาะสมตามที่ต้องการ โครงสร้างของตัวควบคุมประกอบด้วยส่วนที่ทำการเปรียบเทียบกับส่วนที่ทำการคำนวณดังแสดงในรูปที่ 2.8 ภาคคำนวณเป็นตัวกำหนดความสัมพันธ์ของผลต่างของการเปรียบเทียบกับสัญญาณควบคุมที่ออกจากตัวควบคุม ความสัมพันธ์นี้เรียกว่าแบบการควบคุม โดยทั่วไปแบบการควบคุมที่ใช้ในอุตสาหกรรมส่วนมากแบ่งได้ 4 แบบคือ แบบเปิด-ปิด (on-off) แบบ P (proportional) แบบ I (integral) และแบบ D (derivative)



รูปที่ 2.8 โครงสร้างของตัวควบคุม

ในการควบคุมกระบวนการจะใช้แบบการควบคุมแต่ละชนิด หรือใช้หลายชนิดร่วมกันก็ได้ เมื่อ $e(t)$ คือผลต่างของการเปรียบเทียบค่าอินพุตทั้งสองของตัวควบคุม และ $u(t)$ คือเอาต์พุตของตัวควบคุมแล้ว สามารถเขียนความสัมพันธ์เป็นสมการคณิตศาสตร์ได้ดังนี้ [6]

การควบคุมแบบเปิด-ปิด (on-off)

$$u(t) = \begin{cases} 0\% & e(t) < 0 \\ 100\% & e(t) > 0 \end{cases} \quad (2.7)$$

การควบคุมแบบ P (Proportional)

$$u(t) = b + K_C e(t)$$

หรือ

$$u(t) = b + \frac{100}{PB} e(t) \quad (2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมแบบ PI (Proportional-Integral)

$$u(t) = b + K_C e(t) + \frac{K_C}{T_I} \int e(t) dt \quad (2.9)$$

การควบคุมแบบ PD (Proportional-Derivative)

$$u(t) = b + K_C e(t) + K_C T_D \frac{d}{dt} e(t) \quad (2.10)$$

การควบคุมแบบ PID (Proportional-Integral-Derivative)

$$u(t) = b + K_C e(t) + \frac{K_C}{T_I} \int e(t) dt + K_C T_D \frac{d}{dt} e(t) \quad (2.11)$$

เมื่อ $u(t)$ คือเอาต์พุตของตัวควบคุม

$e(t)$ คือผลต่างของการเปรียบเทียบค่าอินพุตทั้งสองของตัวควบคุม

b คือค่าไบแอส เป็นค่าเอาต์พุตของตัวควบคุมขณะที่ $e(t)$ เป็นศูนย์

K_C คือเกนของตัวควบคุม

PB คือ Proportional Band

T_I คือ Integral Time

T_D คือ Derivative Time

2.3 การวัดอัตราการไหล

การวัดของไหลสามารถกระทำกับของเหลว ก๊าซ และลม โดยของไหลอาจจะอยู่ในท่อหรือช่องเปิด เช่นลำคลอง แม่น้ำ เป็นต้น ในทางอุตสาหกรรมของไหลมักจะอยู่ในท่อ เครื่องมือที่ใช้วัดการไหลสามารถแบ่งได้สองประเภทคือ วัดปริมาณการไหล กับวัดอัตราการไหล ซึ่งเครื่องวัดทั้งสองประเภทประกอบด้วย อุปกรณ์ปฐมภูมิและอุปกรณ์ทุติยภูมิ อุปกรณ์ปฐมภูมิจะสัมผัสกับของไหล และทำให้เกิดปฏิกิริยากับของไหลในรูปแบบต่าง ๆ เช่น เกิดการเปลี่ยนแปลงทางความดัน ความร้อน ผลต่างของความถี่ หรือเกิดการเหนี่ยวนำทางไฟฟ้า อุปกรณ์ปฐมภูมิที่นิยมใช้ได้แก่ มิเตอร์วัดความสูง (head flow meter) โรต้ามิเตอร์ (rota meter) มิเตอร์วัดอัตราการไหลแบบเทอร์ไบน์ (turbine flow meter) มิเตอร์วัดอัตราการไหลแบบแม่เหล็ก (magnetic flow meter) มิเตอร์วัด

อัตราการไหลแบบอัลตราโซนิก (ultrasonic flow meter) และอื่น ๆ อุปกรณ์ทุติยภูมิทำหน้าที่รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และแปลงค่าที่ได้จากอุปกรณ์ปฐมภูมิให้ทำการอ่าน บันทึกลง หรือควบคุมได้สะดวก อุปกรณ์ทุติยภูมิ ได้แก่ ทรานสมิตเตอร์แบบต่าง ๆ ที่ใช้คู่กับอุปกรณ์ปฐมภูมิชนิดนั้น ๆ ตัวแสดงผล ตัวบันทึกสัญญาณ ตัวควบคุม ตัวถอดรหักรหัส และตัวนับสัญญาณ การวัดอัตราการไหลอาจจะบอกเป็นการวัดปริมาณของไหลที่ไหลผ่านจุดวัดต่อหน่วยเวลา ซึ่งของไหลจะต้องไหลอย่างต่อเนื่อง หน่วยของการวัดเป็นลูกบาศก์เมตรต่อวินาที หรือแกลลอนต่ออนาที หรือบอกเป็นน้ำหนักต่อหน่วยเวลา เช่น กิโลกรัมต่อวินาที หรือตันต่อชั่วโมง โดยปกติการวัดอัตราการไหลที่ใช้แผ่นออร์ฟิซเป็นอุปกรณ์ปฐมภูมิ และมีตัววัดและส่งสัญญาณความดันแตกต่าง (differential pressure transmitter) กับตัวแสดงผลเป็นอุปกรณ์ทุติยภูมิ อัตราการไหลที่อ่านได้จะเป็นน้ำหนักต่อเวลา เช่น 10 ตันต่อชั่วโมง

การวัดอัตราการไหลแบบความดันแตกต่าง

อุปกรณ์ปฐมภูมิของการวัดอัตราการไหลแบบความดันแตกต่าง มีอยู่หลายชนิดให้เลือกใช้ เช่น แผ่นออร์ฟิซ หลอดเวนจูรี โพลีนอร์เชล เป็นต้น [7], [8] โดยที่แผ่นออร์ฟิซจะถูกนำไปใช้มากถึง 80 เปอร์เซ็นต์ เนื่องจากมีความเหมาะสมและคุณสมบัติต่าง ๆ ดีกว่าดังแสดงในตารางที่ 2.1

สมมุติให้ท่อที่จะมาทำการวัดอัตราการไหลเป็นดังรูปที่ 2.9 จากทฤษฎีของ Bernoulli ซึ่งเป็นนักคณิตศาสตร์ชาวสวิส กล่าวว่าของไหลที่ไหลแบบสม่ำเสมอและไม่มีแรงเสียดทาน ผลบวกของ Velocity Pressure head และ elevation head จะคงที่ในทุกจุดของท่อ ซึ่งสามารถเขียนเป็นสมการได้ดังนี้

$$Z_i + \frac{V_i^2}{2g} + \frac{P_i}{\gamma} = Z_o + \frac{V_o^2}{2g} + \frac{P_o}{\gamma} \quad (2.12)$$

เมื่อ Z_i คือความสูงกลางท่อด้านเข้า

V_i คือความเร็วของของไหลด้านเข้า

P_i คือความดันสถิตย์ทางด้านไหลเข้า

Z_o คือความสูงกลางท่อด้านออก

V_o คือความเร็วของของไหลด้านออก

P_o คือความดันสถิตย์ทางด้านไหลออก

g คือความเร่งเนื่องจากแรงโน้มถ่วงของโลก

γ คือน้ำหนักจำเพาะของของไหล

ตารางที่ 2.1 ข้อดีข้อเสียของอุปกรณ์ปฐมภูมิชนิดต่างๆที่ใช้วัดอัตราการไหลแบบความดันแตกต่างกัน

อุปกรณ์ปฐมภูมิ	ข้อดี	ข้อเสีย
แผ่นออร์ฟิซ	<ol style="list-style-type: none"> 1. ราคาถูก 2. ติดตั้งหรือถอดเปลี่ยนได้ง่าย 3. หาสัมประสิทธิ์การส่งผ่านได้ง่าย 4. ไม่สึกหรอระหว่างการทดสอบ 	<ol style="list-style-type: none"> 1. มีความดันสูญเสียสูง 2. สารแขวนลอยในของไหลอาจจะกองอยู่ที่ปากทางเข้าของแผ่นออร์ฟิซในท่อที่ติดตั้งในแนวนอน 3. ต้องใช้หน้าแปลนประกบท่อ
โพลีเอชเชิล	<ol style="list-style-type: none"> 1. ไม่ต้องใช้หน้าแปลน 2. ราคาถูกกว่าหลอดเวนจูรีแต่มีประสิทธิภาพในการวัดใกล้เคียงกัน 	<ol style="list-style-type: none"> 1. ราคาแพงกว่าแผ่นออร์ฟิซ 2. ความดันสูญเสียเท่ากับแผ่นออร์ฟิซ ในกรณีที่ความสามารถในการวัดเท่ากัน 3. การต่อท่อวัดความดันแตกต่างออกไปใช้ต้องทำด้วยความระมัดระวัง
หลอดเวนจูรี	<ol style="list-style-type: none"> 1. ความดันสูญเสียน้อยที่สุด 2. มีการต่อท่อวัดความดันในตัวเอง 3. ท่อตรงที่ด้านเข้าสั้นที่สุด 4. ใช้วัดของไหลที่มีสารแขวนลอยปนอยู่ได้ดี 5. สามารถใช้กับท่อที่ไม่มีหน้าแปลน 6. สัมประสิทธิ์การส่งผ่านหาได้ง่าย 	<ol style="list-style-type: none"> 1. ราคาแพง 2. น้ำหนักมากและขนาดใหญ่ที่สุดในบรรดาอุปกรณ์ปฐมภูมิที่มีย่านการวัดเท่ากัน

จากรูปที่ 2.9 จะเห็นว่าระดับความสูงกลางท่อเท่ากันทั้งด้านขาเข้าและขาออก และเนื่องจากของไหลเป็นชนิดเดียวกัน ดังนั้นสมการ (2.12) เขียนใหม่เป็น

$$V_o^2 - V_i^2 = 2g \left(\frac{P_i - P_o}{\gamma} \right) \quad (2.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดก็ตาม อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกฎของมวลสารสมดุล ปริมาณของไหลที่ไหลผ่านพื้นที่หน้าตัดใด ๆ ในเส้นท่อเดียวกันจะต้องเท่ากัน ดังนั้น ปริมาณการไหลด้านหน้าแผ่นออริฟิซต้องเท่ากับปริมาณการไหลตรงช่องแผ่นออริฟิซ เพราะฉะนั้นจะได้

$$A_i V_i = A_o V_o$$

หรือ

$$V_i = \frac{A_o V_o}{A_i} \tag{2.14}$$

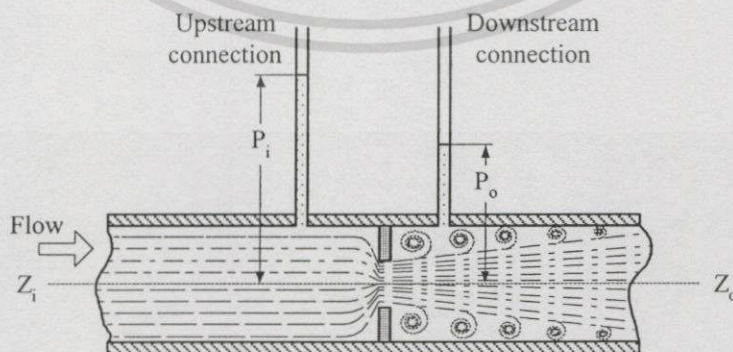
จากสมการ (2.13) และ (2.14) ทำให้ได้

$$V_o = \frac{\sqrt{2g(P_i - P_o)/\gamma}}{\sqrt{1 - (A_i/A_o)^2}} \tag{2.15}$$

อัตราการไหลเชิงปริมาตร (Q) เท่ากับความเร็วของของไหลคูณด้วยพื้นที่หน้าตัดที่ของไหลไหลผ่าน ดังนั้นอัตราการไหลที่ช่องของแผ่นออริฟิซคือ

$$Q = A_o V_o = A_o \sqrt{\frac{2g\Delta P/\gamma}{1 - \beta^2}} \tag{2.16}$$

เมื่อ $\Delta P = P_i - P_o$ และ $\beta = \frac{A_o}{A_i}$



รูปที่ 2.9 แผ่นออริฟิซที่มีหลอดวัดความดัน

ในทางปฏิบัติ อัตราการไหลที่แท้จริงต้องน้อยกว่าอัตราการไหลทางทฤษฎีในสมการ (2.16) เนื่องจากเกิดการสูญเสียจากความเสียดทาน การไหลวน และอื่น ๆ ดังนั้น ต้องหาค่าสัมประสิทธิ์อีกตัวหนึ่งมาคูณเพื่อให้ได้อัตราการไหลที่แท้จริง ซึ่งเรียกว่าสัมประสิทธิ์การส่งผ่าน (coefficient of discharge) ค่าสัมประสิทธิ์การส่งผ่านได้มาจากการทดสอบชนิดของท่อ ชนิดของแผ่นออริฟิซ จุดวัดแรงดันแตกต่างกัน และจำนวนเรย์โนลด์ (Reynolds number) ดังนั้น สมการ (2.16) จะเป็น

$$Q = C_d A_o \sqrt{\frac{2g\Delta P}{\gamma(1-\beta^2)}} \quad (2.17)$$

เมื่อ C_d คือสัมประสิทธิ์การส่งผ่าน สมการ (2.17) สามารถเขียนใหม่ให้อยู่ในรูปที่ง่ายขึ้นเป็น

$$Q = K\sqrt{\Delta P} \quad (2.18)$$

เมื่อ $K = C_d A_o \sqrt{\frac{2g}{\gamma(1-\beta^2)}}$

บทที่ 3

เฟสล็อกกลูป

3.1 กล่าวนำ

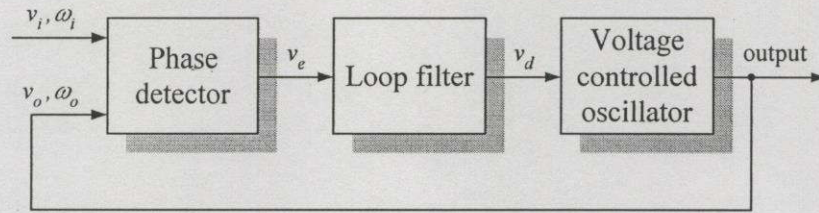
เฟสล็อกกลูปได้ถูกนำไปประยุกต์ใช้งานอย่างกว้างขวางทางด้านโทรคมนาคม เครื่องมือวัด การควบคุมในอุตสาหกรรม และเครื่องมือวัดมิติเดียว ในงานระบบควบคุมนั้น เฟสล็อกกลูปถูกนำไปใช้ควบคุมความเร็วรอบของมอเตอร์เป็นส่วนมาก ความเร็วรอบของมอเตอร์ที่ถูกควบคุมด้วยเฟสล็อกกลูปให้ผลการควบคุมผิดพลาดที่สถานะคงตัว $0.002\% \sim 0.008\%$ เฟสล็อกกลูปที่ทำงานร่วมกับพีซีซีลอจิกคอนโทรลเลอร์ถูกนำไปใช้ควบคุมความเร็วรอบของอินดักชันมอเตอร์ ซึ่งเป็นการปรับปรุงการทำงานของ การควบคุมความเร็วรอบของอินดักชันมอเตอร์ [9] นอกจากนี้ เฟสล็อกกลูปยังถูกนำไปประยุกต์ใช้ควบคุมอุณหภูมิของน้ำ [10] โดยทำงานร่วมกับตัวควบคุมแบบ PID ซึ่งต้องเปลี่ยนอุณหภูมิไปเป็นความถี่ก่อน ผลการควบคุมสามารถลดค่าพุ่งเกินช่วงขึ้นและลงได้อย่างมาก และค่าผิดพลาดที่สถานะคงตัวมีค่าอยู่ในช่วง 0.1 องศาเซลเซียส เฟสล็อกกลูปสามารถแบ่งออกได้เป็น 4 ชนิด [11] คือ ลิเนียร์เฟสล็อกกลูป (LPLL) คลาสซิคอลดิจิตอลเฟสล็อกกลูป (DPLL) ออดิเจิตอลเฟสล็อกกลูป (ADPLL) และซอฟต์แวร์เฟสล็อกกลูป (SPLL)

3.2 ลิเนียร์เฟสล็อกกลูป (LPLL)

เฟสล็อกกลูปเป็นเครื่องมือที่ทำให้สัญญาณหนึ่งตามรอยอีกสัญญาณหนึ่ง ซึ่งสัญญาณเอาต์พุตจะถูกรักษาให้พร้อมเฟรียง (ซินโครไนส) กับสัญญาณอินพุตอ้างอิงทั้งความถี่และเฟส [3] เฟสล็อกกลูปเป็นระบบเซอร์โวลตรอมดา ซึ่งจะควบคุมให้ความแตกต่างเฟสระหว่างเฟสเอาต์พุตกับเฟสอ้างอิงให้มีค่าน้อยที่สุด ลิเนียร์เฟสล็อกกลูปประกอบด้วยภาคตรวจจับเฟส ภาคกรองรูป และ วงจรกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดัน ดังแสดงในรูปที่ 3.1 ภาคตรวจจับเฟสของลิเนียร์เฟสล็อกกลูปทำหน้าที่เป็นตัวคูณสัญญาณอินพุตอ้างอิงกับสัญญาณเอาต์พุตของวงจรมีความถี่ที่ถูกควบคุมด้วยแรงดัน โดยทั่ว ๆ ไปสัญญาณอ้างอิง $v_r(t)$ จะเป็นสัญญาณคลื่นไซน์ที่มีความถี่เชิงมุม ω_r ในขณะที่สัญญาณเอาต์พุตของวงจรมีความถี่ที่ถูกควบคุมด้วยแรงดัน $v_o(t)$ จะเป็นสัญญาณคลื่นไซน์ หรือสัญญาณสี่เหลี่ยมที่สมมาตรก็ได้ที่มีความถี่เชิงมุม ω_o ในสถานะล็อกความถี่ ω_r จะเท่ากับ ω_o ดังนั้น สัญญาณเอาต์พุต $v_o(t)$ ของภาคตรวจจับเฟสประกอบด้วยส่วนที่เป็นไฟกระแสตรง (dc) ซึ่งเป็นสัดส่วนโดยตรงกับความคลาดเคลื่อนเฟสกับส่วนที่เป็นไฟกระแสสลับ (ac) ที่มีความถี่สูงและต้องถูกกรองทิ้งไปด้วยวงจรกรองความถี่ต่ำผ่าน ในการออกแบบลิเนียร์เฟสล็อกกลูปส่วนมากจะใช้วงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง ซึ่งจะมีทั้งแบบพาสซีฟและแอคทีฟ

ดังจะกล่าวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 โครงสร้างของลิเนียร์เฟสล็อกลูป

3.2.1 วงจรกรองลูป

รูปที่ 3.2 เป็นรูปที่แสดงถึงวงจรกรองลูปที่ใช้กันมากในการออกแบบเฟสล็อกลูป วงจรกรองลูปแบบพาสซีฟเล็กฟิลเตอร์ที่มี 1 โพลและ 1 ซีโร แสดงได้ในรูปที่ 3.2 (ก) โดยมีฟังก์ชันถ่ายโอนดังนี้ [11]

$$F(s) = \frac{1 + s\tau_2}{1 + s(\tau_1 + \tau_2)} \quad (3.1)$$

เมื่อ $\tau_1 = R_1C$ และ $\tau_2 = R_2C$ ผลตอบสนองของวงจรกรองลูปแบบพาสซีฟเล็กฟิลเตอร์ แสดงในรูปที่ 3.3 (ก)

วงจรกรองลูปในรูปที่ 3.2 (ข) เป็นวงจรกรองความถี่ต่ำผ่านแบบแอกทีฟเล็กฟิลเตอร์ ซึ่งมีฟังก์ชันถ่ายโอนคล้ายกันอย่างมากกับแบบพาสซีฟ แต่วงจรแบบแอกทีฟนี้จะมีอัตราขยาย K_a เพิ่มขึ้น โดยสามารถเลือกค่า K_a มีค่ามากกว่า 1 มาก ๆ และเขียนฟังก์ชันถ่ายโอนได้เป็น

$$F(s) = K_a \frac{1 + s\tau_2}{1 + s\tau_1} \quad (3.2)$$

เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$ และ $K_a = -C_1/C_2$ ผลตอบสนองของวงจรกรองลูปแบบแอกทีฟเล็กฟิลเตอร์แสดงในรูปที่ 3.3 (ข)

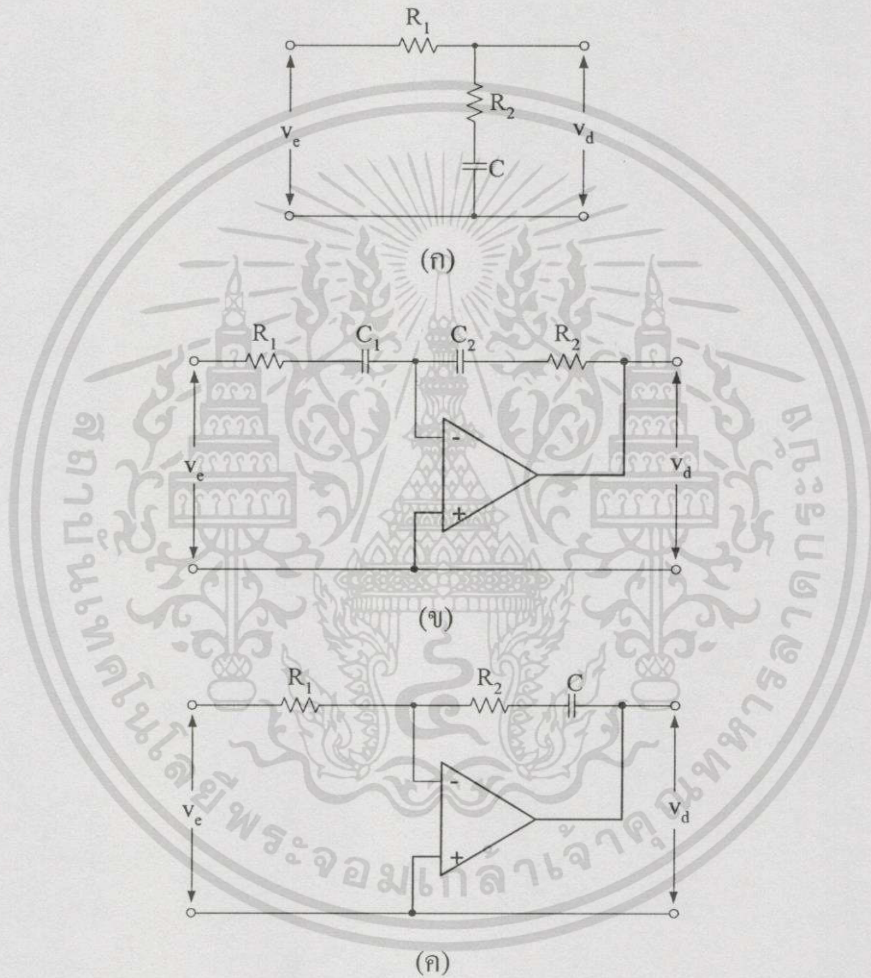
สำหรับรูปที่ 3.2 (ค) เป็นวงจรกรองความถี่ต่ำผ่านแบบแอกทีฟ ซึ่งเรียกว่า PI ฟิลเตอร์ และมีฟังก์ชันถ่ายโอนดังนี้

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \quad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

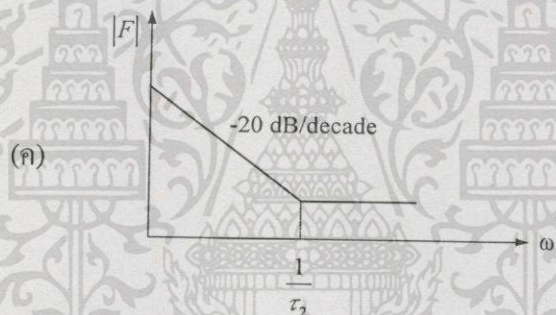
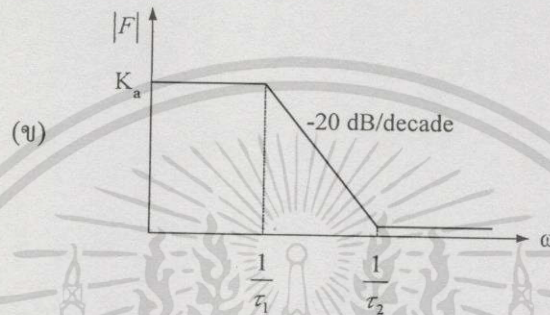
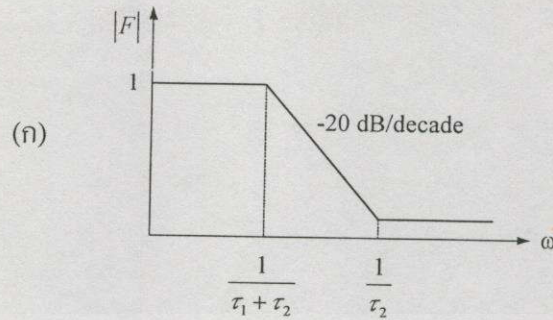
เมื่อ $\tau_1 = R_1C$ และ $\tau_2 = R_2C$ วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI ฟิลเตอร์ มีโพลอยู่ที่ $s = 0$ ซึ่งทำหน้าที่เหมือนเป็นอินทิเกรเตอร์ ผลตอบสนองของวงจรแบบนี้แสดงในรูปที่ 3.3 (ค)

วงจรกรองความถี่ต่ำผ่านอันดับสูง ๆ สามารถนำมาใช้แทนวงจรกรองความถี่ต่ำผ่านแบบ 1 โพลได้ แต่การรักษาเสถียรภาพของระบบอันดับสูง ๆ จะกระทำได้ยาก



รูปที่ 3.2 วงจรกรองรูปที่ใช้ในเฟสล็อก

- (ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟเล็กฟิลเตอร์
- (ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟเล็กฟิลเตอร์
- (ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ PI ฟิลเตอร์



รูปที่ 3.3 ผลตอบสนองของวงจรรองสัญญาณความถี่ต่ำผ่าน

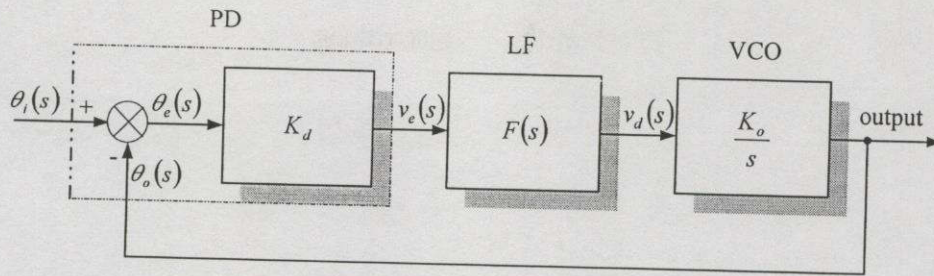
- (ก) วงจรรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟแฉีกฟิลเตอร์
- (ข) วงจรรองสัญญาณความถี่ต่ำผ่านแบบแอคทีฟแฉีกฟิลเตอร์
- (ค) วงจรรองสัญญาณความถี่ต่ำผ่านแบบแอคทีฟ PI ฟิลเตอร์

3.2.2 การทำงานของลิเนียร์เฟสบล็อกูปในสภาวะล็อก

แบบจำลองทางคณิตศาสตร์ของลิเนียร์เฟสบล็อกูป เมื่ออยู่ในสภาวะล็อกสามารถแทนได้ดังรูปที่ 3.4 ฟังก์ชันถ่ายโอนเฟส $H(s)$ ซึ่งเป็นความสัมพันธ์ระหว่างเฟส θ_i ของสัญญาณอินพุต และเฟส θ_o ของสัญญาณเอาต์พุต เขียนได้ดังนี้ [11]

$$H(s) = \frac{\theta_i(s)}{\theta_o(s)} = \frac{K_o K_d F(s)}{s + K_o K_d F(s)} \quad (3.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แบบจำลองทางคณิตศาสตร์ของลิเนียร์เฟสล็อกกลูป

และเขียนฟังก์ชันถ่ายโอนความคลาดเคลื่อนเฟส $H_e(s)$ ได้เป็น

$$H_e(s) = \frac{\theta_e(s)}{\theta_1(s)} = \frac{s}{s + K_o K_d F(s)} = 1 - H(s) \quad (3.5)$$

โดยที่ K_o และ K_d คืออัตราขยายของตัวตรวจจับเฟส และอัตราขยายของวงจรถ้าเนดความถี่ที่ถูกควบคุมด้วยแรงดันตามลำดับ

เมื่อแทนฟังก์ชันถ่ายโอนของวงจรถองรูป $F(s)$ จากสมการ (3.1) ถึง (3.3) ลงในสมการ (3.4) จะได้ฟังก์ชันถ่ายโอนเฟส $H(s)$ ตามชนิดของวงจรถองความถี่ต่ำผ่านดังนี้

สำหรับวงจรถองความถี่ต่ำผ่านแบบพาสซีฟเล็กฟิลเตอร์

$$H(s) = \frac{K_o K_d \frac{1+s\tau_2}{\tau_1+\tau_2}}{s^2 + s \frac{1+K_o K_d \tau_2}{\tau_1+\tau_2} + \frac{K_o K_d}{\tau_1+\tau_2}} \quad (3.6ก)$$

สำหรับวงจรถองความถี่ต่ำผ่านแบบแอกทีฟเล็กฟิลเตอร์

$$H(s) = \frac{K_o K_d K_a \frac{1+s\tau_2}{\tau_1}}{s^2 + s \frac{1+K_o K_d K_a \tau_2}{\tau_1} + \frac{K_o K_d K_a}{\tau_1}} \quad (3.6ข)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรกรองความถี่ต่ำผ่านแบบเอกที่พี PI ฟิลเตอร์

$$H(s) = \frac{K_o K_d \frac{1+s\tau_2}{\tau_1}}{s^2 + s \frac{K_o K_d \tau_2}{\tau_1} + \frac{K_o K_d}{\tau_1}} \quad (3.6ก)$$

จากทฤษฎีของระบบควบคุมสามารถเขียนฟังก์ชันถ่ายโอนเฟส $H(s)$ ของตัวหารในสมการ (3.6ก) (3.6ข) และ(3.6ค)ให้อยู่ในรูปแบบมาตรฐานคือ

$$s^2 + 2\zeta\omega_n s + \omega_n^2$$

เมื่อ ω_n คือความถี่ธรรมชาติ (natural frequency) และ ζ คือตัวประกอบหน่วง (damping factor) ดังนั้นสมการ (3.6) จึงเขียนใหม่ได้ดังนี้

สำหรับวงจรกรองความถี่ต่ำผ่านแบบพาสซีฟเล็กฟิเตอร์

$$H(s) = \frac{s\omega_n \left(2\zeta - \frac{\omega_n}{K_o K_d} \right) + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.7ก)$$

$$\text{เมื่อ } \omega_n = \sqrt{\frac{K_o K_d}{\tau_1 + \tau_2}} \quad \text{และ } \zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{1}{K_o K_d} \right)$$

สำหรับวงจรกรองความถี่ต่ำผ่านแบบเอกที่พีเล็กฟิเตอร์

$$H(s) = \frac{s\omega_n \left(2\zeta - \frac{\omega_n}{K_o K_d K_a} \right) + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.7ข)$$

$$\text{เมื่อ } \omega_n = \sqrt{\frac{K_o K_d K_a}{\tau_1}} \quad \text{และ } \zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{1}{K_o K_d K_a} \right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรกรองความถี่ต่ำผ่านแบบแอกทีฟ PI ฟิเตอร์

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.7ก)$$

$$\text{เมื่อ } \omega_n = \sqrt{\frac{K_o K_d}{\tau_1}} \quad \text{และ } \zeta = \frac{\omega_n \tau_2}{2}$$

ถ้าอัตราขยาย $K_o K_d$ ของสมการ (3.8 ก) และ (3.8 ค) สอดคล้องกับเงื่อนไข

$$K_o K_d \gg \omega_n$$

และอัตราขยาย $K_o K_d K_a$ ของสมการ (3.8 ข) สอดคล้องกับเงื่อนไข

$$K_o K_d K_a \gg \omega_n$$

แล้ว จะเรียกไลเนอร์เฟสล๊อคลูป เป็นไลเนอร์เฟสล๊อคลูปที่มีอัตราขยายสูง ในทางปฏิบัติไลเนอร์เฟสล๊อคลูปส่วนมากมีอัตราขยายสูง ดังนั้น สมการ (3.7) สามารถประมาณได้เป็น

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.8)$$

ฟังก์ชันถ่ายโอนความคลาดเคลื่อนเฟส $H_e(s)$ ที่มีอัตราขยายสูงทั้ง 3 แบบของวงจรกรองความถี่ต่ำผ่านสามารถประมาณได้ดังนี้

$$H(s) = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.9)$$

3.2.3 การทำงานของไลเนอร์เฟสล๊อคลูปในสถานะไม่ล๊อค

แบบจำลองที่ใช้ในการวิเคราะห์ไลเนอร์เฟสล๊อคลูปที่อยู่ในสถานะไม่ล๊อคนั้นมีความซับซ้อนมาก แต่สิ่งที่วิศวกรสนใจเมื่อไลเนอร์เฟสล๊อคลูปอยู่ในสถานะไม่ล๊อคคือ

- ภายใต้ง่ายไขอะไรที่จะทำให้ไลเนอร์เฟสล๊อคลูปเข้าสู่สภาวะล๊อค
- ขบวนการเข้าสู่สภาวะล๊อคใช้เวลานานเท่าไร
- ภายใต้ง่ายไขอะไรที่จะทำให้ไลเนอร์เฟสล๊อคลูปสูญเสียการล๊อค

รูปที่ 3.5 แสดงความสัมพันธ์ของพิสัยต่าง ๆ [11] ของไลเนอร์เฟสล๊อคลูปอันดับสอง และสามารถอธิบายพารามิเตอร์ต่าง ๆ ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 พิสัยยึดเหนี่ยว (hold range)

พิสัยยึดเหนี่ยว $\Delta\omega_H$ คือพิสัยความถี่ที่ลิเนียร์เฟสล็อกถูปล สามารถรักษาเสถียรภาพในการตามรอยเฟส เฟสล็อกถูปลจะมีเงื่อนไขของเสถียรภาพอยู่ภายในพิสัยนี้เท่านั้น พิสัยยึดเหนี่ยว $\Delta\omega_H$ ของลิเนียร์เฟสล็อกถูปลตามชนิดของวงจรกรองความถี่ต่ำผ่านเป็นดังนี้

สำหรับวงจรกรองความถี่ต่ำผ่าน แบบพาสซีฟเล็กฟิลเตอร์

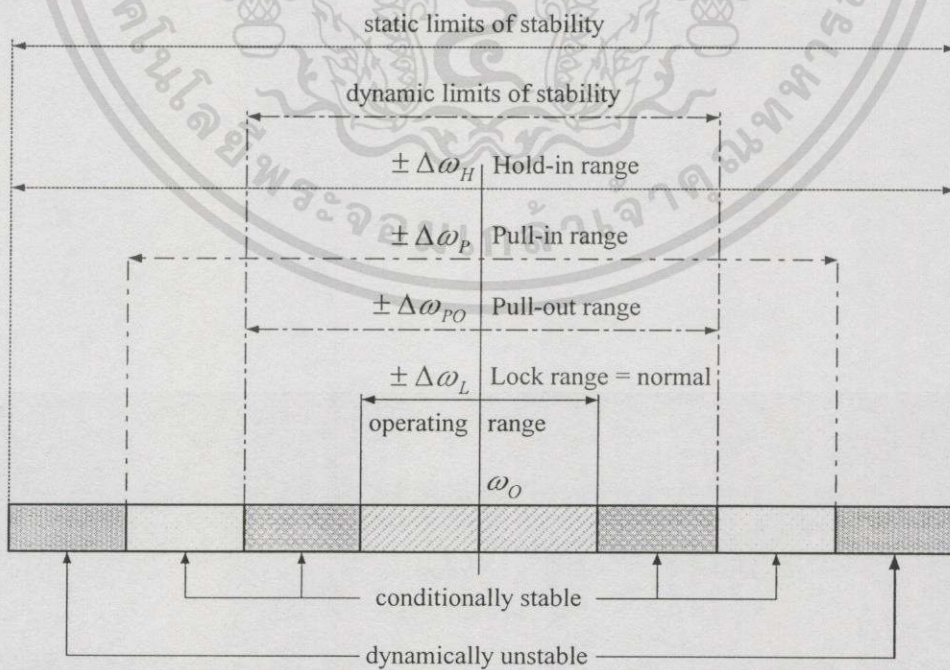
$$\Delta\omega_H = K_o K_d \tag{3.10ก}$$

สำหรับวงจรกรองความถี่ต่ำผ่าน แบบแอกทีฟเล็กฟิลเตอร์

$$\Delta\omega_H = K_o K_d K_a \tag{3.10ข}$$

สำหรับวงจรกรองความถี่ต่ำผ่าน แบบแอกทีฟ PI ฟิลเตอร์

$$\Delta\omega_H = \infty \tag{3.10ค}$$



รูปที่ 3.5 พิสัยต่าง ๆ ของลิเนียร์เฟสล็อกถูปล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 พิสัยการล็อก (lock range)

พิสัยการล็อก $\Delta\omega_L$ คือพิสัยความถี่ซึ่งลิเนียร์เฟสล็อกคู่ทำการล็อกความถี่ระหว่างความถี่อ้างอิงกับความถี่เอาต์พุตของวงจรกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดัน ลิเนียร์เฟสล็อกคู่ที่ใช้วงจรรองความถี่ต่ำผ่านแบบต่าง ๆ มีพิสัยการล็อกดังนี้

$$\Delta\omega_L \approx 2\zeta\omega_n \quad (3.11)$$

ดังนั้น สามารถหาค่าเวลาในการเข้าสู่สภาวะล็อก T_L หรือบางครั้งเรียกว่า เวลาเข้าสู่สภาวะสงบ (settling time) ได้เป็น

$$T_L \approx \frac{2\pi}{\omega_n} \quad (3.12)$$

3 พิสัยในการดึงเข้า (pull-in range)

พิสัยในการดึงเข้า $\Delta\omega_p$ คือพิสัยซึ่งลิเนียร์เฟสล็อกคู่จะเข้าสู่สภาวะล็อกเสมอแต่ขบวนการในการกลับเข้ามาล็อกจะช้ามาก พิสัยในการดึงเข้าจะเป็นดังนี้

สำหรับวงจรรองความถี่ต่ำผ่าน แบบพาสซีฟเล็กฟิลเตอร์
มีอัตราขยายสูง

$$\Delta\omega_p = \frac{4\sqrt{2}}{\pi} \sqrt{\zeta\omega_n K_o K_d} \quad (3.13ก)$$

มีอัตราขยายต่ำ

$$\Delta\omega_p = \frac{4}{\pi} \sqrt{2\zeta\omega_n K_o K_d - \omega_n^2}$$

สำหรับวงจรรองความถี่ต่ำผ่าน แบบแอกทีฟเล็กฟิลเตอร์
มีอัตราขยายสูง

$$\Delta\omega_p = \frac{4\sqrt{2}}{\pi} \sqrt{\zeta\omega_n K_o K_d} \quad (3.13ข)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีอัตราขยายลู่ต่ำ

$$\Delta\omega_p = \frac{4}{\pi} \sqrt{2\zeta\omega_n K_o K_d - \frac{\omega_n^2}{K_d}}$$

สำหรับวงจรรองความถี่ต่ำผ่าน แบบแอกทีฟ PI ฟิลเตอร์

$$\Delta\omega_p = \infty \quad (3.13ค)$$

เมื่อลิเนียร์เฟสล็อกอยู่ในขอบวนการดึงเข้า และ $\Delta\omega < \Delta\omega_p$ ดังนั้นสามารถคำนวณเวลาในการดึงเข้า T_p ได้ดังนี้

สำหรับวงจรรองความถี่ต่ำผ่าน แบบพาสซีฟเล็กฟิลเตอร์

$$T_p = \frac{\pi^2}{16} \frac{\Delta\omega_o^2}{\zeta\omega_n^3} \quad (3.14ก)$$

สำหรับวงจรรองความถี่ต่ำผ่าน แบบแอกทีฟเล็กฟิลเตอร์

$$T_p = \frac{\pi^2}{16} \frac{\Delta\omega_o^2 K_a}{\zeta\omega_n^3} \quad (3.14ข)$$

สำหรับวงจรรองความถี่ต่ำผ่าน แบบแอกทีฟ PI ฟิลเตอร์

$$T_p = \frac{\pi^2}{16} \frac{\Delta\omega_o^2}{\zeta\omega_n^3} \quad (3.14ค)$$

เมื่อ $\Delta\omega_o$ คือผลต่างความถี่เริ่มต้น $\omega_i - \omega_o$ ที่เวลา $t = 0$ โดยปกติเวลาในการดึงเข้า T_p จะยาวนานกว่าเวลาในการล็อก T_L

4 พิสัยการดึงออก (pull-out range)

พิสัยการดึงออก $\Delta\omega_{PO}$ คือขีดจำกัดทางไดนามิกของเฟสล็อกที่มีเสถียรภาพในการทำงาน ถ้าการตามรอยสัญญาณเกิดการสูญเสียภายในพิสัยนี้ ลิเนียร์เฟสล็อกก็จะมีเสถียรภาพในการล็อก เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับผูกมัดให้ไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สภาวะล็อกอีกครั้ง พิสัยการดึงออกของลิเนียร์เฟสล็อกกลูบ ไม่สามารถคำนวณได้ถูกต้อง เมื่อจำลองการทำงานบนอนาล็อกคอมพิวเตอร์ สามารถประมาณได้เป็น

$$\Delta\omega_{PO} = 1.8\omega_n(\zeta + 1) \tag{3.15}$$

ในทางปฏิบัติพิสัยการดึงออกอยู่ระหว่างพิสัยการล็อกและพิสัยการดึงเข้า

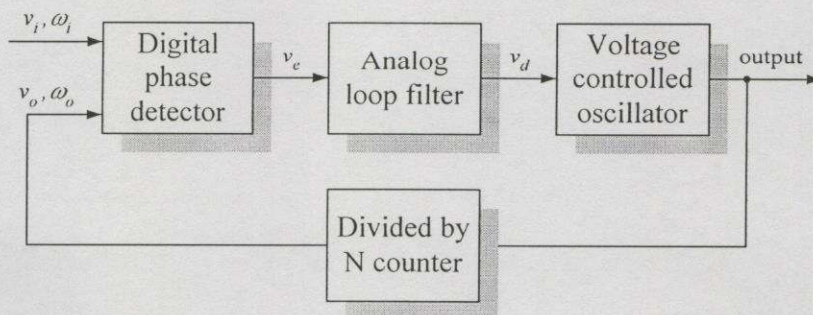
$$\Delta\omega_L < \Delta\omega_{PO} < \Delta\omega_P \tag{3.16}$$

3.3 คลาสซิคอลดิจิตอลเฟสล็อกกลูบ (DPLL)

คลาสซิคอลดิจิตอลเฟสล็อกกลูบ เป็นระบบที่มีการผสมกันระหว่างส่วนที่เป็นอนาล็อกกับดิจิตอล ส่วนที่ทำงานเป็นดิจิตอลทั้งหมดของคลาสซิคอลดิจิตอลเฟสล็อกกลูบคือ ภาคตรวจจับเฟส ในขณะที่ภาคกรองรูปและวงจรถ้าเน็คความถี่ที่ถูกควบคุมด้วยแรงดัน ยังคงมีการทำงานเป็นแบบอนาล็อกอยู่ ดังนั้น คลาสซิคอลดิจิตอลเฟสล็อกกลูบ จึงมีการทำงานคล้ายกับลิเนียร์เฟสล็อกกลูบ [11]

3.3.1 โครงสร้างของคลาสซิคอลดิจิตอลเฟสล็อกกลูบ

รูปที่ 3.6 แสดงบล็อกไดอะแกรมของคลาสซิคอลดิจิตอลเฟสล็อกกลูบจะประกอบด้วย ภาคตรวจจับเฟส ภาคกรองรูป และวงจรถ้าเน็คความถี่ที่ถูกควบคุมด้วยแรงดัน ซึ่งเหมือนกับลิเนียร์เฟสล็อกกลูบ ในการประยุกต์ใช้งานบางอย่างของคลาสซิคอลดิจิตอลเฟสล็อกกลูบ (เช่นการสังเคราะห์ความถี่ด้วยเฟสล็อกกลูบ) มีการเพิ่มภาคหารความถี่ N เข้าไประหว่างวงจรถ้าเน็คความถี่ที่ถูกควบคุมด้วยแรงดันกับภาคตรวจจับเฟส ดังนั้น วงจรถ้าเน็คความถี่ที่ถูกควบคุมด้วยแรงดัน จะผลิตความถี่เป็น N เท่าของความถี่อ้างอิง ภาคกรองรูปและวงจรถ้าเน็คความถี่ที่ถูกควบคุมด้วยแรงดัน ของคลาสซิคอลดิจิตอลเฟสล็อกกลูบ เหมือนกับที่ใช้ในลิเนียร์เฟสล็อกกลูบ สำหรับภาคตรวจจับเฟสมีการทำงานเป็นแบบวงจรถอจิก



รูปที่ 3.6 บล็อกไดอะแกรมของคลาสซิคอลดิจิตอลเฟสล็อกกลูบ

เอกสารนี้เป็นเอกสารที่เผยแพร่โดยศูนย์วิจัยการศึกษาด้านวิศวกรรมไฟฟ้า มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 ตัวตรวจจับเฟสแบบดิจิตอล

ตัวตรวจจับเฟสแบบดิจิตอลทำหน้าที่เปรียบเทียบความถี่ซึ่งเป็นพัลส์สี่เหลี่ยม (ที่อินพุตทั้งสอง) และให้เอาต์พุตเป็นพัลส์ที่มีขนาดความกว้างเปลี่ยนแปลงตามความแตกต่างของเฟสของสัญญาณอินพุตทั้งสอง ตัวตรวจจับเฟสที่นิยมใช้คือ แบบเอ็กซ์คลูซีฟออร์เกท แบบ JK ฟลิปฟลอป และแบบเฟส-ความถี่ [11]

ตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท

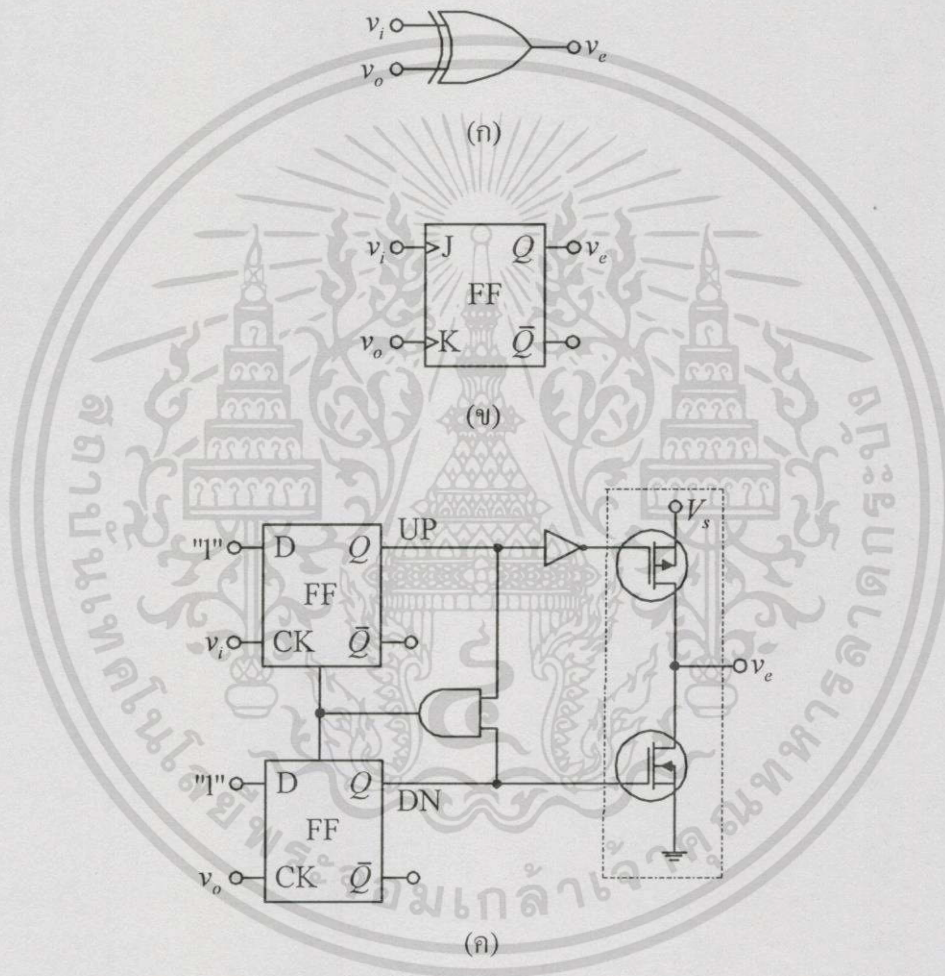
ตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกทแสดงในรูปที่ 3.7 (ก) สมมุติให้สัญญาณที่อินพุตทั้งสองของตัวตรวจจับเฟส แบบเอ็กซ์คลูซีฟออร์เกท คือ v_i และ v_o เป็นสัญญาณสี่เหลี่ยมที่มีความสมมาตร รูปที่ 3.8 แสดงความแตกต่างค่าผิดพลาดเฟส θ_e ของตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท เมื่อค่าผิดพลาดเฟสเท่ากับศูนย์ สัญญาณ v_i และ v_o จะต่างเฟสกัน 90 องศา ดังแสดงในรูปที่ 3.8 (ก) ดังนั้น สัญญาณเอาต์พุต v_e ที่เป็นสัญญาณสี่เหลี่ยมมีค่าเป็นสองเท่าของสัญญาณอินพุต และมีค่าวัฏจักรหน้าที่ (duty cycle) เท่ากับ 50 เปอร์เซ็นต์ เนื่องจากความถี่สูงของสัญญาณ v_e ถูกกรองทิ้งไป ด้วยวงจรกรองรูป ดังนั้น จึงจะพิจารณาเพียงค่าเฉลี่ยของ v_e ดังแสดงด้วยเส้นประในรูปที่ 3.8 (ก) ค่าเฉลี่ย \bar{v}_e (\bar{v}_e) คือค่าเฉลี่ยของระดับลอจิกทั้งสอง ถ้าเอ็กซ์คลูซีฟออร์เกทได้รับการจ่ายไฟจากแหล่งจ่ายไฟ 5 โวลต์ \bar{v}_e จะมีค่าประมาณ 2.5 โวลต์ ซึ่งค่าแรงดัน ณ จุดนี้กำหนดให้เป็นจุดสงบ (quiescent point) ของเอ็กซ์คลูซีฟออร์เกทและที่ระดับแรงดันนี้ให้ $\bar{v}_e = 0$ นับจากนี้ไป เมื่อสัญญาณเอาต์พุต v_o มีค่ามากกว่าสัญญาณ v_i ค่าผิดพลาดเฟส θ_e จะมีค่าเป็นบวกดังแสดงในรูปที่ 3.8 (ข) ค่าวัฏจักรหน้าที่ของ v_e จะมีค่ามากกว่า 50 เปอร์เซ็นต์ ดังนั้น ค่า \bar{v}_e มีค่าเป็นบวกดังแสดงด้วยเส้นประของสัญญาณ v_e ดังนั้น สามารถสรุปได้ว่า ค่า \bar{v}_e จะมีค่ามากที่สุดเมื่อค่าผิดพลาดเฟส $\theta_e = 90$ องศา และมีค่าน้อยที่สุดเมื่อค่าผิดพลาดเฟส $\theta_e = -90$ องศา เมื่อนำค่าผิดพลาดเฟส θ_e ไปแสดงเปรียบเทียบกับค่า \bar{v}_e ก็จะได้เป็นดังรูปที่ 3.9 ค่าเอาต์พุต \bar{v}_e ของเอ็กซ์คลูซีฟออร์เกทเป็นรูปฟังก์ชันสามเหลี่ยมเมื่อเทียบกับค่าผิดพลาดเฟส พิสัยค่าผิดพลาดเฟสที่ค่า \bar{v}_e เป็นสัดส่วนกับ θ_e จะอยู่ในช่วง $-\pi/2 < \theta_e < \pi/2$ และสามารถเขียนเป็นสมการได้ดังนี้

$$\bar{v}_e = K_d \theta_e \quad (3.17)$$

ในกรณีของตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท อัตราขยายของตัวตรวจจับเฟส K_d เป็นค่าคงที่ เมื่อแหล่งจ่ายแรงดันที่จ่ายให้กับเอ็กซ์คลูซีฟออร์เกทคือ V_s กับ กราวด์ และสมมุติให้ระดับลอจิกคือ V_s กับ กราวด์ ดังนั้น K_d มีค่าเท่ากับ

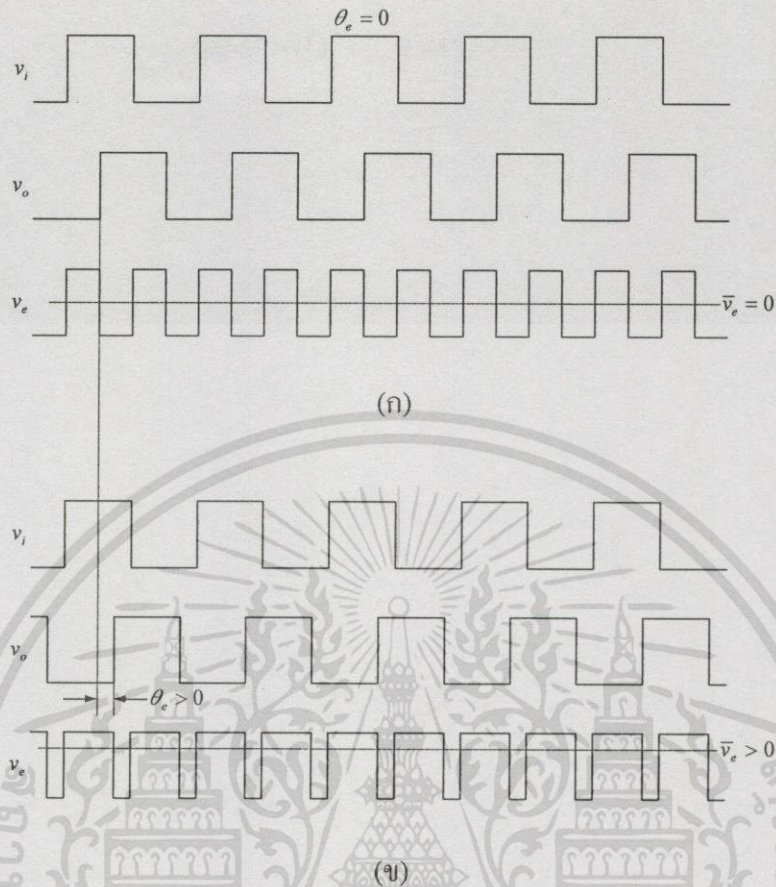
$$K_d = \frac{V_s}{\pi} \quad (3.18)$$

ตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท สามารถรักษาการตามรอยเฟสเมื่อเกิดความคลาดเคลื่อนเฟสได้ในช่วง $-\pi/2 < \theta_e < \pi/2$ เหมือนกับตรวจจับเฟสที่ทำหน้าที่เป็นตัวคูณสัญญาณ



รูปที่ 3.7 ตัวตรวจจับเฟสที่นิยมใช้ในคลาสซิคอลดิจิตอลเฟสล็อกกลูป

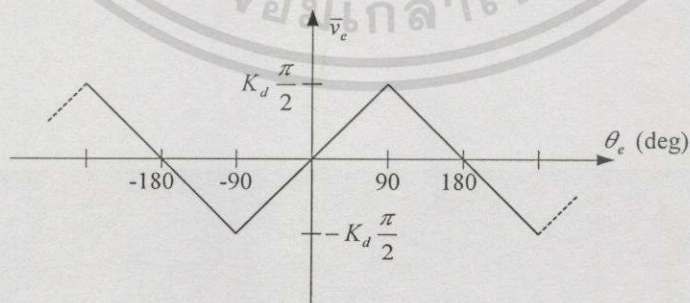
- (ก) ตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท
- (ข) ตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป
- (ค) ตัวตรวจจับเฟสแบบเฟส-ความถี่



รูปที่ 3.8 รูปสัญญาณของตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟเฟออร์เกท

(ก) รูปสัญญาณที่ค่าผิดพลาดเฟสเท่ากับศูนย์

(ข) รูปสัญญาณที่ค่าผิดพลาดเฟสเป็นบวก



รูปที่ 3.9 กราฟสัญญาณเอาท์พุท v_e ของตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟเฟออร์เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป

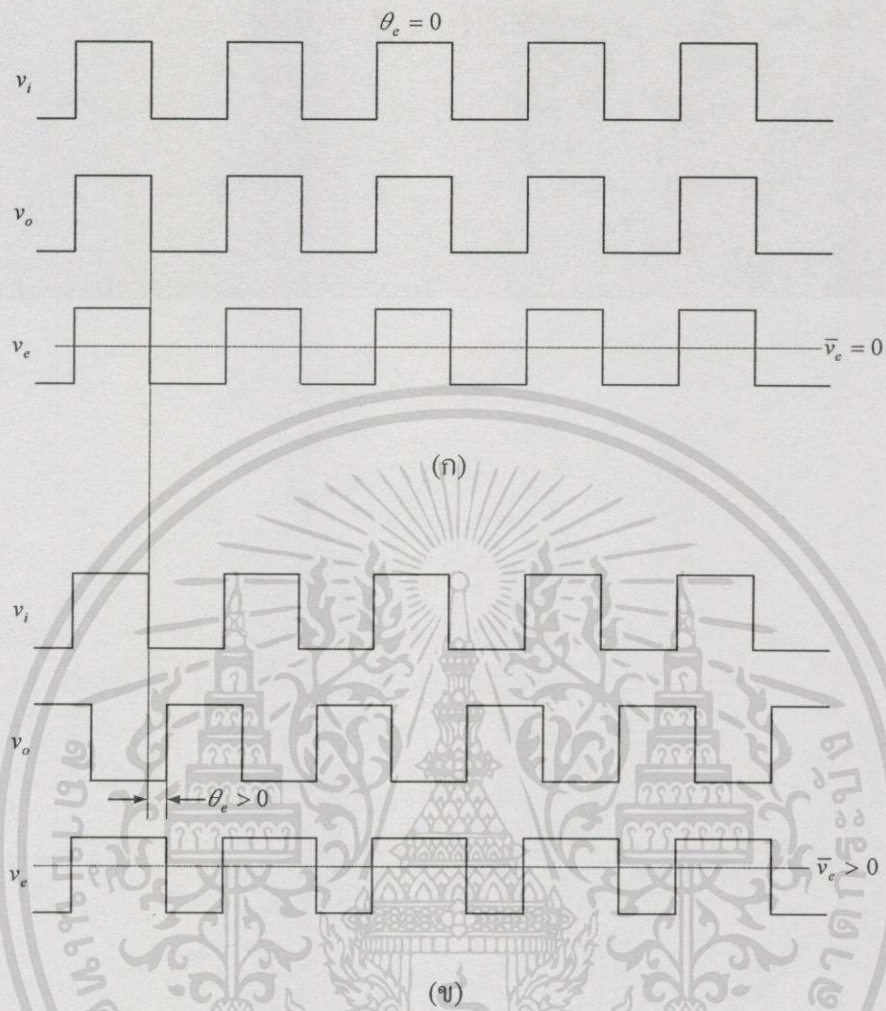
ตัวตรวจจับเฟสแบบ JK ฟลิปฟลอปแสดงในรูปที่ 3.7 (ข) JK ฟลิปฟลอปชนิดนี้แตกต่างจาก JK ฟลิปฟลอปที่ใช้งานอยู่ทั่ว ๆ ไป เพราะว่าการเปลี่ยนสถานะของฟลิปฟลอป จะใช้การกระตุ้นที่ขอบขาขึ้นของพัลส์ เมื่อมีสัญญาณพัลส์ขอบขาขึ้นปรากฏที่ขาอินพุต J ทำให้เอาต์พุตของฟลิปฟลอปเปลี่ยนเป็นสภาวะลอจิกสูง ($Q = 1$) และจะเป็นสภาวะลอจิกต่ำ ($Q = 0$) เมื่อมีสัญญาณพัลส์ขอบขาขึ้นปรากฏที่ขาอินพุต K รูปที่ 3.10 (ก) แสดงรูปสัญญาณของตัวตรวจจับเฟสแบบ JK ฟลิปฟลอปที่มี $\theta_c = 0$ เฟสของ v_i และ v_o จะตรงข้ามกันเมื่อไม่มีความคลาดเคลื่อนเฟสสัญญาณเอาต์พุต v_o เป็นสัญญาณสี่เหลี่ยมสมมาตร และมีคาบเหมือนกับความถี่อ้างอิง (ไม่เป็นสองเท่ากับความถี่อ้างอิง) ซึ่งกำหนดให้ \bar{v}_c มีค่าเป็นศูนย์ที่สภาวะนี้ ถ้าความคลาดเคลื่อนเฟสเป็นบวก ดังรูปที่ 3.10 (ข) ค่าวัฏจักรการทำงานของ v_o จะมีค่ามากกว่า 50 เปอร์เซ็นต์ ซึ่งค่า \bar{v}_c จะมีค่าเป็นบวก ดังนั้น \bar{v}_c จะมีค่าสูงสุดเมื่อความคลาดเคลื่อนเฟสเท่ากับ 180° องศา และมีค่าต่ำสุดเมื่อความคลาดเคลื่อนเฟสเท่ากับ -180° องศา รูปที่ 3.11 แสดงกราฟค่า \bar{v}_c เทียบกับความคลาดเคลื่อนเฟส θ_c ซึ่งมีคุณสมบัติเป็นสัญญาณฟันเลื่อย พิสัยค่าผิดพลาดเฟสที่ค่า \bar{v}_c เป็นสัดส่วนกับ θ_c จะอยู่ในช่วง $-\pi < \theta_c < \pi$ และสามารถเขียนเป็นสมการได้ดังนี้

$$\bar{v}_c = K_d \theta_c \quad (3.19)$$

ในกรณีของตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป อัตราขยายของตัวตรวจจับเฟส K_d เป็นค่าคงที่ และเช่นเดียวกับตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท สมการ K_d มีค่าเท่ากับ

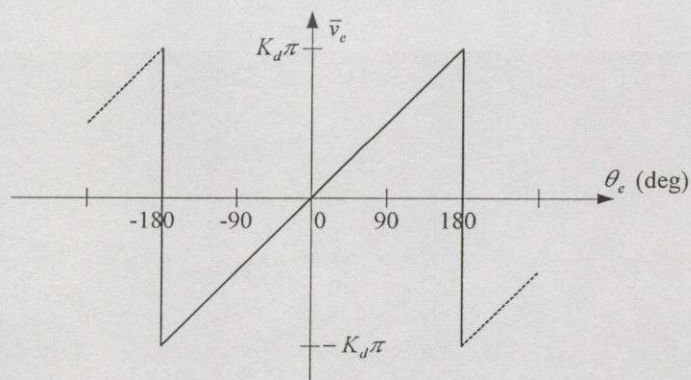
$$K_d = \frac{V_s}{2\pi} \quad (3.20)$$

ตัวตรวจจับเฟสแบบ JK ฟลิปฟลอปสามารถรักษาการตามรอยเฟสเมื่อเกิดความคลาดเคลื่อนเฟสได้ในช่วง $-\pi < \theta_c < \pi$ ซึ่งมากกว่าตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกทสองเท่า



รูปที่ 3.10 รูปสัญญาณของตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป

- (ก) รูปสัญญาณที่ค่าผิดพลาดเฟสเท่ากับศูนย์
- (ข) รูปสัญญาณที่ค่าผิดพลาดเฟสเป็นบวก



เอกสารรูปที่ 3.11 กราฟสัญญาณเอาท์พุท v_o ของตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป ไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวตรวจจับเฟสแบบเฟส-ความถี่

ตัวตรวจจับเฟสแบบเฟส-ความถี่แตกต่างจากตัวตรวจจับเฟสที่ได้อธิบายมาก่อน จากชื่อเฟส-ความถี่สื่อให้รู้ได้ว่า สัญญาณเอาต์พุตไม่เพียงแต่จะขึ้นอยู่กับความคลาดเคลื่อนเฟส θ_e แต่ยังขึ้นอยู่กับความคลาดเคลื่อนความถี่ $\Delta\omega = \omega_i - \omega_o$ ในขณะที่คลาสซิคอลคิวิตีคอลเฟสล็อกถูกล็อกไม่อยู่ในสถานะล็อก รูป 3.7 (ค) แสดงวงจรของตัวตรวจจับเฟสแบบเฟส-ความถี่ โดยใช้ D ฟลิปฟลอป 2 ตัว และมีเอาต์พุต UP และ DN ตัวตรวจจับเฟสแบบเฟส-ความถี่สามารถอยู่ในสถานะใดสถานะหนึ่งในสี่สถานะดังนี้

$$UP = 0 \quad DN = 0$$

$$UP = 0 \quad DN = 1$$

$$UP = 1 \quad DN = 0$$

$$UP = 1 \quad DN = 1$$

สถานะที่สี่ถูกกำจัดทิ้งไปด้วยแอนคเกทที่ต่อเพิ่มเข้าไป เมื่อฟลิปฟลอปทั้งสองตัวอยู่ในสถานะ 1 เอาต์พุตของแอนคเกทจะเป็นลอจิก 1 ทำให้เอาต์พุตทั้งสองของ D ฟลิปฟลอปเป็นลอจิก 0 (รีเซ็ต) ดังนั้น จึงเหลือสถานะการทำงานเพียงสามสถานะ

$$UP = 0 \quad DN = 1 \quad \text{กำหนดให้เป็นสถานะ -1}$$

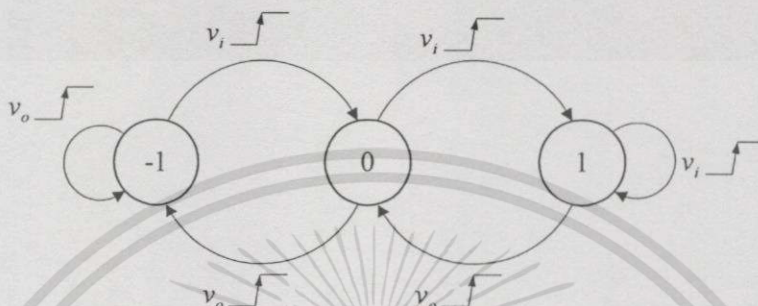
$$UP = 0 \quad DN = 0 \quad \text{กำหนดให้เป็นสถานะ 0}$$

$$UP = 1 \quad DN = 0 \quad \text{กำหนดให้เป็นสถานะ +1}$$

สถานะของตัวตรวจจับเฟสแบบเฟส-ความถี่จะเปลี่ยนไปในขณะที่มีพัลซ์ขอบขาขึ้นของสัญญาณ v_i และ v_o ดังแสดงในรูปที่ 3.12 เมื่อสัญญาณ v_i เป็นพัลซ์ขอบขาขึ้น ตัวตรวจจับเฟสแบบเฟส-ความถี่จะเปลี่ยนไปอยู่ในสถานะที่สูงขึ้น ยกเว้นจะอยู่ที่สถานะ +1 อยู่ก่อนแล้วในทำนองเดียวกัน เมื่อสัญญาณ v_o เป็นพัลซ์ขอบขาขึ้น ตัวตรวจจับเฟสแบบเฟส-ความถี่จะเปลี่ยนไปอยู่ในสถานะที่ลดลง ยกเว้นจะอยู่ที่สถานะ -1 อยู่ก่อนแล้ว ดังนั้น ถ้าตัวตรวจจับเฟสอยู่ในสถานะ +1 เอาต์พุต v_e ต้องเป็นค่าบวก ถ้าตัวตรวจจับเฟสอยู่ในสถานะ -1 เอาต์พุต v_e ต้องเป็นค่าลบ และถ้าตัวตรวจจับเฟสอยู่ในสถานะ 0 เอาต์พุต v_e ต้องเป็นค่าศูนย์ ซึ่งจะเห็นว่าสัญญาณเอาต์พุต v_e มี 3 ระดับ แต่วงจรลอจิกส่วนมากให้เอาต์พุตเป็นสัญญาณไบนารี ดังนั้นสถานะที่สาม ($v_e = 0$) สามารถแทนได้ด้วยสถานะความดันทานสูง ซึ่งวงจรภายในเส้นปะในรูปที่ 3.7 (ค) แสดงการกำเนิดสัญญาณ v_e เมื่อสัญญาณ UP = 1 พีเซนแนลมอสทรานซิสเตอร์จะนำกระแส ซึ่งทำให้ v_e มีค่าเท่ากับแรงดันบวกของแหล่งจ่าย V_s เมื่อสัญญาณ DN = 1 เอ็นเซนแนลมอสทรานซิสเตอร์จะนำกระแส ซึ่งทำให้ v_e มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าเท่ากับกราวด์ และเมื่อสัญญาณ UP และ DN เท่ากับ 1 ทั้งคู่ มอสมทรานซิสเตอร์ทั้งสองตัวจะไม่ นำกระแส ทำให้เอาท์พุทอยู่ในสถานะลอย ซึ่งก็คือสถานะความต้านทานสูง ดังนั้นสัญญาณเอาท์พุท จึงถูกแทนด้วยสัญญาณสามสถานะ

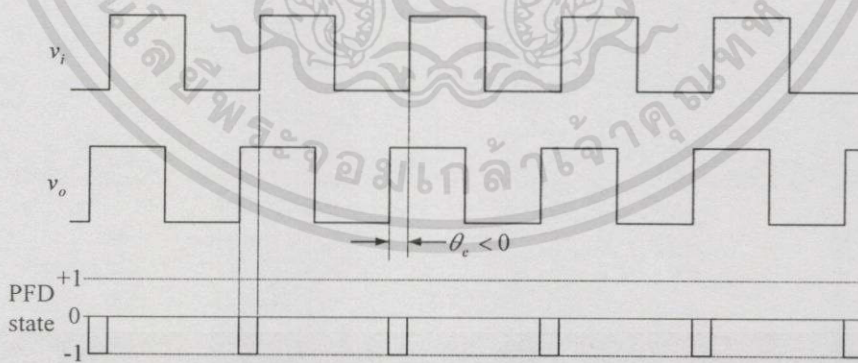
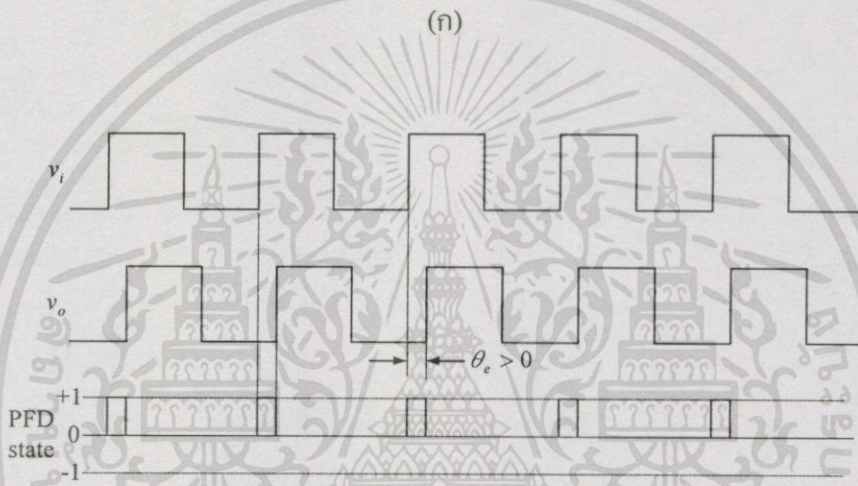
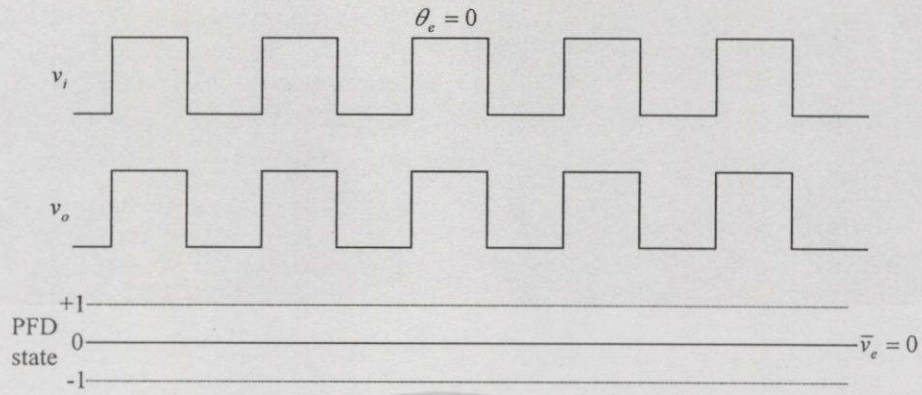


รูปที่ 3.12 การเปลี่ยนสถานะของตัวตรวจจับเฟสแบบเฟส-ความถี่

การทำงานของวงจรตัวตรวจจับแบบเฟส-ความถี่ที่ใช้อยู่ในคลาสซีคลอติจิตอลเฟสล็อกถูกแสดงได้ดังรูปที่ 3.13 ในกรณีที่ความคลาดเคลื่อนเฟสเป็นศูนย์แสดงได้ดังรูป 3.13 (ก) โดยสมมุติให้ตัวตรวจจับแบบเฟส-ความถี่มีสถานะเริ่มต้นที่ 0 เนื่องจากสัญญาณ v_i และ v_o มีเฟสเท่ากันพอดี ทำให้ขอบขาขึ้นของสัญญาณ v_i และ v_o ปรากฏขึ้นในเวลาเดียวกัน ดังนั้น ตัวตรวจจับเฟสแบบเฟส-ความถี่จะคงสถานะเดิม คือสถานะ 0 อยู่ตลอดไป รูปที่ 3.13 (ข) แสดงกรณีที่สัญญาณ v_i นำหน้า v_o ทำให้ตัวตรวจจับเฟสแบบเฟส-ความถี่มีการเปลี่ยนสถานะอยู่ระหว่างสถานะ 0 กับ +1 ในกรณีที่ v_i ล้าหลัง v_o ดังแสดงในรูปที่ 3.13 (ค) ตัวตรวจจับเฟสแบบเฟส-ความถี่จะมีสถานะอยู่ระหว่างสถานะ 0 กับ -1 เมื่อดูจากรูปสัญญาณในรูปที่ 3.13 (ข) ความคลาดเคลื่อนเฟส θ_e ที่มีค่าเป็นบวกจะมีค่าสูงสุดที่ 360 องศาและรูปที่ 3.13 (ค) ความคลาดเคลื่อนเฟส θ_e ที่มีค่าเป็นลบจะมีค่าสูงสุดที่ -360 องศา ถ้านำสัญญาณ \bar{v}_e ไปเขียนกราฟเทียบกับความคลาดเคลื่อนเฟส θ_e จะได้รูปสัญญาณฟันเลื่อย ดังแสดงในรูปที่ 3.14 และรูปนี้ยังแสดงสัญญาณเอาท์พุทของตัวตรวจจับเฟสที่มีความคลาดเคลื่อนเฟส θ_e มากกว่า 2π และน้อยกว่า -2π เมื่อความคลาดเคลื่อนเฟส θ_e มีค่าเกิน 2π สัญญาณเอาท์พุทของตัวตรวจจับเฟส ก็จะกลับมาเริ่มต้นที่ค่าศูนย์ใหม่ ทำให้กราฟคุณสมบัติของตัวตรวจจับเฟส-ความถี่มีคาบเวลาเท่ากับ 2π ซึ่งลักษณะนี้จะเป็นเช่นเดียวกันกับกรณีของความคลาดเคลื่อนเฟส θ_e มีค่าเกิน -2π ดังนั้น ความคลาดเคลื่อนเฟส θ_e มีพิสัยอยู่ที่ $-2\pi < \theta_e < 2\pi$ และสามารถหาค่า \bar{v}_e ได้เป็น

$$\bar{v}_e = K_d \theta_e \quad (3.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 รูปสัญญาณของตัวตรวจจับเฟสแบบเฟส-ความถี่

(ก) รูปสัญญาณที่ค่าผิดพลาดเฟสเท่ากับศูนย์

(ข) รูปสัญญาณที่ค่าผิดพลาดเฟสเป็นบวก

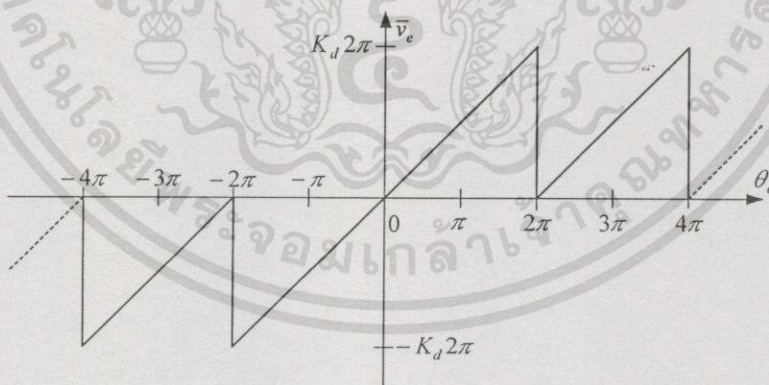
(ค) รูปสัญญาณที่ค่าผิดพลาดเฟสเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเช่นเดียวกับตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป อัตราขยายของตัวตรวจจับเฟสสามารถคำนวณได้จาก

$$K_d = \frac{V_s}{4\pi} \tag{3.22}$$

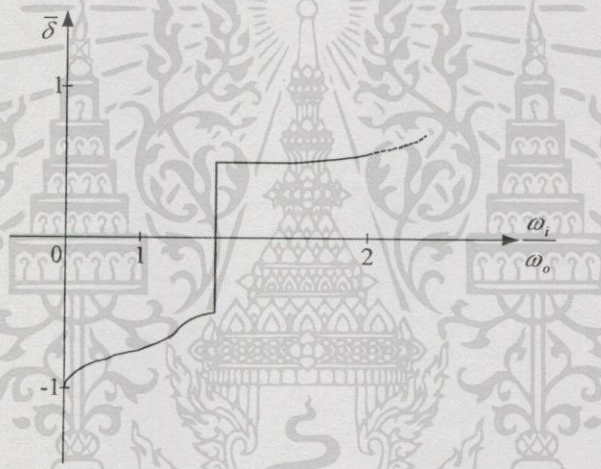
จากการเปรียบเทียบคุณสมบัติของตัวตรวจจับเฟสแบบเฟส-ความถี่ (รูปที่ 3.14) กับตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป (รูปที่ 3.11) จะเห็นว่ามีความสัมพันธ์เหมือนกัน เพื่อที่จะให้เห็นข้อดีของตัวตรวจจับเฟสแบบเฟส-ความถี่ สมมติให้คลาสซิคอลดิจิตอลเฟสคือกลุ่มไม่อยู่ในสภาวะล็อกและความถี่อ้างอิง ω_i มีค่ามากกว่าความถี่เอาท์พุต ω_o สัญญาณ v_i จะมีขอบขาขึ้นของสัญญาณมากกว่าสัญญาณ v_o ในช่วงเวลาที่เท่ากัน จากรูปที่ 3.13 เห็นว่าการตรวจจับเฟสแบบเฟส-ความถี่จะมีสถานะ 0 กับ +1 เท่านั้น ถ้าความถี่ ω_i มีค่าน้อยกว่า ω_o มาก ๆ ตัวตรวจจับเฟสแบบเฟส-ความถี่จะอยู่ในสถานะ +1 เป็นส่วนมาก ในทำนองเดียวกัน ถ้าความถี่ ω_i มีค่าน้อยกว่า ω_o มาก ๆ ตัวตรวจจับเฟสแบบเฟส-ความถี่จะอยู่ในสถานะ -1 เป็นส่วนมาก ซึ่งสามารถสรุปได้ว่า สัญญาณเอาท์พุต v_o ของตัวตรวจจับเฟสแบบเฟส-ความถี่ แปรเปลี่ยนกับความคลาดเคลื่อนความถี่ $\Delta\omega$ เท่านั้น เมื่อคลาสซิคอลดิจิตอลเฟสคือกลุ่มไม่อยู่ในสภาวะล็อก ด้วยเหตุนี้จึงเป็นที่มาของชื่อตัวตรวจจับเฟสแบบเฟส-ความถี่



รูปที่ 3.14 กราฟสัญญาณเอาท์พุต v_o ของตัวตรวจจับเฟสแบบเฟส-ความถี่

รูปที่ 3.15 แสดงค่าวัฏจักรการทำงานของสัญญาณ v_o เทียบกับอัตราส่วนความถี่ ω_i / ω_o ในกรณีที่ $\omega_i > \omega_o$ ค่าวัฏจักรการทำงาน δ ที่นิยามมาจากเวลาเฉลี่ยที่ตัวตรวจจับเฟสแบบเฟส-ความถี่อยู่ในสถานะ +1 สำหรับกรณีที่ $\omega_i < \omega_o$ ค่าวัฏจักรการทำงาน δ จะมีค่าเป็นลบ ในขณะที่ตัวตรวจจับเฟสแบบเฟส-ความถี่ อยู่ในสถานะ -1 ค่า δ จะประมาณ -1 เมื่อ $\omega_i \ll \omega_o$ และค่า δ จะประมาณ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+1 เมื่อ $\omega_i \gg \omega_o$ ยิ่งกว่านั้น δ มีค่าใกล้เคียง 0.5 เมื่อ ω_i มากกว่า ω_o เพียงเล็กน้อย และ δ มีค่าใกล้เคียง -0.5 เมื่อ ω_i น้อยกว่า ω_o เพียงเล็กน้อย คุณสมบัติที่จะเป็นตัวกำหนดพิสัยการดึงเข้าซึ่งเป็นคุณสมบัติที่หาไม่ได้ในตัวตรวจจับเฟสแบบเอ็กซ์คูลูซีฟอว์เกท และแบบ JK ฟลิปฟลอป เพราะว่าสัญญาณเอาท์พุต \bar{v}_e ของตัวตรวจจับเฟสแบบเฟส-ความถี่ ขึ้นอยู่กับความคลาดเคลื่อนเฟส θ_e ในสถานะล็อก ของคลาสซิคอลดิจิตอลเฟสล็อกลูป และขึ้นอยู่กับความคลาดเคลื่อนความถี่ $\Delta\omega$ เมื่ออยู่ในสถานะไม่ล็อก ดังนั้น คลาสซิคอลดิจิตอลเฟสล็อกลูป ที่ใช้ตัวตรวจจับเฟสแบบเฟส-ความถี่จะเข้าสู่สถานะล็อกทุกกรณี โดยไม่ต้องคำนึงถึงชนิดของตัวกรองลูปที่นำมาใช้ จากเหตุผลที่กล่าวมา ตัวตรวจจับเฟสแบบเฟส-ความถี่ จะเป็นตัวตรวจจับเฟสที่สมบูรณ์ที่สุด เมื่อนำไปใช้ตัวตรวจจับเฟสในคลาสซิคอลดิจิตอลเฟสล็อกลูป และในวิทยานิพนธ์นี้ได้ใช้ตัวตรวจจับเฟสแบบเฟส-ความถี่



รูปที่ 3.15 ค่าวัฏจักรการทำงานของสัญญาณเอาท์พุต \bar{v}_e ของตัวตรวจจับเฟสแบบเฟส-ความถี่

3.3.3 การทำงานของคลาสซิคอลดิจิตอลเฟสล็อกลูป

การศึกษาการทำงานของคลาสซิคอลดิจิตอลเฟสล็อกลูปในสถานะล็อก สามารถศึกษาได้จากฟังก์ชันถ่ายโอนของภาคต่าง ๆ ดังแสดงในรูปที่ 3.16 ฟังก์ชันถ่ายโอน $H(s)$ สามารถเขียนได้ดังนี้

$$H(s) = \frac{\theta_o}{\theta_i} = \frac{K_o K_d F(s)}{s + \frac{K_o K_d F(s)}{N}} \quad (3.23)$$

โดยที่ N คือตัวหารความถี่ วิธีการหาฟังก์ชันถ่ายโอนเฟส $H(s)$ ได้อธิบายโดยละเอียดไว้ในหัวข้อ 3.2 ลิเนียร์เฟสบล็อก จากสมการ (3.24) เมื่อแทนฟังก์ชันถ่ายโอน $F(s)$ ของแอกทีฟ PI ฟิเตอร์จะได้ฟังก์ชันถ่ายโอนเฟส $H(s)$ ที่ใช้ตัวตรวจจับความถี่แบบเฟส-ความถี่ดังนี้

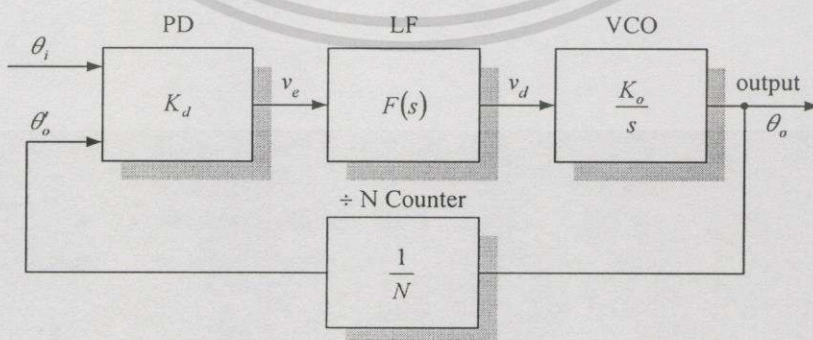
$$H(s) = \frac{\frac{K_o K_d \tau_2}{\tau_1} s + \frac{K_o K_d}{\tau_1}}{s^2 + \frac{K_o K_d \tau_2}{N \tau_1} s + \frac{K_o K_d}{N \tau_1}} \tag{3.25}$$

จัดให้อยู่ในรูปแบบมาตรฐานได้เป็น

$$H(s) = \frac{2N\zeta\omega_n s + N\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{3.26}$$

เมื่อ $\omega_n = \sqrt{\frac{K_o K_d}{N \tau_1}}$ และ $\zeta = \frac{\omega_n \tau_2}{2}$

ค่า ω_n และ ζ ของวงจรรวมความถี่ต่ำผ่าน และตัวตรวจจับเฟสชนิดต่าง ๆ แสดงอยู่ในตารางที่ 3.1 จากตารางที่ 3.1 ค่า ζ ของตัวตรวจจับเฟสแบบเฟส-ความถี่มีค่าเท่ากันหมด เพราะตัวตรวจจับเฟสแบบเฟส-ความถี่มีเอาต์พุต 3 สถานะ เมื่อตัวมันอยู่ที่สถานะความถี่ต่ำสูง ทำให้ไม่มีกระแสเข้าวงจรรวมความถี่ต่ำผ่าน แรงดันที่ตกคร่อมตัวเก็บประจุจะไม่มีการเก็บประจุเพิ่ม ดังนั้น วงจรรวมความถี่ต่ำผ่านจึงมองเหมือนเป็นอินทิเกรเตอร์ในอุดมคติ และมีฟังก์ชันถ่ายโอนเช่นเดียวกับวงจรรวมความถี่ต่ำผ่านแบบแอกทีฟ PI ฟิเตอร์



รูปที่ 3.16 แบบจำลองทางคณิตศาสตร์ของจลิตอลเฟสบล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ω_n และ ζ ของคลาสซิคอลดิจิตอลเฟสล็อกกลุ๊ป

ชนิดตัวตรวจจับเฟส	ชนิดของตัวกรองกลุ๊ป		
	พาสซีฟเล็กฟิลเตอร์	แอกทีฟเล็กฟิลเตอร์	แอกทีฟ PI ฟิลเตอร์
เอ็กซ์คูลชีฟออร์เกท และ JK ฟลิปฟลอป	$\omega_n = \sqrt{\frac{K_o K_d}{N(\tau_1 + \tau_2)}}$ $\zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{K_o K_d} \right)$	$\omega_n = \sqrt{\frac{K_o K_d K_a}{N \tau_1}}$ $\zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{K_o K_d K_a} \right)$	$\omega_n = \sqrt{\frac{K_o K_d}{N \tau_1}}$ $\zeta = \frac{\omega_n \tau_2}{2}$
เฟส-ความถี่	$\zeta = \frac{\omega_n \tau_2}{2}$	$\zeta = \frac{\omega_n \tau_2}{2}$	$\zeta = \frac{\omega_n \tau_2}{2}$

พิสัยการขีดจับ $\Delta\omega_H$ คือพิสัยของความถี่ที่เฟสล็อกกลุ๊ปสามารถทำงานได้อย่างมีประสิทธิภาพ
 พิสัยการล็อก $\Delta\omega_L$ คือพิสัยของความถี่ที่เฟสล็อกกลุ๊ปจะทำการล็อกความถี่ระหว่างความถี่อ้างอิงกับ
 ความถี่เอาท์พุท เวลาในการเข้าสู่สภาวะล็อก T_L พิสัยในการคิงเข้า $\Delta\omega_p$ คือพิสัยของความถี่ที่
 เฟสล็อกกลุ๊ปจะเข้าสู่สภาวะล็อกเสมอ เวลาในการคิงเข้า T_p ของคลาสซิคอลดิจิตอลเฟสล็อกกลุ๊ป
 แสดงอยู่ในตารางที่ 3.2

ตารางที่ 3.2 พารามิเตอร์ต่างๆ ของคลาสซิคอลดิจิตอลเฟสล็อกกลุ่

ชนิดตัวตรวจจับเฟส	ชนิดของตัวกรองรูป		
	พาสซีฟเล็กฟิลเตอร์	แอกทีฟเล็กฟิลเตอร์	แอกทีฟ PI ฟิลเตอร์
เอ็กซ์คลูซีฟออร์เกท	$\Delta\omega_H = \frac{K_o K_d \pi}{2N}$	$\Delta\omega_H = \frac{K_o K_d K_a \pi}{2N}$	$\Delta\omega_H \rightarrow \infty$
JK ฟลิปฟลอป	$\Delta\omega_H = \frac{K_o K_d \pi}{N}$	$\Delta\omega_H = \frac{K_o K_d K_a \pi}{N}$	$\Delta\omega_H \rightarrow \infty$
เฟส-ความถี่		$\Delta\omega_H \rightarrow \infty$	
	$\Delta\omega_L = \pi\zeta\omega_n$	$\Delta\omega_L = 2\pi\zeta\omega_n$	$\Delta\omega_L = 4\pi\zeta\omega_n$
		$T_L \approx \frac{2\pi}{\omega_n}$	
เอ็กซ์คลูซีฟออร์เกท	$\Delta\omega_p = \frac{\pi}{2} \sqrt{\zeta\omega_n K_o K_d}$	$\Delta\omega_p = \frac{\pi}{2} \sqrt{\zeta\omega_n K_o K_d}$	$\Delta\omega_p \rightarrow \infty$
JK ฟลิปฟลอป	$\Delta\omega_p = \pi\sqrt{2} \sqrt{\zeta\omega_n K_o K_d}$	$\Delta\omega_p = \pi\sqrt{2} \sqrt{\zeta\omega_n K_o K_d}$	$\Delta\omega_p \rightarrow \infty$
เฟส-ความถี่		$\Delta\omega_p \rightarrow \infty$	
เอ็กซ์คลูซีฟออร์เกท		$T_p = \frac{4}{\pi^2} \frac{\Delta\omega_o^2}{\zeta\omega_n^3}$	
JK ฟลิปฟลอป		$T_p = \frac{1}{\pi^2} \frac{\Delta\omega_o^2}{\zeta\omega_n^3}$	
เฟส-ความถี่	$T_p = 2\tau \ln \frac{K_o(V_s/2)}{K_o(V_s/2) - \Delta\omega_o}$	$T_p = 2\tau \ln \frac{K_o(V_s/2)}{K_o K_n(V_s/2) - \Delta\omega_o}$	$T_p = \frac{2\tau \Delta\omega_o}{K_o(V_s/2)}$
เอ็กซ์คลูซีฟออร์เกท		$\Delta\omega_{po} = 2.46\omega_n(\zeta + 0.65)$	
JK ฟลิปฟลอป		$\Delta\omega_{po} = 5.78\omega_n(\zeta + 0.5)$	
เฟส-ความถี่		$\Delta\omega_{po} = 11.55\omega_n(\zeta + 0.5)$	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

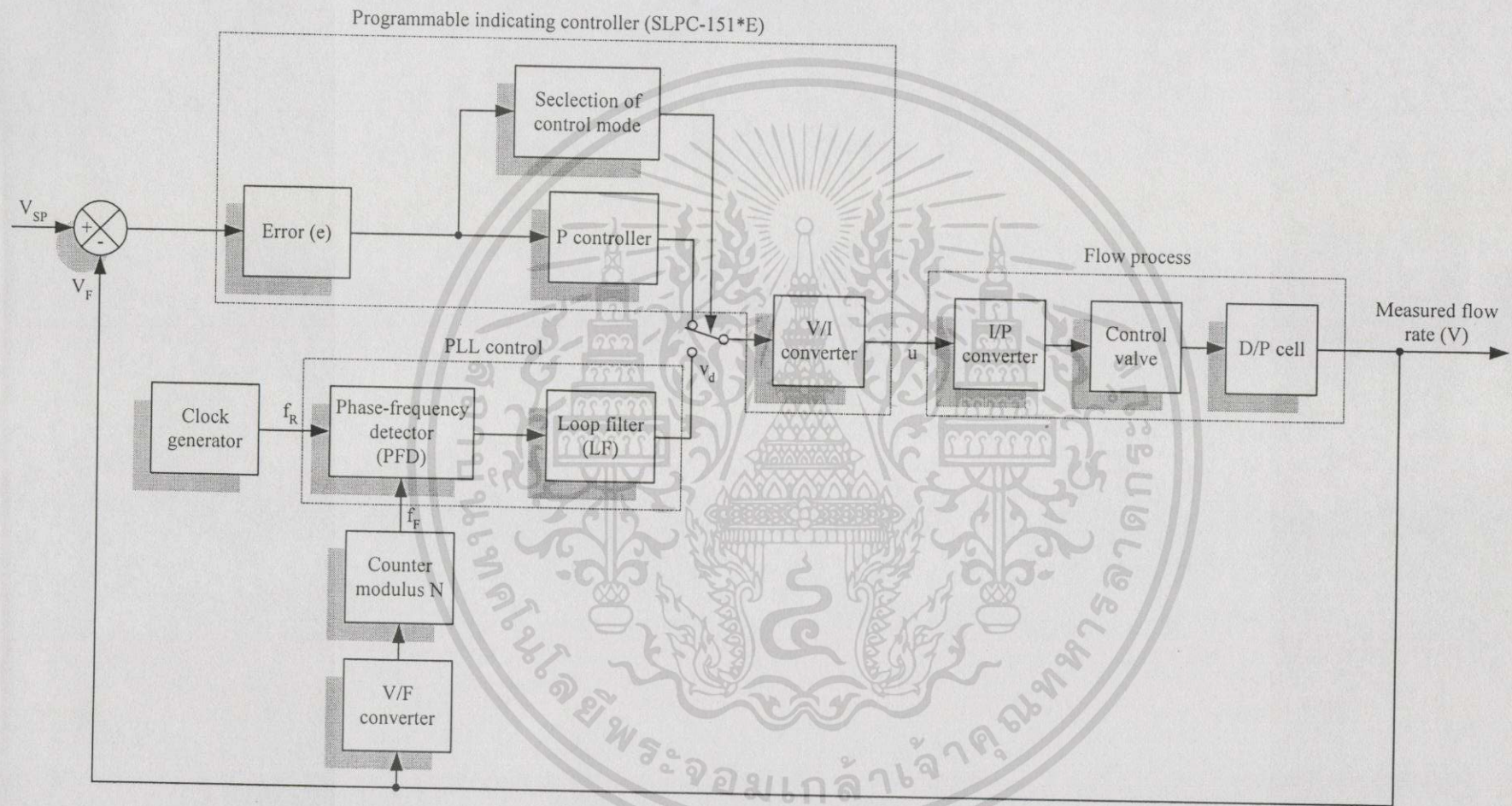
การออกแบบระบบควบคุมอัตราการไหล

ระบบควบคุมอัตราการไหลที่นำเสนอในวิทยานิพนธ์นี้ เป็นระบบควบคุมอัตราการไหลที่ใช้วิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P โดยให้ตัวควบคุมแบบ P ควบคุมอัตราการไหลในช่วงผลตอบสนองชั่วขณะ จากนั้นให้ระบบสวิตช์ไปที่การควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่เพื่อควบคุมอัตราการไหลในช่วงสภาวะคงตัวต่อไป เฟสล็อกคู่ที่ใช้ในวิทยานิพนธ์นี้เป็นชนิดคลาสสิกอลคิจิตอลเฟสล็อกคู่ และใช้ตัวตรวจจับเฟสแบบเฟส-ความถี่ รายละเอียดขั้นตอนในการออกแบบตัวควบคุมอัตราการไหล จะได้กล่าวถึงต่อไปนี้

4.1 ระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P

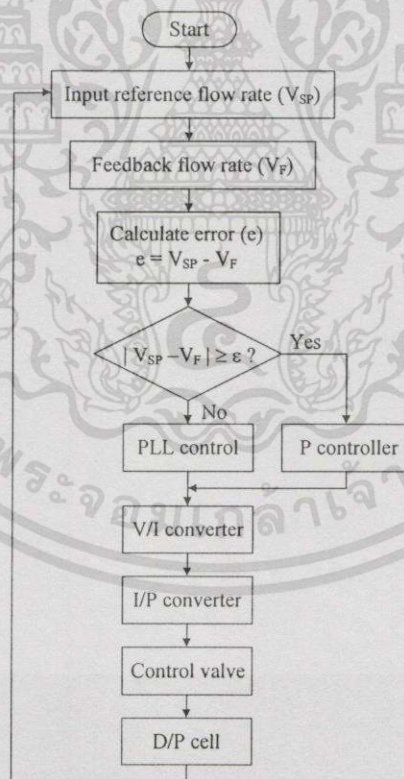
ระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P [12] ดังแสดงในรูปที่ 4.1 อัตราการไหลจะถูกวัดและเปลี่ยนเป็นแรงดันไฟฟ้า (V_F) ด้วยตัววัดและส่งสัญญาณความดันแตกต่าง และถูกป้อนกลับไปเปรียบเทียบกับค่าเป้าหมาย (V_{SP}) ซึ่งค่าของอัตราการไหลป้อนกลับ (V_F) และค่าเป้าหมาย (V_{SP}) เป็นค่าแรงดันไฟฟ้าทั้งคู่ ตัวควบคุมแบบเฟสล็อกคู่หรือตัวควบคุมแบบ P ทำหน้าที่ควบคุมอัตราการไหลผ่านทางตัวเปลี่ยนกระแสไฟฟ้าเป็นความดันตามขนาดของความคลาดเคลื่อนแรงดัน ($V_{SP} - V_F$) ซึ่งถูกวัดและคำนวณ โดยตัวควบคุมที่สามารถแสดงค่าและ โปรแกรมได้ (SLPC-151*E) [13]

ในรูปที่ 4.1 ระบบควบคุมอัตราการไหลที่ถูกควบคุมจะสวิตช์ไปที่ ตัวควบคุมแบบ P ที่ได้ทำการปรับค่าพารามิเตอร์ที่เหมาะสมแล้ว เมื่อความคลาดเคลื่อนของแรงดันไฟฟ้า (e) มีค่าเท่ากับหรือมากกว่าค่าของความแตกต่างที่ได้กำหนดไว้ (ϵ) ซึ่งเขียนแทนด้วยคณิตศาสตร์เป็น $|V_{SP} - V_F| \geq \epsilon$ ตัวควบคุมแบบ P จะสั่งวาล์วควบคุมให้เปิดเพื่อเพิ่มอัตราการไหลให้สูงขึ้น เมื่อ $|V_{SP} - V_F| \geq \epsilon$ ถูกตรวจจับได้ ขณะที่ในกรณีของ $|V_F - V_{SP}| \geq \epsilon$ ตัวควบคุมแบบ P จะสั่งวาล์วควบคุมให้ปิดลดลงเพื่อลดอัตราการไหลให้น้อยลง และเมื่อ $|V_{SP} - V_F| < \epsilon$ ถูกตรวจจับได้ อัตราการไหลจะถูกควบคุมโดยอัตโนมัติด้วยโหมดการควบคุมด้วยวิธีเฟสล็อกคู่



รูปที่ 4.1 บล็อกไดอะแกรมระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P

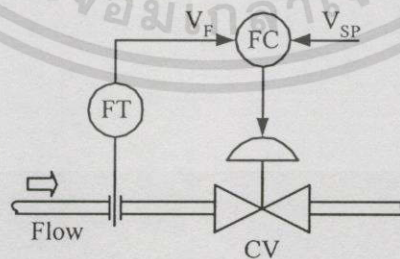
รูปที่ 4.2 แสดงแผนผังขั้นตอนการทำงานของระบบควบคุมอัตราการไหล เมื่อขนาดของความคลาดเคลื่อนของอัตราการไหลมีค่าน้อยกว่าค่าของความแตกต่างที่ได้กำหนดไว้ (ϵ) ระบบที่ถูกควบคุมจะสวิตช์ไปที่การทำงานของเฟสล็อกลูป ความเคลื่อนของแรงดันไฟฟ้า ($V_{SP} - V_F$) ซึ่งสอดคล้องกับความคลาดเคลื่อนของอัตราการไหลที่ถูกสุ่มเป็นช่วง ๆ และถูกคำนวณโดยตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ระหว่างที่วาล์วควบคุมกำลังทำงาน เมื่อค่าความคลาดเคลื่อนที่ถูกสุ่มมีค่าเท่ากับหรือมากกว่าค่าของความแตกต่างที่ได้กำหนดไว้ (ϵ) ระบบที่ถูกควบคุมจะสวิตช์ไปที่การทำงานในโหมดของตัวควบคุมแบบ P อัตราการไหลจะเพิ่มขึ้นหรือลดลงไปยังพิสัยการล็อกของเฟสล็อกลูป เมื่ออยู่ในโหมดการทำงานของเฟสล็อกลูปแรงดันป้อนกลับ (อัตราการไหล) ถูกเปลี่ยนไปเป็นความถี่ (F_R) โดยตัวเปลี่ยนแรงดันไฟฟ้าเป็นความถี่ และวงจรนับสัญญาณนาฬิกาซึ่งความถี่นี้ต้องมีค่าเท่ากับทั้งเฟสและความถี่กับความถี่อ้างอิง (F_R) ที่ผลิตมาจากวงจรกำเนิดความถี่ที่ทำงานร่วมกับผลึกกำเนิดความถี่



รูปที่ 4.2 แผนผังขั้นตอนการทำงานของระบบควบคุมอัตราการไหล

4.2 กระบวนการอัตราการไหล

แผนผังอธิบายกระบวนการอัตราการไหลของของไหลที่ไหลในอยู่ภายในท่อ แสดงในรูปที่ 4.3 ซึ่งประกอบด้วยแผ่นออริฟิซ ตัววัดและส่งสัญญาณความดันแตกต่าง (FT) ตัวควบคุมอัตราการไหล (FC) และวาล์วควบคุม (CV) แผ่นออริฟิซทำหน้าที่กีดขวางการไหลของของเหลวที่ไหลอยู่ภายในท่อทำให้ความดันที่ด้านหน้าของแผ่นออริฟิซมีค่าความดันสูงขึ้นจากความดันปกติภายในท่อเนื่องจากพื้นที่หน้าตัดของการไหลลดลง ส่วนความดันที่ด้านหลังของแผ่นออริฟิซจะมีค่าลดลง เพราะพื้นที่หน้าตัดของการไหลเพิ่มขึ้น เมื่อทำการวัดความดันคร่อมแผ่นออริฟิซจะได้ความดันแตกต่าง ซึ่งความดันที่ด้านหน้าแผ่นออริฟิซเป็นด้านที่มีความดันสูง และความดันที่ด้านหลังแผ่นออริฟิซเป็นด้านความดันต่ำ ความดันแตกต่างนี้จะสัมพันธ์กับอัตราการไหลดังสมการ (2.18) ระดับของความดันแตกต่างยังขึ้นอยู่กับตำแหน่งจุดวัดความดันที่ด้านหน้าและด้านหลังแผ่นออริฟิซ ตัววัดและส่งสัญญาณความดันแตกต่าง (FT) ทำหน้าที่วัดความดันแตกต่างที่เกิดจากแผ่นออริฟิซ และเปลี่ยนค่าของความดันแตกต่างให้เป็นกระแสไฟฟ้ามาตรฐานที่ใช้ในการส่งสัญญาณคือ 4-20 มิลลิแอมป์ เพื่อส่งให้กับตัวควบคุมอัตราการไหล (ตัววัดและส่งสัญญาณความดันแตกต่างอาจจะมีฟังก์ชันลดอัตรากที่สองอยู่ในตัวเพื่อลดอัตรากที่สองของความดันแตกต่าง) ตัวควบคุมอัตราการไหลจะทำการควบคุมอัตราการไหลให้มีค่าใกล้เคียงหรือเท่ากับอัตราการไหลเป้าหมายมากที่สุด โดยที่ตัวควบคุมอัตราการไหลจะส่งสัญญาณเอาต์พุตเป็นกระแส 4-20 มิลลิแอมป์ ไปปรับให้วาล์วควบคุมเปิดหรือปิดในตำแหน่งของอัตราการไหลที่ต้องการ เนื่องจากสัญญาณเอาต์พุตของตัวควบคุมเป็นสัญญาณกระแสไฟฟ้า ดังนั้นจึงต้องทำการเปลี่ยนสัญญาณกระแสไฟฟ้าให้เป็นสัญญาณลมมาตรฐาน 3-15 ปอนด์ต่อตารางนิ้ว หรือ 0.2-1 กิโลกรัมต่อตารางเซนติเมตร ก่อนที่จะป้อนให้กับวาล์วควบคุม

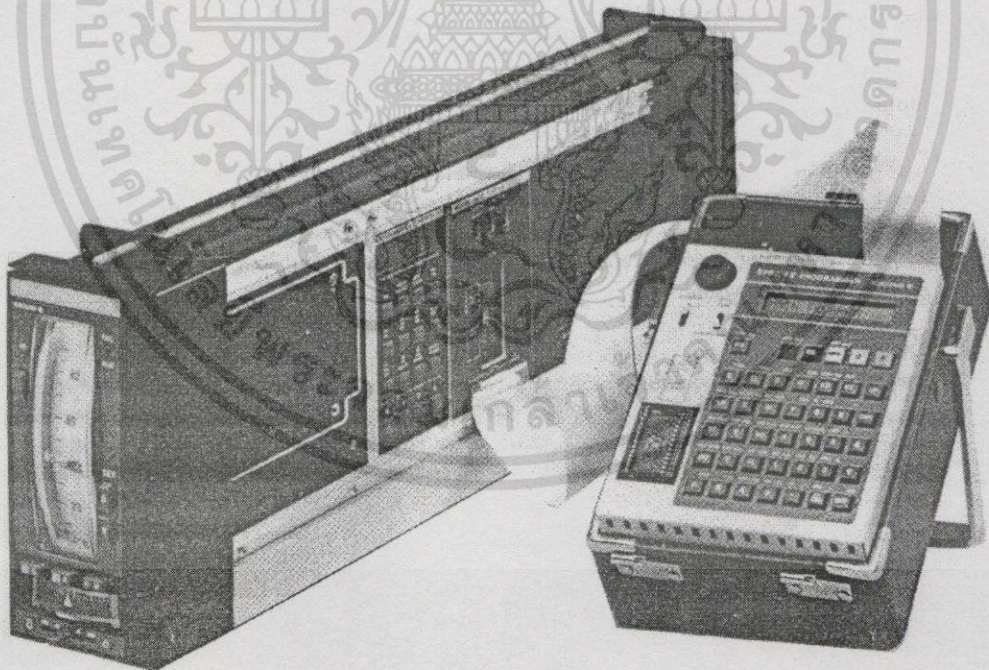


รูปที่ 4.3 ไดอะแกรมของกระบวนการอัตราการไหล

4.3 ตัวควบคุมแบบ P

ตัวควบคุมแบบ P ที่ใช้ในวิทยานิพนธ์นี้ คือตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) [13] ของบริษัทโยโกกาวา ดังแสดงในรูปที่ 4.4 ในการนำตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ไปใช้งานจะต้องทำการป้อนโปรแกรมก่อนซึ่งอุปกรณ์ที่ทำหน้าที่ป้อนโปรแกรมเรียกว่า เอสพีอาร์จีโปรแกรมเมอร์ (SPRG programmer) คำสั่งที่ป้อนให้กับตัวควบคุมเป็นคำสั่งสำเร็จรูปที่ไม่มีความสลับซับซ้อนมาก ซึ่งผู้ผลิตตัวควบคุมได้จัดเตรียมไว้ให้เรียบร้อย โปรแกรมที่ทำให้ตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ทำหน้าที่เป็นตัวควบคุมแบบ PID คือ

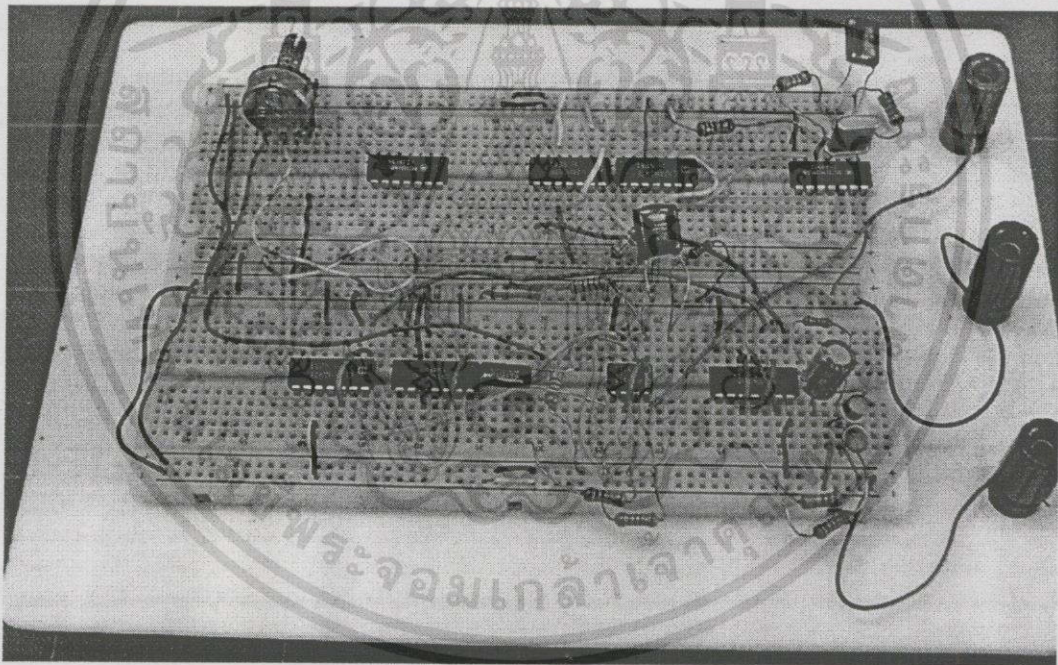
1. LD X1
2. BSC
3. ST Y1
4. END



รูปที่ 4.4 ตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E)

4.4 เฟสล็อกกลุ๊ป

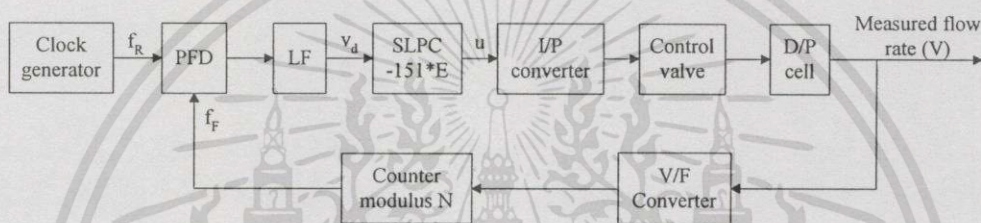
เฟสล็อกกลุ๊ปที่ใช้ในวิทยานิพนธ์นี้เป็นเฟสล็อกกลุ๊ปชนิดคลาสซิคอลดิจิทัลเฟสล็อกกลุ๊ป (DPLL) รูปที่ 4.5 แสดงแพวงจรของเฟสล็อกกลุ๊ปที่ใช้ในการทดลอง บล็อกไดอะแกรมของระบบควบคุมอัตราการไหลที่ทำงานในโหมดของเฟสล็อกกลุ๊ปดังแสดงในรูปที่ 4.6 ประกอบด้วย วงจรกำเนิดความถี่ ตัวตรวจจับเฟส (PFD) ตัวกรองลูป (LF) ตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ตัวเปลี่ยนกระแสไฟฟ้าเป็นความดัน วาล์วควบคุม ตัววัดและส่งสัญญาณความดันแตกต่าง ตัวเปลี่ยนแรงดันเป็นความถี่ และวงจรมับสัญญาณนาฬิกา การรวมกันของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) กระบวนการอัตราการไหล ตัวเปลี่ยนแรงดันเป็นความถี่ และวงจรมับสัญญาณนาฬิกา จะทำหน้าที่เป็นภาคกำเนิดความถี่ที่ควบคุมด้วยแรงดัน (VCO) ของเฟสล็อกกลุ๊ป



รูปที่ 4.5 แพวงจรของเฟสล็อกกลุ๊ปที่ใช้ในการทดลอง

ตัวตรวจจับเฟสแบบเฟส-ความถี่จะทำการเปรียบเทียบขบวนพัลส์ย้อนกลับ f_r ที่มาจากวงจรมับสัญญาณแรงดันไฟฟ้าเป็นความถี่และวงจรมับสัญญาณนาฬิกาตัว กับขบวนพัลส์ของความถี่อ้างอิง f_r ที่มาจากวงจรมับสัญญาณนาฬิกาที่ทำงานร่วมกับผลึกกำเนิดความถี่ (crystal) สัญญาณความคลาดเคลื่อนของความถี่จากเอาต์พุตของตัวตรวจจับเฟสจะถูกป้อนให้กับวงจรมับสัญญาณเอาต์พุตของวงจรมับสัญญาณจะเป็นแรงดันไฟฟ้าที่แปรเปลี่ยนค่าตามความคลาดเคลื่อนของความถี่ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ ทำหน้าที่เปลี่ยนแรงดันไฟฟ้าที่เอาต์พุตของวงจรกรองรูปให้เป็นกระแสไฟฟ้า (4-20 mA) กระแสไฟฟ้านี้ถูกเปลี่ยนเป็นความดัน ($0.2-1 \text{ kg/cm}^2$) โดยตัวเปลี่ยนกระแสไฟฟ้าเป็นความดันเพื่อป้องกันให้กับวาล์วควบคุมมีผลทำให้อัตราการไหลแปรเปลี่ยนค่าเพื่อลดความแตกต่างของความคลาดเคลื่อนของความถี่ระหว่างความถี่ f_R และ f_F แรงดันไฟฟ้าที่เอาต์พุตของวงจรกรองรูปจะแปรเปลี่ยนค่าจนกระทั่งสัญญาณทั้งสองที่อินพุตของตัวตรวจจับเฟสมีค่าเท่ากันทั้งเฟสและความถี่ ที่สถานะนี้เรียกว่า ลูปอยู่ในสถานะล็อก ดังนั้น อัตราการไหลของระบบที่ถูกควบคุมก็จะไหลในอัตราคงที่ตามที่ต้องการ

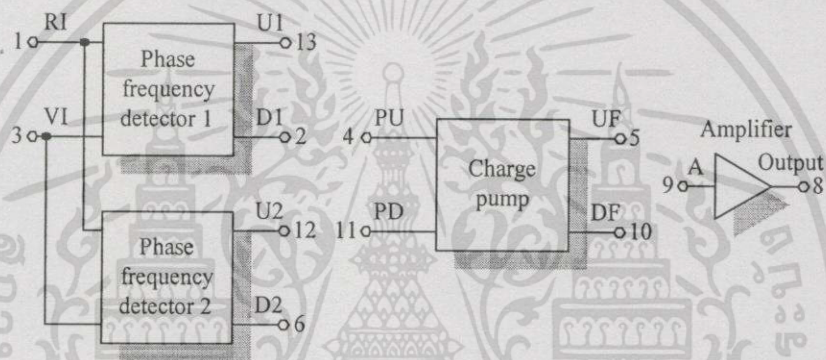


รูปที่ 4.6 บล็อกโคเดแกรมของระบบควบคุมอัตราการไหลในโหมดของเฟสล็อกลูป

4.4.1 ตัวตรวจจับเฟสและวงจรกรองรูป

ตัวตรวจจับเฟสที่ใช้ในวิทยานิพนธ์นี้เป็นตัวตรวจจับเฟสแบบเฟส-ความถี่ ซึ่งวงจรของตัวตรวจจับเฟสแบบเฟส-ความถี่ถูกสร้างเป็นชิพไอซี MC 4044 หรือ MC 4344 ของบริษัทโมโตโรลา [14] ภายในชิพไอซี MC 4044 ประกอบด้วยตัวตรวจจับเฟสแบบดิฟเฟอเรนเชียลสองตัว วงจรซาร์จัมพ์ที่และภาคขยายสัญญาณ ดังแสดงในรูปที่ 4.7 [15] ตัวตรวจจับเฟสทั้งสองตัวใช้ขารับสัญญาณอินพุตร่วมกัน ตัวตรวจจับเฟสตัวที่หนึ่ง เป็นแบบเฟส-ความถี่ ซึ่งตัวตรวจจับเฟสแบบนี้จะอยู่ในสถานะล็อก เมื่อสัญญาณพัลส์ขอบขาลงของสัญญาณอินพุตที่เปลี่ยนแปลงได้ (VI) และสัญญาณอินพุตอ้างอิง (RI) มีค่าเท่ากันทั้งความถี่และเฟส ถ้าสัญญาณอินพุตที่เปลี่ยนแปลงได้มีความถี่น้อยกว่าหรือมีเฟสล่าหลังสัญญาณอินพุตอ้างอิง สัญญาณเอาต์พุต U1 จะเป็นลอจิกต่ำ ดังนั้น สัญญาณเอาต์พุต D1 จะเป็นลอจิกต่ำเมื่อสัญญาณอินพุตที่เปลี่ยนแปลงได้มีความถี่มากกว่าหรือมีเฟสนำหน้าสัญญาณอินพุตอ้างอิง สิ่งสำคัญอย่างหนึ่งที่สังเกตได้คือค่าวัฏจักรการทำงานระหว่างสัญญาณอินพุตที่เปลี่ยนแปลงได้กับสัญญาณอินพุตอ้างอิงมีค่าเป็นศูนย์เมื่อตัวตรวจจับเฟสแบบเฟส-ความถี่อยู่ในสถานะล็อก เพราะสัญญาณเอาต์พุตของตัวตรวจจับเฟสจะเปลี่ยนแปลงเฉพาะที่สถานะขอบขาลงของสัญญาณอินพุตเท่านั้น

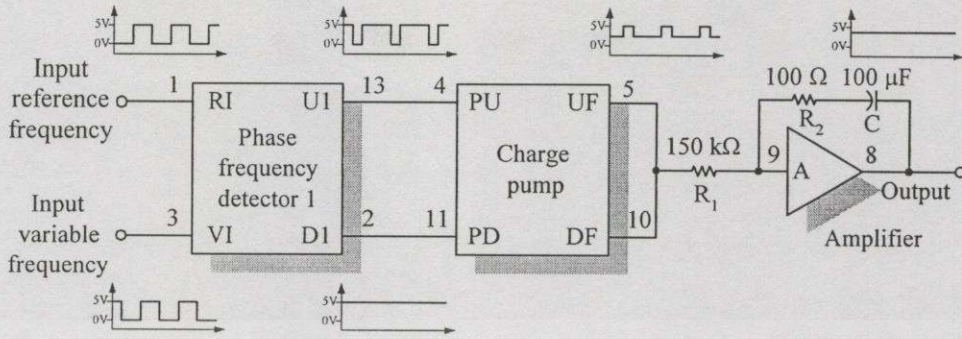
ตัวตรวจจับเฟสตัวที่สองจะอยู่ในสภาวะล็อกก็ต่อเมื่อสัญญาณอินพุตที่เปลี่ยนแปลงได้ (VI) ถ้ามืดสัญญาณอินพุตอ้างอิง (RI) 90 องศา สังเกตได้จากขาสัญญาณเอาต์พุต U2 และ D2 จะมีค่าความกว้างของพัลส์เท่ากัน และถ้าสัญญาณอินพุตที่เปลี่ยนแปลงได้มีเฟสล่าช้าหลังสัญญาณอินพุตอ้างอิงมากกว่า 90 องศา สัญญาณเอาต์พุต U2 จะมีสถานะลอจิกต่ำมากกว่าสัญญาณเอาต์พุต D2 แต่ถ้าเฟสของสัญญาณอินพุตที่เปลี่ยนแปลงได้ล่าช้าหลังเฟสของสัญญาณอินพุตอ้างอิงน้อยกว่า 90 องศา สัญญาณเอาต์พุต D2 จะมีสถานะลอจิกต่ำมากกว่าสัญญาณเอาต์พุต U2 ดังนั้น ตัวตรวจจับเฟสตัวที่สองนี้ สัญญาณอินพุตอ้างอิงและสัญญาณอินพุตที่เปลี่ยนแปลงได้จะต้องมีค่าวัฏจักรการทำงาน 50 เปอร์เซ็นต์เมื่ออยู่ในสภาวะล็อก



รูปที่ 4.7 โครงสร้างภายในของชิพไอซี MC 4044

ซาร์จปั๊มทำหน้าที่รับสัญญาณเอาต์พุตจากตัวตรวจจับเฟส (U1 หรือ U2 ต่อเข้ากับ PU และ D1 หรือ D2 ต่อเข้ากับ PD) และเปลี่ยนเป็นพัลส์บวกและพัลส์ลบที่มีขนาดสัญญาณคงที่ที่เอาต์พุต UF และ DF ตามลำดับ สัญญาณพัลส์เอาต์พุตนี้ถูกป้อนให้กับวงจรกรองรูปคลื่นแอกทีฟ ซึ่งจะต่ออุปกรณ์ภายนอกพร้อมด้วย (ตัวต้านทานและตัวเก็บประจุ) อย่างไรก็ตามวงจรขยายจะมีให้อยู่ภายในชิพไอซี MC 4044 แล้ว ดังแสดงในรูปที่ 4.7 วงจรกรองรูปคลื่นจะให้เอาต์พุตเป็นแรงดันไฟฟ้ากระแสตรงที่เป็นสัดส่วนกับความคลาดเคลื่อนเฟส

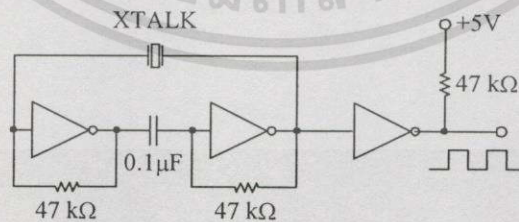
รูปที่ 4.8 แสดงวงจรตรวจจับเฟสและวงจรกรองรูปคลื่นที่ใช้ในการทดลองของวิทยานิพนธ์นี้ โดยใช้ตัวตรวจจับเฟสตัวหนึ่งของชิพไอซี MC 4044 ที่เป็นตัวตรวจจับเฟสแบบเฟส-ความถี่ เนื่องจากมีพิสัยการยึดจับเป็นอนันต์ และคุณสมบัติข้ออื่น ๆ ดังได้อธิบายไว้ในบทที่ 2



รูปที่ 4.8 วงจรตรวจจับเฟสและวงจรกรองลูป

4.4.2 วงจรกำเนิดสัญญาณนาฬิกา

วงจรถ่ายกำเนิดสัญญาณนาฬิกาสามารถสร้างจากทรานซิสเตอร์ ที่ทำงานร่วมกับตัวต้านทานและตัวเก็บประจุ หรือที่เรียกว่าวงจรออสซิลเลเตอร์แบบอิสระ (astable multivibrator) และไอซี 555 นั้น ความถี่ของสัญญาณนาฬิกาที่กำเนิดขึ้นจะมีเสถียรภาพของความถี่ต่ำ ดังนั้น เพื่อให้ได้ความถี่ที่ผลิตขึ้นมีความถูกต้องสูง จึงต้องใช้วงจรถ่ายกำเนิดสัญญาณนาฬิกาที่ทำงานร่วมกับผลึกกำเนิดความถี่ ซึ่งวงจรถ่ายกำเนิดสัญญาณนาฬิกาที่ใช้ในวิทยานิพนธ์แสดงในรูปที่ 4.9 [16] สังเกตนี้อทเกตแต่ละตัวจะกลับเฟสของสัญญาณที่อินพุต 180 องศา โดยที่เอาต์พุตของน็อตเกทตัวที่สองจะมีเฟสเดียวกันกับสัญญาณอินพุตของน็อตเกทตัวที่หนึ่ง ผลึกกำเนิดความถี่จะทำหน้าที่เป็นตัวป้อนกลับแบบบวกที่ความถี่รีโซแนนท์ ซึ่งเป็นความถี่ที่จะถูกสร้างขึ้นมา น็อตเกทตัวที่สามถูกนำมาใช้เพื่อไม่ให้เกิดปัญหาในการกำเนิดความถี่ เมื่อมีการเปลี่ยนแปลงโหลด ถ้าความถี่ที่กำเนิดจากวงจรถ่ายกำเนิดสัญญาณนาฬิกาที่ทำงานร่วมกับผลึกกำเนิดความถี่มีค่าสูงเกินไปอาจใช้วงจรนับทำการหารความถี่ให้ลดลงมาได้ตามต้องการ



รูปที่ 4.9 วงจรกำเนิดสัญญาณนาฬิกา

4.4.3 วงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่

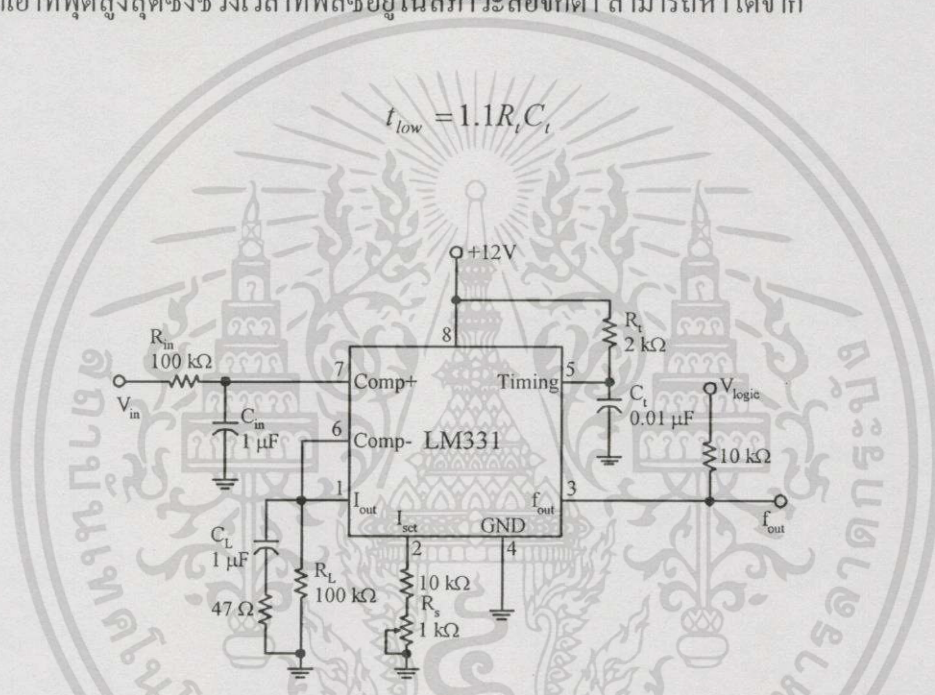
วงจรถ่ายเปลี่ยนแรงดันไฟฟ้าเป็นความถี่ (V/F converter) [6] ทำหน้าที่เปลี่ยนแรงดันไฟฟ้าที่เอาต์พุตของตัววัดและส่งสัญญาณความดันแตกต่างที่สัมพันธ์กับอัตราการไหลให้เป็นความถี่เพื่อเอกสารนี้เป็นเอกสารทงสวนวิชาหริบการเขงานเพื่อกการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อนกลับมาเป็นอินพุตของตัวตรวจจับสนามไฟฟ้า รูปที่ 4.10 แสดงวงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่ที่ใช้ในวิทยานิพนธ์นี้ ซึ่งมีสมการความถี่เอาต์พุตดังนี้

$$f_o = \frac{V_{in} R_s}{2V R_L R_i C_i} \quad (4.1)$$

ในการออกแบบวงจรต้องกำหนดให้ช่วงเวลาที่พัลส์อยู่ในสภาวะลอจิกต่ำมีค่าน้อยกว่าคาบของความถี่เอาต์พุตสูงสุดซึ่งช่วงเวลาที่พัลส์อยู่ในสภาวะลอจิกต่ำ สามารถหาได้จาก

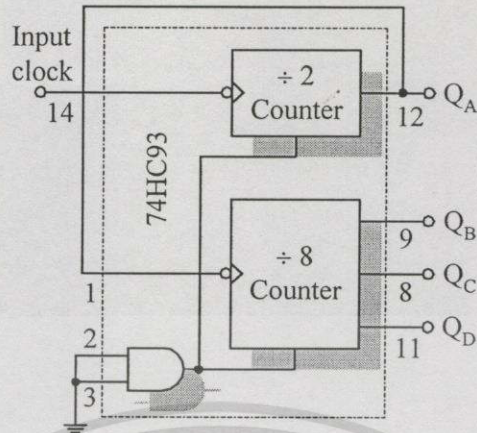
$$t_{low} = 1.1R_i C_i \quad (4.2)$$



รูปที่ 4.10 วงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่

4.4.4 วงจรนับสัญญาณนาฬิกา

วงจรถ่ายสัญญาณนาฬิกาหรือวงจรถ่ายความถี่ ดังแสดงในรูปที่ 4.11 [16] วงจรนับนี้ใช้ชิพไอซี 74HC93 ซึ่งเป็นวงจรถ่ายแบบบอชิง โคน์สที่มีวงจรถ่าย 2 และหาร 8 อยู่ภายในชิพ ไอซี เอาต์พุตทั้ง 4 คือ QA QB QC และ QD จะถูกหารด้วย 2 4 8 และ 16 จากความถี่อินพุตตามลำดับ



รูปที่ 4.11 วงจรนับสัญญาณนาฬิกา

4.4.5 เสถียรภาพของเฟสล็อกลูป

ในการศึกษาเสถียรภาพของระบบควบคุมอัตราการไหลในโหมดของเฟสล็อกลูปที่สถานะล็อก [12] ของรูปที่ 4.6 จะต้องหาฟังก์ชันถ่ายโอนตรง $G(s)$ และฟังก์ชันถ่ายโอนป้อนกลับ $H(s)$ อัตราการไหลของกระบวนการอัตราการไหลจำเป็นต้องใช้เวลาเดินทางจากอินพุตถึงเอาต์พุต ซึ่งเวลานี้เป็นที่รู้จักกันคือ เวลาไร้ผลสอง L ผลตอบสนองวงรอบเปิดของกระบวนการอัตราการไหลโดยวัดที่เอาต์พุตของตัววัดและส่งสัญญาณความดันแตกต่าง เมื่อให้สัญญาณอินพุตเป็นแบบขั้นบันไดที่อินพุตของตัวเปลี่ยนกระแสไฟฟ้าเป็นความดัน (I/P converter) ที่ได้มาจากการทดลองพบว่า เป็นแบบจำลองของกระบวนการอันดับหนึ่งบวกเวลาไร้ผลสอง (first-order plus dead-time) ดังนั้น แบบจำลองของกระบวนการอัตราการไหลสามารถแทนได้โดย $(K_p e^{-sL}) / (1+s\tau)$ เมื่อ L คือเวลาไร้ผลสอง τ คือเวลาคงตัว และ K_p คืออัตราขยายของกระบวนการ แบบจำลองของตัวตรวจจับเฟสแบบเฟส-ความถี่สามารถแทนโดย K_d เมื่อ K_d คืออัตราขยายของตัวตรวจจับเฟสแบบเฟส-ความถี่ วงจรกรองความถี่ต่ำผ่านแบบเอกทิฟสามารถแทนเป็น $(1+sK_{T2}) / (sK_{T1})$ เมื่อ K_{T1} มากกว่า K_{T2} และทั้งคู่เป็นค่าเวลาคงตัวของตัวต้านทานกับตัวเก็บประจุ ตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) สามารถแทนโดย $K_{AD} (1-e^{-sT}) / s$ เมื่อ T คือคาบเวลาในการสุ่มสัญญาณ ที่เอาต์พุตของวงจรกรองรูป และ K_{AD} เป็นอัตราขยายของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ฟังก์ชันถ่ายโอนป้อนกลับ $H(s)$ จากเอาต์พุตของตัววัดและส่งสัญญาณความดันแตกต่างถึงและวงจรรับสัญญาณนาฬิกา สามารถแทนโดย K_{VF} / N เมื่อ K_{VF} คืออัตราขยายในหน่วย rad/s/V ของตัวเปลี่ยนแรงดันเป็นความถี่ และ N คือตัวหารความถี่

ดังนั้น ฟังก์ชันถ่ายโอนของ $G(s)$ และ $H(s)$ สามารถแทนโดย

$$G(s) = K_d K_{AD} K_p \cdot \frac{(1 + sK_{T2})e^{-sL}}{(sK_{T1})(1 + s\tau)} \cdot \frac{1 - e^{-sT}}{s} \quad (4.3)$$

และ

$$H(s) = \frac{K_{VF}}{N} \quad (4.4)$$

ดังนั้น ฟังก์ชันถ่ายโอนวงรอบเปิดของระบบควบคุมอัตราการใช้พลังงานด้วยเทคนิคของเฟสดีคูปคือ

$$G(s)H(s) = \frac{K_d K_{AD} K_p K_{VF}}{N} \cdot \frac{(1 + sK_{T2})(1 - e^{-sT})}{s^2 K_{T1} (1 + s\tau)} \cdot e^{-sL} \quad (4.5)$$

ประยุกต์ Z transform ใน (4.3) และ (4.5) ทำให้ได้

$$G(z) = K \cdot \frac{(A_1 z + A_0)}{(z-1)(z-c)} \cdot z^{-L/T} \quad (4.6)$$

และ

$$G(z)H(z) = \frac{KK_{VF}}{N} \cdot \frac{(A_1 z + A_0)}{(z-1)(z-c)} \cdot z^{-L/T} \quad (4.7)$$

ตามลำดับ เมื่อ

$$K = \frac{K_d K_{AD} K_{T2} K_p}{K_{T1} \tau}$$

$$A_1 = \frac{-a + b + ac - bc + abT}{b^2}$$

$$A_0 = \frac{a - b - ac + bc - abcT}{b^2}$$

และ

$$a = \frac{1}{K_{T2}} \quad b = \frac{1}{\tau} \quad c = e^{-bT}$$

ฟังก์ชันถ่ายโอนวงปิดจากความถี่อ้างอิง f_R ถึงความถี่ป้อนกลับ f_F คือ

$$M(z) = \frac{G(z)}{1 + G(z)H(z)} \quad (4.8)$$

แทน (4.6) และ (4.7) ใน (4.8) ได้

$$M(z) = \frac{K(A_1 z + A_0)}{z^{L/T}(z-1)(z-c) + \frac{KK_{VF}}{N}(A_1 z + A_0)} \quad (4.9)$$

เมื่อนำค่าต่าง ๆ ที่ได้จากการออกแบบและจากผลการทดลองการหาฟังก์ชันถ่ายโอนของกระบวนการอัตราการไหลที่แสดงไว้ในบทที่ 5 ไปแทนในพจน์ตัวหารของสมการ (4.9) จะได้สมการคุณลักษณะดังนี้

$$z^5 - 1.84993z^4 + 0.84993z^3 + 0.01938z + 0.001501 = 0 \quad (4.10)$$

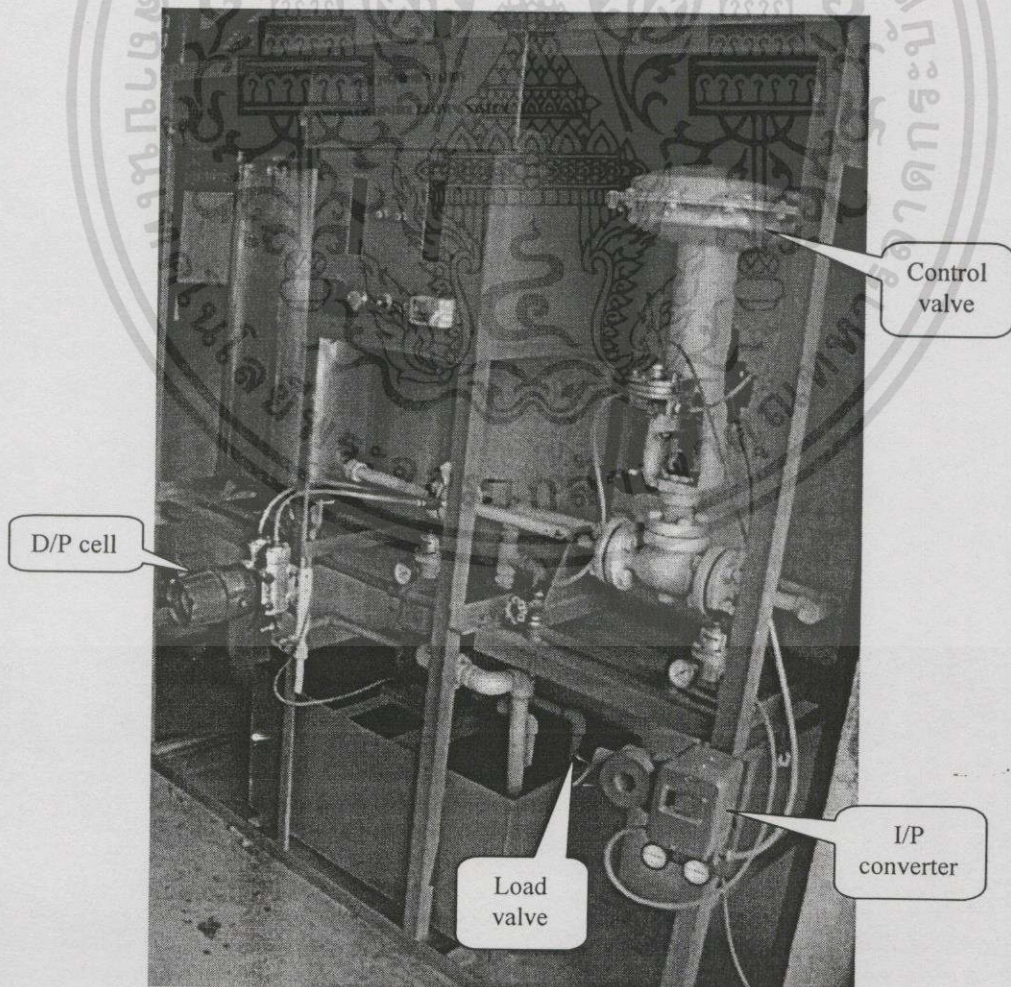
เมื่อ $K_p = 1.12$, $\tau = 1.23$ วินาที, $L = 0.6$ วินาที, $K_d = 5/4\pi$ V/rad, $K_{TI} = 15$ วินาที, $K_{T2} = 0.01$ วินาที, $T = 0.2$ วินาที, $K_{AD} = 1$, $K_{VF} = 3.371 * 2\pi/3$ rad/sec/V, และ $N = 2$

ระบบควบคุมจะมีเสถียรภาพ ถ้ารากของสมการ (4.10) อยู่ภายในวงกลมหนึ่งหน่วย จากการหารากของ (4.10) พบว่า $z = -0.964$ $z = -0.872$ $z = -0.287$ $z = 0.137 - 0.209i$ และ $z = 0.137 + 0.209i$ ซึ่งหมายถึงรากของ (4.10) อยู่ภายในวงกลมหนึ่งหน่วยทั้งหมด ดังนั้น ระบบควบคุมอัตราการไหลในโหมคของเฟสดีออกลูปที่อยู่ในสภาวะลือกมีเสถียรภาพ

บทที่ 5

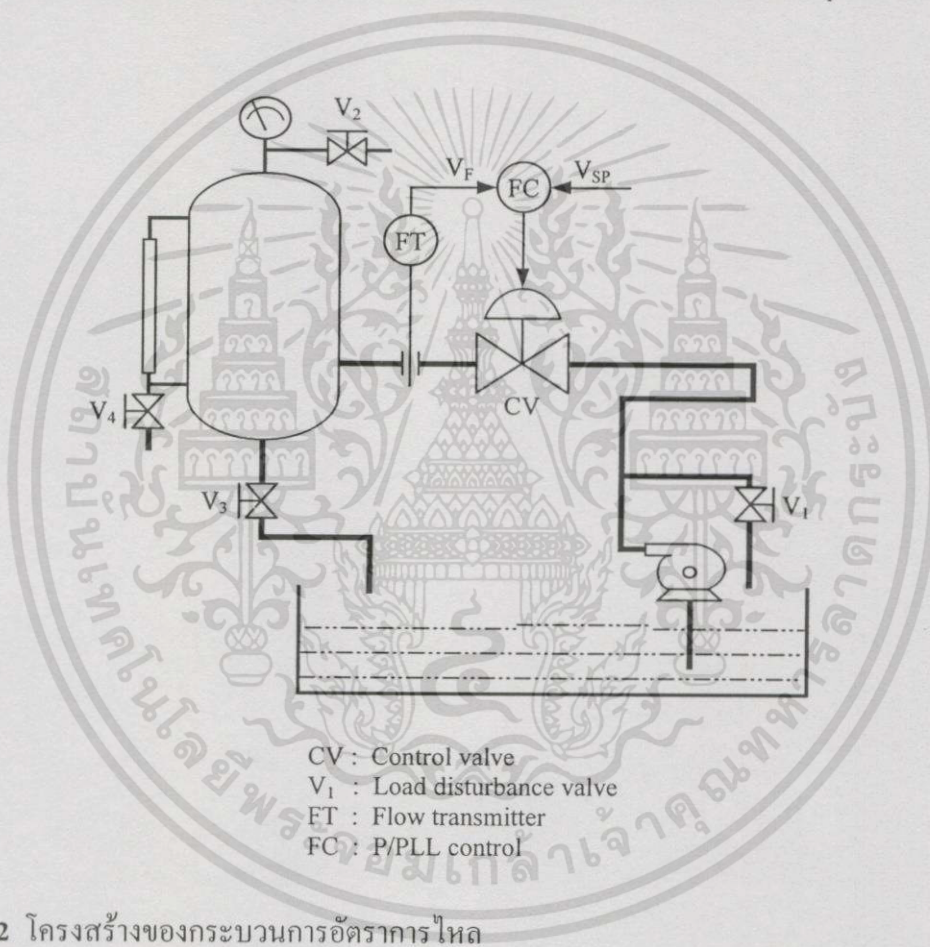
การทดลองและผลการทดลอง

การทดลองจะแบ่งออกเป็น 3 ส่วนคือ การทดลองหาผลตอบสนองวงรอบเปิดของกระบวนการอัตราการไหลที่ใช้ในห้องทดลอง การทดสอบประสิทธิภาพของตัวควบคุมที่ออกแบบและสร้างขึ้นเปรียบเทียบกับตัวควบคุมแบบ P และการทดสอบประสิทธิภาพของตัวควบคุมที่ออกแบบและสร้างขึ้นจากกระบวนการระบุ (nominal process) เมื่อค่าพารามิเตอร์ของกระบวนการมีการเปลี่ยนแปลง ในการทดลองจะใช้กระบวนการอัตราการไหล ดังแสดงในรูปที่ 5.1 ซึ่งสามารถเขียนไดอะแกรมของกระบวนการอัตราการไหล ดังแสดงในรูปที่ 5.2 สามารถอธิบายการทำงานได้ดังนี้ ป้อนน้ำจะทำหน้าที่สูบน้ำจากถังเก็บน้ำขึ้นไปตามท่อตลอดระยะเวลาในการควบคุม น้ำที่สูบน้ำจะผ่านวาล์วควบคุม CV และแผ่นออริฟิซ ทำให้เกิดความดันตกคร่อมแผ่นออริฟิซ น้ำจะไหลผ่านวาล์ว V_3



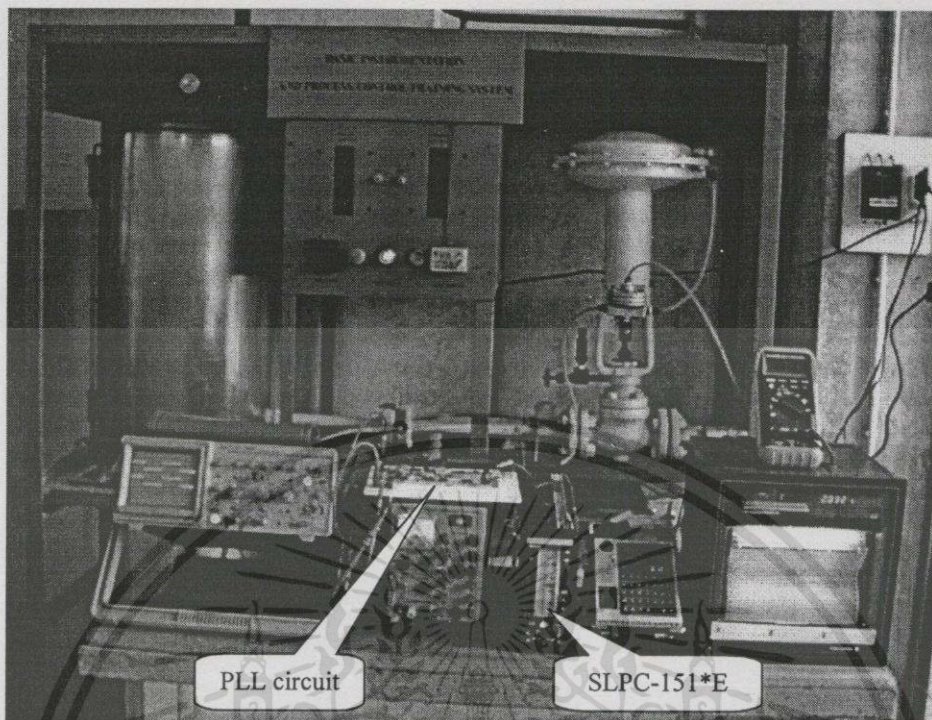
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 5.1 กระบวนการอัตราการไหลที่ใช้ในการทดลอง
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเปิดอยู่ตลอดเวลา กลับมาลงถึงเก็บน้ำตามเดิม FT คือตัววัดและส่งสัญญาณความดันแตกต่างทำการวัดความดันแตกต่างจากแผ่นออริฟิซ และเปลี่ยนเป็นกระแสไฟฟ้า 4-20 มิลลิแอมป์ หรือแรงดันไฟฟ้า 1-5 โวลต์ ในการทดลองใช้ตัววัดและส่งสัญญาณความดันแตกต่างที่มีฟังก์ชันการออครากที่สองอยู่ภายใน ของบริษัท โยโกกาว่า รุ่น UNE 11 [17] เอาท์พุทของตัววัดและส่งสัญญาณความดันแตกต่างที่ได้รับการออครากที่สองจะถูกส่งไปยังตัวควบคุม FC โดยที่ FC ทำหน้าที่เป็นตัวควบคุมแบบ P หรือเฟสล็อกลูป วาล์ว V_1 ทำหน้าที่เป็นวาล์วรบกวนโหลดและเป็นวาล์วระบายน้ำออกเพื่อป้องกันปั้มน้ำเสียหายเมื่อวาล์วควบคุม CV ปิดสนิท ในการทดลองต้องเปิดวาล์ว V_1 ไว้เล็กน้อย



รูปที่ 5.2 โครงสร้างของกระบวนการอัตราการไหล

ระบบควบคุมที่ควบคุมกระบวนการอัตราการไหลที่ใช้ในห้องทดลองด้วยวิธีเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P ที่นำเสนอในวิทยานิพนธ์นี้แสดงได้ในรูปที่ 5.3



รูปที่ 5.3 การควบคุมอัตราการไหล ด้วยวิธีเฟสล็อกพร้อมกับตัวควบคุมแบบ P

5.1 การทดลองหาผลตอบสนองวงรอบเปิดของกระบวนการอัตราการไหล

ขั้นตอนในการทดลอง

- 1) ทำการสอบเทียบตัววัดและส่งสัญญาณความดันแตกต่าง เมื่อวาล์วควบคุม CV อยู่ที่ตำแหน่งปิด เอาท์พุทของตัววัดและส่งสัญญาณความดันแตกต่างมีค่าเท่ากับ 4 มิลลิแอมป์ หรือ 1 โวลต์ และ เอาท์พุทของตัววัดและส่งสัญญาณความดันแตกต่างมีค่าเท่ากับ 20 มิลลิแอมป์ หรือ 5 โวลต์ เมื่อวาล์วควบคุม CV อยู่ที่ตำแหน่งเปิด 100 เปอร์เซ็นต์
- 2) ควบคุมกระบวนการแบบวงรอบเปิด โดยให้อินพุทแบบขั้นบันไดเท่ากับ 50 เปอร์เซ็นต์เซ็นต์ของอัตราการไหลสูงสุด ได้อัตราการไหลที่สถานะคงตัวเท่ากับ 56 เปอร์เซ็นต์เซ็นต์ของอัตราการไหลสูงสุด ผลตอบสนองระบบเปิดของกระบวนการอัตราการไหล แสดงในรูปที่ 5.4
- 3) อ่านและคำนวณค่าผลตอบสนองวงรอบเปิดของกระบวนการอัตราการไหล ซึ่งเป็นกระบวนการอันดับหนึ่งบวกเวลาไร้ผลสนองได้ดังนี้

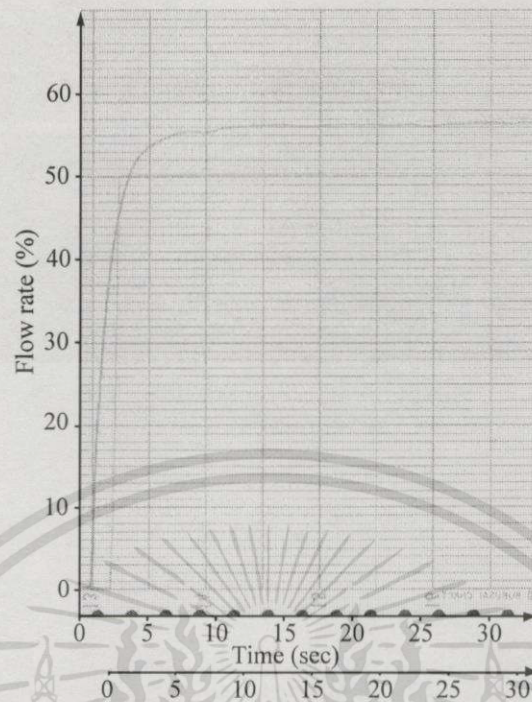
$$\text{อัตราขยายกระบวนการ } (K_p) = 1.12$$

$$\text{เวลาคงตัว } (\tau) = 1.23 \text{ วินาที}$$

$$\text{เวลาไร้ผลสนอง } (L) = 0.6 \text{ วินาที}$$

ในที่นี้จะเรียกกระบวนการนี้ว่า กระบวนการระบุ (nominal process)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 ผลตอบสนองวงรอบเปิดของกระบวนการอัตราไหล

- 4) คำนวณค่าพารามิเตอร์ของตัวควบคุมแบบ P ตามวิธีของ Ziegler-Nichols [18] จากผลตอบสนองวงรอบเปิดของกระบวนการ ได้ค่าดังนี้

$$K_c = (1/1.12) * (1.23/0.6) = 1.83$$

$$\text{หรือ } PB = (1/K_c) * 100\% = 55\%$$

5.2 การทดสอบประสิทธิภาพของตัวควบคุมที่ออกแบบและสร้างขึ้นเปรียบเทียบกับตัวควบคุมแบบ P

ขั้นตอนในการทดลอง

- 1) ออกแบบตัวควบคุมอัตราไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P ค่าพารามิเตอร์ต่าง ๆ ที่ได้จากการออกแบบเป็นดังนี้

$$\text{อัตราขยายของตัวตรวจจับเฟส } (K_d) = 5/4\pi \text{ V/rad}$$

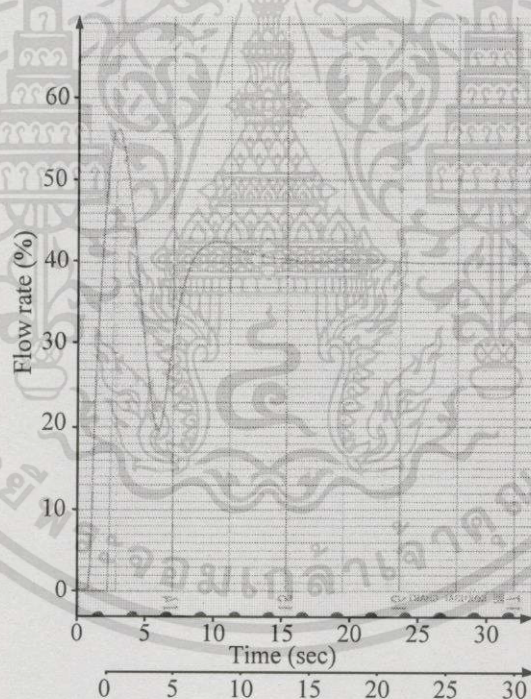
$$\text{เวลาคงตัวของวงจรรองความถี่ต่ำผ่าน } K_{T1} = 15 \text{ วินาที และ } K_{T2} = 0.01 \text{ วินาที}$$

คาบเวลาสุ่มสัญญาณ (T) และอัตราขยาย (K_{AD}) ของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) เท่ากับ 0.2 วินาที และ 1 ตามลำดับ

อัตราขยายของวงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่ (K_{VF}) = $3.371 \cdot 2\pi/3$ rad/sec/V

ตัวหารความถี่ (N) = 2

- 2) ทดลองใช้ค่าพารามิเตอร์ของตัวควบคุมแบบ P ที่คำนวณได้ ทำการควบคุมกระบวนการ โดยให้ค่าสัญญาณอ้างอิงเป็นแบบขั้นบันไดไปที่ 50 เปอร์เซ็นต์ของอัตราการไหลสูงสุด
- 3) ปรับแต่งค่าพารามิเตอร์ของตัวควบคุมแบบ P ที่ได้จากการคำนวณเพื่อปรับปรุงสมรรถนะของระบบควบคุม จนกระทั่งได้ผลตอบสนองของระบบควบคุมในการควบคุมกระบวนการด้วยตัวควบคุมแบบ P ดังแสดงในรูปที่ 5.5 โดยมีค่า PB เท่ากับ 70 เปอร์เซ็นต์ พบว่ามีโอเวอร์ชูต 40% และค่าออฟเซต 20%

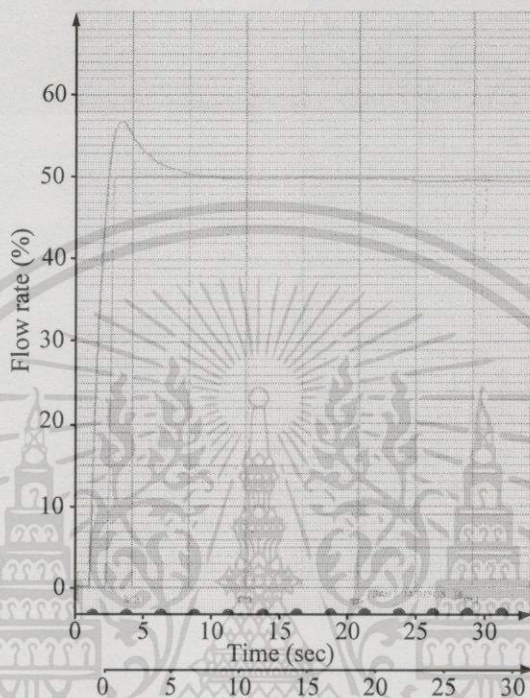


รูปที่ 5.5 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 50% ของอัตราการไหลสูงสุด

- 4) ทดสอบประสิทธิภาพของการควบคุมของตัวควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P โดยให้ตัวควบคุมแบบ P มีค่า PB เท่ากับ 70 เปอร์เซ็นต์ ค่าของความแตกต่างที่ได้กำหนดไว้ (ϵ) เท่ากับ 10 เปอร์เซ็นต์ของอัตราการไหลสูงสุด และสัญญาณอ้างอิงเป็นแบบขั้น

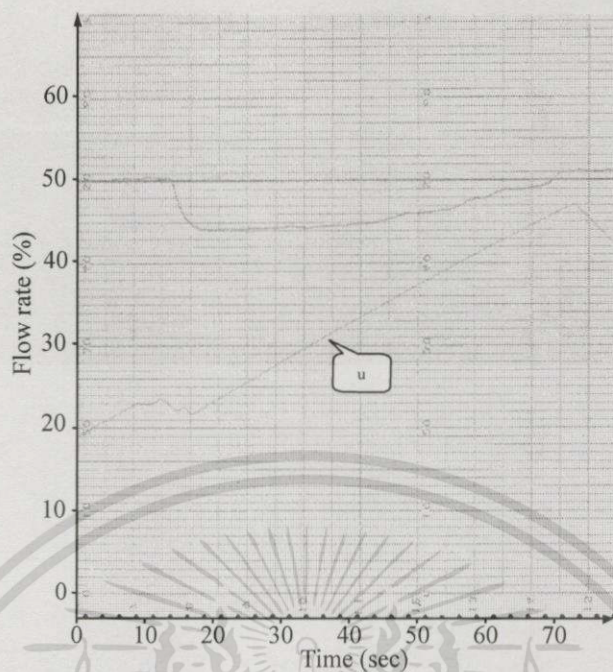
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บันไดไปที่ 50 เปอร์เซ็นต์ของอัตราการไหลสูงสุด ได้ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P ดังแสดงในรูปที่ 5.6 พบว่ามีโอเวอร์ชูต 15% และสามารถกำจัดค่าออฟเซตได้

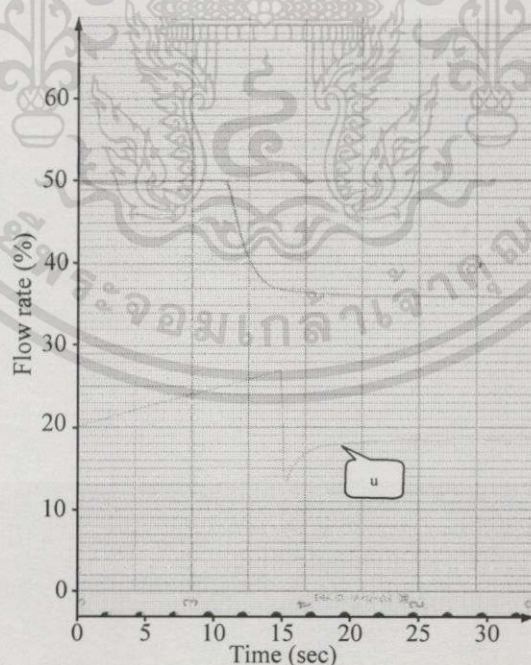


รูปที่ 5.6 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 50% ของอัตราการไหลสูงสุด

- 5) ทดสอบประสิทธิภาพของการปรับตัวของตัวควบคุมอัตราการไหลด้วยวิธีเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P ที่สภาวะคงตัว โดยเปิดวาล์วระบายไหล V_1 ให้อัตราการไหลลดลงน้อยกว่าค่าของความแตกต่างที่ได้กำหนดไว้ ($\epsilon = 10\%$ ของอัตราการไหลสูงสุด) ได้ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P เมื่อมีการระบายไหล ดังแสดงในรูปที่ 5.7 พบว่าระบบควบคุมสามารถกำจัดผลกระทบที่เกิดจากการระบายไหลได้
- 6) ทดสอบประสิทธิภาพของการปรับตัวของตัวควบคุมอัตราการไหลด้วยวิธีเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P ที่สภาวะคงตัว โดยเปิดวาล์วระบายไหล V_1 ให้อัตราการไหลลดลงมากกว่าค่าของความแตกต่างที่ได้กำหนดไว้ ($\epsilon = 10\%$ ของอัตราการไหลสูงสุด) ได้ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกลูปร่วมกับตัวควบคุมแบบ P เมื่อมีการระบายไหล ดังแสดงในรูปที่ 5.8 พบว่าระบบควบคุมไม่สามารถกำจัดผลกระทบที่เกิดจากการระบายไหลได้ โดยมีค่าออฟเซต 28%



รูปที่ 5.7 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวน โหลดที่ทำให้เกิดค่าความคลาดเคลื่อนน้อยกว่า 10% ของอัตราการไหลสูงสุดเมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 50% ของอัตราการไหลสูงสุด



รูปที่ 5.8 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวน โหลดที่ทำให้เกิดค่าความคลาดเคลื่อนมากกว่า 10% ของอัตราการไหลสูงสุดเมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 50% ของอัตราการไหลสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

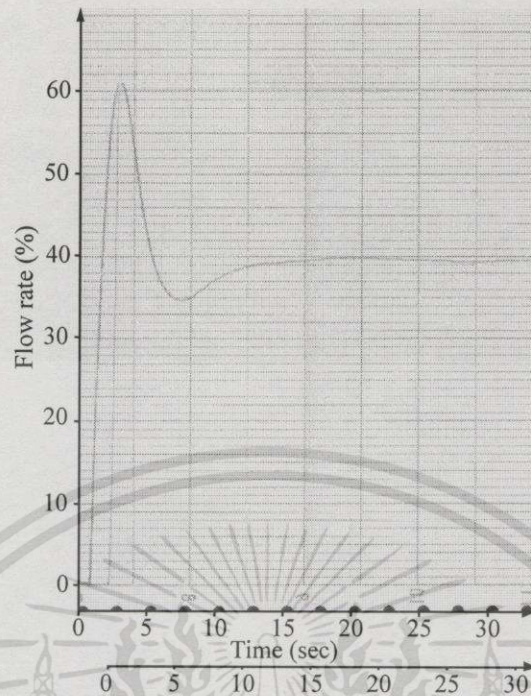
5.3 การทดสอบประสิทธิภาพของตัวควบคุมที่ออกแบบและสร้างขึ้น จากกระบวนการ ระบุเมื่อค่าพารามิเตอร์ของกระบวนการมีการเปลี่ยนแปลง

ขั้นตอนในการทดลอง

- 1) ทดสอบประสิทธิภาพของตัวควบคุมแบบ P ที่ได้ออกแบบไว้ให้ควบคุมอัตราการไหลที่ 50 เปอร์เซ็นต์ของอัตราการไหลสูงสุด ไปควบคุมอัตราการไหลที่ 40 และ 60 เปอร์เซ็นต์ของอัตราการไหลสูงสุด โดยไม่เปลี่ยนแปลงค่าของ K_c หรือ PB จะได้ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P ดังแสดงในรูปที่ 5.9 และ 5.10 ตามลำดับ พบว่ารูปที่ 5.9 มีโอเวอร์ชูต 39.7% และค่าออฟเซต 15% รูปที่ 5.10 มีโอเวอร์ชูต 54% และค่าออฟเซต 34%

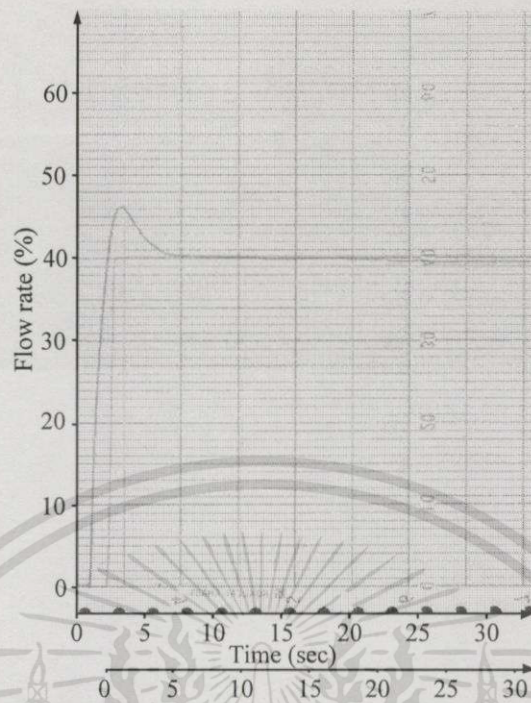


รูปที่ 5.9 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P เมื่อกำหนดค่า
สัญญาณอ้างอิงเท่ากับ 40% ของอัตราการไหลสูงสุด



รูปที่ 5.10 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 60% ของอัตราการไหลสูงสุด

- 2) ทดสอบประสิทธิภาพของตัวควบคุมด้วยวิธีเฟสล็อกดูพร้อมกับตัวควบคุมแบบ P ที่ได้ออกแบบไว้ให้ควบคุมอัตราการไหลที่ 50 เปอร์เซ็นต์ของอัตราการไหลสูงสุด ไปควบคุมอัตราการไหลที่ 40 และ 60 เปอร์เซ็นต์ของอัตราการไหลสูงสุด โดยไม่เปลี่ยนแปลงค่าของ K_c หรือ PB และค่าพารามิเตอร์ต่าง ๆ ของเฟสล็อกดู จะได้ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกดูพร้อมกับตัวควบคุมแบบ P ดังแสดงในรูปที่ 5.11 และ 5.12 ตามลำดับ พบว่ารูปที่ 5.11 มีโอเวอร์ชูต 16% และสามารถกำจัดค่าออฟเซตได้ รูปที่ 5.12 มีโอเวอร์ชูต 4.16% และสามารถกำจัดค่าออฟเซตได้



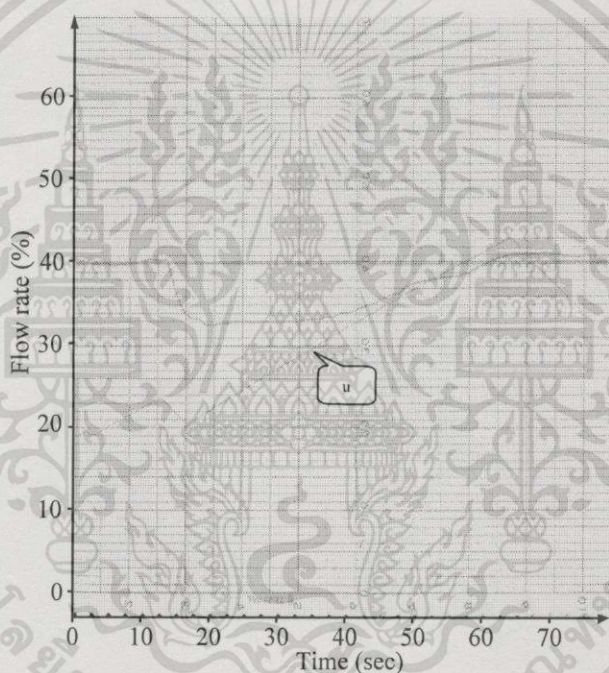
รูปที่ 5.11 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 40% ของอัตราการไหลสูงสุด



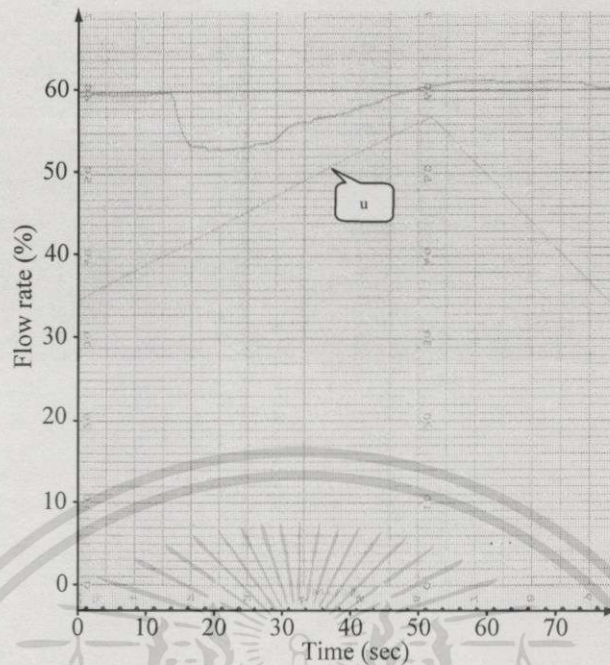
รูปที่ 5.12 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P เมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 60% ของอัตราการไหลสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 3) ทดสอบประสิทธิภาพของการปรับตัวของตัวควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P ที่ได้ออกแบบไว้ที่ระดับ 50 เปอร์เซ็นต์ของอัตราการไหลสูงสุด ขณะอยู่ในสถานะคงตัวที่ระดับอัตราการไหลอ้างอิง 40 และ 60 เปอร์เซ็นต์ของอัตราการไหลสูงสุด โดยเปิดวาล์วระบายโหลด V_1 ให้อัตราการไหลลดลงน้อยกว่าค่าของความแตกต่างที่ได้กำหนดไว้ ($\epsilon = 10\%$ ของอัตราการไหลสูงสุด) ได้ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P เมื่อมีการระบายโหลด ดังแสดงในรูปที่ 5.13 และ 5.14 ตามลำดับ พบว่าระบบควบคุมสามารถกำจัดผลกระทบที่เกิดจากการระบายโหลดได้ทั้งสองกรณี

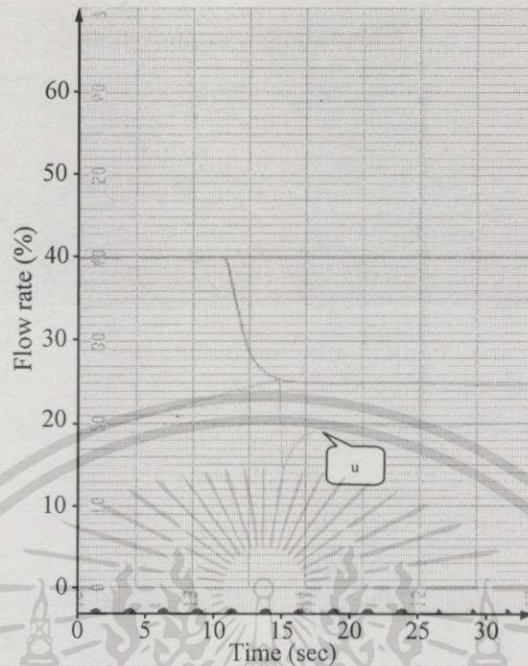


รูปที่ 5.13 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการระบายโหลดที่ทำให้เกิดค่าความคลาดเคลื่อนน้อยกว่า 10% ของอัตราการไหลสูงสุดเมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 40% ของอัตราการไหลสูงสุด

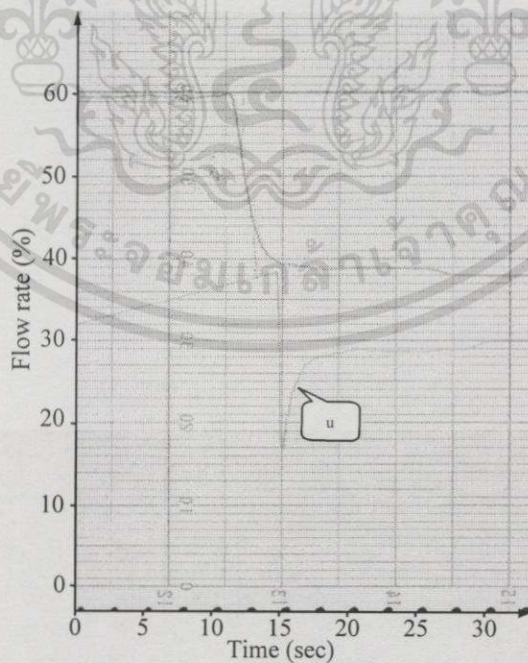


รูปที่ 5.14 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวนไหลที่ทำให้เกิดค่าความคลาดเคลื่อนน้อยกว่า 10% ของอัตราการไหลสูงสุดเมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 60% ของอัตราการไหลสูงสุด

- 4) ทดสอบประสิทธิภาพของการปรับตัวของตัวควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P ที่ได้ออกแบบไว้ที่ระดับ 50 เปอร์เซ็นต์ของอัตราการไหลสูงสุด ขณะอยู่ในสภาวะคงตัวที่ระดับอัตราการไหลอ้างอิง 40 และ 60 เปอร์เซ็นต์ของอัตราการไหลสูงสุด โดยเปิดวาล์วรบกวนไหล V_1 ให้อัตราการไหลลดลงมากกว่าค่าของความแตกต่างที่ได้กำหนดไว้ ($\varepsilon = 10\%$ ของอัตราการไหลสูงสุด) ได้ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P เมื่อมีการรบกวนไหล ดังแสดงในรูปที่ 5.15 และ 5.16 ตามลำดับ พบว่าระบบควบคุมไม่สามารถกำจัดผลกระทบที่เกิดจากการรบกวนไหลได้ทั้งสองกรณี โดยรูปที่ 5.15 มีค่าออฟเซต 38% และรูปที่ 5.16 มีออฟเซต 37%



รูปที่ 5.15 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวนโหลดที่ทำให้เกิดค่าความคลาดเคลื่อนมากกว่า 10% ของอัตราการไหลสูงสุดเมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 40% ของอัตราการไหลสูงสุด



รูปที่ 5.16 ผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการรบกวนโหลดที่ทำให้เกิดค่าความคลาดเคลื่อนมากกว่า 10% ของอัตราการไหลสูงสุดเมื่อกำหนดค่าสัญญาณอ้างอิงเท่ากับ 60% ของอัตราการไหลสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในอาคารเรียนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของการเปรียบเทียบสมรรถนะของระบบควบคุมอัตราการใช้ไฟด้วยวิธีเฟสล็อกคู่ปรูมกับตัวควบคุมแบบ P กับตัวควบคุมแบบ P และตัวควบคุมแบบ PI [19] ($PB = 70\%$ $T_r = 2$ วินาที) ในการควบคุมอัตราการใช้ไฟที่ 50 เปอร์เซ็นต์ของอัตราการใช้ไฟสูงสุด สามารถสรุปผลได้ดังแสดงในตารางที่ 5.1

ตารางที่ 5.1 สมรรถนะของระบบควบคุมอัตราการใช้ไฟที่ 50% ของอัตราการใช้ไฟสูงสุด

สมรรถนะของระบบควบคุมอัตราการใช้ไฟ					
สัญญาณอ้างอิง (%)	ชนิดของตัวควบคุม	P_o (%)	T_r (sec)	T_s (sec)	offset (%)
50	เฟสล็อกคู่ปรูมกับตัวควบคุมแบบ P	15	1.5	6	0
	ตัวควบคุมแบบ P	40	1	12	20
	ตัวควบคุมแบบ PI	8	2.33	8.67	0

สำหรับการเปรียบเทียบสมรรถนะของระบบควบคุมอัตราการใช้ไฟระหว่างวิธีเฟสล็อกคู่ปรูมกับตัวควบคุมแบบ P กับตัวควบคุมแบบ P ในการควบคุมอัตราการใช้ไฟเมื่อค่าพารามิเตอร์ของกระบวนการมีการเปลี่ยนแปลง สามารถแสดงได้ในตารางที่ 5.2

ตารางที่ 5.2 สมรรถนะของระบบควบคุมอัตราการใช้ไฟที่ 40% และ 60% ของอัตราการใช้ไฟสูงสุด

สมรรถนะของระบบควบคุมอัตราการใช้ไฟ					
สัญญาณอ้างอิง (%)	ชนิดของตัวควบคุม	P_o (%)	T_r (sec)	T_s (sec)	offset (%)
40	เฟสล็อกคู่ปรูมกับตัวควบคุมแบบ P	16	1.33	5.17	0
	ตัวควบคุมแบบ P	39.7	1	13.33	15
60	เฟสล็อกคู่ปรูมกับตัวควบคุมแบบ P	4.16	1.67	4.33	0
	ตัวควบคุมแบบ P	54	0.83	11	34

5.4 สรุปผลการทดลอง

จากการทดลองในหัวข้อ 5.2 สามารถสรุปผลของการเปรียบเทียบสมรรถนะของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับสมรรถนะของระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P เพียงอย่างเดียวได้ดังตารางที่ 5.1 สมรรถนะที่สภาวะผลตอบสนองชั่วขณะ (transient) ของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P มีค่าพุ่งเกินน้อยกว่าระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P มาก แต่มีค่าเวลาไต่ขึ้นมากกว่า และเมื่อเปรียบเทียบสมรรถนะของระบบที่สภาวะคงตัว ระบบควบคุมอัตราการไหลที่ใช้วิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P จะมีค่าเวลาในการเข้าสู่สภาวะคงตัวน้อยกว่าระบบควบคุมอัตราการไหลด้วย ตัวควบคุมแบบ P โดยที่ค่าออฟเซตของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P ถูกกำจัดให้หมดไป (พิจารณาจากรูปที่ 5.6) ในขณะที่ระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P มีค่าออฟเซต 20% (พิจารณาจากรูปที่ 5.5) เมื่อเปรียบเทียบสมรรถนะของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับการควบคุมอัตราการไหลด้วยตัวควบคุมแบบ PI ดังแสดงในตารางที่ 5.1 พบว่าผลตอบสนองของการควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P มีค่าพุ่งเกินสูงกว่า แต่มีค่าเวลาไต่ขึ้นและเวลาในการเข้าสู่สภาวะคงตัวน้อยกว่า นอกจากนี้ระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P ยังสามารถกำจัดค่าออฟเซตได้เช่นเดียวกับระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ PI

จากการทดลองนำตัวควบคุมที่ออกแบบและสร้างขึ้นจากกระบวนการที่ระบุไปควบคุมกระบวนการอัตราการไหลที่มีการเปลี่ยนแปลงค่าพารามิเตอร์เนื่องมาจากการเปลี่ยนแปลงค่าเป้าหมายของกระบวนการ พบว่าตัวควบคุมที่ได้ออกแบบไว้สามารถควบคุมอัตราการไหลได้ดี ดังแสดงในตารางที่ 5.2 เมื่อเปลี่ยนสัญญาณอ้างอิงแบบขั้นบันไดไปที่ 40 เปอร์เซ็นต์ของอัตราการไหลสูงสุด จะได้ผลการควบคุมมีค่าพุ่งเกิน 16% เวลาไต่ขึ้น 1.33 วินาที เวลาในการเข้าสู่สภาวะคงตัว 5.17 วินาที และไม่มีค่าออฟเซต (พิจารณาจากรูปที่ 5.11) เมื่อเปลี่ยนสัญญาณอ้างอิงแบบขั้นบันไดไปที่ 60 เปอร์เซ็นต์ของอัตราการไหลสูงสุดจะได้ผลการควบคุมมีค่าพุ่งเกิน 4.16% เวลาไต่ขึ้น 1.67 วินาที เวลาในการเข้าสู่สภาวะคงตัว 4.33 วินาที และไม่มีค่าออฟเซต (พิจารณาจากรูปที่ 5.12)

บทที่ 6

สรุปผลการวิจัยและข้อเสนอแนะ

ในวิทยานิพนธ์เล่มนี้ ได้นำเสนอวิธีเฟสล็อกูปมาประยุกต์ใช้ร่วมกับตัวควบคุมแบบ P เพื่อควบคุมอัตราการใช้ โดยเปลี่ยนอัตราการใช้ให้เป็นความถี่ด้วยวงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่ ตัวควบคุมแบบ P จะทำหน้าที่ควบคุมอัตราการใช้ในช่วงผลตอบสนองชั่วขณะเพื่อให้เข้าสู่ระยะล็อกูปได้รวดเร็ว หลังจากนั้น เฟสล็อกูปจะทำหน้าที่ควบคุมอัตราการใช้ที่สภาวะคงตัวโดยอัตโนมัติ เมื่อความคลาดเคลื่อนของอัตราการใช้มีค่าน้อยกว่าค่าของความแตกต่างที่กำหนดไว้

ในการออกแบบตัวควบคุมอัตราการใช้ด้วยวิธีเฟสล็อกูปร่วมกับตัวควบคุมแบบ P จะใช้ตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ให้ทำหน้าที่เป็นตัวควบคุมแบบ P และยังทำหน้าที่สับแรงดันไฟฟ้าที่เอาต์พุตของวงจรรองความถี่ต่ำผ่านเป็นช่วง ๆ แล้วเปลี่ยนเป็นกระแสไฟฟ้าเพื่อป้อนให้กับตัวเปลี่ยนกระแสไฟฟ้าเป็นความดันในโหมดการควบคุมของเฟสล็อกูป ตัวเปลี่ยนกระแสไฟฟ้าเป็นความดันนี้จะสร้างความดันเพื่อควบคุมการเปิดหรือปิดวาล์วควบคุมในตำแหน่งของอัตราการใช้ที่ต้องการ เฟสล็อกูปที่ใช้ในวิทยานิพนธ์นี้เป็นชนิดคลาสสิกอลดิจิตอลเฟสล็อกูป (DPLL) โดยใช้ตัวตรวจจับเฟสแบบเฟส-ความถี่ การควบคุมอัตราการใช้ด้วยวิธีเฟสล็อกูปนั้นจะต้องทำการเปลี่ยนอัตราการใช้เป็นความถี่ก่อน ซึ่งอัตราการใช้จะถูกเปลี่ยนเป็นความดันแตกต่างด้วยแผ่นออร์พิซ และถูกวัดด้วยตัววัดและส่งสัญญาณความดันแตกต่าง เอาต์พุตของตัววัดและส่งสัญญาณความดันแตกต่างจะเป็นแรงดันไฟฟ้าที่สัมพันธ์กับอัตราการใช้และถูกเปลี่ยนเป็นความถี่ด้วยวงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่ ตัวตรวจจับเฟสแบบเฟส-ความถี่จะเปรียบเทียบความถี่อ้างอิงที่มีค่าความถี่ที่สัมพันธ์กับอัตราการใช้ ผลต่างของความถี่ทั้งสองถูกป้อนให้กับวงจรรองความถี่ต่ำผ่านเพื่อสร้างแรงดันไฟฟ้าไปควบคุมอัตราการใช้ให้ลดความแตกต่างของความถี่ทั้งสอง เมื่อความถี่อินพุตทั้งสองของตัวตรวจจับเฟสมีค่าเท่ากันทั้งเฟสและความถี่ เรียกว่าลูปอยู่ในสภาวะล็อก ดังนั้น อัตราการใช้ก็จะไหลในอัตราที่ต้องการ ระบบควบคุมอัตราการใช้จะสวิตช์ไปทำงานในโหมดของเฟสล็อกูปก็ต่อเมื่อความคลาดเคลื่อนของอัตราการใช้มีค่าน้อยกว่า 10 เปอร์เซ็นต์ของอัตราการใช้สูงสุด และในวิทยานิพนธ์นี้ยังได้แสดงการพิสูจน์เสถียรภาพของระบบควบคุมอัตราการใช้ด้วยวิธีเฟสล็อกูปในสภาวะล็อก จากการแทนค่าพารามิเตอร์ต่าง ๆ ที่ได้จากการออกแบบและการทดลองแล้วผลปรากฏว่า ราคาของสมการคุณลักษณะอยู่ในวงกลมหนึ่งหน่วยทั้งหมด ซึ่งหมายความว่าระบบควบคุมอัตราการใช้ด้วยวิธีเฟสล็อกูปที่อยู่ในสภาวะล็อกมีเสถียรภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

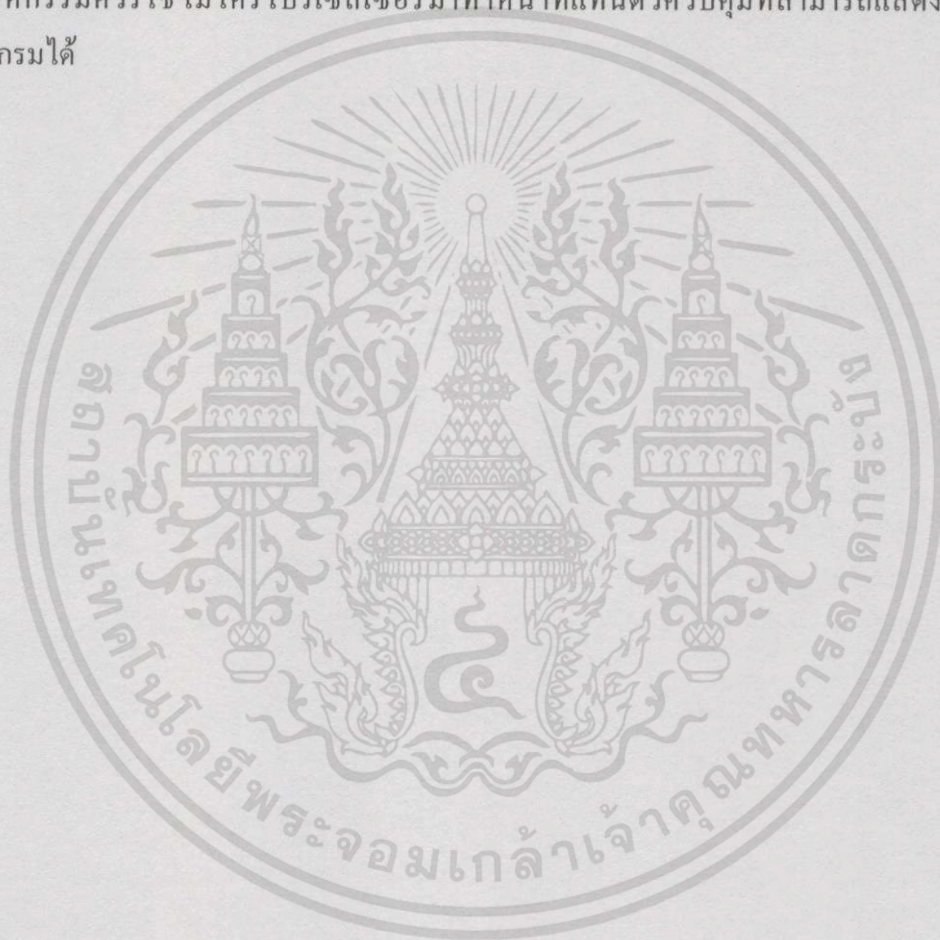
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองพบว่า ตัวควบคุมที่ออกแบบและสร้างขึ้นจากกระบวนการที่ระบุ สามารถควบคุมอัตราการไหลได้ดี เมื่อให้อินพุตเป็นแบบขั้นบันไดไปที่ 40 50 และ 60 เปอร์เซ็นต์ของอัตราการไหลสูงสุด นอกจากนี้ ยังสามารถกำจัดผลกระทบจากการรบกวนไหลได้ ถ้าผลกระทบจากการรบกวนไหลไม่ทำให้ระบบสวิตช์ไปทำงานในโหมดการควบคุมแบบ P เมื่อเปรียบเทียบสมรรถนะของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P กับตัวควบคุมแบบ P พบว่าผลตอบสนองของระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P มีค่าพุ่งเกินน้อยกว่าการควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P มาก แต่มีค่าเวลาไต่ขึ้นมากกว่า และเมื่อเปรียบเทียบสมรรถนะของระบบควบคุมอัตราการไหลที่สภาวะคงตัว ระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P จะมีค่าเวลาในการเข้าสู่สภาวะคงตัวน้อยกว่าระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P และระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P สามารถกำจัดค่าออฟเซตได้ ในขณะที่ระบบควบคุมอัตราการไหลด้วยตัวควบคุมแบบ P มีค่าออฟเซตเกิดขึ้น ในกรณีที่ความคลาดเคลื่อนของอัตราการไหลที่เกิดจากการรบกวนไหลมีขนาดมากกว่าค่าของความแตกต่างที่ได้กำหนดไว้ ระบบควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P จะเกิดค่าออฟเซตขึ้น เนื่องจากระบบควบคุมอัตราการไหลได้มีการสวิตช์เปลี่ยนไปทำงานในโหมดของการควบคุมแบบ P โดยที่ไม่สามารถสวิตช์กลับมาทำงานในโหมดของเฟสล็อกคู่ได้อีกครั้ง

ปัญหาที่พบในงานวิจัยนี้ จะอยู่ที่ค่าเอาต์พุตของตัวควบคุมทั้งสองมีค่าไม่เท่ากัน เนื่องจากตัวควบคุมแต่ละตัวทำงานอิสระจากกัน ดังนั้นเมื่อมีการสวิตช์เปลี่ยนโหมดการทำงานแล้วควบคุมอาจจะได้รับอินพุตเป็นแบบขั้นบันไดถ้าค่าเอาต์พุตของตัวควบคุมทั้งสองมีค่าแตกต่างกันมาก ซึ่งทำให้ผลตอบสนองของระบบควบคุมอัตราการไหลใช้เวลามากขึ้นในการเข้าสู่สภาวะคงตัว ดังนั้นเฟสล็อกคู่จึงจำเป็นต้องมีค่าที่สภาวะเริ่มต้นอยู่ก่อน และปัญหาค่าเอาต์พุตของอัตราการไหลที่สภาวะคงตัวมีการกระเพื่อมนั้น เกิดมาจากการทำงานของปั๊ม การเปลี่ยนแปลงที่ไม่มีรูปแบบของอัตราการไหลที่ว้าวควบคุม และแผ่นอริฟิซของกระบวนการอัตราการไหล

ข้อเสนอแนะสำหรับการพัฒนา การออกแบบตัวควบคุมอัตราการไหลด้วยวิธีเฟสล็อกคู่พร้อมกับตัวควบคุมแบบ P ควรออกแบบให้เอาต์พุตของตัวควบคุมแบบ P และเฟสล็อกคู่มีค่าเท่ากันก่อนที่จะมีการสวิตช์เปลี่ยนโหมดการทำงาน เมื่อระบบมีการสวิตช์เปลี่ยนโหมดจะไม่มีผลกระทบต่อผลตอบสนองของระบบควบคุมอัตราการไหล ในการทำให้เอาต์พุตของตัวควบคุมแบบ P มีค่าเท่ากับเอาต์พุตของเฟสล็อกคู่เมื่อมีการสวิตช์เปลี่ยนโหมด สามารถทำได้โดยการนำเอาค่า

เอาท์พุทของเฟสล็อกลูปมาไบแอส (bias) ที่เอาท์พุทของตัวควบคุมแบบ P แต่เนื่องจากตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ซึ่งใช้เป็นตัวควบคุมแบบ P ไม่มีฟังก์ชันการไบแอสค่าที่เอาท์พุทจึงไม่สามารถทำได้ ในการออกแบบวงจรกำเนิดสัญญาณพิกาคอร์ออกแบบให้ความถี่เอาท์พุทเปลี่ยนแปลงค่าตามค่าแรงดันไฟฟ้าอ้างอิง (V_{sp}) และการเปลี่ยนอัตราการใช้เป็นความถี่อาจจะใช้อุปกรณ์วัดอัตราการไหลที่เอาท์พุทเป็นความถี่ ซึ่งจะทำได้โดยไม่ต้องใช้วงจรเปลี่ยนแรงดันไฟฟ้าเป็นความถี่ ถ้าต้องการนำระบบควบคุมอัตราการไหลที่นำเสนอไปใช้ในอุตสาหกรรมควรใช้ไมโครโปรเซสเซอร์มาทำหน้าที่แทนตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้



เอกสารอ้างอิง

- [1] D.W. Pessen. "A New Look at PID Controller Tuning." *Trans. of the ASME Journal of Dynamic System, Measurement, and Control*, Vol. 116, Sept. 1996. pp. 553-557.
- [2] Katsuhiko Ogata. *Modern Control Engineering*. 2nd Ed. New Jersey : Prentice-Hall, Inc. 1990.
- [3] G. C. Hsieh., J. C. Hung. "Phase-Locked Loop Techniques—A Survey." *IEEE Trans. Ind. Electron.*, Vol. 43, No. 6, Dec. 1996. pp. 609-615.
- [4] P.C. Sen., M. L. MacDonald. "Stability Analysis of Induction Motor Drives Using Phase-Locked Loop Control System." *IEEE Trans. Ind. Electron. Contr. Instrum.*, Vol. IECI-27, Aug. 1980. pp. 147-155.
- [5] M. Mittal., N. U. Ahmed. "Time Domain Modeling and Digital Simulation of Variable-Frequency AC Motor Speed Control Using PLL Technique." *IEEE Trans. Ind. Applicat.*, Vol. IA-19, Mar./Apr. 1983.
- [6] J. M. Jacob. *Industrial Control Electronics : Application and Design*. Prentice-Hall Inc. 1989.
- [7] Douglas M. Considine, P.E. *Process/Industrial Instruments and Control Handbook*. 4th Ed. McGraw-Hill. Inc. 1993.
- [8] Bela G. Liplak. *Instrument Engineer's Handbook : Process Measurement and Analysis*. 3rd Ed. Butterworth-Heinemann ltd. 1995.
- [9] M. F. Lai., M. Nakaon., and G. C. Hsieh. "Application of Fuzzy Logic in the Phase-Locked Loop Speed Control of Induction Motor Drive." *IEEE Trans. Ind. Electron.*, Vol. 43 No. 6, Dec. 1996. pp. 630-639.
- [10] O. I. Mohamed., S. Shoji., and K. Watanabe. "A Digitally Programmable Temperature Controller Based on a Phase-locked Loop." *IEEE Trans. Instrum. Meas.*, Vol. 37, No. 4, Dec. 1988. pp. 582-585.
- [11] R. E. Best. *Phase-Lock Looped*. 3rd Ed. McGraw-Hill. Inc. 1997.
- [12] S. Wanchana., T. Benjanarasuth., N. Komine., and J. Ngamwiwit. "PLL Incorporating P Controller for Flow Control Systems." *การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 22*

มหาวิทยาลัยเกษตรศาสตร์, ธันวาคม พ.ศ. 2542. หน้า 179-182

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [13] Instruction Manual Models SLPC-151, -181, -251, -281 (Style E) Programmable Indicating Controller. *Yogogawa Electric Corporation*. 2nd Edition. Apr. 1991.
- [14] A. W. Moore. "Phase-Locked Loops for Motor-Speed Control." *IEEE Spectrum*, Apr. 1973. pp. 61-67.
- [15] Motorola. *Motorola Military ALS/FAST/LS/LA*. [Data Book]. Motorola Inc. 1989
- [16] Douglas V. Hall. *Microprocessors and Digital Systems*. 2nd Ed. Singapore : McGraw-Hill Book Co. 1983.
- [17] Instruction Manual Model UNE 11 Differential Pressure Transmitter. *Yogogawa Electric Corporation*. 5th Edition. Nov. 1986.
- [18] J. G. Zeigler and N. B. Nichols. "Optimal Settings for Automatic Controller." *ASME Trans.*, Vol. 64. 1942. pp. 759-768.
- [19] S. Wanchana., T. Benjanarasuth., N. Komine., and J. Ngamwiwit. "PLL in cooperated with PI Controller for Flow Control Systems." *Proceeing of 1999 IEEE International Conference on System, Man, and Cybernetics (SMC'99)*." Oct 1999. pp. V-27-V-32

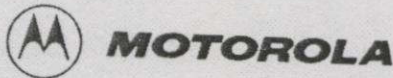
ภาคผนวก ก.

โปรแกรมที่ใช้ในการทดลอง ของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E)

1 LD k01 ; k01 = 0.000
 2 LD A12 ; setpoint
 3 CMP ; S1 = 1 if A12 ≤ k03
 4 GIF 17 ; Jump if S1=1
 5 LD X1 ; process variable (PV)
 6 LD A12 ; setpoint value (SV)
 7 - ; SV - PV
 8 ABS ; error (e)
 9 LD k02 ; k02 = 0.100 (preset value :ε)
 10 CMP ; S1=1 if error ≤ 10% of maximum flow rate
 11 GIF 20 ; Jump to P controller if S1=1
 12 LD X1 ; PLL control mode
 13 ST Y2 ; to input V/F converter
 14 LD X2 ; output PLL
 15 ST Y1 ; manipulate value (MV)
 16 GO 27
 17 LD k03 ; set initial value of PLL
 18 ST Y2 ; to input V/F converter
 19 GO 22
 20 LD X1 ; process variable (PV)
 21 ST Y2 ; to input V/F converter
 22 LD X1 ; process variable (PV)
 23 BSC ; PID function
 24 ST Y1 ; manipulate value (MV)
 25 LD A12 ; setpoint value (MV)
 26 ST Y3 ; to recorder
 27 END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.



Military 4344

Phase-Frequency Detector

ELECTRICALLY TESTED PER:
5962-8780301



This device contains two digital phase detectors and a change pump circuit which converts MTTL inputs to a dc voltage level for use in frequency discrimination and phase-locked-loop applications.

The two phase detectors have a common input. Phase-frequency detector 1 is locked in (indicated by both inputs high) when the negative transitions of the variable input (VI) and reference input (RI) are equal in frequency and phase. If the variable input is lower in frequency or lags in phase, the U1 (up) output goes low; conversely the D1 (down) output goes low when the variable input is higher in frequency or leads the reference input in phase. It is important to note that the duty cycles of the variable input and the reference input are not important since negative transitions control system operation.

Phase detector 2, on the other hand, is locked in when the variable input phase lags the reference phase by 90° (indicated by the U2 and D2 outputs alternately going low with equal pulse widths). If the variable input phase lags by more than 90°, U2 will remain low longer the D2, and, conversely, if the variable input phase lags the reference phase by less than 90°, D2 remains low longer. In this phase detector the variable input and the reference must have 50% duty cycles.

The change pump accepts the phase detector outputs (U1 or U2 applied to PU, and D1 or D2 applied to PD) and converts to the fixed amplitude positive and negative pulses at the UF and DF outputs respectively. These pulses are applied to a lag-lead active filter, which incorporates external components, as well as amplifier provided in the 4344 circuit. The filter provides a dc voltage proportional to the phase error.

AVAILABLE AS:

- 1) SMD: 5962-8780301
- 2) 883C: 4344/BXAJC

X = CASE OUTLINE AS FOLLOWS:
PACKAGE: CERDIP: C
CERFLAT: D
LCC:

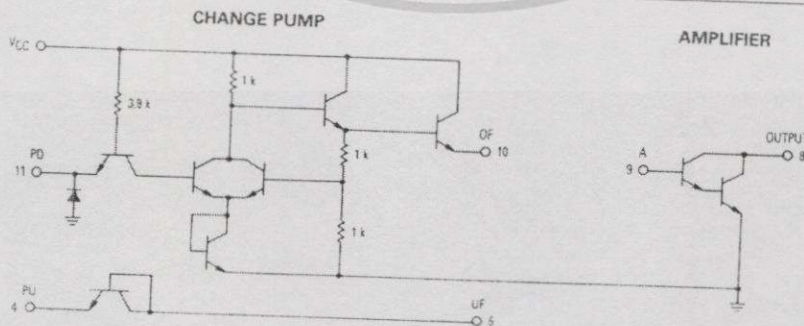
*Call Factory for latest update

PIN ASSIGNMENTS

FUNCTION	DIL	FLATS	BURN-IN (CONDITION A)
R	1	1	VCC
D1	2	2	VCC
V	3	3	VCC
PU	4	4	VCC
UF	5	5	GND
D2	6	6	GND
GND	7	7	GND
OUTPUT	8	8	VCC
A	9	9	GND
DF	10	10	VCC
PD	11	11	GND
U2	12	12	VCC
U1	13	13	VCC
VCC	14	14	VCC

BURN-IN CONDITIONS:
VCC = 5.0 V MIN/6.0 V MAX

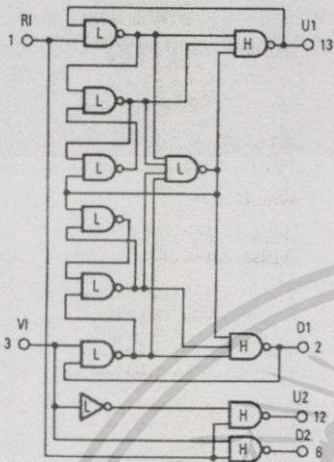
Input Loading Factor, RI, VI = 3
Output Loading Factor (pin 8) = 30
Total Power Dissipation = 85 mW typ/pkg
Propagation Delay Time = 90 ns typ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

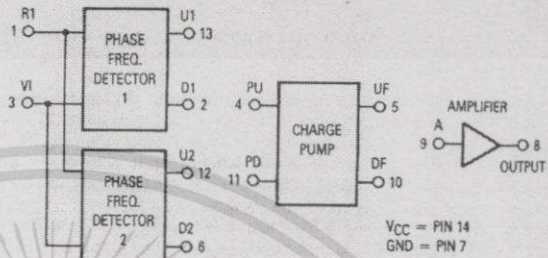
MPG4344

LOGIC DIAGRAM

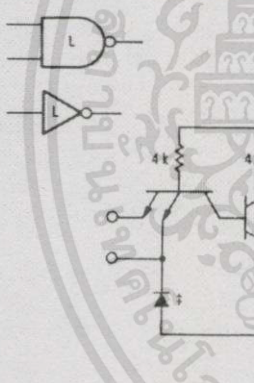


PHASE DETECTOR

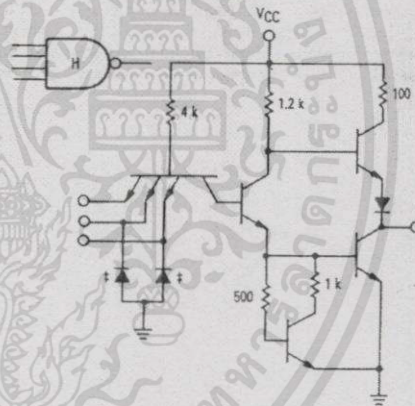
The phase detector portion of this device is constructed using low and high-level gates interconnected as shown by the logic diagram.



LOW-LEVEL "NAND" GATE



HIGH-LEVEL "NAND" GATE



*Diode used only when input is connected to external point.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MPG4344

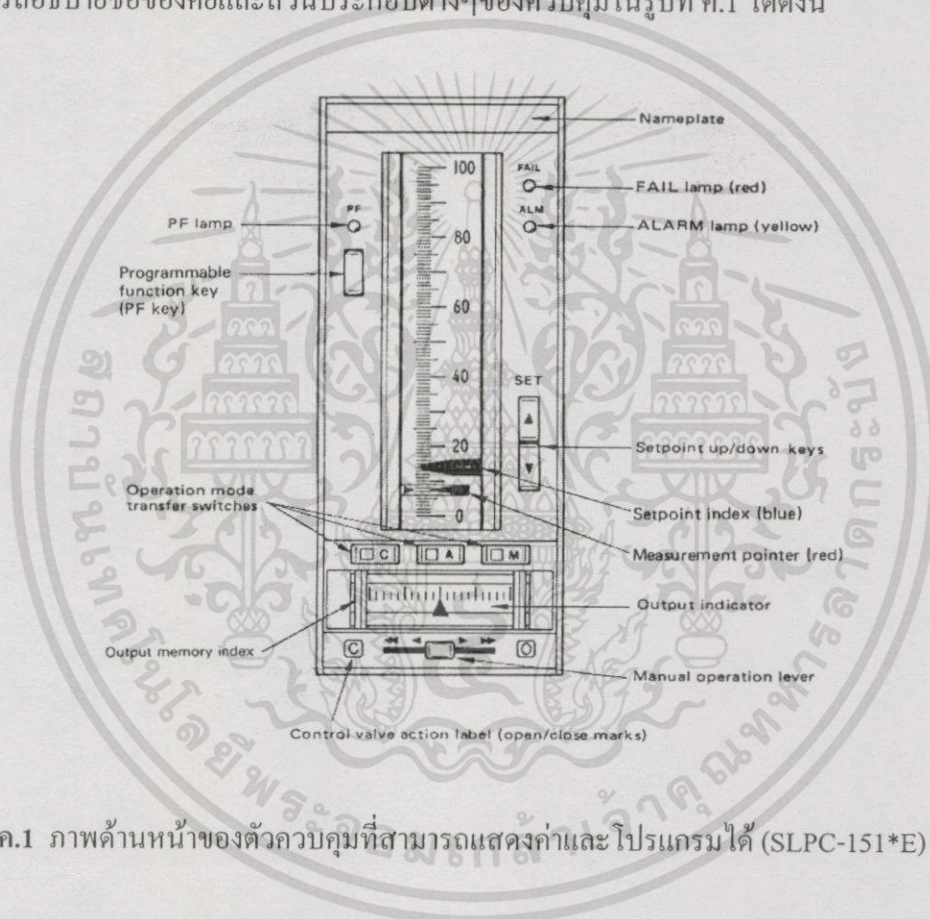
Symbol	Parameter	Limits						Units	Test Condition (Unless Otherwise Specified)
		+25°C		+125°C		-55°C			
		Subgroup 1		Subgroup 2		Subgroup 3			
		Min	Max	Min	Max	Min	Max		
V _{OH}	Logical "1" Output Voltage	2.4		2.4		2.4		V	V _{CC} = 4.5 V, I _{OH} = -1.6 mA, V _{IL} = 1.1 V or (0.8 V @ +125°C).
V _{OL}	Logical "0" Output Voltage		0.4		0.4		0.4	V	V _{CC} = 4.5 V, I _{OL} = 20 mA, V _{IH} = 1.8 V or (2.0 V @ +125°C).
I _H	Logical "1" Input Current		120		120		120	μA	V _{CC} = 5.5 V, V _{IH} = 2.4 V.
I _{HH}	Logical "1" Input Current		40		40		40	μA	V _{CC} = 5.5 V, V _{IH} = 2.4 V.
I _{H3}	Logical "1" Input Current		5.0		5.0		5.0	μA	V _{CC} = 5.0 V, V _{IHH} = 5.5 V.
I _L	Logical "0" Input Current		-4.8		-4.8		-4.8	mA	V _{CC} = 5.5 V, V _{IL} = 0.4 V.
I _{IL}	Logical "0" Input Voltage		-1.6		-1.6		-1.6	mA	V _{CC} = 5.5 V, V _{IL} = 0.4 V.
V _{IC}	Input Clamping Diode		-1.5					V	V _{CC} = 4.5 V, I _{OL} = -18 mA, other inputs are open.
V _F	Logic "1" Output Voltage	0.5	1.6	0.4	1.6			V	V _{CC} = 4.5 V, I _{IN} = -1.0 mA.
V _{EH}	Logical "0" Input Voltage		1.5		1.5		1.5	V	V _{CC} = 4.5 V, I _{OH} = -1.0 mA, V _{IL} = 1.1 V or (0.8 V @ +125°C).
I _{PD}	Input Current		40		40		40	mA	V _{CC} = 5.0 V, other inputs are open.
I _{OS}	Short Circuit Output Current	-20	-65	-20	-65	-20	-65	mA	V _{CC} = 5.0 V, V _{IN} = GND.
I _O	Logical "1" Input Voltage	0.8		1.0		0.2		mA	V _{CC} = 5.5 V, I _A = 2.0 μA, other inputs are open.
I _{IOLK1}	Input Current		250		250		250	μA	V _{CC} = 5.0 V, V _{IN} = 5.0 V, other inputs are open.
I _{IOLK2}	Input Current		120		120		120	μA	V _{CC} = 5.5 V, V _{IN} = GND.
I _{IOLK3}	Input Current		5.0		5.0		5.0	μA	V _{CC} = 5.5 V, V _{IH} = 2.4 V.
I _{IHH}	Input Current		1.0					mA	V _{CC} = 5.5 V, V _{IN} = 5.5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

ตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E)

รูปที่ ก.1 แสดงภาพด้านหน้าของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ซึ่งใช้ตัวแสดงผลแบบขดลวดเคลื่อนที่ในการแสดงค่าตัวแปร โพรเซสและค่าเป้าหมาย สามารถอธิบายชื่อของคีย์และส่วนประกอบต่างๆของควบคุมในรูปที่ ก.1 ได้ดังนี้



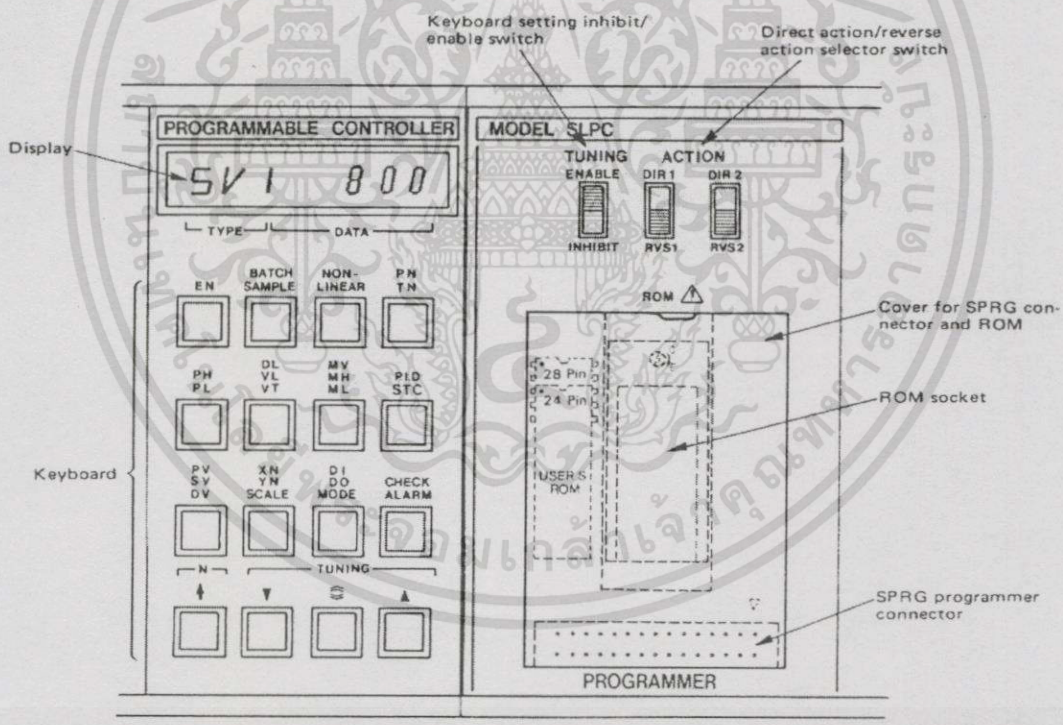
รูปที่ ก.1 ภาพด้านหน้าของตัวควบคุมที่สามารถแสดงค่าและ โปรแกรมได้ (SLPC-151*E)

- FAIL lamp จะสว่างเมื่อตัวควบคุมทำงานผิดพลาด
- ALM lamp จะสว่างเมื่อเกิดสัญญาณเตือนตามเงื่อนไขที่กำหนดไว้ และจะกระพริบเมื่อแบตเตอรี่ป้องกันข้อมูลสูญหายหมด
- Programmable function key (PF key) สามารถอ่านสถานะการกดคีย์ได้จาก user program
- PF lamp สามารถให้สว่างหรือดับได้จาก user program
- Measurement pointer ใช้แสดงค่าของตัวแปรกระบวนการ
- Setpoint index ใช้แสดงค่าของค่าเป้าหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Setpoint up/down keys ใช้สำหรับปรับค่าเป้าหมาย สามารถทำงานได้ทั้งโหมด M (manual) A(auto) กดคีย์ ▲ เพื่อเพิ่มค่าเป้าหมาย และกดคีย์ ▼ เพื่อลดค่าเป้าหมาย
- C/A/M mode transfer switches สามารถเลือกโหมดการทำงานที่ต้องการ โดยการกดคีย์ โหมดที่ต้องการ และหลอดไฟที่ติดอยู่กับคีย์จะสว่าง
- Output indicator ใช้แสดงค่าของสัญญาณเอาต์พุตที่เป็นกระแส 4-20 มิลลิแอมป์
- Manual operation level ใช้สำหรับปรับค่าสัญญาณเอาต์พุตของตัวควบคุมในโหมด M โดยโยกไปทางซ้ายจะเป็นการลดค่าสัญญาณเอาต์พุต ขณะที่โยกไปทางขวาจะเป็นการเพิ่มค่าสัญญาณเอาต์พุต

รูปที่ ค.2 แสดงคีย์ต่างๆที่ใช้ในการแสดงและปรับค่าพารามิเตอร์ของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E)



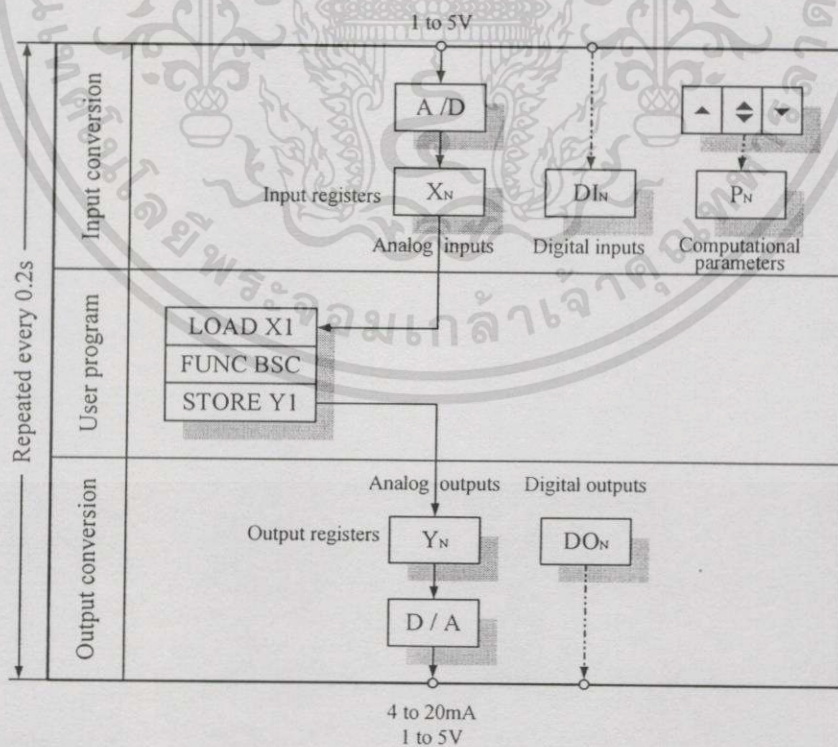
รูปที่ ค.2 คีย์ต่างๆของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E)

- Display แสดงรหัสชนิดข้อมูลและค่าของข้อมูลที่ป้อนมาจากคีย์บอร์ด
- Keyboard ใช้สำหรับป้อนค่าพารามิเตอร์ แสดงและเปลี่ยนค่าข้อมูล และอื่นๆ ความหมาย และหน้าที่ของคีย์ต่าง ๆ แสดงในตารางที่ ค.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- TUNING switch สามารถปรับค่าพารามิเตอร์ต่างๆได้ เมื่อสวิตช์อยู่ที่ตำแหน่ง ENABLE และไม่สามารถปรับค่าได้เมื่อสวิตช์อยู่ที่ตำแหน่ง INHIBIT
- ACTION switches ใช้สำหรับเลือก action ของตัวควบคุม ในตำแหน่ง DIR หรือ RVS
DIR(direct action) ค่าเบี่ยงเบน = ค่าตัวแปรกระบวนการ - ค่าเป้าหมาย
RVS(reverse action) ค่าเบี่ยงเบน = ค่าเป้าหมาย - ค่าตัวแปรกระบวนการ
- ROM socket ใช้สำหรับใส่ ROM ที่บรรจุโปรแกรมให้ตัวควบคุมทำงาน
- CONNECTOR (PROGRAMMER) ใช้สำหรับต่อสายเข้ากับ SPRG โปรแกรมเมอร์

การทำงานของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ทำหน้าที่เป็นตัวควบคุมแบบ PID ดังแสดงในรูปที่ ๓.3 คำสั่งแรกของ user program ทำหน้าที่อ่านค่าสัญญาณอินพุต จากรีจิสเตอร์ X_N ที่เก็บค่าที่แปลงมาจาก A/D เข้าไปเก็บไว้ในรีจิสเตอร์ที่ใช้ในการคำนวณ ด้วยคำสั่ง LD และนำผลลัพธ์ของการคำนวณไปเก็บไว้ในรีจิสเตอร์ Y_N ด้วยคำสั่ง ST คำสั่ง BSC ทำการคำนวณความสัมพันธ์ทางคณิตศาสตร์ของสมการตัวควบคุมแบบ PID สุดท้าย D/A จะนำค่าในรีจิสเตอร์ Y_N เปลี่ยนเป็นสัญญาณอนาล็อกเพื่อส่งออกไปเป็นค่าสัญญาณเอาต์พุตของตัวควบคุม การทำงานนี้จะกระทำซ้ำกันทุกๆ 0.2 วินาที



รูปที่ ๓.3 การทำงานเป็นตัวควบคุมแบบ PID ของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้

(SLPC-151*E)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ค.1 ชื่อและหน้าที่ต่างๆของแผงคีย์ที่ใช้ปรับค่าพารามิเตอร์

Keyboard Display	Type (TYPE)	Number (N)	Name – Description	Display/Setting Range	Unit	Setting	Default Value
EN	EN	1 to 15	E register	-800.0 to 800.0	%	×	-
	CI	1 to 15	CI register	0/1	-	×	-
	DN	1 to 15	D register	-800.0 to 800.0	%	×	-
	CO	1 to 15	CO register	0/1	-	×	-
BATCH	BD BB BL	1	Control parameters for PID with batch switch				
		1	Deviation setpoint	0 to 100.0	%	○	0.0
		1	Bias value	0 to 100.0	%	○	0.0
SAMPLE	ST SW	1	Lockup width	0 to 100.0	%	○	0.0
		1,2	Sample-and-hold PI control parameters				
		1,2	Sample times (periods)	0 to 9999	sec	○	0
		1,2	Control times	0 to 9999	sec	○	0
NON-LINEAR	GW GG F G H I L M	1,2	Non-linear control or 10-segment function parameters				
		1,2	Non-linear control: dead band width	0.0 to 100.0	%	○	0.0
		1 to 11	Non-linear control: gain	0.000 to 1.000	-	○	100.0%
		1 to 11	10-segment line segment function output setpoints	0.0 to 100.0	%	○	
		1 to 11	Arbitrarily (input deflection points) -segmented (output setpoint)				
		1 to 11	line-segment (input deflection points) function (output setpoint)	-25.0 to 125.0	%	○	Linear setting of 0.0 to 100.0%
		1 to 11					
PN	PN	1 to 8	Computational parameters	Engineering unit display	-	○	0.0
		9 to 16	Computational parameters	-800.0 to 800.0	%	○	0.0
TN	TN PXN PYN PZN	20 to 29	Program setting (time)	0 to 9999	sec	○	0
		30 to 39	Program setting (output value)	-25.0 to 125.0	%	○	0.0
		1 to 16	Temporary storage registers	-800.0 to 800.0	-	×	0.000
		1,2	Adjustable set-point filter parameter α	0.0 to 1.000	-	○	0.000
		1,2	Adjustable set-point filter parameter β	0.0 to 1.000	-	○	0.000
		1,2	Not used	-	-	-	-
PH	PH	1,2	Process variable: high limit alarm setpoint	Engineering units using SCALE	-	○	106.3%
PL	PL	1,2	Process variable: low limit alarm setpoint	Engineering units using SCALE	-	○	-6.3%
DL	DL	1,2	Deviation alarm setpoint	Engineering units using SCALE	-	○	100.0
VL	VL	1,2	Velocity alarm: MV% change in time VT	Engineering units using SCALE	-	○	100.0
VT	VT	1,2	Velocity alarm: Time duration	1 to 9999	sec	○	1
MV	MV	1	Manipulated variable	-6.3 to 106.3	%	○	-
MH	MH	1,2	Manipulated variable: High limit setpoint	-6.3 to 106.3	%	○	106.3%
ML	ML	1,2	Manipulated variable: High limit setpoint	-6.3 to 106.3	%	○	-6.3%
P.I.D	STC	-	STC mode designation	-	-	○	0
	PB	1,2	Proportional band	6.3 to 9999	%	○	999.9
STC	TI	1,2	Integral time	1 to 9999	sec	○	1000
	TD	1,2	Derivative time	0 to 9999	sec	○	0
	IP to GM		STC parameters	-	-	○	
PV	PV	1,2	Control: process variable input value	Engineering units using SCALE	-	×	
SV	SV	1,2	Control: setpoint	Engineering units using SCALE	-	○	
DV	DV	1,2	Control: deviation value	Engineering units using SCALE	-	×	

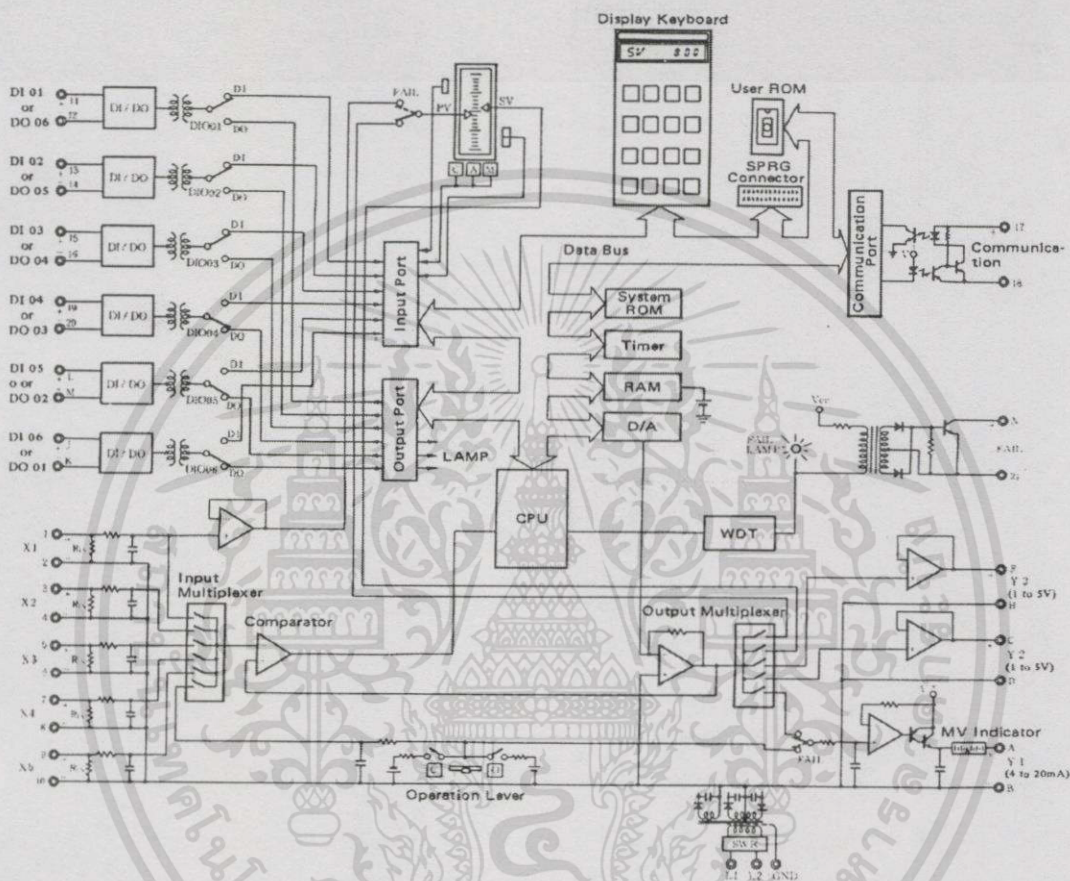
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ก.1 (ต่อ) ชื่อและหน้าที่ต่างๆของแผงคีย์ที่ใช้ปรับค่าพารามิเตอร์

Keyboard Display	Type (TYPE)	Number (N)	Name – Description	Display/Setting Range	Unit	Setting	Default Value
XN	XN	1 to 6	Analog input register	Engineering unit display	-	×	
YN	YN	1 to 6	Analog current output register Y1	Engineering unit display	%	×	
			Analog voltage output register Y2,3	Engineering unit display	%	×	
			Auxiliary output registers Y4,5,6	Engineering unit display	%	×	
SCALE	HI	1,2	Control module PV/SV engineering units display 100% value	-9999 to 9999	-	○	1000
	LO	1,2	Control module PV/SV engineering units display 0% value	-9999 to 9999	-	○	0
	DP	1,2	Control module PV/SV engineering units display decimal point position	1 to 4	-	○	3
DI	DI	1 to 6	Status input	0/1	-	×	
DO	DO	1 to 16	Status output and internal status	0/1	-	×	
MODE	MODE	1 to 5	Operation mode	-	-	-	-
CHECH	CHECH		Self-diagnosis: code display cause of fault				
ALARM	ALARM		Process alarm: : code display cause of alarm				
	STALM		STC alarm: code display cause of alarm				
N			Item numbers change (The type number (N) is change)				
▲			Data increase setting				
◆			Increasing the setting speed (for □ are pressed simultaneously with ◆)				
▼			Data decrease setting				

วงจรถวลีไอโอะแกรมของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) แสดงรูปดังที่ ก.4 ตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) มีอินพุตที่รับสัญญาณอนาล็อก 5 อินพุต และมีเอาต์พุตที่ส่งสัญญาณเป็นสัญญาณอนาล็อก 3 เอาต์พุต โดยเอาต์พุตที่ 1 (Y1) เป็นสัญญาณกระแสไฟฟ้า 4-20 มิลลิแอมป์ อินพุตหรือเอาต์พุตที่เป็นสัญญาณดิจิทัลมี 6 อินพุตหรือเอาต์พุต สัญญาณอนาล็อกอินพุตที่ผ่านมาจากอินพุตมัลติเพล็กซ์ถูกเปลี่ยนให้เป็นข้อมูลดิจิทัลด้วยตัวเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล ซึ่งประกอบด้วยไอซีคอนพาราทอร์ และตัวเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก สัญญาณอินพุตที่ถูกเปลี่ยนเป็นข้อมูลดิจิทัลถูกนำไปเก็บไว้ในหน่วยความจำแบบแรม ข้อมูลที่มาจากสวิทช์ที่อยู่ทางด้านหน้าหรือที่แผงคีย์ที่ด้านข้างของตัวควบคุมที่สามารถแสดงค่าและโปรแกรมได้ (SLPC-151*E) ถูกนำไปเก็บไว้ในหน่วยความจำแบบแรม ผ่านมาจากอินพุตหรือเอาต์พุตพอร์ต หลังจากตั้งค่าพารามิเตอร์ต่างๆ ทั้งหมดเรียบร้อย ซีพียู (ไมโคร โปรเซสเซอร์ขนาด 8 บิต) จะประมวลผลตามคำสั่งที่ละคำสั่งที่เก็บอยู่ในหน่วยความจำแบบแรม ผลลัพธ์ของการคำนวณถูกเปลี่ยนเป็นสัญญาณอนาล็อก ด้วยตัวเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาล็อกเพื่อส่งเป็นเอาต์พุตของตัวควบคุมผ่านทางเอาต์พุต

มัลติเพล็กซ์และวงจรถยายสัญญาณ เข็มที่ใช้แสดงค่าเป้าหมายและค่าตัวแปร โพรเซส จะเปลี่ยนแปลง การชี้ค่าไปตามสัญญาณอนาล็อกที่รับเข้ามา



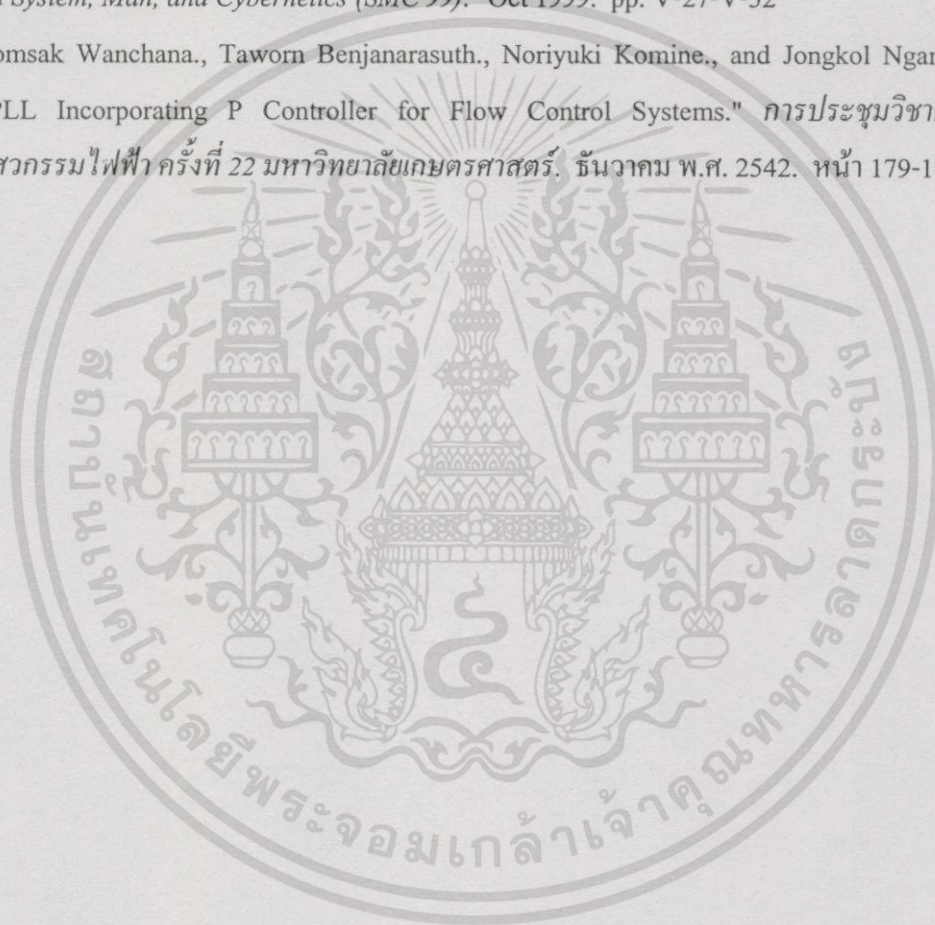
รูปที่ ก.4 วงจรบล็อกไดอะแกรมของตัวควบคุมที่สามารถแสดงค่าและ โปรแกรมได้ (SLPC-151*E)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าการฉีกใดทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

ผลงานวิจัยที่เกี่ยวข้องกับวิทยานิพนธ์และได้รับการตีพิมพ์

1. S. Wanchana., T. Benjanarasuth., N. Komine., and J. Ngamwiwit. "PLL in cooperated with PI Controller for Flow Control Systems." *Proceeing of 1999 IEEE International Conference on System, Man, and Cybernetics (SMC'99).*" Oct 1999. pp. V-27-V-32
2. Somsak Wanchana., Taworn Benjanarasuth., Noriyuki Komine., and Jongkol Ngamwiwit. "PLL Incorporating P Controller for Flow Control Systems." *การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 22 มหาวิทยาลัยเกษตรศาสตร์. ธันวาคม พ.ศ. 2542. หน้า 179-182*



IEEE SMC'99

1999 IEEE International Conference on
Systems, Man, and Cybernetics

October 12-15, 1999

Tokyo International Forum,

Tokyo, JAPAN

Sponsored by

IEEE Systems, Man, and Cybernetics Society
Science Council of Japan
The Society of Instrument and Control Engineers
The Robotics Society of Japan
The Japan Society of Mechanical Engineers



Conference Theme:
Human Communication and Cybernetics

IEEE - Catalog Number 99CH37028C
ISBN: 0-7803-5734-5

©1999 IEEE

IEEE SMC '99

1999 IEEE International Conference on
Systems, Man, and Cybernetics

October 12-15, 1999 Tokyo International Forum, Tokyo, JAPAN

ISBN: 0-7803-5734-5

IEEE Catalog Number 99CH37028C



SICE

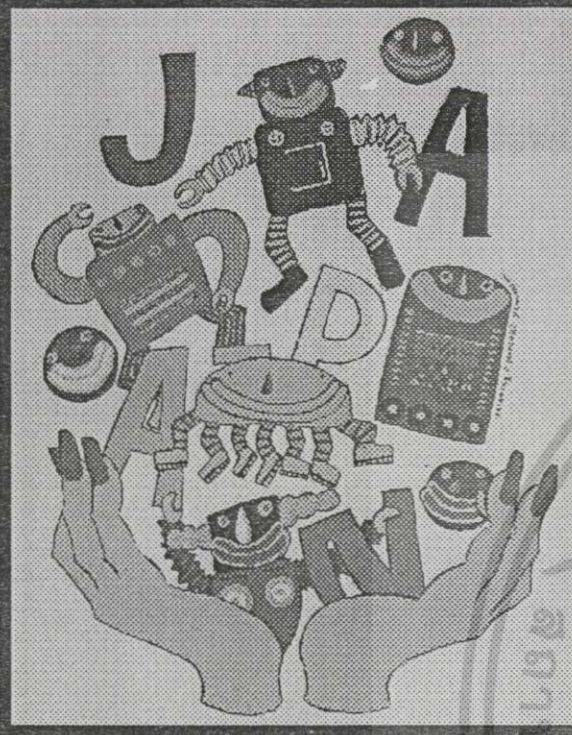


Minimum System Requirements Recommended

Macintosh®: Power Macintosh, 4.5MB of application RAM, double-speed CD-ROM drive.
Windows®: 486 processor, 10MB of RAM, double-speed CD-ROM drive.

This CD-ROM has been created by scanning each author's paper originals. Viewing of the text and graphics and the ease of readability will depend largely on the quality and/or consistency of the authors' original.

This CD-ROM requires the Adobe® Acrobat® Reader 4.0 software which is included on this CD-ROM.



1999 IEEE International Conference on

Systems, Man, and Cybernetics

October 12-15, 1999

Tokyo International Forum, Tokyo, JAPAN

Sponsored by

IEEE Systems, Man, and Cybernetics Society

Science Council of Japan

The Society of Instrument and Control Engineers

The Robotics Society of Japan

The Japan Society of Mechanical Engineers

Conference Theme:

Human Communication and Cybernetics

Getting Started

Messages from Chairs

Special Lecture

Sessions

Committees

Plenary Lectures

Authors

IEEE Copyright

Sponsors & Supports

IEEE - Catalog Number 99CH37028C ISBN 0-7803-5734-5

©1999 IEEE

PLL in Cooperated with PI Controller for Flow Control System

S. Wanchana*, T. Benjanarasuth*, N. Komine** & J. Ngamwiwit*

*Faculty of Engineering and Research Center for Communications and Information Technology,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

E-mail Address: knjongko@kmitl.ac.th

**School of Engineering, Tokai University,

1117 Kitakaname, Hiratsuka-Shi, Kanagawa-Ken 259-1292, Japan

E-mail Address: komine@keyaki.cc.u-tokai.ac.jp

ABSTRACT

This paper presents the flow control system using the phase-locked loop technique in cooperated with PI controller. The PI controller is utilized to pull the flow rate of the system into the phase-locked loop locking range and the steady state flow rate will be controlled later by the phase-locked loop. An experimental system is implemented to evaluate the performance of the flow control system using the proposed control method. The experimental results in controlling the system in the laboratory show that the overshoot is approximately 10% for the 50% step input of the maximum flow rate and the steady-state error is smaller than $\pm 2\%$. The experimental results also indicate that the effect of load disturbance is rapidly rejected.

1. INTRODUCTION

In the industry, most of plants or processes are type 0 with three to five first-order lags or one first-order lag plus dead time and the process variables of most systems to be controlled to meet the desired performance are flow, level, temperature, pressure, speed etc.[1]. One of the popular conventional controllers with well-tuned parameters to match the plant characteristics is proportional-integral controller (PI controller) while proportional-integral-derivative controller (PID controller) is comparatively less used [2]. On the other hand, the phase-locked loop (PLL) technique has been extensively applied in the fields of telecommunication, instrumentation, control system, and multimedia apparatus. It is also known that the PLL technique gives the result of controlling the system accurately because it uses the reference frequency from the crystal-based clock generator. It has been reported that the closed-loop speed control of ac induction motor drives controlled by PLL technique gives the steady-state speed regulation on the order of 0.002% ~ 0.008%[3],[4]. The PLL speed control of induction motor drives incorporating a fuzzy logic controller that improves the performance of induction motor speed drives has also been reported [5]. The PLL technique, moreover, can also be applied together with PID controller to control the temperature of the water bath by converting the temperature to frequency and the overshoot and undershoot of the temperature response are

greatly reduced, and the error in the steady-state is within 0.1°C [6].

This paper presents the application of utilizing the PLL technique to control the flow rate of the flow control system. Hence it is required to convert the flow rate to be frequency. The flow rate is first converted to be differential pressure by an orifice plate. This differential pressure is then converted to be voltage by the differential pressure transmitter (D/P cell) [7] and the converted voltage is then converted to be frequency by the voltage to frequency converter (V/F) [8]. Since the PLL synchronization will lose when there is a sudden change of error and the pull-in process for PLL tends to be slow which will cause the settling time (t_s) of the controlled system too long, the PI controller has been introduced. Hence the PLL in cooperated with PI controller is obtained. The PI controller part is first used to control the transient state in the manner that when the steady state error is less than $\pm 2\%$, the PLL control will be automatically switched to control the steady-state response. The parameters of PI controller, i.e., the proportional gain (K_c) or proportional band (PB) and integral time (T_i) have been tuned from the reaction curve of the open loop flow process by Zeigler-Nichols tuning method [9].

The experimental results in controlling the flow process in the laboratory show that the response of the controlled system has percent overshoot (P_o) approximately 10% for the 50% step input of the maximum flow rate and the steady-state error (e_{ss}) is smaller than $\pm 2\%$. The experimental results also show that when the load disturbance enters to the flow control system, the PLL in cooperated with PI controller can maintain the stability of the system and the effect of the load disturbance can also be fast rejected.

2. SYSTEM OPERATION PRINCIPLES

The block diagram of the flow control system using PLL technique together with PI controller is illustrated in Fig. 1. The current to pressure converter (I/P) is employed to provide a variable pressure to drive the control valve at the desired flow rate. A D/P cell is used to measure the

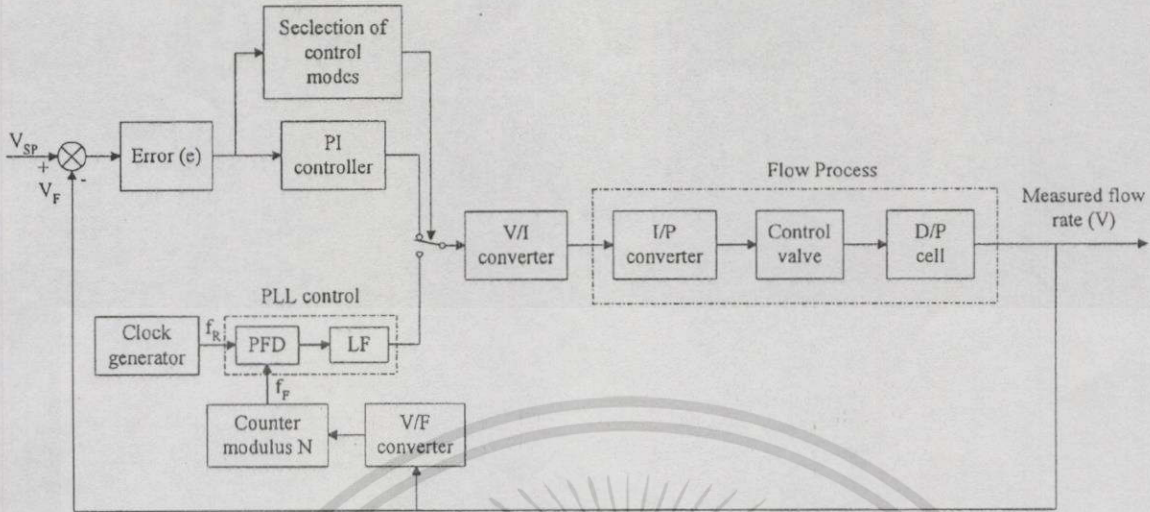


Fig. 1. System block diagram of the flow control system.

differential pressure from the orifice plate mounted on the pipeline of the flow system. This differential pressure is served as a flow feedback. The set point and feedback flow values are represented by voltages V_{SP} and V_F , respectively. The PI controller or PLL controller is employed to control the flow rate through the I/P converter according to the voltage error ($V_{SP} - V_F$), which is measured and computed by the programmable indicating controller (SLPC-151*E) [10].

In Fig. 1, when the voltage error (e) is equal to or larger than the specified preset error (ϵ), i.e., $|V_{SP} - V_F| \geq \epsilon$, the PI controller with well-tuned parameters will be active. When $(V_{SP} - V_F) \geq \epsilon$ is detected, the control valve is commanded by the PI controller to accelerate toward the higher flow rate. While in the case of $(V_F - V_{SP}) \geq \epsilon$, the control valve is then commanded to decelerate. When $|V_{SP} - V_F| < \epsilon$, the flow rate will automatically be controlled by PLL mode.

Fig. 2 shows the system operation flow chart of the flow control system. When the flow rate error is less than the preset value ϵ , the controlled system switches to the PLL operation. The voltage error ($V_{SP} - V_F$) which corresponds to the flow rate error is periodically sampled and computed by the programmable indicating controller during the control valve operation. When the sampled error is equal to or larger than the specified preset value, the controlled system will switch to PI control mode. The flow rate will be then increased or decreased toward the PLL locking range. When the PLL mode is operating, the feedback voltage (flow rate) is converted to frequency (f_F) by the V/F converter and counter modulus N. This frequency must be synchronized with a reference frequency (f_R) generated by the crystal-based clock generator. The PLL operating mode will be described in detailed in the next section.

3. PHASE-LOCKED LOOP OPERATION

The block diagram of the flow control system operating in the PLL mode is illustrated in Fig. 3. It composes of a clock generator, a phase frequency detector (PFD), a loop filter (LF), a programmable indicating controller (SLPC-

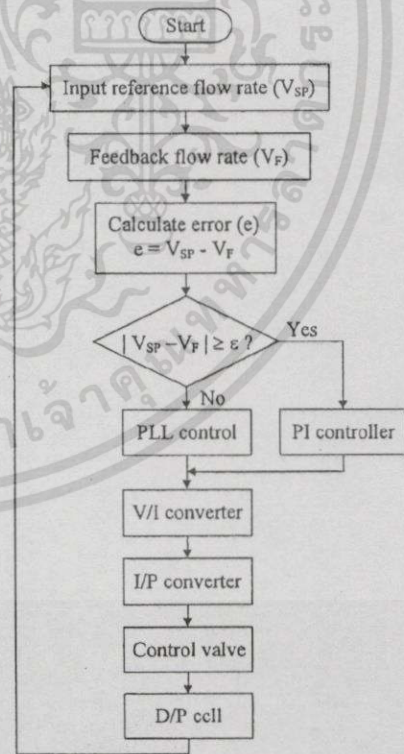


Fig. 2. System operation flow chart.

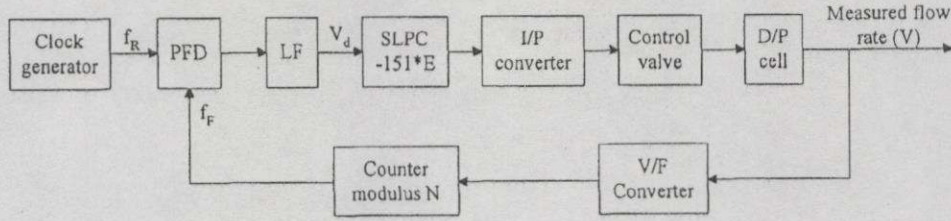


Fig. 3. Block diagram of the phase-locked loop flow control.

151*E), an I/P converter, a control valve, a D/P cell, a V/F converter and a counter modulus N. The combination of an I/P converter, a control valve and a D/P cell is a flow process. The D/P cell converts the flow rate of the flow process to be the voltage in the range of 1-5 V. The output of the D/P cell is fed to V/F converter so the frequency is altered according to the voltage range. The circuit diagram of the V/F converter with a chip IC No. LM331 is shown in Fig. 4 [8]. The combination of a programmable indicating controller, I/P converter, control valve, D/P cell, V/F converter, and counter modulus N are used as a voltage-controlled oscillator (VCO) block in the phase-locked loop [11].

The feedback pulse train at frequency f_F from the counter modulus N is compared by PFD with the reference pulse train of frequency f_R from the crystal-based clock generator. The error signal from the PFD output is passed through the loop filter to obtain analog voltage V_d . The SLPC-151*E receives the analog voltage V_d from the LF and converted it to current (4-20 mA). The current is converted to pressure (0.2-1 kg/cm²) by the I/P converter and fed to the control valve, so that the flow rate will be altered to reduce the frequency error between f_R and f_F . The voltage V_d is varied until the two signals at the PFD inputs are equal in both frequency and phase. When this happens, the loop is locked and the flow rate of the flow control system is perfectly synchronized with the reference frequency.

In order to study the stability of the PLL system in Fig. 3, the feedforward transfer function $G(s)$ and the feedback transfer function $H(s)$ of the Fig. 3 will be derived.

The flow rate of the flow process needs time to travel from the input to the output. The time is known as the dead time L . The open-loop response of the flow process measured at the output of the D/P cell when the step input is applied to the I/P converter can be obtained from the experiment. The model is found to be a first-order plus dead time model. Hence the model of the flow process can be represented by $(K_p e^{-sL}) / (1 + s\tau)$, where L is the dead time, τ is the time constant and K_p is the fixed gain. The model for PFD can be represented by K_d , where K_d is the constant gain of PFD. The active low-pass filter can be represented as $(1 + sK_{T2}) / sK_{T1}$, where K_{T2} is greater than K_{T1} and both are the RC time constants [12]. The programmable indicating controller (SLPC-151*E) can be represented by $K_{AD} (1 - e^{-sT}) / s$, where T is a specified time interval over which the analog voltage V_d from the LF is sampled, K_{AD} is assumed to be represented by the constant gain of the programmable indicating controller. The transfer function of the feedback path $H(s)$ from the output of the D/P cell to the counter modulus N is represented by K_{VF} / N , where K_{VF} is the gain in rad/s/V of the V/F converter and N is the frequency divider.

Then the transfer function of $G(s)$ and $H(s)$ can respectively be obtained as

$$G(s) = K_d K_{AD} K_p \cdot \frac{(1 + sK_{T2}) e^{-sL}}{(sK_{T1})(1 + s\tau)} \cdot \frac{1 - e^{-sT}}{s} \quad (1)$$

and

$$H(s) = \frac{K_{VF}}{N} \quad (2)$$

Hence the open-loop transfer function of the PLL system is

$$G(s)H(s) = \frac{K_d K_{AD} K_p K_{VF}}{N} \cdot \frac{(1 + sK_{T2})(1 - e^{-sT})}{s^2 K_{T1}(1 + s\tau)} \cdot e^{-sL} \quad (3)$$

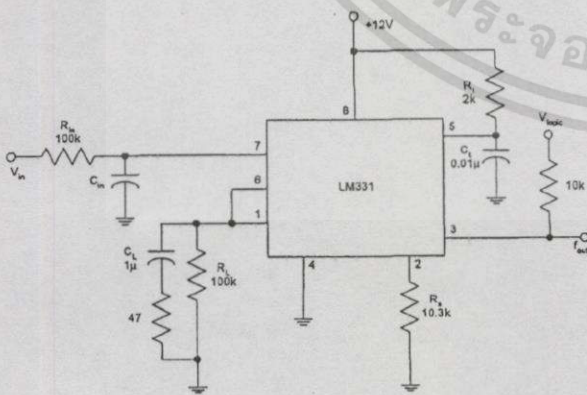


Fig. 4. Circuit diagram of the V/F converter.

Apply Z transform to (1) and (3), then (4) and (5) are respectively obtained as

$$G(z) = K \cdot \frac{(A_1 z + A_0)}{(z-1)(z-c)} \cdot z^{-L/T}, \quad (4)$$

and

$$G(z)H(z) = \frac{KK_{VF}}{N} \cdot \frac{(A_1 z + A_0)}{(z-1)(z-c)} \cdot z^{-L/T}, \quad (5)$$

where

$$K = \frac{K_d K_{AD} K_{T2} K_p}{K_{T1} \tau},$$

$$A_1 = \frac{-a + b + ac - bc + abT}{b^2},$$

$$A_0 = \frac{a - b - ac + bc - abcT}{b^2},$$

and where

$$a = \frac{1}{K_{T2}}, b = \frac{1}{\tau}, c = e^{-bT}.$$

The closed-loop transfer function from the reference frequency f_R to the feedback frequency f_F is

$$M(z) = \frac{G(z)}{1 + G(z)H(z)} \quad (6)$$

Substituting (4) and (5) into (6) yields

$$M(z) = \frac{K(A_1 z + A_0)}{z^{L/T}(z-1)(z-c) + \frac{KK_{VF}}{N}(A_1 z + A_0)} \quad (7)$$

It can be observed from the above analysis that the various design parameters can affect the system stability of the PLL operation [5] including the dead time of the flow process. It is known that the long dead time can severely affect the stability of the control system. In the case of the small dead time is considered, the system stability in the PLL mode is affected by the sampling time T once the type of the loop filter and other parameters (K_d , K_{AD} , K_p , K_{VF} , ..., etc.) have been chosen.

4. IMPLEMENTATION AND EXPERIMENTAL RESULTS

The structure of the flow process in the laboratory to be controlled by the proposed PLL in cooperated with PI controller is shown in Fig. 5. The IC chip No. MC 4044 (Motorola) is set to function as the PFD and LF. The programmable indicating controller (SLPC-151*E) is programmed to operate as a PI controller whenever the condition $|V_{SP} - V_F| \geq \epsilon$ is true, and also programmed to receive the voltage from the output of the LF when PLL mode operates.

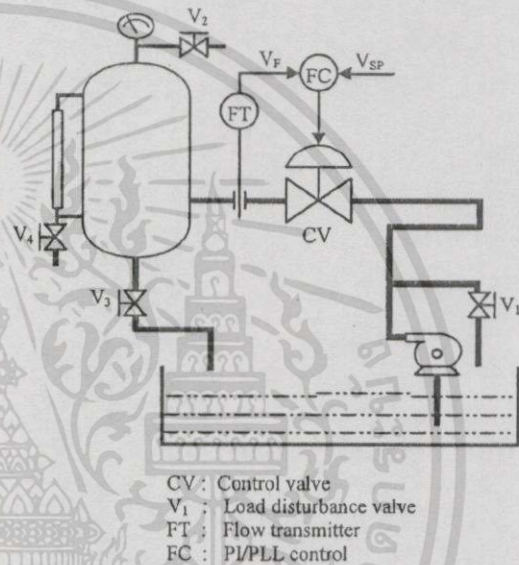


Fig. 5. Structure of the flow process

In this experiment, the 50% of the maximum flow rate of the flow process will be set as a reference flow rate. At this flow rate, the D/P cell is calibrated to give a voltage of 3V. When the PLL is in the lock position, the frequency corresponded to the flow rate is 3,731 Hz. The specified preset value ϵ is 2% of the reference flow rate, the sampling time T is 0.2 second and the counter modulus N is set at $N=2$.

Fig. 6 shows the results of the experiment recorded by the recorder model $\mu R.180$ (Yokogawa). The speed of recorder is set to be 10,800 mm/hr, which can assure the accuracy of the results. The distance between the pen recorder that records the response and the other pen recorder that records the reference signal is 6 mm.

In order to obtain the desired system performance, the proportional gain K_c or the proportional band PB and the integral time T_i of the PI controller are first tuned from the flow characteristics by Zeigler-Nichols tuning method.

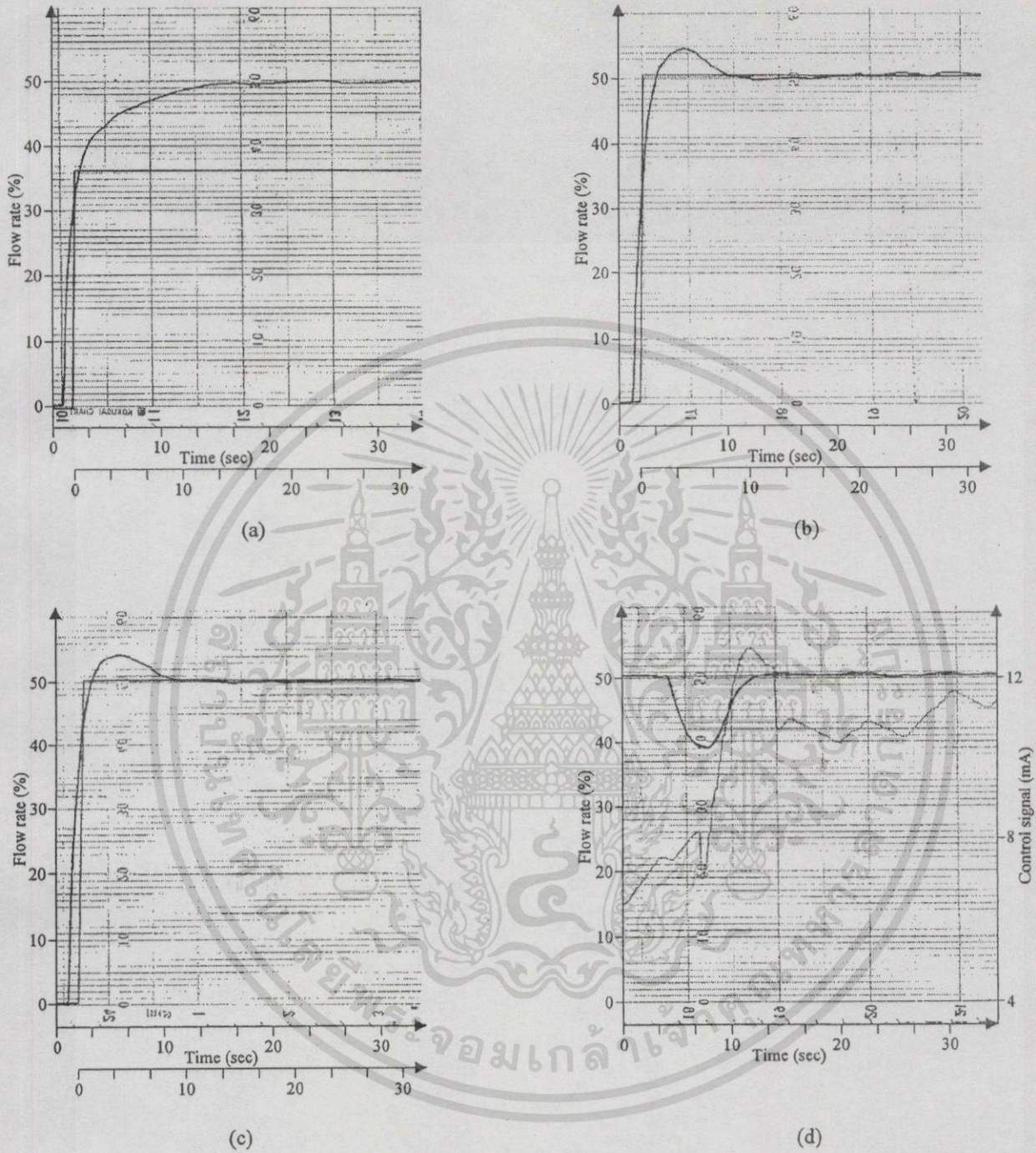


Fig. 6. Experimental results: (a) open loop response, (b) closed-loop response using PLL in cooperated with PI controller, (c) closed-loop response using PI controller only, (d) flow response with load disturbance for the system using PLL in cooperated with PI controller.

Hence from the open-loop response of the flow process shown in Fig. 6 (a), it is found that the process gain, the dead time and the time constant which will be the parameters for the tuning formula are 1.38, 1 second and

1.33 seconds respectively. Since the dead time $L = 1$ second, the process could be considered as a small dead time process. After doing a fine tune of the proportional band PB and the integral time T_i obtained from the tuning

formula, the proper proportional band and the integral time are 70 % and 2 seconds, respectively. The PI controller using these two parameters will give the system performance as desired.

The response of the flow control system using PLL in cooperated with PI controller (Fig. 6 (b)) has a considerably desirable performance. That is, the rise time t_r is 2.33 seconds, the percent overshoot P_o is 8%, the settling time t_s is 8.67 seconds and the steady-state error e_{ss} is less than ± 2 %. Compared to the response of the flow control system using only PI controller (Fig. 6 (c)), both systems exhibit almost the same results. However, the small oscillation in the steady state is encountered when the PLL control is employed as shown in Fig. 6 (b).

Fig. 6 (d) shows the response of the flow control system disturbed by the load disturbance. When the valve V_1 is opened, the flow rate drops to 39% of the maximum flow rate. Hence the selection of control modes switches to the PI controller. Therefore the controller will rapidly pull the flow rate up to 50% of its maximum flow rate within 8 seconds before the PLL control is repeated again. The control signal of the programmable indicating controller (SLPC-151*E) is also shown in Fig 6 (d). It is found that the control signal increases rapidly to bring the disturbed response up to preset value, which means that the PI controller is operating. The vertically dropped control signal means that the selection of control modes switches to PLL control.

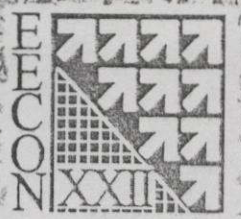
5. CONCLUSIONS

The flow control system using the PLL in cooperated with PI controller has been proposed. The PI controller is used to control the transient state while the PLL technique is used to control the steady state. It has been shown in this paper that the PLL technique can be properly applied to control the flow rate of the flow process by converting the flow rate to frequency. The acceptable performance of the flow control system using the proposed PLL in cooperated with PI controller can be obtained. It is also shown that when there is a load disturbance entering to the flow control system, the effect of the disturbance can be rejected by the co-operation of PI controller and the PLL control, and the system remains stable.

6. REFERENCES

- [1] D.W. Pessen, "A New Look at PID Controller Tuning," *Trans. of the ASME Journal of Dynamic System, Measurement, and Control*, Vol. 116, Sept. 1996, pp. 553-557.
- [2] W.K. Ho, C. C. Hang and J.H. Zhou, "Performance and Gain and Phase Margins of Well-Known PI Tuning Formulas," *IEEE Trans. on Control Systems Technology*, Vol. 3, No.2, June 1995, pp. 245-248.

- [3] P.C. Sen and M. L. MacDonald, "Stability Analysis of Induction Motor Drives Using Phase-Locked Loop Control System," *IEEE Trans. Ind. Electron. Contr. Instrum.*, Vol. IECI-27, Aug. 1980, pp. 147-155.
- [4] M. Mittal and N. U. Ahmed, "Time Domain Modeling and Digital Simulation of Variable-Frequency AC Motor Speed Control Using PLL Technique," *IEEE Trans. Ind. Applicat.*, Vol. IA-19, Mar./Apr. 1983.
- [5] M. F. Lai, M. Nakaon, and G. C. Hsieh, "Application of Fuzzy Logic in the Phase-Locked Loop Speed Control of Induction Motor Drive," *IEEE Trans. Ind. Electron.*, Vol. 43 No. 6, Dec. 1996, pp. 630-639.
- [6] O. I. Mohamed, S. Shoji, and K. Watanabe, "A Digitally Programmable Temperature Controller Based on a Phase-locked Loop," *IEEE Trans. Instrum. Meas.*, Vol. 37, No. 4, Dec. 1988, pp. 582-585.
- [7] Instruction Manual Model UNE 11 Differential Pressure Transmitter, *Yogogawa Electric Corporation*, 5th Edition, Nov. 1986.
- [8] J. M. Jacob, "Industrial Control Electronics: Application and Design," *Prentice-Hall International*, 1989, pp. 238-244.
- [9] J. G. Zeigler and N. B. Nichols, "Optimal Settings for Automatic Controller," *ASME Trans.*, Vol. 64, 1942, pp. 759-768.
- [10] Instruction Manual Models SLPC-151, -181, -251, -281 (Style E) Programmable Indicating Controller, *Yogogawa Electric Corporation*, 2nd Edition, Apr. 1991.
- [11] G. C. Hsieh, and J. C. Hung, "Phase-Locked Loop Techniques—A Survey," *IEEE Trans. Ind. Electron.*, Vol. 43, No. 6, Dec. 1996, pp. 609-615.
- [12] A. W. Moore, "Phase-Locked Loops for Motor-Speed Control," *IEEE Spectrum*, Apr. 1973, pp. 61-67.



การประชุมวิชาการ
 วิศวกรรมไฟฟ้าและพลังงาน
 Electrical Engineering and Power Engineering
 (EECON)

วันที่ 2-3 ธันวาคม 2542

ณ อาคารสถาบันค้นคว้าและพัฒนาเทคโนโลยีการผลิตทางอุตสาหกรรม
 มหาวิทยาลัยเกษตรศาสตร์

ดำเนินการจัดประชุมโดย

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

มหาวิทยาลัยเกษตรศาสตร์

PLL Incorporating P Controller for Flow Control Systems

Somsak Wanchana*, Taworn Benjanarasuth*, Noriyuki Komine** and Jongkol Ngamwiwit*
 *Faculty of Engineering and Research Center for Communications and Information Technology,
 King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
 Phone (02) 3269989 Fax 3269989, E-mail Address: knjongko@kmitl.ac.th

**School of Engineering, Tokai University,
 1117 Kitakaname, Hiratsuka-Shi, Kanagawa-Ken 259-1292, Japan
 E-mail Address: komine@keyaki.cc.u-tokai.ac.jp

Abstract

This paper presents the flow control system using the phase-locked loop technique incorporating P controller. The P controller is utilized to pull the flow rate of the system into the phase-locked loop locking range and the steady state flow rate will be controlled later by the phase-locked loop. An experimental system is implemented to evaluate the performance of the flow control system using the proposed controller. The experimental results show that the overshoot is approximately 15% for the 50% step input of the maximum flow rate and the steady-state error is smaller than $\pm 2\%$. The experimental results also indicate that the effect of load disturbance is rejected if the flow rate error due to the load disturbance is less than the preset value.

1. Introduction

In the industry, most of plants or processes are type 0 with three to five first-order lags or one first-order lag plus dead time and the process variables of most systems to be controlled to meet the desired performance are flow, level, temperature, pressure, speed etc.[1]. One of the popular conventional controllers is proportional controller (P controller). However, the steady-state error of P control system will occur if the plant or process is type 0. On the other hand, the phase-locked loop (PLL) technique has been extensively applied in the fields of telecommunication, instrumentation, control system, and multimedia apparatus. It has been reported that the closed-loop speed control of ac induction motor drives controlled by PLL technique gives the steady-state speed regulation on the order of 0.002% ~ 0.008%. The PLL speed control of induction motor drives incorporating a fuzzy logic controller that improves the performance of induction motor speed drives has also been reported [2]. The PLL technique can also be applied together with PID controller to control the temperature of the water bath by converting the temperature to frequency and the overshoot and undershoot of the temperature response are greatly reduced, and the error in the steady-state is within 0.1°C [3].

This paper presents the application of utilizing the PLL technique to control the flow rate of the flow control system. Hence it is required to convert the flow rate to frequency. Since the PLL synchronization will lose when there is a sudden change of error and the pull-in process for PLL tends to be slow which will cause the settling time (t_s) of the controlled system too long, the P

controller is introduced. Thus the PLL incorporating P controller is obtained. The P controller part is first used to control the transient state in the manner that when the error is less than $\pm 20\%$, the PLL control will be automatically switched to control the steady-state response. The parameters of P controller, i.e., the proportional gain (K_c) or proportional band (PB) has been tuned from the reaction curve of the open loop flow process by Zeigler-Nichols tuning method [4].

The experimental results show that the response of the controlled system has percent overshoot (P_o) about 15% for the 50% step input of the maximum flow rate and the steady-state error (e_{ss}) is smaller than $\pm 2\%$. Furthermore, when the load disturbance enters the flow control system, the PLL incorporating P controller can maintain the stability of the system and the effect of the load disturbance can also be rejected if the flow rate error due to the load disturbance is less than the preset value.

2. System Operation Principles

The block diagram of the flow control system using PLL technique together with P controller is illustrated in Fig. 1. The current to pressure converter (I/P) is employed to provide a variable pressure to drive the control valve at the desired flow rate. A differential pressure transmitter (D/P cell) is used to measure the differential pressure from the orifice plate mounted on the pipeline of the flow system. This differential pressure is served as a flow feedback. The set point and feedback flow values are represented by voltages V_{SP} and V_F , respectively. The P controller or PLL controller is employed to control the flow rate through the I/P converter according to the voltage error ($V_{SP} - V_F$), which is measured and computed by the programmable indicating controller (SLPC-151*E) [5].

In Fig. 1, when the voltage error (e) is equal to or larger than the specified preset error (ϵ), i.e., $|V_{SP} - V_F| \geq \epsilon$, the P controller will be active. When $(V_{SP} - V_F) \geq \epsilon$ is detected, the control valve is commanded by the P controller to accelerate toward the higher flow rate. While in the case of $(V_F - V_{SP}) \geq \epsilon$, the control valve is then commanded to decelerate. When $|V_{SP} - V_F| < \epsilon$, the PLL mode will automatically control the flow rate.

When the flow rate error is less than the preset value ϵ , the controlled system switches to the PLL operation. The voltage error ($V_{SP} - V_F$) which corresponds to the flow rate error is periodically sampled

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่จำกัดโดยทั้งสิ้น อีการประชุมนวชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 22 • 2-3 ธันวาคม 2542 มหาวิทยาลัยเกษตรศาสตร์ครั้งที่มีการนำไปใช้

PLL Incorporating P Controller for Flow Control Systems

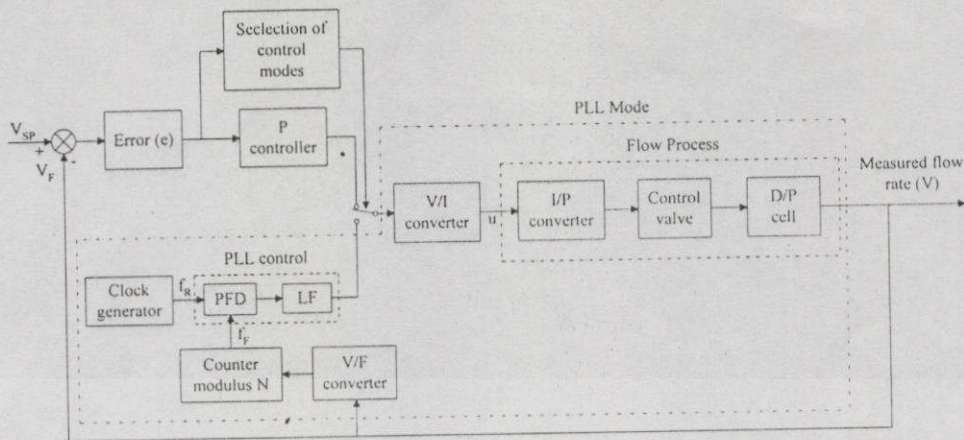


Fig. 1. System block diagram of flow control system

and computed by the SLPC-151*E during the control valve operation. When the sampled error is equal to or larger than ϵ , the controlled system will switch to P control mode. The flow rate will be then increased or decreased toward the PLL locking range. When the PLL mode operates, the feedback voltage (flow rate) is converted to frequency (f_f) by the V/F converter and counter modulus N. This frequency must be synchronized with a reference frequency (f_r) generated by the crystal-based clock generator. When this happens, the loop is locked and the flow rate (f_f) of the flow control system is perfectly synchronized with f_r .

The PLL mode, which is the part of the block diagram of the flow control system, is illustrated in a marked part of Fig. 1. The combination of an I/P converter, a control valve and a D/P cell is a flow process. The combination of a SLPC-151*E, I/P converter, control valve, D/P cell, V/F converter, and counter modulus N are used as a voltage-controlled oscillator (VCO) block in the phase-locked loop [6]. In order to study the stability of the PLL system in Fig. 1, the feedforward transfer function $G(s)$ and the feedback transfer function $H(s)$ will be derived.

The flow rate of the flow process needs time, known as the dead time L , to travel from the input to the output. The open-loop response of the flow process measured at the output of the D/P cell when the step input is applied to the I/P converter can be obtained from the experiment. The model is found to be a first-order plus dead time model. Hence the model of the flow process can be represented by $(K_p e^{-sL})/(1+s\tau)$, where L is the dead time, τ is the time constant and K_p is the fixed gain. The model for PFD can be represented by K_d , where K_d is the constant gain. The active low-pass filter can be represented as $(1+sK_{T2})/sK_{T1}$, where K_{T1} is greater than K_{T2} and both are the RC time constants [7]. The SLPC-151*E can be represented by $K_{AD}(1-e^{-sT})/s$, where T is a specified time interval over which the analog voltage V_d from the LF is sampled and K_{AD} is assumed to be represented by the constant gain. The feedback transfer function $H(s)$ from the output of the D/P cell to

the counter modulus N is represented by K_{VF}/N , where K_{VF} is the gain in rad/s/V and N is the frequency divider. Then $G(s)$ and $H(s)$ can respectively be obtained as

$$G(s) = K_d K_{AD} K_p \frac{(1+sK_{T2})e^{-sL}}{(sK_{T1})(1+s\tau)} \cdot \frac{1-e^{-sT}}{s} \quad (1)$$

and

$$H(s) = \frac{K_{VF}}{N} \quad (2)$$

and the open-loop transfer function of the PLL system is

$$G(s)H(s) = \frac{K_d K_{AD} K_p K_{VF}}{N} \frac{(1+sK_{T2})(1-e^{-sT})}{s^2 K_{T1}(1+s\tau)} e^{-sL} \quad (3)$$

Apply Z transform to (1) and (3), then (4) and (5) are respectively obtained as

$$G(z) = K \cdot \frac{(A_1 z + A_0)}{(z-1)(z-c)} \cdot z^{-L/T} \quad (4)$$

and

$$G(z)H(z) = \frac{KK_{VF}}{N} \frac{(A_1 z + A_0)}{(z-1)(z-c)} \cdot z^{-L/T} \quad (5)$$

where

$$K = \frac{K_d K_{AD} K_{T2} K_p}{K_{T1} \tau}, \quad A_1 = \frac{-a + b + ac - bc + abT}{b^2},$$

$$A_0 = \frac{a - b - ac + bc - abcT}{b^2},$$

and where

$$a = \frac{1}{K_{T2}}, \quad b = \frac{1}{\tau}, \quad c = e^{-bT}.$$

The closed-loop transfer function from the f_r to f_f is

$$M(z) = \frac{G(z)}{1 + G(z)H(z)} \quad (6)$$

Substituting (4) and (5) into (6) yields

$$M(z) = \frac{K(A_1 z + A_0)}{z^{1/T}(z-1)(z-c) + \frac{KK_{VF}}{N}(A_1 z + A_0)} \quad (7)$$

It can be observed from the above analysis that the various design parameters can affect the system stability of the PLL operation [2] including the dead time of the flow process. It is known that the long dead time can severely affect the stability of the control system. In the case of the small dead time is considered, the system stability in the PLL mode is affected by the sampling time T once the type of the loop filter and other parameters (K_d , K_{AD} , K_p , K_{VF} , ..., etc.) have been chosen.

3. Implementation and Experimental Results

The structure of the flow process in the laboratory to be controlled by the proposed PLL incorporating P controller is shown in Fig. 2. The IC chip No. MC 4044 (Motorola) is set to function as the PFD and LF [7]. The SLPC-151*E is programmed to operate as a P controller whenever the condition $|V_{SP} - V_F| \geq \epsilon$ is true, and also programmed to receive the voltage from the output of the LF when PLL mode operates.

In this experiment, the 50% of the maximum flow rate of the flow process will be set as a reference flow

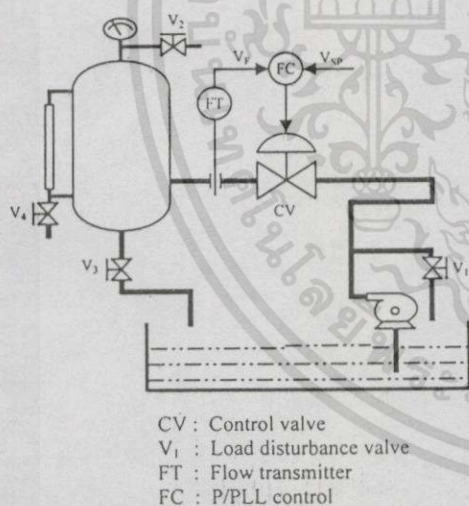


Fig. 2. Structure of the flow process.

rate. At this flow rate, the D/P cell is calibrated to give a voltage of 3V. When the PLL is in the lock position, the frequency corresponded to the flow rate is 3,731 Hz. The specified preset value ϵ is 20% of the reference flow rate, the sampling time T is 0.2 second and the counter modulus N is set at $N=2$. The other parameters of PLL controller are $K_d=0.115$, $K_{VF}=7.814$, $K_{AD}=1$, $K_{T1}=15$ and $K_{T2}=0.01$.

Fig. 3 shows the results of the experiment recorded by the recorder model $\mu R.180$ (Yokogawa). The speed of recorder is set to be 10,800 mm/hr. The distance

between the pen recorder that records the response and the other pen recorder that records the reference signal is 6 mm.

In order to obtain the desired system performance, the K_c or PB of the P controller is first tuned from the flow characteristics by Zeigler-Nichols tuning method. From the open-loop response of the flow process shown in Fig. 3 (a), it is found that the process gain, the dead time and the time constant are 1.38, 1 second and 1.5 seconds respectively. Since the dead time $L = 1$ second, the process could be considered as a small dead time process. Since the PB obtained from the tuning formula causes too large offset, the proper PB is chosen to be 60%. The P controller using this PB value will give the acceptable system performance.

The response of the flow control system using PLL incorporating P controller (Fig. 3 (b)) has a considerably desirable performance. That is, the rise time t_r is 1.33 seconds, the percent overshoot P_O is 16%, the settling time t_s is 6.67 seconds and the steady-state error e_{ss} is less than $\pm 2\%$. On the other hand, the response of the flow control system using only P controller (Fig. 3 (c)) has high offset (24%), high overshoot (53%), and long settling time (11.67 seconds).

Fig. 3 (d) shows the response of the flow control system disturbed by the load disturbance and the control signal. When the valve V_1 is opened, the flow rate drops to 43% of the maximum flow rate. The PLL control can reject the effect of the load disturbance. However, if the valve V_1 is opened and the flow rate drops below 40% of the maximum flow rate (below the preset value 20%), the P control will be active. As a result, the response does not converge to the preset value, which means that the PLL will never activate again. Thus, the response cannot be brought back to the reference level, so a large offset will occur.

4. Conclusions

The flow control system using the PLL incorporating P controller has been proposed. The P controller is used to control the transient state while the PLL technique is used to control the steady state. It has been shown in this paper that the PLL technique can be properly applied to control the flow rate of the flow process by converting the flow rate to frequency. The acceptable performance of the flow control system using the proposed PLL incorporating P controller can be obtained. It is also shown that when there is a load disturbance, which is smaller than the preset value, entering the flow control system, the effect of the disturbance can be rejected by the PLL control, and the system remains stable.

References

- [1] D.W. Pessen, "A New Look at PID Controller Tuning," *Trans. of the ASME Journal of Dynamic System, Measurement, and Control*, Vol. 116, Sept. 1996, pp. 553-557.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่วารณี่ใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLL Incorporating P Controller for Flow Control Systems

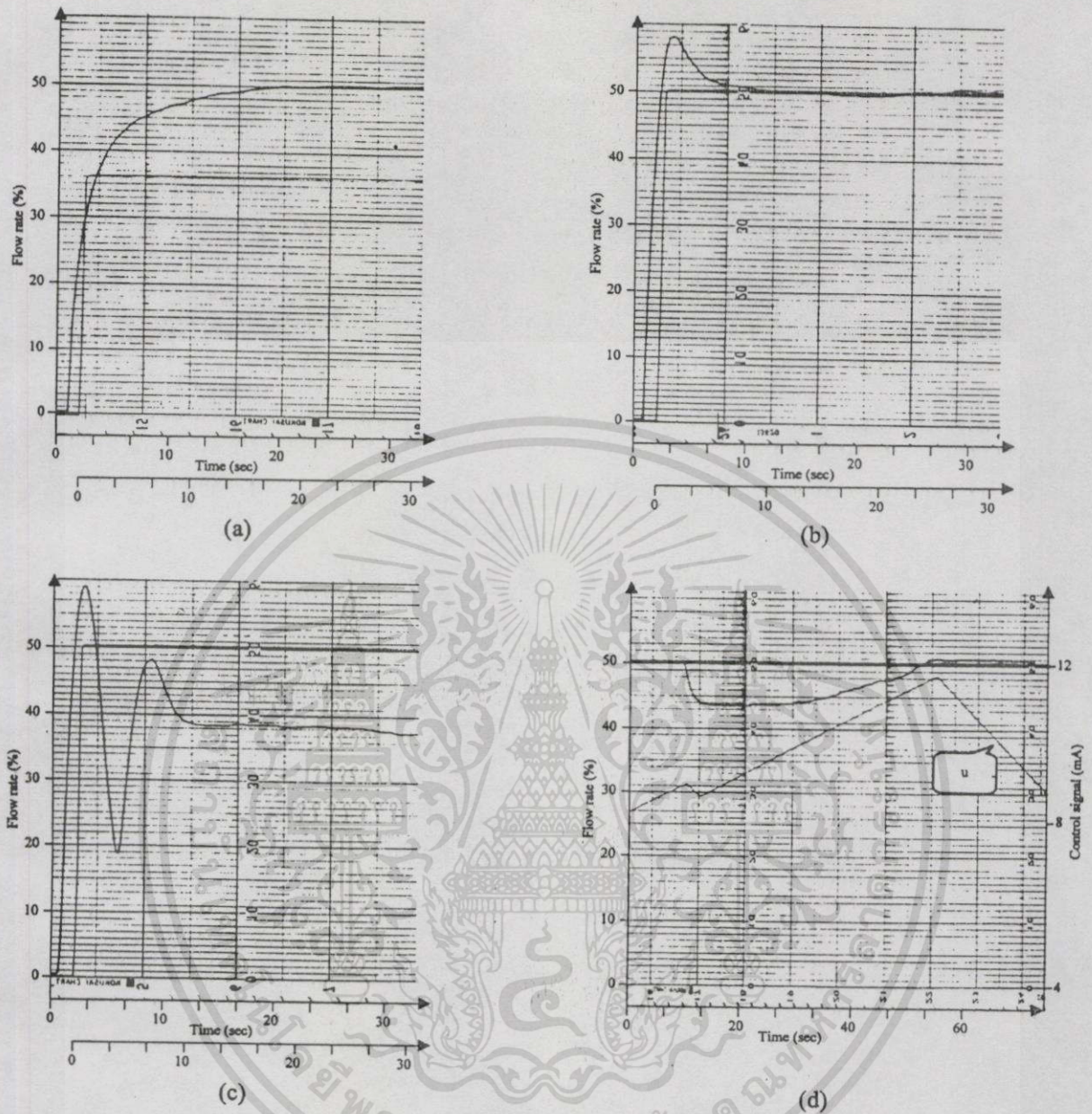


Fig. 3. Experimental results: (a) open loop response, (b) PLL incorporating P control system response, (c) P control system response, (d) PLL incorporating P control system load disturbance response.

- [2] M. F. Lai, M. Nakaon, and G. C. Hsieh, "Application of Fuzzy Logic in the Phase-Locked Loop Speed Control of Induction Motor Drive," *IEEE Trans. Ind. Electron.*, Vol. 43 No. 6, Dec. 1996, pp. 630-639.
- [3] O. I. Mohamed, S. Shoji, and K. Watanabe, "A Digitally Programmable Temperature Controller Based on a Phase-locked Loop," *IEEE Trans. Instrum. Meas.*, Vol. 37, No. 4, Dec. 1988, pp. 582-585.
- [4] J. G. Zeigler and N. B. Nichols, "Optimal Settings for Automatic Controller," *ASME Trans.*, Vol. 64, 1942, pp. 759-768.
- [5] Instruction Manual Models SLPC-151, -181, -251, -281 (Style E) Programmable Indicating Controller, *Yogogawa Electric Corporation*, 2nd Edition, Apr. 1991.
- [6] G. C. Hsieh, and J. C. Hung, "Phase-Locked Loop Techniques—A Survey," *IEEE Trans. Ind. Electron.*, Vol. 43, No. 6, Dec. 1996, pp. 609-615.
- [7] A. W. Moore, "Phase-Locked Loops for Motor-Speed Control," *IEEE Spectrum*, Apr. 1973, pp. 61-67.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ทำการตีพิมพ์สิ่ง การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 22 • 2-3 ธันวาคม 2542 มหาวิทยาลัยเกษตรศาสตร์

ประวัติผู้เขียน

นายสมศักดิ์ วรรณชนะ เกิดเมื่อวันที่ 17 กรกฎาคม 2513 ที่จังหวัดชลบุรี สำเร็จการศึกษา
 อดสาหกรรมศาสตรบัณฑิต (เทคโนโลยีการวัดคุมทางอุตสาหกรรม) จากสถาบันเทคโนโลยี
 พระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2535 และประกาศนียบัตรวิชาชีพชั้นสูง
 (อิเล็กทรอนิกส์) จากวิทยาลัยเทคนิคชลบุรี ปีการศึกษา 2533

ปี พ.ศ. 2536 เข้ารับราชการในตำแหน่ง อาจารย์ 1 ระดับ 3 ประจำแผนกวิชาการวัดและ
 ควบคุมในทางอุตสาหกรรม วิทยาลัยเทคนิคชลบุรี กรมอาชีวศึกษา กระทรวงศึกษาธิการ จนถึง
 ปัจจุบัน

