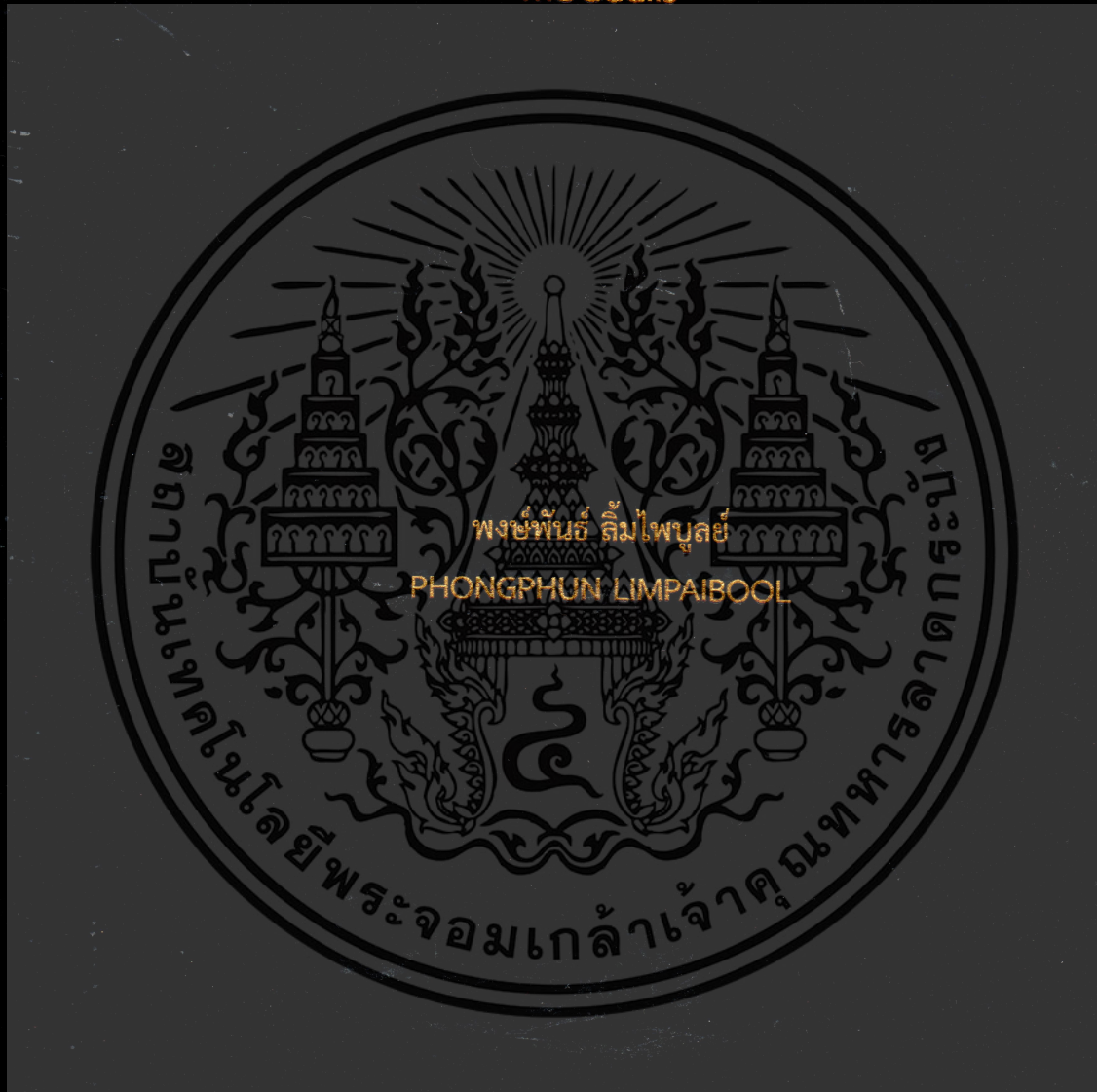


การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแสโดยใช้

MOCCCIIs

DESIGN OF CURRENT-MODE HIGH ORDER LOW-PASS FILTERS USING

MOCCCIIs



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2562

KMITL-2019-EN-M-010-039

การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแสโดยใช้

MOCCCIIs

**DESIGN OF CURRENT-MODE HIGH ORDER LOW-PASS FILTERS USING
MOCCCIIs**



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2562

KMITL-2019-EN-M-010-039

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DESIGN OF CURRENT-MODE HIGH ORDER LOW-PASS FILTERS USING
MOCCCHs**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATION ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2019
KMITL-2019-EN-M-010-039**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2019

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแส โดยใช้ MOCCCIIs
นักศึกษา	นายพงษ์พันธ์ ลี้มไพบูลย์
รหัสประจำตัว	58601136
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2562
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.พิพัฒน์ พรหมมี

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรรองความถี่ต่ำผ่านชนิดขึ้นบันไดอันดับสูงรูปแบบกระแสโดยใช้วงจรสายพานกระแสหลายเอาต์พุต (MOCCCIIs) วงจรที่นำเสนอเลียนแบบการจำลองวงจรรองความถี่แบบพาสซีฟ RLC ขึ้นบันไดต้นแบบ โดยใช้หลักการวิเคราะห์กราฟการไหลของสมการ (SFG) เป็นตัวแปรในการสร้างฟังก์ชันถ่ายโอน ซึ่งฟังก์ชันเหล่านี้สามารถสร้างได้โดยวงจรอินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้โครงสร้างของวงจรสายพานกระแสหลายเอาต์พุต วงจรรองความถี่ต่ำผ่านที่นำเสนอมีความถี่ใช้งานตั้งแต่ 75 kHz ถึง 7.5 MHz ผลตอบสนองทางความถี่สามารถควบคุมได้ด้วยการปรับกระแสไบอัสตั้งแต่ 0.1 μA ถึง 10 μA วงจรที่นำเสนอใช้ไฟเลี้ยง $\pm 2\text{ V}$ ใช้พลังงาน 2 mW ที่กระแสไบอัส 10 μA วงจรรองความถี่ที่นำเสนอใช้ตัวเก็บประจุต่อลงกราวด์ ไม่ใช่ตัวต้านทานต่อภายนอกซึ่งเหมาะสมกับการสร้างเป็นวงจรรวม ค่าความเพี้ยนทางฮาร์โมนิก (THD) ของวงจรที่นำเสนอมีค่าน้อยกว่า 2 % ในช่วงความถี่ใช้งาน เพื่อยืนยันคุณสมบัติของวงจร วิทยานิพนธ์นี้ใช้โปรแกรม PSPICE พบว่ามีความสอดคล้องกับวงจรต้นแบบเป็นอย่างดี

Thesis	Design of Current-mode High Order Low-pass Filters Using MOCCCIIs
Student	Mr.Phongphun Limpaibool
Student ID	58601136
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2019
Thesis Advisor	Assoc.Prof.Dr.Pipat Prommee

ABSTRACT

A design of high order current-mode (CM) ladder low-pass filters employing multiple output current controlled current conveyor (MOCCCIIs) is presented. The proposed method is based on simulating passive RLC ladder networks. The signal flow graph (SFG) method is used as variables to generate transfer functions. These functions are realized by MOCCCIIs-based lossy integrators and lossless integrators. The proposed filters can be electronically tuned between 75 kHz and 7.5 MHz through bias current from 0.1 μA to 10 μA . The proposed filters used of ± 2 V power supplies with 2 mW power consumption at 10 μA bias current. The proposed filters also used of grounded capacitors without external resistors that are suitable for further integration. The total harmonic distortion (THD) of the low-pass filters is less than 2 % over the operating frequency range. To demonstrate the proposed approach, high order current-mode ladder low-pass filters were designed and simulated using PSPICE, confirm the presented theory.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร.พิพัฒน์ พรหมมี ที่ให้ความช่วยเหลือ ให้คำชี้แนะช่วยแก้ปัญหาตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้า และขอขอบพระคุณ บริษัท กสท โทรคมนาคม จำกัด (มหาชน) ผู้ให้ทุนสนับสนุนการศึกษาแก่ข้าพเจ้า

สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า

พงษ์พันธ์ ลิ้มไพบูลย์



สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์.....	2
1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์.....	2
1.4 ขอบเขตของวิทยานิพนธ์.....	3
1.5 รายละเอียดในวิทยานิพนธ์.....	3
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....	4
2.1 บทนำ.....	4
2.2 มอสทรานซิสเตอร์.....	4
2.2.1 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นแซนเนล.....	4
2.2.2 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดพีแซนเนล.....	5
2.2.3 มอสทรานซิสเตอร์แบบดีพลีชันโหมดชนิดเอ็นแซนเนล.....	5
2.2.4 มอสทรานซิสเตอร์แบบดีพลีชันโหมดชนิดพีแซนเนล.....	6
2.2.5 สัญลักษณ์ของมอสทรานซิสเตอร์.....	6
2.2.6 วงจรเสมือนสัญญาณขนาดเล็กของมอสทรานซิสเตอร์.....	7
2.3 เทคโนโลยีของวงจรรวมซีมอส.....	10
2.4 วงจรสะท้อนกระแส.....	11
2.5 วงจรสายพานกระแส.....	13
2.5.1 วงจรสายพานกระแสรุ่นที่หนึ่ง.....	14
2.5.2 วงจรสายพานกระแสรุ่นที่สอง.....	15
2.5.3 วงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุม.....	15
2.5.4 ทฤษฎีทรานสลิเนียร์.....	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
2.6 การประมาณค่าฟังก์ชันตัวกรอง.....	21
2.7 การประมาณค่าแบบ Chebyshev.....	22
2.8 หลักการของตัวกรองสัญญาณ.....	26
2.8.1 วงจรกรองความถี่ต่ำผ่าน.....	27
2.8.2 วงจรกรองแพสซีฟความถี่ต่ำผ่าน.....	27
2.9 หลักการโครงข่ายกราฟการไหลของสัญญาณ.....	29
บทที่ 3 งานวิจัยที่เกี่ยวข้อง.....	32
3.1 บทนำ.....	32
3.2 ผลงานวิจัยที่เกี่ยวข้อง.....	32
บทที่ 4 การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดขั้นบันไดรูปแบบกระแสโดยใช้ MOCCIIs.....	44
4.1 บทนำ.....	44
4.2 คำอธิบายวงจร.....	45
4.2.1 วงจรสายพานกระแสรุ่นที่สองแบบกระแสควมคุม.....	45
4.2.2 วงจรอินทีเกรเตอร์ชนิดสูญเสียและไม่สูญเสียโดยใช้ CCCII.....	47
4.3 การออกแบบวงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดอันดับสูง.....	48
4.4 ผลการจำลองการทำงาน.....	51
บทที่ 5 บทสรุปและข้อเสนอแนะ.....	59
5.1 บทสรุปการวิจัย.....	59
5.2 เปรียบเทียบงานวิจัย.....	59
5.3 ข้อเสนอแนะ.....	50
เอกสารอ้างอิง.....	61
ภาคผนวก.....	63
ภาคผนวก ก. โปรแกรม PSpice ที่ใช้ในการวิเคราะห์.....	64
ภาคผนวก ข. ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา.....	66
ประวัติผู้เขียน.....	72

สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงตำแหน่งของโพล ค่าสัมประสิทธิ์ a_1, a_0, Q และ ω_n ของฟังก์ชันโครงข่ายแบบ Chebyshev เมื่อมีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 0.5 dB.....	26
2.2 แสดงตำแหน่งของโพล ค่าสัมประสิทธิ์ a_1, a_0, Q และ ω_n ของฟังก์ชันโครงข่ายแบบ Chebyshev เมื่อมีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 1 dB	26
2.3 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.1 dB.....	28
2.4 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.5 dB.....	28
2.5 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 1 dB.....	28
3.1 การวิเคราะห์ห้วงจรโดยการหาฟังก์ชันถ่ายโอนความสัมพันธ์ระหว่างแรงดันและกระแส.....	35
3.2 การวิเคราะห์ห้วงจรโดยการหาฟังก์ชันถ่ายโอนความสัมพันธ์ระหว่างแรงดันและกระแส.....	36
3.3 การแปลงเชิงเส้น CMLT วงจรกรองความถี่ชนิดขั้นบันได.....	42
4.1 ค่าอัตราส่วนทรานซิสเตอร์ของวงจรสายพานกระแสหลายเอาต์พุต.....	51
5.1 ตารางเปรียบเทียบงานวิจัยในอดีตกับงานวิจัยที่นำเสนอ.....	60

สารบัญรูป

รูปที่	หน้า
2.1	โครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ชนิดเอ็นแชนเนล.....5
2.2	โครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดพีแชนเนล5
2.3	โครงสร้างมอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดเอ็นแชนเนล.....6
2.4	โครงสร้างมอสทรานซิสเตอร์แบบดีพลีชั่นโหมดชนิดพีแชนเนล.....6
2.5	สัญลักษณ์ของมอสทรานซิสเตอร์ (ก) NMOS (ข) PMOS.....7
2.6	วงจรสัญญาณขนาดเล็กของมอสทรานซิสเตอร์.....7
2.7	กราฟแสดงความสัมพันธ์ระหว่าง i_D และ v_{GS}8
2.8	รูปวงจรสัญญาณขนาดเล็กของวงจขยาย.....9
2.9	(ก) ชุดแหล่งจ่ายกระแส โดยใช้ PMOS (ข) วงจรเสมือนขนาดเล็ก.....10
2.10	โครงสร้างของซีมอส (Complementary MOS: CMOS).....11
2.11	โครงสร้างวงจรสื่ออนกระแสแบบพื้นฐาน (ก) หลักการคัตลอกกระแสโดยใช้อมอสทรานซิสเตอร์ชนิด NMOS (ข) สัดส่วนแรงดัน (V_x) (ค) วงจรสื่ออนกระแสแบบมอสทรานซิสเตอร์.....12
2.12	สัญลักษณ์ทางไฟฟ้าของวงจรสายพานกระแส.....13
2.13	วงจรสุมมูลทางไฟฟ้าของวงจร CCI.....14
2.14	วงจรสุมมูลทางไฟฟ้าของวงจร CCII.....15
2.15	วงจรสุมมูลทางไฟฟ้าของวงจร CCCII.....16
2.16	บล็อกไดอะแกรมของวงจร CCCII.....16
2.17	วงจรรูปปิดแบบทั่วไปกรณีไบอัสตรง.....18
2.18	ขั้นตอนการออกแบบวงจรกรองความถี่.....21
2.19	ค่าของ $C_n^2(\omega)$ เมื่อ $n = 1, 2, 3, 4$23
2.20	ผลตอบสนองทางขนาดแบบ Chebyshev เมื่อ $\epsilon = 1$, $H_{max} = 1$ และ $n = 1, 2, 3, 4$23
2.21	คุณสมบัติของตัวกรองความถี่ต่ำผ่าน (LPF).....27
2.22	วงจรกรองแอสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev (อันดับคู่).....28
2.23	วงจรกรองความถี่แอสซีฟ Chebyshev RLC อันดับที่สาม.....29
2.24	ผลตอบสนองทางแมกนิจูดวงจรกรองความถี่แอสซีฟ Chebyshev RLC อันดับที่สาม.....29
2.25	หลักการโครงข่ายพื้นฐานกราฟการไหลของสัญญาณ.....30
2.26	พื้นฐานกราฟการไหลของสัญญาณแบบอื่นๆ.....31
3.1	วงจรรูปแบบกระแสชนิดขึ้นบันไดโดยใช่วงจรสายพานกระแสแบบหลายเอาต์พุต.....32
3.2	วงจรกรองความถี่ RLC ชนิดขึ้นบันไดต้นแบบ.....32
3.3	กราฟการไหลสัญญาณ (SFG) ของวงจรกรองความถี่ต่ำผ่านที่ถูกลำเสนอ.....33

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.4 วงจรกรองความถี่ต่ำผ่านรูปแบบกระแสชนิดขั้นบันไดโดยใช้ MCCCIIs.....	34
3.5 วงจรกรองความถี่ RLC Butterworth ชนิดขั้นบันไดต้นแบบ.....	34
3.6 วงจรกรองความถี่รูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรคู่ไขว้.....	37
3.7 วงจรกรองความถี่ RLC ชนิดขั้นบันไดต้นแบบ.....	37
3.8 วงจรซีมอส OTA อันดับสองแบบที่ 1	38
3.9 วงจรซีมอส OTA อันดับสองแบบที่ 2	38
3.10 วงจรกรองความถี่ต่ำผ่านอันดับที่ 5 โดยใช้ CBCT.....	39
3.11 วงจรกรองความถี่ RLC อันดับที่ 5 ชนิดขั้นบันไดปลายปิดคู่ต้นแบบ.....	39
3.12 กราฟการไหลของสัญญาณ (signal flow graph) ของวงจรกรองความถี่ต่ำผ่านอันดับห้ารูปแบบ กระแส.....	40
3.13 บล็อกไดอะแกรมของ CBTA.....	40
3.14 กราฟการไหลของสัญญาณ (signal flow graph) ของ CBTA.....	41
3.15 วงจรกรองความถี่ต่ำผ่านอันดับห้ารูปแบบกระแสโดยใช้ CBTA.....	41
3.16 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขั้นบันไดโดยใช้ MOCCIIs.....	41
3.17 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขั้นบันไดต้นแบบ.....	41
4.1 วงจรสมมูลทางไฟฟ้าของวงจร CCCII.....	45
4.2 วงจรสายพานกระแสรุ่นที่สอง CCCII ที่สร้างจากหลักการของวงจรทรานสลิเนียร์.....	46
4.3 การวิเคราะห์อิมพีแดนซ์วงจร CCCII ที่พอร์ต X และวงจรสมมูล.....	46
4.4 วงจรสายพานกระแสรุ่นที่สอง CCCII โดยใช้ซีมอส (a) แบบจำลองสัญญาณขนาดเล็กและ บล็อกไดอะแกรม (b) โครงสร้างวงจร.....	47
4.5 บล็อกไดอะแกรมอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ CCCII.....	48
4.6 บล็อกไดอะแกรมอินทิเกรเตอร์ชนิดสูญเสียโดยใช้ CCCII.....	48
4.7 วงจรกรองความถี่แพสซีฟ Chebyshev RLC อันดับสามชนิดขั้นบันไดต้นแบบ.....	48
4.8 กราฟการไหลของสัญญาณ (SFG) วงจรกรองความถี่ต่ำผ่านต้นแบบ.....	49
4.9 Normalized SFG ในรูปแบบกระแส.....	49
4.10 วงจรกรองความถี่ต่ำผ่านอันดับสามโดยใช้ MOCCII.....	50
4.11 วงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดขั้นบันไดต้นแบบ.....	50
4.12 วงจรกรองความถี่ต่ำผ่านอันดับห้าโดยใช้ MOCCII.....	50
4.13 เปรียบเทียบผลตอบสนองทางแมกนิจูดระหว่างวงจรกรองความถี่ต่ำผ่านอันดับสามต้นแบบและ วงจรที่นำเสนอ.....	52

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.14 ผลตอบสนองทางแมกนิจูดวงจรรองความถี่ต่ำผ่านอันดับสามที่นำเสนอเมื่อปรับค่ากระแสไบอัส I_B	52
4.15 ค่าความต้านทานแฝง R_x เมื่อปรับค่ากระแสไบอัส I_B	53
4.16 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรรองความถี่ต่ำผ่านอันดับ 3.....	53
4.17 เปรียบเทียบผลตอบสนองทางแมกนิจูดระหว่างวงจรรองความถี่ต่ำผ่านอันดับห้าต้นแบบและวงจรถิ่นนำเสนอ.....	54
4.18 ผลตอบสนองทางแมกนิจูดวงจรรองความถี่ต่ำผ่านอันดับห้าที่นำเสนอเมื่อปรับค่ากระแสไบอัส I_B	54
4.19 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรรองความถี่ต่ำผ่านอันดับ 5.....	55
4.20 ผลตอบสนองความถี่ Multitone ของวงจรรองความถี่ต่ำผ่านอันดับสามที่นำเสนอ.....	55
4.21 ผลตอบสนองความถี่ Multitone ของวงจรรองความถี่ต่ำผ่านอันดับห้าที่นำเสนอ.....	56
4.22 สัญญาณอินพุตความถี่ต่ำ 100 KHz.....	56
4.23 สัญญาณอินพุตความถี่สูง 30 MHz.....	56
4.24 สัญญาณอินพุตความถี่ต่ำ 100 KHz และความถี่สูง 30 MHz.....	57
4.25 สัญญาณเอาต์พุตที่ได้จากวงจรรองความถี่ต่ำผ่านอันดับสาม.....	57
4.26 สัญญาณเอาต์พุตที่ได้จากวงจรรองความถี่ต่ำผ่านอันดับห้า.....	57
4.27 ค่าความเพี้ยนทางฮาร์มอนิกของวงจรรองความถี่ต่ำผ่านอันดับสามที่นำเสนอ กำหนดให้ค่ากระแสไบอัส $I_B = 10 \mu A$	58

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันวงจรกรองสัญญาณหรือวงจรกรองความถี่ มีความสำคัญอย่างมากในด้านโทรคมนาคม และระบบเครื่องมือวัดต่างๆ ซึ่งวงจรเหล่านี้ได้รับการคิดค้นและพัฒนาอย่างต่อเนื่อง โดยการออกแบบวงจรกรองความถี่สมัยใหม่นั้น วงจรต้องมีประสิทธิภาพ กล่าวคือวงจรต้องสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ มีผลตอบสนองทางความถี่ที่แม่นยำ และวงจรต้องมีขนาดเล็ก ซึ่งในการลดขนาดของวงจรให้เล็กลงนั้น ทำได้โดยการนำเอาเทคโนโลยีที่รวมเอาอุปกรณ์สารกึ่งตัวนำและวงจรหลายชนิดมาสร้างไว้ในบนฐานของสารกึ่งตัวนำเดียวกัน หรือนำอุปกรณ์แอกทีฟมาแทนที่อุปกรณ์แพสซีฟ เนื่องจากวงจรกรองความถี่แบบแพสซีฟ อุปกรณ์แพสซีฟ มีราคาแพง ตัวเหนี่ยวนำสร้างได้ยาก มีขนาดใหญ่ ไม่เหมาะสมในการนำไปสร้างเป็นวงจรรวม มีการสูญเสียของสัญญาณ เนื่องจากวงจรกรองความถี่แบบแพสซีฟไม่สามารถขยายสัญญาณได้ ด้วยข้อเสียเหล่านี้ งานวิจัยนี้จึงมุ่งเน้น ใช้อุปกรณ์แอกทีฟมาแทนที่ อุปกรณ์แพสซีฟ การออกแบบให้ได้วงจรกรองความถี่ที่ตอบสนองทางความถี่ในทางอุดมคติ เป็นสิ่งที่กระทำได้ยาก จึงทำให้เกิดทฤษฎีการประมาณ ค่าหลายทฤษฎีเช่น บัตเตอร์เวิร์ท (Butterworth) เชฟบีเชฟ (Chebyshev) เบสเซล (Bessel) และแอลลิปติก (Elliptic) สำหรับในงานวิจัยนี้จะกล่าวเฉพาะทฤษฎีการ ประมาณค่าแบบเชฟบีเชฟ (Chebyshev) เนื่องจากเป็นทฤษฎีที่ได้รับความนิยมใช้ในการออกแบบและการสร้างวงจรกรองความถี่มากกว่าวิธีอื่น โดยงานวิจัยนี้ใช้วงจรกรองความถี่ต่ำผ่านแบบแพสซีฟ RLC Chebyshev ชั้นบันไดปลายปิดคู่ (Doubly Terminated) เป็นวงจรต้นแบบ และใช้หลักการของกราฟการไหลสัญญาณ เพื่อแปลงเป็นวงจรกรองแถบความถี่ผ่าน Chebyshev อันดับสูง รูปแบบกระแสดชนิดชั้นบันไดโดยใช้วงจรสายพานกระแสดหลายเอาต์พุต MOCCIIs

วงจรกรองความถี่รูปแบบแรงดัน ได้ถูกออกแบบและพัฒนาอย่างต่อเนื่อง อย่างไรก็ตาม วงจรกรองความถี่รูปแบบกระแสดได้รับความสนใจในการออกแบบและพัฒนา มากกว่าวงจรในรูปแบบแรงดัน เนื่องจากมีประสิทธิภาพที่สูงกว่าเช่น วงจรมีขนาดเล็ก ผลตอบสนองทางความถี่สูงกว่า อีกทั้งยังใช้ไฟเลี้ยงต่ำกว่าวงจรกรองความถี่รูปแบบแรงดัน [1-2] ซึ่งวงจรรูปแบบกระแสดสามารถทำงานได้ที่ไฟเลี้ยงต่ำ อีกทั้งยังมีโครงสร้างวงจรที่ไม่ซับซ้อน วงจรกรองความถี่แบบอนาล็อกทางด้านโทรคมนาคม [3] มีความสำคัญอย่างยิ่งในการเลือกความถี่ที่ต้องการจากหลายๆความถี่ สำหรับวงจรกรองความถี่แบบแพสซีฟ [4] สามารถใช้ในการสร้างเป็นวงจรกรองความถี่แบบอนาล็อกได้ แต่ก็ยังมีข้อด้อย คือ ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ จึงไม่เหมาะกับการสร้างเป็นวงจรรวม การออกแบบวงจรกรองความถี่รูปแบบกระแสดโดยใช้อุปกรณ์แอกทีฟ เช่นวงจรสายพานกระแสดรุ่นที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(CCII) ถูกสร้างเป็นบล็อกแอกทีฟรูปแบบกระแสสามารถนำไปใช้ได้กับหลายแอปพลิเคชัน [5-7] วงจรกรองความถี่รูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรสายพานกระแสหลายเอาต์พุต (MOCCII) [8] จะเห็นได้ว่าการออกแบบวงจรความถี่รูปแบบกระแสโดยใช้วงจรสายพานกระแสหลายเอาต์พุตสามารถลดจำนวนอุปกรณ์แอกทีฟลงแต่มีการใช้ตัวต้านทานต่อลงกราวด์ [9] อีกทั้งผลตอบแทนของความถี่ไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ หลายๆงานวิจัยได้นำเสนอวงสายพานกระแสรุ่นที่สองแบบกระแสควบคุม (CCCII) [10-11] ถูกนำไปใช้อย่างแพร่หลายในการนำไปสร้างวงจรกรองความถี่แบบแอกทีฟ เนื่องจากมีความยืดหยุ่นและสามารถออกแบบฟังก์ชันได้หลากหลาย ยิ่งไปกว่านั้นวงจรกรองที่ถูกสร้างขึ้นจาก CCCII ยังมีคุณสมบัติทางอิเล็กทรอนิกส์ เช่น ความต้านทานที่พอร์ต X ปรับค่าทางอิเล็กทรอนิกส์ได้ด้วยกระแสไบอัส (I_B) การออกแบบวงจรกรองความถี่หลายหน้าที่โดยใช้ CCCII [12-14] นำเสนอโครงสร้างและคุณลักษณะที่แตกต่างกัน โดยมีข้อด้อยเช่น ใช้อุปกรณ์แพสซีฟต่อแบบลอยตัว [12-13] อีกทั้งยังใช้อุปกรณ์แอกทีฟมากเกินไป [14]

วงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดปลายปิดคู่ พบได้ในหลายแอปพลิเคชัน ซึ่งมีประสิทธิภาพสูงและมีค่าความไวต่ำ [15] วงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแส โดยใช้ CCCII ถูกนำเสนอโดยใช้วงจรกรองความถี่ RLC ชนิดขั้นบันไดปลายปิดคู่ต้นแบบ [16] มีข้อเสียคือใช้ตัวเก็บประจุต่อแบบลอยตัว ซึ่งไม่เหมาะต่อการนำไปสร้างเป็นวงจรรวม [17]

1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์

จากปัญหาที่กล่าวมาข้างต้น วงจรที่ถูกนำเสนอมาแล้วในอดีตบางวงจรใช้ตัวต้านทานและตัวเก็บประจุต่อเข้ากับวงจรมากเกินไป ทำให้วงจรมีอุปกรณ์แพสซีฟมากเกินไป อีกทั้งบางวงจรมีการใช้ตัวเก็บประจุต่อแบบลอยตัวจึงไม่เหมาะต่อการนำไปสร้างเป็นวงจรรวม

วิทยานิพนธ์นี้มีวัตถุประสงค์ออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดขั้นบันไดรูปแบบกระแสโดยใช้วงจรสายพานกระแสหลายเอาต์พุต MOCCII_s ซึ่งวงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดขั้นบันไดต้นแบบถูกสังเคราะห์เป็นวงจรกรองความถี่ที่นำเสนอ วงจรกรองความถี่ที่นำเสนอถูกสร้างขึ้นโดยใช้ วงจรอินทิเกรเตอร์ชนิดสูญเสีย วงจรอินทิเกรเตอร์ชนิดไม่สูญเสีย ซึ่งไม่ใช่ตัวต้านทานภายในวงจรและใช้ตัวเก็บประจุต่อลงกราวด์ เหมาะต่อการนำไปสร้างเป็นวงจรรวม

1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์

วิทยานิพนธ์นี้จึงได้นำเสนอการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดขั้นบันไดรูปแบบกระแสโดยใช้วงจรสายพานกระแสหลายเอาต์พุต MOCCII_s ซึ่งวงจรกรองความถี่ต่ำผ่าน Chebyshev ชนิดขั้นบันไดต้นแบบถูกสังเคราะห์เป็นวงจรกรองความถี่ที่นำเสนอ โดยใช้หลักการออกแบบวงจรด้วยกราฟการไหลของสัญญาณ (SFG) วงจรกรองความถี่ที่นำเสนอถูกสร้างขึ้นโดยใช้อินทิเกรเตอร์ชนิดสูญเสีย 2 ตัวและอินทิเกรเตอร์ชนิดไม่สูญเสีย 3 ตัว และตัวเก็บประจุต่อลงกราวด์ 5 ตัว

วงจรที่นำเสนอทำงานในระดับทรานซิสเตอร์จึงทำให้มีข้อดีหลายข้อ เช่น ใช้ไฟเลี้ยงต่ำ ใช้พลังงานต่ำ ทำงานในย่านความถี่สูงได้ดี และปรับค่าทางอิเล็กทรอนิกส์ได้กว้าง

1.4 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์นี้ออกแบบวงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดแบบ Chebyshev อันดับสาม และอันดับห้าปรับค่าได้รูปแบบกระแสโดยใช้เทคโนโลยีซีมอส ผลตอบสนองทางความถี่สามารถปรับค่าได้ตั้งแต่ 75 kHz ถึง 7.5 MHz ด้วยการปรับค่ากระแสไบอัสตั้งแต่ 0.1 μ A ถึง 10 μ A วงจรกรองความถี่ต่ำผ่านที่นำเสนอใช้ไฟเลี้ยง 2 V และใช้พลังงาน 2 mW การใช้ตัวเก็บประจุต่อลงกราวด์โดยไม่ใช้ตัวต้านทานต่อภายนอกทำให้วงจรใช้พลังงานต่ำและเหมาะสำหรับการสร้างวงจรรวม ผลการจำลองการทำงานด้วย PSPICE ใช้เทคโนโลยี TSMC 0.25 μ m

1.5 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บท ดังต่อไปนี้

- บทที่ 1 นำเสนอ ความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์ หลักการใหม่ที่นำเสนอในวิทยานิพนธ์ ขอบเขตของวิทยานิพนธ์
- บทที่ 2 นำเสนอ ทฤษฎีที่เกี่ยวข้อง ประกอบด้วย บทนำ มอสทรานซิสเตอร์ (Metal Oxide Semiconductor : MOS transistor) เทคโนโลยีซีมอส (Complementary MOS : CMOS) วงจรสะท้อนกระแส (Current Mirror) การประมาณค่า และหลักการวงจรกรองสัญญาณ
- บทที่ 3 นำเสนอ งานวิจัยที่เกี่ยวข้องเพื่อนำมาเทียบกับวิทยานิพนธ์นี้
- บทที่ 4 นำเสนอ การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแส โดยใช้ MOCCCIIs
- บทที่ 5 นำเสนอ บทสรุปและข้อเสนอแนะ

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

2.1 บทนำ

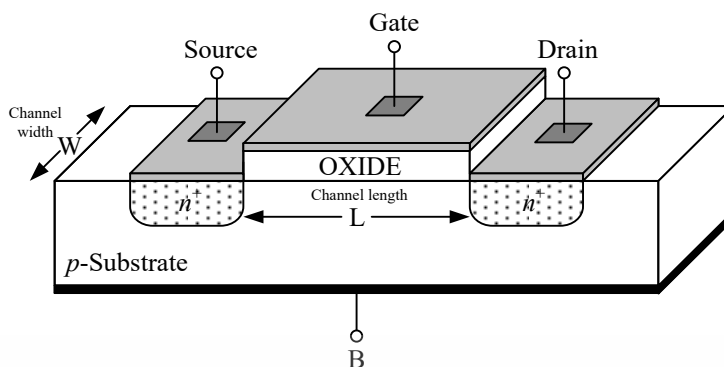
ภายในบทนี้ขอนำเสนอหลักการการทำงานของอุปกรณ์ที่นำมาใช้สำหรับออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดขั้นบันไดรูปแบบกระแสโดยใช้ MOCCCIIs ที่จะนำเสนอในงานวิทยานิพนธ์นี้ประกอบไปด้วย มอสทรานซิสเตอร์ (Metal Oxide Semiconductor : MOS transistor) โดยอธิบายถึงชนิดและลักษณะการทำงานเบื้องต้นของมอสทรานซิสเตอร์ เทคโนโลยีซีมอส (Complementary MOS : CMOS) ซึ่งนำไปมาสร้างเป็นอุปกรณ์ MOCCCIIs วงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุมหลายเอาต์พุต โดยใช้หลักการทำงานพื้นฐานของวงจระสะท้อนกระแส (Current Mirror) และสุดท้ายจะกล่าวถึงการประมาณค่าแบบ Chebyshev

2.2 มอสทรานซิสเตอร์

มอสทรานซิสเตอร์ (MOS Transistor) [18-20] หรือเรียกว่า มอสเฟต (Metal Oxide Semiconductor Field Effect Transistor: MOSFET) สามารถแบ่งลักษณะการทำงานได้เป็น 4 แบบดังต่อไปนี้

2.2.1 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นแชนเนล (N-Channel Enhancement Mode MOS Transistor)

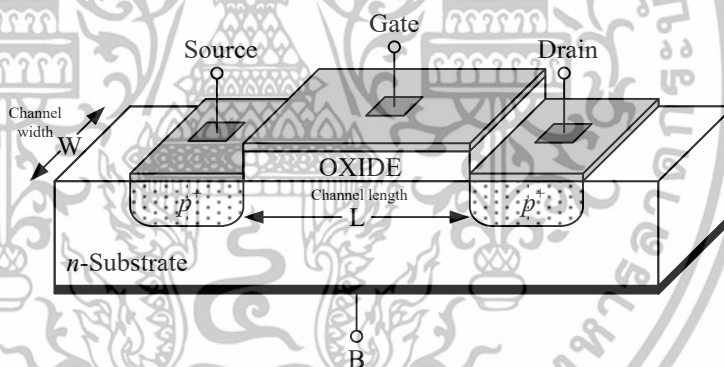
ซึ่งโครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นแชนเนลมีการเติมสารชนิดพีที่แผ่นฐานรอง ซึ่งมีความหนาแน่นน้อย (Lightly Doped *p*-Type Substrate) ที่บริเวณซอร์สและเดรน ทำการเติมสารชนิดเอ็นที่มีความหนาแน่นสูงที่ฐานรองทั้งสอง แต่บริเวณสารกึ่งตัวนำที่ถูกสารเจือทั้งสองนั้น ไม่ได้เชื่อมต่อกับอิเล็กโทรดเข้าโดยตรงเหมือนแบบ ดีพลีสชัน ซึ่งมีการเคลือบซิลิกอนไดออกไซด์ (SiO_2) สร้างเป็นฉนวนลงบนฐานรองแล้วต่ออิเล็กโทรดที่เป็นโลหะเข้าที่เกต (G) โดยส่วนที่อยู่ระหว่างซอร์ส (S) และเดรน (D) จึงเรียกว่าแชนเนล โดยระยะห่างความยาวแชนเนล (Channel Length) เป็น L และระยะห่างความกว้าง (Channel Width) เป็น W ดังแสดงในรูปที่ 2.1



รูปที่ 2.1 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ชนิดเอ็นแชนเนล [19]

2.2.2 มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดพีแชนเนล (P-Channel enhancement mode MOS Transistor)

มีโครงสร้างคล้ายคลึงกับมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ชนิดเอ็นแชนเนล ซึ่งจะต่างกันที่แผ่นฐานรองเป็นชนิดเอ็นที่มีความหนาแน่นน้อย ส่วนบริเวณซอร์สและเดรนทำการเติมสารเจือชนิดเอ็นที่มีความหนาแน่นสูงบนแผ่นฐานรองทั้งสอง ดังแสดงในรูปที่ 2.2

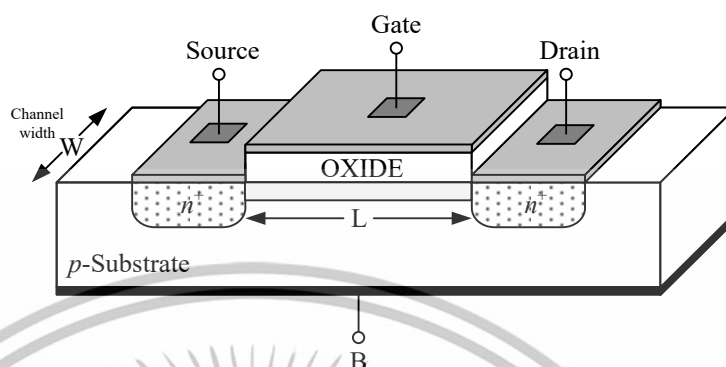


รูปที่ 2.2 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดพีแชนเนล [19]

2.2.3 มอสทรานซิสเตอร์แบบดีพลีชันโหมดชนิดเอ็นแชนเนล (N-Channel depletion mode MOS Transistor)

ซึ่งโครงสร้างของมอสทรานซิสเตอร์แบบดีพลีชันโหมดชนิดเอ็นแชนเนลมีการเติมสารชนิดพี (p -Substrate) ที่แผ่นฐานรอง ซึ่งมีความหนาแน่นน้อย โดยเป็น Single Crystal Silicon Wafer เรียกว่า บอดี้ (Body) ที่เป็นซอร์สและเดรน ทำการเติมสารชนิดเอ็นที่มีความหนาแน่นสูง (Heavily Doped n -Type Region) และมีการต่ออิเล็กโทรดเข้าตรงบริเวณระหว่างฐานรองทั้งสอง โดยที่บริเวณรอยต่อทางเชื่อมระหว่างซอร์สและเดรนทำการเติมสารกึ่งตัวนำชนิดเอ็นที่มีความหนาแน่นน้อย (Lightly Doped

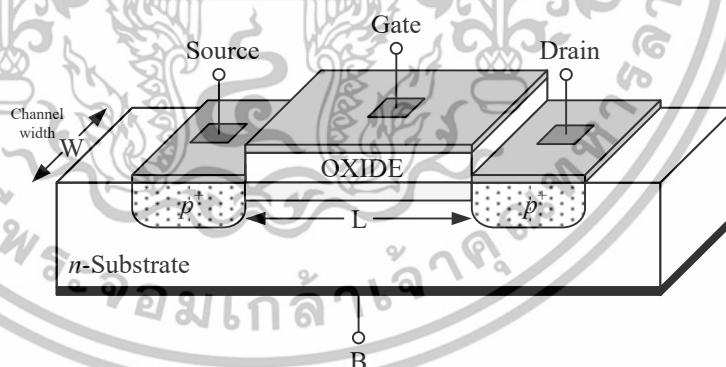
n-Type Region) เรียกว่าแชนเนล โดยด้านบนแชนเนลนั้นมีทำการเติมสารซิลิกอนไดออกไซด์ (SiO_2) เพื่อสารเป็นฉนวนแผ่นบางๆ แล้วต่ออิเล็กโทรดที่เป็นโลหะเข้าที่เกต ดังแสดงในรูปที่ 2.3



รูปที่ 2.3 โครงสร้างมอสทรานซิสเตอร์แบบดีพลีชันโหมดชนิดเอ็นแชนเนล [19]

2.2.4 มอสทรานซิสเตอร์แบบดีพลีชันโหมดชนิดพีแชนเนล (P-Channel depletion mode MOS Transistor)

โดยมีโครงสร้างคล้ายคลึงกับมอสทรานซิสเตอร์แบบดีพลีชันโหมดชนิดเอ็นแชนเนล ซึ่งจะต่างกันที่แผ่นฐานรองทำการเติมสารกึ่งตัวนำชนิดเอ็นและที่ช่องทางเดินกระแสบริเวณซอร์สและเดรนทำการเติมสารกึ่งตัวนำชนิดพีที่มีความหนาแน่นน้อย (Lightly Doped *p*-Type Region) ดังแสดงในรูปที่ 2.4

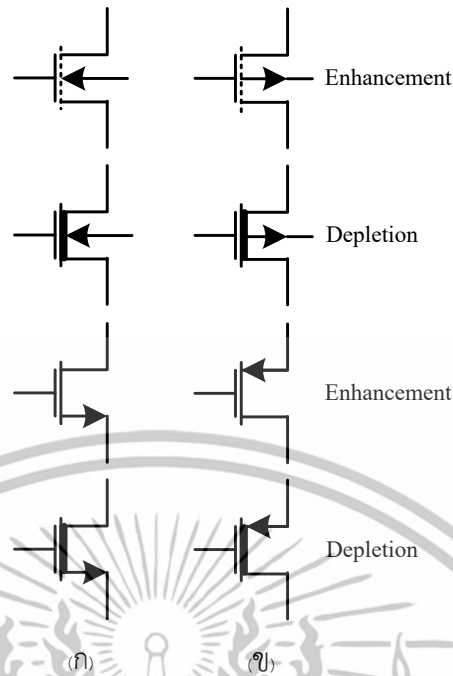


รูปที่ 2.4 โครงสร้างมอสทรานซิสเตอร์แบบดีพลีชันโหมดชนิดพีแชนเนล [19]

2.2.5 สัญลักษณ์ของมอสทรานซิสเตอร์

สัญลักษณ์ของมอสทรานซิสเตอร์จะช่วยให้สามารถบ่งบอกได้ว่ามอสทรานซิสเตอร์เป็นชนิด PMOS หรือ NMOS ดังแสดงในรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



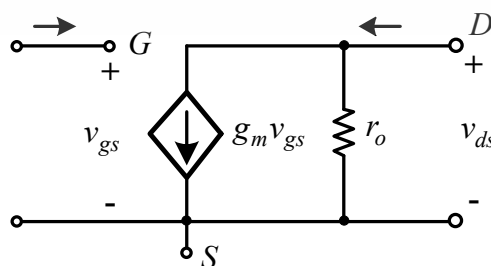
รูปที่ 2.5 สัญลักษณ์ของมอสทรานซิสเตอร์ [19]

(ก) NMOS (ข) PMOS

2.2.6 วงจรเสมือนสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

วงจรเสมือนสัญญาณขนาดเล็ก (Small-Signal Equivalent Circuit) [20] ของมอสทรานซิสเตอร์ ถูกนำไปใช้ในการวิเคราะห์หาผลตอบสนองของสัญญาณ มอสทรานซิสเตอร์จะให้คุณสมบัติเป็น แรงดันควบคุมแหล่งกำเนิดกระแส (Voltage-Controlled Current Source) โดยให้สัญญาณ V_{gs} จึงทำให้เกิดกระแส $g_m V_{gs}$ ทางด้านขาเดรน ที่อินพุตมีค่าความต้านทานสูงมากและเป็นอนันต์ในทางอุดมคติ ซึ่งมีตัวต้านทาน r_o ต่ออยู่ระหว่างขาเดรนและขาซอส ดังแสดงในรูปที่ 2.6 เมื่อกระแสที่ขาเกตจะมีค่าน้อยมากจนเกือบจะเท่ากับศูนย์จึงทำให้ที่ขาเกตมีลักษณะเหมือนเปิดวงจร สามารถหาค่าแรงดัน v_{ds} ได้ดังนี้

$$v_{ds} = i_d r_o = r_o g_m v_{gs} \quad (2.1)$$

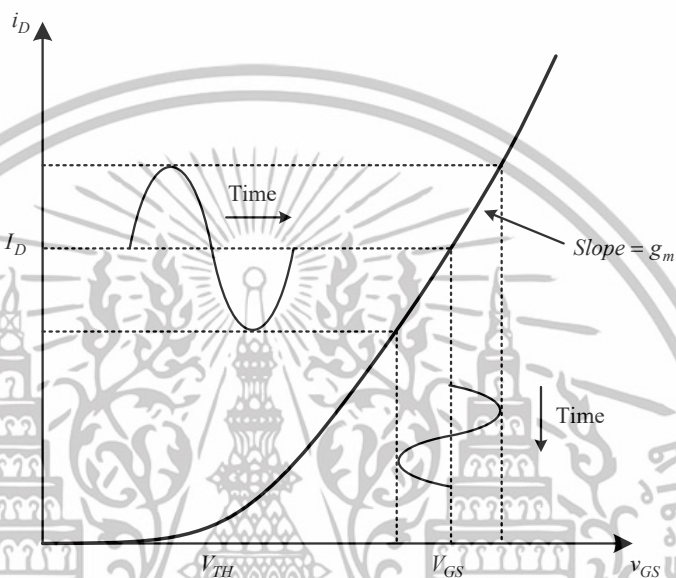


รูปที่ 2.6 วงจรสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ [20]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความต้านทานทางด้านของเอาต์พุตคือส่วนกลับของค่าความชันของกราฟซึ่งความสัมพันธ์ระหว่าง I_{DS} และ V_{DS} สามารถหาค่าได้ดังนี้

$$r_o = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\lambda I_D} \quad (2.2)$$



รูปที่ 2.7 กราฟแสดงความสัมพันธ์ระหว่าง i_D และ v_{GS} [21]

ในรูปที่ 2.7 แสดงค่าความชันของกราฟ คือ ค่าทรานส์คอนดักแตนซ์ (g_m) ซึ่งถูกกำหนดด้วยค่าของกระแสเดรนและแรงดันระหว่างขาคาทและขอสซึ่งเขียนได้ดังนี้

$$g_m = \frac{\partial i_D}{\partial v_{GS}} \quad (2.3)$$

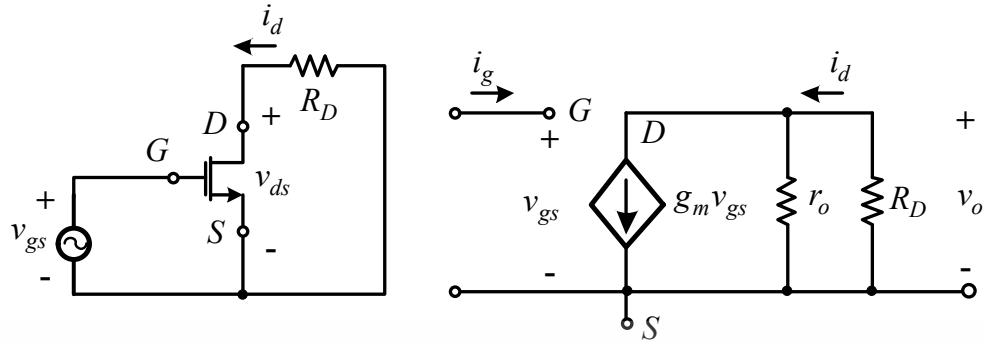
กำหนดให้ $i_D \approx I_D$, $v_{GS} \approx V_{GS}$ และ $v_{DS} \approx V_{DS}$ ดังนั้นค่าทรานส์คอนดักแตนซ์สามารถหาค่าได้ดังนี้

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = 2K(V_{GS} - V_{TH}) \quad (2.4)$$

$$= \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (2.5)$$

โดยที่ $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 รูปวงจรสัญญาณขนาดเล็กของวงจรขยาย [20]

จากรูปที่ 2.8 ค่าความต้านทานอินพุตของวงจรสัญญาณขนาดเล็กสามารถหาได้ดังนี้

$$R_i = \frac{v_{gs}}{i_g} = \infty \quad (2.6)$$

เมื่อพิจารณาทางด้านเอาต์พุตโดยที่ $v_{gs} = 0$ โดยใช้หลักการ Thevenin's equivalent หาค่าความต้านทานทางด้านเอาต์พุต สามารถหาได้ดังนี้

$$R_o = r_o \parallel R_D \quad (2.7)$$

สมการแรงดันเอาต์พุตของสัญญาณขนาดเล็ก (v_o) สามารถเขียน ได้ดังนี้

$$v_o = -g_m (r_o \parallel R_D) v_{gs} \quad (2.8)$$

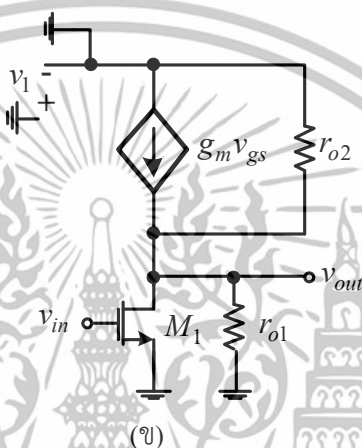
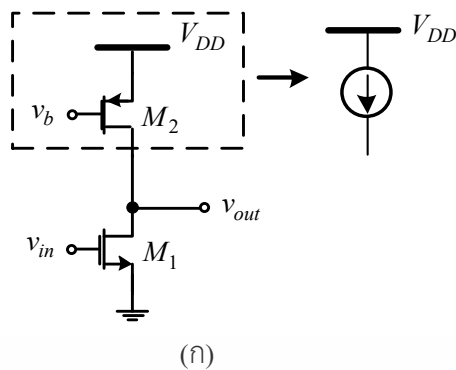
และอัตราขยายของสัญญาณขนาดเล็กคือ

$$A_{vo} = \frac{v_o}{v_{gs}} = -g_m (r_o \parallel R_D) v_{gs} \quad (2.9)$$

ถ้าแทนค่า $r_o = V_M / I_D$ จะได้ว่า

$$A_{vo} = -g_m \left(\frac{V_M R_D}{V_M + I_D R_D} \right) \quad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 (ก) ชุดแหล่งจ่ายกระแส โดยใช้ PMOS (ข) วงจรเสมือนขนาดเล็ก [18]

จากรูปที่ 2.9 (ก) แสดงการใช้ PMOS แทนการใช้แหล่งจ่ายกระแสให้กับ NMOS เมื่อพิจารณารูปที่ 2.9 (ข) เพื่อหาค่าความต้านทานทางด้านเอาต์พุตและอัตราขยายของสัญญาณขนาดเล็ก โดยกำหนดให้แรงดันเกตและซอส มีค่าคงที่จึงทำให้มอสทรานซิสเตอร์ M_2 ทำงานเสมือนเป็นตัวต้านทานเพราะ $V_i = 0$ และ $g_{m2}v_i = 0$ ทำให้สามารถเขียนสมการได้ดังนี้

$$A_{vo} = -g_{m1}(r_{o1} \parallel r_{o2}) \tag{2.11}$$

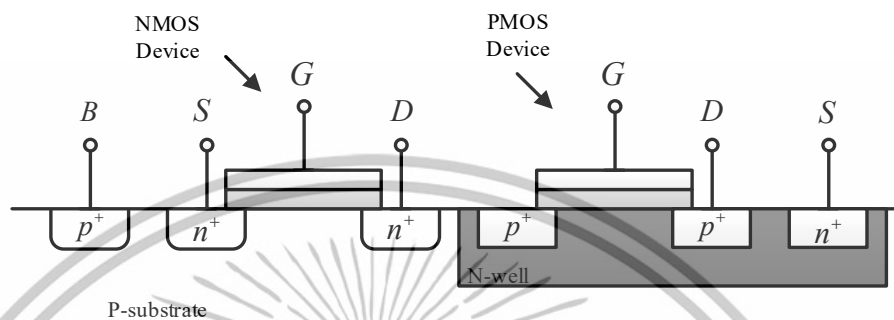
$$R_{out} = r_{o1} \parallel r_{o2} \tag{2.12}$$

2.3 เทคโนโลยีของวงจรรวมซีมอส

ซีมอส (Complementary MOS: CMOS) [18] เป็นเทคโนโลยีที่สร้างขึ้นจากการใช้ มอสทรานซิสเตอร์ชนิด n-channel และ p-channel สร้างอยู่บนฐานรองเดียวกัน ดังแสดงในรูปที่ 2.10 ซึ่งฐานรองชนิดเอ็นนั้นสามารถสร้างได้ในฐานรองชนิดพีโดยการสร้างบ่อเอ็น (n-well) ขึ้นมาก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซีมอส (Complementary MOS: CMOS) [18] ถึงแม้ว่าสร้างได้ยากแต่มีข้อดี คือ สามารถ ออกแบบวงจรที่มีประสิทธิภาพมากกว่าได้ ในปัจจุบันซีมอสมีบทบาทสำคัญมากในเทคโนโลยีวงจรรวมแบบมอส อีกทั้งสามารถใช้ได้กับวงจรรวมแบบอนาล็อกและดิจิทัล



รูปที่ 2.10 โครงสร้างของซีมอส (Complementary MOS: CMOS) [18]

จากโครงสร้างดังแสดงในรูปที่ 2.10 เทคโนโลยีซีมอสมีการสร้างและการทำงานที่ซับซ้อนมากกว่า n -channel หรือ p -channel โดยเทคโนโลยีมอสทรานซิสเตอร์ในยุคแรกมีเพียง NMOS เท่านั้น เพราะต้นทุนในการสร้าง CMOS นั้นสูงกว่า อย่างไรก็ตามเนื่องจากข้อดีของ CMOS สามารถ ออกแบบวงจรที่มีประสิทธิภาพมากกว่าได้ ในปัจจุบันซีมอสมีบทบาทสำคัญมากในเทคโนโลยีวงจรรวมแบบมอส อีกทั้งสามารถใช้ได้กับวงจรรวมแบบอนาล็อกและดิจิทัล

และจากโครงสร้างของซีมอสในรูปที่ 2.10 แสดงให้เห็นถึงการสร้าง n -channel และ p -channel บนแผ่นฐานรองเดียวกัน จะเห็นได้ว่า n -channel สร้างได้โดยตรง แต่ p -channel สร้างขึ้นได้โดยการสร้างบ่อเอ็น (n -well) ขึ้นมาก่อน

2.4 วงจรสะท้อนกระแส

วงจรสะท้อนกระแส (Current mirror) [18-20] แบบมอสทรานซิสเตอร์ เป็นวงจรที่มีความสำคัญสำหรับใช้ออกแบบวงจรกรองสัญญาณความถี่อนาล็อก โดยวงจรสะท้อนกระแสมีอยู่ประมาณ 4 แบบด้วยกันที่นิยมใช้ ซึ่งได้รับการพัฒนาและเผยแพร่อย่างต่อเนื่อง ได้แก่ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบคาสโคด วงจรสะท้อนกระแสแบบ Wilson และวงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

สำหรับวงจรสะท้อนกระแสที่ต่อร่วมกับวงจรอินทิเกรเตอร์ชนิดสูญเสีย และวงจรอินทิเกร-

เตอร์ชนิดไม่สูญเสียที่อยู่ในวงจรรองความถี่ต่ำผ่านแบบ Chebyshev อันดับสูงรูปแบบกระแสโดยใช้เทคโนโลยีซีมอส ซึ่งจะใช้เป็นวงจรสะท้อนกระแสแบบพื้นฐาน ดังนั้นในหัวข้อต่อไปนี้จะขอกล่าวถึงรายละเอียดของวงจรสะท้อนกระแสแบบพื้นฐานเท่านั้น

จากรูปที่ 2.11 (ก) ซึ่งเป็นวงจรสะท้อนกระแสแบบพื้นฐาน จากรูปเห็นได้ว่าแรงดัน V_x ในกล่องสี่เหลี่ยมสามารถหาค่าได้ดังสมการที่ 2.11

$$\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_x - V_{TH1})^2 = I_{REF} \quad (2.11)$$

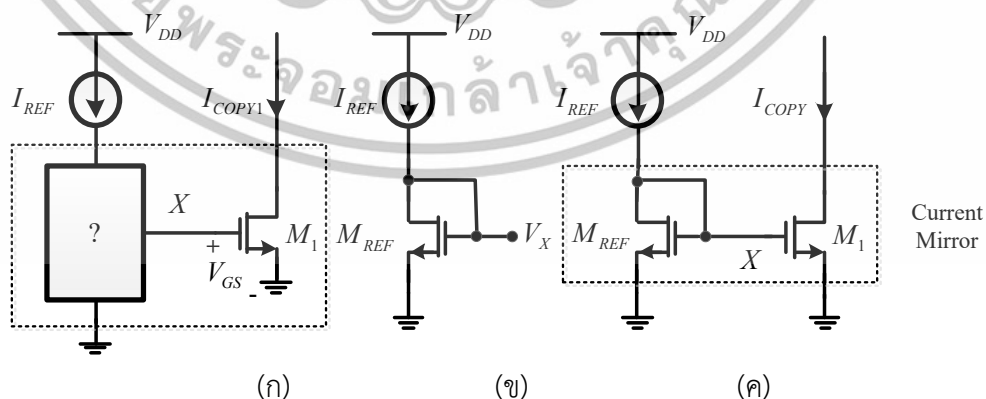
ซึ่งค่าแรงดัน V_x หาได้จากการกำหนดค่าความกว้างของแชนเนล W ความยาวของแชนเนล L ค่ากระแสอินพุต I_{REF} และค่าแรงดันขีดเริ่ม V_{TH} แสดงได้ดังสมการที่ 2.12

$$V_x = \sqrt{\frac{2I_{REF}}{\mu_n C_{ox} \left(\frac{W}{L} \right)_1}} + V_{TH1} \quad (2.12)$$

จากรูปที่ 2.11 (ข) แสดงมอสทรานซิสเตอร์ซึ่งทำหน้าที่เปรียบเสมือนเป็นไดโอดแทนในกล่องสี่เหลี่ยมในรูปที่ 2.11 (ก) ซึ่งจะได้เป็นตามรูปที่ 2.11 (ค) เรียกว่าวงจรสะท้อนกระแส โดยวงจรสะท้อนกระแสประกอบด้วยทรานซิสเตอร์ 2 ตัว สามารถเขียนสมการในรูปของกระแสได้ดังนี้

$$I_{REF} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_{REF} (V_x - V_{TH})^2 \quad (2.13)$$

$$I_{COPY} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_x - V_{TH})^2 \quad (2.14)$$



รูปที่ 2.11 โครงสร้างวงจรสะท้อนกระแสแบบพื้นฐาน [19]

(ก) หลักการคัดลอกกระแสโดยใช้มอสทรานซิสเตอร์ชนิด NMOS (ข) สัดส่วนแรงดัน (V_x)

(ค) วงจรสะท้อนกระแสแบบมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

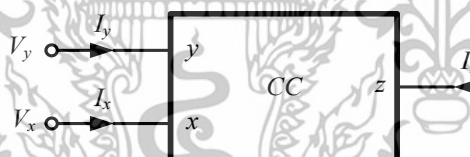
ซึ่งความสัมพันธ์ระหว่างกระแสเอาต์พุต (I_{COPY}) และกระแสอินพุต (I_{REF}) สามารถเขียนได้ดังนี้

$$I_{COPY} = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_{REF}} I_{REF} \quad (2.15)$$

2.5 วงจรสายพานกระแส

วงจรสายพานกระแส (Current Conveyor) มีลักษณะการทำงานคล้ายคลึงกับวงจรออปแอมป์ (op-amp) โดยวงจรสายพานกระแสคือบล็อกแอกทีฟประเภทหนึ่ง สามารถนำไปออกแบบเป็นวงจรทางด้านอนาล็อกได้ โดยวงจรสายพานกระแสแสงจรมีความแตกต่างจากออปแอมป์ คือ วงจรสายพานกระแสทำงานในรูปแบบกระแส ส่วนวงจรออปแอมป์ถูกทำงานในรูปแบบแรงดัน โดยถูกนำไปใช้งานอย่างแพร่หลาย วงจรรูปแบบกระแสมีข้อดี คือ วงจรรูปแบบกระแสจะทำงานในย่านความถี่กว้างกว่าวงจรที่ทำงานในรูปแบบแรงดัน ซึ่งวงจรสายพานกระแสถูกพัฒนามาอย่างต่อเนื่อง โดยเริ่มจากวงจรสายพานกระแสรุ่นที่หนึ่ง (CCI) วงจรสายพานกระแสรุ่นที่สอง (CCII) และวงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุม (CCCII) ตามลำดับ

รูปที่ 2.12 แสดงวงจรสายพานกระแสประกอบด้วยพอร์ตใช้งาน 3 พอร์ต โดยพอร์ต x และ y เป็นอินพุต พอร์ต z เป็นเอาต์พุตของวงจร



รูปที่ 2.12 สัญลักษณ์ทางไฟฟ้าของวงจรสายพานกระแส [21]

ในปี ค.ศ. 1968 วงจรสายพานกระแสรุ่นที่หนึ่ง (First Generation Current Conveyor: CCI) [21] ได้ถูกนำเสนอเป็นครั้งแรกโดย Smith K.C. และ Sedra A. ต่อมาในปี ค.ศ. 1970 ได้ถูกพัฒนาเป็นวงจรสายพานกระแสรุ่นที่สอง (Second Generation Current Conveyor: CCII) [22] ขึ้น ซึ่งวงจร CCII เป็นที่นิยมอย่างมาก เนื่องจากมีคุณสมบัติที่แตกต่างจากวงจรสายพานกระแสรุ่นที่หนึ่งและมีความคล่องตัวมากกว่าวงจรสายพานกระแสรุ่นที่หนึ่ง จึงทำให้วงจรสายพานกระแสรุ่นที่สองถูกนำไปใช้ในงานวิจัยและพัฒนาอย่างต่อเนื่อง

ในปี ค.ศ. 1995 Fabre A. และคณะได้นำเสนอวงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุม (Second Generation Current Controlled Conveyor: CCCII) [23], โดย Fabre A. และคณะได้ทำ

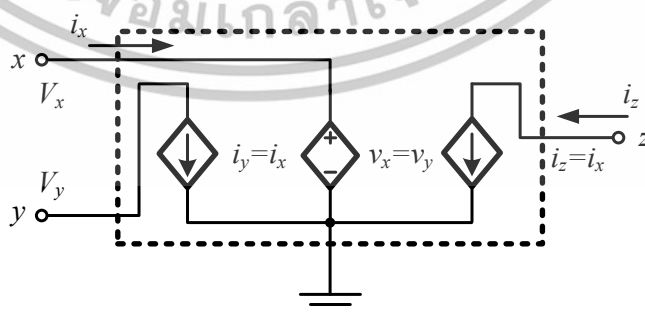
การวิเคราะห์วงจรทรานสลิเนียร์ที่เป็นด้านอินพุตของวงจรสายพานกระแสแบบทรานสลิเนียร์ (Translinear Conveyor) [24] พบว่าวงจรสายพานกระแสแบบทรานสลิเนียร์นี้มีความต้านทานแฝงปรากฏขึ้นที่อินพุตทางด้านพอร์ต x ดังนั้นค่าความต้านทานแฝงสามารถควบคุมได้ด้วยกระแสไบอัสของวงจรถานสลิเนียร์ได้ด้วย [25] ซึ่งวงจรที่สร้างขึ้นด้วยวงจรสายพานกระแสรุ่นที่สองแบบกระแสควบคุมเป็นส่วนประกอบนั้น มีข้อดี คือ ไม่จำเป็นต้องใช้ตัวต้านมาประกอบวงจร โดยจะขอกกล่าวเกี่ยวกับพื้นฐานเบื้องต้นของวงจรสายพานกระแสแต่ละรุ่นพอสังเขปดังนี้

2.5.1 วงจรสายพานกระแสรุ่นที่หนึ่ง

วงจรสายพานกระแสรุ่นที่หนึ่ง (CCI) มีหลักการทำงาน ดังนี้ เมื่อมีแรงดันไฟฟ้า (v) ตกคร่อมด้านอินพุตที่พอร์ต y ทำให้เกิดแรงดันไฟฟ้าค่าเท่ากันที่พอร์ต x ในขณะที่เดียวกันเมื่อมีกระแสไฟฟ้า (i_x) ไหลผ่านด้านอินพุตที่พอร์ต x ก็ทำให้เกิดกระแสไฟฟ้าค่าเท่ากันที่พอร์ต y เมื่อกระแสเดียวกันนี้ถูกนำไปเป็นกระแสด้านเอาต์พุตที่พอร์ต z โดยเป็นพอร์ตที่มีค่าอิมพีแดนซ์ (Impedance) สูงด้วย ที่พอร์ต x ค่าแรงดันไฟฟ้าที่เกิดขึ้น นั้นจะไม่ขึ้นกับค่ากระแสที่ไหลผ่านพอร์ต x ซึ่งถูกกำหนดโดยเกี่ยวเนื่องกับแรงดันไฟฟ้าทางด้านพอร์ต y เช่นเดียวกันที่พอร์ต y ค่ากระแสไฟฟ้าที่ไหลผ่าน นั้นจะไม่ขึ้นกับค่าแรงดันไฟฟ้าที่ตกคร่อมที่พอร์ต y ซึ่งถูกกำหนดโดยค่ากระแสไฟฟ้าทางด้านพอร์ต x จากความสัมพันธ์ของตัวแปรทางไฟฟ้าต่างๆ แสดงในรูปของความสัมพันธ์ทางเมตริกซ์ได้ดังสมการต่อไปนี้

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.16)$$

จากความสัมพันธ์ทางเมตริกซ์ตามสมการที่ (2.16) นำไปเขียนเป็นวงจรสมมูลทางไฟฟ้าของวงจร CCI ได้ดังแสดงในรูปที่ 2.13



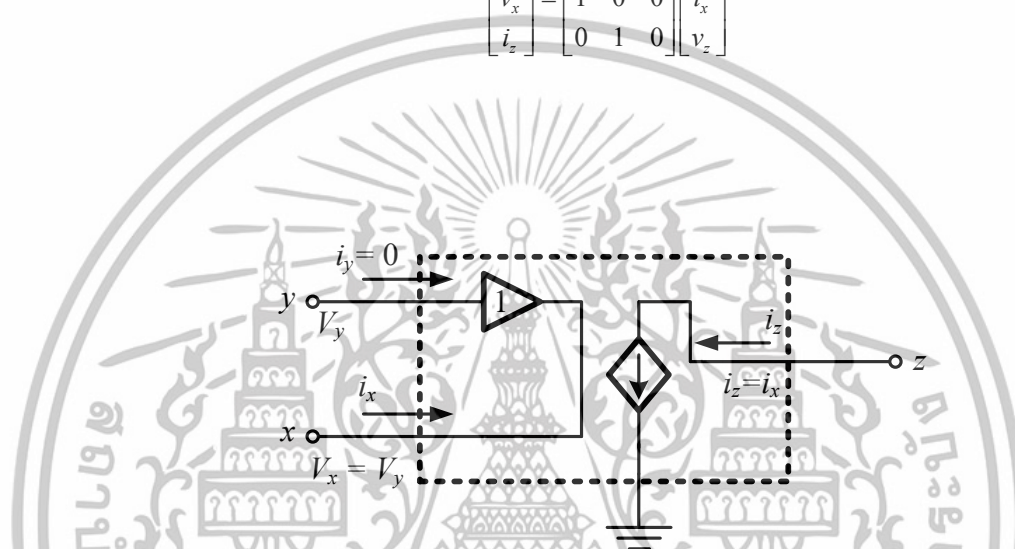
รูปที่ 2.13 วงจรสมมูลทางไฟฟ้าของวงจร CCI [21]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 วงจรสายพานกระแสร่นที่สอง

วงจรสายพานกระแสร่นที่สอง (CCII) สามารถนำไปเขียนเป็นวงจรสมมูลทางไฟฟ้าของวงจร CCII ได้ดังแสดงในรูปที่ 2.14 ซึ่งมีคุณสมบัติของวงจรแสดงได้ตามความสัมพันธ์เชิงเมตริกซ์ของตัวแปรไฟฟ้าต่างๆ ดังสมการต่อไปนี้

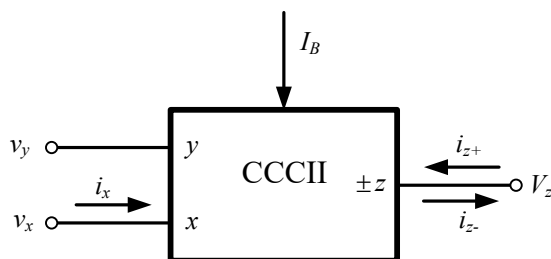
$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.17)$$



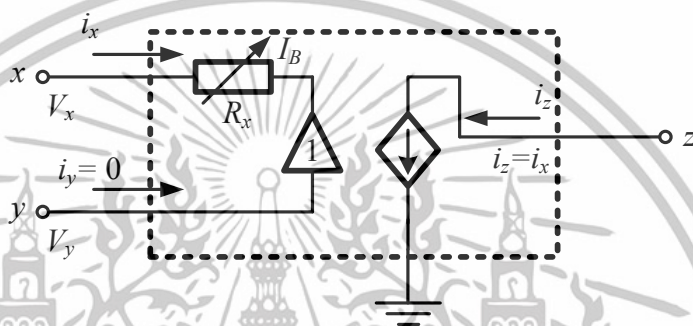
รูปที่ 2.14 วงจรสมมูลทางไฟฟ้าของวงจร CCII [22]

2.5.3 วงจรสายพานกระแสร่นที่สองแบบกระแสควบคุม

วงจรสายพานกระแสร่นที่สองแบบกระแสควบคุม (CCCII) มีคุณสมบัติคล้ายกับวงจร CCII แต่วงจร CCCII นั้นจะมีค่าความต้านทานภายในทางด้านพอร์ต x โดยค่าความต้านทานภายในสามารถควบคุมได้ด้วยกระแสไบอัสของวงจร ซึ่งวงจร CCCII เป็นอุปกรณ์ที่มี 3 พอร์ต ได้แก่ พอร์ต x , y และ z โดยพอร์ต x มีอิมพีแดนซ์ทางด้านอินพุต (input impedance) ขึ้นกับกระแสไบอัส I_o พอร์ต y มีอิมพีแดนซ์ทางด้านอินพุตสูงมาก และพอร์ต z มีอิมพีแดนซ์ทางด้านเอาต์พุตสูงมาก โดยสัญลักษณ์และวงจรสมมูลทางไฟฟ้าของวงจร CCCII แสดงดังในรูปที่ 2.15 และ 2.16 ตามลำดับ



รูปที่ 2.15 วงจรสมมูลทางไฟฟ้าของวงจร CCCII [23]



รูปที่ 2.16 บล็อกไดอะแกรมของวงจร CCCII [23]

วงจร CCCII มีกระแสต้านเอาต์พุตที่พอร์ต z คือ i_z เท่ากับกระแสทางด้านอินพุตที่พอร์ต x คือ i_x ถ้ากระแส i_x มีทิศทางเดียวกันกับกระแส i_z นั่นคือไหลออกวงจรเหมือนกันจัดได้ว่าเป็นวงจร CCCII แบบบวก (Positive CCCII) มีสัญลักษณ์ตัวอักษรย่อว่า CCCII+ ส่วนกรณีที่กระแสทั้งสองไหลทิศทางตรงกันข้ามกันวงจรจัดได้ว่าเป็น CCCII แบบลบ (Negative CCCII) มีสัญลักษณ์ตัวอักษรย่อว่า CCCII-

ค่าความต้านทานภายในที่เกิดขึ้นที่พอร์ต x แทนสัญลักษณ์ด้วย R_x โดยความต้านทานดังกล่าวแปรผันกับกระแสไบอัส I_B ของวงจร จากรูปที่ 2.15 สามารถเขียนความสัมพันธ์เชิงเมตริกซ์ของวงจร CCCII ได้ดังนี้

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_x & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.18)$$

โครงสร้างของวงจร CCCII ถูกสร้างมาจากพื้นฐานของวงจรทรานซิสลีนีร์ที่ประกอบขึ้นจากมอสทรานซิสเตอร์ ชนิด NMOS และ PMOS ที่ต่อในลักษณะลูบ และประกอบร่วมกับวงจรสะท้อนกระแส (Current mirror)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.4 ทฤษฎีทรานสลิเนียร์

(Translinear) [26] วงจรทรานสลิเนียร์ใช้ประโยชน์จากฟังก์ชันพีชคณิตอย่างมาก จากความสัมพันธ์ของกระแสกับค่าทรานคอนดักแตนซ์ในทรานซิสเตอร์แบบไบโพลาร์ ทั้งสัญญาณอินพุตและเอาต์พุต โดยวงจรจะอยู่ในรูปแบบกระแส ในความเป็นจริงผลที่เกิดจากการเปลี่ยนแปลงแรงดันขนาดเล็กน้อยที่มีค่าน้อยกว่าสิบลิลลิโวลต์มีความน่าสนใจ ซึ่งเกิดขึ้นโดยไม่ได้ตั้งใจ จากพื้นฐานแล้ววงจรไม่ขึ้นอยู่กับขนาดของสัญญาณอินพุต แต่จะถูกแทนที่ด้วยอัตราส่วนกระแสภายในวงจร ผลที่ได้คือวงจรจะไม่แปรผันตามการเปลี่ยนแปลงอุณหภูมิ ซึ่งเป็นคุณสมบัติทั่วไปของซิลิกอน สามารถอธิบายทฤษฎี โดยเริ่มจากการแสดงพื้นฐานที่เกี่ยวกับกระแสคอนเลคเตอร์ I_C และแรงดันอิมิตอร์เบส V_{BE} มีรายละเอียดดังนี้

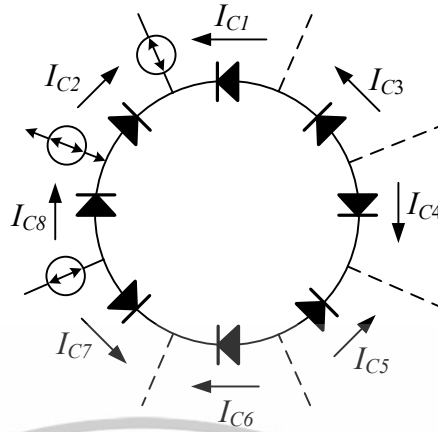
$$I_C = I_S(T) e^{V_{BE}/V_T} \quad (2.19)$$

โดย V_T คือ แรงดันอุณหภูมิมีค่าเท่ากับ KT/q และ $I_S(T)$ คือกระแสที่อิมิตัว มีค่าขึ้นอยู่กับอุณหภูมิ โดยสามารถเปลี่ยนแปลงได้ 9.5% ต่อองศาเซลเซียส เมื่ออุณหภูมิถูกบ่อนโดย V_{BE} ที่ขึ้นตรงต่อระดับอุณหภูมินี้จะทำให้ได้ผล I_C ที่คาดเดาไม่ได้ ด้วยเหตุผลนี้ในทางปฏิบัติจึงไม่ค่อยพบการบ่อนอินพุตในลักษณะนี้

ในทางกลับกันทรานซิสเตอร์ถูกบ่อนด้วย I_C จะทำให้เกิด V_{BE} ค่าความขึ้นตรงต่ออุณหภูมิจะมีค่าลดลงอย่างมาก เขียนสมการ (2.19) ใหม่ได้เป็น

$$V_{BE} = V_T \ln\left(\frac{I_C}{I_S(T)}\right) \quad (2.20)$$

เห็นได้ชัดว่าความแม่นยำ และความสัมพันธ์เชิงเส้นลอการิทึมระหว่าง I_C และ V_{BE} เมื่ออุปกรณ์คู่นี้ถูกเชื่อมต่อในรูปแบบที่เหมาะสมจะทำให้เอาต์พุตของวงจรไม่ขึ้นอยู่กับอุณหภูมิ และฟังก์ชันทางคณิตศาสตร์ก็สามารถเข้าใจง่าย โดยทั้งหมดนี้เป็นการนำไปสู่ทฤษฎีของวงจรทรานสลิเนียร์



รูปที่ 2.17 วงจรรูปปิดแบบทั่วไปกรณีไบอัสตรง [26]

หลักการของทรานสลิเนียร์จะถูกอธิบายบนโครงข่ายรูปเดียว ซึ่งแสดงในรูปที่ 2.17 โดยองค์ประกอบรูปปิดนี้ถูกสมมติให้มีอุปกรณ์ N ตัว ซึ่งเป็นการไบอัสด้วยแรงดัน V_F กำหนดให้ N_1 แทนจำนวนของอุปกรณ์ที่ไบอัสตรงในทิศทางหมุนตามเข็มนาฬิกา (CW) ดังนั้น $N_2 (=N-N_1)$ แทนจำนวนอุปกรณ์ทั้งหมดของอุปกรณ์ในทิศทางหมุนทวนเข็มนาฬิกา (CCW) เพื่อให้เห็นความแตกต่างจะกำหนดให้อุปกรณ์ที่หมุนตามเข็มนาฬิกาเป็นตัวชี้คู่ตามกฎแรงดันของ Kirchhoff ผลรวมของแรงดันแต่ละจุดในรูปมีค่าเท่ากับศูนย์ ดังสมการที่ (2.21)

$$\sum_{k=1}^{N_1} V_{F,2k} - \sum_{k=1}^{N_2} V_{F,2k-1} = 0 \quad (2.21)$$

ซึ่งแรงดันที่จุดต่อ V_F แทนที่ด้วย V_{BE} ของอุปกรณ์ไบโพลาร์ และกระแสที่ไหลผ่านรอยต่อจะเท่ากับกระแสคอลเลคเตอร์ I_C ของทรานซิสเตอร์ไบโพลาร์ จากสมการ (2.20) และ (2.21) สามารถเขียนสมการใหม่ได้เป็น

$$\sum_{k=1}^{N_1} V_{T,2k} \ln \left(\frac{I_{C,2k}}{I_{S,2k}} \right) - \sum_{k=1}^{N_2} V_{T,2k-1} \ln \left(\frac{I_{C,2k-1}}{I_{S,2k-1}} \right) = 0 \quad (2.22)$$

ในการสร้างวงจรรวมนั้น ทรานซิสเตอร์ถูกประมาณให้มีค่าใกล้เคียงกันมาก โดยสมมติให้อุปกรณ์ทำงานที่อุณหภูมิเดียวกัน ซึ่งหมายถึงให้ V_T ทุกตัวมีค่าเท่ากันหมด ดังนั้นสามารถเขียนสมการใหม่ได้เป็น

$$\sum_{k=1}^{N_1} \ln \left(\frac{I_{C,2k}}{I_{S,2k}} \right) - \sum_{k=1}^{N_2} \ln \left(\frac{I_{C,2k-1}}{I_{S,2k-1}} \right) = 0 \quad (2.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดรูปสมการ (2.23) ใหม่ได้

$$\prod_{k=1}^{N_1} \left(\frac{I_{C,2k}}{I_{S,2k}} \right) \cdot \prod_{k=1}^{N_2} \left(\frac{I_{S,2k-1}}{I_{C,2k-1}} \right) = 1 \quad (2.24)$$

โดยสมการที่ (2.24) จะไม่ขึ้นกับอุณหภูมิ เทอมของกระแสในตัวตัดทิ้ง โดยให้ $N_1 = N_1$ และ $N_2 = N_2$ มีค่าเป็นจำนวนคู่ อีกนัยหนึ่งคือ จำนวนของ CW และ CCW ที่เชื่อมต่อต้องเท่ากัน และ ลูปต้องประกอบด้วยอุปกรณ์ที่เป็นจำนวนคู่ ดังนั้น เราสามารถเขียนสมการได้คือ

$$\prod_{k=1}^{N/2} \frac{I_{S,2k}}{I_{S,2k-1}} = \lambda \quad (2.25)$$

โดย λ เป็นอัตราส่วนของพื้นที่ และไม่มีหน่วย เมื่อ $\lambda = 1$ หมายถึงพื้นที่ของทรานซิสเตอร์ไบโพลาร์มีค่าเท่ากัน หรือการทำให้คู่อุปกรณ์ตรงข้ามที่เชื่อมต่อกันอยู่สมพงศ์กัน สมการที่ (2.25) จึงเขียนใหม่ได้เป็น

$$\prod_{k=1}^{N/2} I_{C,2k} = \lambda \cdot \prod_{k=1}^{N/2} I_{C,2k-1} \quad (2.26)$$

ซึ่งสมการที่ (2.26) นี้เป็นส่วนที่สำคัญของทฤษฎีทรานสลิเนียร์ที่พัฒนาโดย B.Gilbert สามารถสรุปใจความได้ว่า สำหรับลูปปิดใดๆ ประกอบด้วยจำนวนของคู่ระหว่างการหมุนตามเข็มนาฬิกา และการหมุนทวนเข็มนาฬิกาแบบ *forward-biased* ผลคูณของกระแสสำหรับอุปกรณ์ในทิศทางหนึ่ง จะเป็นสัดส่วนโดยตรงกับผลคูณที่เกิดในทิศทางตรงกันข้าม องค์ประกอบของความสัมพันธ์นี้จะขึ้นอยู่กับองค์ประกอบพื้นฐานของอุปกรณ์ และที่สำคัญ คือ การไม่แปรผันตามกระบวนการ และการเปลี่ยนแปลงของอุณหภูมิ

ตามที่ทฤษฎีกล่าว คือ เมื่อแหล่งจ่ายแรงดัน V_s ถูกป้อนเข้าไปในลูป สมการที่ (2.26) สามารถเขียนสมการใหม่ได้เป็น

$$\prod_{k=1}^{N/2} I_{C,2k} = \lambda \cdot e^{\frac{V_s}{V_T}} \cdot \prod_{k=1}^{N/2} I_{C,2k-1} \quad (2.27)$$

วงจรทรานสลิเนียร์แบบใช้มอสทรานซิสเตอร์ กลับมีความสัมพันธ์เชิงเส้นระหว่างค่าทรานส์คอนดักแตนซ์กับแรงดันแทนที่จะเป็นความสัมพันธ์เชิงกระแส ดังเช่น วงจรทรานสลิเนียร์แบบไบโพลาร์ หรือแบบไดโอด ดังแสดงในสมการที่ (2.28)

$$g_m = \frac{dI}{dV} = bV \quad (2.28)$$

โดยที่ b คือ Scaling Factor

แนวความคิดของทรานสลิเนียร์จึงขยายออกไป โดยการวิเคราะห์ห้วงจรทรานสลิเนียร์แบบมอสทรานซิสเตอร์ เริ่มจากกฎ Quasi-quadratic ของมอสทรานซิสเตอร์ที่แสดงในรูปแบบสมการทั่วไปได้ในสมการที่ (2.29)

$$I = \frac{b}{2}V^2 + B \quad (2.29)$$

โดยที่ B คือ ค่าคงที่ใดๆ และหาการเปลี่ยนแปลงของกระแสต่อสัญญาณแรงดันควบคุม (V) ทรานส์คอนดักแตนซ์ที่สอดคล้องกับสมการที่ (2.28) กล่าวคือ มีความสัมพันธ์เชิงเส้นกับสัญญาณควบคุม V หลักการทรานสลิเนียร์นี้ คือ หลักการทรานสลิเนียร์แบบมอสทรานซิสเตอร์ หรือ ทรานซิสเตอร์แบบแรงดัน

จากกฎ Quasi-quadratic ที่แสดงดังสมการที่ (2.29) สามารถสร้างขึ้นอย่างง่ายด้วยการไบอัสมอสทรานซิสเตอร์ให้ทำงานอยู่ในช่วงอินเวอร์ชัน (Strong Inversion) ซึ่งสามารถแสดงในรูปแบบจำลองทางคณิตศาสตร์อันดับที่หนึ่ง (1st Order) ดังนี้

$$I_D = K_n \frac{W}{2L} (V_{gs} - V_T)^2 \quad (2.30)$$

โดยที่	V_{gs}	=	แรงดันเกต-ซอร์ส
	K_n	=	มอสทรานส์คอนดักแตนซ์ พารามิเตอร์
	V_T	=	แรงดันเทรสโฮลด์
	W	=	ความกว้างช่องทางเดินกระแส (channel width)
	L	=	ความยาวช่องทางเดินกระแส (channel length)

นำสมการ (2.29) และ (2.30) มาเปรียบเทียบกับกัน พบว่า

$$\begin{aligned} b &= K_n(W/L) \\ V &= V_{gs} - V_T \\ B &= 0 \end{aligned}$$

ดังนั้นความสัมพันธ์ทางกระแสจากวงจรทรานสลิเนียร์แบบมอสทรานซิสเตอร์สามารถแสดงได้ดังสมการที่ (2.31)

$$\sum_{CW} \sqrt{\frac{I_D}{L}} = \sum_{CCW} \sqrt{\frac{I_D}{L}} \quad (2.31)$$

ลักษณะเด่นที่สำคัญของสมการที่ (2.31) คือ ความสัมพันธ์ระหว่างกระแสดังกล่าวไม่ขึ้นกับการเปลี่ยนอนุกรมและความไม่แน่นอนของกระบวนการผลิตจากการหักล้างซึ่งกันอันเป็นผลมาจากการต่อวงจร

2.6 การประมาณค่าฟังก์ชันตัวกรอง

โดยทั่วไปแล้วคุณสมบัติของวงจรกรองความถี่กำหนดให้อยู่ในรูปของผลตอบสนองทางความถี่ ซึ่งประกอบด้วยผลตอบสนองทางเฟส (Phase response) และ/หรือผลตอบสนองทางขนาด (Magnitude response) ซึ่งการออกแบบวงจรกรองความถี่เริ่มด้วยการหาฟังก์ชันโครงข่าย (Network function) ซึ่งข้อกำหนดของวงจรกรองความถี่ของฟังก์ชันโครงข่ายถูกเรียกว่าการประมาณค่า (Approximation) [27-30] แสดงในรูปที่ 2.18



รูปที่ 2.18 ขั้นตอนการออกแบบวงจรกรองความถี่ [30]

ถ้า $N(s)$ เป็นฟังก์ชันโครงข่ายของวงจรเชิงเส้นไม่แปรผันตามเวลา (Linear Time-Invariant) ดังนั้น

$$N(s) = \frac{a_0 + a_1s + a_2s^2 + \dots + a_ms^m}{b_0 + b_1s + b_2s^2 + \dots + b_ns^n} \quad (2.32)$$

โดย a_0, a_1, \dots, a_m และ b_0, b_1, \dots, b_n เป็นจำนวนจริง ทำให้

$$N^*(j\omega) = N(-j\omega) \quad (2.33)$$

เนื่องจาก $N(j\omega)$ เป็นจำนวนเชิงซ้อน ดังนั้น

$$N(j\omega)N^*(j\omega) = |N(j\omega)|^2 \quad (2.34)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนสมการที่ (2.33) ลงในสมการที่ (2.34) จะได้

$$N(j\omega)N(-j\omega) = |N(j\omega)|^2 \quad (2.35)$$

แทน $\omega = s/j$ ลงในสมการที่ (2.35) จะได้

$$N(s)N(-s) = |N(s)|^2 \quad (2.36)$$

2.7 การประมาณค่าแบบ Chebyshev

วงจรรองความถี่ต่ำผ่านมีผลตอบสนองทางขนาดมีลักษณะของการกระเพื่อมเท่าเทียม (equal ripple) ซึ่งสามารถเขียนให้อยู่ในรูปของฟังก์ชัน $|N(j\omega)|^2$ ได้ดังนี้

$$|N(j\omega)|^2 = \frac{H^2}{1 + \epsilon^2 C_n^2(\omega)} \quad (2.37)$$

ถ้ากำหนดให้ $C_n(\omega)$ คือค่าโพลีโนเมียลแบบ Chebyshev อันดับที่ n สามารถหานิยามได้ดังนี้

$$C_n(\omega) = \begin{cases} \cos(n \cos^{-1} \omega), & 0 \leq \omega \leq 1 \\ \cosh(n \cosh^{-1} \omega), & \omega \geq 1 \end{cases}$$

เมื่อพิจารณาฟังก์ชันด้านบนจะพบว่า

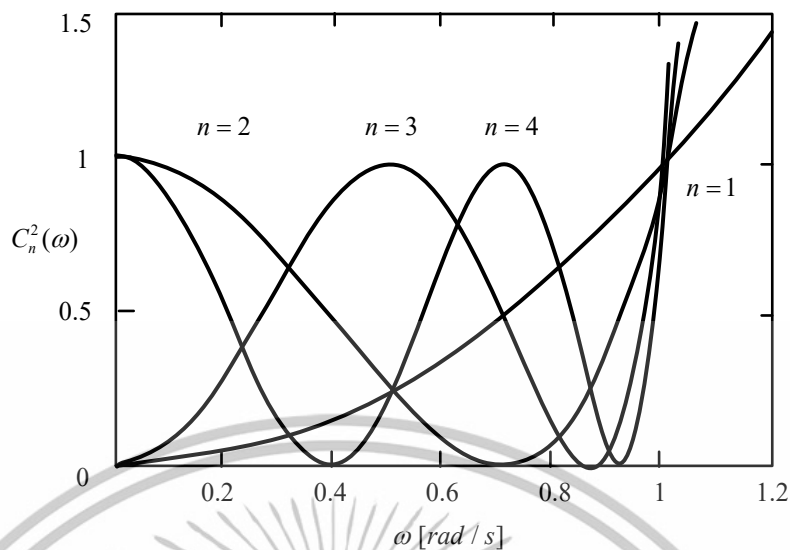
$$C_1(\omega) = \omega$$

$$C_2(\omega) = 2\omega^2 - 1$$

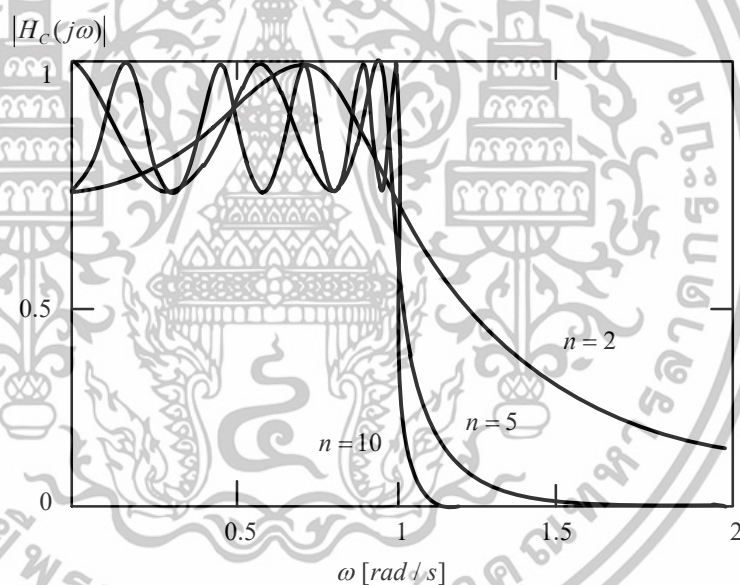
$$C_3(\omega) = 4\omega^3 - 3\omega$$

⋮

$$C_{n+1}(\omega) = 2\omega C_n(\omega) - C_{n-1}(\omega)$$



รูปที่ 2.19 ค่าของ $C_n^2(\omega)$ เมื่อ $n = 1, 2, 3, 4$ [30]



รูปที่ 2.20 ผลตอบสนองทางขนาดแบบ Chebyshev เมื่อ $\epsilon = 1$, $H_{\max} = 1$ และ $n = 1, 2, 3, 4$ [25]

ผลตอบสนองทางขนาดแบบ Chebyshev แสดงได้ดังรูปที่ 2.20 โดยใช้สมการ (2.37) ซึ่งกำหนดให้มีย่านความถี่ผ่านอยู่ในช่วง $0 \leq \omega \leq 1$ ทำให้สามารถสรุปคุณสมบัติได้ดังนี้

1. ย่านความถี่ $0 \leq \omega \leq 1$ เรียกว่าย่านความถี่ผ่าน (passband)
2. ผลตอบสนองในย่านความถี่ผ่านจะมีลักษณะของการกระเพื่อมแบบเท่าเทียม
3. ย่านความถี่ $\omega \geq 1$ เรียกว่าย่านความถี่หยุด (stopband)
4. ผลตอบสนองในย่านความถี่หยุดจะเป็นแบบโมโนโทนิค
5. ในกรณีที่ n เป็นจำนวนคี่ $|N(j\omega)| = H$ และในกรณีที่ n เป็นจำนวนคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$|N(j\omega)| = H / \sqrt{1 + \varepsilon^2}$$

6. ที่ $\omega = 1$ rad/s จะทำให้ $|N(j1)| = H / \sqrt{1 + \varepsilon^2}$ ไม่ว่าอันดับ n จะเป็นเท่าไรก็ตาม

7. จุดสูงสุดของแถบความถี่ผ่านถูกกำหนดโดยค่า $C_n^2(\omega) = \cos^2(n \cos^{-1} \omega) = 0$ โดยที่

$$\omega_{peak} = \cos(k\pi / 2n) \quad \text{ซึ่ง } k = 1, 3, 5$$

จากสมการที่ (2.37) สามารถแสดงได้ว่าโพลของฟังก์ชันโครงข่ายที่ทำให้เกิดผลตอบสนองทางความถี่ คือรากที่อยู่ทางซ้ายมือในระนาบเชิงซ้อนของสมการดังนี้

$$C_n\left(\frac{s}{j}\right) + \frac{1}{\varepsilon^2} = 0 \quad (2.38)$$

แทนค่าสมการที่ C_n ในสมการที่ (2.38) จะได้ว่า

$$C_n\left(\frac{s}{j}\right) = \cos\left(n \cos^{-1} \frac{s}{j}\right) = \pm \frac{j}{\varepsilon} \quad (2.39)$$

กำหนดให้

$$w = u + jv = \cos^{-1} \frac{s}{j} \quad (2.40)$$

แทนค่าสมการที่ (2.40) ในสมการที่ (2.39) จะได้ว่า

$$\cos n(u + jv) = \cos nu \cosh nv - j \sin nu \sinh nv = \pm \frac{j}{\varepsilon} \quad (2.41)$$

จากสมการข้างบนจะเห็นได้ว่า $\cos nu \cosh nv = 0$ เนื่องจากค่าของ $\cosh nv \geq 1$ ดังนั้นจึงทำให้ $\cos nu = 0$ หรืออาจเขียนได้ว่า

$$u_k = \frac{2k-1}{2n} \pi \quad k = 1, 2, 3, \dots, 2n \quad (2.42)$$

ซึ่งจะทำให้ $\sin nu = \pm 1$ จากสมการที่ (2.41) เมื่อนำสมการที่ (2.42) มาแทนค่าจะได้ว่า

$$v = \frac{1}{n} \sinh^{-1} \frac{1}{\varepsilon} \quad (2.43)$$

แทนค่าสมการที่ (2.43) ในสมการที่ (2.40) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$s = j \cos(u_k + jv) = \sin u_k \sinh v + j \cos u_k \cosh v \quad (2.44)$$

สามารถสรุปได้ว่าตำแหน่งโพลของฟังก์ชันโครงข่ายแบบ Chebyshev คือ $p_k = \sigma_k + j\omega_k$ โดยที่

$$\sigma_k = -\sin u_k \sinh v \quad \text{และ} \quad \omega_k = \cos u_k \cosh v \quad (2.45)$$

ภายใต้เงื่อนไขของสมการที่ (2.42) และสมการที่ (2.43) โดยที่ $k = 1, 2, 3, \dots, 2n$

เราสามารถหาอันดับของฟังก์ชันโครงข่ายแบบ Chebyshev ได้โดยอาศัยข้อกำหนดดังนี้

1. ย่านความถี่ $0 \leq \omega \leq \omega_p$ คือย่านความถี่ผ่านโดยที่ค่าสูงสุดของการกระเพื่อมมีค่าเท่ากับ K_p dB
 2. ย่านความถี่ $\omega \geq \omega_s$ คือย่านความถี่หยุดโดยที่ค่าต่ำสุดของการลดทอนมีค่าเท่ากับ K_s dB
- ในการหาอันดับของฟังก์ชันโครงข่ายแบบ Chebyshev (n_c) โดยใช้สมการที่ (2.26)

$$n_c = \frac{\cosh^{-1} M}{\cosh^{-1} \Omega} \quad (2.46)$$

โดยที่

$$\Omega = \frac{\omega_s}{\omega_p} = \frac{f_s}{f_p} \quad \text{และ} \quad M = \sqrt{\frac{10^{0.1K_s} - 1}{10^{0.1K_p} - 1}} \quad (2.47)$$

โดยตำแหน่งของโพล ของฟังก์ชันโครงข่ายแบบ Chebyshev ที่มีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 0.5 dB ค่าสัมประสิทธิ์ a_1, a_0, Q และ ω_n ตามตารางที่ 2.1 และตำแหน่งของโพล ที่มีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 1 dB ค่าสัมประสิทธิ์ a_1, a_0, Q และ ω_n ตามตารางที่ 2.2

ตารางที่ 2.1 แสดงตำแหน่งของโพล ค่าสัมประสิทธิ์ a_1 , a_0 , Q และ ω_n ของฟังก์ชันโครงข่ายแบบ Chebyshev เมื่อมีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 0.5 dB

n	Poles	a_1	a_0	Q	ω_n
2	$-0.71281 \pm j1.00404$	1.42562	1.5162	0.86372	1.23134
3	$-0.31323 \pm j1.02193$ -0.62646	0.62646	1.14245	1.70619	1.06885
4	$-0.17535 \pm j1.01625$ $-0.42334 \pm j0.42095$	0.35071	1.06352	2.94055	1.03127
5	$-0.11196 \pm j1.01625$ $-0.29312 \pm j0.62518$ -0.36232	0.22393	1.03578	4.54496	1.01773
6	$-0.07765 \pm j1.00846$ $-0.21214 \pm j0.73824$ $-0.28979 \pm j0.27022$	0.1553	1.02302	6.51285	1.01145

ตารางที่ 2.2 แสดงตำแหน่งของโพล ค่าสัมประสิทธิ์ a_1 , a_0 , Q และ ω_n ของฟังก์ชันโครงข่ายแบบ Chebyshev เมื่อมีการกระเพื่อมในย่านความถี่ผ่านเท่ากับ 1 dB

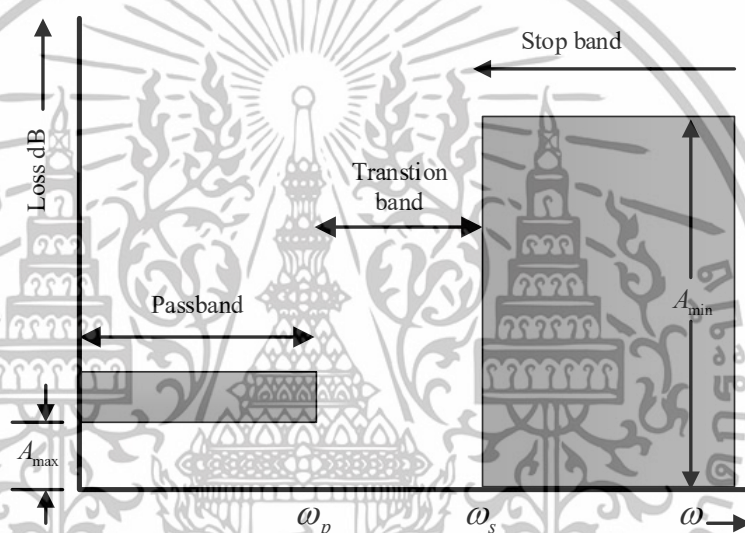
n	Poles	a_1	a_0	Q	ω_n
2	$-0.54887 \pm j0.89513$	1.09773	1.10251	0.95652	1.05000
3	$-0.24709 \pm j0.96600$ -0.49417	0.49417	0.9942	2.01772	0.9971
4	$-0.13954 \pm j0.98338$ $-0.33687 \pm j0.40733$	0.27907	0.9865	3.55904	0.99323
5	$-0.08946 \pm j0.99011$ $-0.23421 \pm j0.61192$ -0.28949	0.17892	0.98831	5.55644	0.99414
6	$-0.06218 \pm j0.99341$ $-0.16988 \pm j0.62518$ $-0.23206 \pm j0.26618$	0.12436	0.99073	8.00369	0.99536

2.8 หลักการของตัวกรองสัญญาณ

หลักการของตัวกรองสัญญาณ [26] ตัวกรองสัญญาณ (Filter) ใช้สำหรับปรับรูปร่างของสเปกตรัม (Spectrum) ความถี่ของสัญญาณไฟฟ้า ซึ่งเป็นส่วนสำคัญมากของระบบโทรคมนาคมและระบบควบคุมต่าง ๆ ตัวกรองสามารถแบ่งตามหน้าที่ของมันได้เช่น ตัวกรองความถี่ต่ำผ่าน (Low-pass filter: LPF), ตัวกรองความถี่สูงผ่าน (High-pass filter: HPF), ตัวกรองความถี่ต้องการผ่าน (Band-pass filter: BPF), ตัวกรองความถี่ไม่ต้องการออก (Band-reject filter: BRF), ตัวปรับแต่งอัตราขยาย (Gain Equalizer) และตัวปรับแต่งการหน่วงเวลา (Delay Equalizer) เนื่องวิทยานิพนธ์ฉบับนี้ใช้เพียงตัวกรองความถี่ต่ำผ่านดังนั้นในหัวข้อนี้จึงขอกกล่าวเพียงรายละเอียดของตัวกรองความถี่ต่ำผ่านเท่านั้น

2.8.1 วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่าน คือวงจรที่ยอมให้สัญญาณความถี่ต่ำผ่านได้โดยมีค่าการสูญเสีย (Loss) ต่ำมาก แต่จะกั้นความถี่สูงไว้โดยจะเป็นตัวลดทอนสัญญาณ (Attenuator) แสดงในรูปที่ 2.21 ตัวกรองความถี่ต่ำผ่าน จะทำหน้าที่ผ่านสัญญาณตั้งแต่อ่าน DC ไปจนถึงจุดความถี่ตัด (Cut-Off) (ω_p) โดยมีการลดทอนเท่ากับ A_{\max} (dB) ซึ่งเรียกว่าแถบความถี่ผ่าน (Pass Band) และ เมื่อความถี่สูงกว่า ω_s จะมีการลดทอนเท่ากับ A_{\max} (dB) ย่านความถี่จาก ω_s ไปจนถึงความถี่อื่นนั้นจะเรียกว่าแถบความถี่หยุด (Stop Band) และ ω_s จะเรียกว่าขอบความถี่หยุด ช่วงความถี่ระหว่าง ω_p ไปจนถึง ω_s จะเรียกว่าแถบเปลี่ยนความถี่ (Transition Band)



รูปที่ 2.21 คุณสมบัติของตัวกรองความถี่ต่ำผ่าน (LPF) [26]

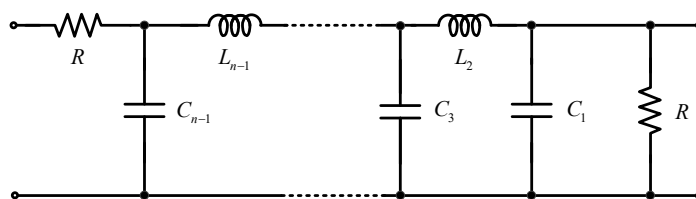
โดยสามารถหาค่า Gain ได้ดังสมการที่ (2.48)

$$Gain = \frac{V_o}{V_{in}} = \frac{b}{s^2 + as + b} = \frac{\omega_p^2}{s^2 + \frac{\omega_p}{Q_p}s + \omega_p^2} \quad (2.48)$$

2.8.2 วงจรกรองแพสซีฟความถี่ต่ำผ่าน

ในวิทยานิพนธ์เล่มนี้ได้นำวงจรกรองแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev [27-30] (รูปที่ 2.22) มาใช้เป็นตัวต้นแบบในวงจรกรอง ซึ่งจะแสดงตารางค่าอุปกรณ์ของแพสซีฟ ดังแสดงในตารางที่ 2.3, 2.4 และตารางที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 วงจรกรองแพลสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev (อันดับคี่) [29]

ตารางที่ 2.3 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.1 dB

n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9
2	1.5715	0.288							
3	1.0316	1.1474	1.0316						
5	1.1468	1.3712	1.975	1.3712	1.1468				
7	1.1812	1.4228	2.0967	1.5734	2.0967	1.4228	1.1812		

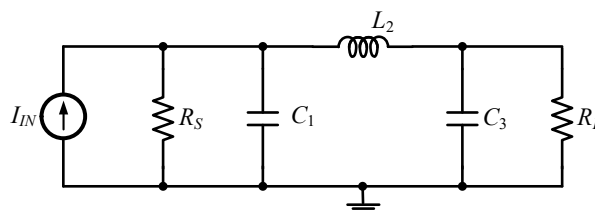
ตารางที่ 2.4 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 0.5 dB

n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9
3	1.5963	1.0967	1.5963						
5	1.7058	1.2296	2.5408	1.2296	1.7058				
7	1.7373	1.2582	2.6383	1.3443	2.6383	1.2582	1.7373		
9	1.7504	1.269	2.6678	1.3673	2.7239	1.3673	2.6678	1.269	1.7504

ตารางที่ 2.5 ค่าอุปกรณ์สำหรับวงจรกรองความถี่ต่ำผ่านแบบความต้านทานปลายปิดคู่เมื่อ $R = 1 \Omega$ และมีค่าของการกระเพื่อมเท่ากับ 1 dB

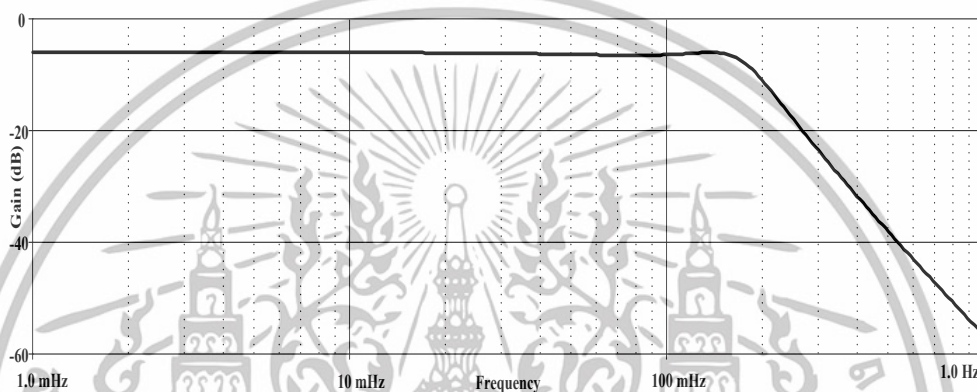
n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9
3	2.0236	0.9941	2.0236						
5	2.1349	1.0911	3.0009	1.0911	2.1349				
7	2.1666	1.1115	3.0936	1.1735	3.0936	1.1115	2.1666		
9	2.1797	1.1192	3.1214	1.1897	3.1746	1.1897	3.1214	1.1192	2.1797

เมื่อนำค่า R, L และ C ในตารางที่ 2.4 ที่ $n = 3$, $C_1 = 1.593 \text{ F}$, $L_2 = 1.0967 \text{ H}$, $C_3 = 1.5963 \text{ F}$, $R_s = R_L = 1 \Omega$ มีค่าของการกระเพื่อมเท่ากับ 0.5 dB และ $W = 1$ แทนค่าในวงจรกรองแพลสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev อันดับที่สาม ดังรูปที่ 2.23 ซึ่งเป็นวงจรต้นแบบในวิทยานิพนธ์เล่มนี้



รูปที่ 2.23 วงจรกรองความถี่แพสซีฟ Chebyshev RLC อันดับที่สาม

ยืนยันผลการจำลองการทำงานด้วย PSpice ได้ผลตอบสนองทางแมกนิจูดวงจรถองความถี่แพสซีฟ Chebyshev RLC อันดับที่สาม ดังรูปที่ 2.24

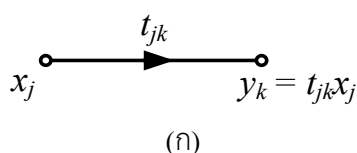


รูปที่ 2.24 ผลตอบสนองทางแมกนิจูดวงจรถองความถี่แพสซีฟ Chebyshev RLC อันดับที่สาม

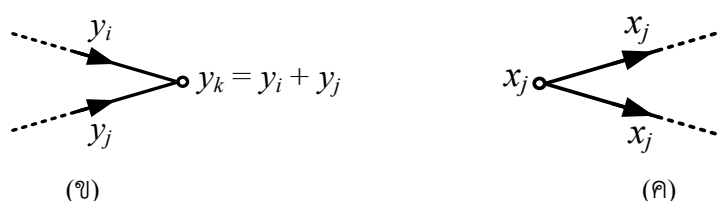
จากรูปที่ 2.24 วงจรถองความถี่แพสซีฟ Chebyshev RLC อันดับที่สาม มีค่าของการกระเพื่อมเท่ากับ 0.5 dB ในงานวิจัยนี้จึงได้นำค่า R, L และ C อัตราส่วนเดียวกันกับตารางที่ 2.4 มาทำการออกแบบวงจรถองแพสซีฟที่มีตัวต้านทานปลายปิดคู่แบบ Chebyshev อันดับที่สามและอันดับห้า ซึ่งหาความสัมพันธ์ระหว่างกระแสและแรงดัน โดยวิเคราะห์ห้วงจรด้วย KCL แล้วนำสมการที่ได้ มาเขียนความสัมพันธ์ระหว่างกระแสและแรงดันด้วย SFG และสามารถสังเคราะห์ห้วงจรถองความถี่ต่ำผ่านโดยใช้ วงจรอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียโดยใช้ CCCII ซึ่งจะอธิบายอย่างละเอียดต่อไปในบทที่ 4

2.9 หลักการโครงข่ายกราฟการไหลของสัญญาณ

การวิเคราะห์โครงข่ายกราฟการไหลของสัญญาณมีรูปแบบพื้นฐานมาจากการเชื่อมต่อกันระหว่างแขนงสัญญาณ หรือเรียกอีกอย่างว่าการวิเคราะห์ทางโนด [31] ดังแสดงในรูปที่ 2.19



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



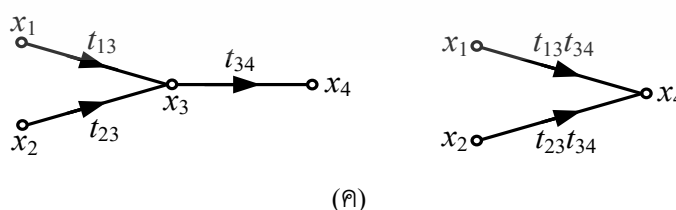
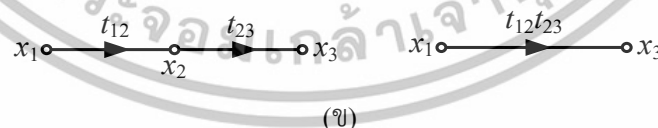
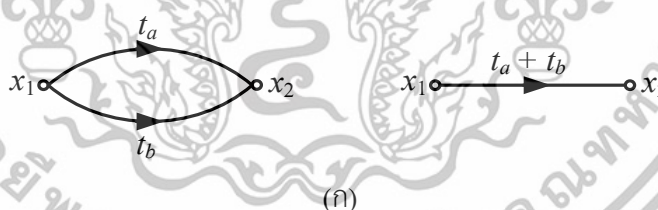
รูปที่ 2.25 หลักการโครงข่ายพื้นฐานกราฟการไหลของสัญญาณ

จากรูปที่ 2.25 สามารถแสดงความสัมพันธ์กราฟการไหลของสัญญาณ โดยที่โหนด j ซึ่งเป็นโหนดทั่วไปจะมีโหนดสัญญาณ x_j เข้ามาต่อรวม แขนงกระแส jk เกิดขึ้นจากโหนด j ไปยังโหนด k โดยมีค่าทรานสมิตแตนซ์ (t_{jk}) เข้ามาต่อรวมด้วยเช่นกัน ซึ่งการกำหนดลักษณะนี้ สัญญาณ y_k ที่โหนด k จะขึ้นอยู่กับสัญญาณ x_j ที่โหนด j ดังแสดงในรูปที่ 2.25 โดยกราฟการไหลของสัญญาณมีหลักในการกำหนดอยู่ด้วยกัน 3 รูปแบบ ดังนี้

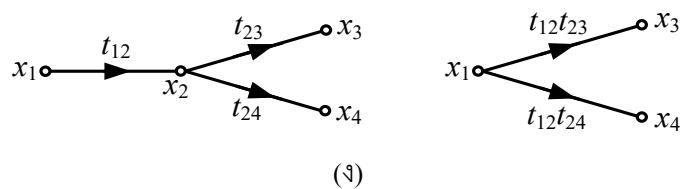
รูปแบบที่ 1 ทิศทางของแขนงสัญญาณถูกกำหนดโดยหัวลูกศรและคูณกับค่าทรานสมิตแตนซ์เท่านั้น ดังรูปที่ 2.25(ก)

รูปแบบที่ 2 ที่จุดโหนด y_k เป็นการรวมสัญญาณที่เข้ามาทั้งหมดผ่านทางแขนงสัญญาณที่เข้ามา ดังรูปที่ 2.25(ข)

รูปแบบที่ 3 สัญญาณที่จุดโหนด x_j สามารถส่งผ่านในแต่ละแขนงสัญญาณจากโหนดตั้งต้นนั้นๆ โดยการส่งผ่านรูปแบบนี้เป็นอิสระต่อค่าทรานสมิตแตนซ์ของแขนงสัญญาณที่ไหลออก ดังรูปที่ 2.25(ค)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 พื้นฐานกราฟการไหลของสัญญาณแบบอื่นๆ

พื้นฐานแนวทางในการจัดการกับกราฟการไหลของสัญญาณแบบอื่นๆ ซึ่งมีจุดประสงค์เพื่อเป็นลดกราฟการไหลของสัญญาณให้เป็นแขนงของสัญญาณเดี่ยวที่เชื่อมต่อกันระหว่างโนดอินพุตกับโนดเอาต์พุต โดยรูปที่ 2.26 เป็นการยืนยันการเขียนที่ตรงกันในรูปแบบสมการพีชคณิต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

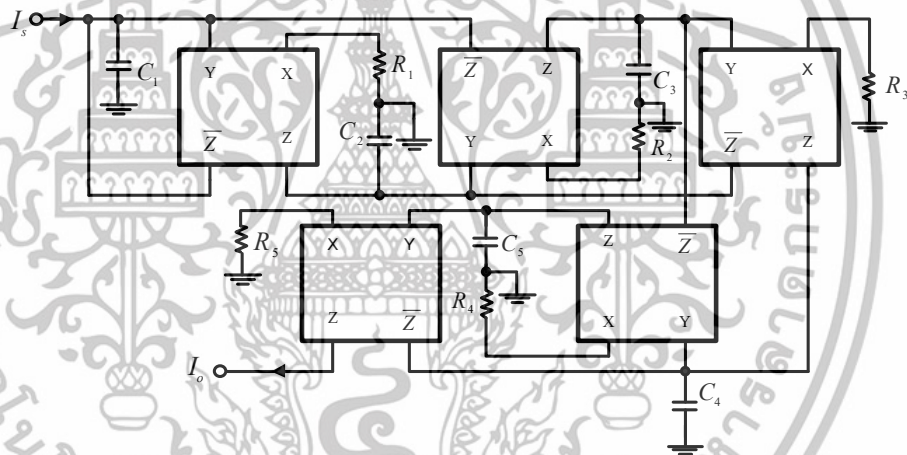
บทที่ 3 งานวิจัยที่เกี่ยวข้อง

3.1 บทนำ

ในบทนี้กล่าวถึง งานวิจัยเกี่ยวกับวงจรกรองความถี่รูปแบบกระแส ที่ถูกนำเสนอในอดีต โดยได้ศึกษาทฤษฎี เทคนิค หลักการ แนวคิด และประเด็นปัญหาต่างๆ ที่เกิดขึ้น เพื่อใช้เป็นแนวทางในการนำเสนอในวิทยานิพนธ์เล่มนี้

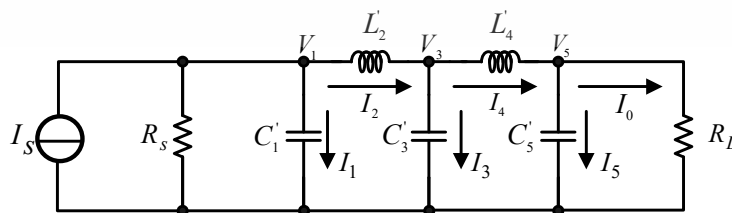
3.2 ผลงานวิจัยที่เกี่ยวข้อง

งานวิจัยแรกจะนำเอางานวิจัยของ J.Wu, E. El-Masry [8] ซึ่งงานวิจัยนี้ สร้างวงจรรูปแบบกระแสชนิดขึ้นบันไดโดยใช้วงจรสายพานกระแสแบบหลายเอาต์พุต ดังแสดงในรูปที่ 3.1



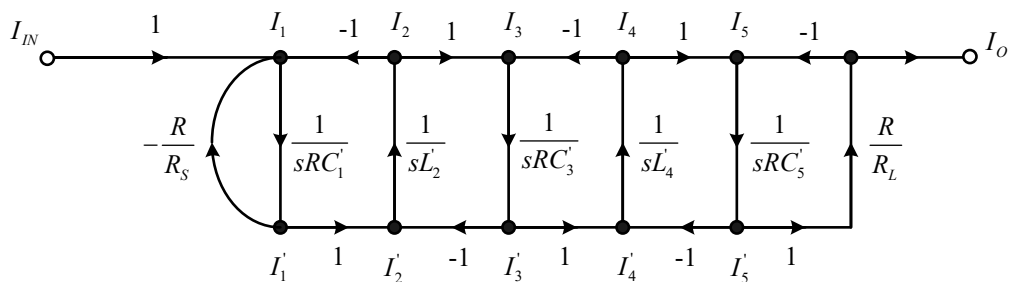
รูปที่ 3.1 วงจรรูปแบบกระแสชนิดขึ้นบันไดโดยใช้วงจรสายพานกระแสแบบหลายเอาต์พุต [8]

ซึ่งใช้พื้นฐานการจำลองวงจร RLC ต้นแบบรูปที่ 3.2 โดยนำมาเขียนในรูปกราฟการไหลของสัญญาณ (signal flow graph) ดังแสดงในรูปที่ 3.3 และหลังจากนั้นทำการวิเคราะห์วงจรกรองสัญญาณจะสามารถหาสมการกระแสได้ตามสมการที่ (3.1)-(3.6)



รูปที่ 3.2 วงจรกรองความถี่ RLC ชนิดขึ้นบันไดต้นแบบ [8]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 กราฟการไหลสัญญาณ (SFG) ของวงจรกรองความถี่ต่ำผ่านที่ถูกรุ่นาเสนอ [8]

$$I'_1 = \frac{I_5 - I_1 \left(\frac{R}{R_S} \right) - I_2}{sRC'_1} \quad (3.1)$$

$$I_2 = \frac{I'_1 - I'_3}{sL'_2 / R} \quad (3.2)$$

$$I'_3 = \frac{I_2 - I_4}{sRC'_3} \quad (3.3)$$

$$I_4 = \frac{I'_3 - I'_5}{sL'_4 / R} \quad (3.4)$$

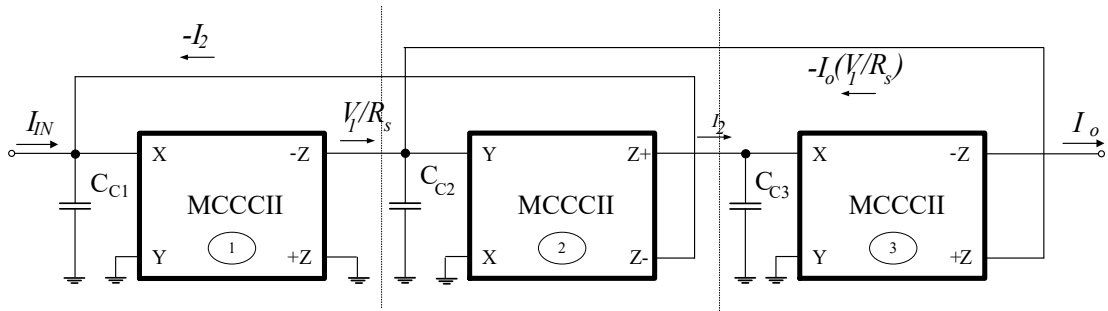
$$I'_5 = \frac{I_4 - I_5}{sRC'_5} \quad (3.5)$$

$$I_0 = I_6 = \frac{I'_5 R}{R_L} \quad (3.6)$$

จากรูปที่ 3.1 แสดงวงจรรูปแบบกระแสดชชนิดชั้นบันไดโดยใช้วงจรสายพานกระแบบหลายเอาต์พุต (MOCC) โดยมีข้อดีคือ ใช้จำนวนตัวต้านทานและตัวเก็บประจุน้อยกว่างานวิจัยในอดีต แต่จะเห็นได้ว่าจะมีข้อเสีย คือ ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้และใช้งานได้ที่ย่านความถี่แคบ

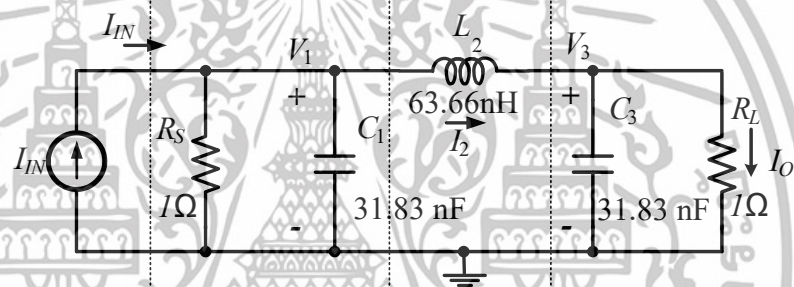
งานวิจัยต่อมาของ Amorn Jirasree-amornkun และ Wanlop Surakampontrorn [16] ซึ่งงานวิจัยนี้เป็นการสร้างวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสดชชนิดชั้นบันไดโดยใช้ MCCCIIs ดังรูปที่ 3.4 โดยจำลองการทำงานมาจากวงจรกรองความถี่ RLC Butterworth ชนิดชั้นบันไดต้นแบบ ดังแสดงในรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรกรองความถี่ต่ำผ่านรูปแบบกระแสชนิดชั้นบันไดโดยใช้ MCCCIIs

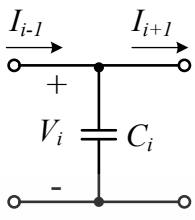
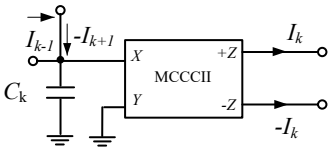
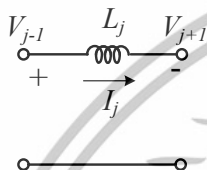
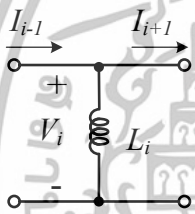
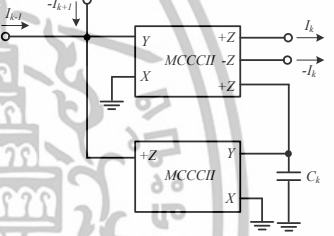
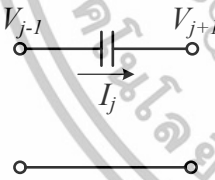
รูปที่ 3.4 วงจรกรองความถี่ต่ำผ่านรูปแบบกระแสชนิดชั้นบันไดโดยใช้ MCCCIIs ได้จำลองการทำงานมาจากวงจรกรองความถี่ RLC Butterworth ชนิดชั้นบันไดต้นแบบ ดังแสดงในรูปที่ 3.5 และทำการวิเคราะห์ห้วงจรโดยการหาฟังก์ชันถ่ายโอนความสัมพันธ์ระหว่างแรงดันและกระแสดังตารางที่ 3.1 และ ตารางที่ 3.2



รูปที่ 3.5 วงจรกรองความถี่ RLC Butterworth ชนิดชั้นบันไดต้นแบบ

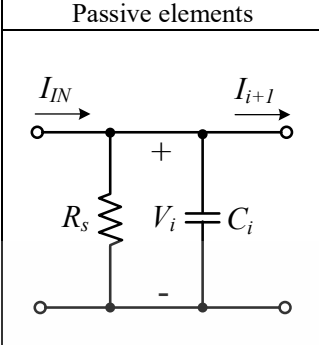
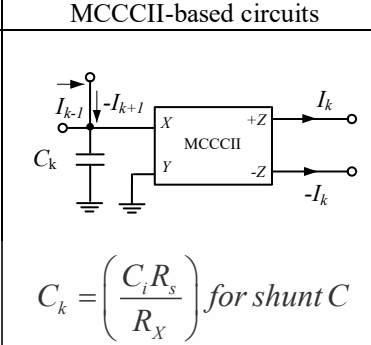
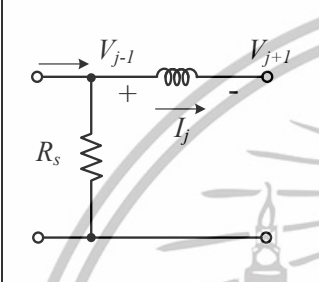
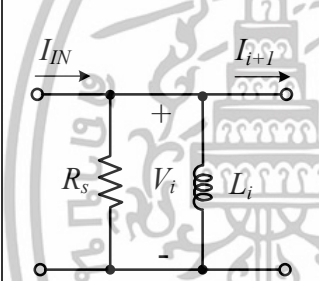
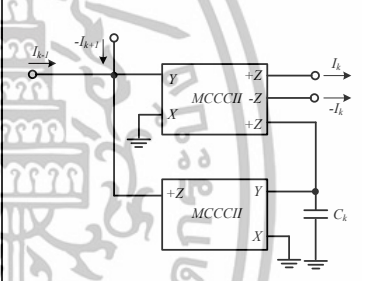
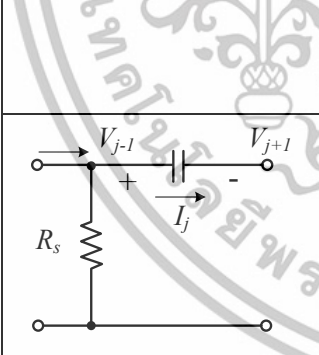
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 การวิเคราะห์วงจรโดยการหาฟังก์ชันถ่ายโอนความสัมพันธ์ระหว่างแรงดันและกระแส

Passive elements	Voltage-current relations	MCCCI-based circuits
	$\frac{V_i}{R_p} = \frac{1}{sC_i R_p} (I_{i-1} - I_{i+1})$	 $C_k = \left(\frac{C_i R_p}{R_X} \right) \text{ for shunt } C$
	$I_j = \frac{R_p}{sL_j} \left(\frac{V_{j-1}}{R_p} - \frac{V_{j+1}}{R_p} \right)$	$I_k = \frac{1}{sC_k R_X} (I_{k-1} - I_{k+1})$ $C_k = \left(\frac{L_j}{R_X R_p} \right) \text{ for series } L$
	$\frac{V_i}{R_p} = \frac{sL_i}{R_p} (I_{i-1} - I_{i+1})$	 $C_k = \left(\frac{L_i}{R_p R_X} \right) \text{ for shunt } L$
	$I_j = sC_j R_p \left(\frac{V_{j-1}}{R_p} - \frac{V_{j+1}}{R_p} \right)$	$I_k = sC_k R_X (I_{k-1} - I_{k+1})$ $C_k = \left(\frac{C_j R_p}{R_X} \right) \text{ for series } C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

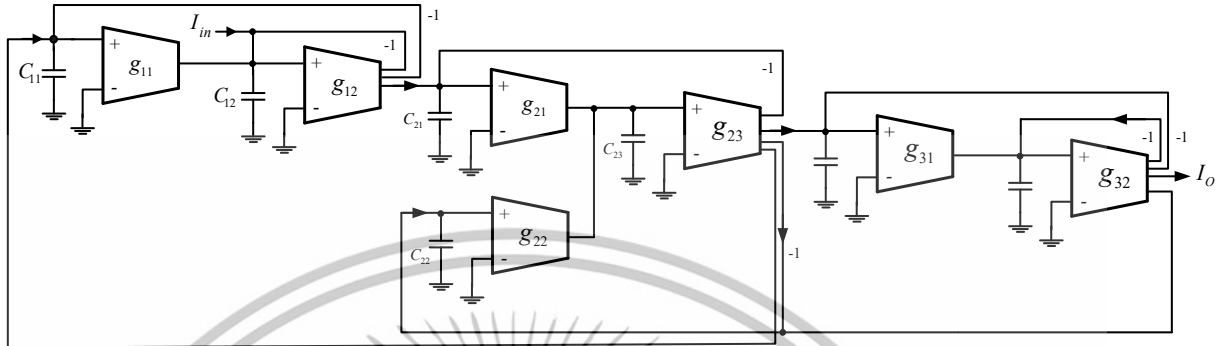
ตารางที่ 3.2 การวิเคราะห์วงจรโดยการหาฟังก์ชันถ่ายโอนความสัมพันธ์ระหว่างแรงดันและกระแส

Passive elements	Voltage-current relations	MCCCII-based circuits
	$\frac{V_i}{R_s} = \frac{1}{sC_i R_s} (I_{IN} - I_{i+1})$	 $C_k = \left(\frac{C_i R_s}{R_X} \right) \text{ for shunt } C$
	$I_j = \frac{1}{s \frac{L_j}{R_s} + 1} \left(I_{IN} - \frac{V_{j+1}}{R_s} \right)$	$I_k = \frac{1}{sC_k R_X + 1} (I_{k-1} - I_{k+1})$ $C_k = \left(\frac{L_j}{R_s R_X} \right) \text{ for series } L$
	$\frac{V_i}{R_s} = \frac{s \frac{L_i}{R_s}}{s \frac{L_i}{R_s} + 1} (I_{IN} - I_{i+1})$	 $C_k = \left(\frac{L_i}{R_s R_X} \right) \text{ for shunt } L$
	$I_j = \frac{sC_j R_s}{sC_j R_s + 1} \left(I_{IN} - \frac{V_{j+1}}{R_s} \right)$	$I_k = \frac{sC_k R_X}{sC_k R_X + 1} (I_{k-1} - I_{k+1})$ $C_k = \left(\frac{C_j R_s}{R_X} \right) \text{ for series } C$

เมื่อพิจารณาในรูปที่ 3.4 เห็นได้ว่าวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสดชนิดชั้นบันไดโดยใช้ MCCCII ข้อดีคือ ใช้อุปกรณ์แอกทีฟน้อย สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ แต่วงจรกรองความถี่ต่ำผ่าน Butterworth มีข้อเสียคือ จุดคัทออฟของวงจร Butterworth นี้จะอยู่ต่ำกว่าจุดคัทออฟของวงจรกรองความถี่แบบ Chebyshev ไม่ว่าจะป็นอันดับที่ n ใดๆ ก็ตาม และความชัน (Slope) ระหว่าง Passband และ Stopband น้อยกว่า วงจรกรองความถี่แบบ Chebyshev

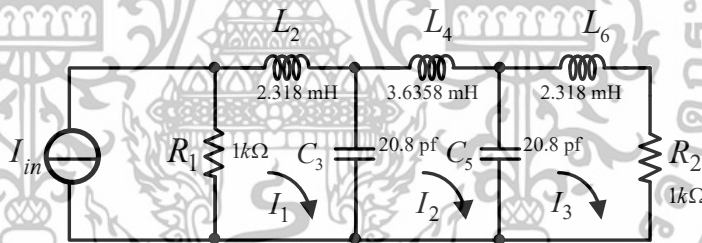
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

งานวิจัยต่อมาของ Jie Wu และ Ezz I. El-Masry [32] ซึ่งงานวิจัยนี้เป็นการสร้างวงจรกรองความถี่รูปแบบกระแสชนิดชั้นบันไดโดยใช้วงจรถูกูไบควอด ดังแสดงในรูปที่ 3.6 โดยจำลองการทำงานมาจากวงจรกรองความถี่ RLC ชนิดชั้นบันไดต้นแบบ ดังแสดงในรูปที่ 3.7



รูปที่ 3.6 วงจรกรองความถี่รูปแบบกระแสชนิดชั้นบันไดโดยใช้วงจรถูกูไบควอด [32]

รูปที่ 3.6 วงจรกรองความถี่รูปแบบกระแสชนิดชั้นบันไดโดยใช้วงจรถูกูไบควอด ได้จำลองการทำงานมาจากวงจรกรองความถี่ RLC ชนิดชั้นบันไดต้นแบบ ดังแสดงในรูปที่ 3.7 และทำการวิเคราะห์วงจรโดยการหาฟังก์ชันถ่ายโอนได้ตั้งสมการที่ (3.7)-(3.11)



รูปที่ 3.7 วงจรกรองความถี่ RLC ชนิดชั้นบันไดต้นแบบ

$$T_{01} = \frac{I_1}{I_{in}} \Big|_{i_2=0} = \frac{sR_1 / L_2}{s^2 + sR_1 / L_2 + 1 / L_2 C_3} \tag{3.7}$$

$$T_{21} = \frac{I_1}{I_2} \Big|_{i_{in}=0} = \frac{1 / L_2 C_3}{s^2 + sR_1 / L_2 + 1 / L_2 C_3} \tag{3.8}$$

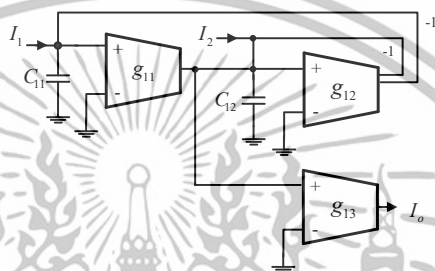
$$T_{12} = \frac{I_2}{I_1} \Big|_{i_3=0} = \frac{1 / L_4 C_3}{s^2 + 1 / (L_4 C_{3,5})} \tag{3.9}$$

$$T_{32} = \frac{I_2}{I_3} \Big|_{i_4=0} = \frac{1 / L_4 C_5}{s^2 + 1 / (L_4 C_{3,5})} \tag{3.10}$$

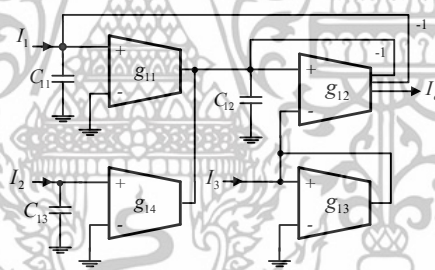
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_{23} = \frac{I_3}{I_2} = \frac{1/L_6 C_5}{s^2 + sR_2/L_6 + 1/L_6 C_5} \quad (3.11)$$

จากสมการ (3.7), (3.8) และ (3.11) สามารถจำลองการทำงานโดยใช้วงจรซีมอส OTA อันดับสองแบบที่ 1 แสดงในรูปที่ 3.8 โดยการเอา OTA ตัวที่สามออก ในขณะที่สมการ (3.9) และ (3.10) สามารถจำลองการทำงานโดยใช้วงจรซีมอส OTA อันดับสองแบบที่ 2 แสดงในรูปที่ 3.9 โดยการเอา OTA ตัวที่สี่ออก เมื่อนำมาเขียนวงจรรวมจะได้เป็นวงจรกรองความถี่รูปแบบกระแสชนิดขึ้นบันไดโดยใช้วงจรคู่ไบควอด ดังรูปที่ 3.6



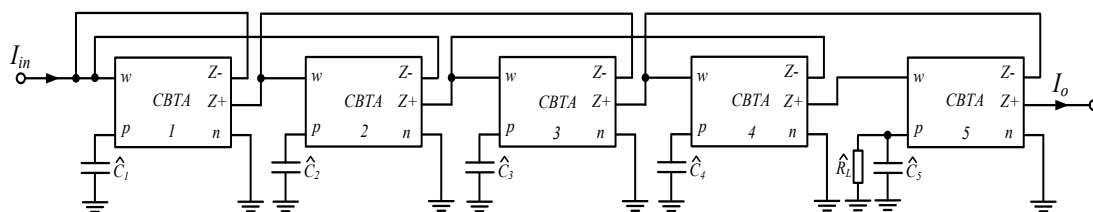
รูปที่ 3.8 วงจรซีมอส OTA อันดับสองแบบที่ 1



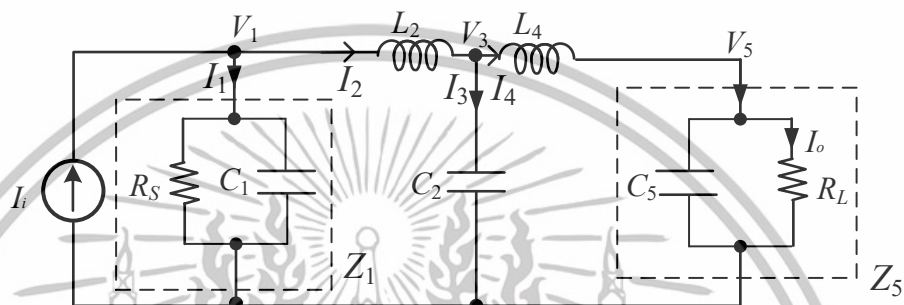
รูปที่ 3.9 วงจรซีมอส OTA อันดับสองแบบที่ 2

เมื่อพิจารณาในรูปที่ 3.6 เห็นได้ว่าวงจรกรองความถี่รูปแบบกระแสชนิดขึ้นบันไดโดยใช้วงจรคู่ไบควอดมีข้อเสียคือ มีตัวเก็บประจุต่อเทียบกราวด์มากเกินไป ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้และใช้งานได้ที่ย่านความถี่แคบ

ต่อมางานวิจัยของ Umut E. Aytena, Mehmet Sagbasb และ Herman Sedefa [33] ซึ่งงานวิจัยนี้เป็นการสร้างวงจรกรองความถี่ต่ำผ่านอันดับที่ 5 โดยใช้ CBTA ดังรูปที่ 3.10 ซึ่งจำลองการทำงานมาจากวงจรกรองความถี่ RLC อันดับที่ 5 ชนิดขึ้นบันไดปลายปิดคู่ต้นแบบดังรูปที่ 3.11



รูปที่ 3.10 วงจรกรองความถี่ต่ำผ่านอันดับที่ 5 โดยใช้ CBTA



รูปที่ 3.11 วงจรกรองความถี่ RLC อันดับที่ 5 ชนิดขึ้นบันไดปลายปิดคู่ต้นแบบ

จากรูปที่ 3.11 สามารถทำการวิเคราะห์ห้วงจรกรองสัญญาณจะสามารถหาสมการกระแสและแรงดันได้ตามสมการที่ (3.12)-(3.22)

$$I_1 = I_i - I_2 \quad (3.12)$$

$$V_1 = I_1 Z_1 \quad (3.13)$$

$$V_2 = V_1 - V_3 \quad (3.14)$$

$$I_2 = V_2 Y_2 \quad (3.15)$$

$$I_3 = I_2 - I_4 \quad (3.16)$$

$$V_3 = I_3 Z_3 \quad (3.17)$$

$$V_4 = V_3 - V_5 \quad (3.18)$$

$$I_4 = V_4 Y_4 \quad (3.19)$$

$$I_5 = I_4 \quad (3.20)$$

$$V_5 = I_5 Z_5 \quad (3.21)$$

$$I_o = V_5 Y_L \quad (3.22)$$

และกำหนดให้สมการที่ (3.23)-(3.28) แทนในสมการที่ (3.12)-(3.22)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Z_1 = \hat{Z}_1 \tag{3.23}$$

$$Y_2 = g_m^2 \hat{Z}_2 \tag{3.24}$$

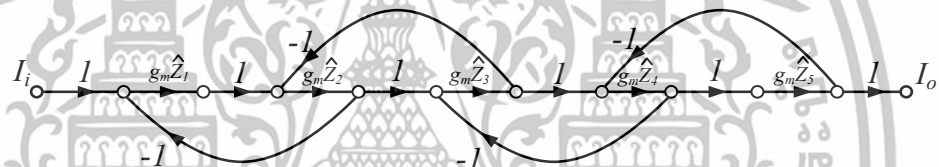
$$Z_3 = \hat{Z}_3 \tag{3.25}$$

$$Y_4 = g_m^2 \hat{Z}_4 \tag{3.26}$$

$$Z_5 = \hat{Z}_5 \tag{3.27}$$

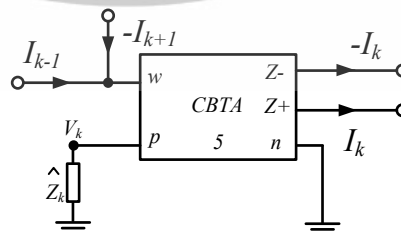
$$Y_L = g_m \tag{3.28}$$

นำสมการ (3.12)-(3.22) นำมาเขียนในรูปกราฟการไหลของสัญญาณ (signal flow graph) ดังแสดงในรูปที่ 3.12



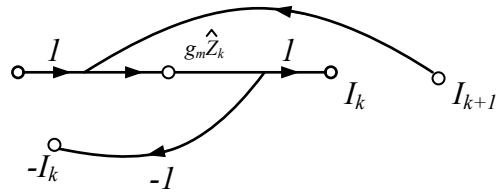
รูปที่ 3.12 กราฟการไหลของสัญญาณ (signal flow graph) ของวงจรองค์ความถี่ต่ำผ่านอันดับห้ารูปแบบกระแส

จากรูปที่ 3.13 บล็อกไดอะแกรมของ CBTA สามารถนำมาเขียนในรูปกราฟการไหลของสัญญาณ (signal flow graph) ดังแสดงในรูปที่ 3.14 เมื่อนำกราฟการไหลของสัญญาณรูปที่ 3.12 มาแทนด้วยบล็อกไดอะแกรมของ CBTA จะได้ดังรูปที่ 3.15 งานวิจัยนี้มีข้อเสียคือ ใช้ตัวต้านทานและตัวเก็บประจุต่อลงกราวด์ ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้และใช้งานได้ที่ย่านความถี่แคบ

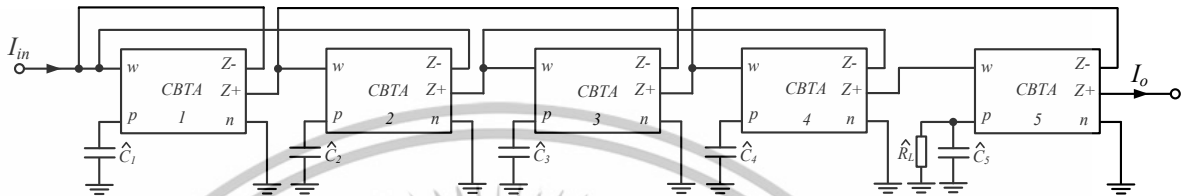


รูปที่ 3.13 บล็อกไดอะแกรมของ CBTA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

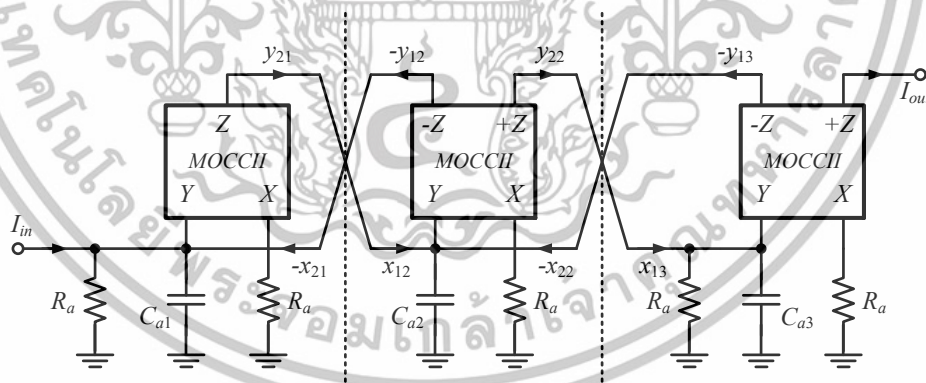


รูปที่ 3.14 กราฟการไหลของสัญญาณ (signal flow graph) ของ CBTA

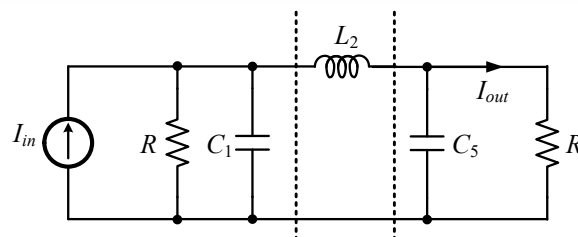


รูปที่ 3.15 วงจรกรองความถี่ต่ำผ่านอันดับห้ารูปแบบกระแสโดยใช้ CBTA

ต่อมามงานวิจัยสุดท้ายของ H. Yuh-Shyan, H. Pei-Tzu, C. Wei และ L. Shen-Iuan [34] ถูกนำเสนอโดยใช้หลักการแปลงเชิงเส้นในรูปแบบกระแส (CMLT) ในการสังเคราะห์ห้ออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงรูปแบบกระแสชนิดขึ้นบันได ทั้งนี้วงจรกรองความถี่ต่ำผ่านที่ ถูกนำเสนอประกอบไปด้วยวงจรสายพานกระแสแบบหลายเอาต์พุต (MOCCIIs) ต่อร่วมกับตัวเก็บ ประจุและตัวต้านแบบต่อเทียบกราวด์ดังแสดงในรูปที่ 3.16 โดยใช้พื้นฐานการจำลองวงจร RLC ต้นแบบ ดังแสดงในรูปที่ 3.18 ตามลำดับ



รูปที่ 3.16 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขึ้นบันไดโดยใช้ MOCCIIs

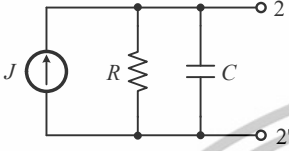
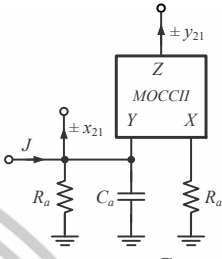
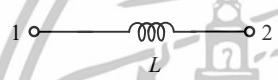
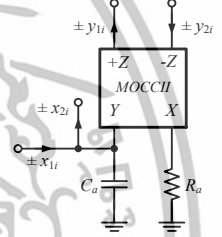
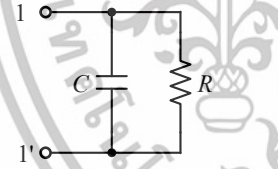
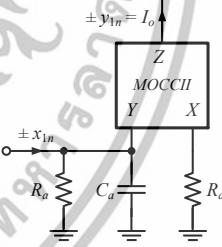


รูปที่ 3.17 วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขึ้นบันไดต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.17 ใช้หลักการแปลงเชิงเส้นในรูปแบบกระแส (CMLT) เพื่อสังเคราะห์ออกแบบเป็นวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงรูปแบบกระแสนิตช์ขึ้นบันได ดังแสดงในตารางที่ 3.3

ตารางที่ 3.3 การแปลงเชิงเส้น CMLT วงจรกรองความถี่ชนิดขึ้นบันได

Filter Section	Transformation Matrix and Transfer Function	MOCCII-Based Circuit and Design Equation
	$\begin{bmatrix} 0 & \pm 1 \\ \pm G & 0 \end{bmatrix} \quad G = \frac{1}{R}$ $\pm y_{21} = \frac{\pm x_{21} + J}{s \frac{C}{G} + 1}$	 $R_a C_a = \frac{C}{G}$
	$\begin{bmatrix} \pm G & 0 \\ 0 & \pm 1 \end{bmatrix} \begin{bmatrix} \pm G & 0 \\ 0 & \pm 1 \end{bmatrix}$ $\pm y_{1i} = \pm y_{2i} = \frac{\pm x_{2i} \pm x_{1i}}{sGL}$	 $R_a C_a = GL$
	$\begin{bmatrix} 0 & \pm 1 \\ \pm G & 0 \end{bmatrix}$ $\pm y_{1n} = \frac{\pm x_{1n}}{s \frac{C}{G} + 1} = I_o$	 $R_a C_a = \frac{C}{G}$

เมื่อพิจารณาในรูปแบบการแปลงเชิงเส้น CMLT ของวงจรกรองความถี่ชนิดขึ้นบันได ดังตารางที่ 3.3 พบว่าวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขึ้นบันไดต้นแบบในรูปแบบที่ 3.16 สามารถแบ่งออกเป็น 3 ส่วน โดยเป็นการใช้พื้นฐานวงจรสายพานกระแสแบบหลายเอาต์พุต (MOCCIIs) ร่วมกับตัวเก็บประจุและตัวต้านแบบต่อเทียบกราวด์ ดังนั้นเมื่อแทนแต่ละส่วนเข้าด้วยกันจึงเป็นวงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสูงชนิดขึ้นบันไดโดยใช้ MOCCIIs ดังแสดงในรูปที่ 3.18 เห็นได้ว่าวงจรกรองความถี่ต่ำผ่านรูปแบบกระแสนิตช์ขึ้นบันไดโดยใช้ MOCCIIs ใช้อุปกรณ์พาสซีฟต่อเทียบกราวด์เป็นจำนวนมาก และผลตอบสนองของวงจรกรองความถี่ต่ำผ่านที่ถูกรุ่นำเสนอนี้ใช้งานได้ที่ย่านความถี่แคบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากงานวิจัยที่ได้กล่าวมาข้างต้นจะเห็นได้ว่าในแต่ละงานวิจัยยังมีข้อเสียคือ มีอุปกรณ์แพสซีฟต่อลงกราวด์ แล้วก็ตาม แต่ก็ยังมีบางวงจรมีอุปกรณ์แพสซีฟแบบลอยตัว [8] บางวงจรก็ยังมีอุปกรณ์แพสซีฟเป็นจำนวนมาก [32] บางวงจรจุดคัทออฟต่ำ ความชัน (Slope) ระหว่าง Passband และ Stopband น้อย [16] บางวงจรยังใช้ตัวต้านทานต่อภายนอก [33-34] ไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ [8,32-33] และงานวิจัยที่กล่าวมาข้างต้นผลตอบสนองทางความถี่แคบ [8,32-34] ซึ่งจากข้อด้อยดังกล่าว จึงเป็นที่มาของวิทยานิพนธ์นี้ โดยจะนำการออกแบบวงจรความถี่ที่ใช้ อุปกรณ์แพสซีฟต่อลงกราวด์ สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ และผลตอบสนองทางความถี่กว้าง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแส

โดยใช้ MOCCII

4.1 บทนำ

วงจรรองความถี่รูปแบบแรงดัน ได้ถูกออกแบบและพัฒนากระบวนการทางสัญญาณมาอย่างต่อเนื่อง อย่างไรก็ตามเมื่อไม่นานมานี้ วงจรรองความถี่รูปแบบกระแสได้รับความสนใจมากกว่าวงจรในรูปแบบแรงดัน เนื่องจากมีประสิทธิภาพที่สูงกว่า เช่น วงจรมีขนาดเล็ก ผลตอบสนองทางความถี่สูงกว่า อีกทั้งยังใช้ไฟเลี้ยงต่ำกว่าวงจรรองความถี่รูปแบบแรงดัน [1-2] ซึ่งวงจรรูปแบบกระแสสามารถทำงานได้ที่ไฟเลี้ยงต่ำ อีกทั้งยังมีโครงสร้างวงจรที่ไม่ซับซ้อน

วงจรรองความถี่แบบอนาล็อกทางด้านโทรคมนาคม [3] มีความสำคัญอย่างยิ่งในการเลือกความถี่ที่ต้องการจากหลายๆความถี่ สำหรับวงจรรองความถี่แบบแพสซีฟ [4] สามารถใช้ในการสร้างเป็นวงจรรองความถี่แบบอนาล็อกได้ แต่ก็ยังมีข้อด้อย คือ ไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ จึงไม่เหมาะกับการสร้างเป็นวงจรรวม การออกแบบวงจรรองความถี่รูปแบบกระแสโดยใช้อุปกรณ์แอกทีฟ เช่น วงจรสายพานกระแสรุ่นที่สอง (CCII) ถูกสร้างเป็นบล็อกแอกทีฟรูปแบบกระแสสามารถนำไปใช้ร่วมกับหลายแอปพลิเคชัน [5-7] วงจรรองความถี่รูปแบบกระแสชนิดขั้นบันไดโดยใช้วงจรสายพานกระแสหลายเอาต์พุต (MOCCII) [8] จะเห็นได้ว่าการออกแบบวงจรความถี่รูปแบบกระแสโดยใช้วงจรสายพานกระแสหลายเอาต์พุตสามารถลดจำนวนอุปกรณ์แอกทีฟลงแต่มีการใช้ตัวต้านทานต่อลงกราวด์ [9] อีกทั้งผลตอบสนองทางความถี่ไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ หลายงานวิจัยได้นำเสนอวงสายพานกระแสรุ่นที่สองแบบกระแสควบคุม (CCCII) [10-11] ถูกนำไปใช้อย่างแพร่หลายในการนำไปสร้างวงจรรองความถี่แบบแอกทีฟ เนื่องจากมีความยืดหยุ่นและสามารถออกแบบฟังก์ชันได้หลากหลาย ยิ่งไปกว่านั้นวงจรรองที่ถูกสร้างขึ้นจาก CCCII ยังมีคุณสมบัติทางอิเล็กทรอนิกส์ เช่น ความต้านทานที่ พอร์ต X ปรับค่าทางอิเล็กทรอนิกส์ได้ด้วยกระแสไบอัส (I_B) การออกแบบวงจรรองความถี่หลายหน้าที่โดยใช้ CCCII [12-14] นำเสนอโครงสร้างและคุณลักษณะที่แตกต่างกัน โดยมีข้อด้อยเช่น ใช้อุปกรณ์แพสซีฟต่อแบบลอยตัว [12-13] อีกทั้งยังใช้อุปกรณ์แอกทีฟมากเกินไป [14]

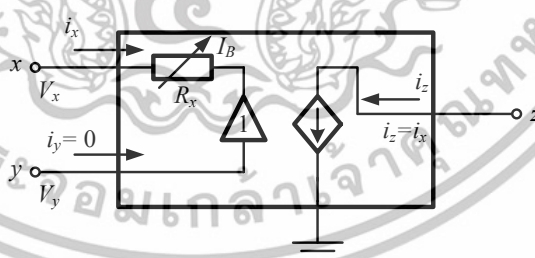
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรองความถี่ต่ำผ่านชนิดขั้นบันไดปลายปิดคู่ พบได้ในหลายแอปพลิเคชัน ซึ่งมีประสิทธิภาพสูงและมีค่าความไวต่ำ [15] วงจรรองความถี่ต่ำผ่านอันดับสูงรูปแบบกระแส โดยใช้ CCCII ถูกนำเสนอโดยใช้วงจรรองความถี่ RLC ชนิดขั้นบันไดปลายปิดคู่ต้นแบบ [16] มีข้อเสีย คือ ใช้ตัวเก็บประจุต่อแบบลอยตัว ซึ่งไม่เหมาะต่อการนำไปสร้างเป็นวงจรรวม [17] ดังนั้นวิทยานิพนธ์นี้ จึงได้นำเสนอการออกแบบวงจรรองความถี่ต่ำผ่านอันดับสูงชนิดขั้นบันไดรูปแบบกระแสโดยใช้วงจรรายพานกระแสหลายเอาต์พุต MOCCCIIs ซึ่งวงจรรองความถี่ต่ำผ่าน Chebyshev ชนิดขั้นบันไดต้นแบบถูกสังเคราะห์เป็นวงจรรองความถี่ที่นำเสนอ วงจรรองความถี่ที่นำเสนอถูกสร้างขึ้นโดยใช้วงจรรวมที่เกรเตอร์ชนิดสูญเสีย วงจรรวมที่เกรเตอร์ชนิดไม่สูญเสีย และตัวเก็บประจุต่อลงกราวด์ ยืนยันการทำงานของวงจรด้วยโปรแกรม PSPICE พบว่ามีความสอดคล้องกับทฤษฎี

4.2 คำอธิบายวงจร

4.2.1 วงจรรายพานกระแสรุ่นที่สองแบบกระแสควบคุม

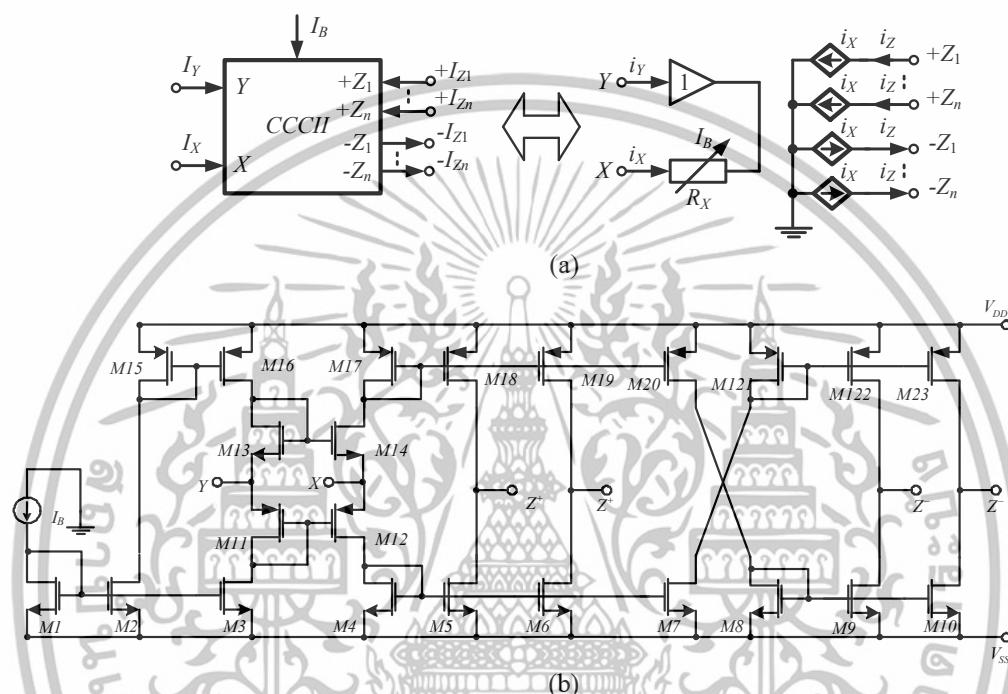
วงจรรายพานกระแสแบบกระแสควบคุม (CCCII) ถูกพัฒนามาจากวงจรรายพานกระแสรุ่นที่สอง (CCII) ซึ่ง CCCII มีความแตกต่างกับ CCII ที่พอร์ต X โดย CCCII มี 3 พอร์ต คือ X, Y และ Z โดยวงจรสมมูลทางไฟฟ้าของวงจร CCCII มีค่าความต้านทานแฝงที่พอร์ต X ดังรูปที่ 4.1 และมีโครงสร้างภายในดังรูปที่ 4.2 ซึ่งความสัมพันธ์ระหว่างกระแสและแรงดันของ CCCII สามารถอธิบายได้ดัง สมการที่ (1)



รูปที่ 4.1 วงจรสมมูลทางไฟฟ้าของวงจร CCCII

$$R_X \approx \frac{1}{g_m} = \frac{1}{\sqrt{8\beta I_B}} \quad (3)$$

เมื่อ $\beta = \beta_{12} = \beta_{14} = \mu C_{ox}(W/L)$ เป็นค่าคงที่ โดย μ , C_{ox} , W และ L เป็นค่าความคล่อง, ความจุจากออกไซด์ ความกว้างและความยาวของมอสทรานซิสเตอร์ ตามลำดับ ดังนั้น R_X สามารถปรับค่าได้ด้วยกระแสไบอัส I_B สัญลักษณ์ทางอิเล็กทรอนิกส์และวงจรรวมของ CCCII แสดงได้ดังรูปที่ 4.4



รูปที่ 4.4 วงจรสายพานกระแสรุ่นที่สอง CCCII โดยใช้ซีมอส

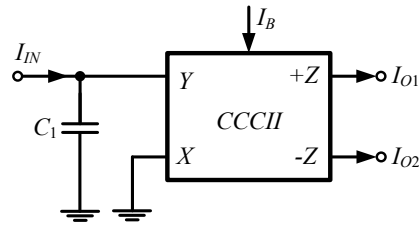
(a) แบบจำลองสัญญาณขนาดเล็กและบล็อกไดอะแกรม (b) โครงสร้างวงจร

4.2.2 วงจรอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียโดยใช้ CCCII

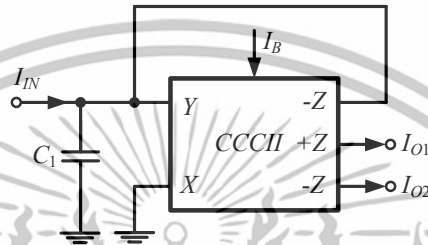
อินทิเกรเตอร์สามารถแบ่งออกได้เป็นสองชนิด คือ อินทิเกรเตอร์ชนิดสูญเสียและอินทิเกรเตอร์ชนิดไม่สูญเสีย โดยอินทิเกรเตอร์สองชนิดนี้มีผลตอบสนองทางแมกนิจูดและเฟสต่างกัน ซึ่งอินทิเกรเตอร์สองชนิดนี้สามารถสร้างโดยใช้ CCCII และตัวเก็บประจุต่อลงกราวด์ อินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ CCCII แสดงได้ดังรูปที่ 4.5 และฟังก์ชันถ่ายโอนสามารถแสดงได้ดังสมการที่ 4

$$\frac{I_{O+}}{I_{IN}} = \frac{1}{sCR_X} \quad (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 บล็อกไดอะแกรมอินทิเกรเตอร์ชนิดไม่สูญเสียโดยใช้ CCCII



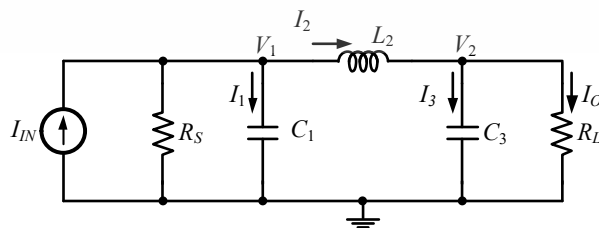
รูปที่ 4.6 บล็อกไดอะแกรมอินทิเกรเตอร์ชนิดสูญเสียโดยใช้ CCCII

ในทางตรงกันข้าม อินทิเกรเตอร์ชนิดสูญเสียโดยใช้ CCCII และตัวเก็บประจุต่อลงกราวด์ซึ่งมีการลูปกลับสัญญาณกระแสกลับเฟสจากเอาต์พุต Z มายังพอร์ตอินพุต Y แสดงได้ดังรูปที่ 4.6 ฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดสูญเสียสามารถแสดงได้ดังสมการที่ 5

$$\frac{I_O}{I_{IN}} = \frac{1}{sCR_x + 1} \tag{5}$$

4.3 การออกแบบวงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดอันดับสูง

วงจรกรองต่ำผ่านอันดับสูงที่ถูกนำเสนอในวิทยานิพนธ์นี้เป็นการเรียนแบบการทำงานของจากวงจรกรองความถี่แพสซีฟ Chebyshev RLC อันดับสามชนิดขั้นบันไดต้นแบบ แสดงดังรูปที่ 4.7 โดยใช้กราฟการไหลของสัญญาณ (Signal Flow Graph: SFG) ในการสังเคราะห์เป็นวงจรกรองความถี่แบบแอกทีฟ



รูปที่ 4.7 วงจรกรองความถี่แพสซีฟ Chebyshev RLC อันดับสามชนิดขั้นบันไดต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต้นแบบ ในรูปที่ 4.7 สามารถนำมาวิเคราะห์โดยใช้ KCL เพื่อหาความสัมพันธ์ระหว่างกระแสและแรงดัน ได้ดังนี้

$$I_1 = I_m - \frac{V_1}{R_s} - I_2 \quad (6)$$

$$V_1 = \frac{I_1}{sC_1} \quad (7)$$

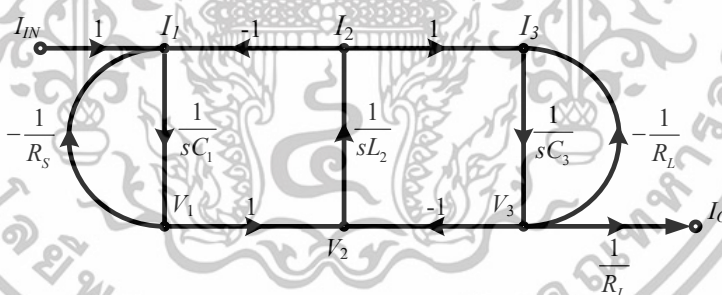
$$V_2 = V_1 - V_3 \quad (8)$$

$$I_2 = \frac{V_2}{sL_2} \quad (9)$$

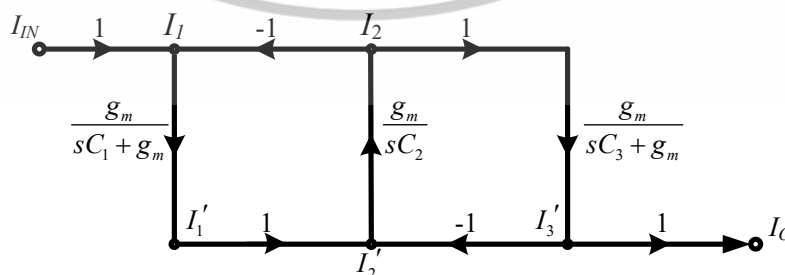
$$V_3 = \frac{I_3}{sC_3} \quad (10)$$

$$I_3 = I_2 - \frac{V_3}{R_L} \quad (11)$$

พิจารณาสมการที่ (6)-(11) สามารถเขียนความสัมพันธ์ระหว่างกระแสและแรงดันด้วย SFG ดังแสดงในรูปที่ 4.8 ทำการปรับแรงดันให้อยู่ในรูปของกระแสทั้งหมดสามารถทำได้โดยการ Normalized โดยใช้ค่าทรานสคอนดักแตนซ์ (g_m) ดังรูปที่ 4.9 โดยกำหนดให้ตัวต้านทาน $R_s=R_L=1/g_m$



รูปที่ 4.8 กราฟการไหลของสัญญาณ (SFG) วงจรกรองความถี่ต่ำผ่านต้นแบบ ในรูปที่ 4.7

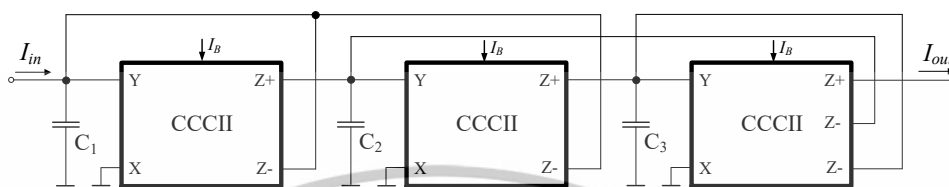


รูปที่ 4.9 Normalized SFG ในรูปแบบกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

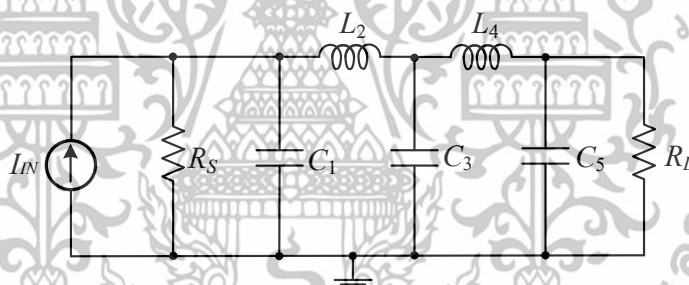
จาก SFG ในรูปที่ 4.9 วงจรกรองความถี่ต่ำผ่านอันดับสามสามารถสร้างได้โดยใช้อินทิเกร-

เตอร์ชนิดสูญเสีย 2 ตัว และอินทิเกรเตอร์ชนิดไม่สูญเสีย 1 ตัว ดังแสดงในรูปที่ 4.10

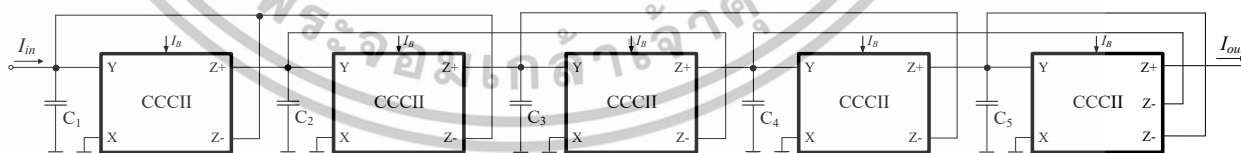


รูปที่ 4.10 วงจรกรองความถี่ต่ำผ่านอันดับสามโดยใช้ MOCCII

จากหลักการที่กล่าวมาข้างต้น SFG สามารถสังเคราะห์วงจรกรองความถี่ที่มีอันดับสูงขึ้นได้ ในกรณีนี้ วงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดอันดับห้าต้นแบบรูปที่ 4.11 ถูกใช้ในการสังเคราะห์ วงจรด้วย SFG ได้เป็นวงจรกรองความถี่ต่ำผ่านอันดับห้าโดยใช้อินทิเกรเตอร์ชนิดสูญเสีย 2 ตัวและอินทิเกรเตอร์ชนิดไม่สูญเสีย 3 ตัว แสดงดังรูปที่ 4.12



รูปที่ 4.11 วงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดขั้นบันไดต้นแบบ



รูปที่ 4.12 วงจรกรองความถี่ต่ำผ่านอันดับห้าโดยใช้ MOCCII

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

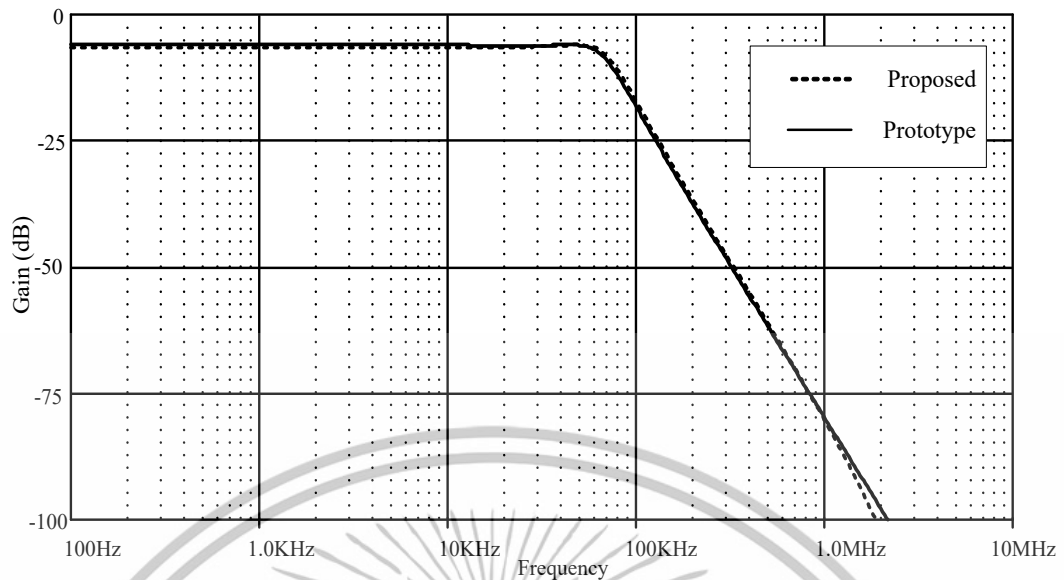
4.4 ผลการจำลองการทำงาน

ประสิทธิภาพของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ ยืนยันผลการจำลองการทำงานด้วย PSpice โดยใช้เทคโนโลยีซีมอส TSMC 0.25 μm โดยมีอัตราส่วนของทรานซิสเตอร์ ได้ดังตารางที่ 4.1

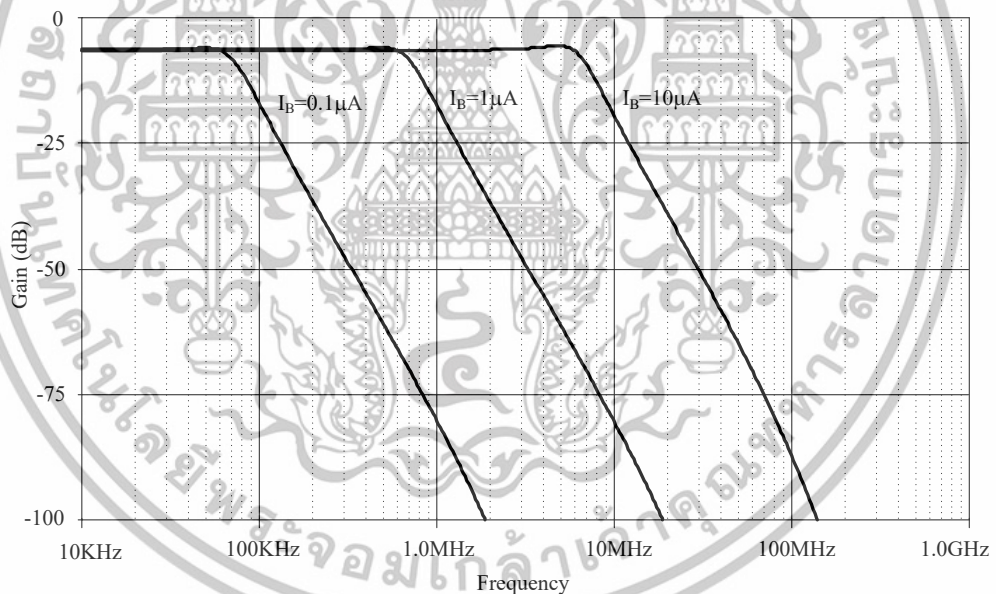
Transistor	W(μm)	L(μm)
M13 ,M14 ,M15 ,M16 ,M17 ,M18 ,M19 ,M20 ,M21 ,M22 ,M23	15	0.5
M1 ,M2 ,M3 ,M4 ,M5 ,M6 ,M7 ,M8 ,M9 ,M10 ,M11 ,M12	5	0.5

ตารางที่ 4.1 ค่าอัตราส่วนทรานซิสเตอร์ของวงจรสายพานกระแสหลายเอาต์พุต

เปรียบเทียบผลตอบสนองทางความถี่ระหว่างวงจรกรองความถี่ต่ำผ่านต้นแบบในรูปที่ 4.7 และวงจรกรองความถี่ต่ำผ่านที่นำเสนอจากรูปที่ 4.10 โดยกำหนดให้วงจรกรองความถี่ต่ำผ่านอันดับสาม Chebyshev มีค่า $A_{max} = -6$ dB, $f_c = 50$ kHz และ $ripple = 0.1$ dB [4] วงจรที่นำเสนอ กำหนดค่าตัวเก็บประจุเท่ากับ $C_1 = 23.1$ pF, $C_2 = 25.2$ pF และ $C_3 = 23.1$ pF ปรับค่ากระแสไบอัส (I_B) เท่ากับ 0.1 μA ซึ่ง $R_X = 150.47$ k Ω ในขณะที่วงจรกรองความถี่ต่ำผ่านต้นแบบ กำหนดค่าตัวเก็บประจุ $C_1 = 3.3$ μF , $C_3 = 3.3$ μF ค่าตัวเหนี่ยวนำ $L_2 = 3.6$ μH และค่าตัวต้านทาน $R_S = R_L = 1$ Ω โดยมีผลตอบสนองทางความถี่ ดังแสดงในรูปที่ 4.13 จะเห็นได้ว่ามีความใกล้เคียงกับวงจรความถี่ต้นแบบ เมื่อปรับค่ากระแสไบอัส ตั้งแต่ 0.1 ถึง 10 μA พบว่าค่า $R_X = [150.47$ k Ω , 15.2 k Ω , 1.67 k Ω] และสามารถปรับค่าความถี่ใช้งาน ได้ตั้งแต่ 75 kHz- 7.5 MHz โดยผลตอบสนองทางความถี่ แสดงดังรูปที่ 4.14 และ ผลตอบสนองทางแมกนิจูดและเฟสแสดงดังรูปที่ 4.16

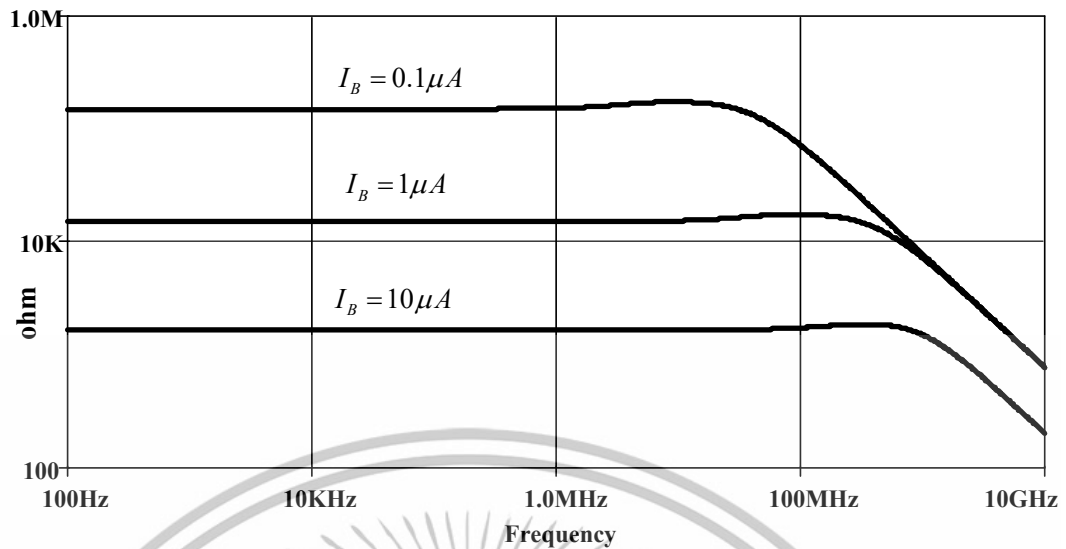


รูปที่ 4.13 เปรียบเทียบผลตอบสนองทางแมกนิจูดระหว่างวงจรรองความถี่ต่ำผ่านอันดับสามต้นแบบและวงจรที่นำเสนอ

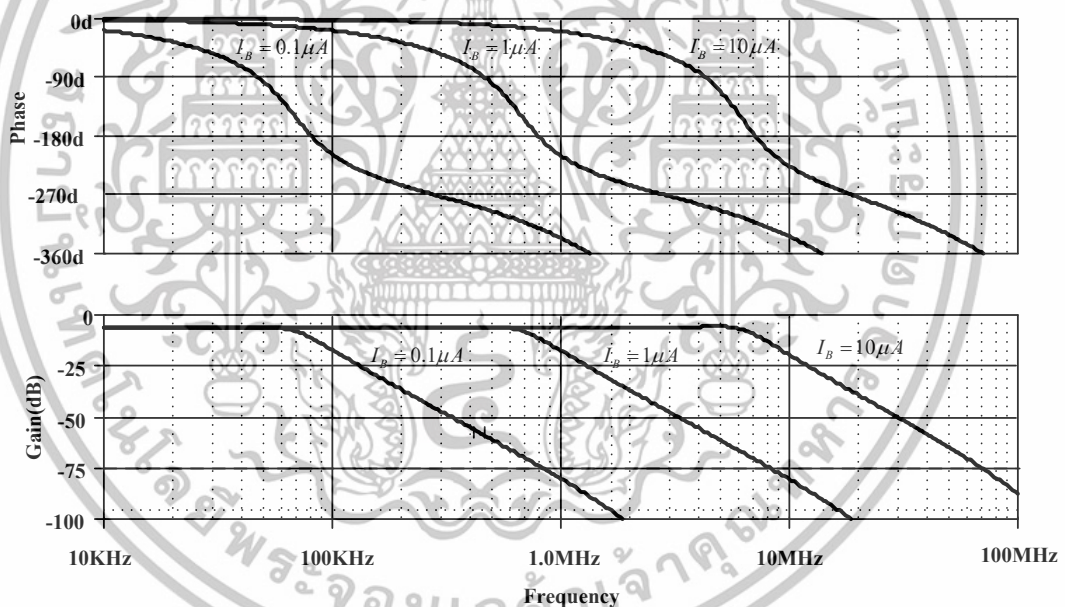


รูปที่ 4.14 ผลตอบสนองทางแมกนิจูดวงจรรองความถี่ต่ำผ่านอันดับสามที่นำเสนอเมื่อปรับค่ากระแสไบอัส I_B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



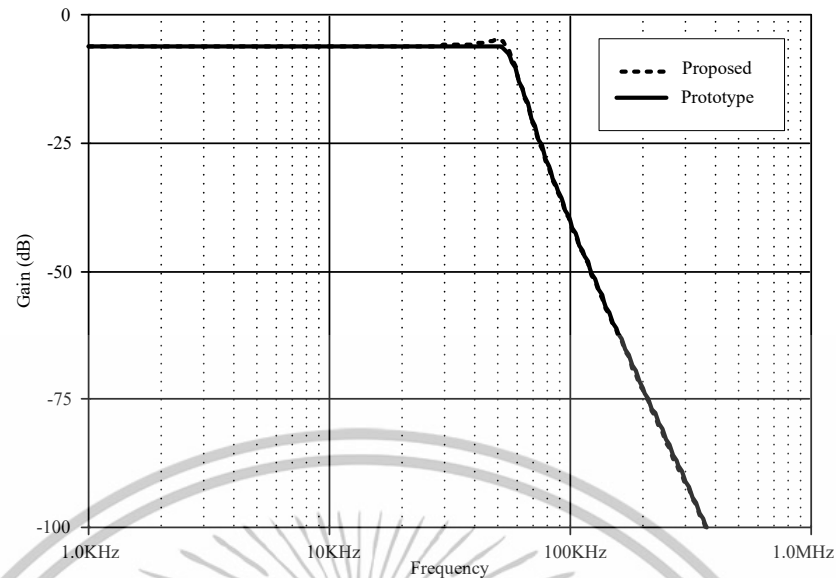
รูปที่ 4.15 ค่าความต้านทานแฉง R_X เมื่อปรับค่ากระแสไบอัส I_B



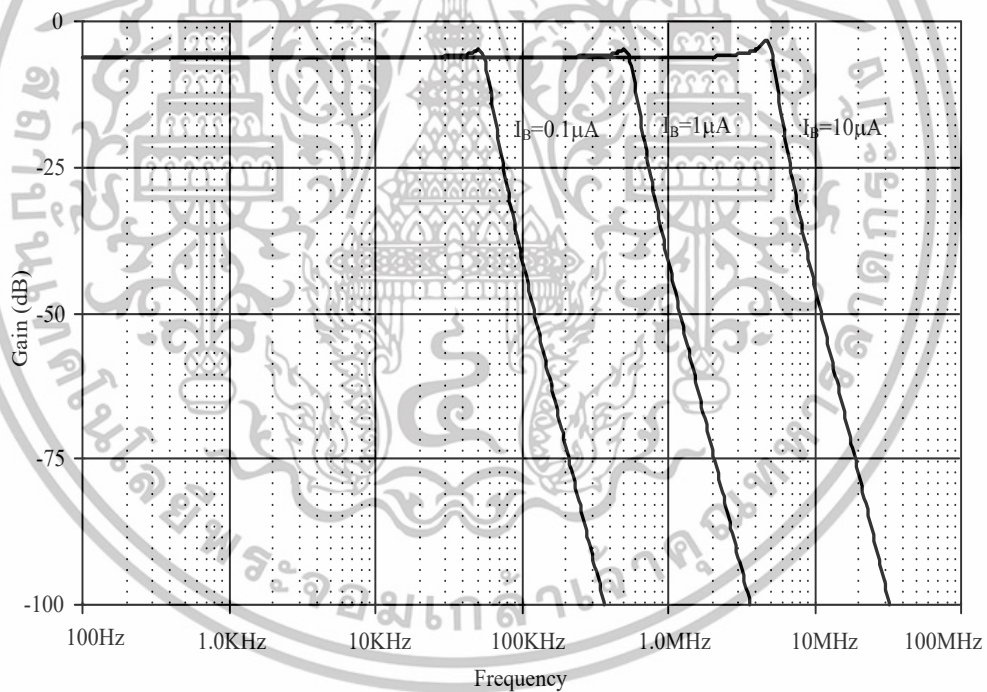
รูปที่ 4.16 ผลตอบสนองทางแมกนิจูดและเฟสของวงจรรองความถี่ต่ำผ่านอันดับ 3

จากรูปที่ 4.17 เปรียบเทียบผลตอบสนองทางความถี่ระหว่างวงจรรองความถี่ต่ำผ่านต้นแบบในรูปที่ 4.10 และวงจรรองความถี่ต่ำผ่านที่นำเสนอกำหนดให้ $C_1=26.1$ pF, $C_2=31.1$ pF, $C_3=45.68$ pF, $C_4=31.1$ pF และ $C_5=26.1$ pF รูปที่ 4.18 แสดงผลตอบสนองที่นำเสนอเมื่อปรับค่ากระแสไบอัสตั้งแต่ 0.1 ถึง 10 μ A พบว่าค่า $R_X=[150.47$ k Ω , 15.2 k Ω , 1.67 k Ω] ดังรูปที่ 4.15 และผลตอบสนองทางแมกนิจูดและเฟสแสดงดังรูปที่ 4.19 พบว่าสามารถปรับค่าความถี่ใช้งานได้ตั้งแต่ 75 kHz-7.5 MHz จะเห็นได้ว่ามีค่าลดทอน (attenuation) มากกว่าวงจรรองความถี่ต่ำผ่านอันดับที่สาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

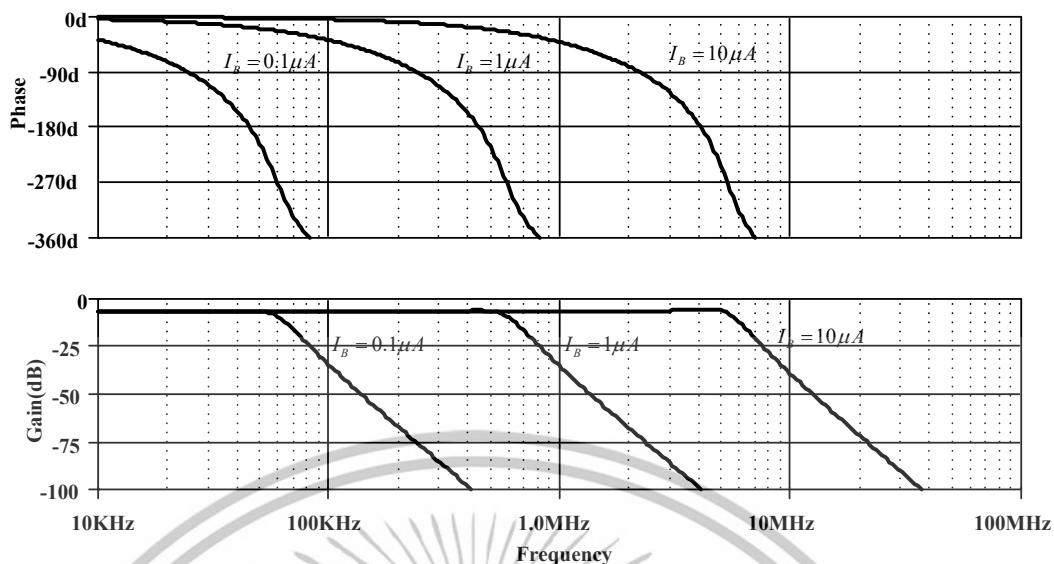


รูปที่ 4.17 เปรียบเทียบผลตอบสนองทางแมกนิจูดระหว่างวงจรรองความถี่ต่ำผ่านอันดับห้าต้นแบบและวงจรที่นำเสนอ



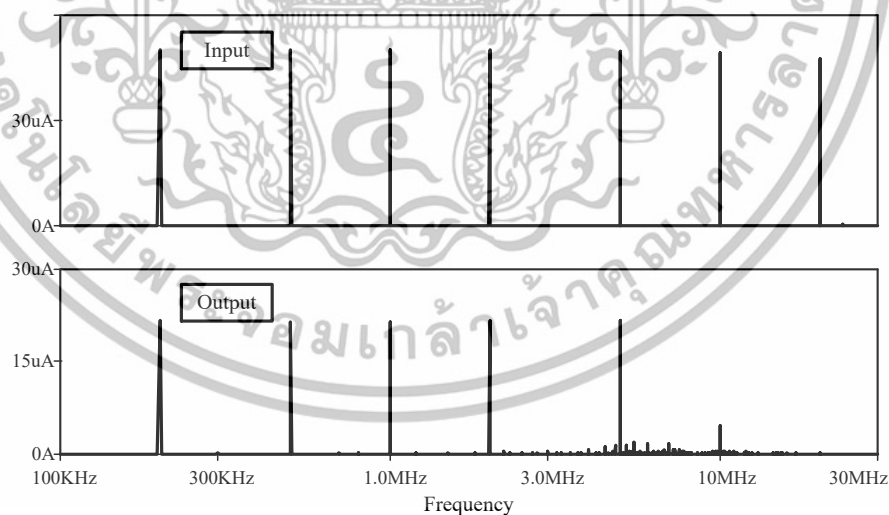
รูปที่ 4.18 ผลตอบสนองทางแมกนิจูดวงจรรองความถี่ต่ำผ่านอันดับห้าที่นำเสนอเมื่อปรับค่ากระแสไบอัส I_B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



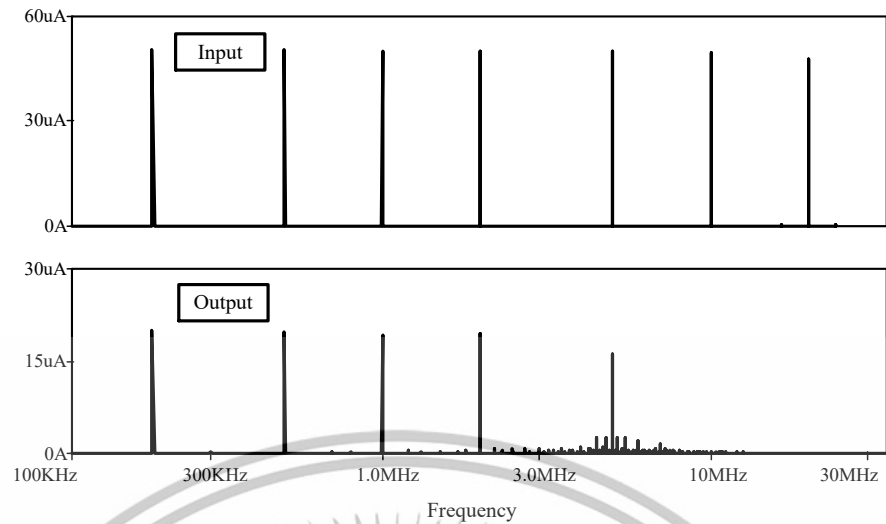
รูปที่ 4.19 ผลตอบสนองทางแอมพลิจูดและเฟสของวงจรรองความถี่ต่ำผ่านอันดับ 5

ส่วนรูปที่ 4.20 และรูปที่ 4.21 แสดงประสิทธิภาพของวงจรรองความถี่อันดับที่สามและอันดับที่ห้า โดยการป้อนสัญญาณอินพุตหลายความถี่ (Multi-Tone) กำหนดให้วงจรที่นำเสนอมีความถี่ตัดประมาณ 7.5 MHz โดยป้อนค่ากระแสไบอัส $I_B = 10 \mu\text{A}$ และป้อนสัญญาณอินพุตในย่านความถี่คือ 200 kHz, 500 kHz, 1 MHz, 2 MHz, 5 MHz, 10 MHz, 20 MHz สังเกตได้สัญญาณนอกย่านความถี่ใช้งาน (10 MHz และ 20 MHz) ถูกตัดออกไปเหลือเพียงความถี่ 200 kHz, 500 kHz, 1 MHz, 2 MHz และ 5 MHz เท่านั้น



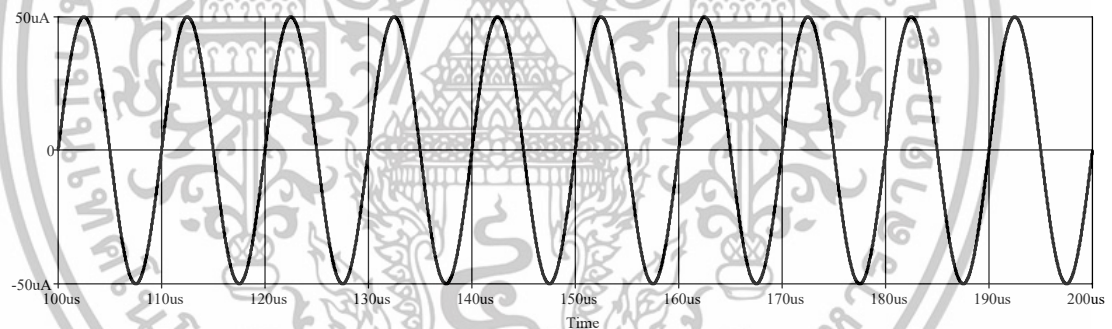
รูปที่ 4.20 ผลตอบสนองความถี่ Multitone ของวงจรรองความถี่ต่ำผ่านอันดับสามที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

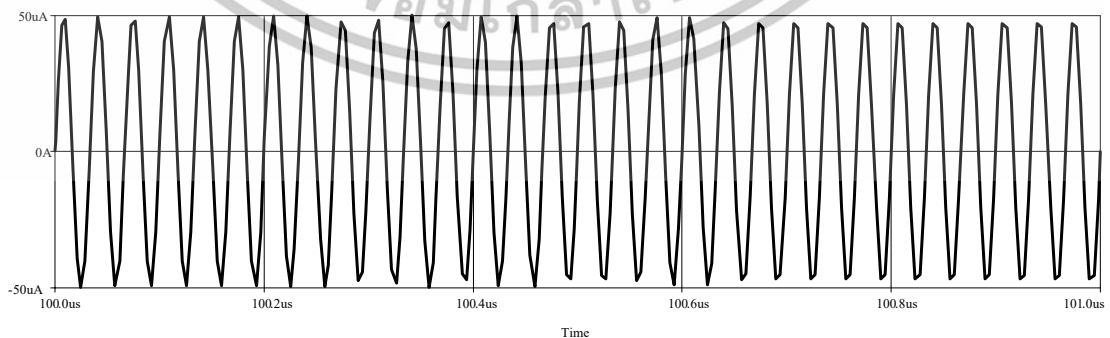


รูปที่ 4.21 ผลตอบสนองความถี่ Multitone ของวงจรกรองความถี่ต่ำผ่านอันดับห้าที่นำเสนอ

ทดสอบป้อนสัญญาณอินพุต ที่ความถี่สูงและความถี่ต่ำ เพื่อดูสัญญาณเอาต์พุตที่ได้จากวงจรกรองความถี่ต่ำผ่านอันดับสามและอันดับห้า ใน Time Domain โดยป้อนสัญญาณความถี่ต่ำที่ 100 kHz และสัญญาณความถี่สูงที่ 30 MHz ดังรูปที่ 4.22 และรูปที่ 4.23 ตามลำดับ

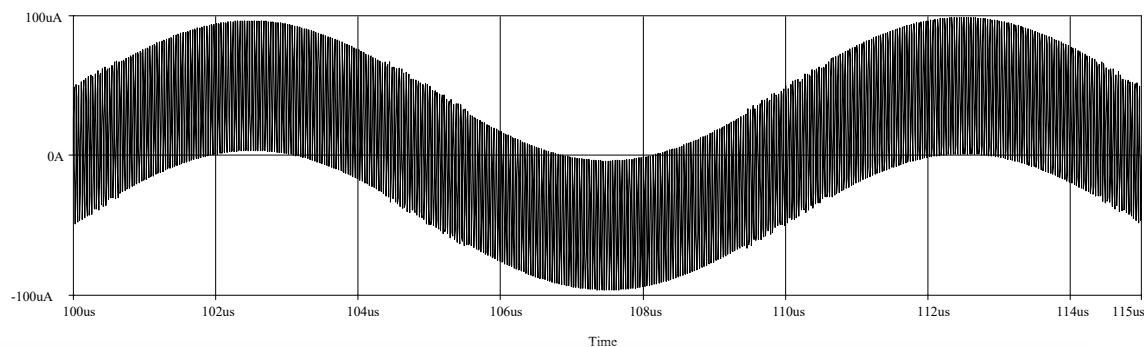


รูปที่ 4.22 สัญญาณอินพุตความถี่ต่ำ 100 kHz

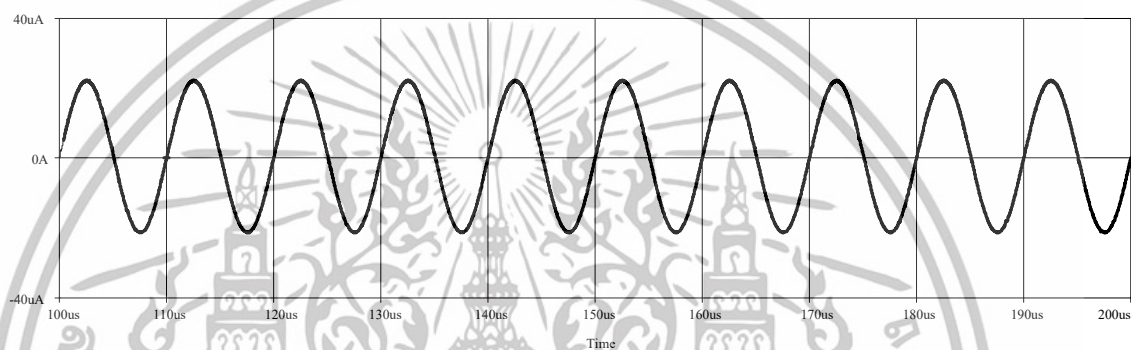


รูปที่ 4.23 สัญญาณอินพุตความถี่สูง 30 MHz

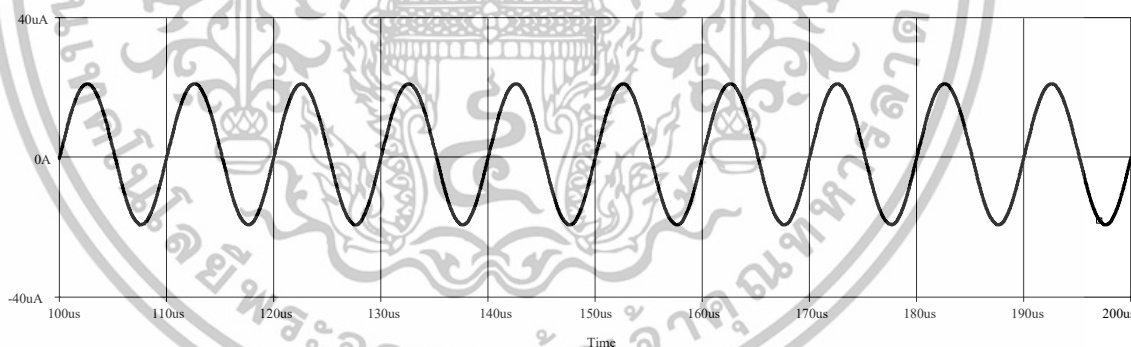
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 สัญญาณอินพุตความถี่ต่ำ 100 kHz และความถี่สูง 30 MHz



รูปที่ 4.25 สัญญาณเอาต์พุตที่ได้จากวงจรกรองความถี่ต่ำผ่านอันดับสาม



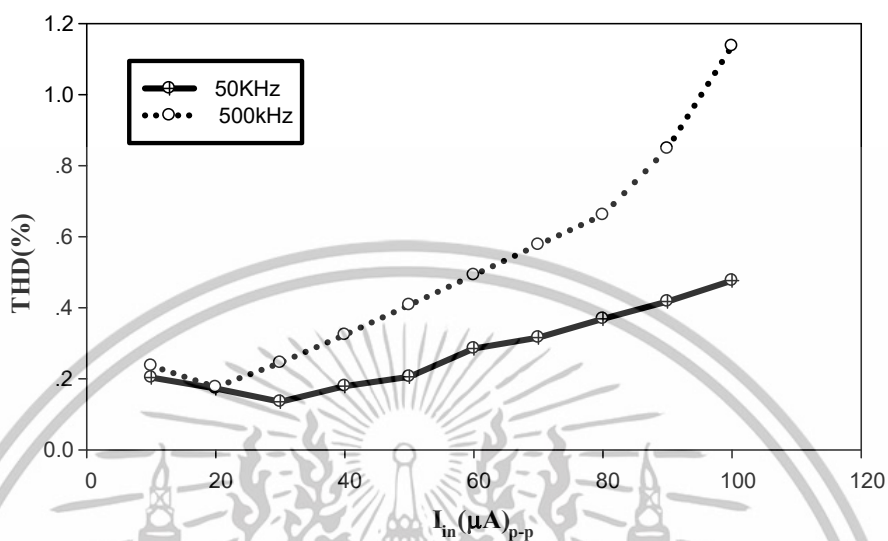
รูปที่ 4.26 สัญญาณเอาต์พุตที่ได้จากวงจรกรองความถี่ต่ำผ่านอันดับห้า

จากรูปที่ 4.25 และรูปที่ 4.26 สังเกตเห็นได้ว่า วงจรกรองความถี่ต่ำผ่านสามารถกรองสัญญาณที่ความถี่สูงออกไปได้ โดยสัญญาณเอาต์พุตที่ได้ เป็นสัญญาณอินพุตที่ความถี่ต่ำ

ค่าความเพี้ยนทางฮาร์มอนิก (THD) ของวงจรกรองความถี่ต่ำผ่านอันดับสามที่นำเสนอ โดยป้อนสัญญาณอินพุตที่ความถี่ 50 kHz และ 500 kHz ที่ขนาดของสัญญาณ 100 $\mu\text{Ap-p}$ กำหนดให้วงจรที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำเสนอมีความถี่ตัดประมาณ 5 MHz โดยป้อนค่ากระแสไบอัส $I_B=10 \mu\text{A}$ สามารถวัดค่า THD ได้ 1.2% แสดงได้ดังรูปที่ 4.27



รูปที่ 4.27 ค่าความเพี้ยนทางฮาร์มอนิกของวงจรกรองความถี่ต่ำผ่านอันดับสาม ที่นำเสนอกำหนดให้ค่ากระแสไบอัส $I_B = 10 \mu\text{A}$

จากหลักการที่นำเสนอนี้ อ้างอิงจากผลการทดลองพบว่าการออกแบบวงจรกรองความถี่ต่ำผ่านชนิดขั้นบันไดอันดับสูงรูปแบบกระแสโดยใช้ MOCSSs ที่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ ตอบสนองความถี่ได้ตั้งแต่ 75 kHz ถึง 7.5 MHz โดยกระแสไบอัส $I_{B1}=I_{B2}=[0.1, 1, 10] \mu\text{A}$ ใช้ไฟเลี้ยงต่ำ และใช้ตัวเก็บประจุต่อลงกราวด์ ไม่ใช่ตัวต้านทานต่อภายนอกซึ่งเหมาะสมกับการนำไปสร้างเป็นวงจรรวม

บทที่ 5

บทสรุปและข้อเสนอแนะ

5.1 บทสรุปการวิจัย

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรกรองความถี่ต่ำผ่านชนิดชั้นบันไดอันดับสูงรูปแบบกระแสโดยใช้ MOCCCIIs โดยวงจรที่นำเสนอให้หลักการออกแบบที่ไม่ซับซ้อนและครอบคลุมวงจรกรองความถี่แพสซีฟ RLC ชนิดชั้นบันไดได้ทุกแบบ วงจรกรองความถี่ต่ำผ่าน Chebyshev อันดับสามและอันดับห้าที่เลือกมาออกแบบ ประกอบด้วยอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสีย โดยไม่ใช้ตัวต้านทานต่อภายนอก ผลตอบสนองทางความถี่สามารถปรับค่าได้ตั้งแต่ 75 kHz ถึง 7.5 MHz โดยปรับค่ากระแสไบอัส (I_B) ที่ MOCCCIIs ตั้งแต่ 0.1 μA ถึง 10 μA วงจรที่นำเสนอใช้ไฟเลี้ยง $\pm 2\text{ V}$ ใช้พลังงาน 2 mW ที่กระแสไบอัส 10 μA โดยมีค่าความเพี้ยนทางฮาร์มอนิก (THD) ต่ำ ซึ่งเหมาะสมต่อการนำไปสร้างเป็นวงจรรวมเนื่องใช้ไฟเลี้ยงต่ำและสามารถทำงานได้ในย่านความถี่ HF

5.2 เปรียบเทียบงานวิจัย

ตารางที่ 5.1 เป็นตารางเปรียบเทียบงานวิจัยในอดีตกับงานวิจัยที่นำเสนอ โดยมีหลักการในการทำงานที่คล้ายกันโดยใช้การจำลองการทำงานมาจากวงจรกรองความถี่ต่ำผ่านแบบ Chebyshev อันดับห้าแบบชั้นบันไดต้นแบบ

ตารางที่ 5.1 ตารางเปรียบเทียบงานวิจัยในอดีตกับงานวิจัยที่นำเสนอ

งานวิจัย	อุปกรณ์	ย่านความถี่ในการปรับค่า	ความถี่สูงสุดที่ใช้งานได้	ตัวต้านทาน	จำนวนอุปกรณ์	ไฟเลี้ยง
[8]	CMOS MOCC	N/A	2.4 MHz	มี	140	N/A
[16]	CMOS MCCCII	2.5MHz-10MHz	10 MHz	ไม่มี	96	N/A
[32]	CMOS OTA	N/A	3 KHz	ไม่มี	196	N/A
[33]	CMOS CBTA	77MHz -107 MHz	107 MHz	มี	130	$\pm 1.5V$
[34]	CMOS MOCCII	N/A	100 KHz	มี	39	N/A
งานวิจัยที่นำเสนอ	CMOS MOCCCII	75 kHz -7.5 MHz	5 MHz	ไม่มี	69	$\pm 2 V.$

จากตารางเห็นได้ว่างานวิจัยที่นำเสนอในวิทยานิพนธ์นี้เป็นการออกแบบวงจรกรองความถี่ที่ใช้อุปกรณ์แพสซีฟต่อลงกราวด์ ไม่ใช่ตัวต้านทานภายนอกและสามารถปรับค่าได้ทางอิเล็กทรอนิกส์

5.3 ข้อเสนอแนะ

จากการศึกษาวิทยานิพนธ์ที่ได้นำเสนอนี้ ถึงแม้ว่าการออกแบบวงจรกรองความถี่ที่ได้นำเสนอ นั้นสามารถทำงานได้ตามวัตถุประสงค์และสอดคล้องกับทฤษฎี มีข้อดีที่เหมาะสมกับการนำไปสร้างเป็นวงจรรวมแตรวงจรที่นำเสนอ นั้นยังมีข้อด้อยที่ต้องทำการปรับปรุง คือ วงจรยังมีการใช้ตัวเก็บประจุต่อลงกราวด์อยู่ซึ่งในอนาคตสามารถแก้ไขได้โดยใช้ตัวเก็บประจุแบบมอส (MOS capacitor) [35]

เอกสารอ้างอิง

- [1] C. Toumazou, F. J. Lidgley and D. G. Haigh, "Analogue IC design the current-mode approach," Peter Peregrinus Ltd, London, 1990.
- [2] C. Toumazou, F. J. Lidgley and C. A. Makris, "Extending voltage-mode op amps to current-mode performance," *Circuits, Devices and Systems, IEE Proceedings G*, vol. 137, issue 2, pp.116-130, Arp. 1990.
- [3] T. Deliyannis, Y. Sun and J. K. Fidler, "Continuous-Time Active Filter Design," London: CRC Press. 1999.
- [4] L. P. Huelsman, "Active and analog filter design," McGraw-Hill, Inc., International Edition, 1993.
- [5] S. Ozoguz and C. Acar "Universal current-mode filters with reduced number of active and passive components," *Electronics Letters*, vol. 33, no. 5, pp.948-949, May. 1997.
- [6] D.R. Bhaskar, V.K. Sharma, M. Monis and S.M.I. Rizvi, "New currentmode universal biquad filter," *Microelectronics Journal*, vol.30, no. 9, pp. 837-839, Sep. 1999.
- [7] H. Y. Wang and C. T. Lee, "Versatile insensitive current-mode universal biquad implementation using current conveyors," *IEEE Transactions on CAS-II*, vol. 48, no. 4, pp. 409-413, Apr. 2001.
- [8] J. Wu and E. E. Masry, "Current-mode ladder filters using multiple output current conveyors," *Circuits, Devices and Systems, IEE Proceedings*, vol. 143, issue 4, pp. 218-222, Aug. 1996.
- [9] Z. Wang, "Novel voltage-controlled grounded resistor," *Electronics Letters*, vol. 26, issue 20, pp. 1711-1712, Sep. 1990.
- [10] A. Fabre, O. Saaïd and H. Barthelemy, "On the frequency limitation of the circuits based on second generation current conveyors," *Analog Integ. Circuit Signal Process*, 1995.
- [11] A. Fabre, O. Saaïd, F. Wiest and C. Boucheron, "High frequency applications base on a new current controlled conveyor," *IEE Tran. Circuits and Syst. I*, vol. CAS-43, pp. 82-91, Feb. 1996.
- [12] M. Sagbas and K. Fidanboyllu, "Electronically tunable current-mode second-order universal filter using minimum elements," *Electronics Letters*, vol. 40, issue 1, pp. 2-4, Jan. 2004.
- [13] T. Katoh, T. Tsukutani, Y. Sumi and Y. Fukui, "Electronically tunable current-mode universal filter employing CCCIs and grounded capacitors," *Intelligent Signal Processing and Communications, ISPACS, International Symposium on*, pp. 107-110, Dec. 2006.
- [14] J. Jiang, J. Zhao, W. Ma and J. Liu, "CCCII and CCII based universal current-mode filter with tunable frequency," *ASIC, ASICON '09. IEEE 8th International Conference on*, pp. 1101-1104, Oct. 2009.
- [15] R. Raut and M. N. S. Swamy, "Modern analog filter analysis and design," WILEY-VCH Verlag GmbH & Co. KGaA, Weinheim, 2010.
- [16] A. Jiraseree-amornkun and W. Surakamponorn, "Efficient implementation of tunable ladder filters using multi-output current controlled conveyors," *International Journal of Electronics and Communications*, vol. 62, No.1, pp. 11-23, Jan. 2008.
- [17] Y. Tsvividis, "Mixed Analog-digital VLSI Devices and Technology," World Scientific Publishing, Singapore, 2002.
- [18] B. Razavi, "Fundamentals of Microelectronics," John Wiley and Sons, Inc., 2008.
- [19] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," Holt Rinehart and Winston, Inc., 1986.
- [20] M. H. Rashid, "Microelectronic Circuits Analysis and Design," University of West Florida, 2011.
- [21] K. C. Smith and A. S. Sedra, "The Current Conveyor – A New Circuit Building Block." *Proceedings of the IEEE*, Vol. 56, pp.1368-1369, 1968.
- [22] A. S. Sedra and K. C. Smith, "A Second Generation Conveyor and Its Application," *IEEE Transactions on Circuit Theory*, Vol. CT-17, pp.132-134, 1970.

เอกสารอ้างอิง(ต่อ)

- [23] A. Fabre, O. Saaid, F. Wiest, C. Boucheron, "Current control Bandpass Filter Based on Translinear Conveyor," *Electronics Letters*, Vol. 31, No.20, pp.1727-1728, Sept. 1995.
- [24] O. Saaid and A. Fabre, "Class AB Current Control Resistor for High Performance Current-Mode Application," *Electronics Letters*, Vol.31, pp.4-5, 1996
- [25] A. Fabre, O. Saaid, F. Wiest, Barthelemy, "On the Frequency Limitations of the Circuits Based on Second Generation Conveyors," *Analog Integrated Circuits and Signal Processing*, Kluwer Academic Publishers, Vol.7, pp.113-129, 1995
- [26] รศ.ดร.พิพัฒน์ พรหมมี "หลักการตัวกรองความถี่อนาลอก" คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2553
- [27] S. Niewiadomski, "Filter Handbook: A Practical Design Guide," Courier International Ltd, 1989.
- [28] A. I. Zverve, "Handbook of Filter Synthesis," John Wiley and Sons, Inc., 1967.
- [29] L. P. Huelsman, "Active and Passive Analog Filter Design," McGraw-Hill, Inc., 1993.
- [30] ดร. จิรยุทธ์ มหัทธนกกุล, "การออกแบบวงจรกรองแอนะล็อก" แมคกรอ-ฮิล อินเตอร์เนชั่นแนล เอ็นเตอร์ไพรส์, ینگค์ 2001
- [31] Haykin S. "Modern Filters." Macmillan Publishing Company, 1990.
- [32] J. Wu and El-Masry, "Design of current-mode ladder filters using coupled-biquads," *IEEE Transactions on circuits and systems II: Analog and digital signal processing*, Vol.45, No.11, pp.1445-1454, 1998.
- [33] Shahram Minaei, Member, "A New CMOS Electronically Tunable Current Conveyor and Its Application to Current-Mode Filters", *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS*, VOL. 53, NO. 7, JULY 2006
- [34] YUH-SHYAN HWANG, PEI-TZU HUNG, WEI CHEN¹ AND SHEN-IUAN LIU "Systematic Generation of Current-Mode Linear Transformation Filters Based on Multiple Output CCII's" *Analog Integrated Circuits and Signal Processing*, 32, 123–134, 2002 C 2002 Kluwer Academic Publishers. Manufactured in The Netherlands
- [35] Muller, R. S., T. I. Kamins, and M. Chen. "Device Electronics for Integrated Circuits," 3rd ed. New York: John Wiley & Sons, 2003.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมสำหรับวิเคราะห์วงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดชั้นบันไดรูปแบบกระแสโดยใช้

MOCCCIIs

Simulation Design of High-order Current-mode Ladder Low-pass Filters Using
MOCCCIIs*****

LOWPASS-CHEBYSHEV

```
* LOT: T14Y MOSIS          WAF: 03
* DIE: N_Area_Fring        DEV: N3740/10
* Temp= 27

.MODEL NMOS1 NMOS (                LEVEL = 3
+ TOX      = 5.7E-9 DEV=5%
+ NSUB     = 1E17          GAMMA = 0.4317311
+ PHI      = 0.7          VTO   = 0.4238252      DELTA = 0
+ UO       = 425.6466519  ETA   = 0          THETA = 0.1754054
+ KP       = 2.501048E-4  VMAX = 8.287851E4    KAPPA = 0.1686779
+ RSH      = 4.062439E-3  NFS   = 1E12        TPG   = 1
+ XJ       = 3E-7         LD    = 3.162278E-11  WD    = 1.232881E-8
+ CGDO     = 6.2E-10      CGSO  = 6.2E-10      CGBO  = 1E-10
+ CJ       = 1.81211E-3   PB    = 0.5          MJ    = 0.3282553
+ CJSW     = 5.341337E-10 MJSW  = 0.5          )
.MODEL PMOS1 PMOS (                LEVEL = 3
+ TOX      = 5.7E-9      NSUB  = 1E17          GAMMA = 0.6348369
+ PHI      = 0.7         VTO   = -0.5536085   DELTA = 0
+ UO       = 250         ETA   = 0          THETA = 0.1573195
+ KP       = 5.194153E-5 VMAX  = 2.295325E5    KAPPA = 0.7448494
+ RSH      = 30.0776952  NFS   = 1E12        TPG   = -1
+ XJ       = 2E-7        LD    = 9.968346E-13  WD    = 5.475113E-9
+ CGDO     = 6.66E-10   CGSO  = 6.66E-10      CGBO  = 1E-10
+ CJ       = 1.893569E-3 PB    = 0.9906013    MJ    = 0.4664287
+ CJSW     = 3.625544E-10 MJSW  = 0.5          )
.SUBCKT CCCII 8 5 10 11 14 15 100
M2P 2 2 1 1 PMOS1 W=15u L=0.5u
M4P 4 2 1 1 PMOS1 W=15u L=0.5u
M8P 7 7 1 1 PMOS1 W=15u L=0.5u
M12P 10 7 1 1 PMOS1 W=15u L=0.5u
M20P 11 7 1 1 PMOS1 W=15u L=0.5u
M14P 13 7 1 1 PMOS1 W=15u L=0.5u
M16P 12 12 1 1 PMOS1 W=15u L=0.5u
M18P 14 12 1 1 PMOS1 W=15u L=0.5u
M22P 15 12 1 1 PMOS1 W=15u L=0.5u
M6P 6 6 5 1 PMOS1 W=30u L=0.5u
M10P 9 6 8 1 PMOS1 W=30u L=0.5u

M1N 3 3 16 16 NMOS1 W=5u L=0.5u
M3N 2 3 16 16 NMOS1 W=5u L=0.5u
M7N 6 3 16 16 NMOS1 W=5u L=0.5u
M11N 9 9 16 16 NMOS1 W=5u L=0.5u
M13N 10 9 16 16 NMOS1 W=5u L=0.5u
M21N 11 9 16 16 NMOS1 W=5u L=0.5u
M15N 12 9 16 16 NMOS1 W=5u L=0.5u
M17N 13 13 16 16 NMOS1 W=5u L=0.5u
M19N 14 13 16 16 NMOS1 W=5u L=0.5u
M23N 15 13 16 16 NMOS1 W=5u L=0.5u
M5N 4 4 5 16 NMOS1 W=10u L=0.5u
M9N 7 4 8 16 NMOS1 W=10u L=0.5u
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Vdd 1 0 DC 2
VSS 16 0 DC -2
VB 100 0 DC 0
f1 0 3 VB 1
.ENDS CCCII

Iin1 0 1 sin(0 50u 500k)

X1 0 1 2 0 1 0 100 CCCII
X2 0 2 3 0 1 0 200 CCCII
X3 0 3 5 0 2 0 300 CCCII
X4 0 5 4 0 3 0 400 CCCII
X5 0 4 6 0 4 5 500 CCCII

F1 0 100 Vb 1
F2 0 200 Vb 1
F3 0 300 Vb 1
F4 0 400 Vb 1
F5 0 500 Vb 1

C1 1 0 20.5p
C2 2 0 24.5p
C3 3 0 61.8p
C4 5 0 24.5p
C5 4 0 20.5p

Vb 111 0 DC 0
Ib 0 111 DC 10u
R1 6 0 1
.Tran 100n 500u 0.1u 100n
.Four 500K i(R1)
.PROBE
.END

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Proceedings of ISMAC 2015



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Design of High-order Current-mode Ladder Low-pass Filters Using MOCCCIIs

Phongphun Limpabool

Department of Telecommunication Engineering, Faculty of
 Engineering, King Mongkut's Institute of Technology
 Ladkrabang, Thailand 10520
 phongphun@cattelcom.com

Terdsak Kunto

Department of Telecommunication Engineering, Faculty of
 Engineering, King Mongkut's Institute of Technology
 Ladkrabang, Thailand 10520
 terdsakkm@gmail.com

Pipat Prommee

Department of Telecommunication Engineering, Faculty of
 Engineering, King Mongkut's Institute of Technology
 Ladkrabang, Thailand 10520
 pipat@telecom.kmitl.ac.th

Abstract— A design of high-order current-mode (CM) ladder low-pass filters employing multiple output current controlled current conveyor (MOCCCI) is presented. The proposed method is based on simulating passive RLC ladder networks. The signal flow graph (SFG) method is used as variables to generate transfer functions. These functions are realized by MOCCCI-based lossy integrators and lossless integrators. The proposed filters can be electronically tuned between 500 Hz and 5 MHz through bias current from 0.001 μ A to 10 μ A. The proposed filters used of ± 2 V power supplies with 2 mW power consumption at 10 μ A bias current. The proposed filters also used of grounded capacitors without external resistors that are suitable for further integration. The total harmonic distortion (THD) of the low-pass filters is less than 2% over the operating frequency range. To demonstrate the proposed approach, high-order current-mode ladder low-pass filters were designed and simulated using PSPICE, confirm the presented theory.

Keywords— current mode; current controlled conveyor; chebyshev ladder filters

I. INTRODUCTION

Analog circuit designs have been viewed as a voltage-dominated from signal processing for a long time. However in the few decade, current-mode signal-processing circuits have been demonstrated and well appreciated over their voltage-mode counterparts, because they can offer higher performance properties, such as speed, bandwidth and accuracy than voltage-mode circuits [1]-2]. Also due to their current swings they can operate under low supply voltage. Moreover, they perform the summing of current signals at a circuit node which results in simpler structures. In telecommunications area, continuous-time filter [3] is an essential building block for selecting the desired frequency from the multi-frequency spectral. Passive network can be used to implement the continuous-time filter [4]. Unfortunately, they lack of the following features such as electronic tuning and difficult for integrable. Designs for current-mode active filter circuit using high performance active devices, such as second generation current conveyors (CCII) is an interesting current-mode active building block which can be implemented in many applications [5-7]. Current-mode ladder filters using multiple output current

conveyors (MOCCII) [8], although design shown that the MOCCII-based circuit can reduce the number of active components, but requires grounded resistors [9] without electronic tunability feature.

Literature surveys show that the second generation current controlled conveyors (CCCI) [10-11] are widely used in the realization of active filters because they are flexibly and versatility functions. Moreover, an active filter employing CCCII is attractive for providing some electric characteristics, such as electronic tunable of X-terminal resistance through its bias current. The designs of universal filter using CCCII [12-14] are introduced based on different structures, by following trade-off features, such as requires floating passive elements [12-13], or excessive of active elements [14].

Low-pass double resistance terminated ladder filters were found in many applications because they have high-performance and low sensitivity [15]. High-order current-mode low-pass filter based on CCCII was introduced by using doubly terminated passive RLC ladder prototypes [16]. The major drawback is the use of floating capacitor which is not preferred for integrated circuit due to the very serious problem of bottom plate and the substrate [17]. Therefore, it is the major intention of this paper to present design of high-order current-mode ladder low-pass filter using MOCCCIIs. The well-known Chebyshev RLC prototypes are used for synthesizing the circuit elements of the proposed filters. The proposed filters are realized on the transistor-level using lossy integrators, lossless integrators and grounded capacitors. The PSPICE simulation results obtained are in excellent agreement with the theoretical results.

II. BASIC ACTIVE BUILDING BLOCK

A. Second-Generation Current Controlled Conveyor

A versatile active building block named as current-controlled current conveyor (CCCII). It is a modified version of CCII but has some different at X terminal. It has three terminals (x, y, z) and its bias current. The current and voltage relationships of CCCII can be described as matrix in (1)



$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_x & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (1)$$

From Eq.(1), the positive and negative signs are corresponding to the positive and negative of z terminal, respectively. The output (z-terminal) can be arbitrary constructed in the design of CCCII. The R_x represents the intrinsic resistance at x-terminal which described by the transconductance of M12 and M14 as shown in (2).

$$R_x \approx \frac{1}{g_{m12} + g_{m14}} \quad (2)$$

Where g_{mi} denotes a transconductance of transistor number i , respectively. If matched transistors M12 and M14 are supposed, $g_{m12}=g_{m14}$, then

$$R_x \approx \frac{1}{g_m} = \frac{1}{\sqrt{8\beta I_B}} \quad (3)$$

Where $\beta = \beta_{12} = \beta_{14} = \mu C_{ox}(W/L)$ is constant parameter with physical parameters, μ , C_{ox} , W and L are surface mobility, oxide capacitance, channel width and length of MOS transistor, respectively. Consequently, R_x can be tuned electronically through bias current I_B . The electrical symbol and its circuit implementation of CCCII can be illustrated in Fig.1.

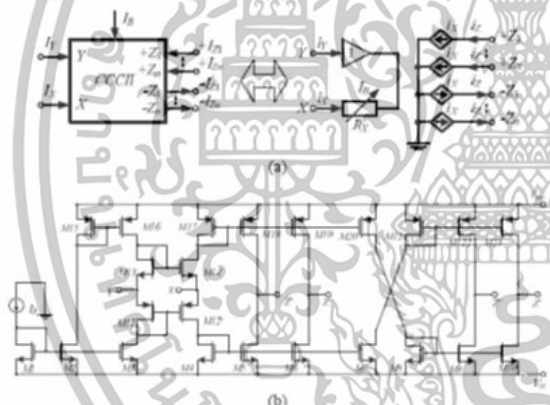


Fig. 1. CMOS-based CCCII (a) Symbol (b) Circuit

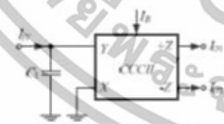


Fig. 2. CCCII-based lossless integrator

B. Current-mode lossy and lossless integrators

The integrator circuits play in important role for realizing the analog signal processing. Two types of integrators can be classified by their lossy and lossless transfer functions which provided different magnitude and phase responses. Both of integrators can be easily realized by using a CCCII and a

grounded capacitor. Firstly, CCCII-based lossless integrator is depicted in Fig.2 and its transfer function is expressed as

$$\frac{I_{Oz}}{I_{Ny}} = \frac{g_m}{sC} \quad (3)$$

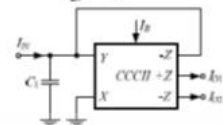


Fig. 3. CCCII-based lossy integrator

In contrary, lossy integrator can also be realized by a CCCII and a grounded capacitor with feedback the negative output to its input as shown in Fig.3. The transfer function of CCCII-based lossy integrator can be expressed as

$$\frac{I_{Oz}}{I_{Ny}} = \frac{g_m}{sC + g_m} \quad (4)$$

III. DESIGN OF HIGH-ORDER LADDER LOW-PASS FILTERS

A proposed high-order low-pass filter is based on simulating of the passive RLC ladder prototype. For instance, third-order all-pole ladder RLC filter in Fig.4 is employed as a prototype. The signal flow graph (SFG) method is used for synthesis the active filter.

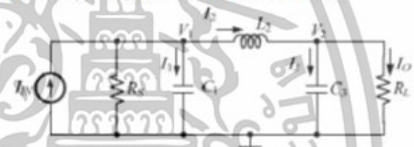


Fig. 4. Doubly terminated RLC all-pole third order ladder filter

Using KCL routine analysis in Fig.4, the current in each branch and voltage in each node can be written in the following equations.

$$I_y = I_m - \frac{V_1}{R_1} - I_2 \quad (5)$$

$$V_1 = \frac{I_1}{sC_1} \quad (6)$$

$$V_2 = V_1 - V_3 \quad (7)$$

$$I_x = \frac{V_2}{sL_2} \quad (8)$$

$$V_3 = \frac{I_x}{sC_2} \quad (9)$$

$$I_z = I_2 - \frac{V_3}{R_2} \quad (10)$$

Considering (5)-(10), the SFG can be written in the current and voltage forms as shown in Fig.5. The final SFG is normalized into the current form by using the transconductance as shown in Fig.6. For the convenience, the terminated resistors are assigned to be equaled under the following condition, $R_1 = R_2 = 1/g_m$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

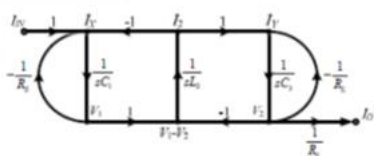


Fig. 5. Signal flow graph of RLC ladder in Fig 4

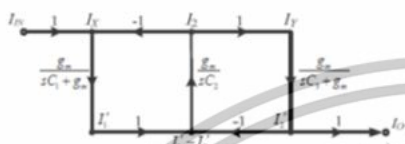


Fig. 6. Normalized signal flow graph in allcurrent form

According to Fig.6, the third-order LPF can be realized by using 2 CCCII-based lossy integrators and one CCCII-based lossless integrator as shown in Fig.7.



Fig 7. Realization of third-order LPF using MO-CCCI

Similarly, higher order filter can be achieved based on the SFG by using higher RLC prototype. In this case, all-pole fifth-order RLC ladder LPF in Fig.8 is used as a prototype. Using the same procedure, the fifth-order LPF can be realized by using 2 CCCII-based lossy integrators and three CCCII-based lossless integrators as shown in Fig.9.



Fig 8. Realization of fifth-order LPF using MO-CCCI

IV. SIMULATION RESULTS

The performance of proposed high-order current-mode ladder LPF using MOCCCIIs is verified by PSpice based on TSMC 0.25µm CMOS technology. Transistor aspect ratios of MO-CCCI are listed in Table I.

TABLE I. TRANSISTOR ASPECT RATIO OF MO-CCCI

Transistor	W(µm)	L(µm)
M13 M14 M15 M16 M17 M18	5	0.5
M19 M20 M21 M22 M23	5	0.5
M1 M2 M3 M4 M5 M6 M7 M8 M9 M10	5	0.8

To verify the characteristic of proposed filter, the result of third order RLC passive prototype in Fig.4 is compared to the proposed circuit in Fig.7. The third-order Chebyshev response based on Amax=-6dB, frequency cut-off=50kHz, and ripple=0.1dB is used [4]. The capacitors in the proposed circuit are assigned by C1=23.1pF, C2=25.2pF, and C3=23.1pF with IB=0.1µA while the RLC prototype used the C1= 3.3µF, C3= 3.6µF, L2=3.3µH and R5=R1=1Ω.

From Fig.9, it can be seen that the result of proposed circuit is in agreement with the RLC prototype. Fig.10 shows the tunability feature of proposed third-order filter by varying the bias current IB [0.001, 0.01, 0.1, 1, 10] µA. It can be seen that the cut-off frequency is varied from around 0.5kHz to 5MHz.

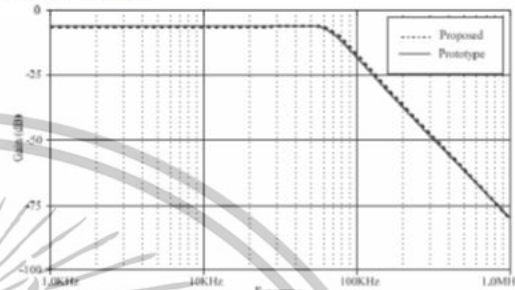


Fig 9. Comparison magnitude response of third-order filter between prototype and proposed circuit

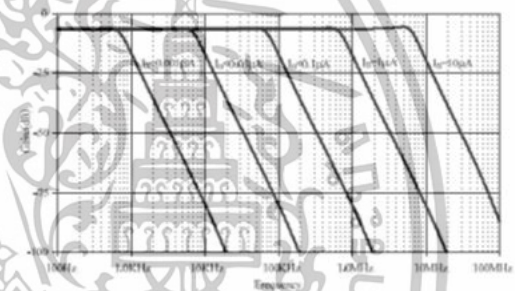


Fig 10. Proposed third-order LPF magnitude response with varied IB

Moreover, fifth-order magnitude response between prototype and proposed circuit are also compared in Fig.12. The capacitors in the proposed circuit in Fig.7 are assigned by C1=26.1pF, C2=31.1pF, C3=45.68pF, C4=31.1pF and C5=26.1pF. Fig.11 shows the tunability feature of proposed fifth-order filter by varying the bias current IB [0.001, 0.01, 0.1, 1, 10] µA. It can be seen that the cut-off frequency is varied from around 500Hz to 5MHz with more attenuation than third-order counterpart.

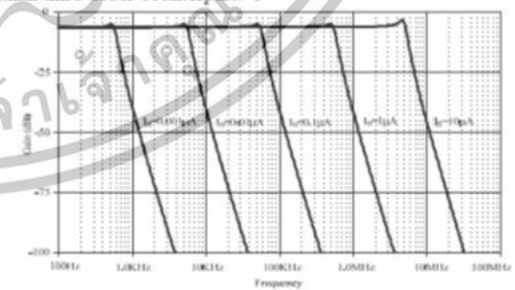


Fig 11. Proposed fifth-order LPF magnitude response with varied IB



Fig.12 and 13 show the performance of proposed third-order and fifth-order LPF by applying multi-tone frequencies at their inputs. The cut-off frequency of both filters is set to be 5MHz by adjusting the bias current $I_B=10\mu A$. The in-band frequencies are appeared at output but out-band frequencies are inhibited. Note that the high-order filter can be better filter out the out-band frequencies (10MHz and 30MHz) than low-order filter counterpart according to the theory.

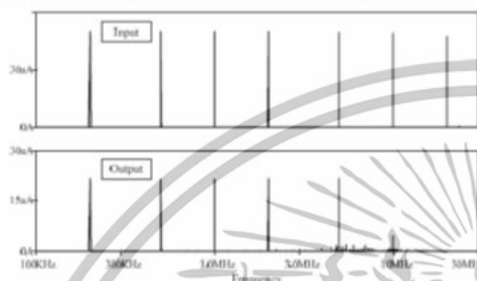


Fig. 12. Multitone frequency response of proposed third-order LPF

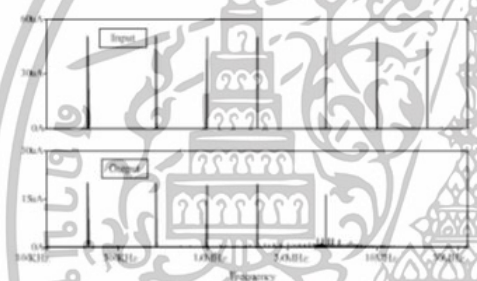


Fig. 13. Multitone frequency response of proposed fifth-order LPF

Finally, the total harmonic distortion (THD) of proposed filter is verified by applying in-band frequency (50kHz and 500kHz) to the proposed filters at 5MHz cut-off frequency. The result in Fig.14 illustrates the THD of third-order. Third-order filter has 1% THD at input of 100mV_{pp} in passband frequencies.

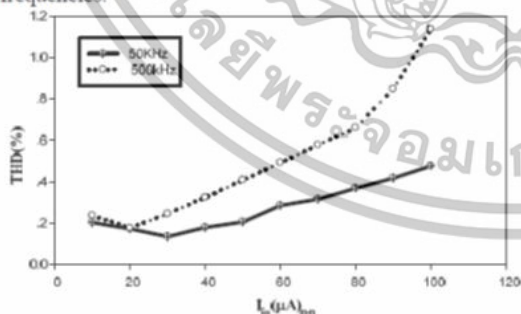


Fig. 14. THD of proposed third-order LPF based on bias current $I_B=10\mu A$

V. CONCLUSION

Design of high-order current-mode ladder low-pass filter using MO-CCCIIs is proposed. The design method is very simple and covers all types of precedent passive RLC ladder filters. Third-order and fifth-order Chebyshev low-pass filter were chosen as design examples. It consists of lossy and lossless integrators and grounded capacitors, without external resistor. The characteristic frequency response can be tuned electronically between 500 Hz and 5 MHz by controlling the bias current of MCCCIIIs from 0.001 μA to 10 μA . The circuit uses $\pm 2V$ power supply with low dynamic power consumption (2mW). The proposed circuit enjoys low complexity structures, with low-component count, low THD. Both filters are suitable for integration and further use in low-voltage and HF applications.

REFERENCES

- [1] C. Toumazou, F. J. Lidgley and D. G. Haigh, "Analogue IC design the current-mode approach," Peter Peregrinus Ltd, London, 1990.
- [2] C. Toumazou, F. J. Lidgley and C. A. Makris, "Extending voltage-mode op amps to current-mode performance," Circuits, Devices and Systems, IEE Proceedings G, vol. 137, issue 2, pp.116-130, Arp. 1990.
- [3] T. Deliyannis, Y. Sun and J. K. Fidler, "Continuous-Time Active Filter Design," London: CRC Press, 1999.
- [4] L. P. Huelsman, "Active and analog filter design," McGraw-Hill, Inc., International Edition, 1993.
- [5] S. Ozoguz and C. Acar, "Universal current-mode filters with reduced number of active and passive components," Electronics Letters, vol. 33, no. 5, pp.948-949, May, 1997.
- [6] D.R. Bhaskar, V.K. Sharma, M. Monis and S.M.I. Rizvi, "New currentmode universal biquad filter," Microelectronics Journal, vol.30, no. 9, pp. 837-839, Sep. 1999.
- [7] H. Y. Wang and C. T. Lee, "Versatile insensitive current-mode universal biquad implementation using current conveyors," IEEE Transactions on CAS-II, vol. 48, no. 4, pp. 409-413, Apr. 2001.
- [8] J. Wu and E. E. Maury, "Current-mode ladder filters using multiple output current conveyors," Circuits, Devices, and Systems, IEE Proceedings, vol. 143, issue 4, pp. 218-222, Aug. 1996.
- [9] Z. Wang, "Novel voltage-controlled grounded resistor," Electronics Letters, vol. 26, issue 20, pp. 1711-1712, Sep. 1990.
- [10] A. Fabre, O. Saaid and H. Barthelémy, "On the frequency limitation of the circuits based on second generation current conveyors," Analog Integ. Circuit Signal Process, 1995.
- [11] A. Fabre, O. Saaid, F. Wiest and C. Boucheron, "High frequency applications base on a new current controlled conveyor," IEE Tran. Circuits and Syst. I, vol. CAS-43, pp. 82-91, Feb. 1996.
- [12] M. Sazgbas and K. Fidanboyulu, "Electronically tunable current-mode second-order universal filter using minimum elements," Electronics Letters, vol. 40, issue 1, pp. 2-4, Jan. 2004.
- [13] T. Katoh, T. Tsukutani, Y. Sumi and Y. Fukui, "Electronically tunable current-mode universal filter employing CCCII and grounded capacitors," Intelligent Signal Processing and Communications, ISPACS, International Symposium on, pp. 107-110, Dec. 2006.
- [14] J. Jiang, J. Zhao, W. Ma and J. Liu, "CCCII and CCII based universal current-mode filter with tunable frequency," ASIC, ASICON '09. IEEE 8th International Conference on, pp. 1101-1104, Oct. 2009.
- [15] R. Raut and M. N. S. Swamy, "Modern analog filter analysis and design," WILEY-VCH Verlag GmbH & Co. KGaA, Weinheim, 2010.
- [16] A. Jirasree-amornkun and W. Surakampontrorn, "Efficient implementation of tunable ladder filters using multi-output current controlled conveyors," International Journal of Electronics and Communications, vol. 62, No.1, pp. 11-23, Jan. 2008.
- [17] Y. Tsividis, "Mixed Analog-digital VLSI Devices and Technology," World Scientific Publishing, Singapore, 2002.

ประวัติผู้เขียน

ชื่อ-นามสกุล นายพงษ์พันธ์ ลี้มไพบูลย์

วัน เดือน ปีเกิด 10 ตุลาคม 2530 ที่จังหวัดชัยภูมิ

ที่อยู่ 173 พระรามที่ 2 ซอย 39 ถนนพระรามที่ 2
แขวงบางมด เขตจอมทอง กรุงเทพฯ 10150

ประวัติการศึกษา 2553 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมคอมพิวเตอร์
มหาวิทยาลัยเกษตรศาสตร์

ประสบการณ์การทำงาน
พ.ศ. 2554-ปัจจุบัน วิศวกร
บริษัท กสท โทรคมนาคม จำกัด (มหาชน)
- วางแผน,วิเคราะห์วิศวกรรมระบบชุมสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้