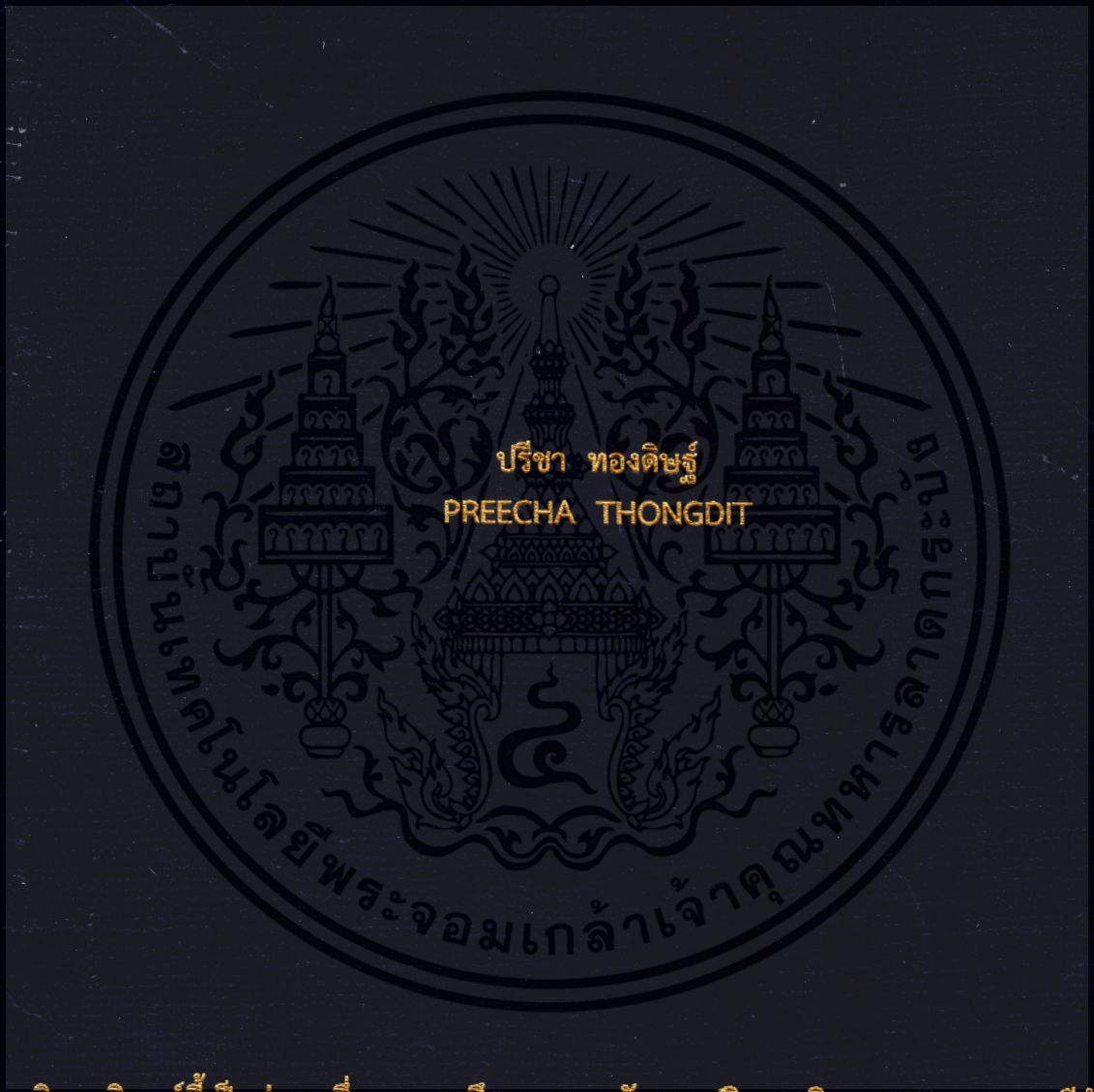
ตัวกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงชนิดล็อกโดเมน

LOG-DOMAIN HIGH-ORDER LOW-PASS AND BAND-PASS FILTERS



ปรีชา ทองดิษฐ์

PREECHA THONGDIT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2562

KMITL-2019-EN-D-018-026

ตัวกรองความถี่ต่ำผ่านและแถบความถี่ผ่าน อันดับสูงชนิดล็อกโดเมน

LOG-DOMAIN HIGH-ORDER LOW-PASS AND BAND-PASS FILTERS

ปรีชา ทองดิษฐ์

PREECHA THONGDIT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2562

KMITL-2019-EN-D-018-026

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOG-DOMAIN HIGH-ORDER LOW-PASS AND BAND-PASS FILTERS

PREECHA THONGDIT

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR DEGREE OF

DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2019

KMITL-2019-EN-D-018-026

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2019
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ ตัวกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงชนิดล็อกโดเมน
Thesis Title Log-domain High-order Low-pass and Band-pass Filters
นักศึกษา นายปรีชา ทองดิษฐ์
รหัสประจำตัว 59601019
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.พิพัฒน์ พรหมมี
หมายเลขวิทยานิพนธ์ KMITL-2019-EN-D-018-026

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.มนตรี	ศิริปรัชญานันท์	
รศ.ดร.มนตรี	คำเงิน	
ผศ.ดร.สิรภพ	ตู้ประกาย	
ผศ.ดร.สมเกียรติ	ฤกษ์วรัญญู	
รศ.ดร.พิพัฒน์	พรหมมี	

วัน / เดือน/ ปี ที่สอบ วันพฤหัสบดีที่ 23 พฤษภาคม พ.ศ. 2562 เวลา 13.00-15.00 น.
สถานที่สอบ ณ ห้องประชุมภาควิชาวิศวกรรมโทรคมนาคม T-202

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 23 พฤษภาคม พ.ศ. 2562

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์ ตัวกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงชนิดล็อกโดเมน

นักศึกษา นายปรีชา ทองดิษฐ์
รหัสประจำตัว 59601019
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
พ.ศ. 2562
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รองศาสตราจารย์ ดร.พิพัฒน์ พรหมมี

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงรูปแบบโหมดกระแสต่อเนื่องทางเวลาโดยใช้หลักการของตัวกรองล็อกโดเมน นั่นคือใช้การวิเคราะห์วงจรกรองต้นแบบ และสังเคราะห์ระบบสมการที่ได้เพื่อเลียนแบบการทำงาน และเพื่อให้ได้วงจรกรองที่มีคุณสมบัติทางด้านความไวต่ำ ดังนั้นจึงได้นำวงจรกรองขั้นบันได RLC ชนิดความถี่ต่ำผ่านอันดับที่ห้าและแถบความถี่ผ่านอันดับที่หกมาใช้เป็นวงจรต้นแบบและนำเทคนิคกราฟการไหลของสัญญาณ (SFG) มาใช้ในการสังเคราะห์ ซึ่งทำให้พบว่าวงจรกรองที่ได้จากการสังเคราะห์นั้นประกอบด้วยวงจรอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียต่อกันเป็นระบบตาม SFG ที่ได้ จึงได้นำอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียแบบล็อกโดเมนที่สร้างจากเทคโนโลยีของ BJT มาใช้ในวงจรกรองที่นำเสนอ ผลจำลองการทำงานของวงจรที่นำเสนอพบว่า มีคุณสมบัติต่าง ๆ สอดคล้องกับวงจรต้นแบบ RLC สำหรับความถี่ตัดของวงจรกรองความถี่ต่ำผ่านที่นำเสนอสามารถปรับได้ระหว่าง 200 กิโลเฮิรตซ์ ถึง 20 เมกะเฮิรตซ์ ส่วนความถี่กลางของวงจรกรองแถบความถี่ผ่านที่นำเสนอสามารถปรับได้ระหว่าง 100 กิโลเฮิรตซ์ ถึง 10 เมกะเฮิรตซ์ ด้วยการปรับจูนทางอิเล็กทรอนิกส์ผ่านทางกระแสไบอัสระหว่าง 5 ถึง 500 ไมโครแอมแปร์ ความเพี้ยนฮาร์มอนิกส์ทั้งหมดของวงจรกรองความถี่ต่ำผ่านกับแถบความถี่ผ่าน มีค่าน้อยกว่า 1 เปอร์เซนต์ เมื่อป้อนสัญญาณอินพุตความถี่ 10 เมกะเฮิรตซ์ ในการยืนยันประสิทธิผลของวงจรที่นำเสนอใช้การป้อนอินพุตแบบมัลติโทน รวมถึงพิจารณาความเพี้ยนจากการมอดูเลตระหว่างกันเพื่อหาย่านพลวัตสัญญาณอินพุตของวงจรกรองที่นำเสนอในขณะที่ป้อนกระแสไบอัสสูงสุด 500 ไมโครแอมแปร์ ซึ่งพบว่าวงจรที่นำเสนอมีย่านพลวัตไม่เกิน 400 ไมโครแอมแปร์พีคทูพีค สำหรับวงจรกรองความถี่ต่ำผ่าน และไม่เกิน 500 ไมโครแอมแปร์พีคทูพีค สำหรับวงจรกรองแถบความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title Log-domain High-order Low-pass and Band-pass filters

Student Mr. Preecha Thongdit
Student ID. 59601019
Degree Doctor of Engineering
Program Electrical Engineering
Year 2019
Thesis Advisor Associate Professor Dr. Pipat Prommee

Abstract

Continuous time current-mode high-order low-pass and band-pass filters based on the log-domain concept are presented in this thesis. The passive filter circuits are analyzed and synthesized for system of equations in order to simulate their functions and characteristics. In this research, the passive RLC ladder networks such as fifth-order low-pass filter and sixth-order band-pass filter are used as the prototype to achieve the proposed filters by simulating RLC network synthesis method with signal flow graph technique. The SFG can identify group of lossy and lossless integrators interconnected with several signal paths. Log-domain lossy and lossless integrators based on BJT technology are deployed to achieve the integrators for realization of proposed filters. The simulations were carried out and the results exhibited several features which are in agreement with their own RLC prototype. The cut off frequency of LP filter along 200 kHz to 20 MHz and the center frequency of BP filter along 100 kHz to 10 MHz can be electronically tuned through 5-500 μA of bias currents. The total harmonic distortion of LP and BP filters, were measured at 10 MHz input at 500 μA bias current, are lower than 1 percent. The multi-tone tested was included in the thesis for verification the performance of proposed LP and BP filters. The intermodulation distortions were investigated in order to determine dynamic range of input signal. The dynamic range of input signal is lower than 400 μAp-p for proposed LP filter, and lower than 500 μAp-p for proposed BP filter when maximum bias current 500 μA is applied.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้เขียนขอกราบขอบพระคุณบิดา มารดา ผู้ให้กำเนิด ให้การศึกษา และสนับสนุนในทุก ๆ เรื่องมาโดยตลอด รวมถึงครูบาอาจารย์ที่ประสิทธิ์ประสาทความรู้ให้กับผู้เขียนตั้งแต่ระดับอนุบาลจนถึงปัจจุบัน นอกจากนี้ผู้เขียนต้องขอขอบคุณอาจารย์ เพื่อนร่วมงาน บุคคลและองค์กร ที่มีส่วนช่วยเหลือ สนับสนุนให้ผู้เขียนสามารถทำวิทยานิพนธ์นี้สำเร็จลุล่วงได้ โดยเฉพาะบุคคลซึ่งรายนามต่อไปนี้

รองศาสตราจารย์ ดร.พิพัฒน์ พรหมมี อาจารย์ที่ปรึกษาที่ได้กรุณาพิจารณารับผู้เขียนเป็นนักศึกษาในความดูแลของท่าน ตลอดจนให้คำปรึกษาและชี้แนะแนวทางในการทำงานวิจัยจนสำเร็จลุล่วงได้ตามขอบเขตที่กำหนดไว้ รวมถึงการอบรมสั่งสอนและให้แนวคิดในการปฏิบัติงานและดำเนินชีวิต รองศาสตราจารย์ ดร.กฤษณ์ อ่างแก้ว ผู้ซึ่งให้คำแนะนำและช่วยเหลือต่าง ๆ จนทำให้วิทยานิพนธ์ฉบับนี้สำเร็จได้อย่างสมบูรณ์ รวมถึงกำลังใจต่าง ๆ จากครอบครัว เพื่อนร่วมงานและคนรอบข้างที่มีส่วนทำให้ผู้เขียนมีขวัญและกำลังใจที่ดีในการแก้ไขปัญหาอุปสรรคที่เกิดระหว่างการทำวิทยานิพนธ์ให้บรรเทาจนกระทั่งการทำวิทยานิพนธ์นี้สำเร็จได้ในที่สุด

ผู้เขียนหวังเป็นอย่างยิ่งว่าวิทยานิพนธ์ฉบับนี้จักมีประโยชน์ต่อผู้อ่าน และองค์ความรู้นี้สามารถนำไปใช้พัฒนาต่อได้ในอนาคต หากมีข้อผิดพลาดประการใด ผู้เขียนขออภัยมา ณ ที่นี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ I
Abstract II
กิตติกรรมประกาศ III
สารบัญ IV
สารบัญรูป VI
สารบัญตาราง IX
บทที่ 1 บทนำ 1
1.1 ความเป็นมาและความสำคัญของปัญหา 1
1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์ 2
1.3 การพัฒนาในวิทยานิพนธ์ 2
1.4 รายละเอียดในวิทยานิพนธ์ 3
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง 4
2.1 ไบโพลาร์ทรานซิสเตอร์ (Bipolar transistor) 4
2.1.1 วงจรสมมูลไฮบริดจ์ π ที่ป้อนด้วยสัญญาณขนาดเล็กของวงจรทรานซิสเตอร์ BJT 7
2.2 ทรานสลิเนียร์ (Translinear) 10
2.3 วงจรอินทิเกรเตอร์แบบล็อกโดเมน (Log-domain integrator) 13
2.4 วงจรกรองความถี่อันดับสูง (High-order filter circuit) [26] 16
2.4.1 วงจรกรองความถี่ต่ำผ่าน 17
2.4.2 วงจรกรองความถี่สูงผ่าน 18
2.4.3 วงจรกรองแถบความถี่ผ่าน 19
2.4.4 วงจรกรองแถบความถี่หยุด 20
2.5 ความเพี้ยนที่เกิดจากการมอดูเลตสัญญาณระหว่างกัน (Intermodulation distortion) 28
บทที่ 3 การสังเคราะห์วงจรกรองความถี่ที่นำเสนอ 31
3.1 การสังเคราะห์วงจรกรองความถี่ต่ำผ่านแบบแอคทีฟโดยใช้วงจรต้นแบบขั้นบันได RLC 31
3.2 การสังเคราะห์วงจรกรองแถบความถี่ผ่านโดยใช้วงจรต้นแบบขั้นบันได RLC 33
3.3 การทำวงจรกรองชนิดเซบีเชฟที่นำเสนอให้เป็นจริง 35
3.3.1 วงจรกรองความถี่ต่ำผ่าน 35
3.3.2 วงจรกรองแถบความถี่ผ่าน 36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

3.4 ผลกระทบจากความไม่เป็นอุดมคติของทรานซิสเตอร์ 37
3.4.1 ความต้านทานแฝง (r_π และ β) 37
3.4.2 ความจุไฟฟ้าแฝง (C_π และ C_μ) 38
บทที่ 4 ผลจำลองการทำงานของวงจรกรองความถี่ที่นำเสนอ 42
4.1 วงจรกรองความถี่ต่ำผ่าน 43
4.2 วงจรกรองแถบความถี่ผ่าน 49
บทที่ 5 สรุปและข้อเสนอแนะ 55
เอกสารอ้างอิง 57
ภาคผนวก 60
ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา 61
ประวัติผู้เขียน 81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 โครงสร้างของไบโพลาร์ทรานซิสเตอร์ (Bipolar Junction Transistor)..... 4
รูปที่ 2.2 ไบโพลาร์ทรานซิสเตอร์และสัญลักษณ์ (a, b) NPN และ (c, d) PNP 5
รูปที่ 2.3 ภาพตัดขวางของไบโพลาร์ทรานซิสเตอร์ NPN ในรูปที่ 2.2 (a) แสดงความเข้มข้นของพาหะ (Carrier concentration) ตั้งแต่จุด A ถึง A 6
รูปที่ 2.4 วงจรสมมูลเอซี 7
รูปที่ 2.5 ระบบโครงข่ายสองพอร์ตของทรานซิสเตอร์ BJT 8
รูปที่ 2.6 กราฟคุณลักษณะของทรานซิสเตอร์ของวงจรขยายสัญญาณอิมิตเตอร์ร่วมประกอบด้วย เส้นโหลดดีซี การเปลี่ยนแปลงไซนูซอยด์ของกระแสเบส กระแสคอลเลกเตอร์ และแรงดัน คอลเลกเตอร์-อิมิตเตอร์..... 8
รูปที่ 2.7 วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กไฮบริดจ์ π ของวงจรทรานซิสเตอร์ npn... 10
รูปที่ 2.8 วงจรลูปปิดแบบทั่วไปกรณีไบอัสตรง เพื่อใช้อธิบายหลักการของทรานสลิเนียร์ 11
รูปที่ 2.9 แนวคิดตัวกรอง Log-domain 13
รูปที่ 2.10 (a) อินทิเกรเตอร์ชนิดสูญเสีย (b) โบเดพล็อตของบล็อกรูป 2.10(a) (c) วงจรอินทิเกรเตอร์แบบล็อกโดเมนชนิดสูญเสียแบบกลับเฟส..... 14
รูปที่ 2.11 วงจรที่สมบูรณ์ของอินทิเกรเตอร์ชนิดสูญเสียแบบล็อกโดเมน..... 15
รูปที่ 2.12 อินทิเกรเตอร์ชนิดไม่สูญเสียที่แปลงมาจากอินทิเกรเตอร์ชนิดสูญเสีย (a) บล็อกฟังก์ชันถ่ายโอน (b) โบเดพล็อตของบล็อกฟังก์ชันถ่ายโอนรูป 2.12(a) 16
รูปที่ 2.13 วงจรที่สมบูรณ์ของอินทิเกรเตอร์ชนิดไม่สูญเสียแบบล็อกโดเมน..... 16
รูปที่ 2.14 คุณสมบัติของวงจรกรองความถี่ต่ำผ่าน..... 17
รูปที่ 2.15 คุณสมบัติการลดทอนของวงจรกรองความถี่ต่ำผ่านอันดับสอง 18
รูปที่ 2.16 คุณสมบัติของวงจรกรองความถี่สูงผ่าน 18
รูปที่ 2.17 คุณสมบัติการลดทอนของวงจรกรองความถี่สูงผ่านอันดับสอง 19
รูปที่ 2.18 คุณสมบัติของวงจรกรองแถบความถี่ผ่าน..... 19
รูปที่ 2.19 คุณสมบัติการลดทอนของวงจรกรองแถบความถี่ผ่านอันดับสอง 20
รูปที่ 2.20 คุณสมบัติของวงจรกรองแถบความถี่หยุด..... 20
รูปที่ 2.21 คุณสมบัติการลดทอนของวงจรกรองแถบความถี่หยุดอันดับสอง..... 20
รูปที่ 2.22 ผลตอบสนองความถี่ของวงจรกรองความถี่ต้นแบบทั้ง 4 ที่อันดับเดียวกันคือ อันดับ 3 .. 21
รูปที่ 2.23 กราฟฟังก์ชันเชบีเชฟอันดับ 1 ถึง 5..... 23
รูปที่ 2.24 ต้นแบบวงจรกรองความถี่ต่ำผ่าน 24
รูปที่ 2.25 แสดงอันดับต่าง ๆ ของผลลัพธ์การเกิดมอดูเลตสัญญาณระหว่างกัน 29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ 2.26 หลักการของ Third order intercept point 30
รูปที่ 2.27 Third order intercept point ในทางปฏิบัติ..... 30
รูปที่ 3.1 วงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดขั้นบันได RLC.[1]..... 31
รูปที่ 3.2 กราฟการไหลของสัญญาณของวงจรกรองความถี่ต่ำผ่านอันดับห้า 32
รูปที่ 3.3 กราฟการไหลของสัญญาณของวงจรกรองความถี่ต่ำผ่านอันดับห้าที่ถูกแปลงไปเป็นโหมดกระแส..... 32
รูปที่ 3.4 (a) ต้นแบบวงจรกรองความถี่ต่ำผ่านอันดับที่สาม (b) วงจรกรองแถบความถี่ผ่านอันดับที่หกที่ได้จากการแปลง..... 33
รูปที่ 3.5 กราฟการไหลของสัญญาณของต้นแบบวงจรกรองแถบความถี่ผ่านอันดับที่หก 34
รูปที่ 3.6 กราฟการไหลของสัญญาณของวงจรกรองแถบความถี่ผ่านอันดับที่หกที่แปลงเป็นโหมดกระแส..... 34
รูปที่ 3.7 การสร้างวงจรกรองความถี่ต่ำผ่านที่นำเสนอให้เป็นจริงด้วยการเปรียบเทียบระหว่าง (a) วงจรกรองความถี่ต่ำผ่านต้นแบบ (b) SFG ที่ได้จากวงจรต้นแบบในรูป 3.7(a) 35
รูปที่ 3.8 การสร้างวงจรกรองแถบความถี่ผ่านที่นำเสนอให้เป็นจริงด้วยการเปรียบเทียบระหว่าง (a) วงจรกรองแถบความถี่ผ่านต้นแบบ (b) SFG ที่ได้จากวงจรต้นแบบในรูป 3.8(a) 36
รูปที่ 3.9 วงจรกรองความถี่ต่ำผ่านอันดับที่ห้ารูปแบบล็อกโดเมนที่นำเสนอ..... 40
รูปที่ 3.10 วงจรกรองแถบความถี่ผ่านอันดับที่หกรูปแบบล็อกโดเมนที่นำเสนอ 40
รูปที่ 3.11 วงจรไบอัสกระแสตามหลักการของวงจรสะท้อนกระแสที่มีความแม่นยำสูง..... 41
รูปที่ 3.12 แบบจำลองสัญญาณขนาดเล็กของไบโพลาร์ทรานซิสเตอร์ที่ใช้ในการวิเคราะห์ความไม่เป็นอุดมคติ..... 41
รูปที่ 4.1 ผลตอบสนองทางขนาดของอินทิเกรเตอร์ชนิดสูญเสีย 42
รูปที่ 4.2 ผลตอบสนองทางขนาดของอินทิเกรเตอร์ชนิดไม่สูญเสีย 43
รูปที่ 4.3 การเปรียบเทียบระหว่างวงจรกรองความถี่ต่ำผ่านที่นำเสนอกับวงจรต้นแบบ RLC $\left(\mathrm{I_B}=50\,\mu\mathrm{A}\right)$ 44
รูปที่ 4.4 ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่านที่นำเสนอในฟังก์ชันของกระแสไบอัส (I_B)..... 45
รูปที่ 4.5 Group delay ของวงจรกรองความถี่ต่ำผ่านที่นำเสนอเมื่อใช้กระแสไบอัส (I_B) เท่ากับ 500 μA..... 45
รูปที่ 4.6 สเปกตรัมของสัญญาณอินพุตและเอาท์พุตของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ เมื่อป้อนกระแสไบอัสเท่ากับ 500 μA..... 45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ 4.7 รูปคลื่นสัญญาณอินพุตและเอาท์พุตของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ เมื่อป้อนสัญญาณมัลติโทนตามรูปที่ 4.6 46
รูปที่ 4.8 รูปคลื่นสัญญาณอินพุตและเอาท์พุตของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ เมื่อป้อนสัญญาณความถี่ 1 MHz และ 100 MHz เข้าไปทางอินพุต 46
รูปที่ 4.9 ความเพี้ยนฮาร์โมนิกส์ทั้งหมดของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ เมื่อป้อนกระแสไบอัสเท่ากับ 500μA 47
รูปที่ 4.10 การป้อนสัญญาณอินพุตสองความถี่ให้แก่วงจรกรองความถี่ต่ำผ่านที่นำเสนอ และความถี่ของสัญญาณที่เกิดขึ้นทางเอาท์พุตของวงจร 47
รูปที่ 4.11 จุดตัดระหว่างสัญญาณความถี่มูลฐานกับฮาร์โมนิกส์อันดับที่สามที่เกิดจากการมอดูเลตระหว่างกันของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ 48
รูปที่ 4.12 การทำงานของวงจรกรองความถี่ต่ำผ่านที่อุณหภูมิแตกต่างกัน 48
รูปที่ 4.13 การเปรียบเทียบวงจรกรองแถบความถี่ผ่านที่นำเสนอกับวงจรต้นแบบ RLC $\left(\mathrm{I_B}=50\,\mu\mathrm{A}\right)$ 50
รูปที่ 4.14 ผลตอบสนองทางแอมปลิจูดของวงจรกรองแถบความถี่ผ่านที่นำเสนอกับการปรับกระแสไบอัส (I_B) 50
รูปที่ 4.15 Group delay ของวงจรกรองแถบความถี่ผ่านที่นำเสนอเมื่อใช้กระแสไบอัส (I_B) เท่ากับ 500 μA 51
รูปที่ 4.16 สเปกตรัมของสัญญาณอินพุตหลายความถี่เมื่อป้อนกระแสไบอัสเท่ากับ 500 μA 51
รูปที่ 4.17 รูปคลื่นสัญญาณอินพุตและเอาท์พุตของวงจรกรองแถบความถี่ผ่านที่นำเสนอ เมื่อป้อนสัญญาณมัลติโทนตามรูปที่ 4.15 51
รูปที่ 4.18 รูปคลื่นสัญญาณอินพุตและเอาท์พุตของวงจรกรองแถบความถี่ผ่านที่นำเสนอ เมื่อป้อนสัญญาณความถี่ 100 kHz, 1 MHz, 10 MHz และ 100 MHz เข้าไปทางอินพุต 52
รูปที่ 4.19 ความเพี้ยนฮาร์โมนิกส์ทั้งหมดของวงจรกรองแถบความถี่ผ่านที่นำเสนอ เมื่อป้อนกระแสไบอัสเท่ากับ 500 μA 53
รูปที่ 4.20 การป้อนสัญญาณอินพุตสองความถี่ให้แก่วงจรกรองแถบความถี่ผ่านที่นำเสนอ และความถี่ของสัญญาณที่เกิดขึ้นทางเอาท์พุตของวงจร 53
รูปที่ 4.21 จุดตัดระหว่างสัญญาณความถี่มูลฐานกับฮาร์โมนิกส์อันดับที่สามที่เกิดจากการมอดูเลตระหว่างกันของวงจรกรองแถบความถี่ผ่านที่นำเสนอ 54
รูปที่ 4.22 การทำงานของวงจรกรองแถบความถี่ผ่านที่อุณหภูมิแตกต่างกัน 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 ค่าอุปกรณ์มาตรฐานสำหรับต้นแบบวงจรกรองเชบีเชฟที่มีการกระเพื่อมไม่เกิน 0.01 dB 24
ตารางที่ 3.1 การแปลงระบบจาก LP ไปเป็น BP 33
ตารางที่ 5.1 การเปรียบเทียบตัวกรองความถี่ที่นำเสนอกับงานวิจัยที่มีมาก่อน 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรกรองแบบต่อเนื่องทางเวลาหรือวงจรกรองแอนะล็อกเป็นบล็อกวงจรที่สำคัญในงานด้านการประมวลสัญญาณแอนะล็อกวงจรหนึ่ง สำหรับงานด้านการสื่อสารโทรคมนาคมนั้นวงจรกรองแบบต่อเนื่องทางเวลาเป็นที่ต้องการเป็นอย่างมาก โดยเฉพาะในกระบวนการมอดูเลตและดีมอดูเลตสัญญาณ ในอดีตวงจรพาสซีฟ RLC มีความเหมาะสมที่จะนำมาใช้ในวงจรกรองชนิดต่าง ๆ [1] หากแต่เมื่อเทคโนโลยีก้าวหน้ามากขึ้น วงจรพาสซีฟ RLC กลับไม่ถูกนำมาใช้ในวงจรกรองสมัยใหม่ ทั้งนี้เนื่องจากความไม่เหมาะสมที่จะนำมาใช้ในวงจรรวม (Integrated Circuits) และขาดคุณสมบัติทางด้านการปรับจูน สำหรับอุปกรณ์แอคทีฟ เช่น OPAMP ก็ไม่เหมาะที่จะนำมาใช้ในการออกแบบวงจรกรอง ทั้งนี้เพราะออปแอมป์ต้องใช้อุปกรณ์พาสซีฟจำนวนมาก และยังขาดคุณสมบัติด้านการปรับจูนอีกเช่นกัน [2] จึงได้มีนักวิจัยนำเสนอวงจรกรองชนิดแอคทีฟโดยใช้หลักการที่แตกต่างกันมาอย่างต่อเนื่องจนถึงปัจจุบัน มีการนำเสนอวงจรกรองอันดับที่สองที่สามารถปรับจูนได้โดยใช้อุปกรณ์แอคทีฟชนิดต่าง ๆ มาสร้าง เช่น ใช้วงจรสายพานกระแสรุ่นที่สอง (CCII) [3-4] ใช้วงจรสายพานแรงดันเอนกประสงค์ (UVC) [5] และ วงจรสายพานกระแสแบบผลต่างแรงดัน (DDCC) [6] ที่มีอุปกรณ์พาสซีฟจำนวนน้อยรวมอยู่ในวงจรกรองอันดับที่สอง นอกจากนี้ยังมีการนำเสนอวงจรกรองชนิดไบควอดที่ใช้วงจรขยายสัญญาณผลต่าง (DDA) [7] และใช้วงจรขยายกลับเฟสผลต่างแรงดัน [8] อย่างไรก็ตามวงจรต่าง ๆ ที่กล่าวมาก็ยังขาดคุณสมบัติด้านการปรับจูนรวมถึงยังต้องมีการใช้ตัวต้านทานในวงจรอีก จึงได้มีการนำเสนอวงจรกรองไบควอดชนิดปรับจูนได้โดยใช้ DDCCTA [9] ที่มีอุปกรณ์พาสซีฟต่อลงกราวด์ ซึ่งถึงแม้ว่าวงจรดังกล่าวจะมีการใช้อุปกรณ์แอคทีฟเพียงแค่ตัวเดียวแต่ก็ยังต้องมีการใช้ตัวต้านทานในวงจรอยู่ อย่างไรก็ตามสมรรถนะของวงจรกรองดังที่กล่าวมาก็ยังคงถูกจำกัดด้วยอุปกรณ์แอคทีฟและอันดับของวงจรกรอง

นอกจากนี้ยังมีการนำเสนอวงจรกรองแบบต่อเนื่องทางเวลาอันดับสูงโดยใช้ CCII [10] และใช้ CDBA [11] ซึ่งมีตัวต้านทานและตัวเก็บประจุชนิดลอยตัวและต่อลงกราวด์ต่ออยู่ ซึ่งสำหรับวงจรกรองสมัยใหม่นั้น การออกแบบให้พื้นที่ของชิปมีขนาดเล็กที่สุดเป็นสิ่งสำคัญมาก ดังนั้นในวงจรจึงควรหลีกเลี่ยงที่จะให้มีการใช้ตัวต้านทานประกอบอยู่ในวงจรกรอง จึงได้มีนักวิจัยนำเสนอวงจรที่เลียนแบบวงจรกรองขั้นบันไดโดยใช้ CCCII ขึ้นมา [12] โดยที่วงจรดังกล่าวมีคุณสมบัติด้านการปรับจูนในรูปแบบของการกรองความถี่ต่ำผ่าน (LP) และการกรองแถบความถี่ผ่าน (BP) ที่มีขอบเขตการปรับจูนที่แคบแต่ก็ยังคงมีข้อจำกัดของวงจรในการทำงานที่ความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรล็อกโดเมนมีคุณสมบัติเด่นที่เป็นที่รู้จักกันดีในด้านของการปรับจูน เหมาะสมต่อการทำงานที่ความถี่สูง และใช้แรงดันต่ำ [14] ซึ่งคุณสมบัติที่สำคัญของระบบล็อกโดเมนคือ กระบวนการภายในไม่เป็นเชิงเส้น ในขณะที่กระบวนการทั้งระบบเป็นเชิงเส้นตามหลักการของทรานสลิเนียร์ [15] หลักการของล็อกโดเมนพบได้ในหลากหลายวงจร เช่น การออกแบบวงจรกรองล็อกโดเมนด้วยสเตต-สเปซ [16] วงจรกำเนิดรูปสัญญาณไซน์แบบมัลติเฟส [17] และตัวกรองสากล [18]-[19] ที่ใช้หลากหลายโครงสร้างของล็อกโดเมน แต่ให้ผลลัพธ์ที่น่าสนใจ มีการนำเสนอการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับสูงชนิดล็อกโดเมนด้วยการเลียนแบบวงจรขั้นบันได LC ตามที่ปรากฏในงานวิจัยที่ [20]-[21] แต่พบว่าโครงสร้างของวงจรมีความซับซ้อนเป็นอย่างมาก

1.2 ความมุ่งหมายและวัตถุประสงค์ของวิทยานิพนธ์

จากความเป็นมาและความสำคัญของปัญหาที่กล่าวมาในเบื้องต้นจะเห็นได้ว่า วงจรกรองที่นำเสนอมาในอดีตนั้น บางวงจรมีจำนวนของอุปกรณ์พาสซีฟมากเกินไป ทำให้เมื่อนำไปสร้างเป็นวงจรรวมจะส่งผลต่อการใช้พื้นที่บนชิปค่อนข้างมาก สำหรับคุณสมบัติด้านการปรับจูนทางอิเล็กทรอนิกส์เพื่อให้วงจรกรองสามารถปรับเปลี่ยนช่วงความถี่ใช้งานได้นั้น วงจรที่นำเสนอในอดีตบางวงจรยังไม่สามารถปรับจูนได้ รวมถึงบางวงจรไม่สามารถทำงานในย่านความถี่สูงได้ดีนัก ผู้วิจัยจึงได้มีแนวคิดในการใช้หลักการของการบีบขยายสัญญาณ (Companding) มาใช้ซึ่งทำให้วงจรกรองสามารถทำงานได้ด้วยไฟเลี้ยงต่ำในย่านความถี่สูงได้ดี รวมถึงใช้การเลียนแบบวงจรกรองขั้นบันได RLC เพื่อให้ได้คุณสมบัติที่ดีด้านความไวต่ำ ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงนำเสนอการออกแบบวงจรกรองความถี่ต่ำผ่านและวงจรกรองแถบความถี่ผ่านอันดับสูงโดยใช้วงจรบีบขยายแบบล็อกโดเมน ด้วยเทคนิคของกราฟการไหลของสัญญาณ (SFG) ที่ได้จากวงจรกรองขั้นบันไดต้นแบบ RLC วงจรกรองที่นำเสนอนี้มีโครงสร้างที่ง่าย ใช้แรงดันต่ำ และมีประสิทธิภาพในการกรองสูง มีการใช้อุปกรณ์หลัก ๆ เพียงแค่ BJT ทรานซิสเตอร์ ตัวเก็บประจุต่อลงกราวด์ และวงจรไบอัสกระแสเท่านั้น เพื่อให้สามารถนำไปประยุกต์ใช้งานในระบบประมวลสัญญาณแอนะล็อก ซึ่งเป็นกระบวนการสำคัญกระบวนการหนึ่งในระบบสื่อสารโทรคมนาคมต่อไป

1.3 การพัฒนาในวิทยานิพนธ์

วิทยานิพนธ์นี้ได้ศึกษาวิจัยเพื่อออกแบบวงจรกรองความถี่อันดับสูงรูปแบบกระแสโดยใช้หลักการของตัวกรองล็อกโดเมน วงจรที่ได้เป็นผลโดยตรงจากการวิเคราะห์วงจรกรองต้นแบบ RLC ชนิดขั้นบันได โดยใช้เทคนิคของกราฟการไหลของสัญญาณเพื่อแปลงสมการของระบบให้อยู่ในรูปของฟังก์ชันถ่ายโอนรูปแบบกระแส ซึ่งจะเห็นว่าการรวมกันของกระแสที่โหนดต่าง ๆ ในวงจรกรองนั้นส่งผลต่อการนำไปสร้างได้ง่ายนั่นเอง ด้วยหลักการข้างต้นนี้เองทำให้ได้วงจรกรองความถี่ต่ำผ่านและวงจรกรองแถบความถี่ผ่านอันดับสูงชนิดเชบีเชฟนั้นประกอบด้วยตัวกรองล็อกโดเมนหรือวงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง (วงจรอินทิเกรเตอร์) แบบล็อกโดเมนทั้งชนิดสูญเสียและไม่สูญเสียที่มีตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บประจุต่อลงกราวด์หนึ่งตัวมาต่อกันเป็นระบบตามกราฟการไหลของสัญญาณที่ได้จากการวิเคราะห์วงจรต้นแบบนั่นเอง

ในวงจรกรองที่นำเสนอนี้ ใช้อินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียที่มีโครงสร้างของวงจรประกอบด้วยไบโพลาร์ทรานซิสเตอร์ชนิด NPN และอินพุตของอินทิเกรเตอร์มีเพียงขาเดียวเท่านั้น เพื่อลดจำนวนของทรานซิสเตอร์ในวงจรกรอง (หากใช้รูปแบบ fully differential จะใช้จำนวนของทรานซิสเตอร์มาก) โดยวงจรที่นำเสนอมีผลตอบสนองทางความถี่ที่กว้างและสามารถปรับจูนทางความถี่ได้ในช่วงมากกว่า 2 decades นั่นคือสำหรับวงจรกรองความถี่ต่ำผ่านจะอยู่ในช่วงน้อยกว่า 200 กิโลเฮิรตซ์ถึง 20 เมกะเฮิรตซ์ ส่วนวงจรกรองแถบความถี่ผ่านจะอยู่ในช่วงน้อยกว่า 100 กิโลเฮิรตซ์ถึง 10 เมกะเฮิรตซ์

1.4 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์นี้นำเสนอการออกแบบและจำลองผลเพื่อทดสอบการทำงานของวงจรกรองความถี่ต่ำผ่านอันดับสูงและวงจรกรองแถบความถี่ผ่านอันดับสูงชนิดเชบีเชฟโดยใช้หลักการของตัวกรองล็อกโดเมน แบ่งเนื้อหาออกเป็น 5 บท ดังต่อไปนี้

บทที่ 1 กล่าวถึงที่มาของงานวิจัยและวัตถุประสงค์ของวิทยานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีต่าง ๆ ที่เกี่ยวข้องกับการออกแบบและทดสอบวงจรกรองความถี่

บทที่ 3 กล่าวถึงการวิเคราะห์และออกแบบวงจรกรองความถี่ที่นำเสนอ

บทที่ 4 กล่าวถึงผลจำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรม SPICE

บทที่ 5 กล่าวถึงบทสรุปและข้อเสนอแนะ

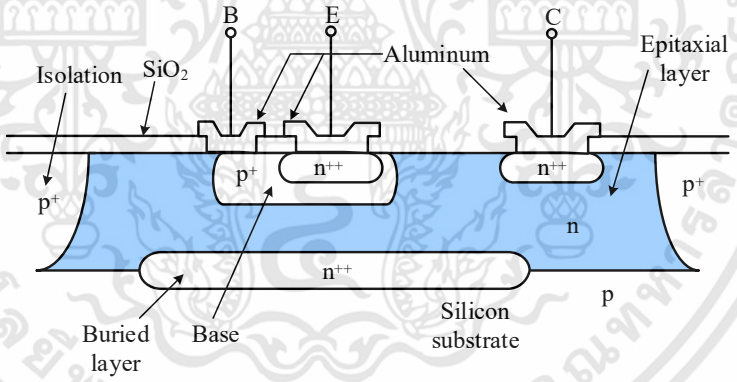
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

ในวิทยานิพนธ์ฉบับนี้เป็นการนำเสนอวงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูง ชนิดล็อกโดเมน ซึ่งวงจรที่นำเสนอนี้เป็นการออกแบบบนพื้นฐานของเทคโนโลยีการผลิตวงจรรวม (Integrated Circuits) โดยใช้ไบโพลาร์ทรานซิสเตอร์เป็นอุปกรณ์หลัก ดังนั้นรายละเอียดเนื้อหาในบทนี้จะกล่าวถึงทฤษฎีพื้นฐานและหลักการต่าง ๆ ที่เกี่ยวข้อง ดังต่อไปนี้

2.1 ไบโพลาร์ทรานซิสเตอร์ (Bipolar transistor)

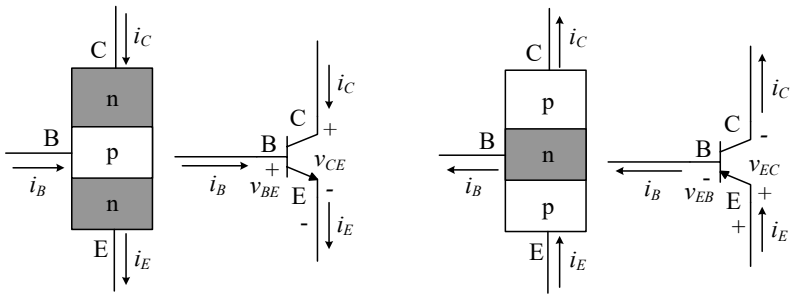
ไบโพลาร์ทรานซิสเตอร์ [22] เป็นอุปกรณ์สามขาที่ประกอบด้วยสารกึ่งตัวนำชนิด p และ n ต่อกัน โดยการเจือสาร (Doping) จำนวนสามชั้น ทำให้เกิดรอยต่อ (Junction) จำนวนสองรอยต่อขึ้น ดังนั้นการสร้างไบโพลาร์ทรานซิสเตอร์จึงสามารถสร้างได้สองชนิดคือ ชนิดที่มีสารชนิด n สองชั้น เรียกว่าชนิด NPN และชนิดที่มีสารชนิด p สองชั้น เรียกว่าชนิด PNP ซึ่งโครงสร้างของไบโพลาร์ทรานซิสเตอร์ชนิด NPN นั้นแสดงให้เห็นรายละเอียดดังปรากฏในรูปที่ 2.1 ซึ่งเปรียบได้กับการต่อไดโอดชนิด $p-n$ สองตัวที่ต่อหันหลังชนกัน



รูปที่ 2.1 โครงสร้างของไบโพลาร์ทรานซิสเตอร์ (Bipolar Junction Transistor)

เมื่อพิจารณาในรูปที่ 2.2(a) จะเห็นว่าโครงสร้างของไบโพลาร์ทรานซิสเตอร์มีสารกึ่งตัวนำสามชั้น โดยแต่ละชั้นจะต่อลวดตัวนำจากเนื้อสารกึ่งตัวนำไปใช้งาน เรียกว่า ขาเบส (B) ขาคอลเลกเตอร์ (C) และ ขาอิมิตเตอร์ (E) ในวงจรอิเล็กทรอนิกส์นิยมเขียนทรานซิสเตอร์แทนด้วยสัญลักษณ์ดังรูปที่ 2.2(b) โดยในรูปจะแสดงให้เห็นทิศทางของแรงดันในการทำงานแบบปกติของไบโพลาร์ทรานซิสเตอร์ เรียกว่า แอกทีฟโหมด ในที่นี้ $V_{BE} = V_B - V_E$ เป็นแรงดันที่ตกคร่อมระหว่างขาเบสกับขาอิมิตเตอร์ ส่วน $V_{BC} = V_B - V_C$ เป็นแรงดันที่ตกคร่อมระหว่างขาเบสกับขาคอลเลกเตอร์ ส่วนทิศทางของกระแสจะถูกแทนด้วย I_B, I_C และ I_E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 ไบโพลาร์ทรานซิสเตอร์และสัญลักษณ์ (a, b) NPN และ (c, d) PNP

ในการทำงานภายใต้ฟอร์เวิร์ดแอกทีฟโหมด รอยต่ออิมิตเตอร์-เบส จะต้องถูกไบอัสแบบฟอร์เวิร์ด ในขณะที่รอยต่อคอลเลกเตอร์-เบส จะต้องถูกไบอัสแบบรีเวิร์ส ซึ่งในการไบอัสแบบฟอร์เวิร์ดที่รอยต่ออิมิตเตอร์-เบส นั้นมีแรงดันตกคร่อม $V_{BE} \approx 0.7V$ สำหรับไบโพลาร์ทรานซิสเตอร์ที่ทำมาจากสารกึ่งตัวนำชนิดซิลิกอน

หากที่รอยต่อทั้งสองของไบโพลาร์ทรานซิสเตอร์ถูกไบอัสแบบฟอร์เวิร์ด ไบโพลาร์ทรานซิสเตอร์นี้จะทำงานในย่านที่เรียกว่าช่วงอิ่มตัว (Saturation Region) โดยมีแรงดันตกคร่อมระหว่างขาคอลเลกเตอร์-อิมิตเตอร์ $V_{CE} \approx 0.2V$ สำหรับไบโพลาร์ทรานซิสเตอร์ที่ทำมาจากสารกึ่งตัวนำชนิดซิลิกอน แต่ถ้าที่รอยต่อทั้งสองของไบโพลาร์ทรานซิสเตอร์ถูกไบอัสแบบรีเวิร์ส ไบโพลาร์ทรานซิสเตอร์นี้จะทำงานในย่านที่เรียกว่าช่วงหยุดทำงาน (Cut-off Region) โดยมีกระแสอิมิตเตอร์ $I_E = 0$ สำหรับทรานซิสเตอร์ที่ทำงานในช่วงรีเวิร์สแอกทีฟโหมดนั้นจะเกิดขึ้นเมื่อที่รอยต่ออิมิตเตอร์-เบสถูกไบอัสแบบรีเวิร์ส และที่รอยต่อคอลเลกเตอร์-เบสถูกไบอัสแบบฟอร์เวิร์ด ดังนั้นจากกฎกระแสของเคอร์ชอฟฟ์ (KCL) จะได้สมการความสัมพันธ์ของกระแสเป็น

$$I_E = I_B + I_C \tag{2.1}$$

ไบโพลาร์ทรานซิสเตอร์ชนิด PNP มีโครงสร้างกลับกันกับไบโพลาร์ทรานซิสเตอร์ชนิด NPN โดยโครงสร้างและสัญลักษณ์ รวมถึงทิศทางของกระแสและแรงดัน แสดงไว้ในรูปที่ 2.2(c, d)

ถ้าแทนความเข้มข้นของโฮลด้วย p และแทนความเข้มข้นของอิเล็กตรอนด้วย n ซึ่งมีตัวห้อยต่อท้าย โดยตัวห้อยตัวแรกมีความหมายถึงช่วงการเจือสาร n หรือสาร p เนื่องจากช่วงที่มีการเจือสาร n มีสองช่วง จึงมีตัวห้อยที่สองต่อท้ายเพื่อเป็นการแยกว่าช่วงนั้น ๆ เป็นคอลเลกเตอร์หรืออิมิตเตอร์ โดยใช้การแทนตัวห้อย C หรือ E ให้กับตัวห้อยตัวที่สองตามลำดับ สำหรับความเข้มข้นของพาหะในรูปที่ 2.3 เป็นแบบฟอร์เวิร์ดแอกทีฟโหมด ซึ่ง $V_{BE} > 0$ และ $V_{BC} < 0$ ดังนั้นความเข้มข้นส่วนน้อยของพาหะ (Minority-carrier Concentration) ที่ขาเบสในขอบของช่องปลอดพาหะ (Depletion) สามารถคำนวณได้จากการประมาณค่าของ Boltzmann ให้อยู่ในฟังก์ชันของ Fermi-Dirac ได้ดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$n_p(0) = n_{p0} \exp \frac{V_{BE}}{V_T} \tag{2.2}$$

$$n_p(W_B) = n_{p0} \exp \frac{V_{BC}}{V_T} \approx 0 \tag{2.3}$$

โดยที่ W_B คือความกว้างของชั้นเบสตั้งแต่ช่องปลอดพาหะของชั้นเบส-อิมิตเตอร์ ถึงช่องปลอดพาหะของชั้นเบส-คอลเลกเตอร์ และ n_{p0} เป็นความเข้มข้นสมดุล (Equilibrium Concentration) ของอิเล็กตรอนในขาเบส สังเกต V_{BC} มีค่าเป็นลบ สำหรับไบโพลาร์ทรานซิสเตอร์ชนิด NPN ในการใช้งานแบบฟอร์เวิร์ดแอ็กทีฟโหมด $n_p(W_B)$ จะมีค่าน้อยมาก ดังนั้นความเข้มข้นส่วนน้อยของพาหะถูกประมาณว่ามีค่าน้อยกว่าความเข้มข้นส่วนมากของพาหะ (Majority-carrier Concentration) มาก

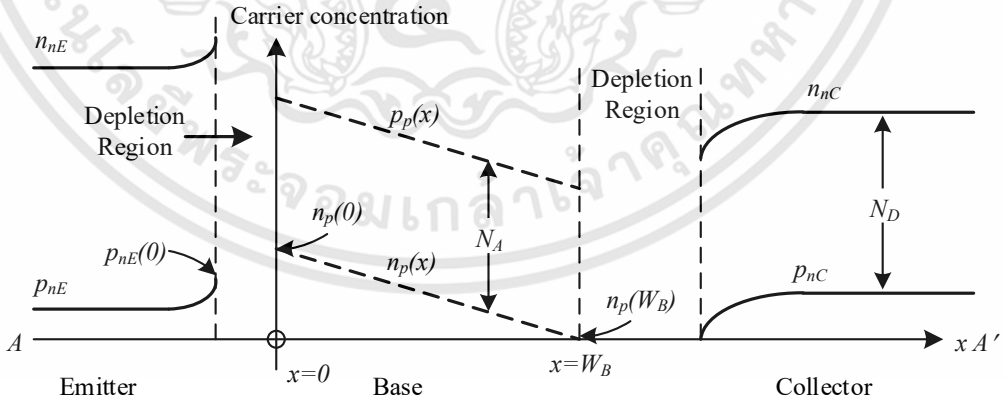
การรวมของโฮลและอิเล็กตรอนในขาเบสมีค่าน้อย สามารถบอกได้ว่าความเข้มข้นส่วนน้อยของพาหะ $n_p(x)$ ในขาเบสมีค่าแปรผันตรงกับความยาว ซึ่งความสัมพันธ์นี้ถูกแสดงให้เห็นในรูปที่ 2.3 ระหว่างความเข้มข้น $x = 0$ และ $x = W_B$ และสำหรับการเปลี่ยนค่าในขาเบสทำให้พบว่า

$$N_A + n_p(x) = p_p(x) \tag{2.4}$$

ดังนั้น

$$p_p(x) - n_p(x) = N_A \tag{2.5}$$

เมื่อ $p_p(x)$ เป็นค่าความเข้มข้นของโฮลที่ขาเบส และ N_A เป็นค่าความเข้มข้นการเจือสาร (Doping Density) ที่ขาเบส โดยถูกประมาณค่าเป็นค่าคงที่ จากสมการที่ (2.5) สามารถบอกได้ว่าความเข้มข้นของโฮลและอิเล็กตรอน ถูกแยกจากกันด้วยค่าคงที่ และ $p_p(x)$ แปรผันตรงกับระยะทาง



รูปที่ 2.3 ภาพตัดขวางของไบโพลาร์ทรานซิสเตอร์ NPN ในรูปที่ 2.2 (a) แสดงความเข้มข้นของพาหะ (Carrier concentration) ตั้งแต่จุด A ถึง A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสที่ขาคอลเลกเตอร์เกิดขึ้นโดยพาหะส่วนน้อยของอิเล็กตรอนบนขาเบส แพร่กระจายโดยที่ความเข้มข้นค่อย ๆ จางลง และถูกกวาดข้ามช่องปลอดพาหะคอลเลกเตอร์-เบสด้วยสนามไฟฟ้า ความหนาแน่นของการแพร่กระจายกระแสเนื่องจากอิเล็กตรอนที่ขาเบสคือ

$$J_n = qD_n \frac{dn_p(x)}{dx} \tag{2.6}$$

เมื่อ D_n เป็นค่าคงที่การแพร่กระจายอิเล็กตรอน ดังนั้นที่ตำแหน่ง $x = 0$ จะได้

$$J_n = -qD_n \frac{n_p(0)}{W_B} \tag{2.7}$$

ถ้า I_C เป็นกระแสที่ขาคอลเลกเตอร์และเป็นบวกตามคอลเลกเตอร์ในสมการที่ (2.7) ดังนั้น

$$I_C = qAD_n \frac{n_p(0)}{W_B} \tag{2.8}$$

เมื่อ A เป็นพื้นที่ตัดขวางของอิมิตเตอร์ แทนสมการที่ (2.2) ลงในสมการที่ (2.8) ได้สมการเป็น

$$I_C = \frac{qAD_n n_{p0}}{W_B} \exp \frac{V_{BE}}{V_T} \tag{2.9}$$

เมื่อกำหนดให้ I_S มีค่าเท่ากับ

$$I_S = \frac{qAD_n n_{p0}}{W_B} \tag{2.10}$$

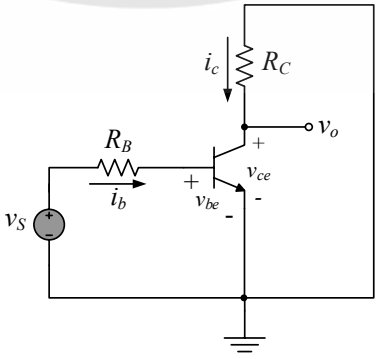
ดังนั้นสามารถเขียนสมการของ I_C ใหม่ได้เป็น

$$I_C = I_S \exp \frac{V_{BE}}{V_T} \tag{2.11}$$

ซึ่งก็คือสมการความสัมพันธ์ของกระแสและแรงดันของไบโพลาร์ทรานซิสเตอร์นั่นเอง

เนื่องจากไบโพลาร์ทรานซิสเตอร์ถูกนำมาใช้ในการออกแบบวงจรต่าง ๆ มากมาย เช่น วงจรขยายสัญญาณ วงจรกำเนิดสัญญาณ วงจรอินทิเกรเตอร์ เป็นต้น ดังนั้นจึงต้องทราบถึงวงจรสมมูลของไบโพลาร์ทรานซิสเตอร์ เพื่อนำไปวิเคราะห์หรือสังเคราะห์เป็นวงจรตามที่ต้องการ โดยวงจรสมมูลนี้เกิดจากการพิจารณาคุณสมบัติการทำงานของไบโพลาร์ทรานซิสเตอร์ขณะที่ป้อนสัญญาณขนาดเล็กเข้าไป เรียกวงจรสมมูลนี้ว่า แบบจำลองสัญญาณขนาดเล็ก (Small signal model)

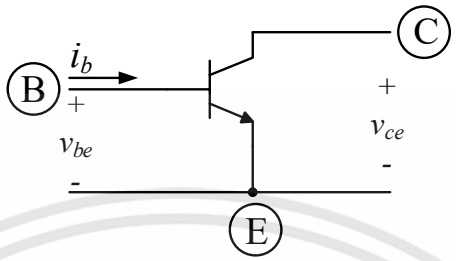
2.1.1 วงจรสมมูลไฮบริดจ์ π ที่ป้อนด้วยสัญญาณขนาดเล็กของวงจรทรานซิสเตอร์ BJT



รูปที่ 2.4 วงจรสมมูลเอซี

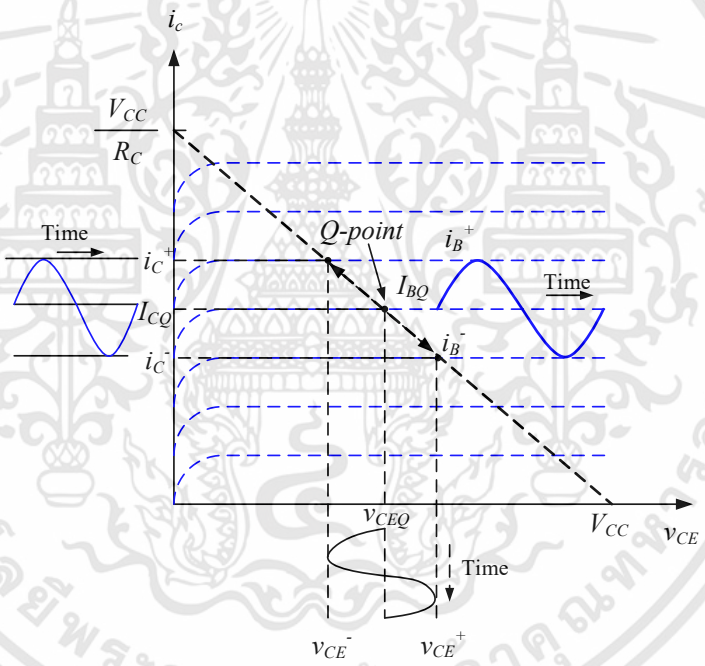
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.4 เป็นวงจรสมมูลเอซี ซึ่งเมื่อทำการป้อนสัญญาณขนาดเล็ก จะต้องพิจารณาการตอบสนองสัญญาณของทรานซิสเตอร์ให้อยู่ในรูปของแบบจำลองสัญญาณขนาดเล็กด้วยเช่นกัน ดังนั้นจะพิจารณา BJT ในรูปของโครงข่ายสองพอร์ต (Two-port network) ดังรูปที่ 2.5 โดยพอร์ตอินพุตคือ ขา B และ E ส่วนพอร์ตเอาต์พุตคือ ขา C และ E



รูปที่ 2.5 ระบบโครงข่ายสองพอร์ตของทรานซิสเตอร์ BJT

พิจารณาที่อินพุตพอร์ต B-E



รูปที่ 2.6 กราฟคุณลักษณะของทรานซิสเตอร์ของวงจรขยายสัญญาณอิมิตเตอร์ร่วมประกอบด้วยเส้นโหลดดีซี การเปลี่ยนแปลงไซนูซอยด์ของกระแสเบส กระแสคอลเลกเตอร์ และแรงดันคอลเลกเตอร์-อิมิตเตอร์

เมื่อพิจารณากราฟคุณลักษณะของกระแสเบสและแรงดันที่ขา B-E ที่เปลี่ยนแปลงตามเวลาบนจุด Q เมื่อสัญญาณไซนูซอยด์มีขนาดเล็ก ดังในรูปที่ 2.6 จะทำให้ความชันของจุด Q มีค่าคงที่ ซึ่งมีหน่วยเป็นค่าความนำ ดังนั้นส่วนกลับของค่าความนำก็คือ ค่าความต้านทานของสัญญาณขนาดเล็ก r_π จะเห็นได้ว่า ความสัมพันธ์ระหว่างสัญญาณขนาดเล็กของกระแสอินพุต i_b และสัญญาณขนาดเล็กของแรงดันอินพุต v_{be} เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{be} = i_b r_\pi \tag{2.12}$$

โดย $1/r_\pi$ เท่ากับความชันของเส้นโค้ง i_B และ v_{BE} ดังแสดงในรูปที่ 2.6 ดังนั้นสามารถหา r_π ได้จาก

$$\frac{1}{r_\pi} = \left.\frac{\partial i_B}{\partial v_{BE}}\right|_{Q-point} = \left.\frac{\partial}{\partial v_{BE}}\left[\frac{I_S}{\beta}\cdot\exp\left(\frac{v_{BE}}{V_T}\right)\right]\right|_{Q-point} \tag{2.13}$$

หรือ

$$\frac{1}{r_\pi} = \frac{1}{V_T}\cdot\left[\frac{I_S}{\beta}\cdot\exp\left(\frac{v_{BE}}{V_T}\right)\right]\Big|_{Q-pt} = \frac{I_{BQ}}{V_T} \tag{2.14}$$

จะได้

$$\frac{v_{be}}{i_b} = r_\pi = \frac{V_T}{I_{BQ}} = \frac{\beta V_T}{I_{CQ}} \tag{2.15}$$

ค่าความต้านทาน r_π เรียกว่า ค่าความต้านทานการแพร่ หรือค่าความต้านทานอินพุต B-E โดยที่ r_π เป็นฟังก์ชันของพารามิเตอร์ ณ จุด *Q*

พิจารณาที่เอาต์พุตพอร์ต C-E

จากคุณลักษณะที่ด้านเอาต์พุตของทรานซิสเตอร์ BJT เมื่อพิจารณาให้กระแส i_C ไม่ขึ้นกับแรงดัน v_{ce} ดังนั้น กระแส i_C จะเป็นฟังก์ชันเฉพาะของแรงดัน v_{be} เท่านั้น ซึ่งเขียนได้ดังสมการ

$$\Delta i_C = \left.\frac{\partial i_C}{\partial v_{BE}}\right|_{Q-point}\cdot\Delta v_{BE} \tag{2.16}$$

หรือ

$$i_c = \left.\frac{\partial i_C}{\partial v_{BE}}\right|_{Q-point}\cdot v_{be} \tag{2.17}$$

จากสมการที่ 2.11 เขียนได้ว่า

$$i_C = I_S\exp\left(\frac{v_{BE}}{V_T}\right) \tag{2.18}$$

ดังนั้น

$$\left.\frac{\partial i_C}{\partial v_{BE}}\right|_{Q-point} = \frac{1}{V_T}\cdot I_S\exp\left(\frac{v_{BE}}{V_T}\right)\Big|_{Q-point} = \frac{I_{CQ}}{V_T} \tag{2.19}$$

เมื่อ เทอมของ $I_S\exp\left(v_{BE}/V_T\right)$ ที่หาจากจุด *Q* คือ กระแสคอลเลกเตอร์ที่จุด *Q* โดยเทอมของ I_{CQ}/V_T คือ ค่าความนำ เนื่องจากค่าความนำนี้มีสัมพันธ์กับกระแสคอลเลกเตอร์และแรงดันที่ขา B-E ดังนั้น จึงเรียกพารามิเตอร์นี้ว่า ทรานส์คอนดักแตนซ์ เขียนได้โดย

$$g_m = \frac{I_{CQ}}{V_T} \tag{2.20}$$

ดังนั้น สัญญาณขนาดเล็กของกระแสคอลเลกเตอร์สามารถเขียนได้เป็น

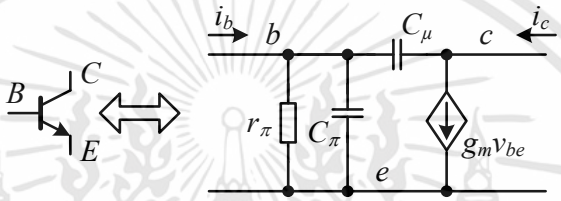
$$i_c = g_m v_{be} \tag{2.21}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความนำสัญญาณขนาดเล็กเป็นฟังก์ชันของพารามิเตอร์ต่างๆ ที่จุด *Q* และเป็นสัดส่วนโดยตรงกับกระแสไบอัสดีซี ดังนั้นการแปรผันของค่าความนำเนื่องจากกระแสคอลเลกเตอร์ที่จุด *Q* สามารถนำมาใช้กับการออกแบบวงจรขยายสัญญาณได้

วงจรสมมูลไฮบริดจ์ π

จากค่าพารามิเตอร์ที่ได้นี้ จะทำให้สามารถเขียนวงจรสมมูลไฮบริดจ์ π ของแบบจำลองสัญญาณขนาดเล็กสำหรับทรานซิสเตอร์ชนิด npn ได้ดังรูปที่ 2.7 โดยที่ C_π หมายถึงความจุไฟฟ้าระหว่างรอยต่อขาเบส-อิมิตเตอร์ และ C_μ หมายถึงความจุไฟฟ้าระหว่างรอยต่อขาคอลเลกเตอร์-อิมิตเตอร์ ซึ่งวงจรสมมูลไฮบริดจ์ π ที่ได้นี้จะนำมาแทนในวงจรสมมูลเอซีเมื่อทำงานในย่านความถี่สูงนั่นเอง



รูปที่ 2.7 วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กไฮบริดจ์ π ของวงจรทรานซิสเตอร์ npn

2.2 ทรานสลิเนียร์ (Translinear)

การวิเคราะห์วงจรทรานสลิเนียร์ [23] นั้นใช้ประโยชน์จากฟังก์ชันพีชคณิตหลายอย่าง เช่น ใช้ประโยชน์จากความสัมพันธ์ของกระแสกับค่าทรานสคอนดักแตนซ์ในไบโพลาร์ทรานซิสเตอร์ เมื่อพิจารณาสัญญาณอินพุตและเอาท์พุตของวงจรที่อยู่ในรูปของกระแส ที่ในความเป็นจริงนั้นจะพบว่าผลที่เกิดจากการเปลี่ยนแปลงของแรงดันขนาดเล็กที่มีค่าน้อยกว่าหนึ่งในสิบเท่าของมิลลิโวลต์เป็นสิ่งที่น่าสนใจซึ่งถูกค้นพบโดยบังเอิญ โดยพื้นฐานแล้วฟังก์ชันวงจรจะไม่ขึ้นอยู่กับขนาดของสัญญาณอินพุต แต่จะขึ้นอยู่กับอัตราส่วนกระแสภายในวงจร จึงส่งผลให้ผลของฟังก์ชันวงจรที่ได้ไม่แปรผันตามการเปลี่ยนแปลงอุณหภูมิไปด้วย ซึ่งเป็นคุณสมบัติทั่วไปของสารกึ่งตัวนำประเภทซิลิกอน เพื่อให้เห็นภาพชัดเจนยิ่งขึ้น สำหรับการอธิบายหลักการของทรานสลิเนียร์นั้นจึงเริ่มจากการแสดงพื้นฐานเกี่ยวกับกระแสคอลเลกเตอร์ I_C และแรงดันที่ตกคร่อมขาอิมิตเตอร์-เบส V_{BE} ซึ่งพบว่ามีความสัมพันธ์ดังนี้คือ

$$I_C = I_S(T)\,\mathrm{e}^{V_{BE}/V_T} \tag{2.22}$$

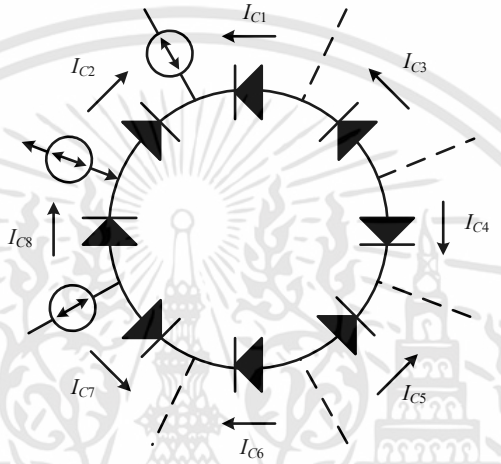
เมื่อ V_T คือแรงดันอุณหภูมิ มีค่าเท่ากับ KT/q และ $I_S(T)$ คือกระแสอิ่มตัวซึ่งมีค่าขึ้นอยู่กับอุณหภูมิ ดังนั้น I_S จึงเป็นฟังก์ชันของอุณหภูมิ สามารถเปลี่ยนแปลงได้ 9.5% ต่อองศาเซลเซียส [26] หากทรานซิสเตอร์ถูกป้อนด้วยแรงดัน V_{BE} ที่เปลี่ยนแปลงตามระดับของอุณหภูมินี้ จะทำให้ได้กระแส I_C ที่ไม่สามารถคาดเดาได้ ด้วยเหตุนี้จึงไม่ค่อยพบการป้อนอินพุตลักษณะนี้ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางกลับกัน เมื่อทรานซิสเตอร์ถูกป้อนด้วยกระแส I_C จะทำให้เกิดแรงดัน V_{BE} ที่มีค่าความชื้นตรงต่ออุณหภูมิลดลงเป็นอย่างมาก ดังนั้นสามารถเขียนสมการ (2.22) ใหม่ได้เป็น

$$V_{BE} = V_T \ln\left(\frac{I_C}{I_S(T)}\right) \tag{2.23}$$

ซึ่งจะเห็นได้อย่างชัดเจนถึงความสัมพันธ์เชิงเส้นลอการิทึมระหว่าง I_C และ V_{BE} เมื่ออุปกรณ์คู่นี้ถูกเชื่อมต่อในรูปแบบที่เหมาะสม จะทำให้เอาท์พุตของวงจรไม่ขึ้นกับอุณหภูมิ นอกจากนี้ยังมีฟังก์ชันทางคณิตศาสตร์ที่สามารถเข้าใจได้ง่าย ซึ่งทั้งหมดนี้นำไปสู่ทฤษฎีของวงจรทรานสลิเนียร์



รูปที่ 2.8 วงจรลูปปิดแบบทั่วไปกรณีไบอัสตรง เพื่อใช้อธิบายหลักการของทรานสลิเนียร์

ทฤษฎีของวงจรทรานสลิเนียร์ถูกอธิบายบนโครงข่ายลูปเดี่ยวดังแสดงในรูปที่ 2.8 ในองค์ประกอบลูปปิดนี้ สมมติให้มีอุปกรณ์จำนวน N ตัวถูกไบอัสแบบฟอร์เวิร์ดด้วยแรงดัน V_F และกำหนดให้ N_1 แทนจำนวนของอุปกรณ์ที่ถูกไบอัสแบบฟอร์เวิร์ดในทิศทางหมุนตามเข็มนาฬิกา (Clockwise) ดังนั้น $N_2 = N - N_1$ แทนจำนวนอุปกรณ์ในทิศทางหมุนทวนเข็มนาฬิกา (Counterclockwise) ทั้งหมด เพื่อให้เห็นความแตกต่างจึงกำหนดให้อุปกรณ์ที่หมุนตามเข็มนาฬิกาเป็นตัวชี้คู่ ตามกฎแรงดันของเคอร์ชอฟฟ์ (KVL) ที่กล่าวไว้ว่า ผลรวมของแรงดันทางพีชคณิตภายในลูปใด ๆ มีค่าเท่ากับศูนย์ ทำให้ได้สมการความสัมพันธ์เป็นดังสมการที่ (2.24)

$$\sum_{k=1}^{N_1} V_{F,2k} - \sum_{k=1}^{N_2} V_{F,2k-1} = 0 \tag{2.24}$$

ซึ่งแรงดันจุดต่อ V_F ถูกแทนด้วย V_{BE} ของไบโพลาร์ทรานซิสเตอร์ โดยในลักษณะเดียวกันกระแสที่ไหลผ่านรอยต่อมีค่าเท่ากับกระแสคอลเลกเตอร์ I_C ของไบโพลาร์ทรานซิสเตอร์ ดังนั้นจากสมการ (2.23) และ (2.24) สามารถเขียนเป็นสมการใหม่ได้ดังนี้

$$\sum_{k=1}^{N_1} V_{T,2k} \ln\left(\frac{I_{C,2k}}{I_{S,2k}}\right) - \sum_{k=1}^{N_2} V_{T,2k-1} \ln\left(\frac{I_{C,2k-1}}{I_{S,2k-1}}\right) = 0 \tag{2.25}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกระบวนการสร้างวงจรรวม ไบโพลาร์ทรานซิสเตอร์แต่ละตัวถูกประมาณให้มีค่าใกล้เคียงกันมาก โดยสมมติให้อุปกรณ์ทำงานที่อุณหภูมิเดียวกัน ซึ่งหมายถึงให้ V_T ทุกตัวมีค่าเท่ากันหมด ดังนั้นจึงสามารถเขียนสมการ (2.25) ใหม่ได้เป็น

$$\sum_{k=1}^{N_1}\ln\left(\frac{I_{C,2k}}{I_{S,2k}}\right)-\sum_{k=1}^{N_2}\ln\left(\frac{I_{C,2k-1}}{I_{S,2k-1}}\right)=0 \tag{2.26}$$

และจัดรูปสมการที่ (2.26) ใหม่ได้เป็น

$$\prod_{k=1}^{N_1}\left(\frac{I_{C,2k}}{I_{S,2k}}\right)\cdot\prod_{k=1}^{N_2}\left(\frac{I_{C,2k-1}}{I_{S,2k-1}}\right)=1 \tag{2.27}$$

โดยที่จะเห็นว่าสมการที่ (2.27) นั้นไม่ขึ้นกับอุณหภูมิ สำหรับเทอมของกระแสอิ่มตัวสามารถตัดทิ้งได้ เมื่อกำหนดให้ $N_1=N_2$ มีค่าเป็นจำนวนคู่ อีกนัยหนึ่งคือ จำนวนอุปกรณ์ของ Clockwise และ Counterclockwise ที่เชื่อมต่อต้องเท่ากันและลูปต้องประกอบด้วยอุปกรณ์ที่เป็นจำนวนคู่ จึงสามารถเขียนสมการใหม่ได้เป็น

$$\prod_{k=1}^{N/2}\left(\frac{I_{S,2k}}{I_{S,2k-1}}\right)=\lambda \tag{2.28}$$

โดยที่ λ หมายถึง อัตราส่วนพื้นที่ เป็นปริมาณไม่มีหน่วย เมื่อ $\lambda=1$ จะหมายถึงพื้นที่ของไบโพลาร์ทรานซิสเตอร์มีค่าเท่ากัน หรือการทำให้คู่อุปกรณ์ตรงข้ามที่เชื่อมต่อกันอยู่สมพงศ์กัน ดังนั้นสมการที่ (2.27) สามารถนำมาเขียนใหม่ได้เป็น

$$\prod_{k=1}^{N/2}I_{C,2k}=\lambda\cdot\prod_{k=1}^{N/2}I_{C,2k-1} \tag{2.29}$$

สมการที่ (2.29) เป็นส่วนที่สำคัญของทฤษฎีทรานสลิเนียร์ ซึ่งได้ถูกพัฒนาขึ้นโดย B. Gilbert [15] สามารถสรุปใจความได้ดังนี้ว่า สำหรับลูปปิดใด ๆ ที่ประกอบไปด้วยจำนวนคู่ของทิศทางการหมุนตามเข็มนาฬิกาและการหมุนทวนเข็มนาฬิกาแบบฟอร์เวิร์ดไบอัส ผลคูณของกระแสสำหรับอุปกรณ์ในทิศทางหนึ่งเป็นสัดส่วนโดยตรงกับผลคูณของกระแสที่เกิดขึ้นในทิศทางตรงกันข้าม องค์ประกอบของความเป็นสัดส่วนนั้นขึ้นอยู่กับองค์ประกอบพื้นฐานของอุปกรณ์ ที่สำคัญอย่างยิ่งคือการไม่แปรผันตามกระบวนการและการเปลี่ยนแปลงของอุณหภูมิ

ตามที่ทฤษฎีได้กล่าวไว้ข้างต้น เมื่อแหล่งจ่ายแรงดัน V_s ถูกป้อนเข้าไปในลูป สมการที่ (2.29) สามารถเขียนใหม่ได้เป็น

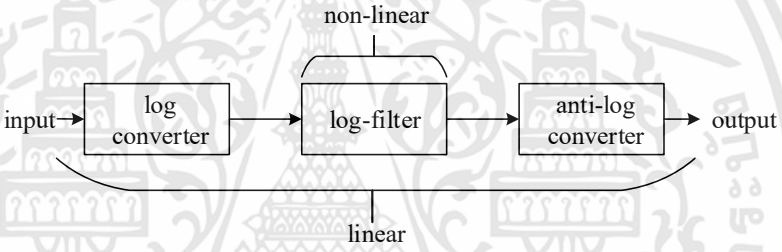
$$\prod_{k=1}^{N/2}I_{C,2k}=\lambda\cdot e^{\frac{V_S}{V_T}}\cdot\prod_{k=1}^{N/2}I_{C,2k-1} \tag{2.30}$$

ซึ่งก็คือสมการความสัมพันธ์ที่นำไปใช้ประกอบกับวงจรของไบโพลาร์ทรานซิสเตอร์เพื่อการวิเคราะห์และออกแบบด้วยหลักการของทรานสลิเนียร์นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 วงจรอินทิเกรเตอร์แบบล็อกโดเมน (Log-domain integrator)

วงจรอินทิเกรเตอร์ เป็นบล็อกวงจรย่อยที่มีความจำเป็นในงานด้านการประมวลสัญญาณแอนะล็อก ทั้งนี้เพราะพื้นฐานการทำงานของวงจรอินทิเกรเตอร์ก็คือวงจรกรองความถี่ต่ำผ่านหรือตัวกรองชนิดหนึ่งนั่นเอง ซึ่งตัวกรองที่มีใช้งานอยู่นั้นยังสามารถแบ่งออกเป็นตัวกรองแบบปกติ กับตัวกรองแบบล็อกโดเมน (Log-domain) แนวคิดของตัวกรองแบบล็อกโดเมนถูกคิดค้นขึ้นในปี ค.ศ. 1979 โดย Adams [25] ซึ่งใช้ไดโอดและตัวเก็บประจุแทนที่คู่ความต้านทานกับตัวเก็บประจุในตัวกรอง ทำให้มีข้อได้เปรียบที่สำคัญคือ สามารถปรับค่าความถี่คัตออฟได้ในช่วงกว้างมาก โดยใช้การควบคุมกระแสที่ไบอัสให้กับไดโอด Adams ได้นิยามตัวกรอง Log-filter ว่า เป็นวงจรที่ประกอบด้วยทั้งอุปกรณ์ที่มีคุณสมบัติเป็นเชิงเส้น (Linear) และไม่เป็นเชิงเส้น (Non-linear) ซึ่งเมื่อวางไว้ระหว่างตัวแปลงลอการิทึม (Log converter) และ ตัวแปลงกลับค่าลอการิทึม (Antilog converter) จึงทำให้ได้ระบบที่ประพฤติตัวเป็นตัวกรองที่มีความเป็นเชิงเส้น โดยในรูปที่ 2.9 แสดงบล็อกไดอะแกรมของตัวกรอง Log-domain ในทางอุดมคติ



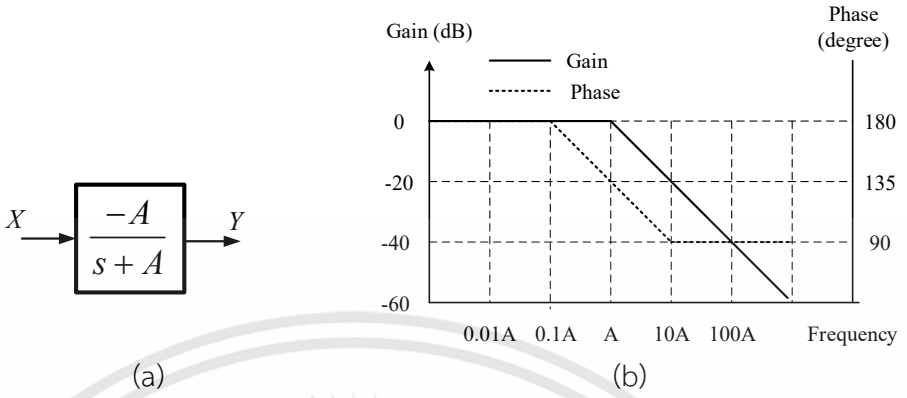
รูปที่ 2.9 แนวคิดตัวกรอง Log-domain

ตัวกรองหรือวงจรอินทิเกรเตอร์มีอยู่ 2 ชนิด ซึ่งแบ่งกลุ่มตามลักษณะผลตอบสนองทางขนาดและเฟส มีชื่อว่า อินทิเกรเตอร์ชนิดสูญเสียกับอินทิเกรเตอร์ชนิดไม่สูญเสีย ในวิทยานิพนธ์นี้จะใช้ตัวกรองพื้นฐานที่สร้างจากวงจรทรานสลิเนียร์ไบโพลาร์ทรานซิสเตอร์เพื่อทำให้เกิดเป็นวงจรอินทิเกรเตอร์แบบล็อกโดเมน ดังนี้

จากรูปที่ 2.10(a) แสดงให้เห็นถึงบล็อกฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดสูญเสีย ซึ่งมีคุณสมบัติของผลตอบสนองทางความถี่ในรูปแบบของโบเดพล็อตเป็นดังรูปที่ 2.10(b) โดยจะเห็นได้ว่าบล็อกนี้มีคุณสมบัติเช่นเดียวกับวงจรกรองความถี่ต่ำผ่านอันดับหนึ่ง ที่มีอัตราขยายเท่ากับ 1 หรือ 0 dB ในช่วงแถบความถี่ผ่าน โดยมีความถี่ตัดอยู่ที่ A และมีความชันในช่วง transition band เป็น -20 dB/decade เมื่อสังเกตที่ผลตอบสนองทางเฟสก็จะพบว่าในช่วงแถบความถี่ผ่านนั้น เฟสของสัญญาณที่ได้จะเท่ากับ 180 องศา ซึ่งหมายถึงสัญญาณเอาท์พุตที่ได้เป็นแบบกลับเฟสนั่นเอง และรูปที่ 2.10(c) เป็นวงจรอินทิเกรเตอร์ชนิดสูญเสียแบบล็อกโดเมนที่สร้างจากไบโพลาร์ทรานซิสเตอร์ด้วยหลักการของทรานสลิเนียร์ [17-18] สมมติว่าทรานซิสเตอร์ทุกตัวมีคุณสมบัติเป็นเอกซ์โปเนนเชียลในอุดมคติและไม่คำนึงถึงกระแสเบส ด้วยการใช้หลักการทรานสลิเนียร์กับทรานซิสเตอร์ $Q_1 - Q_4$ จะได้ความสัมพันธ์ว่า $I_{C1}I_{C2} = I_{C3}I_{C4}$ ซึ่งตัวแปร I_{Ci} หมายถึงกระแสที่ขาคอลเลกเตอร์ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ Q_i เมื่อ $i=1-4$ จากวงจรในรูปที่ 2.10 (c) จะเห็นได้ว่า กระแสคอลเลกเตอร์ I_{Ci} มีค่าใกล้เคียงกับกระแส I_i นั่นเอง ทำให้ได้ระบบสมการเป็น



รูปที่ 2.10 (a) อินทิเกรเตอร์ชนิดสูญเสีย (b) โบเดพล็อตของบล็อกรูป 2.10(a) (c) วงจรอินทิเกรเตอร์แบบบล็อกโดเมนชนิดสูญเสียแบบกลับเฟส

$$I_1 I_2 = I_3 I_4 \tag{2.31}$$

ดังนั้นเมื่อกำหนดให้ $I_{C1} = I_1 = I_{in}$, $I_{C2} = I_2$, $I_{C3} = \left(I_3 + C_1 \dot{V}_{C1} \right)$ และ $I_{C4} = I_4 = I_O$ จะได้แรงดันอนุพันธ์ที่ตัวเก็บประจุ C_1 เป็น

$$\dot{V}_{C1} = \frac{dV_{C1}}{dt} = \frac{V_T}{I_O}\frac{dI_O}{dt} = \frac{V_T \dot{I}_O}{I_O} \tag{2.32}$$

ถ้ากำหนดให้กระแส $I_2 = I_3 = I_B$ สมการที่ (2.32) จะกลายเป็น

$$I_{in} I_B = \left(I_B + C_1 \frac{V_T \dot{I}_O}{I_O} \right) I_O \tag{2.33}$$

$$I_{in} = I_O + \frac{C_1 \dot{I}_O V_T}{I_B} \tag{2.34}$$

ใช้การแปลงลาปลาสกับทั้งสองข้างของสมการที่ (2.34) จะได้ฟังก์ชันถ่ายโอนเป็นดังนี้

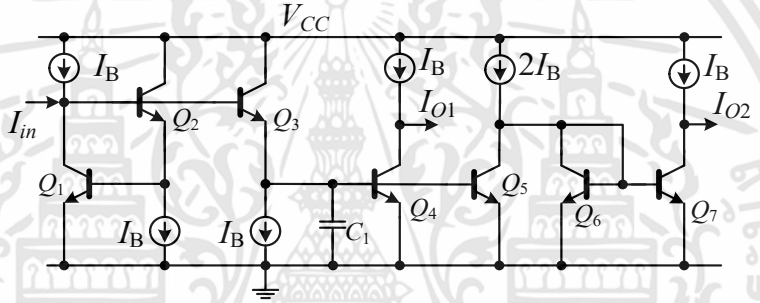
$$H(s) = \frac{I_O(s)}{I_{in}(s)} = \frac{1}{s\left(C_1 V_T / I_B\right) + 1} \tag{2.35}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.35) จะเห็นได้ว่าเป็นสมการที่แสดงถึงวงจรอินทิเกรเตอร์ชนิดสูญเสียหรือวงจรกรองความถี่ต่ำผ่านอันดับหนึ่งนั่นเอง ซึ่งความถี่โพลของอินทิเกรเตอร์ชนิดสูญเสียนี้สามารถปรับจูนทางอิเล็กทรอนิกส์ได้ด้วยการปรับกระแสไบอัส (I_B) โดยที่อัตราขยายจะมีค่าเท่ากับ 1 ถ้าหากให้กระแสไบอัสทั้งหมดมีค่าเท่ากัน จากวงจรดังกล่าวสามารถทำให้เป็นวงจรใช้งานจริงที่มีเอาท์พุตเป็นแบบกลับเฟสและไม่กลับเฟสได้ด้วยการเพิ่มทรานซิสเตอร์เข้าไป 3 ตัว $Q_5 - Q_7$ ดังแสดงในรูปที่ 2.11 ทั้งนี้ฟังก์ชันถ่ายโอนในรูปกระแสของวงจรอินทิเกรเตอร์ชนิดสูญเสียแบบล็อกโดเมนที่มีเอาท์พุต 2 ทาง มีรูปแบบสมการเป็น

$$H(s) = \frac{I_{O1}(s)}{I_{in}(s)} = \frac{-\left(I_B / C_1 V_T\right)}{s + \left(I_B / C_1 V_T\right)} \tag{2.36}$$

$$H(s) = \frac{I_{O2}(s)}{I_{in}(s)} = \frac{\left(I_B / C_1 V_T\right)}{s + \left(I_B / C_1 V_T\right)} \tag{2.37}$$



รูปที่ 2.11 วงจรที่สมบูรณ์ของอินทิเกรเตอร์ชนิดสูญเสียแบบล็อกโดเมน

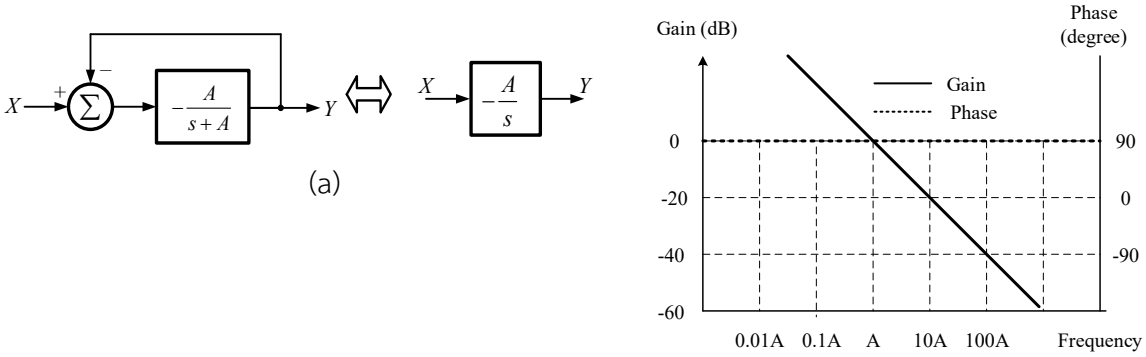
เมื่อ $V_T = 26\ \text{mV}$ ที่อุณหภูมิห้อง ซึ่งจะเห็นได้ว่าจากสมการที่ (2.36) และ (2.37) นั้นแสดงให้เห็นว่าฟังก์ชันถ่ายโอนที่ได้คือ ฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดสูญเสียเอาท์พุตกลับเฟส กับ อินทิเกรเตอร์ชนิดสูญเสียเอาท์พุตไม่กลับเฟส ตามลำดับ และหากพิจารณาในกรณีที่ตัวเก็บประจุ C_1 กับแรงดันอุณหภูมิ V_T มีค่าคงที่ แต่ทำการเปลี่ยนแปลงกระแสไบอัส จะพบว่าส่งผลให้ความถี่คัตออฟของอินทิเกรเตอร์ดังกล่าวปลี่ยนแปลงตามไปด้วย

ในรูปที่ 2.12 แสดงให้เห็นว่าวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียเอาท์พุตกลับเฟส สามารถสร้างขึ้นได้จากการใช้วงจรอินทิเกรเตอร์ชนิดสูญเสียมาต่อในลักษณะนำเอากระแสเอาท์พุตป้อนกลับแบบลบเข้าไปที่อินพุต ดังนั้นจะได้ว่า วงจรอินทิเกรเตอร์ชนิดไม่สูญเสียแบบล็อกโดเมนที่มีเอาท์พุต 2 ทิศทาง สามารถแสดงได้ดังรูปที่ 2.13 โดยที่ฟังก์ชันถ่ายโอนของเอาท์พุตแต่ละอันสามารถเขียนเป็นสมการได้ดังต่อไปนี้ คือ

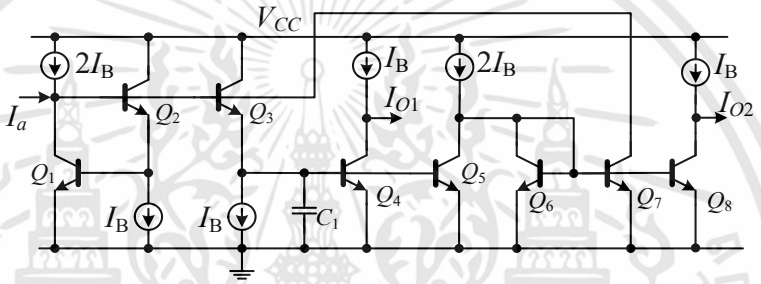
$$\frac{I_{O1}(s)}{I_a(s)} = \frac{-I_B}{sC_1 V_T} \tag{2.38}$$

$$\frac{I_{O2}(s)}{I_a(s)} = \frac{I_B}{sC_1 V_T} \tag{2.39}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 อินทิเกรเตอร์ชนิดไม่สูญเสียที่แปลงมาจากอินทิเกรเตอร์ชนิดสูญเสีย
(a) บล็อกฟังก์ชันถ่ายโอน (b) โบเดพล็อตของบล็อกฟังก์ชันถ่ายโอนรูป 2.12(a)



รูปที่ 2.13 วงจรที่สมบูรณ์ของอินทิเกรเตอร์ชนิดไม่สูญเสียแบบบล็อกโดเมน

หากพิจารณาในกรณีที่ตัวเก็บประจุ C_1 กับแรงดันอุณภูมิ V_T ในสมการที่ (2.38) และ (2.39) มีค่าคงที่ แต่ทำการเปลี่ยนแปลงกระแสไบอัส จะพบว่าส่งผลให้ความถี่คัตออฟของอินทิเกรเตอร์ดังกล่าวปลี่ยนแปลงตามไปด้วย

2.4 วงจรกรองความถี่อันดับสูง (High-order filter circuit) [26]

โดยทั่วไปแล้ว การรับ-ส่งสัญญาณจากแหล่งกำเนิดสัญญาณไปยังผู้รับสัญญาณทางอุดมคติต้องการเงื่อนไข 2 ประการด้วยกัน คือ สเปกตรัมของสัญญาณต้องไม่มีการเปลี่ยนแปลง กับความแตกต่างทางด้านเวลาระหว่างอุปกรณ์ต้องไม่มีการเปลี่ยนแปลง

เงื่อนไขประการที่สอง หมายถึงเฟสระหว่างอินพุตกับเอาท์พุต ต้องไม่มีการเปลี่ยนแปลงระหว่างการส่งสัญญาณ หรือหากเฟสมีค่าเปลี่ยนไปจะต้องมีการเปลี่ยนแปลงแบบเชิงเส้นกับความถี่ เมื่อการเปลี่ยนแปลงทางเฟสเป็นเชิงเส้นกับความถี่แล้ว เงื่อนไขที่สองจึงเป็นจริง ดังนั้นฟังก์ชันถ่ายโอนของการส่งสัญญาณควรจะมีคุณลักษณะดังต่อไปนี้ คือมีขนาดเป็น

$$\left|\mathbf{H}(j\omega)\right| = 1 \tag{2.40}$$

และมีเฟสเป็น

$$\angle\mathbf{H}(j\omega) = -\omega\tau \tag{2.41}$$

เมื่อ τ เป็นค่าคงที่ทางเวลา ดังนั้นทำการแปลงลาปลาสสมการข้างบนได้ผลลัพธ์ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mathbf{H}(s) = e^{-s\tau} \tag{2.42}$$

อย่างไรก็ตามในการรับ-ส่งสัญญาณนั้น สัญญาณมักจะผิดเพี้ยนไปด้วยเหตุผลต่าง ๆ เช่น ถูกรบกวนด้วยสัญญาณอื่น เกิดสัญญาณรบกวน (Noise) และอื่น ๆ ดังนั้นสัญญาณที่ผิดเพี้ยนไปก่อนจะถึงผู้รับจึงต้องมีการแก้ไขหรือผ่านกระบวนการเพื่อให้ได้สัญญาณที่เหมือนกับต้นทาง ซึ่งสามารถทำได้โดยการใช้วงจรกรองความถี่หรือวงจรปรับระดับสัญญาณนั่นเอง

การแยกประเภทของวงจรกรองความถี่สามารถแยกได้โดยผลตอบสนองทางความถี่ แบ่งเป็นความถี่ต่ำผ่าน ความถี่สูงผ่าน แถบความถี่ผ่าน และแถบความถี่หยุด ชนิดของวงจรกรองความถี่พื้นฐานที่จำแนกด้วยผลตอบสนองทางความถี่ มีดังนี้

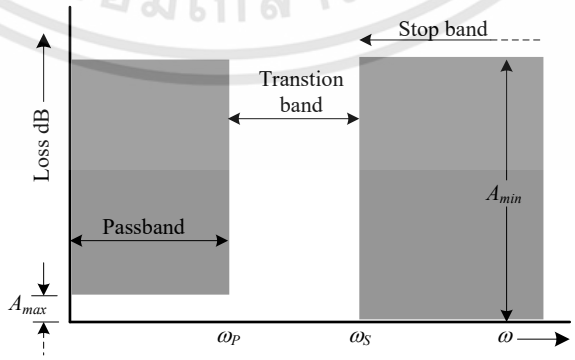
2.4.1 วงจรกรองความถี่ต่ำผ่าน หน้าที่ของการกรองความถี่ต่ำผ่านคือ ส่งผ่านสัญญาณแรงดันไฟฟ้าตั้งแต่ย่านกระแสตรง (DC) ขึ้นไปจนถึงสัญญาณความถี่ตัด (Cut-Off, ω_p) แถบของความถี่จากแรงดันไฟฟ้ากระแสตรงไปจนถึงความถี่ตัดนี้เรียกว่า แถบความถี่ผ่าน (Passband) ซึ่งขอบของแถบความถี่ผ่านจะลดทอนสูงสุดเท่ากับ $A_{\max}$ dB และ ω_s คือแถบความถี่ที่ถูกกำจัด ที่แถบความถี่จาก ω_s ไปจนถึงอนันต์ จะเรียกแถบความถี่นี้ว่าแถบความถี่หยุด (Stopband) ความถี่ที่สูงกว่า ω_s จะถูกกำหนดให้มีการลดทอนอย่างน้อยเท่ากับ $A_{\min}$ dB ส่วนความถี่ตั้งแต่ ω_p ถึง ω_s เรียกว่าแถบความถี่ส่งผ่าน (Transition band) ดังแสดงในรูปที่ 2.14

หากพิจารณาฟังก์ชันถ่ายโอนจากอัตราขยายของวงจรกรองความถี่ต่ำผ่านอันดับสอง จะได้ว่า

$$Gain = \frac{V_o}{V_{in}} = \frac{b}{s^2 + as + b} = \frac{\omega_p^2}{s^2 + \frac{\omega_p}{Q_p}s + \omega_p^2} \tag{2.43}$$

และเมื่อเขียนสมการในรูปของ อัตราการลดทอน จะได้

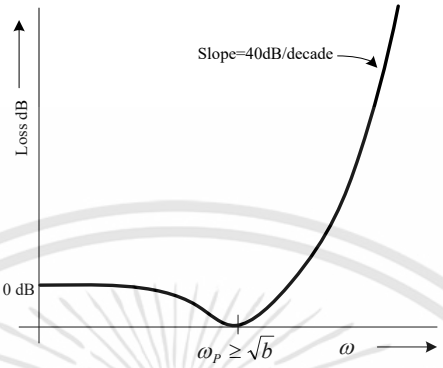
$$Loss = \frac{V_{in}}{V_o} = \frac{s^2 + as + b}{b} \tag{2.44}$$



รูปที่ 2.14 คุณสมบัติของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

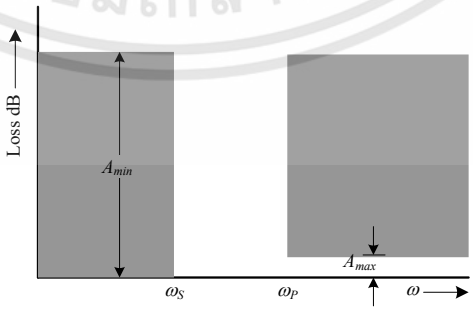
โดยส่วนใหญ่เราจะพิจารณากันที่ค่าลดทอนในสมการที่ (2.44) มากกว่าค่าอัตราขยาย ซึ่งสามารถแสดงเป็นกราฟได้ดังรูปที่ 2.15 จะเห็นว่าที่ความถี่ต่ำการลดทอนจะมีค่าประมาณ 1 หรือเท่ากับ 0 dB และที่ความถี่สูงการลดทอนจะเพิ่มขึ้นจนมีค่าประมาณ s^2 หรือเท่ากับ 40 dB/decade



รูปที่ 2.15 คุณสมบัติการลดทอนของวงจรกรองความถี่ต่ำผ่านอันดับสอง

2.4.2 วงจรกรองความถี่สูงผ่าน หน้าที่ของการกรองความถี่สูงผ่านคือ ส่งผ่านสัญญาณแรงดันไฟฟ้าตั้งแต่ความถี่ตัด (Cut-Off, ω_p) ไปจนถึงอนันต์ แถบของความถี่นับจากความถี่ตัดไปจนถึงอนันต์นี้เรียกว่า แถบความถี่ผ่าน (Passband) ซึ่งขอบของแถบความถี่ผ่านจะลดทอนสูงสุดเท่ากับ $A_{\max}$ dB และ ω_s คือแถบความถี่ที่ถูกกำจัด ที่แถบความถี่จากศูนย์ไปจนถึง ω_s นั้นจะเรียกแถบความถี่นี้ว่าแถบความถี่หยุด (Stopband) ความถี่ที่ต่ำกว่า ω_s จะถูกกำหนดให้มีการลดทอนอย่างน้อยเท่ากับ $A_{\min}$ dB ส่วนความถี่ตั้งแต่ ω_s ถึง ω_p เรียกว่าแถบความถี่ส่งผ่าน (Transition band) ดังแสดงในรูปที่ 2.16

พิจารณาวงจรกรองความถี่สูงผ่านอันดับสอง ซึ่งจะยอมให้สัญญาณความถี่ที่มีค่าสูงกว่าค่าความถี่ตัดผ่านได้ ดังแสดงไว้ในรูปที่ 2.16 แถบความถี่ที่สัญญาณผ่านได้จะเริ่มจาก ω_p ไปจนถึง ∞ และแถบที่สัญญาณผ่านไม่ได้จะเริ่มตั้งแต่ความถี่ DC ไปจนถึง ω_s ซึ่งมีลักษณะกลับกันกับวงจรกรองความถี่ต่ำผ่าน สมการในรูปของวงจรกรองความถี่สูงผ่านอันดับสองจะเป็นดังนี้

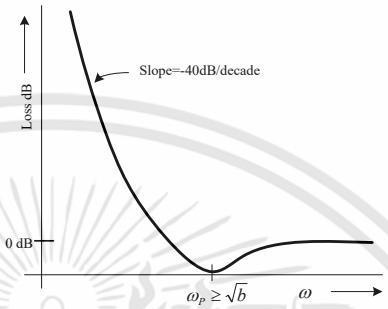


รูปที่ 2.16 คุณสมบัติของวงจรกรองความถี่สูงผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_o}{V_{in}} = \frac{s^2}{s^2 + as + b} = \frac{s^2}{s^2 + \frac{\omega_p}{Q_p}s + \omega_p^2} \tag{2.45}$$

จากสมการที่ (2.45) สามารถวาดกราฟฟังก์ชั่นการลดทอนได้ดังรูปที่ 2.17 โดยจะเห็นได้ว่าเมื่อที่ความถี่สูง ค่าลดทอนจะเข้าใกล้ 0 dB และที่ความถี่ต่ำค่าลดทอนจะเพิ่มขึ้นด้วยอัตรา 40 dB/decade

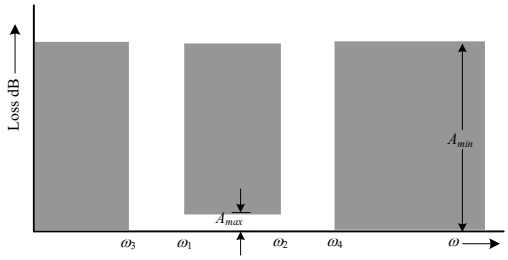


รูปที่ 2.17 คุณสมบัติการลดทอนของวงจรกรองความถี่สูงผ่านอันดับสอง

2.4.3 วงจรกรองแถบความถี่ผ่าน เป็นวงจรกรองที่มีคุณสมบัติ คือ ที่แถบความถี่ผ่าน (Passband) จะมีค่าการลดทอนที่ต่ำมาก ขณะเดียวกันที่แถบความถี่ข้างเคียงทั้งสองด้าน จะเป็นช่วงที่ไม่ให้สัญญาณผ่านในแถบความถี่นี้ดังรูปที่ 2.18 แถบความถี่ผ่านจะเริ่มจาก ω_1 ไปจนถึง ω_2 จะมีค่าการลดทอนสูงสุดเท่ากับ $A_{\max}$ (dB) ส่วนแถบความถี่หยุดทั้งสองด้านจะเริ่มจากความถี่ DC ไปจนถึง ω_3 และ ω_4 ไปจนถึง ∞ จะมีค่าการลดทอนเท่ากับ $A_{\min}$ (dB) โดยสมการถ่ายโอนของวงจรกรองแถบความถี่ผ่านอันดับสองมีค่าเท่ากับ

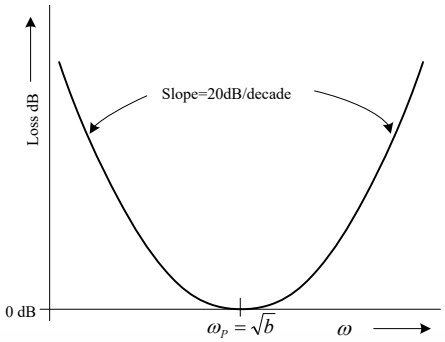
$$\frac{V_o}{V_{in}} = \frac{as}{s^2 + as + b} = \frac{\frac{\omega_p}{Q_p}s}{s^2 + \frac{\omega_p}{Q_p}s + \omega_p^2} \tag{2.46}$$

จากสมการที่ (2.46) ที่ความถี่ต่ำและความถี่สูง การลดทอนจะมีค่าลดลงเท่ากับ *s* หรือเท่ากับ 20 dB/decade และที่ความถี่โพล $\omega_p = \sqrt{b}$ จะมีค่าการลดทอนเท่ากับ 0 dB แสดงได้ดังรูปที่ 2.19



รูปที่ 2.18 คุณสมบัติของวงจรกรองแถบความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



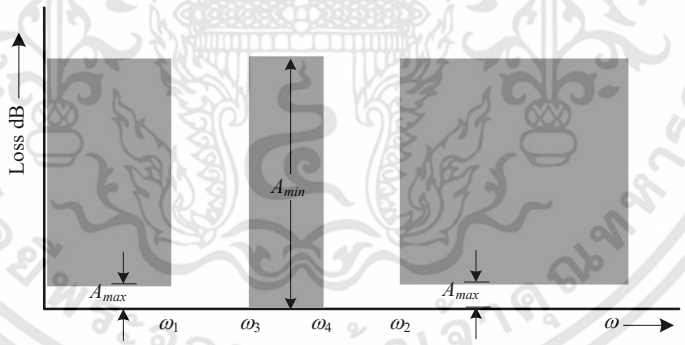
รูปที่ 2.19 คุณสมบัติการลดทอนของวงจรกรองแถบความถี่ผ่านอันดับสอง

2.4.4 วงจรกรองแถบความถี่หยุด ใช้สำหรับกรองสัญญาณแถบความถี่ที่ไม่ต้องการออกไป โดยมีคุณสมบัติดังรูปที่ 2.20 โดยแถบความถี่หยุดจะอยู่ที่ ω_3 ถึง ω_4 โดยที่แถบความถี่ผ่าน จะอยู่ต่ำกว่า ω_1 และ มากกว่า ω_2

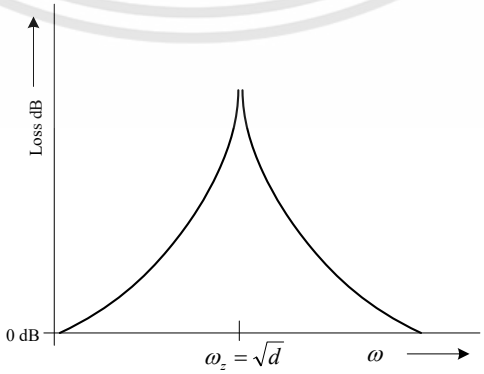
สมการถ่ายโอนของวงจรกรองแถบความถี่หยุดสามารถเขียนได้เป็น

$$\frac{V_o}{V_{in}} = \frac{s^2 + d}{s^2 + as + b} = \frac{s^2 + \omega_z^2}{s^2 + \frac{\omega_p}{Q_p}s + \omega_p^2} \tag{2.47}$$

โดยที่ $\omega_z = \omega_p$ ในสมการที่ (2.47) ค่าการลดทอนของตัวกรองความถี่ที่ความถี่ต่ำ และความถี่สูงจะมีค่าประมาณ 0 dB และ การลดทอนที่ความถี่ซีโร่ ($s = j\omega_z$) จะมีค่าเป็น ∞ ดังรูปที่ 2.21



รูปที่ 2.20 คุณสมบัติของวงจรกรองแถบความถี่หยุด

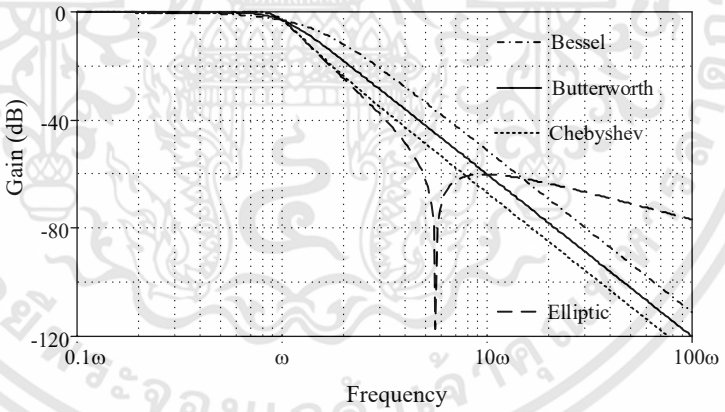


รูปที่ 2.21 คุณสมบัติการลดทอนของวงจรกรองแถบความถี่หยุดอันดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งนี้จะเห็นได้ว่า วงจรกรองความถี่อันดับสองนั้นมีช่วงของ transition band ค่อนข้างกว้าง หรือกล่าวอีกนัยหนึ่งก็คือความชันในช่วงของ transition band ต่ำ ซึ่งส่งผลให้สมรรถนะของวงจรในการกรองสัญญาณแอนะล็อกต่ำไปด้วยโดยเฉพาะในด้านของความแตกต่างระหว่างเฟสทางด้านอินพุตและเอาท์พุต ดังนั้นเพื่อให้วงจรกรองความถี่มีสมรรถนะที่ดีต่อการนำไปใช้ในการประมวลสัญญาณแอนะล็อก จึงต้องอาศัยวงจรกรองความถี่อันดับสูงเข้ามาใช้ในระบบดังกล่าว ซึ่งอาจจะใช้เทคนิคการต่อวงจรแบบคาสเคดก็ได้ แต่ไม่เป็นที่นิยมเนื่องจากวงจรจะสูญเสียคุณสมบัติด้านความไวต่ำ ซึ่งเป็นสิ่งสำคัญในคุณสมบัติของวงจรกรองความถี่ที่ถูกนำมาใช้ในการประมวลสัญญาณแอนะล็อก ดังนั้นเทคนิควิธีการสร้างวงจรกรองอันดับสูงที่นิยมใช้กันอย่างแพร่หลายคือ วิธีการประมาณค่าวงจรกรองความถี่โดยใช้ฟังก์ชันการลดทอนหรือฟังก์ชันการส่งผ่าน ซึ่งวัตถุประสงค์หลักคือการออกแบบให้ใช้จำนวนอุปกรณ์พาสซีฟหรือแอคทีฟน้อยที่สุด หลักการของการประมาณค่าจะมีอยู่ด้วยกันหลายวิธี เช่น บัตเตอร์เวิร์ท (Butterworth) เชบีเชฟ (Chebyshev) เบสเซล (Bessel) และ อิลิปติก (Elliptic) เป็นต้น ซึ่งในที่นี้จะขอกล่าวรายละเอียดเฉพาะวิธีเชบีเชฟ เท่านั้น

วิธีการประมาณค่าวงจรกรองความถี่โดยใช้ฟังก์ชันการส่งผ่านอาจเรียกอีกอย่างว่า วงจรกรองต้นแบบ ซึ่งมีอยู่หลายรูปแบบ แต่มีรูปแบบหลักที่นิยมใช้กันอยู่ 4 ชนิดตามที่กล่าวไว้ข้างต้น ซึ่งมีผลตอบสนองความถี่เป็นไปดังรูปที่ 2.22 ซึ่งจะเห็นได้ว่าทั้งลักษณะของผลตอบสนองทางขนาดในแถบผ่านและความชันในช่วง transition band ก็จะมีความแตกต่างกัน



รูปที่ 2.22 ผลตอบสนองความถี่ของวงจรกรองความถี่ต้นแบบทั้ง 4 ที่อันดับเดียวกันคือ อันดับ 3

ในที่นี้จะนำเสนอเฉพาะวงจรกรองความถี่ต่ำผ่านต้นแบบชนิดเชบีเชฟ ทั้งนี้เพราะเป็นชนิดที่ให้ความชันในช่วง transition band ค่อนข้างสูง และถึงแม้จะมีการกระเพื่อมของผลตอบสนองทางขนาดในแถบความถี่ผ่านก็ตาม แต่ก็ยังสามารถที่จะออกแบบให้การกระเพื่อมนั้นมีขนาดต่ำ ๆ ได้

2.4.5 การประมาณค่าแบบเชบีเชฟ (Chebyshev Approximation) จะเกิดการกระเพื่อม (ripple) ในช่วงแถบความถี่ผ่าน ซึ่งเกิดจากการเปลี่ยนแปลงเงื่อนไขในการประมาณค่าในช่วงแถบความถี่ผ่าน ลักษณะเด่นที่สำคัญคือ มีการลดทอนของสัญญาณในช่วงความถี่ที่ไม่ต้องการสูงมาก เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทียบกับการประมาณค่าแบบบัตเตอร์เวิร์ทที่มีอันดับเท่ากัน โดยที่มีผลตอบสนองทางขนาดหรืออัตราขยายของระบบคือ

$$\left|T_n(j\omega)\right|^2 = \frac{1}{\left[1+\varepsilon^2 C_n{}^2(\omega)\right]} \tag{2.48}$$

โดยที่ $C_n(\Omega)$ คือเชบีเชฟโพลิโนเมียล

n คืออันดับของฟังก์ชันเชบีเชฟ

ซึ่ง $C_n(\Omega)$ สามารถนิยามได้ด้วยสมการ

$$C_n(\Omega) = \cos(n\cos^{-1}\Omega) \quad \text{สำหรับ} \quad |\Omega| \le 1 \tag{2.49}$$

$$= \cosh(n\cosh^{-1}\Omega) \quad \text{สำหรับ} \quad |\Omega| > 1 \tag{2.50}$$

เมื่อ Ω เป็นความถี่นอร์มอลไลซ์ ดังนี้คือ

$$\Omega = \frac{\omega}{\omega_P}$$

พิจารณากรณี $\Omega \le 1$

$$C_n(\Omega) = \cos(n\cdot\cos^{-1}\Omega)$$

จากสมการข้างบนนี้ถ้า $x = \cos^{-1}\Omega$ ดังนั้น $C_n(\Omega) = \cos nx$

$$C_0(\Omega) = \cos(0\cdot\cos^{-1}\Omega) = 1$$

$$C_1(\Omega) = \cos(1\cdot\cos^{-1}\Omega) = \cos x = \Omega$$

$$C_2(\Omega) = \cos(2\cdot\cos^{-1}\Omega) = \cos(2x) = 2\Omega^2 - 1$$

$$C_3(\Omega) = \cos(3\cdot\cos^{-1}\Omega) = \cos(3x) = -3\cos x + 4\cos^3 x = -3\Omega + 4\Omega^3$$

$$C_4(\Omega) = \cos(4\cdot\cos^{-1}\Omega) = \cos(4x) = 1 - 8\cos^2 x + 8\cos^4 x = 1 - 8\Omega^2 + 8\Omega^4$$

ฟังก์ชันเชบีเชฟ อาจเขียนอยู่ในรูปแบบวนซ้ำ (Recursive) ดังนี้

$$\cos\left[(n+1)x\right] = 2\cos(nx)\cos(x) - \cos\left[(n-1)x\right] \tag{2.51}$$

จากเอกลักษณ์ทางตรีโกณ $\cos(A+B) + \cos(A-B) = 2\cos A\cos B$ หรือก็คือ

$$C_{n+1}(\Omega) = 2\Omega C_n(\Omega) - C_{n-1}(\Omega) \tag{2.52}$$

โดยที่ $C_0(\Omega) = 1$ และ $C_1(\Omega) = \Omega$

ดังนั้นในการพิจารณาฟังก์ชันโพลิโนเมียลของเชบีเชฟ ก็จะขึ้นอยู่กับอัตราส่วนการลดทอน (Power Loss Ratio) ดังนี้คือ

$$PLR = 1 + \varepsilon^2 C_n^2\left(\frac{\omega}{\omega_C}\right) \tag{2.53}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ C_n คือเชบีเชฟโพลิโนเมียลอันดับ n, ω_C คือความถี่คัตออฟ, โดยที่ PLR จะกระเพื่อมอยู่ระหว่าง 1 กับ $1+\varepsilon^2$ ดังนั้นจำนวนอันดับของวงจรกรองหาได้จาก

$$n > \frac{\cosh^{-1}\sqrt{\left(10^{A/10}-1\right)/\left(10^{Lar/10}-1\right)}}{\cosh^{-1}\left(\frac{\omega_l}{\omega_C}\right)} \tag{2.54}$$

เมื่อ A คือค่าการลดทอนในหน่วย dB ที่ความถี่แถบหยุด $\omega_l > \omega_C$ ซึ่งสามารถคำนวณค่าของอุปกรณ์ในวงจรต้นแบบได้จากสมการต่อไปนี้

$$g_0 = 1;\ g_1 = \frac{2a_1}{\gamma};\ g_k = \frac{4a_{i-1}a_i}{b_{i-1}g_{i-1}} \tag{2.55}$$

$$g_{n+1} = \begin{cases} 1 & for\ n\ odd \\ \coth^2\left(\frac{\beta}{4}\right) & for\ n\ even \end{cases} \tag{2.56}$$

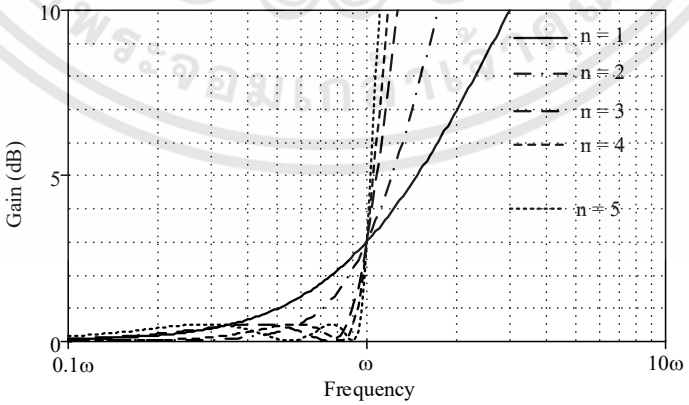
เมื่อ $\beta = \ln\left(\coth\frac{L_{ar}}{17.34}\right)$; $\gamma = \sinh\left(\frac{\beta}{2n}\right)$

$$a_i = \sin\left[\frac{(2i-1)\pi}{2n}\right];\ i = 1, 2, ..., n$$

$$b_i = \gamma^2 + \sin^2\left[\frac{i\pi}{n}\right];\ i = 1, 2, ..., n$$

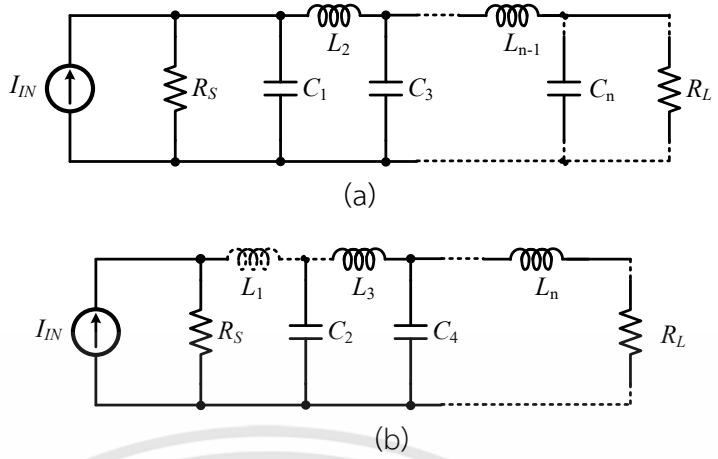
โดยที่ n คืออันดับของวงจรกรอง และ L_{ar} คือ ค่าริปเปิลในแถบผ่านสูงสุด หน่วยเป็น dB ซึ่งสามารถพล็อตเป็นกราฟของฟังก์ชันการลดทอนเชบีเชฟ PLR เมื่อกำหนดการกระเพื่อมไม่เกิน 0.5 dB และให้อันดับของวงจรเป็น n = 1-5 ดังแสดงในรูปที่ 2.23

ทั้งนี้จะทำให้ได้ต้นแบบวงจรกรองความถี่เป็นไปตามรูปที่ 2.24(a) หรือ 2.24(b) และตัวอย่างค่าของอุปกรณ์เป็นไปตามตารางที่ 2.1



รูปที่ 2.23 กราฟฟังก์ชันเชบีเชฟอันดับ 1 ถึง 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 ต้นแบบวงจรกรองความถี่ต่ำผ่าน

ตารางที่ 2.1 ค่าอุปกรณ์มาตรฐานสำหรับต้นแบบวงจรกรองเชบีเชฟที่มีการกระเพื่อมไม่เกิน 0.01 dB

Prototype element:	g_1	g_2	g_3	g_4	g_5	g_6	g_7	g_8	g_9	g_{10}	g_{11}
Order : n	C_1	L_2	C_3	L_4	C_5	L_6	C_7	L_8	C_9	L_{10}	C_{11}
1	0.09661	1.00000									
2	0.44910	0.40796	1.10084								
3	0.62941	0.97047	0.62941	1.00000							
4	0.71309	1.20050	1.32156	0.64777	1.10084						
5	0.75655	1.30504	1.57755	1.30504	0.75655	1.00000					
6	0.78157	1.36011	1.68989	1.53509	1.49727	0.70997	1.10084				
7	0.79716	1.39251	1.74833	1.63316	1.74833	1.39251	0.79716	1.00000			
8	0.80749	1.41317	1.78263	1.68335	1.85311	1.61933	1.55568	0.73352	1.10084		
9	0.81467	1.42714	1.80454	1.71254	1.90595	1.71254	1.80454	1.42714	0.81467	1.00000	
10	0.81986	1.43703	1.81944	1.73111	1.93638	1.75900	1.90568	1.65277	1.58195	0.74476	1.10084
	L_1	C_2	L_3	C_4	L_5	C_6	L_7	C_8	L_9	C_{10}	L_{11}

ซึ่งในการออกแบบวงจรกรองอันดับสูงนั้น หลังจากเลือกอันดับของวงจรกรองและวงจรต้นแบบแล้ว ก็จะทำการแปลงให้เป็นชนิดของวงจรกรองตามที่ต้องการด้วยการเปลี่ยนตัวอุปกรณ์ต้นแบบและใช้หลักการสเกลทางขนาดและสเกลทางความถี่กับวงจรที่ได้ก็จะได้ชนิดของวงจรกรองอันดับสูงตามที่ต้องการ โดยวิธีการแปลงเป็นชนิดวงจรกรองที่ต้องการจะดำเนินการดังต่อไปนี้

วงจรกรองความถี่ต่ำผ่านอันดับสูง หลังจากกำหนดอันดับของวงจรและการกระเพื่อมสูงสุดแล้ว ก็ทำการเลือกตารางค่าอุปกรณ์มาตรฐานที่สอดคล้องกับเงื่อนไข จากนั้นทำการใส่ค่าลงไปในวงจรกรองต้นแบบตามรูปที่ 2.24(a) หรือ 2.24(b) แล้วจึงทำการสเกลทางขนาดและความถี่ด้วยเงื่อนไขต่อไปนี้คือ

$$L = \frac{L^{'}R}{\omega_c}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C = \frac{C'}{\omega_c R}$$

เมื่อ L' เป็นค่าความเหนี่ยวนำมาตรฐานที่ได้จากสมการที่ (2.55), (2.56) หรือจากตารางค่ามาตรฐาน

C' เป็นค่าความจุไฟฟ้ามาตรฐานที่ได้จากสมการที่ (2.55), (2.56) หรือจากตารางค่ามาตรฐาน

R เป็นอิมพีแดนซ์ของแหล่งจ่ายหรือของโหลด

วงจรกรองความถี่สูงผ่านอันดับสูง ทำการเลือกวงจรกรองความถี่ต่ำผ่านต้นแบบดังหัวข้อที่ผ่านมา หลังจากนั้นดำเนินการตามขั้นตอนต่อไปนี้คือ

1. เปลี่ยนตัวเก็บประจุให้เป็นตัวเหนี่ยวนำ
2. เปลี่ยนตัวเหนี่ยวนำให้เป็นตัวเก็บประจุ
3. จากนั้นจึงทำ Magnitude และ Frequency scaling ให้เป็นค่าอุปกรณ์จริง ซึ่งก็คือ

$$L = \frac{R}{\omega_c C'}$$

$$C = \frac{1}{\omega_c L' R}$$

เมื่อ L' เป็นค่าความเหนี่ยวนำมาตรฐานที่ได้จากสมการที่ (2.55), (2.56) หรือจากตารางค่ามาตรฐาน

C' เป็นค่าความจุไฟฟ้ามาตรฐานที่ได้จากสมการที่ (2.55), (2.56) หรือจากตารางค่ามาตรฐาน

R เป็นอิมพีแดนซ์ของแหล่งจ่ายหรือของโหลด

วงจรกรองแถบความถี่ผ่านอันดับสูง ทำการเลือกวงจรกรองความถี่ต่ำผ่านต้นแบบดังหัวข้อที่ผ่านมา หลังจากนั้นดำเนินการตามขั้นตอนต่อไปนี้ คือ

อุปกรณ์ในวงจรต้นแบบวงจรกรองความถี่ต่ำผ่านจะต้องถูกแทนที่ด้วยอุปกรณ์ดังต่อไปนี้

1. แขนของอุปกรณ์อนุกรม (L) ต้องถูกแทนที่ด้วยวงจรเรโซแนนซ์แบบอนุกรม (C_{series} ต่ออนุกรมกับ L_{series}) และ
2. แขนของอุปกรณ์ขนาน (C) ต้องถูกแทนที่ด้วยวงจรเรโซแนนซ์แบบขนาน (C_{shunt} ต่อขนานกับ L_{shunt})

โดยที่ค่าของอุปกรณ์ที่แปลงนั้นจะเป็นไปตามเงื่อนไขดังต่อไปนี้ คือ

การแปลงค่าอุปกรณ์

$$C_{series} = \frac{f_2 - f_1}{2\pi f_1 f_2 R X}$$

$$L_{series} = \frac{R X}{2\pi (f_2 - f_1)}$$

$$C_{shunt} = \frac{X}{2\pi (f_2 - f_1) R}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_{shunt} = \frac{(f_2 - f_1)R}{2\pi f_1 f_2 X}$$

เมื่อ

X คือค่าของอุปกรณ์ที่ได้มาจากตารางต้นแบบ

f_1 คือความถี่ตัดที่ความถี่ต่ำกว่าความถี่กลาง (Lower cut-off frequency)

f_2 คือความถี่ตัดที่ความถี่สูงกว่าความถี่กลาง (Upper cut-off frequency)

R คืออิมพีแดนซ์ของวงจร

Series หมายถึงตำแหน่งแขนของอุปกรณ์ในวงจรต้นแบบว่าเป็นแบบอนุกรม

Shunt หมายถึงตำแหน่งแขนของอุปกรณ์ในวงจรต้นแบบว่าเป็นแบบขนาน

หรือจะใช้ชุดสมการต่อไปนี้ก็ได้คำตอบเหมือนกัน

$$C_{series} = \frac{\Delta\omega}{\omega_0^2 R L'}$$

$$L_{series} = \frac{R L'}{\Delta\omega}$$

$$C_{shunt} = \frac{C'}{\Delta\omega R}$$

$$L_{shunt} = \frac{\Delta\omega R}{\omega_0^2 C'}$$

เมื่อ

L', C' คือค่าของอุปกรณ์ที่ได้มาจากตารางต้นแบบ

$\Delta\omega = \omega_2 - \omega_1 = 2\pi(f_2 - f_1)$ คือความกว้างแถบผ่าน 3dB (3dB Bandwidth)

f_1 คือความถี่ตัดที่ความถี่ต่ำกว่าความถี่กลาง (Lower cut-off frequency)

f_2 คือความถี่ตัดที่ความถี่สูงกว่าความถี่กลาง (Upper cut-off frequency)

$\omega_0 = \sqrt{\omega_1 \omega_2}$ คือความถี่กลาง (Centre frequency) ของวงจรกรองความถี่

R คืออิมพีแดนซ์ของวงจร

Series หมายถึงตำแหน่งแขนของอุปกรณ์ในวงจรต้นแบบว่าเป็นแบบอนุกรม

Shunt หมายถึงตำแหน่งแขนของอุปกรณ์ในวงจรต้นแบบว่าเป็นแบบขนาน

วงจรกรองแถบความถี่หยุดอันดับสูง ทำการเลือกวงจรกรองความถี่ต่ำผ่านต้นแบบดังหัวข้อที่ผ่านมา หลังจากนั้นดำเนินการตามขั้นตอนต่อไปนี้ คือ

อุปกรณ์ในวงจรต้นแบบวงจรกรองความถี่ต่ำผ่านจะต้องถูกแทนที่ด้วยอุปกรณ์ดังต่อไปนี้

1. แขนของอุปกรณ์อนุกรม (L) ต้องถูกแทนที่ด้วยวงจรเรโซแนนซ์แบบขนาน (C_{series} ต่อขนานกับ L_{series}) และ
2. แขนของอุปกรณ์ขนาน (C) ต้องถูกแทนที่ด้วยวงจรเรโซแนนซ์แบบอนุกรม (C_{shunt} ต่ออนุกรมกับ L_{shunt})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ค่าของอุปกรณ์ที่แปลงนั้นจะเป็นไปตามเงื่อนไขดังต่อไปนี้ คือ

การแปลงค่าอุปกรณ์

$$C_{series} = \frac{1}{2\pi (f_2 - f_1) R\, X}$$

$$L_{series} = \frac{(f_2 - f_1) R\, X}{2\pi\, f_1\, f_2}$$

$$C_{shunt} = \frac{(f_2 - f_1) X}{2\pi\, f_1 f_2\, R}$$

$$L_{shunt} = \frac{R}{2\pi (f_2 - f_1) X}$$

เมื่อ

X คือค่าของอุปกรณ์ที่ได้มาจากตารางต้นแบบ

f_1 คือความถี่ตัดที่ความถี่ต่ำกว่าความถี่กลาง (Lower cut-off frequency)

f_2 คือความถี่ตัดที่ความถี่สูงกว่าความถี่กลาง (Upper cut-off frequency)

R คืออิมพีแดนซ์ของวงจร

Series หมายถึงตำแหน่งแขนของอุปกรณ์ในวงจรต้นแบบว่าเป็นแบบอนุกรม

Shunt หมายถึงตำแหน่งแขนของอุปกรณ์ในวงจรต้นแบบว่าเป็นแบบขนาน

หรือจะใช้ชุดสมการต่อไปนี้ก็ได้คำตอบเหมือนกัน

$$C_{series} = \frac{1}{\Delta\omega\, R\, L'}$$

$$L_{series} = \frac{\Delta\omega\, R\, L'}{\omega_0^2}$$

$$C_{shunt} = \frac{\Delta\omega\, C'}{\omega_0^2\, R}$$

$$L_{shunt} = \frac{R}{\Delta\omega\, C'}$$

เมื่อ

L', C' คือค่าของอุปกรณ์ที่ได้มาจากตารางต้นแบบ

$\Delta\omega = \omega_2 - \omega_1 = 2\pi(f_2 - f_1)$ คือความกว้างแถบหยุด 3dB (3dB Bandwidth)

f_1 คือความถี่ตัดที่ความถี่ต่ำกว่าความถี่กลาง (Lower cut-off frequency)

f_2 คือความถี่ตัดที่ความถี่สูงกว่าความถี่กลาง (Upper cut-off frequency)

$\omega_0 = \sqrt{\omega_1 \omega_2}$ คือความถี่กลาง (Centre frequency) ของวงจรหยุดแถบความถี่

R คืออิมพีแดนซ์ของวงจร

Series หมายถึงตำแหน่งแขนของอุปกรณ์ในวงจรต้นแบบว่าเป็นแบบอนุกรม

Shunt หมายถึงตำแหน่งแขนของอุปกรณ์ในวงจรต้นแบบว่าเป็นแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ความเพี้ยนที่เกิดจากการมอดูเลตสัญญาณระหว่างกัน (Intermodulation distortion)

โดยทั่วไปการวิเคราะห์ความเพี้ยนในการทำงานของวงจรกรองความถี่อันเนื่องจากคุณสมบัติความไม่เป็นเชิงเส้นของวงจรนั้น มักใช้หลักการหรือวิธีการของ Third Harmonics Distortion (THD) ซึ่งเป็นการวิเคราะห์ความเพี้ยนจากสัญญาณฮาร์โมนิกส์ที่สาม ที่ผ่านวงจรกรองออกไปยังเอาท์พุต ดังนั้นจะเห็นได้ว่าในบางครั้งความถี่ฮาร์โมนิกส์ที่สามของสัญญาณอินพุตของวงจรกรอง อาจจะเป็นความถี่ที่ไม่อยู่ในแถบความถี่ผ่านของวงจรกรอง จึงทำให้ไม่สามารถวิเคราะห์ความเพี้ยนดังกล่าวได้ โดยเฉพาะอย่างยิ่งในกรณีของวงจรกรองแถบความถี่ผ่าน จะเห็นปัญหานี้ได้ชัดเจนที่สุด จึงต้องหาวิธีการอื่นเข้ามาช่วยในการวิเคราะห์ความไม่เป็นเชิงเส้นของวงจร

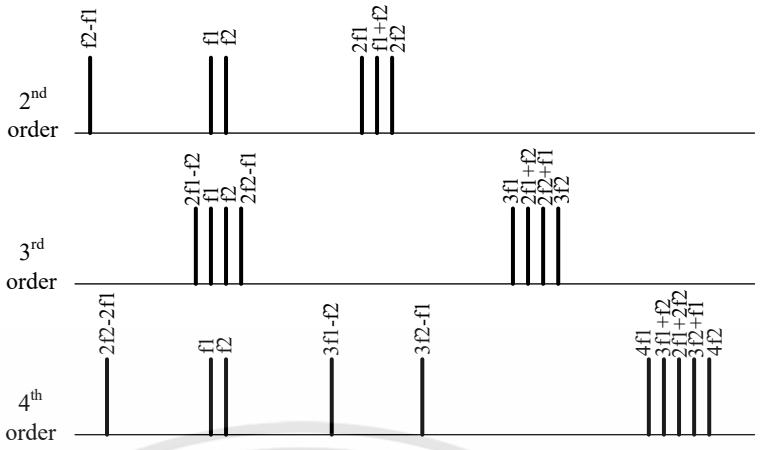
ความเพี้ยนที่เกิดจากการมอดูเลตระหว่างกัน [27-28] คือผลของสัญญาณอินพุต 2 ความถี่หรือมากกว่า เมื่อผ่านเข้าไปยังอุปกรณ์หรือวงจรที่มีความไม่เป็นเชิงเส้นแล้วทำให้มีสัญญาณที่ไม่ต้องการเกิดขึ้นในระบบ สัญญาณที่ไม่ต้องการนี้มักเกิดขึ้นในอุปกรณ์หรือวงจรอิเล็กทรอนิกส์ต่าง ๆ เช่น วงจรขยาย วงจรมิกซ์เซอร์ รวมไปถึงวงจรกรองความถี่ด้วย

ดังนั้นการตรวจสอบคุณสมบัติความเป็นเชิงเส้นของวงจรกรองความถี่ จึงสามารถใช้วิธีการวิเคราะห์ความเพี้ยนที่เกิดจากการมอดูเลตสัญญาณระหว่างกันได้ ทั้งนี้เนื่องจากว่าสัญญาณอินพุตของวงจรกรองนั้นมีได้หลากหลายความถี่ใช้งาน ซึ่งแน่นอนว่าสัญญาณเหล่านั้นย่อมถูกมอดูเลตเข้าด้วยกันเกิดเป็นอินพุตของวงจรกรองที่มีสัญญาณความถี่อันเกิดจากการมอดูเลตสัญญาณระหว่างกันเพิ่มเข้าไปด้วย หากวงจรกรองนั้นทำงานโดยมีความไม่เป็นเชิงเส้นด้วยแล้ว ก็จะส่งผลให้สัญญาณเอาท์พุตนั้นผิดเพี้ยนไปจากเดิมซึ่งหากสามารถแตกสเปกตรัมของสัญญาณเอาท์พุตนั้นได้ ก็จะพบว่าสัญญาณเอาท์พุตนั้นจะมีความถี่ฮาร์โมนิกส์อื่น ๆ ออกมาด้วย ซึ่งความถี่ฮาร์โมนิกส์ดังกล่าวนั้นส่งผลให้เกิดมีสเปกตรัมของความถี่ที่ไม่ต้องการออกไปยังเอาท์พุตของวงจรกรองนั่นเอง

สัญญาณอินพุต 2 ความถี่จะทำให้เกิดผลลัพธ์ของการมอดูเลตสัญญาณระหว่างกันในรูปของการบวกและการลบกันของตัวเลขจำนวนจริงที่คูณกับความถี่ดั้งเดิม ซึ่งสามารถเขียนเป็นสมการคณิตศาสตร์ได้ดังนี้ คือ $mf_1 \pm nf_2$ เมื่อ m และ n เป็นเลขจำนวนเต็ม

อันดับของผลลัพธ์การเกิดมอดูเลตสัญญาณระหว่างกันก็คือผลรวมของตัวเลขจำนวนเต็ม $m+n$ ดังแสดงในรูปที่ 2.25 ซึ่งจะเห็นได้ว่าองค์ประกอบอันดับคู่นั้นจะเกิดห่างจากความถี่ของสัญญาณดั้งเดิมมาก ในขณะที่องค์ประกอบอันดับคี่จะเกิดขึ้นใกล้ ๆ กับสัญญาณดั้งเดิมมาก สำหรับองค์ประกอบอันดับ 3 ของสัญญาณสองความถี่ที่เกิดการมอดูเลตสัญญาณระหว่างกันคือความถี่ $2f_1 - f_2$ และ $2f_2 - f_1$ นั้นนับว่าสำคัญมากทั้งนี้เนื่องจากว่าความเพี้ยนที่เกิดจากความถี่สองอันนี้สามารถเกิดขึ้นใกล้ ๆ กับความถี่ของสัญญาณที่ต้องการหรือความถี่ของสัญญาณที่เข้ามารบกวน ดังนั้นจึงเป็นการยากที่จะกรองความถี่ดังกล่าวนี้ทิ้งไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 แสดงอันดับต่าง ๆ ของผลลัพธ์การเกิดมอดูเลตสัญญาณระหว่างกัน

ยกตัวอย่างเช่น ถ้ามีสัญญาณสองความถี่อยู่ที่ f_1 เท่ากับ 90 MHz และ f_2 เท่ากับ 95 MHz ถูกป้อนเข้าไปที่วงจรขยาย อุปกรณ์ในวงจรที่มีความไม่เป็นเชิงเส้นจะทำให้เกิดผลลัพธ์การมอดูเลตสัญญาณระหว่างกันอันดับสามขึ้น นั่นคือเกิดที่ความถี่ 85 MHz [(2 x 90) - 95)] และ 100 MHz [(2 x 95) – 90] กับความถี่ที่อยู่ห่างออกไปอีกสองความถี่คือ 275 MHz [(2 x 90) + 95] และ 280 MHz [(2 x 95) + 90] และเกิดผลลัพธ์การมอดูเลตสัญญาณระหว่างกันอันดับสองขึ้น ที่ความถี่ 180 MHz [2 x 90] และ 190 MHz [2 x 95] กับความถี่ 5 MHz [95 – 90] และ 185 MHz [90 + 95] ฉะนั้นจะเห็นว่าความถี่ 85 MHz และ 100 MHz ซึ่งเป็นความถี่ที่เกิดจากการมอดูเลตระหว่างกันอันดับสามของความถี่ดั้งเดิมคือ 90 MHz กับ 95 MHz นั้นเป็นความถี่ที่อยู่ใกล้กันมาก

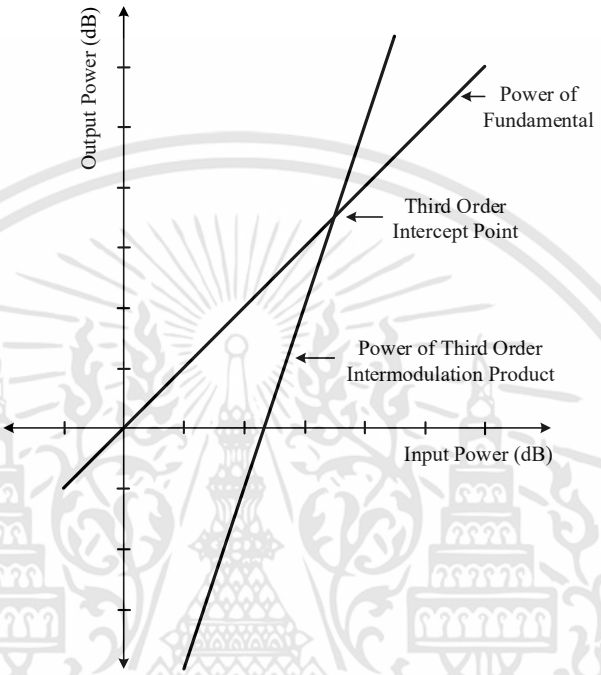
Third order intercept point (TOI)

หลักการของการหาจุดตัดอันดับสาม (Third order intercept point) ก็คือ การแสดงถึงสมรรถนะของอุปกรณ์ในด้านการทำให้เกิดความเพี้ยนอันเนื่องจากการมอดูเลตสัญญาณระหว่างกัน โดยจุดตัดดังกล่าวก็คือ จุดที่กำลังงานของความถี่สัญญาณที่เกิดจากการมอดูเลตระหว่างกัน (ในที่นี้คือองค์ประกอบอันดับสาม) มีค่าเท่ากับกำลังงานของความถี่มูลฐานสัญญาณเอาท์พุต ดังแสดงในรูปที่ 2.26 แต่ในทางปฏิบัตินั้นด้วยปัญหาการทำงานในย่านอิ่มตัวของวงจรขยาย (ซึ่งแน่นอนว่าในวงจรกรองความถี่แบบแอคทีฟ ก็จะมีบล็อกวงจรย่อยเป็นวงจรขยายอยู่ด้วยนั่นเอง) จึงทำให้จุดตัดดังกล่าวไม่เกิดขึ้นจริง ๆ จึงต้องอาศัยการลากเส้นขอบเขต (asymptote) แทนดังแสดงในรูปที่ 2.27

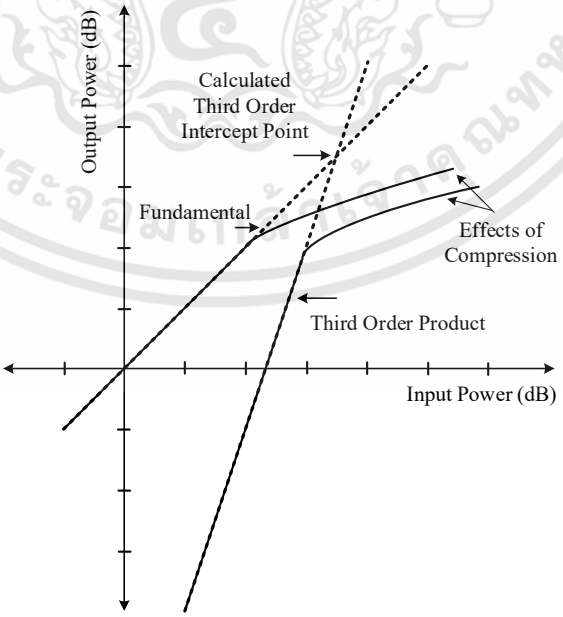
ซึ่งจะเห็นได้ว่าการวิเคราะห์ความเพี้ยนจากการทำงานอันเนื่องจากความไม่เป็นเชิงเส้นของอุปกรณ์ในวงจรกรองความถี่นั้น สามารถนำเอาวิธีการของความเพี้ยนอันดับที่สามที่เกิดจากการมอดูเลตระหว่างกันมาประยุกต์ใช้ได้ โดยเฉพาะอย่างยิ่งกับวงจรกรองแถบความถี่ผ่าน เพื่อพิจารณาถึงย่านพลวัต (Dynamic range) ของขนาดสัญญาณอินพุตที่สามารถป้อนให้กับวงจรกรองได้ ซึ่งโดยส่วนใหญ่แล้วขนาดของสัญญาณอินพุตสูงสุดที่สามารถป้อนให้กับวงจรกรองมักจะมีค่าไม่เกินกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไบอัสที่ใช้ แต่หากใช้วิธีการของการหาจุดตัดของความเพี้ยนอันดับที่สามที่เกิดจากการมอดูเลตระหว่างกันมาพิจารณาแล้ว ก็จะสามารถบอกได้ว่าขนาดของสัญญาณอินพุตสูงสุดที่สามารถป้อนให้กับวงจรกรองได้นั้น จะดูได้จากค่าของขนาดสัญญาณอินพุตที่ทำให้มีความแตกต่างของค่าขนาดสัญญาณเอาท์พุตที่ความถี่มูลฐาน (Fundamental) กับค่าขนาดสัญญาณเอาท์พุตที่ความถี่ที่เกิดจากการมอดูเลตระหว่างกัน (Third order product) ต้องมีค่าไม่ต่ำกว่า 20 dB



รูปที่ 2.26 หลักการของ Third order intercept point



รูปที่ 2.27 Third order intercept point ในทางปฏิบัติ

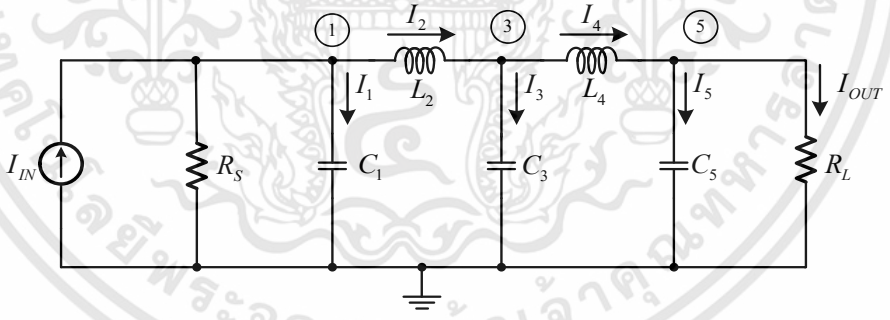
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การสังเคราะห์วงจรกรองความถี่ที่นำเสนอ

วิทยานิพนธ์ฉบับนี้ นำเสนอการสังเคราะห์และออกแบบวงจรกรองความถี่อันดับสูงรูปแบบเชบีเชฟทั้งชนิดกรองความถี่ต่ำผ่าน และกรองแถบความถี่ผ่าน โดยใช้หลักการการกรองในรูปแบบของล็อกโดเมน สำหรับในบทนี้จะกล่าวถึงรายละเอียดของการออกแบบวงจร รวมถึงการวิเคราะห์ผลกระทบในกรณีที่ทรานซิสเตอร์ที่ใช้ในวงจรเกิดความไม่แมตช์กันจากกระบวนการผลิตวงจรรวม

3.1 การสังเคราะห์วงจรกรองความถี่ต่ำผ่านแบบแอคทีฟโดยใช้วงจรต้นแบบขั้นบันได RLC

วงจรกรองแบบพาสซีฟชนิดขั้นบันได RLC ถูกเลือกมาใช้เป็นวงจรต้นแบบทั้งนี้เพราะเป็นวงจรที่มีคุณสมบัติเด่นในเรื่องของความไวต่ำและง่ายต่อการออกแบบเนื่องจากอุปกรณ์พาสซีฟในวงจรมีค่าที่ซ้ำกันบางส่วน จากนั้นทำการเลียนแบบวงจรพาสซีฟดังกล่าวโดยใช้เทคนิคของกราฟการไหลของสัญญาณ (SFG) ร่วมด้วยการสเกลทางความถี่สำหรับการสังเคราะห์เพื่อให้เป็นวงจรกรองแบบแอคทีฟ กระบวนการดังกล่าวเริ่มจากการวิเคราะห์วงจรกรองความถี่ต่ำผ่านต้นแบบเชบีเชพอันดับที่ห้า ดังแสดงในรูปที่ 3.1 ด้วยการเขียนสมการจากกฎกระแสของเคอร์ชอฟฟ์ (KCL) ที่โหนดแรงดัน 1, 2, และ 3 หรือ V_1, V_3 และ V_5 ตามลำดับ จะได้ชุดสมการความสัมพันธ์ระหว่างกระแสและแรงดันเป็นไปตามสมการที่ (3.1) - (3.9)



รูปที่ 3.1 วงจรกรองความถี่ต่ำผ่านอันดับห้าชนิดขั้นบันได RLC.[1]

$$V_1 = \left(I_{IN} - \frac{V_1}{R_S} - I_2 \right) \frac{1}{sC_1} \tag{3.1}$$

$$V_3 = \frac{I_3}{sC_3} \tag{3.2}$$

$$V_5 = \left(I_4 - \frac{V_5}{R_L} \right) \frac{1}{sC_5} \tag{3.3}$$

$$I_1 = I_{IN} - \frac{V_1}{R_S} - I_2 \tag{3.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_2 = \frac{V_1 - V_3}{sL_2} \tag{3.5}$$

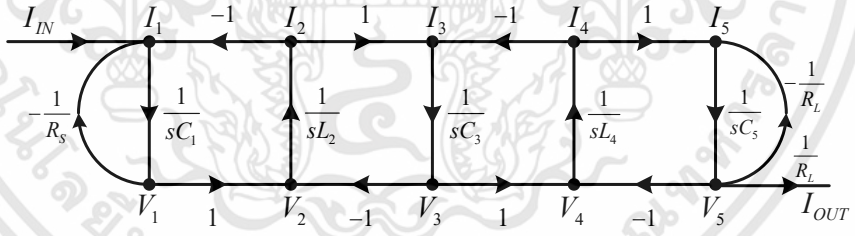
$$I_3 = I_2 - I_4 \tag{3.6}$$

$$I_4 = \frac{V_3 - V_5}{sL_4} \tag{3.7}$$

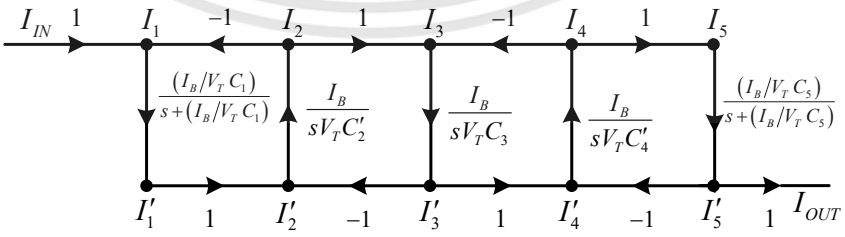
$$I_5 = I_4 - \frac{V_5}{R_L} \tag{3.8}$$

$$I_{OUT} = \frac{V_5}{R_L}. \tag{3.9}$$

เมื่อพิจารณาจากสมการที่ (3.1) - (3.9) จะพบว่าสามารถนำมาเขียนกราฟการไหลของสัญญาณที่เป็นความสัมพันธ์ระหว่างแรงดันกับกระแสได้ดังรูปที่ 3.2 และเพื่อให้วงจรกรองทำงานในโหมดกระแส ตัวแปรแรงดันจะต้องถูกเปลี่ยนเป็นตัวแปรกระแสด้วยการนำเอาความต้านทานอินทรินซิก (V_T/I_B) ไปใส่ในเส้นทางที่เหมาะสมโดยสมมติว่า $R_S = R_L = 1$ แต่เนื่องจากฟังก์ชันถ่ายโอนของบล็อกวงจรอินทิเกรเตอร์นั้นต้องการตัวเก็บประจุกับอุปกรณ์แอคทีฟเท่านั้น ดังนั้นตัวเหนี่ยวนำทุกตัว (L_i) ต้องถูกเปลี่ยนไปเป็นตัวเก็บประจุ (C_i'). จึงส่งผลให้กราฟการไหลของสัญญาณดังรูปที่ 3.2 สามารถแปลงเป็นกราฟการไหลของสัญญาณดังรูปที่ 3.3 ได้ ซึ่งสามารถเห็นได้อย่างชัดเจนว่าระบบหรือวงจรกรองความถี่ต่ำผ่านอันดับห้านี้ ประกอบด้วยอินทิเกรเตอร์ชนิดสูญเสียจำนวน 2 ตัว และอินทิเกรเตอร์ชนิดไม่สูญเสียจำนวน 3 ตัว



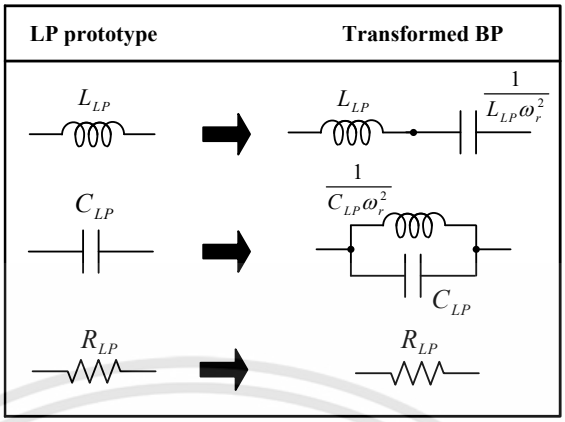
รูปที่ 3.2 กราฟการไหลของสัญญาณของวงจรกรองความถี่ต่ำผ่านอันดับห้า



รูปที่ 3.3 กราฟการไหลของสัญญาณของวงจรกรองความถี่ต่ำผ่านอันดับห้าที่ถูกแปลงไปเป็นโหมดกระแส

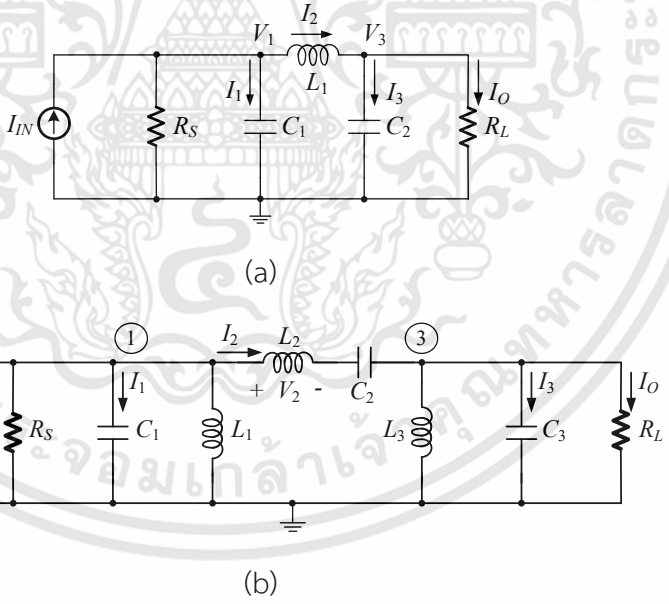
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 การแปลงระบบจาก LP ไปเป็น BP



3.2 การสังเคราะห์วงจรกรองแถบความถี่ผ่านโดยใช้วงจรต้นแบบขั้นบันได RLC

วงจรกรองแถบความถี่ผ่านต้นแบบชนิดเชบีเชพอันดับที่หกดังแสดงในรูปที่ 3.4(b) ได้มาจากการแปลงวงจรกรองความถี่ต่ำผ่านอันดับที่สามต้นแบบดังแสดงในรูปที่ 3.4(a) ด้วยการแปลงระบบตามตารางที่ 3.1 [1] จากนั้นทำการวิเคราะห์วงจรในรูปที่ 3.4(b) ด้วยการเขียนสมการจาก KCL และกฎของโอห์มที่โหนดแรงดัน 1 กับ 3 หรือ V_1, V_3 และแรงดันตกคร่อมตัวเหนี่ยวนำ $L_2\,(V_2)$ จะได้ชุดสมการความสัมพันธ์ระหว่างกระแสและแรงดันเป็นไปตามสมการที่ (3.10) – (3.16)



รูปที่ 3.4 (a) ต้นแบบวงจรกรองความถี่ต่ำผ่านอันดับที่สาม
(b) วงจรกรองแถบความถี่ผ่านอันดับที่หกที่ได้จากการแปลง

$$V_1 = \frac{I_1}{sC_1} \tag{3.10}$$

$$V_2 = V_1 - V_3 - \frac{I_2}{sC_2} \tag{3.11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_3 = \frac{I_3}{sC_3} \tag{3.12}$$

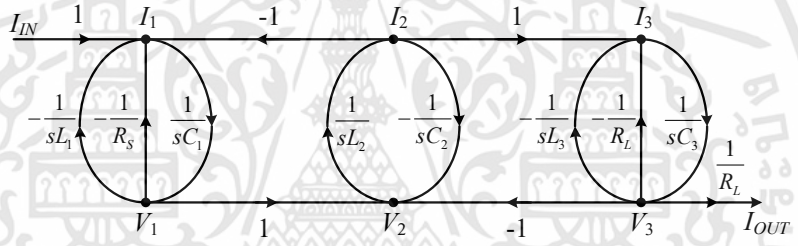
$$I_1 = I_{IN} - I_2 - \frac{V_1}{sL_1} - \frac{V_1}{R_S} \tag{3.13}$$

$$I_2 = \frac{V_2}{sL_2} \tag{3.14}$$

$$I_3 = I_2 - \frac{V_3}{sL_3} - \frac{V_3}{R_L} \tag{3.15}$$

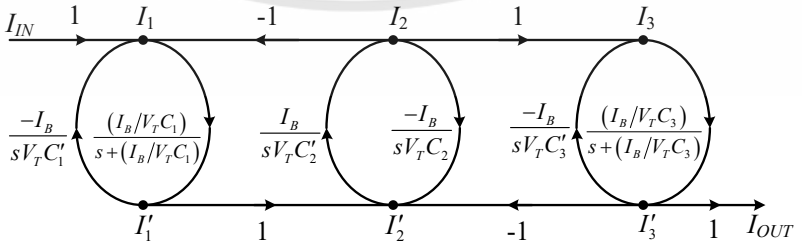
$$I_{OUT} = \frac{V_3}{R_L}. \tag{3.16}$$

จากนั้นใช้กระบวนการเดียวกันกับวงจรกรองความถี่ต่ำผ่านในหัวข้อที่ผ่านมา กราฟการไหลของสัญญาณของวงจรกรองแถบความถี่ผ่านและการทำให้เป็นรูปอย่างง่ายแสดงให้เห็นในรูปที่ 3.5 และ 3.6 ตามลำดับ



รูปที่ 3.5 กราฟการไหลของสัญญาณของต้นแบบวงจรกรองแถบความถี่ผ่านอันดับที่หก

พิจารณารูปที่ 3.5 โหนดแรงดันทุกตัวจะต้องถูกเปลี่ยนไปเป็นโหนดกระแสด้วยการใส่ความต้านทานอินทรินสิก (V_T/I_B) ลงไปในเส้นทางที่เหมาะสม จะเห็นว่าทุก ๆ เส้นทางสามารถทำให้เป็นจริงได้โดยการใช้อินทิเกรเตอร์ นอกจากนี้จะเห็นว่ากราฟการไหลของสัญญาณในส่วนที่เป็นฟังก์ชันของอินทิเกรเตอร์ชนิดไม่สูญเสียที่มีการป้อนกลับแบบลบนั้น สามารถลดรูปลงได้กลายเป็นอินทิเกร-เตอร์ชนิดสูญเสีย ดังนั้นกราฟการไหลของสัญญาณของวงจรกรองแถบความถี่ผ่านโหมดกระแสสามารถเขียนได้ดังแสดงในรูปที่ 3.6

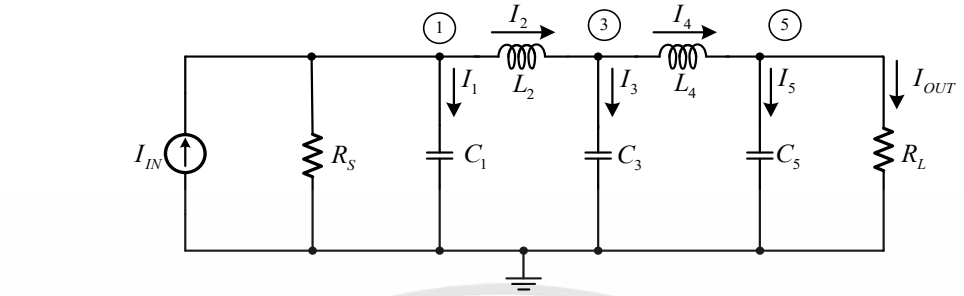


รูปที่ 3.6 กราฟการไหลของสัญญาณของวงจรกรองแถบความถี่ผ่านอันดับที่หกที่แปลงเป็นโหมดกระแส

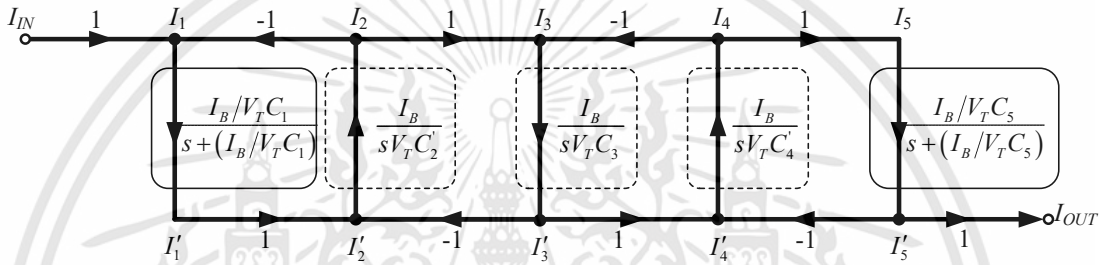
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การทำวงจรกรองชนิดเซบีเชฟที่นำเสนอให้เป็นจริง

3.3.1 วงจรกรองความถี่ต่ำผ่าน



(a)



(b)

รูปที่ 3.7 การสร้างวงจรกรองความถี่ต่ำผ่านที่นำเสนอให้เป็นจริงด้วยการเปรียบเทียบระหว่าง (a) วงจรกรองความถี่ต่ำผ่านต้นแบบ (b) SFG ที่ได้จากวงจรต้นแบบในรูป 3.7(a)

จากกราฟการไหลของสัญญาณ (SFG) ของวงจรกรองความถี่ต่ำผ่านอันดับที่ห้าในรูปที่ 3.7(b) จะพบว่าเส้นทางเดินของสัญญาณที่ล้อมกรอบด้วยสี่เหลี่ยมเส้นทึบนั้นมีฟังก์ชันถ่ายโอนเป็นอินทิเกรเตอร์ชนิดสูญเสีย ส่วนที่ล้อมกรอบด้วยสี่เหลี่ยมเส้นประนั้นมีฟังก์ชันถ่ายโอนเป็นอินทิเกร-เตอร์ชนิดไม่สูญเสีย ในขณะที่เส้นทางเดินของสัญญาณที่เป็นเครื่องหมาย 1 หมายถึงเอาท์พุตของอินทิเกรเตอร์ไม่กลับเฟส ส่วนเส้นทางเดินของสัญญาณที่เป็นเครื่องหมาย -1 หมายถึงเอาท์พุตของอินทิเกรเตอร์กลับเฟส และจากการสังเคราะห์ในหัวข้อที่ 3.1 นั้น ทำให้สามารถเทียบแทนค่าตัวแปรของอุปกรณ์ในรูปที่ 3.7(b) กับรูปที่ 3.7(a) ได้ดังนี้คือ

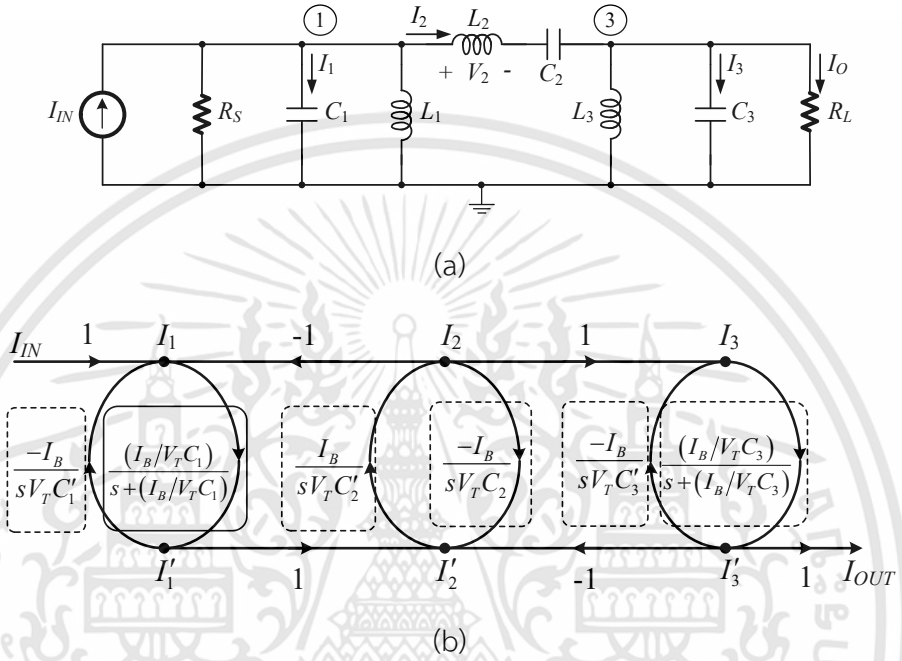
	ค่าตัวแปรของอุปกรณ์ที่เทียบเท่ากัน				
วงจรต้นแบบตามรูปที่ 3.7(a)	C_1	L_2	C_3	L_4	C_5
SFG ตามรูปที่ 3.7(b)	C_1	C'_2	C_3	C'_4	C_5

โดยการนำเอาวงจรอินทิเกรเตอร์ชนิดสูญเสียแบบล็อกโดเมนดังรูปที่ 2.7 และวงจรอินทิเกร-เตอร์ชนิดไม่สูญเสียแบบล็อกโดเมนดังรูปที่ 2.9 มาต่อเป็นระบบตาม SFG ในรูปที่ 3.7(b) ก็จะทำให้ได้วงจรกรองความถี่ต่ำผ่านอันดับที่ห้ารูปแบบล็อกโดเมนดังแสดงในรูปที่ 3.9 โดยที่หากพิจารณา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่านในรูปที่ 3.7(b) นั้นจะเห็นได้ว่าวงจรดังกล่าวจะมีฟังก์ชันถ่ายโอนที่ขึ้นกับตัวแปร I_B, V_T, และ C_n และเนื่องจากเพื่อต้องการให้ผลกระทบจากกระแสไบอัสที่ไม่แมทช์กันมีน้อยที่สุด [18] วงจรไบอัสที่ใช้จึงออกแบบจากหลักการของวงจรสะท้อนกระแสที่แม่นยำ ดังแสดงในรูปที่ 3.11(a)

3.3.2 วงจรกรองแถบความถี่ผ่าน



รูปที่ 3.8 การสร้างวงจรกรองแถบความถี่ผ่านที่นำเสนอให้เป็นจริงด้วยการเปรียบเทียบระหว่าง (a) วงจรกรองแถบความถี่ผ่านต้นแบบ (b) SFG ที่ได้จากวงจรต้นแบบในรูป 3.8(a)

จากกราฟการไหลของสัญญาณ (SFG) ของวงจรกรองแถบความถี่ผ่านอันดับที่หกในรูปที่ 3.8(b) จะพบว่าเส้นทางเดินของสัญญาณที่ล้อมกรอบด้วยสี่เหลี่ยมเส้นทึบนั้นมีฟังก์ชันถ่ายโอนเป็นอินทิเกรเตอร์ชนิดสูญเสีย ส่วนที่ล้อมกรอบด้วยสี่เหลี่ยมเส้นประนั้นมีฟังก์ชันถ่ายโอนเป็นอินทิเกร-เตอร์ชนิดไม่สูญเสีย ในขณะที่เส้นทางเดินของสัญญาณที่เป็นเครื่องหมาย 1 หมายถึงเอาท์พุตของอินทิเกรเตอร์ไม่กลับเฟส ส่วนเส้นทางเดินของสัญญาณที่เป็นเครื่องหมาย -1 หมายถึงเอาท์พุตของอินทิเกรเตอร์กลับเฟส และจากการสังเคราะห์ในหัวข้อที่ 3.1 นั้น ทำให้สามารถเทียบแทนค่าตัวแปรของอุปกรณ์ในรูปที่ 3.8(b) กับรูปที่ 3.8(a) ได้ดังนี้คือ

	ค่าตัวแปรของอุปกรณ์ที่เทียบเท่ากัน					
วงจรต้นแบบตามรูป 3.8(a)	C_1	L_1	C_2	L_2	C_3	L_3
SFG ตามรูป 3.8(b)	C_1	C'_1	C_2	C'_2	C_3	C'_3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการนำเอาวงจรอินทิเกรเตอร์ชนิดสูญเสียแบบล็อกโดเมนดังรูปที่ 2.7 และวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียแบบล็อกโดเมนดังรูปที่ 2.9 มาต่อเป็นระบบตาม SFG ในรูปที่ 3.8(b) ก็จะทำให้ได้วงจรกรองแถบความถี่ผ่านอันดับที่หกรูปแบบล็อกโดเมนดังแสดงในรูปที่ 3.10 โดยที่หากพิจารณาฟังก์ชันถ่ายโอนของวงจรกรองแถบความถี่ผ่านในรูปที่ 3.8(b) นั้นจะเห็นได้ว่าวงจรดังกล่าวจะมีฟังก์ชันถ่ายโอนที่ขึ้นกับตัวแปร I_B, V_T, และ C_n และเนื่องจากเพื่อต้องการให้ผลกระทบจากกระแสไบอัสที่ไม่แมทช์กันมีน้อยที่สุด [18] วงจรไบอัสที่ใช้จึงออกแบบจากหลักการของวงจรสะท้อนกระแสที่แม่นยำ ดังแสดงในรูปที่ 3.11(b)

3.4 ผลกระทบจากความไม่เป็นอุดมคติของทรานซิสเตอร์

วงจรกรองชนิดล็อกโดเมนที่นำเสนอประกอบด้วยชุดของวงจรอินทิเกรเตอร์ซึ่งอาจประสบปัญหาจากความไม่เป็นอุดมคติของทรานซิสเตอร์ที่ใช้ในวงจรดังกล่าว [29] ในวิทยานิพนธ์นี้จึงนำเสนอการได้มาของสมการที่อธิบายถึงคุณสมบัติของวงจรอินทิเกรเตอร์ชนิดล็อกโดเมนที่ไม่เป็นอุดมคติอันเนื่องจากความไม่เป็นอุดมคติของทรานซิสเตอร์ที่ใช้ ด้วยการนำโมเดลไม่อุดมคติของทรานซิสเตอร์มาวิเคราะห์ สำหรับในหัวข้อนี้จะแสดงให้เห็นถึงผลกระทบของพารามิเตอร์แฝงในทรานซิสเตอร์ดังแสดงในรูปที่ 3.12 ด้วยการมองเป็นแบบจำลองสัญญาณขนาดเล็กซึ่งประกอบด้วยความต้านทานระหว่างขาเบส-อีมิตเตอร์ (r_π), ความจุไฟฟ้าระหว่างขาเบส-อีมิตเตอร์ (C_π), และ ความจุไฟฟ้าระหว่างขาเบส-คอลเลกเตอร์ (C_μ) สมมติว่าความจุไฟฟ้าแฝงอื่น ๆ มีค่าน้อยมาก ๆ และอิมพีแดนซ์ระหว่างขาคอลเลกเตอร์-อีมิตเตอร์ (r_{ce}) มีค่าสูง ซึ่งในที่นี้จะนำเสนอแต่เฉพาะอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียชนิดกลับเฟสเท่านั้น

3.4.1 ความต้านทานแฝง (r_π และ β)

ในส่วนนี้พิจารณาถึงผลกระทบของความต้านทานแฝงระหว่างขาเบส-อีมิตเตอร์ (r_π) และอัตราขยายจำกัด (β) ที่มีต่ออินทิเกรเตอร์ชนิดล็อกโดเมน จากแบบจำลองสัญญาณขนาดเล็กของไบโพลาร์ทรานซิสเตอร์ ถ้าไม่คำนึงถึงความจุไฟฟ้าแฝง ผลกระทบของ r_π ที่มีต่อฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดสูญเสียในรูปที่ 2.7 สามารถแสดงให้เห็นได้ดังสมการที่ (3.17) เมื่อ i_{oi} และ i_{ini} หมายถึงการวิเคราะห์สัญญาณขนาดเล็กที่ตำแหน่งเฉพาะเจาะจงที่ i^{th}

$$\frac{i_{O1}}{i_{in1}} \approx \frac{-g_{m4}r_{\pi4}\left(g_{m3}r_{\pi2}r_{\pi3}+g_{m3}r_{\pi1}r_{\pi3}+g_{m2}r_{\pi1}r_{\pi2}+g_{m2}g_{m3}r_{\pi1}r_{\pi2}r_{\pi3}\right)}{\left[\begin{array}{l} g_{m1}r_{\pi1}\left(g_{m2}r_{\pi2}r_{\pi3}+g_{m3}r_{\pi3}r_{\pi4}+g_{m2}g_{m3}r_{\pi2}r_{\pi3}r_{\pi4}+g_{m2}r_{\pi2}r_{\pi4}\right) \\ +sr_{\pi1}r_{\pi4}C_1\left(g_{m1}r_{\pi3}+g_{m1}g_{m2}r_{\pi2}r_{\pi3}+g_{m2}r_{\pi2}\right)\end{array}\right]} \tag{3.17}$$

เนื่องจากความต้านทานแฝงที่ไม่เป็นอุดมคติ จึงทำให้ได้ความถี่โพลเป็นไปตามสมการที่ (3.18) เมื่ออัตราขยายกระแสของทรานซิสเตอร์เป็น $\beta_i = g_{mi}r_{\pi i}$ หากพิจารณาอัตราขยายของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ ความถี่โพลของวงจรกรองความถี่ต่ำผ่าน ก็จะสามารถเขียนในรูปของ β ได้เช่นกัน ซึ่งจะเห็นได้ว่าความต้านทานแฝงและ β มีผลทำให้ความถี่โพลมีการเบี่ยงเบนไปจากเดิม [17]

$$\omega_{Pn1} \approx \frac{(g_{m1}\beta_2\beta_3)}{C_1(g_{m1}r_{\pi 3} + g_{m1}\beta_2 r_{\pi 3} + \beta_2)} \tag{3.18}$$

ในทำนองเดียวกันฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดไม่สูญเสียตามรูปที่ 2.9 สามารถเขียนได้ดังสมการที่ (3.19)

$$\frac{I_{out}(s)}{I_a(s)} \approx -\frac{\beta^2}{2}\left(\frac{2/g_m r_\pi^2 C_1}{s + 2/g_m r_\pi^2 C_1}\right) \tag{3.19}$$

$$\omega_{Pn2} \approx \frac{2}{g_{m1} r_\pi^2 C_1}, \quad H_{n2} = \frac{\beta^2}{2} \tag{3.20}$$

จากสมการที่ (3.19) แสดงให้เห็นว่าอินทิเกรเตอร์ชนิดไม่สูญเสียมีผลกระทบกับความต้านทานแฝงที่ขาเบส-อีมิตเตอร์โดยตรง (r_π). หากทรานซิสเตอร์ทุกตัวในวงจรอินทิเกรเตอร์ชนิดไม่สูญเสียแมทช์กันโดยมีค่าอัตราขยาย β=$g_{mi}r_{\pi i}$ และทรานสคอนดักแตนซ์ $(g_{mi} = I_{Bi}/V_T)$ เดียวกัน ทำให้อินทิเกรเตอร์ชนิดไม่สูญเสียทำหน้าที่เหมือนวงจรกรองความถี่ต่ำผ่านที่มีความถี่โพลตามสมการของ (ω_{pn2}) และมีอัตราขยายสูงตามสมการของ (H_{n2}) ที่ความถี่ต่ำดังแสดงในสมการที่ (3.20)

3.4.2 ความจุไฟฟ้าแฝง (C_π และ C_μ)

ในส่วนนี้จะพิจารณาความจุไฟฟ้าแฝงในไบโพลาร์ทรานซิสเตอร์ เพื่อยืนยันถึงผลกระทบของความจุไฟฟ้าแฝงที่มีต่ออินทิเกรเตอร์แบบล็อกโดเมน อันดับแรกพิจารณาว่าความจุไฟฟ้าแฝงที่ขาเบส-อีมิตเตอร์ (C_π) และทรานสคอนดักแตนซ์ทุกตัวเหมือนกัน เมื่อใช้แบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ที่ไม่มีความต้านทานแฝงอยู่ จะได้ผลกระทบของ C_π ที่มีต่อฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดสูญเสีย [17] เป็นไปตามสมการที่ (3.21) และความถี่โพลเป็นไปตามสมการที่ (3.22)

$$\frac{i_{O1}(s)}{i_{in}(s)} \approx \frac{-\left[g_m + s(C_{\pi 1} + C_{\pi 2} + C_{\pi 3})\right]}{g_m + s(C_1 + C_{\pi 2} + C_{\pi 3} + C_{\pi 4})} \tag{3.21}$$

$$\omega_{Pn3} \approx \frac{g_m}{C_1 + C_{\pi 2} + C_{\pi 3} + C_{\pi 4}} \tag{3.22}$$

ในทำนองเดียวกัน เมื่อนำความจุไฟฟ้าแฝงระหว่างขาเบส-คอลเลกเตอร์ (C_μ) มาพิจารณาจะพบว่าผลกระทบของความจุไฟฟ้าแฝงระหว่างขาเบส-คอลเลกเตอร์ ที่มีต่อสมการฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดสูญเสียเป็นไปตามสมการที่ (3.23) และความถี่โพลเป็นไปตามสมการที่ (3.24)

$$\frac{i_{O1}(s)}{i_{in}(s)} \approx \frac{-g_m}{g_m + s(C_1 + C_{\mu 1} + C_{\mu 2} + C_{\mu 3} + C_{\mu 4})} \tag{3.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_{Pn4} \approx \frac{g_m}{C_1 + C_{\mu 1} + C_{\mu 2} + C_{\mu 3} + C_{\mu 4}} \tag{3.24}$$

ลำดับที่สอง ใช้แบบจำลองสัญญาณขนาดเล็กของไบโพลาร์ทรานซิสเตอร์ที่ประกอบด้วยความจุไฟฟ้าแฝง ผลกระทบของ C_π ที่มีต่อฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดไม่สูญเสีย [18] สามารถประมาณได้ดังสมการที่ (3.25)

$$\frac{i_{O1}(s)}{i_a(s)} \approx \frac{-g_m}{s\left(C_1 + C_{\pi 7} + C_{\pi 4} - C_{\pi 1}\right)} \tag{3.25}$$

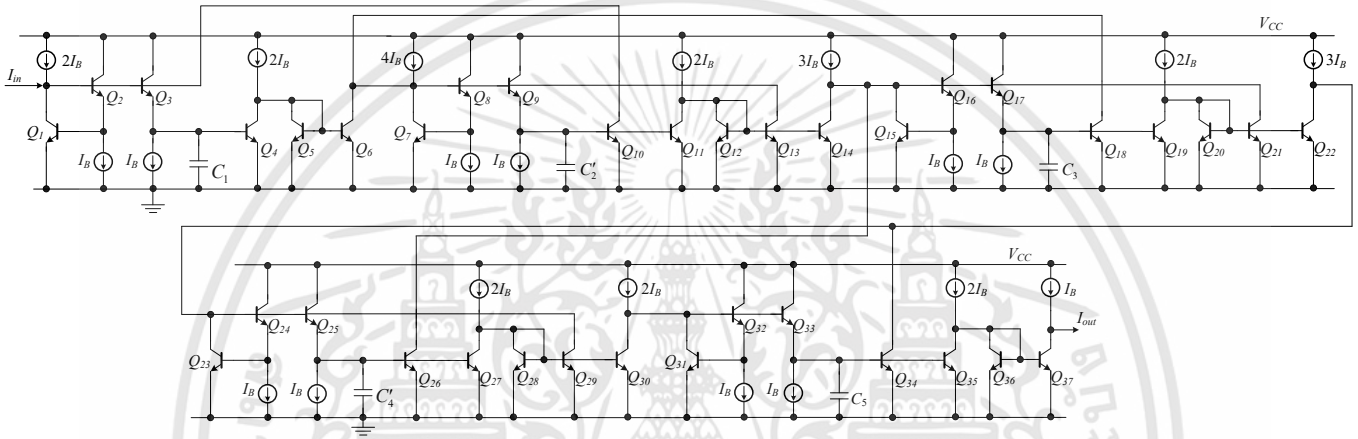
ในทำนองเดียวกัน ความจุไฟฟ้าแฝงระหว่างขาเบส-คอลเลกเตอร์ (C_μ) ซึ่งเป็นข้อจำกัดหลักต่อความเที่ยงตรงของวงจรทรานสลิเนียร์ ผลกระทบของความจุไฟฟ้าแฝงระหว่างขาเบส-คอลเลก-เตอร์ที่มีต่อฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ชนิดไม่สูญเสียเป็นไปตามสมการที่ (3.26)

$$\frac{i_{O1}(s)}{i_a(s)} \approx \frac{-g_m}{s\left(C_1 + 2C_{\mu 7} + C_{\mu 4} + C_{\mu 2} + C_{\mu 3}\right)} \tag{3.26}$$

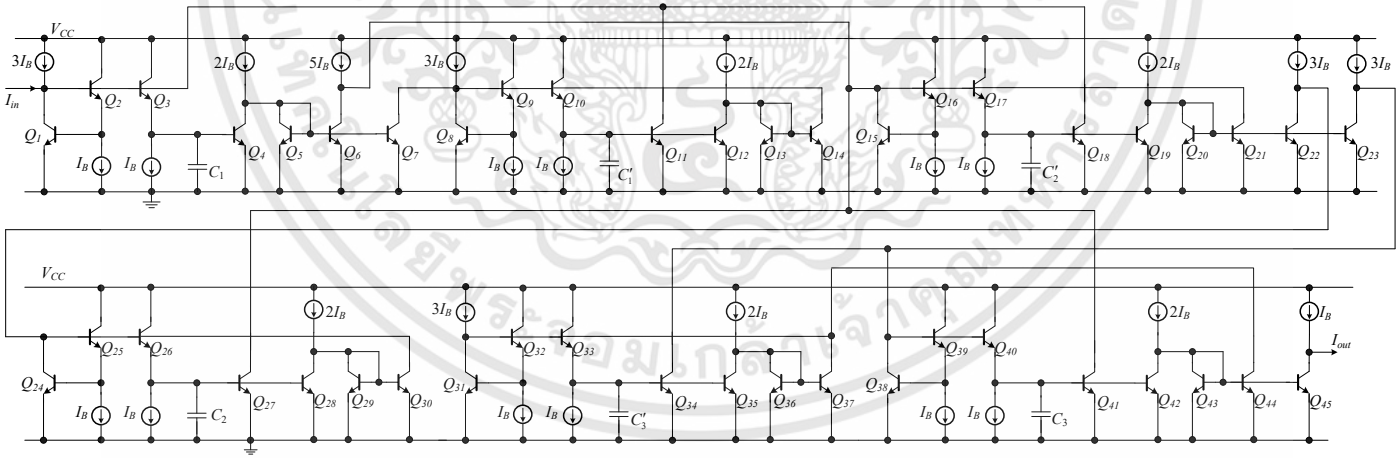
จากสมการที่ (3.21) ถึง (3.26) แสดงให้เห็นว่าความจุไฟฟ้าแฝง $C_{\pi i}$ และ $C_{\mu i}$ ส่งผลกระทบต่อการเบี่ยงเบนของผลตอบสนองทางความถี่ของอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสีย และจะเห็นได้ว่าความถี่โพลเกิดจากสมการ $\omega_0 = I_B / CV_T$ ซึ่งทำให้พบว่าในการทำงานที่ความถี่สูงสามารถทำได้โดยการเพิ่มกระแสไบอัสหรือลดค่าความจุไฟฟ้า เมื่อพิจารณาการลดการใช้กำลังงานของวงจร จึงควรใช้กระแสไบอัสที่มีค่าน้อยที่สุดเท่าที่เป็นไปได้ซึ่งส่งผลให้ตัวเก็บประจุต้องมีค่าเพิ่มขึ้นตามสมการความสัมพันธ์ข้างต้น ดังนั้นการป้องกันไม่ให้เกิดความผิดพลาดที่มีนัยสำคัญ จึงควรเลือกค่าความจุไฟฟ้าของตัวเก็บประจุที่ใช้ในวงจรอินทิเกรเตอร์ให้เป็นไปตามเงื่อนไขดังต่อไปนี้ คือ

$$C >> 3C_{\pi i} + 5C_{\mu i} \tag{3.27}$$

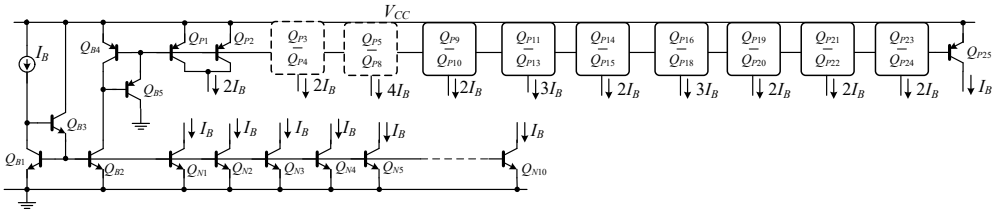
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



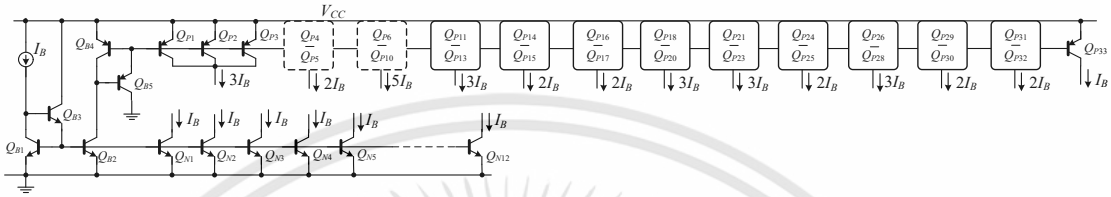
รูปที่ 3.9 วงจรกรองความถี่ต่ำผ่านอันดับที่ห้ารูปแบบล็อกโดเมนที่นำเสนอ



รูปที่ 3.10 วงจรกรองแถบความถี่ผ่านอันดับที่หกรูปแบบล็อกโดเมนที่นำเสนอ

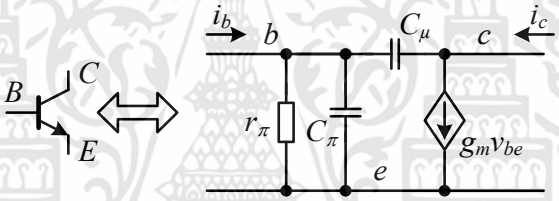


(a) วงจรไบอัสกระแสของวงจรกรองความถี่ต่ำผ่านอันดับสูงที่นำเสนอ



(b) วงจรไบอัสกระแสของวงจรกรองแถบความถี่ผ่านอันดับสูงที่นำเสนอ

รูปที่ 3.11 วงจรไบอัสกระแสตามหลักการของวงจรสะท้อนกระแสที่มีความแม่นยำสูง



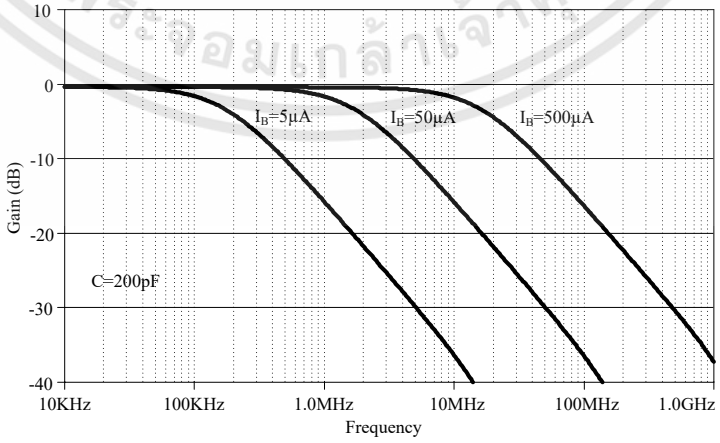
รูปที่ 3.12 แบบจำลองสัญญาณขนาดเล็กของไบโพลาร์ทรานซิสเตอร์ที่ใช้ในการวิเคราะห์ความไม่เป็นอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลจำลองการทำงานของวงจรกรองความถี่ที่นำเสนอ

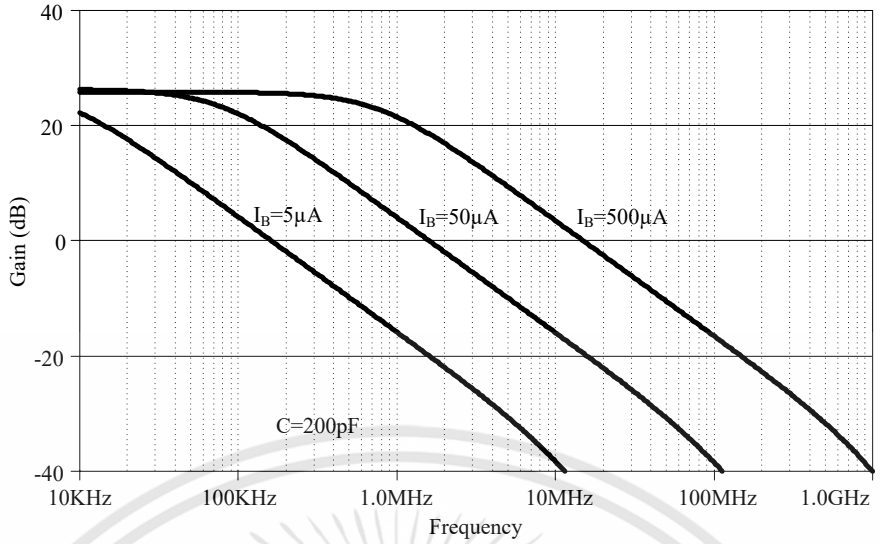
จากบทที่ผ่านมาได้อธิบายถึงการสังเคราะห์วงจรกรองความถี่ที่นำเสนอในวิทยานิพนธ์นี้จากวงจรพาสซีฟ RLC ต้นแบบ แสดงให้เห็นได้อย่างชัดเจนว่า วงจรกรองความถี่ต่ำผ่านและแถบความถี่ผ่านสามารถสร้างให้เป็นวงจรกรองแบบแอคทีฟได้จากวงจรที่ประกอบด้วยอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียเท่านั้น ดังนั้นคุณสมบัติของทั้งวงจรอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียจึงต้องได้รับการศึกษาเพื่อที่จะพิจารณาถึงลักษณะเด่นด้านต่าง ๆ ของวงจรโดยเฉพาะด้านที่เกี่ยวกับความถี่แถบผ่าน

ในงานวิจัยนี้ ใช้ซอฟต์แวร์ PSpice ในการจำลองการทำงานบนพื้นฐานของทรานซิสเตอร์เบอร์ HFA3127 (NPN) และ HFA3128 (PNP) ซึ่งเป็นทรานซิสเตอร์ที่สามารถทำงานที่ความถี่สูงได้จากบริษัท Intersil [30] ใช้ค่าความจุไฟฟ้าของตัวเก็บประจุเท่ากับ 200 pF แทนค่าของตัวเก็บประจุ C_1 ในวงจรอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียตามรูปที่ 2.7 และ 2.9 พร้อมกับใช้ค่ากระแสไบอัสที่แตกต่างกันดังนี้คือ 5, 50 และ 500μA ผลตอบสนองทางขนาดของอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียถูกจำลองผลด้วย PSpice ได้ผลลัพธ์ดังแสดงในรูปที่ 4.1 – 4.2 ซึ่งจะเห็นได้ว่าความถี่คัตออฟ ณ ตำแหน่งอัตราขยายเท่ากับ -3 dB ของอินทิเกรเตอร์ชนิดสูญเสียและตำแหน่งอัตราขยายเท่ากับ 0 dB ของอินทิเกรเตอร์ชนิดไม่สูญเสียนั้นอยู่ในตำแหน่งที่แทบจะตรงกันและยังพบว่าวงจรดังกล่าวสามารถปรับจูนความถี่คัตออฟได้ด้วยการปรับกระแสไบอัสซึ่งสอดคล้องกับที่ได้อธิบายไว้ในบทที่ 2 และเป็นที่น่าสนใจว่าผลตอบสนองทางความถี่ของอินทิเกรเตอร์ชนิดไม่สูญเสียมีความคล้ายคลึงกับวงจรกรองความถี่ต่ำผ่านที่มีอัตราขยายสูงในช่วงความถี่ต่ำ ซึ่งสอดคล้องกับสมการที่ (3.19) และ (3.20) ดังนั้นอินทิเกรเตอร์ทั้งสองนี้จึงมีความเหมาะสมที่จะนำไปใช้กับวงจรกรองความถี่ที่นำเสนอไว้ดังแสดงในรูปที่ 4.2



รูปที่ 4.1 ผลตอบสนองทางขนาดของอินทิเกรเตอร์ชนิดสูญเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



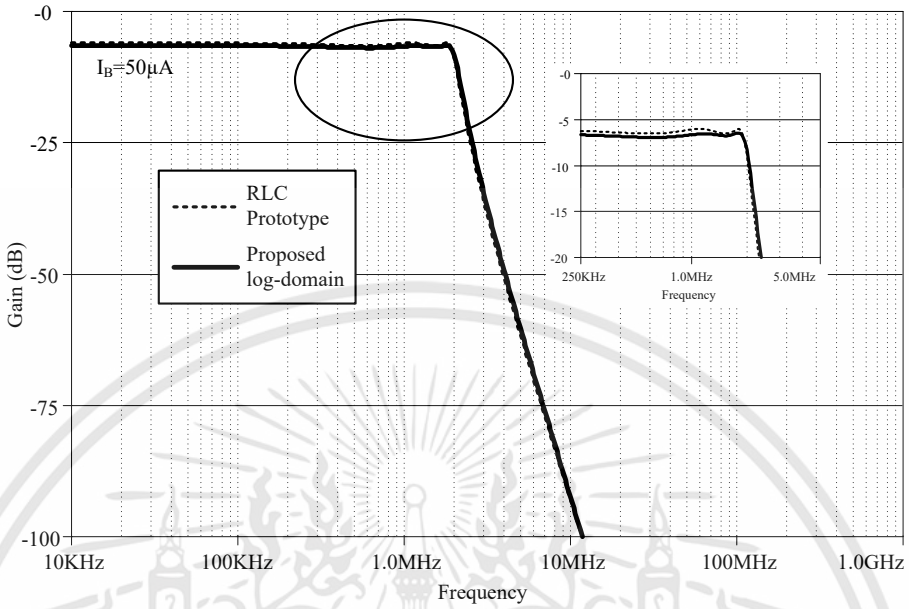
รูปที่ 4.2 ผลตอบสนองทางขนาดของอินทิเกรเตอร์ชนิดไม่สูญเสีย

4.1 วงจรกรองความถี่ต่ำผ่าน

จากวงจรกรองความถี่ต่ำผ่านต้นแบบในรูปที่ 3.7(a) โดยเลือกลักษณะของวงจรกรองเป็นแบบเชบีเชฟอันดับที่ห้าที่มีความถี่ตัดเท่ากับ 2 MHz และมีการกระเพื่อมไม่เกิน 0.5dB ในการออกแบบ [1] ใช้หลักการการสเกลค่าอุปกรณ์ ดังนั้นจะได้ค่าของอุปกรณ์ในวงจรรูปที่ 3.7(a) เป็นดังต่อไปนี้คือ $C_1 = C_5 = 143.75$ nF $C_3 = 214.15$ nF และ $L_2 = L_4 = 103.6$ nH และจากวงจรที่นำเสนอในรูปที่ 3.9 นั้น สืบเนื่องจากค่าความจุไฟฟ้าของตัวเก็บประจุของวงจรจะต้องมีค่าไม่น้อยกว่า 180 pF เพื่อหลีกเลี่ยงผลกระทบจากค่าความจุไฟฟ้าแฝงของ BJT เมื่อพิจารณาอุปกรณ์พาสซีฟ $(1/sC_1)$ หรือ $(1/sL_1)$ ตาม SFG ที่นำเสนอในรูปที่ 3.7(b) กับฟังก์ชันถ่ายโอนของอินทิเกรเตอร์ (I_B/sC_1V_T) ในรูปที่ 3.7(b) ค่าของตัวเก็บประจุและตัวเหนี่ยวนำของทั้งสองรูปจึงสามารถนำมาเทียบแทนกันได้ ตัวอย่างเช่น ตัวเก็บประจุ C_1=143.75 nF ในรูปที่ 3.7(a) ซึ่งเกิดจากการสเกลให้ทำงานที่ความถี่ตัด 2 MHz นั้น เมื่อใช้กระแสไบอัสของอินทิเกรเตอร์เท่ากับ $I_B = 50\mu A$ และ $V_T = 26$ mV จะได้ค่าของตัวเก็บประจุ C_1 ในวงจรอินทิเกรเตอร์ซึ่งถูกสเกลด้วยค่า $k_f C_1$ จากวงจรต้นแบบ RLC ซึ่งหมายถึง $k_f = 1.92 \times 10^{-3}$ ทำนองเดียวกันใช้ค่าการสเกลความถี่ (k_f) ดังกล่าวกับตัวเก็บประจุทุกตัวที่เหลือในวงจร ดังนั้นจะได้ค่าของตัวเก็บประจุในวงจรตามรูปที่ 3.9 เป็นดังต่อไปนี้คือ $C_1 = C_5 = 276$ pF, $C_3 = 411.17$ pF, $C_2' = C_4' = 196.84$ pF ผลจำลองการทำงานของวงจรต้นแบบในรูปที่ 3.7(a) เปรียบเทียบกับวงจรที่นำเสนอในรูปที่ 3.9 แสดงให้เห็นดังในรูปที่ 4.3 ซึ่งจะเห็นได้ว่าผลตอบสนองทางความถี่ของวงจรที่นำเสนอนั้นสอดคล้องกับวงจรต้นแบบ หากแต่ว่าระดับของแอมปลิจูดและการกระเพื่อมในช่วงแถบผ่านนั้นมีค่าน้อยกว่าในส่วนของวงจรต้นแบบเล็กน้อย สำหรับคุณสมบัติการปรับจูนทางอิเล็กทรอนิกส์ของวงจรที่นำเสนอนั้นได้รับการศึกษาด้วยการปรับกระแสไบอัส ในช่วงดังต่อไปนี้คือ $I_B[5, 50, 500]\,\mu$A ซึ่งจะเห็นได้ว่าวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

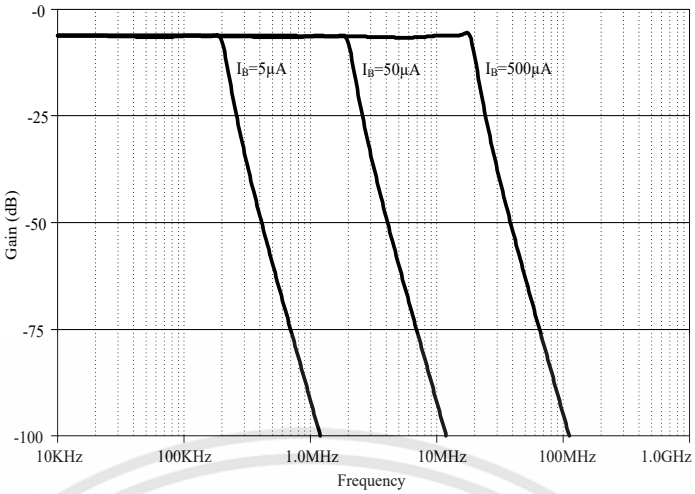
กรองที่นำเสนอนั้นมีผลตอบสนองทางความถี่ที่สามารถปรับจูนได้ภายในช่วงความถี่กว้าง (ช่วงตั้งแต่ 200 kHz ถึง 20 MHz) ดังแสดงในรูปที่ 4.4 ซึ่งจะเห็นได้ว่าสอดคล้องกับที่ได้วิเคราะห์ไว้ในบทที่ 3



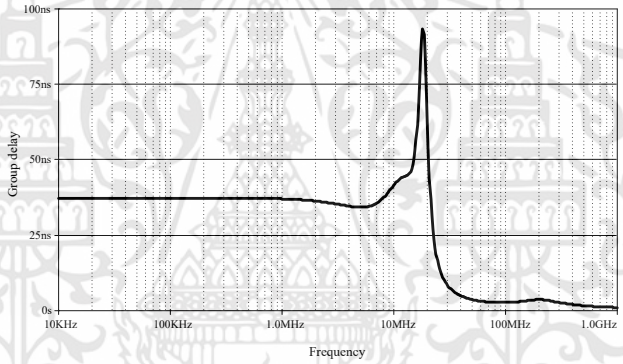
รูปที่ 4.3 การเปรียบเทียบระหว่างวงจรกรองความถี่ต่ำผ่านที่นำเสนอกับวงจรต้นแบบ RLC $\left(I_B=50\,\mu A\right)$

ในรูปที่ 4.5 แสดงให้เห็นถึงคุณสมบัติด้าน group delay ของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ ซึ่งจะเห็นได้ว่าในช่วงแถบผ่านของวงจรดังกล่าวนั้น group delay ของระบบที่กระแสไบอัสเท่ากับ500 μA มีค่าคงที่ประมาณ 37 ns ส่วนคุณสมบัติอีกประการคือการทดสอบด้วยการป้อนสัญญาณอินพุตหลากหลายความถี่ (multi-tone) ในที่นี้ทำการป้อนความถี่ 100 kHz, 300 kHz, 1 MHz, 3 MHz, 10 MHz, 30 MHz, และ 100 MHz โดยใช้กระแสไบอัสเท่ากับ 500 μA ทั้งนี้จากการจำลองการทำงานพบว่าจะได้สเปกตรัมของสัญญาณทางเอาท์พุตของวงจรเป็นดังรูปที่ 4.6 ซึ่งเป็นที่ประจักษ์ว่าสัญญาณความถี่ที่อยู่นอกแถบความถี่ผ่านนั้น (> 30 MHz) ถูกกำจัดทิ้งไป โดยที่มีเพียงเฉพาะสัญญาณความถี่ที่อยู่ในแถบผ่านเท่านั้น (< 30 MHz) ที่สามารถผ่านไปยังเอาท์พุตได้ นอกจากพิจารณาสเปกตรัมของสัญญาณแล้ว การพิจารณาคุณสมบัติการกรองในโดเมนเวลาก็สำคัญเช่นกัน ดังนั้นจากการป้อนความถี่อินพุตแบบมัลติโทนตามรูปที่ 4.6 นั้นสามารถแสดงรูปสัญญาณของอินพุตเทียบกับเอาท์พุตในโดเมนเวลาได้ดังแสดงในรูปที่ 4.7 ซึ่งจะเห็นได้ว่าสัญญาณเอาท์พุตที่ได้นั้นส่วนของความถี่ที่สูงจะถูกกรองทิ้งไป และเพื่อให้เห็นภาพได้ชัดเจนยิ่งขึ้น จึงได้จำลองการป้อนสัญญาณอินพุตสองความถี่คือ 1 MHz และ 100 MHz เข้าไปที่อินพุต รูปคลื่นเอาท์พุตได้ตามรูปที่ 4.8 ซึ่งจะเห็นได้ว่าความถี่สูง 100 MHz ถูกกรองทิ้งไปเหลือเพียงความถี่ 1 MHz เท่านั้น แต่สัญญาณเอาท์พุตจะมีแรงดัน DC อยู่ด้วยเล็กน้อย

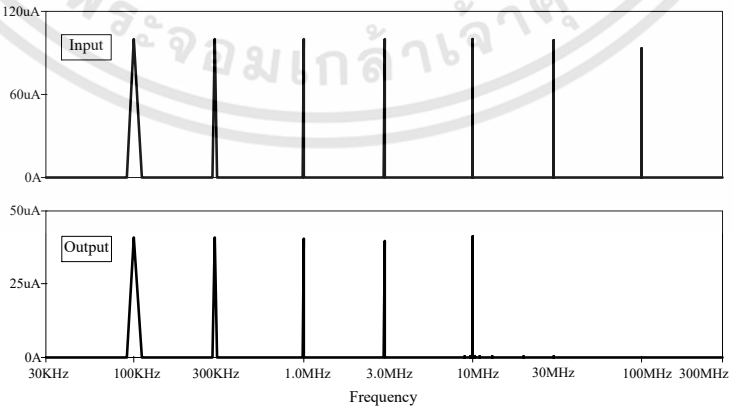
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่านที่นำเสนอในฟังก์ชันของกระแสไบอัส (I_B)

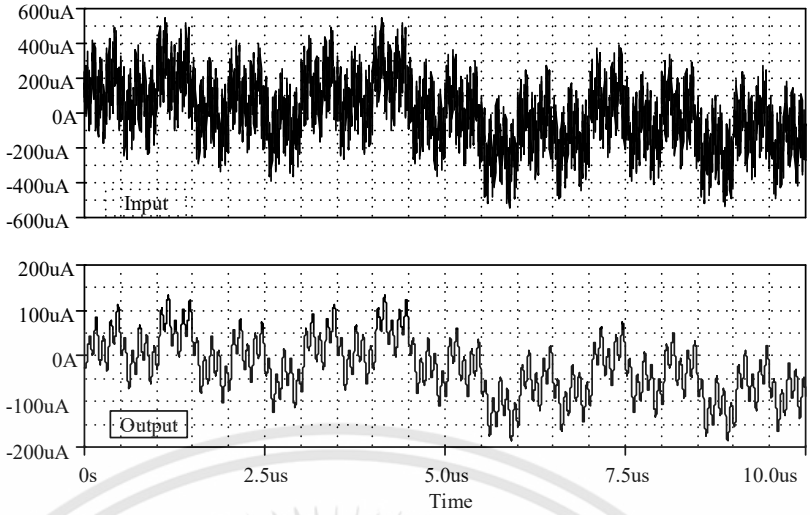


รูปที่ 4.5 Group delay ของวงจรกรองความถี่ต่ำผ่านที่นำเสนอเมื่อใช้กระแสไบอัส (I_B) เท่ากับ 500 µA

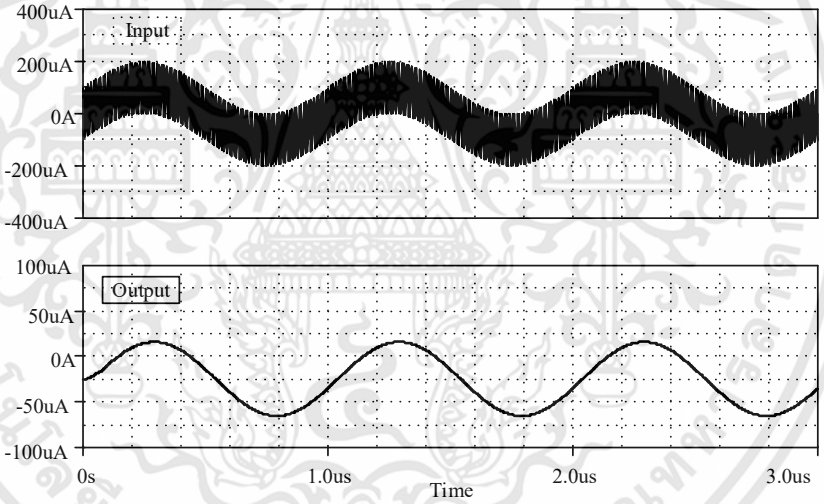


รูปที่ 4.6 สเปกตรัมของสัญญาณอินพุตและเอาท์พุตของวงจรกรองความถี่ต่ำผ่านที่นำเสนอเมื่อป้อนกระแสไบอัสเท่ากับ 500 µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



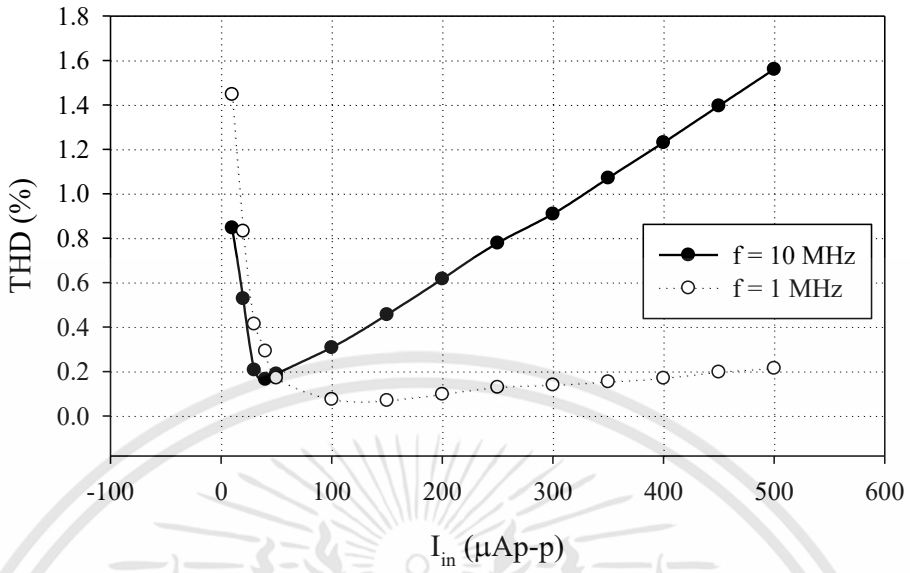
รูปที่ 4.7 รูปคลื่นสัญญาณอินพุตและเอาท์พุตของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ เมื่อป้อนสัญญาณมัลติโทนตามรูปที่ 4.6



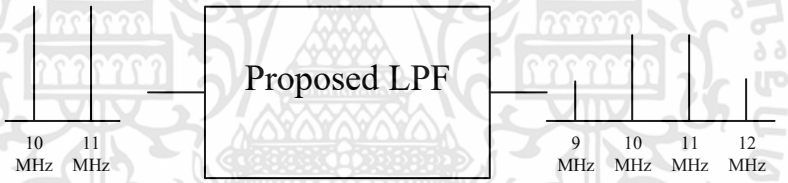
รูปที่ 4.8 รูปคลื่นสัญญาณอินพุตและเอาท์พุตของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ เมื่อป้อนสัญญาณความถี่ 1 MHz และ 100 MHz เข้าไปทางอินพุต

นอกจากนี้ยังได้พิจารณาความเพี้ยนฮาร์โมนิกส์ทั้งหมด (THD) ของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ ด้วยการป้อนสัญญาณรูปคลื่นไซน์ที่อินพุตของวงจรด้วยความถี่สองความถี่ที่อยู่ในแถบผ่านของวงจร (นั่นคือ 1 MHz และ 10 MHz) โดยที่มีค่าแอมพลิจูดที่แตกต่างกันไปแต่ไม่เกินค่ากระแสไบอัสสูงสุด ทั้งนี้ใช้กระแสไบอัสเท่ากับ 500 μA ซึ่งผลลัพธ์ถูกแสดงไว้ในรูปที่ 4.9 จะเห็นว่า THD ของวงจรที่ความถี่ 1 และ10 MHz นั้นมีค่าน้อยกว่า 1.6% ในช่วงของแอมพลิจูดสัญญาณอินพุตอยู่ระหว่าง 20 μAp-p – 500 μAp-p.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ความเพี้ยนฮาร์โมนิกส์ทั้งหมดของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ เมื่อป้อนกระแสไบอัสเท่ากับ 500μA

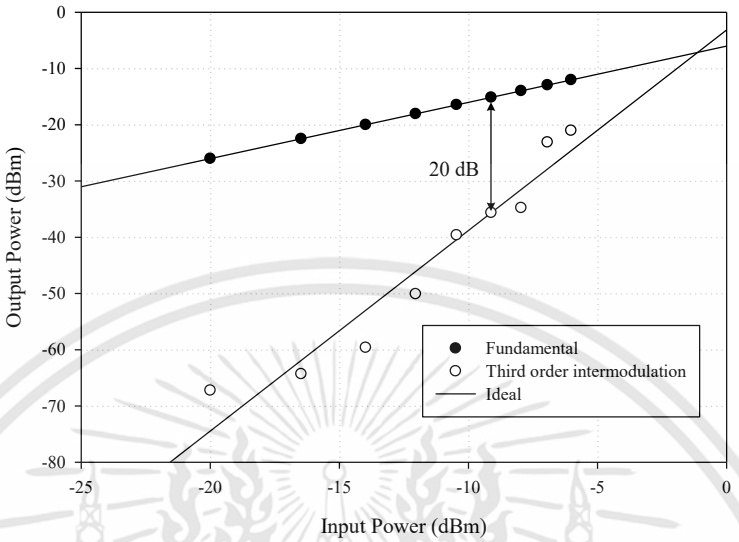


รูปที่ 4.10 การป้อนสัญญาณอินพุตสองความถี่ให้แก่วงจรกรองความถี่ต่ำผ่านที่นำเสนอ และความถี่ของสัญญาณที่เกิดขึ้นทางเอาท์พุตของวงจร

การพิจารณาคุณสมบัติของวงจรกรองที่นำเสนออีกประการหนึ่งก็คือ ความเพี้ยนจากการมอดูเลตสัญญาณระหว่างกัน ด้วยการป้อนสัญญาณอินพุตสองความถี่ที่ใกล้ ๆ กัน ในที่นี้คือ f_1=10 และ f_2=11 MHz ที่มีแอมปลิจูดของสัญญาณทั้งสองความถี่ที่หลากหลายแต่ไม่เกินกระแสไบอัสสูงสุด นั่นคือ 100-500 μAp-p หรือ -20 dBm ถึง -6 dBm โดยใช้กระแสไบอัสเท่ากับ 500 μA (ความถี่คัตออฟเท่ากับ 20 MHz) พิจารณาแอมปลิจูดของสัญญาณเอาท์พุตสเปกตรัมความถี่เท่ากับ 9 MHz ทั้งนี้เพราะความถี่ดังกล่าวเป็นความถี่ฮาร์โมนิกส์ที่สามที่เกิดจากการมอดูเลตระหว่างกันของสัญญาณอินพุตทั้งสอง ($2f_1$-f_2) ซึ่งเป็นที่รู้จักกันในชื่อว่า the third order intermodulation distortion (IM3) ดังแสดงในรูปที่ 4.10 ด้วยการพิจารณาจุดตัดฮาร์โมนิกส์อันดับที่สาม ได้ผลลัพธ์ดังแสดงในรูปที่ 4.11 ซึ่งจะเห็นได้ว่าความแตกต่างระหว่างความแรงสเปกตรัมของความถี่มูลฐาน (fundamental frequency 10 MHz) กับความถี่ฮาร์โมนิกส์ที่สามที่เกิดจากการมอดูเลตระหว่างกัน (9 MHz) มีค่าไม่

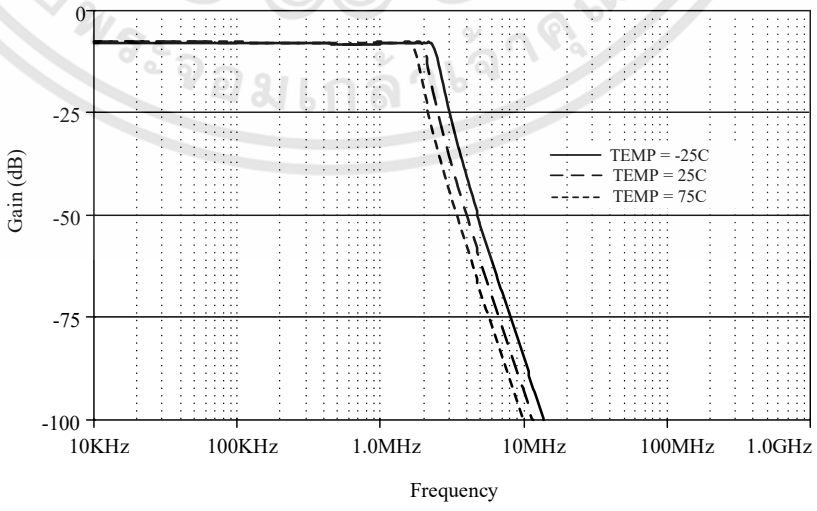
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่ำกว่า 20 dB ที่ระดับความแรงของสัญญาณอินพุตไม่เกิน -8 dBm หรือไม่เกิน 400 μAp-p ซึ่งหมายความว่าวงจรกรองความถี่ต่ำผ่านนี้มีย่านพลวัตของสัญญาณอินพุตไม่เกิน 400 μAp-p



รูปที่ 4.11 จุดตัดระหว่างสัญญาณความถี่มูลฐานกับฮาร์โมนิกส์อันดับที่สามที่เกิดจากการมอดูเลตระหว่างกันของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ

จากที่ได้วิเคราะห์ไว้ในบทที่ 3 เกี่ยวกับฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่านที่นำเสนอนี้นั้น จะมีฟังก์ชันที่ขึ้นอยู่กับตัวแปร I_B, V_T, และ C_n ซึ่งส่งผลให้การทำงานวงจรดังกล่าวจะได้รับอิทธิพลของอุณหภูมิด้วย ทั้งนี้เพราะความต่างศักย์อันเนื่องจากความร้อนจะเปลี่ยนแปลงไปส่งผลให้ความถี่คัตออฟของวงจรเปลี่ยนไป โดยสามารถจำลองเหตุการณ์ดังกล่าวด้วยการเปลี่ยนแปลงอุณภูมิการทำงานของวงจรเป็น -25, 25 และ 75 องศาเซลเซียสตามลำดับ โดยป้อนกระแสไบอัสที่ 50 μA ให้กับวงจร ได้ผลลัพธ์ดังแสดงในรูปที่ 4.12



รูปที่ 4.12 การทำงานของวงจรกรองความถี่ต่ำผ่านที่อุณหภูมิแตกต่างกัน

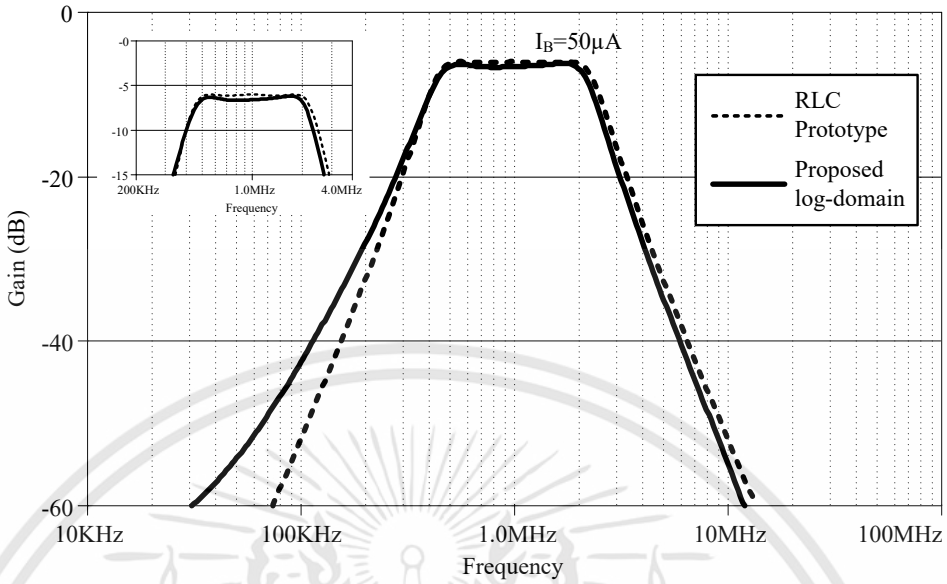
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรกรองแถบความถี่ผ่าน

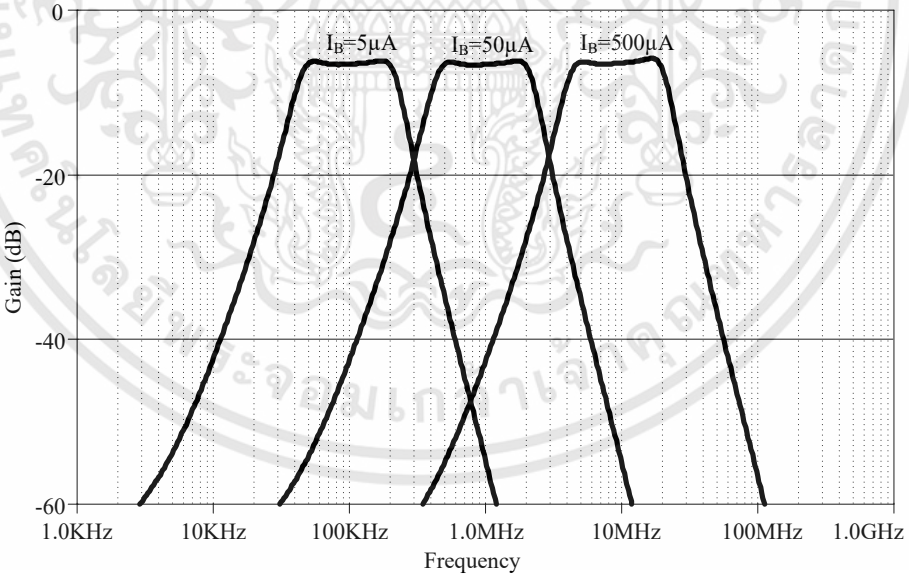
จากวงจรกรองแถบความถี่ผ่านต้นแบบในรูปที่ 3.8(a) เลือกชนิดของวงจรกรองเป็นแบบเชบีเชพอันดับที่หก โดยกำหนดให้มีคุณสมบัติเฉพาะเป็นดังนี้คือ ความถี่กลางเท่ากับ 1 MHz แบนด์วิดธ์เท่ากับ 2 MHz โดยที่มีการกระเพื่อมในแถบผ่านไม่เกิน 0.1 dB ในการออกแบบ [1] ดังนั้นจะได้ค่าของอุปกรณ์ต่าง ๆ ในรูปที่ 3.8(a) เป็นดังนี้คือ $C_1 = C_3 = 115\ \text{nF}$, $C_2 = 200\ \text{nF}$, $L_1 = L_3 = 222\ \text{nH}$, และ $L_2 = 127\ \text{nH}$ ตามหลักการของการสเกล สำหรับวงจรที่นำเสนอดังรูปที่ 3.10 ค่าความจุไฟฟ้าที่ใช้ในวงจรก็มีข้อจำกัดเช่นเดียวกับวงจรกรองความถี่ต่ำผ่านเช่นกัน จึงใช้ตัวเลขของการสเกลเท่ากันกับของวงจรกรองความถี่ต่ำผ่าน (k_f) ดังนั้นค่าของตัวเก็บประจุในรูปที่ 3.10 จึงมีค่าเท่ากับค่าดังต่อไปนี้ $C_1 = C_3 = 220\ \text{pF}$, $C_2 = 384\ \text{pF}$, $C_1' = C_3' = 427\ \text{pF}$, และ $C_2' = 244\ \text{pF}$ เมื่อใช้กระแสไบอัสเท่ากับ $50\ \mu\text{A}$ การเปรียบเทียบผลการทำงานระหว่างวงจรกรองแถบความถี่ผ่านต้นแบบในรูปที่ 3.8(a) กับวงจรที่นำเสนอในรูปที่ 3.10 แสดงไว้ในรูปที่ 4.13 จะเห็นได้อย่างชัดเจนว่าผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านที่นำเสนอนั้นสอดคล้องกับวงจรต้นแบบ RLC เพียงแต่จะพบว่าในช่วงของ transition band ทางด้านซ้ายมือกับระดับของแอมปลิจูดในช่วงแถบผ่านนั้นมีการเบี่ยงเบนจากวงจรต้นแบบเล็กน้อย สำหรับคุณสมบัติการปรับจูนนั้นทำการพิจารณาโดยใช้การปรับกระแสไบอัสดังนี้ $I_B\,[5, 50, 500]\,\mu\text{A}$ ทำให้พบว่าวงจรที่นำเสนอสามารถปรับจูนความถี่กลางได้ในช่วงกว้าง (ช่วงความถี่ 100 kHz ถึง 10 MHz) ดังแสดงในรูปที่ 4.14 ซึ่งจะเห็นได้ว่าสอดคล้องกับที่ได้วิเคราะห์ไว้ในบทที่ 3

ในรูปที่ 4.15 แสดงให้เห็นถึงคุณสมบัติของวงจรกรองแถบความถี่ผ่านที่นำเสนอในด้านของ group delay ซึ่งจะเห็นได้ว่ามีค่า group delay ในช่วงของความถี่แถบผ่านต่ำกว่า 175 ns นอกจากนี้ในการพิจารณาประสิทธิภาพของวงจรดังกล่าวด้วยการป้อนสัญญาณอินพุตหลากหลายความถี่เข้าไป (multi tone) อันประกอบด้วยความถี่ต่อไปนี้ 100 kHz, 300 kHz, 1 MHz, 3 MHz, 10 MHz, 30 MHz และ 100 MHz โดยใช้กระแสไบอัสเท่ากับ $500\ \mu\text{A}$ จากการจำลองการทำงานพบว่าได้ผลลัพธ์ในรูปของสเปกตรัมของสัญญาณทางเอาท์พุตเป็นดังรูปที่ 4.16 โดยจะเห็นได้ว่าความถี่ของสัญญาณที่อยู่นอกแถบความถี่ผ่าน (< 3 MHz and > 30 MHz) จะถูกกำจัดโดยมีเฉพาะความถี่ของสัญญาณที่อยู่ในช่วงแถบความถี่ผ่านเท่านั้น (10 MHz) ที่สามารถผ่านไปยังเอาท์พุตได้ สำหรับความถี่อินพุตในบริเวณแถบด้านข้างนั้นคือความถี่ 3 MHz และ 30 MHz ยังคงผ่านไปยังเอาท์พุตได้เพียงแต่ระดับแอมปลิจูดจะต่ำลง ทั้งนี้เพราะความถี่ทั้งสองนั้นถึงแม้ว่าจะไม่ได้อยู่ในแถบความถี่ผ่านแต่ก็ยังอยู่ในบริเวณ transition band นั่นเอง นอกจากนี้รูปคลื่นของสัญญาณเอาท์พุตในโดเมนเวลาเมื่ออินพุตเป็นมัลติโทนตามรูปที่ 4.16 มีลักษณะดังแสดงในรูปที่ 4.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

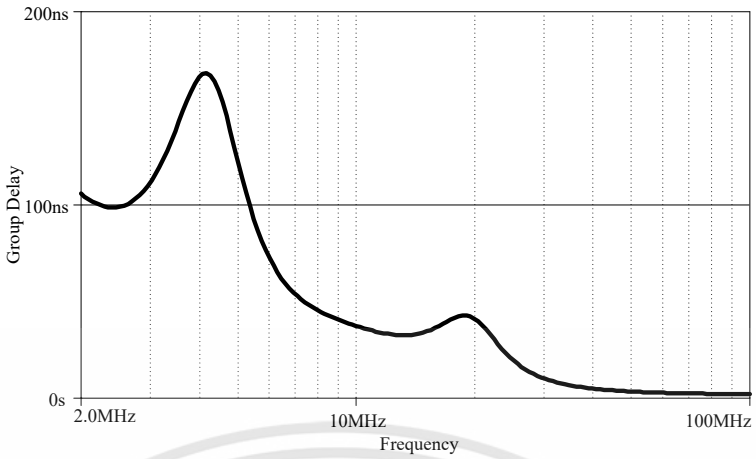


รูปที่ 4.13 การเปรียบเทียบวงจรกรองแถบความถี่ผ่านที่นำเสนอกับวงจรต้นแบบ RLC $\left(I_B = 50\,\mu A\right)$

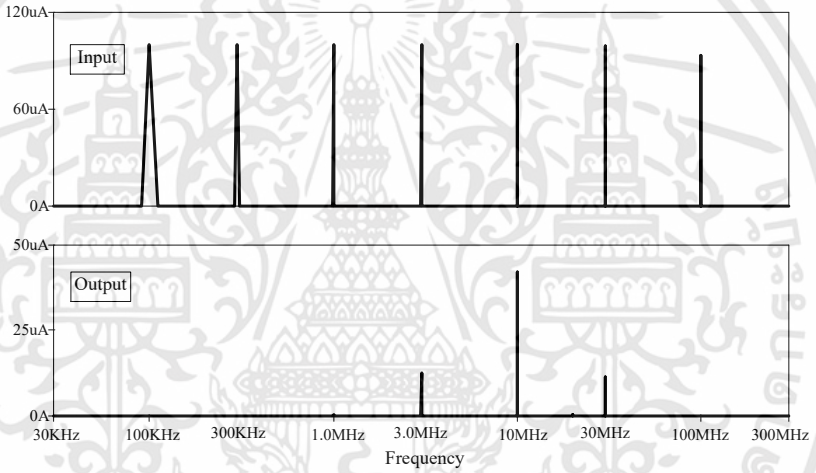


รูปที่ 4.14 ผลตอบสนองทางแอมปลิจูดของวงจรกรองแถบความถี่ผ่านที่นำเสนอกับการปรับกระแสไบอัส (I_B)

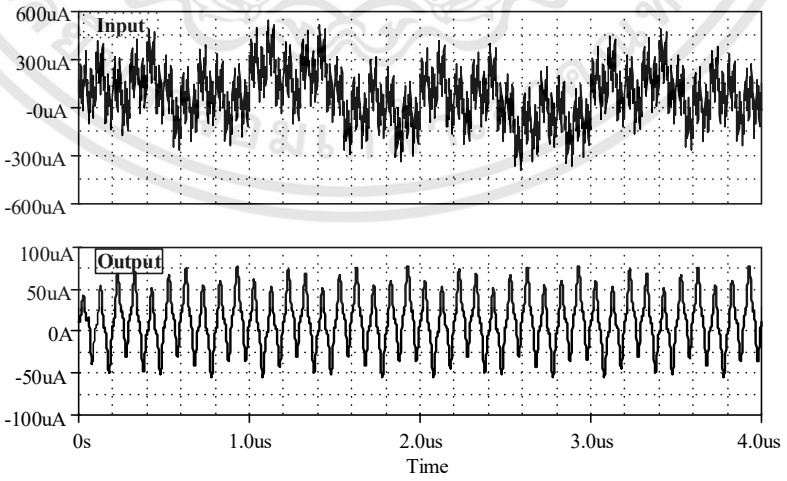
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 Group delay ของวงจรกรองแถบความถี่ผ่านที่นำเสนอเมื่อใช้กระแสไบอัส (I_B) เท่ากับ 500 µA

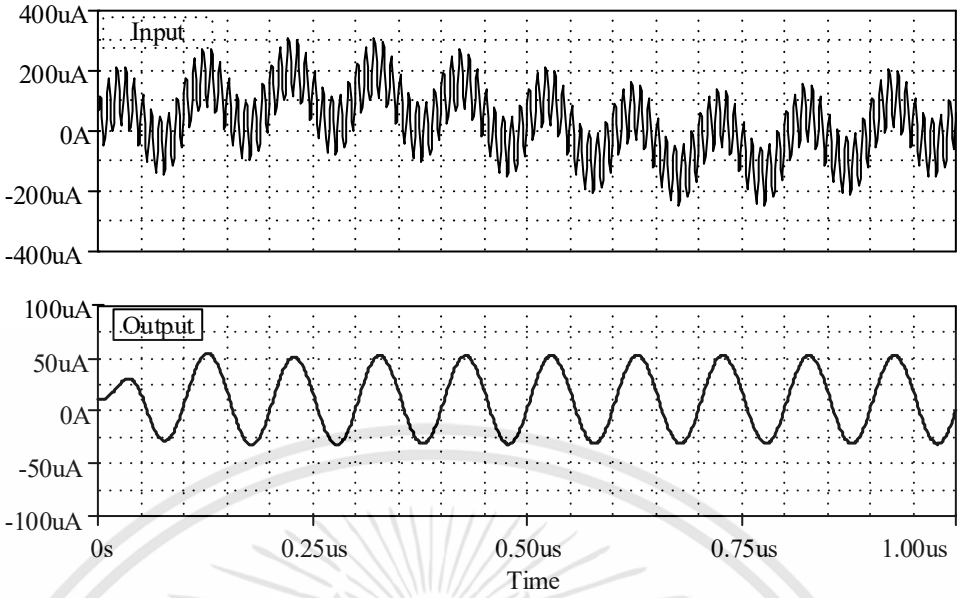


รูปที่ 4.16 สเปกตรัมของสัญญาณอินพุตหลายความถี่เมื่อป้อนกระแสไบอัสเท่ากับ 500 µA



รูปที่ 4.17 รูปคลื่นสัญญาณอินพุตและเอาท์พุตของวงจรกรองแถบความถี่ผ่านที่นำเสนอ เมื่อป้อนสัญญาณมัลติโทนตามรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



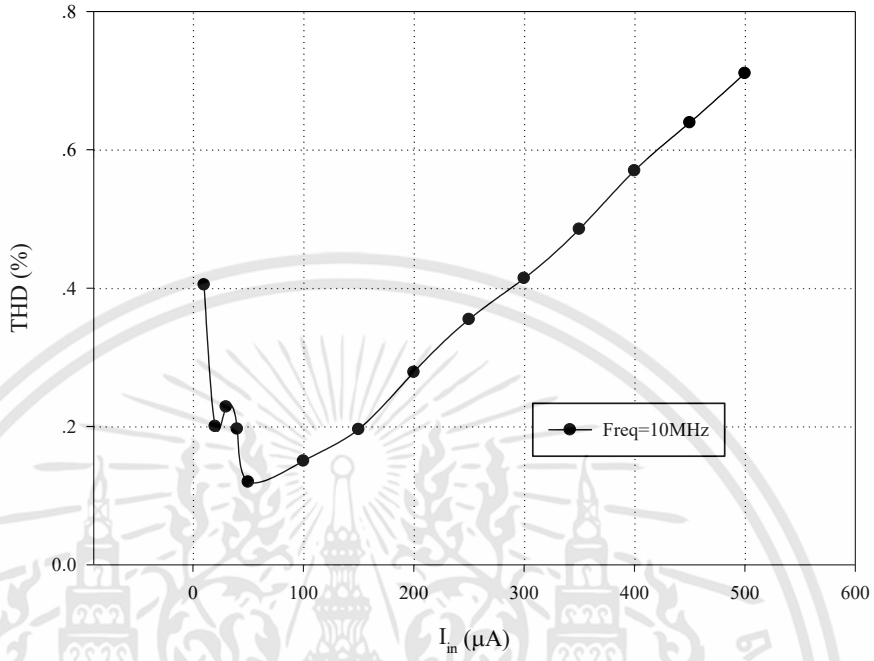
รูปที่ 4.18 รูปคลื่นสัญญาณอินพุตและเอาท์พุตของวงจรกรองแถบความถี่ผ่านที่นำเสนอ เมื่อป้อนสัญญาณความถี่ 100 kHz, 1 MHz, 10 MHz และ 100 MHz เข้าไปทางอินพุต

และเพื่อให้เห็นภาพได้ชัดเจนยิ่งขึ้น จึงได้จำลองการป้อนสัญญาณอินพุตสี่ความถี่คือ 100 kHz, 1 MHz, 10 MHz และ 100 MHz เข้าไปที่อินพุต รูปคลื่นเอาท์พุตได้ตามรูปที่ 4.18 ซึ่งจะเห็นได้ว่าความถี่สูง 10 MHz, 100 MHz กับความถี่ต่ำ 100 kHz ถูกกรองทิ้งไปเหลือเพียงความถี่ 1 MHz เท่านั้น แต่สัญญาณเอาท์พุตจะมีแรงดัน DC อยู่ด้วยเล็กน้อย

ความเพี้ยนฮาร์โมนิกส์ทั้งหมด (THD) ของวงจรกรองแถบความถี่ผ่านที่นำเสนอ พิจารณาได้ด้วยการป้อนสัญญาณอินพุตรูปไซน์ที่มีความถี่อยู่ในช่วงแถบความถี่ผ่านของวงจร โดยให้มีการเปลี่ยนแปลงค่าแอมปลิจูดหลากหลายค่าแต่ไม่เกินกระแสไบอัส ในที่นี้เลือกใช้ความถี่เท่ากับ 10 MHz โดยป้อนกระแสไบอัสเท่ากับ 500 μA ผลลัพธ์ที่ได้แสดงในรูปที่ 4.19 ค่า THD ของวงจรที่นำเสนอ ณ ความถี่ 10 MHz มีค่าน้อยกว่า 0.8% ในช่วงของระดับแอมปลิจูดของสัญญาณอินพุตเท่ากับ 10 μAp-p – 500 μAp-p ในการยืนยันถึงประสิทธิภาพในด้านของแถบพลวัตของวงจรกรองแถบความถี่ผ่านที่นำเสนอนั้น ใช้การพิจารณาเรื่องความเพี้ยนจากการมอดูเลตสัญญาณระหว่างกัน ด้วยการป้อนสัญญาณอินพุตรูปไซน์สองความถี่ที่มีความถี่ใกล้ ๆ กันในช่วงของแถบความถี่ผ่านของวงจร ซึ่งในที่นี้คือความถี่ f_1=10 และ f_2=11 MHz โดยให้แอมปลิจูดเปลี่ยนแปลงหลากหลายค่าแต่ไม่เกินกระไบอัส ซึ่งในที่นี้คือ 100-500 μAp-p หรือ -20 to -6 dBm ในขณะที่ป้อนกระแสไบอัสเท่ากับ 500μA (ความถี่กลางเท่ากับ 10 MHz) เลือกพิจารณาแอมปลิจูดของสเปกตรัมสัญญาณเอาท์พุตความถี่เท่ากับ 9 MHz เนื่องจากเป็นความถี่ที่เกิดจากการมอดูเลตระหว่างกันอันดับสามของสัญญาณสองอินพุตที่ป้อนเข้าไปในวงจรนั่นเอง ดังแสดงในรูปที่ 4.20 และเพื่อทำการหาจุดตัดอันดับที่สาม ดังนั้นผลลัพธ์ที่ได้แสดงไว้ในรูปที่ 4.21 ซึ่งจะเห็นได้ว่าความแตกต่างระหว่างความแรงสเปกตรัมของความถี่มูลฐาน (fundamental frequency 10 MHz) กับความถี่ฮาร์โมนิกส์ที่สามที่เกิดจากการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอดูเลตระหว่างกัน (9 MHz) มีค่าไม่ต่ำกว่า 20 dB ที่ระดับความแรงของสัญญาณอินพุตไม่เกิน -6 dBm หรือไม่เกิน 500 μAp-p ซึ่งหมายความว่าวงจรกรองแถบความถี่ผ่านนี้มีย่านพลวัตของสัญญาณอินพุตไม่เกิน 500 μAp-p นั่นเอง

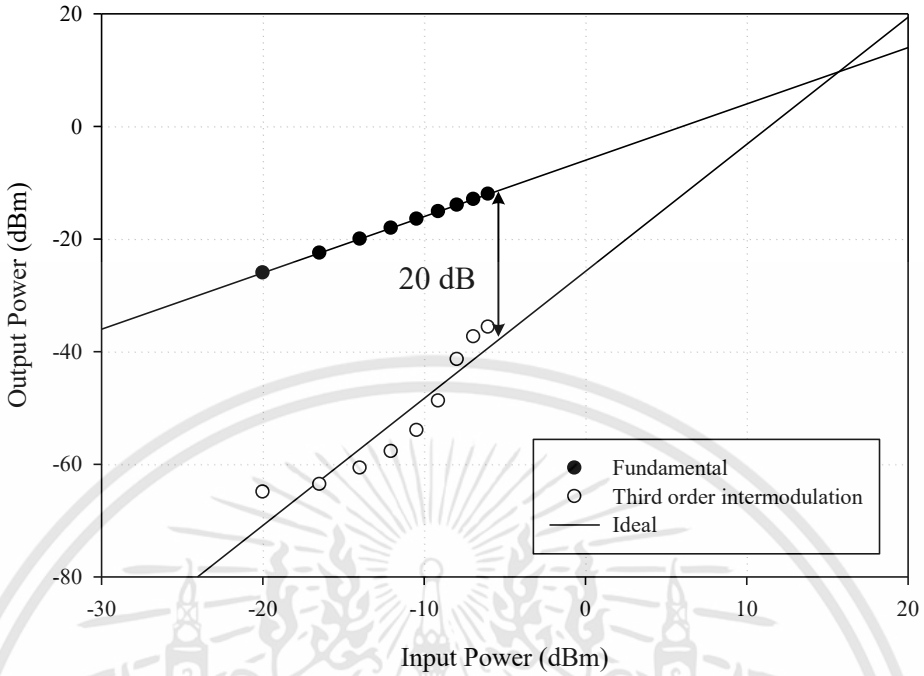


รูปที่ 4.19 ความเพี้ยนฮาร์โมนิกส์ทั้งหมดของวงจรกรองแถบความถี่ผ่านที่นำเสนอ เมื่อป้อนกระแสไบอัสเท่ากับ 500 μA

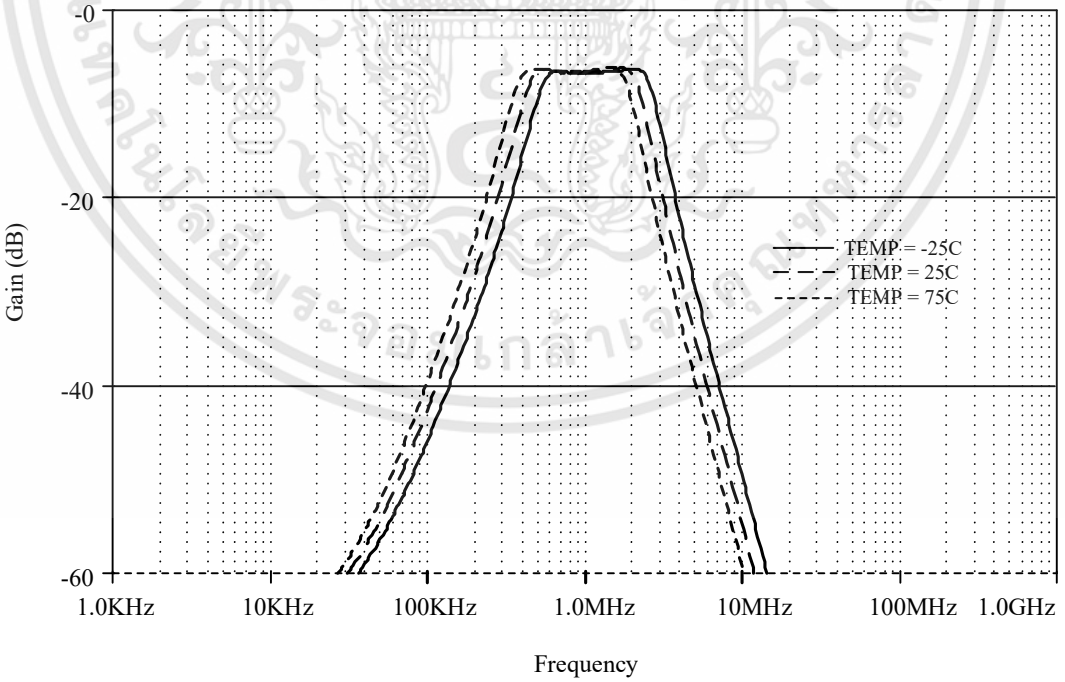
รูปที่ 4.20 การป้อนสัญญาณอินพุตสองความถี่ให้แก่วงจรกรองแถบความถี่ผ่านที่นำเสนอ และความถี่ของสัญญาณที่เกิดขึ้นทางเอาท์พุตของวงจร

จากที่ได้วิเคราะห์ไว้ในบทที่ 3 เกี่ยวกับฟังก์ชันถ่ายโอนของวงจรกรองแถบความถี่ผ่านที่นำเสนอนี้นั้น จะมีฟังก์ชันที่ขึ้นอยู่กับตัวแปร I_B, V_T, และ C_n ซึ่งส่งผลให้การทำงานวงจรดังกล่าวจะได้รับอิทธิพลของอุณหภูมิด้วย ทั้งนี้เพราะความต่างศักย์อันเนื่องจากความร้อนจะเปลี่ยนแปลงไป ส่งผลให้ความถี่คัตออฟของวงจรเปลี่ยนไป โดยสามารถจำลองเหตุการณ์ดังกล่าวด้วยการเปลี่ยนแปลงอุณภูมิการทำงานของวงจรเป็น -25, 25 และ 75 องศาเซลเซียสตามลำดับ โดยใช้กระแสไบอัสของวงจรท่ากับ 50 μA ได้ผลลัพธ์ดังแสดงในรูปที่ 4.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 จุดตัดระหว่างสัญญาณความถี่มูลฐานกับฮาร์โมนิกส์อันดับที่สามที่เกิดจากการมอดูเลตระหว่างกันของวงจรกรองแถบความถี่ผ่านที่นำเสนอ



รูปที่ 4.22 การทำงานของวงจรกรองแถบความถี่ผ่านที่อุณหภูมิแตกต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและข้อเสนอแนะ

ตัวกรองความถี่ต่ำผ่านและแถบความถี่ผ่านอันดับสูงชนิดล็อกโดเมนที่นำเสนอในวิทยานิพนธ์นี้นั้น อาศัยหลักการของการเลียนแบบคุณสมบัติการทำงานของวงจรกรองขั้นบันได RLC ประกอบกับการใช้ตัวกรองความถี่ต่ำผ่านอันดับหนึ่งหรืออินทิเกรเตอร์โหมดกระแสชนิดล็อกโดเมนที่พัฒนามาจากเทคโนโลยีไบโพลาร์ทรานซิสเตอร์ มาประกอบเข้าด้วยกันเป็นระบบตามที่ได้จากการสังเคราะห์วงจรต้นแบบขั้นบันไดด้วยเทคนิคการใช้กราฟการไหลของสัญญาณ (SFG) ทำให้วงจรของตัวกรองทั้งสองแบบนั้นมีความเรียบง่ายไม่ซับซ้อน และยังง่ายต่อการประยุกต์ใช้กับลักษณะของสัญญาณในแถบผ่านรูปแบบอื่น ๆ เช่น บัตเตอร์เวิร์ธ เป็นต้น ด้วยการปรับเปลี่ยนค่าความจุไฟฟ้าของตัวเก็บประจุภายนอก ที่ต่ออยู่ให้เหมาะสมเท่านั้น ตัวกรองความถี่ต่ำผ่านและแถบความถี่ผ่านที่นำเสนอนี้ใช้แหล่งจ่ายหนึ่งตัวเพียง +1.5 V เท่านั้น ในขณะที่การบริโภคพลังงานก็ไม่ได้สูงมากนักเพียงแค่ 31.4 และ 39.1 mW ตามลำดับ การปรับจูนทางอิเล็กทรอนิกส์สามารถปรับจูนได้มากกว่า 2 decades โดยที่สามารถใช้กระแสไบอัสได้สูงสุด 500 μA

หากเปรียบกับงานวิจัยที่มีมาก่อนหน้านี้ จะพบว่ามีนักวิจัยได้นำเสนอตัวกรองความถี่ชนิดล็อกโดเมนลักษณะเดียวกันกับที่ผู้เขียนได้นำเสนอในวิทยานิพนธ์ฉบับนี้ไว้แล้ว หากแต่ใช้กระบวนการสังเคราะห์ออกแบบที่แตกต่างกัน ซึ่งสามารถนำมาสรุปเปรียบเทียบได้ดังตารางต่อไปนี้

ตารางที่ 5.1 การเปรียบเทียบตัวกรองความถี่ที่นำเสนอกับงานวิจัยที่มีมาก่อน

	Active device	Synthesis method	Technology	Cut-off/ Center freq.	Voltage Suplly/ Bias current	Power Consumption	Order type
[21]	147 BJTs.	Simulating topology of L,C	BJT	2 MHz	±1.5 V/300 μA	26.2 mW	Fifth LP
[31]	39 BJTs	SFG	BJT	9 MHz	±1.5 V/50 μA	NA	Third LP
[32]	28 BJTs + 8 MOS	Leapfrog	BiCMOS	6.95 MHz	+1.5 V/38.4 μA	0.236 mW	Third LP
Proposed #1	37 BJTs	SFG	BJT	20 MHz	+1.5 V/500 μA	31.4 mW	Fifth LP
Proposed #2	45 BJTs	SFG	BJT	10 MHz	+1.5 V/500 μA	39.1 mW	Sixth BP

จากตารางเปรียบเทียบระหว่างตัวกรองที่นำเสนอในวิทยานิพนธ์ฉบับนี้กับงานวิจัยที่มีมาก่อน จะเห็นว่า งานวิจัยที่ [31] และตัวกรองที่นำเสนอนั้นใช้วิธีการสังเคราะห์ด้วยกราฟการไหลของสัญญาณเช่นเดียวกัน เพียงแต่งานวิจัยที่ [31] นั้นใช้แหล่งจ่ายแรงดันสองตัว ออกแบบเป็นวงจรกรองความถี่ต่ำผ่านอันดับสาม ความถี่คัตออฟ 9 MHz ที่กระแสไบอัส 50 μA จำนวนไบโพลาร์ทรานซิสเตอร์ที่ใช้ 39 ตัวแต่ไม่มีข้อมูลการบริโภคกำลังงาน ในขณะที่งานวิจัยที่นำเสนอใช้แหล่งจ่ายแรงดันตัวเดียว อันดับของวงจรกรองเป็นห้า ความถี่คัตออฟ 20 MHz ที่กระแสไบอัส 500 μA จำนวนไบโพลาร์ทรานซิสเตอร์ที่ใช้ 37 ตัว การบริโภคกำลังงานเท่ากับ 31.4 mW ในขณะที่งานวิจัย [32] ใช้การสังเคราะห์ด้วยหลักการของ leapfrog ใช้เทคโนโลยีของอุปกรณ์แอคทีฟเป็นไบโพลาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์และซีมอส ใช้แหล่งจ่ายแรงดันตัวเดียว ความถี่ตัดประมาณ 6.95 MHz ที่กระแสไบอัส 38.4 μA มีการบริโภคกำลังงานต่ำมากประมาณ 0.236 mW ในขณะที่งานวิจัยที่ [21] ใช้หลักการการเลียนแบบการทำงานของอุปกรณ์ในวงจรต้นแบบ แหล่งจ่ายแรงดันสองตัว ความถี่ตัดประมาณ 2 MHz ที่กระแสไบอัส 300 μA การบริโภคกำลังงานเท่ากับ 26.2 mW ซึ่งจะเห็นได้ว่าวงจรที่นำเสนอสามารถใช้งานที่ความถี่สูงกว่างานวิจัยที่มีมาก่อนหน้านี้

เนื่องจากตัวกรองที่นำเสนอนี้ใช้หลักการของการนำวงจรอินทิเกรเตอร์ชนิดสูญเสียและไม่สูญเสียมาต่อตามหลักการของกราฟการไหลของสัญญาณ ทำให้อินทิเกรเตอร์แต่ละตัวนั้นจำเป็นต้องใช้กระแสเอาท์พุตหลายตัวเพื่อให้สามารถต่อเป็นวงจรของตัวกรองตามหลักการข้างต้นได้ ซึ่งในวิทยานิพนธ์นี้ได้ใช้หลักการของการต่อวงจรสะท้อนกระแสเพิ่มเข้าไปในอินทิเกรเตอร์ ซึ่งอาจทำให้มีผลกระทบต่อการทำงานของตัวกรองความถี่ อีกทั้งยังทำให้การบริโภคกำลังงานสูงขึ้นด้วย ฉะนั้นจึงควรหาเทคนิคอื่น ๆ มาทดแทนการใช้วงจรสะท้อนกระแสในการเพิ่มจำนวนกระแสเอาท์พุตของอินทิเกรเตอร์ จักทำให้ประสิทธิภาพของตัวกรองดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1]. L.P. Huelsman, Active and Passive Analog Filter Design. McGraw-Hill Inc., International Edition, 1993.

[2]. T. Deliyannis, Y. Sun, J.K. Fidler, “Continuous-Time Active Filter Design. London (UK): CRC Press, 1999.

[3]. A. Fabre, F. Dayoub, L. Duruisseau, M. Kamoun, “High input impedance insensitive second-order filters implemented from current conveyors,” IEEE Transactions on Circuits and Systems I, vol. 41, no. 12, pp. 918–921, Dec. 1994.

[4]. E. Yuce, S. Minaei, “ICCII-based universal current-mode analog filter employing only grounded passive components,” Analog Integrated Circuits and Signal Processing, vol. 58, no. 2, pp. 161–169, Feb. 2009.

[5]. J. Koton, N. Herencsár, K. Vrba, “KHN-equivalent voltage-mode filters using universal voltage conveyors,” AEU - International Journal of Electronics and Communications, Vol. 65, Issue 2, pp. 154-160, Feb. 2011.

[6]. W.Y. Chiu, J.W. Horng, “High Input Impedance Voltage-Mode Universal Biquadratic Filter with Three Inputs and Six Outputs Using Three DDCCs,” Circuits Syst Signal Process, Vol. 31, pp. 19–30, 2012.

[7]. B. Singh, A. K. Singh, R. Senani, “A new universal biquad filter using differential difference amplifiers and its practical realization,” Analog Integr Circ Sig Process, Vol. 75, pp. 293–297, 2013.

[8]. K.L. Pushkar, D.R. Bhaskar, Dinesh Prasad, “Voltage-Mode New Universal Biquad Filter Configuration Using a Single VDIBA,” Circuits Syst Signal Process, Vol. 33, pp. 275–285, 2014.

[9]. H.P. Chen, S.F. Wang, “High-input impedance tunable DDCCTA-based voltage-mode universal filter with grounded capacitors and resistors,” AEU - International Journal of Electronics and Communications, Vol. 70, Issue 4, pp. 491-499, April 2016.

[10]. J. Wu, E. El-Masry, “Current-mode ladder filters using multiple output current conveyors,” IEE Circuits, Devices and Systems, vol. 143, no. 4, pp. 218–222, 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[11]. W. Tangsrirat, W. Surakampontorn, N. Fujii, “Realization of leapfrog filters using current differential buffered amplifiers,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. 86, Issue 2, pp. 318-326, 2003.

[12]. A. Jiraseree-amornkun, W. Surakampontorn, “Efficient implementation of tunable ladder filters using multi-output current controlled conveyors,” AEÜ - International Journal of Electronics and Communications, Vol. 62, Issue 1, pp. 11–23, Jan. 2008.

[13]. T. Kunto, P. Prommee, M.T. Abuelma’atti, “Electronically tunable current-mode high-order ladder low-pass filters based on CMOS technology,” Radioengineering, Vol. 24, No. 4, pp. 974-987, Dec 2015.

[14]. D. R. Frey, “Log-domain filtering: an approach to current-mode filtering,” Proc. Inst. Elect. Eng., Part G, vol. 140, pp. 406–416, Dec. 1993.

[15]. B. Gilbert, “Translinear circuits: an historical overview,” Analog Integr. Circuits Signal Process., vol. 9, pp. 95–118, Mar. 1996.

[16]. E. M. Drakakis, A. J. Payne, and C. Toumazou, “Log-domain state space: a systematic transistor level approach for log-domain filtering,” IEEE Trans. Circuits Syst. II, vol. 46, no. 3, pp. 290–305, Mar. 1999.

[17]. P. Prommee, N. Sra-ium, K. Dejhan, “High-frequency log-domain current-mode multiphase sinusoidal oscillator,” IET Circuits Devices Syst., Vol. 4, Issue. 5, pp. 440–448, Sep. 2010.

[18]. P. Prommee, K. Dejhan, “Single-input Multiple-output Tunable Log-domain Current-mode Universal Filter,” Radioengineering, Vol. 22, No. 2, pp. 474-484, June 2013.

[19]. A. T. Tola, R. Arslanalp, S. S. Yilmaz, Current Mode High Frequency KHN Filter Employing Differential Class AB Log Domain Integrator, International Journal of Electronics and Communications (AEÜ), vol. 63, pp. 600-608, 2009.

[20]. D. Perry, and G. W. Roberts, “The Design of Log-Domain Filters Based on the Operational Simulation of LC Ladders,” IEEE Trans. Circuits Syst. II, Vol. 43, no. 11, pp. 763-774, Nov. 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[21]. N. Kontogiannopoulos and C. Psychalinos, “Log-Domain Filtering by Simulating the Topology of Passive Prototypes,” IEEE Trans. Circuits Syst. I, Vol. 52, No. 10, Oct. 2005.

[22]. P. R. Gray, P. J. Hurst, et al., “Analysis and Design of Analog Integrated Circuits,” 5th ed., New York, Wiley, 2009.

[23]. พิพัฒน์ พรหมมี, “หลักการตัวกรองความถี่อนาลอก,” คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2553.

[24]. B. Gilbert, “Current mode circuits from a transistor viewpoint: a tutorial,” Analog IC Design: The Current-Mode Approach, C. Toumazou, F.Lidgey, et al., *IEEE Circuits and Systems Series*, vol. 2, Peter Perigrious Press, pp. 11-92, 1990.

[25]. R. Adams, “Filtering in log domain,” in *Proc. 63rd AES Conf*., New York, May 1979.

[26]. A. I. Zverev, “Handbook of filter synthesis,” New York, John Wiley, 1967.

[27]. Anritsu, “Intermodulation Distortion (IMD) Measurements Using the 37300 Series Vector Network Analyzer,” *Application note*, Sep 2000.

[28]. Aeroflex, “Intermodulation Distortion: An insight intermodulation distortion measurements method using the IFR 2026A/B Multisource Generator,” *Application note*, No. 46891/846, Issue 2, 05/04.

[29]. V.W. Leung and G.W. Roberts, “Effects of transistor nonidealities on high-order log-domain ladder filter pole-frequency,” IEEE Trans. Circuits Syst. II, vol. 47, no. 5, pp. 373-387, May 2000.

[30]. https://www.intersil.com/content/dam/Intersil/documents/mm30/mm3046.pdf.

[31]. C. Psychalinos and S. Vlassis, “On the exact realization of LOG-domain elliptic filters using the signal flow graph approach,” IEEE Transactions on Circuits and Systems II, vol. 49, no. 12, pp.770-774, Dec 2002.

[32]. V. Kolios and C. Psychalinos, “Design of low-voltage log-domain filters with maximized dynamic range,” 2010 17th IEEE International Conference on Electronics Circuits and Systems, pp 454-457, 12-15 Dec. 2010., Athens, Greece.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

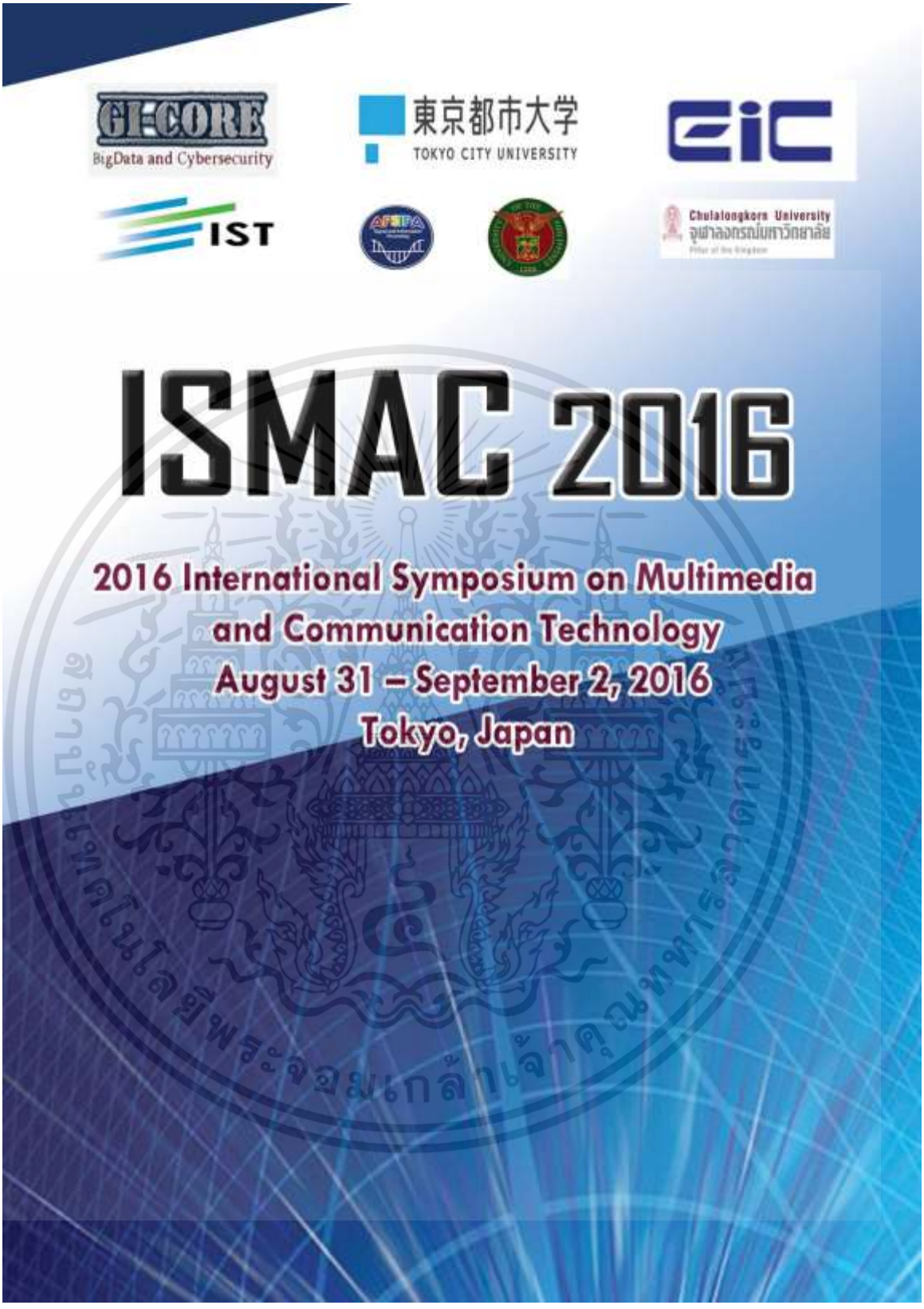
ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา

[1] P. Thongdit, T Kunto, and P. Prommee “Fully-Differential High-order Low-pass Filter based on Cascode OTA,” Proc. of ISMAC 2016, 2016 International Symposium on Multimedia and Communication Technology, Tokyo, Japan, pp. 149-152, Aug 31–Sep 2, 2016.

[2] N. Wongprommoon, P. Thongdit, and P. Prommee “Current-mode Square-Rooting Circuit based on CMOS Translinear,” Proc. of TSP 2018, 41st International Conference on Telecommunications and Signal Processing, Athens, Greece, pp. 198-201, July 4-6, 2018.

[3] P. Prommee, P. Thongdit, and K. Angkeaw “Log-domain high-order low-pass and band-pass filters,” International Journal of Electronics and Communications (AEÜ), Vol. 79, pp. 234-242, Sep 2017.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fully-Differential High-order Low-pass Filter based on Cascode OTA

Preecha Thongdit, Terdsak Kunto and Pipat Prommee

Department of Telecommunication Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Thailand 10520

Abstract— **This paper presents a design of fully-differential high-order low-pass filter based on cascode OTA. Due to the high-order ladder filter has low sensitivity and suitable for high performance filtering the desired signal. The fifth-order RLC ladder is used as the prototype and the signal flow graph (SFG) is used as the synthesis technique. The cascade OTA is used as the active building blocks. Full-differential scheme is constructed for obtaining the several advantages as well as wide bandwidth and noise minimization. The completed filter circuit consists of 10 OTAs, 10 grounded capacitors based on ±1V power supplies. Frequency response of proposed filter can be tuned between 300kHz and 20MHz through 1 μA to 400 μA of OTA bias currents. Low THD can be achieved as low as 0.15% at 10MHz frequency range.**

I. Introduction

The analog communications signal processing is well known that needs several functions for obtaining the desired signal and removing the unwanted signals. Analog filter is an important subsystem for achieving their functions. First of all, RLC [1] circuits are preferred to use as a filter in the system but they had drawbacks if the band of frequency was changed. Manually tuned of capacitors and inductors was required but it is not practically used. Next generation of electronic design using large scale integrated circuit (LSI) was exhibited. Versatile amplifier named OPAMP and RC [2-4] were preferred to design as well as analog filter. Although, the manual tunability can be done but the completed system is quite large and cannot provided electronically controlled feature. In modern communication signal processing, several building block are integrated as monolithic single chip. The function of several blocks need programmable, small die area and low power supply. Several active building blocks such as OTA [5], CCII [6] and CDTA [7] are introduced for biquad filters. Unfortunately, the performance of biquad filter is quite limited due to the second-order function behaviors. In many cases, the analog signal processing needs the accurate and high performance filter. High-order filter is a solution to be obtained the output requirement. Due to low sensitivity requirement, cascade structure of second order is not suitable to obtain the high-order filter. RLC ladder filter is also called Cauer network is preferred to use as a prototype because it has low-sensitivity feature. Several active devices can be realized using RLC ladder simulation method. OPAMP [1] with RC was implemented but not suitable for integration. Current-mode method based on different active devices is also introduced but some of them suffered from floating passive elements and some circuits used resistors. In the CMOS IC design, resistors can be realized by layout of polysilicon length which inverse proportional with the resistance value. So the large die area is required if the resistors are used. Another drawback is the use of floating capacitor which is not preferred for integrated circuit due to the very serious problem of bottom plate and the substrate [8]. The benefit of differential structure is proved that suitable for high-frequency, second harmonic cancellation and low-noise analog signal processing [9].

This paper presents a fifth-order low-pass filter using fully-differential structure based on CMOS cascode OTA. Signal flow graph (SFG) is used as synthesis method from Chebyshev RLC prototype. OTA-based fully-differential lossy and lossless integrators are realized by cascode OTA and grounded capacitors. Based on the configuration, the results confirmed that the high-frequency operation with low-THD can be achieved. The frequency response of proposed filter can be controlled by adjusting the OTA bias current. Moreover, low-complexity and low-power consumption are also achieved.

II. Active Building Blocks

A. Fully-differential Cascode OTA

All subsystems of proposed filter are realized by cascode OTA [9]. This OTA consists of 2 NMOS and 2 PMOS transistors and 2 current sources which performed as a fundamental active building block as shown in Fig.1.

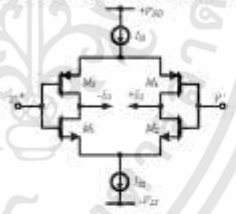


Fig. 1 CMOS fully-differential cascode OTA

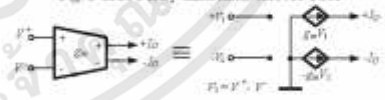


Fig. 2 Symbol of fully-differential cascode OTA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The electrical symbol and its property of cascode OTA have one of high-impedance of differential voltage input and one of differential output current which are depicted in Fig.2. Assuming that all transistors are operated in the saturation region and the substrates of these transistors are connected to their respective sources. The transconductance can be expressed as

$$G_m \cong \left(\frac{g_{m1}g_{m2}}{g_{m1}+g_{m2}}\right)+\left(\frac{g_{m3}g_{m4}}{g_{m3}+g_{m4}}\right) \quad (1)$$

where $g_m=\sqrt{\mu C_{OX}(W/L)I_B}$ with I_B is an external DC bias current of this element, $\mu C_{OX}(W/L)$ is physical parameters, μ, C_{ox}, W and L are surface mobility, oxide capacitance, channel width and length of MOS transistors i, respectively. Note that the transconductance in Eq.(1) can be tuned by adjusting the bias current.

B. Current-mode Fully-differential Integrators

The integrator circuit is an essential building block in the analog signal processing area. Two types of integrator can be classified by different magnitude and phase responses named as lossy and lossless integrators. Firstly, fully-differential lossless integrator comprises a differential output OTA and two grounded capacitors which depicted in Fig.3 and its transfer function is expressed as

$$\frac{I_{out}}{I_{in}}=\pm\frac{g_m}{sC} \quad (2)$$

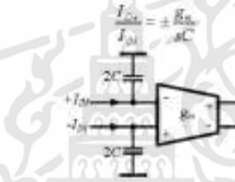


Fig. 3 Fully-differential lossless integrator

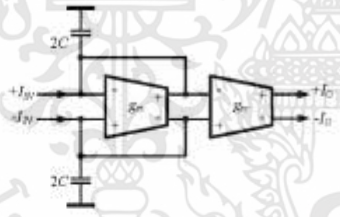


Fig. 4 Fully-differential lossy integrator

Secondly, fully-differential lossy integrator comprises two differential output OTAs and two grounded capacitors which depicted in Fig.4 and its transfer function is expressed as

$$\frac{I_O}{I_{IN}}=\frac{\pm g_m}{sC+g_m} \quad (3)$$

III. OTA-BASED LADDER FILTER SYNTHESIS

As mentioned that of RLC ladder filter has good resulting in low-sensitivity, the RLC ladder filter is used as a prototype. The simulating passive network by using signal flow graph (SFG) technique and frequency scaling are used for synthesis the active filter. Fifth-order RLC low-pass prototype is shown in Fig.5 and its voltage and current relationships are expressed in Eq.(4)-(12).

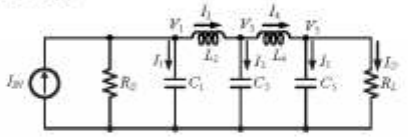


Fig. 5 Fifth-order RLC low-pass filter prototype

$$V_1=\left(I_{IN}-\frac{V_1}{R_1}-I_2\right)\frac{1}{sC_1} \quad (4)$$

$$V_2=\frac{I_2}{sC_2} \quad (5)$$

$$V_5=\left(I_4-\frac{V_5}{R_L}\right)\frac{1}{sC_5} \quad (6)$$

$$I_1=I_{IN}-\frac{V_1}{R_1}-I_2 \quad (7)$$

$$I_2=\frac{V_1-V_3}{sL_2} \quad (8)$$

$$I_3=I_2-I_4 \quad (9)$$

$$I_4=\frac{V_3-V_5}{sL_4} \quad (10)$$

$$I_5=I_4-\frac{V_5}{R_L} \quad (11)$$

$$I_O=\frac{V_5}{R_L} \quad (12)$$

Signal flow graph (SFG) from equations (4)-(12) can be written in the form of current and voltage variables as shown in Fig.6. Transforming all voltage variables to current variables by applying the transconductance (g_m) in particular branches, the transformed SFG of Fig.8 can be rewritten in Fig.7. Considering at two loops in left and right hand side can be also replaced by lossy integrator.

Fig. 6 SFG of fifth-order RLC low-pass filter prototype

Fig. 7 Transformed SFG of fifth-order RLC low-pass filter in current-mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Considering Fig.7, the old values of L and C have been scaling by the same value (g_m). The new values of L and C become

$$L_n = \frac{L}{g_m} \tag{13}$$

$$C_n = \frac{C}{g_m} \tag{14}$$

From Fig.7, it can be seen that L and C components are transformed to lossless and lossy integrator forms. It means that L_2 and L_4 are replaced by C_2 and C_4, respectively. The proposed fifth-order ladder low-pass filter can be realized by using block diagram of lossless and lossy integrators and written as Fig.8.

TABLE I. TRANSISTORS ASPECT RATIO OF CASCODE OTA

Transistor	W(μm)	L(μm)
M1, M2	3.6	0.54
M3, M4	9	0.54

IV. SIMULATION RESULTS

The performance of proposed fifth-order current-mode ladder LPF using cascode OTA is verified by PSpice based on TSMC 0.18μm CMOS Level 7 technology with ±1V power supplies. Transistor aspect ratios of cascode OTA are listed in Table1.

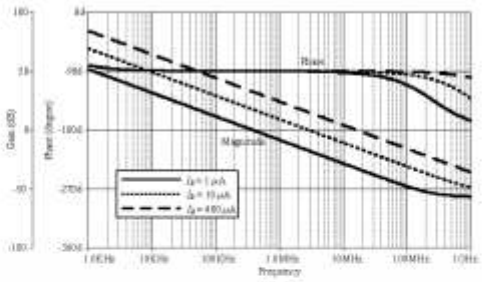


Fig. 9 Magnitude and phase response of lossless integrator

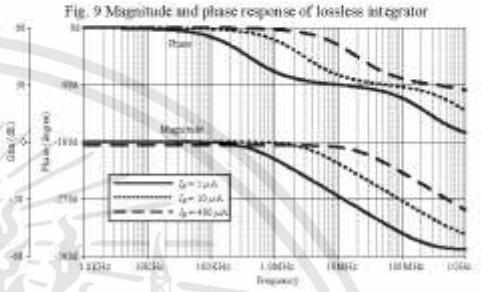


Fig. 10 Magnitude and phase response of lossy integrator

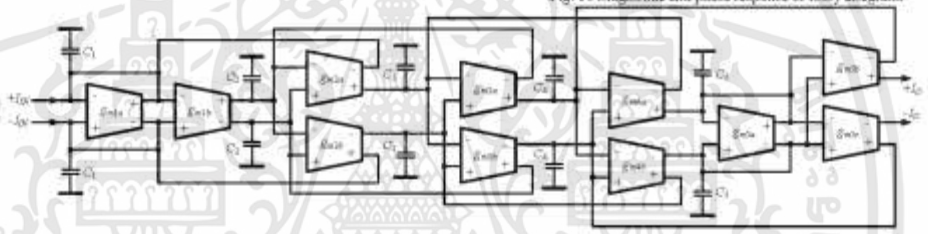


Fig. 8 Fully-differential fifth-order low-pass filter

The operation of lossless and lossy integrators is confirmed by connecting grounded capacitor 10pF and varied bias current from 1μA-400μA. Magnitude and phase response of lossless and lossy integrators are illustrated in Fig.9 and 10, respectively. It can be seen that the frequency response of integrators are varied around 200kHz to 20MHz. Phase response of lossless and lossy integrators is obtained around -90 degrees and -45 degrees, respectively.

The RLC ladder prototype used in this paper is based on Chebyshev function with the following conditions, f_c=10MHz, passband ripple=0.5dB, then the passive element values of the RLC prototype can be obtained as R_s=R_L=1Ω, C_1=C_5=28.76nF, L_2=L_4=20.73nH and C_3=42.83nF. Using the similar concept the passive element of proposed filter are following values, C_1=C_5=14.4pF, C_2=C_4=10.4pF, C_3=21.4 nF and bias current of OTAs are given by I_B=50μA. The frequency response of RLC prototype and proposed filter are plotted in Fig. 11. It can be seen that the magnitude response proposed filter is in accordance with the RLC prototype.

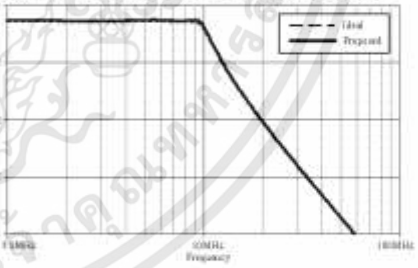


Fig. 11 Plots of magnitude response of RLC prototype and proposed filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The tunability feature of proposed filter can be verified by adjusting the bias current from 1μA-400μA. The frequency response of proposed filter can be tuned between 500kHz and 20MHz.

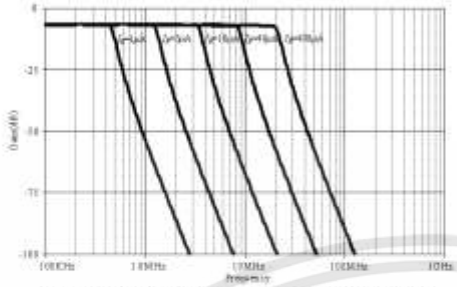


Fig. 12 Frequency response tunability feature of proposed filter

A group delays performance of proposed filter can be verified by setting the bias current at 400μA. Group delays is obtained around 30ns and flatten along the passband but the stopband has higher delays of 60ns.

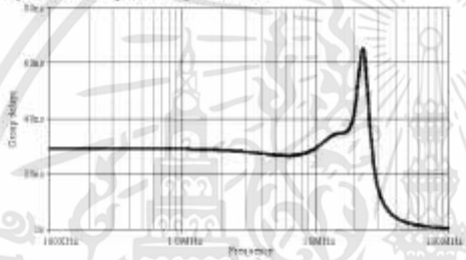


Fig. 13 Group delay at 400μA bias current of proposed filter

Filtering performance of proposed filter can be verified by applying multi-tone (100kHz, 300kHz, 1MHz, 3MHz, 10MHz, 30MHz and 100MHz) and setting the bias current at 400μA. Multi-tone spectrums can be obtained only in-band frequency according to the theory.

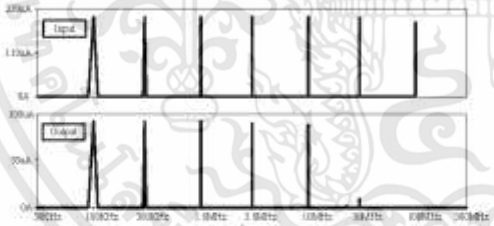


Fig. 14 Multi-tone response of proposed filter

The distortion is verified by THD simulation in passband at 1MHz and 10MHz. The THD is obtained less than 0.12% as shown in Fig.15.

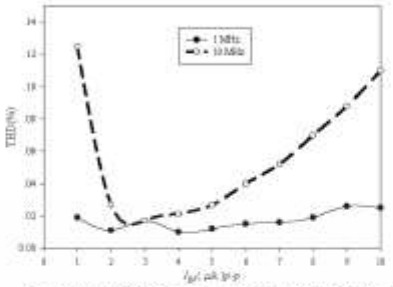


Fig. 15 THD of proposed filter with varied of amplitude input

V. CONCLUSIONS

Fully-differential electronically tunable current-mode high-order LPF is realized based on the Chebyshev ladder low-pass filter prototype. Eleven cascode OTAs and 10 grounded capacitors are used for implementing the proposed filter. It enjoys electronic tuning of frequency response between 500kHz and 20MHz through bias current from 1μA to 400μA. The circuit uses ±1V power supplies with low dynamic power consumption (7.92mW) at 400μA bias current. The proposed circuit enjoys low complexity structures, with, low THD less than 0.12%, it is very suitable to realize the proposed filter in communication monolithic chip to use in low-power mobile communication equipment.

REFERENCES

[1] T. Deliyannis, Y. Sun and J. K. Fidler, "Continuous-Time Active Filter Design," London: CRC Press, 1999.
[2] J. Tow, "Design formulas for active RC filters using operational-amplifier biquad," Electronics Letters ,vol.5, no. 15, pp. 339 – 341, July 1969.
[3] L. Thomas, "The Biquad: Part I-Some practical design considerations," IEEE Transactions on Circuit Theory, vol.18 , no.3, pp.350 – 357, May 1971.
[4] J. W. Kerwin, L. P. Huelsman, R. W. Newcomb, "State-Variable Synthesis for Insensitive Integrated Circuit Transfer Functions," IEEE Journal of Solid-State Circuits, vol.2, no. 3, pp. 87 – 92, Sep 1967.
[5] C. N. Lee, "Multiple-Mode OTA-C Universal Biquad Filters," Circuits, Systems and Signal Processing, Vol. 29, no. 2, pp 263–274. April 2010.
[6] H. P. Chen, "Single CCII-based voltage-mode universal filter," Analog Integrated Circuits and Signal Processing, Vol. 62, no. 2, pp. 259-262, Feb. 2010.
[7] W Tangsirat, T. Dumawipata, W. Surakampontorn, "Multiple-input single-output current-mode multifunction filter using current differencing transconductance amplifiers," Int. J. Electron. Commun. (AEÜ), Vol. 61, pp. 209 – 214, 2007.
[8] Y. Tsividis, "Mixed Analog-digital VLSI Devices and Technology," World Scientific Publishing, Singapore, 2002.
[9] B. Nauta, "Analog CMOS Filters for Very High Frequencies," Springer US, 1993.
[10] A. F. Arbel, L. Goldminz, "Output stage for current-mode feedback amplifiers, theory and applications," Analog Integrated Circuits and Signal Processing, vol. 2, no. 3, pp. 243-255, 1992.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current-mode Square-Rooting Circuit based on CMOS Translinear

Natapong Wongprommoon*, Preecha Thongdit†, and Pipat Prommee†
*Department of Electrical Engineering, Faculty of Engineering and Industrial Technology,
Silpakorn University, Nakhon Phathom 73000, Thailand.
† Department of Telecommunications Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand.

***Abstract*—In this paper, a new current-mode square-rooting circuit based on translinear principle is proposed. The saturation mode of MOS transistors is used for realizing the proposed circuit with +1.5V power supplies. Square-rooting circuit is realized from the translinear type-A and current computation which uses totally eighteen MOS transistors. The circuit has two inputs which one performs as input and another one for a variable gain. Two input positions are similar characteristic which are able to swap generally. The gain of proposed square-rooting can be electronically tuned by bias current. The current output is accurately compared with the ideal square-rooting function. The error at current output is achieved lower than 4% along 150μA of input range. High frequency sinusoidal signal can be operated up to 5MHz. The proposed circuit is suitable for applying in the varieties of analogue signal-processing applications. The simulation results are depicted to confirm the theoretical analysis by using PSpice. Moreover, layout and post layout simulation results are included.**

***Keywords*—Current-mode, Square-rooting, Translinear, CMOS**

I. Introduction

Square-rooting circuit is a useful function building block for several applications e.g. neural networks, measurement and instrument. It can be used to compute the distance between two vectors or to calculate the r.m.s. (Root Mean Square) value of an arbitrary waveform. Square-rooting circuit was proposed by using operational amplifiers (op-amp) and bipolar junction transistors [1]. However, the frequency performance of op-amp based square-rooting circuit was limited due to the finite gain bandwidth of the op-amp and not suitable for IC implementation. The current-mode square-rooting circuit based on bipolar junction transistors (BJT) [2] and CMOS vector summation [3] was proposed in translinear configuration which was appropriate for implementing in monolithic integrated circuit technology. Square-rooting circuits that realized from MOS transistor with op-amp [4], using square law of MOS transistor [5-6], operate in class AB [7] were proposed with complex structures. The square-rooting based on several active building blocks such as OTA [8], CCII [9], DDVCC [10] CCCII [11-12] and CDTA [13] were introduced, but they had generic drawbacks of active building blocks. Most of circuits had low BW, some circuit required excessive of passive elements and some circuits used many active elements. More design of square-rooting circuits in transistor level were invented using BJT translinear class AB with complex structure [14] and MOS transistors [15-17] and they also suffered from tuning condition.

This paper presents a CMOS current-mode square-rooting circuit by using translinear loop with low complexity structure. This circuit only uses eighteen transistors without any external passive elements. The current gain can be controlled by bias current. Physical layout and post layout simulation are carried out to confirm the performances.

II. General Principle

A. CMOS Current-mode Square-rooting

The current square-rooting based on MOS translinear loop (MTL) type-A configuration [3] is shown in Fig.1. Owing to transistors are matched and operated in saturation region, applying KVL to the loop then gate-source voltage of four transistors can be written as

$$V_{GS1} - V_{GS2} + V_{GS3} - V_{GS4} = 0 \qquad (1)$$

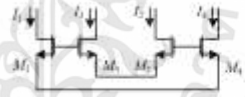


Fig. 1. MOS translinear loop type-A

where $V_{GSi} = \sqrt{\frac{I_i}{k_n}} + V_{TN}$, $k_n = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right)$ is a transconductance of NMOS transistors, the translinear equation (1) can be rewritten as

$$\sqrt{I_1} + \sqrt{I_2} = \sqrt{I_3} + \sqrt{I_4} \qquad (2)$$

Squaring (2) and suppose that the drain current of M_3 and M_4 are equal to half of the current output $I_3=I_4=I_O/2$. It can be realized by using a current mirror (M_5 and M_6) and associated current (I_2-I_1) as shown in Fig.2 for maintaining the current I_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

and I_4 to be equaled. The current output can be simplified into the square root function with a non-linear term as

$$\frac{I_1+I_2}{2}+\sqrt{I_1 I_2}=I_O \tag{3}$$

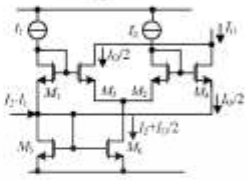


Fig. 2. Concept of CMOS current square-rooting

Considering (3), the square-rooting output function can be easily completed by cancelling unwanted nonlinear term. In Fig.3, the transistors M_9-M_{13} are designed to substract inputs (I_2-I_1). M_{14} -M_{16} are current mirror for inputs (I_1, I_2). M_7 and M_8 are used to sum currents by setting the aspect ratio (W/L) to achieve half of input currents. Note that, W/L of M_{17} and M_{18} must be half smaller than M_{12} and M_{14}.

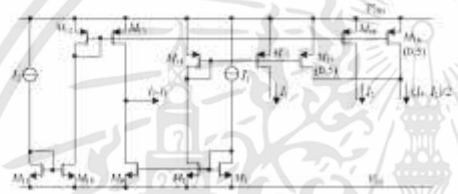


Fig. 3. CMOS substract and sum circuit

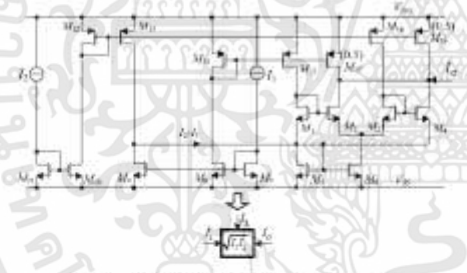


Fig. 4. Completed CMOS current square-rooting

Combining the circuits in Fig.2 and Fig.3, then we get completed CMOS current square-rooting as Fig.4 and output current is obtained as

$$I_O=\sqrt{I_1 I_2} \tag{4}$$

From (4), it is clear that the proposed circuit also provides the temperature insensitive feature.

III. Performance Analysis

A. Transistors mismatched

The proposed square-rooting circuit requires matching conditions as well as the size of transistors M_1-M_4. From (1), the translinear equation can be rewritten based on mismatch of M1-M4 as

$$\sqrt{I_1/k_1}+\sqrt{I_2/k_2}=\sqrt{I_3/k_3}+\sqrt{I_4/k_4} \tag{5}$$

where $k_i=\frac{\mu C_{ox}}{2}\left(\frac{W}{L}\right)_i$ represents the parameters of transistor i_{th}. Suppose that the current source $(I_1+I_2)/2$ in Fig.3 are perfectly ideal, the output current can be expressed as

$$I_O=\frac{k_2 k_4}{k_1 k_3}\left[\frac{k_2 I_1+k_3 I_2+2\sqrt{k_1 k_2 I_1 I_2}}{\left(\frac{k_2+k_4}{2}+\sqrt{k_3 k_4}\right)}\right]-\frac{(I_1+I_2)}{2} \tag{6}$$

The current gain and a few nonlinear errors are governed by mismatched of transistors M_1-M_4. To minimize the errors, at least the matching of M_1/M_2 and M_3/M_4 are required then the current output becomes

$$I_O=\frac{k_B}{k_A}\left[\frac{(I_1+I_2)+2\sqrt{I_1 I_2}}{2}\right]-\frac{(I_1+I_2)}{2} \tag{7}$$

where k_A and k_B denote the parameters of M_1,M_2 and M_3,M_4, respectively. From (7), the nonlinear errors can be reduced by adjusting the current sources $(I_1+I_2)/2$ in Fig.3.

B. Maximum Input Current

The proposed square-rooting also has an input range limitation which governed by the operation of MOS transistor in saturation region (V_{GS}-V_T<V_{DS}). Assuming that the current I_1 is an input and I_2 is a constant bias current, the maximum of bias current (I_2-I_1) would supposed to be I_2. Considering at M_1, if the maximum of I_1 is applied then the voltage of V_{GS1} and V_{GS9} are expressed as

$$V_{GS1}=\sqrt{\frac{I_1}{k}}+V_{TN} \tag{8}$$

$$V_{GS9}=\sqrt{\frac{I_2+I_O/2}{k}}+V_{TN} \tag{9}$$

Regarding the transistors are operated in saturation region, the maximum output current and $V_{SD13}=\sqrt{\frac{I_1}{k_P}}+V_{TP}$ are assumed, hence the gate-to-source voltage of M_1 and M_9 can be written as

$$\left(\sqrt{\frac{I_1}{k_N}}+\sqrt{\frac{I_2+I_O/2}{k_N}}+2V_{TN}\right)<\left(2V_{DD}-\sqrt{\frac{I_1}{k_P}}+V_{TP}\right) \tag{10}$$

Assuming that the I_1=I_2=I_O=I_{max}, V_{TN}≈V_{TP}≈V_T and k_P≈k_N≈k, the maximum input current can be approximated as

$$I_{max}<k\left(\frac{2V_{DD}-V_T}{2+\sqrt{1.5}}\right)^2 \tag{11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IV. Simulation Results

To confirm the characteristics of proposed current square-rooting circuit, the post-layout simulation results are carried out based on ±1.5V power supplies and TSMC 0.18μm level 49 CMOS technology [18]. Aspect ratio (W/L) of NMOS transistors were used as the following assignments; M_1 to M_4 equal to 20μm/2μm, M_5 to M_{11} equal to 5μm/0.5μm, and PMOS transistors M_{12} to M_{16} equal to 10μm/0.5μm, M_{17} to M_{18} equal to 5μm/0.5μm. Fig.5 shows physical layout of square-rooting circuit which use 50×58 μm² chip area.

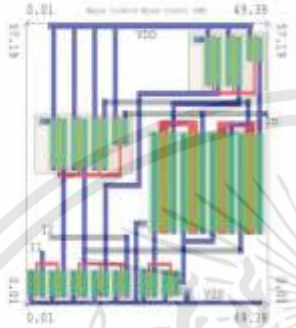


Fig. 5. Physical Layout of the proposed square-rooting circuit.

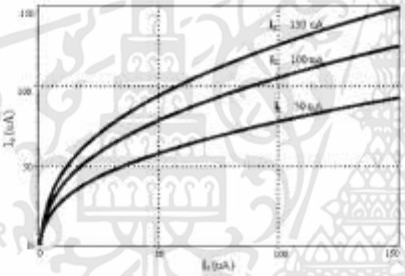


Fig. 6. The dc characteristic variation of outputs current versus input current (I_1).

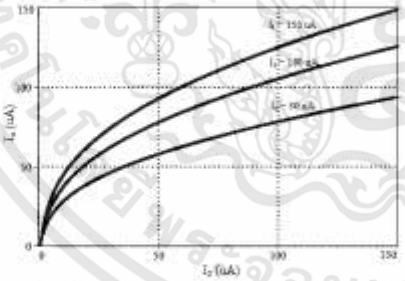


Fig. 7. The dc characteristic variation of outputs current versus input current (I_2).

Figure 6 shows the DC-characteristic of proposed square-rooting circuit when the input current I_1 is varied from 0 to 150 μA with given the current I_2 to control the current gain by adjusting I_2 = 50, 100 and 150 μA. Likewise, input current I_2 was applied as a current input by varying from 0 to 150 μA while given the current I_1 to control the current gain by adjusting I_1 = 50, 100 and 150 μA as shown in Fig. 7.

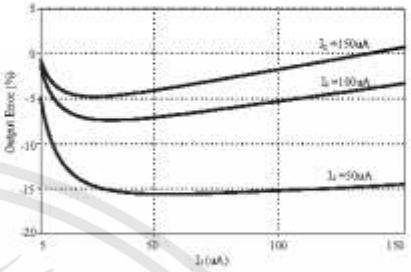


Fig. 8. The relative errors of the result in Fig.6.

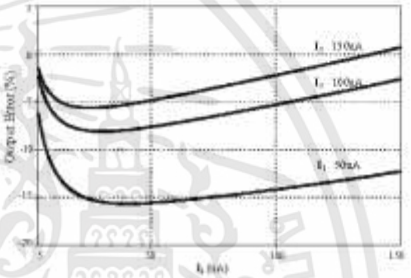


Fig. 9. The relative errors of the result in Fig.7.

Relative output errors compared with ideal square-rooting function when I_1 and I_2 are being input which shown in Fig.8 and Fig.9, respectively. It is clear that input range 5-150 μA and bias current (gain control) 50-150 μA have dynamic relative errors. When bias current is low the relative errors are around 10-15% and when bias current is high relative errors around 0-5%. There are slightly different errors between both inputs I_1 and I_2.

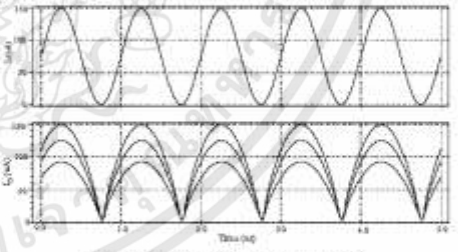


Fig. 10. Sinusoidal signal responses at 1MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The sinusoidal signal current was applied to the input I_1 by assigning its amplitude at 150μAp-p with different frequencies of 1MHz and 5MHz whilst biasing I_2 as a gain control. We found that the proposed circuit provides correctly square-rooting output when input is 1 MHz as shown in Fig.10, but the proposed circuit provides acceptable output with very low distortion when input is 5MHz as shown in Fig.11.

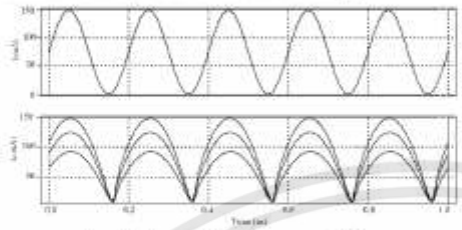


Fig. 11. Sinusoidal signal responses at 5MHz.

Figure 12 shows current outputs when input is 1MHz triangular signal with 150μAp-p. By applying I_1 as an input current and I_2 as gain control, we found that at 1 MHz the proposed circuit provides correct output. One of the advantages of the proposed circuit is temperature insensitive feature. The current outputs are demonstrated in Fig.13 by adjusting the temperature from 0-100°C, we found that the output current only has slightly deviation in the amplitude.

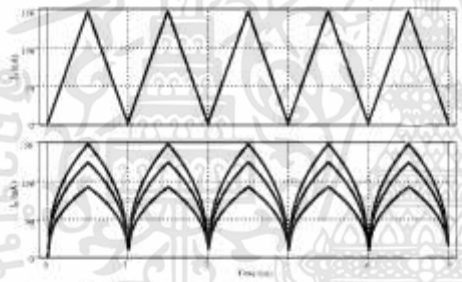


Fig. 12. Triangular signal responses at 1MHz.

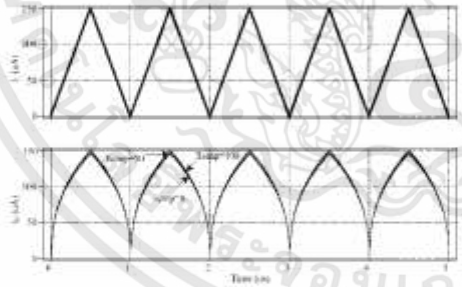


Fig. 13. Triangular signal responses when changing temperature

V. Conclusion

A new current square-rooting circuit based on CMOS translinear has been proposed. This circuit can operate under low voltage with temperature insensitive feature. The proposed circuit can be easily implement to integrated circuit by using 0.18μm CMOS technology that use 50×58 μm^2 chip area. Post layout simulation results are accurately obtained by using Spice with DC current input range of 0-150 μA and the current gain can be adjusted by bias current. Input and variable current gain terminals can be applied in arbitrary position of inputs. Frequency responses can be obtained over 5 MHz with maximum power dissipation around 2mW at 5MHz.

References

[1] J. Millman and A. Grabel, "Microelectronics," New York, McGraw Hill.

[2] Toumazou C, Lidgey F, Haigh D., "Analogue IC design: the current-mode approach," London: Peter Peregrinus; 1990.

[3] E. Seevinck, R.J. Wiegerink, "Generalized Translinear Circuit Principle," IEEE J. Solid-state Circuits, Vol. 26, No. 8, Aug. 1991.

[4] I. M. Filanovsky, and H. P. Baltes, "Simple CMOS analog square-rooting and squaring circuits," IEEE Trans. Circuits Syst., Vol.39, pp.312-315, 1992.

[5] K. Bult and H. Wallinga, "A class of analog CMOS circuits based on the square-law characteristic of an MOS transistor in saturation," IEEE J. Solid-State Circuits., Vol.SC-22, No.3, pp.357-365, 1987.

[6] K. Dejhan, C. Soonyeekan, P. Prommee and F. Cheevasuvit, "An MOSFET square-rooting circuit," Proc. of ROVPIA'96, pp.597-601, Malaysia, 1996.

[7] V. Riewruja, K. Anitahiruraat, and W. Surakampontorn, "A class AB CMOS square-rooting circuit," Int. J. Electronics, Vol.85, No.1, pp.55-60, 1998.

[8] V. Riewruja, "Simple square-rooting circuit using OTAs," Electron. Lett., Vol. 44, No.17, 14th Aug. 2008.

[9] S. I. Liu, "Square-rooting and vector summation circuits using current conveyors," *IEE Proc.,Circuits Devices Syst*, vol. 142, no. 4, pp. 223–226, 1995.

[10] W. Chiu, S.I. Liu, H.W. Tsao, and J.J. Chen, "CMOS differential difference current conveyors and their applications," *IEE Proc.,Circuits Devices Syst*, vol. 143, no. 2, pp.91–96, 1996.

[11] W. Petchakit, A. Lorsawatsiri, W. Kunarot, C. Woegtavchatham, P. Wardkein, "Current-mode squaring, square-rooting and vector summation circuits," Int. J. Electron. Commun. (AEÜ), Vol.64, pp.443–449, 2010.

[12] K. Dejhan and C. Netbut, "New simple square-rooting circuits based on translinear current conveyors," Int. J. Electronics, Vol.94, No.7, pp.707–723, July 2007.

[13] W. Tangsrirat, T. Pukkalanun, P. Mongkolwai, W. Surakampontorn, "Simple current-mode analog multiplier, divider, square-rooter and squarer based on CDTAs," Int. J. Electron. Commun. (AEÜ) Vol.65, pp.198–203, 2011.

[14] M. Kumngern and K. Dejhan, "A New Translinear-Based Dual-Output Square-Rooting Circuit," Active and Passive Electronic Components, Vol.2008, pp.1-5, doi: 10.1155/2008/623970.

[15] S. Minaei, R. C. Turan and H. Kuntman, "Novel high-precision current-mode circuits based on the MOS-translinear principle, Int. J. Electron. Commun. (AEÜ), Vol. 63, pp.992–997, 2009.

[16] J.K. Seon, "Design and application of precise analog computational circuits," Analog Integr Circ Sig Process, Vol.54, pp.55–66, 2008.

[17] E.S. Al-Suhaibani and, M.A. Al-Absi, "A new CMOS current-mode controllable-gain square rooting circuit using MOSFET in subthreshold," Analog Integr Circ Sig Process, Vol.82, pp.431–434, 2015.

[18] J. Jerabek, R. Sotner and K. Vrba, "TISO Adjustable Filter with Controllable Controlled-Gain Voltage Differencing Current Conveyor," Journal of Electrical Engineering, Vol.65, Issue 3, pp137-143, May 2014.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Int. J. Electron. Commun. (AEÜ) 79 (2017) 234–242

Contents lists available at ScienceDirect

International Journal of Electronics and Communications (AEÜ)

journal homepage: www.elsevier.com/locate/aeue

Regular paper

Log-domain high-order low-pass and band-pass filters

Pipat Prommee [a,*], Preecha Thongdit [a], Krit Angkeaw [b]

[a] Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
[b] Instrumentation and Electronics Engineering Department, Faculty of Engineering, King Mongkut's University of Technology North Bangkok, Bangkok 10800, Thailand

ARTICLE INFO

Article history:
Received 28 March 2017
Accepted 12 June 2017

Keywords:
Ladder filters
Tunable
Log-domain integrator
Translinear
BJT

ABSTRACT

Continuous time current-mode high-order low-pass and band-pass filters based on the log-domain concept are presented in this paper. The passive RLC ladder networks are used as the prototype to achieve the proposed filter by simulating the RLC network synthesis method. The achieved filters have inherited the good sensitivity performance from the RLC passive prototype. Fifth-order RLC ladder low-pass filter and sixth-order RLC ladder band-pass filter are used as prototypes and the signal flow graph (SFG) technique is used for the synthesis. The SFG can identify group of integrators and several signal paths. Log-domain lossy and lossless integrators based on BJT technology are deployed to achieve the integrators for realization of proposed filters. The simulations were carried out and the results exhibited several features which are in agreement with the RLC prototype. The frequency response of filters along 100 kHz to 10 MHz can be electronically tuned through 5–500 μA of bias currents. The THD lower than 1% of LP and BP filters were measured at 10 MHz input. The multi-tone tested was included in the paper for verifying the performance of proposed LP and BP filters. The intermodulation distortions around −50 dB and −60 dB were also investigated for the proposed LP and BP filters.

© 2017 Elsevier GmbH. All rights reserved.

1. Introduction

A continuous time of analogue filter is an important building block in the analog signal processing area. In telecommunications, the continuous time filter is required especially in modulations and demodulations. In the past, passive RLC networks were found to be suitable for a variety of filters [1]. Unfortunately, passive RLC are not preferred in modern filters as they are not suitable for integrated circuits and lacked unable to use the tunability feature. Active elements, e.g. OPAMP, were generally unattractive for integration when designing filters since they consumed the numerous passive elements and lacked the tunability feature [2]. Several active filters based on different concepts have been reported. Many second-order tunable filters using different active elements have also been introduced. Second-generation current conveyor (CCII) [3,4] and universal voltage conveyors (UVC) [5] and differential difference current conveyor (DDCC) [6] with a few passive elements have been implemented for the second-order filter. Biquad filters were achieved based on differential difference amplifier (DDA) [7] and voltage differencing inverting buffered amplifier [8]. Unfortunately, they lacked the tunability feature and also required resistors in the circuit. Tunable biquad filters using differential difference current conveyor transconductance amplifier (DDCCTA) [9] with grounded passive elements were introduced despite only having a single active element, they still required resistors. However, the performances of those filters were limited by active elements and order of filters.

High-order continuous time filters based on CCII [10] and current differencing buffered amplifier (CDBA) have been introduced [11] with floating and grounded resistors and capacitors. In modern filters, the chip area minimization is preferred, thus resistors should be avoided. The simulating of a ladder filter using current controlled conveyors (CCCII) [12] was reported with the tunability feature of low-pass (LP) and band-pass (BP) functions. The tunable range was relatively narrow and high-frequency operation was limited. Recently, low-voltage high-order LP filters based on CMOS technology [13] were reported with the tunability feature and they were suitable for high-frequency applications.

The log-domain circuit has a well-known benefit that consists of tunability, suitable for high-frequency and low-voltage applications [14]. An essential property of log-domain system is, internally processed non-linear domain but whole system is linear-domain, based on the translinear principle [15]. Many applications of the log-domain principle can be found in several circuits. Log-domain state-space filter design [16], multiphase sinusoidal oscillator [17], and universal filter [18,19] were introduced using different log-domain structures but they also have the interesting

* Corresponding author.
E-mail address: pipat@telecom.kmitl.ac.th (P. Prommee).

http://dx.doi.org/10.1016/j.aeue.2017.06.014
1434-8411/© 2017 Elsevier GmbH. All rights reserved.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

results. The design of a high-order log-domain LP filter based on operational simulation LC ladder [20,21] was designed but it suffered from the high-complexity structure.

In this paper, design of high-order LP and BP filters based on log-domain companding circuit using the signal flow graph (SFG) technique and RLC ladder as a prototype is presented. The proposed filter has low-complexity, low-voltage and high performances filtering. The proposed filters require only BJTs, grounded capacitors and bias current circuitry. The lossy and lossless integrators were used to minimize the number of transistors. The frequency response of LP and BP can be wide-range tuned along 100 kHz to 10 MHz. This paper is divided into the following sections, the theory of log-domain lossy and lossless integrators and SFG design technique used for the proposed filters are expressed in Section 2. Realization of the proposed log-domain LP and BP filter are given in Section 3. Section 4 investigates the influence of BJT nonidealities to the integrators to optimize the design as well as the use of capacitors and transistor current gain (β). The simulation results and conclusion are described in Sections 5 and 6, respectively.

2. Theories and principles

2.1. Log-domain lossy and lossless integrators based on translinear BJT

The basic inverting first-order low-pass filter or lossy integrator, used in this paper are the main active building blocks as depicted in Fig. 1(a). Pole frequency is controlled by parameter A. Fig. 1(b) shows a log-domain integrator based on translinear BJT cell [17,18]. Assuming that, the transistors have an ideal exponential characteristic and neglecting of base currents. Applying the translinear principle (TLP) to Q_1–Q_4 gives:

$$I_{C1}I_{C2} = I_{C3}I_{C4} \tag{1}$$

where $I_{C1} = I_1 = I_{in}$, $I_{C2} = I_2$, $I_{C3} = (I_1 + C_1\dot{V}_{C1})$ and $I_{C4} = I_4 = I_O$. The derivative of voltage across the capacitor C_1 is

$$\dot{V}_{C1} = \frac{dV_{C1}}{dt} = \frac{V_T}{I_0}\frac{dI_0}{dt} = \frac{V_T\dot{I}_O}{I_0} \tag{2}$$

Supposed that the currents $I_2 = I_1 = I_B$, Eq. (1) can be rewritten as

$$I_{in}I_B = \left(I_B + C_1\frac{V_T\dot{I}_O}{I_0}\right)I_O \tag{3.1}$$

$$I_{in} = I_0 + \frac{C_1\dot{I}_OV_T}{I_B} \tag{3.2}$$

Taking the Laplace transform to both sides of (3) and rearranging, the transfer function is

$$H(s) = \frac{I_O(s)}{I_{in}(s)} = \frac{1}{s(C_1V_T/I_B) + 1} \tag{4}$$

From (4), it can be seen that the generic lossy integrator (first-order low-pass filter) is evident satisfactions. The pole frequency of lossy integrator can be electronically tuned by adjusting the bias current (I_B). Note the gain of this structure is unity, all of the bias currents are identical. The completed inverting and non-inverting log-domain lossy integrator can be easily achieved by adding three transistors (Q_5–Q_7) as shown in Fig. 2. The current transfer function of dual-output log-domain lossy integrator can be written as

$$H(s) = \frac{I_{O1}(s)}{I_{in}(s)} = \frac{-(I_B/C_1V_T)}{s + (I_B/C_1V_T)} \tag{5}$$

$$H(s) = \frac{I_{O2}(s)}{I_{in}(s)} = \frac{(I_B/C_1V_T)}{s + (I_B/C_1V_T)} \tag{6}$$

where $V_T = 26$ mV is at room temperature. It is obviously shown from (5) and (6) that $H(s)$ agrees with the transfer function of inverting and non-inverting lossy integrators, respectively.

From Fig. 3, an inverting lossless integrator can be transformed by using a lossy integrator with negative feedback from the output current into the input. The log-domain dual-outputs lossless integrator is depicted in Fig. 4 [18] and its current transfer function of dual-output can be written as

$$\frac{I_{O1}(s)}{I_A(s)} = \frac{-I_B}{sC_1V_T} \tag{7a}$$

$$\frac{I_{O2}(s)}{I_A(s)} = \frac{I_B}{sC_1V_T} \tag{7b}$$

2.2. Synthesis of active low-pass filter using RLC ladder prototype

The passive RLC ladder filter is selected as the prototype because of its good property in low-sensitivity and comfortably

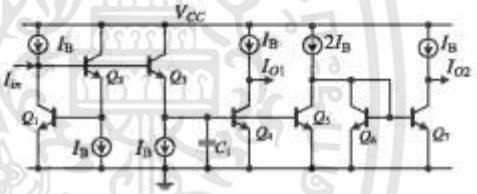
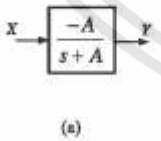
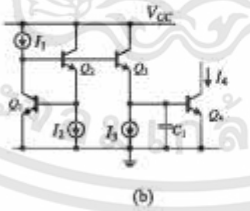


Fig. 2. Completed log-domain lossy integrator.

Fig. 3. Lossless integrator transformed by a lossy integrator.



(a)



(b)

Fig. 1. (a) Lossy integrator (b) log-domain inverting lossy integrator.

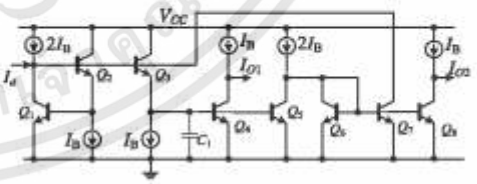


Fig. 4. Completed log-domain lossless integrator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

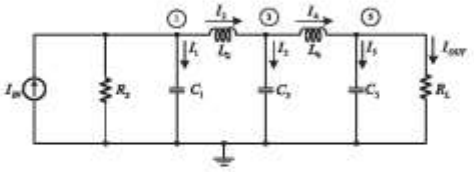


Fig. 5. RLC Ladder for fifth-order low-pass filter.

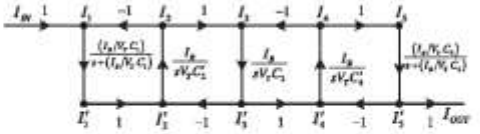


Fig. 7. Transformed SFG of fifth-order low-pass filter into current-mode.

design due to the identical values of a few passive elements. The simulating of a passive network using the signal flow graph (SFG) technique and frequency scaling are used for the synthesis of the active filter circuit. The analysis of fifth-order Chebyshev low-pass filter prototype is shown in Fig. 5. This can be derived by the usage of Kirchhoff's current law (KCL) at node voltage V_1, V_3 and V_5. The set of relationship between current and voltage are described as the following (8)–(16).

$$V_1 = \left(I_{IN} - \frac{V_1}{R_S} - I_2\right)\frac{1}{sC_1} \tag{8}$$

$$V_3 = \frac{I_3}{sC_2} \tag{9}$$

$$V_5 = \left(I_4 - \frac{V_5}{R_L}\right)\frac{1}{sC_3} \tag{10}$$

$$I_1 = I_{IN} - \frac{V_1}{R_S} - I_3 \tag{11}$$

$$I_2 = \frac{V_1 - V_3}{sL_2} \tag{12}$$

$$I_3 = I_2 - I_4 \tag{13}$$

$$I_4 = \frac{V_3 - V_5}{sL_4} \tag{14}$$

$$I_5 = I_4 - \frac{V_5}{R_L} \tag{15}$$

$$I_{OUT} = \frac{V_5}{R_L}. \tag{16}$$

Considering (8)–(16), the signal flow graph (SFG) can be written in the form of voltage and current relationships, as shown in Fig. 6. For current-mode method, voltage variables have to be transformed into current variables by applying the intrinsic resistance (V_{ri}/I_{ri}) in appropriate branches and assuming $R_S = R_L = 1$. Fortunately, the transfer function of integrators requires only capacitor and active elements. Therefore, all of the inductors (L_i) are transformed into capacitors (C_i'). Thus, Fig. 6 can be rewritten as in Fig. 7 and it is obviously clear that there are 2 lossy- and 3 lossless-integrators in the system.

Fig. 6. SFG of fifth-order RLC low-pass filter prototype.

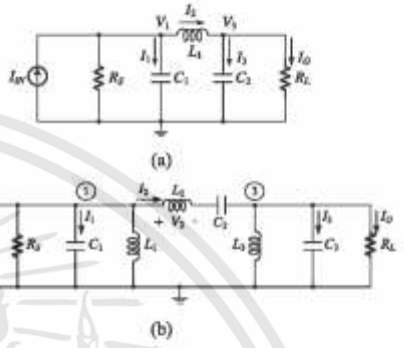


Fig. 8. (a) Third-order Chebyshev LP prototype. (b) Transformed sixth-order BP filter.

2.3. Synthesis of RLC ladder band-pass filter

RLC Chebychev sixth-order BPF prototype as shown in Fig. 8(b) can be achieved by using the transformation of doubly terminated RLC passive Chebychev LPF prototype in Fig. 8(a) and network transformation in Table 1 [1]. The analysis of sixth-order Chebyshev band-pass filter prototype can be derived by the usage of KCL and Ohm's law at node voltage V_1, V_3 and voltage across inductor L_2 (V_2). The set of equations are shown in the following (17)–(23).

$$V_1 = \frac{I_1}{sC_1} \tag{17}$$

$$V_2 = V_1 - V_3 - \frac{I_1}{sC_2} \tag{18}$$

Table 1
Network transformation between LP and BP.

LP prototype	Transformed BP
L_{LP}	L_{LP} and $\frac{1}{L_{LP}\omega_o^2}$
C_{LP}	C_{LP} and $\frac{1}{C_{LP}\omega_o^2}$
R_{LP}	R_{LP}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_3 = \frac{I_3}{sC_3} \tag{19}$$

$$I_1 = I_{IN} - I_2 - \frac{V_1}{sL_1} - \frac{V_1}{R_5} \tag{20}$$

$$I_3 = \frac{V_2}{sL_2} \tag{21}$$

$$I_5 = I_3 - \frac{V_3}{sL_3} - \frac{V_3}{R_4} \tag{22}$$

$$I_{OUT} = \frac{V_3}{R_L}. \tag{23}$$

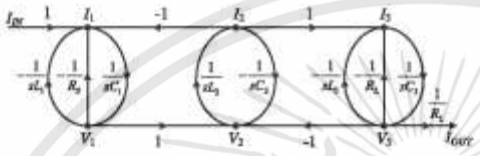


Fig. 9. SFG of the sixth-order RLC band-pass filter prototype.

Fig. 10. Transformed SFG of the sixth-order RLC band-pass filter into current-mode.

Used in the same manner as the low-pass filter in the previous section, SFG of the band-pass filter and its simplification are illustrated in Figs. 9 and 10, respectively.

Considering Fig. 9, all voltage nodes would be changed to current nodes by applying the intrinsic resistance (V_T/I_B) into the appropriated branches. Every branch can be achieved by using the integrator. Additionally, the SFG can also be minimized by replacing the lossy integrator into the lossless integrator with its negative feedback. The final SFG of the current-mode BP filter can be rewritten as in Fig. 10.

3. Realization of proposed Chebyshev filter

3.1. Low-pass filter

From the beneficial properties of a ladder RLC filter configuration, the SFG of the fifth-order LP filter in Fig. 7 can be realized by using log-domain lossy and lossless integrators. Based on the Chebyshev methodology, the value of capacitors C_1, C_3 and C_5 are equaled, C_2' and C_4' (L_2 and L_4) are also equaled. Thus, the log-domain fifth-order LP filter circuit can be exhibited as in Fig. 11. Due to the minimized bias current mismatched error [18] the bias circuitry based on accurate current mirrors are required as shown in Fig. 13(a).

3.2. Band-pass filter

The SFG of sixth-order BP filter in Fig. 10 can be achieved by using log-domain lossy and lossless integrators. Based on the Chebyshev methodology, it can be deduced that the value of capacitors C_1, C_2 and C_3 are equaled, C_1', C_2' and C_3' (L_1, L_2 and L_3) are also equaled. Therefore the active band-pass filter circuit can be achieved as in Fig. 12. Due to the minimized bias current mismatched error [18] the bias circuitry based on accurate current mirrors are required as shown in Fig. 13(b).

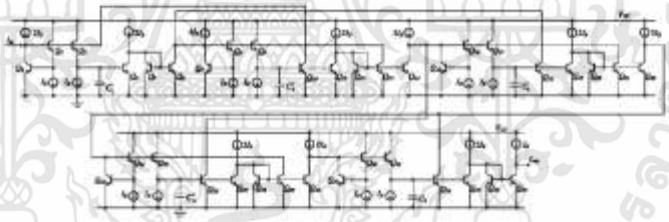


Fig. 11. Realization of proposed log-domain fifth-order LP filter.

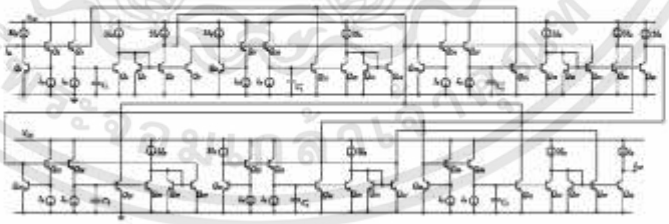
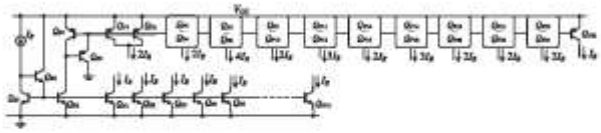
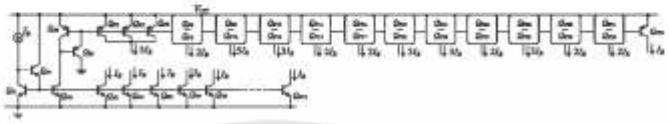


Fig. 12. Realization of proposed log-domain sixth-order BP filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) Current biasing circuit for proposed high-order LPF



(b) Current biasing circuit for proposed high-order BPF

Fig. 13. Current biasing circuit based on high-accurate current mirrors.

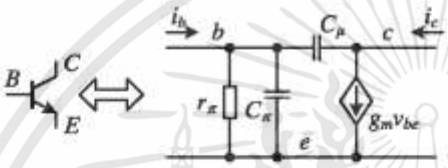


Fig. 14. Small signal model of bipolar transistor for non-ideal analysis.

4. Influence of transistor nonideality

Log-domain filter contains a group of integrators which suffer from transistor nonidealities [22]. This paper derives equations by describing the nonideal characteristics of a log-domain integrator as a non-ideal model of the transistor. This section shows the effects of the transistor parasitic as seen in Fig. 14 based on a small-signal model using base-emitter resistance (r_π), base-emitter capacitance (C_π), and base–collector capacitance (C_μ). Suppose that the other parasitic capacitances are very small and the impedance of the collector-emitter (r_o) is high. In this section, only inverting lossy and lossless integrators are investigated in the following subsections.

4.1. Parasitic resistance (r_π and β)

This subsection considers the parasitic of base-emitter resistance (r_π) and finite beta (β) how they affect the log-domain integrators. From the small-signal model of a bipolar transistor, when the parasitic capacitances are neglected, the effect of r_π to lossy integrator transfer function of Fig. 2 can be rewritten as Eq. (24) where i_{in} and i_{ny} denote the specific cases $i^{(k)}$ of small signal analysis.

$$\frac{I_{O1}}{I_{in1}} \approx \frac{-g_{m1}r_{\pi4}(g_{m3}r_{\pi2}r_{\pi3}+g_{m3}r_{\pi1}r_{\pi3}+g_{m3}r_{\pi1}r_{\pi2}+g_{m3}g_{m2}r_{\pi1}r_{\pi2}r_{\pi3})}{\left[\begin{array}{c} sC_1(g_{m3}r_{\pi2}r_{\pi3}+g_{m3}r_{\pi1}r_{\pi3}+g_{m3}r_{\pi1}r_{\pi2}+g_{m3}g_{m2}r_{\pi1}r_{\pi2}r_{\pi3}) \\ +sr_{\pi1}r_{\pi4}C_1(g_{m3}r_{\pi2}+g_{m3}g_{m2}r_{\pi2}r_{\pi3}+g_{m2}r_{\pi2}) \end{array}\right]} \tag{24}$$

The nonideal parasitic resistances, pole-frequency can be expressed as Eq. (25) where transistor current gain $\beta_i = g_{mi}r_{\pi i}$. Considering transistor current gain, pole-frequency of the low-pass filter can be written in terms of β effectiveness. It can be seen that the parasitic resistances and β provides a small deviation of pole-frequency [17].

$$\omega_{p1} \approx \frac{(g_{m1}\beta_3\beta_2)}{C_1(g_{m1}r_{\pi3}+g_{m1}\beta_2r_{\pi3}+\beta_2)} \tag{25}$$

Similarity, lossless integrator transfer functions in Fig. 4 can be simplified and rewritten in (26).

$$\frac{I_{o4}(s)}{I_{in}(s)} \approx -\frac{\beta^2}{2}\left(\frac{2/g_{m2}r_\pi^2C_1}{s+2/g_{m2}r_\pi^2C_1}\right) \tag{26}$$

$$\omega_{p2} \approx \frac{2}{g_{m2}r_\pi^2C_1}, H_{o2} = \frac{\beta^2}{2} \tag{27}$$

From (26), lossless integrator is directly affected by the base-emitter parasitic resistance (r_π). Note that, all transistors were matched for lossless integrator with the identical $\beta = g_{mi}r_{\pi i}$ and transconductances ($g_{mi} = I_{bi}/V_T$). The lossless integrator functions as a low-pass filter with low-frequency pole (ω_{p2}) and high-gain (H_{o2}) at low frequency as shown in (27).

4.2. Parasitic capacitance (C_π and C_μ)

The stray or parasitic capacitances including the bipolar transistor are considered in this subsection to verify how many effects of stray capacitances could be found in the log-domain integrator. First of all, parasitic base-emitter capacitance (C_π) is considered, all transconductance are identical. Using the small-signal model of the bipolar transistor without parasitic resistances, the effect of C_π to lossy integrator transfer function [17] can be approximated to (28) and its pole-frequency to (29)

$$\frac{I_{O1}(s)}{I_{in}(s)} \approx \frac{-[g_{m1}+s(C_{\pi1}+C_{\mu1}+C_{\pi3})]}{g_{m1}+s(C_1+C_{\pi2}+C_{\pi3}+C_{\pi4})} \tag{28}$$

$$\omega_{p1} \approx \frac{g_{m1}}{C_1+C_{\pi2}+C_{\pi3}+C_{\pi4}} \tag{29}$$

Similarity, parasitic base–collector capacitance (C_μ) is also taken into account. The effect of the base–collector capacitance to the lossy integrator transfer function is given by (30) and its pole-frequency is shown in (31).

$$\frac{I_{O1}(s)}{I_{in}(s)} \approx \frac{-g_{m1}}{g_{m1}+s(C_1+C_{\mu1}+C_{\mu2}+C_{\mu3}+C_{\mu4})} \tag{30}$$

$$\omega_{p1} \approx \frac{g_{m1}}{C_1+C_{\mu1}+C_{\mu2}+C_{\mu3}+C_{\mu4}} \tag{31}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Secondly, using the small-signal model of the bipolar transistor with parasitic capacitances, the effectiveness of C_π to the lossless integrator transfer function [18] can be approximated in (32)

$$\frac{i_{O1}(s)}{i_x(s)} \approx \frac{-g_{m1}}{s(C_1 + C_{\pi7} + C_{\pi8} - C_{\pi1})} \tag{32}$$

Similarly, parasitic base–collector capacitance (C_μ) is also a major limitation to translinear circuit accuracy. The effect of the base–collector capacitance to the lossless integrator transfer function is given by (33)

$$\frac{i_{O1}(s)}{i_x(s)} \approx \frac{-g_{m1}}{s(C_1 + 2C_{\mu7} + C_{\mu4} + C_{\mu1} + C_{\mu3})} \tag{33}$$

From (28) to (33), it is apparent that the stray capacitances $C_{\pi i}$ and $C_{\mu i}$ are the cause of deviation in the frequency response of lossy and lossless integrators. Note that when pole frequency is formed by $\omega_0 = I_B/CV_T$, high frequency operation is enable by increasing the bias current or reducing the capacitance. To minimize power, the bias currents are kept as low as possible and the capacitor is appropriately increased. To prevent significant errors, the selected capacitor C of integrators would be in the following condition.

$$C >> 3C_\pi + 5C_\mu \tag{34}$$

5. Simulation results

From the previous section that explained the synthesis of filter circuit based on the passive RLC prototype circuit, it is obviously clear that the low-pass and band-pass filter circuits can be realized from active circuit which consists of only lossy and lossless integrators. The characteristics of both lossy and lossless integrators have been studied in order to consider their features, especially in passband frequency.

In this research, the simulations were carried out using PSpice based on the HFA3127 (NPN) and HFA3128 (PNP) high-frequency transistor arrays from Intersil [23]. The capacitor of 200pF was used in lossy and lossless integrators as C_1 in Figs. 2 and 4 with varied of bias current by 5, 50 and 500 μA. The magnitude responses of lossy and lossless integrators were simulated by PSpice as shown in Figs. 15 and 16. One can see that the cutoff frequency at −3 dB gain of lossy integrator and 0 dB gain of lossless integrator are in good agreement and also can be electronically tuned through the bias current. Interestingly, the frequency response of lossless integrator is similar to that of the low-pass filter with a high gain at low frequency, consistent with (26) and (27). It is therefore these integrators which are suitable to use in the following proposed filter.Fig. 16

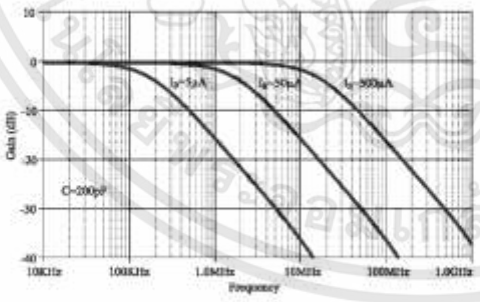


Fig. 15. Magnitude response of lossy integrator.

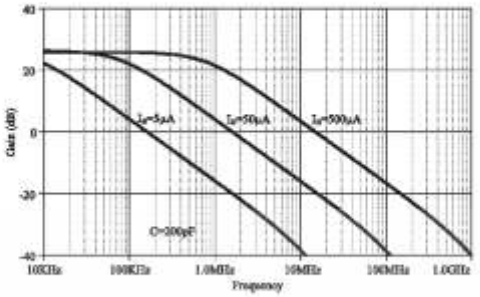


Fig. 16. Magnitude response of lossless integrator.

5.1. Low-pass filter

According to the RLC ladder low-pass filter prototype as shown in Fig. 5, the 5th order Chebyshev filter with the cutoff frequency of 2 MHz and the ripple of 0.5 dB was chosen for the design [1]. Thus, the passive elements in Fig. 5 are $C_1 = C_5 = 143.75$ nF, $C_3 = 214.15$ nF and $L_2 = L_4 = 103.6$ mH. From the proposed circuit in Fig. 11, the capacitors used in this circuit should not be less than 180 pF in order to avoid the influence of stray capacitance of BJT. Considering the passive element $(1/sC_1)$ or $(1/sL_1)$ of filter in Fig. 6 and the integrators transfer function (I_B/sC_1V_T) in Fig. 7, the capacitors and inductors were actually replaced by the integrators. For example, $C_1 = 143.75$ nF of Fig. 5 is assigned for 2 MHz cutoff frequency, the bias current of integrator $(I_B = 50\ \mu A)$ is supposed and $V_T = 26$ mV. The capacitor C_1 of integrator was scaled by $k_f C_1$ of the RLC prototype circuit which meant $k_f = 1.92 \times 10^{-3}$. Using the same frequency scaling factor (k_f), the value of capacitors in Fig. 11 $C_1 = C_5 = 276$ pF, $C_3 = 411.17$ pF, $C_2' = C_4' = 196.84$ pF were obtained. The simulation results of the RLC prototype of Fig. 5 compared to the proposed Chebyshev low-pass filter in Fig. 11 are shown in Fig. 17. It can be noticed that the frequency response of the proposed filter harmonizes with the RLC prototype but its passband level and ripple are slightly lower than the prototype. The electronically-tuned feature of the proposed circuit has been studied by adjusting the bias current $I_B[5, 50, 500]$ μA. One can see that the frequency response of the proposed low-pass filter can be tuned over a wide range of frequencies (range of 200 kHz to 20 MHz) as shown in Fig. 18.

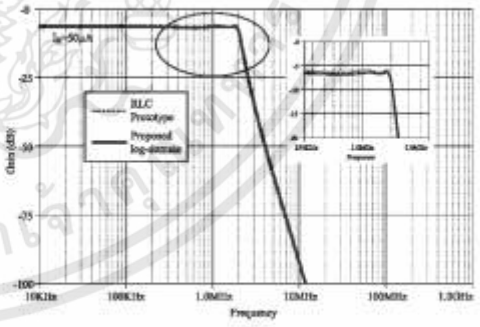


Fig. 17. Comparison of proposed LPF and RLC prototype ($I_B = 50$ μA).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

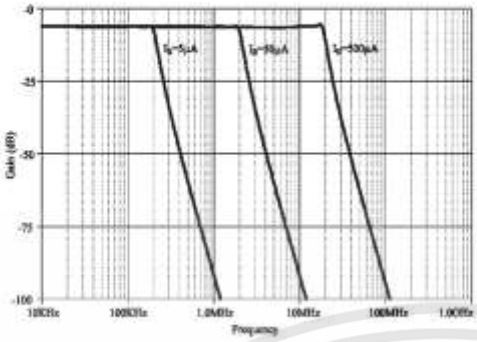


Fig. 18. Magnitude response of proposed LPF as a function of the bias current (I_B).

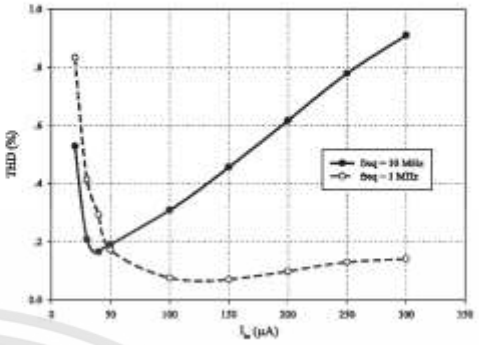


Fig. 21. Total harmonic distortion of the proposed LPF at 500 μA bias current.

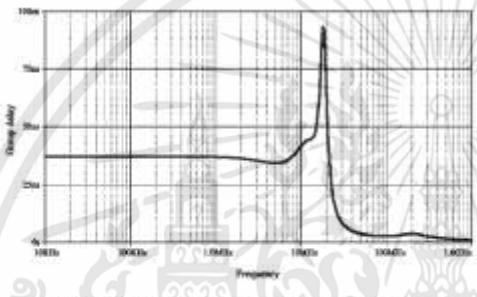


Fig. 19. Group delay of the proposed LPF at bias current (I_B) of 500 μA.

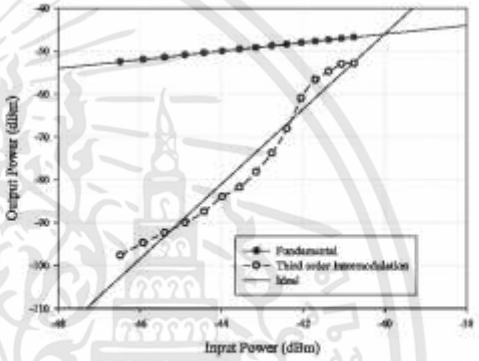


Fig. 22. Third-order intercepts point of proposed LPF.

Fig. 19 shows the group delay performance of the proposed LPF. It is apparent that the group delay is relatively flatted along the passband around 37 ns. The performance of the proposed low-pass filter can be verified by applying multi-tone (100 kHz, 300 kHz, 1 MHz, 3 MHz, 10 MHz, 30 MHz, and 100 MHz) to the input of proposed filter with the bias current of 500 μA. The multi-tone spectrum was simulated and the results are shown in Fig. 20. It is evident that the out-band tones (> 30 MHz) have been discarded and only the in-band tones (< 30 MHz) can be transferred to the output.

The total harmonic distortion (THD) of the proposed LPF was verified by applying two sinusoidal signal inputs with variable

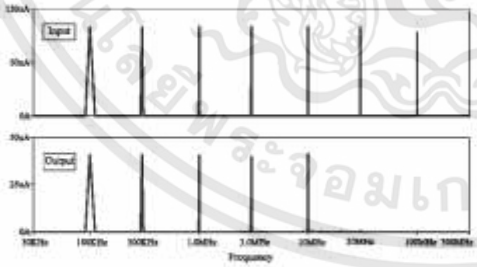


Fig. 20. Multi-tone spectrum of the proposed LPF at bias current of 500 μA.

amplitudes at two pass-band frequencies (i.e. 1 MHz and 10 MHz) with bias current of 500 μA, the result is depicted in Fig. 21. The THD at a frequency of 10 MHz by the proposed LPF obtained lower than 1% with the input amplitudes in the range of 20–300 μA.

To study the performance of the proposed LPF focusing on inter-modulation distortion, the 2-tone stimulus signal inputs of 15 and 16 MHz with various amplitudes (i.e. 150–300 μA or −46 to −40 dBm) were applied to the input while the bias current was set to 500 μA (cutoff = 20 MHz). The magnitude spectrum of the frequency of 17 MHz was selected to consider the approximation of the third order intermodulation distortion (IM3) using third-order intercept points, the results are shown in Fig. 22. The best third-order IMD measure for this filter was -50 dB and occurred at an input of 150 μA when using 500 μA current sources.

5.2. Band-pass filter

Due to the RLC ladder band-pass filter prototype as shown in Fig. 8(b), the sixth-order Chebyshev filter with the following specifications: center frequency of 1 MHz, bandwidth of 2 MHz and the ripple of 0.1 dB were chosen for the design [1]. Therefore the components in Fig. 8(b) are $C_1 = C_3 = 115$ nF, $C_2 = 200$ nF, $L_1 = L_3 = 222$ nH, and $L_2 = 127$ nH using frequency scaling tech-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

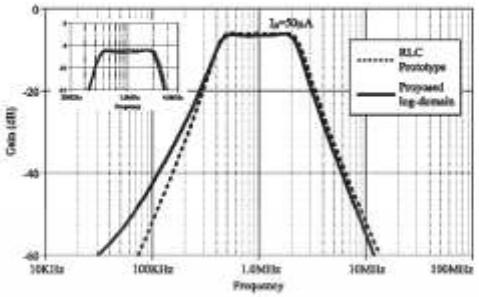


Fig. 23. Comparison of proposed BPF and RLC prototype (I_b = 50 μA).

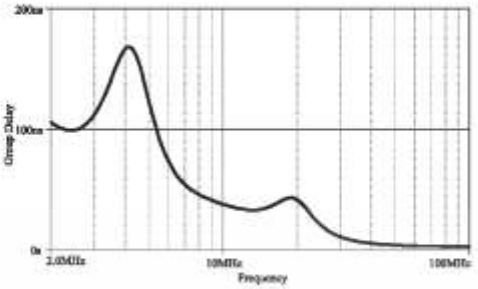


Fig. 25. Group delay of the proposed BPF at bias current (I_b) of 500 μA.

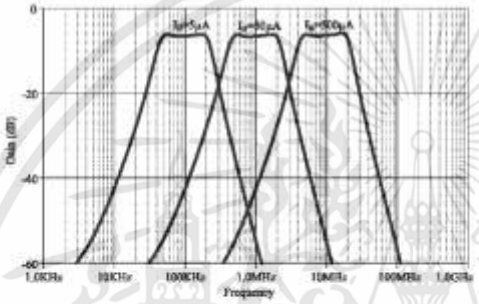


Fig. 24. Magnitude response of proposed BPF with adjusting the bias current (I_b).

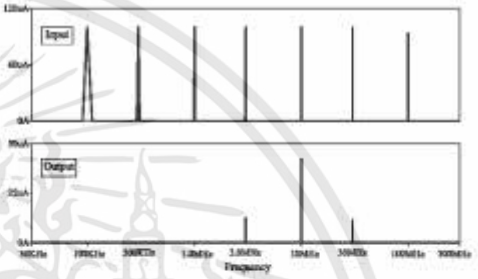


Fig. 26. Multi-tone spectrum of the proposed BPF at bias current of 500 μA.

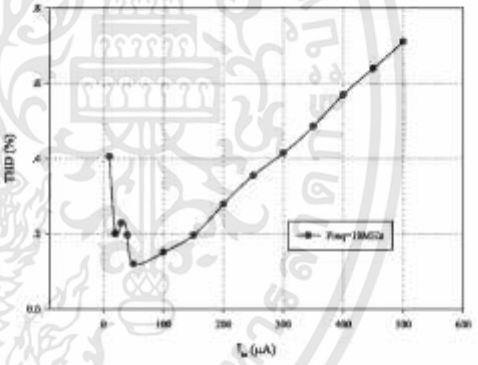


Fig. 27. Total harmonic distortion of the proposed BPF at bias current of 500 μA.

nique. From the proposed circuit in Fig. 12, the limitation of capacitance value is considered in the same manner as low-pass filter. So the same frequency scaling factor (k_f) as in LPF section was applied, the value of capacitors in Fig. 12 are $C_1 = C_3 = 220$ pF, $C_2 = 384$ pF, $C_1' = C_2' = 427$ pF, and $C_3' = 244$ pF when bias current of 50 μA is used. The comparison between the result of the RLC prototype in Fig. 8(b) and the proposed Chebyshev band-pass filter in Fig. 12 are shown in Fig. 23. It can be noticed that the frequency response of the proposed BPF relatively matched with the RLC prototype result but the transition band in left hand side and the passband level have slightly deviations. The electronically tuned feature of the proposed BPF circuit was studied by adjusting the bias current I_b[5, 50, 500] μA. One can see that the frequency response of the proposed band-pass filter can be tuned over a wide range of center frequencies (range of 100 kHz to 10 MHz) as displayed in Fig. 24.

Fig. 25 shows the group delay performance of the proposed BPF. It is apparent that the group delay along the pass-band is lower than 175 ns. The performance of the proposed BPF circuit can be verified by applying multi-tone (100 kHz, 300 kHz, 1 MHz, 3 MHz, 10 MHz, 30 MHz, and 100 MHz) to the input of proposed filter with the bias current of 500 μA. The multi-tone spectrum was simulated and the results are shown in Fig. 26. It is evident that the out-band tones (<3 MHz and >30 MHz) have been discarded and only the in-band tones (10 MHz) can be transferred to the output. The input sideband frequency of 3 MHz and 30 MHz are also allowed as output but attenuated because these frequencies are not located at the passband frequency.

The total harmonic distortion (THD) of the proposed BPF was considered by applying sinusoidal signal input with variable amplitudes at pass-band frequencies (i.e. 10 MHz) with bias current of 500 μA, the result is displayed in Fig. 27. The THD at frequency of 10 MHz of the proposed BPF obtained lower than 0.8% with the input amplitudes in the range of 10–500 μA.

To verify the performance of the proposed BPF focusing on intermodulation distortion, the 2-tone stimulus signal inputs of 15 and 16 MHz with various amplitudes (i.e. 200–500 μA or −43 to −36 dBm) were applied to the input while the bias current was set to 500 μA. The magnitude spectrum of the frequency of 17 MHz was selected to consider the third-order intercept point;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

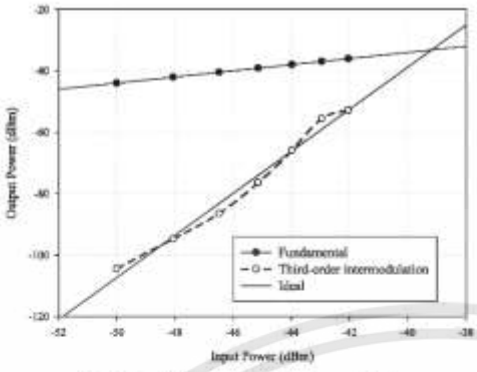


Fig. 28. Third-order intercepts point of proposed BPF.

hence the result is shown in Fig. 28. The best third-order IMD measure for this filter was −60 dB and occurred at an input of 200 μA when using 500 μA current sources.

6. Conclusion

The fifth order current-mode Chebyshev low-pass filter and sixth-order band-pass filter based on RLC ladder prototype have been proposed. The filters were designed using lossy and lossless log-domain integrators as the active building blocks. The circuits only use a single +1.5 V power supply and can be electronically tuned by using the bias current. The measured power consumptions of LPF and BPF at 500 μA bias current are respectively found that of 31.4 mW and 39.1 mW. The proposed filters can be tuned between 100 kHz and 10 MHz through the bias current of 5 μA and 500 μA in agreement with the RLC prototype. The group delay was relatively flatted which is also in accordance with the RLC prototype. The multi-tone performance of the LP and BP filters was tested for verification the filtering behavior. The THD of the proposed LP and BP was exhibited less than 1%. The third-order intermodulation performance of LP and BP was measured at around −50 dB and −60 dB, respectively.

References

[1] Horrocan LP. Active and passive analog filter design. International ed. McGraw-Hill Inc.; 1993.
[2] Deliyannis T, Sun Y, Fidler JK. Continuous-time active filter design. London (UK): CRC Press; 1999.
[3] Fabre A, Bayoub F, Durairaswari I, Kamoun KL. High input impedance immittance second-order filters implemented from current conveyors. IEEE Trans Circ Syst I Dec. 1994;41(12):918–21.
[4] Yuce E, Minaei S. ICCII-based universal current-mode analog filter employing only grounded passive components. Analog Integr Circ Sig Process 2009;58(2):103–9.
[5] Kumar J, Hemmichat N, Vilha K. KHN-equivalent voltage mode filters using universal voltage conveyor. AEU – Int J Electron Commun 2017;in 2;154–60.
[6] Chiu WY, Hsieng JW. High input impedance voltage-mode universal biquadratic filter with three inputs and six outputs using three DOCCs. Circ Syst Signal Process 2012;31:19–30.
[7] Singh R, Singh AK, Senani R. A new universal biquad filter using differential difference amplifiers and its practical realization. Analog Integr Circ Sig Process 2013;75:393–7.
[8] Pushkar KL, Bhaskar DR, Prasad Dinesh. Voltage-mode new universal biquad filter configuration using a single VDIBA. Circ Syst Signal Process 2014;33:273–85.
[9] Chen HP, Wang SF. High-input impedance tunable DDCCTA-based voltage-mode universal filter with grounded capacitors and resistors. AEU – Int J Electron Commun 2016;70(4):491–9.
[10] Wu J, El-Masry E. Current-mode ladder filters using multiple output current conveyors. IEE Circ Devices Syst 1996;143(4):218–22.
[11] Tangsrirat W, Surakampontorn W, Pujji N. Realization of leapfrog filters using current differential buffered amplifiers. IEICE Trans Fund Electron Commun Comput Sci 2003;86(2):318–26.
[12] Jirasereeamornkun A, Surakampontorn W. Efficient implementation of tunable ladder filters using multi-output current controlled conveyors. AEU – Int J Electron Commun 2008;62(1):11–23.
[13] Kunto T, Prommee P, Abuelma'atti MT. Electronically tunable current-mode high-order ladder low-pass filters based on CMOS technology. Radioengineering 2015;24(4):974–87.
[14] Frey DR. Log-domain filtering: an approach to current-mode filtering. Proc. Inst. Elect. Eng. Part G 1993;140:406–16.
[15] Gilbert B. Translinear circuits: an historical overview. Analog Integr Circ Signal Process Mar. 1996;9:95–118.
[16] Drakakis EM, Payne AJ, Toumazou C. Log-domain state space: a systematic transistor level approach for log-domain filtering. IEEE Trans Circ Syst II Mar. 1999;46(3):290–305.
[17] Prommee P, Sra-ium N, Dejhan K. High-frequency log-domain current-mode multiphase sinusoidal oscillator. IET Circ Devices Syst Sep. 2010;4(5):440–8.
[18] Prommee P, Dejhan K. Single-input, multiple-output tunable log-domain current-mode universal filter. Radioengineering 2013;22(2):474–84.
[19] Tola AT, Ay Günalp R, Yilmaz SS. Current mode high frequency KHN filter employing differential class ab log domain integrator. Int J Electron Commun 2009;63:800–8.
[20] Perry D, Roberts GW. The design of log-domain filters based on the operational simulation of LC ladders. IEEE Trans Circ Syst II 1996;43(11):763–74.
[21] Koritgunaepoulos N, Psychalinos C. Log-domain filtering by simulating the topology of passive prototypes. IEE Trans Circ Syst I 2005;52(10).
[22] Leung VW, Roberts GW. Effects of transistor nonidealities on high-order log-domain ladder filter pole-frequency. IEEE Trans Circ Syst II 2000;47(1):373–87.
[23] https://www.intersil.com/content/dam/Intersil/documents/inm30/inm3048.pdf.

Pipat Prommee received his B.Ind. Tech. degree in Telecommunications, M. Eng. and D. Eng. in Electrical Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 1992, 1995 and 2002, respectively. He was a senior engineer of CAT telecom plc between 1992 and 2003. Since 2003, he has been a faculty member of KMITL. He is currently an associate professor at department of telecommunications engineering at KMITL. He is author or co-author of more than 70 publications in journals and proceedings of international conferences. His research interests are focusing in Analog Signal Processing, Analog Filter Design and CMOS Analog Integrated Circuit Design. He is a senior member of IEEE, USA.

Preecha Thongsit received his B. Eng. degree in Electrical Engineering, and M. Eng. in Electrical Engineering from Faculty of Engineering, King Mongkut's University of Technology North Bangkok (KMUTNB), Bangkok, Thailand in 1993 and 2000, respectively. His research interests are focusing in Communication Circuits and Systems, Analog Signal Processing, and CMOS circuit design. He is currently pursuing a doctoral degree in Electrical Engineering at King Mongkut's Institute of Technology Ladkrabang (KMITL).

Krit Angkeaw was born in Bangkok, Thailand in 1973. He received B.Ind.Tech. degree in Electronics Engineering from Siam University Bangkok, Thailand in 1996. He received his M. Eng and D. Eng in Electrical Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 2000 and 2009, respectively Since 2004, he has been a faculty member of King Mongkut's University of Technology North Bangkok (KMUTNB). He is presently an assistant professor at Instrumentation and Electronics Engineering Department at KMUTNB. His research interests are focusing in Analog Filter Design and Analog Signal Processing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายปรีชา ทองดิษฐ์ สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้าและ ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า ในปีการศึกษา 2535 และ 2542 ตามลำดับ จากสถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ

ปี 2543 เข้าทำงานเป็นพนักงานมหาวิทยาลัย ตำแหน่งอาจารย์ สังกัดภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ ปัจจุบันดำรงตำแหน่ง ผู้ช่วยศาสตราจารย์ประจำภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้