# วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบซีมอสและการประยุกต์ใช้งาน

# CMOS-BASED CURRENT-CONTROLLED DIFFERENTIAL DIFFERENCE CURRENT CONVEYOR AND ITS APPLICATIONS

มนตรี สมดุลยกนก
MONTRI SOMDUNYAKANOK

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2553

KMITL-2010-EN-D-018-016

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบซีมอสและการประยุกต์ใช้งาน

# CMOS-BASED CURRENT-CONTROLLED DIFFERENTIAL DIFFERENCE CURRENT CONVEYOR AND ITS APPLICATIONS

T110451

มนตรี สมดุลยกนก

MONTRI SOMDUNYAKANOK

ศน.
ม1529
2553

เลขหมู่.....
เลขทะเบียน..... 110451
วัน,เดือน,ปี..... -2 พ.ย. 2553

b.12255390
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2553

KMITL-2010-EN-D-018-016

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# CMOS-BASED CURRENT-CONTROLLED DIFFERENTIAL DIFFERENCE CURRENT CONVEYOR AND ITS APPLICATIONS

MONTRI SOMDUNYAKANOK

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR THE DEGREE OF

DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2010

KMITL-2010-EN-D-018-016

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**COPYRIGHT 2010**

**FACULTY OF ENGINEERING**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| **หัวข้อวิทยานิพนธ์** | วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบซีมอสและการประยุกต์ใช้งาน |
| **นักศึกษา** | นายมนตรี สมดุลยกนก |
| **รหัสประจำตัว** | 49060054 |
| **ปริญญา** | วิศวกรรมศาสตรดุษฎีบัณฑิต |
| **สาขาวิชา** | วิศวกรรมไฟฟ้า |
| **พ.ศ.** | 2553 |
| **อาจารย์ที่ปรึกษาวิทยานิพนธ์** | ผศ.ดร.พิพัฒน์ พรหมมี |

# บทคัดย่อ


วิทยานิพนธ์ฉบับนี้เป็นการนำเสนออุปกรณ์แอกทีฟสำหรับประมวลสัญญาณแบบอนาลอก คือ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส (Current-controlled differential difference current conveyor: CCDDCC) ซึ่งมีความต้านทานแฝงอยู่ที่ขั้ว $X$ โดยสามารถปรับค่าความต้านทานได้จากการปรับค่ากระแสไบอัสของ CCDDCC อุปกรณ์ที่นำเสนออาศัยเทคโนโลยีแบบซีมอสที่มีค่าความเพี้ยนรวมทางฮาร์มอนิกประมาณ 0.8% ช่วงอินพุตแตกต่าง $0.6V_{P-P}$ ค่ากำลังสูญเสียของกระแสไบอัส CCDDCC ที่ $10\mu A$ มีค่าประมาณ $1.35mW$ เมื่อใช้แหล่งจ่ายแรงดันที่ $\pm 1.25V$ มีการประยุกต์ใช้งานออกเป็น 2 วงจร คือ วงจรกูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ปรับค่าได้ทางอิเล็กทรอนิกส์ จากการปรับค่ากระแสไบอัสของวงจร CCDDCC ที่สร้างขึ้นจาก CCDDCCs จำนวน 3 ตัว และตัวเก็บประจุแบบต่อกราวด์ 1 ตัว ส่วนวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่ให้ผลการตอบสนองทางความถี่ของฟังก์ชันถ่ายโอนได้รูปห้าแบบในวงจรเดียวกัน โดยปรับค่าตัวประกอบคุณภาพได้อย่างเป็นอิสระจากค่าความถี่ตอบสนองจากการปรับค่ากระแสไบอัสของ CCDDCC ที่สร้างขึ้นจาก CCDDCCs จำนวน 3 ตัว และตัวเก็บประจุแบบต่อกราวด์ 2 ตัว วงจรประยุกต์ใช้งานที่นำเสนอทั้งหมดจะไม่มีการใช้ตัวต้านทานใด ๆ จากภายนอก และไม่มีผลกระทบต่อการวิเคราะห์ในเชิงอุดมคติ คุณลักษณะของวงจรที่นำเสนอและการประยุกต์ใช้งานทั้งหมด ถูกจำลองการทำงานด้วยโปรแกรม PSpice พบว่ามีความสอดคล้องตามหลักการที่นำเสนอ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| **Thesis Title** | CMOS-Based Current-Controlled Differential Difference Current Conveyor and Its Applications |
| **Student** | Mr. Montri Somdunyakanok |
| **Student ID.** | 49060054 |
| **Degree** | Doctor of Engineering |
| **Program** | Electrical Engineering |
| **Year** | 2010 |
| **Thesis Advisor** | Asst. Prof. Dr. Pipat Prommee |


## ABSTRACT

This thesis presents a design of an active building block for analog signal processing, named as current-controlled differential difference current conveyor (CCDDCC). Its parasitic resistance at $X$-terminal can be controlled by an input bias current. The proposed element is realized in a CMOS technology. It displays usability of the new active element. The THD is obtained around $0.8\%$ within $0.6V_{p-p}$ input range. The power dissipation of a CCDDCC at $10\mu A$ biased current is obtained around $1.35mW$ with $\pm 1.25V$ power supplies. In addition, grounded capacitor-based floating capacitance multiplier and current-mode (CM) multiple-input single output (MISO) second-order universal analog filters are included as the applications. For realization of a grounded capacitor-based floating capacitance multiplier, it employs three CCDDCCs and one grounded capacitor without resistor connection. The capacitance can be tuned electronically through the biasing current. The filter offers the simultaneous realization five- type-standard filter responses. The quality factor and the frequency response parameters can be independent tuned. The non-ideal effects of the developed structures are examined. PSpice simulation results of proposed CCDDCC and its applications are also presented.


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้เป็นอย่างดีด้วยคำแนะนำและคำปรึกษา ชี้แนวทางของผู้ช่วยศาสตราจารย์ ดร.พิพัฒน์ พรหมมี อาจารย์ที่ปรึกษาวิทยานิพนธ์ และข้อเสนอแนะต่าง ๆ จากรองศาสตราจารย์ ดร. กอบชัย เดชหาญ คณบดีคณะวิศวกรรมศาสตร์ ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์ทั้งสองเป็นอย่างสูง

ขอขอบพระคุณคณาจารย์ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุกท่านที่ได้ประสิทธิ์ประสาทวิชา

ขอขอบคุณคณะกรรมสอบวิทยานิพนธ์ทุกท่าน ที่ช่วยกรุณาให้คำแนะนำในวิทยานิพนธ์

ขอขอบคุณเจ้าหน้าที่ทุกท่านของบัณฑิตศึกษา คณะวิศวกรรมศาสตร์ ที่ให้ความอนุเคราะห์และช่วยเหลือในเรื่องเอกสารต่าง ๆ เป็นอย่างดี

ขอขอบพระคุณมหาวิทยาลัยสยามสถานที่ทำงานของข้าพเจ้า ที่สนับสนุนเงินทุนการศึกษาในด้านต่าง ๆ ตลอดหลักสูตร ผู้ช่วยศาสตราจารย์ สราวุฒิ์ วรสุมันต์ คณบดีคณะวิศวกรรมศาสตร์ พล.ท.ดร.สมพงษ์ ตุ้มสวัสดิ์ หัวหน้าภาควิชาวิศวกรรมไฟฟ้า มหาวิทยาลัยสยาม ที่ช่วยชี้แนะนำแนวทางการเขียนวิทยานิพนธ์ฉบับนี้ และสุดท้ายขอขอบคุณผู้บริหารมหาวิทยาลัยสยามทุกท่าน ที่ให้โอกาสมาศึกษาต่อในครั้งนี้

ขอกราบขอบพระคุณ บิดา มารดา ที่คอยอบรม เลี้ยงดู และให้การสนับสนุนมาโดยตลอด

สุดท้ายนี้ขอบคุณ คุณกาญจนา สมดุลยกนก ภรรยา และด.ญ.มณฑิกาญจน์ สมดุลยกนก บุตร ผู้เป็นกำลังใจเสมอมา ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

คุณค่าและประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

นายมนตรี สมดุลยกนก

4 กุมภาพันธ์ 2553

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

หน้า


บทคัดย่อภาษาไทย..... I

บทคัดย่อภาษาอังกฤษ..... II

กิตติกรรมประกาศ..... III

สารบัญ..... IV

สารบัญตาราง..... VIII

สารบัญรูป..... IX

บทที่ 1 บทนำ..... 1

1.1 ที่มาและปัญหา..... 1

1.2 วัตถุประสงค์..... 2

1.3 การพัฒนาในงานวิจัย..... 2

1.4 รายละเอียดในวิทยานิพนธ์..... 3

บทที่ 2 เทคโนโลยีมอสทรานซิสเตอร์และวงจรย่อยที่ใช้ในวิทยานิพนธ์..... 5

2.1 บทนำ..... 5

2.1.1 ข้อเปรียบเทียบระหว่างวงจรรวมกับวงจรดีสครีท..... 5

2.1.2 ข้อเปรียบเทียบระหว่างทรานซิสเตอร์แบบเฟทกับแบบไบโพล่าร์..... 6

2.2 เทคโนโลยีของมอสทรานซิสเตอร์..... 8

2.3 โครงสร้างของมอสเฟท..... 9

2.4 สัญลักษณ์ของมอสเฟท..... 12

2.5 หลักการพื้นฐานของมอสเฟท..... 13

2.5.1 การทำงานของมอสเฟท..... 13

2.5.1.1 กรณีที่ $V_T > V_{GS} > 0$ และ $V_{DS} > 0$ ;(Cutoff: ช่วงไม่นำกระแส).. 14

2.5.1.2 กรณีที่ $V_{GS} > V_T$ และ $V_{DS}$ มีค่าน้อย; (Ohmic Region: ช่วงนำกระแสไม่อิ่มตัว)..... 17

2.5.1.3 กรณีที่ $V_{GS} > V_T$ และ $(V_{GS} - V_{DS}) > V_T$ หรือ $V_{DS} < V_{DS(Sat)}$ ..... 18



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ(ต่อ)

หน้า


2.5.1.4 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} = V_{DS(Sat)}$;
(Pinch off Point: จุดพินช์ออฟ)..... 18
2.5.1.5 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} > V_{DS(Sat)}$;
(Saturation Region: ช่วงนำกระแสอิ่มตัว)..... 19
2.5.1.6 กรณีย่านพังทลาย (Breakdown Region)..... 21
2.5.2 สมการกระแสในช่วงต่าง ๆ ของมอสเฟท..... 22
2.5.2.1 ช่วงไม่นำกระแส (Cut-off Region)..... 22
2.5.2.2 ช่วงนำกระแสไม่อิ่มตัว (Triode Region หรือ Ohmic Region)..... 22
2.5.2.3 ช่วงนำกระแสอิ่มตัว (Saturation Region)..... 23
2.6 ชนิดของมอสเฟท..... 23
2.7 แบบจำลองของมอสเฟท..... 26
2.7.1 แบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่ความถี่ต่ำ..... 26
2.7.2 แบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่ความถี่สูง..... 28
2.7.3 แบบจำลองระดับหนึ่ง (Level 1 Model)..... 32
2.7.4 แบบจำลองระดับสอง (Level 2 Model)..... 32
2.7.5 แบบจำลองระดับสาม (Level 3 Model)..... 32
2.8 วงจรขยายความนำ..... 33
2.9 วงจรสะท้อนกระแส..... 37
2.9.1 วงจรสะท้อนกระแสแบบพื้นฐาน..... 37
2.9.2 วงจรสะท้อนกระแสแบบคาดโคด..... 39
2.9.3 วงจรสะท้อนกระแสแบบ Wilson..... 40
2.9.4 วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง..... 41
2.10 วงจรกันชนรูปแบบแรงดันแตกต่าง..... 42
2.11 วงจรสายพานกระแส..... 42
2.11.1 วงจรสายพานกระแสที่สร้างจากไบโพล่าร์ทรานซิสเตอร์..... 43
2.11.2 วงจรสายพานกระแสที่สร้างจากมอสทรานซิสเตอร์..... 44
2.12 บทสรุป..... 46



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ(ต่อ)


หน้า

บทที่ 3 หลักการที่เคยนำเสนอในอดีต..... 47

3.1 บทนำ..... 47

3.2 วงจรสายพานกระแสผลต่างอินพุทแตกต่างที่มีการนำเสนอไว้ในวารสารต่าง ๆ..... 47

3.2.1 วงจรขยายผลต่างแรงดันอินพุทแตกต่าง (DDA)..... 48

3.2.2 วงจรสายพานกระแสผลต่างอินพุทแตกต่าง (DDCC)..... 50

3.2.3 วงจรสายพานกระแสผลต่างแรงดันอินพุทแตกต่าง (DVCC)..... 54

3.3 การประยุกต์ใช้งานวงจรสายพานกระแสผลต่างอินพุทแตกต่าง ที่นำเสนอไว้ในวารสารต่าง ๆ..... 58

3.3.1 การประยุกต์ใช้งานของวงจรสายพานกระแสผลต่างอินพุทแตกต่าง..... 58

3.3.2 การประยุกต์ใช้งานของวงจรสายพานแรงดันผลต่างอินพุทแตกต่าง..... 62

3.4 บทสรุป..... 67

บทที่ 4 วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส..... 68

4.1 บทนำ..... 68

4.2 วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอ..... 69

4.3 การวิเคราะห์คุณสมบัติของวงจร..... 72

4.3.1 การวิเคราะห์คุณสมบัติของวงจรกันชนรูปแบบแรงดันแตกต่าง..... 73

4.3.2 การวิเคราะห์คุณสมบัติของวงจรสายพานกระแสควบคุมด้วยกระแส..... 74

4.3.3 การวิเคราะห์คุณสมบัติของวงจรสายพานกระแสผลต่างอินพุทแตกต่าง ควบคุมด้วยกระแส..... 74

4.3.4 การวิเคราะห์หาค่าการตอบสนองทางความถี่..... 75

4.4 การจำลองการทำงานของวงจรสายพานกระแสผลต่างอินพุทแตกต่าง ควบคุมด้วยกระแส..... 76

4.5 บทสรุป..... 82



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ(ต่อ)

หน้า


บทที่ 5 การประยุกต์ใช้งานวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส..... 83

5.1 บทนำ..... 83

5.2 วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์..... 83

5.3 ผลการจำลองการทำงานของวงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์..... 86

5.4 วงจรกรองความถี่หลายหน้าที่รูปแบบกระแส..... 87

5.5 ผลการจำลองการทำงานของวงจรกรองความถี่หลายหน้าที่รูปแบบกระแส..... 91

5.6 บทสรุป..... 94

บทที่ 6 บทสรุปและข้อเสนอแนะ..... 95

6.1 บทสรุปผลการวิจัย..... 95

6.2 ข้อเสนอแนะจากการวิจัย..... 96

บรรณานุกรม..... 98

ภาคผนวก..... 101

ภาคผนวก ก. โปรแกรม PSpice ที่ใช้วิเคราะห์ในวิทยานิพนธ์..... 102

ภาคผนวก ข. การวิเคราะห์สมรรถนะของวงจรกลุ่มย่อย..... 105

ภาคผนวก ค. ผลที่ได้รับการตีพิมพ์ระหว่างศึกษา..... 125

ประวัติผู้เขียน..... 152



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่ หน้า

2.1 สัญลักษณ์ของมอสเฟทชนิด (Enhancement) และมอสเฟทชนิด(Depletion)..... 13

4.1 พารามิเตอร์ของทรานซิสเตอร์ TSMC MOSIS 0.25 μm..... 77

4.2 พารามิเตอร์ $W/L$ ทรานซิสเตอร์ในวงจร CCDDCCs ..... 77

5.1 ค่าความไวของอุปกรณ์แอคทีฟหรือแพสซีฟ..... 89

5.2 ค่าความไวของอุปกรณ์ในกรณีไม่เป็นอุดมคติ..... 91

ข 5.1 ค่าความไวอุปกรณ์กรณีไม่เป็นอุดมคติ..... 124

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป


รูปที่ หน้า

2.1 แผนผังของเทคโนโลยีวงจรรวม..... 8

2.2 โครงสร้างของมอส (MOS: Metal-Oxide Semiconductor)..... 9

2.3 ความสัมพันธ์ระหว่างค่าความจุ ($C$) กับแรงดัน ($V$)..... 9

2.4 โครงสร้างของมอสเฟท (MOSFET: Metal-Oxide Semiconductor FET)..... 10

2.5 โครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ชนิดเอ็น..... 11

2.6 โครงสร้างของเทคโนโลยีซีมอส..... 12

2.7 การทำงานและคุณสมบัติ $I_D - V_{DS}$ ของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล ขณะที่ $V_{GS}$ มีค่าคงที่ และ $V_{DS}$ มีค่าอยู่ในช่วงต่าง ๆ..... 16

2.8 ความสัมพันธ์ของกระแสเดรน และแรงดันที่ขาเดรนกับซอส..... 20

2.9 ย่านพังทลาย กระแสเดรนของมอสเฟทจะเพิ่มขึ้นอย่างรวดเร็วเมื่อ $V_D \geq V_B$..... 21

2.10 โครงสร้างของมอสเฟทแบบ D-MOSFET..... 24

2.11 โครงสร้างของมอสเฟทแบบ E-MOSFET..... 25

2.12 กราฟความสัมพันธ์ระหว่าง $I_D$ กับ $V_{DS}$ (ก) E-MOSFET (ข) D-MOSFET..... 26

2.13 แบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่มีความถี่ต่ำ..... 26

2.14 แบบจำลองมอสเฟทสำหรับสัญญาณขนาดเล็กที่ฐานรองไม่ได้ต่ออยู่กับขาซอส..... 27

2.15 แบบจำลองวงจรสมมูลของมอสเฟทที่ความถี่สูง..... 29

2.16 การหาอัตราการขยายกระแสขณะที่ปิดวงจร..... 30

2.17 สัญลักษณ์และวงจรเสมือนของวงจรขยายความนำ..... 33

2.18 วงจรขยายความนำแบบพื้นฐาน..... 34

2.19 กราฟแสดงความสัมพันธ์ระหว่างแรงดันอินพุตกับผลต่างของกระแส..... 35

2.20 แบบจำลองสัญญาณขนาดเล็กของวงจรขยายความนำ..... 36

2.21 แบบจำลองสัญญาณขนาดเล็กของวงจรขยายความนำ (ก) ชนิดเอาต์พุตเดี่ยว และ (ข) ชนิดหลายเอาต์พุต..... 37

2.22 วงจรสะท้อนกระแสแบบพื้นฐาน (ก) ชนิดไบโพล่าร์ (ข) ชนิดจากมอส..... 38

2.23 วงจรสะท้อนกระแสแบบคาดโคด (ก) ชนิดไบโพล่าร์ (ข) ชนิดจากมอส..... 39

2.24 วงจรสะท้อนกระแสแบบ Wilson (ก) ชนิดไบโพล่าร์ (ข) ชนิดจากมอส..... 41

2.25 วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง (ก) ชนิดไบโพล่าร์ (ข) ชนิดมอส..... 41



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป (ต่อ)


รูปที่ หน้า

2.26 วงจรกันชนรูปแบบแรงดันแตกต่างแบบซีมอส ..... 42

2.27 สัญลักษณ์และวงจรเสมือนของวงจร CCII ..... 43

2.28 (ก) วงจรสายพานกระแสที่สร้างจากไบโพล่าร์ทรานซิสเตอร์ (ข) สัญลักษณ์ ..... 44

2.29 (ก) วงจรสายพานกระแสที่สร้างจากมอสทรานซิสเตอร์ (ข) สัญลักษณ์ ..... 45

3.1 สัญลักษณ์ของออปแอมป์ที่ใช้ในวงจร DDA ..... 48

3.2 บล็อกไดอะแกรมของวงจร DDCC ..... 50

3.3 โครงสร้างของวงจร DDCC+ ..... 51

3.4 โครงสร้างของวงจร DDCC- ..... 52

3.5 โครงสร้างของวงจร DVCC ..... 55

3.6 โครงสร้างของวงจร DVCC ที่ใช้ในการวิเคราะห์ค่าพารามิเตอร์ที่เป็นอิสระ ..... 56

3.7 วงจรดิฟเฟอเรนเชียลอินทิเกรทเตอร์ด้วยพื้นฐานของวงจร DDCC ..... 59

3.8 วงจรกรองความถี่รูปแบบแรงดันด้วยพื้นฐานของวงจร DDCCs ..... 59

3.9 วงจรกรองความถี่รูปแบบกระแสด้วยอุปกรณ์พื้นฐานของวงจร DDCCs ..... 60

3.10 วงจรกรองความถี่รูปแบบแรงดันอาศัยพื้นฐานของวงจร DDCCs ..... 61

3.11 วงจรกรองความถี่รูปแบบกระแสที่ใช้พื้นฐานของวงจร DVCCs ..... 63

3.12 วงจรกรองความถี่หลายหน้าที่รูปแบบแรงดันด้วยพื้นฐานของวงจร DVCCs ..... 64

4.1 วงจร CCDDCC แบบพื้นฐาน (ก) สัญลักษณ์ (ข) วงจรสมมูลย์ ..... 69

4.2 วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส (CCDDCC) ที่นำเสนอ ..... 70

4.3 วงจรกันชนรูปแบบแรงดันแตกต่างแบบซีมอส (CMOS DVB) ..... 71

4.4 วงจรสายพานกระแสควบคุมด้วยกระแส (CMOS CCCII) ..... 71

4.5 วงจรสมมูลของมอสทรานซิสเตอร์ที่ใช้ในการวิเคราะห์หาค่าการตอบสนองทางความถี่ ..... 76

4.6 คุณสมบัติของการส่งผ่านแรงดันไฟตรงจากขั้ว $Y$ ต่อขั้ว $X$ ..... 78

4.7 การส่งผ่านแรงดันไฟตรงที่ผิดพลาดจากขั้ว $Y$ ต่อขั้ว $X$ ..... 78

4.8 คุณสมบัติของการส่งผ่านกระแสไฟตรงจากขั้ว $X$ ต่อขั้ว $Z$ ..... 79

4.9 ค่าความต้านทานแฝงที่ขั้ว $X$ คือ $R_X$ จากการปรับค่ากระแส $I_B$ ..... 79



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป (ต่อ)


รูปที่ หน้า

4.10 THD จากการส่งผ่านแรงดันจากขั้ว $Y$ ต่อขั้ว $X$ ที่ความถี่ $10MHz$ และ $100MHz$ ..... 80

4.11 ผลการตอบสนองทางความถี่ที่ขั้ว $X$ ต่อขั้ว $Y$ ..... 81

4.12 ผลการตอบสนองทางความถี่ที่ขั้ว $X$ ต่อขั้ว $Z$ ..... 81

4.13 ผลการตอบสนองชั่วขณะจากการส่งผ่านกระแสของ $I_X$ ต่อกระแส $I_Z$ ..... 82

5.1 วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ที่นำเสนอ..... 84

5.2 อินพุทอิมพีแดนซ์ที่ได้จากวงจรคูณค่าความจุแบบลอยตัวเมื่อปรับค่ากระแส $I_{B2}$ ..... 86

5.3 วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอด้วยวงจร CCDDCC..... 87

5.4 ผลการตอบสนองทางความถี่ของวงจร LPF, HPF, BPF และ BRF..... 92

5.5 ผลการตอบสนองทางอัตราขยายกับทางเฟสของวงจร APF..... 92

5.6 ผลการตอบสนองทางความถี่ของวงจร BPF จากการปรับค่ากระแสไบอัส..... 93

5.7 ผลการปรับค่าตัวประกอบคุณภาพของวงจร BPF จากการปรับค่ากระแสไบอัส $I_B$ ..... 93

ข 1.1 (ก) แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์(ข) แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ช่วงนำกระแสอิ่มตัว..... 105

ข 2.1 วงจรสะท้อนกระแสแบบพื้นฐาน..... 107

ข 2.2 แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบพื้นฐาน..... 108

ข 2.3 แบบจำลองสัญญาณขนาดเล็กสำหรับวิเคราะห์ค่าอิมพีแดนซ์..... 108

ข 3.1 การวิเคราะห์วงจรกันชนรูปแบบแรงดันแตกต่างด้วยซีมอส..... 109

ข 3.2 การวิเคราะห์กันชนรูปแบบแรงดันแตกต่างกรณีที่อินพุทเป็น $Y_1$ ..... 110

ข 3.3 แบบจำลองสัญญาณขนาดเล็กกรณีที่อินพุทเป็น $Y_1$ ..... 111

ข 3.4 การวิเคราะห์กันชนรูปแบบแรงดันแตกต่างกรณีที่อินพุทเป็น $Y_2$ ..... 112

ข 3.5 แบบจำลองสัญญาณขนาดเล็กกรณีที่อินพุทเป็น $Y_2$ ..... 112

ข 3.6 การวิเคราะห์กันชนรูปแบบแรงดันแตกต่างกรณีที่อินพุทเป็น $Y_3$ ..... 114

ข 3.7 แบบจำลองสัญญาณขนาดเล็กกรณีที่อินพุทเป็น $Y_3$ ..... 114

ข 4.1 การวิเคราะห์วงจรสายพานกระแสควบคุมด้วยกระแส..... 116

ข 4.2 การวิเคราะห์หาค่าความต้านทานแฝงที่ขั้ว $X$ ..... 117

ข 4.3 การวิเคราะห์ในวงจรส่วนบน..... 117



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป (ต่อ)


รูปที่ หน้า

ข 4.4 แบบจำลองสัญญาณขนาดเล็กสำหรับการวิเคราะห์ในวงจรส่วนบน..... 118

ข 4.5 การวิเคราะห์ในวงจรส่วนล่าง..... 119

ข 4.6 แบบจำลองสัญญาณขนาดเล็กสำหรับการวิเคราะห์ในวงจรส่วนล่าง..... 119

ข 5.1 การวิเคราะห์แบบไม่เป็นอุดมคติของวงจร CCDDCC..... 121






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

## 1.1 ที่มาและปัญหา

ในอดีตได้มีการนำเสนออุปกรณ์แอกทีฟที่สำคัญไว้ตัวหนึ่งคือ CCIIs (Second-generation current conveyors) [1] ที่สามารถทำงานทั้งในรูปแบบแรงดันและกระแสและมีการนำไปประยุกต์สร้างเป็นวงจรกรองความถี่ [2-4] วงจรกำเนิดสัญญาณไซน์ [5] ซึ่งต้องใช้ความต้านทานภายนอกและตัวเก็บประจุแบบต่อกราวด์ต่อร่วมอยู่เสมอ โดยต่อมาได้มีพัฒนาอุปกรณ์แอกทีฟชื่อ CCCIIs รูปแบบ BJT [6] และ CMOS [7] ซึ่งมีคุณสมบัติที่ดีขึ้น คือ สามารถปรับค่าได้ทางอิเล็กทรอนิกส์และไม่ใช้ความต้านทานภายนอก ซึ่งเป็นประโยชน์มากสำหรับการประมวลสัญญาณทางอนาลอก มีการออกแบบเป็นวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสจาก CCIIs [8] และ CCCIIs [9] จากการใช้อุปกรณ์แอกทีฟ 3 ตัว ถูกต่อร่วมกับตัวเก็บประจุแบบต่อกราวด์ 2 ตัว ซึ่งมีอินพุทอิมพีแดนซ์ต่ำโดยใช้ค่าความต้านทานแฝงที่ขั้ว $X$ ของอุปกรณ์ แต่ก็ยังไม่สามารถปรับค่าตัวประกอบคุณภาพให้เป็นอิสระจากค่าความถี่ตอบสนองได้จากการใช้อุปกรณ์แอกทีฟ CCIIs+ เป็นจำนวน 3 ตัว และ CCII- จำนวน 1 ตัว [10]

อีกไม่กี่ปีต่อมาได้มีผู้นำเสนออุปกรณ์แอกทีฟที่มีคุณสมบัติคล้ายกับ CCIIs ชื่อว่า DDCC (Differential difference current conveyor) [11] และอุปกรณ์แอกทีฟที่มีคุณสมบัติคล้ายกันชื่อ DVCC (Differential voltage current conveyors) [12] ซึ่งมีผู้นำมาประยุกต์ใช้เป็นวงจรกรองความถี่ [13-20] วงจรกำเนิดสัญญาณ [21] และมีผู้นำมาประยุกต์ใช้เป็นวงจรกรองความถี่รูปแบบแรงดันจาก FDCC (Fully-differential current conveyor) ที่ออกแบบในลักษณะที่มี 1 อินพุท 4 เอาท์พุท [22] นอกจากนี้ยังมีการใช้อุปกรณ์แอกทีฟ CCIIs และ DVCC ออกแบบเป็นวงจรกรองความถี่โดยวิเคราะห์จากสมการโบคาวอตที่มี 1 อินพุท 5 เอาท์พุท [23] เป็นต้น

จากที่กล่าวมาวงจรในอดีตส่วนใหญ่ [1-5], [11-23] เป็นการออกแบบวงจรที่ต้องอาศัยค่าความต้านทานจากภายนอกเป็นอุปกรณ์หลัก รวมทั้งยังไม่สามารถปรับได้ทางอิเล็กทรอนิกส์ ในการประยุกต์ใช้งาน [24-25] เป็นการออกแบบวงจรกรองความถี่รูปแบบกระแสจาก CCIIs โดยต่อวงจรในลักษณะของ CFA (Current feedback amplifier) ซึ่งยังคงใช้ตัวต้านทานภายนอกต่อร่วมอยู่และยังไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ได้ด้วยเช่นกัน หรือแม้กระทั่งในบางวงจรก็ยังมีการใช้ตัวต้านทานแบบลอยตัวอีกด้วย จึงทำให้ไม่เหมาะกับการนำไปสร้างเป็นวงจรรวมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิทยานิพนธ์ฉบับนี้ เป็นการสังเคราะห์และออกแบบวงจรที่ประยุกต์จากอุปกรณ์แอกทีฟ DDCC ในชื่อที่ว่าวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส CCDDCC (Current controlled differential difference current conveyors) โดยใช้เทคโนโลยีซีมอส ซึ่งวงจรที่นำเสนอถูกออกแบบให้มีค่าความต้านทานแฝงอยู่ที่ขั้ว $X$ สามารถปรับค่าความต้านทานได้จากการปรับค่ากระแสไบอัสของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส และไม่มีการใช้ค่าความต้านทานจากภายนอกใด ๆ ทำให้วงจรที่นำเสนอในงานวิทยานิพนธ์นี้มีความแตกต่างจากวงจรที่เคยนำเสนอในวารสารต่าง ๆ คุณสมบัติและประสิทธิภาพทั้งหมดของวงจรที่นำเสนอถูกจำลองการทำงานโดยใช้โปรแกรม PSpice พบว่ามีความสอดคล้องกันในทางทฤษฎี อีกทั้งยังมีการประยุกต์ใช้งานเป็น 2 วงจร คือ วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ (Grounded capacitor-based floating capacitance multiplier) ที่สามารถปรับค่าความจุได้ทางอิเล็กทรอนิกส์ และวงจรกรองความถี่หลายหน้าที่รูปแบบกระแส (Current-mode universal filter) ที่สามารถปรับค่าตัวประกอบคุณภาพได้เป็นอิสระจากค่าความถี่ตอบสนอง จากวงจรที่นำเสนอทั้งหมดได้ถูกออกแบบด้วยเทคโนโลยีของซีมอส ทำให้มีโครงสร้างของวงจรที่ได้ไม่ซับซ้อนจึงเหมาะกับการนำไปสร้างเป็นวงจรรวมได้ดังจะกล่าวถึงต่อไป

## 1.2 วัตถุประสงค์

จากความสำคัญและปัญหาที่กล่าวมา วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์มุ่งหวังเพื่อศึกษาและนำเสนอ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบซีมอสและมีการประยุกต์ใช้งานโดยออกแบบเป็น 2 วงจร คือ วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ปรับค่าได้ทางอิเล็กทรอนิกส์ จากการปรับค่ากระแสไบอัสของวงจร CCDDCC และวงจรกรองความถี่หลายหน้าที่รูปแบบกระแส และสามารถปรับค่าตัวประกอบคุณภาพได้เป็นอิสระจากค่าความถี่ตอบสนองจากการปรับค่ากระแสไบอัสของวงจร CCDDCC อีกทั้งวงจรที่นำเสนอมีคุณสมบัติ คือ มีความแม่นยำและความเที่ยงตรง มีโครงสร้างไม่ซับซ้อนและเสถียรภาพทางอุณหภูมิดี โดยใช้แรงดันไฟเลี้ยงน้อย วงจรที่นำเสนออาศัยเทคโนโลยีซีมอสในการออกแบบจึงมีความเหมาะสมกับการนำไปสร้างเป็นวงจรรวมที่ดีได้ต่อไป

## 1.3 การพัฒนาในงานวิจัย

วิทยานิพนธ์ฉบับนี้มุ่งหวังเพื่อศึกษาและนำเสนอ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบซีมอสและการประยุกต์ใช้งาน วงจรที่นำเสนอถูกออกแบบให้มีค่าความต้านทานแฝงที่ขั้ว $X$ สามารถปรับค่าความต้านทานได้จาก การปรับค่ากระแสไบอัสของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส โดยไม่ใช้ค่าความต้านทานจากภายนอกใด ๆ ซึ่งวงจรที่นำเสนอประกอบด้วย วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่สร้างจากวงจรย่อย เช่น วงจรกันชนรูปแบบแรงดันแตกต่าง (CMOS differential voltage buffer: DVB) วงจรสายพานกระแสควบคุมด้วยกระแส (Current-controlled second generation current conveyor: CCCII) โดยมีการต่อคาสเคดกันของวงจรย่อยเพื่อให้ได้เป็น วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส CCDDCC อีกทั้งมีการประยุกต์ใช้งานเป็น 2 วงจร คือ วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ปรับค่าได้ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัสของวงจร CCDDCC และวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสโดยมีผลการตอบสนองทางความถี่ของฟังก์ชันถ่ายโอนได้ห้ารูปแบบ (HPF, LPF, BPF, BRF และ APF) ในวงจรเดียวกันที่สามารถปรับค่าตัวประกอบคุณภาพได้เป็นอิสระจากค่าความถี่ตอบสนอง วงจรประยุกต์ใช้งานที่นำเสนอถูกสร้างจาก CCDDCCs จำนวน 3 ตัว และตัวเก็บประจุแบบต่อกราวด์ 1 ตัว โดยไม่ใช้ตัวต้านทานใด ๆ จากภายนอกและไม่มีผลกระทบต่อการวิเคราะห์ในเชิงอุดมคติ คุณลักษณะของวงจรที่นำเสนอและการประยุกต์ใช้งานทั้งหมดถูกจำลองการทำงานด้วยโปรแกรม PSpice พบว่ามีความสอดคล้องตามหลักการที่ได้นำเสนอไว้เป็นอย่างดี

## 1.4 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 6 บท ดังต่อไปนี้

บทที่ 1 กล่าวถึง บทนำ ความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ของงานวิจัย การพัฒนาในงานวิจัย และรายละเอียดวิทยานิพนธ์ในบทต่าง ๆ

บทที่ 2 กล่าวถึง เทคโนโลยีของมอสทรานซิสเตอร์และวงจรย่อยที่ใช้ในวิทยานิพนธ์ ซึ่งประกอบด้วย บทนำ เทคโนโลยีของมอสทรานซิสเตอร์ โครงสร้างของมอสเฟท สัญลักษณ์ของมอสเฟท หลักการพื้นฐานของมอสเฟท ชนิดของมอสเฟท แบบจำลองของมอสเฟท วงจรขยายความนำ วงจรสะท้อนกระแส วงจรกันชนรูปแบบแรงดันแตกต่าง วงจรสายพานกระแสควบคุมด้วยกระแส และบทสรุป

บทที่ 3 กล่าวถึง หลักการที่เคยนำเสนอในอดีต ซึ่งประกอบด้วย บทนำ วงจรสายพานกระแสผลต่างอินพุทแตกต่างที่มีการนำเสนอไว้ในวารสารต่าง ๆ การประยุกต์ใช้งานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างที่มีการนำเสนอไว้ในวารสารต่าง ๆ และบทสรุป

บทที่ 4 กล่าวถึง วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอในวิทยานิพนธ์ ซึ่งประกอบด้วย บทนำ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอ การวิเคราะห์คุณสมบัติของวงจร การจำลองการทำงาน และบทสรุป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 กล่าวถึง การประยุกต์ใช้งานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส ซึ่งประกอบด้วย บทนำ วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ปรับค่าได้ทางอิเล็กทรอนิกส์ ผลจำลองการทำงาน วงจรกรองความถี่หลายหน้าที่รูปแบบกระแส ผลจำลองการทำงาน และบทสรุป

บทที่ 6 กล่าวถึง บทสรุปและข้อเสนอแนะ ซึ่งประกอบด้วย บทสรุปผลการวิจัย และข้อเสนอแนะจากการวิจัย

บรรณานุกรม

กรณีการวิเคราะห์คุณสมบัติของวงจรที่ใช้ในวิทยานิพนธ์ ซึ่งเป็นส่วนที่มีความสำคัญเพื่อวิเคราะห์หาประสิทธิภาพตลอดจนค่าความผิดพลาดของวงจรที่อาจเกิดขึ้น ได้เสนอไว้เป็นภาคผนวกของวิทยานิพนธ์ ดังมีรายละเอียดดังต่อไปนี้

ภาคผนวก ก. โปรแกรม PSpice ที่ใช้วิเคราะห์ในงานวิจัย

ภาคผนวก ข. การวิเคราะห์คุณสมบัติของวงจร

ภาคผนวก ค. ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา

ประวัติผู้เขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# เทคโนโลยีมอสทรานซิสเตอร์และวงจรย่อยที่ใช้ในวิทยานิพนธ์

ในหัวข้อนี้ได้กล่าวถึงเทคโนโลยีมอสทรานซิสเตอร์และวงจรย่อยที่ใช้ในวิทยานิพนธ์ ซึ่งประกอบด้วย บทนำ เทคโนโลยีของมอสทรานซิสเตอร์ โครงสร้างของมอสเฟท สัญลักษณ์ของมอสเฟท หลักการพื้นฐานของมอสเฟท ชนิดของมอสเฟท แบบจำลองของมอสเฟท วงจรขยายความนำ วงจรสะท้อนกระแส วงจรกันชนรูปแบบแรงดันแตกต่าง วงจรสายพานกระแสควบคุมด้วยกระแส และบทสรุป

## 2.1 บทนำ

วงจรรวม (Integrated Circuit) ซึ่งเรียกย่อ ๆ ว่า IC ที่จะกล่าวถึงในที่นี้จะอยู่ในลักษณะที่เป็นโมโนลิทิค (Monolithic) กล่าวคือ วงจรทั้งหมดซึ่งประกอบด้วย ส่วนประกอบ (Component) ต่าง ๆ ทั้งแบบแอคทีฟและแพสซีฟ อยู่บนสารกึ่งตัวนำเดียวกัน วงจรรวมนี้โดยทั่วไปจะแบ่งเป็น 2 พวกใหญ่ ๆ คือ พวกลิเนียร์และดิจิตอล ซึ่งในการทำวิทยานิพนธ์ฉบับนี้จะเน้นไปในด้านการออกแบบวงจรลิเนียร์ โดยวิทยานิพนธ์นี้เป็นการวิจัยและพัฒนาจากการสังเคราะห์และออกแบบวงจรที่ประยุกต์จากอุปกรณ์แอกทีฟ DDCC (Differential difference current conveyor) ในชื่อที่ว่า วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส CCDDCC (Current controlled differential difference current conveyors) โดยใช้เทคโนโลยีซีมอสเป็นหลัก การออกแบบวงจรได้จำลองการเลียนแบบการทำงานของวงจรโดยใช้โปรแกรมทางคอมพิวเตอร์ คือ โปรแกรม PSpice ซึ่งจะใช้เป็นข้อแสดงถึงสมรรถนะของวงจรที่เกิดขึ้นว่ามีคุณสมบัติเป็นไปตามหลักการที่ออกแบบไว้หรือไม่

### 2.1.1 ข้อเปรียบเทียบระหว่างวงจรรวมกับวงจรดีสครีท

ในปัจจุบันการลงทุนเกี่ยวกับทางด้านอุปกรณ์สารกึ่งตัวนำส่วนใหญ่มักจะเน้นหนักไปในด้านการผลิต IC มากกว่าการผลิตส่วนประกอบแบบดีสครีท ทั้งนี้เพราะ IC มีข้อดีมากกว่าวงจรด้านดีสครีท กล่าวคือ

1) ทางด้าน IC นั้นสามารถผลิตวงจรต่าง ๆ ได้ทีละหลาย ๆ วงจรต่อการผลิต 1 ครั้ง ดังนั้นจึงทำให้ต้นทุนในการผลิต IC มีราคาถูก

2) เนื่องจากส่วนประกอบภายใน IC เช่น ทรานซิสเตอร์ซึ่งถูกผลิตขึ้นมาพร้อม ๆ กันในกระบวนการผลิต ดังนั้นค่าพารามิเตอร์ของส่วนประกอบต่าง ๆ นั้นจะมีค่าเท่ากัน และคุณสมบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Characteristics) ของส่วนประกอบเหล่านั้นจะมีความสมมาตรกัน (Match) และนอกจากนั้นส่วนประกอบเหล่านี้ยังมีคุณสมบัติต่อสภาวะแวดล้อมต่าง ๆ เช่นการเปลี่ยนแปลงทางอุณหภูมิเหมือน กันด้วย (Thermal Tracking) ซึ่งข้อดีดังกล่าวจึงทำให้ IC มีขีดความสามารถและความเชื่อมั่นในการใช้งานสูง (High Performance and High Reliability) โดยที่ผู้สร้างอาจจะสร้างวงจรที่มีความยุ่งยากและสลับซับซ้อนมาก ๆ ขึ้นมาได้โดยที่อาจจะเป็นไปไม่ได้เลยสำหรับวงจรดีสครีท

3) เนื่องจาก IC จะไม่มีรอยต่อบัดกรี จึงสามารถลดผลต่าง ๆ อันเกิดขึ้นเนื่องจากสิ่งที่แอบแฝงอยู่ในรอยบัดกรีนั้นลงไปโดยสิ้นเชิง ทำให้วงจรใน IC ทำงานดีกว่าวงจรดีสครีททั่วไป

4) IC แต่ละตัวอาจทำงานได้เท่า ๆ กับบล็อกแต่ละบล็อกของระบบ (System) ทั่ว ๆ ไป ในการศึกษาหรือการออกแบบวงจรอิเล็กทรอนิกส์ในปัจจุบัน จึงเน้นหนักไปในทางด้านบล็อกไดอะแกรมเสียเป็นส่วนใหญ่ จึงจะช่วยให้เกิดความสะดวกขึ้นอีกมาก เพราะสามารถใช้ IC แทนลงในบล็อกไดอะแกรมนั้นได้เลย โดยที่ผู้สร้างไม่จำเป็นที่จะต้องไปสร้างวงจรในแต่ละบล็อกนั้นอีก จึงทำให้ลดความยุ่งยากของวงจรทั้งหมดลงไปได้

5) IC มีขนาดเล็กและเบากว่า

อย่างไรก็ตามเมื่อ IC มีข้อดี ก็ย่อมจะมีข้อเสียคู่กันไปเป็นของธรรมดา ซึ่งข้อเสียข้อหนึ่งของ IC ก็คือ ไม่สามารถปรับแต่งค่าต่าง ๆ เช่น ค่าความต้านทานใน IC ได้โดยง่าย เหมือนกับในวงจรดีสครีท แต่ถ้าจำเป็นจริง ๆ ก็จะสามารถปรับแต่งได้โดยใช้แสงเลเซอร์ซึ่งจะทำให้ต้นทุนในการผลิตสูงขึ้นมาก ส่วนข้อเสียอีกหนึ่งข้อของ IC ก็คือ การออกแบบวงจรจะยุ่งยากสลับซับซ้อนและใช้เวลามากกว่าการออกแบบวงจรดีสครีทที่ทำงานอย่างเดียวกันแต่ข้อเสียดังกล่าวก็จะไม่มีผลมากเท่าไรเมื่อผลิต IC เหล่านั้นในจำนวนมาก

### 2.1.2 ข้อเปรียบเทียบระหว่างทรานซิสเตอร์แบบเฟทกับแบบไบโพล่าร์

โดยทั่วไปทรานซิสเตอร์แบบเฟทถูกพิจารณาว่ามีคุณสมบัติที่ดีและมีประโยชน์เหนือกว่าทรานซิสเตอร์แบบไบโพล่าร์ ซึ่งอาจสรุปได้เป็นข้อ ๆ ดังนี้

1) ทรานซิสเตอร์แบบเฟทจะมีค่าความต้านทานอินพุทสูงมาก (High Input Impedance) อยู่ในช่วงประมาณ $10^{10} - 10^{15}\,\Omega$ โดยขึ้นอยู่กับชนิดของเฟท ซึ่งแตกต่างจากทรานซิสเตอร์แบบไบโพล่าร์ที่มีค่าความต้านทานอินพุทต่ำ จึงทำให้เฟทถูกนำไปใช้งานได้อย่างสะดวก กว้างขวาง ไม่มีปัญหายุ่งยากในการใช้งานและไม่เป็นภาระในการต่อร่วมกับอุปกรณ์หรือวงจรอื่น ๆ

2) ทรานซิสเตอร์แบบเฟท เป็นอุปกรณ์ที่มีเสถียรภาพการทำงานที่ดีกว่าทรานซิสเตอร์แบบไบโพล่าร์ คือ มีค่าความไวต่ออุณหภูมิหรือรังสี โดยเฉพาะรังสีคอสมิก (Cosmic Ray) น้อยกว่าทำให้เฟทถูกใช้งานอย่างกว้างขวางในอุปกรณ์การสื่อสารระบบดาวเทียม ซึ่งทำงานในอวกาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) ทรานซิสเตอร์แบบเฟท จะมีสัญญาณรบกวน (Noise) ต่ำกว่าทรานซิสเตอร์แบบไบโพล่าร์ การทำงานของเฟทจึงมีประสิทธิภาพสูงกว่า

4) ทรานซิสเตอร์แบบเฟท เป็นอุปกรณ์ที่มีโครงสร้างง่าย ๆ ไม่สลับซับซ้อนโดยเฉพาะมอสเฟท ทำให้สร้างได้ง่าย ไม่ยุ่งยาก จึงทำให้เฟท มีราคาถูกกว่าทรานซิสเตอร์แบบไบโพล่าร์

5) ทรานซิสเตอร์แบบเฟท มีโครงสร้างที่เป็นแบบสมมาตรสองข้าง (Bisymmetrical Structure) คือ ในส่วนของซอสและเดรน จะมีคุณสมบัติเหมือนกันทุกประการสามารถสลับหน้าที่กันได้ทำให้ง่ายต่อการออกแบบวงจร โดยเฉพาะอย่างยิ่งการออกแบบเฟทในรูปของวงจรรวม (Integrated Circuit) ต่างจากกรณีของทรานซิสเตอร์แบบไบโพล่าร์ เช่น ในส่วนของอิมิเตอร์ (Emitter) และคอลเลคเตอร์ (Collector) มีคุณสมบัติแตกต่างกันไม่สามารถสลับหน้าที่กันได้

6) การทำงานของทรานซิสเตอร์แบบเฟท มีการสูญเสียกำลังงานน้อยมาก เนื่องจากค่าความต้านทานอินพุทมีค่าสูง ทำให้มีกระแสไหลได้น้อยมากหรือไม่มีกระแสไหล เช่น ในกรณีของมอสเฟท ดังนั้นจึงทำให้ไม่มีการใช้กำลังงาน ซึ่งแตกต่างจากทรานซิสเตอร์แบบไบโพล่าร์ จะมีค่าความต้านทานอินพุทต่ำ ทำให้มีกระแสไหลในด้านอินพุท จึงมีการสูญเสียกำลังงานสูง ดังนั้นเฟทจึงเป็นอุปกรณ์ที่ประหยัดกำลังงานที่ดี คุณสมบัติข้อนี้ทำให้เฟท โดยเฉพาะอย่างยิ่งมอสเฟท (MOSFET) เป็นอุปกรณ์ที่สำคัญอย่างยิ่งมีบทบาทมากที่สุดและถูกนำมาใช้งานกันอย่างแพร่หลายในปัจจุบัน ซึ่งกล่าวได้ว่ามอสเฟท เป็นสิ่งประดิษฐ์จากฝีมือของมนุษย์ที่มีจำนวนมากที่สุดบนโลก

7) ทรานซิสเตอร์แบบเฟท เป็นอุปกรณ์ที่ใช้แรงดันในการควบคุมการทำงาน (Voltage Control) ต่างจากทรานซิสเตอร์แบบไบโพล่าร์ที่ควบคุมการทำงานด้วยกระแส (Current Control) ทำให้ง่ายต่อการนำไปใช้งาน โดยสูญเสียพลังงานน้อยที่สุด และในขณะทำงานจะเกิดความร้อนน้อยกว่าทรานซิสเตอร์แบบไบโพล่าร์

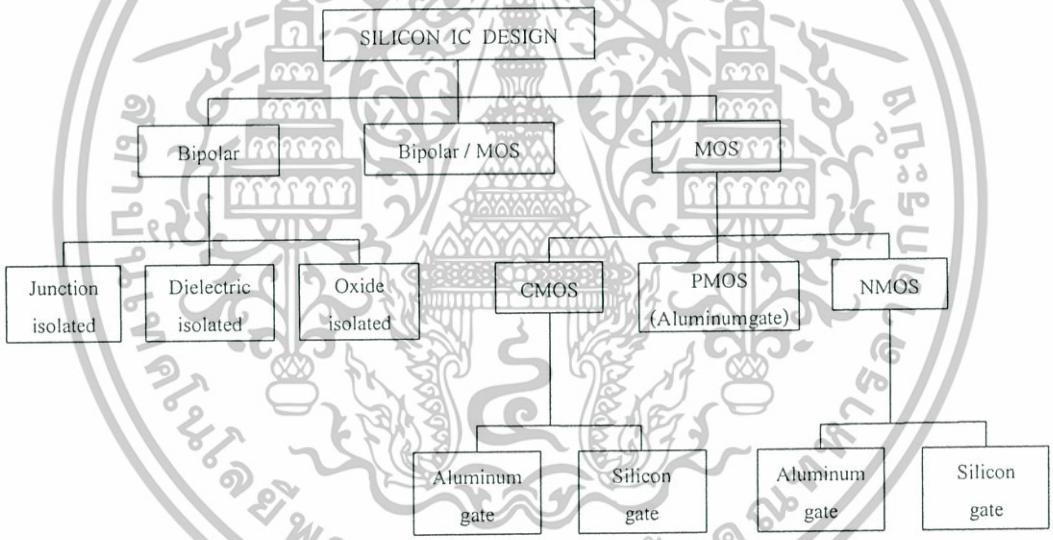
8) กรณีของทรานซิสเตอร์แบบมอสเฟท มีความเหมาะสมมากที่สุดที่จะนำไปสร้างในรูปของวงจรรวม (Integrated Circuit: IC) เพราะมีโครงสร้างที่ง่ายกว่า ทั้งยังสามารถสร้างให้มีขนาดเล็กมาก ๆ ได้ในระดับไมโครเมตร $(\mu m)$ ซึ่งในเทคโนโลยีของทรานซิสเตอร์แบบไบโพล่าร์ยังไม่สามารถทำได้ ทำให้วงจรรวมชนิดมอสเฟท (MOS IC) เป็นวงจรรวมที่มีประสิทธิภาพสูง เช่น วงจรหน่วยความจำ (Memory ICs) ซึ่งในแต่ละชิ้นของวงจรรวมที่มีขนาดพื้นที่ประมาณหนึ่งตารางเซนติเมตรจะมีมอสเฟทบรรจุอยู่หลายล้านตัว

สำหรับข้อจำกัดหรือข้อด้อยของทรานซิสเตอร์แบบเฟทที่สำคัญ ได้แก่ การที่เฟทมีค่าความนำถ่ายโอนหรือทรานส์คอนดัคแตนซ์ (Transconductance: $g_m$) ที่มีค่าต่ำ จึงทำให้เฟทมีอัตราการขยายที่ต่ำกว่าทรานซิสเตอร์แบบไบโพล่าร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.2 เทคโนโลยีของมอสทรานซิสเตอร์

การพัฒนาการของเทคโนโลยี (VLSI: Very Large Scale Integration) เป็นการผลิตวงจรรวมที่เป็นเทคโนโลยีที่นิยมกันมาก เพราะมีข้อดีกว่าเทคโนโลยีแบบอื่น ๆ หลายประการ เช่น การสูญเสียของพลังงานต่ำกว่า มีอินพุตอิมพีแดนซ์สูงมาก การออกแบบง่าย ฯลฯ ซึ่งมีความต้องการมากในงานด้านการประมวลผลสัญญาณ (Signal Processing) แบบเป็นวงจรรวมอยู่บนชิพเดียว (Single Chip) การทำงานจะมีประสิทธิภาพมากที่สุดซึ่งในวงจรอนาลอก (Analog) ซึ่งเป็นบทบาทสำคัญของการผลิตไอซีโดยออกแบบเป็น VLSI ในการออกแบบ VLSI ในระบบวงจรอนาลอก (Analog Circuit) ส่วนใหญ่ที่รู้จักก็คือ วงจรกรองสัญญาณ วงจรแปลงอนาลอกเป็นดิจิตอล และวงจรแปลงดิจิตอลเป็นอนาลอก วงจรเปรียบเทียบแรงดัน (Voltage Comparator) วงจรควบคุมอัตราการขยายอัตโนมัติ (Automatic Gain Control) รูปที่ 2.1 พัฒนาการของแผนผังเทคโนโลยีวงจรรวม




**รูปที่ 2.1** แผนผังของเทคโนโลยีวงจรรวม

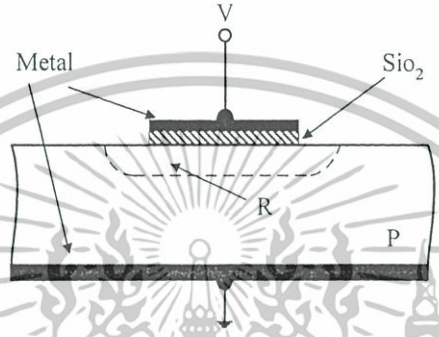
วิธีการออกแบบ IC นิยมใช้เทคโนโลยีอยู่ 2 แบบคือ แบบไบโพลาร์ (BJT) และแบบมอส (MOS) โดยจะแบ่งเป็นส่วนย่อย ๆ ดังรูปที่ 2.1 ทั้งหมดจะอยู่บนรากฐานของเทคโนโลยีวงจรรวมซิลิกอน ( Silicon Integrate – Circuit Technology ) โดยเมื่อก่อนการออกแบบวงจรรวมนั้นจะใช้เทคโนโลยีของไบโพลาร์ แต่ในยุคปัจจุบันเทคโนโลยีของมอสได้เจริญเติบโตขึ้นอย่างมาก ซึ่งในส่วนเทคโนโลยีของมอส ทำให้สามารถบรรจุวงจรที่ถูกออกแบบไว้มีความหนาแน่นมากขึ้น เช่น หน่วยความจำ (Memory) หน่วยประมวลผล (Microprocessor) และจากรูปที่ 2.1 จะเห็นได้ว่าใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคโนโลยีวงจรรวมมีอุปกรณ์หลายชนิด งานวิจัยนี้จะใช้อุปกรณ์มอสเฟทชนิดเอ็นฮานซ์เมนท์ในการออกแบบ ดังนั้นในบทนี้จะขออธิบายถึงการทำงานของมอสเฟทชนิดเอ็นฮานซ์เมนท์ ต่อไป

## 2.3 โครงสร้างของมอสเฟท

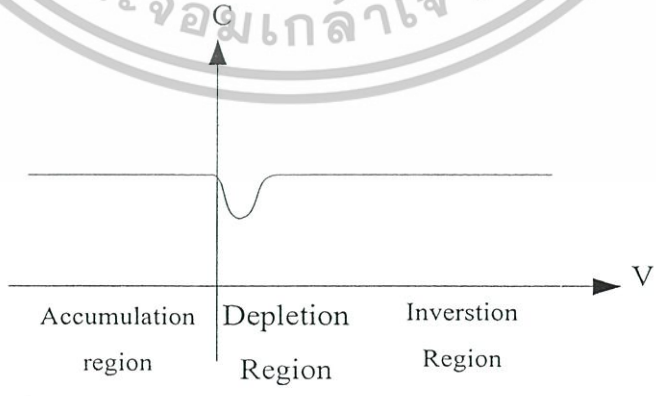
จากรูป 2.2 เป็นการประกบของชั้นต่าง ๆ ของโครงสร้างแบบมอสประกอบด้วยโลหะชั้นบนซิลิกอนไดออกไซด์ ($SiO_2$) ซึ่งเป็นฉนวนที่สมบูรณ์ ซิลิกอนชนิดพี และโลหะชั้นล่างที่ซึ่งต่อกับกราวด์ (Ground)




**รูปที่ 2.2** โครงสร้างของมอส (MOS: Metal-Oxide Semiconductor)

สมมุติให้ $V$ เป็นลบมีสนามไฟฟ้าคร่อมชั้นของซิลิกอน (โฮล) ไปที่บริเวณ $R$ ใต้โลหะชั้นล่างประจุลบจะรวมตัวอยู่แผ่นโลหะ (Electrode) ด้านบน และประจุบวกจะรวมตัวอยู่ที่บริเวณ $R$ ซึ่งในกรณีนี้ อุปกรณ์นี้จะแสดงตัวเป็นตัวเก็บประจุมีค่าของขนาดความจุไฟฟ้าเป็น

$$C \approx \varepsilon_{OX} \frac{A}{l} \tag{2.1}$$

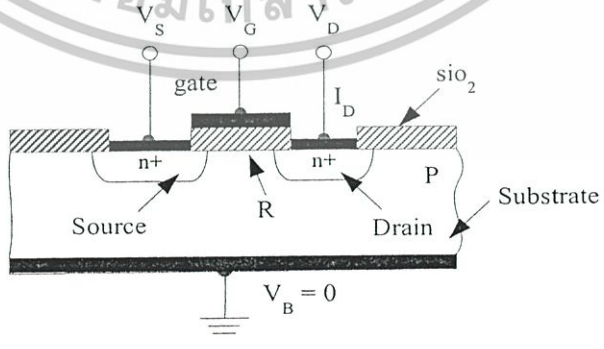



**รูปที่ 2.3** ความสัมพันธ์ระหว่างค่าความจุ ($C$) กับแรงดัน ($V$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.1) ค่าของ $\varepsilon_{OX}$ เป็นค่าการยอมให้กระแสไฟฟ้าผ่านของ ($SiO_2$) โดยมีค่าของ $\varepsilon_{OX} = \varepsilon_O k_{OX} \cong 0.35\ pF/cm$ โดยที่ $k_{OX}$ คือค่าความเป็นฉนวนของ ($SiO_2$) ($k_{OX}$ = 3.9), $\varepsilon_O$ คือ ค่าการยอมให้กระแสไฟฟ้าผ่านของบรรยากาศ $\left(\varepsilon_o \cong 8.854\times10^{-14}\ F/cm\right)$ สำหรับ $A$ คือพื้นที่หน้าตัดของขั้วโลหะด้านบน และ $l$ เป็นความหนาของชั้นออกไซด์ซิลิกอนชนิดพีที่อยู่ระหว่าง $R$ และโลหะชั้นล่างแสดงตัวเป็นความต้านทาน หรือค่าตัวเก็บประจุสูญเสียนั่นเอง

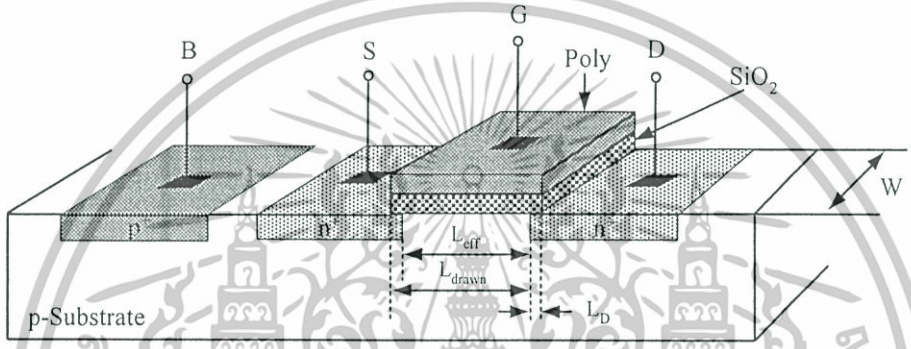
ขั้นต่อไปสมมุติให้ $V$ มีแรงดันเป็นค่าบวกน้อย ๆ จะเกิดสนามไฟฟ้าซึ่งผลักดัน(โฮล) ผลที่ได้คือ ประจุลบแยกออกจากกัน โดย (โฮล) ที่เคลื่อนที่จะเป็นผลให้ไม่มีประจุอยู่ที่บริเวณ $R$ ซึ่งเรียกว่า (Depletion Layer) และประจุบวกก็จะรวมกันอยู่ที่ (Electrode) ด้านบนและจะเป็นเหมือนตัวเก็บประจุเมื่อ $V$ เพิ่มขึ้นทำให้ประจุใน $R$ จะมากขึ้นและทำให้ (Depletion Layer) กว้างขึ้นตาม ถ้า $V$ เพิ่มขึ้นเรื่อย ๆ จะมีปรากฏการใหม่เกิดขึ้น โดยความร้อนที่เกิดขึ้นจาก (โฮล) และอิเล็กตรอนเกิดขึ้นเรื่อย ๆ ในสารกึ่งตัวนำถ้าสนามไฟฟ้าที่ถูกสร้างจาก $V$ ที่เป็นบวกอย่างเพียงพอจะสามารถดูดความร้อนจากอิเล็กตรอนทั้งหมดไปที่ $R$ และอิเล็กตรอนจะเคลื่อนที่ไปที่ผิวหน้า ซึ่งประจุบวกจะรวมตัวอยู่ที่ (Electrode) ด้านบน ขณะเดียวกันประจุลบ หรืออิเล็กตรอนจะอยู่ที่ชั้นของผิวหน้า จากสมการที่ (2.1) ค่าของ $l$ ซึ่งเป็นความหนาของ ($SiO_2$) และค่าของ $C$ จะมีค่าเท่ากันกับกรณีที่ $V$ ที่เป็นบวกกับในกรณีที่ค่า $V$ ที่เป็นลบ แต่ในกรณีที่ $V$ เป็นบวกน้อย ๆ จะอยู่ในย่าน Depletion Region ซึ่งค่าของ $C$ ในเทอมของ $V$ จะแสดงไว้ดังรูปที่ 2.3 ซึ่งมีชื่อเรียกอยู่ 3 Regions คือ (Accumulation Region, Depletion Region, Inversion Region) โดยพิจารณาจากรูปที่ 2.4 แสดงถึงรายละเอียดของมอสเฟท ซึ่งจะเห็น $n^+$ (การโดปสารชนิด $n$) Region อยู่ 2 ตัวในสารกึ่งตัวนำชนิดพี ในด้านซ้ายจะเรียกว่าซอส (Source) ซึ่งแรงดันที่ต่ออยู่จะเรียกว่า $V_S$ ในด้านขวาจะเรียกว่า เดรน (Drain) ซึ่งแรงดันที่ต่ออยู่จะเรียกว่า $V_D$ โลหะที่ทำ Electrode จะเรียกว่าเกท ซึ่งแรงดันที่ต่ออยู่จะเรียกว่า $V_G$ และตัวถังของอุปกรณ์ตัวนี้จะเรียกว่า ซับสเตรท (Substrate) หรือ บัค (Bulk) ซึ่งแรงดันที่ต่ออยู่จะเรียกว่า $V_B$




**รูปที่ 2.4** โครงสร้างของมอสเฟท (MOSFET: Metal-Oxide Semiconductor FET )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NMOS ประกอบด้วย ส่วนซับสเตรท (Substrate) ที่เป็นสารกึ่งตัวนำชนิดพี (P – Type) ซึ่งมีสารกึ่งตัวนำชนิดเอ็น 2 ชุด ถูกแพร่ลงบนฐานรอง สารกึ่งตัวนำนี้เรียกว่า ซอส (Source) และ เดรน (Drain) บนผิวหน้าระหว่างซอสกับเดรนจะมีแผ่นฟิล์มบางของซิลิกอนไดออกไซด์ ($SiO_2$) ส่วนบนของซิลิกอนไดออกไซด์ จะมีโพลีซิลิกอนซึ่งทำหน้าที่เรียกว่า เกท (Gate) ถ้าส่วนของฐานรองทำด้วยสารกึ่งตัวนำชนิดเอ็นและสารกึ่งตัวนำชนิดพีถูกแพร่ลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่า PMOS ระยะห่างระหว่างสารกึ่งตัวนำที่เป็น ซอสและเดรน เรียกว่าความยาวแชนแนล (Channel Length :L) และความกว้างของช่องระหว่าง ซอสและเดรน เรียกว่า ความกว้างแชนแนล (Channel width :W )



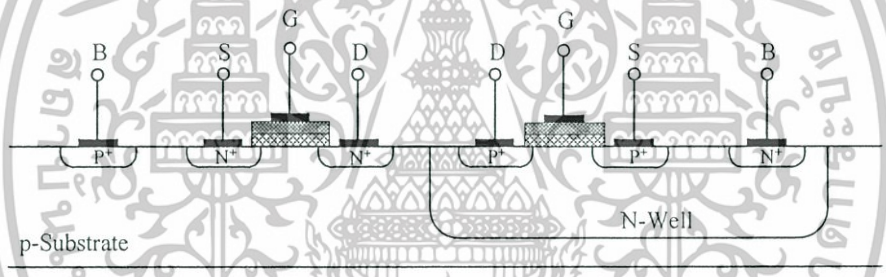

รูปที่ 2.5 โครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ชนิดเอ็น

จากรูปที่ 2.5 โครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ชนิดเอ็น (NMOS) ขั้วซอส (Source) และขั้วเดรน (Drain) ถูกสร้างขึ้นโดยการแพร่อะตอมสารเจือชนิดเอ็นที่มีความหนาแน่นมาก (Heavily Doped N-Type Region) เข้าไปในฐานรอง (Bulk Region or Substrate) ของสารกึ่งตัวนำชนิดพี ซึ่งเป็นผลึกซิลิกอนรูปเดี่ยว (Single Crystal) ที่มีความหนาแน่นน้อย (Lightly Doped P-Type Substrate) ขั้วเกทจะเป็นส่วนของโลหะ (Metal) หรือชั้นของโพลีซิลิกอน (Poly Silicon) ซ้อนอยู่บนชั้นของออกไซด์ระหว่างขั้วเดรนและซอส ซึ่งวิธีการในการสร้างชั้นโพลีซิลิกอนสร้างด้วยเทคนิค (CVD: Chemical Vapor Deposition) จากกาซสารประกอบของซิลิกอน เช่น กาซไซเลน (Saline) ชั้นของซิลิกอนที่สร้างจะถูกเติมด้วยอะตอมสารเจืออย่างเข้มข้น เพื่อให้มีความนำไฟฟ้าสูง นำไฟฟ้าได้ดีเหมือนตัวนำ ลดค่าแรงดันขีดเริ่ม ทำงานได้ดีที่ความถี่สูง และมีคุณสมบัติเป็นผลึกรูปหรือโพลีซิลิกอน(Poly Silicon) นอกจากนี้แล้ว เกทที่ทำจากซิลิกอนมีความทนทานต่ออุณหภูมิที่สูงกว่าอลูมิเนียม ทำให้ไม่มีปัญหาในการสร้างที่ต้องใช้อุณหภูมิสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระยะห่างระหว่างขั้วซอสและขั้วเดรน เป็นความยาวของมอสทรานซิสเตอร์ (L: Channel Length) และมีระยะทางด้านข้าง (Side Wall) เป็นความกว้างของมอสทรานซิสเตอร์ (W: Channel Width) จากรูปที่ 2.5 จะเห็นได้ว่าในเทอมของ L ประกอบด้วย $L_{eff}$ คือ ความยาวจริง (Effective Length), $L_{drawn}$ คือ ค่าความยาวที่เลย์เอาท์ (Layout) เพื่อวาดทรานซิสเตอร์ และ $L_D$ คือ ความยาวที่เกิดจากการแพร่สารที่เจือแล้วกินความยาวเข้าไป (Diffusion Length) โครงสร้างของมอส ทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ชนิดพี (PMOS) ลักษณะคล้ายคลึงกับมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนท์ชนิดเอ็น (NMOS) แต่จะสลับกัน คือ มอสทรานซิสเตอร์ชนิดพีจะประกอบด้วยผลึกฐานรองชนิดเอ็น (N-Type Substrate) ที่มีความหนาแน่นน้อย และมีการแพร่อะตอมสารเจือชนิดพีที่มีความหนาแน่นมากเข้าไปในฐานรองเพื่อเป็นขั้วซอสและเดรน

เทคโนโลยีซีมอส (CMOS: Complementary MOS) เป็นการสร้างมอสทรานซิสเตอร์ชนิดเอ็น (NMOS) และมอสทรานซิสเตอร์ชนิดพี (PMOS) บนผลึกแผ่นสารตัวนำเดียวกันมอสทรานซิสเตอร์ชนิดหนึ่งจะถูกสร้างอยู่ในบ่อฐานรอง (Well) โดยทั่วไปแล้วจะนิยมสร้างมอสทรานซิสเตอร์ชนิดพี ในบ่อฐานรองชนิดเอ็น (N-Well) ดังรูปที่ 2.6




รูปที่ 2.6 โครงสร้างของเทคโนโลยีซีมอส

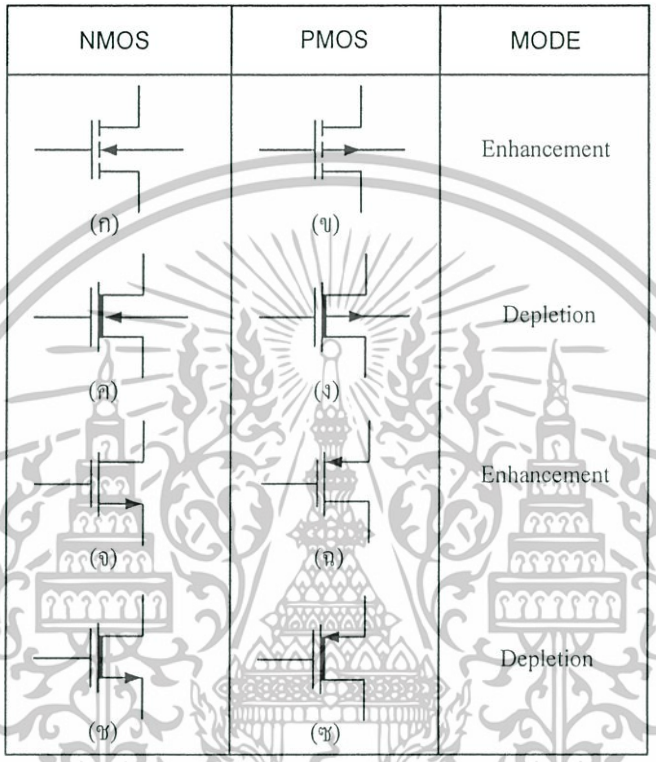
## 2.4 สัญลักษณ์ของมอสเฟท

สัญลักษณ์ของมอสเฟทสามารถบอกได้ว่าเป็น มอสเฟทชนิด N หรือ P โดยดูที่หัวของลูกศรที่ขาซอส แต่ถ้าหัวลูกศรหันเข้าขาเกทแสดงว่าเป็น PMOS แต่ถ้าหัวลูกศรหันออกจากขาเกทแสดงว่าเป็น NMOS หรือดูที่ทิศทางของหัวลูกศรที่ขาบอดี้ (Body) หรือฐานรอง (Substrate) หรือบางทีอาจเรียกว่า Bulk โดยถ้าหัวลูกศรหันเข้าหาขาเกทแสดงว่าเป็น NMOS แต่ถ้าหัวลูกศรหันออกจากขาเกทแสดงว่าเป็น PMOS และสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสเฟทเป็นแบบเอ็นฮานเมนท์ หรือ ดีพลีชั่นอีกด้วย แสดงได้ตามตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสเฟทแบ่งตามชนิดการทำงานได้ 2 ชนิด คือ ชนิดเอ็นฮานเมนท์มอส (Enhancement MOSFET) และชนิดดีพลีชั่นมอส (Depletion MOSFET) ซึ่งแต่ละชนิดจะแบ่งออกได้อีกเป็น (N-Channel) หรือ NMOS และ (P-Channel) หรือ PMOS ซึ่งโครงสร้างของ NMOS และ PMOS จะมีโครงสร้างตรงข้ามกัน เมื่อโครงสร้างของ PMOS และ NMOS แสดงไว้ในตารางที่ 2.1

**ตารางที่ 2.1** สัญลักษณ์ของมอสเฟทชนิด (Enhancement) และมอสเฟทชนิด (Depletion)




จากตารางที่ 2.1สัญลักษณ์ของมอสเฟทชนิดต่าง ๆ ทั้ง 2 ชนิด แสดงสัญลักษณ์ในรูป (ก) คือ (Enhancement NMOS) เมื่อโวลท์เตจระหว่างบอดี้และซอส $V_{BS} \neq 0$ ในรูป (ข) คือ (Enhancement PMOS) เมื่อ $V_{BS} \neq 0$ ในรูป (ค) และ (ง) คือ (Depletion PMOS) เมื่อ $V_{BS} \neq 0$ สัญลักษณ์ในรูป (ก) และ (ข) กับรูป (จ) และ (ฉ) แตกต่างกันที่ $V_{BS} \neq 0$ และ $V_{BS} = 0$ ตามลำดับ

## 2.5 หลักการพื้นฐานของมอสเฟท

### 2.5.1 การทำงานของมอสเฟท

การให้แรงดันไบอัสแก่มอสเฟท ทำได้โดยแรงดันที่ขาเกท $V_G$ จะถูกไบอัสเพื่อควบคุมให้มีการเหนี่ยวนำประจุพาหะชนิดเดียวกับส่วนซอสและเดรน นั่นคือการควบคุมให้เกิดแชนแนลระหว่างซอสและเดรน ขั้วของซอสและฐานรองจะถูกต่อลงกราวด์ และส่วนเดรนได้รับศักดาซึ่งทำให้รอยต่อพี-เอ็น ที่ส่วนเดรนเป็นไบอัสย้อนกลับ (Reverse Bias) ดังนั้น ในกรณีของเอ็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

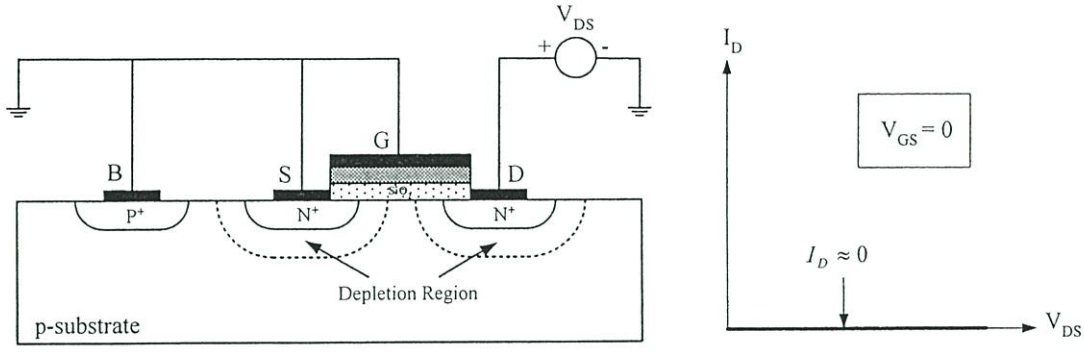
แชนแนลศักดาที่ขาเกทและเดรนจึงมีค่าเป็นบวก ในทำนองเดียวกันกรณีของพีแชนแนล ศักดาที่ขาเกทและเดรนจึงมีค่าเป็นลบ

ในกรณีที่ไม่มีแรงดันไบอัสที่เกท-ซอส หรือแรงดันที่เกท-ซอสเป็นศูนย์ ทำให้ไม่มีสนามไฟฟ้าในชั้นของออกไซด์ ดังนั้นที่ผิวสัมผัสระหว่าง $SiO_2 - Si$ ในสารกึ่งตัวนำจะไม่มีการเปลี่ยนแปลงใด ๆ เกิดขึ้น ทำให้ไม่มีบริเวณปลอดพาหะและแชนแนลในย่านนี้ คงมีแต่บริเวณปลอดพาหะที่อยู่รอบ ๆ รอยต่อพี-เอ็นของส่วนซอสกับฐานรอง และส่วนเดรนกับฐานรอง นอกจากนี้โครงสร้างที่เกิดขึ้นระหว่างซอสและเดรนมีลักษณะเป็น $n^+ - p - n^+$ ดังรูปที่ 2.7 ก) ทั้งยังได้รับไบอัสแบบย้อนกลับ (Reverse Bias) จึงทำให้มีกระแสเดรนมีค่าน้อยมาก และอาจจะประมาณค่าได้เป็นศูนย์หรือ $I_D \approx 0$ แม้ว่าแรงดันเดรน-ซอสจะเพิ่มขึ้นก็ตาม กราฟของ $I_D - V_{DS}$ จึงแสดงได้ดังรูปที่ 2.7 ก) ในขณะนี้มอสเฟทจะอยู่ในสภาวะคัทออฟ หรือเป็นสถานะ OFF ของมอสเฟท แต่ถ้าชั้นฐานรองถูกต่อเข้ากับซอส และแรงดันเดรนมีค่าเป็นลบ จะทำให้รอยต่อพี-เอ็นระหว่างเดรนกับฐานรองได้รับการไบอัสตรง (Forward Bias) และมีกระแสเดรนได้ อย่างไรก็ดีในสภาพปกติที่ใช้งานมอสเฟท จะไม่ให้แรงดันเดรนมีค่าเป็นลบ ดังนั้นกระแสเดรนไม่สามารถไหลได้ สำหรับคุณสมบัติและการทำงานของมอสเฟท ในขณะที่มีการให้แรงดันไบอัสที่เกท-ซอสค่าคงที่ต่าง ๆ โดย $V_{GS} > 0$ และแรงดันเดรน-ซอส มีค่าเปลี่ยนแปลงไป จะทำให้มอสเฟททำงานในย่านต่าง ๆ ซึ่งอาจจะพิจารณาแบ่งออกเป็นช่วง ๆ ได้ดังต่อไปนี้

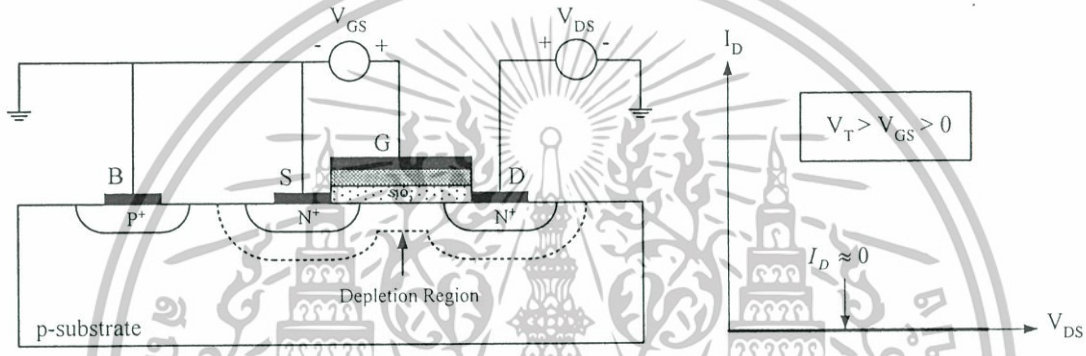
**2.5.1.1 กรณีที่ $V_T > V_{GS} > 0$ และ $V_{DS} > 0$ ; (Cutoff: ช่วงไม่นำกระแส)**

เมื่อป้อนแรงดันค่าบวกเข้าที่ขาเกทเทียบกับขาซอส $V_{GS}$ ที่มีค่าบวกค่าหนึ่ง แต่น้อยกว่าแรงดันขีดเริ่ม ($V_T$ : Threshold Voltage) หรือ $V_T > V_{GS} > 0$ สนามไฟฟ้าในชั้นออกไซด์ที่เกิดจากแรงดันเกทซอส จะผลักให้โฮลในสารกึ่งตัวนำที่ผิวสัมผัส $SiO_2 - Si$ เคลื่อนที่ห่างออกไปความหนาแน่นของโฮลในบริเวณดังกล่าวจึงมีค่าลดลงจากเดิม ผลดังกล่าวทำให้เกิดบริเวณปลอดพาหะ (Depletion Region) ขึ้นในสารกึ่งตัวนำที่อยู่ใต้ส่วนเกท ดังแสดงในรูปที่ 2.7 ข) ดังนั้นในกรณีนี้ ซอสและเดรนยังคงถูกแยกจากกันด้วยชั้นของบริเวณปลอดพาหะที่เกิดขึ้นใต้ส่วนเกทและเป็นชั้นที่มีความนำไฟฟ้าต่ำ ดังนั้นเมื่อแรงดันเดรนซอสมีค่าเพิ่มขึ้นกระแสเดรนก็จะมีการไหลแต่ว่ามีค่าน้อยมากประมาณว่าเป็นศูนย์ $I_D \approx 0$ ในสภาวะนี้มอสเฟทยังคงอยู่ในสภาวะคัทออฟ หรือสถานะ off เช่นเดิม

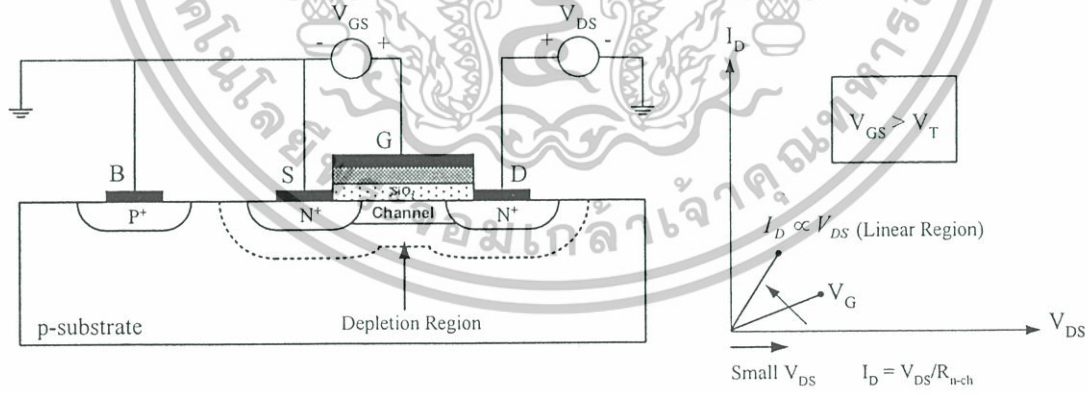
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก) กรณี $V_{GS} = 0$ และ $V_{DS} > 0$

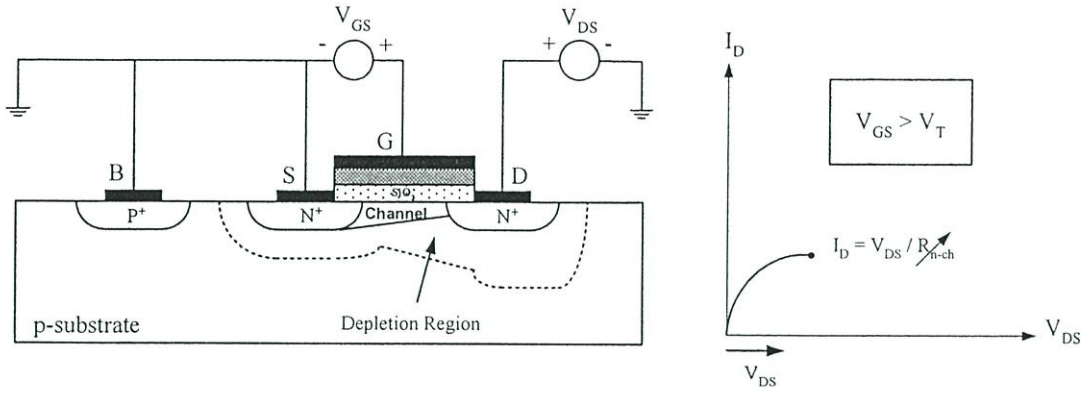



ข) กรณี $V_T > V_{GS} > 0$ และ $V_{DS} > 0$

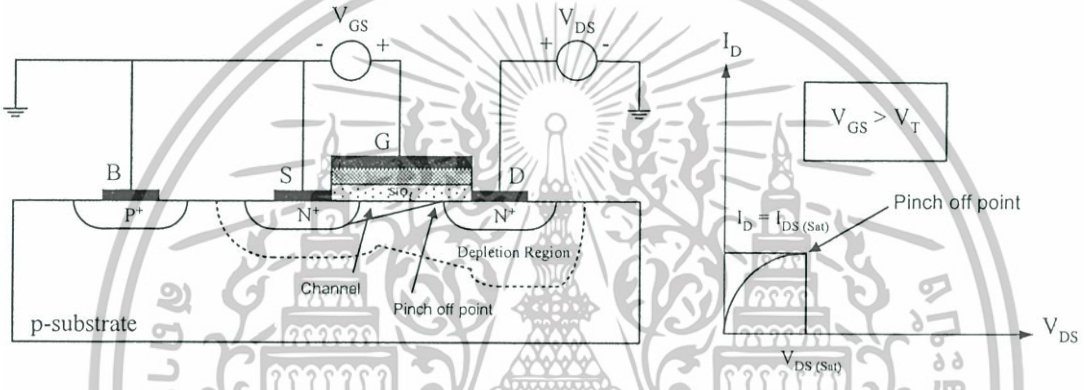



ค) กรณี $V_{GS} > V_T$ และ $V_{DS}$ มีค่าน้อยมาก

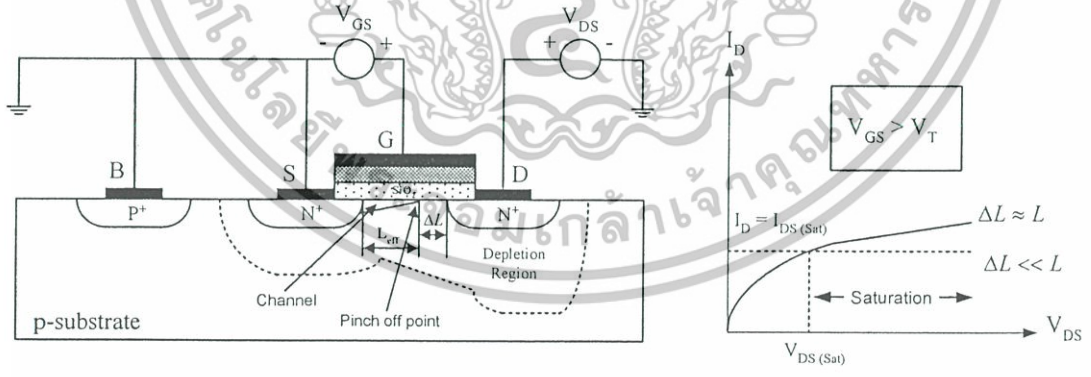
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ง) กรณี $V_{GS} > V_T$ และ $(V_{GS} - V_{DS}) > V_T$ หรือ $V_{DS} < V_{DS(Sat)}$




จ) กรณี $V_{GS} > V_T$ และ $V_{DS} = V_{DS(Sat)}$ หรือ $(V_{GS} - V_{DS}) = V_T$




ฉ) กรณี $V_{GS} > V_T$ และ $V_{DS} > V_{DS(Sat)}$

**รูปที่ 2.7** การทำงานและคุณสมบัติ $I_D - V_{DS}$ ของมอสเฟท แบบเอ็นฮานซ์เมนท์ ชนิดเอ็นแชนแนลขณะที่ $V_{GS}$ มีค่าคงที่ และ $V_{DS}$ มีค่าอยู่ในช่วงต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง


**2.5.1.2 กรณีที่ $V_{GS} > V_T$ และ $V_{DS}$ มีค่าน้อย ; (Ohmic Region: ช่วงนำกระแสไม่อิ่มตัว)**

เมื่อแรงดันเกทซอส $V_{GS}$ มีค่าเป็นบวกเพิ่มขึ้น ในที่สุดแรงดันเกทซอสจะเท่ากับแรงดันขีดเริ่ม $V_T$ หรือมีค่าสูงกว่าแรงดันขีดเริ่ม $V_{GS} > V_T$ ในขณะนี้สนามไฟฟ้าในชั้นฉนวนออกไซด์ที่เกิดขึ้นเนื่องจากแรงดันเกทซอส จะมีค่ามากพอที่จะเหนี่ยวนำให้เกิดชั้นกลับชนิดเอ็น (N-Inversion Layer) หรือแชนแนลชนิดเอ็นในสารกึ่งตัวนำที่ผิวสัมผัสระหว่าง $SiO_2 - Si$ บริเวณใต้ส่วนเกท ดังรูปที่ 2.7 ค) แชนแนลนี้จะมีลักษณะเป็นแผ่นประจุบาง ๆ (Sheet of Charge) ภายในแชนแนลนี้จะมีอิเล็กตรอนซึ่งถูกเหนี่ยวนำอยู่ในแชนแนล และจะมีค่าขึ้นอยู่กับสนามไฟฟ้าในชั้นออกไซด์ หรือแรงดันที่ตกคร่อมชั้นออกไซด์ เมื่อแรงดันเกทซอสคงที่ และแรงดันเดรนเป็นศูนย์มีค่าเท่ากับแรงดันที่ซอส แรงดันที่ตกคร่อมของออกไซด์จะมีค่าเท่า ๆ กันทุกจุดในแชนแนล แต่เมื่อแรงดันเดรนซอส $V_{DS}$ มีค่าเป็นบวก สนามไฟฟ้าในชั้นออกไซด์ที่จุดต่าง ๆ ที่ห่างออกมาจากด้านซอสจะมีค่าลดลง เพราะแรงดันตกคร่อมชั้นออกไซด์ที่จุดใกล้ด้านเดรนจะมีค่าลดลง ผลดังกล่าวทำให้ความหนาแน่นของอิเล็กตรอนในแชนแนลที่เข้าใกล้มาทางด้านเดรนมีค่าลดลงด้วย และจะมีค่าน้อยที่สุดที่ปลายด้านเดรน อย่างไรก็ดี กรณีที่แรงดันเดรนซอสมีค่าในช่วงต่ำ ๆ อาจประมาณได้ว่าสนามไฟฟ้าทุกจุดมีค่าเท่ากัน ดังนั้นความหนาแน่นของอิเล็กตรอนในแชนแนล ประมาณได้ว่ามีค่ายาวเท่ากันตลอดจากปลายซอสถึงปลายเดรน ถัดจากแชนแนลออกไปจะเป็นบริเวณปลอดพาหะ ซึ่งแรงดัน $+V_D$ จะทำให้รอยต่อพี-เอ็นที่อยู่รอบ ๆ ส่วนเดรนได้รับไบอัสย้อนกลับ ทำให้บริเวณปลอดพาหะทางด้านเดรนขยายกว้างมากกว่าทางด้านซอสเล็กน้อย แชนแนลชนิดเอ็นที่เกิดขึ้นนี้เสมือนกับเป็นแท่งสารกึ่งตัวนำชนิดเอ็น ที่มีความยาวเท่ากับ L โดยมีขั้วปลายทั้งสองด้าน คือ ส่วนซอสและส่วนเดรน $(n^+)$ เมื่อแรงดันเดรนเริ่มมีค่าเพิ่มขึ้นเล็กน้อย สนามไฟฟ้าในแชนแนลจะทำให้อิเล็กตรอนในแชนแนลเกิดการดริฟท์ (Drift) หรือเคลื่อนที่ในทิศทางจากด้านซอสไปยังด้านเดรน ดังนั้นทำให้มีกระแส $I_D$ เกิดขึ้น โดยมีทิศทางพุ่งเข้าที่ขั้วเดรน ขนาดของกระแสเดรนในขณะนี้ จะถูกจำกัดด้วยค่าความต้านทานของแชนแนล หรือก็คือ $I_D \propto \frac{1}{R_{n-ch}}$ และเป็นไปตามกฎของโอห์มคือ

$$I_D = \frac{V_D}{R_{n-ch}} \tag{2.2}$$

โดยที่ $R_{n-ch}$ คือ ความต้านทานของแชนแนล (Channel Resistance) และเท่ากับ $\frac{1}{G_{n-ch}}$

$G_{n-ch}$ คือ ความนำไฟฟ้าของแชนแนล (Channel Conductance)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
110451

ดังนั้นขณะที่แรงดันเพิ่มขึ้นในช่วงต่ำ กระแสเดรนที่เพิ่มขึ้นกับแรงดันเดรน ซึ่งเกือบ จะเป็นเชิงเส้น ดังรูปที่ 2.7 ค) เรียกการทำงานในย่านนี้ว่า "ช่วงเชิงเส้น" (Ohmic Region หรือ Linear Region หรือ Triode Region) ในช่วงนี้มอสเฟทจะมีสภาพไม่อิ่มตัว หรือ (Non-Saturation) กล่าวคือ กระแสเดรนจะขึ้นอยู่กับแรงดันที่เดรน และความชันของกราฟ $I_D - V_D$ จะเพิ่มขึ้นกับแรงดันเกท เนื่องจากแรงดันเกทเพิ่มขึ้นจะทำให้ความนำของแชนแนลเพิ่มขึ้นด้วย

**2.5.1.3 กรณีที่ $V_{GS} > V_T$ และ $(V_{GS} - V_{DS}) > V_T$ หรือ $V_{DS} < V_{DS(Sat)}$**

เมื่อแรงดันเดรนมีค่าสูงขึ้นต่อไป ค่าความต่างศักย์ระหว่างซอสและเดรนจะทำให้ที่ตำแหน่งต่าง ๆ ในแชนแนลมีศักย์ไม่เท่ากันอย่างเห็นได้ชัด ศักย์ไฟฟ้าที่ปลายซอสยังคงเป็นศูนย์โวลต์ แต่เมื่อตำแหน่งนั้นอยู่ห่างออกมาจากทางด้านซอส หรือเมื่อเข้าไปใกล้ทางด้านเดรน ศักย์ดา ไฟฟ้าจะมีค่าเป็นบวกเพิ่มขึ้น และจะมีค่าสูงสุดที่ปลายด้านเดรน คือ $V_D$ ดังนั้นแรงดันระหว่างขั้วเกทและแชนแนล(แรงดันตกคร่อมชั้นออกไซด์)ที่ตำแหน่ง X ต่าง ๆ ตลอดความยาวของแชนแนลจะมีค่าไม่เท่ากัน ที่ปลายด้านซอสแรงดันตกคร่อมชั้นออกไซด์จะมีค่าสูงสุดเท่ากับ $V_G$ โดยไม่เปลี่ยนแปลงกับแรงดันเดรน แต่ที่ตำแหน่ง X ที่ห่างจากซอสหรือใกล้เข้ามาทางด้านเดรน แรงดันตกคร่อมชั้นออกไซด์จะมีค่าลดลง และที่ปลายด้านเดรนแรงดันตกคร่อมชั้นออกไซด์นี้จะมีค่าต่ำสุดและมีค่าเท่ากับ $V_{GS} - V_{DS}$ กรณีที่แรงดันเดรนมีค่าไม่สูงมากและทำให้ $(V_{GS} - V_{DS}) \geq V_T$ แสดงว่าในช่วงนี้ยังมีแชนแนลเกิดขึ้นได้โดยตลอดตั้งแต่ซอสจนถึงเดรน และแรงดันเกทคงที่ความหนาแน่นของอิเล็กตรอนที่ในแชนแนลที่ปลายด้านซอสจะมีค่าคงที่ แม้แรงดันเดรนจะเพิ่มขึ้น แต่ความหนาแน่นของอิเล็กตรอนในแชนแนลจะลดลงกับระยะทางที่ห่างออกไปจากด้านซอส และยิ่งจะมีค่าลดลงเมื่อแรงดันเดรนมีค่าเพิ่มขึ้น ดังรูปที่ 2.7 ง) ซึ่งอาจพิจารณาได้ว่าเมื่อใกล้เข้าไปทางด้านเดรน ขนาดของแชนแนลจะมีค่าลดลง ดังนั้นความต้านทานของแชนแนล $R_{n-ch}$ จะมีค่าเพิ่มขึ้นกับแรงดันเดรน โดยเมื่อแรงดันเดรนมีค่าเพิ่มขึ้น การเพิ่มขึ้นของกระแสจะชะลอตัวลงดังสังเกตได้จากกราฟ $I_D - V_D$ ซึ่งความชันของกราฟจะมีค่าลดลง (โค้งมากขึ้น) เมื่อแรงดันเดรนเพิ่มขึ้น แต่ยังคงอยู่ในเงื่อนไข $(V_{GS} - V_{DS}) > V_T$ หรือ $V_{DS} < V_{DS(Sat)}$ โดยที่ $V_{DS(Sat)}$ หมายถึง แรงดันเดรนซอสที่อิ่มตัว

**2.5.1.4 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} = V_{DS(Sat)}$ ; (Pinch off Point: จุดพินช์ออฟ)**

เมื่อแรงดัน $V_D$ ยังคงเพิ่มขึ้นกระทั่งมีค่ามาก จนทำให้แรงดันที่ตกคร่อมชั้นออกไซด์ที่ตำแหน่งปลายด้านเดรนมีค่าเท่ากับแรงดันขีดเริ่มพอดีหรือ $(V_{GS} - V_{DS}) = V_T$ แชนแนลที่ปลายด้านเดรนจะมีขนาดลดลงเป็นศูนย์หรือก็คือ แชนแนลขาดออกพอดีที่เดรน ดังรูปที่ 2.7 จ) ซึ่งเรียกสภาวะนี้ว่า "สภาวะพินช์ออฟ" (Pinch off) และจุดที่แชนแนลขาดออกพอดีนี้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียกว่า "จุดพินช์ออฟ" (Pinch off Point) บริเวณปลอดพาหะตรงส่วนเดรนจะมีขนาดกว้างมากกว่าด้านซอสอย่างเห็นได้ชัด ค่าของแรงดันเดรนซอสที่พอดีที่ทำให้เริ่มเกิดสภาวะพินช์ออฟถูกเรียกว่า "แรงดันเดรนซิสอิ่มตัว" (Saturation Drain Source Voltage: $V_{DS(Sat)}$) หรือบางกรณีเรียกว่า "แรงดันพินช์ออฟ" (Pinch off Voltage: $V_P$)

ในขณะนี้พิจารณาได้ว่า แชนแนลที่ขาดออกพอดีที่ตำแหน่งปลายด้านเดรน การทำงานของมอสเฟทในสภาวะนี้จึงคล้ายกับสภาวะพินช์ออฟของ (N-Channel JFET) กล่าวคือ เมื่ออิเล็กตรอนในแชนแนลถูกดริฟท์ (Drift) โดยสนามไฟฟ้าจากด้านซอสมาทางด้านเดรน และเมื่อมาถึงปลายแชนแนลที่จุดพินช์ออฟ สนามไฟฟ้าค่าสูงสุดที่ตกคร่อมในช่วงแคบ ๆ ของบริเวณปลอดพาหะระหว่างปลายของแชนแนล และส่วนเดรน จะดึงให้อิเล็กตรอนที่ส่วนปลายแชนแนลข้ามบริเวณปลอดพาหะเข้าไปยังส่วนเดรน ดังนั้นกระแสเดรนยังคงไหลได้แต่ขนาดของกระแสจะถูกจำกัดด้วยปริมาณของอิเล็กตรอน ที่ถูกดึงหรือฉีดข้ามบริเวณปลอดพาหะดังกล่าวและอาจจะพิจารณาได้ว่ากระแสเดรนถูกจำกัดด้วยค่าความต้านทานประสิทธิผล (Effective Resistance) ของแชนแนล ดังนั้นเมื่อแรงดันเดรน-ซอสเพิ่มขึ้น กระแส $I_D$ จะมีค่าเพิ่มขึ้นด้วย (อย่างชะลอตัว) กระทั่งเมื่อถึงค่า $V_{DS(Sat)}$ กระแสเดรนจะมีค่าสูงสุดเรียกว่า "กระแสเดรนอิ่มตัว" (Saturation Drain Current) และเขียนแทนด้วย $I_{D(Sat)}$ ดังรูปที่ 2.7 จ)

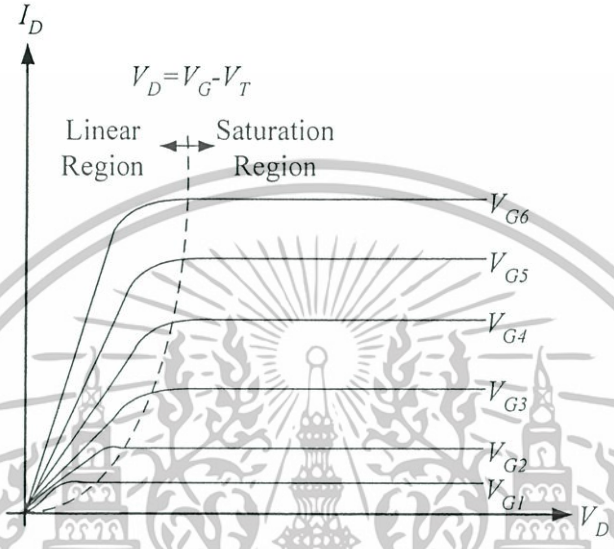
**2.5.1.5 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} > V_{DS(Sat)}$ ; (Saturation Region: ช่วงนำกระแสอิ่มตัว)**

เมื่อแรงดันที่เดรนซอสมีค่ามากกว่าแรงดันอิ่มตัวหรือมีค่า $V_{DS} > V_{DS(Sat)}$ ทำให้ค่าแรงดันที่ตกคร่อมบริเวณชั้นออกไซด์ที่บริเวณใกล้ปลายด้านเดรน มีค่าน้อยกว่าแรงดันขีดเริ่ม $(V_{GS} - V_{DS}) < V_T$ ดังนั้นในบริเวณดังกล่าวจะไม่มีแชนแนลเกิดขึ้น จึงคล้ายกับว่าจุดพินช์ออฟเกิดขึ้น เลื่อนไปจากจุดเดรนเข้าไปทางด้านจุดซอส และที่ตำแหน่ง X ใด ๆ ที่เป็นจุดพินช์ออฟตามเงื่อนไขของสมการ $(V_{GS} - V_{DS}(X)) = V_T$ ยังคงไม่เปลี่ยนแปลง ดังนั้นเมื่อแรงดันเดรนมีค่าสูงกว่า $V_{DS(Sat)}$ จุดพินช์ออฟจะเลื่อนเข้าไปใกล้ด้านซอส ดังรูปที่ 2.7 ฉ) ทำให้เกิดบริเวณปลอดพาหะระหว่างจุดพินช์ออฟกับส่วนเดรน ซึ่งมีระยะกว้างเท่ากับ $\Delta L$ หากพิจารณาว่า มอสเฟทนี้เป็นชนิด Long Channel และ $\Delta L << L$ ดังนั้นความยาวของแชนแนลจึงมีขนาดสั้นลงจากเดิมน้อยมาก กระทั่งประมาณว่ามีขนาดความยาวเท่าเดิมไม่เปลี่ยนแปลง ดังนั้นความต้านทานของแชนแนล $R_{n-ch}$ จะมีค่าประมาณเท่าเดิม แม้ว่าแรงดันที่เดรนจะมีค่าเพิ่มขึ้นก็ตาม และแรงดันที่ตกคร่อมระหว่างซอสถึงจุดพินช์ออฟจะมีค่าคงที่เสมอ โดยไม่เปลี่ยนแปลงกับแรงดันเดรนซอส และเมื่อแรงดันที่เดรนซอสเพิ่มขึ้นสูงกว่า $V_{DS(Sat)}$ กระแสเดรนจะประมาณได้ว่ามีค่าคงที่ และเท่ากับค่าของ $I_{D(Sat)}$ ซึ่งเป็นกระแสเดรนอิ่มตัว หาได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_D \approx I_{D(Sat)} = \frac{V_{D(Sat)}}{R_{eff(n-ch)}} \quad ; \quad V_{DS} > V_{DS(Sat)} \tag{2.3}$$

ซึ่งมอสเฟทถูกพิจารณาว่าทำงานในช่วงนำกระแสอิ่มตัวหรือ (Saturation Region) กล่าวคือ กระแสเดรนจะมีค่าคงที่ โดยไม่เปลี่ยนแปลงกับแรงดันที่เดรน




รูปที่ 2.8 ความสัมพันธ์ของกระแสเดรน และแรงดันที่ขาเดรนกับซอส

ความสัมพันธ์ของแรงดัน $V_G$ กับกระแส $I_D$ ในขณะที่แรงดันที่ขาเกทคงที่และมอสเฟททำงานในช่วงนำกระแสอิ่มตัว สามารถเขียนได้ดังรูปที่ 2.8 ซึ่งจะแสดงกราฟความสัมพันธ์ระหว่างกระแสของเดรนและแรงดันที่ขาเดรนกับขาซอส โดยทำการเปลี่ยนค่า $V_G$ โดยที่ $V_{G1} < V_{G2} < V_{G3} < V_{G4} \cdots$

การทำงานของมอสเฟทจะเป็นลักษณะของการใช้แรงดันไฟฟ้า ควบคุมปริมาณการไหลของกระแส สมการกระแสเดรนของมอสเฟทถูกคิดขึ้นโดย Sah , H. Shichman และ D. Hodges [14],[15] ดังสมการที่ (2.4) แสดงคุณสมบัติการทำงานของมอสเฟท

$$I_D = K'\frac{W}{L}(V_{GS} - V_T - \frac{V_{DS}}{2})V_{DS} \; ; \; V_{GS} > V_T \tag{2.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $K'$ = ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_0 C_{OX}$

$\mu_o$ = ค่าความคล่องโฮล หรืออิเล็กตรอน (Surface Mobility of Carrier)

$C_{OX}$ = ค่าความจุต่อพื้นที่ของเกทออกไซด์ (Capacitance Per Unit Area of The Gate Oxide)

$W$ = ความกว้างของแชนแนล (Channel width)

$L$ = ความยาวของแชนแนล (Channel Length)

$V_{GS}$ = แรงดันระหว่างขาเกท กับ ซอส

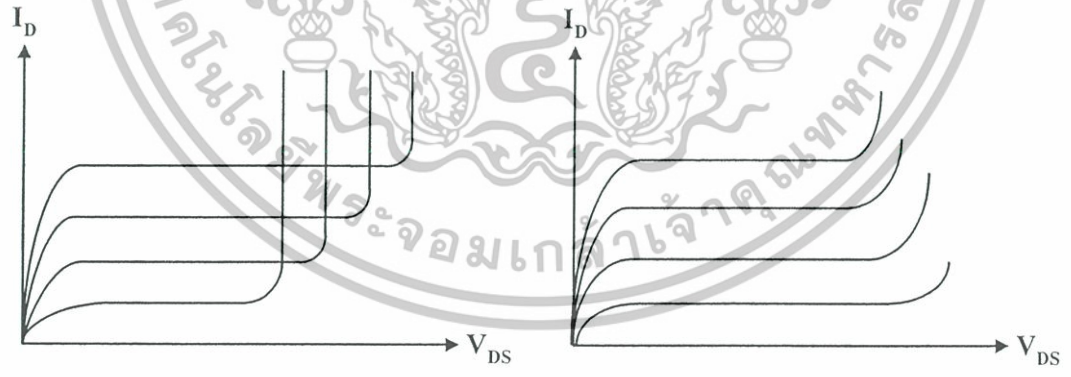
$V_T$ = แรงดันขีดเริ่ม (Threshold Voltage)

$V_{DS}$ = แรงดันระหว่างขาเดรน กับ ซอส

$I_D$ = กระแสเดรน

**2.5.1.6 กรณีย่านพังทลาย (Breakdown Region)**

เนื่องจากแรงดันไบอัสที่ให้แก่รอยต่อ พี-เอ็น ระหว่าง เดรน-ฐานรอง เป็นไบอัสย้อนกลับ ดังนั้นเมื่อแรงดันที่เดรนมีค่ามากขึ้นและสูงขึ้นถึงค่า ๆ หนึ่งที่เรียกว่า "แรงดันพังทลาย" (Breakdown Voltage: $V_B$) ทำให้รอยต่อเกิดการพังทลายแบบอวาลันช์ (Avalanche Breakdown) กระแสเดรนที่อยู่ในย่านอิ่มตัวจะเพิ่มขึ้นอย่างรวดเร็ว และไม่สามารถควบคุมได้ ทำให้มอสเฟทเข้าสู่สภาวะการพังทลาย ดังรูปที่ 2.9 ก) และ ข) ซึ่งเป็นกรณีของมอสเฟทที่มีเกทเป็นโลหะและโพลีซิลิคอนตามลำดับ




(ก) กรณีของอลูมิเนียมเกท (ข) โพลีซิลิคอน

**รูปที่ 2.9** ย่านพังทลาย กระแสเดรนของมอสเฟทจะเพิ่มขึ้นอย่างรวดเร็วเมื่อ $V_D \geq V_B$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.5.2 สมการกระแสในช่วงต่าง ๆ ของมอสเฟท

จากการทำงานของมอสเฟท ดังที่กล่าวมาในหัวข้อที่กล่าวมานั้น สามารถแบ่งช่วงของการนำกระแสของมอสเฟทได้ 3 ช่วง คือ ช่วงไม่นำกระแส (Cut-off Region) ช่วงนำกระแสไม่อิ่มตัว (Triode Region) และช่วงนำกระแสอิ่มตัว (Saturation Region) โดยแต่ละช่วงการทำงานจะขึ้นอยู่กับค่า $V_{GS}-V_T$ และค่าของ $V_{DS}$

#### 2.5.2.1 ช่วงไม่นำกระแส (Cut-off Region)

ถ้าค่า $V_{GS}-V_T$ เป็นศูนย์หรือเป็นค่าลบ เป็นช่วงที่มอสเฟทไม่ทำงานไม่มีช่องทางเดินของกระแสจะทำตัวเหมือนวงจรเปิด จึงทำให้มอสเฟทไม่สามารถนำกระแสเดรน $(I_D)$ ได้มอสเฟทจะอยู่ในช่วงไม่นำกระแส (Cut-off Region) ตามสมการ

$$I_D = 0 \quad ; \quad |V_{GS}| - |V_T| < 0 \tag{2.5}$$

#### 2.5.2.2 ช่วงนำกระแสไม่อิ่มตัว (Triode Region หรือ Ohmic Region)

ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $0 < |V_{DS}| < |V_{GS}| - |V_T|$ แล้ว เป็นช่วงที่แรงดันไบอัสที่ขาเกทและขาซอสมีค่ามากกว่าแรงดันขีดเริ่ม $V_{GS} > V_T$ และแรงดันระหว่างขาเดรนกับขาซอส $V_{DS}$ มีค่าน้อยกว่า $V_{GS}-V_T$ แล้วมอสเฟทจะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Triode Region หรือ Ohmic Region) สามารถหากระแสเดรน $(I_D)$ ได้ตามสมการ

$$I_D = K'\frac{W}{L}\left[(V_{GS}-V_T)V_{DS} - \frac{V^2{}_{DS}}{2}\right] \tag{2.6}$$

สำหรับในกรณีที่แรงดันระหว่างขาเดรนและขาซอส $V_{DS}$ มีค่าน้อยมาก เทอมของ $V^2{}_{DS}/2$ ในสมการที่ (2.6) สามารถตัดทิ้งได้ กระแสเดรน $I_D$ จะมีลักษณะเป็นเชิงเส้น โดยขึ้นอยู่กับแรงดันระหว่างขาเดรนและขาซอส $V_{DS}$ กรณีนี้ มอสเฟทจะประพฤติตัวเสมือนตัวต้านทาน โดยมีค่าความต้านทาน $R_{eq}$ ได้ตามสมการ

$$R_{eq} = \frac{V_{DS}}{I_D} = \frac{1}{K'\frac{W}{L}(V_{GS}-V_T)} \tag{2.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 2.5.2.3 ช่วงนำกระแสอิ่มตัว (Saturation Region)

ถ้าค่า $|V_{GS}|-|V_T|>0$ และ $|V_{DS}|>|V_{GS}|-|V_T|$ แล้ว เป็นช่วงที่แรงดันที่ขาเกทและขาซอสมีค่ามากกว่าแรงดันขีดเริ่ม $V_{GS}>V_T$ และแรงดันระหว่างขาเดรนและขาซอส $V_{DS}$ มีค่ามากกว่าหรือเท่ากับ $V_{GS}-V_T$ แล้ว มอสเฟทจะทำงานอยู่ในช่วงนำกระแสอิ่มตัว (Saturation Region) สามารถหาค่ากระแสเดรน $(I_D)$ ได้ตามสมการ

$$I_D=\frac{K'}{2}\frac{W}{L}(V_{GS}-V_T)^2(1+\lambda V_{DS}) \tag{2.8}$$

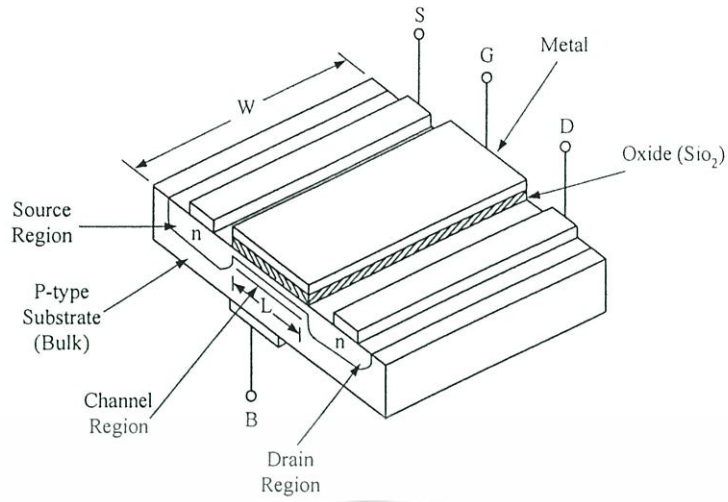
โดยที่ $\lambda$ = แชนแนล เลนจ์ มอดูเลชั่น (Channel Length Modulation); $(V^{-1})$

## 2.6 ชนิดของมอสเฟท

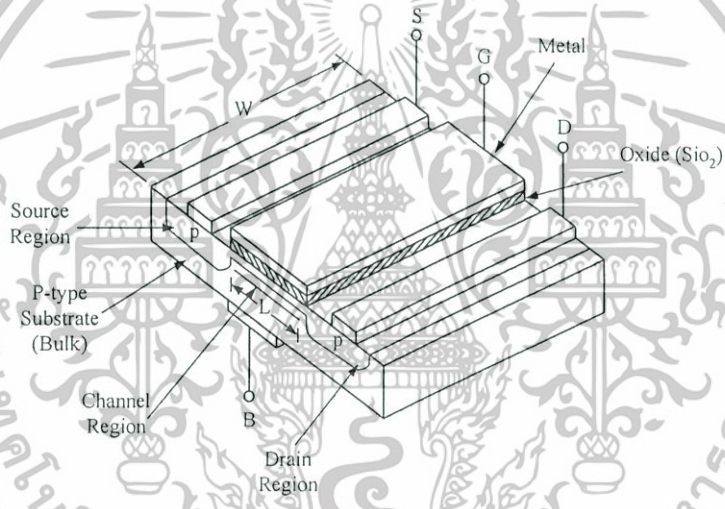
มอสเฟทแบ่งได้เป็น 2 ชนิด คือ ชนิดเอ็นฮานเมนท์มอสเฟท หรือเรียกอีกอย่างหนึ่งว่า (E–MOSFET) และชนิดดีพลีชั่นมอสเฟท หรือเรียกอีกอย่างหนึ่งว่า (D – MOSFET) ดังรูปที่ 2.10 และรูปที่ 2.11 แสดงโครงสร้างของมอสเฟทชนิดเอ็นและพี ทั้ง 2 แบบตามลำดับ

จากรูปที่ 2.10 จะเห็นว่าโครงสร้าง (D-MOSFET) จะคล้ายกับ (E–MOSFET) แต่จะแตกต่างกันตรงที่ช่องระหว่างซอสกับเดรนของ (D–MOSFET) จะมีการแพร่สารเอ็นอยู่ดังนั้นจึงมีกระแสไหลระหว่างเดรนกับซอส เมื่อแรงดันที่เดรนเป็นบวกเมื่อเทียบกับซอส และที่แรงดันระหว่างเกทกับซอสเป็นศูนย์ $V_{GS}=0$ เมื่อ $V_{GS}$ มีค่าเป็นลบกระแสเดรนจะลดลงถ้า $V_{GS}$ มีค่าเป็นบวกกระแสเดรนจะเพิ่มขึ้น ส่วนการทำงานของ (E–MOSFET) จะไม่มีกระแสไหลระหว่างเดรนกับซอส เมื่อแรงดันที่เดรนเป็นบวกเมื่อเทียบกับซอส และแรงดันที่เกทกับซอสเป็นศูนย์เมื่อ $V_{GS}$ มีค่าเป็นบวกจะทำให้กระแสเดรนไหล และเมื่อ $V_{GS}$ มีค่าเป็นบวกมากขึ้นจะทำให้กระแสเดรนไหลเพิ่มขึ้น ดังรูปที่ 2.12 แสดงกราฟคุณสมบัติของ (E–MOSFET) และ (D- MOSFET)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



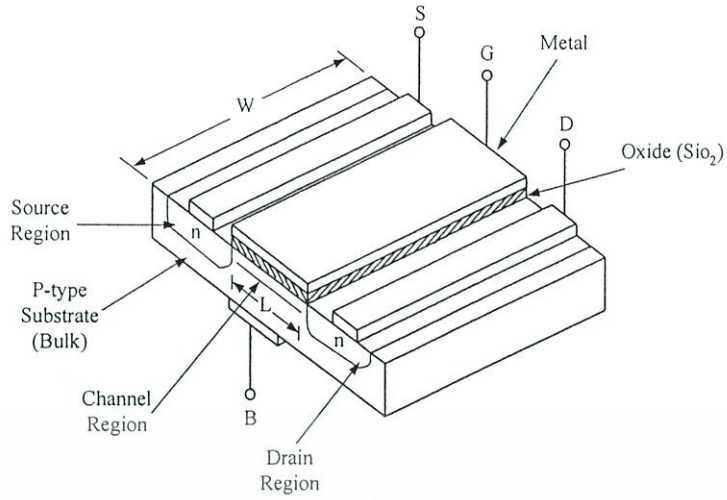

(ก) ชนิด N-Channel



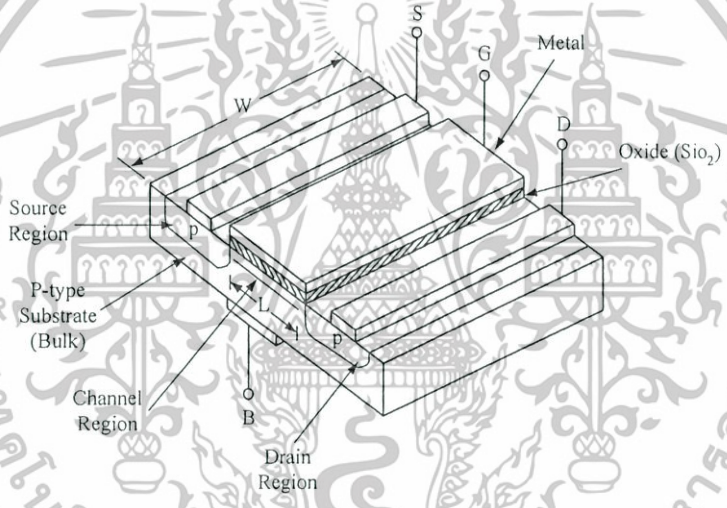

(ข) ชนิด P-Channel

**รูปที่ 2.10** โครงสร้างของมอสเฟทแบบ D-MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



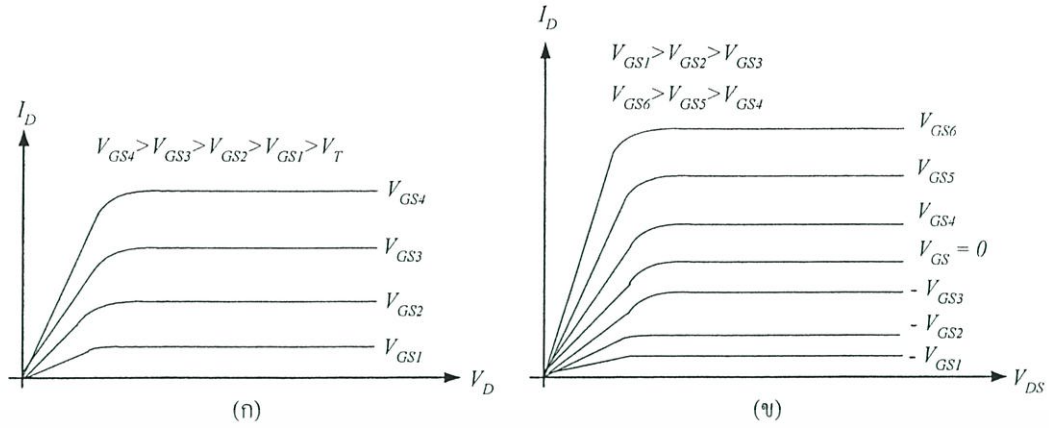

(ก) ชนิด N-Channel




(ข) ชนิด P-Channel

**รูปที่ 2.11** โครงสร้างของมอสเฟทแบบ E-MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

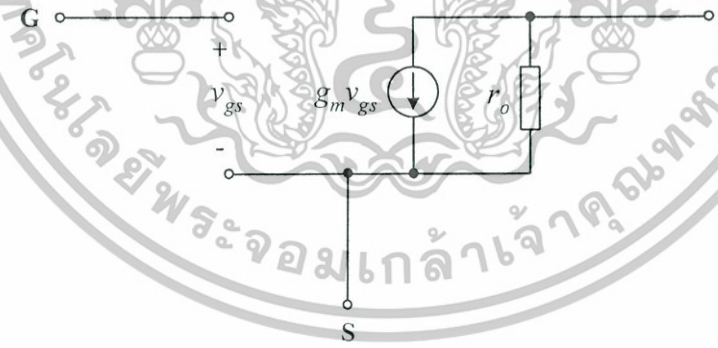



**รูปที่ 2.12** กราฟความสัมพันธ์ระหว่าง $I_D$ กับ $V_{DS}$ (ก) E-MOSFET (ข) D-MOSFET

## 2.7 แบบจำลองของมอสเฟท

### 2.7.1 แบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่ความถี่ต่ำ

จากรูปที่ 2.13 แสดงแบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่มีความถี่ต่ำ (Low Frequency Small Signal Equivalent Circuit Models) จากรูปเป็นการแทนมอสเฟทด้วยวงจรไฟฟ้า เพื่อใช้ในการวิเคราะห์ผลของการตอบสนองต่อสัญญาณที่มีขนาดเล็ก (Small Signal Analysis)




**รูปที่ 2.13** แบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่มีความถี่ต่ำ

มอสเฟทเป็นอุปกรณ์ที่มีคุณสมบัติในการเปลี่ยนแรงดันที่เกท-ซอส $(v_{gs})$ ให้เป็นกระแสที่เดรน-ซอส $(g_m v_{gs})$ ความต้านทานที่ขาเกทมีค่าสูงมาก ซึ่งในทางอุดมคติ (Ideal) ถือว่ามีค่าเป็นอนันต์ $(\alpha)$ ความต้านทานที่ขาเดรน $(r_o)$ มีค่าค่อนข้างสูง พารามิเตอร์ที่สำคัญอีกตัวหนึ่งที่ใช้ในการวิเคราะห์สัญญาณขนาดเล็ก คือ ค่าทรานส์คอนดัคแตนซ์ $(g_m)$ สามารถหาได้ตามสมการ

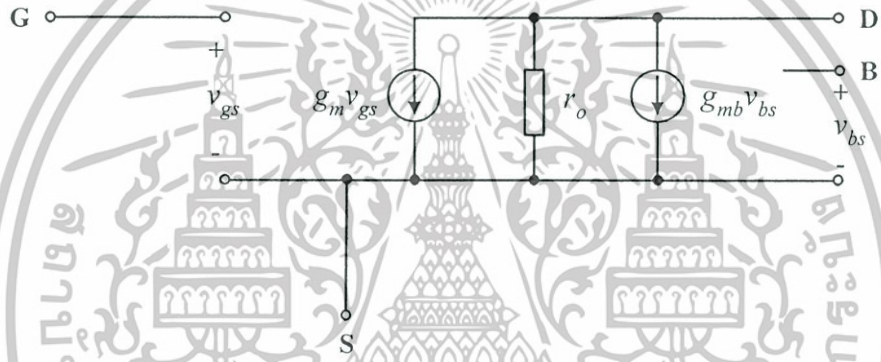
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = k'\frac{W}{L}\left(V_{GS} - V_t\right)\left(1 + \lambda V_{DS}\right) \tag{2.9}$$

กรณีที่มอสเฟททำงานในช่วงนำกระแสอิ่มตัว ค่าของทรานส์คอนดัคแตนซ์ $(g_m)$ จะมีค่าเท่ากับ

$$g_m = k'\frac{W}{L}\left(V_{GS} - V_t\right) = \sqrt{2k'\frac{W}{L}I_D} \tag{2.10}$$

แบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวมาแล้วในข้างต้น เป็นแบบจำลองที่ยังไม่ได้มีการพิจารณาถึงผลของฐานรอง (Body Effect) ซึ่งเกิดขึ้นเมื่อฐานรองนั้นไม่ได้ต่ออยู่กับขาซอสเมื่อรวมผลของฐานรองทำให้ได้แบบจำลองสัญญาณขนาดเล็ก ดังรูปที่ 2.14




**รูปที่ 2.14** แบบจำลองมอสเฟทสำหรับสัญญาณขนาดเล็กที่ฐานรองไม่ได้ต่ออยู่กับขาซอส

จากรูปที่ 2.14 สัญญาณขนาดเล็กที่เกิดขึ้นระหว่างฐานรองกับขาซอส $(v_{bs})$ จะทำให้เกิดค่าของกระแสเดรนมีค่าเท่ากับ $(g_{mb} v_{bs})$ โดยที่ค่าของ $(g_{mb})$ คือ ค่าทรานส์คอนดัคแตนซ์ที่ฐานรอง (Body Tranconductance) ของมอสเฟท สามารถหาได้ตามสมการ

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} = -k'\frac{W}{L}\left(V_{GS} - V_t\right)\left(1 + \lambda V_{DS}\right)\frac{\partial V_t}{\partial V_{BS}} \tag{2.11}$$

สำหรับกรณีของมอสเฟทที่ทำงานในช่วงนำกระแสอิ่มตัว สามารถหาได้ตามสมการ

$$g_{mb} = \eta g_m \tag{2.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ

$$\eta = \frac{\gamma}{2\sqrt{2|\phi_F| + V_{SB}}}$$

$$\gamma = \frac{\sqrt{2q\varepsilon_0\varepsilon_{Si}N_{sub}}}{C_{OX}}$$

$$\phi_F = \frac{kT}{q}\ln\left(\frac{N_{sub}}{n_i}\right)$$

### 2.7.2 แบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่ความถี่สูง

จากรูปที่ 2.15 แสดงแบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่มีความถี่สูง ซึ่งรวมผลของตัวเก็บประจุแฝง ได้แก่ $C_{gs}, C_{gd}, C_{gb}, C_{sb}$ และ $C_{db}$ ตัวเก็บประจุ $C_{sb}$ และ $C_{db}$ เป็นค่าตัวเก็บประจุแฝงบริเวณรอยต่อ (Junction Capacitance) ระหว่างฐานรองกับซอสและฐานรองกับเดรนตามลำดับ สามารถหาได้ตามสมการ

$$C_{sb} = \frac{A_s C_{sbo}}{\sqrt[n]{1 + \frac{V_{sb}}{\psi_o}}} \tag{2.13}$$

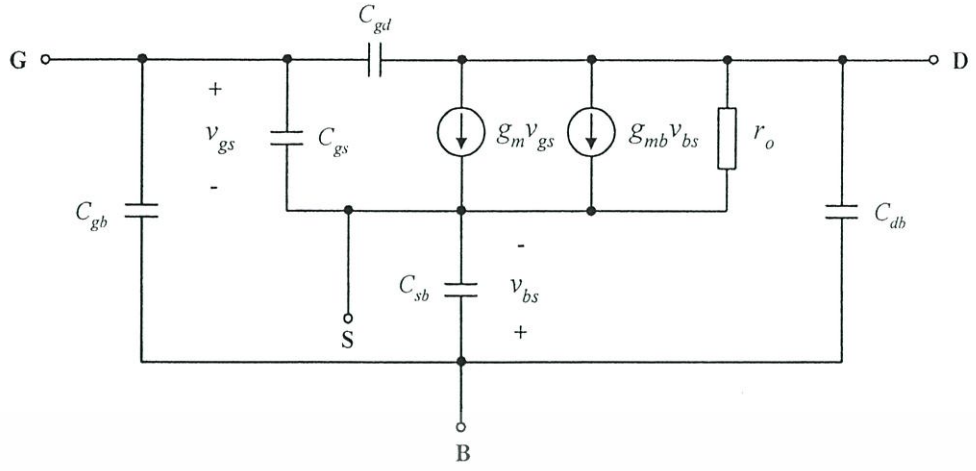
และ

$$C_{db} = \frac{A_d C_{dbo}}{\sqrt[n]{1 + \frac{V_{db}}{\psi_o}}} \tag{2.14}$$

โดยที่

| | |
|---|---|
| $n = 2$ | กรณีรอยต่อพี-เอ็น เป็นแบบขั้นบันได (Step Junction) |
| $n = 3$ | กรณีรอยต่อพี-เอ็น เป็นแบบลาด (Graded Junction) |
| $C_{sb}$ และ $C_{db}$ | เป็นค่าความจุไฟฟ้ากรณี $(v_{bs})$ และ $(v_{bd})$ มีค่าเป็นศูนย์ ตามลำดับ |
| $\psi_o$ | เป็นแรงดันที่รอยต่อพี-เอ็น ขณะที่แรงดันภายนอกเป็นศูนย์ (Built-in Potential) |
| $A_s$ และ $A_d$ | เป็นพื้นที่ของซอสและเดรน รวมถึงพื้นที่ด้านข้าง (Side-Wall) |
| $V_{sb}$ และ $V_{db}$ | เป็นแรงดันระหว่างขาซอสกับฐานรองและขาเดรนกับฐานรอง |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.15** แบบจำลองวงจรสมมูลของมอสเฟทที่ความถี่สูง

ค่าตัวเก็บประจุไฟฟ้าระหว่างเกทและฐานรอง $(C_{gb})$ เป็นค่าตัวเก็บประจุไฟฟ้าแฝงของออกไซด์ (Parasitic Oxide Capacitance) ซึ่งเกิดขึ้นระหว่างชั้นสารทางด้านเกท (โลหะหรือโพลีซิลิคอน) กับฐานรอง ขณะที่มอสเฟททำงานอยู่ในช่วงนำกระแสไม่อิ่มตัวและช่วงนำกระแสอิ่มตัว ค่าตัวเก็บประจุไฟฟ้า $(C_{gb})$ จะมีค่าประมาณศูนย์ ขณะที่มอสเฟทไม่ทำงานหรืออยู่ในช่วงคัทออฟ สามารถหาค่าตัวเก็บประจุไฟฟ้า $(C_{gb})$ สามารถหาได้ตามสมการ

$$C_{gb} = C_{OX} WL + 2C_{gbo} L \tag{2.15}$$

ค่าตัวเก็บประจุไฟฟ้า $(C_{gd})$ ในขณะที่มอสเฟททำงานอยู่ในช่วงนำกระแสไม่อิ่มตัว จะมีค่าเท่ากันสามารถหาได้ตามสมการ

$$C_{gs} = C_{gd} = \frac{1}{2} C_{OX} WL \tag{2.16}$$

ในขณะที่มอสเฟททำงานอยู่ในช่วงนำกระแสอิ่มตัว ช่องทางเดินของกระแสจะหดแคบลง แรงดันที่ขาเดรนจะมีผลเพียงเล็กน้อยต่อช่องทางเดินกระแสและประจุที่ขาเกท ทำให้ค่าของตัวเก็บประจุ $(C_{gd})$ มีค่าเท่ากับค่าตัวเก็บประจุแฝงที่ออกไซด์ อันเกิดจากส่วนของเกทซ้อนทับกันกับส่วนของเดรน (Overlap Capacitor) โดยค่า $(C_{gd})$ มีค่าประมาณอยู่ในระดับ 1 ถึง 10 เฟมโตฟารัด

ค่าของตัวเก็บประจุระหว่างขาเกทและขาซอส $(C_{gs})$ ในช่วงนำกระแสอิ่มตัว สามารถหาได้ตามสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{gs} = \frac{\partial Q_T}{\partial V_{gs}} = \frac{2}{3} C_{OX} WL \tag{2.17}$$

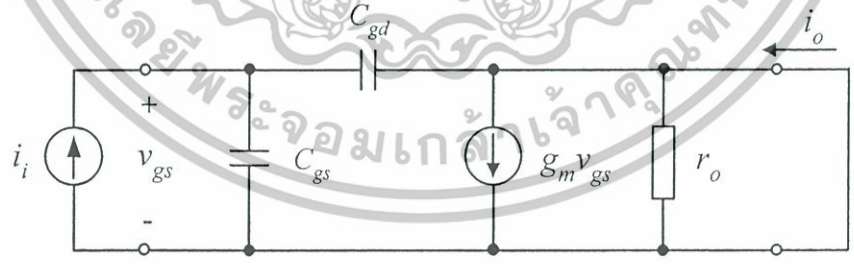
ในทางปฏิบัติค่าตัวเก็บประจุ $(C_{gs})$ ยังต้องรวมถึงผลของตัวเก็บประจุไฟฟ้า ที่เกิดจากค่าตัวเก็บประจุออกไซด์แฝง เนื่องจากพื้นที่ของส่วนเกทที่ซ้อนทับกันกับส่วนของเดรนเช่นเดียวกับ $(C_{gd})$ ดังที่ได้กล่าวมาแล้ว

คุณสมบัติที่สำคัญอีกประการหนึ่ง สำหรับในการทำงานที่ย่านความถี่สูงของมอสเฟทที่ทำงานเป็นวงจรขยาย คือ ความถี่ที่มีอัตราการขยายเป็นหนึ่ง (Unity Gain Frequency: $f_T$) โดยนิยามว่าเป็นความถี่ที่อัตราขยายของมอสเฟทที่ต่ออยู่ในรูปแบบของวงจรคอมมอนซอส (Common Source Configuration) ขณะปิดวงจร (Short Circuit) มีค่าเป็นหนึ่งดังรูปที่ 2.16 แสดงแบบจำลองไฮบริด-ไพ (Hybrid-$\pi$) ของมอสเฟทในลักษณะวงจรคอมมอนซอส พร้อมทั้งกระแสอินพุท $(i_i)$ และกระแสเอาท์พุท $(i_o)$ ในการหาอัตราการขยายกระแสขณะที่ปิดวงจรอยู่ จะต้องมีการป้อนแหล่งกำเนิดกระแสอินพุท $(i_i)$ ที่ขาเข้า ซึ่งจะได้กระแสที่ขาออก $(i_o)$ สามารถหาได้ตามสมการ

$$i_o = g_m v_{gs} - sC_{gd} v_{gs} \tag{2.18}$$

จากที่กล่าวมาแล้วในข้างต้น $(C_{gd})$ มีค่าน้อยมาก ทำให้พจน์สุดท้ายในสมการที่ (2.18) มีค่าเข้าใกล้ศูนย์ จะได้สมการของกระแสที่ขาออกใหม่ มีค่าเท่ากับ

$$i_o \cong g_m v_{gs} \tag{2.19}$$




**รูปที่ 2.16** การหาอัตราการขยายกระแสขณะที่ปิดวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.16 แสดง $(v_{gs})$ ในพจน์ของกระแสขาเข้า $(i_i)$ สามารถหาได้ตามสมการ

$$v_{gs} = \frac{i_i}{s(C_{gs} + C_{gd})} \tag{2.20}$$

จากสมการที่ (2.19) และ (2.20) สามารถหาอัตราขยายกระแสขณะปิดวงจร ได้เป็น

$$\frac{i_o}{i_i} = \frac{g_m}{s(C_{gs} + C_{gd})} \tag{2.21}$$

จากสมการที่ (2.21) สามารถหาความถี่ที่ทำให้อัตราขยายกระแสมีค่าเป็นหนึ่ง ได้เป็น

$$\omega_T = \frac{g_m}{(C_{gs} + C_{gd})} \tag{2.22}$$

จากสมการที่ (2.22) สามารถหาค่าความถี่ $f_T$ ได้เป็น

$$f_T = \frac{1}{2\pi}\omega_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \tag{2.23}$$

เมื่อ $f_T = \omega_T / 2\pi$

นอกจากนี้ยังได้มีการใช้โปรแกรมสำเร็จรูปทำการวิเคราะห์ และเลียนแบบการทำงานของวงจรต่าง ๆ กันอย่างกว้างขวางโปรแกรม Spice (Simulation Program with Integrated Circuit Emphasis) เป็นโปรแกรมหนึ่งซึ่งถูกใช้มากและเป็นที่ยอมรับ ถูกคิดค้นพัฒนาจากมหาวิทยาลัย Berkley แห่งรัฐแคลิฟอร์เนีย ประเทศสหรัฐอเมริกา ในโปรแกรม Spice ได้แบ่งรูปแบบจำลอง (Mode) การทำงานของมอสเฟทออกเป็น 3 รูปแบบ คือ แบบจำลองระดับหนึ่ง (Level 1 Model) แบบจำลองระดับสอง (Level 2 Model) และแบบจำลองระดับสาม (Level 3 Model)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.7.3 แบบจำลองระดับหนึ่ง (Level 1 Model)

เป็นแบบจำลองแบบพื้นฐาน ที่ใช้อ้างอิงเป็นสมการต่าง ๆ แบบพื้นฐาน เหมาะสำหรับการคำนวณพื้นฐานทั่วไปที่ไม่ต้องการวิเคราะห์ค่าความผิดพลาด (Error) ต่าง ๆ ซึ่งถ้าต้องการการคำนวณวงจรแบบง่าย ๆ หรือแบบไม่ต้องพิจารณาความผิดพลาดแบบจำลองนี้ก็เพียงพอที่จะใช้งานได้ ซึ่งสามารถใช้สำหรับการทำงานของมอสเฟทแบบพื้นฐาน ที่มีความยาวของแชนแนลมากกว่า 10 ไมครอน โดยใช้โมเดลของ H. Shichman and D. Hodges ซึ่งครอบคลุมการทำงานไปถึงโมเดลของ C.T. Sah ด้วย

### 2.7.4 แบบจำลองระดับสอง (Level 2 Model)

เป็นแบบจำลองที่ต่างจาก (Level 1) อยู่ 2 ส่วน คือ วิธีการคำนวณค่าผลกระทบทางความยาวแชนแนล (Effective Channel Length: $\lambda$ ) และในส่วนของการเปลี่ยนแปลง (Transition) ย่านการทำงานระหว่างช่วงอิ่มตัวและช่วงไม่อิ่มตัว ใช้เวลาการคำนวณการเปลี่ยนแปลง (Transition) การทำงานช่วงอิ่มตัวและช่วงไม่อิ่มตัวมาก หมายถึง วิธีคำนวณการเปลี่ยนแปลงระหว่างรอยต่อของช่วงการนำกระแสอิ่มตัว (Saturation Region) และช่วงการนำกระแสไม่อิ่มตัว (Non-Saturation Region) ในแบบจำลองระดับสองนี้ยังให้ประโยชน์ทางด้านประสิทธิภาพที่ดีกว่าและสนับสนุนการใช้อุปกรณ์ที่มีแชนแนลแคบ (Short Channel) ได้ซึ่งสามารถใช้สำหรับการทำงานของมอสเฟทที่มีความยาวของแชนแนลน้อยกว่า 10 ไมครอนซึ่งเรียกว่า (Short Channel effect)

### 2.7.5 แบบจำลองระดับสาม (Level 3 Model)

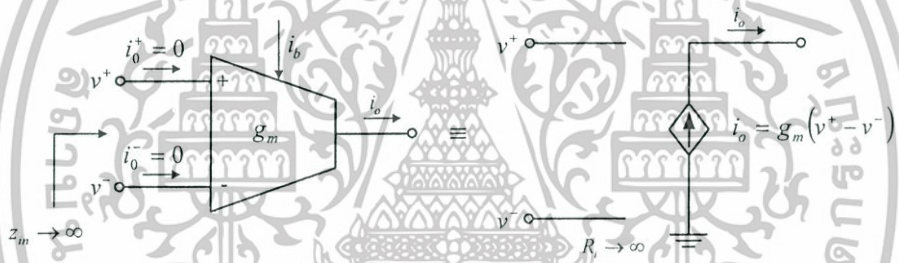
เป็นแบบจำลองที่ผสมผสานตัวแปรจากการสังเกตเข้าไปด้วย (Semi-Empirical Model) โดยตัวแปรต่าง ๆ ที่เพิ่มเข้ามา (จะมีความสัมพันธ์ไม่ชัดเจนว่าส่งผลมาจากคุณสมบัติทางกายภาพของมอสทรานซิสเตอร์) ทำให้ประสิทธิภาพดีขึ้น ในแบบจำลองระดับสามนี้ยังสามารถลดเวลาในการคำนวณการเปลี่ยนแปลง (Transition) ย่านการทำงานระหว่างช่วงการนำกระแสอิ่มตัวและช่วงการนำกระแสไม่อิ่มตัวอีกด้วย

การเลือกชนิดของแบบจำลองสำหรับใช้ในการจำลองการทำงานของวงจรนั้น โดยทั่วไปจะต้องคำนึงถึงคุณสมบัติทางไฟฟ้าที่จะนำไปประยุกต์ใช้งาน ตัวอย่างเช่น แบบจำลองในระดับหนึ่ง เหมาะสมในการใช้วิเคราะห์พื้นฐานโดยผู้ออกแบบ ให้ผลได้ไม่ถูกต้องนัก โดยเฉพาะอย่างยิ่งกับมอสเฟทที่มีขนาดเล็กเพราะโมเดลระดับนี้ ไม่รวมผลของปรากฏการณ์ที่เกิดขึ้นกับมอสเฟทขนาดเล็ก และผลของการนำกระแสในย่านที่ต่ำกว่าแรงดันขีดเริ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.8 วงจรขยายความนำ

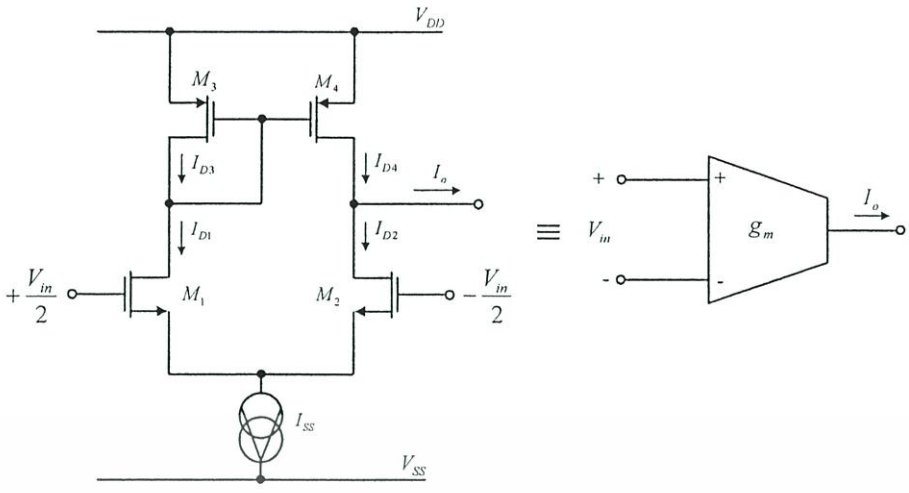
วงจรขยายความนำ (Operation transconductance amplifier: OTA) หรือที่เรียกอีกอย่างหนึ่งว่าวงจรเปลี่ยนแรงดันเป็นกระแส (Voltage-current converter) ซึ่งเป็นวงจรส่วนย่อยของหน่วยประมวลสัญญาณทางอนาลอก (Analog signal processing units) เช่น วงจรคูณสัญญาณ วงจรตรวจจับการต่างเฟสของสัญญาณ วงจรออสซิสเลเตอร์ ฯลฯ และยังเป็นวงจรส่วนหน้าของวงจรขยายสัญญาณทั่ว ๆ ไป เช่น ออปแอมป์ วงจรขยายความนำที่ใช้งานกันอย่างแพร่หลายนั้นมีด้วยกันมากมายหลายแบบ คือ วงจรคู่ดิฟเฟอเรเชียล (Differential pair) ซึ่งเป็นวงจรขยายความนำแบบที่ง่ายที่สุดและยังมีอีกมากมายหลายแบบ โดยในที่นี้มุ่งเน้นไปในด้านของมอสทรานซิสเตอร์ ซึ่งวงจรมีคุณสมบัติเหมือนกับแหล่งจ่ายกระแสที่ควบคุมด้วยแรงดัน (VCCS: Differential voltage controlled current source) โดยมีเกนการขยายเท่ากับ $g_m$ มีอินพุตอิมพีแดนซ์สูง $(Z_{in} \approx \infty)$ เอาต์พุตอิมพีแดนซ์สูง $(Z_{out} \approx \infty)$ และมีแบนด์วิดท์กว้าง $(BW \approx \infty)$ สามารถแสดงสัญลักษณ์และวงจรเสมือนของวงจรขยายความนำได้ดังรูปที่ 2.17




รูปที่ 2.17 สัญลักษณ์และวงจรเสมือนของวงจรขยายความนำ

วงจรขยายความนำที่มีใช้ในท้องตลาดนั้นเช่นเบอร์ LM 13600 หรือ CA 3080 หรืออาจการออกแบบเอง เช่น การออกแบบวงจรขยายความนำด้วยวงจรขยายความแตกต่าง (Differential amplifier) โดยใช้มอสทรานซิสเตอร์เป็นส่วนประกอบของวงจรแสดงได้ดังรูปที่ 2.18 โดยใช้มอสทรานซิสเตอร์จำนวน 4 ตัว และแหล่งจ่ายกระแสคงที่ $(I_{SS})$ จำนวน 1 ตัว โดยที่มอสทรานซิสเตอร์ $M_1$ และ $M_2$ ชนิด (n-Type) จะทำงานในย่านอิ่มตัว มีหน้าที่เป็นวงจรขยายความแตกต่าง ซึ่งจะได้ความแตกต่างของกระแสมาเข้าโหลดของวงจรได้จากวงจรสะท้อนกระแส $M_3$ และ $M_4$ ใช้ทรานซิสเตอร์ชนิด (p-Channel) ส่วนวงจรขยายความแตกต่างนี้จะให้เอาต์พุตเป็นกระแส จากคุณสมบัติของวงจรขยายความนำที่มีอินพุตเป็นแรงดัน ซึ่งอาจมีชื่อเรียกที่แตกต่างกัน เช่น วงจรขยายความแตกต่าง วงจรเปลี่ยนแรงดันเป็นกระแส วงจรขยายความนำ แต่ไม่ว่าจะเรียกอย่างไรก็ตาม วงจรขยายความนำจะต้องมีคุณสมบัติ คือ มีอินพุตเป็นแรงดันเอาต์พุตเป็นกระแส และอัตราการขยายเท่ากับ $g_m$ วงจรขยายความนำสามารถแสดงได้ดังรูปที่ 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.18** วงจรขยายความนำแบบพื้นฐาน

วงจรขยายความนำแบบพื้นฐานดังรูปที่ 2.18 ถ้าทรานซิสเตอร์ $M_1$ , $M_2$ มีความสมพงษ์กันและทรานซิสเตอร์ $M_3$ , $M_4$ มีความสมพงษ์กันทุกประการ ในกรณีที่เป็นแอกทีฟโหลดกระแสที่ไหลผ่านทรานซิสเตอร์ $M_3$ , $M_4$ เท่ากันโดยที่ $I_{D4}$ ขึ้นอยู่กับ $I_{D3}$ และเมื่อพิจารณาจากรูปที่ 2.18 แล้ว พบว่ากระแส $I_{D1}$ เท่ากับ $I_{D3}$ และ $I_{D2}$ เท่ากับ $I_{D4} - I_o$ และเมื่อ $V_{GS3} = V_{GS4}$ กระแส $I_{D1}$ เท่ากับ $I_{D2}$ หรือ $I_o = 0$ และเมื่อ $V_{GS1} > V_{GS2}$ กระแส $I_{D1}$ เพิ่มมากขึ้นกว่า $I_{D2}$ หรือ $I_o$ จะมีค่าเป็นบวกเมื่อ $I_{SS} = I_{D1} + I_{D2}$ ดังนั้น $I_o$ เท่ากับ $I_{D1} - I_{D2}$ แต่ถ้า $V_{GS1} < V_{GS2}$ กระแส $I_o$ จะมีค่าเป็นลบนั่นเอง

ในกรณีที่วงจรขยายความนำมีสัญญาณเข้าในระดับสูง (Large-signal) นั้น ทรานซิสเตอร์ $M_1$ และ $M_2$ ได้ต่อกันแบบคู่ดิฟเฟอเรนเชียล ซึ่งจะทำงานในช่วงอิ่มตัว (Saturation region) โดยจะไม่พิจารณาในส่วนของ (Channel modulation) และสมมติว่าทรานซิสเตอร์ทั้งสองตัวนี้ผลิตขึ้นมาพร้อม ๆ กันทำให้ค่าพารามิเตอร์ภายในเท่าเทียมทุกประการ จากคุณสมบัติเหล่านี้สามารถเขียนเป็นสมการแรงดันอินพุตในเทอมของกระแสเดรนได้เป็น

$$I_D = \frac{\beta}{2}\left(V_{GS} - V_T\right)^2 \tag{2.24}$$

$$V_{ID} = V_{GS1} - V_{GS2} = \left(\frac{2I_{D1}}{\beta_1}\right)^{1/2} - \left(\frac{2I_{D2}}{\beta_2}\right)^{1/2} \tag{2.25}$$

$$I_{SS} = I_{D1} + I_{D2} \tag{2.26}$$

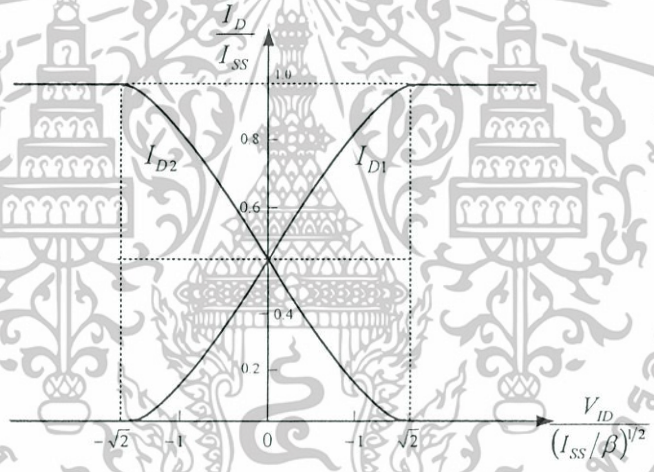
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $\beta = K'(W/L)$ และ $\beta_1 = \beta_2 = \beta$ และแทนสมการที่ (2.26) ในสมการที่ (2.25) จะได้สมการ $I_{D1}$ และ $I_{D2}$ ในรูปสมการกำลังสอง (Quadratic)

$$I_{D1} = \frac{I_{SS}}{2} + \frac{I_{SS}}{2}\left[\frac{\beta_1 V_{ID}^2}{I_{SS}} - \frac{\beta_1^2 V_{ID}^4}{4I_{SS}^2}\right]^{1/2} \tag{2.27}$$

$$I_{D2} = \frac{I_{SS}}{2} - \frac{I_{SS}}{2}\left[\frac{\beta_2 V_{ID}^2}{I_{SS}} - \frac{\beta_2^2 V_{ID}^4}{4I_{SS}^2}\right]^{1/2} \tag{2.28}$$

สมการที่ (2.27) และ (2.28) กำหนดให้ $V_{ID} < 2(I_{SS}/\beta)^{1/2}$ และนำมาเขียนเป็นกราฟแสดงความสัมพันธ์ระหว่างการ Normalized กระแสเดรนกับการ Normalized ความแตกต่างของแรงดันอินพุตได้ดังรูปที่ 2.19




**รูปที่ 2.19** กราฟแสดงความสัมพันธ์ระหว่างแรงดันอินพุตกับผลต่างของกระแส

จากสมการที่ (2.27) ค่าของสมการคู่ดิฟเฟอเรนเชียลในรูปที่ 2.19 นั้น $I_{D1}$ จะอยู่ในเทอมของ $V_{ID}$ โดยดิฟเฟอเรนชิเอทค่าของ $I_{D1}$ เทียบกับค่าของ $V_{ID}$ ขณะที่กำหนดให้ค่าความนิ่งของ $V_{ID}$ มีค่าเท่ากับ 0 จะได้ค่าดิฟเฟอเรนเชียลทรานสคอนดัคแตนซ์ของรูปที่ 2.18 เป็นดังสมการที่ (2.29)

$$g_m = \left.\frac{\partial I_{D1}}{\partial V_{ID}}\right|_{V_{ID}=0} = \left(\frac{\beta_1 I_{SS}}{4}\right)^{1/2} = \left(\frac{K_1' I_{SS} W_1}{4L_1}\right)^{1/2} = \left(\frac{K_1' I_{D1} W_1}{2L_1}\right)^{1/2} \tag{2.29}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.29) จะเห็นได้ว่าค่าทรานสคอนดัคแตนซ์ $g_m$ สามารถควบคุมได้โดยกระแส $I_{SS}$ เมื่อ $I_{SS}/2 = I_D$ และค่าทรานสคอนดัคแตนซ์ที่ได้นั้นจะเป็นค่า (Single-end output transconductance) ซึ่งในรูปที่ 2.19 สามารถที่จะหาค่าสมการที่จะบอกเป็นค่า (Differential transconductance; $g_{md}$) ได้จาก

$$I_{OD} = I_{D1} - I_{D2} \tag{2.30}$$

ในกรณีเดียวกันสามารถเขียนสมการ $g_{md}$ ได้เป็น

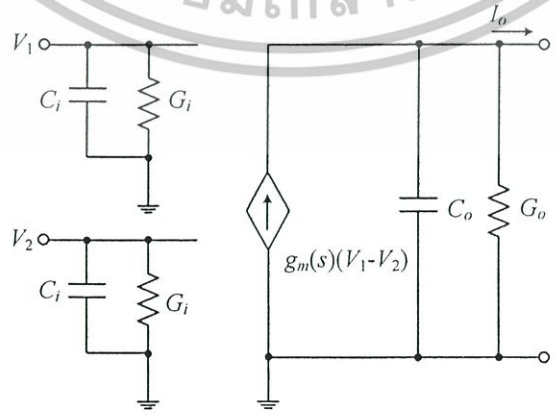
$$g_{md} = \left.\frac{\partial I_{D1}}{\partial V_{ID}}\right|_{V_{ID}=0} = \left(\beta_1 I_{SS}\right)^{1/2} = \left(\frac{K_1' I_{SS} W_1}{L_1}\right)^{1/2} \tag{2.31}$$

เมื่อนำความต้านทานโหลดมาต่อที่เอาต์พุตของคู่ดิฟเฟอเรนเชียลกับกราวด์ มีค่าเป็น $R_L$ สามารถหาค่าของแรงดันเอาต์พุตได้จากสมการที่ (2.32)

$$V_{OUT} = \left(I_{D1} - I_{D2}\right)R_L = I_{SS}\left(\frac{\beta V_{ID}^2}{I_{SS}} - \frac{\beta^2 V_{ID}^4}{4I_{SS}^2}\right)^{1/2} R_L \tag{2.32}$$

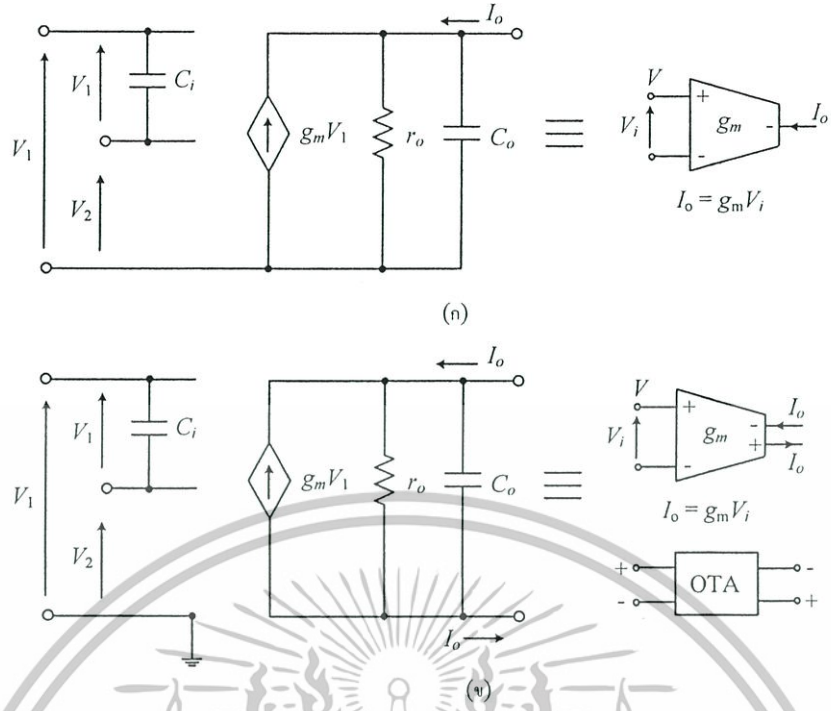
ค่าอัตราการขยายของวงจรขยายความนำหาได้จาก การดิฟเฟอเรนชิเอทสมการที่ (2.32) เทียบกับ $V_{ID}$ ขณะที่ต้องกำหนดให้ค่าความนิ่งของ $V_{ID}$ มีค่าเท่ากับ 0 จะได้

$$A_V = \left.\frac{\partial V_{OUT}}{\partial V_{ID}}\right|_{V_{ID}=0} = \left(\beta I_{SS}\right)^{1/2} R_L = \left(\frac{K_1' I_{SS} W_1}{L_1}\right)^{1/2} R_L \tag{2.33}$$




**รูปที่ 2.20** แบบจำลองสัญญาณขนาดเล็กของวงจรขยายความนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.21** แบบจำลองสัญญาณขนาดเล็กของวงจรขยายความนำ (ก) ชนิดเอาต์พุตเดี่ยว และ (ข) ชนิดหลายเอาต์พุต

## 2.9 วงจรสะท้อนกระแส

วงจรสะท้อนกระแส (Current mirror) เป็นวงจรที่สำคัญอย่างมากสำหรับการออกแบบวงจรประเภทอนาลอกที่ออกแบบโดยใช้หลักการของวงจรรวม วงจรสะท้อนกระแสที่เป็นที่นิยมและใช้งานกันอยู่ประมาณ 4 วงจร แต่อย่างไรก็ตามที่ผ่านมาวงจรสะท้อนยังได้รับการพัฒนาและเผยแพร่มาอย่างต่อเนื่องจนถึงปัจจุบัน แต่ในบทนี้จะบอกล่าวถึงเพียง 4 แบบเท่านั้นคือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบคาดโคด วงจรสะท้อนกระแสแบบ Wilson และวงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง ซึ่งรายละเอียดมีดังนี้

### 2.9.1 วงจรสะท้อนกระแสแบบพื้นฐาน

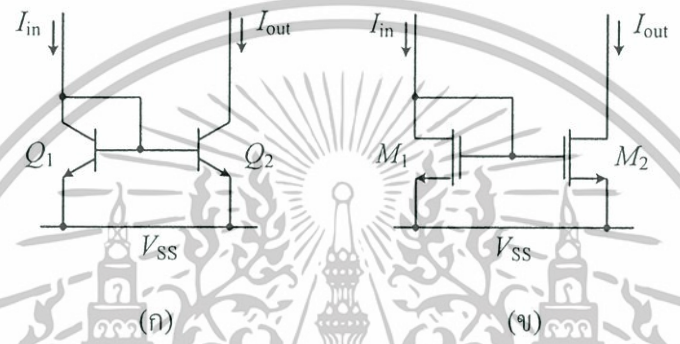
วงจรสะท้อนกระแสแสดงดังรูปที่ 2.22 เป็นวงจรสะท้อนกระแสแบบพื้นฐานที่นิยมใช้กันโดยมีทรานซิสเตอร์เพียงสองตัวเท่านั้น วงจรสะท้อนกระแสสร้างจากไบโพล่าร์ทรานซิสเตอร์แสดงได้ดังรูปที่ 2.22 (ก) สามารถแสดงความสัมพันธ์ระหว่างกระแส $I_{out}$ และกระแส $I_{in}$ ได้ดังสมการที่ (2.34) คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{out} = (1 - 2/\beta) I_{in} \tag{2.34}$$

โดยที่ $\beta$ คือ อัตราการขยายกระแสของไบโพล่าร์ทรานซิสเตอร์ แต่ถ้าวงจรสะท้อนกระแสแบบพื้นฐานสร้างด้วยมอสทรานซิสเตอร์สามารถแสดงได้ดังรูปที่ 2.22 (ข) สามารถแสดงความสัมพันธ์ระหว่างกระแส $I_{out}$ และกระแส $I_{in}$ ได้ดังสมการที่ (2.35) คือ

$$I_{out} = \frac{g_{m2}}{g_{m1}} I_{in} \tag{2.35}$$




(ก) (ข)

**รูปที่ 2.22** วงจรสะท้อนกระแสแบบพื้นฐาน (ก) ชนิดไบโพล่าร์ (ข) ชนิดจากมอส

โดยที่ $g_{m1}$ และ $g_{m2}$ คือ ค่าทรานส์คอนดักแตนซ์ของมอสทรานซิสเตอร์ $M_1$ และ $M_2$ ตามลำดับ ส่วนค่าความต้านทานทางเอาท์พุทของวงจรในรูปที่ 2.22 (ก) สามารถกำหนดให้

$$r_{out} = r_{o2} \tag{2.36}$$

ส่วนค่าความต้านทานทางเอาท์พุทของวงจรในรูปที่ 2.22 (ข) กำหนดให้

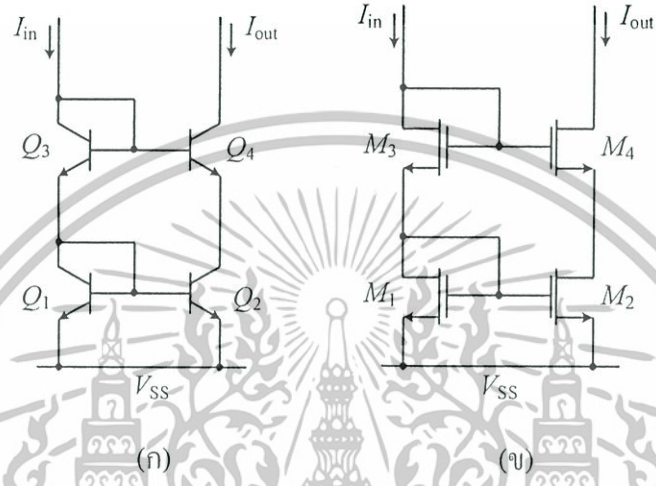
$$r_{out} = \frac{1}{g_{ds2}} \tag{2.37}$$

เมื่อ $g_{ds2}$ คือ ค่าความนำระหว่างขาเดรนและซอร์สของมอสทรานซิสเตอร์ $M_2$ จากสมการที่ (2.36) และ (2.37) จะเห็นว่าความต้านทานทางเอาท์พุทของวงจรในรูปที่ 2.22 จะขึ้นอยู่กับความต้านทานทางเอาท์พุทของ $Q_2$ $(r_{o2})$ หรือค่าความความนำทางเอาท์พุท $(g_{ds})$ ของ $M_2$ ซึ่งค่าความต้านทานทางเอาท์พุทนี้ในทางอุดมคติควรจะมีค่าเข้าใกล้อนันต์ $(\infty)$ ดังนั้นจึงได้มีการพัฒนาวงจรสะท้อนกระแสในแบบต่าง ๆ เพื่อเพิ่มค่าความต้านทานทางเอาท์พุทซึ่งจะมีผลที่ดีต่อการสะท้อนกระแสของวงจรด้วย

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.9.2 วงจรสะท้อนกระแสแบบคาดโคด

วงจรสะท้อนกระแสแบบคาสโคดสามารถแสดงได้ดังรูปที่ 2.23 และในรูปที่ 2.23 (ก) คือวงจรสะท้อนกระแสแบบคาสโคดที่สร้างจากไบโพล่าร์ทรานซิสเตอร์ ส่วนรูปที่ 2.23 (ข) เป็นวงจรสะท้อนกระแสแบบคาสโคดสร้างจากมอสทรานซิสเตอร์ จากรูปที่ 2.23 (ก) สามารถแสดงความสัมพันธ์ระหว่างกระแส $I_{out}$ และกระแส $I_{in}$ ได้ดังสมการที่ (2.38) คือ




**รูปที่ 2.23** วงจรสะท้อนกระแสแบบคาดโคด (ก) ชนิดไบโพล่าร์ (ข) ชนิดจากมอส

$$I_{out} \approx \frac{1}{1+\frac{2}{\beta^2}} I_{in} \tag{2.38}$$

ถ้าสร้างจากมอสทรานซิสเตอร์ความสัมพันธ์ระหว่างกระแส $I_{out}$ และกระแส $I_{in}$ สามารถหาค่าได้ดังสมการที่ (2.39) คือ

$$I_{out} = \frac{g_{m2}g_{m3}}{g_{m1}g_{m4}} I_{in} \tag{2.39}$$

เมื่อพิจารณาวงจรในรูปที่ 2.23 ในแบบวงจรเสมือนสัญญาณขนาดเล็ก ค่าความต้านทานทางเอาท์พุทของวงจรในรูปที่ 2.23 (ก) สามารถกำหนดได้เป็น

$$r_{out} \approx \frac{\beta_2 r_{o2}}{2} \tag{2.40}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $r_{o2}$ คือ ค่าความต้านทานที่ขาคอลเลคเตอร์ของ $Q_2$ ส่วนค่าความต้านทานทางเอาท์พุทเมื่อพิจารณาที่ขาเดรนของมอสทรานซิสเตอร์ $M_4$ จะมีค่าเท่ากับ

$$r_{out} = r_{ds2} + r_{ds3} + r_{ds2}r_{ds3}g_{m3} \approx r_{ds2}r_{ds3}g_{m3} \tag{2.41}$$

เมื่อ $r_{ds2}$ และ $r_{ds3}$ คือ ค่าความนำระหว่างขาเดรนและซอร์สของมอสทรานซิสเตอร์ $M_2$ และ $M_3$ วงจรสะท้อนกระแสแบบคาดโคดจะมีความต้านทานทางเอาท์พุทเพิ่มมากขึ้น ซึ่งจะส่งผลทำให้คุณสมบัติการสะท้อนของสัญญาณกระแสดีขึ้น ซึ่งคุณสมบัติทางในทางอุดมคติจะต้องการความต้านทานทางเอาท์พุทเข้าใกล้อนันต์ $(\infty)$ ขณะเดียวกันความต้านทานทางอินพุทต้องเข้าใกล้ศูนย์ จากวงจรเห็นว่าเมื่อความต้านทานทางเอาท์พุทสูงขึ้นความต้านทานทางอินพุทก็จะเพิ่มขึ้นด้วย ดังนั้นจึงได้หาวิธีลดความต้านทานทางอินพุทนี้

### 2.9.3 วงจรสะท้อนกระแสแบบ Wilson

จากรูปที่ 2.24 เป็นวงจรสะท้อนกระแสแบบ Wilson ที่สร้างจากไบโพล่าร์ทรานซิสเตอร์และมอสทรานซิสเตอร์ วงจรในรูปที่ 2.24 (ก) สามารถแสดงความสัมพันธ์ระหว่างกระแส $I_{out}$ และกระแส $I_{in}$ ได้ดังสมการที่ (2.42) คือ

$$I_{out} = \left(1 - \frac{2(\beta+1)}{\beta^2 + 2\beta + n + 1}\right) \tag{2.42}$$

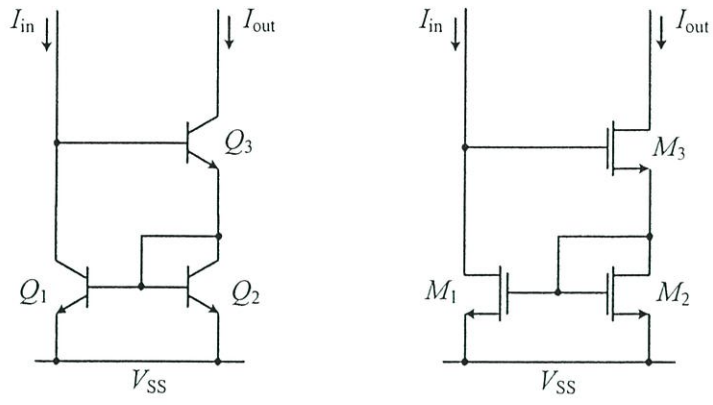
ส่วนความสัมพันธ์ระหว่างกระแส $I_{out}$ และกระแส $I_{in}$ ของวงจรในรูปที่ 2.24 (ข) สามารถแสดงได้ดังสมการที่ (2.43) คือ

$$I_{out} = \frac{g_{m2}}{g_{m1}} I_{in} \tag{2.43}$$

ในสมการที่ (2.43) จะเห็นได้ว่าความสัมพันธ์ระหว่างกระแสอินพุทและกระแสเอาท์พุทจะเหมือนกับวงจรสะท้อนกระแสที่เป็นแบบพื้นฐาน ส่วนค่าความต้านทานทางเอาท์พุทหาค่าได้จากสมการที่ (2.44) คือ

$$r_{out} = r_{ds2} + r_{ds3} + \left[\frac{1 + g_{m3}r_{ds3} + g_{m1}g_{m3}r_{ds1}r_{ds3}}{1 + g_{m2}r_{ds2}}\right] \tag{2.44}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



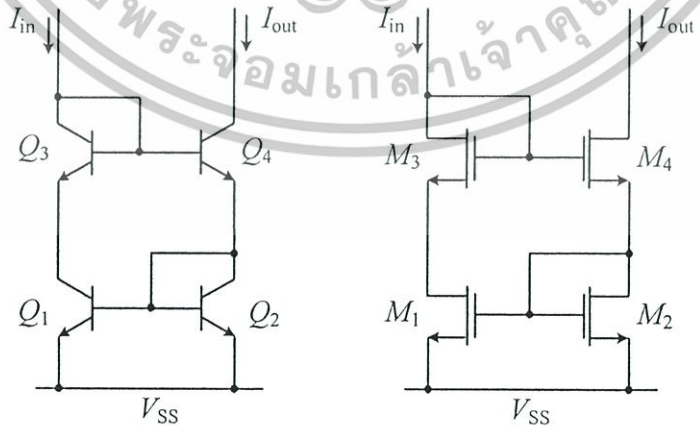

(ก) (ข)

**รูปที่ 2.24** วงจรสะท้อนกระแสแบบ Wilson (ก) ชนิดไบโพล่าร์ (ข) ชนิดจากมอส

วงจรสะท้อนกระแสแบบ Wilson คือ วงจรที่มีการพัฒนาขึ้นมาเพื่อลดความต้านทานทางอินพุทลง ในขณะเดียวกันยังคงมีความต้านทานทางเอาท์พุทที่สูงเช่นเดียวกับวงจรสะท้อนกระแสแบบคาดโคดเอาไว้ ดังนั้นวงจรนี้ค่อนข้างได้รับความนิยมค่อนข้างมาก

### 2.9.4 วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง เป็นวงจรสะท้อนกระแสที่มีเสถียรภาพทางด้านการสะท้อนกระแสดีกว่าวงจรสะท้อนกระแสแบบ Wilson ธรรมดา แต่คุณสมบัติต่าง ๆ เช่น ความสัมพันธ์ระหว่างอินพุทและเอาท์พุท สามารถหาได้เหมือนสมการที่ (2.38) ค่าความต้านทานทางเอาท์พุทสามารถหาได้เหมือนสมการ (2.39) คือ



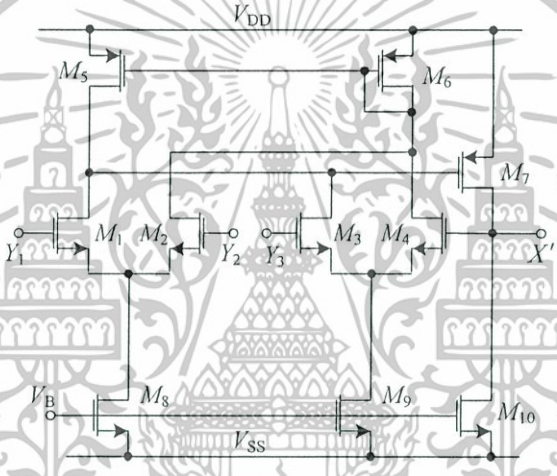

(ก) (ข)

**รูปที่ 2.25** วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง (ก) ชนิดไบโพล่าร์ (ข) ชนิดมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.10 วงจรกันชนรูปแบบแรงดันแตกต่าง

วงจรกันชนรูปแบบแรงดันแตกต่างด้วยซีมอส (CMOS Differential voltage buffer: DVB) ที่ใช้ในวิทยานิพนธ์แสดงดังรูปที่ 2.26 โครงสร้างของวงจรกันชนรูปแบบแรงดันแตกต่างด้วยซีมอสนี้มีลักษณะคล้ายกับวงจร DDA (Differential difference amplifier) [26] โดยที่วงจรมีค่าทรานคอนดักแตนซ์ที่อินพุทแตกต่างกันอยู่สองชุด จากโครงสร้างของทรานซิสเตอร์ $M_1, M_2$ และ $M_3, M_4$ โดยในแต่ละชุดจะมีค่าเกนที่สูง ซึ่งมีผลมาจากวงจรสะท้อนกระแสที่ประกอบด้วยทรานซิสเตอร์ $M_5$ และ $M_6$ โดยจะเปลี่ยนแปลงกระแสที่ได้ให้มีความแตกต่างกันและส่งผลไปยังกระแสที่เอาท์พุทของทรานซิสเตอร์ $M_7$ ซึ่งสามารถหาค่าความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุทได้ดังสมการที่ (2.45) คือ



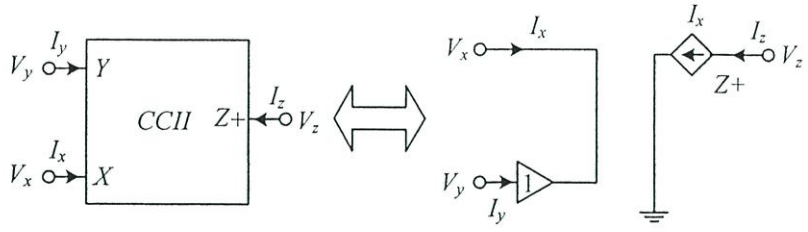

รูปที่ 2.26 วงจรกันชนรูปแบบแรงดันแตกต่างแบบซีมอส

$$V_{X'} = V_{Y1} - V_{Y2} + V_{Y3} \tag{2.45}$$

## 2.11 วงจรสายพานกระแส

วงจรสายพานกระแส (Current conveyor) ได้ถูกพัฒนาและนำเสนอขึ้นในปี 1969 โดย K. C. Smith และ A. Sedra ได้เป็นผู้กำเนิดแนวคิดวงจรขึ้นใหม่ที่เรียกว่า วงจรสายพานกระแสยุคที่หนึ่ง (First-Generation Current Conveyor) หรือมีชื่อย่อว่า CCI ต่อมาในปี 1970 K. C Smith และ A. Sedra [1] ได้นำเสนอวงจรสายพานกระแสยุคที่สอง (Second-Generation Current Conveyor) หรือ CCII โดยมีการนำเสนอการประยุกต์ใช้งาน จึงทำให้ CCII ได้รับความนิยมมาจนถึงปัจจุบัน วงจรสายพานกระแสยุคที่สอง CCII สามารถสร้างขึ้นจากไบโพล่าร์ทรานซิสเตอร์ นอกจากนี้ยังสามารถแทนไบโพล่าร์ทรานซิสเตอร์ไปเป็นมอสทรานซิสเตอร์ได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 2.27** สัญลักษณ์และวงจรเสมือนของวงจร CCII

สัญลักษณ์และวงจรเสมือนของวงจร CCII สามารถแสดงได้ดังรูปที่ 2.27 เมื่อพิจารณาวงจร CCII จะเห็นว่าวงจรมีทั้งหมดสามขั้ว คือ $X, Y$ และ $Z$ โดยความสัมพันธ์ของกระแสและแรงดันของขั้วทั้งสามสามารถแสดงอยู่ในรูปเมตริกซ์ได้ดังสมการที่ (2.46) คือ

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \tag{2.46}$$

จากสมการที่ (2.46) จะเห็นได้ว่าที่ขั้ว $Y$ จะมีความต้านทานทางเอาท์พุทสูงเข้าใกล้อนันต์ $(\infty)$ และแรงดันที่ขั้ว $X$ จะมีค่าเท่ากับแรงดันที่ป้อนเข้าขั้ว $Y$ ในขณะที่ขั้ว $X$ จะมีความต้านทานเข้าใกล้ศูนย์ กระแสที่ป้อนเข้าที่อินพุท $X$ จะถูกขนถ่ายไปเป็นกระแสเอาท์พุทที่ขั้ว $Z$

### 2.11.1 วงจรสายพานกระแสที่สร้างจากไบโพล่าร์ทรานซิสเตอร์

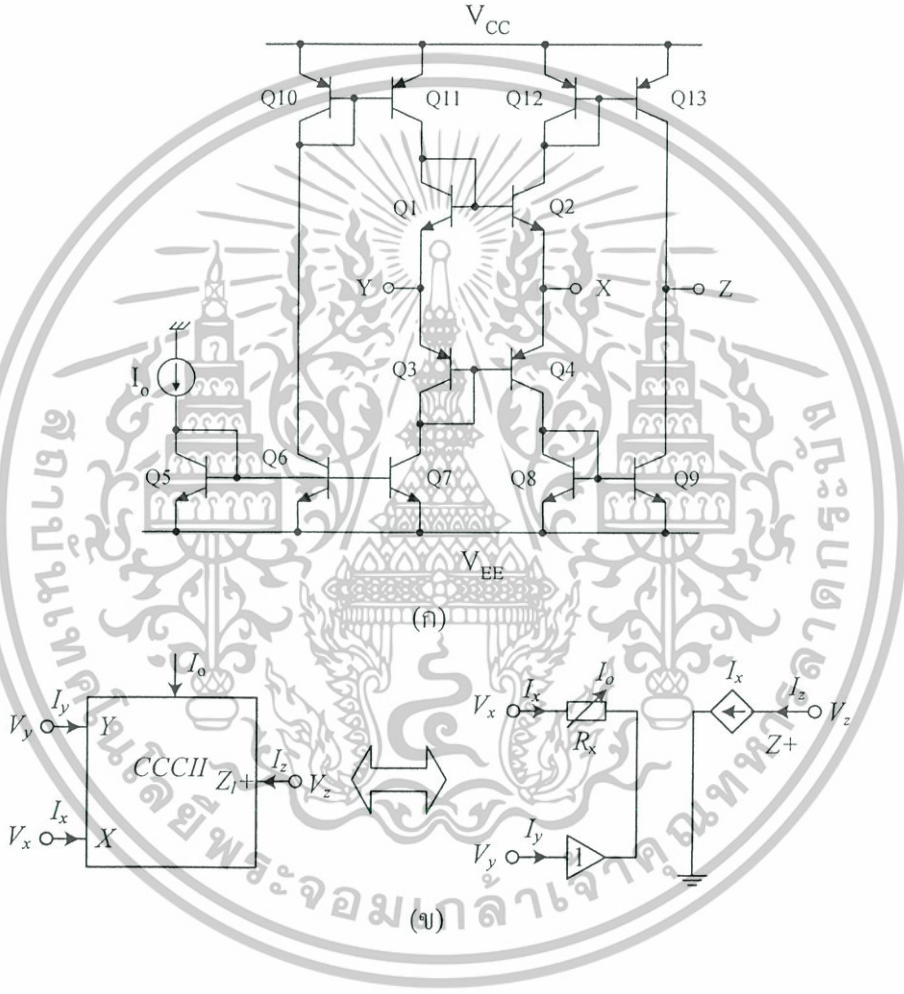
วงจรสายพานกระแสที่สร้างจากไบโพล่าร์ทรานซิสเตอร์ สามารถแสดงได้ดังรูปที่ 2.28 ซึ่งเป็นวงจรที่เคยนำเสนอใน [6] วงจรนี้ได้รับความนิยมนำมาใช้งานกันอย่างกว้างขวาง โดยมีคุณสมบัติของ $V_X = V_Y$ จะใช้ $Q_1$ ถึง $Q_4$ ต่อแบบทรานส์ลิเนียร์ลูป ส่วนคุณสมบัติของ $I_Z = I_X$ จะใช้วงจรสะท้อนกระแสเป็นตัวส่งผ่าน คุณสมบัติเด่นประการหนึ่งของวงจรสายพานกระแสที่สร้างด้วยไบโพล่าร์ทรานซิสเตอร์ คือ ที่ขั้ว $X$ จะปรากฏค่าความต้านทานที่สามารถปรับค่าได้จากกระแสไบอัสและวงจรสายพานกระแสที่สร้างจากไบโพล่าร์ทรานซิสเตอร์ จึงมีชื่อเรียกอีกอย่างว่า วงจรสายพานกระแสควบคุมด้วยกระแส (Second-generation current-controlled conveyor หรือ CCCII) ซึ่งสามารถกำหนดความสัมพันธ์ของกระแสและแรงดันที่ขั้วทั้งสาม โดยแสดงอยู่ในรูปของเมตริกซ์ได้ดังสมการที่ (2.47) และค่าความต้านทานที่ขั้ว $X$ $(R_X)$ ได้ดังสมการที่ (2.48)

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \tag{2.47}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_X = \frac{V_T}{2I_o} \tag{2.48}$$

ซึ่งค่าความต้านทาน $R_X$ นี้เป็นค่าความต้านทานภายในที่ขั้ว $X$ ของ CCCII ที่กำหนดอยู่ในลูป $Q_1$ ถึง $Q_4$ ตัวต้านทานดังกล่าวเสมือนเป็นตัวต้านทานแบบต่อลงกราวด์ที่ควบคุมค่าความต้านทานด้วยกระแสไบอัส $I_o$ ซึ่งที่ผ่านมามีการนำค่าความต้านแฝงนี้ไปใช้งานมากมายเช่น วงจรกรองความถี่ [2-4], [6], [8-10] วงจรออสซิเลเตอร์ [5] วงจรขยายสัญญาณ [7] เป็นต้น




**รูปที่ 2.28** (ก) วงจรสายพานกระแสที่สร้างจากไบโพล่าร์ทรานซิสเตอร์ (ข) สัญลักษณ์

### 2.11.2 วงจรสายพานกระแสที่สร้างจากมอสทรานซิสเตอร์

วงจรสายพานกระแสรูปที่ 2.28 สามารถแทนไบโพล่าร์ทรานซิสเตอร์แต่ละตัวได้ด้วยมอสทรานซิสเตอร์ แสดงดังรูปที่ 2.29 ซึ่งเป็นวงจรสายพานกระแสควบคุมด้วยกระแส (Second-generation current-controlled current conveyor: CCCII) ที่ใช้ในวิทยานิพนธ์ โดยออกแบบให้ที่มี

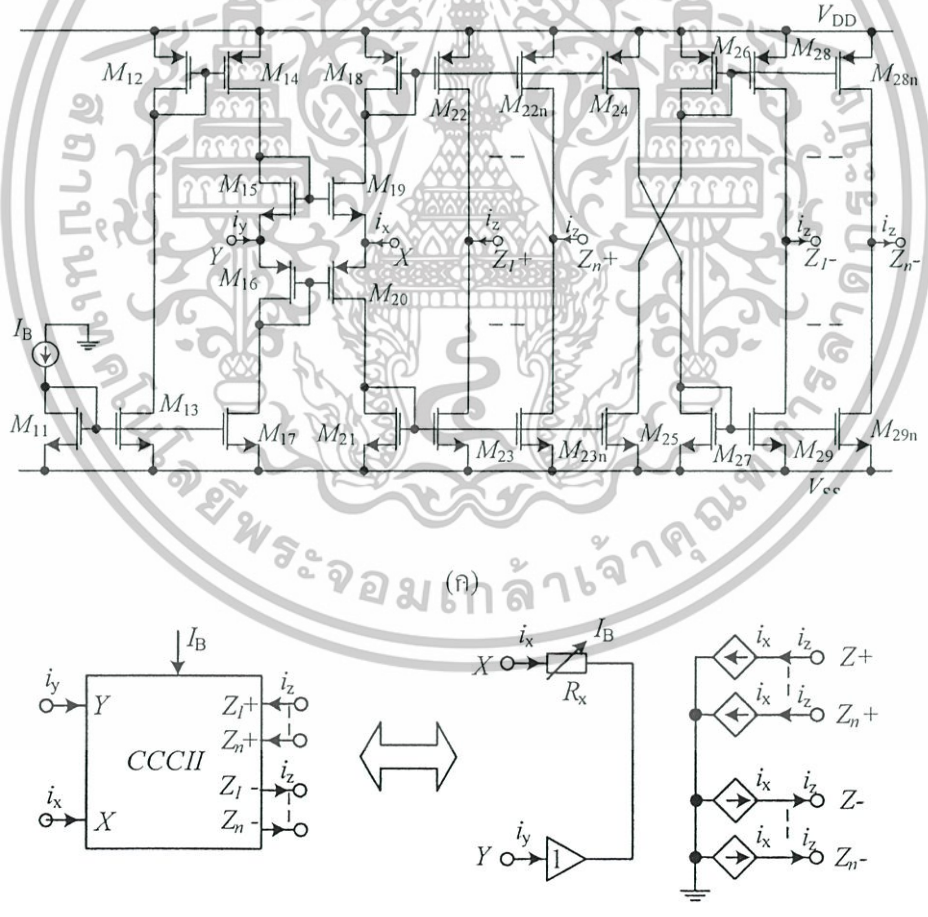
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้ว $Z$ หลายเอาท์พุท คือ $Z+$ และ $Z-$ แต่คุณสมบัติของวงจรและการวิเคราะห์ยังเหมือนกับไบโพล่าร์ทรานซิสเตอร์ทุกประการ ซึ่งวงจรสายพานกระแสที่สร้างจากมอสทรานซิสเตอร์จะมีค่าความต้านทานที่ขั้ว $X$ เหมือนกับวงจรที่สร้างมาจากไบโพล่าร์ทรานซิสเตอร์แต่ค่าความต้านทานที่ได้ต่อกระแสไบอัสมักมีความสัมพันธ์แบบเป็นไม่เชิงเส้นเท่าใด วงจรสายพานกระแสควบคุมด้วยกระแสที่นำเสนอถูกออกแบบให้ทั้งหมดมีสามขั้วคือ $X,Y$ และ $Z$ และสามารถหาค่าความสัมพันธ์ของกระแสและแรงดันที่ขั้วทั้งสามมีค่าดังสมการที่ (2.49) – (2.51)

$$i_y = 0 \tag{2.49}$$

$$v_x = v_y + i_x R_x \tag{2.50}$$

$$i_z = \pm i_x \tag{2.51}$$




**รูปที่ 2.29** (ก) วงจรสายพานกระแสที่สร้างจากมอสทรานซิสเตอร์ (ข) สัญลักษณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.12 บทสรุป

ในบทนี้ได้กล่าวถึง กระบวนการประดิษฐ์อย่างพอสังเขป และการทำงานในย่านต่าง ๆ ทำให้ทราบได้ว่าการทำงานย่านต่าง ๆ เกิดขึ้นได้อย่างไรและมีสมการที่เกี่ยวข้อง เพื่อช่วยการคำนวณวงจรต่าง ๆ ที่ประกอบขึ้นจากมอสเฟท ซึ่งมอสเฟทเป็นอุปกรณ์อิเล็กทรอนิกส์ชนิดหนึ่งสามารถควบคุมปริมาณของกระแสเดรนได้ด้วยสนามไฟฟ้าที่เกิดขึ้นจากแรงดันที่ขาเกท สามารถแบ่งตามชนิดของมอสเฟทได้เป็น 2 ชนิด คือ เอ็นฮานเมนท์มอสเฟท และดีพลีชั่นมอสเฟท โดยแต่ละชนิดแบ่งออกเป็น PMOS, NMOS ซึ่งการไบอัสจะมีลักษณะตรงกันข้าม เมื่อพิจารณาสมการกระแสเดรนของมอสเฟทแบ่งเป็น 3 ย่านการทำงานขึ้นอยู่กับค่าของ $V_{GS}-V_T$ ที่ป้อนเป็นอินพุทให้กับมอสเฟทโดยจะต้องมีค่ามากกว่าแรงดันเทรชโฮลด์ ($V_T$) จึงจะสามารถควบคุมกระแสเอาต์พุตได้ แรงดันเทรชโฮลด์ ($V_T$) นั้น สามารถเปลี่ยนแปลงได้ด้วยแรงดันระหว่างขาซอสกับฐานรอง (Substrate) และวงจรเสมือนสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ เป็นการแทนอุปกรณ์มอสทรานซิสเตอร์ด้วยวงจรไฟฟ้า เพื่อนำไปวิเคราะห์ผลตอบสนองหรือพฤติกรรมของสัญญาณขนาดเล็กพิจารณาแยกกับการวิเคราะห์สัญญาณขนาดใหญ่ และรูปแบบจำลอง (Model) ของการใช้โปรแกรมเลียนแบบการทำงาน PSpice ใน Model ต่าง ๆ ที่มีใช้กันอยู่ในปัจจุบัน เพื่อการวิเคราะห์วงจรตามที่ออกแบบมานั้นว่ามีการทำงานเป็นอย่างไร และมีประสิทธิภาพมากเท่าไรนอกจากนี้ยังได้กล่าวถึง วงจรขยายความนำหรือเรียกอีกอย่างว่าวงจรขยายความแตกต่าง ซึ่งจะให้เอาต์พุตเป็นกระแส จากคุณสมบัติของวงจรขยายความนำที่มีอินพุตเป็นแรงดัน แต่ไม่ว่าจะเรียกอย่างไรก็ตามวงจรขยายความนำจะต้องมีคุณสมบัติ คือ มีอินพุตเป็นแรงดันเอาต์พุตเป็นกระแสและอัตราการขยายเท่ากับ $g_m$ วงจรสะท้อนกระแส เป็นวงจรที่สำคัญสำหรับการออกแบบวงจรประเภทอนาลอกที่ออกแบบโดยใช้หลักการของวงจรรวม วงจรสะท้อนกระแสที่เป็นที่นิยมและใช้งานซึ่งในบทนี้จะขอกล่าวถึงเพียง 4 แบบเท่านั้นคือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบคาดโคด วงจรสะท้อนกระแสแบบ Wilson และวงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง วงจรกันชนรูปแบบแรงดันแตกต่าง โดยมีลักษณะการทำงานคล้ายกับวงจร DDA โดยทำการเปลี่ยนแปลงกระแสที่ได้ให้มีความแตกต่างกันและส่งผลไปยังกระแสเอาท์พุท และในส่วนสุดท้ายของบทนี้ได้กล่าวถึง วงจรสายพานกระแสที่สร้างจากไบโพล่าร์ทรานซิสเตอร์และมอสทรานซิสเตอร์และวงจรสายพานกระแสปรับค่าได้ด้วยกระแส ชนิดหลายเอาต์พุตที่ใช้ในวิทยานิพนธ์โดยวิเคราะห์ความสัมพันธ์ที่ขั้วทั้งสาม คือ $X,Y$ และ $Z$ ว่ามีการทำงานเป็นอย่างไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# หลักการที่เคยนำเสนอในอดีต

ในหัวข้อนี้จะกล่าวถึง หลักการที่นำเสนอในอดีต ซึ่งประกอบด้วย บทนำ วงจรสายพานกระแสผลต่างอินพุทแตกต่างที่มีการนำเสนอไว้ในวารสารต่าง ๆ การประยุกต์ใช้งานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างที่มีการนำเสนอไว้ในวารสารต่าง ๆ และบทสรุป

## 3.1 บทนำ

ในอดีตได้มีการนำเสนออุปกรณ์แอคทีฟที่สำคัญไว้ตัวหนึ่งชื่อ CCIIs (Second-generation current conveyors) [1] สามารถทำงานทั้งในรูปแบบแรงดันและกระแสและมีการนำไปประยุกต์สร้างเป็นวงจรกรองความถี่ได้แต่ต้องมีการใช้ความต้านทานภายนอกต่อร่วมเสมอ [2-4] ต่อมาได้มีพัฒนาอุปกรณ์แอคทีฟชื่อว่า CCCIIs ทั้งในแบบ BJT [6] และ CMOS [7] ทำให้มีคุณสมบัติที่ดีขึ้นคือ สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ที่ไม่ต้องใช้ค่าความต้านทานภายนอก อีกไม่กี่ปีต่อมาได้มีผู้นำเสนออุปกรณ์แอคทีฟที่มีคุณสมบัติคล้ายกับ CCIIs ที่ชื่อว่า DDCCs (Differential difference current conveyor) [11] และอุปกรณ์แอคทีฟที่มีคุณสมบัติคล้ายกันชื่อ DVCCs (Differential voltage current conveyors) [12] โดยมีผู้นำมาประยุกต์ใช้เป็นวงจรกรองความถี่และวงจรกำเนิดสัญญาณ ทั้งในรูปแบบแรงดันและกระแส ถึงแม้ว่าอุปกรณ์ DDCCs และ DVCCs จะเป็นอุปกรณ์ที่มีสมรรถนะสูงในด้านความถี่และความแม่นยำก็ตาม การประยุกต์ใช้ยังคงมีความจำเป็นต้องใช้ตัวต้านทานภายนอกต่อร่วมจำนวนมากเสมอ อีกทั้งในบางวงจรจะใช้ตัวต้านทานแบบลอยตัวด้วย จึงทำให้ไม่เหมาะกับการสร้างเป็นวงจรรวม

## 3.2 วงจรสายพานกระแสผลต่างอินพุทแตกต่างที่มีการนำเสนอไว้ในวารสารต่าง ๆ

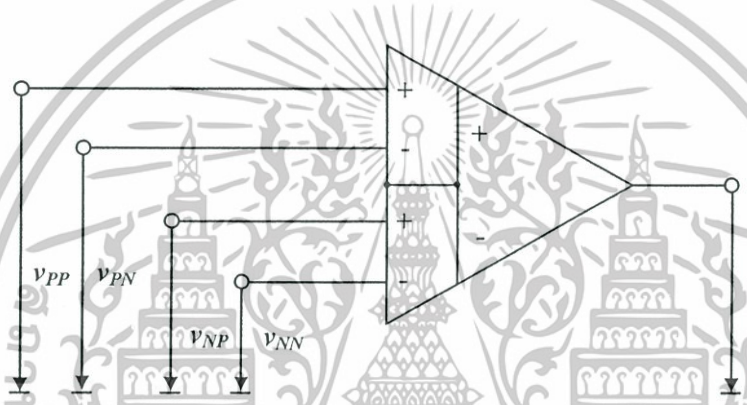
วงจรสายพานกระแสผลต่างอินพุทแตกต่าง (CCDDCC) โครงสร้างของวงจรส่วนใหญ่ประกอบขึ้นจากหลักการของวงจรขยายผลต่างแรงดันอินพุทแตกต่าง (Differential difference amplifier: DDA) หรือวงจรสายพานกระแสผลต่างอินพุทแตกต่าง (Differential difference current conveyors: DDCC) โดยในอดีตได้มีการนำเสนอไว้ในวารสารต่าง ๆ มากมาย ดังที่จะกล่าวถึงในหัวข้อต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.1 วงจรขยายผลต่างแรงดันอินพุทแตกต่าง (DDA)

วงจรขยายผลต่างแรงดันอินพุทแตกต่างโดยใช้ซีมอส (CMOS differential difference amplifier: CMOS DDA) เป็นวงจรที่นำเสนอใน [26] บล็อกไดอะแกรมของวงจร DDA แสดงได้ดังรูปที่ 3.1 เมื่อวงจรถูกออกแบบจากคุณสมบัติของออปแอมป์ในอุดมคติ โดยให้เกนมีค่าเป็นอินฟีตนิตี้ $(\infty)$ และแรงดันที่อินพุทมีค่าเป็นศูนย์ ซึ่งแรงดันอินพุทดังกล่าวแบ่งออกได้เป็น แรงดันอินพุทแบบไม่กลับขั้วสัญญาณ (Non-inverting input) หรือ $v_P(+)$ และแรงดันอินพุทแบบกลับขั้วสัญญาณ (Inverting input) หรือ $v_N(-)$ โดยความสัมพันธ์ของแรงดันอินพุท $v_P$ และ $v_P$ ได้เป็น

$$v_P = v_N \tag{3.1}$$




รูปที่ 3.1 สัญลักษณ์ของออปแอมป์ที่ใช้ในวงจร DDA ที่นำเสนอใน [26]

จากรูปที่ 3.1 แสดงสัญลักษณ์ของออปแอมป์ที่ใช้ในวงจร DDA [26] ที่ประกอบด้วยขั้วแรงดันอินพุทสองขั้ว คือ $v_{PP}, v_{PN}$ ใช้สำหรับอินพุทแบบไม่กลับขั้วสัญญาณ และ $v_{NP}, v_{NN}$ ใช้สำหรับอินพุทแบบกลับขั้วสัญญาณ ซึ่งเป็นการกำหนดให้ใช้ในกรณีของวงจร DDA ที่เป็นแบบอุดมคติสามารถเขียนสมการที่ (3.1) ได้ใหม่เป็น

$$v_{PP} - v_{PN} = v_{NP} - v_{NN} \tag{3.2}$$

ในการวิเคราะห์คุณสมบัติพื้นฐานของวงจร DDA จากการวิเคราะห์ค่าแรงดันอินพุท เอาท์พุท และค่าพารามิเตอร์ต่าง ๆ ในขณะทำงาน ด้วยหลักการวิเคราะห์ในเชิงไม่เป็นอุดมคติจากรูปที่ 3.1 สามารถเขียนได้เป็นสมการเมทริกซ์ของแรงดันอินพุทและเอาท์พุทได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} v_D \\ v_{CP} \\ v_{CN} \\ v_{CD} \end{bmatrix} = \begin{bmatrix} 1 & -1 & -1 & 1 \\ 1/2 & 1/2 & 0 & 0 \\ 0 & 0 & 1/2 & 1/2 \\ 1/2 & -1/2 & 1/2 & -1/2 \end{bmatrix} \begin{bmatrix} v_{PP} \\ v_{PN} \\ v_{NP} \\ v_{NN} \end{bmatrix} \tag{3.3}$$

จากสมการที่ (3.3) เมื่อ $v_D$ คือ ค่าแรงดันอินพุทแตกต่าง (Differential voltage) และ $v_{CP}, v_{CN}$ และ $v_{CD}$ คือ ค่าแรงดันอินพุทเทียบกับแรงดันที่จุดร่วม (Common-mode voltage) ตามลำดับ การวิเคราะห์คุณสมบัติของออปแอมป์ในทางไม่เป็นอุดมคติระหว่างแรงดันอินพุท $v_D$ กับแรงดันที่จุดร่วม $v_{CM}$ สามารถหาค่าแรงดันที่เอาท์พุท $v_O$ ได้เป็น

$$v_O = F(v_D, v_{CM}) \tag{3.4}$$

เมื่อกำหนดให้จุดไบอัสของวงจรมีค่า $v_O = 0$ และ $v_{CM} = V_{CM0}$ แทนค่าในสมการที่ (3.4) และเขียนสมการใหม่ได้เป็น

$$v_O = A_d\left[(v_D - V_{off}) + \frac{1}{CMRR}(v_{CM} - V_{CM0})\right] \tag{3.5}$$

จากสมการที่ (3.5) เมื่อกำหนดให้ค่าพารามิเตอร์ $A_d$ คือ ค่าเกนที่แตกต่าง (Differential gain), $V_{off}$ คือ ค่าแรงดันออฟเซท (Offset voltage) และ $CMRR$ คือ (Common-mode rejection ratio) โดยค่าพารามิเตอร์ทั้งสามขึ้นอยู่กับจุดไบอัสของออปแอมป์ $(V_{CM0})$ ซึ่งจะทำให้ค่าแรงดันอินพุททั้งสี่มีผลเปลี่ยนแปลงไป โดยทำให้แรงดันที่เอาท์พุทมีค่าเปลี่ยนแปลงตามไปด้วยคือ

$$v_O = F(v_D, v_{CP}, v_{CN}, v_{CD}) \tag{3.6}$$

เมื่อกำหนดให้จุดไบอัสมีค่าประมาณ $v_O = 0$ , $v_{CP} = V_{CP0}$ , $v_{CN} = V_{CN0}$ และ $v_{CD} = V_{CD0}$ ตามลำดับ โดยแทนค่าในสมการที่ (3.5) และเขียนสมการได้ใหม่เป็น

$$v_O = A_d\left[(v_D - V_{off}) + \frac{1}{CMRR_p}(v_{CP} - V_{CP0}) + \frac{1}{CMRR_n}(v_{CN} - V_{CN0}) + \frac{1}{CMRR_d}(v_{CD} - V_{CD0})\right] \tag{3.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $A_d$ และ $V_{off}$ จะมีส่วนที่คล้ายหรือเหมือนกันสำหรับใช้ในการวิเคราะห์ค่าของออปแอมป์แต่ในส่วนของค่า $CMRR$ ทั้งสามและค่าของพารามิเตอร์ทั้งหมด $(A_d, V_{off}, CMRR_p, CMRR_n$ และ $CMRR_d)$ ขึ้นอยู่กับค่าของแรงดันที่จุดต่อร่วมคือ $(V_{CP0}, V_{CN0}$ และ $V_{CD0})$ ส่วนในค่าของ $p$ และ $n$ ของค่า $CMRR_p$ และ $CMRR_n$ จะมีผลกระทบกับค่าแรงดันที่จุดต่อร่วมบริเวณอินพุททั้งสองซึ่งเกิดขึ้นจากค่า $CMRR_d$ ของออปแอมป์ในทางอุดมคติ โดยผลกระทบทั้งหมดนี้มีลักษณะคล้ายกับค่าแรงดันลอยตัว (Floating voltage) ที่บริเวณอินพุททั้งสองและสิ่งที่ส่งผลกระทบจากการกระทำของค่าพารามิเตอร์ดังกล่าวมีค่าเป็น

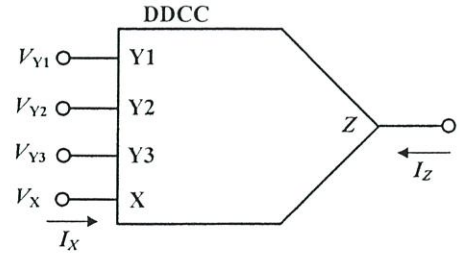
$$NL = \frac{\max\left|\left(v_{PP} - v_{PN}\right) - \left(v_{NP} - v_{NN}\right)\right|_{v_O=0}}{V_{FS}}, \quad \left(v_{PP} - v_{PN}\right) = -V_{FS} \ldots V_{FS} \tag{3.8}$$

โดยที่ $NL$ คือ ค่า Nonlinearity สูงสุดที่ทำให้เกิดผลกระทบต่ออินพุททั้งสอง เมื่อกำหนดให้แรงดันที่อินพุททั้งสองอยู่ในช่วง $-V_{FS}$ ถึง $V_{FS}$ ซึ่งโดยปกติแล้วจะมีค่าอยู่ในช่วงของแรงดันเอาท์พุทที่มีค่าเป็นศูนย์ และจากสมการที่ (3.7) เมื่อกำหนดให้ค่าของ $v_D << v_{CD}$ แล้วสามารถเขียนสมการของ $NL$ ขึ้นใหม่ในเทอมของค่าแรงดันออฟเซทได้เป็น

$$NL = \frac{\max\left|V_{off}\left(V_{CP0}, V_{CN0}, V_{CD0}\right)\right|}{V_{FS}}, \quad V_{CD0} = -V_{FS} \ldots V_{FS} \tag{3.9}$$

### 3.2.2 วงจรสายพานกระแสผลต่างอินพุทแตกต่าง (DDCC)

วงจรสายพานกระแสผลต่างอินพุทแตกต่างโดยใช้ซีมอส (CMOS differential difference current conveyors: CMOS DDCC) เป็นวงจรที่นำเสนอใน [11] โดยบล็อกไดอะแกรมของวงจร DDCC โครงสร้างจะประกอบด้วยวงจร DDA (Differential difference amplifier) และวงจร CCII (Second generation current conveyor) ต่อคาสเคดร่วมกัน สัญลักษณ์ของวงจร DDCC แสดงได้ดังรูปที่ 3.2 ซึ่งคุณสมบัติของอินพุทและเอาท์พุททั้งหมดแสดงได้ดังสมการที่ (3.10 ก) – (3.10 ค)




**รูปที่ 3.2** บล็อกไดอะแกรมของวงจร DDCC ที่นำเสนอใน [11]

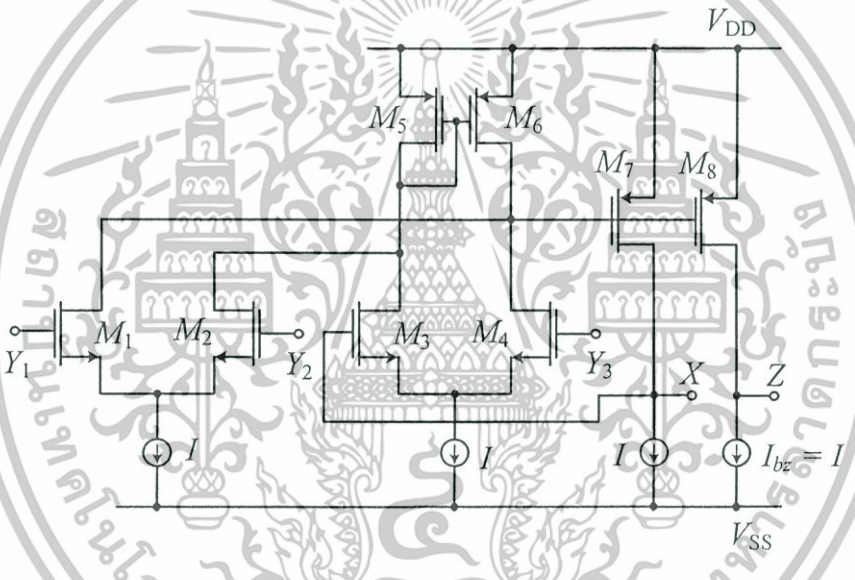
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{Y1} = I_{Y2} = I_{Y3} = 0 \tag{3.10 ก}$$

$$V_X = V_{Y1} - V_{Y2} + V_{Y3} \tag{3.10 ข}$$

$$I_Z = \pm I_X \tag{3.10 ค}$$

สัญลักษณ์ที่เป็นขั้วบวกและลบ หมายถึง การกำหนดให้วงจร DDCC มีลักษณะของการไม่กลับขั้วสัญญาณ (Non-inverting) หรือ DDCC+ และกลับขั้วสัญญาณ (Inverting) หรือ DDCC- ซึ่งในบทความนี้ได้มีการออกแบบวงจร DDCC ไว้ทั้ง 2 ประเภท โครงสร้างของวงจร DDCC+ และ DDCC- แสดงได้ดังรูปที่ 3.3 และ 3.4 ตามลำดับ




**รูปที่ 3.3** โครงสร้างของวงจร DDCC+ ที่นำเสนอใน [11]

จากรูปที่ 3.3 เป็นการนำเสนอวงจร DDCC+ แบบซีมอส โดยวงจร DDCC+ ที่นำเสนอนี้อาศัยโครงสร้างของวงจร CCII+ ต่อคาสเคดร่วมกับวงจร DDA และจากรูปที่ 3.3 มีค่าทรานคอนดักแตนซ์ที่อินพุทแตกต่างกันอยู่สองชุด ซึ่งประกอบด้วยทรานซิสเตอร์ $M_1, M_2$ และ $M_3, M_4$ และในแต่ละชุดจะมีค่าเกนที่สูง ซึ่งมีผลมาจากวงจรสะท้อนกระแสที่ประกอบด้วยทรานซิสเตอร์ $M_5$ และ $M_6$ โดยการเปลี่ยนแปลงกระแสที่ได้ให้มีความแตกต่างกัน และส่งผลไปยังกระแสเอาท์พุทของทรานซิสเตอร์ $M_7$ ความสัมพันธ์ของแรงดันเอาท์พุทในการขยายสัญญาณมีค่าเป็น

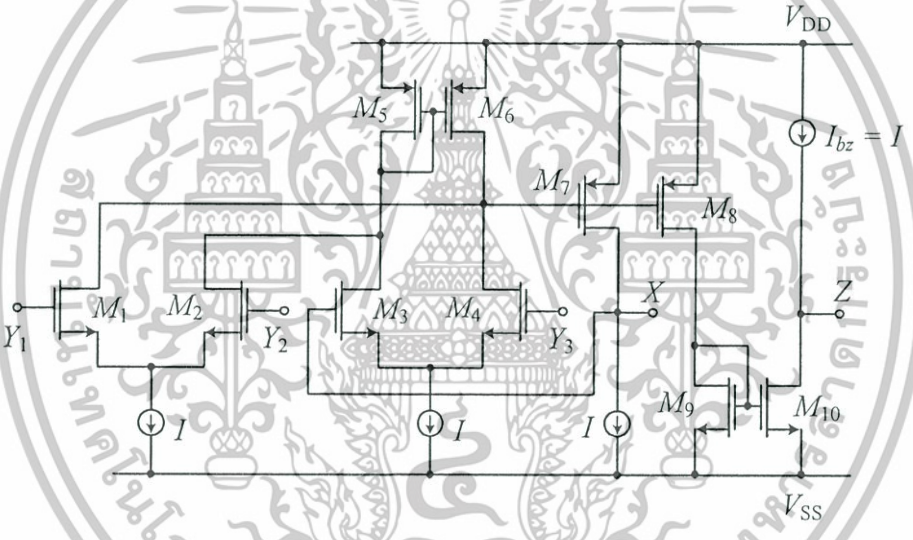
$$V_X = A_0\left[\left(V_{Y1} - V_{Y2}\right) - \left(V_{G3} - V_{Y3}\right)\right] \tag{3.11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $A_0$ หมายถึง ค่าเกนการขยายสัญญาณในขณะลูปเปิด และ $V_{G3}$ คือ แรงดันที่ขาเกทของทรานซิสเตอร์ $M_3$ ในขณะที่มีการป้อนสัญญาณกลับแบบลบจากเอาท์พุทขั้ว $X$ ไปยังอินพุทที่ขาเกทของทรานซิสเตอร์ $M_3$ โดยมีค่าเกนการขยายสัญญาณในลักษณะของลูปเปิดมีค่าสูงมาก และสามารถหาค่าความสัมพันธ์ระหว่างแรงดันอินพุทที่ขั้วทั้งสี่ได้เป็น

$$V_X = \frac{A_0}{A_0 + 1}\left(V_{Y1} - V_{Y2} + V_{Y3}\right) \cong V_{Y1} - V_{Y2} + V_{Y3} \tag{3.12}$$

เมื่อ $Z$ คือ ขั้วเอาท์พุทที่ประกอบด้วยแหล่งจ่ายกระแส $I_{bz}$ และทรานซิสเตอร์ $M_8$ ที่จำลองกระแสมาจากทรานซิสเตอร์ $M_7$ โดยทำให้เกิดเป็นกระแสที่ขั้ว $X$ คือ $I_X$ และเกิดเป็นกระแสที่ขั้ว $Z$ คือ $I_Z$ มาพร้อมกันของวงจร DDCC+ ดังรูปที่ 3.3




**รูปที่ 3.4** โครงสร้างของวงจร DDCC- ที่นำเสนอใน [11]

จากรูปที่ 3.4 แสดงวงจร DDCC ในลักษณะของการกลับขั้วของสัญญาณ หรือ DDCC- ซึ่งมีโครงสร้างลักษณะเดียวกันกับวงจร DDCC+ ในรูปที่ 3.3 แต่จะแตกต่างกันในส่วนของวงจรสะท้อนกระแสที่ทรานซิสเตอร์ $M_9$ และ $M_{10}$ ตรงบริเวณกระแสเอาท์พุทที่ขั้ว $Z$ สำหรับการวิเคราะห์คุณสมบัติของวงจร DDCC- ในทางอุดมคติ จากวงจรสะท้อนกระแสที่สมมติให้มีค่าเกนที่เป็นหนึ่งและทรานซิสเตอร์ที่มีความสมพงษ์กัน แต่ในทางปฏิบัติจะต้องวิเคราะห์ถึงคุณสมบัติในทางไม่เป็นอุดมคติด้วย โดยเฉพาะในส่วนที่สำคัญ ๆ เช่น ค่าทรานส์คอนดักแตนซ์ $(g_m)$ ของทรานซิสเตอร์และความสมพงษ์กันของทรานซิสเตอร์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากความสัมพันธ์ระหว่างแรงดันที่ขั้ว $V_{Y1}, V_{Y2}, V_{Y3}$ และ $V_X$ สามารถวิเคราะห์หาค่าความสัมพันธ์ดังกล่าว โดยการวิเคราะห์จากวงจรสัญญาณขนาดเล็กของทรานซิสเตอร์ในรูปที่ 3.3 แทนที่ด้วยวงจรสมมูลย์ที่จุดต่อต่าง ๆ ของทรานซิสเตอร์ เพื่อให้สะดวกต่อการวิเคราะห์สัญญาณและไม่คิดค่าบอดี้แอฟเฟค โดยสมมติให้แรงดันอินพุทของคู่ดิฟเฟอเรนเชียลแพร์มีค่าเท่ากันทุกประการ ซึ่งสามารถวิเคราะห์หาค่าแรงดันที่ขั้ว $X$ คือ $V_X$ ได้เป็น

$$V_X = \frac{g_{m7} g_{meq}}{g_{m7} g_{meq} + (g_{d12} + g_{d34} + g_{d6})(g_{d7} + g_{dl})} (V_{Y1} - V_{Y2} + V_{Y3}) \qquad (3.13)$$

โดยที่ $g_{meq} = \frac{2g_{m1}g_{m2}}{g_{m1} + g_{m2}} = \frac{2g_{m3}g_{m4}}{g_{m3} + g_{m4}}$ , $g_{dij} = \frac{2g_{di}g_{dj}}{g_{di} + g_{dj}}$

เมื่อ $g_{di}$ และ $g_{mi}$ คือ เดรนคอนดักแตนซ์ และทรานส์คอนดักแตนซ์ ของทรานซิสเตอร์ตัวที่ $M_i$ ตามลำดับ และ $g_{dl}$ คือ เดรนคอนดักแตนซ์ของแหล่งจ่ายกระแส ซึ่งคือ ค่าแรงดันที่ขั้ว $Y_1, Y_2$ และ $Y_3$ โอนถ่ายแรงดันไปขั้ว $X$ อย่างถูกต้องสำหรับในกรณีของ $g_{m7} g_{meq} >> (g_{d12} + g_{d34} + g_{d6})(g_{d7} + g_{dl})$

ในทำนองเดียวกันค่าของอิมพีแดนซ์ที่ขั้ว $X$ สามารถหาค่าได้จากการกำหนดให้แรงดันที่ขั้ว $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ มีค่าเข้าใกล้ศูนย์ และวิเคราะห์หาค่าอิมพีแดนซ์ที่ขั้ว $X$ ได้จากค่าแรงดันและค่ากระแสที่ขั้ว $X$ คือ $V_X$ และ $I_X$ ซึ่งค่าอิมพีแดนซ์ดังกล่าวสามารถหาได้เป็น

$$r_X \approx \frac{(g_{m3} + g_{m4})(g_{d12} + g_{d34} + g_{d6})}{2g_{m3} g_{m4} g_{m7}} \qquad (3.14)$$

และค่าอิมพีแดนซ์ที่ขั้ว $Z$ มีค่าเป็น

$$r_Z \approx \frac{1}{g_{d8} + g_{dl}} \qquad (3.15)$$

ซึ่งค่าความต้านทานนี้สามารถเพิ่มค่าขึ้นได้ จากการต่อวงจรสะท้อนกระแสแบบ Wilson หรือการต่อคาสเคดกับวงจรสะท้อนกระแสแบบพื้นฐานก็ได้ สำหรับในกรณีที่วงจรทำงานในย่านความถี่สูงอาจต้องเพิ่มค่าความจุไฟฟ้าที่ขั้ว $X$ เพื่อทำให้ผลตอบสนองทางความถี่สูงมีผลไปยังขั้วอินพุท $V_{Y1}$, $V_{Y2}, V_{Y3}$ และ $V_X$ โดยสามารถหาค่าดังกล่าวได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_X}{V_{Y1}-V_{Y2}+V_{Y3}} \approx \frac{g_{m7}g_{meq}}{g_{m7}g_{meq}+(g_{d12}+g_{d34}+g_{d6})(g_{d7}+g_{dl})}\frac{1}{\tau_1 s+1} \qquad (3.16)$$

เมื่อ $\tau_1 = \left[C_{gs7}+C_{gs8}+C_{gd8}\left(1+\frac{g_{m8}}{g_{dl}+g_{d8}}\right)+2C_{gd6}\right]\left(\frac{1}{g_{d12}+g_{d34}+g_{d6}}\right)$

โดยที่ $C_{gdi}$ และ $C_{gsi}$ คือ ค่าความจุไฟฟ้าที่ขาเกท-เดรน และค่าความจุไฟฟ้าที่ขาเกท-ซอร์ส ของทรานซิสเตอร์ตัวที่ $M_i$ ตามลำดับ เพื่อทำให้วงจรมีค่าความถี่โพลต่ำและค่าความถี่โดเมนที่ต้องการมีค่าจำกัด ส่วนค่าของแรงดันอินพุทออฟเซท $(V_{os})$ ถูกกำหนดโดยแรงดันอินพุทแตกต่างที่มีผลมาจากแรงดันของตัวต้านทานแฝงที่ขั้ว $X$ กับกราวด์ การวิเคราะห์สัญญาณขนาดใหญ่ขณะทำงานสามารถวิเคราะห์ได้จากสมการที่จุดต่อดังกล่าว โดยที่ค่าของแรงดันอินพุทออฟเซทมีค่าเป็น

$$V_{os} = (V_{T2}-V_{T1}+V_{T3}-V_{T4}) - \sqrt{\frac{I}{K_1+K_2}}\left(\frac{K_2-K_1}{K_2+K_1}\right) - \sqrt{\frac{I}{K_3+K_4}}\left(\frac{K_3-K_4}{K_3+K_4}\right) \qquad (3.17)$$

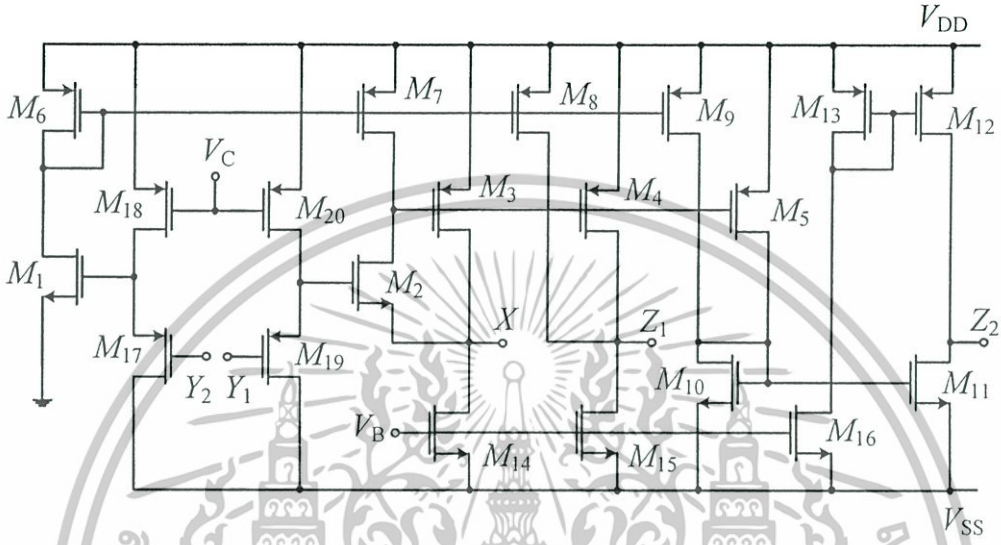
เมื่อ $V_{Ti}$ และ $K_i$ คือ ค่าของแรงดันเทรชโฮลด์ (Threshold voltage) และค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ $M_i$ ตามลำดับ โดยในสมการที่ (3.17) เทอมแรกเป็นสมการของแรงดันเทรชโฮลด์ที่มีความไม่สมพงษ์กัน เนื่องมาจากมีค่ากระแสไบอัสที่เป็นอิสระต่อกันและเป็นสมการหลักที่มีผลต่อการวิเคราะห์ในวงจรดังกล่าว ส่วนในเทอมที่สองเป็นสาเหตุที่ทำให้เกิดค่าพารามิเตอร์ต่าง ๆ ซึ่งมีผลกระทบมาจากค่าความกว้างและความยาวของแชนแนล $(W/L)$ ของมอสทรานซิสเตอร์ หรือค่าของกระแสไบอัส $(I_B)$ ในช่วงของสัญญาณอินพุทจะถูกกำหนดโดยวงจรดิฟเฟอเรนเชียลแพร์ ซึ่งสามารถปรับให้อินพุทมีช่วงสัญญาณที่ดีขึ้นหรือกว้างขึ้นได้จากวงจรเปลี่ยนค่าแรงดันเป็นกระแส (V-I converter) เพื่อให้ได้ช่วงสัญญาณอินพุทที่กว้างขึ้นกว่าเดิม

### 3.2.3 วงจรสายพานกระแสผลต่างแรงดันอินพุทแตกต่าง (DVCC)

วงจรสายพานกระแสผลต่างแรงดันอินพุทแตกต่างโดยใช้ซีมอส (CMOS differential voltage current conveyors: CMOS DVCC) เป็นวงจรที่นำเสนอใน [12] โดยบล็อกไดอะแกรมของวงจร DVCC ที่นำเสนอนี้แสดงได้ดังรูปที่ 3.5 ซึ่งประกอบด้วยขั้วต่อทั้งหมดห้าพอร์ทและสามารถเขียนเป็นสมการเมทริกซ์ของขั้วต่อทั้งหมดได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Z1} \\ I_{Z2} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ -1 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Z1} \\ V_{Z2} \end{bmatrix} \tag{3.18}$$




**รูปที่ 3.5** โครงสร้างของวงจร DVCC ที่นำเสนอใน [12]

จากรูปที่ 3.5 เป็นวงจร DVCC ที่นำเสนอใน [12] เมื่อกำหนดให้ทรานซิสเตอร์ที่ใช้อยู่ในสถานะอิ่มตัว (Saturation region) โดยมีแหล่งจ่ายต่ออยู่กับความจุผลึกฐานรอง (Bulk/substrate) ของทรานซิสเตอร์ $M_{17}, M_{18}$ และ $M_{19}, M_{20}$ โดยมีอินพุทอยู่ที่ขั้ว $Y_1$ และ $Y_2$ ซึ่งสามารถหาค่าแรงดันที่ทรานซิสเตอร์ $M_1$ ได้เป็น

$$V_{G2} - V_{G1} = V_{Y1} - V_{Y2} \tag{3.19}$$

โดยกระแสที่ไหลจากทรานซิสเตอร์ $M_1$ นี้ถูกส่งไปยังวงจรสะท้อนกระแสที่คู่ทรานซิสเตอร์ $M_6$ และ $M_7$ ไปยังทรานซิสเตอร์ $M_2$ ดังนั้นจากสมการที่ (3.19) จึงเขียนได้ใหม่เป็น

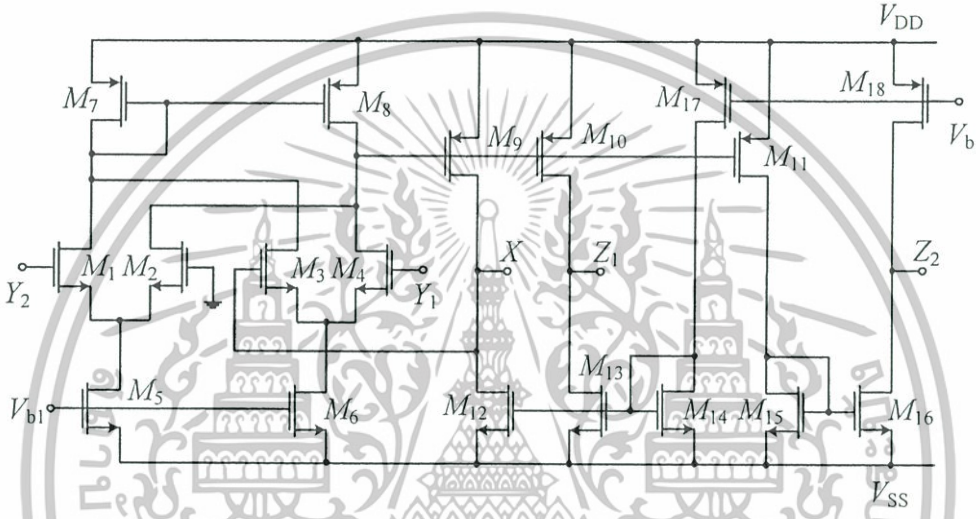
$$V_{G1} - V_{S1} = V_{G2} - V_X \tag{3.20}$$

จากสมการที่ (3.20) เมื่อ $V_{S1} = 0$ ดังนั้นสมการที่ (3.19) จึงเขียนได้ใหม่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_X = V_{Y1} - V_{Y2} \tag{3.21}$$

จากการทำงานในลักษณะที่มีการป้อนกลับแบบลบของทรานซิสเตอร์ $M_3$ โดยมีกระแสไบอัสที่ได้จากทรานซิสเตอร์ $M_{14}$ ซึ่งก็คือกระแสที่ไหลผ่านที่ขั้ว $X$ ด้วย ยกเว้นในกรณีที่มีการเปลี่ยนค่าของแรงดันที่ขั้ว $X$ เมื่อกระแสดังกล่าวจะถูกสะท้อนกระแสไปยังขั้ว $Z_1$ โดยผ่านจากทรานซิสเตอร์ $M_8, M_4$ และ $M_{15}$ การสะท้อนของกระแสที่ได้จากวงจรสะท้อนกระแสนี้จะมีการสะท้อนกระแสไปยังขั้ว $Z_2$ ด้วยเช่นกัน ซึ่งจะทำให้เอาท์พุทของวงจรที่ได้มีค่าเป็น DDCC+ และ DDCC- และเกิดขึ้นพร้อม ๆ กัน




**รูปที่ 3.6** โครงสร้างของวงจร DVCC ที่ใช้ในการวิเคราะห์ค่าพารามิเตอร์ที่เป็นอิสระ

การวิเคราะห์ผลกระทบที่เกิดขึ้นจากค่าพารามิเตอร์ที่เป็นอิสระ สามารถวิเคราะห์ได้จากรูปที่ 3.6 ซึ่งมีการทำงานในลักษณะวงจรสายพานแรงดันแตกต่างที่เกิดขึ้นจากวงจรพื้นฐานของคู่ดิฟเฟอเรนเชียลแพร์จากทรานซิสเตอร์ $M_1, M_2$ และ $M_3, M_4$ โดยมีการสะท้อนกระแสจากวงจรสะท้อนกระแสที่เกิดจากทรานซิสเตอร์ $M_7$ และ $M_8$ ซึ่งมีผลกระทบกับกระแสเดรนของทรานซิสเตอร์ $M_1$ และ $M_3$ และมีค่าเท่ากับผลรวมที่กระแสเดรนของทรานซิสเตอร์ $M_2$ และ $M_4$ ด้วยเช่นกัน ซึ่งสามารถเขียนสมการได้เป็น

$$I_1 - I_2 = I_4 - I_3 \tag{3.22}$$

หรือมีค่าเป็น

$$V_{G1} - V_{G2} = V_{G4} - V_{G3} \tag{3.23}$$

และ

$$V_X = V_{Y1} - V_{Y2} \tag{3.24}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทรานซิสเตอร์ $M_9$ และ $M_{12}$ มีการทำงานในลักษณะป้อนกลับ ทำให้ค่าของแรงดัน $V_X$ มีค่าเป็นอิสระจากกระแสที่ได้จากขั้ว $X$ โดยไม่มีผลกระทบใด ๆ ในการวิเคราะห์สัญญาณขนาดใหญ่ซึ่งสังเกตได้จากสมการที่ (3.24) และกระแสที่ได้จากขั้ว $X$ จะถูกสะท้อนกระแสไปยังขั้ว $Z_1$ จากวงจรสะท้อนกระแสที่เกิดจากทรานซิสเตอร์ $M_9, M_{10}$ และ $M_{12}, M_{13}$ และการสะท้อนของกระแสที่ได้จากวงจรสะท้อนกระแสนี้จะมีผลไปยังขั้ว $Z_2$ ด้วยเช่นกัน

การวิเคราะห์ถึงผลกระทบจากความยาวของแชนแนลมอดูเลทชั่น โดยไม่คิดผลกระทบในค่าอันดับสอง ซึ่งในที่นี้จะวิเคราะห์ค่าแรงดันออฟเซทระหว่างขั้วของ $Y_1, Y_2$ และ $X$ เท่านั้น ซึ่งค่าของแรงดันออฟเซทโดยส่วนใหญ่เกิดจาก ผลกระทบจากความยาวของแชนแนลมอดูเลทชั่น และสามารถชดเชยได้จากค่าอัตราส่วนที่กำหนดให้ทรานซิสเตอร์ (Aspect ratios) ของวงจรนั้น ๆ โดยค่าของกระแสเดรนที่ได้จากทรานซิสเตอร์ชนิดพีมอสและทำงานอยู่ในช่วงอิ่มตัว (Saturation region) สามารถเขียนสมการได้เป็น

$$I_d = \frac{K}{2}\left(V_{SG} - |V_{TP}|\right)^2\left(1 + \lambda V_{SD}\right) \tag{3.25}$$

เมื่อ $K = \mu C_{OX}\dfrac{W}{L}$

และ $\lambda$ คือ ค่าความยาวของแชนแนล (Channel length modulation parameter)

ถึงแม้ว่าวงจรสะท้อนกระแสที่ได้จากทรานซิสเตอร์ $M_7$ และ $M_8$ จะมีค่าเท่ากับแรงดันที่ขาเกทและขาซอร์ส ซึ่งทั้งหมดเป็นการส่งถ่ายกระแสที่ผิดพลาดเนื่องจากแรงดันที่ขาเดรนจะมีค่าที่แตกต่างกัน โดยกระแสที่ไหลในทรานซิสเตอร์ $M_8$ สามารถหาค่าได้จาก

$$I_8 \approx I_7\left[1 + \lambda\left(V_{D7} - V_{D8}\right)\right] \tag{3.26}$$

จากค่าของกระแสในสมการที่ (3.26) เป็นกระแสที่เกิดกับค่าแรงดันที่ขาเดรน ซึ่งก็คือค่าของแรงดันออฟเซทที่เกิดขึ้นที่ขั้ว $X$ โดยทำให้มีค่าเท่ากันกับแรงดันที่ขั้ว $Y$ ค่าแรงดันออฟเซทที่เกิดขึ้นนี้สามารถชดเชยได้จากแรงดันที่ขาเดรนของทรานซิสเตอร์ $M_8$ และ $M_7$ โดยกำหนดให้มีค่าเท่ากันและสามารถเขียนได้ดังสมการที่ (3.27) และ (3.28)

$$V_{G7} = V_{G9} \tag{3.27}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือเขียนใหม่ได้เป็น

$$\frac{K_7}{K_9} = \frac{I_{b1}}{I_b} \tag{3.28}$$

เมื่อ $I_{b1}$ คือ ค่ากระแสไบอัสของทรานซิสเตอร์ $M_5$ และ $I_b$ คือ ค่ากระแสไบอัสของทรานซิสเตอร์ $M_{12}$ และจากสมการที่ (3.28) จะทำให้ค่าแรงดันที่ขาเกทของทรานซิสเตอร์ $M_7$ และ $M_9$ มีค่าเท่ากับค่าแรงดันที่ขั้ว $Y$ และทำให้เกิดค่าแรงดันที่ $V_X$ เป็นอิสระจากจุดต่อร่วมของแรงดันที่ขั้ว $Y$ ซึ่งจะทำให้ค่าแรงดันน้อยลงผิดจากความเป็นจริง ในทำนองเดียวกันค่าความต้านทานที่ขั้ว $X$ คือ $r_X$ สามารถหาค่าได้จากแรงดันที่ขาเกทของทรานซิสเตอร์ $M_9$ โดยวิเคราะห์อยู่ในรูปของแบบจำลองสัญญาณขนาดเล็ก เป็นดังสมการที่ (3.29) และค่าความต้านทานเอาท์พุทที่ขั้ว $Z$ คือ $r_Z$ สามารถเขียนได้ดังสมการที่ (3.30) ตามลำดับ

$$r_X = \frac{g_{d4} + g_{d8}}{g_{m4} g_{m9}} \tag{3.29}$$

เมื่อ $g_d$ และ $g_m$ คือ เดรนคอนดักแตนซ์ และทรานส์คอนดักแตนซ์ ตามลำดับ

$$r_Z = \frac{1}{g_{d10} + g_{d13}} \tag{3.30}$$

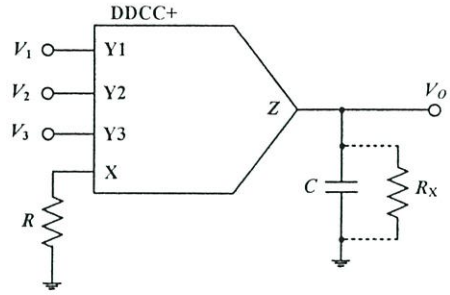
## 3.3 การประยุกต์ใช้งานวงจรสายพานกระแสผลต่างอินพุทแตกต่างที่นำเสนอไว้ในวารสารต่าง ๆ

การประยุกต์ใช้งานของวงจร CCDDCC ส่วนใหญ่มีการประยุกต์ใช้งานที่หลากหลายมากมาย เช่น วงจรคูณสัญญาณ วงจรถอดรากสัญญาณ และวงจรกรองความถี่หลายหน้าที่ หรือวงจรอื่น ๆ เป็นต้น ซึ่งในอดีตได้มีการนำเสนอไว้ในวารสารต่าง ๆ มากมาย ดังที่จะกล่าวต่อไป

### 3.3.1 การประยุกต์ใช้งานของวงจรสายพานกระแสผลต่างอินพุทแตกต่าง

การประยุกต์ใช้งานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างโดยใช้ซีมอส (CMOS differential difference current conveyors: CMOS DDCC) เป็นวงจรประยุกต์ใช้ที่นำเสนอใน [11] โดยมีการออกแบบเป็นวงจรดิฟเฟอเรนเชียลอินทิเกรทเตอร์ (Differential integrator) และวงจรกรองความถี่แบบไบควอดรูปแบบแรงดัน และรูปแบบกระแส (Voltage-mode biquad filter and Current-mode biquad filter) เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



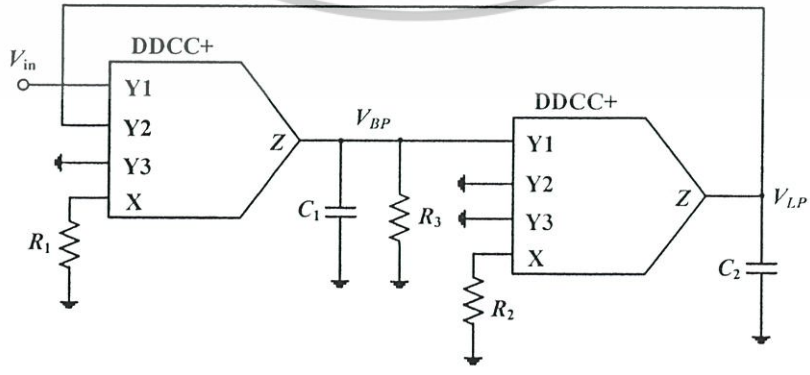

**รูปที่ 3.7** วงจรดิฟเฟอเรนเชียลอินทิเกรทเตอร์ด้วยพื้นฐานของวงจร DDCC [11]

การออกแบบวงจรดิฟเฟอเรนเชียลอินทิเกรทเตอร์ (Differential integrator) จากหลักการของวงจร DDCC โดยส่วนใหญ่วงจรลักษณะนี้จะเป็นส่วนหนึ่งของวงจรกรองความถี่หรือวงจรกำเนิดสัญญาณ สามารถเขียนได้ดังรูปที่ 3.7 แสดงวงจรดิฟเฟอเรนเชียลอินทิเกรทเตอร์แบบไม่สูญเสีย (Lossless differential integrator) อาศัยพื้นฐานของวงจร DDCC เป็นหลัก โดยวงจรจะประกอบด้วย CCDD+ จำนวน 1 ตัว ตัวเก็บประจุแบบต่อกราวด์จำนวน 1 ตัว และตัวต้านทานที่ต่ออยู่ภายนอกจำนวน 1 ตัว (ไม่รวมตัวต้านทาน $R_X$ ) ซึ่งสามารถหาค่าแรงดันเอาท์พุทได้เป็น

$$V_o = \frac{V_1 - V_2 + V_3}{sRC} \tag{3.31}$$

สำหรับในกรณีที่ต้องการให้เป็นวงจรอินทิเกรทเตอร์แบบสูญเสีย (Lossy integrator) สามารถทำได้โดยต่อ $R_X$ ขนานเข้ากับตัวเก็บประจุในวงจรอินทิเกรทเตอร์แบบไม่สูญเสียและสามารถหาค่าแรงดันเอาท์พุทได้เป็น

$$V_o = \frac{1/RC}{s + 1/R_X C}\left(V_1 - V_2 + V_3\right) \tag{3.32}$$




**รูปที่ 3.8** วงจรกรองความถี่รูปแบบแรงดันด้วยพื้นฐานของวงจร DDCCs [11]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบเป็นวงจรกรองความถี่แบบไบควอดรูปแบบแรงดัน (Voltage-mode biqual filter) จากโครงสร้างของวงจร DDCCs ที่มีการต่อคาสเคดกันระหว่างวงจรอินทิเกรทเตอร์แบบสูญเสียและวงจรอินทิเกรทเตอร์แบบไม่สูญเสีย แสดงดังรูปที่ 3.8 โดยมี DDCCs+ จำนวน 2 ตัว ตัวเก็บประจุแบบต่อกราวด์จำนวน 2 ตัว และตัวต้านทานแบบต่อกราวด์จำนวน 3 ตัว ซึ่งสามารถหาค่าสมการส่งผ่านแรงดันของวงจรกรองความถี่แบบที่ต้องการผ่าน (Band-pass filter: $V_{BP}$) และวงจรกรองความถี่ต่ำผ่าน (Low-pass filter: $V_{LP}$) ได้ดังสมการที่ (3.33) และ (3.34) ตามลำดับ

$$\frac{V_{BP}}{V_{in}} = \frac{\frac{s}{R_1 C_1}}{s^2 + s\frac{1}{R_3 C_1} + \frac{1}{R_1 R_2 C_1 C_2}} \tag{3.33}$$

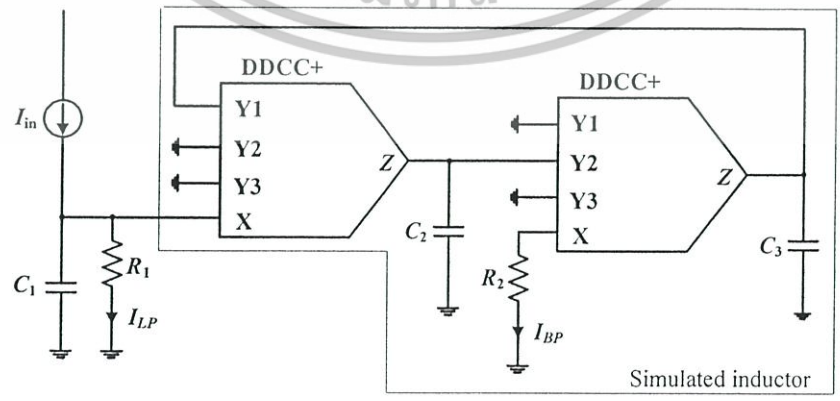
$$\frac{V_{LP}}{V_{in}} = \frac{\frac{1}{R_1 R_2 C_1 C_2}}{s^2 + s\frac{1}{R_3 C_1} + \frac{1}{R_1 R_2 C_1 C_2}} \tag{3.34}$$

และตัวแปรที่เกี่ยวข้อง $\omega_0$ และ $Q$ มีค่าดังสมการที่ (3.35) และ (3.36) ตามลำดับ

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \tag{3.35}$$

และ

$$Q = R_3\sqrt{\frac{C_1}{R_1 R_2 C_2}} \tag{3.36}$$




**รูปที่ 3.9** วงจรกรองความถี่รูปแบบกระแสด้วยอุปกรณ์พื้นฐานของวงจร DDCCs [11]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

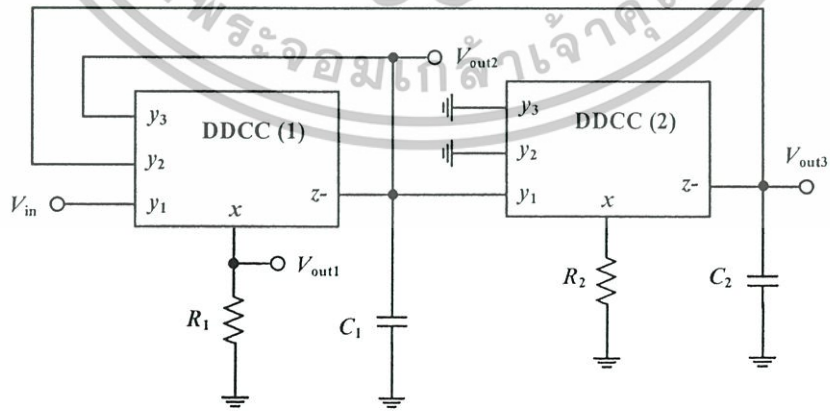
การออกแบบเป็นวงจรกรองความถี่แบบไบควอดรูปแบบกระแส (Current-mode biqual filter) จากโครงสร้างของวงจร DDCCs ที่อาศัยหลักการโดยใช้ตัวต้านทานแบบต่อกราวด์ต่อขนานเข้ากับตัวเก็บประจุแบบต่อกราวด์และวงจร DDCCs+ โดยจำลองเป็นวงจรของตัวเหนี่ยวนำ (Inductor circuit) แสดงได้ดังรูปที่ 3.9 โดยมี DDCCs+ จำนวน 2 ตัว ตัวเก็บประจุแบบต่อกราวด์จำนวน 3 ตัว และตัวต้านทานแบบต่อกราวด์จำนวน 2 ตัว ซึ่งสามารถหาค่าสมการส่งผ่านกระแสของวงจรกรองความถี่แบบที่ต้องการผ่าน (Band-pass filter: $I_{BP}$) และวงจรกรองความถี่ต่ำผ่าน (Low-pass filter: $I_{LP}$) ได้ดังสมการที่ (3.37) และ (3.38) ตามลำดับ

$$\frac{I_{BP}}{I_{in}} = \frac{s\frac{1}{R_2C_2}}{s^2 + s\frac{C_1}{R_2C_2C_3} + \frac{1}{R_1R_2C_2C_3}} \tag{3.37}$$

$$\frac{I_{LP}}{I_{in}} = \frac{\frac{1}{R_1R_2C_2C_3}}{s^2 + s\frac{C_1}{R_2C_2C_3} + \frac{1}{R_1R_2C_2C_3}} \tag{3.38}$$

และตัวแปรที่เกี่ยวข้อง $\omega_0$ และ $Q$ มีค่าเป็น

$$\omega_0 = \frac{1}{\sqrt{R_1R_2C_2C_3}} \quad \text{และ} \quad Q = \frac{1}{C_1}\sqrt{\frac{R_2C_2C_3}{R_1}} \tag{3.39}$$




**รูปที่ 3.10** วงจรกรองความถี่รูปแบบแรงดันอาศัยพื้นฐานของวงจร DDCCs [19]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรกรองความถี่สูงผ่าน วงจรกรองความถี่ที่ต้องการผ่าน และวงจรกรองความถี่ต่ำผ่านรูปแบบแรงดันในวงจรเดียวกัน (Voltage-mode high-pass, band-pass and low-pass filters) [19] ซึ่งออกแบบในลักษณะของวงจรอินทิเกรทเตอร์โดยใช้ DDCCs จำนวน 2 ตัว ตัวเก็บประจุแบบต่อกราวด์จำนวน 2 ตัว และตัวต้านทานแบบต่อกราวด์จำนวน 2 ตัว และอุปกรณ์ที่ใช้มีความสมพงษ์กันแสดงได้ดังรูปที่ 3.10 โดยสามารถหาค่าของสมการส่งผ่านแรงดันจากวงจรกรองความถี่สูงผ่าน $(V_{out1})$ วงจรกรองความถี่ที่ต้องการผ่าน $(V_{out2})$ และวงจรกรองความถี่ต่ำผ่าน $(V_{out3})$ ได้เป็น

$$\frac{V_{out1}}{V_{in}} = \frac{s^2 C_1 C_2}{s^2 C_1 C_2 + sC_2 G_1 + G_1 G_2} \tag{3.40}$$

$$\frac{V_{out2}}{V_{in}} = \frac{-sC_2 G_1}{s^2 C_1 C_2 + sC_2 G_1 + G_1 G_2} \tag{3.41}$$

$$\frac{V_{out3}}{V_{in}} = \frac{G_1 G_2}{s^2 C_1 C_2 + sC_2 G_1 + G_1 G_2} \tag{3.42}$$

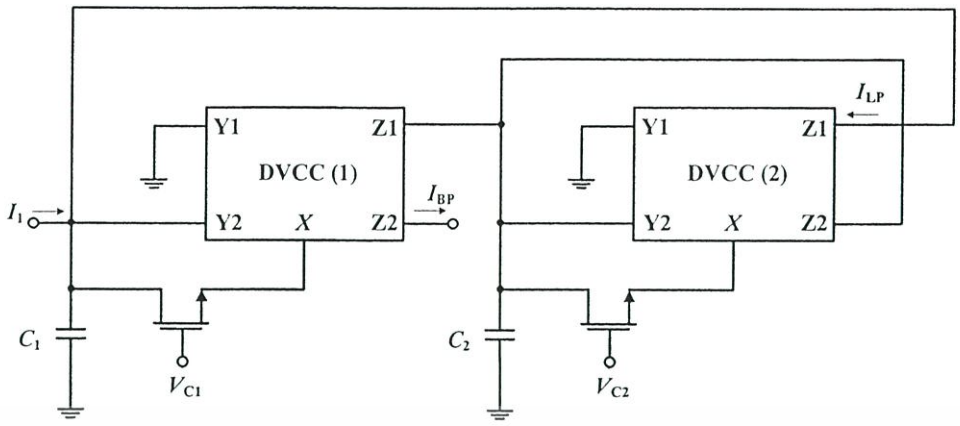
และตัวแปรที่เกี่ยวข้อง $\omega_0$ และ $Q$ มีค่าเป็น

$$\omega_o = \sqrt{\frac{G_1 G_2}{C_1 C_2}} \quad \text{และ} \quad Q = \sqrt{\frac{C_1 G_2}{C_2 G_1}} \tag{3.43}$$

### 3.3.2 การประยุกต์ใช้งานของวงจรสายพานแรงดันผลต่างอินพุทแตกต่าง

การประยุกต์ใช้งานของวงจรสายพานแรงดันผลต่างอินพุทแตกต่างโดยใช้ซีมอส (CMOS differential voltage current conveyors: CMOS DVCC) เป็นวงจรประยุกต์ใช้ที่นำเสนอใน [12] โดยมีการออกแบบเป็นวงจรกรองความถี่ที่ต้องการผ่านรูปแบบกระแส (Current-mode MOSFET-C band-pass filters) แสดงได้ดังรูปที่ 3.11 ซึ่งวงจรถูกออกแบบโดยใช้ DVCCs จำนวน 2 ตัว และมอสเฟสและตัวเก็บประจุแบบต่อกราวด์อีกอย่างละ 2 ตัว และจะให้ผลลัพธ์ของการกรองความถี่ต่ำเพิ่มขึ้นมาด้วย อีกทั้งวงจรที่นำเสนอสามารถปรับค่าคุณสมบัติของวงจรกรองความถี่ที่ต้องการผ่านได้ทางอิเล็กทรอนิกส์ได้อีกด้วย ซึ่งสามารถหาค่าของสมการส่งผ่านกระแสได้จากวงจรกรองความถี่ที่ต้องการผ่าน $(I_{BP})$ และวงจรกรองความถี่ต่ำผ่าน $(I_{LP})$ ดังสมการที่ (3.44) และ (3.45) ได้ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.11 วงจรกรองความถี่รูปแบบกระแสด้วยพื้นฐานของวงจร DVCCs [12]

$$\frac{I_{BP}}{I_i} = \frac{\dfrac{G_1 G_2}{C_1 C_2}}{s^2 + s\dfrac{G_1}{C_1} + \dfrac{G_1 G_2}{C_1 C_2}} \tag{3.44}$$

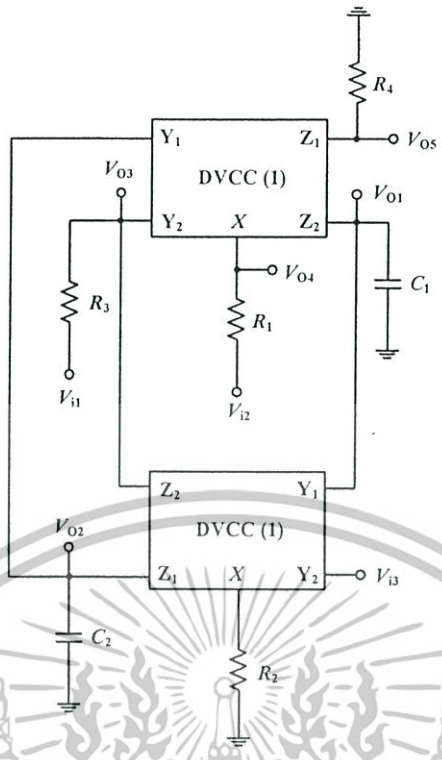
$$\frac{I_{LP}}{I_i} = \frac{s\dfrac{G_1}{C_1}}{s^2 + s\dfrac{G_1}{C_1} + \dfrac{G_1 G_2}{C_1 C_2}} \tag{3.45}$$

เมื่อ $G_1 = 2K_1(V_{C1} - V_T)$ และ $G_2 = 2K_2(V_{C2} - V_T)$ (3.46)

และตัวแปรที่เกี่ยวข้อง $\omega_0$ และ $Q$ มีค่าดังสมการที่ (3.47)

$$\omega_0 = \sqrt{\frac{G_1 G_2}{C_1 C_2}} \quad \text{และ} \quad Q = \sqrt{\frac{C_1 G_2}{C_2 G_1}} \tag{3.47}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 3.12** วงจรกรองความถี่หลายหน้าที่รูปแบบแรงดันด้วยพื้นฐานของวงจร DVCCs [20]

การออกแบบวงจรกรองความถี่อเนกประสงค์แบบหลายหน้าที่ด้วยตัวเก็บประจุต่อกราวด์รูปแบบแรงดันโดยใช้ DVCCS (Versatile universal capacitor-grounded voltage-mode filter using DVCCs) [20] ซึ่งออกแบบในลักษณะของวงจรอินทิเกรทเตอร์โดยใช้ DDCCs จำนวน 2 ตัว ตัวเก็บประจุแบบต่อกราวด์จำนวน 2 ตัว ตัวต้านทานแบบต่อกราวด์จำนวน 2 ตัว และตัวต้านทานอินพุทจำนวน 2 ตัว แสดงได้ดังรูปที่ 3.12 เมื่อกำหนดให้ $G_1 = \frac{1}{R_1}$ , $G_2 = \frac{1}{R_2}$ , $G_3 = \frac{1}{R_3}$ และ $G_4 = \frac{1}{R_4}$ ซึ่งหาค่าสมการส่งผ่านแรงดันเอาท์พุทของวงจรได้ดังสมการที่ (3.48) – (3.52)

$$V_{o1} = \frac{1}{\Delta}\left[\left(sC_2G_1G_3\right)V_{i1} + \left(sC_2G_1G_3\right)V_{i2} + \left(sC_2G_1G_2 + G_1G_2G_3\right)V_{i3}\right] \tag{3.48}$$

$$V_{o2} = \frac{1}{\Delta}\left[\left(G_1G_2G_3\right)V_{i1} + \left(G_1G_2G_3\right)V_{i2} - \left(sC_1G_2G_3\right)V_{i3}\right] \tag{3.49}$$

$$V_{o3} = \frac{1}{\Delta}\left[\left(s^2C_1C_2G_3 + G_1G_2G_3\right)V_{i1} - \left(sC_2G_1G_2\right)V_{i2} + \left(s^2C_1C_2G_2\right)V_{i3}\right] \tag{3.50}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{o4} = \frac{1}{\Delta}\left[-\left(s^2C_1C_2G_3\right)V_{i1} + \left(sC_2G_1G_2 + G_1G_2G_3\right)V_{i2} - \left(s^2C_1C_2G_2 + sC_1G_2G_3\right)V_{i3}\right] \tag{3.51}$$

$$V_{o5} = \frac{1}{\Delta}\left(\frac{G_1}{G_4}\right)\left[-\left(s^2C_1C_2G_3\right)V_{i1} - \left(s^2C_1C_2G_3\right)V_{i2} - \left(s^2C_1C_2G_2 + sC_1G_2G_3\right)V_{i3}\right] \tag{3.52}$$

เมื่อ $\Delta = s^2C_1C_2G_3 + sC_2G_1G_2 + G_1G_2G_3$

จากสมการที่ (3.48) – (3.52) สำหรับในกรณีของสมการส่งผ่านแรงดันเอาท์พุทของวงจรที่ขึ้นอยู่กับค่าแรงดันที่อินพุททั้งสาม $\left(V_{i1}, V_{i2} \text{ และ } V_{i3}\right)$ นั้น สามารถเขียนค่าของสมการส่งผ่านแรงดันเอาท์พุททั้งห้าแบบได้ใหม่โดยมีเงื่อนไขดังต่อไปนี้

1) กรณี $V_{i2} = V_{i3} = 0$ และ $V_{i1} = V_{in}$ ดังนั้นสมการเอาท์พุททั้งห้าแบบมีค่าเป็น

$$\frac{V_{o1}}{V_{in}} = \frac{1}{\Delta}\left(sC_2G_1G_3\right) \tag{3.53}$$

$$\frac{V_{o2}}{V_{in}} = \frac{1}{\Delta}\left(G_1G_2G_3\right) \tag{3.54}$$

$$\frac{V_{o3}}{V_{in}} = \frac{1}{\Delta}\left(s^2C_1C_2G_3 + G_1G_2G_3\right) \tag{3.55}$$

$$\frac{V_{o4}}{V_{in}} = \frac{1}{\Delta}\left(-s^2C_1C_2G_3\right) \tag{3.56}$$

$$\frac{V_{o5}}{V_{in}} = \frac{1}{\Delta}\left[-\left(\frac{G_1}{G_4}\right)\left(s^2C_1C_2G_3\right)\right] \tag{3.57}$$

เมื่อ $\Delta = s^2C_1C_2G_3 + sC_2G_1G_2 + G_1G_2G_3$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.53) – (3.57) ค่าความถี่ตอบสนองของวงจรกรองแบบที่ต้องการผ่าน (BP) หาค่าได้จาก $(V_{o1})$ ค่าความถี่ตอบสนองของวงจรกรองความถี่ต่ำผ่าน (LP) หาค่าได้จาก $(V_{o2})$ ค่าความถี่ตอบสนองของวงจรกรองความถี่ที่ต้องการออก (BR) หาค่าได้จาก $(V_{o3})$ และค่าความถี่ตอบสนองของวงจรกรองความถี่สูงผ่าน (HP) หาค่าได้จาก $(V_{o4})$ และ $(V_{o5})$ ตามลำดับและถ้ากำหนดให้ $V_{i3} = 0$ และ $V_{i1} = V_{i2} = V_{in}$ ดังนั้นค่าความถี่ตอบสนองของวงจรกรองผ่านทุกความถี่ (AP) สามารถหาค่าได้จาก$(V_{o3})$ โดยมีสมการเป็น

$$\frac{V_{o3}}{V_{in}} = \frac{s^2C_1C_2G_3 - sC_2G_1G_2 + G_1G_2G_3}{s^2C_1C_2G_3 + sC_2G_1G_2 + G_1G_2G_3} \tag{3.58}$$

จากสมการที่ (3.53) – (3.58) ค่าเกนของวงจรกรองความถี่หลายหน้าที่รูปแบบแรงดันที่นำเสนอใน [20] นี้มีค่าเป็น

$$H_{BP} = \frac{G_3}{G_2},\ H_{LP} = H_{BR} = 1,\ H_{HP1} = -1,\ H_{HP2} = -\frac{G_1}{G_4} \text{ และ } H_{AP} = 1 \tag{3.59}$$

2) กรณีที่มีวิเคราะห์จากสมการที่ (3.49) และ (3.50) โดยดูจากในเทอมของเศษและส่วน ดังนั้นเงื่อนไขของการเกิดเป็นวงรกรองความถี่ทั้งห้ารูปแบบสามารถกำหนดได้ดังนี้

- กรณีที่เป็นวงจร LP : $V_{i3} = 0$ , $V_{i1} = V_{in}$ หรือ $V_{i2} = V_{in}$ และ $V_{out} = V_{o2}$
- กรณีที่เป็นวงจร BP : $V_{i1} = V_{i3} = 0$ , $V_{i2} = V_{in}$ และ $V_{out} = V_{o3}$
- กรณีที่เป็นวงจร HP : $V_{i1} = V_{i2} = 0$ , $V_{i3} = V_{in}$ และ $V_{out} = V_{o3}$
- กรณีที่เป็นวงจร BR : $V_{i2} = V_{i3} = 0$ , $V_{i1} = V_{in}$ และ $V_{out} = V_{o3}$
- กรณีที่เป็นวงจร HP : $V_{i3} = 0$ , $V_{i1} = V_{i2} = V_{in}$ และ $V_{out} = V_{o3}$

และตัวแปรที่เกี่ยวข้อง $\omega_0$ และ $Q$ มีค่าเป็น

$$\omega_0 = \sqrt{\frac{G_1G_2}{C_1C_2}} \quad \text{และ} \quad Q = G_3\sqrt{\frac{C_1}{C_2G_1G_2}} \tag{3.60}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3.4 บทสรุป

เนื้อหาในบทนี้ได้กล่าวถึงหลักการทำงานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอไว้ในวิทยานิพนธ์ฉบับนี้ว่ามีส่วนคล้ายกับวงจรสายพานกระแสผลต่างอินพุทแตกต่าง (DDCC) และวงจรสายพานกระแสผลต่างแรงดันอินพุท (DVCC) ที่ออกแบบจากหลักการของวงจรขยายผลต่างแรงดันอินพุทแตกต่าง (DDA) นอกจากนี้ยังได้มีการนำเสนอไว้ในวารสารต่าง ๆ ซึ่งได้แก่ วงจรขยายผลต่างแรงดันอินพุทแตกต่างโดยใช้ออปแอมป์ วงจรสายพานกระแสผลต่างอินพุทแตกต่างที่ออกแบบจากวงจรขยายผลต่างแรงดันอินพุทแตกต่างที่ต่อคาสเดค กับวงจรสายพานกระแส โดยให้ผลตอบสนองเป็นได้ทั้งบวกและลบ และวงจรสายพานกระแสผลต่างแรงดันอินพุทที่ใช้ซีมอส อีกทั้งยังได้เคยมีการนำเสนอวงจรต่าง ๆ ที่กล่าวมาโดยการนำไปประยุกต์ใช้งาน เช่น การออกแบบวงจรสายพานกระแสผลต่างอินพุทแตกต่างและวงจรสายพานกระแสผลต่างแรงดันอินพุท เป็นวงจรดิฟเฟอเรนเชียลอินทิเกรทเตอร์ที่เป็นโครงสร้างของวงจรกรองความถี่และกรองความถี่หลายหน้าที่ ที่อยู่ในรูปแบบแรงดันและกระแส โดยวงจรที่เคยมีการนำเสนอมาทั้งหมดรวมถึงการประยุกต์ใช้งาน พบว่าการออกแบบวงจรต้องอาศัยอุปกรณ์พาสซีฟ เช่น ตัวต้านทานจากภายนอกมีทั้งแบบลอยตัวและแบบต่อกราวด์มาเป็นส่วนประกอบของวงจรอย่างน้อย 1 ถึง 4 ตัว และจากการที่ต้องใช้ตัวต้านทานจากภายนอกมาประกอบทำให้วงจรต่าง ๆ เหล่านี้มักจะไม่มีความเสถียรสำหรับการใช้งานในย่านความถี่สูง ทำให้วงจรมีขนาดใหญ่ มีการใช้พลังงานสูง จึงทำให้ไม่มีความเหมาะสมในการออกแบบสำหรับสร้างเป็นวงจรรวม ซึ่งจะต่างกับวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอไว้ในวิทยานิพนธ์นี้ โดยวงจรที่นำเสนอถูกออกแบบให้มีตัวต้านทานแฝงอยู่ภายใน และสามารถปรับค่าความต้านทานได้โดยปรับจากค่ากระแสไบอัสของวงจร ทำให้วงจรที่นำเสนอในวิทยานิพนธ์นี้มีความแตกต่างจากวงจรที่เคยนำเสนอมาในอดีต อีกทั้งมีการประยุกต์ใช้งานเป็น 2 วงจร คือ วงจรคูณค่าความจุแบบลอยตัวปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้ตัวเก็บประจุแบบต่อกราวด์ และวงจรกรองความถี่หลายหน้าที่รูปแบบกระแส โดยวงจรที่นำเสนอมีโครงสร้างที่ไม่ซับซ้อนออกแบบด้วยเทคโนโลยีซีมอส จึงมีความเหมาะสมกับการสร้างเป็นวงจรรวมได้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส

ในบทนี้จะกล่าวถึง วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอในวิทยานิพนธ์ ซึ่งประกอบด้วย บทนำ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอ การวิเคราะห์คุณสมบัติของวงจร การจำลองการทำงาน และบทสรุป

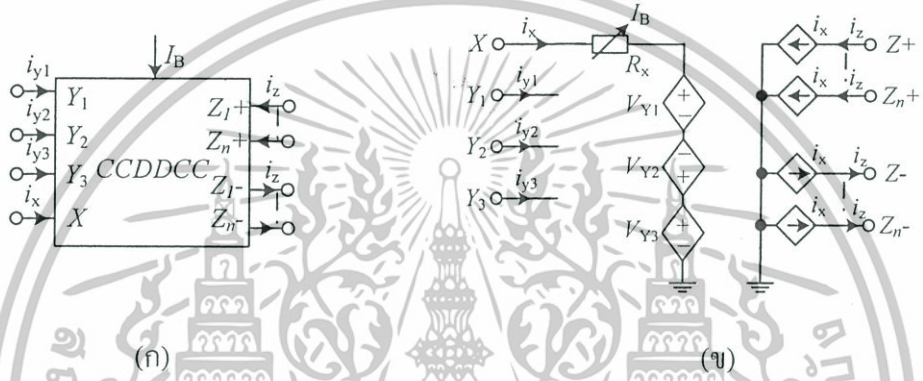
## 4.1 บทนำ

วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส (Current-Controlled Differential Difference Current Conveyor: CCDDCC) โดยส่วนใหญ่มีลักษณะการทำงานคล้ายกับวงจรสายพานกระแสผลต่างอินพุทแตกต่าง (Differential difference current conveyor: DDCC) และวงจรสายพานกระแสผลต่างแรงดันอินพุท (Differential voltage current conveyors: DVCC) แต่มีข้อที่แตกต่างกันกับวงจรทั้งตรงที่จำนวนอินพุทขั้ว $Y$ โดยวงจร CCDDCC จะมีอินพุทขั้ว $Y$ จำนวน 3 อินพุท ส่วนในวงจร DVCC และ DDCC จะมีอินพุทขั้ว $Y$ เพียง 2 อินพุทเท่านั้น และวงจรทั้งสามจะมีคุณลักษณะสมบัติที่เหมือนกันในทางอุดมคติ คือ อินพุทและเอาท์พุทอิมพีแดนซ์ที่สูงมาก จากที่กล่าวมาวงจร DDCCs และวงจร DVCCs ในอดีตส่วนใหญ่ [1-5], [11-23] เป็นการออกแบบวงจรที่ต้องอาศัยค่าความต้านทานจากภายนอกต่อเป็นอุปกรณ์หลัก อีกทั้งยังไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ ในการประยุกต์ใช้งาน [24-25] เป็นการออกแบบวงจรกรองความถี่รูปแบบกระแสจากวงจร CCIIs ที่ต่อวงจรในลักษณะของวงจร CFA (Current feedback amplifier) ยังคงใช้ตัวต้านทานภายนอกต่อร่วมอยู่และยังไม่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ด้วยเช่นกัน แม้กระทั่งในบางวงจรก็ยังมีการใช้ตัวต้านทานแบบลอยตัวอีกด้วย โดยหลักการที่ใช้ในวิทยานิพนธ์นี้ได้นำเสนออุปกรณ์แอคทีฟ CCDDCCs แบบใหม่ โดยวงจรที่นำเสนอถูกออกแบบให้มีค่าความต้านทานแฝงอยู่ที่ขั้ว $X$ และสามารถปรับค่าความต้านทานได้จากการปรับค่ากระแสไบอัสของ CCDDCCs โดยไม่ใช้ค่าความต้านทานจากภายนอกใด ๆ เหมือนกับวงจรในอดีตที่เคยนำเสนอและการประยุกต์ใช้งาน ดังที่จะกล่าวต่อไป ซึ่งคุณสมบัติและประสิทธิภาพของวงจรที่นำเสนอถูกจำลองการทำงานด้วยโปรแกรม PSpice อีกทั้งมีการประยุกต์ใช้งานเป็น 2 วงจร คือ วงจรคูณค่าความจุแบบลอยตัวปรับค่าได้ทางอิเล็กทรอนิกส์โดยใช้ตัวเก็บประจุแบบต่อกราวด์ และวงจรกรองความถี่หลายหน้าที่รูปแบบกระแส เมื่อวงจรที่นำเสนอมีโครงสร้างที่ไม่ซับซ้อนถูกออกแบบด้วยเทคโนโลยีซีมอส จึงทำให้มีความเหมาะสมกับการนำไปสร้างเป็นวงจรรวมได้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.2 วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอ

หลักการพื้นฐานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบพื้นฐานที่ใช้ในวิทยานิพนธ์ แสดงได้ดังรูปที่ 4.1 ประกอบด้วยอินพุทขั้ว $Y$ จำนวน 3 อินพุท คือ $Y_1, Y_2$ และ $Y_3$ โดยที่ขั้ว $X$ จะมีความต้านทานแฝง คือ $R_X$ โดยสามารถปรับค่าความต้านทานของ $R_X$ ได้ด้วยจากการปรับค่ากระแสไบอัส $(I_B)$ ส่วนที่ขั้ว $Z$ จะเป็นขั้วกระแสเอาท์พุทที่มีค่าอิมพีแดนซ์ที่สูงในทางอุดมคติ ความสัมพันธ์ของอินพุททั้งสามของวงจร CCDDCC ในลักษณะของเมทริกซ์สามารถแสดงได้ดังสมการที่ (4.1)



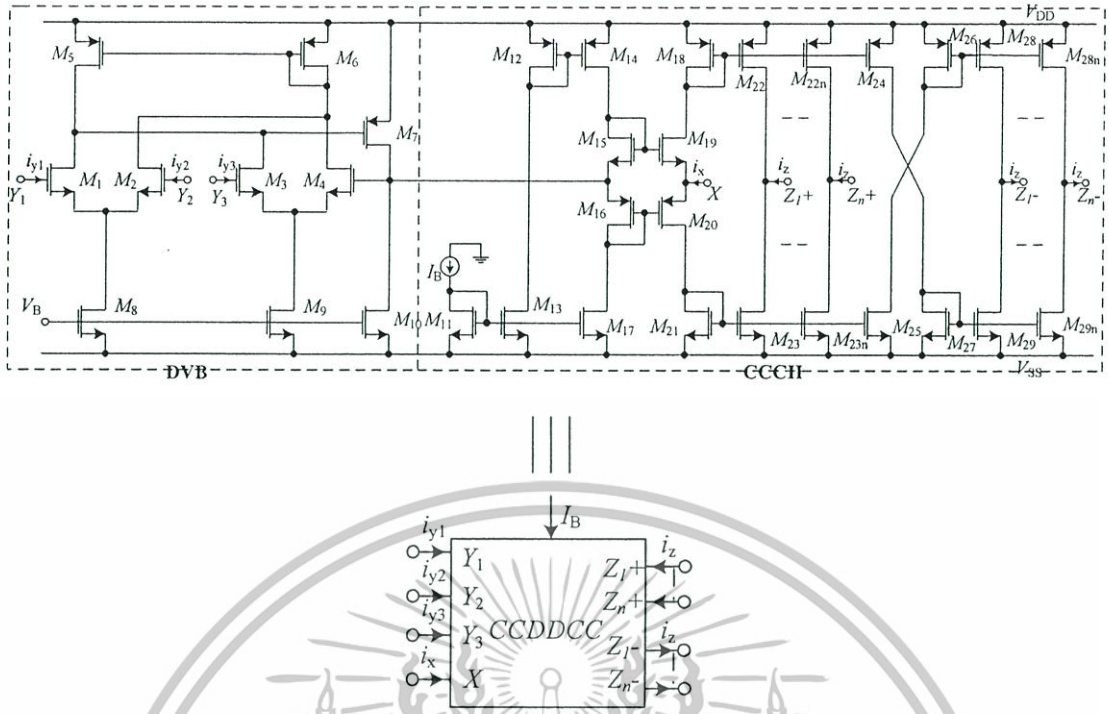

(ก) (ข)

**รูปที่ 4.1** วงจร CCDDCC แบบพื้นฐาน (ก) สัญลักษณ์ (ข) วงจรสมมูลย์

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_Z \end{bmatrix} = \begin{bmatrix} R_X & 1 & -1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ \pm 1 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ V_Z \end{bmatrix} \tag{4.1}$$

จากหลักการพื้นฐานของ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส CCDDCC) ที่นำเสนอ โดยถูกออกแบบให้มีค่าความต้านทานแฝงอยู่ที่ขั้ว $X$ และสามารถปรับค่าความต้านทานได้จากการปรับค่ากระแสไบอัสของวงจร CCDDCC โดยไม่ใช้ค่าความต้านทานจากภายนอกดังที่กล่าวมา วงจร CCDDCC ที่นำเสนอนี้ประกอบด้วย วงจร CMOS DVB (CMOS differential voltage buffer) ที่ต่อคาสเคดกับวงจร CMOS CCCII (Second-generation CMOS current-controlled current conveyor) โดยการนำเอาแรงดันเอาท์พุทที่ขั้ว $X'$ ของวงจร DVB ที่มีความต้านทานเอาท์พุทค่อนข้างต่ำมาต่อเข้ากับแรงดันอินพุทที่ขั้ว $Y$ ของวงจร CCCII ที่มีความต้านทานอินพุทสูงมาก สามารถแสดงวงจร CCDDCC ที่นำเสนอในวิทยานิพนธ์ได้ดังรูปที่ 4.2

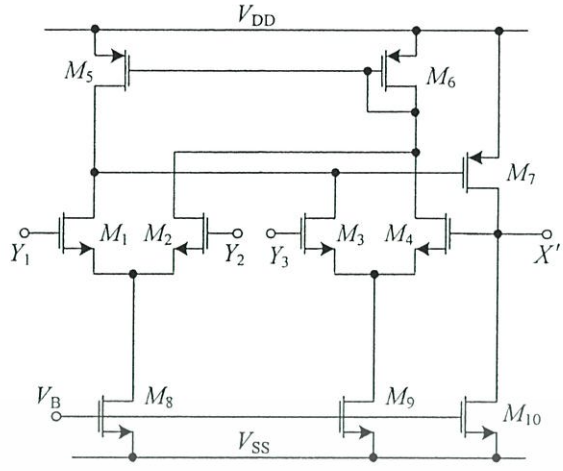
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 4.2** วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส (CCDDCC) ที่นำเสนอ

จากรูปที่ 4.2 โครงสร้างของวงจร CCDDCC ที่นำเสนอประกอบด้วยวงจรย่อยแรกได้แก่ วงจรกันชนรูปแบบแรงดันแตกต่างแบบซีมอส (CMOS Differential voltage buffer: DVB) แสดงได้ดังรูปที่ 4.3 โดยโครงสร้างของวงจรจะมีลักษณะคล้ายกับวงจร DDA (Differential difference amplifier) [26] ซึ่งวงจร DVB นี้จะมีค่าทรานคอนดักแตนซ์ที่อินพุทแตกต่างกันอยู่สองชุดซึ่งประกอบด้วยทรานซิสเตอร์ $M_1, M_2$ และ $M_3, M_4$ โดยในอินพุทแต่ละชุดจะมีค่าเกนที่สูง ซึ่งถูกสร้างมาจากวงจรสะท้อนกระแสที่ประกอบด้วยทรานซิสเตอร์ $M_5$ และ $M_6$ โดยจะทำการเปลี่ยนแปลงกระแสที่ได้ให้มีความแตกต่างกัน และส่งผลไปยังกระแสเอาท์พุทของทรานซิสเตอร์ $M_7$ โดยค่าความสัมพันธ์ของแรงดันเอาท์พุทและแรงดันอินพุทมีค่าเป็นดังสมการที่ 4.2

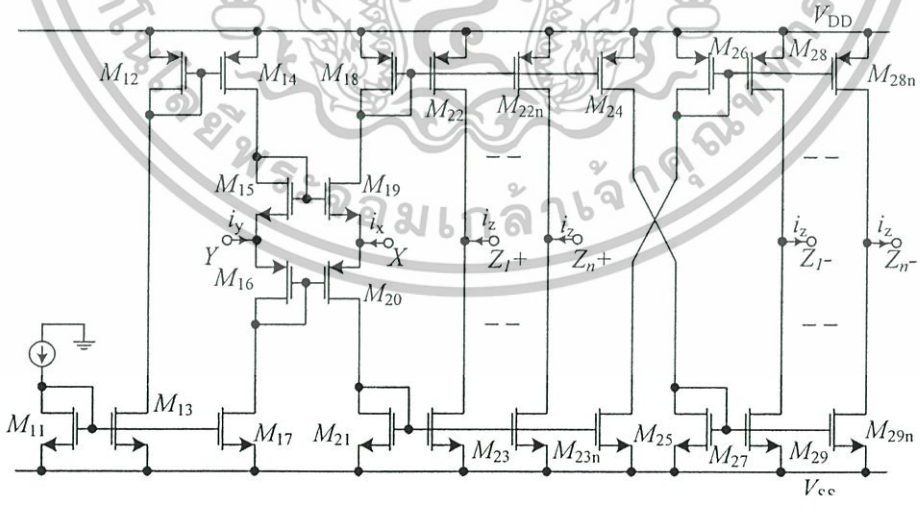
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 4.3** วงจรกันชนรูปแบบแรงดันแตกต่างแบบซีมอส (CMOS DVB)

$$V_{X'} = V_{Y1} - V_{Y2} + V_{Y3} \tag{4.2}$$

จากรูปที่ 4.2 โครงสร้างของวงจร CCDDCC ที่นำเสนอประกอบด้วยวงจรย่อยที่สอง คือ วงจรสายพานกระแสควบคุมด้วยกระแส (Second generation current - controlled current conveyor: CCCII) ที่นำเสนอแสดงได้ดังรูปที่ 4.4 โดยวงจรถูกออกแบบให้มี 3 ขั้ว คือ $X$ , $Y$ และ $Z$ และสามารถหาค่าสมการความสัมพันธ์ของกระแสและแรงดันที่ขั้วทั้งสามได้ดังสมการที่ (4.3) – (4.5) ตามลำดับ




**รูปที่ 4.4** วงจรสายพานกระแสควบคุมด้วยกระแส (CMOS CCCII)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_y = 0 \tag{4.3}$$

$$v_x = v_y + i_x R_x \tag{4.4}$$

$$i_z = \pm i_x \tag{4.5}$$

โดยกระแสเอาท์พุทของ $i_z$ ประกอบด้วยกระแสเอาท์พุททางด้านบวก $\left(i_z^+\right)$ และกระแสเอาท์พุททางด้านลบ $\left(i_z^-\right)$ ซึ่งสามารถเขียนแทนได้ด้วย (CCCII+) และ (CCCII-) ตามลำดับ ส่วนในค่าของ $R_X$ ซึ่งเป็นค่าความต้านทานแฝงที่ขั้ว $X$ ของ CCCII และจากรูปที่ 4.4 เป็นวงจรสายพานกระแสปรับค่าได้ด้วยกระแสชนิดหลายเอาท์พุทแบบซีมอส (CMOS multiple output CCCII) [7] สามารถหาค่าความต้านทานแฝงภายในที่ขั้ว $X$ โดยมีค่าดังสมการที่ (4.6)

$$R_X \approx \frac{1}{g_{m19} + g_{m20}} \tag{4.6}$$

เมื่อ $g_{mi}$ คือ ทรานสคอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ $i$ โดยสมมติให้ทรานซิสเตอร์ $M_{19}$ และ $M_{20}$ มีค่าเท่ากัน คือ $g_{m19} = g_{m20}$ ดังนั้นค่า $R_X$ ใหม่ที่ได้มีค่าดังสมการที่ (4.7)

$$R_X \approx \frac{1}{\sqrt{8\mu C_{OX}(W/L)I_B}} \tag{4.7}$$

โดยที่ $\mu$, $C_{OX}$, $W$ และ $L$ คือ ค่าความคล่องตัวของพื้นผิว ออกไซด์แชนแนล ความกว้างและความยาวของแชนแนล ของทรานซิสเตอร์ $M_{19}$ และ $M_{20}$ ตามลำดับ ดังนั้นค่าของ $R_X$ สามารถปรับค่าได้ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัสที่ $I_B$ ดังกล่าว

## 4.3 การวิเคราะห์คุณสมบัติของวงจร

เพื่อให้ทราบถึงขีดความสามารถและข้อจำกัดของวงจรที่นำเสนอ ว่ามีประสิทธิภาพและสมรรถนะในการใช้งานมากน้อยเพียงใด ในส่วนนี้จึงได้ทำการวิเคราะห์คุณสมบัติของวงจรเพื่อศึกษาผลกระทบที่เกิดขึ้นจากความไม่เป็นอุดมคติ ในวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสและรวมถึงวงจรย่อยต่าง ๆ ที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.3.1 การวิเคราะห์คุณสมบัติของวงจรกันชนรูปแบบแรงดันแตกต่าง

จากรูปที่ 4.3 สมมติให้ค่ากระแสที่ได้จากวงจรสะท้อนกระแสมีค่าเป็นหนึ่งและให้ค่าของทรานซิสเตอร์ทุกตัวมีความสมพงษ์กัน แต่ในทางปฏิบัติอาจจะมีข้อแตกต่างกันในส่วนของความไม่เป็นอุดมคติของค่าพารามิเตอร์สำคัญ ๆ ที่ต้องพิจารณา เช่น ค่า ทรานส์คอนดักแตนซ์ $(g)$ ของทรานซิสเตอร์หรือความไม่สมพงษ์กันของทรานซิสเตอร์ เป็นต้น จากความสัมพันธ์กันระหว่างแรงดัน $V_{Y1}, V_{Y2}, V_{Y3}$ และ $V_{X'}$ สามารถพิจารณาโดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กของทรานซิสเตอร์ในรูปที่ 4.3 โดยวิเคราะห์จากวงจรสมมูลย์ที่โหนดต่าง ๆ และไม่คิดค่าบอดี้เอฟเฟคของทรานซิสเตอร์และมีค่าอินพุทของวงจรดิฟเฟอเรนเชียลแพร์เท่ากันทุกประการ ดังนั้นจากสมการที่ (4.2) สามารถวิเคราะห์ใหม่ได้เป็น

$$V_{X'} \approx \beta_{y1} V_{Y1} - \beta_{y2} V_{Y2} + \beta_{y3} V_{Y3} \tag{4.8}$$

$$\beta_{y1} \approx \frac{g_{m7} g_{m1} \left( g_{m6} + g_{d2} + g_{d4} + g_{d6} \right)}{g_{m4} g_{m5} g_{m7} + g_{m6} g_{d7} \left( g_{d1} + g_{d3} + g_{d5} \right)} \tag{4.9}$$

$$\beta_{y2} \approx \frac{g_{m2} g_{m5} g_{m7}}{g_{m4} g_{m5} g_{m7} + g_{m6} g_{d7} \left( g_{d1} + g_{d3} + g_{d5} \right)} \tag{4.10}$$

$$\beta_{y3} \approx \frac{g_{m3} g_{m7} \left( g_{m6} + g_{d2} + g_{d4} + g_{d6} \right)}{g_{m4} g_{m5} g_{m7} + g_{m6} g_{d7} \left( g_{d1} + g_{d3} + g_{d5} \right)} \tag{4.11}$$

เมื่อ $g_{di}$ และ $g_{mi}$ คือ ค่าความนำที่ขาเดรนและค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ $M_i$ ตามลำดับ ในส่วนของ $\beta_{jk}$ คือ การส่งถ่ายแรงดันจากขั้ว $Y_j$ ไปยังที่ขั้ว $X'$ ถ้ากรณีที่ไม่มีแรงดันอินพุทที่ขั้ว $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ จะทำให้เกิดการเปลี่ยนแปลงของแรงดันขึ้นที่ขั้ว $X'$ เมื่อค่าของ $g_{mi} >> g_{di}$ ในทำนองเดียวกันการกำหนดค่าแรงดันให้มีค่าเข้าใกล้ศูนย์ โดยที่อินพุทของ $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ จะเกิดผลกระทบกับเอาท์พุทอิมพีแดนซ์ที่ขั้ว $X'$ โดยสามารถหาค่าเอาท์พุทอิมพีแดนซ์ของขั้ว $X'$ คือ $\left(r_{X'}\right)$ ได้ดังสมการที่ (4.12) และจากคุณสมบัติของแรงดันเอาท์พุท $V_{X'}$ ที่ขั้ว $X'$ ยังสามารถประยุกต์หาค่าของกระแส $I_{X'}$ ได้เช่นกันและโดยในบางครั้งสามารถตัดค่าความต้านทานเอาท์พุทที่ขั้ว $X'$ ทิ้งได้เมื่อมีค่าน้อยมากหรือเมื่อค่าของ $g_{mi} >> g_{di}$

$$r_{x'} \approx \frac{g_{m6} \left( g_{d1} + g_{d3} + g_{d5} \right)}{g_{m4} g_{m5} g_{m7} + g_{m6} g_{d7} \left( g_{d1} + g_{d5} + g_{d3} \right)} \tag{4.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.3.2 การวิเคราะห์คุณสมบัติของวงจรสายพานกระแสควบคุมด้วยกระแส

จากความสัมพันธ์ระหว่างการส่งผ่านแรงดันจากขั้ว $V_Y$ ไปยัง $V_X$ ของวงจรในรูปที่ 4.4 สามารถหาความสัมพันธ์ดังกล่าวได้จากแรงดันที่ขั้ว $X$ ขณะไม่มีโหลด ซึ่งทำการวิเคราะห์โดยใช้วงจรเสมือนสัญญาณขนาดเล็ก จากวิเคราะห์ในวงจรสมมูลย์ของทรานซิสเตอร์ในวงจรของรูปที่ 4.4 และสามารถแสดงความสัมพันธ์ระหว่างขั้ว $V_Y$ และ $V_X$ ได้ดังสมการที่ (4.13)

$$\frac{V_X}{V_Y} = \beta_A \approx \frac{A}{A+B} \tag{4.13}$$

เมื่อ $A \approx g_{m18}g_{m21}\left(g_{m19}+g_{m20}\right)+g_{m18}g_{m19}\left(g_{d20}+g_{d21}\right)$,

$B \approx g_{m18}g_{m21}\left(g_{d19}+g_{d20}\right)$

และ $$\frac{I_Z}{I_X} = \alpha \approx \frac{-\left[g_{m20}g_{m23}\left(g_{m18}+g_{d18}+g_{d19}\right)+g_{m22}\left(g_{m19}g_{m21}+g_{d19}g_{m21}+g_{m19}g_{d20}\right)\right]}{C} \tag{4.14}$$

โดยที่ $C \approx g_{m20}g_{m21}\left(g_{m18}+g_{d18}+g_{d19}\right)+g_{m18}\left(g_{m19}g_{m21}+g_{d19}g_{m21}+g_{m19}g_{d20}\right.$

$\left.+g_{d20}g_{m21}+g_{m19}g_{d21}\right)+g_{m18}g_{m20}g_{d21}+g_{m19}g_{m21}g_{d18}$

ถ้าค่าของ $g_{mi} >> g_{di}$ แล้วจะทำให้ค่าของ $g_{m21} = g_{m23}$ และ $g_{m18} = g_{m22}$ ดังนั้นที่แรงดันขั้ว $X$ และกระแสที่ขั้ว $Z$ จะมีค่าของแรงดันและกระแสเป็น $V_X = V_Y$ และ $I_Z = I_X$ ด้วยเช่นกัน

### 4.3.3 การวิเคราะห์คุณสมบัติของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส

โดยส่วนใหญ่การวิเคราะห์วงจร CCDDCC จะเป็นการวิเคราะห์ในทางอุดมคติ ซึ่งความเป็นจริงในทางปฏิบัติเมื่อนำวงจร DVB และวงจร CCCII มาต่อคาสเคดกันเพื่อให้ทำงานเป็นวงจร CCDDCC ดังรูปที่ 4.2 จะเกิดความผิดพลาดในการส่งผ่านแรงดันจากขั้ว $Y$ ไปขั้ว $X$ ของวงจรซึ่งมีค่าเป็น $\beta_i = \beta_A\beta_{yi}$ และเกิดความผิดพลาดในการส่งผ่านกระแสจากขั้ว $Z$ ไปขั้ว $X$ ของวงจรซึ่งมีค่าเป็น $\pm\alpha$ เช่นเดียวกัน ดังนั้นถ้ารวมเอาค่าพารามิเตอร์ที่ไม่เป็นอุดมคติของวงจร CCDDCC ที่ประกอบขึ้นจากวงจร DVB และ CCCII ไว้ในการวิเคราะห์ โดยสามารถเขียนสมการเมทริกซ์จากสมการที่ (4.1) ได้ใหม่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_Z \end{bmatrix} = \begin{bmatrix} R_X & \beta_1(s) & -\beta_2(s) & \beta_3(s) & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ \pm\alpha(s) & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ V_Z \end{bmatrix} \tag{4.15}$$

จากสมการที่ (4.15) เมื่อพิจารณาความสัมพันธ์ในเทอมของแรงดันและกระแส สามารถเขียนสมการใหม่ได้เป็น

$$V_X = \beta_{1k}(s)V_{Y1} + \beta_{2k}(s)V_{Y2} + \beta_{3k}(s)V_{Y3} + I_X R_X \tag{4.16}$$

โดยที่

$$I_{Y1} = I_{Y2} = 0 \tag{4.17}$$

และ

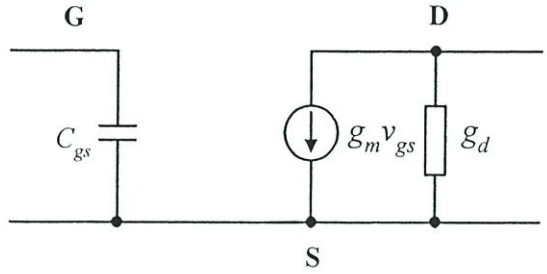
$$I_Z = \pm\alpha_{jk}(s)I_X \tag{4.18}$$

โดยที่ $\beta_{jk}$ คือ อัตราการส่งผ่านแรงดันจากที่ขั้ว $Y_j$ ไปที่ขั้ว $X$ ของวงจร CCDDCCs ตัวที่ $k$ ซึ่ง $\beta_{jk} = 1 - \varepsilon_{jk}$ และ $\varepsilon_{jk}\left(\left|\varepsilon_{jk}\right| << 1\right)$ แสดงค่า Voltage tracking error จากที่ขั้ว $Y$ ไปที่ขั้ว $X$ ตัวที่ $k$ ส่วน $\alpha_{jk} = 1 - \delta_{jk}$ และ $\delta_{jk}\left(\left|\delta_{jk}\right| << 1\right)$ แสดงค่า Current tracking error จากที่ขั้ว $X$ ไปที่ขั้ว $Z$ ตัวที่ $k$

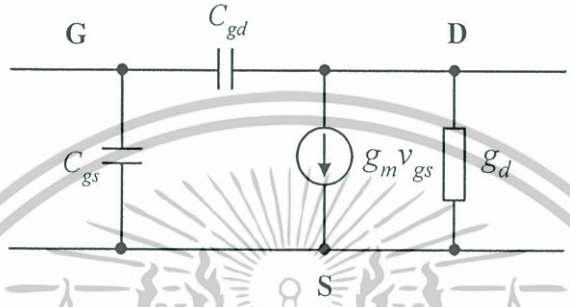
### 4.3.4 การวิเคราะห์หาค่าการตอบสนองทางความถี่

ในการหาช่วงความถี่ตอบสนองนั้น จะใช้แบบจำลองขนาดเล็ก (Small Signal Model) ซึ่งประกอบด้วย แหล่งจ่ายกระแสโดยทั่วไปจะขึ้นอยู่กับค่าของแรงดัน (Voltage Control Current Source) และตัวเก็บประจุที่เสมือนกับว่ามีประจุสถิต (Stored Charge) ต่ออยู่ระหว่างขั้วต่อ (Junction) ของมอสทรานซิสเตอร์ เพื่อที่จะทำให้ง่ายต่อการวิเคราะห์ของวงจรขอสมมติให้ $g_m, g_d, C_{gs}$ ของมอสทรานซิสเตอร์ที่ทำงานในช่วงนำกระแสอิ่มตัวมีค่าเท่ากันหมด และเนื่องจากค่าของ $g_m >> g_d$ ทำให้ในเทอมที่มีค่าของ $g_m$ ต่ออยู่ร่วมกับค่าของ $g_d$ สมมติว่าให้ตัดค่าของ $g_d$ ออกไป แต่ค่าของ $g_m, g_d, C_{gs}$ ของมอสทรานซิสเตอร์ที่ทำงานอยู่ในช่วงนำ กระแสไม่อิ่มตัวจะมีค่าไม่เท่ากันกับมอสทรานซิสเตอร์ที่ทำงานอยู่ในช่วงนำกระแสอิ่มตัว รูปที่ 4.5 (ก) และ 4.5 (ข) แสดงวงจรสมมูลของมอสทรานซิสเตอร์ ที่ทำงานอยู่ในช่วงนำกระแสอิ่มตัวและช่วงนำกระแสไม่อิ่มตัว ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก) วงจรสมมูลของมอสทรานซิสเตอร์ที่ทำงานในช่วงนำกระแสอิ่มตัว




ข) วงจรสมมูลของมอสทรานซิสเตอร์ที่ทำงานในช่วงนำกระแสไม่อิ่มตัว

**รูปที่ 4.5** วงจรสมมูลของมอสทรานซิสเตอร์ที่ใช้ในการวิเคราะห์หาค่าการตอบสนองทางความถี่

## 4.4 การจำลองการทำงานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส

วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบซีมอสที่นำเสนอ ดังรูปที่ 4.2 ซึ่งสามารถยืนยันคุณสมบัติ และประสิทธิภาพการทำงานของวงจรด้วยโปรแกรม PSpice โดยใช้ Model TSMC MOSIS 0.25μm [29] แสดงได้ดังตารางที่ 4.1 และขนาดของทรานซิสเตอร์ที่ใช้มีค่า $W/L$ แสดงได้ดังตารางที่ 4.2 โดยแรงดันไฟเลี้ยงที่ใช้มีค่าเป็น $V_{DD} = -V_{SS} = 1.25V$ และมีค่าของแรงดันไบอัสที่ $V_B = -0.55V$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 พารามิเตอร์ของทรานซิสเตอร์ TSMC MOSIS 0.25 μm [29]

.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.4317311
+PHI=0.7 VTO=0.4238252 DELTA=0 UO=425.6466519 ETA=0 THETA=0.1754054
+KP=2.501048E-4 VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8 CGDO=6.2E-10
+CGSO=6.2E-10 CGBO=1E-10 CJ=1.81211E-3 PB=0.5 MJ=0.3282553
+CJSW=5.341337E-10 MJSW=0.5)

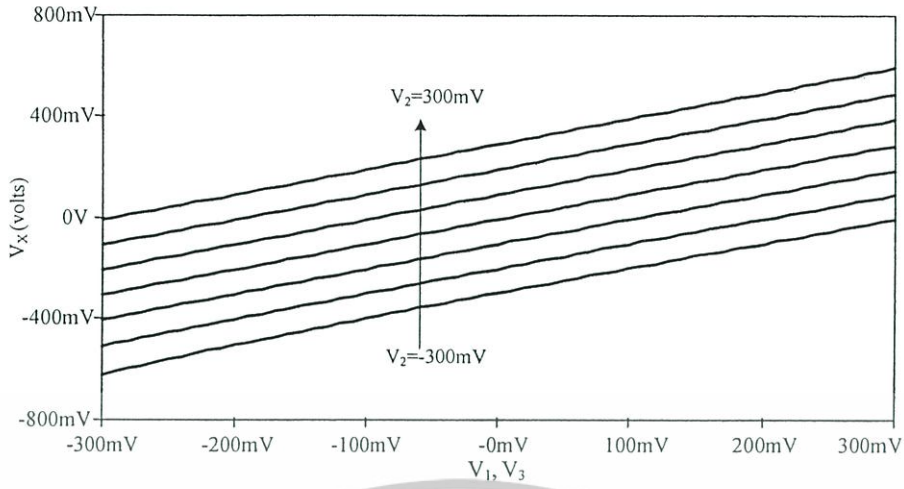
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.6348369
+PHI=0.7 VTO=-0.5536085 DELTA=0 UO=250 ETA=0 THETA=0.1573195
+KP=5.19415E-5 VMAX=2.295325E5 KAPPA=0.7448494 RSH=30.0776952 NFS=1E12
+TPG=-1 XJ=2E-7 LD=9.96834E-13 WD=5.47511E-9 CGDO=6.66E-10 CGSO=6.66E-10
+CGBO=1E-10 CJ=1.893569E-3 PB=0.9906013 MJ=0.4664287 CJSW=3.625544E-10
+MJSW=0.5)

ตารางที่ 4.2 พารามิเตอร์ $W/L$ ของมอสทรานซิสเตอร์ในวงจร CCDDCCs

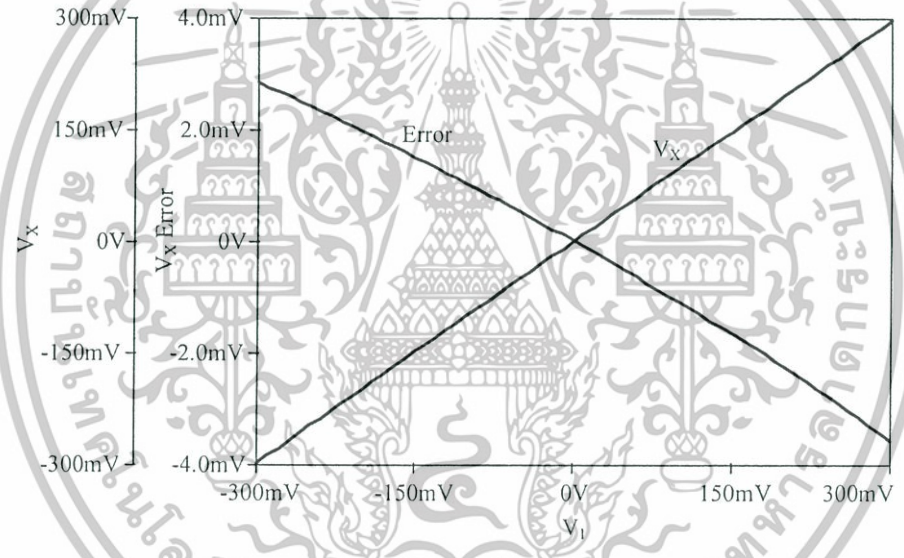
| *Transistors* | $W(\mu m)$ | $L(\mu m)$ |
|---|---|---|
| $M_1 - M_4$ | 1 | 0.25 |
| $M_{15}, M_{19}$ | 5 | 0.25 |
| $M_{16}, M_{20}$ | 8 | 0.25 |
| *All NMOS* | 3 | 0.25 |
| *All PMOS* | 5 | 0.25 |

ผลการทดสอบแบบจำลองการทำงานของ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบซีมอสที่นำเสนอในวิทยานิพนธ์ ซึ่งแสดงได้ดังรูปที่ 4.6 – 4.13 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



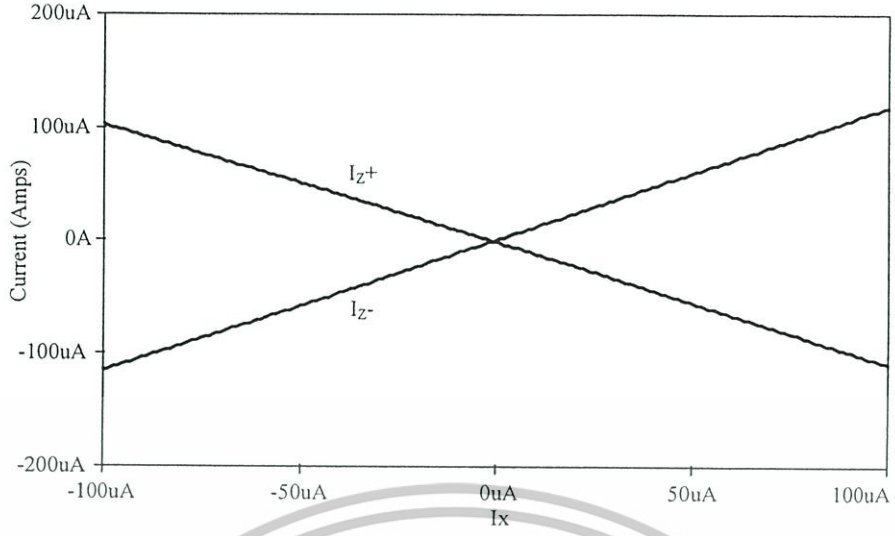

**รูปที่ 4.6** คุณสมบัติของการส่งผ่านแรงดันไฟตรงจากขั้ว $Y$ ต่อขั้ว $X$




**รูปที่ 4.7** การส่งผ่านแรงดันไฟตรงที่ผิดพลาดจากขั้ว $Y$ ต่อขั้ว $X$

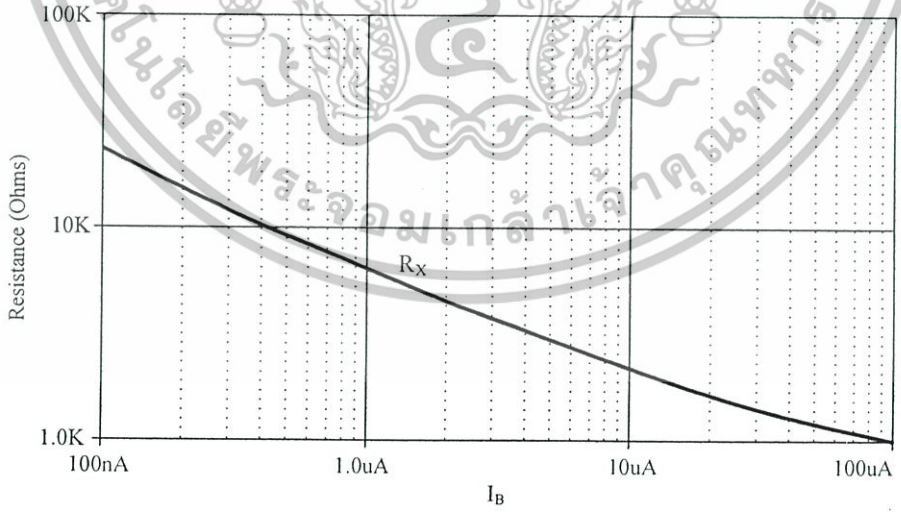
จากรูปที่ 4.6 แสดงคุณสมบัติของการส่งผ่านแรงดันไฟตรงจากขั้ว $Y$ ไปยังขั้ว $X$ ของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอ เมื่อกำหนดให้แรงดันอินพุทมีค่าเป็น $\pm 0.3V$ โดยค่าของแรงดันเอาท์พุทที่ขั้ว $X$ ได้มาจากสมการ $V_{Y1} - V_{Y2} + V_{Y3}$ จากกราฟจะเห็นได้ว่าวงจรมีคุณสมบัติของการส่งผ่านแรงดันไฟตรงที่ค่อนข้างกว้าง โดยสอดคล้องกับสมการที่ (4.2) และยังมีย่านของการส่งผ่านแรงดันอินพุทที่กว้างเช่นเดียวกันและมีความเป็นเชิงเส้นค่อนข้างสูง ค่าความผิดพลาดที่เกิดขึ้นจากการส่งผ่านแรงดันไฟตรงระหว่างขั้ว $Y$ ไปยังขั้ว $X$ (Voltage tracking error) มีค่าน้อยกว่า $\pm 4mV$ และสอดคล้องกับสมการที่ (4.16) ซึ่งแสดงได้ดังรูปที่ 4.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 4.8** คุณสมบัติของการส่งผ่านกระแสไฟตรงจากขั้ว $X$ ต่อขั้ว $Z$

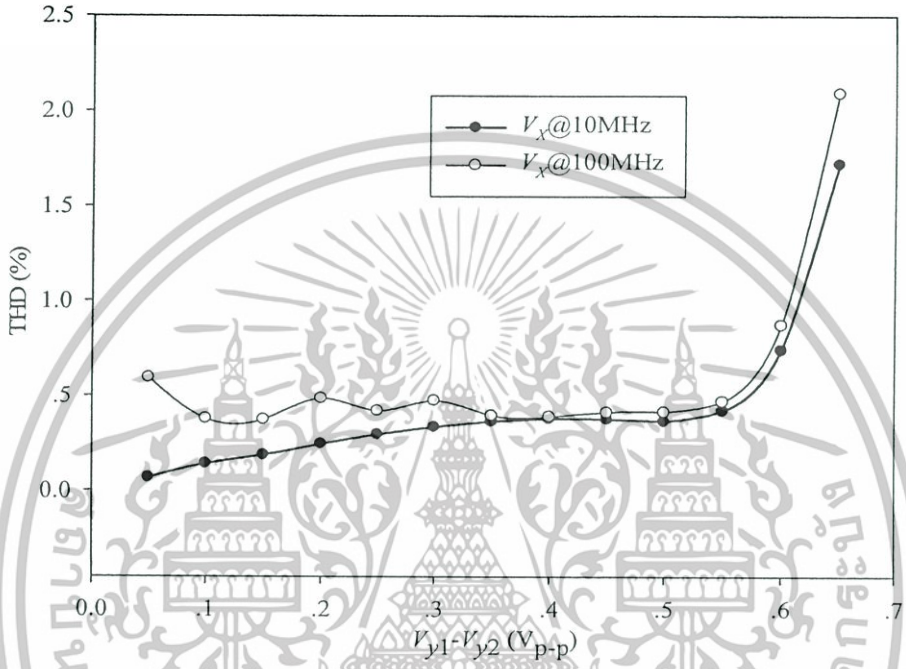
จากรูปที่ 4.8 แสดงคุณสมบัติของการส่งผ่านของกระแสไฟตรงจากขั้ว $X$ ไปยังขั้ว $Z$ ของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอ เมื่อกำหนดให้มีกระแสอินพุทที่ขั้ว $X$ คือ $(I_X)$ มีค่าเป็น $\pm 100\mu A$ โดยที่กระแสเอาท์พุทที่ขั้ว $Z$ คือ $(I_Z)$ ที่ได้จะมีค่าที่ถูกต้องจากการส่งผ่านค่าของกระแสไฟตรงตามคุณสมบัติของวงจร CCCII ซึ่งค่าของกระแส $(I_Z)$ ที่ได้นี้จะมีคุณสมบัติของกระแสเอาท์พุทที่เป็นแบบ $(I_{Z+})$ และ $(I_{Z-})$ โดยมีความสอดคล้องกันกับสมการที่ (4.5) คือ $I_Z = \pm I_X$




**รูปที่ 4.9** ค่าความต้านทานแฝงที่ขั้ว $X$ คือ $R_X$ จากการปรับค่ากระแส $I_B$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.9 แสดงค่าความต้านทานแฝงที่ขั้ว $X$ คือ $R_X$ ของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอจากการปรับค่ากระแสไบอัส $I_B$ จากกราฟค่าความต้านทานแฝง $R_X$ จะมีค่าอยู่ประมาณ $1k\Omega - 12k\Omega$ เมื่อกระแสไบอัส $I_B$ เปลี่ยนแปลงจาก $0.1\mu A - 100\mu A$ และจะเห็นได้ว่าค่าของกระแสไบอัสเพิ่มมากขึ้นเท่าไรค่าความต้านทานแฝงจะมีค่าน้อยลงไปเรื่อย ๆ ซึ่งสอดคล้องกับการคำนวณตามสมการที่ (4.7)

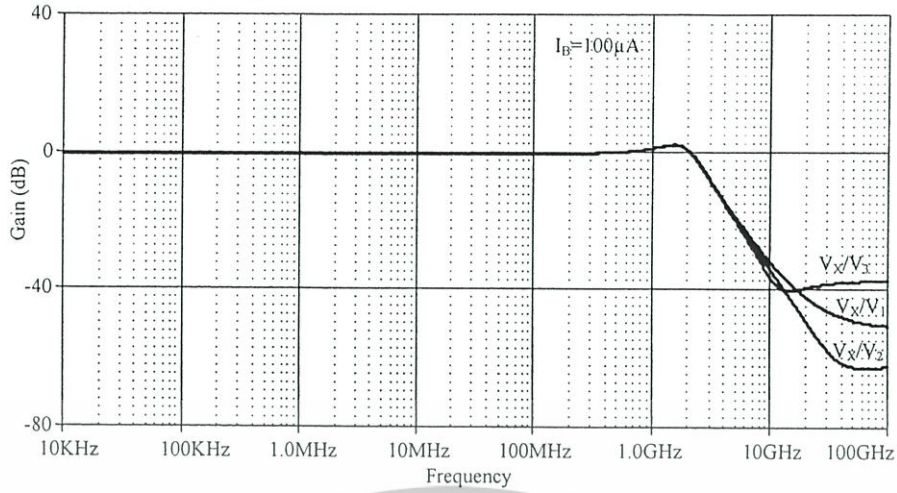



**รูปที่ 4.10** THD จากการส่งผ่านแรงดันจากขั้ว $Y$ ต่อขั้ว $X$ ที่ความถี่ $10MHz$ และ $100MHz$

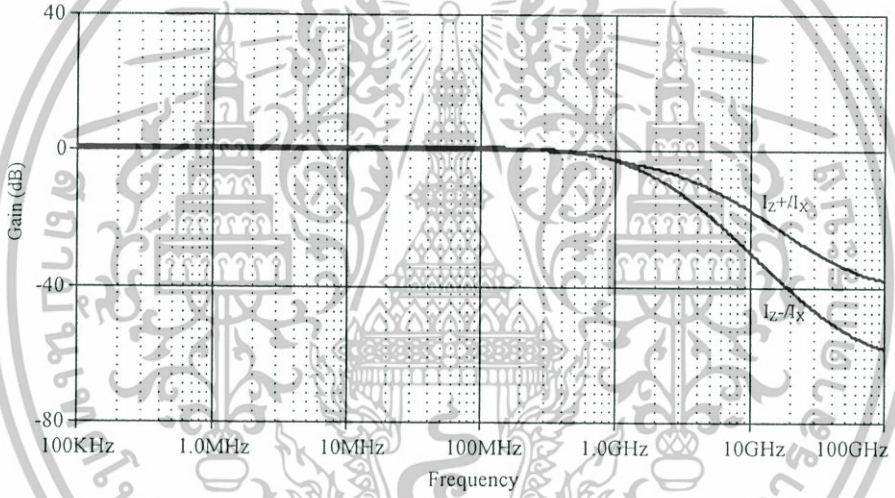
จากรูปที่ 4.10 แสดงค่าความเพี้ยนรวมทางฮาร์มอนิก (Total harmonic distortion: THD) ของการส่งผ่านแรงดันของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส โดยมีค่าความเพี้ยนรวมทางฮาร์มอนิกจากการส่งผ่านแรงดันที่ $V_{Y1} - V_{Y2}$ ไปยังขั้ว $X$ อยู่ที่ $10MHz$ และ $100MHz$ ซึ่งมีค่าประมาณ 0.8 % โดยมีค่าของแรงดันอินพุทแตกต่างอยู่ที่ 0.6 $V_{P-P}$

ในรูปที่ 4.11 แสดงผลการตอบสนองทางความถี่ของวงจรตามแรงดันที่ได้จากวงจร DVB ที่นำเสนอ โดยป้อนค่าแรงดันไฟฟ้ากระแสสลับที่ความถี่ค่าต่าง ๆ เข้าที่ขั้วอินพุทและจำลองการทำงานจากแรงดันของขั้ว $X$ คือ $V_X$ ต่อแรงดันทั้งสามของขั้วอินพุท คือ $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ ซึ่งการผลตอบสนองทางความถี่ที่ได้จากกราฟมีช่วงปฏิบัติงานของวงจรอยู่ประมาณ $2.4GHz$ เมื่อกำหนดให้ค่าของกระแสไบอัสของวงจรที่นำเสนอมีค่า $I_B = 100\mu A$ โดยมีการเปลี่ยนแปลงค่าความถี่อินพุทตั้งแต่ $10kHz$ ไปจนถึง $100GHz$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



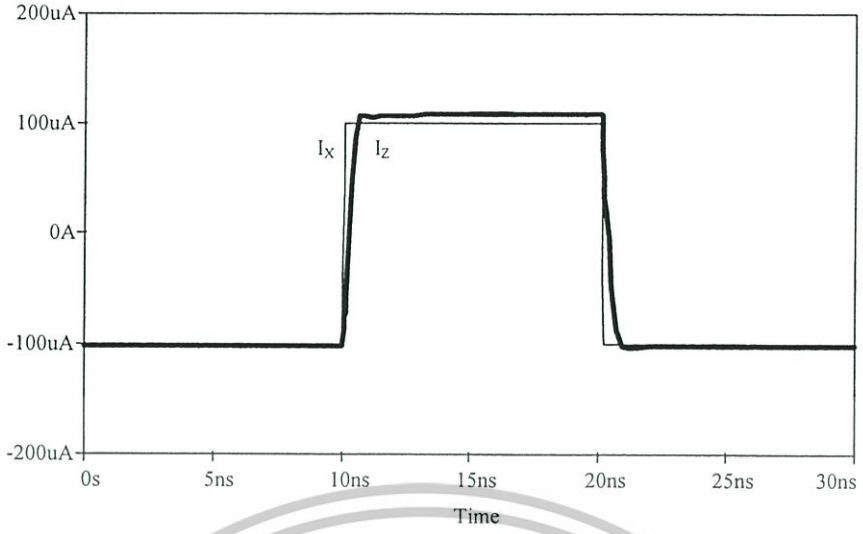

**รูปที่ 4.11** ผลการตอบสนองทางความถี่ที่ขั้ว $X$ ต่อขั้ว $Y$




**รูปที่ 4.12** ผลการตอบสนองทางความถี่ที่ขั้ว $X$ ต่อขั้ว $Z$

จากรูปที่ 4.12 แสดงผลการตอบสนองทางความถี่ของวงจรตามกระแส ที่ได้จากวงจร CCCII ที่นำเสนอ โดยป้อนค่าแรงดันไฟฟ้ากระแสสลับที่ความถี่ค่าต่าง ๆ เข้าที่ขั้วอินพุทและจำลองการทำงานจากกระแสเอาท์พุทที่ขั้ว $Z$ คือ $I_{Z+}$ และ $I_{Z-}$ ต่อกระแสอินพุทที่ขั้ว $X$ คือ $I_X$ โดยผลตอบสนองทางความถี่ที่ได้จากกราฟจะมีช่วงปฏิบัติงานของวงจรอยู่ประมาณ $2GHz$ เมื่อกำหนดให้ค่ากระแสไบอัสของวงจรที่นำเสนอคือ $I_B = 100\mu A$ และมีการเปลี่ยนแปลงค่าความถี่อินพุทตั้งแต่ $100kHz$ ไปจนถึง $100GHz$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 4.13** ผลการตอบสนองชั่วขณะจากการส่งผ่านกระแสของ $I_X$ ต่อกระแส $I_Z$

จากรูปที่ 4.13 แสดงผลการตอบสนองชั่วขณะ จากการส่งผ่านกระแสจากวงจรตามกระแสหรือวงจร CCCII ที่นำเสนอ โดยป้อนอินพุทสัญญาณรูปคลื่นสี่เหลี่ยมที่ความถี่ $50MHz$ และจำลองการทำงานจากกระแสอินพุทที่ขั้ว $X$ คือ $I_X$ ต่อกระแสเอาท์พุทที่ขั้ว $Z$ คือ $I_Z$ โดยกระแสที่ใช้มีค่าเท่ากับ $\pm 100\mu A$ ผลการตอบสนองชั่วขณะที่ได้จะมีค่ากระแสที่ผิดพลาดจากการส่งผ่านกระแสจากขั้ว $X$ ไปยังขั้ว $Z$ (Current tracking error) มีค่าของการหน่วงเวลาประมาณ $1ns$ และมีความสอดคล้องตามสมการที่ (4.18) สำหรับในช่วงขอบขาขึ้น (Rise time) และในช่วงขอบขาลง (Fall time) โดยมีการเปลี่ยนแปลงค่าเวลาในการจำลองตั้งแต่ $0s$ ไปจนถึง $30ns$

## 4.5 บทสรุป

วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส (CCDDCC) แบบซีมอสที่นำเสนอในบทที่ 4 ถูกออกแบบจากหลักการของวงจรกันชนรูปแบบแรงดันแตกต่าง (DVB) ที่ต่อคาสเคดกับวงจรสายพานกระแสควบคุมด้วยกระแส (CCCII) เพื่อให้เกิดเป็นวงจร CCDDCC ผลการจำลองการทำงานของวงจรที่นำเสนอ พบว่ามีคุณสมบัติของการส่งผ่านแรงดันไฟตรงที่ค่อนข้างกว้าง มีย่านการส่งผ่านแรงดันอินพุทที่กว้างเช่นเดียวกัน และมีความเป็นเชิงเส้นค่อนข้างสูง ส่วนค่าความผิดพลาดที่เกิดขึ้นจากการส่งผ่านแรงดันไฟตรงมีค่าน้อย สามารถปรับค่าความต้านทานแฝงที่ขั้ว $X$ คือ $R_X$ ได้จากการปรับค่ากระแสไบอัส $I_B$ ซึ่งผลการตอบสนองทางความถี่ของวงจร DVB จะมีค่าสูง ส่วนผลการตอบสนองทางความถี่ของวงจร CCCII จะมีค่าสูงเช่นเดียวกัน และค่าความผิดพลาดจากการส่งผ่านกระแสมีค่าต่ำ คุณสมบัติของวงจรทั้งหมดถูกตรวจสอบการทำงานโดยโปรแกรม PSpice

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# การประยุกต์ใช้งานวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส

ในบทนี้จะกล่าวถึง การประยุกต์ใช้งานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส ซึ่งประกอบด้วย บทนำ วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ปรับค่าได้ทางอิเล็กทรอนิกส์ ผลจำลองการทำงาน วงจรกรองความถี่หลายหน้าที่รูปแบบกระแส ผลจำลองการทำงาน และบทสรุป

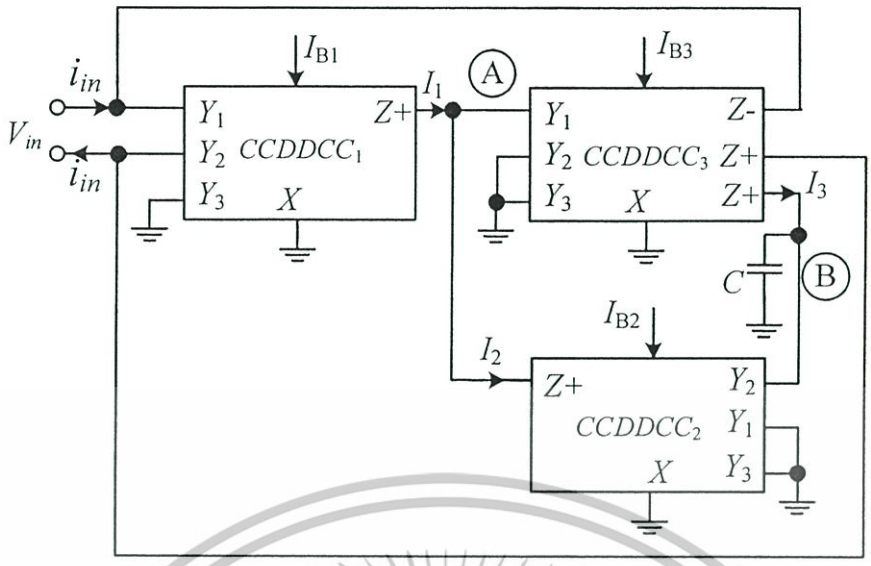
## 5.1 บทนำ

วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส (CCDDCC) แบบซีมอสได้มีการประยุกต์ใช้งานเป็น 2 วงจรด้วยกันซึ่งได้แก่ วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ปรับค่าได้ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัส และวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่ให้ผลการตอบสนองทางความถี่ของฟังก์ชันถ่ายโอนได้รูปห้าแบบในวงจรเดียวกัน อีกทั้งยังสามารถปรับค่าตัวประกอบคุณภาพได้อย่างเป็นอิสระจากค่าความถี่ตอบสนองจากการปรับค่ากระแสไบอัสด้วยเช่นกัน วงจรประยุกต์ใช้งานทั้ง 2 วงจรที่นำเสนอถูกออกแบบจากวงจร CCDDCCs ต่อร่วมกับตัวเก็บประจุแบบต่อกราวด์ โดยไม่มีการใช้ตัวต้านทานใด ๆ จากภายนอกมาต่อร่วมอยู่ในวงจรดังกล่าว จึงทำให้วงจรที่นำเสนอนี้แตกต่างกับวงจรที่เคยนำเสนอมาในอดีตจากวารสารต่าง ๆ ดังที่กล่าวมาในบทที่ 3 อีกทั้งวงจรประยุกต์ใช้งานที่นำเสนอทั้งหมดถูกออกแบบด้วยเทคโนโลยีของซีมอส จึงทำให้มีโครงสร้างของวงจรที่ไม่ซับซ้อนเหมาะกับการนำไปสร้างเป็นวงจรรวม คุณลักษณะของวงจรประยุกต์ใช้งานทั้ง 2 วงจร ได้ถูกจำลองการทำงานด้วยโปรแกรม PSpice พบว่ามีความสอดคล้องตามหลักการที่จะนำเสนอต่อไป

## 5.2 วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์

วงจรประยุกต์การใช้งานวงจรแรกที่นำเสนอถูกออกแบบจากวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส คือ วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ปรับค่าได้ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัสแสดงดังรูปที่ 5.1 จากคุณสมบัติของการใช้ตัวเก็บประจุแบบต่อกราวด์ในวงจรรวม [27] และวงจร CCDDCC ซึ่งไม่ใช้ตัวต้านทานจากภายนอกใด ๆ ทำให้มีโครงสร้างของวงจรที่นำเสนอเหมาะกับการสร้างเป็นวงจรรวมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 5.1** วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ที่นำเสนอ

จากรูปที่ 5.1 แสดงวงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ โดยออกแบบจากวงจร CCDDCCs จำนวน 3 ตัว และตัวเก็บประจุแบบต่อกราวด์ อาศัยหลักการจากหัวข้อที่ 3.2 สามารถเขียนความสัมพันธ์ของกระแสและแรงดันที่ได้ใหม่เป็น

$$I_1 = \frac{(V_{Y1} - V_{Y2})}{R_{X1}} = \frac{V_{in}}{R_{X1}} \tag{5.1}$$

$$I_1 = I_2 = \frac{V_B}{R_{X2}} \tag{5.2}$$

$$I_3 = I_{in} = \frac{V_A}{R_{X3}} \tag{5.3}$$

$$V_B = \frac{I_3}{sC} \tag{5.4}$$

จากสมการที่ (5.1) – (5.4) ค่าความต้านทานแฝงที่ขั้ว $X$ ของ $CCDDCC_3$ คือ $R_{X3}$ สามารถตัดทิ้งโดยกำหนดให้ค่า $R_{X3} = R_{X1}$ เพราะฉะนั้นสมการอินพุทอิมพีแดนซ์จากรูปที่ 5.1 จึงมีค่าเป็นดังสมการที่ (5.5) คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Z_{eq} = \frac{V_{in}}{I_{in}} = \frac{R_{X1}}{sR_{X2}C} \tag{5.5}$$

จากสมการที่ (5.5) จะเห็นได้ว่าค่าของตัวเก็บประจุ สามารถปรับค่าความจุได้จากการปรับค่าความต้านทานแฝงที่ขั้ว $X$ ของวงจร $CCDDCC_1$ และ $CCDDCC_2$ ซึ่งก็คือค่าของ $R_{X1}$ และ $R_{X2}$ ตามลำดับนั่นเอง ดังนั้นการคูณค่าความจุและค่าของตัวเก็บประจุใหม่จึงมีค่าเป็น

$$C_{eq} = K_m C = \frac{R_{X2}C}{R_{X1}} \tag{5.6}$$

เมื่อ $$K_m = \frac{R_{X2}}{R_{X1}} = \sqrt{\frac{I_{B1}}{I_{B2}}} \tag{5.7}$$

จากที่ผ่านมาเป็นการวิเคราะห์ทางอุดมคติของวงจร CCDDCCs ซึ่งความเป็นจริงในทางปฏิบัติเมื่อนำวงจร DVB และวงจร CCCIIs มาต่อคาสเคดกันเพื่อให้ทำงานเป็นวงจร CCDDCCs จะเกิดความผิดพลาดในการส่งผ่านแรงดันจากที่ขั้ว $Y$ ไปที่ขั้ว $X$ ของวงจร CCDDCCs ซึ่งมีค่าเท่ากับ $\beta$ และเกิดความผิดพลาดในการส่งผ่านกระแสจากที่ขั้ว $X$ ไปที่ขั้ว $Z$ ของวงจร CCDDCCs ซึ่งเท่ากับ $\pm\alpha$ เช่นเดียวกัน ดังนั้นถ้ารวมเอาค่าพารามิเตอร์ที่ไม่เป็นอุดมคติของวงจร CCDDCCs ไว้ในการวิเคราะห์ ดังนั้นสมการค่าความจุที่ได้จากวงจรในรูปที่ 5.1 สามารถเขียนใหม่ได้เป็น

$$C_{eqn} = K_{mn} C \tag{5.8}$$

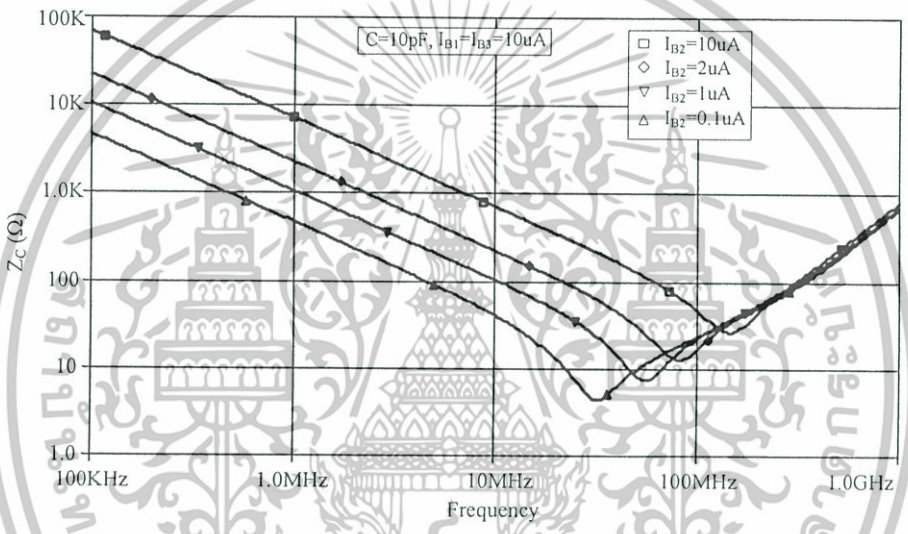
หรือ $$C_{eqn} = \frac{\beta_{11}\alpha_{11}R_{X2}C}{\beta_{22}\alpha_{22}R_{X1}} \tag{5.9}$$

โดยที่ $\beta_{jk}(s) = \beta_{jk} = 1 - \varepsilon_{jk}$ และ $\varepsilon_{jk}\left(\left|\varepsilon_{jk}\right| << 1\right)$ แสดงค่า Voltage tracking error จากขั้ว $Y$ ไปที่ขั้ว $X$ ตัวที่ $k^{th}$ และ $\alpha_{jk}(s) = \alpha_{jk} = 1 - \delta_{jk}$ และ $\delta_{jk}\left(\left|\delta_{jk}\right| << 1\right)$ แสดงค่า Current tracking error จากที่ขั้ว $X$ ไปที่ขั้ว $Z_{jk}$ ตัวที่ $k^{th}$ ของวงจร CCDDCCs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.3 ผลการจำลองการทำงานของวงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์

วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ เป็นวงจรประยุกต์การใช้งานแรกที่นำเสนอ ดังรูปที่ 5.1 ซึ่งสามารถยืนยันคุณสมบัติ และประสิทธิภาพการทำงานของวงจรด้วยโปรแกรม PSpice โดยใช้ Model TSMC MOSIS 0.25μm [29] แสดงได้ดังตารางเดียวกันกับตารางที่ 4.1 และขนาดของทรานซิสเตอร์ที่ใช้มีค่า $W/L$ แสดงได้ดังตารางเดียวกันกับตารางที่ 4.2 โดยแรงดันไฟเลี้ยงของวงจรCCDDCCs ที่ใช้มีค่าเป็น $V_{DD} = -V_{SS} = 1.25V$ และมีค่าของแรงดันไบอัสที่ $V_B = -0.55V$



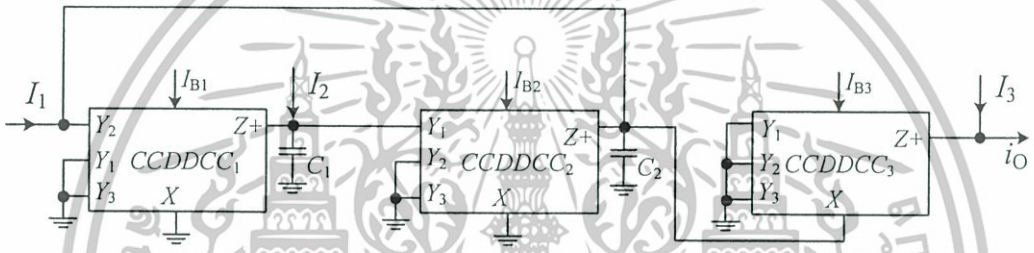

**รูปที่ 5.2** อินพุทอิมพีแดนซ์ที่ได้จากวงจรคูณค่าความจุแบบลอยตัวเมื่อปรับค่ากระแส $I_{B2}$

จากรูปที่ 5.2 แสดงผลการจำลองการทำงานของวงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ เมื่อกำหนดให้ตัวเก็บประจุแบบต่อกราวด์มีค่า $C = 10pF$ และมีค่ากระแสไบอัสของ $CCDDCC_1$ และ $CCDDCC_3$ เป็น $I_{B1} = I_{B3} = 10\mu A$ โดยที่ค่าความจุแบบลอยตัวสามารถปรับค่าได้ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัสของ $CCDDCC_2$ ตามที่กำหนดไว้ตั้งแต่ $I_{B2} = 0.1\mu A - 10\mu A$ ซึ่งในการจำลองหาคุณสมบัติและประสิทธิภาพของวงจรที่นำเสนอ โดยทำการป้อนค่าความถี่อินพุทซึ่งมีค่าตั้งแต่ $100kHz - 1GHz$ พบว่าที่ค่าของอินพุทอิมพีแดนซ์ของวงจรที่นำเสนอมีค่ามากขึ้น เปรียบเสมือนภาวะของการคูณค่าความจุให้สูงขึ้นตามสมการที่ (5.6) โดยมีค่าของการคูณประมาณ 1 ถึง 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.4 วงจรกรองความถี่หลายหน้าที่รูปแบบกระแส

วงจรประยุกต์การใช้งานวงจรที่สองที่นำเสนอ ถูกออกแบบจากวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสโดยอาศัยจากขั้ว $X$ ของวงจรจะมีค่าอินพุทอิมพีแดนซ์ต่ำและมีการใช้อินพุททางกระแส [8-9] ซึ่งวงจรที่นำเสนอคือ วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสแบบหลายอินพุทหนึ่งเอาท์พุทแสดงได้ดังรูปที่ 5.3 โดยมีผลการตอบสนองทางความถี่ของฟังก์ชันถ่ายโอนได้ห้ารูปแบบ (HPF, LPF, BPF, BRF และ APF) ในวงจรเดียวกัน และสามารถปรับค่าตัวประกอบคุณภาพได้ทางอิเล็กทรอนิกส์อย่างเป็นอิสระจากค่าความถี่ตอบสนอง รวมทั้งยังทำงานในรูปแบบแรงดันได้อีกด้วย จากคุณสมบัติของวงจร CCDDCCs ที่นำเสนอจะไม่ใช้ตัวต้านทานจากภายนอก ทำให้โครงสร้างของวงจรที่นำเสนอเหมาะกับการสร้างเป็นวงจรรวมต่อไป




**รูปที่ 5.3** วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอด้วยวงจร CCDDCC

จากรูปที่ 5.3 นำเสนอวงจรกรองความถี่หลายหน้าที่รูปแบบกระแส โดยออกแบบให้วงจรมี 3 อินพุทที่มีค่าทางกระแสที่แตกต่างกันและ 1 เอาท์พุทรูปแบบกระแสที่บริเวณทางออกของวงจร $CCDDCC_3$ จากการวิเคราะห์วงจรด้วยกฎกระแสของเคอร์ชอฟฟ์ (KCL) ฟังก์ชันการถ่ายโอนรูปแบบกระแสของวงจรที่นำเสนอแสดงได้ดังสมการที่ (5.10) ซึ่งฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ต่ำผ่าน (LPF) และวงจรกรองความถี่ที่ต้องการผ่าน (BPF) สามารถหาค่าได้โดยตรงจากการป้อนอินพุท ส่วนฟังก์ชันการถ่ายโอนของวงจรกรองความถี่สูงผ่าน (HPF) วงจรกรองความถี่ที่ต้องการออก (BRF) และวงจรกรองผ่านทุกความถี่ (APF) สามารถหาค่าได้จากการวิเคราะห์สมการของอินพุทที่ $(I_3)$

$$I_O(s) = \frac{-I_1\left(\frac{s}{R_{X3}C_2}\right) - I_2\left(\frac{1}{R_{X2}R_{X3}C_1C_2}\right) + I_3 D(s)}{D(s)} \qquad (5.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $D(s) = s^2 + \frac{s}{R_{X3}C_2} + \frac{1}{R_{X1}R_{X2}C_1C_2}$ โดยวงจรที่นำเสนอ สามารถวิเคราะห์หาค่าฟังก์ชันถ่ายโอนของวงจรกรองความถี่แบบไบควอดเดรติกทั้งห้ารูปแบบในวงจรเดียวกัน โดยการกำหนดให้เป็นไปตามเงื่อนไขดังต่อไปนี้

- ฟังก์ชันถ่ายโอนของวงจร LPF เมื่อกำหนดให้ $I_1 = I_3 = 0$ และ $I_2 = I_{in}$
- ฟังก์ชันถ่ายโอนของวงจร BPF เมื่อกำหนดให้ $I_2 = I_3 = 0$ และ $I_1 = I_{in}$
- ฟังก์ชันถ่ายโอนของวงจร HPF เมื่อกำหนดให้ $I_1 = I_2 = I_3 = I_{in}$
- ฟังก์ชันถ่ายโอนของวงจร BRF เมื่อกำหนดให้ $I_2 = 0$ และ $I_1 = I_3 = I_{in}$
- ฟังก์ชันถ่ายโอนของวงจรAPF เมื่อกำหนดให้ $I_2 = 0$ และ $I_1/2 = I_3 = I_{in}$

และเขียนเป็นฟังก์ชันการถ่ายโอนทั้งห้ารูปแบบได้ดังสมการที่ (5.11) – (5.16) ตามลำดับ

$$T_{LP}(s) = \frac{\left(\frac{-1}{R_{X2}R_{X3}C_1C_2}\right)}{D(s)} \tag{5.11}$$

$$T_{BP}(s) = \frac{\left(\frac{-s}{R_{X3}C_2}\right)}{D(s)} \tag{5.12}$$

$$T_{HP}(s) = \frac{s^2}{D(s)} \tag{5.13}$$

$$T_{BR}(s) = \frac{s^2 + \left(\frac{-1}{R_{X2}R_{X3}C_1C_2}\right)}{D(s)} \tag{5.14}$$

$$T_{AP}(s) = \frac{s^2 + \left(\frac{-s}{R_{X3}C_2}\right) + \left(\frac{-1}{R_{X2}R_{X3}C_1C_2}\right)}{D(s)} \tag{5.15}$$

โดยที่ $$D(s) = s^2 + \frac{s}{R_{X3}C_2} + \frac{1}{R_{X1}R_{X2}C_1C_2} \tag{5.16}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการกำหนดเงื่อนไขของฟังก์ชันการถ่ายโอนข้างต้น ในการกำหนดเงื่อนไขดังกล่าวไม่จำเป็นจะต้องมีเงื่อนไขการสมพงษ์กันขององค์อุปกรณ์ต่าง ๆ ในการวิเคราะห์หาค่าผลการตอบสนองของวงจรจากสมการมาตรฐาน $D(s) = s^2 + s\frac{\omega_0}{Q} + \omega_0^2$ ที่หาได้เมื่อเทียบกับสมการไบควอดเดรติกตัวแปรที่เกี่ยวข้องในส่วนค่าความถี่ตอบสนอง $(\omega_0)$ และค่าตัวประกอบคุณภาพ $(Q)$ จึงมีค่าเป็น

$$\omega_0 = \sqrt{\frac{1}{R_{X1}R_{X2}C_1C_2}} \tag{5.17}$$

$$Q = R_{X3}\sqrt{\frac{C_2}{R_{X1}R_{X2}C_1}} \tag{5.18}$$

จากสมการที่ (5.17) และ (5.18) จะเห็นได้ว่าค่าของความถี่ตอบสนอง $(\omega_0)$ และค่าของตัวประกอบคุณภาพ $(Q)$ มีความเป็นอิสระต่อกัน สามารถปรับค่าตัวประกอบคุณภาพได้ทางอิเล็กทรอนิกส์อย่างเป็นอิสระจากค่าความถี่ตอบสนอง โดยการปรับที่บริเวณค่าความต้านทานแฝง $(R_{X3})$ และจากรูปที่ 5.3 สามารถที่จะออกแบบให้วงจรกรองความถี่ที่นำเสนอทำงานในรูปแบบของแรงดันได้โดยการกำหนดให้ค่ากระแสอินพุทมีค่าเป็นศูนย์ ทำให้เกิดค่าแรงดันอินพุทขึ้นที่อุปกรณ์ในแต่ละตัวที่ขั้วของ $Y_1$ ของวงจร CCDDCC$_1$ และวงจร CCDDCC$_2$ โดยมีค่าของเอาท์พุทที่บริเวณจุดต่อของ $C_2$

วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอ สามารถยืนยันประสิทธิภาพของวงจรได้จากค่าความไวของอุปกรณ์แอคทีฟหรือแพสซีฟที่มีผลต่อความถี่ตอบสนอง $S_x^{\omega_0}$ และค่าตัวประกอบคุณภาพ $S_x^Q$ เมื่อ $x$ คือ อุปกรณ์แอคทีฟหรือแพสซีฟแต่ละตัว สามารถสรุปได้ดังนี้

**ตารางที่ 5.1** ค่าความไวของอุปกรณ์แอคทีฟหรือแพสซีฟ

| $x$ | $S_x^{\omega_0}$ | $S_x^Q$ |
|---|---|---|
| $R_{X1}$ | -0.5 | -0.5 |
| $R_{X2}$ | -0.5 | -0.5 |
| $R_{X3}$ | 0 | 1 |
| $C_1$ | -0.5 | -0.5 |
| $C_2$ | -0.5 | 0.5 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการการถ่ายโอนของวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอใน (5.10) ที่ผ่านมาเป็นการวิเคราะห์ทางอุดมคติของวงจร CCDDCCs ซึ่งความเป็นจริงในทางปฏิบัติเมื่อนำวงจร DVB และวงจร CCCIIs มาต่อคาสเคดกันเพื่อให้ทำงานเป็นวงจร CCDDCCs จะเกิดความผิดพลาดในการส่งผ่านแรงดันจากที่ขั้ว $Y$ ไปที่ขั้ว $X$ ของวงจร CCDDCCs ซึ่งมีค่าเท่ากับ $\beta_i$ และเกิดความผิดพลาดในการส่งผ่านกระแสจากที่ขั้ว $Z$ ไปที่ขั้ว $X$ ของวงจร CCDDCCs ซึ่งเท่ากับ $\pm\alpha$ เช่นเดียวกัน หรือประมาณได้ว่าค่าของ $\alpha_k(s)$ และ $\beta_k(s)$ มีค่าคล้ายกับฟังก์ชันของวงจรกรองความถี่ต่ำผ่าน (LPF) โดยที่จะมีค่าเป็นหนึ่งในกรณีที่วิเคราะห์ในส่วนของความถี่และจะมีค่าน้อยลงสำหรับการวิเคราะห์ในส่วนของช่วงที่มีการเปลี่ยนแปลงความถี่ [28] ดังนั้นถ้ารวมเอาค่าพารามิเตอร์ที่ไม่เป็นอุดมคติของวงจร CCDDCCs ไว้ในการวิเคราะห์ ดังนั้นสมการถ่ายโอนของวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอ สำหรับการประยุกต์ใช้งานตามสมการที่ (5.10) สามารถเขียนใหม่ได้เป็น

$$I_{On}(s)=\frac{-I_1\left(\frac{s\alpha_{13}}{R_{X3}C_2'}+\frac{\alpha_{13}}{R_BR_{X3}C_1'C_2'}\right)-I_2\left(\frac{\beta_{12}\alpha_{12}\alpha_{13}}{R_{X2}R_{X3}C_1'C_2'}\right)+I_3D_n(s)}{D_n(s)} \tag{5.19}$$

โดยที่

$$D_n(s)=s^2+s\left(\frac{1}{R_{X3}C_2'}+\frac{1}{R_BC_1'}+\frac{1}{R_AC_2'}\right)+\frac{\beta_{12}\beta_{21}\alpha_{11}\alpha_{12}}{R_{X1}R_{X2}C_1'C_2'}+\frac{1}{R_{X3}R_BC_1'C_2'}+\frac{1}{R_AR_BC_1'C_2'} \tag{5.20}$$

เมื่อ $R_A=R_{y21}\|R_{z12}$ , $R_B=R_{z11}\|R_{y12}$

และ $C_1'=C_1+C_{y12}+C_{z11}$ , $C_2'=C_2+C_{y21}+C_{z12}$

จากสมการที่ (5.19) และ (5.20) ค่าพารามิเตอร์ของค่าความต้านทานแฝงที่ $R_A$ และ $R_B$ จะมีค่าสูงมากเมื่อเปรียบเทียบกับค่าความต้านทานแฝงที่ $R_{Xi}$ ดังนั้นค่าความถี่ตอบสนอง $(\omega_0)$ และค่าตัวประกอบคุณภาพ $(Q)$ สามารถเขียนได้ใหม่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_{0n} = \sqrt{\frac{\beta_{12}\beta_{21}\alpha_{11}\alpha_{12}}{R_{X1}R_{X2}C_1'C_2'}} \tag{5.21}$$

$$Q_n = R_{X3}\sqrt{\frac{C_2'\beta_{12}\beta_{21}\alpha_{11}\alpha_{12}}{R_{X1}R_{X2}C_1'}} \tag{5.22}$$

วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอ ในกรณีที่มีการวิเคราะห์แบบไม่เป็นอุดมคติ สามารถยืนยันประสิทธิภาพของวงจรได้จากค่าความไวของอุปกรณ์แอคทีฟหรือแพสซีฟที่มีผลต่อความถี่ตอบสนอง $S_x^{\omega_{0n}}$ และค่าตัวประกอบคุณภาพ $S_x^{Q_n}$ เมื่อ $x$ คือ อุปกรณ์แอคทีฟหรือแพสซีฟแต่ละตัว สามารถสรุปได้ดังนี้

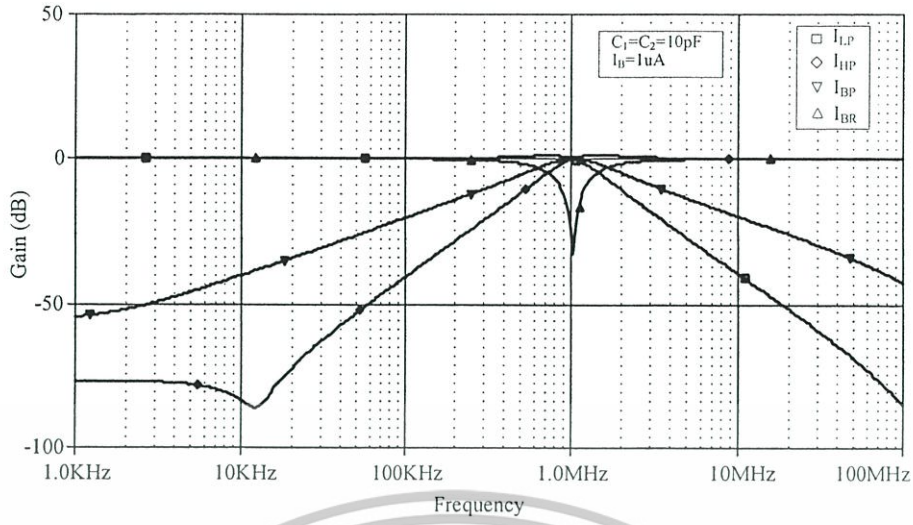
**ตารางที่ 5.2** ค่าความไวของอุปกรณ์ในกรณีไม่เป็นอุดมคติ

| $x$ | $S_x^{\omega_0}$ | $S_x^{Q}$ |
|---|---|---|
| $R_{X1}$ | -0.5 | -0.5 |
| $R_{X2}$ | -0.5 | -0.5 |
| $R_{X3}$ | 0 | 1 |
| $C_1'$ | -0.5 | -0.5 |
| $C_2'$ | -0.5 | 0.5 |
| $\beta_{12}$ | 0.5 | 0.5 |
| $\beta_{21}$ | 0.5 | 0.5 |
| $\alpha_{11}$ | 0.5 | 0.5 |
| $\alpha_{12}$ | 0.5 | 0.5 |

## 5.5 ผลการจำลองการทำงานของวงจรกรองความถี่หลายหน้าที่รูปแบบกระแส

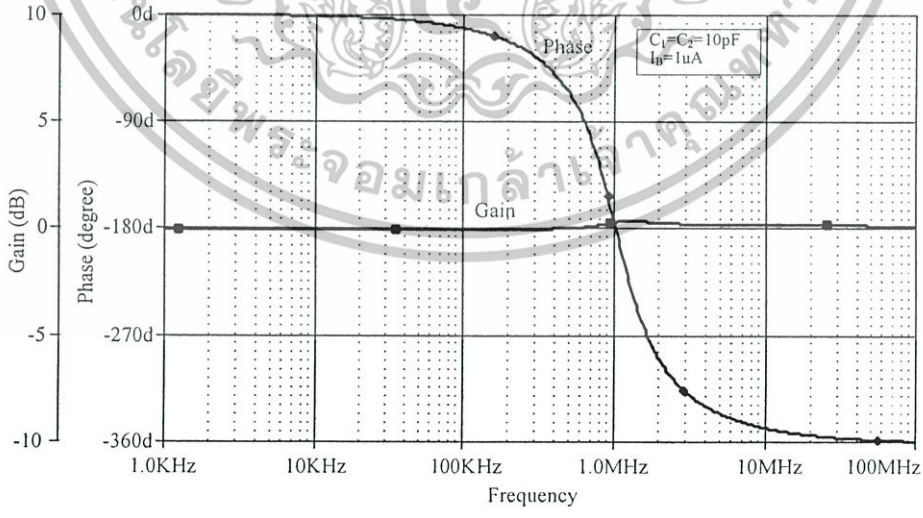
วงจรกรองความถี่หลายหน้าที่รูปแบบกระแส เป็นวงจรประยุกต์การใช้งานอันดับต่อมาที่ได้มีการนำเสนอ แสดงดังรูปที่ 5.3 ซึ่งสามารถยืนยันคุณสมบัติ และประสิทธิภาพการทำงานของวงจรด้วยโปรแกรม PSpice โดยใช้ Model TSMC MOSIS 0.25μm [29] แสดงได้ดังตารางเดียวกันกับตารางที่ 4.1 และขนาดของทรานซิสเตอร์ที่ใช้มีค่า $W/L$ แสดงได้ดังตารางเดียวกันกับตารางที่ 4.2 ซึ่งแรงดันไฟเลี้ยงของวงจรCCDDCCs ที่ใช้มีค่าเป็น $V_{DD} = -V_{SS} = 1.25V$ และมีค่าของแรงดันไบอัสที่ $V_B = -0.55V$ ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



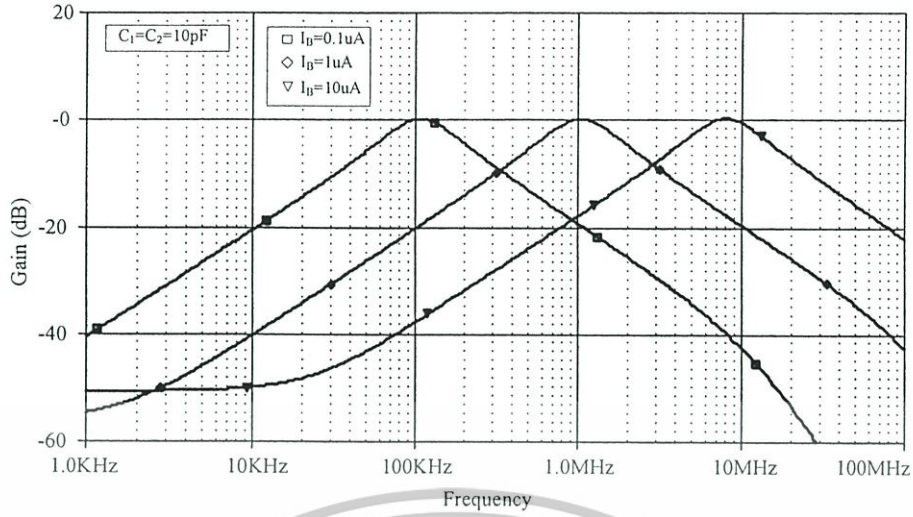

**รูปที่ 5.4** ผลการตอบสนองทางความถี่ของวงจร LPF, HPF, BPF และ BRF

ผลการตอบสนองทางความถี่จากการประยุกต์ใช้งานของวงจร CCDDCCs โดยออกแบบเป็นวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสแสดงได้ดังรูปที่ 5.4 ซึ่งผลของการตอบสนองทางความถี่ที่ได้จากวงจรกรองความถี่ต่ำผ่าน (LPF) วงจรกรองความถี่สูงผ่าน (HPF) วงจรกรองความถี่ที่ต้องการผ่าน (BPF) และวงจรกรองความถี่ที่ต้องการออก (BRF) โดยจากการจำลองจะมีค่าเป็น $f_0 = 1MHz$ เมื่อกำหนดให้ค่าของตัวเก็บประจุ $C_1 = C_2 = 10pF$ และค่ากระแสไบอัส $I_B$ มีค่าเป็น $1\mu A$ โดยผลของการตอบสนองทางความถี่ที่ได้จากวงจร LPF, HPF, BPF และ BRF ดังกล่าวเป็นไปตามเงื่อนไขตามสมการที่ (5.10)



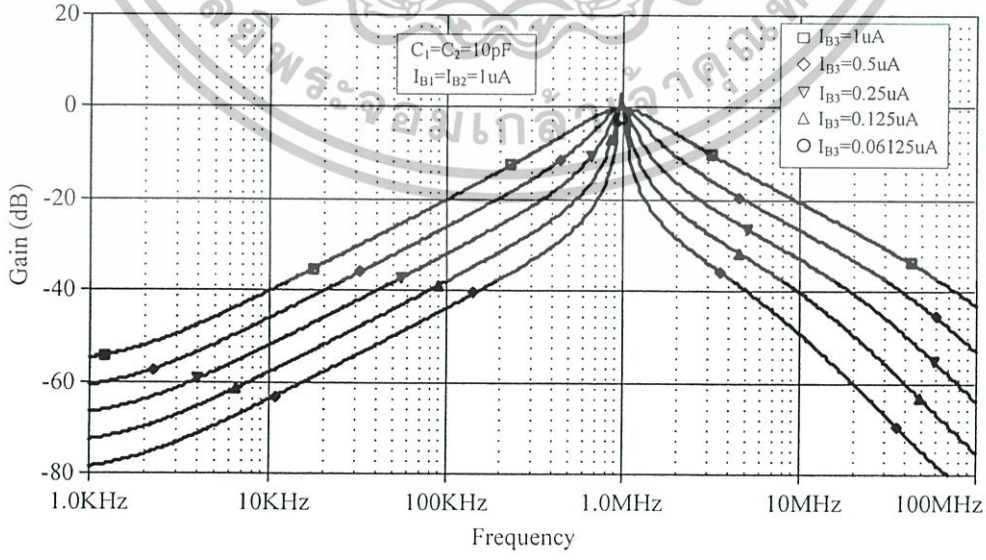

**รูปที่ 5.5** ผลการตอบสนองทางอัตราขยายกับทางเฟสของวงจร APF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ 5.6** ผลการตอบสนองทางความถี่ของวงจร BPF จากการปรับค่ากระแสไบอัส $I_B$

จากรูปที่ 5.5 แสดงผลการตอบสนองทางอัตราขยายกับทางเฟสของวงจรกรองผ่านทุกความถี่ (APF) ที่ได้จากการประยุกต์ใช้งานของวงจร CCDDCCs เมื่อกำหนดให้ค่าของตัวเก็บประจุ $C_1 = C_2 = 10pF$ และค่ากระแสไบอัส $I_B$ มีค่าเป็น $1\mu A$ โดยผลของการตอบสนองทางความถี่ที่ได้จากวงจร APF ดังกล่าวเป็นไปตามเงื่อนไขตามสมการที่ (5.10) ส่วนในรูปที่ 5.6 แสดงผลการตอบสนองทางความถี่ที่ได้จากวงจรกรองความถี่ที่ต้องการผ่าน (BPF) โดยทำการปรับค่าทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัส $I_B$ ให้มีค่าเป็น $0.1\mu A$ , $1\mu A$ และ $10\mu A$ โดยผลการตอบสนองทางความถี่ที่ได้จะมีค่าประมาณ $102KHz$ , $1MHz$ และ $8MHz$ ตามลำดับ เมื่อกำหนดให้ค่าของตัวเก็บประจุ $C_1 = C_2 = 10pF$




**รูปที่ 5.7** ผลการปรับค่าตัวประกอบคุณภาพของวงจร BPF จากการปรับค่ากระแสไบอัส $I_B$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.7 แสดงผลการปรับค่าตัวประกอบคุณภาพ $(Q)$ ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัส $I_B$ ของวงจรกรองความถี่ที่ต้องการผ่าน (BPF) ที่ได้จากการประยุกต์ใช้งานของวงจร CCDDCCs ว่ามีความเป็นอิสระจากค่าความถี่ตอบสนอง $(\omega_0)$ เมื่อกำหนดให้ค่าของตัวเก็บประจุ $C_1 = C_2 = 10pF$ ค่ากระแสไบอัสของ $I_{B1} = I_{B2} = 1\mu A$ และทำการปรับค่ากระแสไบอัสที่ $I_{B3}$ โดยทำการปรับค่าตั้งแต่ $I_{B3} = 0.06125\mu A$ ไปจนถึงค่า $I_{B3} = 1\mu A$ พบว่าการปรับค่าตัวประกอบคุณภาพ $(Q)$ ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัสของ $I_{B3}$ จะมีความเป็นอิสระจากค่าความถี่ตอบสนอง $(\omega_0)$ เป็นไปตามเงื่อนไขตามสมการที่ (5.18)

## 5.6 บทสรุป

การประยุกต์ใช้งานของ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส (CCDDCC) มีการประยุกต์ใช้งานเป็น 2 วงจรด้วยกันได้แก่ วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ปรับค่าได้ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัส ซึ่งจากการใช้คุณสมบัติของตัวเก็บประจุแบบต่อกราวด์ในวงจรรวม [27] และวงจร CCDDCCs ที่ออกแบบโดยไม่มีการใช้ตัวต้านทานจากภายนอกใด ๆ ผลจากการจำลองการทำงานเป็นวงจรคูณค่าความจุแบบลอยตัว โดยใช้ตัวเก็บประจุแบบต่อกราวด์ปรับค่าได้ทางอิเล็กทรอนิกส์ จากการปรับค่ากระแสไบอัสดังกล่าว พบว่าค่าของตัวเก็บประจุที่ออกแบบ สามารถปรับค่าความจุได้จากการปรับค่าความต้านทานแฝงที่ขั้ว $X$ ของวงจร $CCDDCC_1$ และ $CCDDCC_2$ ซึ่งก็คือค่าของ $R_{X1}$ และ $R_{X2}$ ตามลำดับนั่นเอง ส่วนวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่มีการประยุกต์ใช้งานอันดับที่สอง อาศัยคุณสมบัติที่ขั้ว $X$ ของวงจรจะมีค่าอินพุทอิมพีแดนซ์ต่ำและมีการใช้อินพุทกระแส [8-9] โดยจะให้ผลของการตอบสนองทางความถี่ของฟังก์ชันถ่ายโอนได้รูปห้าแบบ (HPF, LPF, BPF, BRF และ APF) ในวงจรเดียวกัน โดยในรูปที่ 5.2 ผลการตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่าน (HPF) ในช่วงความถี่ต่ำจะมีลักษณะไม่เป็นเชิงเส้นสาเหตุเกิดจากผลกระทบของโพลอันดับที่สองของฟังก์ชันถ่ายโอนและอาจจะเกิดจากการกำหนดค่าพารามิเตอร์ของอุปกรณ์บางตัวไม่สมพงษ์กันจึงทำให้เกิดกราฟในลักษณะดังกล่าวขึ้น วงจรที่ได้นำเสนอนี้ยังสามารถปรับค่าตัวประกอบคุณภาพได้อย่างเป็นอิสระจากค่าความถี่ตอบสนองจากการปรับค่ากระแสไบอัส $I_B$ ด้วยเช่นกัน อีกทั้งยังมีค่าความไว (Sensitivity) ของวงจรต่ออุปกรณ์แอกทีฟและแพสซีฟต่ำ รวมถึงยังสามารถทำงานในรูปแบบแรงดันได้อีกด้วยและจากคุณสมบัติของวงจร CCDDCCs ที่นำเสนอในการประยุกต์ใช้งานของทั้ง 2 วงจร ดังที่กล่าวมาจะไม่มีการใช้ตัวต้านทานจากภายนอกซึ่งจะแตกต่างกับบทความในวารสารต่าง ๆ ที่ผ่านมา ทำให้โครงสร้างของวงจรประยุกต์ใช้งานทั้ง 2 วงจรที่นำเสนอ มีโครงสร้างที่ไม่ซับซ้อนจึงมีความเหมาะกับการนำไปสร้างเป็นวงจรรวมได้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6
# บทสรุปและข้อเสนอแนะ

ในบทนี้จะกล่าวถึง บทสรุปและข้อเสนอแนะ ซึ่งประกอบด้วย บทสรุปผลการวิจัยและข้อเสนอแนะจากการวิจัย

## 6.1 บทสรุปผลการวิจัย

วิทยานิพนธ์นี้เป็นการนำเสนออุปกรณ์แอกทีฟสำหรับประมวลสัญญาณแบบอนาลอกคือ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส (Current-controlled differential difference current conveyor: CCDDCC) ซึ่งมีความต้านทานแฝงอยู่ที่ขั้ว $X$ คือ $R_X$ และยังสามารถปรับค่าความต้านทาน $R_x$ ได้จากการปรับค่ากระแสไบอัสของวงจร CCDDCC โดยไม่ใช้ค่าความต้านทานจากภายนอกใด ๆ ซึ่งวงจรที่นำเสนอถูกออกแบบจากวงจรกันชนรูปแบบแรงดันแตกต่าง (CMOS differential voltage buffer: DVB) วงจรสายพานกระแสควบคุมด้วยกระแส (Current-controlled second generation current conveyor: CCCII) โดยต่อคาสเคดกัน ซึ่งวงจรที่นำเสนอจะมีแบนด์วิดธ์ของวงจรตามแรงดันและตามกระแสสูงประมาณ $1GHz$, $100MHz$ ตามลำดับ โดยมีค่าความเพี้ยนรวมทางฮาร์มอนิกประมาณ $0.8\%$ ช่วงอินพุตแตกต่าง $0.6V_{P-P}$ ค่ากำลังสูญเสียของกระแสไบอัสของวงจร CCDDCC อยู่ที่ $10\mu A$ มีค่าประมาณ $1.35mW$ เมื่อใช้แหล่งจ่ายแรงดันที่ $\pm 1.25V$ อีกทั้งมีการประยุกต์ใช้งานเป็น 2 วงจร คือ วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ สามารถปรับค่าได้ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัสของวงจร CCDDCCs และวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสชนิดหลายอินพุทหนึ่งเอาท์พุท และสามารถหาผลการตอบสนองทางความถี่ของฟังก์ชันถ่ายโอนได้ห้ารูปแบบ (HPF, LPF, BPF, BRF และ APF) ในวงจรเดียวกันที่สามารถปรับค่าตัวประกอบคุณภาพ $(Q)$ ได้เป็นอิสระจากค่าความถี่ตอบสนอง $(\omega_0)$ วงจรประยุกต์ใช้งานที่นำเสนอถูกสร้างจาก CCDDCCs จำนวน 3 ตัว และตัวเก็บประจุแบบต่อกราวด์ 1 ตัว โดยไม่ใช้ตัวต้านทานใด ๆ จากภายนอก จากการใช้เทคโนโลยีซีมอสทำให้วงจรที่นำเสนอมีโครงสร้างที่ไม่ซับซ้อน เสถียรภาพทางอุณหภูมิดี โดยใช้แรงดันไฟเลี้ยงต่ำ คุณลักษณะของวงจรที่นำเสนอและวงจรการประยุกต์ใช้งานทั้งหมด ถูกจำลองการทำงานด้วยโปรแกรม PSpice พบว่ามีความสอดคล้องตามหลักการที่ได้นำเสนอไว้เป็นอย่างดี ซึ่งวงจรที่นำเสนอจะมีคุณสมบัติที่โดดเด่นกว่าวงจรในอดีตที่เคยนำเสนอมา คือ ไม่มีการใช้ตัวต้านทานจากภายนอกใด ๆ มาต่อในวงจรทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากการที่ไม่ใช้ตัวต้านทานจากภายนอกและใช้ตัวเก็บประจุแบบต่อกราวนด์ ทำให้ที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมด้วยเทคโนโลยีซีมอส งานวิจัยที่นำเสนอในวิทยานิพนธ์ฉบับนี้ได้นำเสนอและตีพิมพ์ในประชุมวิชาการและตีพิมพ์ในวารสารนานาชาติ ดังนี้ การประชุมวิชาการ IEEE International Symposium on Circuits and Systems (ISCAS 2010) และวารสารนานาชาติ (AEÜ - International Journal of Electronics and Communications) ถึงแม้ว่าวงจรที่นำเสนอจะได้รับการยอมรับให้เข้าร่วมประชุมวิชาการและยอมรับตีพิมพ์ในวารสารนานาชาติ แต่วงจรที่นำเสนอยังมีข้อผิดพลาดและอาจจะต้องมีการพัฒนาเพื่อให้วงจรมีคุณสมบัติที่ดีที่สุดต่อไป

## 6.2 ข้อเสนอแนะจากการวิจัย

วิทยานิพนธ์นี้เป็นการนำเสนอ วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบซีมอสและการประยุกต์ใช้งานเป็น วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ และ วงจรกรองความถี่หลายหน้าที่รูปแบบกระแส โดยวงจรดังกล่าวนี้สามารถพัฒนาให้มีประสิทธิภาพสูงขึ้นได้โดย

วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสแบบซีมอสที่นำเสนอ โดยอาศัยค่าความต้านทานแฝงอยู่ที่ขั้ว $X$ คือ $R_X$ ในการนำเสนอมีค่าอยู่ที่ $R_X \approx \dfrac{1}{g_{m19}+g_{m20}}$ ภายใต้เงื่อนไขของทรานซิสเตอร์ $M_{19}$ และ $M_{20}$ จะต้องมีค่าเท่ากันหรือมีค่าที่สมพงษ์กันจึงจะได้ค่าของ $R_X$ เป็นไปตามข้อกำหนด คือ $R_X \approx \dfrac{1}{\sqrt{8\mu C_{OX}(W/L)I_B}}$ จึงจะสามารถปรับค่า $R_X$ ได้ค่ากระแสไบอัส $I_B$ โดยวิทยานิพนธ์นี้ก็ยังมีค่าของ $R_X$ ที่ยังผิดพลาดอยู่จากพารามิเตอร์บางตัวเช่น ค่าทรานคอนดักแตนซ์ที่ขาเดรน $g_d$ หรือค่าทรานคอนดักแตนซ์ $g_m$ ในส่วนของแรงดันอินพุทที่ $Y_1, Y_2$ และ $Y_3$ ซึ่งจะส่งผลไปยังค่าความต้านทานแฝงอยู่ที่ขั้ว $X$ รวมไปถึงการใช้งานของวงจรที่นำเสนอในย่านความถี่สูงอาจต้องเพิ่มค่าความจุไฟฟ้าที่ขาเกท-เดรน $C_{gdi}$ และค่าของความจุไฟฟ้าที่ขาเกท-ซอร์ส $C_{gsi}$ ของทรานซิสเตอร์บางตัวที่ขั้ว $X$ เพื่อทำให้ได้ผลการตอบสนองทางความถี่สูงที่ดี ส่วนในค่าของแรงดันอินพุทออฟเซท $V_{os}$ ถูกกำหนดโดยแรงดันอินพุทแตกต่างที่มีผลมาจากแรงดันของค่าความต้านทานแฝงที่ขั้ว $X$ กับกราวด์ โดยมีผลกระทบมาจากค่าความกว้างและความยาวของแชนแนล $W/L$ ของมอสทรานซิสเตอร์ หรือค่าของกระแสไบอัส $I_B$ ในช่วงของสัญญาณอินพุทจะถูกกำหนดโดยวงจรดิฟเฟอเรนเชียลแพร์ ซึ่งสามารถปรับให้อินพุทมีช่วงสัญญาณที่ดีขึ้นหรือกว้างขึ้นได้ โดยการเปลี่ยนวงจรจากค่าแรงดันเป็นกระแส (V-I converter) เพื่อให้ได้ช่วงสัญญาณอินพุทที่กว้างขึ้นกว่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ที่นำเสนอ ออกแบบจาก CCDDCCs จำนวน 3 ตัว และตัวเก็บประจุแบบต่อกราวด์ ซึ่งจะเห็นว่ายังมีการใช้อุปกรณ์แอกทีฟจำนวนมากอยู่ ซึ่งการปรับค่าความจุยังต้องอาศัยหลักการของการปรับค่าความต้านทานแฝงที่ขั้ว $X$ ของวงจร $CCDDCC_1$ และ $CCDDCC_2$ ซึ่งก็คือค่าของ $R_{X1}$ และ $R_{X2}$ ดังสมการ $C_{eq} = K_m C = \frac{R_{X2} C}{R_{X1}}$ ซึ่งจะเห็นได้ว่าค่าของ $R_{X3}$ ถูกหักล้างหมดไป ดังนั้นถ้ามีการออกแบบวงจรให้สมบูรณ์ขึ้นอาจลดการใช้อุปกรณ์แอกทีฟลงได้ ก็จะมีผลทำให้การใช้แรงดันไฟเลี้ยงต่ำลง การกินกำลังงานลดน้อยตาม รวมไปถึงค่าความผิดพลาดจากการส่งผ่านแรงดัน Voltage tracking error และการส่งผ่านกระแส Current tracking error ลงได้

วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอ โดยใช้ CCDDCCs จำนวน 3 ตัว ตัวเก็บประจุแบบต่อกราวด์จำนวน 2 ตัว อาศัยหลักการของวงจรอินทิเกรทเตอร์ในการออกแบบเป็นวงจรกรองความถี่ ซึ่งหลักการดังกล่าวจะมีการทำงานลักษณะเดียวกันกับวงจรกรองความถี่ต่ำผ่าน โดยที่ทางด้านความถี่สูงอัตราขยายจะลดลงและเมื่อถูกสร้างเป็นวงจรกรองความถี่ จะทำให้เกิดการลดลงของอัตราขยายเมื่อความถี่สูงขึ้น ซึ่งประกอบกับแบนด์วิดธ์ของอุปกรณ์แอกทีฟจะมีคุณสมบัติเป็นวงจรกรองความถี่ต่ำผ่านจึงทำให้อัตราขยายมักไม่เสถียรที่ย่านความถี่สูง ในการแก้ปัญหาดังกล่าวทำได้โดยการออกแบบวงจรกรองความถี่จากหลักการของวงจรดิฟเฟอเรนชิเอเตอร์ ซึ่งโครงสร้างของวงจรดิฟเฟอเรนชิเอเตอร์ มีการทำงานลักษณะเดียวกับวงจรกรองความถี่สูงผ่าน ในกรณีความถี่สูงอัตราขยายจะสูงขึ้นเพื่อชดเชยกับการตอบสนองทางความถี่ของอุปกรณ์แอกทีฟ และเมื่อถูกสร้างเป็นวงจรกรองความถี่ดังกล่าว ทำให้เสถียรทางความถี่สูงดีขึ้นสำหรับการชดเชยกับแบนด์วิดธ์ของอุปกรณ์แอกทีฟได้ แต่อย่างไรก็ตามอาจจะมีผลในเรื่องของสัญญาณรบกวนที่เพิ่มขึ้นตามมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม


[1] A. Sedra, K. C. Smith, "A second-generation current conveyor and its applications", *IEEE Trans. Circuit Theory*, Vol.17, No.1, pp. 132–134, 1970.

[2] C. M. Chang, "Multifunction biquadratic filters using current conveyors", *IEEE Trans. Circuits Syst. II*, Vol.44, No.11, pp. 956–958, 1997.

[3] A. M. Soliman, "Current conveyor filters: classification and review", *Microelectron. Jour*, Vol.29, pp. 133–149, 1998.

[4] J. W. Horng, "High-input impedance voltage-mode universal biquadratic filter using three plus-type CCIIs", *IEEE Trans. Circuits Syst. II*, Vol.48, No.10, pp. 996–997, 2001.

[5] A. M. Soliman, "Current mode CCII oscillators using grounded capacitors and resistors", *Int. J. Circuit Theory Appl.*, Vol.26, No.5, pp. 431–438, 1998.

[6] A. Fabre, O. Saaid, F. Wiest, and C. Boucheron, "High frequency applications based on a new current controlled conveyor", *IEEE Transactions on circuits and systems, part I*, Vol.43, pp. 82-91, 1996.

[7] E. Bruun, "CMOS high speed, high precision current conveyor and current-feedback amplifier structures", Int. J. Electron, Vol.74, pp.93-100, 1993.

[8] E.O. Gunes and F. Anday, "Realization of current mode universal filter using CFCCIIs", *Electronics Letters*, Vol. 32, no.12, pp.1081–1082, 1996.

[9] N. Pandey, S. K. Paul and S. B. Jain, "A new electronically tunable current mode universal filter using MO-CCCII", *Analog Integr. Circuits and Signal Process*, Vol.58, pp.171–178, 2009.

[10] M. Higashimura and Y. Fukui, "Current mode transfer function using CCIIs with grounded passive elements", *IEICE Trans*, Vol. E74, no.5, pp.1017-1019, 1991.

[11] W. Chiu, S. I. Liu, H. W. Tsao, and J. J. Chen, "CMOS differential difference current conveyors and their applications", *Proc. IEE.—Circuits Devices Syst.*, Vol. 143, no. 2, pp. 91–96, Apr. 1996.

[12] H. O. Elwan and A. M. Soliman, "Novel CMOS differential voltage current conveyor and its applications", *Proc. IEE.—Circuits Devices Syst.*, Vol. 144, no. 3, pp. 195–200, Jun. 1997.


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[13] W. Y. Chiu and J. W. Horng, "High-input and low-output impedance voltage-mode universal biquadratic filter using DDCCs", *IEEE Trans.Circuits Syst. II, Exp. Briefs*, Vol. 54, no. 8, pp. 649–652, Aug. 2007.

[14] C. M. Chang and H. P. Chen, "Universal capacitor-grounded voltage mode filter with three inputs and a single output", *Int. J. Electron.*, Vol. 90, no. 6, pp. 401–406, Jun. 2003.

[15] H. P. Chen and K. H. Wu, "Voltage-mode DDCC-based multifunction filters", *J. Circuits Syst. Comput.*, Vol. 16, no. 1, pp. 93–104, 2007.

[16] J. W. Horng, C. L. Hou, C. M. Chang, H. P. Chou, and C. T. Lin, "High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors", *Circuits Syst. Signal Process.*, Vol. 25, no. 6, pp. 767–777, 2006.

[17] H. P. Chen, "Universal voltage-mode filter using only plus-type DDCCs", *Analog Integr. Circuits Signal Process.*, Vol. 50, no. 2, pp. 137–139, Feb. 2007.

[18] M. A. Ibrahim and H. Kuntman, "A novel high CMRR high input impedance differential voltage-mode KHN-biquad employing DO-DDCCs", *Int. J. Electron. Commun. (AEU)*, Vol. 58, no. 6, pp. 429–433, Oct. 2004.

[19] J. W. Horng, W. Y. Chiu, and H. Y. Wei, "Voltage-mode high-pass, bandpass and low-pass filters using two DDCCs", *Int. J. Electron.*, Vol. 91, no. 8, pp. 461–464, Aug. 2004.

[20] H. P. Chen and S. S. Shen, "A versatile universal capacitor-grounded voltage-mode filter using DVCCs", *ETRI J.*, Vol. 29, no. 4, pp. 470–476, Aug. 2007.

[21] S. S. Gupta and R. Senani, "Grounded-Capacitor Current-Mode SRCO Novel Application of DVCCC", *Electron. Lett*, Vol. 36, No.3, February 2000.

[22] C.M. Chang, B.M. Al-Hashimi, C.L. Wang, and C.W. Hung, "Single Fully Differential Current Conveyor Biquad Filters", *IEE Proc. Circuits Devices Syst.*, Vol. 150, no. 5, 2003, pp. 394-398.

[23] J.W. Horng, C.L. Hou, C.M. Chang, W.Y, Chung, and H.Y. Wei, "Voltage-Mode Universal Biquadratic Filters with One Input and Five Outputs", *Analog Integr. Circuits and Signal Process.*, Vol.47, no. 1, 2006, pp. 73-83.

[24] S. J. Liu and D. S. Wu, "New current-feedback amplifier-based universal biquadratic filter", *IEEE Trans. Instrum. Meas.*, Vol. 44, no. 4, pp. 915–917, Aug. 1995.

[25] J. W. Horng, "New configuration for realizing universal voltage-mode filter using two current feedback amplifiers", *IEEE Trans. Instrum. Meas.*, Vol. 49, no. 5, pp. 1043–1045, Oct. 2000.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[26] E. Sackinger, W. Guggenbuhl, "A versatile building block: the CMOS differential difference amplifier", *IEEE J. Solid-State Circuits*, Vol.SC-22, no.2, pp. 287–294, 1987.

[27] M. Bhushan and R. W. Newcomb, "Grounding of capacitors in integrated circuits", *Electron. Lett.*, Vol. 3, no. 4, pp. 148–149, Apr. 1967.

[28] A. Fabre, O. Saaid, and H. Barthelemy, "On the frequency limitations of the circuits based on second generation current conveyors", *Analog Integr. Circuits Signal Process.*, Vol. 7, no. 2, pp. 113–129, Mar. 1995.

[29] P. Prommee, K. Angkeaw, M. Somdunyakanok and K. Dejhan, "CMOS-based near zero-offset multiple inputs max–min circuits and its applications", *Analog Integr. Circuits Signal Process.*, Vol.61, No.1, pp. 93-105, Oct. 2009.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ก.
# โปรแกรม PSpice ที่ใช้วิเคราะห์ในวิทยานิพนธ์

โปรแกรมสำหรับการวิเคราะห์หาคุณสมบัติของวงจร CCDDCC

```
.SUBCKT   ccddcc      12  16  5   26  27  19   20   23  24
*                     IB  X   Y1  Y2  Y3  Z1+ Z2+ Z3- Z4-
*********************************************************************************
VDD   1   0           DC +1.25
VSS   2   0           DC -1.25
VB    6   0           DC -.55
MM1   4   5   3   3   NMOS1W=1U  L=0.25U
MM2   8   26  3   3   NMOS1W=1U  L=0.25U
MM3   4   27  9   9   NMOS1 W=1U  L=0.25U
MM4   8   11  9   9   NMOS1 W=1U  L=0.25U
MM5   4   8   1   1   PMOS1 W=5U  L=0.25U
MM6   8   8   1   1   PMOS1 W=5U  L=0.25U
MM7   3   6   2   2   NMOS1 W=3U  L=0.25U
MM8   9   6   2   2   NMOS1 W=3U  L=0.25U
MM9   11  4   1   1   PMOS1 W=5U  L=0.25U
MM10  11  6   2   2   NMOS1 W=3U  L=0.25U
MM11  12  12  2   2   NMOS1 W=3U  L=0.25U
MM12  13  13  1   1   PMOS1 W=5U  L=0.25U
MM13  13  12  2   2   NMOS1 W=3U  L=0.25U
MM14  14  13  1   1   PMOS1 W=5U  L=0.25U
MM15  14  14  11  11  NMOS1 W=5U  L=0.25U
MM16  15  15  11  11  PMOS1 W=8U  L=0.25U
MM17  15  12  2   2   NMOS1 W=3U  L=0.25U
MM18  17  17  1   1   PMOS1 W=5U  L=0.25U
MM19  17  14  16  16  NMOS1 W=5U  L=0.25U
MM20  18  15  16  16  PMOS1 W=8U  L=0.25U
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MM21  18  18  2   2   NMOS1 W=3U  L=0.25U
MM22  19  17  1   1   PMOS1 W=5U  L=0.25U
MM23  19  18  2   2   NMOS1 W=3U  L=0.25U
MM24  20  17  1   1   PMOS1 W=5U  L=0.25U
MM25  20  18  2   2   NMOS1 W=3U  L=0.25U
MM26  22  17  1   1   PMOS1 W=5U  L=0.25U
MM27  21  18  2   2   NMOS1 W=3U  L=0.25U
MM28  21  21  1   1   PMOS1 W=5U  L=0.25U
MM29  22  22  2   2   NMOS1 W=3U  L=0.25U
MM30  23  21  1   1   PMOS1 W=5U  L=0.25U
MM31  23  22  2   2   NMOS1 W=3U  L=0.25U
MM32  24  21  1   1   PMOS1 W=5U  L=0.25U
MM33  24  22  2   2   NMOS1 W=3U  L=0.25U

**********T14Y MOSIS 0.25um **********
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.4317311
+PHI=0.7 VTO=0.4238252 DELTA=0 UO=425.6466519 ETA=0 THETA=0.1754054
+KP=2.501048E-4 VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8
+CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10 CJ= 1.81211E-3 PB=0.5
+MJ=0.3282553 CJSW= 5.341337E-10 MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.6348369
+PHI=0.7 VTO=-0.5536085 DELTA=0 UO=250 ETA=0 THETA=0.1573195
+KP=5.194153E-5 VMAX=2.295325E5 KAPPA= 0.7448494 RSH = 30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13 WD= 5.475113E-9
+CGDO=6.66E-10 CGSO=6.66E-10 CGBO=1E-10 CJ= 1.893569E-3 PB=0.9906013
+MJ=0.4664287 CJSW= 3.625544E-10 MJSW=0.5)
**********T14Y MOSIS 0.25um **********
.ends
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

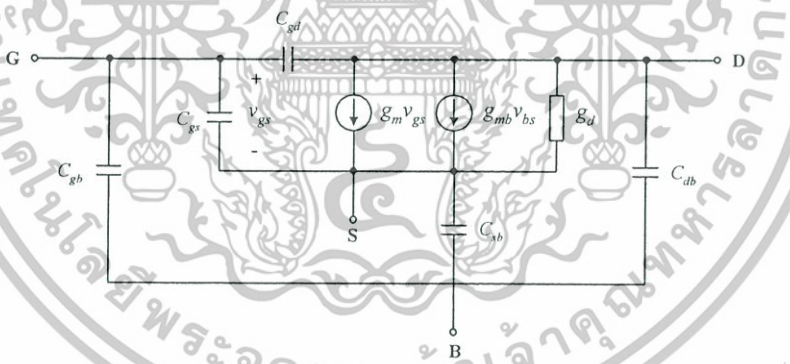
```
X2 4   0   0   1   0   2   0   0   0   ccddcc
X1 5   0   2   0   0   1   0   0   0   ccddcc
X3 6   1   0   0   0   3   0   0   0   ccddcc
F1 0   4   VB 1
F2 0   5   VB 1
F3 0   6   VB 1
IB  0   100 dc  .95u
VB 100 0   dc  0
IB3 0   6   dc  1.05u
Iin1 0   1   ac  .9
Iin2 0   2   ac  0
Iin3 0   3   ac  0
C1  2   0   10P
C2  1   0   10P
Ro  3   0   1
.ac  DEC   101  1K   100Meg
*.step   IB   list  .1u  1u   10u
*.step   IB3 list  1u   .5u  .25u  .125u  .0625u
.PROBE
.END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

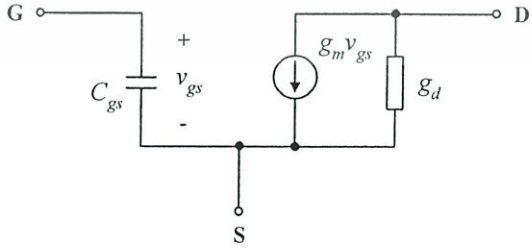
# ภาคผนวก ข.
# การวิเคราะห์สมรรถนะของวงจรกลุ่มย่อย

## ข 1 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์ เป็นทรานซิสเตอร์ที่มีคุณสมบัติคล้ายกับไบโพล่าร์ทรานซิสเตอร์ แต่มีความต่างกัน คือ มอสทรานซิสเตอร์จะมีการทำงานในช่วงนำกระแสไม่อิ่มตัว (Ohmic Region) และในช่วงนำกระแสอิ่มตัว (Saturation Region) แบบจำลองสัญญาณขนาดเล็กของอุปกรณ์นี้ปกติจะแสดงดังรูปที่ ข 1(ก) ซึ่งในกรณีของมอสทรานซิสเตอร์ทำงานในช่วงนำกระแสอิ่มตัว จะเป็นผลทำให้ช่องสนามไฟฟ้า (Channel) ที่ขาเดรนมีความแคบมาก ในช่วงนำกระแสอิ่มตัวนี้แรงดันที่ขาเดรนจะมีผลกระทบกับประจุไฟฟ้าที่ขาเกท และช่องสนามไฟฟ้าน้อยมาก ด้วยเหตุนี้เองอาจกล่าวได้ว่า ตัวเก็บประจุ $C_{gd}$ มีค่าน้อยมากสามารถประมาณได้ว่าเท่ากับศูนย์ ส่วนตัวเก็บประจุ $C_{db}$ และ $C_{gb}$ เป็นตัวเก็บประจุแอบแฝงมีค่าน้อยมาก และในการใช้งานมอสทรานซิสเตอร์ในช่วงนำกระแสอิ่มตัวในวิทยานิพนธ์จะทำการต่อฐานรอง (Body) เข้ากับขาซอส ทำให้ตัวเก็บประจุ $C_{sb}$ จะมีค่าเท่ากับศูนย์ ซึ่งแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ที่ทำงานในช่วงนำกระแสอิ่มตัว แสดงไว้ดังรูปที่ ข 1(ข)




(ก)




(ข)

**รูปที่ ข 1.1** (ก) แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ (ข) แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ช่วงนำกระแสอิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบจำลองที่ใช้สำหรับการเลียนแบบการทำงานด้วย PSpice มีอยู่ 3 แบบที่ใช้กันอย่างกว้างขวาง คือ แบบจำลองระดับหนึ่ง (Level 1 Model), แบบจำลองระดับสอง (Level 2 Model) และแบบจำลองระดับสาม (Level 3 Model)

**ข 1.1 แบบจำลองระดับหนึ่ง (Level 1 Model)**

เป็นแบบจำลองแบบพื้นฐาน ที่ใช้อ้างอิงเป็นสมการต่าง ๆ แบบพื้นฐาน เหมาะสำหรับการคำนวณพื้นฐานทั่วไปที่ไม่ต้องการวิเคราะห์ค่าความผิดพลาด (Error) ต่าง ๆ ซึ่งถ้าต้องการคำนวณวงจรแบบง่าย ๆ หรือแบบที่ไม่ต้องพิจารณาความผิดพลาดแบบจำลองนี้ก็เพียงพอที่จะใช้งานได้

**ข 1.2 แบบจำลองระดับสอง (Level 2 Model)**

เป็นแบบจำลองที่ต่างจาก (Level 1 Model) อยู่ 2 ส่วน คือ วิธีการคำนวณค่าผลกระทบของความยาวแชนแนล (Effective Channel Length: $\lambda$) และในส่วนของการเปลี่ยนแปลง (Transition) ช่วงนำกระแสการทำงานระหว่างอิ่มตัว และไม่อิ่มตัว ใช้เวลาในการคำนวณการเปลี่ยนแปลง (Transition) ช่วงนำกระแสทำงานระหว่างอิ่มตัว และไม่อิ่มตัวมาก ในแบบจำลองระดับสองนี้ยังให้ประโยชน์ด้านประสิทธิภาพที่ดีกว่า และสนับสนุนการใช้อุปกรณ์ที่มีแชนแนลแคบ (Short Channel)

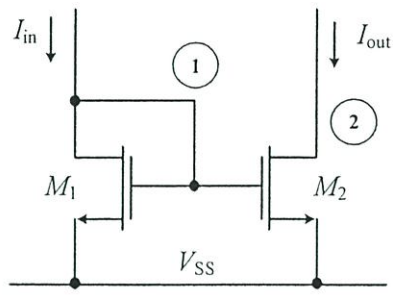
**ข 1.3 แบบจำลองระดับสาม (Level 3 Model)**

เป็นแบบจำลองที่ผสมผสานตัวแปรจากการสังเกตเข้าไปด้วย (Semi-Empirical Model) โดยที่ตัวแปรต่าง ๆ ที่เพิ่มเติมเข้ามา (จะมีความสัมพันธ์ไม่ชัดเจนว่าส่งผลมาจากคุณสมบัติทางกายภาพของมอสทรานซิสเตอร์) จะทำให้ประสิทธิภาพที่ดีขึ้น ในแบบจำลองระดับสามนี้ยังสามารถลดเวลาในการคำนวณการเปลี่ยนแปลง (Transition) ช่วงนำกระแสทำงานระหว่างอิ่มตัว และไม่อิ่มตัวมากอีกด้วย

**ข 2 การวิเคราะห์ทรานซิสเตอร์วงจรสะท้อนกระแสแบบพื้นฐาน**

วงจรสะท้อนกระแส (Current mirror) แบบพื้นฐาน สามารถแบ่งการวิเคราะห์วงจรออกเป็น 2 ส่วนคือ การวิเคราะห์วงจรสะท้อนกระแสทางไฟตรงและการวิเคราะห์วงจรสะท้อนกระแสทางไฟสลับ สำหรับการวิเคราะห์วงจรสะท้อนกระแสทางไฟตรงสามารถที่จะวิเคราะห์ในแบบจำลองสัญญาณขนาดใหญ่ ซึ่งในการวิเคราะห์ดังกล่าวใช้สำหรับหาค่าอัตราส่วนของการสะท้อนกระแสแสดงได้ดังรูปที่ ข 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ ข 2.1** วงจรสะท้อนกระแสแบบพื้นฐาน

จากรูปที่ ข 2.1 สามารถเขียนสมการของแรงดันที่ $V_1$ ได้ดังสมการที่ (ข 1) คือ

$$V_1 = \sqrt{\frac{I_{in}}{\beta_1}} + V_{TN} \qquad \text{(ข 1)}$$

เมื่อผลของกระแสทางเอาท์พุทมีค่าดังสมการที่ (ข 2) คือ

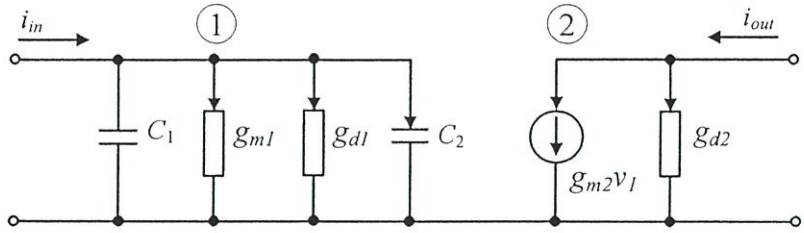
$$I_{out} = \beta_2 (V_1 - V_{TN})^2 \qquad \text{(ข 2)}$$

โดยที่ $\beta_1 = \frac{\mu C_{OX}}{2}(W/L)$ และเนื่องจากที่ขาเกทของทรานซิสเตอร์จะไม่มีกระแสไหล เมื่อกำหนดให้ทรานซิสเตอร์ $M_1$ และ $M_2$ มีความสมพงษ์กันทุกประการ และจะเป็นผลทำให้อัตราส่วนของกระแสมีค่าเป็น

$$\frac{I_{out}}{I_{in}} = \frac{\beta_1}{\beta_2} = \frac{(W/L)_2}{(W/L)_1} \qquad \text{(ข 3)}$$

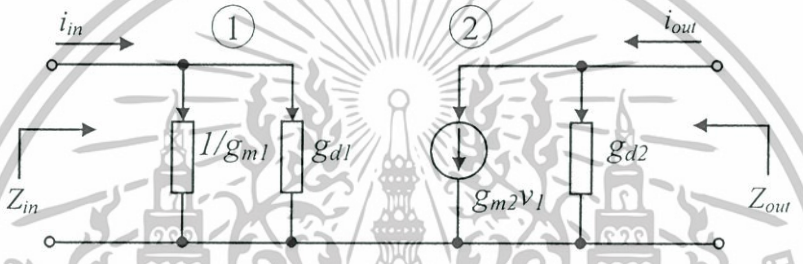
ส่วนการวิเคราะห์วงจรสะท้อนกระแสทางไฟสลับ จะใช้แบบจำลองสัญญาณขนาดเล็ก ซึ่งจะสามารถวิเคราะห์หาค่าของอินพุทและเอาท์พุทอิมพีแดนซ์ และการตอบสนองทางความถี่ได้ โดยใช้แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบพื้นฐานแสดงได้ดังรูปที่ ข 2.2 ที่ได้จากวงจรสะท้อนกระแสแบบพื้นฐานในรูปที่ ข 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ ข 2.2** แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบพื้นฐาน

จากรูปที่ ข 2.2 เมื่อค่าของตัวเก็บประจุ $C_1 = C_{gs1}$ โดยที่แบบจำลองสัญญาณขนาดเล็กที่ใช้วิเคราะห์หาค่าของอินพุทและเอาท์พุทอิมพีแดนซ์สามารถแสดงได้ดังรูปที่ ข 2.3




**รูปที่ ข 2.3** แบบจำลองสัญญาณขนาดเล็กสำหรับวิเคราะห์ค่าอิมพีแดนซ์

จากรูปที่ ข 2.3 อินพุทอิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐาน สามารถเขียนได้ดังสมการที่ (ข 4) คือ

$$Z_{in} = \frac{1}{g_{m1}} \qquad \text{(ข 4)}$$

และค่าของเอาท์พุทอิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐาน สามารถเขียนได้ดังสมการที่ (ข 5) คือ

$$Z_{out} = r_2 = r_{d2} \qquad \text{(ข 5)}$$

ในการวิเคราะห์หาค่าการตอบสนองทางความถี่ของวงจรสะท้อนกระแสแบบพื้นฐานรูปที่ ข 2.1 สามารถกระทำได้โดยใช้แบบจำลองสัญญาณขนาดเล็กแสดงได้ดังรูปที่ ข 2.2 ซึ่งในการวิเคราะห์หาค่าสมการถ่ายโอนของกระแสอินพุทและเอาท์พุท สามารถเขียนได้ดังสมการที่ (ข 6) โดยการวิเคราะห์เป็นแบบ KCL คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{in} = v_1 s(C_1 + C_2) + v_1(g_{m1} + g_{d1}) \quad \text{(ข 6)}$$

เมื่อ $$i_{out} \approx g_{m2} v_1 \quad \text{(ข 7)}$$

แทนค่าของสมการที่ (ข 6) ลงในสมการที่ (ข 7) ดังนั้นค่าของสมการถ่ายโอนในรูปแบบของกระแสจะมีค่าเป็น

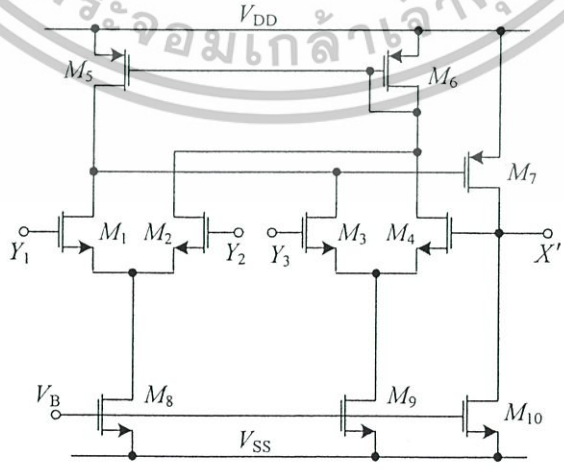
$$\frac{i_{out}}{i_{in}} \approx \frac{g_{m2}}{g_{m1} + g_{d1} + s(C_1 + C_2)} \quad \text{(ข 8)}$$

จากสมการที่ (ข 8) สามารถประมาณค่าความถี่ตอบสนองได้เป็น

แทนค่าตัวแปร $$f_{-3dB} \approx \frac{g_{m1} + g_{d1}}{C_1 + C_2} \quad \text{(ข 9)}$$

**ข 3 การวิเคราะห์ทรานซิสเตอร์วงจรกันชนรูปแบบแรงดันแตกต่าง**

วงจรกันชนรูปแบบแรงดันแตกต่างด้วยซีมอส (CMOS Differential voltage buffer: DVB) ในวิทยานิพนธ์ฉบับนี้มีโครงสร้างลักษณะคล้ายกับวงจร DDA (Differential difference amplifier) [26] โดยที่วงจรมีค่าทรานคอนดักแตนซ์ที่อินพุทแตกต่างกันอยู่สองชุดที่ทำงานด้วยทรานซิสเตอร์ $M_1$ , $M_2$ และ $M_3$, $M_4$ ที่มีค่าอัตราการขยายที่สูง ซึ่งเป็นผลมาจากวงจรสะท้อนกระแสจากทรานซิสเตอร์ $M_5$ และ $M_6$ และส่งผลไปยังกระแสที่เอาท์พุทของทรานซิสเตอร์ $M_7$ แสดงได้ดังรูปที่ ข 3.1




**รูปที่ ข 3.1** การวิเคราะห์วงจรกันชนรูปแบบแรงดันแตกต่างด้วยซีมอส

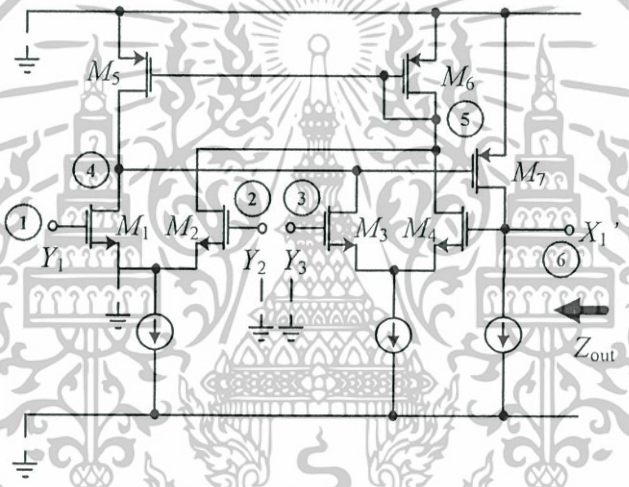
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ ข 3.1 สามารถหาค่าความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุทได้เป็น

$$V_{X'} = V_{Y1} - V_{Y2} + V_{Y3} \qquad \text{(ข 10)}$$

ในการวิเคราะห์วงจรกันชนรูปแบบแรงดันแตกต่างแบบซีมอสทางไฟสลับ โดยใช้แบบจำลองสัญญาณขนาดเล็ก ซึ่งจะสามารถวิเคราะห์หาค่าของแรงดันเอาท์พุทและค่าของเอาท์พุทอิมพีแดนซ์ ในกรณีที่แรงดันอินพุทมีค่าที่แตกต่างกัน ด้วยแบบจำลองสัญญาณขนาดเล็กของวงจรกันชนรูปแบบแรงดันแตกต่างที่แสดงได้จากรูปที่ ข 3.2

**กรณีอินพุทเป็น $Y_1$ เมื่อ $Y_2 = Y_3 = 0$**



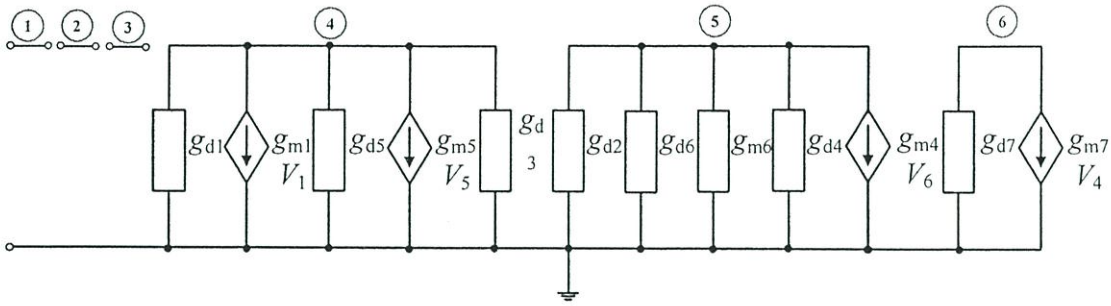

**รูปที่ ข 3.2** การวิเคราะห์กันชนรูปแบบแรงดันแตกต่างกรณีที่อินพุทเป็น $Y_1$

จากรูปที่ ข 3.2 สามารถหาค่าความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุทได้เป็น

$$V_{X'} \approx \beta_{y1} V_{Y1} - \beta_{y2} V_{Y2} + \beta_{y3} V_{Y3} \qquad \text{(ข 11)}$$

เมื่อ $\beta$ คือ อัตราการส่งถ่ายแรงดันจากขั้ว $Y$ ไปยังที่ขั้ว $X'$ ถ้ากรณีที่ไม่มีแรงดันอินพุทที่ขั้ว $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ จะทำให้เกิดการเปลี่ยนแปลงของแรงดันขึ้นที่ขั้ว $X'$ เช่น ในกรณีป้อนอินพุทเข้าที่ขั้ว $Y_1$ โดยที่ขั้วของ $Y_2 = Y_3 = 0$ สามารถแสดงได้โดยใช้แบบจำลองสัญญาณขนาดเล็กของวงจรกันชนรูปแบบแรงดันแตกต่างด้วยซีมอส ดังรูปที่ ข 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ ข 3.3** แบบจำลองสัญญาณขนาดเล็กกรณีที่อินพุทเป็น $Y_1$

จากรูปที่ ข 3.3 ความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุทที่โหนด 4 - 6 มีค่าเป็น

$$\beta_{Y1} \approx \frac{\begin{array}{l}(g_{d2}g_{m1}g_{m7})+(g_{d6}g_{m1}g_{m7})+(g_{m6}g_{m1}g_{m7})+(g_{d4}g_{m1}g_{m7})\end{array}}{\begin{array}{l}(g_{m4}g_{m5}g_{m7})+(g_{d1}g_{d2}g_{d7})+(g_{d1}g_{d6}g_{d7})+(g_{m6}g_{d7}g_{d1})+(g_{d1}g_{d4}g_{d7})\\+(g_{m6}g_{d7}g_{d3})+(g_{d5}g_{d2}g_{d7})+(g_{d5}g_{d6}g_{d7})+(g_{d5}g_{d4}g_{d7})+(g_{d3}g_{d6}g_{d7})\\+(g_{m6}g_{d7}g_{d5})+(g_{d3}g_{d4}g_{d7})\end{array}} \quad \text{(ข 12)}$$

เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

$$\beta_{Y1} \approx \frac{(g_{d2}g_{m1}g_{m7})+(g_{d6}g_{m1}g_{m7})+(g_{m6}g_{m1}g_{m7})+(g_{d4}g_{m1}g_{m7})}{(g_{m4}g_{m5}g_{m7})+(g_{m6}g_{d7}g_{d1})+(g_{m6}g_{d7}g_{d3})+(g_{m6}g_{d7}g_{d5})} \quad \text{(ข 13)}$$

$$\therefore \beta_{y1} \approx \frac{g_{m7}g_{m1}(g_{m6}+g_{d2}+g_{d4}+g_{d6})}{g_{m4}g_{m5}g_{m7}+g_{m6}g_{d7}(g_{d1}+g_{d3}+g_{d5})} \quad \text{(ข 14)}$$

เมื่อ $g_{di}$ และ $g_{mi}$ คือ ค่าความนำที่ขาเดรนและค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ $M_i$ ตามลำดับ เนื่องจาก $g_{mi} >> g_{di}$ ในทำนองเดียวกันการกำหนดค่าแรงดันให้มีค่าเข้าใกล้ศูนย์ โดยที่อินพุทของ $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ จะเกิดผลกระทบกับเอาท์พุทอิมพีแดนซ์ที่ขั้ว $X'$ โดยสามารถหาค่าเอาท์พุทอิมพีแดนซ์ของขั้ว $X'$ ได้เป็น

$$r_{X_1'} \approx \frac{\begin{array}{l}(g_{d1}g_{d2})+(g_{d1}g_{d6})+(g_{d1}g_{m6})+(g_{d1}g_{d4})+(g_{d5}g_{d2})+(g_{d5}g_{d6})+(g_{d5}g_{m6})\\+(g_{d5}g_{d4})+(g_{d3}g_{d2})+(g_{d3}g_{d6})+(g_{d3}g_{m6})+(g_{d3}g_{d4})\end{array}}{\begin{array}{l}(g_{m4}g_{m5}g_{m7})+(g_{d1}g_{d2}g_{d7})+(g_{d1}g_{d6}g_{d7})+(g_{m6}g_{d7}g_{d1})+(g_{d1}g_{d4}g_{d7})\\+(g_{m6}g_{d7}g_{d3})+(g_{d5}g_{d2}g_{d7})+(g_{d5}g_{d6}g_{d7})+(g_{d5}g_{d4}g_{d7})+(g_{d3}g_{d6}g_{d7})\\+(g_{m6}g_{d7}g_{d5})+(g_{d3}g_{d4}g_{d7})\end{array}}$$

(ข 15)

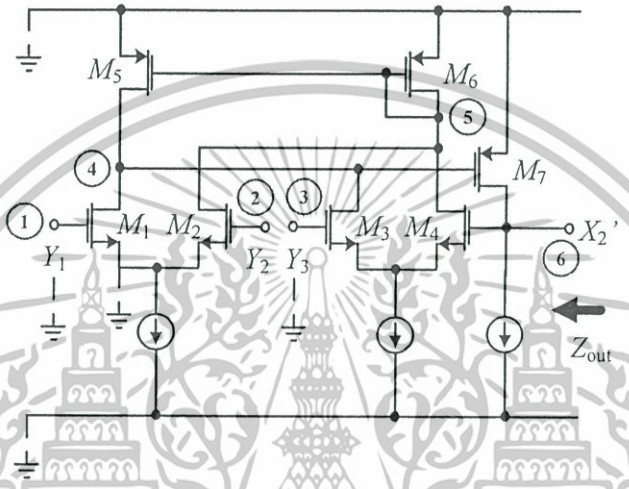
เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$r_{X_1'} \approx \frac{(g_{d1}g_{m6})+(g_{d3}g_{m6})+(g_{d5}g_{m6})}{(g_{m4}g_{m5}g_{m7})+(g_{m6}g_{d7}g_{d1})+(g_{m6}g_{d7}g_{d3})+(g_{m6}g_{d7}g_{d5})} \qquad \text{(ข 16)}$$

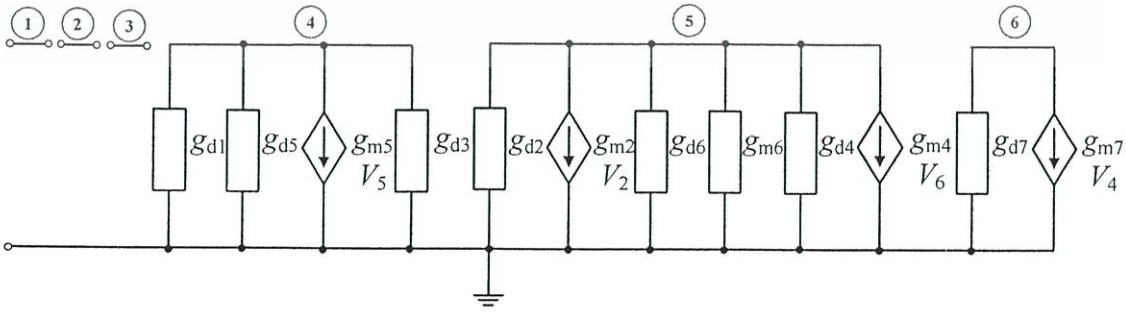
$$\therefore \qquad r_{X_1'} \approx \frac{g_{m6}(g_{d1}+g_{d3}+g_{d5})}{g_{m4}g_{m5}g_{m7}+g_{m6}g_{d7}(g_{d1}+g_{d5}+g_{d3})} \qquad \text{(ข 17)}$$

**กรณีอินพุทเป็น $Y_2$ เมื่อ $Y_1 = Y_3 = 0$**




**รูปที่ ข 3.4** การวิเคราะห์กันชนรูปแบบแรงดันแตกต่างกรณีที่อินพุทเป็น $Y_2$

จากรูปที่ ข 3.4 ความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุท เป็นดังสมการที่ (ข 11) เมื่อ $\beta$ คือ อัตราการส่งถ่ายแรงดันจากขั้ว $Y$ ไปยังที่ขั้ว $X'$ ถ้ากรณีที่ไม่มีแรงดันอินพุทที่ขั้ว $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ จะทำให้เกิดการเปลี่ยนแปลงของแรงดันขึ้นที่ขั้ว $X'$ เช่น ในกรณีป้อนอินพุทเข้าที่ขั้ว $Y_2$ โดยที่ขั้วของ $Y_1 = Y_3 = 0$ สามารถแสดงได้โดยใช้แบบจำลองสัญญาณขนาดเล็กของวงจรกันชนรูปแบบแรงดันแตกต่างด้วยซีมอส ดังรูปที่ ข 3.5




**รูปที่ ข 3.5** แบบจำลองสัญญาณขนาดเล็กกรณีที่อินพุทเป็น $Y_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ ข 3.5 ความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุทที่โหนด 4 - 6 มีค่าเป็น

$$\beta_{Y2} \approx \frac{(g_{d1}g_{m2}g_{m4})+(g_{d5}g_{m2}g_{m4})+(g_{m2}g_{m5}g_{m7})+(g_{d3}g_{m2}g_{m4})}{(g_{m4}g_{m5}g_{m7})+(g_{d1}g_{d2}g_{d7})+(g_{d1}g_{d6}g_{d7})+(g_{m6}g_{d7}g_{d1})+(g_{d1}g_{d4}g_{d7}) + (g_{m6}g_{d7}g_{d3})+(g_{d5}g_{d2}g_{d7})+(g_{d5}g_{d6}g_{d7})+(g_{d5}g_{d4}g_{d7})+(g_{d3}g_{d6}g_{d7}) + (g_{m6}g_{d7}g_{d5})+(g_{d3}g_{d4}g_{d7})} \quad \text{(ข 18)}$$

เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

$$\beta_{Y2} \approx \frac{(g_{d1}g_{m2}g_{m4})+(g_{d5}g_{m2}g_{m4})+(g_{m2}g_{m5}g_{m7})+(g_{d3}g_{m2}g_{m4})}{(g_{m4}g_{m5}g_{m7})+(g_{m6}g_{d7}g_{d1})+(g_{m6}g_{d7}g_{d3})+(g_{m6}g_{d7}g_{d5})} \quad \text{(ข 19)}$$

$$\therefore \quad \beta_{Y2} \approx \frac{g_{m2}g_{m5}g_{m7}}{g_{m4}g_{m5}g_{m7}+g_{m6}g_{d7}(g_{d1}+g_{d3}+g_{d5})} \quad \text{(ข 20)}$$

เมื่อ $g_{di}$ และ $g_{mi}$ คือ ค่าความนำที่ขาเดรนและค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ $M_i$ ตามลำดับ เนื่องจาก $g_{mi} >> g_{di}$ ในทำนองเดียวกันการกำหนดค่าแรงดันให้มีค่าเข้าใกล้ศูนย์ โดยที่อินพุทของ $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ จะเกิดผลกระทบกับเอาท์พุทอิมพีแดนซ์ที่ขั้ว $X'$ โดยสามารถหาค่าเอาท์พุทอิมพีแดนซ์ของขั้ว $X'$ ได้เป็น

$$r_{X_2'} \approx \frac{\begin{matrix}(g_{d1}g_{d2})+(g_{d1}g_{d6})+(g_{d1}g_{m6})+(g_{d1}g_{d4})+(g_{d5}g_{d2})+(g_{d5}g_{d6})+(g_{d5}g_{m6}) \\ +(g_{d5}g_{d4})+(g_{d3}g_{d2})+(g_{d3}g_{d6})+(g_{d3}g_{m6})+(g_{d3}g_{d4})\end{matrix}}{\begin{matrix}(g_{m4}g_{m5}g_{m7})+(g_{d1}g_{d2}g_{d7})+(g_{d1}g_{d6}g_{d7})+(g_{m6}g_{d7}g_{d1})+(g_{d1}g_{d4}g_{d7}) \\ +(g_{m6}g_{d7}g_{d3})+(g_{d5}g_{d2}g_{d7})+(g_{d5}g_{d6}g_{d7})+(g_{d5}g_{d4}g_{d7})+(g_{d3}g_{d6}g_{d7}) \\ +(g_{m6}g_{d7}g_{d5})+(g_{d3}g_{d4}g_{d7})\end{matrix}} \quad \text{(ข 21)}$$

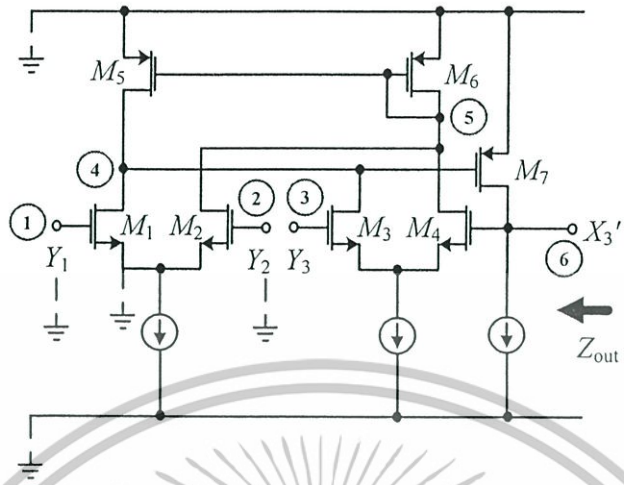
เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

$$r_{X_2'} \approx \frac{(g_{d1}g_{m6})+(g_{d3}g_{m6})+(g_{d5}g_{m6})}{(g_{m4}g_{m5}g_{m7})+(g_{m6}g_{d7}g_{d1})+(g_{m6}g_{d7}g_{d3})+(g_{m6}g_{d7}g_{d5})} \quad \text{(ข 22)}$$

$$\therefore \quad r_{X_2'} \approx \frac{g_{m6}(g_{d1}+g_{d3}+g_{d5})}{g_{m4}g_{m5}g_{m7}+g_{m6}g_{d7}(g_{d1}+g_{d5}+g_{d3})} \quad \text{(ข 23)}$$

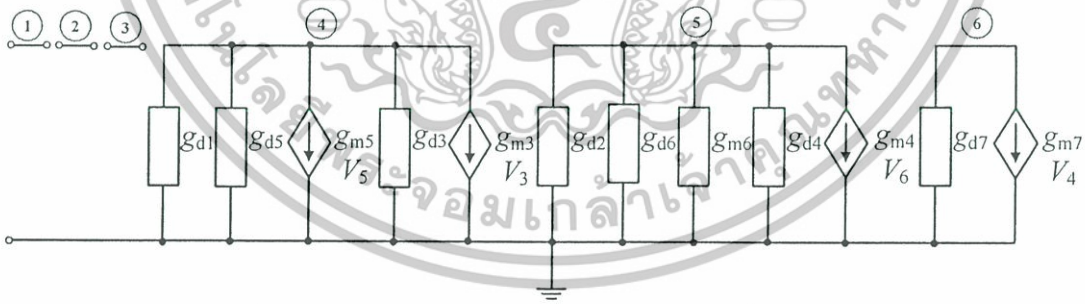
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**กรณีอินพุทเป็น $Y_3$ เมื่อ $Y_1 = Y_2 = 0$**




**รูปที่ ข 3.6** การวิเคราะห์กันชนรูปแบบแรงดันแตกต่างกรณีที่อินพุทเป็น $Y_3$

จากรูปที่ ข 3.6 ความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุท เป็นดังสมการที่ (ข 11) เมื่อ $\beta$ คือ อัตราการส่งถ่ายแรงดันจากขั้ว $Y$ ไปยังที่ขั้ว $X'$ ถ้ากรณีที่ไม่มีแรงดันอินพุทที่ขั้ว $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ จะทำให้เกิดการเปลี่ยนแปลงของแรงดันขึ้นที่ขั้ว $X'$ เช่น ในกรณีป้อนอินพุทเข้าที่ขั้ว $Y_3$ โดยที่ขั้วของ $Y_1 = Y_2 = 0$ สามารถแสดงได้โดยใช้แบบจำลองสัญญาณขนาดเล็กของวงจรกันชนรูปแบบแรงดันแตกต่างด้วยซีมอส ดังรูปที่ ข 3.7




**รูปที่ ข 3.7** แบบจำลองสัญญาณขนาดเล็กกรณีที่อินพุทเป็น $Y_3$

จากรูปที่ ข 3.7 ความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุทที่โหนด 4 - 6 มีค่าเป็น

$$\beta_{Y3} \approx \frac{(g_{d2}g_{m3}g_{m7})+(g_{d6}g_{m3}g_{m7})+(g_{m6}g_{m3}g_{m7})+(g_{d4}g_{m3}g_{m7})}{\begin{aligned}&(g_{m4}g_{m5}g_{m7})+(g_{d1}g_{d2}g_{d7})+(g_{d1}g_{d6}g_{d7})+(g_{m6}g_{d7}g_{d1})+(g_{d1}g_{d4}g_{d7})\\&+(g_{m6}g_{d7}g_{d3})+(g_{d5}g_{d2}g_{d7})+(g_{d5}g_{d6}g_{d7})+(g_{d5}g_{d4}g_{d7})+(g_{d3}g_{d6}g_{d7})\\&+(g_{m6}g_{d7}g_{d5})+(g_{d3}g_{d4}g_{d7})\end{aligned}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

$$\beta_{Y3} \approx \frac{(g_{d2}g_{m3}g_{m7})+(g_{d6}g_{m3}g_{m7})+(g_{m6}g_{m3}g_{m7})+(g_{d4}g_{m3}g_{m7})}{(g_{m4}g_{m5}g_{m7})+(g_{m6}g_{d7}g_{d1})+(g_{m6}g_{d7}g_{d3})+(g_{m6}g_{d7}g_{d5})} \qquad \text{(ข 25)}$$

$$\therefore \qquad \beta_{Y3} \approx \frac{g_{m3}g_{m7}(g_{m6}+g_{d2}+g_{d4}+g_{d6})}{g_{m4}g_{m5}g_{m7}+g_{m6}g_{d7}(g_{d1}+g_{d3}+g_{d5})} \qquad \text{(ข 26)}$$

เมื่อ $g_{di}$ และ $g_{mi}$ คือ ค่าความนำที่ขาเดรนและค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ $M_i$ ตามลำดับ เนื่องจาก $g_{mi} >> g_{di}$ ในทำนองเดียวกันการกำหนดค่าแรงดันให้มีค่าเข้าใกล้ศูนย์ โดยที่อินพุทของ $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ จะเกิดผลกระทบกับเอาท์พุทอิมพีแดนซ์ที่ขั้ว $X'$ โดยสามารถหาค่าเอาท์พุทอิมพีแดนซ์ของขั้ว $X'$ ได้เป็น

$$r_{X_3'} \approx \frac{\begin{array}{l}(g_{d1}g_{d2})+(g_{d1}g_{d6})+(g_{d1}g_{m6})+(g_{d1}g_{d4})+(g_{d5}g_{d2})+(g_{d5}g_{d6})+(g_{d5}g_{m6}) \\ +(g_{d5}g_{d4})+(g_{d3}g_{d2})+(g_{d3}g_{d6})+(g_{d3}g_{m6})+(g_{d3}g_{d4})\end{array}}{\begin{array}{l}(g_{m4}g_{m5}g_{m7})+(g_{d1}g_{d2}g_{d7})+(g_{d1}g_{d6}g_{d7})+(g_{m6}g_{d7}g_{d1})+(g_{d1}g_{d4}g_{d7}) \\ +(g_{m6}g_{d7}g_{d3})+(g_{d5}g_{d2}g_{d7})+(g_{d5}g_{d6}g_{d7})+(g_{d5}g_{d4}g_{d7})+(g_{d3}g_{d6}g_{d7}) \\ +(g_{m6}g_{d7}g_{d5})+(g_{d3}g_{d4}g_{d7})\end{array}} \qquad \text{(ข 27)}$$

เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

$$r_{X_3'} \approx \frac{(g_{d1}g_{m6})+(g_{d3}g_{m6})+(g_{d5}g_{m6})}{(g_{m4}g_{m5}g_{m7})+(g_{m6}g_{d7}g_{d1})+(g_{m6}g_{d7}g_{d3})+(g_{m6}g_{d7}g_{d5})} \qquad \text{(ข 28)}$$

$$\therefore \qquad r_{X_3'} \approx \frac{g_{m6}(g_{d1}+g_{d3}+g_{d5})}{g_{m4}g_{m5}g_{m7}+g_{m6}g_{d7}(g_{d1}+g_{d5}+g_{d3})} \qquad \text{(ข 29)}$$

ผลจากการวิเคราะห์เมื่อป้อนแรงดันอินพุททั้ง 3 กรณี จะเห็นได้ว่าการส่งถ่ายแรงดันจากขั้ว $Y$ ไปยังที่ขั้ว $X'$ จะมีการเปลี่ยนแปลงเมื่อแรงดันอินพุทที่ขั้ว $V_{Y1}, V_{Y2}$ และ $V_{Y3}$ มีการเปลี่ยนแปลงทุกครั้งเป็นไปตามสมการที่ (ข 14) , (ข 20) และ (ข 26) ตามลำดับ แต่จะไม่มีผลกระทบต่อค่าเอาท์พุทอิมพีแดนซ์ที่ขั้ว $X'$ ใด ๆ โดยสังเกตได้จากสมการที่ (ข 17) , (ข 23) และ (ข 29) ตามลำดับ ซึ่งทำให้วงจรกันชนรูปแบบแรงดันแตกต่างด้วยซีมอสเหมาะที่จะนำมาสร้างในส่วนของภาคอินพุท สำหรับวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแสที่นำเสนอในวิทยานิพนธ์

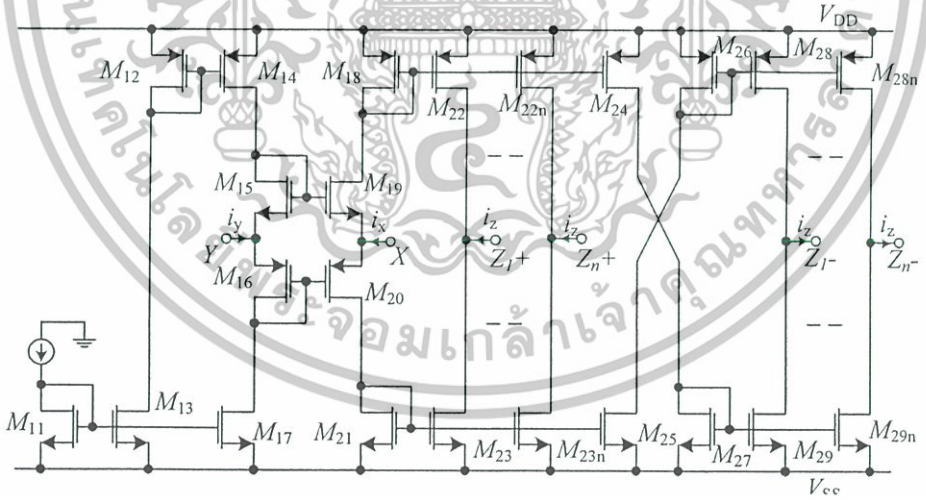
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ข 4 การวิเคราะห์ทรานซิสเตอร์วงจรสายพานกระแสควบคุมด้วยกระแส**

วงจรสายพานกระแส (Current conveyor) ได้ถูกพัฒนาและนำเสนอขึ้นในปี 1969 โดย K. C. Smith และ A. Sedra ได้เป็นผู้กำเนิดแนวคิดวงจรขึ้นใหม่ที่เรียกว่า วงจรสายพานกระแสยุคที่หนึ่ง (First-Generation Current Conveyor) หรือมีชื่อย่อว่า CCI ต่อมาในปี 1970 K. C Smith และ A. Sedra [1] ได้นำเสนอวงจรสายพานกระแสยุคที่สอง (Second-Generation Current Conveyor) หรือ CCII โดยมีการนำเสนอการประยุกต์ใช้งาน จึงทำให้ CCII ได้รับความนิยมมาจนถึงปัจจุบัน วงจรสายพานกระแสยุคที่สอง CCII สามารถสร้างขึ้นจากไบโพล่าร์ทรานซิสเตอร์ นอกจากนี้ยังสามารถแทนไบโพล่าร์ทรานซิสเตอร์ไปเป็นมอสทรานซิสเตอร์ได้อีกด้วย

วงจรสายพานกระแสควบคุมด้วยกระแส (CCCII) ที่นำเสนอในวิทยานิพนธ์แสดงได้ดังรูปที่ ข 4.1 เมื่อพิจารณาวงจร CCII จะเห็นว่าวงจรมีทั้งหมดสามขั้ว คือ $X, Y$ และ $Z$ โดยความสัมพันธ์ของกระแสและแรงดันของขั้วทั้งสามสามารถแสดงอยู่ในรูปเมตริกซ์ได้ดังสมการที่ (ข 30) คือ

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \qquad \text{(ข 30)}$$

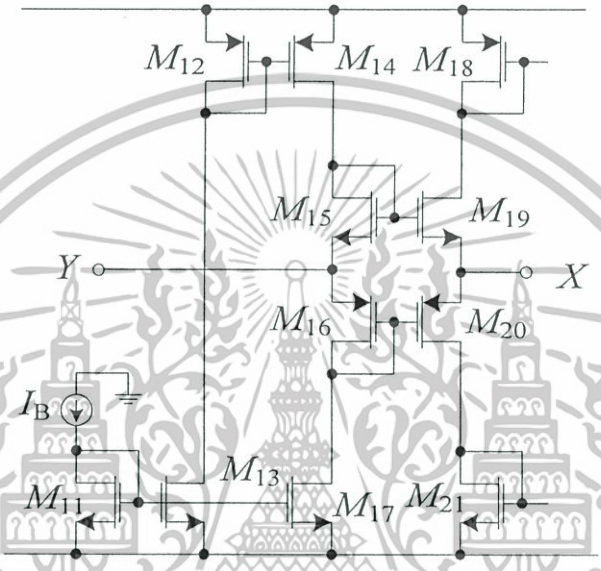



**รูปที่ ข 4.1** การวิเคราะห์วงจรสายพานกระแสควบคุมด้วยกระแส

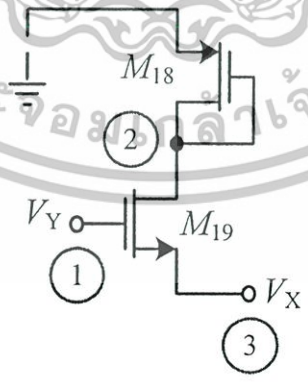
จากสมการที่ (ข 30) จะเห็นได้ว่าที่ขั้ว $Y$ จะมีความต้านทานทางเอาท์พุทสูงเข้าใกล้อนันต์ $(\infty)$ และแรงดันที่ขั้ว $X$ จะมีค่าเท่ากับแรงดันที่ป้อนเข้าขั้ว $Y$ ในขณะที่ขั้ว $X$ จะมีความต้านทาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เข้าใกล้ศูนย์ กระแสที่ป้อนเข้าที่อินพุท $X$ จะถูกขนถ่ายไปเป็นกระแสเอาท์พุทที่ขั้ว $Z$ โดยกระแสเอาท์พุทของ $i_z$ ประกอบด้วยกระแสเอาท์พุททางด้านบวก $\left(i_z^+\right)$ และกระแสเอาท์พุททางด้านลบ $\left(i_z^-\right)$ ซึ่งสามารถเขียนแทนได้ด้วย (CCCII+) และ (CCCII-) ตามลำดับ ส่วนในค่าของ $R_X$ ซึ่งเป็นค่าความต้านทานแฝงที่ขั้ว $X$ ของ CCCII สามารถหาค่าความต้านทานแฝงภายในที่ขั้ว $X$ โดยใช้แบบจำลองสัญญาณขนาดเล็กของวงจรสายพานกระแสควบคุมด้วยกระแส ที่แสดงได้จากรูปที่ ข 4.2 และ ข 4.3



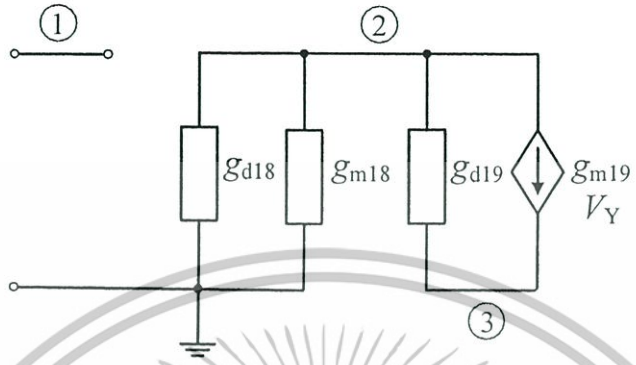

**รูปที่ ข 4.2** การวิเคราะห์หาค่าความต้านทานแฝงที่ขั้ว $X$




**รูปที่ ข 4.3** การวิเคราะห์ในวงจรส่วนบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ ข 4.3 เป็นการวิเคราะห์หาค่าแรงดันส่งผ่านจากขั้ว $Y$ ไปยังขั้ว $X$ และค่าความต้านทานแฝงที่ขั้ว $X$ คือ $(r_{X1})$ ในส่วนบน จากการวิเคราะห์โดยใช้ทรานซิสเตอร์ $M_{18}$ และ $M_{19}$ โดยวิเคราะห์จากวงจรสัญญาณขนาดเล็กในรูปที่ ข 4.4




**รูปที่ ข 4.4** แบบจำลองสัญญาณขนาดเล็กสำหรับการวิเคราะห์ในวงจรส่วนบน

จากรูปที่ ข 4.4 ความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุทที่โหนด 1 - 3 มีค่าเป็น

$$\frac{V_X}{V_Y} \approx \frac{(g_{d18}g_{m19})+(g_{m18}g_{m19})}{(g_{d18}g_{d19})+(g_{d18}g_{m19})+(g_{m18}g_{d19})+(g_{m18}g_{m19})} \qquad \text{(ข 31)}$$

เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

$$\therefore \quad \frac{V_X}{V_Y} \approx \frac{(g_{m18}g_{m19})}{(g_{m18}g_{m19})} \approx 1 \qquad \text{(ข 32)}$$

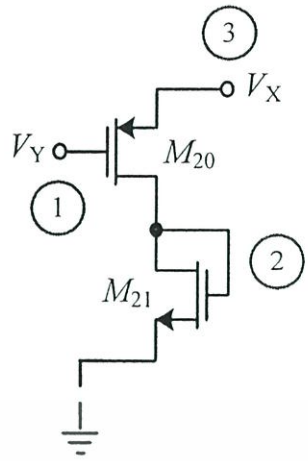
และจากรูปที่ ข 4.4 สามารถหาค่าเอาท์พุทอิมพีแดนซ์ ซึ่งก็คือค่าความต้านทานแฝงที่ขั้ว $X$ คือ $(r_{X1})$ ที่โหนด 1 - 3 ได้เป็น

$$r_{X1} \approx \frac{g_{d18}+g_{m18}+g_{d19}}{(g_{d18}g_{d19})+(g_{d18}g_{m19})+(g_{m18}g_{d19})+(g_{m18}g_{m19})} \qquad \text{(ข 33)}$$

เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

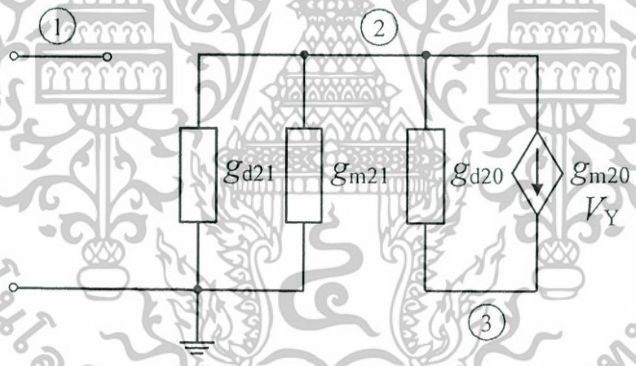
$$\therefore \quad r_{X1} \approx \frac{1}{g_{m19}} \qquad \text{(ข 34)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**รูปที่ ข 4.5** การวิเคราะห์ในวงจรส่วนล่าง

จากรูปที่ ข 4.5 เป็นการวิเคราะห์หาค่าแรงดันส่งผ่านจากขั้ว $Y$ ไปยังขั้ว $X$ และค่าความต้านทานแฝงที่ขั้ว $X$ คือ $(r_{X2})$ ในส่วนล่าง จากการวิเคราะห์โดยใช้ทรานซิสเตอร์ $M_{20}$ และ $M_{21}$ โดยวิเคราะห์จากวงจรสัญญาณขนาดเล็กในรูปที่ ข 4.6




**รูปที่ ข 4.6** แบบจำลองสัญญาณขนาดเล็กสำหรับการวิเคราะห์ในวงจรส่วนล่าง

จากรูปที่ ข 4.6 ความสัมพันธ์ของแรงดันที่เอาท์พุทและอินพุทที่โหนด 1 - 3 มีค่าเป็น

$$\frac{V_X}{V_Y} \approx \frac{(g_{d21}g_{m20})+(g_{m21}g_{m20})}{(g_{d21}g_{d20})+(g_{d21}g_{m20})+(g_{m21}g_{d20})+(g_{m21}g_{m20})} \qquad \text{(ข 35)}$$

เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\therefore \quad \frac{V_X}{V_Y} \approx \frac{(g_{m21}g_{m20})}{(g_{m21}g_{m20})} \approx 1 \qquad \text{(ข 36)}$$

และจากรูปที่ ข 4.6 สามารถหาค่าเอาท์พุทอิมพีแดนซ์ ซึ่งก็คือค่าความต้านทานแฝงที่ขั้ว $X$ คือ $(r_{X2})$ ที่โหนด 1 - 3 ได้เป็น

$$r_{X2} \approx \frac{g_{d21} + g_{m21} + g_{d20}}{(g_{d21}g_{d20}) + (g_{d21}g_{m20}) + (g_{m21}g_{d20}) + (g_{m21}g_{m20})} \qquad \text{(ข 37)}$$

เนื่องจาก $g_{mi} >> g_{di}$ ดังนั้น

$$\therefore \quad r_{X2} \approx \frac{1}{g_{m20}} \qquad \text{(ข 38)}$$

ดังนั้นเมื่อวิเคราะห์หาค่าความต้านทานแฝงที่ขั้ว $X$ ของวงจรทั้งสองส่วนจะสามารถหาค่าความต้านทานแฝงภายในที่ขั้ว $X$ ได้โดยมีค่าเป็น

$$R_X \approx \frac{1}{g_{m19} + g_{m20}} \qquad \text{(ข 39)}$$

เมื่อ $g_{mi}$ คือ ทรานสคอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ $i$ โดยสมมติให้ทรานซิสเตอร์ $M_{19}$ และ $M_{20}$ มีค่าเท่ากัน คือ $g_{m19} = g_{m20}$ ดังนั้นค่า $R_X$ ใหม่ที่ได้จะมีค่าเป็น

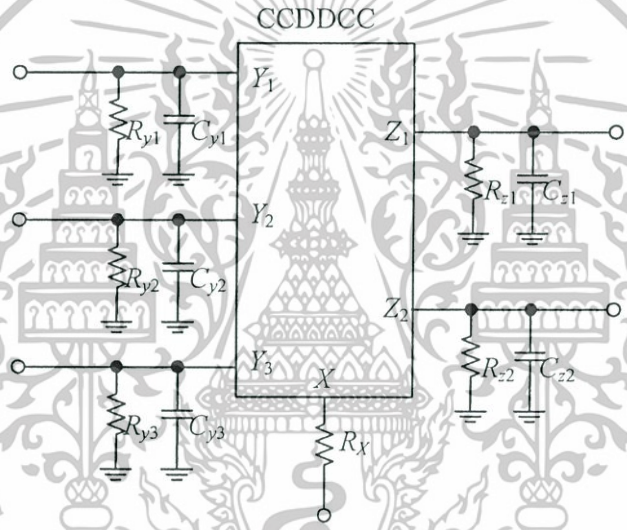
$$R_X \approx \frac{1}{\sqrt{8\mu C_{OX}(W/L)I_B}} \qquad \text{(ข 40)}$$

โดยที่ $\mu$, $C_{OX}$, $W$ และ $L$ คือ ค่าความคล่องตัวของพื้นผิว ออกไซด์แชนแนล ความกว้างและความยาวของแชนแนล ของทรานซิสเตอร์ $M_{19}$ และ $M_{20}$ ตามลำดับ ดังนั้นค่าของ $R_X$ สามารถปรับค่าได้ทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัส $I_B$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ข 5 การวิเคราะห์วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส**

การวิเคราะห์วงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส (CCDDCC) ที่นำเสนอเป็นการวิเคราะห์แบบไม่เป็นอุดมคติ ในทางปฏิบัติเมื่อนำวงจรกันชนรูปแบบแรงดันแตกต่าง (DVB) และวงจรสายพานกระแสควบคุมด้วยกระแส (CCCII) มาต่อคาสเคดกันเพื่อให้ทำงานเป็นวงจร CCDDCC ดังรูปที่ ข 5.1 จะเกิดความผิดพลาดในการส่งผ่านแรงดันจากขั้ว $Y$ ไปขั้ว $X$ ของวงจรซึ่งมีค่าเป็น $\beta_i = \beta_A \beta_{yi}$ และเกิดความผิดพลาดในการส่งผ่านกระแสจากขั้ว $X$ ไปขั้ว $Z$ ของวงจรซึ่งมีค่าเป็น $\pm\alpha$ เช่นเดียวกัน ดังนั้นถ้ารวมเอาค่าพารามิเตอร์ที่ไม่เป็นอุดมคติของวงจร CCDDCC ที่ประกอบขึ้นจากวงจร DVB และ CCCII ไว้ในการวิเคราะห์ โดยสามารถเขียนสมการเมทริกซ์ได้เป็น




**รูปที่ ข 5.1** การวิเคราะห์แบบไม่เป็นอุดมคติของวงจร CCDDCC

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_Z \end{bmatrix} = \begin{bmatrix} R_X & \beta_1(s) & -\beta_2(s) & \beta_3(s) & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ \pm\alpha(s) & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ V_Z \end{bmatrix} \qquad \text{(ข 41)}$$

จากรูปที่ ข 5.1 แสดงการวิเคราะห์แบบไม่เป็นอุดมคติของวงจร CCDDCC โดยที่ขั้วของอินพุทของวงจร คือ $Y_1$, $Y_2$ และ $Y_3$ ถูกต่ออยู่กับตัวเก็บประจุ $C_{y1}$, $C_{y2}$ และ $C_{y3}$ แบบต่อกราวด์ที่มีค่าต่ำถูกต่อขนานกับตัวต้านทาน $R_{y1}$, $R_{y2}$ และ $R_{y3}$ แบบต่อกราวด์ที่ค่าสูงตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่ขั้วของเอาท์พุทของวงจร คือ $Z_1$ และ $Z_2$ ถูกต่ออยู่กับตัวเก็บประจุ $C_{z1}$ และ $C_{z2}$ แบบต่อกราวด์ที่มีค่าต่ำซึ่งถูกต่อขนานกับตัวต้านทาน $R_{z1}$ และ $R_{z2}$ แบบต่อกราวด์ที่ค่ามากสูง และที่ขั้ว $X$ ของวงจรจะถูกต่อกับตัวต้านทาน $R_X$ ที่มีค่าต่ำ ซึ่งจากสมการที่ (ข 41) เมื่อพิจารณาความสัมพันธ์ในเทอมของแรงดันและกระแส สามารถเขียนสมการขึ้นใหม่ได้เป็น

$$V_X = \beta_{1k}(s)V_{Y1} + \beta_{2k}(s)V_{Y2} + \beta_{3k}(s)V_{Y3} + I_X R_X \qquad \text{(ข 42)}$$

โดยที่

$$I_{Y1} = I_{Y2} = 0 \qquad \text{(ข 43)}$$

และ

$$I_Z = \pm\alpha_{jk}(s)I_X \qquad \text{(ข 44)}$$

โดยที่ $\beta_{jk}$ คือ อัตราการส่งผ่านแรงดันจากที่ขั้ว $Y$ ไปที่ขั้ว $X$ ของวงจร CCDDCCs ตัวที่ $k$ ซึ่ง $\beta_{jk} = 1-\varepsilon_{jk}$ และ $\varepsilon_{jk}\left(\left|\varepsilon_{jk}\right| << 1\right)$ แสดงค่า Voltage tracking error จากที่ขั้ว $Y$ ไปที่ขั้ว $X$ ตัวที่ $k$ ส่วน $\alpha_{jk} = 1-\delta_{jk}$ และ $\delta_{jk}\left(\left|\delta_{jk}\right| << 1\right)$ แสดงค่า Current tracking error จากที่ขั้ว $X$ ไปที่ขั้ว $Z$ ตัวที่ $k$

เมื่อค่าของ $\alpha_k(s)$ และ $\beta_k(s)$ สามารถประมาณได้เท่ากับฟังก์ชันของวงจรกรองความถี่ต่ำผ่าน อีกทั้งยังสามารถพิจารณาได้จากการลดต่ำลงของค่าความถี่ส่วนปลายในกรณีที่มีค่าเท่ากับหนึ่ง [28] ในการทำงานของวงจรที่เกี่ยวข้องกับความถี่ การลดต่ำลงของค่าความถี่ส่วนปลายมีผลมาจาก $\alpha_{jk}(s)$ และ $\beta_{jk}(s)$ โดยที่ $\beta_{jk}(s) = \beta_{jk} = 1-\varepsilon_{jk}$ และ $\varepsilon_{jk}\left(\left|\varepsilon_{jk}\right| << 1\right)$ แสดงค่า Voltage tracking error จากขั้ว $Y_j$ ไปที่ขั้ว $X$ ตัวที่ $k^{th}$ และ $\alpha_{jk}(s) = \alpha_{jk} = 1-\delta_{jk}$ และ $\delta_{jk}\left(\left|\delta_{jk}\right| << 1\right)$ แสดงค่า Current tracking error จากที่ขั้ว $X$ ไปที่ขั้ว $Z_{jk}$ ตัวที่ $k^{th}$ ของวงจร CCDDCCs

พิจารณาวงจรคูณค่าความจุแบบลอยตัวโดยใช้ตัวเก็บประจุแบบต่อกราวด์ในรูปที่ 5.1 ซึ่งเป็นวงจรที่ประยุกต์การใช้งานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส ดังนั้นสมการค่าความจุที่ได้จากวงจรในรูปที่ 5.1 สามารถเขียนใหม่ได้เป็น

$$C_{eqn} = K_{mn}C \qquad \text{(ข 45)}$$

หรือ

$$C_{eqn} = \frac{\beta_{11}\alpha_{11}R_{X2}C}{\beta_{22}\alpha_{22}R_{X1}} \qquad \text{(ข 46)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสในรูปที่ 5.3 ซึ่งเป็นวงจรที่ประยุกต์การใช้งานของวงจรสายพานกระแสผลต่างอินพุทแตกต่างควบคุมด้วยกระแส ดังนั้นสมการการถ่ายโอนของวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสจากวงจรในรูปที่ 5.3 สามารถเขียนใหม่ได้เป็น

$$I_{On}(s)=\frac{-I_1\left(\frac{s\alpha_{13}}{R_{X3}C_2'}+\frac{\alpha_{13}}{R_BR_{X3}C_1'C_2'}\right)-I_2\left(\frac{\beta_{12}\alpha_{12}\alpha_{13}}{R_{X2}R_{X3}C_1'C_2'}\right)+I_3D_n(s)}{D_n(s)} \qquad \text{(ข 47)}$$

โดยที่ $$D_n(s)=s^2+s\left(\frac{1}{R_{X3}C_2'}+\frac{1}{R_BC_1'}+\frac{1}{R_AC_2'}\right)+\frac{\beta_{12}\beta_{21}\alpha_{11}\alpha_{12}}{R_{X1}R_{X2}C_1'C_2'}$$

$$+\frac{1}{R_{X3}R_BC_1'C_2'}+\frac{1}{R_AR_BC_1'C_2'} \qquad \text{(ข 48)}$$

เมื่อ $R_A=R_{y21}\|R_{z12}$ , $R_B=R_{z11}\|R_{y12}$

และ $C_1'=C_1+C_{y12}+C_{z11}$ , $C_2'=C_2+C_{y21}+C_{z12}$

จากสมการที่ (ข 47) และ (ข 48) ค่าพารามิเตอร์ของค่าความต้านทานแฝงที่ $R_A$ และ $R_B$ จะมีค่าสูงมากเมื่อเปรียบเทียบกับค่าความต้านทานแฝงที่ $R_{Xn}$ ดังนั้นค่าความถี่ตอบสนอง $(\omega_0)$ และค่าตัวประกอบคุณภาพ $(Q)$ จึงสามารถเขียนได้ใหม่เป็น

$$\omega_{0n}=\sqrt{\frac{\beta_{12}\beta_{21}\alpha_{11}\alpha_{12}}{R_{X1}R_{X2}C_1'C_2'}} \qquad \text{(ข 49)}$$

$$Q_n=R_{X3}\sqrt{\frac{C_2'\beta_{12}\beta_{21}\alpha_{11}\alpha_{12}}{R_{X1}R_{X2}C_1'}} \qquad \text{(ข 50)}$$

วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอ ในกรณีที่มีการวิเคราะห์แบบไม่เป็นอุดมคติ สามารถยืนยันประสิทธิภาพของวงจรได้จากค่าความไวของอุปกรณ์แอคทีฟหรือแพสซีฟที่มีผลต่อความถี่ตอบสนอง $S_x^{\omega_{0n}}$ และค่าตัวประกอบคุณภาพ $S_x^{Q_n}$ เมื่อ $x$ คือ อุปกรณ์แอคทีฟหรือแพสซีฟแต่ละตัว สามารถสรุปได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ตารางที่ ข 5.1** ค่าความไวอุปกรณ์กรณีไม่เป็นอุดมคติ

| $x$ | $S_x^{\omega_0}$ | $S_x^{Q}$ |
|---|---|---|
| $R_{X1}$ | -0.5 | -0.5 |
| $R_{X2}$ | -0.5 | -0.5 |
| $R_{X3}$ | 0 | 1 |
| $C_1'$ | -0.5 | -0.5 |
| $C_2'$ | -0.5 | 0.5 |
| $\beta_{12}$ | 0.5 | 0.5 |
| $\beta_{21}$ | 0.5 | 0.5 |
| $\alpha_{11}$ | 0.5 | 0.5 |
| $\alpha_{12}$ | 0.5 | 0.5 |

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ค.
# ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา

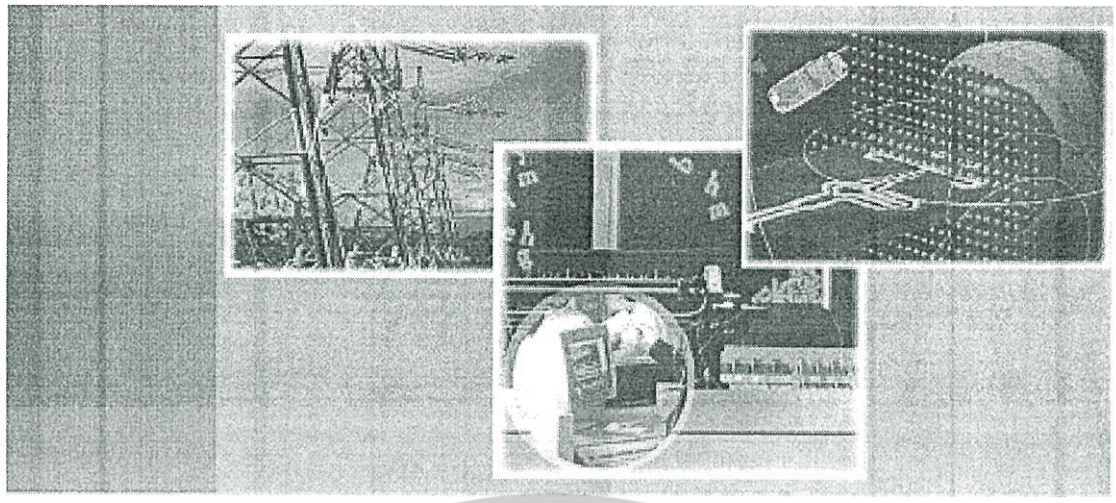
[1] Pipat Prommee, **Montri Somdunyakanok**, Montree Kumngern and Kobchai Dejhan, "Minimum Devices Active-only Current-mode Universal Filter," Proceeding of the 2007 Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2007), Mae Fah Luang University, Chiang Rai, Thailand, May 9-12, 2007.

[2] **Montri Somdunyakanok**, Thanate Pattanathadapong and Pipat Prommee, "Accurate Tunable Current-mirror and its Applications," Proceeding of 2008 International Symposium on Communications and Information Technology (ISCIT 2008), Don Chan Palace, Vientiane, Lao PDR, October 21-23, 2008.

[3] Pipat Prommee, **Montri Somdunyakanok** and Kobchai Dejhan, "Universal filter and its oscillator modification employing only active components," Proceeding of 2008 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2008), Swissôtel Le Concorde, Bangkok, Thailand, February 8-11, 2009.

[4] Pipat Prommee and **Montri Somdunyakanok**, "CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter," Accepted for publication in International Journal of Electronics and Communications (AEU), doi: 10.1016 /j.aeue.2009.12.002, published online: 15 January 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# ECTI-CON 2007

**Mae Fah Luang University, Chiang Rai, Thailand**
**May 9-12, 2007**

*VOLUME 1*
- *Circuits and Systems*
- *Control Engineering*
- *Electrical Power Engineering*
- *Other Related Fields*

*VOLUME 2*
- *Communication Systems*
- *Signal Processing*
- *Computer and Information*

ECTI Association | IEEE THAILAND SECTION | NECTEC a member of NSTDA | WD Western Digital

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ECTI-CON 2007

*Proceedings of the 2007 Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI) International Conference*

*Wednesday May 9 – Saturday May 12, 2007*

*Mae Fah Luang University, Chiang Rai, Thailand*

## *Organized by*

*Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI) Association*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Minimum Devices Active-only Current-mode Universal Filter

Pipat Prommee, Montri Somdunyakanok, Montree Kumngern and Kobchai Dejhan
Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
Email: pipat@telecom.kmitl.ac.th, monsom@siamu.com

*Abstract*— **An active-only devices current-mode universal filter using the biquadratic transfer function is proposed. The proposed circuit is realized focusing on the minimized active-only components count without external passive elements. The different kinds of filter function as low-pass, high-pass, band-pass and band-reject response can be obtained without changing circuit topology. The proposed circuit is realized by using 4 MOS transistors, 2 OTAs, and 2 OPAMPs. The parameters $\omega_P$ can be electronically tuned through simply adjusting the transconductance gains of the OTAs or supply voltage of electronic resistors. The $Q_P$ can be tuned in both concepts, changing of their components and the transconductance gain. The simulation results are given by PSpice.**

## I. Introduction

The high performance active filters have been received much attention. In filter circuit design, current-mode filters are becoming popular, since they have many advantages compared with their voltage-mode counterparts. Design of current-mode filters employing active devices such as current followers (CFs) [1], second generation current conveyors (CCIIs) [2] and operational transconductance amplifiers (OTAs) [3,4]. The transfer function biquadratic filter is a basic principle for synthesized is filter circuit to obtain efficiency especially universal filter, and the principle for auxiliary create to filter with integrator based on a synthesized [13]. The open-loop gain of operational amplifier, OA is known well in term of Gain-Bandwidth, GBW. While to obtain using OTA, therefore can be implemented by filter circuit. The same with a high frequency and they have been introduced in the literatures. The current-mode operations were proposed in recent literatures [5-7]. The voltage-mode operations were proposed in recent literatures [8-9]. Although, many active elements are employed but they have very advantages in high-frequency and further integration.

This paper focuses on the synthesized of universal filter using active-only devices. The proposed circuit is realized by using MOS transistors, OAs, and OTAs. The objective on the design is current-mode of evation based on biquadratic function using only active elements without any external passive elements in recent literatures [5-9]. The mininization of active elements and electronically is tunable a core of this paper.

Consider in previous of current-mode active-only filter in recent literatures [5-6], which using 2 OAs and 3 OTAs. The $\omega_P$ is tuned by an OTA which in term of square-root function. The linear controlled can not be achieved and complicate in the practical. Another filter [7], the $\omega_P$ is tuned with linear controlled has been achieved but the many components are used, 2 OAs, 5 OTAs, that is not suitable for the compactness ICs fabrication. This paper proposed only using 2 OAs, 2 OTAs and 4 MOS transistors for circuit implementation. The achieved circuit can be electronically tuned by either transconductance gains of OTA and electronic resistor for the $\omega_P$ parameter. The proposed circuit can be also physically and electronically tuned by changing of transistor aspect ratio for $Q_P$ parameter without effect to the $\omega_P$ parameter.

## II. Theory and Principle

The 2 integrators-loop principles have been introduced in recent literatures [12]. The block diagram has been shown in Fig.1 and transfer function can be expressed in (1) as follows

$$\frac{V_2(s)}{V_1(s)} = \frac{sB_2}{s^2 + sB_2k_1 + B_1B_2k_0} \tag{1}$$

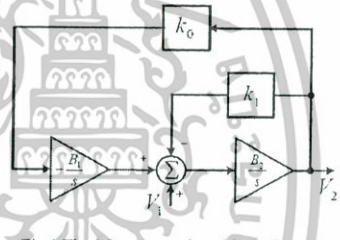



Fig.1 The 2 Integrators-loop block diagram

The comparison of (1) and characteristic equation (2)

$$D(s) = s^2 + s\frac{\omega_P}{Q_P} + \omega_P^2 \tag{2}$$

The parameters $\omega_P$ and $Q_P$ can be expressed as

$$\omega_P = \sqrt{B_1B_2k_0} \text{ and } Q_P = \frac{1}{k_1}\sqrt{\frac{B_1B_2k_0}{B_2}} \tag{3}$$

### *A. Voltage-Gain Circuit*

The voltage-gain circuit [10] which used in this paper consists of an OTA and an electronic resistor as show in Fig.2. The transresistance of the electronic resistor circuit can be expressed in (4)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

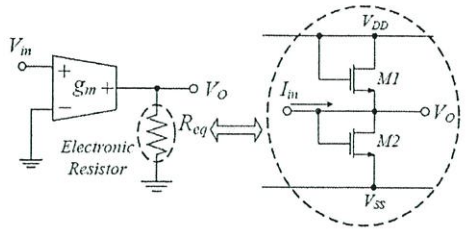



Fig.2 The voltage-gain circuit [10]

$$R_{eq} = \frac{V_O}{I_{in}} = \frac{L}{2\mu C_{OX} W\left(V_{DD} - V_T\right)} \qquad (4)$$

The voltage gain of Fig.2 can be obtained to

$$\frac{V_O}{V_{in}} = g_m R_{eq} \qquad (5)$$

*Opamp as a lossless integrator*

Consider the open-loop GBW of OA [6], as shown in
:.3 can be expressed the transfer function as a lossless
:grator as (6)

$$A(s) = \frac{B_i}{s} \quad (i=1,2) \qquad (6)$$

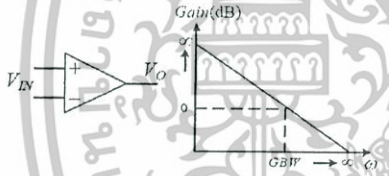
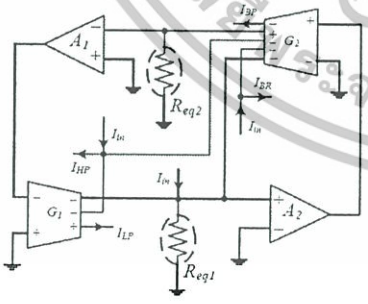



Fig.3 The OA and frequency response, $\omega_P$

*Current-mode Universal Filter Realization*

The proposed filter are realized by using the above
thods as shown in Fig.4




g.4-1 The first implementation of proposed current-mode universal filter

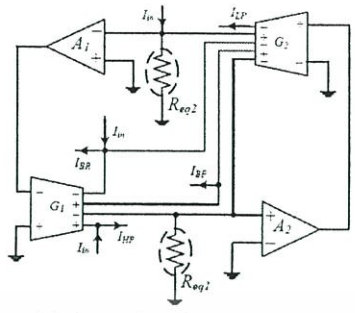



Fig.4-2 The second implementation of proposed current-mode universal filter

From Fig.4-1and 4-2, the different transfer functions are illustrated in (7) – (10)

$$\frac{I_{LP}}{I_{in}} = \frac{R_{eq1} R_{eq2} B_1 B_2 g_1 g_2}{D(s)} \qquad (7)$$

$$\frac{I_{HP}}{I_{in}} = \frac{s^2}{D(s)} \qquad (8)$$

$$\frac{I_{BR}}{I_{in}} = \frac{s^2 + R_{eq1} R_{eq2} B_1 B_2 g_1 g_2}{D(s)} \qquad (9)$$

$$\frac{I_{BPa}}{I_{in}} = \frac{sR_{eq1} B_2 g_2}{D(s)} \quad ; \text{ for Fig.4-1} \qquad (10a)$$

and $$\frac{I_{BPb}}{I_{in}} = \frac{sR_{eq2} B_1 g_1}{D(s)} \quad ; \text{ for Fig.4-2} \qquad (10b)$$

where $D(s) = s^2 + sR_{eq1} B_2 g_2 + R_{eq1} R_{eq2} B_1 B_2 g_1 g_2$ (11a)

and $D(s) = s^2 + sR_{eq2} B_1 g_1 + R_{eq1} R_{eq2} B_1 B_2 g_1 g_2$ (11b)

Eq.(11a) and (11b) are obtained for Fig.4-1 and 4-2, respectively. The concerning parameters $\omega_P$ and $Q_P$ are become

$$\omega_P = \sqrt{R_{eq1} R_{eq2} B_1 B_2 g_1 g_2} \qquad (12)$$

$$Q_{Pa} = \sqrt{\frac{R_{eq2} B_1 g_1}{R_{eq1} B_2 g_2}} \quad ; \text{ for Fig.4-1} \qquad (13a)$$

and $$Q_{Pb} = \sqrt{\frac{R_{eq1} B_2 g_2}{R_{eq2} B_1 g_1}} \quad ; \text{ for Fig.4-2} \qquad (13b)$$

The parameter $g_i$ represents for the transconductance of OTA ($i$) and $R_{eqi}$ represents for the electronic resistors ($i$) Generally, $B_i$ is OAs open-loop GBW, are identical suppose that ($B_1$=$B_2$=$B$), the quality factor is unity ($Q_P$=1), From (12) and (13), the $\omega_P$ can be electronically tuned by giving simply parameters as ($g_1 = g_2 = g$) and ($R_{eq1} = R_{eq2} = R_{eq}$). From (12), The frequency response parameter can be will become is also obtained $\omega_P = R_{eq} Bg$.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Therefore, the frequency response can be linearly tuned by 2 approaches, through the transconductance gain of OTA or the electronic resistors from (4) and (13). The parameter $Q_P$ is distinguished for flexible to adjust in electronically and physically.

For $Q_P > 1$, first method the physically tuned can be obtained by ratio adjusting of ($R_{eq1}$, $R_{eq2}$) while ($g_1 = g_2 = g$), another method can be tuned by the transconductance gain $g_1$ and $g_2$ while ($R_{eq1} = R_{eq2} = R_{eq}$). However, $Q_P$ achievement by ratio adjusting of ($R_{eq1}$, $R_{eq2}$) or ($g_1$, $g_2$) have to perform in the properly rule otherwise that may effect to the $\omega_P$. The properly adjusting rule of ($g_1$, $g_2$) can be described below

$$g_1 g_2 = A \qquad \text{or} \qquad g_1 = \frac{A}{g_2} \tag{14}$$

From (13), the parameters are given as ($R_{eq1} = R_{eq2}$) and ($B_1 = B_2$). The parameter $Q_P$ in (13) can be obtained by setting of $g_1$ and $g_2$ as follows

$$Q_{Pa} = \sqrt{\frac{g_1}{A/g_1}} = \frac{g_1}{\sqrt{A}} = \frac{\sqrt{A}}{g_2} \tag{15a}$$

$$Q_{Pb} = \sqrt{\frac{A/g_1}{g_1}} = \frac{\sqrt{A}}{g_1} = \frac{g_2}{\sqrt{A}} \tag{15b}$$

## III. Sensitivity

The other filter performances can be considered by its sensitivities. The performance with respect to active elements according to the frequency response $S_x^{\omega_P}$ and quality factor $S_x^{Q_P}$, while $x$ is active elements. The achieved sensitivities can be as follows: $S^{\omega_P}_{g_1,g_2,R_{eq1},R_{eq2},B_1,B_2}$ and $S^{Q_P}_{g_1,R_{eq2},B_2}$ are 0.5 and $S^{Q_P}_{g_2,R_{eq1},B_1}$ = -0.5, respectively.

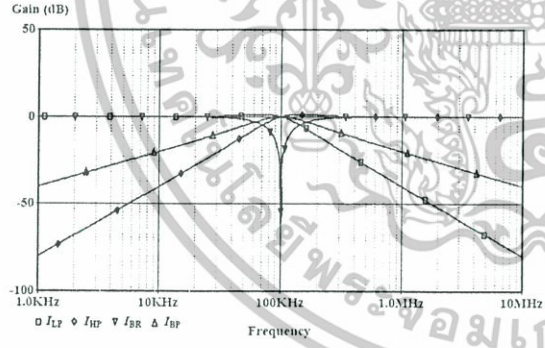



Fig.5 Proposed filter characteristic while power supply of $R_{eq}$ are ± 5 Volt

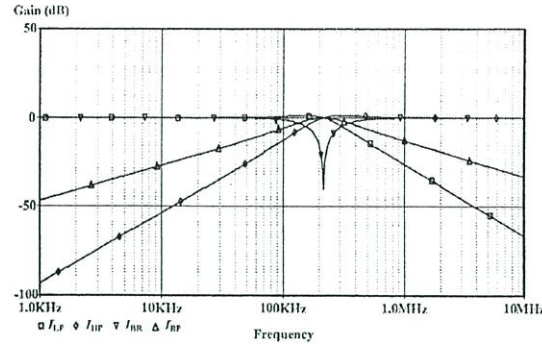



Fig.6 Proposed filter characteristic while power supply of $R_{eq}$ are ± 1 Volt

## IV. Simulation Results

The proposed universal filter can be confirmed its performances and characteristics by PSpice. The T14Y MOSIS 0.25 $\mu m$ CMOS model has been employed, $V_{TN} = 0.42$ volts and $\mu_N C_{OX} = 250.1048 \mu A/V^2$ for the electronic resistors. The OA and OTA use the macro model [11] of LF351 and CA3080, respectively. The ± 5 volts power supply is used for the electronic resistors. The transistor aspect ratio ($W/L$) used for electronic resistors ($R_{eq1}$, $R_{eq2}$) are defined for the $Q_P$ adjustment according to (4) and (13).

The electronically controlled $\omega_P$ can be confirmed by adjusting power supply of $R_{eq}$ shows in Fig.5 and Fig.6. The characteristic of universal filter as shows in Fig.4 with $Q_P = 1$. The following equipment parameters can be defined ($W/L$) = ($1\mu m/1\mu m$) for the electronic resistors $R_{eq1} = R_{eq2} = 2.63\ k\Omega$, open-loop GBW of OAs are about 4 $MHz$ or $B_1 = B_2 = 25.37 \times 10^6$ $rad/s$, power supply of $R_{eq}$ are ± 5 volts and ± 1 volts, respectively. The frequency response $\omega_P$ are shown about 100 $kHz$ and 220 $kHz$. The electronically controlled $\omega_P$ by adjusting the supply voltage of electronic resistors or transconductance gain 2 OTAs are confirmed according to the theory above.

TABLE I. THE DIFFERENT $Q_P$ ADJUSTED BY $R_{eq1}$, $R_{eq2}$ AND $g_1$, $g_2$

| $Q_P$ | $g_1 = g_2 = 9.42\mu s$ | | $R_{eq1}$=$R_{eq2}$=($1\mu m/1\mu m$) | |
|---|---|---|---|---|
| | $R_{eq1}$ ($W/L$) | $R_{eq2}$ ($W/L$) | $g_1$ | $g_2$ |
| 1 | ($1\mu m/1\mu m$) | ($1\mu m/1\mu m$) | $9.42\mu s$ | $9.42\mu s$ |
| 2 | ($2\mu m/1\mu m$) | ($.5\mu m/1\mu m$) | $18.84\mu s$ | $4.71\mu s$ |
| 4 | ($4\mu m/1\mu m$) | ($.25\mu m/1\mu m$) | $37.68\mu s$ | $2.35\mu s$ |
| 8 | ($8\mu m/1\mu m$) | ($.12\mu m/1\mu m$) | $75.36\mu s$ | $1.17\mu s$ |
| 16 | ($16\mu m/1\mu m$) | ($.06\mu m/1\mu m$) | $150.7\mu s$ | $0.59\mu s$ |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Consider (15), the adjusting of $Q_P$ without effect to $\omega_P$ by simulation results of universal filter. The $\omega_P$ is defined at $100kHz$ while $Q_P$ is varied as 1, 2, 4, 8 and 16, respectively. Firstly, The parameters ($g_1$=$g_2$=$g$) are defined. The adjustment resistor $R_{eq1}$ and $R_{eq2}$ can be adjusting of by ($W/L$) as table I. The secondly method is based on the setting of ($R_{eq1}$ = $R_{eq2}$ = $R_{eq}$) and transconductance gain of OTA, $g_1$, $g_2$ are adjusted electronically according to table I.

The simulation results in term of BPF and BRF with the different $Q_P$ in table I, are shown in Fig.7 and 8 respectively. The adjusting parameter $Q_P$ without effect to its $\omega_P$ can be observed. The frequency response when $Q_P$ increased has a few errors because the error of electronic resistor that is a channel length modulation effects: $\lambda$ ($L$=1$\mu m$). The $\omega_P$ and its magnitude are quite stable while $Q_P$ is varied according to the theory above.

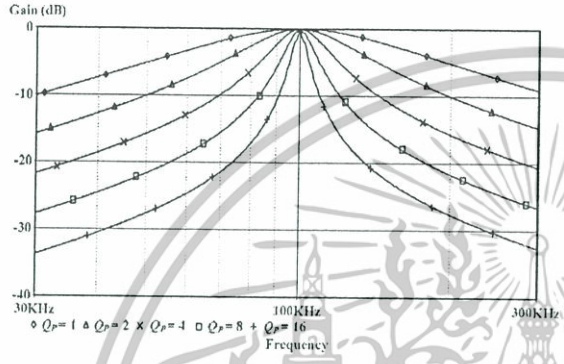



Fig.7 Proposed BPF output with varying $Q_P$ by 1-16

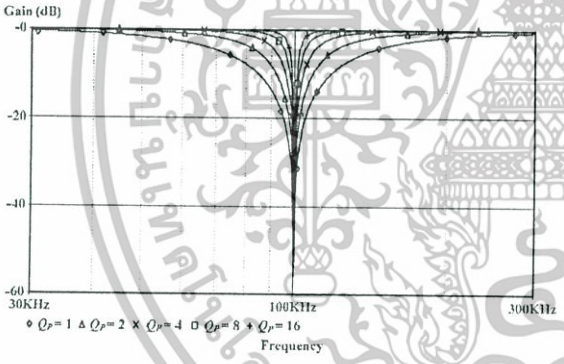



Fig.8 Proposed BRF output with varying $Q_P$ by 1-16

## V. CONCLUSION

This paper described a minimum active-only devices current-mode universal filter without external passive elements. In this paper, the high-frequency applications and further ICs technology are suitable. The proposed filter realization is operated based on 2 integrators-loop principles. The $\omega_P$ can be electronically tuned through the transconductance or supply of devices. The proposed circuit comprised 2 OTAs, 2 OAs, and 4 MOS transistors that met the minimum devices target. The pole frequency response is given by open-loop GBW of OA corporated with the transconductance gain. The adjustable $Q_P$ can be obtained without effect to $\omega_P$.

## REFERENCES


[1] S. I. Liu, J. J. Chen, Y. S. Hwang, "New Current mode Biquad filters using current follower," *IEEE Trans. Circuits Syst.*, vol. 42, pp.380-383, July 1995.

[2] E. O. Gunes, A Toker and S. Ozoguz, "Insensitive current-mode universal filter with minimum component using dual-output current conveyors," *Electron. Lett.*, vol. 35, pp.524-525, April 1999.

[3] C. Chang, "New multifunction OTA-C biquads," *IEEE Trans. Circuits and Syst.*, vol. 47, pp.1235-1238, 2000.

[4] C. Chang and S. Pai, "Universal current-mode OTA-C biquad with the minimum components," *IEEE Trans. Circuits and Syst.*, vol. 46, pp.820-824, 1999.

[5] T. Tsukutani, M. Ishida, S. Tsuiki, and Y. Fukui, "Current-mode biquad without passive elements," *Electron. Lett.*, vol. 32, pp.197-198, Feb. 1996.

[6] T. Tsukutani, M. Higashimura, Y. Sumi and Y. Fukui, "Electronically tunable current-mode active only biquad filter," *Int. J. Electron.*, vol. 87, pp.307-314, 2000.

[7] M. T. Abuelma' Atti and H. A Alzaher, "Universal three input and one output current-mode filter without external passive elements, *Electron. Lett.*, vol. 33, pp.281-283, Feb. 1997.

[8] T. Tsukutani, M. Higashimura, N. Takahashi, Y. Sumi and Y. Fukui, "Novel voltage-mode biquad using only active divices,"*Int.J.Electron.*, vol. 88, pp.339-346, 2001.

[9] T. Tsukutani, M. Higashimura, Y. Sumi and Y. Fukui, "Voltage-mode active only biquad," *Int. J. Electron.*, vol. 87, pp.1435-1442, 2000.

[10] P. Prommee and K. Dejhan, "An integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier," *Int. J. Electron.*, vol. 89, pp.365-379, 2002.

[11] J. Wu, "Current-mode high-order OTA-C filter," *Int. J. Electron.*, vol. 76, pp.1115-1120, 1994.

[12] E. Sanchez-sinnencio, R. L. Geiger and H. Nevarez-Lozano, "Generation of Continous-Time Two Integrator Loop OTA filter structures," *IEEE Trans. Circuits and Syst.*, vol. 35, pp.936-946, Aug. 1988.

[13] W. J. Kerwin, L. P. Huelsman, and R. W. Newcomb, "State-variable synthesis for insensitive integrated circuit transfer function," *IEEE Trans. Solid-state Circuits*, vol. SC-2, pp.87-92, 1967.




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Accurate Tunable Current-mirror and its Applications

*Montri Somdunyakanok, Thanate Pattanathadapong and Pipat Prommee*
Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
Email: pipat@telecom.kmitl.ac.th

***Abstract*— This paper proposes an accurate electronically tunable current-mirror circuit based on translinear type-A (Polarities Alternative) topology. This circuit is realized by only 6 transistors with BJT technology. A shunt-feedback buffer principle is used in order to regulate its emitter voltage of translinear part. For current mirror behavior, output and input currents are identical with a small error. Current-gain can be obtained by adjusting the ratio of the 2 particular current sources. This proposed circuit is using only 6 transistors for the simple structure. The analysis of input, output resistance and current-gain are depicted. An extra transistor is added for maintained the transfer minimum error which is also proposed. The constant bandwidth more than 40MHz of various current-gains can be obtained. From current output mathematic function, several applications such as current multiplier, current divider and tunable current mirror are certainly performed. Other applications are raised to confirm realistic applicable including squaring and square-rooting circuits. All characteristics and performances are carried out by PSpice for confirm their well operations.**

Keywords: translinear, tunable, current-mirror

## I. INTRODUCTION

Recently, realization of analog signal processing based on current-mode has received considerable attention. For several good benefits of current-mode are obviously known that better than voltage-mode i.e., low-power, high-frequency operation and small die area. Current-mode functional circuits can be obtained based on their operations of devices. There are many familiar current-mode building blocks such as current mirror, current source, voltage-to-current converter and functional circuits. The new circuit structures can be implementing based on their valuable existing building blocks. Current mirrors (CMs) are important building blocks which able to develop by BJT or MOSFET devices. Many type of CMs have been achieved numerous benefits as well as input and output resistances.

Tunable CMs or current amplifiers have been introduced with translinear (TL) loop type A [1] and TL loop class AB [2-4]. Simply construction of type A can be implemented but the current output errors has been detected. More complicated TL Class AB [2-4] structure can also be implemented but mismatched of NPN and PNP were also giving output errors. TL Loop type B [5] with nonlinear current output obtaining exponential current -gain was obtained. Also composite devices, BJT, MOS transistors and OPAMP [6], source degeneration technique [7] and MOS TL (MTL) [8] were also introduced as a current amplifier. It can see that although accurate current output was done but complexity is suffered. However, simple structure can not be received accurate current output as well.

This paper proposes a new structure of tunable current mirror based on TL type-A. Simple configuration and accurate output can be obtained with electronically tunable characteristics. Shunt-feedback buffer is deployed for regulated the non-linear internal voltage transferred. Linear current output is transferred according with their various current inputs. Tunable output can be done by the assigned particular currents. Obtained current output in term of multiplier and divider can be also applied for several mathematical functions.

## II. ELECTRONICALLY TUNABLE CURRENT MIRROR

From theory of BJT, linear transconductance is basically according to its collector current (Transconductance of BJT Linearly proportional to its IC). Principle of TL has been discovered and introduced [1]. Many applications of TL circuit were acquired this principle to realize the new current-mode analog function circuits rapidly. The principle of TL can be briefly described for 2 types, A and B, as shown in Fig.1.

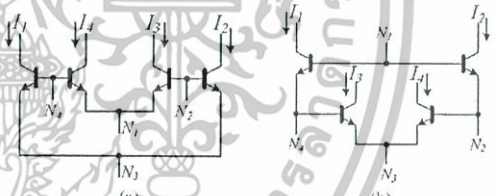



Fig.1 principle of TL (a) Type-A (b) Type-B

TL structure of type-A (Polarities Alternative) and type-B (Balance) are shown in Fig.1 (a) and (b), respectively. The TL characteristic of both types can be similar obtained although structure and applying inputs are different.

As mentioned about TL type-B is a familiar structure for the several building block designs. A conventional tunable current mirror was introduced [1] as shown in Fig.2 and current output is obviously realized to

$$\frac{I_1 I_2}{I_3} = I_O \qquad (1)$$

978-1-4244-2336-1/08/$25.00 © 2008 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

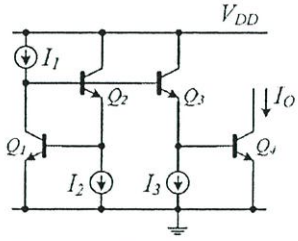



Fig.2 Conventional tunable current mirror [1]

Two conditions of error can be found that in collector current of $Q_1$ and $Q_4$ which their collector currents are not identical of $I_1$ and $I_O$, respectively. The collector current of $Q_1$ can be expressed as

$$I_{C1} = I_1 - \left(\frac{I_{C2} + I_{C3}}{\beta}\right) \tag{2}$$

Consider Fig.2, the base and emitter currents of both transistor $Q_2$ and $Q_3$ are mutually divided; they would be approximately cancelled of each other. Consequently, for comfortably in collector current calculation of both $Q_2$ and $Q_3$ can be defined as

$$I_{C2} \approx I_2 \tag{3}$$

and likewise

$$I_{C3} \approx I_3 \tag{4}$$

Substitution of Eq.(2)-(4) into Eq.(1), the output current is found that

$$I_O = \frac{I_1 I_2}{I_3} \approx \frac{\left[I_1 - \left(\frac{I_2 + I_3}{\beta}\right)\right] I_2}{I_3} \tag{5.1}$$

or

$$I_O \approx \frac{\beta I_1 I_2 - I_2^2 - I_2 I_3}{\beta I_3} \tag{5.2}$$

It could be conclude that more errors are occurred depending on the tunable more currents-gain by $I_2$ and $I_3$.

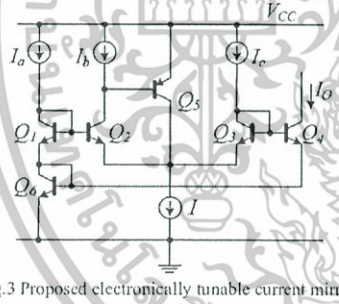



Fig.3 Proposed electronically tunable current mirror

## III. Circuit Description

The TL type-A structure is deployed to achieve a proposed electronically tunable current mirror as shown in Fig.3. The shunt-feedback buffer circuit taking in account for regulates the internal transfer voltage between input and output parts. Shunt-feedback buffer consists of $Q_5$ and current source ($I$) to maintain the properly emitter voltage of $Q_2$ according with its collector current and base voltage. Transistors $Q_6$ is added for balancing compensate the voltage across the current source ($I$).

The current-feedback buffer circuit using for regulate the internal transfer voltage between input and output parts. Current-feedback buffer consists of $Q_5$ and current source ($I$) to maintain the properly emitter voltage of $Q_2$ according with its collector current and base voltage. Transistors $Q_6$ is added for balancing compensate the voltage across current source ($I$). From Fig.3, straight forward single loop analysis in term of base voltage using KVL can be expressed as

$$V_{BE1} - V_{BE2} = V_{BE4} - V_{BE3} \tag{6}$$

Rearrangement Eq. (6) into the collector current, Eq. (6) will become

$$V_T \ln\left(\frac{I_a}{I_S}\right) - V_T \ln\left(\frac{I_b}{I_S}\right) = V_T \ln\left(\frac{I_O}{I_S}\right) - V_T \ln\left(\frac{I_c}{I_S}\right) \tag{7.1}$$

or

$$\frac{I_a I_c}{I_b} = I_O \tag{7.2}$$

From Eq.(7), we found that multiplying and dividing functions are obvious agreement with the theoretical without a temperature dependence. The multiplier and divider circuits can be actually simply applied.

## IV. Error Analysis and Improvement

Consider Fig.3, current output ($I_O$) is transferred from current input ($I_{in}$) based on Eq.7.2. The currents $I_a$, $I_b$ and $I_c$ are not actually equaled to $I_{C1}$, $I_{C2}$ and $I_{C3}$, respectively. The current-gain errors of proposed current mirror can be analyzed by the collector currents flowed of all transistors. Using their translinear relations of Eq.7.2, the exactly of collector currents are provided by input currents. The output current of proposed circuit can be rewritten as

$$I_O = \frac{I_{C1} I_{C3}}{I_{C2}} = \frac{\left[I_a - \left(\frac{I_b - I_{B5}}{\beta}\right) - \frac{I_a}{\beta}\right]\left[I_c - \frac{I_a}{\beta} - \frac{I_c}{\beta}\right]}{(I_b + I_{B5})} \tag{8.1}$$

Rearrangement Eq.(8.1) for evaluate the current output error, the current output is become

$$I_O = \frac{(\beta-1) I_c \left[(\beta-1) I_a + I_{B5} - I_b\right]}{\beta^2 (I_b + I_{B5}) + I_a(\beta-1) - I_b - I_{B5}} \tag{8.2}$$

From Eq.(8.2), the dominant parameter which affects to the current output error is the base current of transistor $Q_5$ ($I_{B5}$). If we assumed the current $I_{B5}$ is very small approach to zero and $\beta >> 1$. The current output can be re-expressed as

$$I_O \approx \frac{I_c (\beta I_a - I_b)}{(\beta I_b - I_a)} \tag{9}$$

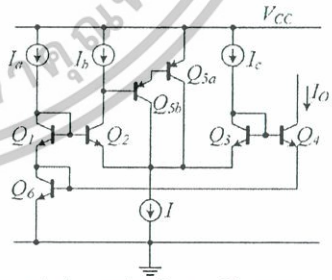



Fig.4 Proposed electronically tunable current with error improvement



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

From Eq.(9), it shows that small current out error is directly effected by $I_{B5}$. This error can be reduced by decreasing of $I_{B5}$ using a current-gain additional transistor. Therefore, the modified structure is developed for error minimization by adding a transistor current-gain $Q_{5b}$ as shown in Fig.4. Eq.(9) is also obviously illustrated that while $I_a$ and $I_b$ are identical and $I_{B5}$ is very small current output is very accurate. The input port of proposed circuit which suitable for further applications is $I_c$.

## V. Analysis of Input, Output Resistance and Current-Gain

Generally, current mirror is a device which described in 2 parts, input and output. It has single input but able to have multiple inputs. Good current mirror is obviously known that input and output resistance should be respectively lowest and highest. For analysis of resistances, they are considered in term of small signal model [10]. From Fig.3, $Q_1$, $Q_2$ and $Q_3$ are an input part while emitter of $Q_2$ is operated as a voltage source named "common-node" corporate with a shunt-feedback buffer. Since the collector current of transistor $Q_1$, $Q_2$, $Q_3$ and $Q_4$ are $I_a$ , $I_b$, $I_c$ and $I_O$, respectively, where $V_T/I_a = g_{m1}$, $V_T/I_b = g_{m2}$, $V_T/I_c = g_{m3}$, $V_T/I_O = g_{m4}$, $\beta_i/g_{mi} = r_{\pi i}$, $1/r_{\pi i} << g_{mi}$, $r_{oi} = V_{Ai}/I_{ci}$, $r_{oi} >> r_{\pi i}$ and $k$ is supposed roughly unity current-gain $\left(I_a/I_b\right)$ of proposed circuit. Where $V_T$ is a thermal voltage at room temperature (≈26mV) and $V_A$ is an early voltage of transistor (≈159.4V). The equivalent circuit can be simplified for evaluate the common-node resistance, input resistance and output resistance and their small-signal models are respectively shown in Fig.5 and Fig.6.

Owing to the common-node (emitter of $Q_2$) is actually very low-impedance implied as a grounded connection. The equilibrium situation of their collector currents is supposed for comfortably straight forward analysis, the transistors are assumed in totally matched condition, therefore, the common-node resistance can be realized by

$$R_{Com} = \frac{\beta\left(r_\pi^2 r_o^2 + r_\pi r_o^3\right) + r_o r_\pi\left(3r_o r_\pi + 2 + r_\pi^2\right)}{A} \qquad (10.1)$$

Where $A = \beta\left(11\beta r_\pi r_o^2 + 5r_o^3 + 3\beta r_o^3 + \beta^2 r_o^3 + 3\beta r_\pi r_o^2 + 2r_\pi^2 r_o\right) + 2r_\pi^3 + 11r_\pi r_o^2 + 9r_\pi^2 r_o + 3r_o^3$

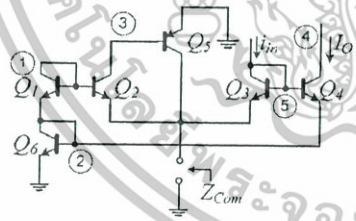



Fig.5 Simplified configuration for evaluate $Z_{Com}$, $Z_{in}$ and $Z_{out}$

From the mentioned conditions of parameter relations and $\beta >>1$, the final resistance at common-node can be approximated as

$$R_{Com} \approx \frac{r_\pi\left(r_o + r_\pi\right)}{r_o\left(\beta^2 + 3\beta + 5\right) + r_\pi\left(3\beta + 11\right)} \qquad (10.2)$$

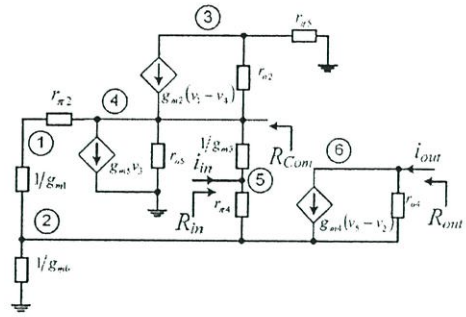



Fig.6 Hybrid-π small signal model for evaluate $Z_{Com}$, $Z_{in}$, $Z_{out}$ and $A_i$

From Eq.(10.2), a very low resistance at common-node is obviously observed according with the theory. Secondly, the input resistance, using the same configuration and conditions, the input resistance can be expressed as

$$R_{in} = \frac{\beta\left(11r_\pi^2 r_o^3 + 5r_\pi r_o^4 + 3\beta r_\pi r_o^4 + \beta^2 r_\pi r_o^4 + 3\beta r_\pi^2 r_o^3 + 4r_\pi^3 r_o^2\right)}{B} + \frac{11r_\pi^2 r_o^3 + 9r_\pi^3 r_o^2 + 3r_\pi r_o^4 + 2r_\pi^2 r_o}{B} \qquad (11.1)$$

Where

$$B = \beta\left(25r_\pi r_o^3 + 13\beta r_\pi r_o^3 + 17r_\pi^2 r_o^2 + 8r_o^4 + 7\beta r_o^4 + 4\beta^2 r_o^4 + \beta^3 r_o^4 + 3\beta^2 r_\pi r_o^3 + 4\beta r_\pi^2 r_o^2 + 3r_\pi^3 r_o\right) + 18r_\pi r_o^3 + 20r_\pi^2 r_o^2 + 48r_o^4 + r_\pi^4$$

The parameters are considered with the following condition, $\beta >>1$, the final resistance at input node can be approximated as

$$R_{in} \approx \left(\frac{r_\pi}{\beta}\right)\frac{(\beta+3)r_o + 3r_\pi}{(\beta+4)r_o + 3r_\pi} \qquad (11.2)$$

From Eq.(11.2), a quite low resistance at input-node is observed which suitable for obtaining as the current input port. Thirdly, the output resistance, using the same configuration and conditions, the output resistance can be written as

$$R_{out} = \frac{\beta\left(11\beta r_\pi r_o^3 + 5r_o^4 + 3\beta r_o^4 + \beta^2 r_o^4 + 3\beta r_\pi r_o^3 + 4r_\pi^2 r_o^2\right)}{A} + \frac{11r_\pi r_o^3 + 9r_\pi^2 r_o^2 + 3r_o^4 + 2r_\pi^3 r_o}{A} \qquad (12.1)$$

Likewise, output resistance can be concluded the approximately results with following condition, $\beta >>1$, the final resistance at output node is simplified to

$$R_{out} \approx r_o \qquad (12.2)$$

From Eq.(12.2), a high resistance at output-node is observed which suitable for obtaining as the current output port. Finally, the current-gain, using the same configuration and conditions, the current-gain can be expressed as

$$\frac{i_{out}}{i_{in}} = \frac{\beta\left(11r_\pi r_o^3 + 3\beta r_o^4 + \beta^2 r_o^4 + 3\beta r_\pi r_o^3 + 4\beta r_\pi r_o^2\right)}{B} + \frac{11r_\pi r_o^3 + 3r_o^4 + 2r_\pi^3 r_o}{B} \qquad (13.1)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Likewise, equilibrium state of unity current-gain can be concluded the approximately results with following condition, $\beta >> 1$, current-gain is given by

$$\frac{i_{out}}{i_{in}} \approx \frac{3r_o + \beta r_o + 3r_\pi}{4r_o + \beta r_o + 3r_\pi} \qquad (13.2)$$

From Eq.(13.2), based on the following conditions, $\beta >> 1$ and $r_o >> r_\pi$ a very small errors of current output about less than 2% of unity current-gain.

## VI. Applications

As we mentioned about the multiplier and divider behaviors of proposed circuit as Eq.(7). Examples of analog function circuits are raised to confirm the realistic applications. Simple one-quadrant current multiplier, divider and squarer can be achieved without changing circuit topology.

### *A. Multiplier circuit*

For multiplier function, 2 inputs, $I_X$ and $I_Y$ apply for $I_a$ and $I_c$, respectively while $I_b$ is keeping in constant, $I_K$. Current multiplier output can be expressed as

$$\frac{(I_X I_Y)}{I_K} = I_O \qquad (14)$$

### *B. Analog Divider*

In current divider function, numerator and denominator, $I_N$ and $I_D$, apply for $I_b$ and $I_c$, respectively while $I_a$ is keeping in constant $I_K$. Current multiplier output can be expressed as

$$I_K\left(\frac{I_N}{I_D}\right) = I_O \qquad (15)$$

### *C. Squarer circuit*

Squaring function can be obtained using Eq.(14) by applying equally $I_X = I_Y = I_{in}$. Current squaring output can be expressed as

$$\frac{(I_{in})^2}{I_K} = I_O \qquad (16)$$

### *D. Square-rooting circuit*

Square-rooting function can be obtained by adding more 3 transistors as shown in Fig.7. Consider Eq.(7), defining $I_b = I_O$ and keeping in constant $I_a = I_K$ while $I_c$ is applied for current input, $I_{in}$. Current square-rooting output can be expressed as

$$\sqrt{I_K I_{in}} = I_O \qquad (17)$$

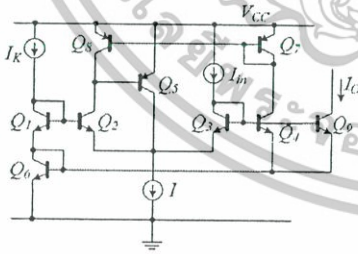



Fig.7 Square-rooting circuit application

## VII. Simulation Results

Proposed new structure of electronically tunable current mirror based on bipolar technology is confirmed its results by PSpice using AT&T ALA400 Model of NR100N and PR100N as listed in Table1 for NPN and PNP, respectively. Assumed of conditions, power supply ($V_{CC}$) and constant current source ($I$) are +2V and 150μA, respectively.

Table 1. AT&T ALA400 model parameter of BJT transistors

```
.MODEL PR100N PNP (RB=327 IRB=0 RBM=24.55 RC=50 RE=3
+IS=73.5E-18 EG=1.206 XTI=1.7 XTB=1.866 BF=110.0
+IKF=2.359E-3 NF=1 VAF=51.8 ISE=25.1E-16 NE=1.650
+BR=0.4745 IKR=6.478E-3 NR=1 VAR=9.96 ISC=0 NC=2
+TF=0.610E-9 TR=0.610E-8 CJE=0.180E-12 VJE=0.5
+MJE=0.28 CJC=0.164E-12 VJC=0.8 MJC=0.4 XCJC=0.037
+CJS=1.03E-12 VJS=0.55 MJS=0.35 FC=0.5)

.MODEL NR100N NPN (RB=524.6 IRB=0 RBM=25 RC=50 RE=1
+IS=121E-18 EG=1.206 XTI=2 XTB=1.538 BF=137.5
+IKF=6.974E-3 NF=1 VAF=159.4 ISE=36E-16 NE=1.713
+BR=0.7258 IKR=2.198E-3 NR=1 VAR=10.73 ISC=0 NC=2
+TF=0.425E-9 TR=0.425E-8 CJE=0.214E-12 VJE=0.5
+MJE=0.28 CJC=0.983E-13 VJC=0.5 MJC=0.3 XCJC=0.034
+CJS=0.913E-12 VJS=0.64 MJS=0.4 FC=0.5)
```

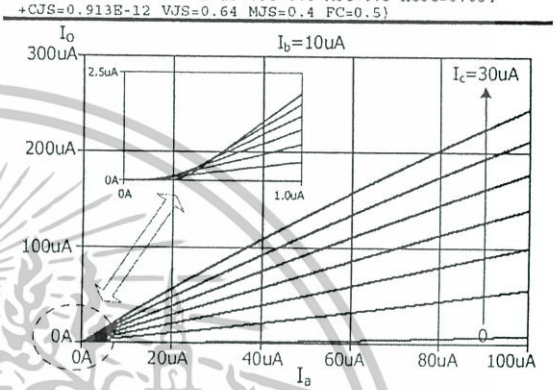



Fig.8 Conventional structure DC-characteristic of Fig.2

The performance comparison between proposed circuit and conventional circuit are illustrated to confirm for the performances and accuracies. Fig.8 shows DC-characteristic of conventional structure in Fig.2. The following conditions are varied $I_1$ along 0-100μA, stepping $I_2$ along 0-30μA and keeping $I_3$=10μA in constant. At lower input, more than 0.5μA errors can be observed. Whereas $I_2$=0, while $I_1$ is varied along 0-100μA, small output error is also observed.

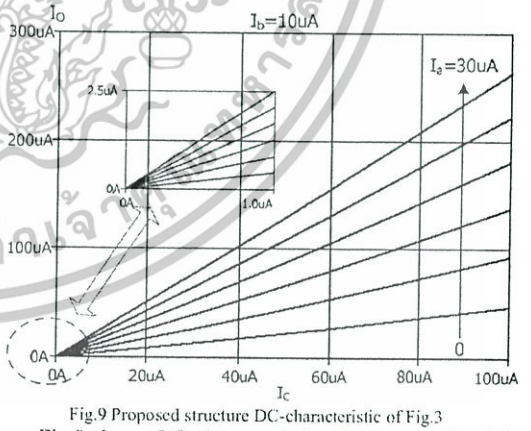



Fig.9 Proposed structure DC-characteristic of Fig.3

Fig.9 shows DC-characteristic of proposed circuit in Fig.3 with the same conditions as Fig.2. No current output error whereas $I_a$=0 while varied $I_c$ along 0-100μA and



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

without error at lower input can be observed. Fig.9 also shows small errors at unity-gain and more gain has more accurate compared with conventional structure. However, the small error has been detected which can be reduced by improvement structure in Fig.4.

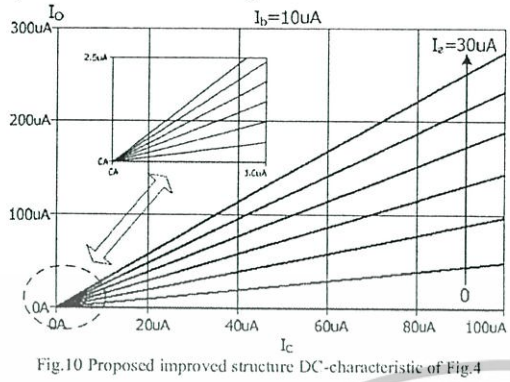



Fig.10 Proposed improved structure DC-characteristic of Fig.4

Fig.10 shows DC-characteristic of improvement proposed circuit in Fig.4 with the same conditions as Fig.2. No current output error whereas $I_a$=0 while varied $I_c$ along 100μA can be observed. Fig.10 also shows no error at lower input current. Output current at high-input is lifted-up closely the theoretical that much more accurate compared with conventional structure and proposed circuit in Fig3.

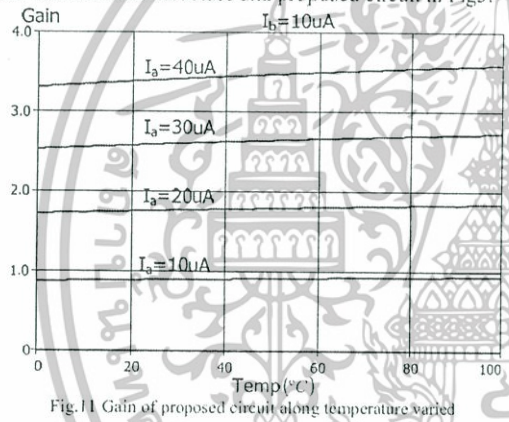



Fig.11 Gain of proposed circuit along temperature varied

The temperature effect is confirmed by the different gains characteristic based on Fig.3. The temperature and current-gain are varied while $I_b$ is fixed at 10μA, varied current-gain by $I_a$ from =10μA-40μA. Fig.11 shows achieved low temperature dependences along 0-100 temperature degree varied. The current-gain is small changing about 4% and 6.5% per 100°C for gain=1 and 4, respectively.

Input and output resistances by the different gains characteristic of proposed circuit are shown in Fig.12 and Fig.13, respectively. Varied input current ($I_c$) among 0-100μA is applied to evaluate input resistance by input voltage. Fixed input current $I_c$ at 100μA while varied output voltage along 1-3V to evaluate output resistance by output current. Low-input resistance has very small effects from the current-gain; otherwise high output resistance is affected from the current-gain according with the above output resistance analysis. Fig.14 shows frequency response of proposed both structures circuit around more than 40MHz. The constant bandwidth of various current-gains has also been illustrated.

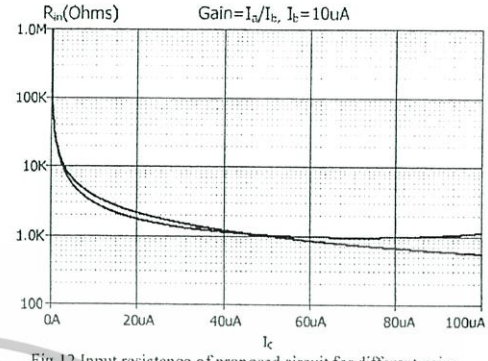



Fig.12 Input resistance of proposed circuit for different gains

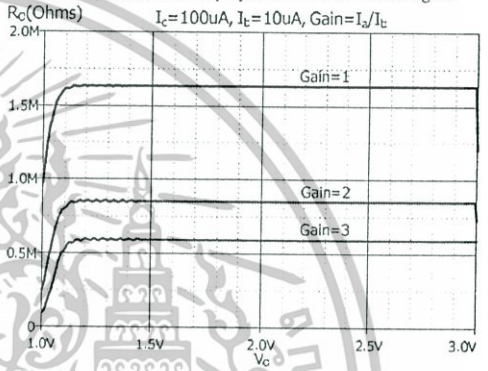



Fig.13 Output resistance of proposed circuit for different gains

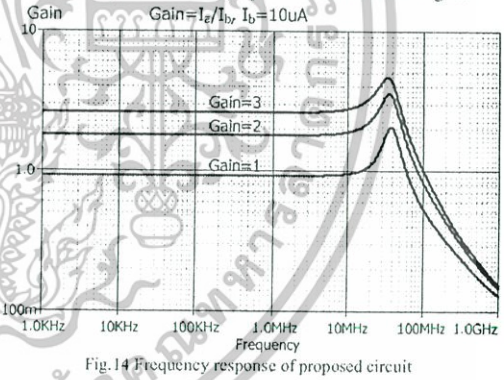



Fig.14 Frequency response of proposed circuit

The divider characteristics is done by varying $I_D$ along 20μA and step varied $I_Y$ between 0-100μA while $I_K$=10μA. Fig.15 shows a divider characteristic of proposed circuit based on Fig.3 structure according with Eq.(15).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

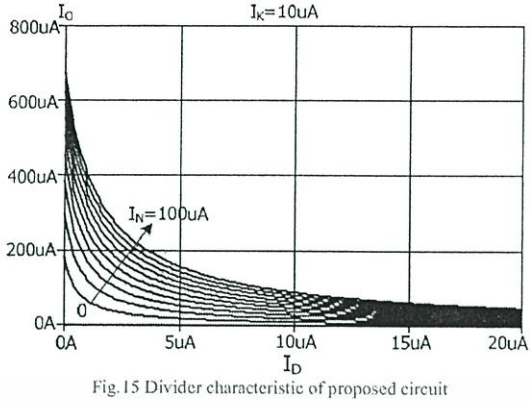



Fig.15 Divider characteristic of proposed circuit

The squaring characteristic is done by applying input ($I_{in}$) triangular waveform at both inputs, $I_u$ and $I_c$. Triangular wave 100kHz is applied using the following conditions, 10μA current offset, 20μA amplitude while $I_K$=10μA. Fig.16 shows a squaring characteristic of proposed circuit based on Fig.3 structure according with Eq.(16). The square-rooting characteristic is done by applying input ($I_{in}$) triangular waveform same the previous conditions. Fig.17 shows a square-rooting characteristic of proposed circuit based on Fig.7 structure according with Eq.(17).

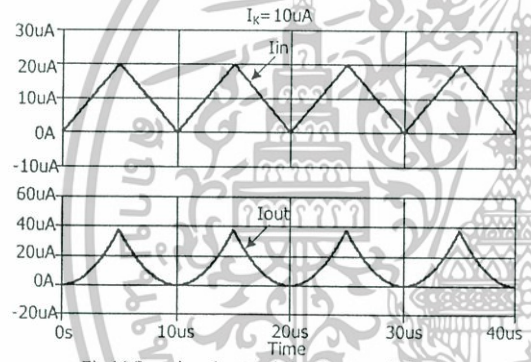



Fig.16 Squaring characteristic of proposed circuit

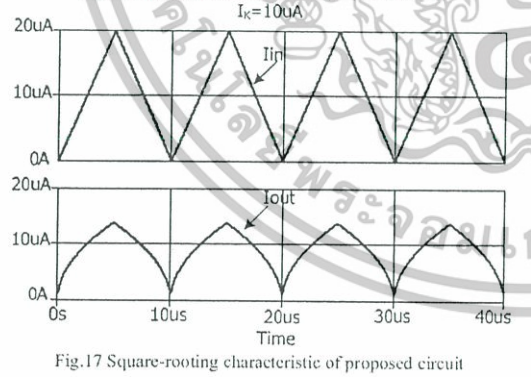



Fig.17 Square-rooting characteristic of proposed circuit

## VIII. Conclusion

A new high-performance tunable current mirror based on translinear type-A using bipolar technology is proposed. Electronic tuning of current-gain is obtained by adjusting the ratio of 2 particular currents. Simple structure can be easily applied into other circuits using a benefit of the same direction of their current inputs. Low-error is obtained compared with a conventional structure. Low-temperature effect less than 4% per 100°C is achieved with 600μW of power dissipations. Only 6 transistors are deployed with constant bandwidth of different current-gains more than 40MHz. Analog signals processing applications, multiplier, divider, squarer and square-rooting circuits are raised for confirm the realistic applicable.

## References

[1] B. Gilbert, "Translinear Circuits: A proposed classification," *Electron. Lett*, Vol.11, pp.14-16, 1975.

[2] A. Fabre, "Translinear current-controlled current amplifier," *Electron. Lett*, Vol.24, pp.548-549, 1988.

[3] C. Toumazou, F. J. Lidgey, M. Yang, Translinear class AB Current amplifier. *Electron. Lett* , Vol.25, pp.873-874, 1989.

[4] A. Fabre, N. Mimeche, "Class A/AB second-generation current conveyor with controlled current gain," *Electron. Lett*, Vol.30, pp.1267-1269, 1994.

[5] D. A. Panagiotopoulos, R. W. Newcomb, S.K. Singh, "A Current-Mode Exponential Amplifier," *IEEE Trans. Circuits and Syst.*, Vol.47,pp.548-552, 2000.

[6] T. S. Gotarredona, B. L. Barranco, A. G. Andreou, "Very Wide Range Tunable CMOS-Bipolar Current Mirrors with Voltage Clamped Input," *IEEE Trans. Circuits and Syst.* Vol.46, pp.1398-1407, 1999.

[7] E. A. Klumperink, E. Seevinck, "MOS current gain cells with electronically variable gain and constant bandwidth," *IEEE J. Solid-State Circuits*, Vol.24, pp.1465-1467, 1989.

[8] E. Seevinck, R. J. Wiegerink, "Generalized translinear circuit principle," *IEEE J. Solid-State Circuits*, Vol.26, pp.1098-1102, 1991

[9] E. Seevinck, E. A. Vittoz, M. Plessis, T. Joubert, W. Beetge, "CMOS Translinear Circuits for Minimum Supply Voltage," *IEEE Trans. Circuits and Syst.* Vol.47,pp.1560-1564, 2000

[10] P. R. Grey, R. G. Meyer, "Analysis and design of analog integrated circuits," *John Wiley& Sons*, 1984.

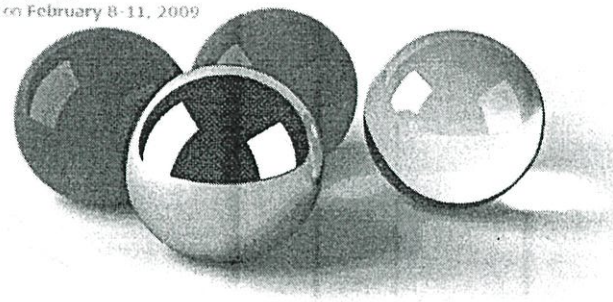


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International Symposium on Intelligent **Signal** Processing and **Communication** Systems

# ISPACS 2008

Bangkok, Thailand on February 8-11, 2009





Copyright and Reprint Permission: Abstracting is permitted with credit to the source. Libraries are permitted to photocopy beyond the limit of U.S. copyright law for private use of patrons those articles in this volume that carry a code at the bottom of the first page, provided the per-copy fee indicated in the code is paid through Copyright Clearance Center, 222 Rosewood Drive, Danvers, MA 01923. For other copying, reprint or republication permission, write to IEEE Copyrights Manager, IEEE Operations Center, 445 Hoes Lane, P.O. Box 1331, Piscataway, NJ 08855-1331. All rights reserved. Copyright © 2008 by the Institute of Electrical and Electronics Engineers

IEEE Catalog Number: CFP08580
ISBN: 978-1-4244-2565-5
Library of Congress: 2008904403

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2008 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS2008)
Swissôtel Le Concorde,Bangkok,Thailand

# Universal filter and its oscillator modification employing only active components

*Pipat Prommee, Montri Somdunyakanok and Kobchai Dejhan*
Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
Tel: 66-2326-4238, 66-2326-4242, Fax:+66-2326-4554
Email: pipat@telecom.kmitl.ac.th

*Abstract*— **An active-only devices current-mode universal filter using the biquadratic transfer function is proposed. The proposed circuit is realized based on minimized active-only components count without external passive elements. The electronic resistors are used instead of 2 OTAs. The different kinds of filter function such as lowpass, highpass, bandpass and band-reject response can be obtained without changing circuit topology. A quadrature oscillator can also be easily modified without changing circuit topology. The proposed circuit is realized by using 4 MOS transistors, 3 OTAs, and 2 Opamps. The parameters $\omega_P$ and $Q_P$ can be electronically tuned independently through adjusting the transconductance gains of the OTAs. The simulation results are given by PSpice.**

## I. Introduction

In analogue signal processing, the active filters are rapidly developed based on voltage-mode and current-mode approaches. The current-mode filters are becoming popular, since they have many advantages compared with their voltage-mode counterparts. Design of current-mode filters employing active devices such as Current Followers (CFs) [1], second generation current conveyors (CCIIs) [2] and Operational Transconduetance Amplifiers (OTAs) [3] have been introduced in the literatures. Other devices CDTA [4] and CDBA [5] are now popular devices to implement for biquad filter. Unfortunately many transistors, poor bandwidth and more power consumption are definitely suffered for such devices. The grounded capacitors are also actually used in their works.

The filter circuit based on a biquadratic function [6] was been found a few decade ago. The open-loop gain of operational amplifier (OA) is known well in term of Gain-Bandwidth product (GBW). That GBW characteristic is mostly the same with a high frequency lossless integrator building block. Therefore, a biquad filter can be implemented by biquad structure using OAs GBW as well. The active-only filter, without external passive elements, can also be realized by OAs and OTAs. The current-mode operations were proposed in recent literatures [7-9]. The voltage-mode operations were proposed in recent literatures [10-11]. Although, many active elements are employed, they have advantages in high-frequencies and also integrable.

This paper focuses on the design of current-mode active filter based on biquadratic function using only active elements without any external passive elements. The minimization of active elements and the electronic control of the filter is a theme of this paper.

Consider in previous works [7-8], using 2 OAs and 3 OTAs. The frequency response ($\omega_P$) is tuned by an OTA in term of a square-root function. The linear controlled can not be achieved and complicate in the practical adjustment. Another paper, the linear controlled has been achieved but the many components are used, 5 OTAs and 2 OAs [9], that is not suitable for the compactness IC's fabrication.

In practically, any active device does not matter to consider but the design should be made as simple as possible with high-performance. The OTA is a best one for taking in account. This paper proposes universal filter using only 2 multiple outputs OTAs (MOOTAs), 2 OAs and 4 MOS transistors for electronic resistor for reduce the number of OTAs. The mutifunction filters can be obtained with the tunable $\omega_P$ and $Q_P$. The achieved circuit can be electronically tuned by transconductance gains of OTAs for the $\omega_P$ parameter. The proposed circuit can be electronically tuned by biased current of OTA for $Q_P$ parameter without effect to the $\omega_P$ parameters. The low sensitivities with respect to the active elements are obtained. The filter characteristic functions including low-pass, high-pass, band-pass and band-reject can be obtained without changing the circuit topology.

## II. Theory and Principle

### A. Voltage-Gain Circuit

The voltage-gain circuit [12] which used in this paper consists of an OTA and an electronic resistor as shown in Fig. 1. The transresistance of the electronic resistor circuit can be expressed in Eq.(1)

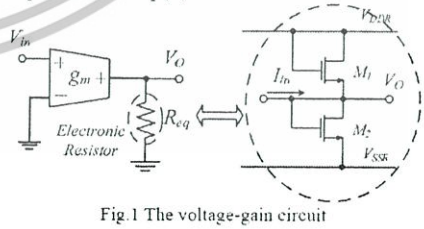



Fig.1 The voltage-gain circuit

$$R_{eq} = \frac{V_O}{I_{in}} = \frac{L}{2\mu C_{OX} W (V_{DD} - V_T)} \qquad (1)$$

The voltage gain of Fig.1 can be obtained to

978-1-4244-2565-5/08/$25.00 ©2008 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_O}{V_{in}} = g_m R_{eq} \qquad (2)$$

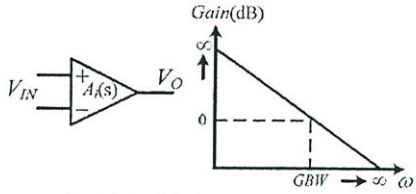



Fig.2 OA and its frequency response

### B. *OA as a lossless integrator*

Consider the open-loop gain of Operation Amplifier (OA) while its frequency is varied to high-frequency as shown in Fig.2. The OA open-loop gain-bandwidth can be expressed as Eq. (3)

$$A_i(s) = \frac{B_i}{s} \quad (i = 1, 2) \qquad (3)$$

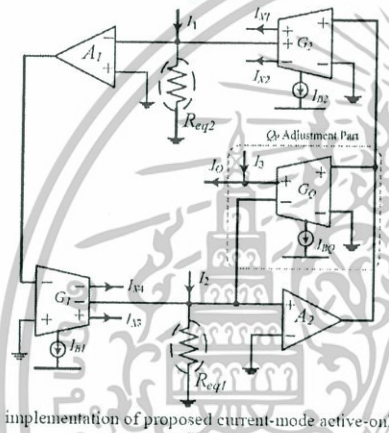



Fig.3 The implementation of proposed current-mode active-only universal filter

### C. *Universal Current-mode Realization*

The proposed filter as shown in Fig. 3 is realized based on 2 integrators loop structure additionally cooperated with a $Q_P$ adjustment part. The different transfer functions are straightforward analysis by KCL basis which expressed in Eq. (4).

$$\frac{I_O}{I_{in}} = \frac{-R_{eq1}R_{eq2}B_1B_2g_1g_Q I_1 + sg_Q R_{eq1}B_2 I_2 + D(s)I_3}{D(s)} \qquad (4)$$

Whereas the denominator, $D(s)$ is given by $D(s) = s^2 + sg_Q R_{eq1}B_2 + g_1g_2R_{eq1}R_{eq2}B_1B_2$. It can be seen that the proposed filter can realize five types of the standard biquadratic filter which are summarized as follows:

***Case1*** ($g_{m1}=g_{m2}=g_{mQ}$)

(1) The LP response can be realized, when $I_2 = I_3 = 0$ and $I_1 = I_{in}$.

(2) The HP response can be realized, when $I_1 = -I_2 = I_3 = I_{in}$.

(3) The AP response can be realized, when $I_1 = 0$ and $I_2/2 = I_3 = I_{in}$.

***Case2*** ($g_{m1}=g_{m2}\neq g_{mQ}$)

(4) The BP response can be realized, when $I_1 = I_3 = 0$ and $I_2$.

(5) The BR response can be realized, when $I_1 = 0$ and $-I_2 = I_3 = I_{in}$.

$$\omega_P = \sqrt{R_{eq1}R_{eq2}B_1B_2g_1g_2} \qquad (5)$$

and

$$Q_P = \frac{1}{g_Q}\sqrt{\frac{R_{eq2}B_1g_1g_2}{R_{eq1}B_2}} \qquad (6)$$

The parameters $g_i$ represents for transconductance of OTAs and $R_{eqi}$ represents for the electronic resistors and $B_i$ is an OA open-loop gain-bandwidth. Generally, $g_1$, $g_2$ and $g_Q$ are equalled and also $R_{eqi}$ is fixed to constant ($Q_P = 1$). From Eq.(8), the $\omega_P$ can be electronically controlled by the transconductance gain of OTAs. For adjusting $Q_P$, by using only identical of both OTAs, $g_1$ and $g_2$. From Eq.(9), the parameter $Q_P$ is orthogonally adjusted with $\omega_P$ by $g_Q$.

## III. Sensitivity

The other filter performances can be considered by its sensitivities. The performance with respect to active elements according with the frequency response $S_x^{\omega_P}$ and quality factor $S_x^{Q_P}$, while $x$ is active elements. The achieved sensitivities can be below illustrated.

$$S^{\omega_P}_{g_1,g_2,R_{eq1},R_{eq2},B_1,B_2} = 0.5$$

$$S^{Q_P}_{g_1,g_2,R_{eq2},B_2} = 0.5$$

$$S^{Q_P}_{R_{eq1},B_1} = -0.5$$

$$S^{Q_P}_{g_Q} = -1 \text{ and } S^{\omega_P}_{g_Q} = 0$$

## IV. Oscillation Behavior

Consider the denominator $D(s)$, it can seen that when $g_{mQ}$ is given to zero without input ($i_{in}=0$), the function become to the critical situation (double poles are located at $j\omega$ axis). The $OTA_Q$ is split out of the circuit. The oscillated condition is obtained with achieved unity loop-gain as

$$0 = \frac{N(s)}{D(s)} = 1 - LG = 1 + \frac{g_1g_2R_{eq1}R_{eq2}B_1B_2}{s^2} \qquad (7)$$

By oscillated condition (OC) with $g_Q = 0$, the oscillation frequency ($\omega_0$) is realized by

$$\omega_0 = \sqrt{R_{eq1}R_{eq2}B_1B_2g_1g_2} \qquad (8)$$

## V. Non-Ideal Analysis

In this section, the non-idealities effects of the OAs on the transfer function of the proposed multifunction filter are discussed. Considering the parasitic pole of OA, the open loop gain $A(s)$ can be assumed as

$$A_i(s) = \frac{B_i\omega_{pi}}{s(s+\omega_{pi})} = \frac{B_i}{s(1+\tau_i s)}; \quad (i = 1,2) \qquad (9)$$

Where $\omega_p$ denote the second pole of OA and $\tau = 1/\omega_p$. In the frequency range $\omega << \omega_p$ of our interest. $A(s)$ is assumed to be

$$A_i(s) \cong \frac{B_i}{s}(1 - \tau_i s) \qquad (10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Using Eq. (10) and reanalysis of the proposed circuit gives the following functions:

$$D_n(s) \cong s^2\left(1 - g_Q R_{eq1} B_2 \tau_2 + g_1 g_2 R_{eq1} R_{eq2} B_1 B_2 \tau_1 \tau_2\right) + s\left(g_Q R_{eq1} B_2 - g_1 g_2 R_{eq1} R_{eq2} B_1 B_2 \tau_2 - g_1 g_2 R_{eq1} R_{eq2} B_1 B_2 \tau_1\right) + g_1 g_2 R_{eq1} R_{eq2} B_1 B_2 \quad (11)$$

$$T_{LPn}(s) \cong \frac{g_1 g_Q R_{eq1} R_{eq2} B_1 B_2 \left[s^2 \tau_1 \tau_2 - s(\tau_1 + \tau_2) + 1\right]}{D_n(s)} \quad (12)$$

$$T_{HPn}(s) \cong \frac{s^2}{D_n(s)} \quad (13)$$

$$T_{BPn}(s) \cong \frac{g_Q R_{eq1} B_2 \left(-s^2 \tau_2 + s\right)}{D_n(s)} \quad (14)$$

$$T_{BRn}(s) \cong \frac{s^2 + g_1 g_Q R_{eq1} R_{eq2} B_1 B_2 \left[s^2 \tau_1 \tau_2 - s(\tau_1 + \tau_2) + 1\right]}{D_n(s)} \quad (15)$$

Where $\tau = 1/\omega_P$ of the $i$th OA. From Eq. (14), the parameters of the non-ideal multifunction filters are expressed as

$$\omega_{Pn} \cong \sqrt{g_1 g_2 R_{eq1} R_{eq2} B_1 B_2} \quad (16)$$

$$Q_{Pn} \cong \sqrt{\frac{g_1 g_2 R_{eq2} B_1}{R_{eq1} B_2}} \left[\frac{1}{g_Q - g_1 g_2 R_{eq2} B_1 (\tau_2 + \tau_1)}\right] \quad (17)$$

It can be seen that due to the parasitic effects. The parasitic poles are not disturbed to the frequency response of proposed filter but the small affected of quality factor ($Q_{Pn}$) can be observed. However, the quality factor effect is more increased in higher frequency depending on second poles of $OA_i$. Undesirable factors are yielding in the transfer functions of the filter. From (11)-(15), it is found that such factors can be made negligible by satisfying the following conditions for the circuit.

$$\left.\begin{aligned} g_Q R_{eq1} B_2 \tau_2 + g_1 g_2 R_{eq1} R_{eq2} B_1 B_2 \tau_1 \tau_2 &\ll 1 \\ g_1 g_2 R_{eq1} R_{eq2} B_1 B_2 (\tau_2 + \tau_1) &\ll \left(g_Q R_{eq1} B_2\right) \end{aligned}\right\} \quad (18)$$

## VI. Simulation Results

The proposed universal current-mode active-only filter can be confirmed its performances and characteristic by PSpice. The TSMC MOSIS 0.25μm level 3 model has been employed. The implementations of CMOS OAs, CMOS MO-OTA and their aspect ratio with ±2 volts power supplies are illustrated in Fig.4 and Fig.5 and listed in Table I and II, respectively.

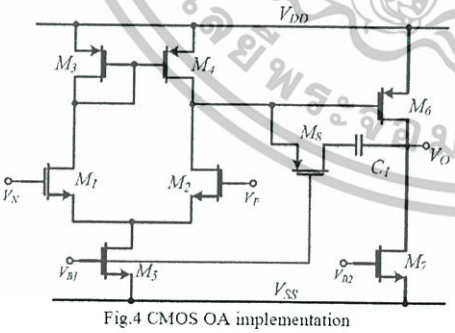



Fig.4 CMOS OA implementation

The various four filters characteristics with $Q_P$ =1 is used for verify a frequency response applicable. The electronically tunable of frequency response can be confirmed by adjusting of current biased, 5μA and 50 μA of every OTAs as shown in Fig. 6 and Fig. 7, respectively. The aspect ratio of electronic resistors is given by ($W/L$) = (9μm/2μm) with ±2 volts power supplies. The CMOS OAs using $C_1$ = 30pF with bias voltage $V_{B1}$ and $V_{B2}$ set to -1V and -0.5V, respectively. From Fig. 6 and Fig. 7, the varying frequency has roughly found that 300 kHz and 900 kHz while varying of every OTAs current biased, 5μA and 50 μA, respectively.

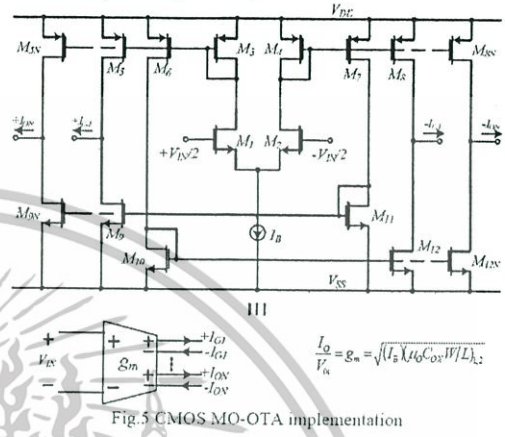



Fig.5 CMOS MO-OTA implementation

TABLE I. ASPECT RATIO USED OF CMOS OA

| Transistor | W (μm) | L (μm) | Transistor | W (μm) | L (μm) |
|---|---|---|---|---|---|
| $M_1$, $M_2$ | 250 | 3 | $M_6$ | 392 | 1 |
| $M_3$, $M_4$ | 100 | 3 | $M_7$ | 232 | 3 |
| $M_5$ | 80 | 32 | $M_8$ | 39 | 1 |

TABLE II. ASPECT RATIO USED OF CMOS MO-OTA

| Transistor | W (μm) | L (μm) | Transistor | W (μm) | L (μm) |
|---|---|---|---|---|---|
| $M_1$, $M_2$ | 1 | 5 | $M_5$, $M_8$ | 5.5 | 1 |
| $M_3$, $M_4$, $M_6$, $M_7$ | 5 | 1 | $M_9$-$M_{12}$ | 3 | 1 |

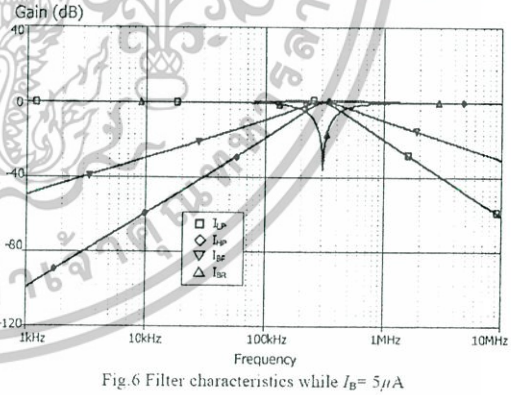



Fig.6 Filter characteristics while $I_B$= 5μA

The orthogonal $Q_P$ adjustment is confirmed by setup a frequency response at 300 kHz based on the current biased of $OTA_1$ ($I_{B1}$) and $OTA_2$ ($I_{B2}$) are constant of 5μA. The biased current of $OTA_Q$ ($I_{BQ}$) for orthogonal $Q_P$ adjustment is varied among 5μA, 1.8μA, 1.5μA, 1 μA and 0.5μA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

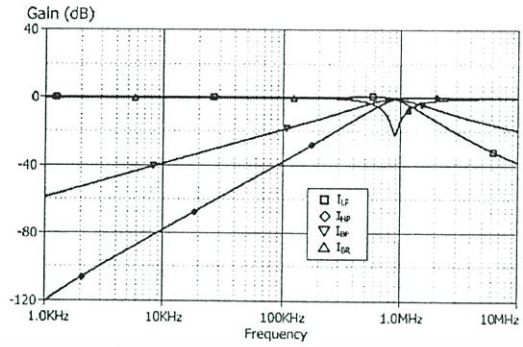



Fig.7 Filter characteristics while $I_B$= 50$\mu$A

The simulation results in term of BPF and BRF with the different $Q_P$ adjustments are shown in Fig.8 and Fig.9, respectively. The parameter $Q_P$ does not have any effects to its $\omega_P$ agreed with above theoretical. The frequency response and magnitude are quite stable.

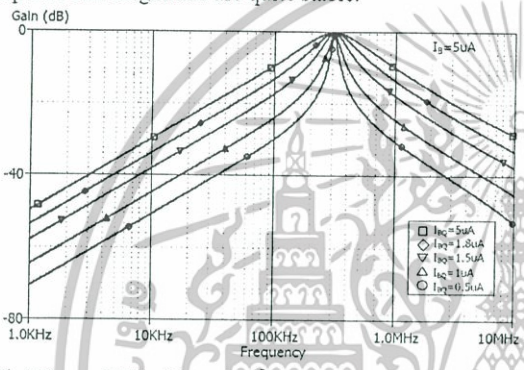



Fig.8 Proposed BPF with varying $Q_P$ by varying $OTA_Q$ biased current

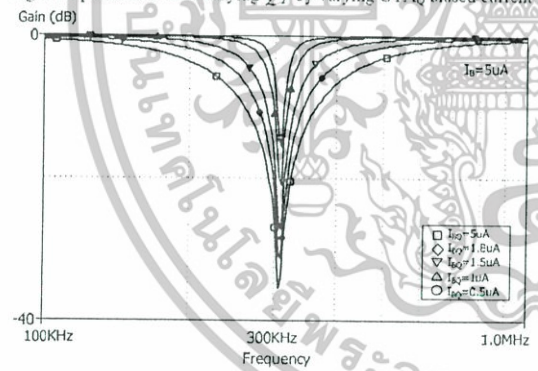



Fig.9 Proposed BRF with varying $Q_P$ by varying $OTA_Q$ biased current

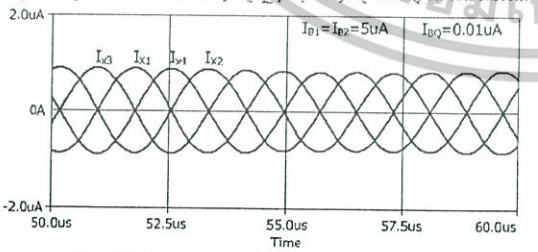



Fig.10 Sinusoidal output for oscillator modification

Achieved oscillator result is confirmed by giving the following parameters, $I_{B1}$=$I_{B2}$=5$\mu$A and $I_{BQ}$=0.01$\mu$A. Note that $g_{mQ}$ is nearly to zero according with the theoretical. Four phases multiple outputs of oscillator about 300kHz are illustrated in Fig.10. The 90° degree phase different of current output signal of both OTA is observed.

## VII. Conclusion

This paper presents an active-only current-mode universal filter without external passive elements. The electronic resistors are used to reduce the number of OTAs. The pole frequency is given by GBW of OAs. The proposed circuit is based on 2 integrators loop topology and a minimized number of component counts. It uses only 2 OAs, 3 OTAs and 4 MOS transistors. The $\omega_P$ can be electronically tuned through the transconductance gain. The high-frequency can be applied and also suitable for further ICs technology. The perfect electronically tunable of $Q_P$ has been carried out through the transconductance gain of OTA the without any effect to $\omega_P$. The multifunction filters can be obtained by proposed filter without any change of the topology. The multiphase oscillator can be also achieved by split out of $g_Q$ electronically without changing circuit topology.

## References


[1] S. I. Liu, J. J. Chen, Y. S. Hwang, "New Current mode Biquad filters using current follower," *IEEE Trans. Circuits Syst.*, vol. 42, pp.380-383, July 1995.

[2] E. O. Gunes, A Toker and S. Ozoguz, "Insensitive current-mode universal filter with minimum component using dual-output current conveyors," *Electron. Lett.*, vol. 35, pp.524-525, April 1999.

[3] C. Chang, "New multifunction OTA-C biquads," *IEEE Trans. Circuits and Syst.*, vol. 47, pp.1235-1238, 2000.

[4] M. Siripruchyanun, W. Jaikla, "CMOS current-controlled current differencing transconductance amplifier and applications to analog signal processing," *Int. J. Electron. Commun.* (AEÜ) Vol.62, pp.277–287, 2008

[5] C. Acar, S. Ozoguz, "A versatile building block: current differencing buffered amplifier suitable for analog signal processing filters," *Microelectron Journal*, Vol.30, pp.157–60, 1999.

[6] W. J. Kerwin, L. P. Huelsman, and R. W. Newcomb, "State-variable synthesis for insensitive integrated circuit transfer function," *IEEE Trans. Solid-state Circuits*, vol. SC-2, pp.87-92, 1967.

[7] T. Tsukutani, M. Ishida, S. Tsuiki, and Y. Fukui, "Current-mode biquad without passive elements," *Electron. Lett.*, vol. 32, pp.197-198, Feb. 1996.

[8] T. Tsukutani, M. Higashimura, Y. Sumi and Y. Fukui, "Electronically tunable current-mode active only biquadratic filter," *Int. J. Electron.*, vol. 87, pp.307-314, 2000.

[9] M. T. Abuelma' Atti and H. A Alzaher, "Universal three input and one output current-mode filter without external passive elements, *Electron. Lett.*, vol. 33, pp.281-283, Feb. 1997.

[10] T. Tsukutani, M. Higashimura, N. Takahashi, Y. Sumi and Y. Fukui, "Novel voltage-mode biquad using only active divices," *Int. J. Electron.*, vol. 88, pp.339-346, 2001.

[11] T. Tsukutani, M. Higashimura, Y. Sumi and Y. Fukui, "Voltage-mode active only biquad," *Int. J. Electron.*, vol. 87, pp.1435-1442, 2000.

[12] P. Prommee and K. Dejhan, "An integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier," *Int. J. Electron.*, vol. 89, pp.365-379, 2002.


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ARTICLE IN PRESS

Int. J. Electron. Commun. (AEÜ) ▮ (▮▮▮▮) ▮▮▮–▮▮▮

Contents lists available at ScienceDirect

Int. J. Electron. Commun. (AEÜ)

journal homepage: www.elsevier.de/aeue

# CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter

Pipat Prommee *, Montri Somdunyakanok

*Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Chalongkrung Rd., Bangkok 10520, Thailand*

ARTICLE INFO

*Article history:*
Received 13 October 2009
Accepted 1 December 2009

*Keywords:*
Current conveyors
Current-controlled differential difference current conveyors (CCDDCC)
Current-mode filters

ABSTRACT

This paper presents design of an active building block for analog signal processing, named as current-controlled differential difference current conveyor (CCDDCC). Its parasitic resistances at *X*-terminal can be controlled by an input bias current. The proposed element is realized in a CMOS technology. It displays usability of the new active element, where the maximum bandwidth of voltage and current followers are around 1 GHz, 100 MHz, respectively. The THD is obtained around 0.8% within 0.6 Vp–p input range. The power dissipation of a CCDDCC at 10 μA biased current is obtained around 1.35 mW with ± 1.25 V power supplies. In addition, grounded capacitor-based floating capacitance multiplier and current-mode (CM) multiple-input single output (MISO) second-order universal analog filters are included as the applications. For realization of a grounded capacitor-based floating capacitance multiplier, it employs three CCDDCCs and one grounded capacitor without resistor connections. The capacitance can be tuned electronically through the bias current. The filter offers the simultaneous realization five type standard filter responses. The quality factor and the frequency response parameters can be independently tuned. The non-ideal effects of the developed structures are examined. SPICE simulation results of proposed CCDDCC and its applications are also presented.

© 2009 Elsevier GmbH. All rights reserved.

## 1. Introduction

Second-generation current conveyors (CCIIs) [1] prove to be a versatile building block that can be used to implement many analog signal processing circuits such as active filters [2–4], sinusoidal oscillators [5] based on grounded capacitors and resistors. CCIIs have low impedance at *X*-terminal and high output impedance at the *Z*-terminal. However, they have lack of the electronic control and require resistor connections. Current-controlled current conveyor (CCCII) is a more versatile building block that can be electronically controlled the parasitic resistance of *X*-terminal. It can be realized by BJT [6] and CMOS [7] technologies. The resistorless and electronic tunability of analog signal processing designs have been realized based on CCCII. The design of current-mode universal filter based on CCII [8] and CCCII [9],which comprises of three active components and two grounded capacitors, has low input impedance based-on CCII characteristic of *X*-terminal. The frequency response ($\omega_0$) and quality factor (*Q*) cannot be orthogonally tuned [8]. The CCCII filter [9] is designed by using SFG which is able to be electronically tuned but ($\omega_0$) and (*Q*) cannot be tuned orthogonally, Another filter has the advantage that all passive elements are grounded and it uses three CCII+ and one CCII− [10]. They can only be tuned by changing the passive elements [8–10].

Differential difference current conveyor (DDCC) [11] and differential voltage current conveyor (DVCC) [12] are discovered and realized for filters [13–20] and oscillator [21]. The accurate performance and high bandwidth are interesting characteristics of DDCC and DVCC. A voltage-mode multifunction filter based on fully differential current conveyor (FDCC) with a single input and four outputs [22] was introduced. However, with proposed configurations only three standard filter signals can be simultaneously obtained. Another voltage-mode universal biquadratic filter based on CCII and DVCC with a single input and five outputs [23] was also reported. Nevertheless, using resistors in those circuits [1–5,11–23] cannot be provided electronic tunabilities which is not suitable in IC production. Another device, current feedback amplifier (CFA) prefers to realize in both of voltage-mode and current-mode filter [24,25]. The CFA characteristics are quite similar to the CCII. It therefore requires the resistors connection and is without electronic tunabilities.

The purpose of this paper is to design and synthesize a modified-version DDCC, which is newly named current controlled differential difference current conveyor (CCDDCC) by using a CMOS technology. The intrinsic resistances at *X*-terminal can be controlled by an input bias current; therefore, resistor connection does not required in practical applications. The performances of

* Corresponding author. Tel.: +66 2 326 4242; fax: +66 2 326 4554.
*E-mail addresses:* kppipat@kmitl.ac.th, pipat@telecom.kmitl.ac.th (P. Prommee), monsom@siamu.com (M. Somdunyakanok).

1434-8411/$ - see front matter © 2009 Elsevier GmbH. All rights reserved.
doi:10.1016/j.aeue.2009.12.002

Please cite this article as: Prommee P, Somdunyakanok M. CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter. Int J Electron Commun (AEU) (2010), doi:10.1016/j.aeue.2009.12.002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

proposed CCDDCC are illustrated by SPICE simulations; they show good agreement with theoretical. The applications, capacitance multiplier and current-mode universal filter are comprised.

## 2. Circuit descriptions

### 2.1. Basic concept of CCDDCC

The DDCC is mostly similar to DVCC but only the number of Y-terminal is different. DDCC has three Y-terminal but DVCC has two Y-terminal inputs. The CCDDCC properties are similar to the conventional DDCC or DVCC, except that resistance at X-terminal of CCDDCC has finite input resistances $R_X$. This intrinsic resistance ($R_X$) can be controlled by the bias current $I_B$ as shown in the following:

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_Z \end{bmatrix} = \begin{bmatrix} R_X & 1 & -1 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ \pm 1 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ V_Z \end{bmatrix} \quad (1)$$

The symbol and the equivalent circuit of the CCDDCC are illustrated in Fig. 1(a) and (b), respectively.

### 2.2. CMOS differential voltage buffer

The CMOS differential voltage buffer (DVB) is shown in Fig. 2. The circuit structure of this CMOS DVB is similar to the DDA realization in [26]. The input transconductance elements are realized with two differential stages ($M_1$ and $M_2$, $M_3$ and $M_4$). The high-gain stage is composed of a current mirror ($M_5$ and $M_6$). It converts the differential current to a single-ended output current ($M_7$). The output voltage of this amplifier can be expressed as

$$V_{X'} = V_{Y1} - V_{Y2} + V_{Y3} \quad (2)$$

In the discussion so far, we have assumed that the current mirror has unity gain, and transistors are perfectly matched. However, in practical realizations, several non-idealities must be presented. The major factors will be considered here are finite transconductance g of the transistors, and transistors mismatched. The relationship among $V_{Y1}$, $V_{Y2}$, $V_{Y3}$, and $V_{X'}$ can be obtained using small-signal analysis. The transistors in Fig. 2 are replaced by appropriate equivalent circuits and the node equations can be derived. To simplify discussion, the body effect has been neglected and the two differential pairs are assumed to be identical. Then, by solving the equations, we obtain

$$V_{X'} \approx \beta_{y1} V_{Y1} - \beta_{y2} V_{Y2} + \beta_{y3} V_{Y3} \quad (3)$$

$$\beta_{y1} \approx \frac{g_{m7} g_{m1} (g_{m6} + g_{d2} + g_{d4} + g_{d6})}{g_{m4} g_{m5} g_{m7} + g_{m6} g_{d7} (g_{d1} + g_{d3} + g_{d5})} \quad (4)$$

$$\beta_{y2} \approx \frac{g_{m2} g_{m5} g_{m7}}{g_{m4} g_{m5} g_{m7} + g_{m6} g_{d7} (g_{d1} + g_{d3} + g_{d5})} \quad (5)$$

$$\beta_{y3} \approx \frac{g_{m3} g_{m7} (g_{m6} + g_{d2} + g_{d4} + g_{d6})}{g_{m4} g_{m5} g_{m7} + g_{m6} g_{d7} (g_{d1} + g_{d3} + g_{d5})} \quad (6)$$

where $g_{di}$ and $g_{mi}$ denote the drain conductance and transconductance of transistor $M_i$, respectively. It is clear that the voltages at $Y_1$, $Y_2$, and $Y_3$ terminals will be accurately transferred to $X'$- terminal if and only if $g_{mi} \gg g_{di}$. Similarly, the terminal impedance looking into $X'$–terminal can be derived by setting $V_{Y1}$, $V_{Y2}$, and $V_{Y3}$ to zero, applying a test voltage $V_X$ at node $X'$, and calculating the current $I_X$. The result is

$$r_{X'} \approx \frac{g_{m6} (g_{d1} + g_{d3} + g_{d5})}{g_{m4} g_{m5} g_{m7} + g_{m6} g_{d7} (g_{d1} + g_{d5} + g_{d3})} \quad (7)$$

It is clear that the $X'$–terminal resistance will be evidently low if and only if $g_{mi} \gg g_{di}$.

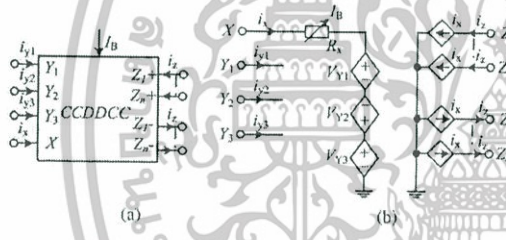



Fig. 1. CCDDCC (a) symbol (b) equivalent circuit.

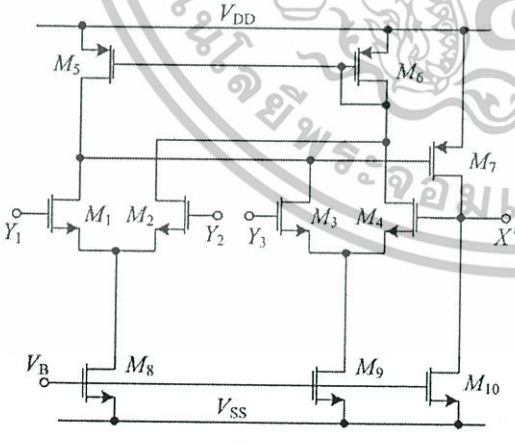



Fig. 2. CMOS differential voltage buffer.

### 2.3. Current-controlled current conveyor (CCCII)

A CCCII is a versatile active building block including three-terminals, X, Y and Z. The relationship between voltage and current variables among X, Y and Z terminals of ideal CCCII can be described as $i_y = 0$, $v_x = v_y + i_x R_X$ and $i_z = \pm i_x$.

Where the positive and negative signs of the current $i_z$ denoted the positive (CCCII+) and negative (CCCII−), respectively, and $R_X$ is an intrinsic resistance of CCCII. The circuit configuration of conventional CMOS CCCII is illustrated in Fig. 3 based on complementary source follower [7] The X-terminal impedance is calculated by

$$R_X \approx \frac{1}{g_{m19} + g_{m20}} \quad (8)$$

where $g_{mi}$ denotes a transconductance of transistor $M_i$. If matched transistors $M_{19}$ and $M_{20}$ are assumed, $g_{m19} = g_{m20}$, then

$$R_X \approx \frac{1}{\sqrt{8 \mu C_{OX} (W/L) I_B}} \quad (9)$$

whereas $\mu$, $C_{ox}$, $W$ and $L$ are, respectively, surface mobility, oxide capacitance, channel width and length of MOS transistors ($M_{19}$ and $M_{20}$). Consequently, $R_X$ can be tuned electronically by current bias $I_B$.

Please cite this article as: Prommee P, Somdunyakanok M. CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter. Int J Electron Commun (AEU) (2010), doi:10.1016/j.aeue.2009.12.002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The relationship between $V_Y$ and $V_X$ without load connected at $X$-terminal can be obtained by using small-signal analysis. The transistors in Fig. 3 are replaced by appropriate equivalent circuits and the node equations can be derived. Then, by solving the equations, we obtain

$$\frac{V_X}{V_Y} = \beta_A \approx \frac{A}{A+B} \tag{10}$$

where $A \approx g_{m18}g_{m21}(g_{m19}+g_{m20})+g_{m18}g_{m19}(g_{d20}+g_{d21})$, $B \approx g_{m18}g_{m21}(g_{d19}+g_{d20})$. The relationship between $I_Z$ and $I_X$ can be expressed as

$$\frac{I_Z}{I_X} = \alpha \approx \frac{-\left[\begin{array}{l} g_{m20}g_{m23}(g_{m18}+g_{d18}+g_{d19}) \\ \quad +g_{m22}\left(\begin{array}{l} g_{m19}g_{m21}+g_{d19}g_{m21} \\ \quad +g_{m19}g_{d20} \end{array}\right) \end{array}\right]}{C} \tag{11}$$

where

$$C \approx g_{m20}g_{m21}(g_{m18}+g_{d18}+g_{d19}) + g_{m18}\left(\begin{array}{l} g_{m19}g_{m21}+g_{d19}g_{m21}+g_{m19}g_{d20} \\ \quad +g_{d20}g_{m21}+g_{m19}g_{d21} \end{array}\right) + g_{m18}g_{m20}g_{d21}+g_{m19}g_{m21}g_{d18}$$

If $g_{mi} \gg g_{di}$, $g_{m21} = g_{m23}$, $g_{m18} = g_{m22}$, the $X$-terminal voltage and $Z$-terminal current can be expressed as $V_X = V_Y$ and $I_Z = I_X$.

### 2.4. Current-controlled differential difference current conveyor (CCDDCC)

The internal realization of CCDDCC is done by connecting $X'$—terminal of VDB with $Y$-terminal of CCCII which is shown in Fig. 4. Due to the low-output impedance of DVB and high-input impedance of CCCII as discussion in Section 2.2, the DVB can cascade connect to CCCII. Voltage gain at $X$-terminal with respect to $Y$-terminal denotes by $\beta_i = \beta_A\beta_{yi}$. Current gain at $Z$-terminals from $X$-terminal denotes by $\pm\alpha$. The properties of DDCC and CCCII are combined which can be described in the following matrix equations:

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_Z \end{bmatrix} = \begin{bmatrix} R_X & \beta_1 & -\beta_2 & \beta_3 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ \pm\alpha & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ V_Z \end{bmatrix} \tag{12}$$

## 3. Applications

### 3.1. Grounded capacitor-based floating capacitance multiplier

By realization of active element, the various applications can be obtained especially in generalized impedance converter and active filters. The first example application of proposed CCDDCC is a grounded capacitor-based floating capacitance multiplier which depicts in Fig. 5. The multiplication factor can be tuned electronically by biased current of CCDDCC. Owing to the advantage of grounded capacitor in integrated circuit [27], grounded capacitors and three CCDDCCs are employed which is easy to fabricate without any resistor connections.

Considering in Fig. 5 using CCDDCC properties in Section 2.1, the current and voltage relationships can be expressed as

$$I_1 = \frac{(V_{Y1}-V_{Y2})}{R_{X1}} = \frac{V_{in}}{R_{X1}} \tag{13}$$

$$I_1 = I_2 = \frac{V_B}{R_{X2}} \tag{14}$$

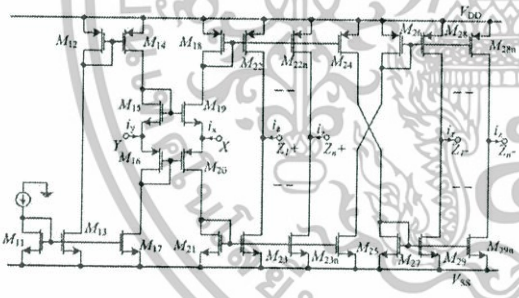


Fig. 3. CMOS CCCII circuit.

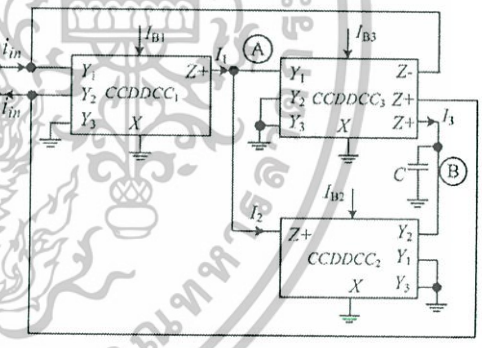



Fig. 5. Grounded capacitor-based floating capacitance multiplier.

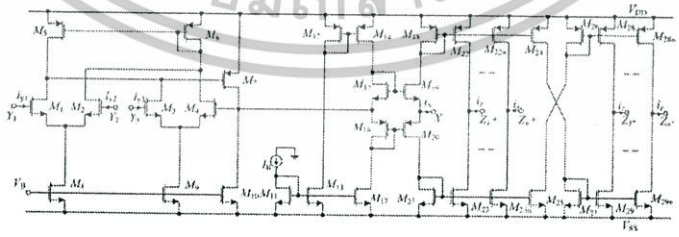


Fig. 4. CMOS current-controlled differential difference current conveyor (CCDDCC).

Please cite this article as: Prommee P, Somdunyakanok M. CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter. Int J Electron Commun (AEU) (2010), doi:10.1016/j.aeue.2009.12.002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_3 = I_{in} = \frac{V_A}{R_{X3}} \tag{15}$$

$$V_B = \frac{I_3}{sC} \tag{16}$$

From substitution of Eq. (13)–(16). $R_{X3}$ can automatically be cancelled. Practically, it should be assigned $R_{X3} = R_{X1}$. Therefore, the equivalent input impedance of Fig. 5 is found below

$$Z_{eq} = \frac{V_{in}}{I_{in}} = \frac{R_{X1}}{sR_{X2}C} \tag{17}$$

It is evident that the capacitance value can be tuned by the intrinsic resistances of CCDDCC$_1$ and CCDDCC$_2$. The new capacitor and its multiplication factor can, respectively, be concluded as

$$C_{eq} = K_{in}C = \frac{R_{X2}C}{R_{X1}} \tag{18}$$

$$K_{in} = \frac{R_{X2}}{R_{X1}} = \sqrt{\frac{I_{B1}}{I_{B2}}} \tag{19}$$

### 3.2. Current-mode universal filter

Due to the low-input impedance issue, $X$-terminal is recommended for current input [8,9]. The second example application of the proposed CCDDCC is a current-mode biquad filter which shows in Fig. 6. The frequency response and quality factor are electronically tuned by CCDDCC current biased. Only the plus type of CCDDCC is used, the multiple inputs can be applied in both of current and voltage signals.

Three current inputs are applied in different nodes and a single current output is provided by current output of CCDDCC$_3$. From routine analysis with KCL, the current transfer function can be described in Eq. (20). The dominant filter functions, low-pass (LP) and band-pass (BP) can directly be obtained by applying the particular current inputs. The corporate functions, high-pass (HP), band-reject (BR) and all-pass (AP) filters can be obtained by summing a replica current input ($I_3$).

$$I_O(s) = \frac{-I_1\left(\frac{s}{R_{X3}C_2}\right) - I_2\left(\frac{1}{R_{X2}R_{X3}C_1C_2}\right) + I_3 D(s)}{D(s)} \tag{20}$$

whereas, the denominator, $D(s)$ is given by $D(s) = s^2 + s/R_{X3}C_2 + 1/R_{X1}R_{X2}C_1C_2$. The proposed filter is realized for five types of the standard biquadratic filter which can be summarized as follows:

1. The LP response can be realized, when $I_1 = I_3 = 0$ and $I_2$ = input current signal $I_{in}$.
2. The BP response can be realized, when $I_2 = I_3 = 0$ and $I_1 = I_{in}$.
3. The HP response can be realized, when $I_1 = I_2 = I_3 = I_{in}$.
4. The BR response can be realized, when $I_2 = 0$ and $I_1 = I_3 = I_{in}$.
5. The AP response can be realized, when $I_2 = 0$ and $I_1/2 = I_3 = I_{in}$.

Note that there are no critical component matching conditions in the realization of all the filter responses. The denominator $D(s)$ is compared with the characteristic equation, $D(s) = s^2 + s\omega_0/Q + \omega_0^2$. The frequency response ($\omega_0$) and quality factor ($Q$) are given by

$$\omega_0 = \sqrt{\frac{1}{R_{X1}R_{X2}C_1C_2}} \tag{21}$$

and

$$Q = R_{X3}\sqrt{\frac{C_2}{R_{X1}R_{X2}C_1}} \tag{22}$$

From Eq. (21) and (22), it can be seen that the frequency response ($\omega_0$) and the quality factor ($Q$) are independently tuned. From Fig. 6, it can be seen that the voltage-mode filter can also be modified by assigning current inputs to zero. The two voltage inputs can be applied at $Y_i$ of CCDDCC$_1$ and CCDDCC$_2$ and output is obtained at node of $C_2$.

## 4. Non-ideality studies

Eqs. (17)–(22) have been realized by considering the ideal description of the CCDDCC. The $Y_1$, $Y_2$, $Y_3$ and $Z$ terminals exhibit an infinite input resistance. Practically, when implementing the active element using transistors, these resistances assume some finite value depending on the device parameters. Similarly, the high frequency effects also need to be accounted by assuming capacitances at these terminals. The non-ideal CCDDCC symbol with various parasitic elements is shown in Fig. 7. It is shown that $X$-terminal exhibits low-value intrinsic serial resistance $R_X$, and $Y_1$, $Y_2$ and $Y_3$ terminals exhibit low-value capacitance $C_{Y1}$, $C_{Y2}$, and $C_{Y3}$ with high-value parasitic resistance $R_{Y1}$, $R_{Y2}$ and $R_{Y3}$, respectively. The $Z_1$ and $Z_2$ terminals exhibit high-value parasitic resistance $R_Z$ in parallel with low-value capacitor $C_Z$.

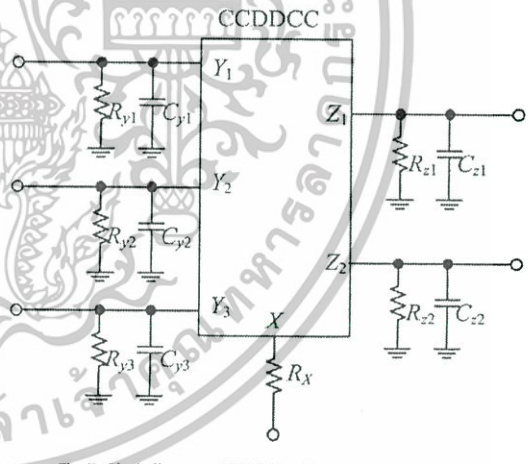



Fig. 7. Block diagram of CCDDCC with its parasitic elements.

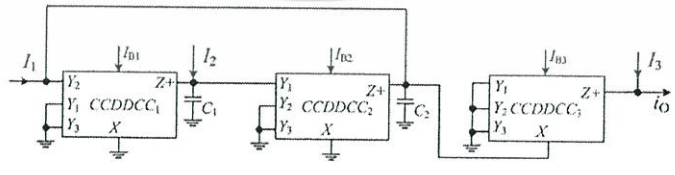



Fig. 6. Current-mode CCDDCC-based universal filter.

Please cite this article as: Prommee P, Somdunyakanok M. CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter. Int J Electron Commun (AEU) (2010), doi:10.1016/j.aeue.2009.12.002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Taking the non-idealities of the CCDDCC from Eq. (12) into account, the relationships of the terminal voltages and currents can be rewritten as $V_X = \beta_{1k}(s)V_{Y1} - \beta_{2k}(s)V_{Y2} + \beta_{3k}(s)V_{Y3} + I_X R_X$, $I_{Y1} = I_{Y2} = 0$ and $I_Z = \pm\alpha_{jk}(s)I_X$, where $\beta_{jk}(s)$ represents the voltage transfers from the $Y_j$ terminal to the $X$-terminal of the $k$-th CCDDCC and $\alpha_{jk}(s)$ represents the current transfers from $X$-terminal to $Z_j$ terminal of the $k$-th CCDDCC.

Thus, $\alpha_k(s)$ and $\beta_k(s)$ can be approximated by LP functions, which can be considered to have a unity value for frequencies which are much lower than their corner frequencies [28]. By assuming the circuit is working at frequencies which are much lower than the corner frequencies of $\alpha_{jk}(s)$ and $\beta_{jk}(s)$ namely, $\beta_{jk}(s) = \beta_{jk} = 1 - \varepsilon_{jk}$ and $\varepsilon_{jk}(|\varepsilon_{jk}| \ll 1)$ which denotes the voltage tracking error from the $Y_j$ terminal to the $X$-terminal of the $k$-th, $\alpha_{jk}(s) = \alpha_{jk} = 1 - \delta_{jk}$ and $\delta_{jk}(|\delta_{jk}| \ll 1)$ which denotes the current tracking error from the $X$-terminal to the $Z_{jk}$ of the $k$-th CCDDCC, the equivalent capacitance in Fig. 5 is rewritten as

$$C_{eqn} = K_{mn}C = \frac{\beta_{11}\alpha_{11}R_{X2}C}{\beta_{22}\alpha_{22}R_{X1}} \tag{23}$$

The non-ideal current-mode filter function becomes

$$I_{On}(s) = \frac{-I_1\left(\frac{s\alpha_{13}}{R_{X3}C_2'} + \frac{\alpha_{13}}{R_B R_{X3}C_1'C_2'}\right) - I_2\left(\frac{\beta_{12}\alpha_{12}\alpha_{13}}{R_{X2}R_{X3}C_1'C_2'}\right) + I_3 D(s)}{D_n(s)} \tag{24}$$

the denominator of the transfer functions is

$$D_n(s) = s^2 + s\left(\frac{1}{R_{X3}C_2'} + \frac{1}{R_B C_1'} - \frac{1}{R_A C_2'}\right) + \frac{\beta_{12}\beta_{21}\alpha_{11}\alpha_{12}}{R_{X1}R_{X2}C_1'C_2'} + \frac{1}{R_{X3}R_B C_1'C_2'} + \frac{1}{R_A R_B C_1 C_2'} \tag{25}$$

where $R_A = R_{y21} \| R_{z12}$, $R_B = R_{z11} \| R_{y12}$, $C_1' = C_1 + C_{y12} + C_{z11}$ and $C_2' = C_2 + C_{y21} + C_{z12}$. Considering Eqs. (24) and (25), parasitic resistances $R_A$ and $R_B$ are very larger than $R_{Xi}$. Hence, the resonance angular frequency and quality factor are satisfied by

$$\omega_{0n} = \sqrt{\frac{\beta_{12}\beta_{21}\alpha_{11}\alpha_{12}}{R_{X1}R_{X2}C_1'C_2'}} \tag{26}$$

and

$$Q_n = R_{X3}\sqrt{\frac{C_2'\beta_{12}\beta_{21}\alpha_{11}\alpha_{12}}{R_{X1}R_{X2}C_1'}} \tag{27}$$

The low active and passive sensitivities of $\omega_0$ and $Q$ can be expressed as $S^Q_{R_{X3}} = 1$, $S^{\omega_0}_{\beta_{12}} = S^{\omega_0}_{\beta_{21}} = S^{\omega_0}_{\alpha_{11}} = S^{\omega_0}_{\alpha_{12}} = S^{Q}_{\beta_{12}} = S^{Q}_{\beta_{21}} = S^{Q}_{\alpha_{11}} = S^{Q}_{\alpha_{12}} = S^{Q}_{C_2'} = 0.5$ and $S^{\omega_0}_{R_{X1}} = S^{\omega_0}_{R_{X2}} = S^{\omega_0}_{C_1'} = S^{\omega_0}_{C_2'} = S^{Q}_{R_{X1}} = S^{Q}_{R_{X2}} = S^{Q}_{C_1'} = -0.5$.

## 5. Simulation results

To verify the overall technical performances of the proposed CCDDCC and its applications, a simulation using SPICE with a TSMC 0.25 μm process [29] is performed. The CMOS implementation of the CCDDCC is shown in Fig. 4 and transistor aspect ratios are listed in Table 1. The supply voltages were $V_{DD} = -V_{SS} = 1.25$ V, and the biasing voltage is $V_B = -0.55$ V. The results are described in two parts, CCDDCC performances and its applications.

**Table 1**
Transistors aspect ratio of CMOS CCDDCC.

| Transistors | $W$(μm) | $L$(μm) |
|---|---|---|
| $M_1$–$M_4$ | 1 | 0.25 |
| $M_{15}$, $M_{19}$ | 5 | 0.25 |
| $M_{16}$, $M_{20}$ | 8 | 0.25 |
| All NMOS | 3 | 0.25 |
| All PMOS | 5 | 0.25 |

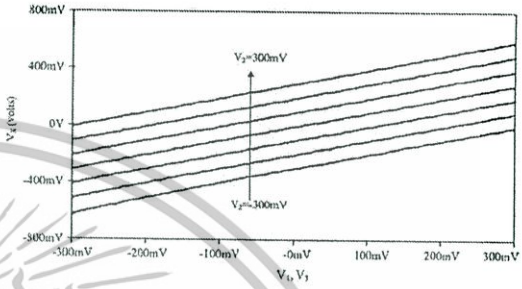



Fig. 8. DC-voltage transfer from $Y$-terminal to $X$-terminal.

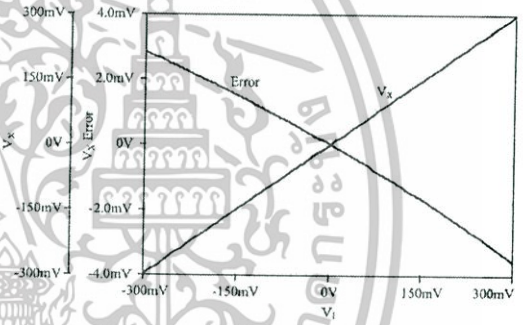



Fig. 9. DC-voltage transfer error of $X$-terminal.

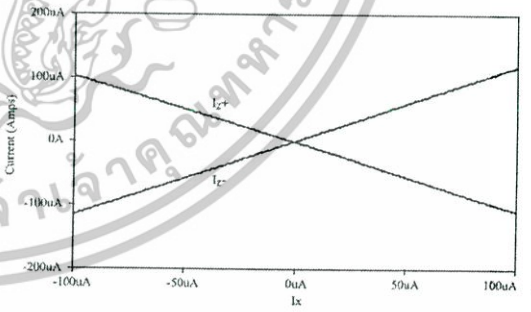



Fig. 10. DC-current transfer from $X$-terminal to $Z$-terminal.

### 5.1. CCDDCC performances

Fig. 8 presents a DC-characteristic between $Y$-terminal and $X$-terminal based on ±0.3 V inputs. The voltage output at

Please cite this article as: Prommee P, Somdunyakanok M. CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter. Int J Electron Commun (AEU) (2010), doi:10.1016/j.aeue.2009.12.002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

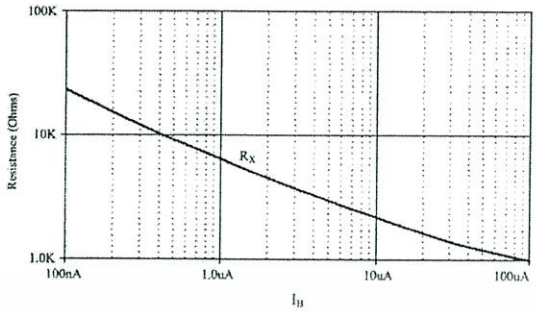



Fig. 11. X-terminal resistance against varied of bias current $I_B$.

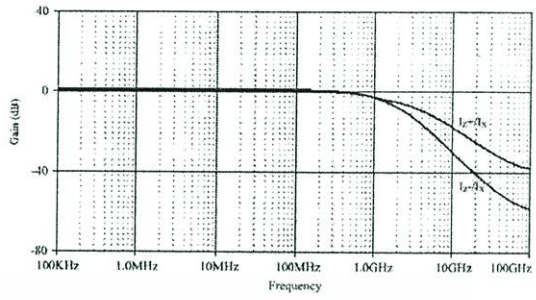



Fig. 14. Frequency response of Z-terminals with respect to X-terminal.

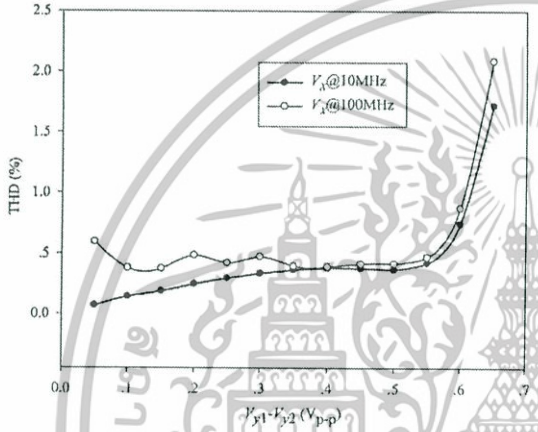



Fig. 12. THD of voltage follower with 10 and 100 MHz.

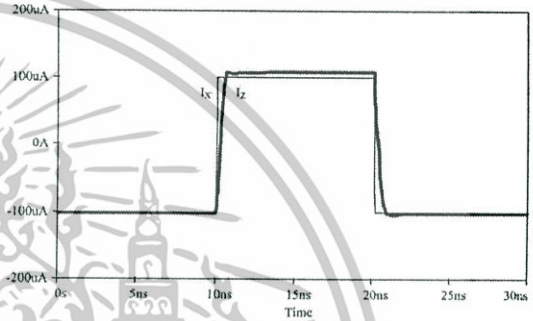



Fig. 15. Current transfer step response of $I_Z$ from $I_X$.

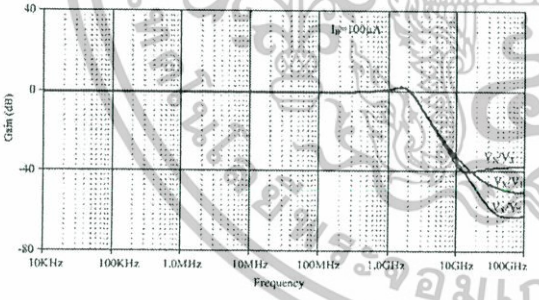



Fig. 13. Frequency response of X-terminal with respect to different Y-terminals.

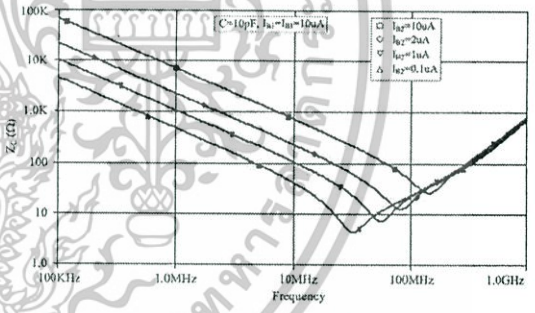



Fig. 16. Magnitude impedance of equivalent capacitances which tuning by $I_{B2}$.

X-terminal is obtained according to the $V_{Y1}-V_{Y2}+V_{Y3}$ function. Voltage transfer error of Y-terminal to X-terminal is less than ±4 mV which depicted in Fig. 9. Fig. 10 shows the current follower characteristic of X-terminal to Z-terminal based on ±100 μA input. Current output at Z-terminal is quite accurately transferred from X-terminal input but current at negative Z-terminal has slightly errors more than positive one.

The controllability of intrinsic resistance at X-terminal ($R_X$) is illustrated in Fig. 11 with varied current biased from 0.1 to 100 μA. The resistance $R_X$ is controlled around 1–12 kΩ along varied biased current $I_B$. Fig. 12 shows the THD of $V_X$ by applying 10 and 100 MHz at $V_{Y1}-V_{Y2}$ which are around 0.8% within 0.6 Vp-p. The voltage follower and current follower frequency responses of CCDDCC are, respectively, shown in Figs. 13 and 14 which are obtained more than 100 MHz. The transient response of current follower is done by applying with square-wave signal, 50 MHz, ±100 μA into X-terminal. Output current at Z-terminal is shown in Fig. 15 and obtained around 1 ns for rise-time and fall-time.

### 5.2. Grounded capacitor-based floating capacitance multiplier

The capacitance multiplier based on the circuit in Fig. 5 uses an original capacitor C = 10 pF and biased currents $I_{B1}=I_{B3}=$ 10 μA. Capacitance value is tuned through biased current

Please cite this article as: Prommee P, Somdunyakanok M. CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter. Int J Electron Commun (AEU) (2010), doi:10.1016/j.aeue.2009.12.002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$I_{B2} = 0.1-10\,\mu A$. The simulation is performed by varying the frequency input from 100 kHz to 1 GHz. The magnitude impedance of circuit provides the multiplication value around 1 to 10 times is obtained in Fig. 16.

### 5.3. Current-mode universal filter application

This filter application is designed for $f_0 = 1$ MHz by choosing $C_1 = C_2 = 10$ pF and $I_B = 1\,\mu A$. Fig. 17 shows the simulated CM amplitude responses for the BR, LP, BP, and HP filters based on the circuit in Fig. 6 and the conditions in Section 3.2. Fig. 18 shows the simulated CM amplitude and phase responses for the AP filter. The electronic tunability of frequency response is provided by changing the biased current $I_B$ from 0.1 to 10 μA which is shown in Fig. 19. The electronic tunability of quality factor is provided by assigning $I_{B1} = I_{B2} = 1\,\mu A$ and varying the biased current $I_{B3}$ from 0.06125 to 1 μA which is shown in Fig. 20.

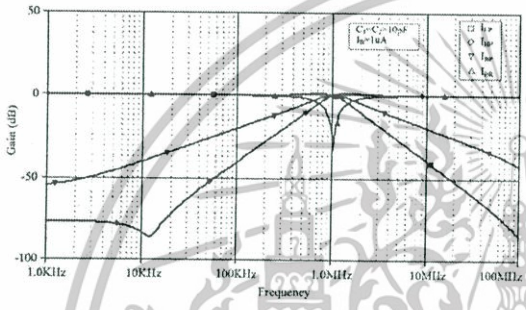



Fig. 17. Current-mode magnitude responses of LP, HP, BP and BR.

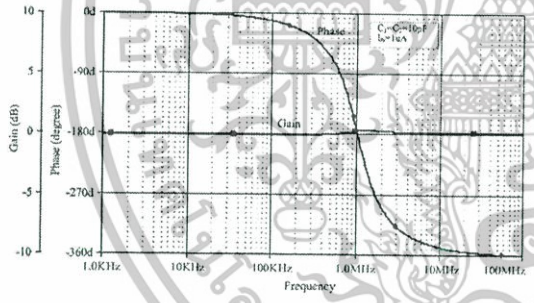



Fig. 18. Current-mode magnitude and phase responses of AP.

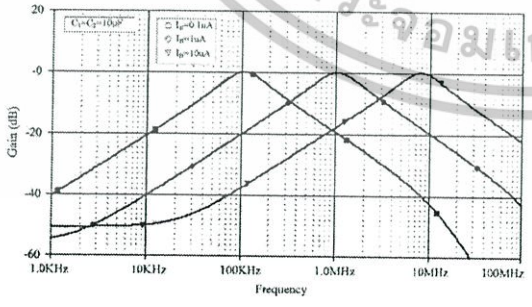



Fig. 19. Electronic tunable of frequency responses current-mode filter.

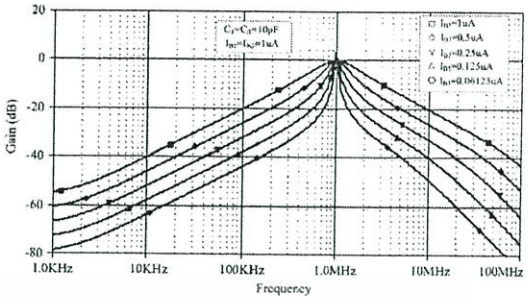



Fig. 20. Electronic tunable of quality factor current-mode filter.

## 6. Conclusion

From the restriction of DDCC, it lacks in tunability feature and requires the resistor connections. The new active building block for analog signal processing, named as current-controlled differential difference current conveyor (CCDDCC) is presented. This device composes the outstanding benefits of DDCC and CCCII which are differential difference, wide-bandwidth and current-controlled features. The proposed element is realized in a CMOS technology. The wide-bandwidth of voltage and current followers are obtained around 1 GHz, 100 MHz, respectively. The power dissipation of a CCDDCC at 10 μA biased current is obtained around 1.35 mW. In applications, grounded capacitor-based floating capacitance multiplier, current-mode multiple-input single output (MISO) second-order universal analog filters for simultaneously realizing standard filter responses from the same topology are included. They only used grounded capacitor without the resistor connections which is suitable in the IC production.

## Acknowledgment

The authors would like to thank Siam University for their support. The authors highly appreciate anonymous reviewers who gave us valuable comments and suggestions. The authors also would like to thank my colleague Mr. Danusorn Prompakdee for his comments significantly to improve the manuscript.

## References

[1] Sedra A, Smith KC. A second-generation current conveyor and its applications. IEEE Trans. Circuit Theory 1970;17:132–4.
[2] Chang CM. Multifunction biquadratic filters using current conveyors. IEEE Trans. Circuits Syst. II 1997;44:956–8.
[3] Soliman AM. Current conveyor filters: classification and review. Microelectron. J. 1998;29:133–49.
[4] Horng JW. High-input impedance voltage-mode universal biquadratic filter using three plus-type CCIIS. IEEE Trans. Circuits Syst. II 2001;48:996–7.
[5] Soliman AM. Current mode CCII oscillators using grounded capacitors and resistors. Int. J. Circuit Theory Appl. 1998;26:431–8.
[6] Fabre A, Saaid O, Wiest F, Boucheron C. High frequency applications based on a new current controlled conveyor. IEEE Trans. Circuits Syst. I 1996;43:82–91.
[7] Bruun E. CMOS high speed high precision current conveyor and current-feedback amplifier structures. Int. J. Electron. 1993;74:93–100.
[8] Gunes EO, Anday F. Realization of current mode universal filter using CFCCIIs. Electron. Lett. 1996;32:1081–2.
[9] Pandey N, Paul SK, Jain SB. A new electronically tunable current mode universal filter using MO-CCCII. Analog Integr. Circuits Signal Process. 2009;58:171–8.

Please cite this article as: Prommee P, Somdunyakanok M. CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter. Int J Electron Commun (AEU) (2010), doi:10.1016/j.aeue.2009.12.002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ARTICLE IN PRESS




[10] Higashimura M, Fukui Y. Current mode transfer function using CCIIs with grounded passive elements. IEICE Trans. E 1991;74:1017–9.
[11] Chiu W, Liu SI, Tsao HW, Chen JJ. CMOS differential difference current conveyors and their applications. Proc. IEE Circuits Devices Syst. 1996;143: 91–96.
[12] Elwan HO, Soliman AM. Novel CMOS differential voltage current conveyor and its applications. Proc. IEE Circuits Devices Syst. 1997;144:195–200.
[13] Chiu WY, Horng JW. High-input and low-output impedance voltage-mode universal biquadratic filter using DDCCs. IEEE Trans. Circuits Syst. II 2007;54: 649–652.
[14] Chang CM, Chen HP. Universal capacitor-grounded voltage mode filter with three inputs and a single output. Int. J. Electron. 2003;90:401–6.
[15] Chen HP, Wu KH. Voltage-mode DDCC-based multifunction filters. J. Circuits Syst. Comput. 2007;16:93–104.
[16] Horng JW, Hou CL, Chang CM, Chou HP, Lin CT. High input impedance voltage-mode universal biquadratic filter with one input and five outputs using current conveyors. Circuits Syst. Signal Process. 2006;25:767–77.
[17] Chen HP. Universal voltage-mode filter using only plus-type DDCCs. Analog Integr. Circuits Signal Process. 2007;50:137–9.
[18] Ibrahim MA, Kuntman H. A novel high CMRR high input impedance differential voltage-mode KHN-biquad employing DO-DDCCs. Int. J. Electron. Commun. (AEU) 2004;58:429–33.
[19] Horng JW, Chiu WY, Wei HY. Voltage-mode high-pass, bandpass and low-pass filters using two DDCCs. Int. J. Electron. 2004;91:461–4.
[20] Chen HP, Shen SS. A versatile universal capacitor-grounded voltage-mode filter using DVCCs. ETRI J. 2007;29:470–6.
[21] Gupta SS, Senani R. Grounded-capacitor current-mode SRCO novel application of DVCCC. Electron. Lett. 2000;36:195–6.
[22] Chang CM, Al-Hashimi BM, Wang CL, Hung CW. Single fully differential current conveyor biquad filters. IEE Proc. Circuits Devices Syst. 2003;150: 394–398.
[23] Horng JW, Hou CL, Chang CM, Chung WY, Wei HY. Voltage-mode universal biquadratic filters with one input and five outputs. Analog Integr. Circuits Signal Process. 2006;47:73–83.
[24] Liu SI, Wu DS. New current-feedback amplifier-based universal biquadratic filter. IEEE Trans. Instrum. Meas. 1995;44:915–7.
[25] Horng JW. New configuration for realizing universal voltage-mode filter using two current feedback amplifiers. IEEE Trans. Instrum. Meas. 2000;49:1043–5.
[26] Sackinger E, Guggenbuhl W. A versatile building block: the CMOS differential difference amplifier. IEEE J. Solid-State Circuits 1987;SC-22:287–94.
[27] Bhushan M, Newcomb RW. Grounding of capacitors in integrated circuits. Electron. Lett. 1967;3:148–9.
[28] Fabre A, Saaid O, Barthelemy H. On the frequency limitations of the circuits based on second generation current conveyors. Analog Integr. Circuits Signal Process. 1995;7:113–29.
[29] Prommee P, Angkeaw K, Somdunyakanok M, Dejhan K. CMOS-based near zero-offset multiple inputs max–min circuits and its applications. Analog Integr. Circuits Signal Process. 2009;61:93–105.

**Pipat Prommee** was born in Bangkok, Thailand in 1969. He received his B.Ind.Tech. degree in telecommunications, M.Eng. and D.Eng. in Electrical Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 1992, 1995 and 2002, respectively. He was a senior engineer of CAT telecom plc. between 1992 and 2003. Since 2003, he has been a faculty member of KMITL. He is currently an assistant professor at telecommunications engineering department at KMITL. His research interests are focusing in Analog Signal Processing, Analog Filter Design and CMOS Analog Integrated Circuit Design. He is a member of IEEE, USA.

**Montri Somdunyakanok** was born in Bangkok, Thailand in 1968. He received B.Ind.Tech. degree in Electrical Engineering from Siam University Bangkok, Thailand in 1992. He received his M.Eng. in Telecommunications Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 2006. Since 1994, he has been a faculty member of Siam University. He is presently a lecturer at Electrical Engineering of Siam University and working toward his D.Eng. in Electrical Engineering at KMITL. His research interests are focusing in Analog Filter Design and CMOS Analog Integrated Circuit Design.

Please cite this article as: Prommee P, Somdunyakanok M. CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter. Int J Electron Commun (AEU) (2010), doi:10.1016/j.aeue.2009.12.002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ประวัติผู้เขียน

นายมนตรี สมดุลยกนก เกิดที่จังหวัดกรุงเทพมหานคร สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2549/1 และเข้าศึกษาต่อในระดับปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2549/2 โดยได้รับทุนสนับสนุนการศึกษาจากมหาวิทยาลัยสยาม และในปัจจุบันทำงานในตำแหน่งอาจารย์ประจำ ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสยาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้