

การออกแบบวงจรเรียงกระแสแบบครึ่งคลื่นและแบบเต็มคลื่นโดยใช้วงจร
สายพานกระแส

ON THE DESIGN OF CURRENT CONVEYOR-BASED HALF-WAVE
AND FULL-WAVE RECTIFIERS



๒๕๕๓
วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. ๒๕๕๓

KMITL-2010-EN-D-018-030

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรเรียงกระแสแบบครึ่งคลื่นและแบบเต็มคลื่นโดยใช้วงจร
สายพานกระแส

ON THE DESIGN OF CURRENT CONVEYOR-BASED HALF-WAVE
AND FULL-WAVE RECTIFIERS



วท
๒ 5 ๕ ๓ ๓
๑๕๕๓
ทขมู.....
เลขทะเบียน.....**110310**
วัน,เดือน,ปี.....**- 1 พ.ย. 2553**

b.....**122๖2791**
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2553

**ON THE DESIGN OF CURRENT CONVEYOR-BASED HALF-WAVE
AND FULL-WAVE RECTIFIERS**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2010

KMITL-2007-EN-D-018-030

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2010





FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรเรียงกระแสแบบครึ่งคลื่นและแบบเต็มคลื่นโดยใช้วงจรสายพานกระแส
Thesis Title On the Design of Current Conveyor-Based Half-Wave and Full-Wave Rectifiers
นักศึกษา นายบุญยิ่ง นบนอบ
รหัสประจำตัว 49060014
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.กอบชัย เดชหาญ
หมายเลขวิทยานิพนธ์ KMITL-2010-EN-D-018-030

คณะกรรมการสอบวิทยานิพนธ์	ลายมือชื่อ
รศ.ดร.วันชัย วิจารณ์	
ผศ.ดร.พิพัฒน์ พรหมมี	
รศ.ดร.สุรพันธ์ ยิ้มมัน	
รศ.ดร.พุศศักดิ์ ชิวสุวิทย์	
รศ.ดร.กอบชัย เดชหาญ	

วัน / เดือน / ปี ที่สอบ วันจันทร์ที่ 19 เมษายน พ.ศ. 2553 เวลา 13.00-15.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 1

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

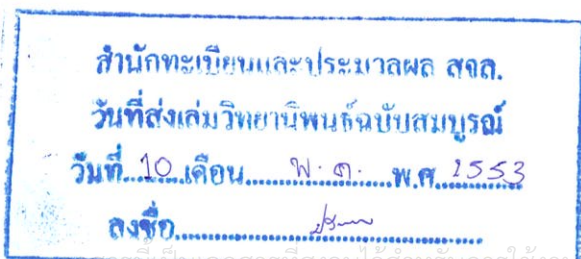
คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 19 เมษายน พ.ศ. 2553



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรเรียงกระแสแบบครึ่งคลื่นและแบบเต็มคลื่น โดยใช้วงจรสายพานกระแส
นักศึกษา	นายบุญยิ่ง นบนอบ
รหัสประจำตัว	49060014
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2553
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรเรียงกระแสชนิดที่เที่ยงตรงแบบใหม่โดยใช้วงจรสายพานกระแสสามวงจร แต่ละวงจรที่นำเสนอประกอบด้วยวงจรแปลงแรงดันเป็นกระแส วงจรเรียงกระแสแบบที่เที่ยงตรงที่ทำงานในโหมดกระแสและวงจรแปลงกระแสเป็นแรงดัน สัญญาณแรงดันอินพุทจะถูกเปลี่ยนเป็นสัญญาณกระแสด้วยวงจรแปลงแรงดันเป็นกระแส สัญญาณกระแสจะถูกเรียงกระแสด้วยวงจรเรียงกระแสแบบที่เที่ยงตรงที่ทำงานในโหมดกระแสและเปลี่ยนเป็นแรงดันด้วยวงจรแปลงกระแสเป็นแรงดัน วงจรที่นำเสนอสองวงจรแรกคือวงจรเรียงกระแสแบบครึ่งคลื่นเอาท์พุทคู่และวงจรเรียงกระแสแบบเต็มคลื่นเอาท์พุทคู่ซึ่งประกอบด้วยวงจรสายพานกระแส ตัวเรียงกระแสที่ทำงานในคลาส AB และวงจรตัวต้านทานแบบมอส วงจรที่นำเสนองจรที่สามคือวงจรเรียงกระแสแบบเต็มคลื่นที่ประกอบด้วยวงจรสายพานกระแสเอาท์พุทคู่ ไดโอดแฝงที่ภายในโครงสร้างมอสทรานซิสเตอร์และวงจรตัวต้านทาน วงจรที่นำเสนอมีคุณสมบัติที่โดดเด่นคือสามารถสร้างได้ด้วยมอสทรานซิสเตอร์ทั้งหมดซึ่งเหมาะกับการนำไปสร้างเป็นวงจรรวมด้วยเทคโนโลยีซีมอส ผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้พารามิเตอร์ซีมอส $0.5\mu\text{m}$ สามารถแสดงได้ว่าวงจรที่นำเสนอสามารถทำงานได้ที่ความถี่สูงได้

Thesis Title	On the design of current conveyor-based half-wave and full-wave rectifiers
Student	Mr. Boonying Knobnob
Student ID.	49060014
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2010
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This thesis describes three new CCII-based precision rectifier circuits. Each proposed circuit consists of voltage-to-current converter, precision current-mode rectifier and current-to-voltage converter. An input voltage signal is converted into a current signal by using a current conveyor and a MOS resistor. The current signal is rectified using current-mode precision rectifier cells and then converted into output voltages by using MOS resistors. Two first proposed circuits are a dual output half-wave rectifier and a dual output full-wave rectifier which consists of current conveyor, current mirrors, class-AB current-mode precision rectifier and MOS resistors. The third proposed circuit is a full-wave rectifier which consists of current conveyor, junction diodes and MOS resistors. The proposed configurations are very suitable for integrated circuit implementation CMOS technology. The circuit exhibits a very versatility and high operating frequency. The simulation results demonstrate the performance of the proposed circuits.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้ด้วยดี ผู้เขียนขอกราบขอบพระคุณ รองศาสตราจารย์ ดร.กอบชัย เดชหาญ อาจารย์ที่ปรึกษาเป็นอย่างสูง ที่ช่วยกรุณาให้คำปรึกษาแนวทางในการแก้ปัญหา ตลอดจนการฝึกฝนให้ผู้เขียนมีความสามารถในการทำงานวิจัยได้อย่างมีประสิทธิภาพตลอดระยะเวลาของการศึกษา

ขอกราบขอบพระคุณคณะกรรมการสอบวิทยานิพนธ์ทุกท่านที่กรุณาช่วยชี้แนะเพื่อให้วิทยานิพนธ์มีความสมบูรณ์มากยิ่งขึ้น

ในทำนองนี้ขอกราบขอบพระคุณ คุณพ่อและคุณแม่ ผู้ที่คอยกระตุ้นให้กำลังใจ พร้อมทั้งสนับสนุนผู้เขียนมาโดยตลอด อีกทั้งผู้ที่มีส่วนช่วยเหลือและเอื้อประโยชน์ให้การจัดทำรูปเล่มของวิทยานิพนธ์ฉบับนี้เป็นอย่างสูง



บญชิ่ง นบมอบ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญรูป.....	VI
สารบัญตาราง.....	XIV
บทที่ 1 บทนำ.....	1
1.1 ที่มาและปัญหา.....	1
1.2 วัตถุประสงค์.....	2
1.3 การพัฒนาในงานวิจัย.....	2
1.4 รายละเอียดในวิทยานิพนธ์.....	3
บทที่ 2 โมสตราานซิสเตอร์.....	4
2.1 บทนำ.....	4
2.2 เอ็นฮานซ์เมนต์ที่โมสตราานซิสเตอร์.....	5
2.3 ศีพลีชันโมสตราานซิสเตอร์.....	12
2.4 วงจรสมมูลย์ของโมสตราานซิสเตอร์.....	14
2.5 ผลตอบสนองของควมถี่.....	16
2.6 บทสรุป.....	20
บทที่ 3 วงจรย่อยและหลักการของวงจรเรียงกระแส.....	21
3.1 บทนำ.....	21
3.2 วงจรสะท้อนกระแส.....	21
3.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	21
3.2.2 วงจรสะท้อนกระแสแบบคาตโคด.....	22
3.2.3 วงจรสะท้อนกระแสแบบ Wilson.....	23
3.2.4 วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง.....	24
3.3 วงจรสายพานกระแส.....	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.4 วงจรเรียงกระแสที่มีความเที่ยงตรง.....	26
3.5 วงจรตัวต้านทานสร้างจากมอสทรานซิสเตอร์.....	31
3.8 บทสรุป.....	32
บทที่ 4 วงจรเรียงกระแสแบบครึ่งคลื่นเอาต์พุทคู่.....	33
4.1 บทนำ.....	33
4.2 วงจรเรียงกระแสแบบครึ่งคลื่นที่นำเสนอ.....	33
4.3 การวิเคราะห์คุณสมบัติวงจรเรียงกระแสที่นำเสนอ.....	36
4.4 การจำลองการทำงาน.....	37
4.5 บทสรุป.....	46
บทที่ 5 วงจรเรียงกระแสแบบเต็มคลื่นเอาต์พุทคู่.....	47
5.1 บทนำ.....	47
5.2 วงจรเรียงกระแสแบบเต็มคลื่นเอาต์พุทคู่ที่นำเสนอ.....	47
5.3 การวิเคราะห์คุณสมบัติวงจรเรียงกระแสที่นำเสนอ.....	50
5.4 การจำลองการทำงาน.....	52
5.5 บทสรุป.....	56
บทที่ 6 วงจรเรียงกระแสแบบเต็มคลื่นเอาต์พุทเดี่ยว.....	57
6.1 บทนำ.....	57
6.4 การจำลองการทำงาน.....	59
6.5 บทสรุป.....	64
บทที่ 7 บทสรุปและข้อเสนอแนะ.....	65
7.1 บทนำ.....	65
7.2 ข้อเสนอแนะ.....	65
เอกสารอ้างอิง.....	67

สารบัญ (ต่อ)

	หน้า
ภาคผนวก.....	69
ภาคผนวก ก.....	70
ภาคผนวก ข.....	71
ประวัติผู้เขียน.....	90



สารบัญรูป

รูปที่	หน้า
2.1 สัญลักษณ์มอสทรานซิสเตอร์ชนิดต่างๆ.....	4
2.2 โครงสร้างของเอ็นฮานซ์เม้นท์มอสทรานซิสเตอร์ชนิด n-channel.....	5
2.3 การทำงานของมอสทรานซิสเตอร์ในช่วงต่างๆ.....	7
2.4 การไบอัสมอสทรานซิสเตอร์ (ก) NMOS (ข) PMOS.....	10
2.5 กราฟความสัมพันธ์ระหว่าง I_D และ V_{DS} เมื่อ $\lambda=0$	10
2.6 แสดงคุณสมบัติทางเอาท์พุทของมอสทรานซิสเตอร์.....	11
2.7 คิพลีชันมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล (ก) โครงสร้าง (ข) สัญลักษณ์.....	13
2.8 คุณสมบัติ I_D - V_{DS} ของมอสทรานซิสเตอร์แบบคิพลีชันชนิดเอ็นแชนแนล.....	13
2.9 แสดงคุณสมบัติ I_D - V_{GS} ของมอสทรานซิสเตอร์ทั้งหมด.....	13
2.10 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ (ก) ไม่พิจารณาผลของ λ ขณะทำงานในช่วงอิมิตัว (ข) พิจารณาผลของ λ โดยเพิ่มความต้านทานที่ทางออก.....	15
2.11 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์กรณีพื้นฐานรองไม่ต่ออยู่กับซอร์ส.....	15
2.12 (ก) แบบจำลองวงจรมูลฐานของมอสทรานซิสเตอร์ที่ความถี่สูง (ข) วงจรมูลฐาน สำหรับกรณีที่ซอร์สต่อกับฐานรอง (ค) วงจรมูลฐานตามรูป (ข) กรณีที่ C_{db} มีค่าน้อยมากๆ.....	17
2.13 การหาอัตราขยายกระแสขณะบีควงจร.....	19
3.1 วงจรสะท้อนกระแสแบบพื้นฐานสร้างจากมอสทรานซิสเตอร์.....	22
3.2 วงจรสะท้อนกระแสแบบคาคโคด.....	23
3.3 วงจรสะท้อนกระแสแบบ Wilson.....	23
3.4 วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง.....	24
3.5 สัญลักษณ์วงจร CCII.....	25
3.7 วงจรสายพานกระแสที่สร้างจากมอสทรานซิสเตอร์.....	25
3.10 วงจรเรียงกระแสครึ่งคลื่นแบบเที่ยงตรงด้วยออปแอมป์.....	26
3.11 วงจรเรียงกระแสเต็มคลื่นแบบเที่ยงตรงด้วยออปแอมป์.....	28
3.12 วงจรเรียงกระแสครึ่งคลื่นแบบเที่ยงตรงใช้วงจรสายพานกระแส.....	29
3.13 วงจรเรียงกระแสเต็มคลื่นแบบเที่ยงตรงด้วยวงจรสายพานกระแส.....	29
3.15 ตัวต้านทานสร้างจากมอสทรานซิสเตอร์.....	31
4.1 วงจรเรียงกระแสแบบครึ่งคลื่นเอาท์พุทคู่ที่นำเสนอ.....	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.2 วงจรเรียงกระแสแบบครึ่งคลื่นเอาต์พุตคู่ที่สมบูรณ์.....	35
4.3 คุณสมบัติทาง DC ของวงจรเรียงกระแส.....	38
4.4 ภาพขยายในช่วง zero crossing ของรูปที่ 4.3.....	39
4.5 การตอบสนองความถี่ของวงจร.....	39
4.6 การทำงานของวงจรเรียงกระแสที่อินพุตความถี่ 100MHz.....	40
4.7 การทำงานของวงจรเรียงกระแสที่อินพุตความถี่ 300MHz.....	40
4.8 การทำงานของวงจรเรียงกระแสที่อินพุตความถี่ 500MHz.....	41
4.9 ขนาดของสัญญาณเอาต์พุตที่ความถี่ค่าต่างๆ.....	41
4.10 การทำงานของวงจรเรียงกระแสที่อินพุตความถี่ 500MHz หลังจากเพิ่มค่า R_{o1} และ R_{o2}	42
4.11 การทำงานของวงจรเรียงกระแสที่ความถี่ 300MHz ที่ค่าอิมพีแดนซ์ค่าต่างๆ.....	42
4.12 ภาพขยายของสัญญาณในรูปที่ 4.11.....	43
4.13 การทำงานของวงจรเรียงกระแสที่ความถี่ 100MHz ที่กระแส $I_1=I_2=1\mu A$	43
4.14 การทำงานของวงจรเรียงกระแสที่ความถี่ 100MHz ที่กระแส $I_1=I_2=1\mu A$ เมื่อขนาดของสัญญาณคือ (ก) $50mV_{peak}$ (ข) $25mV_{peak}$ และ (ค) $15mV_{peak}$	45
5.1 (ก) วงจรเรียงกระแสชนิดเต็มตรงที่นำเสนอ (ข) วงจรแปลงแรงดันเป็นกระแส.....	47
5.2 การทำงานของวงจรเรียงกระแสที่ความถี่ 10MHz.....	53
5.3 การทำงานของวงจรเรียงกระแสที่ความถี่ 100MHz.....	54
5.4 การทำงานของวงจรเรียงกระแสที่ความถี่ 200MHz.....	54
5.5 ขนาดของสัญญาณเอาต์พุตที่ความถี่ค่าต่างๆ.....	55
5.6 รูปคลื่นเอาต์พุตความถี่ 10MHz ที่อิมพีแดนซ์ต่างๆ.....	55
5.7 การทำงานของวงจรเรียงกระแสที่ความถี่ 10MHz ขนาด $25mV_{peak}$	56
6.1 หลักการวงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอ.....	58
6.2 โครงสร้างของไดโอดที่สร้างจากมอสทรานซิสเตอร์.....	58
6.3 วงจรเรียงกระแสแบบเต็มคลื่นใช้วงจรสายพานกระแสที่นำเสนอ.....	59
6.4 คุณสมบัติทาง DC ของวงจรเรียงกระแสแบบเต็มคลื่น.....	60
6.5 รูปคลื่นอินพุตและทางเอาต์พุตของวงจรเรียงกระแสที่ความถี่ 1MHz.....	61
6.6 รูปคลื่นอินพุตและทางเอาต์พุตของวงจรเรียงกระแสที่ความถี่ 10MHz.....	61
6.7 รูปคลื่นอินพุตและทางเอาต์พุตของวงจรเรียงกระแสที่ความถี่ 100MHz.....	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
6.8 รูปคลื่นอินพุตและทางเอาต์พุตของวงจรเรียงกระแสที่ความถี่ 200MHz.....	62
6.9 ขนาดสัญญาณทางเอาต์พุตที่ความถี่ต่าง.....	63
6.10 รูปคลื่นทางอินพุตและเอาต์พุตที่ความถี่ 10MHz ขนาด 100mV _{p-p}	63
6.11 คุณสมบัติทาง DC ของวงจรที่อุณหภูมิ 25°C 50°C และ 75°C.....	64



สารบัญตาราง

ตารางที่	หน้า
4.1 ค่า W/L ของมอสทรานซิสเตอร์ในรูปที่ 4.2.....	38
5.1 อัตราส่วน W/L ของมอสทรานซิสเตอร์ในวงจรในรูปที่ 5.1.....	53



บทที่ 1

บทนำ

1.1 ที่มาและปัญหา

วงจรเรียงกระแสชนิดที่เที่ยงตรงเป็นวงจรที่มีความสำคัญที่สามารถนำมาประยุกต์ใช้งานได้ใน เครื่องมือวัดไฟฟ้ากระแสสลับ เป็นตัวคีมอคูเลเตอร์ในภาค RF ตัวสร้างสัญญาณกำลังสองของ สัญญาณรูปคลื่นสามเหลี่ยม ตัวแปลงสัญญาณ RMS เป็นสัญญาณไฟฟ้ากระแสตรง วงจรเรียง กระแสแบบที่เที่ยงตรงเป็นวงจรที่ออกแบบเพื่อให้สามารถเรียงกระแสสัญญาณขนาดเล็กซึ่ง ไดโอด ไม่สามารถทำงานได้เพราะไดโอดจะทำงานได้ต้องมีแรงดันตกคร่อมตัวมัน 0.3V สำหรับไดโอด ชนิดเยอรมานีอัมและตกคร่อม 0.6V สำหรับไดโอดชนิดซิลิคอน ดังนั้นที่ผ่านมาจึงมีการออกแบบ วงจรเรียงกระแสที่สามารถเรียงกระแสสัญญาณขนาดเล็กเผยแพร่ไว้ในวารสารต่างๆ มากมายดัง เอกสารอ้างอิง [1]-[17] ในเอกสารอ้างอิง [1]-[4] นำเสนอวงจรเรียงกระแสที่ใช้โอปแอมป์ ไดโอด และตัวต้านทาน แต่ปัญหาสำคัญของวงจรเรียงกระแสที่ใช้โอปแอมป์และ ไดโอดคือระหว่างช่วง หยุดนำกระแสและนำกระแสของ ไดโอด โอปแอมป์จะต้องกินตัวด้วยสัญญาณขนาดเล็ก dv/dt ที่ จำกัด ผลก็คือจะเกิดความเพี้ยนที่บริเวณ zero crossing ของสัญญาณอินพุต นอกจากนี้วงจรเรียง กระแสที่ใช้โอปแอมป์จะไม่สามารถทำงานที่ความถี่สูงได้ดีเนื่องจากถูกจำกัดจากค่า GBW (Gain-bandwidth product) ในตัวโอปแอมป์เอง ปัญหานี้สามารถแก้ไขได้โดยออกแบบวงจรเรียงกระแส ให้ทำงานในโหมดกระแส [5] วงจรเรียงกระแสโหมดกระแสใช้วงจรสายพานกระแสและไดโอด นำเสนอใน [5]-[6] แต่วงจรดังกล่าวใช้ตัวต้านทานทั้งแบบลอยตัวและแบบต่อลงกราวด์ซึ่งทำให้ ไม่เหมาะกับการนำไปสร้างเป็นวงจรรวม วงจรเรียงกระแสโหมดกระแสใช้วงจรสายพานกระแส หนึ่งวงจรและวงจรสะท้อนกระแสได้ถูกนำเสนอใน [7] วงจรดังกล่าวออกแบบโดยใช้ไบโพลาร์ ทรานซิสเตอร์โดยกำหนดให้วงจรทำงานในคลาส B ซึ่งทำให้วงจรสามารถเรียงกระแสที่สัญญาณ ขนาดเล็กได้ดี แต่เนื่องจากวงจรทำงานในคลาส B จึงทำให้วงจรไม่สามารถเรียงกระแสที่สัญญาณ ความถี่สูงได้ดีนัก นอกจากนี้วงจรยังต้องการตัวต้านทานแบบต่อลงกราวด์อีกสองตัวอีกด้วย วงจร เรียงกระแสโหมดกระแสที่ทำงานในคลาส AB ได้ถูกนำเสนอไว้ใน [8]-[10] วงจรเรียงกระแสที่ ทำงานในคลาส AB จะต้องการกระแสอินพุตที่ใหญ่กว่ากระแสไบอัสที่เท่าเพื่อหลีกเลี่ยงความ ผิดพลาดอันเกิดจากคุณสมบัติกำลังสองของทรานซิสเตอร์ ดังนั้นถ้าสัญญาณอินพุตที่มีขนาดเล็ก มากๆ วงจรชนิดนี้จะไม่สามารถเรียงกระแสได้ แต่ข้อดีของวงจรที่ทำงานในคลาส AB คือวงจร เรียงกระแสสามารถทำงานที่สัญญาณความถี่สูงได้ดีเพราะทรานซิสเตอร์ไม่ต้องหยุดนำกระแส ในขณะที่ไม่มีสัญญาณอินพุตเหมือนคลาส B วงจรเรียงกระแสเต็มคลื่นสร้างด้วยมอสทรานซิสเตอร์

ทั้งหมดเหมาะกับการนำไปสร้างเป็นวงจรรวมและทำงานได้ที่ความถี่สูงถึง 200MHz ได้ถูกนำเสนอไว้ในเอกสารอ้างอิง [11] วงจรเรียงกระแสแบบครึ่งคลื่นสามารถสร้างได้โดยใช้อุปเปอร์เรชันเนลทรานส์คอนดักแตนซ์แอมพลิไฟด์และไดโอด [12] ใช้วงจรตามแรงดัน [13] และใช้วงจรสายพานกระแสและไดโอด [14] แต่วงจรดังกล่าวทำงานได้ที่ความถี่ไม่สูง (น้อยกว่า 50MHz) [12]-[13] หรือใช้จำนวนอุปกรณ์ทรานซิสเตอร์มากเกินไป [14]

จากวงจรที่กล่าวมาบางวงจรได้รับผลกระทบจากการเปลี่ยนแปลงของอุณหภูมิ [5]-[7] ดังนั้นที่ผ่านมาก็ได้มีการนำเสนอวิธีการต่างๆ เพื่อลดผลกระทบจากการเปลี่ยนแปลงของอุณหภูมิ [14]-[16] จึงทำให้วงจรที่นำเสนอดังกล่าวบางวงจรต้องใช้อุปกรณ์ภายนอกเพิ่มเติมหรือใช้ทรานซิสเตอร์จำนวนมาก

1.2 วัตถุประสงค์

จากที่มาและปัญหาที่กล่าวมาจะเห็นได้ว่าการพัฒนาและออกแบบวงจรเรียงกระแสต้องการวงจรเรียงกระแสที่มีคุณสมบัติดังนี้

- 1) เป็นวงจรที่ไม่ใช้ตัวต้านทานแบบลอยตัวและใช้ทรานซิสเตอร์จำนวนน้อย เพราะเมื่อนำไปสร้างเป็นวงจรรวมจะได้ใช้พื้นที่ของชิปจำนวนน้อย
- 2) สามารถเรียงกระแสขนาดสัญญาณเล็กซึ่งไดโอดไม่สามารถทำงานได้ (ต่ำกว่า 0.3V)
- 3) ทำงานได้ดีที่ความถี่สูง
- 4) มีเสถียรภาพทางอุณหภูมิ

วัตถุประสงค์ของวิทยานิพนธ์นี้คือนำเสนอวงจรเรียงกระแสชนิดเพียงตรงที่มีคุณสมบัติดังกล่าวข้างต้น โดยได้นำเสนอวงจรเรียงกระแสสามวงจรดังนี้ วงจรแรกคือวงจรเรียงกระแสแบบครึ่งคลื่นแบบเอาท์พุทคู่และสองวงจรต่อมาคือวงจรเรียงกระแสเต็มคลื่น วงจรที่นำเสนอเป็นวงจรที่เหมาะสมกับการนำมาสร้างเป็นวงจรรวมด้วยเทคโนโลยีซีมอส โครงสร้างของวงจรเรียงกระแสทั้งสามวงจรประกอบด้วยส่วนต่างๆ สามส่วนคือ วงจรแปลงแรงดันเป็นกระแส วงจรเรียงกระแสโหมคกระแสและวงจรแปลงกระแสเป็นแรงดัน

1.3 การพัฒนาในงานวิจัย

วิทยานิพนธ์นี้นำเสนอวงจรเรียงกระแสสามวงจร วงจรแรกได้แก่วงจรเรียงกระแสแบบครึ่งคลื่นและสองวงจรต่อมาคือวงจรเรียงกระแสแบบเต็มคลื่น วงจรทั้งหมดประกอบด้วยส่วนต่างๆ สามส่วนคือ วงจรแปลงแรงดันเป็นกระแส วงจรเรียงกระแสโหมคกระแสและวงจรแปลงกระแสเป็นแรงดัน วงจรเรียงกระแสครึ่งคลื่นเอาท์พุทคู่และวงจรเรียงกระแสเต็มคลื่นเอาท์พุทคู่สองวงจรแรกจะใช้วงจรสายพานกระแสและตัวต้านทานแบบมอสมาทำงานเป็นวงจรแปลงแรงดันเป็น

กระแส วงจรเรียงกระแสโหมดกระแสจะทำงานในคลาส AB ซึ่งจะช่วยให้วงจรทำงานได้ดีที่ความถี่สูง ส่วนวงจรแปลงกระแสเป็นแรงดันจะใช้ตัวต้านทานแบบมอส วงจรที่สามเป็นวงจรเรียงกระแสแบบเต็มคลื่น วงจรแปลงแรงดันเป็นกระแสจะใช้วงจรสายพานกระแสและตัวต้านทานแบบมอสเช่นเดียวกับวงจรแรก วงจรเรียงกระแสโหมดกระแสใช้ได้โอดแฝงภายในโครงสร้างของมอส ส่วนวงจรแปลงกระแสเป็นแรงดันจะใช้ตัวต้านทานแบบมอสเช่นเดียวกับสองวงจรแรก วงจรที่นำเสนอทั้งหมดเป็นวงจรที่เหมาะสมกับการนำไปสร้างเป็นวงจรรวมด้วยเทคโนโลยีซีมอสและเหมาะกับการประยุกต์ใช้งานในระบบโทรคมนาคม ระบบอิเล็กทรอนิกส์และระบบเครื่องมือวัดที่ต้องการเรียงกระแสสัญญาณขนาดเล็ก วงจรที่นำเสนอจะถูกจำลองการทำงานด้วยโปรแกรม PSpice เพื่อยืนยันการทำงานและคุณสมบัติของวงจร

1.4 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์นี้ได้ศึกษาวิจัยเพื่อออกแบบวงจรเรียงกระแสแบบครึ่งคลื่นและแบบเต็มคลื่นที่มีความเที่ยงตรง โดยเนื้อหาจะแบ่งออกเป็น 6 บท โดยบทที่ 1 จะกล่าวถึงที่มาของงานวิจัยและวัตถุประสงค์ของงานวิจัย ส่วนเนื้อหาในบทต่อมามีดังต่อไปนี้

บทที่ 2 จะกล่าวถึงทฤษฎีการทำงานของมอสทรานซิสเตอร์

บทที่ 3 จะกล่าวถึงวงจรย่อยและหลักการที่จะนำมาใช้ออกแบบวงจรเรียงกระแส โดยเนื้อหาต่างๆ ได้แก่ วงจรสะท้อนกระแส วงจรสายพานกระแส หลักการเรียงกระแสและวงจรเรียงกระแสที่ได้เคยนำเสนอก่อนหน้านี้

บทที่ 4 จะกล่าวถึงวงจรเรียงกระแสครึ่งคลื่นเอาต์พุตคู่ที่นำเสนอ การวิเคราะห์คุณสมบัติวงจรเรียงกระแสที่นำเสนอ การจำลองและผลการจำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรม PSpice

บทที่ 5 จะกล่าวถึงวงจรเรียงกระแสเต็มคลื่นเอาต์พุตคู่ การวิเคราะห์คุณสมบัติวงจรเรียงกระแสที่นำเสนอ การจำลองและผลการจำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรม PSpice

บทที่ 6 จะกล่าวถึงวงจรเรียงกระแสเต็มคลื่นวงจรที่สอง การวิเคราะห์คุณสมบัติวงจรเรียงกระแสที่นำเสนอ การจำลองและผลการจำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรม PSpice

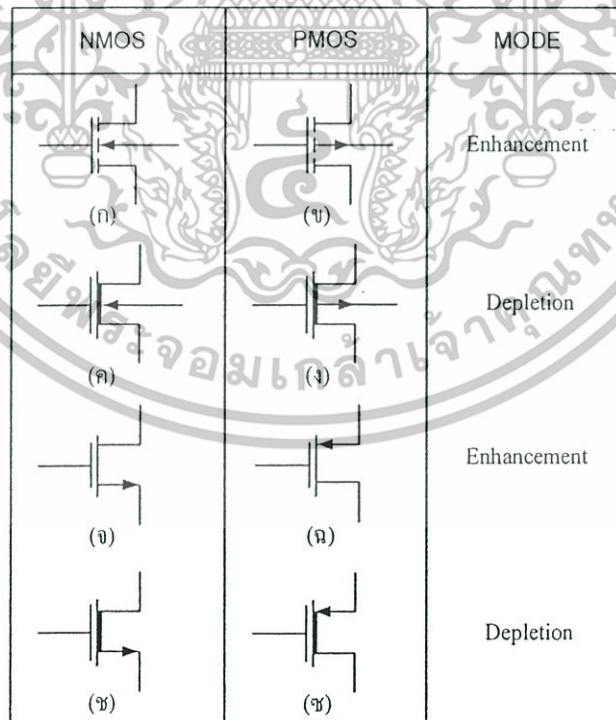
บทที่ 7 จะเป็นบทสรุปและข้อเสนอแนะ

บทที่ 2

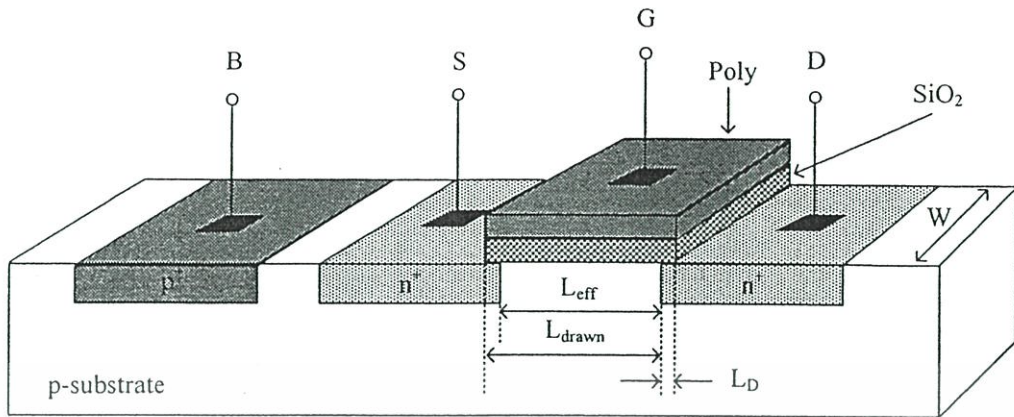
มอสทรานซิสเตอร์

2.1 บทนำ

มอสทรานซิสเตอร์ (MOS Transistor) คืออุปกรณ์ที่ใช้สนามไฟฟ้ามาควบคุมการไหลของกระแสที่ไหลผ่านตัวมัน แนวความคิดเกี่ยวกับมอสทรานซิสเตอร์ได้มีการพัฒนามาก่อนการสร้างไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistor) ในต้นทศวรรษ 1930 ได้มีหลักฐานแสดงถึงการจดสิทธิบัตรสำหรับอุปกรณ์ที่คล้ายกับซิลิกอนมอสทรานซิสเตอร์สมัยใหม่แต่ไม่ได้สร้างขึ้นจากซิลิกอน โดยในสมัยนั้นในกระบวนการสร้างมีความยากที่ การควบคุมรอยสัมผัสหรือรอยต่อของฉนวนกับสารกึ่งตัวนำยังมีความยุ่งยากอีกทั้งขาดความเข้าใจในกระบวนการของฉนวนและสารกึ่งตัวนำ จึงทำให้อุปกรณ์ที่คล้ายมอสทรานซิสเตอร์ในสมัยนั้นไม่สามารถนำไปใช้งานจริงได้ จนกระทั่งมีการเกิดขึ้นมาของกระบวนการ Silicon planer และเทคโนโลยีสมัยใหม่ที่สามารถควบคุมรอยต่อระหว่างออกไซด์และซิลิกอนได้ดี ทำให้มอสทรานซิสเตอร์สามารถนำมาใช้งานได้จริงและเป็นที่แพร่หลายในปลายทศวรรษ 1970 จนกระทั่งถึงปัจจุบันนี้



รูปที่ 2.1 มอสทรานซิสเตอร์ชนิดต่างๆ

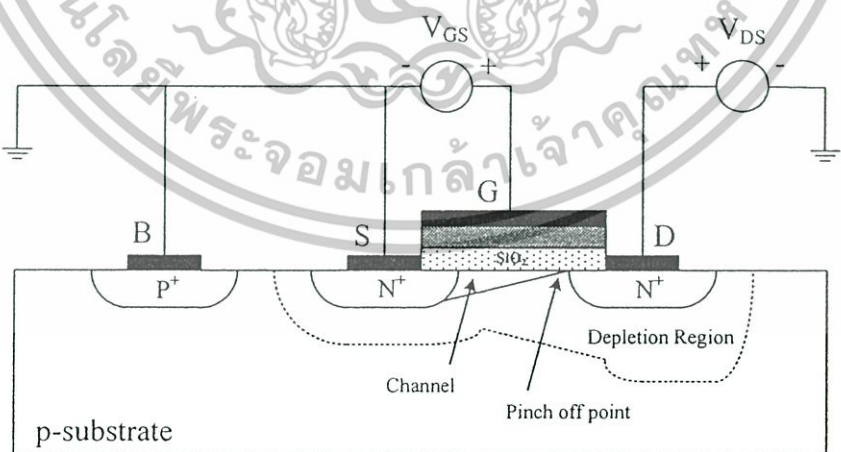
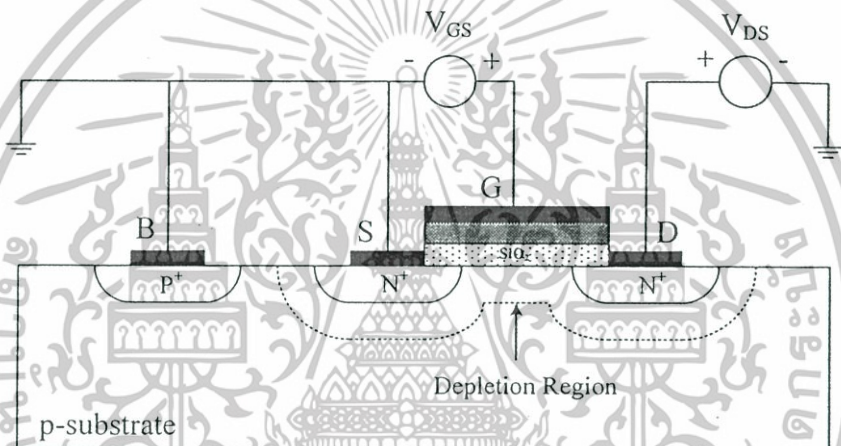
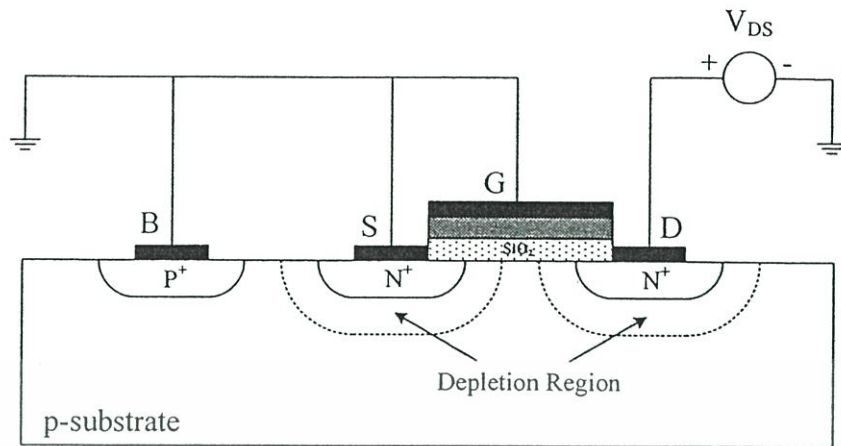


รูปที่ 2.2 โครงสร้างของเอ็นฮานซ์เมนต์มอสทรานซิสเตอร์ชนิด n-channel

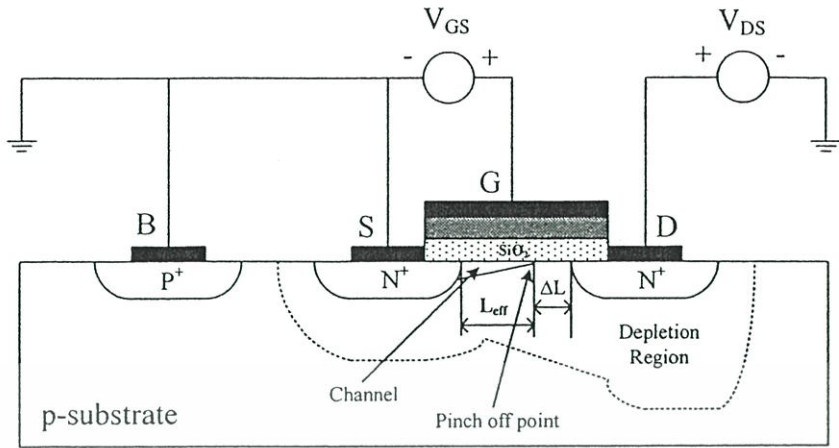
มอสเป็นทรานซิสเตอร์ที่ทำงานโดยผลของสนามไฟฟ้าสามารถถูกแบ่งออกเป็นประเภทต่างๆ ได้หลายแบบขึ้นอยู่กับเกณฑ์ที่ใช้ในการแบ่ง เช่น ถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแส จะสามารถแบ่งได้เป็นสองชนิด คือมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล (n-channel MOS Transistor) ซึ่งเป็นทรานซิสเตอร์ที่ใช้อิเล็กตรอนในการนำกระแสและมอสทรานซิสเตอร์ชนิดพีแชนแนล (p-channel MOS Transistor) เป็นทรานซิสเตอร์ที่ใช้โฮลเป็นพาหะในการนำกระแส สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดพีและเอ็นแชนแนลแสดงได้ดังรูปที่ 2.1 แต่ถ้าแบ่งมอสทรานซิสเตอร์ตามลักษณะการทำงานจะสามารถแบ่งได้สองลักษณะคือเอ็นฮานซ์เมนต์มอสทรานซิสเตอร์ (Enhancement MOS Transistor) และแบบดีพลีชันมอสทรานซิสเตอร์ (Depletion MOS Transistor)

2.2 เอ็นฮานซ์เมนต์มอสทรานซิสเตอร์

เอ็นฮานซ์เมนต์มอสทรานซิสเตอร์เป็นชนิดที่นิยมใช้กันอย่างแพร่หลายมากกว่าชนิดดีพลีชัน เพราะสามารถสร้างได้ด้วยเทคโนโลยีซีมอสแบบมาตรฐานโดยไม่ต้องใช้วิธีการที่พิเศษ รูปที่ 2.2 แสดงโครงสร้างเอ็นฮานซ์เมนต์มอสทรานซิสเตอร์แบบเอ็นแชนแนล ส่วนของซอร์ส (Source: S) และเดรน (Drain: D) สร้างขึ้นจากการแพร่อะตอมของสารเจือชนิดเอ็น (n-type) ที่มีความหนาแน่นสูง (n^+) เข้าไปในแผ่นผลึกฐานรอง (Body หรือ Substrate) ของสารกึ่งตัวนำชนิดพี (p-type) ซึ่งเป็นแผ่นผลึกซิลิกอนรูปเดี่ยว ส่วนของเกต (Gate: G) จะเป็นโลหะหรือชั้นของโพลีซิลิกอนที่ซ้อนอยู่บนชั้นของออกไซด์ โดยมีโลหะอลูมิเนียมเป็นขั้วต่อไฟฟ้า การทำงานของเอ็นฮานซ์เมนต์มอสทรานซิสเตอร์โดยอธิบายกับทรานซิสเตอร์ชนิดเอ็นแชนแนลสามารถพิจารณาได้ตามโครงสร้างรูปที่ 2.3



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ง)

รูปที่ 2.3 การทำงานของมอสทรานซิสเตอร์ในช่วงต่างๆ

ซึ่งแสดงถึงการทำงานในช่วงต่างๆ ของ V_{DS} และ V_{GS} จากรูป 2.3(ก) ซอร์ส แครนและฐานต่อลงกราวด์ ในกรณีนี้มีผลทำให้ทรานซิสเตอร์ทำงานคล้ายกับตัวเก็บประจุโดยเกตและผิวของซิลิกอนใต้ฉนวนซิลิกอนไดออกไซด์ทำหน้าที่เสมือนแผ่นระนาบ (Plate) ของตัวเก็บประจุ ซึ่งมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนคั่นระหว่างกลาง ถ้า V_{GS} มีค่าเป็นลบ ประจุพาหะชนิดบวกหรือโฮล (Hole) จะถูกดูดเข้ามาสะสมบริเวณแชนแนลมีผลให้บริเวณแชนแนลกลายเป็น p^+ และเรียกว่า “แชนแนลสะสม” (Accumulate Channel) บริเวณซอร์สและแครนที่เป็น n^+ ถูกแยกจากกันด้วยแชนแนล p^+ เมื่อมองในลักษณะวงจรมูลค่าแล้วจะพบว่ามีความถี่ของไดโอดสองตัวต่อกันหลังชนกัน ดังนั้นถ้าจะเกิดกระแสไหลได้แรงดันที่ซอร์สและแครนจะต้องมีค่ามากๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหลหรือกรณีที่แรงดันแครนซอร์ส มีค่ามากๆ จะทำให้ทรานซิสเตอร์เบรคควาน์ ในกรณีที่แรงดันเกตมีค่าเป็นบวกไม่มาก ประจุบวกข้างใต้เกตจะถูกผลักออกไปทำให้แชนแนลเปลี่ยนไปเป็น p และเป็นบริเวณปลอดพาหะ (Depletion region) ในที่สุด เมื่อแรงดันที่เกตเพิ่มมากขึ้นประจุลบหรืออิเล็กตรอนจะถูกดึงดูดเข้ามาที่บริเวณแชนแนลและแชนแนลจะแปรสภาพเป็นบริเวณ n ตามรูป 2.3(ข) ซึ่งเชื่อมต่อบริเวณซอร์สและแครนเข้าด้วยกันและเรียกว่าแชนแนลกลับ (Inverted Channel) แรงดันเกตซอร์สที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกตมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรองเป็นนิยามของแรงดันแทรชโฮล (Threshold voltage) ของมอสทรานซิสเตอร์ใช้สัญลักษณ์ V_T

เมื่อแรงดันเกตซอร์สมีค่ามากกว่า V_T จะมีแชนแนลชนิดเอ็นเกิดขึ้นและสามารถเกิดการนำไฟฟ้าระหว่างแครนและซอร์สได้ สำหรับกรณีค่าแรงดันระหว่างเกตและซอร์สน้อยกว่า V_T ปกติจะสมมติว่าทรานซิสเตอร์ไม่ทำงานและไม่มีการไหลระหว่างซอร์สและแครน อย่างไรก็ตามสมมติว่าไม่มีการไหลระหว่างซอร์สและแครนระหว่างที่ทรานซิสเตอร์ไม่นำกระแส นั้นเป็นเพียงการประมาณเท่านั้น ในความเป็นจริงสำหรับแรงดันที่เกตมีค่าใกล้เคียง V_T จะไม่ใช่ทำให้เกิดการเอกสารนี้เป็นเอกสารที่สวนงวไ้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนแปลงของกระแสอย่างทันทีทันใดแต่จะเกิดกระแสต่ำกว่าแทรชโฮล (Subthreshold Current) สามารถไหลได้ในปริมาณเล็กน้อยซึ่งการทำงานในลักษณะนี้จะมีคุณสมบัติเหมือนไบโพลาร์ทรานซิสเตอร์

เมื่อแรงดันระหว่างเกตและซอร์ส V_{GS} มีค่ามากกว่า V_T จะทำให้แขนแนลเกิดขึ้น ดังนั้นเมื่อ V_{GS} เพิ่มขึ้นความหนาแน่นของอิเล็กตรอนในแขนแนลก็จะเพิ่มขึ้นด้วยและสรุปได้ว่าความหนาแน่นของประจุพาหะจะแปรผันตาม $V_{GS} - V_T$ ซึ่งนิยามเป็นแรงดันระหว่างเกตและซอร์สประสิทธิภาพซึ่งใช้สัญลักษณ์คือ " V_{eff} " ซึ่งค่าความหนาแน่นของประจุอิเล็กตรอนกำหนดได้คือ

$$Q = C_{ox} (V_{GS} - V_T) = C_{ox} V_{eff} \quad (2.1)$$

เมื่อ C_{ox} เป็นค่าความจุไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่ เมื่อแรงดันที่เดรนมีค่ามากกว่าศูนย์โวลต์เล็กน้อยทำให้เกิดความต่างศักย์ระหว่างซอร์สและเดรน มีผลให้เกิดกระแสไหลจากเดรนไปซอร์ส ความสัมพันธ์ระหว่าง V_{GS} และ I_D จะเหมือนกับกรณีของความต้านทานซึ่งมีความสัมพันธ์เป็น

$$I_D = \mu Q \frac{W}{L} V_{DS} \quad (2.2)$$

ในขณะที่ μ เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอนและ Q เป็นค่าความหนาแน่นของประจุในแขนแนลต่อหนึ่งหน่วยพื้นที่ จากสมการที่ (2.1) และ (2.2) จะได้ว่า

$$I_D = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (2.3)$$

สมการ (2.3) เป็นความสัมพันธ์ที่สามารถใช้ได้เพียงกรณีแรงดันระหว่างเดรนและซอร์สมีค่าเข้าใกล้ศูนย์ การทำงานของมอสทรานซิสเตอร์ในเชิงโครงสร้างอธิบายได้ตามรูปที่ 2.3(ข) โดยเมื่อ V_{GS} มากกว่า V_T และ $V_{DS} = 0V$ ซึ่งขณะนี้แขนแนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหลเนื่องจากแรงดันระหว่างซอร์สและเดรนมีค่าเป็นศูนย์โวลต์และเมื่อให้แรงดัน V_{GS} ค่าน้อยๆ ค่าหนึ่งจะทำให้เกิดมีกระแสไหลผ่านแขนแนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้เสมือนเป็นตัวต้านทานมีความสัมพันธ์เป็นไปตามสมการ (2.3) และแสดงได้ด้วยกราฟในรูปที่ 2.3(ข) และจะเห็นว่า I_D และ V_{DS} สัมพันธ์กันอย่างสิ้นเชิงสำหรับค่า V_{DS} น้อยๆ

เมื่อแรงดันระหว่างเดรนและซอร์สเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่แขนแนลจะลดลงตามแนวแขนแนลจากซอร์สไปเดรนตามรูปที่ 2.3(ค) การลดลงของประจุพาหะในแขนแนลนี้มีผลให้เกิดแรงดันตกคร่อมแขนแนลที่ตำแหน่งต่างๆ ไม่เท่ากัน กล่าวคือสมมติว่าแรงดันที่เดรนเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่ามากกว่าแรงดันที่ชอร์ส จะมีการเพิ่มขึ้นของแรงดันจากชอร์สไปครนอย่างต่อเนื่องภายใน แชนแนล มีผลทำให้แรงดันตกคร่อมระหว่างเกตและแชนแนลจะมีค่าสูงสุดเท่ากับ V_{GS} ที่ตำแหน่ง ด้านชอร์สและแรงดันเกตแชนแนลมีค่าต่ำสุดที่ตำแหน่งปลายด้านครนและแรงดันเกตที่ทำให้เกิด แชนแนลคือ $V_G = V_{GS} - V_T$ เมื่อ $V_{GS} < V_T$ กระแสจะไม่ไหลและไม่มีแชนแนลเกิดขึ้นเพื่อที่จะทำให้ แชนแนลเกิดขึ้นได้เป็นแนวยาวไปจนถึงสุดปลายด้านครน แรงดันเกตจะต้องมีค่ามากกว่า V_{DS} นั่นคือ $V_G > V_{DS}$ หรือ $V_{GS} - V_T > V_{DS}$ ซึ่งหมายถึงแรงดันที่เกตเมื่อเปรียบเทียบกับทุกจุดในแนว แชนแนลจะต้องมีศักย์เป็นบวกจึงจะทำให้เกิดแชนแนล โดยในขณะนี้ทรานซิสเตอร์ทำงานและอยู่ ในช่วงอิมตัว กระแสครน I_D จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน V_{DS} อย่างไม่เป็นเชิงเส้นตาม กราฟในรูปที่ 2.3(ค) การทำงานของทรานซิสเตอร์ในย่านนี้ $V_{DS} < V_{GS} - V_T$ เรียกว่า ช่วงไม่อิมตัว (Non-saturation region) เมื่อ V_{DS} มีค่ามากขึ้น จนกระทั่งค่า $V_{DS} = V_{GS} - V_T$ ทรานซิสเตอร์เริ่มเข้าสู่ สภาวะอิมตัวและลักษณะโครงสร้างของทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูป 2.3(ค) และเมื่อค่า ของแรงดัน V_{DS} เพิ่มขึ้นไปอีกจนกระทั่ง $V_{GS} > V_{DS} - V_T$ ในกรณีนี้แรงดันที่ตกคร่อมแชนแนลที่ปลาย ด้านครนมีค่าสูงกว่า $V_{GS} - V_{DS}$ ดังนั้นจะทำให้เกิดภาวะพินช์ออฟ (Pinch off) กล่าวคือ แชนแนลซึ่ง เป็นช่องทางเดินกระแสจะขาดออก เริ่มจากบริเวณด้านครน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าซึ่งจะมา เหนี่ยวนำให้มีการสะสมของประจุลบ เพื่อทำหน้าที่เป็นแชนแนล ดังนั้นช่องทางเดินกระแสจึงขาด ออกจากกันดังแสดงดังรูป 2.3(ง) และจะมีกระแสแพร่ (Diffusion current) จากส่วนของชอร์สไปยัง ครน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูงและคล้ายกับเป็นแหล่งจ่ายกระแส คงที่ กระแสครนในภาวะนี้จึงมีค่าคงที่แม้ว่า V_{DS} จะมีค่าเพิ่มขึ้นก็ตามแสดงในกราฟตามรูปที่ 2.3(ง) การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่าช่วงอิมตัว (Saturation region) คุณสมบัติการ ทำงานของมอสทรานซิสเตอร์จะพิจารณาได้จากแบบจำลองสัญญาณขนาดใหญ่ดังรูปที่ 2.4 สมการ แสดงความสัมพันธ์ระหว่างกระแสและแรงดันสำหรับมอสทรานซิสเตอร์ทำงานในช่วงไม่อิมตัว สามารถแสดงได้คือ

$$I_D = K \left((V_{GS} - V_T) - \left(\frac{V_{DS}}{2} \right) \right) V_{DS} (1 + \lambda V_{DS}) \quad (2.4)$$

โดยที่ $K = \mu_0 C_{ox} W/L$

$$K = \mu_0 C_{ox}$$

μ_0 คือค่าความคล่องตัวของพาหะในช่องทางเดินกระแส ($\text{cm}^2/\text{volt}\cdot\text{second}$)

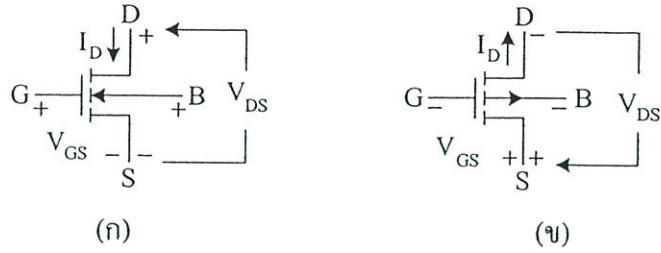
$C_{ox} = \epsilon_{ox}/t_{ox}$ คือค่าความจุไฟฟ้าต่อหนึ่งหน่วยพื้นที่ของเกตออกไซด์ (F/cm^2)

W คือความกว้างประสิทธิผลของแชนแนล

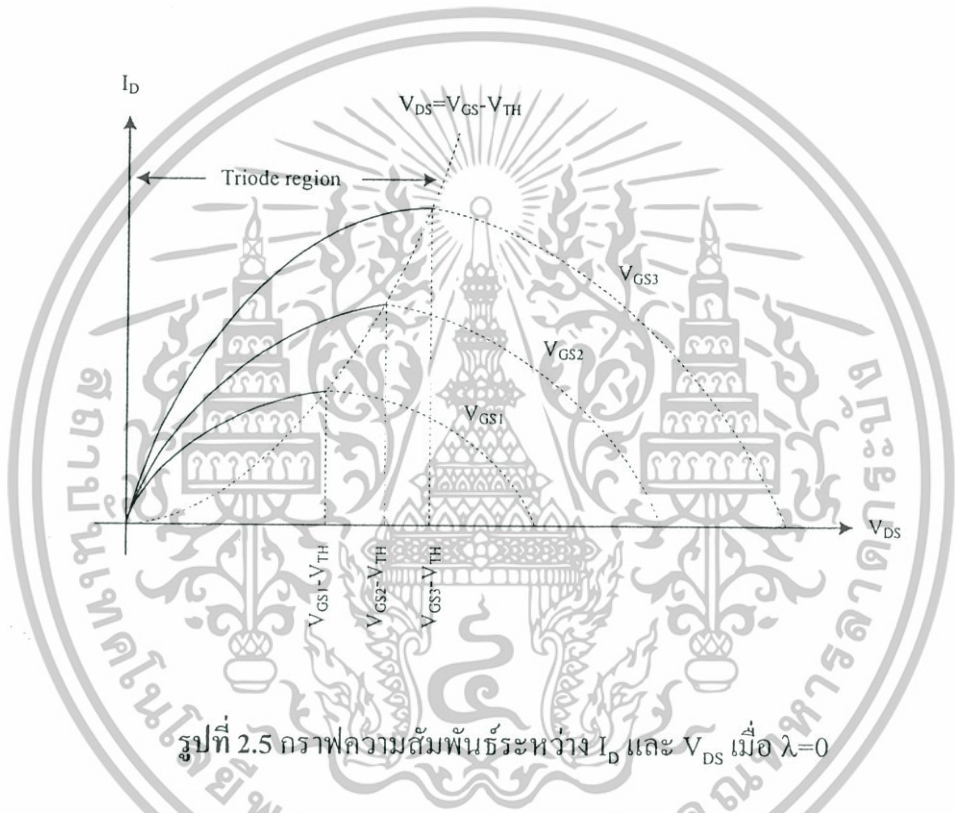
L คือความยาวประสิทธิผลของแชนแนล (Effective channel length)

λ คือ Channel length modulation parameter (volt^{-1})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 การไบอัสทรานซิสเตอร์ (ก) NMOS (ข) PMOS



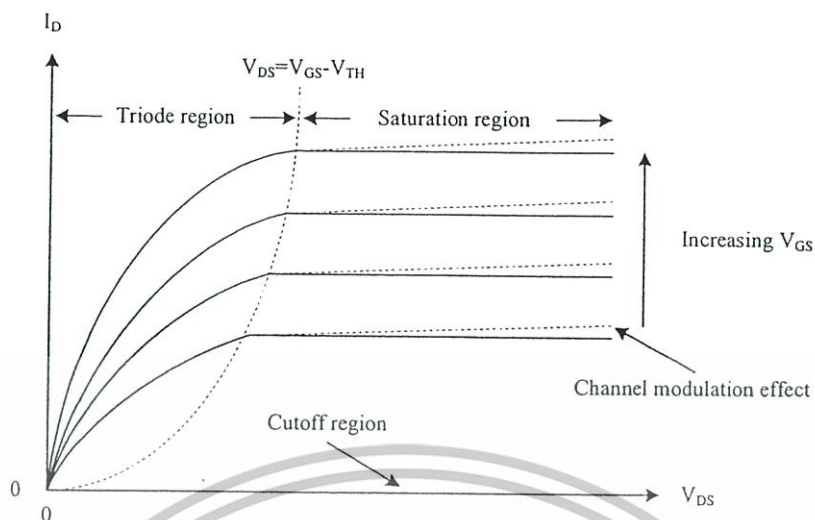
รูปที่ 2.5 กราฟความสัมพันธ์ระหว่าง I_D และ V_{DS} เมื่อ $\lambda=0$

แรงดันเทชโฮลด์กำหนดได้คือ

$$V_T = V_{T0} + \gamma \left(\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right) \tag{2.5}$$

จากสมการ (2.4) สามารถทำงานได้ในช่วงต่างๆ ขึ้นกับค่า $V_{GS} - V_T$ ถ้าค่า $V_{GS} - V_T$ เป็นศูนย์หรือลบ มอทรานซิสเตอร์จะอยู่ในช่วงคัทออฟซึ่งแกนแนลจะมีพฤติกรรมเหมือนเปิดวงจรซึ่งเขียนเป็นความสัมพันธ์ได้เป็น

$$I_D = 0 \text{ เมื่อ } (V_{GS} - V_T) \leq 0 \tag{2.6}$$



รูปที่ 2.6 แสดงคุณสมบัติทางเอาท์พุทของมอสทรานซิสเตอร์

จากสมการ (2.4) สมมติให้ $\lambda=0$ นำมาเขียนกราฟได้ตามรูปที่ 2.5 สำหรับค่า $V_{GS}-V_T$ ค่าต่างๆ จุดสูงสุดของกราฟแต่ละเส้นเรียกว่าจุดอิ่มตัว โดยค่าต่างๆ ของ V_{DS} ที่เกิดขึ้นที่ค่านี้เรียกว่าแรงดันอิ่มตัว

$$V_{DS(sat)} = V_{GS} - V_T \quad (2.7)$$

$V_{DS(sat)}$ เป็นค่าที่แบ่งขอบเขตการทำงานโดยค่า V_{DS} น้อยกว่า $V_{DS(sat)}$ แล้วมอสทรานซิสเตอร์จะทำงานในช่วงไม่อิ่มตัวตามสมการ (2.4) และมีเงื่อนไขว่า

$$0 < V_{DS} \leq (V_{GS} - V_T) \quad (2.8)$$

เมื่อ V_{DS} มีค่ามากกว่า $V_{DS(sat)}$ ช่วงนี้เรียกว่าช่วงอิ่มตัว ช่วงนี้กระแส I_D ไม่ขึ้นกับ V_{DS} ถ้าสมมุติว่าไม่พิจารณาผลของ λ ดังนั้นจะได้รับความสัมพันธ์ตามสมการคือ

$$I_D = \frac{K}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) ; 0 < (V_{GS} - V_T) \leq V_{DS} \quad (2.9)$$

จากรูปที่ 2.6 แสดงถึงคุณสมบัติทางเอาท์พุทของมอสทรานซิสเตอร์ที่ได้จากสมการที่ (2.4) (2.6), (2.7) (2.8) และ (2.9) โดยที่เส้นที่บคือกราฟที่ไม่พิจารณาถึงผลของ λ ($\lambda=0$) ส่วนเส้นประคือกราฟที่

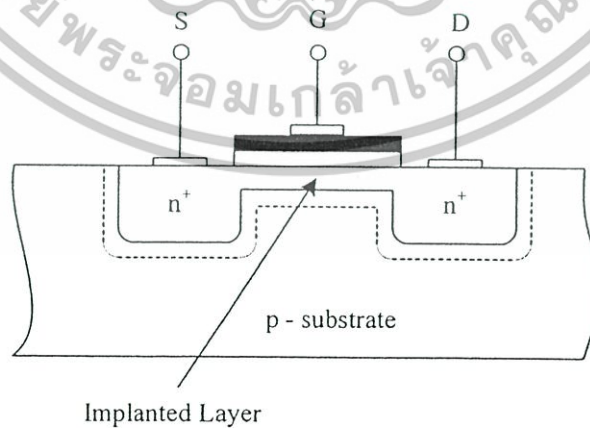
พิจารณาผลของ λ ($\lambda \neq 0$) รวมอยู่ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

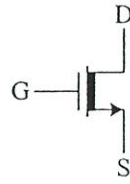
2.3 ดีฟิชั่นมอสทรานซิสเตอร์

ดีฟิชั่นมอสทรานซิสเตอร์ชนิดเอ็นแชนแนลมีลักษณะโครงสร้างและสัญลักษณ์แสดงตามรูปที่ 2.7 โดยส่วนของซอร์สและเดรนจะถูกสร้างขึ้นโดยการแพร่อะตอมของสารเจือชนิดเอ็นซึ่งมีความหนาแน่นสูงเข้าไปในแผ่นผลึกฐานรองของสารกึ่งตัวนำชนิดพี หลังจากนั้นส่วนของแชนแนลจะถูกสร้างขึ้นด้วยวิธีการอิมพลานเตชัน ซึ่งเป็นวิธีการยิงอะตอมสารเจือเข้าไปในเนื้อสารกึ่งตัวนำ ส่วนลักษณะโครงสร้างอื่นๆ ของทรานซิสเตอร์แบบนี้จะเหมือนกับแบบเอ็นฮานซ์เมนต์ทุกประการ

จากลักษณะโครงสร้างในรูปที่ 2.7(ก) จะเห็นว่าขณะที่แรงดันเกตเป็นศูนย์และแรงดันซอร์สเดรน V_{DS} มีค่าๆ หนึ่งก็จะมีกระแสเดรนเกิดขึ้น นั่นคือแม้ว่าไม่มีแรงดันที่เกต กระแสก็ยังสามารถไหลผ่านแชนแนลได้ เนื่องจากแชนแนลได้ถูกสร้างขึ้นมาก่อนแล้ว ซึ่งต่างจากกรณีเอ็นฮานซ์เมนต์ที่จำเป็นต้องให้แรงดันที่เกตมีค่าๆ หนึ่งเพื่อเหนี่ยวนำให้เกิดแชนแนล การนำไฟฟ้าและความลึกของแชนแนลจะถูกควบคุมด้วย V_{DS} เหมือนกับกรณีของเอ็นฮานซ์เมนต์ เมื่อให้ค่า V_{GS} เป็นบวกจะทำให้ความกว้างขึ้น โดยการดึงอิเล็กตรอนเข้ามาสะสมที่แชนแนลและทำให้การนำไฟฟ้าดีขึ้น เมื่อค่า V_{GS} เป็นลบอิเล็กตรอนจะถูกผลักออกจากแชนแนล ทำให้แชนแนลแคบลงและการนำไฟฟาลดลง ในการทำงานขณะที่ V_{GS} เป็นลบนั้นเรียกว่า การทำงานในช่วงดีฟิชั่น โหมด เมื่อ V_{GS} เป็นลบมากขึ้นจนถึงค่าหนึ่ง ซึ่งทำให้อิเล็กตรอนถูกผลักออกไปจากแชนแนลจนหมดและแชนแนลหายไปทำให้กระแส I_D มีค่าเป็นศูนย์แม้ว่า V_{DS} ไม่เป็นศูนย์ก็ตาม โดยค่าที่เป็นลบของ V_{GS} ที่นำไปให้แชนแนลหายไปนั่นก็คือค่าแรงดันแทรชโฮลด์ของมอสทรานซิสเตอร์แบบดีฟิชั่นชนิดเอ็นแชนแนล

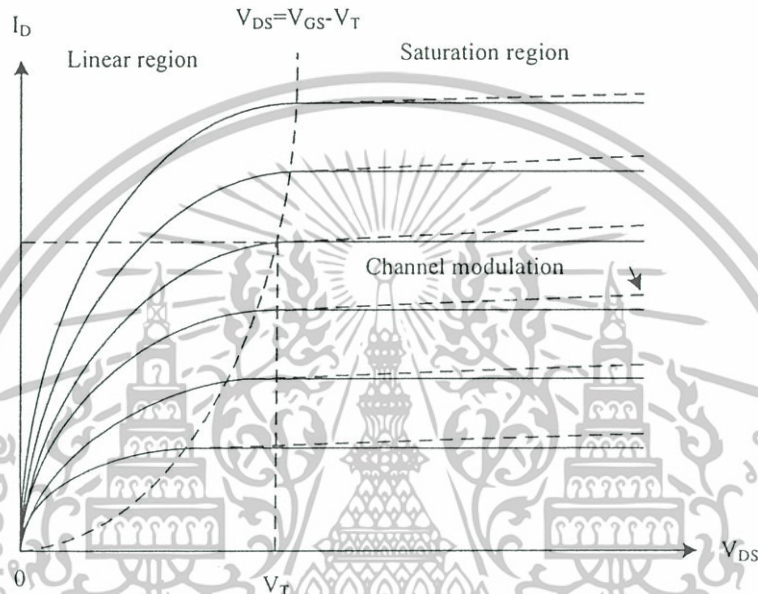


(ก)

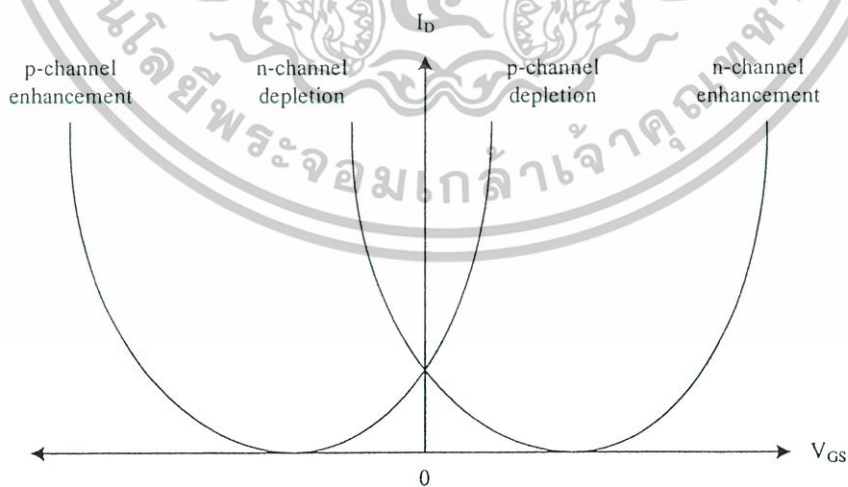


(ข)

รูป 2.7 คีพลีชันมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล (ก) โครงสร้าง (ข) สัญลักษณ์



รูปที่ 2.8 คุณสมบัติ $I_D - V_{DS}$ ของมอสทรานซิสเตอร์แบบคีพลีชันชนิดเอ็นแชนแนล



รูปที่ 2.9 แสดงคุณสมบัติ $I_D - V_{GS}$ ของมอสทรานซิสเตอร์ทั้งหมด

จากรูปที่ 2.8 ได้แสดงถึงคุณสมบัติ I_D - V_{DS} ของมอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแชนแนล ซึ่งคล้ายกับกรณีของเอ็นฮานซ์เมนต์ ยกเว้นค่า V_T มีค่าเป็นลบสำหรับ NMOS และเป็นบวกสำหรับ PMOS และสามารถทำงานเป็นแบบเอ็นฮานซ์เมนต์โหมดได้ โดยการให้ค่า V_{GS} มีค่าเป็นบวก กราฟ I_D - V_{GS} ตามรูปที่ 2.9 เป็นการสรุปคุณสมบัติ I_D - V_{GS} ของเอ็นฮานซ์เมนต์มอสทรานซิสเตอร์ และดีพลีชันมอสทรานซิสเตอร์

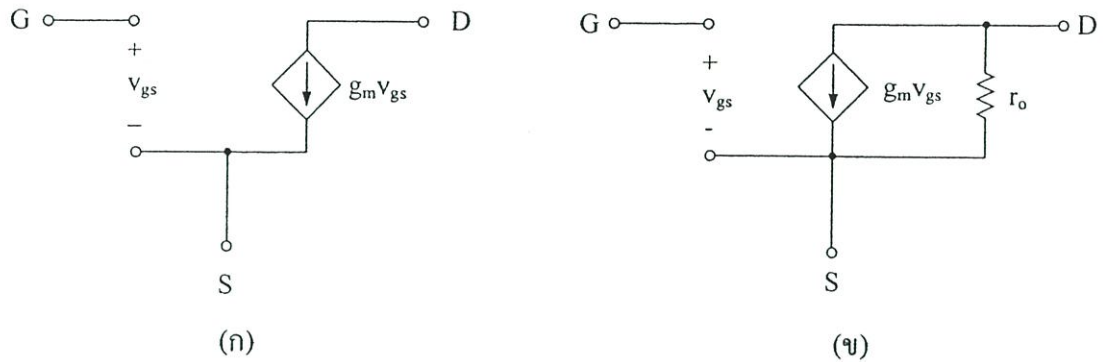
2.4 วงจรสมมูลย์ของมอสทรานซิสเตอร์

วงจรสมมูลย์ (Small-signal equivalent circuit) ของมอสทรานซิสเตอร์เป็นการแทนอุปกรณ์มอสทรานซิสเตอร์ด้วยวงจรไฟฟ้าเพื่อนำไปใช้การวิเคราะห์ผลตอบสนองหรือพฤติกรรมของสัญญาณขนาดเล็กโดยพิจารณาแยกกับการวิเคราะห์สัญญาณขนาดใหญ่ซึ่งพิจารณาเป็นปริมาณทางไฟฟ้ากระแสตรงซึ่งได้กล่าวก่อนหน้านี้นี้ มอสทรานซิสเตอร์มีพฤติกรรมเป็นแรงดันควบคุมแหล่งกำเนิดกระแส (Voltage-controlled current source) โดยเป็นการให้สัญญาณ v_{gs} และทำให้เกิดกระแส $g_m v_{gs}$ ที่ปลายด้านเดรน ความต้านทานที่ทางอินพุตมีค่าสูงมากในทางปฏิบัติ ซึ่งในทางอุดมคติถือว่ามีค่าเป็นอนันต์ความต้านทานที่ทางออก (ความต้านทานที่มองเข้าไปที่ปลายด้านเดรน) มีค่าสูง ในการพิจารณาอย่างง่าย ๆ จะสมมุติว่ามีค่าเป็นอนันต์ตามรูปที่ 2.10(ก) ข้อเสียของแบบจำลองสัญญาณขนาดเล็กในรูป 2.10(ก) คือจะเป็นการสมมุติว่ากระแสเดรนจะอยู่ในช่วงอิมิตัวและไม่ขึ้นกับแรงดันเดรน ซึ่งจากหัวข้อที่กล่าวมาข้างต้นพบว่าคุณสมบัติของมอสทรานซิสเตอร์ในช่วงอิมิตัวนั้นจริงๆ แล้วขึ้นอยู่กับ V_{DS} ในลักษณะเชิงเส้น ทำให้แบบจำลองได้เปลี่ยนไปเป็นรูป 2.10(ข) โดยมีตัวต้านทาน r_o มาต่ออยู่ระหว่างเดรนและซอร์สซึ่งมีค่าประมาณ

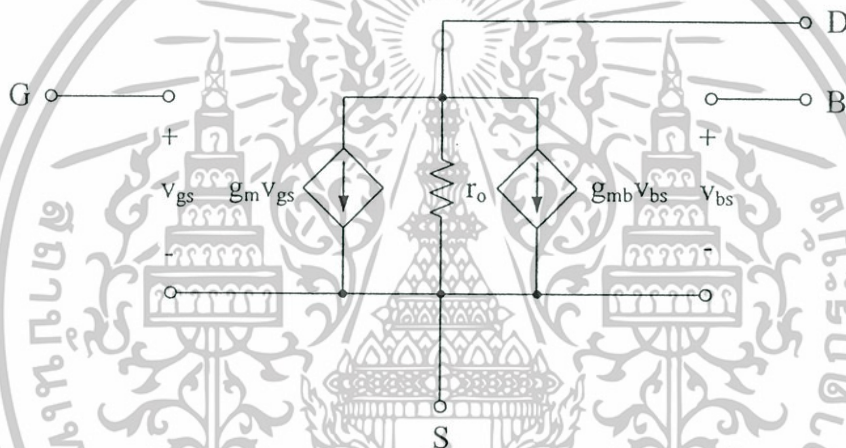
$$r_o \cong \frac{|V_A|}{I_D} \quad (2.10)$$

ขณะที่ $V_A = 1/\lambda$ โดยทั่วไปค่า r_o อยู่ในช่วง 10 ถึง 1000 k Ω ค่า r_o ที่พิจารณาข้างต้นเป็นการพิจารณา มอสทรานซิสเตอร์ที่ทำงานในช่วงอิมิตัว ซึ่งให้ค่าความต้านทานที่ทางออกมีค่ามาก (แชนแนลขาดออกจากกันระหว่างซอร์สและเดรน) แต่ขณะที่มอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิมิตัวนั้นค่าความต้านทานที่ทางออกจะมีค่าเป็น

$$r_o = \frac{1}{g_{ds}} = \frac{\partial V_{ds}}{\partial I_D} \cong \frac{1}{K(V_{GS} - V_T - V_{DS})} \quad (2.11)$$



รูปที่ 2.10 แบบจำลองสัญญาณขนาดเล็กละของมอสทรานซิสเตอร์ (ก) ไม่พิจารณาผลของ λ ขณะทำงานในช่วงอิมิตัว (ข) พิจารณาผลของ λ โดยเพิ่มความต้านทานที่ทางออก



รูปที่ 2.11 แบบจำลองสัญญาณขนาดเล็กละของมอสทรานซิสเตอร์กรณีพื้นฐานรองไม่ต่ออยู่กับซอร์ส

เราจะพิจารณาพารามิเตอร์ที่สำคัญอีกตัวหนึ่งในการวิเคราะห์สัญญาณขนาดเล็กละคือค่าทรานส์คอนดักแตนซ์ g_m ซึ่งมีค่าคือ

$$g_m = \frac{\partial I_D}{\partial V_{gs}} \quad (2.12)$$

ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิมิตัว จากสมการ (2.12) จะได้

$$g_m = \sqrt{\frac{2K'W}{L} |I_D| (1 + \lambda V_{DS})} \cong \sqrt{\frac{2K'W}{L} |I_D|} \quad (2.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.13) พบว่าค่าของ g_m ซึ่งเป็นพารามิเตอร์ของสัญญาณขนาดเล็ก ขึ้นอยู่กับค่ากระแสเดรน I_D เป็นเงื่อนไขการทำงานของสัญญาณขนาดใหญ่และในกรณีที่มีมอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวจะได้

$$g_m = \frac{K'W}{L} V_{DS} (1 + \lambda V_{DS}) \cong \frac{K'W}{L} V_{DS} \quad (2.14)$$

แบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวถึงข้างต้นเป็นแบบจำลองที่ยังไม่พิจารณาผลของฐานรอง (Body effect) ซึ่งเกิดขึ้นเมื่อฐานรองไม่ได้ต่อกับปลายด้านซอร์สและทำให้เกิด v_{bs} ขึ้น แสดงตามรูปที่ 2.11 สัญญาณ v_{bs} จะทำให้เกิดกระแสเดรน $g_m v_{bs}$ โดย g_{mb} เป็นค่าทรานคอนดักแตนซ์ที่ฐานรอง

$$g_m = \left. \frac{\partial I_D}{\partial V_{sb}} \right|_{\substack{v_{gs} = \text{constant} \\ v_{ds} = \text{constant}}} \quad (2.15)$$

กรณีมอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัวจะได้

$$g_{mbs} = g_m \frac{\gamma}{2(2|\phi_F| + V_{SB})^{1/2}} = \eta g_m \quad (2.16)$$

กรณีที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวจะได้

$$g_{mbs} = \frac{K\gamma V_{DS}}{2(2|\phi_F| + V_{SB})^{1/2}} \quad (2.17)$$

2.5 ผลตอบสนองความถี่

จากหัวข้อที่แล้วซึ่งได้กล่าวถึงวงจรสมมูลหรือแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ ในหัวข้อนี้จะได้เสนอถึงแบบจำลองวงจรสมมูลของมอสทรานซิสเตอร์ที่รวมเอาค่าความจุไฟฟ้ามาพิจารณาด้วย รูปที่ 2.12(ก) แสดงแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ซึ่งรวมค่าความจุไฟฟ้าจำนวนห้าตัวคือ C_{gs} , C_{gd} , C_{gb} , C_{sb} และ C_{db} อย่างไรก็ตามวงจรนี้ค่อนข้างยุ่งยากและซับซ้อนสำหรับการวิเคราะห์ด้วยมือแต่เหมาะสำหรับในการวิเคราะห์การจำลองการทำงานโดยใช้โปรแกรมคอมพิวเตอร์ รูปที่ 2.12(ข) แสดงวงจรสมมูลกรณีที่ซอร์สเชื่อมต่อกับฐานรอง ซึ่งวงจรที่ได้มีความสะดวกในการวิเคราะห์มากกว่าวงจรในรูป 2.12(ก) มากแต่อย่างไรก็ตามวงจรในรูป 2.12(ค) คือวงจรที่เหมาะสมในการวิเคราะห์ด้วยมือมากที่สุดโดยพิจารณาค่า

ความจุ C_{db} มีค่าน้อยมากๆ ซึ่งจะทำให้วงจรที่วิเคราะห์ได้ง่ายมากขึ้น ค่าความจุทั้งห้าที่ได้กล่าวถึงข้างต้นมีเพียงค่าความจุที่เกทซอส C_{gs} เท่านั้นที่มีบทบาทสำคัญที่สุดในบรรดาค่าความจุทั้งห้า และเป็นพื้นฐานในการวิเคราะห์และพิจารณาที่ความถี่สูง ขณะที่ค่าความจุ C_{sb} และ C_{db} เป็นค่าความจุแฝงในย่านคิพลิชันระหว่างฐานรองกับซอร์สและฐานรองกับเดรนตามลำดับ และมีค่าเป็น



รูปที่ 2.12 (ก) แบบจำลองวงจรสมมูลย์ของมอสทรานซิสเตอร์ที่ความถี่สูง (ข) วงจรสมมูลย์สำหรับกรณีที่ซอร์สต่อกับฐานรอง (ค) วงจรสมมูลย์ตามรูป (ข) กรณีที่ C_{db} มีค่าน้อยมากๆ

ค่าความจุไฟฟ้าระหว่างเกตและฐานรอง (C_{gs}) เป็นค่าความจุไฟฟ้าแฝงของออกไซด์ (Parasitic oxide capacitance) ซึ่งเกิดขึ้นระหว่างชั้นสารทางด้านเกต (โลหะหรือ โพลีซิลิกอน) กับฐานรอง โดยค่าความจุไฟฟ้า C_{gs} มีค่าคงที่ แต่จริงๆ แล้วค่าความจุไฟฟ้าแฝงชนิดนี้จะวางตัวตามแนวโพลีซิลิกอนและโลหะบนแผ่นชิปและจะถูกพิจารณาเฉพาะการจำลองและการคำนวณของวงจรและคุณสมบัติของอุปกรณ์ที่มีความถี่สูง โดยใช้คอมพิวเตอร์ค่าโดยทั่วไปจะขึ้นอยู่กับความหนาของออกไซด์และมีค่าอยู่ในช่วง 0.04fF ถึง 0.15fF ต่อตารางไมครอนของรอยต่อที่เชื่อมต่อกัน ค่าความจุไฟฟ้า C_{gs} และ C_{gd} เกิดจากเกตกับซอสและเกตกับเดรน ตามลำดับ โดยที่ C_{ox} เป็นค่าความจุออกไซด์ต่อหนึ่งหน่วยพื้นที่จากเกตถึงแซนแนล ทำให้ค่าความจุไฟฟ้าทั้งหมดข้างใต้เกตมีค่าเท่ากับ $C_{ox}WL$ ซึ่งค่านี้เป็นค่าโดยแท้จริงของการทำงานของมอสทรานซิสเตอร์และเป็นรูปแบบการใช้งานในการควบคุมให้เกิดการนำไฟฟ้าที่แซนแนลขณะที่ช่วงที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว ค่าความจุไฟฟ้านี้จะแบ่งออกเป็นสองส่วนเท่าๆ กันระหว่างซอสและเดรนจะได้

$$C_{gs} = C_{gd} = \frac{1}{2} C_{ox} WL \quad (2.18)$$

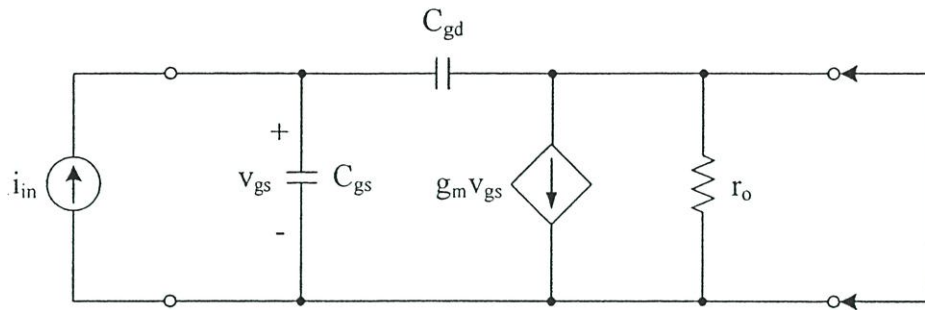
ขณะที่มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว แซนแนลจะหดแคบลงจนขาดออกที่ปลายด้านเดรน ซึ่งทำให้แรงดันเดรนมีผลเพียงเล็กน้อยคือทั้งแซนแนลและประจุที่เกต ดังนั้นส่วนหนึ่งของค่า C_{gd} โดยทั่วไปแล้วมีค่าเป็นศูนย์ในช่วงการทำงานอิ่มตัว ขณะที่อีกส่วนซึ่งเกิดจากค่าความจุแฝงที่ออกไซด์ เนื่องจากบางส่วนของเกตซ้อนทับกับบางส่วนของเดรน โดยค่า C_{gd} มีค่าอยู่ในระดับ 1fF ถึง 10fF ในการคำนวณค่า C_{gs} ในช่วงอิ่มตัวเราจะต้องคำนวณค่าจำนวนประจุทั้งหมด Q_T ที่อยู่ในแซนแนล จะได้

$$Q_T = \frac{2}{3} WLC_{ox}(V_{GT} - V_T) \quad (2.19)$$

ดังนั้น

$$C_{gs} = \frac{\partial Q_T}{\partial V_{gs}} = \frac{2}{3} WLC_{ox} \quad (2.20)$$

นอกจากนี้ค่าความจุ C_{gs} ยังต้องการรวมกับส่วนที่เกิดจากค่าความจุออกไซด์เนื่องจากพื้นที่บางส่วนของเกตซ้อนทับพื้นที่บางส่วนของซอร์ส



รูปที่ 2.13 การหาอัตราขยายกระแสแฉงณะปีดวงจร

คุณสมบัติที่สำคัญประการหนึ่งสำหรับการทำงานที่ความถี่สูงของมอสทรานซิสเตอร์ที่ทำงานเป็น วงจรขยายคือความถี่ที่มีอัตราขยายเท่ากับหนึ่ง (Unity-gain frequency) คือ f_T โดยมีนิยามว่าเป็น ความถี่ที่อัตราขยายกระแสของมอสทรานซิสเตอร์ที่อยู่ในรูปแบบวงจรคอมมอนซอร์สที่มีค่าเป็น หนึ่งขณะปีดวงจร รูปที่ 2.13 แสดงแบบจำลองแบบ Hybrid- π ของมอสทรานซิสเตอร์ในลักษณะ คอมมอนซอร์สระหว่างขั้วอินพุตและขั้วเอาต์พุต ในการหาอัตราขยายกระแสแฉงณะปีดวงจร จะต้องทำการป้อนกระแส i_i ที่อินพุตและที่เอาต์พุตปีดวงจร กระแสที่เอาต์พุตสามารถเขียนได้คือ

$$i_o = g_m v_{gs} - s C_{gd} v_{gs} \quad (2.21)$$

เนื่องจากค่า C_{gd} มีค่าน้อยมาก ทำให้พจน์หลังของสมการ (2.21) มีค่าน้อยมาก ๆ ดังนั้นสมการที่ (2.21) สามารถประมาณได้คือ

$$i_o \approx g_m v_{gs} \quad (2.22)$$

จากรูปที่ 2.13 สามารถแสดงค่า v_{gs} ในพจน์ของกระแสอินพุต i_i ได้คือ

$$v_{gs} = \frac{i_i}{s(C_{gs} + C_{gd})} \quad (2.23)$$

จากสมการ (2.22) และ (2.23) จะได้อัตราขยายกระแสแฉงณะปีดวงจร ได้เป็น

$$\frac{i_o}{i_i} = \frac{g_m}{s(C_{gs} + C_{gd})} \quad (2.24)$$

เมื่อ $s=j\omega$ จะได้อัตราขยายกระแสเท่ากับหนึ่งที่ความถี่

$$\omega_T = g_m / (C_{gs} + C_{gd}) \quad (2.25)$$

ดังนั้นความถี่ที่อัตราขยายเท่ากับหนึ่ง ค่า f_T คือ

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (2.26)$$

จากสมการที่ (2.26) จะเห็นว่าค่า f_T แปรผันตามค่า g_m และแปรผกผันกับค่าความจุไฟฟ้าภายในตัวมอสทรานซิสเตอร์ เมื่อแทนค่า g_m ลงในสมการที่ (2.26) เราจะพบว่าค่า f_T จะขึ้นอยู่กับกระแสเดรนซึ่งสามารถสรุปได้ว่ากระแสเดรนมีส่วนในการทำงานของมอสทรานซิสเตอร์ที่ความถี่สูง โดยทั่วไปค่าของ f_T จะมีค่าอยู่ในช่วงประมาณ 100MHz สำหรับเทคโนโลยีแบบเก่า เช่น เทคโนโลยีซีมอสขนาด $5\mu\text{m}$ แต่ถ้าเป็นเทคโนโลยีความเร็วสูงที่ใหม่กว่า เช่น เทคโนโลยีซีมอสขนาด $0.8\mu\text{m}$ จะมีค่า f_T อยู่ในช่วงหลายๆ GHz

2.6 บทสรุป

เนื้อหาในบทนี้กล่าวถึงการทำงานของมอสทรานซิสเตอร์ โดยได้แบ่งมอสทรานซิสเตอร์ออกเป็น 2 ชนิด คือ มอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์และชนิดดีพีเอ็น โครงสร้าง การเกิดช่องทางเดินกระแส แบบจำลองสัญญาณขนาดใหญ่และขนาดเล็กของมอสทรานซิสเตอร์คือเนื้อหาที่ได้กล่าวถึง แบบจำลองทั้งสองแบบของมอสทรานซิสเตอร์จะถูกใช้ในการออกแบบและวิเคราะห์คุณสมบัติของวงจรที่จะนำเสนอ

บทที่ 3

วงจรร้อยและหลักการของวงจรเรียงกระแส

3.1 บทนำ

ในบทนี้จะกล่าวถึงวงจรร้อยที่นำมาใช้ในการสร้างวงจรเรียงกระแส วงจรที่จะกล่าวถึงได้แก่ วงจรสายพานกระแส วงจรสะท้อนกระแสและตัวต้านทานแบบมอส จากนั้นจะกล่าวถึงวงจรเรียงกระแสที่สร้างจากออปแอมป์และวงจรเรียงกระแสที่สร้างจากวงจรสายพานกระแสที่ได้นำเสนอในวารสารต่างๆ โดยจะศึกษาการทำงานของวงจรถัดกล่าวเพื่อทำความเข้าใจถึงหลักการของวงจรถัดกล่าวก่อนการออกแบบ

3.2 วงจรสะท้อนกระแส

วงจรสะท้อนกระแสเป็นวงจรที่สำคัญวงจรหนึ่งสำหรับการออกแบบวงจรประเภทอนาล็อกที่ออกแบบโดยใช้หลักการของวงจรรวม วงจรสะท้อนกระแสที่นิยมใช้งานจะมีอยู่ประมาณ 4 วงจร แต่อย่างไรก็ตามที่ผ่าน วงจรสะท้อนยังได้รับการพัฒนาและเผยแพร่อย่างต่อเนื่องจนถึงปัจจุบัน แต่ในบทนี้จะขอกล่าวถึงเพียง 4 แบบเท่านั้นคือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบคาจโคค วงจรสะท้อนกระแสแบบ Wilson และวงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

3.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน

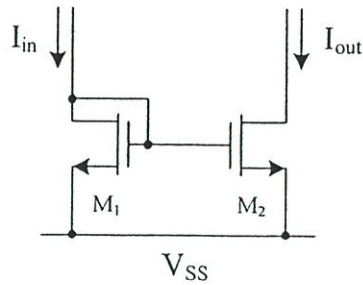
วงจรสะท้อนกระแสอย่างง่ายแสดงได้ดังในรูปที่ 3.1 วงจรสะท้อนกระแสแบบพื้นฐานจะใช้ทรานซิสเตอร์เพียงสองตัวเท่านั้น ความสัมพันธ์ระหว่างกระแส I_{out} และกระแส I_{in} สามารถแสดงได้คือ

$$I_{out} = \frac{g_{m2}}{g_{m1}} I_{in} \quad (3.1)$$

โดย g_{m1} และ g_{m2} คือค่าทรานส์คอนดักแตนซ์ของมอสทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ ค่าความต้านทานทางเอาต์พุตของวงจรสามารถกำหนดให้คือ

$$r_{out} = \frac{1}{g_{ds2}} \quad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจรสะท้อนกระแสแบบพื้นฐานสร้างจากมอสทรานซิสเตอร์

เมื่อ g_{ds2} คือค่าความนำระหว่างขาเดรนและซอร์สของทรานซิสเตอร์ M_2 จากสมการที่ (3.2) จะเห็นว่าความต้านทานทางเอาต์พุตของวงจรในรูปที่ 3.1 จะขึ้นอยู่กับค่าความนำทางเอาต์พุต (g_{ds}) ของ M_2 ซึ่งค่าความต้านทานทางเอาต์พุตในทางอุดมคติควรจะมีความเข้าใกล้อนันต์ ดังนั้นจึงได้มีการพัฒนาวงจรสะท้อนกระแสในแบบต่างๆ เพื่อเพิ่มค่าความต้านทานทางเอาต์พุตซึ่งจะมีผลที่ดีต่อการสะท้อนกระแสของวงจรด้วย

3.2.2 วงจรสะท้อนกระแสแบบคาสโคด

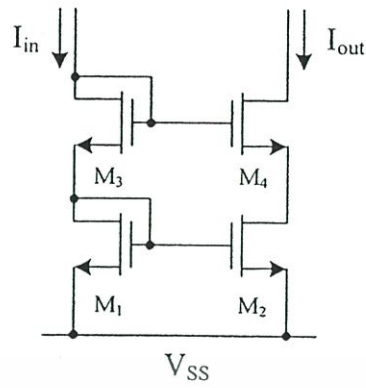
วงจรสะท้อนกระแสแบบคาสโคดสามารถแสดงได้ดังรูปที่ 3.2 วงจรนี้จะใช้ทรานซิสเตอร์ 4 ตัว ซึ่งจะเห็นได้ว่าวงจรสะท้อนกระแสแบบคาสโคดจะใช้วงจรสะท้อนกระแสแบบพื้นฐานสองวงจรต่อกันขึ้นไป ความสัมพันธ์ระหว่างกระแส I_{out} และกระแส I_{in} สามารถหาค่าได้คือ

$$I_{out} = \frac{g_{m2}g_{m3}}{g_{m1}g_{m4}} I_{in} \quad (3.3)$$

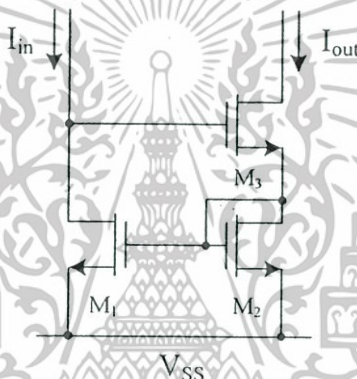
เมื่อพิจารณาวงจรในรูปที่ 3.2 ในแบบวงจรเสมือนสัญญาณขนาดเล็ก ค่าความต้านทานทางเอาต์พุตเมื่อพิจารณาที่ขาเดรนของทรานซิสเตอร์ M_4 จะมีค่าเท่ากับ

$$r_{out} = r_{ds2} + r_{ds3} + r_{ds2}r_{ds3}g_{m3} \approx r_{ds2}r_{ds3}g_{m3} \quad (3.4)$$

เมื่อ r_{ds2} และ r_{ds3} คือค่าความนำระหว่างขาเดรนและซอร์สของมอสทรานซิสเตอร์ M_2 และ M_3 วงจรสะท้อนกระแสแบบคาสโคดจะมีความต้านทานทางเอาต์พุตเพิ่มมากขึ้น ซึ่งจะส่งผลทำให้คุณสมบัติการสะท้อนของสัญญาณกระแสดีขึ้น ซึ่งคุณสมบัติทางในทางอุดมคติเราจะต้องการความต้านทานทางเอาต์พุตเข้าใกล้อนันต์ ขณะเดียวกันความต้านทานทางอินพุตต้องเข้าใกล้ศูนย์



รูปที่ 3.2 วงจรสะท้อนกระแสแบบแคสโคด



รูปที่ 3.3 วงจรสะท้อนกระแสแบบ Wilson

จากวงจรจะเห็นว่าเมื่อความต้านทานทางเอาต์พุตสูงขึ้นความต้านทานทางอินพุตก็จะเพิ่มขึ้นด้วย ดังนั้นจึงได้หาวิธีลดความต้านทานทางอินพุตนี้

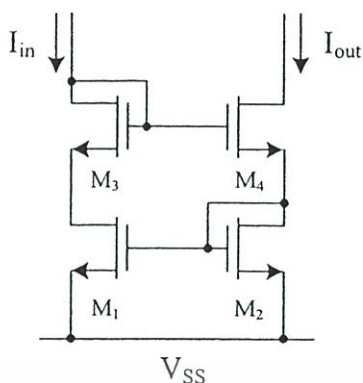
3.2.3 วงจรสะท้อนกระแสแบบ Wilson

รูปที่ 3.3 แสดงวงจรสะท้อนกระแสแบบ Wilson ที่สร้างด้วยมอสทรานซิสเตอร์ จากวงจรในรูปที่ 3.3 ความสัมพันธ์ระหว่างกระแส I_{in} และกระแส I_{out} สามารถกำหนดได้คือ

$$I_{out} = \frac{g_{m2}}{g_{m1}} I_{in} \quad (3.5)$$

จากสมการที่ (3.5) จะเห็นว่าความสัมพันธ์ระหว่างกระแสอินพุตและกระแสเอาต์พุตจะเหมือนกับวงจรสะท้อนกระแสแบบพื้นฐาน ส่วนค่าความต้านทานทางเอาต์พุตหาได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

$$r_{out} = r_{ds2} + r_{ds3} + \left(\frac{1 + g_{m3}r_{ds3} + g_{m1}g_{m3}r_{ds1}r_{ds3}}{1 + g_{m2}r_{ds2}} \right) \quad (3.6)$$

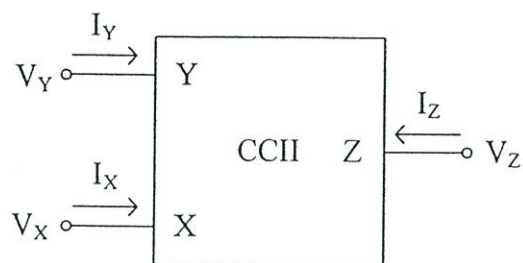
วงจรสะท้อนกระแสแบบ Wilson คือวงจรที่พัฒนาเพื่อลดความต้านทานทางอินพุตให้น้อยลง ในขณะที่เดียวกันจะยังคงให้มีความต้านทานทางเอาต์พุตที่สูงเช่นเดียวกับวงจรสะท้อนกระแสแบบ แคดโคคเอาไว้ ดังนั้นวงจรนี้ค่อนข้างได้รับความนิยมค่อนข้างมาก

3.2.4 วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

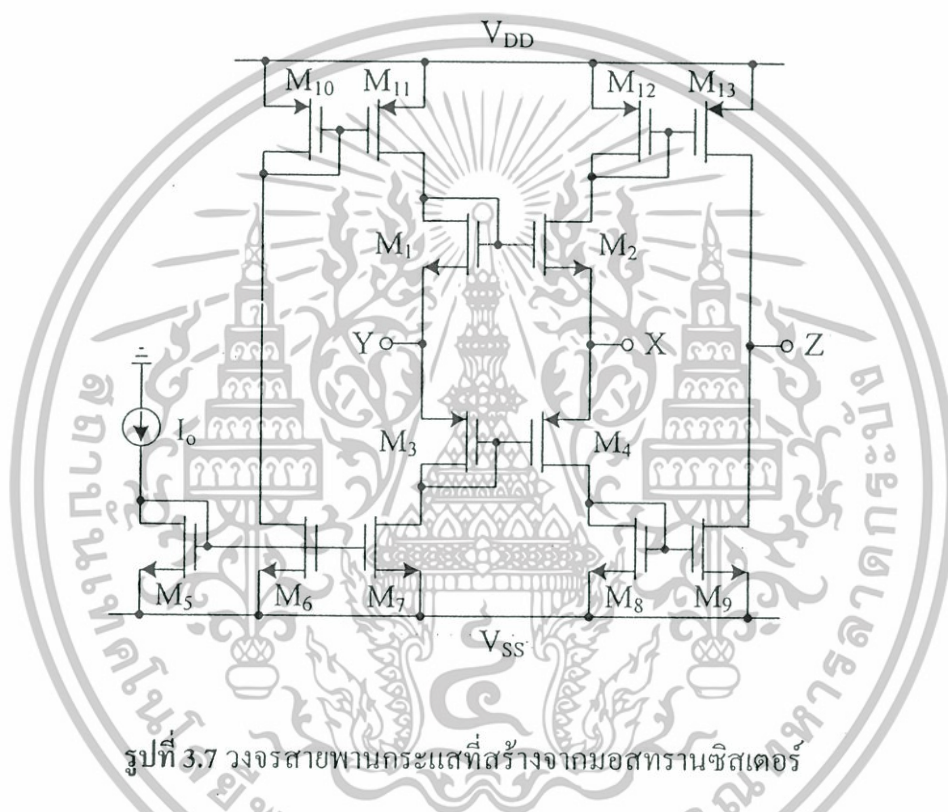
วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุงจะเป็นวงจรที่มีเสถียรภาพทางด้านการ สะท้อนกระแสดีกว่าวงจรสะท้อนกระแสแบบ Wilson ธรรมดา แต่คุณสมบัติต่างๆ เช่น ความสัมพันธ์ระหว่างอินพุตและเอาต์พุตสามารถหาได้เหมือนสมการที่ (3.5) ค่าความต้านทาน ทางเอาต์พุตสามารถหาได้เหมือนสมการ (3.6)

3.3 วงจรสายพานกระแส

วงจรสายพานกระแส (Current conveyor) ได้ถูกพัฒนาและนำเสนอขึ้นในปี 1969 โดย K. C. Smith และ A. Sedra [20] ได้เป็นผู้กำเนิดแนวคิดวงจรขึ้นใหม่ที่เรียกว่า วงจรสายพานกระแสยุคที่ หนึ่ง (First-Generation Current Conveyor) หรือมีชื่อย่อว่า CCI ต่อมาในปี 1970 K. C Smith และ A. Sedra [21] ได้นำเสนอวงจรสายพานกระแสยุคที่สอง (Second-Generation Current Conveyor) หรือ CCII โดยมีการนำเสนอการประยุกต์ใช้งาน จึงทำให้ CCII ได้รับความนิยมมาจนถึงปัจจุบัน วงจรสายพานกระแสยุคที่สองสามารถสร้างได้ด้วยไบโพลาร์ทรานซิสเตอร์และสามารถแทน ไบโพลาร์ทรานซิสเตอร์ด้วยมอสทรานซิสเตอร์



รูปที่ 3.5 สัญลักษณ์วงจร CCII



รูปที่ 3.7 วงจรสายพานกระแสที่สร้างจากมอสทรานซิสเตอร์

สัญลักษณ์ของวงจร CCII สามารถแสดงได้ดังรูปที่ 3.5 จากรูปที่ 3.5 เมื่อพิจารณาวงจร CCII จะเห็นว่าวงจรมีทั้งหมด 3 ขั้ว คือ X, Y และ Z โดยความสัมพันธ์ของกระแสและแรงดันของขั้วทั้งสามสามารถแสดงอยู่ในรูปเมตริกซ์ได้ดังนี้

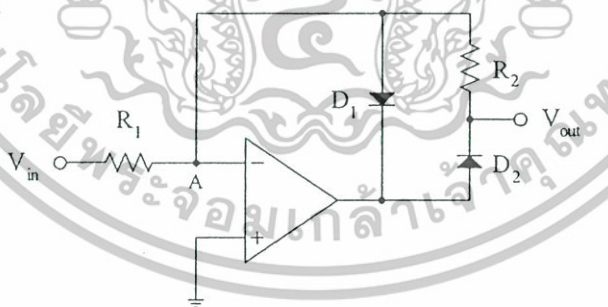
$$\begin{pmatrix} I_Y \\ V_X \\ I_Z \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{pmatrix} \begin{pmatrix} V_Y \\ I_X \\ V_Z \end{pmatrix} \quad (3.7)$$

จากสมการที่ (3.7) จะเห็นว่าขั้ว Y จะมีความต้านทานทางเอาต์พุตสูงเข้าใกล้อนันต์ แรงดันที่ขั้ว X มีค่าเท่ากับแรงดันที่ป้อนเข้าขั้ว Y ในขณะที่ขั้ว X มีความต้านทานเข้าใกล้ศูนย์ กระแสที่ป้อนเข้าที่อินพุต X จะถูกขนถ่ายไปเป็นกระแสเอาต์พุตที่ขั้ว Z

วงจรสายพานกระแสที่สร้างจากมอสทรานซิสเตอร์แสดงได้ดังรูปที่ 3.7 จากวงจรถะเห็นว่าวงจรมีโครงสร้างเหมือนวงจรถ้าสร้างจากไปโพลาร์ คุณสมบัติของวงจรถ้าแสดงได้ดังสมการที่ (3.7) สำหรับวงจรสายพานกระแสที่สร้างจากมอสทรานซิสเตอร์จะมีค่าความต้านทานที่ขั้ว X เหมือนกับวงจรสายพานกระแสที่สร้างจากไปโพลาร์ทรานซิสเตอร์ แต่ไม่ค่อยนิยมนำมาใช้ประโยชน์มากนัก เนื่องจากค่าความต้านทานที่ได้ต่อกระแสไบอัสมีความสัมพันธ์แบบเป็นไม่เชิงเส้น

3.4 วงจรเรียงกระแสที่มีความเที่ยงตรง

โดยทั่วไปการเรียงกระแสที่สัญญาณขนาดใหญ่จะใช้อุปกรณ์ไดโอดแต่สำหรับที่สัญญาณขนาดเล็กไดโอดไม่สามารถเรียงกระแสได้เพราะว่าที่ตัวไดโอดจะมีค่าแรงดันแทอร์ชโฮล (V_T) ซึ่งไดโอดจะทำงานได้ต้องมีแรงดันไบอัสสูงกว่าค่า V_T นี้ ซึ่งค่า V_T จะประมาณ 0.6 โวลต์สำหรับไดโอดที่สร้างจากซิลิกอนหรือประมาณ 0.3 โวลต์ สำหรับไดโอดที่สร้างจากเยอรมานีอัม ดังนั้นจึงมีการคิดค้นวงจรรเรียงกระแสที่มีความเที่ยงตรงขึ้นเพื่อให้สามารถเรียงกระแสที่สัญญาณต่ำกว่าค่า V_T ของไดโอดได้ ที่ผ่านมามีการนำออปแอมป์และไดโอดมาสร้างเป็นวงจรรเรียงกระแสทั้งแบบครึ่งคลื่นและแบบเต็มคลื่นซึ่งแสดงได้ดังรูปที่ 3.10 และ 3.11 นอกจากนี้ยังนำเอาวงจรสายพานกระแสและไดโอดมาสร้างเป็นวงจรรเรียงกระแสทั้งแบบครึ่งคลื่นและแบบเต็มคลื่นแสดงในรูปที่ 3.12 และ 3.13



รูปที่ 3.10 วงจรรเรียงกระแสครึ่งคลื่นแบบเที่ยงตรงด้วยออปแอมป์

วงจรรเรียงกระแสครึ่งคลื่นที่มีความเที่ยงตรงใช้ออปแอมป์ ไดโอด และตัวต้านทานแสดงในรูปที่ 3.10 มีการทำงานอธิบายได้ดังนี้ เมื่อแรงดันอินพุต V_{in} ซึ่บวกถูกป้อนเข้ามา แรงดันเอาต์พุตของออปแอมป์จะมีค่าเป็นลบ ซึ่งมีผลทำให้ D_1 นำกระแส ส่วน D_2 ไม่นำกระแส แรงดันเอาต์พุตของออปแอมป์มีค่าประมาณเท่ากับแรงดันที่โหนด A ซึ่งโหนด A ในขณะนั้นมีค่าประมาณ 0 โวลต์

(กราวด์เสมือน) เมื่อแรงดันอินพุต V_{in} มีค่าเป็นลบ แรงดันเอาต์พุตของออปแอมป์จะมีค่าเป็นบวก ในกรณีนี้ D_2 จะนำกระแส ส่วน D_1 จะไม่นำกระแส จะทำให้มีกระแสไหลจากเอาต์พุตของออปแอมป์ผ่าน D_2 และ R_2 สู่นอต A แรงดันเอาต์พุตจะมีค่าเท่ากับแรงดันที่ตกคร่อม R_2 จากการทำงานที่กล่าวมาสามารถแสดงเป็นสมการได้ว่า

$$\begin{aligned} V_{in} > 0; V_{out} &= 0 \\ V_{in} < 0; V_{out} &= -V_{in} \frac{R_2}{R_1} \end{aligned} \quad (3.8)$$

รูปที่ 3.10 แสดงวงจรเรียงกระแสเต็มคลื่นที่มีความเที่ยงตรงโดยใช้ออปแอมป์สองตัว ไคโอดสองตัว ตัวต้านทานห้าตัว การทำงานของวงจรอธิบายได้ดังนี้ ในกรณีที่อินพุตเป็นบวก แรงดันที่เอาต์พุตของออปแอมป์ตัวที่ 1 จะเป็นลบเพราะออปแอมป์ตัวที่ 1 คือเป็นแบบวงจรขยายกลับขั้ว (Inverting amplifier) ทำให้ไคโอด D_2 นำกระแส ส่วนไคโอด D_1 จะไม่นำกระแส กระแสจะไหลจากโนด A ผ่าน R_2 และ D_2 สู่อเอาต์พุตของออปแอมป์ตัวที่ 1 กำเนิดสัญญาณสัญญาณตกคร่อม R_2 สัญญาณที่ตกคร่อม R_2 คือแรงดันที่ตกคร่อมที่จุด B และเป็นอินพุตให้กับออปแอมป์ตัวที่ 2 เมื่อกำหนด $R_2=R_1$ แรงดันที่จุด B กำหนดได้คือ

$$V_B = -\frac{R_2}{R_1} V_{in} = -V_{in} \quad (3.9)$$

แรงดันอินพุตซึ่งบวกจะไหลผ่าน R_1 กลายเป็นอินพุตให้กับออปแอมป์ตัวที่ 2 โดยออปแอมป์ตัวที่ 2 จะทำหน้าที่เป็นวงจรรวมสัญญาณ โดยแรงดันเอาต์พุตสามารถแสดงได้คือ

$$V_{out} = -\frac{R_5}{R_3} (-V_{in}) - \frac{R_5}{R_4} (V_{in}) \quad (3.10)$$

เมื่อกำหนด $R_1=R_2=R_4=R_5$ และ $R_3=0.5R_1$ แรงดันเอาต์พุตจะเท่ากับแรงดันอินพุตคือ

$$V_B = -V_{in} \quad (3.11)$$

ในกรณีที่อินพุตเป็นแรงดันซีกลบ แรงดันที่เอาต์พุตของออปแอมป์ตัวที่ 1 จะเป็นบวก แรงดันนี้จะทำให้ D_1 นำกระแสและ D_2 จะไม่นำกระแส ดังนั้นที่เอาต์พุตของออปแอมป์ตัวที่ 1 จะเป็นศูนย์ ซึ่งก็

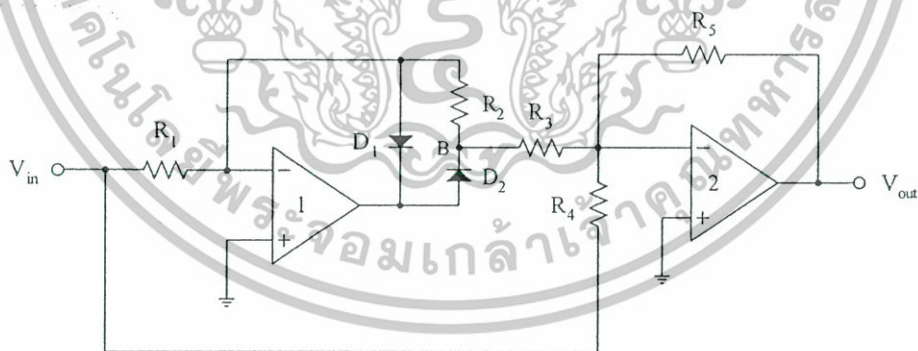
คือจะไม่มีแรงดันป้อนให้กับอินพุทของออปแอมป์ตัวที่ 2 แต่จะมีสัญญาณซีกลบจากอินพุทถูกป้อนผ่าน R_4 ถ้ากำหนดให้ $R_5=R_4$ จะได้สมการคือ

$$V_{out} = -\frac{R_5}{R_3} V_{in} = V_{in} \quad (3.12)$$

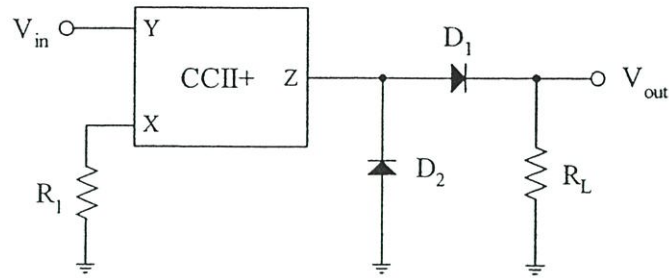
ดังนั้นแรงดันเอาต์พุทของวงจรสามารถเขียนได้ว่า

$$\begin{aligned} V_{in} > 0; & V_{out} = V_{in} \\ V_{in} < 0; & V_{out} = -V_{in} \end{aligned} \quad (3.13)$$

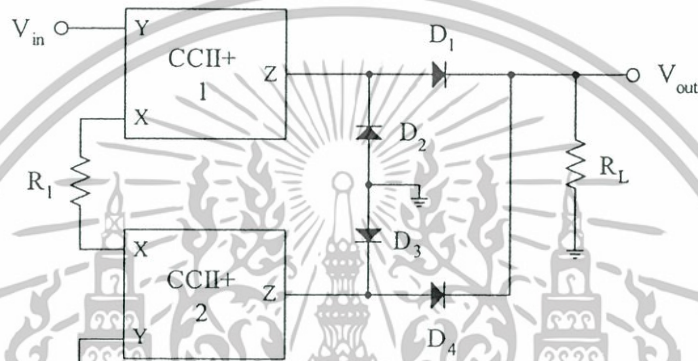
ซึ่งแสดงได้ว่าเอาต์พุทของวงจรเป็นแรงดันแบบเต็มคลื่น จากวงจรเรียงกระแสในรูปที่ 3.10 และ 3.11 จะเห็นว่าวงจรใช้ออปแอมป์และไดโอดมาสร้างเป็นวงจรเรียงกระแสที่มีความเที่ยงตรง แต่ข้อเสียของออปแอมป์คือค่า GBW (Gain Bandwidth Product) ของออปแอมป์จะเป็นพารามิเตอร์ที่จำกัดการทำงานที่ความถี่สูงของวงจรและปัญหาที่เกิดจากช่วงนำกระแสและหยุดนำกระแสของไดโอดและออปแอมป์ซึ่งทำให้เกิดความผิดพลาดที่ช่วงการเปลี่ยนแปลงช่วงเข้าใกล้ศูนย์ (Zero crossing) ดังนั้นจึงได้มีการนำเสนอวงจรเรียงกระแสโดยใช้วงจรสายพานกระแสและไดโอดดังแสดงในรูปที่ 3.12 และ 3.13



รูปที่ 3.11 วงจรเรียงกระแสเต็มคลื่นแบบเที่ยงตรงด้วยออปแอมป์



รูปที่ 3.12 วงจรเรียงกระแสครึ่งคลื่นแบบเที่ยงตรงใช้วงจรสายพานกระแส



รูปที่ 3.13 วงจรเรียงกระแสเต็มคลื่นแบบเที่ยงตรงด้วยวงจรสายพานกระแส

รูปที่ 3.12 แสดงวงจรเรียงกระแสครึ่งคลื่นแบบเที่ยงตรงโดยใช้วงจรสายพานกระแสหนึ่งตัว ไดโอดสองตัวและตัวต้านทานสองตัว ตัวต้านทาน R_1 ทำงานร่วมกับวงจรสายพานกระแสเป็น วงจรแปลงแรงดันเป็นกระแส (V-I converter) จากคุณสมบัติของวงจรสายพานกระแสแรงดันที่ขั้ว X จะเท่ากับแรงดันที่ขั้ว Y และกระแสที่ขั้ว Z จะเท่ากับกระแสที่ขั้ว X ดังนั้นจะสามารถเขียน สมการได้ว่า

$$I_z = \frac{V_{in}}{R_1} \quad (3.14)$$

เมื่ออินพุตมีแรงดันซีกบวกป้อนเข้ามา D_1 จะนำกระแสส่วน D_2 จะหยุดนำกระแส กระแสเอาท์พุท ของวงจรสายพานกระแสจะไหลผ่าน D_1 และ R_L ทำให้มีแรงดันซีกบวกปรากฏตกคร่อมที่ R_L และ เมื่ออินพุตเป็นแรงดันซีกลบ D_1 จะหยุดนำกระแสในขณะที่ D_2 นำกระแส ดังนั้นแรงดันซีกลบจะ ไหลผ่าน D_2 กราวด์ ดังนั้นจึงไม่มีแรงดันซีกลบไปปรากฏตกคร่อม R_L ถ้ากำหนด $R_L=R_1$ จากทั้ง สองกรณีสามารถเขียนสมการได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{in} > 0; V_{out} = I_{out} R_L = \frac{V_{in}}{R_1} R_L = V_{in} \quad (3.15)$$

$$V_{in} < 0; V_{out} = 0$$

วงจรเรียงกระแสแบบเต็มตรงสามารถสร้างได้โดยใช้วงจรสายพานกระแส 2 วงจร ไดโอด 4 ตัว และตัวต้านทาน 2 ตัว ได้นำเสนอไว้ใน [5] ดังแสดงในรูปที่ 3.13 วงจรสายพานกระแสและตัวต้านทาน R_L จะเป็นเป็นตัวแทนแรงดันกระแส สัญญาณที่เอาต์พุตของวงจรสายพานกระแสจะมีเฟสแตกต่างกัน 180° ซึ่งความสัมพันธ์สามารถเขียนได้ว่า

$$V_{in} > 0; I_z = \frac{V_{in}}{R_1} \quad (3.16)$$

$$V_{in} < 0; I_z = -\frac{V_{in}}{R_1}$$

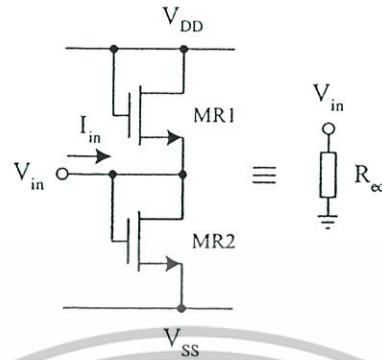
การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อสัญญาณอินพุตซีกบวกถูกป้อนเข้ามาทำให้ D_1 และ D_3 นำกระแส ส่วน D_2 และ D_4 จะหยุดนำกระแส กระแสเอาต์พุตของวงจรสายพานกระแสตัวที่ 1 (CCH1) จะไหลผ่าน D_1 และ R_L ผลก็คือมีแรงดันซีกบวกไปตกคร่อม R_L ในขณะที่กระแสเอาต์พุตของวงจรสายพานกระแสตัวที่ 2 (CCH2) จะไหลผ่าน D_3 ลงกราวด์ ต่อมาเมื่ออินพุตเป็นแรงดันซีกบวก ทำให้ D_1 และ D_3 ไม่นำกระแสในขณะที่ D_2 และ D_4 นำกระแสแทน เป็นผลทำให้กระแสเอาต์พุตของ CCH2 ไหลผ่าน D_2 และ R_L ในกรณีนี้จะมีแรงดันซีกบวกไปปรากฏที่ R_L อีกครั้ง ส่วนกระแสที่เอาต์พุต CCH1 จะไหลผ่าน D_2 ลงกราวด์ ตัวต้านทาน R_L จะทำหน้าที่แปลงกระแสเป็นแรงดัน ถ้ากำหนดให้ $R_L = R_1$ จะสามารถเขียนสมการได้คือ

$$V_{in} > 0; I_{out} R_L = \frac{V_{in}}{R_1} R_L = V_{in} \quad (3.17)$$

$$V_{in} < 0; I_{out} R_L = -\frac{V_{in}}{R_1} R_L = -V_{in}$$

ดังนั้นสมการที่ (3.22) จึงแสดงคุณสมบัติของวงจรเรียงกระแสแบบเต็มคลื่นของวงจรในรูปที่ 3.10

3.5 วงจรตัวต้านทานสร้างจากมอสทรานซิสเตอร์



รูปที่ 3.15 ตัวต้านทานสร้างจากมอสทรานซิสเตอร์

ตัวต้านทานสามารถสร้างได้โดยใช้มอสทรานซิสเตอร์ชนิดเอ็นแชนแนลสองตัวดังแสดงดังรูปที่ 3.15 [34] การทำงานของวงจรสามารถอธิบายได้ดังนี้ สมมติว่ามอสทรานซิสเตอร์ MR1 และ MR2 มีคุณสมบัติเหมือนกันทุกประการ ดังนั้นเมื่อกระแสอินพุตถูกป้อนเข้าที่โนดอินพุท กระแสที่ไหลผ่านมอสทรานซิสเตอร์ MR1 และ MR2 จะสามารถแสดงได้คือ

$$I_{D(MR1)} = \frac{K}{2} (V_{DD} - V_{in} - V_T)^2 \quad (3.18)$$

และ

$$I_{D(MR2)} = \frac{K}{2} (V_{in} - V_{SS} - V_T)^2 \quad (3.19)$$

โดย $K = \mu_0 C_{ox} (W/L)$ จากรูปที่ 3.15 เมื่อ $I_{D(MR1)} + I_{in} = I_{D(MR2)}$ ดังนั้นเมื่อใช้ความสัมพันธ์ของ $(a+b)^2 - (a-b)^2 = 4ab$ และทฤษฎี KCL ของเคอร์ชอฟฟ์จะได้สมการว่า

$$V_{in} = \frac{I_{D(MR2)} - I_{D(MR1)}}{2K(V_{DD} - V_T)} = \frac{I_{in}}{2K(V_{DD} - V_T)} \quad (3.20)$$

เมื่อกำหนดให้ $V_{DD} = -V_{SS}$ ดังนั้นค่าความต้านทานจะสามารถแสดงได้คือ [37]

$$R_{eq} = \frac{1}{2K(V_{DD} - V_T)} \quad (3.21)$$

จากสมการที่ (3.27) จะเห็นว่าค่าความต้านทานสามารถกำหนดได้จากค่า W/L ผ่านค่า K และสามารถปรับค่าได้จากการเปลี่ยนค่าแหล่งจ่ายแรงดัน V_{DD} ($V_{DD} = -V_{SS}$)

3.6 บทสรุป

เนื้อหาในบทนี้จะกล่าวถึงวงจรร้อยที่นำมาใช้สร้างวงจรมิเป็นเชิงเส้นและหลักการของวงจรรากที่สอง วงจรเรียงกระแสที่มีความเที่ยงตรงและวงจรวกทางเวกเตอร์ โดยจะกล่าวถึงการทำงานของวงจระสะท้อนกระแสแบบต่างๆ วงจรมิเป็นเชิงเส้นที่ได้เคยนำเสนอไว้ในวารสารต่างๆ อันได้แก่ วงจรรากที่สองที่ใช้โอปแอมป์และวงจรถูณ วงจรรากที่สองที่ใช้วงจรสายพานกระแส วงจรเรียงกระแสที่มีความเที่ยงตรงที่ใช้โอปแอมป์และวงจรวกทางเวกเตอร์



บทที่ 4

วงจรเรียงกระแสแบบครึ่งคลื่นเอาต์พุทคู่

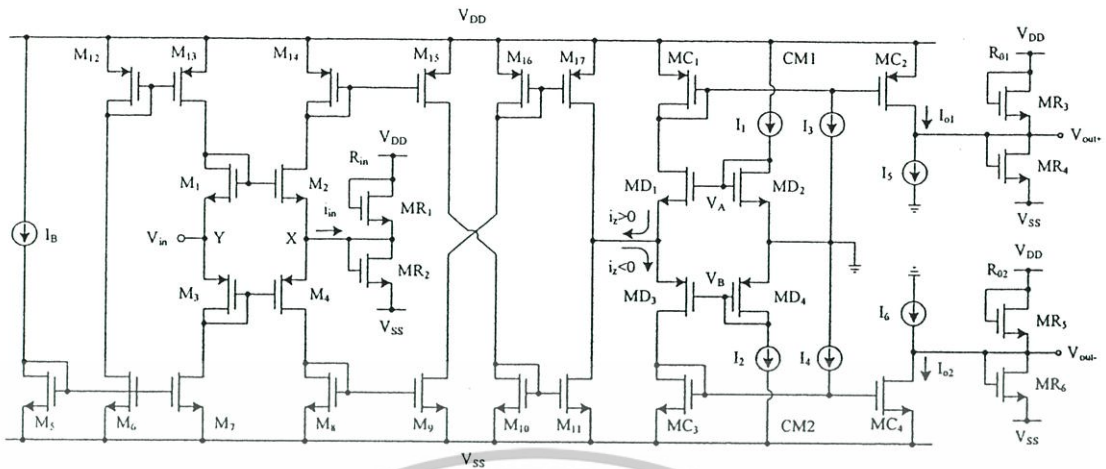
4.1 บทนำ

ในบทนี้แนะนำวงจรเรียงกระแสครึ่งคลื่นที่ให้สัญญาณเอาต์พุทเป็นสัญญาณครึ่งคลื่นแบบบวกและครึ่งคลื่นแบบลบได้ในวงจรเดียว วงจรที่แนะนำประกอบไปด้วยตัวแปลงแรงดันเป็นกระแส วงจรเรียงกระแสแบบที่เชิงตรงทำงานในคลาส AB ที่ช่วยให้วงจรสามารถทำงานที่ความถี่สูงได้ดีและตัวแปลงกระแสเป็นแรงดันโดยใช้ตัวต้านทาน เมื่อป้อนสัญญาณแรงดันเข้าสู่อินพุทของวงจรเรียงกระแส สัญญาณแรงดันอินพุทจะถูกเปลี่ยนเป็นสัญญาณกระแสด้วยวงจรแปลงแรงดันเป็นกระแส ตัวเรียงกระแสโหมคกระแสแบบครึ่งคลื่นทำงานในคลาส AB จะทำการเรียงกระแสเหล่านั้น ผลก็คือจะได้สัญญาณกระแสครึ่งคลื่นแบบบวกและแบบลบ สัญญาณกระแสครึ่งคลื่นแบบบวกและแบบลบจะถูกเปลี่ยนเป็นแรงดันเอาต์พุทด้วยวงจรแปลงกระแสเป็นแรงดัน วงจรที่แนะนำจะถูกจำลองการทำงานด้วยโปรแกรม PSPICE วงจรเรียงกระแสแบบครึ่งคลื่นที่แนะนำมีคุณสมบัติที่โดดเด่นดังนี้

- 1) วงจรเรียงกระแสครึ่งคลื่นที่แนะนำใช้โมสทรานซิสเตอร์ 31 ตัว เมื่อเปรียบเทียบกับวงจรที่เคยแนะนำในวารสารต่างๆ วงจรที่แนะนำจะเหมาะกับการนำไปสร้างเป็นวงจรรวมมากกว่าวงจรที่เคยแนะนำมา
- 2) วงจรเรียงกระแสที่แนะนำใช้แหล่งจ่าย $\pm 1.2V$ และเมื่อจำลองการทำงานด้วยพารามิเตอร์ ซิมอส $0.5\mu m$ สามารถทำงานได้ดีที่ความถี่ 250MHz
- 3) วงจรเรียงกระแสที่แนะนำมีเสถียรภาพทางอุณหภูมิดีมาก

4.2 วงจรเรียงกระแสแบบครึ่งคลื่นที่แนะนำ

วงจรเรียงกระแสครึ่งคลื่นที่แนะนำสร้างจากซิมอสมีส่วนประกอบ 3 ส่วนด้วยกันคือ วงจรแปลงแรงดันเป็นกระแส วงจรเรียงกระแสแบบโหมคกระแสและตัวแปลงกระแสเป็นแรงดัน วงจรเรียงกระแสครึ่งคลื่นที่แนะนำแสดงได้ดังรูปที่ 4.1 และวงจรที่สมบูรณ์สามารถแสดงได้ดังรูปที่ 4.2 วงจรแปลงแรงดันเป็นกระแสประกอบด้วยวงจรถายพานกระแสแบบลบ (CCII-) ประกอบด้วย M_1 - M_{13} และตัวต้านทาน R_{in} ที่สร้างจาก MR_1 - MR_2 วงจรเรียงกระแสแบบที่เชิงตรงใช้วงจรเรียงกระแสแบบที่เชิงตรงที่ทำงานในคลาส AB ประกอบด้วย MD_1 ถึง MD_4 และแหล่งจ่ายกระแส I_1 - I_4 ส่วนตัวแปลงกระแสเป็นแรงดันใช้ตัวต้านทาน R_{o1} (MR_3 - MR_4) ตัวต้านทาน R_{o2} (MR_5 - MR_6) และแหล่งจ่ายกระแส I_5 และ I_6 การทำงานของวงจรเรียงกระแสครึ่งคลื่นอธิบายได้ดังนี้ เมื่อแรงดัน



รูปที่ 4.2 วงจรเรียงกระแสแบบครึ่งคลื่นเอาต์พุตคู่ที่สมบูรณ์

การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อ $i_2 > 0$ กระแสนี้จะถูกป้อนผ่าน MD_1 และถูกสะท้อนโดย $CM1$ เป็นกระแสเอาต์พุตของ $CM1$ คือ $I_{o1} (+i_2)$ ต่อมาเมื่อ $i_2 < 0$ กระแสนี้จะถูกป้อนผ่าน MD_3 และถูกสะท้อนโดย $CM2$ เป็นกระแสเอาต์พุตของ $CM2$ คือ $I_{o2} (+i_2)$ ความสัมพันธ์ระหว่างกระแสอินพุต i_2 และกระแส I_{o1} และกระแส I_{o2} สามารถแสดงได้คือ

$$i > 0 ; I_{o1} = +i_2 + I_3 + I_1 \quad (4.3)$$

$$i < 0 ; I_{o2} = +i_2 + I_4 + I_2 \quad (4.4)$$

เมื่อแหล่งจ่ายกระแสคงที่ I_5 และ I_6 ชดเชยกระแสคงที่ $I_3 + I_1$ และ $I_4 + I_2$ ตามลำดับ ดังนั้นสมการที่ (4.3) และ (4.4) สามารถเขียนใหม่ได้คือ

$$i > 0 ; I_{o1} = +i_2 \quad (4.5)$$

$$i < 0 ; I_{o2} = -i_2 \quad (4.6)$$

เมื่อใช้สมการที่ (4.2) และกำหนดให้ $R_{o1} = R_{o2} = R_{in}$ ดังนั้นจะสามารถเขียนความสัมพันธ์ระหว่าง V_{in} และ V_{out+} ได้คือ

$$V_{in} > 0 ; V_{out+} = V_{in} \quad (4.7)$$

$$V_{in} < 0 ; V_{out+} = 0 \quad (4.8)$$

ความสัมพันธ์ระหว่าง V_{in} และ V_{out-} คือ

$$V_{in} > 0 ; V_{out-} = 0 \quad (4.9)$$

$$V_{in} < 0 ; V_{out-} = V_{in} \quad (4.10)$$

จากสมการที่ (4.7) ถึง (4.10) สามารถแสดงได้ว่าวงจรที่นำเสนอสามารถให้สัญญาณเอาต์พุตเป็นสัญญาณครึ่งคลื่นแบบบวกและสัญญาณครึ่งคลื่นแบบลบได้ในวงจรเดียวกัน

4.3 การวิเคราะห์คุณสมบัติวงจรเรียงกระแสที่นำเสนอ

ที่ผ่านมารสร้างสมมติว่าวงจร CCII- และวงจรสะท้อนกระแสมีคุณสมบัติเป็นอุดมคติ แต่ในทางปฏิบัติแล้วจะมีค่าที่ไม่เป็นอุดมคติรวมอยู่ในวงจร CCII- และวงจรสะท้อนกระแสด้วยเสมอ ถ้า ϵ_v และ ϵ_i ($|\epsilon_v| \ll 1$ และ $|\epsilon_i| \ll 1$) แสดงค่าแรงดันและกระแส Tracking errors ของวงจรสายพานกระแส ตามลำดับ ดังนั้นคุณสมบัติของขั้วต่างๆ ของวงจรสายพานกระแสเมื่อรวมค่าที่ไม่เป็นอุดมคติไว้จะสามารถกำหนดความสัมพันธ์ได้คือ $V_x = \beta V_y$, $I_z = \alpha I_x$ และ $I_y = 0$ เมื่อ $\beta = 1 - \epsilon_v$ และ $\alpha = 1 - \epsilon_i$ เมื่อ V_x , V_y และ V_z คือแรงดันที่ขั้ว X, Y และ Z ตามลำดับ ส่วน I_x , I_y และ I_z คือกระแสที่ขั้ว X, Y และ Z ตามลำดับ ดังนั้นกระแส i_z ของสมการที่ (4.2) สามารถเขียนใหม่ได้คือ

$$i_z = \frac{\alpha \beta V_{in}}{R_{in} + r_x} \quad (4.11)$$

เมื่อ r_x คือความต้านทานแฝงเมื่อมองจากขั้ว X ของวงจรสายพานกระแส

ถ้าสมมติว่าขาซอร์สและโครงสร้างของทรานซิสเตอร์ MC_1 และ MC_2 และ MC_3 และ MC_4 ถูกต่อเข้าด้วยกัน ดังนั้นการทำงานของมอสทรานซิสเตอร์ดังกล่าวจึงเป็นอิสระจากการเปลี่ยนแปลงของแรงดันเทรชโฮลอันเนื่องมาจากผลของโครงสร้าง (Body effect) ดังนั้นกระแสเดรนของวงจรสะท้อนกระแสทั้งสองวงจรสามารถแสดงได้คือ

$$I_{D(MC2)} = I_{D(MC1)}(1 - \epsilon_{M1}) \quad (4.12)$$

$$I_{D(MC4)} = I_{D(MC3)}(1 - \epsilon_{M2}) \quad (4.13)$$

โดยที่

$$\epsilon_{M1} = \lambda \left(\frac{1}{g_{m(MC1)}} - \frac{1}{g_{d(MC2)}} \right) \quad (4.14)$$

$$\varepsilon_{M2} = \lambda \left(\frac{1}{g_{m(MC3)}} - \frac{1}{g_{d(MC4)}} \right) \quad (4.15)$$

เมื่อ λ คือค่าแฟกเตอร์ channel-length modulation ส่วนค่า g_m และ g_d คือค่าทรานส์คอนดักแตนซ์ และค่าความนำที่ขาเดรนของมอสทรานซิสเตอร์ ตามลำดับ เมื่อรวมค่าที่ไม่เป็นอุดมคติของวงจรสายพานกระแสและสมการที่ (4.12) และ (4.13) อยู่ในการคำนวณด้วย สมการที่ (4.7) และ (4.10) สามารถเขียนใหม่ได้คือ

$$V_{in} > 0 ; V_{out+} = \frac{\alpha\beta V_{in} R_{o1}}{R_{in} + r_x} - 2\varepsilon_M R_{o1} \quad (4.16)$$

$$V_{in} < 0 ; V_{out-} = \frac{\alpha\beta V_{in} R_{o2}}{R_{in} + r_x} - 2\varepsilon_M R_{o2} \quad (4.17)$$

จากสมการที่ (4.16) และ (4.17) แสดงได้ว่าค่าที่ไม่เป็นอุดมคติของวงจรสายพานกระแสและวงจรสะท้อนกระแสจะลดทอนขนาดของสัญญาณเอาต์พุต แต่อย่างไรก็ตามปัญหานี้สามารถแก้ไขได้โดยเพิ่มค่าความต้านทานเอาต์พุต R_{o1} และ R_{o2}

4.4 การจำลองการทำงาน

เพื่อทดสอบแนวคิดที่นำเสนอ วงจรเรียงกระแสครึ่งคลื่นในรูปที่ 4.2 จะถูกจำลองการทำงานด้วยโปรแกรม PSPICE การจำลองการทำงานใช้พารามิเตอร์ $0.5\mu\text{m}$ ซิมอสของ MIETEC [14] ค่าอัตราส่วน W/L ของมอสทรานซิสเตอร์แสดงดังตารางที่ 4.1 ใช้แหล่งจ่ายแรงดัน ± 1.2 โวลต์ กระแสไบอัส $I_b = 50\mu\text{A}$ $I_1 = I_2 = 5\mu\text{A}$ และ $I_3 = I_4 = 100\mu\text{A}$

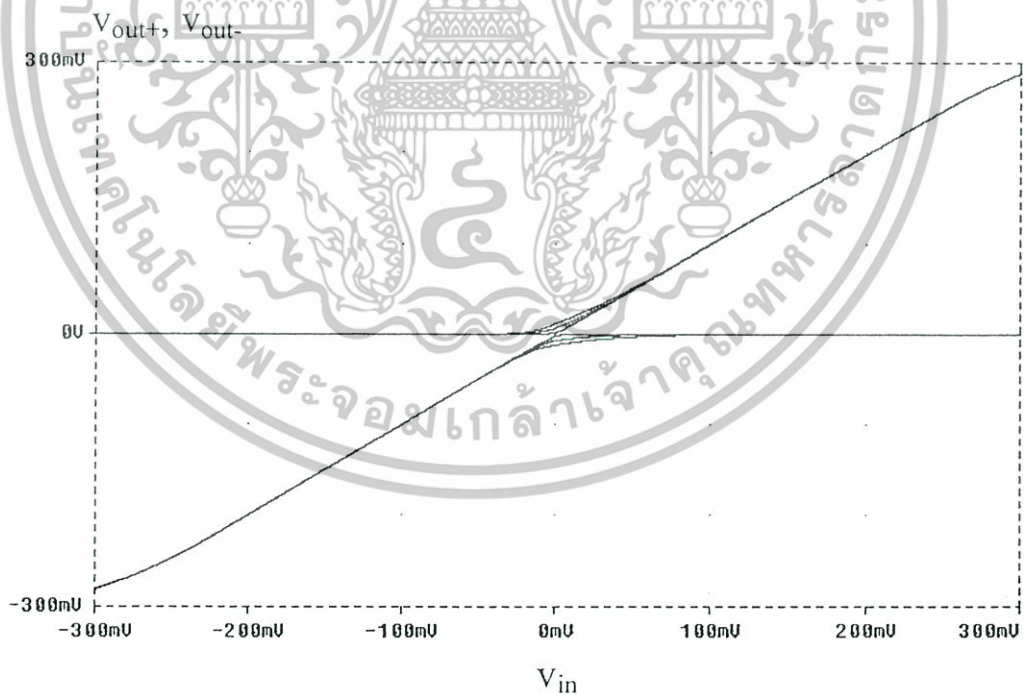
รูปที่ 4.3 แสดงคุณสมบัติทาง DC ของวงจรเรียงกระแสแบบครึ่งคลื่นที่กระแสไบอัส $I_1 = I_2$ เท่ากับ $1\mu\text{A}$ $3\mu\text{A}$ และ $5\mu\text{A}$ รูปที่ 4.4 แสดงภาพขยายของรูปที่ 4.3 จากรูปจะเห็นได้ว่าเมื่อลดค่ากระแสไบอัส $I_1 = I_2$ ลง ช่วงของ zero crossing จะลดลงตามไปด้วย ดังนั้นถ้าต้องการวงจรเรียงกระแสที่มีความแม่นยำสูง จะสามารถทำได้โดยใช้กระแส $I_1 = I_2$ ค่าน้อยๆ เมื่อป้อนสัญญาณไฟฟ้ากระแสสลับเข้าที่อินพุตของวงจรในรูปที่ 4.2 แล้ววัดช่วงความถี่ปฏิบัติงานพบว่าที่ -3dB วัดความถี่ได้ 350MHz ผลการจำลองแสดงได้ดังรูปที่ 4.5 รูปที่ 4.6 แสดงการทำงานของวงจรของวงจรเรียงกระแสครึ่งคลื่นที่สัญญาณอินพุตความถี่ 100MHz ขนาด $200\text{mV}_{\text{peak}}$ รูปที่ 4.7 แสดงการทำงานของวงจรของวงจรเรียงกระแสครึ่งคลื่นที่สัญญาณอินพุตความถี่ 300MHz ขนาด $200\text{mV}_{\text{peak}}$ และรูปที่ 4.8 แสดงการทำงานของวงจรของวงจรเรียงกระแสครึ่งคลื่นที่สัญญาณอินพุตความถี่ 500MHz ขนาด $200\text{mV}_{\text{peak}}$ ขนาดสัญญาณเอาต์พุตที่ความถี่ค่าต่างๆ แสดงได้ดังรูปที่ 4.9 จากรูปที่ 4.7 และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

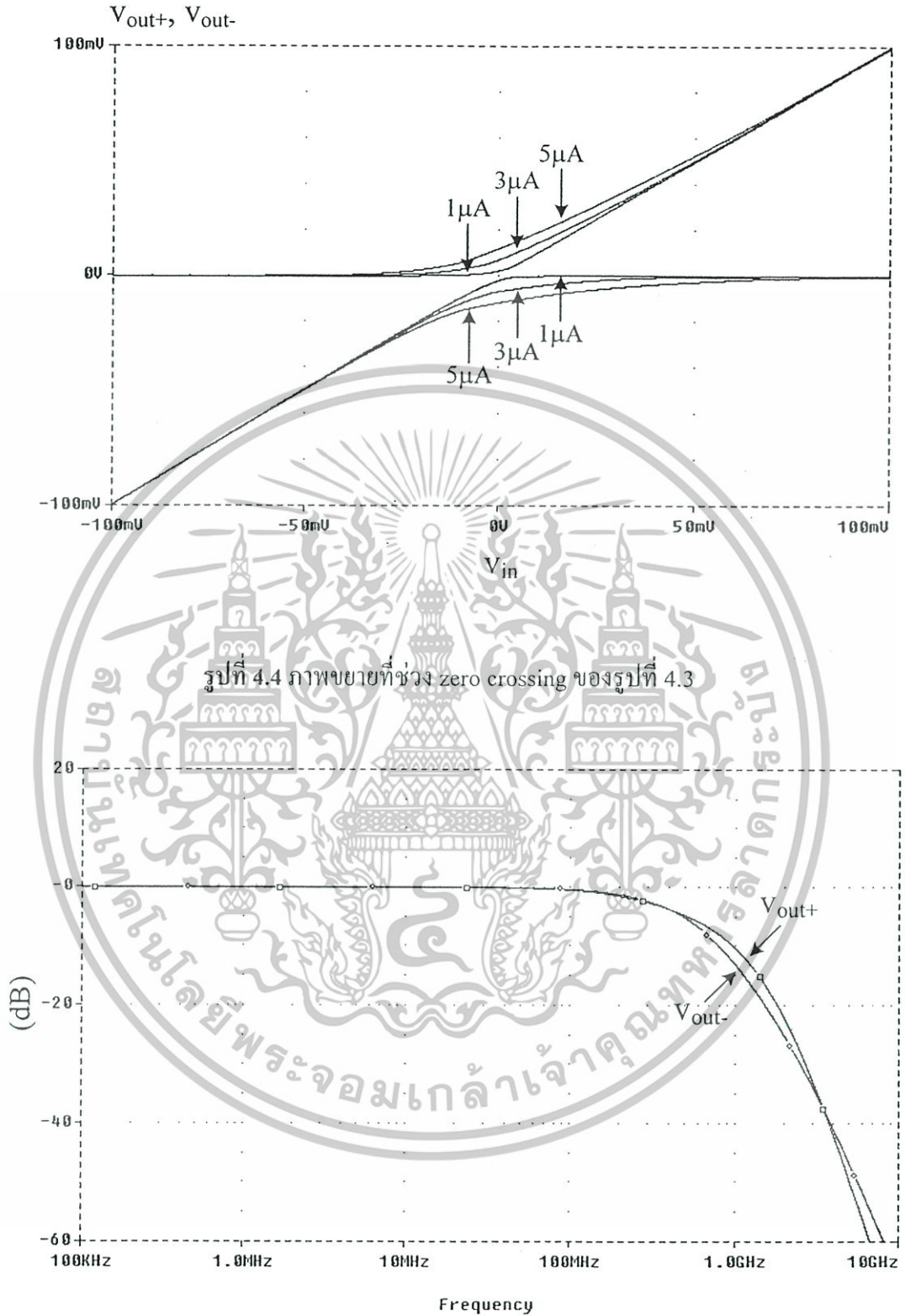
4.8 จะเห็นได้ว่าเมื่อความถี่เพิ่มสูงขึ้นขนาดของสัญญาณจะลดลง ขนาดของสัญญาณที่ลดทอนลงไปมีสาเหตุมาจากการลดลงของอัตราขยายเมื่อวงจรทำงานที่ความถี่สูง ปัญหานี้สามารถแก้ไขได้โดยเพิ่มค่าความต้านทานเอาต์พุต R_{o1} และ R_{o2} เพื่อยืนยันทฤษฎีดังกล่าวรูปที่ 4.10 แสดงสัญญาณเอาต์พุตที่ความถี่ 500MHz หลังจากเพิ่มค่า R_{o1} และ R_{o2} เพื่อปรับขนาดสัญญาณเอาต์พุตรูปที่ 4.11 และ 4.12 แสดงสัญญาณเอาต์พุตเมื่ออุณหภูมิเปลี่ยนแปลงจาก -75°C ถึง 75°C จากรูปจะเห็นว่าวงจรที่นำเสนอมีเสถียรภาพทางอุณหภูมิดีโดยไม่ต้องใช้วงจรชดเชยใดๆ

ตารางที่ 4.1 ค่า W/L ของมอสทรานซิสเตอร์ในรูปที่ 4.2

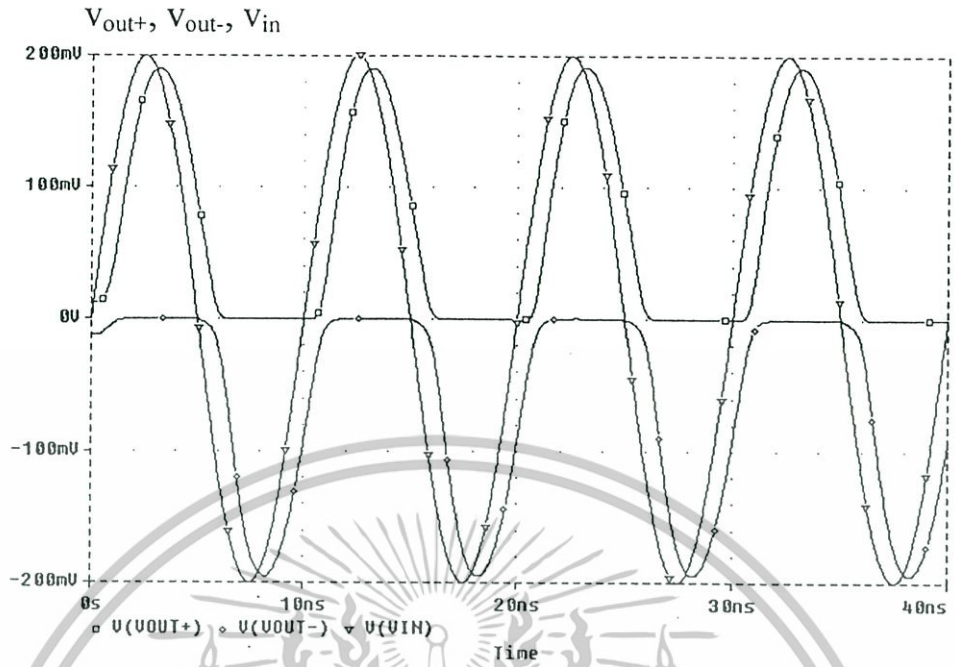
MOS Transistors	W/L ($\mu\text{m}/\mu\text{m}$)
M1-M2, M5-M11, MD1-MD2, MC3-MC4	10/0.6
M3-M4, M12-M17	40/0.6
MD3-MD4, MC1-MC2	30/0.6
MR1-MR2	4/0.6
MR3-MR6	2/0.6



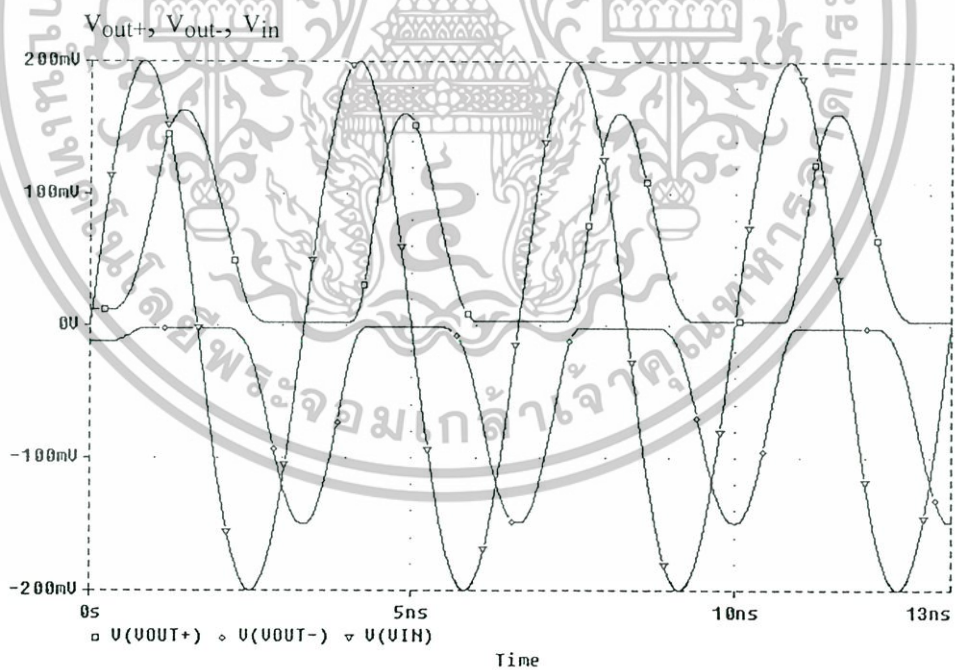
รูปที่ 4.3 คุณสมบัติทาง DC ของวงจรเรียงกระแส



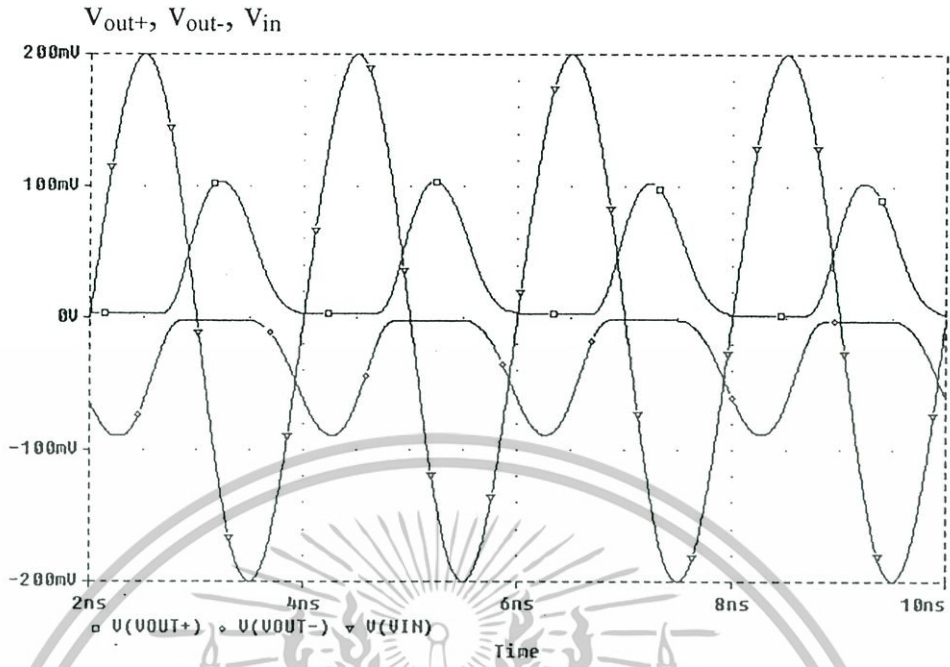
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



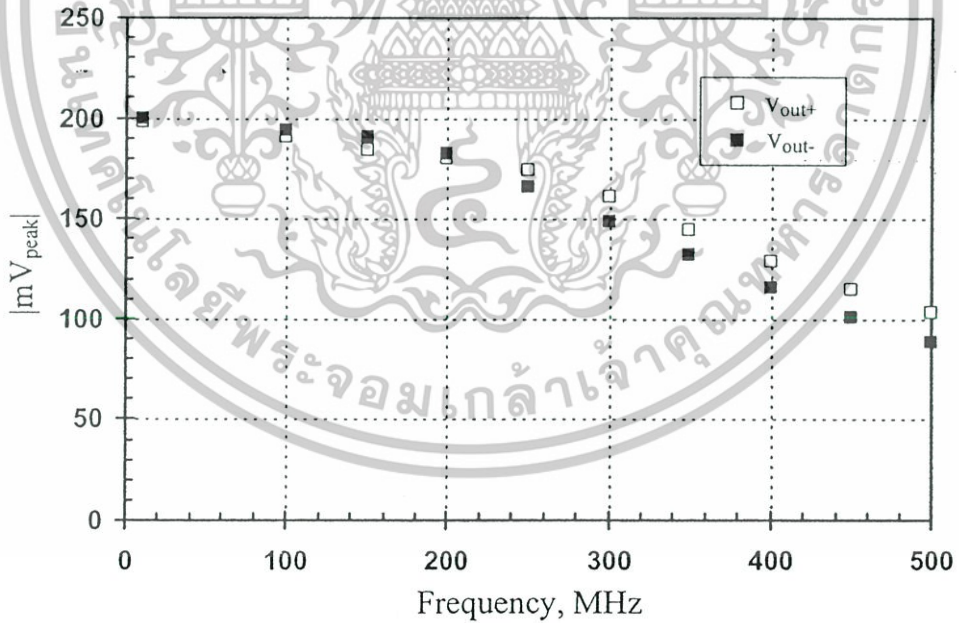
รูปที่ 4.6 การทำงานของวงจรเรียงกระแสที่อินพุตความถี่ 100MHz



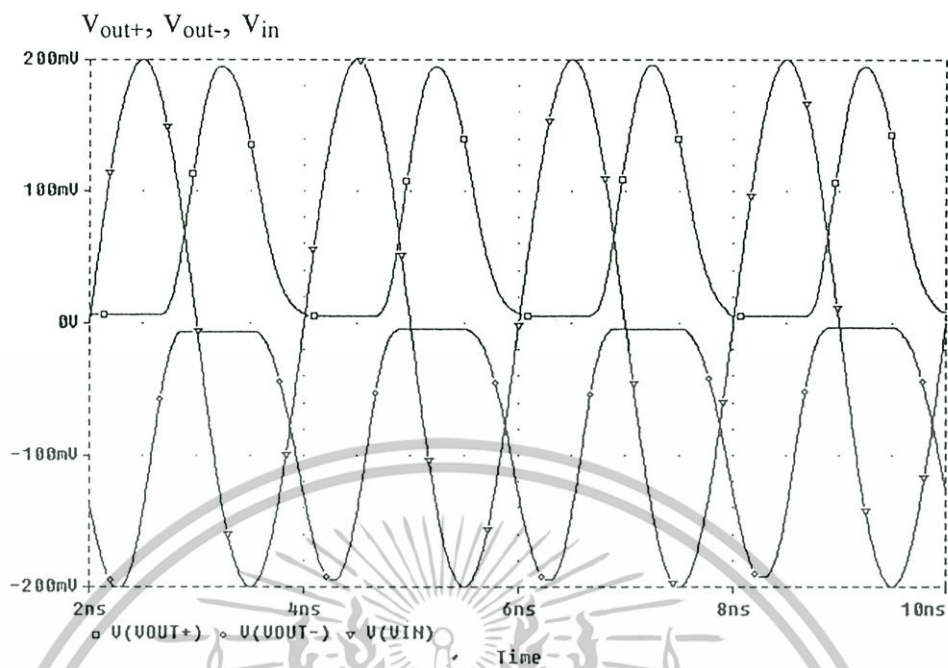
รูปที่ 4.7 การทำงานของวงจรเรียงกระแสที่อินพุตความถี่ 300MHz



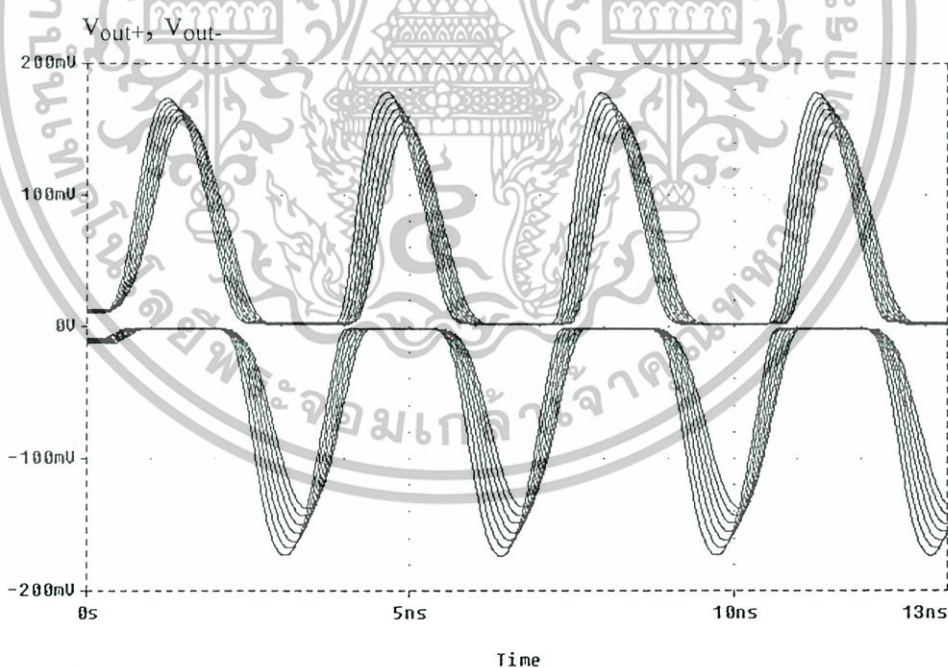
รูปที่ 4.8 การทำงานของวงจรเรียงกระแสที่อินพุตความถี่ 500MHz



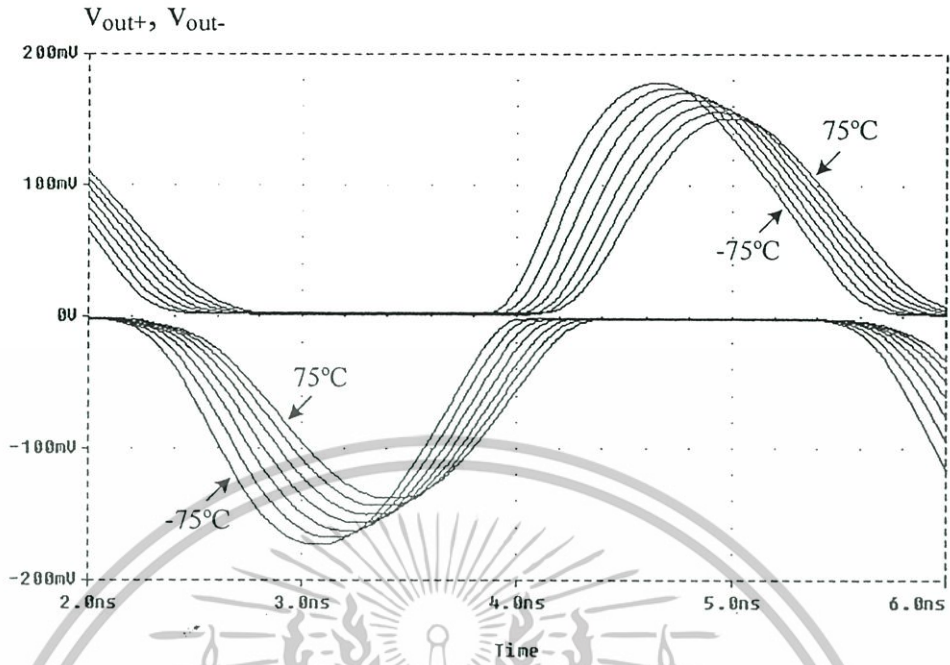
รูปที่ 4.9 ขนาดของสัญญาณเอาต์พุตที่ความถี่ค่าต่างๆ



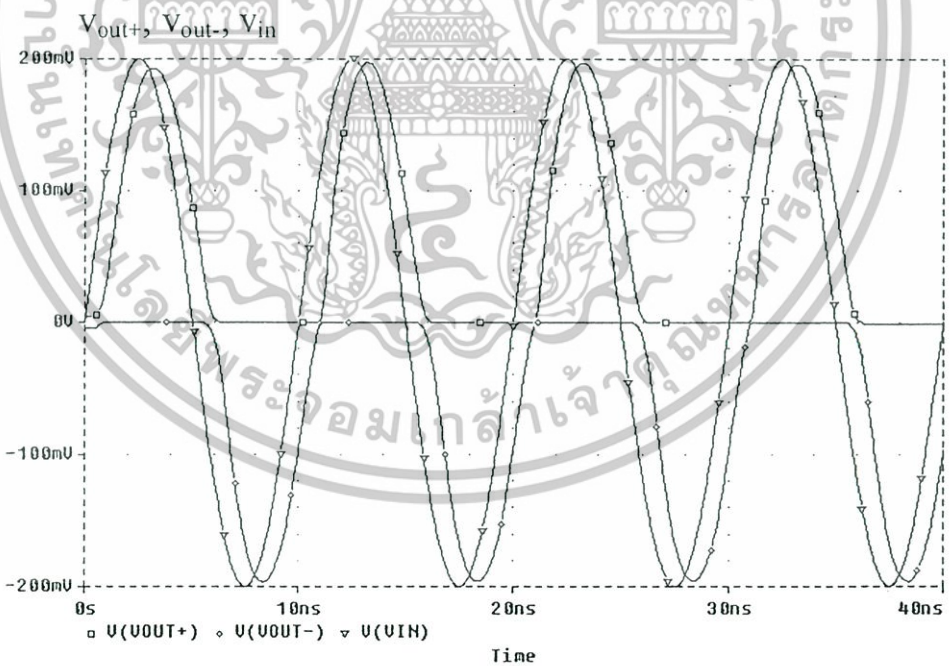
รูปที่ 4.10 การทำงานของวงจรเรียงกระแสที่อินพุตความถี่ 500MHz หลังจากเพิ่มค่า R_{o1} และ R_{o2}



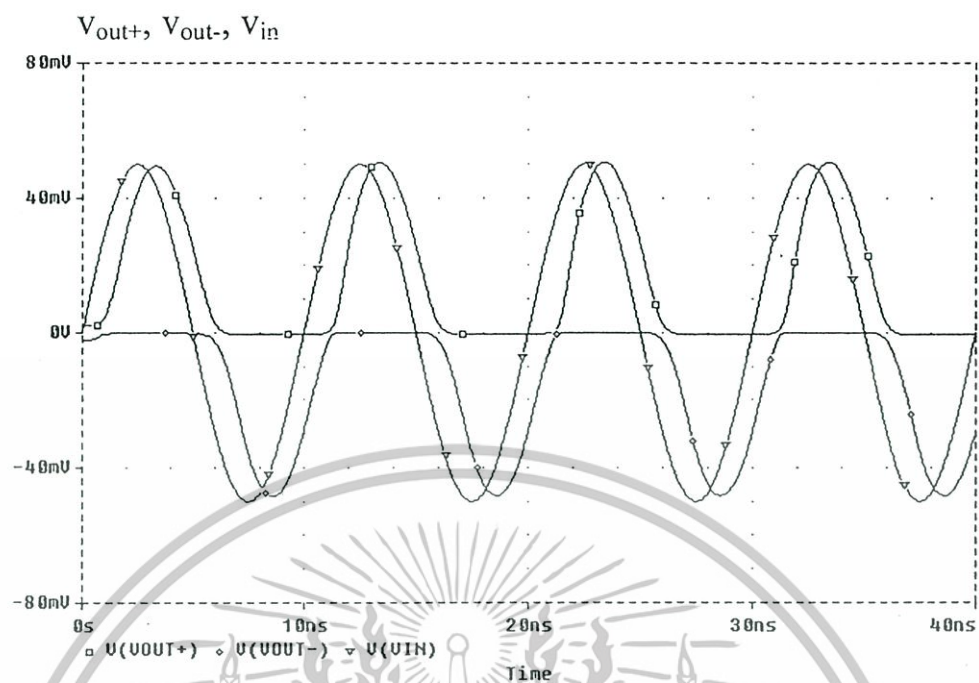
รูปที่ 4.11 การทำงานของวงจรเรียงกระแสที่ความถี่ 300MHz ที่ค่าอิมพีแดนซ์ต่างๆ



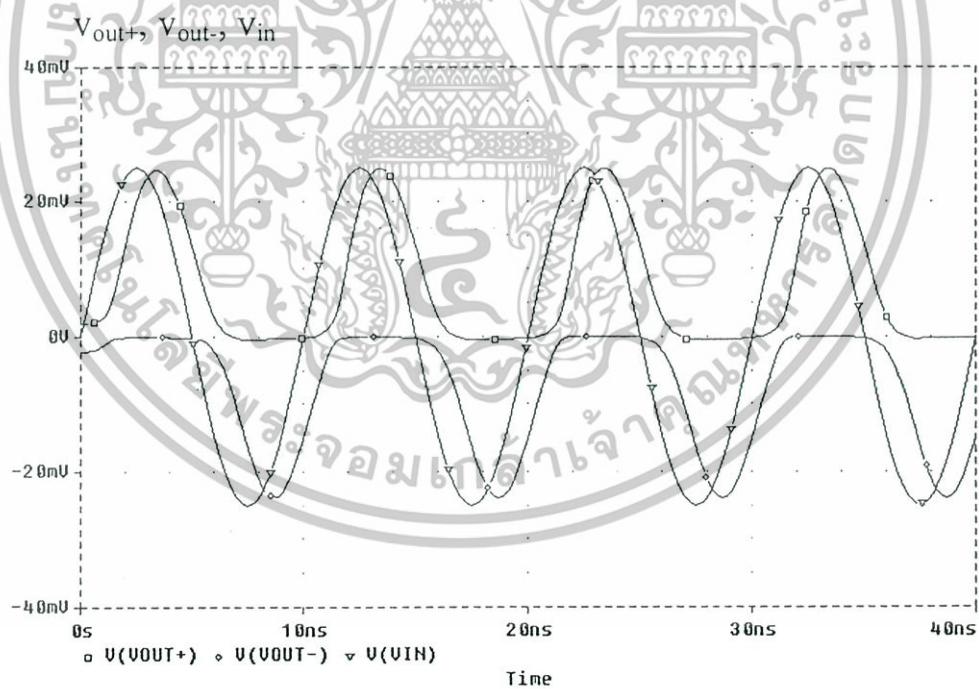
รูปที่ 4.12 ภาพขยายของสัญญาณในรูปที่ 4.11



รูปที่ 4.13 การทำงานของวงจรเรียงกระแสที่ความถี่ 100MHz ที่กระแส $I_1=I_2=1\mu A$

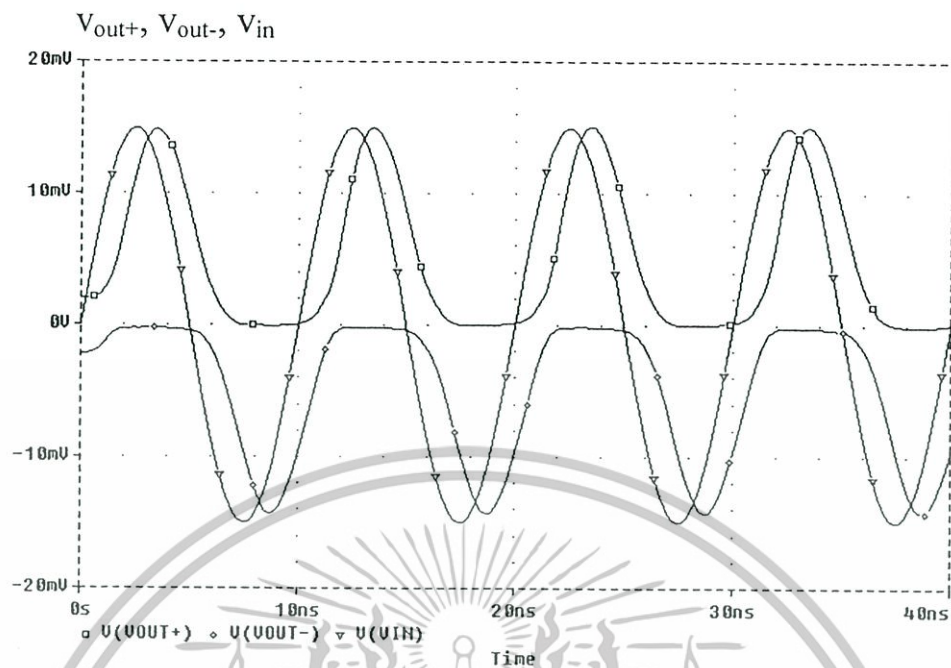


(ก)



(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 การทำงานของวงจรเรียงกระแสที่ความถี่ 100MHz ที่กระแส $I_1=I_2=1\mu\text{A}$ เมื่อขนาดของ สัญญาณคือ (ก) 50mV_{peak} (ข) 25mV_{peak} และ (ค) 15mV_{peak}

ในขณะที่วงจรเรียงกระแสครั้งคลื่นที่นำเสนอทำงานได้ดีที่ความถี่สูง แต่ค่าผิดพลาดที่ zero crossing ก็อีกหนึ่งพารามิเตอร์ที่ต้องใส่ใจ ถ้าต้องการให้วงจรสามารถเรียงกระแสที่สัญญาณ อินพุตขนาดเล็กๆ ได้ กระแสไบอัส I_1 และ I_2 จะต้องมีค่าไม่มาก เพื่อแสดงถึงแนวคิดนี้วงจรในรูปที่ 4.2 จะถูกจำลองการทำงานที่ความถี่ 100MHz และ I_1, I_2 เท่ากับ $1\mu\text{A}$ ผลการจำลองการทำงาน แสดงได้ดังรูปที่ 4.13 เมื่อเปรียบเทียบผลการจำลองการทำงานในรูปที่ 4.13 และ รูปที่ 4.6 จะเป็นว่าสัญญาณเอาท์พุทในรูปที่ 4.13 มีรูปร่างที่ดีกว่า วงจรในรูปที่ 4.2 จะถูกจำลองการทำงานอีกครั้ง โดยกำหนดให้ $I_1=I_2=1\mu\text{A}$ และป้อนสัญญาณอินพุตความถี่ 100MHz แล้วเปลี่ยนขนาดเป็น 50mV 25mV และ 15mV ตามลำดับ ผลการจำลองแสดงได้ดังรูปที่ 4.14 จากผลการจำลองการทำงาน สามารถแสดงได้ว่าวงจรสามารถเรียงกระแสที่ขนาดสัญญาณ 15mV ความถี่ 100MHz ได้เป็นอย่างดี จากผลการจำลองการทำงานจะเห็นว่าวงจรเรียงกระแสครั้งคลื่นที่นำเสนอสามารถเลือก คุณสมบัติของวงจรได้ด้วยการกำหนดกระแสไบอัส I_1 และ I_2 ที่ไบอัสให้กับไดโอดที่ทำงานใน คลาส AB ถ้าต้องการวงจรเรียงกระแสที่สามารถทำงานที่ความถี่สูงได้ดีกระแสไบอัส I_1 และ I_2 ควรมีค่า $5\mu\text{A}$ ในขณะที่เดียวกันถ้าต้องการวงจรเรียงกระแสแบบครั้งคลื่นที่มีความเที่ยงตรงสูง กระแสไบอัส I_1 และ I_2 ควรมีค่า $1\mu\text{A}$

4.5 บทสรุป

วงจรรีเลย์กระแสแบบครึ่งคลื่นด้วยเทคโนโลยีซิมอสได้นำเสนอในบทที่ 5 วงจรที่นำเสนอสร้างจากวงจรสายพานกระแสแบบลบ วงจรสะท้อนกระแส วงจรจ่ายกระแส วงจรสามารถให้เอาต์พุตเป็นรูปคลื่นสัญญาณครึ่งคลื่นแบบบวกและครึ่งคลื่นแบบลบ ถึงแม้ว่าวงจรที่นำเสนอจะใช้หลักการที่เหมือนกับวงจรที่เคยนำเสนอมาก่อนหน้านี้ แต่วงจรที่นำเสนอมีคุณสมบัติที่โดดเด่นกว่า วงจรที่นำเสนอก่อนหน้านี้ทางด้านใช้อุปกรณ์น้อยกว่า ทำงานที่ความถี่สูงกว่าและใช้กำลังงานน้อยกว่า วงจรที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมด้วยเทคโนโลยีซิมอส คุณสมบัติของวงจรถูกตรวจสอบการทำงานด้วยโปรแกรม PSPICE



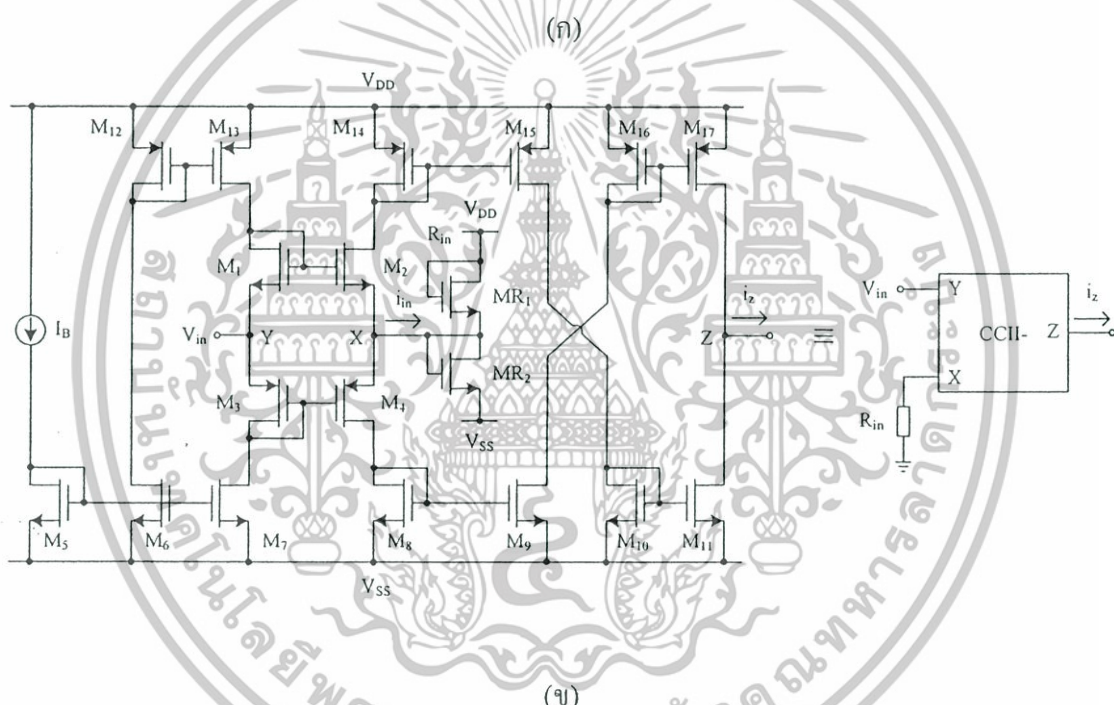
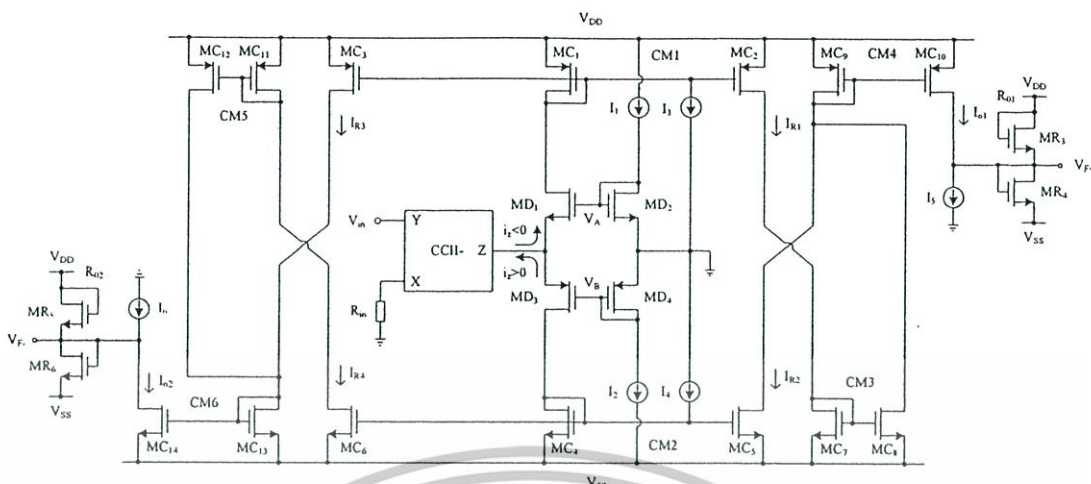
วงจรเรียงกระแสแบบเต็มคลื่นเอาต์พุตคู่

5.1 บทนำ

วงจรเรียงกระแสแบบเต็มคลื่นที่ให้สัญญาณเอาต์พุตเป็นสัญญาณเต็มคลื่นแบบบวกและเต็มคลื่นแบบลบในวงจรเดียวกันนำเสนอในบทนี้ วงจรที่นำเสนอประกอบด้วยตัวแปลงแรงดันเป็นกระแส วงจรเรียงกระแสแบบที่ยังตรงทำงานในคลาส AB ซึ่งช่วยทำให้วงจรสามารถทำงานที่ความถี่สูงได้ดีและตัวแปลงกระแสเป็นแรงดันโดยใช้ตัวต้านทาน วงจรเรียงกระแสแบบเต็มคลื่นในบทนี้ได้พัฒนาต่อจากวงจรเรียงกระแสครึ่งคลื่นในบทที่ 4 การทำงานของวงจรมีดังนี้ เมื่อป้อนแรงดันอินพุตเข้าสู่วงจร สัญญาณแรงดันอินพุตจะถูกเปลี่ยนเป็นสัญญาณกระแสด้วยวงจรแปลงแรงดันเป็นกระแส ตัวเรียงกระแสที่ทำงานในคลาส AB จะทำการเรียงกระแสเหล่านั้นและเปลี่ยนเป็นแรงดันเอาต์พุตด้วยตัวต้านทาน วงจรที่นำเสนอมีคุณสมบัติที่โดดเด่นคือสามารถสร้างได้ด้วยมอสทรานซิสเตอร์ทั้งหมดซึ่งเหมาะกับการนำไปสร้างเป็นวงจรรวมด้วยเทคโนโลยีซีมอส ผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้พารามิเตอร์ซีมอส $0.5\mu\text{m}$ แหล่งจ่ายแรงดัน $\pm 1.2\text{V}$ สามารถแสดงได้ว่าวงจรที่นำเสนอสามารถให้เอาต์พุตได้สองแบบในวงจรเดียว สามารถทำงานได้ที่ความถี่สูงและมีเสถียรภาพทางอุณหภูมิดีมาก

5.2 วงจรเรียงกระแสเต็มคลื่นเอาต์พุตคู่ที่นำเสนอ

รูปที่ 5.1 แสดงวงจรเรียงกระแสที่นำเสนอ วงจรทำงานในแบบสัญญาณกระแสที่ประกอบขึ้นจากส่วนประกอบสามส่วนด้วยกันคือ วงจรแปลงกระแสเป็นแรงดัน วงจรเรียงกระแสที่ทำงานในแบบสัญญาณกระแสและวงจรเปลี่ยนกระแสเป็นแรงดัน วงจรแปลงแรงดันเป็นกระแสประกอบด้วยวงจรสายพานกระแสแบบลบ (CCII-) และตัวต้านทาน R_{in} ที่สร้างจาก MR_1 - MR_2 วงจรเรียงกระแสแบบที่ยังตรงประกอบด้วย MD_1 ถึง MD_4 วงจรสะท้อนกระแส 6 วงจร (CM1 ถึง CM6) และแหล่งจ่ายกระแส 6 แหล่งจ่าย (I_1 ถึง I_6) ส่วนวงจรแปลงกระแสเป็นแรงดันประกอบด้วยตัวต้านทาน 2 ตัว (R_{o1} และ R_{o2}) การทำงานของวงจรอธิบายได้ดังนี้ เมื่อสัญญาณอินพุต V_{in} แบบเฟสเดียวถูกป้อนเข้าสู่วงจร สัญญาณแรงดันนี้จะถูกเปลี่ยนเป็นกระแส i_1 ด้วยวงจร CCII- และตัวต้านทาน R_{in} ตัวต้านทาน R_{in} สร้างได้โดยใช้มอสทรานซิสเตอร์สองตัวต่อแบบไดโอดแสดงในรูปที่ 5.1(ข) [17] ถ้าสมมติว่า MR_1 และ MR_2 มีคุณสมบัติเหมือนกันทุกประการและทำงานในย่านอิ่มตัว ค่าความต้านทานสามารถกำหนดได้คือ [17]



รูปที่ 5.1 (ก) วงจรเรียงกระแสชนิดที่ยังตรงที่นำเสนอ (ข) วงจรแปลงแรงดันเป็นกระแส

$$R = \frac{1}{2K(V_{DD} - V_{TH})} \tag{5.1}$$

เมื่อ $K = \mu_0 C_{ox} (W/L)$ คือค่าทรานส์คอนดักแตนซ์พารามิเตอร์ V_{TH} คือค่าแรงดันแธรชโวลต์ V_{DD} คือแหล่งจ่ายแรงดัน μ_0 คือความคล่องตัวของโฮลหรืออิเล็กตรอน C_{ox} คือค่าความจุต่อพื้นที่ของเกตออกไซด์ W และ L คือค่าความกว้างและความยาวของแขนแนลตามลำดับ เมื่อ R_{in} ถูกใช้เป็นตัวแปลงสัญญาณ กระแส i_z จะสามารถเขียนได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_z = \frac{V_{in}}{R_{in}} \quad (5.2)$$

มอเตอร์านซิสเตอร์ MD_2 และแหล่งจ่ายกระแส I_1 จะสร้างแรงดัน V_A เพื่อไบอัสให้กับมอเตอร์านซิสเตอร์ MD_1 ส่วนมอเตอร์านซิสเตอร์ MD_4 และแหล่งจ่ายกระแส I_2 จะสร้างแรงดัน V_B เพื่อไบอัสให้กับมอเตอร์านซิสเตอร์ MD_3 แรงดันไบอัส V_A และ V_B ควรจะมีค่าใกล้เคียงกับแรงดันเทรชโฮลของมอเตอร์านซิสเตอร์ MD_1 และ MD_3 ตามลำดับ เพื่อกำหนดให้วงจรทำงานแบบคลาส AB วงจรสะท้อนกระแส CM1 ถึง CM6 ถูกไบอัสด้วยแหล่งจ่ายกระแส I_3 และ I_4 เพื่อให้วงจรสะท้อนกระแสทำงานตลอดเวลาเพื่อช่วยให้วงจรทำงานที่ความถี่สูงและความเป็นเชิงเส้นของวงจรดีขึ้น

เมื่อ $i_z > 0$ กระแส i_z จะไหลผ่าน MD_1 และถูกสะท้อนโดยวงจรสะท้อนกระแส CM1 (MC_1 และ MC_2) มาเป็นกระแสเดรนของ MC_5 คือ $I_{R1} (+i_z)$ กระแส $+i_z$ จะถูกสะท้อนอีกครั้งด้วยวงจรสะท้อนกระแส CM3 มาเป็นกระแสเดรนของ MC_8 คือ $-i_z$ และถูกสะท้อนอีกครั้งด้วยวงจรสะท้อนกระแส CM4 มาเป็นกระแสเดรนของ MC_{10} คือ $I_{O3} (+i_z)$ ต่อมาเมื่อ $i_z < 0$ กระแส i_z จะไหลผ่าน MD_3 และถูกสะท้อนโดยวงจรสะท้อนกระแส CM2 (MC_3 และ MC_6) มาเป็นกระแสเดรนของ MC_6 คือ $I_{R2} (+i_z)$ กระแส $+i_z$ นี้จะถูกสะท้อนอีกครั้งโดยวงจรสะท้อนกระแส CM4 มาเป็นกระแสเดรนของ MC_{10} คือ $I_{O3} (-i_z)$ จากการทำงานดังกล่าว ความสัมพันธ์ระหว่างกระแส i_z และกระแส I_{O3} สามารถแสดงได้คือ

$$i_z > 0 ; I_{O3} = +i_z + I_1 + I_2 + I_3 + I_4 \quad (5.3)$$

$$i_z < 0 ; I_{O3} = -i_z + I_1 + I_2 + I_3 + I_4 \quad (5.4)$$

เมื่อแหล่งจ่ายกระแส $I_1 + I_2 + I_3 + I_4$ ในสมการ (5.3) และ (5.4) ถูกชดเชยด้วยกระแส I_5 โดยใช้สมการที่ (5.1) และกำหนดให้ $R_{o1} = R_{in}$ ความสัมพันธ์ระหว่างแรงดันอินพุต V_{in} และแรงดันเอาต์พุต V_{F+} สามารถแสดงได้คือ

$$\left. \begin{aligned} V_{in} > 0 ; V_{F+} &= +V_{in} \\ V_{in} < 0 ; V_{F+} &= -V_{in} \end{aligned} \right\} \quad (5.5)$$

ต่อมาเมื่อ $i_z > 0$ กระแส i_z จะไหลผ่าน MD_1 และถูกสะท้อนโดยวงจรสะท้อนกระแส CM1 (MC_1 และ MC_{11}) มาเป็นกระแสเดรนของ MC_{11} คือ $I_{R3} (+i_z)$ กระแส $+i_z$ นี้จะถูกสะท้อนกระแสอีกครั้งโดยวงจรสะท้อนกระแส CM6 มาเป็นกระแสเดรนของ MC_{16} คือ $I_{O4} (-i_z)$ ต่อมาเมื่อ $i_z < 0$ กระแส i_z จะไหลผ่าน MD_3 และถูกสะท้อนด้วยวงจรสะท้อนกระแส CM2 (MC_3 และ MC_{12}) มาเป็นกระแส

เดรนของ MC_{12} คือ $I_{R4} (+i_2)$ กระแส $+i_2$ นี้สะท้อนอีกครั้งด้วยวงจรสะท้อนกระแส CM5 มาเป็นกระแสเดรนของ MC_{14} คือ $-i_2$ และกระแส $-i_2$ นี้จะถูกสะท้อนอีกครั้งโดยวงจรสะท้อนกระแส CM6 มาเป็นกระแสเดรนของ MC_{16} คือ $I_{o4} (+i_2)$ จากการทำงานที่ได้อธิบาย ความสัมพันธ์ระหว่างกระแส i_2 และกระแสเอาต์พุต I_{o4} สามารถแสดงได้คือ

$$i_2 > 0 ; I_{o4} = -i_2 + I_1 + I_2 + I_3 + I_4 \quad (5.6)$$

$$i_2 < 0 ; I_{o4} = +i_2 + I_1 + I_2 + I_3 + I_4 \quad (5.7)$$

เมื่อแหล่งจ่ายกระแส $I_1+I_2+I_3+I_4$ ในสมการ (5.6) และ (5.7) ถูกชดเชยโดยกระแส I_6 โดยใช้สมการที่ (5.1) และกำหนดให้ $R_{o2}=R_{in}$ ความสัมพันธ์ระหว่างแรงดันอินพุต V_{in} และแรงดันเอาต์พุต V_F

$$\left. \begin{array}{l} V_{in} > 0 ; V_F = -V_{in} \\ V_{in} < 0 ; V_F = +V_{in} \end{array} \right\} \quad (5.8)$$

จากสมการที่ (5.5) และ (5.8) สามารถแสดงได้ว่าวงจรที่นำเสนอสามารถทำงานเป็นวงจรเรียงกระแสแบบเต็มคลื่นแบบบวกและเต็มคลื่นแบบลบได้ในวงจรเดียวโดย โครงสร้างวงจรที่นำเสนอสามารถสร้างได้ด้วยมอสทรานซิสเตอร์ทั้งหมดจึงเหมาะกับการนำไปสร้างเป็นวงจรรวม

5.3 วิเคราะห์คุณสมบัติวงจรเรียงกระแสที่นำเสนอ

ในทางอุดมคติเมื่อป้อนสัญญาณเข้าที่อินพุตของวงจรเรียงกระแสที่นำเสนอ เอาต์พุตที่ได้ของแต่ละเอาต์พุตจะต้องมีขนาดเท่ากับอินพุตที่ป้อนเข้ามา แต่ในทางปฏิบัติไม่เป็นเช่นนั้น การลatching ที่สัญญาณเอาต์พุตจะเกิดขึ้นและถ้าป้อนสัญญาณให้ค่าที่สูงขึ้นจะเกิดการหน่วงของสัญญาณเกิดขึ้น ดังนั้นผลของความไม่เป็นอุดมคติเหล่านี้จะถูกวิเคราะห์ จากวงจรที่นำเสนอในรูปที่ 5.1 ถ้ากำหนดให้โครงสร้างของ NMOS M_1, M_2, MD_1, MD_2 และ PMOS M_3, M_4, MD_3, MD_4 ถูกต่อเข้ากับแหล่งจ่ายแรงดัน V_{SS} และ V_{DD} ตามลำดับ ในขณะที่ขาซอร์สของทรานซิสเตอร์ตัวอื่นๆ ทุกตัวถูกต่อเข้ากับโครงสร้าง ดังนั้นการทำงานของ NMOS M_1, M_2, MD_1, MD_2 และ PMOS M_3, M_4, MD_3, MD_4 จึงไม่ได้รับผลกระทบจากค่าความจุไฟฟ้าแฝงจากโครงสร้าง ในขณะที่การทำงานของทรานซิสเตอร์ตัวอื่นๆ จะไม่มีผลกระทบจากการเปลี่ยนแปลงของแรงดันแตรซโฮลที่เกิดจากผลของโครงสร้าง เมื่อพิจารณาความสัมพันธ์กันของวงจรสะท้อนกระแสสามารถวิเคราะห์ได้ดังนี้ ถ้า $V_{in} > 0$ กระแสเอาต์พุตของวงจร CCII- คือ $i_2 < 0$ นั่นคือกระแสจะไหลผ่านทรานซิสเตอร์ MD_1 และสะท้อนโดยวงจรสะท้อนกระแส CM1 และถ้า $V_{in} < 0$ กระแสเอาต์พุตของวงจร CCII- คือ $i_2 > 0$ นั่นคือกระแสจะไหลผ่านทรานซิสเตอร์ MD_2 และสะท้อนโดยวงจรสะท้อนกระแส CM2 ถ้ากำหนดให้ I_{in} คือกระแสที่ไหลผ่านทรานซิสเตอร์ที่ต่อเป็นไดโอด (เกตและเดรนเชื่อมต่อกัน) ของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสะท้อนกระแสในกรณีที่กระแส I_{out} คือกระแสที่ถูกสะท้อนออกไปโดยวงจรสะท้อนกระแส กระแส I_{out} สามารถประมาณได้คือ [19]

$$I_{out} = I_{in}(1 - \varepsilon_M) \quad (5.9)$$

โดยที่

$$\varepsilon_M = \frac{\lambda}{g_m} + \frac{\lambda}{g_o} \quad (5.10)$$

เมื่อ λ คือค่า channel-length modulation g_m คือค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ต่อเป็นไดโอด ในขณะที่ g_o คือค่าความนำของทรานซิสเตอร์ที่เป็นเอาต์พุตของวงจรสะท้อนกระแส พจน์แรกทางด้านขวามือของสมการที่ (5.10) คือสาเหตุของความไม่เข้าคู่กันระหว่างทรานซิสเตอร์ที่ต่อเป็นวงจรสะท้อนกระแส ผลของความไม่เข้าคู่กันของทรานซิสเตอร์สามารถแก้ไขได้โดยเพิ่มค่า L ของทรานซิสเตอร์ให้มากขึ้น พจน์ที่สองทางด้านขวามือของสมการที่ (5.10) คือผลของความต้านทานทางเอาต์พุตที่จำกัด (finite output resistance) ของวงจรสะท้อนกระแส

ต่อมาศึกษาผลของความไม่เป็นอุดมคติของวงจรถ่ายพานกระแส ถ้า ε_v และ ε_i ($|\varepsilon_v| \ll 1$ และ $|\varepsilon_i| \ll 1$) คือค่า voltage และ current tracking errors ของวงจร CCII- ตามลำดับ ขั้วแรงดันและกระแสของวงจร CCII- ที่รวมเอาค่าที่ไม่เป็นอุดมคติไว้ในสมการสามารถกำหนดได้คือ $V_x = \beta V_y$, $I_z = -\alpha I_x$ และ $I_y = 0$ โดยที่ $\beta = 1 - \varepsilon_v$ และ $\alpha = 1 - \varepsilon_i$ เมื่อรวมเอาผลของ voltage และ current tracking errors ไว้ในการพิจารณา กระแส i_z สามารถแสดงได้คือ

$$i_z = \frac{\alpha\beta V_{in}}{R_{in} + r_x} \quad (5.11)$$

เมื่อ r_x คือค่าความต้านทานแฝง (parasitic resistance) ที่ขั้ว X ของวงจร CCII- โดยใช้สมการที่ (5.9) ถึง (5.11) สมการที่ (5.5) และ (5.8) สามารถเขียนใหม่ได้คือ

$$\left. \begin{aligned} V_{in} > 0 ; V_{F+} &= + \frac{\alpha\beta V_{in} R_{o3}}{R_{in} + r_x} - 4\varepsilon_M R_{o3} \\ V_{in} < 0 ; V_{F+} &= - \frac{\alpha\beta V_{in} R_{o3}}{R_{in} + r_x} - 3\varepsilon_M R_{o3} \end{aligned} \right\} \quad (5.12)$$

$$\left. \begin{aligned} V_{in} > 0 ; V_{F-} &= - \frac{\alpha\beta V_{in} R_{o4}}{R_{in} + r_x} - 3\varepsilon_M R_{o4} \\ V_{in} < 0 ; V_{F-} &= + \frac{\alpha\beta V_{in} R_{o4}}{R_{in} + r_x} - 4\varepsilon_M R_{o4} \end{aligned} \right\} \quad (5.13)$$

จากสมการที่ (5.12) และ (5.13) จะสามารถสังเกตได้ว่าผลของความไม่เป็นอุดมคติของ CCII- และ วงจรสะท้อนกระแสสามารถแก้ไขได้โดยการปรับค่าความต้านทานเอาต์พุตและกระแสชดเชย

สำหรับช่วงการทำงานทางอินพุตของวงจรเรียงกระแสที่นำเสนอสามารถพิจารณาได้จากวงจรแปลงแรงดันเป็นกระแสที่แสดงในรูปที่ 5.1(ข) ช่วงปฏิบัติงานของวงจรจะขึ้นอยู่กับแหล่งจ่ายแรงดันที่ใช้ ถ้าสมมติออสทรานซิสเตอร์ M_1 ถึง M_4 ทำงานในย่านอิ่มตัว ช่วงปฏิบัติงานแรงดันอินพุตสูงสุดและต่ำสุดสามารถกำหนดได้คือ

$$V_{in(\min)} = V_{SS} + |V_{THP}| + |V_{TN}| + |V_{eff(M4)}| + |V_{eff(M8)}| \quad (5.14)$$

$$V_{in(\max)} = V_{DD} - |V_{THP}| - |V_{TN}| - |V_{eff(M2)}| + |V_{eff(M14)}| \quad (5.15)$$

เมื่อ $V_{eff} = V_{GS} - V_{TH} = \sqrt{\frac{2I_D}{\mu C_{OX}(W/L)}}$ [18] โดยที่ V_{GS} คือแรงดันระหว่างเกตและซอร์ส และ I_D คือกระแสเดรน

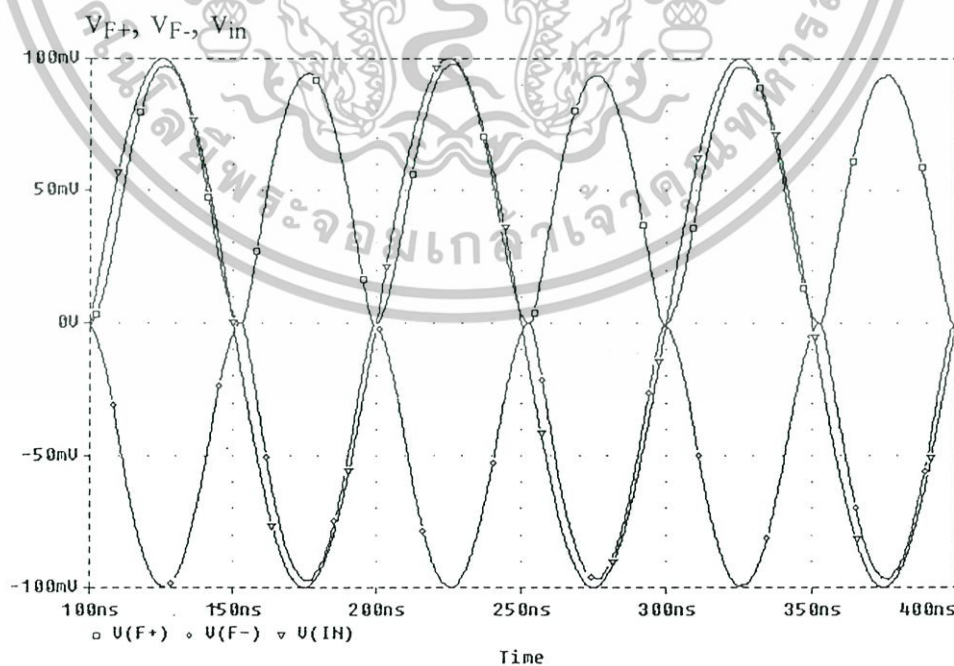
5.4 การจำลองการทำงาน

เพื่อทดสอบแนวคิดการออกแบบที่นำเสนอ วงจรเรียงกระแสในรูปที่ 5.1 จะถูกจำลองการทำงานด้วยโปรแกรม PSPICE โดยใช้พารามิเตอร์ซิมอส $0.5\mu\text{m}$ จาก MIETEC [14] ค่าอัตราส่วน W/L ของมอสทรานซิสเตอร์ของวงจรในรูปที่ 5.1 แสดงได้ดังตารางที่ 5.1 กำหนดแหล่งจ่ายแรงดัน $\pm 1.2\text{V}$ กระแสไบอัส $I_8 = 50\mu\text{A}$ และ $I_3 = I_4 = 100\mu\text{A}$ ในขณะที่แหล่งจ่ายกระแส I_5 และ I_6 เป็นแหล่งจ่ายกระแสเพื่อชดเชยกระแสคงที่ ค่าอัตราส่วน W/L ของ MR_1 และ MR_2 มีค่าน้อยกว่า MR_3 ถึง MR_6 เพื่อชดเชยค่าความต้านทานแผ่นที่ขั้ว X ของสายพานกระแสและผลของความไม่เป็นอุดมคติของวงจรสะท้อนกระแส ป้อนสัญญาณรูปคลื่นไซน์ขนาด $100\text{mV}_{\text{peak}}$ เข้าที่อินพุตของวงจรเรียงกระแสที่นำเสนอ โดยกำหนดค่ากระแส I_1 และ I_2 มีค่าเท่ากับ $5\mu\text{A}$ สัญญาณเอาต์พุตที่ความถี่ 10MHz 100MHz และ 200MHz สามารถแสดงได้ดังรูปที่ 5.2 5.3 และ 5.4 ตามลำดับ จากรูปที่ 5.4 สามารถแสดงได้ว่าวงจรเรียงกระแสที่นำเสนอสามารถทำงานได้ที่ความถี่สูงถึง 200MHz ซึ่งเป็นผลมาจากการออกแบบโดยกำหนดให้วงจรทำงานในคลาส AB โดยที่ขนาดของสัญญาณเอาต์พุตถูกลดทอนลงเล็กน้อย ขนาดของสัญญาณเอาต์พุตเมื่อเพิ่มความถี่สูงขึ้นเป็นค่าต่างๆ แสดงได้ดังรูปที่ 5.5 จากผลการจำลองในรูปที่ 5.5 จะเห็นได้ว่าเมื่อเพิ่มความถี่สูงขึ้นขนาดของสัญญาณเอาต์พุตจะลดลง ซึ่งมีสาเหตุมาจากอัตราการขยายของวงจรลดลงเมื่อความถี่เพิ่มสูงขึ้น ขนาดของสัญญาณที่ถูกลดทอนลงไปได้สามารถแก้ไขได้โดยเพิ่มค่าความต้านทานเอาต์พุต (R_{O1} และ R_{O2}) หรือลดค่าความต้านทานอินพุต R_{in}

เพื่อทดสอบคุณสมบัติทางด้านอุณหภูมิของวงจรเรียงกระแสที่นำเสนอ จึงได้ทำการจำลองการทำงานวงจรเรียงกระแสที่นำเสนอในรูปแบบที่ 5.1 ที่ความถี่ 10MHz อีกครั้ง โดยได้ทดลองเปลี่ยนค่าอุณหภูมิจาก 0°C ถึง 100°C โดยเพิ่มทีละ 25°C รูปที่ 5.6 แสดงสัญญาณเอาต์พุตทุกครั้งคลื่นแบบบวกและเต็มคลื่นแบบลบที่อุณหภูมิ 50°C, 75°C and 100°C จากรูปจะเห็นได้ว่าสัญญาณเอาต์พุตที่ได้รับผลกระทบทำให้ขนาดของสัญญาณที่อุณหภูมิสูงมีขนาดลดลงเล็กน้อย โดยที่อุณหภูมิระหว่าง 50°C และ 75°C มีการเปลี่ยนแปลง 2.286mV ส่วนที่อุณหภูมิระหว่าง 75°C และ 100°C มีการเปลี่ยนแปลง 2.097mV ดังนั้นจึงสรุปได้ว่าวงจรเรียงกระแสที่นำเสนอมีเสถียรภาพทางอุณหภูมิอยู่ในระดับดี

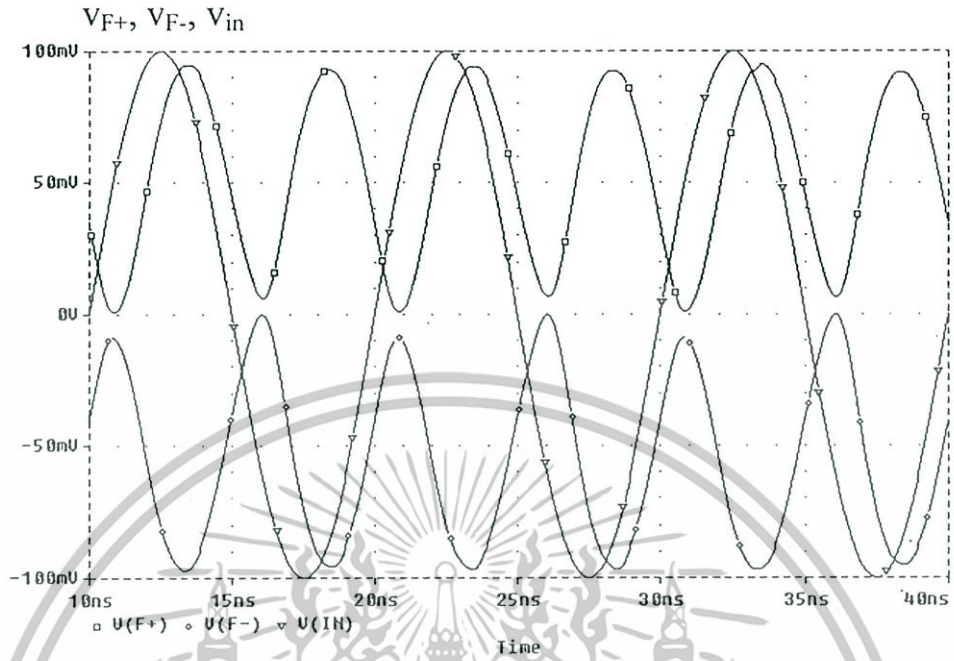
ตารางที่ 5.1 อัตราส่วน W/L ของมอสทรานซิสเตอร์ในวงจรในรูปแบบที่ 5.1

มอสทรานซิสเตอร์	W/L (μm/μm)
M1-M2, M5-M11, MD1-MD2, MC3-MC4, MC6-MC8, MC12, MC15-MC16	10/0.6
M3-M4, M12-M17	30/0.6
MD3-MD4, MC1-MC2, MC5, MC9-MC10, MC11, MC13-MC14	20/0.6
MR1-MR2	4/0.6
MR3-MR6	2/0.6

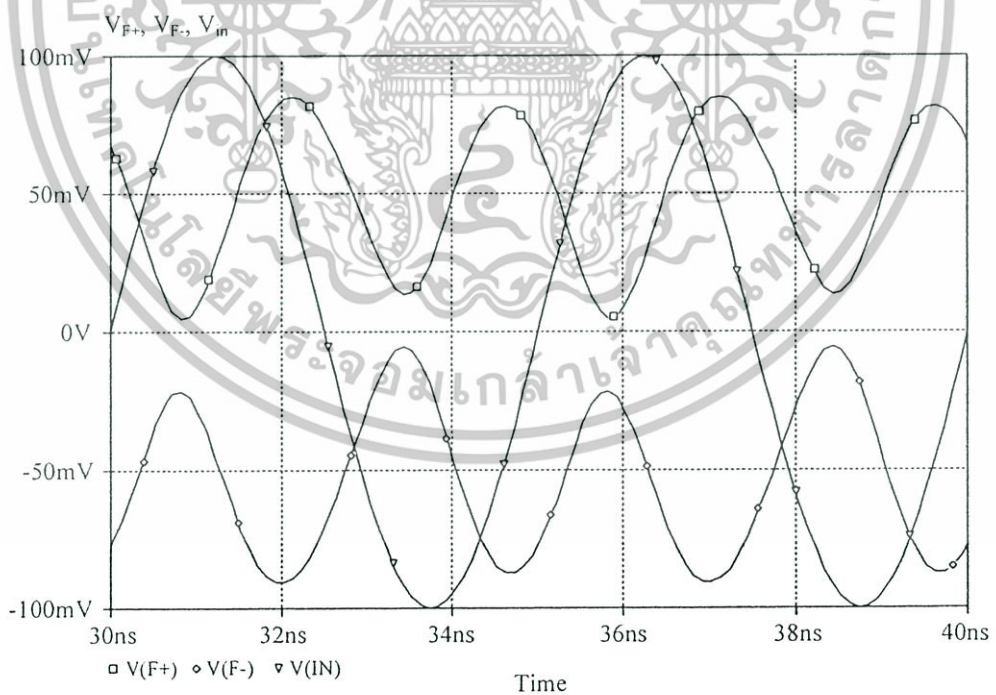


รูปที่ 5.2 การทำงานของวงจรเรียงกระแสที่ความถี่ 10MHz

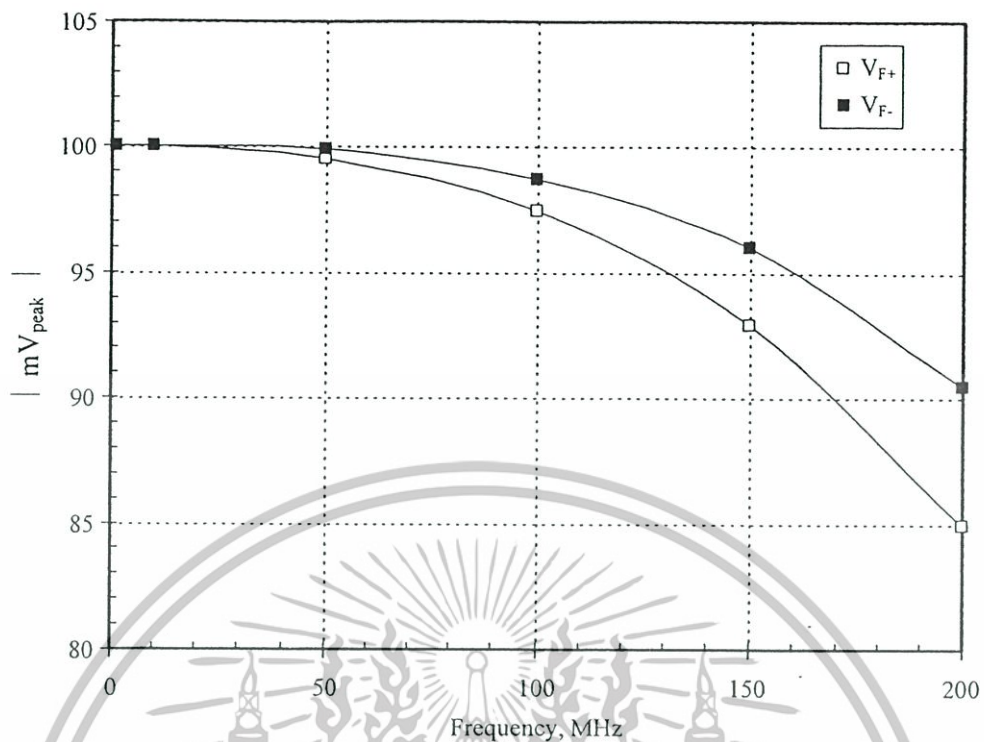
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



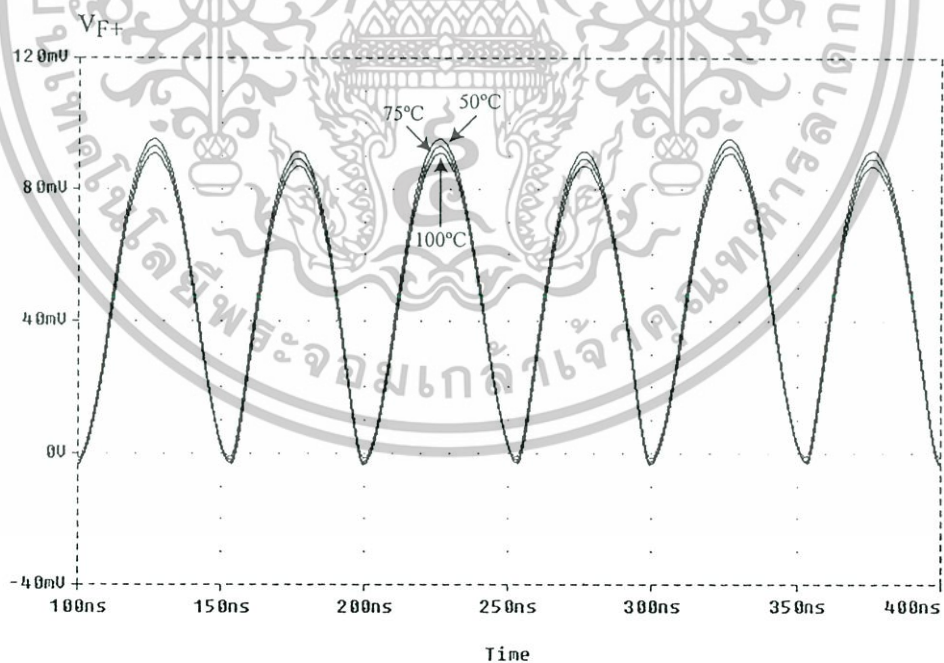
รูปที่ 5.3 การทำงานของวงจรเรียงกระแสที่ความถี่ 100MHz



รูปที่ 5.4 การทำงานของวงจรเรียงกระแสที่ความถี่ 200MHz

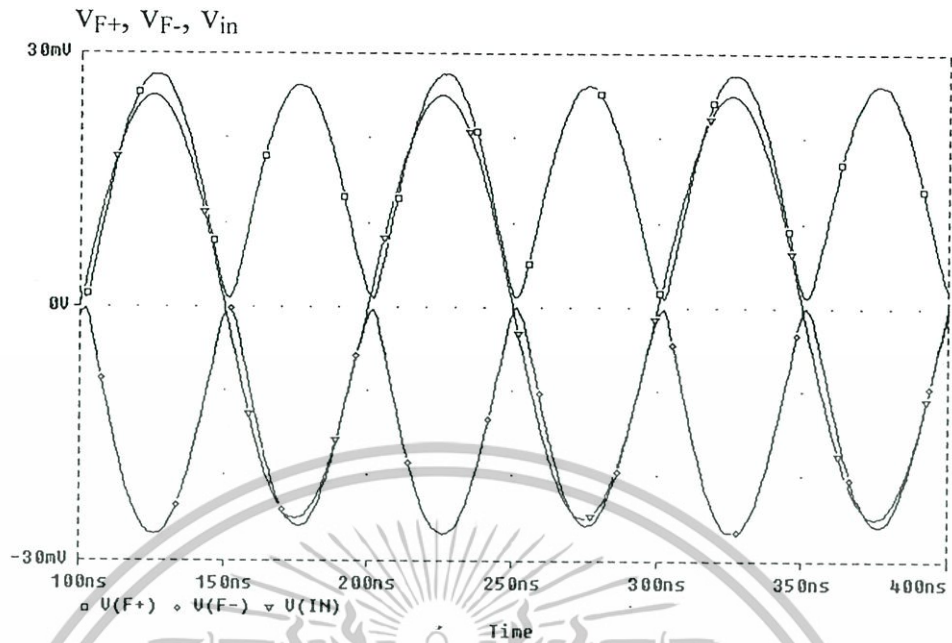


รูปที่ 5.5 ขนาดของสัญญาณเอาต์พุตที่ความถี่ค่าต่างๆ



รูปที่ 5.6 รูปคลื่นเอาต์พุตความถี่ 10MHz ที่อุณหภูมิต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 การทำงานของวงจรเรียงกระแสที่ความถี่ 10MHz ขนาด $25\text{mV}_{\text{peak}}$

เพื่อทดสอบความเที่ยงตรงของวงจรเรียงกระแสที่นำเสนอ จึงได้ทำการป้อนสัญญาณความถี่ 10MHz ขนาด $25\text{mV}_{\text{peak}}$ เข้าที่อินพุทของวงจรเรียงกระแสในรูปที่ 5.1 อีกครั้ง ผลการจำลองสามารถแสดงได้ดังรูปที่ 5.7 จากรูปจะเห็นได้ว่าวงจรสามารถเรียงกระแสที่ขนาด $25\text{mV}_{\text{peak}}$ ได้ อย่างแม่นยำโดยขนาดของสัญญาณถูกลดทอนลงไปเล็กน้อย

5.5 บทสรุป

ในบทนี้นำเสนองานวงจรเรียงกระแสแบบเต็มคลื่นแบบบวกและเต็มคลื่นแบบลบในวงจรเดียว วงจรที่นำเสนอสถาปัตยกรรมสร้างได้ด้วยมอสทรานซิสเตอร์ทั้งหมดจึงเหมาะกับการนำไปสร้างเป็นวงจรรวม โครงสร้างของวงจรที่นำเสนอสถาปัตยกรรมสร้างได้ทั้งเทคโนโลยีซีมอส จากผลการจำลองการทำงานด้วยโปรแกรม PSPICE โดยใช้พารามิเตอร์ซีมอส $0.5\mu\text{m}$ และแหล่งจ่ายแรงดัน $\pm 1.2\text{V}$ แสดงได้ว่าช่วงปฏิบัติงานทางอินพุทของวงจรมีค่าอยู่ในช่วง -200mV ถึง 200mV วงจรให้เอาต์พุทเป็นสัญญาณเต็มคลื่นที่มีคุณภาพดีได้ที่ความถี่ 100MHz ซึ่งสามารถยืนยันได้ว่าวงจรเรียงกระแสที่ทำงานในแบบสัญญาณกระแสที่กำหนดให้ทำงานในคลาส AB สามารถทำงานที่ความถี่สูงได้ดีเป็นที่น่าพอใจ

บทที่ 6

วงจรเรียงกระแสแบบเต็มคลื่นเอาต์พุตเดียว

6.1 บทนำ

วงจรเรียงกระแสที่จะกล่าวในบทนี้คือวงจรเรียงกระแสแบบเต็มคลื่น โครงสร้างของวงจรประกอบด้วยวงจรแปลงแรงดันเป็นกระแสที่สร้างจากวงจรสายพานกระแสและตัวต้านทานแบบมอส ตัวเรียงกระแสแบบที่ยังตรงที่ใช้จังก์ชันไดโอดที่ได้จากภายใน โครงสร้างของมอสและวงจรแปลงกระแสเป็นแรงดันที่ใช้ตัวต้านทานแบบมอส สัญญาณแรงดันอินพุตจะถูกแปลงเป็นสัญญาณกระแสด้วยวงจรแปลงแรงดันเป็นกระแส สัญญาณกระแสจะถูกเรียงกระแสด้วยจังก์ชันไดโอดและจะถูกแปลงเป็นแรงดันเอาต์พุตด้วยตัวต้านทานแบบมอส วงจรที่นำเสนอจะถูกออกแบบด้วยมอสทรานซิสเตอร์ทั้งหมดจึงเหมาะสำหรับนำมาสร้างเป็นวงจรรวม การจำลองการทำงานแสดงได้ว่าวงจรสามารถทำงานได้ความถี่สูงถึง 100MHz เมื่อใช้แหล่งจ่ายที่ข $\pm 1.5V$

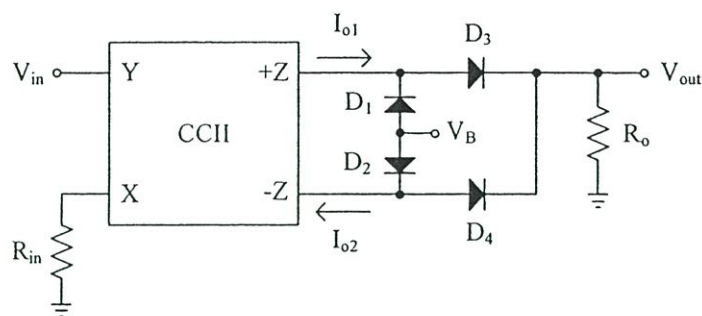
6.2 วงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอ

หลักการวงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอแสดงได้ดังรูปที่ 6.2 วงจรประกอบด้วยวงจรสายพานกระแส CCII 1 วงจร ไดโอด 4 ตัว และตัวต้านทาน 2 ตัว วงจรสายพานกระแส CCII และตัวต้านทาน R_m จะประกอบเป็นวงจรแปลงแรงดันเป็นกระแส (V-I converter) ตัวเรียงกระแสจะใช้ไดโอด D_1 ถึง D_4 และตัวต้านทาน R_o การทำงานของวงจรมีดังนี้ เมื่อแรงดันอินพุตถูกป้อนเข้าที่ขั้ว V_{in} สัญญาณอินพุตนั้นจะถูกแปลงเป็นกระแสด้วยวงจรแปลงแรงดันเป็นกระแสที่ประกอบด้วยวงจร CCII และ R_m คุณสมบัติของวงจรสายพานกระแสสามารถ

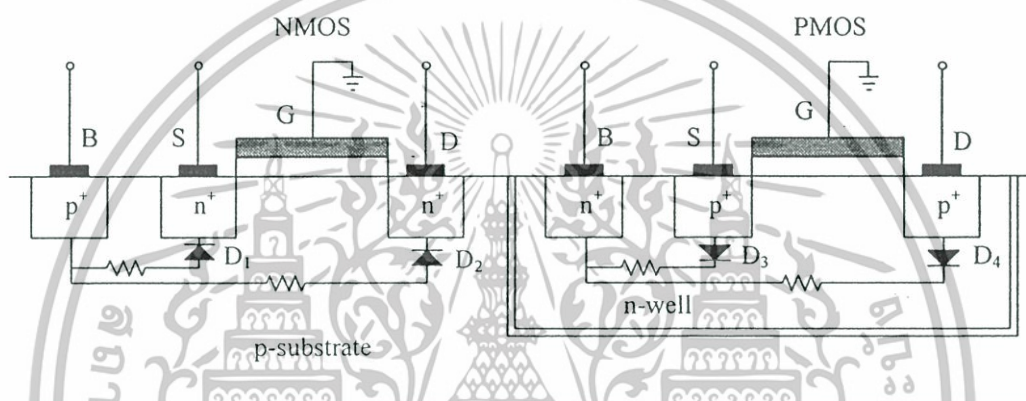
$$\left. \begin{aligned} V_x &= V_y \\ I_z &= I_x \\ I_y &= 0 \end{aligned} \right\} \quad (6.1)$$

กระแสเอาต์พุตของวงจรสายพานกระแสสามารถเขียนได้เป็น

$$I_{o1} = -I_{o2} = \frac{V_{in}}{R_{in}} \quad (6.2)$$



รูปที่ 6.1 หลักการวงจรเรียงกระแสแบบเต็มคลื่นที่นำเสนอสอน



รูปที่ 6.2 โครงสร้างของไดโอดที่สร้างจากมอสทรานซิสเตอร์

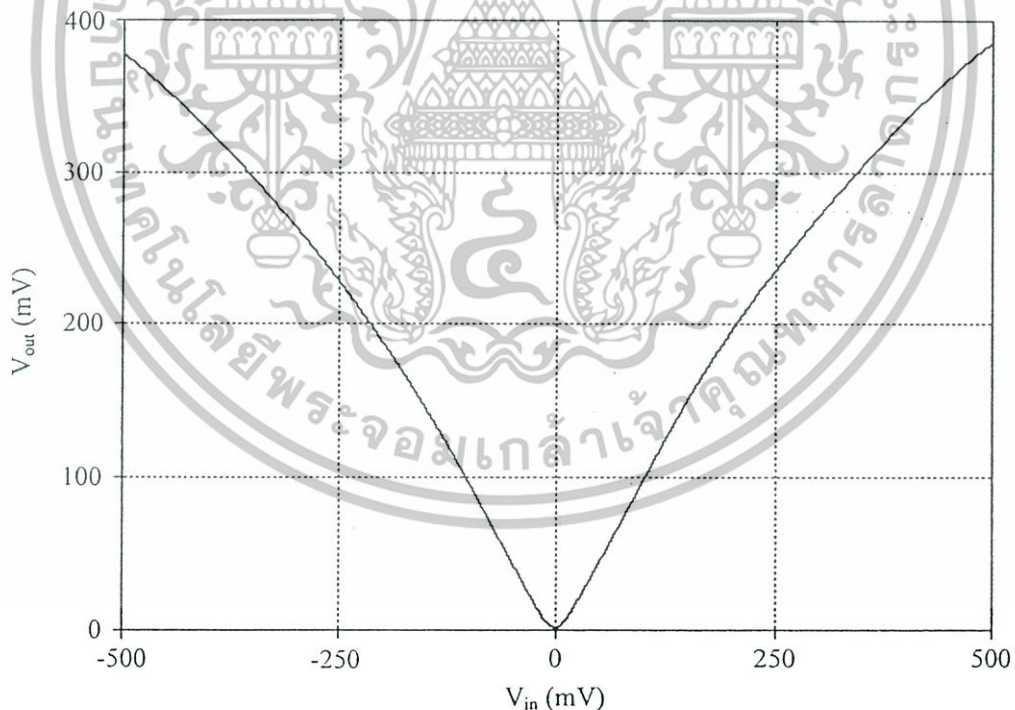
จากวงจรในรูปที่ 6.1 เมื่อใช้วงจรสายพานกระแสที่มีเอาต์พุตทั้งแบบบวกและลบในวงจรเดียว กระแสเอาต์พุตทั้งสองสามารถแสดงได้ดังสมการที่ (6.2) เมื่อสัญญาณ $V_{in} > 0$ กระแส $I_{o1} > 0$ ในขณะที่ $I_{o2} < 0$ ในกรณีนี้ D_3 จะนำกระแสส่วน D_1 จะหยุดนำกระแส ทำให้มีกระแสไหลผ่าน D_3 และเปลี่ยนเป็นแรงดันด้วยตัวต้านทาน R_o กลายเป็นแรงดันซิกบวคที่โหนด V_{out} ในขณะที่กระแส I_{o2} จะไหลผ่าน D_2 ลงกราวด์ ต่อมาเมื่อสัญญาณ $V_{in} < 0$ กระแส $I_{o1} < 0$ ในขณะที่ $I_{o2} > 0$ ในกรณีนี้ D_4 จะนำกระแสส่วน D_2 จะหยุดนำกระแส ทำให้มีกระแสไหลผ่าน D_4 และเปลี่ยนเป็นแรงดันด้วยตัวต้านทาน R_o กลายเป็นแรงดันซิกบวคซิกที่สองที่โหนด V_{out} ในขณะที่กระแส I_{o1} จะไหลผ่าน D_1 ลงกราวด์ โดยใช้สมการที่ (6.2) และกำหนดให้ $R_o = R_{in}$ ความสัมพันธ์ระหว่างแรงดัน V_{in} และแรงดัน V_{out} สามารถกำหนดได้คือ

$$V_{in} > 0; V_{out} = V_{in} \quad (6.3)$$

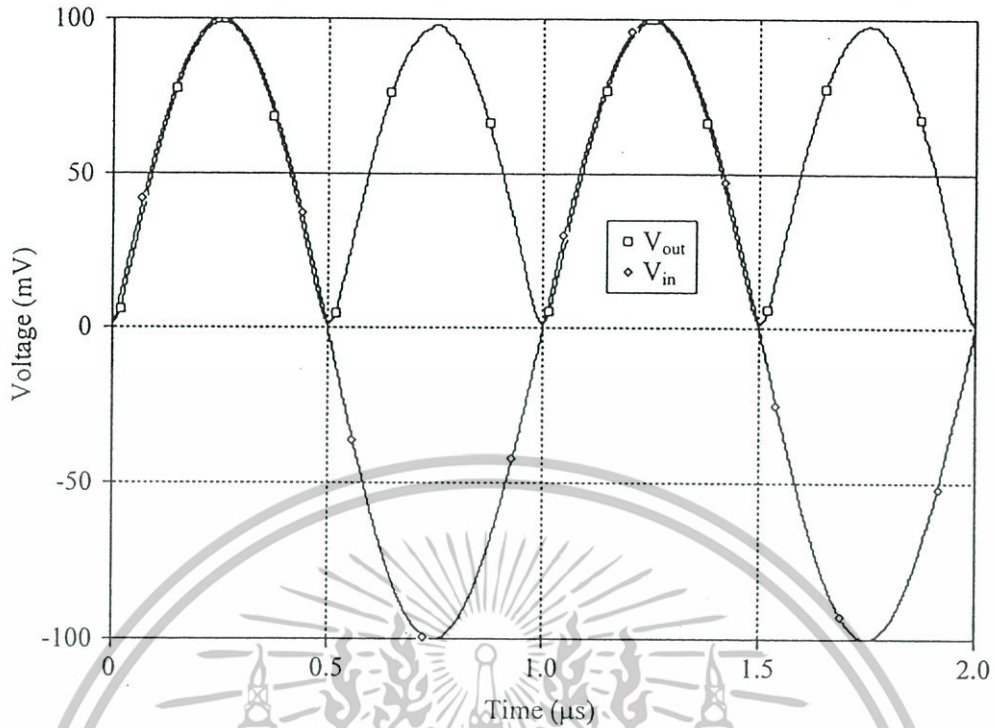
$$V_{in} < 0; V_{out} = V_{in} \quad (6.4)$$

เท่ากับ $10\mu\text{m}/0.6\mu\text{m}$ PMOS ทุกตัวเท่ากับ $40\mu\text{m}/0.6\mu\text{m}$ MR_1 และ MR_2 กำหนดเท่ากันคือ $2\mu\text{m}/2\mu\text{m}$ MR_3 และ MR_4 กำหนดเท่ากันคือ $3.1\mu\text{m}/2\mu\text{m}$ MD1 และ MD2 กำหนด $2\mu\text{m}/0.6\mu\text{m}$ ใช้แหล่งจ่ายแรงดัน $\pm 1.5\text{V}$ กระแสคงที่ $I_{\text{bias}}=100\mu\text{A}$ และ $V_B=0.9\text{V}$

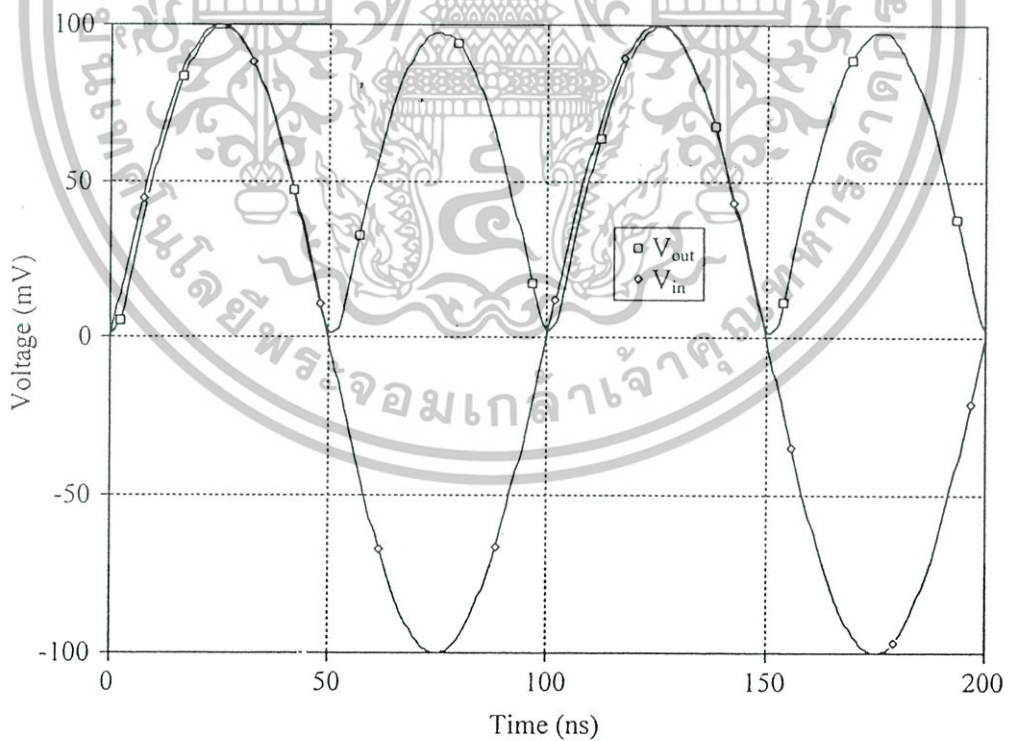
รูปที่ 6.4 แสดงคุณสมบัติทาง DC ของวงจรเรียงกระแสแบบเต็มคลื่นเมื่อกำหนดสัญญาณอินพุต V_{in} เปลี่ยนแปลงอยู่ระหว่างจาก -500mV ถึง $+500\text{mV}$ รูปที่ 6.5 แสดงรูปคลื่นทางอินพุตและเอาต์พุตของการเรียงกระแสแบบเต็มคลื่นเมื่อป้อนสัญญาณอินพุตขนาด $200\text{mV}_{\text{p-p}}$ ความถี่ 1MHz เข้าทางอินพุต ส่วนรูปที่ 6.6 แสดงเอาต์พุตของการเรียงกระแสแบบเต็มคลื่นเมื่อป้อนสัญญาณอินพุตขนาด $200\text{mV}_{\text{p-p}}$ ความถี่ 10MHz เข้าทางอินพุต จากนั้นได้ทดลองเพิ่มความถี่ให้สูงขึ้นเพื่อทดสอบประสิทธิภาพสูงสุดของวงจรโดยได้ทำการเพิ่มความถี่เป็น 100MHz และ 200MHz ตามลำดับ ผลการจำลองการทำงานแสดงได้ดังรูปที่ 6.7 และ 6.8 ตามลำดับ จากรูปเมื่อเพิ่มความถี่ให้สูงขึ้นขนาดของสัญญาณทางเอาต์พุตจะลดลงซึ่งสาเหตุเกิดจากเมื่อวงจรทำงานที่ความถี่สูงอัตราการขยายของวงจรลดลง ขนาดของสัญญาณเอาต์พุตเมื่อป้อนความถี่เพิ่มสูงขึ้นแสดงดังรูปที่ 6.9 ปัญหานี้สามารถแก้ไขได้โดยเพิ่มค่าความต้านทาน R_o หรือเพิ่มค่า W/L ของมอสทรานซิสเตอร์ M_9 , M_{16} , M_{12} และ M_{19}



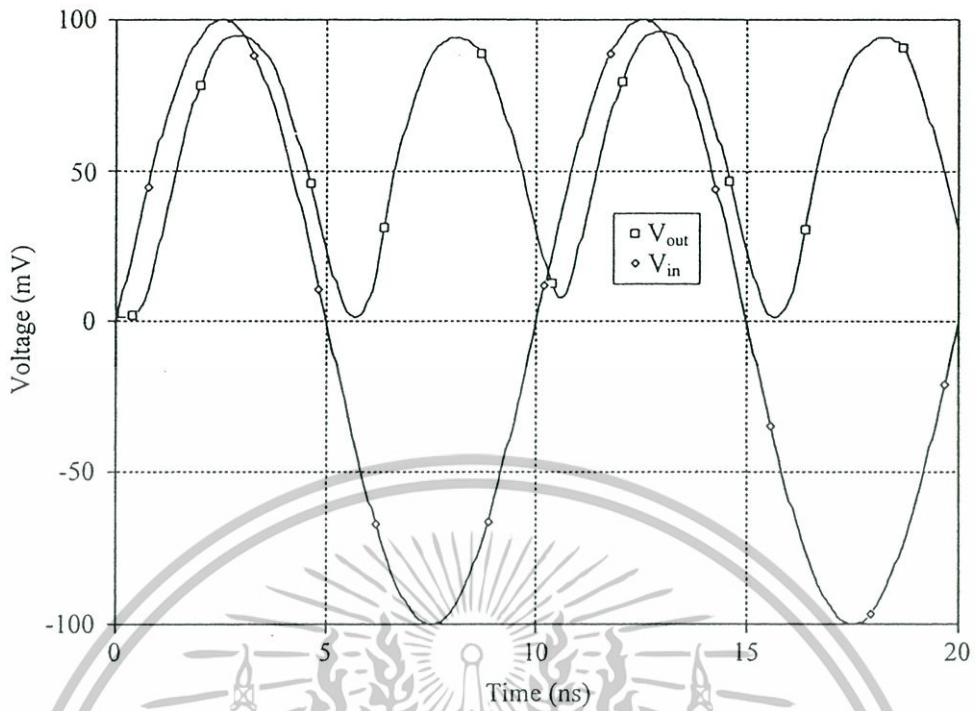
รูปที่ 6.4 คุณสมบัติทาง DC ของวงจรเรียงกระแสแบบเต็มคลื่น



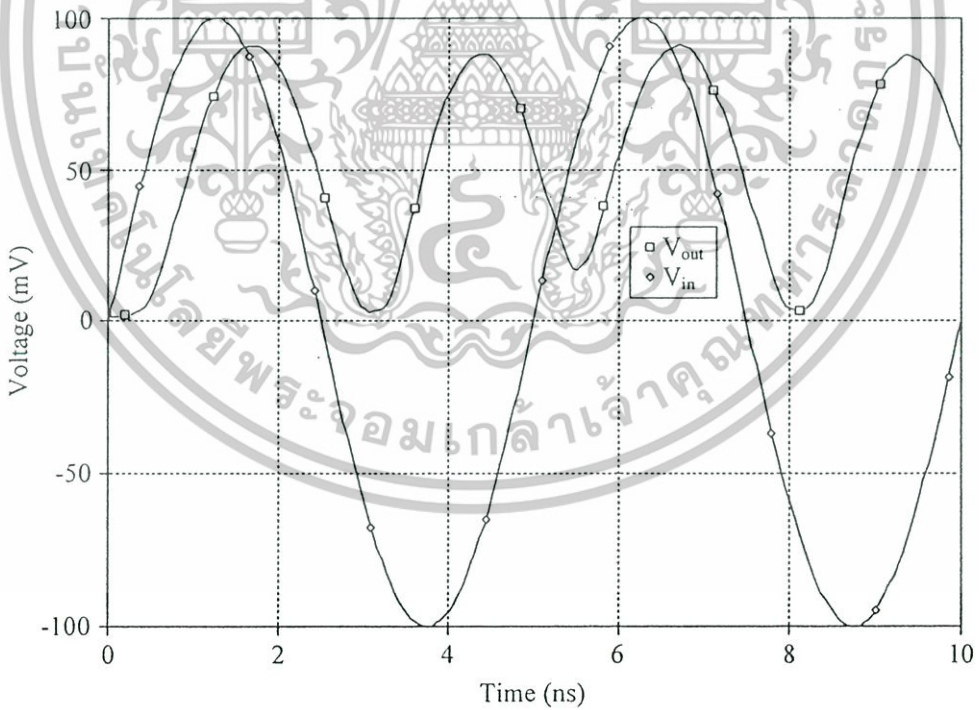
รูปที่ 6.5 รูปคลื่นอินพุตและทางเอาต์พุตของวงจรเรียงกระแสที่ความถี่ 1MHz



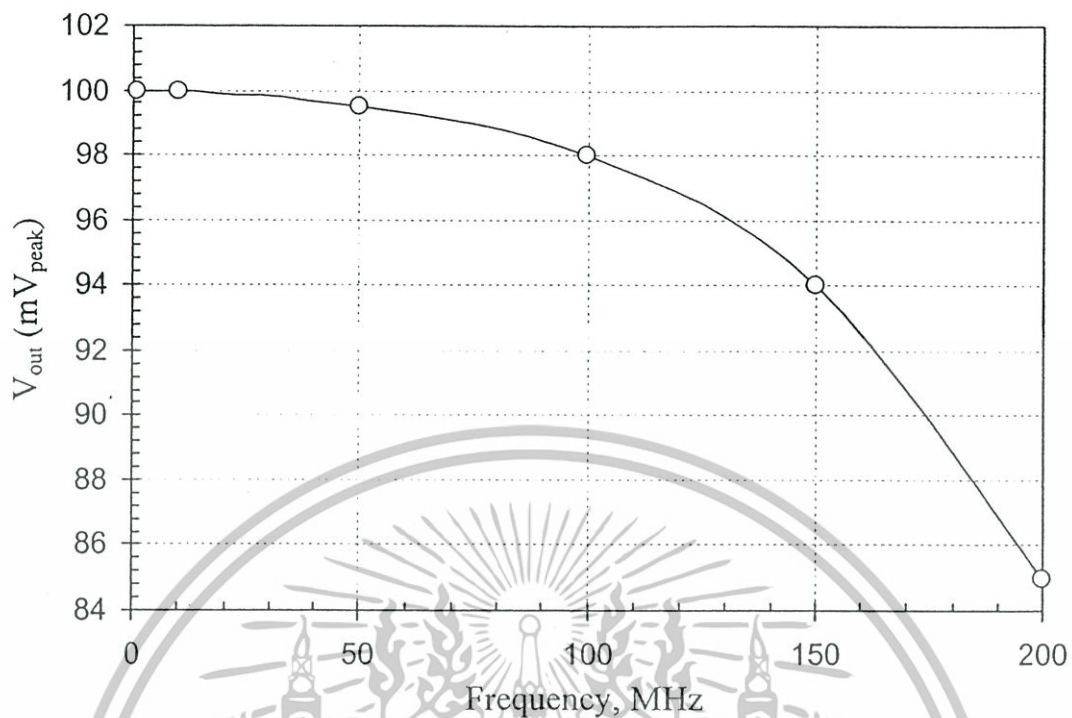
รูปที่ 6.6 รูปคลื่นอินพุตและทางเอาต์พุตของวงจรเรียงกระแสที่ความถี่ 10MHz



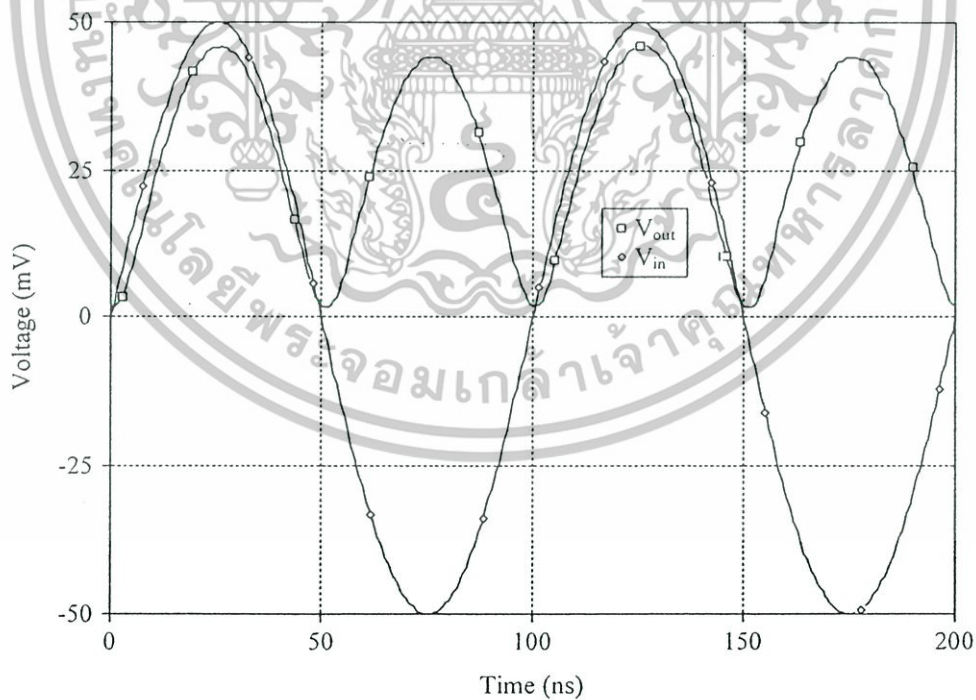
รูปที่ 6.7 รูปคลื่นอินพุตและทางเอาต์พุตของวงจรเรียงกระแสที่ความถี่ 100MHz



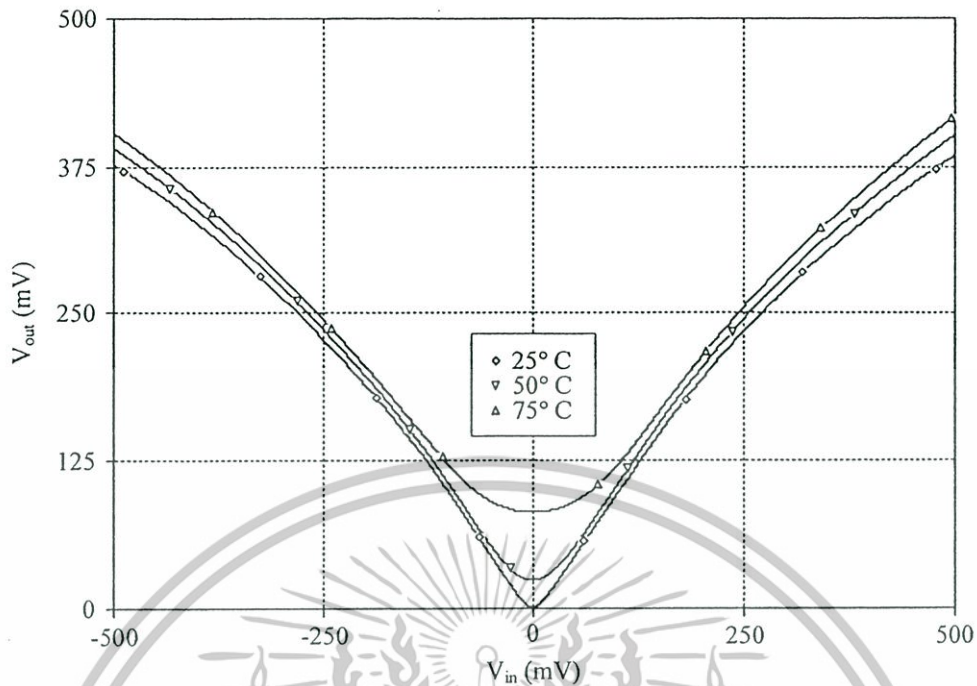
รูปที่ 6.8 รูปคลื่นอินพุตและทางเอาต์พุตของวงจรเรียงกระแสที่ความถี่ 200MHz



รูปที่ 6.9 ขนาดสัญญาณทางเอาต์พุตที่ความถี่ต่าง



รูปที่ 6.10 รูปคลื่นทางอินพุตและเอาต์พุตที่ความถี่ 10MHz ขนาด 100mV_{p-p}



รูปที่ 6.11 คุณสมบัติทาง DC ของวงจรที่อุณหภูมิ 25°C 50°C และ 75°C

จากนั้นได้ทดลองลดขนาดสัญญาณอินพุตที่มีความถี่ 10MHz ลงเหลือ 100mV_{p-p} สัญญาณอินพุตและเอาต์พุตแสดงได้ดังรูปที่ 6.10 รูปที่ 6.11 แสดงคุณสมบัติทาง DC ของวงจรที่อุณหภูมิ 25°C 50°C และ 75°C จากผลการจำลองวงจรก่อนข้างได้รับผลกระทบการเปลี่ยนแปลงของอุณหภูมิ

6.5 บทสรุป

วงจรเรียงกระแสแบบเต็มคลื่นได้ถูกนำเสนอในบทความนี้ โครงสร้างของวงจรประกอบด้วย วงจรสายพานกระแส 1 วงจร มอสมทรานซิสเตอร์ที่ทำงานเป็นไดโอด 2 ตัว มอสมทรานซิสเตอร์ที่ทำงานเป็นตัวต้านทาน 4 ตัว ซึ่งจะเห็นได้ว่าอุปกรณ์ทั้งหมดสามารถสร้างได้ด้วยอุปกรณ์โซลิดสเตตทั้งหมดซึ่งทำให้วงจรที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมด้วยเทคโนโลยีซีมอส เมื่อเปรียบเทียบวงจรที่นำเสนอกับวงจรเรียงกระแสที่ได้เคยนำเสนอในวารสารต่างๆ วงจรที่นำเสนอมีความเหมาะสมสำหรับนำไปสร้างเป็นวงจรรวมมากกว่า ผลการจำลองแสดงได้ว่าวงจรสามารถทำงานได้ที่ความถี่สูงถึง 200MHz

บทที่ 7

บทสรุปและข้อเสนอแนะ

7.1 บทสรุป

วิทยานิพนธ์นี้นำเสนอวงจรเรียงกระแสที่ใช้วงจรสายพานกระแส 3 วงจร วงจรเรียงกระแส วงจรแรกเป็นวงจรเรียงกระแสแบบครึ่งคลื่นเอาต์พุทคู่ วงจรที่สองเป็นวงจรเรียงกระแสเต็มคลื่นเอาต์พุทคู่และวงจรที่สามเป็นวงจรเรียงเต็มคลื่นเอาต์พุทเดี่ยว วงจรที่นำเสนอทั้งหมดประกอบด้วยส่วนต่างๆ สามส่วนคือ วงจรแปลงแรงดันเป็นกระแส วงจรเรียงกระแสโหมดกระแสและวงจรแปลงกระแสเป็นแรงดัน วงจรเรียงกระแสครึ่งคลื่นเอาต์พุทคู่และวงจรเรียงกระแสเต็มคลื่นเอาต์พุทคู่สองวงจรแรกจะใช้วงจรสายพานกระแสและตัวต้านทานแบบมอสทำงานเป็นวงจรแปลงแรงดันเป็นกระแส วงจรเรียงกระแสโหมดกระแสจะทำงานในคลาส AB ซึ่งจะช่วยให้วงจรทำงานได้ดีที่ความถี่สูง ส่วนวงจรแปลงกระแสเป็นแรงดันจะใช้ตัวต้านทานแบบมอส วงจรเรียงกระแสแบบเต็มคลื่นเอาต์พุทเดี่ยวจะใช้วงจรสายพานกระแสและตัวต้านทานแบบมอสทำงานเป็นวงจรแปลงแรงดันเป็นกระแสเช่นเดียวกับวงจรแรก วงจรเรียงกระแสโหมดกระแสใช้ไดโอดแฝงภายในโครงสร้างของมอส ส่วนวงจรแปลงกระแสเป็นแรงดันจะใช้ตัวต้านทานแบบมอสเช่นเดียวกับสองวงจรแรก วงจรที่นำเสนอทั้งหมดเป็นวงจรที่เหมาะสมกับการนำไปสร้างเป็นวงจรรวมด้วยเทคโนโลยีซีมอสและเหมาะกับการประยุกต์ใช้งานในระบบโทรคมนาคม ระบบอิเล็กทรอนิกส์และระบบเครื่องมือวัดที่ต้องการเรียงกระแสสัญญาณขนาดเล็ก วงจรที่นำเสนอจะถูกจำลองการทำงานด้วยโปรแกรม PSpice เพื่อยืนยันการทำงานและคุณสมบัติของวงจร วงจรที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมด้วยเทคโนโลยีซีมอส งานวิจัยที่นำเสนอในวิทยานิพนธ์นี้ได้นำเสนอในประชุมวิชาการและตีพิมพ์ในวารสารนานาชาติดังต่อไปนี้ การประชุมวิชาการ International Symposium on Communications and Information Technology (ISCIT 2006) วารสาร Circuit System and Signal Processing (CSSP) ถึงแม้ว่าวงจรที่นำเสนอจะได้รับการยอมรับให้เข้าร่วมประชุมวิชาการและยอมรับตีพิมพ์ในวารสารนานาชาติ แต่วงจรที่นำเสนอยังมีข้อผิดพลาดและอาจจะต้องการการพัฒนาเพื่อให้วงจรมีคุณสมบัติที่ดีที่สุดต่อไป

7.2 ข้อเสนอแนะ

วิทยานิพนธ์นี้ได้นำเสนอวงจรเรียงกระแส 3 วงจร วงจรเรียงกระแส วงจรแรกเป็นวงจรเรียงกระแสแบบครึ่งคลื่นเอาต์พุทคู่ วงจรที่สองเป็นวงจรเรียงกระแสเต็มคลื่นเอาต์พุทคู่และวงจรที่สามเป็นวงจรเรียงเต็มคลื่นเอาต์พุทเดี่ยว ซึ่งเป็นวงจรที่สามารถนำมาประยุกต์ใช้งานในระบบ

โทรคมนาคม ระบบควบคุมและระบบเครื่องมือวัดที่ต้องการเรียงกระแสสัญญาณขนาดเล็กซึ่งเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น เมื่ออนุญาตให้นำไปเผยแพร่ขึ้นต้นการค้นคว้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดโอดไม่สามารถทำงานได้ วงจรไม่เป็นเชิงเส้นเหล่านี้สามารถพัฒนาให้มีประสิทธิภาพสูงขึ้นได้ โดย

1. วงจรเรียงกระแสเต็มคลื่นเอาต์พุตคู่ก่อนข้างใช้อุปกรณ์ทรานซิสเตอร์มาก
2. วงจรเรียงกระแสครึ่งคลื่นเอาต์พุตคู่และวงจรเรียงกระแสเต็มคลื่นเอาต์พุตคู่สองวงจรแรกมีช่วงปฏิบัติงานทางอินพุตขึ้นอยู่กับข้อกำหนดค่า R_{in} ถ้าค่า R_{in} มีค่ามากช่วงปฏิบัติงานทางอินพุตจะกว้างขึ้นแต่ความไวของอินพุตจะลดลง
3. วงจรเรียงกระแสแบบเต็มคลื่นวงจรที่สามมีความเหมาะสมกับการนำไปสร้างเป็นวงจรรวมมากกว่าวงจรเรียงกระแสเต็มคลื่นวงจรที่นำเสนอวงจรที่สอง แต่วงจรต้องการจังก์ชันไดโอดที่มีคุณสมบัติเหมือนกัน 4 ตัว คุณสมบัติของไดโอดทั้ง 4 ตัวที่ไม่สมพียงกันจะทำให้ได้สัญญาณเอาต์พุตที่มีคุณสมบัติไม่สมมาตรกัน



เอกสารอ้างอิง

- [1] Z. Wang, "Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation," *IEEE Transactions on Circuits and Systems-I*, vol. 39, pp. 456-462, 1992.
- [2] S. J. G. Gift, "A high-performance full-wave rectifier circuit," *International Journal of Electronics*, vol. 89, pp. 467-476, 2000.
- [3] P. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and design of analog integrated circuit*, John Wiley & Sons, New York, 2001.
- [4] A. J. Peyton and V. Walsh, *Analog electronics with op amps: a source book of practical circuits*, Cambridge University Press, New York, 1993.
- [5] C. Toumazou, F. J. Lidgley and S. Chattong, 1994. "High frequency current conveyor precision full-wave rectifier," *Electronics Letters*, vol. 30, pp. 745-746, 1994.
- [6] A. A. Khan, M. Abou El-Ela, and M. A. Al-Turaigi, "Current-mode precision rectification," *International Journal of Electronics*, vol. 79, pp. 853-859, 1995.
- [7] A. Monpapassorn, K. Dejhan, and F. Cheevasuvit, "A full-wave rectifier using a current conveyor and current mirrors," *International Journal of Electronics*, vol. 88, pp. 751-758, 2001.
- [8] V. Surakumponthorn and V. Riewruja, "Integrable CMOS sinusoidal frequency doubler and full-wave rectifier," *International Journal of Electronics*, vol. 73, pp. 627-632, 1992.
- [9] J. Ramirez-Angulo, "High frequency low voltage CMOS diode," *Electronics Letters*, vol. 28, pp. 298-299, 1992.
- [10] V. Riewruja and R. Guntapong, "A low-voltage wide-band CMOS precision full-wave rectifier," *International Journal of Electronics*, vol. 89, pp. 467-476, 2002.
- [11] M. Kumngern and K. Dejhan, "High frequency and high precision CMOS full-wave rectifier," *International Journal of Electronics*, vol. 93, pp. 185-199, 2006.
- [12] E. Sanchez-Sineccio, J. Ramirez-Angulo, B. Linares-Barranco, and A. Rodriguez-Vazquez, "Operational transconductance amplifier-based nonlinear function syntheses," *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 1576-1586, December 1989.
- [13] H. Chaoui, "CMOS high-frequency rectifier with unity voltage gain," *Electronics Letters*, vol. 31, pp. 717-718, April 1995.

- [14] A. Monpapassorn, K. Dejhan, and F. Cheevasuvit, "CMOS dual output current mode half-wave rectifier," *International Journal of Electronics*, vol. 88, pp. 1073-1084, 2001.
- [15] B. Wilson and V. Mannama, "Current-mode rectifier with improved precision," *Electronics Letters*, vol. 31, pp. 247-248, 1995.
- [16] K. Hayatleh, S. Porta and F.J. Lidgely, "Temperature independent current conveyor", *Electronics Letters*, 30, pp. 2091-2093, 1995.
- [17] Z. Wang, "2-MOSFET transistor with extremely low distortion for output reaching supply voltage," *Electronics Letters*, vol. 26, pp. 951-952, 1990.
- [18] B. Razavi, *Design of analog CMOS integrated circuit*, New York, USA: McGraw-Hill, 2001.
- [19] P. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and design of analog integrated circuit*, New York, USA: John Wiley & Sons, 2001.





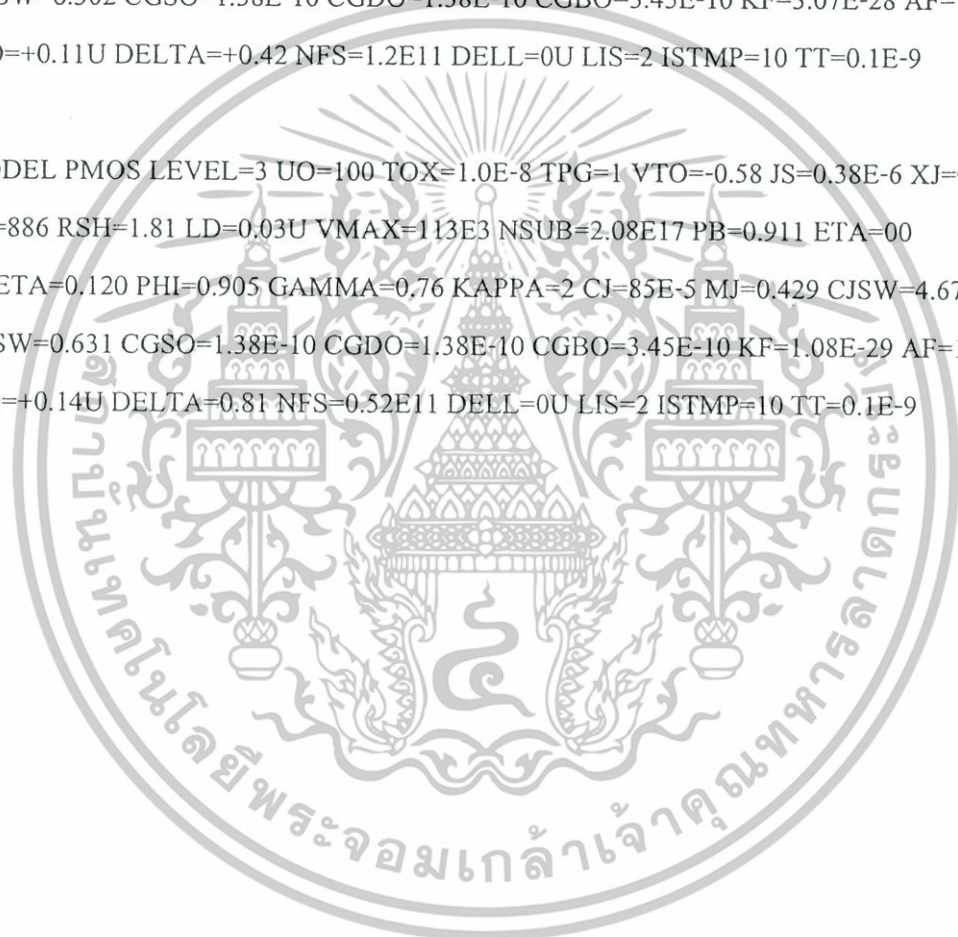
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

พารามิเตอร์ที่ใช้จำลองการทำงาน

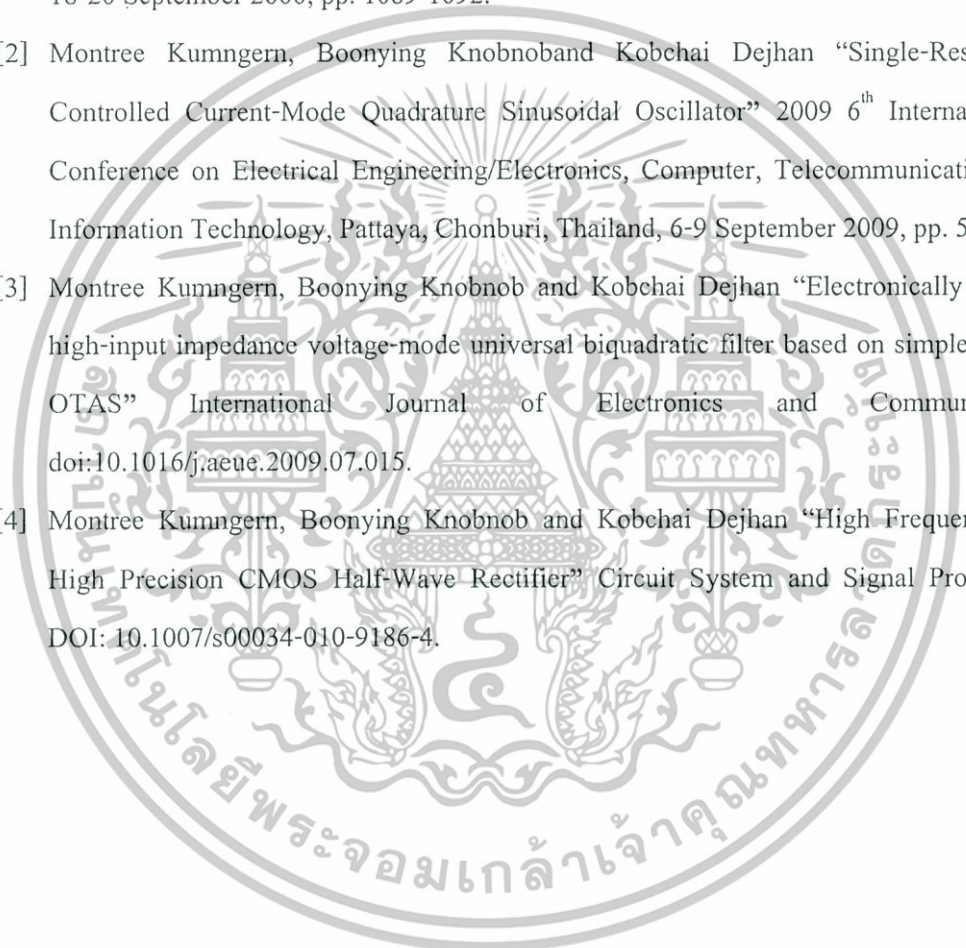
MODEL NMOS LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=+0.62 JS=1.08E-6 XJ=0.15U
 RS=417 RSH=2.73 LD=0.04U VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=0.00
 THETA=0.129 PHI=0.905 GAMMA=0.69 KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10
 MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10 CGBO=3.45E-10 KF=3.07E-28 AF=1
 WD=+0.11U DELTA=+0.42 NFS=1.2E11 DELL=0U LIS=2 ISTMP=10 TT=0.1E-9

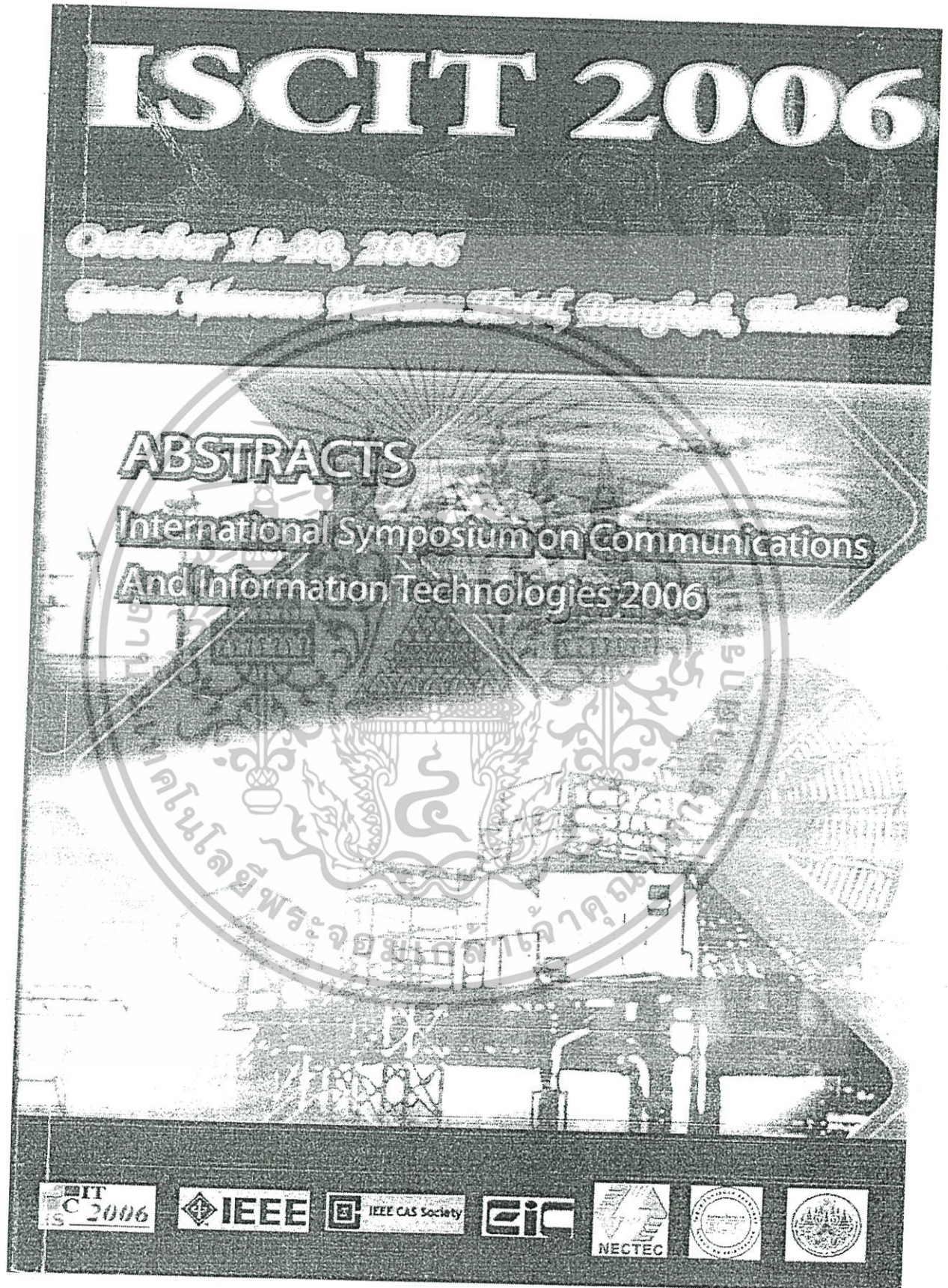
MODEL PMOS LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58 JS=0.38E-6 XJ=0.10U
 RS=886 RSH=1.81 LD=0.03U VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00
 THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2 CJ=85E-5 MJ=0.429 CJSW=4.67E-10
 MJSW=0.631 CGSO=1.38E-10 CGDO=1.38E-10 CGBO=3.45E-10 KF=1.08E-29 AF=1
 WD=+0.14U DELTA=0.81 NFS=0.52E11 DELL=0U LIS=2 ISTMP=10 TT=0.1E-9



ภาคผนวก ข

ผลงานที่ได้รับการตีพิมพ์ระหว่างศึกษา

- 
- [1] Chartchai Noisuwan, Jintana Nakasuwan, Boonying Knobnob, Sorawat Chivapreecha and Kobchai Dejhan “A CMOS Median Filter Circuit Design” International Symposium on Communications and Information Technologies (ISCIT 2006), Bangkok, Thailand, 18-20 September 2006, pp. 1089-1092.
- [2] Montree Kumngern, Boonying Knobnob and Kobchai Dejhan “Single-Resistance-Controlled Current-Mode Quadrature Sinusoidal Oscillator” 2009 6th International Conference on Electrical Engineering/Electronics, Computer, Telecommunication, and Information Technology, Pattaya, Chonburi, Thailand, 6-9 September 2009, pp. 534-537
- [3] Montree Kumngern, Boonying Knobnob and Kobchai Dejhan “Electronically tunable high-input impedance voltage-mode universal biquadratic filter based on simple CMOS OTAS” International Journal of Electronics and Communication, doi:10.1016/j.aene.2009.07.015.
- [4] Montree Kumngern, Boonying Knobnob and Kobchai Dejhan “High Frequency and High Precision CMOS Half-Wave Rectifier” Circuit System and Signal Processing, DOI: 10.1007/s00034-010-9186-4.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A CMOS Median Filter Circuit Design

Chartchai Noisuwan* Jintana Nakasuwan* Boonying Knobnob** Sorawat Chivapreecha**
and Kobchai Dejhan**

*Electronics and Telecommunication Engineering Department, Faculty of Engineering, Rajamangala University of
Technology Thunyaburi, Klong 6 Thunyaburi, Phatumtani Thailand 12110

**Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

Tel: 66-2326-4238, 66-2326-4242, Fax:66-2326-4554,

Email: {sorawat,kobchai}@telecom.kmitl.ac.th

Abstract— This paper proposes a median filter circuit design, which the operations are in current mode and based on CMOS technology. Its structure consists of three main parts, the first part is current average circuit, second part is current absolute value circuit, and third part is current minimum circuit. The results of this circuit can be shown using the PSpice simulation program to demonstrate the performances of this circuit.

I. INTRODUCTION

Median filter is a nonlinear circuit used for signal processing both of image and sound processing as proposed in [1-4], but the detail that proposed are based on trans-linear circuit of bipolar transistor, op-amp and CMOS. The operations are altogether complexity which cannot response to process of data with complexity, high accuracy requirement [1-4] and use many of CMOS transistors [1].

Therefore, this paper proposes a design of median filter using CMOS. The operations of proposed circuit are quite simply structure with a high efficiency, which is suitable for further various applications.

II. PRINCIPLE OF CIRCUIT OPERATIONS

The proposed CMOS median filter operates in current-mode. The completed circuit consists of 3 main building blocks, current average circuit, current absolute value circuit and current minimum circuit. The circuit's description can be described below.

A. Current Average Circuit

Supposed that, there are 3 different currents I_1 , I_2 and I_3 which are minimum median and maximum, respectively. The absolute value of them can be expressed as

$$I_{(1)} \leq I_{(2)} \leq I_{(3)} \quad (1)$$

Where: $I_{(1)}$ is an absolute minimum current

$I_{(2)}$ is an absolute median current

$I_{(3)}$ is an absolute maximum current

From eq. (1), the average current is

$$I_{av} = \frac{1}{3} \sum_{i=1}^3 I_i \quad (2)$$

The relation of current can be derived using the distance of them as follows

$$\left\{ \begin{array}{l} |I_{av} - I_{(2)}| \leq |I_{av} - I_{(1)}| \\ |I_{av} - I_{(2)}| \leq |I_{av} - I_{(3)}| \end{array} \right\} \quad (3)$$

The minimum current can be obtained by 2 cases of median current with respect to an average current as follows:

$$I_{(2)} = \begin{cases} \min |I_{av} - I_{(1)}| - I_{av}; & I_{av} \geq I_{(2)} \\ \min |I_{av} - I_{(3)}| + I_{av}; & I_{av} \leq I_{(2)} \end{cases} \quad (4)$$

The current average circuit [4] is shown in Fig. 1.

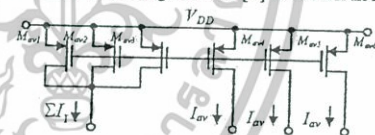


Fig. 1 Current Average Circuit

B. Current Absolute Value Circuit

The current absolute value circuit can use current comparator circuit is basis, as shown in Fig. 2.[5]

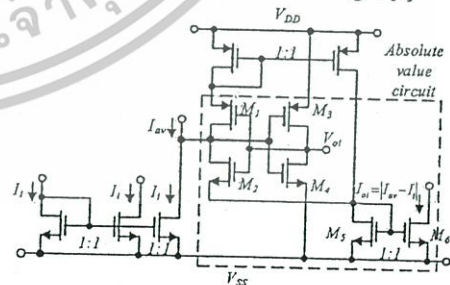


Fig. 2 Current Absolute Value Circuit

From Fig. 2, can give some relationship as follows,

$$I_{oi} = |I_{av} - I_i| \quad (5)$$

C. Current Minimum Circuit

The current minimum circuit uses current mirror circuit and De Morgan's theorem for circuit operations as shown in Fig. 3 which is based on maximum current circuit [3]

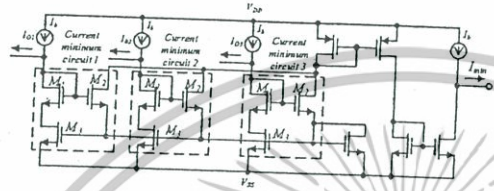


Fig. 3 Current Minimum Circuit

The minimum current is given by

$$I_{min} = \min(I_{o1}, I_{o2}, I_{o3}) = \max(I_{o1}, I_{o2}, I_{o3}) \quad (6)$$

where

$$I_{oi} \text{ is } I_b - I_{oi}$$

I_b is constant biased current

III. THE CIRCUIT OPERATIONS

The CMOS median filter is shown in Fig. 4 that consists of 3 majority circuits as current average circuit, current absolute value circuit and current minimum circuit.

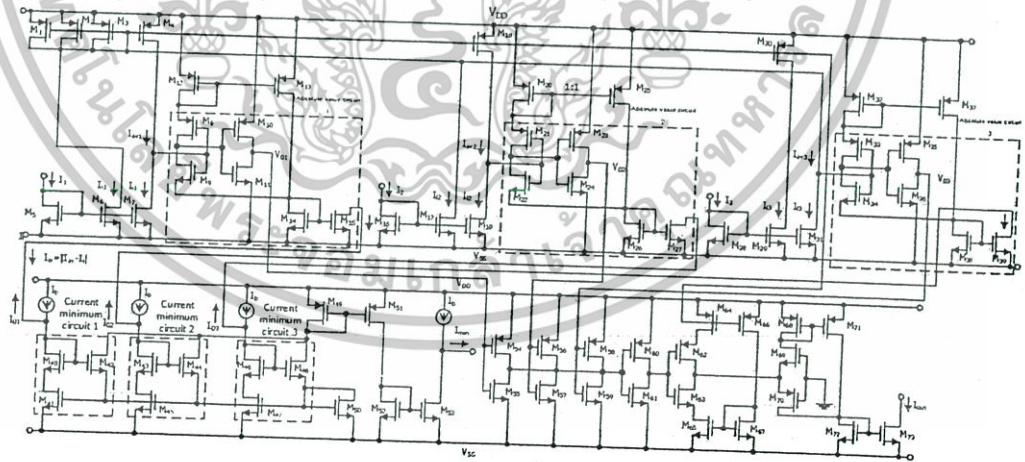


Fig. 4 The proposed CMOS median filter

The circuit operations can be described as follows, when $I_{(1)} \leq I_{av}$, $I_{(2)} \leq I_{av}$, and $I_{(3)} \geq I_{av}$, the outputs voltage of absolute value circuit are equal to $V_{o1} = V_{DD}$, $V_{o2} = V_{DD}$ and $V_{o3} = V_{SS}$, respectively. Thus, transistor M_{62} is turned off while M_{63} is turned on which in this case the minimum current is resulting in $I_{(min)} = |I_{av} - I_{(2)}|$. The output current of median circuit is given by eq. (7).

$$I_{(out)} = |I_{(2)} - I_{av} + I_{av}| = I_{(2)} \quad (7)$$

When $I_{(1)} \leq I_{av}$, $I_{(2)} \geq I_{av}$ and $I_{(3)} \geq I_{av}$, the outputs voltage of absolute value circuit are equaled to $V_{o1} = V_{DD}$, $V_{o2} = V_{SS}$ and $V_{o3} = V_{SS}$, respectively. Thus, transistor M_{62} is turned on while M_{63} is turned off which in this case the minimum current is resulting in $I_{(min)} = |I_{av} - I_{(2)}| = I_{(2)} - I_{av}$. The output current of median circuit is given by eq. (8)

$$I_{(out)} = |I_{(2)} - I_{av}| = I_{(2)} \quad (8)$$

From eq. (7) and (8) can be given the median current which is the output current of the proposed median circuit and can be seen that it is corresponding to the condition of $I_{(2)}$ in eq. (1).

IV. SIMULATION RESULTS

The CMOS median filter in this paper has been simulated by Pspice program based on 0.8 μ m CMOS technology. The power supplies and biased currents are used $V_{DD} = 1.5$ V, $V_{SS} = -1.5$ V, $I_b = 25 \mu$ A, respectively. For the aspect ratio W/L, are shown in Table I.

Table I. The aspect ratio of transistors

Transistor	W/L(μ m/ μ m)
$M_{14}, M_{15}, M_{26}, M_{27}, M_{38}, M_{39}, M_{50}, M_{54}, M_{56}, M_{58}$ and M_{60}	24/0.8
$M_1, M_2, M_3, M_4, M_{18}, M_{30}, M_{62}, M_{63}$ and M_{69}	16/0.8
$M_8, M_9, M_{10}, M_{11}, M_{21}, M_{22}, M_{23}, M_{24}, M_{33}, M_{34}, M_{35}, M_{36}, M_{35}, M_{57}, M_{59}$ and M_{61}	8/0.8
$M_{40}, M_{41}, M_{42}, M_{43}, M_{44}, M_{45}, M_{46}, M_{47}$ and M_{48}	3.2/0.8
$M_5, M_6, M_7, M_{12}, M_{13}, M_{16}, M_{17}, M_{19}, M_{20}, M_{25}, M_{28}, M_{29}, M_{31}, M_{32}, M_{37}, M_{49}, M_{51}, M_{52}, M_{53}, M_{64}, M_{65}, M_{66}, M_{67}$ and M_{68}	0.8/0.8

The proposed circuit is able current input is applied as $I_{(2)}$ and $I_{(3)}$. are used for minimum and maximum current reference, respectively. The dc characteristic of proposed circuit is described in Fig. 5. Fig. 6-8 are shown the output signal in various current references. The 100 KHz sine wave is applied for $I_{(2)}$ with 20μ A offset current. The Fig. 6 shows the output while minimum and maximum are 13μ A and 27μ A, respectively. The other results are used minimum and

maximum reference of 15μ A and 25μ A for Fig. 7 and 17μ A and 23μ A for Fig. 8

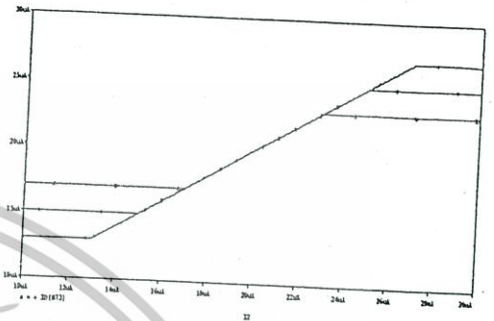


Fig. 5 DC transfer characteristics

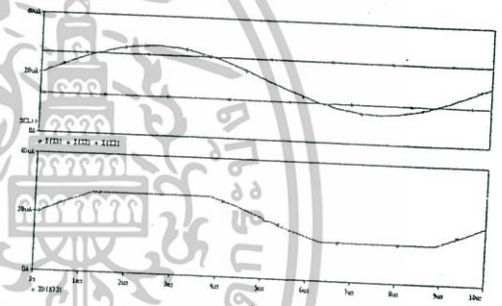


Fig. 6 Output wave form when $I_{(0)} = 27 \mu$ A and $I_{(3)} = 13 \mu$ A

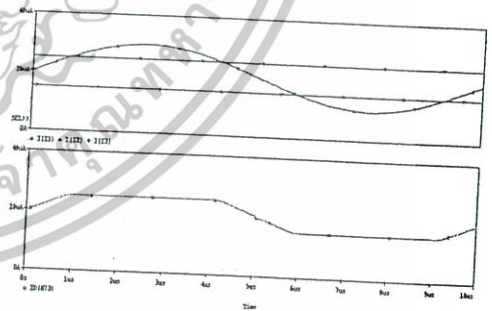


Fig. 7 Output wave form when $I_{(0)} = 25 \mu$ A and $I_{(3)} = 15 \mu$ A

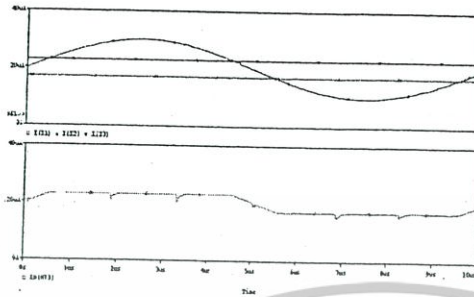


Fig. 8 Output wave form when $I_{(0)} = 23\mu A$ and $I_{(3)} = 17\mu A$

VII. CONCLUSION

The simple structure CMOS median filter is described. The high-accuracy and simple adjustment can be obtained. The $0.8\mu m$ CMOS technology has been carried out for the simulations. The maximum frequency response of proposed circuit is up to 100 kHz and the errors in circuit operations can be corrected by adjust the ration of W/L in current average circuit.

REFERENCE

- [1] J.S. Jimmy Li and W. Harvey Holmes, "Analog Implementation of Median Filters for Real - Time Signal Processing", *IEEE Tran. Circuits Syst.*, 1988, CAS - 35, pp. 1032-1033.
- [2] I.E. Opris and G.T.A. Kovacs, "A High - Speed Median Circuit", *IEEE J. Solid - State Circuits.*, 1997, pp 905-908.
- [3] I. Baturone, J.L. Huertas, A.Barriga and S. Sanchez Solano "Current - Mode Multiple - Input Max Circuit", *Electron. Lett.*, 1994, pp 678 - 680.
- [4] D.C. Naim and C.A.T. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters," *IEEE J. Solid-State Circuit*, Vol.25, pp.997 - 1004.
- [5] H. Traff, "Novel Approach to High Speed CMOS Current Comparators," *Electron. Lett.*, Vol. 28, No. 3 pp. 310-312, 1992.

1

2009 6th International Conference
on Electrical Engineering/Electronics,
Computer, Telecommunications,
and Information Technology

ECTI-CON 2009

May 6th - 9th, 2009

Ambassador City Jomtien
Pattaya, Chonburi, Thailand

ISBN 978-1-4244-3288-9
IEEE Catalog Number: CFP0906E
Library of Congress: 2008910219



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Single-Resistance-Controlled Current-Mode Quadrature Sinusoidal Oscillator

Montree Kumngern, Boonying Knobnob and Kobchai Dejhan
Telecommunications Engineering Department, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand,
Tel: +66-2-326 4238, +66-2-326 4242, Fax: +66-2-326 4554
E-mail: kkmontre@kmitl.ac.th

Abstract—A new single-element-controlled current-mode quadrature oscillator circuit using second-generation current conveyors (CCII) is presented. The proposed oscillator is consisted of two CCII, two grounded capacitors and three grounded resistors. The circuit is beneficial to monolithic integrated circuit implementation by the use of grounded passive components. In addition, a new current-controlled sinusoidal oscillator using two second-generation current-controlled conveyors (CCCII), two grounded capacitors and one grounded resistor can be achieved by replacing CCII and resistors series at X terminals with CCCII. The oscillation frequencies of the CCII-based can be controlled by a grounded resistor while the CCCII-based can be controlled by a bias current. The realized of both circuits provide four quadrature current outputs at high output impedance nodes. PSPICE simulation results that confirm the theoretical predictions are given.

I. INTRODUCTION

A quadrature oscillator typically provide two sinusoids with 90° phase difference for a variety of applications, such as in telecommunications for quadrature mixers, in single-sideband generators, in direct-conversion receivers, or for measurement purposes in vector generators or selective voltmeters [1]-[2]. Over the years, many schemes of grounded-capacitor voltage-mode and current-mode quadrature oscillators have been presented [3]-[16]. Due to the employment of grounded capacitors, these oscillators provide a suitable advantage for monolithic integrated circuit implementation [3]-[7]. On other hand, current-mode oscillators with high-output current sources are of great interest because they make it easily to drive loads without using a buffer device [12]-[15]. The development of the current-mode quadrature oscillators based on different design techniques can be described as follows. First, the current-mode quadrature oscillators based on a single active device have been proposed [8]-[11] but they suffer from complex structure, use of large number of grounded and floating passive components, and also require additional current followers to avoid the loading problem. The use of floating passive component makes these circuits not ideal for IC implementation. In 2002 and 2003, Horng proposed two quadrature oscillator circuits using two current differencing buffered amplifiers (CDBAs) [12] and two differential voltage current conveyors (DVCCs) [13] with two grounded capacitors and two grounded resistors, respectively.

In 2006, Horng *et al.* again proposed two quadrature oscillator circuits using a fully-differential second-generation current conveyor (FDCCII) with two grounded capacitors and two (or three) grounded resistors [14]. Later on, the current-mode quadrature oscillator using two current differencing transconductance amplifiers (CDTAs) with two floating capacitors and four floating resistors is proposed [15]. The circuits [12]-[15] enjoy high-output impedance current sources. However, most of reports lack electronic tenability. Moreover, the current-mode high-output impedance quadrature oscillator presented in [15] also employed floating passive components.

By using the second-generation current controlled conveyor (CCCII) introduced by Fabre *et al.* [16], current conveyor applications can be extended to the domain of electronically tunable functions. While the quadrature oscillators reported in [17] employ CCCII, it suffers from the use of excessive number of active components (Four CCCIIs).

In this paper, a current-mode quadrature oscillator using two CCII, two grounded capacitors and three grounded resistors is presented. It provides the advantage of using grounded capacitors that are beneficial to IC implementation. Furthermore, from the proposed CCII-based quadrature oscillator, by replacing the CCII and resistors connected series at X terminals by CCCII, a new current-controlled quadrature oscillator using two CCCII, two grounded capacitors and one grounded resistor can be obtained. The proposed circuits enjoy non-interactive frequency and current control, generate four quadrature current outputs at high output impedance nodes.

II. PROPOSED CIRCUIT

The CCII is defined by the following matrix equation [18]:

$$\begin{pmatrix} I_Y \\ V_X \\ I_Z \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{pmatrix} \begin{pmatrix} V_Y \\ I_X \\ V_Z \end{pmatrix} \quad (1)$$

Fig. 1 shows the proposed current-mode quadrature oscillator circuit. It consists of two CCII, two grounded capacitors and three grounded resistors. The characteristic equation of Fig. 1 can be expressed as

$$s^2C_1C_2R_1R_2R_3 + sC_2R_2(R_1 - R_3) + R_3 = 0 \quad (2)$$

The oscillation condition and oscillation frequency can be obtained as

$$R_1 \leq R_3 \quad (3)$$

and

$$\omega_o = \sqrt{\frac{1}{C_1C_2R_2R_1}} \quad (4)$$

From equations (3) and (4), the oscillation condition can be adjusted by grounded resistor R_3 and the oscillation frequency can be tuned by varying the grounded resistor R_2 without disturbing the oscillation condition. This means that the oscillation frequency and oscillation condition can be orthogonally controlled. From Fig. 1, CCII₂ along with C_2 and R_2 form of the inverting lossless integrator. Hence, the phase difference ϕ between I_1 and I_2 is given by

$$\phi = \pi - \tan^{-1}(\omega R_2 C_2) \quad (5)$$

At $\omega = \omega_o$, equation (5) can be obtained as $\phi = \pi/2$, ensuring that the currents I_1 and I_2 are in quadrature. The use of multiple-output CCII provides an inverted version of the output current. Thus, the oscillator circuit in Fig. 1 can generate a four-phase quadrature output. The phasor diagram can be shown in Fig. 2. All the outputs are at high impedance Z-terminal of CCII, thus ensuring insensitive current outputs that require no additional current followers to be sensed. The four output terminals, I_1 to I_4 , can be directly connected to the next stage without additional follower circuits. The various passive sensitivities of the parameter ω_o of Fig. 1 are

$$S_{C_1}^{\omega_o} = S_{C_2}^{\omega_o} = S_{R_1}^{\omega_o} = S_{R_2}^{\omega_o} = -\frac{1}{2}$$

It can see that the passive sensitivities of proposed quadrature oscillator have low. By using a JFET to replace R_2 , a voltage-controlled oscillator can be obtained [19].

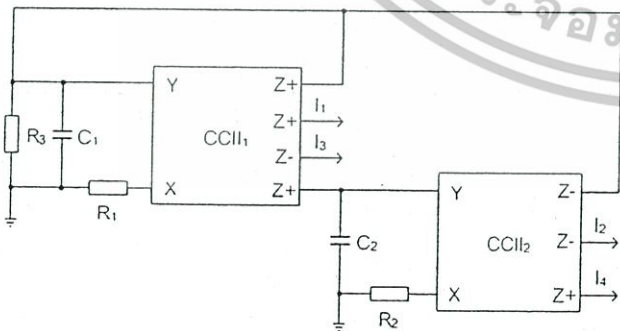


Fig. 1. Proposed CCII-based quadrature oscillator.

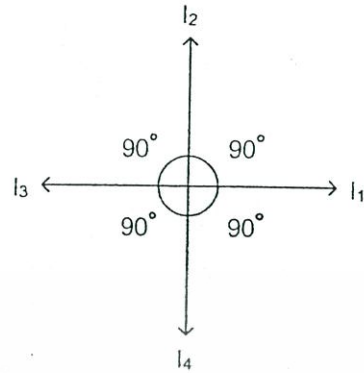


Fig. 2. Phasor diagram of quadrature current outputs.

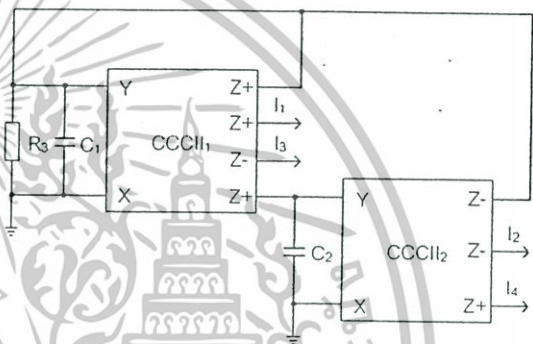


Fig. 3. Proposed CCCII-based quadrature oscillator.

The CCCII is the circuit that has a finite input impedance R_x at X terminal [16], where $R_x = V_T/2I_0$, I_0 is an external bias current and V_T is the thermal voltage. This type of current conveyor provides the advantage that the value of R_x can be controlled by the bias current I_0 . This property makes it different from a CCII. Then, from Fig 1, if two CCII with the resistors at the X terminals are replaced by the CCCII, a new CCCII-based quadrature oscillator of Fig. 3 can be obtained. The CCCII-based quadrature oscillator circuit employs two CCCII, two grounded capacitors and one grounded resistor. The characteristic equation of Fig.3 can be expressed as

$$s^2C_1C_2R_{x1}R_{x2}R_3 + sC_2R_{x2}(R_{x1} - R_3) + R_3 = 0 \quad (6)$$

The oscillation condition and oscillation frequency can be obtained as

$$R_{x1} \leq R_3 \quad (7)$$

and

$$\omega_o = \sqrt{\frac{1}{C_1C_2R_{x2}R_{x1}}} \quad (8)$$

or
$$\omega_o = \frac{2}{V_T} \sqrt{\frac{I_{o1} I_{o2}}{C_1 C_2}} \quad (9)$$

where R_{x1} ($R_{x1}=V_T/2I_{o1}$) and R_{x2} ($R_{x2}=V_T/2I_{o2}$) are the inner resistances at x terminals of CCCII₁ and CCCII₂, respectively. From equations (7) and (8), the oscillation condition of Fig. 3 can be adjusted by grounded resistors R_3 and the oscillation frequency can be independently controlled by varying R_{x2} through the bias current I_{o2} without affecting the oscillation condition. This implies that the circuit can work as a current-controlled oscillator. The various passive and active sensitivities of the parameter ω_o of Fig. 3 are

$$S_{I_{o1}}^{\omega_o} = S_{I_{o2}}^{\omega_o} = -S_{C_1}^{\omega_o} = -S_{C_2}^{\omega_o} = \frac{1}{2}; S_{V_T}^{\omega_o} = -1$$

III. SIMULATION RESULTS

The proposed circuits were simulated using PSPICE simulation program. The current conveyor given in Fig. 4 [20] was performed with the transistor model of NR100N and PR100N of the bipolar arrays ALA400 from AT&T [21]. It is the multiple-output translinear bipolar CCCII that is obtained by modifying the original circuit of the CCCII [16] by adding additional current-mirrors and cross-coupled current-mirrors to obtain the required plus and minus type outputs. By taking I_0 too high, the CCCII in Fig. 4 operates as a CCII in which R_x is negligible. To achieve the CCII, the circuit in Fig. 4 is biased with $I_0=250\mu A$. Hence, the parasitic resistance is $R_x \approx 50\Omega$. The proposed quadrature oscillator structure in Fig. 1 was simulated with $C_1=C_2=10nF$, $R_1=R_2=1k\Omega$ and $R_3=1.2k\Omega$ where R_3 was designed to be larger than R_1 to ensure the oscillations will start. Fig. 5 shows the quadrature sinusoidal output waveforms. In this case ($R_1=R_2$), the outputs almost equal of magnitude. The magnitudes of the quadrature signals are not same when $R_1 \neq R_2$. For applications requiring equal magnitude quadrature outputs, other amplifying circuits are needed. Fig. 6 shows the simulated frequency spectrums of I_1 and I_2 of Fig. 1. The results of the I_1 and I_2 total harmonic distortion analysis are approximately 0.6%.

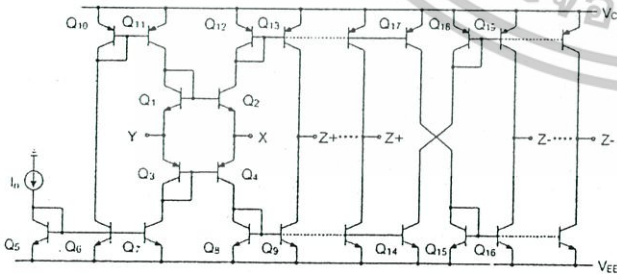


Fig. 4. Schematic implementation for multiple-output CCCII.

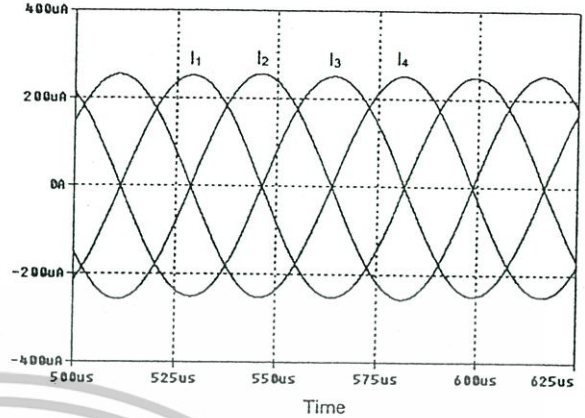


Fig. 5. The simulated quadrature output waveforms of Fig. 1 with $C_1=C_2=10nF$, $R_1=R_2=1k\Omega$ and $R_3=1.2k\Omega$.

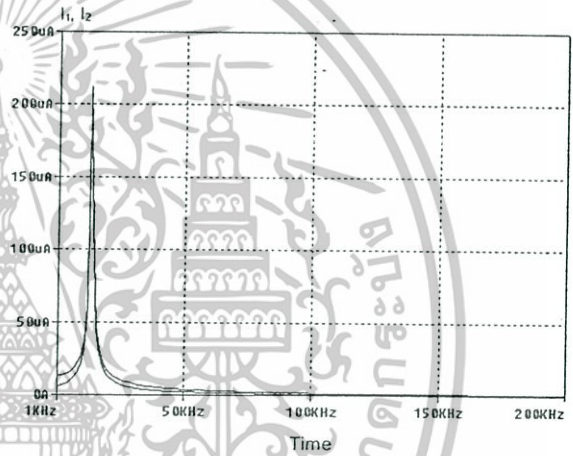


Fig. 6. The simulated frequency spectrum of I_1 and I_2 .

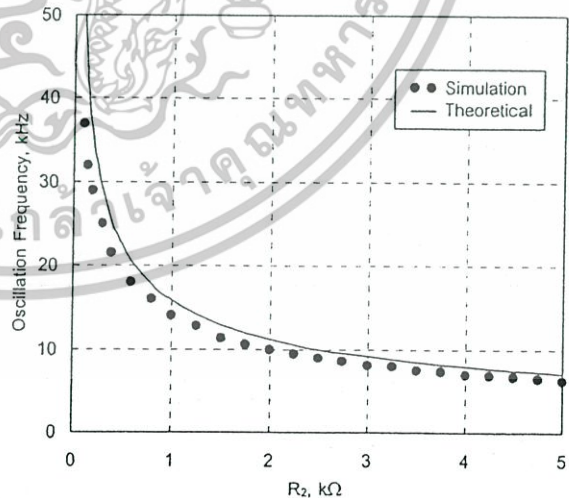


Fig. 7. Simulated results of the oscillation frequency of Fig. 1 obtained by varying the value of R_2 with $C_1=C_2=10nF$, $R_1=1k\Omega$ and $R_3=1.2k\Omega$.

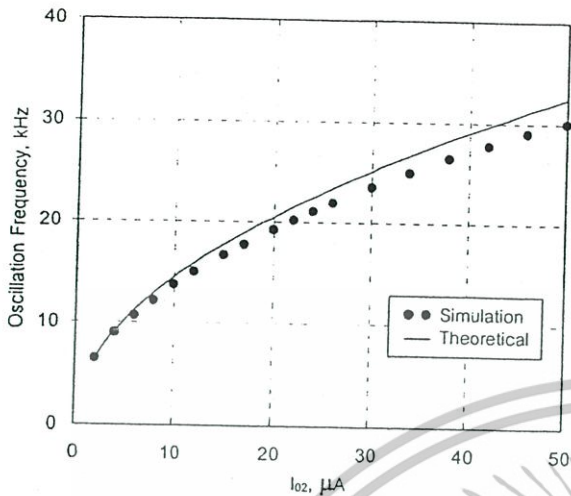


Fig. 8. Simulated results of the oscillation frequency of Fig. 3 obtained by varying the value of the bias current I_{02} with $C_1=C_2=10\text{nF}$, $R_{x1}\approx 0.96\text{k}\Omega$ ($I_{01}=13\mu\text{A}$) and $R_3=1.2\text{k}\Omega$.

Fig. 7 shows the plots of the oscillation frequency of varying the value of resistor R_2 from 100Ω to $5\text{k}\Omega$. Note that if the grounded resistor R_2 is substituted by JFET, the voltage-controlled oscillator can be obtained [19]. The current-controlled quadrature oscillator of the circuit in Fig. 3 has been simulated. The circuit is tested with $I_{01}=13\mu\text{A}$ ($R_{x1}\approx 0.96\text{k}\Omega$), $R_3=1.2\text{k}\Omega$ and $C_1=C_2=10\text{nF}$, where the current I_{02} is varied from $2\mu\text{A}$ to $50\mu\text{A}$. Fig. 8 shows the simulation results of the oscillation frequency against the bias current. The plots for theoretical value are also included for comparison. The non-idealities may be due to the ignored tracking errors of the CCCII.

IV. CONCLUSIONS

In this paper, a new current-mode quadrature oscillator based on current conveyors is presented. The proposed circuit uses two CCII, two grounded capacitors and three grounded resistors. The proposed CCII-based quadrature oscillator can easily be converted to a current-controlled CCCII-based quadrature oscillator by replacing the CCII and resistor series at the X terminal with the second generation current controlled current conveyors. Thus, the new current-controlled quadrature sinusoidal oscillator employs two CCCII, two grounded capacitors and one grounded resistor. The new proposed circuit has not been found in the previous literature. The circuit provides four high output impedance current sources with 90° phase difference and the frequency of oscillation can be electronically controllable. The simulation results obtained were found to be in good agreement with the theory.

REFERENCES

[1] J. D. Gibson, *The communications handbook*, CRC Press, Boca Raton, 1997.

- [2] W. Bolton, *Measurement and instrumentation systems*, Newnes, Oxford, 1996.
- [3] A. Rodriguez-Vazquez, B. Linares-Barranco, J. L. Huertas, and E. Sanchez-Sinencio, "On the design of voltage-controlled sinusoidal oscillators using OTA's," *IEEE Transactions on Circuits and Systems*, vol. 37, pp. 198-211, 1990.
- [4] P. Prommee and K. Dejhan, "An integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier," *International Journal of Electronics*, vol. 89, pp. 365-379, 2002.
- [5] K. Kumwachara and W. Surakamponorn, "An integrable temperature-insensitive g_m -RC quadrature oscillator," *International Journal of Electronics*, vol. 90, pp. 599-605, 2003.
- [6] J.-W. Horng, C.-L. Hou, C.-M. Chang, W.-Y. Chung, H.-W. Tang, and Y.-H. Wen, "Quadrature oscillator using CCII," *International Journal of Electronics*, vol. 92, pp. 21-31, 2005.
- [7] J.-W. Horng, "Current conveyors based allpass filters and quadrature oscillators employing grounded capacitors and resistors," *Computers and Electrical Engineering*, vol. 31, pp. 81-92, 2005.
- [8] M. T. Abuelma'atti, "Grounded capacitor current-mode oscillator using single current follower," *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 39, pp. 1018-1020, 1992.
- [9] M. T. Abuelma'atti and H. A. Al-Zaher, "Current-mode sinusoidal oscillators using single FTFN," *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 46, pp. 69-74, 1999.
- [10] S.-I. Liu and Y.-H. Liao, "Current-mode quadrature sinusoidal oscillator using single FTFN," *International Journal of Electronics*, vol. 81, pp. 171-175, 1996.
- [11] J.-J. Chen, C.-C. Chen, H.-W. Tsao, and S.-I. Liu, "Current-mode oscillators using single current follower," *Electronics Letters*, vol. 27, pp. 2056-2059, 1991.
- [12] J.-W. Horng, "Current differencing buffered amplifiers based single resistance controlled quadrature oscillator employing grounded capacitors," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E85-A, pp. 1416-1419, 2002.
- [13] J.-W. Horng, "Current-mode quadrature oscillator with grounded capacitors and resistors using two DVCCs," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E86-A, pp. 2152-2154, 2003.
- [14] J.-W. Horng, C.-L. Hou, C.-M. Chang, H.-P. Chou, C.-T. Lin, and Y.-H. Wen, "Quadrature oscillators with grounded capacitors and resistors using FDCCII," *ETRI Journal*, vol. 28, pp. 486-494, 2006.
- [15] A. U. Keskin and D. Bialek, "Current mode quadrature oscillator using current differencing transconductance amplifier (CDTA)," *IEE Proceeding of Circuits-Devices and Systems*, vol. 153, pp. 214-218, 2006.
- [16] A. Fabre, O. Saaid, F. Wiest, and C. Boucheron, "Current controlled bandpass filter based on translinear conveyors," *Electronics Letters*, vol. 31, pp. 1727-1728, 1995.
- [17] S. Maheshwari and I. A. Khan, "Current controlled third order quadrature oscillator," *IEE Proceeding of Circuits Devices and Systems*, vol. 152, pp. 605-607, 2006.
- [18] A. Sedra and K. C. Smith, "A second generation current conveyor and its applications," *IEEE Transactions on Circuit Theory*, vol. 17, pp. 132-134, 1970.
- [19] R. Senani and D. R. Bhaskar, "A simple configuration for realizing voltage-controlled impedances," *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 39, pp. 52-59, 1992.
- [20] M. T. Abuelma'atti and M. A. Al-Qahtani, "A new current-controlled multiphase sinusoidal oscillator using translinear current conveyor," *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 45, pp. 881-885, 1998.
- [21] D. R. Frey, "Log domain filtering: an approach to current mode filtering," *IEE Proceedings of Circuits, Devices and Systems*, vol. 140, pp. 406-416, 1993.



Contents lists available at ScienceDirect

Int. J. Electron. Commun. (AEÜ)

journal homepage: www.elsevier.de/aeue



Electronically tunable high-input impedance voltage-mode universal biquadratic filter based on simple CMOS OTAs

Montree Kumngern*, Boonying Knobnob, Kobchai Dejhan

Department of Telecommunications Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

ARTICLE INFO

Article history:
Received 26 January 2009
Accepted 24 July 2009

Keywords:
Voltage-mode
OTA
Electronically tunable
Universal filter
CMOS

ABSTRACT

This paper describes a new electronically tunable three inputs and single output voltage-mode universal biquadratic filter based on simple CMOS operational transconductance amplifiers (OTAs) and grounded capacitors. The proposed configuration provides lowpass, highpass, bandpass, bandstop and allpass voltage responses at a high impedance input terminal, which enable easy cascadedability. Additionally, the circuit parameters ω_0 and Q can be set orthogonally by adjusting the transconductances and grounded capacitors. The filter also offers an independent electronic control of parameters ω_0 by adjusting the transconductance through the bias current/voltage of the OTA. For realizing all the filter responses, no critical component matching condition is required, and all the incremental parameter sensitivities are low. PSPICE simulation results are performed to confirm the theoretical analysis.

© 2009 Published by Elsevier GmbH.

1. Introduction

Operational transconductance amplifiers (OTAs) have exhibited some advantages in the circuit design. An OTA provides an electronic tunability of its transconductance gain, wide tunable range and powerful ability to generate various circuits. Moreover, OTA based circuits require no resistors and, therefore, are suitable for integrated circuit implementation. So, OTA is a very good basic block to design high-performance filters [1].

Second-order voltage-mode active filters with high-input impedance are of great interest it can be easily cascaded to synthesis higher-order filters [2,3]. On the other hand, the use of grounded capacitors is beneficial from the viewpoint of integrated circuit implementation [4].

A biquadratic filter is very useful block to realize high-order filters. Several voltage-mode biquadratic filters based on OTAs have been proposed [5–18]. Focusing the number of input and output ports, the voltage-mode universal filters may be divided into four categories: (i) a single-input, single-output (SISO) type [5–7], (ii) a single-input, multiple-output (SIMO) type [1,8–12], (iii) a multiple-input, single-output (MISO) type [13–16], and (iv) a multiple-input, single-output (MIMO) type [17–23]. Generally, the SISO filter can simultaneously realize multi-function outputs by altering the connection way of the circuits, but altering the connection way can only realize a filtering output at a time. On the

one hand, the SIMO filter can simultaneously realize three basic filter functions, i.e., lowpass (LP), bandpass (BP), and highpass (HP). However, for the realizations of allpass (AP) and bandstop (BS) functions, additional circuits such as addition or subtraction circuit, or parameter matching condition are usually required. On the other hand, in comparison with the SISO and SIMO filters, the MISO and MIMO configurations provide a variety of circuit characteristics with different input and output currents, and usually does not require any parameter matching conditions and additional circuits. In addition, the MISO and MIMO filters may lead to a reduction in the number of active elements used. Moreover, to realize a larger variety of filter functions such as inverting-and/or non-inverting-type functions, the MISO and MIMO configurations seem to be more suitable than the single-input configuration. Of special interest in this paper is the third category where different filter functions will be realized by simply connecting appropriate input voltages. In the proposed voltage-mode OTA-based MISO filtering circuits, the circuits [13–23] enjoy a variety of circuit characteristics with different input and output currents, and very low sensitivities. However, the reported filters suffer from one or more of the following disadvantages: (a) They need a large number of active components [15,16]. (b) They require the capacitor injection of excitation signals in the circuit design [13,17,18,20]. (c) The use of two kinds of active components [14,15,19,21–23]. (d) The use of some floating capacitors [14,17,18,20,23]. (e) Some filter response is requires the component-matching condition [15,16].

This paper proposes a new electronically tunable high-input impedance voltage-mode universal biquadratic filter with three

* Corresponding author. Tel.: +66 2326 4238; fax: +66 2326 4554.
E-mail address: kkmontre@kmitl.ac.th (M. Kumngern).

inputs and single output. It employs only a kind of active component, which is especially interest from IC fabrication point of view. By properly selecting three input signals, the circuit can realize five standard biquadratic filtering functions, i.e., LP, BP, HP, BS and AP, all at a high impedance input terminal which enables easy cascading in voltage-mode. The filter performance parameters ω_o and Q can be set orthogonally by adjusting the transconductance and grounded capacitors and electronic tuned through adjusting the bias current/voltage of the OTA. For the realization of all the filter responses, no critical component matching conditions are required. PSPICE simulation results are used to verify the performances of the proposed circuit.

2. Circuit description

The circuit symbol of the operational transconductance amplifier (OTA) is shown in Fig. 1. The OTA is assumed an ideal

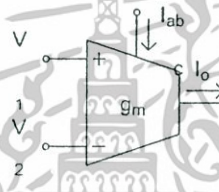


Fig. 1. Circuit symbol of OTA.

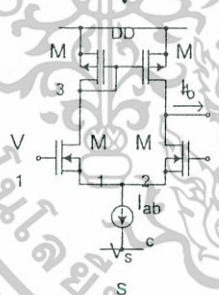


Fig. 2. The CMOS implementation simple OTA.

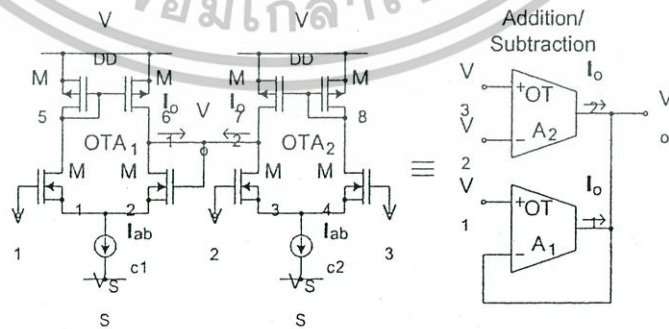


Fig. 3. The addition/subtraction circuit.

voltage-controlled current source that has infinite input and output impedances. Its characteristic can be described by following equation [1]:

$$I_o = g_m(V_1 - V_2) \tag{1}$$

where I_o is the output current, V_1 and V_2 denote the non-inverting and inverting input voltage of the OTA, respectively. Fig. 2 shows the CMOS implementation of simple OTA. It uses only four MOS transistors and one current source. Assume four MOS transistors operating in saturation region, the transconductance gain (g_m) can be expressed by [24]

$$g_m = \sqrt{2\mu_n C_{ox}(W/L)I_{abc}} \tag{2}$$

where μ_n is the mobility of the carrier, C_{ox} is the gate-oxide capacitance per unit area, W is the effective channel width, L is the effective channel length and I_{abc} is the bias current.

By using the simple OTA as shown in Fig. 2, the addition/subtraction circuit can be shown in Fig. 3. Referring to [25,26], this circuit may be called a pool circuit. Assume that all the NMOS devices in Fig. 3 are biased in the saturation region with individual wells connected to their sources to eliminate the body effect. Let the transconductance parameter and the threshold voltage of M_1 through M_4 be equal to K and V_{TH} , respectively. $I_{abc1} = I_{abc}$ and $I_{abc2} = I_{abc}$ are two current sources, the currents I_{o1} and I_{o2} can be given as

$$I_{o1} = K(V_1 - V_o) \sqrt{\frac{2I_{abc}}{K} - (V_1 - V_o)^2} \tag{3}$$

$$I_{o2} = K(V_3 - V_2) \sqrt{\frac{2I_{abc}}{K} - (V_3 - V_2)^2} \tag{4}$$

Therefore, at the equilibrium state [25,26]

$$V_o = V_1 - V_2 + V_3 \tag{5}$$

This circuit operates as a pool [25] in the sense that the currents flowing in and flowing out are in equilibrium at the output node V_o . Therefore, the circuit can be obtained the addition/subtraction circuit.

Using the simple OTA in Fig. 2 and the addition/subtraction circuit in Fig. 3, the proposed universal biquadratic filter with three inputs and one output can be shown in Fig. 4. The voltage transfer functions can be expressed as

$$V_{out} = \frac{s^2 C_1 C_2 V_{in3} - s C_1 g_{m2} V_{in2} + g_{m1} g_{m2} V_{in1}}{s^2 C_1 C_2 + s C_1 g_{m2} + g_{m1} g_{m2}} \tag{6}$$

Please cite this article as: Kumngern M, et al. Electronically tunable high-input impedance voltage-mode universal biquadratic filter based on simple CMOS OTAs. Int J Electron Commun (AEÜ) (2009), doi:10.1016/j.aeu.2009.07.015

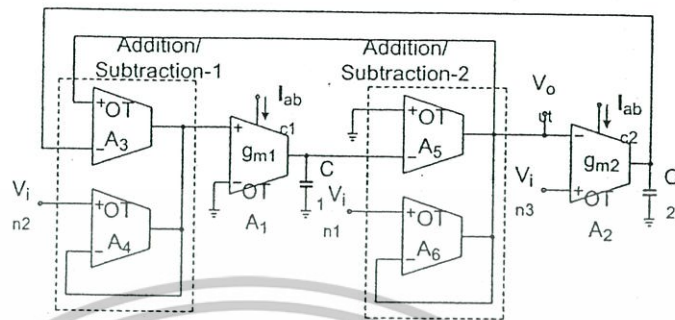


Fig. 4. Proposed voltage-mode universal biquadratic filter.

It is clearly seen from Eq. (6) that:

- (i) The HP response can be obtained when $V_{in1} = V_{in2} = 0$ and $V_{in3} = V_{in}$.
- (ii) The BP response can be obtained when $V_{in1} = V_{in3} = 0$ and $V_{in2} = V_{in}$.
- (iii) The LP response can be obtained when $V_{in2} = V_{in3} = 0$ and $V_{in1} = V_{in}$.
- (iv) The BS response can be obtained when $V_{in2} = 0$ and $V_{in1} = V_{in3} = V_{in}$.
- (v) The AP response can be obtained when $V_{in1} = V_{in2} = V_{in3} = V_{in}$.

Thus, the proposed filter can realize all the standard types of the biquadratic filtering function without component-matching condition requirements as well as require no an inverting-type voltage input signal hence the name "universal biquadratic filter". Moreover, the three input signals V_{in1} , V_{in2} and V_{in3} , are connected to the high-input impedance input nodes of the OTAs. So the circuit enjoys the advantage of having high-input impedance thus permitting easy cascability. The parameters ω_o and Q of this filter are given by

$$\omega_o = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (7)$$

$$Q = \sqrt{\frac{g_{m2}C_1}{g_{m1}C_2}} \quad (8)$$

Under the condition of $g_{m1} = g_{m2} = g_m$, the circuit parameters are simplified to

$$\omega_o = g_m \sqrt{\frac{1}{C_1C_2}} \quad (9)$$

$$Q = \sqrt{\frac{C_1}{C_2}} \quad (10)$$

From Eqs. (9) and (10), the parameter Q can be set by C_1 and C_2 and parameter ω_o can be set by transconductance g_m without disturbing Q . Thus, the biquadratic filter has orthogonal tuning capability for the circuit parameters Q and ω_o . Moreover, the parameter ω_o also tunes by adjusting the transconductance g_m through the bias currents/voltages of the OTAs, hence the name "electronically tunable biquadratic filter".

Note from the proposed filter that it requires no component-matching condition for realization all filter responses. In fact, the addition/subtraction circuit requires current-matching condition (i.e. $I_{abc1} = I_{abc2}$), but this problem can be easily solved by using multiple current source using a single reference. It should

Table 1
Sensitivities of circuit components.

x	$S_x^{\omega_o}$	S_x^Q
g_{m1}	0.5	0.5
g_{m2}	0.5	-0.5
C_1	-0.5	-0.5
C_2	-0.5	-0.5
β_{12}	0.5	0.5
β_{22}	0.5	0.5
β_{23}	0	-1
β_{32}	0.5	-0.5

be noted that Eq. (6) can be achieved for a high impedance load, $R_L \gg 1/g_m$, (i.e. $g_m = g_{m5} = g_{m6}$). If the low impedance load is applied, it needs a voltage buffer at an output.

3. Circuit analysis

In this section, the effects of the active non-idealities of the addition/subtraction circuit and OTA on the filter performance are considered. Taking into consideration of the addition/subtraction circuit non-idealities, Eq. (5) can be rewritten as

$$V_o = \beta_{k1}V_1 - \beta_{k2}V_2 + \beta_{k3}V_3 \quad (11)$$

where $\beta_{k1}(s) = \beta_{k1} = 1 - \varepsilon_{k1v}$ and $\varepsilon_{k1v} (|\varepsilon_{k1v}| \ll 1)$ denotes the voltage tracking error from V_1 terminal to V_o terminal of the k -th addition/subtraction circuit, $\beta_{k2}(s) = \beta_{k2} = 1 - \varepsilon_{k2v}$ and $\varepsilon_{k2v} (|\varepsilon_{k2v}| \ll 1)$ denotes the voltage tracking error from V_2 terminal to V_o terminal of the k -th addition/subtraction circuit, and $\beta_{k3}(s) = \beta_{k3} = 1 - \varepsilon_{k3v}$ and $\varepsilon_{k3v} (|\varepsilon_{k3v}| \ll 1)$ denotes the voltage tracking error from V_3 terminal to V_o terminal of the k -th addition/subtraction circuit.

The transconductance gain of the OTA with the non-idealities can be assumed as

$$g_{mi} = \frac{g_{mi}\omega_{gi}}{s + \omega_{gi}} \quad (12)$$

where ω_{gi} denotes the first-order pole of the OTA_{*i*} ($i=1,2$). Referring to [22], the transconductance gain g_{mi} may be modified to

$$g_{mi} \cong g_{mi}(1 - \mu_i s) \quad (13)$$

where $\mu_i = 1/\omega_{gi}$.

Please cite this article as: Kumngern M, et al. Electronically tunable high-input impedance voltage-mode universal biquadratic filter based on simple CMOS OTAs. Int J Electron Commun (AEU) (2009), doi:10.1016/j.aeu.2009.07.015.

Using (11) and (13), the transfer function in Fig. 4 becomes

$$s^2 C_1 C_2 \left(1 - \frac{C_1 g_{m2} \beta_{23} \beta_{32} \mu_2 + g_{m1} g_{m2} \beta_{12} \beta_{22} \beta_{32} \mu_1 \mu_2}{C_1 C_2} \right) + s C_1 g_{m2} \beta_{23} \beta_{32} \left(1 - \frac{g_{m1} g_{m2} \beta_{12} \beta_{22} \beta_{32} \mu_1 - g_{m1} g_{m2} \beta_{12} \beta_{22} \beta_{32} \mu_2}{C_1 g_{m2} \beta_{23} \beta_{32}} \right) + g_{m1} g_{m2} \beta_{12} \beta_{22} \beta_{32} \quad (14)$$

From (14), the non-idealities of the addition/subtraction circuits and OTAs affect the circuit characteristics, which depart from ideal values. For the parasitic effects from the OTAs, it can be made negligible by satisfying the following condition:

$$\left. \begin{aligned} \frac{C_1 g_{m2} \beta_{23} \beta_{32} \mu_2 + g_{m1} g_{m2} \beta_{12} \beta_{22} \beta_{32} \mu_1 \mu_2}{C_1 C_2} &\ll 1 \\ \frac{g_{m1} g_{m2} \beta_{12} \beta_{22} \beta_{32} \mu_1 - g_{m1} g_{m2} \beta_{12} \beta_{22} \beta_{32} \mu_2}{C_1 g_{m2} \beta_{23} \beta_{32}} &\ll 1 \end{aligned} \right\} \quad (15)$$

Table 2
0.5 μm CMOS parameter from MOSIS used in simulation.

```

MODEL CMOSN NMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09
XJ=0.200000U
TPG=1 VTO=0.6684 DELTA=1.0700E+00 LD=4.2030E-08 KP=1.7748E-04
UO=493.4 THETA=1.8120E-01 RSH=1.6680E+01 GAMMA=0.5382
NSUB=1.1290E+17 NFS=7.1500E+11 VMAX=2.7900E+05 ETA=1.8690E-02
KAPPA=1.6100E-01 CGDO=4.0920E-10 CGSO=4.0920E-10
CGBO=3.7765E-10
CJ=5.9000E-04 MJ=0.76700 CJSW=2.0000E-11 MJSW=0.71000
PB=0.9900000
MODEL CMOSP PMOS LEVEL=3 PHI=0.700000 TOX=9.6000E-09
XJ=0.200000U
TPG=-1 VTO=-0.9352 DELTA=1.2380E-02 LD=5.2440E-08
KP=4.4927E-05
UO=124.9 THETA=5.7490E-02 RSH=1.1660E+00 GAMMA=0.4551
NSUB=8.0710E+16 NFS=5.9080E+11 VMAX=2.2960E+05 ETA=2.1930E-02
KAPPA=9.3660E+00 CGDO=2.1260E-10 CGSO=2.1260E-10
CGBO=3.6890E-10
CJ=9.3400E-04 MJ=0.48300 CJSW=2.5100E-10 MJSW=0.21200
PB=0.930000
    
```

Therefore, the non-ideal natural frequency ω_0 and quality factor Q can be obtained by

$$\omega_0 = \sqrt{\frac{g_{m1} g_{m2} \beta_{12} \beta_{22} \beta_{32}}{C_1 C_2}} \quad (16)$$

$$Q = \frac{1}{\beta_{23}} \sqrt{\frac{g_{m2} C_1 \beta_{12} \beta_{22}}{g_{m1} C_2 \beta_{32}}} \quad (17)$$

The incremental sensitivities of the parameters ω_0 and Q are calculated as Table 1.

4. Simulation results

The performance of the proposed universal biquadratic filter in Fig. 4 has been simulated using PSPICE to verify the given theoretical prediction. The simple CMOS OTA and addition/subtraction circuit given in Figs. 2 and 3, respectively, were performed with 0.5 μm CMOS technology provided by MOSIS. The model parameters of 0.5 μm CMOS process are given in Table 2.

For example design, the aspect ratios of the transistors used are $W/L = 2 \mu\text{m}/2 \mu\text{m}$ for the NMOS devices and $W/L = 40 \mu\text{m}/2 \mu\text{m}$ for the PMOS devices. The bias currents for OTA₃ through OTA₆ are chosen as 25 μA. The power supplies are selected as $V_{DD} = -V_{SS} = 3\text{V}$, $C_1 = C_2 = 100\text{pF}$ and $I_{abc1} = I_{abc2} = 50\mu\text{A}$ ($g_{m1} = 77.52 \mu\text{s}$) are given. This setting has been designed to obtain the LP, BP, HP, BS and AP filter responses with $f_0 = 123.37\text{kHz}$ and $Q = 1$. The simulated results for the HP, LP, BP, and BS filter characteristics are shown in Fig. 5. In this figure, the pole frequency of 122.65 kHz is obtained. The pole frequency is 122.65 kHz instead of 123.37 kHz owing to the effect described in Section 3. According to (16), this error would be caused by voltage tracking errors of addition/subtraction circuits. Fig. 6

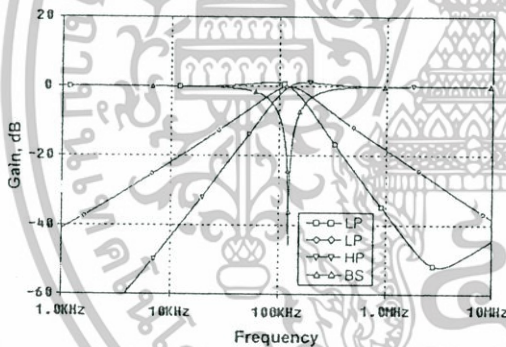


Fig. 5. Simulated LP, HP, BP and BS responses of the proposed filter.

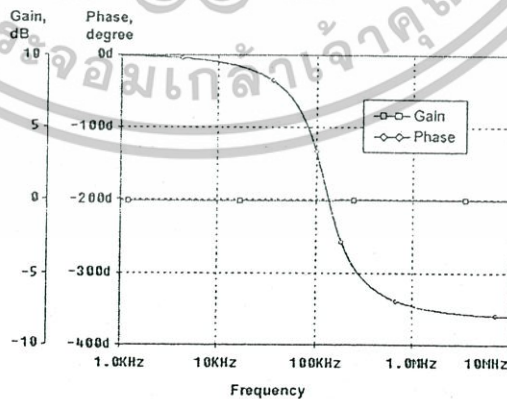


Fig. 6. Simulated AP response of the proposed filter.

Please cite this article as: Kumngern M, et al. Electronically-tunable high-input impedance voltage-mode universal biquadratic filter based on simple CMOS OTAs. Int J Electron Commun (AEU) (2009), doi:10.1016/j.aeu.2009.07.015.

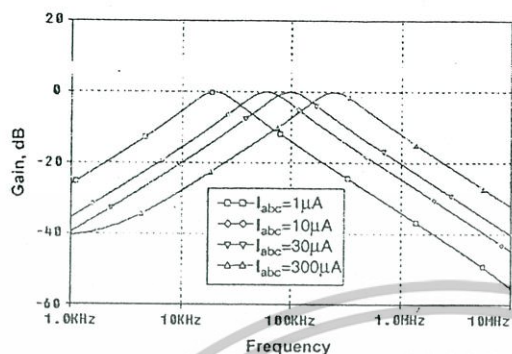


Fig. 7. Simulated frequency responses of the BP filter when I_0 is varied.

shows the simulated frequency responses of the gain and phase characteristics of the AP filter. It is observed from both figures that the proposed filter performs five standard biquadratic filtering functions well. Fig. 7 shows the simulated a BP filter response when the dc bias currents I_{abc} (i.e. $I_{abc} = I_{abc1} = I_{abc2}$) were simultaneously adjusted for the values 1, 10, 30 and 300 μA , respectively, when keeping the capacitors C_1 and C_2 are 100 pF. This result is confirmed by Eq. (9).

Sine wave signal (122.65 kHz) was supplied to the input of the BP response (V_{in2}) while keeping the bias currents $I_{abc1} = I_{abc2} = 50 \mu\text{A}$. When the amplitudes were increased, it was found the BP filter could operate with the input signal levels of lower than 0.8V_{p-p}, the total harmonic distortion (THD) is lower than 1.1%. However, the input range of the proposed filter can be varied by adjusting the aspect ratio of MOS transistors.

In order to confirm the operability of the proposed circuit, the simulation results reported in this paper were obtained using capacitor values 100 pF. However, typical integrated capacitors range from 0.5 to 50 pF [27,28]. Therefore, for easily integrated circuit implementations, the capacitor of order of 10 pF is more appropriate. This may requires the reduction of the transconductance value for the proposed circuit to work within the bandwidth of the OTA.

5. Conclusions

In this paper, a new three inputs and single output voltage-mode universal biquadratic filter is presented. The proposed circuit uses simple CMOS OTAs and grounded capacitors and offers following advantages: high-input impedance, low active and passive sensitivities, the use of a kind of active component, the use of only two grounded capacitors, the versatility to synthesize LP, BP, HP, BS and AP responses without component matching conditions. Also, the circuit parameters ω_0 and Q can be set orthogonally by the circuit components. The proposed structure is suitable for monolithic implementation in CMOS technology. PSPICE simulations confirm the theoretical predictions.

References

- [1] Sanchez-Sinencio E, Geiger RL, Nevarez-Lozano H. Generation of continuous-time two integrator loop OTA filter structure. *IEEE Transaction on Circuits and Systems* 1988;CAS-35:936–49.

- [2] Naqshbendi SFH, Sharma RS. High input impedance current conveyor filters. *International Journal of Electronics* 1983;55:499–500.
- [3] Fabre A, Dayouf F, Duruisseau L, Kamoun M. High input impedance insensitive second-order filters implemented from current conveyors. *IEEE Transaction on Circuits and Systems—I: Fundamental Theory and Applications* 1994;41:918–21.
- [4] Bhusan MRWN. Grounding of capacitors in integrated circuits. *Electronics Letters* 1967;3:148–9.
- [5] Nawrocki R, Klein U. New OTA-capacitor realization of a universal biquad. *Electronics Letters* 1986;22:50–1.
- [6] Acar C, Anday F, Kuntman H. On the realization of OTA-c filters. *International Journal of Circuit Theory and Applications* 1993;21:331–41.
- [7] Sun Y, Fidler JK. Novel OTA-c realizations of biquadratic transfer functions. *International Journal of Electronics* 1993;75:333–40.
- [8] Mohan PVA. Generation of OTA-c filter structures from active rc filter structures. *IEEE Transactions on Circuits and Systems* 1990;37:656–60.
- [9] Chang CM. New multifunction OTA-c biquads. *IEEE Transaction on Circuits and Systems—II: Analog and Digital Signal Processing* 1999;46:820–4.
- [10] Horng J-W. Voltage-mode universal biquadratic filter with one input and five outputs using OTAs. *International Journal of Electronics* 2002;89:729–37.
- [11] Chang C-M. Analytical synthesis of the digitally programmable voltage-mode OTA-c universal biquad. *IEEE Transactions on Circuits and Systems—II* 2006;53:607–11.
- [12] Lee W-T, Liao Y-Z. New voltage-mode high-pass, band-pass, and low-pass filter using ddc and OTAs. *International Journal of Electronics and Communications* 2008;62:701–4.
- [13] Khan IA, Ahmed MT, Minhaj N. A simple realization scheme for OTA-c universal biquadratic filter. *International Journal of Electronics* 1992 419–29.
- [14] Horng J-W. High input impedance voltage-mode universal biquadratic filter using two OTAs and one ccii. *International Journal of Electronics* 2003;90: 183–91.
- [15] Tsukutani T, Sumi Y, Kinugasa Y, Higashimura M, Fukui Y. Versatile voltage-mode active-only biquad circuits with loss-less and lossy integrators. *International Journal of Electronics* 2004;91:525–36.
- [16] Abuelma'attī MT, Bentrīcia A. A novel mixed-mode OTA-c universal filter. *International Journal of Electronics* 2005;92:375–83.
- [17] Wu J, Xie C-Y. New multifunction active filter using OTAs. *International Journal of Electronics* 1993;74:235–9.
- [18] Wu J, El-Mastry IE. Universal voltage-mode and current-mode OTAs based biquads. *International Journal of Electronics* 1998;85:553–60.
- [19] Tsukutani T, Higashimura M, Takahashi N, Sumi Y, Fukui Y. Voltage-mode active-only biquad. *International Journal of Electronics* 2000;87:1435–42.
- [20] Horng J-W. Voltage-mode universal biquadratic filter using two OTAs. *Active and Passive Electronics Components* 2004;27:85–9.
- [21] Tsukutani T, Higashimura M, Takahashi N, Sumi Y, Fukui Y. Novel voltage-mode biquad using only active device. *International Journal of Electronics* 2001;88:339–46.
- [22] Tsukutani T, Higashimura M, Takahashi N, Sumi Y, Fukui Y. Versatile voltage-mode active-only biquad with lossless and lossy integrator loop. *International Journal of Electronics* 2001;88:1093–102.
- [23] Chen H, Shen S, Wang J. Electronically tunable versatile voltage-mode universal filter. *International Journal of Electronics and Communications* 2008;62:316–9.
- [24] Prommee P, Dejhan K. An integrable electronic-controlled quadrature sinusoidal oscillator using cmos operational transconductance amplifier. *International Journal of Electronics* 2002;89:365–79.
- [25] Torrance RR, Viswanathan TR, Hanson JV. Cmos voltage to current transducers. *IEEE Transaction on Circuits and Systems CAS* 1985 1097–104.
- [26] Liu S-I, Chang C-C. Cmos analog divider and four-quadrant multiplier using pool circuits. *IEEE Journal of Solid State Circuits* 1995;30:9.
- [27] Schaumann R, Ghausi MS, Laker KR. Design of analog filter: passive active RC and switched capacitor. Englewood Cliffs, NJ: Prentice-Hall; 1990.
- [28] Comer DJ, Comer DT, Casper BK. An integrable single-pole low-pass filter for low-frequency applications. *International Journal of Electronics* 1997 49–54.



Montree Kumngern received the B.S.Ind.Ed. degree from The King Mongkut's University of Technology Thonburi (KMUTT), Bangkok, Thailand, in 1998, the M.Eng. and D.Eng. degree from The King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 2002 and 2006, respectively, all in Electrical Engineering. He has joined the Faculty of Engineering, KMITL as a Telecommunications Engineering Department member since 2006. His research interests Analog Signal Processing Circuit Design.

Please cite this article as: Kumngern M, et al. Electronically tunable high-input impedance voltage-mode universal biquadratic filter based on simple CMOS OTAs. *Int J Electron Commun (AEU)* (2009), doi:10.1016/j.aeu.2009.07.015

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Boonying Knobnob was born in Krabi, Thailand in 1972. He received B.Ind.Tech. degree in Electronics Engineering and M.Eng. in Electrical Engineering from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand in 1995 and 1998, respectively. Later on, he has been with the Department of Electronics and Telecommunications Engineering, Faculty of Engineering at Rajamangala University of Technology Thanyaburi (RMUTT), Thailand, as a full time Lecturer. He is also currently working toward the D.Eng. degree in Electrical Engineering at KMITL. His research interests are mainly on Analog Signal Processing and CMOS Analog Integrated Circuit Design.



Kobchai Dejhan received the B.Eng. and M.Eng. degree in Electrical Engineering from The King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1978 and 1980, respectively, and Docteur degree in Telecommunication from Ecole Nationale Supérieure des Telecommunications (ENST) Paris, France (Telecom Paris) in 1989. Since 1980, he has been a member of the Department of Telecommunication at Faculty of Engineering, KMITL, where he is currently an Associate Professor of Telecommunication. His research interests Analog Circuit Design, Digital Circuit Design and Telecommunication Circuit Design and System.



Please cite this article as: Kumngern M, et al. Electronically tunable high-input impedance voltage-mode universal biquadratic filter based on simple CMOS OTAs. Int J Electron Commun (AEU) (2009), doi:10.1016/j.aeue.2009.07.015

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Circuits Syst Signal Process
 DOI 10.1007/s00034-010-9186-4

High Frequency and High Precision CMOS Half-Wave Rectifier

Montree Kumngern · Boonying Knobnob ·
 Kobchai Dejhan

Received: 5 September 2008 / Revised: 15 January 2010
 © Springer Science+Business Media, LLC

Abstract In this paper, a new high frequency and high precision half-wave rectifier circuit which is very suitable for CMOS technology implementation is presented. The system comprises a voltage to current converter, a dual output precision current-mode half-wave rectifier, and two current to voltage converters. An input voltage signal is converted into a current signal by using a current conveyor and a MOS resistor. The current signal is rectified using a dual output class-AB precision rectifier cell and then converted into two output voltages by using grounded MOS resistors. This class-AB current-mode precision rectifier is employed for providing high frequency performance. Simulated rectifier results based-on a 0.5 μm CMOS technology with ± 1.2 V supply voltage demonstrates very high operating frequency, very precise rectification and good temperature stability.

Keywords Half-wave rectifier · Current-mode · Current conveyor · CMOS

1 Introduction

Basically, a conventional rectifier could be realized by simply using diodes for it rectification. However, it is well-known that such a circuit would not be capable of rectifying incoming signals whose amplitudes are less than the threshold voltage (approximately 0.7 V for the silicon diode and 0.3 V for the germanium diode). Therefore, diode-only rectifiers are normally used in applications in which the precision

M. Kumngern (✉) · B. Knobnob · K. Dejhan
 Department of Telecommunications Engineering, Faculty of Engineering,
 King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
 e-mail: kkmontre@kmitl.ac.th

B. Knobnob
 e-mail: kboonying.k@en.rmut.ac.th

K. Dejhan
 e-mail: kobchai@telecom.kmitl.ac.th

BIRKHAUSER

PDF-OUTPUT

48 in the range of threshold voltage is insignificant, such as RF demodulators and DC
 49 voltage supply rectifiers. For high precision applications, precision rectifiers have
 50 been presented for a number of years, including integrated-circuit precision rectifiers
 51 based on operational amplifiers (op-amps), diodes, and resistors [3, 5, 11, 16]. Ap-
 52 plications of high precision rectifiers are, for instance, in wattmeters, AC voltmeters,
 53 RF demodulators, function fitting, triangular-wave frequency doubling, error mea-
 54 surements, RMS to DC conversions, peak detectors.

55 Nevertheless, one classical problem with these op-amp based precision rectifiers
 56 is the occurrence of distortion during the non-conduction/conduction transition of the
 57 diodes, known as 'corner distortion'. To overcome this, attempts have been made via
 58 the use of the high slew-rate op-amps. Unfortunately, this could not be done perfectly
 59 due to small signal transient behavior [14]. Furthermore, the finite gain-bandwidth
 60 of the op-amps also limits the high frequency performance of this structure. This
 61 limitation, however, could be overcome by designing the rectifiers using a so-called
 62 'current-mode technique' [14]. For example, current-mode rectifiers with a CMOS
 63 structure having class-AB configurations have been shown in [12, 13], which provide
 64 high frequency responses with the use of only a few devices. However, these con-
 65 figurations require the signal current to be four times greater than the bias current in
 66 order to avoid the square-law error of the MOS transistors.

67 The precision rectifier circuits in [4, 6, 8, 9, 14, 17], employ current conveyors,
 68 diodes and resistors that provide the attractive features of high frequency perfor-
 69 mance and high precision rectification. However, they require either an ungrounded
 70 or a grounded resistor which is not ideal for integrated circuit (IC) implementation.
 71 In addition, the circuits presented in [6, 14, 17] not only require two identical current
 72 conveyors, but also suffer from limited temperature sensitivity. Fortunately, all-MOS
 73 transistors shown in [7] are found to be very suitable for CMOS technology imple-
 74 mentation, which provides operating frequency up to 200 MHz and good temperature
 75 stability.

76 Recently, a dual output CMOS half-wave rectifier circuit has been proposed in
 77 [10]. It is composed of two sections. The first is a rectifier circuit that consists of
 78 three main components: a dual output voltage to current (V-I) converter, two half-
 79 wave rectifiers and two current to voltage (I-V) converters, as shown in Fig. 1(a). The
 80 second is a bias voltage source circuit, as shown in Fig. 1(b). It uses the diode bias
 81 voltage to clad the output voltage excursion during the zero crossing. The advantages
 82 of this circuit are, for example: (i) all-MOS transistors are used which are suitable
 83 for integrated circuit fabrication compared with other methods, (ii) it employs only a
 84 ± 1.2 V supply voltage and provides operating frequencies up to 100 MHz and (iii)
 85 high accuracy and good temperature stability could be achieved by using the bias
 86 voltage source circuit.

87 In this paper, a high frequency and high precision CMOS half-wave rectifier circuit
 88 using similar techniques to the current conveyor rectifier in [10] is presented, namely,
 89 the rectifier circuit is composed of a V-I converter, a current-mode rectifier, and two
 90 I-V converters. The V-I and I-V converters are employed in order to rectify signals
 91 whose amplitudes are less than the threshold voltage (less than 0.3 V for germanium
 92 and less than 0.7 V for silicon). The CMOS class-AB current-mode rectifier is em-
 93 ployed to provide the high frequency performance of the circuit. The circuit consists
 94

BIRKHAUSER

- (iii) The proposed half-wave rectifier provides good temperature stability.
 (iv) The proposed half-wave rectifier features high accuracy.

2 Proposed Half-Wave Rectifier

The proposed half-wave rectifier circuit is shown in Fig. 2; it actually performs in the current domain. The circuit shown in Fig. 2 consists of three main components: the V-I converter, the dual output class-AB current rectifier, and the I-V converters.

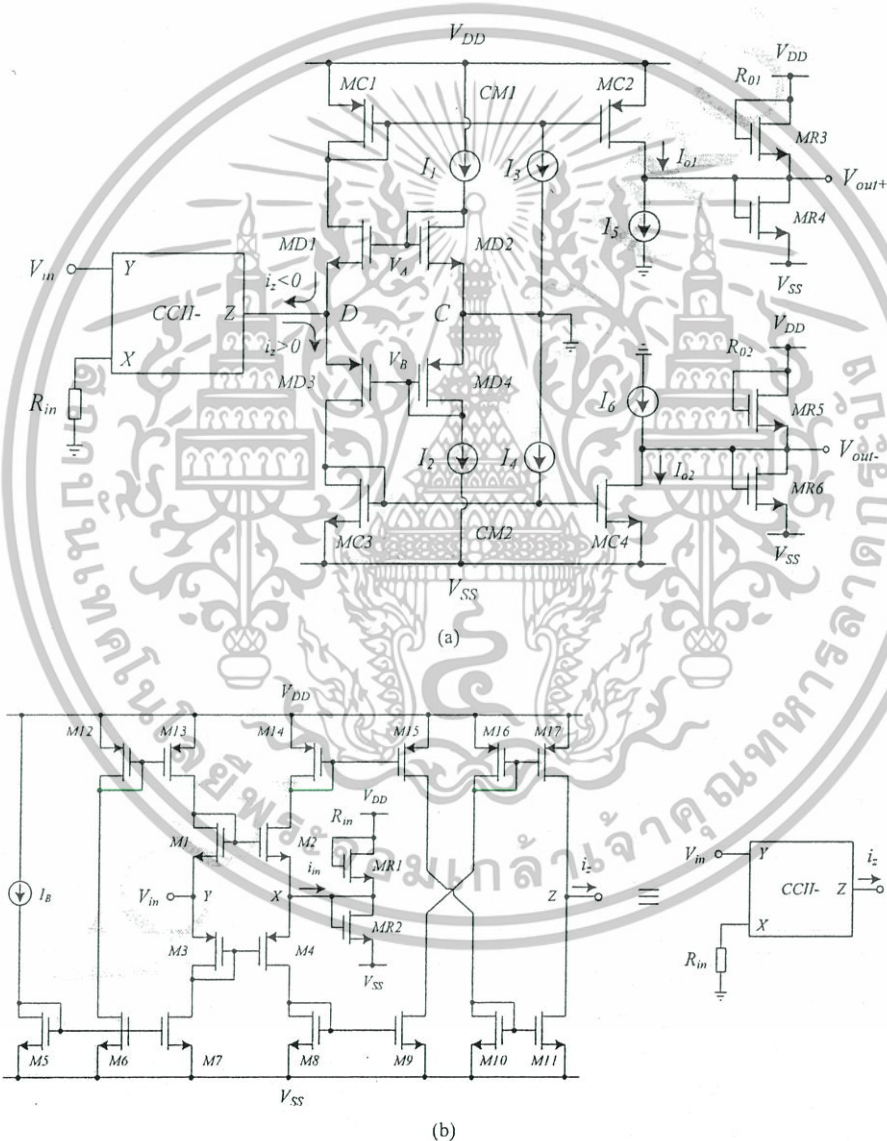


Fig. 2 (a) Proposed half-wave rectifier circuit and (b) a V-I converter using CCII- and MOS resistor

BIRKHAUSER

The V–I converter is composed of a negative-type CCII (CCII-) and a resistor R_{in} (MR1–MR2). The dual output class-AB current-mode precision rectifier is composed of MD1 to MD4, two current mirrors (MC1–MC2 and MC3–MC4), and six current sources (I_1 to I_6). The resistors R_{o1} (MR3–MR4) and R_{o2} (MR5–MR6) are used to change the rectified currents into the output voltages. The operation of the V–I converter is as follows: the transistors M1 to M17 and I_B work as a CCII-while the transistors MR1 and MR2 work as a resistor. The constant current I_B is mirrored by M5, M6, M12 and M13 to the drain of M1 and is mirrored by M5 and M7 to the drain of M3. Assuming M5 to M7 and M12 to M13 have the same characteristics, the drain currents of M1 and M3 are equal. Choosing M1 to M4, which are perfectly matched, the input voltage V_{in} is thus followed to node X [1]. The voltage at node X creates the current i_{in} flowing through a MOS resistor R_{in} [15], the resistance of which is given by [15]:

$$R_{eq} = \frac{1}{2K(V_{DD} - V_{TH})}, \quad (1)$$

where MR1 and MR2 have the same characteristics remaining in the saturation region, $K = \mu_n C_{ox}(W/L)$ is the transconductance parameter, V_{TH} is the threshold voltage, V_{DD} is the supply voltage, μ_n is the carrier mobility, C_{ox} is the gate capacitance per unit area, W is the channel width and L is the channel length. Consequently, i_{in} is given by

$$i_{in} = 2K(V_{DD} - V_{TH})V_{in}. \quad (2)$$

The current i_{in} is mirrored by M8–M11 and M14–M17 to node Z as current i_z . This current is fed into the input of the current-mode class-AB precision rectifier. In the proposed rectifier, the current-mode class-AB precision rectifier is composed of MD1 to MD4, two current mirrors (MC1–MC2 and MC3–MC4) and six current sources (I_1 to I_6). The transistor MD2 and the current source I_1 generate a constant voltage V_A to provide a bias voltage for transistor MD1 while transistor MD4 and the current source I_2 generate a constant voltage V_B to provide a bias voltage for transistor MD3. The constant voltages V_A and V_B should be fairly close to the threshold voltages of transistors MD1 and MD3, respectively, to obtain precision results and cause them to operate in class-AB. The current mirrors CM1 and CM2 are applied by the current sources I_3 and I_4 , respectively, which ensures that the two current mirrors are continuously on, and therefore improve the frequency response and overall system linearity. The currents I_1 and I_3 create the offset current $(I_1 + I_3)$ through R_{o1} and the currents I_2 and I_4 create the offset current $(I_2 + I_4)$ through R_{o2} . To eliminate the offset currents at R_{o1} and R_{o2} , the authors exploit $I_5 = I_1 + I_3$ and $I_6 = I_2 + I_4$ at the outputs of the proposed rectifier. The operation of the proposed half-wave rectifier is as follows: when $i_z < 0$, it is fed through MD1 and then is mirrored by CM1 to the drain of MC2 as $I_{o1}(+i_z)$. In addition, when $i_z > 0$, it is fed through MD3 and then is mirrored by CM2 to the drain of MC4 as $I_{o2}(+i_z)$. From the operation of the proposed circuit as explained, the relations of the input current (i_z), the output current at the drain of MC2 (I_{o1}) and the output current at the drain of MC4 (I_{o2}) can be expressed as

$$i_z > 0; \quad I_{o1} = +i_z + I_1 + I_3, \quad (3)$$

$$i_Z < 0; \quad I_{O2} = +i_Z + I_2 + I_4, \quad (4)$$

since the current sources I_5 and I_6 compensate the offset currents $I_1 + I_3$ and $I_2 + I_4$, respectively. Thus, we can write the relations of the current i_Z , the currents $I_{R_{o1}}$ and $I_{R_{o2}}$ as

$$i_Z > 0; \quad I_{R_{o1}} = +i_Z, \quad (5)$$

$$i_Z < 0; \quad I_{R_{o2}} = +i_Z. \quad (6)$$

Using (2) and letting $R_{o1} = R_{o2} = R_{in}$, the relations of the input voltage V_{in} , the output voltage V_{out+} and the output voltage V_{out-} can be obtained as

$$V_{in} > 0; \quad V_{out+} = V_{in}, \quad (7)$$

$$V_{in} < 0; \quad V_{out+} = 0 \quad (8)$$

and

$$V_{in} > 0; \quad V_{out-} = 0, \quad (9)$$

$$V_{in} < 0; \quad V_{out-} = V_{in}. \quad (10)$$

This means that the proposed rectifier operates as positive half-wave rectifier and negative half-wave rectifier. In addition, the temperature effect in terms of the parameters K is also compensated.

3 Circuit Performance

The ideal circuit performance so far has been based on the assumptions that the current conveyor has no tracking errors, current mirrors have unity gain and transistors are perfectly matched. However, for realization, several non-idealities that contribute to error from the ideal performance are presented. The major factors to be considered are the finite drain resistance of the transistors, transistor mismatches and non-ideal effects of the current conveyor. In the following, the transistor equivalent circuit and a small signal analysis will be used to study the performances of the rectifier circuit of Fig. 2.

3.1 Non-ideal Analysis

3.1.1 Effect of Non-ideal Current Mirror and CCII-

From the circuit in Fig. 2(a), when $V_{in} > 0$, the output current of CCII- is $i_Z < 0$, this i_Z is fed through MD1 and then is applied to the input of MC1 as $i_{D(MC1)}$, which $i_{D(MC1)}$ is mirrored by CM1 to the drain of MC2 as $i_{D(MC2)}$. The current $i_{D(MC2)}$ can be approximated by

$$i_{D(MC2)} = i_{D(MC1)}(1 - \varepsilon p) \quad (11)$$

BIRKHAUSER

283 and

$$284 \quad \varepsilon_P = \frac{\Delta g_m(\text{CM1})}{g_m(\text{MC1})} + \frac{r_{I3}}{g_m(\text{MC1})r_{I3}} + \frac{R_{o1}}{r_o(\text{MC2})}, \quad (12)$$

285 where $\Delta g_m(\text{CM1})$ is the transconductance error due to the transistor mismatch between
 286 transistors MC1 and MC2 (CM1), $g_m(\text{MC1})$ and $g_m(\text{MC2})$ are the transconductances
 287 of the transistors MC1 and MC2, respectively, $r_o(\text{MC2})$ is the drain resistance of the
 288 transistor MC2, r_{I3} is the output resistance of the current source I_3 and R_{o1} is the
 289 MOS resistor (MR3-MR4). In addition, when $V_{in} < 0$, the output current of CCII- is
 290 $i_Z > 0$; this i_Z is fed through MD3 and then applied to the input of MC3 as $i_{D(\text{MC3})}$,
 291 which mirrored by CM2 to the drain of MC4 as $i_{D(\text{MC4})}$. The current $i_{D(\text{MC4})}$ can be
 292 approximated by

$$293 \quad i_{D(\text{MC4})} = i_{D(\text{MC3})}(1 - \varepsilon_N) \quad (13)$$

294 and

$$295 \quad \varepsilon_N = \frac{\Delta g_m(\text{CM2})}{g_m(\text{MC3})} + \frac{r_{I4}}{g_m(\text{MC3})r_{I4}} + \frac{R_{o2}}{r_o(\text{MC4})}, \quad (14)$$

296 where $\Delta g_m(\text{CM2})$ is the transconductance error due to the transistor mismatch between
 297 transistors MC3 and MC4 (CM2). The first terms on the right side of (12) and (14) are
 298 caused by the mismatch between the transistors in the current mirrors. The adverse
 299 effect of the transistor mismatches can be improved by using large aspect ratios. The
 300 second terms on the right side of (12) and (14) are due to the finite output resistances
 301 of the current mirrors.

302 The proposed rectifier is analysed taking into account the non-idealities of a CCII-.
 303 The non-ideal CCII- characteristics can be taken into account by letting $V_X = \beta V_Y$,
 304 $I_Z = \alpha I_X$ and $I_Y = 0$, where $\beta = 1 - \varepsilon_v$ and $\varepsilon_v (|\varepsilon_v| \ll 1)$ represents the voltage
 305 tracking error from Y to X terminal of the CCII-, $\alpha = 1 - \varepsilon_i$ and $\varepsilon_i (|\varepsilon_i| \ll 1)$ repre-
 306 sents the current tracking error from X to Z terminal of the CCII-. Taking the voltage
 307 and current tracking errors into account, the current i_Z can be expressed as

$$308 \quad i_Z = \frac{\alpha \beta V_{in}}{R_{in} + r_X}, \quad (15)$$

309 where r_X is the parasitic resistance looking into the terminal X of the CCII-. By using
 310 (11)–(15), (7) and (10) can be respectively rewritten as

$$311 \quad V_{in} > 0; \quad V_{out+} = \frac{\alpha \beta R_{o1} V_{in}}{R_{in} + r_X} - \varepsilon_P R_{o1} \quad (16)$$

312 and

$$313 \quad V_{in} < 0; \quad V_{out-} = \frac{\alpha \beta R_{o2} V_{in}}{R_{in} + r_X} - \varepsilon_N R_{o2}. \quad (17)$$

314 From (16) and (17), it can be seen that the CCII- non-idealities will slightly attenuate
 315 the amplitude of the output voltage signals, whereas the non-idealities of the current
 316 mirrors will slightly increase the output dc offsets. However, the first problem can
 317 be corrected by increasing the value of the output resistors (R_{o1} and R_{o2}), while the
 318 second problem by adjusting the value of the currents I_5 and I_6 .

3.1.2 Effect of Non-ideal Dual Translinear Loop

The effects of the transistor non-idealities around the dual translinear loops (MD1 to MD4 in Fig. 2(a) and M1 to M4 in Fig. 2(b)) in the rectifier performance are studied. The dual translinear loop MD1 to MD4 generally requires the four MOS transistors to have identical characteristics. A mismatch of the transistors MD1 to MD4 will affect V_{out+} and V_{out-} , and the amplitude of V_{out+} may not be equal to the amplitude of V_{out-} . For the rectifier circuit in Fig. 2(a), when $i_Z < 0$, it flows through MD1 to the input current mirror CM1. Then, the voltage $V_{GS(MD1)}$ increases and the voltage $V_{GS(MD3)}$ decreases to drive the transistor MD3 into the cutoff region. When $i_Z > 0$, it flows through MD3 to the input current mirror CM2. In this case, $V_{GS(MD3)}$ increases and $V_{GS(MD1)}$ decreases to drive the transistor MD1 into the cutoff region. Assuming that the transistors MD1 and MD3 are operating in strong inversion, the current–voltage characteristics can be obtained as

$$\left. \begin{aligned} I_{D(MD1)} &= K_N (V_A - V_D - |V_{TN}|)^2; i_Z < 0 \\ I_{D(MD3)} &= K_P (V_D - V_B - |V_{TP}|)^2; i_Z > 0 \end{aligned} \right\} \quad (18)$$

The minimum of the unbalanced signal between V_{out+} and V_{out-} can be shown as

$$K_N (V_A - V_D - |V_{TN}|)^2 = K_P (V_D - V_B - |V_{TP}|)^2, \quad (19)$$

where K_N and K_P are the transconductance parameters of MD1 (NMOS) and MD2 (PMOS), respectively, V_{TN} and V_{TP} are the threshold voltages of NMOS and PMOS, respectively, and V_D is the voltage at node D . Considering (19), we see that the balanced outputs $|V_{out+}|$ and $|V_{out-}|$ can be obtained by appropriately designing the transconductance parameters K_N and K_P .

The body effect of transistors around the dual translinear loops is considered next. For the rectifier circuit in Fig. 2, let us assume that the body of each of the MOS transistors is connected to its source ($V_{BS} = 0$), then $V_T = V_{T0}$ except for M1, M2, M3, M4, MD1, MD2, MD3, and MD4. The bodies of the transistors M1, M2, MD1, MD2 and those of the transistors M3, M4, MD3, MD4 are actually tied to V_{SS} and V_{DD} , respectively. For explanation, see Fig. 3 which shows the bulk connection and a cross-section of the four MOS transistors of the dual translinear loop. Assume that the standard CMOS process version of p-substrate is used in Fig. 3(b); therefore, pMOS transistor is suitable for implementing in n-well. In this figure, the bodies of nMOS transistors and pMOS transistors are tied to V_{SS} and V_{DD} , respectively. Therefore, the body bias effect on transistors M1, M2, M3, M4, MD1, MD2, MD3, and MD4 should be considered. The voltage between the source and the body (V_{SB}) directly affects to the threshold voltage (V_T), which can be depicted as

$$V_T = V_{T0} + \gamma (\sqrt{|V_{SB}| + 2\phi_F} - \sqrt{2\phi_F}), \quad (20)$$

where V_T is the threshold voltage when substrate bias is presented, V_{SB} is the source-to-body substrate bias, $2\phi_F$ is the surface potential, and V_{T0} is the threshold voltage for zero substrate bias, $\gamma = (t_{ox}/\epsilon_{ox})\sqrt{2q\epsilon_{si}N_A}$ is the body effect parameter, t_{ox} is the oxide thickness, ϵ_{ox} is the oxide permittivity, ϵ_{si} is the permittivity of silicon,

BIRKHAUSER

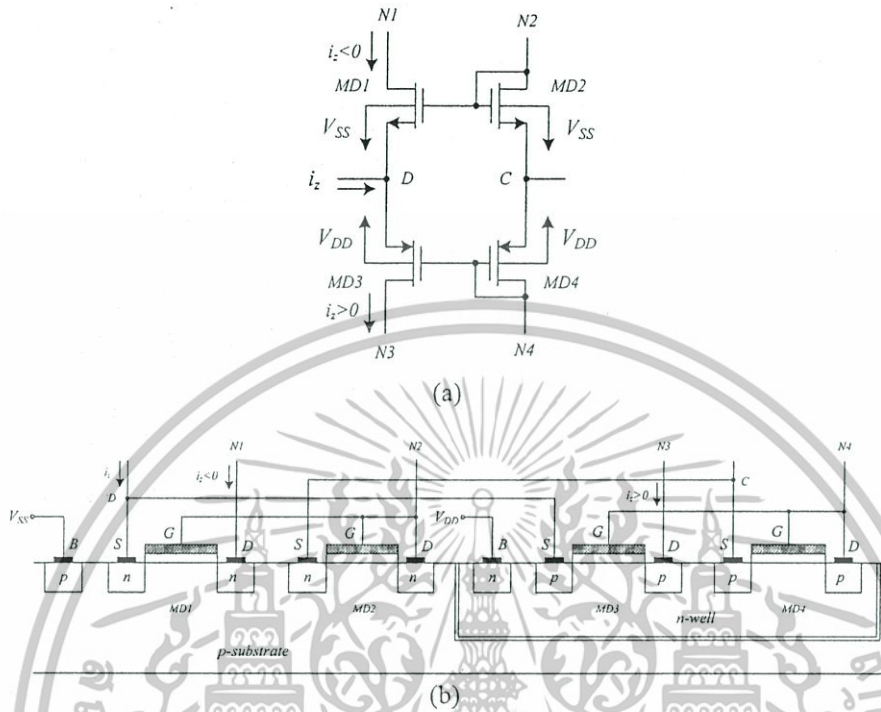


Fig. 3 CMOS implementation of the dual translinear loop: (a) bulk connection and (b) cross-section of the four MOS transistors of the dual translinear loop

N_A is the doping concentration and q is the charge of an electron. From (18) and (19), it is seen that the matching condition of MOS transistors MD1 and MD3 is required for obtaining the balanced signals V_{out+} and V_{out-} . If the threshold voltages of transistors MD1 and MD3 deviate, then a small unbalanced output signal between V_{out+} and V_{out-} occurs. However, this problem can be corrected by adjusting the value of the output resistors R_{o1} and R_{o2} .

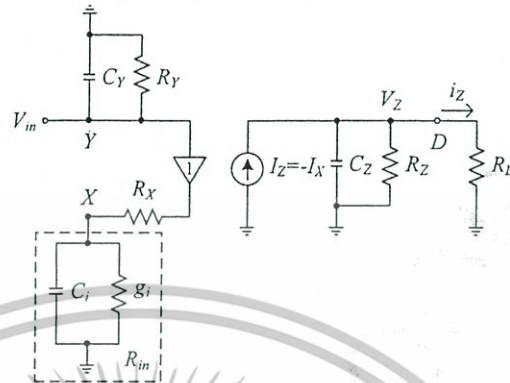
3.2 Frequency Response

For the high frequency response, the major high frequency limitations are due to the bandwidth of the V-I converter (CCH- and R_{in}) and the bandwidth of the I-V converters (CM1 and R_{o1} , CM2 and R_{o2}). By using the non-ideal circuit in Fig. 4, the transfer function of V-I converter can be approximated as

$$\frac{i_Z}{V_{in}} \approx \frac{s + \frac{g_i}{C_i}}{(s + \frac{1}{C_i R_X})(s + \frac{1}{C_Z R_Z})}, \quad (21)$$

where $R_D \ll R_Z$, $C_i = C_{gs}(MR1) + C_{gs}(MR2)$, $g_i = g_m(MR1) + g_m(MR2)$, R_X is the parasitic resistance at terminal X, R_Z is the equivalent parasitic resistance and C_Z is the equivalent parasitic capacitance, at terminal -Z, R_D is the parasitic resistance at

Fig. 4 Circuit model for non-ideal case of Fig. 2(b)



node D , $C_{gs(MRi)}$ and $g_{m(MRi)}$ denote the gate-to-source capacitance and the transconductance parameter, respectively, of transistor MRi .

The first high frequency pole (P_1) is due to the parasitic capacitance of MOS resistor R_{in} and the parasitic resistance at terminal X of $CCII-$, and is approximately given by

$$P_1 = \frac{1}{C_i R_X} \quad (22)$$

The second high frequency pole (P_2) is due to the equivalent parasitic resistance and the equivalent parasitic capacitance at terminal $-Z$ of $CCII-$, which can be expressed as

$$P_2 = \frac{1}{C_Z R_Z} \quad (23)$$

Again, by a small signal analysis of Fig. 2(a), the transfer function of the circuit is approximately given by

$$\frac{V_{out+}}{-i_Z} = \frac{-g_m(MC2)}{(s + \frac{g_m(MC1)}{C_{12}})(s + \frac{g_{o1}}{C_{o1}})} \quad (24)$$

$$\frac{V_{out-}}{i_Z} = \frac{-g_m(MC4)}{(s + \frac{g_m(MC3)}{C_{34}})(s + \frac{g_{o2}}{C_{o2}})} \quad (25)$$

where $C_{12} = C_{gs(MC1)} + C_{gs(MC2)}$, $C_{34} = C_{gs(MC3)} + C_{gs(MC4)}$, $C_{o1} = C_{gs(MR3)} + C_{gs(MR4)}$, $g_{o1} = g_m(MR3) + g_m(MR4)$, $C_{o2} = C_{gs(MR5)} + C_{gs(MR6)}$, $g_{o2} = g_m(MR5) + g_m(MR6)$, $g_m(MCi)$ and $C_{gs(MCi)}$ denote the transconductance parameter and the gate-to-source capacitance, respectively, of transistor MCi , $g_m(MRi)$ and $C_{gs(MRi)}$ denote the transconductance parameter and the gate-to-source capacitance, respectively, of transistor MRi . Let P_3 denote the pole of the current mirror $CM1$, P_4 the pole of the MOS resistor R_{o1} , P_5 the pole of the current mirror $CM2$, and P_6 the pole of the MOS resistor R_{o2} . Then, from (24) and (25), the poles P_3 , P_4 , P_5 and P_6 can respectively be expressed as

$$P_3 = \frac{g_m(MC1)}{C_{12}} \quad (26)$$

BIRKHAUSER

$$P_4 = \frac{g_{o1}}{C_{o1}}, \quad (27)$$

$$P_5 = \frac{g_{m(\text{MC3})}}{C_{34}}, \quad (28)$$

$$P_6 = \frac{g_{o2}}{C_{o2}}. \quad (29)$$

The small signal parameters used in Equations (22)–(23) and (26)–(29) obtained from the simulation are

$$g_{m(\text{MR1})} = g_{m(\text{MR2})} = 4.12 \times 10^{-4} \text{ AV}^{-1},$$

$$g_{m(\text{MR3})} = g_{m(\text{MR4})} = g_{m(\text{MR5})} = g_{m(\text{MR6})} = 2.02 \times 10^{-4} \text{ AV}^{-1},$$

$$g_{m(\text{MC1})} = g_{m(\text{MC2})} = 5.47 \times 10^{-4} \text{ AV}^{-1},$$

$$g_{m(\text{MC3})} = g_{m(\text{MC4})} = 7.67 \times 10^{-4} \text{ AV}^{-1},$$

$$C_{gs(\text{MR1})} = C_{gs(\text{MR2})} = 4.79 \times 10^{-15} \text{ F},$$

$$C_{gs(\text{MR3})} = C_{gs(\text{MR4})} = C_{gs(\text{MR5})} = C_{gs(\text{MR6})} = 2.39 \times 10^{-15} \text{ F},$$

$$C_{gs(\text{MC1})} = C_{gs(\text{MC2})} = 2.49 \times 10^{-14} \text{ F},$$

$$C_{gs(\text{MC3})} = C_{gs(\text{MC4})} = 1.80 \times 10^{-14} \text{ F},$$

$$C_Z = 4.58 \times 10^{-16} \text{ F},$$

$$R_X = 1.24 \times 10^3 \Omega, \quad \text{and}$$

$$R_Z = 991 \times 10^3 \Omega.$$

Hence, the poles P_1 , P_2 , P_3 , P_4 , P_5 and P_6 are located at 13.39, 0.35, 6.99, 54.49, 9.39, and 13.45 GHz, respectively. We can see that the high frequency limitation is due to the pole P_2 , which is associated with the CCII-.

3.3 Input Range of the Rectifier

The input voltage range of the proposed rectifier has been derived by assuming that the transistors M1, M2, M3, and M4 are biased in the saturation region. The input voltage range of the proposed rectifier can be expressed as

$$V_{in(\min)} = V_{SS} + |V_{THP}| + |V_{TN}| + |V_{eff(M4)}| + |V_{eff(M8)}|, \quad (30)$$

$$V_{in(\max)} = V_{DD} - |V_{THP}| - |V_{TN}| - |V_{eff(M2)}| + |V_{eff(M14)}|, \quad (31)$$

where $V_{eff} = V_{GS} - V_{TH} = \sqrt{\frac{2I_D}{\mu C_{OX}(W/L)}}$, V_{GS} is the gate to source voltage, V_{TH} is the threshold voltage and I_D is the drain current.

BIRKHAUSER

AUTHOR'S PROOF

4 Simulation Results

In order to test the ideal design, the scheme of the proposed half-wave rectifier in Fig. 2 is simulated using PSPICE simulation program. For the circuit simulation, $0.5 \mu\text{m}$ CMOS model obtained through MIETEC as tabulated in Table 1 is used. The transistor dimensions of the proposed circuit are summarized in Table 2. The supply voltage used is $\pm 1.2 \text{ V}$. The constant current sources used are $I_B = 40 \mu\text{A}$, $I_3 = I_4 = 100 \mu\text{A}$ and $I_5 = I_6 = 100.6 \mu\text{A}$. The current sources I_5 and I_6 are set to compensate the constant current sources. The aspect ratios of MR1 and MR2 are smaller than that of MR3 to MR6 used to compensate the non-ideal behavior of the current conveyor and the error of the current mirrors. The dc transfer characteristics of the proposed half-wave rectifier are shown in Fig. 5(a), which displays the operating voltage range from -250 to 250 mV of the input voltage. Three different currents have been used for biasing currents of I_1 and I_2 ($I_1 = I_2$), namely, 1 , 3 and $5 \mu\text{A}$. The results are shown in Fig. 5(b). It is observed from this figure that the corner distortion regions of the positive and negative half-wave outputs reduce when the bias currents decrease from 5 to $1 \mu\text{A}$. This means that the precision of the proposed half-wave rectifier can be adjusted by choosing appropriate bias currents I_1 and I_2 . The voltage gain variation of the proposed half-wave rectifier with respect to frequency is depicted in Fig. 6. The $f_{-3 \text{ dB}}$ frequencies of the $V_{\text{out}+}/V_{\text{in}}$ and $V_{\text{out}-}/V_{\text{in}}$ responses of the proposed half-wave rectifier are found to be 333 MHz .

Table 1 The model parameters of CMOS used in simulation

MODEL NMOS LEVEL = 3 UO = 460.5 TOX = 1.0E-8 TPG = 1 VTO = 0.62 JS = 1.08E-6
+XJ = 0.15U RS = 417 RSH = 2.73 LD = 0.04U VMAX = 130E3 NSUB = 1.71E17
+PB = 0.761 ETA = 0.00 THETA = 0.129 PHI = 0.905 GAMMA = 0.69 KAPPA = 0.10
+CJ = 76.4E-5 MJ = 0.357 CJSW = 5.68E-10 MJSW = 0.302 CGSO = 1.38E-10
+CGDO = 1.38E-10 CGBO = 3.45E-10 KF = 3.07E-28 AF = 1 WD = 0.11U DELTA = 0.42
+NFS = 1.2E11 DELL = 0U LIS = 2 ISTMP = 10 TT = 0.1E-9
MODEL PMOS LEVEL = 3 UO = 100 TOX = 1.0E-8 TPG = 1 VTO = -0.58 JS = 0.38E-6
+XJ = 0.10U RS = 886 RSH = 1.81 LD = 0.03U VMAX = 113E3 NSUB = 2.08E17
+PB = 0.911 ETA = 00 THETA = 0.120 PHI = 0.905 GAMMA = 0.76 KAPPA = 2
+CJ = 85E-5 MJ = 0.429 CJSW = 4.67E-10 MJSW = 0.631 CGSO = 1.38E-10
+CGDO = 1.38E-10 CGBO = 3.45E-10 KF = 1.08E-29 AF = 1 WD = 0.14U
+DELTA = 0.81 NFS = 0.52E11 DELL = 0U LIS = 2 ISTMP = 10 TT = 0.1E-9

Table 2 The aspect ratios (W/L) of the MOS transistors in Fig. 2

MOS transistors	W/L ($\mu\text{m}/\mu\text{m}$)
M1-M2, M5-M11, MD1-MD2, MC3-MC4	10/0.6
M3-M4, M12-M17	40/0.6
MC1-MC2, MD3-MD4	20/0.6
MR1-MR2	4/0.6
MR3-MR6	2/0.6

BIRKHAUSER

Circuits Syst Signal Process

AUTHOR'S PROOF

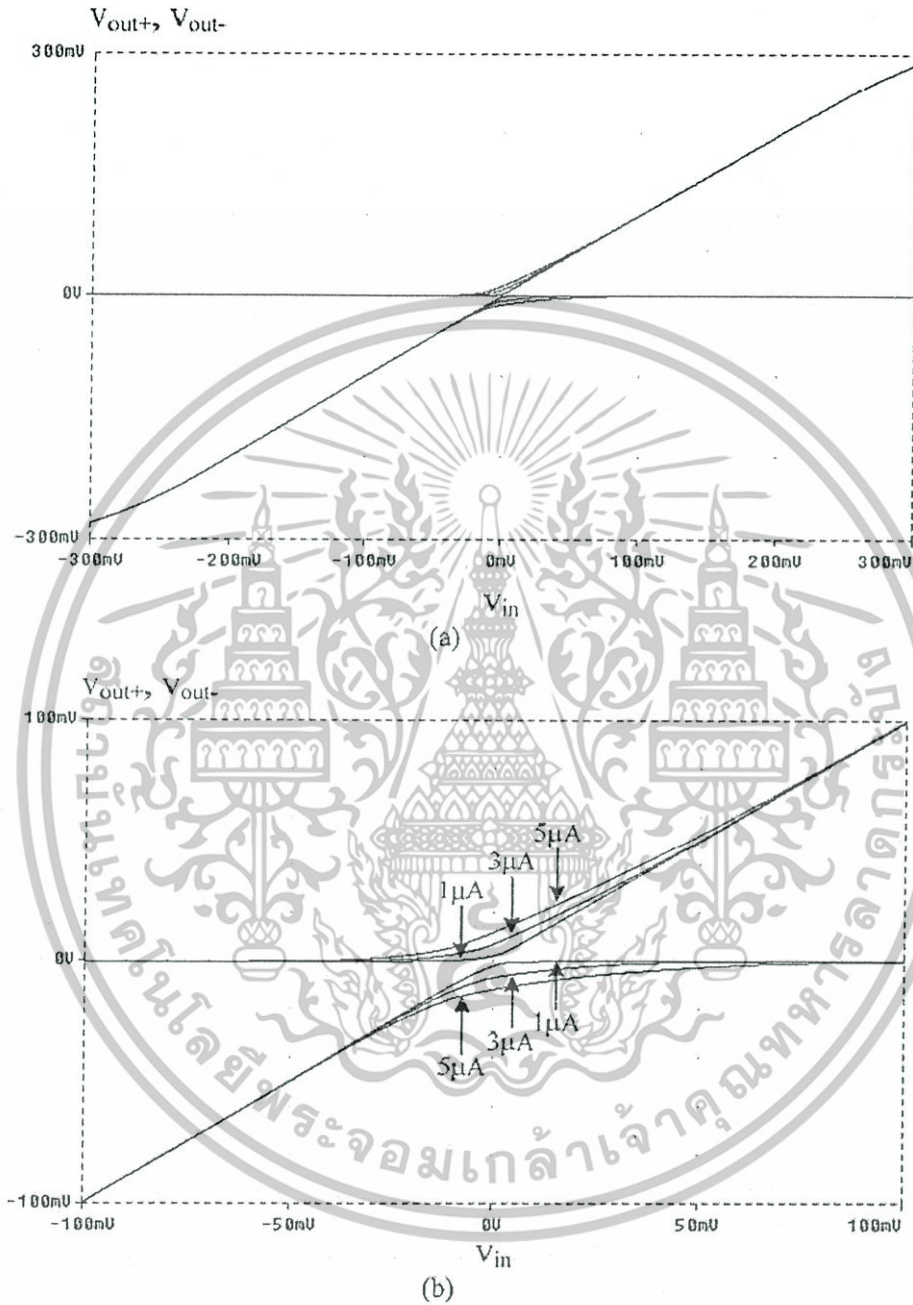


Fig. 5 (a) Simulated results for dc transfer characteristic and (b) magnified zero-crossing region

Applying the 200 mV_{peak} sine wave at the input of the proposed half-wave rectifier and setting the current sources I_1 and I_2 to 5 μA , the input and output signals

BIRKHAUSER

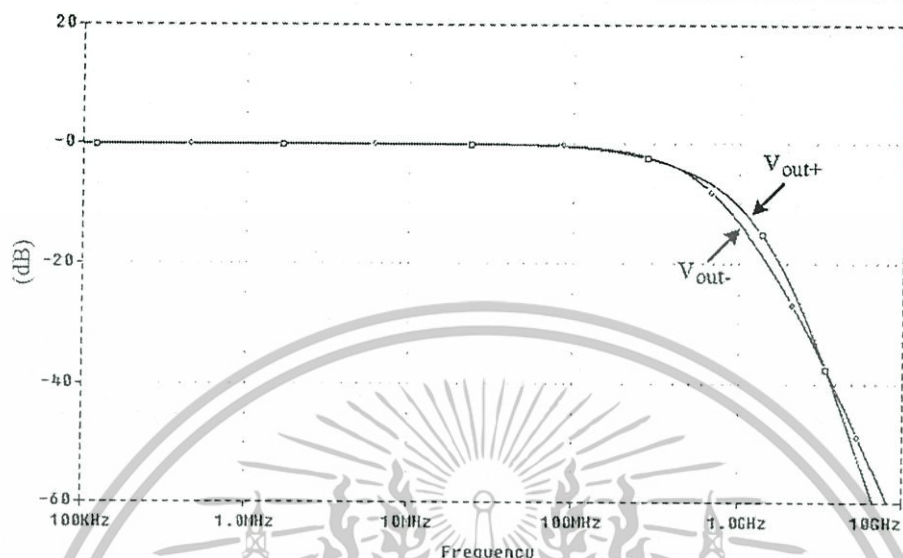


Fig. 6 Simulated frequency response of proposed half-wave rectifier

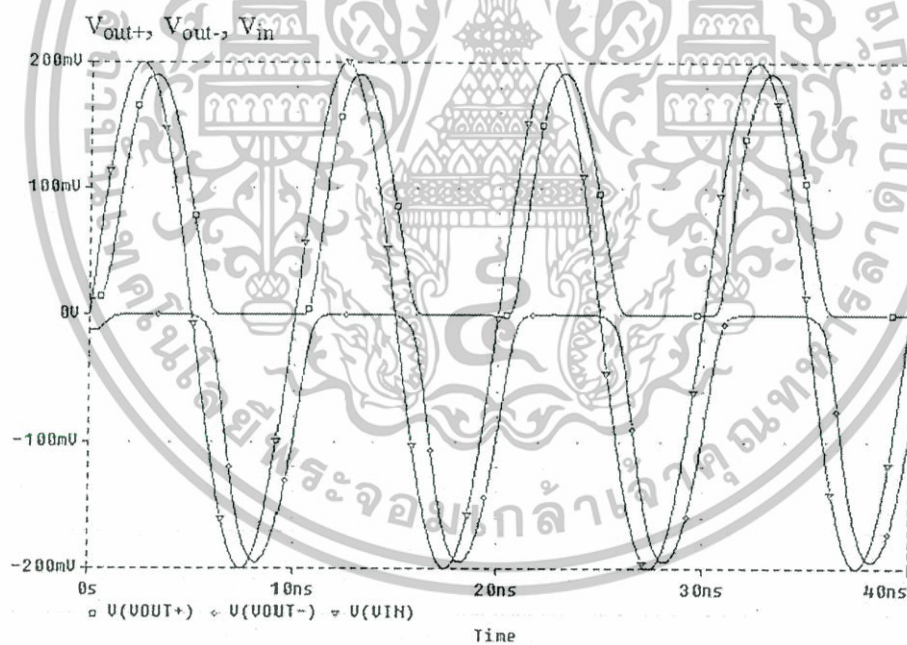


Fig. 7 Output responses of the half-wave rectifier for input of 100 MHz

obtained at frequencies of 100, 300 and 500 MHz are shown in Fig. 7, 8, 9, respectively. The plot of the amplitudes V_{out+} and V_{out-} versus frequency is also shown in Fig. 10. At the 500 MHz output signal in Fig. 9, the half-wave rectified signals

BIRKHAUSER

Circuits Syst Signal Process

AUTHOR'S PROOF

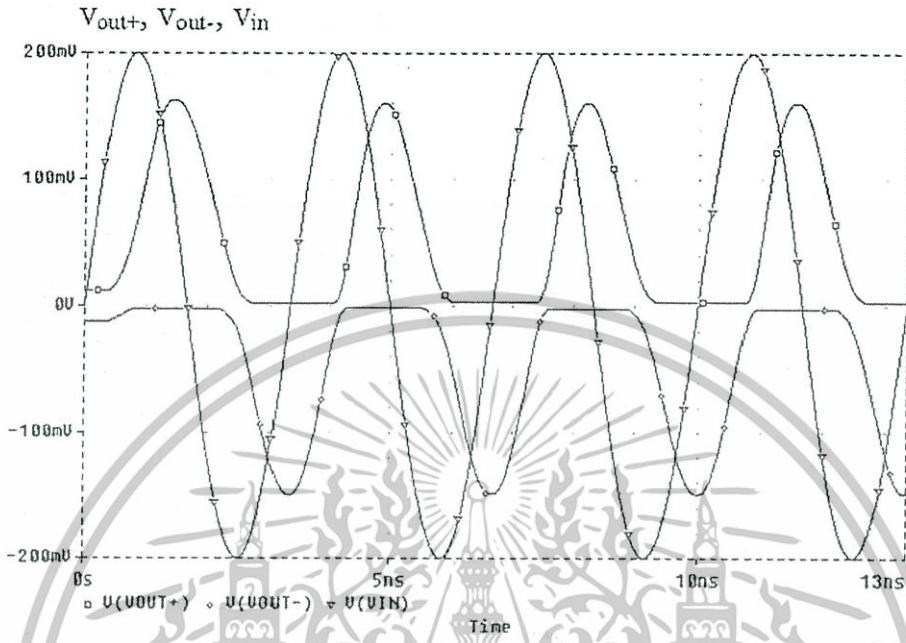


Fig. 8 Output responses of the half-wave rectifier for input of 300 MHz

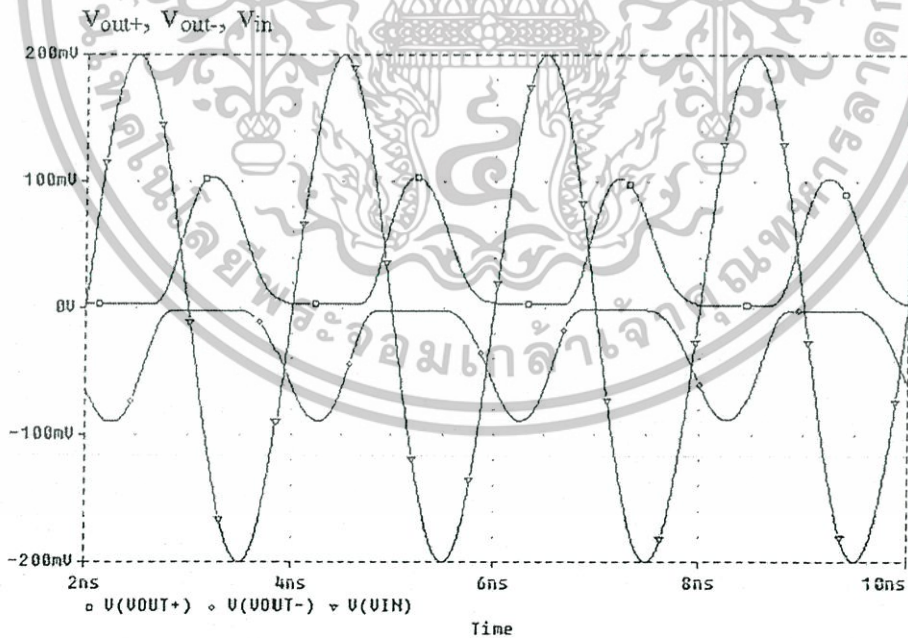


Fig. 9 Output responses of the half-wave rectifier for input of 500 MHz

BIRKHAUSER

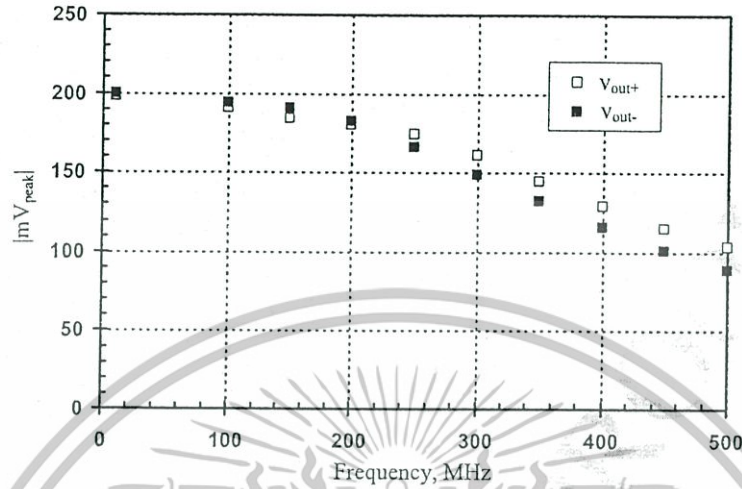


Fig. 10 Plots of amplitudes of V_{out+} and V_{out-} versus frequency

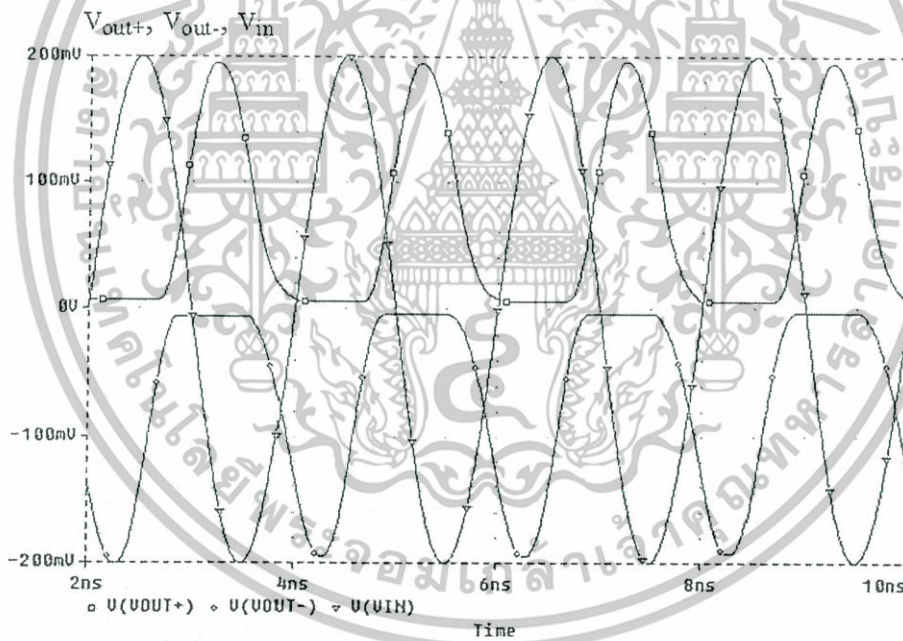


Fig. 11 Output responses of the half-wave rectifier for input of 500 MHz after increasing R_{01} and R_{02}

are produced with amplitude 103.4 and $-88.47 \text{ mV}_{\text{peak}}$ for V_{out+} and V_{out-} , respectively. This is a benefit due to the class-AB rectifier cell (MD1–MD4), which is biased “just on” [4], and due to the fast response of the current conveyor.

The amplitude errors between the input and the output signals in Fig. 8 and 9, result from the decrease of the gain of the proposed rectifier for operation at high

BIRKHAUSER

Circuits Syst Signal Process

AUTHOR'S PROOF

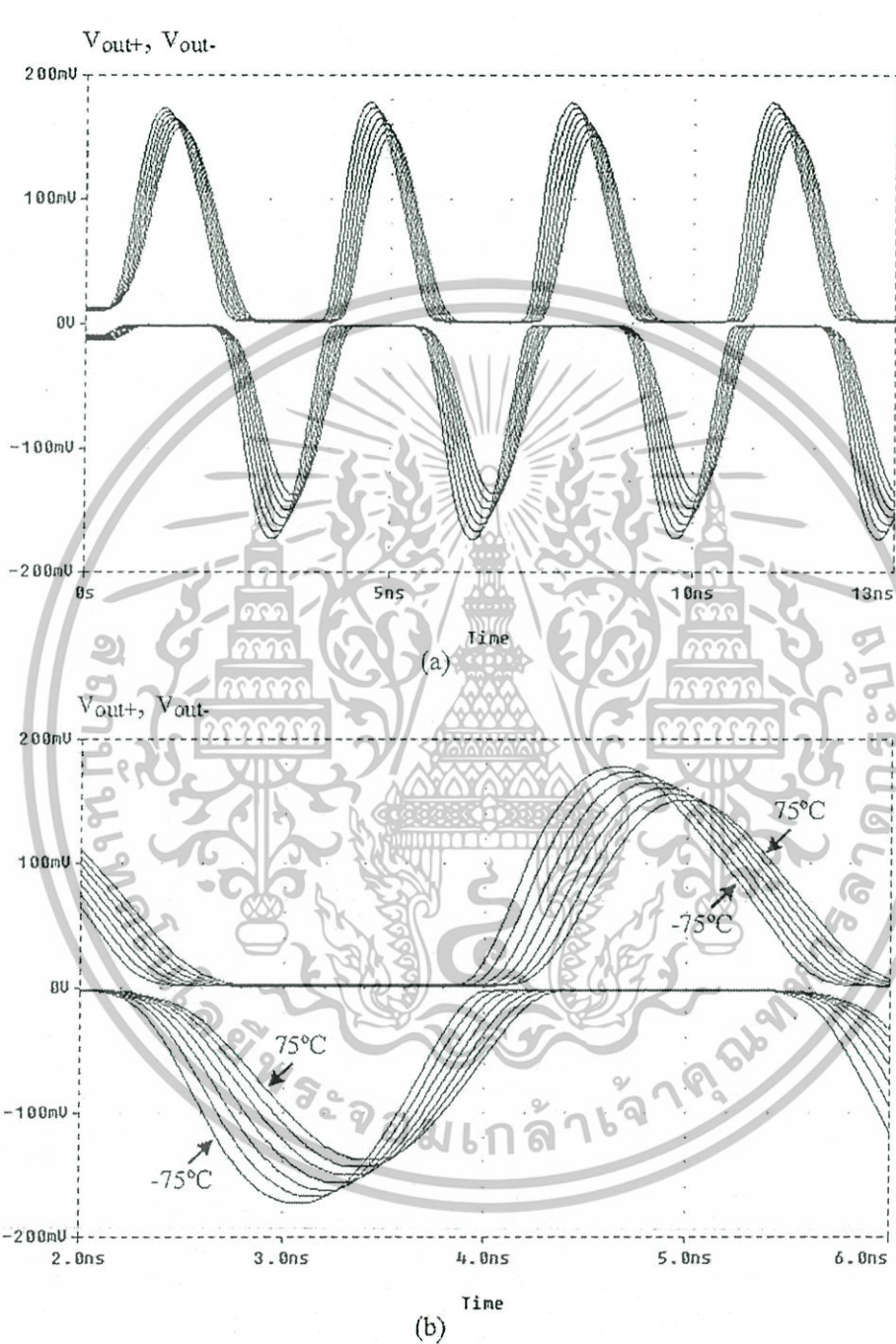


Fig. 12 Output waveforms at different temperatures for input of 300 MHz: (a) varied of output waveforms; (b) expended output waveforms

BIRKHAUSER

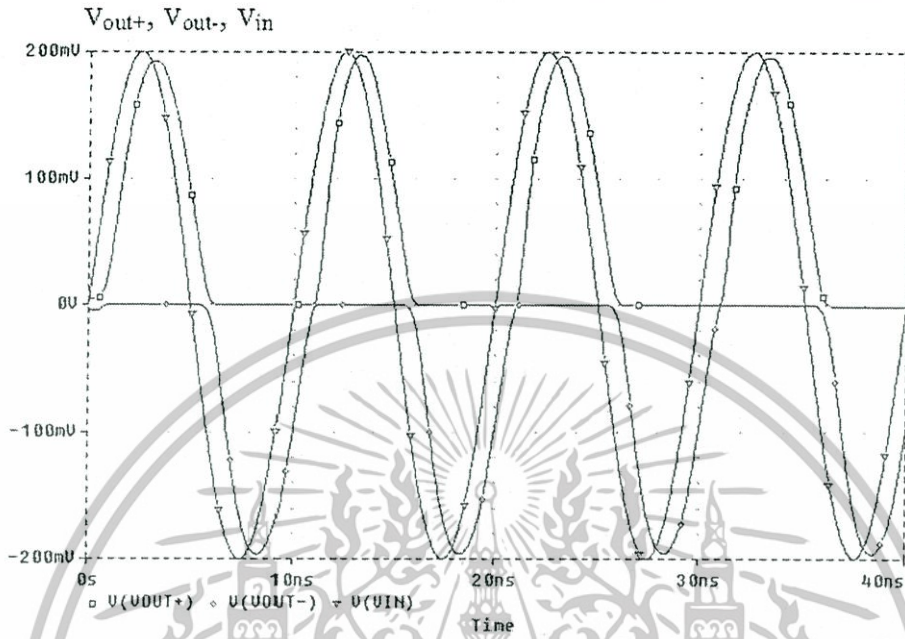


Fig. 13 Operation of half-wave rectifier at the input signal frequency 100 MHz for $I_1 = I_2 = 1 \mu\text{A}$

frequencies. There are two methods for compensating this problem. The first method is to increase the value of R_{O1} and R_{O2} by decreasing the W/L ratios of MR3 to MR6. The second method is to increase the gain of the current mirrors in the proposed rectifier by increasing the W/L ratios of MC2 and MC4.

To confirm that the amplitude error of the output voltage signals can be improved by increasing the values of R_{O1} and R_{O2} , we again simulate the proposed rectifier at a frequency of 500 MHz with the amplitude error of the output voltage signals compensated by decreasing the W/L of ratios of MR3 to MR6. The input and output waveforms are shown in Fig. 11. It is clear that the amplitude error of the output voltage signals of the proposed half-wave rectifier can be improved by increasing the values of R_{O1} and R_{O2} . In addition, it can also be confirmed that the proposed rectifier can rectify the high frequencies up to 500 MHz. However, this operating frequency is obtained only from simulation; when the proposed rectifier is built as an IC, this operating frequency will be lessened by the effect of parasitic capacitance in the IC.

In order to check for the temperature stability of the proposed rectifier, we apply a $200 \text{ mV}_{\text{peak}}$, 300 MHz signal and vary the simulation temperature values from -75 to 75°C . Figure 12 shows the output waveforms at temperatures of -75 , -50 , -25 , 0 , 25 , 50 , and 75°C . The simulated peak outputs $V_{\text{out}+}$ for the circuit were 175.05 and 150.8 at -75 and 75°C , respectively. Likewise, the simulated peak outputs $V_{\text{out}-}$ for the circuit were -172.6 and -136.05 mV at 75 and -75°C , respectively. The simulation results confirm that the proposed rectifier rectifies the high frequency up to 300 MHz.

From the dc transfer characteristic in Fig. 4, the corner distortion regions seem to reduce when the bias currents I_1 and I_2 deviate from 5 to $1 \mu\text{A}$. To confirm this

Circuits Syst Signal Process

AUTHOR'S PROOF

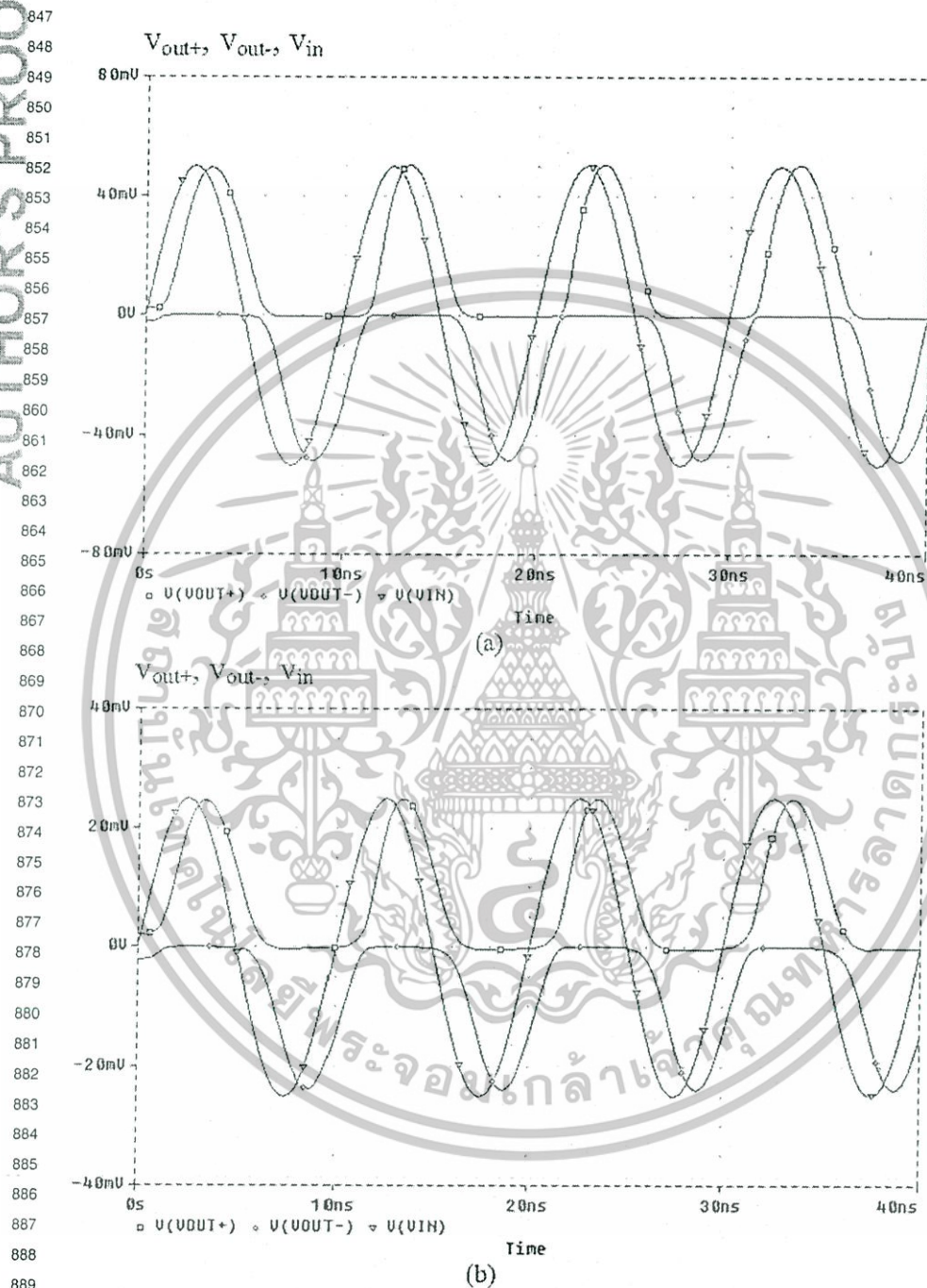


Fig. 14 Rectified outputs of Fig. 2 at the bias currents $I_1 = I_2 = 1 \mu\text{A}$ and the input signal frequency 100 MHz for: (a) 50 mV_{peak}; (b) 25 mV_{peak}; and (c) 15 mV_{peak}

BIRKHÄUSER

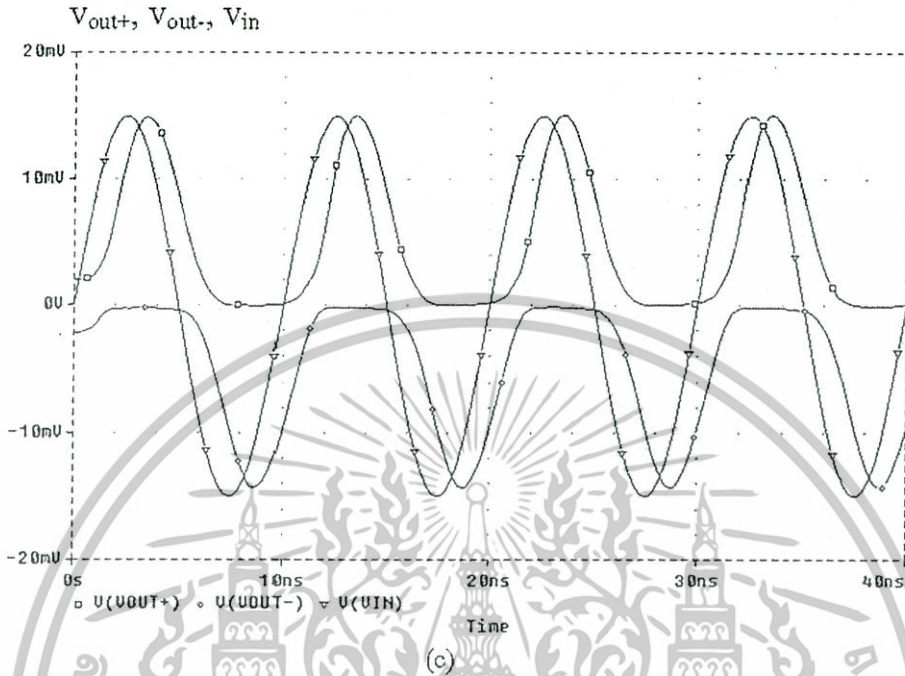


Fig. 14 (Continued)

result, we again simulate the proposed rectifier of Fig. 2 at the frequency of 100 MHz with the bias currents $I_1 = I_2 = 1 \mu\text{A}$. The input and output signals in this case are shown in Fig. 13, where the clean half-wave rectified signals of almost 200 mV_{peak} can be seen. In comparing the output waveforms in Fig. 13 with those in Fig. 7, it is clearly seen that by reducing the bias currents $I_1 = I_2$, the precision of the proposed rectifier is increased. To expand this point, the proposed half-wave rectifier is again simulated. Here, the input signal frequency was fixed at 100 MHz, the bias currents used are $I_1 = I_2 = 1 \mu\text{A}$ and the amplitude set at 50, 25 and 15 mV_{peak}. The input and output waveforms in this case are shown in Fig. 14. They show that the proposed circuit with the bias currents $I_1 = I_2 = 1 \mu\text{A}$ can be used to rectify low-level signals. It is clear from Fig. 13 and 14 that the precision of the proposed half-wave rectifier can be achieved by reducing the bias currents I_1 and I_2 ($I_1 = I_2$), but this is likely to affect the bandwidth of the system. Therefore, high precision and high frequency performances of the proposed rectifier can be achieved by approximately selecting the bias currents I_1 and I_2 ($I_1 = I_2$). Finally, a comparison of the performance the circuit of this paper and previous works is given in Table 3.

5 Conclusions

In this paper, a high frequency and high precision CMOS half-wave rectifier circuit has been presented. The proposed circuit is based on a previously reported current

BIRKHAUSER

941
942
943
944
945
946
947
948
949
950
951
952
953
954
955
956
957
958
959
960
961
962
963
964
965
966
967
968
969
970
971
972
973
974
975
976
977
978
979
980
981
982
983
984
985
986
987

Table 3 Comparison of proposed rectifier with those of previous papers

Parameter	Proposed rectifier	Chaoui [2]	Gift [3]	Monpapasorn et al. [10]	Toumazou et al. [14]
Components	31 MOSs, 7 current sources	14 MOSs	2 op-amps, 1 current conveyor, 2 diodes, 3 floating resistors	44 MOSs, 4 current sources	2 current conveyors, 4 diodes, 1 floating resistor, 1 grounded resistor
Supply voltage	± 1.2 V	± 2.5 V	$> \pm 10$ V	± 1.2 V	$> \pm 5$ V
Operation frequency	> 300 MHz	5 MHz	> 100 kHz	100 MHz	30 MHz
Power consumption	1.76 mW	1.9 mW	-	1.8 mW	-
Input dynamic range	250 mV	1 V	-	300 mV	-
Suitable for IC	Yes	Yes	No	Yes	No

988 conveyor rectifier. However, with a different circuit structure, the proposed half-wave
 989 rectifier yields features superior to the previously reported current conveyor rectifier
 990 in terms of the power consumption, the number of devices and the operating fre-
 991 quency capability. The configuration described is high suitable for integrated circuit
 992 implementation both in bipolar and CMOS technologies. The performance of the
 993 proposed circuit is confirmed from PSPICE simulation results. In the simulation re-
 994 sults, a power consumption of approximately 1.76 mW and a -3 dB bandwidth of
 995 333 MHz at the supply voltage ± 1.2 V were observed. It should be noted that the
 996 proposed rectifier is suitable for a high impedance load. If the low impedance load is
 997 applied, a voltage buffer at an output is needed.

998 In fact, the MOS resistors are not quite linear, but the cascade of the input V–I con-
 999 verter (R_{in}) and the output I–V converters (R_{o1} and R_{o2}) causes partial compensation
 1000 for the nonlinearity of these resistors. If the proposed half-wave rectifier is loaded
 1001 by a low impedance load, the load may be connected directly without connecting the
 1002 output resistors (R_{o1} and R_{o2}), but it requires the linear input resistor (R_{in}).

1003 **Acknowledgements** The authors express their gratitude to the anonymous reviewers and the Associate
 1004 Editor, Prof. A.M. Soliman, for their useful comments and suggestions. Also, the author would also like to
 1005 express their thanks to the Editor-in-Chief, Prof. M.N.S. Swamy, for his help in improving the presentation
 1006 of the paper.

1007 References

- 1008 1. E. Bruun, CMOS high speed, high precision current conveyor and current feedback amplifier struc-
 1009 tures, *Int. J. Electron.* **74**, 93–100 (1993)
- 1010 2. H. Chaoui, CMOS high-frequency rectifier with unity voltage gain, *Electron. Lett.* **31**, 717–718
 1011 (1995)
- 1012 3. S.J.G. Gift, A high-performance full-wave rectifier circuit, *Int. J. Electron.* **89**, 467–476 (2000)
- 1013 4. S.J.G. Gift, New precision rectifier circuits with high accuracy and wide bandwidth, *Int. J. Electron.*
 1014 **92**, 601–617 (2005)
- 1015 5. R.G. Irvine, *Operational Amplifier Characteristics and Applications* (Prentice Hall International, New
 1016 Jersey, 1994)
- 1017 6. A.A. Khan, M. Abou El-Ela, M.A. Al-Turaigi, Current-mode precision rectification, *Int. J. Electron.*
 1018 **79**, 853–859 (1995)
- 1019 7. M. Kumngern, K. Dejhan, High frequency and high precision CMOS full-wave rectifier, *Int. J. Elec-
 1020 tron.* **93**, 185–199 (2006)
- 1021 8. M. Kumngern, K. Dejhan, Current conveyor-based versatile precision rectifier, *WSEAS Trans. Cir-
 1022 cuits Syst.* **7**, 1070–1079 (2008)
- 1023 9. A. Monpappasorn, K. Dejhan, F. Cheevasuvit, A full-wave rectifier using a current conveyor and
 1024 current mirrors, *Int. J. Electron.* **88**, 751–758 (2001)
- 1025 10. A. Monpappasorn, K. Dejhan, F. Cheevasuvit, CMOS dual output current mode half-wave rectifier,
 1026 *Int. J. Electron.* **88**, 1073–1084 (2001)
- 1027 11. A.J. Peyton, V. Walsh, *Analog Electronics with OP Amps: a Source Book of Practical Circuits* (Cam-
 1028 bridge University Press, New York, 1993)
- 1029 12. J. Ramirez-Angulo, High frequency low voltage CMOS diode, *Electron. Lett.* **28**, 298–299 (1992)
- 1030 13. W. Surakumpontorn, V. Riewruja, Integrable CMOS sinusoidal frequency doubler and full-wave rec-
 1031 tifier, *Int. J. Electron.* **73**, 627–632 (1992)
- 1032 14. C. Toumazou, F.J. Lidgey, S. Chattong, High frequency current conveyor precision full-wave rectifier,
 1033 *Electron. Lett.* **30**, 745–746 (1994)
- 1034 15. Z. Wang, 2-MOSFET transistor with extremely low distortion for output reaching supply voltage,
Electron. Lett. **26**, 951–952 (1990)
16. Z. Wang, Full-wave precision rectification that is performed in current domain and very suitable for
 CMOS implementation, *IEEE Trans. Circuits Syst. Part I* **39**, 456–462 (1992)
17. B. Wilson, V. Mannama, Current-mode rectifier with improved precision, *Electron. Lett.* **31**, 247–248
 (1995)

BIRKHAUSER

ประวัติผู้เขียน

นายบุญยิ่ง นบนอบ เกิดวันที่ 14 ธันวาคม พ.ศ. 2515 ที่จังหวัดกระบี่ สำเร็จการศึกษาปริญญา
 อดสาหกรรมศาสตรบัณฑิต สาขาเทคโนโลยีอิเล็กทรอนิกส์และปริญญาวิศวกรรมศาสตร
 มหบัณฑิต สาขาวิศวกรรมไฟฟ้า จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ใน
 ปีการศึกษา 2537 และปีการศึกษา 2542 ตามลำดับ ปัจจุบันรับราชการตำแหน่งอาจารย์ประจำ
 ภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยี
 ราชมงคลธัญบุรี

