

การออกแบบวงจรเทอร์นารีลอจิก

TERNARY LOGIC DESIGN

พิชัย สุวรรณลอยLONG

PICHAJ SUWANLOYLONG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาคณะหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2551

KMITL-2008-EN-M-010-198

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรเทอร์นารีลอจิก

TERNARY LOGIC DESIGN



พิชัย สุวรรณลอยดอง
PICHAI SUWANLOYLONG

เลขหมู่.....
เลขทะเบียน..... 87114
วัน,เดือน,ปี..... 30 ส.ค. 2552

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

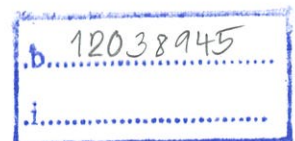
สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2551

MKITL-2008-EN-M-010-198



TERNARY LOGIC DESIGN

PICHAJ SUWANLOYLONG

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2008

KMITL-2008-EN-M-010-198


COPYRIGHT 2008

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรเทอร์นาเรียลอจิก
Thesis Title Ternary Logic Design
นักศึกษา นายพิชัย สุวรรณลอยส่อง
รหัสประจำตัว 48060940
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.กอบชัย เดชหาญ
หมายเลขวิทยานิพนธ์ KMITL-2008-EN-M-010-198

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ผศ.ดร.พิพัฒน์	พรหมมี	
ดร.มนตรี	คำเงิน	
รศ.จิระศักดิ์	ชาญฉิมธรรม	
รศ.ดร.ฟูศักดิ์	ชีวิสูวิทย์	
รศ.ดร.กอบชัย	เดชหาญ	

วัน / เดือน / ปี ที่สอบ วันศุกร์ที่ 7 พฤศจิกายน พ.ศ. 2551 เวลา 09.00-11.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 1

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 7 พฤศจิกายน พ.ศ. 2551

Thesis Title	Ternary Logic Design
Student	Mr. Pichai Suwanloylong
Student ID.	48060940
Degree	Master of Engineering
Programme	Telecommunication Engineering
Year	2008
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This thesis proposes the implementation for ternary logic circuit based on pass-transistor logic design for process ternary logic level which is controlled by binary logic produced by Differential Cascade Voltage Switch circuit (DCVS). This design technique is widely used for CMOS digital circuit. Therefore, the ternary logic which is designed by proposed technique can be implemented with normal and well controlled CMOS fabrication process. This thesis presents several ternary logics, such as, ternary-inverter, exclusive-OR, multiplexer, which are primitive cells for multiple-valued logic system. The simulation is performed by PSPICE simulator with the MOS transistor model from MOSIS technology 0.5 μm . The results confirm the success of the proposed technique.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้อย่างดี ผู้จัดทำใคร่ขอขอบพระคุณ รศ.ดร. กอบชัย เดชหาญ ซึ่งเป็นผู้ควบคุมวิทยานิพนธ์ ที่ได้กรุณาเสียสละเวลาให้คำปรึกษาและคำแนะนำในการทำงาน ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอขอบพระคุณเป็นอย่างสูง

ผู้วิจัยขอขอบคุณ ดร.สมปอง วิเศษพานิชกิจ ที่ให้กรุณาให้คำปรึกษาและแนวคิดในการจัดทำวิทยานิพนธ์จนสำเร็จลุล่วงได้

ผู้วิจัยขอขอบพระคุณ บิดา-มารดาและพี่ๆ ของข้าพเจ้าที่ให้โอกาสและสนับสนุนในการเรียนจนถึงระดับปริญญาโทบัณฑิต พร้อมทั้งเป็นกำลังใจในการเล่าเรียนและทำวิทยานิพนธ์จนสำเร็จลุล่วงไปด้วยดี

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ทุกคนที่ช่วยเหลือและเป็นกำลังใจในการเรียนให้ด้วยดีเสมอมา และในการจัดทำวิทยานิพนธ์

คุณค่าและประโยชน์อันพึงมีมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

พิชัย สุวรรณลอยล่อง

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 สมมติฐานของการศึกษา.....	2
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	3
1.6 ขั้นตอนของการศึกษา.....	4
บทที่ 2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์.....	5
2.1 บทนำ.....	5
2.2 โครงสร้างของมอสทรานซิสเตอร์.....	5
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	6
2.4 คุณสมบัติทางศักดากระแสของมอสทรานซิสเตอร์.....	7
2.5 การทำงานของมอสทรานซิสเตอร์.....	9
2.5.1 การทำงานในช่วงคัทออฟ (Cutoff Region).....	14
2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region).....	14
2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region).....	14
2.6 การหาค่าหนึ่งเวลา.....	17
2.7 การหาค่ากำลังงานสูญเสีย.....	19
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร.....	23
2.7.2 การหาค่า Power delay product.....	25
2.8 สรุป.....	26

สารบัญ(ต่อ)

	หน้า
บทที่ 3 ทฤษฎีของลอจิกหลายระดับสัญญาณ.....	27
3.1 นิยามและคำจำกัดความ.....	27
3.2 พีชคณิตของโพสต์และวงจร m ค่า.....	31
3.3 วงจร m-valued.....	31
3.4 เทรคโฮลด์ฟังก์ชัน.....	34
3.5 การแทนค่าของสัญญาณในวงจรหลายระดับสัญญาณ.....	35
3.6 การควอนไทซ์ค่า.....	36
3.7 โหมดในการทำงานของวงจร.....	36
3.7.1 โหมดประจุ.....	36
3.7.2 โหมดกระแส.....	37
3.7.3 โหมดแรงดัน.....	38
3.8 วงจร m-valued ทำงานในโหมดแรงดัน.....	40
3.9 วงจร m-valued ที่ใช้ในเทคโนโลยี NMOS.....	40
3.9.1 วงจรถอครหัส.....	40
3.9.2 วงจรเข้ารหัส.....	41
3.10 วงจร m-valued โดยใช้เทคโนโลยีของ CMOS.....	43
3.10.1 วงจรเข้ารหัส.....	43
3.10.2 วงจรถอครหัส.....	44
3.11 วงจร m-valued ทำงานในโหมดกระแส.....	45
3.11.1 เทคโนโลยีไบโพลาร์.....	45
3.11.1.1 วงจร I ² L ที่ทำงานในโหมดกระแส.....	45
บทที่ 4 ทฤษฎีซีมอสลอจิกเกณฑ์สูง.....	49
4.1 มอสลอจิกเทียม (Pseudo MOS Logic).....	49
4.2 วงจร 3 สถานะ (Tri-state Circuit).....	51
4.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา (Clocked CMOS Logic, C2MOS).....	52
4.4 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic).....	53
4.4.1 ปัญหาของไดนามิกซีมอส.....	55
4.5 ซีมอสโดมิโนลอจิก (CMOS Domino Logic).....	55

สารบัญ(ต่อ)

	หน้า
4.6 ลอจิกเส้นทางคู่ (Dual-rail logic).....	56
4.7 ลอจิกแบบวงจรเงาสะท้อน (Mirror Circuit logic).....	58
บทที่ 5 ผลการวิเคราะห์จากการออกแบบวงจรเทอร์นารีลอจิก.....	60
5.1 การออกแบบวงจรเทอร์นารีลอจิก.....	61
5.2 วงจรเทอร์นารีลอจิก.....	66
5.2.1 วงจรเทอร์นารีอินเวอร์เตอร์ (\bar{x}).....	66
5.2.2 วงจรบัฟเฟอร์ หรือ identity cell.....	67
5.2.3 วงจร Modulo-1 addition.....	69
5.2.4 วงจร Modulo-2 Addition.....	70
5.2.5 วงจรมัลติเพล็กซ์ 3:1.....	72
บทที่ 6 สรุปผลการวิเคราะห์.....	76
บรรณานุกรม.....	77
ภาคผนวก.....	79
ภาคผนวก ก ผลงานทางวิชาการที่ได้รับการตีพิมพ์.....	80
ภาคผนวก ข มอสรานซิสเตอร์โมเดลที่ใช้ในการทดสอบวงจร.....	81
ประวัติผู้เขียน.....	83

สารบัญตาราง

ตารางที่	หน้า
3.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ.....	29
5.1 ตารางความจริงวงจรเทอร์นารีลอจิก.....	62
5.2 ตารางความจริงวงจรเทรค โฮลด์เกต.....	65
5.3 แสดงค่าความจริงของวงจรเทอร์นารีอินเวอร์เตอร์.....	66
5.4 แสดงค่าความจริงของวงจรบัพเฟอร์.....	68
5.5 แสดงค่าความจริงของวงจร Modulo-1 Addition.....	69
5.6 แสดงค่าความจริงของวงจร Modulo-2 Addition.....	71
5.7 แสดงค่าความจริงของวงจรมัลติเพล็กซ์ 3:1.....	73
5.8 กำหนดเวลาวงจรเทอร์นารีที่นำเสนอ (nsec.).....	75

สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์.....	6
2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพีซีเอ็น.....	6
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	7
2.4 แสดงการไปอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ ซึ่งทำให้เกิดย่านปลดพาหะ(Depletion Region).....	8
2.5 แสดงการเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์.....	9
2.6 แสดงภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear region).....	10
2.7 แสดงส่วนทางเรขาคณิตบริเวณผิวของ inversion layer.....	11
2.8 แสดงการเกิด Pinch – off.....	13
2.9 แบบจำลองคุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์.....	16
2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักดาระหว่างเกตกับซอส.....	16
2.11 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพีซีเอ็น.....	17
2.12 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์.....	17
2.13 แสดงรูปที่คลื่นสัญญาณทางอินพุตและเอาต์พุตของวงอินเวอร์เตอร์ และนิยามค่าหนึ่ง เวลาต่าง ๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมทางทฤษฎี.....	18
2.14 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต.....	19
2.15 วงจรซีมอสอินเวอร์เตอร์ ที่ใช้ในการวิเคราะห์หา Dynamic power dissipation.....	20
2.16 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุต และรูปคลื่นกระแสของคาปาซิแตนซ์ระหว่าง การสวิตช์ ของวงจรซีมอสอินเวอร์เตอร์.....	21
2.17 วงจรซีมอส Logic โดยทั่วไป.....	22
2.18 วงจรการวัดกำลังงานที่นำไปใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร.....	24
3.1 แสดงตารางความจริง คุณลักษณะการส่งผ่านและสัญลักษณ์ของเกต MT(4).....	28
3.2 แสดงวงจรมอสอินเวอร์เตอร์พื้นฐาน.....	32
3.3 แสดงบล็อกไดอะแกรมของวงจร m ค่า.....	33
3.4 แสดงคุณลักษณะการส่งผ่านของวงจรมอสอินเวอร์เตอร์แบบ 4 ค่า.....	33
3.5 แสดงบล็อกไดอะแกรมของเทรคโวลต์ฟังก์ชัน.....	34
3.6 แสดงคุณลักษณะทางไฟตรงของวงจรมอสอินเวอร์เตอร์แบบ 4 ค่า.....	35
3.7 แสดงวงจรมอสอินเวอร์เตอร์ที่ใช้สำหรับเทคโนโลยี TTL.....	37

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.8 แสดงเกตพื้นฐานที่ใช้สำหรับเทคโนโลยี I ² L.....	38
3.9 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง.....	39
3.10 แสดงวงจรตรวจจับเทรคโฮลด์โดยใช่วงจรเลื่อนแรงดัน.....	41
3.11 แสดงวงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี NMOS.....	42
3.12 แสดงวงจรเข้ารหัสแบบ 4 ค่า.....	42
3.13 แสดงวงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี CMOS.....	44
3.14 แสดงวงจรตรวจจับเทรคโฮลด์โดยใช้เทคโนโลยี CMOS.....	45
3.15 แสดงเกตพื้นฐานของลอจิก 2 ระดับโดยใช้เทคโนโลยี I ² L.....	45
3.16 วงจรสะท้อนกระแสโดยใช้เทคโนโลยี I ² L.....	46
3.17 แสดงวงจรผลรวมเชิงเส้นโดยใช้เทคโนโลยี I ² L.....	47
3.18 แสดงวงจรเทรคโฮลด์โดยใช้เทคโนโลยี I ² L.....	47
3.19 แสดงการไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี I ² L.....	48
4.1 วงจรชิมอสลอจิก.....	49
4.2 วงจรนอร์เกต.....	50
4.3 AOI เกต.....	51
4.4 วงจร 3 สถานะแบบกลับสัญญาณ (Tri-state Inverter).....	52
4.5 หลักการของวงจรถิมอสที่ใช้สัญญาณนาฬิกา.....	53
4.6 ตัวอย่างวงจรถิมอสที่ใช้สัญญาณนาฬิกา.....	53
4.7 หลักการของวงจรถิมอสไดนามิก.....	54
4.8 ตัวอย่างวงจรถิมอสไดนามิก.....	54
4.9 วงจรพื้นฐานของโดมิโนชิมอสลอจิก.....	55
4.10 วงจรพื้นฐานของ CVSL.....	57
4.11 วงจร CVSL ของวงจรถิมอส/นอร์.....	57
4.12 วงจร CVSL ของวงจรถิมอส/นอร์.....	58
4.13 วงจร XOR เกต.....	59
5.1 วงจร pass-transistor สำหรับตัวดำเนินการ $C * x'$ และ $C *' x$	60
5.2 วงจร transmission gate สำหรับตัวดำเนินการ $C * x'$ และ $C *' x$	61
5.3 วงจรเทรคโฮลด์เกตแบบ DCVS เมื่อ $t = 0.5$	63

สารบัญรูป(ต่อ)

รูปที่	หน้า
5.4 วงจรเทรคโสลด์เกตแบบ DCVS เมื่อ $t = 1.5$	63
5.5 ผลการจำลองการทำงานวงจรเทรคโสลด์เกตแบบ DCVS เมื่อ $t = 0.5$	64
5.6 ผลการจำลองการทำงานวงจรเทรคโสลด์เกตแบบ DCVS เมื่อ $t = 1.5$	64
5.7 วงจร Ternary inverter.....	67
5.8 ผลการจำลองการทำงาน วงจร Ternary inverter.....	67
5.9 วงจรบัฟเฟอร์.....	68
5.10 ผลการจำลองการทำงานวงจรบัฟเฟอร์.....	69
5.11 วงจร Modulo-1 Addition.....	70
5.12 ผลการจำลองการทำงานวงจร Modulo-1 Addition	70
5.13 วงจร Modulo-2 Addition.....	71
5.14 ผลการจำลองการทำงานวงจร Modulo-2 Addition.....	72
5.15 วงจรมัลติเพล็กซ์ 3:1.....	73
5.16 ผลการจำลองการทำงานวงจรมัลติเพล็กซ์ 3:1.....	74

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันการพัฒนาเทคโนโลยี VLSI (Very Large Scale Integration) เพื่อใช้ในการผลิตวงจรมีเป็นที่นิยมใช้กันมากเพราะว่ามีข้อดีกว่าเทคโนโลยีแบบอื่นๆ หลายประการ เช่นการสูญเสียพลังงานต่ำกว่า ออกแบบง่ายและรวมทั้งองค์ประกอบอื่นๆด้วย ซึ่งมีความต้องการมากของงานด้านการประมวลผลสัญญาณ (Signal Processing) แบบวงจรร่วมชิปเดียว (Single Chip Circuit) การทำงานจะมีประสิทธิภาพมากที่สุด ซึ่งในวงจรรอนาล็อก (Analog Circuit) ก็เป็นบทบาทสำคัญของการผลิตไอซีโดยออกแบบเป็น VLSI ในการออกแบบ VLSI ในระบบที่เป็นวงจรรอนาล็อก ส่วนใหญ่ที่เรารู้จักกันคือวงจรกรองสัญญาณ วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter Circuit) และวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก (Digital to Analog Converter Circuit) วงจรเปรียบเทียบกระแส (Circuit Comparater Circuit) ฯลฯ วิธีการในการออกแบบไอซีจะนิยมใช้เทคโนโลยีอยู่สองแบบคือ แบบไบโพลาร์ (BJT) และมอส (MOS) โดยทั้งหมดจะอยู่บนรากฐานของเทคโนโลยีวงจรร่วมซิลิกอน แต่เนื่องจากปัจจุบันนี้เทคโนโลยีของมอสได้เจริญเติบโตขึ้นอย่างมากจึงเป็นที่นิยมมากกว่า และจะนำเสนอในงานวิจัยนี้เพื่อเป็นแนวทางในการออกแบบวงจบบางระดับสัญญาณ

ซึ่งปัจจุบันมีงานวิจัยและการพัฒนางจรลอจิกสำหรับการประมวลผลเชิงเลข (Digital Signal Processing) กันอย่างกว้างขวางเพื่อให้วงจรมีความเร็วในการทำงานสูง แต่ด้วยข้อจำกัดของระบบเลขฐานสองทำให้ไม่สามารถตอบสนองความต้องการในการประมวลผลข้อมูลในปริมาณมากอย่างรวดเร็วแนวทางหนึ่งที่ถูกนำมาใช้คือการเพิ่มระดับสัญญาณในวงจร หรือการแบ่งระดับของสัญญาณในวงจร เช่นวงจร Ternary และ Quaterary ซึ่งใช้ระดับสัญญาณ 3 และ 4 ตามลำดับ

วงจรลอจิกซึ่งใช้ระดับสัญญาณหลายระดับ (Multiple-valued logic circuit : MVL) เหล่านี้ทำให้แนวทางในการพัฒนาลอจิกเปลี่ยนไป โดยแทนที่จะมุ่งปรับปรุงให้วงจรไบนารีมีความเร็วสูงแต่ด้วยข้อจำกัดทางด้านเทคโนโลยีทำให้วงจรมีต้นทุนสูง นอกจากนี้ข้อจำกัดด้านปริมาณข้อมูล จำนวนอินพุตและเอาต์พุตของวงจร การเชื่อมโยงระหว่างโมดูลภายในระบบเอง หรือการเชื่อมโยงกับภายนอก ความซับซ้อนในการเดินสาย การสื่อสารระหว่างขา (Pins) และการทำ package กลายมาเป็นอุปสรรคสำคัญในการพัฒนางจรที่ใช้ความเร็วสูงๆ

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ปัจจุบัน การประมวลผลข้อมูลดิจิทัลมีความสลับซับซ้อนเพิ่มมากขึ้น เพื่อตอบสนองความต้องการของผู้ใช้ที่มีอย่างหลากหลาย ซึ่งอาศัยปริมาณข้อมูลจำนวนมากในการคำนวณ ภายใต้ข้อจำกัดด้านเวลา การประมวลผล ส่งผลให้เกิดแรงผลักดันในการออกแบบและใช้งานวงจรดิจิทัลแบบ Multiple-valued logic (MVL) ซึ่งมีความหนาแน่นปริมาณข้อมูลข่าวสาร (information density) ภายในวงจร และความสามารถในการส่งข้อมูลข่าวสาร (information-carrying) สูงกว่าวงจรดิจิทัลแบบไบนารีทั่วไป

แต่เนื่องจากระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรทำได้ลำบาก และไม่สามารถนำเทคนิคการออกแบบวงจรดิจิทัลแบบไบนารีมาใช้ได้ ส่งผลให้ประสิทธิภาพของวงจรที่ได้ต่ำกว่าวงจรไบนารี ทั้งด้านกำลังงานสูญเสีย ความเร็วในการประมวลผลสัญญาณและความทนทานต่อสัญญาณรบกวน ดังนั้นจึงมีความพยายามออกแบบวงจรเทอร์นารีให้มีประสิทธิภาพสูงขึ้น

1.3 สมมุติฐานของการศึกษา

ในปัจจุบันการออกแบบวงจรดิจิทัลจะให้ความสำคัญเรื่องการสิ้นเปลืองพลังงาน และความรวดเร็วในการประมวลผลเป็นหลัก ทั้งนี้เนื่องจากการใช้อุปกรณ์อิเล็กทรอนิกส์ ประเภทพกพาที่มีความต้องการสูงมาก เช่น คอมพิวเตอร์พกพา โทรศัพท์มือถือ อุปกรณ์ไร้สายขนาดเล็ก แต่ต้องการความเร็วในการประมวลผลสูง และต้องออกแบบให้สิ้นเปลืองพลังงานให้น้อยที่สุด เพื่อให้ใช้งานได้ยาวนานที่สุด ดังนั้นพื้นฐานหลักๆ เป็นส่วนหนึ่งที่ใช้ในการคำนวณหรือในการประมวลผลก่อนที่จะแสดงผลลัพธ์ออกมาอย่างถูกต้อง แม่นยำ และรวดเร็วเพื่อเพิ่มประสิทธิภาพในการออกแบบและพัฒนาตัวประมวลผลทางด้านดิจิทัล (Digital Signal Processor: DSP) ในส่วนของการคำนวณทางคณิตศาสตร์ (Arithmetic Logic Unit: ALU) หรือ ส่วนการประมวลผลกราฟฟิก 3 มิติ ดังนั้นการตอบสนองขององค์ประกอบเหล่านี้จึงได้ศึกษาวิจัยและออกแบบวงจรหลายระดับสัญญาณเพื่อเป็นตัวเลือกอีกแนวทางหนึ่งที่สามารถนำไปใช้และตอบสนองต่อสิ่งเหล่านั้นได้

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

วิธีการหนึ่งในการออกแบบวงจรในรูปของวงจรซิมอส โดยการเพิ่มความต้านทานค่าสูง (~12kOhm) ที่โหนดเอาต์พุต [1] โดยทำหน้าที่จำกัดกระแสลัดวงจรเมื่อสถานะสัญญาณมีลอคเป็น

‘1’ ทั้งนี้เพื่อลดกำลังงานสูญเสียภายในวงจรและช่วยรักษาสถานะทางลอจิกเอาต์พุตของวงจรเมื่อทำการขั้ววงจรในภาคถัดไป อย่างไรก็ตามวิธีการดังกล่าวมีข้อเสียหลายประการคือ มีการใช้พื้นที่ชิพสูงในการสร้างตัวต้านทานดังกล่าว อีกทั้งความต้านทานที่ได้มักมีค่าไม่ตรงกับที่ออกแบบไว้จากความไม่แน่นอนของกระบวนการผลิต นอกจากนี้ การออกแบบวงจรก็เป็นไปด้วยความยากลำบากในการกำหนดค่าความต้านทานที่เหมาะสมในแต่ละภาควงจร เพื่อให้สอดคล้องกับโครงสร้างวงจรที่มีฟังก์ชันต่าง ๆ

อีกเทคนิคหนึ่งที่น่าสนใจใช้ในการออกแบบวงจร MVL คือการออกแบบวงจรแบบ pass-transistor logic [2-4] ทำหน้าที่ผ่านสัญญาณที่มีสามระดับ และควบคุมการทำงานของ pass-transistor ด้วยการเชื่อมโยงสัญญาณที่มีสามระดับเข้ากับขาเกตของทรานซิสเตอร์ และการกำหนดศักดาเทรตโวลต์ของทรานซิสเตอร์อย่างเหมาะสม วิธีการนี้จำเป็นต้องอาศัยกระบวนการผลิตพิเศษ ในการยิงอะตอมของสารเจือ (ion-implantation) ได้เกิดเพื่อปรับค่าศักดาเทรตโวลต์ แม้ว่าการปรับค่าศักดาเทรตโวลต์จะสามารถทำได้โดยการปรับค่าศักดาฐานรองกับซอร์ส (Bulk-Source voltage, V_{BS}) ก็ตาม ก็เชื่อมโยงสัญญาณสู่ฐานรองของทรานซิสเตอร์แต่ละตัวอย่างอิสระจำเป็นต้องสร้างวงจรด้วยเทคนิคพิเศษแบบ SOI (Silicon On Insulator) ซึ่งยากต่อการควบคุมและมีราคาแพง

วิทยานิพนธ์นี้จึงนำเสนอการออกแบบวงจรเทอร์นารีแบบ pass-transistor logic ซึ่งถูกควบคุมด้วยสัญญาณไบนารีที่ถูกปรับขนาดให้เหมาะสมด้วยวงจร Differential Cascade Voltage Switch (DCVS) ดังนั้น สามารถออกแบบให้ทรานซิสเตอร์ที่ใช้ในวงจรมีค่าศักดาเทรตโวลต์เท่ากัน ซึ่งง่ายต่อการผลิต

1.5 ขอบเขตการวิจัย

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรเทอร์นารีลอจิก โดยอาศัยเทคนิคการออกแบบวงจรแบบ Pass-transistor logic ทำหน้าที่ประมวลสัญญาณที่มีสามระดับ (Ternary logic) และมีสัญญาณควบคุมแบบไบนารี (Binary logic) ที่สร้างขึ้นจากวงจร Differential Cascade Voltage Switch (DCVS) ซึ่งเป็นเทคนิคการออกแบบวงจรดิจิทัลซิมอสทั่วไป ทำให้วงจรเทอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรรีจิสตรลอจิกทั่วไปและง่ายต่อการควบคุม โดยเสนอตัวอย่างการออกแบบวงจรเทอร์นารีต่าง ๆ เช่น วงจรเทอร์นารีอินเวอร์เตอร์ วงจรเอ็ทคลูซีฟออร์ วงจรมัลติเพล็กซ์เซอร์ และวงจรพื้นฐานอื่น ๆ ที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ multiple value logic (MVL) การทดสอบวงจรจะทำโดยโปรแกรมจำลอง PSPICE

1.6 ขั้นตอนของการศึกษา

ในวิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 6 บทคือ

บทที่ 1 กล่าวความเป็นมาและความสำคัญของงานวิจัย ความมุ่งหมายและวัตถุประสงค์ของการศึกษา ทฤษฎีหรือแนวความคิดที่ใช้ในงานวิจัย ขอบเขตการศึกษาและขั้นตอนของการศึกษา

บทที่ 2 กล่าวถึงทฤษฎีพื้นฐานที่นำมาใช้ในงานวิจัยเกี่ยวกับการทำงาน และ โครงสร้างของมอสทรานซิสเตอร์

บทที่ 3 กล่าวถึงทฤษฎีพื้นฐานเกี่ยวกับลอจิกหลายระดับสัญญาณ

บทที่ 4 กล่าวถึงทฤษฎีพื้นฐานมอสลอจิกชั้นสูงที่ช่วยในการออกแบบวงจร

บทที่ 5 จะกล่าวถึงหลักการออกแบบวงจร การทำงานของวงจรและการทดสอบของวงจรด้วยโปรแกรมจำลอง PSPICE

บทที่ 6 เป็นการสรุปผลการวิจัย

บทที่ 2

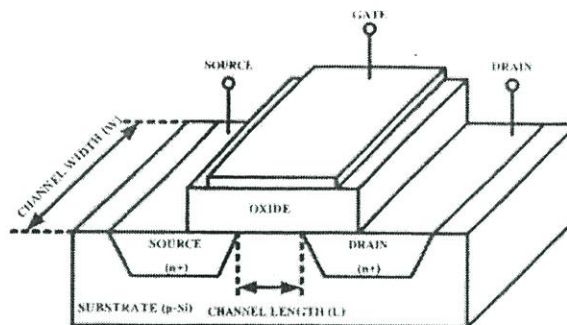
ทฤษฎีการทำงานของมอสทรานซิสเตอร์

2.1 บทนำ

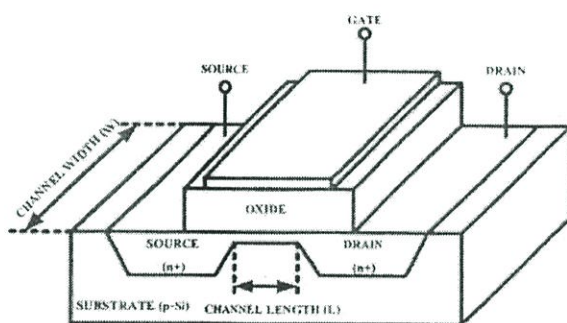
มอสทรานซิสเตอร์หรือมอสเฟต (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transister เป็นสารกึ่งตัวนำชนิดหนึ่งที่ใช้สนามไฟฟ้าในการควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ในปัจจุบันมีการใช้มอสทรานซิสเตอร์เป็นอุปกรณ์สวิตซ์ซึ่งในวงจรร (Large Scale Integration : LSI) และวงจรร (Very Large Scale Integration : VLSI) เป็นอย่างมากเนื่องจากมีขบวนการผลิตที่ไม่ยุ่งยากและยังต้องการพื้นที่ซิลิกอนน้อยกว่าเมื่อเทียบกับไบโพลารทรานซิสเตอร์ โครงสร้างและการทำงานของมอสทรานซิสเตอร์จะกล่าวโดยละเอียดในหัวข้อต่อไป

2.2 โครงสร้างของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์สามารถแบ่งตามโครงสร้างได้เป็น 2 แบบ คือ เอ็นมอสทรานซิสเตอร์ (N-Channel) และพีมอสทรานซิสเตอร์ (P-Channel) ในแต่ละชนิดยังสามารถแบ่งตามลักษณะการทำงานได้อีก 2 แบบ คือ เอ็นฮานเม้นท์มอสทรานซิสเตอร์ (Enhancement) และดีพลีชันมอสทรานซิสเตอร์ (Depletion) โดยพิจารณาจากรูปที่ 2.1 แสดงถึงรายละเอียดโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ ซึ่งจะเห็นการโคปสารกึ่งตัวนำชนิดเอ็น (N^+ Region) อยู่ 2 ส่วน ในสารกึ่งตัวนำชนิดพีในด้านซ้ายจะเรียกว่า ซอส (Source) ในด้านขวาจะเรียกว่า เครน (drain) ส่วนบนของบริเวณการโคปสารกึ่งตัวนำชนิดเอ็นทั้งสองจุด จะถูกวางทับด้วยชั้นของออกไซด์บาง ๆ จากนั้นวางทับด้วยโลหะ (หรือโพลีซิลิกอน) จะเรียกว่า เกต (Gate) และตัวถังของอุปกรณ์ตัวนี้ จะเรียกว่า ซับสเตรท (Substrate) หรือ บัค (Bulk) สำหรับระยะห่างระหว่างสารกึ่งตัวนำที่เป็นซอส และเครน เรียกว่า ความยาวของแชนแนล (Channel Length : L) และความกว้างของช่องระหว่างซอสและเครน จะเรียกว่า ความกว้างของแชนแนล (Channel Width : W) ถ้าส่วนของฐานรองทำด้วยสารกึ่งตัวนำชนิดเอ็นและสารกึ่งตัวนำชนิดพีถูกโคปลงบนฐานรอง โครงสร้างชนิดนี้ เรียกว่า พีมอสมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ สำหรับโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชัน จะคล้ายกับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ แต่จะแตกต่างกันตรงที่ช่องระหว่างซอสกับเครน ของเอ็นมอสทรานซิสเตอร์ แบบดีพลีชัน จะมีการโคปสารกึ่งตัวนำชนิดเอ็นดังรายละเอียดในรูปที่ 2.2



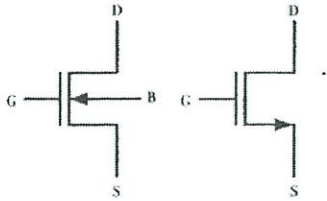
รูปที่ 2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์



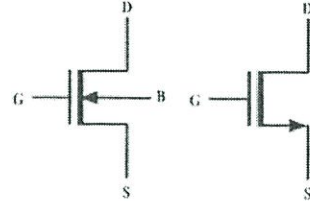
รูปที่ 2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีฟลิชัน

2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

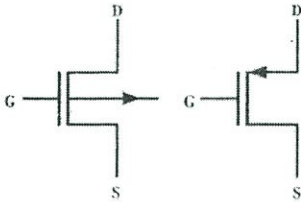
สัญลักษณ์ของมอสทรานซิสเตอร์ สามารถบอกได้ว่าเป็นมอสทรานซิสเตอร์ชนิดเอ็นหรือชนิดพี โดยดูที่หัวลูกศรที่ขาซอส ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็นพีมอสทรานซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น เอ็นมอสทรานซิสเตอร์ หรือดูที่ทิศทางของหัวลูกศรที่ขาฐานรอง (Substrate) หรือบางที่เรียกว่า Bulk โดย ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็นเอ็นมอสทรานซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น พีมอสทรานซิสเตอร์ และสัญลักษณ์ยังสามารถบอกได้ อีกว่ามอสทรานซิสเตอร์เป็นแบบฮานเมนต์หรือแบบดีฟลิชัน ดังรูปที่ 2.3



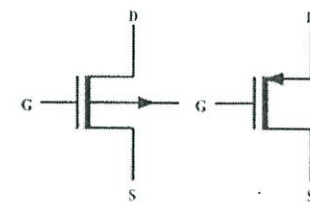
(ก) เอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์



(ข) เอ็นมอสทรานซิสเตอร์แบบดีพลีชัน



(ค) พีมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

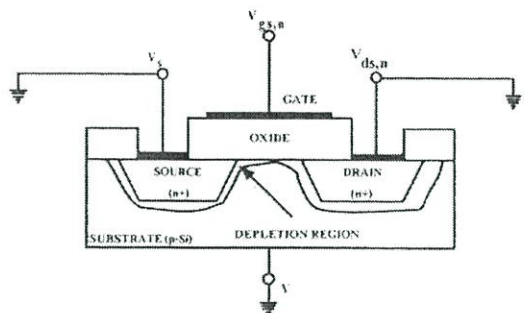


(ง) พีมอสทรานซิสเตอร์แบบดีพลีชัน

รูปที่ 2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

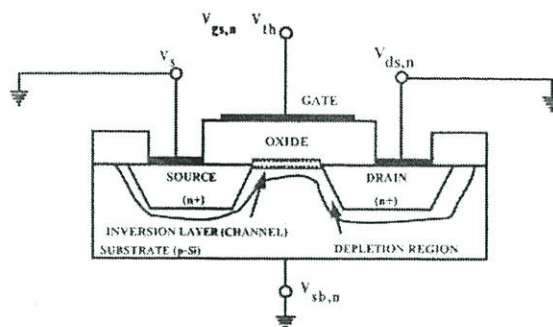
2.4 การการทำงานของมอสทรานซิสเตอร์

ถ้าพิจารณาโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ จากรูปที่ 2.1 จะสามารถอธิบายการทำงานอย่างง่าย ๆ ของมอสทรานซิสเตอร์ได้ดังนี้ กระแสไฟฟ้าที่ไหลในแชนแนลระหว่างเดรนและซอสของมอสทรานซิสเตอร์ จะถูกควบคุมด้วยสนามไฟฟ้าที่ถูกสร้างขึ้นจากการเปลี่ยนแปลงของระดับศักดาที่เกิด และปริมาณกระแสที่ไหลในแชนแนลก็จะถูกควบคุมโดยศักดาระหว่างเดรนกับซอสและศักดาที่ฐานรองอีกด้วย



รูปที่ 2.4 แสดงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ซึ่งทำให้เกิดย่านปลอดพาหะ (Depletion Region)

การไบอัสอย่างง่ายให้กับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ดังแสดงในรูปที่ 2.4 โดยให้ เทรน ซอส และฐานรอง ($V_{sb,n}$) ถูกต่ออยู่กับกราวด์ และ ให้ศักดาที่มีศักย์บวกระหว่างเกตกับซอส ($V_{gs,n}$) ซึ่งสามารถทำให้เกิดแซนแนลความนำภายในเกต เมื่อศักดาที่มีศักย์บวกระหว่างเกตกับซอสมีค่าน้อย ๆ Majority Carrier (Hold) จะถูกผลักลงไปยังฐานรอง (Substrate) จะทำให้ผิวของฐานรอง P-Type เกิด ย่านปลอดพาหะขึ้น และถ้าบริเวณผิวปราศจาก Mobile Carrier ใด ๆ ค่าความนำไฟฟ้าระหว่างทรานกับ ซอสจะไม่เกิดขึ้นด้วย ถ้าทำการ ไบอัสที่เกตกับซอสด้วยศักดาที่มีศักย์บวกมากขึ้น จนกระทั่งมากกว่า ศักดาค่าบวกค่าหนึ่งซึ่งเรียกว่า ศักดาเทรคโวลด์ (V_{th}) ทำให้ศักย์บวกของเกตที่มากขึ้นนี้ จะ ดึงอิเล็กตรอนจำนวนมากจากฐานรอง P-Type มาใกล้บริเวณผิวสร้างเป็น N-Type Region ใกล้บริเวณ ผิวจะเรียกว่า Inversion Layer ดังแสดงรายละเอียดในรูปที่ 2.5 ซึ่งเกิดขึ้นระหว่างทรานกับซอสและจะทำ หน้าที่เป็นช่องทางเดินกระแสระหว่างทรานกับซอส และปริมาณกระแสที่ไหลผ่านระหว่างทรานกับ ซอสจะขึ้นอยู่กับค่าความต่างศักย์ของศักดาที่ไบอัสให้ทรานกับซอส ดังนั้น ถ้าให้ศักดาทรานกับ ซอสเป็นบวกเล็กน้อย ($V_{ds,n} > 0$) จะเกิดกระแสไหลจากทราน ไปยังซอส ถ้าเพิ่มให้ศักดาทรานกับ ซอสที่ค่า ๆ หนึ่ง ($V_{ds,n} = V_{gs,n} - V_{th}$) จะทำให้กระแสทรานจะไหลสูงสุดและจะคงที่ตลอดไปแม้มีการ เพิ่มศักดาทรานกับซอส ($V_{ds,n}$) ขึ้นอีกก็ตาม

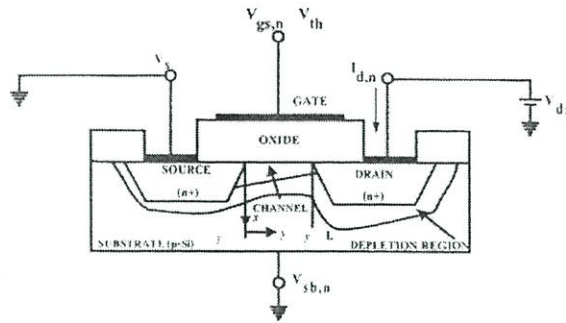


รูปที่ 2.5 แสดงการเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

ส่วนการทำงานของเอ็นมอสทรานซิสเตอร์แบบดีพลีชันนั้น จากโครงสร้างดังแสดงในรูปที่ 2.2 จะเห็นได้ว่าเมื่อไบอัสศักดากระหว่างเกตกับซอสเป็นศูนย์ และให้ศักดากระหว่างเดรนกับซอสเป็นบวกค่าหนึ่ง จะมีกระแสเดรนไหลค่าหนึ่งเนื่องจากแชนแนลได้ถูกสร้างไว้แล้ว เมื่อไบอัสศักดากระหว่างเกตกับซอสมีค่าเป็นลบค่าน้อย ๆ จะเกิดสนามไฟฟ้าในออกไซด์มีทิศทางไปยังขาคเกต ผลที่ได้จะทำให้อิเล็กตรอนบริเวณใกล้ผิวในแชนแนลถูกผลักให้ลงมาในแชนแนลส่วนล่าง เป็นผลทำให้เกิดย่านปลอดพาหะ (Depletion Region) ใกล้บริเวณผิวภายในแชนแนลขึ้นทำให้สภาพความนำไฟฟ้าของแชนแนลลดลง ผลทำให้กระแสเดรนไหลน้อยลงและถ้าศักดากระหว่างเกตกับซอสเป็นลบมากขึ้น ทำให้อ่านปลอดพาหะแผ่กว้างเพิ่มขึ้นในแชนแนล จะทำให้สภาพความนำไฟฟ้าของแชนแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีกและ ถ้าศักดาที่เกตเป็นลบมาก ๆ ทำให้อ่านปลอดพาหะแผ่กว้างเต็มแชนแนล แชนแนลจะไม่นำกระแส ทำให้กระแสเดรนมีค่าเป็นศูนย์ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชันโหมด (Depletion Mode) สามารถแสดงกราฟความสัมพันธ์ระหว่างกระแสเดรนและศักดากระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชันได้ดังรูปที่ 2.11 และกราฟความสัมพันธ์ระหว่างกระแสเดรนและศักดากระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ ได้ดังรูปที่ 2.12

2.5 คุณสมบัติทางศักดากระแสของมอสทรานซิสเตอร์

การวิเคราะห์ค่าความสัมพันธ์ของศักดากับกระแสของมอสทรานซิสเตอร์ ต้องการข้อกำหนดต่าง ๆ เพื่อให้ปัญหาต่าง ๆ ยง่ายขึ้น ในการวิเคราะห์สำหรับการหาความสัมพันธ์ของศักดากับกระแสของมอสทรานซิสเตอร์ในหัวข้อนี้ จะทำการวิเคราะห์ปัญหาในการไหลของกระแสหนึ่งมิติ ทำให้ได้สมการกระแสที่เข้าใจง่ายและสอดคล้องกับผลที่ได้จากการทดลอง



รูปที่ 2.6 แสดงภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear region)

เริ่มต้นด้วยการพิจารณารายละเอียดของภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ ที่ทำงานในช่วงเชิงเส้น ดังแสดงในรูปที่ 2.6 จะเห็นว่าซอสและฐานรองถูกต่ออยู่กับกราวด์ ($V_s = V_{sb,n} = 0$) ส่วนกระแสเดรน ($I_{d,n}$) จะถูกควบคุมจากภายนอกโดยศักดาระหว่างเกตกับซอส ($V_{gs,n}$) และศักดาระหว่างเดรนกับซอส ($V_{ds,n}$) ค่าศักดาระหว่างเกตกับซอส ($V_{gs,n}$) จะถูกกำหนดให้มีความมากกว่าค่าศักดาเทรชโฮลด์ (V_{th}) เพื่อสร้างค่าความนำไฟฟ้าเกิดขึ้นในแชนแนลระหว่างเดรนกับซอสและกำหนดจุดพิกคของโครงสร้างเป็นดังนี้ ทิศทาง x (x-direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไปที่พิกคของโครงสร้างเป็นดังนี้ ทิศทาง x (x-direction) จะตั้งฉากกับพื้นผิวและชี้ลงไปที่พิกคของโครงสร้างเป็นดังนี้ ทิศทาง x (x-direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไปยังฐานรองส่วน ทิศทาง y (y-direction) จะขนานไปกับพื้นผิวให้ $V_c(y)$ เป็นศักดาแชนแนล กำหนดให้ค่าศักดาเทรชโฮลด์มีค่าคงที่ตลอดแชนแนล ดังนั้นขอบเขตของศักดาแชนแนลจะเป็นดังนี้

$$\begin{aligned} V_c(y=0) &= V_s = 0 \\ V_c(y=L) &= V_{ds,n} \end{aligned} \quad (2.1)$$

นอกจากนี้บริเวณแชนแนลระหว่างเดรนกับซอสจะถูกกำหนดให้มีค่าตรงข้ามกัน

$$\begin{aligned} V_{gs,n} &= V_{th} \\ V_{gd,n} &= V_{gs,n} - V_{ds,n} = V_{th} - V_{ds,n} \end{aligned} \quad (2.2)$$

เมื่อ $V_{gd,n}$ เป็นศักดาระหว่างเกตกับเดรน

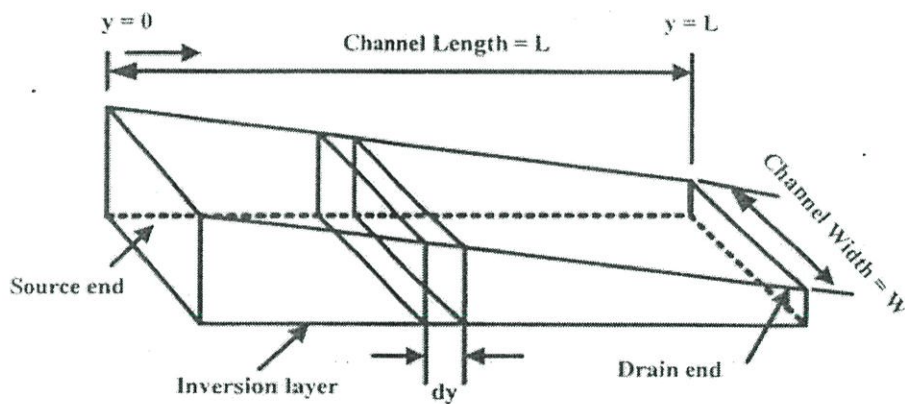
กระแสตรงเกิดจากการเคลื่อนที่ของอิเล็กตรอนภายในแชนแนลจากซอสไปยังเดรนภายใต้สนามไฟฟ้าที่ถูกสร้างขึ้น เมื่อการไหลของกระแสจะถูกกำหนดโดยจำนวนการประจุของโมบายอิเล็กตรอน (Mobile electron) บนผิวของ inversion layer ดังนั้นจะพิจารณาในรายละเอียดของ inversion layer ที่ขึ้นอยู่กับศักดาในการไบอัส

ถ้าให้ $Q_1(y)$ เป็น โมบายอิเล็กตรอนรวมที่ประจุในผิวของ inversion layer การประจุนี้สามารถแสดงในฟังก์ชันของศักดาที่ระหว่างเกิดกับซอส ($V_{gs,n}$) และศักดาแชนแนล ($V_c(y)$) ได้ดังนี้

$$Q_1(y) = -C_{ox}[V_{gs,n} - V_c(y) - V_{th}] \quad (2.3)$$

โดยที่ C_{ox} คือ ค่าความจุต่อหน่วยพื้นที่ของชั้นออกไซด์ที่กั้นระหว่างเกิดกับแชนแนล

รูปที่ 2.7 จะเป็นการแสดงพื้นผิวทางเรขาคณิตของ inversion layer และแสดงขนาดของตัวแปรต่าง ๆ ค่าความหนาของ inversion layer จะเป็นรูปลิ้มเริ่มจากซอสไปยังเดรน เนื่องจากศักดาที่ระหว่างเกิดกับแชนแนลทำให้ผิวของ inversion layer มีค่าน้อยลงที่จุดสิ้นสุดของเดรน



รูปที่ 2.7 แสดงส่วนทางเรขาคณิตบริเวณผิวของ inversion layer

จากนั้นทำการพิจารณาการเพิ่มขึ้นของความต้านทาน (dR) ของการ differential ส่วนแชนแนลที่แสดงในรูปที่ 2.7 กำหนดให้โมบายอิเล็กตรอนใน inversion layer ทั้งหมดมีค่าความคล่องตัวของอิเล็กตรอน (μ_n) คงที่ การเพิ่มขึ้นของความต้านทานสามารถแสดงได้ดังนี้

$$dR = -\frac{dy}{w\mu_n Q_1(y)} \quad (2.4)$$

กระแสเดรนจะไหลระหว่างเดรนกับซอสในทิศทาง y ซึ่งเป็นไปตามข้อกำหนดของรูปแบบการวิเคราะห์แบบหนึ่งมิติ ใช้กฎของโอห์มเพื่อหาศักดาตกคร่อมระหว่างการเพิ่มขึ้นของ dy ในทิศทาง y จะได้เป็น

$$dV_c = I_{d,n} dR = -\frac{I_{d,n}}{w\mu_n Q_1(y)} dy \quad (2.5)$$

ทำการอินทิเกรตสมการที่ (2.5) ไปตามความยาวของแชนแนลจาก $y = 0$ ไปยัง $y = L$ โดยใช้ขอบเขตที่กำหนดจากสมการที่ (2.1)

$$\int_0^L I_{d,n} dy = -W\mu_n \int_0^{V_{ds,n}} Q_1(y) dV_c \quad (2.6)$$

สมการด้านซ้ายมือจะได้เป็น $LI_{d,n}$ แทนค่า $Q_1(y)$ ด้วยสมการที่ (2.3) แล้วทำการอินทิเกรต ดังนี้

$$I_{d,n}L = w\mu_n c_{ox} \int_0^{V_{ds,n}} (V_{gs,n} - V_c - V_m) dV_c \quad (2.7)$$

กำหนดให้มีการเปลี่ยนแปลงศักดาแชนแนล (V_c) ในสมการที่ (2.7) ขึ้นอยู่กับตำแหน่งของ y จะได้กระแสเดรน เป็นดังนี้

$$I_{d,n} = \frac{\mu_n c_{ox}}{2} \frac{W}{L} [2(V_{gs,n} - V_m)V_{ds,n} - V_{ds,n}^2] \quad (2.8)$$

สมการที่ (2.8) เป็นการแสดงกระแสเดรนในรูปแบบฟังก์ชัน second – order ของศักดาจากภายนอก คือ ศักดา ระหว่างเกตกับซอส ($V_{gs,n}$) และศักดา ระหว่างเดรนกับซอส ($V_{ds,n}$) สมการดังกล่าวเป็นสมการความสัมพันธ์ระหว่างกระแสกับศักดาของมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear region) และสามารถเขียนสมการได้ใหม่ ดังนี้

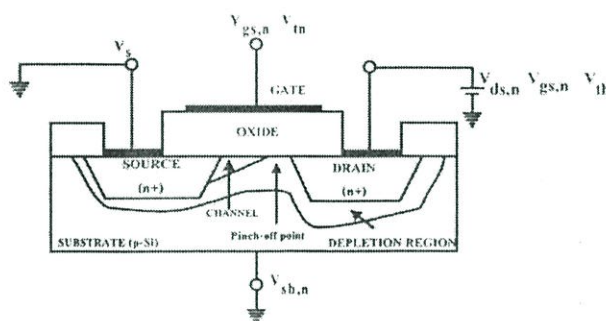
$$I_{d,n} = \frac{\mu_n c_{ox}}{2} \frac{W}{L} [2(V_{gs,n} - V_m)V_{ds,n} - V_{ds,n}^2] \quad (2.9)$$

เมื่อ

$$V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$$

$$k_n = \mu_n C_{ox} \frac{W}{L} \quad (2.10)$$

จากสมการที่ (2.9) เป็นการประมาณการที่ใช้ได้ในกรณีที่ $V_{ds,n} < (V_{gs,n} - V_{tn})$ เท่านั้น เมื่อ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะเกิดปรากฏการณ์อีกอย่างหนึ่งซึ่งแสดงในรูปที่ 2.8 แสดงถึงค่าศักดาที่เปลี่ยนแปลงไปภายในแชนแนล และปริมาณความเข้มข้นของประจุที่ค่อย ๆ ลดลงเมื่อเข้าไปใกล้แชนแนล ถ้าแชนแนลมีศักดาเท่ากับ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะทำให้ inversion layer และความลึกของแชนแนลลดลง ซึ่งถูกเรียกว่า Pinch-off point จะทำให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation region)



รูปที่ 2.8 แสดงการเกิด Pinch-off

จากรูปที่ 2.8 ทำให้สามารถแสดงขอบเขตการทำงานของมอสทรานซิสเตอร์ในช่วงอิ่มตัว ได้เป็นดังนี้

$$V_{ds,n} (V_{gs,n} - V_{tn}) \quad (2.11)$$

ดังนั้นกระแสแชนแนลในช่วงการทำงานแบบอิ่มตัว สามารถหาได้โดยการแทนสมการที่ (2.11) ไปในสมการที่ (2.8) จะได้เป็น

$$I_{d,n} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} [2(V_{gs,n} - V_{tn})(V_{gs,n} - V_{tn}) - (V_{gs,n} - V_{tn})^2] \quad (2.12)$$

$$I_{d,n} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{gs,n} - V_{tn}) \quad (2.13)$$

และสามารถเขียนสมการใหม่ได้เป็น

$$I_{d,n} = \frac{k_n}{2} (V_{gs,n} - V_m)^2 \quad (2.14)$$

เมื่อ $V_{gs,n} > V_m; 0 < V_{ds,n} < (V_{gs,n} - V_m)$

จากรายละเอียดของคุณสมบัติทางศักดาและกระแสของมอสทรานซิสเตอร์ ทำให้สามารถสรุปการจับไบอัสการทำงานของมอสทรานซิสเตอร์ได้เป็น 3 ช่วง โดยการทำงานทั้งหมดจะอ้างอิงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ เป็นดังนี้

2.5.1 การทำงานในช่วงคัทออฟ (Cutoff Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส ($V_{gs,n}$) มีค่าน้อยกว่าศักดาเทรชโฮลด์ (V_m) จะส่งผลทำให้ไม่มีกระแสไหลระหว่างเดรนกับซอส ดังนั้น สมการกระแสเดรน จะเป็นดังนี้

$$I_{d,n} = 0, V_{gs,n} < V_m \quad (2.15)$$

2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region)

เป็นการไบอัสให้ศักดาระหว่างเดรนกับซอส ($V_{ds,n}$) มีค่ามากกว่าศักดาเทรชโฮลด์ ($V_{gs,n} > V_m$) และขณะเดียวกันจะไบอัสให้ศักดาระหว่างเดรนกับซอสมีค่าน้อยกว่าศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรชโฮลด์ $V_{gs,n} < (V_{gs,n} - V_m)$ จะทำให้มีกระแสไหลระหว่างเดรนกับซอส โดยสมการกระแสเดรน เป็นดังนี้

$$I_{d,n} = \frac{k_n}{2} [2(V_{gs,n} - V_m)V_{ds,n} - V_{ds,n}^2] \quad (2.16)$$

เมื่อ $V_{gs,n} > V_m; 0 < V_{ds,n} < (V_{gs,n} - V_m)$

2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region)

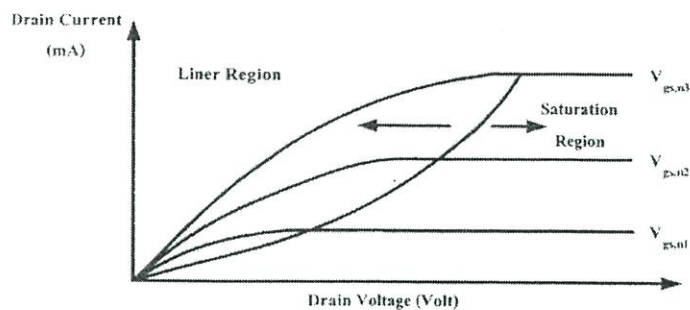
เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส ($V_{gs,n}$) มีค่ามากกว่าศักดาโฮลด์ ($V_{gs,n} > V_m$) และขณะเดียวกันจะไบอัสให้ระหว่างเดรนกับซอสมากกว่าหรือเท่ากับศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรชโฮลด์ $V_{gs,n} > (V_{gs,n} - V_m)$ ดังนั้น จะได้กระแสเดรนในช่วงอิ่มตัว เป็นดังนี้

$$I_{d,n} = \frac{k_n}{2} (V_{gd,n} - V_m)^2 \quad (2.17)$$

เมื่อ $V_{gs,n} > V_m; 0 < V_{gs,n} (V_{gs,n} - V_m)$

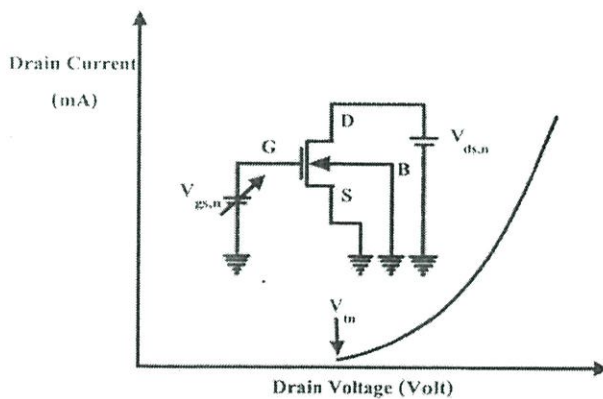
จะเห็นได้ว่าสมการกระแสเดรนในช่วงอิมิตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับให้ศักดาที่เดรนกับซอส ($V_{ds,n}$) แต่จะขึ้นอยู่กับศักดาที่ระหว่างเกตกับซอสลบด้วยศักดาเทรคโฮลด์ ($V_{gs,n} - V_m$) ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) นั่นเอง
ตัวแปรต่าง ๆ ที่แสดงในสมการทั้งหมดสามารถแสดงรายละเอียด ได้ดังนี้

- k_n = ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_n C_{ox} \frac{W}{L}$
- μ_n = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
- C_{ox} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance Per-Unit Area of the Gate Oxide) = ϵ_{ox} / t_{ox}
- ϵ_{ox} = ค่าคงที่ของ SiO₂ = $3.97 \cdot 8.85 \cdot 10^{-14} \text{F/cm}$
- t_{ox} = ความหนาของเกตออกไซด์
- L = ความยาวของแชนแนล (Channel Length)
- W = ความกว้างของแชนแนล (Channel Width)
- $V_{gs,n}$ = ศักดาไฟฟ้าระหว่างเกตกับซอส (Gate – Source Voltage)
- $V_{gd,n}$ = ศักดาไฟฟ้าระหว่างเกตกับเดรน (Gate – Drain Voltage)
- $V_{ds,n}$ = ศักดาไฟฟ้าระหว่างเดรนกับซอส (Drain – Source Voltage)
- $V_{sb,n}$ = ศักดาฐานรอง (Substrate Voltage)
- V_{tn} = ศักดาเริ่มต้นของเอ็นมอส (nMOS Threshold Voltage)
- V_{tp} = ศักดาเริ่มต้นของพีมอส (pMOS Threshold Voltage)
- $I_{d,n}$ = กระแสเดรนเอ็นมอสทรานซิสเตอร์

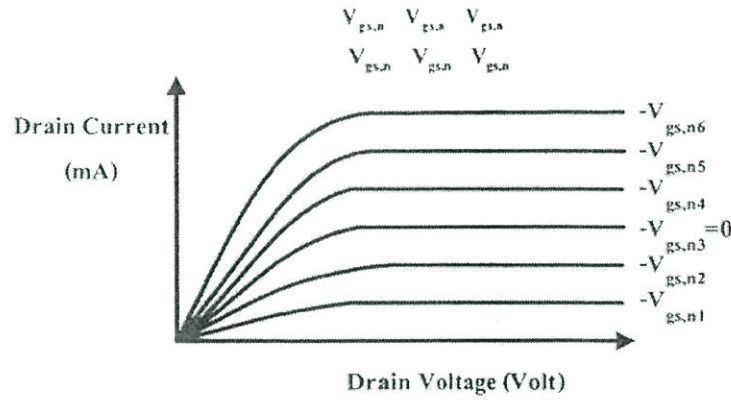


รูปที่ 2.9 คุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์

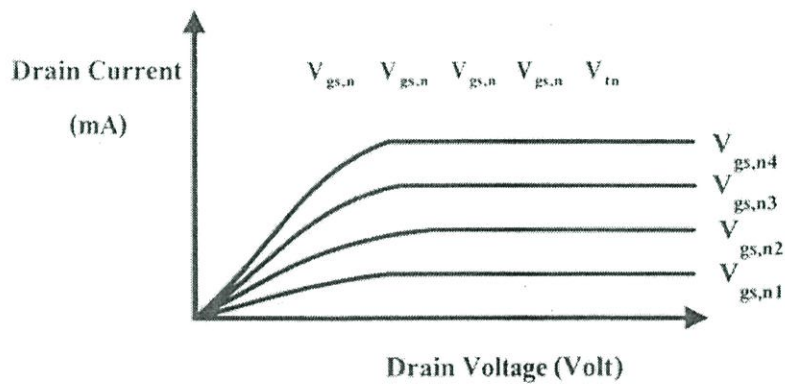
รูปที่ 2.9 แสดงตัวอย่างคุณสมบัติกระแสตรงเทียบกับศักดาตรงของเอ็นมอสทรานซิสเตอร์ โดยใช้สมการกระแสที่ (2.8) และสมการที่ (2.12) เส้นประพาราโบลาจะเป็นการแสดงขอบเขตระหว่างช่วงเชิงเส้นและช่วงอิ่มตัว คุณลักษณะของกระแสกับศักดาของมอสทรานซิสเตอร์สามารถเปรียบเทียบระหว่างกระแสตรงและศักดาที่เกิด ดังแสดงในรูปที่ 2.10



รูปที่ 2.10 กระแสตรงของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักดาระหว่างเกิดกับซอส



รูปที่ 2.11 กระแสเดรนและศักดาระหว่างเดรนกับซอร์สของมอสทรานซิสเตอร์แบบดีพีลิ่ง



รูปที่ 2.12 กระแสเดรนและศักดาระหว่างเดรนกับซอร์สของมอสทรานซิสเตอร์แบบเอ็นแชนแนล

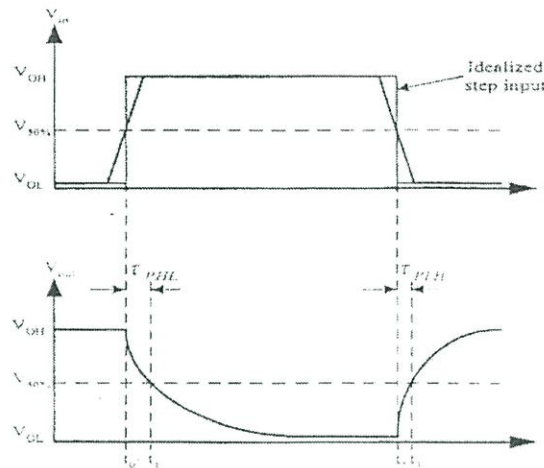
2.6 การหาค่าหน่วยเวลา

วิธีการหาค่าหน่วยเวลาที่ใช้กันอย่างแพร่หลาย คือรูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรอินเวอร์เตอร์ ดังแสดงในรูปที่ 2.13 การหาค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} เป็นค่าหน่วยเวลาที่เปรียบเทียบระหว่างสัญญาณทางอินพุตและเอาต์พุตที่สภาวะเปลี่ยนแปลงจาก High เป็น Low และ Low เป็น High ตามลำดับ โดยมีนิยามดังนี้ τ_{PHL} เป็นค่าหน่วยเวลาเปรียบเทียบ ระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาขึ้นทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาลงทางเอาต์พุต เหมือนกันกับ τ_{PLH} เป็นนิยามค่าหน่วยเวลาเทียบระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาลงทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาขึ้นทางเอาต์พุต

เพื่อให้ง่ายขึ้นในการวิเคราะห์และเขียนสมการค่าการหาค่าหน่วยเวลา สัญญาณรูปคลื่นทางอินพุตจะถูกสมมติเป็นรูปคลื่นสี่เหลี่ยมทางทฤษฎีที่มีค่าหน่วยเวลาทางขาขึ้นและขาลงเป็นศูนย์ ภายใต้ข้อสมมติฐาน

τ_{PHL} เป็นค่าหน่วงเวลาที่ได้จากแรงดันทางเอาต์พุตที่ลดลงจาก V_{OH} ไปหาระดับแรงดัน $V_{50\%}$ และ τ_{PLH} เป็นค่าหน่วงเวลาที่ได้จากแรงดันทางเอาต์พุตที่เริ่มเพิ่มขึ้นจาก V_{OL} ไปหาระดับแรงดัน $V_{50\%}$ จากนั้นสามารถเขียนสมการ $V_{50\%}$ ได้ดังนี้

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \quad (2.18)$$



รูปที่ 2.13 แสดงรูปที่คลื่นสัญญาณทางอินพุตและเอาต์พุตของวงอินเวอร์เตอร์ และนิยามค่าหน่วงเวลาต่าง ๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมทางทฤษฎี

ดังนั้นค่าหน่วงเวลา τ_{PHL} และ τ_{PLH} จากรูปที่ 2.13 ได้ดังนี้

$$\begin{aligned} \tau_{PHL} &= t_1 - t_0 \\ \tau_{PLH} &= t_3 - t_2 \end{aligned} \quad (2.19)$$

ค่าเฉลี่ยของค่าหน่วงเวลา τ_p ที่อยู่ในรูป อินเวอร์เตอร์ ค่าเฉลี่ยเวลาสำหรับสัญญาณทางอินพุตที่มีค่าหน่วงโดยผ่านวงจรมินเวอร์เตอร์

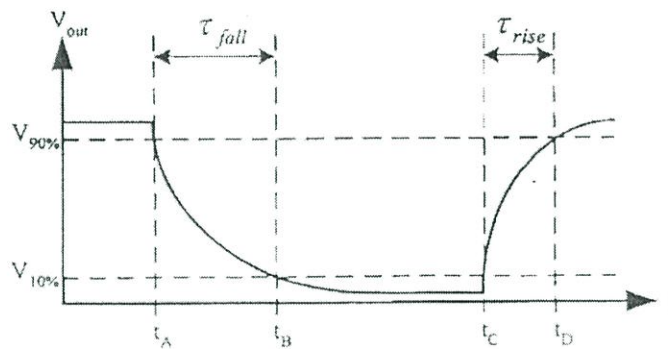
$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (2.20)$$

ในรูปที่ 2.14 เป็นการให้นิยามค่าหน่วงเวลาทั้งทางขาลงและทางขาขึ้นและขาลงของแรงดันทางเอาต์พุตซึ่งค่าหน่วงเวลาขาขึ้น τ_{rise} เป็นช่วงเวลาของแรงดันทางอินพุตที่เพิ่มจากระดับแรงดันทางเอาต์พุตที่เพิ่มระดับแรงดัน $V_{10\%}$ จนถึงระดับแรงดัน $V_{90\%}$ เหมือนกันกับ ค่าหน่วงเวลาขาลง τ_{fall} เป็น

ช่วงเวลาของแรงดันทางเอาต์พุตที่ลดลงจากระดับ $V_{90\%}$ จนถึงระดับแรงดัน $V_{10\%}$ และระดับแรงดัน $V_{10\%}$ และ $V_{90\%}$ มีสมการดังนี้

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \quad (2.21)$$

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \quad (2.22)$$



รูปที่ 2.14 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต

ดังนั้นช่วงขาลงและขาขึ้นของแรงดันเอาต์พุตสามารถหาได้จากรูปที่ 2.14 ดังนี้

$$\tau_{rise} = t_B - t_A$$

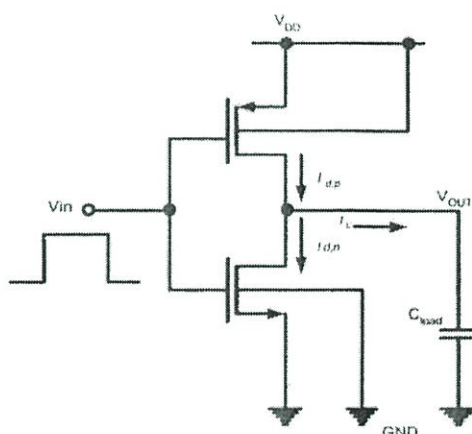
$$\tau_{fall} = t_D - t_C$$

หมายเหตุ : สามารถใช้นิยามเกี่ยวกับค่าหน่วยเวลาที่ระดับ 20% และ 80% ก็ได้

2.7 การหาค่ากำลังงานสูญเสีย

ในวงจรซีมอสจะแบ่งกำลังงานสูญเสียออกเป็น 2 ชนิด คือ แบบ Static และ แบบ Dynamic power dissipation ซึ่ง Static power dissipation หรือ DC power dissipation จะเกิดขึ้นเมื่อวงจรซีมอสอินเวอร์เตอร์ทำงานในช่วง Steady-State ($V_{out} = V_{OH}$) และ ($V_{out} = V_{OL}$) แต่วงจรซีมอสจะไม่ดึงกระแสจากแหล่งจ่ายไฟเลี้ยง ฉะนั้นค่า DC power dissipation จึงไม่จำเป็นต้องคำนึงถึงเพราะมันมีค่าน้อยมาก ๆ ส่วนค่า dynamic power dissipation ในวงจรซีมอสอินเวอร์เตอร์เกิดขึ้นในระหว่างสภาวะ การสวิตช์ของ โหลดคาปาซิเตอร์ ทางเอาต์พุตในการเก็บประจุ และคายประจุ

พิจารณาวงจรซิมอสอินเวอร์เตอร์ ในรูปที่ 2.15 สมมติแรงดันทางอินพุตเป็นรูปคลื่นสี่เหลี่ยมในทางทฤษฎี โดยที่ไม่คำนึงถึงกำหนดช่วงเวลาทั้งขาขึ้นและขาลง โดยทั่วไปรูปสัญญาณทางด้านอินพุตและเอาต์พุตและรูปคลื่นกระแสของโหลดคาปาซิแตนซ์ ที่แสดงในรูปที่ 2.15 เมื่อแรงดันทางด้านอินพุตสวิตช์จาก Low ไป High ทรานซิสเตอร์แบบพีมอส ในวงจรจะไม่ทำงาน แต่ทรานซิสเตอร์เอ็นมอสเริ่มนำกระแส ในระหว่างเฟสนี้ โหลดคาปาซิแตนซ์ C_{load} จะคายประจุโดยผ่านทรานซิสเตอร์แบบเอ็นมอส ดังนั้นกระแสของโหลดคาปาซิแตนซ์ จึงเท่ากับกระแสเดรนของทรานซิสเตอร์แบบเอ็นมอส เมื่อแรงดันทางอินพุตสวิตช์ จาก High ไปหา Low ทรานซิสเตอร์แบบเอ็นมอส ในวงจรจะหยุดทำงานแต่ทรานซิสเตอร์แบบซิมอสเริ่มนำกระแส ในระหว่างเฟสนี้ โหลดคาปาซิแตนซ์ C_{load} ก็เริ่มเก็บประจุโดยผ่านทางทรานซิสเตอร์แบบพีมอส ฉะนั้นกระแสของโหลดคาปาซิแตนซ์เท่ากับกระแสเดรนของทรานซิสเตอร์แบบพีมอส

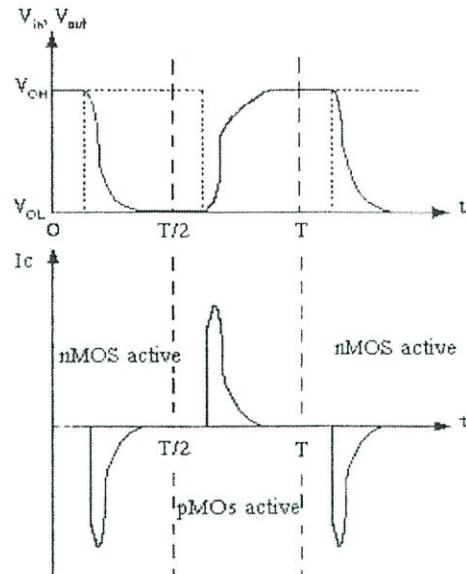


รูปที่ 2.15 วงจรซิมอสอินเวอร์เตอร์ ที่ใช้ในการวิเคราะห์หา Dynamic power dissipation

สมมติว่า T เป็นคาบเวลาหนึ่งคาบของรูปคลื่นสัญญาณทางอินพุตและเอาต์พุต ฉะนั้นค่าเฉลี่ย power dissipation ของวงจรในหนึ่งคาบเวลาสามารถหาได้ดังนี้

$$P_{avg} = \frac{1}{T} \int_0^T V(t)i(t)dt \quad (2.23)$$

ซึ่งระหว่างการสวิตช์ของทรานซิสเตอร์แบบเอ็นมอส และ พีมอส ในวงจรซิมอสอินเวอร์เตอร์ นำกระแสสำหรับทุก ๆ ครั้งหนึ่งของคาบเวลา ดังนั้นค่าเฉลี่ย power dissipation ของวงจรซิมอสอินเวอร์เตอร์ สามารถคำนวณหาค่า power ที่ต้องการได้จากการเก็บประจุและคายประจุของโหลดคาปาซิแตนซ์



รูปที่ 2.16 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุต และรูปคลื่นกระแสของคาปาซิเตอร์ระหว่าง การสวิตช์ ของวงจรมอสอินเวอร์เตอร์

$$P_{avg} = \frac{1}{T} \int_0^{T/2} V_{out} \left(C_{load} \frac{dV_{out}}{dt} \right) dt + \int_{T/2}^T (V_{DD} - V_{out}) \left(C_{load} \frac{dV_{out}}{dt} \right) dt \quad (2.24)$$

การคำนวณ Integrate ในสมการที่ (2.24) เราจะได้

$$P_{avg} = \frac{1}{2} C_{load} \frac{V_{out}^2}{2} \Big|_0^{T/2} + V_{DD} V_{out} C_{load} - \frac{1}{2} C_{load} V_{out}^2 \Big|_{T/2}^T \quad (2.25)$$

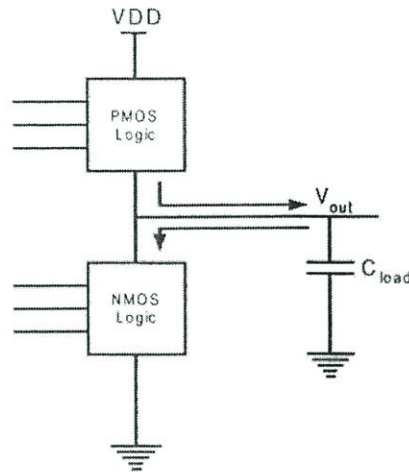
$$P_{avg} = \frac{1}{2} C_{load} V_{DD}^2 \quad (2.26)$$

ซึ่ง $f = \frac{1}{2}$ จากนั้นสามารถเขียนได้ดังนี้

$$P_{avg} = C_{load} V_{DD}^2 f \quad (2.27)$$

เห็นได้ชัดเจนว่าค่าเฉลี่ย power dissipation ของวงจรมอสอินเวอร์เตอร์ เป็นอัตราส่วนกับความถี่การ สวิตช์ f ฉะนั้น ข้อดีที่ใช้กำลังงานต่ำของวงจรมอสจึงเป็นจุดเด่น เพื่อการใช้งานทางด้านความเร็วสูง ซึ่งความถี่ในการสวิตช์ ก็จะสูงด้วย ทั้งหมดที่ได้กล่าวมานั้นค่าเฉลี่ย power dissipation จะขึ้นอยู่กับ ลักษณะทั้งหมดของทรานซิสเตอร์และขนาดของทรานซิสเตอร์ เพราะฉะนั้นกำหนดช่วงเวลาในการสวิตช์

จะเกิดในกรณีที่ให้ผลรวมค่า power dissipation ระหว่างสถานะของการสวิตช์ เหตุผลที่เป็นเช่นนี้ก็เพราะกำลังงานที่เกิดขึ้นในการสวิตช์ นั้นเป็นกำลังงานสูญเสีย เพราะการเก็บประจุและคายประจุของคาปาซิเตอร์ทางด้านเอาต์พุตจากค่า V_{OL} ไปหาค่า V_{OH} และความคิดพลาดในขบวนการสร้าง



รูปที่ 2.17 วงจรซีมอส Logic โดยทั่วไป

สำหรับเหตุผลนี้การเขียนสมการกำลังงานที่เกิดจากการสวิตช์ ของวงจรมอสอินเวอร์เตอร์ พร้อมทั้งนำไปใช้ในกรณีทั่วไปของวงจรมอส ดังแสดงในรูปที่ 2.17 โดยทั่วไปวงจรมอส Logic จะประกอบด้วย NMOS Logic block อยู่ระหว่างโหนดเอาต์พุตกับกราวด์ และ PMOS Logic block อยู่ระหว่างโหนดเอาต์พุตกับระดับแรงดันไฟเลี้ยง V_{DD}

ในกรณีวงจรมอส อินเวอร์เตอร์ ทั่วไปทั้งส่วน PMOS block หรือ NMOS block สามารถนำกระแสโดยที่ขึ้นอยู่กัับสัญญาณทางอินพุตแต่ไม่ใช่เวลาเดียวกัน ดังนั้นกำลังงานสูญเสียที่เกิดจากการสวิตช์ เป็นการสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาร์ปาซิเตอร์ทางเอาต์พุต

สรุปโดยรวมถ้าค่าคาร์ปาซิเตอร์ทั้งหมดที่อยู่ภายในวงจรมีค่ามาก ที่โหนดเอาต์พุต จะทำให้เกิดผลกระทบต่อประสิทธิภาพโดยรวมของวงจรมอสด้วย ถ้าแรงดันเอาต์พุตแกว่งในช่วง 0 ถึง V_{DD} และถ้ารูปคลื่นสัญญาณอินพุตเป็นรูปคลื่นสี่เหลี่ยมทางทฤษฎีค่าเฉลี่ย Switching power dissipation สามารถแสดงได้ในสมการที่ (2.27) จะใช้ได้ในทุก ๆ วงจรมอสลอจิก

ภายใต้เงื่อนไขที่เป็นจริงเมื่อรูปคลื่นสัญญาณทางอินพุต step input ไม่เป็นอย่างทฤษฎี และค่าหน่วงเวลาทั้งขาขึ้นและขาลงไม่เป็น 0 สำหรับตัวอย่าง N-MOS และ P-MOS ทรานซิสเตอร์จะนำกระแสพร้อมกัน ซึ่งเป็นผลรวมของกระแสที่เกิดขึ้นระหว่างการสวิตช์ นี้เรียกว่า กระแสลัดวงจร ซึ่งในกรณีทรานซิสเตอร์ จะนำกระแสจากไฟเลี้ยง V_{DD} ไปหากราวด์ ฉะนั้นค่ากำลังงานสูญเสียที่เกิดขึ้นในเวลา วงจร Short circuit ไม่สามารถคำนวณได้ตามสมการที่ (2.27) ได้ ซึ่งกระแสที่เกิดจากการ Short circuit

ไม่ทำให้เกิดการเก็บประจุหรือคายประจุของคาปาซิเตอร์ทางเอาต์พุต จึงจำเป็นต้องรู้ค่ากำลังงานสูญเสียในส่วนนี้ด้วย เพราะจะสามารถอธิบายลักษณะที่ไม่เป็นไปตามเงื่อนไขทางทฤษฎี ถ้าโหลดคาปาซิเตอร์มีค่ามากขึ้น ในทางตรงกันข้ามค่ากำลังงานสูญเสียที่เกิดจากการ Short circuit นี้ไม่จำเป็นต้องคำนึงถึง เพราะจะมีค่าน้อยมาก ๆ ถ้าเปรียบเทียบกับกำลังงานสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์

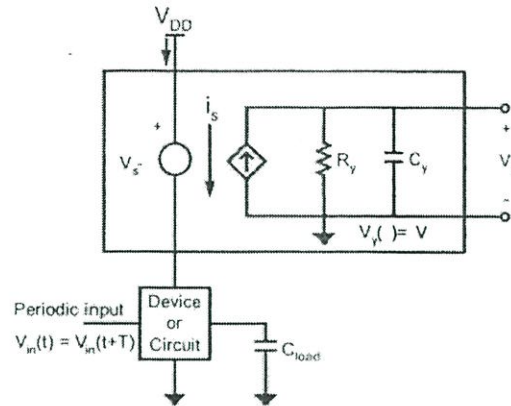
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร

การจำลองการทำงานของวงจร เพื่อหาค่าเฉลี่ยกำลังงานสูญเสียที่สร้างเอง (ซึ่งรวมค่าที่เกิดจากการ Short circuit และ กระแสรั่วไหล) ภายใต้เงื่อนไขการทำงานจริง [5] อ้างอิงตามสมการที่ (2.27) ค่ากำลังงานสูญเสียของทุกอุปกรณ์ หรือ วงจรที่ป้อนด้วยรูปคลื่นสัญญาณทางอินพุตสามารถหาได้จากการแรงดันตามเวลา v และกระแสตามเวลา i อยู่ในหนึ่งช่วงรูปคลื่นสัญญาณ ถ้าเราจำเป็นต้องหาค่าเฉลี่ย P_{avg} ที่ดึงจากแหล่งจ่ายไฟเลี้ยง ซึ่งแหล่งจ่ายไฟเลี้ยงเป็นค่าคงที่

การใช้รูปแบบการจำลองการทำงาน [5] ที่เรียกว่า power meter เราสามารถแสดงค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจรถัดที่เราที่กำหนดเองที่มีสัญญาณอินพุตหนึ่งคาบเวลา ด้วยวิธี transient circuit จำลองการทำงานพิจารณาโครงสร้างดังแสดงในรูปที่ 2.18 ซึ่งในที่นี้แรงดัน Zero-Volt ไม่ขึ้นกับแหล่งจ่าย ถูกต่ออนุกรม เข้ากับแหล่งจ่ายไฟเลี้ยง V_{DD} ของอุปกรณ์ เพราะฉะนั้นกระแสจากแหล่งจ่ายแรงดันไฟฟ้า ที่เปลี่ยนแปลงตามเวลา $i_{DD}(t)$ เป็นการดึงกระแสจากวงจรจะไปผ่านแหล่งจ่าย Zero-Volt $i_S(t) = i_{DD}(t)$

วิธีการวัดกำลังงานของวงจรถูกประกอบด้วย 3 ส่วน คือ กระแสควบคุมแหล่งจ่ายกระแสที่เป็นแบบเส้นตรง คาร์ปาซิเตอร์ และตัวต้านทาน ทั้งหมดถูกต่อขนานกัน สมการกระแสสำหรับจุดรวมของวงจรวิธีวัดกำลังงานสามารถเขียนได้ดังนี้

$$C_y \frac{dV_y}{dt} = \beta i_s - \frac{V_y}{R_y} \quad (2.28)$$



รูปที่ 2.18 วงจรการวัดกำลังงานที่นำไปใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร

เงื่อนไขเริ่มต้นของจุดแรงดัน V_y จะถูกตั้งไว้ที่ $V_y(0) = 0$ V จากนั้นก็สามารถหาค่า $V_y(t)$ ตามค่าเวลาด้วยการ Integrate สมการที่ (2.28)

$$V_y(t) = \frac{\beta}{C_y} \int_0^t e^{-\frac{1}{R_y C_y}(t-\tau)} i_{DD}(\tau) d\tau \quad (2.29)$$

สมมติว่า $R_y C_y \gg T$ ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งช่วงคาบเวลาสามารถประมาณค่าได้ดังนี้

$$V_y(T) = \frac{\beta}{C_y} \int_0^T i_{DD}(\tau) d\tau \quad (2.30)$$

ถ้าค่าสัมประสิทธิ์ β คงที่ แหล่งจ่ายกระแสควบคุมแหล่งจ่ายกระแสสามารถให้ค่าเป็นดังนี้

$$\beta = V_{DD} \frac{C_y}{T} \quad (2.31)$$

ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งคาบเวลาจะหาค่า Transient จำลองการทำงาน ดังนี้

$$V_y(T) = V_{DD} \frac{1}{T} \int_0^T i_{DD}(\tau) d\tau \quad (2.32)$$

จากสมการที่ (2.31) ทางด้านขวา เป็นผลของค่ากำลังงานเฉลี่ยที่ดึงจากแหล่งจ่ายไฟเลี้ยงในหนึ่งคาบเวลาดังนั้นค่าแรงดันโหนด $V_y(t)$ ที่ $t = T$ ได้เป็นค่ากำลังงานสูญเสียเฉลี่ย วงจรวิธีการวัดกำลังงานที่แสดงในรูปที่ 2.11 สามารถนำมาใช้ในการจำลองการทำงานของวงจรทั่วไปได้ด้วยโปรแกรมการจำลองการทำงาน เช่น PSpice และเพื่อประเมินค่ากำลังงานสูญเสียเฉลี่ยของวงจรที่มีความซับซ้อนได้อย่างแม่นยำ และอีกหนึ่งส่วนที่ต้องให้ความสำคัญ คือ วงจรวิธีวัดกำลังงานจะต้องนำเอาผลรวมค่ากำลังงานสูญเสียที่เกิดจากกระแส Short circuit ที่เกิดขึ้นด้วย ซึ่งมันจะเกิดขึ้นเมื่อสัญญาณทางอินพุตไม่เป็นที่ไปตามทฤษฎี

พิจารณาวงจรซิมูเลชันเวอริเตอร์ ดังในรูป (2.18) สมมติให้สัญญาณทางอินพุตเป็นรูปคลื่นสี่เหลี่ยมที่มีคาบเวลา $T = 20\text{ns}$ และโหลดคาปาซิเตอร์ทางเอาต์พุตทั้งหมดเท่ากับ 1pF แหล่งจ่ายไฟเลี้ยง 5 โวลต์ นำสมการที่ (2.27) เป็นสมการหาค่ากำลังงานสูญเสียเฉลี่ยทาง dynamic เราสามารถหาค่าได้เท่ากับ $P_{\text{avg}} = 1.25\text{mW}$

2.7.2 การหาค่า Power delay product

ค่า Power delay product (PDP) [6] เป็นตัวแปรขั้นต้นที่เลือกใช้ในการวัดคุณภาพและประสิทธิภาพของกระบวนการซิมูเลชันที่ออกแบบ gate ต่าง ๆ ในทาง Physic ค่า Power delay product สามารถอธิบายถึงค่าพลังงานเฉลี่ยของเกทในการสวิตช์ ของแรงดันทางด้านเอาต์พุตจาก Low ไปหา High และจาก High ไปหา Low เราจะสามารถเห็นพลังงานที่สูญเสียในวงจรซิมูเลชัน Logic gate

1. โดยที่ PMOS network ขณะที่โหลดคาปาซิเตอร์ทางเอาต์พุต C_{load} เริ่มเก็บประจุจาก 0 ไปหา V_{DD}
2. โดยที่ NMOS network ขณะที่โหลดคาปาซิเตอร์ทางเอาต์พุต C_{load} เริ่มคายประจุจาก V_{DD} ไปหา 0

ทำตามขั้นตอนการวิเคราะห์ที่ผ่านมา ซึ่งเหมือนกันอย่างหนึ่ง คือการเขียนสมการ ค่าเฉลี่ย dynamia power dissipation (2.25) ในวงจรซิมูเลชัน Logic gate และไม่ต้องคำนึงถึงกระแสที่เกิดจากวงจร Short circuit และกระแสรั่วไหล ผลรวมของพลังงานทางเอาต์พุตเวลาสวิตช์ สามารถเขียนได้ดังนี้

$$PDP = C_{\text{load}} V_{\text{DD}}^2 f \quad (2.33)$$

การอธิบายพลังงานด้านสมการที่สมการที่ (2.32) เป็นค่าการสูญเสียหลัก ที่ทำให้เกิดความร้อนเมื่อทรานซิสเตอร์แบบเอ็นมอส และพีมอส นำกระแสระหว่างสวิตช์ เพราะฉะนั้น จากการออกแบบ Point-of-view โดยทั่วไปสิ่งที่ต้องการก็คือ Power delay product ซึ่ง PDP เป็น function ของโหลดคาปาซิเตอร์ทางเอาต์พุต และแหล่งจ่ายแรงดันไฟฟ้า สำหรับนักออกแบบควรรออกแบบวงจรซิมูเลชัน Logic gate ให้ค่า C_{load} และ V_{DD} มีค่าน้อยที่สุดเท่าที่ทำได้ค่า Power delay product สามารถนิยามได้ดังนี้

$$PDP = 2P_{avg}\tau_p \quad (2.34)$$

ซึ่ง P_{avg} เป็นค่าเฉลี่ยกำลังงานสูญเสียที่เกิดจากการสวิตช์ ที่มีความถี่ในการทำงานสูงสุดและ τ_p เป็นค่าหน่วงเวลาเฉลี่ย ซึ่งนิยามไว้ในสมการ (2.19) โดยที่ทั้งสอง Factor ในสมการที่ (2.33) เป็นผลเกิดจากสองทรานซิสเตอร์ทางเอาต์พุตที่สวิตช์จาก Low ไปหา High และ High ไปหา Low นำไปใช้สมการที่ (2.25) และ (2.19) สามารถแสดงเป็นสมการได้ดังนี้

$$\begin{aligned} PDP &= 2(C_{load}V_{DD}^2f_{max})\tau_p \\ &= 2C_{load}V_{DD}^2\left(\frac{1}{\tau_{PHL} + \tau_{PLH}}\right)\left(\frac{\tau_{PHL} + \tau_{PLH}}{2}\right) \\ &= C_{load}V_{DD}^2 \end{aligned} \quad (2.35)$$

ซึ่งจะเห็นได้ว่าเหมือนกับสมการ (2.25) การคำนวณค่า PDP ด้วยค่า P_{avg} สมการ (2.25) บางทีผลที่ได้รับใน Misleading interpretation นั้นเป็นผลรวมของพลังงาน ต่อสถานะการสวิตช์ที่เป็นฟังก์ชันการทำงานทางความถี่

2.8 สรุป

จากทฤษฎีการทำงานของมอสทรานซิสเตอร์ที่ได้กล่าวมาในบทนี้ ทำให้ทราบถึงรายละเอียดและโครงสร้างการทำงาน และคุณสมบัติทางสัปดาห์กับกระแสของมอสทรานซิสเตอร์ การทำงานของมอสทรานซิสเตอร์ สามารถแบ่งเป็น 3 ช่วง คือ ช่วงหยุดการทำงาน (Cut-off Region) ช่วงการทำงานแบบไม่อิ่มตัว (Non-Saturation) และช่วงอิ่มตัว (Saturation) โดยแต่ละช่วงนั้นฟังก์ชันสัปดาห์กับกระแสตรงนั้นแตกต่างกันไป ซึ่งในการออกแบบจะต้องกำหนดให้เหมาะสมกับการทำงานในช่วงนั้น ๆ และในบทนี้ยังแสดงการหาค่าหน่วงเวลา การคำนวณกำลังงานสูญเสีย การจำลองการวัดกำลังงานสูญเสีย โดยการเขียนแบบการทำงานของวงจรด้วยโปรแกรม Pspice

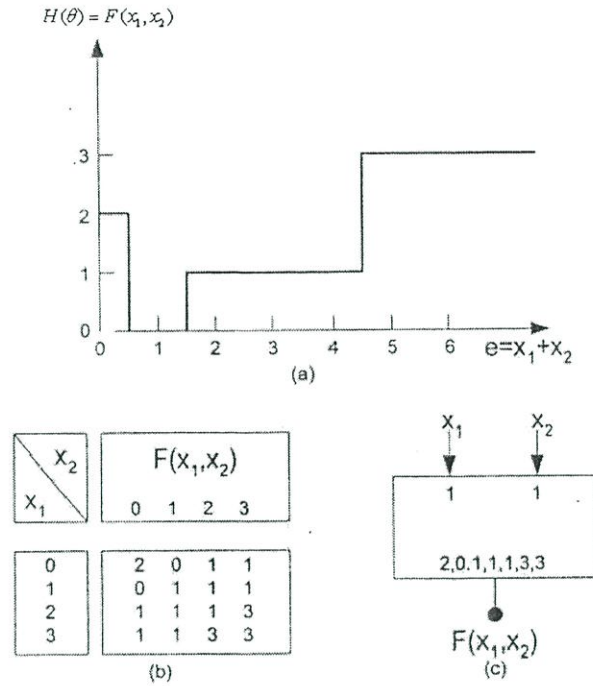
บทที่ 3

ทฤษฎีของลอจิกหลายระดับสัญญาณ

3.1 นิยามและคำจำกัดความ

สัญญาณหลายระดับในเลขฐาน R ถูกสร้างขึ้นเพื่อกำหนดเขตค่าของสัญญาณที่มีการเปลี่ยนแปลง ซึ่งอาจจะอยู่ในรูปของแรงดัน กระแสหรือการอัดประจุ (Charge) โดยสัญญาณจะต้องมีลักษณะสำคัญ 2 ประการคือ เขตโดยทั่วไปทั้งหมดจะขยายออกไปในทิศทางเดียวเท่านั้น ประกอบด้วย $0, 1, 2, 3, \dots, (R-2), (R-1)$ ซึ่งเป็นเขตของ R อย่างที่สองเรียกว่า Balance ซึ่งจะต้องอยู่ภายใต้เลขฐานที่เป็นค่าคงที่ โดยที่ $R = 2k+1$ และค่า $(-k), (1-k), \dots, -2, -1, 0, 1, 2, \dots, (k-1), (k)$ [7,8] ได้ให้คำจำกัดความและอ้างอิงถึงค่ามาตรฐานของลอจิกและความสัมพันธ์ของแต่ละช่วง ระหว่างค่าลอจิกและ Physical Variable โดยปกติค่าลอจิกบวกจะถูกกำหนดให้เป็น High คือ $(0, 1, 2, 3, \dots, R-1)$ เมื่อมีการใช้คำจำกัดความอื่น ๆ แทนอินพุทของสัญญาณอินพุทของอุปกรณ์ เช่นการใช้ label แสดงรายชื่อของค่าต่าง ๆ ที่สัมพันธ์กัน ยกตัวอย่างเช่น ในวงจรเลขฐาน 4 ซึ่งสมมติอินพุทให้เป็น $(0, 1, 2, 3)$ และมีค่า Label $(1, 2, 3, 0)$ ซึ่งแสดงว่าค่า Label จะมีค่ามากกว่าอินพุทอยู่ค่าหนึ่งเสมอ ในระบบที่มีการเชื่อมต่อแบบวงกลมที่ซึ่ง 0 จะมีค่า $(R-1)$ เช่นวงจร Successor, $\text{Suc}(x) = (x+1) \bmod R$ ซึ่งจะเรียกเขต ประเภทนี้ว่า Clockwise Cycle ได้แก่ $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y, R) = (1, 4)$ หรือ Counter clockwise cycle $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y, R) = (3, 4)$

ในกรณีที่วงจรมี 2 อินพุทหรือมากกว่าคำจำกัดความข้างต้นยังสามารถใช้งานได้ ถ้าอินพุททั้งหมดอยู่ในรูปของ Label ซึ่งในกรณีนี้ การรวมกันทั้งหมดของ R ของ R^n ในกรณีที่มี n อินพุท R ค่าวงจรจะสามารถจำกัดความได้หรือสามารถใช้ตารางที่แสดงในรูปที่ 3.1 ได้



รูปที่ 3.1 แสดงตารางความจริง คุณลักษณะการส่งผ่านและสัญลักษณ์ของเกต MT(4)

จากตารางที่ 3.1 จะแสดงถึงการรวมกันของฟังก์ชันสัญญาณหลายระดับจำนวนมากรวมไปถึงตัวอย่างของคำจำกัดความทางบวกที่กล่าวไปแล้วฟังก์ชันนี้มีอยู่ 2 เซต ซึ่งง่ายต่อการสร้างวิเคราะห์และสังเคราะห์ แต่อย่างไรก็ตามทั้ง 2 เซตนี้ก็ยังไม่สามารถแยกความสัมพันธ์กันได้อย่างสมบูรณ์ สิ่งหนึ่งที่เราสามารถสังเกตได้ในเซตทั้งสองคือ ความสัมพันธ์ระหว่างฟังก์ชัน ดังแสดงในตารางที่ 3.1 ตัวอย่างของเกต Cycling อยู่จะมี 2 ชนิด โดยจะพิจารณาแต่ละตัวเป็นฟังก์ชัน 2 ตัวแปร ซึ่งมีความสัมพันธ์ ดังนี้

$$\overline{X^y} = \overline{X^z} \quad \text{เมื่อ } Z = R - y \tag{3.1}$$

เช่นเดียวกับ interval และ Literal เกตจะถูกสร้างให้มีความสัมพันธ์ ดังนี้

$${}^a X^b = (R-1)^{[a X^b]} \tag{3.2}$$

และ

$$[a X^b] = \min(1, {}^a X^b) \tag{3.3}$$

โดย (R-1) หมายถึงการคูณ

ตารางที่ 3.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

No.	Common name	Symbolic Notation			Valued Condition
		Primary	Secondary	Positionna l Base4 Example a=1,b=2,y = x	
1	Restoring Identity	X		<0 1 2 3>	X Standardized
2	(Diametrical)Inverse or Complement	\bar{x}		<3 2 1 0>	$(R-1)-x$
3	Maximim	$\max(xy)$	$X + y$ $X \vee y$	<3 2 2 3>	X if $x \geq y$, else y
4	Minimum	$\min(xy)$	$x \bullet y$ $x \wedge y$	<0 1 1 0>	X if $x \leq y$, else y
5	Successor	\bar{x}	$Suc(x)$	<1 2 3 0>	$(x+1) \bmod R$
6	Cycle,(Clockwise Cycle)	\bar{x}^b	$\bar{x}^1 = \bar{x}$	<2 3 0 1>	$(x+b) \bmod R$
7	Counter Cycle	\bar{x}^b	$x^1 = \bar{x}$	<2 3 0 1>	$(x-b) \bmod R$
8	Literal Function	a_x^b	$X(a,b)$	<0 3 3 0>	$(R-1)$ if $a \leq x \leq b$, else 0
9	Delta Literal J Function	a_x	$J(x)a$	<0 3 0 0>	$(R-1)$ if $x = a$, else 0
10	Closed Interval	$[a_x^b]$		<0 1 0 0>	1 if $a \leq x \leq b$, else 0
11	Open Interval	$]a_x^b[$		<0 0 0 0>	1 if $a < x < b$, else 0
12	Delta Interval	a_x	$[a_x^a]$	<0 1 0 0>	1 if $a = x$, else 0
13	Upper Closed Semi- Interval	$[a_x$		<0 1 1 1>	1 if $a \leq x$, else 0
14	Lower Closed Semi- Interval	$x^a]$		<1 1 0 0>	1 if $a \leq x$, else 0

ตารางที่ 3.1 (ต่อ) แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

15	Lower Open Semi-Interval	${}^l_a x$		<1 0 0 0>	1 if $x < a$, else 0
16	Upper Open Semi-Interval	x^a		<0 0 1 1>	1 if $a < x$, else 0
17	Threshold Literal(Up)	$U_a(x)$		<0 1 1 1>	1 if $x \geq a$, else 0
18	Step Literal(Down)	$D_a(x)$		<1 1 0 0>	1 if $a \leq x$, else 0
19	Truncated Difference	$X \boxminus a$		<0 0 1 2>	$X - a$ if $x \geq a$, else 0
20	Limited Sum Truncated Sum	$X \boxplus a$		<1 2 3 3>	$X + a$ if $x < (R - 1)$, else $R - 1$
21	Multiplex, Selection, Transmission, tree	$T(x, y, q)$		<0 1 2 3> <3 2 1 0>	X if $q = 0$ Y if $q = 1$
22	Multithreshold MT(R)			<p q r s>	Use a thresholded Sum to look up table of values
23	MV NOR	$\overline{\min}(xy)$	$Min(\overline{xy})$	<0 1 1 0>	\overline{x} if $x \geq y$, else \overline{y}
24	MVNAND	$\overline{\max}(xy)$	$Max(\overline{xy})$	<3 2 2 3>	\overline{x} if $x \leq y$, else \overline{y}

ในส่วนหลังของสมการแรก que แสดงการวนรอบอย่างง่าย \overline{X}^1 ถึง \overline{X} จะมีความสอดคล้องกับฟังก์ชัน Successor ส่วนสมการที่ 2 สามารถสังเกตได้เป็นเคลด้าของตัวอักษรและเคลด้าของช่องว่างเมื่อ ${}^a X^a$ และ ${}^l X^a$ จะถูกลดให้อยู่ในรูป X^a ซึ่งในบางกรณีนั้น อาจมีค่าไม่เท่ากันก็ได้แต่ในสถานการณ์ที่แสดงนี้โดยปกติใช้ได้ มีฟังก์ชันลอจิก 2 อย่างที่จะกล่าวถึงคือ $T(x_0, x_1, \dots, x_{R-1}, q)$ [9] ซึ่งเป็นฟังก์ชันที่มีแนวคิดอย่างง่ายที่นิยามวงจรมัลติเพล็กซ์หรือฟังก์ชันตัวเลือกภายใต้การควบคุมของตัวแปรหลายระดับ (q) โดยทั่ว ๆ ไปค่า q มีค่า k ทำให้สัญญาณ x_k จำนวน k ตัวถูกเลือกสำหรับการเชื่อมต่อไปยังเอาต์พุต [10] แม้ว่าแนวคิดนี้จะเป็นแนวคิดแบบตรงและมีการให้คำจำกัดความเมื่อไม่นานนี้แต่ในบางเทคโนโลยีเราอาจก็ไม่สามารถสร้าง T เกทได้ง่ายนัก [11] ในอีกกรณีหนึ่งเกทแบบมัลติเทรตโฮลด์ฐาน R แทนด้วย MT(R) เกท [12] ซึ่งเป็นเกทที่ทำงานได้หลายหน้าที่สามารถดำเนินการได้มากกว่าเกท

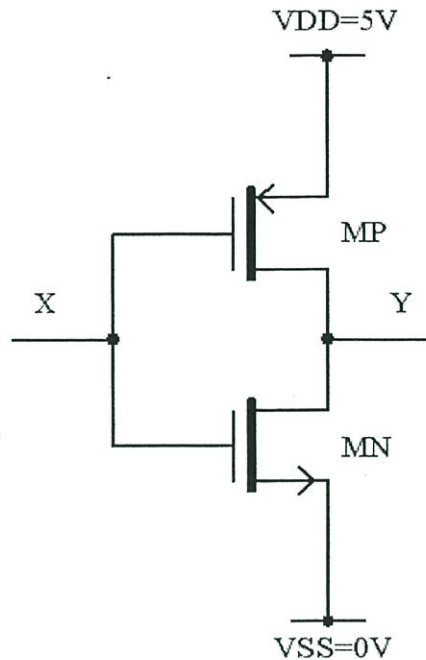
ตัวอื่น ๆ ด้วย ฟังก์ชันลอจิกแบบที่ 2 จะได้จาก ECL ซึ่งเป็นฟังก์ชันที่มีความสัมพันธ์อย่างง่ายและสามารถสร้างได้โดยตรง จากรูปที่ 3.1 จะแสดงเกทแบบ MT(R) ซึ่งอินพุตแต่ละตัวจะถูกถ่วงน้ำหนัก (weight) และถูกรวมและถูกเปรียบเทียบรวมอีกครั้งกับค่าสัญญาณหลายระดับอ้างอิงสำหรับแต่ละค่าของอินพุต ผลรวมถ่วงน้ำหนักจะกำหนดเอาต์พุต โดยเฉพาะลักษณะของกระบวนการคล้ายกับตาราง ROM ที่ค้นหาแอดเดรสของสัญญาณหลายระดับและเอาต์พุตในตารางที่เอาต์พุตประกอบด้วยค่า H1-Hm เมื่อ m คือจำนวนที่หาค่าได้จาก การนำสัญญาณอินพุตถ่วงน้ำหนักรวมวิธีการนี้จะใช้ในส่วนของการหรือ ลาเบล บน MT(R) เกทหรืออาจเขียนเป็นกราฟได้ น้ำหนักของอินพุตจะถูกกำหนดในรายการลำดับที่สอง ซึ่งแต่ละเทอมจะมีความสัมพันธ์กับอินพุต โดยเงื่อนไขบางอย่างหรือการคิดลาเบลไปกับอินพุตแต่ละตัวบนสัญลักษณ์ของลอจิก ซึ่งแสดงให้เห็นว่า MT(R) เกทจะมีความเหมาะสมกับการดำเนินการทางคณิตศาสตร์ (บวก,ลบ) แต่ถ้าจะเหมาะสมกับการดำเนินการที่เป็นช่วงหรือมีระยะ [MAX, MIN] [13] ในการสร้างวงจรลอจิกฟังก์ชันของระบบไบนารีที่มีเลขฐานต่ำอาจจะใช้รีเลย์ Vacuum tube หรือ ทรานซิสเตอร์ซึ่งง่ายต่อการกำหนดให้มันทำงานหรือไม่ทำงาน ในปัจจุบันการพัฒนาเลขฐาน 3 จะต้องประกอบด้วยค่ากลาง (Middle) ซึ่งจะอยู่ระหว่างค่า 2 ค่า [7,8] โดยการกำหนดให้ตัวอุปกรณ์ให้ทำงานทั้งคู่หรือไม่ก็ไม่ต้องทำงานทั้งคู่ [12] สำหรับเลขฐานสี่ขอยกตัวอย่างเช่นการเข้ารหัสของเลขไบนารี ซึ่งอยู่ในรูปของ $R=2^n$ ถ้าเลขฐานสูงขึ้น วงจรก็ต้องการเทคนิคที่สูงขึ้น

3.2 พืชคณิตของโพสต์และวงจรมค่า

ในการออกแบบวงจรรวมของทางไบนารีจะประกอบด้วยตัวโอเพอร์เรเตอร์ที่ใช้พื้นฐานของพืชคณิตบูลีน นั่นคือระดับของค่าลอจิกจะประกอบด้วย 0 และ 1 แต่ในลักษณะของ m-valued ในการออกแบบโดยทั่วไปจะใช้พืชคณิตโพสต์ในการกำหนดค่า m ให้มีค่าตั้งแต่ 0 ถึง m-1 แต่ ถ้าวางจรที่ทำงานในโหมดกระแสจะใช้เทรคโฮลด์ฟังก์ชันแทน

3.3 วงจรมค่า m-valued

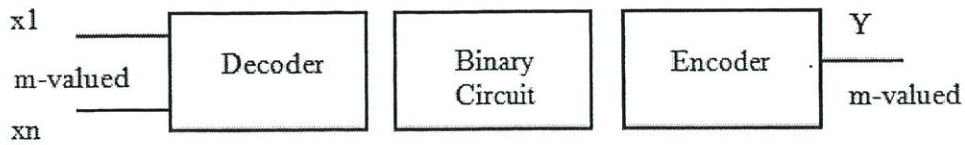
จากที่กล่าวไว้ข้างต้นแล้วว่า ในการออกแบบวงจรมค่า m-valued สามารถใช้เทคโนโลยีได้ 3 อย่าง คือ การอัดประจุ (Charge) แรงดันและกระแส แต่โดยทั่วไปแล้วนิยมใช้แรงดันหรือกระแสมากกว่าในวงจรมค่า CCD ซึ่งเป็นการอัดประจุจะแสดงดังรูปที่ 3.2 เป็นวงจรมค่าอินเวอร์เตอร์พื้นฐาน



รูปที่ 3.2 แสดงวงจรอินเวอร์เตอร์พื้นฐาน

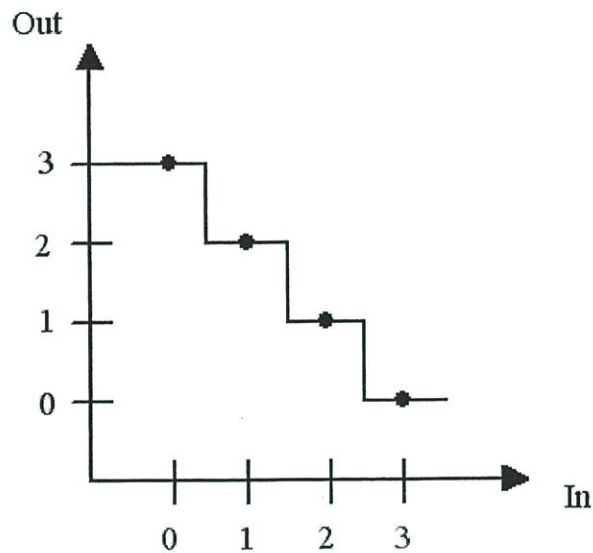
โดยใช้แหล่งจ่ายไฟ 5 โวลต์ และภายในวงจรจะประกอบด้วยทรานซิสเตอร์ PMOS และ NMOS ถ้าค่า $X < V_{TN}$ เมื่อ V_{TN} ถูกแทนด้วยแรงดันเทรชโฮลด์ของ NMOS MN จะไม่ทำงาน MP จะทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 5 โวลต์ เมื่อ $X > 5V - V_{TP}$ โดย V_{TP} จะถูกแทนด้วยแรงดันเทรชโฮลด์ของ PMOS MP จะไม่ทำงานและ MN จะทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 0 โวลต์ เอาต์พุตของค่า Y จะมีอยู่ 2 ค่า คือ (0V และ 5 V) นั่นคือค่าของลอจิก 0 และ 1 ตามลำดับ ในกรณีของวงจร m-valued จะมีค่าของระดับลอจิกมากกว่า 2 ระดับและใช้ฟังก์ชันของโพสต์เมื่อ m มีกำลังเป็น 2 สามารถใช้ฟังก์ชันบูลีนได้ แต่ถ้า m มีกำลังมากขึ้นคือ $m = 4$ และ $m = 8$ ฟังก์ชันของโพสต์จะถูกกำหนดโอเปอร์เรเตอร์พื้นฐานในการสร้างวงจรระบบ Monotonic ไว้ดังนี้

1. ค่า m จะถูกแทนให้อยู่ในรูปของระดับแรงดัน กระแสหรือจำนวนของประจุก็ได้ วงจรเข้ารหัส (Encoder) คือวงจรที่มีอินพุตเป็นค่าไบนารีแต่ได้อเอาต์พุตเป็น m-valued
2. ในการสร้างวงจรของระบบ Monotonic จะมีฟังก์ชันสำคัญคือ $D_i(x)$ และ $U_i(x)$ ซึ่งจะนำไปใช้เป็นวงจรถอดรหัส (Decoder) นั่นคือ อินพุตเป็น m-valued แต่จะได้อเอาต์พุตเป็นค่าไบนารี (Two-valued) รูปแบบโดยทั่ว ๆ ไปจะแสดงดังรูปที่ 3.3



รูปที่ 3.3 แสดงบล็อกไดอะแกรมของวงจร m ค่า

วงจรถอดรหัสที่ทำขึ้นมาใหม่นี้ คือการสังเคราะห์เลขไบนารีของฟังก์ชันย่อย ส่วนวงจรเข้ารหัส คือผลจากการใช้พีชคณิตของโพสต์ซึ่งทั้ง 2 อย่างนี้จะไม่รวมอยู่กับระบบ Monotonic ในบางกรณีจะไม่แสดงออกมาให้เห็นได้ชัด เช่นวงจร m-valued อินเวอร์เตอร์ ฟังก์ชันย่อยของไบนารี (Two-valued) จะเป็น Identity ฟังก์ชัน ซึ่งในแต่ละระดับจะมีค่า Noise Margin อยู่



รูปที่ 3.4 แสดงคุณลักษณะการส่งผ่านของวงจรอินเวอร์เตอร์แบบ 4 ค่า

การเปรียบเทียบระหว่าง m-valued และ Two-valued จะมีความยุ่งยากและซับซ้อนในการเข้ารหัสหรือถอดรหัส การสร้างวงจร m-valued จะมีฟังก์ชันที่เหมือนวงจร Two-valued แต่ในการเปรียบเทียบนี้จะต้องคำนึงถึงค่าหน่วงเวลา (Delay Time) และพื้นที่ของชิป

3.4 เทรคโพลด์ฟังก์ชัน

เทรคโพลด์ฟังก์ชันเป็นสับเซตของไบนารีฟังก์ชัน ซึ่งเทรคโพลด์ฟังก์ชันได้มีการศึกษากันมาเป็นเวลานานแล้ว โดยฟังก์ชันนี้จะสามารถเขียนเป็นสมการได้ดังนี้

$$Y = 1 \quad \text{ถ้า} \quad \sum_1^n a_i x_i \geq T \quad (3.4)$$

0 เป็นกรณีอื่น ๆ

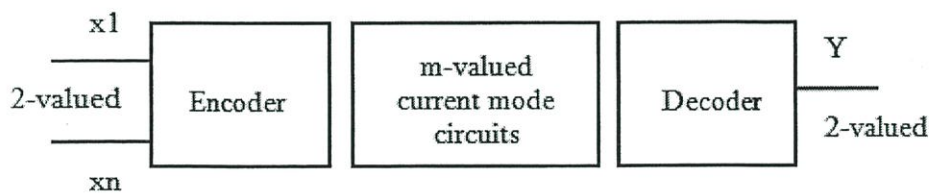
x_i คือ การเปลี่ยนแปลงของอินพุต

a_i คือ น้ำหนักของค่าสัมประสิทธิ์

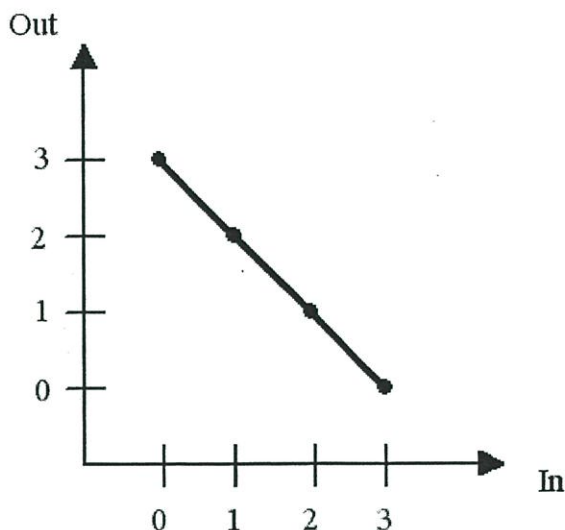
T คือ ค่าเทรคโพลด์

ดังนั้น $a_i, T \in \mathbb{N}$

เทรคโพลด์ฟังก์ชันจะเป็นผลรวมกันทางอนาลอก (\mathcal{E}) ซึ่งคุณด้วยค่าคงที่ ($a_i x_i$) และทำการเปรียบเทียบกับค่าเทรคโพลด์ (T) ผลรวมกันทางอนาลอกถ้าจะให้ง่ายต่อการคิดควรจะอยู่ในรูปของกระแส (ตามกฎของเคอร์ชอฟฟ์) ดังแสดงในรูปที่ 3.5 วงจร m -valued จะได้จากฟังก์ชันเทรคโพลด์ของไบนารี



รูปที่ 3.5 แสดงบล็อกไดอะแกรมของเทรคโพลด์ฟังก์ชัน



รูปที่ 3.6 แสดงคุณลักษณะทางไฟตรงของวงจรถอนาลอกอินเวอร์เตอร์แบบ 4 คำ

3.5 การแทนค่าของสัญญาณในวงจรหลายระดับสัญญาณ

วิธีการออกแบบวงจรหลายระดับสัญญาณแบ่งได้เป็น 3 วิธี คือ โดยการอัดประจุ (Charge) โดยกระแส และโดยแรงดัน การอัดประจุสามารถนำมาออกแบบโดยใช้เทคโนโลยี Charge Coupled Devices (CCD) ซึ่งวิธีนี้ส่วนมากใช้ออกแบบ Memory การออกแบบวงจรลจิกโดยใช้กฎของเคอร์ชอฟฟ์ ในวงจร Memory และการออกแบบวงจรลจิกแบบ Clocked Sequential ซึ่งทำให้สัญญาณมีการประมวลผลอย่างต่อเนื่องและช่วยกรองความถี่ ในการออกแบบโดยใช้การอัดประจุซึ่งเป็นเทคโนโลยีของ CCD แรงดันที่อยู่ภายในจะเป็นตัวคัปปลิ่งและเชื่อมต่อระหว่างอินพุตกับเอาต์พุต โดยปกติแล้วในการอินเตอร์เฟสจะใช้การเข้ารหัสแบบไบนารี ดังนั้นการเชื่อมต่อภายในยังคงใช้เลขฐานสองอยู่นอกจากนี้เทคโนโลยี CCD สามารถนำไปออกแบบวงจรเลขฐาน 4 และ 32 การออกแบบวงจรหลายระดับสัญญาณที่อยู่ในรูปของกระแสจะใช้เทคโนโลยี I^2L (MVI²L) [14] แต่ส่วนใหญ่แล้วจะใช้เทคโนโลยี ECL (Emitter Coupled Logic)[13] ในการออกแบบซึ่งมีลักษณะเหมือนกับ MVI²L การบวกหรือการลบของกระแสจะขึ้นอยู่กับเทรคโวลต์ของตัวอุปกรณ์ เช่นการเปลี่ยนกระแสให้อยู่ในรูปของแรงดันจะใช้วงจรเปรียบเทียบเฟสโดยกำหนดค่าเทรคโวลต์ให้ต่างกัน ในการออกแบบวงจรที่มีค่าเลขฐานสูง ๆ คือ ($R \geq 4$) การออกแบบโดยใช้ประจุและกระแสแต่ถ้าเป็นเลขฐาน 3 มักจะออกแบบให้อยู่ในโหมดแรงดันอุปกรณ์พวก MOS จะถูกนำมาใช้งานมาก เพราะมีค่าความต้านทานต่ำและมีค่าออฟเซ็ทเป็นศูนย์ [15] แต่ถ้าต้องการความเร็วในการทำงานต้องใช้เทคโนโลยีของ GaAs

3.6 การควอนไทซ์ค่า

ในระบบทั้งหมดของวงจรลอจิกไม่ว่าจะเป็นวงจรแบบไบนารีหรือวงจรหลายระดับสัญญาณจะมีคุณสมบัติอยู่ 3 ประการ คือ Generation, Transmission และ Detection

Generation จะอ้างถึงค่า Standard Logic ที่สร้างมาจาก Logic Network

Transmission จะอ้างถึงคุณสมบัติทาง Nonrestoring หรือ Nonstandardizing ยกตัวอย่างเช่น ไคโอดและบางส่วนของ MVL

Detection จะอ้างถึงสัญญาณลอจิกที่ตรวจสอบความถูกต้องของจำนวน Information

Range Over คือ การตรวจสอบลอจิกไม่ให้มากกว่าขอบเขตที่กำหนด โดยจะขอเรียกขอบเขตนี้ “Noise Margin” โดยค่า Noise จะหมายถึงสัญญาณรบกวนหรือ Crosstalk จากตัวอุปกรณ์ตัวอื่นและแหล่งจ่ายไม่คงที่ เป็นต้น อย่างไรก็ตาม ในระบบลอจิกความเร็วเป็นสิ่งจำเป็น ดังนั้นวงจรจำพวกความเร็วสูง (High Speed) จะไม่ใช่ Nonrestoring เป็นส่วนประกอบแต่จะใช้พวก Identified เกทมากกว่า เช่น I²L โดยจะมีขามิตเตอร์หลายขาเป็นอินพุตและพวก ECL จะมีขามิตเตอร์หลายขาเป็นเอาต์พุต

3.7 โหมดในการทำงานของวงจร

3.7.1 โหมดประจุ

พื้นฐานของอุปกรณ์ประเภทประจุ นั่นคือการคงค่าของประจุไว้ ซึ่งค่าความจุนี้จะอยู่ได้ เงื่อนไขของค่าทางเรขาคณิตและแรงดันควบคุม โดยค่าเก็บประจุสูงสุดจะได้ดังสมการ ดังนี้

$$Q_{\max} = C * (V_1 - V_2) * A \quad (3.5)$$

A คือ พื้นที่ในการเก็บประจุของตัวเกท

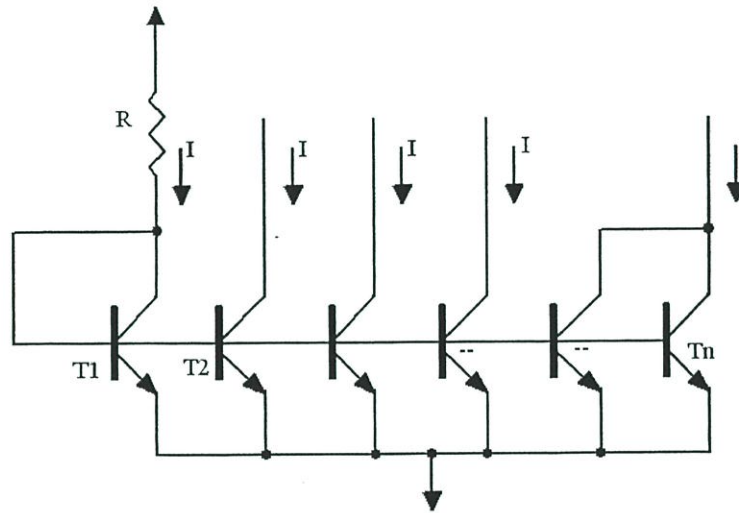
V₁ คือ ระดับของแรงดันไฟฟ้า

V₂ คือ ระดับของแรงดันไฟฟ้าที่สูงกว่า

C คือ ค่าประจุ

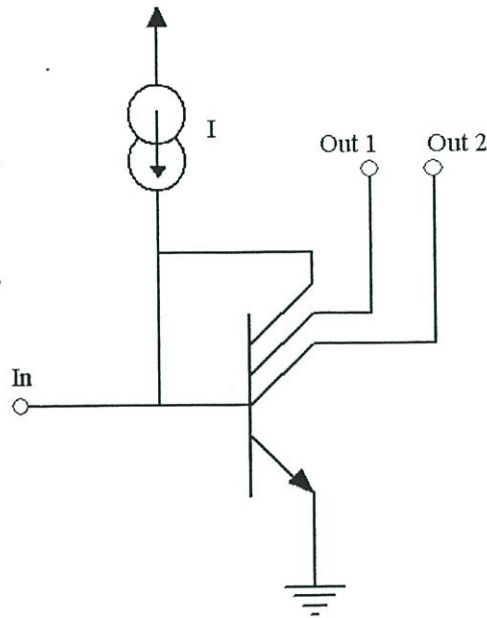
3.7.2 โหมดกระแส

ในวงจรหลายระดับสัญญาณที่ทำงานในโหมดกระแส อุปกรณ์แต่ละตัวก็จะมีหน้าที่กำเนิดและดึงเช่นในการสร้างจรรวม จะเห็นว่าในการกำเนิดกระแสจะใช้วงจรสะท้อนกระแส [14] แสดงดังรูปที่ 3.7



รูปที่ 3.7 แสดงวงจรสะท้อนกระแสที่ใช้สำหรับเทคโนโลยี TTL

จากรูปที่ 3.7 จะแสดงให้เห็นว่ากระแสจะไหลผ่านค่าความต้านทานจากนั้นจะไหลเข้าสู่ทรานซิสเตอร์ T_1 ซึ่งถูกต่อแบบไดโอดคอนเน็ค โดยแรงดันเบสอีมิเตอร์ของแต่ละตัวตั้งแต่ T_2 ถึง จะมีกระแสไหลเหมือนกัน ซึ่งมีกระแสรวมเท่ากับ I และสามารถแยกออกไปเป็น $2I, 3I$ เป็นต้น



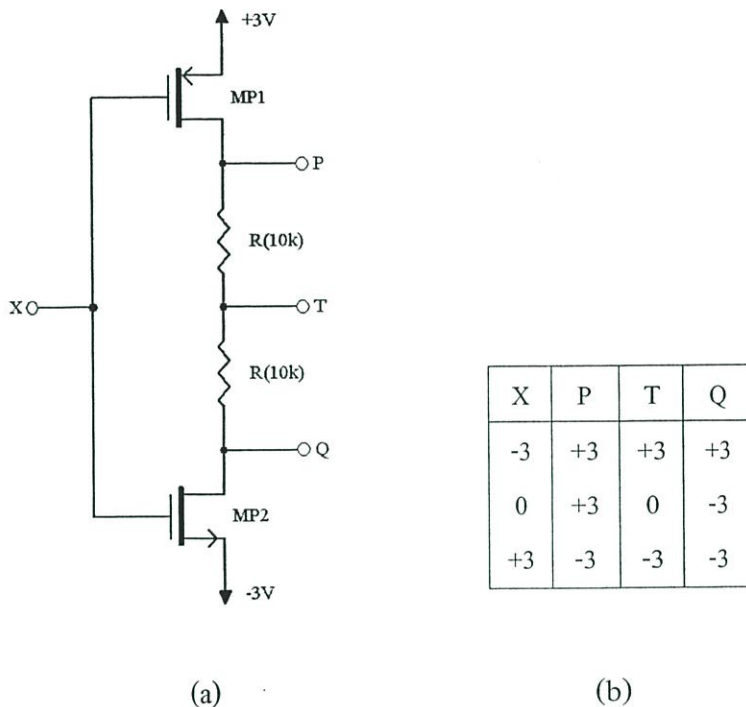
รูปที่ 3.8 แสดงเกทพื้นฐานที่ใช้สำหรับเทคโนโลยี I²L

ในรูปที่ 3.8 จะแสดงตัวอุปกรณ์ที่ใช้เทคโนโลยีของ MVI²L จะสังเกตเห็นว่าอุปกรณ์ตัวหนึ่งจะมีขาคอลเลกเตอร์หลายขา จากคุณสมบัติข้างต้นสามารถนำไปใช้ในวงจรดังรูปที่ 3.7 ซึ่งกระแสที่ขาคอลเลกเตอร์แต่ละขาจะไม่มีผลต่อโหลดหรืออุปกรณ์ตัวอื่น พิจารณาที่ตัวอุปกรณ์จะเห็นว่าจะมีการป้อนกลับที่ขาเบส ถ้าลองเปิดวงจรพิจารณาที่อินพุตค่า β ของตัวอุปกรณ์จะมีค่าสูง ค่ากระแส I (โดยปกติจะใช้ทรานซิสเตอร์แบบ PNP) จะไหลผ่านไปที่ขาคอลเลกเตอร์เพราะผลรวมของกระแสเอาต์พุตจะมีค่าเป็น I (หรือต่ำกว่าขึ้นอยู่กับโหลด) ค่าอินพุตของกระแส X สามารถคิดได้ดังนี้ จะมีกระแส $(I-X)$ ไหลที่ขาคอลเลกเตอร์แล้วทำการสะท้อนกระแสไปที่ขาคอลเลกเตอร์ให้มีค่าเท่ากับ $(I-X)$ เมื่อ X มากกว่า I ที่ตัวอุปกรณ์กระแสเบสจะไหลน้อย จนหยุดทำงานแรงดันที่ขาเบสจะเปลี่ยนเป็นศูนย์และกระแสที่ขาคอลเลกเตอร์จะมีค่าเป็นศูนย์ด้วย ในโหมดกระแสนี้จะเห็นว่าเอาต์พุตจะมีการสวิทช์ซึ่งแบบไบนารี ซึ่งกระแส I จะเป็นอินพุตของ 0 และ กระแส 0 จะเป็นอินพุตที่มากกว่า I ดังนั้นจากพื้นฐานของ I²L จะมีข้อกำหนดดังนี้ การบวก (จะเกิดจากการต่อร่วมกันของคอลเลกเตอร์) การลบ(เกิดจากผลรวมกระแสอินพุต $< I$) ซึ่งจะเป็นค่าทรอดโฮลด์และการสวิทช์ซึ่งแบบไบนารี (สำหรับผลรวมของกระแสอินพุต $> I$)

3.7.3 โหมดแรงดัน

คุณสมบัติของวงจรคงค่าสัญญาณ MVL ที่ทำงานในโหมดกระแสมี 2 อย่างคือ อินพุตทรอดโฮลด์และกำหนดระดับเอาต์พุต ข้อกำหนดในโหมดแรงดันคือ ตัวอุปกรณ์จะมีความแม่นยำต่อค่า

ทรานซิสเตอร์น้อยและมีการจำกัดค่าทรานซิสเตอร์ไว้เพียงค่าเดียว ตัวอุปกรณ์ที่มีความยืดหยุ่นสูง (Flexible) คือ ECL เพราะง่ายต่อการเปรียบเทียบ ในการออกแบบวงจร MVL ส่วนมากมักจะใช้เทคโนโลยีของ CMOS ซึ่งจะแสดงดังรูปที่ 3.9 จะเห็นว่า CMOS จะเป็นชนิดเอ็นฮานซ์โหมดและมีลักษณะของการสวิตช์ซึ่งแบบไบนารี



รูปที่ 3.9 แสดงวงจรทรานซิสเตอร์อินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง

ซึ่งค่าทรานซิสเตอร์ของ X ถ้าเป็นค่า High จะเท่ากับ (+3) โดยที่ MP₁ จะไม่ทำงานแต่ MP₂ จะทำงานแต่ถ้าค่า X เป็น Low จะมีค่าแรงดันเท่ากับ (-3) โดยที่ MP₁ จะทำงานแต่ MP₂ จะไม่ทำงานและเมื่อค่า X เป็นค่ากลางก็จะทำงานทั้งคู่ ถ้ามีอุปกรณ์ตัวใดตัวหนึ่งทำงานเอาท์พุทจะอยู่ในสถานะตรงกันข้ามกับอินพุท แต่ถ้าตัวอุปกรณ์ทำงานทั้งคู่เอาท์พุทจะได้ค่ากลาง (ซึ่งเป็นค่ากลางของอินพุท) ดังนั้นค่า T จะเป็นอินเวอร์ตของอินพุท

$$T = X \tag{3.6}$$

P และ Q จะเป็น Literal ฟังก์ชัน

$$P = X = X \text{ และ } Q = X = X \quad (3.7)$$

ดังแสดงในรูปที่ 3.9 (b) จากผลรวมของค่า Standard ทั้ง 2 ค่า จะได้เอาท์พุทออกมา 3 ระดับ สถานะนอกสุดจะทำการเชื่อมต่อกับแหล่งจ่ายภายนอกแต่สถานะภายในจะอยู่ในรูปของ Linear Sum ซึ่งใช้ความต้านทานเป็นตัวแบ่งแรงดัน

3.8 วงจร m-valued ทำงานในโหมดแรงดัน

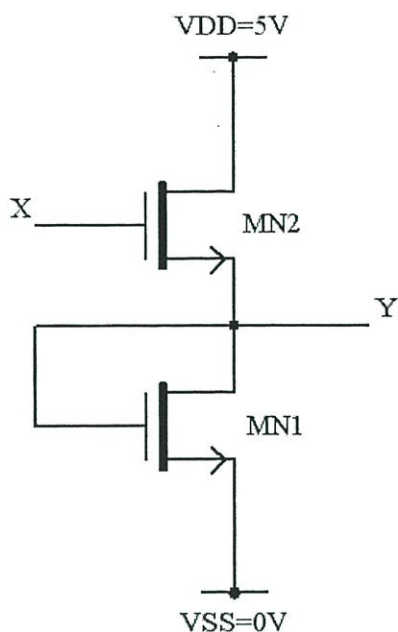
ในส่วนนี้จะพูดถึงวงจร m-valued ที่ทำงานในโหมดแรงดัน ซึ่งจะใช้เทคโนโลยีของมอส และ ไบโพลาร์ เพราะเป็นที่นิยมในการออกแบบเทคโนโลยีวงจรรวม VLSI เทคโนโลยีที่ใช้ในตอนแรกเป็น PMOS จากนั้นก็เป็น NMOS แต่ในปัจจุบันจะนิยมใช้ CMOS มากกว่าซึ่งใน CMOS จะประกอบไปด้วย NMOS และ PMOS ทรานซิสเตอร์ ที่ CMOS ถูกนำมาใช้แทน NMOS จะใช้ทั้ง 2 ชนิดคือ เอ็นฮานเมนต์ และดีพลีทชัน แต่ CMOS จะนิยมใช้เฉพาะเอ็นฮานเมนต์ ทรานซิสเตอร์แต่ละชนิดจะมีค่าเทรคโวลต์เฉพาะตัวเองขึ้นอยู่กับ การปลูกผลึก

3.9 วงจร m-valued ที่ใช้ในเทคโนโลยี NMOS

ค่าแรงดันและระดับเทรคโวลต์ที่ใช้ในวงจร NMOS m-valued จะใช้เหมือนกับทางไบนารีในวงจร เข้ารหัสหรือถอดรหัสจะต้องปรับค่าแรงดันเทรคโวลต์หรือค่าทางเรขาคณิตของทรานซิสเตอร์

3.9.1 วงจรถอดรหัส

วงจรมีจะเป็นวงจรที่คอยตรวจจับค่าเทรคโวลต์ โดยที่อินพุทจะได้ค่า m-valued ส่วนเอาท์พุทจะได้ค่าไบนารี แนวทางหนึ่งที่จะทำให้แรงดันเกิดผลต่างของการสวิทซ์ซึ่ง คือ การกำหนดแรงเทรคโวลต์ของทรานซิสเตอร์ชนิดเอ็นฮานท์เมนต์และดีพลีทชันให้มีค่าคงที่ค่าหนึ่ง การกำหนดขึ้นอยู่กับอัตราส่วนของเรขาคณิต เช่นในวงจร Two-valued อินเวอร์เตอร์ พื้นที่ของชิปจะสามารถกำหนดได้จากค่าทางเรขาคณิตของทรานซิสเตอร์ให้ค่าเทรคโวลต์ V_{TS} และ V_{TL} มีค่าคงที่ค่าหนึ่งซึ่งผลต่างของแรงดันในการสวิทซ์ซึ่งจะต้องอยู่ระหว่างผลต่างของเอาท์พุท อีกทางหนึ่งคือใช้วงจรเปลี่ยนแรงดัน เพื่อเลื่อนการสวิทซ์ซึ่งของแรงดันออกไป รูปที่ 3.10 แสดงตัวอย่างของวงจร Threshold Detector MN_2 MN_1 ($X \geq 2V_T$)

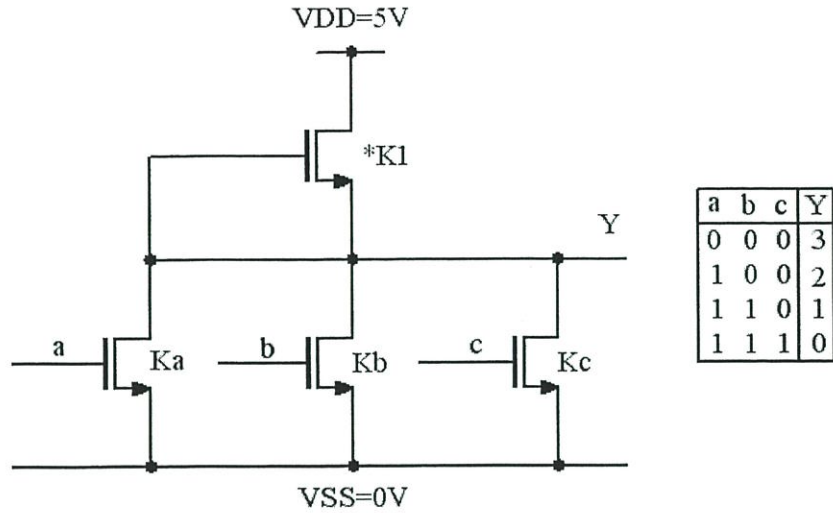


รูปที่ 3.10 แสดงวงจรตรวจจับเทรคโฮลต์โดยใช้วงจรเลื่อนแรงดัน

อย่างไรก็ตามในการกำหนดค่าแรงดันเทรคโฮลต์ให้ประมาณขนาดของตัวทรานซิสเตอร์ให้มีขนาดต่ำ ๆ ไว้ก่อน

3.9.2 วงจรเข้ารหัส

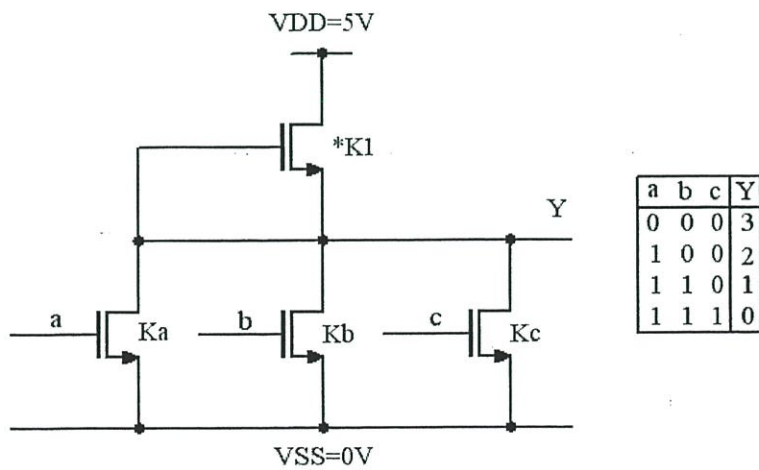
ในวงจรเข้ารหัสค่าอินพุทของวงจรจะเป็นไบนารี แต่เอาต์พุทของวงจรจะเป็น m-valued ที่ทำเช่นนี้เพราะต้องการให้ได้ค่า m ที่มีความต่างกัน ในตอนแรกจะใช้แรงดันแหล่งจ่ายต่างกัน เพื่อให้ค่า (m-1) ซึ่งค่านั้นคือ V_{SS} อย่างที่ 2 คือจะใช้แหล่งจ่ายเพียงตัวเดียว ซึ่งโดยทั่วไปจะอ้างอิงค่า (m-1) ไว้ที่ระดับแรงดันบวก (High) คือ V_{DD} แต่ในระดับอื่น ๆ สามารถกำหนดได้จากขนาดของทรานซิสเตอร์หรือผลต่างของแรงดันเทรคโฮลต์



รูปที่ 3.11 แสดงวงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี NMOS

รูปที่ 3.11 จะแสดงตัวอย่างของวงจรเข้ารหัสแบบ 4 ค่า ระดับ 3 จะเป็นตัวกำหนดค่าแฟกเตอร์ K_b และ K_c เมื่อ $a = 1$ และ $b = c = 0$ ค่า y จะถูกกำหนดโดยอัตราส่วน $\frac{K_1}{K_a}$ เมื่อ $a = b = c = 1$ ซึ่งจะถูกกำหนดโดยอัตราส่วน

$$\frac{K_1}{K_a + K_b + K_c} \tag{3.8}$$



รูปที่ 3.12 แสดงวงจรเข้ารหัสแบบ 4 ค่า

ในรูปที่ 3.12 จะแสดงการเข้ารหัสแบบ 4 ค่า ซึ่งจะใช้ค่าแรงดันเทรคโวลต์เพียงค่าเดียว ส่วน Voltage Shift จะขึ้นอยู่กับข้อกำหนดค่าทางเรขาคณิตของทรานซิสเตอร์ (W/L) วงจรเหล่านี้เป็นเทคโนโลยีของ NMOS จะมีการสูญเสียกำลังงานทาง Static สูงมาก นั่นคือต้องการกระแสในการขับโหลดสูงมาก

3.10 วงจร m-valued โดยใช้เทคโนโลยีของ CMOS

วงจร CMOS Two-valued อินเวอร์เตอร์จะมีระดับของเอาต์พุต $V_{OH} = V_{DD}$ เมื่อ MP ทำงานและ $V_{OL} = V_{SS}$ เมื่อ MN ทำงาน ดังนั้น ระดับของเอาต์พุตจะมีลักษณะเหมือนกับแรงดันของแหล่งจ่าย ในวงจร NMOS การสวิตช์ซึ่งของแรงดันจะขึ้นอยู่กับอัตราส่วน $\frac{K_n}{K_p}$ เมื่อ

$$K_n = \mu_n C_{ox} \frac{W_n}{L_n} \quad (3.9)$$

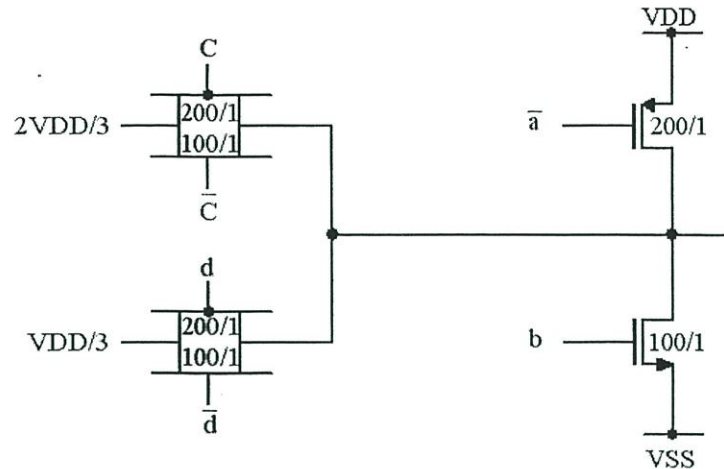
$$K_p = \mu_p C_{ox} \frac{W_p}{L_p} \quad (3.10)$$

$$V_{sw} = \frac{V_{dd} - V_{TP} + \alpha V_{TN}}{1 + \alpha} \quad (3.11)$$

$$\alpha = \sqrt{\frac{K_n}{K_p}} \quad (3.12)$$

3.10.1 วงจรเข้ารหัส

เอาต์พุตจะสวิตช์ระหว่างเอาต์พุตของการเข้ารหัสและค่า m ที่ต่างกัน ซึ่งทั้งหมดนี้จะมีทางเลือกคือไม่ใช่แหล่งจ่ายต่างกันก็วงจรอ้างอิงแรงดัน โดยทั่ว ๆ ไปจะใช้ Transmission Gate ซึ่งจะประกอบด้วย P และ N ดังนั้น ถ้าทำงานก็จะทำทั้งคู่แต่ถ้าไม่ทำก็ไม่ทำทั้งคู่

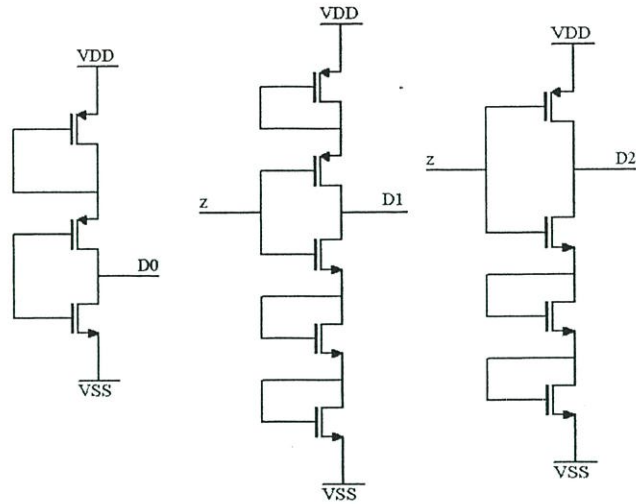


รูปที่ 3.13 แสดงวงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี CMOS

รูปที่ 3.13 แสดงวงจรเข้ารหัสแบบ 4 ค่า ระดับ 3 และ 0 จะเหมือนกันกับ Two-valued แต่ระดับ 1 และ 2 จะมีค่าแรงดันเท่ากับ $2\frac{V_{DD}}{3}$ และ $\frac{V_{DD}}{3}$ ในรูปที่ 3.13 จะเห็นว่ามีความถี่สูง เพราะนำไปประยุกต์ใช้งานนอกชิป

3.10.2 วงจรถอดรหัส

วงจรที่ใช้ในการถอดรหัสจะขึ้นอยู่กับขนาดที่ต่างกันของทรานซิสเตอร์ชนิด N และ P หรือวงจรเลื่อนแรงดัน รูปที่ 3.14 จะแสดงวงจรตรวจจับเทรคโฮลด์โดยใช้วงจรอินเวอร์เตอร์เพื่อเลื่อนแรงดัน



รูปที่ 3.14 แสดงวงจรตรวจจับเทรตโฮลต์โดยใช้เทคโนโลยี CMOS

โดยทั่ว ๆ ไป ในการสร้างฟังก์ชัน $D_i(x)$ และ $U_i(x)$ จะเป็นวงจรเปรียบเทียบแรงดัน ซึ่งจะประกอบด้วย NMOS ที่เป็น Differential Threshold โดยใช้ทรานซิสเตอร์ที่เป็นชนิด P หรือ N ก็ได้

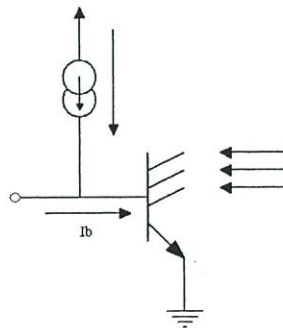
3.11 วงจร m-valued ทำงานในโหมดกระแส

ในส่วนนี้จะยกตัวอย่างของเทคโนโลยีไบโพลาร์และซีมอส

3.11.1 เทคโนโลยีไบโพลาร์

จะประกอบด้วยเทคโนโลยี I^2L (Integrated Injection Logic) และ ECL (Emitter Coupled Logic)

3.11.1.1 วงจร I^2L ที่ทำงานในโหมดกระแส

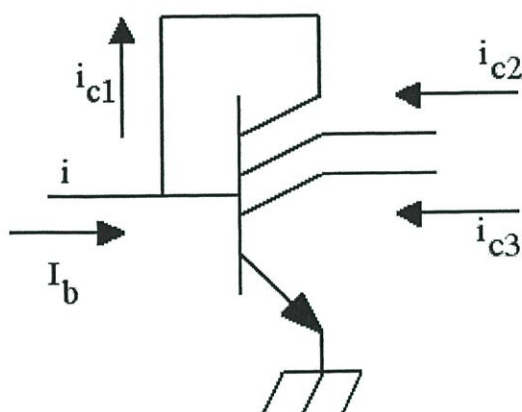


รูปที่ 3.15 แสดงเกตพื้นฐานของลอจิก 2 ระดับโดยใช้เทคโนโลยี I^2L

ในรูปที่ 3.15 จะแสดงเกณฑ์พื้นฐานของ I_L ในรูปนี้จะเป็นทรานซิสเตอร์แบบ NPN เอ้าท์พุทที่ ขาคอลเลคเตอร์จะเป็นอิสระต่อกัน แรงดันระดับ Low จะมีค่าเท่ากับ $V_{CE(sat)}$ กระแสไบอัสที่ขาเบสจะถูก แทนด้วย I_b เมื่อขั้วอินพุทจะถูกต่อกับเกทตัวก่อนหน้านี้ ซึ่งจะมีระดับแรงดันเป็น Low

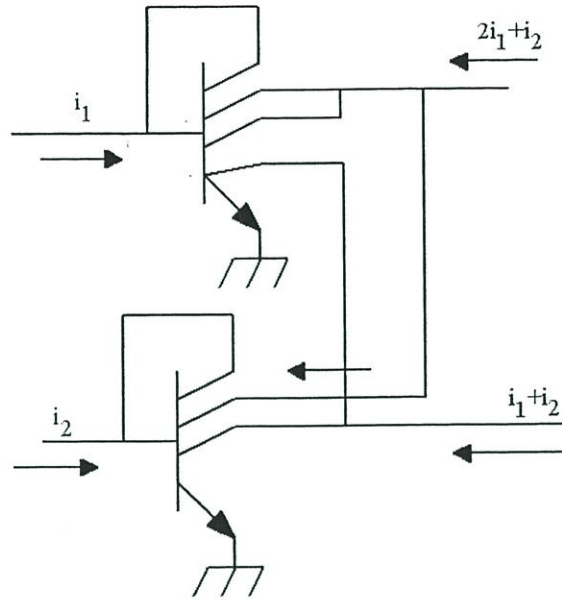
เทคโนโลยี I_L ที่ใช้ในโหมคกระแสจะมีดังนี้

- วงจรสะท้อนกระแส
- วงจรผลรวมเชิงเส้นของกระแส
- เทอร์คโฮลด์
- Sink- to – Source Conversion



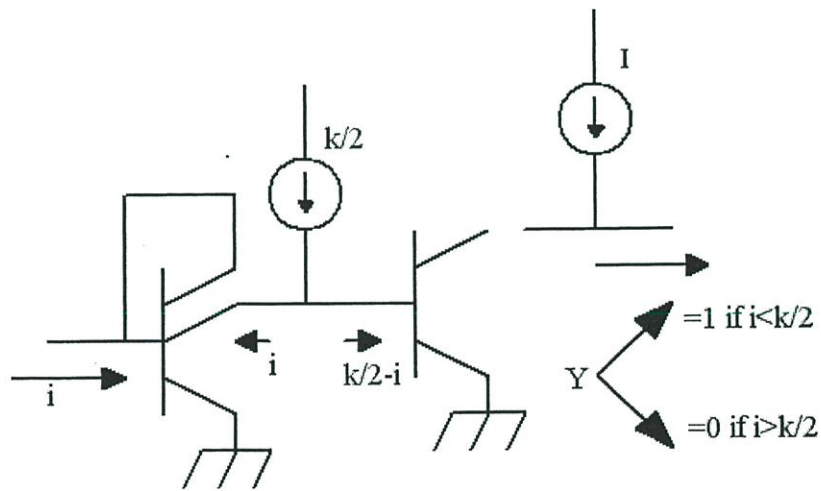
รูปที่ 3.16 แสดงวงจรสะท้อนกระแสโดยใช้เทคโนโลยี I_L

วงจรสะท้อนกระแส จะมีการป้อนกลับระหว่างขาเบสและขาคอลเลคเตอร์ วงจรสะท้อน กระแสจะถูกใช้ในการคัดลอกกระแสและคูณกระแสโดยขึ้นอยู่กับค่าคงที่



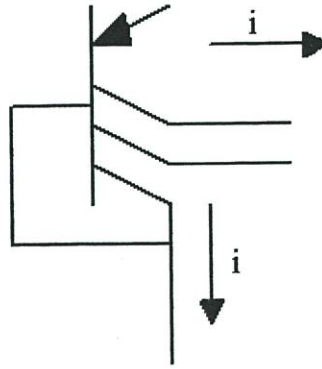
รูปที่ 3.17 แสดงวงจรผลรวมเชิงเส้นโดยใช้เทคโนโลยี I²L

จากรูปที่ 3.18 เป็นวงจรผลรวมเชิงเส้นของกระแสมีลักษณะการทำงานตามกฎของเคอร์ชอฟฟ์



รูปที่ 3.18 แสดงวงจรเทรคโวลต์โดยใช้เทคโนโลยี I²L

ค่าเทรคโวลต์ที่กล่าวถึงนี้จะรวมถึงทรานซิสเตอร์ที่ทำหน้าที่สะท้อนกระแสและทรานซิสเตอร์ทั่วไปด้วย



รูปที่ 3.19 แสดงการไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี I^2L

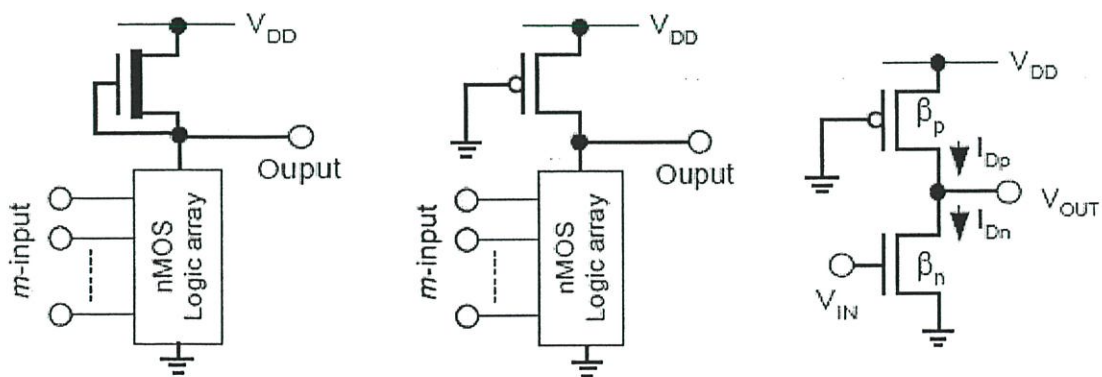
Sink - to - Source Conversion จากรูปจะเห็นว่าเป็นทรานซิสเตอร์ชนิด PNP แบบมัดดีคอลเลคเตอร์ซึ่งทำหน้าที่สะท้อนกระแส

ทฤษฎีซีมอสลอจิกเกทขั้นสูง

แบบมาตรฐานของซีมอสลอจิกก็คือ สแตติกคอมพลิเมนต์ซีมอส แต่เนื่องจากสแตติกเกท มีข้อด้อยหลายประการ จึงมีเกทอื่น ๆ อีกหลายชนิดที่ได้รับการยอมรับใช้งานอย่างแพร่หลายเช่นกันในการเลือกใช้ลอจิกประเภทต่าง ๆ มักจะคำนึงถึงความสิ้นเปลืองเนื้อที่ ความประหยัดพลังงาน ความรวดเร็วในการทำงาน เป็นหลัก ปกติแล้วการใช้พื้นที่ซิลิกอนของวงจรถจะเป็นสัดส่วนโดยตรงกับจำนวนของทรานซิสเตอร์อยู่แล้ว แต่ทั้งนี้จะมีการเปลี่ยนแปลงขึ้นอยู่กับความยุ่งยากในการออกแบบลวดลาย ซึ่งขึ้นอยู่กับประเภทของเกทด้วย และปกติซีมอสจะสิ้นเปลืองเนื้อที่มากกว่าเอ็นมอสประมาณ 20-30% และโดยปกติแล้วลอจิกบิตเล็ก ๆ มักจะออกแบบในรูปของสแตติกซีมอส แต่ถ้าหากเป็นวงจรถลอจิกขนาดใหญ่ที่อนุกรมกันก็ควรจะปรับปรุงเป็นไดนามิกลอจิกหรือโคมิโนลอจิก

4.1 มอสลอจิกเทียม (Pseudo MOS Logic)

วงจรมอสลอจิกแบบนี้สามารถสร้างขึ้นได้จากทรานซิสเตอร์เพียงชนิดเดียว พีทรานซิสเตอร์ หรือเอ็นทรานซิสเตอร์ก็ได้ และจะใช้ทรานซิสเตอร์ชนิดตรงกันเข้ามาทำเป็น โหลด เอ็นมอสเทียม (Pseudo-nMOS) จะได้รับความนิยมสูงกว่าพีมอสเทียมทั้งนี้เพราะ วงจรเอ็นมอสล้วนๆ ได้รับความนิยมมาก่อนซีมอส แต่วงจรเอ็นมอสจะใช้ดีพลีสชันมอสเป็นโหลด (รูปที่ 4.1 ก) ทำให้สิ้นเปลืองพลังงานมากและขนาดของตัวอุปกรณ์จะต้องคำนวณให้สอดคล้องกับระดับแรงดันของลอจิก



(ก) วงจรเอ็นมอส

(ข) วงจรเอ็นมอสเทียม

(ค) วงจรอินเวอร์เตอร์เอ็นมอสเทียม

รูปที่ 4.1 วงจรมอสลอจิก

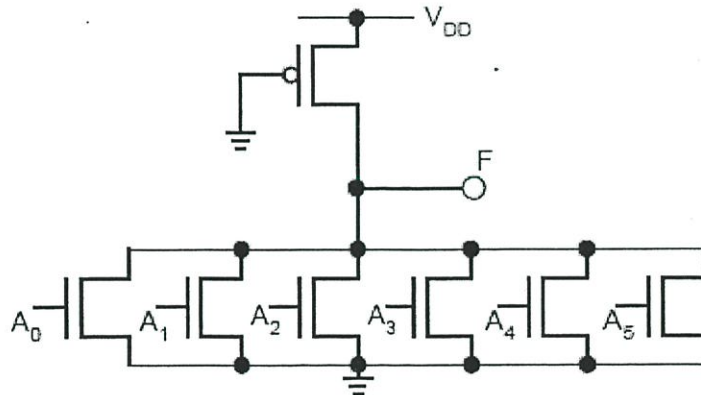
วงจรเอ็นมอสเทียมมีพีทรานซิสเตอร์ที่เกทลงกราวด์ ทำหน้าที่เป็นโหลดให้กับวงจร (รูปที่ 4.1 ข) ซึ่งถ้าหากเอ็นมอสตัวใดตัวหนึ่ง (หรือหลายตัว) นำกระแส ปริมาณกระแสระหว่าง V_{DD} กับกราวด์จะกำหนดได้โดยพีทรานซิสเตอร์เท่านั้น ในกลุ่มของเอ็นมอสอาจต่อกันอย่างไรก็ได้ขึ้นอยู่กับฟังก์ชันลอจิกที่ต้องการ การต่ออนุกรมกันหลายตัวจะส่งผลกับแรงดันสถานะลอจิกต่ำทางเข้าที่พุท ตัวอย่าง เช่น อินเวอร์เตอร์ (รูปที่ 4.1 ค) เนื่องจาก $V_{GSp} = V_{DD}$ พีมอสจึงทำงานในย่านอิ่มตัว เมื่อให้ลอจิกสูงที่อินพุทจะถือว่าเอ็นมอสทำงานในช่วงเชิงเส้น และแรงดันทางเข้าที่พุทเป็นแรงดันลอจิกต่ำดังนั้น

$$\frac{\beta_p}{2}(V_{DD} - |V_{Tp}|)^2 = \frac{\beta_n}{2}\{2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2\} \quad (4.1)$$

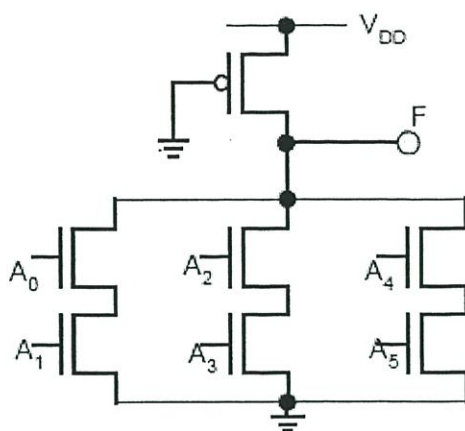
ซึ่งเป็นสมการกำลังสอง แก้สมการ หาค่า V_{OL}

$$V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n}(V_{DD} - |V_{Tp}|)^2} \quad (4.2)$$

การสร้างลอจิกฟังก์ชันที่ซับซ้อนก็พิจารณาเฉพาะเนทเวิร์คของเอ็นมอสเท่านั้น เช่นนอร์เกต 6 อินพุท และวงจร AOI ที่มีฟังก์ชัน $F = \overline{A_0 + A_1 + A_2 + A_3 + A_4 + A_5}$ และ $F = \overline{A_0 A_1 + A_2 A_3 + A_4 A_5}$ ตามลำดับ



รูปที่ 4.2 วงจรนอร์เกต



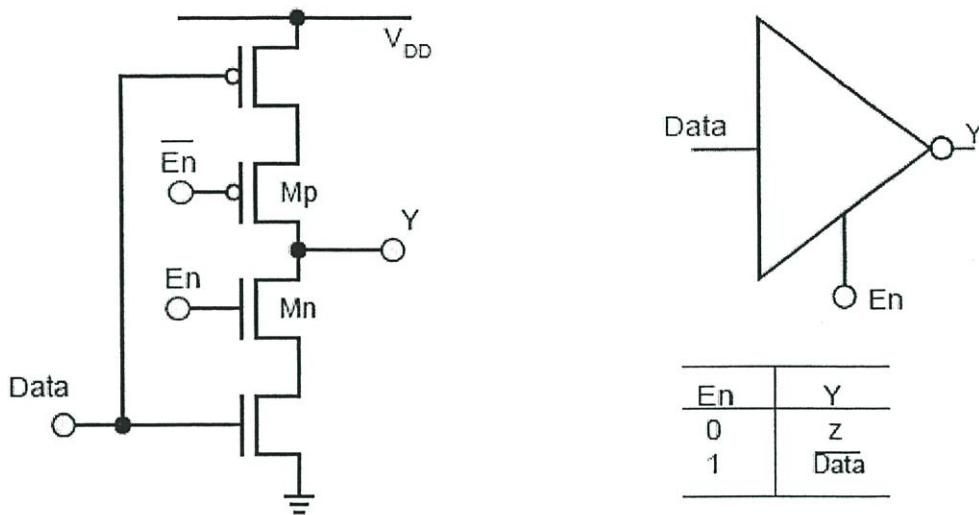
รูปที่ 4.3 AOI เกท

วงจรมอสเทียมมีลักษณะเหมือนวงจรมอสปกติทุกประการ แตกต่างกันว่าตัวโหลดแทนที่จะเป็นเอ็นมอส (ดีพลีชันหรือเอ็นฮานซ์เมนต์) ก็จะเป็นพีมอสทรานซิสเตอร์เพียงตัวเดียว ที่ต่อเกทลงกราวด์ จะทำหน้าที่ให้กับวงจรมอส วงจรของพีมอสเทียมจะมีลักษณะที่ตรงกันข้ามกับวงจรมอสเทียม วงจรแบบนี้จะต้องคำนวณขนาดของตัวอุปกรณ์ เพื่อให้ระดับลอจิกที่ถูกต้อง (สแตติกซีมอสไม่จำเป็นต้องคำนึงในข้อนี้) ปัญหาหลักของวงจรถือ การสูญเสียพลังงานมากเพราะอุปกรณ์ที่เป็นโหลด จะนำกระแสตลอดเวลา ทั้งยังเป็นสาเหตุให้แรงดันเอาต์พุตลอจิกต่ำไม่สามารถที่จะเป็น 0 โวลต์ได้ (แรงดันเอาต์พุตลอจิกสูง สามารถมีค่าสูงได้ถึง V_{DD}) ข้อดีของเกทแบบนี้ก็คือสามารถประหยัดเนื้อที่ได้มากกว่าสแตติกเกตซึ่งเป็นคอมพลิเมนต์ารี

4.2 วงจร 3 สถานะ (Tri-state Circuit)

วงจรถูกปิดจะมีแค่ 2 สถานะคือสถานะแรงดันสูงหรือลอจิก "1" และสถานะแรงดันต่ำหรือลอจิก "0" แต่ลอจิก 3 สถานะจะมีสถานะ "ความต้านทานสูง" หรือ "High impedance" หรือ "High Z" เพิ่มขึ้นมาอีก 1 สถานะ สถานะดังกล่าวไม่สามารถที่จ่ายหรือรับกระแสใดๆได้ ทำให้เหมาะสมในการแยกวงจรรอกจากวงจรส่วนอื่นๆขณะทำงาน วงจรถูกปิด 3 สถานะนิยมใช้สำหรับปล่อยสัญญาณลงสู่บัสที่มีสถานะภาพเป็นทั้งอินพุตและเอาต์พุต ส่วนใหญ่ก็จะเป็นวงจรมอสเฟิร์ดด้วย (จ่ายกระแสได้มาก) มีทั้งแบบกลับสัญญาณ (Inverting) และ ไม่กลับสัญญาณ (Non-inverting) รูปที่ 4.4 แสดงวงจร 3 สถานะแบบกลับสัญญาณ โดยที่สัญญาณ En (Enable) จะทำหน้าที่เป็นสัญญาณควบคุม หากสัญญาณ En เป็น High วงจรอินเวอร์เตอร์ก็จะทำงานเหมือนวงจรมอสเฟิร์ดปกติ หากสัญญาณ En เป็น Low ทาง

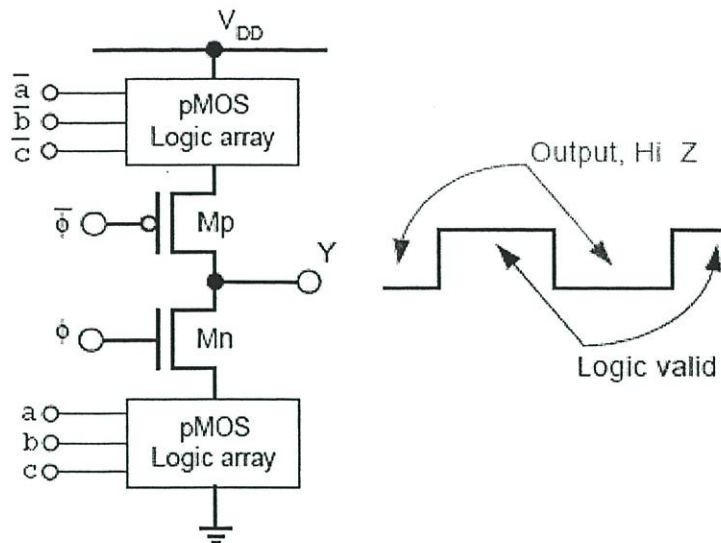
เอาท์พุทก็จะปรากฏค่าเป็นความต้านทานสูงโดยไม่ขึ้นกับสถานะทางอินพุทเลย ทั้งนี้เพราะพีมอส (Mp) และเอ็นมอส (Mn) อยู่ในสภาวะ"off" หรือไม่นำกระแส



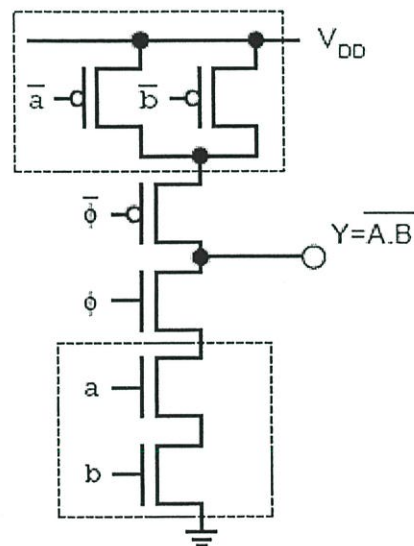
รูปที่ 4.4 วงจร 3 สถานะแบบกลับสัญญาณ (Tri-state Inverter)

4.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา (Clocked CMOS Logic, C²MOS)

วงจรซีมอสที่ใช้สัญญาณนาฬิกาเป็นแนวคิดผสมกันระหว่างลอจิกมาตรฐานกับการอ่านผลลัพธ์แบบสมวาร (Synchronization) วงจรจะมีช่วงการเปลี่ยนแปลงอินพุท เฉพาะเมื่อสัญญาณนาฬิกาเป็น "0" เท่านั้น ในขณะที่นั้นทางเอาท์พุทจะมีสถานะเป็นความต้านทานสูง และเมื่อสัญญาณนาฬิกาเป็น "1" (อินพุทไม่ควรมีการเปลี่ยนแปลงในช่วงนี้) ผลลัพธ์ของลอจิกออกทางเอาท์พุทสามารถจะถูกอ่านหรือส่งต่อไปได้ เนื่องจากวงจรลอจิกยังคงเป็นลักษณะคอมพลิเมนต์จำนวนทรานซิสเตอร์ที่ใช้จึงได้ลดน้อยลง



รูปที่ 4.5 หลักการของวงจรมอสที่ใช้สัญญาณนาฬิกา

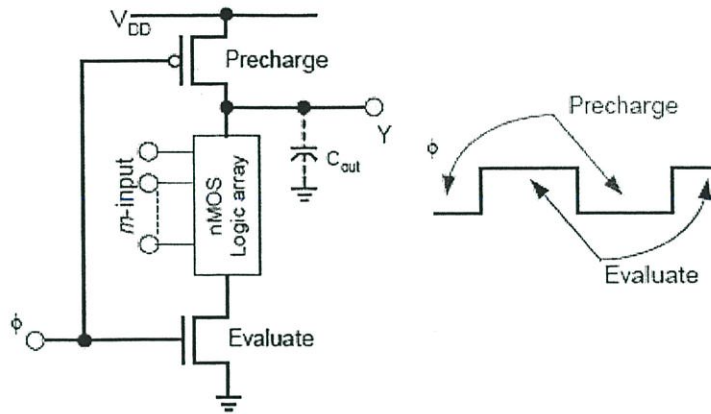


รูปที่ 4.6 ตัวอย่างวงจรรแนงค์เกตซึ่งใช้สัญญาณนาฬิกา

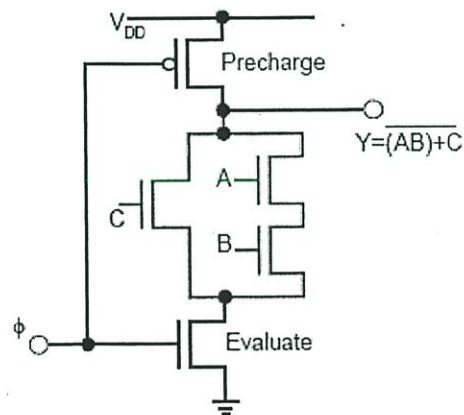
4.4 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic)

ลักษณะของวงจรถอยจิกแบบนี้ต้องการการสมวาร (Synchronization) ในการอ่านสถานะเอาต์พุต วงจรจะมีช่วงการเปลี่ยนแปลงอินพุต เฉพาะเมื่อสัญญาณนาฬิกาเป็น "0" เท่านั้น ช่วงนี้จะเรียกว่า Precharge และเมื่อสัญญาณนาฬิกาเป็น "1" ก็จะส่งผลของลอจิกออกจากเอาต์พุตช่วงนี้จะเรียกว่าช่วง

Evaluate ลักษณะวงจรพื้นฐานของไดนามิกซีมอส จะประกอบด้วยวงจรถองเอ็นทรานซิสเตอร์ที่จะให้ลอจิกฟังก์ชันโดยเอาท์พุทโหนดจะถูกพรีชาร์ตสู่ VDD โดยพีทรานซิสเตอร์ ในขณะที่เดียวกัน เอ็นทรานซิสเตอร์จะทำหน้าที่เป็นตัวประเมินค่า (Evaluate) จากรูปที่ 4.7 สัญญาณนาฬิกาที่ใช้เป็นเฟสเดียวในช่วงพรีชาร์ต $\phi = "0"$ และประเมินค่าเมื่อ $\phi = "1"$



รูปที่ 4.7 หลักการของวงจรไดนามิกซีมอส



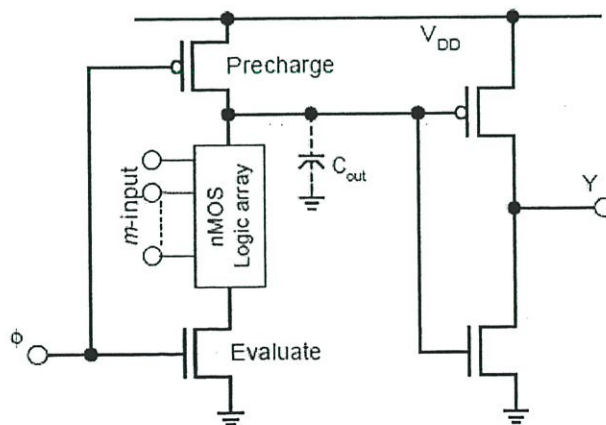
รูปที่ 4.8 ตัวอย่างวงจรไดนามิกซีมอส

4.4.1 ปัญหาของไดนามิกซีมอส

สัญญาณอินพุตจะเปลี่ยนแปลงได้เฉพาะในช่วงฟริชาร์ตเท่านั้น มิฉะนั้นแล้วเอาต์พุตอาจจะผิดพลาดได้ ปัญหาที่เกิดขึ้นอีกประการหนึ่งก็คือ การต่ออนุกรมกันของไดนามิกเกตหลาย ๆ ชุด เมื่อเกตถูกฟริชาร์ตเอาต์พุตไหนจะถูกฟริชาร์ตสู่ V_{DD} แต่ในช่วงประเมินค่าเอาต์พุตของเกตชุดแรกจะเปลี่ยนแปลงตามเงื่อนไขของอินพุต ถ้าหากว่ามีกรณีในขณะนี้ (ซึ่งจะเป็นอินพุตของเกตชุดที่ 2) จะทำให้เกตชุดที่ 2 ประเมินค่าผิดพลาดการแก้ปัญหาดังกล่าวอาจจำเป็นต้องใช้สัญญาณนาฬิกาหลายเฟส (ปกติ 4 เฟส) คาบเวลาของสัญญาณนาฬิกา จะต้องมีความยาวเพียงพอที่จะให้การประเมินค่าของเกตชุดที่ช้าที่สุดเป็นไปอย่างสมบูรณ์เสียก่อนลักษณะของวงจรบางแบบจะทำให้เกิดปัญหาเรื่องค่าความจุไฟฟ้าแอบแฝงทำให้แรงดันลอคจิกคลาดเคลื่อนได้ (Charge sharing problem) ปกติแล้วจะต้องให้ค่าตัวเก็บประจุ C_{out} มีค่ามากกว่าตัวเก็บประจุอื่นในวงจร

4.5 ซีมอสโดมิโนลอจิก (CMOS Domino Logic)

โครงสร้างพื้นฐานของโดมิโนลอจิก จะประกอบด้วยวงจร 2 ส่วนคือ ส่วนแรกจะเป็นไดนามิกซีมอสที่ทำงานด้วยสัญญาณนาฬิกาชุดเดียว คือ ฟริชาร์ตและประเมินค่า และวงจรส่วนที่ 2 จะเป็นซีมอสอินเวอร์เตอร์ดังแสดงในรูปที่ 4.7 ในช่วงฟริชาร์ตเอาต์พุตของวงจรไดนามิกจะฟริชาร์ตสู่ V_{DD} และที่เอาต์พุตของอินเวอร์เตอร์เป็นระดับต่ำ เมื่อ สัญญาณนาฬิกาเปลี่ยนจาก “0” เป็น “1” (ช่วงนี้ประเมินค่า) ฟริชาร์ตทรานซิสเตอร์จะหยุดทำงาน และทรานซิสเตอร์ประเมินค่าจะทำงานแทน ในช่วงประเมินค่า โดมิโนลอจิกจะเปลี่ยนค่าเฉพาะเมื่อมีการเปลี่ยนจากระดับต่ำเป็นระดับสูงเท่านั้น ทำให้จัดปัญหาเรื่องสัญญาณ “glitches” ได้



รูปที่ 4.9 วงจรพื้นฐานของ โดมิโนซีมอสลอจิก

โคมิโนลอจิก จะประกอบด้วยส่วนของวงจรซึ่งเป็นอินพุท ฟริชาร์ตทรานซิสเตอร์ ทรานซิสเตอร์ ประเมินผล และเอาต์พุทอินเวอร์เตอร์อีก 1 ชุด ดังนั้นโคมิโนลอจิก m อินพุทจะมีทรานซิสเตอร์ $m + 4$ ตัว เป็นวงจรที่มีการสูญเสียต่ำ เพราะจะไม่มีกระแสเฉื่อยในวงจรเลย ปกติแล้วฟิทรานซิสเตอร์ จะเสียพื้นที่มากกว่าเอ็นทรานซิสเตอร์ โคมิโนลอจิกมีทรานซิสเตอร์ส่วนใหญ่เป็นเอ็นทรานซิสเตอร์ จึงให้ความจุของอุปกรณ์ต่อพื้นที่ที่ดีขึ้น ในขณะที่เดียวกันความยุ่งยากในการออกแบบลวดลายก็ลดลง

4.6 ลอจิกเส้นทางคู่ (Dual-rail logic)

วงจรที่ได้ศึกษาผ่านมาแล้วนั้น นับว่าเป็นวงจรซิมอสเส้นทางเดี่ยว (Single rail) ซึ่งหมายถึงตัวแปรทางอินพุทมีค่าเพียง "0" หรือ "1" เท่านั้น วงจรลอจิกเส้นทางคู่จะใช้ทั้ง x และ \bar{x} พร้อมกันในรูปแบบที่เป็นเชิงอนุพันธ์ โดยจุดประสงค์หลักก็เพื่อเพิ่มความเร็วในการทำงาน พิจารณาฟังก์ชัน

$$f_x = x - \bar{x} \quad (4.3)$$

ดังนั้น

$$\frac{df_x}{dt} = \frac{dx}{dt} - \frac{d\bar{x}}{dt} \quad (4.4)$$

เมื่อ

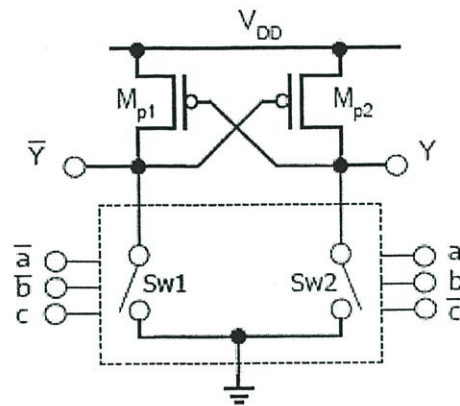
$$\frac{d\bar{x}}{dt} = \left| \frac{dx}{dt} \right| \quad (4.5)$$

เมื่อ x มีค่าเพิ่มขึ้นและ \bar{x} ลดลง หรือในทางกลับกัน ดังนั้น

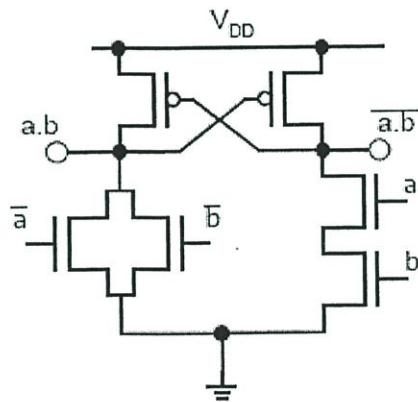
$$\frac{df_x}{dt} = 2 \left| \frac{dx}{dt} \right| \quad (4.6)$$

หากตีความหมายในเชิงวงจรก็จะเห็นว่าวงจรลอจิกเส้นทางคู่สามารถที่มีความเร็วประมาณ 2 เท่าของวงจรเส้นทางเดี่ยว แต่ในทางกลับกันที่ที่จะต้องเพิ่มมากขึ้นก็คือเส้นทางการต่อโยงวงจร เพราะจำนวนอินพุทที่ต้องเพิ่มมากขึ้น วงจรลอจิกเส้นทางคู่ที่เป็นที่นิยมก็คือ Differential Cascade Voltage Switching Logic (DCVS) หรือ อีกชื่อหนึ่งก็คือ differential CVSL โครงสร้างพื้นฐานของวงจร CVSL แสดงได้ดังในรูปที่ 4.7 ก) อินพุทจะประกอบด้วยส่วนที่เป็นทางตรง (เช่น a b c) และส่วนที่เป็นคอมพลิเมนต์ (เช่น \bar{a} \bar{b} \bar{c}) ซึ่งทั้งหมดประกอบด้วยเอ็นมอสทรานซิสเตอร์เท่านั้น วงจรคอมพลิเมนต์นี้จะอยู่ด้านละชุดของวงจรแลชท์ที่ประกอบจากพีมอสทำให้ได้เอาต์พุทที่เป็น Y และ \bar{Y} สมมุติว่าอินพุทลอจิกทำให้

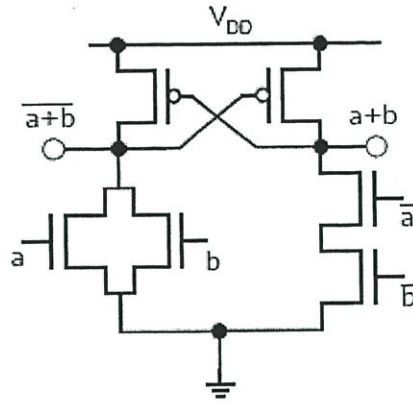
สวิตช์ Sw1 ทำงาน แรงดันที่เข้าที่พุด \bar{Y} ตกลงเป็นแรงดันต่ำ เป็นการบังคับให้พีมอส Mp2 นำกระแส โดยเร็วขั้วให้เข้าที่พุด Y เป็นแรงดันสูง



รูปที่ 4.10 วงจรพื้นฐานของ CVSL



รูปที่ 4.11 วงจร CVSL ของวงจรแอนด์/แนนด์



รูปที่ 4.12 วงจร CVSL ของวงจร ออร์/นอร์

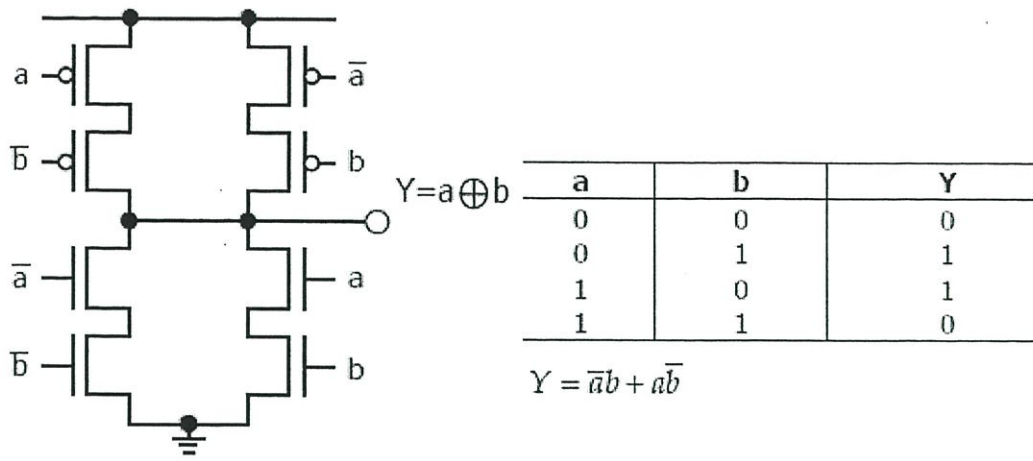
การออกแบบในส่วนของวงจรส่วนเอ็นมอสซึ่งสองด้านเป็นคอมพลิเมนต์กันนั้น วิธีหนึ่งที่ย่าง ๆ ก่อนข้างจะตรงไปตรงมาอย่างวงจร AND/NAND ในรูปที่ 4.11 และวงจร OR/NOR ในรูปที่ 4.12 ซึ่งจะเห็นว่าเมื่ออินพุตเป็นคอมพลิเมนต์กันแล้ว เอาท์พุทก็ยังเป็นคอมพลิเมนต์กันอีกด้วย อาศัยทฤษฎีของ DeMorgan

$$\overline{a \cdot b} = \overline{a} + \overline{b} \quad (4.7)$$

จะเห็นว่าวงจร AND/NAND และวงจร OR/NOR มีโครงสร้างเดียวกัน ต่างกันเฉพาะตำแหน่งของอินพุตเท่านั้น

4.7 ลอจิกแบบวงจรเงาสสะท้อน (Mirror Circuit logic)

วงจรลอจิกแบบเงาสสะท้อนมีรูปแบบคล้ายวงจรซีมอสคอมพลิเมนต์มาตรฐาน คือมีส่วนของพีมอสและเอ็นมอส แต่วงจรมีสองซีกซ้ายและขวาเหมือนวงจรเส้นทางคู่ วงจรซีกซ้ายและขวานี้สะท้อนซึ่งกันและกันในรูปแบบของคอมพลิเมนต์ลักษณะเช่นนี้ลองพิจารณาวงจรของ XOR $Y = a \oplus b = \overline{a}b + a\overline{b}$ จากคณิตศาสตร์บูลีน เราจะเห็นว่า $\overline{a}b + a\overline{b} = \overline{ab + \overline{a}\overline{b}}$ ซึ่งสามารถเขียนเป็นวงจรได้ดังรูปที่ 4.13 จะสังเกตเห็นว่า เอ็นมอสจะทำงานเพื่อให้ลอจิกเอาท์พุท "0" ในขณะที่พีมอสจะทำงานเพื่อให้ลอจิกเอาท์พุท "1" จำนวนทรานซิสเตอร์ที่ใช้ในวงจรแม้จะเท่ากับกับวงจรคอมพลิเมนต์ซีมอส แต่ลักษณะเส้นทางวงจรจะง่ายกว่า วงจร XNOR ก็สามารรถที่จะออกแบบได้ในลักษณะเดียวกัน

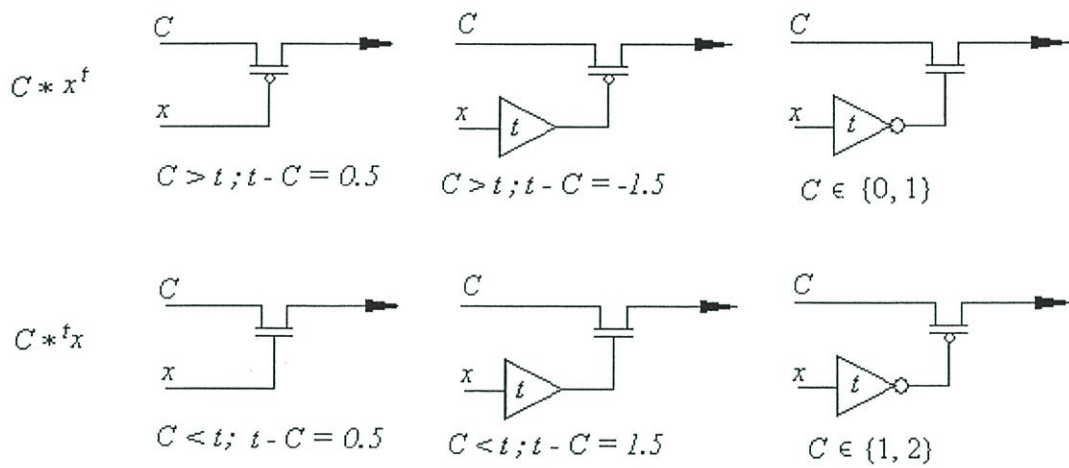


รูปที่ 4.13 วงจร XOR เกท

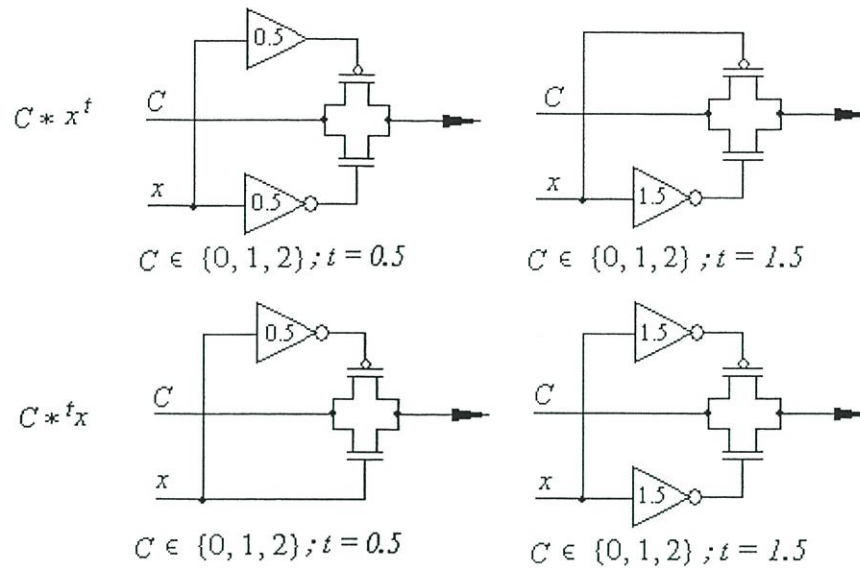
บทที่ 5

ผลการวิเคราะห์จากการออกแบบวงจรเทอร์นารีลอจิก

วิทยานิพนธ์เสนอการออกแบบวงจรเทอร์นารีแบบ pass-transistor logic ซึ่งถูกควบคุมด้วยสัญญาณไบนารีที่ถูกปรับขนาดให้เหมาะสมด้วยวงจร Differential Cascade Voltage Switch (DCVS) ดังนั้นสามารถออกแบบให้ทรานซิสเตอร์ที่ใช้ในวงจรมีค่าสัปดาห์คาเทรตโฮลด์เท่ากัน



รูปที่ 5.1 วงจร pass-transistor สำหรับตัวดำเนินการ $C * x^t$ และ $C * ^t x$



รูปที่ 5.2 วงจร transmission gate สำหรับตัวดำเนินการ $C * x^t$ และ $C * t x$

5.1 การออกแบบวงจรเทอร์นารีลอจิก

กำหนดให้วงจรเทอร์นารีลอจิกมีฟังก์ชัน $f(x,y)$ ที่มีสองอินพุต x และ y เป็นไปตามตารางความจริง (แสดงในตารางที่ 5.1) และมีผลลัพธ์เป็น C_i โดยที่ $x, y, C_i \in \{0,1,2\}$ และหากกำหนดให้

$$C_i * x^t = \begin{cases} \phi & (\text{if } x > t) \\ C_i & (\text{if } x < t) \end{cases} \quad (5.1)$$

และ

$$C_i * t x = \begin{cases} C_i & (\text{if } x > t) \\ \phi & (\text{if } x < t) \end{cases} \quad (5.2)$$

โดยที่ ϕ หมายถึง เซตว่าง (ไม่มีเอาต์พุตใดๆ)

t คือค่าเทรชโฮลด์ และ $t \in \{0.5, 1.5\}$

i คือค่าเทอร์นารีลอจิก และ $i \in \{0,1,2\}$

* คือพาสทรานซิสเตอร์ที่จะทำให้เอาต์พุตเป็น C_i

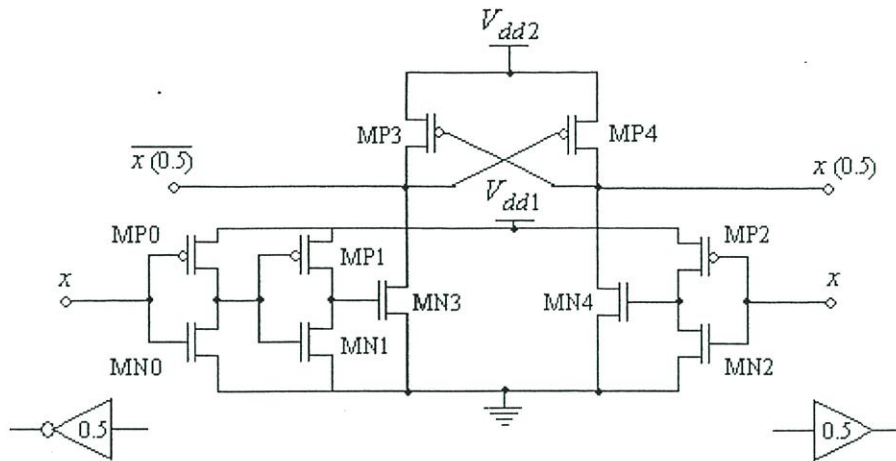
$$\begin{aligned}
 f(x,y) = & C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5} \cdot y^{1.5}) \# \\
 & C_2 * (x^{0.5} \cdot y^{1.5}) \# C_3 * (x^{0.5} \cdot x^{1.5} \cdot y^{0.5}) \# \\
 & C_4 * (x^{0.5} \cdot x^{1.5} \cdot y^{0.5}) \# \\
 & C_5 * (x^{0.5} \cdot x^{1.5} \cdot y^{1.5}) \# C_6 * (x^{1.5} \cdot y^{0.5}) \# \\
 & C_7 * (x^{1.5} \cdot y^{0.5}) \# C_8 * (x^{1.5} \cdot y^{1.5}) \#
 \end{aligned}
 \tag{5.3}$$

ตารางที่ 5.1 ตารางความจริงวงจรถอร์นารีลอจิก

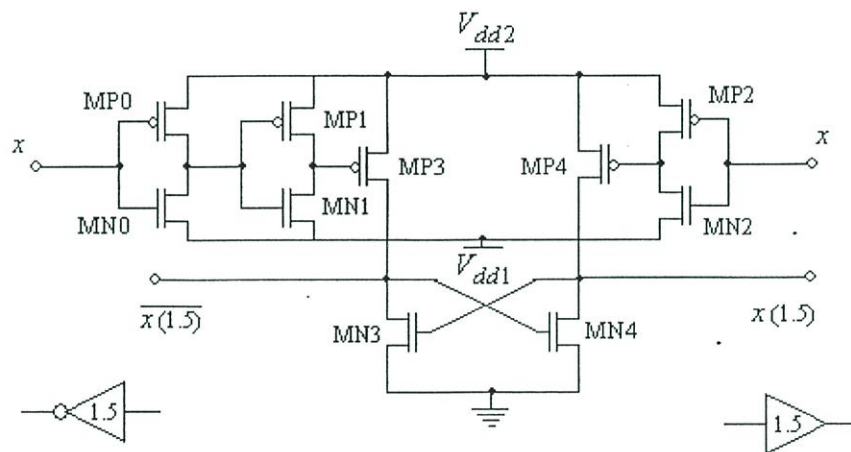
x	y	f(x,y)
0	0	C_0
0	1	C_1
0	2	C_2
1	0	C_3
1	1	C_4
1	2	C_5
2	0	C_6
2	1	C_7
2	2	C_8

โดยที่ ตัวดำเนินการ \cdot แทนฟังก์ชัน and สำหรับสัญญาณแบบไบนารี

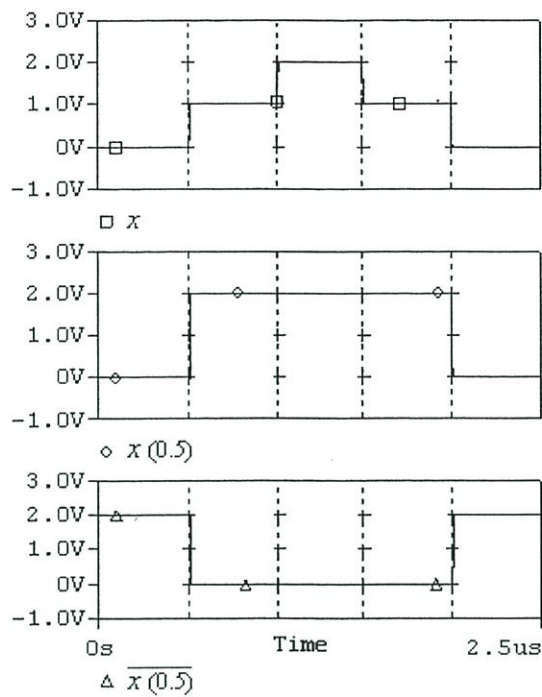
ตัวดำเนินการ $\#$ แทนฟังก์ชัน or สำหรับสัญญาณเทอร์นารี



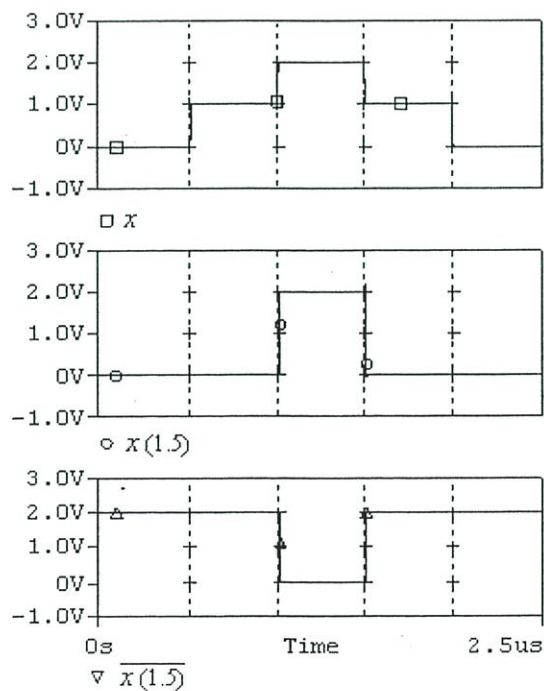
รูปที่ 5.3 วงจรเทรคโฮลด์เกิดแบบ DCVS เมื่อ $t = 0.5$



รูปที่ 5.4 วงจรเทรคโฮลด์เกิดแบบ DCVS เมื่อ $t = 1.5$



รูปที่ 5.5 ผลการจำลองการทำงานวงจรเทรคโวลต์เกิดแบบ DCVS เมื่อ $t = 0.5$



รูปที่ 5.6 ผลการจำลองการทำงานวงจรเทรคโวลต์เกิดแบบ DCVS เมื่อ $t = 1.5$

ซึ่งแต่ละเทอมในสมการที่ (5.3) สามารถสร้างขึ้นจากส่วนของวงจรถอดผ่าน-transistor และ transmission gate ดังแสดงในรูปที่ 5.1-5.2 ภายใต้เงื่อนไขต่าง ๆ ดังนั้นวงจรถอดผ่านที่มีฟังก์ชันใด ๆ สามารถสร้างขึ้นจากวงจรถอดผ่าน ๆ และทำการเชื่อมสัญญาณเอาต์พุตเข้าด้วยกันแทนด้วยดำเนินการ or (#)

เพื่อให้การทำงานเป็นไปอย่างถูกต้อง กำหนดให้ศักดาเทรตโวลต์ของ NMOS และ PMOS ทุกตัว มีค่าเท่ากับ 0.5 และ 1.5 ตามลำดับ ดังนั้นสัญญาณควบคุมที่ขาเกตของวงจรถอดผ่านในรูปที่ 5.1-5.2 สามารถเป็นได้ทั้งสัญญาณเทรอนารี (x) และสัญญาณไบนารีที่ได้จาก inverting และ non-inverting เอาต์พุตของวงจรถอดผ่าน DVCS ดังแสดงในรูปที่ 5.3 และรูปที่ 5.4 โดยที่ศักดาเทรตโวลต์ของ มอสทรานซิสเตอร์ทำหน้าที่เป็นระดับเทรตโวลต์ของฟังก์ชันได้เฉพาะกรณีที่มี $t-C = 0.5$ และไม่จำเป็นต้องปรับระดับสัญญาณควบคุม (x) ให้เป็นสัญญาณไบนารีอีก

ในกรณีอื่น สัญญาณควบคุมจำเป็นต้องถูกปรับให้มีสัญญาณไบนารีที่มีค่าที่เป็นไปได้คือ {0,2} จากรูปที่ 5.3 และรูปที่ 5.4 หากกำหนดให้ลอจิก 0, 1 และ 2 มีค่าศักดาเท่ากับ ground, V_{dd1} และ V_{dd2} ตามลำดับ โดยอาศัยวงจรถอดผ่านอินเวอร์เตอร์ (MP1-MN1) และ (MP2-MN2) ปรับสัญญาณให้มีค่า {0,1} และ {1,2} สำหรับ t เท่ากับ 0.5 และ 1.5 ตามลำดับ ก่อนที่จะถูกปรับด้วยวงจรถอดผ่าน DVCS (MP3-4 และ MN3-4) ให้มีค่า {0,2} อีกครั้งหนึ่ง ดังแสดงในตารางที่ 5.2 และรูปที่ 5.5 - 5.6 แสดงผลการจำลองการทำงานวงจรถอดผ่านเทรตโวลต์เกต

ตารางที่ 5.2 ตารางความจริงวงจรถอดผ่านเทรตโวลต์เกต

x	x(0.5)	$\overline{x(0.5)}$	x(1.5)	$\overline{x(1.5)}$
0	0	2	0	2
1	2	0	0	2
2	2	0	2	0

5.2 วงจรเทอร์นาไรลอจิก

แสดงวงจรเทอร์นาไรลอจิกพื้นฐานที่ถูกออกแบบด้วยวิธีที่นำเสนอ กำหนดให้

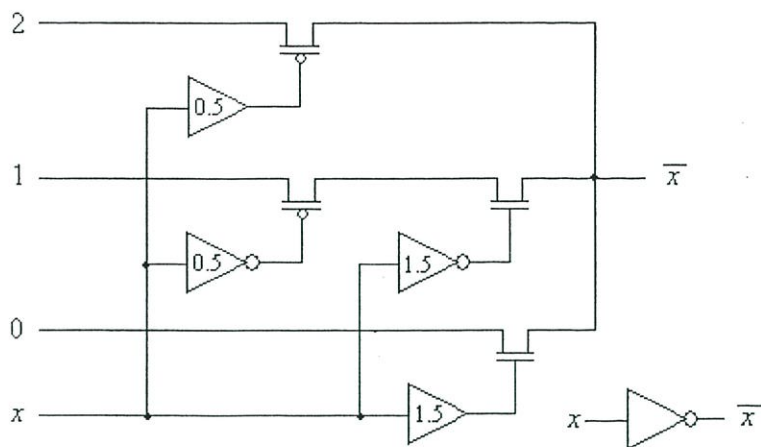
5.2.1 วงจรเทอร์นาไรอินเวอร์เตอร์ (\bar{x})

$$\bar{x} = \begin{cases} 2 & (\text{if } x = 0) \\ 1 & (\text{if } x = 1) \\ 0 & (\text{if } x = 2) \end{cases} \quad (5.4)$$

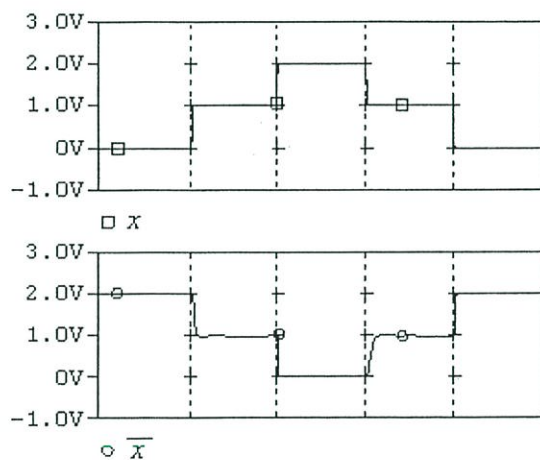
$$\bar{x} = 2 * x^{0.5} \# 1 * (x^{0.5} \cdot x^{1.5}) \# 0 * x^{1.5} \quad (5.5)$$

ตารางที่ 5.3 แสดงค่าความจริงของวงจรเทอร์นาไรอินเวอร์เตอร์

Input x	Output \bar{x}
0	2
1	1
2	0



รูปที่ 5.7 วงจร Ternary inverter



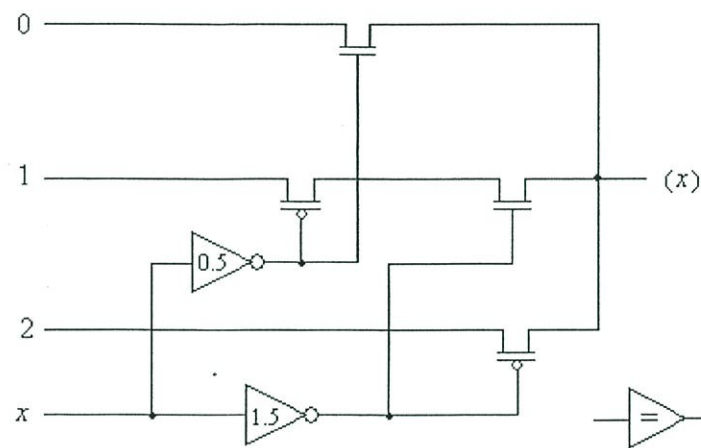
รูปที่ 5.8 ผลการจำลองการทำงาน วงจร Ternary inverter

5.2.2 วงจรบัฟเฟอร์ หรือ identity cell

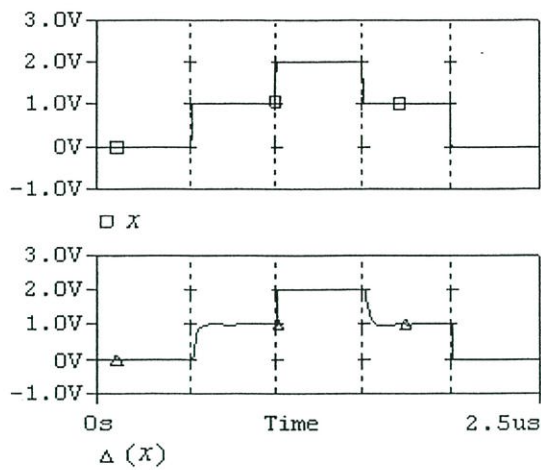
$$x = 0 * x^{0.5} \# 1 * (x^{0.5} \cdot x^{1.5}) \# 2 * x^{1.5} \tag{5.6}$$

ตารางที่ 5.4 แสดงค่าความจริงของวงจรับัพเฟอร์

Input x	Output x
0	0
1	1
2	2



รูปที่ 5.9 วงจรับัพเฟอร์



รูปที่ 5.10 ผลการจำลองการทำงานวงจรบัฟเฟอร์

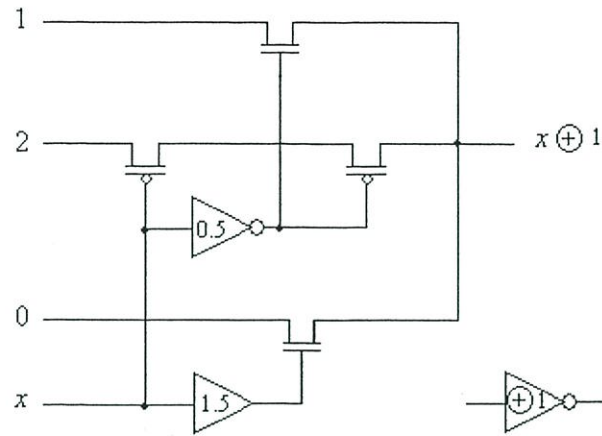
5.2.3 วงจร Modulo-1 Addition

$$x \oplus 1 = \text{mod}_3(x+1) \quad (5.7)$$

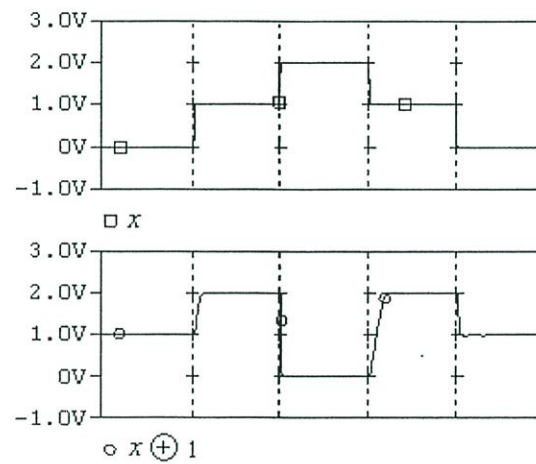
$$x \oplus 1 = 1 * x^{0.5} \# 2 * (x^{0.5} \cdot x^{1.5}) \# 0 * x^{1.5} \quad (5.8)$$

ตารางที่ 5.5 แสดงค่าความจริงของวงจร Modulo-1 Addition

Input x	Output $x \oplus 1$
0	1
1	2
2	0



รูปที่ 5.11 วงจร Modulo-1 Addition



รูปที่ 5.12 ผลการจำลองการทำงานวงจร Modulo-1 Addition

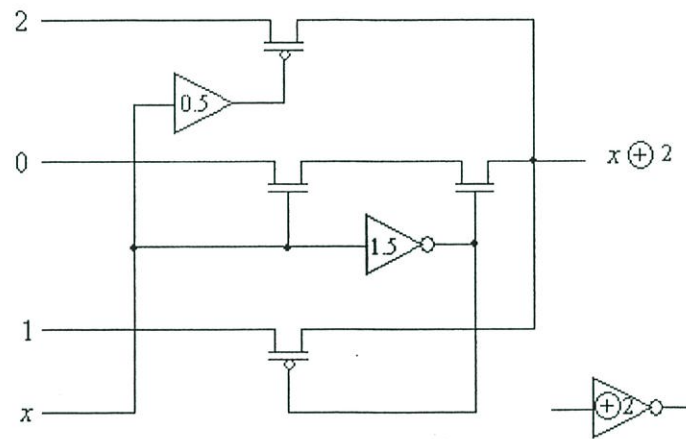
5.2.4 วงจร Modulo-2 Addition

$$x \oplus 2 = \text{mod}_3(x+2) \quad (5.9)$$

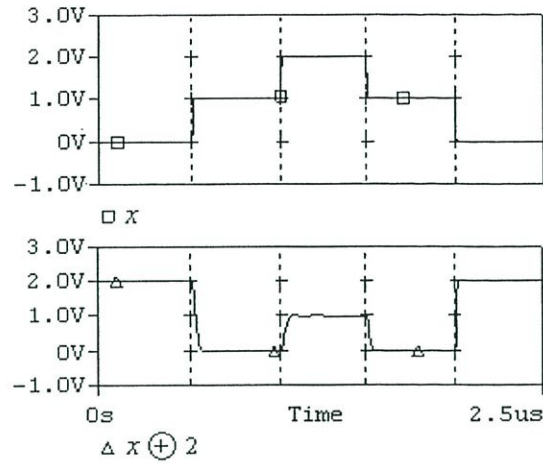
$$x \oplus 2 = 2 * x^{0.5} \# 0 * (0.5 x \cdot x^{1.5}) \# 1 * 1.5 x \quad (5.10)$$

ตารางที่ 5.6 แสดงค่าความจริงของวงจร Modulo-2 Addition

Input x	Output $x \oplus 2$
0	2
1	0
2	1



รูปที่ 5.13 วงจร Modulo-2 Addition



รูปที่ 5.14 ผลการจำลองการทำงานวงจร Modulo-2 Addition

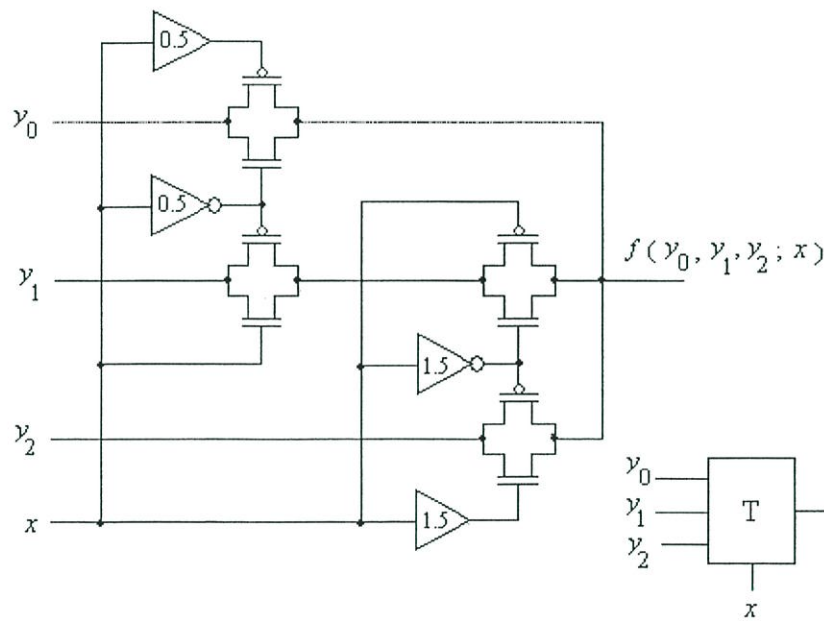
5.2.5 วงจรมัลติเพล็กซ์ 3:1

$$f(y_0, y_1, y_2; x, t) = \begin{cases} y_0 & (\text{if } x = 0) \\ y_1 & (\text{if } x = 1) \\ y_2 & (\text{if } x = 2) \end{cases} \quad (5.11)$$

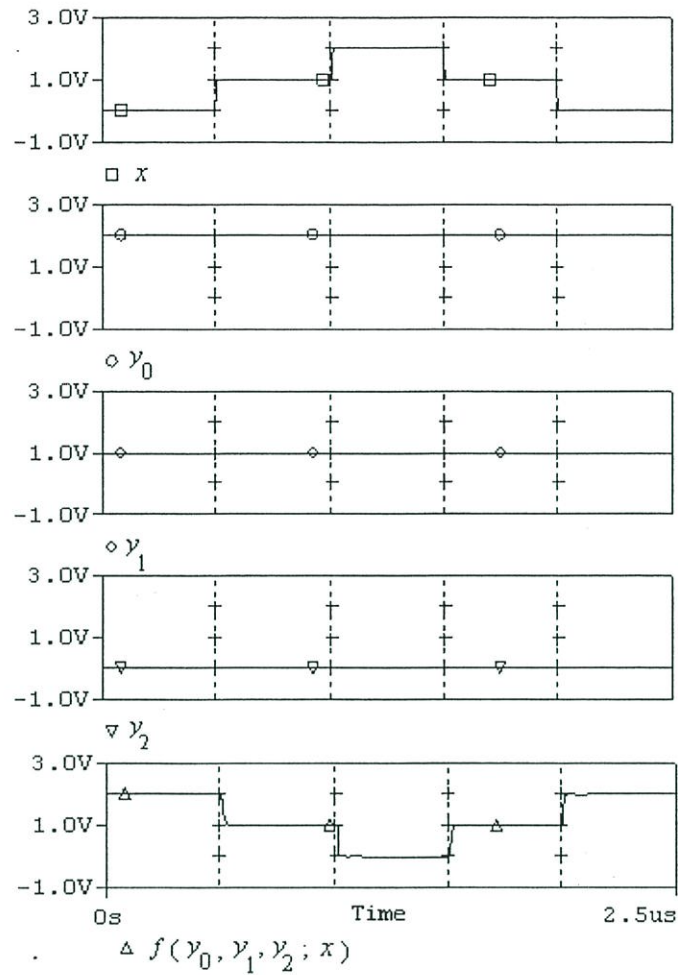
$$f(y_0, y_1, y_2; x, t) = y_0 * x^{0.5} \# y_1 * ({}^{0.5}x \cdot x^{1.5}) \# y_2 * {}^{1.5}x \quad (5.12)$$

ตารางที่ 5.7 แสดงค่าความจริงของวงจรมัลติเพล็กซ์ 3:1

Input x	Output $f(y_0, y_1, y_2; x)$
0	y_0
1	y_1
2	y_2



รูปที่ 5.15 วงจรมัลติเพล็กซ์ 3:1



รูปที่ 5.16 ผลการจำลองการทำงานวงจรมัลติเพล็กซ์ 3:1

ซึ่งสามารถแสดงวงจรและผลการจำลองได้ในรูปที่ 5.7 - 5.16 ตามลำดับ กำหนดให้ลอจิก 0, 1 และ 2 มีค่าศักดาเท่ากับ 0, 1 และ 2 โวลต์ตามลำดับ ดังนั้นเทรคโฮลด์ $t \in \{0.5, 1.5\}$ การทดสอบวงจรด้วยโปรแกรมจำลอง PSPICE และใช้แบบจำลองมอดูลของ MOSIS เทคโนโลยี 0.5 μm

ตารางที่ 5.8 ค่าหน่วยเวลาวงจรเทอร์นารีที่นำเสนอ (nsec.)

ประเภทวงจร	0→1	1→0	1→2	2→1	0→2	2→0
วงจรเทอร์นารีอินเวอร์เตอร์	24	5	7	14	10	7
วงจรบัฟเฟอร์ หรือ identity cell	23	7	7	28	8	10
วงจร Modulo-1 Addition	7	7	22	12	42	7
วงจร Modulo-2 Addition	21	16	8	4	8	24
วงจรมัลติเพล็กซ์ 1:2 แบบ threshold-0.5	2	5	6	8	5	3
วงจรมัลติเพล็กซ์ 1:2 แบบ threshold-1.5	2	5	6	8	5	3
วงจรมัลติเพล็กซ์ 1:3	2	5	6	8	8	10

บทที่ 6

สรุปผลการวิเคราะห์

เทคนิคหนึ่งที่นิยมใช้ในการออกแบบวงจร MVL คือการออกแบบวงจรแบบ pass-transistor logic [2-4] ทำหน้าที่ผ่านสัญญาณที่มีสามระดับ และควบคุมการทำงานของ pass-transistor ด้วยการเชื่อมโยงสัญญาณที่มีสามระดับเข้ากับขาเกตของทรานซิสเตอร์ และการกำหนดศักดาเทรตโวลต์ของทรานซิสเตอร์อย่างเหมาะสม วิธีการนี้จำเป็นต้องอาศัยกระบวนการผลิตพิเศษ ในการยิงอะตอมของสารเจือ (ion-implantation) ได้เกิดเพื่อปรับค่าศักดาเทรตโวลต์ แม้ว่าการปรับค่าศักดาเทรตโวลต์จะสามารถทำได้โดยการปรับค่าศักดาฐานรอกกับซอร์ส (Bulk-Source voltage, V_{BS}) ก็ตาม ก็เชื่อมโยงสัญญาณสู่ฐานรอกของทรานซิสเตอร์แต่ละตัวอย่างอิสระจำเป็นต้องสร้างวงจรด้วยเทคนิคพิเศษแบบ SOI (Silicon On Insulator) ซึ่งยากต่อการควบคุมและมีราคาแพง

การออกแบบวงจรเทอร์นารีแบบ pass-transistor logic ซึ่งถูกควบคุมด้วยสัญญาณไบนารีที่ถูกปรับขนาดให้เหมาะสมด้วยวงจร Differential Cascode Voltage Switch (DCVS) ดังนั้นสามารถออกแบบให้ทรานซิสเตอร์ที่ใช้ในวงจรมีค่าศักดาเทรตโวลต์เท่ากัน ซึ่งง่ายต่อการผลิต

ในวิทยานิพนธ์ฉบับนี้การออกแบบวงจรที่นำเสนอทำให้ได้วงจรเทอร์นารีลอจิกที่มีประสิทธิภาพสูง และรองรับฟังก์ชันที่สลับซับซ้อน โดยอาศัยเทคนิคการออกแบบวงจรแบบ pass-transistor และการปรับขนาดสัญญาณควบคุมด้วยวงจร DVCS วิธีการนี้ยังสามารถขยายสู่วงจร MVL ชนิดอื่น ๆ รวมถึงสามารถออกแบบเป็นวงจรลอจิกแบบ Sequential ได้อีกด้วย

ข้อเสนอแนะในการนำวงจรเทอร์นารีที่ได้ออกแบบขึ้นนี้อาจจะนำไปใช้ได้กับวงจรดิจิทัลทั่วไป แต่จะต้องออกแบบวงจรเพิ่มเติมเพื่อที่จะเข้ารหัสหรือถอดรหัสดังรูปที่ 3.3 และรูปที่ 3.5 ให้เป็นลักษณะไบนารีซึ่งอาจจะยุ่งยาก แต่หากนำไปใช้กับวงจรหรือระบบที่เป็นเทอร์นารีสามารถนำไปใช้ร่วมกับวงจรอื่นได้

บรรณานุกรม

- [1] H. T. Mouftah and I.B. Jordan, "Design of Ternary COS/MOS Memory and Sequential Circuit" IEEE Trans.Computer, pp. 281-288, 1977.
- [2] X. Wu and F. Prosses, "Ternary CMOS Sequential Circuit", Proc. 18th International Symposium on MVL, pp. 307-313,1988.
- [3] X. Wu and X. Chen, "Ternary Flip-Flops with triple-rail output and their application in ternary sequential circuit", Scienta Sinica, pp.1208-1221, 1985.
- [4] O. Ishizaka, "Synthesis of a Pass Transistor Network Applied to Multi-Valued Logic", Proc. IBID, pp. 51-57, 1986.
- [5] J. P. Uyemura, "Circuit Design for CMOS VLSI," Kluwer Academic Publishers, Norwell, MA, 1992.
- [6] J. Yuan and C. Svenson, "High-speed CMOS Circuit Technique," IEEE J. Solid-State Circuit, vol. 4, no. 1, pp. 62-71, February 1989.
- [7] T. T. Dao, "Threshold I^2L and its application in binary symmetric functions and multivalued logic." IEEE J. Solid-State Circuit, pp. 463-475, Oct. 1977.
- [8] C. R. Edwards, " I^2L threshold circuits for binary-quaternary encoding and decoding," Int. J. Electrons., vol. 44, no. 4, pp. 445-448, 1978.
- [9] J. G. Tront and D. Givone, "Multiple-Valued Logic gates using MESFETS," inProc.9th Int. Symp. Multiple-Valued Logic, pp. 175-181, May 1979.

- [10] C. Y. Lee and W. H. Chen, "Several-valued combinational switching circuit," AIEE Trans., vol. 75, pp. 278-283, pt. I, July 1956.
- [11] T. Higuchi and M. Kamiyama, "Ternary logic system based on T-gate," Proc. 5th Int. Symp. Multiple-Valued Logic, Bloomington, IN, pp.290-304, May 1975.
- [12] Z. G. Vranesic, K. C. Smith and A. Druzeta, "Electronic implementation of multi-valued logic networks," Proc. 4th Int. Symp. Multiple-Valued Logic, Morgantown, WV, pp.59-77 May 1974.
- [13] K. W. Current and D. A. Mow, "Four valued threshold logic full adder circuit implementation," Proc. 8th Symp. Multiple-Valued Logic, pp. 95-100, May 1978.
- [14] K. C. Smith, "Circuit for multiple-valued logic –A tutorial and appreciation," Proc. 6th Int. Symp. Multiple-Valued Logic, pp.30-43, May 1976.
- [15] E. J. McCluskey, "Logic design of MOS ternary logic," Proc. 10th Int. Symp. Multiple-Valued Logic, pp. 1-5, June 1980.

ภาคผนวก

ภาคผนวก ก

ผลงานทางวิชาการที่ได้รับการตีพิมพ์

- [1] สมปอง วิเศษพานิชกิจ, พิชัย สุวรรณลอยล่อง และ กอบชัย เคชหาญ “การออกแบบวงจรเทอร์นาโรลจิก” วิศวกรรมลาดกระบัง ปีที่ 25 ฉบับที่ 4 เดือนธันวาคม พ.ศ. 2551

ภาคผนวก ข

มอดูลทรานซิสเตอร์โมเดลที่ใช้ในการทดสอบวงจร

ตาราง ข.1 ขนาดความกว้างต่อความยาวช่องทางเดินกระแสของทรานซิสเตอร์ (W/L) วงจรเทรค

โพลีเกตแบบ DCVS โดย $t = 0.5$

PMOS	ความกว้างแชนแนล W/L ($\mu\text{m}/\mu\text{m}$)	NMOS	ความกว้างแชนแนล W/L($\mu\text{m}/\mu\text{m}$)
MP0	4/0.5	MN0	2/0.5
MP1	4/0.5	MN1	2/0.5
MP2	4/0.5	MN2	2/0.5
MP3	2/0.5	MN3	4/0.5
MP4	2/0.5	MN4	4/0.5

ตาราง ข.2 ขนาดความกว้างต่อความยาวช่องทางเดินกระแสของทรานซิสเตอร์ (W/L) วงจรเทรค

โพลีเกตแบบ DCVS โดย $t = 0.5$

PMOS	ความกว้างแชนแนล W/L ($\mu\text{m}/\mu\text{m}$)	NMOS	ความกว้างแชนแนล W/L($\mu\text{m}/\mu\text{m}$)
MP0	4/0.5	MN0	2/0.5
MP1	4/0.5	MN1	2/0.5
MP2	4/0.5	MN2	2/0.5
MP3	8/0.5	MN3	0.5/0.5
MP4	8/0.5	MN4	0.5/0.5

ตารางที่ ข.3 SPICE พารามิเตอร์ของมอสทรานซิสเตอร์

.MODEL PMOS05U PMOS
LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58 +JS=0.38E-6 XJ=0.10U RSH=1.81 LD=0.03U +VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00 +THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2 +CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631 +CGSO=1.38E-10+ CGDO=1.38E-10 GBO=3.45E-10 +KF=1.08E-29 AF=1 WD=0.14U DELTA=0.81 +NFS=0.52E11)
.MODEL NMOS05U NMOS
(LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62 +JS=1.08E-6 XJ=0.15U RSH=2.73 LD=0.04U +VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00 +THETA=0.129 PHI=0.905 GAMMA=0.69 +KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10 +MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10 +CGBO=3.45E-10 KF=3.07E-28 AF=1 WD=0.11U +DELTA=0.42 NFS=1.2E11)

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายพิชัย สุวรรณลอยล่อง
วัน เดือน ปีเกิด	5 ธันวาคม 2526 ที่จังหวัดตรัง
ประวัติการศึกษา	2547 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมคอมพิวเตอร์ มหาวิทยาลัยรามคำแหง
ปัจจุบัน	ทำงานในตำแหน่งอาจารย์พิเศษ ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยรามคำแหง