

การสร้างวงจรกรองสัญญาณปรับค่าน่วงเป็นเศษส่วนโดยใช้เอฟพีจีเอ

AN FPGA-BASED IMPLEMENTATION OF
VARIABLE FRACTIONAL DELAY FILTER

อัสนัย นธิโรจนานนท์

USSANAI NITHROCHANANONT

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาระดับปริญญาตรี สาขาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2000 EN-M-010-180

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การสร้างวงจรกรองสัญญาณปรับค่าหน่วยเป็นเศษส่วนโดยใช้เอฟพีจีเอ

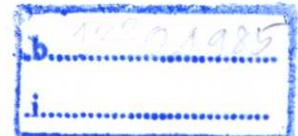
AN FPGA-BASED IMPLEMENTATION OF
VARIABLE FRACTIONAL DELAY FILTER



อศันัย นิธิโรจนานนท์

USSANAI NITHIROCHANANONT

เลขหมู่.....
เลขทะเบียน...107460
วัน,เดือน,ปี...29 มี.ค. 2553



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-M-010-180

**AN FPGA-BASED IMPLEMENTATION OF
VARIABLE FRACTIONAL DELAY FILTER**

USSANAI NITHIROCHANANONT

**A THESIS SUBMITTED IN PARTIAL FULFILMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2009
KMITL-2009-EN-M-010-180**

COPYRIGHT 2009

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การสร้างวงจรกรองสัญญาณปรับค่าหน่วงเป็นเศษส่วนโดยใช้เอฟพีจีเอ
Thesis Title An FPGA-Based Implementation of Variable Fractional Delay Filter
นักศึกษา นายอศนัย นิธิโรจนานนท์
รหัสประจำตัว 50060902
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.กอบชัย เดชหาญ
หมายเลขวิทยานิพนธ์ KMITL-2009-EN-M-010-180

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ดร.ศิริภพ	ผู้ประกาย	
ดร.มนตรี	คำเงิน	
รศ.จิระศักดิ์	ชาญวุฒิชรรม	
รศ.ดร.ฟูศักดิ์	ชีวิสุวิทย์	
รศ.ดร.กอบชัย	เดชหาญ	

วัน/เดือน/ปี ที่สอบ วันอังคารที่ 1 ธันวาคม พ.ศ. 2552 เวลา 09.00-11.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 1

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 1 ธันวาคม พ.ศ. 2552

สำนักทะเบียนและประมวลผล สจล.
วันที่ส่งเล่มวิทยานิพนธ์ฉบับสมบูรณ์
วันที่ 25 เดือน... ปี... พ.ศ. 2552
ลงชื่อ.....

หัวข้อวิทยานิพนธ์	การสร้างวงจรกรองสัญญาณปรับค่านั่งเป็นเศษส่วน โดยใช้เอฟพีจีเอ
นักศึกษา	นายอศนัย นิธิโรจนานนท์
รหัสนักศึกษา	50060902
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2552
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ. ดร. กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบสถาปัตยกรรมฮาร์ดแวร์ของวงจรกรองสัญญาณปรับค่านั่งเป็นเศษส่วนหรือวงจรกรองสัญญาณวีเอฟดี สำหรับการนำไปสร้างจริงโดยใช้เอฟพีจีเอ ซึ่งวงจรกรองสัญญาณชนิดนี้ใช้สำหรับการนั่งเวลาสัญญาณเป็นค่าเศษส่วน เหมาะสำหรับการนำไปประยุกต์ใช้งานที่ต้องการการนั่งเป็นค่าเศษส่วน ตัวอย่างเช่น การกักเก็บจังหวะเวลาของสัญญาณในเครื่องรับแบบดิจิทัล การแปลงค่าการสุ่มตัวอย่างสัญญาณอัตราใด ๆ หรือการกำจัดสัญญาณเสียงสะท้อน โดยการสร้างวงจรกรองสัญญาณชนิดนี้จะอาศัยโครงสร้างเทย์เลอร์ ซึ่งมีประสิทธิภาพในการลดจำนวนอุปกรณ์ที่ใช้สำหรับการคำนวณผลลัพธ์ เมื่อเปรียบเทียบกับโครงสร้างฟาร์โรว์และโครงสร้างฟาร์โรว์ที่ดัดแปลง สำหรับการคูณจะใช้เลขคณิตกระจายมาคำนวณผลคูณ ซึ่งเป็นการคำนวณที่มีประสิทธิภาพที่สุดสำหรับการออกแบบวงจร โดยเลขคณิตกระจายที่ใช้เป็นเลขคณิตกระจายแบบขนาน ซึ่งมีประสิทธิภาพในการคำนวณที่เร็วกว่าเลขคณิตกระจายแบบอนุกรม วงจรกรองสัญญาณที่ออกแบบมีการจำลองการทำงานเพื่อหาผลตอบสนองเชิงขนาดและนำมาเปรียบเทียบกับค่าทฤษฎี

Thesis	An FPGA-Based Implementation of Variable Fractional Delay Filter
Student	Mr. Ussanai Nithirochananont
Student ID.	50060902
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2009
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This thesis concerns about hardware architecture design of a variable fractional delay filter (VFD filter) for FPGA-based implementation. The VFD filter is used to fractionally delay signal in applications such as symbol timing recovery, arbitrary sampling rate conversion and echo cancellation. The implementation utilizes an efficient structure so called Taylor structure. The main advantage of this structure is to reduce the number of multiplier and adder when compared with Farrow structure and modified Farrow structure. The multiplication in VFD filter will use the distributed arithmetic (DA) which has extreme computational efficiency and best exploit for circuit design. The utilized DA is a parallel distributed arithmetic (PDA) which can perform faster than the traditional DA or serial distributed arithmetic (SDA). The proposed VFD filter will be performed functional simulation for investigating the magnitude response when compared with theoretical magnitude response.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี เนื่องด้วยคำแนะนำ คำปรึกษา ตลอดจนการดูแลอย่างเอาใจใส่จาก รศ. ดร. กอบชัย เดชหาญ อาจารย์ที่ปรึกษา และขอขอบพระคุณ อ. ดร. ศรวิวัฒน์ ชิวปรีชา สำหรับคำแนะนำและการชี้แนะแนวทางการวิจัย

ขอขอบพระคุณกรรมการคุมสอบวิทยานิพนธ์ทุกท่าน ที่ได้กรุณาชี้แนะข้อบกพร่องและให้คำแนะนำในการแก้ไขวิทยานิพนธ์

ขอขอบคุณนางสาวกรกานต์ คำประเสริฐ สำหรับความช่วยเหลือในการตรวจสอบผลการจำลองการทำงาน และนายเนติรัฐ นิธิโรจนานนท์ สำหรับความช่วยเหลือทางด้านภาษา

ขอขอบพระคุณบิดา มารดา ที่คอยช่วยเหลือ สนับสนุน ให้คำปรึกษาและกำลังใจตลอดมาจนวิทยานิพนธ์ฉบับนี้เสร็จสมบูรณ์ ความรู้ตลอดจนประโยชน์อันใดก็ตาม ซึ่งเป็นคุณความดีอันเกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่บิดามารดาอันเป็นที่รักอีกทั้งครูอาจารย์ที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีแก่ข้าพเจ้า

อศนัย นิธิโรจนานนท์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	IX
สารบัญรูป.....	XV
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมติฐานของการศึกษา.....	1
1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	2
1.6 ขั้นตอนการศึกษา.....	2
1.7 ประโยชน์ที่คาดว่าจะได้รับ.....	3
บทที่ 2 งานวิจัยที่เกี่ยวข้อง.....	4
2.1 บทนำ.....	4
2.2 บทความ Efficient Structure of Lagrange Interpolation Filter.....	4
2.3 บทความ An FPGA-Based Parallel Distributed Arithmetic Implementation of the 1-D Discrete Wavelet Transform.....	6
2.4 สรุป.....	7
บทที่ 3 ทฤษฎีที่ใช้ในการวิจัย.....	8
3.1 บทนำ.....	8
3.2 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน.....	8
3.2.1 การหน่วงสัญญาณเวลาต่อเนื่องและไม่ต่อเนื่องในอุดมคติ.....	9
3.2.2 การหน่วงเป็นค่าเศษส่วนและคุณลักษณะของระบบ การหน่วงเป็นค่าเศษส่วนในอุดมคติ.....	12

สารบัญ (ต่อ)

	หน้า
3.2.3 การประมาณค่าการหน่วงเป็นเศษส่วนแบบเอฟไออาร์ ที่มีผลตอบสนองราบเรียบมากที่สุด.....	15
3.2.4 การอินเตอร์โพลชันแบบลากรานจ์.....	18
3.2.5 โครงสร้างพาร์โรว์สำหรับการอินเตอร์โพลชันแบบลากรานจ์.....	19
3.2.6 โครงสร้างพาร์โรว์ที่ดัดแปลงสำหรับการอินเตอร์โพลชัน แบบลากรานจ์.....	22
3.2.7 โครงสร้างแท็ลเลอร์สำหรับการอินเตอร์โพลชันแบบลากรานจ์.....	23
3.2.8 การเปรียบเทียบจำนวนอุปกรณ์.....	24
3.3 เลขคณิตกระจาย.....	24
3.3.1 เลขคณิตกระจายแบบอนุกรม.....	25
3.3.2 เลขคณิตกระจายแบบขนาน.....	26
3.4 สรุป.....	27
บทที่ 4 การออกแบบวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน.....	28
4.1 บทนำ.....	28
4.2 ระบบตัวเลขที่ใช้ในการออกแบบวงจร.....	28
4.2.1 ข้อมูลอินพุต.....	29
4.2.2 อันดับของวงจรกรองสัญญาณ.....	29
4.2.3 ผลลัพธ์จากการคำนวณ.....	29
4.3 การออกแบบวงจรร้อย 1 สเตจ.....	31
4.3.1 วงจรหน่วงเวลา 1 หน่วย.....	32
4.3.2 วงจรบวกสเตจ.....	33
4.3.3 วงจรลบสเตจ.....	34
4.3.4 วงจรคูณ.....	34
4.4 การออกแบบวงจรเลขคณิตกระจายแบบขนาน.....	35
4.4.1 วงจรแยกบิต.....	36
4.4.2 วงจรเลื่อนบิต.....	37
4.4.3 วงจรบวกพีดีเอ.....	37

สารบัญ (ต่อ)

	หน้า
4.4.4 วงจรลพพีคี่เอ.....	38
4.4.5 วงจรตัดความยาวบิต.....	39
4.4.6 ตารางเปิดดู.....	39
4.5 สรุป.....	43
บทที่ 5 การจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน.....	44
5.1 บทนำ.....	44
5.2 การจำลองการทำงานวงจรส่วนประกอบของวงจร	
เลขคณิตกระจายแบบขนาน.....	45
5.2.1 วงจรแยกบิต.....	45
5.2.2 วงจรเลื่อนบิต 1 บิต.....	51
5.2.3 วงจรเลื่อนบิต 2 บิต.....	51
5.2.4 วงจรเลื่อนบิต 3 บิต.....	52
5.2.5 วงจรเลื่อนบิต 4 บิต.....	53
5.2.6 วงจรเลื่อนบิต 5 บิต.....	54
5.2.7 วงจรเลื่อนบิต 6 บิต.....	54
5.2.8 วงจรเลื่อนบิต 7 บิต.....	55
5.2.9 วงจรเลื่อนบิต 8 บิต.....	56
5.2.10 วงจรเลื่อนบิต 9 บิต.....	57
5.2.11 วงจรเลื่อนบิต 10 บิต.....	57
5.2.12 วงจรเลื่อนบิต 11 บิต.....	58
5.2.13 วงจรเลื่อนบิต 12 บิต.....	59
5.2.14 วงจรเลื่อนบิต 13 บิต.....	60
5.2.15 วงจรเลื่อนบิต 14 บิต.....	60
5.2.16 วงจรเลื่อนบิต 15 บิต.....	61
5.2.17 วงจรเลื่อนบิต 16 บิต.....	62
5.2.18 วงจรเลื่อนบิต 17 บิต.....	63
5.2.19 วงจรเลื่อนบิต 18 บิต.....	63

สารบัญ (ต่อ)

	หน้า
5.2.20 วงจรเลื่อนบิต 19 บิต.....	64
5.2.21 วงจรเลื่อนบิต 20 บิต.....	65
5.2.22 วงจรเลื่อนบิต 21 บิต.....	66
5.2.23 วงจรเลื่อนบิต 22 บิต.....	66
5.2.24 วงจรเลื่อนบิต 23 บิต.....	67
5.2.25 วงจรเลื่อนบิต 24 บิต.....	68
5.2.26 วงจรเลื่อนบิต 25 บิต.....	69
5.2.27 วงจรเลื่อนบิต 26 บิต.....	69
5.2.28 วงจรเลื่อนบิต 27 บิต.....	70
5.2.29 วงจรเลื่อนบิต 28 บิต.....	71
5.2.30 วงจรเลื่อนบิต 29 บิต.....	72
5.2.31 วงจรเลื่อนบิต 30 บิต.....	72
5.2.32 วงจรเลื่อนบิต 31 บิต.....	73
5.2.33 วงจรบวกพีซีเอ.....	74
5.2.34 วงจรลบพีซีเอ.....	79
5.2.35 วงจรตัดความยาวบิต.....	83
5.2.36 ตารางเปิดคู่อ่าสัมประสิทธิ์ชุดที่ 11.....	83
5.2.37 ตารางเปิดคู่อ่าสัมประสิทธิ์ชุดที่ 12.....	84
5.2.38 ตารางเปิดคู่อ่าสัมประสิทธิ์ชุดที่ 21.....	85
5.2.39 ตารางเปิดคู่อ่าสัมประสิทธิ์ชุดที่ 22.....	86
5.2.40 ตารางเปิดคู่อ่าสัมประสิทธิ์ชุดที่ 31.....	86
5.2.41 ตารางเปิดคู่อ่าสัมประสิทธิ์ชุดที่ 32.....	87
5.2.42 ตารางเปิดคู่อ่าการหน่วง.....	88
5.3 การจำลองการทำงานวงจรเลขคณิตกระจายแบบขนาน.....	91
5.3.1 วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์.....	94
5.3.2 วงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง.....	96
5.4 การจำลองการทำงานวงจรส่วนประกอบของวงจรย่อย 1 สเตจ.....	100
5.4.1 วงจรหน่วงเวลา 1 หน่วย.....	100

สารบัญ (ต่อ)

	หน้า
5.4.2 วงจรหน่วงเวลา 2 หน่วย.....	101
5.4.3 วงจรหน่วงเวลา 4 หน่วย.....	102
5.4.4 วงจรบวกสแดง.....	104
5.4.5 วงจรลบสแดง.....	105
5.5 การจำลองการทำงานวงจรย่อย 1 สแดง.....	106
5.5.1 วงจรย่อย 1 สแดง แบบที่ 1.....	107
5.5.2 วงจรย่อย 1 สแดง แบบที่ 2.....	115
5.5.3 วงจรย่อย 1 สแดง แบบที่ 3.....	123
5.6 การจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน.....	131
5.6.1 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1.....	132
5.6.2 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2.....	140
5.6.3 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3.....	147
5.6.4 การเปรียบเทียบผลการจำลองการทำงานกับค่าทฤษฎี.....	154
5.7 สรุป.....	176
บทที่ 6 สรุปผลการวิจัย.....	177
6.1 สรุปผลการวิจัย.....	177
6.2 ปัญหาและการแก้ไข.....	177
6.3 แนวทางการพัฒนางานวิจัย.....	178
เอกสารอ้างอิง.....	179
ภาคผนวก.....	180
ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	181
ประวัติผู้เขียน.....	187

สารบัญตาราง

ตารางที่	หน้า
4.1 ค่าสัมประสิทธิ์และค่าการหน่วงตามข้อกำหนด ในการสร้างวงจรกรองสัญญาณวีเอพีดี	29
4.2 ค่าสูงสุดและค่าต่ำสุดจากการคำนวณ	30
4.3 ค่าคงที่ของวงจรกรองสัญญาณวีเอพีดีที่นำเสนอ	32
5.1 ผลการจำลองการทำงานวงจรแยกบิต บิตที่ 1 ถึง บิตที่ 16	46
5.2 ผลการจำลองการทำงานวงจรแยกบิต บิตที่ 17 ถึง บิตที่ 32	48
5.3 ผลการจำลองการทำงานวงจรเลื่อนบิต 1 บิต	51
5.4 ผลการจำลองการทำงานวงจรเลื่อนบิต 2 บิต	52
5.5 ผลการจำลองการทำงานวงจรเลื่อนบิต 3 บิต	52
5.6 ผลการจำลองการทำงานวงจรเลื่อนบิต 4 บิต	53
5.7 ผลการจำลองการทำงานวงจรเลื่อนบิต 5 บิต	54
5.8 ผลการจำลองการทำงานวงจรเลื่อนบิต 6 บิต	55
5.9 ผลการจำลองการทำงานวงจรเลื่อนบิต 7 บิต	55
5.10 ผลการจำลองการทำงานวงจรเลื่อนบิต 8 บิต	56
5.11 ผลการจำลองการทำงานวงจรเลื่อนบิต 9 บิต	57
5.12 ผลการจำลองการทำงานวงจรเลื่อนบิต 10 บิต	58
5.13 ผลการจำลองการทำงานวงจรเลื่อนบิต 11 บิต	58
5.14 ผลการจำลองการทำงานวงจรเลื่อนบิต 12 บิต	59
5.15 ผลการจำลองการทำงานวงจรเลื่อนบิต 13 บิต	60
5.16 ผลการจำลองการทำงานวงจรเลื่อนบิต 14 บิต	61
5.17 ผลการจำลองการทำงานวงจรเลื่อนบิต 15 บิต	61
5.18 ผลการจำลองการทำงานวงจรเลื่อนบิต 16 บิต	62
5.19 ผลการจำลองการทำงานวงจรเลื่อนบิต 17 บิต	63
5.20 ผลการจำลองการทำงานวงจรเลื่อนบิต 18 บิต	64
5.21 ผลการจำลองการทำงานวงจรเลื่อนบิต 19 บิต	64
5.22 ผลการจำลองการทำงานวงจรเลื่อนบิต 20 บิต	65
5.23 ผลการจำลองการทำงานวงจรเลื่อนบิต 21 บิต	66
5.24 ผลการจำลองการทำงานวงจรเลื่อนบิต 22 บิต	67

สารบัญตาราง (ต่อ)

ตารางที่	หน้า
5.25 ผลการจำลองการทำงานวงจรเลื่อนบิต 23 บิต.....	67
5.26 ผลการจำลองการทำงานวงจรเลื่อนบิต 24 บิต.....	68
5.27 ผลการจำลองการทำงานวงจรเลื่อนบิต 25 บิต.....	69
5.28 ผลการจำลองการทำงานวงจรเลื่อนบิต 26 บิต.....	70
5.29 ผลการจำลองการทำงานวงจรเลื่อนบิต 27 บิต.....	70
5.30 ผลการจำลองการทำงานวงจรเลื่อนบิต 28 บิต.....	71
5.31 ผลการจำลองการทำงานวงจรเลื่อนบิต 29 บิต.....	72
5.32 ผลการจำลองการทำงานวงจรเลื่อนบิต 30 บิต.....	73
5.33 ผลการจำลองการทำงานวงจรเลื่อนบิต 31 บิต.....	73
5.34 ผลการจำลองการทำงานวงจรบวกพีดีเอ.....	75
5.35 ผลการจำลองการทำงานวงจรลบพีดีเอ.....	79
5.36 ผลการจำลองการทำงานวงจรตัดความยาวบิต.....	83
5.37 ผลการจำลองการทำงานตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 11.....	84
5.38 ผลการจำลองการทำงานตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 12.....	84
5.39 ผลการจำลองการทำงานตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 21.....	85
5.40 ผลการจำลองการทำงานตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 22.....	86
5.41 ผลการจำลองการทำงานตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 31.....	87
5.42 ผลการจำลองการทำงานตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 32.....	87
5.43 ผลการจำลองการทำงานตารางเปิดคู่ค่าการหน่วง.....	88
5.44 ผลการจำลองการทำงานวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์.....	94
5.45 ผลการจำลองการทำงานวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง.....	97
5.46 ผลการจำลองการทำงานวงจรหน่วงเวลา 1 หน่วย.....	100
5.47 ผลการจำลองการทำงานวงจรหน่วงเวลา 2 หน่วย.....	101
5.48 ผลการจำลองการทำงานวงจรหน่วงเวลา 4 หน่วย.....	103
5.49 ผลการจำลองการทำงานวงจรบวกสแดง.....	104
5.50 ผลการจำลองการทำงานวงจรลบสแดง.....	105
5.51 ผลการจำลองการทำงานวงจรย่อย 1 สแดง แบบที่ 1 ค่าการหน่วง 0.5.....	108
5.52 ผลการจำลองการทำงานวงจรย่อย 1 สแดง แบบที่ 1 ค่าการหน่วง 0.6.....	109

สารบัญตาราง (ต่อ)

ตารางที่	หน้า
5.53 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 1 ค่าการหน่วง 0.7.....	110
5.54 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 1 ค่าการหน่วง 0.8.....	111
5.55 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 1 ค่าการหน่วง 0.9.....	112
5.56 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 1 ค่าการหน่วง 1.0.....	113
5.57 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 2 ค่าการหน่วง 0.5.....	116
5.58 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 2 ค่าการหน่วง 0.6.....	117
5.59 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 2 ค่าการหน่วง 0.7.....	118
5.60 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 2 ค่าการหน่วง 0.8.....	119
5.61 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 2 ค่าการหน่วง 0.9.....	120
5.62 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 2 ค่าการหน่วง 1.0.....	121
5.63 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 3 ค่าการหน่วง 1.5.....	124
5.64 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 3 ค่าการหน่วง 1.6.....	125
5.65 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 3 ค่าการหน่วง 1.7.....	126
5.66 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 3 ค่าการหน่วง 1.8.....	127
5.67 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 3 ค่าการหน่วง 1.9.....	128
5.68 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 3 ค่าการหน่วง 2.0.....	129
5.69 ความถี่ที่ใช้ในการจำลองการทำงานวงจรกรองสัญญาณวีเอพีดี.....	132
5. 70 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.5.....	134
5. 71 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.6.....	135
5. 72 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.7.....	136
5. 73 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.8.....	137
5. 74 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.9.....	138

สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างแท่งเลอร์สำหรับการอินเตอร์โปเลชันแบบลากรางจ์.....	5
2.2 โครงสร้างเลขคณิตกระจายแบบขนาน.....	7
3.1 การห้วงสัญญาณในอุดมคติ.....	10
3.2 บล็อกไดอะแกรมระบบการห้วงสัญญาณเวลาไม่ต่อเนื่องในอุดมคติ.....	11
3.3 ผลตอบสนองอิมพัลส์ของระบบการห้วงในอุดมคติ.....	14
3.4 โครงสร้างฟาร์โรว์สำหรับการอินเตอร์โปเลชันแบบลากรางจ์ ที่จัดรูปด้วยวิธีการของฮอร์เนอร์.....	22
3.5 โครงสร้างแท่งเลอร์สำหรับการอินเตอร์โปเลชันแบบลากรางจ์.....	24
3.6 โครงสร้างเลขคณิตกระจายแบบอนุกรม.....	26
3.7 โครงสร้างเลขคณิตกระจายแบบขนาน.....	27
4.1 วงจรย่อย 1 สเตจ ที่ต่อเรียงกันสำหรับการสร้างวงจรกรองสัญญาณวีเอพีดี.....	31
4.2 บล็อกไดอะแกรมของวงจรย่อย 1 สเตจ.....	32
4.3 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรห้วงเวลา 1 หน่วย.....	33
4.4 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรบวกสเตจ.....	33
4.5 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรลบสเตจ.....	34
4.6 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรคูณ.....	35
4.7 วงจรเลขคณิตกระจายแบบขนาน.....	35
4.8 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรแยกบิต.....	36
4.9 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรเลื่อนบิต.....	37
4.10 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรบวกพีดีเอ.....	38
4.11 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรลบพีดีเอ.....	38
4.12 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรตัดความยาวบิต.....	39
4.13 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์.....	40
4.14 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของตารางเปิดดูค่าการห้วง.....	40
4.15 บล็อกไดอะแกรมของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์.....	41
4.16 บล็อกไดอะแกรมของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าคงที่.....	42
4.17 บล็อกไดอะแกรมของวงจรย่อย 1 สเตจ สำหรับนำไปสร้างจริง.....	43
5.1 วิธีการจำลองการทำงาน.....	44

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.30 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลื่อนบิต 28 บิต.....	71
5.31 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลื่อนบิต 29 บิต.....	72
5.32 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลื่อนบิต 30 บิต.....	73
5.33 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลื่อนบิต 31 บิต.....	74
5.34 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรบวกพีดีเอ.....	74
5.35 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรลบพีดีเอ.....	79
5.36 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรตัดความยาวบิต.....	83
5.37 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 11.....	84
5.38 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 12.....	85
5.39 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 21.....	85
5.40 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 22.....	86
5.41 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 31.....	87
5.42 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 32.....	88
5.43 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดคู่ค่าการหน่วง.....	91
5.44 วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์.....	92
5.45 วงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง.....	93
5.46 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนาน สำหรับค่าสัมประสิทธิ์ชุดที่ 11.....	94
5.47 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนาน สำหรับค่าสัมประสิทธิ์ชุดที่ 12.....	95
5.48 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนาน สำหรับค่าสัมประสิทธิ์ชุดที่ 21.....	95
5.49 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนาน สำหรับค่าสัมประสิทธิ์ชุดที่ 22.....	95
5.50 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนาน สำหรับค่าสัมประสิทธิ์ชุดที่ 31.....	96
5.51 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนาน สำหรับค่าสัมประสิทธิ์ชุดที่ 32.....	96

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.52 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนาน สำหรับค่าการหน่วง.....	99
5.53 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรหน่วงเวลา 1 หน่วย.....	101
5.54 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรหน่วงเวลา 2 หน่วย.....	102
5.55 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรหน่วงเวลา 4 หน่วย.....	103
5.56 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรวกสแคว.....	105
5.57 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรรบสแคว.....	106
5.58 วงจรย่อย 1 สแคว แบบที่ 1.....	107
5.59 แผนผังเวลาการทำงานของวงจรรย่อย 1 สแคว แบบที่ 1.....	115
5.60 วงจรย่อย 1 สแคว แบบที่ 2.....	115
5.61 แผนผังเวลาการทำงานของวงจรรย่อย 1 สแคว แบบที่ 2.....	123
5.62 วงจรย่อย 1 สแคว แบบที่ 3.....	123
5.63 แผนผังเวลาการทำงานของวงจรรย่อย 1 สแคว แบบที่ 3.....	131
5.64 วิธีการจำลองการทำงานวงจรรองสัญญาณวีเอพีดี.....	132
5.65 วงจรและแผนผังเวลาการทำงานของวงจรรองสัญญาณ ปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1.....	133
5.66 วงจรและแผนผังเวลาการทำงานของวงจรรองสัญญาณ ปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2.....	140
5.67 วงจรและแผนผังเวลาการทำงานของวงจรรองสัญญาณ ปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3.....	147
5.68 ผลตอบสนองเชิงขนาดของวงจรรองสัญญาณวีเอพีดี อันดับ 1 จากผลการจำลองการทำงาน.....	173
5.69 ผลตอบสนองเชิงขนาดของวงจรรองสัญญาณวีเอพีดี อันดับ 1 จากค่าทฤษฎี.....	173
5.70 ผลตอบสนองเชิงขนาดของวงจรรองสัญญาณวีเอพีดี อันดับ 2 จากผลการจำลองการทำงาน.....	174
5.71 ผลตอบสนองเชิงขนาดของวงจรรองสัญญาณวีเอพีดี อันดับ 2 จากค่าทฤษฎี.....	174

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.72 ผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอฟดี อันดับ 3 จากผลการจำลองการทำงาน.....	175
5.73 ผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอฟดี อันดับ 3 จากค่าทฤษฎี.....	175

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในระบบสื่อสารและการประมวลผลสัญญาณดิจิทัล การประยุกต์ใช้งานบางประเภท จะต้องการหน่วยเวลาเป็นเศษส่วนมากกว่าการหน่วยเวลาที่เป็นจำนวนเต็ม ตัวอย่างเช่น การกู้คืน จังหวะเวลาของสัญลักษณ์ (Symbol Timing Recovery) ในเครื่องรับแบบดิจิทัล การแปลงค่าการ คู่มตัวอย่างสัญญาณอัตราใด ๆ (Arbitrary Sampling Rate Conversion) หรือ การกำจัดสัญญาณเสียง สะท้อน (Echo Cancellation) ดังนั้นจึงมีความจำเป็นต้องศึกษาวิธีการหน่วยเวลาสัญญาณเป็นค่า เศษส่วน รวมถึงการออกแบบและการสร้างอุปกรณ์ที่ใช้สำหรับหน่วยเวลาสัญญาณเป็นค่าเศษส่วน

อุปกรณ์ที่ใช้สำหรับหน่วยเวลาเป็นค่าเศษส่วน คือ วงจรกรองสัญญาณปรับค่าการหน่วง เป็นเศษส่วน (Variable Fractional Delay Filter: VFD Filter) หรือวงจรกรองสัญญาณวีเอฟดี ซึ่งมี คุณสมบัติสามารถหน่วงสัญญาณเป็นค่าเศษส่วนและปรับค่าการหน่วงขณะใช้งานได้ แต่เนื่องจาก งานวิจัยในด้านนี้เป็นเรื่องที่ไม่แพร่หลาย อีกทั้งงานวิจัยที่มีเผยแพร่ออกมาก็นุ่งเน้นไปที่อัลกอริทึม ของวงจร แต่การออกแบบสถาปัตยกรรมฮาร์ดแวร์ที่เหมาะสมสำหรับการนำไปสร้างจริงยังไม่มี การนำเสนอ

จากความสำคัญดังกล่าวข้างต้น จึงต้องมีการศึกษาการออกแบบและการสร้างวงจรกรอง สัญญาณวีเอฟดี เพื่อพัฒนาสถาปัตยกรรมฮาร์ดแวร์ที่เหมาะสมสำหรับการนำไปสร้างจริงโดยใช้ เอฟพีจีเอ (Field Programmable Gate Array: FPGA) ซึ่งเหมาะสมสำหรับการทำอุปกรณ์ต้นแบบ (Prototype) หรือการผลิตเพื่อใช้งานเฉพาะด้าน

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

เพื่อออกแบบสถาปัตยกรรมฮาร์ดแวร์ของวงจรกรองสัญญาณปรับค่าการหน่วงเป็น เศษส่วนสำหรับการนำไปสร้างจริงโดยใช้เอฟพีจีเอ

1.3 สมมติฐานของการศึกษา

สถาปัตยกรรมฮาร์ดแวร์ของวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน สำหรับ การนำไปสร้างจริงโดยใช้เอฟพีจีเอ อาศัยโครงสร้างเทย์เลอร์ซึ่งมีประสิทธิภาพเหมาะสำหรับ การสร้างเป็นฮาร์ดแวร์ เนื่องจากใช้อุปกรณ์สำหรับคำนวณน้อยกว่าโครงสร้างฟาร์โรว์และ โครงสร้างฟาร์โรว์ที่ดัดแปลง โดยวงจรกรองสัญญาณวีเอฟดีแต่ละอันดับประกอบไปด้วยวงจร พื้นฐานซึ่งเรียกว่าวงจรร้อย 1 สเตจ การสร้างวงจรกรองสัญญาณวีเอฟดีอันดับสูงกระทำได้อัตโนมัติ

วงจรร้อย 1 สเตจ มาต่อเรียงกันเป็นจำนวนตามอันดับที่ต้องการ สำหรับการคูณภายในวงจรจะใช้ เลขคณิตกระจายแบบขนานซึ่งเหมาะสำหรับการสร้างเป็นฮาร์ดแวร์สำหรับคำนวณผลคูณ

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

วิธีการออกแบบวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนที่ได้รับความนิยมและไม่ซับซ้อน วิธีการหนึ่งได้แก่ การประมาณค่าการหน่วงเป็นเศษส่วนแบบเอฟไออาร์ที่ให้ผลตอบสนองราบเรียบมากที่สุด (Maximally-Flat FIR Fractional Delay Approximation) ซึ่งอาศัย วงจรกรองสัญญาณเอฟไออาร์เป็นพื้นฐาน โดยวิธีการนี้สามารถพิสูจน์ที่มาได้หลายวิธี ซึ่งแต่ละวิธี จะให้โครงสร้างของวงจรแตกต่างกันไป โครงสร้างที่นิยมใช้กัน คือ โครงสร้างฟาร์โรว์ (Farrow Structure) และโครงสร้างฟาร์โรว์ที่ดัดแปลง (Modified Farrow Structure) นอกจากนี้ยังมีอีก โครงสร้างหนึ่ง คือ โครงสร้างเทย์เลอร์ (Taylor Structure) ซึ่งมีประสิทธิภาพในการลดจำนวน อุปกรณ์ที่ใช้ในการคำนวณลงจากโครงสร้าง 2 แบบดังกล่าวข้างต้น เมื่อเปรียบเทียบกับอันดับของ วงจรที่เท่ากัน

สำหรับโครงสร้างเทย์เลอร์ที่นำมาใช้ในการสร้างวงจรกรองสัญญาณปรับค่าการหน่วง เป็นเศษส่วนจะมีการคูณเป็นส่วนประกอบ จึงใช้เลขคณิตกระจายซึ่งเหมาะสำหรับการสร้างเป็น ฮาร์ดแวร์สำหรับคำนวณผลคูณมาใช้แทนการคูณตามปกติ และเพิ่มประสิทธิภาพในการคำนวณ ของเลขคณิตกระจาย โดยใช้เลขคณิตกระจายแบบขนานมาใช้แทนเลขคณิตกระจายแบบเดิมหรือ เลขคณิตกระจายแบบอนุกรม ซึ่งจะลดระยะเวลาในการคำนวณผลลัพธ์ลง

1.5 ขอบเขตการวิจัย

1. ออกแบบสถาปัตยกรรมฮาร์ดแวร์ของวงจรกรองสัญญาณปรับค่าการหน่วง เป็นเศษส่วนสำหรับการนำไปสร้างจริงโดยใช้เอฟพีจีเอ
2. การคูณจะใช้เลขคณิตกระจายแบบขนานมาออกแบบวงจรสำหรับคำนวณผลคูณ
3. วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนที่ออกแบบเป็นวงจรกรองอันดับ 1 ถึง อันดับ 3

1.6 ขั้นตอนการศึกษา

1. ศึกษาทฤษฎีวงจรรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน
2. ค้นคว้าและศึกษาอัลกอริทึมของวงจรรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน จากงานวิจัยอื่น
3. ศึกษาทฤษฎีเลขคณิตกระจาย

4. ออกแบบสถาปัตยกรรมฮาร์ดแวร์ของวงจรกรองสัญญาณปรับค่าการหน่วง เป็นเศษส่วน
5. สร้างวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน โดยใช้สถาปัตยกรรมฮาร์ดแวร์ ตามที่ได้ออกแบบ
6. จำลองการทำงานและปรับปรุงแก้ไขวงจรกรองสัญญาณปรับค่าการหน่วง เป็นเศษส่วน
7. สรุปผลการศึกษาและจัดทำวิทยานิพนธ์

1.7 ประโยชน์ที่คาดว่าจะได้รับ

จะได้สถาปัตยกรรมฮาร์ดแวร์ของวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนที่เหมาะสมสำหรับการนำไปสร้างจริงโดยใช้เอฟพีจีเอ ซึ่งสามารถสร้างวงจรกรองอันดับสูงได้โดยการนำวงจรย่อย 1 สเตจ ซึ่งเป็นวงจรพื้นฐาน มาต่อเรียงกันเป็นจำนวนตามอันดับวงจรที่ต้องการ

บทที่ 2

งานวิจัยที่เกี่ยวข้อง

2.1 บทนำ

งานวิจัยที่เกี่ยวข้องกับการสร้างวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนโดยใช้เอฟพีจีเอประกอบด้วย 2 เรื่อง ได้แก่ วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนหรือวงจรกรองสัญญาณวีเอฟดี และเลขคณิตคณิศกระจายแบบขนาน โดยงานวิจัยวงจรกรองสัญญาณวีเอฟดีเป็นงานวิจัยทางด้านการออกแบบวงจร ได้แก่ บทความ Efficient Structure of Lagrange Interpolation Filter ส่วนงานวิจัยเลขคณิตกระจายแบบขนานเป็นงานวิจัยทางด้านการออกแบบวงจรที่ทำหน้าที่คำนวณผลคูณ ซึ่งมีความเหมาะสมกับการสร้างเป็นฮาร์ดแวร์ ได้แก่ บทความ An FPGA-Based Parallel Distributed Arithmetic Implementation of the 1-D Discrete Wavelet Transform

2.2 บทความ Efficient Structure of Lagrange Interpolation Filter

บทความ Efficient Structure of Lagrange Interpolation Filter นำเสนอโดย Cagatay Candan ในปี 2007 ประเด็นที่น่าสนใจคือ โครงสร้างแบบหนึ่งของวงจรกรองสัญญาณวีเอฟดีซึ่งมีประสิทธิภาพในการลดจำนวนอุปกรณ์ เมื่อเปรียบเทียบกับโครงสร้างฟาร์โรว์และโครงสร้างฟาร์โรว์ที่ดัดแปลง โดยโครงสร้างที่น่าสนใจในงานวิจัยนี้เป็นโครงสร้างหนึ่งของการอินเตอร์โพลชันแบบลากรานจ์ ซึ่งพิสูจน์ที่มาโดยใช้อุปกรณ์เทเลอร์แบบเวลาไม่ต่อเนื่อง ซึ่งเป็นทวิลักษณ์ของอุปกรณ์เทเลอร์ ดังสมการ

$$\tilde{f}(t) = \sum_{n=0}^{\infty} \Delta^n f[k] \frac{(t-k)^{[n]}}{n!} \quad (2.1)$$

โดยที่ Δ คือ ตัวดำเนินการผลต่างย้อนกลับ (Backward Difference Operator) และเป็นทวิลักษณ์ของตัวดำเนินการอนุพันธ์ (Derivative Operator) ของอุปกรณ์เทเลอร์ ซึ่งตัวดำเนินการผลต่างย้อนกลับมีนิยาม คือ $\Delta f(n) = f(n) - f(n-1)$ และ $x^{[N]}$ คือ พอลลิงแฟกทอเรียลซึ่งมีนิยาม คือ $x^{[N]} = x(x-1)(x-2)\dots(x-N+2)(x-N+1)$

เมื่อจำกัดความยาวของผลรวมในสมการที่ 2.1 ให้มีความยาว N ใด ๆ ผลลัพธ์จะสมมูลกับการใช้พหุนามอันดับ N ให้ผ่านจุดจำนวน $N+1$ จุด ของ $f[k]$ นั่นคือ ผลรวมที่จำกัดความยาว

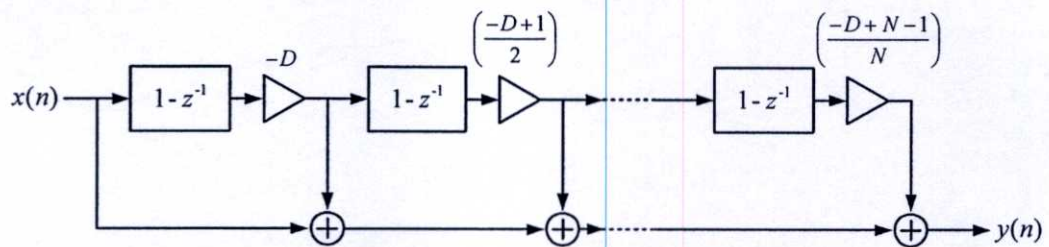
คือ การอินเตอร์โพลชันแบบลากรานจ์อันดับที่ N โดยตัวอย่างการอินเตอร์โพลชันแบบลากรานจ์อันดับ 3 แสดงได้ดังสมการ

$$\begin{aligned}\tilde{f}(t) &= f[k] + \Delta f[k] \frac{(t-k)}{1!} + \Delta^2 f[k] \frac{(t-k)^{[2]}}{2!} + \Delta^3 f[k] \frac{(t-k)^{[3]}}{3!} \\ &= f[k] + \Delta f[k] \frac{(-D)}{1!} + \Delta^2 f[k] \frac{(-D)^{[2]}}{2!} + \Delta^3 f[k] \frac{(-D)^{[3]}}{3!}\end{aligned}\quad (2.2)$$

ฟังก์ชัน $f[k]$ คือ ผลลัพธ์ของการอินเตอร์โพลชัน และ D คือค่าการหน่วง สำหรับผลรวมของสมการที่ 2.1 ในรูปของการป้อนกลับแสดงได้ดังสมการ

$$\frac{(-D)^{[N]} \Delta^{[N]}}{N!} f[k] = \frac{(-D)^{[N-1]} \Delta^{[N-1]}}{N-1!} \frac{(-D+N-1)\Delta}{N} f[k] \quad (2.3)$$

ซึ่งจากสมการที่ 2.3 จะได้โครงสร้างเทย์เลอร์สำหรับการอินเตอร์โพลชันแบบลากรานจ์ดังรูปที่ 2.1



รูปที่ 2.1 โครงสร้างเทย์เลอร์สำหรับการอินเตอร์โพลชันแบบลากรานจ์

จำนวนอุปกรณ์ที่ใช้สำหรับโครงสร้างเทย์เลอร์อันดับที่ N ประกอบด้วยตัวคูณจำนวน $3N-2$ ตัว และตัวบวกจำนวน $3N-1$ ตัว ซึ่งเป็นจำนวนน้อยกว่าเมื่อเปรียบเทียบกับโครงสร้างฟาร์โรว์และโครงสร้างฟาร์โรว์ที่ดัดแปลง ซึ่งใช้ตัวคูณและตัวบวกอย่างละ N^2 ตัว

2.3 บทความ An FPGA-Based Parallel Distributed Arithmetic Implementation of the 1-D Discrete Wavelet Transform

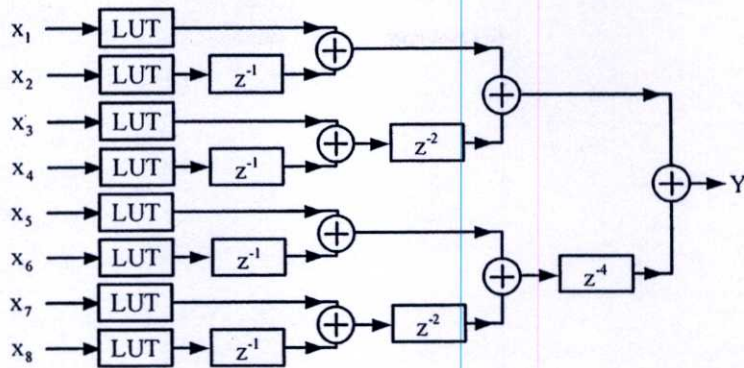
บทความ An FPGA-Based Parallel Distributed Arithmetic Implementation of the 1-D Discrete Wavelet Transform นำเสนอโดย Ali M. Al-Haj ในปี 2005 ประเด็นที่น่าสนใจคือ การนำเลขคณิตกระจายแบบขนานมาใช้ในการสร้างตัวแปลงเวฟเล็ตแบบไม่ต่อเนื่อง 1 มิติ โดยใช้เอฟพีซีเอ ซึ่งเลขคณิตกระจายเป็นวิธีการคำนวณผลคูณภายในที่มีประสิทธิภาพ มีนิยามดังสมการ

$$\begin{aligned}
 Y &= \sum_{j=1}^{B-1} \left[\sum_{i=1}^N x_{ij} a_i \right] 2^{-j} + \sum_{i=1}^N a_i (-x_{i0}) \\
 &= \sum_{j=1}^{B-1} F_j 2^{-j} - F
 \end{aligned}
 \tag{2.4}$$

โดยที่ Y คือ ผลคูณภายในระหว่างเวกเตอร์ข้อมูล x และเวกเตอร์สัมประสิทธิ์ a เมื่อกำหนดให้ข้อมูลอินพุต x_i แทนด้วยเลขไบนารีแบบเติมเต็มสอง ซึ่ง x_{ij} คือ บิตที่ j^{th} ของ x_i B คือ ความยาวบิตของข้อมูลอินพุต และ x_{i0} คือ บิตเครื่องหมาย

ฟังก์ชัน F_j จะมีค่าที่เป็นไปได้ 2^N ค่า ซึ่งสามารถคำนวณไว้ล่วงหน้าและเก็บไว้ในตารางเปิดดูได้โดยใช้ค่า j^{th} ของแต่ละบิต x_{ij} ซึ่งตำแหน่งของตารางเปิดดู จากสมการที่ 2.4 แสดงให้เห็นว่าสามารถใช้ตัวปฏิบัติการ 3 แบบ เพื่อคำนวณผลคูณภายใน ได้แก่ ตารางเปิดดูซึ่งจะได้ค่าของ F_j จากนั้นรวมค่าผลคูณที่อ่านได้ แล้วจึงหารด้วยสองซึ่งสามารถสร้างจริงโดยการใช้การเลื่อนบิต

ในรูปแบบโดยตรงของเลขคณิตกระจายจะมีลักษณะเป็นบิตอนุกรม แต่ละบิตอินพุตจะถูกชี้ค่าก่อนที่อินพุตต่อไปจะเข้ามา หากอินพุตความยาว B บิต จะใช้สัญญาณนาฬิกา B รอบ เพื่อคำนวณผลลัพธ์ วิธีการทำให้เลขคณิตกระจายมีการทำงานแบบขนานจะต้องให้ทุกบิตทำงานพร้อมกันไป จากนั้นจึงเลื่อนบิตและบวกผลคูณเข้าด้วยกัน ในกรณีที่มันเป็นเลขคณิตกระจายขนาด 8 บิต ข้อมูลอินพุตจะแยกเป็นบิตย่อย 1 บิต และนำไปชี้ค่าตารางเปิดดูพร้อมกันทั้ง 8 บิต จากนั้นจึงบวกผลคูณเข้าด้วยกันโดยใช้ตัวบวกแบบไบนารีทรี และผลบวกจากตำแหน่งที่ต่ำกว่าจะถูกเลื่อนไปด้วยค่ากำลังสอง ซึ่งในโครงสร้างนี้จะไม่ใช้วงจรบวกสะสมค่า เนื่องจากเอาต์พุตจากไบนารีทรีเป็นค่าผลรวมของผลคูณอยู่แล้ว ในรูปที่ 2.2 แสดงโครงสร้างเลขคณิตกระจายแบบขนานขนาด 8 บิต



รูปที่ 2.2 โครงสร้างเลขคณิตกระจายแบบขนาน

เมื่อนำโครงสร้างเลขคณิตกระจายแบบขนานมาทดสอบโดยประยุกต์ใช้กับฟิลเตอร์เบงก์ของตัวแปลงเวฟเลตแบบไม่ต่อเนื่อง 1 มิติ พบว่าตัวแปลงเวฟเลตที่ใช้เลขคณิตกระจายแบบขนานสามารถทำงานที่ความถี่สัญญาณพาหิาสูงสุด 154.6 MHz และตัวแปลงกลับเวฟเลตที่ใช้เลขคณิตกระจายแบบขนานสามารถทำงานที่ความถี่สัญญาณพาหิาสูงสุด 151 MHz ในขณะที่ตัวแปลงเวฟเลตที่ใช้เลขคณิตกระจายแบบอนุกรมสามารถทำงานที่ความถี่สัญญาณพาหิาสูงสุด 26 MHz และตัวแปลงกลับเวฟเลตที่ใช้เลขคณิตกระจายแบบขนานสามารถทำงานที่ความถี่สัญญาณพาหิาสูงสุด 23.7 MHz ซึ่งแสดงให้เห็นว่าเลขคณิตกระจายแบบขนานสามารถคำนวณผลคูณได้เร็วกว่าเลขคณิตกระจายแบบอนุกรม และส่งผลให้ความเร็วในการประมวลผลของวงจรสูงตามไปด้วย

2.4 สรุป

โครงสร้างเทย์เลอร์สำหรับการอินเตอร์โพลชันแบบลากรานจ์นั้นมีประสิทธิภาพในการใช้จำนวนอุปกรณ์ที่น้อยที่สุด และเลขคณิตกระจายแบบขนานสามารถเพิ่มความเร็วในการคำนวณผลคูณขึ้นจากเลขคณิตกระจายแบบอนุกรม ซึ่งส่งผลให้ความเร็วในการประมวลผลของวงจรสูงตามไปด้วย จากเหตุผลทั้งสองข้อดังกล่าวจึงปัจจัยที่เลือกใช้โครงสร้างเทย์เลอร์สำหรับการอินเตอร์โพลชันแบบลากรานจ์และเลขคณิตกระจายแบบขนานมาออกแบบวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนในวิทยานิพนธ์ฉบับนี้

บทที่ 3

ทฤษฎีที่ใช้ในการวิจัย

3.1 บทนำ

การสร้างวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน จะต้องศึกษาทฤษฎีวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน (Variable Fractional Delay Filter) และเลขคณิตกระจาย (Distributed Arithmetic) โดยทฤษฎีวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนหรือวงจรกรองสัญญาณวีเอฟดีกล่าวถึงวิธีการออกแบบวงจรกรองสัญญาณวีเอฟดีโดยใช้โครงสร้างแบบต่าง ๆ ในขณะที่ทฤษฎีเลขคณิตกระจายอธิบายวิธีการออกแบบวงจรที่ทำหน้าที่คำนวณผลคูณที่เหมาะสมกับการนำไปสร้างเป็นฮาร์ดแวร์

3.2 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน

วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนหรือวงจรกรองสัญญาณวีเอฟดีเป็นอุปกรณ์ที่ใช้สำหรับหน่วงสัญญาณออกไปเป็นค่าจำนวนเศษส่วน เนื่องจากการประยุกต์ใช้งานบางประเภทมีความจำเป็นต้องใช้การหน่วงสัญญาณเป็นค่าเศษส่วน อาทิเช่น การกู้คืนจังหวะเวลาของสัญญาณในเครื่องรับระบบดิจิทัล

การหน่วงเวลาไม่ต่อเนื่องเป็นค่าเศษส่วนในอุดมคติ กระทำได้โดยกระบวนการดังนี้ คือ สร้างสัญญาณเวลาต่อเนื่องที่มีแบนด์จำกัดกลับคืน จากนั้นเลื่อนเวลาของสัญญาณเพื่อให้ได้ผลลัพธ์เป็นการหน่วงเวลา และสุดท้ายสุ่มค่าตัวอย่างซ้ำใหม่ [1] โดยสัญญาณที่สร้างกลับคืนเป็นผลรวมของค่าการสุ่มตัวอย่างสัญญาณฟังก์ชันซิงค์ ซึ่งมีความยาวนานและถูกเลื่อนเวลาไป แต่เนื่องจากระบบนี้เป็นระบบที่ไม่คอซอล และไม่สามารถทำให้คอซอลโดยการเลื่อนในทางเวลาให้มีความจำกัดได้ จึงไม่สามารถทำให้ระบบนี้เป็นจริงได้ [2]

การทำระบบการหน่วงเวลาในอุดมคตินี้ให้เป็นจริงจะใช้วิธีการประมาณค่าฟังก์ชันซิงค์ให้มีความยาวที่จำกัด วิธีการประมาณค่าวิธีหนึ่งที่นิยมใช้ คือ การประมาณค่าการหน่วงเป็นเศษส่วนแบบเอฟไออาร์ที่มีผลตอบสนองราบเรียบมากที่สุด (Maximally-Flat FIR Fractional Delay Approximation) ซึ่งวิธีการนี้สัมพันธ์กับการอินเตอร์โพลีเลขแบบลากรานจ์ [3] ซึ่งเป็นการหาฟังก์ชันถ่ายโอนของการอินเตอร์โพลีเลขแบบลากรานจ์

ผลลัพธ์ของการหาฟังก์ชันถ่ายโอนของการอินเตอร์โพลีเลขแบบลากรานจ์ จะได้เป็นโครงสร้างสำหรับการอินเตอร์โพลีเลขแบบลากรานจ์ โดยโครงสร้างที่นิยมใช้กัน ได้แก่ โครงสร้างฟาร์โรว์ (Farrow Structure) โครงสร้างฟาร์โรว์ที่ดัดแปลง (Modified Farrow Structure) นอกจากนี้

ยังมีโครงสร้างอีกแบบหนึ่งที่มีประสิทธิภาพ และเป็นโครงสร้างที่นำมาสร้างวงจรกรองสัญญาณวีเอพีดีในวิทยานิพนธ์ฉบับนี้ ได้แก่ โครงสร้างเทย์เลอร์ (Taylor Structure) [4]

3.2.1 การหน่วงสัญญาณเวลาต่อเนื่องและไม่ต่อเนื่องในอุดมคติ

ระบบการหน่วงสัญญาณเวลาต่อเนื่องในอุดมคติเป็นระบบเชิงเส้น ซึ่งจะหน่วงสัญญาณเวลาต่อเนื่องอินพุต $x_c(t)$ ไปเป็นระยะเวลา t_d วินาที จะได้สัญญาณต่อเนื่องทางเวลาเอาต์พุต $y_c(t)$ ดังสมการ

$$y_c(t) = L_c \{x_c(t)\} = x_c(t - t_d) \quad (3.1)$$

โดยที่ $L_c\{\cdot\}$ คือ ตัวดำเนินการเชิงเส้น ซึ่งผลลัพธ์ของการหน่วงของระบบนี้แสดงดังรูปที่ 3.1 (ก) เมื่อแปลงฟูริเยร์ (Fourier Transform) กับสัญญาณอินพุต $x_c(t)$ จะได้ผลการแปลง คือ

$$X_c(\Omega) = \int_{-\infty}^{\infty} x_c(t) e^{-j\Omega t} dt \quad (3.2)$$

โดยที่ $\Omega = 2\pi f$ คือ ความถี่เชิงมุม เมื่อแปลงฟูริเยร์กับสัญญาณเอาต์พุต $y_c(t)$ และจัดรูปให้อยู่ในพจน์ของ $X_c(\Omega)$ จะได้

$$Y_c(\Omega) = \int_{-\infty}^{\infty} y_c(t) e^{-j\Omega t} dt = \int_{-\infty}^{\infty} x_c(t - t_d) dt = e^{-j\Omega t_d} X_c(\Omega) \quad (3.3)$$

เมื่อนำ $X_c(\Omega)$ และ $Y_c(\Omega)$ มาหาฟังก์ชันถ่ายโอนของระบบการหน่วงสัญญาณเวลาต่อเนื่องในอุดมคติ จะได้

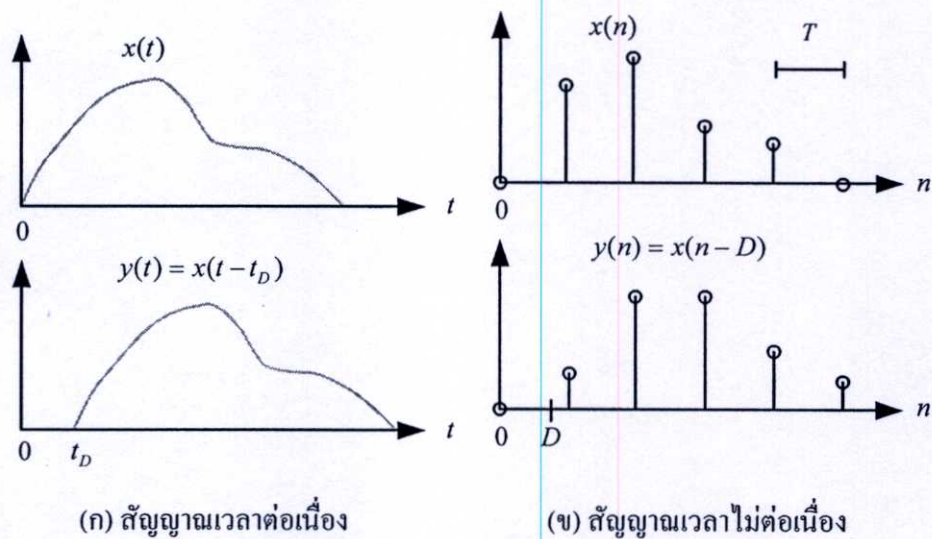
$$H_{id}(\Omega) = \frac{Y_c(\Omega)}{X_c(\Omega)} = \frac{e^{-j\Omega t_d} X_c(\Omega)}{X_c(\Omega)} = e^{-j\Omega t_d} \quad (3.4)$$

เมื่อแปลงสมการที่ 3.1 ให้เป็นระบบการหน่วงสัญญาณเวลาไม่ต่อเนื่อง โดยสุ่มค่าตัวอย่างด้วยคาบเวลา $t = nT$ โดยที่ n มีค่าเป็นจำนวนเต็ม T คือ คาบเวลาการสุ่มค่าตัวอย่าง และกำหนด $T=1$ เพื่อให้สะดวกต่อการพิจารณา จะได้สมการของระบบการหน่วงสัญญาณเวลาไม่ต่อเนื่องในอุดมคติ คือ

$$y(n) = L \{x(n)\} = x(n - D) \quad (3.5)$$

โดยที่ $D = t_d/T$ คือ ค่าการหน่วงซึ่งเป็นจำนวนเท่าของการหน่วงหนึ่งหน่วย ซึ่งโดยทั่วไปแล้ว t_d/T จะเป็นจำนวนอตรรกยะ เนื่องจากว่า t_d อาจเป็นจำนวนเท่าที่ไม่เป็นจำนวนเต็มของคาบการสุ่มค่าตัวอย่าง T ได้

ในกรณีที่ D เป็นจำนวนเต็ม ค่าการสุ่มตัวอย่างเอาท์พุทจะเท่ากับค่าการสุ่มตัวอย่างอินพุทที่ถูกหน่วงเวลาออกไป และเรียกการหน่วงนี้ว่า ดิจิตอลดีเลย์ไลน์ (Digital Delay Line) แต่ในกรณีที่ D เป็นจำนวนจริง การหน่วงจะกระทำได้ยาก เนื่องจากค่าการสุ่มตัวอย่างเอาท์พุทจะอยู่ระหว่างค่าการสุ่มตัวอย่างอินพุท 2 จุดที่ทราบค่า ซึ่งแสดงดังรูป 2.1 (ข) ดังนั้นจึงใช้การอินเตอร์โพลชันกับอินพุท $x(n)$ เพื่อหาค่าการสุ่มตัวอย่างเอาท์พุท



รูปที่ 3.1 การหน่วงสัญญาณในอุดมคติ

เมื่อพิจารณาสมการที่ 3.5 ซึ่งเป็นสัญญาณเวลาไม่ต่อเนื่อง โดยแปลงฟูริเยร์แบบเวลาไม่ต่อเนื่อง (Discrete-Time Fourier Transform: DTFT) จะได้ผลการแปลงสัญญาณ $x(n)$ คือ

$$X(\omega) = \sum_{n=-\infty}^{\infty} x(n)e^{-j\omega n}, \quad |\omega| \leq \pi \quad (3.6)$$

โดยที่ $\omega = 2\pi fT$ คือ ความถี่เชิงมุมที่นอร์มอลไลซ์ และใช้วิธีการเดียวกันจะได้ผลการแปลงสัญญาณ $y(n)$ คือ

$$Y(\omega) = \sum_{n=-\infty}^{\infty} y(n)e^{-j\omega n} = \sum_{n=-\infty}^{\infty} x(n-D)e^{-j\omega n} = e^{-j\omega D} X(\omega) \quad (3.7)$$

เมื่อนำสมการที่ 3.6 และ สมการที่ 3.7 มาหาฟังก์ชันถ่ายโอนของระบบการหน่วงสัญญาณเวลาไม่ต่อเนื่องในอุดมคติ จะได้

$$H_{id}(\omega) = \frac{Y(\omega)}{X(\omega)} = \frac{e^{-j\omega D} X(\omega)}{X(\omega)} = e^{-j\omega D}, \quad |\omega| \leq \pi \quad (3.8)$$

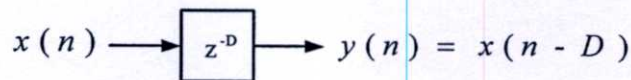
หากพิจารณาฟังก์ชันถ่ายโอนตามสมการที่ 3.8 โดยการแปลงแซด (z -Transform) จะได้

$$H_{id}(z) = \frac{Y(z)}{X(z)} = \frac{z^{-D} X(z)}{X(z)} = z^{-D} \quad (3.9)$$

โดยที่ D คือ ค่าการหน่วงซึ่งเป็นจำนวนจริงบวก ประกอบด้วย 2 ส่วน คือ ส่วนที่เป็นจำนวนเต็ม และส่วนที่เป็นจำนวนเศษส่วน ดังสมการ

$$D = [D] + d \quad (3.10)$$

โดยที่ $[\cdot]$ คือ ฟังก์ชันจำนวนเต็มมากที่สุด (Greatest Integer Function) หรือฟังก์ชันพื้น (Floor Function) และ d คือ ค่าการหน่วงเป็นเศษส่วน ซึ่งมีค่าในช่วง $0 \leq d < 1$ บล็อกไดอะแกรมของระบบการหน่วงเวลาสัญญาณไม่ต่อเนื่องนี้แสดงดังรูปที่ 3.2



รูปที่ 3.2 บล็อกไดอะแกรมระบบการหน่วงสัญญาณเวลาไม่ต่อเนื่องในอุดมคติ

จากที่ได้กล่าวมาแล้วข้างต้นแล้วว่า การหน่วงเวลาเป็นค่าเศษส่วนสำหรับระบบเวลาไม่ต่อเนื่องจะต้องใช้การอินเตอร์โพลชัน ซึ่งการอินเตอร์โพลชันสำหรับสัญญาณเวลาไม่ต่อเนื่องจะมีการเปลี่ยนแปลงแอมพลิจูดของสัญญาณเวลาต่อเนื่องที่มีแบนด์จำกัด (Continuous-Time Bandlimited) ที่ราบเรียบ โดยสัญญาณเวลาต่อเนื่องที่มีแบนด์จำกัด คือ สัญญาณเวลาต่อเนื่องที่มีผลการแปลงฟูริเยร์ที่ไม่เป็นค่าศูนย์ ในช่วงจำกัดรอบจุดที่ความถี่ $\omega = 0$

3.2.2 การหน่วงเป็นค่าเศษส่วนและคุณลักษณะของระบบการหน่วงเป็นค่าเศษส่วนในอุดมคติ

การหน่วงเป็นค่าเศษส่วนเป็นกระบวนการสุ่มค่าตัวอย่างซ้ำใหม่จากค่าตัวอย่างเดิม (Resampling Process) ซึ่งมี 3 ขั้นตอน คือ การสร้างสัญญาณเวลาต่อเนื่องที่มีแบนด์จำกัดกลับคืน (Reconstruction) การเลื่อนสัญญาณ (Shifting) และการสุ่มค่าตัวอย่างซ้ำใหม่ (Resampling) ซึ่งกระบวนการนี้มีข้อกำหนด คือ จะไม่เปลี่ยนแปลงอัตราการสุ่มค่าตัวอย่าง โดยขั้นตอนการสร้างสัญญาณกลับคืนจากลำดับของค่าการสุ่มค่าตัวอย่างจะอาศัยสมการการสร้างสัญญาณกลับคืนของแซนนอน ดังนี้

$$x_c(t) = \sum_{n=-\infty}^{\infty} x(nT) \frac{\sin\left[\frac{\omega_s}{2}(t-nT)\right]}{\frac{\omega_s}{2}(t-nT)} = \sum_{n=-\infty}^{\infty} x(nT) \text{sinc}\left[\frac{\omega_s}{2}(t-nT)\right] \quad (3.11)$$

โดยที่ $\omega_s = 2\pi f_s$ คือ ความถี่เชิงมุมของการสุ่มค่าตัวอย่าง และ T คือ คาบการสุ่มค่าตัวอย่าง ซึ่งการอินทิเกรตไปเลขานที่มีแบนด์จำกัดในอุดมคติ จากสมการที่ 3.11 มีผลตอบสนองอิมพัลส์เวลาต่อเนื่องคือ

$$h_c(t) = \frac{\sin\left(\frac{\omega_s t}{2}\right)}{\frac{\omega_s t}{2}} = \text{sinc}\left(\frac{\omega_s t}{2\pi}\right) \quad (3.12)$$

ในกรณีที่ t เป็นจำนวนจริง ผลตอบสนองอิมพัลส์ในสมการที่ 3.12 จะแปลงสัญญาณเวลาไม่ต่อเนื่องให้เป็นสัญญาณเวลาต่อเนื่อง จากนั้นเลื่อนสัญญาณนี้ไปเท่ากับค่า D เพื่อให้ได้ผลลัพธ์เป็นการหน่วง และสุ่มค่าตัวอย่างสัญญาณนี้อีกครั้ง จะได้เอาท์พุต $y(n)$ ที่ผ่านระบบการหน่วงค่าเป็นเศษส่วนสำหรับสัญญาณเวลาไม่ต่อเนื่องในอุดมคติ คือ

$$y(n) = x(n-D) = \sum_{k=-\infty}^{\infty} x(k) \text{sinc}(n-D-k) \quad (3.13)$$

จากสมการที่ 3.13 แสดงขั้นตอนการหน่วงเวลาในอุดมคติ นั่นคือ สัญญาณเอาท์พุต $y(n)$ เป็นผลรวมของค่าการสุ่มตัวอย่างสัญญาณฟังก์ชันซิงค์ที่สร้างกลับคืนมา ซึ่งมีความยาวอนันต์และถูกเลื่อนเวลาไปด้วยค่า D เพื่อให้ได้ผลลัพธ์เป็นการหน่วงเวลา

การหาคุณลักษณะของระบบการหน่วงจะพิจารณาทั้งเชิงความถี่และเชิงเวลา สำหรับคุณลักษณะเชิงความถี่จะพิจารณาจากผลตอบสนองเชิงความถี่โดยอาศัยสมการที่ 3.8 ซึ่งจะได้ผลตอบสนองเชิงความถี่ของระบบการหน่วงในอุดมคติ คือ

$$H_{id}(e^{j\omega}) = e^{-j\omega D}, \quad |\omega| \leq \pi \quad (3.14)$$

โดยมีขนาดและเฟส คือ $|H_{id}(e^{j\omega})| = 1$ และ $\arg\{H_{id}(e^{j\omega})\} = \Theta_{id}(\omega) = -D\omega$ ตามลำดับ ซึ่งจากผลตอบสนองเชิงความถี่ทั้งขนาดและเฟสดังกล่าว แสดงให้เห็นว่าคุณลักษณะเชิงความถี่ของระบบการหน่วงนี้เป็นระบบเฟสเชิงเส้นชนิดผ่านทุกความถี่ (Linear-Phase Allpass) เมื่อนำมาหาค่าการหน่วงเฟสและค่าการหน่วงกลุ่ม จะได้ดังนี้

$$\tau_{p,id}(\omega) = -\frac{\Theta_{id}(\omega)}{\omega} = D \quad (3.15)$$

$$\tau_{g,id}(\omega) = -\frac{\partial \Theta_{id}(\omega)}{\partial \omega} = D \quad (3.16)$$

จากผลลัพธ์ที่ได้ดังสมการที่ 3.15 และ สมการที่ 3.16 แสดงให้เห็นว่าระบบการหน่วงในอุดมคติจะหน่วงองค์ประกอบเชิงความถี่ของทุกความถี่ให้ผ่านได้ด้วยค่าการหน่วง D

สำหรับการหาคุณลักษณะเชิงเวลาของระบบการหน่วงเป็นค่าเศษส่วนในอุดมคติ จะพิจารณาสมการที่ 3.14 โดยแปลงฟูริเยร์แบบเวลาไม่ต่อเนื่องผกผัน (Inverse Discrete-Time Fourier Transform: IDTFT) ซึ่งจะได้ผลตอบสนองอิมพัลส์ของระบบการหน่วงในอุดมคติ คือ

$$\begin{aligned} h_{id}(n) &= \frac{1}{2\pi} \int_{-\pi}^{\pi} H_{id}(e^{j\omega}) e^{j\omega n} d\omega = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{-j\omega D} e^{j\omega n} d\omega = \frac{1}{2\pi} \int_{-\pi}^{\pi} e^{-j\omega(n-D)} d\omega \\ &= \frac{e^{j\pi(n-D)} - e^{-j\pi(n-D)}}{j2\pi(n-D)} = \frac{\sin\{\pi(n-D)\}}{\pi(n-D)} = \text{sinc}(n-D) \end{aligned} \quad (3.17)$$

ผลตอบสนองอิมพัลส์ที่ได้ดังสมการที่ 3.17 จะเป็นฟังก์ชันซิงค์ ซึ่งในกรณีที่ D เป็นจำนวนเต็มหรือส่วนการหน่วงค่าเศษส่วน d มีค่าเท่ากับศูนย์ ผลตอบสนองอิมพัลส์ของระบบการหน่วงจะมีค่าเท่ากับศูนย์ทุกจุดการสุ่มค่าตัวอย่าง ยกเว้นที่จุด $n = D$ แต่สำหรับกรณีที่ D ไม่เป็นจำนวนเต็มหรือส่วนการหน่วงค่าเศษส่วนมีค่าอยู่ในช่วง $0 < d < 1$ ผลตอบสนองอิมพัลส์จะมีค่าไม่เป็นศูนย์ทุกจุด โดยทั้ง 2 กรณี อธิบายได้ดังสมการต่อไปนี้

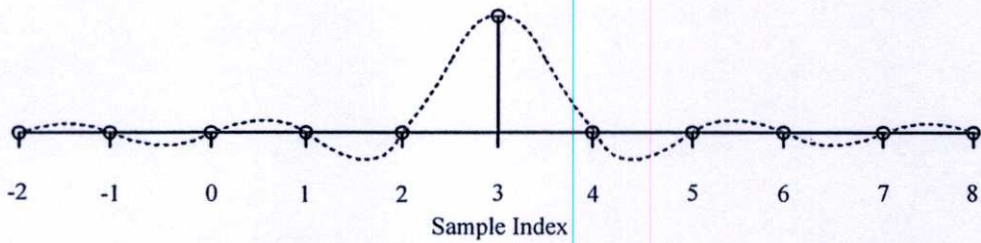
กรณี $d = 0$

$$h_{id}(n) = \begin{cases} 1, & \text{เมื่อ } n = D \\ 0, & \text{กรณีอื่น ๆ} \end{cases} \quad (3.18)$$

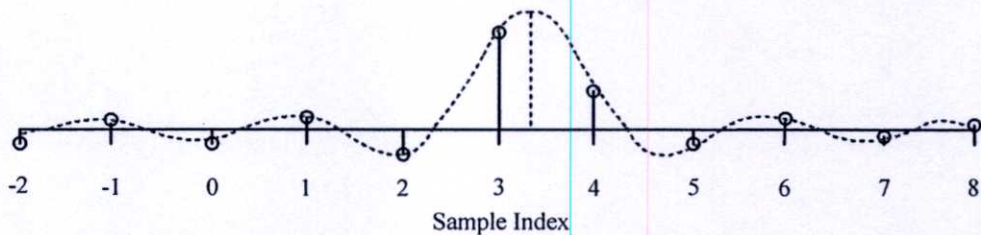
กรณี $0 < d < 1$

$$h_{id}(n) \neq 0 \quad \text{สำหรับทุกค่า } n \quad (3.19)$$

จากสมการที่ 3.18 และ สมการที่ 3.19 แสดงคุณลักษณะเชิงเวลาของระบบการหน่วงในอุดมคติ ซึ่งแสดงดังรูปที่ 3.3 โดยรูปที่ 3.3 (ก) ค่าการหน่วง D เป็นจำนวนเต็ม และมีค่าการสุ่มตัวอย่างที่ไม่เป็นค่าศูนย์เพียงจุดเดียว ส่วนในรูปที่ 3.3 (ข) ค่าการหน่วง D เป็นค่าเศษส่วน และค่าการสุ่มตัวอย่างทุกจุดไม่เป็นค่าศูนย์



(ก) เมื่อ D เป็นจำนวนเต็ม



(ข) เมื่อ D เป็นค่าเศษส่วน

รูปที่ 3.3 ผลตอบสนองอิมพัลส์ของระบบการหน่วงในอุดมคติ

ผลตอบสนองอิมพัลส์ $h_{id}(n)$ ของระบบการหน่วงในอุดมคติ คือ ฟังก์ชันซิงค์ความยาวอนันต์ที่ถูกเลื่อนไปและสุ่มค่าตัวอย่างซ้ำ จึงเป็นระบบที่ไม่คอซอลและไม่สามารถทำให้คอซอลโดยการเลื่อนในทางเวลาให้มีความจำกัดได้ หรือกล่าวได้ว่าระบบนี้ไม่มีเสถียรภาพ ซึ่งไม่สามารถทำให้ระบบนี้เป็นจริงได้ การทำระบบการหน่วงเวลาในอุดมคตินี้ให้เป็นจริงจะใช้วิธีการประมาณ

ค่าฟังก์ชันซิงค์ให้มีความยาวที่จำกัด วิธีการประมาณค่าวิธีหนึ่งที่นิยมใช้ คือ การประมาณค่าการหน่วงเป็นเศษส่วนแบบเฟรไออาร์ที่มีผลตอบสนองราบเรียบมากที่สุด (Maximally-Flat FIR Fractional Delay Approximation) ซึ่งวิธีการนี้สมมูลกับการอินเตอร์โพลีเลชันแบบลากรานจ์ ดังนั้นวิธีการประมาณนี้จึงเป็นการหาฟังก์ชันถ่ายโอนของการอินเตอร์โพลีเลชันแบบลากรานจ์

3.2.3 การประมาณค่าการหน่วงเป็นเศษส่วนแบบเฟรไออาร์ที่มีผลตอบสนองราบเรียบมากที่สุด

วิธีการประมาณค่าการหน่วงเป็นเศษส่วนแบบเฟรไออาร์ที่มีผลตอบสนองราบเรียบมากที่สุด (Maximally-Flat FIR Fractional Delay Approximation) เป็นวิธีการประมาณค่าที่อาศัยฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณเฟรไออาร์เป็นพื้นฐาน โดยฟังก์ชันถ่ายโอนของวงจรกรองเฟรไออาร์แสดงดังสมการ

$$H(z) = \sum_{n=0}^N h(n)z^{-n} \quad (3.20)$$

วิธีการประมาณค่ากระทำได้โดยการหาอนุพันธ์ของค่าฟังก์ชันค่าคลาดเคลื่อน (Error Function) ซึ่งเป็นผลต่างของผลตอบสนองเชิงความถี่ของวงจรกรองสัญญาณเฟรไออาร์และผลตอบสนองเชิงความถี่ของการหน่วงเวลาในอุดมคติ โดยฟังก์ชันค่าคลาดเคลื่อนแสดงดังสมการ

$$E(e^{j\omega}) = H(e^{j\omega}) - H_d(e^{j\omega}) \quad (3.21)$$

เมื่อแทนค่าผลตอบสนองเชิงความถี่ของวงจรกรองสัญญาณเฟรไออาร์จากสมการที่ 3.20 โดยกำหนด $z = e^{j\omega}$ และนำผลตอบสนองเชิงความถี่ของการหน่วงเวลาในอุดมคติจากสมการที่ 3.14 แทนลงในสมการที่ 3.21 ดังนั้นฟังก์ชันค่าคลาดเคลื่อนจะมีค่าเป็น

$$E(e^{j\omega}) = \sum_{n=0}^N h(n)e^{-j\omega n} - e^{-j\omega D} \quad (3.22)$$

โดยที่ $E(e^{j\omega})$ คือ ฟังก์ชันค่าคลาดเคลื่อนเชิงซ้อน ในการหาอนุพันธ์ของฟังก์ชันนี้กระทำโดยอาศัยสมการ

$$\left. \frac{d^k E(e^{j\omega})}{d\omega^k} \right|_{\omega=\omega_0} = 0 \quad \text{โดยที่ } k = 0, 1, 2, \dots, N \quad (3.23)$$

เมื่อแทนค่าฟังก์ชันค่าคลาดเคลื่อนตามสมการที่ 3.22 ลงในสมการที่ 3.23 จะได้

$$\frac{d^k}{d\omega^k} \left[\sum_{n=0}^N h(n) e^{-j\omega n} - e^{-j\omega D} \right] \Big|_{\omega=\omega_0} = 0 \quad \text{โดยที่ } k = 0, 1, 2, \dots, N \quad (3.24)$$

จากนั้นหาอนุพันธ์ของฟังก์ชันค่าคลาดเคลื่อนที่ความถี่ $\omega_0 = 0$ โดยที่กำหนด $k = 0$ จะได้

$$\sum_{n=0}^N h(n) - 1 = 0 \Rightarrow \sum_{n=0}^N h(n) = 1 \quad (3.25)$$

จากสมการที่ 3.25 แสดงให้เห็นว่าผลรวมของค่าสัมประสิทธิ์ของวงจรกรองสัญญาณเอพไออาร์จะเท่ากับ 1 ถ้าในกรณีที่ $k = 1$ ค่าอนุพันธ์ของฟังก์ชันค่าคลาดเคลื่อนจะมีค่าเท่ากับ

$$-\sum_{n=0}^N jnh(n) + jD = 0 \Rightarrow \sum_{n=0}^N nh(n) = D \quad (3.26)$$

และในกรณีที่ $k = 2$ ค่าอนุพันธ์ของฟังก์ชันค่าคลาดเคลื่อนจะมีค่าเท่ากับ

$$-\sum_{n=0}^N n^2 h(n) + D^2 = 0 \Rightarrow \sum_{n=0}^N n^2 h(n) = D^2 \quad (3.27)$$

สำหรับกรณีที่ k มีค่าใด ๆ ($k = N$) ค่าอนุพันธ์ของฟังก์ชันค่าคลาดเคลื่อนจะมีค่าเท่ากับ

$$\sum_{n=0}^N n^k h(n) = D^k \quad \text{โดยที่ } k = 0, 1, 2, \dots, N \quad (3.28)$$

ซึ่งสามารถแสดงสมการที่ 3.28 ในรูปแบบเมตริกซ์ได้ คือ

$$\mathbf{V}\mathbf{h} = \mathbf{v} \quad (3.29)$$

โดยที่ \mathbf{V} คือ เมตริกซ์ของแควร์มอนต์ (Vandermonde Matrix) ขนาด $L \times L$ ซึ่ง $L = N + 1$ มีค่าดังสมการ

$$\mathbf{V} = \begin{bmatrix} 0^0 & 1^0 & 2^0 & \dots & N^0 \\ 0^1 & 1^1 & 2^1 & & N^1 \\ 0^2 & 1^2 & 2^2 & & N^2 \\ \vdots & & & \ddots & \vdots \\ 0^N & 1^N & 2^N & \dots & N^N \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 & \dots & 1 \\ 0 & 1 & 2 & & N \\ 0 & 1 & 4 & & N^2 \\ \vdots & & & \ddots & \vdots \\ 0 & 1 & 2^N & \dots & N^N \end{bmatrix} \quad (3.30)$$

h คือ เวกเตอร์สัมประสิทธิ์ของวงจรรองสัญญาณเอพไออาร์ มีค่าดังสมการ

$$\mathbf{h} = [h(0) \ h(1) \ h(2) \ \dots \ h(N)]^T \quad (3.31)$$

และ

$$\mathbf{v} = [1 \ D \ D^2 \ \dots \ D^N]^T \quad (3.32)$$

เนื่องจากเมตริกซ์ของแคร้มองค์เป็นเมตริกซ์ไม่เอกฐาน จึงสามารถหาค่าผกผันของเมตริกซ์นี้ หรือ \mathbf{V}^{-1} ได้ด้วยกฎของเครเมอร์ (Cramer's Rule) และสมการที่ 3.29 จะมีผลเฉลยเท่ากับ

$$\mathbf{h} = \mathbf{V}^{-1}\mathbf{v} \quad (3.33)$$

หรือเขียนอยู่ในรูปแบบโดยชัดแจ้งได้ คือ

$$h(n) = \prod_{\substack{k=0 \\ k \neq n}}^N \frac{D-k}{n-k} \quad \text{โดยที่ } n=0,1,2,\dots,N \quad (3.34)$$

โดยที่ D คือ ค่าการหน่วงเป็นเศษส่วน N คือ อันดับของวงจรรองสัญญาณเอพไออาร์ และค่าสัมประสิทธิ์ $h(n)$ มีค่าเท่ากับค่าสัมประสิทธิ์ของการอินเตอร์โพลชันแบบลากรานจ์ ใดๆก็ตาม สมการที่ 3.34 สามารถแสดงในรูปทั่วไปได้ดังสมการ

$$h(n) = e^{j\omega_0(n-D)} \prod_{\substack{k=0 \\ k \neq n}}^N \frac{D-k}{n-k} \quad \text{โดยที่ } n=0,1,2,\dots,N \quad (3.35)$$

โดยในสมการที่ 3.35 เมื่อกำหนดความถี่ $\omega_0 = 0$ จะได้ผลลัพธ์เป็นสมการที่ 3.34 ส่วนในกรณีที่กำหนด $\omega_0 = \pi$ จะได้สัมประสิทธิ์ของวงจรถูกเป็นจำนวนจริงที่มีค่าสัมบูรณ์เท่ากับสัมประสิทธิ์ที่ได้จากสมการที่ 3.34 แต่แตกต่างกันที่เครื่องหมายเท่านั้น แต่สำหรับกรณีที่ความถี่อยู่ในช่วง $0 < \omega_0 < \pi$ ค่าสัมประสิทธิ์ $h(n)$ จะเป็นจำนวนเชิงซ้อน ซึ่งจะมีการคำนวณที่ซับซ้อนและยุ่งยากกว่าค่าสัมประสิทธิ์ที่เป็นจำนวนจริง ดังนั้นในการประมาณค่าโดยใช้วิธีการประมาณค่าการหน่วงเป็นเศษส่วนแบบเอฟไออาร์ที่มีผลตอบสนองรวมเรียบมากที่สุดจึงใช้วงจรถูกสัญญาณเอฟไออาร์ที่มีสัมประสิทธิ์เป็นจำนวนจริง

3.2.4 การอินเตอร์โพลชันแบบลากรานจ์

การอินเตอร์โพลชันแบบลากรานจ์เป็นวิธีการประมาณค่าฟังก์ชันโดยใช้พหุนามอันดับที่ N ใด ๆ เพื่อประมาณค่าฟังก์ชันให้ผ่านจุดที่กำหนดจำนวน $N+1$ จุด โดยการอินเตอร์โพลชันวิธีนี้สามารถพิสูจน์ที่มาได้หลายวิธี แต่วิธีการหนึ่งที่ไม่ซับซ้อนกระทำได้โดยอาศัยพหุนาม $h(n, D)$ อันดับที่ N ใด ๆ มาประมาณค่าฟังก์ชัน $x(t)$ โดยที่ t เป็นจำนวนจริง ให้ผ่านจุด $n = 0, 1, 2, \dots, N$ ซึ่งมีจำนวน $N+1$ จุด ฟังก์ชันจากการประมาณค่า $x_a(t)$ จะมีค่าดังสมการ

$$x_a(t) = \sum_{n=0}^N h(n, D)x(n) \quad (3.36)$$

โดยที่ D คือ ระยะห่างจากจุด $n=0$ และเป็นจำนวนจริงที่มีค่าอยู่ในช่วง $0 \leq D \leq N$ และ $h(n, D)$ คือ พหุนาม D อันดับที่ N ใด ๆ ซึ่งมีค่าเท่ากับ 1 เมื่อ $n = D$ และเป็นมีค่าเท่ากับศูนย์ที่จุดอื่น ๆ โดยสามารถแสดงในรูปของฟังก์ชันโครเนคเกอร์เดลตา (Kronecker Delta) ดังสมการ

$$h(n, D) = \delta(n - D) = \begin{cases} 1 & \text{เมื่อ } n = D \\ 0 & \text{เมื่อ } n \neq D \end{cases} \quad (3.37)$$

จากสมการที่ 3.37 สามารถแสดงพหุนาม $h(n, D)$ ที่จุด $n = 0, 1, 2, \dots, n-1, n+1, \dots, N$ ได้คือ

$$h(n, D) = C_n [D(D-1)\cdots(D-n+1)(D-n-1)\cdots(D-N+1)(D-N)] \quad (3.38)$$

และจากเงื่อนไขที่ $h(n, D) = 1$ เมื่อ $n = D$ ซึ่งจะเป็นจริงเมื่อค่าคงที่การปรับค่า (Scaling Constant) C_n ในสมการที่ 3.38 มีค่าดังสมการ

$$C_n = \frac{1}{n(n-1)\cdots(-1)\cdots(-n+1)(n-N)} \quad (3.39)$$

เมื่อนำสมการที่ 3.39 แทนลงในสมการที่ 3.38 จะให้ผลลัพธ์เหมือนสมการที่ 3.34 ซึ่งเป็นการอินเตอร์โพลีชันแบบลากรานจ์ ถึงแม้ว่าการพิสูจน์ที่มาจากวิธีนี้เป็นวิธีที่ไม่ยุ่งยาก แต่เป็นการพิสูจน์ในเชิงคณิตศาสตร์เพียงอย่างเดียว ซึ่งไม่แสดงถึงวิธีการทางด้านการประมวลผลสัญญาณดิจิทัลดังเช่นสมการที่ 3.34

สำหรับวิธีการพิสูจน์ที่มาจากอินเตอร์โพลีชันแบบลากรานจ์นั้น ที่จริงแล้วก็คือการหาฟังก์ชันถ่ายโอนของอินเตอร์โพลีชันแบบลากรานจ์ซึ่งมีวิธีการจำนวนมากที่สมมูลกัน [5] โดยวิธีการพิสูจน์เหล่านี้พัฒนามาเพื่อให้ได้โครงสร้างที่เหมาะสมสำหรับการนำไปสร้างจริง และเรียกว่าโครงสร้างสำหรับอินเตอร์โพลีชันแบบลากรานจ์ โดยโครงสร้างที่นิยมใช้กัน ได้แก่ โครงสร้างฟาร์โรว์ (Farrow Structure) โครงสร้างฟาร์โรว์ที่ดัดแปลง (Modified Farrow Structure) นอกจากนี้ยังมีโครงสร้างอีกแบบหนึ่งที่มีประสิทธิภาพ ได้แก่ โครงสร้างเทย์เลอร์ (Taylor Structure) ซึ่งใช้จำนวนอุปกรณ์สำหรับการคำนวณลดลงจากโครงสร้างฟาร์โรว์และโครงสร้างฟาร์โรว์ที่ดัดแปลง

3.2.5 โครงสร้างฟาร์โรว์สำหรับการอินเตอร์โพลีชันแบบลากรานจ์

โครงสร้างฟาร์โรว์เป็นวิธีการประมาณค่าฟังก์ชันเวลาต่อเนื่องโดยอาศัยพหุนามค่าการหน่วงเป็นเศษส่วน D ซึ่งผลการประมาณค่าแสดงดังสมการ

$$y(n) = x_{ap}(n - D) = \sum_{k=0}^N c(k)D^k \quad (3.40)$$

ซึ่งวิธีการนี้ตรงกับหลักการของวงจรรองสัญญาณเอฟไออาร์สำหรับการอินเตอร์โพลีชันแบบฟาร์โรว์ที่ค่าสัมประสิทธิ์อยู่ในรูปของพหุนามค่าการหน่วงอันดับที่ N ใด ๆ ซึ่งให้ผลลัพธ์เป็นวงจรรองสัญญาณเอฟไออาร์ที่มีค่าสัมประสิทธิ์คงที่จำนวน $N+1$ วงจร

การพิสูจน์ที่มาจากวิธีหนึ่ง คือ การพิจารณาในโดเมนแซด โดยพิจารณาสมการเอาท์พุทของการอินเตอร์โพลีชันแบบพหุนาม (Polynomial Interpolation) ได้แก่

$$Y(z) = H(z)X(z) \quad (3.41)$$

โดยที่ $X(z)$ และ $Y(z)$ คือ ผลการแปลงแซดของอินพุต $x(n)$ และเอาท์พุท $y(n)$ ซึ่งมีความสัมพันธ์กัน คือ ค่าการสุ่มตัวอย่างเอาท์พุทจะเป็นค่าการสุ่มตัวอย่างอินพุทที่หน่วงเวลาออกไปแสดงได้ดังสมการ

$$Y(z) = z^{-D}X(z) \quad \text{โดยที่ } D = 0, 1, 2, \dots, N \quad (3.42)$$

และฟังก์ชันถ่ายโอน $H(z)$ ซึ่งอยู่ในรูปของพหุนาม D แสดงดังสมการ

$$H_{Farrow}(z) = \sum_{k=0}^N C_k(z) D^k \quad (3.43)$$

เมื่อแทนค่าสมการที่ 3.42 และ สมการที่ 3.43 ลงในสมการที่ 3.41 จะได้

$$\sum_{k=0}^N C_k(z) D^k = z^{-D} \quad \text{โดยที่ } D = 0, 1, 2, \dots, N \quad (3.44)$$

ซึ่งสมการที่ 3.44 เมื่อเขียนอยู่ในรูปเมตริกซ์จะได้

$$\mathbf{U}\mathbf{c} = \mathbf{z} \quad (3.45)$$

โดยที่ \mathbf{U} มีขนาด $L \times L$ และมีค่าดังสมการ

$$\mathbf{U} = \begin{bmatrix} 0^0 & 0^1 & 0^2 & \dots & 0^N \\ 1^0 & 1^1 & 1^2 & & 1^N \\ 2^0 & 2^1 & 2^2 & & 2^N \\ \vdots & & & \ddots & \vdots \\ N^0 & N^1 & N^2 & \dots & N^N \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 & \dots & 0 \\ 1 & 1 & 1 & & 1 \\ 1 & 2 & 4 & & 2^N \\ \vdots & & & \ddots & \vdots \\ 1 & N & N^2 & \dots & N^N \end{bmatrix} \quad (3.46)$$

เวกเตอร์ \mathbf{c} คือ เวกเตอร์ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณเอฟไออาร์ ซึ่งมีค่าเท่ากับ

$$\mathbf{c} = [C_0(z) \ C_1(z) \ C_2(z) \ \dots \ C_N(z)]^T \quad (3.47)$$

และเวกเตอร์ \mathbf{z} คือ เวกเตอร์ค่าการหน่วง

$$\mathbf{z} = [1 \ z^{-1} \ z^{-2} \ \dots \ z^{-N}]^T \quad (3.48)$$

เนื่องจากเมตริกซ์ \mathbf{U} เป็นเมตริกซ์วงจรมองค้ำ จึงหาเมตริกซ์ค่าผกผัน \mathbf{U}^{-1} ได้ ดังนั้น ผลเฉลยของสมการที่ 3.45 จึงเท่ากับ

$$\mathbf{c} = \mathbf{U}^{-1}\mathbf{z} \quad (3.49)$$

เมื่อกำหนดให้เมตริกซ์ $Q = U^{-1}$ และสมาชิกในแต่ละแถวของของเมตริกซ์นี้เป็นค่าสัมประสิทธิ์ของวงจรรองสัญญาณเอฟไออาร์ย่อย โดยเมตริกซ์นี้มีค่าดังสมการ

$$Q = [q_0 \quad q_1 \quad q_2 \quad \cdots \quad q_N]^T \quad (3.50)$$

เพราะฉะนั้นฟังก์ชันถ่ายโอนของวงจรรองสัญญาณเอฟไออาร์ $C_n(z)$ จึงหาได้จากผลคูณภายใน (Inner Product) ดังสมการ

$$C_n(z) = \mathbf{q}_n \mathbf{z} = \sum_{k=0}^N q_n(k) z^{-k} \quad \text{โดยที่ } n=1,2,\dots,N \quad (3.51)$$

ในการคำนวณค่าสัมประสิทธิ์ $q_n(k)$ ของวงจรรองสัญญาณเอฟไออาร์ $C_n(z)$ กระทำได้โดยหาค่าเมตริกซ์ผกผันของเมตริกซ์ U เมื่อกำหนด $D=0$ ในสมการที่ 3.44 จะได้

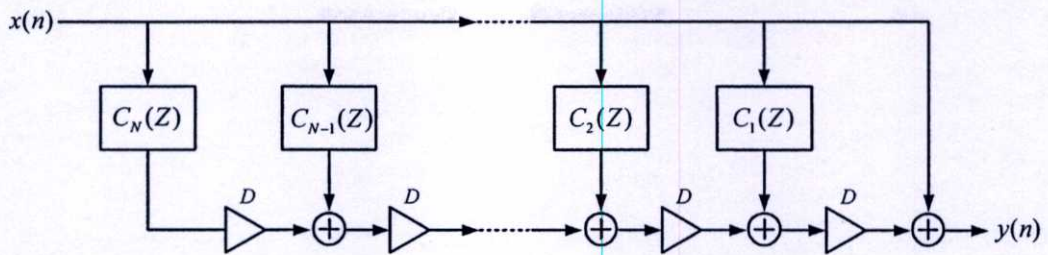
$$\sum_{k=0}^N C_k(z) 0^k = 1 \Rightarrow C_0(z) = 1 \quad (3.52)$$

ผลลัพธ์ที่ได้นี้แสดงให้เห็นว่าฟังก์ชันถ่ายโอนของวงจรรองสัญญาณอันดับศูนย์จะมีค่าเป็น 1 หรือ $C_0(z) = 1$ โดยไม่ขึ้นกับอันดับของการอินเตอร์โพลชัน ฟังก์ชันถ่ายโอนของวงจรรองสัญญาณเอฟไออาร์ตัวอื่น ๆ หรือ $C_n(z)$ ที่คำนวณได้จากสมการที่ 3.51 จะเป็นวงจรรองสัญญาณเอฟไออาร์อันดับ N

ข้อดีของโครงสร้างฟาร์โรว์สำหรับการอินเตอร์โพลชันแบบลากรานจ์ คือ $C_n(z)$ จะมีค่าคงที่ที่อันดับหนึ่ง ๆ จึงไม่ต้องปรับค่าสัมประสิทธิ์ของวงจรรองสัญญาณย่อยอีก เมื่อกำหนด D เปลี่ยนแปลง การจัดรูปสมการที่ 3.44 โดยใช้วิธีของฮอร์เนอร์ (Horner's Method) จะได้

$$\sum_{k=0}^N C_k(z) D^k = C_0(z) + [C_1(z) + [C_2(z) + \dots + [C_{N-1}(z) + C_N(z) D] D \dots] D \quad (3.53)$$

ซึ่งจะได้โครงสร้างที่มีประสิทธิภาพสำหรับการสร้างจริง โดยใช้ตัวคูณค่าการหน่วงจำนวน N ตัวเท่านั้น รูปที่ 3.4 แสดงโครงสร้างฟาร์โรว์สำหรับการอินเตอร์โพลชันแบบลากรานจ์ที่จัดรูปด้วยวิธีการของฮอร์เนอร์ โครงสร้างนี้เหมาะสมกับการใช้งานที่ค่าการหน่วงเป็นเศษส่วน D มีการเปลี่ยนแปลงตลอดเวลา ซึ่งอาจมีการเปลี่ยนแปลงทุกช่วงการสุ่มค่าตัวอย่างก็ได้



รูปที่ 3.4 โครงสร้างฟาร์โรว์สำหรับการอินเตอร์โพลชันแบบลากรานจ์
ที่จัดรูปด้วยวิธีการของฮอร์เนอร์

3.2.6 โครงสร้างฟาร์โรว์ที่ดัดแปลงสำหรับการอินเตอร์โพลชันแบบลากรานจ์

โครงสร้างฟาร์โรว์ที่ดัดแปลงมีการพัฒนามาเพื่อปรับปรุงโครงสร้างฟาร์โรว์แบบเดิมให้มีประสิทธิภาพมากยิ่งขึ้น โดยสามารถลดจำนวนอุปกรณ์ที่ใช้สำหรับการคำนวณลง การปรับปรุงกระทำโดยเปลี่ยนช่วงค่าการหน่วง D ทำให้ไม่มีส่วนที่เป็นจำนวนเต็ม ดังนั้นค่าการหน่วงค่าใหม่ D' จะมีเฉพาะค่าเศษส่วน d ซึ่งมีค่าในช่วง $0 \leq d \leq 1$ สำหรับวงจรกรองอันดับเลขคู่ และ $-0.5 \leq d \leq 0.5$ สำหรับวงจรกรองอันดับเลขคี่ ซึ่งการเปลี่ยนช่วงค่าการหน่วงค่านี้นี้สมมูลกับการแทนค่า D' ด้วย $D-1$

วิธีการปรับปรุงจะใช้เมตริกซ์สัมประสิทธิ์ดัดแปลง Q_m ซึ่งหาได้โดยการนำเมตริกซ์สัมประสิทธิ์ของวงจรกรองสัญญาณเอพ็อลารัยย่อย หรือ เมตริกซ์ Q ตามสมการที่ 3.50 มาคูณกับเมตริกซ์การแปลง T ดังสมการ

$$Q_m = TQ \quad (3.54)$$

โดยที่เมตริกซ์การแปลง T เป็นเมตริกซ์ขนาด $(N+1) \times (N+1)$ มีนิยาม คือ

$$T_{n,m} = \begin{cases} \text{round} \left(\frac{N}{2} \right)^{n-m} \binom{n}{m} & \text{เมื่อ } n \geq m \\ 0 & \text{เมื่อ } n < m \end{cases} \quad (3.55)$$

โดยที่ $n, m = 0, 1, 2, \dots, N$ เนื่องจากโครงสร้างนี้เป็นการปรับปรุงโครงสร้างฟาร์โรว์แบบเดิม ฟังก์ชันถ่ายโอนของโครงสร้างนี้จึงมีรูปแบบเช่นเดียวกับโครงสร้างฟาร์โรว์ สิ่งที่แตกต่างกันคือ ฟังก์ชันถ่ายโอนของโครงสร้างฟาร์โรว์ดัดแปลงจะใช้เมตริกซ์สัมประสิทธิ์ดัดแปลง Q_m แทนการใช้เมตริกซ์สัมประสิทธิ์ Q ในสมการที่ 3.50

3.2.7 โครงสร้างเทย์เลอร์สำหรับการอินเตอร์โพลชันแบบลากรานจ์

การพิสูจน์ที่มาของฟังก์ชันถ่ายโอนของโครงสร้างเทย์เลอร์สำหรับการอินเตอร์โพลชันแบบลากรานจ์ มีความแตกต่างจากโครงสร้างทั้ง 2 แบบข้างต้น โดยฟังก์ชันถ่ายโอนของโครงสร้างชนิดนี้พิสูจน์ที่มาโดยอาศัยอนุกรมเทย์เลอร์ชนิดเวลาไม่ต่อเนื่องซึ่งเป็นทวิลักษณ์ (Dual) ของอนุกรมเทย์เลอร์ ซึ่งมีนิยามดังสมการ

$$y(n) = \sum_{k=0}^{\infty} \Delta^k x(n) \frac{(t-n)^{[k]}}{k!} \quad (3.56)$$

โดยที่ Δ คือ ตัวดำเนินการผลต่างย้อนกลับ (Backward Difference Operator) และเป็นทวิลักษณ์ของตัวดำเนินการอนุพันธ์ (Derivative Operator) ของอนุกรมเทย์เลอร์ ซึ่งตัวดำเนินการผลต่างย้อนกลับมีนิยาม คือ $\Delta x(n) = x(n) - x(n-1)$ และ $x^{[k]}$ คือ พอลลิงแฟกทอเรียลซึ่งมีนิยาม คือ $x^{[k]} = x(x-1)(x-2)\dots(x-k+2)(x-k+1)$

เมื่อกำหนดให้ n คือ ระยะห่างจากจุด t เพราะฉะนั้นระยะ $t-n$ จึงเป็นค่าการหน่วง $-D$ เมื่อแทนค่า $-D = t-n$ ลงในสมการที่ 3.56 จะได้ว่า

$$y(n) = \sum_{k=0}^{\infty} \Delta^k x(n) \frac{(-D)^{[k]}}{k!} \quad (3.57)$$

โดยที่ $(-D)^{[k]}$ จัดรูปใหม่ได้เป็น $(-1)^k D^{[k]}$ ในการประมาณค่าฟังก์ชันโดยใช้พหุนามอันดับที่ N ให้ผ่านจุด $x(n)$ จำนวน $N+1$ จุด ดังนั้นสมการที่ 3.57 จึงเปลี่ยนเป็น

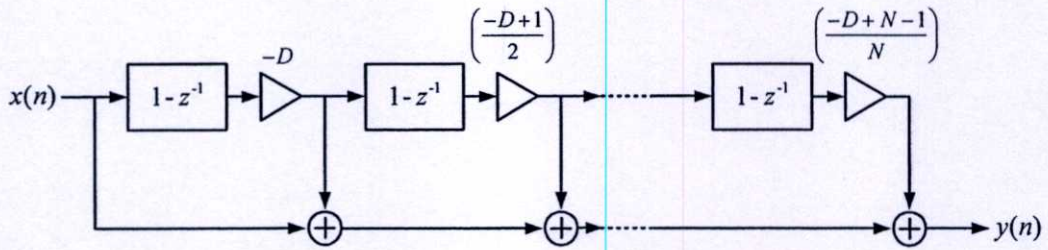
$$y(n) = \sum_{k=0}^N \Delta^k x(n) \frac{(-1)^k D^{[k]}}{k!} \quad (3.58)$$

เมื่อแปลงแซดกับสมการที่ 3.58 จะได้ฟังก์ชันถ่ายโอนของโครงสร้างเทย์เลอร์สำหรับการอินเตอร์โพลชันแบบลากรานจ์ ดังสมการ

$$H_{Taylor}(z) = \sum_{k=0}^N (-1)^k \frac{D^{[k]}}{k!} (1-z^{-1})^k \quad (3.59)$$

สมการที่ 3.59 สามารถจัดรูปใหม่ให้อยู่ในรูปฟังก์ชันถ่ายโอนของโครงสร้างฟาร์โรว์สำหรับการอินเตอร์โพลชันแบบลากรานจ์ได้ หรือในทางกลับกันฟังก์ชันถ่ายโอนของโครงสร้างฟาร์โรว์ก็

สามารถจัดรูปสมการให้อยู่ในรูปของฟังก์ชันถ่ายโอนของโครงสร้างเทย์เลอร์ได้เช่นเดียวกัน โดยโครงสร้างเทย์เลอร์สำหรับการอินเตอร์โพลชันแบบลากรางจ์แสดงดังรูปที่ 3.5



รูปที่ 3.5 โครงสร้างเทย์เลอร์สำหรับการอินเตอร์โพลชันแบบลากรางจ์

3.2.8 การเปรียบเทียบจำนวนอุปกรณ์

จำนวนอุปกรณ์ที่ใช้สำหรับโครงสร้างเทย์เลอร์อันดับที่ N ประกอบด้วย ตัวคูณจำนวน $3N-2$ ตัว และตัวบวกจำนวน $3N-1$ ตัว ซึ่งเมื่อเปรียบเทียบกับโครงสร้างแบบฟาร์โรว์และโครงสร้างฟาร์โรว์ที่ดัดแปลง ซึ่งใช้ตัวคูณและตัวบวกอย่างละ N^2 ตัว [4] จึงสรุปได้ว่าโครงสร้างเทย์เลอร์นั้นมีประสิทธิภาพเหมาะสมกับการนำมาสร้างจริงมากที่สุด เนื่องจากใช้จำนวนอุปกรณ์ที่น้อยที่สุด

3.3 เลขคณิตกระจาย

เลขคณิตกระจาย (Distributed Arithmetic: DA) เป็นวิธีการคำนวณผลคูณที่มีประสิทธิภาพในการคำนวณที่สุด ซึ่งสามารถนำไปใช้ได้ดีสำหรับการออกแบบวงจร [6] โดยวิธีการคำนวณผลคูณภายในอยู่ในรูปแบบผลรวมของผลคูณ (Sum of Product) ซึ่งผลลัพธ์การคูณของแต่ละบิตจะมีค่าที่แน่นอน ซึ่งสามารถคำนวณล่วงหน้าและเก็บไว้ในหน่วยความจำได้ ดังนั้นจึงลดระยะเวลาในการคำนวณลงได้ เลขคณิตกระจายแบ่งได้เป็น 2 แบบ คือ เลขคณิตกระจายแบบอนุกรม และเลขคณิตกระจายแบบขนาน เลขคณิตกระจายแบบอนุกรมจะนำบิตย่อยของข้อมูลไปชี้หน่วยความจำที่ละบิตเพื่อดึงค่าผลการคูณที่คำนวณไว้ล่วงหน้า แล้วบวกสะสมค่าผลลัพธ์นี้ไว้จนกระทั่งครบความยาวข้อมูล จึงจะได้ผลลัพธ์การคูณที่ต้องการ ในขณะที่เลขคณิตกระจายแบบขนานจะนำบิตย่อยของข้อมูลมาชี้หน่วยความจำพร้อมกันทุกบิต จากนั้นจะบวกรวมกันเพื่อให้ได้ผลลัพธ์ที่ต้องการ จากการชี้ตำแหน่งพร้อมกันทุกบิตย่อยจึงทำให้เลขคณิตกระจายแบบขนานลดระยะเวลาการคำนวณลงจากเลขคณิตกระจายแบบอนุกรม

3.3.1 เลขคณิตกระจายแบบอนุกรม

เลขคณิตกระจายอนุกรม (Serial Distributed Arithmetic: SDA) ที่ใช้สำหรับคำนวณผลคูณภายใน ซึ่งอยู่ในรูปผลรวมของผลคูณ แสดงดังสมการ

$$Y = \sum_{k=1}^K A_k x_k \quad (3.60)$$

โดยที่ Y คือ ผลลัพธ์ของการคูณภายใน A_k คือ ค่าสัมประสิทธิ์คงที่ และ x_k คือ ค่าข้อมูลอินพุตฐานสองแบบเติมเต็มสอง (2's Complement) ซึ่งแสดงอยู่ในรูป

$$x_k = -b_{k0} + \sum_{n=1}^{N-1} b_{kn} 2^{-n} \quad (3.61)$$

โดยที่ b_{kn} คือ บิตย่อยมีค่า 0 หรือ 1 และ b_{k0} คือ บิตเครื่องหมาย และ $b_{k,N-1}$ คือ บิตที่มีนัยยะสำคัญต่ำสุด (LSB) เมื่อแทนค่าสมการที่ 3.61 ลงในสมการที่ 3.60 จะได้

$$\begin{aligned} Y &= \sum_{k=1}^K A_k \left(-b_{k0} + \sum_{n=1}^{N-1} b_{kn} 2^{-n} \right) \\ &= \sum_{k=1}^K A_k (-b_{k0}) + \sum_{n=1}^{N-1} \left(\sum_{k=1}^K A_k b_{kn} \right) 2^{-n} \end{aligned} \quad (3.62)$$

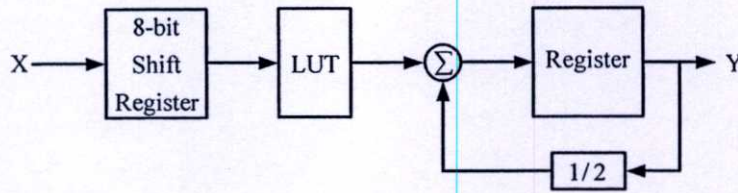
เมื่อกระจายสมการที่ 3.62 จะได้

$$\begin{aligned} Y &= -(A_1 b_{10} + A_2 b_{20} + A_3 b_{30} + \dots + A_K b_{K0}) \\ &\quad + (A_1 b_{11} + A_2 b_{21} + A_3 b_{31} + \dots + A_K b_{K1}) 2^{-1} \\ &\quad + (A_1 b_{12} + A_2 b_{22} + A_3 b_{32} + \dots + A_K b_{K2}) 2^{-2} \\ &\quad \vdots \\ &\quad + (A_1 b_{1(N-2)} + A_2 b_{2(N-2)} + A_3 b_{3(N-2)} + \dots + A_K b_{K(N-2)}) 2^{-(N-2)} \\ &\quad + (A_1 b_{1(N-1)} + A_2 b_{2(N-1)} + A_3 b_{3(N-1)} + \dots + A_K b_{K(N-1)}) 2^{-(N-1)} \end{aligned} \quad (3.63)$$

สมการที่ 3.63 จะมีค่าผลคูณที่เป็นไปได้จำนวน 2^K ซึ่งสามารถคำนวณไว้ล่วงหน้าแล้วเก็บค่าไว้ในหน่วยความจำ

กระบวนการคำนวณผลคูณภายในโดยใช้เลขคณิตกระจายแบบอนุกรมตามสมการที่ 3.63 จะมีขั้นตอน คือ นำบิตข้อมูลมาชี้หน่วยความจำอ่านค่าผลคูณที่คำนวณไว้ล่วงหน้า

ละบิต จากนั้นรวมค่าผลคูณกับผลคูณสะสมก่อนหน้าที่เลื่อนบิตไปทางขวา 1 บิต ซึ่งจะกระทำซ้ำจนกว่าจะครบความยาวข้อมูลจึงจะได้ผลลัพธ์ที่ถูกต้อง สำหรับความยาวข้อมูล N บิต จะใช้เวลาในการคำนวณ N รอบสัญญาณนาฬิกา โดยในรูปที่ 3.6 แสดงโครงสร้างเลขคณิตกระจายแบบอนุกรม



รูปที่ 3.6 โครงสร้างเลขคณิตกระจายแบบอนุกรม

3.3.2 เลขคณิตกระจายแบบขนาน

เลขคณิตกระจายแบบขนาน (Parallel Distributed Arithmetic: PDA) ได้รับการพัฒนาขึ้นมาเพื่อลดระยะเวลาการคำนวณของเลขคณิตกระจายแบบอนุกรม โดยพิจารณาสมการที่ 3.63 และกำหนดให้แต่ละพจน์ที่เป็นวงเล็บคำนวณขนานกันไป [7] ดังนี้คือ

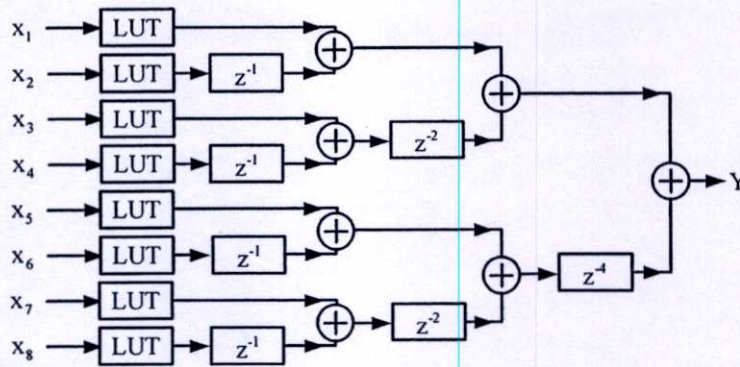
$$\begin{aligned}
 (A_1b_{10} + A_2b_{20} + A_3b_{30} + \dots + A_Kb_{K0}) &\Rightarrow [sum0] \\
 (A_1b_{11} + A_2b_{21} + A_3b_{31} + \dots + A_Kb_{K1}) &\Rightarrow [sum1] \\
 (A_1b_{11} + A_2b_{21} + A_3b_{31} + \dots + A_Kb_{K1}) &\Rightarrow [sum2] \\
 \vdots & \\
 (A_1b_{1(N-2)} + A_2b_{2(N-2)} + A_3b_{3(N-2)} + \dots + A_Kb_{K(N-2)}) &\Rightarrow [sum(N-2)] \\
 (A_1b_{1(N-1)} + A_2b_{2(N-1)} + A_3b_{3(N-1)} + \dots + A_Kb_{K(N-1)}) &\Rightarrow [sum(N-1)]
 \end{aligned} \tag{3.64}$$

เพราะฉะนั้นสมการที่ 3.63 จะเปลี่ยนเป็น

$$Y = -[sum0] + [sum1]2^{-1} + [sum2]2^{-2} + \dots + [sum(N-2)]2^{-(N-2)} + [sum(N-1)]2^{-(N-1)} \tag{3.65}$$

ซึ่งในแต่ละพจน์ $[sumX]$ จะคำนวณพร้อมกันและผลรวมที่ได้แต่ละพจน์จะมีการปรับค่าที่ต่างกัน

สำหรับกระบวนการคำนวณเลขคณิตกระจายแบบขนานตามสมการที่ สมการที่ 3.65 จะมีขั้นตอน คือ นำบิตข้อมูลมาแยกเป็นบิตย่อยและนำแต่ละบิตไปชี้หน่วยความจำพร้อมกันทุกบิต ผลคูณที่ได้จะออกมาพร้อมกัน จากนั้นผลคูณดังกล่าวเลื่อนบิตไปเป็นจำนวนบิตตามค่าตำแหน่งของบิตนั้น ๆ [8] ดังนั้นข้อมูลความยาว N บิต จะใช้เวลาในการคำนวณเพียง 1 รอบสัญญาณนาฬิกาเท่านั้น ซึ่งในรูปที่ 3.7 แสดงโครงสร้างเลขคณิตกระจายแบบขนาน



รูปที่ 3.7 โครงสร้างเลขคณิตกระจายแบบขนาน

3.4 สรุป

การออกแบบวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนหรือวงจรกรองสัญญาณวีเอพีดี จะใช้วิธีการประมาณค่าการหน่วงเป็นเศษส่วนแบบเอฟไออาร์ที่มีผลตอบสนองราบเรียบมากที่สุด ซึ่งวิธีการนี้สมมูลกับการอินเตอร์โพลชันแบบลากรานจ์ ซึ่งเป็นการหาฟังก์ชันถ่ายโอนของการอินเตอร์โพลชันแบบลากรานจ์ ผลลัพธ์ของการหาฟังก์ชันถ่ายโอนของการอินเตอร์โพลชันแบบลากรานจ์จะได้โครงสร้างสำหรับการอินเตอร์โพลชันแบบลากรานจ์ โดยโครงสร้างที่นิยมใช้กัน ได้แก่ โครงสร้างฟาร์โรว์ และโครงสร้างฟาร์โรว์ที่ดัดแปลง นอกจากนี้ยังมีโครงสร้างอีกแบบหนึ่งที่มีประสิทธิภาพ ได้แก่ โครงสร้างเทย์เลอร์

สำหรับเลขคณิตกระจายเป็นวิธีการคำนวณผลคูณที่มีประสิทธิภาพในการคำนวณซึ่งสามารถนำมาใช้มาได้ดีสำหรับการออกแบบวงจร โดยเลขคณิตกระจายแบบอนุกรมจะนำบิตข้อมูลอินพุตมาคำนวณทีละบิตจนครบความยาวบิตข้อมูล ในขณะที่เลขคณิตกระจายแบบขนานจะนำบิตข้อมูลมาคำนวณพร้อมกันจึงคำนวณผลลัพธ์โดยใช้เวลาน้อยกว่าเลขคณิตกระจายแบบอนุกรม

บทที่ 4

การออกแบบวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน

4.1 บทนำ

การออกแบบวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนหรือวงจรกรองสัญญาณวีเอฟดีที่อาศัยโครงสร้างเทย์เลอร์ สิ่งแรกที่ต้องพิจารณา คือ ระบบตัวเลขที่ใช้ในการออกแบบซึ่งพิจารณาจากปัจจัย 3 ด้าน ได้แก่ ข้อมูลอินพุต อันดับของวงจรกรองสัญญาณ และผลลัพธ์จากการคำนวณ จากนั้นจึงออกแบบวงจรกรองสัญญาณวีเอฟดีที่อาศัยโครงสร้างเทย์เลอร์ วงจรกรองสัญญาณวีเอฟดีที่ใช้โครงสร้างนี้ในแต่ละอันดับจะมีลักษณะวงจรที่เหมือนกัน แตกต่างกันเพียงค่าสัมประสิทธิ์เท่านั้น ซึ่งในวิทยานิพนธ์ฉบับนี้เรียกว่าวงจรย่อย 1 สเตจ การสร้างวงจรกรองสัญญาณวีเอฟดีอันดับต่าง ๆ กระทำได้โดยการนำวงจรย่อย 1 สเตจ มาต่อเป็นจำนวนตามอันดับของวงจรที่ต้องการ ดังนั้นการออกแบบวงจรกรองสัญญาณวีเอฟดีจะออกแบบวงจรส่วนประกอบของวงจรย่อย 1 สเตจ และการสร้างวงจรกรองสัญญาณวีเอฟดีจะนำวงจรย่อย 1 สเตจ มาต่อเรียงกันเป็นจำนวนตามอันดับของวงจรที่ต้องการ สำหรับการออกแบบในบทนี้ประกอบไปด้วยหัวข้อต่าง ๆ ดังนี้

- 1) ระบบตัวเลขที่ใช้ในการออกแบบวงจร
- 2) การออกแบบวงจรย่อย 1 สเตจ
- 3) การออกแบบวงจรเลขคณิตกระจายแบบขนาน

4.2 ระบบตัวเลขที่ใช้ในการออกแบบวงจร

ในการออกแบบวงจรกรองสัญญาณวีเอฟดี สิ่งที่ต้องพิจารณาเป็นอันดับแรก คือ ระบบตัวเลขที่ใช้ในการแทนค่าจำนวนต่าง ๆ โดยระบบตัวเลขที่ใช้ในวงจรกรองสัญญาณวีเอฟดีเป็นระบบเลขที่ใช้ในวงจรดิจิทัล คือ เลขฐานสอง สิ่งที่ต้องพิจารณาคือ รูปแบบของเลขฐานสองที่จะนำมาใช้แทนค่าจำนวน ความยาวบิตข้อมูล ความยาวบิตจำนวนเต็ม ความยาวบิตจำนวนเศษส่วน โดยในการออกแบบวงจรกรองสัญญาณวีเอฟดีที่นำเสนอในวิทยานิพนธ์ฉบับนี้ จะมีข้อกำหนดของระบบตัวเลขดังต่อไปนี้

- 1) ข้อมูลอินพุตเป็นสัญญาณชานน์ แอมพลิจูด 0.01 ความยาวข้อมูล 2,001 ตัว
- 2) สามารถรองรับการคำนวณวงจรกรองสัญญาณตั้งแต่อันดับ 1 ถึง อันดับ 12

โดยระบบตัวเลขที่ใช้ในการสร้างวงจรกรองสัญญาณวีเอฟดีจะต้องเป็นไปตามข้อกำหนดเหล่านี้ ซึ่งการเลือกระบบตัวเลขให้เป็นไปตามข้อกำหนดจะพิจารณาปัจจัยต่าง ๆ ดังต่อไปนี้

4.2.1 ข้อมูลอินพุต

ข้อมูลอินพุตเป็นสัญญาณชายน์ แอมพลิจูด 0.01 ดังนั้นค่าของข้อมูลอยู่ในช่วงลบและช่วงบวก ดังนั้นจึงเลือกใช้เลขฐานสองที่สามารถใช้แทนจำนวนที่มีเครื่องหมาย

4.2.2 อันดับของวงจรกรองสัญญาณ

วงจรกรองสัญญาณวีเอฟดีไม่ว่าอันดับใดก็ตามจะมีค่าคงที่ 2 แบบ คือ ค่าสัมประสิทธิ์และค่าการหน่วง สำหรับในวิทยานิพนธ์ฉบับนี้จะกำหนดให้การออกแบบรองรับการสร้างวงจรกรองสัญญาณวีเอฟดี อันดับ 1 ถึงอันดับ 12 โดยมีค่าสัมประสิทธิ์และค่าการหน่วงของวงจรกรองทั้ง 12 อันดับแสดงดังตารางที่ 4.1

ตารางที่ 4.1 ค่าสัมประสิทธิ์และค่าการหน่วงตามข้อกำหนดในการสร้างวงจรกรองสัญญาณวีเอฟดี

อันดับวงจร	ค่าสัมประสิทธิ์	ค่าการหน่วง
อันดับ 1	1 , 0	0.5, 0.6, 0.7, 0.8, 0.9, 1.0
อันดับ 2	1/2 , -1/2	0.5, 0.6, 0.7, 0.8, 0.9, 1.0
อันดับ 3	1/3 , -2/3	1.5, 1.6 ,1.7, 1.8, 1.9, 2.0
อันดับ 4	1/4 , -3/4	1.5, 1.6 ,1.7, 1.8, 1.9, 2.0
อันดับ 5	1/5 , -4/5	2.5, 2.6, 2.7, 2.8, 2.9, 3.0
อันดับ 6	1/6 , 5/6	2.5, 2.6, 2.7, 2.8, 2.9, 3.0
อันดับ 7	1/7 , -6/7	3.5, 3.6, 3.7, 3.8, 3.9, 4.0
อันดับ 8	1/8 , -7/8	3.5, 3.6, 3.7, 3.8, 3.9, 4.0
อันดับ 9	1/9 , -8/9	4.5, 4.6, 4.7, 4.8, 4.9, 5.0
อันดับ 10	1/10 , -9/10	4.5, 4.6, 4.7, 4.8, 4.9, 5.0
อันดับ 11	1/11 , -10/11	5.5, 5.6, 5.7, 5.8, 5.9, 6.0
อันดับ 12	-1/12 , -11/12	5.5, 5.6, 5.7, 5.8, 5.9, 6.0

4.2.3 ผลลัพธ์จากการคำนวณ

เมื่อนำข้อมูลอินพุตและค่าคงที่ของวงจรกรองสัญญาณวีเอฟดีมาคำนวณผลลัพธ์ในแต่ละส่วนตามโครงสร้างของวงจรตามรูปที่ 3.5 เพื่อหาค่าสูงสุดและค่าต่ำสุดที่สามารถเกิดขึ้นได้ จะได้ผลลัพธ์ดังตารางที่ 4.2

ตารางที่ 4.2 ค่าสูงสุดและค่าต่ำสุดจากการคำนวณ

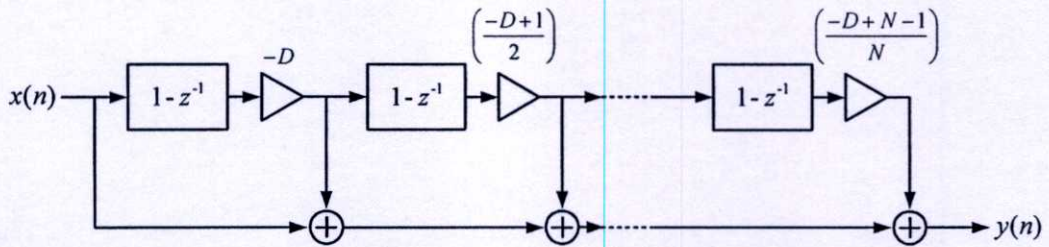
อันดับวงจร	ค่าสูงสุด	ค่าต่ำสุด
อันดับ 1	0.019993	-0.019993
อันดับ 2	0.039970	-0.039971
อันดับ 3	0.159880	-0.159880
อันดับ 4	0.159880	-0.159880
อันดับ 5	0.719210	-0.719210
อันดับ 6	0.719210	-0.719210
อันดับ 7	2.556300	-2.556200
อันดับ 8	2.556300	-2.556200
อันดับ 9	7.988300	-7.988200
อันดับ 10	7.988300	-7.988200
อันดับ 11	28.747000	-28.747000
อันดับ 12	28.747000	-28.747000

จากตารางที่ 4.2 ค่าสูงสุดและค่าต่ำสุด คือ 28.747000 และ -28.747000 ตามลำดับ เพราะฉะนั้นจะต้องใช้ความยาวบิตสำหรับการแทนค่าจำนวนเต็ม 5 บิต ซึ่งแทนค่าได้สูงสุดเท่ากับ 31 และจากผลลัพธ์จากการคำนวณของแต่ละอันดับ ตัวอย่างข้อมูลค่าหนึ่งจากวงจรกรองสัญญาณวีเอฟดี อันดับ 1 เช่น 0.0000050085 ซึ่งอยู่ในระดับทศนิยมตำแหน่งที่ 6 ถ้าใช้ความยาวบิตข้อมูล 16 บิต จะได้ความยาวบิตที่แทนค่าเศษส่วน 10 บิต ซึ่งมีความละเอียดเท่ากับ $1/2^{10}$ หรือทศนิยมตำแหน่งที่ 4 ถ้าใช้ความยาวบิตข้อมูล 32 บิต จะได้ความยาวบิตที่แทนค่าเศษส่วน 26 บิต ซึ่งมีความละเอียดเท่ากับ $1/2^{26}$ หรือทศนิยมตำแหน่งที่ 8 ดังนั้นข้อสรุปที่ได้จากการพิจารณาปัจจัยในหัวข้อ 4.2.1 ถึง 4.2.3 จึงเลือกใช้เลขฐานสองซึ่งมีความยาวบิตข้อมูล 32 บิต โดยเป็นบิตเครื่องหมาย 1 บิต บิตที่ใช้แทนค่าจำนวนเต็ม 5 บิต และบิตแทนค่าทศนิยม 26 บิต ซึ่งให้ความละเอียดในช่วง $1/2^{26}$

สำหรับเลขฐานสองที่ใช้แทนค่าเลขฐานสิบที่เป็นจำนวนทศนิยมเรียกว่าเลขฐานสองแบบทวินิยม (Binary Point) ซึ่งคล้ายกับทศนิยมของเลขฐานสิบ บิตที่มีนัยสำคัญมากที่สุด (Most Significant Bit: MSB) จะเป็นบิตเครื่องหมาย และบิตที่เหลือจะเป็นบิตที่แทนค่าจำนวน ตัวอย่างการใช้เลขฐานสองแบบทวินิยมแทนค่าเลขฐานสิบที่เป็นจำนวนทศนิยม เช่น 12.1245678 เขียนในรูปแบบทวินิยมได้ คือ 0011000001111111000111010110011 หรือ -12.1245678 เขียนในรูปแบบทวินิยมได้ คือ 11001111100000000111000101001100

4.3 การออกแบบวงจรย่อย 1 สเตจ

วงจรกรองสัญญาณวีเอฟดีที่อาศัยโครงสร้างเทย์เลอร์ประกอบด้วย วงจรย่อย หรือสเตจ (Stage) ซึ่งในวิทยานิพนธ์ฉบับนี้เรียกว่าวงจรย่อย 1 สเตจ มาต่อเรียงกัน แต่ละวงจรย่อย 1 สเตจ จะมีโครงสร้างและลักษณะวงจรที่เหมือนกัน โดยแตกต่างกันเพียงค่าสัมประสิทธิ์เท่านั้น วงจรย่อย 1 สเตจ ที่เป็นพื้นฐานที่สุดสามารถสร้างวงจรกรองสัญญาณวีเอฟดีอันดับ 1 หากนำวงจรย่อย 1 สเตจ มาต่อเรียงกันจะได้วงจรกรองสัญญาณวีเอฟดีอันดับสูงขึ้นตามจำนวนวงจรย่อย 1 สเตจ ที่นำมาต่อ ซึ่งรูปที่ 4.1 แสดงวงจรย่อย 1 สเตจ ที่นำมาต่อเรียงกันเป็นวงจรกรองสัญญาณวีเอฟดีที่อาศัยโครงสร้างเทย์เลอร์ อันดับใด ๆ



รูปที่ 4.1 วงจรย่อย 1 สเตจ ที่ต่อเรียงกันสำหรับการสร้างวงจรกรองสัญญาณวีเอฟดี

การสร้างวงจรกรองสัญญาณวีเอฟดีที่น่าเสนอในวิทยานิพนธ์ฉบับนี้ ประกอบด้วย วงจรกรองสัญญาณวีเอฟดี อันดับ 1 ถึง อันดับ 3 โดยอาศัยฟังก์ชันถ่ายโอนของโครงสร้างเทย์เลอร์ สำหรับการอินเตอร์โพลชันแบบลากรานจ์ ตามสมการที่ 3.59 ได้แก่

$$H_{Taylor}(z) = \sum_{k=0}^N (-1)^k D^{[k]} (1-z^{-1})^k \quad (4.1)$$

โดยที่ N คือ อันดับของวงจรกรองสัญญาณ เมื่อแทนค่า $N=3$ จะได้ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณอันดับที่ 3 คือ

$$H_{Taylor,3^{rd}}(z) = (-1)^0 D^{[0]} (1-z^{-1})^0 + (-1)^1 D^{[1]} (1-z^{-1})^1 + (-1)^2 D^{[2]} (1-z^{-1})^2 + (-1)^3 D^{[3]} (1-z^{-1})^3 \quad (4.2)$$

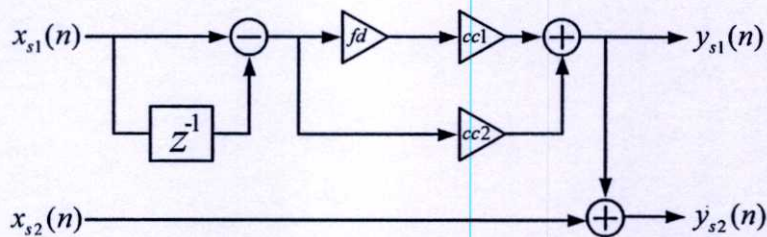
จากสมการที่ 4.2 วงจรย่อย 1 สเตจ คือ แต่ละพจน์ที่บวกกันอยู่ และอาศัยเพียงสมการที่ 4.2 สมการเดียวสามารถหาค่าคงที่ของวงจรกรองสัญญาณตั้งแต่อันดับที่ 1 ถึงอันดับที่ 3 ได้ นั่นคือสามารถหาค่าคงที่ของวงจรกรองสัญญาณอันดับที่ 1 ถึงอันดับที่ N ได้จากการคำนวณฟังก์ชันถ่ายโอนของ

วงจรกรองสัญญาณอันดับที่ N เพียงสมการเดียวเท่านั้น ดังนั้นจึงสรุปค่าคงที่ของวงจรกรองสัญญาณวีเอฟดี อันดับ 1 ถึงอันดับ 3 ได้ดังตารางที่ 4.3

ตารางที่ 4.3 ค่าคงที่ของวงจรกรองสัญญาณวีเอฟดีที่น่าเสนอ

อันดับวงจร	ค่าสัมประสิทธิ์	ค่าการหน่วง
อันดับ 1	1, 0	0.5, 0.6, 0.7, 0.8, 0.9, 1.0
อันดับ 2	1/2, -1/2	0.5, 0.6, 0.7, 0.8, 0.9, 1.0
อันดับ 3	1/3, -2/3	1.5, 1.6, 1.7, 1.8, 1.9, 2.0

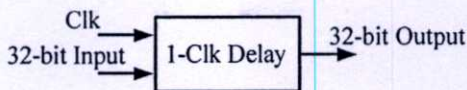
วงจรย่อย 1 แสดงตามรูปที่ 4.1 ประกอบด้วยวงจรส่วนประกอบต่าง ๆ ได้แก่ วงจรหน่วงเวลา 1 หน่วย วงจรลบสแตจ วงจรบวกสแตจ และวงจรคูณ โดยรายละเอียดของวงจรย่อย 1 แสดงแสดงดังรูปที่ 4.2 โดยภายในวงจรย่อย 1 แสดงประกอบไปด้วยวงจรหน่วงเวลา 1 หน่วย 1 วงจร วงจรลบสแตจ 1 วงจร วงจรบวกสแตจ 2 วงจร และวงจรคูณ 3 วงจร



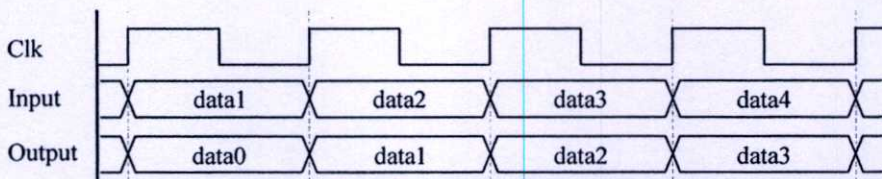
รูปที่ 4.2 บล็อกไดอะแกรมของวงจรย่อย 1 แสดง

4.3.1 วงจรหน่วงเวลา 1 หน่วย

วงจรหน่วงเวลา 1 หน่วย ประกอบด้วย 3 ขา คือ สัญญาณนาฬิกา 1 ขา ข้อมูลอินพุตขนาด 32 บิต 1 ขา และข้อมูลเอาต์พุตขนาด 32 บิต 1 ขา ทำหน้าที่หน่วงเวลาของข้อมูลอินพุตไป 1 รอบสัญญาณนาฬิกา ซึ่งบล็อกไดอะแกรมของวงจรหน่วงเวลา 1 หน่วยแสดงดังรูปที่ 4.3 (ก) สำหรับการทำงานของวงจรหน่วงเวลา 1 หน่วย อธิบายโดยใช้แผนผังเวลาการทำงานซึ่งแสดงดังรูปที่ 4.3 (ข) เมื่อข้อมูลอินพุตเข้ามายังวงจร ข้อมูลจะถูกหน่วงเวลาออกไป 1 รอบสัญญาณนาฬิกา ข้อมูลเอาต์พุตปัจจุบันจึงเป็นข้อมูลอินพุตก่อนหน้า 1 รอบสัญญาณนาฬิกา



(ก) บล็อกไดอะแกรมของวงจรหน่วงเวลา 1 หน่วย

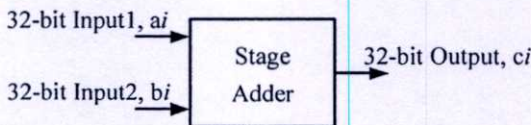


(ข) แผนผังเวลาการทำงานของวงจรหน่วงเวลา 1 หน่วย

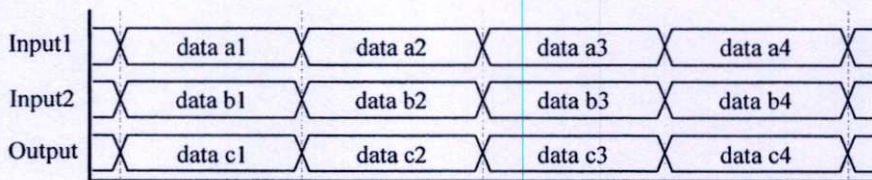
รูปที่ 4.3 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรหน่วงเวลา 1 หน่วย

4.3.2 วงจรบวกสแตจ

วงจรบวกสแตจ ประกอบด้วย 3 ขา คือ ข้อมูลอินพุตขนาด 32 บิต 2 ขา และข้อมูลเอาต์พุตขนาด 32 บิต 1 ขา ทำหน้าที่คำนวณผลรวมของค่าข้อมูลอินพุต 2 จำนวน ซึ่งบล็อกไดอะแกรมวงจรบวกสแตจแสดงดังรูปที่ 4.4 (ก) สำหรับการทำงานของวงจรบวกสแตจอธิบายโดยใช้แผนผังเวลาการทำงานซึ่งแสดงดังรูปที่ 4.4 (ข) เมื่อมีข้อมูลอินพุต a_i และ b_i เข้ามายังวงจร วงจรจะคำนวณผลรวม c_i ของค่าข้อมูลอินพุต 2 จำนวนนี้ และค่าผลรวมนี้จะแสดงที่เอาต์พุตของวงจร ซึ่งตามปกติผลบวกจะมีความยาว 63 บิต แต่จากข้อกำหนดระบบตัวเลขที่ใช้ในการออกแบบ ทำให้ผลบวกมีความยาวไม่เกิน 32 บิต สำหรับในวิทยานิพนธ์ฉบับนี้เรียกวงจรบวกชนิดนี้ว่าวงจรบวกสแตจ เพื่อให้แตกต่างจากวงจรบวกพีดีเอทีที่เป็นวงจรส่วนประกอบของวงจรเลขคณิตกระจายแบบขนาน



(ก) บล็อกไดอะแกรมของวงจรบวกสแตจ

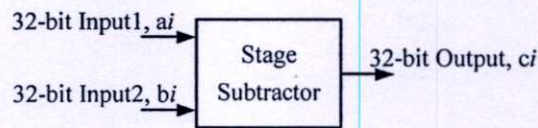


(ข) แผนผังเวลาการทำงานของวงจรบวกสแตจ

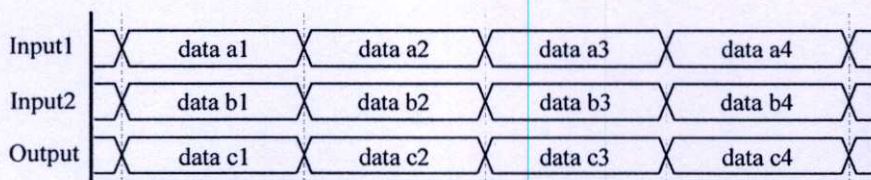
รูปที่ 4.4 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรบวกสแตจ

4.3.3 วงจรลบสเตรจ

วงจรถลบสเตรจ ประกอบด้วย 3 ขา คือ ข้อมูลอินพุตขนาด 32 บิต 2 ขา และข้อมูลเอาต์พุตขนาด 32 บิต 1 ขา ทำหน้าที่คำนวณผลต่างของข้อมูลอินพุต 2 จำนวน ซึ่งบล็อกไดอะแกรมวงจรถลบสเตรจแสดงดังรูปที่ 4.5 (ก) สำหรับการทำงานของวงจรถลบสเตรจอธิบายโดยใช้แผนผังเวลาการทำงานซึ่งแสดงดังรูปที่ 4.5 (ข) เมื่อข้อมูลอินพุต a_i และ b_i เข้ามายังวงจรถลบสเตรจ จะคำนวณผลต่าง c_i ของค่าข้อมูลอินพุต 2 จำนวนนี้ และค่าผลต่างนี้จะแสดงที่เอาต์พุตของวงจรถลบสเตรจ สำหรับในวิทยานิพนธ์ฉบับนี้เรียกวจรถลบชนิดนี้ว่าวงจรถลบสเตรจ เพื่อให้แตกต่างจากวงจรถลบพีซีเอที่เป็นวงจรถลบส่วนประกอบของวงจรถลบเลขคณิตกระจายแบบขนาน



(ก) บล็อกไดอะแกรมของวงจรถลบสเตรจ

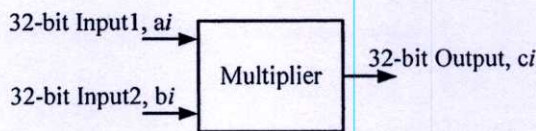


(ข) แผนผังเวลาการทำงานของวงจรถลบสเตรจ

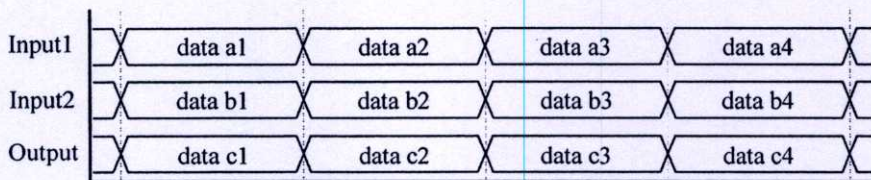
รูปที่ 4.5 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรถลบสเตรจ

4.3.4 วงจรคูณ

วงจรถคูณ ประกอบด้วย 3 ขา คือ ข้อมูลอินพุตขนาด 32 บิต 2 ขา และข้อมูลเอาต์พุตขนาด 32 บิต 1 ขา ทำหน้าที่คำนวณผลคูณของค่าข้อมูลอินพุต 2 จำนวน ซึ่งบล็อกไดอะแกรมวงจรถคูณแสดงดังรูปที่ 4.6 (ก) สำหรับการทำงานของวงจรถคูณอธิบายโดยใช้แผนผังเวลาการทำงานซึ่งแสดงดังรูปที่ 4.6 (ข) เมื่อมีข้อมูลอินพุต a_i และ b_i เข้ามายังวงจรถคูณ จะคำนวณผลคูณ c_i ของค่าข้อมูลอินพุต 2 จำนวนนี้ และค่าผลคูณนี้จะแสดงที่เอาต์พุตของวงจรถคูณ ซึ่งตามปกติผลคูณจะมีความยาว 64 บิต โดยเป็นบิตเครื่องหมาย 1 บิต บิตที่แทนจำนวนเต็ม 11 บิต และบิตที่แทนทศนิยม 52 บิต แต่จากข้อกำหนดระบบตัวเลขที่ใช้ในการออกแบบ ทำให้บิตที่แทนจำนวนเต็มมีความยาวไม่เกิน 5 บิต โดยใช้บิตที่ 8 ถึงบิตที่ 12 และบิตที่แทนทศนิยมสามารถตัดให้เหลือเพียง 26 บิตได้ โดยใช้เพียงบิตที่ 13 ถึงบิตที่ 38 เนื่องจากบิตที่ 39 ถึงบิตที่ 64 แทนค่าทศนิยมที่มีค่าน้อยมาก



(ก) บล็อกไดอะแกรมของวงจรรคูณ



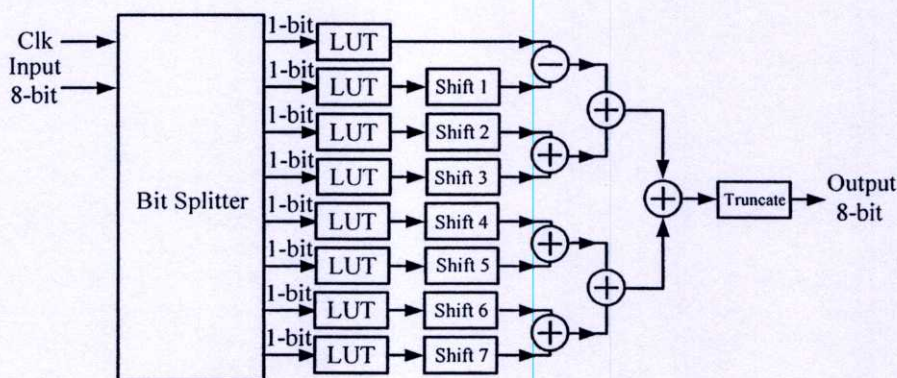
(ข) แผนผังเวลาการทำงานของวงจรรคูณ

รูปที่ 4.6 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรรคูณ

สำหรับในวิทยานิพนธ์ฉบับนี้จะใช้เลขคณิตกระจายมาออกแบบวงจรรคูณ ซึ่งผลคูณจะคำนวณไว้ล่วงหน้าและเก็บในหน่วยความจำ โดยเลขคณิตกระจายที่ใช้เป็นเลขคณิตกระจายแบบขนาน ซึ่งลดระยะเวลาการคำนวณลงจากเลขคณิตกระจายแบบอนุกรม

4.4 การออกแบบวงจรรเลขคณิตกระจายแบบขนาน

โครงสร้างเลขคณิตกระจายแบบขนานในรูปที่ 3.7 เมื่อนำมาออกแบบเป็นวงจรรเลขคณิตกระจายแบบขนานจะได้วงจรดังแสดงในรูปที่ 4.7 ซึ่งเป็นกรณีที่ข้อมูลอินพุตมีความยาว 8 บิต ประกอบไปด้วยวงจรรส่วนประกอบต่าง ๆ ได้แก่ วงจรรแยกบิต วงจรรเลื่อนบิต วงจรรบวกพีดีเอ วงจรรลบพีดีเอ วงจรรตัดความยาวบิต และตารางเปิดดู

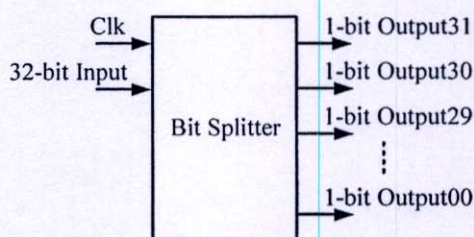


รูปที่ 4.7 วงจรรเลขคณิตกระจายแบบขนาน

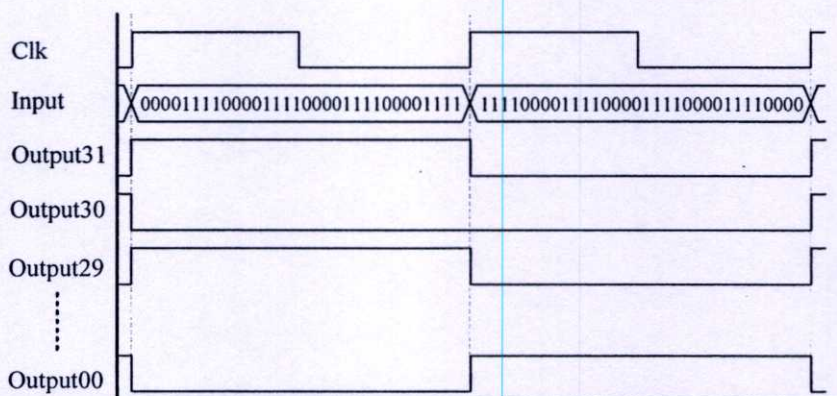
เมื่อนำวงจรเลขคณิตกระจายแบบขนานขนาด 8 บิต ตามรูปที่ 4.7 มาออกแบบเป็นวงจรเลขคณิตกระจายแบบขนานสำหรับข้อมูลอินพุตความยาว 32 บิต จะมีรายละเอียดการออกแบบวงจรส่วนประกอบดังต่อไปนี้

4.4.1 วงจรแยกบิต

วงจรแยกบิต ประกอบด้วย 34 ขา คือ สัญญาณนาฬิกา 1 ขา ข้อมูลอินพุตขนาด 32 บิต 1 ขา และข้อมูลเอาต์พุตขนาด 1 บิต 32 ขา ทำหน้าที่แยกข้อมูลอินพุตออกเป็นบิตข้อมูลเดี่ยว ตั้งแต่ตำแหน่งบิตที่ 1 ถึงบิตที่ 32 ซึ่งบล็อกไดอะแกรมวงจรแยกบิตแสดงดังรูปที่ 4.8 (ก) สำหรับการทำงานของวงจรแยกบิตอธิบายโดยใช้แผนผังเวลาการทำงานซึ่งแสดงดังรูปที่ 4.8 (ข) เมื่อข้อมูลอินพุตเข้ามายังวงจรแยกบิตตามจังหวะสัญญาณนาฬิกา วงจรแยกบิตจะแยกข้อมูลอินพุตออกเป็นบิตข้อมูลเดี่ยว และส่งออกเอาต์พุตในจังหวะสัญญาณนาฬิกาถูกลัดไป ตามตำแหน่งของแต่ละบิตไปยังวงจรเลื่อนบิต



(ก) บล็อกไดอะแกรมของวงจรแยกบิต

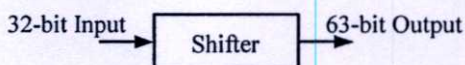


(ข) แผนผังเวลาการทำงานของวงจรแยกบิต

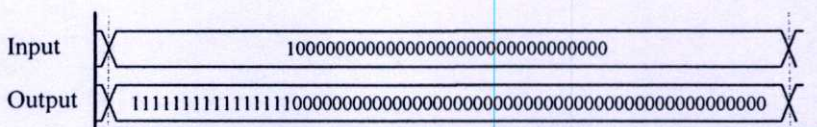
รูปที่ 4.8 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรแยกบิต

4.4.2 วงจรเลื่อนบิต

วงจรเลื่อนบิต ประกอบด้วย 2 ขา คือ ข้อมูลอินพุตขนาด 32 บิต 1 ขา และข้อมูลเอาต์พุตขนาด 63 บิต 1 ขา ทำหน้าที่เลื่อนตำแหน่งบิตข้อมูลออกไปเป็นจำนวนเท่ากับค่าตำแหน่งของบิตข้อมูลนั้น ซึ่งบล็อกไดอะแกรมวงจรถ่ายโอนบิตแสดงดังรูปที่ 4.9 (ก) สำหรับการทำงานของวงจรถ่ายโอนบิตอธิบายโดยใช้แผนผังเวลาการทำงานซึ่งแสดงดังรูปที่ 4.9 (ข) บิตย่อยที่ตำแหน่งบิตที่ 15 จะถูกเลื่อนไปทางซ้าย 15 บิต และเติมบิต 0 จนครบความยาวของเอาต์พุตซึ่งมีความยาว 63 บิต เนื่องจากความยาวข้อมูลอินพุต 32 บิต จะต้องใช้วงจรถ่ายโอนบิต 31 วงจร ตั้งแต่่วงจรถ่ายโอนบิต 1 บิต ถึงวงจรถ่ายโอนบิต 31 บิต



(ก) บล็อกไดอะแกรมของวงจรถ่ายโอนบิต

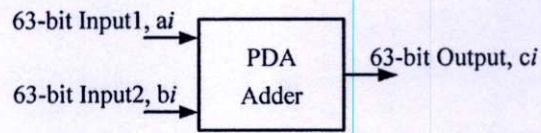


(ข) แผนผังเวลาการทำงานของวงจรถ่ายโอนบิต

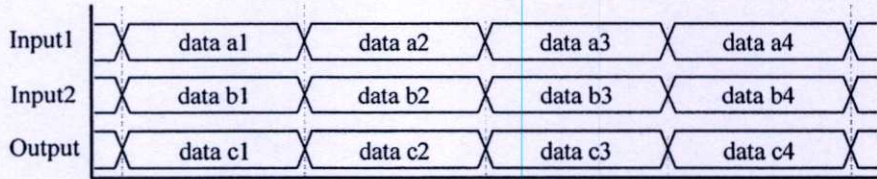
รูปที่ 4.9 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรถ่ายโอนบิต

4.4.3 วงจรบวกพีดีเอ

วงจรถ่ายโอนบิตพีดีเอ ประกอบด้วย 3 ขา คือ ข้อมูลอินพุตขนาด 63 บิต 2 ขา และข้อมูลเอาต์พุตขนาด 63 บิต 1 ขา ทำหน้าที่คำนวณผลรวมของข้อมูลอินพุต 2 จำนวน เหมือนกับวงจรถ่ายโอนบิตแต่ต่างกันที่ความยาวของข้อมูลอินพุตและเอาต์พุตที่จะต้องมีความยาว 63 บิต เนื่องจากอินพุตของวงจรถ่ายโอนบิตพีดีเอรับมาจากวงจรถ่ายโอนบิต สำหรับในวิทยานิพนธ์ฉบับนี้เรียกวงจรถ่ายโอนบิตพีดีเอว่าวงจรถ่ายโอนบิตพีดีเอ เพื่อให้แตกต่างจากวงจรถ่ายโอนบิตพีดีเอที่เป็นวงจรถ่ายโอนบิตย่อย 1 สเตจ ซึ่งบล็อกไดอะแกรมวงจรถ่ายโอนบิตพีดีเอแสดงดังรูปที่ 4.10 (ก) สำหรับการทำงานของวงจรถ่ายโอนบิตพีดีเออธิบายโดยใช้แผนผังเวลาการทำงานซึ่งแสดงดังรูปที่ 4.10 (ข) เมื่อข้อมูลอินพุต a , และ b , เข้ามายังวงจรถ่ายโอนบิตพีดีเอ จะคำนวณผลรวมของอินพุต 2 จำนวนนี้ และผลลัพธ์ c , จะออกมาที่ขาเอาต์พุต



(ก) บล็อกไดอะแกรมของวงจรววกพีดีเอ

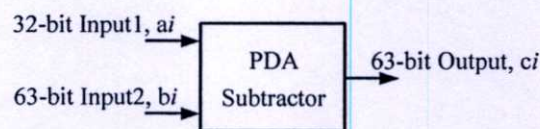


(ข) แผนผังเวลาการทำงานของวงจรววกพีดีเอ

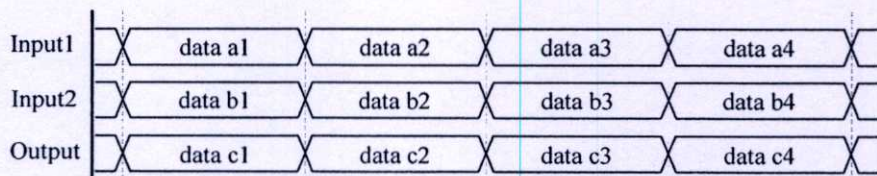
รูปที่ 4.10 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรววกพีดีเอ

4.4.4 วงจรลบพีดีเอ

วงจรถบ ประกอบด้วย 3 ขา คือ ข้อมูลอินพุตขนาด 32 บิตและ 63 บิต อย่างละ 1 ขา และ ข้อมูลเอาต์พุตขนาด 63 บิต 1 ขา ทำหน้าที่คำนวณผลต่างของข้อมูลอินพุต 2 จำนวน สำหรับใน วิทยานิพนธ์ฉบับนี้เรียกวงจรถบชนิดนี้ว่าวงจรถบพีดีเอ เพื่อให้แตกต่างจากวงจรถบสเตจที่เป็น วงจรส่วนประกอบของวงจรถบย่อย 1 สเตจ ซึ่งบล็อกไดอะแกรมวงจรถบพีดีเอแสดงดังรูปที่ 4.11 (ก) สำหรับการทำงานของวงจรถบพีดีเออธิบายโดยใช้แผนผังเวลาการทำงานซึ่งแสดงดังรูปที่ 4.11 (ข) เมื่อข้อมูลอินพุต a_i และ b_i เข้ามายังวงจรถบพีดีเอ วงจรถบจะคำนวณผลต่างของอินพุต 2 จำนวนนี้ และ ผลลัพธ์ c_i จะออกมาที่ขาเอาต์พุต



(ก) บล็อกไดอะแกรมของวงจรถบพีดีเอ

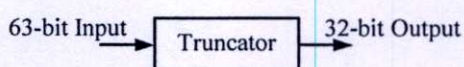


(ข) แผนผังเวลาการทำงานของวงจรถบพีดีเอ

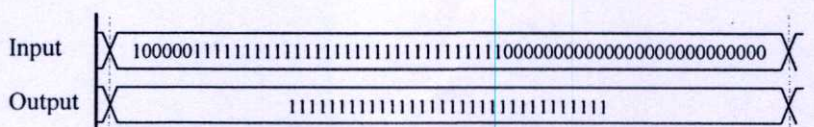
รูปที่ 4.11 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรถบพีดีเอ

4.4.5 วงจรตัดความยาวบิต

วงจรตัดความยาวบิต ประกอบด้วย 2 ขา คือ ข้อมูลอินพุตขนาด 63 บิต 1 ขา และข้อมูลเอาต์พุตขนาด 32 บิต 1 ขา ทำหน้าที่ตัดความยาวบิตข้อมูลจากความยาว 63 บิตเป็น 32 บิต เนื่องจากบิตข้อมูลที่ออกมาจากวงจรบิตจะมีความยาว 63 บิต ซึ่งเกินความยาวที่กำหนด จึงต้องตัดความยาวให้เท่ากับ 32 บิต การที่สามารถตัดความยาวบิตได้เนื่องมาจากข้อกำหนดของระบบตัวเลข ที่ให้ผลการคูณจำนวนเต็มใช้จำนวนบิตแทนได้ไม่เกิน 5 บิต และจำนวนบิตแทนค่าทศนิยมในบิตที่ 39 ถึงบิตที่ 64 นั้นมีค่าน้อยมากจนตัดทิ้งได้ ซึ่งบล็อกไดอะแกรมวงจรตัดความยาวบิตแสดงดังรูปที่ 4.12 (ก) สำหรับการทำงานของวงจรตัดความยาวบิตอธิบายโดยใช้แผนผังเวลาการทำงาน ซึ่งแสดงดังรูปที่ 4.12 (ข) เมื่อข้อมูลอินพุตความยาว 63 บิต เข้ามา วงจรจะตัดบิตที่ 2 ถึงบิตที่ 7 และบิตที่ 39 ถึงบิตที่ 64 ทั้ง บิตข้อมูลที่เหลือจะออกมาที่ขาเอาต์พุต



(ก) บล็อกไดอะแกรมของวงจรตัดความยาวบิต



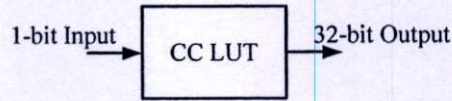
(ข) แผนผังเวลาการทำงานของวงจรตัดความยาวบิต

รูปที่ 4.12 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของวงจรตัดความยาวบิต

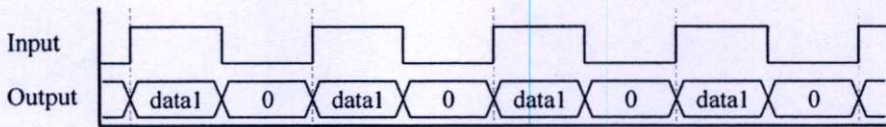
4.4.6 ตารางเปิดดู

ตารางเปิดดู ทำหน้าที่เก็บผลการคูณที่คำนวณไว้ล่วงหน้า โดยแบ่งออกเป็น ตารางเปิดดูค่าสัมประสิทธิ์และตารางเปิดดูค่าการหน่วง ซึ่งทั้งสองแบบจะมึการทำงานที่ใกล้เคียงกัน โดยตารางเปิดดูค่าสัมประสิทธิ์ ประกอบด้วยขาอินพุต 1 ขา และ ขาเอาต์พุต 1 ขา ส่วนตารางเปิดดูค่าการหน่วงจะมีขาอินพุตที่รับค่าการหน่วงเพิ่มขึ้นมามาก 1 ขา ซึ่งบล็อกไดอะแกรมตารางเปิดดูค่าสัมประสิทธิ์และตารางเปิดดูค่าการหน่วงแสดงดังรูปที่ 4.13 (ก) และรูปที่ 4.14 (ก) ตามลำดับ สำหรับการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ และตารางเปิดดูค่าการหน่วงอธิบายโดยใช้แผนผังเวลาการทำงานซึ่งแสดงดังรูปที่ 4.13 (ข) และรูปที่ 4.14 (ข) ตามลำดับ โดยข้อมูลอินพุตที่เป็นไปได้จะมีค่า 1 หรือ 0 เท่านั้น เมื่อข้อมูลเข้ามายังตารางเปิดดู ผลคูณที่เก็บไว้จะออกมาที่ขาเอาต์พุต ซึ่งตารางเปิดดูค่าสัมประสิทธิ์จะเก็บค่าผลคูณที่เป็นไปได้เพียง 2 ค่าเท่านั้น ส่วนตารางเปิดดู

ค่าการหน่วงจะเก็บผลคูณสำหรับค่าการหน่วง 12 ค่า ดังนั้นผลคูณที่เก็บไว้จึงสามารถเลือกได้จากการกำหนดค่าการหน่วง

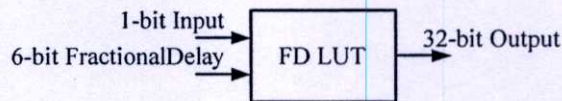


(ก) บล็อกไดอะแกรมของตารางเปิดดูค่าสัมประสิทธิ์

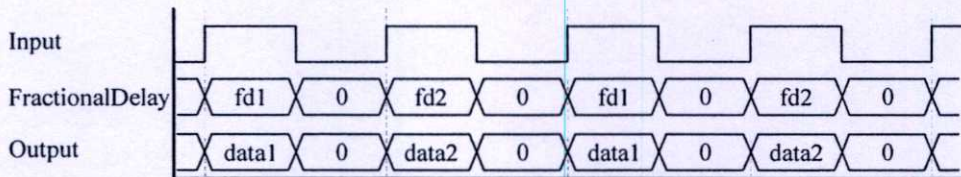


(ข) แผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์

รูปที่ 4.13 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์



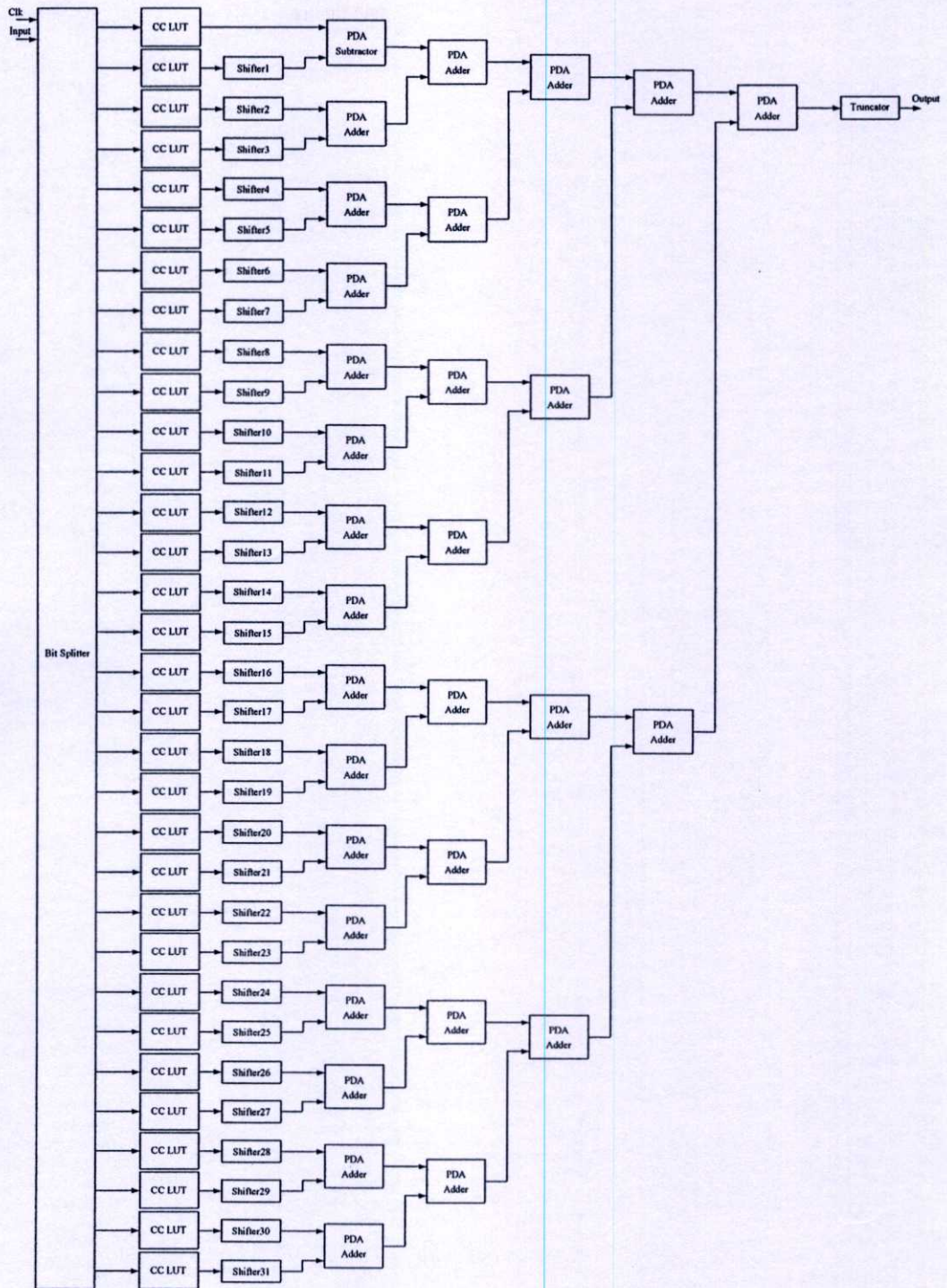
(ก) บล็อกไดอะแกรมของตารางเปิดดูค่าการหน่วง



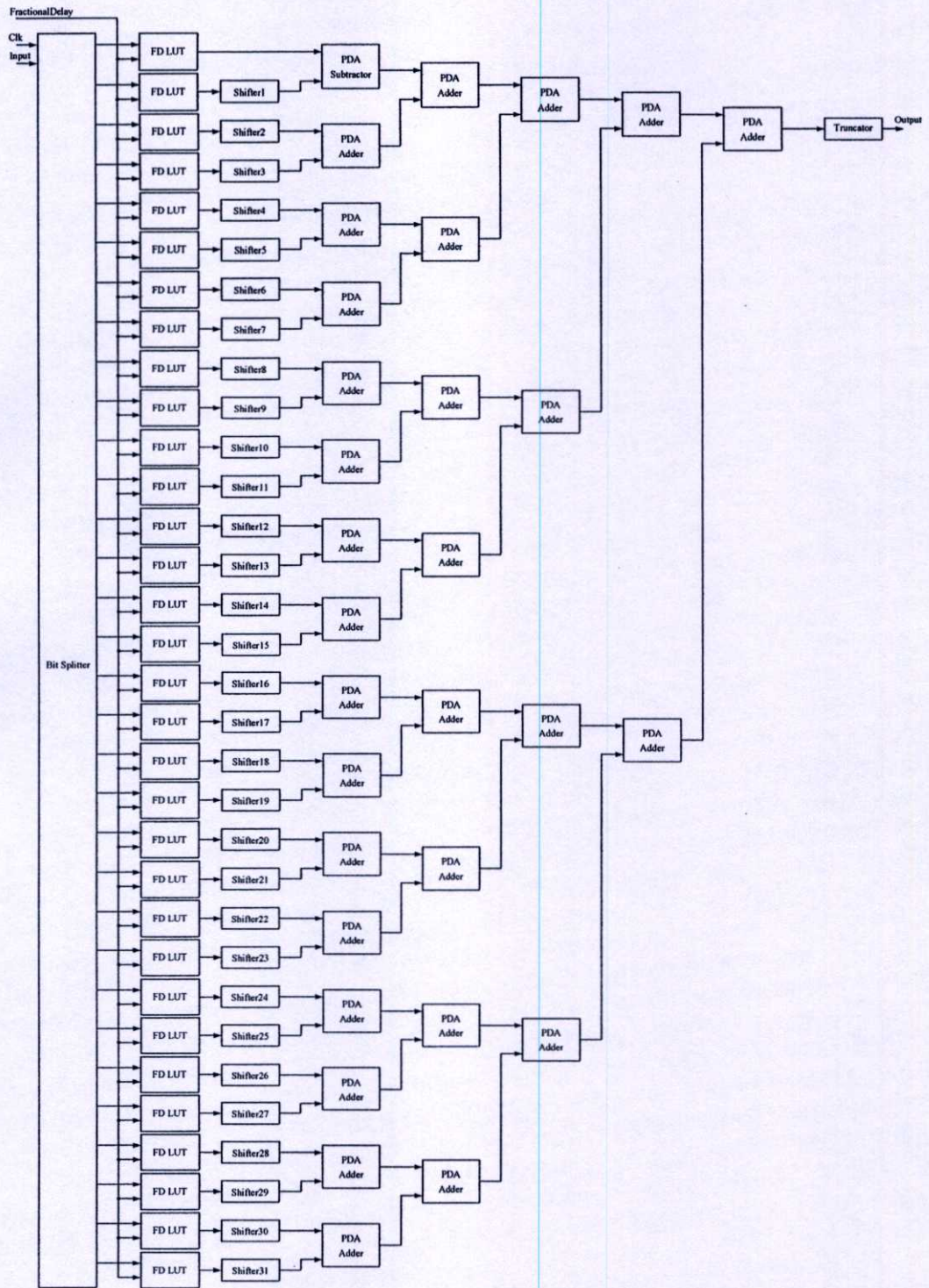
(ข) แผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง

รูปที่ 4.14 บล็อกไดอะแกรมและแผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง

เมื่อนำวงจรส่วนประกอบต่าง ๆ มาประกอบรวมกันเป็นวงจรเลขคณิตกระจายแบบขนาน เพื่อใช้คำนวณผลคูณจะแบ่งได้เป็น 2 ประเภท ตามชนิดของตารางเปิดดูที่เป็นวงจรส่วนประกอบ คือ วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ และวงจรเลขคณิตกระจายแบบขนานสำหรับค่าคงที่ โดยบล็อกไดอะแกรมของวงจรเลขคณิตกระจายแบบขนานทั้ง 2 ประเภทนี้แสดงดังรูปที่ 4.15 และ รูปที่ 4.16 ตามลำดับ

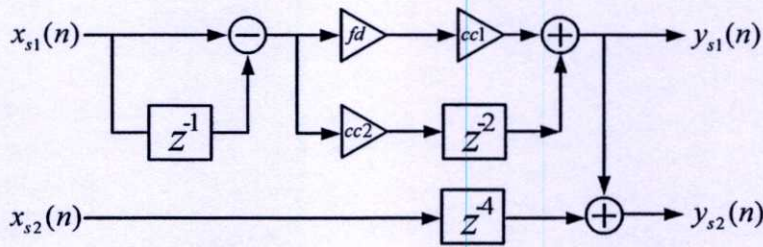


รูปที่ 4.15 บล็อกไดอะแกรมของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์



รูปที่ 4.16 บล็อกโคเดแกรมของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าคงที่

เมื่อนำวงจรส่วนประกอบของวงจรย่อย 1 สเตจ ประกอบเข้าด้วยกันและวิเคราะห์การทำงานของวงจรพบว่า จะต้องเพิ่มวงจรหน่วงเวลา 2 หน่วย และ วงจรหน่วงเวลา 4 หน่วย เข้าไปในวงจรย่อย 1 สเตจ เนื่องจากบางวงจรรับข้อมูลจากสองอินพุตที่ผ่านวงจรเลขคณิตกระจายมาด้วย จึงหวั่นเวลาไม่เท่ากัน ทำให้ลำดับของข้อมูลไม่สัมพันธ์กันจึงต้องมีการหน่วงเวลาของอินพุตหนึ่งเพื่อรอให้ตรงกับอีกอินพุตหนึ่ง ซึ่งจะได้ออกวงจรย่อย 1 สเตจ ที่มีการทำงานที่ถูกต้องสำหรับนำไปสร้างจริงดังรูปที่ 4.17 สำหรับวงจรส่วนประกอบต่าง ๆ ที่ได้ออกแบบมาทั้งหมดนี้ จะนำไปสร้างโดยการเขียนบรรยายพฤติกรรมของวงจรด้วยภาษาวีเอชดีแอล สร้างสัญลักษณ์ของวงจรและเทสต์เบนช์ เวฟฟอร์มด้วยโปรแกรมไซลิงซ์ และจำลองการทำงานด้วยโปรแกรมโมเดลซิม



รูปที่ 4.17 บล็อกไดอะแกรมของวงจรย่อย 1 สเตจ สำหรับนำไปสร้างจริง

4.5 สรุป

การออกแบบวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนที่อาศัยโครงสร้างเทย์เลอร์ ใช้ระบบเลขฐานสองแบบมีเครื่องหมาย ความยาวบิตข้อมูล 32 บิต โดยเป็นบิตเครื่องหมาย 1 บิต บิตที่แทนจำนวนเต็ม 5 บิต และบิตที่แทนค่าทศนิยม 26 บิต ในการออกแบบพิจารณาวงจรกรองสัญญาณวีเอพีดีแยกออกเป็นวงจรย่อย 1 สเตจ โดยมีวงจรส่วนประกอบ ได้แก่ วงจรหน่วงเวลา 1 หน่วย 1 วงจร วงจรหน่วงเวลา 2 หน่วย 1 วงจร วงจรหน่วงเวลา 4 หน่วย 1 วงจร วงจรบวกสเตจ 2 วงจร วงจรลบสเตจ 1 วงจร วงจรเลขคณิตกระจายสำหรับค่าสัมประสิทธิ์ 2 วงจร และ วงจรเลขคณิตกระจายสำหรับค่าการหน่วง 1 วงจร ซึ่งวงจรย่อย 1 สเตจที่ออกแบบจะแตกต่างจากวงจรย่อย 1 สเตจ ทางทฤษฎี และเมื่อนำไปประกอบรวมสร้างเป็นวงจรกรองสัญญาณวีเอพีดีอันดับสูงได้ตามจำนวนวงจรย่อย 1 สเตจ ที่นำมาต่อเรียงกัน

บทที่ 5

การจำลองการทำงาน

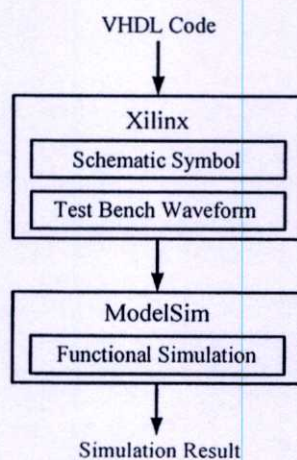
วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน

5.1 บทนำ

การจำลองการทำงาน (Functional Simulation) เป็นการทดสอบการทำงานของวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนว่าสามารถคำนวณผลลัพธ์ถูกต้องตรงตามที่ออกแบบไว้หรือไม่ โดยการจำลองการทำงานจะแบ่งเป็นขั้นตอนต่าง ๆ ดังนี้

- 1) การจำลองการทำงานวงจรส่วนประกอบของวงจรเลขคณิตกระจายแบบขนาน
- 2) การจำลองการทำงานวงจรเลขคณิตกระจายแบบขนาน
- 3) การจำลองการทำงานวงจรส่วนประกอบของวงจรย่อย 1 สเตจ
- 4) การจำลองการทำงานวงจรย่อย 1 สเตจ
- 5) การจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน

วิธีการจำลองการทำงานจะนำวงจรซึ่งเขียนบรรยายพฤติกรรมวงจร โดยใช้ภาษาวีเอชดีแอลมาออกแบบเป็นสัญลักษณ์วงจร (Schematic Symbol) ด้วยโปรแกรมไซลิงซ์ จากนั้นสร้างเทสต์เบนช์เวฟฟอร์ม (Test Bench Waveform) ของสัญลักษณ์วงจร และจำลองการทำงานด้วยโปรแกรมโมเดลซิม สำหรับวงจรที่ประกอบขึ้นจากวงจรส่วนประกอบต่าง ๆ จะนำสัญลักษณ์วงจรของวงจรรย่อยมาประกอบเข้าด้วยกันและสร้างสัญลักษณ์ของวงจรมานั้น และกระทำเช่นเดียวกับวงจรย่อย โดยรูปที่ 5.1 แสดงวิธีการจำลองการทำงานที่ใช้ในงานวิจัยนี้



รูปที่ 5.1 วิธีการจำลองการทำงาน

5.2 การจำลองการทำงานวงจรส่วนประกอบของวงจรเลขคณิตกระจายแบบขนาน

วงจรส่วนประกอบของวงจรเลขคณิตกระจายเป็นส่วนประกอบเล็กที่สุดของวงจรกรองสัญญาณวีเอฟดี ประกอบด้วย วงจรแยกบิต วงจรบวกพีดีเอ วงจรลบพีดีเอ วงจรเลื่อนบิต วงจรตัดความยาวบิต และตารางเปิดคู โดยตารางเปิดคูแบ่งเป็น 2 แบบ คือ ตารางเปิดคูค่าสัมประสิทธิ์ และ ตารางเปิดคูค่าการหน่วง การจำลองการทำงานวงจรส่วนประกอบเหล่านี้ จะนำวงจรซึ่งเขียนบรรยายพฤติกรรมวงจรโดยใช้ภาษาวีเอสดีแอล มาสร้างสัญลักษณ์วงจรด้วยโปรแกรมไซลิงซ์ จากนั้นสร้างเทสต์เบนซ์เวฟฟอร์มของสัญลักษณ์วงจร และนำมาจำลองการทำงานด้วยโปรแกรมโมเดลซิม

5.2.1 วงจรแยกบิต

การจำลองการทำงานวงจรแยกบิตจะป้อนข้อมูลอินพุต 50 ค่า ตั้งแต่ 1 ถึง 50 (01H ถึง 32H) เข้าไปที่ขา DataIn ตามจังหวะสัญญาณนาฬิกา ข้อมูลเอาต์พุตที่ขา Bit X เป็นค่าบิตที่ตำแหน่งบิตที่ X ของข้อมูลอินพุต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.1 และ ตารางที่ 5.2 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

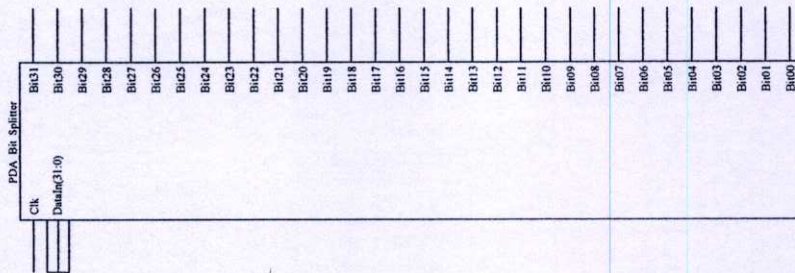
รูปที่ 5.2 (ก) แสดงสัญลักษณ์ของวงจรแยกบิตที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.2 (ข) แสดงแผนผังเวลาการทำงานของวงจรแยกบิต ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม

ตารางที่ 5.1 ผลการจำลองการทำงานวงจรแยกบิต บิตที่ 1 ถึง บิตที่ 16

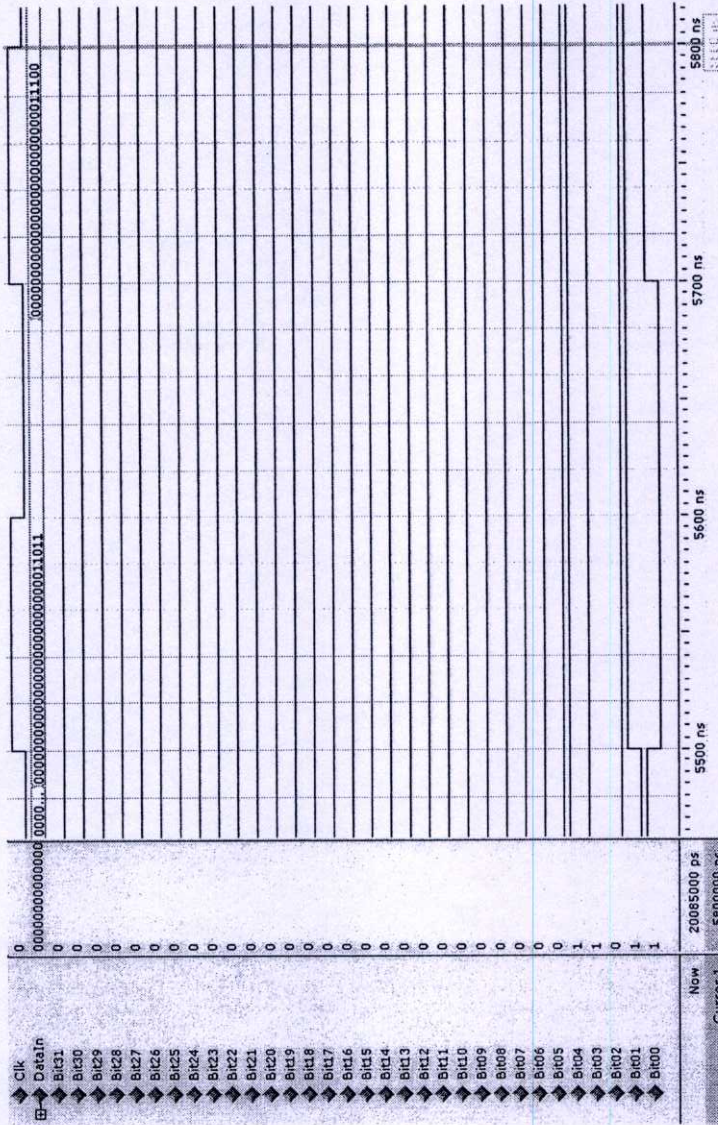
DataIn	Bit 1 - 16															
	b 15	b 14	b 13	b 12	b 11	b 10	b 09	b 08	b 07	b 06	b 05	b 05	b 03	b 02	b 01	b 00
01H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
02H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
03H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
04H	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
05H	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
06H	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
07H	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
08H	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
09H	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
0AH	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
0BH	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1
0CH	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
0DH	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
0EH	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0
0FH	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
10H	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
11H	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
12H	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
13H	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1
14H	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
15H	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1
16H	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0
17H	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
18H	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0
19H	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1

ตารางที่ 5.1 (ต่อ) ผลการจำลองการทำงานวงจรแยกบิต บิตที่ 1 ถึง บิตที่ 16

DataIn	Bit 1-16															
	b 15	b 14	b 13	b 12	b 11	b 10	b 09	b 08	b 07	b 06	b 05	b 04	b 03	b 02	b 01	b 00
1AH	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0
1BH	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1
1CH	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0
1DH	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	1
1EH	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0
1FH	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
20H	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
21H	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
22H	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0
23H	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
24H	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0
25H	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	1
26H	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0
27H	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	1
28H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
29H	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
2AH	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
2BH	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
2CH	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
2DH	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
2EH	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
2FH	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
30H	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
31H	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
32H	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1



(ก) สัญญาณของวงจรแยกบิต



(ข) แผนผังเวลาการทำงานของวงจรแยกบิต

รูปที่ 5.2 สัญญาณและแผนผังเวลาการทำงานวงจรแยกบิต

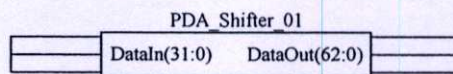
5.2.2 วงจรเลื่อนบิต 1 บิต

การจำลองการทำงานวงจรเลื่อนบิต 1 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมีความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 1 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.3 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

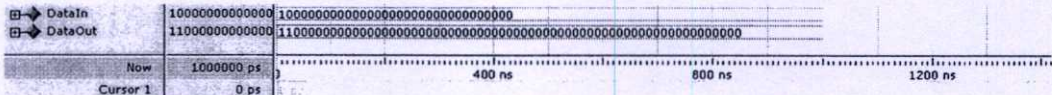
ตารางที่ 5.3 ผลการจำลองการทำงานวงจรเลื่อนบิต 1 บิต

DataIn	10000000000000000000000000000000
DataOut	1100

รูปที่ 5.3 (ก) แสดงสัญลักษณ์ของวงจรเลื่อนบิต 1 บิต ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.3 (ข) แสดงแผนผังเวลาการทำงานของวงจรเลื่อนบิต 1 บิต ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรเลื่อนบิต 1 บิต



(ข) แผนผังเวลาการทำงานของวงจรเลื่อนบิต 1 บิต

รูปที่ 5.3 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลื่อนบิต 1 บิต

5.2.3 วงจรเลื่อนบิต 2 บิต

การจำลองการทำงานวงจรเลื่อนบิต 2 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมีความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 2 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.4 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

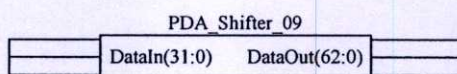
5.2.10 วงจรเลื่อนบิต 9 บิต

การจำลองการทำงานวงจรเลื่อนบิต 9 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมีความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 9 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.11 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

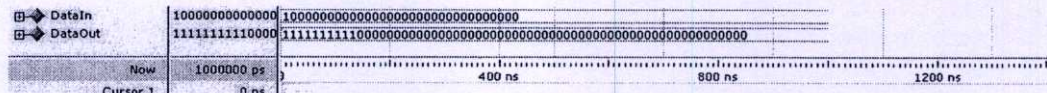
ตารางที่ 5.11 ผลการจำลองการทำงานวงจรเลื่อนบิต 9 บิต

DataIn	10000000000000000000000000000000
DataOut	111111111100

รูปที่ 5.11 (ก) แสดงสัญลักษณ์ของวงจรเลื่อนบิต 9 บิต ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.11 (ข) แสดงแผนผังเวลาการทำงานของวงจรเลื่อนบิต 9 บิต ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรเลื่อนบิต 9 บิต



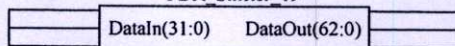
(ข) แผนผังเวลาการทำงานของวงจรเลื่อนบิต 9 บิต

รูปที่ 5.11 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลื่อนบิต 9 บิต

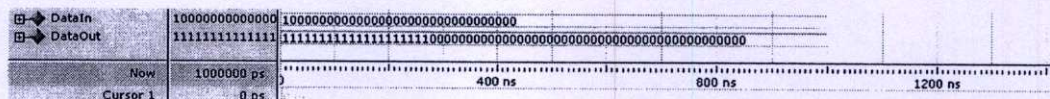
5.2.11 วงจรเลื่อนบิต 10 บิต

การจำลองการทำงานวงจรเลื่อนบิต 10 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมีความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 10 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.12 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

PDA_Shifter_19



(ก) สัญลักษณ์ของวงจรถ่ายโอนบิต 19 บิต



(ข) แผนผังเวลาการทำงานของวงจรถ่ายโอนบิต 19 บิต

รูปที่ 5.21 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรถ่ายโอนบิต 19 บิต

5.2.21 วงจรถ่ายโอนบิต 20 บิต

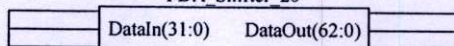
การจำลองการทำงานของวงจรถ่ายโอนบิต 20 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมีความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 20 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.22 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

ตารางที่ 5.22 ผลการจำลองการทำงานของวงจรถ่ายโอนบิต 20 บิต

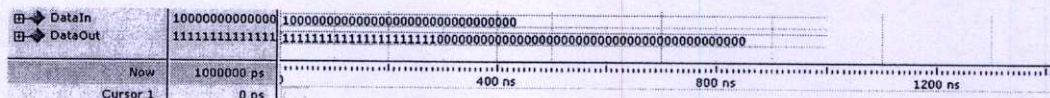
DataIn	10000000000000000000000000000000
DataOut	11111111111111111111111100

รูปที่ 5.22 (ก) แสดงสัญลักษณ์ของวงจรถ่ายโอนบิต 20 บิต ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.22 (ข) แสดงแผนผังเวลาการทำงานของวงจรถ่ายโอนบิต 20 บิต ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม

PDA_Shifter_20



(ก) สัญลักษณ์ของวงจรถ่ายโอนบิต 20 บิต



(ข) แผนผังเวลาการทำงานของวงจรถ่ายโอนบิต 20 บิต

รูปที่ 5.22 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรถ่ายโอนบิต 20 บิต

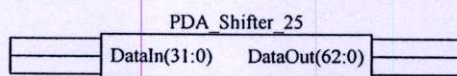
5.2.26 วงจรเลื่อนบิต 25 บิต

การจำลองการทำงานวงจรเลื่อนบิต 25 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมีความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 25 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.27 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

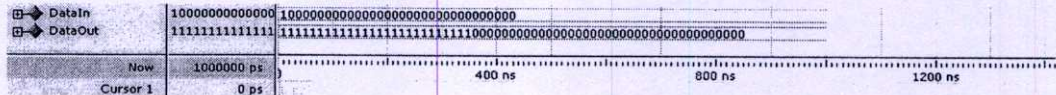
ตารางที่ 5.27 ผลการจำลองการทำงานวงจรเลื่อนบิต 25 บิต

DataIn	10000000000000000000000000000000
DataOut	1111111111111111111111111100

รูปที่ 5.27 (ก) แสดงสัญลักษณ์ของวงจรเลื่อนบิต 25 บิต ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.27 (ข) แสดงแผนผังเวลาการทำงานของวงจรเลื่อนบิต 25 บิต ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรเลื่อนบิต 25 บิต



(ข) แผนผังเวลาการทำงานของวงจรเลื่อนบิต 25 บิต

รูปที่ 5.27 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลื่อนบิต 25 บิต

5.2.27 วงจรเลื่อนบิต 26 บิต

การจำลองการทำงานวงจรเลื่อนบิต 26 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมีความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 26 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.28 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

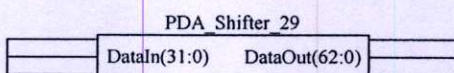
5.2.30 วงจรเลื่อนบิต 29 บิต

การจำลองการทำงานวงจรเลื่อนบิต 29 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมีความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 29 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.31 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

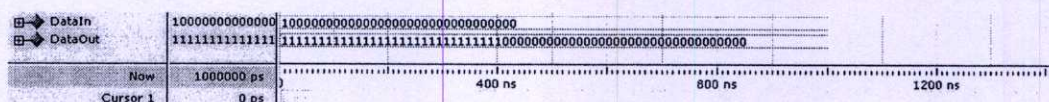
ตารางที่ 5.31 ผลการจำลองการทำงานวงจรเลื่อนบิต 29 บิต

DataIn	10000000000000000000000000000000
DataOut	1111111111111111111111111111111110000000000000000000000000000000

รูปที่ 5.31 (ก) แสดงสัญลักษณ์ของวงจรเลื่อนบิต 29 บิต ที่ออกแบบด้วยโปรแกรมไอซิ่ง และรูปที่ 5.31 (ข) แสดงแผนผังเวลาการทำงานของวงจรเลื่อนบิต 29 บิต ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรเลื่อนบิต 29 บิต



(ข) แผนผังเวลาการทำงานของวงจรเลื่อนบิต 29 บิต

รูปที่ 5.31 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลื่อนบิต 29 บิต

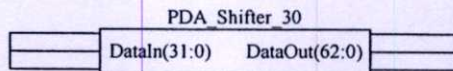
5.2.31 วงจรเลื่อนบิต 30 บิต

การจำลองการทำงานวงจรเลื่อนบิต 30 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมีความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 30 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.32 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

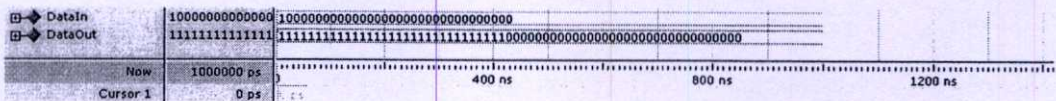
ตารางที่ 5.32 ผลการจำลองการทำงานวงจรถ่ายโอนบิต 30 บิต

DataIn	10000000000000000000000000000000
DataOut	111111111111111111111111111111111000000000000000000000000000000

รูปที่ 5.32 (ก) แสดงสัญลักษณ์ของวงจรถ่ายโอนบิต 30 บิต ที่ออกแบบด้วยโปรแกรมไอซีลิงซ์ และรูปที่ 5.32 (ข) แสดงแผนผังเวลาการทำงานของวงจรถ่ายโอนบิต 30 บิต ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรถ่ายโอนบิต 30 บิต



(ข) แผนผังเวลาการทำงานของวงจรถ่ายโอนบิต 30 บิต

รูปที่ 5.32 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรถ่ายโอนบิต 30 บิต

5.2.32 วงจรถ่ายโอนบิต 31 บิต

การจำลองการทำงานวงจรถ่ายโอนบิต 31 บิต จะป้อนข้อมูลอินพุตค่า 80000000H ซึ่งมี ความยาว 32 บิต เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นข้อมูลอินพุตที่เลื่อนไป 31 บิตและเติมบิต 0 ให้ครบความยาว 63 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.33 ซึ่ง ถูกต้องตรงตามที่ออกแบบไว้

ตารางที่ 5.33 ผลการจำลองการทำงานวงจรถ่ายโอนบิต 31 บิต

DataIn	10000000000000000000000000000000
DataOut	111111111111111111111111111111111000000000000000000000000000000

รูปที่ 5.33 (ก) แสดงสัญลักษณ์ของวงจรถ่ายโอนบิต 31 บิต ที่ออกแบบด้วยโปรแกรมไอซีลิงซ์ และรูปที่ 5.33 (ข) แสดงแผนผังเวลาการทำงานของวงจรถ่ายโอนบิต 31 บิต ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม

ตารางที่ 5.34 ผลการจำลองการทำงานวงจรวกพีดีเอ

DataIn1	DataIn2	DataOut
00H	63H	0000000000000063H
01H	62H	0000000000000063H
02H	61H	0000000000000063H
03H	60H	0000000000000063H
04H	5FH	0000000000000063H
05H	5EH	0000000000000063H
06H	5DH	0000000000000063H
07H	5CH	0000000000000063H
08H	5BH	0000000000000063H
09H	5AH	0000000000000063H
0AH	59H	0000000000000063H
0BH	58H	0000000000000063H
0CH	57H	0000000000000063H
0DH	56H	0000000000000063H
0EH	55H	0000000000000063H
0FH	54H	0000000000000063H
10H	53H	0000000000000063H
11H	52H	0000000000000063H
12H	51H	0000000000000063H
13H	50H	0000000000000063H
14H	4FH	0000000000000063H
15H	4EH	0000000000000063H
16H	4DH	0000000000000063H
17H	4CH	0000000000000063H
18H	4BH	0000000000000063H

ตารางที่ 5.34 (ต่อ) ผลการจำลองการทำงานวงจรบวกพีดีเอ

DataIn1	DataIn2	DataOut
19H	4AH	000000000000063H
1AH	49H	000000000000063H
1BH	48H	000000000000063H
1CH	47H	000000000000063H
1DH	46H	000000000000063H
1EH	45H	000000000000063H
1FH	44H	000000000000063H
20H	43H	000000000000063H
21H	42H	000000000000063H
22H	41H	000000000000063H
23H	40H	000000000000063H
24H	3FH	000000000000063H
25H	3EH	000000000000063H
26H	3DH	000000000000063H
27H	3CH	000000000000063H
28H	3BH	000000000000063H
29H	3AH	000000000000063H
2AH	39H	000000000000063H
2BH	38H	000000000000063H
2CH	37H	000000000000063H
2DH	36H	000000000000063H
2EH	35H	000000000000063H
2FH	34H	000000000000063H
30H	33H	000000000000063H
31H	32H	000000000000063H

ตารางที่ 5.34 (ต่อ) ผลการจำลองการทำงานวงจรบวกพีดีเอ

DataIn1	DataIn2	DataOut
32H	31H	0000000000000063H
33H	30H	0000000000000063H
34H	2FH	0000000000000063H
35H	2EH	0000000000000063H
36H	2DH	0000000000000063H
37H	2CH	0000000000000063H
38H	2BH	0000000000000063H
39H	2AH	0000000000000063H
3AH	29H	0000000000000063H
3BH	28H	0000000000000063H
3CH	27H	0000000000000063H
3DH	26H	0000000000000063H
3EH	25H	0000000000000063H
3FH	24H	0000000000000063H
40H	23H	0000000000000063H
41H	22H	0000000000000063H
42H	21H	0000000000000063H
43H	20H	0000000000000063H
44H	1FH	0000000000000063H
45H	1EH	0000000000000063H
46H	1DH	0000000000000063H
47H	1CH	0000000000000063H
48H	1BH	0000000000000063H
49H	1AH	0000000000000063H
4AH	19H	0000000000000063H

ตารางที่ 5.34 (ต่อ) ผลการจำลองการทำงานวงจรบวกพีดีเอ

DataIn1	DataIn2	DataOut
4BH	18H	0000000000000063H
4CH	17H	0000000000000063H
4DH	16H	0000000000000063H
4EH	15H	0000000000000063H
4FH	14H	0000000000000063H
50H	13H	0000000000000063H
51H	12H	0000000000000063H
52H	11H	0000000000000063H
53H	10H	0000000000000063H
54H	0FH	0000000000000063H
55H	0EH	0000000000000063H
56H	0DH	0000000000000063H
57H	0CH	0000000000000063H
58H	0BH	0000000000000063H
59H	0AH	0000000000000063H
5AH	09H	0000000000000063H
5BH	08H	0000000000000063H
5CH	07H	0000000000000063H
5DH	06H	0000000000000063H
5EH	05H	0000000000000063H
5FH	04H	0000000000000063H
60H	03H	0000000000000063H
61H	02H	0000000000000063H
62H	01H	0000000000000063H
63H	00H	0000000000000063H

ตารางที่ 5.35 (ต่อ) ผลการจำลองการทำงานวงจรลพพีดีเอ

DataIn1	DataIn2	DataOut
0AH	59H	7FFFFFFB00000059H
0BH	58H	7FFFFFFA80000058H
0CH	57H	7FFFFFFA00000057H
0DH	56H	7FFFFFF980000056H
0EH	55H	7FFFFFF900000055H
0FH	54H	7FFFFFF880000054H
10H	53H	7FFFFFF800000053H
11H	52H	7FFFFFF780000052H
12H	51H	7FFFFFF700000051H
13H	50H	7FFFFFF680000050H
14H	4FH	7FFFFFF60000004FH
15H	4EH	7FFFFFF58000004EH
16H	4DH	7FFFFFF50000004DH
17H	4CH	7FFFFFF48000004CH
18H	4BH	7FFFFFF40000004BH
19H	4AH	7FFFFFF38000004AH
1AH	49H	7FFFFFF300000049H
1BH	48H	7FFFFFF280000048H
1CH	47H	7FFFFFF200000047H
1DH	46H	7FFFFFF180000046H
1EH	45H	7FFFFFF100000045H
1FH	44H	7FFFFFF080000044H
20H	43H	7FFFFFF000000043H
21H	42H	7FFFFFFEF80000042H
22H	41H	7FFFFFFEF00000041H
23H	40H	7FFFFFFEE80000040H
24H	3FH	7FFFFFFEE0000003FH
25H	3EH	7FFFFFFED8000003EH
26H	3DH	7FFFFFFED0000003DH
27H	3CH	7FFFFFFEC8000003CH

ตารางที่ 5.35 (ต่อ) ผลการจำลองการทำงานวงจรลพพีดีเอ

DataIn1	DataIn2	DataOut
28H	3BH	7FFFFFFEC0000003BH
29H	3AH	7FFFFFFEB8000003AH
2AH	39H	7FFFFFFEB00000039H
2BH	38H	7FFFFFFEA80000038H
2CH	37H	7FFFFFFEA00000037H
2DH	36H	7FFFFFFE980000036H
2EH	35H	7FFFFFFE900000035H
2FH	34H	7FFFFFFE880000034H
30H	33H	7FFFFFFE800000033H
31H	32H	7FFFFFFE780000032H
32H	31H	7FFFFFFE700000031H
33H	30H	7FFFFFFE680000030H
34H	2FH	7FFFFFFE60000002FH
35H	2EH	7FFFFFFE58000002EH
36H	2DH	7FFFFFFE50000002DH
37H	2CH	7FFFFFFE48000002CH
38H	2BH	7FFFFFFE40000002BH
39H	2AH	7FFFFFFE38000002AH
3AH	29H	7FFFFFFE300000029H
3BH	28H	7FFFFFFE280000028H
3CH	27H	7FFFFFFE200000027H
3DH	26H	7FFFFFFE180000026H
3EH	25H	7FFFFFFE100000025H
3FH	24H	7FFFFFFE080000024H
40H	23H	7FFFFFFE000000023H
41H	22H	7FFFFFFDF80000022H
42H	21H	7FFFFFFDF00000021H
43H	20H	7FFFFFFDE80000020H
44H	1FH	7FFFFFFDE0000001FH
45H	1EH	7FFFFFFDD8000001EH

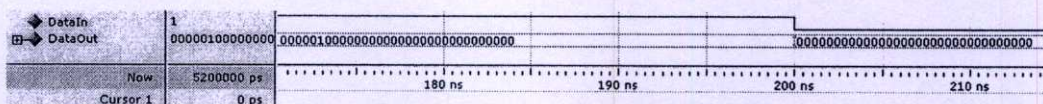
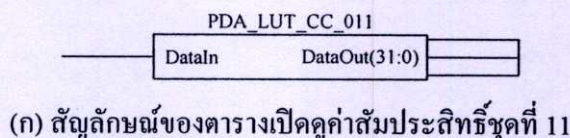
ตารางที่ 5.35 (ต่อ) ผลการจำลองการทำงานวงจรลพพีดีเอ

DataIn1	DataIn2	DataOut
46H	1DH	7FFFFFFD0000001DH
47H	1CH	7FFFFFFDC8000001CH
48H	1BH	7FFFFFFDC0000001BH
49H	1AH	7FFFFFFDB8000001AH
4AH	19H	7FFFFFFDB00000019H
4BH	18H	7FFFFFFDA80000018H
4CH	17H	7FFFFFFDA00000017H
4DH	16H	7FFFFFFD980000016H
4EH	15H	7FFFFFFD900000015H
4FH	14H	7FFFFFFD880000014H
50H	13H	7FFFFFFD800000013H
51H	12H	7FFFFFFD780000012H
52H	11H	7FFFFFFD700000011H
53H	10H	7FFFFFFD680000010H
54H	0FH	7FFFFFFD60000000FH
55H	0EH	7FFFFFFD58000000EH
56H	0DH	7FFFFFFD50000000DH
57H	0CH	7FFFFFFD48000000CH
58H	0BH	7FFFFFFD40000000BH
59H	0AH	7FFFFFFD38000000AH
5AH	09H	7FFFFFFD300000009H
5BH	08H	7FFFFFFD280000008H
5CH	07H	7FFFFFFD200000007H
5DH	06H	7FFFFFFD180000006H
5EH	05H	7FFFFFFD100000005H
5FH	04H	7FFFFFFD080000004H
60H	03H	7FFFFFFD000000003H
61H	02H	7FFFFFFCF80000002H
62H	01H	7FFFFFFCF00000001H
63H	00H	7FFFFFFCE80000000H

ตารางที่ 5.37 ผลการจำลองการทำงานตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 11

DataIn	DataOut
0	00000000000000000000000000000000
1	00000100000000000000000000000000

รูปที่ 5.37 (ก) แสดงสัญลักษณ์ของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 11 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.37 (ข) แสดงแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 11 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ข) แผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 11

รูปที่ 5.37 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 11

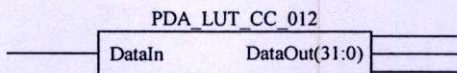
5.2.37 ตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 12

การจำลองการทำงานตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 12 จะป้อนข้อมูลอินพุตความยาว 1 บิต ค่า 1 และ 0 สลับกันจำนวน 50 ตัว เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นผลคูณที่เก็บไว้ความยาว 32 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.38 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

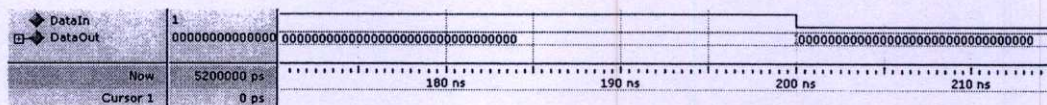
ตารางที่ 5.38 ผลการจำลองการทำงานตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 12

DataIn	DataOut
0	00000000000000000000000000000000
1	00000000000000000000000000000000

รูปที่ 5.38 (ก) แสดงสัญลักษณ์ของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 12 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.38 (ข) แสดงแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 12 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 12



(ข) แผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 12

รูปที่ 5.38 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 12

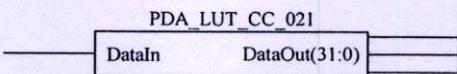
5.2.38 ตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 21

การจำลองการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 21 จะป้อนข้อมูลอินพุตความยาว 1 บิต ค่า 1 และ 0 สลับกันจำนวน 50 ตัว เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นผลคูณที่เก็บไว้ความยาว 32 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.39 ซึ่งถูกต้องตรงตามทีออกแบบไว้

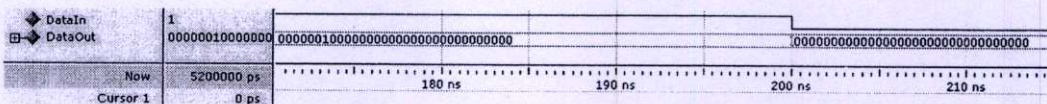
ตารางที่ 5.39 ผลการจำลองการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 21

DataIn	DataOut
0	00000000000000000000000000000000
1	00000010000000000000000000000000

รูปที่ 5.39 (ก) แสดงสัญลักษณ์ของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 21 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.39 (ข) แสดงแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 21 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 21



(ข) แผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 21

รูปที่ 5.39 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 21

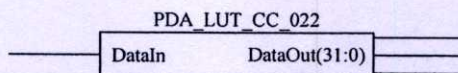
5.2.39 ตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 22

การจำลองการทำงานตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 22 จะป้อนข้อมูลอินพุตความยาว 1 บิต ค่า 1 และ 0 สลับกันจำนวน 50 ตัว เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นผลคูณที่เก็บไว้ความยาว 32 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.40 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

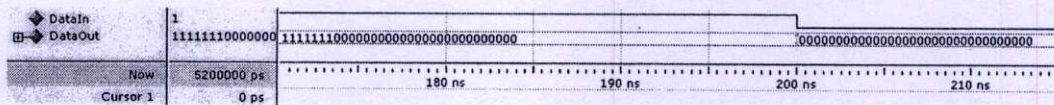
ตารางที่ 5.40 ผลการจำลองการทำงานตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 22

DataIn	DataOut
0	00000000000000000000000000000000
1	11111110000000000000000000000000

รูปที่ 5.40 (ก) แสดงสัญลักษณ์ของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 22 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.40 (ข) แสดงแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 22 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 22



(ข) แผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 22

รูปที่ 5.40 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 22

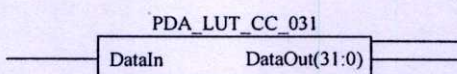
5.2.40 ตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 31

การจำลองการทำงานตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 31 จะป้อนข้อมูลอินพุตความยาว 1 บิต ค่า 1 และ 0 สลับกันจำนวน 50 ตัว เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นผลคูณที่เก็บไว้ความยาว 32 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.41 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

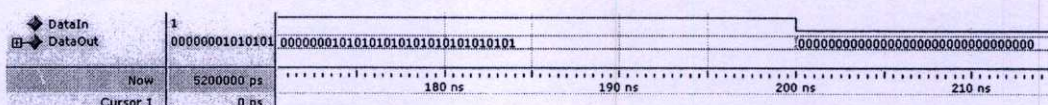
ตารางที่ 5.41 ผลการจำลองการทำงานตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 31

DataIn	DataOut
0	00000000000000000000000000000000
1	00000001010101010101010101010101

รูปที่ 5.41 (ก) แสดงสัญลักษณ์ของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 31 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.41 (ข) แสดงแผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 31 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 31



(ข) แผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 31

รูปที่ 5.41 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 31

5.2.41 ตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 32

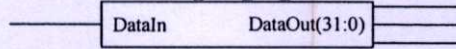
การจำลองการทำงานตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 32 จะป้อนข้อมูลอินพุตความยาว 1 บิต ค่า 1 และ 0 สลับกันจำนวน 50 ตัว เข้าไปที่ขา DataIn ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นผลคูณที่เก็บไว้ความยาว 32 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.42 ซึ่งถูกต้องตรงตามทีออกแบบไว้

ตารางที่ 5.42 ผลการจำลองการทำงานตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 32

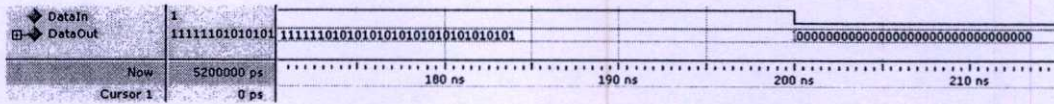
DataIn	DataOut
0	00000000000000000000000000000000
1	11111010101010101010101010101010

รูปที่ 5.42 (ก) แสดงสัญลักษณ์ของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 32 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.42 (ข) แสดงแผนผังเวลาการทำงานของตารางเปิดคู่ค่าสัมประสิทธิ์ชุดที่ 32 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม

PDA_LUT_CC_032



(ก) สัญลักษณ์ของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 32



(ข) แผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 32

รูปที่ 5.42 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดดูค่าสัมประสิทธิ์ชุดที่ 32

5.2.42 ตารางเปิดดูค่าการหน่วง

การจำลองการทำงานของตารางเปิดดูค่าการหน่วง จะป้อนข้อมูลอินพุตความยาว 1 บิต ค่า 1 และ 0 สลับกันจำนวน 50 ตัว เข้าไปที่ขา DataIn และค่าการหน่วงที่ขา FractionalDelay ตั้งแต่ ค่า 0.5 ถึง 2.0 ข้อมูลเอาต์พุตที่ขา DataOut จะเป็นผลคูณที่เก็บไว้ความยาว 32 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.43 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

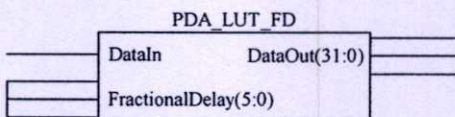
ตารางที่ 5.43 ผลการจำลองการทำงานของตารางเปิดดูค่าการหน่วง

FractionalDelay	DataIn	DataOut
0.5	0	00000000000000000000000000000000
	1	00000010000000000000000000000000
0.6	0	00000000000000000000000000000000
	1	00000010011001100110011001100110
0.7	0	00000000000000000000000000000000
	1	00000010110011001100110011001100
0.8	0	00000000000000000000000000000000
	1	00000011001100110011001100110011
0.9	0	00000000000000000000000000000000
	1	00000011100110011001100110011001
1.0	0	00000000000000000000000000000000
	1	00000100000000000000000000000000

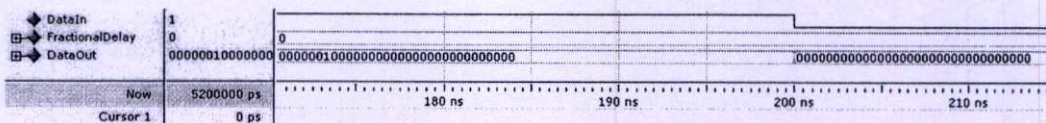
ตารางที่ 5.43 (ต่อ) ผลการจำลองการทำงานตารางเปิดคูค่าการหน่วง

FractionalDelay	DataIn	DataOut
1.5	0	00000000000000000000000000000000
	1	00000110000000000000000000000000
1.6	0	00000000000000000000000000000000
	1	00000110011001100110011001100110
1.7	0	00000000000000000000000000000000
	1	00000110110011001100110011001100
1.8	0	00000000000000000000000000000000
	1	00000111001100110011001100110011
1.9	0	00000000000000000000000000000000
	1	00000111100110011001100110011001
2.0	0	00000000000000000000000000000000
	1	00001000000000000000000000000000

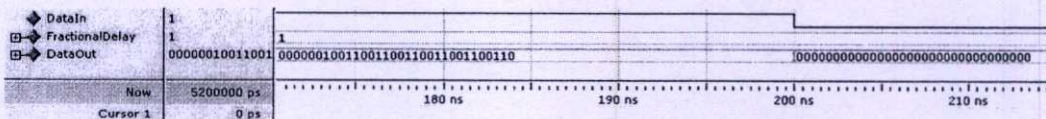
รูปที่ 5.43 (ก) แสดงสัญลักษณ์ของตารางเปิดคูค่าการหน่วงที่ออกแบบด้วยโปรแกรมไอซีลิงซ์ และรูปที่ 5.43 (ข) ถึง (ง) แสดงแผนผังเวลาการทำงานของตารางเปิดคูค่าการหน่วงตั้งแต่ 0.5 ถึง 2.0 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



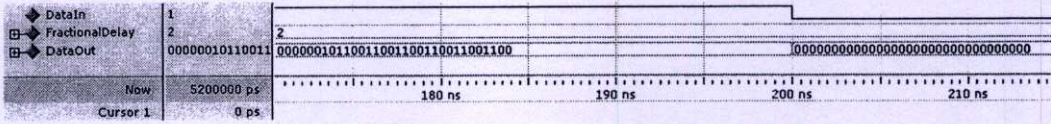
(ก) สัญลักษณ์ของตารางเปิดคูค่าการหน่วง



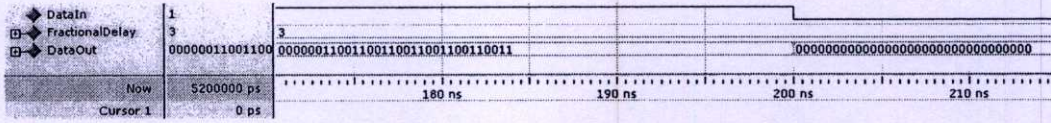
(ข) แผนผังเวลาการทำงานของตารางเปิดคูค่าการหน่วง ค่า 0.5



(ค) แผนผังเวลาการทำงานของตารางเปิดคูค่าการหน่วง ค่า 0.6



(ง) แผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง ค่า 0.7



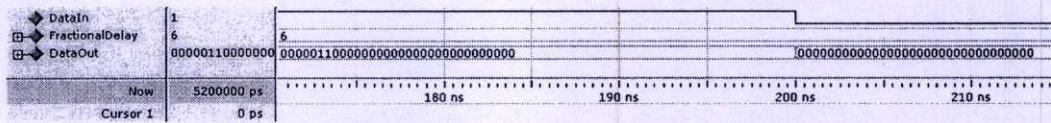
(จ) แผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง ค่า 0.8



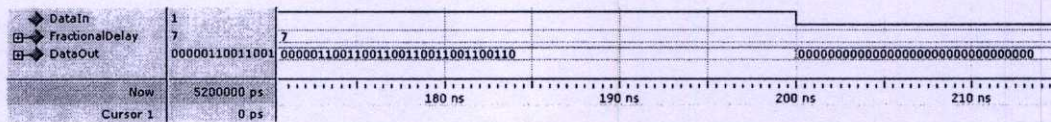
(ฉ) แผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง ค่า 0.9



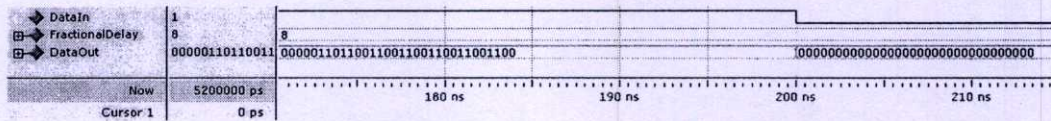
(ช) แผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง ค่า 1.0



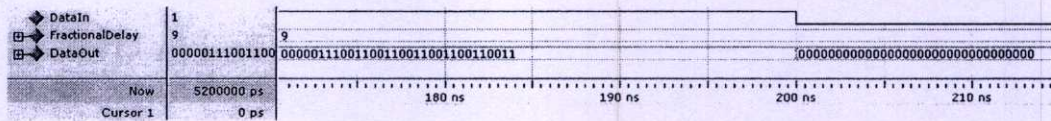
(ซ) แผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง ค่า 1.5



(ณ) แผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง ค่า 1.6



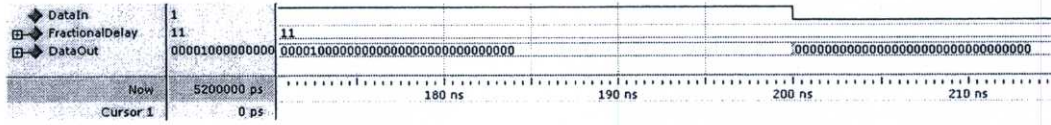
(ญ) แผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง ค่า 1.7



(ฎ) แผนผังเวลาการทำงานของตารางเปิดดูค่าการหน่วง ค่า 1.8



(ฎ) แผนผังเวลาการทำงานของตารางเปิดคู่อำการหน่วง ค่า 1.9



(จ) แผนผังเวลาการทำงานของตารางเปิดคู่อำการหน่วง ค่า 2.0

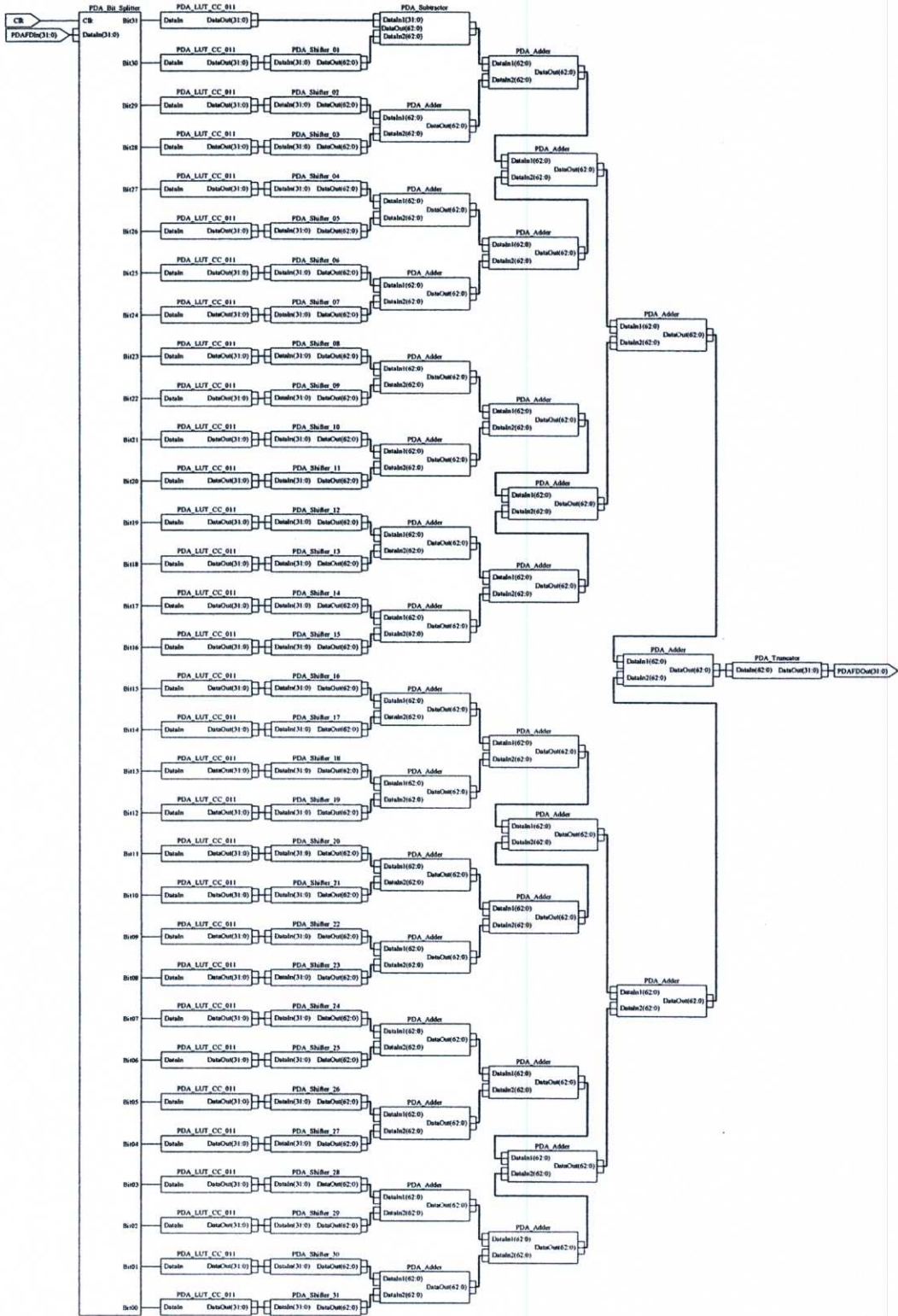
รูปที่ 5.43 สัญลักษณ์และแผนผังเวลาการทำงานของตารางเปิดคู่อำการหน่วง

ผลการจำลองการทำงานส่วนประกอบของวงจรเลขคณิตกระจายแบบขนาน ในหัวข้อที่ 5.2.1 ถึง 5.2.42 แสดงให้เห็นว่าวงจรส่วนประกอบทุกวงจรทำงานได้อย่างถูกต้องตรงตามที่ได้ ออกแบบไว้ จึงสามารถนำวงจรส่วนประกอบเหล่านี้มาประกอบรวมกันเป็นวงจรเลขคณิตกระจายแบบขนานได้ โดยในหัวข้อถัดไปจะจำลองการทำงานวงจรเลขคณิตกระจายแบบขนาน ซึ่งสร้างจากวงจรส่วนประกอบเหล่านี้

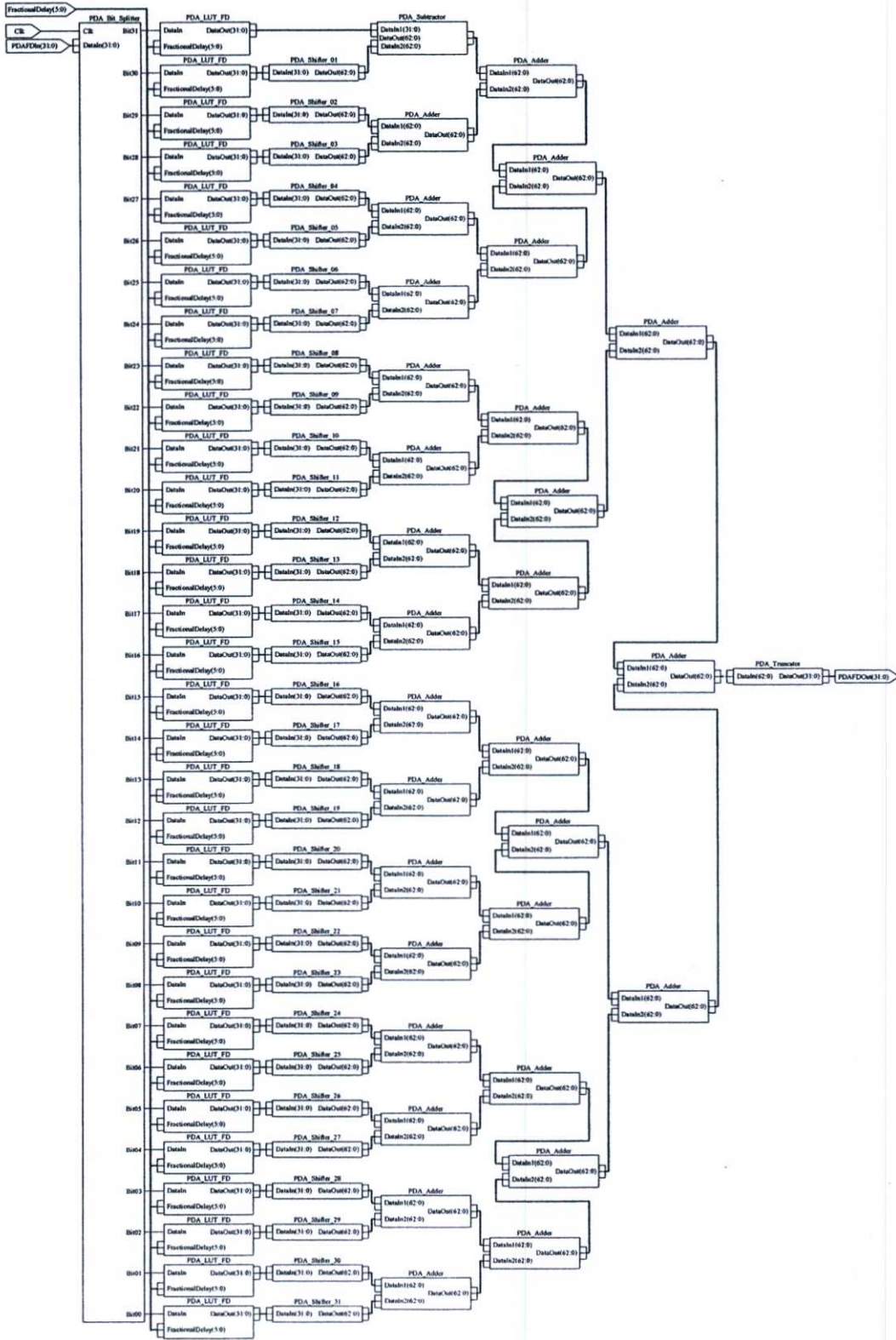
5.3 การจำลองการทำงานวงจรเลขคณิตกระจายแบบขนาน

วงจรเลขคณิตกระจายแบบขนานแบ่งเป็น 2 แบบ ตามตารางเปิดคู่อ คือ วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ และวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ซึ่งทั้ง 2 แบบ มีวงจรส่วนประกอบที่เหมือนกัน คือ วงจรแยกบิต วงจรบวกพีดีเอ วงจรลบพีดีเอ วงจรเลื่อนบิต วงจรตัดความยาวบิต และตารางเปิดคู่อ โดยวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์จะใช้ตารางเปิดคู่อค่าสัมประสิทธิ์ และวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วงจะใช้ตารางเปิดคู่อการหน่วง

เมื่อนำวงจรส่วนประกอบมาประกอบรวมกันเป็นวงจรเลขคณิตกระจายแบบขนาน จะได้เป็นวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ดังรูปที่ 5.44 และวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ดังรูปที่ 5.45 โดยการประกอบจะนำสัญลักษณ์วงจรของวงจรส่วนประกอบมาประกอบเข้าด้วยกันด้วยโปรแกรมไซลิงซ์ จากนั้นสร้างสัญลักษณ์วงจรและเทสต์เบนซ์เวฟฟอร์มของสัญลักษณ์วงจรของวงจรทั้งสอง เพื่อนำมาจำลองการทำงานด้วยโปรแกรมโมเดลซิม



รูปที่ 5.44 วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์



รูปที่ 5.45 วงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง

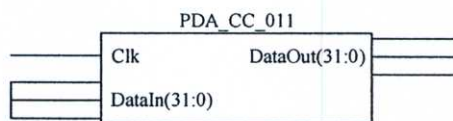
5.3.1 วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์

การจำลองการทำงานวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ จะป้อนข้อมูลอินพุตความยาว 32 บิต ค่า 4,194,304 เข้าที่ขา DataIn ตามจังหวะสัญญาณนาฬิกา ข้อมูลเอาต์พุตที่ขา DataOut ความยาว 32 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.44 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

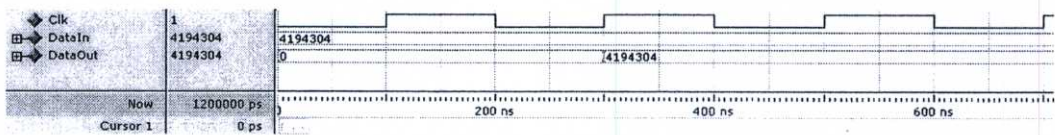
ตารางที่ 5.44 ผลการจำลองการทำงานวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์

ชุดที่	DataIn	DataOut	ผลลัพธ์จากการคำนวณ
11	4,194,304	4,194,304	4,194,304
12	4,194,304	0	0
21	4,194,304	2,097,152	2,097,152
22	4,194,304	-2,097,152	-2,097,152
31	4,194,304	1,398,101	1,398,101
32	4,194,304	-2,796,203	-2,796,203

รูปที่ 5.46 (ก) ถึงรูปที่ 5.51 (ก) แสดงสัญลักษณ์ของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 11 ถึงชุดที่ 32 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.46 (ข) ถึงรูปที่ 5.51 (ข) แสดงแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 11 ถึงชุดที่ 32 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม

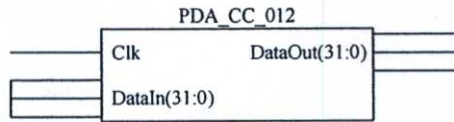


(ก) สัญลักษณ์ของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 11

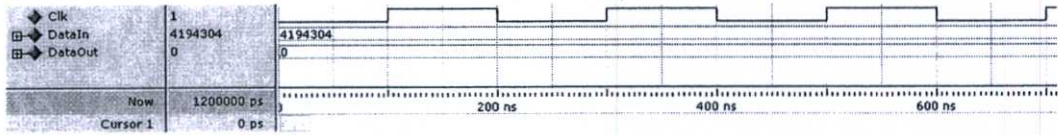


(ข) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 11

รูปที่ 5.46 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 11

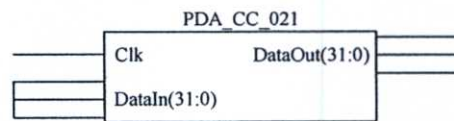


(ก) สัญลักษณ์ของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 12

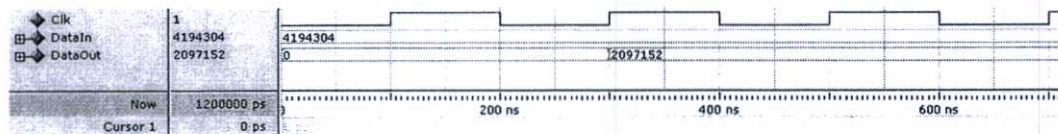


(ข) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 12

รูปที่ 5.47 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 12

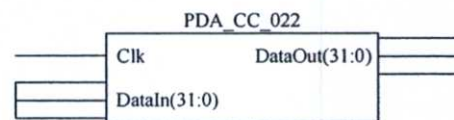


(ก) สัญลักษณ์ของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 21

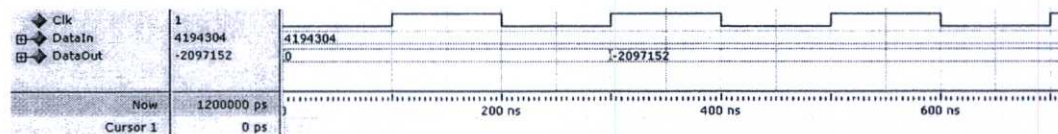


(ข) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 21

รูปที่ 5.48 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 21

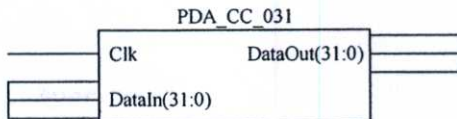


(ก) สัญลักษณ์ของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 22

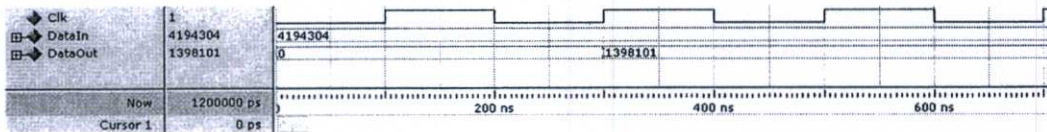


(ข) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 22

รูปที่ 5.49 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 22

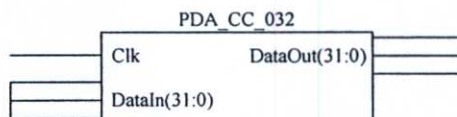


(ก) สัญลักษณ์ของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 31

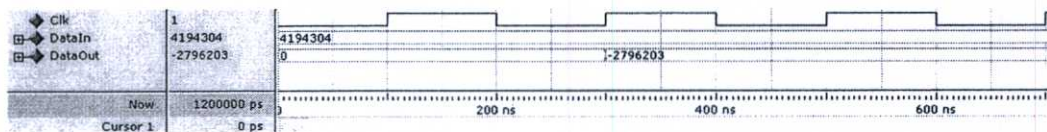


(ข) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 31

รูปที่ 5.50 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 31



(ก) สัญลักษณ์ของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 32



(ข) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 32

รูปที่ 5.51 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 32

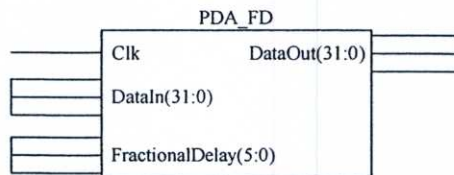
5.3.2 วงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง

การจำลองการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง จะป้อนข้อมูลอินพุตความยาว 32 บิต ค่า 4,194,304 เข้าที่ขา DataIn ตามจังหวะสัญญาณนาฬิกา และค่าการหน่วงเข้าที่ขา FractionalDelay จำนวน 12 ค่า ได้แก่ 0.5 ถึง 1.0 และ 1.5 ถึง 2.0 ข้อมูลเอาต์พุตที่ขา DataOut ความยาว 32 บิต โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.45 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

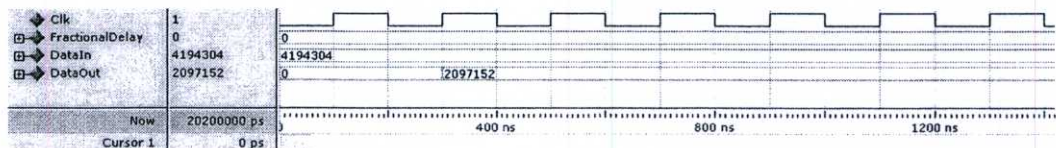
ตารางที่ 5.45 ผลการจำลองการทำงานวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง

ค่าการหน่วง	DataIn	DataOut	ผลลัพธ์จากการคำนวณ
0.5	4,194,304	2097152	2097152
0.6	4,194,304	2516582	2516582
0.7	4,194,304	2936012	2936012
0.8	4,194,304	3355443	3355443
0.9	4,194,304	3774873	3774873
1.0	4,194,304	4194304	4194304
1.5	4,194,304	6291456	6291456
1.6	4,194,304	6710886	6710886
1.7	4,194,304	7130316	7130316
1.8	4,194,304	7549747	7549747
1.9	4,194,304	7969177	7969177
2.0	4,194,304	8388608	8388608

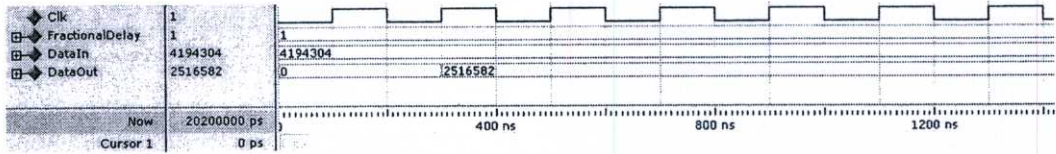
รูปที่ 5.52 (ก) แสดงสัญลักษณ์ของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วงที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.52 (ข) ถึงรูปที่ 5.52 (ง) แสดงแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง จำนวน 12 ค่า ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



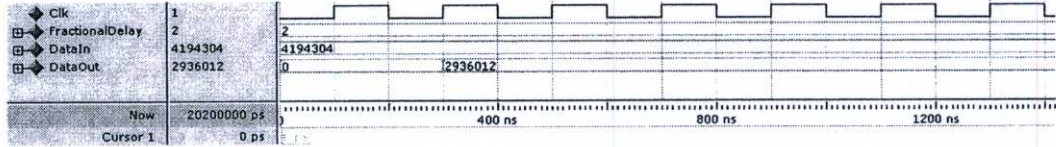
(ก) สัญลักษณ์ของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง



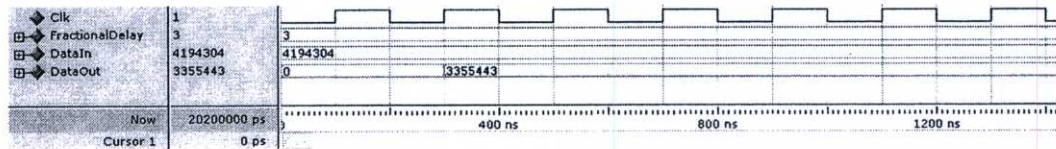
(ข) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 0.5



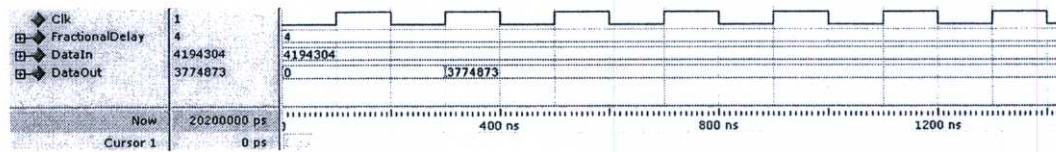
(ค) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 0.6



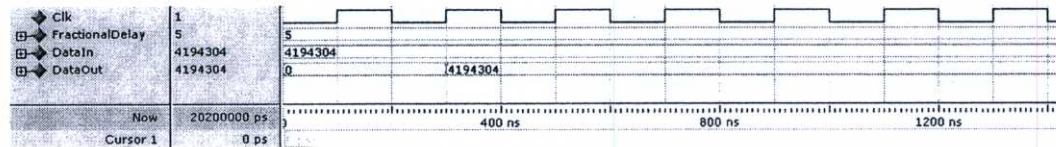
(ง) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 0.7



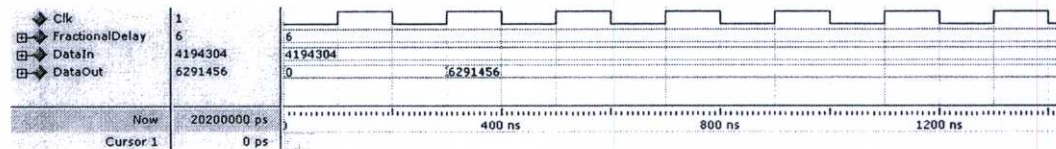
(จ) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 0.8



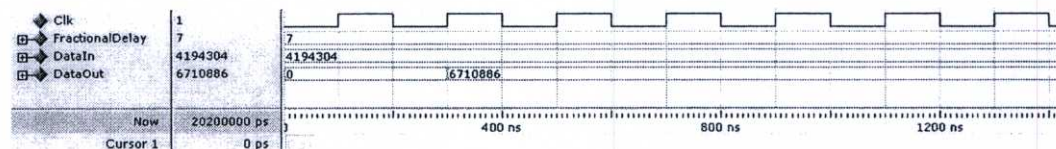
(ฉ) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 0.9



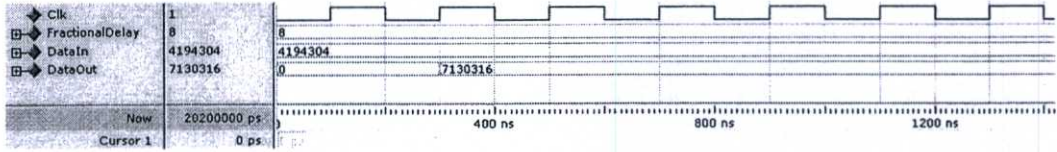
(ช) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 1.0



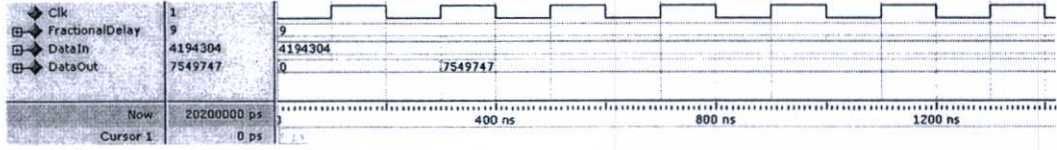
(ซ) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 1.5



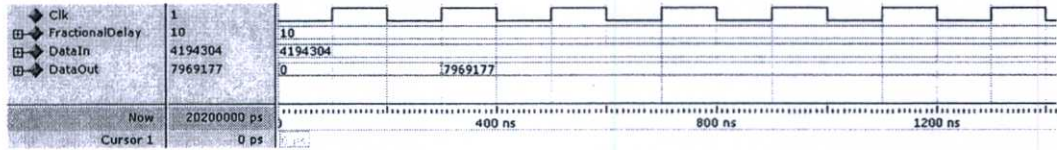
(ณ) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 1.6



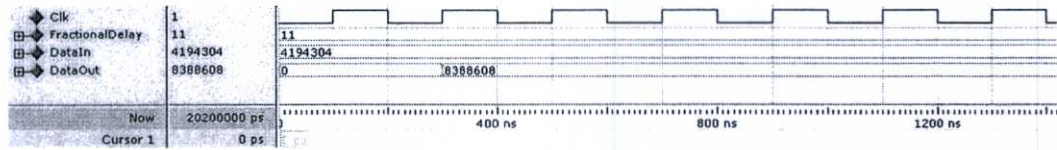
(ง) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 1.7



(ฉ) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 1.8



(ค) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 1.9



(ข) แผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง ค่า 2.0

รูปที่ 5.52 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรเลขคณิตกระจายแบบขนาน สำหรับค่าการหน่วง

ผลการจำลองการทำงานของวงจรเลขคณิตกระจายแบบขนาน ในหัวข้อที่ 5.3.1 และ 5.3.2 แสดงให้เห็นว่าวงจรเลขคณิตกระจายแบบขนานทั้ง 2 แบบ ทำงานได้อย่างถูกต้องตรงตามที่ได้ ออกแบบไว้ จึงสามารถนำวงจรเลขคณิตกระจายแบบขนานมาเป็นวงจรส่วนประกอบของวงจรย่อย 1 สเตจได้ โดยในหัวข้อถัดไปจะจำลองการทำงานของวงจรย่อย 1 สเตจ

5.4 การจำลองการทำงานวงจรส่วนประกอบของวงจรย่อย 1 สเตจ

วงจรส่วนประกอบของวงจรย่อย 1 สเตจ ประกอบด้วย วงจรหน่วงเวลา 1 หน่วย วงจรหน่วงเวลา 2 หน่วย วงจรหน่วงเวลา 4 หน่วย วงจรบวกสเตจ วงจรลบสเตจ วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ และวงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง การจำลองการทำงานวงจรส่วนประกอบเหล่านี้ จะนำวงจรซึ่งเขียนบรรยายพฤติกรรมวงจรโดยใช้ภาษาวีเอชดีแอล มาสร้างสัญลักษณ์วงจรด้วยโปรแกรมไซลิงซ์ จากนั้นสร้างเทสต์เบนช์เวฟฟอร์มของสัญลักษณ์วงจร และนำมาจำลองการทำงานด้วยโปรแกรมโมเดลซิม

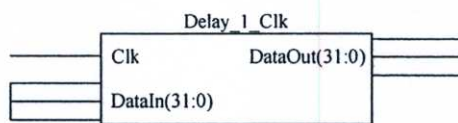
5.4.1 วงจรหน่วงเวลา 1 หน่วย

การจำลองการทำงานวงจรหน่วงเวลา 1 หน่วย จะป้อนข้อมูลอินพุตความยาว 32 บิต จำนวน 50 ค่า ตั้งแต่ 1 ถึง 50 เข้าไปที่ขา DataIn ตามจังหวะสัญญาณนาฬิกา ข้อมูลเอาต์พุตที่ขา DataOut เป็นข้อมูลอินพุตที่หน่วงเวลาไป 1 รอบสัญญาณนาฬิกา โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.46 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

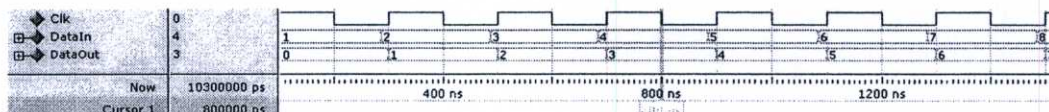
ตารางที่ 5.46 ผลการจำลองการทำงานวงจรหน่วงเวลา 1 หน่วย

CLK	1	2	3	4	5	6	7	8	9	10
DataIn	1	2	3	4	5	6	7	8	9	10
DataOut	n/a	1	2	3	4	5	6	7	8	9
CLK	11	12	13	14	15	16	17	18	19	20
DataIn	11	12	13	14	15	16	17	18	19	20
DataOut	10	11	12	13	14	15	16	17	18	19
CLK	21	22	23	24	25	26	27	28	29	30
DataIn	21	22	23	24	25	26	27	28	29	30
DataOut	20	21	22	23	24	25	26	27	28	29
CLK	31	32	33	34	35	36	37	38	39	40
DataIn	31	32	33	34	35	36	37	38	39	40
DataOut	30	31	32	33	34	35	36	37	38	39
CLK	41	42	43	44	45	46	47	48	49	50
DataIn	41	42	43	44	45	46	47	48	49	50
DataOut	40	41	42	43	44	45	46	47	48	49

รูปที่ 5.53 (ก) แสดงสัญลักษณ์ของวงจรหน่วงเวลา 1 หน่วย ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.53 (ข) แสดงแผนผังเวลาการทำงานของวงจรหน่วงเวลา 1 หน่วย ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรหน่วงเวลา 1 หน่วย



(ข) แผนผังเวลาการทำงานของวงจรหน่วงเวลา 1 หน่วย

รูปที่ 5.53 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรหน่วงเวลา 1 หน่วย

5.4.2 วงจรหน่วงเวลา 2 หน่วย

การจำลองการทำงานวงจรหน่วงเวลา 2 หน่วย จะป้อนข้อมูลอินพุตความยาว 32 บิต จำนวน 50 ค่า ตั้งแต่ 1 ถึง 50 เข้าไปที่ขา DataIn ตามจังหวะสัญญาณนาฬิกา ข้อมูลเอาต์พุตที่ขา DataOut เป็นข้อมูลอินพุตที่หน่วงเวลาไป 2 รอบสัญญาณนาฬิกา โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.47 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

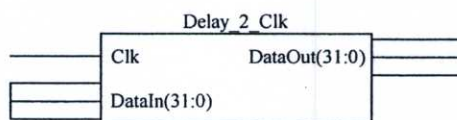
ตารางที่ 5.47 ผลการจำลองการทำงานวงจรหน่วงเวลา 2 หน่วย

CLK	1	2	3	4	5	6	7	8	9	10
DataIn	1	2	3	4	5	6	7	8	9	10
DataOut	n/a	n/a	1	2	3	4	5	6	7	8
CLK	11	12	13	14	15	16	17	18	19	20
DataIn	11	12	13	14	15	16	17	18	19	20
DataOut	9	10	11	12	13	14	15	16	17	18
CLK	21	22	23	24	25	26	27	28	29	30
DataIn	21	22	23	24	25	26	27	28	29	30
DataOut	19	20	21	22	23	24	25	26	27	28

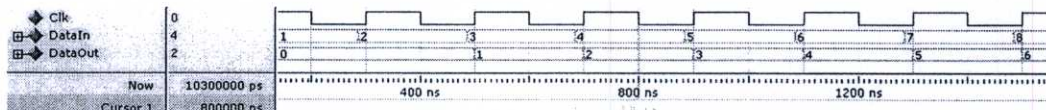
ตารางที่ 5.47 (ต่อ) ผลการจำลองการทำงานวงจรหน่วงเวลา 2 หน่วย

CLK	31	32	33	34	35	36	37	38	39	40
DataIn	31	32	33	34	35	36	37	38	39	40
DataOut	29	30	31	32	33	34	35	36	37	38
CLK	41	42	43	44	45	46	47	48	49	50
DataIn	41	42	43	44	45	46	47	48	49	50
DataOut	39	40	41	42	43	44	45	46	47	48

รูปที่ 5.54 (ก) แสดงสัญลักษณ์ของวงจรหน่วงเวลา 2 หน่วย ที่ออกแบบด้วยโปรแกรมไอซิ่ง และรูปที่ 5.54 (ข) แสดงแผนผังเวลาการทำงานของวงจรหน่วงเวลา 2 หน่วย ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรหน่วงเวลา 2 หน่วย



(ข) แผนผังเวลาการทำงานของวงจรหน่วงเวลา 2 หน่วย

รูปที่ 5.54 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรหน่วงเวลา 2 หน่วย

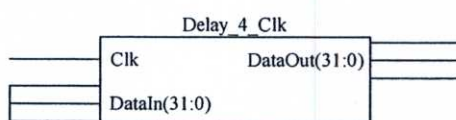
5.4.3 วงจรหน่วงเวลา 4 หน่วย

การจำลองการทำงานวงจรหน่วงเวลา 4 หน่วย จะป้อนข้อมูลอินพุตความยาว 32 บิต จำนวน 50 ค่า ตั้งแต่ 1 ถึง 50 เข้าไปที่ขา DataIn ตามจังหวะสัญญาณนาฬิกา ข้อมูลเอาต์พุตที่ขา DataOut เป็นข้อมูลอินพุตที่หน่วงเวลาไป 4 รอบสัญญาณนาฬิกา โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.48 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

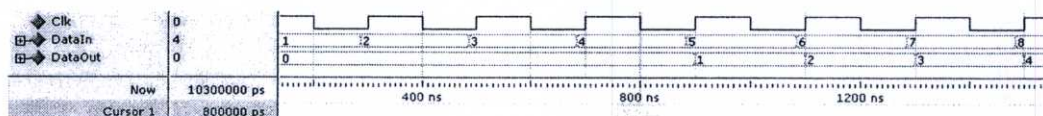
ตารางที่ 5.48 ผลการจำลองการทำงานวงจรหน่วงเวลา 4 หน่วย

CLK	1	2	3	4	5	6	7	8	9	10
DataIn	1	2	3	4	5	6	7	8	9	10
DataOut	n/a	n/a	n/a	n/a	1	2	3	4	5	6
CLK	11	12	13	14	15	16	17	18	19	20
DataIn	11	12	13	14	15	16	17	18	19	20
DataOut	7	8	9	10	11	12	13	14	15	16
CLK	21	22	23	24	25	26	27	28	29	30
DataIn	21	22	23	24	25	26	27	28	29	30
DataOut	17	18	19	20	21	22	23	24	25	26
CLK	31	32	33	34	35	36	37	38	39	40
DataIn	31	32	33	34	35	36	37	38	39	40
DataOut	31	32	33	34	31	32	33	34	35	36
CLK	41	42	43	44	45	46	47	48	49	50
DataIn	41	42	43	44	45	46	47	48	49	50
DataOut	37	38	39	40	41	42	43	44	45	46

รูปที่ 5.55 (ก) แสดงสัญลักษณ์ของวงจรหน่วงเวลา 4 หน่วย ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.55 (ข) แสดงแผนผังเวลาการทำงานของวงจรหน่วงเวลา 4 หน่วย ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรหน่วงเวลา 4 หน่วย



(ข) แผนผังเวลาการทำงานของวงจรหน่วงเวลา 4 หน่วย

รูปที่ 5.55 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรหน่วงเวลา 4 หน่วย

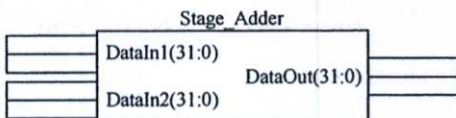
5.4.4 วงจรบวกสแตจ

การจำลองการทำงานวงจรบวกสแตจ จะป้อนข้อมูลอินพุตความยาว 32 บิต จำนวน 2 ชุด ชุดละ 50 ค่า ชุดที่หนึ่งตั้งแต่ 1 ถึง 50 โดยเพิ่มค่าขึ้นทีละ 1 เข้าไปที่ขา DataIn1 และ ชุดที่สองตั้งแต่ 50 ถึง 1 โดยลดค่าลงทีละ 1 เข้าไปที่ขา DataIn2 ข้อมูลเอาต์พุตที่ขา DataOut เป็นผลรวมของขาอินพุตทั้งสอง โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.49 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

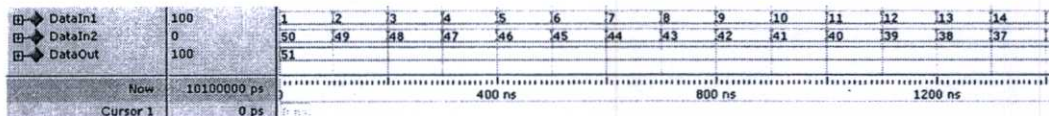
ตารางที่ 5.49 ผลการจำลองการทำงานวงจรบวกสแตจ

DataIn1	1	2	3	4	5	6	7	8	9	10
DataIn2	50	49	48	47	46	45	44	43	42	41
DataOut	51	51	51	51	51	51	51	51	51	51
DataIn1	11	12	13	14	15	16	17	18	19	20
DataIn2	40	39	38	37	36	35	34	33	32	31
DataOut	51	51	51	51	51	51	51	51	51	51
DataIn1	21	22	23	24	25	26	27	28	29	30
DataIn2	30	29	28	27	26	25	24	23	22	21
DataOut	51	51	51	51	51	51	51	51	51	51
DataIn1	31	32	33	34	35	36	37	38	39	40
DataIn2	20	19	18	17	16	15	14	13	12	11
DataOut	51	51	51	51	51	51	51	51	51	51
DataIn1	41	42	43	44	45	46	47	48	49	50
DataIn2	10	9	8	7	6	5	4	3	2	1
DataOut	51	51	51	51	51	51	51	51	51	51

รูปที่ 5.56 (ก) แสดงสัญลักษณ์ของวงจรบวกสแตจที่ออกแบบด้วยโปรแกรมไซลิงซ์ และ รูปที่ 5.56 (ข) แสดงแผนผังเวลาการทำงานของวงจรบวกสแตจ ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรบวกเลข



(ข) แผนผังเวลาการทำงานของวงจรบวกเลข

รูปที่ 5.56 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรบวกเลข

5.4.5 วงจรลบเลข

การจำลองการทำงานของวงจรลบเลข จะป้อนข้อมูลอินพุตความยาว 32 บิต จำนวน 2 ชุด ชุดละ 50 ค่า ชุดที่หนึ่งตั้งแต่ 1 ถึง 50 โดยเพิ่มค่าขึ้นทีละ 1 เข้าไปที่ขา DataIn1 และ ชุดที่สองตั้งแต่ 50 ถึง 1 โดยลดค่าลงทีละ 1 เข้าไปที่ขา DataIn2 ข้อมูลเอาต์พุตที่ขา DataOut เป็นผลต่างของขาอินพุตทั้งสอง โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.50 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

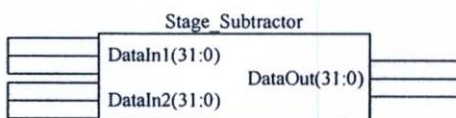
ตารางที่ 5.50 ผลการจำลองการทำงานของวงจรลบเลข

DataIn1	1	2	3	4	5	6	7	8	9	10
DataIn2	50	49	48	47	46	45	44	43	42	41
DataOut	-49	-47	-45	-43	-41	-39	-37	-35	-33	-31
DataIn1	11	12	13	14	15	16	17	18	19	20
DataIn2	40	39	38	37	36	35	34	33	32	31
DataOut	-29	-27	-25	-23	-21	-19	-17	-15	-13	-11
DataIn1	21	22	23	24	25	26	27	28	29	30
DataIn2	30	29	28	27	26	25	24	23	22	21
DataOut	-9	-7	-5	-3	-1	1	3	5	7	9
DataIn1	31	32	33	34	35	36	37	38	39	40
DataIn2	20	19	18	17	16	15	14	13	12	11
DataOut	11	13	15	17	19	21	23	25	27	29

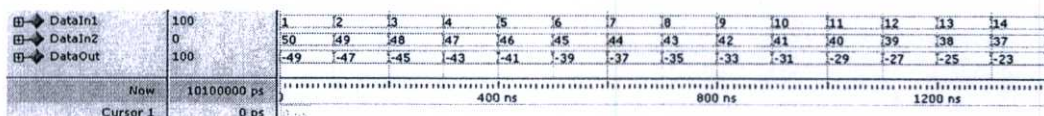
ตารางที่ 5.50 (ต่อ) ผลการจำลองการทำงานวงจรลบสเตรจ

DataIn1	41	42	43	44	45	46	47	48	49	50
DataIn2	10	9	8	7	6	5	4	3	2	1
DataOut	31	33	35	37	39	41	43	45	47	49

รูปที่ 5.57 (ก) แสดงสัญลักษณ์ของวงจรลบสเตรจที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.57 (ข) แสดงแผนผังเวลาการทำงานของวงจรลบสเตรจ ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) สัญลักษณ์ของวงจรลบสเตรจ



(ข) แผนผังเวลาการทำงานของวงจรลบสเตรจ

รูปที่ 5.57 สัญลักษณ์และแผนผังเวลาการทำงานของวงจรลบสเตรจ

ผลการจำลองการทำงานวงจรส่วนประกอบวงจรย่อย 1 สเตจ ในหัวข้อที่ 5.4.1 และ 5.4.5 แสดงให้เห็นว่าวงจรส่วนประกอบทุกวงจรทำงานได้อย่างถูกต้องตรงตามที่ได้ออกแบบไว้ จึงสามารถนำวงจรส่วนประกอบเหล่านี้มาประกอบรวมกันเป็นวงจรย่อย 1 สเตจได้ โดยในหัวข้อถัดไปจะแสดงผลการจำลองการทำงานวงจรย่อย 1 สเตจ ซึ่งสร้างจากวงจรส่วนประกอบเหล่านี้

5.5 การจำลองการทำงานวงจรย่อย 1 สเตจ

วงจรย่อย 1 สเตจ ประกอบด้วย วงจรหน่วงเวลา 1 หน่วย วงจรหน่วงเวลา 2 หน่วย วงจรหน่วงเวลา 4 หน่วย วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ วงจรเลขคณิตกระจายแบบขนานสำหรับค่าการหน่วง วงจรบวกสเตรจ และวงจรลบสเตรจ เมื่อนำวงจรส่วนประกอบมาประกอบรวมกันเป็นวงจรย่อย 1 สเตจ โดยใช้โปรแกรมไซลิงซ์ประกอบสัญลักษณ์วงจรของวงจรส่วนประกอบของวงจรย่อย 1 สเตจเข้าด้วยกัน จากนั้นสร้างสัญลักษณ์วงจรของวงจรย่อย 1 สเตจ และเทสต์เบนซ์เวฟฟอร์ม์ของสัญลักษณ์วงจร เพื่อนำมาจำลองการทำงานด้วยโปรแกรมโมเดลซิม

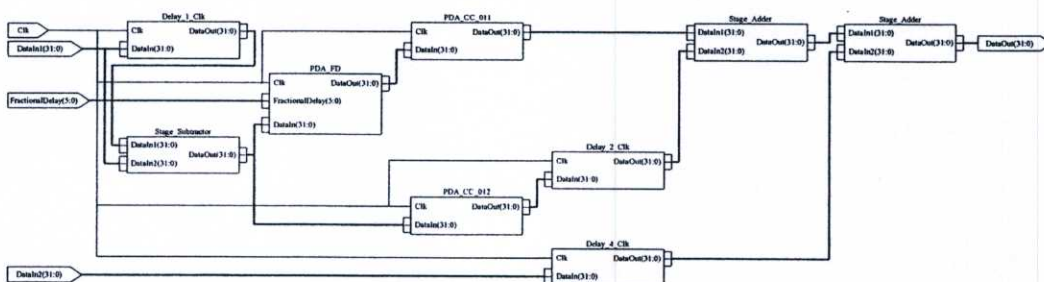
การจำลองการทำงานวงจรย่อย 1 สเตจ จะกระทำ 3 แบบ ตามวงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ที่เป็นส่วนประกอบ ดังนี้

1. จำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 1 จะใช้วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 11 และ 12
2. จำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 2 จะใช้วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 21 และ 22
3. จำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 3 จะใช้วงจรเลขคณิตกระจายแบบขนานสำหรับค่าสัมประสิทธิ์ชุดที่ 31 และ 32

5.5.1 วงจรย่อย 1 สเตจ แบบที่ 1

การจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 1 จะป้อนข้อมูลอินพุตความยาว 32 บิต จำนวน 100 ค่า ตั้งแต่ 1 ถึง 100 โดยเพิ่มค่าขึ้นทีละ 1 เข้าไปที่ขา DataIn1 และ DataIn2 และค่าการหน่วง 0.5 ถึง 1.0 เข้าที่ขา FractionalDelay ข้อมูลเอาต์พุตที่ขา DataOut เป็นผลลัพธ์การคำนวณของวงจรย่อย 1 สเตจ แบบที่ 1 โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.51 ถึง ตารางที่ 5.56 ซึ่งถูกต้องตรงตามทีออกแบบไว้

รูปที่ 5.58 (ก) แสดงวงจรย่อย 1 สเตจ แบบที่ 1 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.59 (ก) ถึงรูปที่ 5.59 (จ) แสดงแผนผังเวลาการทำงานของวงจรย่อย 1 สเตจ แบบที่ 1 ซึ่งปรับค่าการหน่วงจำนวน 6 ค่า ตั้งแต่ 0.5 ถึง 1.0 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



รูปที่ 5.58 วงจรย่อย 1 สเตจ แบบที่ 1

ตารางที่ 5.51 ผลการจำลองการทำงานจรรยา 1 สเตจ แบบที่ 1 ค่าการหน่วง 0.5

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	50	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82
ค่าคำนวณ	50	99.5	98.5	97.5	96.5	95.5	94.5	93.5	92.5	91.5	90.5	89.5	88.5	87.5	86.5	85.5	84.5	83.5	82.5	81.5
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	81	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62
ค่าคำนวณ	80.5	79.5	78.5	77.5	76.5	75.5	74.5	73.5	72.5	71.5	70.5	69.5	68.5	67.5	66.5	65.5	64.5	63.5	62.5	61.5
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataOut	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42
ค่าคำนวณ	60.5	59.5	58.5	57.5	56.5	55.5	54.5	53.5	52.5	51.5	50.5	49.5	48.5	47.5	49.5	45.5	44.5	43.5	42.5	41.5
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22
ค่าคำนวณ	40.5	39.5	38.5	37.5	36.5	35.5	34.5	33.5	32.5	31.5	30.5	29.5	28.5	27.5	26.5	25.5	24.5	23.5	22.5	21.5
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
ค่าคำนวณ	20.5	19.5	18.5	17.5	16.5	15.5	14.5	13.5	12.5	11.5	10.5	9.5	8.5	7.5	6.5	5.5	4.5	3.5	2.5	1.5

ตารางที่ 5.52 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 1 ค่าการหน่วง 0.6

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	40	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82
ค่าคำนวณ	40	99.6	98.6	97.6	96.6	95.6	94.6	93.6	92.6	91.6	90.6	89.6	88.6	87.6	86.6	85.6	84.6	83.6	82.6	81.6
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	81	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62
ค่าคำนวณ	80.6	79.6	78.6	77.6	76.6	75.6	74.6	73.6	72.6	71.6	70.6	69.6	68.6	67.6	66.6	65.6	64.6	63.6	62.6	61.6
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42
ค่าคำนวณ	60.6	59.6	58.6	57.6	56.6	55.6	54.6	53.6	52.6	51.6	50.6	49.6	48.6	47.6	46.6	45.6	44.6	43.6	42.6	41.6
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22
ค่าคำนวณ	40.6	39.6	38.6	37.6	36.6	35.6	34.6	33.6	32.6	31.6	30.6	29.6	28.6	27.6	26.6	25.6	24.6	23.6	22.6	21.6
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
ค่าคำนวณ	20.6	19.6	18.6	17.6	16.6	15.6	14.6	13.6	12.6	11.6	10.6	9.6	8.6	7.6	6.6	5.6	4.6	3.6	2.6	1.6

ตารางที่ 5.53 ผลการจำลองการทำงานวงร่อย 1 สเตจ แบบที่ 1 ค่าการหน่วง 0.7

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	30	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82
ค่าคำนวณ	30	99.7	98.7	97.7	96.7	95.7	94.7	93.7	92.7	91.7	90.7	89.7	88.7	87.7	86.7	85.7	84.7	83.7	82.7	81.7
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	81	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62
ค่าคำนวณ	80.7	79.7	78.7	77.7	76.7	75.7	74.7	73.7	72.7	71.7	70.7	69.7	68.7	67.7	66.7	65.7	64.7	63.7	62.7	61.7
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42
ค่าคำนวณ	60.7	59.7	58.7	57.7	56.7	55.7	54.7	53.7	52.7	51.7	50.7	49.7	48.7	47.7	46.7	45.7	44.7	43.7	42.7	41.7
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22
ค่าคำนวณ	40.7	39.7	38.7	37.7	36.7	35.7	34.7	33.7	32.7	31.7	30.7	29.7	28.7	27.7	26.7	25.7	24.7	23.7	22.7	21.7
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	1
ค่าคำนวณ	20.7	19.7	18.7	17.7	16.7	15.7	14.7	13.7	12.7	11.7	10.7	9.7	8.7	7.7	6.7	5.7	4.7	3.7	2.7	1.7

ตารางที่ 5.54 ผลการจำลองการดำเนินงานระยะย่อย 1 สตด แบบที่ 1 ค่าการหมุนง 0.8

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	20	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82
ค่าคำนวณ	20	99.8	98.8	97.8	96.8	95.8	94.8	93.8	92.8	91.8	90.8	89.8	88.8	87.8	86.8	85.8	84.8	83.8	82.8	81.8
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	81	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62
ค่าคำนวณ	80.8	79.8	78.8	77.8	76.8	75.8	74.8	73.8	72.8	71.8	70.8	69.8	68.8	67.8	66.8	65.8	64.8	63.8	62.8	61.8
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42
ค่าคำนวณ	60.8	59.8	58.8	57.8	56.8	55.8	54.8	53.8	52.8	51.8	50.8	49.8	48.8	47.8	46.8	45.8	44.8	43.8	42.8	41.8
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22
ค่าคำนวณ	40.8	39.8	38.8	37.8	36.8	35.8	34.8	33.8	32.8	31.8	30.8	29.8	28.8	27.8	26.8	25.8	24.8	23.8	22.8	21.8
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
ค่าคำนวณ	20.8	19.8	18.8	17.8	16.8	15.8	14.8	13.8	12.8	11.8	10.8	9.8	8.8	7.8	6.8	5.8	4.8	3.8	2.8	1.8

ตารางที่ 5.55 ผลการจำลองการดำเนินงานข้อย่อย 1 สเตจ แบบที่ 1 ค่าการหมุนวง 0.9

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	10	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82
ค่าคำนวณ	10	99.9	98.9	97.9	96.9	95.9	94.9	93.9	92.9	91.9	90.9	89.9	88.9	87.9	86.9	85.9	84.9	83.9	82.9	81.9
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	81	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62
ค่าคำนวณ	80.9	79.9	78.9	77.9	76.9	75.9	74.9	73.9	72.9	71.9	70.9	69.9	68.9	67.9	66.9	65.9	64.9	63.9	62.9	61.9
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42
ค่าคำนวณ	60.9	59.9	58.9	57.9	56.9	55.9	54.9	53.9	52.9	51.9	50.9	49.9	48.9	47.9	46.9	45.9	44.9	43.9	42.9	41.9
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22
ค่าคำนวณ	40.9	39.9	38.9	37.9	36.9	35.9	34.9	33.9	32.9	31.9	30.9	29.9	28.9	27.9	26.9	25.9	24.9	23.9	22.9	21.9
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
ค่าคำนวณ	20.9	19.9	18.9	17.9	16.9	15.9	14.9	13.9	12.9	11.9	10.9	9.9	8.9	7.9	6.9	5.9	4.9	3.9	2.9	1.9

ตารางที่ 5.56 ผลการจำลองการทำงานวงจรร้อย 1 สเตจ แบบที่ 1 ค่าการหน่วง 1.0

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	1	101	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83
ค่าคำนวณ	0	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	82	81	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63
ค่าคำนวณ	81	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43
ค่าคำนวณ	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	42	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23
ค่าคำนวณ	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	2
ค่าคำนวณ	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2

ตารางที่ 5.57 ผลการจำลองการทำงานวงย่อย 1 สดจ แบบที่ 2 ค่าการหน่วง 0.5

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	124	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80
ค่าคำนวณ	125	98.75	97.75	96.75	95.75	94.75	93.75	92.75	91.75	90.75	89.75	88.75	87.75	86.75	85.75	84.75	83.75	82.75	81.75	80.75
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60
ค่าคำนวณ	79.75	78.75	77.75	76.75	75.75	74.75	73.75	72.75	71.75	70.75	69.75	68.75	67.75	66.75	65.75	64.75	63.75	62.75	61.75	60.75
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40
ค่าคำนวณ	59.75	58.75	57.75	56.75	55.75	54.75	53.75	52.75	51.75	50.75	49.75	48.75	47.75	46.75	45.75	44.75	43.75	42.75	41.75	40.75
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20
ค่าคำนวณ	39.75	38.75	37.75	36.75	35.75	34.75	33.75	32.75	31.75	30.75	29.75	28.75	27.75	26.75	25.75	24.75	23.75	22.75	21.75	20.75
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ค่าคำนวณ	19.75	18.75	17.75	16.75	15.75	14.75	13.75	12.75	11.75	10.75	9.75	8.75	7.75	6.75	5.75	4.75	3.75	2.75	1.75	0.75

ตารางที่ 5.58 ผลการจำลองการทำงานวงร่อย 1 สดข แบบที่ 2 ค่าการหน่วง 0.6

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	119	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80
ค่าคำนวณ	120	98.80	97.80	96.80	95.80	94.80	93.80	92.80	91.80	90.80	89.80	88.80	87.80	86.80	85.80	84.80	83.80	82.80	81.80	80.80
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60
ค่าคำนวณ	79.80	78.80	77.80	76.80	75.80	74.80	73.80	72.80	71.80	70.80	69.80	68.80	67.80	66.80	65.80	64.80	63.80	62.80	61.80	60.80
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40
ค่าคำนวณ	59.80	58.80	57.80	56.80	55.80	54.80	53.80	52.80	51.80	50.80	49.80	48.80	47.80	46.80	45.80	44.80	43.80	42.80	41.80	40.80
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20
ค่าคำนวณ	39.80	38.80	37.80	36.80	35.80	34.80	33.80	32.80	31.80	30.80	29.80	28.80	27.80	26.80	25.80	24.80	23.80	22.80	21.80	20.80
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ค่าคำนวณ	19.80	18.80	17.80	16.80	15.80	14.80	13.80	12.80	11.80	10.80	9.80	8.80	7.80	6.80	5.80	4.80	3.80	2.80	1.80	0.80

ตารางที่ 5.59 ผลการจำลองการทำงานวงร่อย 1 สเตจ แบบที่ 2 ค่าการหน่วง 0.7

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	114	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80
ค่าคำนวณ	115	98.85	97.85	96.85	95.85	94.85	93.85	92.85	91.85	90.85	89.85	88.85	87.85	86.85	85.85	84.85	83.85	82.85	81.85	80.85
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60
ค่าคำนวณ	79.85	78.85	77.85	76.85	75.85	74.85	73.85	72.85	71.85	70.85	69.85	68.85	67.85	66.85	65.85	64.85	63.85	62.85	61.85	60.85
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40
ค่าคำนวณ	59.85	58.85	57.85	56.85	55.85	54.85	53.85	52.85	51.85	50.85	49.85	48.85	47.85	46.85	45.85	44.85	43.85	42.85	41.85	40.85
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20
ค่าคำนวณ	39.85	38.85	37.85	36.85	35.85	34.85	33.85	32.85	31.85	30.85	29.85	28.85	27.85	26.85	25.85	24.85	23.85	22.85	21.85	20.85
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ค่าคำนวณ	19.85	18.85	17.85	16.85	15.85	14.85	13.85	12.85	11.85	10.85	9.85	8.85	7.85	6.85	5.85	4.85	3.85	2.85	1.85	0.85

ตารางที่ 5.60 ผลการจำลองการทำงานจรรยา 1 สเตจ แบบที่ 2 ค่าการหน่วง 0.8

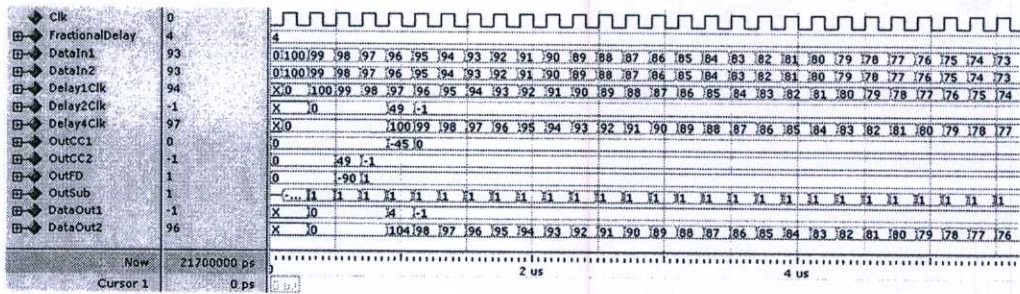
DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	109	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80
ค่าคำนวณ	110	98.90	97.90	96.90	95.90	94.90	93.90	92.90	91.90	90.90	89.90	88.90	87.90	86.90	85.90	84.90	83.90	82.90	81.90	80.90
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60
ค่าคำนวณ	79.90	78.90	77.90	76.90	75.90	74.90	73.90	72.90	71.90	70.90	69.90	68.90	67.90	66.90	65.90	64.90	63.90	62.90	61.90	60.90
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataOut	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41	40
ค่าคำนวณ	59.90	58.90	57.90	56.90	55.90	54.90	53.90	52.90	51.90	50.90	49.90	48.90	47.90	49.90	45.90	44.90	43.90	42.90	41.90	40.90
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20
ค่าคำนวณ	39.90	38.90	37.90	36.90	35.90	34.90	33.90	32.90	31.90	30.90	29.90	28.90	27.90	26.90	25.90	24.90	23.90	22.90	21.90	20.90
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ค่าคำนวณ	19.90	18.90	17.90	16.90	15.90	14.90	13.90	12.90	11.90	10.90	9.90	8.90	7.90	6.90	5.90	4.90	3.90	2.90	1.90	0.90

ตารางที่ 5.61 ผลการจำลองการทำงานจรรยา 1 สเตจ แบบที่ 2 ค่าการหน่วง 0.9

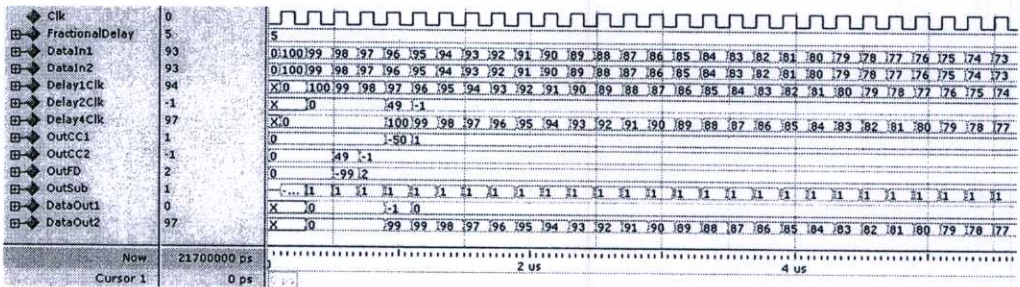
DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	104	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80
ค่าคำนวณ	105	98.95	97.95	96.95	95.95	94.95	93.95	92.95	91.95	90.95	89.95	88.95	87.95	86.95	85.95	84.95	83.95	82.95	81.95	80.95
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60
ค่าคำนวณ	79.95	78.95	77.95	76.95	75.95	74.95	73.95	72.95	71.95	70.95	69.95	68.95	67.95	66.95	65.95	64.95	63.95	62.95	61.95	60.95
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataOut	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41	40
ค่าคำนวณ	59.95	58.95	57.95	56.95	55.95	54.95	53.95	52.95	51.95	50.95	49.95	48.95	47.95	46.95	45.95	44.95	43.95	42.95	41.95	40.95
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20
ค่าคำนวณ	39.95	38.95	37.95	36.95	35.95	34.95	33.95	32.95	31.95	30.95	29.95	28.95	27.95	26.95	25.95	24.95	23.95	22.95	21.95	20.95
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ค่าคำนวณ	19.95	18.95	17.95	16.95	15.95	14.95	13.95	12.95	11.95	10.95	9.95	8.95	7.95	6.95	5.95	4.95	3.95	2.95	1.95	0.95

ตารางที่ 5.62 ผลการจำลองการทำงานจรรยา 1 สเตจ แบบที่ 2 ค่าการหมุน 1.0

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	99	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
ค่าคำนวณ	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
ค่าคำนวณ	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataOut	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
ค่าคำนวณ	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
ค่าคำนวณ	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	0
ค่าคำนวณ	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1



(จ) แผนผังเวลาการทำงานของวงจรร้อย 1 แสดงแบบที่ 2 ค่าการหน่วง 0.9



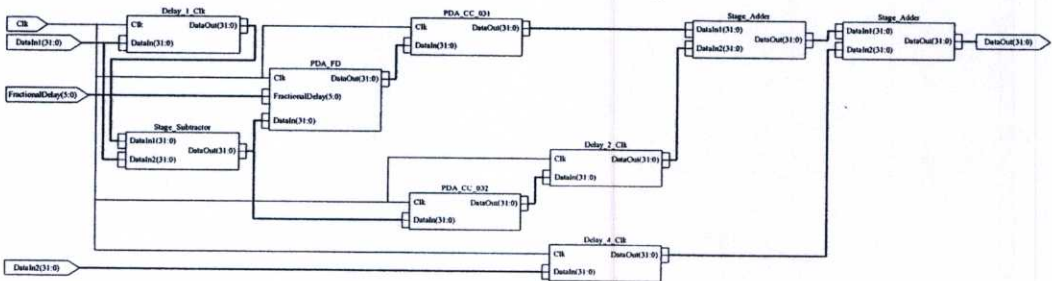
(ข) แผนผังเวลาการทำงานของวงจรร้อย 1 แสดง แบบที่ 2 ค่าการหน่วง 1.0

รูปที่ 5.61 แผนผังเวลาการทำงานของวงจรร้อย 1 แสดง แบบที่ 2

5.5.3 วงจรร้อย 1 แสดง แบบที่ 3

การจำลองการทำงานของวงจรร้อย 1 แสดง แบบที่ 3 จะป้อนข้อมูลอินพุตความยาว 32 บิต จำนวน 100 ค่า ตั้งแต่ 1 ถึง 100 โดยเพิ่มค่าขึ้นทีละ 1 เข้าไปที่ขา DataIn1 และ DataIn2 และค่าการหน่วง 1.5 ถึง 2.0 เข้าที่ขา FractionalDelay ข้อมูลเอาต์พุตที่ขา DataOut เป็นผลลัพธ์การคำนวณของวงจรร้อย 1 แสดง แบบที่ 3 โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.63 ถึง ตารางที่ 5.68 ซึ่งถูกต้องตรงตามที่ออกแบบไว้

รูปที่ 5.62 (ก) แสดงวงจรร้อย 1 แสดง แบบที่ 3 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.63 (ก) ถึงรูปที่ 5.63 (ฉ) แสดงแผนผังเวลาการทำงานของวงจรร้อย 1 แสดง แบบที่ 3 ซึ่งปรับค่าการหน่วงจำนวน 6 ค่า ตั้งแต่ 1.5 ถึง 2.0 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



รูปที่ 5.62 วงจรร้อย 1 แสดง แบบที่ 3

ตารางที่ 5.63 ผลการจำลองการทำงานจรรยา 1 สตง แบบที่ 3 ค่าการหน่วง 1.5

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	116	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80	79
ค่าคำนวณ	116.67	98.83	97.83	96.83	95.83	94.83	93.83	92.83	91.83	90.83	89.83	88.83	87.83	86.83	85.83	84.83	83.83	82.83	81.83	80.83
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60	59
ค่าคำนวณ	79.83	78.83	77.83	76.83	75.83	74.83	73.83	72.83	71.83	70.83	69.83	68.83	67.83	66.83	65.83	64.83	63.83	62.83	61.83	60.83
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39
ค่าคำนวณ	59.83	58.83	57.83	56.83	55.83	54.83	53.83	52.83	51.83	50.83	49.83	48.83	47.83	46.83	45.83	44.83	43.83	42.83	41.83	40.83
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19
ค่าคำนวณ	39.83	38.83	37.83	36.83	35.83	34.83	33.83	32.83	31.83	30.83	29.83	28.83	27.83	26.83	25.83	24.83	23.83	22.83	21.83	20.83
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0
ค่าคำนวณ	19.83	18.83	17.83	16.83	15.83	14.83	13.83	12.83	11.83	10.83	9.83	8.83	7.83	6.83	5.83	4.83	3.83	2.83	1.83	0.83

ตารางที่ 5.64 ผลการจำลองการทำงานจรรยา 1 สเตจ แบบที่ 3 ค่าการหน่วง 1.6

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	113	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80	79
ค่าคำนวณ	113.33	98.86	97.86	96.86	95.86	94.86	93.86	92.86	91.86	90.86	89.86	88.86	87.86	86.86	85.86	84.86	83.86	82.86	81.86	80.86
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60	59
ค่าคำนวณ	79.86	78.86	77.86	76.86	75.86	74.86	73.86	72.86	71.86	70.86	69.86	68.86	67.86	66.86	65.86	64.86	63.86	62.86	61.86	60.86
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39
ค่าคำนวณ	59.86	58.86	57.86	56.86	55.86	54.86	53.86	52.86	51.86	50.86	49.86	48.86	47.86	46.86	45.86	44.86	43.86	42.86	41.86	40.86
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19
ค่าคำนวณ	39.86	38.86	37.86	36.86	35.86	34.86	33.86	32.86	31.86	30.86	29.86	28.86	27.86	26.86	25.86	24.86	23.86	22.86	21.86	20.86
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0
ค่าคำนวณ	19.86	18.86	17.86	16.86	15.86	14.86	13.86	12.86	11.86	10.86	9.86	8.86	7.86	6.86	5.86	4.86	3.86	2.86	1.86	0.86

ตารางที่ 5.65 ผลการจำลองการทำงานวงจรย่อย 1 สเตจ แบบที่ 3 ค่าการหน่วง 1.7

DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	109	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80	79
ค่าคำนวณ	110	98.90	97.90	96.90	95.90	94.90	93.90	92.90	91.90	90.90	89.90	88.90	87.90	86.90	85.90	84.90	83.90	82.90	81.90	80.90
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60	59
ค่าคำนวณ	79.90	78.90	77.90	76.90	75.90	74.90	73.90	72.90	71.90	70.90	69.90	68.90	67.90	66.90	65.90	64.90	63.90	62.90	61.90	60.90
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41
DataOut	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39
ค่าคำนวณ	59.90	58.90	57.90	56.90	55.90	54.90	53.90	52.90	51.90	50.90	49.90	48.90	47.90	46.90	45.90	44.90	43.90	42.90	41.90	40.90
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19
ค่าคำนวณ	39.90	38.90	37.90	36.90	35.90	34.90	33.90	32.90	31.90	30.90	29.90	28.90	27.90	26.90	25.90	24.90	23.90	22.90	21.90	20.90
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0
ค่าคำนวณ	19.90	18.90	17.90	16.90	15.90	14.90	13.90	12.90	11.90	10.90	9.90	8.90	7.90	6.90	5.90	4.90	3.90	2.90	1.90	0.90

ตารางที่ 5.66 ผลการจำลองการทำงานจรรยา 1 สเตจ แบบที่ 3 ค่าการหน่วง 1.8

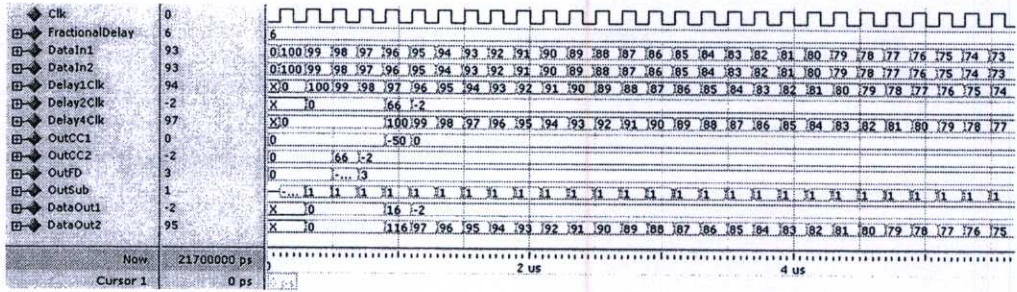
DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	106	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80	79
ค่าคำนวณ	106.67	98.93	97.93	96.93	95.93	94.93	93.93	92.93	91.93	90.93	89.93	88.93	87.93	86.93	85.93	84.93	83.93	82.93	81.93	80.93
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60	59
ค่าคำนวณ	79.93	78.93	77.93	76.93	75.93	74.93	73.93	72.93	71.93	70.93	69.93	68.93	67.93	66.93	65.93	64.93	63.93	62.93	61.93	60.93
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataOut	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41	40	39
ค่าคำนวณ	59.93	58.93	57.93	56.93	55.93	54.93	53.93	52.93	51.93	50.93	49.93	48.93	47.93	49.93	45.93	44.93	43.93	42.93	41.93	40.93
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19
ค่าคำนวณ	39.93	38.93	37.93	36.93	35.93	34.93	33.93	32.93	31.93	30.93	29.93	28.93	27.93	26.93	25.93	24.93	23.93	22.93	21.93	20.93
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0
ค่าคำนวณ	19.93	18.93	17.93	16.93	15.93	14.93	13.93	12.93	11.93	10.93	9.93	8.93	7.93	6.93	5.93	4.93	3.93	2.93	1.93	0.93

ตารางที่ 5.67 ผลการจำลองการทำงานจรรยา 1 สดง แบบที่ 3 ค่าการหมุนง 1.9

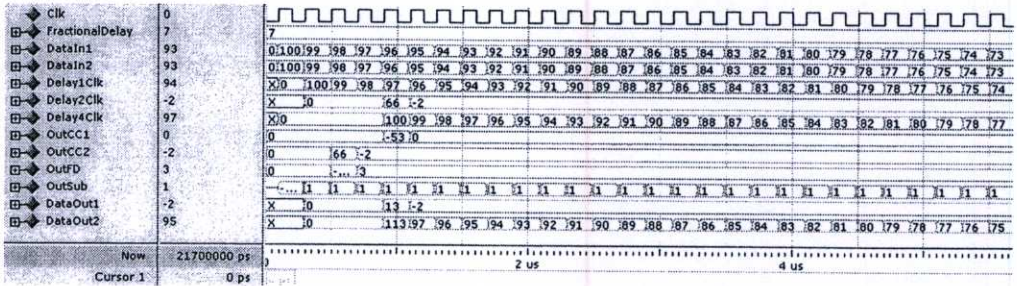
DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	103	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80	79
ค่าคำนวณ	103.33	98.96	97.96	96.96	95.96	94.96	93.96	92.96	91.96	90.96	89.96	88.96	87.96	86.96	85.96	84.96	83.96	82.96	81.96	80.96
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60	59
ค่าคำนวณ	79.96	78.96	77.96	76.96	75.96	74.96	73.96	72.96	71.96	70.96	69.96	68.96	67.96	66.96	65.96	64.96	63.96	62.96	61.96	60.96
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataOut	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41	40	39
ค่าคำนวณ	59.96	58.96	57.96	56.96	55.96	54.96	53.96	52.96	51.96	50.96	49.96	48.96	47.96	49.96	45.96	44.96	43.96	42.96	41.96	40.96
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19
ค่าคำนวณ	39.96	38.96	37.96	36.96	35.96	34.96	33.96	32.96	31.96	30.96	29.96	28.96	27.96	26.96	25.96	24.96	23.96	22.96	21.96	20.96
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0
ค่าคำนวณ	19.96	18.96	17.96	16.96	15.96	14.96	13.96	12.96	11.96	10.96	9.96	8.96	7.96	6.96	5.96	4.96	3.96	2.96	1.96	0.96

ตารางที่ 5.68 ผลการจำลองการทำงานจรรยา 1 สเตจ แบบที่ 3 คำการหน้าวง 2.0

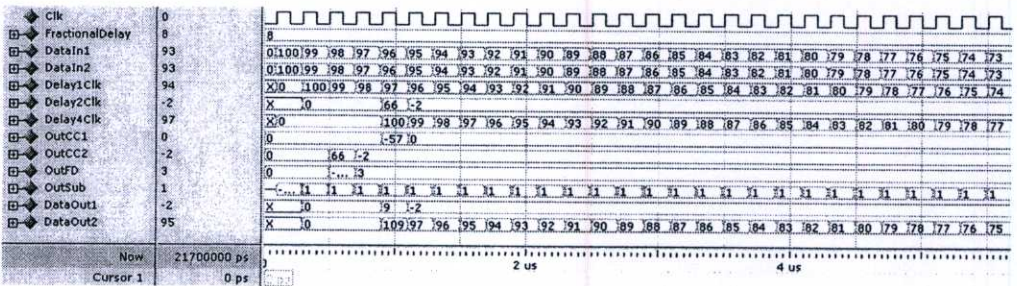
DataIn1	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn2	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataOut	100	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81	80
ค่าคำนวณ	100	99	98	97	96	95	94	93	92	91	90	89	88	87	86	85	84	83	82	81
DataIn1	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn2	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataOut	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61	60
ค่าคำนวณ	80	79	78	77	76	75	74	73	72	71	70	69	68	67	66	65	64	63	62	61
DataIn1	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataIn2	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataOut	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41	40
ค่าคำนวณ	60	59	58	57	56	55	54	53	52	51	50	49	48	47	49	45	44	43	42	41
DataIn1	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn2	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataOut	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20
ค่าคำนวณ	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
DataIn1	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataIn2	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
DataOut	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ค่าคำนวณ	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1



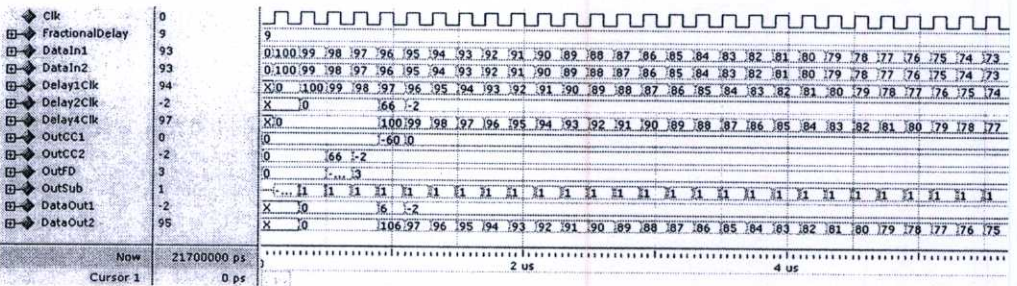
(ก) แผนผังเวลาการทำงานของวงจรย่อย 1 แสดง แบบที่ 3 ค่าการหน่วง 1.5



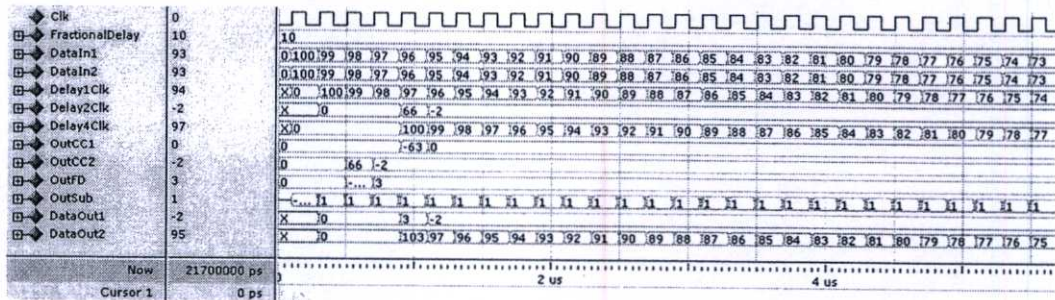
(ข) แผนผังเวลาการทำงานของวงจรย่อย 1 แสดง แบบที่ 3 ค่าการหน่วง 1.6



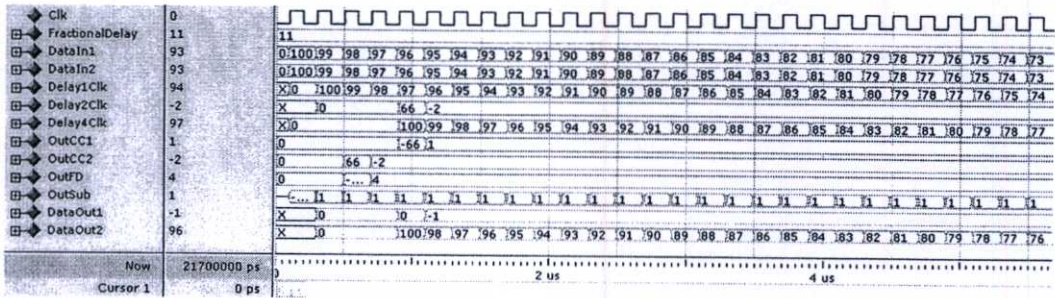
(ค) แผนผังเวลาการทำงานของวงจรย่อย 1 แสดง แบบที่ 3 ค่าการหน่วง 1.7



(ง) แผนผังเวลาการทำงานของวงจรย่อย 1 แสดง แบบที่ 3 ค่าการหน่วง 1.8



(จ) แผนผังเวลาการทำงานของวงจรย่อย 1 สเตจ แบบที่ 3 ค่าการหน่วง 1.9



(ข) แผนผังเวลาการทำงานของวงจรย่อย 1 สเตจ แบบที่ 3 ค่าการหน่วง 2.0

รูปที่ 5.63 แผนผังเวลาการทำงานของวงจรย่อย 1 สเตจ แบบที่ 3

5.6 การจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน

การจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน กระทำเพื่อหาผลตอบสนองเชิงขนาด โดยกำหนดข้อมูลอินพุต $x(n)$ ความยาว 32 บิต จำนวน 2,001 ตัว ซึ่งสร้างโดยอาศัยสมการ

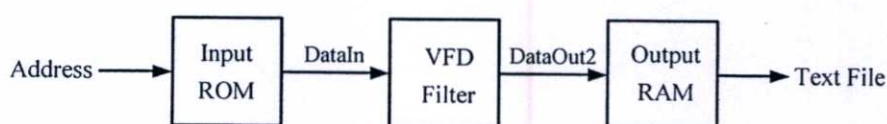
$$x(n) = 0.01\sin(\omega n) \tag{5.1}$$

โดยที่ ω คือ ความถี่ของข้อมูลอินพุตซึ่งมีค่าอยู่ในช่วง $(0, \pi)$ จำนวน 40 ค่า ดังตารางที่ 5.69 และ n คือ ค่าลำดับของข้อมูลอินพุต มีค่าตั้งแต่ 1 ถึง 2,001 เพราะฉะนั้นจึงมีข้อมูลอินพุตทั้งหมด 40 ชุด ชุดละ 2,001 ตัว

ตารางที่ 5.69 ความถี่ที่ใช้ในการจำลองการทำงานวงจรกรองสัญญาณวีเอฟดี

ω	1	2	3	4	5	6	7	8
ค่าความถี่	0.0063	0.2142	0.2898	0.3654	0.4410	0.5166	0.5922	0.6678
ω	9	10	11	12	13	14	15	16
ค่าความถี่	0.7434	0.8190	0.8946	0.9702	1.0458	1.1214	1.1970	1.2726
ω	17	18	19	20	21	22	23	24
ค่าความถี่	1.3482	1.4238	1.4994	1.5750	1.6506	1.7262	1.8018	1.8774
ω	25	26	27	28	29	30	31	32
ค่าความถี่	1.9530	2.0286	2.1042	2.1798	2.2554	2.3310	2.4066	2.4822
ω	33	34	35	36	37	38	39	40
ค่าความถี่	2.5578	2.6334	2.7090	2.7846	2.8602	2.9358	3.0114	3.0870

วิธีการจำลองการทำงานวงจรกรองสัญญาณวีเอฟดี จะเก็บค่าข้อมูลอินพุต $x(n)$ ไว้ในวงจรรอม (ROM) ขนาด 32×2001 บิต จากนั้นจะป้อนค่าตำแหน่งของข้อมูลอินพุตไปที่วงจรรอมเพื่ออ่านค่าที่เก็บไว้ไปป้อนเข้าขา DataIn ของวงจรกรองสัญญาณวีเอฟดี ผลลัพธ์จากการคำนวณของวงจรกรองสัญญาณวีเอฟดีในแต่ละอันดับจะออกมาที่ขา DataOut2 จะนำไปบันทึกลงวงจรรวม (RAM) ซึ่งในการจำลองการทำงานนี้ กำหนดให้วงจรรวมทำหน้าที่สร้างและเขียนไฟล์ข้อมูลผลลัพธ์การคำนวณของวงจรกรองสัญญาณวีเอฟดี เพื่อให้สะดวกต่อการนำผลการจำลองการทำงานมาวิเคราะห์ต่อไป โดยรูปที่ 5.64 แสดงวิธีการจำลองการทำงานวงจรกรองสัญญาณวีเอฟดี



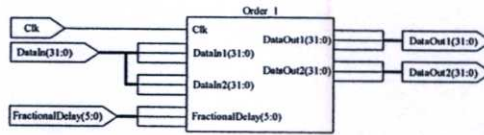
รูปที่ 5.64 วิธีการจำลองการทำงานวงจรกรองสัญญาณวีเอฟดี

5.6.1 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1

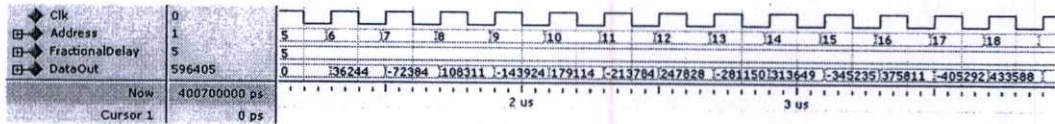
การจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 จะอ่านค่าข้อมูลอินพุตความยาว 32 บิต ซึ่งสร้างจากสมการที่ 5.1 ที่เก็บอยู่ในรอม ป้อนเข้าไปที่ขา DataIn และป้อนค่าการหน่วง 0.5 ถึง 1.0 เข้าที่ขา FractionalDelay ที่ละค่าและเพิ่มค่าขึ้นทีละ 1 เมื่อป้อนข้อมูลอินพุตครบ 2,001 ตัว ข้อมูลเอาต์พุตที่ขา DataOut2 เป็นผลลัพธ์การคำนวณของวงจรกรองสัญญาณวีเอฟดี อันดับ 1 ผลการจำลองการทำงานแสดงดังตารางที่ 5.70 ถึง ตารางที่ 5.75 โดย

เปรียบเทียบกับค่าจากการจำลองการทำงานด้วยโปรแกรมเมทแลบ ซึ่งให้ผลลัพธ์ที่ถูกต้องใกล้เคียงกับเมทแลบ มีค่าแตกต่างกันเพียง 6 ค่า จาก 240 ค่า

รูปที่ 5.65 (ก) แสดงวงจรกรองสัญญาณวีเอฟดี อันดับ 1 ที่ออกแบบด้วยโปรแกรมไอซีลิงซ์ และรูปที่ 5.65 (ข) แสดงแผนผังเวลาการทำงานของวงจรกรองสัญญาณวีเอฟดี อันดับ 1 ซึ่งปรับค่าการหน่วงจำนวน 6 ค่า ตั้งแต่ 0.5 ถึง 1.0 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1



(ข) แผนผังเวลาการทำงานของวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1

รูปที่ 5.65 วงจรและแผนผังเวลาการทำงานของวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1

ตารางที่ 5.70 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.5

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.01999900	0.01998400	0.01993700	0.01985900	0.01975000	0.01960900	0.01943900	0.01923700	0.01900500	0.01874300
MATLAB	0.01999900	0.01998400	0.01993700	0.01985900	0.01975000	0.01960900	0.01943900	0.01923700	0.01900500	0.01874300
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01845300	0.01813400	0.01778600	0.01741000	0.01700700	0.01657700	0.01612100	0.01564000	0.01513400	0.01460500
MATLAB	0.01845300	0.01813400	0.01778600	0.01741000	0.01700700	0.01657700	0.01612100	0.01564000	0.01513400	0.01460500
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01405300	0.01347900	0.01288400	0.01226800	0.01163300	0.01097900	0.01031000	0.00962400	0.00892270	0.00820740
MATLAB	0.01405300	0.01347900	0.01288400	0.01226800	0.01163300	0.01097900	0.01031000	0.00962410	0.00892270	0.00820740
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.00747900	0.00673930	0.00598880	0.00522890	0.00446090	0.00368590	0.00290510	0.00211970	0.00133110	0.00054029
MATLAB	0.00747900	0.00673930	0.00598880	0.00522890	0.00446090	0.00368590	0.00290510	0.00211970	0.00133100	0.00054029

ตารางที่ 5.71 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.6

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.01999900	0.01998500	0.01994000	0.01986500	0.01976000	0.01962500	0.01946100	0.01926800	0.01904600	0.01879500
MATLAB	0.01999900	0.01998500	0.01994000	0.01986500	0.01976000	0.01962500	0.01946100	0.01926800	0.01904600	0.01879500
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01851800	0.01821200	0.01788000	0.01752100	0.01713600	0.01672700	0.01629400	0.01583700	0.01535900	0.01485900
MATLAB	0.01851800	0.01821200	0.01788000	0.01752100	0.01713600	0.01672700	0.01629400	0.01583700	0.01535900	0.01485900
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01433800	0.01379900	0.01324200	0.01266800	0.01208000	0.01147800	0.01086500	0.01024300	0.00961410	0.00898140
MATLAB	0.01433800	0.01379900	0.01324200	0.01266800	0.01208000	0.01147800	0.01086500	0.01024300	0.00961410	0.00898140
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.00834870	0.00772020	0.00710150	0.00649990	0.00592490	0.00538910	0.00490940	0.00450700	0.00420730	0.00403480
MATLAB	0.00834870	0.00772020	0.00710150	0.00649990	0.00592480	0.00538910	0.00490940	0.00450700	0.00420720	0.00403480

ตารางที่ 5.72 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.7

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.01999900	0.01998700	0.01994700	0.01988200	0.01979000	0.01967300	0.01952900	0.01936100	0.01916800	0.01895000
MATLAB	0.01999900	0.01998700	0.01994700	0.01988200	0.01979000	0.01967300	0.01952900	0.01936100	0.01916800	0.01895100
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01870900	0.01844500	0.01815800	0.01785000	0.01752000	0.01717000	0.01680200	0.01641600	0.01601300	0.01559400
MATLAB	0.01870900	0.01844500	0.01815800	0.01785000	0.01752000	0.01717000	0.01680200	0.01641600	0.01601300	0.01559400
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01516200	0.01471800	0.01426300	0.01379900	0.01333000	0.01285600	0.01238100	0.01190800	0.01144000	0.01098100
MATLAB	0.01516200	0.01471800	0.01426300	0.01379900	0.01333000	0.01285600	0.01238100	0.01190800	0.01144000	0.01098100
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.01053500	0.01010700	0.00970190	0.00932560	0.00898420	0.00868400	0.00843140	0.00823250	0.00809250	0.00801530
MATLAB	0.01053500	0.01010700	0.00970190	0.00932560	0.00898420	0.00868400	0.00843140	0.00823250	0.00809250	0.00801530

ตารางที่ 5.73 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงพิเศษส่วน ชั้นดับ 1 ค่าการหน่วง 0.8

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.01999900	0.01999000	0.01996000	0.01991000	0.01984000	0.01975100	0.01964300	0.01951500	0.01936900	0.01920500
MATLAB	0.01999900	0.01999000	0.01996000	0.01991000	0.01984000	0.01975100	0.01964300	0.01951500	0.01936900	0.01920500
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01902500	0.01882700	0.01861300	0.01838400	0.01814100	0.01788500	0.01761600	0.01733600	0.01704600	0.01674900
MATLAB	0.01902500	0.01882700	0.01861300	0.01838400	0.01814100	0.01788500	0.01761600	0.01733600	0.01704700	0.01674900
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01644300	0.01613300	0.01581900	0.01550200	0.01518600	0.01487200	0.01456100	0.01425800	0.01396300	0.01367900
MATLAB	0.01644300	0.01613300	0.01581900	0.01550200	0.01518600	0.01487200	0.01456100	0.01425800	0.01396300	0.01367900
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.01340900	0.01315500	0.01292100	0.01270800	0.01251900	0.01235700	0.01222300	0.01211900	0.01204700	0.01200800
MATLAB	0.01340900	0.01315500	0.01292100	0.01270800	0.01251900	0.01235700	0.01222300	0.01211900	0.01204700	0.01200800

ตารางที่ 5.74 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.9

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.0200000	0.0199940	0.0199770	0.0199490	0.0199100	0.0198600	0.0198000	0.0197290	0.0196480	0.0195560
MATLAB	0.0200000	0.0199940	0.0199770	0.0199490	0.0199100	0.0198600	0.0198000	0.0197290	0.0196480	0.0195560
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.0194570	0.0193490	0.0192320	0.0191080	0.0189770	0.0188390	0.0186960	0.0185490	0.0183970	0.0182430
MATLAB	0.0194570	0.0193490	0.0192320	0.0191080	0.0189770	0.0188390	0.0186960	0.0185490	0.0183970	0.0182430
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.0180860	0.0179280	0.0177690	0.0176120	0.0174560	0.0173020	0.0171540	0.0170100	0.0168720	0.0167410
MATLAB	0.0180860	0.0179280	0.0177690	0.0176120	0.0174560	0.0173020	0.0171540	0.0170100	0.0168720	0.0167410
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.0166170	0.0165030	0.0163980	0.0163050	0.0162220	0.0161520	0.0160950	0.0160500	0.0160200	0.0160030
MATLAB	0.0166170	0.0165030	0.0163980	0.0163050	0.0162220	0.0161520	0.0160950	0.0160500	0.0160200	0.0160030

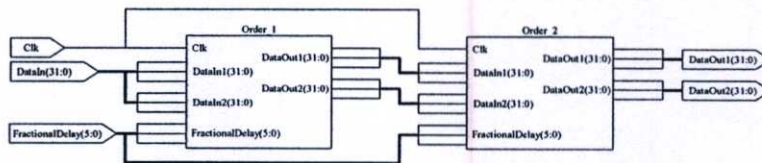
ตารางที่ 5.75 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 1.0

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.01999800
MATLAB	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.01999900
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000
MATLAB	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01999800	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000
MATLAB	0.01999800	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000
MATLAB	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000	0.02000000

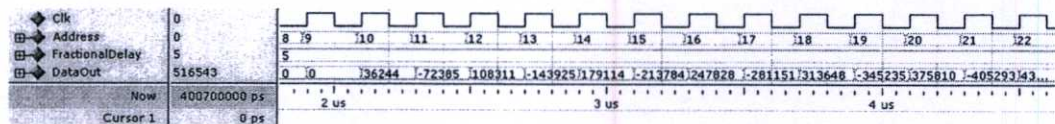
5.6.2 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2

การจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 จะอ่านค่าข้อมูลอินพุตความยาว 32 บิต ซึ่งสร้างจากสมการที่ 5.1 ที่เก็บอยู่ในรอม ป้อนเข้าไปที่ขา DataIn และป้อนค่าการหน่วง 0.5 ถึง 1.0 เข้าที่ขา FractionalDelay ทีละค่าและเพิ่มค่าขึ้นทีละ 1 เมื่อป้อนข้อมูลอินพุตครบ 2,001 ตัว ข้อมูลเอาต์พุตที่ขา DataOut2 เป็นผลลัพธ์การคำนวณของวงจรกรองสัญญาณวีเอฟดี อันดับ 2 โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.76 ถึง ตารางที่ 5.81 โดยเปรียบเทียบกับค่าจากการจำลองการทำงานด้วยโปรแกรมแมทแล็บ ซึ่งให้ผลลัพธ์ที่ถูกต้องใกล้เคียงกับแมทแล็บ มีค่าแตกต่างเพียง 4 ค่า จาก 240 ค่า

รูปที่ 5.66 (ก) แสดงวงจรกรองสัญญาณวีเอฟดี อันดับ 2 ที่ออกแบบด้วยโปรแกรมไอซีลิงซ์ และรูปที่ 5.66 (ข) แสดงแผนผังเวลาการทำงานของวงจรกรองสัญญาณวีเอฟดี อันดับ 2 ซึ่งปรับค่าการหน่วงจำนวน 6 ค่า ตั้งแต่ 0.5 ถึง 1.0 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2



(ข) แผนผังเวลาการทำงานของวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2

รูปที่ 5.66 วงจรและแผนผังเวลาการทำงานของวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2

ตารางที่ 5.76 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 ค่าการหน่วง 0.5

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.02000000	0.02000000	0.02000000	0.01999800	0.01999500	0.01998900	0.01997700	0.01995800	0.01992900	0.01988900
MATLAB	0.02000000	0.02000000	0.02000000	0.01999800	0.01999500	0.01998900	0.01997700	0.01995800	0.01992900	0.01988900
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01983300	0.01976100	0.01966900	0.01955500	0.01941600	0.01925100	0.01905700	0.01883400	0.01858000	0.01829300
MATLAB	0.01983300	0.01976100	0.01966900	0.01955500	0.01941600	0.01925100	0.01905700	0.01883400	0.01858000	0.01829300
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01797500	0.01762500	0.01724300	0.01683100	0.01639100	0.01592300	0.01543600	0.01492800	0.01440600	0.01387600
MATLAB	0.01797500	0.01762500	0.01724300	0.01683100	0.01639100	0.01592300	0.01543600	0.01492800	0.01440600	0.01387600
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.01334300	0.01281600	0.01230400	0.01181600	0.01136300	0.01095600	0.01060800	0.01033000	0.01013200	0.01002200
MATLAB	0.01334300	0.01281600	0.01230400	0.01181600	0.01136300	0.01095600	0.01060800	0.01033000	0.01013200	0.01002200

ตารางที่ 5.77 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 ค่าการหน่วง 0.6

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.0200000	0.0200000	0.0200000	0.0199990	0.0199970	0.0199920	0.0199840	0.0199700	0.0199490	0.0199200
MATLAB	0.0200000	0.0200000	0.0200000	0.0199990	0.0199970	0.0199920	0.0199840	0.0199700	0.0199490	0.0199200
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.0198810	0.0198290	0.0197630	0.0196820	0.0195830	0.0194660	0.0193290	0.0191720	0.0189920	0.0187920
MATLAB	0.0198810	0.0198290	0.0197630	0.0196820	0.0195830	0.0194660	0.0193290	0.0191720	0.0189920	0.0187920
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.0185710	0.0183290	0.0180660	0.0177860	0.0174890	0.0171770	0.0168540	0.0165230	0.0161880	0.0158520
MATLAB	0.0185710	0.0183290	0.0180670	0.0177860	0.0174890	0.0171770	0.0168540	0.0165230	0.0161880	0.0158520
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.0155210	0.0151990	0.0148930	0.0146070	0.0143470	0.0141180	0.0139260	0.0137750	0.0136700	0.0136110
MATLAB	0.0155210	0.0151990	0.0148930	0.0146070	0.0143470	0.0141180	0.0139260	0.0137750	0.0136700	0.0136110

ตารางที่ 5.78 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 ค่าการหน่วง 0.7

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.0200000	0.0200000	0.0200000	0.0199990	0.0199980	0.0199950	0.0199900	0.0199820	0.0199690	0.0199510
MATLAB	0.0200000	0.0200000	0.0200000	0.0199990	0.0199980	0.0199950	0.0199900	0.0199820	0.0199690	0.0199510
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.0199270	0.0198960	0.0198560	0.0198070	0.0197470	0.0196760	0.0195940	0.0194990	0.0193920	0.0192730
MATLAB	0.0199270	0.0198960	0.0198560	0.0198070	0.0197470	0.0196760	0.0195940	0.0194990	0.0193920	0.0192730
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.0191420	0.0189990	0.0188450	0.0186820	0.0185100	0.0183310	0.0181480	0.0179620	0.0177740	0.0175890
MATLAB	0.0191420	0.0189990	0.0188450	0.0186820	0.0185100	0.0183310	0.0181480	0.0179620	0.0177740	0.0175890
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.0174080	0.0172350	0.0170710	0.0169190	0.0167830	0.0166650	0.0165660	0.0164890	0.0164350	0.0164060
MATLAB	0.0174080	0.0172340	0.0170710	0.0169190	0.0167830	0.0166650	0.0165660	0.0164890	0.0164350	0.0164060

ตารางที่ 5.79 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 ค่าการหน่วง 0.8

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.0200000	0.0200000	0.0200000	0.0200000	0.0199990	0.0199980	0.0199950	0.0199910	0.0199850	0.0199760
MATLAB	0.0200000	0.0200000	0.0200000	0.0200000	0.0199990	0.0199980	0.0199950	0.0199910	0.0199850	0.0199760
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.0199660	0.0199510	0.0199330	0.0199100	0.0198820	0.0198490	0.0198110	0.0197670	0.0197170	0.0196630
MATLAB	0.0199660	0.0199510	0.0199330	0.0199100	0.0198820	0.0198490	0.0198110	0.0197670	0.0197170	0.0196630
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.0196020	0.0195370	0.0194670	0.0193930	0.0193160	0.0192360	0.0191540	0.0190710	0.0189890	0.0189080
MATLAB	0.0196020	0.0195370	0.0194670	0.0193930	0.0193160	0.0192360	0.0191540	0.0190710	0.0189890	0.0189080
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.0188290	0.0187540	0.0186840	0.0186190	0.0185610	0.0185110	0.0184700	0.0184370	0.0184150	0.0184020
MATLAB	0.0188290	0.0187540	0.0186840	0.0186190	0.0185610	0.0185110	0.0184700	0.0184370	0.0184150	0.0184020

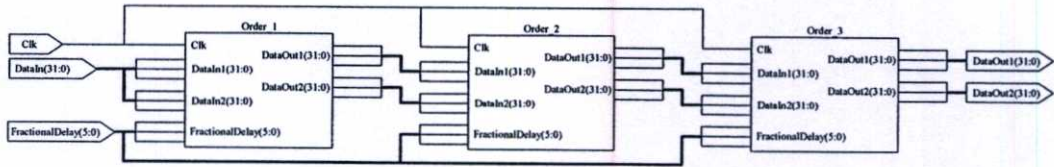
ตารางที่ 5.80 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 ค่าการหน่วง 0.9

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.0200000	0.0200000	0.0200000	0.0200000	0.0200000	0.0199990	0.0199990	0.0199980	0.0199960	0.0199930
MATLAB	0.0200000	0.0200000	0.0200000	0.0200000	0.0200000	0.0199990	0.0199990	0.0199980	0.0199960	0.0199930
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.0199910	0.0199870	0.0199830	0.0199770	0.0199700	0.0199610	0.0199510	0.0199400	0.0199270	0.0199140
MATLAB	0.0199910	0.0199870	0.0199830	0.0199770	0.0199700	0.0199610	0.0199510	0.0199400	0.0199280	0.0199140
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.0198970	0.0198820	0.0198640	0.0198450	0.0198260	0.0198060	0.0197850	0.0197650	0.0197440	0.0197240
MATLAB	0.0198970	0.0198820	0.0198640	0.0198450	0.0198260	0.0198060	0.0197850	0.0197650	0.0197440	0.0197240
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.0197050	0.0196860	0.0196690	0.0196530	0.0196390	0.0196270	0.0196170	0.0196090	0.0196040	0.0196010
MATLAB	0.0197050	0.0196860	0.0196690	0.0196530	0.0196390	0.0196270	0.0196170	0.0196090	0.0196040	0.0196000

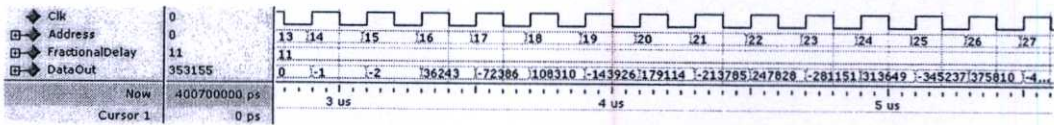
5.6.3 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3

การจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3 จะอ่านค่าข้อมูลอินพุตความยาว 32 บิต ซึ่งสร้างจากสมการที่ 5.1 ที่เก็บอยู่ในรอม ป้อนเข้าไปที่ขา DataIn และป้อนค่าการหน่วง 1.5 ถึง 2.0 เข้าที่ขา FractionalDelay ทีละค่าและเพิ่มค่าขึ้นทีละ 1 เมื่อป้อนข้อมูลอินพุตครบ 2,001 ตัว ข้อมูลเอาต์พุตที่ขา DataOut2 เป็นผลลัพธ์การคำนวณของวงจรกรองสัญญาณวีเอฟดี อันดับ 3 โดยผลการจำลองการทำงานแสดงดังตารางที่ 5.82 ถึง ตารางที่ 5.87 โดยเปรียบเทียบกับค่าจากการจำลองการทำงานด้วยโปรแกรมแมทแลบ ซึ่งให้ผลลัพธ์ที่ถูกต้องใกล้เคียงกับแมทแลบ มีค่าแตกต่างเพียง 5 ค่า จาก 240 ค่า

รูปที่ 5.67 (ก) แสดงวงจรกรองสัญญาณวีเอฟดี อันดับ 3 ที่ออกแบบด้วยโปรแกรมไซลิงซ์ และรูปที่ 5.67 (ข) แสดงแผนผังเวลาการทำงานของวงจรกรองสัญญาณวีเอฟดี อันดับ 3 ซึ่งปรับค่าการหน่วงจำนวน 6 ค่า ตั้งแต่ 1.5 ถึง 2.0 ที่ได้มาจากการจำลองการทำงานด้วยโปรแกรมโมเดลซิม



(ก) วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3



ตารางที่ 5.82 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3 ค่าการหน่วง 1.5

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.02000000	0.02000000	0.02000000	0.01999800	0.01999500	0.01998900	0.01997700	0.01995700	0.01992700	0.01988300
MATLAB	0.02000000	0.02000000	0.02000000	0.01999800	0.01999500	0.01998900	0.01997700	0.01995700	0.01992700	0.01988300
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01982500	0.01974700	0.01964600	0.01951900	0.01936200	0.01917100	0.01894400	0.01867800	0.01836800	0.01801300
MATLAB	0.01982500	0.01974700	0.01964600	0.01951900	0.01936200	0.01917100	0.01894400	0.01867800	0.01836800	0.01801300
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01761000	0.01715700	0.01665200	0.01609400	0.01548200	0.01481400	0.01409500	0.01332200	0.01249600	0.01162000
MATLAB	0.01761000	0.01715700	0.01665200	0.01609400	0.01548200	0.01481400	0.01409500	0.01332200	0.01249600	0.01162000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.01069600	0.00972630	0.00871470	0.00766470	0.00658040	0.00546620	0.00432700	0.00316770	0.00199370	0.00081025
MATLAB	0.01069600	0.00972630	0.00871470	0.00766470	0.00658040	0.00546620	0.00432700	0.00316770	0.00199360	0.00081023

ตารางที่ 5.83 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3 ค่าการหน่วง 1.6

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.02000000	0.02000000	0.02000000	0.01999800	0.01999600	0.01998900	0.01997800	0.01995900	0.01993000	0.01988800
MATLAB	0.02000000	0.02000000	0.02000000	0.01999800	0.01999600	0.01998900	0.01997800	0.01995900	0.01993000	0.01988800
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01983300	0.01975900	0.01966300	0.01954200	0.01939200	0.01921200	0.01899700	0.01874400	0.01845200	0.01811700
MATLAB	0.01983300	0.01975900	0.01966300	0.01954200	0.01939200	0.01921200	0.01899700	0.01874400	0.01845200	0.01811700
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01773700	0.01731100	0.01683700	0.01631500	0.01574500	0.01512500	0.01446100	0.01375000	0.01299700	0.01220500
MATLAB	0.01773700	0.01731100	0.01683700	0.01631500	0.01574500	0.01512500	0.01446100	0.01375000	0.01299700	0.01220500
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.01137900	0.01052500	0.00965270	0.00877180	0.00789760	0.00705050	0.00625990	0.00556700	0.00502770	0.00470620
MATLAB	0.01137900	0.01052500	0.00965270	0.00877180	0.00789760	0.00705050	0.00625990	0.00556700	0.00502770	0.00470620

ตารางที่ 5.84 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3 ค่าการหน่วง 1.7

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.02000000	0.02000000	0.02000000	0.01999900	0.01999600	0.01999100	0.01998100	0.01996500	0.01994000	0.01990500
MATLAB	0.02000000	0.02000000	0.02000000	0.01999900	0.01999600	0.01999100	0.01998100	0.01996500	0.01994000	0.01990500
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01985700	0.01979300	0.01971100	0.01960800	0.01948200	0.01932900	0.01914800	0.01893600	0.01869200	0.01841300
MATLAB	0.01985700	0.01979300	0.01971100	0.01960800	0.01948200	0.01932900	0.01914800	0.01893600	0.01869200	0.01841300
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01809800	0.01774800	0.01736100	0.01693800	0.01647900	0.01598600	0.01546400	0.01491300	0.01433900	0.01374700
MATLAB	0.01809800	0.01774800	0.01736100	0.01693800	0.01647900	0.01598600	0.01546400	0.01491300	0.01433900	0.01374700
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.01314400	0.01253900	0.01194100	0.01136300	0.01081800	0.01032100	0.00988960	0.00954010	0.00928870	0.00914800
MATLAB	0.01314400	0.01253900	0.01194100	0.01136300	0.01081800	0.01032100	0.00988960	0.00954010	0.00928870	0.00914810

ตารางที่ 5.85 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3 ค่าการหน่วง 1.8

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.02000000	0.02000000	0.02000000	0.01999900	0.01999700	0.01999300	0.01998600	0.01997400	0.01995600	0.01993000
MATLAB	0.02000000	0.02000000	0.02000000	0.01999900	0.01999700	0.01999300	0.01998600	0.01997400	0.01995600	0.01993000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01989400	0.01984800	0.01978800	0.01971400	0.01962200	0.01951200	0.01938300	0.01923200	0.01905900	0.01886400
MATLAB	0.01989400	0.01984800	0.01978800	0.01971400	0.01962200	0.01951200	0.01938300	0.01923200	0.01905900	0.01886400
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01864500	0.01840400	0.01813900	0.01785400	0.01754700	0.01722300	0.01688400	0.01653200	0.01617200	0.01580900
MATLAB	0.01864500	0.01840400	0.01813900	0.01785400	0.01754700	0.01722300	0.01688400	0.01653200	0.01617200	0.01580900
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.01544700	0.01509200	0.01475100	0.01443000	0.01413600	0.01387600	0.01365600	0.01348300	0.01336100	0.01329300
MATLAB	0.01544700	0.01509200	0.01475100	0.01443000	0.01413600	0.01387600	0.01365600	0.01348300	0.01336100	0.01329300

ตารางที่ 5.86 ผลการจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3 ค่าการหน่วง 1.9

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.02000000	0.02000000	0.02000000	0.01999900	0.01999800	0.01999600	0.01999200	0.01998600	0.01997600	0.01996200
MATLAB	0.02000000	0.02000000	0.02000000	0.01999900	0.01999800	0.01999600	0.01999200	0.01998600	0.01997600	0.01996200
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.01994300	0.01991900	0.01988700	0.01984800	0.01980000	0.01974300	0.01967700	0.01960000	0.01951200	0.01941500
MATLAB	0.01994300	0.01991900	0.01988700	0.01984800	0.01980000	0.01974300	0.01967700	0.01960000	0.01951200	0.01941400
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.01930600	0.01918700	0.01905900	0.01892200	0.01877700	0.01862500	0.01847000	0.01831100	0.01815100	0.01799200
MATLAB	0.01930600	0.01918700	0.01905900	0.01892200	0.01877700	0.01862500	0.01847000	0.01831100	0.01815100	0.01799200
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.01783600	0.01768600	0.01754400	0.01741200	0.01729400	0.01719100	0.01710500	0.01703800	0.01699100	0.01696500
MATLAB	0.01783600	0.01768600	0.01754400	0.01741200	0.01729400	0.01719100	0.01710500	0.01703800	0.01699100	0.01696500

5.6.4 การเปรียบเทียบผลการจำลองการทำงานกับค่าทฤษฎี

การเปรียบเทียบผลการจำลองการทำงานวงจรกรองสัญญาณวีเอฟดีกับค่าทฤษฎี จะนำผลการจำลองการทำงานที่ได้จากหัวข้อ 5.6.1 ถึง 5.6.3 ในแต่ละความถี่มาเปรียบเทียบกับขนาดแอมพลิจูดของสัญญาณอินพุตเพื่อหาผลตอบสนองเชิงขนาด จากนั้นนำผลตอบสนองเชิงขนาดดังกล่าวมาเปรียบเทียบกับค่าผลตอบสนองเชิงขนาดในทางทฤษฎี โดยการเปรียบเทียบนี้แสดงดังตารางที่ 5.89 ถึง ตารางที่ 5.106 ซึ่งจากผลการเปรียบเทียบผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอฟดี ทั้ง 3 อันดับ ที่ได้จากการจำลองการทำงานให้ผลลัพธ์การคำนวณที่ถูกต้องใกล้เคียงกับค่าทฤษฎี โดยค่าความถูกต้อง (Accuracy) ของผลการจำลองการทำงานเมื่อเปรียบเทียบกับค่าทฤษฎี แสดงด้วยค่ารากที่สองของค่าเฉลี่ยความคลาดเคลื่อนยกกำลังสอง หรือค่าอาร์เอ็มเอสอี (Root Mean Square Error: RMSE) โดยค่าอาร์เอ็มเอสอีของวงจรกรองสัญญาณวีเอฟดี อันดับ 1 ถึง อันดับ 3 แสดงดังตารางที่ 5.88

เมื่อนำผลการจำลองการทำงานจากตารางที่ 4.89 ถึง ตารางที่ 5.106 มาพล็อตกราฟผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอฟดี อันดับ 1 ถึงอันดับ 3 จะได้กราฟดังแสดงในรูปที่ 5.68 รูปที่ 5.70 และรูปที่ 5.72 ตามลำดับ ซึ่งเมื่อเปรียบเทียบกับกราฟผลตอบสนองเชิงขนาดจากค่าทฤษฎีที่นำเสนอการที่ 3.59 มาพล็อตดังแสดงในรูปที่ 5.69 รูปที่ 5.71 และรูปที่ 5.73 จะมีลักษณะที่ใกล้เคียงกันเป็นอย่างมาก โดยกราฟจากผลการจำลองการทำงานจะมีลักษณะเป็นส่วนหนึ่งของกราฟจากค่าทฤษฎี

ตารางที่ 5.88 ค่าอาร์เอ็มเอสอีของผลการจำลองการทำงานวงจรกรองสัญญาณวีเอฟดี

วงจรกรองสัญญาณวีเอฟดี อันดับ 1						
ค่าการหน่วง	0.5	0.6	0.7	0.8	0.9	1.0
RMSE	0.017755	0.016545	0.013631	0.009692	0.005079	0.000022
วงจรกรองสัญญาณวีเอฟดี อันดับ 2						
ค่าการหน่วง	0.5	0.6	0.7	0.8	0.9	1.0
RMSE	0.009373	0.006298	0.003645	0.001651	0.000411	0.000022
วงจรกรองสัญญาณวีเอฟดี อันดับ 3						
ค่าการหน่วง	1.5	1.6	1.7	1.8	1.9	2.0
RMSE	0.013643	0.012441	0.009721	0.006406	0.003040	0.000022

ตารางที่ 5.89 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน
 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.5

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.99995000	0.99920000	0.99685000	0.99295000	0.98750000	0.98045000	0.97195000	0.96185000	0.95025000	0.93715000
ค่าทฤษฎี	0.99950000	0.99427000	0.98952000	0.98336000	0.97579000	0.96683000	0.95648000	0.94477000	0.93171000	0.91732000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.92265000	0.90670000	0.88930000	0.87050000	0.85035000	0.82885000	0.80605000	0.78200000	0.75670000	0.73025000
ค่าทฤษฎี	0.90162000	0.88463000	0.86637000	0.84688000	0.82618000	0.80430000	0.78127000	0.75712000	0.73189000	0.70562000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.70265000	0.67395000	0.64420000	0.61340000	0.58165000	0.54895000	0.51550000	0.48120000	0.44613500	0.41037000
ค่าทฤษฎี	0.67834000	0.65009000	0.62090000	0.59084000	0.55993000	0.52821000	0.49575000	0.46257000	0.42874000	0.39429000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.37395000	0.33696500	0.29944000	0.26144500	0.22304500	0.18429500	0.14525500	0.10598500	0.06655500	0.02701450
ค่าทฤษฎี	0.35928000	0.32376000	0.28777000	0.25137000	0.21461000	0.17755000	0.14023000	0.10271000	0.06505000	0.02729300

ตารางที่ 5.90 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

วงจรรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.6

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.99995000	0.99925000	0.99700000	0.99325000	0.98800000	0.98125000	0.97305000	0.96340000	0.95230000	0.93975000
ค่าทฤษฎี	0.99995200	0.99450000	0.98994000	0.98403000	0.97677000	0.96817000	0.95826000	0.94704000	0.93454000	0.92077000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.92590000	0.91060000	0.89400000	0.87605000	0.85680000	0.83635000	0.81470000	0.79185000	0.76795000	0.74295000
ค่าทฤษฎี	0.90576000	0.88953000	0.87211000	0.85354000	0.83383000	0.81303000	0.79118000	0.76831000	0.74447000	0.71971000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.71690000	0.68995000	0.66210000	0.63340000	0.60400000	0.57390000	0.54325000	0.51215000	0.48070500	0.44907000
ค่าทฤษฎี	0.69407000	0.66761000	0.64039000	0.61247000	0.58393000	0.55484000	0.52530000	0.49539000	0.46526000	0.43503000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.41743500	0.38601000	0.35507500	0.32499500	0.29624500	0.26945500	0.24547000	0.22535000	0.21036500	0.20174000
ค่าทฤษฎี	0.40487000	0.37500000	0.34569000	0.31727000	0.29020000	0.26507000	0.24265000	0.22389000	0.20991000	0.20178000

ตารางที่ 5.91 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน
 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.7

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.99995000	0.99935000	0.99735000	0.99410000	0.98950000	0.98365000	0.97645000	0.96805000	0.95840000	0.94750000
ค่าทฤษฎี	0.99958000	0.99519000	0.99120000	0.98604000	0.97970000	0.97221000	0.96358000	0.95382000	0.94297000	0.93104000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.93545000	0.92225000	0.90790000	0.89250000	0.87600000	0.85850000	0.84010000	0.82080000	0.80065000	0.77970000
ค่าทฤษฎี	0.91807000	0.90408000	0.88911000	0.87319000	0.85637000	0.83869000	0.82020000	0.80095000	0.78100000	0.76042000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.75810000	0.73590000	0.71315000	0.68995000	0.66650000	0.64280000	0.61905000	0.59540000	0.57200000	0.54905000
ค่าทฤษฎี	0.73927000	0.71763000	0.69559000	0.67323000	0.65066000	0.62799000	0.60535000	0.58287000	0.56072000	0.53906000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.52675000	0.50535000	0.48509500	0.46628000	0.44921000	0.43420000	0.42157000	0.41162500	0.40462500	0.40076500
ค่าทฤษฎี	0.51810000	0.49804000	0.47913000	0.46160000	0.44575000	0.43183000	0.42014000	0.41093000	0.40442000	0.40078000

ตารางที่ 5.92 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

วงจรถองตั้งัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.8

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	0.99995000	0.99950000	0.99800000	0.99550000	0.99200000	0.98755000	0.98215000	0.97575000	0.96845000	0.96025000
ค่าทฤษฎี	0.99968000	0.99634000	0.99331000	0.98938000	0.98457000	0.97890000	0.97237000	0.96502000	0.95686000	0.94792000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.95125000	0.94135000	0.93065000	0.91920000	0.90705000	0.89425000	0.88080000	0.86680000	0.85230000	0.83745000
ค่าทฤษฎี	0.93822000	0.92782000	0.91673000	0.90499000	0.89266000	0.87978000	0.86640000	0.85257000	0.83835000	0.82381000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.82215000	0.80665000	0.79095000	0.77510000	0.75930000	0.74360000	0.72805000	0.71290000	0.69815000	0.68395000
ค่าทฤษฎี	0.80901000	0.79402000	0.77893000	0.76382000	0.74877000	0.73387000	0.71923000	0.70494000	0.69112000	0.67786000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.67045000	0.65775000	0.64605000	0.63540000	0.62595000	0.61785000	0.61115000	0.60595000	0.60235000	0.60040000
ค่าทฤษฎี	0.66529000	0.65352000	0.64265000	0.63280000	0.62408000	0.61658000	0.61040000	0.60560000	0.60225000	0.60040000

ตารางที่ 5.93 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 0.9

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	0.99970000	0.99885000	0.99745000	0.99550000	0.99300000	0.99000000	0.98645000	0.98240000	0.97780000
ค่าทฤษฎี	0.99982000	0.99794000	0.99624000	0.99404000	0.99135000	0.98819000	0.98456000	0.98048000	0.97597000	0.97105000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.97285000	0.96745000	0.96160000	0.95540000	0.94885000	0.94195000	0.93480000	0.92745000	0.91985000	0.91215000
ค่าทฤษฎี	0.96574000	0.96006000	0.95405000	0.94773000	0.94113000	0.93428000	0.92722000	0.91998000	0.91260000	0.90512000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.90430000	0.89640000	0.88845000	0.88060000	0.87280000	0.86510000	0.85770000	0.85050000	0.84360000	0.83705000
ค่าทฤษฎี	0.89758000	0.89002000	0.88249000	0.87503000	0.86768000	0.86049000	0.85351000	0.84678000	0.84034000	0.83425000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.83085000	0.82515000	0.81990000	0.81525000	0.81110000	0.80760000	0.80475000	0.80250000	0.80100000	0.80015000
ค่าทฤษฎี	0.82853000	0.82325000	0.81842000	0.81409000	0.81030000	0.80706000	0.80441000	0.80237000	0.80095000	0.80017000

ตารางที่ 5.94 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

วงจรถองตั้งถูกปรับเปลี่ยนค่าการหน่วงเป็นเศษส่วน อันดับ 1 ค่าการหน่วง 1.0

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	0.99990000
ค่าทฤษฎี	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000
ค่าทฤษฎี	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.99999000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000
ค่าทฤษฎี	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000
ค่าทฤษฎี	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000

ตารางที่ 5.95 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

วงจรรองตั้งยูทิลิตี้ปรับค่าการหน่วงพิเศษส่วน อันดับ 2 ค่าการหน่วง 0.5

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	0.99990000	0.99975000	0.99945000	0.99885000	0.99790000	0.99645000	0.99445000
ค่าทฤษฎี	1.00000000	0.99995000	0.99984000	0.99959000	0.99914000	0.99840000	0.99728000	0.99566000	0.99345000	0.99053000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.99165000	0.98805000	0.98345000	0.97775000	0.97080000	0.96255000	0.95285000	0.94170000	0.92900000	0.91465000
ค่าทฤษฎี	0.98679000	0.98211000	0.97640000	0.96955000	0.96147000	0.95210000	0.94135000	0.92919000	0.91559000	0.90051000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.89875000	0.88125000	0.86215000	0.84155000	0.81955000	0.79615000	0.77180000	0.74640000	0.72030000	0.69380000
ค่าทฤษฎี	0.88398000	0.86601000	0.84665000	0.82598000	0.80409000	0.78111000	0.75720000	0.73255000	0.70738000	0.68196000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.66715000	0.64080000	0.61520000	0.59080000	0.56815000	0.54780000	0.53040000	0.51650000	0.50660000	0.50110000
ค่าทฤษฎี	0.65660000	0.63165000	0.60751000	0.58463000	0.56347000	0.54456000	0.52840000	0.51550000	0.50629000	0.50112000

ตารางที่ 5.96 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน
 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 ค่าการหน่วง 0.6

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	0.99995000	0.99985000	0.99960000	0.99920000	0.99850000	0.99745000	0.99600000
ค่าทฤษฎี	1.00000000	0.99996000	0.99988000	0.99971000	0.99938000	0.99885000	0.99805000	0.99689000	0.99531000	0.99322000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.99405000	0.99145000	0.98815000	0.98410000	0.97915000	0.97330000	0.96645000	0.95860000	0.94960000	0.93960000
ค่าทฤษฎี	0.99055000	0.98721000	0.98314000	0.97827000	0.97254000	0.96590000	0.95833000	0.94978000	0.94026000	0.92977000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.92855000	0.91645000	0.90330000	0.88930000	0.87445000	0.85885000	0.84270000	0.82615000	0.80940000	0.79260000
ค่าทฤษฎี	0.91832000	0.90597000	0.89276000	0.87876000	0.86409000	0.84885000	0.83317000	0.81722000	0.80117000	0.78522000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.77605000	0.75995000	0.74465000	0.73035000	0.71735000	0.70590000	0.69630000	0.68875000	0.68350000	0.68055000
ค่าทฤษฎี	0.76957000	0.75445000	0.74010000	0.72677000	0.71469000	0.70410000	0.69522000	0.68825000	0.68333000	0.68059000

ตารางที่ 5.97 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน
 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 ค่าการหน่วง 0.7

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	0.99995000	0.99990000	0.99975000	0.99950000	0.99910000	0.99845000	0.99755000
ค่าทฤษฎี	1.00000000	0.99998000	0.99993000	0.99982000	0.99963000	0.99930000	0.99881000	0.99811000	0.99715000	0.99588000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.99635000	0.99480000	0.99280000	0.99035000	0.98735000	0.98380000	0.97970000	0.97495000	0.96960000	0.96365000
ค่าทฤษฎี	0.99425000	0.99223000	0.98976000	0.98681000	0.98336000	0.97936000	0.97482000	0.96971000	0.96404000	0.95782000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.95710000	0.94995000	0.94225000	0.93410000	0.92550000	0.91655000	0.90740000	0.89810000	0.88870000	0.87945000
ค่าทฤษฎี	0.95106000	0.94381000	0.93611000	0.92801000	0.91957000	0.91088000	0.90202000	0.89308000	0.88418000	0.87541000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.87040000	0.86175000	0.85355000	0.84595000	0.83915000	0.83325000	0.82830000	0.82445000	0.82175000	0.82030000
ค่าทฤษฎี	0.86690000	0.85877000	0.85112000	0.84409000	0.83778000	0.83230000	0.82774000	0.82418000	0.82169000	0.82030000

ตารางที่ 5.98 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน
 วงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 ค่าการหน่วง 0.8

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	1.00000000	0.99995000	0.99990000	0.99975000	0.99955000	0.99925000	0.99880000
ค่าทฤษฎี	1.00000000	0.99999000	0.99997000	0.99992000	0.99982000	0.99967000	0.99944000	0.99911000	0.99866000	0.99807000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.99830000	0.99755000	0.99665000	0.99550000	0.99410000	0.99245000	0.99055000	0.98835000	0.98585000	0.98315000
ค่าทฤษฎี	0.99731000	0.99636000	0.99521000	0.99384000	0.99223000	0.99038000	0.98827000	0.98591000	0.98330000	0.98045000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.98010000	0.97685000	0.97335000	0.96965000	0.96580000	0.96180000	0.95770000	0.95355000	0.94945000	0.94540000
ค่าทฤษฎี	0.99421000	0.99338000	0.99250000	0.99158000	0.99063000	0.98965000	0.98867000	0.98769000	0.98672000	0.98578000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.94145000	0.93770000	0.93420000	0.93095000	0.92805000	0.92555000	0.92350000	0.92185000	0.92075000	0.92010000
ค่าทฤษฎี	0.93994000	0.93644000	0.93316000	0.93016000	0.92748000	0.92517000	0.92325000	0.92175000	0.92070000	0.92012000

ตารางที่ 5.99 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

วงจรถอองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 2 ค่าการหน่วง 0.9

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	1.00000000	1.00000000	0.99995000	0.99995000	0.99990000	0.99980000	0.99965000
ค่าทฤษฎี	1.00000000	1.00000000	0.99999000	0.99998000	0.99995000	0.99992000	0.99986000	0.99977000	0.99966000	0.99950000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.99955000	0.99935000	0.99915000	0.99885000	0.99850000	0.99805000	0.99755000	0.99700000	0.99635000	0.99570000
ค่าทฤษฎี	0.99931000	0.99906000	0.99877000	0.99842000	0.99800000	0.99753000	0.99699000	0.99639000	0.99572000	0.99500000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.99485000	0.99410000	0.99320000	0.99225000	0.99130000	0.99030000	0.98925000	0.98825000	0.98720000	0.98620000
ค่าทฤษฎี	0.99421000	0.99338000	0.99250000	0.99158000	0.99063000	0.98965000	0.98867000	0.98769000	0.98672000	0.98578000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.98525000	0.98430000	0.98345000	0.98265000	0.98195000	0.98135000	0.98085000	0.98045000	0.98020000	0.98005000
ค่าทฤษฎี	0.98487000	0.98401000	0.98320000	0.98247000	0.98182000	0.98125000	0.98079000	0.98042000	0.98017000	0.98003000

ตารางที่ 5.101 การเปรียบเทียบผลตอบแทนของเรขาคณิตระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

วงจรรองสัณฐานปรับค่าการหน่วงพิเศษส่วน อันดับ 3 ค่าการหน่วง 1.5

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	0.99990000	0.99975000	0.99945000	0.99885000	0.99785000	0.99635000	0.99415000
ค่าทฤษฎี	1.00000000	0.99995000	0.99984000	0.99959000	0.99913000	0.99837000	0.99720000	0.99551000	0.99316000	0.99003000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.99125000	0.98735000	0.98230000	0.97595000	0.96810000	0.95855000	0.94720000	0.93390000	0.91840000	0.90065000
ค่าทฤษฎี	0.98596000	0.98080000	0.97441000	0.96663000	0.95731000	0.94630000	0.93347000	0.91868000	0.90181000	0.88277000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.88050000	0.85785000	0.83260000	0.80470000	0.77410000	0.74070000	0.70475000	0.66610000	0.62480000	0.58100000
ค่าทฤษฎี	0.86144000	0.83776000	0.81167000	0.78313000	0.75212000	0.71863000	0.68270000	0.64437000	0.60370000	0.56079000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.53480000	0.48631500	0.43573500	0.38323500	0.32902000	0.27331000	0.21635000	0.15838500	0.09968500	0.04051250
ค่าทฤษฎี	0.51573000	0.46867000	0.41974000	0.36911000	0.31698000	0.26353000	0.20897000	0.15353000	0.09743800	0.04092900

ตารางที่ 5.102 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

วงจรถอองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3 ค่าการหน่วง 1.6

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	0.99990000	0.99980000	0.99945000	0.99890000	0.99795000	0.99650000	0.99440000
ค่าทฤษฎี	1.00000000	0.99995000	0.99984000	0.99961000	0.99917000	0.99844000	0.99733000	0.99571000	0.99348000	0.99049000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.99165000	0.98795000	0.98315000	0.97710000	0.96960000	0.96060000	0.94985000	0.93720000	0.92260000	0.90585000
ค่าทฤษฎี	0.98662000	0.98171000	0.97563000	0.96824000	0.95940000	0.94896000	0.93681000	0.92283000	0.90691000	0.88896000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.88685000	0.86555000	0.84185000	0.81575000	0.78725000	0.75625000	0.72305000	0.68750000	0.64985000	0.61025000
ค่าทฤษฎี	0.86891000	0.84669000	0.82227000	0.79564000	0.76681000	0.73581000	0.70272000	0.66764000	0.63070000	0.59210000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.56895000	0.52625000	0.48263500	0.43859000	0.39488000	0.35252500	0.31299500	0.27835000	0.25138500	0.23531000
ค่าทฤษฎี	0.55207000	0.51093000	0.46907000	0.42701000	0.38547000	0.34543000	0.30823000	0.27578000	0.25055000	0.23538000

ตารางที่ 5.103 การเปรียบเทียบผลตอบแทนของเรขาคณิตระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

วงจรรองรอยสัญญาณปรับค่าการหน่วงเป็นเศษส่วน อันดับ 3 ค่าการหน่วง 1.7

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.0000000	1.0000000	1.0000000	0.9999500	0.9998000	0.9995500	0.9990500	0.9982500	0.9970000	0.9952500
ค่าทฤษฎี	1.0000000	0.9999600	0.9998600	0.9996600	0.9992800	0.9986600	0.9977000	0.9963200	0.9944000	0.9918500
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.9928500	0.9896500	0.9855500	0.9804000	0.9741000	0.9664500	0.9574000	0.9468000	0.9346000	0.9206500
ค่าทฤษฎี	0.9885400	0.9843600	0.9792000	0.9729300	0.9654600	0.9566700	0.9464800	0.9347900	0.9215400	0.9066800
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.9049000	0.8874000	0.8680500	0.8469000	0.8239500	0.7993000	0.7732000	0.7456500	0.7169500	0.6873500
ค่าทฤษฎี	0.8901600	0.8719800	0.8521500	0.8306900	0.8076700	0.7831900	0.7573900	0.7304400	0.7025500	0.6740000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.6572000	0.6269500	0.5970500	0.5681500	0.5409000	0.5160500	0.4944800	0.4770050	0.4644350	0.4574000
ค่าทฤษฎี	0.6451200	0.6163100	0.5880100	0.5607800	0.5352400	0.5120600	0.4919900	0.4757600	0.4640600	0.4574300

ตารางที่ 5.104 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

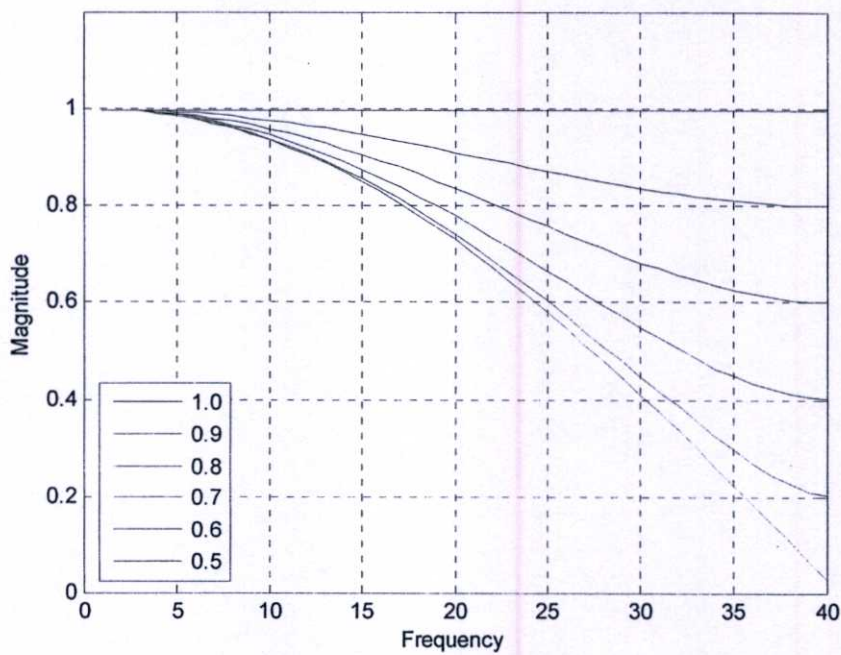
วงจรรองรัดัญญาณปรัชค่าการหน่งเป็นเศษส่วน อันดับ 3 ค่าการหน่ง 1.8

ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	0.99995000	0.99985000	0.99965000	0.99930000	0.99870000	0.99780000	0.99650000
ค่าทฤษฎี	1.00000000	0.99997000	0.99990000	0.99975000	0.99947000	0.99900000	0.99830000	0.99728000	0.99587000	0.99400000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.99470000	0.99240000	0.98940000	0.98570000	0.98110000	0.97560000	0.96915000	0.96160000	0.95295000	0.94320000
ค่าทฤษฎี	0.99158000	0.98854000	0.98479000	0.98027000	0.97490000	0.96862000	0.96137000	0.95312000	0.94383000	0.93348000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.93225000	0.92020000	0.90695000	0.89270000	0.87735000	0.86115000	0.84420000	0.82660000	0.80860000	0.79045000
ค่าทฤษฎี	0.92208000	0.90965000	0.89622000	0.88185000	0.86663000	0.85066000	0.83408000	0.81704000	0.79974000	0.78238000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.77235000	0.75460000	0.73755000	0.72150000	0.70680000	0.69380000	0.68280000	0.67415000	0.66805000	0.66465000
ค่าทฤษฎี	0.76521000	0.74848000	0.73247000	0.71748000	0.70380000	0.69174000	0.68156000	0.67353000	0.66785000	0.66468000

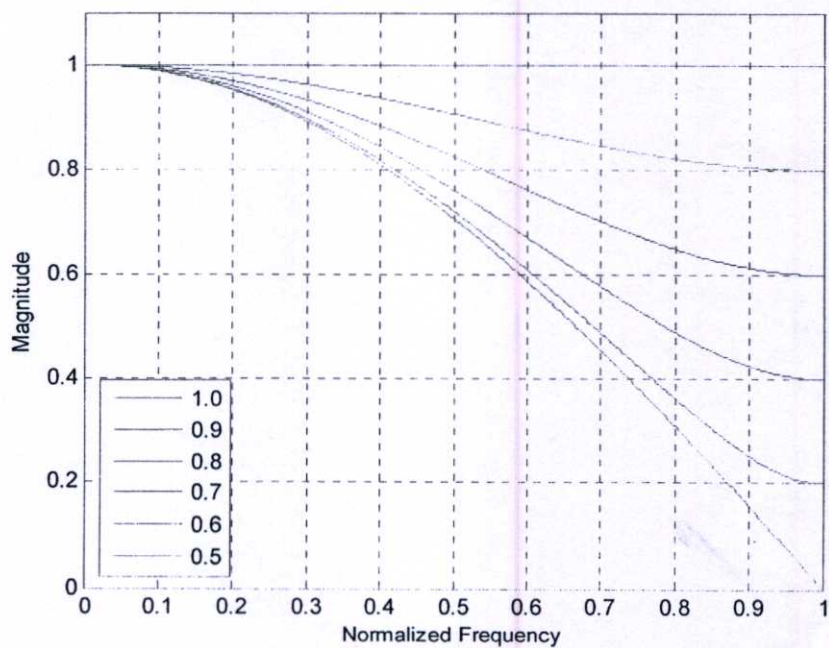
ตารางที่ 5.105 การเปรียบเทียบผลตอบแทนของเชิงขนาดระหว่างค่าทฤษฎีและผลการจำลองการทำงาน

จรรยาบรรณปรับปรุงค่าการหมุนเวียนเป็นเศษส่วน อันดับ 3 ค่าการหมุนเวียน 1.9

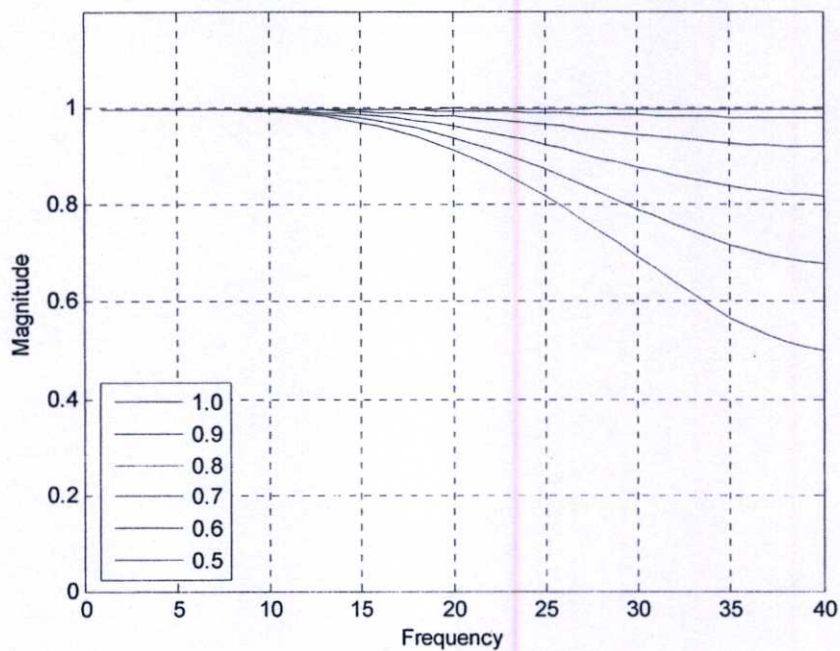
ความถี่	1	2	3	4	5	6	7	8	9	10
DataOut	1.00000000	1.00000000	1.00000000	0.99995000	0.99990000	0.99980000	0.99960000	0.99930000	0.99880000	0.99810000
ค่าทฤษฎี	1.00000000	0.99998000	0.99995000	0.99986000	0.99971000	0.99946000	0.99908000	0.99853000	0.99778000	0.99678000
ความถี่	11	12	13	14	15	16	17	18	19	20
DataOut	0.99715000	0.99595000	0.99435000	0.99240000	0.99000000	0.98715000	0.98385000	0.98000000	0.97560000	0.97075000
ค่าทฤษฎี	0.99550000	0.99390000	0.99193000	0.98958000	0.98680000	0.98357000	0.97987000	0.97570000	0.97104000	0.96590000
ความถี่	21	22	23	24	25	26	27	28	29	30
DataOut	0.96530000	0.95935000	0.95295000	0.94610000	0.93885000	0.93125000	0.92350000	0.91555000	0.90755000	0.89960000
ค่าทฤษฎี	0.96030000	0.95425000	0.94780000	0.94098000	0.93385000	0.92647000	0.91892000	0.91128000	0.90364000	0.89610000
ความถี่	31	32	33	34	35	36	37	38	39	40
DataOut	0.89180000	0.88430000	0.87720000	0.87060000	0.86470000	0.85955000	0.85525000	0.85190000	0.84955000	0.84825000
ค่าทฤษฎี	0.88876000	0.88172000	0.87510000	0.86899000	0.86351000	0.85873000	0.85476000	0.85165000	0.84947000	0.84826000



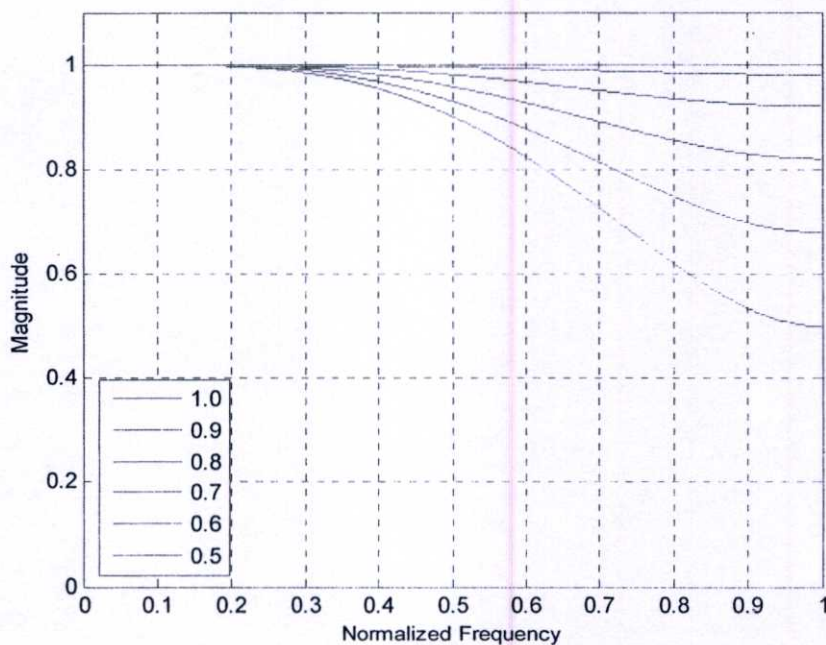
รูปที่ 5.68 ผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอพีดี อันดับ 1 จากผลการจำลองการทำงาน



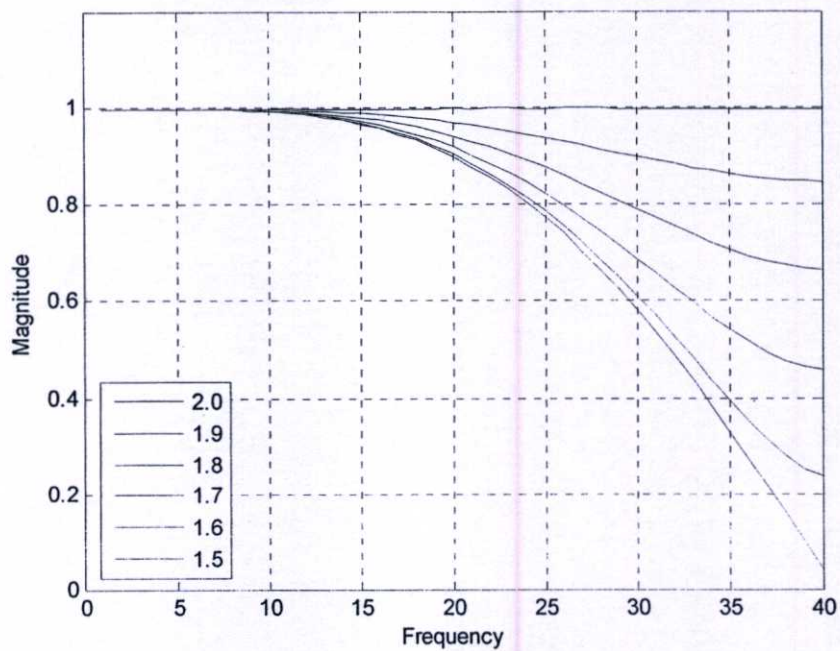
รูปที่ 5.69 ผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอพีดี อันดับ 1 จากค่าทฤษฎี



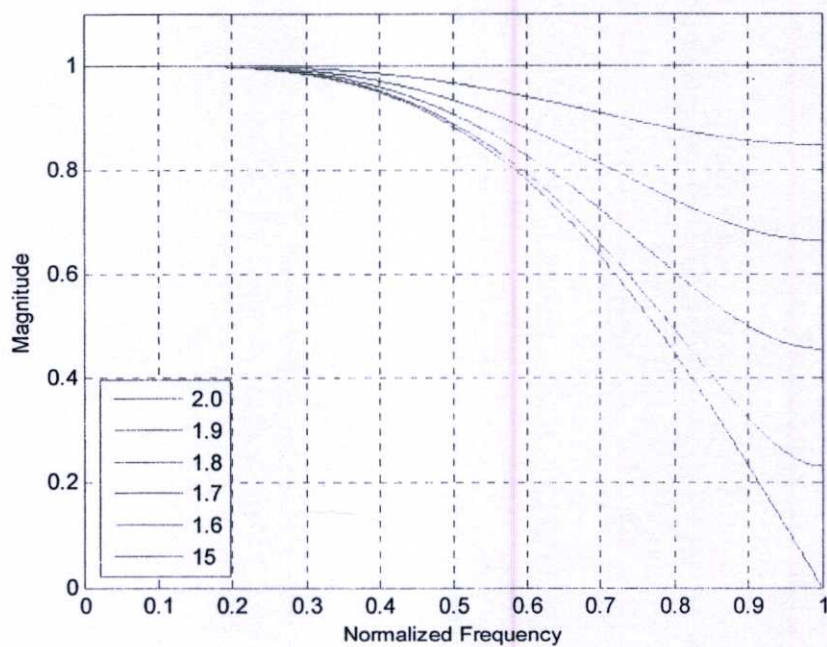
รูปที่ 5.70 ผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอพีดี อันดับ 2 จากผลการจำลองการทำงาน



รูปที่ 5.71 ผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอพีดี อันดับ 2 จากค่าทฤษฎี



รูปที่ 5.72 ผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอฟดี อันดับ 3 จากผลการจำลองการทำงาน



รูปที่ 5.73 ผลตอบสนองเชิงขนาดของวงจรกรองสัญญาณวีเอฟดี อันดับ 3 จากค่าทฤษฎี

5.7 สรุป

การจำลองการทำงานวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน ที่นำเสนอในบทนี้ เป็นการจำลองการทำงานตั้งแต่วงจรส่วนประกอบส่วนที่เล็กที่สุด ได้แก่ วงจรแยกบิต วงจรบวกพีดีเอ วงจรลบพีดีเอ วงจรเลื่อนบิต วงจรตัดความยาวบิต และตารางเปิดคู ซึ่งวงจรเหล่านี้นำไปประกอบเป็นวงจรเลขคณิตกระจายแบบขนาน จากนั้นนำวงจรเลขคณิตกระจายไปประกอบรวมกับวงจรบวกสเตจ วงจรลบสเตจ วงจรหน่วงเวลา เพื่อสร้างวงจรกรองสัญญาณวีเอฟดี อันดับ 1 ถึงอันดับ 3 โดยผลการจำลองการทำงานวงจรส่วนประกอบต่าง ๆ มีความถูกต้องตรงตามที่ออกแบบไว้ ส่งผลให้ผลการจำลองการทำงานวงจรกรองสัญญาณวีเอฟดีมีความถูกต้องใกล้เคียงกับค่าทฤษฎี

บทที่ 6

สรุปผลการวิจัย

6.1 สรุปผลการวิจัย

การออกแบบสถาปัตยกรรมฮาร์ดแวร์ของวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วนหรือวงจรกรองสัญญาณวีเอฟดี สำหรับการนำไปสร้างจริงโดยใช้เอฟพีจีเอ ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ อาศัยโครงสร้างเทย์เลอร์ซึ่งมีประสิทธิภาพในการใช้จำนวนอุปกรณ์สำหรับคำนวณที่น้อยกว่าโครงสร้างพาร์โรว์และโครงสร้างพาร์โรว์ที่ตัดแปลง

โดยการออกแบบสถาปัตยกรรมฮาร์ดแวร์ของวงจรกรองสัญญาณวีเอฟดี เริ่มจากการออกแบบการทำงานของวงจร และคำนวณผลลัพธ์จากการทำงานของวงจร จากนั้นเขียนบรรยายพฤติกรรมของวงจรตามทีที่ออกแบบไว้ด้วยภาษาวีเอชดีแอล สร้างสัญลักษณ์ของวงจรและเทสต์เบนช์ เวฟฟอร์มด้วยโปรแกรมไซลิงซ์ และจำลองการทำงานด้วยโปรแกรมโมเดลซิม

วงจรกรองสัญญาณวีเอฟดีที่ออกแบบเป็นวงจรพื้นฐาน ซึ่งเรียกว่าวงจรร้อย 1 สเตจ โดยวงจรร้อย 1 สเตจ สามารถนำมาสร้างวงจรรดับ 1 วงจรกรองอันดับที่สูงขึ้นกระทำได้นำนวงจรร้อย 1 สเตจ มาต่อเรียงกันเป็นจำนวนตามอันดับที่ต้องการ

ผลการจำลองการทำงานของวงจรกรองสัญญาณวีเอฟดี ได้ผลถูกต้องตรงตามทีที่ออกแบบไว้ เมื่อนำผลการจำลองการทำงานมาหาผลตอบสนองเชิงขนาดและเปรียบเทียบกับค่าทฤษฎี พบว่าค่าอาร์เอ็มเอสอีของวงจรกรองสัญญาณวีเอฟดี อันดับ 1 ถึงอันดับ 3 อยู่ในช่วง 0.000022 ถึง 0.017755

6.2 ปัญหาและการแก้ไข

วัตถุประสงค์แรกเริ่มของงานวิจัยนี้ คือ ต้องการสร้างวงจรกรองสัญญาณวีเอฟดีและสังเคราะห์วงจรลงเอฟพีจีเอ และนำมาทดสอบการทำงานกับการประยุกต์ใช้งานในการกู้คืนจังหวะเวลาของสัญญาณ แต่เนื่องจากสถาปัตยกรรมฮาร์ดแวร์ที่ออกแบบของวงจรร้อย 1 สเตจ ซึ่งเป็นวงจรกรองสัญญาณวีเอฟดี อันดับ 1 เมื่อสังเคราะห์วงจรโดยอาศัยเทคโนโลยีเอฟพีจีเอ รุ่น Spatan-3 XC3S200 ซึ่งเป็นรุ่นที่มีให้ใช้ทดลองในภาควิชาวิศวกรรมโทรคมนาคม พบว่าจำนวนลอจิกเกตที่ใช้มีจำนวนมากกว่าจำนวนลอจิกเกตที่รุ่นดังกล่าวจะรองรับได้ จึงไม่สามารถสังเคราะห์ลงเอฟพีจีเอได้ จึงอาศัยการจำลองการทำงานเพื่อทดสอบความถูกต้องของการทำงานของวงจรเพียงอย่างเดียว ส่วนการประยุกต์ใช้งานในการกู้คืนจังหวะเวลาของสัญญาณ จะต้องมีเครื่องมือที่สร้างสัญญาณดิจิทัลมอดูเลชันแบบต่างๆ ซึ่งอุปกรณ์ดังกล่าวไม่มีใช้ในภาควิชาวิศวกรรมโทรคมนาคม จึงไม่สามารถที่จะนำมาทดสอบการประยุกต์ใช้งานได้

จากสาเหตุดังกล่าวจึงทำให้ในงานวิจัยนี้กระทำได้เพียงออกแบบสถาปัตยกรรมฮาร์ดแวร์ของวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน สำหรับนำไปสร้างจริงโดยใช้เอฟพีจีเอ และทดสอบโดยการจำลองการทำงานเท่านั้น

6.3 แนวทางการพัฒนางานวิจัย

งานวิจัยทางด้านวงจรกรองสัญญาณปรับค่าการหน่วงเป็นเศษส่วน เท่าที่ผู้เขียนค้นคว้าและตรวจสอบได้พบว่ายังไม่มีการนำเสนอสถาปัตยกรรมฮาร์ดแวร์สำหรับการนำไปสร้างจริง ซึ่งวิทยานิพนธ์ฉบับนี้สามารถใช้เป็นแนวทางสำหรับการออกแบบสถาปัตยกรรมฮาร์ดแวร์ สำหรับการนำไปสร้างจริงและทำงานแบบเวลาจริงได้ต่อไป หรืออาจนำอัลกอริทึมอื่นมาออกแบบสถาปัตยกรรมฮาร์ดแวร์เพื่อเปรียบเทียบกับสถาปัตยกรรมฮาร์ดแวร์ที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้

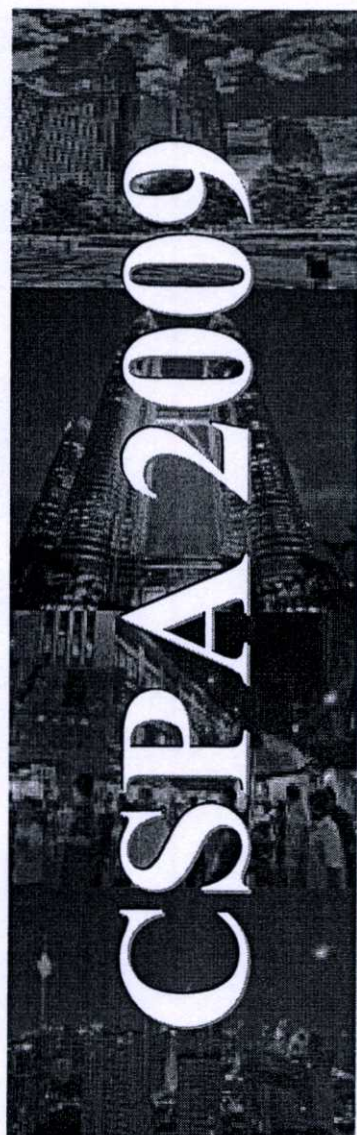
เอกสารอ้างอิง

- [1] Laakso T. I., Välimäki V., Karjalainen M. and Laine U. K. "Splitting the Unit Delay – Tools for Fractional Delay Filter Design.", **IEEE Signal Process. Mag.**, vol. 13, 1996. pp. 30-60.
- [2] Välimäki V. and Laakso T. I. "Principle of Fractional Delay Filters.", **Proc. IEEE ICASSP, Istanbul, Turkey**, June, 2000. pp. 3870-3873.
- [3] Välimäki V. "**Discrete-Time Modeling of Acoustic Tubes Using Fractional Delay Filters.**" Ph.D. Thesis of Helsinki University of Technology. 1995.
- [4] Candan C. "An Efficient Structure for Lagrange Interpolation.", **IEEE Signal Process. Lett.**, vol. 14, 2007. pp.17-19.
- [5] Samadi S., Ahmad O. M. and Swamy M. N. S. "Results on Maximally Flat Fractional-Delay Systems.", **IEEE Trans. On Circ. And Syst. - Part I.**, vol. 51, 2004. pp. 2271-2286.
- [6] White S. A. "Applications of Distributed Arithmetic to Digital Signal Processing: A Tutorial Review.", **IEEE ASSP Mag.**, vol. 6, 1989. pp. 4-19.
- [7] Xilinx. "**The Role of Distributed Arithmetic in FPGA-Based Signal Processing.**" [Online]. Available : www.xilinx.com. 2009.
- [8] Al-Haj A. M. "An FPGA-Based Parallel Distributed Arithmetic Implementation of the 1-D Discrete wavelet Transform.", **Informatica**, vol. 29, 2005. pp. 241-247.

ภาคผนวก

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

1. Nithirochananont U., Chivapreecha S. and Dejhan K. "An FPGA-Based Implementation of Variable Fractional Delay Filter.", **2009 5th International Colloquium on Signal Processing and Its Applications (CSPA), Kuala Lumpur, Malaysia, March, 2009. pp. 108-111.**



Technical Programme

**2009 5th International Colloquium on
Signal Processing and Its Applications
(CSPA 2009)**

6-8 March 2009

Kuala Lumpur, Malaysia.

Website: www.asprg.net/cspa2009

Organizer

*Advanced Signal Processing Research Group
Faculty of Electrical Engineering
Universiti Teknologi MARA
Shah Alam Malaysia*

Technical co-sponsor

IEEE UiTM SB

Editors

*Mohd Nasir Taib
Nooritawati Md Tahir
Mohd Hezri Fazalul Rahiman
Ramli Adnan
Abd Manan Samad
Ihsan Mohd Yassin*



An FPGA-Based Implementation of Variable Fractional Delay Filter

Ussanai Nithirochananont, Sorawat Chivapreecha and Kobchai Dejhan
 Department of Telecommunications Engineering, Faculty of Engineering
 King Mongkut's Institute of Technology Ladkrabang, Bangkok, 10520 Thailand
 Email: sorawat@telecom.kmitl.ac.th and kobchai@telecom.kmitl.ac.th

Abstract- A variable fractional delay (VFD) filter is widely used in applications such as symbol timing recovery, arbitrary sampling rate conversion and echo cancellation. This paper presents an implementation of variable fractional delay filter on FPGA. The implementation utilizes an efficient structure so called Taylor structure. The main advantage of this structure is to reduce number of multiplier and adder when compared with Farrow structure or modified Farrow structure. The result of implementation will be reported as throughput and area utilization.

I. INTRODUCTION

In communication systems and digital signal processing, some applications such as symbol timing recovery, arbitrary sampling rate conversion and echo cancellation require fractionally delay rather than unit delay. The fractional delay can be achieved by using a variable fractional delay (VFD) filter. A VFD filter will reconstruct the sampled signal and then delay by fraction. Finally it resamples the delayed signal.

A traditional VFD filter is formed in Farrow structure [1]. The advantage of this structure is that sub-filters are fixed for a given order. When order of the VFD filter is higher, the number of multiplier and adder will increase by square of order. The modified Farrow structure is introduced to reduce the number of the operator [2].

Although the modified Farrow structure can save the number of multiplier and adder, the reduced operators are small. The efficient structure so called Taylor structure is then introduced to address this problem. This structure can significantly reduce the number of operator when compared with Farrow structure or modified Farrow structure [3].

This paper presents an implementation of VFD filter using Taylor structure on FPGA. The multiplication which is the core operation in VFD filter will utilize the parallel distributed arithmetic (PDA) method which is improved from traditional distributed arithmetic (DA) method to increase speed of computation.

The paper is organized as following; first, we will briefly review the implementation techniques for the VFD filter in section II. The distributed arithmetic (DA) is then reviewed both serial and parallel DA in section III. In Section IV, an FPGA implementation of VFD filter will be designed and synthesized by using Xilinx ISE tool, and reported as throughput and area utilization. The targeted FPGA is Xilinx's Spartan-3A XC3S200A. Finally, we will summarize the implementation and future work in the conclusion.

II. VARIABLE FRACTION DELAY FILTER

A variable fractional delay filter utilizes delay the signal where delay is a fractional value and can be varied with time. An ideal discrete-time delay element can be described as

$$H_{id}(z) = z^{-D} \quad (1)$$

where desired delay D is a positive real number which is composed of integer and fractional part. The delay D can be expressed as

$$D = \lfloor D \rfloor + d \quad (2)$$

where $\lfloor \cdot \rfloor$ is the greatest integer function and d is the fractional delay.

When D is integer value, output sample will be one of the previous input sample but we cannot realize (1) when D is non-integer or fraction. Realizable fractional delay needs to approximate a finite-length and causal of (1).

One approach for fractional delay approximation that is most frequently used is maximally-flat FIR fractional delay approximation. This method is equal to the Lagrange interpolation at certain frequency, typically, when $\omega = 0$. Thus, the approximation is to obtain the transfer function of Lagrange interpolation.

There are numerous equivalent derivations to obtain the transfer function of Lagrange interpolation. In the following sub-section we will briefly review the implementation techniques for maximally flat FIR FD approximation those are Farrow structure and its improved structure or modified Farrow structure, and Taylor structure.

A. Farrow Structure

Farrow structure (FS) is a form that expresses an n^{th} -order polynomial in delay D . The transfer function of Farrow structure for Lagrange interpolation is expressed as

$$H_{\text{Farrow}}(z) = \sum_{n=0}^N C_n(z) D^n \quad (3)$$

where $C_n(z)$ are polynomials in z , and are the transfer function of the FIR sub-filter. The advantage of Farrow structure is $C_n(z)$ are fixed for a given order N , that is no need for updating the sub-filter coefficients.

B. Modified Farrow Structure

Modified Farrow structure (MFS) has been developed to reduce number of operator in Farrow structure. The complexity reduction can be achieved by changing range of delay parameter D. This can be obtained by multiplying sub-filter coefficients matrix by transformation matrix T which is defined as

$$T_{n,m} = \begin{cases} \text{round}\left(\frac{N}{2}\right)^{n-m} \binom{n}{m} & \text{for } n \geq m \\ 0 & \text{for } n < m \end{cases} \quad (4)$$

where $n,m = 0,1,2, \dots, N$.

C. Taylor Structure

Unlike the earlier two techniques, Taylor structure (TS) is derived from finite-length discrete-time dual of Taylor series [3]. The transfer function of the Taylor structure is expressed as

$$H_{Taylor}(z) = \sum_{n=0}^N (-1)^n \frac{D^{[n]}}{n!} (1-z^{-1})^n \quad (5)$$

where $D^{[n]}$ is a falling factorial and $D^{[n]} = D(D-1)(D-2) \dots (D-N+1)$.

C. Complexity Comparison of FS, MFS and TS

The computational complexities of each structure are Farrow with $N^2 + N$ multiplier and N^2 adder, modified Farrow save some operation of Farrow structure and The Taylor structure are $3N - 1$ multiplier and $3N - 2$ adder.

III. DISTRIBUTED ARITHMETIC

Distributed arithmetic (DA) method is an efficient technique for computing the inner product. The inner product of two vectors can be calculated in term of sum of product as

$$Y = \sum_{k=1}^{N-1} A_k x_k \quad (6)$$

where A_k is constant coefficient and x_k is binary input data.

Since x_k are 2's complement binary number, each x_k can be expressed as

$$x_k = -x_{k,n-1} + \sum_{m=1}^{n-1} x_{k,n-1-m} 2^{-m} \quad (7)$$

where $x_{k,m}$ are bits, 0 or 1 and $x_{k,n-1}$ is the sign bit. When substitute (7) into (6), we get

$$Y = \sum_{k=1}^{N-1} A_k \left(x_k = -x_{k,n-1} + \sum_{m=1}^{n-1} x_{k,n-1-m} 2^{-m} \right) \quad (8)$$

$$= \sum_{k=1}^{N-1} A_k x_{k,n-1} + \sum_{m=1}^{n-1} \left(\sum_{k=1}^{N-1} A_k x_{k,n-1-m} \right) 2^{-m}$$

Each $x_{k,m}$ has only 2^N possible values, and can be pre-computed and stored in lookup table (LUT).

Thus, the DA-based calculation of the inner product requires three operations. First, address memory to get the pre-computed values from LUT, then drop the read value into an accumulator. Finally, divide the result that can be realized by shift operator. This process requires n-cycle to complete the inner product of n-bit input data. Figure 1 shows the block diagram of the DA.

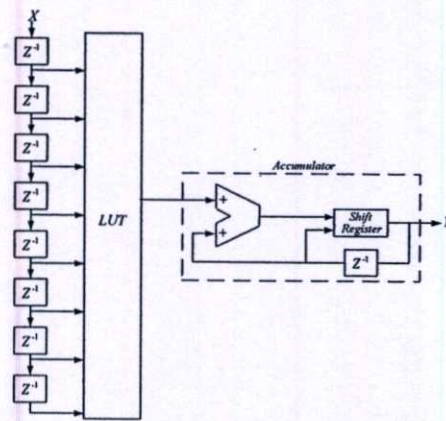


Fig.1 The block diagram of the distributed arithmetic.

Since the input data serially accesses the LUT, the traditional DA can be considered as serial DA (SDA). The speed of computation can be increased by accessing each input data bit in parallel. This improved DA is called parallel distributed arithmetic (PDA) [4]. Figure 2 depicts the parallel DA.

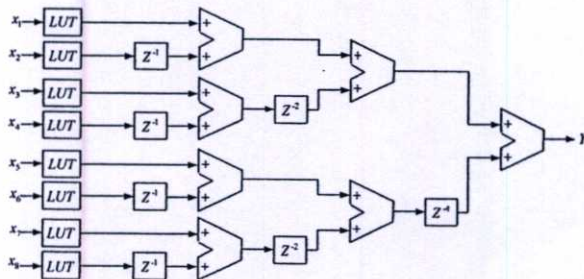


Fig.2 The block diagram of the PDA.

The input data bit accesses LUT in parallel and is scaled down by 2^{-N} , where N is bit position. The all read values are summed. The computational time is reduced to 1 cycle per input data.

IV. FPGA IMPLEMENTATION

According to the advantage in reducing the computational complexity we described in previous section, an implementation of VFD filter will utilize the Taylor structure. The architecture of the Taylor structure VFD filter is shown in

Fig. 3 (a). The dash line box is 1-stage VFD filter used for implementation. Detail of 1-stage VFD is shown in Fig. 3 (b).

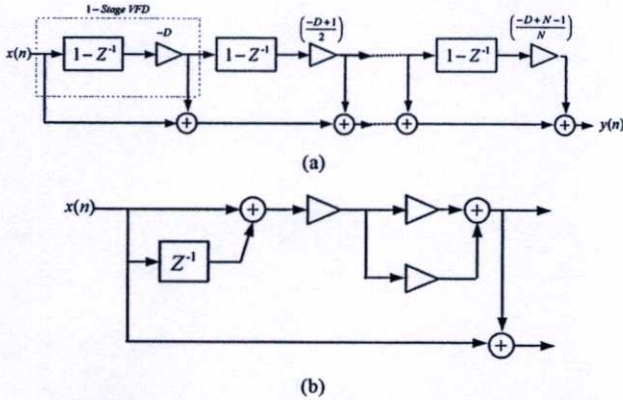


Fig.3 (a) The Taylor structure VFD filter and (b) 1-stage for implementation.

The multiplication which is the core computation of VFD filter will implemented by using the PDA method. Each sub-modules of PDA are synthesized by using Xilinx ISE tool. The details of sub-module are described as following;

A. Bit Splitter

To perform the fully parallel DA, each bit of input data will be split into individual bit by using bit splitter. Every clock when input data arrives to bit splitter, each bit is split. Figure 4 shows the schematic of bit splitter synthesized by Xilinx ISE tool, and its functional simulation result.

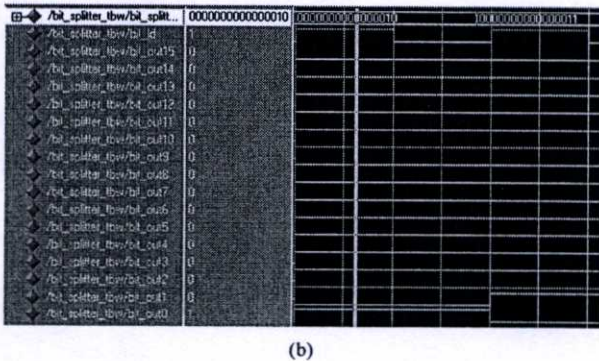
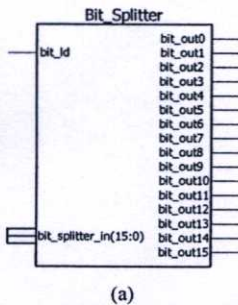


Fig. 4 (a) The schematic symbol of bit splitter and (b) the result of the functional simulation.

B. Lookup table

LUT for the VFD filter is divided into 2 types, which are LUT for constant coefficient and LUT for fractional delay. Both LUT types have 1 input and 1 output in common but the latter type has 1 additional input for selecting the fractional delay value. Both LUT schematics are shown in Fig. 5 and functional simulation results are shown in Fig. 6.

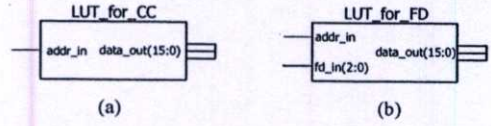


Fig.5 The schematic symbol of (a) LUT for constant coefficient and (b) LUT for fractional delay.

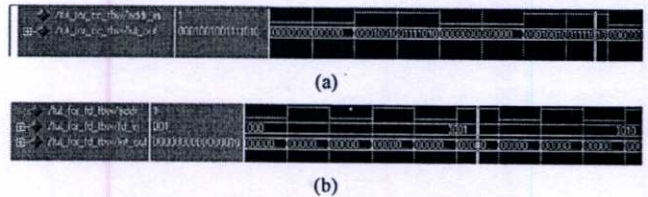


Fig.6 The Result of the functional simulation of (a) LUT for constant coefficient and (b) LUT for fractional delay.

Size of LUT for fractional delay is depending on the number of fractional delay value. For this implementation we use 8 fractional delay values starting from 0.2 to 0.9, increasing by 0.1 each time. Table I shows the detail of the fractional delay value stored in the LUT.

TABLE I
The Lookup Table for Fractional Delay

Fractional Delay Value	Address
0.2	000
0.3	001
0.4	010
0.5	011
0.6	100
0.7	101
0.8	110
0.9	111

C. Shifter

Shifter is used to shift left the read data from LUT. Level of shift-bit is depending on each bit position. The 1-bit shifter schematic is shown in Fig. 7.

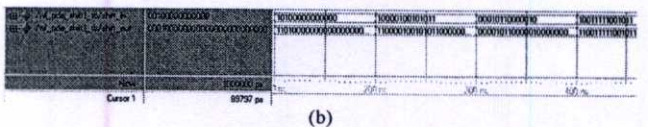
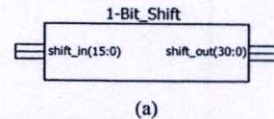


Fig. 7 (a) The schematic symbol of 1-bit shifter and (b) the result of the functional simulation.

D. Truncator

Since the shifter makes the result of multiplication wider than the input data length does, we need to truncate the length to 16 by using truncator. The truncator schematics and its functional simulation result are shown in Fig. 8.

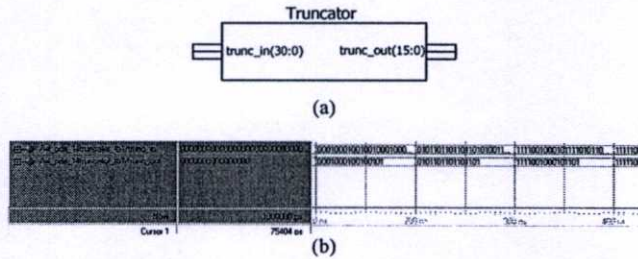


Fig. 8 (a) The schematic symbol of truncator and (b) the result of the functional simulation.

When all sub-modules complete the functional simulation, the sub-modules are then combined to be a core operator of the VFD filter. By using 2 different LUT, the core operator is also divided into 2 types, which are PDA for constant coefficient and PDA for fractional delay. Figure 9 shows the both PDA-based core operator schematics.

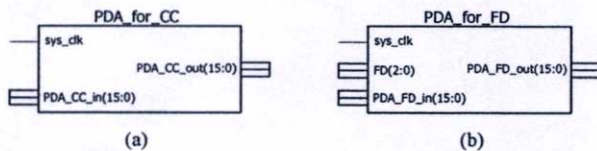


Fig.9 The schematic symbol of (a) PDA for constant coefficient and (b) PDA for fractional delay.

Since the PDA-based core operator needs only 1 cycle to complete the computation, the increasing speed of computation is achieved.

Then we implement the 5th-order Taylor structure VFD filter with both of PDA-based cores. The schematic of the 1-stage VFD filter is shown in Fig. 10. Finally, the throughput and area utilization of the proposed VFD filter implementation are 38.493 MHz and 1,694 slices respectively.

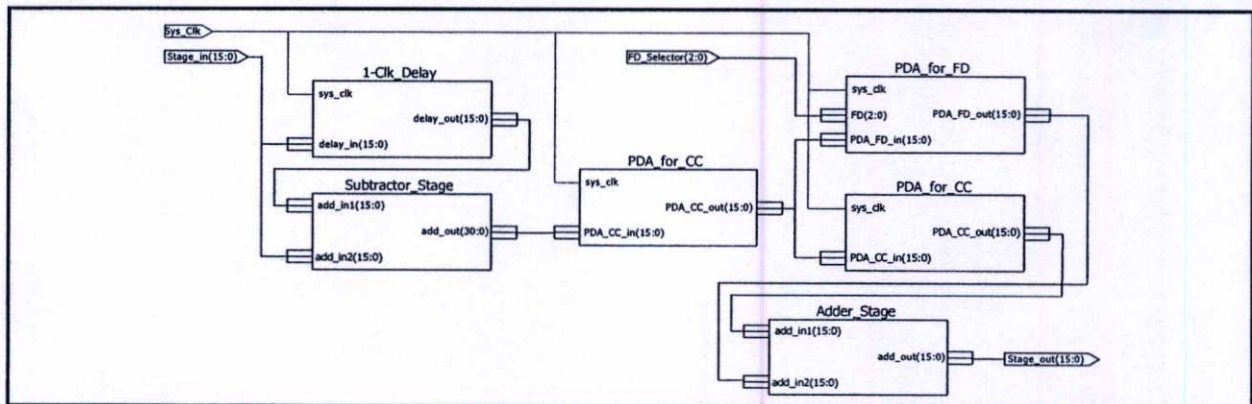


Fig.10 The schematic of 1-stage VFD filter.

IV. CONCLUSION

The FPGA-based Taylor structure variable fractional delay filter is implemented with PDA-based core computation. The main advantage of the proposed VFD filter implementation is to reduce the number of operator when compared with VFD filter which utilizes the Farrow or modified Farrow structure. Since the targeted FPGA is the low-cost FPGA, the throughput and area utilization of the VFD filter order show that the implementation is a compromise of cost and performance.

REFERENCES

- [1] C. W. Farrow, "A continuously variable digital delay element," in *Proc. IEEE Int. Symp. Circuit Systems*, 1988, pp.2641-2645.
- [2] V. Valimaki, "A new filter implementation strategy for Lagrange interpolation," in *Proc. IEEE Int. Symp. Circuit Systems*, 1995, pp.361-364.
- [3] C. Candan, "An efficient filtering structure for Lagrange interpolation," *IEEE Signal Process. Letters*, vol. 14, no. 1, pp.17-19, Jan. 2007.
- [4] A. M. Al-Haj, "An FPGA-based parallel distributed arithmetic implementation of the 1-D discrete wavelet transform," *Informatica*, 29: 241-247, Jan. 2005.

ประวัติผู้เขียน

ชื่อ – นามสกุล	นายอศนัย นิธิโรจนานนท์
วัน เดือน ปีเกิด	19 กรกฎาคม พ.ศ. 2526 ที่จังหวัดนครสวรรค์
ที่อยู่ปัจจุบัน	บ้านเลขที่ 7/11 หมู่ที่ 3 ตำบลอินทร์บุรี อำเภออินทร์บุรี จังหวัดสิงห์บุรี
การศึกษา	วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม (เกียรตินิยมอันดับสอง) สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2550
ประสบการณ์การทำงาน	
พ.ศ. 2550	วิศวกรวิจัยและพัฒนา บริษัท อินฟินิท อิเล็กทริก จำกัด
พ.ศ. 2550 – 2551	วิศวกรซอฟต์แวร์ บริษัท โตโยต้า ทูโซ อิเล็กทรอนิกส์ (ประเทศไทย) จำกัด
พ.ศ. 2551 – ปัจจุบัน	วิศวกร ศูนย์ดาวเทียมภาคพื้นดิน สำนักงานพัฒนาเทคโนโลยีอวกาศและภูมิสารสนเทศ (องค์การมหาชน) กระทรวงวิทยาศาสตร์และเทคโนโลยี