ทฤษฎีและเทคนิคการเพิ่มสมรรถนะของวงจรขยายชิงกระจายต่อเรียงกัน

THEORY AND PERFORMANCE ENHANCEMENT TECHNIQUE OF CASCADED DISTRIBUTED AMPLIFIERS

อิทธิพัสน์ รูปค่ม

ITTIPAT ROOPKOM

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-D-018-127

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ทฤษฎีและเทคนิคการเพิ่มสมรรถนะของวงจรขยายเชิงกระจายต่อเรียงกัน

THEORY AND PERFORMANCE ENHANCEMENT TECHNIQUE OF CASCADED DISTRIBUTED AMPLIFIERS

T105475

อิทธิพัฒน์ รูปคม

ITTIPAT ROOPKOM

เลขหมู่.....
เลขทะเบียน.....105475
วัน,เดือน,ปี.....24 พ.ย. 2552

b.....
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-D-018-127

THEORY AND PERFORMANCE ENHANCEMENT TECHNIQUE OF CASCADED DISTRIBUTED AMPLIFIERS

ITTIPAT ROOPKOM

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2009

KMITL-2009-EN-D-018-127

COPYRIGHT 2009

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ ทฤษฎีและเทคนิคการเพิ่มสมรรถนะของวงจรขยายเชิงกระจายต่อเรียงกัน

Thesis Title Theory and Performance Enhancement Technique of Cascaded Distributed Amplifiers

นักศึกษา นายอิทธิพัฒน์ รูปคม

รหัสประจำตัว 49060061

ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชา วิศวกรรมไฟฟ้า

อาจารย์ที่ปรึกษาวิทยานิพนธ์ ศ.ดร.วัลลภ สุระกำพลธร

หมายเลขวิทยานิพนธ์ KMITL-2009-EN-D-018-127

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.วรากร	เกษมสุวรรณ์	
รศ.ดร.อภินันท์	ธนชยานนท์	
รศ.ดร.เอกชัย	ลีลารัศมี	
รศ.ดร.อภิศักดิ์	วรพิเชฐ	
ศ.ดร.วัลลภ	สุระกำพลธร	

วัน / เดือน/ ปี ที่สอบ วันอังคารที่ 8 กันยายน พ.ศ. 2552 เวลา 13.00-15.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 2

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 8 กันยายน พ.ศ. 2552

หัวข้อวิทยานิพนธ์	ทฤษฎีและเทคนิคการเพิ่มสมรรถนะของวงจรขยายเชิงกระจายต่อเรียงกัน
นักศึกษา	นาย อิทธิพัฒน์ รูปคม
รหัสประจำตัว	49060061
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2552
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ศ.ดร. วัลลภ สุระกำพลธร

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอทฤษฎีและการเพิ่มสมรรถนะของวงจรขยายเชิงกระจายต่อเรียงกันที่มีการปลดอิมพีแดนซ์ด้านซ้ายมือของส่วนเชื่อมต่อระหว่างภาค ทำให้วงจรมีอัตราขยายสูง โดยเรียกวงจรขยายโครงสร้างนี้ว่าวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน แต่ด้วยลักษณะโครงสร้างของวงจรที่ไม่มีอิมพีแดนซ์ด้านซ้ายมือของส่วนเชื่อมต่อระหว่างภาค จึงทำให้สัญญาณกระแสเกิดการสะท้อนกลับเมื่อเดินทางถึงปลายสาย และรวมเข้ากับสัญญาณกระแสส่วนตรงซึ่งมีค่าเฟสที่ต่างกัน ทำให้วงจรเกิดการจำกัดแบนด์วิดท์ในที่สุด เทคนิคสายส่งเดรนแบบเทเปอร์ได้ถูกนำมาปรับใช้ เพื่อทำให้สัญญาณกระแสส่วนสะท้อนลดน้อยลง ในขณะที่สัญญาณกระแสส่วนตรงมีค่ามากขึ้น ซึ่งทำให้วงจรมีสมรรถนะที่ดีทั้งอัตราขยายและแบนด์วิดท์ แต่จากการวิเคราะห์ทำให้ทราบว่าค่าความเก็บประจุแฝงในทรานซิสเตอร์ เป็นตัวจำกัดให้สามารถใช้ทรานซิสเตอร์ได้เพียงสองแถวเท่านั้น จากการจำลองและการทดสอบแสดงให้เห็นว่าเทคนิคสายส่งเดรนแบบเทเปอร์นี้สามารถนำมาใช้ได้เป็นอย่างดี โดยวงจรมีอัตราขยายกำลังเท่ากับ 14 ดีบี แบนด์วิดท์เท่ากับ 13.8 กิกกะเฮิร์ซ สำหรับการจำลองด้วยกระบวนการผลิตซีมอส ขนาด 0.18 ไมครอน และอัตราขยายกำลังเท่ากับ 25.2 ดีบี แบนด์วิดท์เท่ากับ 3.2 กิกกะเฮิร์ซ สำหรับการทดสอบด้วยอุปกรณ์ดิสครีต

Thesis Title	Theory and Performance Enhancement Technique of Cascaded Distributed Amplifiers
Student	Mr. Ittipat Roopkom
Student ID.	49060061
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2009
Thesis Advisor	Prof. Dr. Wanlop Surakampontorn

ABSTRACT

Theoretical analysis and performance enhancement of the cascaded distributed amplifiers with open idle drain terminations at intersections for a high gain are presented in this thesis. This type of amplifier is known as the cascaded multistage distributed amplifier or CMSDA. The characteristics of the general cascaded multistage distributed amplifiers are investigated with lossy artificial lumped line models. This reveals the inherent bandwidth limitation of the CMSDA due to interference from the reverse wave reflection at the open drain terminations. To achieve simultaneous high gain and bandwidth, drain line impedance tapering is introduced to enable a counterbalance of the reverse wave by partial reflection of the forward wave at each of the impedance junctions. Detailed analysis and design considerations are provided where it is shown that typical parasitic drain capacitance of transistors makes the drain line tapering practically viable for the CMSDA up to the double-stage configuration. Extensive validation of the theoretical analysis and the tapered drain line technique are given through the simulation of a 13.8GHz 14-dB CDSDA using a 0.18μm CMOS process, and through the experiment of a 3.2GHz 25.2-dB hybrid CDSDA.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงเป็นอย่างดีด้วยความกรุณาจาก ศ.ดร. วัลลภ สุระกำพลธร ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ ที่คอยให้คำแนะนำ และให้ความรู้แก่ข้าพเจ้า

ขอกราบขอบพระคุณ รศ.ดร. อภิศักดิ์ วรพิเชฐ ผู้ซึ่งเป็นแรงบันดาลใจในการทำวิจัย และคอยชี้แนะแนวทางเพื่อแก้ไขปัญหาต่างๆ ให้ผ่านพ้นไปได้ด้วยดี เป็นผู้ให้ความรู้และประสบการณ์ที่ดีในการใช้ชีวิตและการทำงาน ตลอดจนคอยสนับสนุนงานวิจัยในทุกๆ ด้าน ทำให้ข้าพเจ้ารู้สึกซาบซึ้งใจเป็นอย่างยิ่ง

ขอกราบขอบพระคุณ ผศ.ดร. ดวงฤดี วรสุชีพ และขอขอบคุณ พลาธร ศรีฉ่ำ ที่สนับสนุนเครื่องมือวัดทดสอบ และคอยดูแลการใช้งานอย่างใกล้ชิด

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ที่ศูนย์วิจัยการออกแบบวงจรรวม มหาวิทยาลัยเทคโนโลยีมหานคร ที่ให้คำแนะนำและคอยให้กำลังใจเสมอมา

สุดท้ายข้าพเจ้าขอกราบขอบพระคุณ คุณพ่อจรัส-คุณแม่กุลจิรา รูปคม ที่คอยให้กำลังและสนับสนุนการศึกษาในครั้งนี้

คุณค่าและประโยชน์ที่มีของวิทยานิพนธ์นี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

อิทธิพัฒน์ รูปคม

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VIII

สารบัญรูป.....IX

บทที่ 1 บทนำ.....1

1.1 ความเป็นมาและความสำคัญของปัญหา.....1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....2

1.3 สมมติฐานของการศึกษา.....2

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....2

1.5 ขอบเขตการวิจัย.....3

1.6 ขั้นตอนของการศึกษา.....3

บทที่ 2 องค์ความรู้พื้นฐานที่สัมพันธ์กับงานวิจัย.....5

2.1 กล่าวนำ.....5

2.2 โครงสร้างของมอสทรานซิสเตอร์.....5

2.3 คุณลักษณะเชิงแรงดัน-กระแสของมอสทรานซิสเตอร์.....7

2.3.1 คุณลักษณะในย่านการทำงานเชิงเส้น.....10

2.3.2 คุณลักษณะในย่านการทำงานอิ่มตัว.....11

2.4 องค์ประกอบเชิงพลวัต.....13

2.5 คุณลักษณะในย่านความถี่สูงของมอสทรานซิสเตอร์.....15

2.5.1 ตัวแปรบ่งสมรรถนะที่ความถี่สูง.....15

2.5.2 ปรากฏการณ์เวลาเคลื่อนผ่าน.....16

2.6 ฟิสิกส์ของมอสทรานซิสเตอร์ที่ความยาวช่องกระแสสั้น.....18

2.7 สายส่งสัญญาณและสายส่งเทียม.....21

2.7.1 สายส่งสัญญาณ.....21

2.7.2 โครงสร้างแบบขั้นบันไดไม่สิ้นสุด.....21

สารบัญ (ต่อ)

หน้า

2.7.3 การวิเคราะห์คุณลักษณะของสายส่งโดยอาศัยโครงข่ายขั้นบันไดไม่สิ้นสุด....24

2.7.3.1 สมการเชิงเวลา-ฮาร์มอนิก.....24

2.7.3.2 คุณสมบัติของสายส่ง.....26

2.7.4 คุณลักษณะและการวิเคราะห์สายส่งเทียม.....28

2.7.4.1 อิมพีแดนซ์คุณลักษณะ.....29

2.7.4.2 ความถี่ตัดของสายส่งเทียม.....30

2.7.4.3 ค่าคงตัวการแพร่ของสายส่งเทียม.....30

2.8 วงจรขยายคาสโคด.....31

2.9 วงจรขยายเชิงกระจาย.....33

2.9.1 การวิเคราะห์คุณลักษณะเชิงความถี่.....34

2.9.2 ค่าคงตัวการแพร่ของสายส่งอินพุตและเอาท์พุตเทียม.....36

2.9.3 ผลตอบสนองทางความถี่.....38

2.9.4 สมรรถนะด้านตัวประกอบสัญญาณรบกวน.....40

2.10 สรุป.....40

บทที่ 3 การวิเคราะห์วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม.....42

3.1 กล่าวนำ.....42

3.2 โครงสร้างวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม.....43

3.3 สมรรถนะด้านอัตราขยาย.....44

3.4 สมรรถนะด้านแบนด์วิดท์.....45

3.4.1 คุณลักษณะทางโดเมนเวลา.....46

3.4.2 คุณลักษณะทางโดเมนความถี่.....50

3.4.2.1 อัตราส่วนการขยายแบนด์วิดท์.....54

3.4.3 ผลกระทบจากความไม่เป็นอุดมคติ.....60

3.4.3.1 ความเก็บประจุแฝง.....60

3.4.3.2 ความต้านทานแฝง.....61

สารบัญ (ต่อ)

หน้า

3.5 สมรรถนะด้านตัวประกอบสัญญาณรบกวน.....68
3.6 ตัวอย่างการออกแบบ.....69
3.7 สรุป.....71

บทที่ 4 เทคนิคการขยายแบนด์วิดท์ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน.....73
4.1 กล่าวนำ.....73
4.2 โครงสร้างวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายหลายแถว ต่อเรียงกัน.....74
4.3 การวิเคราะห์คุณลักษณะเชิงความถี่ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน ในกรณีสายส่งเชิงกระจายอุดมคติ.....75
4.3.1 การจำกัดแบนด์วิดท์.....76
4.3.2 ผลตอบสนองทางความถี่.....77
4.3.2.1 อัตราขยายกำลังที่ความถี่ต่ำ.....79
4.4 การวิเคราะห์คุณลักษณะเชิงความถี่ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน ในกรณีสายส่งเทียม.....80
4.4.1 การวิเคราะห์วงจรในกรณีสายส่งเทียมแบบสม่ำเสมอ.....81
4.4.2 ผลตอบสนองทางความถี่ของวงจรในกรณีสายส่งเทียมแบบสม่ำเสมอ.....83
4.4.2.1 อัตราขยายกำลังที่ความถี่ต่ำ.....83
4.4.2.2 ผลตอบสนองที่ความถี่สูง.....84
4.5 การขยายแบนด์วิดท์ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันโดยอาศัย สายส่งเดรนแบบเทเปอร์.....88
4.5.1 การวิเคราะห์วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันด้วยสายส่งเดรน แบบเทเปอร์.....88
4.5.2 การพิจารณากรณีสายส่งเทียมที่ไม่อุดมคติ.....91
4.5.3 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกัน ด้วยสายส่งเดรนแบบเทเปอร์.....93
4.6 สมรรถนะด้านตัวประกอบสัญญาณรบกวน.....97
4.7 สรุป.....97

สารบัญ (ต่อ)

หน้า

บทที่ 5 การจำลองและการทดสอบ.....100
5.1 กล่าวนำ.....100
5.2 การจำลองวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม.....100
5.3 การจำลองและการทดสอบวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์.....106
5.3.1 การจำลองด้วยกระบวนการผลิตซีมอส.....106
5.3.2 การทดสอบด้วยอุปกรณ์ดิสครีต.....114
5.4 สรุป.....121

บทที่ 6 สรุปและข้อเสนอแนะ.....123
6.1 สรุปผลการวิจัย.....123
6.2 ข้อเสนอแนะสำหรับงานวิจัยในอนาคต.....124

เอกสารอ้างอิง.....125

ภาคผนวก.....130
ภาคผนวก ก. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....131

ประวัติผู้เขียน.....162

สารบัญตาราง

ตารางที่ หน้า

2.1 ค่าความเก็บประจุแฝงระหว่างขั้วต่างๆ ของมอสทรานซิสเตอร์.....15

4.1 พารามิเตอร์ต่างๆ จากการถอดค่าอุปกรณ์ในการจำลองและการทดสอบ.....86

5.1 ค่าอุปกรณ์ของวงจรกรณีโครงข่ายสร้างยอดแบบอนุกรม-ขนาน.....101

5.2 ค่าอุปกรณ์ของวงจรกรณีโครงข่ายสร้างยอดแบบขนาน-อนุกรม.....102

5.3 พารามิเตอร์ต่างๆ ของวงจรที่ถอดค่าจากอุปกรณ์ในการจำลอง.....107

5.4 สมรรถนะของวงจรจากการจำลอง.....113

5.5 การเปรียบเทียบสมรรถนะของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรน แบบเทเปอร์กับวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน.....114

5.6 พารามิเตอร์ต่างๆ ของวงจรที่ถอดค่าจากอุปกรณ์ในการทดสอบ.....114

5.7 สมรรถนะของวงจรจากการทดสอบ.....121

สารบัญรูป

รูปที่ หน้า

2.1 โครงสร้างทางกายภาพของมอสทรานซิสเตอร์ชนิดเอ็น.....5

2.2 โครงสร้างทางกายภาพของมอสทรานซิสเตอร์ชนิดพี.....6

2.3 โครงสร้างทางกายภาพของซีมอสที่ใช้เทคโนโลยีการผลิตแบบ n-well.....7

2.4 สัญลักษณ์ของมอสทรานซิสเตอร์.....7

2.5 การเกิดและการเคลื่อนย้ายประจุในมอสทรานซิสเตอร์ชนิดเอ็น.....8

2.6 ลักษณะการกระจายของความหนาแน่นประจุพาห์ตามแนวช่องกระแส.....9

2.7 ปรากฏการณ์พินช์ออฟของช่องกระแส.....11

2.8 ความเก็บประจุที่ส่วนต่างๆ ของโครงสร้างมอสทรานซิสเตอร์.....13

2.9 แบบจำลองของมอสทรานซิสเตอร์ที่ความถี่สูงมาก.....17

2.10 วงจรสมมูลอย่างง่ายของมอสทรานซิสเตอร์.....18

2.11 โครงข่ายขั้นบันไดของสายส่งสัญญาณ.....21

2.12 โครงข่ายขั้นบันไดไม่สิ้นสุด.....22

2.13 โครงข่ายส่วนย่อยความยาว δ_z 24

2.14 โครงสร้างสายส่งเทียม.....29

2.15 วงจรขยายคาสโคด.....31

2.16 วงจรขยายเชิงกระจาย.....33

2.17 วงจรสมมูลของวงจรขยายเชิงกระจาย.....34

2.18 คุณลักษณะการลดทอนเทียบกับความถี่นอร์มัลไลซ์ X_k ที่ a , b , c และ d ค่าต่างๆ.....38

2.19 ผลตอบสนองทางความถี่ของวงจรเทียบกับความถี่นอร์มัลไลซ์ X_k 39

3.1 วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน.....43

3.2 โครงข่ายเชื่อมต่อระหว่างภาค.....45

3.3 ผลตอบสนองต่อสัญญาณกระแสแบบขั้นของโครงข่าย RC และโครงข่ายสร้างยอดแบบขนาน.....46

3.4 ผลตอบสนองต่อสัญญาณกระแสแบบขั้นของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม.....47

3.5 ผลตอบสนองต่อสัญญาณกระแสที่มีความชันต่างกันของโครงข่ายสร้างยอดแบบขนาน.....49

สารบัญรูป (ต่อ)

รูปที่ หน้า

3.6 ผลตอบสนองต่อสัญญาณกระแสแบบขั้นของโครงข่ายสร้างยอดแบบอนุกรม-ขนาน ในกรณีที่อัตราส่วนความเก็บประจุ C_d / C_g ค่าต่างๆ.....49

3.7 การแปลงโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมด้วยทฤษฎีบท โครงข่ายส่วนกลับ.....50

3.8 โครงข่ายอ้างอิงสำหรับการวิเคราะห์ในโดเมนความถี่.....50

3.9 ปรากฏการณ์เรโซแนนซ์ของโครงข่าย.....51

3.10 ความสัมพันธ์ระหว่างค่าความเหนี่ยวนำ L_H และ L_S กับอัตราส่วนความเก็บประจุ C_d / C_g 54

3.11 อัตราส่วนการขยายแบนด์วิดท์เทียบกับอัตราส่วนความเก็บประจุ C_d / C_g 55

3.12 แบนด์วิดท์ของโครงข่ายเทียบกับอัตราส่วนความเก็บประจุ C_d / C_g 56

3.13 ผลตอบสนองทางเฟสที่อัตราส่วนความเก็บประจุ C_d / C_g ค่าต่างๆ เทียบกับ ความถี่นอร์มัลไลซ์ ω / ω_B 56

3.14 ตำแหน่งความถี่เรโซแนนซ์ที่สัมพันธ์กับอัตราส่วนความเก็บประจุ C_d / C_g 58

3.15 ผลตอบสนองทางความถี่ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม เทียบกับโครงข่าย RC.....59

3.16 โครงข่ายอ้างอิงในกรณีที่มีการสูญเสีย.....61

3.17 ตำแหน่งความถี่เรโซแนนซ์ในกรณีที่มีการสูญเสียจากความต้านทานแฝง.....62

3.18 ค่ายอดของฟังก์ชั่นส่งผ่านเทียบกับตัวประกอบคุณภาพ Q_{Ls} และ Q_{Cg} 63

3.19 อัตราส่วนการขยายแบนด์วิดท์ในกรณีที่มีการสูญเสียเทียบกับอัตราส่วนความเก็บประจุ C_d / C_g 64

3.20 แบนด์วิดท์ของโครงข่ายในกรณีมีการสูญเสียเทียบกับอัตราส่วนความเก็บประจุ C_d / C_g 65

3.21 ผลตอบสนองทางเฟสในกรณีมีการสูญเสียที่อัตราส่วนความเก็บประจุ C_d / C_g ค่าต่างๆ เทียบกับความถี่นอร์มัลไลซ์ ω / ω_B 65

3.22 อัตราส่วนการขยายแบนด์วิดท์เทียบกับตัวประกอบคุณภาพ Q_{Ls} และ Q_{Cg} 66

3.23 ผลตอบสนองทางความถี่ที่ค่าตัวประกอบคุณภาพ $Q_{Ls} = Q_{Cg} = 8$ 67

3.24 แผนภาพการไหลของขั้นตอนการออกแบบ.....69

4.1 วงจรขยายเชิงกระจายต่อเรียงกัน.....74

4.2 วงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน.....75

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.3 วงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน ในกรณีสายส่งเชิงกระจายอุดมคติ....76

4.4 ผลตอบสนองทางความถี่เทียบกับความถี่นอร์มัลไลซ์ X_k ของวงจรขยายเชิงกระจาย หลายแถวต่อเรียงกันในกรณีสายส่งเชิงกระจายอุดมคติ....80

4.5 วงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน....81

4.6 อัตราขยายกำลังสุทธิที่ความถี่ต่ำมากเทียบกับตัวแปรการสูญเสีย b , c และ d 84

4.7 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระหลายแถวต่อเรียงกัน กรณีค่าการสูญเสียต่ำเทียบกับความถี่นอร์มัลไลซ์ X_k 85

4.8 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน กรณีค่าการสูญเสียในทางปฏิบัติเทียบกับความถี่นอร์มัลไลซ์ X_k 87

4.9 วงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน ด้วยสายส่งเดรนแบบเทเปอร์....89

4.10 อิมพีแดนซ์คุณลักษณะที่รอยต่อ r 89

4.11 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบ เทเปอร์ในกรณี $\sigma = 2$ เปรียบเทียบกับวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิง กระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอ....94

4.12 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบ เทเปอร์ในกรณี $\sigma = 1.5$ 95

4.13 ผลตอบสนองทางความถี่ของอัตราขยายกำลังส่วนตรงและส่วนตกค้างในกรณีที่ $\sigma = 1.5$ และ 2 96

5.1 วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนาน....102

5.2 วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบขนาน-อนุกรม....103

5.3 ผลตอบสนองทางความถี่ที่ส่วนเชื่อมต่อระหว่างภาคของวงจรในกรณีรวมและไม่รวม ความเก็บประจุแฝงจากการเชื่อมต่อต่างๆ ของเลย์เอาท์....103

5.4 ผลตอบสนองทางความถี่ที่เอาท์พุตของวงจร....104

5.5 สมรรถนะด้านตัวประกอบสัญญาณรบกวน....105

5.6 แผนภาพรูปตาที่อัตราการส่งข้อมูล 12.5 กิกกะบิทต่อวินาที และ 15 กิกกะบิทต่อวินาที....106

5.7 วงจรทางไฟฟ้าและค่าอุปกรณ์ของวงจรขยายเชิงกระจายต่อเรียงกัน....108

สารบัญรูป (ต่อ)

รูปที่ หน้า

5.8 วงจรทางไฟฟ้าและค่าอุปกรณ์ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกัน ด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ 108

5.9 ผลตอบสนองทางความถี่จากการจำลอง 110

5.10 ค่าประวิงเวลาเชิงกลุ่มจากการจำลอง 111

5.11 ตัวประกอบสัญญาณรบกวนจากการจำลอง 111

5.12 แผนภาพรูปตาจากการจำลองที่อัตราการส่งข้อมูล 12.5 กิกกะบิทต่อวินาที 112

5.13 วงจรขยายเชิงกระจายต่อเรียงกัน 115

5.14 วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ 116

5.15 ผลตอบสนองทางความถี่จากการทดสอบ 117

5.16 ค่าประวิงเวลาเชิงกลุ่มจากการทดสอบ 119

5.17 แผนภาพรูปตาจากการทดสอบที่อัตราการส่งข้อมูล 3.4 กิกกะบิทต่อวินาที 120

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์นี้ได้มุ่งเน้นในการศึกษาและการวิเคราะห์วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันทั้งในกรณีแถวเดี่ยวและแถวคู่ ในการวิเคราะห์วงจรจะพิจารณาทั้งกรณีไม่มีการสูญเสียและมีการสูญเสีย เพื่อให้มีความเข้าใจการทำงานและทราบถึงสมรรถนะที่แท้จริงในทางปฏิบัติ รวมถึงข้อจำกัดด้านต่างๆ ของวงจร ซึ่งจะได้ทำการปรับปรุงและแก้ไขส่วนที่เป็นข้อจำกัดให้ดียิ่งขึ้น เพื่อให้วงจรมีสมรรถนะสูงสุด ทั้งด้านอัตราขยาย แบนด์วิดท์และตัวประกอบสัญญาณรบกวน

1.3 สมมติฐานของการศึกษา

ด้วยลักษณะโครงสร้างของวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันที่มีจำนวนแถวของทรานซิสเตอร์เพียงตัวเดียวในแต่ละภาค จึงทำให้ความสามารถในการขับภาระและค่าตัวประกอบสัญญาณรบกวนไม่ค่อยดีนัก วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันได้เติมเต็มสมรรถนะส่วนนี้ให้ดีขึ้น แต่ด้วยโครงสร้างของวงจรที่ไม่มีอิมพีแดนซ์ด้านซ้ายมือของส่วนเชื่อมต่อระหว่างภาค ทำให้สัญญาณกระแสส่วนที่เดินทางเคลื่อนที่ไปด้านซ้ายเกิดการสะท้อนกลับเมื่อเดินทางถึงปลายสายซึ่งเป็นสายเปิด โดยเฉพาะในกรณีที่จำนวนแถวของทรานซิสเตอร์มากกว่าหนึ่ง สัญญาณกระแสส่วนสะท้อนนี้จะรวมเข้ากับสัญญาณกระแสส่วนที่เดินทางเคลื่อนที่โดยตรงสู่อิมพีแดนซ์ภาระของส่วนเชื่อมต่อระหว่างภาค ทำให้เกิดมีค่าการเลื่อนเฟสระหว่างสัญญาณกระแสทั้งสองส่วน ส่งผลให้เกิดการลดทอนของอัตราขยาย และเกิดการจำกัดแบนด์วิดท์ในที่สุด

การแก้ไขปัญหาดังกล่าวนั้น สามารถทำได้โดยอาศัยเทคนิคการต่อสายส่งที่ส่วนเชื่อมต่อระหว่างภาคให้มีค่าอิมพีแดนซ์คุณลักษณะที่ไม่เท่ากัน เพื่อทำให้สัดส่วนของสัญญาณกระแสส่วนตรงมากขึ้น ในขณะเดียวกันก็พยายามหักล้างสัญญาณกระแสส่วนสะท้อนให้หมดไป ด้วยสมมติฐานนี้จะทำให้มีเฉพาะสัญญาณกระแสส่วนตรงเท่านั้นที่เดินทางเคลื่อนที่สู่อิมพีแดนซ์ภาระของส่วนเชื่อมต่อระหว่างภาค ทำให้การลดทอนของอัตราขยายที่เกิดจากสัญญาณกระแสสะท้อนหมดไป ส่งผลให้วงจรมีแบนด์วิดท์กว้างขึ้น

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

ในการวิเคราะห์วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมจะใช้แนวคิดแบบไตรเรโซแนนซ์ โดยอาศัยการสังเกตตำแหน่งความถี่เรโซแนนซ์ของโครงข่ายซึ่งมีสามตำแหน่งด้วยกัน ทำให้มีความเข้าใจการทำงานและกลไกการขยายแบนด์วิดท์ได้อย่างลึกซึ้ง

สำหรับวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันจะใช้ทฤษฎีสายส่งและการวิเคราะห์วงจรด้วยสมการคลื่น (Wave equation) ทำให้มีความเข้าใจการทำงานและการจำกัดแบนด์วิดท์ของ

วงจรได้เป็นอย่างดี ทำให้การปรับปรุงและแก้ไขข้อด้อยของวงจรทำได้อย่างมีประสิทธิภาพ ซึ่งสามารถช่วยให้วงจรมีสมรรถนะด้านแบนด์วิดท์ที่กว้างขึ้น

1.5 ขอบเขตการวิจัย

วิทยานิพนธ์นี้ได้กำหนดขอบเขตการวิจัยดังนี้คือ ศึกษาการทำงานและสร้างชุดสมการขึ้นมาเพื่อใช้ทำนายสมรรถนะด้านต่างๆ ของวงจรทั้งอัตราขยาย แบนด์วิดท์และตัวประกอบสัญญาณรบกวน จากนั้นทำการเปรียบเทียบสมรรถนะของวงจรกับการจำลองและการทดสอบ เพื่อเป็นการพิสูจน์ถึงความถูกต้องของทฤษฎีและชุดสมการที่ได้พัฒนาขึ้น ในการจำลองจะใช้กระบวนการผลิตซีมอส ขนาด 0.18 ไมครอน ที่แรงดัน 1.8 โวล์ตและการทดสอบจะใช้ฐานรองแบบ FR4 โดยทรานซิสเตอร์เป็นอุปกรณ์ดิสครีต เบอร์ NE34018

1.6 ขั้นตอนของการศึกษา

วิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 6 บท ตามลำดับความสำคัญของการศึกษาและวิจัย โดยมีรายละเอียดของเนื้อหาในแต่ละบทพอสังเขปดังนี้

บทที่ 1 กล่าวถึงความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ สมมติฐาน ทฤษฎีและแนวคิดวิเคราะห์ ขอบเขตของการวิจัย และขั้นตอนของการศึกษา

บทที่ 2 กล่าวถึงทฤษฎีที่เกี่ยวข้องและสัมพันธ์กับงานวิจัย เพื่อให้มีความเข้าใจถึงองค์ความรู้พื้นฐานที่ใช้ในงานวิจัย ได้แก่โครงสร้างทางกายและคุณลักษณะทางไฟฟ้าของมอสทรานซิสเตอร์ สายส่งสัญญาณและสายส่งเทียม รวมถึงการวิเคราะห์วงจรขยายเชิงกระจาย และวงจรขยายคาสโคด ซึ่งช่วยลดปัญหาของความเก็บประจุมิลเลอร์และช่วยเพิ่มอิมพีแดนซ์ที่เอาท์พุตของทรานซิสเตอร์

บทที่ 3 กล่าวถึงการวิเคราะห์วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันที่ใช้โครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมเป็นส่วนเชื่อมต่อระหว่างภาค ซึ่งจะแสดงการวิเคราะห์โดยอาศัยแนวคิดแบบไตรเรโซแนนซ์ ทำให้มีความเข้าใจการทำงานของวงจรอย่างลึกซึ้ง และจะได้ทำการเปรียบเทียบสมรรถนะของวงจรให้เห็นอย่างชัดเจน

บทที่ 4 กล่าวถึงเทคนิคการขยายแบนด์วิดท์ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน ซึ่งจากการวิเคราะห์ได้แสดงให้เห็นว่าถ้าสายส่งเดรนในวงจรเป็นแบบสม่ำเสมอ วงจรจะเกิดการจำกัดแบนด์วิดท์ แต่เมื่อใช้เทคนิคสายส่งเดรนแบบเทเปอร์จะทำให้วงจรมีแบนด์วิดท์กว้างขึ้นและมีแบนด์วิดท์ที่ทัดเทียมกับวงจรขยายเชิงกระจายต่อเรียงกัน

บทที่ 5 กล่าวถึงการจำลองและการทดสอบเพื่อพิสูจน์ทฤษฎีที่ได้กล่าวในบทที่ 3 และบทที่ 4 จากการเปรียบเทียบผลการจำลองและการทดสอบกับผลจากการคำนวณด้วยสมการที่พัฒนาขึ้น แสดงให้เห็นว่าสมการที่พัฒนาขึ้นนั้น สามารถใช้ทำนายสมรรถนะของวงจรได้เป็นอย่างดี มีความใกล้เคียงกับผลที่ได้จากการจำลองและการทดสอบ

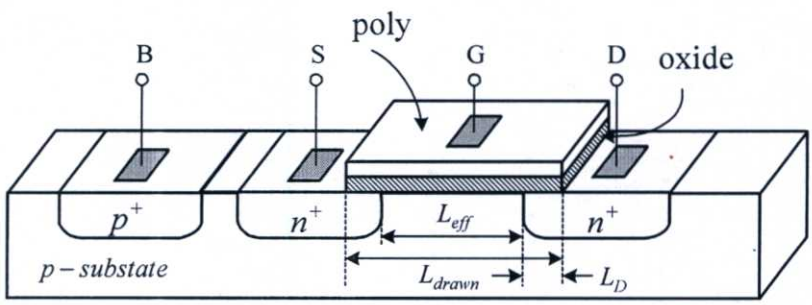
บทที่ 6 จะกล่าวสรุปและข้อเสนอแนะสำหรับการทำวิจัยในอนาคต

บทที่ 2
องค์ความรู้พื้นฐานที่สัมพันธ์กับงานวิจัย

2.1 กล่าวนำ

ในบทนี้จะได้กล่าวถึงคุณลักษณะทางกายภาพและทางไฟฟ้าของมอสทรานซิสเตอร์ ซึ่งเป็นรากฐานที่สำคัญสำหรับการออกแบบวงจรในรูปแบบวงจรรวม ด้วยกระบวนการผลิตซีมอส และเป็นหัวใจหลักของงานวิจัยทั้งหมดในวิทยานิพนธ์นี้ โดยจะแสดงให้เห็นถึงการทำงานทั้งที่ความถี่ต่ำและความถี่สูง เพื่อให้มีความเข้าใจถึงการจำกัดความถี่ทำงานของมอสทรานซิสเตอร์ นอกจากนี้ยังได้กล่าวถึงทฤษฎีสายส่งสัญญาณและสายส่งเทียม ท้ายสุดจะกล่าวถึงวงจรขยายคาสโคด และวงจรขยายเชิงกระจายซึ่งมีสายส่งเทียมเป็นองค์ประกอบหลัก ทำให้วงจรมีแบนด์วิดท์กว้าง โดยทฤษฎีที่กล่าวถึงในบทนี้จะนำไปใช้วิเคราะห์และออกแบบวงจรในบทต่อๆ ไป

2.2 โครงสร้างของมอสทรานซิสเตอร์ [30]

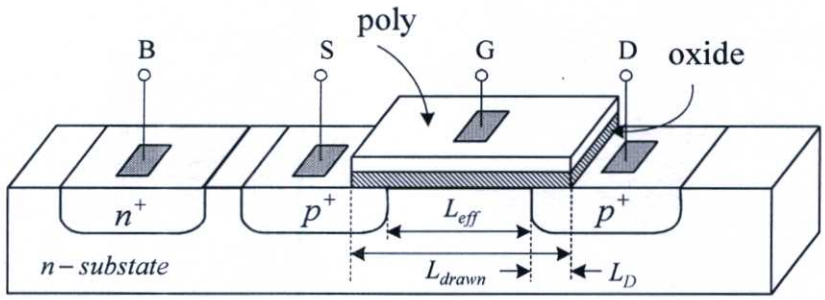


รูปที่ 2.1 โครงสร้างทางกายภาพของมอสทรานซิสเตอร์ชนิดเอ็น

รูปที่ 2.1 แสดงโครงสร้างทางกายภาพของมอสทรานซิสเตอร์ชนิดเอ็น (n-type) ในกระบวนการผลิตซีมอสเรียกย่อว่า เอ็นมอส โครงสร้างของมอสทรานซิสเตอร์ชนิดเอ็นประกอบขึ้นจากสารกึ่งตัวนำชนิดพี (p-type) ซึ่งเรียกว่าบัลค์ (Bulk) หรือบอดี้ (Body) โดยที่ส่วนของเดรน (D) และซอร์ส (S) จะมีการเจือสารชนิดเอ็นระดับสูง (Heavily doped n region, n^+) โดยมีส่วนของเกต (G) ที่ประกอบขึ้นจากวัสดุโพลีซิลิกอนเรียกย่อว่า โพลี อยู่ระหว่างกลาง และระหว่างส่วนของเกตกับบอดี้จะมีชั้นฉนวนซิลิกอนไดออกไซด์ (SiO_2) คั่นอยู่ ซึ่งกลไกการทำงานของมอสทรานซิสเตอร์จะเกิดขึ้นบริเวณสารกึ่งตัวนำในส่วนของบอดี้ที่อยู่ใต้บริเวณเกตและฉนวนซิลิกอนไดออกไซด์นี้เป็นหลัก

จากโครงสร้างของมอสทรานซิสเตอร์ในรูปที่ 2.1 จะเห็นว่าส่วนของเดรนและซอร์สมีความสมมาตรกัน (Symmetry) โดยมิติตามแนวจากซอร์สถึงเดรนที่บริเวณเกตเรียกว่า ความยาวช่องกระแส (Channel length: L) และมิติตามแนวตั้งฉากกับความยาวนี้เรียกว่าความกว้าง (Width: W) ซึ่งขั้นตอนการเจือสารเอ็นเพื่อสร้างส่วนของซอร์สและเดรนบนสารกึ่งตัวนำชนิดพีนั้น นอกเหนือจากการแพร่ตามแนวดิ่งแล้ว ยังเกิดการแพร่ตามแนวขวางของสารเจือเข้าไปใต้บริเวณเกต ทำให้ความยาวช่องกระแสของมอสทรานซิสเตอร์สั้นลงกว่าที่กำหนดในโครงสร้างทางกายภาพอยู่เล็กน้อย โดยที่ค่าความยาวประสิทธิผล L_{eff} (Effective Length) จะมีค่าเท่ากับผลต่าง $L_{\text{drawn}} - 2L_D$ โดยที่ L_{drawn} คือความยาวของโครงสร้างทางกายภาพ ส่วน L_D คือความยาวของส่วนแพร่สารเจือไปด้านข้างในแต่ละด้านของบริเวณซอร์สหรือเดรน อนึ่ง การทำงานของมอสทรานซิสเตอร์จะขึ้นอยู่กับค่า L_{eff} และความหนาของชั้นฉนวนซิลิกอนไดออกไซด์ t_{ox} เป็นหลัก

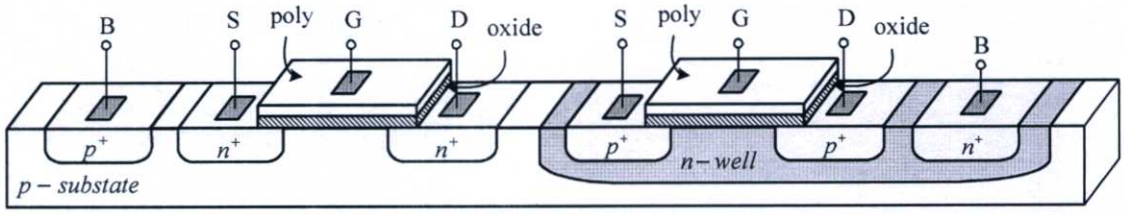
โครงสร้างของมอสทรานซิสเตอร์ที่กล่าวมานั้นเป็นกรณีของชนิดเอ็น ซึ่งในกระบวนการผลิตวงจรรวม สามารถสร้างมอสทรานซิสเตอร์ชนิดพีซึ่งมีคุณลักษณะที่เติมเต็มการทำงานของเอ็นมอสได้ โดยโครงสร้างพีมอสนั้นชนิดของสารเจือในบริเวณต่างๆ จะตรงข้ามกับเอ็นมอสนั่นคือจากสารเจือพีในโครงสร้างเอ็นมอสจะเปลี่ยนเป็นชนิดเอ็นในโครงสร้างพีมอส โดยโครงสร้างทางกายภาพของมอสทรานซิสเตอร์ชนิดพีแสดงได้ดังรูปที่ 2.2



รูปที่ 2.2 โครงสร้างทางกายภาพของมอสทรานซิสเตอร์ชนิดพี

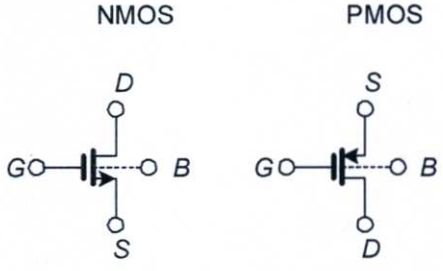
กระบวนการผลิตวงจรรวมที่มีทั้งมอสทรานซิสเตอร์ชนิดเอ็นและพีนั้นมีชื่อเรียกว่ากระบวนการผลิตแบบคู่ประกอบชนิดโลหะ-ออกไซด์-สารกึ่งตัวนำ (Complementary metal-oxide-semiconductor process: CMOS process) หรือกระบวนการผลิตซีมอส และเรียกมอสทรานซิสเตอร์ทั้งสองว่าเป็นชนิดคู่ประกอบ (Complementary MOS transistors: CMOS) หรือซีมอสทรานซิสเตอร์ เพื่อให้สามารถสร้างซีมอสทรานซิสเตอร์บนฐานรอง (Substrate) เดียวกันได้ จะต้องอาศัยการสร้างทรานซิสเตอร์ชนิดใดชนิดหนึ่งในฐานรองตั้งต้น แล้วจึงสร้างอีกชนิดหนึ่งในบริเวณที่เรียกว่า บ่อ (Well) เพื่อให้เกิดการแยกจากกันอย่างเอกเทศระหว่างทรานซิสเตอร์ทั้งสองชนิด ซึ่งสำหรับ

กระบวนการผลิตยุคใหม่บ่อที่สร้างขึ้นจะเป็นชนิดเอ็น (N-well process) หรือเรียกว่า บ่อเอ็น และฐานรองตั้งต้นจะสร้างจากสารกึ่งตัวนำชนิดพี โดยที่เอ็นมอสจะสร้างบนฐานรองพี ส่วนพีมอสจะสร้างภายในบ่อเอ็น โครงสร้างของเอ็นมอสและพีมอสในกระบวนการผลิตซีมอสสามารถแสดงได้ดังรูปที่ 2.3



รูปที่ 2.3 โครงสร้างทางกายภาพของซีมอสที่ใช้เทคโนโลยีการผลิตแบบ n-well

ทั้งนี้ เพื่อให้เกิดการไบแอสแบบย้อนกลับของรอยต่อพีเอ็นระหว่างส่วนซอร์ส/เดรน และส่วนบอดี้ ในส่วนของพีมอสเราจะต่อบริเวณบ่อเอ็นเข้ากับระดับแรงดันสูงสุดของวงจร



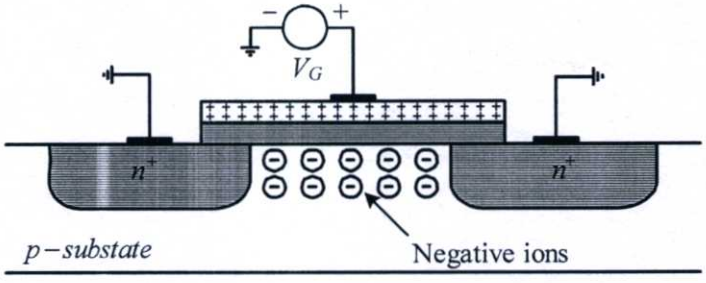
รูปที่ 2.4 สัญลักษณ์ของมอสทรานซิสเตอร์

รูปที่ 2.4 แสดงสัญลักษณ์ของเอ็นมอสและพีมอส ซึ่งประกอบด้วยขั้วสี่ขั้ว นั่นคือ ขั้วเกต (G) ขั้วซอร์ส (S) ขั้วเดรน (D) และขั้วบอดี้ (B) แต่เนื่องจากโดยปกติแล้วขั้วบอดี้จะต่ออยู่กับแรงดันต่ำสุดสำหรับเอ็นมอส และแรงดันสูงสุดสำหรับพีมอส เราจึงสามารถที่จะละเลยไม่แสดงขั้วบอดี้ในสัญลักษณ์ได้

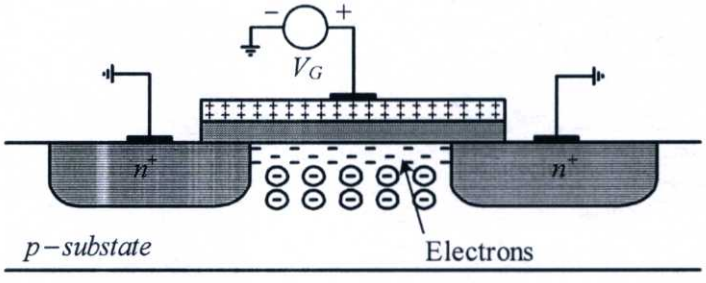
2.3 คุณลักษณะเชิงแรงดัน-กระแสของมอสทรานซิสเตอร์

ในหัวข้อนี้เราจะศึกษากลไกการเกิดและการเคลื่อนที่ของประจุต่างๆ ในโครงสร้างมอสทรานซิสเตอร์ ซึ่งเป็นพื้นฐานในการวิเคราะห์หาคุณลักษณะ (Characteristic) เชิงความสัมพันธ์ระหว่างแรงดันที่ขั้วต่างๆ และกระแสเดรนของมอสทรานซิสเตอร์ ในการวิเคราะห์เราจะสมมติให้

มอสทรานซิสเตอร์มีค่าความยาวช่องกระแส L ที่ยาวมาก (Long channel devices) จนสามารถประมาณได้ว่าระดับความเข้มสนามไฟฟ้า (Electric field) ภายในช่องกระแสมีค่าต่ำมาก



(ก)



(ข)

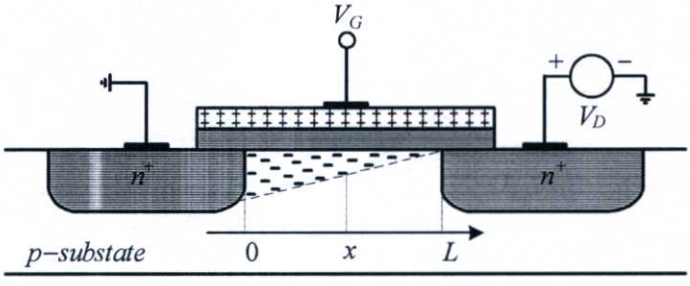
รูปที่ 2.5 การเกิดและการเคลื่อนย้ายประจุในมอสทรานซิสเตอร์ชนิดเอ็น (ก) ชั้นปลอดพาหะ และ (ข) ชั้นกลับของอิเล็กตรอน

พิจารณามอสทรานซิสเตอร์ชนิดเอ็นในรูปที่ 2.5 (ก) ขณะที่จ่ายแรงดันให้ขั้วเกตมีค่ามากขึ้น จะเกิดประจุบวกที่บริเวณขั้วเกต ทำให้มีเส้นแรงไฟฟ้า (Electric flux) พุ่งจากประจุไปยังส่วนบนของบริเวณบอดี้ใต้เกตซึ่งเป็นสารกึ่งตัวนำชนิดพี ทำให้เกิดแรงผลักประจุพาห์ชนิดบวกเสมือนหรือโฮล (Hole) ในบริเวณพื้นผิวของสารกึ่งตัวนำพีให้เคลื่อนที่เข้าไปในเนื้อสารกึ่งตัวนำ ยังผลให้เกิดประจุตรึงขั้วลบ (Fixed negative charge) ในส่วนบนของบริเวณบอดี้จากการที่อะตอมสารกึ่งตัวนำพีสูญเสียโฮล โดยเส้นแรงไฟฟ้าจากบริเวณเกตทั้งหมดจะสิ้นสุดลงที่กลุ่มของประจุตรึงลบนี้ ดังนั้น ปริมาณประจุจึงเท่ากับปริมาณเส้นแรงไฟฟ้า เมื่อแรงดันเกตเพิ่มขึ้นจนถึงค่าหนึ่ง ซึ่งเรียกว่าระดับแรงดันขีดเริ่ม (Threshold voltage: V_{TH}) บริเวณพื้นผิวของช่องกระแสจะปลอดจากประจุเคลื่อนที่โฮลโดยสมบูรณ์ และเมื่อเพิ่มแรงดันเกตขึ้นไปอีก จะทำให้เกิดชั้นกลับ (Inversion layer) ในสารกึ่งตัวนำพีบริเวณช่องกระแส นั่นคือเกิดประจุพาห์ลบหรืออิเล็กตรอนอิสระซึ่งจ่ายจาก

บริเวณซอร์สหรือเดรนเข้ามายังช่องกระแส ทำให้เกิดการนำกระแสระหว่างขั้วซอร์สและเดรน ดังรูปที่ 2.5 (ข) โดยเราสามารถแสดงได้ว่าแรงดันขีดเริ่มในมอสทรานซิสเตอร์มีค่าดังสมการ

$$V_{TH} = \phi_{MS} + 2\phi_F + \frac{Q_{dep}}{C_{ox}} \tag{2.1}$$

เมื่อ ϕ_{MS} คือความแตกต่างระหว่างฟังก์ชั่นงาน (Work function) ของวัสดุโพลีซิลิกอนที่บริเวณเกตกับบอดี้ซึ่งเป็นสารกึ่งตัวนำชนิดซิลิกอน $\phi_F = (kT/q)\ln(N_{sub}/n_i)$ โดยที่ q คือประจุอิเล็กตรอน N_{sub} คือความหนาแน่นของสารเจือในบริเวณบอดี้ n_i คือความหนาแน่นประจุพาห์ในสารกึ่งตัวนำอินทรินซิก $Q_{dep} = \sqrt{4q\varepsilon_{si}\,|\phi_F|\,N_{sub}}$ คือปริมาณประจุตรึงในบริเวณปลอดพาหะ (Depletion region) ของช่องกระแส ε_{si} คือค่าคงตัวไดอิเล็กทริกของสารกึ่งตัวนำชนิดซิลิกอน และ C_{ox} คือค่าความเก็บประจุต่อหนึ่งหน่วยพื้นที่ของตัวเก็บประจุออกไซด์ใต้บริเวณเกต



รูปที่ 2.6 ลักษณะการกระจายของความหนาแน่นประจุพาห์ตามแนวช่องกระแส

ที่กล่าวมาข้างต้นเราได้อธิบายถึงคุณลักษณะของการกระจายประจุในบริเวณสารกึ่งตัวนำของช่องกระแส โดยสมมติให้ค่าแรงดันตามแนวช่องกระแสมีค่าคงที่เท่ากันทุกๆ จุด หรืออีกนัยหนึ่งคือแรงดันระหว่างขั้วซอร์สและเดรนมีค่าเป็นศูนย์ ($V_{ds} = 0$) ซึ่งส่งผลให้ปริมาณประจุพาห์อิเล็กตรอนในช่องกระแสขึ้นอยู่กับแรงดันเกตที่เหนือระดับขีดเริ่มเท่านั้น อย่างไรก็ดี เมื่อมีการจ่ายแรงดันระหว่างขั้วซอร์สและเดรนมีค่ามากกว่าศูนย์ จะทำให้เกิดการเปลี่ยนแปลงของระดับแรงดันตามแนวช่องกระแส โดยเพิ่มจากระดับศูนย์ที่บริเวณขั้วซอร์สไปสู่ค่า V_{ds} ที่บริเวณขั้วเดรน ดังนั้นจึงทำให้แรงดันมีความแตกต่างกันระหว่างบริเวณขั้วเกตกับบริเวณช่องกระแส และมีค่าลดลงตามแนวยาวจากบริเวณซอร์สสู่เดรน ส่งผลให้ปริมาณอิเล็กตรอนอิสระของชั้นกลับมีค่าสูงสุดที่บริเวณขั้วซอร์ส และลดค่าลงเรื่อยๆ ตามแนวช่องกระแสจนมีค่าต่ำสุดที่บริเวณขั้วเดรนของทรานซิสเตอร์ ซึ่งลักษณะการกระจายของความหนาแน่นประจุพาห์ตามแนวช่องกระแสแสดงได้ดังรูปที่ 2.6 โดยมีความสัมพันธ์เป็นไปตามสมการ

$$Q_n(x) = -C_{ox}\left[V_{gs} - V(x) - V_{TH}\right] \tag{2.2}$$

เมื่อ $Q_n(x)$ คือความหนาแน่นประจุที่ตำแหน่ง x (แนวของช่องกระแส) $C_{ox} = \varepsilon_{ox} / t_{ox}$ เป็นค่าความเก็บประจุต่อหนึ่งหน่วยพื้นที่ของบริเวณฉนวนใต้เกต และ $V(x)$ คือค่าแรงดันที่ตำแหน่ง x ส่วนเครื่องหมายของ $Q_n(x)$ ที่ติดลบแสดงว่าประจุของอิเล็กตรอนอิสระมีค่าเป็นลบนั่นเอง

2.3.1 คุณลักษณะในย่านการทำงานเชิงเส้น

เราจะเริ่มพิจารณาคุณลักษณะของกระแสเดรนกับแรงดันของมอสทรานซิสเตอร์ในกรณีที่แรงดันเกต-ซอร์ส (V_{gs}) มีค่าสูงกว่าค่าขีดเริ่ม V_{TH} และแรงดันเดรน-ซอร์สมีค่าต่ำเพียงพอที่จะทำให้เกิดชั้นกลับตลอดแนวช่องกระแสจากบริเวณขั้วซอร์สไปยังขั้วเดรน จากสมการที่ (2.2) เราทราบว่าประจุพาห์จะมีปริมาณมากกว่าศูนย์เมื่อเกิดเงื่อนไข $V_{gs} - V(x) - V_{TH} \geq 0$ ดังนั้นแรงดันสูงสุดที่ขั้วเดรน ณ ตำแหน่ง $x = L$ จะมีค่าเท่ากับ $V(L) = V_{ds}$ ความสัมพันธ์ที่เป็นเงื่อนไขขอบเขตของการเกิดชั้นประจุกลับตลอดแนวช่องกระแสจะเขียนได้เป็น

$$V_{gs} - V_{TH} = V_{dsat} \geq V_{ds} \tag{2.3}$$

ซึ่งจะเรียก V_{ds} ณ จุดนี้ว่าแรงดันเดรน-ซอร์สอิ่มตัว (Drain-source saturation voltage: V_{dsat}) และในส่วนของย่านทำงานของมอสทรานซิสเตอร์ตามเงื่อนไขในสมการที่ (2.3) จะเรียกว่าย่านเชิงเส้น (Linear region) หรือย่านไตรโอด (Triode region) ซึ่งปริมาณกระแสที่ไหลผ่านช่องกระแสของมอสทรานซิสเตอร์จะมีค่าเท่ากับ

$$I_D = -WQ_n(x)v(x) \tag{2.4}$$

โดยที่ W คือความกว้างของช่องกระแส $Q_n(x)$ และ $v(x)$ คือค่าความหนาแน่นและความเร็วของประจุพาห์ ณ ตำแหน่ง x ตามลำดับ จากข้อสมมติที่ให้ช่องกระแสมีความยาวมากซึ่งทำให้ระดับสนามไฟฟ้าตามแนวช่องกระแสมีค่าต่ำ ดังนั้นความเร็วประจุ $v(x)$ จะเป็นเพียงผลคูณระหว่างความคล่องตัว (Mobility) ของประจุพาห์อิเล็กตรอน μ_n กับความเข้มสนามไฟฟ้า $E = -dV(x)/dx$ ทำให้สมการที่ (2.4) เขียนได้เป็น

$$I_D = WC_{ox}\left[V_{gs} - V(x) - V_{TH}\right]\mu_n \frac{dV(x)}{dx} \tag{2.5}$$

และ

$$I_D dx = \mu_n WC_{ox}\left[V_{gs} - V(x) - V_{TH}\right]dV(x) \tag{2.6}$$

ภายใต้เงื่อนไขขอบเขต $V(0) = V_S = 0$ และ $V(L) = V_{ds}$ เมื่อทำการหาปริพันธ์ทั้งสองด้านของสมการจะได้

$$\int_0^L I_D dx = \int_{V=0}^{V_{ds}} \mu_n W C_{OX} \left[V_{gs} - V(x) - V_{TH} \right] dVx \tag{2.7}$$

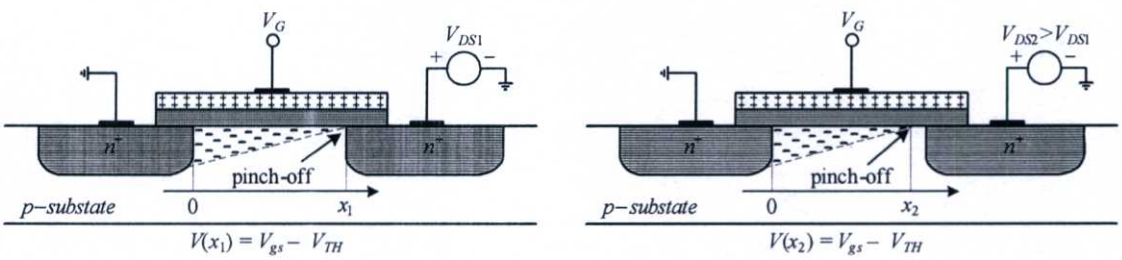
และเนื่องจาก I_D มีค่าคงที่ตามแนวช่องกระแส ผลลัพธ์จากสมการที่ (2.7) จึงเท่ากับ

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[\left(V_{gs} - V_{TH} \right) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \tag{2.8}$$

จากความสัมพันธ์ในสมการที่ (2.8) จะเห็นว่าที่แรงดันเดรน-ซอร์ส V_{ds} มีค่าต่ำ เราจะสามารถละเลยเทอม V_{ds}^2 ได้ ยังผลให้ความสัมพันธ์ของกระแสเดรน I_D กับแรงดันเดรน-ซอร์ส V_{ds} เป็นเชิงเส้น นั่นคือมอสทรานซิสเตอร์ที่ทำงานในย่านนี้จะประพฤติตัวเสมือนเป็นตัวต้านทาน ทำให้เรียกย่านทำงานในช่วงนี้ว่าย่านเชิงเส้น (Linear region)

2.3.2 คุณลักษณะในย่านการทำงานอิ่มตัว

ในกรณีที่ระดับแรงดันเดรน-ซอร์ส V_{ds} มีค่าสูงกว่า $V_{dsat} - V_{gs} - V_{TH}$ จะทำให้เกิดการขาดตอนของชั้นกลับประจุบริเวณช่องกระแสด้านเดรน เนื่องจาก $Q_d(x) = 0$ ณ ตำแหน่งที่ x ใกล้เคียงกับความยาว L ซึ่งเราเรียกว่าปรากฏการณ์พินช์ออฟ (Pinch off) ของช่องกระแส ดังแสดงในรูปที่ 2.7 ผลของปรากฏการณ์นี้ทำให้ระดับของสนามไฟฟ้าในบริเวณช่องกระแสที่ยังมีชั้นกลับประจุมีค่าค่อนข้างคงที่ไม่เพิ่มขึ้นตามระดับของ V_{ds} ยังผลให้กระแสเดรนของมอสทรานซิสเตอร์มีค่าคงที่ไม่ขึ้นกับระดับแรงดัน V_{ds} ซึ่งเราจะเรียกการทำงานของมอสทรานซิสเตอร์ในย่านนี้ว่าย่านอิ่มตัว (Saturation region)



รูปที่ 2.7 ปรากฏการณ์พินช์ออฟของช่องกระแส

การคำนวณสมการคุณลักษณะในย่านอิ่มตัวทำได้โดยการแทนค่า $V_{dsat} = V_{gs} - V_{TH}$ ตามเงื่อนไขขอบเขตในสมการที่ (2.3) ลงในสมการที่ (2.8) ซึ่งจะได้ว่า

$$I_D = \frac{\mu_n C_{ox}}{2}\frac{W}{L}\left(V_{gs} - V_{TH}\right)^2 \tag{2.9}$$

ความสัมพันธ์ข้างต้น แสดงให้เห็นคุณลักษณะแบบกฎกำลังสอง (Square law) ของมอสทรานซิสเตอร์ที่ทำงานในย่านอิ่มตัว

ถึงแม้การวิเคราะห์ที่ผ่านมาจะได้แสดงเฉพาะกรณีของเอ็นมอส เราสามารถที่จะทำการวิเคราะห์ได้ในทำนองเดียวกันกับพีมอส ซึ่งจะทำให้ได้ความสัมพันธ์ระหว่างกระแสกับแรงดันสำหรับการทำงานในย่านเชิงเส้นในช่วงของแรงดัน $|V_{ds}| \le V_{dsat} = |V_{gs} - V_{TH}|$ เป็นไปตามสมการ

$$I_D = -\mu_p C_{ox}\frac{W}{L}\left[\left(V_{gs} - V_{TH}\right)V_{ds} - \frac{1}{2}V_{ds}^2\right] \tag{2.10}$$

และความสัมพันธ์สำหรับการทำงานในย่านอิ่มตัวที่ $V_{sd} > V_{dsat}$ เท่ากับ

$$I_D = -\frac{\mu_p C_{ox}}{2}\frac{W}{L}\left(V_{gs} - V_{TH}\right)^2 \tag{2.11}$$

โดยที่แรงดันขีดเริ่มของพีมอสมีค่าติดลบ ($V_{TH} < 0$) เครื่องหมายลบหน้าสมการของกระแสเดรนเป็นผลจากข้อสมมติก่อนหน้านี้ในกรณีการวิเคราะห์คุณลักษณะของเอ็นมอสที่กำหนดให้กระแส I_D ไหลจากขั้วเดรนไปยังขั้วซอร์ส ซึ่งตรงข้ามกับในพีมอสที่กระแส I_D ไหลจากขั้วซอร์สไปยังขั้วเดรน นอกจากนี้ข้อแตกต่างที่สำคัญอีกประการคือตัวแปรความคล่องตัว μ ของประจุพาห์ซึ่งในกรณีเอ็นมอสที่อาศัยอิเล็กตรอนอิสระจะมีค่า μ_n มากกว่าค่า μ_p ของพีมอสที่อาศัยประจุพาห์โฮลอยู่ประมาณสองถึงสี่เท่า ด้วยเหตุผลนี้เองทำให้พีมอสมีความสามารถในการขับกระแส (Driving capability) และช่วงความถี่ใช้งาน (Operating frequency) ที่ต่ำกว่าเอ็นมอส

สำหรับมอสทรานซิสเตอร์ที่ทำงานในย่านอิ่มตัวนั้น เราสามารถคำนวณค่าส่งผ่านความนำ g_m (Transconductance) ซึ่งแสดงถึงความสามารถในการแปลงสัญญาณแรงดันที่เกต V_{gs} เป็นสัญญาณกระแสเดรน I_D โดยอาศัยสมการ (2.9) หรือ (2.11) ได้เป็น

$$g_m = \frac{\partial I_D}{\partial V_{gs}} = \mu_{n,p} C_{ox}\frac{W}{L}\left(V_{gs} - V_{TH}\right) \tag{2.12}$$

ส่วนในกรณีของมอสทรานซิสเตอร์ที่ทำงานในย่านเชิงเส้น ค่าความต้านทาน R_{ds} ระหว่างขั้วเดรนและซอร์ส สำหรับกรณีที่ V_{ds} มีค่าต่ำจะสามารถประมาณได้จากสมการที่ (2.10) โดยที่

$$I_D \approx \mu_{n,p} C_{ox} \frac{W}{L}\left(V_{gs} - V_{TH}\right)V_{ds} \tag{2.13}$$

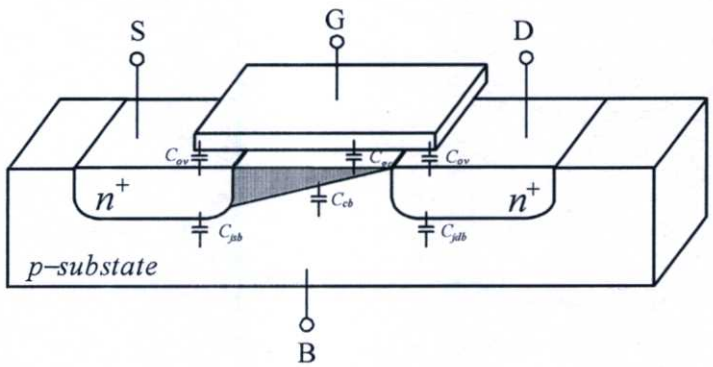
ดังนั้น จะได้ว่า

$$\frac{\partial I_D}{\partial V_{ds}} = \frac{1}{R_{ds}} = \mu_{n,p} C_{ox} \frac{W}{L}\left(V_{gs} - V_{TH}\right) \tag{2.14}$$

ซึ่งจะเห็นได้ว่าเราสามารถใช้มอสทรานซิสเตอร์ที่ทำงานในย่านเชิงเส้นเป็นตัวต้านทานแบบปรับค่าได้ โดยที่ขั้วเดรนและซอร์สเป็นขั้วของตัวต้านทาน และขั้วเกตใช้ในการควบคุมค่าความต้านทาน โดยที่เมื่อขนาดแรงดัน $|V_{gs} - V_{TH}|$ มีค่าสูงจะทำให้ความต้านทาน R_{ds} ต่ำลง เนื่องจากประจุพาห์ของชั้นกลับในช่องกระแสมีปริมาณมากขึ้น

2.4 องค์ประกอบเชิงพลวัต (Dynamic components)

ที่ผ่านมาเราได้พิจารณาคุณลักษณะทางไฟตรงของมอสทรานซิสเตอร์ ในหัวข้อนี้เราจะได้ทำการวิเคราะห์คุณลักษณะเชิงพลวัต (Dynamics) ที่เกี่ยวข้องกับความเก็บประจุในโครงสร้างมอสทรานซิสเตอร์ซึ่งมีผลในการจำกัดความถี่สูงสุดที่สามารถใช้งานได้ของอุปกรณ์ เพื่อให้ทราบถึงที่มาและระดับของสมรรถนะในเชิงความถี่ในทางปฏิบัติสำหรับกระบวนการผลิตวงจรรวมในปัจจุบันและอนาคต



รูปที่ 2.8 ความเก็บประจุที่ส่วนต่างๆ ของโครงสร้างมอสทรานซิสเตอร์

รูปที่ 2.8 แสดงลักษณะความเก็บประจุที่ส่วนต่างๆ ของโครงสร้างมอสทรานซิสเตอร์ เริ่มจากความเก็บประจุหลักระหว่างขั้วเกตกับช่องกระแส (Gate-to-channel intrinsic capacitance: C_{gc}) ซึ่งเป็นพื้นฐานของการชักนำ (Induction) จากเส้นแรงไฟฟ้าของบริเวณขั้วเกต ทำให้เกิดการกลับชั้นประจุพาห์ในบริเวณช่องกระแส (Channel inversion) โดยเราสามารถทำการประมาณในกรณีที่เกิดการกลับชั้นประจุแบบเข้ม (strong inversion) จากการพิจารณาโครงสร้างความเก็บประจุ C_{gc} ในลักษณะแผ่นโลหะขนานกัน จะได้ว่า

$$C_{gc} = C_{ox}W\left(L - 2L_D\right) \tag{2.15}$$

โดยที่ L_d คือระยะการแพร่ในแนวนอน (Lateral diffusion length) จากส่วนแพร่ของขั้วเดรนและขั้วซอร์สที่ขยายเข้าไปใต้บริเวณเกต ซึ่งทำให้ขนาดประสิทธิผลของช่องกระแสลดลงจากค่า L นอกจากนี้ระหว่างช่องกระแสกับบอดี้ของทรานซิสเตอร์ยังมีบริเวณปลอดพาหะเกิดขึ้นคั่นกลาง ทำให้เกิดความเก็บประจุระหว่างช่องกระแสกับบอดี้ (Channel-to-body capacitance: C_{cb}) ซึ่งสามารถประมาณได้ตามสมการ

$$C_{cb} \approx \frac{\varepsilon_{si}}{\chi_d}W\left(L - 2L_D\right) \tag{2.16}$$

เมื่อ χ_d คือความลึกของบริเวณปลอดพาหะ ซึ่งมีค่าเป็น

$$\chi_d = \sqrt{\frac{2\varepsilon_{si}}{qN_{sub}}\left|\phi_S - \phi_F\right|} \tag{2.17}$$

และ $|\phi_S - \phi_F|$ คือความแตกต่างระหว่างระดับแรงดันพื้นผิว ϕ_S (Surface potential) ของวัสดุสารกึ่งตัวนำในบริเวณช่องกระแสใต้ขั้วเกตกับระดับเฟอร์มิ ϕ_F (Fermi level) ภายในเนื้อสารกึ่งตัวนำ ซึ่งในกรณีที่เกิดการกลับชั้นที่พื้นผิวในย่านเข้มเราจะได้ว่า $|\phi_S - \phi_F| \approx 2\phi_F$

สำหรับความเก็บประจุแฝง (Parasitic capacitance) ในโครงสร้างจะประกอบไปด้วยความเก็บประจุชนิดรอยต่อพีเอ็นไบแอสย้อนกลับระหว่างบริเวณแพร่สารเจือที่ขั้วเดรนและขั้วซอร์สกับบอดี้คือตัวเก็บประจุ C_{jdb} และ C_{jsb} ตามลำดับ นอกจากนี้ยังมีความเก็บประจุในลักษณะแผ่นโลหะขนานระหว่างขั้วเกตกับขั้วซอร์สและระหว่างขั้วเกตกับขั้วเดรน ซึ่งเกิดจากส่วนที่เหลื่อมกัน (Overlap) ระหว่างบริเวณเกตและบริเวณสารเจือซอร์สและเดรนคือตัวเก็บประจุ C_{ov} ส่วนที่เหลื่อมกันนี้เกิดจากการแพร่ของสารเจือในแนวนอนที่ส่วนเดรนและซอร์ส ซึ่งมีระยะพอๆกับการแพร่ในแนวลึกเข้าไปในเนื้อของบอดี้ โดยระยะเหลื่อม L_D จากการแพร่แนวนอนภายหลังกระบวนการผลิตที่สมบูรณ์จะมีค่าประมาณ 2/3 ถึง 3/4 เท่าของความลึกบริเวณซอร์สและเดรน x_j ดังนั้นเราจะประมาณได้ว่า

$$C_{ov} \approx \frac{\varepsilon_{ox}}{t_{ox}}WL_d = 0.7WC_{ox}x_j \tag{2.18}$$

เมื่อ ε_{ox} คือค่าคงตัวไดอิเล็กทริกของบริเวณชั้นออกไซด์ใต้ขั้วเกต ($\varepsilon_{ox} \approx 3.9\varepsilon_o$) และ t_{ox} คือความหนาของชั้นออกไซด์ใต้ขั้วเกต นอกจากนี้ยังมีการเชื่อมโยงทางไฟฟ้าระหว่างบริเวณเกตไปยัง

ซอร์สและเดรนซึ่งเกิดขึ้นจากสนามริ้ว (Fringing field) ระหว่างขอบของเกตกับชั้นโลหะเชื่อมของซอร์สและเดรน ทำให้เกิดความเก็บประจุแฝงเพิ่มขึ้นจากกรณีของการเหลื่อมกันในสมการที่ (2.18)

อย่างไรก็ดีในการออกแบบวงจรรวมเรามักจะสนใจค่าความเก็บประจุระหว่างขั้วของทรานซิสเตอร์ ซึ่งสามารถวิเคราะห์ได้จากองค์ประกอบความเก็บประจุภายใน โดยการพิจารณาการแบ่งประจุของช่องกระแสระหว่างบริเวณขั้วซอร์ส ขั้วเดรนและบอดี้ ซึ่งจะมีสัดส่วนที่ขึ้นอยู่กับย่านทำงานและจุดทำงานของทรานซิสเตอร์เป็นหลัก โดยเราสามารถแสดงค่าความเก็บประจุแฝงของมอสทรานซิสเตอร์ในย่านทำงานต่างๆ ดังตารางที่ 2.1

ตารางที่ 2.1 ค่าความเก็บประจุแฝงระหว่างขั้วต่างๆ ของมอสทรานซิสเตอร์

Capacitance	Triode region	Saturation region
C_{gs}	$C_{gc}/2+C_{ov}$	$2C_{gc}/3+C_{ov}$
C_{gd}	$C_{gc}/2+C_{ov}$	C_{ov}
C_{db}	$C_{jdb}-C_{cb}/2$	C_{jdb}

2.5 คุณลักษณะในย่านความถี่สูงของมอสทรานซิสเตอร์

2.5.1 ตัวแปรบ่งสมรรถนะที่ความถี่สูง

ในการแสดงคุณลักษณะด้านความถี่สูงของมอสทรานซิสเตอร์จะมีตัวบ่งชี้ที่สำคัญและได้รับความนิยมคือ ค่าความถี่เปลี่ยนผ่านหรือความถี่แทรนซิชัน (Transition frequency: ω_T) และค่าความถี่สูงสุดที่ใช้งานได้ (Maximum frequency: $\omega_{\max}$) ในกรณีของ ω_T มีนิยามว่าคือความถี่ที่ทำให้อัตราขยายกระแส (Current gain) ของทรานซิสเตอร์มีค่าเท่ากับหนึ่ง ส่วนนิยามของ $\omega_{\max}$ คือความถี่ที่ทำให้อัตราขยายกำลัง (Power gain) ของวงจรขยายซึ่งมีการเข้าคู่ที่สมบูรณ์ทั้งด้านเข้าและออกมีค่าเท่ากับหนึ่ง

จากความสัมพันธ์ของ g_m ที่ได้แสดงไว้ในสมการที่ (2.12) และในส่วนของความเก็บประจุแฝง C_{gs} ซึ่งเราจะสมมติเพื่อให้ง่ายต่อการคำนวณว่ามีค่าเท่ากับ 2/3 ของ C_{gc} เราสามารถแสดงได้ว่าความถี่แทรนซิชันของมอสทรานซิสเตอร์ในย่านอิ่มตัวมีค่าเป็น

$$\omega_T \approx \frac{g_m}{C_{gs}} = \frac{3}{2}\frac{\mu_{n,p}(V_{gs}-V_{TH})}{L^2} \tag{2.19}$$

จะเห็นว่า ω_T นั้นแปรผกผันกับค่ากำลังสองของความยาวช่องกระแส และมีค่าแปรผันตามระดับของแรงดันขับเกต (Gate overdrive) หรือ $V_{gt}=V_{gs}-V_{TH}$ และความถี่ค่าสูงสุดจะเขียนได้เป็น

$$\omega_{\max} \approx \frac{1}{2}\sqrt{\omega_T / R_g C_{gd}} \tag{2.20}$$

จากสมการที่ (2.20) จะเห็นว่า $\omega_{\max}$ นั้นขึ้นอยู่กับ R_g และ C_{gd} ซึ่งทำให้มีการบ่งชี้ถึงสมรรถนะจริงในทางปฏิบัติมากกว่า ω_T โดยเฉพาะในกรณีที่มอสทรานซิสเตอร์ทำงานในย่านความถี่สูง

2.5.2 ปรากฏการณ์เวลาเคลื่อนผ่าน

เนื่องจากแบบจำลองของมอสทรานซิสเตอร์ที่กล่าวมาอาศัยอุปกรณ์ในลักษณะกลุ่มก้อน (Lumped element) จึงทำให้ไม่สามารถใช้งานได้ที่ความถี่สูงมากๆ เนื่องจากผลของปรากฏการณ์กระจาย (Distributed Effects) ที่เกิดขึ้นในตัวอุปกรณ์ โดยปกติแล้วเราจะสามารถใช้แบบจำลองในลักษณะกลุ่มก้อนได้ที่ความถี่ทำงานไม่เกินหนึ่งในสิบ (1/10) ของความถี่แทรนซิชั่น ω_T เมื่อความถี่มีค่าสูงขึ้น ผลจากปรากฏการณ์กระจายจะทำให้เราไม่สามารถที่จะละเลยระยะเวลาที่ประจุพาห์ใช้ในการเคลื่อนผ่านช่องกระแสของมอสทรานซิสเตอร์ได้ ซึ่งจะเรียกผลกระทบนี้ว่าความไม่เป็นกึ่งสถิตย์ (Non-Quasi Static Effect, NQS) ของประจุพาห์

เราสามารถเข้าใจผลกระทบของเวลาเคลื่อนผ่าน (Transit Time Effects) ได้โดยพิจารณากรณีมีการจ่ายแรงดันแบบขั้น (Step voltage) เข้าที่ขั้วเกต-ซอร์สของทรานซิสเตอร์ ซึ่งจะทำให้เกิดการชักนำประจุพาห์ในบริเวณช่องกระแส โดยประจุพาห์นี้ก็จะเคลื่อนที่ภายใต้สนามไฟฟ้าในแนวช่องกระแสจากบริเวณซอร์สไปสู่เดรน โดยจำเป็นต้องใช้ระยะเวลาช่วงหนึ่งเนื่องจากมีความเร็วที่จำกัด ดังนั้นจะเห็นได้ว่าเกิดการล้าหลังของกระแสเดรนที่ตอบสนองกับแรงดันเกต ซึ่งก็คือเกิดเวลาหน่วงในการส่งผ่านความนำของทรานซิสเตอร์ ผลจากความหน่วงของการส่งผ่านความนำนี้ทำให้เกิดการเปลี่ยนแปลงของค่าอิมพีแดนซ์ขาเข้าของทรานซิสเตอร์อันเป็นผลจากกลไกการป้อนกลับของประจุพาห์ที่มีความหน่วงในช่องกระแสไปยังขั้วเกต ผ่านความเก็บประจุระหว่างเกตกับช่องกระแส C_{gc} ทำให้ความสัมพันธ์ของมุมเฟสระหว่างแรงดันเกตกับกระแสเกตมีค่าต่ำกว่ามุมตั้งฉาก เราสามารถแสดงโดยการวิเคราะห์ว่าผลกระทบจากการป้อนกลับของประจุพาห์ที่มีความหน่วงข้างต้นทำให้เสมือนว่าเกิดส่วนจริงขึ้นในค่าแอดมิตแตนซ์ขาเข้าของมอสทรานซิสเตอร์ ซึ่งในกรณีที่ช่องกระแสมีความยาวมาก เราจะได้ว่าค่าความนำในลักษณะขนานมีค่าเท่ากับ

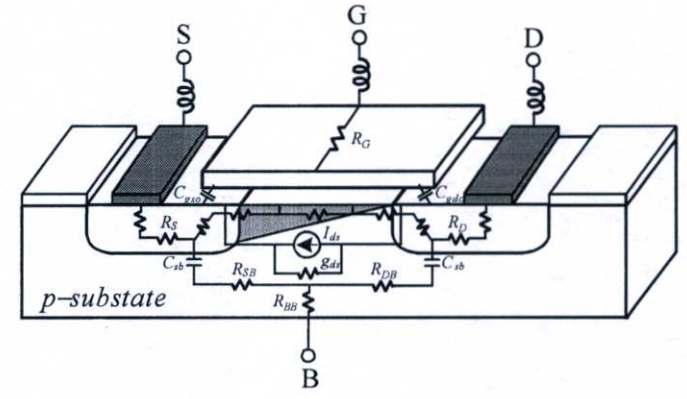
$$g_{NQS} \approx \frac{g_m}{5}\left(\frac{\omega}{\omega_T}\right)^2 \tag{2.21}$$

จะเห็นว่าความนำ g_{NQS} จากผลความหน่วงของประจุพาห์ในช่องกระแสมีค่าแปรผันกับความถี่ยกกำลังสอง ดังนั้น ที่ความถี่ต่ำกว่า ω_T มากๆ หรือ $\omega/\omega_T << 1$ (เช่นเท่ากับ 1/10) ค่า g_{NQS} จะต่ำมากจนกระทั่งสามารถละเลยได้ อย่างไรก็ดีผลกระทบในเชิงสัญญาณรบกวนของความนำ g_{NQS} อาจจะไม่

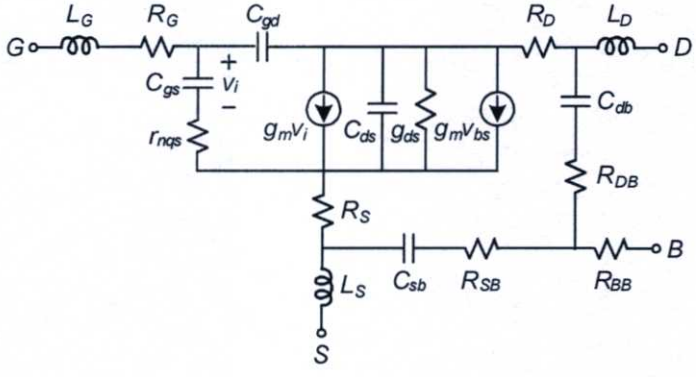
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

สามารถละเลยได้ โดยเฉพาะในวงจรสัญญาณรบกวนต่ำมาก ซึ่งจำเป็นต้องคิดผลจากแหล่งกำเนิดสัญญาณรบกวนนี้เข้าไว้ด้วย เพื่อให้สามารถออกแบบวงจรได้ตามสมรรถนะที่ต้องการ

อนึ่ง จากปรากฏการณ์ NQS ซึ่งเกิดจากความเร็วที่จำกัดของประจุพาห์ทำให้ต้องอาศัยเวลาค่าหนึ่งในการเคลื่อนที่ผ่านช่องกระแสยังผลให้เกิดการล้าหลังทางเฟสของค่าส่งผ่านความนำ g_m อีกทั้งยังส่งผลให้เกิดการเปลี่ยนแปลงของค่าอิมพีแดนซ์ขาเข้าที่ขั้วเกตในลักษณะที่มีความนำมาต่อขนานกัน เราสามารถแสดงแบบจำลองของมอสทรานซิสเตอร์ที่ความถี่สูงมากซึ่งได้รวมผลกระทบของปรากฏการณ์นี้ได้ดังรูปที่ 2.9



(ก)



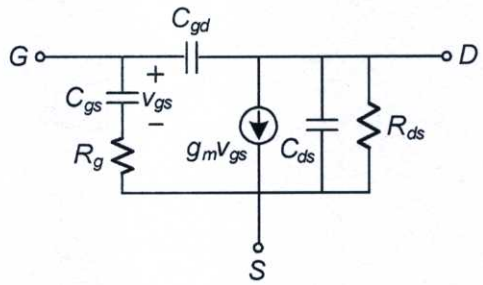
(ข)

รูปที่ 2.9 แบบจำลองของมอสทรานซิสเตอร์ที่ความถี่สูงมาก (ก) ลักษณะทางกายภาพ และ (ข) วงจรสมมูล

ในรูปที่ 2.9 (ข) จะเห็นว่าวงจรสมมูลที่ความถี่สูงมากได้รวมผลความต้านทานของเนื้อวัสดุและรอยต่อต่างๆ รวมถึงความเหนี่ยวนำของส่วนเชื่อมต่อที่ขั้วมอสทรานซิสเตอร์ ซึ่งความต้านทาน

105475

เหล่านี้เป็นส่วนสำคัญที่ทำให้เกิดการสูญเสีย เพื่อให้ง่ายต่อการพิจารณาจากรูปที่ 2.9 (ข) เราสามารถแสดงวงจรสมมูลอย่างง่ายของมอสทรานซิสเตอร์ได้ดังรูปที่ 2.10



รูปที่ 2.10 วงจรสมมูลอย่างง่ายของมอสทรานซิสเตอร์

จากรูปที่ 2.10 จะเห็นว่าที่ขั้วเกต-ซอร์สมีความต้านทานแฝง R_g อนุกรมกับความเก็บประจุแฝง C_{gs} และที่ขั้วเดรน-ซอร์สมี R_{ds} ขนานกับความเก็บประจุแฝง C_{ds} และค่าส่งผ่านความนำ g_m ในขณะที่ขั้วเกต-เดรนมีค่าความเก็บประจุแฝง C_{gd} ต่อยู่ ซึ่งความต้านทานแฝง R_g มีค่าเป็นหนึ่งในสาม (1/3) ของความต้านทานเกต R_G [31] โดยที่ R_G มีค่าเท่ากับ

$$R_G = \frac{1}{3/12}\frac{1}{N^2}\frac{W}{L}R_{\square} \tag{2.22}$$

เมื่อ $R_{\square}$ คือสภาพต้านทานที่ไฟตรงของวัสดุโพลีซิลิกอนที่ขั้วเกต และ N คือตัวเลขประกอบเชิงกระจายการเชื่อมต่อในเลย์เอาท์ นอกจากนี้ ปรากฏการณ์ NQS ยังส่งผลให้การส่งผ่านความนำของทรานซิสเตอร์มีการเปลี่ยนแปลงทางความถี่ทั้งขนาดและเฟส โดยที่ $g_m(\omega) = g_m/(1 + j\omega/\omega_{NQS})$ ซึ่งความถี่เชิงมุม ω_{NQS} สามารถแสดงได้ว่ามีค่าประมาณเท่ากับ

$$\omega_{NQS} \approx \frac{15}{4}\frac{\mu(V_{GS} - V_{TH})}{L^2} \tag{2.23}$$

ผลกระทบของโพลนี้จะทำให้เกิดความหน่วงในการเปลี่ยนแปลงของกระแสเดรน I_D เมื่อมีการเปลี่ยนแปลงแรงดันระหว่างขั้วเกตและขั้วซอร์ส V_{gs} ซึ่งจะจำกัดความถี่ทำงานของทรานซิสเตอร์

2.6 ฟิสิกส์ของมอสทรานซิสเตอร์ที่ความยาวช่องกระแสสั้น

การลดขนาดของมอสทรานซิสเตอร์อย่างต่อเนื่องในกระบวนการผลิตวงจรรวมซีมอสยุคใหม่ ทำให้ระดับความเข้มสนามไฟฟ้าภายในโครงสร้างมีค่าสูงขึ้น (High electric filed) ทำให้มี

ผลกระทบต่อคุณลักษณะด้านต่างๆของทรานซิสเตอร์ปรากฏเด่นชัดยิ่งขึ้น แม้ว่าระดับแรงดัน ณ จุดทำงานจะมีค่าไม่สูงมากนัก

ปรากฏการณ์จากสนามค่าสูงที่สำคัญคือ การอิ่มตัวของความเร็วประจุพาห์ในบริเวณช่องกระแส ในขณะที่ประจุพาห์เคลื่อนที่ในลักษณะลอยเลื่อน (Drift) ด้วยความเร็วสูง ผลของสนามไฟฟ้าที่สูงขึ้นจะทำให้เกิดการกระเจิง (Scattering) กับโฟนอน (Phonon) พลังงานสูงในโครงสร้างผลึกของสารกึ่งตัวนำ จนทำให้เกิดการอิ่มตัวของระดับความเร็วแม้จะมีการเพิ่มระดับสนามไฟฟ้าให้สูงขึ้น ในสารกึ่งตัวนำซิลิกอนนั้น การอิ่มตัวจะเกิดที่ระดับสนามไฟฟ้าประมาณ 10^6 โวลต์/เมตร โดยที่ค่าความเร็วลอยเลื่อนอิ่มตัวจะอยู่ที่ประมาณ 10^5 เมตร/วินาที

ในการวิเคราะห์หาสมการคุณลักษณะของทรานซิสเตอร์ที่มีช่องกระแสที่ค่อนข้างยาวนั้น กระแสเดรนในย่านทำงานอิ่มตัวจะมีค่าเท่ากับค่ากระแส ณ จุดพินช์ออฟของช่องสัญญาณ แต่สำหรับในกรณีที่ช่องกระแสมีค่าสั้น กระแสเดรนของทรานซิสเตอร์จะอิ่มตัวเมื่อความเร็วประจุพาห์ลู่เข้าสู่ค่าความเร็วอิ่มตัว เราสามารถวิเคราะห์ผลกระทบจากการอิ่มตัวของความเร็วต่อคุณลักษณะของทรานซิสเตอร์ในย่านอิ่มตัวได้ โดยพิจารณาสมการกระแสเดรน ตามสมการที่ (2.9) ซึ่งเขียนได้ใหม่เป็น

$$I_D = \frac{\mu C_{ox}}{2}\frac{W}{L}\left(V_{gs} - V_{TH}\right)V_{dsat,L} \tag{2.24}$$

ซึ่งในกรณีของช่องกระแสขนาดยาวมาก เราสามารถแทน $V_{dsat,L}$ ด้วยค่าแรงดันขับที่ขาเกตซึ่งมีค่าเท่ากับ $V_{gt} = V_{gs} - V_{TH}$ ได้ทันที ทำให้ได้กระแสเดรนที่อิ่มตัวในลักษณะของกฎกำลังสอง อย่างไรก็ดี ในกรณีที่ช่องกระแสมีขนาดสั้นมาก ปริมาณกระแสเดรนจะเริ่มอิ่มตัวเมื่อประจุพาห์เกิดการอิ่มตัวของความเร็วลอยเลื่อน ส่งผลให้ $V_{dsat,L}$ มีค่าต่ำกว่าแรงดันขับเกต V_{gt} โดยที่ความยาวช่องกระแส L ยิ่งเล็กลงค่า $V_{dsat,L}$ ที่ทำให้เริ่มเกิดความเร็วอิ่มตัวก็จะยิ่งลดลงตามไปด้วย

โดยการประมาณ เราสามารถวิเคราะห์ได้ว่าระดับแรงดันอิ่มตัว V_{dsat} ที่ขึ้นกับความยาวของช่องกระแส L จะมีค่าเป็นไปตามสมการ

$$V_{dsat} \approx \left(V_{gs} - V_{TH}\right) \| LE_{sat} = \frac{\left(V_{gs} - V_{TH}\right)\left(LE_{sat}\right)}{\left(V_{gs} - V_{TH}\right) + \left(LE_{sat}\right)} \tag{2.25}$$

ดังนั้นเราจะเขียนสมการกระแสเดรนอิ่มตัวได้เป็น

$$I_D = \frac{\mu C_{ox}}{2}\frac{W}{L}\left(V_{gs} - V_{TH}\right)\left[\left(V_{gs} - V_{TH}\right) \| LE_{sat}\right] \tag{2.26}$$

โดยที่ E_{sat} คือระดับสนามไฟฟ้าที่ทำให้ความเร็วลอยเลื่อนของประจุพาห์มีค่าลดลงเหลือครึ่งหนึ่งของความเร็วอิ่มตัว สมการที่ (2.25) บ่งชี้ว่าปรากฏการณ์ช่องกระแสสั้น (Short channel effect) ในมอสทรานซิสเตอร์ แท้จริงแล้วจะขึ้นอยู่กับอัตราส่วนระหว่างปริมาณ V_{gs}/L กับ E_{sat} เป็นหลัก ทั้งนี้ถ้าสัดส่วนนี้มีค่าต่ำ ทรานซิสเตอร์ก็จะยังคงคุณลักษณะตามสมการที่ (2.9) เหมือนกรณีช่องกระแสยาว แม้ว่าขนาดช่องกระแสจริงของทรานซิสเตอร์จะมีค่าสั้นมากก็ตาม อย่างไรก็ตาม การที่ช่องกระแสมีขนาดสั้นลงนั้น ระดับของ V_{gt} ที่ทำให้เกิดปรากฏการณ์ช่องกระแสสั้นจะมีค่าลดลงเนื่องจากอัตราส่วนข้างต้นนั้นแปรผกผันกับ L โดยอาศัยนิยามของสนามไฟฟ้าอิ่มตัว E_{sat} ที่กล่าวข้างต้น เราสามารถเขียนสมการกระแสเดรนอิ่มตัวได้เป็น

$$I_D = WC_{ox}\left(V_{gs} - V_{TH}\right)v_{sat}\left[1+\frac{LE_{sat}}{V_{gs}-V_{TH}}\right]^{-1} \tag{2.27}$$

ซึ่งค่าทั่วไปของ E_{sat} จะอยู่ที่ประมาณ 4×10^6 โวลต์/เมตร ในทางปฏิบัติค่า E_{sat} จะค่อนข้างขึ้นอยู่กับกระบวนการผลิต จากสมการที่ (2.27) ในกรณีที่อัตราส่วน V_{gs}/L ต่อ E_{sat} มีค่าสูงมาก จะได้ว่าค่ากระแสอิ่มตัวลู่เข้าหาสมการ

$$I_D = \frac{\mu C_{ox}}{2}W\left(V_{gs}-V_{TH}\right)E_{sat} \tag{2.28}$$

ซึ่งจะเห็นว่ากระแสเดรนอิ่มตัวที่เงื่อนไขนี้จะไม่ขึ้นกับขนาดของความยาวช่องกระแส L โดยที่ความสัมพันธ์ระหว่างกระแสเดรนกับแรงดันเกต-ซอร์สจะเป็นแบบเชิงเส้น แทนที่จะเป็นไปตามกฎกำลังสอง

เราลองมาพิจารณาผลจากปรากฏการณ์ช่องกระแสสั้นที่กระทบต่อตัวแปรบ่งชี้คุณลักษณะที่ความถี่สูง อย่างเช่น ω_T จากสมการ (2.28) เราจะได้ว่าค่าขีดจำกัดของการส่งผ่านความนำในมอสทรานซิสเตอร์ที่ทำงานในย่านอิ่มตัวในกรณีนี้จะเท่ากับ

$$g_m = \frac{\partial I_D}{\partial V_{gs}} = \frac{\mu C_{ox}}{2}WE_{sat} \tag{2.29}$$

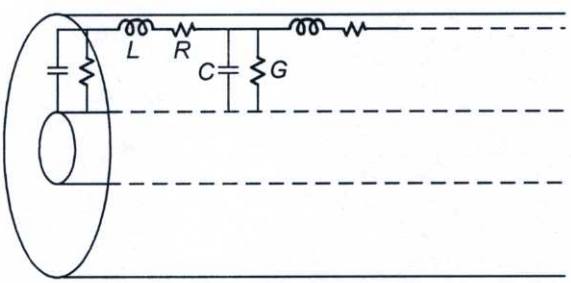
และถ้าเราทำการประมาณความเก็บประจุแฝง C_{gs} ของมอสทรานซิสเตอร์ด้วยค่าในกรณีช่องกระแสยาวที่ $C_{gs} \approx (2/3)WLC_{ox}$ นั่นคือ สมมติว่าช่องกระแสที่สั้นลงไม่มีผลกับการแบ่งประจุพาห์ในช่องกระแส เราจะได้ว่า

$$\omega_T \approx \frac{g_m}{C_{gs}} \approx I_D = \frac{(\mu C_{ox}/2)WE_{sat}}{\frac{2}{3}WLC_{ox}} = \frac{3}{4}\frac{\mu E_{sat}}{L} \tag{2.30}$$

นั่นคือความถี่แทรนซิชั่น ω_T ในกรณีนี้จะแปรผกผันกับความยาว ($\propto 1/L$) แทนที่จะเป็นกำลังสองของความยาว ($\propto 1/L^2$) ดังเช่นในกรณีของช่องกระแสยาว นอกจากนี้ สมการที่ (2.30) ยังแสดงว่าค่า ω_T ของทรานซิสเตอร์ที่เกิดปรากฏการณ์ช่องกระแสสั้นจะไม่ขึ้นอยู่กับจุดทำงาน หรือแม้กระทั่งความหนาหรือองค์ประกอบของชั้นออกไซด์ซึ่งกำหนด C_{ox} ของอุปกรณ์แต่อย่างใด

2.7 สายส่งสัญญาณและสายส่งเทียม

2.7.1 สายส่งสัญญาณ

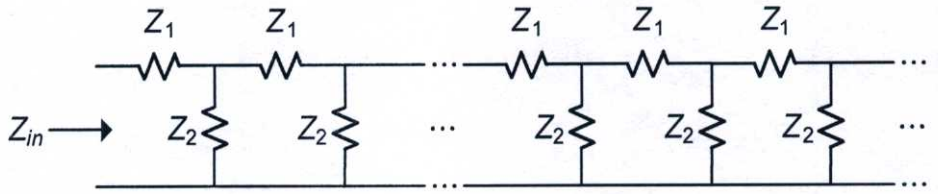


รูปที่ 2.11 โครงข่ายขั้นบันไดของสายส่งสัญญาณ

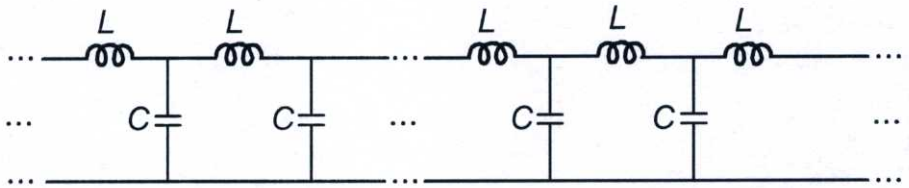
รูปที่ 2.11 แสดงโครงข่ายขั้นบันไดของสายส่งสัญญาณ จากรูปจะเห็นว่าลักษณะทางกายภาพของสายส่งประกอบด้วยเส้นตัวนำสองเส้นที่อยู่ใกล้กัน เพื่อให้สามารถกักเก็บกำลังงานของสัญญาณในบริเวณตัวกลางระหว่างเส้นตัวนำทั้งสอง ซึ่งช่วยลดการสูญเสียจากการแพร่กระจาย (Radiation loss) ของคลื่นสัญญาณ โดยทิศทางของสัญญาณจะเคลื่อนที่ไปตามแนวของเส้นคู่ตัวนำสายส่ง ทั้งนี้ การสูญเสียในรูปของความร้อน (Thermal loss) ยังเกิดขึ้นได้ในสนามแม่เหล็กของสายส่งจากผลความต้านทานของตัวนำ ซึ่งจำลองด้วยตัวต้านทานอนุกรม $R \neq 0$ นอกจากนี้ ยังมีการสูญเสียเชิงความร้อนในสนามไฟฟ้าของสายส่ง จากผลความนำในตัวกลางรอบตัวนำ ซึ่งจำลองได้ด้วยตัวนำขนาน $G \neq 0$

2.7.2 โครงสร้างแบบขั้นบันไดไม่สิ้นสุด [32]

เนื่องจากโครงสร้างของสายส่งพื้นฐานประกอบขึ้นจากโครงข่ายที่มีการซ้ำแบบขั้นบันไดต่อเนื่องไปไม่สิ้นสุด (Infinite ladder network) ดังนั้นในหัวข้อนี้เราจะได้แสดงการวิเคราะห์สายส่งสัญญาณด้วยโครงข่ายขั้นบันไดที่ไม่สิ้นสุดแสดงดังรูปที่ 2.12



(ก)



(ข)

รูปที่ 2.12 โครงข่ายขั้นบันไดไม่สิ้นสุด (ก) โครงข่าย R และ (ข) โครงข่าย LC

จากรูปที่ 2.12 (ก) จะเห็นว่าในแต่ละขั้นของโครงข่ายประกอบขึ้นจากอิมพีแดนซ์อนุกรม Z_1 และอิมพีแดนซ์ขนาน Z_2 ในการหาค่าอิมพีแดนซ์ขาเข้า Z_{in} ของโครงข่าย เราอาศัยคุณสมบัติความไม่สิ้นสุดซึ่งทำให้ค่าอิมพีแดนซ์ที่มองที่ขาเข้า Z_{in} เขียนได้ว่า

$$Z_{in} = Z_1 + Z_2 \| Z_{in} \tag{2.31}$$

หรือ

$$Z_{in}^2 - Z_1 Z_{in} - Z_2 = 0 \tag{2.32}$$

เมื่อทำการแก้สมการจะได้ว่า

$$Z_{in} = \frac{Z_1 \pm \sqrt{Z_1^2 + 4Z_1 Z_2}}{2} = \frac{Z_1}{2}\left[1 \pm \sqrt{1 + \frac{4Z_2}{Z_1}}\right] \tag{2.33}$$

ในกรณีที่เราพิจารณาอิมพีแดนซ์ที่ค่าลิมิตตามเงื่อนไข $|Z_1 / Z_2| << 1$ จะทำให้สมการ (2.33) ลู่เข้าสู่

$$Z_{in} = \sqrt{Z_1 Z_2} \tag{2.34}$$

ในกรณีของโครงข่ายขั้นบันไดเป็นตัวต้านทานดังรูปที่ 2.12 (ก) โดยที่ $Z_1 = Z_2 = R_x$ เราจะได้ว่า

$$Z_{in} = \left(\frac{1+\sqrt{5}}{2}\right) R_x \approx 1.618 R_x \tag{2.35}$$

สำหรับกรณีของโครงข่ายขั้นบันไดไม่สิ้นสุดซึ่งมี $Z_1 = j\omega L$ และ $Y_2 = 1/Z_2 = j\omega C$ ดังรูปที่ 2.12 (ข) เราจะได้ค่าอิมพีแดนซ์เท่ากับ

$$Z_{in} = \frac{j\omega L}{2} \pm \sqrt{-\frac{(\omega L)^2}{4} + \frac{L}{C}} \tag{2.36}$$

ในกรณีที่ค่า L และ C เป็นไปตามเงื่อนไข $|Z_1/Z_2| << 1$ นั่นคือ $\omega^2 LC << 1$ หรือ $\omega << 1/\sqrt{LC}$ ซึ่งเงื่อนไขนี้ทำให้เราก้าวข้ามจากโครงข่ายแบบกลุ่มก้อน (Lumped network) ไปสู่โครงข่ายแบบกระจาย (Distributed network) นั่นคือค่าอุปกรณ์ L และ C ของโครงข่ายมีขนาดเล็กมากจนเกือบเป็นศูนย์ ซึ่งทำให้เราไม่สามารถแยกโครงข่ายออกเป็นการเชื่อมต่อของอุปกรณ์ในลักษณะกลุ่มก้อนของ L และ C ได้อย่างชัดเจน จากเงื่อนไขข้างต้น ค่าอิมพีแดนซ์ Z_{in} จะลู่เข้าสู่

$$Z_{in} = \sqrt{L/C} \tag{2.37}$$

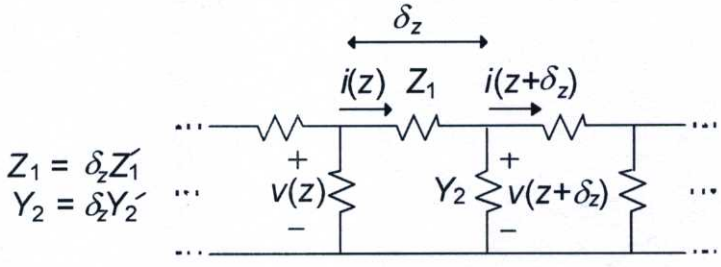
โดยจะเห็นว่าความสัมพันธ์ของ Z_{in} ในสมการที่ (2.37) ไม่ขึ้นอยู่กับความถี่ทั้งที่ประกอบขึ้นจากอุปกรณ์ตัวเหนี่ยวนำ L และตัวเก็บประจุ C ซึ่งขึ้นกับความถี่ นอกจากนี้ค่า Z_{in} ยังเป็นจำนวนจริงบวกแทนที่จะเป็นหรือมีส่วนของจำนวนจินตภาพจากผลของค่าอิมพีแดนซ์ของตัวเหนี่ยวนำหรือตัวเก็บประจุที่ปรากฏอยู่ ทั้งนี้เราทราบกันดีว่าส่วนจริงบวกของอิมพีแดนซ์จะเป็นส่วนที่มีการสูญเสียกำลังงาน นั่นหมายความว่าโครงข่าย LC แบบขั้นบันไดไม่สิ้นสุดจะมีการสูญเสียกำลังงานทั้งที่ส่วนประกอบ L และ C ของโครงข่ายเป็นอุปกรณ์ที่ไม่มีการสูญเสียกำลังงานใดๆ ในทางอุดมคติ ทั้งนี้ สาเหตุของการสูญเสียเป็นผลจากการที่โครงข่ายมีความยาวไม่สิ้นสุด โดยพลังงานที่ส่งเข้าไปจะมีการถ่ายโอนระหว่างตัวเหนี่ยวนำและตัวเก็บประจุอย่างต่อเนื่อง ในขณะที่เคลื่อนที่ผ่านแต่ละขั้นของโครงข่าย โดยที่พลังงานจะไม่ย้อนกลับมาที่ช่องทางเข้า ทำให้เสมือนกับว่าโครงข่ายมีการสูญเสียกำลังงาน

ในกรณีที่โครงข่ายขั้นบันไดมีความยาวจำกัด แต่เราทำการต่อปลายสายด้วยค่าที่เท่ากับอิมพีแดนซ์ขาเข้า Z_{in} ความสัมพันธ์ของ Z_{in} ในโครงข่ายนี้จะยังคงเหมือนกับโครงข่ายไม่สิ้นสุด เนื่องจากพลังงานที่เดินทางในโครงข่ายไม่สามารถที่จะแยกความแตกต่างระหว่างโครงข่ายไม่สิ้นสุดหรือตัวภาระค่า Z_{in} ที่ต่ออยู่ได้ โดยในกรณีของโครงข่ายกระจายตามเงื่อนไข $\omega << 1/\sqrt{LC}$ นั้น ค่าอิมพีแดนซ์ที่ต่อปลายเป็นค่าจริงตามสมการที่ (2.37) ทำให้พลังงานที่เดินทางมาถึงถูกแปลงเป็นพลังงานความร้อนโดยความต้านทาน

2.7.3 การวิเคราะห์คุณลักษณะของสายส่งโดยอาศัยโครงข่ายขั้นบันไดไม่สิ้นสุด

2.7.3.1 สมการเชิงเวลา-ฮาร์มอนิก

ในการวิเคราะห์ด้วยสมการเชิงเวลา-ฮาร์มอนิก เราจะพิจารณาที่ส่วนย่อยความยาว δ_z ของสายส่งที่ระยะ z ใดๆ จากช่องทางขาเข้า แสดงดังรูปที่ 2.13



รูปที่ 2.13 โครงข่ายส่วนย่อยความยาว δ_z

กำหนดให้ δ_z มีขนาดเล็กมาก เราสามารถเขียนความสัมพันธ์ระหว่างสัญญาณแรงดันที่ด้านขาเข้าและขาออกของส่วนย่อยของสายส่งนี้ได้เป็น

$$v(z+\delta_z) = v(z) - i(z)Z_1'\delta_z \tag{2.38}$$

ในทำนองเดียวกัน ความสัมพันธ์ของกระแสในส่วนย่อยของสายส่งจะเขียนได้เป็น

$$i(z) = i(z+\delta_z) + \delta_z Y_2' v(z+\delta_z) \tag{2.39}$$

โดยที่ Z_1' และ Y_2' คืออิมพีแดนซ์และแอดมิตแตนซ์ต่อหนึ่งหน่วยความยาว ซึ่งทำให้ Z_1 และ Y_2 ในรูปที่ 2.13 มีค่าเท่ากับ $Z_1 = Z_1'\delta_z$ และ $Y_2 = Y_2'\delta_z$ จากสมการที่ (2.38) และ (2.39) เราสามารถแปลงให้อยู่ในรูปผลต่างเชิงอนุพันธ์หรือดิฟเฟอเรนเชียลได้ โดยกำหนดให้ความยาวของส่วนย่อยลู่เข้าสู่ศูนย์ ($\delta_z \to 0$) ซึ่งจะได้ว่า

$$\frac{dv(z)}{dz} = -Z_1' i(z) \tag{2.40}$$

และ

$$\frac{di(z)}{dz} = -Y_2' v(z) \tag{2.41}$$

เมื่อนำสมการทั้งสองมารวมกันโดยการหาอนุพันธ์ของสมการที่ (2.40) และแทนค่าในสมการที่ (2.41) สำหรับแรงดัน $v(z)$ จะได้ดังสมการ

$$\frac{d^2v}{dz^2} = \gamma^2 v(z) \tag{2.42}$$

ในทำนองเดียวกัน โดยการหาอนุพันธ์ของ (2.41) และแทนค่าใน (2.40) เราจะได้สมการของกระแส $i(z)$ เป็น

$$\frac{d^2i}{dz^2} = \gamma^2 i(z) \tag{2.43}$$

เมื่อ $\gamma^2 = Z_1'Y_2'$ ทั้งนี้ คำตอบทั่วไปของชุดสมการข้างต้นจะอยู่ในรูปฟังก์ชั่นเลขยกกำลังเชิงซ้อน (Complex exponential function) โดยที่

$$g(z) = G^+e^{-\gamma z} + G^-e^{\gamma z} \tag{2.44}$$

ความสัมพันธ์ข้างต้นเป็นสมการคลื่นเคลื่อนที่ (Traveling wave) โดยมีเทอม G^+ เป็นส่วนของคลื่นที่เคลื่อนที่ไปข้างหน้า (Forward traveling wave) และเทอม G^- เป็นคลื่นที่เดินทางย้อนกลับหรือไปข้างหลัง (Reverse/backward traveling wave) ดังนั้นคำตอบของตัวแปรแรงดัน v และกระแส i ของส่วนย่อยสายส่งในสมการเชิงอนุพันธ์ที่ (2.42) และ (2.43) จะเขียนได้เป็น

$$v(z) = V^+e^{-\gamma z} + V^-e^{\gamma z} \tag{2.45}$$

$$i(z) = I^+e^{-\gamma z} - I^-e^{\gamma z} \tag{2.46}$$

ซึ่งจะเห็นว่ารูปแบบของสมการคลื่นที่ (2.44) แสดงการเคลื่อนที่ เนื่องจากเป็นฟังก์ชั่นของตำแหน่ง z ในกรณีที่ลักษณะคลื่นแรงดัน $v(z)$ และกระแส $i(z)$ เป็นแบบคลื่นรูปไซน์บริสุทธิ์ เราสามารถแสดงคำตอบของชุดสมการข้างต้นในเชิงเวลา-ฮาร์มอนิก (Time-harmonic solution) ซึ่งเป็นฟังก์ชั่นของทั้งเวลา t และตำแหน่ง z ได้เป็น

$$g(z,t) = G^+e^{(j\omega t - \gamma z)} + G^-e^{-(j\omega t + \gamma z)} \tag{2.47}$$

ดังนั้น สมการของแรงดัน v และกระแส i ในเชิงเวลา-ฮาร์มอนิกจะเขียนได้เป็น

$$v(z,t) = V^{+}e^{(j\omega t-\gamma z)} + V^{-}e^{-(j\omega t+\gamma z)} \tag{2.48}$$

$$i(z,t) = I^{+}e^{(j\omega t-\gamma z)} - I^{-}e^{-(j\omega t+\gamma z)} \tag{2.49}$$

ความสัมพันธ์ข้างต้นแสดงถึงคลื่นรูปไซน์ที่เคลื่อนในทิศทางไปข้างหน้า (เทอม G^{+}) และทิศทางย้อนกลับ (เทอม G^{-}) ส่วนพารามิเตอร์ γ เป็นจำนวนเชิงซ้อนที่แสดงถึงค่าคงตัวการแพร่ (Propagation constant) ของคลื่น โดยที่

$$\gamma = \alpha + j\beta \tag{2.50}$$

จากสมการที่ (2.48) และ (2.49) เราสามารถแสดงสมการในลักษณะที่แยกออกเป็นองค์ประกอบที่มีขนาดคงที่แต่มีการเปลี่ยนแปลงเชิงเฟสคูณกับส่วนที่มีการลดทอนหรือขยายแบบเลขยกกำลังตามระยะทาง z ได้เป็น

$$v(z,t) \text{ or } i(z,t) \propto e^{\pm\alpha z}e^{j\theta} = e^{\pm\alpha z}e^{j(\omega t\pm\beta z)} \tag{2.51}$$

โดยที่เทอมเฟสของเลขยกกำลังเชิงซ้อน $\theta = \omega t \pm \beta z$ นั้นเป็นฟังก์ชั่นของเวลา

$$\frac{d\theta}{dt} = \omega \pm \beta\frac{dz}{dt} \tag{2.52}$$

ในการหาค่าความเร็วคลื่น (Wave velocity) เราสามารถคำนวณได้โดยการเคลื่อนตามตำแหน่งจุดหนึ่งบนลูกคลื่น ซึ่งยังผลให้เฟสมีค่าคงที่ ดังนั้นเราจะได้ว่าอนุพันธ์ของสมการ (2.52) จะมีค่าเป็นศูนย์หรือ $d\theta/dt = 0$ ทำให้เราได้ความเร็วในการเคลื่อนที่ของตำแหน่งนั้นๆ ซึ่งก็คือค่าความเร็วเฟสของคลื่นมีค่าเป็นไปตามสมการ

$$v_p = \frac{dz}{dt} = \pm\frac{\omega}{\beta} \tag{2.53}$$

2.7.3.2 คุณสมบัติของสายส่ง

จากสมการที่ (2.45) และ (2.46) เราสามารถแสดงความสัมพันธ์ระหว่างสัมประสิทธิ์ V^{+}, V^{-}, I^{+} และ I^{-} ซึ่งแสดงถึงคลื่นแรงดันและกระแสที่เคลื่อนที่ไปข้างหน้าและ

ย้อนกลับตามลำดับ โดยการหาอนุพันธ์กับระยะทางของสมการข้างต้นและนำไปแทนในสมการความสัมพันธ์ตั้งต้นใน (2.40) และ (2.41) ซึ่งจะได้ว่า

$$-V^{+}\gamma e^{-\gamma z}+V^{-}\gamma e^{\gamma z}=-Z_1'\left(I^{+}e^{-\gamma z}+I^{-}e^{\gamma z}\right) \tag{2.54}$$

$$-I^{+}\gamma e^{-\gamma z}+I^{-}\gamma e^{\gamma z}=-Y_2'\left(V^{+}e^{-\gamma z}+V^{-}e^{\gamma z}\right) \tag{2.55}$$

เพื่อให้ง่ายต่อการวิเคราะห์ เมื่อเรากำหนดให้ $z=0$ จะได้ว่า

$$-V^{+}\gamma+V^{-}\gamma=-Z_1'\left(I^{+}+I^{-}\right) \tag{2.56}$$

$$-I^{+}\gamma+I^{-}\gamma=-Y_2'\left(V^{+}+V^{-}\right) \tag{2.57}$$

ความสัมพันธ์ข้างต้นแสดงว่ามีพารามิเตอร์สองตัวเท่านั้นจากทั้งหมดสี่ตัว คือ V^{+},V^{-},I^{+} และ I^{-} ที่เป็นอิสระต่อกันได้ ถ้าเรานิยามให้ $Z_0=\sqrt{Z_1'/Y_2'}$ จากความสัมพันธ์ $\gamma=\sqrt{Z_1'\cdot Y_2'}$ เราสามารถคำนวณหา I^{+} และ I^{-} ในรูปของ V^{+} และ V^{-} ได้เป็น

$$v(z)=V^{+}e^{-\gamma z}+V^{-}e^{\gamma z} \tag{2.58}$$

$$i(z)=\frac{V^{+}}{Z_0}e^{-\gamma z}-\frac{V^{-}}{Z_0}e^{\gamma z} \tag{2.59}$$

จากสมการที่ (2.58) และ (2.59) จะเห็นว่าคลื่นแรงดัน v และคลื่นกระแส i บนสายส่งนั้นมีความสัมพันธ์กันผ่านค่าอิมพีแดนซ์ Z_0 ซึ่งเราจะเรียกว่าอิมพีแดนซ์คุณลักษณะของสายส่ง สำหรับสายส่งทั่วไปจะมี $Z_1=Z_1'\delta_z=(R+j\omega L)\delta_z$ และ $Y_2=Y_2'\delta_z=(G+j\omega C)\delta_z$ เมื่อพารามิเตอร์ L,C,R และ G คือค่าความเหนี่ยวนำ ความเก็บประจุ ความต้านทานอนุกรมและความนำขนานต่อหนึ่งหน่วยความยาวของสายส่ง ดังนั้นค่าอิมพีแดนซ์คุณลักษณะ Z_0 จึงเท่ากับ

$$Z_0=\sqrt{\frac{Z_1'}{Y_2'}}=\sqrt{\frac{R+j\omega L}{G+j\omega C}} \tag{2.60}$$

ซึ่งในกรณีนี้ส่วนความต้านทานอนุกรม R และความนำขนาน G ต่อหนึ่งหน่วยความยาวของสายส่ง

เท่ากับศูนย์ นั่นคือไม่มีการสูญเสีย จะได้ว่า

$$Z_0 = \sqrt{L/C} \tag{2.61}$$

โดยที่ Z_0 เป็นจำนวนจริงเท่านั้น นั่นคือพลังงานทั้งหมดจะสูญเสียในสายส่ง และไม่มีพลังงานสะท้อนกลับมาที่แหล่งจ่ายจากผลของเทอมจินตภาพ นอกจากนี้ ในการคำนวณส่วนของค่าคงตัวการแพร่เราจะได้

$$\begin{aligned}\gamma &= \sqrt{Z_1' Y_2'} = \sqrt{(R + j\omega L)(G + j\omega C)} \\ &= \alpha + j\beta\end{aligned} \tag{2.62}$$

ซึ่งเราสามารถประมาณได้เป็น [33]

$$\begin{aligned}\alpha &\approx \frac{R}{2}\sqrt{\frac{C}{L}} + \frac{G}{2}\sqrt{\frac{L}{C}} \\ &\approx \frac{R}{2Z_0} + \frac{GZ_0}{2}\end{aligned} \tag{2.63}$$

ความสัมพันธ์ข้างต้นบ่งชี้ว่าพารามิเตอร์การลดทอน α จะมีค่าต่ำเมื่อความต้านทานอนุกรม R ต่อความยาวมีค่าต่ำเมื่อเทียบกับ Z_0 และเมื่อความนำต่อความยาวมีค่าต่ำเมื่อเทียบกับ $1/Z_0$ โดยในกรณีที่ไม่มีการสูญเสียจะได้

$$\gamma = j\beta = j\omega\sqrt{LC} \tag{2.64}$$

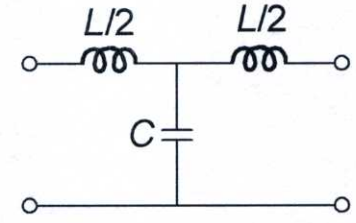
โดยที่ γ เป็นค่าจินตภาพเท่านั้น นั่นคือไม่มีการลดทอน (Attenuation) ส่วนค่าความเร็วเฟสสามารถแสดงในกรณีไม่มีการสูญเสียได้เป็น

$$v_p = \pm\frac{\omega}{\beta} = \pm\frac{1}{\sqrt{LC}} \tag{2.65}$$

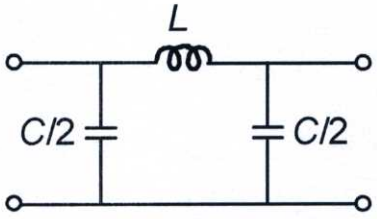
2.7.4 คุณลักษณะและการวิเคราะห์สายส่งเทียม

สายส่งเทียม (Artificial transmission lines) สร้างขึ้นจากอุปกรณ์ตัวเหนี่ยวนำและตัวเก็บประจุแบบกลุ่มก้อนเพื่อประมาณคุณลักษณะของสายส่งเชิงกระจาย ข้อได้เปรียบหลักของสายส่งเทียม

ในทางปฏิบัติคือความสะดวกในการสร้างและการควบคุมพารามิเตอร์คุณลักษณะต่างๆ เช่นในกรณีการใช้สายส่งเทียมเป็นวงจรหน่วง เราสามารถที่จะออกแบบค่าเวลาหน่วงได้ตามต้องการในพื้นที่วงจรที่มีขนาดจำกัด ขณะที่การออกแบบด้วยสายส่งเชิงกระจายอาจต้องอาศัยความยาวหรือพื้นที่มากกว่าหลายเท่าตัว อย่างไรก็ดี ข้อเสียของสายส่งเทียมคือการที่แบนด์วิดท์มีค่าจำกัดจากผลของการประมาณโครงสร้างเชิงกระจายด้วยโครงสร้างเชิงกลุ่มก้อน ดังนั้น ในการออกแบบสายส่งเทียมจึงต้องพิจารณาช่วงความถี่ใช้งานของวงจรเป็นสำคัญ โดยสายส่งเทียมสามารถประกอบขึ้นจากโครงสร้างพื้นฐานแบบที (T) หรือแบบพาย (π) แสดงดังรูปที่ 2.14 (ก) และ (ข) ตามลำดับ



(ก)



(ข)

รูปที่ 2.14 โครงสร้างสายส่งเทียม (ก) โครงข่ายแบบที และ (ข) โครงข่ายแบบพาย

2.7.4.1 อิมพีแดนซ์คุณลักษณะ

โดยอาศัยการวิเคราะห์เช่นเดียวกับหัวข้อที่ผ่านมา เราสามารถแสดงได้ว่า Z_{in}^{T} ของกรณีโครงสร้างสายส่งเทียมแบบทีรูปที่ 2.14 (ก) มีค่าเป็น

$$Z_{in}^{\mathrm{T}} = \frac{Z}{2}\sqrt{1+\frac{4}{ZY}} \tag{2.66}$$

เมื่อทำการแทน $Z = j\omega L$ และ $Y = j\omega C$ จะได้ว่า

$$Z_{in}^{T} = \frac{j\omega L}{2}\sqrt{1-\frac{4}{\omega^2 LC}} = \sqrt{\frac{L}{C}-\frac{\omega^2 L^2}{4}} \tag{2.67}$$

ส่วนกรณีของโครงสร้างแบบพาย โดยการวิเคราะห์ในทำนองเดียวกันจะได้ Z_{in}^{π} เป็นไปตามสมการ

$$Z_{in}^{\pi} = \frac{L/C}{\sqrt{\frac{L}{C}-\frac{\omega^2 L^2}{4}}} \tag{2.68}$$

2.7.4.2 ความถี่ตัดของสายส่งเทียม

ข้อแตกต่างหนึ่งที่สำคัญของสายส่งเทียมจากสายส่งเชิงกระจายคือการที่ค่าอิมพีแดนซ์ของสายส่งเทียมนั้นจะเป็นค่าจริง (Real value) ที่ค่อนข้างคงที่เฉพาะในความถี่จำกัดช่วงหนึ่งเท่านั้น โดยเมื่อความถี่สูงขึ้นอิมพีแดนซ์ค่าจริงนี้จะเริ่มลดลงจนเป็นศูนย์หรือเพิ่มขึ้นจนมีค่าเป็นอนันต์สำหรับโครงข่ายแบบทีหรือพายตามลำดับ จากนั้นก็จะกลายเป็นค่าจินตภาพเท่านั้น ซึ่งบ่งชี้ว่าเราไม่สามารถส่งผ่านกำลังงานสุทธิให้กับสายส่งหรือตัวภาระที่ต่ออยู่ปลายสายได้อีกต่อไป ความถี่ตัดของสายส่งเทียมสามารถคำนวณได้โดยวิเคราะห์จากความสัมพันธ์ของ Z_{in}^{T} และ Z_{in}^{π} ตามสมการที่ (2.67) และ (2.68) ซึ่งจะได้ว่า

$$\sqrt{\frac{L}{C}-\frac{\omega_c^2 L^2}{4}} = 0 \tag{2.69}$$

ทำให้ได้ความสัมพันธ์เป็น

$$\omega_c = \frac{2}{\sqrt{LC}} \tag{2.70}$$

2.7.4.3 ค่าคงตัวการแพร่ของสายส่งเทียม

เราสามารถแสดงการวิเคราะห์ได้ว่าสายส่งเทียมทั้งแบบทีและแบบพายมีค่าคงตัวการแพร่ γ เป็นไปตามสมการ

$$\gamma = \alpha + j\beta = \cosh^{-1}\left[1+\frac{Z_1}{2Z_2}\right] \tag{2.71}$$

โดยที่ในกรณีของสายส่งเทียมแบบที $Z_1 = j\omega L/2$ และ $Z_2 = 1/j\omega C$ ส่วนในกรณีสายส่งเทียมแบบพายนั้น $Z_1 = j\omega L$ และ $Z_2 = 2/j\omega C$ เมื่อแทนค่าในสมการข้างต้นจะได้ค่าคงตัวการแพร่มีค่าเป็นไปตามสมการ

$$\gamma = \alpha + j\beta = \cosh^{-1}\left[1 - \frac{\omega^2 LC}{4}\right] \tag{2.72}$$

ซึ่งมีค่าเท่ากันทั้งสายส่งเทียมโครงข่ายแบบทีและแบบพาย นอกจากนี้ โดยการประมาณที่ระดับการลดทอน α ต่ำกว่า 0.4 เนเปอร์ (Neper, NP) เราสามารถประมาณค่าคงตัวการลดทอนได้เป็น

$$\alpha(\omega) = \frac{\omega_r/\omega_C + \omega_g/\omega_C}{\sqrt{1-(\omega/\omega_C)^2}} \tag{2.73}$$

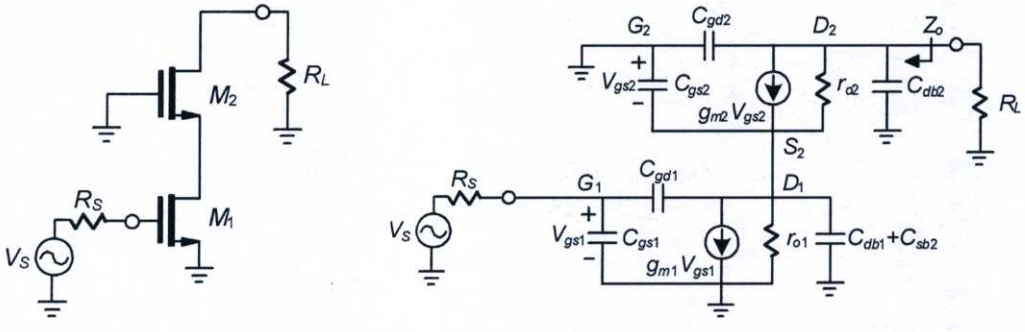
เมื่อ $\omega_r = R/L$, $\omega_g = G/C$ และ $\omega_c = 2/\sqrt{LC}$ ในส่วนค่าคงตัวเฟสนั้นไม่ค่อยขึ้นอยู่กับการสูญเสียของสายส่ง ดังนั้นจึงสามารถประมาณได้ด้วยสมการ β กรณีที่ไม่มีการสูญเสียนั่นคือ

$$\beta = 2\sin^{-1}(\omega/\omega_c) \tag{2.74}$$

หากความถี่ต่ำกว่าความถี่ตัดของสายส่งเทียมมากๆ เราจะประมาณได้เป็น $\beta \approx 2\omega/\omega_c = \omega\sqrt{LC}$ ซึ่งสอดคล้องกับค่าคงตัวเฟสกรณีสายส่งเชิงกระจายอุดมคติในสมการที่ (2.64)

2.8 วงจรขยายคาสโคด

วงจรขยายคาสโคดอาศัยการต่อร่วมกันของวงจรขยายซอร์สร่วมและวงจรขยายเกตร่วม แสดงดังรูปที่ 2.15



(ก) (ข)

รูปที่ 2.15 วงจรขยายคาสโคด (ก) โครงสร้างของวงจร และ (ข) วงจรสมมูล

โครงสร้างคาสโคดช่วยให้เกิดข้อได้เปรียบหลายประการ โดยเฉพาะในด้านการเพิ่มแบนด์วิดท์ด้วยการลดผลของปรากฏการณ์มิลเลอร์ ในขณะที่อัตราขยายสุทธิมีค่าไม่เปลี่ยนแปลง นอกจากนี้ วงจรขยายคาสโคดยังมีค่าอิมพีแดนซ์ด้านออกที่สูง วงจรสมมูลของวงจรขยายคาสโคดเพื่อการวิเคราะห์คุณลักษณะที่ความถี่สูงแสดงดังรูปที่ 2.15 (ข) ซึ่งได้มีการรวมค่าความเก็บประจุสุทธิที่โหนดต่างๆไว้ เราสามารถวิเคราะห์ได้ว่าวงจรขยายคาสโคดมีอัตราขยายกระแสทัดเทียมกับวงจรขยายซอร์สร่วม ส่วนการวิเคราะห์ผลตอบสนองเชิงความถี่เนื่องจากวงจรมีความยุ่งยาก เราจึงจะอาศัยการคำนวณจากการประมาณโพลเดี่ยวที่เกี่ยวข้องกับแต่ละโหนดของวงจรแทนการวิเคราะห์เต็มรูปแบบโดยทฤษฎีวงจรไฟฟ้า ทั้งนี้ เพื่อให้ผลลัพธ์ไม่ยุ่งยากและสามารถบ่งชี้กลไกหลักของการทำงานและคุณลักษณะเด่นของวงจรได้ชัดเจน ในการคำนวณความเก็บประจุรวมที่โหนด G_1 โดยอาศัยการประมาณจากปรากฏการณ์มิลเลอร์จะได้ว่าความเก็บประจุรวมมีค่าเท่ากับ

$$C_{G1} = C_{gs1} + (1 - G_S)C_{gd1} \tag{2.75}$$

เมื่อ G_S คืออัตราขยายแรงดันที่ความถี่ต่ำระหว่างขั้วเกตกับขั้วเดรนของวงจรขยายซอร์สร่วม หากเราออกแบบให้ $g_{m1} = g_{m2}$ ดังนั้นสมการที่ (2.75) สามารถเขียนใหม่ได้เป็น

$$C_{G1} = C_{gs1} + 2C_{gd1} \tag{2.76}$$

จากสมการที่ (2.75) เราสามารถคำนวณตำแหน่งโพล ω_{p1} ที่เกี่ยวข้องกับโหนด G_1 มีค่าเท่ากับ

$$\omega_{p1} = \left(R_S \left[C_{gs} + \left(1 + \frac{g_{m2}}{g_{m1}} \right) \right] C_{gd1} \right)^{-1} \tag{2.77}$$

ในส่วนของตำแหน่งโพล ω_{p2} ที่เกี่ยวข้องกับโหนด D_1 (หรือ S_2) จากการสังเกตค่าความเก็บประจุรวมในวงจรสมมูลรูปที่ 2.15 (ข) และอาศัยทฤษฎีบทมิลเลอร์จะได้ว่า

$$\omega_{p2} = g_m / \overbrace{(C_{gs2} + C_{db1} + C_{sb2} + 2C_{gd1})}^{C_{D1}} \tag{2.78}$$

ส่วนตำแหน่งโพลที่โหนด D_2 หรือด้านออกของวงจรจะมีค่าเท่ากับ

$$\omega_{p3} = \left(R_D \cdot \left(C_{gd2} + C_{db2} \right) \right)^{-1} \tag{2.79}$$

ในทางปฏิบัติตำแหน่งสัมพัทธ์ของโพล ω_{p1}, ω_{p2} และ ω_{p3} จะขึ้นอยู่กับพารามิเตอร์ของมอสทรานซิสเตอร์ที่ออกแบบ อย่างไรก็ดี โดยปกติแล้วเราจะเลือกให้ตำแหน่ง ω_{p2} ซึ่งเกี่ยวข้องกับโหนดภายในวงจร (Internal node) เป็นโพลรอง และมีตำแหน่งที่ความถี่สูงสุด ในส่วนของ ω_{p1} และ ω_{p3} นั้น โพลใดจะเป็นตำแหน่งโพลหลักจะขึ้นอยู่กับการใช้งานจริง สำหรับเอาท์พุตอิมพีแดนซ์ของวงจรขยายคาสโคด เราสามารถแสดงได้ว่ามีค่าเท่ากับ

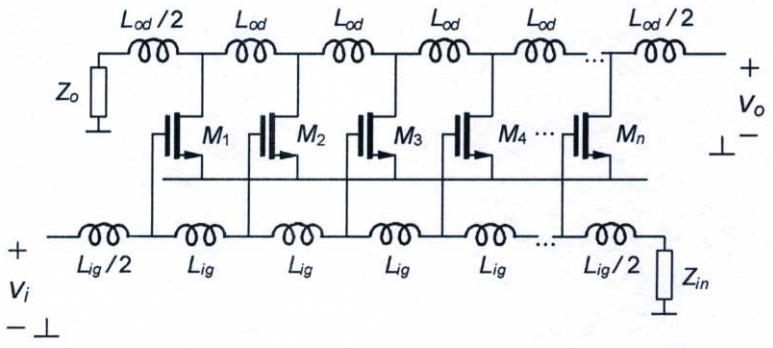
$$Z_o = \left(\frac{(1+g_{m2}r_{o2})}{(1+j\omega r_{o1}C_{D1})} r_{o1} + r_{o2} \right) \Bigg\| \frac{1}{j\omega\left(C_{gd2}+C_{db2}\right)} \tag{2.80}$$

จากสมการที่ (2.80) เมื่อ r_{o1}, r_{o2} มีค่าสูงมากๆ เราสามารถประมาณได้ว่า

$$Z_o = \frac{1}{j\omega\left(C_{gd2}+C_{db2}\right)} \tag{2.81}$$

2.9 วงจรขยายเชิงกระจาย

วงจรขยายเชิงกระจายได้ถูกคิดค้นในปี ค.ศ. 1937 [34] โดยเปอซิวาล (William S. Percival) ชาวอังกฤษ ก่อนจะได้รับการตีพิมพ์เผยแพร่ในปี ค.ศ. 1948 [35] โดยคณะวิจัยที่นำโดยกินสตัน (Ginzton et. al.) โครงสร้างของวงจรขยายเชิงกระจายได้นำเอาความเก็บประจุแฝงในทรานซิสเตอร์รวมเข้าเป็นส่วนหนึ่งของสายส่งอินพุตและเอาท์พุตเทียม ทำให้ค่าเวลาคงตัวของวงจรถูกแปลงเป็นค่าเวลาประวิงของสายส่งเทียมแทน ส่งผลให้วงจรมีแบนด์วิดท์กว้าง ต่างจากวงจรขยายโครงสร้างอื่นๆ เช่น วงจรขยายซอร์สร่วม วงจรขยายคาสโคด วงจรขยายป้อนกลับแบบลบ ฯลฯ ซึ่งความเก็บประจุแฝงส่งผลโดยตรงต่อค่าเวลาคงตัวของวงจร ทำให้มีการลดทอนตามความถี่ และเกิดการจำกัดด้านแบนด์วิดท์ของวงจรในที่สุด

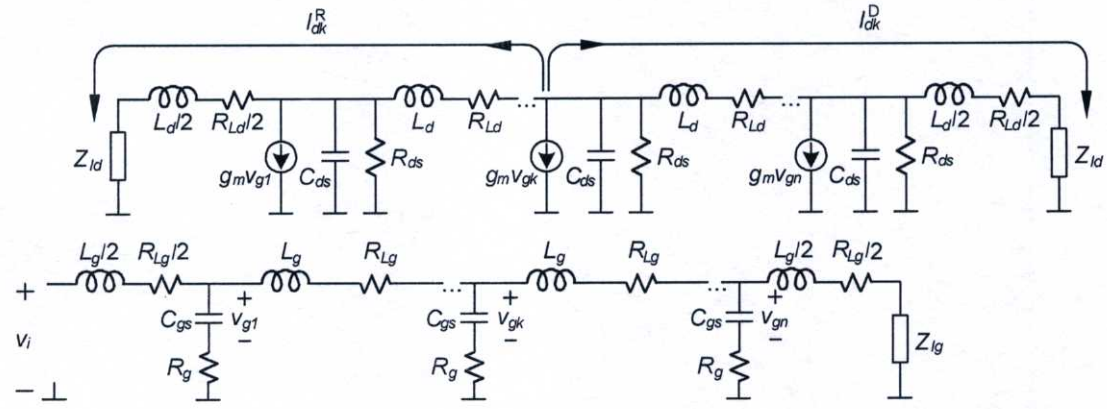


รูปที่ 2.16 วงจรขยายเชิงกระจาย

รูปที่ 2.16 แสดงโครงสร้างของวงจรขยายเชิงกระจายอันประกอบด้วยกลุ่มของทรานซิสเตอร์ขยายสัญญาณแบบซอร์สร่วม ซึ่งขั้วเกต-ซอร์สของทรานซิสเตอร์แต่ละตัวเสมือนมีตัวเก็บประจุแฝง C_{gs} ถูกต่อเชื่อมเรียงสลับกับตัวเหนี่ยวนำ L_{ig} เพื่อจำลองเป็นสายส่งอินพุตเทียม ในขณะที่ขั้วเดรน-ซอร์สของทรานซิสเตอร์แต่ละตัวเสมือนมีตัวเก็บประจุแฝง C_{ds} ถูกต่อเชื่อมเรียงสลับกับตัวเหนี่ยวนำ L_{od} เพื่อจำลองเป็นสายส่งเอาท์พุตเทียม โดยสายส่งอินพุตและเอาท์พุตเทียมมีค่าอิมพีแดนซ์คุณลักษณะเท่ากับอิมพีแดนซ์ที่ต่อปลายนั่นคือ Z_{in} และ Z_o ตามลำดับ

2.9.1 การวิเคราะห์คุณลักษณะเชิงความถี่

ในการวิเคราะห์คุณลักษณะเชิงความถี่ของวงจรขยายเชิงกระจาย เราจะแทนทรานซิสเตอร์ด้วยวงจรสมมูลในรูปที่ 2.10 โดยเราสามารถแสดงวงจรสมมูลของวงจรได้ดังรูปที่ 2.17



รูปที่ 2.17 วงจรสมมูลของวงจรขยายเชิงกระจาย

ในรูปที่ 2.17 สายส่งอินพุตเทียมประกอบขึ้นจากความเหนี่ยวนำ L_g และความเก็บประจุแฝง C_{gs} ในขณะที่สายส่งเอาท์พุตเทียมประกอบขึ้นจากความเหนี่ยวนำ L_d และความเก็บประจุแฝง C_{ds} ทั้งนี้ เราได้รวมผลของความต้านทานแฝงจากตัวเหนี่ยวนำและทรานซิสเตอร์ไว้ในโครงสร้างของสายส่งอินพุตและเอาท์พุตเทียมเพื่อความถูกต้องในทางปฏิบัติ โดย R_g และ R_{ds} แทนค่าการสูญเสียที่ขั้วเกตและขั้วเดรนของทรานซิสเตอร์ ในขณะที่ R_{Lg} และ R_{Ld} แทนค่าการสูญเสียในตัวเหนี่ยวนำ L_g และ L_d ตามลำดับ เพื่อให้การวิเคราะห์วงจรสามารถทำได้ง่ายและทำความเข้าใจได้อย่างลึกซึ้ง เราจะสมมติให้อิมพีแดนซ์ที่ต่อปลายสายเป็นค่าเงาของอิมพีแดนซ์คุณลักษณะของสายส่งอินพุตและเอาท์พุตเทียม โดยมีค่าเท่ากับ Z_{Ig} และ Z_{Id} ตามลำดับ อนึ่ง เราได้ละเลยผลของความเก็บประจุแฝง C_{gd} ของทรานซิสเตอร์ เพื่อให้การวิเคราะห์ไม่ซับซ้อนจนเกินไป

จากรูปที่ 2.17 เราสามารถอธิบายการทำงานของวงจรโดยมีขั้นตอนเช่นเดียวกับ [36]-[37] เมื่อเราป้อนสัญญาณแรงดัน V_i เข้าสู่วงจร สัญญาณแรงดัน V_i จะเดินทางเคลื่อนที่ไปตามแนวสายส่ง

อินพุตเทียมสู่อิมพีแดนซ์ Z_{Ig} ที่ปลายสายด้วยค่าคงตัวการแพร่เท่ากับ θ_g ทำให้เกิดสัญญาณแรงดันคร่อมตัวเก็บประจุแฝง C_{gs} ของทรานซิสเตอร์แต่ละตัวมีค่าเท่ากับ

$$V_{gk} = \delta_g V_i e^{-\left(k-\frac{1}{2}\right)\theta_g} \tag{2.82}$$

เมื่อ k แสดงถึงลำดับของทรานซิสเตอร์เรียงจากซ้ายไปขวาและ

$$\delta_g = \frac{e^{-j\arctan\left(\omega/\omega_{R_g}\right)}}{\cosh\left(\theta_g/2\right)\cdot\sqrt{1+\left(\omega/\omega_{R_g}\right)^2}} \tag{2.83}$$

โดยที่ $\omega_{Rg} = 1/R_g C_{gs}$ และ $\theta_g = A_g + j\beta_g$ คือค่าคงตัวการแพร่ต่อช่วงของสายส่งอินพุตเทียม ซึ่ง A_g และ β_g คือค่าการลดทอนและค่าคงตัวเฟสต่อช่วงตามลำดับ สัญญาณแรงดัน V_{gk} จะก่อให้เกิดสัญญาณกระแสเดรนของทรานซิสเตอร์แต่ละตัวมีค่าเท่ากับ $g_m V_{gk}$ ซึ่งสัญญาณกระแสเดรนของทรานซิสเตอร์แต่ละตัวจะมองเห็นอิมพีแดนซ์คุณลักษณะทางด้านซ้ายและขวาของสายส่งเอาท์พุตเทียมมีค่าเท่ากับ Z_{Id} ดังนั้นจึงเกิดการแยกไหลเป็นสองส่วนในปริมาณที่เท่ากัน สัญญาณกระแสส่วนแรกจะเดินทางเคลื่อนที่สู่อิมพีแดนซ์ด้านซ้าย สัญญาณกระแสอีกส่วนจะเดินทางเคลื่อนที่สู่อิมพีแดนซ์ภาระของวงจร โดยสัญญาณกระแสทั้งสองส่วนจะเดินทางเคลื่อนที่ไปตามแนวสายส่งเอาท์พุตเทียมด้วยค่าคงตัวการแพร่เท่ากับ θ_d โดยเราสามารถแสดงได้ว่าสัญญาณกระแสส่วนที่เดินทางสู่อิมพีแดนซ์ภาระมีค่าเป็นไปตามสมการ

$$I_{dk}^{D} = \delta_d \frac{g_m V_{gk}}{2} e^{-\frac{\theta_d}{2}} e^{-(n-k)\theta_d} \tag{2.84}$$

เมื่อ n คือจำนวนแถวของทรานซิสเตอร์และ

$$\delta_d = \frac{1}{\cosh\left(\theta_d/2\right)} \tag{2.85}$$

โดยที่ $\theta_d = A_d + j\beta_d$ คือค่าคงตัวการแพร่ต่อช่วงของสายส่งเอาท์พุตเทียม ซึ่ง A_d และ β_d คือค่าการลดทอนและค่าคงตัวเฟสต่อช่วงตามลำดับ เมื่อรวมสัญญาณกระแสเดรนจากทรานซิสเตอร์ทุกตัวเข้าด้วยกัน เราจะได้สัญญาณกระแสสุทธิ I_L ที่เดินทางสู่อิมพีแดนซ์ภาระมีค่าตามสมการ

$$I_L = \delta_d \frac{g_m e^{-\frac{\theta_d}{2}}}{2} \sum_{k=1}^{n} V_{gk} e^{-(n-k)\theta_d} \tag{2.86}$$

ทั้งนี้ เราทราบว่าค่ากำลังงานที่อิมพีแดนซ์ภาระเป็นไปตามความสัมพันธ์ $P_L = |I_L|^2 / 2 \cdot \mathrm{Re}[Z_{Id}]$ และค่ากำลังงานจากแหล่งจ่ายมีความสัมพันธ์เป็น $P_S = (|V_i|^2 / 2|Z_{Ig}|^2) \cdot \mathrm{Re}[Z_{Ig}]$ หากพิจารณาที่เงื่อนไขการส่งผ่านกำลังงานสูงสุด เราจะได้สมการอัตราขยายกำลังมีค่าเป็น

$$G_o = \frac{P_L}{P_S} = Z_{Ig} Z_{Id} \frac{|I_L|^2}{|V_i|^2} \tag{2.87}$$

เมื่อแทนสมการที่ (2.82) และ (2.86) ลงในสมการที่ (2.87) เราจะได้สมการอัตราขยายกำลังของวงจรขยายเชิงกระจายมีค่าเป็น

$$G_o = |\delta|^2 \frac{g_m^2 R_{Ig} R_{Id} e^{-n(A_g + A_d)}}{4} \left(1 - X_k^{\,2}\right) \cdot \left| \frac{\sinh\left(\frac{n}{2}\left(\theta_d - \theta_g\right)\right)}{\sinh\left(\frac{1}{2}\left(\theta_d - \theta_g\right)\right)} \right|^2 \tag{2.88}$$

เมื่อ $\delta = \delta_g \cdot \delta_d$, $R_{Ig} = \sqrt{L_g / C_{gs}}$, $R_{Id} = \sqrt{L_d / C_{ds}}$ และ $X_k = \omega / \omega_C$ คือความถี่นอร์มัลไลซ์เทียบกับ ω_C โดยที่ $\omega_C = 2/\sqrt{L_g / C_{gs}} = 2/\sqrt{L_d / C_{ds}}$ คือความถี่ตัดของสายส่งเทียม ซึ่งออกแบบให้มีค่าเท่ากันภายใต้เงื่อนไขค่าคงตัวเฟส $\beta_g = \beta_d$ ซึ่งทำให้เกิดการเสริมกันของสัญญาณอย่างสมบูรณ์ที่ทุกๆ ความถี่

พิจารณาเทอมแรกในสมการที่ (2.88) จะเห็นว่าค่าการลดทอน A_g และ A_d รวมถึงจำนวนทรานซิสเตอร์คือตัวแปรสำคัญที่ทำให้เกิดการลดทอนของอัตราขยายกำลังและการจำกัดแบนด์วิดท์ แม้ว่าจำนวนทรานซิสเตอร์จะเป็นตัวกำหนดอัตราขยายกำลังของวงจรก็ตาม แต่การเพิ่มจำนวนทรานซิสเตอร์จะทำให้สายส่งเทียมมีความยาวมากขึ้น ส่งผลให้การลดทอนเพิ่มขึ้นด้วยเช่นกัน ดังนั้นการเลือกจำนวนทรานซิสเตอร์ที่เหมาะสมจะทำให้วงจรมีอัตราขยายกำลังสุทธิที่สูงขึ้น โดยจำนวนทรานซิสเตอร์ที่เหมาะสมจะมีความสัมพันธ์กับค่าการลดทอนตามสมการ

$$n_{opt} = \frac{\ln\left(A_d / A_g\right)}{A_d - A_g} \tag{2.89}$$

2.9.2 ค่าคงตัวการแพร่ของสายส่งอินพุตและเอาท์พุตเทียม

การหาค่าคงตัวการแพร่ θ_g และ θ_d ของสายส่งอินพุตและเอาท์พุตเทียมจะพิจารณาจากวงจรสมมูลของโครงข่ายแบบขั้นบันไดไม่สิ้นสุดรูปที่ 2.12 ซึ่งสามารถมองเป็นโครงข่ายแบบทีหรือพาย โดยค่าคงตัวการแพร่ θ_g และ θ_d สามารถแสดงได้ว่าเป็นไปตามสมการ

$$\theta_{g,d} = A_{g,d} + j\beta_{g,d} = \cosh^{-1}\left[1+\frac{Z_1}{2Z_2}\right] \tag{2.90}$$

เมื่อ Z_1 และ Z_2 คือค่าอิมพีแดนซ์สุทธิในส่วนอนุกรมและส่วนขนานของโครงข่ายแบบขั้นบันไดในหนึ่งช่วง หากพิจารณาภายใต้เงื่อนไขค่าการลดทอนต่ำ จากสมการที่ (2.90) เราสามารถแสดงได้ว่า

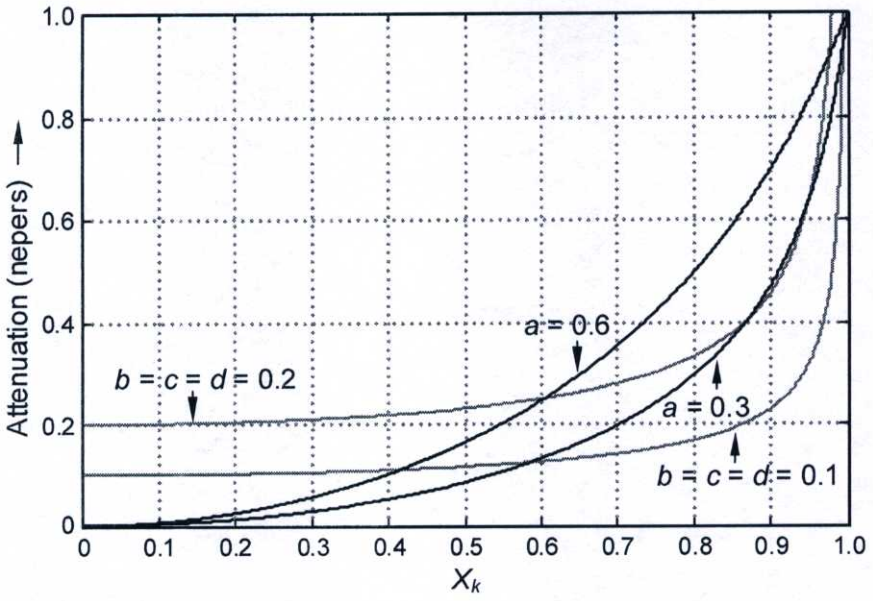
$$A_g = \frac{c + aX_k^{\,2}}{\sqrt{1-\left(1-a^2\right)X_k^{\,2}}} \tag{2.91}$$

$$A_d = \frac{b+d}{\sqrt{1-X_k^2}} \tag{2.92}$$

เมื่อ $a = \omega_C / \omega_{Rg}$ และ $b = \omega_{Rds} / \omega_C$ เป็นตัวแปรที่แสดงการสูญเสียในทรานซิสเตอร์ $c = \omega_{Lg} / \omega_C$ และ $d = \omega_{Ld} / \omega_C$ เป็นตัวแปรที่แสดงการสูญเสียในตัวเหนี่ยวนำที่สายส่งอินพุตและเอาท์พุตเทียมตามลำดับ โดยที่ $\omega_{Rg} = 1/R_g C_{gs}$, $\omega_{L_g} = R_{Lg}/L_g$, $\omega_{Rds} = 1/R_{ds}C_{ds}$ และ $\omega_{L_d} = R_{Ld}/L_d$ สำหรับค่าคงตัวเฟส เราสามารถประมาณได้ด้วยค่าคงตัวเฟสของสายส่งเทียมกรณีที่ไม่มีการสูญเสีย นั่นคือ $\beta_g = \beta_d = \beta$ ซึ่งมีค่าเป็นไปตามสมการ

$$\beta = 2\sin^{-1}\left(X_k\right) \tag{2.93}$$

จากสมการที่ (2.91) และ (2.92) เราสามารถแสดงกราฟคุณลักษณะการลดทอน A_g และ A_d เทียบกับความถี่นอร์มัลไลซ์ (Normalized) X_k ได้ดังรูปที่ 2.18 ซึ่งค่าการลดทอนจากตัวแปรการสูญเสีย a ที่เกิดจากความต้านทานเกต R_g ของทรานซิสเตอร์จะแปรผันกับกำลังสองของความถี่นอร์มัลไลซ์ X_k โดยที่ความถี่ต่ำค่าการลดทอนจะมีค่าน้อยมากจนสามารถละเลยได้ แต่เมื่อความถี่สูงเข้าใกล้ความถี่นอร์มัลไลซ์ X_k ค่าการลดทอนจะเพิ่มขึ้นอย่างรวดเร็ว ในกรณีตัวแปรการสูญเสีย b, c และ d ที่เกิดจากความต้านทานเดรน R_{ds} ของทรานซิสเตอร์ ความต้านทาน R_{Lg} และความต้านทาน R_{Ld} ในตัวเหนี่ยวนำ L_g และ L_d ตามลำดับ จะทำให้เกิดการลดทอนตั้งแต่ความถี่ต่ำจนถึงความถี่สูง โดยที่ความถี่สูงค่าการลดทอนจะเกิดจากความต้านทาน R_g ของทรานซิสเตอร์เป็นหลัก



รูปที่ 2.18 คุณลักษณะการลดทอนเทียบกับความถี่นอร์มัลไลซ์ X_k ที่ a, b, c และ d ค่าต่างๆ

2.9.3 ผลตอบสนองทางความถี่

ในหัวข้อย่อยที่ผ่านมา จะเห็นว่าสมการอัตราขยายกำลังของวงจรสมการที่ (2.88) เป็นฟังก์ชั่นของค่าคงตัวการแพร่ θ_g และ θ_d ซึ่งมีค่าขึ้นอยู่กับพารามิเตอร์ a, b, c, d และ X_k ตามสมการที่ (2.90)-(2.93) หากเราสมมติให้สายส่งอินพุตและเอาท์พุตเทียมเป็นสายส่งที่ไม่มีการสูญเสีย นั่นคือตัวแปรการสูญเสียต่างๆ มีค่าเป็นศูนย์ ($a = b = c = d = 0$) และค่าคงตัวเฟสในสมการที่ (2.93) ประมาณเท่ากับ $\beta \approx 2X_k$ ดังนั้นสมการที่ (2.88) เราสามารถเขียนใหม่ได้เป็น

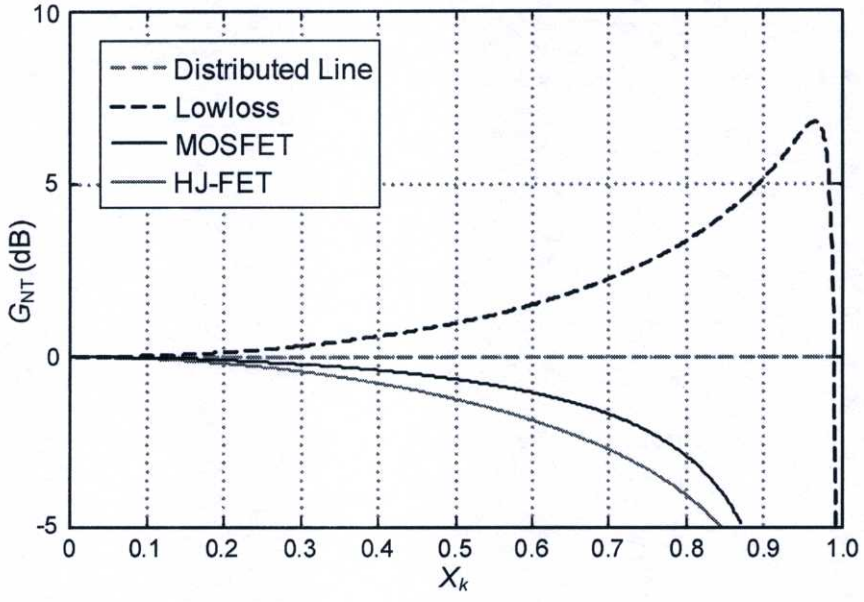
$$G_o = \frac{1}{\cos^4(X_k)}\left(1 - X_k^2\right)\frac{n^2 g_m^2 R_{lg} R_{ld}}{4} \tag{2.94}$$

ในสมการที่ (2.94) จะเห็นว่ามีเทอม $(1 - X_k^2)/\cos^4(X_k)$ ปรากฏอยู่ โดยเทอมนี้จะบ่งบอกถึงการเปลี่ยนแปลงตามความถี่ของสายส่งเทียม ซึ่งทำให้เกิดการกระเจิงของสัญญาณ และส่งผลให้เกิดสัญญาณยอด (Peaking) หากพิจารณาในกรณีที่ไม่มีการกระเจิงนั่นคือเทอม $(1 - X_k^2)/\cos^4(X_k) = 1$ สายส่งเทียมจะมีคุณลักษณะที่ลู่เข้าสู่สายส่งเชิงกระจายอุดมคติ ดังนั้นสมการที่ (2.94) จะเขียนใหม่ได้เป็น

$$G_o = \frac{n^2 g_m^2 R_{lg} R_{ld}}{4} \tag{2.95}$$

จากสมการที่ (2.95) จะเห็นว่าในกรณีที่สายส่งไม่มีการสูญเสียและไม่มีการกระเจิงซึ่งก็คือสายส่งเชิงกระจายอุดมคติ อัตราขยายกำลังของวงจรจะเป็นค่าคงที่ไม่เปลี่ยนแปลงตามความถี่ นั่นหมายถึง

วงจรไม่มีการจำกัดแบนด์วิดท์ โดยเราสามารถแสดงผลตอบสนองทางความถี่ของวงจรในกรณีค่าการสูญเสียต่างๆ ได้ดังรูปที่ 2.19



รูปที่ 2.19 ผลตอบสนองทางความถี่ของวงจรเทียบกับความถี่นอร์มัลไลซ์ X_k

รูปที่ 2.19 แสดงผลตอบสนองทางความถี่ของวงจรเทียบกับความถี่นอร์มัลไลซ์ X_k กรณีค่าการสูญเสียต่ำ $a = b = c = d = 0.02$ และค่าการสูญเสียในทางปฏิบัติ ซึ่งถอดค่าพารามิเตอร์ (Parameters extraction) จากอุปกรณ์ที่ใช้ในการจำลองและการทดสอบในบทที่ 5 โดยที่ $a = 0.24$, $b = 0.06$ และ $c = d = 0.08$ สำหรับการจำลองด้วย MOSFET และ $a = 0.4$, $b = 0.1$ และ $c = d = 0$ สำหรับการทดสอบด้วย HJ-FET เมื่อกำหนดให้จำนวนแถวของทรานซิสเตอร์เท่ากับ 4 แถว ซึ่งเป็นค่าทั่วไปที่ใช้ในทางปฏิบัติ ทั้งนี้เพื่อให้ง่ายต่อการเปรียบเทียบ เราได้แสดงกราฟของอัตราขยายกำลังที่ทำการนอร์มัลไลซ์กับค่าอัตราขยายกำลังที่ความถี่ต่ำในแต่ละกรณี

จากรูปที่ 2.19 จะเห็นว่าอัตราขยายกำลังของวงจรในกรณีการสูญเสียต่ำจะมีค่าสูงขึ้นเมื่อความถี่สูงเข้าใกล้ความถี่ตัดของสายส่งเทียม เนื่องจากเกิดสัญญาณยอดในสายส่งเทียมดังกล่าวข้างต้น ต่างจากกรณีสายส่งเชิงกระจายอุดมคติที่อัตราขยายกำลังของวงจรมีค่าคงที่ไม่เปลี่ยนตามความถี่ ในกรณีที่ค่าการสูญเสียในทางปฏิบัติ อัตราขยายกำลังของวงจรจะถูกลดทอนลง และจะลดทอนอย่างมากที่ความถี่สูง ซึ่งเป็นผลมาจากความต้านทานเกต R_g ของทรานซิสเตอร์ ส่งผลให้แบนด์วิดท์ของวงจรลดลง โดยแบนด์วิดท์ของวงจรในกรณี MOSFET และ HJ-FET จะมีค่าเท่ากับ 0.8 เท่า และ 0.72 เท่าของความถี่ตัดของสายส่งเทียม ตามลำดับ เป็นที่น่าสังเกตว่าแบนด์วิดท์ของวงจรในกรณีการสูญเสียต่ำจะมีค่าเท่ากับความถี่ตัดของสายส่งเทียม ซึ่งมีค่าเท่ากับ

$$\mathrm{BW}_{tot} = \frac{2}{\sqrt{L_g C_g}} = \frac{2}{\sqrt{L_d C_d}} \tag{2.95}$$

2.9.4 สมรรถนะด้านตัวประกอบสัญญาณรบกวน

ในการวิเคราะห์ตัวประกอบสัญญาณของวงจรขยายเชิงกระจาย เราจะพิจารณาจากแหล่งกำเนิดสัญญาณรบกวน 2 แหล่งคือ สัญญาณรบกวนเชิงความร้อนจากตัวต้านทานต่างๆ และสัญญาณรบกวนกระแสเดรน (Drain current noise) จากทรานซิสเตอร์ โดยค่าตัวประกอบสัญญาณรบกวนที่ความถี่ต่ำของวงจรสามารถหาได้จาก

$$F = 2 + 4\left(\frac{1+\gamma n g_m R_O}{\left(n g_m R_O\right)^2}\right) \tag{2.96}$$

เมื่อ γ คือสัมประสิทธิ์รบกวนกระแสเดรนของทรานซิสเตอร์ จากสมการจะเห็นว่าตัวประกอบสัญญาณรบกวนของวงจรมีค่าผกผันกับผลคูณของจำนวนและค่าส่งผ่านความนำของทรานซิสเตอร์กับความต้านทานด้านออกแบบยกกำลังสอง เป็นที่น่าสังเกตว่าตัวประกอบสัญญาณรบกวนของวงจรจะมีค่าต่ำสุดเท่ากับ 2 หรือ 3 ดีบี

2.10 สรุป

ในบทนี้เราได้กล่าวถึงโครงสร้างทางกายภาพ และคุณลักษณะทางไฟฟ้าของมอสทรานซิสเตอร์ในการทำงานย่านไตรโอด (Triode region) และย่านอิ่มตัว (Saturation region) ซึ่งขึ้นอยู่กับแรงดันไบแอสที่เกตและเดรน โดยแรงดันไบแอสที่เกตต้องมีค่ามากกว่าหรือเท่ากับแรงดันขีดเริ่มมอสทรานซิสเตอร์ถึงจะทำงานได้ สำหรับการทำงานของมอสทรานซิสเตอร์ในย่านความถี่สูง เราพบว่ามีการจำกัดแบนด์วิดท์ ซึ่งเกิดจากชั้นโลหะของโครงสร้างมอสทรานซิสเตอร์ที่ขนานกัน จะทำให้เกิดความเก็บประจุแฝงอย่างหลีกเลี่ยงไม่ได้ ในการวิเคราะห์สายส่งสัญญาณทำให้รู้ถึงอิมพีแดนซ์คุณลักษณะและค่าคงตัวการแพร่ ซึ่งเป็นตัวแปรสำคัญที่กำหนดคุณสมบัติของสายส่ง แต่สายส่งที่สร้างได้ง่ายและมีการใช้งานอย่างแพร่หลายคือ สายส่งเทียมซึ่งประกอบขึ้นจากตัวเหนี่ยวนำและตัวเก็บประจุที่ต่อร่วมกันเป็นโครงข่ายแบบทีหรือแบบพาย เพื่อเลียนแบบการทำงานของสายส่งสัญญาณ โดยสายส่งเทียมจะมีแบนด์วิดท์ที่จำกัดซึ่งมีค่าประมาณเท่ากับ $2/\sqrt{LC}$

สุดท้ายเราได้เรียนรู้ถึงคุณสมบัติของวงจรขยายคาสโคด ซึ่งช่วยกำจัดผลกระทบที่เกิดจากความเก็บประจุมิลเลอร์ และเพิ่มอิมพีแดนซ์ด้านเอาท์พุตให้กับวงจร ทำให้วงจรมีอัตราขยายที่สูงและมีแบนด์วิทด์กว้างกว่าวงจรขยายซอร์สร่วมพื้นฐาน สำหรับการวิเคราะห์คุณลักษณะเชิงความถี่ของวงจรขยายเชิงกระจายนั้น เราพบว่าในกรณีสายส่งเชิงกระจายอุดมคติอัตราขยายกำลังของวงจร

มีค่าคงที่ไม่ขึ้นกับความถี่ การเพิ่มอัตราขยายกำลังด้วยการเพิ่มจำนวนแถวของทรานซิสเตอร์และ/หรือเพิ่มค่าส่งผ่านความนำ จะไม่ส่งผลกระทบต่อแบนด์วิดท์ของวงจรแต่อย่างใด นั่นคือวงจรไม่มีการจำกัดด้านผลคูณอัตราขยายและแบนด์วิดท์ แต่กรณีสายส่งเทียมในทางปฏิบัติแสดงให้เห็นคุณลักษณะของวงจรที่ต่างออกไปอย่างสิ้นเชิง โดยจะมีทั้งการสูญเสียและการกระเจิงของสัญญาณซึ่งเกิดจากอุปกรณ์แอบแฝงต่างๆ ในตัวเหนี่ยวนำและทรานซิสเตอร์ อันได้แก่ ความต้านทานแฝงและความเก็บประจุแฝง ส่งผลให้วงจรมีแบนด์วิดท์ที่จำกัด ซึ่งในกรณีค่าการสูญเสียต่ำ แบนด์วิดท์ของวงจรประมาณได้เท่ากับความถี่ตัดของสายส่งเทียม แต่กรณีค่าการสูญเสียในทางปฏิบัติ แบนด์วิดท์ของวงจรจะมีค่าลดลง ยิ่งไปกว่านั้นคือ การเพิ่มจำนวนแถวของทรานซิสเตอร์เพื่อเพิ่มอัตราขยายกำลังของวงจร กลับทำให้ค่าการลดทอนในสายส่งเทียมเพิ่มขึ้น เนื่องจากสายส่งเทียมมีความยาวมากขึ้น นั่นหมายถึงอัตราขยายกำลังของวงจรไม่ได้เพิ่มขึ้นมากนัก เมื่อเทียบกับค่าการลดทอนที่เพิ่มขึ้นด้วยเช่นกัน มิหนำซ้ำกลับทำให้แบนด์วิดท์ของวงจรยิ่งมีค่าลดต่ำลง ซึ่งจะเห็นได้ว่าค่าการสูญเสียและจำนวนแถวของทรานซิสเตอร์ส่งผลกระทบโดยตรงต่ออัตราขยายกำลังและแบนด์วิดท์ของวงจร โดยจำนวนแถวของทรานซิสเตอร์ที่ใช้กันทั่วไปในทางปฏิบัติมักจะไม่เกิน 5 แถว ดังนั้นจึงทำให้อัตราขยายกำลังของวงจรไม่สูงมากนัก

บทที่ 3

การวิเคราะห์วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม

3.1 กล่าวนำ

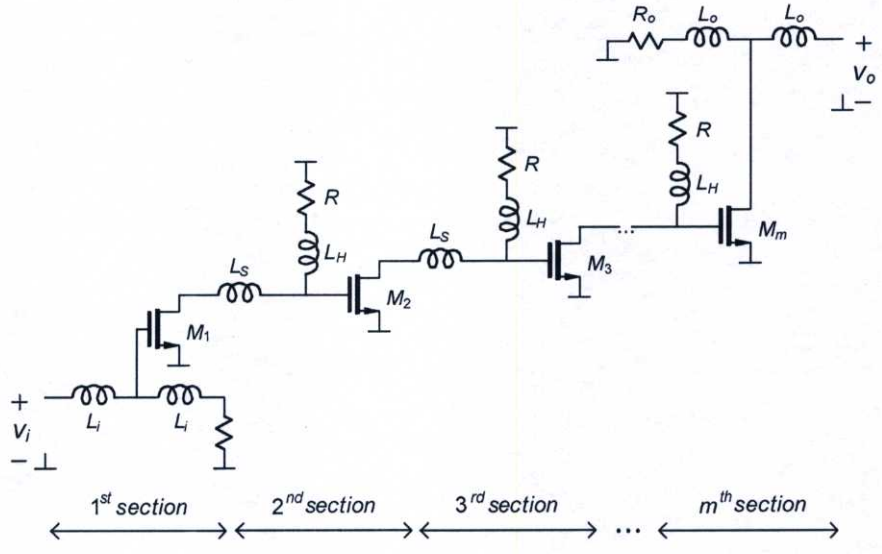
ถึงแม้ว่าวงจรขยายเชิงกระจายจะมีสมรรถนะด้านแบนด์วิดท์กว้าง เนื่องจากโครงสร้างของวงจรมีสายส่งเทียมเป็นองค์ประกอบที่สำคัญ แต่ด้วยข้อจำกัดด้านอัตราขยายที่ขึ้นอยู่กับผลคูณของค่าส่งผ่านความนำและจำนวนแถวของทรานซิสเตอร์ซึ่งมักจะไม่เกิน 5 แถวในทางปฏิบัติ อีกทั้งค่าส่งผ่านความนำของทรานซิสเตอร์ที่มีค่าต่ำโดยเฉพาะกับกระบวนการผลิตซีมอส จึงทำให้วงจรมีอัตราขยายที่ไม่สูงนัก

โครงสร้างวงจรขยายแบบต่อเรียงกัน (Cascaded amplifier) ได้ถูกนำเสนอเพื่อช่วยปรับปรุงสมรรถนะด้านอัตราขยายให้สูงขึ้น [20]-[25] โดยมีโครงข่ายพื้นฐานที่เป็นส่วนเชื่อมต่อในแต่ละภาคขยายสัญญาณคือโครงข่าย RC แต่เนื่องจากโครงสร้างแบบต่อเรียงกันจะทำให้ความเก็บประจุแฝงสุทธิของโครงข่าย RC มีค่ามากขึ้น จึงส่งผลให้แบนด์วิดท์ของวงจรมีค่าลดลง โครงข่ายสร้างยอดแบบอนุกรม (Series peaking network) และโครงข่ายสร้างยอดแบบขนาน (Shunt peaking network) ได้ถูกพัฒนาขึ้น โดยการต่อเพิ่มตัวเหนี่ยวนำเข้าไปในโครงข่าย RCเพียงตัวเดียวเท่านั้น ทำให้วงจรมีแบนด์วิดท์กว้างขึ้นแต่ก็ยังไม่มากนัก[24], [38] จึงได้มีการนำเสนอโครงข่ายที่ใช้ตัวเหนี่ยวนำสองตัวต่อเพิ่มเข้าไปในโครงข่าย RC ซึ่งทำให้แบนด์วิดท์ของวงจรกว้างยิ่งขึ้น โดยโครงข่ายดังกล่าวมีลักษณะที่ผสมผสานกันระหว่างโครงข่ายสร้างยอดแบบขนานและโครงข่ายสร้างยอดแบบอนุกรมเรียกว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรม (Shunt-series peaking network: HS) ซึ่งต่อมาได้มีการวิเคราะห์โดยอาศัยแนวคิดแบบไตรเรโซแนนซ์ (Triple resonance concept) [23] ทำให้มีความเข้าใจการทำงานและกลไกการขยายแบนด์วิดท์ได้อย่างลึกซึ้ง อีกโครงข่ายหนึ่งมีลักษณะที่ผสมผสานกันระหว่างโครงข่ายสร้างยอดแบบอนุกรมและโครงข่ายสร้างยอดแบบขนานเรียกว่าโครงข่ายสร้างยอดแบบอนุกรม-ขนาน (Series-shunt peaking network: SH) น่าสนใจเป็นอย่างยิ่งว่าแท้จริงแล้วโครงข่ายสร้างยอดแบบอนุกรม-ขนานเป็นส่วนกลับของโครงข่ายสร้างยอดแบบขนาน-อนุกรม ตามทฤษฎีบทโครงข่ายส่วนกลับ [39] ทำให้สามารถวิเคราะห์ด้วยแนวคิดแบบไตรเรโซแนนซ์ได้เช่นกัน

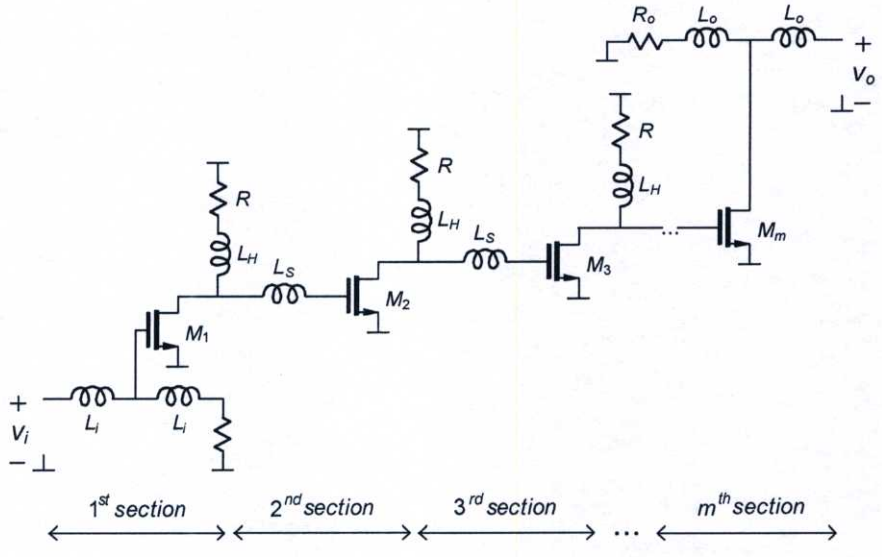
ถึงแม้ว่าโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมจะเป็นที่รู้จักกันอย่างดีและมีการใช้งานอย่างแพร่หลายในโครงสร้างวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน [20]-[23] แต่ยังไม่มีการเปรียบเทียบสมรรถนะของโครงข่ายทั้งสองในเชิงทฤษฎี ในบทนี้เราจะแสดงการ

วิเคราะห์วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันซึ่งมีโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมเป็นส่วนเชื่อมต่อระหว่างภาค ทั้งในโดเมนเวลาและโดเมนความถี่ เพื่อทำการเปรียบเทียบสมรรถนะของวงจรทั้งสองทั้งด้านอัตราขยาย แบนด์วิดท์และตัวประกอบสัญญาณรบกวน

3.2 โครงสร้างวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม



(ก)



(ข)

รูปที่ 3.1 วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน (ก) ด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนาน และ (ข) ขนาน-อนุกรม

รูปที่ 3.1 (ก) แสดงโครงสร้างวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนาน อันประกอบด้วยทรานซิสเตอร์ขยายสัญญาณที่ถูกต่อเชื่อมเรียงกัน โดยมีตัวเหนี่ยวนำ L_S ต่อคั่นระหว่างทรานซิสเตอร์ เพื่อแยกความเก็บประจุแฝงที่ขั้วเดรนและขั้วเกตของทรานซิสเตอร์ภาคติดกันออกจากกัน และเป็นส่วนสร้างยอดแบบอนุกรมของโครงข่ายเชื่อมต่อระหว่างภาค ในขณะที่ส่วนสร้างยอดแบบขนานคือตัวเหนี่ยวนำ L_H จะต่ออนุกรมอยู่กับตัวต้านทาน R ($L_H - R$) และถูกต่อเชื่อมที่ขั้วเกตของทรานซิสเตอร์ระหว่างภาค สำหรับทางด้านอินพุตของวงจร ความเก็บประจุแฝงที่ขั้วเกตของทรานซิสเตอร์ภาคแรกจะถูกต่อเชื่อมกับตัวเหนี่ยวนำ L_i เพื่อสร้างส่วนสมพงษ์อิมพีแดนซ์ระหว่างความต้านทานอินพุตและความต้านทานแหล่งจ่าย ในขณะที่เอาท์พุตของวงจร ความเก็บประจุแฝงที่ขั้วเดรนของทรานซิสเตอร์ภาคสุดท้ายจะถูกต่อเชื่อมกับตัวเหนี่ยวนำ L_o เพื่อสร้างส่วนสมพงษ์อิมพีแดนซ์ระหว่างความต้านทานเอาท์พุตและความต้านทานภาระ

พิจารณาโครงข่ายเชื่อมต่อระหว่างภาครูปที่ 3.1 (ก) หากส่วนของอนุกรม $L_H - R$ ถูกย้ายตำแหน่งจากขั้วเกตของทรานซิสเตอร์ตัวหลังไปต่อเชื่อมที่ขั้วเดรนของทรานซิสเตอร์ตัวหน้า เราจะเรียกโครงสร้างวงจรนี้ว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบขนาน-อนุกรมดังรูปที่ 3.1 (ข)

3.3 สมรรถนะด้านอัตราขยาย

เนื่องจากวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันมีลักษณะโครงสร้างที่เป็นแบบต่อเรียงกัน ดังนั้นอัตราขยายกำลังสุทธิของวงจรจะเป็นผลคูณของอัตราขยายกำลังในแต่ละภาครวมกัน โดยอัตราขยายกำลังของส่วนเชื่อมต่อระหว่างภาคจะเป็นผลคูณของค่าส่งผ่านความนำกับค่าความต้านทาน R และอัตราขยายกำลังที่ส่วนเอาท์พุตจะเป็นผลคูณของค่าส่งผ่านความนำกับค่าความต้านทาน R_o เมื่อพิจารณาที่เงื่อนไขความสมพงษ์อิมพีแดนซ์ทางด้านอินพุตและเอาต์พุต เราสามารถหาค่าอัตราขยายกำลังสุทธิของวงจรที่ความถี่ต่ำได้จากสมการ [22]

$$G_T = \frac{(g_m)^{2m} R^{2(m-1)} R_O{}^2}{4} \tag{3.1}$$

เมื่อ g_m คือค่าส่งผ่านความนำของทรานซิสเตอร์ m คือจำนวนภาคของวงจร และ R คือค่าความต้านทานระหว่างภาค จากสมการที่ (3.1) จะเห็นว่าอัตราขยายกำลังของวงจรแปรผันตามผลคูณของค่าส่งผ่านความนำและค่าความต้านทาน R แบบเอ็กซ์โพเนนเชียลกับจำนวนภาคของวงจร ซึ่งความต้านทาน R มีส่วนสำคัญต่อการกำหนดอัตราขยายกำลังของวงจรเป็นอย่างมาก เพราะเนื่องจากปกติแล้วค่าส่งผ่านความนำของทรานซิสเตอร์ในกระบวนการผลิตซีมอสจะมีค่าต่ำ การเพิ่มอัตราขยาย

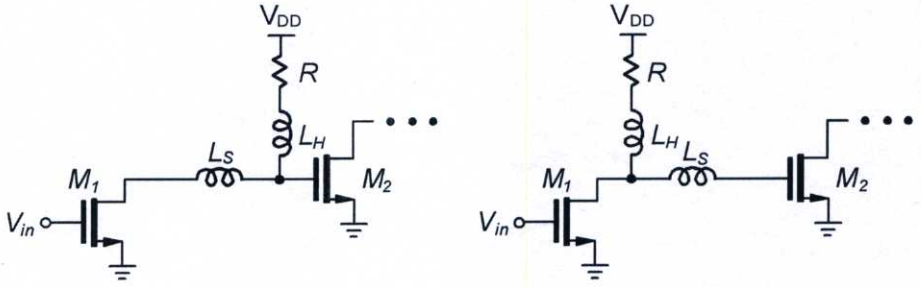
กำลังด้วยการเพิ่มค่าความต้านทาน R จะทำให้วงจรมีสมรรถนะด้านอัตราขยายที่สูงขึ้น ซึ่งเป็นข้อได้เปรียบที่เหนือกว่าวงจรขยายเชิงกระจายที่อัตราขยายกำลังขึ้นอยู่กับผลคูณของค่าส่งผ่านความนำกับจำนวนแถวของทรานซิสเตอร์และความต้านทาน R_o เท่านั้น โดยค่าความต้านทาน R ที่ทำให้อัตราขยายกำลังของวงจรมากกว่าวงจรขยายเชิงกระจายจะมีค่าเป็นไปตามสมการ

$$R > \frac{m^{\left(\frac{1}{m-1}\right)}}{g_m} \tag{3.2}$$

เมื่อกำหนดให้ค่าส่งผ่านความนำของทรานซิสเตอร์แต่ละวงจรมีค่าเท่ากันคือ $g_m^{\mathrm{DA}} = g_m^{\mathrm{CSSDA}} = g_m$

3.4 สมรรถนะด้านแบนด์วิดท์

โดยปกติแล้วแบนด์วิดท์ของส่วนสมพงษ์อิมพีแดนซ์ทางด้านอินพุตและเอาท์พุตจะถูกออกแบบให้มีค่าสูงกว่าแบนด์วิดท์ของโครงข่ายเชื่อมต่อระหว่างภาค ดังนั้นในการวิเคราะห์หาแบนด์วิดท์ของวงจร เราจะพิจารณาที่โครงข่ายเชื่อมต่อระหว่างภาคเป็นหลัก ซึ่งในหัวข้อนี้เราจะแสดงการวิเคราะห์ทั้งในโดเมนเวลาและโดเมนความถี่ เพื่อเปรียบเทียบสมรรถนะด้านแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม แสดงดังรูปที่ 3.2 (ก) และ (ข) ตามลำดับ



(ก) (ข)

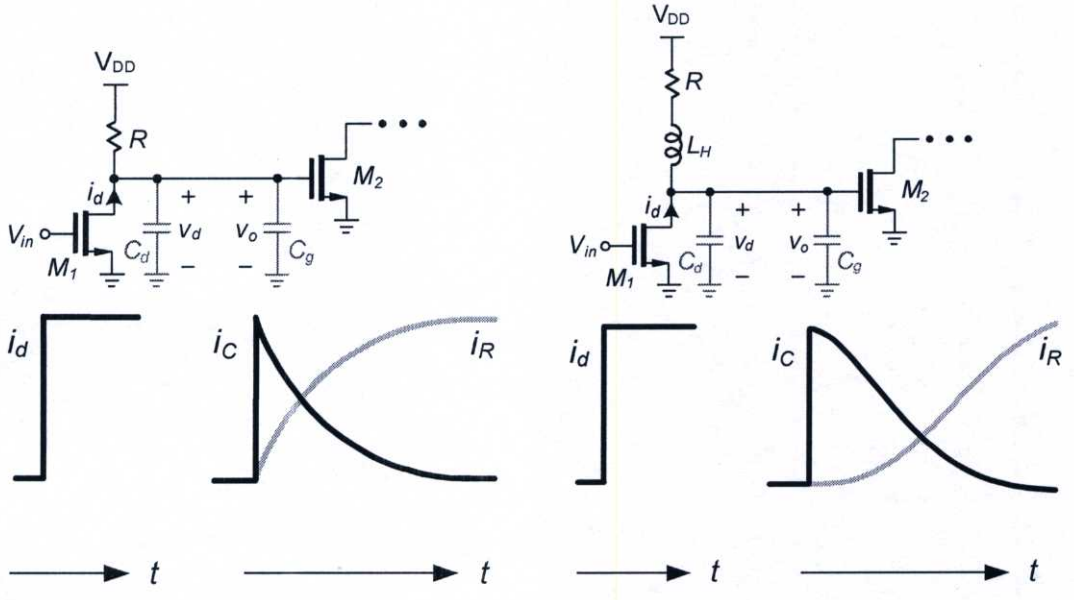
รูปที่ 3.2 โครงข่ายเชื่อมต่อระหว่างภาค (ก) โครงข่ายสร้างยอดแบบอนุกรม-ขนานและ (ข) โครงข่ายสร้างยอดแบบขนาน-อนุกรม

จากรูปที่ 3.2 จะเห็นความแตกต่างได้อย่างชัดเจนของตำแหน่งต่อเชื่อมของอนุกรม $L_H - R$ ซึ่งอนุกรม $L_H - R$ จะถูกต่อเชื่อมที่ขั้วเกตของทรานซิสเตอร์ตัวหลังสำหรับโครงข่ายสร้างยอดแบบ

อนุกรม-ขนาน หรือถูกต่อเชื่อมที่ขั้วเดรนของทรานซิสเตอร์ตัวหน้าสำหรับโครงข่ายสร้างยอดแบบขนาน-อนุกรม

3.4.1 คุณลักษณะทางโดเมนเวลา

เพื่อให้เกิดความเข้าใจถึงกลไกการขยายแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม ในหัวข้อย่อยนี้เราจะแสดงการวิเคราะห์เชิงคุณภาพ (Qualitative) เพื่อเปรียบเทียบสมรรถนะของโครงข่ายทั้งสองในโดเมนเวลา โดยเริ่มแรกเราจะพิจารณาผลตอบสนองต่อสัญญาณกระแสแบบขั้น (Current step response) ของโครงข่าย RC และโครงข่ายสร้างยอดแบบขนาน แสดงดังรูปที่ 3.3 (ก) และ (ข) ตามลำดับ



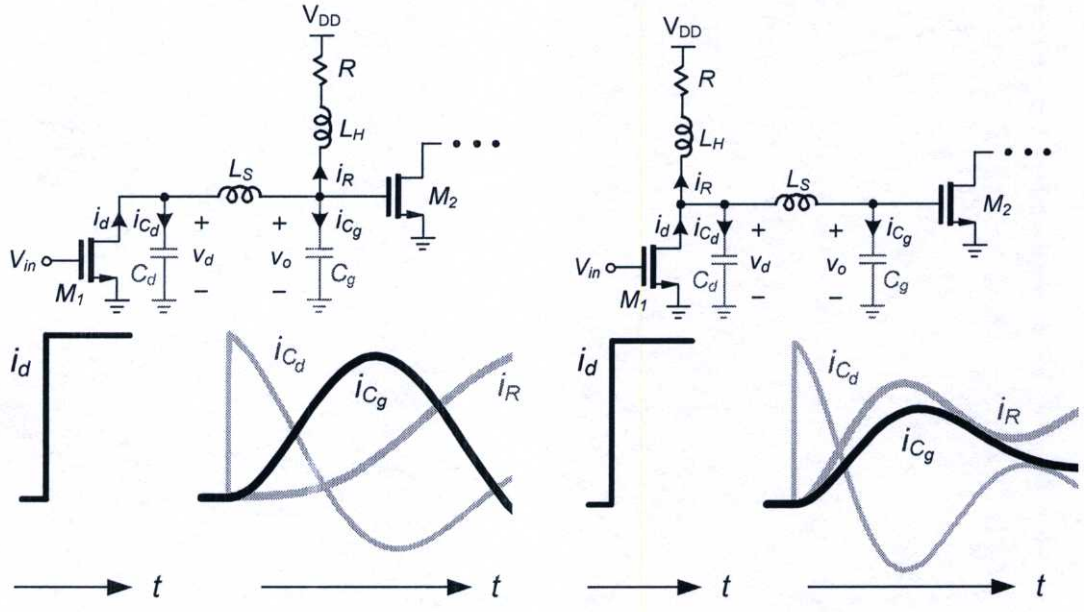
(ก) (ข)

รูปที่ 3.3 ผลตอบสนองต่อสัญญาณกระแสแบบขั้นของ (ก) โครงข่าย RC และ (ข) โครงข่ายสร้างยอดแบบขนาน

ในรูปที่ 3.3 ได้มีการแยกตัวเก็บประจุแฝง C_d ของทรานซิสเตอร์ M_1 และ C_g ของทรานซิสเตอร์ M_2 ออกจากกัน เพื่อให้ง่ายต่อการอธิบายและมองเห็นภาพได้อย่างชัดเจนยิ่งขึ้น พิจารณาโครงข่าย RC รูปที่ 3.3 (ก) ในช่วงเริ่มต้นที่มีการจ่ายสัญญาณกระแส i_d แบบขั้นเข้าสู่โครงข่าย สัญญาณกระแส i_d ทั้งหมดจะไหลเพื่อถ่ายโอนประจุสู่ตัวเก็บประจุแฝงสุทธิ $C_d + C_g$ ส่งผลให้สัญญาณแรงดัน $v_o = v_d = v_g$ มีค่าเป็นศูนย์ ณ. ช่วงเวลานั้น เมื่อเวลาผ่านไป สัญญาณแรงดัน v_o จะค่อยๆ เพิ่มขึ้นตามค่าอินทิกรัลของกระแส i_c ต่อช่วงเวลา ($v_c = C^{-1}\int i_c dt$) ซึ่งเป็นคุณสมบัติของตัว

เก็บประจุ ในขณะเดียวกันนั้นเองก็จะเกิดการแยกไหลของสัญญาณกระแส i_d ผ่านตัวต้านทาน R มากขึ้นๆ จนกระทั่งเข้าสู่สภาวะคงตัวที่สัญญาณกระแส i_d ทั้งหมดไหลผ่านตัวต้านทาน R ทำให้สัญญาณแรงดัน v_o มีค่าเท่ากับ $v_o = i_d \cdot R$

ในกรณีโครงข่ายสร้างยอดแบบขนานได้มีการต่อเพิ่มตัวเหนี่ยวนำ L_H อนุกรมกับตัวต้านทาน R ดังรูปที่ 3.3 (ข) ในช่วงเริ่มต้นของการทำงานจะมีลักษณะเช่นเดียวกับโครงข่าย RC แต่ในขณะที่สัญญาณแรงดัน v_o ค่อยๆ เพิ่มขึ้นตามค่าอินทิกรัลของสัญญาณกระแส i_c ต่อช่วงเวลานั้น ตัวเหนี่ยวนำ L_H จะทำให้เกิดเวลาหน่วงของสัญญาณกระแสที่จะไหลสู่ตัวต้านทาน R (ดูสัญญาณกระแส i_R รูปที่ 3.3 (ข)) ซึ่งเป็นไปตามคุณสมบัติของตัวเหนี่ยวนำที่สัญญาณกระแสจะเป็นค่าอินทิกรัลของแรงดันตกคร่อมต่อช่วงเวลา ($i_L = L^{-1}\int v_c dt$) ทำให้ช่วงเวลาในการอินทิกรัลของสัญญาณกระแส i_c นานขึ้น (ดูสัญญาณกระแส i_c รูปที่ 3.3 (ข) เทียบกับรูปที่ 3.3 (ก)) ส่งผลให้เวลาขาขึ้น (Rise time) ของสัญญาณแรงดัน v_o มีความชันมากกว่าโครงข่าย RC ซึ่งมีนัยว่าแบนด์วิดท์ของโครงข่ายกว้างขึ้น



รูปที่ 3.4 ผลตอบสนองต่อสัญญาณกระแสแบบขั้นของโครงข่ายสร้างยอด (ก) แบบอนุกรม-ขนาน และ (ข) แบบขนาน-อนุกรม

การขยายแบนด์วิดท์ให้กว้างมากยิ่งขึ้นสามารถทำได้โดยการต่อเพิ่มตัวเหนี่ยวนำ L_S คั่นระหว่างตัวเก็บประจุแฝง C_d ของทรานซิสเตอร์ M_1 และ C_g ของทรานซิสเตอร์ M_2 เพื่อแยกตัวเก็บ

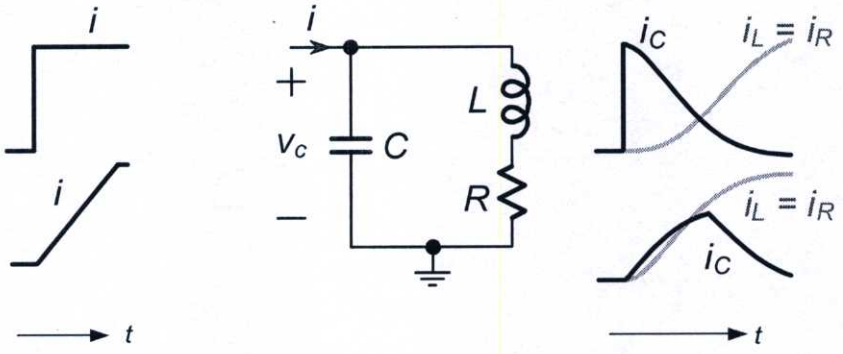
ประจุแฝงทั้งสองออกจากกันดังรูปที่ 3.4 ซึ่งการต่อลักษณะนี้จะทำให้สัญญาณกระแส i_d เกิดการถ่ายโอนประจุแบบอนุกรม (Serial charging) สู่ตัวเก็บประจุแฝง C_d ก่อนแล้วจึงมาประจุที่ C_g ทั้งนี้จะเห็นว่าความเก็บประจุแฝงสุทธิในการถ่ายโอนประจุแต่ละครั้งจะมีค่าน้อยกว่าโครงข่าย RC และโครงข่ายสร้างยอดแบบขนาน (C_d หรือ C_g เท่านั้น) อย่างไรก็ตาม การถ่ายโอนประจุแบบอนุกรมนี้จะทำให้เกิดเวลาหน่วงของสัญญาณกระแสมากขึ้น ซึ่งนั่นหมายถึงเกิดการปรับแลกระหว่างแบนด์วิดท์กับเวลาหน่วงนั่นเอง

รูปที่ 3.4 (ก) และ (ข) แสดงผลตอบสนองต่อสัญญาณกระแสแบบขั้นของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมตามลำดับ พิจารณาโครงข่ายสร้างยอดแบบอนุกรม-ขนานรูปที่ 3.4 (ก) ในช่วงเริ่มต้นที่มีการจ่ายสัญญาณกระแส i_d แบบขั้นเข้าสู่โครงข่าย สัญญาณกระแส i_d ทั้งหมดจะไหลเพื่อถ่ายโอนประจุสู่ตัวเก็บประจุแฝง C_d เท่านั้น เนื่องจากเกิดเวลาหน่วงของสัญญาณกระแสที่ตัวเหนี่ยวนำ L_S ส่งผลให้เวลาขาขึ้นของสัญญาณแรงดัน v_d มีความชันมากขึ้น เมื่อสัญญาณแรงดัน v_d มีระดับสูงมากพอจนทำให้ค่าอินทิกรัลของสัญญาณแรงดันคร่อมตัวเหนี่ยวนำ L_S เพิ่มสูงขึ้น สัญญาณกระแส i_d จะเริ่มแยกไหลผ่านตัวเหนี่ยวนำ L_S (i_{Ls}) แล้วถ่ายโอนประจุสู่ตัวเก็บประจุแฝง C_g แต่เนื่องจากตัวเหนี่ยวนำ L_H ทำให้เกิดเวลาหน่วงของสัญญาณกระแสที่จะแยกไหลสู่ตัวต้านทาน R จึงส่งผลให้เวลาขาขึ้นของสัญญาณแรงดัน v_o มีความชันสูงกว่าโครงข่ายสร้างยอดแบบขนานในรูปที่ 3.3 (ข) ซึ่งสะท้อนถึงแบนด์วิดท์ของโครงข่ายที่กว้างมากขึ้น

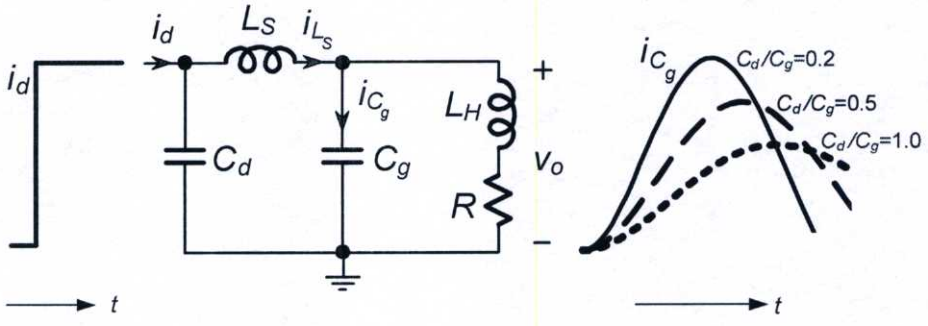
กรณีโครงข่ายสร้างยอดแบบขนาน-อนุกรมรูปที่ 3.4 (ข) ในช่วงเริ่มต้นที่มีการจ่ายสัญญาณกระแส i_d แบบขั้นเข้าสู่โครงข่าย สัญญาณกระแส i_d ทั้งหมดจะไหลเพื่อถ่ายโอนประจุสู่ตัวเก็บประจุแฝง C_d เท่านั้น เนื่องจากเกิดเวลาหน่วงของสัญญาณกระแสที่ตัวเหนี่ยวนำ L_H และ L_S เมื่อสัญญาณแรงดัน v_d มีระดับสูงมากพอจนทำให้ค่าอินทิกรัลของสัญญาณแรงดันคร่อมตัวเหนี่ยวนำ L_H และ L_S เพิ่มสูงขึ้น สัญญาณกระแส i_d ไม่เพียงแยกไหลเพื่อถ่ายโอนประจุสู่ตัวเก็บประจุแฝง C_g เท่านั้น แต่ยังแยกไหลสู่ตัวต้านทาน R อีกด้วย ซึ่งในกรณีนี้จะเห็นว่าปริมาณสัญญาณกระแส i_{Ls} ที่ถ่ายโอนประจุสู่ตัวเก็บประจุแฝง C_g มีค่าต่ำกว่าโครงข่ายสร้างยอดแบบอนุกรม-ขนาน (ดูสัญญาณกระแส i_{Cg} ในรูปที่ 3.4 (ก) และ (ข)) ส่งผลให้สัญญาณแรงดัน v_o มีความชันน้อยกว่า ดังนั้นจึงสามารถสรุปได้ทันทีว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรมจะมีแบนด์วิดท์ที่ต่ำกว่าโครงข่ายสร้างยอดแบบอนุกรม-ขนาน โดยเฉพาะในกรณีที่ความเก็บประจุแฝง C_d มีค่าต่ำกว่า C_g มากๆ ซึ่งสัญญาณกระแส i_{Ls} จะมีความชันใกล้เคียงกับสัญญาณกระแส i_d แบบขั้นที่ขั้วเดรนของทรานซิส เตอร์ M_1

พิจารณาโครงข่ายสร้างยอดแบบอนุกรม-ขนานกรณีที่ความเก็บประจุแฝง C_d มีค่าเข้าใกล้ C_g ในกรณีนี้สัญญาณกระแส i_{Ls} ที่ไหลผ่านตัวเหนี่ยวนำ L_S จะมีความชันน้อยกว่าสัญญาณกระแส i_d ทำให้สัญญาณกระแส i_{Ls} สามารถแยกไหลเพื่อถ่ายโอนประจุสู่ตัวเก็บประจุแฝง C_g และแยกไหลสู่ตัวต้านทาน R ผ่านตัวเหนี่ยวนำ L_H ได้เกือบจะพร้อมๆ กัน ซึ่งในกรณีนี้สามารถเทียบเคียงได้กับ

โครงข่ายสร้างยอดแบบขนาน เมื่อความชันของสัญญาณกระแสลดลงดังรูปที่ 3.5 ดังนั้นสัญญาณกระแส i_{Cg} จึงมีค่าลดลง ส่งผลให้แบนด์วิดท์ของโครงข่ายลดลงด้วยเช่นกัน

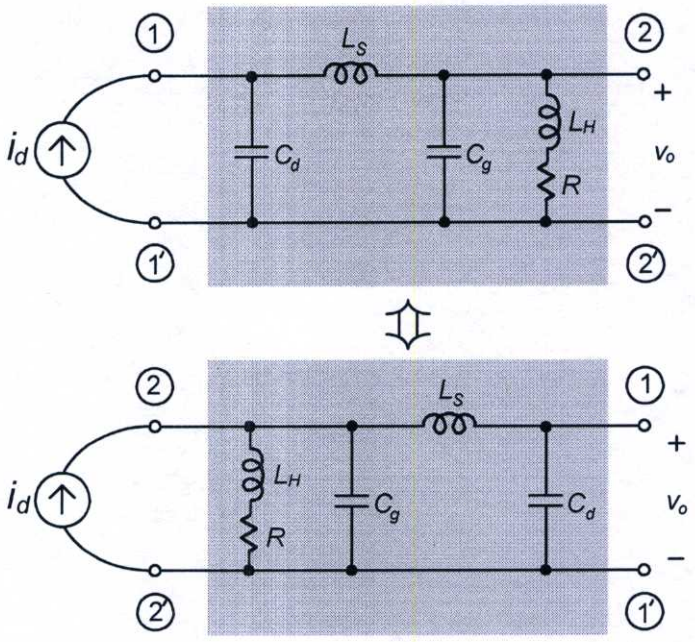


รูปที่ 3.5 ผลตอบสนองต่อสัญญาณกระแสที่มีความชันต่างกันของโครงข่ายสร้างยอดแบบขนาน



รูปที่ 3.6 ผลตอบสนองต่อสัญญาณกระแสแบบขั้นของโครงข่ายสร้างยอดแบบอนุกรม-ขนานในกรณีที่อัตราส่วนความเก็บประจุ C_d / C_g ค่าต่างๆ

รูปที่ 3.6 แสดงผลตอบสนองต่อสัญญาณกระแสแบบขั้นของโครงข่ายสร้างยอดแบบอนุกรม-ขนานในกรณีที่อัตราส่วนความเก็บประจุ C_d / C_g มีค่าจาก 0.2 ถึง 1 ซึ่งจะเห็นว่าเมื่ออัตราส่วนความเก็บประจุ C_d / C_g มีค่ามากขึ้น ปริมาณของสัญญาณกระแส i_{Cg} จะมีค่าน้อยลง แต่น่าสนใจเป็นอย่างยิ่งว่าเมื่ออัตราส่วนความเก็บประจุ $C_d / C_g = 1$ สัญญาณกระแส i_{Cg} จะมีปริมาณเท่ากันทุกประการกับโครงข่ายสร้างยอดแบบขนาน-อนุกรม เราสามารถอธิบายความเท่ากันทุกประการของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม โดยอาศัยการแปลงโครงข่ายด้วยทฤษฎีบทโครงข่ายส่วนกลับ (Reciprocity theorem) [39] แสดงดังรูปที่ 3.7 จากรูปจะเห็นว่าแท้จริงแล้วโครงข่ายทั้งสองเป็นส่วนกลับซึ่งกันและกัน ดังนั้นเมื่อความเก็บประจุแฝง $C_d = C_g$ หรืออัตราส่วนความเก็บประจุ $C_d / C_g = 1$ คุณลักษณะผลตอบสนองสัญญาณของโครงข่ายทั้งสองจึงเหมือนกันทุกประการ

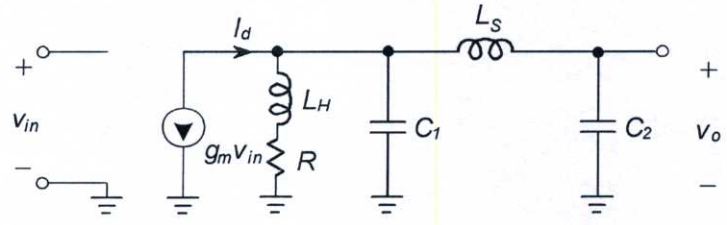


รูปที่ 3.7 การแปลงโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมด้วยทฤษฎีบทโครงข่ายส่วนกลับ

3.4.2 คุณลักษณะทางโดเมนความถี่

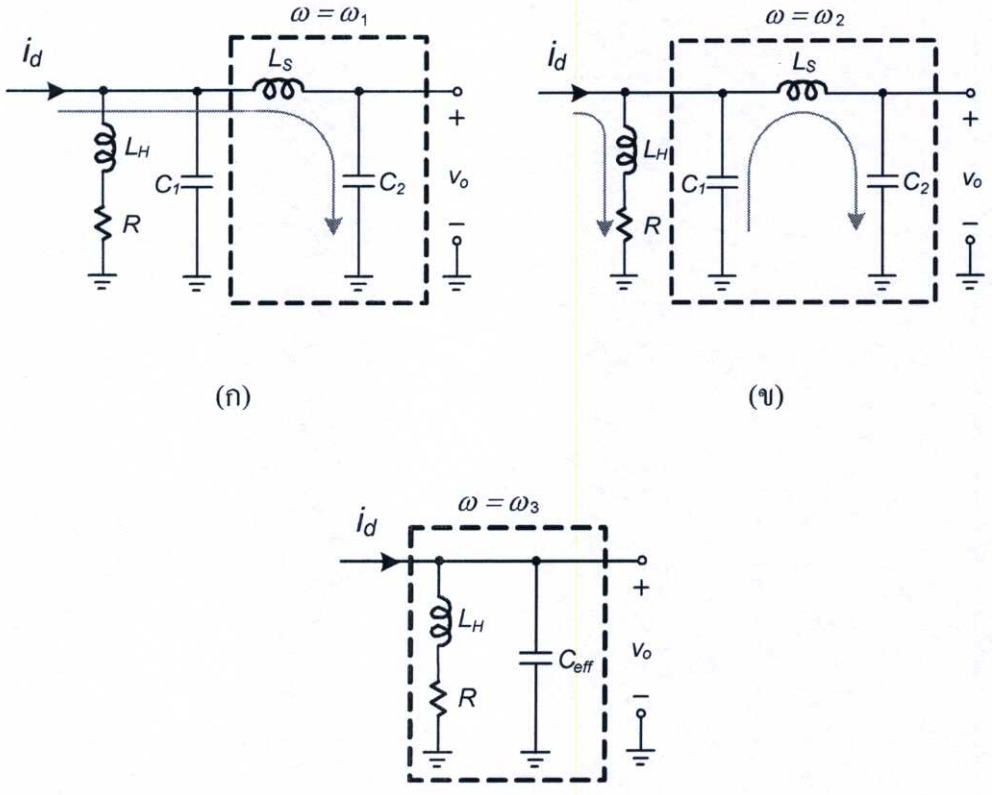
จากการวิเคราะห์เชิงคุณภาพในโดเมนเวลาที่ผ่านมา ทำให้เราทราบถึงสมรรถนะด้านแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานที่เหนือกว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรม ในหัวข้อย่อยนี้เราจะแสดงการวิเคราะห์เชิงปริมาณ (Quantitative) ในโดเมนความถี่ และจะสร้างชุดสมการขึ้นมาเพื่อใช้ทำนายค่าแบนด์วิดท์ของโครงข่ายทั้งสอง รวมถึงการออกแบบค่าอุปกรณ์ L_H และ L_S ที่เหมาะสมกับความต้านทาน R และอัตราส่วนความเก็บประจุ C_d / C_g

ด้วยคุณสมบัติการเป็นส่วนกลับซึ่งกันและกันของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมดังรูปที่ 3.7 เราสามารถวิเคราะห์คุณลักษณะเชิงความถี่ของโครงข่ายหนึ่งแล้วผลลัพธ์ที่ได้จะสะท้อนถึงอีกโครงข่ายหนึ่งในทันที ทั้งนี้เพื่อให้ง่ายต่อการอธิบายและการเปรียบเทียบ เราจะอาศัยโครงข่ายอ้างอิงสำหรับการวิเคราะห์ในโดเมนความถี่ แสดงดังรูปที่ 3.8



รูปที่ 3.8 โครงข่ายอ้างอิงสำหรับการวิเคราะห์ในโดเมนความถี่

จากรูปที่ 3.8 จะกำหนดให้ $C_1 = C_g$ และ $C_2 = C_d$ สำหรับโครงข่ายสร้างยอดแบบอนุกรม-ขนาน และในทางกลับกันเมื่อ $C_1 = C_d$ และ $C_2 = C_g$ สำหรับโครงข่ายสร้างยอดแบบขนาน-อนุกรม ในการอธิบายคุณลักษณะเชิงความถี่ที่สภาวะคงตัว เราจะใช้แนวคิดแบบไตรเรโซแนนซ์ ซึ่งอาศัยการสังเกตตำแหน่งความถี่เรโซแนนซ์ของโครงข่ายเป็นหลัก เพื่อให้เข้าใจการทำงานที่ลึกซึ้งยิ่งกว่าการวิเคราะห์ด้วยทฤษฎีโครงข่ายพื้นฐาน



(ก) (ข)

(ค)

รูปที่ 3.9 ปรากฏการณ์เรโซแนนซ์ของโครงข่าย (ก) โหมดอนุกรมที่ความถี่ ω_1 (ข) และ (ค) โหมดขนานที่ความถี่ ω_2 และ ω_3 ตามลำดับ

การทำงานของวงจรสมมูลรูปที่ 3.8 สามารถอธิบายได้ดังนี้ ในช่วงความถี่ต่ำ สัญญาณกระแส $i_d = -g_m \cdot v_{in}$ ทั้งหมดจะไหลสู่ตัวต้านทาน R ทำให้สัญญาณแรงดันเอาท์พุตมีค่าเท่ากับ $v_o = -g_m \cdot v_{in} \cdot R$ เมื่อความถี่สูงขึ้น ก่อนที่สัญญาณแรงดันเอาท์พุตจะลดต่ำลง เนื่องจากค่าอิมพีแดนซ์ของตัวเก็บประจุ C_1 และ C_2 ที่ลดลงตามความถี่ ค่าอิมพีแดนซ์ของตัวเหนี่ยวนำ L_H จะมีค่าสูงขึ้น จนทำให้สัญญาณกระแส i_d แยกไหลสู่ตัวเก็บประจุ C_1 และ C_2 ในปริมาณที่มากขึ้นเพื่อชดเชยกับค่าอิมพีแดนซ์ที่ลดลง ส่งผลสัญญาณแรงดันเอาท์พุตยังคงระดับใกล้เคียงกับค่าที่ความถี่

ต่ำ เมื่อความถี่สูงจนกระทั่งตัวเหนี่ยวนำ L_S เกิดปรากฏการณ์เรโซแนนซ์กับตัวเก็บประจุ C_2 ในโหมดอนุกรม ดังรูปที่ 3.9 (ก) ที่ความถี่

$$\omega_1 = \frac{1}{\sqrt{L_S C_2}} \tag{3.3}$$

สัญญาณกระแส i_d ทั้งหมดจะไหลสู่ตัวเก็บประจุ C_2 เท่านั้น ทำให้สัญญาณแรงดันเอาท์พุตมีค่าสูงขึ้น เมื่อความถี่สูงกว่า ω_1 โครงข่ายพายที่ประกอบด้วย C_1, L_S และ C_2 จะเกิดปรากฏการณ์เรโซแนนซ์ในโหมดขนาน ดังรูปที่ 3.9 (ข) ที่ความถี่

$$\omega_2 = \frac{1}{\sqrt{L_S \dfrac{C_1 C_2}{(C_1 + C_2)}}} \tag{3.4}$$

ซึ่งจะทำให้สัญญาณแรงดันเอาท์พุตยิ่งสูงขึ้น ส่งผลให้แบนด์วิดท์ของวงจรกว้างขึ้น เมื่อความถี่สูงกว่า ω_2 โครงข่ายพายจะประพฤติตัวเสมือนตัวเก็บประจุประสิทธิผล C_{eff} และเกิดปรากฏการณ์เรโซแนนซ์อีกครั้งในโหมดขนานกับตัวเหนี่ยวนำ L_H ดังรูปที่ 3.9 (ค) ที่ความถี่

$$\omega_3 = \frac{1}{\sqrt{L_{eff} C_{eff}}} \tag{3.5}$$

เมื่อ

$$C_{eff} = \left(m(1+\alpha) + 3 - \sqrt{\left(m(1+\alpha)\right)^2 + 2m(3+\alpha) + 1} \right) C_1 / 2(\alpha m + 2) \tag{3.5.1}$$

และ

$$L_{eff} = {L_H}^2 / (L_H - R^2 C_{eff}) \tag{3.5.2}$$

โดยที่ $\alpha = C_1 / C_2$ และ $m = L_H / L_S$ จากปรากฏการณ์เรโซแนนซ์ที่ความถี่ ω_3 จะส่งผลให้แบนด์วิดท์ของวงจรถูกขยายออกไปมากยิ่งขึ้น เมื่อความถี่สูงเกินกว่า ω_3 สัญญาณแรงดันเอาท์พุตจะค่อยๆ ลดลงตามความถี่อย่างต่อเนื่อง ตามค่าอิมพีแดนซ์ของตัวเก็บประจุประสิทธิผล C_{eff} จนกระทั่งค่ากำลังงานเอาท์พุตน้อยกว่ากึ่งหนึ่งของกำลังงานที่ความถี่ต่ำ ซึ่งก็คือแบนด์วิดท์ของวงจรนั่นเอง เป็นที่น่าสังเกตว่าแบนด์วิดท์ของวงจรจะอยู่ถัดไปจากความถี่เรโซแนนซ์ ω_3

จากคุณลักษณะเชิงความถี่ของวงจรที่ได้อธิบายข้างต้น จะเห็นว่าตำแหน่งของความถี่เรโซแนนซ์ ω_1, ω_2 และ ω_3 มีความสำคัญเป็นอย่างมากต่อประสิทธิผลการขยายแบนด์วิดท์ ดังนั้นการออกแบบค่าอุปกรณ์ L_H, L_S ให้เหมาะสมกับค่า C_1, C_2 และ R จึงมีความสำคัญไม่น้อยไปกว่ากัน ใน

การออกแบบค่าอุปกรณ์ เริ่มแรกเราจะกำหนดให้ตัวเหนี่ยวนำ L_H เป็นไปตามความสัมพันธ์ของโครงข่ายสร้างยอดแบบขนานที่ระดับยอดปานกลาง โดยมีค่าเท่ากับ

$$L_H = R^2 C_1 / 2 \tag{3.6}$$

จากนั้นเราสามารถหาค่าความเหนี่ยวนำ L_S ได้จากเงื่อนไขที่ผลตอบสนองเชิงความถี่ของวงจรมีความราบเรียบของสัญญาณแรงดันเอาท์พุต จากความถี่ต่ำจนถึงช่วงความถี่กึ่งกลางที่ $\omega_1 / 2$ โดยฟังก์ชั่นการส่งผ่านของวงจรสามารถแสดงได้ดังสมการ

$$H(j\omega) = \frac{v_o(j\omega)}{i_d(j\omega)} = \frac{R\left(1 + j\omega m\left(\frac{\tau_2^{\,2}}{\tau_4}\right)\right)}{\left(1 + \omega^4 \tau_1^{\,2}\tau_2^{\,2} - \omega^2\left(1 + m(1+\alpha)\right)\tau_2^{\,2}\right) + j\omega\left((1+\alpha)\left(\frac{\tau_2^{\,2}}{\tau_5}\right) - \omega^2\tau_2^{\,2}\tau_3\right)} \tag{3.7}$$

เมื่อ $\tau_1 = \sqrt{L_H C_1}$, $\tau_2 = \sqrt{L_S C_2}$, $\tau_3 = RC_1$, $\tau_4 = RC_2$ และ $\tau_5 = L_S / R$ จากสมการที่ (3.7) หากแทน ω ด้วย $\omega_1 / 2$ และกำหนดให้ $|H(j\omega_1 / 2) = R|$ ตามเงื่อนไขความราบเรียบดังกล่าวข้างต้นเราจะสามารถหาค่าความเหนี่ยวนำ L_S ได้จาก

$$L_S = L_H / m \tag{3.8}$$

เมื่อ

$$m = \frac{1}{\left(\alpha^3 + 3\alpha^2 + 2\alpha\right)}\left(2\alpha^2 - 6\alpha - 8 + \sqrt{20\alpha^4 + 18\alpha^3 + 32\alpha^2 + 96\alpha + 64}\right) \tag{3.9}$$

จากค่าความเหนี่ยวนำ L_H และ L_S ที่คำนวณได้จากสมการที่ (3.6) และ (3.8) เมื่อแทนค่าในสมการที่ (3.7) เราสามารถหาแบนด์วิดท์ของวงจรได้จากความสัมพันธ์ $|H(j2\pi \mathrm{BW}_i)| = |H(j\omega_B)| = R/\sqrt{2}$ แต่เนื่องจากไม่สามารถแสดงสมการให้อยู่ในรูปอย่างง่าย จึงจำเป็นต้องอาศัยการคำนวณเชิงตัวเลขเข้าช่วย

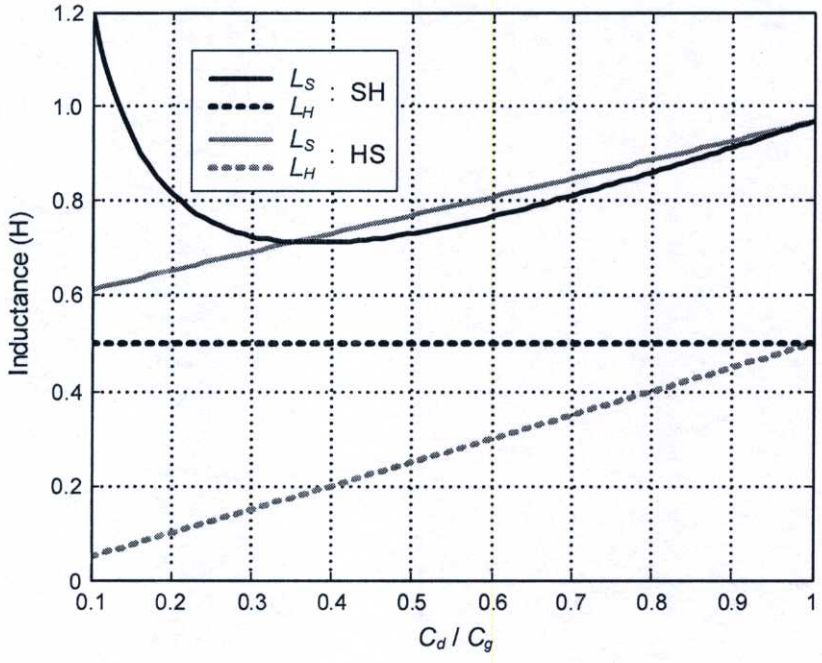
อนึ่ง เราสามารถประมาณค่ายอด (Peaking) ของฟังก์ชั่นการส่งผ่านได้จากค่าที่ความถี่เรโซแนนซ์ ω_2 โดยมีค่าเท่ากับ

$$G_p = \alpha\left(\sqrt{1 + \left(1/\tau_3 + 1/\tau_4\right)m^2\tau_5}\right) \tag{3.10}$$

ซึ่งจะเห็นว่าค่ายอดแปรผันตามอัตราส่วนความเก็บประจุ α โดยผลตอบสนองทางความถี่ของวงจรจะมีค่ายอดที่ค่อนข้างสูงเมื่อ $\alpha > 1$ แม้ว่าจะช่วยขยายแบนด์วิดท์ให้กว้างขึ้น แต่กลับทำให้ความราบเรียบของเวลาหน่วงเชิงกลุ่ม (Group delay) แย่ลง ซึ่งจะส่งผลให้เกิดการแทรกสอดของสัญญาณ (Inter-symbol Interference: ISI) อย่างไรก็ตาม ในทางปฏิบัติจะมีค่าการสูญเสียเกิดขึ้นในตัวเหนี่ยวนำ L_H และ L_S ทำให้ค่าตัวประกอบคุณภาพ Q ไม่สูงมากนัก กอปรกับค่าการสูญเสียที่เกิดขึ้นที่ขั้วเกตและขั้วเดรนของทรานซิสเตอร์ จะทำให้ค่ายอดของฟังก์ชั่นการส่งผ่านลดลงเป็นอย่างมากจนอยู่ในระดับที่ใช้งานได้ ซึ่งจะได้อธิบายอย่างละเอียดในหัวข้อถัดไป

3.4.2.1 อัตราส่วนการขยายแบนด์วิดท์

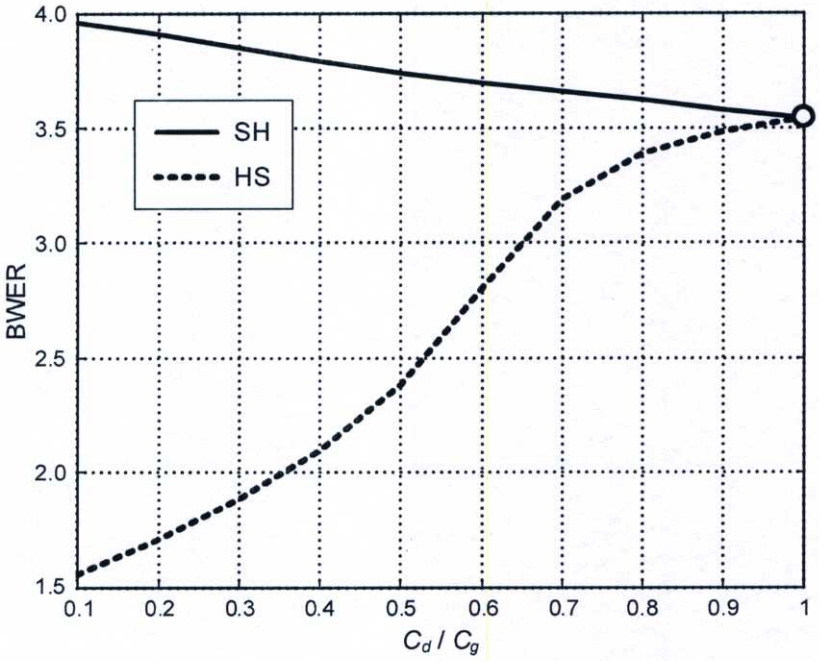
อัตราส่วนการขยายแบนด์วิดท์ (Bandwidth Enhancement Ratio: BWER) คือตัวเลขที่บ่งบอกถึงอัตราส่วนแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนาน (ω_B^{SH}) หรือขนาน-อนุกรม (ω_B^{HS}) ต่อแบนด์วิดท์ของโครงข่าย RC ($\omega_B^{RC} = 1/R(C_d + C_g)$) จากการวิเคราะห์ที่ผ่านมาทำให้เราทราบว่าแบนด์วิดท์ของโครงข่ายจะขึ้นอยู่กับค่าอุปกรณ์ L_H , L_S , C_d , C_g และ R โดยเราสามารถแสดงความสัมพันธ์ระหว่างค่าความเหนี่ยวนำ L_H และ L_S กับอัตราส่วนความเก็บประจุ C_d / C_g ที่เงื่อนไขความราบเรียบได้ดังรูปที่ 3.10



รูปที่ 3.10 ความสัมพันธ์ระหว่างค่าความเหนี่ยวนำ L_H และ L_S กับอัตราส่วนความเก็บประจุ C_d / C_g

ในรูปที่ 3.10 เราได้กำหนดให้ $R = 1/g_m = 1$ และ $C_g = 1$ โดย C_d มีการเปลี่ยนค่าตั้งแต่ 0.1-1 จากรูปจะเห็นว่าค่าความเหนี่ยวนำ L_S จะมีค่ามากกว่า L_H เสมอทั้งในกรณีของโครงข่าย

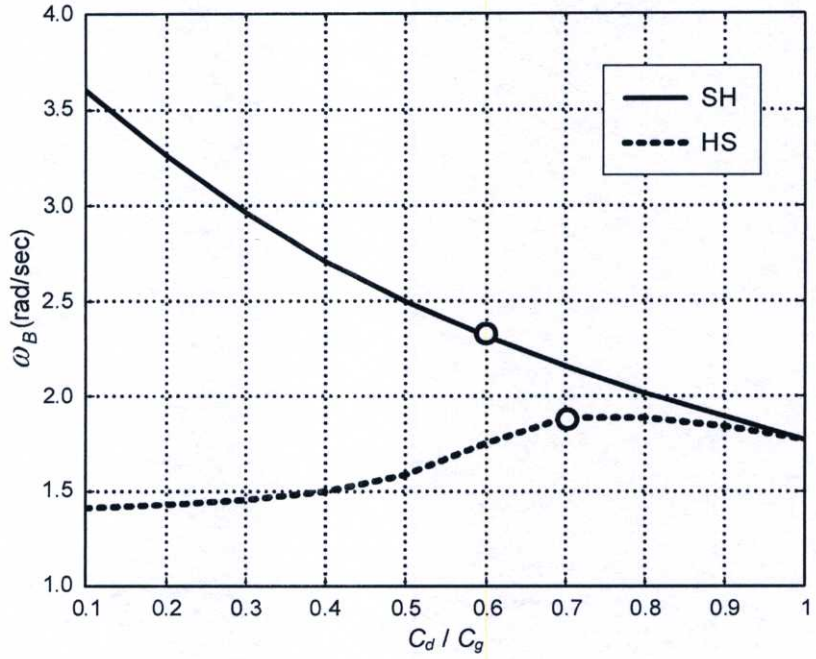
สร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม ในกรณีที่อัตราส่วนความเก็บประจุ $C_d / C_g = 1$ โครงข่ายทั้งสองจะมีค่าอุปกรณ์ต่างๆ เท่ากัน และมีผลตอบสนองเชิงความถี่เหมือนกันทุกประการ ดังที่ได้อธิบายก่อนหน้านี้ด้วยทฤษฎีบทโครงข่ายส่วนกลับ จากค่าตัวเหนี่ยวนำ L_H และ L_S ในรูปที่ 3.10 เมื่อแทนลงในสมการที่ (3.7) เราสามารถแสดงอัตราส่วนการขยายแบนด์วิดท์เทียบกับอัตราส่วนความเก็บประจุ C_d / C_g ได้ดังรูปที่ 3.11



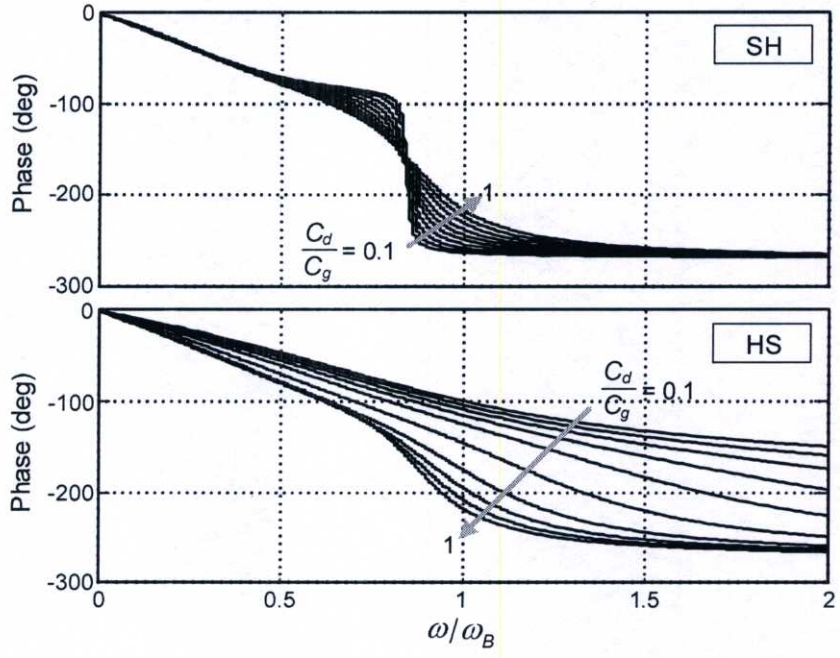
รูปที่ 3.11 อัตราส่วนการขยายแบนด์วิดท์เทียบกับอัตราส่วนความเก็บประจุ C_d / C_g

ในรูปที่ 3.11 จะเห็นว่าอัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานสูงกว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรม และจะมีค่าเท่ากันเท่ากับ 3.54 ที่อัตราส่วนความเก็บประจุ $C_d / C_g = 1$ เป็นที่น่าสังเกตว่าอัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายทั้งสองมีทิศทางที่ตรงข้ามกันกล่าวคือ อัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายสร้างยอดแบบขนาน-อนุกรมจะมีค่าลดลงแต่โครงข่ายสร้างยอดแบบอนุกรม-ขนานจะมีค่าเพิ่มขึ้น เมื่ออัตราส่วนความเก็บประจุ C_d / C_g ลดลง พิจารณาที่อัตราส่วนความเก็บประจุ $C_d / C_g = 0.1$ อัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานจะมีค่าเท่ากับ 3.96 ซึ่งใกล้เคียงกับค่าสูงสุดของอัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายแบบสองพอร์ตที่มีค่าเท่ากับ 4 [40] ในขณะที่อัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายสร้างยอดแบบขนาน-อนุกรมจะมีค่าเท่ากับ 1.54 ซึ่งใกล้เคียงกับค่าสูงสุดของอัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรมที่มีค่าเท่ากับ

1.41 [33] จากรูปที่ 3.11 เมื่อทำการคำนวณหาค่าแบนด์วิดท์ของโครงข่าย $\omega_B = 2\pi \mathrm{BW}_i$ ในหน่วยเรเดียนต่อวินาทีเทียบกับอัตราส่วนความเก็บประจุ C_d / C_g เราสามารถแสดงได้ดังรูปที่ 3.12



รูปที่ 3.12 แบนด์วิดท์ของโครงข่ายเทียบกับอัตราส่วนความเก็บประจุ C_d / C_g



รูปที่ 3.13 ผลตอบสนองทางเฟสที่อัตราส่วนความเก็บประจุ C_d / C_g ค่าต่างๆ เทียบกับความถี่นอร์มัลไลซ์ ω / ω_B

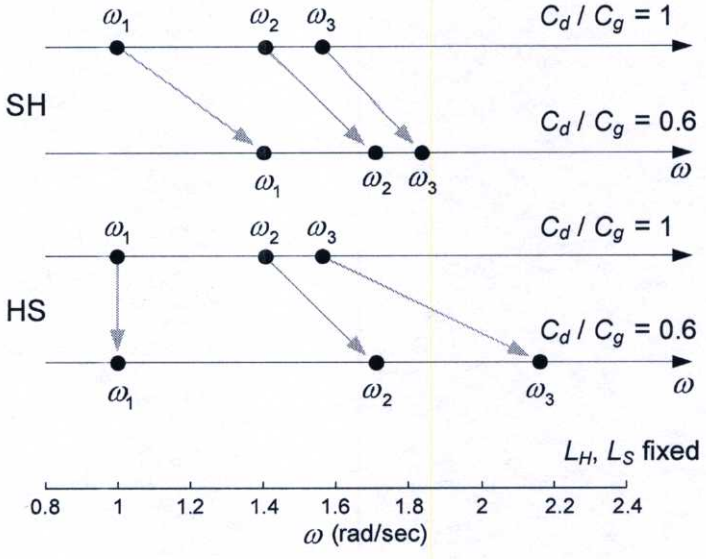
จากรูปที่ 3.12 พิจารณาที่อัตราส่วนความเก็บประจุ $C_d/C_g = 0.6$ ซึ่งเป็นค่าทั่วไปในทางปฏิบัติ จะเห็นว่าแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีค่ามากกว่าแบนด์วิดท์ค่าสูงสุดของโครงข่ายสร้างยอดแบบขนาน-อนุกรมที่อัตราส่วนความเก็บประจุ $C_d/C_g = 0.7$ ประมาณ 1.22 เท่า ทั้งนี้ในกรณีที่อัตราส่วนความเก็บประจุ $C_d/C_g < 0.7$ โครงข่ายสร้างยอดแบบขนาน-อนุกรมจำเป็นต้องเพิ่มความเก็บประจุภายนอก C_d' เพื่อให้โครงข่ายมีแบนด์วิดท์ค่าสูงสุด

รูปที่ 3.13 แสดงผลตอบสนองทางเฟสที่อัตราส่วนความเก็บประจุ C_d/C_g ค่า 0.1-1 เทียบกับความถี่นอร์มัลไลซ์ ω/ω_B จากรูปจะเห็นว่าผลตอบสนองทางเฟสของโครงข่ายสร้างยอดแบบอนุกรม-ขนานจะมีความชันมากที่อัตราส่วนความเก็บประจุ C_d/C_g ค่าน้อย เมื่อความถี่นอร์มัลไลซ์เข้าใกล้ $\omega/\omega_B = 1$ ทั้งนี้เกิดจากค่ายอดของฟังก์ชั่นการส่งผ่านที่มีค่าสูง แต่ในทางปฏิบัติจะมีค่าการสูญเสียเกิดขึ้น ทำให้ค่ายอดและความชันของเฟสมีค่าลดลงเป็นอย่างมาก สำหรับผลตอบสนองทางเฟสของโครงข่ายสร้างยอดแบบขนาน-อนุกรมจะค่อนข้างเชิงเส้นที่อัตราส่วนความเก็บประจุ C_d/C_g ค่าน้อย เนื่องจากคุณลักษณะของโครงข่ายลู่เข้าสู่โครงข่ายสร้างยอดแบบอนุกรม

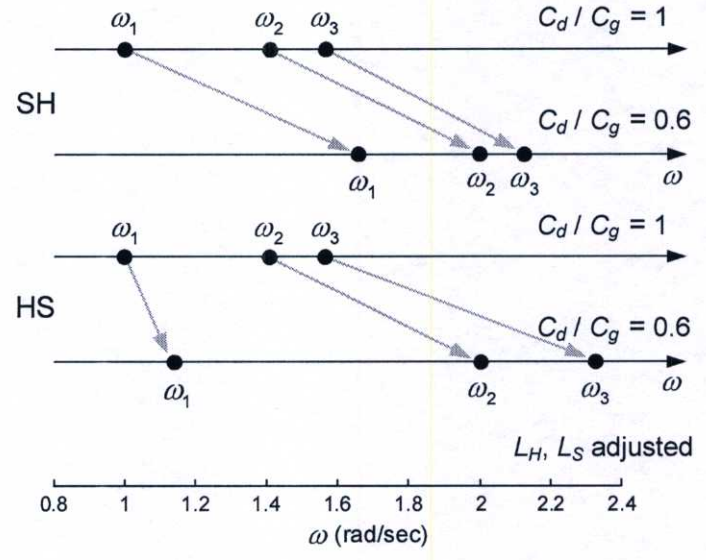
การทำความเข้าใจถึงสาเหตุที่อัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายสร้างยอดแบบขนาน-อนุกรมมีค่าลดลง แต่โครงข่ายสร้างยอดแบบอนุกรม-ขนานกลับมีค่าเพิ่มขึ้น เมื่ออัตราส่วนความเก็บประจุ C_d/C_g ลดลง เราอาจใช้การสังเกตตำแหน่งความถี่เรโซแนนซ์ $\omega_1 - \omega_3$ ของโครงข่ายเทียบกับการเปลี่ยนแปลงของอัตราส่วนความเก็บประจุ C_d/C_g โดยสมมติให้อัตราส่วนความเก็บประจุ C_d/C_g มีการเปลี่ยนแปลงค่าจาก 1 เป็น 0.6 เริ่มแรกเราจะกำหนดให้อัตราส่วนความเก็บประจุ $C_d/C_g = 1$ โดยที่ตัวเหนี่ยวนำ L_H , L_S มีค่าตามสมการที่ (3.6) และสมการที่ (3.8)-(3.9) และมีค่าคงที่ไม่เปลี่ยนแปลง เมื่อเปลี่ยนค่าให้อัตราส่วนความเก็บประจุ $C_d/C_g = 0.6$ ภายใต้เงื่อนไขนี้ เราสามารถแสดงตำแหน่งความถี่เรโซแนนซ์ที่สัมพันธ์กับอัตราส่วนความเก็บประจุ C_d/C_g ได้ดังรูปที่ 3.14 (ก)

ในรูปที่ 3.14 (ก) เมื่ออัตราส่วนความเก็บประจุ C_d/C_g เปลี่ยนค่าจาก 1 เป็น 0.6 ความถี่เรโซแนนซ์ $\omega_1 - \omega_3$ ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานจะเคลื่อนไปที่ความถี่สูงพร้อมๆ กัน เนื่องจากความถี่เรโซแนนซ์ทั้งสามแปรผันตามความเก็บประจุ C_d (ดูสมการที่ (3.3)-(3.5) เมื่อ $C_2 = C_d$) ทำให้แบนด์วิดท์ของโครงข่ายเพิ่มขึ้น แต่ในกรณีของโครงข่ายสร้างยอดแบบขนาน-อนุกรมจะมีเฉพาะความถี่เรโซแนนซ์ $\omega_2 - \omega_3$ เท่านั้นที่เคลื่อนไปที่ความถี่สูง เนื่องจากความถี่เรโซแนนซ์ทั้งสองแปรผันตามความเก็บประจุ C_d ในขณะที่ความถี่เรโซแนนซ์ ω_1 จะคงที่ไม่เปลี่ยนแปลง (ดูสมการที่ (3.3)-(3.5) เมื่อ $C_2 = C_g$) ส่งผลให้แบนด์วิดท์ของโครงข่ายลดลง รูปที่ 3.14 (ข) แสดงตำแหน่งความถี่เรโซแนนซ์ที่สัมพันธ์กับอัตราส่วนความเก็บประจุ $C_d/C_g = 0.6$ เมื่อปรับค่าความเหนี่ยวนำ L_H , L_S ตามเงื่อนไขความราบเรียบ จากรูปจะเห็นว่าตำแหน่งความถี่เร

โซแนนซ์ $\omega_1 - \omega_3$ ของโครงข่ายทั้งสองเคลื่อนไปที่ความถี่สูงมากขึ้น ทำให้แบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานเพิ่มสูงขึ้น แต่ในกรณีของโครงข่ายสร้างยอดแบบขนาน-อนุกรม แม้ตำแหน่งความถี่เรโซแนนซ์ทั้งสามจะเคลื่อนไปพร้อมๆ กัน แต่ด้วยความถี่เรโซแนนซ์ ω_2 ห่างจาก ω_1 มาก จึงไม่สามารถช่วยให้แบนด์วิดท์ของโครงข่ายเพิ่มขึ้นได้

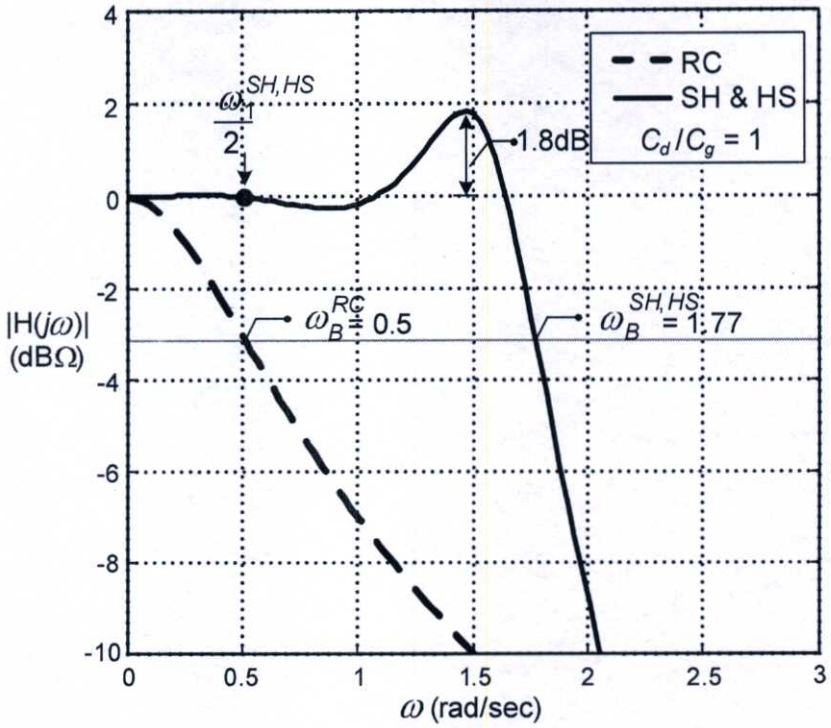


(ก)

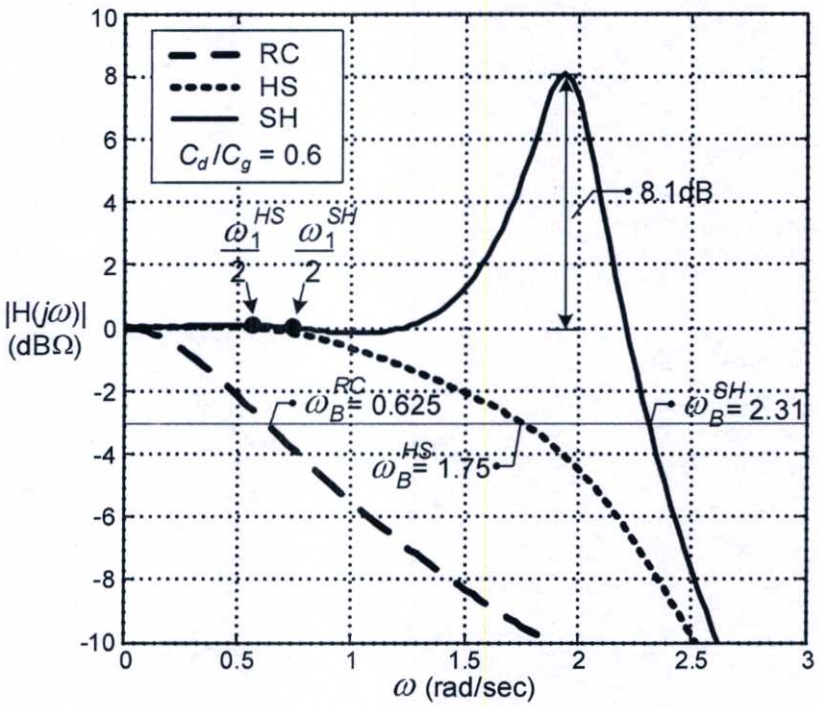


(ข)

รูปที่ 3.14 ตำแหน่งความถี่เรโซแนนซ์ที่สัมพันธ์กับอัตราส่วนความเก็บประจุ C_d / C_g (ก) คงค่าความเหนี่ยวนำ L_H , L_S ที่อัตราส่วนความเก็บประจุ $C_d / C_g = 1$ และ (ข) ปรับค่าความเหนี่ยวนำ L_H , L_S ตามเงื่อนไขความราบเรียบที่อัตราส่วนความเก็บประจุ $C_d / C_g = 0.6$



(ก)



(ข)

รูปที่ 3.15 ผลตอบสนองทางความถี่ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม เทียบกับโครงข่าย RC ที่อัตราส่วนความเก็บประจุ (ก) $C_d/C_g = 1$ และ (ข) $C_d/C_g = 0.6$

รูปที่ 3.15 (ก) และ (ข) แสดงผลตอบสนองทางความถี่ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมเทียบกับโครงข่าย RC กรณีอัตราส่วนความเก็บประจุ $C_d/C_g=1$ และ $C_d/C_g=0.6$ ตามลำดับ เมื่อกำหนดให้ $R=1/g_m=1$ และ $C_g=1$ จากรูปจะเห็นว่าผลตอบสนองทางความถี่ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมมีความราบเรียบตั้งแต่ความถี่ต่ำจนถึงความถี่ $\omega_1/2$ พิจารณาในกรณีที่อัตราส่วนความเก็บประจุ $C_d/C_g=1$ จะเห็นว่าโครงข่ายทั้งสองมีผลตอบสนองทางความถี่ที่เหมือนกันทุกประการ โดยมีแบนด์วิดท์เท่ากับ 1.77 เรเดียนต่อวินาที ในขณะที่โครงข่าย RC มีแบนด์วิดท์เท่ากับ 0.5 เรเดียนต่อวินาที ซึ่งจะได้ค่าอัตราส่วนการขยายแบนด์วิดท์เท่ากับ 3.54 ในกรณีที่อัตราส่วนความเก็บประจุ $C_d/C_g=0.6$ โครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมจะมีแบนด์วิดท์เท่ากับ 2.31 และ 1.75 เรเดียนต่อวินาที ตามลำดับ ในขณะที่โครงข่าย RC มีแบนด์วิดท์เท่ากับ 0.625 เรเดียนต่อวินาที โดยอัตราส่วนการขยายแบนด์วิดท์จะมีค่าเท่ากับ 3.69 และ 2.88 สำหรับโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม ตามลำดับ ซึ่งสอดคล้องกับรูปที่ 3.11 และรูปที่ 3.12 ทั้งนี้ ค่ายอดของผลตอบสนองทางความถี่ใกล้เคียงกับที่คำนวณได้ด้วยสมการที่ (3.10) อย่างไรก็ดี ในทางปฏิบัติจะมีค่าการสูญเสียในตัวเหนี่ยวนำและทรานซิสเตอร์ ทำให้เกิดการลดทอนค่ายอดลงอย่างมาก

3.4.3 ผลกระทบจากความไม่เป็นอุดมคติ

ในหัวข้อที่ผ่านมา เราได้ทำการวิเคราะห์โครงข่ายในกรณีที่เป็นอุดมคติ ซึ่งแสดงให้เห็นถึงสมรรถนะด้านแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานที่เหนือกว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรม เมื่ออัตราส่วนความเก็บประจุ $C_d/C_g<1$ และจะมีค่าเท่ากันเมื่อ $C_d/C_g=1$ แต่ในทางปฏิบัติจะมีผลกระทบจากความไม่เป็นอุดมคติ ซึ่งเกิดจากความเก็บประจุแฝงและความต้านทานแฝงต่างๆ ในตัวเหนี่ยวนำและทรานซิสเตอร์ ทำให้คุณลักษณะทางความถี่ของโครงข่ายต่างไปจากอุดมคติเป็นอย่างมาก

3.4.3.1 ความเก็บประจุแฝง

ในการออกแบบวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมในทางปฏิบัติ ความเก็บประจุแฝงสุทธิ C_d และ C_g นั้นจะประกอบด้วยความเก็บประจุแฝงจากทรานซิสเตอร์ C_p^{Tr} ความเก็บประจุแฝงจากตัวเหนี่ยวนำ C_p^L และความเก็บประจุแฝงจากการเชื่อมต่อ (Interconnection) ในเลย์เอาท์ C_p^I ในกรณีที่การออกแบบวงจรใช้โครงสร้างทรานซิสเตอร์แบบคาสโคด จะสามารถลดผลกระทบที่เกิดจากความเก็บประจุมิลเลอร์ (Miller capacitance) และช่วยเพิ่มความต้านทานเอาท์พุตของทรานซิสเตอร์ให้สูงขึ้น [7] โดยความเก็บประจุแฝงที่ขั้วเดรนและขั้วเกตของทรานซิสเตอร์สามารถหาได้จาก

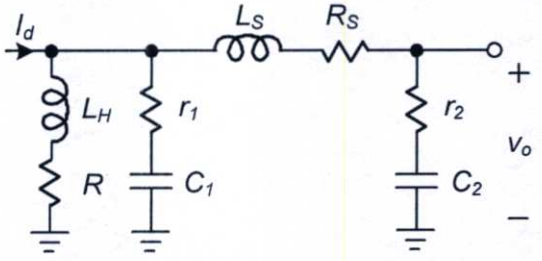
$$C_{pd}^{\mathrm{Tr}} \approx C_{gd} + C_{jdb} \tag{3.11}$$

$$C_{pg}^{\mathrm{Tr}} \approx C_{gs} + 2C_{gd} \tag{3.12}$$

เมื่อ C_{gd} คือความเก็บประจุแฝงที่ขั้วเกต-เดรน C_{jdb} คือความเก็บประจุแฝงที่รอยต่อเดรน-บัลค์ และ C_{gs} คือความเก็บประจุแฝงที่ขั้วเกต-ซอร์ส ทั้งนี้ความเก็บประจุแฝงทั้งหมดที่กล่าวมานี้ จะมีผลกระทบโดยตรงต่อสมรรถนะด้านแบนด์วิดท์ของวงจร ดังนั้นในการออกแบบวงจรควรคิดคำนึงถึงความเก็บประจุแฝงเหล่านี้และรวมเข้าไว้ในขั้นตอนการออกแบบตั้งแต่ตอนต้น ซึ่งจะกล่าวถึงในหัวข้อตัวอย่างขั้นตอนการออกแบบ

3.4.3.2 ความต้านทานแฝง

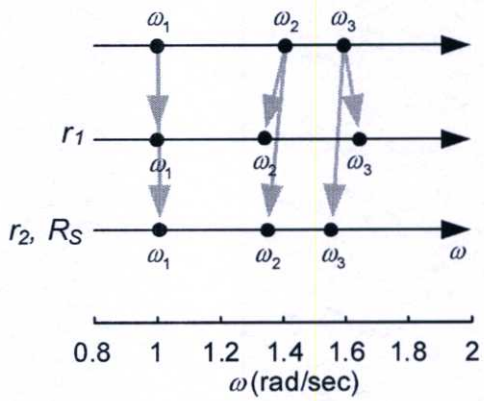
สำหรับการออกแบบวงจรด้วยโครงสร้างทรานซิสเตอร์แบบคาสโคด ค่าการสูญเสียหลักของวงจรจะเกิดจากความต้านทานแฝงที่อนุกรมอยู่กับตัวเก็บประจุแฝง C_g และความต้านทานแฝงที่อนุกรมอยู่กับตัวเหนี่ยวนำ L_S แม้ว่าจะมีค่าการสูญเสียในตัวเหนี่ยวนำ L_H แต่เนื่องจากค่าความต้านทานแฝงอนุกรมอยู่กับความต้านทาน R ซึ่งมีค่าสูงกว่ามาก ดังนั้นจึงสามารถละเลยได้ เพื่อทำการวิเคราะห์ผลกระทบที่เกิดจากความต้านทานแฝงดังกล่าว เราอาจแทนค่าการสูญเสียเหล่านี้เข้าไปในโครงข่ายอ้างอิงรูปที่ 3.8 โดยที่ R_g และ R_S คือความต้านทานแฝงในทรานซิสเตอร์และตัวเหนี่ยวนำ L_S ตามลำดับ ซึ่งแสดงดังรูปที่ 3.16 เมื่อกำหนดให้ $r_1 = R_g$ และ $r_2 = 0$ สำหรับโครงข่ายสร้างยอดแบบอนุกรม-ขนาน และในทางกลับกันเมื่อ $r_1 = 0$ และ $r_2 = R_g$ สำหรับโครงข่ายสร้างยอดแบบขนาน-อนุกรม



รูปที่ 3.16 โครงข่ายอ้างอิงในกรณีที่มีการสูญเสีย

จากรูปที่ 3.16 เมื่อทำการวิเคราะห์ด้วยแนวคิดแบบไตรเรโซแนนซ์ดังรูปที่ 3.9 จะพบว่าค่าความต้านทานแฝงทำให้ค่า Q ของปรากฏการณ์เรโซแนนซ์ $\omega_1 - \omega_3$ ลดลง ส่งผลให้ค่ายอดของฟังก์ชั่นการส่งผ่านมีค่าลดลงเป็นอย่างมาก นอกจากนี้ยังทำให้ตำแหน่งความถี่เรโซแนนซ์ของโครงข่ายเปลี่ยนแปลงไป โดยรูปที่ 3.17 แสดงตำแหน่งความถี่เรโซแนนซ์ที่เปลี่ยนแปลงตามความต้านทานแฝง r_1, r_2 และ R_S เมื่อกำหนดให้อัตราส่วนความเก็บประจุ $C_d / C_g = 1$ จากรูปจะเห็นว่า

ตำแหน่งความถี่เรโซแนนซ์ ω_1 ค่อนข้างคงที่ แต่ตำแหน่งความถี่เรโซแนนซ์ $\omega_2 - \omega_3$ จะแยกออกจากกันในกรณีค่าการสูญเสียจากความต้านทานแฝง r_1 และจะเคลื่อนไปที่ความถี่ต่ำในกรณีค่าการสูญเสียจากความต้านทานแฝง r_2 และ R_S ด้วยเหตุผลดังกล่าวจะทำให้แบนด์วิดท์ของโครงข่ายทั้งสองลดต่ำลง



รูปที่ 3.17 ตำแหน่งความถี่เรโซแนนซ์ในกรณีที่มีการสูญเสียจากความต้านทานแฝง

โดยเราสามารถหาค่ายอดและแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมจากโครงข่ายอ้างอิงที่มีการสูญเสียรูปที่ 3.16 ได้จากสมการ

$$H'(j\omega)=\frac{R\left[\left(1+j\omega m\left(\tau_2^{\,2}/\tau_4\right)\right)\left(-Q_{Ls}\left(Q_{C1}+Q_{C2}\right)+j\left(Q'-Q_{Ls}\right)\right)\right]}{\left[\omega^4\left(\tau_1\tau_2\right)^2Q_{C1}Q_{C2}+\omega^3\tau_2^{\,2}\tau_3Q'+\omega^2\left(\tau_2^{\,2}\left(Q_{Ls}Q_{C2}\left(1+m\right)-Q_{C1}Q_{C2}\right)+\tau_1^{\,2}Q_{Ls}Q_{C1}\right)-\omega Q'\left(\tau_3+\tau_4\right)+Q_{Ls}\left(1-\left(Q_{C1}+Q_{C2}\right)\right)\right]+}$$
$$j\left[\omega^4\left(\tau_1\tau_2\right)^2Q'-\omega^3\tau_2^{\,2}\tau_3Q_{C1}Q_{C2}-\omega^2\left(\tau_2^{\,2}\left(Q'\left(1+m\right)+Q_{C2}\right)+\tau_1^{\,2}Q'\right)-\omega Q_{Ls}\left(\tau_3Q_{C1}+\tau_4Q_{C2}\right)+Q'-Q_{Ls}\right]$$

(3.13)

เมื่อ $Q_{Ls}=\omega L_S/R_S$, $Q_{C1,2}=1/\omega r_{1,2}C_{1,2}$ และ $Q'=Q_{Ls}Q_{C1}Q_{C2}$ จากสมการที่ (3.13) เราสามารถหาค่ายอดได้จาก

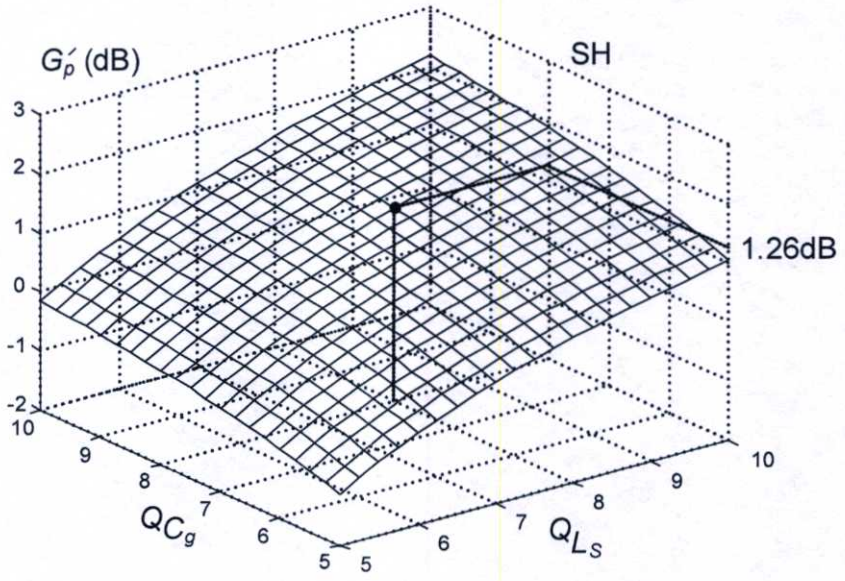
$$G_p'=\delta G_p \tag{3.14}$$

โดยที่

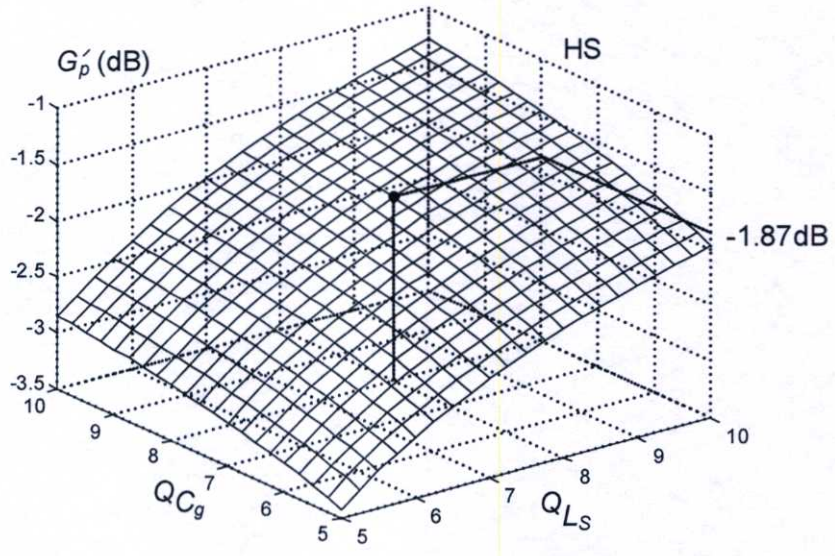
$$\delta=\frac{m\sqrt{\left(Q_{Ls}\left(Q_{C1}+Q_{C2}\right)\right)^2+\left(Q'-Q_{Ls}\right)^2}}{\sqrt{\left[\left(\omega_2\tau_1\right)^4Q_{C1}Q_{C2}+\omega_2^{\,3}\tau_1^{\,2}\tau_3Q'+\omega_2^{\,2}\tau_1^{\,2}\left(Q_{Ls}\left(Q_{C2}+m\left(\alpha Q_{C1}+Q_{C2}\right)\right)-Q_{C1}Q_{C2}\right)-\omega_2\left(\tau_3+\tau_4\right)m\alpha Q'+m\alpha Q_{Ls}\left(1-\left(Q_{C1}+Q_{C2}\right)\right)\right]^2+}}$$
$$\sqrt{\left[\left(\omega_2\tau_1\right)^4Q'-\omega_2^{\,3}\tau_1^{\,2}\tau_3Q_{C1}Q_{C2}-\omega_2^{\,2}\tau_1^{\,2}\left(Q'\left(1+m\left(1+\alpha\right)\right)+Q_{C2}\right)-\omega_2\left(\tau_3Q_{C1}+\tau_4Q_{C2}\right)m\alpha Q_{Ls}+m\alpha\left(Q'-Q_{Ls}\right)\right]^2}$$

(3.15)

เมื่อ Q_{Ls} , $Q_{C1,2}$ และ Q' คือค่าตัวประกอบคุณภาพที่ความถี่เรโซแนนซ์ ω_2 ในกรณีโครงข่ายอุดมคติ โดยอาศัยสมการที่ (3.10) และ (3.15) เราสามารถแสดงกราฟพื้นผิวเชิงสามมิติของค่ายอดเทียบกับตัวประกอบคุณภาพ Q_{Ls} และ Q_{Cg} ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานที่อัตราส่วนความเก็บประจุ $C_d / C_g = 0.6$ และโครงข่ายสร้างยอดแบบขนาน-อนุกรมที่อัตราส่วนความเก็บประจุ $C_d / C_g = 1$ ดังรูปที่ 3.18 (ก) และ (ข) ตามลำดับ



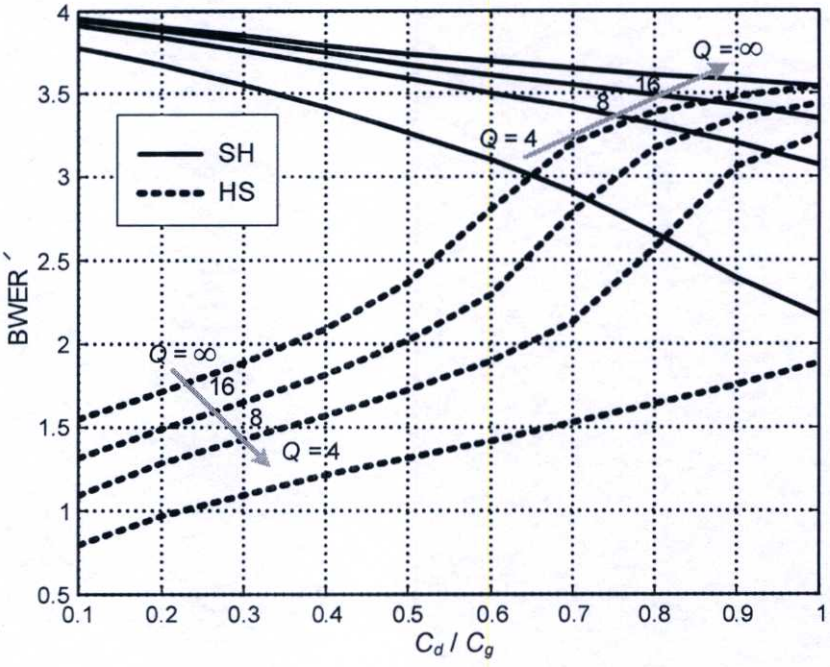
(ก)



(ข)

รูปที่ 3.18 ค่ายอดของฟังก์ชั่นส่งผ่านเทียบกับตัวประกอบคุณภาพ Q_{Ls} และ Q_{Cg} (ก) โครงข่ายสร้างยอดแบบอนุกรม-ขนาน และ (ข) โครงข่ายสร้างยอดแบบขนาน-อนุกรม

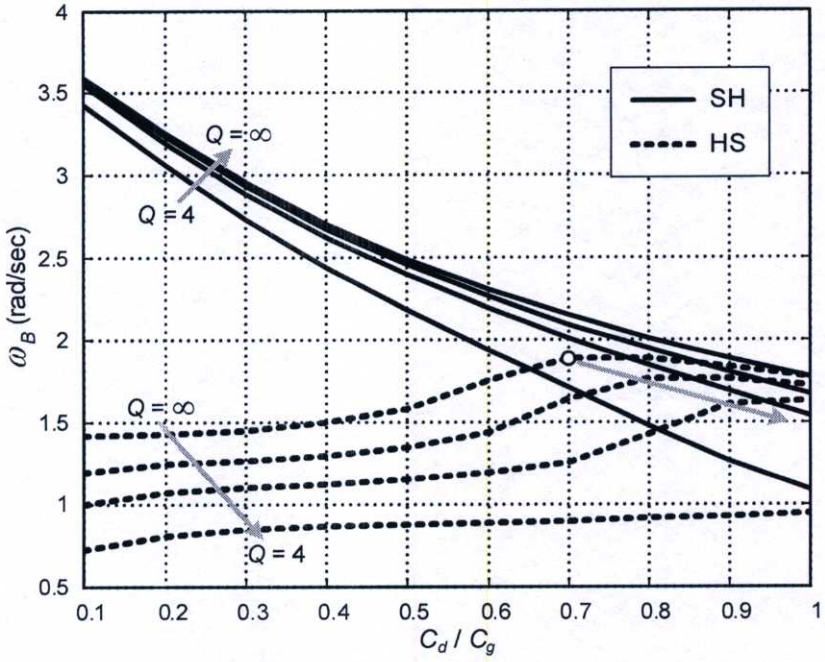
จากรูปที่ 3.18 จะเห็นว่าค่ายอดของฟังก์ชั่นส่งผ่านมีค่าลดลงเมื่อค่าตัวประกอบคุณภาพ $Q_S = Q_{Ls} = Q_{Cg}$ ลดลง ซึ่งเป็นผลมาจากค่าการสูญเสียที่เพิ่มขึ้น ในกรณีที่เราสนใจคือค่าตัวประกอบคุณภาพ $Q_{Ls} = Q_{Cg} = 8$ โครงข่ายสร้างยอดแบบอนุกรม-ขนานจะมีค่ายอดประมาณ 1.26 ดีบี โดยมีค่าลดลงประมาณ 7 ดีบี เมื่อเทียบกับกรณีโครงข่ายอุดมคติรูปที่ 3.15 สำหรับโครงข่ายสร้างยอดแบบขนาน-อนุกรมจะมีการลดทอนประมาณ –1.87 ดีบี



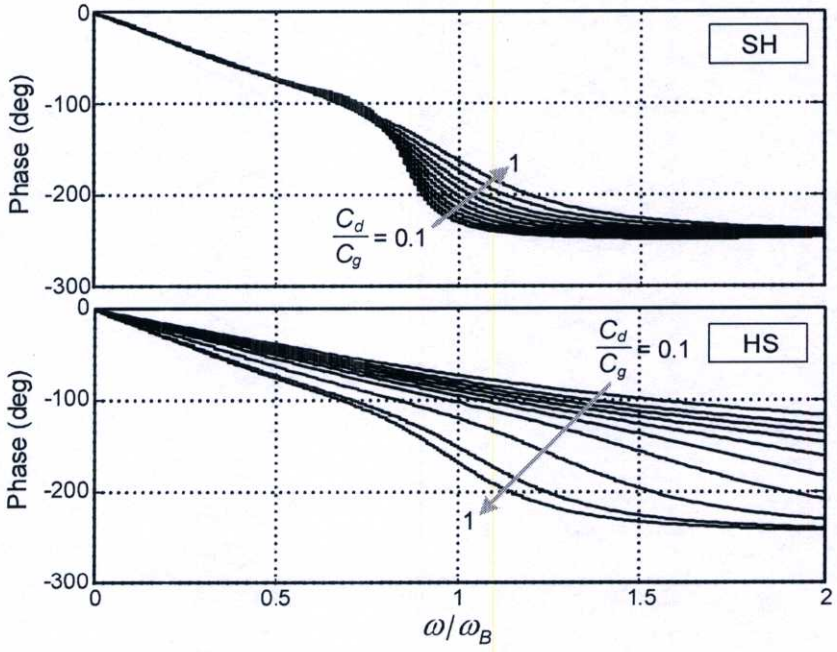
รูปที่ 3.19 อัตราส่วนการขยายแบนด์วิดท์ในกรณีที่มีการสูญเสียเทียบกับอัตราส่วนความเก็บประจุ C_d / C_g

โดยอาศัยการคำนวณเชิงตัวเลขของฟังก์ชั่นส่งผ่านสมการที่ 3.13 เราสามารถแสดงกราฟอัตราส่วนการขยายแบนด์วิดท์ในกรณีที่มีการสูญเสียเทียบกับอัตราส่วนความเก็บประจุ C_d / C_g ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมได้ดังรูปที่ 3.19 ทั้งนี้ค่าการสูญเสียจากความต้านทานแฝงจะแสดงในรูปของตัวประกอบคุณภาพ $Q = Q_{Ls} = Q_{Cg}$ ที่ความถี่เรโซแนนซ์ ω_2 โดยตัวประกอบคุณภาพมีค่า $Q = 4,8,16$ จนถึงค่าอนันต์ จากรูปจะเห็นว่าอัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายทั้งสองมีค่าลดลง เมื่อค่าตัวประกอบคุณภาพลดลง ซึ่งอาจสังเกตได้จากตำแหน่งความถี่เรโซแนนซ์ $\omega_2 - \omega_3$ ดังเช่นรูปที่ 3.17 จากรูปที่ 3.19 เมื่อทำการคำนวณหาแบนด์วิดท์ของโครงข่ายในกรณีที่มีการสูญเสียเทียบกับอัตราส่วนความเก็บประจุ C_d / C_g เราสามารถแสดงได้ดังรูปที่ 3.20 จากการเปรียบเทียบกับกรณีที่ไม่มีการสูญเสียรูปที่ 3.12 จะเห็นว่าในกรณีที่มีการสูญเสียแบนด์วิดท์ค่าสูงสุดของโครงข่ายสร้างยอดแบบขนาน-อนุกรมจะเลื่อนจากค่าอัตราส่วน

ความเก็บประจุ $C_d/C_g = 0.7$ เป็น $C_d/C_g = 1$ ซึ่งนั่นหมายถึงต้องมีการเพิ่มค่าความเก็บประจุภายนอกมากขึ้น

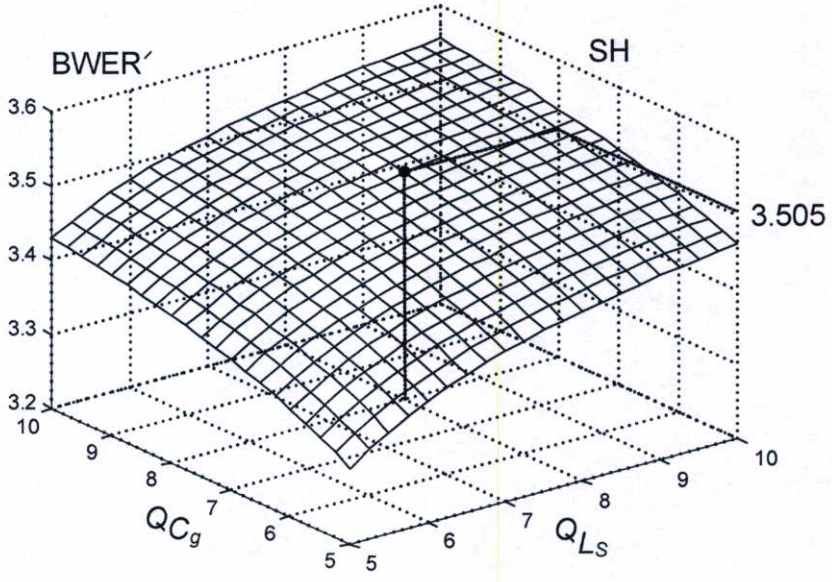


รูปที่ 3.20 แบนด์วิดท์ของโครงข่ายในกรณีมีการสูญเสียเทียบกับอัตราส่วนความเก็บประจุ C_d/C_g

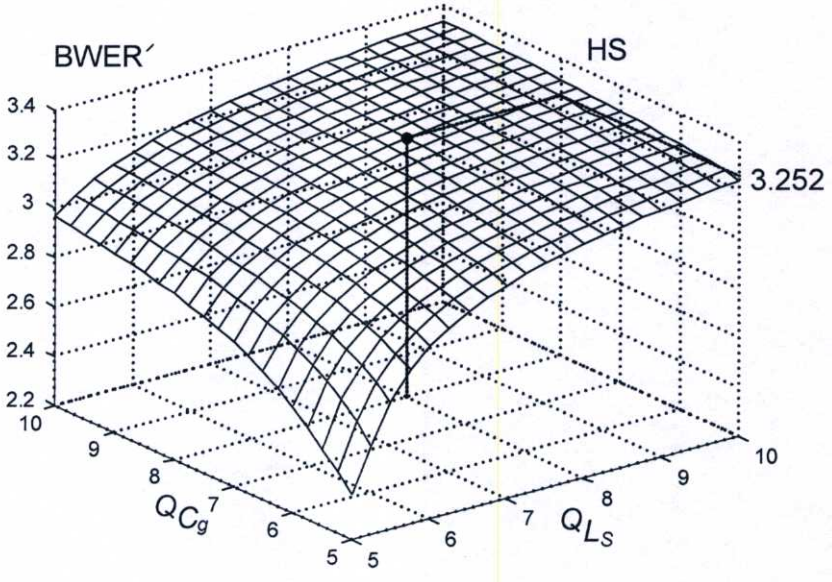


รูปที่ 3.21 ผลตอบสนองทางเฟสในกรณีมีการสูญเสียที่อัตราส่วนความเก็บประจุ C_d/C_g ค่าต่างๆ เทียบกับความถี่นอร์มัลไลซ์ ω/ω_B

รูปที่ 3.21 แสดงผลตอบสนองทางเฟสในกรณีที่มีการสูญเสียที่อัตราส่วนความเก็บประจุ C_d / C_g ค่า 0.1-1 เทียบกับความถี่นอร์มัลไลซ์ ω / ω_B จากการเปรียบเทียบกับกรณีที่ไม่มีการสูญเสียในรูปที่ 3.13 พบว่าความชันของผลตอบสนองทางเฟสของโครงข่ายสร้างยอดแบบอนุกรม-ขนานลดลงอย่างมาก โดยเฉพาะที่อัตราส่วนความเก็บประจุ C_d / C_g ค่าน้อยๆ

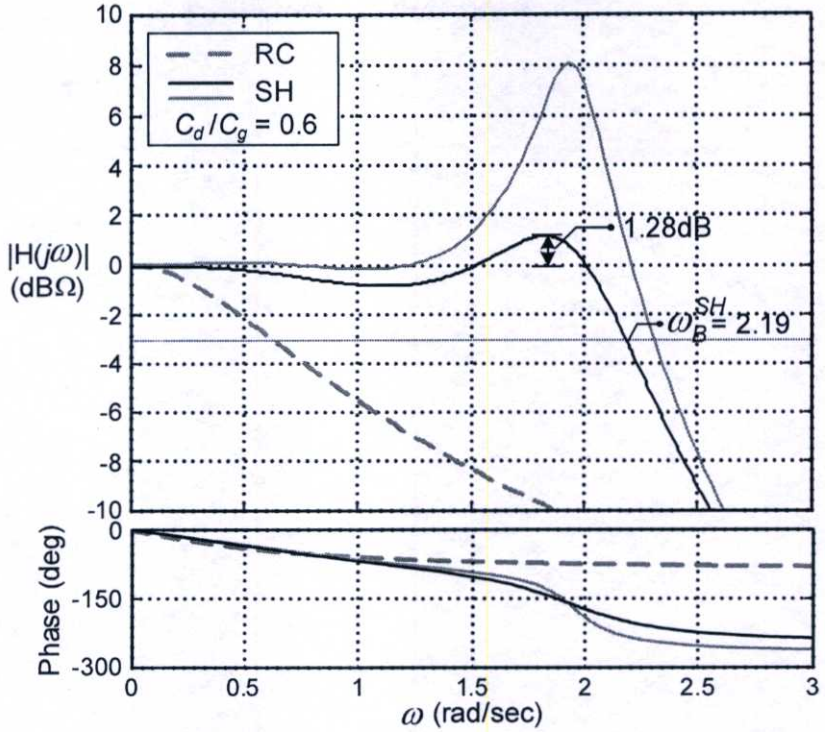


(ก)

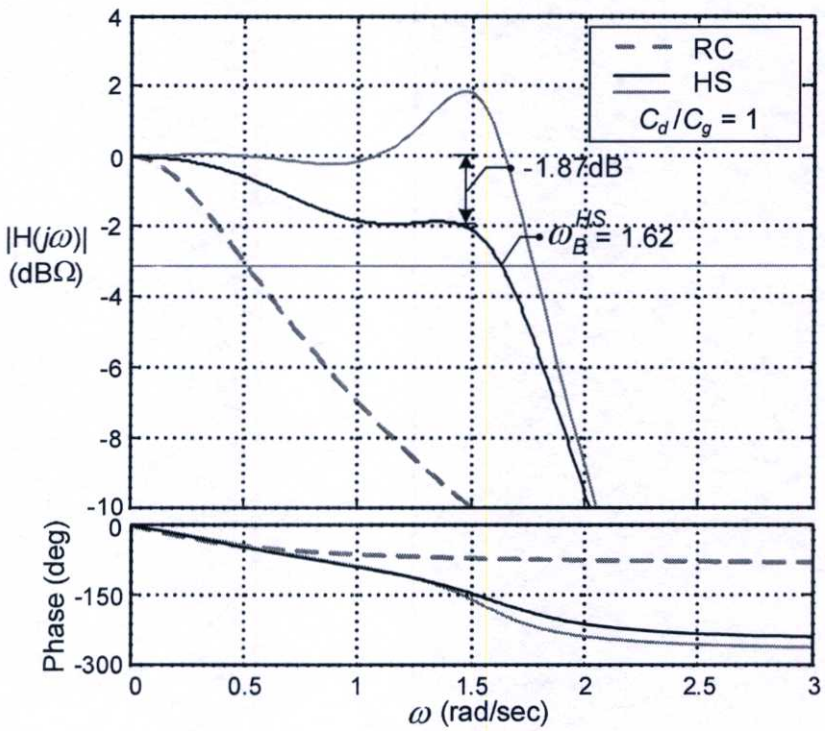


(ข)

รูปที่ 3.22 อัตราส่วนการขยายแบนด์วิดท์เทียบกับตัวประกอบคุณภาพ Q_{Ls} และ Q_{Cg} (ก) โครงข่ายสร้างยอดแบบอนุกรม-ขนาน และ (ข) โครงข่ายสร้างยอดแบบขนาน-อนุกรม



(ก)



(ข)

รูปที่ 3.23 ผลตอบสนองทางความถี่ที่ค่าตัวประกอบคุณภาพ $Q_{Ls} = Q_{Cg} = 8$ (ก) โครงข่ายสร้างยอดแบบอนุกรม-ขนาน และ (ข) โครงข่ายสร้างยอดแบบขนาน-อนุกรม

รูปที่ 3.22 (ก) และ (ข) แสดงกราฟพื้นผิวเชิงสามมิติของอัตราส่วนการขยายแบนด์วิดท์เทียบกับตัวประกอบคุณภาพ Q_{Ls} และ Q_{Cg} ในกรณีที่มีการสูญเสีย สำหรับโครงข่ายสร้างยอดแบบอนุกรม-ขนานที่อัตราส่วนความเก็บประจุ $C_d/C_g = 0.6$ และโครงข่ายสร้างยอดแบบขนาน-อนุกรมที่อัตราส่วนความเก็บประจุ $C_d/C_g = 1$ โดยค่าตัวประกอบคุณภาพ $Q_{Ls} = Q_{Cg} = 8$ ซึ่งเป็นค่าทั่วไปในทางปฏิบัติ จากรูปจะเห็นว่าโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีค่าอัตราส่วนการขยายแบนด์วิดท์ลดลงจาก 3.69 เป็น 3.5 โดยลดลงประมาณ 5.4% สำหรับโครงข่ายสร้างยอดแบบขนาน-อนุกรมจะมีค่าอัตราส่วนการขยายแบนด์วิดท์ลดลงจาก 3.54 เป็น 3.25 โดยลดลงประมาณ 8% จะเห็นได้ว่าสมรรถนะด้านแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานเหนือกว่าโครงข่ายแบบขนาน-อนุกรม แม้ว่าจะมีค่าการสูญเสียก็ตาม

รูปที่ 3.23 แสดงผลตอบสนองเชิงขนาดและเฟสตามความถี่ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานที่อัตราส่วนความเก็บประจุ $C_d/C_g = 0.6$ และโครงข่ายสร้างยอดแบบขนาน-อนุกรมที่อัตราส่วนความเก็บประจุ $C_d/C_g = 1$ โดยค่าตัวประกอบคุณภาพ $Q_{Ls} = Q_{Cg} = 8$ จากรูปจะเห็นว่าโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีแบนด์วิดท์เท่ากับ 2.19 เรเดียนต่อวินาที ซึ่งสามารถคำนวณหาค่าอัตราส่วนการขยายแบนด์วิดท์ได้เท่ากับ 3.5 โดยมีค่ายอดประมาณ 1.28 ดีบี สำหรับโครงข่ายสร้างยอดแบบขนาน-อนุกรมมีแบนด์วิดท์เท่ากับ 1.62 เรเดียนต่อวินาที ซึ่งสามารถคำนวณหาค่าอัตราส่วนการขยายแบนด์วิดท์ได้เท่ากับ 3.25 โดยมีค่าการลดทอนประมาณ –1.87 ดีบี ซึ่งใกล้เคียงกับค่าในรูปที่ 3.18 และรูปที่ 3.22 ทั้งนี้จะเห็นว่าผลตอบสนองเชิงเฟสตามความถี่ของโครงข่ายทั้งสองมีลักษะคล้ายคลึงกัน

3.5 สมรรถนะด้านตัวประกอบสัญญาณรบกวน

ในการวิเคราะห์ตัวประกอบสัญญาณรบกวน เราจะพิจารณาแหล่งกำเนิดสัญญาณรบกวนจากตัวต้านทานและทรานซิสเตอร์ แต่ด้วยโครงสร้างของวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันทำให้สมรรถนะด้านตัวประกอบสัญญาณรบกวนของวงจรไม่ดีนัก โดยตัวประกอบสัญญาณรบกวนของวงจรที่ความถี่ต่ำสามารถหาได้จาก

$$F = 2 + 4\frac{R}{R_O}\left(1+\gamma g_m R\right)\sum_{i=0}^{m-2}\left(g_m R\right)^{2(i+1-m)} + \frac{4\gamma g_m R_O + 4}{\left(g_m\right)^{2m} R^{2(m-1)} {R_O}^2} \tag{3.16}$$

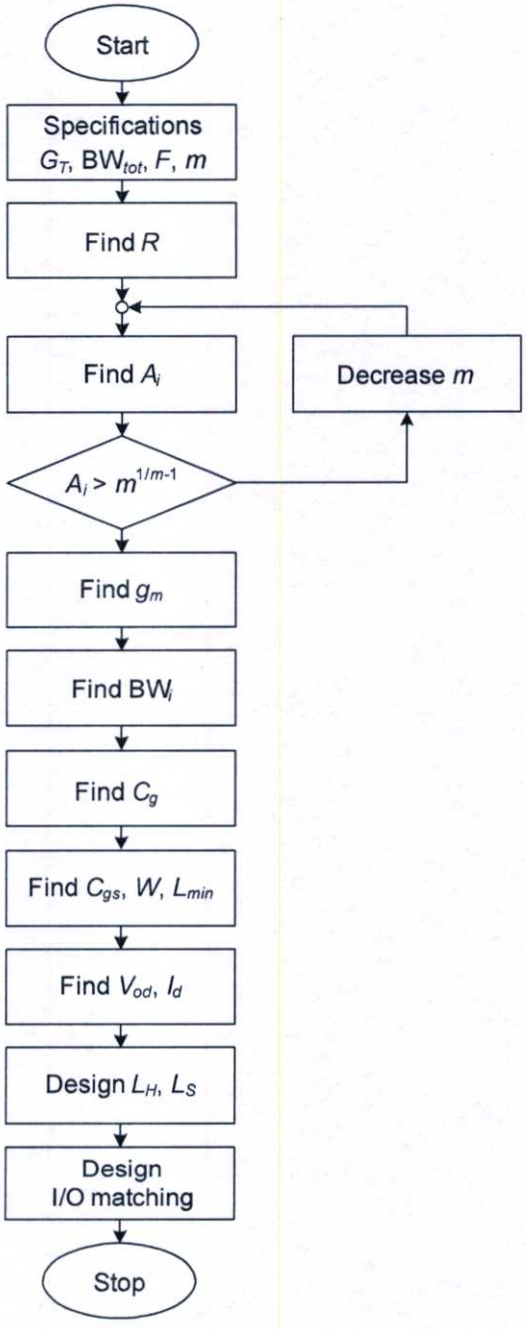
เพื่อให้การออกแบบวงจรสามารถทำได้ง่ายขึ้น เราสามารถเขียนสมการที่ (3.16) ใหม่ได้เป็น

$$F = 2 + \left(\frac{1}{G_T} - 4\rho\right) + \left(4\gamma\left(\frac{\rho^{2(m-1)}}{4G_T}\right)^{\frac{1}{2m}} + 4\rho\right)\sum_{i=0}^{m-1}\left(\frac{1}{4\rho^2 G_T}\right)^{\frac{i}{m}} \tag{3.17}$$

เมื่อ ρ คืออัตราส่วนความต้านทาน R/R_O จากสมการจะเห็นว่าค่าตัวประกอบสัญญาณรบกวนขึ้นอยู่กับ ρ และ m เป็นหลัก ดังนั้นในการออกแบบวงจรควรกำหนดให้ ρ และ m มีค่าน้อยๆ

3.6 ตัวอย่างการออกแบบ

ในหัวข้อนี้เราจะแสดงตัวอย่างขั้นตอนการออกแบบวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันโดยอาศัยชุดสมการที่พัฒนาขึ้น แสดงดังรูปที่ 3.24



รูปที่ 3.24 แผนภาพการไหลของขั้นตอนการออกแบบ

จากรูปที่ 3.24 เราสามารถอธิบายขั้นตอนการออกแบบได้ดังนี้ เริ่มจากการกำหนดค่าอัตราขยายกำลัง แบนด์วิดท์สุทธิ ตัวประกอบสัญญาณรบกวน และจำนวนภาคของวงจรซึ่งการใช้งานโดยทั่วไปในทางปฏิบัติจำนวนภาคของวงจรจะไม่เกิน 5 ภาค อนึ่ง จำนวนภาคของวงจรจะเท่ากับจำนวนแถวของทรานซิสเตอร์ จากนั้นแทนค่าอัตราขยายกำลัง ตัวประกอบสัญญาณรบกวน และจำนวนภาคของวงจรในสมการที่ (3.17) เพื่อหาค่าความต้านทาน R โดยที่ $R = \rho R_O$ เมื่อได้ค่าความต้านทาน R เราจะสามารถหาอัตราขยายแรงดันที่ส่วนเชื่อมต่อระหว่างภาคได้จากความสัมพันธ์

$$A_i = \sqrt[m]{2\frac{R}{R_o}G_T} = \sqrt[m]{2\rho G_T} \tag{3.18}$$

เพื่อให้วงจรที่ออกแบบมีอัตราขยายกำลังสูงกว่าวงจรขยายเชิงกระจาย เราควรออกแบบให้ $A_i > m^{1/m-1}$ [20] หากเงื่อนไขที่กำหนดไม่เป็นจริง เราควรลดจำนวนภาคของวงจรลงจนกว่าจะได้เงื่อนไขดังกล่าว เมื่อได้จำนวนภาคของวงจรตามเงื่อนไขที่ต้องการแล้ว เราสามารถหาค่าส่งผ่านความนำของทรานซิสเตอร์ได้ทันทีจาก $g_m = A_i / R$ และหาแบนด์วิดท์ของโครงข่ายเชื่อมต่อระหว่างภาค BW_i ได้จาก [41]

$$\mathrm{BW}_i = \mathrm{BW}_{tot} \Big/ \left(\sqrt[k]{2^{1/m} - 1}\right) \tag{3.19}$$

โดยที่ $k = 8$ สำหรับโครงข่ายอันดับสี่ เมื่อรวมสมการที่ (3.18)-(3.19) และอาศัยนิยามของอัตราส่วนการขยายแบนด์วิดท์ เราสามารถหาค่าความเก็บประจุสุทธิที่ขั้วเกตของทรานซิสเตอร์ได้จาก

$$C_g = \frac{\mathrm{BWER}'}{(1+\alpha)} \cdot \frac{g_m}{A_i 2\pi \mathrm{BW}_i} \tag{3.20}$$

จากสมการที่ (3.20) เราจะใช้การประมาณค่าตัวแปร α และค่าการสูญเสียจากความต้านทานแฝงในตัวเหนี่ยวนำและทรานซิสเตอร์ เพื่อคำนวณหาค่า BWER' ทั้งนี้อาจใช้วิธีการพล็อตกราฟเช่นเดียวกับรูปที่ 3.22 เมื่อทราบค่าความเก็บประจุ C_g เราจะหาค่าความเก็บประจุแฝง C_{gs} ความกว้าง W และความยาวต่ำสุด $L_{\min}$ ของช่องกระแสของทรานซิสเตอร์ได้ทันที จากนั้นทำการคำนวณหาแรงดันขับเกต $V_{od} = V_{gs} - V_t$ (Gate over drive) และกระแสเดรน I_D ของทรานซิสเตอร์จากสมการช่องกระแสสั้น (Short-channel) ตามสมการที่ (2.27) ขั้นตอนต่อไปเราจะออกแบบค่าความเหนี่ยวนำ L_H และ L_S ตามสมการที่ (3.6) และสมการที่ (3.8)-(3.9) เมื่อ $C_1 = C_g$ และ $C_2 = C_d$ สำหรับโครงข่ายสร้างยอดแบบอนุกรม-ขนาน และกลับกันเมื่อ $C_1 = C_d$ และ $C_2 = C_g$ สำหรับโครงข่ายสร้าง

ยอดแบบขนาน-อนุกรม ทั้งนี้ในกรณีที่อัตราส่วนความเก็บประจุ $C_d/C_g<1$ โครงข่ายสร้างยอดแบบขนาน-อนุกรมจำเป็นต้องเพิ่มความเก็บประจุภายนอก C_d' เพื่อให้ได้แบนด์วิดท์ค่าสูงสุดดังรูปที่ 3.20 ในขั้นตอนสุดท้ายคือการออกแบบส่วนสมพงษ์อิมพีแดนซ์ที่อินพุตและเอาท์พุตของวงจรด้วยโครงข่ายแบบที จากค่าความเก็บประจุแฝง C_g และ C_d ที่คำนวณได้

3.7 สรุป

ในบทนี้เราได้แสดงการวิเคราะห์โครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม ซึ่งเป็นโครงข่ายเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน จากการวิเคราะห์ในโดเมนเวลา ทำให้เราทราบว่าโครงข่ายทั้งสองมีการถ่ายโอนประจุแบบอนุกรมจากตัวเก็บประจุแฝง C_d ของทรานซิสเตอร์ M_1 ก่อนแล้วจึงไปประจุที่ตัวเก็บประจุแฝง C_g ของทรานซิสเตอร์ M_2 ทำให้มีแบนด์วิดท์สูงกว่าโครงข่ายสร้างยอดแบบอนุกรมและโครงข่ายสร้างยอดแบบขนาน แต่ด้วยลักษณะโครงสร้างที่แตกต่างกันในส่วนของตำแหน่งการต่อเชื่อมอนุกรม L_H-R ทำให้ประจุที่ถ่ายโอนสู่ตัวเก็บประจุ C_g ของทรานซิสเตอร์ M_2 ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีค่ามากกว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรม ส่งผลให้มีสมรรถนะด้านแบนด์วิดท์ที่เหนือกว่า โดยเฉพาะในกรณีที่อัตราส่วนความเก็บประจุ $C_d/C_g<1$ แต่เมื่ออัตราส่วนความเก็บประจุ $C_d/C_g=1$ โครงข่ายทั้งสองจะมีคุณลักษณะที่เหมือนกันทุกประการ เนื่องจากเป็นส่วนกลับซึ่งกันและกันตามทฤษฎีบทโครงข่ายส่วนกลับ

จากการวิเคราะห์ในโดเมนความถี่ด้วยแนวคิดแบบไตรเรโซแนนซ์ ทำให้เราเข้าใจกลไกการขยายแบนด์วิดท์ ซึ่งมีความสัมพันธ์กับตำแหน่งความถี่เรโซแนนซ์ทั้งสามของโครงข่าย ดังนั้นจึงได้มีการพัฒนาชุดสมการขึ้นเพื่อใช้ในการออกแบบค่าอุปกรณ์ต่างๆ ให้มีความสัมพันธ์กับอัตราส่วนความเก็บประจุ C_d/C_g และเป็นตัวกำหนดตำแหน่งความถี่เรโซแนนซ์ทั้งสาม โดยชุดสมการดังกล่าวสามารถใช้ออกแบบได้ทั้งโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม จึงทำให้ง่ายต่อการเปรียบเทียบสมรรถนะด้านแบนด์วิดท์ จากการเปรียบเทียบเราพบว่าอัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานมากกว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรม ซึ่งสอดคล้องกับการวิเคราะห์ในโดเมนเวลา โดยเฉพาะเมื่ออัตราส่วนความเก็บประจุ C_d/C_g ลู่เข้าสู่ศูนย์ อัตราส่วนการขยายแบนด์วิดท์จะมีค่าเข้าใกล้ค่าสูงสุดของโครงข่ายสองพอร์ต ในขณะที่โครงข่ายสร้างยอดแบบขนาน-อนุกรมจะมีค่าเข้าใกล้ค่าสูงสุดของโครงข่ายสร้างยอดแบบอนุกรม ยิ่งไปกว่านั้น ในกรณีที่ออกแบบให้โครงข่ายมีแบนด์วิดท์ค่าสูงสุดจะต้องมีการต่อเพิ่มตัวเก็บประจุจากภายนอกอีกด้วย

ในการวิเคราะห์ตัวประกอบสัญญาณรบกวนของวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันแสดงให้เห็นว่าวงจรมีสมรรถนะด้านตัวประกอบสัญญาณรบกวนที่ไม่ดีนัก เนื่องจากลักษณะ

โครงสร้างของวงจรที่เป็นแบบต่อเรียงกัน ดังนั้นในการออกแบบควรใช้จำนวนภาคของวงจรที่ไม่สูงมากนัก ซึ่งในทางปฏิบัติจะอยู่ที่ประมาณ 4-5 ภาค

สุดท้ายเราได้แสดงตัวอย่างขั้นตอนการออกแบบวงจร ซึ่งสามารถใช้ได้ทั้งในกรณีของวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม โดยจะแสดงการออกแบบให้เห็นอย่างชัดเจนด้วยการจำลองในบทที่ 5

บทที่ 4
เทคนิคการขยายแบนด์วิดท์ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน

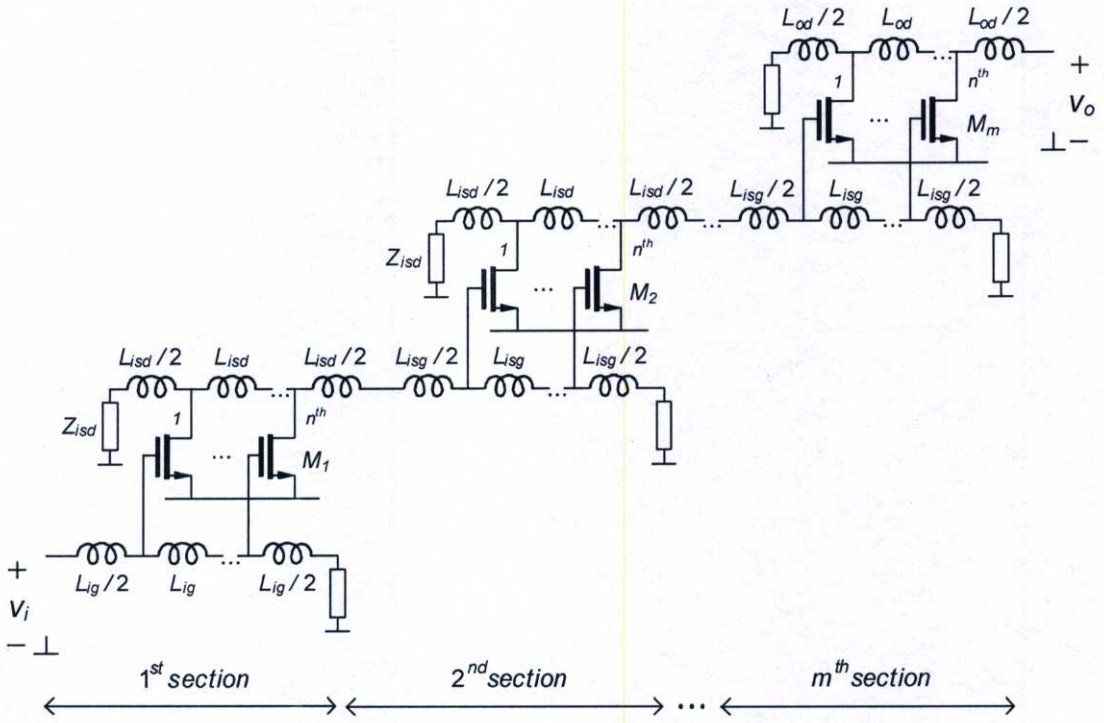
4.1 กล่าวนำ

ถึงแม้ว่าจะมีการนำเสนอโครงสร้างวงจรขยายแถวเดี่ยวต่อเรียงกัน ซึ่งช่วยให้วงจรมีสมรรถนะด้านอัตราขยายที่สูงกว่าวงจรขยายเชิงกระจายดังที่อธิบายในบทที่ผ่านมา แต่ด้วยโครงสร้างของวงจรที่ในแต่ละภาคมีจำนวนแถวของทรานซิสเตอร์เพียงตัวเดียวเท่านั้น จึงทำให้ความสามารถในการขับภาระของวงจรน้อยลงเมื่อเทียบกับวงจรขยายเชิงกระจาย อีกทั้งจำนวนภาคของวงจรที่ค่อนข้างมาก จึงทำให้สมรรถนะด้านตัวประกอบสัญญาณรบกวนไม่ค่อยดีนัก

โครงสร้างวงจรขยายต่อเรียงกันด้วยจำนวนแถวของทรานซิสเตอร์ที่มากขึ้นได้ถูกนำเสนอเพื่อช่วยให้วงจรมีสมรรถนะด้านตัวประกอบสัญญาณรบกวนที่ดี และมีความสามารถในการขับภาระที่เอาท์พุตสูงขึ้นคือวงจรขยายเชิงกระจายต่อเรียงกัน [42] แต่ด้วยโครงสร้างของวงจรที่นำเอาวงจรขยายเชิงกระจายแบบพื้นฐานมาต่อเรียงกัน ถึงแม้ว่าวงจรจะมีอัตราขยายกำลังที่สูงกว่าวงจรขยายเชิงกระจาย แต่ยังน้อยกว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันเมื่อเทียบที่จำนวนทรานซิสเตอร์และการกินกำลังงานที่เท่ากัน จึงได้มีการนำเสนอโครงสร้างวงจรขยายปลดอิมพีแดนซ์ด้านซ้ายมือของส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายต่อเรียงกันออก ทำให้วงจรมีอัตราขยายที่สูงทัดเทียมกับวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน แต่จำนวนทรานซิสเตอร์และการกินกำลังยังคงเท่าเดิม โครงสร้างวงจรขยายที่กล่าวถึงคือวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกัน [28] โดยมีจำนวนแถวของทรานซิสเตอร์ในแต่ละภาคเท่ากับสองแถว ต่อมาได้มีการสร้างจริงในรูปแบบวงจรรวมด้วยกระบวนการผลิตซีมอส ขนาด 90 ไมครอน ซึ่งสามารถทำงานได้ในช่วงความถี่กว้างมาก [27] จึงน่าเชื่อว่าโครงสร้างนี้มีสมรรถนะด้านแบนด์วิดท์ที่ทัดเทียมกับวงจรขยายเชิงกระจายต่อเรียงกัน แต่ที่ผ่านมาการวิเคราะห์วงจรในเชิงทฤษฎียังมีอยู่น้อยมาก ทำให้การออกแบบวงจรและสร้างจริงยังมีประสิทธิภาพที่ไม่ดีนัก จึงทำให้ไม่ทราบถึงสมรรถนะที่แท้จริงของวงจร

ในบทนี้เราจะแสดงการวิเคราะห์วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันซึ่งเป็นโครงสร้างในรูปแบบทั่วไปอย่างละเอียด เพื่อศึกษาการทำงานและดูผลกระทบด้านแบนด์วิดท์ของวงจรเนื่องจากไม่มีการต่ออิมพีแดนซ์ด้านซ้ายมือของส่วนเชื่อมต่อระหว่างภาค จากนั้นจะได้สร้างชุดสมการขึ้นมาเพื่อใช้ทำนายสมรรถนะด้านต่างๆ ของวงจรและทำการเปรียบเทียบกับวงจรขยายเชิงกระจายต่อเรียงกัน เพื่อเป็นการพิสูจน์ถึงสมรรถนะด้านแบนด์วิดท์ของวงจร

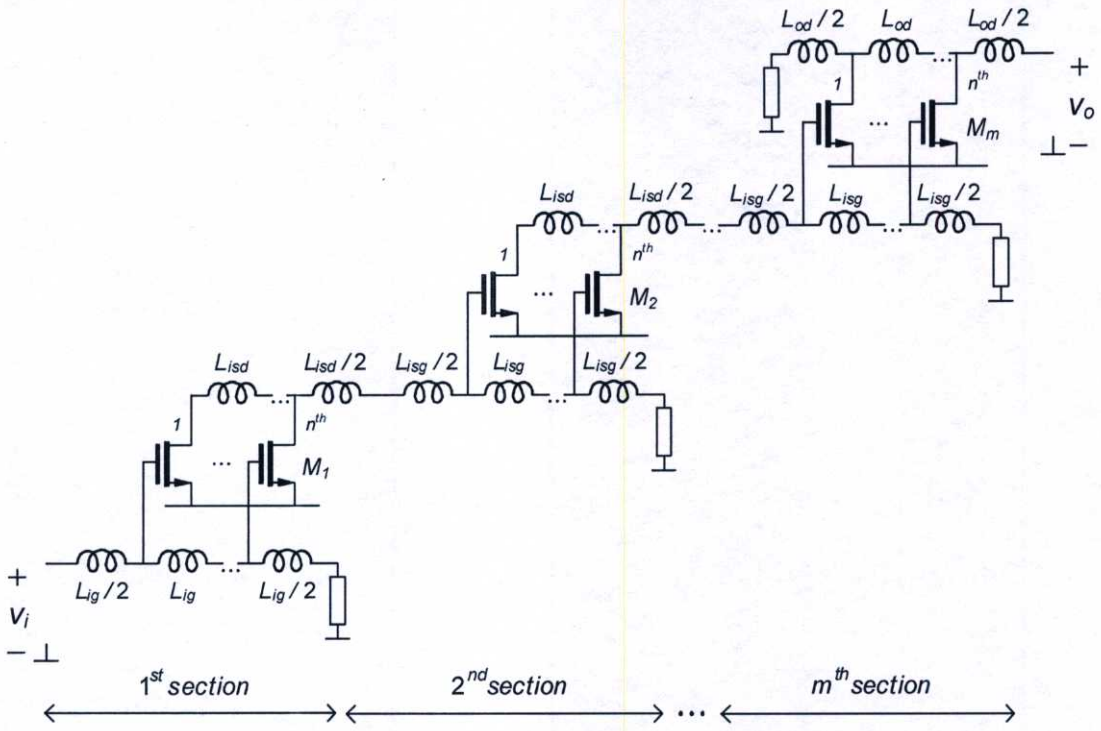
4.2 โครงสร้างวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน



รูปที่ 4.1 วงจรขยายเชิงกระจายต่อเรียงกัน

รูปที่ 4.1 แสดงโครงสร้างวงจรขยายเชิงกระจายต่อเรียงกัน (Cascaded Distributed Amplifier: CDA) [42] ประกอบด้วยภาคขยายสัญญาณเชิงกระจายที่ถูกนำมาต่อเชื่อมเรียงกัน โดยในแต่ละภาคจะประกอบด้วยกลุ่มของทรานซิสเตอร์ขยายสัญญาณ ซึ่งขั้วเกตของทรานซิสเตอร์แต่ละตัวถูกต่อเชื่อมเรียงสลับกับตัวเหนี่ยวนำ $L_{ig,isg}$ เพื่อจำลองเป็นสายส่งเกตเทียม ในขณะที่ขั้วเดรนถูกต่อเชื่อมเรียงสลับกับตัวเหนี่ยวนำ $L_{isd,od}$ เพื่อจำลองเป็นสายส่งเดรนเทียม โดยสายส่งเทียมด้านอินพุตและเอาท์พุตจะมีอิมพีแดนซ์คุณลักษณะเท่ากับ Z_{in} และ Z_o ตามลำดับ ส่วนสายส่งเทียมระหว่างภาคจะเป็นการต่อร่วมกันของสายส่งเดรนและเกตเทียมของภาคที่อยู่ติดกัน โดยมีอิมพีแดนซ์คุณลักษณะเท่ากับ Z_{isd}

จากรูปที่ 4.1 หากอิมพีแดนซ์ Z_{isd} ด้านซ้ายมือของสายส่งเทียมระหว่างภาคถูกปลดออก จะทำให้สัญญาณกระแสส่วนที่เดินทางเคลื่อนที่ไปด้านซ้ายเกิดการสะท้อนกลับเมื่อเดินทางถึงปลายสาย และจะรวมเข้ากับสัญญาณกระแสส่วนที่เดินทางเคลื่อนที่ไปด้านขวา ทำให้สัญญาณกระแสและแรงดันที่ส่วนเชื่อมต่อระหว่างภาคสูงขึ้น ส่งผลให้อัตราขยายของวงจรมากขึ้น โดยโครงสร้างวงจรที่ปลดอิมพีแดนซ์ Z_{isd} ด้านซ้ายมือของสายส่งเทียมระหว่างภาคออกคือ วงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน แสดงดังรูปที่ 4.2



รูปที่ 4.2 วงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน

จากรูปจะเห็นว่าโครงสร้างของวงจรมีสายส่งเทียมเป็นองค์ประกอบที่สำคัญเช่นเดียวกับวงจรขยายเชิงกระจายต่อเรียงกัน โดยที่ผ่านมาได้มีการวิจัยและพัฒนาโครงสร้างวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันจนสามารถสร้างในรูปแบบวงจรรวมได้สำเร็จสองโครงสร้างด้วยกัน คือ วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน ($n=1$) และวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกัน ($n=2$)

เป็นที่รู้กันดีว่าวงจรขยายเชิงกระจายต่อเรียงกันมีแบนด์วิดท์กว้างทัดเทียมกับความถี่ตัดของสายส่งเทียม แต่ในกรณีของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันกลับมีการจำกัดแบนด์วิดท์ และมีค่าน้อยกว่าความถี่ตัดของสายส่งเทียมเป็นอย่างมาก อันเป็นผลสืบเนื่องมาจากการปลดอิมพีแดนซ์ Z_{isd} ด้านซ้ายมือของสายส่งเทียมระหว่างภาคออกนั่นเอง โดยเฉพาะเมื่อจำนวนแถวของทรานซิสเตอร์ในแต่ละภาคของวงจรมากกว่าหนึ่ง ซึ่งจะแสดงให้เห็นอย่างชัดเจนในหัวข้อถัดไป

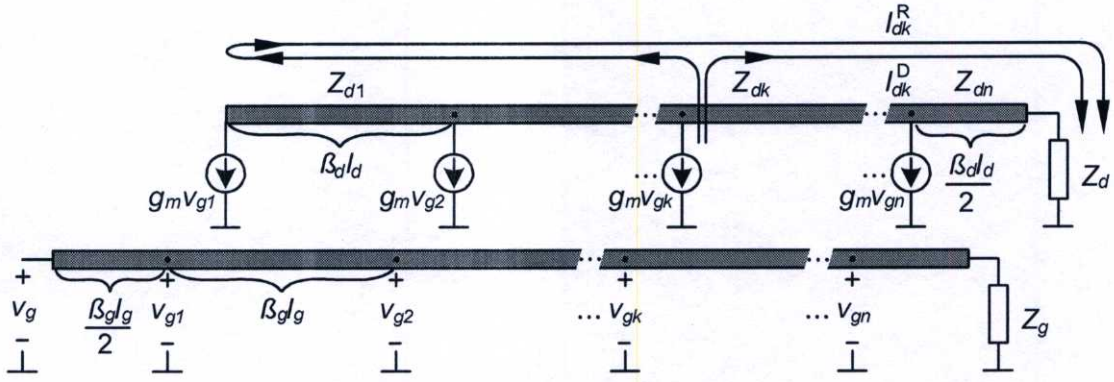
4.3 การวิเคราะห์คุณลักษณะเชิงความถี่ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน ในกรณีสายส่งเชิงกระจายอุดมคติ

เพื่อให้เกิดความเข้าใจอย่างลึกซึ้งถึงผลกระทบด้านแบนด์วิดท์ของวงจรเมื่อไม่มีอิมพีแดนซ์ด้านซ้ายมือของสายส่งระหว่างภาค ในหัวข้อนี้เราจะแสดงการวิเคราะห์วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีที่สายส่งของวงจรเป็นแบบเชิงกระจายอุดมคติ ไม่มีการสูญเสียและไม่มีการ

กระเจิง อิมพีแดนซ์คุณลักษณะของสายส่งเกตและเดรนมีค่าเท่ากับอิมพีแดนซ์ที่ต่อปลายสายเท่ากับ Z_g และ Z_d ตามลำดับ โดยกำหนดให้วงจรสมมูลของทรานซิสเตอร์มีเพียงแหล่งจ่ายกระแสพึ่งพิง $g_m V_g$ เท่านั้น ความเก็บประจุแฝงและค่าการสูญเสียต่างๆ ถูกละเลยไป

4.3.1 การจำกัดแบนด์วิดท์

ในหัวข้อย่อยนี้จะแสดงการวิเคราะห์เชิงคุณภาพ เพื่อศึกษาการทำงานและการจำกัดแบนด์วิดท์ของวงจร โดยเราจะพิจารณาที่ส่วนเชื่อมต่อระหว่างภาคเป็นหลัก เนื่องจากที่เอาท์พุตของวงจรจะมีการต่ออิมพีแดนซ์ทั้งสองด้าน ทำให้สามารถวิเคราะห์ได้เช่นเดียวกับวงจรขยายเชิงกระจายดังที่ได้กล่าวในบทที่ 2 โดยวงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีสายส่งเชิงกระจายอุดมคติ แสดงได้ดังรูปที่ 4.3



รูปที่ 4.3 วงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีสายส่งเชิงกระจายอุดมคติ

จากรูปเราสามารถอธิบายขั้นตอนการทำงานได้เช่นเดียวกับวงจรขยายเชิงกระจายกล่าวคือ เมื่อป้อนสัญญาณแรงดัน V_g เข้าสู่วงจร สัญญาณแรงดัน V_g จะเดินทางเคลื่อนที่ไปตามแนวสายส่งเกตสู่อิมพีแดนซ์ Z_g ด้วยค่ามุมเฟสต่อช่วงความยาวเท่ากับ $\beta_g l_g$ ทำให้เกิดสัญญาณแรงดันปรากฏขึ้นทุกๆ ตำแหน่งบนสายส่งเกต สัญญาณแรงดันที่ปรากฏ ณ. ขั้วเกตของทรานซิสเตอร์แต่ละตัวนั้นจะก่อให้เกิดแหล่งจ่ายกระแสพึ่งพิงในทรานซิสเตอร์มีค่าเท่ากับ $I_{dk} = g_m V_{gk}$ สัญญาณกระแสจากแหล่งจ่ายกระแสพึ่งพิงของทรานซิสเตอร์ตัวแรกจะเดินทางเคลื่อนที่ไปตามแนวสายส่งเดรนสู่อิมพีแดนซ์ Z_d โดยตรง ในขณะที่สัญญาณกระแสจากแหล่งจ่ายกระแสพึ่งพิงของทรานซิสเตอร์ตัวอื่นๆ จะมองเห็นอิมพีแดนซ์คุณลักษณะทางด้านซ้ายและขวาของสายส่งเดรนมีค่าเท่ากันเท่ากับ Z_d ดังนั้นจึงเกิดการแยกไหลเป็นสองส่วนในปริมาณที่เท่ากัน สัญญาณกระแสส่วนแรกจะเดินทางเคลื่อนที่ไปด้านขวา (I_{dk}^{D}) สู่อิมพีแดนซ์ Z_d โดยตรง สัญญาณกระแสอีกส่วนจะเดินทางเคลื่อนที่ไป

ด้านซ้าย (I_{dk}^{R}) เมื่อเดินทางถึงปลายสายซึ่งเป็นสายเปิด จะเกิดการสะท้อนกลับและรวมเข้ากับสัญญาณกระแสส่วนแรกที่อิมพีแดนซ์ Z_d โดยสัญญาณกระแสทั้งสองส่วนจะเดินทางเคลื่อนที่ไปในสายส่งเดรนด้วยค่ามุมเฟสต่อช่วงความยาวเท่ากับ $\beta_d l_d$ ในกรณีที่สัญญาณอินพุตมีความถี่ต่ำมาก สัญญาณกระแสทั้งสองส่วนจะมีค่าการเลื่อนเฟสน้อยมาก จึงทำให้เกิดการเสริมกันได้อย่างสมบูรณ์ ส่งผลให้อัตราขยายของวงจรมากขึ้น อย่างไรก็ดี เมื่อความถี่สูงขึ้นค่าคงตัวเฟส β_d จะเพิ่มขึ้น ส่งผลให้ค่าการเลื่อนเฟสของสัญญาณกระแสทั้งสองส่วนมีค่ามากขึ้นเช่นกัน ดังนั้นจึงทำให้อัตราขยายลดลงจากค่าที่ความถี่ต่ำและเกิดการจำกัดแบนด์วิดท์ของวงจรในที่สุด

4.3.2 ผลตอบสนองทางความถี่

จากข้อสมมติที่ว่าทั้งสายส่งและทรานซิสเตอร์เป็นแบบอุดมคติ เราสามารถแสดงได้ว่าสัญญาณแรงดันที่ขั้วเกตของทรานซิสเตอร์แต่ละตัวมีค่าเท่ากับ

$$V_{gk} = V_g e^{-j\left(k-\frac{1}{2}\right)\beta_g l_g} \tag{4.1}$$

เมื่อ k แสดงถึงลำดับเรียงจากซ้ายไปขวา β_g และ l_g คือค่าคงตัวเฟสและความยาวในแต่ละช่วงของสายส่งเกต สัญญาณแรงดันที่ขั้วเกตของทรานซิสเตอร์แต่ละตัวนั้นจะก่อให้เกิดสัญญาณกระแสเดรนจากการส่งผ่านความนำ g_m ของทรานซิสเตอร์ โดยเราสามารถแสดงได้ว่าสัญญาณกระแสสุทธิที่เคลื่อนสู่อิมพีแดนซ์ Z_d ซึ่งเป็นอิมพีแดนซ์ภาระของส่วนเชื่อมต่อระหว่างภาคเป็นไปตามสมการ

$$\begin{aligned} I_L &= e^{-j\beta_d l_d/2}\sum_{k=1}^{n}\left(I_{dk}^{\mathrm{D}} + I_{dk}^{\mathrm{R}}\right) \\ &= g_m e^{-j\frac{\beta_d l_d}{2}}\sum_{k=1}^{n}\left(\underbrace{\frac{1-\Gamma_k}{2}V_{gk}e^{-j(n-k)\beta_d l_d}}_{direct} + \underbrace{\frac{1+\Gamma_k}{2}V_{gk}e^{-j(n+k-2)\beta_d l_d}}_{reflected}\right) \end{aligned} \tag{4.2}$$

เมื่อ n คือจำนวนแถวของทรานซิสเตอร์ β_d และ l_d คือค่าคงตัวเฟสและความยาวในแต่ละช่วงของสายส่งเดรน Γ_k คือค่าสัมประสิทธิ์การสะท้อนกลับจากช่วง $(k-1)$ ไปยัง k ของสายส่งเดรนมีค่าเท่ากับ $[Z_{dk} - Z_{dk-1}]/[Z_{dk} + Z_{dk-1}]$ โดยที่ Z_{dk} คือค่าอิมพีแดนซ์คุณลักษณะของสายส่งเดรนช่วงที่ k ซึ่งในกรณีที่สายส่งเดรนมีอิมพีแดนซ์คุณลักษณะสม่ำเสมอ (Uniform line) ค่าสัมประสิทธิ์การสะท้อนกลับจะมีค่าเท่ากับ $\Gamma_k = 0$ เมื่อ $k = 2,3...n$ และ $\Gamma_1 = -1$ เนื่องจากการเปิดปลายสาย จากสมการที่ (4.2) จะเห็นว่ามีการแยกสัญญาณกระแสส่วนตรง (Direct current) และส่วนสะท้อน (Reflected current) ให้เห็นอย่างชัดเจน เพื่อให้ง่ายต่อการพิจารณา ทั้งนี้ โดยอาศัยความสัมพันธ์ของอัตราขยาย

กำลังตามสมการที่ (2.87) และแทนด้วยสมการที่ (4.1) และ (4.2) เราสามารถแสดงสมการอัตราขยายกำลังที่ส่วนเชื่อมต่อระหว่างภาคกรณีสายส่งเชิงกระจายอุดมคติได้เป็น

$$\begin{aligned} G_{in} &= \frac{P_L}{P_S} = Z_d Z_g \frac{|I_L|^2}{|V_g|^2} \\ &= \frac{g_m^2 Z_g Z_d}{4} \left| \frac{\sin\frac{n}{2}\left(\beta_d l_d - \beta_g l_g\right)}{\sin\frac{1}{2}\left(\beta_d l_d - \beta_g l_g\right)} + \frac{\sin\frac{n}{2}\left(\beta_d l_d + \beta_g l_g\right)}{\sin\frac{1}{2}\left(\beta_d l_d + \beta_g l_g\right)} e^{-j(n-1)\beta_d l_d} \right|^2 \end{aligned} \tag{4.3}$$

สำหรับส่วนเอาท์พุตของวงจร ซึ่งมีการต่ออิมพีแดนซ์ทั้งสองด้าน จึงไม่มีการสะท้อนกลับของสัญญาณที่เอาท์พุต ดังนั้นจากสมการที่ (4.3) เราสามารถหาอัตราขยายกำลังที่เอาท์พุตได้ทันที โดยตัดเทอมที่เกิดจากสัญญาณสะท้อนกลับออก แสดงได้ดังสมการ

$$G_o = \frac{g_m^2 Z_g Z_d}{4} \left(\frac{\sin\frac{n}{2}\left(\beta_g l_g - \beta_d l_d\right)}{\sin\frac{1}{2}\left(\beta_g l_g - \beta_d l_d\right)} \right)^2 \tag{4.4}$$

จากสมการที่ (4.3) และ (4.4) กำหนดให้ค่ามุมเฟสต่อช่วงความยาวของสายส่งเกตและเดรนมีค่าเท่ากันเท่ากับ $\beta_g l_g = \beta_d l_d = \beta l$ เมื่อ $\beta l = \omega l_g \sqrt{L_g C_g} = \omega l_d \sqrt{L_d C_d}$ โดยที่ $L_{g,d}$ และ $C_{g,d}$ คือความเหนี่ยวนำและความเก็บประจุต่อช่วงความยาวของสายส่ง และกำหนดให้ $X_k = \omega / \omega_C$ คือความถี่นอร์มัลไลซ์เทียบกับ ω_C โดยที่ $\omega_C = 2/l_g \sqrt{L_g C_g} = 2/l_d \sqrt{L_d C_d}$ คือความถี่ตัดของสายส่งเทียมที่สมมูลกับสายส่งเชิงกระจายในช่วงความถี่ต่ำกว่า ω_C มากๆ จากข้อกำหนดดังกล่าว เราสามารถลดรูปสมการที่ (4.3) และ (4.4) ได้เป็น

$$\begin{aligned} G_{in} &= \frac{g_m^2 Z_g Z_d}{4} \left| n + \frac{\sin(2nX_k)}{\sin(2X_k)} e^{-j2(n-1)X_k} \right|^2 \\ &= \frac{g_m^2 Z_g Z_d}{4} \left(n^2 + \frac{\sin^2(2nX_k)}{\sin^2(2X_k)} + 2n \frac{\sin(2nX_k)}{\sin(2X_k)} \cos\left(2(n-1)X_k\right) \right) \end{aligned} \tag{4.5}$$

และ

$$G_o = \frac{n^2 g_m^2 Z_g Z_d}{4} \tag{4.6}$$

โดยอาศัยสมการที่ (4.5) และ (4.6) เราสามารถแสดงอัตราขยายกำลังสุทธิของวงจรขยายเชิงกระจาย

หลายแถวต่อเรียงกันกรณี m ภาค (m -CMSDA) ได้ดังสมการ

$$G_{\mathrm{T}}^{\mathrm{CMSDA}} = G_o \prod_{k=1}^{m-1} G_{in} \tag{4.7}$$

และอัตราขยายกำลังสุทธิของวงจรขยายเชิงกระจายต่อเรียงกันกรณี m ภาค (m -CDA) แสดงได้ดังสมการ

$$G_{\mathrm{T}}^{\mathrm{CDA}} = \prod_{k=1}^{m} G_o \tag{4.8}$$

4.3.2.1 อัตราขยายกำลังที่ความถี่ต่ำ

จากสมการที่ (4.5)-(4.8) เมื่อกำหนดให้ความถี่นอร์มัลไลซ์ X_k มีค่าเข้าใกล้ศูนย์ (ω เข้าใกล้ศูนย์) เราสามารถแสดงอัตราขยายกำลังสุทธิที่ความถี่ต่ำมากของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันกรณี m ภาค ได้ด้วยสมการ

$$G_{\mathrm{T,dc}}^{\mathrm{CMSDA}} = \frac{\left(n^2 g_m^2 Z_g Z_d\right)^m}{4} \tag{4.9}$$

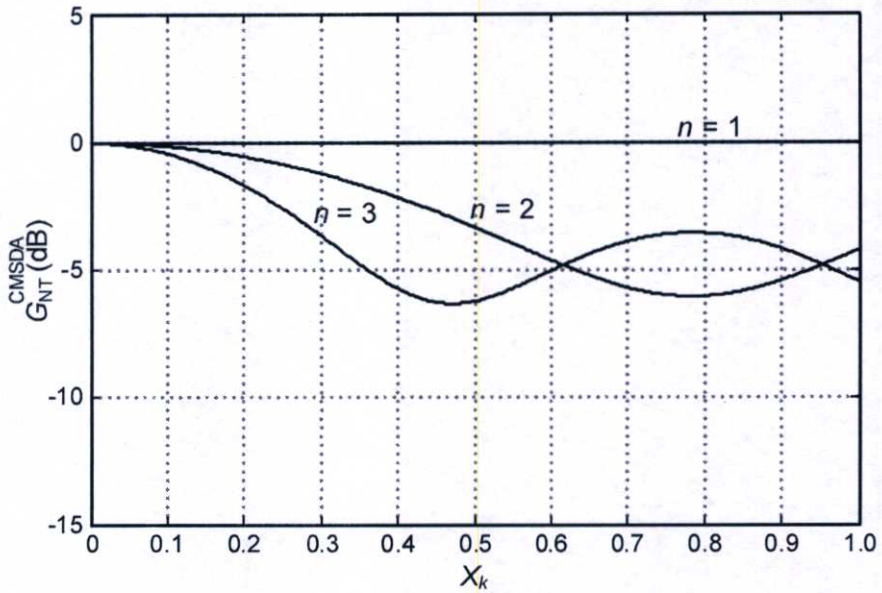
และอัตราขยายกำลังสุทธิที่ความถี่ต่ำมากของวงจรขยายเชิงกระจายต่อเรียงกันกรณี m ภาค ได้ดังสมการ

$$G_{\mathrm{T,dc}}^{\mathrm{CDA}} = \left(\frac{n^2 g_m^2 Z_g Z_d}{4}\right)^m \tag{4.10}$$

เมื่อนำสมการที่ (4.9) หารด้วยสมการที่ (4.10) เราจะพบว่าอัตราขยายกำลังสุทธิที่ความถี่ต่ำมากของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันมากกว่าวงจรขยายเชิงกระจายต่อเรียงกันถึง 4^{m-1} เท่า

โดยอาศัยสมการที่ (4.5)-(4.10) เราสามารถแสดงผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีสายส่งเชิงกระจายอุดมคติ ที่จำนวนภาคของวงจรเท่ากับ $m = 2$ และจำนวนแถวของทรานซิสเตอร์ในแต่ละภาคเท่ากับ $n = 1, 2$ และ 3 ได้ดังรูปที่ 4.4 ในรูปที่ 4.4 เราได้แสดงกราฟที่ทำการนอร์มัลไลซ์กับค่าอัตราขยายกำลังที่ความถี่ต่ำของแต่ละกรณี เพื่อให้ง่ายต่อการเปรียบเทียบ จากรูปจะเห็นว่าในกรณีที่ $n = 1$ อัตราขยายกำลังของวงจรมีค่าคงที่ไม่ขึ้นกับความถี่ เนื่องจากที่ $n = 1$ จะมีเฉพาะสัญญาณกระแสส่วนตรงเท่านั้นที่เคลื่อนไปด้านขวาสู่อิมพีแดนซ์ภาระ แต่ในกรณีที่ $n = 2$ และ 3 จะเกิดการลดทอนของอัตราขยายกำลังเมื่อความถี่สูงขึ้น โดยที่ $n = 2$ แบนด์วิดท์ของวงจรจะมีค่าเท่ากับ 0.47 เท่าของความถี่ตัดของสายส่งเทียม และที่ $n = 3$ แบนด์วิดท์ของวงจรจะลดเหลือเพียง 0.27 เท่าของความถี่ตัดของสายส่งเทียม

เท่านั้น ซึ่งจะเห็นว่าเมื่อจำนวนภาคของวงจรเพิ่มขึ้นความถี่ทำงานของวงจรจะยิ่งลดลง ทั้งนี้เนื่องจากสัญญาณกระแสส่วนสะท้อนมีวงรอบของการเดินทางที่ยาวขึ้น ทำให้ค่าการเลื่อนเฟสของสัญญาณกระแสส่วนตรงและส่วนสะท้อนมีค่ามากขึ้น ส่งผลให้แบนด์วิดท์ลดลง



รูปที่ 4.4 ผลตอบสนองทางความถี่เทียบกับความถี่นอร์มัลไลซ์ X_k ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีสายส่งเชิงกระจายอุดมคติ

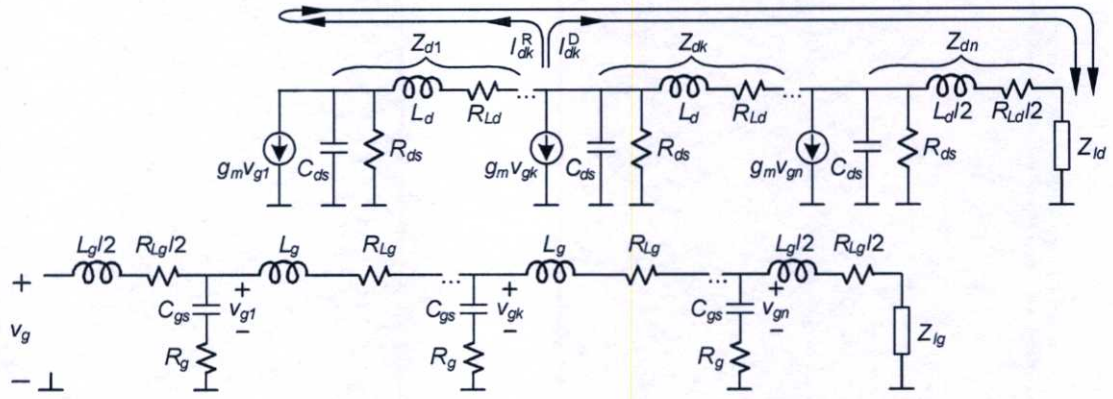
จากการวิเคราะห์ข้างต้นทำให้เราสามารถสรุปได้ว่าโครงสร้างวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน กรณีที่ $n=1$ วงจรจะมีสมรรถนะด้านอัตราขยายกำลังและแบนด์วิดท์ที่สูงมากแต่ในกรณีที่ $n>1$ ถึงแม้ว่าวงจรจะมีอัตราขยายกำลังที่สูงขึ้นแต่แบนด์วิดท์ของวงจรกลับมีค่าลดลง ซึ่งจะได้แสดงการวิเคราะห์ในหัวข้อถัดไปกรณีสายส่งเทียมที่ใช้จริงในทางปฏิบัติ

4.4 การวิเคราะห์คุณลักษณะเชิงความถี่ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีสายส่งเทียม

หลังจากที่ได้แสดงการวิเคราะห์วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีสายส่งเชิงกระจายอุดมคติ ทำให้เราทราบว่ามีการจำกัดด้านแบนด์วิดท์ ซึ่งเกิดจากการเปิดปลายสายส่งระหว่างภาค ทำให้สัญญาณกระแสเกิดการส่วนสะท้อนกลับเมื่อเดินทางถึงปลายสาย และรวมเข้ากับสัญญาณกระแสส่วนตรง ส่งผลให้มีค่าการเลื่อนเฟสของสัญญาณกระแสทั้งสองส่วน ทำให้แบนด์วิดท์ของวงจรมีค่าลดลง ในหัวข้อนี้เราจะทำการวิเคราะห์วงจรในกรณีสายส่งเทียม ซึ่งเป็น

สายส่งที่ใช้จริงในทางปฏิบัติ เพื่อทำการเปรียบเทียบสมรรถนะด้านแบนด์วิดท์กับกรณีสายส่งเชิงกระจายอุดมคติ

4.4.1 การวิเคราะห์วงจรในกรณีสายส่งเทียมแบบสม่ำเสมอ



รูปที่ 4.5 วงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน

รูปที่ 4.5 แสดงวงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน โดยสายส่งเกตเทียมประกอบขึ้นจากความเหนี่ยวนำ L_g และความเก็บประจุแฝง C_{gs} ในขณะที่สายส่งเดรนเทียมประกอบขึ้นจากความเหนี่ยวนำ L_d และความเก็บประจุแฝง C_{ds} ทั้งนี้ เราได้รวมผลของความต้านทานแฝงจากตัวเหนี่ยวนำและทรานซิสเตอร์ไว้ในโครงสร้างของสายส่งเกตและเดรนเทียม เพื่อความถูกต้องในทางปฏิบัติ โดย R_g และ R_{ds} แทนค่าการสูญเสียที่ขั้วเกตและเดรนของทรานซิสเตอร์ ในขณะที่ R_{Lg} และ R_{Ld} แทนค่าการสูญเสียในตัวเหนี่ยวนำ L_g และ L_d ตามลำดับ เพื่อให้การวิเคราะห์วงจรสามารถทำได้ง่ายและทำความเข้าใจได้อย่างลึกซึ้ง เราจะสมมติให้อิมพีแดนซ์ที่ต่อปลายสาย เป็นค่าเงาของอิมพีแดนซ์คุณลักษณะของสายส่งเกตและเดรนเทียม โดยมีค่าเท่ากับ Z_{lg} และ Z_{ld} ตามลำดับ อนึ่ง เราได้ละเลยผลของความเก็บประจุแฝง C_{gd} ของทรานซิสเตอร์ เพื่อให้การวิเคราะห์ไม่ซับซ้อนจนเกินไป

ในการวิเคราะห์วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีสายส่งเทียมแบบสม่ำเสมอ เราจะพิจารณาจากวงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาครูปที่ 4.5 โดยอาศัยขั้นตอนการวิเคราะห์เช่นเดียวกับกรณีสายส่งเชิงกระจายอุดมคติ เราสามารถอธิบายการทำงานของวงจรได้ดังนี้ เมื่อป้อนสัญญาณแรงดัน V_g เข้าสู่วงจร สัญญาณแรงดัน V_g จะเดินทางเคลื่อนที่ไปตามแนวสายส่งเกตเทียมสู่อิมพีแดนซ์ Z_{lg} ที่ต่อปลายสายด้วยค่าคงตัวการแพร่เท่ากับ θ_g ทำให้เกิดสัญญาณแรงดันคร่อมตัวเก็บประจุแฝง C_{gs} ของทรานซิสเตอร์แต่ละตัวมีค่าดังสมการ (2.82) สัญญาณแรงดันคร่อมตัวเก็บประจุแฝง C_{gs} แต่ละตัวนั้นจะก่อให้เกิดสัญญาณกระแสเดรนผ่านการส่งผ่านความนำ g_m ของ

ทรานซิสเตอร์ โดยเราสามารถแสดงได้ว่าสัญญาณกระแสสุทธิ I_L ที่เดินทางเคลื่อนสู่อิมพีแดนซ์ Z_{Id} ซึ่งเป็นอิมพีแดนซ์ภาระของส่วนเชื่อมต่อระหว่างภาคมีค่าเป็น

$$\begin{aligned} I_L &= \delta_d e^{-\theta_d/2} \sum_{k=1}^{n} \left(I_{dk}^{\mathrm{D}} + I_{dk}^{\mathrm{R}} \right) \\ &= \delta_d g_m e^{-\theta_d/2} \sum_{k=1}^{n} \left(\underbrace{\frac{1-\Gamma_k}{2} V_{gk} e^{-(n-k)\theta_d}}_{direct} + \underbrace{\frac{1+\Gamma_k}{2} V_{gk} e^{-(n+k-2)\theta_d}}_{reflected} \right) \end{aligned} \tag{4.11}$$

เมื่อ δ_d มีความสัมพันธ์ตามสมการที่ (2.85) และ $\theta_d = A_d + j\beta_d$ คือค่าคงตัวการแพร่ต่อช่วงของสายส่งเดรนเทียม โดยที่ A_d และ β_d คือค่าการลดทอนและค่าคงตัวเฟสต่อช่วงมีความสัมพันธ์ตามสมการที่ (2.92) และ (2.93) ตามลำดับโดยอาศัยความสัมพันธ์ของอัตราขยายกำลังตามสมการที่ (2.87) เมื่อแทนด้วยสมการที่ (2.82) และ (4.11) เราสามารถแสดงสมการอัตราขยายกำลังที่ส่วนเชื่อมต่อระหว่างภาคของวงจรในกรณีสายส่งเทียมได้เป็น

$$G_{in} = |\delta|^2 \frac{g_m^2 R_{Ig} R_{Id} e^{-n(A_g + A_d)}}{4} \left(1 - X_k^{\,2}\right) \cdot \left| \frac{\sinh\left(\frac{n}{2}\left(\theta_d - \theta_g\right)\right)}{\sinh\left(\frac{1}{2}\left(\theta_d - \theta_g\right)\right)} + \frac{\sinh\left(\frac{n}{2}\left(\theta_d + \theta_g\right)\right)}{\sinh\left(\frac{1}{2}\left(\theta_d + \theta_g\right)\right)} e^{-(n-1)\theta_d} \right|^2 \tag{4.12}$$

เมื่อ δ_g มีความสัมพันธ์ตามสมการที่ (2.83) และ $\theta_g = A_g + j\beta_g$ คือค่าคงตัวการแพร่ต่อช่วงของสายส่งเกตเทียม โดยที่ A_g และ β_g คือค่าการลดทอนและค่าคงตัวเฟสต่อช่วง มีความสัมพันธ์ตามสมการที่ (2.91) และ (2.93) ตามลำดับ สำหรับอัตราขยายกำลังที่เอาท์พุตสามารถเขียนได้เป็น

$$G_o = |\delta|^2 \frac{g_m^2 R_{Ig} R_{Id} e^{-n(A_g + A_d)}}{4} \left(1 - X_k^{\,2}\right) \cdot \left| \frac{\sinh\left(\frac{n}{2}\left(\theta_d - \theta_g\right)\right)}{\sinh\left(\frac{1}{2}\left(\theta_d - \theta_g\right)\right)} \right|^2 \tag{4.13}$$

เมื่อ $\delta = \delta_d \cdot \delta_g$, $R_{Ig} = \sqrt{L_g / C_{gs}}$, $R_{Id} = \sqrt{L_d / C_{ds}}$ และ $X_k = \omega / \omega_C$ คือความถี่นอร์มัลไลซ์เทียบกับ ω_C โดยที่ $\omega_C = \sqrt{L_g / C_{gs}} = \sqrt{L_d / C_{ds}}$ คือความถี่ตัดของสายส่งเทียม ซึ่งออกแบบให้มีค่าเท่ากันภายใต้เงื่อนไขค่าคงตัวเฟส $\beta_d = \beta_g$ ซึ่งทำให้เกิดการเสริมกันของสัญญาณอย่างสมบูรณ์ที่ทุกๆ ความถี่ โดยเราสามารถหาอัตราขยายกำลังสุทธิของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันและ

วงจรขยายเชิงกระจายต่อเรียงกันในกรณีสายส่งเทียม ด้วยการแทนสมการที่ (4.12) และ (4.13) ลงในสมการที่ (4.7) และ (4.8)

4.4.2 ผลตอบสนองทางความถี่ของวงจรในกรณีสายส่งเทียมแบบสม่ำเสมอ

จากการวิเคราะห์ในหัวข้อย่อยที่ผ่านมา จะเห็นว่าสมการอัตราขยายกำลังของวงจรเป็นฟังก์ชั่นของค่าคงตัวการแพร่ θ_g และ θ_d ซึ่งมีค่าขึ้นอยู่กับพารามิเตอร์ a, b, c, d และ X_k ตามสมการที่ (2.90)-(2.93) โดยพารามิเตอร์เหล่านี้จะเป็นตัวบ่งชี้ถึงคุณลักษณะทางความถี่ของวงจร ในทางปฏิบัติค่าการสูญเสียจะขึ้นอยู่กับกระบวนการผลิตเป็นสำคัญ ตัวอย่างเช่น ในกระบวนการผลิต GaAs การสูญเสียในทรานซิสเตอร์ (ตัวแปร a และ b) จะมีค่ามากกว่าการสูญเสียในตัวเหนี่ยวนำ (ตัวแปร c และ d) เนื่องจากฐานรอง (Substrate) มีค่าการสูญเสียต่ำมาก ทำให้ตัวประกอบคุณภาพของตัวเหนี่ยวนำมีค่าสูง แต่ในกระบวนการผลิตซีมอสซึ่งฐานรองจะมีค่าความนำสูง จึงทำให้ค่าการสูญเสียในตัวเหนี่ยวนำมาก ส่งผลให้ตัวประกอบคุณภาพมีค่าต่ำ กอรปกับค่าการสูญเสียในทรานซิสเตอร์ที่ค่อนข้างสูง ดังนั้นในกระบวนการผลิตซีมอสค่าการสูญเสียจะมีผลกระทบต่อสมรรถนะของวงจรเป็นอย่างมาก

4.4.2.1 อัตราขยายกำลังที่ความถี่ต่ำ

เพื่อให้มีความเข้าใจถึงผลกระทบด้านอัตราขยายที่เกิดจากค่าตัวแปรการสูญเสีย a, b, c และ d เราจะแสดงสมการอัตราขยายกำลังในรูปของฟังก์ชั่นตัวแปรการสูญเสียเหล่านี้ โดยอาศัยสมการที่ (2.90)-(2.93) และสมการที่ (4.12)-(4.13) เมื่อกำหนดให้ $X_k = 0$ เราสามารถแสดงอัตราขยายกำลังที่ส่วนเชื่อมต่อระหว่างภาคและเอาท์พุตที่ความถี่ต่ำมากได้ดังสมการ

$$G_{in,\mathrm{dc}} = \frac{g_m^2 R_{Ig} R_{Id} e^{-n(b+c+d)}}{4\cosh^2\left(\frac{c}{2}\right)\cosh^2\left(\frac{b+d}{2}\right)} \cdot \left(\frac{\sinh\left(\frac{n}{2}(b+d-c)\right)}{\sinh\left(\frac{1}{2}(b+d-c)\right)} + \frac{\sinh\left(\frac{n}{2}(b+c+d)\right)}{\sinh\left(\frac{1}{2}(b+c+d)\right)} e^{-(n-1)(b+d)} \right)^2 \tag{4.14}$$

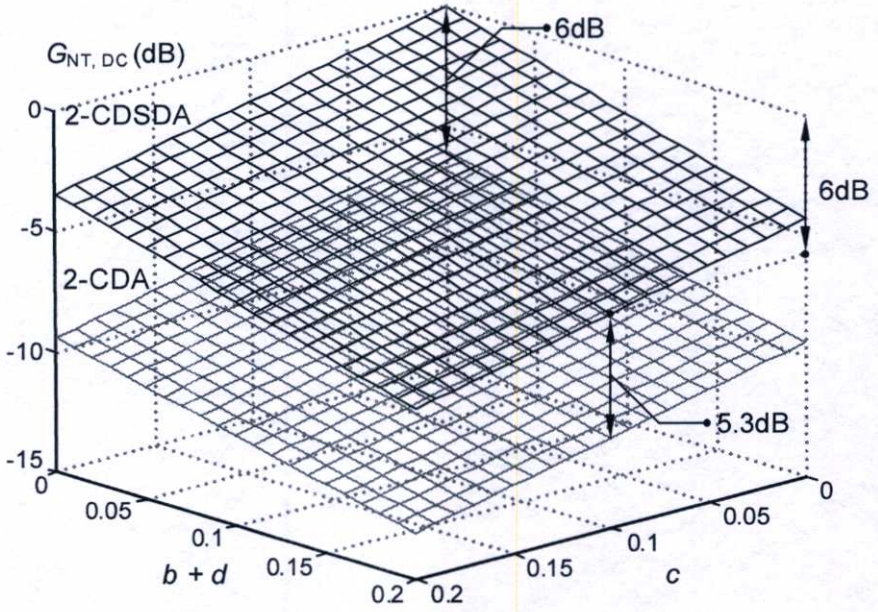
และ

$$G_{o,\mathrm{dc}} = \frac{g_m^2 R_{Ig} R_{Id} e^{-n(b+c+d)}}{4\cosh^2\left(\frac{c}{2}\right)\cosh^2\left(\frac{b+d}{2}\right)} \cdot \frac{\sinh^2\left(\frac{n}{2}(b+d-c)\right)}{\sinh^2\left(\frac{1}{2}(b+d-c)\right)} \tag{4.15}$$

จากสมการที่ (4.14) และ (4.15) จะเห็นว่าตัวแปรการสูญเสีย a ไม่ปรากฏอยู่ในสมการทั้งสอง เนื่องจากตัวแปรการสูญเสีย a แปรผันกับกำลังสองของความถี่ ดังนั้นที่ความถี่ต่ำมากจึงไม่มีผลกระทบ

กับวงจรแต่อย่างใด ในกรณีที่สายส่งเทียมไม่มีการสูญเสีย เราสามารถแสดงได้ว่าสมการที่ (4.14) และ (4.15) มีค่าเท่ากับ $G_{in,\mathrm{dc}} = n^2 g_m^2 R_{lg} R_{ld}$ และ $G_{o,\mathrm{dc}} = n^2 g_m^2 R_{lg} R_{ld} / 4$ ซึ่งอัตราขยายกำลังสุทธิของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันจะมากกว่าวงจรขยายเชิงกระจายต่อเรียงกันเท่ากับ $G_{\mathrm{T,dc}}^{\mathrm{CMSDA}} / G_{\mathrm{T,dc}}^{\mathrm{CDA}} = 4^{m-1}$ ซึ่งเท่ากันกับกรณีของสายส่งเชิงกระจายอุดมคติ ดังที่ได้กล่าวในหัวข้อที่ 4.3

โดยการแทนสมการที่ (4.14) และ (4.15) ลงในสมการที่ (4.7) และ (4.8) และกำหนดให้ $n = m = 2$ เราสามารถแสดงอัตราขยายกำลังสุทธิที่ความถี่ต่ำมากของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันและวงจรขยายเชิงกระจายต่อเรียงกันเทียบกับค่าตัวแปรการสูญเสีย b, c และ d ได้ดังรูปที่4.6



รูปที่ 4.6 อัตราขยายกำลังสุทธิที่ความถี่ต่ำมากเทียบกับตัวแปรการสูญเสีย b, c และ d

ในรปที่ 4.6 เราได้แสดงกราฟที่ทำการนอร์มัลไลซ์กับค่าอัตราขยายกำลังที่ความถี่ต่ำของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีที่ไม่มีการสูญเสีย เพื่อให้ง่ายต่อการเปรียบเทียบ จากรูปจะเห็นว่าอัตราขยายกำลังของวงจรทั้งสองจะค่อยๆ ลดลงเมื่อค่าการสูญเสียเพิ่มขึ้น (b, c และ d เพิ่มขึ้น) ในกรณีที่ไม่มีการสูญเสีย $b = c = d = 0$ อัตราขยายกำลังสุทธิที่ความถี่ต่ำมากของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันจะมากกว่าวงจรขยายเชิงกระจายต่อเรียงกัน 6 ดีบี หรือ 4 เท่า ในขณะที่ค่าตัวแปรการสูญเสีย $b = c = d = 0.1$ ซึ่งเป็นกรณีที่สนใจ อัตราขยายกำลังสุทธิที่ความถี่ต่ำมากของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันจะมีค่าลดลงจากกรณีที่ไม่มีการสูญเสียประมาณ 6 ดีบี แต่ก็ยังมากกว่าวงจรขยายเชิงกระจายต่อเรียงกันประมาณ 5.3 ดีบี

4.4.2.2 ผลตอบสนองที่ความถี่สูง

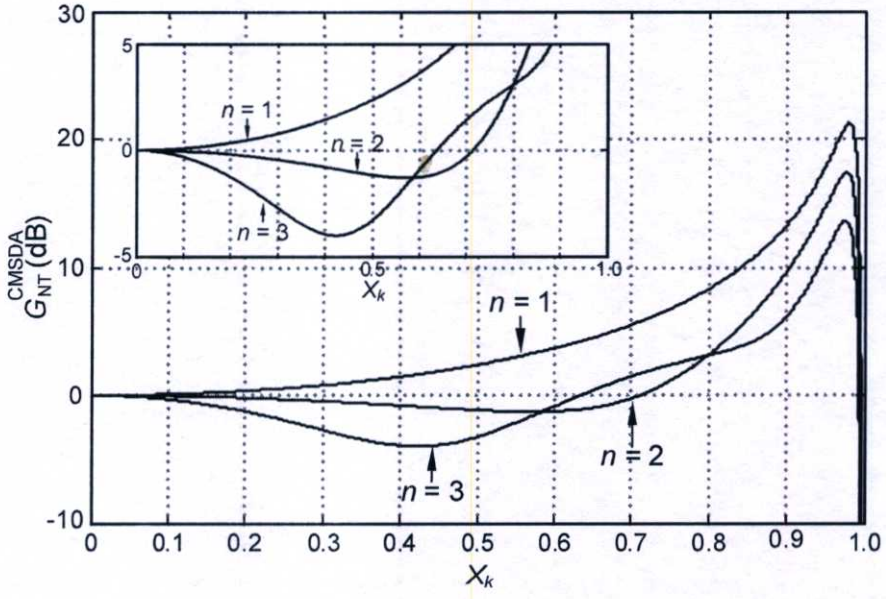
การพิจารณาผลกระทบที่ความถี่สูง เริ่มแรกเราจะสมมติให้สายส่งเกตและเดรนเทียมไม่มีการสูญเสีย นั่นคือค่าตัวแปรการสูญเสียต่างๆ มีค่าเป็นศูนย์ ($a=b=c=d=0$) และค่าคงตัวเฟสประมาณเท่ากับ $\beta \approx 2X_k$ ดังนั้นสมการที่ (4.12) และ (4.13) สามารถเขียนใหม่ได้เป็น

$$G_{in} = \frac{1}{\cos^4(X_k)}\left(1-X_k^{\,2}\right)\frac{g_m^2 R_{Ig} R_{Id}}{4}\cdot\left|n+\frac{\sin\left(2n\sin^{-1}(X_k)\right)}{\sin\left(2\sin^{-1}(X_k)\right)}e^{-j2(n-1)X_k}\right|^2$$
$$= \frac{1}{\cos^4(X_k)}\left(1-X_k^{\,2}\right)\frac{g_m^2 R_{Ig} R_{Id}}{4}\cdot\left(n^2+\frac{\sin^2(2nX_k)}{\sin^2(2X_k)}+2n\frac{\sin(2nX_k)}{\sin(2X_k)}\cos\left(2(n-1)X_k\right)\right) \tag{4.16}$$

และ

$$G_o = \frac{1}{\cos^4(X_k)}\left(1-X_k^{\,2}\right)\frac{n^2 g_m^2 R_{Ig} R_{Id}}{4} \tag{4.17}$$

เปรียบเทียบสมการที่ (4.16) และ (4.17) กับสมการที่ (4.5) และ (4.6) จะเห็นว่ามีความแตกต่างกันในเทอม $(1-X_k^2)/\cos^4(X_k)$ โดยเทอมที่เพิ่มขึ้นนี้บ่งบอกถึงการเปลี่ยนแปลงตามความถี่ของสายส่งเทียม ซึ่งทำให้เกิดการกระเจิงของสัญญาณ และส่งผลให้เกิดค่ายอด (Peaking) ของสัญญาณในสายส่งเทียม



รูปที่ 4.7 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระหลายแถวต่อเรียงกันกรณีค่าการสูญเสียต่ำเทียบกับความถี่นอร์มัลไลซ์ X_k

รูปที่ 4.7 แสดงผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันกรณีค่าการสูญเสียต่ำเทียบกับความถี่นอร์มัลไลซ์ X_k โดยสมมติให้ค่าตัวแปรการสูญเสีย $a=b=c=d=0.2$ และ $m=2$ เพื่อให้ง่ายต่อการเปรียบเทียบ เราได้แสดงกราฟของผลตอบสนองทางความถี่ที่ทำการนอร์มัลไลซ์กับค่าอัตราขยายกำลังที่ความถี่ต่ำมากของแต่ละกรณี จากรูปที่ 4.7 จะเห็นว่ากรณีที่ $n=1$ (CSSDA) อัตราขยายกำลังของวงจรจะมีค่าเพิ่มขึ้นตามความถี่จนถึงความถี่ตัดของสายส่งเทียม ซึ่งแตกต่างจากกรณีสายส่งเชิงกระจายอุดมคติรูปที่ 4.4 ที่อัตราขยายกำลังมีค่าคงที่ไม่ขึ้นกับความถี่ ทั้งนี้เนื่องจากความไม่เป็นอุดมคติของสายส่งเทียมจึงทำให้เกิดการกระเจิงของสัญญาณ และส่งผลให้เกิดค่ายอดดังกล่าว ในกรณีที่ $n=2$ (CDSDA) ค่ายอดของสัญญาณในสายส่งเทียมจะช่วยชดเชยให้อัตราขยายกำลังช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียมสูงขึ้น เมื่อเทียบกับกรณีสายส่งเชิงกระจายอุดมคติรูปที่ 4.4 ทำให้วงจรมีแบนด์วิดท์กว้างขึ้น จากนั้นอัตราขยายกำลังจะเพิ่มสูงขึ้นเมื่อความถี่เข้าใกล้ความถี่ตัดของสายส่งเทียม ในกรณีที่ $n=3$ (CTSDA) แม้ว่าจะมีค่ายอดของสัญญาณในสายส่งเทียม แต่ก็ไม่สามารถชดเชยให้อัตราขยายกำลังที่ช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียมสูงขึ้นกว่า –3 ดีบี เนื่องจากสัญญาณกระแสส่วนสะท้อนใช้วงรอบในการเดินทางนานขึ้น ทำให้ค่าการเลื่อนเฟสของสัญญาณกระแสส่วนตรงและส่วนสะท้อนมากขึ้น คล้ายกับกรณีสายส่งเชิงกระจายอุดมคติรูปที่ 4.4 ก่อนที่อัตราขยายกำลังจะเพิ่มขึ้นเมื่อความถี่เข้าใกล้ความถี่ตัดของสายส่งเทียม ดังนั้นจึงสรุปได้ว่าวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน กรณีที่ $n>2$ ไม่เหมาะสำหรับงานขยายสัญญาณแถบความถี่กว้าง

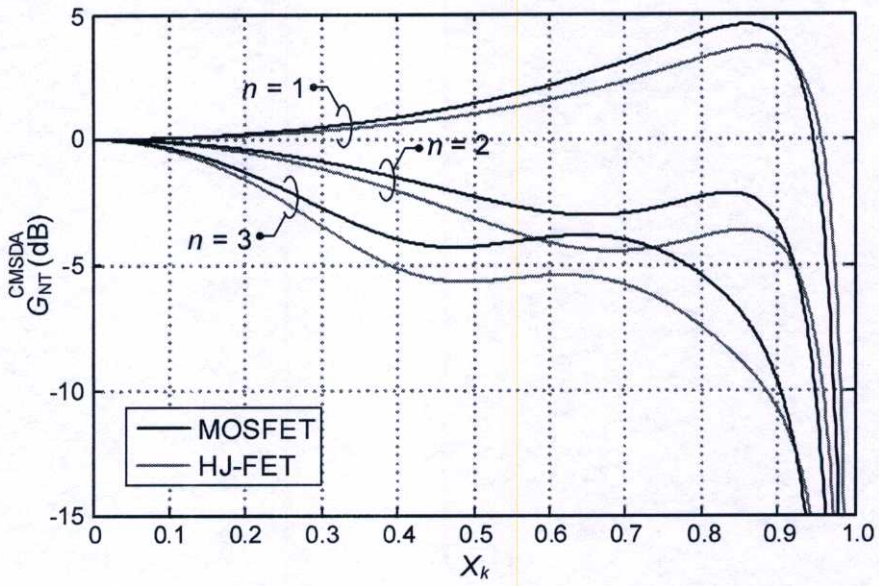
กรณีค่าการสูญเสียในทางปฏิบัติได้จากการถอดค่าอุปกรณ์ในการจำลองและการทดสอบบทที่ 5 ในการจำลองใช้กระบวนการผลิตซีมอส ขนาด 0.18 ไมครอน โดยโครงสร้างทรานซิสเตอร์เป็นแบบคาสโคด เพื่อลดผลจากความเก็บประจุมิลเลอร์และเพิ่มความต้านทานเอาท์พุต ซึ่งมีค่าตัวแปรการสูญเสีย $a=0.24, b=0.06$ และ $c=d=0.08$ สำหรับการทดสอบใช้ทรานซิสเตอร์แบบ HJ-FET เบอร์ NE34018 และชิปตัวเหนี่ยวนำที่มีค่าตัวประกอบคุณภาพสูง มีค่าตัวแปรการสูญเสีย $a=0.4, b=0.1$ และ $c=d=0$ โดยพารามิเตอร์ต่างๆ จากการถอดค่าอุปกรณ์สามารถแสดงได้ด้วยตารางที่ 4.1

ตารางที่ 4.1 พารามิเตอร์ต่างๆ จากการถอดค่าอุปกรณ์ในการจำลองและการทดสอบ

Parameters	HJ-FET design	Cascode MOSFET design
g_m	72mS	32mS
C_{gs}/C_{ds}*	1.6pF/0.6pF	0.3pF/0.12pF
L_g/L_d	4nH/4nH	0.75nH/0.75nH
R_g/R_{ds}	10Ω/250Ω	6Ω/450Ω
R_{Lg}/R_{Ld}	0 /0	8Ω /8Ω
$a/b/c/d$	0.4/0.1/0.0/0.0	0.24/0.06/0.08/0.08

* including parasitic capacitances

ทั้งนี้ค่าความเก็บประจุแฝงที่แสดงในตารางที่ 4.1 ได้รวมผลความเก็บประจุแฝงจากตัวเหนี่ยวนำและการเชื่อมต่อต่างๆ ในเลย์เอาท์ไว้แล้ว โดยอาศัยค่าตัวแปรการสูญเสีย a, b, c และ d จากการจำลองและทดสอบตามตารางที่ 4.1 เราสามารถแสดงผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน ในกรณีที่มีการสูญเสียได้ดังรูปที่ 4.8 ทั้งนี้ได้กำหนดให้จำนวนภาคของวงจรเท่ากับ $m = 2$ และเพื่อให้ง่ายต่อการเปรียบเทียบ เราได้แสดงกราฟของผลตอบสนองทางความถี่ที่ทำการนอร์มัลไลซ์กับค่าอัตราขยายกำลังที่ความถี่ต่ำมากของแต่ละกรณี



รูปที่ 4.8 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันกรณีค่าการสูญเสียในทางปฏิบัติเทียบกับความถี่นอร์มัลไลซ์ X_k

รูปที่ 4.8 จะเห็นว่าค่าการสูญเสียในทางปฏิบัติทำให้เกิดการลดทอนของอัตราขยายกำลังของวงจรเป็นอย่างมากโดยเฉพาะที่ความถี่สูง เนื่องจากค่าการสูญเสียจากความต้านทานแฝง R_g ในทรานซิสเตอร์จะทำให้เกิดการลดทอนมากที่ความถี่สูง (ดูรูปที่ 2.18) พิจารณากรณีที่ $n = 2$ และ 3 จะเห็นว่าอัตราขยายกำลังช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียมจะมีค่าลดลงต่ำกว่า –3 ดีบี อย่างรวดเร็ว เนื่องจากค่าการสูญเสียทำให้ค่ายอดของสัญญาณในสายส่งเกตและเดรนเทียมเกิดการลดทอนจนไม่สามารถชดเชยอัตราขยายกำลังที่ลดลงเนื่องจากสัญญาณกระแสส่วนสะท้อนกลับได้ ส่งผลให้เกิดการจำกัดแบนด์วิดท์ โดยค่าการลดทอนในสายส่งเทียมจะแปรผันกับจำนวนแถวของทรานซิสเตอร์ในแต่ละภาคของวงจร หากจำนวนแถวของทรานซิสเตอร์มากการลดทอนจะยิ่งมาก จะเห็นได้จากแบนด์วิดท์ของวงจรกรณีที่ $n = 2$ และ 3 จะมีค่าประมาณ 0.5 เท่าและ 0.3 เท่าของความถี่ตัดของสายส่งเทียมตามลำดับ สำหรับกรณีที่ $n = 1$ ซึ่งไม่มีการสะท้อนกลับ

ของสัญญาณกระแสที่ส่วนเชื่อมต่อระหว่างภาคกอปรกับจำนวนทรานซิสเตอร์ที่น้อย การลดทอนในสายส่งเทียมจึงไม่มาก ทำให้วงจรมีแบนด์วิดท์กว้างประมาณ 0.95 เท่าของความถี่ตัดของสายส่งเทียมทั้งในการจำลองและการทดสอบ เป็นที่น่าสังเกตว่าผลตอบสนองทางความถี่ของวงจรกรณีค่าตัวแปรการสูญเสีย a,b,c และ d จากการทดสอบ (HJ-FET) จะมีการลดทอนของอัตราขยายกำลังที่ความถี่สูงมากกว่ากรณีค่าตัวแปรการสูญเสียจากการจำลอง (MOSFET) เนื่องจากค่าตัวแปรการสูญเสีย a ที่มากกว่า (ดูตารางที่ 4.1) ทำให้เกิดการลดทอนของอัตราขยายกำลังมากที่ความถี่สูง

เป็นที่ทราบกันดีว่าวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันในกรณีที่ $n>1$ จะมีสมรรถนะด้านตัวประกอบสัญญาณรบกวนและความสามารถในการขับภาระเอาท์พุตที่เหนือกว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน [27], [28] แต่จากการวิเคราะห์ที่ผ่านมา ทั้งกรณีสายส่งเชิงกระจายอุดมคติและสายส่งเทียมที่ใช้จริงในทางปฏิบัติได้แสดงให้เห็นถึงการจำกัดแบนด์วิดท์ของวงจร ทำให้วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันดูเหมือนว่าจะไม่เหมาะสำหรับงานด้านการขยายสัญญาณแถบความถี่กว้าง ในหัวข้อถัดไปจะได้นำเสนอเทคนิคสายส่งเดรนแบบเทเปอร์ซึ่งช่วยหักล้างสัญญาณกระแสส่วนสะท้อนกลับให้น้อยลง ทำให้วงจรมีแบนด์วิดท์กว้างขึ้น

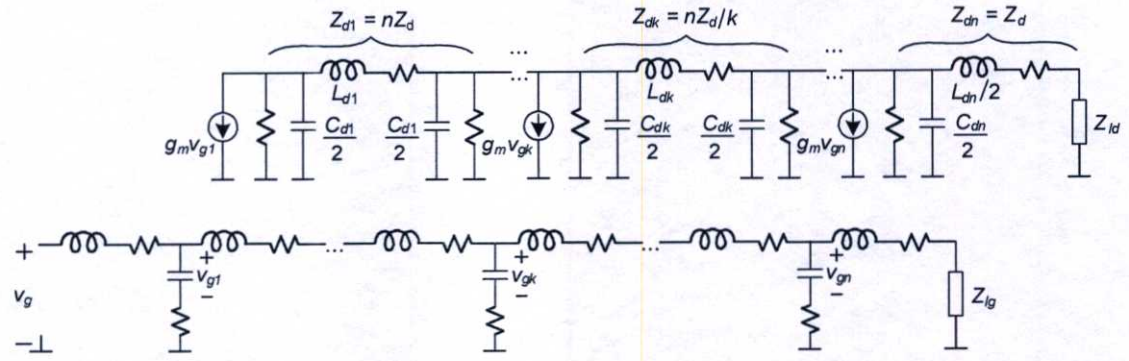
4.5 การขยายแบนด์วิดท์ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันโดยอาศัยสายส่งเดรนแบบเทเปอร์

วิธีการหนึ่งที่ถูกนำมาใช้ในการขยายแบนด์วิดท์ของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันคือ การทำให้อิมพีแดนซ์ของสายส่งเดรนเทียมที่ส่วนเชื่อมต่อระหว่างภาคมีค่าอิมพีแดนซ์คุณลักษณะแบบเทเปอร์ (Tapered drain line) [43], [44] เพื่อเพิ่มสัดส่วนของสัญญาณกระแสส่วนตรง I_{dk}^{D} ให้มากขึ้น ในขณะเดียวกันก็พยายามหักล้างสัญญาณกระแสส่วนสะท้อน I_{dk}^{R} ซึ่งเป็นต้นเหตุที่ทำให้เกิดการจำกัดแบนด์วิดท์ของวงจรให้หมดไป

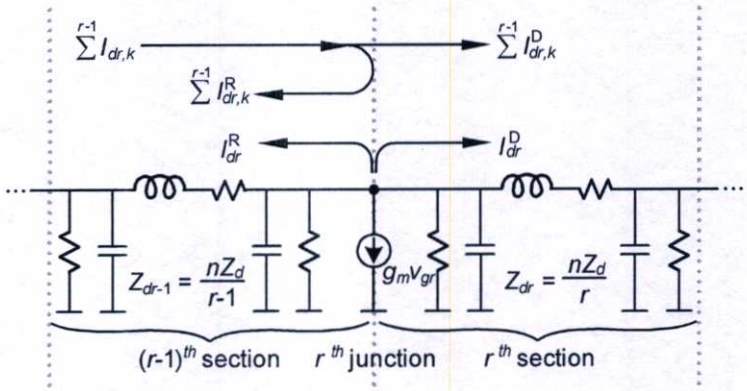
4.5.1 การวิเคราะห์วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์

เราสามารถแสดงวงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ได้ดังรูปที่ 4.9 โดยสายส่งเกตเทียมจะมีค่าอิมพีแดนซ์คุณลักษณะแบบสม่ำเสมอ แต่ในกรณีสายส่งเดรนเทียมจะมีการกำหนดค่าอิมพีแดนซ์คุณลักษณะในแต่ละช่วงที่แตกต่างกัน นั่นคือ $Z_{dk}=nZ_d/k$ จะเห็นว่าค่าอิมพีแดนซ์คุณลักษณะที่ช่วงแรกจะมีค่ามากที่สุด และลดค่าลงเรื่อยไปจนถึงช่วงสุดท้ายซึ่งมีค่าอิมพีแดนซ์คุณลักษณะเท่ากับอิมพีแดนซ์ $Z_d=Z_{Id}$ ที่ต่อปลายสายพอดี โดยที่ $Z_{dk-1}>Z_{dk}$ จากความแตกต่างของค่าอิมพีแดนซ์คุณลักษณะในแต่ละช่วงของสายส่งนี้เอง ทำให้สัญญาณกระแสเดรนจากทรานซิสเตอร์แต่ละตัวถูกแยกไหลเป็นสองส่วนในปริมาณที่ไม่เท่ากัน โดยสัญญาณกระแสส่วนตรงที่เดินทางเคลื่อนที่ไปด้านขวาสู่

อิมพีแดนซ์ Z_{ld} จะมีค่ามากกว่าสัญญาณกระแสส่วนสะท้อนที่เดินทางเคลื่อนที่ไปด้านซ้ายสู่ปลายเปิดของสายส่งเทียม



รูปที่ 4.9 วงจรสมมูลที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์



รูปที่ 4.10 อิมพีแดนซ์คุณลักษณะที่รอยต่อ r

พิจารณาค่าอิมพีแดนซ์คุณลักษณะที่รอยต่อ r (r -junction) ระหว่างช่วงที่ $r-1$ และ r แสดงดังรูปที่ 4.10 จากกฎการแบ่งกระแส เราสามารถแสดงได้ว่าสัญญาณกระแสส่วนตรง I_{dr}^{D} และส่วนสะท้อน I_{dr}^{R} ของทรานซิสเตอร์ตัวที่ r มีค่าเป็นไปตามสมการ

$$I_{dr}^{\mathrm{D}} = \frac{1-\Gamma_r}{2} \cdot I_{dr} = \frac{1-\Gamma_r}{2} \cdot \delta_g g_m V_g e^{-(r-1/2)\theta_g} \tag{4.18}$$

$$I_{dr}^{\mathrm{R}} = \frac{1+\Gamma_r}{2} \cdot I_{dr} = \frac{1+\Gamma_r}{2} \cdot \delta_g g_m V_g e^{-(r-1/2)\theta_g} \tag{4.19}$$

โดยที่ $\Gamma_r = (Z_{dr} - Z_{dr-1})/(Z_{dr} + Z_{dr-1})$ สำหรับสัญญาณกระแสส่วนตรงรวมจากทรานซิสเตอร์ภาคก่อนหน้าจาก $k=1$ ถึง $r-1$ จะเกิดการสะท้อนกลับทุกๆ รอยต่อของอิมพีแดนซ์คุณลักษณะของสายส่งเดรนเทียมที่มีค่าแตกต่างกันจากรอยต่อที่ $k=1$ จนถึง r โดยเราสามารถแสดงได้ว่าสัญญาณกระแสส่วนนี้ที่เดินทางเคลื่อนที่ต่อไปยังส่วนเชื่อมต่อที่ r (r -section) มีค่าเท่ากับ

$$\begin{aligned}\sum_{k=1}^{r-1} I_{dr,k}^{D} &= \sum_{k=1}^{r-1}\left(I_{dk}^{\mathrm{D}} e^{-(r-k)\theta_d} \prod_{p=k+1}^{r}\left(1-\Gamma_p\right)\right) \\ &= \delta_g g_m V_g \sum_{k=1}^{r-1}\left(\frac{1-\Gamma_k}{2} e^{-(k-1/2)\theta_g-(r-k)\theta_d} \prod_{p=k+1}^{r}\left(1-\Gamma_p\right)\right)\end{aligned} \tag{4.20}$$

และสัญญาณกระแสส่วนที่สะท้อนกลับที่รอยต่อ r มีค่าเท่ากับ

$$\sum_{k=1}^{r-1} I_{dr,k}^{\mathrm{R}} = \frac{\Gamma_r}{1-\Gamma_r}\cdot\sum_{k=1}^{r-1} I_{dr,k}^{\mathrm{D}} \tag{4.21}$$

จากเงื่อนไขที่กำหนดให้อิมพีแดนซ์คุณลักษณะในแต่ละช่วงของสายส่งเดรนเทียมมีค่าเท่ากับ $Z_{dk} = nZ_d / k$ เราจะได้สัมประสิทธิ์การสะท้อนกลับที่รอยต่อมีค่าเท่ากับ $\Gamma_k = -1/(2k-1)$ โดยการสมมติให้ค่าคงตัวการแพร่ของสายส่งเกตและเดรนทียมมีค่าเท่ากันเท่ากับ $\theta_g = \theta_d = \theta$ นั่นคือ $A_g = A_d = A$ และ $\beta_g = \beta_d = \beta$ เราสามารถเขียนสมการที่ (4.18) และ (4.19) ใหม่ได้เป็น

$$I_{dr}^{\mathrm{D}} = \frac{r}{2r-1}\cdot\delta_g g_m V_g e^{-(r-1/2)\theta} \tag{4.22}$$

$$I_{dr}^{\mathrm{R}} = \frac{r-1}{2r-1}\cdot\delta_g g_m V_g e^{-(r-1/2)\theta} \tag{4.23}$$

สำหรับสัญญาณกระแสส่วนตรงรวมจากทรานซิสเตอร์ตัวที่ $k=1$ ถึง $r-1$ ที่เดินทางเคลื่อนที่ต่อไปยังรอยต่อที่ $r+1$ ในสมการที่ (4.20) เขียนใหม่ได้เป็น

$$\sum_{k=1}^{r-1} I_{dr,k}^{\mathrm{D}} = \frac{2r(r-1)}{2r-1}\delta_g g_m V_g e^{-(r-1/2)\theta} \tag{4.24}$$

และสัญญาณกระแสส่วนที่สะท้อนกลับที่รอยต่อ r ในสมการที่ (4.21) เขียนใหม่ได้เป็น

$$\sum_{k=1}^{r-1} I_{dr,k}^{\mathrm{R}} = -\frac{r-1}{2r-1}\delta_g g_m V_g e^{-(r-1/2)\theta} = -I_{dr}^{\mathrm{R}} \tag{4.25}$$

จากสมการที่ (4.25) จะเห็นได้ว่าเกิดการหักล้างกันอย่างสมบูรณ์ระหว่างสัญญาณกระแสส่วนสะท้อนของทรานซิสเตอร์ตัวที่ r (I_{dr}^{R}) และสัญญาณกระแสส่วนสะท้อน ($\sum I_{dr,k}^{R}$) ของสัญญาณกระแสรวมจากส่วนเชื่อมต่อที่ 1 ถึง $r-1$ ดังนั้นจึงมีเฉพาะสัญญาณกระแสส่วนตรงเท่านั้นที่เดินทางเคลื่อนที่ต่อไปยังส่วนเชื่อมต่อที่ r ซึ่งสามารถแสดงได้ดังสมการ

$$\sum_{k=1}^{r} I_{dr,k} = I_{dr}^{\mathrm{D}} + \sum_{k=1}^{r-1} I_{dr,k}^{\mathrm{D}} = r\delta_g g_m V_g e^{-(r-1/2)\theta} \tag{4.26}$$

สัญญาณกระแสส่วนตรงนี้จะดำเนินเรื่อยไปจนกระทั่งถึงอิมพีแดนซ์ Z_{Id} ที่ปลายสาย โดยเราสามารถแสดงได้ว่าสัญญาณกระแสสุทธิที่เดินทางเคลื่อนที่สู่อิมพีแดนซ์ Z_{Id} มีค่าเท่ากับ

$$I_L = \delta_d e^{-\frac{\theta}{2}} \sum_{k=1}^{n} I_{dr,k}^{R} = n\delta_g \delta_d g_m V_g e^{-n\theta} \tag{4.27}$$

เมื่อแทนสมการที่ (4.27) ลงในสมการที่ (2.87) เราจะได้อัตราขยายกำลังของวงจรมีค่าเป็น

$$G_{in} = \left|\delta_g \delta_d\right|^2 e^{-2nA} n^2 g_m^2 R_{Ig} R_{Id} \left(1 - X_k^2\right) \tag{4.28}$$

จากสมการที่ (4.28) แสดงให้เห็นอย่างชัดเจนว่า การใช้เทคนิคสายส่งเดรนแบบเทเปอร์นี้ สามารถกำจัดสัญญาณกระแสส่วนสะท้อนให้หมดไป ทำให้วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันมีแบนด์วิดท์ที่กว้างทัดเทียมกับวงจรขยายเชิงกระจายต่อเรียงกัน ในขณะที่มีอัตราขยายมากกว่าถึงสี่เท่า

4.5.2 การพิจารณากรณีสายส่งเทียมที่ไม่อุดมคติ

ในหัวข้อที่ผ่านมาได้แสดงให้เห็นว่าเทคนิคสายส่งเดรนแบบเทเปอร์ สามารถหักล้างสัญญาณกระแสส่วนสะท้อนให้หมดไป ภายใต้เงื่อนไขอิมพีแดนซ์คุณลักษณะของสายส่งเดรนเทียมมีค่าเท่ากับ $Z_{dk} = nZ_d / k$ และค่าคงตัวการแพร่ของสายส่งเกตและเดรนเทียมมีค่าเท่ากันทุกประการ แต่ในทางปฏิบัติ เงื่อนไขดังกล่าวจะไม่เกิดขึ้นที่ทุกๆ ความถี่ เนื่องจากค่าการลดทอนและการกระเจิงในสายส่งเกตและเดรนเทียมมีคุณลักษณะที่แตกต่างกัน ดังรูปที่ 2.18 การหักล้างสัญญาณกระแสส่วนสะท้อนจึงไม่เป็นไปอย่างสมบูรณ์ ทำให้มีสัญญาณกระแสสะท้อนบางส่วน

หลงเหลืออยู่เรียกว่าสัญญาณกระแสตกค้าง สัญญาณกระแสส่วนนี้จะเดินทางเคลื่อนที่ไปตามแนวสายส่งเดรนเทียมและเกิดการสะท้อนกลับไปกลับมาบริเวณรอยต่ออิมพีแดนซ์คุณลักษณะที่มีค่าแตกต่างกันอย่างไม่สิ้นสุด ทำให้เกิดค่าการเลื่อนเฟสของสัญญาณกระแสก่อนที่จะรวมเข้ากับสัญญาณกระแสส่วนตรง ส่งผลให้อัตราขยายกำลังของวงจรลดต่ำลง ซึ่งในกรณีนี้จะทำให้การวิเคราะห์หาค่าอัตราขยายกำลังของวงจรมีความยุ่งยากซับซ้อนมาก โดยเฉพาะที่จำนวนแถวของทรานซิสเตอร์มากๆ ซึ่งอาจหาได้จากสมการที่ (4.18) และ (4.19)

ปัญหาสำคัญอีกประการหนึ่งคือโครงสร้างสายส่งเดรนแบบเทเปอร์นี้จำเป็นต้องออกแบบให้อิมพีแดนซ์คุณลักษณะในแต่ละช่วงมีค่าไม่เท่ากัน ดังนั้นค่าความเหนี่ยวนำและความเก็บประจุของสายส่งเทียมในแต่ละช่วงจึงไม่เท่ากันด้วย จากเงื่อนไข $Z_{dk} = nZ_d / k = \sqrt{L_{dk} / C_{dk}}$ จะพบว่าค่าอิมพีแดนซ์คุณลักษณะของสายส่งเทียมช่วงแรก (ด้านซ้ายสุด) มีค่ามากกว่าสายส่งช่วงสุดท้าย (ด้านขวาสุด) ถึง n เท่า ทำให้ความเหนี่ยวนำของสายส่งเทียมช่วงแรกมีค่ามากและความเก็บประจุต้องมีค่าน้อย ซึ่งในกรณีที่ค่าความเหนี่ยวมากตัวเหนี่ยวนำจะมีขนาดใหญ่ ส่งผลให้มีการสูญเสียและใช้พื้นที่ในวงจรรวมมากขึ้น ในขณะที่ค่าความเก็บประจุถูกกำหนดโดยความเก็บประจุแฝงของทรานซิสเตอร์และความเก็บประจุแฝงจากส่วนเชื่อมต่อวงจร ซึ่งในทางปฏิบัติความเก็บประจุสุทธิที่ขั้วเดรน C_d จะมีค่าประมาณ 0.2 ถึง 0.5 เท่าของความเก็บประจุสุทธิที่ขั้วเกต C_g ของทรานซิสเตอร์ แต่เนื่องจากอัตราส่วนของอิมพีแดนซ์คุณลักษณะในกรณี n ช่วงมีค่าเท่ากับ $Z_{d1} : Z_{dn} = n:1$ ซึ่งสามารถแสดงได้ว่า

$$\sqrt{L_{d1} / C_{d1}} = n\sqrt{L_{dn} / C_{dn}} \tag{4.29}$$

หากความสัมพันธ์ของอิมพีแดนซ์ที่ต่อปลายสายส่งเกตและเดรนเทียมมีค่าเป็น $Z_{dn} = Z_d = \rho Z_g$ เราจะได้ว่า $\sqrt{L_{dn} / C_{dn}} = \rho\sqrt{L_g / C_g}$ ทั้งนี้ เราทราบว่า $\sqrt{L_{dk} C_{dk}} = \sqrt{L_g C_g}$ เพื่อค่าคงตัวเฟสของสายส่งเกตและเดรนเทียมที่เท่ากัน ดังนั้นเราจะได้อัตราส่วนความเก็บประจุ C_d / C_g มีความสัมพันธ์เป็นไปตามสมการ

$$C_d / C_g = 1/2\rho n \tag{4.30}$$

เมื่อ ρ คืออัตราส่วนอิมพีแดนซ์ภาระของสายส่งเดรนและเกตเทียม ($\rho = Z_d / Z_g$) จากสมการที่ (4.30) จะเห็นว่าอัตราส่วนความเก็บประจุ C_d / C_g มีค่าน้อยลงเมื่อจำนวนแถวของทรานซิสเตอร์มากขึ้น และจะยิ่งน้อยลงหากตัวแปร $\rho > 1$ ตัวอย่างเช่น ถ้ากำหนดให้ $\rho = 1$ เราจะได้อัตราส่วนความเก็บประจุ $C_d / C_g = 0.25$ ที่ $n = 2$ และ $C_d / C_g = 0.166$ ที่ $n = 3$ แต่ด้วยอัตราส่วนความเก็บประจุ C_d / C_g มีค่าระหว่าง 0.2 ถึง 0.5 จึงทำให้เกิดการจำกัดจำนวนแถวของทรานซิสเตอร์ ดังนั้นเราอาจสรุปได้ว่าจำนวนแถวของทรานซิสเตอร์มากที่สุดจะมีค่าไม่เกินสองแถว ($n \le 2$)

4.5.3 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์

แม้ว่าการใช้เทคนิคสายส่งเดรนแบบเทเปอร์จะช่วยให้วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันมีแบนด์วิดท์กว้างขึ้น แต่ด้วยข้อจำกัดด้านค่าความเก็บประจุซึ่งถูกกำหนดโดยความเก็บประจุแฝงในทรานซิสเตอร์ ทำให้จำนวนแถวของทรานซิสเตอร์ถูกจำกัดอยู่แค่ไม่เกินสองแถวเท่านั้น ดังนั้นในหัวข้อย่อยนี้ เราจะทำการวิเคราะห์เพื่อหาค่าอัตราขยายกำลังที่ส่วนเชื่อมต่อระหว่างภาคของวงจรในกรณีที่จำนวนแถวเท่ากับสอง ($n=2$) และเพื่อให้ง่ายต่อการวิเคราะห์เราจะกำหนดให้ σ คืออัตราส่วนของอิมพีแดนซ์คุณลักษณะมีค่าเท่ากับ Z_{d1}/Z_{d2} ซึ่งจะได้ค่าสัมประสิทธิ์การสะท้อนกลับ $\Gamma_1=-1$ และ $\Gamma_2=(1-\sigma)/(1+\sigma)$ โดยอาศัยสมการที่ (4.18) และ (4.21) เราสามารถแสดงได้ว่าสัญญาณกระแสสุทธิที่เดินทางเคลื่อนที่สู่อิมพีแดนซ์ภาระของส่วนเชื่อมต่อระหว่างภาคมีค่าเท่ากับ

$$\begin{aligned} I_L &= \delta_d e^{-\theta_d/2}\sum_{k=1}^{2}\left(I_{d2,k}^{\mathrm{D}}+\eta\cdot I_{d2,k}^{\mathrm{R}}\right) \\ &= g_m V_g \delta_g \delta_d e^{-(\theta_d+\theta_g)/2}\frac{\sigma}{1+\sigma}\left(\underbrace{\left(2e^{-\theta_d}+e^{-\theta_g}\right)}_{direct}+\underbrace{\frac{\eta}{\sigma}\left((1-\sigma)e^{-\theta_d}+e^{-\theta_g}\right)}_{reverse\ residue}\right) \end{aligned} \tag{4.31}$$

เมื่อ η คือฟังก์ชั่นส่งผ่านของสัญญาณกระแสส่วนสะท้อนที่หลงเหลือจากการหักล้างไม่หมดไปยังอิมพีแดนซ์ภาระมีค่าเท่ากับ

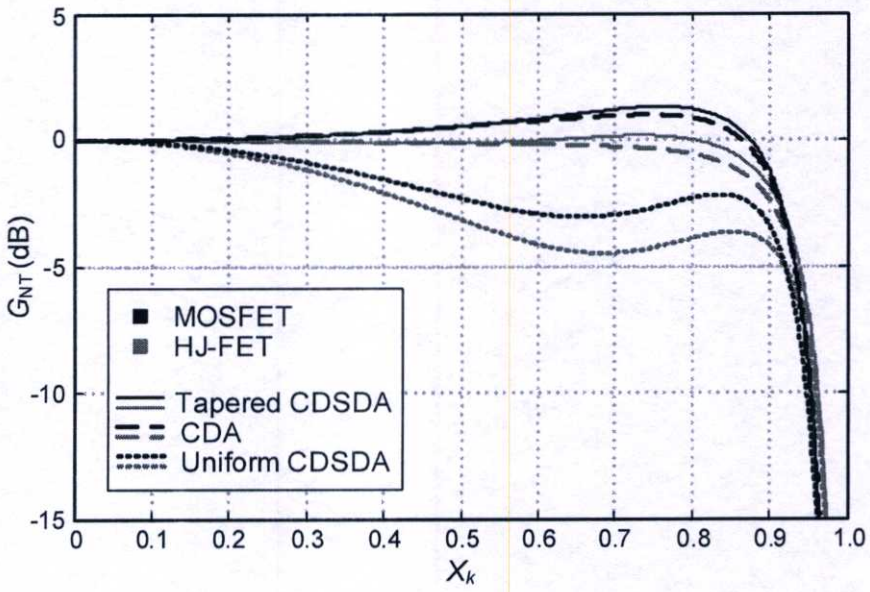
$$\eta=\frac{2\sigma/(1+\sigma)}{\cosh(2\theta_d)+\sinh(2\theta_d)-(1-\sigma)/(1+\sigma)} \tag{4.32}$$

จากสมการที่ (4.31) จะเห็นว่ามีการแยกสัญญาณกระแสส่วนตรงและสัญญาณกระแสส่วนสะท้อนที่หลงเหลือจากการหักล้างไม่หมดให้เห็นอย่างชัดเจน โดยอาศัยสมการที่ (2.87) และ (4.31) เราสามารถหาอัตราขยายกำลังที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ได้จาก

$$\begin{aligned} G_{in} &= |\delta|^2\frac{\sigma^2 g_m^2 R_{lg} R_{ld} e^{-2(A_d+A_g)}\left(1-X_k{}^2\right)}{(1+\sigma)^2} \\ &\times\left|\underbrace{3\cosh\left(\frac{\theta_d-\theta_g}{2}\right)-\sinh\left(\frac{\theta_d-\theta_g}{2}\right)}_{direct}+\underbrace{\eta\left(\frac{2-\sigma}{\sigma}\cosh\left(\frac{\theta_d-\theta_g}{2}\right)+\sinh\left(\frac{\theta_d-\theta_g}{2}\right)\right)}_{reverse\ residue}\right|^2 \end{aligned} \tag{4.33}$$

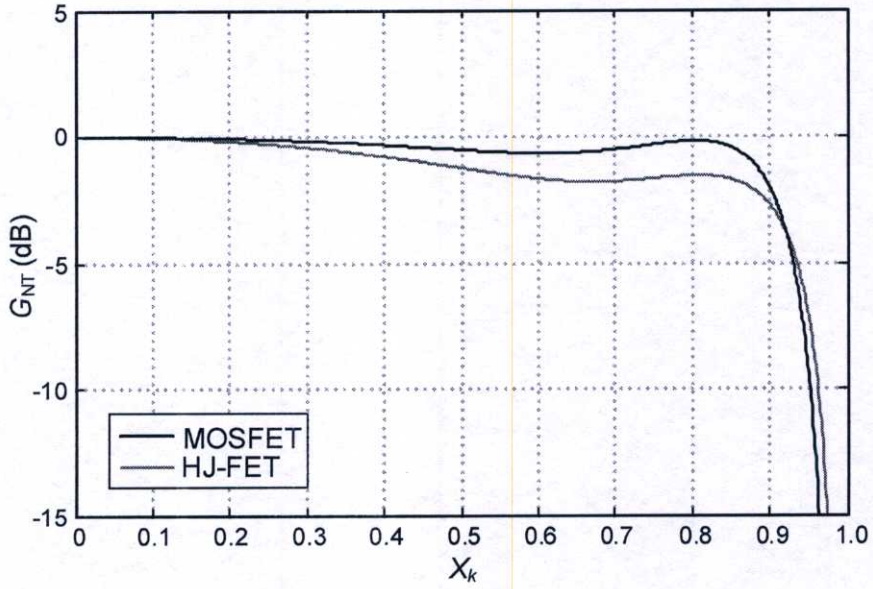
พิจารณาสมการที่ (4.33) หากเรากำหนดให้ $\theta_g = \theta_d$ และ $\sigma = 2$ สัญญาณกระแสส่วนสะท้อนที่หลงเหลือจากการหักล้างไม่หมดจะหายไป ทำให้สามารถลดรูปได้ดังสมการที่ (4.28) ที่ค่า $n = 2$ และถ้ากำหนดให้ $\theta_g = \theta_d$ และ $\sigma = 1$ จะสามารถลดรูปได้ดังสมการที่ (4.12) ซึ่งก็คือวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอนั่นเอง อนึ่ง ค่าอัตราขยายกำลังที่ความถี่ต่ำมากของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์สามารถหาได้จากกรณีสายส่งเดรนแบบสม่ำเสมอในสมการที่ (4.14)

หลังจากการวิเคราะห์หาอัตราขยายกำลังที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ ในตอนนี้เราจะพิจารณาถึงผลกระทบด้านผลตอบทางความถี่ของวงจรกรณีที่มีการสูญเสียในทางปฏิบัติและเกิดความเบี่ยงเบนของค่าอิมพีแดนซ์คุณลักษณะไปจากทฤษฎี เริ่มแรกเราจะพิจารณาในกรณีที่ค่าอัตราส่วนอิมพีแดนซ์คุณลักษณะมีค่าเป็นไปตามทฤษฎีนั่นคือ $\sigma = 2$ และค่าการสูญเสียในตัวเหนี่ยวนำและทรานซิสเตอร์จากการจำลองและการทดสอบตามตารางที่ 4.1 โดยกำหนดให้จำนวนภาคของวงจรเท่ากับ 2 ภาค ($m = 2$) ดังนั้นเราสามารถแสดงผลตอบสนองทางความถี่ของวงจรเปรียบเทียบกับวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอได้ดังรูปที่ 4.11



รูปที่ 4.11 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ในกรณี $\sigma = 2$ เปรียบเทียบกับวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอ

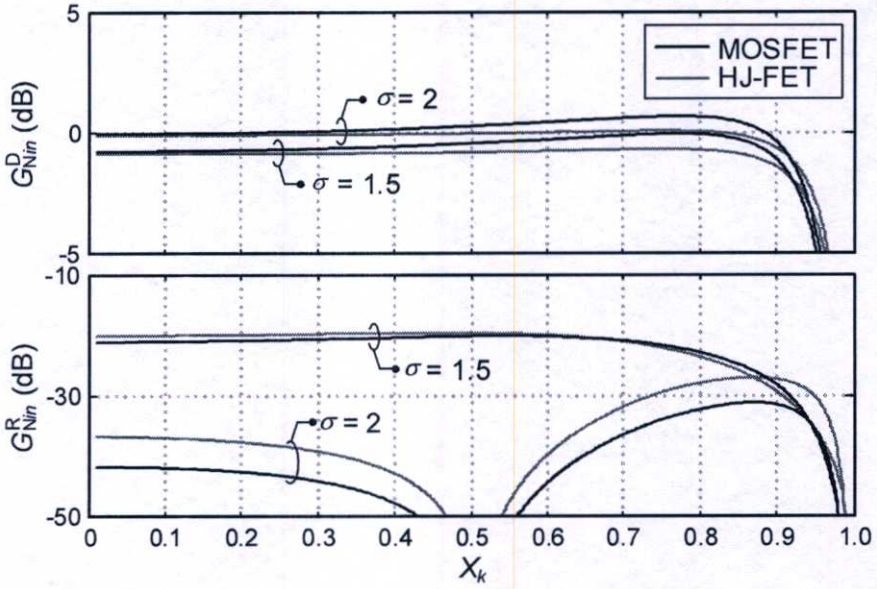
ในรูปที่ 4.11 เราได้แสดงกราฟผลตอบสนองทางความถี่ที่ทำการนอร์มัลไลซ์กับค่าอัตราขยายกำลังที่ความถี่ต่ำมากของแต่ละวงจรเพื่อให้ง่ายต่อการเปรียบเทียบ จากรูปจะเห็นว่าผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีความราบเรียบตั้งแต่ความถี่ต่ำจนถึงความถี่ใกล้เคียงกับความถี่ตัดของสายส่งเทียม ($X_k = 1$) โดยมีแบนด์วิดท์ที่กว้างทัดเทียมกับวงจรขยายเชิงกระจายต่อเรียงกัน และไม่ปรากฏว่ามีการลดต่ำลงของอัตราขยายกำลังที่ช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียมเช่นเดียวกับวงจรขยายเชิงกระจายแถวคู่ที่ต่อเรียงกันด้วยสายเดรนแบบสม่ำเสมอแต่อย่างใด



รูปที่ 4.12 ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ในกรณี $\sigma = 1.5$

รูปที่ 4.12 แสดงผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ในกรณี $\sigma = 1.5$ โดยได้แสดงกราฟที่ทำการนอร์มัลไลซ์กับค่าอัตราขยายกำลังที่ความถี่ต่ำมากในแต่ละกรณีเพื่อให้ง่ายต่อการเปรียบเทียบ จากรูปจะเห็นว่าอัตราขยายกำลังที่ช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียมมีค่าลดลงเพียงเล็กน้อย เนื่องจากค่าอัตราส่วนอิมพีแดนซ์คุณลักษณะมีความเบี่ยงเบนไปจากทฤษฎี อันเป็นผลมาจากอัตราส่วนความเก็บประจุที่ถูกจำกัดและไม่เป็นไปตามสมการที่ (4.30) ทำให้เกิดสัญญาณกระแสส่วนตกค้าง อย่างไรก็ตามแบนด์วิดท์ของวงจรก็ยังกว้างกว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอดังรูปที่ 4.11

เพื่อแสดงให้เห็นถึงผลกระทบด้านอัตราขยายกำลังของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ ซึ่งเกิดจากสัญญาณกระแสส่วนตกค้างในกรณีที่อัตราส่วนอิมพีแดนซ์คุณลักษณะไม่เป็นไปตามเงื่อนไข $\sigma = Z_{d1}/Z_{d2} = 2$ เราจะแยกองค์ประกอบของอัตราขยายกำลังที่ส่วนเชื่อมต่อระหว่างภาคออกเป็นสองส่วนคือ อัตราขยายกำลังส่วนตรง (G_{Nin}^{D}) แสดงถึงอัตราขยายกำลังที่เกิดจากสัญญาณกระแสส่วนตรง และอัตราขยายกำลังส่วนตกค้าง (G_{Nin}^{R}) แสดงถึงอัตราขยายกำลังที่เกิดจากสัญญาณกระแสส่วนตกค้าง โดยกำหนดให้วงจรมีค่าการสูญเสียตามตารางที่ 4.1 เราสามารถแสดงผลตอบสนองทางความถี่ของอัตราขยายกำลังส่วนตรงและส่วนตกค้างในกรณีที่ $\sigma = 1.5$ และ 2 ได้ดังรูปที่ 4.13



รูปที่ 4.13 ผลตอบสนองทางความถี่ของอัตราขยายกำลังส่วนตรงและส่วนตกค้างในกรณีที่ $\sigma = 1.5$ และ 2

ในรูปที่ 4.13 เราได้แสดงกราฟที่ทำการนอร์มัลไลซ์กับค่าอัตราขยายกำลังที่ความถี่ต่ำมากในกรณีที่ไม่มีการสูญเสียเพื่อให้ง่ายต่อการเปรียบเทียบ พิจารณาในกรณี $\sigma = 2$ จะเห็นว่าอัตราขยายกำลังส่วนตกค้างมีค่าน้อยมากจนสามารถละเลยได้ที่ช่วงความถี่ต่ำจนถึงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียม แม้ว่าจะมีค่าเพิ่มขึ้นเมื่อความถี่สูงเข้าใกล้ความถี่ตัดสายส่งเทียมก็ตาม โดยค่ายอดของอัตราขยายกำลังส่วนตกค้างของกรณี HJ-FET น้อยกว่าอัตราขยายกำลังส่วนตรงประมาณ –26.5 ดีบี และ –30 ดีบี สำหรับกรณี MOSFET ซึ่งมีนัยว่าอัตราขยายกำลังที่ส่วนเชื่อมต่อระหว่างภาคเกิดจากอัตราขยายกำลังส่วนตรงเป็นหลัก แต่ในกรณีค่า $\sigma = 1.5$ จะเห็นว่าอัตราขยายกำลังส่วนตกค้างมีค่ามากขึ้น ตั้งแต่ความถี่ต่ำจนถึงความถี่สูงเข้าใกล้ความถี่ตัดของสายส่งเทียมทั้งในกรณี

HJ-FET และ MOSFET แต่อย่างไรตาม ก็ยังมีค่าน้อยกว่าอัตราขยายกำลังส่วนตรงถึงประมาณ –20 ดีบี

4.6 สมรรถนะด้านตัวประกอบสัญญาณรบกวน

ในการวิเคราะห์ตัวประกอบสัญญาณรบกวนของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ จะมีการพิจารณาเช่นเดียวกันที่ความถี่ต่ำ โดยแหล่งกำเนิดสัญญาณรบกวนของวงจรจะมาจากตัวต้านทานและทรานซิสเตอร์เป็นหลัก ด้วยโครงสร้างของวงจรที่เป็นแบบต่อเรียงกัน เราสามารถแสดงได้ว่าตัวประกอบสัญญาณรบกวนของวงจรที่ความถี่ต่ำมีค่าเท่ากับ

$$F = 2 + 4\rho\left(1+\gamma n g_m R\right)\sum_{i=0}^{m-2}\left(n g_m R\right)^{2(i+1-m)} + \frac{4\gamma n g_m R_O + 4}{\left(n g_m\right)^{2m} R^{2(m-1)} {R_O}^2} \qquad (4.34)$$

และเมื่อแสดงสมการที่เป็นฟังก์ชั่นของอัตราขยายกำลังเราจะได้ว่า

$$F = 2 + \left(\frac{1}{G_T} - 4\rho\right) + \left(4\gamma\left(\frac{\rho^{2(m-1)}}{4G_T}\right)^{\frac{1}{2m}} + 4\rho\right)\sum_{i=0}^{m-1}\left(\frac{1}{4\rho^2 G_T}\right)^{\frac{i}{m}} \qquad (4.35)$$

จากสมการที่ (4.35) จะเห็นว่ามีลักษณะเช่นเดียวกับสมการตัวประกอบสัญญาณรบกวนของวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันดังสมการที่ (3.17) ซึ่งบ่งชี้ว่าตัวประกอบสัญญาณรบกวนของวงจรขยายโครงสร้างแบบต่อเรียงกันจะมีค่าแปรผันตามอัตราส่วนอิมพีแดนซ์ (ρ) และจำนวนภาคของวงจร (m) เท่านั้น ดังนั้นในการออกแบบวงจรควรกำหนดให้ ρ และ m มีค่าน้อยๆ เพื่อไม่ให้ค่าตัวประกอบสัญญาณรบกวนของวงจรมากจนเกินไป

4.7 สรุป

ในบทนี้เราได้แสดงการวิเคราะห์วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันเป็นหลัก เนื่องจากวงจรขยายเชิงกระจายต่อเรียงกันสามารถวิเคราะห์ได้เช่นเดียวกับวงจรขยายเชิงกระจายดังที่ได้อธิบายในบทที่ 2 ในการวิเคราะห์วงจรเราได้แยกการวิเคราะห์ออกเป็นสองส่วนคือ การวิเคราะห์ด้วยสายส่งเชิงกระจายอุดมคติที่ไม่มีการสูญเสีย และการวิเคราะห์ด้วยสายส่งเทียมที่ใช้จริงในทางปฏิบัติ ซึ่งมีการสูญเสียและการกระเจิง อันเป็นผลมาจากค่าความต้านทานแฝงและความเก็บประจุแฝงในทรานซิสเตอร์และตัวเหนี่ยวนำ

ในการวิเคราะห์วงจรด้วยสายส่งเชิงกระจายอุดมคติ ได้แสดงให้เห็นว่ากรณีที่ $n=1$ ผลตอบสนองทางความถี่ของวงจรจะเป็นค่าคงที่ไม่ขึ้นกับความถี่ นั่นคือไม่มีการจำกัดแบนด์วิดท์ของวงจรแต่อย่างใด แต่ในกรณีที่ $n>1$ แบนด์วิดท์ของวงจรจะมีค่าลดลง ซึ่งเป็นผลจากการที่ไม่มีอิมพีแดนซ์ด้านซ้ายมือของสายส่งระหว่างภาค ทำให้สัญญาณกระแสส่วนที่เดินทางเคลื่อนที่ไปด้านซ้ายเกิดการสะท้อนกลับเมื่อเดินทางถึงปลายสาย และรวมเข้ากับสัญญาณกระแสส่วนตรง ทำให้มีค่าการเลื่อนเฟสของสัญญาณกระแสทั้งสองส่วน ส่งผลให้เกิดการลดทอนของอัตราขยายกำลังและเกิดการจำกัดแบนด์วิดท์ในที่สุด

ในการวิเคราะห์วงจรด้วยสายส่งเทียมพบว่าคุณลักษณะเชิงความถี่ของวงจรต่างไปจากกรณีสายส่งเชิงกระจายอุดมคติอย่างมาก โดยในกรณีที่ $n=1$ อัตราขยายกำลังของวงจรจะมีค่าเพิ่มขึ้นตามความถี่ และมีแบนด์วิดท์ประมาณเท่ากับความถี่ตัดของสายส่งเทียม แต่ในกรณีที่ $n>1$ แม้ว่าสัญญาณยอดที่เกิดขึ้นในสายส่งเทียมจะช่วยชดเชยให้อัตราขยายกำลังของวงจรสูงขึ้น ส่งผลให้แบนด์วิดท์ของวงจรกว้างขึ้น แต่ก็สามารถช่วยได้เฉพาะในกรณีที่สายส่งเทียมมีค่าการสูญเสียต่ำมากเท่านั้น สำหรับค่าการสูญเสียจริงในทางปฏิบัติซึ่งมีค่าค่อนข้างสูง ทำให้มีการลดทอนของอัตราขยายกำลังมาก จึงไม่สามารถช่วยขยายแบนด์วิดท์ให้กว้างขึ้นได้

โครงสร้างสายส่งเดรนแบบเทเปอร์ได้ถูกนำมาปรับใช้ที่ส่วนเชื่อมต่อระหว่างภาคของวงจรขยายเชิงกระจายหลายแถวต่อเรียงกัน เพื่อเพิ่มสัดส่วนของสัญญาณกระแสส่วนตรงให้มากขึ้น พร้อมกับพยายามลดสัญญาณกระแสส่วนสะท้อน ซึ่งเป็นต้นเหตุที่ทำให้เกิดการจำกัดแบนด์วิดท์ให้หมดไป จากการวิเคราะห์ได้แสดงให้เห็นว่าหากออกแบบให้ค่าอิมพีแดนซ์คุณลักษณะของสายส่งเดรนในแต่ละช่วงมีค่าเท่ากับ $Z_{dk}=nZ_d/k$ และค่าคงตัวการแพร่ของสายส่งเกตและเดรนมีค่าเท่ากันทุกประการ สัญญาณกระแสส่วนสะท้อนจะถูกหักล้างให้หมดไป คงเหลือแต่สัญญาณกระแสส่วนตรงเท่านั้นที่เดินทางเคลื่อนที่สู่อิมพีแดนซ์ภาระของส่วนเชื่อมต่อระหว่างภาค ส่งผลให้วงจรมีแบนด์วิดท์กว้าง แต่ในทางปฏิบัติ อัตราส่วนความเก็บประจุ C_d/C_g ซึ่งเป็นตัวกำหนดค่าอิมพีแดนซ์คุณลักษณะของสายส่งเดรนเทียมมีค่าอยู่ในช่วงประมาณ 0.2 ถึง 0.5 ทำให้จำนวนแถวของทรานซิสเตอร์ถูกจำกัดอยู่ที่ไม่เกินสองแถวเท่านั้น ($n\le 2$) การวิเคราะห์วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกัน ($n=2$) โดยอาศัยเทคนิคสายส่งเดรนแบบเทเปอร์ ที่อัตราส่วนค่าอิมพีแดนซ์คุณลักษณะเท่ากับ $\sigma=2$ ได้แสดงให้เห็นว่าวงจรมีผลตอบสนองทางความถี่ที่ราบเรียบตั้งแต่ความถี่ต่ำจนถึงความถี่เข้าใกล้ความถี่ตัดของสายส่งเทียม และมีแบนด์วิดท์กว้างทัดเทียมกับวงจรขยายเชิงกระจายต่อเรียงกัน อีกทั้งการวิเคราะห์ในกรณีที่อัตราส่วนอิมพีแดนซ์คุณลักษณะมีค่า $\sigma=1.5$ และค่าคงตัวการแพร่ของสายส่งเกตและเดรนไม่เท่ากันทุกๆ ความถี่ แสดงให้เห็นว่าวงจรมีการลดทอนอัตราขยายกำลังเล็กน้อย แต่อย่างไรก็ตาม แบนด์วิดท์ของวงจรก็ยังกว้างกว่ากรณีโครงสร้างสายส่งเดรนแบบสม่ำเสมอ

จากการวิเคราะห์วงจรที่ผ่านมาทำให้เราสามารถสรุปได้ว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีสมรรถนะรวมที่เหนือกว่าวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงด้วยสายส่งเดรนแบบสม่ำเสมอ เหมาะสำหรับการใช้งานขยายสัญญาณแถบความถี่กว้าง

บทที่ 5
การจำลองและการทดสอบ

5.1 กล่าวนำ

ในการวิเคราะห์เชิงทฤษฎีในบทที่ 3 และบทที่ 4 นั้น เราได้มีการพัฒนาและสร้างชุดสมการขึ้นมาเพื่อใช้ทำนายสมรรถนะด้านต่างๆ ของวงจร ทั้งอัตราขยาย แบนด์วิดท์และตัวประกอบสัญญาณรบกวน ซึ่งช่วยให้การออกแบบและสร้างจริงมีประสิทธิภาพมากยิ่งขึ้น ดังนั้นเพื่อเป็นการพิสูจน์ถึงความถูกต้องของทฤษฎีและชุดสมการดังกล่าว ในบทนี้เราจะทำการออกแบบและจำลองการทำงานของวงจรในรูปแบบวงจรรวม และการทดสอบจริงด้วยอุปกรณ์ดิสครีต (Discrete components) บนแผ่นวงจรพิมพ์ เพื่อเปรียบเทียบสมรรถนะด้านต่างๆ กับค่าที่คำนวณได้จากสมการในเชิงทฤษฎี

ในการจำลองการทำงานจะใช้กระบวนการผลิตซีมอสย่านความถี่วิทยุขนาด 0.18 ไมครอน (0.18μm RF CMOS process) ที่แรงดัน 1.8 โวล์ต มี 6 ชั้นโลหะของบริษัท UMC โดยอุปกรณ์ที่ใช้ทั้งหมดได้จากชุดออกแบบ (Design kit) ซึ่งมีความแม่นยำสูงและให้ผลที่ใกล้เคียงกับความเป็นจริง ในการออกแบบวงจรจะใช้โครงสร้างทรานซิสเตอร์แบบคาสโคด เพื่อลดผลจากความเก็บประจุมิลเลอร์ (Miller capacitance) และช่วยเพิ่มความต้านทานเอาท์พุตของทรานซิสเตอร์ให้สูงขึ้น ทั้งนี้เราได้รวมผลแอบแฝงต่างๆ จากการเชื่อมต่อของเลย์เอาท์เข้าไว้ในการจำลอง เพื่อความถูกต้องในทางปฏิบัติ สำหรับการทดสอบจะใช้ฐานรองแบบ FR4 ความหนา 0.8 มิลลิเมตร ทรานซิสเตอร์ที่ใช้เป็นแบบ HJ-FET เบอร์ NE34018 ของบริษัท NEC อุปกรณ์พาสซีฟ (Passive component) ทั้งหมดได้แก่ ตัวต้านทาน ตัวเก็บประจุและตัวเหนี่ยวนำเป็นแบบชิพ โดยตัวเหนี่ยวนำมีค่าตัวประกอบคุณภาพสูงมากจนสามารถละเลยค่าการสูญเสียได้ ทั้งนี้ในการออกแบบวงจรจะใช้โครงสร้างทรานซิสเตอร์แบบเดี่ยว เนื่องจากแรงดันไบแอสที่ขั้วเกต-ซอร์สของทรานซิสเตอร์มีค่าเป็นลบ ทำให้การออกแบบโครงสร้างทรานซิสเตอร์แบบคาสโคดมีความยุ่งยากมากขึ้น

5.2 การจำลองวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม

เพื่อเป็นการพิสูจน์ทฤษฎีที่ได้กล่าวในบทที่ 3 ในหัวข้อนี้เราจะจำลองการทำงานของวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันที่อาศัยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมเป็นส่วนเชื่อมต่อระหว่างภาคในรูปแบบวงจรรวม โดยได้กำหนดสมรรถนะด้านต่างๆ ของวงจรในกรณีโครงข่ายสร้างยอดแบบอนุกรม-ขนานไว้ดังนี้ อัตราขยายกำลังมากกว่า 15 ดีบี แบนด์วิดท์สุทธิมากกว่า 12.5 กิกกะเฮิร์ซ และตัวประกอบสัญญาณรบกวนไม่เกิน 10 ดีบี ที่จำนวนภาค

ของวงจรเท่ากับ 4 ภาค ($m = 4$) ความต้านทานอินพุต-เอาท์พุตและความต้านทานภาระมีค่าเท่ากับ 50 โอห์ม โดยอาศัยขั้นตอนการออกแบบรูปที่ 3.24 ในบทที่ 3 เราสามารถคำนวณหาค่าอุปกรณ์ต่างๆ ของวงจรได้ดังตารางที่ 5.1

ตารางที่ 5.1 ค่าอุปกรณ์ของวงจรกรณีโครงข่ายสร้างยอดแบบอนุกรม-ขนาน

Specifications		
$G_{tot} \geq 15$dB $\mathrm{BW}_{tot} \geq 12.5$GHz $F \leq 10$		
Amplifier parameters		
$n = 4$ $A_i = 2.027$ $g_m = 27.03$mS $R = 75\Omega$ $\mathrm{BW}_i = 15.4$GHz		
Component parameters		
Parameters	Initial values	Final values
C_g	300fF	255fF
C_{pg}^{Tr}	180fF	170fF
$C_p^{\mathrm{I}} + C_p^{\mathrm{L}}$	$0.4C_g$	(0.137+0.196) C_g
W	90μm	85μm
V_{od}	0.248V	0.32V
I_d	4.67mA	6.155mA
L_H	0.85nH	1.16nH
L_S	1.3nH	1.67nH
$\alpha = C_d / C_g$	*0.6*	0.63
Q_{Ls} / Q_{Cg} [@ω_2]	*8 / 8* [@$2\pi \cdot 13.16 \cdot 10^9$ rad/sec]	7.7 / 6.7 [@$2\pi \cdot 12.4 \cdot 10^9$ rad/sec]
R_{Ls} / R_g	*13.43 / 5*	NA

จากตารางที่ 5.1 จะเห็นว่าค่าเริ่มต้นและค่าที่ใช้จริงของอุปกรณ์มีความใกล้เคียงกัน ซึ่งเป็นการยืนยันว่าขั้นตอนการออกแบบสามารถใช้งานได้เป็นอย่างดี โดยค่าความเหนี่ยวนำที่ใช้จริงจะมากกว่าค่าเริ่มต้นเล็กน้อย เพื่อชดเชยกับค่าการสูญเสียในตัวเหนี่ยวนำ ทั้งนี้ตัวเลขเอียงในตารางแสดงถึงค่าประมาณที่ใช้ในการคำนวณตอนเริ่มต้น

สำหรับการออกแบบวงจรในกรณีโครงข่ายสร้างยอดแบบขนาน-อนุกรม เราจะกำหนดให้ทั้งขนาดและจำนวนของทรานซิสเตอร์ รวมถึงค่ากระแสและความต้านทานต่างๆ มีค่าเดียวกันกับกรณีโครงข่ายสร้างยอดแบบอนุกรม-ขนานตามตารางที่ 5.1 เพื่อให้วงจรมีอัตราขยายกำลังและการกินกำลังงานที่เท่ากัน ซึ่งเป็นเงื่อนไขที่ใช้ในการเปรียบเทียบ ทั้งนี้เราจะทำให้ค่าอัตราส่วนความเก็บ

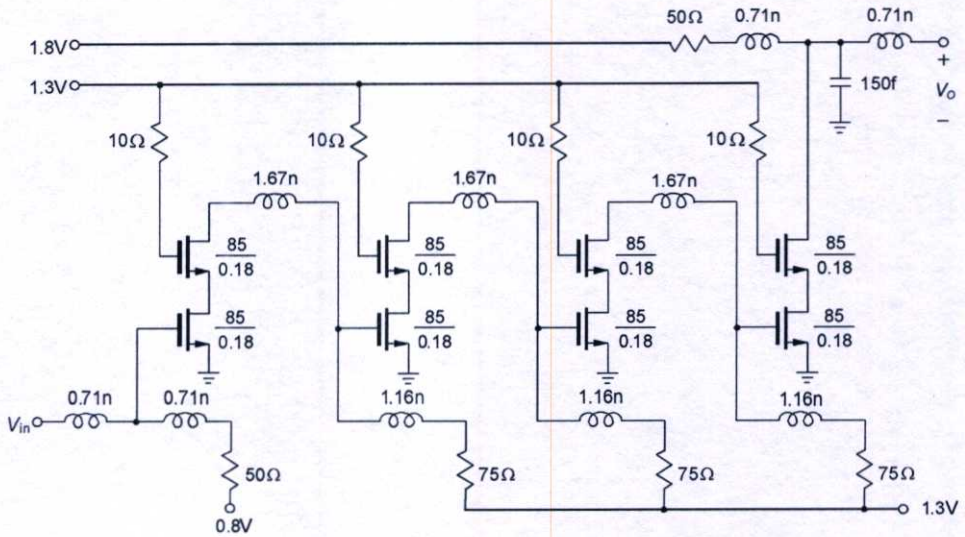
ประจุ $C_d / C_g = 1$ ด้วยการเพิ่มความเก็บประจุภายนอก C'_d เพื่อทำให้วงจรมีแบนด์วิทด์สูงสุด โดยค่าอุปกรณ์ต่างๆ ของวงจรแสดงดังตารางที่ 5.2

ตารางที่ 5.2 ค่าอุปกรณ์ของวงจรกรณีโครงข่ายสร้างยอดแบบขนาน-อนุกรม

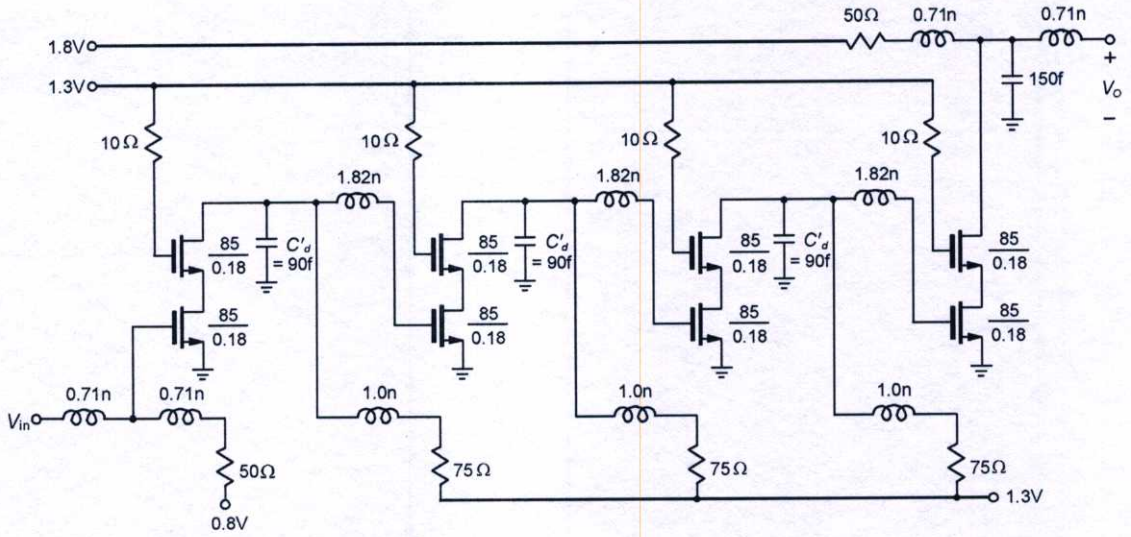
Parameters	Initial values	Final values
C_g	300fF	215fF
C_{pg}^{Tr}	180fF	170fF
$C_p^{\mathrm{I}} + C_p^{\mathrm{L}}$	$0.4C_g$	(0.095+0.116) C_g
L_H	0.85nH	1.0nH
L_S	1.64nH	1.82nH
C'_d	72fF	90fF
Q_{Ls} / Q_{Cg} [@ω_2]	*8 / 8* [@$2\pi \cdot 10.15 \cdot 10^9$ rad/sec]	7.7 / 8.3 [@$2\pi \cdot 11.38 \cdot 10^9$ rad/sec]
R_{Ls} / R_g	*13 / 6.5*	NA

จากค่าอัตราส่วนความเก็บประจุ C_d / C_g และค่าตัวประกอบคุณภาพ Q_{Ls} , Q_{Cg} ของอุปกรณ์ที่ใช้จริงตามตารางที่ 5.1 และ 5.2 เราสามารถคำนวณหาค่าอัตราส่วนการขยายแบนด์วิดท์ของโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมได้เท่ากับ 3.328 และ 3.2 ตามลำดับ เมื่อคำนวณหาค่าแบนด์วิดท์เราพบว่าโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีแบนด์วิดท์กว้างกว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรมประมาณ 1.3 เท่า

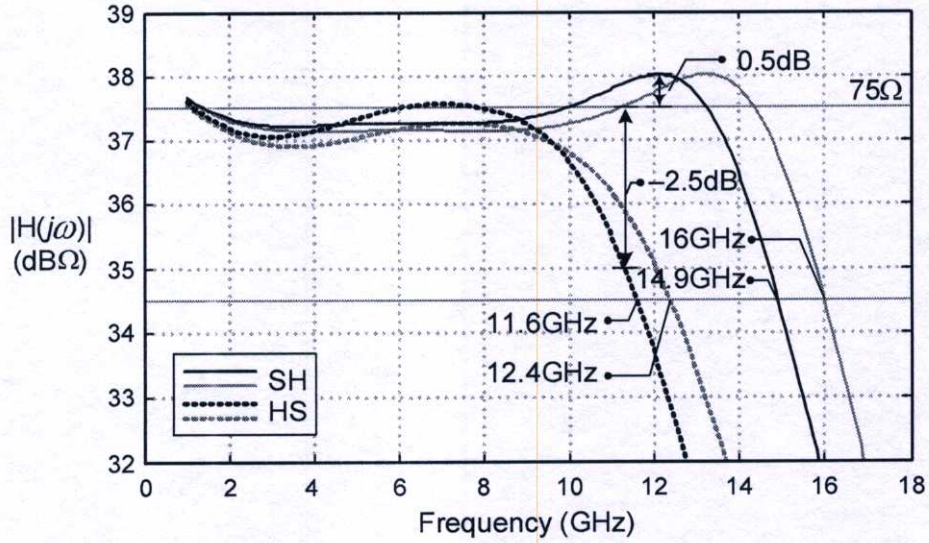
โดยวงจรทางไฟฟ้าพร้อมค่าอุปกรณ์ของวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมแสดงดังรูปที่ 5.1 และรูปที่ 5.2 ตามลำดับ



รูปที่ 5.1 วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนาน



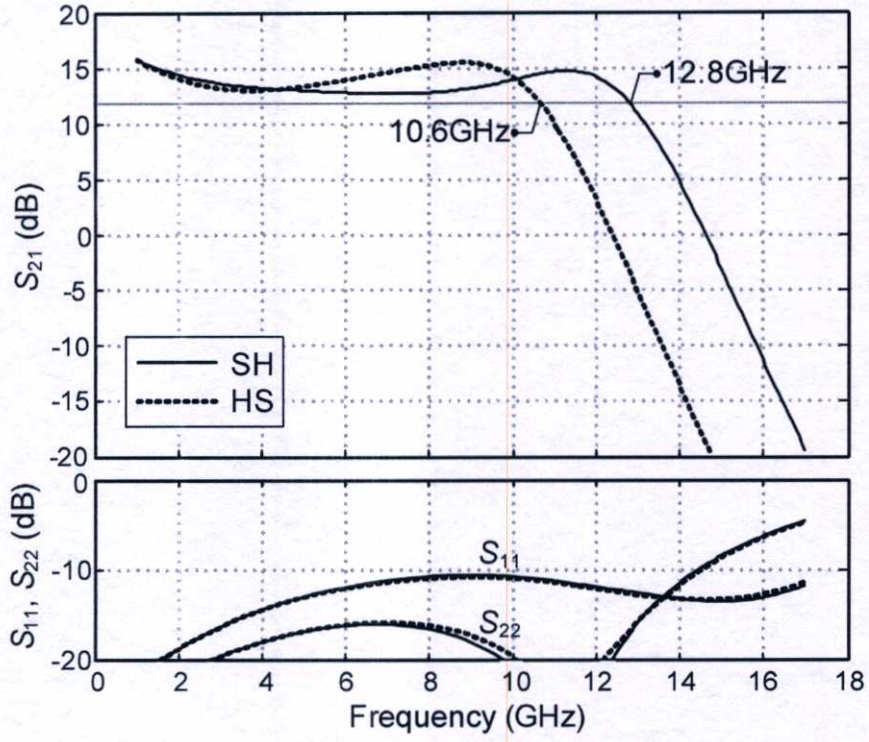
รูปที่ 5.2 วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบขนาน-อนุกรม



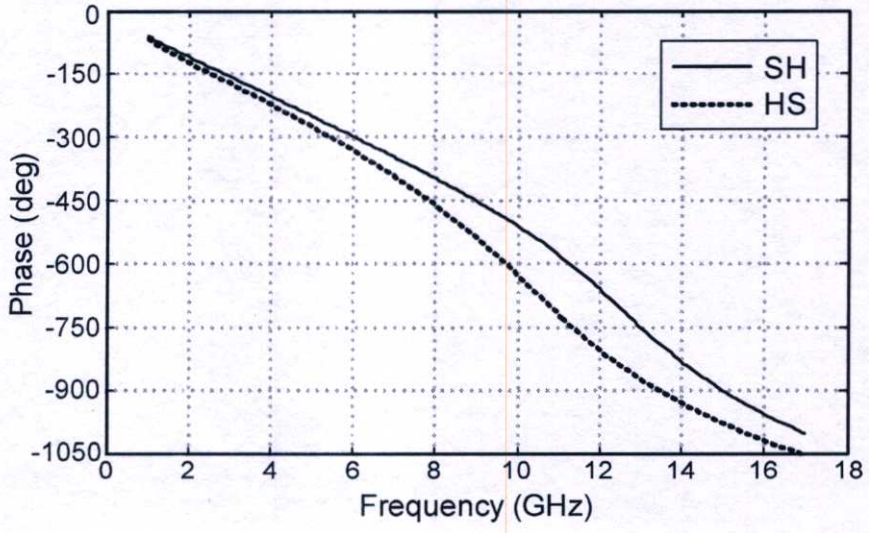
รูปที่ 5.3 ผลตอบสนองทางความถี่ที่ส่วนเชื่อมต่อระหว่างภาคของวงจรในกรณีรวม (สีดำ) และไม่รวม (สีเทา) ความเก็บประจุแฝงจากการเชื่อมต่อต่างๆ ของเลย์เอาท์

รูปที่ 5.3 แสดงผลตอบสนองทางความถี่ที่ส่วนเชื่อมต่อระหว่างภาคของวงจรในกรณีโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม กรณีรวม (สีดำ) และไม่รวม (สีเทา) ความเก็บประจุแฝงจากการเชื่อมต่อต่างๆ ของเลย์เอาท์ จากรูปจะเห็นว่าแบนด์วิดท์ของโครงข่ายทั้งสองมีค่าลดลง จากกรณีที่ไม่รวมผลจากความเก็บประจุแฝงประมาณ 7% โดยโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีแบนด์วิดท์เท่ากับ 14.9 กิกกะเฮิร์ซ สูงกว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรมที่

มีค่าเท่ากับ 11.6 กิกกะเฮิร์ซ ประมาณ 1.28 เท่า ซึ่งใกล้เคียงกับตัวเลขในทางทฤษฎี ทั้งนี้ค่ายอดของโครงข่ายสร้างยอดแบบอนุกรม-ขนานที่ความถี่ $\omega_2 = 2\pi \cdot 12.4 \cdot 10^9$ เรเดียนต่อวินาที มีค่าเท่ากับ 0.5 ดีบี และโครงข่ายสร้างยอดแบบขนาน-อนุกรมมีการลดทอน –2.5 ดีบี ที่ความถี่ $\omega_2 = 2\pi \cdot 11.38 \cdot 10^9$ เรเดียนต่อวินาที



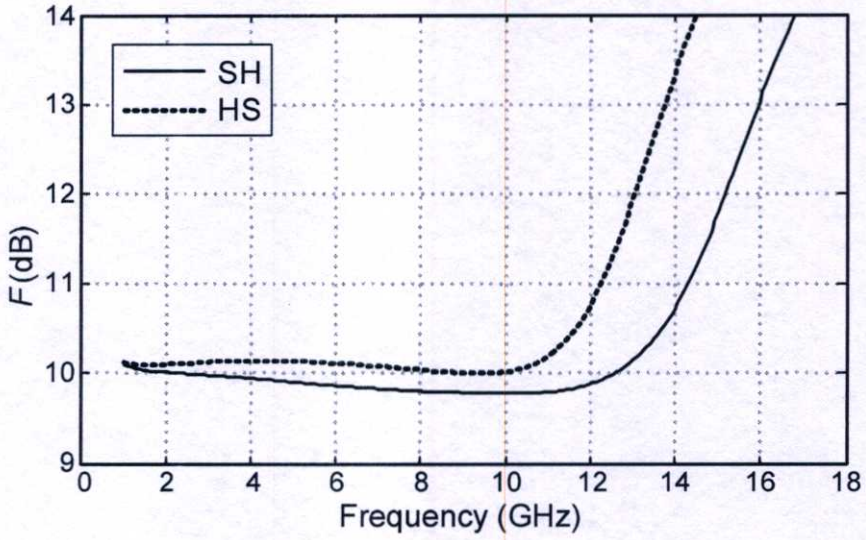
(ก)



(ข)

รูปที่ 5.4 ผลตอบสนองทางความถี่ที่เอาท์พุตของวงจร (ก) เชิงขนาด และ (ข) เชิงเฟส

รูปที่ 5.4 (ก) และ (ข) แสดงผลตอบสนองเชิงขนาดและเฟสตามความถี่ที่เอาท์พุตของวงจร จากรูปที่ 5.4 (ก) จะเห็นว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีแบนด์วิดท์สุทธิเท่ากับ 12.8 กิกกะเฮิร์ซ มากกว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบขนาน-อนุกรมที่มีแบนด์วิดท์เท่ากับ 10.6 กิกกะเฮิร์ซ ประมาณ 1.2 เท่า โดยอัตราขยายกำลังที่ความถี่ต่ำของวงจรทั้งสองมีค่าเท่ากันเท่ากับ 15.7 ดีบี และมีค่ากำลังงานสะท้อนกลับที่อินพุต-เอาท์พุตน้อยกว่า –10 ดีบี ตลอดช่วงความถี่ทำงาน โดยผลตอบสนองเชิงเฟสของวงจรทั้งสองสามารถแสดงได้ดังรูปที่ 5.4 (ข) ซึ่งจะเห็นว่าเฟสของวงจรทั้งสองค่อนข้างเชิงเส้นตลอดช่วงความถี่ทำงาน

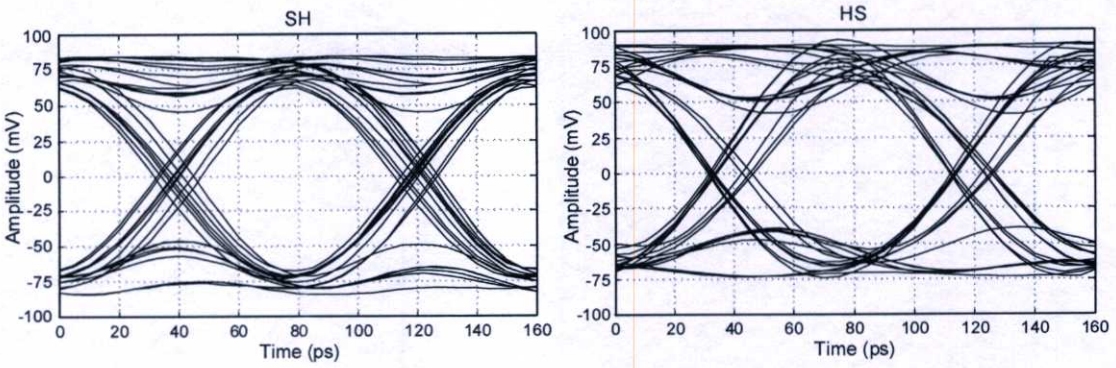


รูปที่ 5.5 สมรรถนะด้านตัวประกอบสัญญาณรบกวน

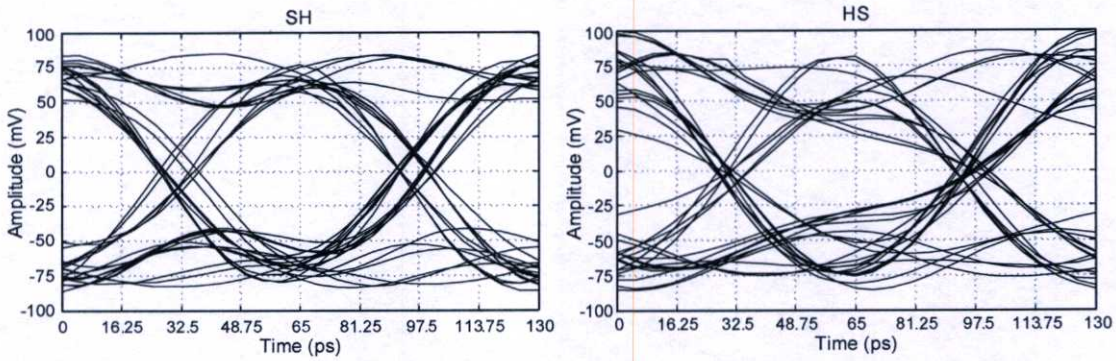
รูปที่ 5.5 แสดงสมรรถนะด้านตัวประกอบสัญญาณรบกวนของวงจร ซึ่งจะเห็นว่าทั้งสองวงจรมีค่าตัวประกอบสัญญาณรบกวนเกือบจะเท่ากันที่ประมาณ 10 ดีบี ตลอดช่วงความถี่ทำงาน

รูปที่ 5.6 (ก) และ (ข) แสดงแผนภาพรูปตาของวงจรที่อัตราการส่งข้อมูล 12.5 กิกกะบิทต่อวินาที และ15 กิกกะบิทต่อวินาที โดยสัญญาณอินพุตเป็นแบบดิจิทัลเชิงสุ่ม มีขนาดยอดถึงยอดเท่ากับ 50 มิลลิโวล์ต จากแผนภาพรูปตาจะเห็นว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีรูปดวงตาที่เปิดกว้างกว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบขนาน-อนุกรมทั้งสองกรณี ซึ่งสะท้อนถึงแบนด์วิดท์ที่สูงกว่า

จากผลการจำลองที่ผ่านมาทำให้เราสามารถสรุปได้ว่าชุดสมการต่างๆ ที่พัฒนาขึ้นนั้นสามารถใช้ทำนายสมรรถนะของวงจรได้เป็นอย่างดี มีความถูกต้องและใกล้เคียงกับผลการจำลองเป็นอย่างมาก อีกทั้งยังเป็นการยืนยันถึงความถูกต้องของทฤษฎีที่ได้กล่าวในบทที่ 3



(ก)



(ข)

รูปที่ 5.6 แผนภาพรูปตาที่อัตราการส่งข้อมูล (ก) 12.5 กิกกะบิทต่อวินาที และ (ข) 15 กิกกะบิทต่อวินาที

5.3 การจำลองและการทดสอบวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์

เพื่อเป็นการพิสูจน์ทฤษฎีที่ได้กล่าวในบทที่ 4 ในหัวข้อนี้เราจะทำการจำลองและทดสอบวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ ในการเปรียบเทียบสมรรถนะของวงจร เราจะพิจารณาจากเงื่อนไขที่วงจรทั้งสามมีการกินกำลังงานเท่ากัน โดยการกำหนดให้จำนวนภาคของวงจร ขนาดและจำนวนของทรานซิสเตอร์ รวมถึงค่ากระแสและความต้านทานต่างๆ ของวงจรทั้งสามมีค่าเดียวกัน ทั้งนี้เราจะกำหนดให้จำนวนภาคของวงจรเท่ากับ 2 ภาค ($m = 2$) ความต้านทานอินพุต-เอาท์พุตและความต้านทานระหว่างภาคมีค่าเท่ากับ 50 โอห์ม

5.3.1 การจำลองด้วยกระบวนการผลิตซีมอส

ในการออกแบบวงจรเราจะใช้โครงสร้างทรานซิสเตอร์แบบคาสโคด โดยทรานซิสเตอร์ขยายและทรานซิสเตอร์คาสโคดมีขนาดเท่ากับ W/L = 100μm/0.18μm และ W/L = 50μm/0.18μm

ตามลำดับ ซึ่งจะเห็นว่าทรานซิสเตอร์ขยายมีขนาดใหญ่เป็นสองเท่าของทรานซิสเตอร์คาสโคด ทั้งนี้ เพื่อทำให้อัตราส่วนความเก็บประจุ C_d/C_g มีค่าใกล้เคียงกับที่ต้องการคือ $C_d/C_g = 0.25$ สำหรับการใช้เทคนิคสายส่งเดรนแบบเทเปอร์ที่จำนวนแถวของทรานซิสเตอร์เท่ากับ 2 แถว ($n=2$) และอัตราส่วนความต้านทาน $\rho = 1$ ซึ่งเป็นไปตามสมการที่ (4.30) ในบทที่ 4 โดยแรงดันไบแอสที่ขั้วเกต-ซอร์สของทรานซิสเตอร์ขยายมีค่าเท่ากับ 0.8 โวล์ต และกระแสเดรนมีค่าเท่ากับ 6.8 มิลลิแอมป์ ภายใต้เงื่อนไขการออกแบบนี้ เราสามารถถอดค่าพารามิเตอร์ต่างๆ (Parameters extraction) ของโครงสร้างทรานซิสเตอร์แบบคาสโคดโดยรวมความเก็บประจุแฝงจากการเชื่อมต่อของเลย์เอาท์และตัวเหนี่ยวนำได้ดังตารางที่ 5.3

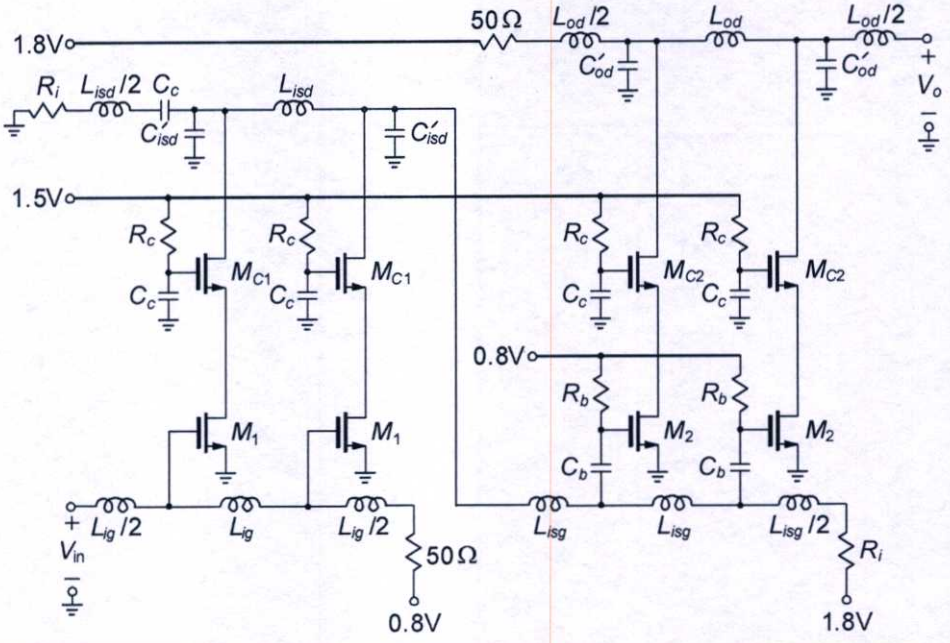
ตารางที่ 5.3 พารามิเตอร์ต่างๆ ของวงจรที่ถอดค่าจากอุปกรณ์ในการจำลอง

Parameters	Cascode MOSFET design
g_m	32mS
C_{gs}/C_{ds}^*	0.3pF/0.12pF
L_g/L_d	0.75nH/0.75nH
R_g/R_{ds}	6Ω/450Ω
R_{Lg}/R_{Ld}	8Ω /8Ω
$a/b/c/d$	0.24/0.06/0.08/0.08

* including parasitic capacitances

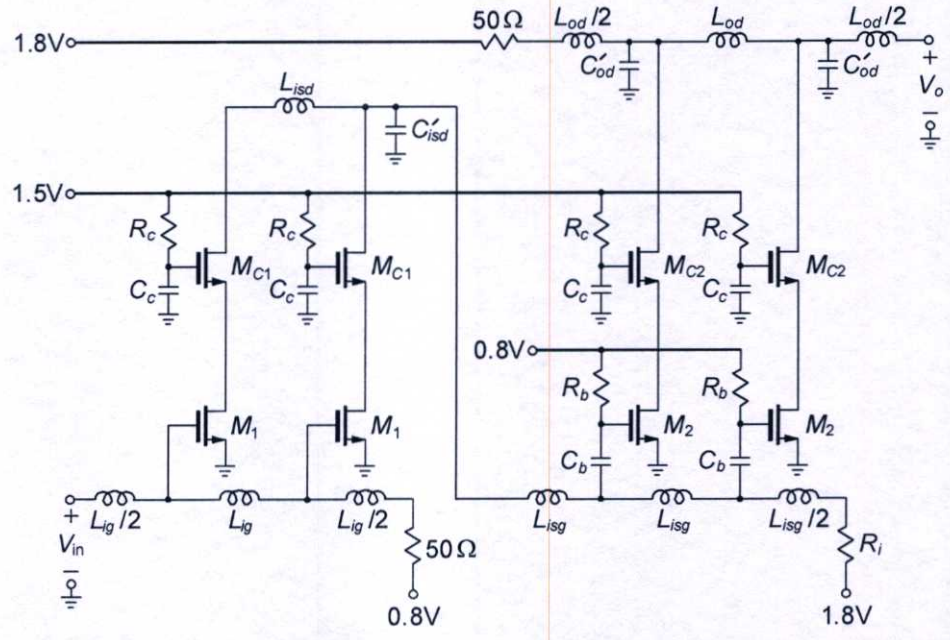
ค่าความเหนี่ยวนำ L_g และ L_d ในตารางที่ 5.3 เป็นค่าที่ต้องการสำหรับการออกแบบ ซึ่งได้จากการคำนวณตามความสัมพันธ์ $L_{g,d} = R^2 C_{gs,ds}$ เมื่อกำหนดให้ $C_{gs} = C_{ds}$ และ $R = R_o = 50$ โอห์ม แต่เนื่องจากตัวเหนี่ยวนำของชุดออกแบบมีค่าความเหนี่ยวนำต่ำสุดเท่ากับ 0.56 นาโนเฮนรี ซึ่งต้องรวมกับค่าความเหนี่ยวนำแอบแฝงจากการเชื่อมต่อของเลย์เอาท์เท่ากับ 0.14 นาโนเฮนรี ดังนั้นความเหนี่ยวนำสุทธิต่ำสุดจะมีค่าเท่ากับ 0.7 นาโนเฮนรี นั่นหมายถึงโครงสร้างของสายส่งเกตและเดรนเทียมจะมีค่าความเหนี่ยวนำ $L_{g,d}/2 = 0.7$ นาโนเฮนรี และ $L_{g,d} = 1.4$ นาโนเฮนรี มากกว่าค่าที่ต้องการตามตารางที่ 5.3 เกือบสองเท่า ส่งผลให้แบนด์วิดท์ของวงจรมีค่าลดลงและกำลังงานสะท้อนกลับที่อินพุต-เอาท์พุตมีค่าสูงขึ้น อย่างไรก็ดีในทางปฏิบัติ การออกแบบให้ค่าความเหนี่ยวนำสูงขึ้นจะทำให้ค่ายอดของสัญญาณแรงดัน (Voltage peaking) ในสายส่งเกตและเดรนเทียมมากขึ้น ซึ่งจะช่วยชดเชยค่าการสูญเสียในสายส่งเทียมและทำให้วงจรมีค่าการลดทอนที่น้อยลง

จากข้อจำกัดในการออกแบบดังกล่าว เราสามารถแสดงวงจรทางไฟฟ้าและค่าอุปกรณ์ของวงจรขยายเชิงกระจายต่อเรียงกันได้ดังรูปที่ 5.7 วงจรทางไฟฟ้าและค่าอุปกรณ์ของวงจรขยายเชิงกระจายหลายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ได้ดังรูปที่ 5.8



Parameters	$(W/L)_{1,2}$	$(W/L)_{C1,C2}$	$R_i/R_b/R_c$	L_{ig}/L_{od}	L_{isg}/L_{isd}	C'_{isd}/C'_{od}	C_b/C_c
CDA	100μm/0.18μm	50μm/0.18μm	50Ω/2KΩ/10Ω	1.4nH/1.4nH	1.4nH/1.4nH	180fF/180fF	5pF/5pF

รูปที่ 5.7 วงจรทางไฟฟ้าและค่าอุปกรณ์ของวงจรขยายเชิงกระจายต่อเรียงกัน



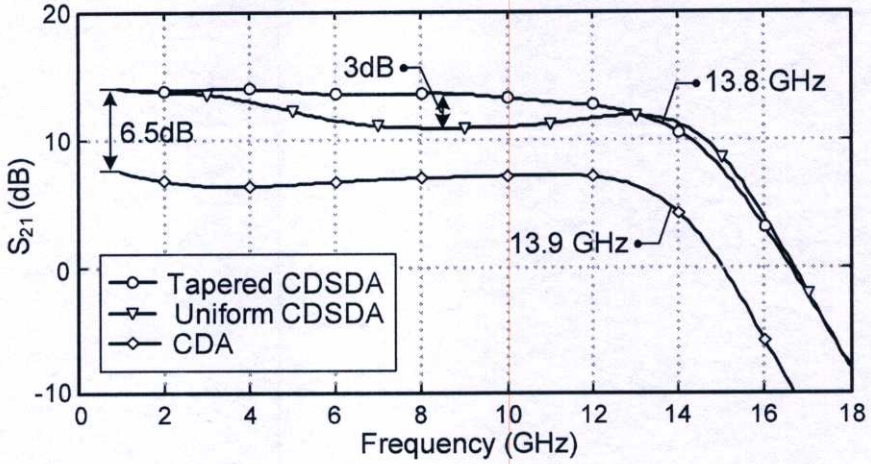
Parameters	$(W/L)_{1,2}$	$(W/L)_{C1,C2}$	$R_i/R_b/R_c$	L_{ig}/L_{od}	L_{isg}/L_{isd}	C'_{isd}/C'_{od}	C_b/C_c
Tapered	100μm/0.18μm	50μm/0.18μm	50Ω/2KΩ/10Ω	1.4nH/1.4nH	1.4nH/2.5nH	100fF/180fF	5pF/5pF
Uniform					1.4nH/1.4nH	180fF/180fF	

รูปที่ 5.8 วงจรทางไฟฟ้าและค่าอุปกรณ์ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์

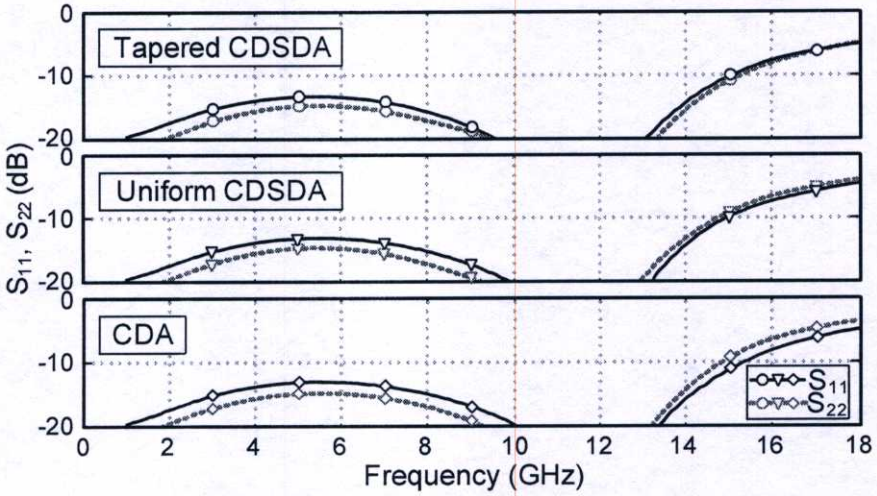
จากรูปที่ 5.8 เราสามารถเลือกจำลองการทำงานของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอหรือแบบเทเปอร์ได้โดยการเปลี่ยนค่าอุปกรณ์ L_{isd} และ C'_{isd} ซึ่งทำให้ง่ายต่อการออกแบบและการเปรียบเทียบสมรรถนะของวงจรเป็นอย่างมาก พิจารณากรณีวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ ด้วยข้อจำกัดด้านความเก็บประจุแฝงที่ขั้วเดรนของทรานซิสเตอร์ที่มีค่าประมาณ 0.2-0.5 เท่าของความเก็บประจุแฝงที่ขั้วเกต ซึ่งเมื่อรวมกับความเก็บประจุแฝงจากตัวเหนี่ยวนำและความเก็บประจุแฝงจากการเชื่อมต่อของเลย์เอาท์ ทำให้อัตราส่วนความเก็บประจุ $C_d / C_g \approx 0.4$ ดังนั้นเราจะได้อัตราส่วนอิมพีแดนซ์ของสายส่งเดรนที่ส่วนเชื่อมต่อระหว่างภาคมีค่า $\sigma \approx 1.7$ ภายใต้เงื่อนไขการออกแบบนี้ เราสามารถคำนวณหาค่าอัตราขยายกำลังของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ได้เท่ากับ 14.2 ดีบี ซึ่งเท่ากับวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอ และสามารถคำนวณหาค่าอัตราขยายกำลังของวงจรขยายเชิงกระจายต่อเรียงกันในรูปที่ 5.7 ได้เท่ากับ 8.2 ดีบี โดยอัตราขยายกำลังของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์จะมีค่ามากกว่าวงจรขยายเชิงกระจายต่อเรียงกันเท่ากับ 6 ดีบี สำหรับความถี่ตัดของสายส่งเกตและเดรนเทียมของวงจรทั้งสามมีค่าเท่ากันเท่ากับ 15.5 กิกกะเฮิร์ซ

รูปที่ 5.9 (ก) และ (ข) แสดงผลตอบสนองทางความถี่และค่ากำลังงานสะท้อนกลับที่อินพุต-เอาท์พุตของวงจรทั้งสาม ในรูปที่ 5.9 (ก) จะเห็นว่าอัตราขยายกำลังที่ความถี่ต่ำของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีค่าเท่ากันเท่ากับ 14 ดีบี และมีค่ามากกว่าวงจรขยายเชิงกระจายต่อเรียงกันที่มีอัตราขยายกำลังเท่ากับ 7.5 ดีบี ถึง 6.5 ดีบี ซึ่งใกล้เคียงกับค่าที่คำนวณได้ในเชิงทฤษฎี โดยจะเห็นว่าผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ค่อนข้างราบเรียบจนถึงแบนด์วิดท์ของวงจรที่มีค่าเท่ากับ 13.8 กิกกะเฮิร์ซ ทัดเทียมกับวงจรขยายเชิงกระจายต่อเรียงกันที่มีแบนด์วิดท์เท่ากับ 13.9 กิกกะเฮิร์ซ ในขณะที่วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอจะมีค่าอัตราขยายกำลังช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียมลดต่ำกว่า 3 ดีบี อันเป็นผลจากการสะท้อนกลับของสัญญาณกระแสที่ส่วนเชื่อมต่อระหว่างภาคดังที่อธิบายในบทที่ 4 โดยแบนด์วิดท์ของวงจรมีค่าประมาณ 7 กิกกะเฮิร์ซ ทั้งนี้ค่ากำลังงานสะท้อนกลับที่อินพุต-เอาท์พุตของวงจรทั้งสามมีค่าน้อยกว่า –10 ดีบี ในช่วงความถี่ 1-13.9 กิกกะเฮิร์ซ แสดงดังรูปที่ 5.9 (ข)

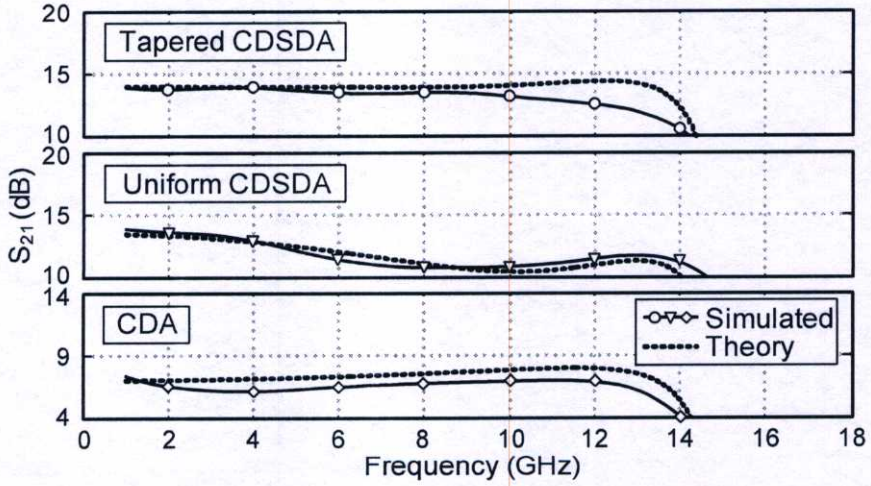
รูปที่ 5.9 (ค) แสดงการเปรียบเทียบผลตอบสนองทางความถี่ของวงจรทั้งสามจากการจำลองและการคำนวณทางทฤษฎีตามสมการที่ (4.12)-(4.13) และ (4.33) ในบทที่ 4 จากการเปรียบเทียบจะเห็นว่าผลการจำลองและการคำนวณมีความใกล้เคียงกันมาก ดังนั้นจึงเป็นการยืนยันได้ว่าชุดสมการต่างๆ ที่ได้สร้างขึ้นนั้นสามารถใช้ทำนายสมรรถนะของวงจรได้เป็นอย่างดี



(ก)

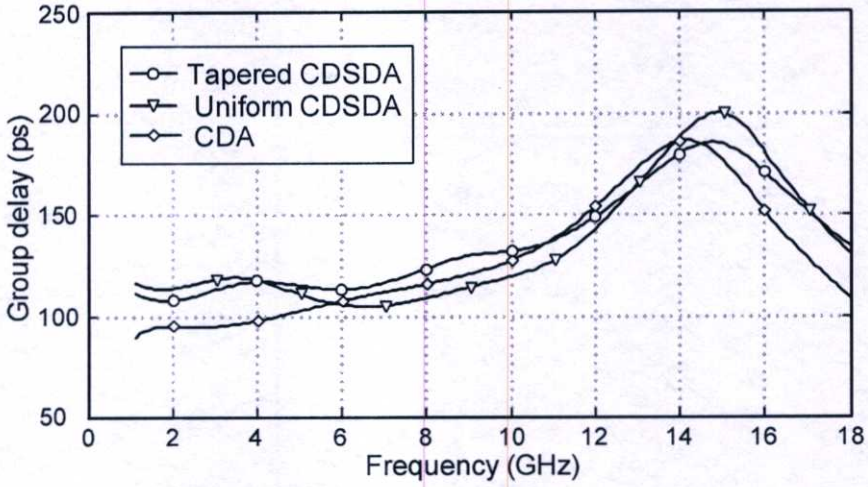


(ข)



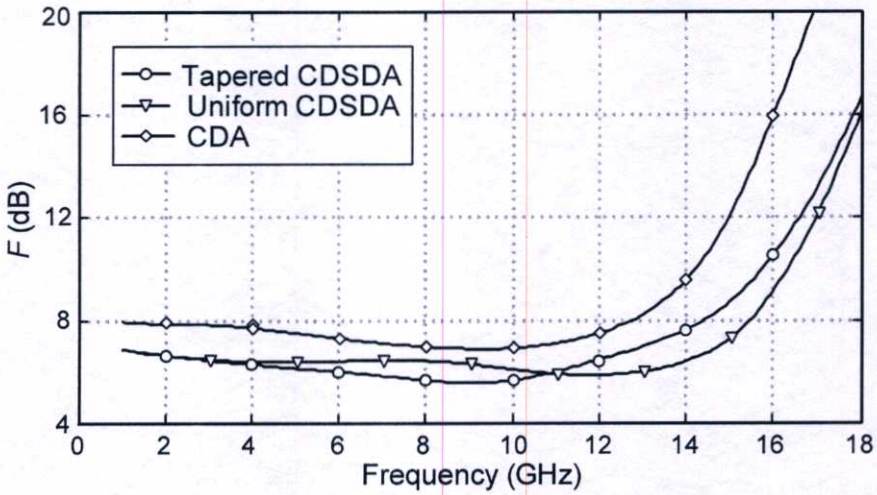
(ค)

รูปที่ 5.9 ผลตอบสนองทางความถี่จากการจำลอง (ก) S_{21} (ข) S_{11}, S_{22} และ (ค) เปรียบเทียบผลการจำลองกับทฤษฎี



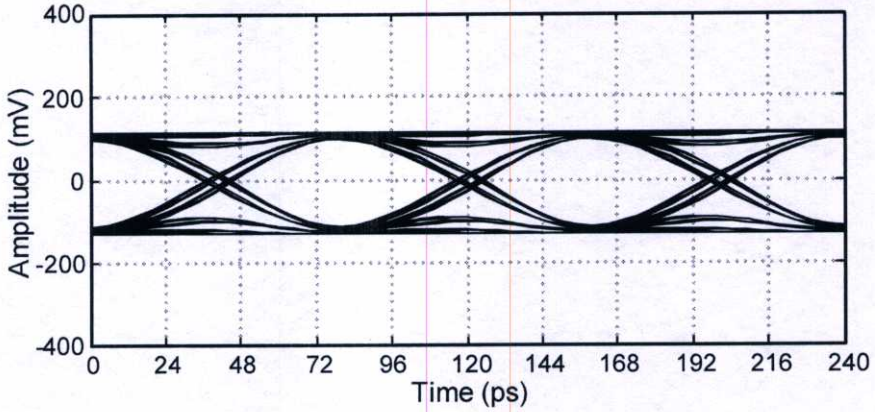
รูปที่ 5.10 ค่าประวิงเวลาเชิงกลุ่มจากการจำลอง

รูปที่ 5.10 แสดงค่าประวิงเวลาเชิงกลุ่มของวงจรทั้งสาม โดยค่าประวิงเวลาเชิงกลุ่มของวงจรขยายเชิงกระจายต่อเรียงกันมีค่าเปลี่ยนแปลงอยู่ระหว่าง ±49 พิโควินาที วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีค่าเปลี่ยนแปลงอยู่ระหว่าง ±40 พิโควินาทีและ ±42.5 พิโควินาที ตามลำดับ ในช่วงความถี่ 1-13.9 กิกกะเฮิร์ซ

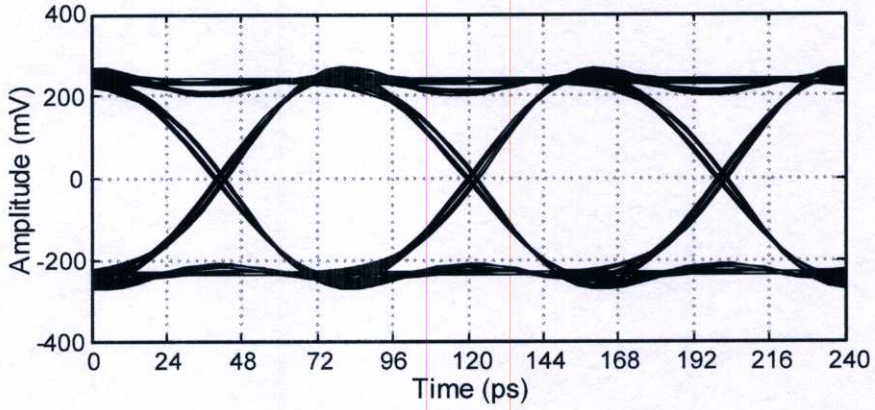


รูปที่ 5.11 ตัวประกอบสัญญาณรบกวนจากการจำลอง

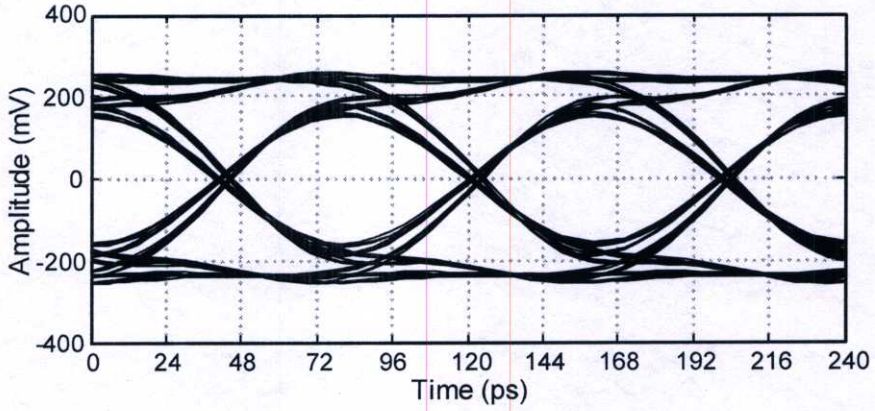
รูปที่ 5.11 แสดงตัวประกอบสัญญาณรบกวนของวงจรทั้งสาม โดยตัวประกอบสัญญาณรบกวนของวงจรขยายเชิงกระจายต่อเรียงกันมีค่าเท่ากับ 6.9-9.4 ดีบี วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีค่าเท่ากับ 5.5-7.5 ดีบี และ 5.9-6.9 ดีบี ในช่วงความถี่ทำงานของแต่ละวงจร ตามลำดับ



(ก)



(ข)



(ค)

รูปที่ 5.12 แผนภาพรูปตาจากการจำลองที่อัตราการส่งข้อมูล 12.5 กิกกะบิทต่อวินาที (ก) วงจรขยายเชิงกระจายต่อเรียงกัน (ข) และ (ค) วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์

รูปที่ 5.12 แสดงแผนภาพรูปตาของวงจรทั้งสามที่อัตราการส่งข้อมูล 12.5 กิกกะบิทต่อวินาที โดยสัญญาณแรงดันอินพุตเป็นแบบดิจิทัลที่มีขนาดยอดถึงยอดเท่ากับ 100 มิลลิโวล์ต จากรูปที่ 5.12 (ก) จะเห็นว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีแผนภาพรูปตาที่เปิดกว้างเช่นเดียวกับวงจรขยายเชิงกระจายต่อเรียงกันดังรูปที่ 5.12 (ข) แต่มีขนาดสัญญาณแรงดันมากกว่าประมาณ 2.1 เท่า หรือ 6.3 ดีบี เนื่องจากวงจรมีอัตราขยายที่สูงกว่า สำหรับวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอมีแผนภาพรูปตาเปิดน้อยลงดังรูปที่ 5.12 (ค) ซึ่งเกิดจากการแทรกสอด (Intersymbol Interference) ของสัญญาณกระแสที่สะท้อนกลับจากการเปิดปลายของสายส่งเทียมระหว่างภาค

ในการจำลองสมรรถนะด้านสัญญาณขนาดใหญ่ของวงจร จะป้อนสัญญาณแรงดันอินพุตที่มีความถี่เท่ากับ 6 กิกกะเฮิร์ซ ซึ่งเป็นช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเกตและเดรนเทียม จากการจำลองได้ค่ากำลังงานเอาท์พุตจุดกดที่ 1 ดีบี (Output 1-dB compression) ของวงจรขยายเชิงกระจายต่อเรียงกันเท่ากับ –2.9 ดีบีมิลลิวัตต์ วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีค่าเท่ากับ –2.5 ดีบีมิลลิวัตต์และ –2.7 ดีบีมิลลิวัตต์ ตามลำดับ โดยสมรรถนะของวงจรทั้งสามแสดงได้ดังตารางที่ 5.4

ตารางที่ 5.4 สมรรถนะของวงจรจากการจำลอง

Performance	Tapered CDSDA	Uniform CDSDA	CDA
G (S_{21})	14dB	14dB	7.5dB
S_{11}/ S_{22}	–13.2dB/–14.7dB	–13.1dB/–14.6dB	–13dB/–14.5dB
BW	13.8GHz	7.2GHz	13.9GHz
NF	5.5-7.5dB	5.9-6.9dB	6.9-9.4dB
P_{o1dB}	–2.5dBm	–2.7dBm	–2.9dBm
Total current	27.2mA		

จากตารางที่ 5.4 เราสามารถคำนวณหาผลคูณอัตราขยายและแบนด์วิดท์ (Gain bandwidth product: GBW) ของวงจรขยายเชิงกระจายต่อเรียงกันมีค่าเท่ากับ 33 กิกกะเฮิร์ซ วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีค่าเท่ากับ 36 กิกกะเฮิร์ซและ 69 กิกกะเฮิร์ซ ตามลำดับ ซึ่งจะเห็นว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีสมรรถนะด้านผลคูณอัตราขยายและแบนด์วิดท์ที่เหนือกว่าขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอประมาณ 2 เท่า

ตารางที่ 5.5 แสดงการเปรียบเทียบสมรรถนะของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์กับวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน ในเงื่อนไขที่ขนาดและจำนวนของทรานซิสเตอร์ รวมถึงค่ากระแสและอัตราขยายกำลังของวงจรทั้งสองเท่ากัน จากตาราง

ที่ 5.5 จะเห็นว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์จะมีสมรรถนะรวมที่เหนือกว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน โดยผลคูณอัตราขยายและแบนด์วิดท์มีค่าทัดเทียมกัน แต่ค่าตัวประกอบสัญญาณรบกวนน้อยกว่าถึง 2.5 ดีบี และค่ากำลังงานเอาท์พุตจุดกดที่ 1 ดีบี สูงกว่าประมาณ 6 ดีบี

ตารางที่ 5.5 การเปรียบเทียบสมรรถนะของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์กับวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน

Amplifiers	Gain	BW	NF	P_{o1dB}	Total current
Tapered CDSDA	14dB	13.8GHz	5.5-7.5dB	–2.5dB	27.2mA
CSSDA	14dB	12.8GHz	8.8-10dB	–8.4dB	27.2 mA

5.3.2 การทดสอบด้วยอุปกรณ์ดิสครีต

ในการทดสอบเราจะใช้ทรานซิสเตอร์แบบ HJ-FET เบอร์ NE34018 โดยกำหนดให้แรงดันไบแอสที่ขั้วเกต-ซอร์สและขั้วเดรน-ซอร์สมีค่าเท่ากับ –0.63 โวล์ตและ 2 โวล์ต ตามลำดับ ซึ่งจะทำให้ค่ากระแสเดรนมีค่าเท่ากับ 10 มิลลิแอมป์ จากข้อกำหนดดังกล่าว เราสามารถถอดค่าพารามิเตอร์ต่างๆ ของทรานซิสเตอร์โดยรวมความเก็บประจุแฝงจากการเชื่อมต่อของลายวงจรและตัวเหนี่ยวนำได้ดังตารางที่ 5.6

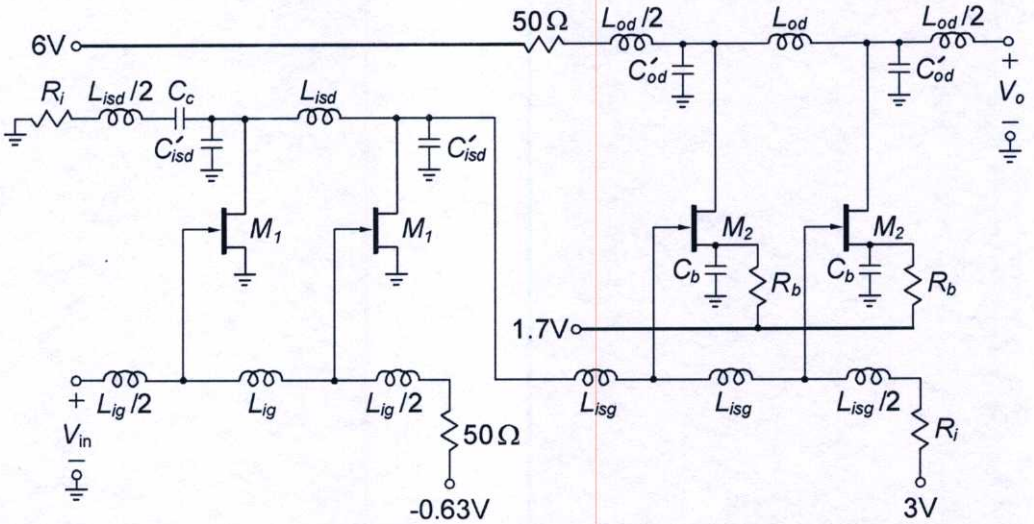
ตารางที่ 5.6 พารามิเตอร์ต่างๆ ของวงจรที่ถอดค่าจากอุปกรณ์ในการทดสอบ

Parameters	HJ-FET design
g_m	72mS
C_{gs}/C_{ds}^*	1.6pF/0.6pF
L_g/L_d	4nH/4nH
R_g/ R_{ds}	10Ω/250Ω
R_{Lg}/R_{Ld}	0 /0
$a/b/c/d$	0.4/0.1/0.0/0.0

* including parasitic capacitances

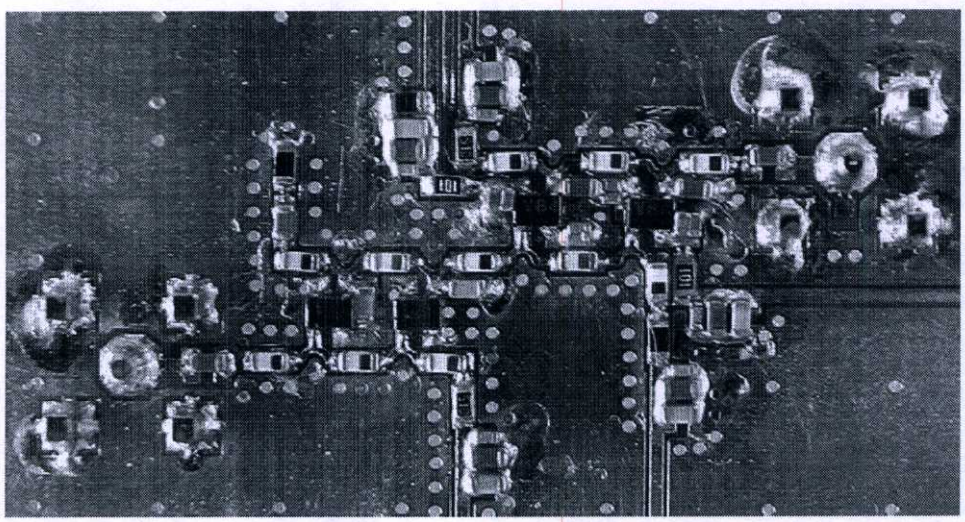
จากตารางที่ 5.6 พิจารณาค่าการสูญเสีย R_{Lg} และ R_{Ld} ของตัวเหนี่ยวนำ L_g และ L_d ตามลำดับ จะเห็นว่าค่าการสูญเสียทั้งสองมีค่าเป็นศูนย์ ทั้งนี้เนื่องจากตัวเหนี่ยวนำทั้งหมดที่ใช้ในการทดสอบเป็นแบบชิพที่มีค่าตัวประกอบคุณภาพสูงมากจนสามารถละเลยค่าการสูญเสียได้ โดยค่าการสูญเสียดังกล่าวจะสัมพันธ์กับตัวแปรการสูญเสีย c และ d ซึ่งใช้สำหรับการคำนวณผลตอบสนองทางความถี่ของวงจรในเชิงทฤษฎีดังที่กล่าวในบทที่ 4

จากค่าพารามิเตอร์ของวงจรตามตารางที่ 5.6 เราสามารถแสดงวงจรทางไฟฟ้าและค่าอุปกรณ์ของวงจรขยายเชิงกระจายต่อเรียงกันได้ดังรูปที่ 5.13 (ก) และบอร์ดทดสอบดังรูปที่ 5.13 (ข) วงจรทางไฟฟ้าและค่าอุปกรณ์ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ได้ดังรูปที่ 5.14 (ก) และบอร์ดทดสอบดังรูปที่ 5.14 (ข)



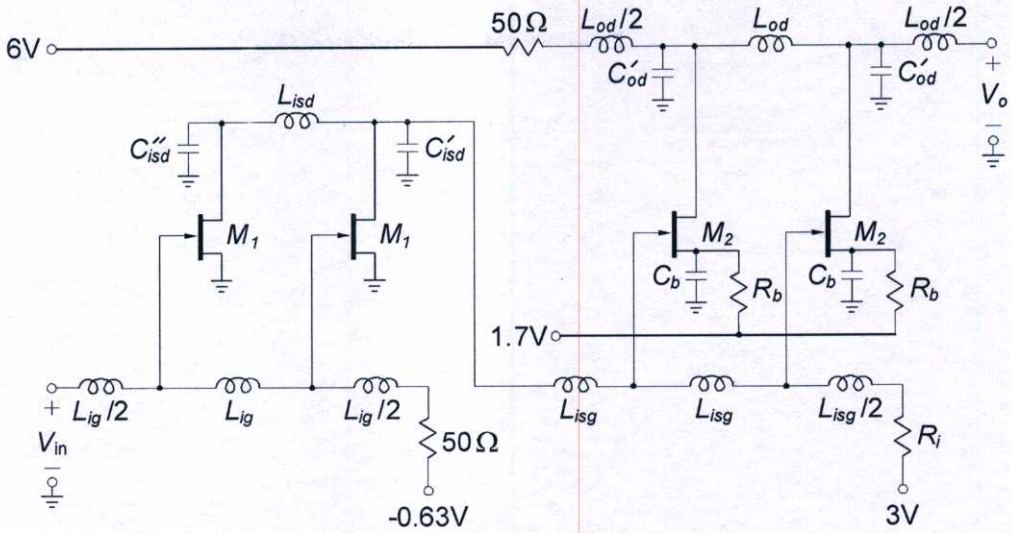
Parameters	R_i/R_b	L_{ig}/L_{od}	L_{isg}/L_{isd}	C'_{isd}/C'_{od}	C_b	C_c
CDA	50Ω/100Ω	4nH/4nH	4nH/4nH	0.8pF/0.8pF	68pF‖220pF‖1.3nF	100pF

(ก)



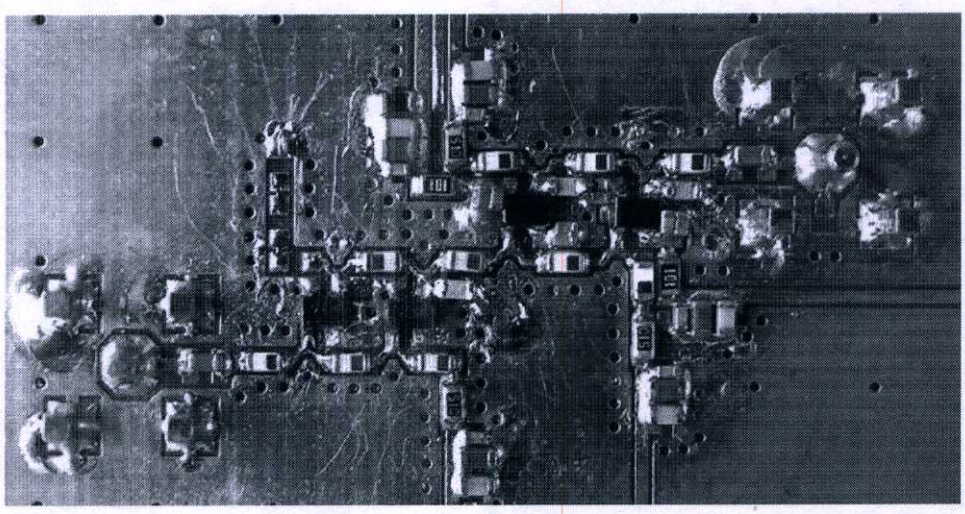
(ข)

รูปที่ 5.13 วงจรขยายเชิงกระจายต่อเรียงกัน (ก) วงจรทางไฟฟ้าและ (ข) บอร์ดทดสอบ



Parameters	R_i/R_b	L_{ig}/L_{od}	L_{isg}/L_{isd}	$C'_{isd}/C''_{isd}/C'_{od}$	C_b
Tapered	50Ω/100Ω	4nH/4nH	4nH/6.7nH	0.5pF/ - /0.8pF	68pF‖220pF‖1.3nF
Uniform			4nH/4nH	0.8pF/0.3pF/0.8pF	

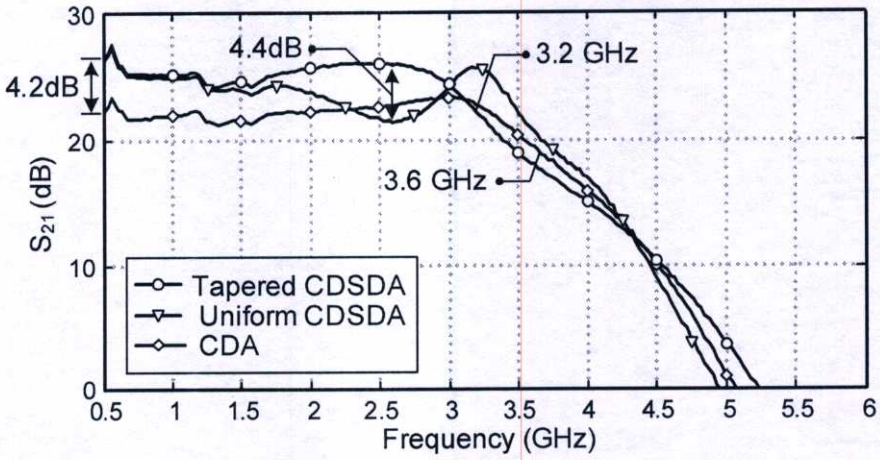
(ก)



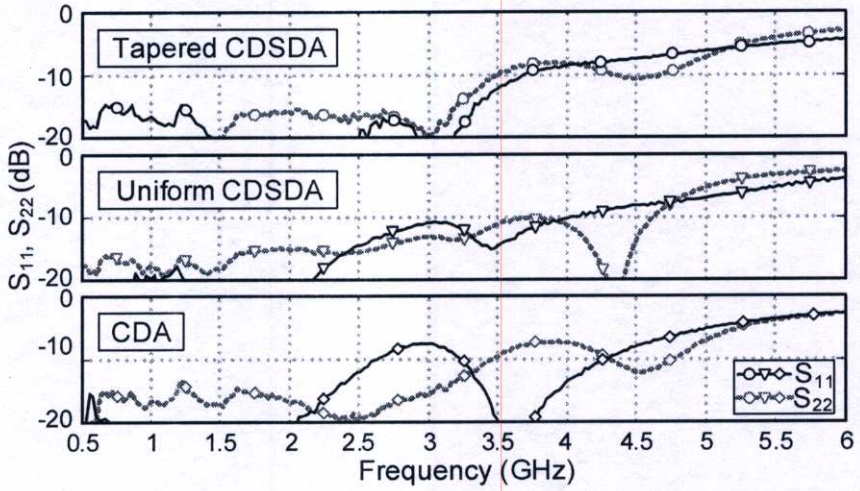
(ข)

รูปที่ 5.14 วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ (ก) วงจรทางไฟฟ้าและ (ข) บอร์ดทดสอบ

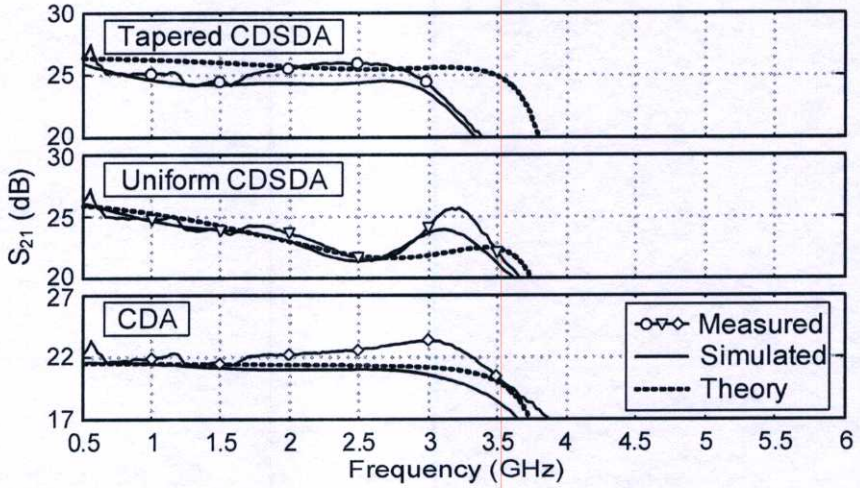
ภายใต้เงื่อนไขการออกแบบในรูปที่ 5.13 และรูปที่ 5.14 และค่าพารามิเตอร์ของวงจรจากตารางที่ 5.6 เราสามารถคำนวณหาค่าอัตราขยายกำลังของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ได้เท่ากับ 26.1 ดีบี และอัตราขยายกำลังของวงจรขยายเชิงกระจายต่อเรียงกันได้เท่ากับ 20.5 ดีบี โดยความถี่ตัดของสายส่งเกตและเดรนเทียมของวงจรทั้งสามมีค่าเท่ากันเท่ากับ 4 กิกกะเฮิร์ซ



(ก)



(ข)



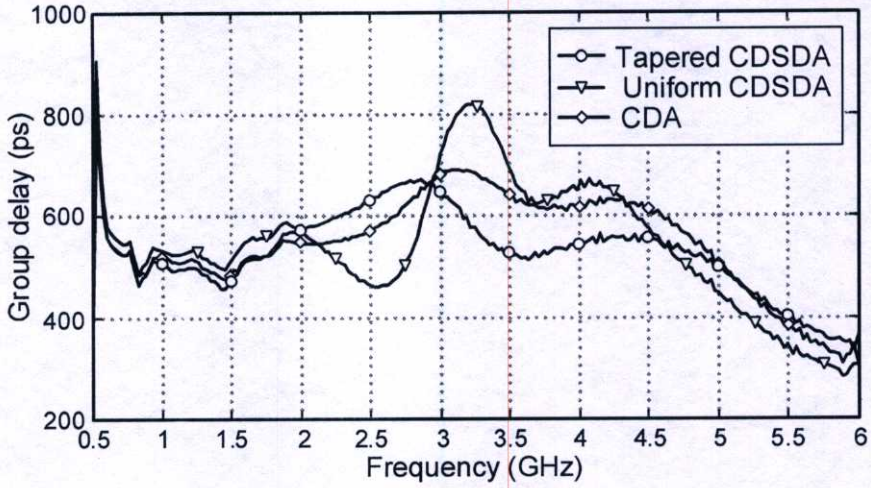
(ค)

รูปที่ 5.15 ผลตอบสนองทางความถี่จากการทดสอบ (ก) S_{21} (ข) S_{11}, S_{22} และ (ค) เปรียบเทียบผลการทดสอบกับทฤษฎี

รูปที่ 5.15 (ก) และ (ข) แสดงผลตอบสนองทางความถี่และค่ากำลังงานสะท้อนกลับที่อินพุต-เอาท์พุต ซึ่งได้จากการวัดด้วยเครื่องวิเคราะห์โครงข่าย (Network analyzer) รุ่น HP-8720C ความถี่สูงสุดที่วัดได้เท่ากับ 20 กิกกะเฮิร์ซ ในรูปที่ 5.15 (ก) อัตราขยายกำลังเฉลี่ยของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีค่าเท่ากันเท่ากับ 25.2 ดีบี มีค่ามากกว่าวงจรขยายเชิงกระจายต่อเรียงกันที่มีอัตราขยายกำลังเท่ากับ 21.7 ดีบี ประมาณ 3.5 ดีบี โดยจะเห็นว่าผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ค่อนข้างราบเรียบจนถึงแบนด์วิดท์ของวงจรที่มีค่าเท่ากับ 3.2 กิกกะเฮิร์ซ ทัดเทียมกับวงจรขยายเชิงกระจายต่อเรียงกันที่มีแบนด์วิดท์เท่ากับ 3.6 กิกกะเฮิร์ซ ในขณะที่วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอจะมีค่าอัตราขยายกำลังที่ช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียมลดลงมากถึง 4.4 ดีบี โดยแบนด์วิดท์ของวงจรมีค่าประมาณ 2.2 กิกกะเฮิร์ซ ทั้งนี้ค่ากำลังงานสะท้อนกลับที่อินพุต-เอาท์พุตของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีค่าน้อยกว่า –10 ดีบี วงจรขยายเชิงกระจายต่อเรียงกันมีค่ากำลังงานสะท้อนกลับที่อินพุตน้อยกว่า –7.3 ดีบี และเอาท์พุตน้อยกว่า –8.1 ดีบี ในช่วงความถี่ทำงานของแต่ละวงจร ดังรูปที่ 5.15 (ข)

รูปที่ 5.15 (ค) แสดงการเปรียบเทียบผลตอบสนองทางความถี่ของวงจรทั้งสาม จากการจำลอง การทดสอบและการคำนวณทางทฤษฎีตามสมการที่ (4.12)-(4.13) และ (4.33) ทั้งนี้ในการจำลองจะแทนทรานซิสเตอร์ของวงจรในรูปที่ 5.13 และรูปที่ 5.14 ด้วยวงจรสมมูลที่มีค่าพารามิเตอร์ตามตารางที่ 5.6 จากการเปรียบเทียบจะเห็นว่าผลการจำลองและการทดสอบของวงจรทั้งสามมีความใกล้เคียงกับทฤษฎีจนถึงช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียม เมื่อความถี่สูงเกินกว่าความถี่กึ่งกลางผลตอบสนองทางความถี่จะเริ่มมีความแตกต่างกันมากขึ้น ทั้งนี้เนื่องจากโครงสร้างของทรานซิสเตอร์เป็นแบบเดี่ยว ทำให้มีผลกระทบจากการป้อนกลับของความเก็บประจุแฝง C_{gd} โดยแบนด์วิดท์ของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์จะมีค่าลดลงจากทฤษฎีประมาณ 12.5% ในขณะที่ผลตอบสนองทางความถี่ของวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอจะมีค่ายอดสูงขึ้นเมื่อความถี่ใกล้ความถี่ตัดของสายส่งเทียม

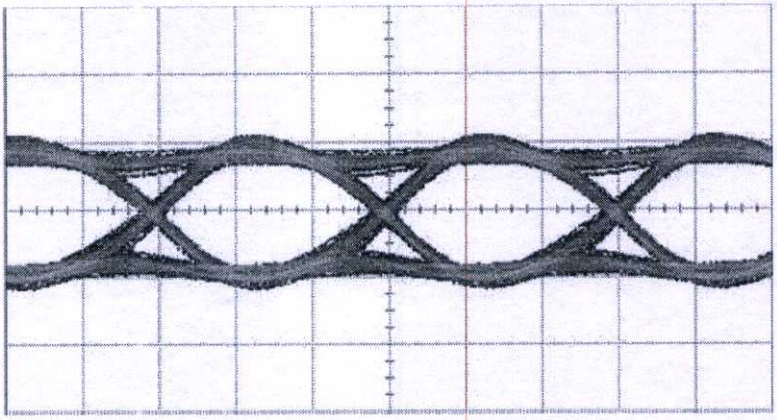
รูปที่ 5.16 แสดงค่าประวิงเวลาเชิงกลุ่มของวงจรทั้งสาม ซึ่งได้จากการถอดค่าของผลตอบสนองเชิงเฟสของวงจร โดยค่าประวิงเวลาเชิงกลุ่มของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์และวงจรขยายเชิงกระจายต่อเรียงกันจะมีการเปลี่ยนแปลงอยู่ระหว่าง ±110 พิโควินาที ในช่วงความถี่ 0.5-3.6 กิกกะเฮิร์ซ ในขณะที่ค่าประวิงเวลาเชิงกลุ่มของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอจะเพิ่มขึ้นอย่างฉับพลันที่ความถี่ใกล้ความถี่ตัดของสายส่งเทียม เนื่องจากค่ายอดของวงจรที่สูงขึ้นอย่างมาก



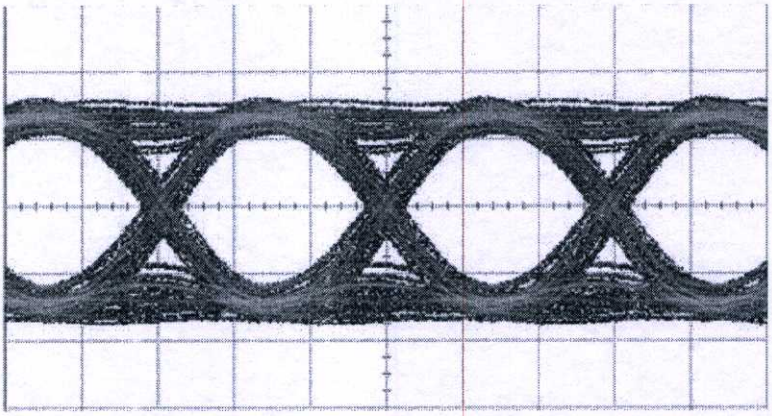
รูปที่ 5.16 ค่าประวิงเวลาเชิงกลุ่มจากการทดสอบ

ด้วยข้อจำกัดด้านเครื่องมือวัดตัวประกอบสัญญาณรบกวนที่ไม่สามารถหาได้ ทำให้การหาค่าตัวประกอบสัญญาณรบกวนต้องอาศัยวิธีการจำลองเข้าช่วย โดยแบบจำลองของทรานซิสเตอร์เบอร์ NE34018 ข้อมูลได้จากเว็บไซต์ www. ncsd.necel.com ของบริษัท NEC จากการจำลองได้ค่าตัวประกอบสัญญาณรบกวนของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์เท่ากับ 3.9-4.5 ดีบี และ 3.7-6 ดีบี ตามลำดับ และค่าตัวประกอบสัญญาณรบกวนของวงจรขยายเชิงกระจายต่อเรียงกันเท่ากับ 3.7-5.3 ดีบี ในช่วงความถี่ทำงานของแต่ละวงจร

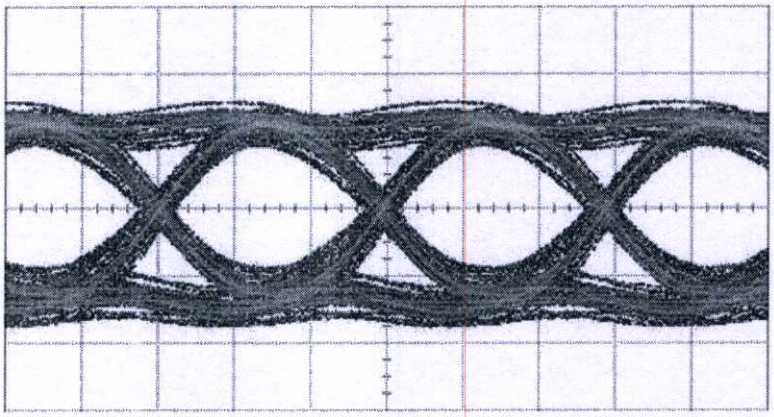
รูปที่ 5.17 แสดงแผนภาพรูปตาของวงจรทั้งสาม ซึ่งได้จากการวัดด้วยเครื่องมือวัดรุ่น Agilent Infiniium DCA-J86100C โดยสัญญาณแรงดันอินพุตเป็นแบบดิจิทัลที่มีขนาดยอดถึงยอดเท่ากับ 20 มิลลิโวล์ต อัตราการส่งข้อมูล 3.4 กิกกะบิทต่อวินาที ในการวัดได้ใส่ตัวลดทอนสัญญาณขนาด 10 ดีบี ที่อินพุตของเครื่องมือวัดเพื่อป้องกันการเกิดภาระเกิน (Overload) ซึ่งผลการวัดที่แสดงในรูปที่ 5.17 จะน้อยกว่าค่าที่เป็นจริงประมาณ 3 เท่า เมื่อทำการคำนวณให้ถูกต้อง เราจะได้สัญญาณแรงดันเอาท์พุตของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีขนาดยอดถึงยอดเท่ากับ 400 มิลลิโวล์ต มากกว่าสัญญาณแรงดันเอาท์พุตของวงจรขยายเชิงกระจายต่อเรียงกันที่มีขนาดยอดถึงยอดเท่ากับ 270 มิลลิโวล์ต ประมาณ 1.48 เท่า หรือ 3.4 ดีบี จากผลการวัดแผนภาพรูปตาในรูปที่ 5.17 (ก) จะเห็นว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีรูปดวงตาที่เปิดกว้างเช่นเดียวกับวงจรขยายเชิงกระจายต่อเรียงกันในรูปที่ 5.17 (ข) แต่มีขนาดของดวงตาที่ใหญ่กว่า แต่ในกรณีของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอจะมีรูปดวงตาที่เปิดน้อยลงดังรูปที่ 5.17 (ค) ซึ่งเกิดจากการแทรกสอดของสัญญาณกระแสที่สะท้อนกลับจากการเปิดปลายของสายส่งเทียมระหว่างภาค



(ก)



(ข)



(ค)

รูปที่ 5.17 แผนภาพรูปตาจากการทดสอบที่อัตราการส่งข้อมูล 3.4 กิกกะบิทต่อวินาที (ก) วงจรขยายเชิงกระจายต่อเรียงกัน (ข) และ (ค) วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ [เวลาต่อช่องเท่ากับ 100 พิโควินาที และแรงดันต่อช่องเท่ากับ 50 มิลลิโวล์ต]

การวัดสมรรถนะด้านสัญญาณขนาดใหญ่ของวงจร จะทดสอบด้วยสัญญาณแรงดันอินพุตที่มีความถี่เท่ากับ 2 กิกกะเฮิร์ซ จากการทดสอบได้ค่ากำลังงานเอาท์พุตจุดกดที่ 1 ดีบี ของวงจรขยายเชิงกระจายต่อเรียงกันเท่ากับ 4.3 ดีบีมิลลิวัตต์ วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีค่าเท่ากับ 4.5 ดีบีมิลลิวัตต์และ 4.6ดีบีมิลลิวัตต์ ตามลำดับ โดยสมรรถนะของวงจรทั้งสามแสดงได้ดังตารางที่ 5.7

ตารางที่ 5.7 สมรรถนะของวงจรจากการทดสอบ

Performance	Tapered CDSDA	Uniform CDSDA	CDA
G (S_{21})	25.2dB	25.2dB	21.7dB
S_{11}/ S_{22}	–15.2dB/–14.4dB	–15.4dB/–14.2dB	–7.3dB/–8.1dB
BW	3.2GHz	2.3GHz	3.6GHz
NF	3.3-6.0dB	3.9-4.5dB	3.7-5.3dB
P_{o1dB}	4.6dBm	4.5dBm	4.3dBm
Total current	40mA		

จากตารางที่ 5.7 เราสามารถคำนวณหาผลคูณอัตราขยายและแบนด์วิดท์ของวงจรขยายเชิงกระจายต่อเรียงกันมีค่าเท่ากับ 43.7 กิกกะเฮิร์ซ วงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์มีค่าเท่ากับ 41.8 กิกกะเฮิร์ซและ 58.2 กิกกะเฮิร์ซ ตามลำดับ ซึ่งจะเห็นว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีสมรรถนะด้านผลคูณอัตราขยายและแบนด์วิดท์ที่เหนือกว่าขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอประมาณ 1.4 เท่า

5.4 สรุป

ในบทนี้เราได้แยกการจำลองและการทดสอบออกเป็นสองส่วน ส่วนแรกคือการจำลองวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรม เพื่อพิสูจน์ทฤษฎีในบทที่ 3 และส่วนที่สองคือการจำลองและการทดสอบวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ เพื่อพิสูจน์ทฤษฎีในบทที่ 4

ในการจำลองวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมได้ออกแบบวงจรตามขั้นตอนการออกแบบรูปที่ 3.24 ในบทที่ 3 โดยค่าอุปกรณ์ที่ใช้จริงมีความใกล้เคียงกับค่าอุปกรณ์ตั้งต้นที่ได้จากการคำนวณ ทำให้การออกแบบสามารถทำได้ง่ายและมีประสิทธิภาพมากยิ่งขึ้น จากผลการจำลองแสดงให้เห็นว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมมี

อัตราขยายกำลัง และตัวประกอบสัญญาณรบกวนเท่ากัน แต่วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานจะมีแบนด์วิดท์สูงกว่าประมาณ 1.28 เท่า ใกล้เคียงกับตัวเลขในทางทฤษฎีที่ประมาณ 1.3 เท่า สอดคล้องกับแผนภาพรูปตาที่แสดงให้เห็นว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีรูปดวงตาที่เปิดกว้างกว่าวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดขนาน-อนุกรม จากผลการจำลองข้างต้นทำให้เราสรุปได้ว่าชุดสมการต่างๆ และทฤษฎีที่ได้กล่าวในบทที่ 3 มีความถูกต้องและใกล้เคียงกับทางปฏิบัติเป็นอย่างมาก

สำหรับการจำลองและทดสอบวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอและแบบเทเปอร์ เราพบว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีสมรรถนะด้านอัตราขยายกำลังที่สูงกว่าวงจรขยายเชิงกระจายต่อเรียงกัน โดยผลตอบสนองทางความถี่ของวงจรค่อนข้างราบเรียบและมีแบนด์วิดท์ที่ทัดเทียมกัน ต่างจากกรณีของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอที่ผลตอบสนองทางความถี่จะมีค่าอัตราขยายกำลังลดลงเกินกว่า 3 ดีบี ที่ช่วงความถี่กึ่งกลางของความถี่ตัดของสายส่งเทียม ซึ่งเกิดจากการสะท้อนกลับของสัญญาณกระแสที่ปลายเปิดของสายส่งเทียมระหว่างภาค ทำให้แบนด์วิดท์ของวงจรมีค่าประมาณครึ่งหนึ่งของวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์ สอดคล้องกับแผนภาพรูปตาที่ปรากฏชัดว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีรูปดวงตาที่เปิดกว้างเช่นเดียวกับวงจรขยายเชิงกระจายต่อเรียงกัน แต่มีขนาดของดวงตาที่ใหญ่กว่า แต่ในกรณีของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอจะมีรูปดวงตาที่เปิดน้อยลง

จากการเปรียบเทียบผลการจำลองและการทดสอบกับการคำนวณด้วยสมการในบทที่ 4 แสดงให้เห็นว่าทฤษฎีและปฏิบัติมีความใกล้เคียงกันอย่างมาก ซึ่งนั่นหมายถึงชุดสมการต่างๆ ที่พัฒนาขึ้นสามารถใช้ทำนายสมรรถนะต่างๆ ของวงจรได้เป็นอย่างดี อีกทั้งการเปรียบเทียบสมรรถนะของวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์กับวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันก็ยังบ่งชี้ว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีสมรรถนะรวมที่เหนือกว่า ซึ่งเหมาะสำหรับการใช้งานการขยายสัญญาณแถบความถี่กว้าง

บทที่ 6
สรุปและข้อเสนอแนะ

6.1 สรุปผลการวิจัย

จากการศึกษาผลงานวิจัยที่เกี่ยวข้องกับวงจรขยายสัญญาณแถบความถี่กว้าง เราพบว่าวงจรขยายเชิงกระจายมีสมรรถนะด้านแบนด์วิดท์เหนือกว่าวงจรขยายโครงสร้างอื่นๆ เช่น วงจรขยายซอร์สร่วม วงจรขยายคาสโคด วงจรขยายป้อนกลับแบบลบ ฯลฯ เนื่องจากโครงสร้างของวงจรได้นำเอาความเก็บประจุแฝงในทรานซิสเตอร์ซึ่งเป็นตัวจำกัดแบนด์วิดท์รวมเข้าเป็นส่วนหนึ่งของสายส่งเทียมทั้งด้านอินพุตและเอาท์พุตของวงจร ทำให้วงจรมีแบนด์วิดท์กว้าง แต่ด้วยอัตราขยายที่แปรผันตามจำนวนแถวของทรานซิสเตอร์ซึ่งมักจะไม่เกิน 5 แถว อีกทั้งค่าส่งผ่านความนำของทรานซิสเตอร์ในกระบวนการผลิตซีมอสที่มีค่าต่ำ จึงทำให้วงจรมีอัตราขยายที่ไม่สูงมากนัก

วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานและขนาน-อนุกรมได้ถูกนำเสนอเพื่อช่วยเพิ่มสมรรถนะด้านอัตราขยายให้สูงขึ้น จากการวิเคราะห์และการจำลองได้แสดงให้เห็นว่าโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีแบนด์วิดท์กว้างกว่าโครงข่ายสร้างยอดแบบขนาน-อนุกรม และยังมีค่าทัดเทียมกับวงจรขยายเชิงกระจายอีกด้วย ทำให้วงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกันด้วยโครงข่ายสร้างยอดแบบอนุกรม-ขนานมีการใช้งานอย่างแพร่หลาย อย่างไรก็ดี ด้วยโครงสร้างแบบต่อเรียงกันที่มีจำนวนแถวของทรานซิสเตอร์ในแต่ละภาคเพียงแค่ตัวเดียวเท่านั้น จึงทำให้ความสามารถในการขับภาระที่เอาท์พุตและค่าตัวประกอบสัญญาณรบกวนของวงจรไม่ดีนัก

วงจรขยายเชิงกระจายหลายแถวต่อเรียงกันได้ถูกนำเสนอเพื่อเพิ่มความสามารถในการขับภาระที่เอาท์พุต และช่วยให้วงจรมีค่าตัวประกอบสัญญาณรบกวนที่ดีขึ้น แต่ด้วยโครงสร้างของวงจรได้ปลดอิมพีแดนซ์ด้านซ้ายมือของส่วนเชื่อมต่อระหว่างภาคออก ถึงแม้จะทำให้อัตราขยายเพิ่มขึ้น แต่กลับทำให้แบนด์วิดท์ของวงจรลดลง เทคนิคสายส่งเดรนแบบเทเปอร์ได้ถูกนำมาปรับใช้เพื่อเพิ่มสัดส่วนของสัญญาณกระแสส่วนตรงให้มากขึ้น ในขณะเดียวกันก็พยายามหักล้างสัญญาณกระแสส่วนสะท้อนซึ่งเป็นส่วนสำคัญที่ทำให้เกิดการจำกัดแบนด์วิดท์ให้หมดไป ในกรณีที่ค่าอิมพีแดนซ์คุณลักษณะของสายส่งเดรนเทียมเป็นไปตามความสัมพันธ์ $Z_{dk} = nZ_d / k$ และค่าคงตัวการแพร่ของสายส่งเกตและเดรนเทียมเท่ากัน จะทำให้สัญญาณกระแสส่วนสะท้อนหมดไป คงเหลือแต่สัญญาณกระแสส่วนตรงเท่านั้นที่เดินทางเคลื่อนที่สู่อิมพีแดนซ์ภาระ ส่งผลให้วงจรมีแบนด์วิดท์กว้างทัดเทียมกับวงจรขยายเชิงกระจายต่อเรียงกัน แต่มีอัตราขยายกำลังมากกว่าถึง 4^{m-1} เท่า อย่างไรก็ดี ด้วยค่าอัตราส่วนความเก็บประจุ $C_d / C_g \approx 0.2 - 0.5$ จึงทำให้จำนวนแถวของทรานซิสเตอร์จำกัดอยู่เพียงแค่ 2 แถวเท่านั้น ($n = 2$) จากการจำลองและทดสอบเราพบว่าผลที่ได้

เป็นไปในแนวทางเดียวกันคือวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีสมรรถนะรวมที่เหนือกว่าวงจรขยายเชิงกระจายต่อเรียงกันและวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบสม่ำเสมอ สอดคล้องกับทางทฤษฎีเป็นอย่างมาก ซึ่งนั่นหมายถึงทฤษฎีและชุดสมการต่างๆ ที่พัฒนาขึ้นนั้น สามารถใช้ทำนายสมรรถนะของวงจรได้เป็นอย่างดี และจากผลการจำลองและการทดสอบนี้เองทำให้เราสามารถสรุปได้ว่าวงจรขยายเชิงกระจายแถวคู่ต่อเรียงกันด้วยสายส่งเดรนแบบเทเปอร์มีสมรรถนะที่ดีทั้งอัตราขยาย แบนด์วิดท์และตัวประกอบสัญญาณรบกวน เหมาะสำหรับการใช้งานการขยายสัญญาณแถบความถี่กว้างในระบบการสื่อสารข้อมูลความเร็วสูง

6.2 ข้อเสนอแนะสำหรับงานวิจัยในอนาคต

สำหรับงานวิจัยที่จะทำในอนาคตคือ โครงสร้างวงจรขยายที่ผสมผสานกันระหว่างวงจรขยายเชิงกระจายแถวเดี่ยวและแถวคู่ต่อเรียงกัน โดยมีโครงสร้างคล้ายคลึงกับ [45] แต่มีสมรรถนะด้านอัตราขยายที่สูงกว่า โดยที่แบนด์วิดท์และตัวประกอบสัญญาณรบกวนของวงจรไม่ได้แย่ลงมากนัก

เอกสารอ้างอิง

[1] Y. Ayasli, R. L. Mozzi, J. L. Vorhaus, L. D. Reynolds, and R. A. Pucel, **"A monolithic GaAs 1-13 GHz traveling-wave amplifier,"** IEEE Trans. Microwave Theory Tech., vol. MTT-30, pp. 976-981, July 1982.

[2] E. W. Strid and K. R. Gleason, **"A DC-12 GHz monolithic GaAs FET distributed amplifier,"** IEEE Trans. Microwave Theory Tech., vol. MTT-30, pp. 969-975, July 1982.

[3] S. Kimura and Y. Imai, **"0-40-GHz GaAs MESFET distributed base-band amplifier ICs for high-speed optical transmission,"** IEEE Trans. Microwave Theory Tech., vol. 44, no. 11, pp. 2076-2082, Nov. 1996.

[4] B. Agarwal, A. E. Schmitz, J. J. Brown, M. Matloubian, M. G. Case, M. Le, M. Lui, and M. J.W. Rodwell, **"112-GHz, 157-GHz, and 180-GHz InP HEMT traveling-wave amplifiers,"** IEEE Trans. Microwave Theory Tech., vol. 46 , pp. 2553-2559, Dec. 1998.

[5] B. Kleveland, C. H. Diaz, D. Vook, L. Madden, T. H. Lee, and S. Wong, **"Monolithic CMOS distributed amplifier and oscillator,"** IEEE ISSCC Dig. Tech. Paper, pp. 70-71, 1999.

[6] B. M. Ballweber, R. Gupta, and D. J. Allstot, **"A fully integrated 0.5-5.5-GHz CMOS distributed amplifier,"** IEEE J. Solid-State Circuits, vol. 35, no. 2, pp. 231-239, Feb. 2000.

[7] R. C. Lui, C. S. K. Lin, L. Deng, and H.Wang, **"Design and analysis of DC-to-14-GHz and 22-Ghz CMOS cascode distributed amplifiers,"** IEEE J. Solid-State Circuits, vol. 39, no.8, pp. 1370-1374, Aug. 2004.

[8] F. Ellinger, **"60-GHz SOI CMOS traveling-wave amplifier with NF below 3.8 dB from 0.1 to 40 GHz,"** IEEE J. Solid-State Circuits, vol. 40, no. 2, pp. 553-558, Feb. 2005.

[9] P. Heydari, **"Design and analysis of a performance-optimized CMOS UWB distributed LNA,"** IEEE J. Solid-State Circuits, vol. 42, no. 9, pp. 1892-1905, Sept. 2007.

[10] C. Pavageau, M. S. Moussa, J. P. Raskin, D. Vanhoenaker-Janvier, N. Fel, J. Russat, L.

Picheta, and F. Danneville, **"A 7-dB 43-GHz CMOS distributed amplifier on high-resistivity SOI substrates,"** IEEE Trans. Microwave Theory Tech., vol. 56, no. 3, pp. 587-598, Mar. 2008.

[11] T. Mury and V.F. Fusco, "**Inverse class-E amplifier with transmission-line harmonic suppression**," IEEE Trans. Circuits and Systems-I, vol. 54, no. 7, pp. 1555-1561, July 2007.

[12] K. Moez and M. I. Elmasry, "**A low-noise CMOS distributed amplifier for ultra-wide-band applications**," IEEE Trans. Circuits and Systems-II, vol. 55, no. 2, pp. 126-130, Feb. 2008.

[13] M. Varonen, M. Karkkainen, M. Kantanen, and K. A. I. Halonen, "**Millimeter-wave integrated circuits in 65-nm CMOS**," IEEE J. Solid-State Circuits, vol. 43, no. 9, pp. 1991-2002, Sep. 2008.

[14] A. A. Grebennikov, "**High-efficiency class FE tuned power amplifiers**," IEEE Trans. Circuits and Systems-I: Accepted for future publication.

[15] T.S. Kaplan and J.F. Jensen, "**Continuous-time ΔΣ modulators using distributed resonators**," IEEE Trans. Circuits and Systems-I, vol. 52, no. 11, pp. 2397-2403, Nov. 2005.

[16] J. Sewter and A. C. Carusone, "**A CMOS finite impulse response filter with a crossover traveling wave topology for equalization up to 30 Gb/s**," IEEE J. Solid-State Circuits, vol. 41, no. 4, pp. 909-917, April 2006.

[17] J. Sewter and A. C. Carusone, "**A 3-Tap FIR filter with cascaded distributed tap amplifiers for equalization up to 40 Gb/s in 0.18-** μm **CMOS**," IEEE J. Solid-State Circuits, vol. 41, no. 8, pp. 1919-1929, Aug. 2006.

[18] S. Pavan and R. Tiruvuru, "**Analysis and design of singly terminated transmission-line FIR adaptive equalizers**," IEEE Trans. Circuits and Systems-I, vol. 54, no. 2, pp. 401-410, Feb. 2007.

[19] S. Reekmans, L. Hernandez, and E. Prefasi, "**A subsampling quadrature ΣΔ modulator based on distributed resonators for use in radio receiver**," IEEE Trans. Circuits and Systems-II, vol. 54, no. 9, pp. 820-824, Sep. 2007.

[20] J. Y. Liang and C. S. Aitchison, **"Gain performance of cascade of single stage distributed amplifiers,"** Electron. Lett., vol. 31, no. 15, pp. 1260-1261, Jul. 1995.

[21] B. Y. Banyamin and M. Berwick, **"Analysis of the performance of four-cascaded single-stage distributed amplifiers,"** IEEE Trans. Microwave Theory Tech., vol. 48, no. 12, pp. 2657-2663 Dec. 2000.

[22] A. Worapishet, S. Srisathit, and M. Chongcheawchamnan, **"Broadband amplification in CMOS technology using cascaded single-stage distributed amplifier,"** Electron. Lett., vol. 38, no. 14, pp. 675-676, Jul. 2002.

[23] S. Galal and B. Razavi, **"40-Gb/s amplifier and ESD protection circuit in 0.18-µm CMOS technology,"** IEEE J. Solid-State Circuits, vol. 39, no. 12, pp. 2389-2396, Dec. 2004.

[24] C. H. Wu, C. H. Lee, W. S. Chen, and S. I. Lui, **"CMOS wide-band amplifiers using multiple inductive-series peaking technique,"** IEEE J. Solid-State Circuits, vol. 40, no. 2, pp. 548-552, Feb. 2005.

[25] M. D. Tsai, **"A miniature 25-GHz 9-dB CMOS cascaded single-stage distributed amplifier,"** IEEE Microwave and Wireless Components Lett., vol. 14, no. 12, pp. 554-556, Dec 2004.

[26] A. Worapishet, I. Roopkom, and W. Surakampontorn, **"Performance analysis and design of triple-resonance interstage peaking for wide-band cascaded CMOS amplifiers,"** IEEE Trans. Circuits and Systems-I, vol. 54, no. 6, pp. 1189-1203, June 2007.

[27] M. D. Tsai, H. Wang, J. F. Kuan, and C. S. Chang, **"A 70-GHz cascaded muti-stage distributed amplifier in 90-nm CMOS technology,"** IEEE International Solid-State Circuit Conference, pp. 402-606, Feb. 2005.

[28] A. Worapishet and I. Roopkom, **"Cascaded double-stage configuration for high-performance broadband amplification in CMOS,"** IEEE Circuits and Systems, vol. 2, pp. 1606-1609, May 2005.

[29] J. S. Walling, S. Shekhar, and D. J. Allstot, **"Wideband CMOS amplifier design: Time-domain considerations**," IEEE Circuits and Systems-I, vol. 55, No. 7, pp. 1781-1793, Aug. 2008.

[30] B. Razavi, **Design of Analog CMOS Integrated Circuit**, University of California, Los-Angeles, McGraw Hill, 2000.

[31] B. Razavi, R. H. Yan and K.F. Lee, **"Impact of Distributed Gate Resistance on the**

Performance of MOS Devices," IEEE Trans. Circuits Syst. I., Fundam Theory Appl., vol. 41, No. 11, pp. 750-754, Nov. 1994.

[32] W. L. Everitt, **Communication Engineering**, McGraw-Hill, 1937.

[33] Lee T. H. Lee, **The Design of CMOS Radio-Frequency Integrated Circuits**, Cambridge University Press, New York, NY, 1998.

[34] W.S. Perciva, **British Patent 460562**, Jan. 25, 1937

[35] E.L. Ginzton, W.R. Hewlett, J.H. Jasberg and J.D. Noe, **"Distributed Amplification**," Proc. IRE, pp. 956-969, Aug.1948.

[36] J. B. Beyer, S. N. Prasad, R. C. Becker, J. E. Nordman, and G. K. Hohenwarter, **"MESFET distributed amplifier design guidelines,"** IEEE Trans. Microwave Theory Tech., vol. 32, pp. 248-275, Mar. 1984.

[37] K. Koumetsov and A. M. Niknejad, **"Design and analysis of distributed amplifier"**, http://www-inst.eecs.berkeley.edu/~ee217/sp03/projectsSP99 /Distrib_Amp.pdf

[38] S. S. Mohan, M. M. Hershenson, S. P. Boyd and T. H. Lee, **"Bandwidth Extension in CMOS with Optimized On-Chip Inductors**," IEEE J. Solid-State Circuits, vol. 35, pp. 346-355, Mar. 2000.

[39] C. A. Desoer and E. S. Kuh, **Basic Circuit Theory**, University of California, Berkeley, McGraw Hill, 1969.

[40] B. Analui and A. Hajamiri, **"Bandwidth Enhancement for Transimpedance Amplifiers**," IEEE J. Solid-State Circuits, vol. 39, No. 8, pp. 1263-1270, Aug. 2004.

[41] R. P. Jindal, **"Gigahertz-Band High-Gain Low-Noise AGC Amplifiers in Fine-Line NMOS**," IEEE J. Solid-State Circuits, vol. SC-22, No. 4, pp. 512-521, Aug. 1987.

[42] K.H. Chen and C.K. Wang, **"A 3.1-10.6 GHz CMOS Cascaded Two-stage Distributed Amplifier for Ultra-Wideband Application**," IEEE Asia-Pacific Conference on Advance System Integrated Circuits, pp. 296-299, Aug. 2004.

[43] R. Halladay, A. M. Pavio, and C. Crabill, **"A 1-20 GHz dual-gate distributed power amplifier,"** IEEE GaAs IC Symposium, pp. 219-222, 1987.

[44] G. D. Vendelin, A. M. Pavio, and U. L. Rohde, **Microwave Circuit Design Using Linear and Nonlinear Techniques**. New York: Wiley, 1990.

[45] J. C. Chien and L. H. Lu, **"40-Gb/s high-gain distributed amplifiers with cascaded gain**

stages in 0.18-μm CMOS," IEEE J. Solid-State Circuits, vol. 42, no. 12, pp. 2715-2725, Dec. 2007.

ภาคผนวก ก.

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

1. A. Worapishet, **I. Roopkom**, and W. Surakampontorn, **"Performance analysis and design of triple-resonance interstage peaking for wide-band cascaded CMOS amplifiers,"** IEEE Trans. Circuits and Systems-I, vol. 54, no. 6, pp. 1189-1203, June 2007.
2. A. Worapishet, **I. Roopkom**, and W. Surakampontorn, **"Theory and bandwidth enhancement of cascaded double-stage distributed amplifiers,"** to be published in IEEE Trans. Circuits and Systems-I, 2010.

IEEE TRANSACTIONS ON

CIRCUITS AND SYSTEMS

I: REGULAR PAPERS

A PUBLICATION OF THE IEEE CIRCUITS AND SYSTEMS SOCIETY

WWW.IEEE-CAS.ORG

JUNE 2007 VOLUME 54 NUMBER 6 ITCSCH (ISSN 1549-8328)

PAPERS

Analog Circuits and Systems

A Low-Power Programmable Bandpass Filter Section for Higher Order Filter Applications ..... *D. W. Graham, P. E. Hasler, R. Chawla, and P. D. Smith* 1165

Low-Power CMOS Rectifier Design for RFID Applications ..... *S. Mandal and R. Sarpeshkar* 1177

Performance Analysis and Design of Triple-Resonance Interstage Peaking for Wide-Band Cascaded CMOS Amplifiers ..... *A. Worapishet, I. Roopkom, and W. Surakampontorn* 1189

A Novel CMOS OTA Based on Body-Driven MOSFETs and its Applications in OTA-C Filters ..... *X. Zhang and E. I. El-Masry* 1204

Analog and Mixed Signal Circuits and Systems

A Robust and Fast Digital Background Calibration Technique for Pipelined ADCs ..... *J.-L. Fan, C.-Y. Wang, and J.-T. Wu* 1213

Phase-Error Measurement and Compensation in PLL Frequency Synthesizers for FMCW Sensors—II: Theory ..... *M. Pichler, A. Stelzer, P. Gulden, C. Seisenberger, and M. Vossiek* 1224

Behavioral Modeling Methods for Switched-Capacitor $\Sigma\Delta$ Modulators .... *G. Suárez, M. Jiménez, and F. O. Fernández* 1236

Digital Circuits and Systems

RNS-to-Binary Converters for Two Four-Moduli Sets $\{2^n-1, 2^n, 2^n+1, 2^{n+1}-1\}$ and $\{2^n-1, 2^n, 2^n+1, 2^{n+1}+1\}$ ..... *P. V. A. Mohan and A. B. Premkumar* 1245

Medium-Grain Cells for Reconfigurable DSP Hardware ..... *M. J. Myjak and J. G. Delgado-Frias* 1255

A Scalable Wavelet Transform VLSI Architecture for Real-Time Signal Processing in High-Density Intra-Cortical Implants ..... *K. G. Oweiss, A. Mason, Y. Suhail, A. M. Kamboh, and K. E. Thomson* 1266

Novel Power-Delay-Area-Efficient Approach to Generic Modular Addition ..... *R. A. Patel, M. Benaissa, N. Powell, and S. Boussakta* 1279

Emerging Technologies

Simulation and Design of Nanocircuits With Resonant Tunneling Devices ..... *J. M. Wang, B. Sukhwani, U. Padmanabhan, D. Ma, and K. Sinha* 1293

(Contents Continued on Back Cover)

IEEE

IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS, VOL. 54, NO. 6, JUNE 2007

Performance Analysis and Design of Triple-Resonance Interstage Peaking for Wide-Band Cascaded CMOS Amplifiers

Apisak Worapishet, *Member, IEEE*, Ittipat Roopkom, and Wanlop Surakampontorn, *Senior Member, IEEE*

***Abstract*—The analysis and design of the two promising candidates for interstage bandwidth enhancement of integrated wide-band cascaded amplifiers (CAs), namely series-shunt (SH) and shunt-series (HS) triple-resonance peaking, are presented. The principal operation of both peaking networks is described qualitatively in time-domain where the inherent bandwidth superiority of SH peaking is revealed. With the help of triple resonance concept, a rigorous and insightful analysis is then given in frequency domain. Analytical equations applicable to both networks have been derived to enable the proper inductance selection and to quantify the bandwidth advantage of SH peaking. In addition, various frequency characteristics of the networks are discussed through the investigation of their triple resonant frequency locations. This is followed by detailed analysis on the important nonidealities due to transistor's gate resistance and inductors' losses. The effectiveness of theoretical analysis is demonstrated via design and simulation of SHCA and HSCA with identical number of stages, gain and power consumption. The results show good agreement between theoretical analysis and simulation where the SHCA outperforms its HS counterpart in bandwidth while other performances are practically identical.**

***Index Terms*—Bandwidth enhancement technique, CMOS amplifier, shunt peaking, wide-band amplifier.**

I. Introduction

OVER the past decade, the bandwidth requirement of integrated wide-band amplifiers continues to rise following the demand on higher data-rate integrated optical transceivers for multimedia communication. The major cause of bandwidth limitation is the intrinsic and extrinsic capacitances in active devices. To push the bandwidth beyond such a limit, numerous amplifier topologies that utilized inductor(s) to mitigate the capacitance effect have been proposed [1]–[11].

One of the most successful techniques is the distributed amplifier (DA) which forms an artificial lumped transmission line by using inductors to separate the capacitances in each of the parallel active gain stages for bandwidth enhancement [1]–[4]. Although highly successful in the DA based on GaAs devices, the DA in Si-based CMOS entails several issues. These include: 1) substantial loss in the artificial transmission line due to the lack of high quality inductors; 2) low-output resistance in short channel CMOS transistors which yields additional loss to the transmission line; and 3) relatively high gate-drain overlap capacitance associated with CMOS devices which creates nonuniformity of the wave velocity along the gate and drain lines leading to intersymbol interference (ISI) in random data.

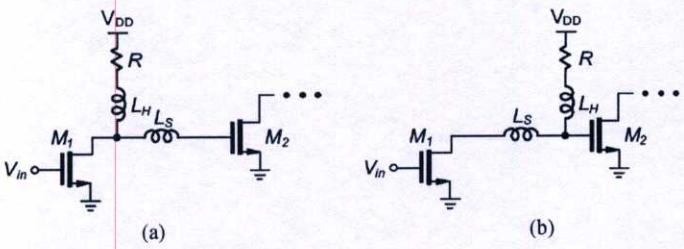


Fig. 1. (a) HS and (b) SH triple-resonance bandwidth enhancement interstage networks.

Since the aforementioned shortcomings essentially arise from the parallelism of the gain stages in the DA, the structure using a cascade of gain stages, i.e., a cascaded amplifier (CA), has recently gained wide acceptance in CMOS wide-band amplifiers [6]–[11]. Crucial to this type of amplifiers is the bandwidth enhancement network between the CA stages since the inherent bandwidth reduction of the cascaded structure results in a large interstage bandwidth requirement [12]. Among the proposed enhancement networks, the simplest and most extensively used, but with the minimum improved bandwidth, are the inductive shunt peaking and series peaking where only a single additional inductor is employed [5], [6]. Although offering an impressive bandwidth enhancement, the T-coil peaking [13] requires very careful and accurate modeling of both transformer and transistor parasitics, making it difficult to design. To this end, the two-port networks that incorporate two inductors should hold promise for a compromise between the achievable bandwidth enhancement and design complexity. One of such networks was implemented by a combination of *shunt* and *series* peaking inductors as shown in Fig. 1(a) where it has been utilized in a 15-dB 22-GHz amplifier for a 40-Gb/s optical receiver using a 0.18-μm CMOS process [11]. Also from an insightful analysis in [11], the principal operation of the shunt-series (HS) network was revealed to rely upon its three distinct resonant frequencies and hence it is classified as a "triple-resonance" network. Shown in Fig. 1(b) is another network implementation that was derived from a cascade of single-stage DAs but with the omission of the idle gate and drain terminations for the intermediate stages [8]–[10]. Interestingly, from the arrangement of the inductors, this two-port

Manuscript received February 14, 2006; revised November 3, 2006. This work was supported by the Thailand Research Fund (TRF) through the Senior Research Scholar Program under Grant RTA4680003. This paper was recommended by Associate Editor B. Zhao.

A. Worapishet is with the Mahanakorn Microelectronics Research Center (MMRC), Mahanakorn University of Technology, Bangkok 10530, Thailand (e-mail: apisak@mut.ac.th).

I. Roopkom and W. Surakampontorn are with the Faculty of Engineering and Research Center for Communications and Information Technology (ReCCIT), King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand (e-mail: kswanlop@kmitl.ac.th).

Digital Object Identifier 10.1109/TCSI.2007.897766

1549-8328/$25.00 © 2007 IEEE

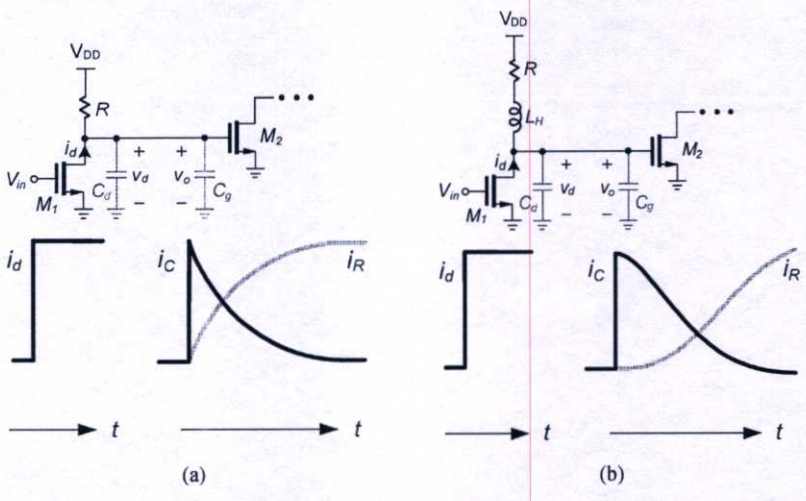


Fig. 2. Time-domain step current responses in (a) simple *RC* and (b) shunt peaking interstage networks.

can be viewed as a combination of *series* and *shunt* peaking, as opposed to the HS counterpart in [11]. As will become evident, the series-shunt (SH) network also exhibits three distinct resonant frequencies and therefore it is also a triple-resonance type of networks. The SH network has been successfully employed to implement a 9-dB 25-GHz amplifier in a 0.18-μm CMOS process [10]. It is noticed from Fig. 1(a) and (b) that the major difference of the HS and SH networks lies in the location of the $L_H - R$ series load impedance.

Although the HS and SH triple-resonance peaking techniques are both recognized as viable for wide-band cascaded amplification, the quest for the optimum network inevitably demands their performance comparison. It is thus the purpose of this paper to conduct a comparative study via analysis and design of SH peaking CA (SHCA) and HS peaking CA (HSCA). Section II provides a qualitative discussion based on time-domain step responses that enables us to investigate the underlying operation and limitation of both networks where it is found that SH peaking is superior over its HS counterpart. In Section III, a frequency-domain analysis of the networks is conducted quantitatively in the context of the triple-resonance concept to further reinforce the understanding of their operation and to find their proper relationships among different components. In Section IV, practical considerations are given to the peaking and bandwidth characteristics of the networks where the impact of transistor's gate resistance and inductors' quality factor (Q) is analyzed. Noise analysis is also included in this section. The superiority and practicality of the SH bandwidth enhancement network are demonstrated in Section V through example designs and simulations of both SHCA and HSCA. The conclusion is given in Section VI.

II. Time-Domain Operation of Triple-Resonance Bandwidth Enhancement Networks

To provide an insight into their principal operations and limitations, a qualitative discussion on time-domain step response, similar to the treatment in [13], of the HS and SH triple-resonance networks in Fig. 1(a) and (b) is given in this section. Let us first consider the time-domain response of the primitive *RC* and shunt peaking networks when driven by a step input current i_d as shown in Fig. 2(a) and (b). In Fig. 2, the total drain and gate capacitances (C_d and C_g) are shown explicitly to facilitate the explanation. For the *RC* network, initially, all the step drain current i_d flows through the total capacitance formed by the drain capacitance C_d of M_1 and the gate capacitance C_g of M_2 [see i_C in Fig. 2(a)]. Since the output voltage v_o is proportional to the *integral* of the charging current i_C over time, this produces a gradual rise in $v_o = v_d = v_g$, and hence a fraction of i_d starts to divert into the load resistor R [see i_R in Fig. 2(a)]. Following this, the voltage v_o continues to rise but at successively slower rates until reaching the steady-state value at $v_o = i_d \cdot R$ where i_d completely flows through R. In the shunt peaking network of Fig. 2(b), the inductor L_H is added in series with R. When i_d is applied, v_o starts to rise but since the inductor current is proportional to the integral of the inductor voltage over time, L_H only conducts a significant amount of current some time after v_o has risen significantly. In this way, the flow of the input current into R is deferred [see i_R in Fig. 2(b)] and hence the integral of i_C over time is increased [see i_C in Fig. 2(b) compared to that in Fig. 2(a)]. This speeds up the charging of the capacitances C_d and C_g and the improved rise-time of v_o leads to a bandwidth improvement over the simple *RC* network.

The bandwidth is further enhanced by putting a series inductor L_S between C_d of M_1 and C_g of M_2. This essentially enables *serial charging* of the drain capacitances C_d and the gate capacitance C_g, i.e., less capacitance is charged at one time, resulting in an improved bandwidth at the expense of an increase in signal delay [13]. The SH network and its typical current waveforms are shown in Fig. 3(a). When the step input current i_d is applied, it initially flows into C_d only [see i_{Cd} in Fig. 3(a)], yielding a sharper rise-time over the shunt peaking network at the drain voltage v_d of M_1. As time progresses and v_d has risen significantly, the input current starts to divert into L_S. For a sufficiently small C_d, the rise-time of the L_S current is close to that of i_d. Due to the shunt peaking action, most of the L_S current initially charges only the *gate* capacitance C_g [see i_{Cg} in Fig. 3(a)] as the presence of L_H defers the current diversion into R [see i_R which is delayed in comparison to i_{Cg} in Fig. 3(a)]. This yields an improved rise time in the output voltage v_o and hence an improvement in bandwidth. For the case of HS peaking and its current waveforms in Fig. 3(b), i_d initially charges only the *drain* capacitance C_d [see i_{Cd} in Fig. 3(b)] and the presence of both the shunt-peaking inductor L_H and the series inductor L_S defers the current diversion. Some time after v_d has risen,

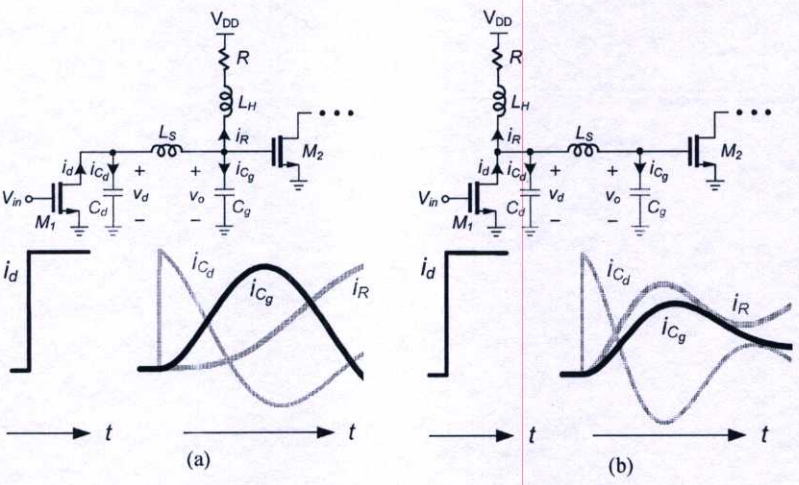


Fig. 3. Time-domain step current responses in (a) SH and (b) HS peaking interstage networks.

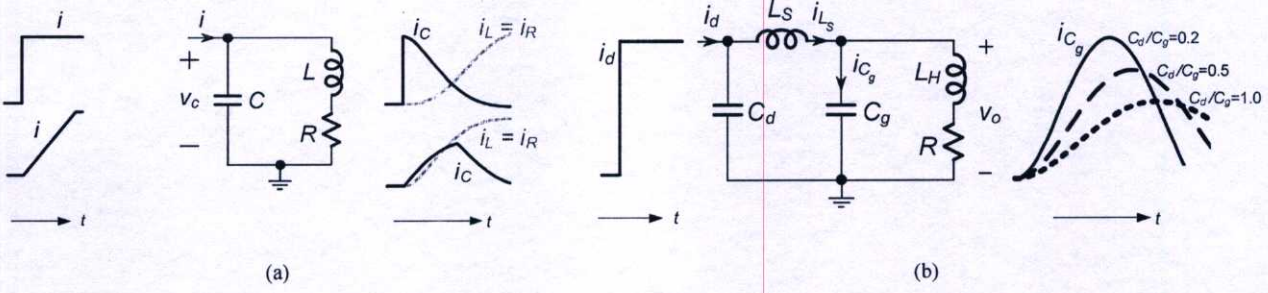


Fig. 4. (a) Effect of the input slope on the capacitor current in the shunt peaking network. (b) Current responses of SH peaking at C_g for different C_d/C_g ratios.

the input current is diverted not only into C_g (through L_S) but also into the load resistor R (through L_H) [see i_{Cg} and i_R in Fig. 3(b) where both are delayed in comparison to i_{Cd}]. As a result, the available charging current into C_g, i_{Cg}, is reduced. Based upon the described time-domain operation, it can thus be deduced that the SH peaking network inherently exhibits a superior bandwidth over the HS network.

The above description for SH peaking was based on the assumption that C_d is small so that the rise-time of the delayed L_S current is close to that of the step input at the drain terminal. However, in practical RF MOS transistors with interconnect parasitics, typical C_d can be as large as 40%–60% of C_g and it is thus necessary to consider this impact on bandwidth. To assist the following description, we first consider the shunt peaking network with two different input rise-times as shown in Fig. 4(a). In the figure, the abrupt change of the input current causes a sharp rise in the capacitor voltage v_C and thus the inductor current i_L and hence the resistor current i_R are only significant when v_C has risen significantly. However, when the input rise-time is extended, v_C rises more gradually and this allows more time for the inductor to divert a significant current from the input without the need for a significant rise of v_C, yielding a reduction in the capacitor charging current i_C [Fig. 4(a)]. Let us now turn to the SH network in Fig. 4(b). When C_d is increased, the rise times of both the drain voltage v_d and the delayed L_S current, i_{Ls}, increase. As described above, this enables L_H to divert a significant amount of i_{Ls} thereby reducing the C_g charging current, i_{Cg}. As a result, the rise-time of v_o worsens and the bandwidth offered by SH peaking is reduced. Fig. 4(b) also illustrates this effect where the simulated C_g current waveforms at different C_d/C_g ratios are plotted. It is seen that, with an increasing C_d/C_g, i_{Cg} is steadily reduced and the network bandwidth is consequently degraded. Interestingly, at $C_d/C_g = 1$, the resulting current response matches perfectly to that of the HS network [cf. Fig. 3(b)], implying identical bandwidth between the two networks. This important characteristic will be explained in Section III with the help of the reciprocity theorem.

III. Frequency-Domain Characteristics

Having investigated their operation in time domain, we are now ready to study the characteristics of the triple-resonance bandwidth enhancement networks in frequency domain. In this section, the analysis is conducted in a quantitative manner where analytical expressions that enable accurate prediction of the frequency characteristics and proper component selection are derived. In particular, a similar treatment to [11] is adopted in that the behavior of the networks is studied around each of their triple resonance frequencies. However, unlike the analysis in [11] which was limited to the particular case of a HS network with $C_d = C_g$, more general expressions are developed here so that they can be applied to both SH and HS peaking regardless of the capacitance relation. It should be noted that, in the following analysis, no gain peaking constraint near the passband edge frequency of the networks' responses is assumed. This practical consideration will be discussed later in Section IV.

An important characteristic between the peaking networks of Fig. 1(a) and (b) is that one can be transformed into the other via

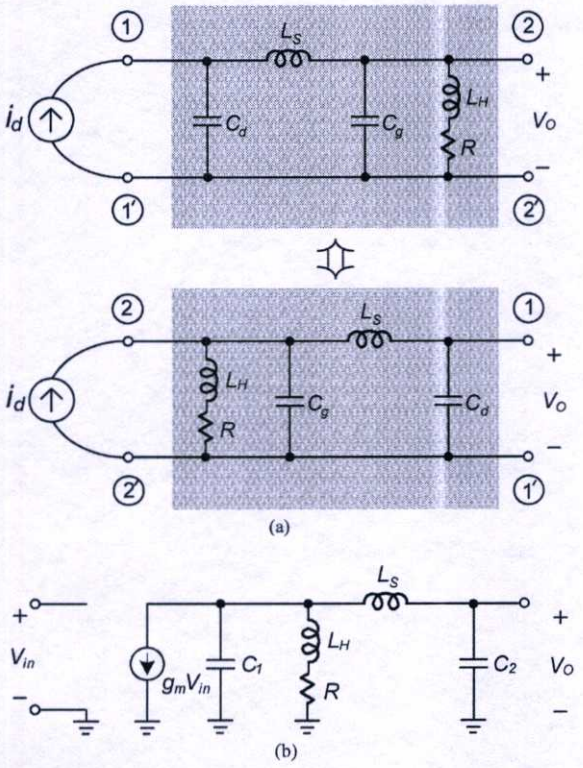


Fig. 5. (a) SH to HS network transformation using reciprocity theorem. (b) Reference network for frequency-domain analysis.

the reciprocal property of linear time-invariant *RLC* two-ports [14]. By invoking the reciprocity theorem, the SH network may be converted into its HS equivalent and this is shown in Fig. 5(a). Such a property proves very useful as it greatly simplifies the following analysis and comparison where consideration via only the HS network configuration would suffice. Fig. 5(b) shows the reference network for the analysis where $C_1 = C_g$ and $C_2 = C_d$ for the SH network of Fig. 3(a) and $C_1 = C_d$ and $C_2 = C_g$ for the HS network of Fig. 3(b).The reference network also reveals that the SH and HS networks are perfectly identical at $C_d = C_g$ and this explains their identical step responses at $C_d/C_g = 1$ as indicated in Section II. The operation of the network in Fig. 5(b) can be described through the triple-resonance concept as follows. At low frequencies, all of $i_d = -g_m v_{\text{in}}$ flows through the resistor R creating the output voltage $v_o = -g_m R v_{\text{in}}$ where g_m is the transconductance of the transistor M_1. As the frequency increases, before the output voltage starts to fall as a result of the capacitances C_1 and C_2, the impedance of the shunt peaking inductor L_H begins to rise. This creates a shunt-peaking action that diverts a greater fraction of i_d from R into the rest of the network producing a rise in the voltage. At the same time, the series peaking inductor L_S begins to resonate with C_2 in series mode [Fig. 6(a)] at

$$\omega_1 = \frac{1}{\sqrt{L_S C_2}} \tag{1}$$

and hence most of the diverted current flows into C_2, instead of both C_1 and C_2, leading to a more gradual voltage roll-off. In effect, the voltage rise due to L_H counterbalances the roll-off due to only C_2 yielding a bandwidth extension of the output voltage response. Beyond the series-resonant frequency ω_1, a parallel resonant π-network is formed by C_1, L_S and C_2 as shown in Fig. 6(b). This causes another rise in the response which pushes the bandwidth further. After the parallel-resonant frequency at

$$\omega_2 = \frac{1}{\sqrt{\frac{L_S C_1 C_2}{(C_1+C_2)}}} \tag{2}$$

the π-network becomes capacitive with the effective capacitance C_{eff}. This combined with L_H creates another parallel-mode resonance [see Fig. 6(c)], which even further extends the bandwidth

$$\omega_3 = \frac{1}{\sqrt{L_{\text{eff}} C_{\text{eff}}}} \tag{3.1}$$

where

$$C_{\text{eff}} = \frac{C_1}{2(\alpha m + 2)} \cdot \left(m(1+\alpha) + 3 - \sqrt{(m(1+\alpha))^2 + 2m(3+\alpha) + 1} \right) \tag{3.2}$$

$$L_{\text{eff}} = \frac{L_H^2}{(L_H - R^2 C_{\text{eff}})} \tag{3.3}$$

with $m = L_H/L_S$ and $\alpha = C_1/C_2$. Due to the effective capacitance C_{eff}, the gain response eventually falls with frequencies. From the described operation, it follows that the relative location of ω_1 to ω_3 is of utmost importance to effective bandwidth enhancement. This in turn requires careful selection of the inductance L_H and L_S for given C_1, C_2, and R of the starting *RC* network. It should be pointed out that the transformation only creates an equivalent network that assists the analysis, and any attempt to use it to represent the physical interpretation of the original network is entirely invalid.

A. *Analysis and Design Using Triple-Resonance Concept*

One important design criterion for the interstage peaking network is to minimize the passband ripple for minimum group delay variation and ISI. At low to midband frequencies, this flatness condition can be satisfied by appropriate choices of L_H and L_S which, as described above, determine the rise and fall characteristics of the network. Following the triple-resonance operation, an analytical design approach may be developed by first calculating the inductance L_H using the shunt peaking design equation at moderate peaking [13], i.e.,

$$L_H = \frac{R^2 C_1}{2}. \tag{4}$$

Note that only C_1 is included in (4) since the effect of C_2 on peaking is, to a certain extent, isolated by the series inductor L_S. Next, the inductance L_S can be selected for a flat response. This can be obtained by imposing a constraint for an identical output voltage response at low and midband frequencies (ω_{mid}), i.e., $|H(j\omega_{\text{mid}})| = R$ where $H(j\omega)$ is the transresistance of the network given by (5) at the bottom of the next page, where $\tau_1 = \sqrt{L_H C_1}$, $\tau_2 = \sqrt{L_S C_2}$, $\tau_3 = RC_1$, $\tau_4 = RC_2$ and $\tau_5 = L_S/R$. It is clear that the choice of the midband frequency ω_{mid} should be set to the highest possible value at which the desired flat response is still achievable. Since there is a limit

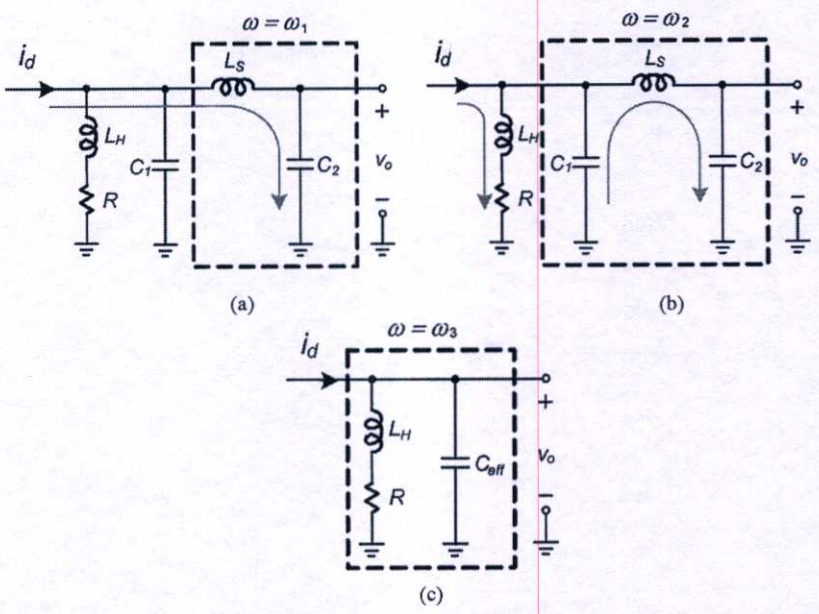


Fig. 6. Network configurations at each of the triple resonance frequencies [11]—(a) series resonance at ω_1 (b) and (c) parallel resonances at ω_2 and ω_3, respectively.

determined by the rise of the voltage response as we approach the series resonance ω_1, a suitable value may be chosen at half of the frequency at $\omega_{\text{mid}} = \omega_1/2$. By putting $|H(j\omega_1/2)| = R$, the design equation for L_S can be obtained and this is given by

$$L_S = \frac{L_H}{m} \tag{6.1}$$

where m is defined by

$$m = \frac{1}{(\alpha^3 + 3\alpha^2 + 2\alpha)} \times \left(2\alpha^2 - 6\alpha - 8 + \sqrt{20\alpha^4 + 18\alpha^3 + 32\alpha^2 + 96\alpha + 64}\right). \tag{6.2}$$

From the calculated L_H and L_S using (4) and (6), the bandwidth of the network, BW_i, can be obtained by solving (5) for BW_i at $|H(j2\pi\text{BW}_i)| = |H(j\omega_B)| = R/\sqrt{2}$. This however yields no closed-form solution and one must resort to numerical computation.

Gain peaking near the passband edge may be approximately determined at ω_2. Since, at the resonant frequency, all of i_d flows into the $L_H - R$ series impedance and $C_1 - C_2$ carry identical currents [Fig. 6(b)], the voltage peaking G_p can be expressed by

$$G_p = \alpha\left(\sqrt{1 + \left(\frac{1}{\tau_3} + \frac{1}{\tau_4}\right)m^2\tau_5}\right). \tag{7}$$

It should be noted that (7) is only given for the sake of completeness since, in practice, passband edge peaking is heavily suppressed by gate resistance of active devices and losses associated with inductors. Detailed analysis on peaking suppression due to these nonidealities will be given in Section IV.

B. BWER

Based on the developed design equations under the midband flat response constraint, the frequency characteristics of triple-resonance peaking can now be examined. To generalize the discussion, the following SH and HS peaking designs will be referenced to the starting *RC* interstage network of which the component values are normalized with $R = 1/g_m = 1$ and $C_g = 1$. The value of C_d will be adjusted relative to C_g to study its impact on the achievable bandwidth. By using (4) and (6), the inductances L_H and L_S for each of the normalized networks can be calculated and these are plotted in Fig. 7 for C_d/C_g ranging from 0.1 to 1.0. From the plots, it can be seen that L_S is always larger than L_H. More importantly, at $C_d/C_g = 1$, both networks require the same set of inductances because their transfer functions become identical as identified previously by the reciprocity theorem. Also, at $C_d/C_g = 1$, the component relationship $L_S \approx 2L_H$ matches that derived in [11].

From the calculated L_H and L_S values in Fig. 7, the corresponding bandwidth performance of the networks can be computed numerically. Shown in Fig. 8(a) is the bandwidth enhancement ratio (BWER), defined as the ratio of the network bandwidth (ω_B^{SH} or ω_B^{HS}) to that of its corresponding primitive *RC* network $\left(\omega_B^{RC} = 1/R(C_d + C_g)\right)$, versus C_d/C_g. The BWER

$$H(j\omega) = \frac{V_o(j\omega)}{I_d(j\omega)} = \frac{R\left(1 + j\omega m\left(\frac{\tau_2^2}{\tau_4}\right)\right)}{\left(1 + \omega^4\tau_1^2\tau_2^2 - \omega^2\left(1 + m\left(1 + \alpha\right)\right)\tau_2^2\right) + j\left(\omega\left(1 + \alpha\right)\left(\frac{\tau_2^2}{\tau_5}\right) - \omega^3\tau_2^2\tau_3\right)} \tag{5}$$

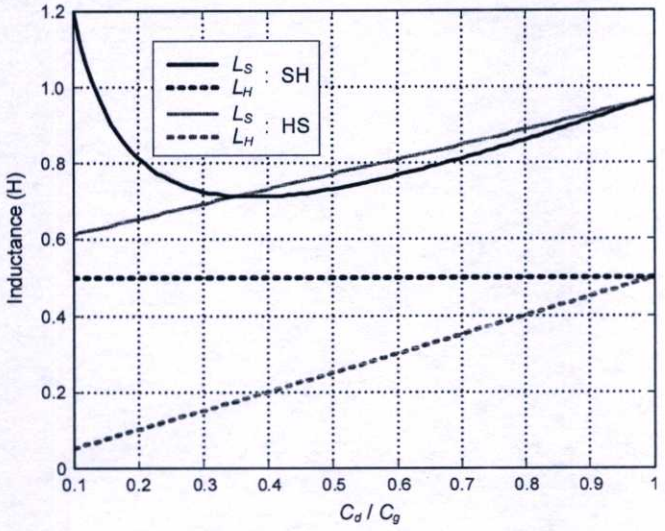


Fig. 7. Calculated normalized inductance plots versus C_d/C_g ratios for SH and HS peaking under flat midband constraint.

plots clearly suggest the superiority of SH peaking over its HS counterpart. At $C_d = C_g$ where both networks are identical, the BWER is at 3.54, in good agreement with the indication in [11]. Also observed from Fig. 8(a) is the opposite trend in the dependence of the BWER on the capacitor ratio. In SH peaking, the BWER is continuously improved at a smaller C_d/C_g and can be as large as 3.96 at $C_d/C_g = 0.1$. Interestingly, this value approaches the theoretically achievable BWER limit of a bandwidth enhancement two-port network at four [7]. In HS peaking, the reduction of C_d/C_g yields a smaller BWER. By inspecting the inductance plots in Fig. 7, it is seen that L_H is proportional to C_d/C_g in this case. Consequently, as C_d/C_g approaches zero, the designed HS network with a midband flat response essentially converges to simple series peaking. From Fig. 8(a), the BWER of HS peaking for $C_d/C_g = 0.1$ is at 1.554, close to the maximum achievable BWER of the series peaking network at 1.41 [13]. Using the BWER plots, the absolute normalized bandwidth in rad/sec, $\omega_B = 2\pi \mathrm{BW}_i$, versus C_d/C_g is given in Fig. 8(b). An important observation from the plot is that, with a typical value of $C_d/C_g = 0.6$, SH peaking should outperform its optimum HS counterpart (at about $C_d/C_g = 0.7$) in bandwidth by more than a factor of 1.22. For the case that the designed HS peaking has $C_d/C_g < 0.7$, an additional drain capacitance C_d' is necessary for optimum bandwidth. Fig. 8(c) shows the phase responses at different C_d/C_g ratios versus the normalized frequency ω/ω_B. The plots indicate sharp phase characteristics in the SH network near $\omega/\omega_B = 1$ at a smaller C_d/C_g. This is not of practical concern since much less steep phase responses are expected in practice due to component losses as will be discussed in Section IV. Also noticed is a smaller phase shift beyond $\omega/\omega_B = 1$ of the HS network at a smaller C_d/C_g and this is because the network essentially converges to simple series peaking.

The BWER degradation of HS peaking at a small C_d/C_g may be understood by investigating the movement of its associated three resonant frequencies, $\omega_1 - \omega_3$, against the change in the capacitor ratio. Without loss of generality, a specific case with the capacitor ratio adjusted from $C_d/C_g = 1.0$ (where both SH and HS networks are identical) to 0.6, is considered. Let

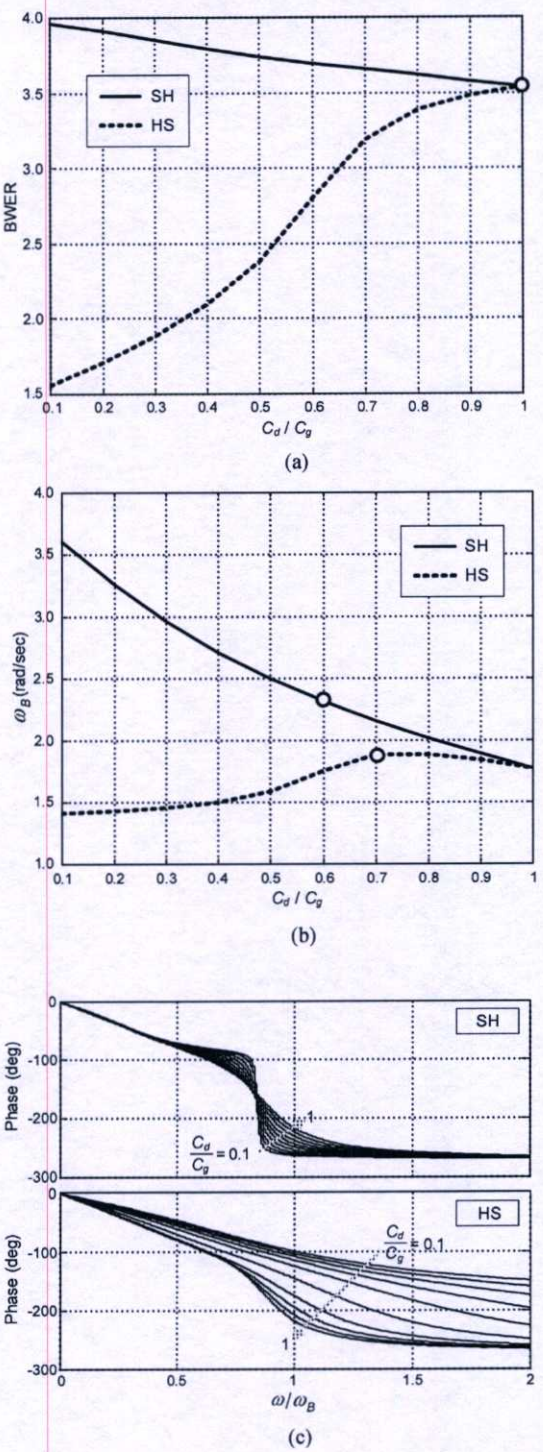


Fig. 8. Bandwidth performances versus C_d/C_g ratios for SH and HS peaking—(a) BWER, (b) absolute bandwidth and (c) phase responses at different C_d/C_g ratios.

us start by initially maintaining L_H and L_S to the designed values at $C_d/C_g = 1.0$. Under this condition, the movement of the resonance points is depicted in Fig. 9(a) where two distinct frequency re-allocations can be observed. For the SH network, $\omega_1 - \omega_3$ are moved together since they are all dependent on C_d [see (1)–(3) with $C_2 = C_d$]; hence their *relative* resonance points critical to the effectiveness of the bandwidth enhancement are practically intact. On the other hand, for the HS

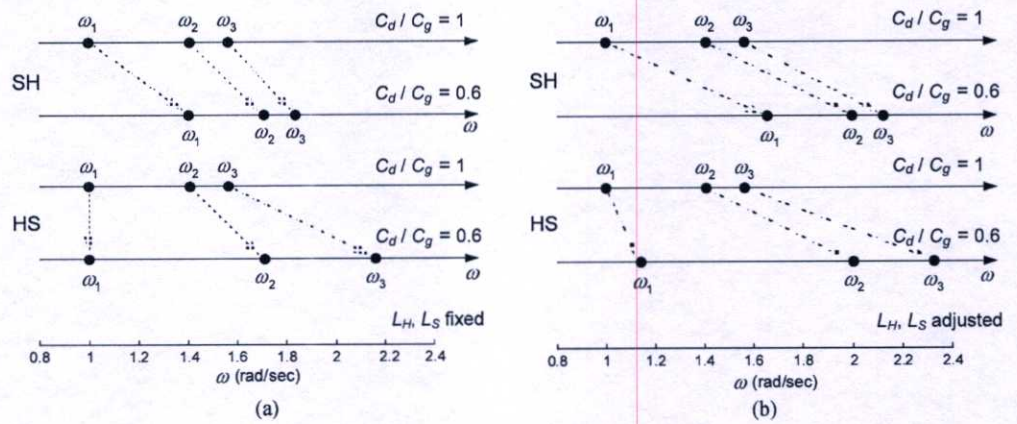


Fig. 9. Reallocation of triple-resonance frequency locations when C_d/C_g is changed from 1.0 to 0.6—(a) L_H and L_S are fixed for $C_d/C_g = 1.0$ and (b) L_H and L_S are adjusted for flat midband response at $C_d/C_g = 0.6$.

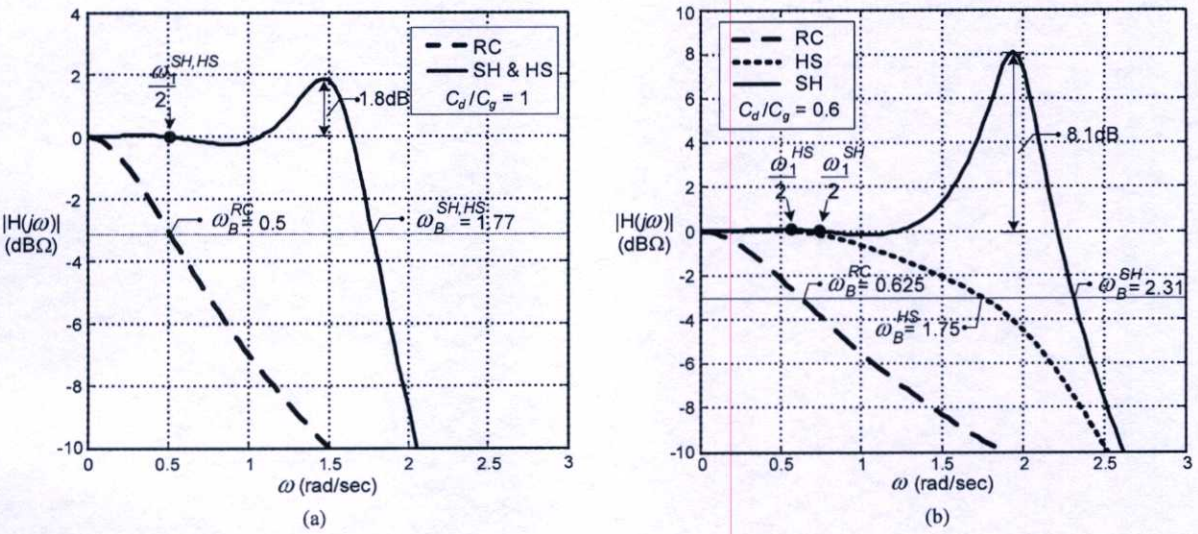


Fig. 10. Simulated frequency responses for normalized RC, SH and HS peaking networks at (a) $C_d/C_g = 1.0$ and (b) $C_d/C_g = 0.6$.

network, only ω_2 and ω_3 are dependent on C_d (when L_H and L_S are maintained) and thus they are considerably moved from ω_1 [see (1)–(3) with $C_2 = C_g$] as the capacitor ratio is changed. Following this, when the resonant frequencies are re-positioned for a flat midband response, i.e., by adjusting L_H and L_S in accordance with (4) and (6) for $C_d/C_g = 0.6$, their relative location at $C_d/C_g = 1.0$ is significantly disturbed [Fig. 9(b)]. As a consequence, even though the reduction of C_d moves all the resonance frequencies to higher frequencies, the bandwidth improvement offered by the HS network is invariably reduced.

As a verification of the above theoretical investigation, simulated magnitude responses, $|H(j\omega)|$, for the SH and HS peaking networks, as well as those of the primitive *RC* for reference, are given in Fig. 10. Two cases are considered in the figure, i.e., at: 1) $C_d/C_g = 1.0$ [Fig. 10(a)], and 2) $C_d/C_g = 0.6$ [Fig. 10(b)], with $R = 1/g_m = 1$ and $C_g = 1$. The simulated plots illustrate the flatness of all the responses up to $\omega_1/2$ as imposed by the design criterion. At $C_d/C_g = 1.0$, the networks exhibit an identical response with the BWER of 3.54.

At $C_d/C_g = 0.6$, the simulated responses indicate the BWER at 3.69 for the SH and at 2.8 for the HS networks, in good agreement with the plots of Fig. 8(a) and (b). Also, the voltage peaking levels of both networks agree well with (7). Note that, for practical CAs, there is considerable suppression of such pronounced pass-band edge peaking and this is discussed in Section IV.

IV. Nonideal Effects

In practice, the network frequency characteristics deviate from the ideal responses shown in Fig. 10 as a result of the nonidealities including parasitic capacitance and resistance. In addition, noise from active devices and resistive components dictate the minimum achievable signal at the CA's input. Analysis of these impacts on the CA's performance is given as follows.

A. Parasitic Capacitances

For practical SHCA and HSCA implementations, various capacitances contribute to the total drain and gate capacitances C_d and C_g, with a direct impact on bandwidth. These include the amplifier transistor's capacitance C_p^{Tr}, the parasitic capacitance C_p^L from $L_S - L_H$, and the parasitic capacitance C_p^I from component interconnection, which is in turn dependent on layout. When the amplifier stage is implemented using the cascode configuration to reduce the Miller capacitance effect and to increase the output drain resistance [4], the drain and gate capacitances

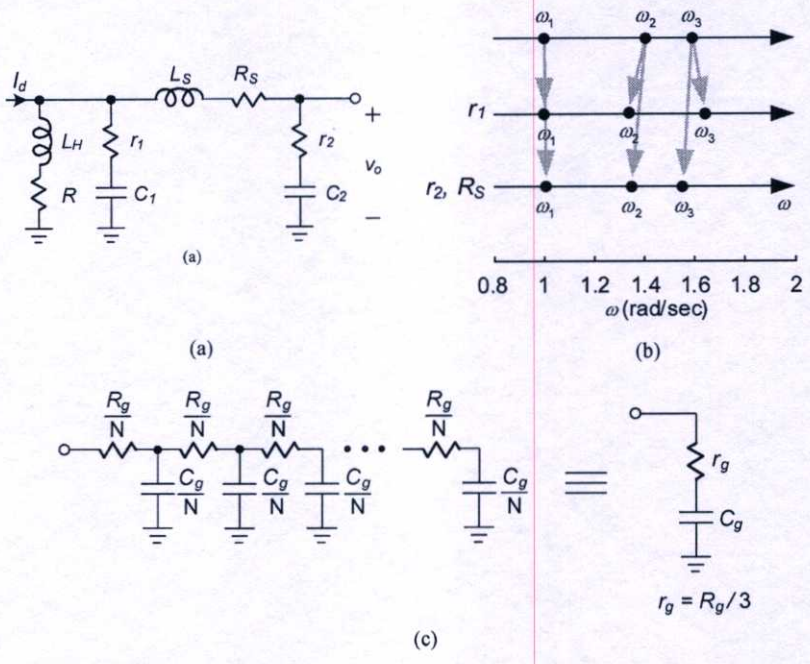


Fig. 11. (a) Modified reference network including equivalent parasitic resistances. (b) Associated resonance movement due to parasitic resistance effect. (c) Distributed MOS gate model and single lumped equivalent (N is the number of RC sections) [15].

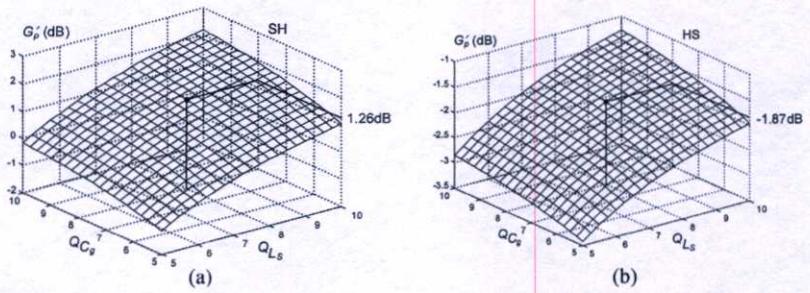


Fig. 12. Calculated plots of gain peaking versus quality factors Q_{Ls} and Q_{Cg} for (a) SH peaking and (b) HS peaking network with parasitic resistances.

resulting from transistors, assuming identical dimensions for both the amplifier and cascode transistors, can be given by

$$C_{pd}^{\mathrm{Tr}} \approx C_{gd} + C_{jdb} \tag{8.1}$$

$$C_{pg}^{\mathrm{Tr}} \approx C_{gs} + 2C_{gd} \tag{8.2}$$

where C_{gd} represents the parasitic gate-drain capacitance, C_{jdb} is the parasitic drain-bulk junction capacitances and C_{gs} is the intrinsic gate-source capacitance. Since the capacitance effect on the CA bandwidth can be significant, it should be taken into account at an early stage of the amplifier design.

B. Parasitic Resistances

For a CA with the cascode amplifier configuration, the major nonidealities attributed to parasitic resistances are the series gate resistance and the losses associated with the series inductor L_S. Even though the quality factor of the shunt inductor L_H is finite, it has a negligible effect since its equivalent loss resistance appears in series with a relatively large load resistance R. To analyze their effects, these parasitics may be modeled in the reference network of Fig. 5(b) by the *effective* gate resistance r_g and the inductor resistance R_S shown in Fig. 11(a) where $r_1 = r_g$ and $r_2 = 0 (C_1 = C_g, C_2 = C_d)$ for SH peaking and $r_1 = 0$ and $r_2 = r_g (C_1 = C_d, C_2 = C_g)$ for HS peaking. Note that the distributed RC nature of the MOS transistor's lossy gate can be modeled by the single series connection of r_g and C_g with the effective resistance r_g equal to one-third of the total gate resistance R_g, i.e., $r_g = R_g/3$, as shown in Fig. 11(c)[15]. Also note that, even though r_g is only present in series with C_{gs}, the simplified model of Fig. 11(a) is a good approximation since C_{gs} typically contributes most to C_g. The impact of r_g and R_S may be investigated by considering the lossy network of Fig. 11(a) through the triple resonance concept. With reference to Fig. 6, it can be seen that the parasitic resistances effectively reduce the Q of the series resonance at ω_1 [cf. Fig. 6(a)] and the parallel resonances at ω_2 and ω_3 [cf. Fig. 6(b) and (c)]. This yields an immediate consequence on passband-edge peaking suppression. In addition, since the position of the resonant frequencies is inevitably disturbed by the Q reduction, there is also an effect on the amplifier bandwidth. Fig. 11(b) depicts the resonance movement against r_1, r_2 and R_S for the normalized lossy reference networks at $C_1/C_2 = 1$. As indicated, while ω_1 is relatively fixed, ω_2 and ω_3 are either spilt apart or both shifted to lower

frequencies as a result. This thus implies bandwidth degradation in both the lossy SH and HS networks due to the Q reduction.

Similar to the analysis in Section III, the peaking and bandwidth performance of the lossy SH and HS networks can be determined from the transresistance, $H'(j\omega)$, of the reference network in Fig. 11(a) and this is given by (9), shown at the bottom of the page, where the quality factors in the equation are defined as $Q_{Ls} = \omega L_S/R_S$, $Q_{C1,2} = 1/\omega r_{1,2}C_{1,2}$ and $Q' = Q_{Ls}Q_{C1}Q_{C2}$. With the use of (9), the passband-edge peaking of the lossy reference network G'_p can be approximated at ω_2 of the ideal reference network of Fig. 5(b) [see (2)] and this is expressed as $G'_p = \delta G_p$ where δ is given by (10), shown at the bottom of the page. Note that Q_{Ls}, $Q_{C1,2}$ and Q' in (10) are also defined at ω_2 of the ideal network. By using (10), the surface plot of the peaking level G'_p versus the Qs is shown in Fig. 12(a) for the SH network at $C_d/C_g = 0.6$, and in Fig. 12(b) for the HS network at $C_d/C_g = 1.0$. Due to higher losses, the peaking continuously drops at smaller Qs. For a particular case of interest at $Q_{Ls} = Q_{Cg} = 8$, the SH network exhibits about 1.26-dB peaking—a drop by as much as 7 dB from the ideal response in Fig. 10(b). For the HS network, the peaking disappears and there is attenuation at about -1.87 dB [see (9) and (10)].

Also based upon the transfer function in (9), the resulting BWER and absolute bandwidth that include the effect of the parasitic resistances can be computed numerically. The BWER dependences against the ratio C_d/C_g are given in Fig. 13(a) for a set of $Q_{Ls} = Q_{Cg} = 4$, 8, 16, and ∞ at ω_2. Whereas the plots indicate the degradation of the BWER with the Q reduction as implied by the triple resonance movement in Fig. 11(b), it is noticed that the impact on HS peaking is more pronounced. Another important observation can be made from the plots of the corresponding absolute bandwidth in Fig. 13(b) for the normalized networks with $R = 1/g_m = 1$ and $C_g = 1$. When compared to the ideal case in Fig. 8(b), in the presence of the parasitics, the optimum bandwidth of HS peaking occurs at a larger C_d/C_g, i.e., approaching $C_d/C_g = 1$, with a consequent requirement of a larger C'_d. Also, from the phase plots versus the normalized frequency ω/ω_B of Fig. 13(c), as compared to Fig. 8(c), the lossy SH network exhibits considerably less steep phase characteristics, particularly at a small C_d/C_g.

The surface plots of the BWER versus Q_{Ls} and Q_{Cg} at ω_2 are given in Fig. 14(a) for lossy SH peaking at $C_d/C_g = 0.6$, and in Fig. 14(b) for the optimum lossy HS peaking at $C_d/C_g = 1.0$. At $Q_{Ls} = Q_{Cg} = 8$, the BWER drops from 3.7 to 3.5 (5.4% reduction) for SH, and from 3.54 to 3.25 (8% reduction) for HS peaking. This suggests that, although the parasitic effect is included, SH peaking still maintains a bandwidth advantage.

As a verification, simulated magnitude and phase responses for the lossy SH and HS peaking networks are given where two cases are considered, i.e., at: 1) $C_d/C_g = 1.0$ for the normalized HS network [Fig. 15(a)], and 2) $C_d/C_g = 0.6$ for the normalized SH network [Fig. 15(b)]. Also included in Fig. 15(a) and (b) for comparison are the simulated responses based on the distributed RC gate model at $N = 32$ [see Fig. 11(c)] where close matching with the responses based on the single $r_g - C_g$ gate model is observed. From the magnitude plots, the HS network exhibits a BWER of 3.25 and an attenuation at -1.87 dB whereas the simulated responses for SH indicate the BWER at 3.5 and peaking at 1.28 dB, in good agreement with the plots of Fig. 12(a) and (b) and Fig.14(a) and (b). The phase plots indicate similar phase characteristics between the two networks with respect to their corresponding bandwidths. It should be noted that, due to such changes of both peaking and bandwidth of a practical CA, some adjustments on L_H and L_S from the design equations in (4) and (6) are necessary to maintain a flat response at midband frequencies.

C. Noise Characteristics

Due to the multiplicative noise characteristic of a CA, its noise performance is inferior to a classical DA. By considering only thermal noise, the noise factor F of a CA with identical stages for frequencies up to near the passband edge can be expressed by

$$F = 2 + 4\frac{R}{R_o}\left(\left(\frac{1}{(g_m)^{2n}R^{2n-1}R_o} - 1\right) + \left(1 + \frac{\gamma}{g_m R}\right)\sum_{i=0}^{n-1}\frac{1}{(g_m R)^{2i}}\right) \quad (11)$$

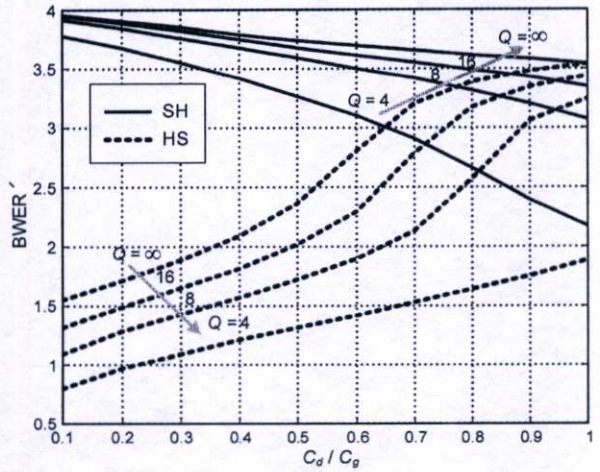
where R_o represents both the input source and output load impedances, and γ denotes the excess noise coefficient. Note that the noise figure equation omits thermal noise from the bulk resistance of the gate material, and the gate-induced noise that is only significant when the operating frequency approaches the transition frequency f_T of the transistors [13]. Since a CA typically exhibits bandwidth somewhat less than f_T, only the drain current thermal noise appears as the dominant transistor noise source over the entire bandwidth of the amplifier. To assist the following design procedure in Section V, (11) may be expressed in terms of the overall amplifier parameters, with all variables related to devices and components removed, as

$$F = 2 + \left(\frac{1}{G_{\text{tot}}^2} - 4\rho\right) + \left(4\gamma\left(\frac{\rho^{2(n-1)}}{4G_{\text{tot}}^2}\right)^{1/2n} + 4\rho\right)\sum_{i=0}^{n-1}\left(\frac{1}{4\rho^2 G_{\text{tot}}^2}\right)^{i/n} \quad (12)$$

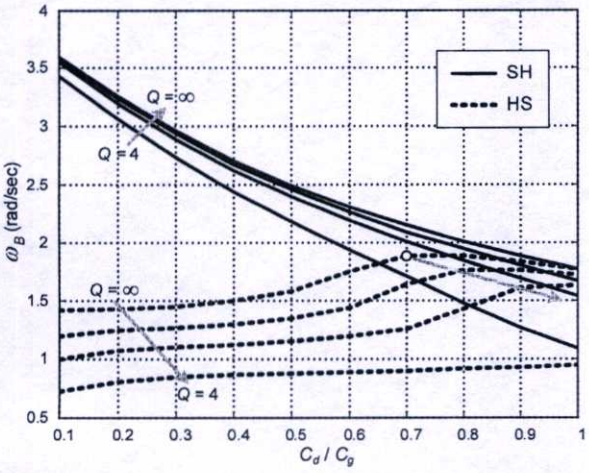
where $\rho = R/R_o$, $G_{\text{tot}} = (g_m R)^n/2\rho = G_i^n/2\rho$ [8], [9]. It should be noted from (12) that F increases with both n and ρ.

$$H'(j\omega) = \frac{R\left[\left(1+j\omega m\left(\frac{\tau_2^2}{\tau_4}\right)\right)\left(-Q_{Ls}(Q_{C1}+Q_{C2})+j(Q'-Q_{Ls})\right)\right]}{\left[\omega^4(\tau_1\tau_2)^2Q_{C1}Q_{C2}+\omega^3\tau_2^2\tau_3Q'+\omega^2\left(\tau_2^2(Q_{Ls}Q_{C2}(1+m)-Q_{C1}Q_{C2})+\tau_1^2Q_{Ls}Q_{C1}\right)-\omega Q'(\tau_3+\tau_4)+Q_{Ls}(1-(Q_{C1}+Q_{C2}))\right]+ j\left[\omega^4(\tau_1\tau_2)^2Q'-\omega^3\tau_2^2\tau_3Q_{C1}Q_{C2}-\omega^2\left(\tau_2^2(Q'(1+m)+Q_{C2})+\tau_1^2Q'\right)-\omega Q_{Ls}(\tau_3Q_{C1}+\tau_4Q_{C2})+Q'-Q_{Ls}\right]} \quad (9)$$

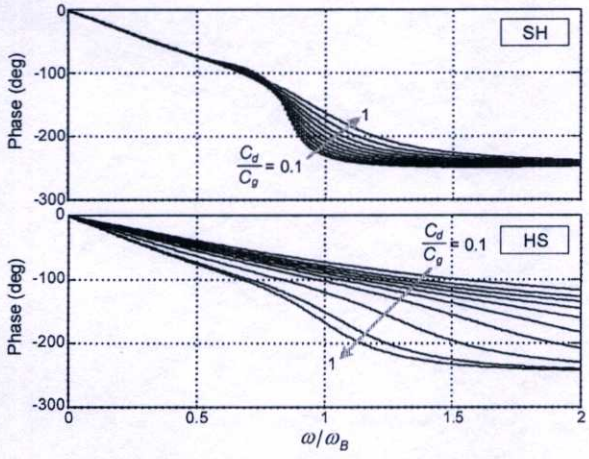
$$\delta = \frac{m\sqrt{(Q_{Ls}(Q_{C1}+Q_{C2}))^2+(Q'-Q_{Ls})^2}}{\sqrt{\left[(\omega_2\tau_1)^4Q_{C1}Q_{C2}+\omega_2^3\tau_1^2\tau_3Q'+\omega_2^2\tau_1^2(Q_{Ls}(Q_{C2}+m(\alpha Q_{C1}+Q_{C2}))-Q_{C1}Q_{C2})-\omega_2(\tau_3+\tau_4)m\alpha Q'+m\alpha Q_{Ls}(1-(Q_{C1}+Q_{C2}))\right]^2+ \left[(\omega_2\tau_1)^4Q'-\omega_2^3\tau_1^2\tau_3Q_{C1}Q_{C2}-\omega_2^2\tau_1^2(Q'(1+m(1+\alpha))+Q_{C2})-\omega_2(\tau_3Q_{C1}+\tau_4Q_{C2})m\alpha Q_{Ls}+m\alpha(Q'-Q_{Ls})\right]^2}} \quad (10)$$



(a)



(b)



(c)

Fig. 13. Effect of parasitic resistances (via the Q factors $Q_{Ls} = Q_{Cg} = Q$) on (a) BWER, (b) normalized bandwidth and (c) phase responses at $Q = 8$.

At a larger n, a lower gain per stage, particularly in the first few stages, leads to more noise contribution of subsequent stages and hence a higher F results. At a higher ρ, although the stage transconductance g_m is reduced, more stage noise ($\propto g_m R^2 = g_m \rho^2 R_o^2$) is effectively generated due to higher interstage resistance. From the described characteristic, it follows that, given CA specifications, both n and ρ should be minimized for a low noise design.

V. Design Examples

A. Initial Design Calculation

Based on the developed equations in the previous sections, a flow of initial parameters' calculation that can be equally applied to both SHCA and HSCA is outlined as follows. The design may start from a selection of the number of stages n which should be kept small. For most typical applications with low to moderate noise requirement, n is lower than five stages [11]. From the total gain and noise factor specifications, G_{tot} and F, the resistor ratio ρ is determined at the selected n using (12) and this yields the interstage resistance $R = \rho R_o$. Next, the interstage gain G_i can be decomposed from G_{tot} at

$$G_i = \sqrt[n]{2\frac{R}{R_o}G_{\text{tot}}} = \sqrt[n]{2\rho G_{\text{tot}}} \tag{13}$$

and the required transconductance g_m for the transistor at each stage is at $g_m = G_i/R$. For the CA to exhibit gain advantage over the DA, it requires that $G_i > n^{(1/n-1)}$[8]. If this is not the case, n should be reduced until the condition is satisfied. From the total bandwidth specification BW_{tot}, since both SH and HS peaking are fourth-order networks, the interstage bandwidth BW_i may be calculated by [12]

$$\text{BW}_i = \frac{\text{BW}_{\text{tot}}}{\left(\sqrt[k]{2^{1/n}-1}\right)} \tag{14}$$

where k is equal to 8. By combining (13)–(14) and the BWER definition, the total gate capacitance at each of the transistor amplifiers is determined at

$$C_g = \frac{\text{BWER}'}{(1+\alpha)} \cdot \frac{g_m}{G_i 2\pi \text{BW}_i}. \tag{15}$$

The equation requires estimation of the parameters $\alpha = C_d/C_g$ and BWER′ which can be obtained from the plot similar to Fig. 14(a) and (b) where the effect of the parasitic resistances is included via the estimated parameters Q_{Ls} and Q_{Cg}. With another estimation on the parasitic capacitances that contribute to C_g and C_d, the intrinsic gate-source capacitances C_{gs} and hence the amplifier transistor's width W at the minimum feature length $L_{\min}$ can be computed. Continuing the design, by using the short-channel MOS transistor model equations (see [13] for an example), the transistor gate-overdrive $V_{od}(= V_{gs} - V_t)$ and the drain current consumption I_d are obtained. Subsequently, the inductances L_H and L_S are determined using (4) and (6) where $C_1 = C_g$ and $C_2 = C_d$ for SHCA and *vice versa* for HSCA. For optimum bandwidth in HSCA, an additional capacitance may be required to make the ratio $C_d/C_g = 1.0$ as indicated by the theoretical plot in Fig. 13(b). At this stage, the estimation of the parasitic capacitances and resistances in the amplifier transistors and

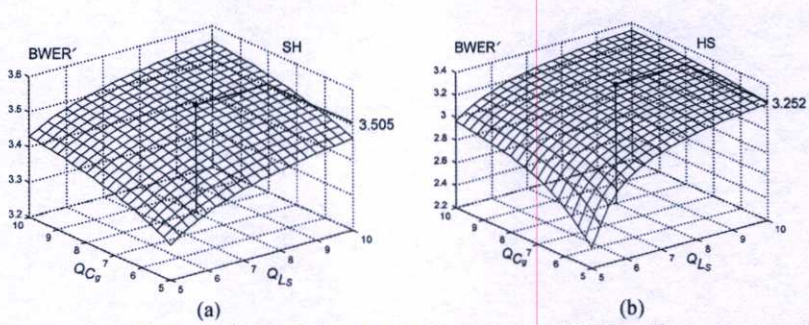


Fig. 14. Calculated plots of BWER versus quality factors Q_{Ls} and Q_{Cg} for (a) SH peaking and (b) HS peaking networks with parasitic resistances.

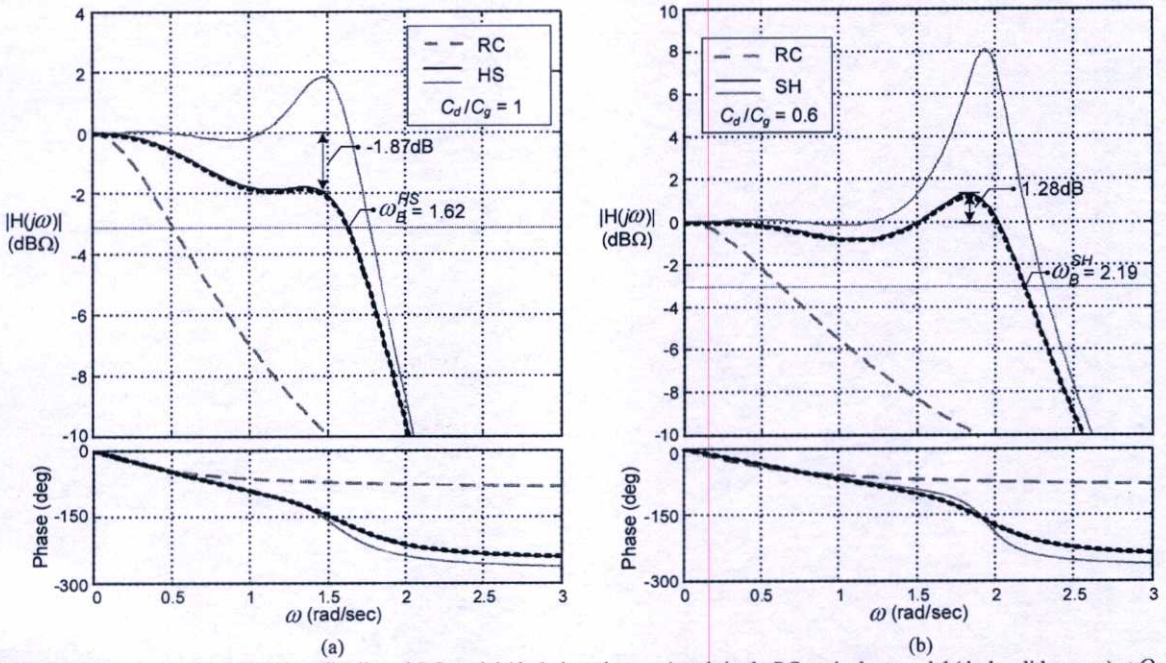


Fig. 15. Simulated frequency responses based on distributed *RC* model (dark dotted curves) and single *RC* equivalent model (dark solid curves) at $Q_{Ls} = Q_{Cg} = 8.0$ for (a) HS peaking at $C_d/C_g = 1.0$ and (b) SH peaking network at $C_d/C_g = 0.6$.

inductors can be made more accurate with the help of simulation using practical electrical RF models and layouts. This also enables selection of the dimensions of the inductors L_H and L_S for the desired Qs via the plot similar to Fig. 12 so that the passband-edge peaking of the CA can be controlled. By putting back the simulated parasitics into (15), the parameters W, V_{od} and I_d can be re-calculated with improved precision. Finally, given the simulated total capacitances C_g and C_d, the input and output matching inductances of the CA can be obtained based on the traditional T-network design.

B. Simulation Results

To demonstrate the integrity of the analysis and design, the SHCA has been designed, laid out and simulated using a 0.18-μm 1.8 V 6-Metal RF CMOS process. The amplifier's total gain was specified at $G_{\text{tot}} \geq 15$ dB and the bandwidth at $\text{BW}_{\text{tot}} \geq 12.5$ GHz. The specified noise factor is at $F \leq 10$ (or ≤ 10 dB). The input source and output load impedances are selected at $R_o = 50\ \Omega$. For implementation of the amplifier stages, the cascoded transistor configuration was employed.

For realistic simulation, practical RF MOS device and passive component models provided by the process design kit were employed. The interconnect parasitics were characterized via electromagnetic (EM) simulation and these were subsequently included in SpectreRF circuit simulation. Following the outlined

TABLE I
SUMMARY OF DESIGN PARAMETERS FOR THE SHCA

Specifications		
$G_{tot} \geq 15$dB $\text{BW}_{tot} \geq 12.5$GHz $F \leq 10$		
Amplifier parameters		
$n = 4$ $G_i = 2.027$ $g_m = 27.03$mS $R = 75\Omega$ $\text{BW}_i = 15.4$GHz		
Component parameters		
Parameters	Initial values	Final values
C_g	300fF	255fF
C_{pg}^{Tr}	180fF	170fF
$C_p^{\text{I}} + C_p^{\text{L}}$	$0.4C_g$	(0.137+0.196) C_g
W	90μm	85μm
V_{od}	0.248V	0.32V
I_d	4.67mA	6.155mA
L_H	0.85nH	1.16nH
L_S	1.3nH	1.67nH
$\alpha = C_d/C_g$	0.6	0.63
Q_{Ls} / Q_{Cg} [@ω_2]	8 / 8 [@$2\pi \cdot 13.16 \cdot 10^9$ rad/sec]	7.7 / 6.7 [@$2\pi \cdot 12.4 \cdot 10^9$ rad/sec]
R_S / r_g	13.43 / 5	NA

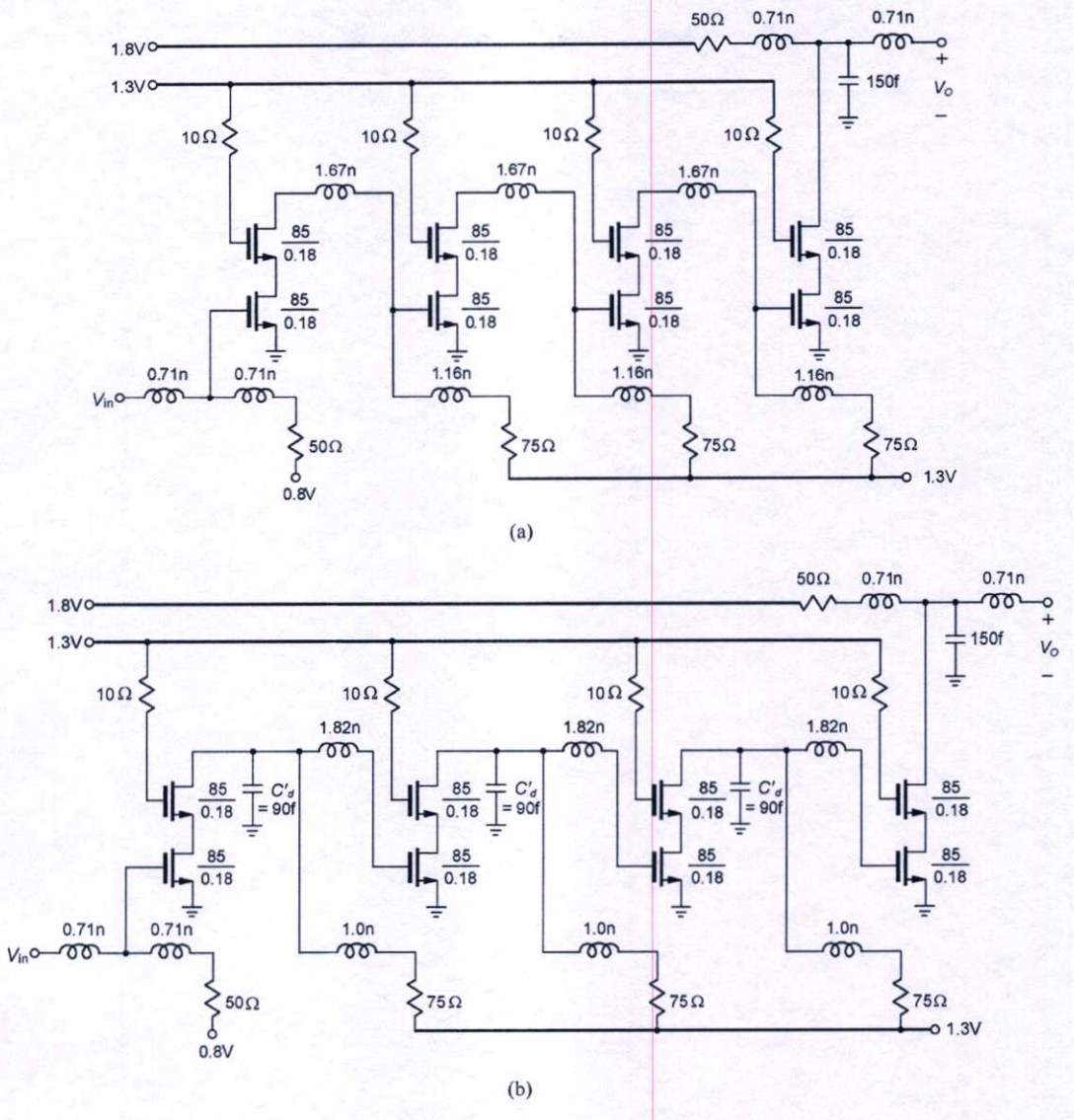


Fig. 16. Schematics of the designed SHCA and HSCA with four stages.

TABLE II
SUMMARY OF DESIGN PARAMETERS FOR THE HSCA

Parameters	Initial values	Final values
C_g	300fF	215fF
C_{pg}^{Tr}	180fF	170fF
$C_p^I + C_p^L$	*0.4*C_g	(0.095+0.116) C_g
L_H	0.85nH	1.0nH
L_S	1.64nH	1.82nH
C'_d	72fF	90fF
Q_{Ls} / Q_{Cg} [@ω_2]	*8 / 8* [@$2\pi\cdot10.15\cdot10^9$ rad/sec]	7.7 / 8.3 [@$2\pi\cdot11.38\cdot10^9$ rad/sec]
R_S / r_g	*13 / 6.5*	NA

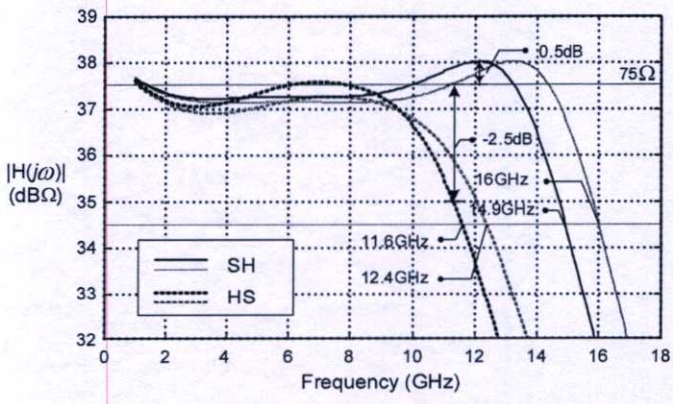


Fig. 17. Simulated interstage responses of the four-stage SHCA and HSCA without interconnection parasitics (gray lines) and with parasitics (dark lines).

parameters' design at four stages, i.e., $n = 4$, the initial component values can be computed. Subsequently, these were adjusted manually via simulation for the final values. Table I summarizes the initial and final design parameters of the SHCA where close matching between the two parameters implies the efficiency of the design flow. In the table, the numbers in italic were estimated values for calculation of the initial parameters. Also, the final inductances are larger than the initial design and this is mainly to account for the parasitic resistance effect.

TABLE III
INTER-STAGE BANDWIDTH PERFORMANCE UNDER EXTREME PROCESS AND TEMPERATURE CONDITIONS

Condition (°C) \ Performance		BW_i^{SH} (GHz)	BW_i^{HS} (GHz)	BW_i Ratio
Slow	−40	15.14	11.51	1.31
	27	14.39	11.2	1.28
	100	13.48	10.85	1.24
Typical	−40	15.52	11.81	1.31
	27	14.9	11.6	1.28
	100	14.07	11.25	1.25
Fast	−40	15.24	11.72	1.30
	27	14.13	11.39	1.24
	100	13.02	11.03	1.18

Fig. 16(a) shows the schematic of the designed SHCA. A resistor (10 Ω) is inserted at the gate of each of the cascode transistors for good stability [4]. In the amplifier layout (not shown), the circular spiral using metal 6 was adopted for all the inductors. For comparison, the four-stage HSCA was also designed using the same transistor stage with $W/L_{\min}$, I_d and R identical to the final parameter assignment in Table I. This essentially yields the same gain and power consumption as those of the SHCA but the bandwidth is different. The amplifier schematic is shown in Fig. 16(b) with the additional C_d', implemented by a MIM capacitor, included for optimum bandwidth. The final inductance and capacitance design values are listed in Table II for the optimum HSCA. From Tables I and II, since the resulting overall capacitance ratio at each of the SHCA transistor gain stages is $C_d/C_g = 0.63$, it is anticipated from the BWER plots in Fig. 14(a) and (b) under their corresponding final Q parameters that the SHCA should exhibit a bandwidth advantage over the HSCA, with C_d' added to yield $C_d/C_g = 1.0$, by about a factor of 1.3.

The simulated interstage frequency responses of the designed SHCA and HSCA with and without interconnect parasitic capacitances are shown in Fig. 17. It is seen that, for both of the CAs, a bandwidth reduction by about 7% results from the parasitics. For the SHCA, the interstage peaking near the passband edge frequency at $\omega_2 = 2\pi 12.4 \cdot 10^9$ rad/s is 0.5 dB. For the HSCA, there is −2.5 dB attenuation at its $\omega_2 = 2\pi 11.38 \cdot 10^9$rad/s. The interstage bandwidth of the HSCA is at 11.6 GHz and that of the SHCA is larger by a factor of 1.28, i.e., at 14.9 GHz, close to the theoretical prediction. It should be noted that, as indicated by simulation under extreme process and temperature conditions, the relative bandwidth figures between the interstage responses of the SHCA and HSCA are only varied slightly, as summarized in Table III.

Fig. 18(a) shows the simulated overall frequency characteristics of the four-stage CAs. The responses indicate the SHCA bandwidth at 12.8 GHz and this is about 1.2 times more than the bandwidth of the optimum HSCA at 10.6 GHz. From the responses in Fig. 18(a), both the CAs exhibit a low- frequency gain at 15.7 dB and the return loss characteristics at the input and output ports are all kept below −10 dB within their corresponding bandwidth. Fig. 18(b) shows the simulated phase responses of the amplifiers. The simulated noise factor F (in decibles) of the amplifiers is almost identical at 10 dB [Fig. 18(c)] for frequencies up to their passband edges. Note that simulation also indicates a less than 4% contribution from gate noise. Finally, simulated output eye diagrams for a set of 12.5- and 15-Gb/s input random data are given in Fig. 19(a) and (b) confirming the speed advantage in the SHCA.

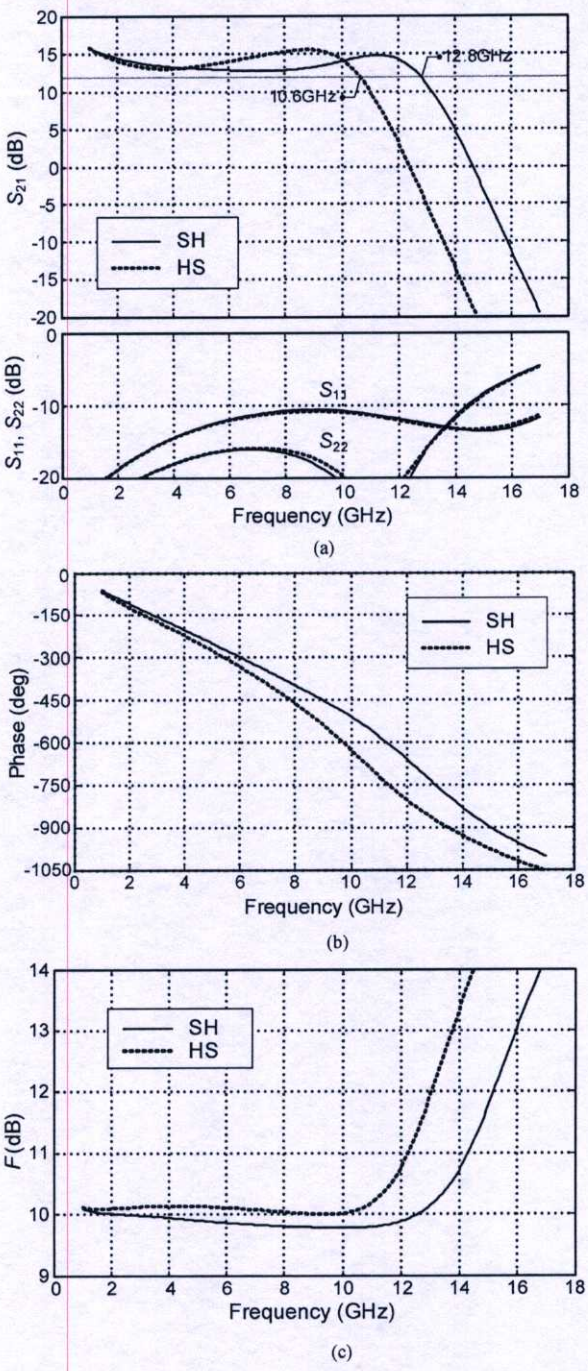


Fig. 18. Simulated CA performances (a) overall magnitude responses (b) phase responses (c) noise figure.

VI. CONCLUSION

The triple-resonance bandwidth enhancement techniques based on SH and HS peaking for interstage networks of wide-band CAs have been investigated. From the qualitative time-domain operation, although both networks enable serial charging of the drain and gate capacitances, it has been shown that SH peaking inherently offers superior bandwidth enhancement due to less diversion of the gate charging current. By using the triple-resonance concept, the frequency-domain

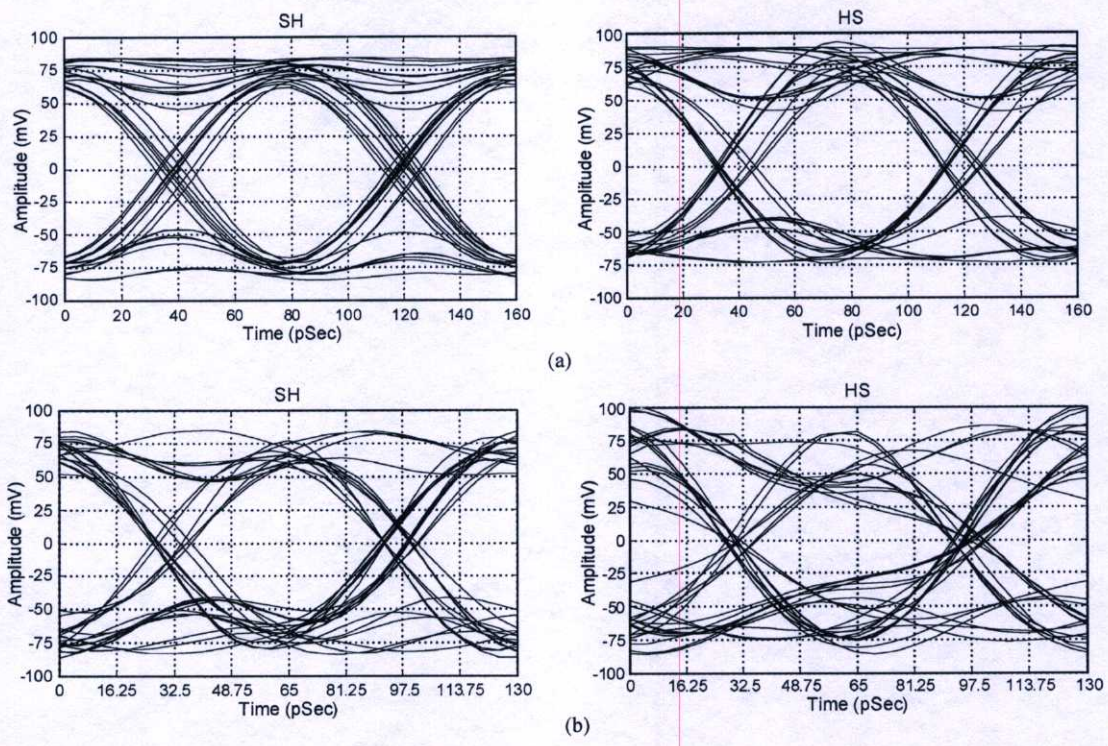


Fig. 19. Simulated eye diagrams at (a) 12.5 Gb/s and (b) 15 Gb/s.

characteristics of the networks were studied. Based upon this frequency-domain insight and also the reciprocal property between the SH and HS networks, analytical design equations that are equally applicable to both networks have been developed. Subsequently, the equations were employed for a quantitative bandwidth comparison. The frequency characteristics of both peaking networks against the capacitor ratio C_d/C_g were discussed through the relative locations of their three resonant frequencies. Specifically, it has been shown that SH peaking maintains a high BWER over a wide range of C_d/C_g ratios and, as the ratio converges to zero, its BWER approaches the theoretical limit of a bandwidth enhancement two-port network. On the other hand, HS peaking exhibits a considerably inferior BWER. Moreover, its BWER is degraded as the ratio C_d/C_g decreases and a certain C_d/C_g ratio is required to achieve optimum HS bandwidth. Peaking suppression and bandwidth reduction in the SH and HS networks as a result of the nonideal effects due to transistor's gate resistance and inductors' losses were analyzed in detail. The noise expression of a CA was given and calculation of the initial parameters was described. Verification of the analysis equations was provided via practical simulations where close agreement between the theoretical indications and simulation results was observed. Following the extensive theoretical analysis and verification, SH peaking has manifested itself as a superior technique for implementation of integrated wide-band CMOS CAs.

REFERENCES

[1] E. L. Ginzton, W. R. Hewlett, J. H. Jasberg, and J. D. Noe, "Distributed amplification," *Proc. IRE*, vol. 36, pp. 956–969, Aug. 1948.

[2] S. Kimura and Y. Imai, "0–40-GHz GaAs MESFET distributed baseband amplifier ICs for high-speed optical transmission," *IEEE Trans. Microw. Theory Tech.*, vol. 44, no. 11, pp. 2076–2082, Nov. 1996.

[3] B. M. Ballweber, R. Gupta, and D. J. Allstot, "A fully integrated 0.5–5.5-GHz CMOS distributed amplifier," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 231–239, Feb. 2000.

[4] R. C. Liu, C. S. K. Lin, L. Deng, and H. Wang, "Design and analysis of DC-to-14-GHz and 22-GHz CMOS cascode distributed amplifiers," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1370–1374, Aug. 2004.

[5] S. S. Mohan, M. M. Hershenson, S. P. Boyd, and T. H. Lee, "Bandwidth extension in CMOS with optimized on-chip inductors," *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 346–355, Mar. 2000.

[6] C. H. Wu, C. H. Lee, W. S. Chen, and S. I. Lui, "CMOS wide-band amplifiers using multiple inductive-series peaking technique," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 548–552, Feb. 2005.

[7] B. Analui and A. Hajamiri, "Bandwidth enhancement for transimpedance amplifiers," *IEEE J. Solid-State Circuits*, vol. 39, no. 8, pp. 1263–1270, Aug. 2004.

[8] J. Y. Liang and C. S. Aitchison, "Gain performance of cascade of single stage distributed amplifiers," *Electron. Lett.*, vol. 31, no. 15, pp. 1260–1261, Jul. 1995.

[9] A. Worapishet, S. Srisathit, and M. Chongcheawchamnan, "Broadband amplification in CMOS technology using cascaded single-stage distributed amplifier," *Electron. Lett.*, vol. 38, no. 14, pp. 675–676, Jul. 2002.

[10] M. D. Tsai, K. L. Deng, H. Wang, C. H. Chen, C. S. Chang, and J. G. J. Chern, "A miniature 25-GHz 9-dB CMOS cascaded single-stage distributed amplifier," *IEEE Microw. Wireless Compon. Lett.*, vol. 14, no. 12, pp. 554–556, Dec. 2004.

[11] S. Galal and B. Razavi, "40-Gb/s amplifier and ESD protection circuit in 0.18-μm CMOS technology," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2389–2396, Dec. 2004.

[12] R. P. Jindal, "Gigahertz-Band high-gain low-noise AGC amplifiers in fine-line NMOS," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 4, pp. 512–521, Aug. 1987.

[13] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*. New York: Cambridge University Press, 1998.

[14] C. A. Desoer and E. S. Kuh, *Basic Circuit Theory*, . Berkeley: University of California, 1969.

[15] B. Razavi, R. H. Yan, and K. F. Lee, "Impact of distributed gate resistance on the performance of MOS devices," *IEEE Trans. Circuits Syst. I., Fundam Theory Appl.*, vol. 41, no. 11, pp. 750–754, Nov. 1994.



Apisak Worapishet (M'00) received the B.Eng. degree from King Mongkut's Institute of Technology, Ladkrabang, Thailand, in 1990, the M.Eng.Sc. degree from the University of New South Wales, Sydney, Australia in 1995 both in electrical engineering, and the Ph.D. degree in electrical engineering from Imperial College of Science, Technology and Medicine, London, U.K., in 2001.

Since 1990, he has been with Mahanakorn University of Technology, Nong-Chok, Thailand, where he currently serves as the director of Mahanakorn Microelectronics Research Center (MMRC) and an Associate Professor at Telecommunication Department. His current research interest includes mixed-signal CMOS analog integrated circuits and RF CMOS circuits and systems. Dr. Apisak is also a member of the IEICE and the Analogue Signal Processing Technical Committee (ASPTC) of the IEEE Circuit and System Society (CAS).



Ittipat Roopkom was born in Bangkok, Thailand. He received the B.E. and M.E. degrees in telecommunication engineering from Mahanakorn University of Technology, Nong-Chok, Thailand, in 2002 and 2005, respectively. he is currently working toward the Ph.D. degree at King Mongkut's Institute of Technology, Ladkrabang, Thailand.

Since 2006, he has been with the Faculty of Engineering and Research Center for Communications and Information Technology (ReCCIT), King Mongkut's Institute of Technology,. His research focuses on broadband circuit for communication system.



Wanlop Surakampontorn (M'79–SM'04) was born in Bangkok, Thailand. He received the B.Eng. and M.Eng. degrees in electrical engineering from the King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1976 and 1978, respectively, and the Ph.D. degree in electronics from the University of Kent, Canterbury, Kent, U.K., in 1983.

Since 1978, he has been a Member of the Department of Electronics, Faculty of Engineering, KMITL, where he is currently a Senior Professor of Electronic Engineering. His research interests are in the areas of analog and digital integrated circuit designs, real-time application of PC computers and microprocessors, digital signal processing, electronic instrumentation, and VLSI signal processing.

Dr. Surakampontorn received the Outstanding Scientist of Thailand Award in 1996 and The National Award for Distinguished Researcher, Thailand, in 1998. He is a member of the IEICE.

Theory and Bandwidth Enhancement of Cascaded Double-Stage Distributed Amplifiers

Apisak Worapishet, *Member, IEEE*, Ittipat Roopkom, and Wanlop Surakampontorn, *Senior Member, IEEE*

Abstract—**Theoretical analysis and bandwidth enhancement of the cascaded double-stage distributed amplifiers (CDSDA) are presented. The characteristics of the general cascaded multi-stage distributed amplifiers (CMSDA) with open idle drain terminations at intersections for a high gain are investigated with lossy artificial lumped line models. This reveals the inherent bandwidth limitation of the CMSDA due to interference from the reverse wave reflection at the open drain terminations. To achieve simultaneous high gain and bandwidth, drain line impedance tapering is introduced to enable a counterbalance of the reverse wave by partial reflection of the forward wave at each of the impedance junctions. Detailed analysis and design considerations are provided where it is shown that typical parasitic drain capacitance of transistors makes the drain line tapering practically viable for the CMSDA up to the double-stage configuration. Extensive validation of the theoretical analysis and the tapered drain line technique are given through the experiment of a 3.2GHz 25.2-dB hybrid CDSDA, and through the simulation of a 13.8GHz 14-dB CDSDA using a 0.18μm CMOS process.**

Index Terms—**Bandwidth enhancement, cascaded amplifier, distributed amplifier, wideband technique**

I. Introduction

The rapid growth of wireless and wireline communication devices has created huge demands for highly integrated circuits and systems with ever-increasing bandwidth capability. Offering high speed and high level of integration, as well as cost competency, deep sub-micron CMOS processes have been the dominant implementation choice to serve such demands. Over the past decade, the need to push the frequency limit of CMOS has propelled considerable efforts to migrate a number of successful microwave circuit styles and techniques, from GaAs and/or SiGe to CMOS processing. In particular, it is common nowadays that high speed CMOS circuits and systems are equipped with transmission lines (TL), either in the form of distributed or artificial lumped structures, not only to enhance bandwidth [1-10], but also to enable increasing functionalities by exploiting the mixed-signal and high integration capability in CMOS [11-15]. However, due to inherently low transconductance and the high gate-drain parasitic capacitance of CMOS transistors, as well as high losses in on-chip inductors, straightforward migration of some microwave techniques may result in inferior performances. With respect to broadband amplification, this is exemplified by various implementations of CMOS distributed amplifiers with only modest gain performance [1-6]. This thus prompts the need for circuit modification and innovation to ameliorate the performances.

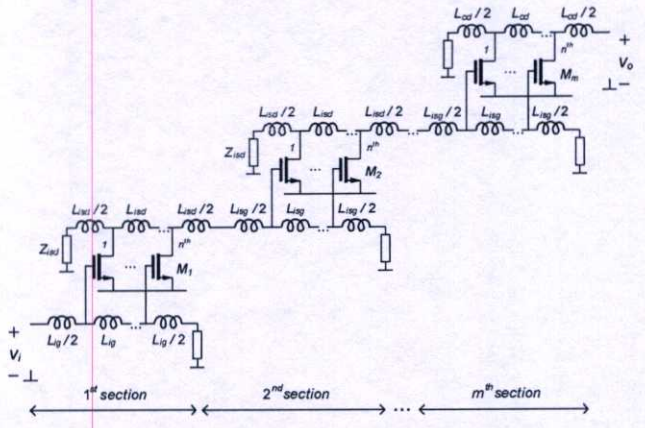


Fig. 1. Generalized cascaded distributed amplifier.

It is not until recently that the cascade CMOS distributed amplifier structure has emerged as a promising alternative to exhibit simultaneous high gain and wide operating bandwidth [16-26]. When compared with the CMOS matrix amplifier topology [27], which has the same low frequency gain characteristic, the cascaded topology offers robustness to high-frequency mismatches in the signal delays along the individual paths which can comprise the overall gain. It also has no loading effect at inter-section artificial transmission lines, yielding a larger operating bandwidth [28]. One major attribute of the cascaded structure, as proposed in [16], is the omission of the idle drain terminations at *intermediate* cascaded sections or intersections, resulting in significant gain improvement. At the center of the development was the cascaded *single*-stage distributed amplifier (CSSDA), where numerous successful implementations in Si processes have been reported [19-21], and its extensive analysis has been given based on the triple-resonance concept [23] and time-domain considerations [29]. It was not until recently that the cascaded *multi*stage distributed amplifier (CMSDA) is recognized for its improved output driving capability and noise performance over the single-stage counterpart [24-25]. So far, the practical realization has been limited to the *double*-stage configuration [24], and despite its increasing popularity, little has been given on the theoretical analysis of the general CMSDA structure.

The purpose of this paper is to investigate the characteristic and limitation, as well as to introduce a practical means to

Manuscript received _____
This work was supported by the Commission on Higher Education, the Misnistry of Education, Thailand, under the Research Group Program (Grant CHE49525). This paper was recommended by Associate Editor Wouter A. Serdijn

A. Worapishet is with the Mahanakorn Microelectronics Research Center (MMRC), Mahanakorn University of Technology, Bangkok 10530, THAILAND (e-mail: apisak@mut.ac.th).

I. Roopkom and W. Surakampontorn are with the Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, THAILAND (e-mail: kswanlop@kmitl.ac.th).

Copyright (c) 2008 IEEE. Personal use of this material is permitted. However, permission to use this material for any other purposes must be obtained from the IEEE by sending an email to pubs-permissions@ieee.org.

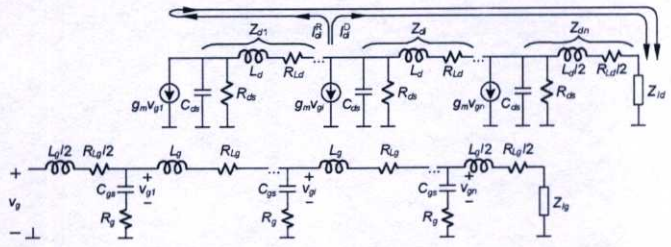


Fig. 2. Equivalent circuit with lumped line models at intersection of CMSDA.

enhance the performance of the cascaded double-stage distributed amplifier (CDSDA). Section II provides the analysis on the frequency characteristics of the general CMSDA where the inherent bandwidth limitation of the amplifier is revealed. Section III focuses on the bandwidth extension of the CMSDA by virtue of the drain line impedance tapering. Also discussed are important non-ideal effects, particularly due to the parasitic capacitance, which effectively limits the use of the technique to the CDSDA. The validity of the theoretical analysis and the tapered drain line technique is verified in Section IV through experiment and simulation of the CDSDAs, both in discrete and integrated circuit (IC) implementations. The summary and concluding remarks are provided in Section V.

II. Frequency Characteristics And Limitation Of CMSDA

A. General Cascaded Distributed Amplifier

Fig. 1 shows the structure of a generalized cascaded distributed amplifier where the transmission lines are in the form of the constant-*k* *LC* network with simultaneous match to both T- and π-sections. It consists of m cascading sections of n-stage DAs. In the figure, the input artificial line with the characteristic impedance Z_{in} is formed by the lumped inductor L_{ig} and the gate capacitance of the field effect transistor (FET) M_1. The output line with the characteristic impedance Z_o is formed by L_{od} along with the drain capacitance of M_m. At intersection DAs, the lines with the characteristic impedance Z_{is} are constructed by the inductors L_{isg} and L_{isd} and the capacitances at both the gate or drain terminals of M_k (k = 1 to m). It is noted that although the MOSFET symbol is indicated in Fig. 1, the field effect transistors in the amplifier can be of other types, such as MESFET or HEMT etc.

With matched *idle* drain line terminations, i.e., with the intersection drain impedances Z_{isd} in Fig. 1, the structure is simply a cascade of the traditional DAs and this is referred to here as the CDA. To achieve a gain improvement, it was proposed in [16] to omit these idle terminations, except for the output m^{th} section, so that the current and voltage waves along the intersection drain/gate lines are enhanced and hence the total gain is increased. This type of amplifier is known as the cascaded multistage distributed amplifier or CMSDA. Similar to the CDA, the gate and drain capacitances of the FETs in the CMSDA are also absorbed by the transmission lines and thus it is believed to have a potential for broadband operation [24]. So far, the CMSDA realizations that have been successful in practice are of the single-stage configuration or CSSDA (with n = 1) and the double-stage configuration or CDSDA (with n=2).

For the CDA, the operating frequency range is intrinsically limited by the cutoff frequency of the associated transmission lines and this in turn is dictated by the gate/drain capacitances of the employed FETs. For the CMSDA, as will be evident in the following analysis, the frequency limitation stems from the omission of the idle drain terminations.

B. Frequency Limitation of CMSDA

Fig. 2 shows the equivalent circuit at an intersection of the generalized CMSDA in Fig. 1, for the study of the frequency characteristics. The gate/drain lines are essentially loaded constant-k transmission lines, wherein the parasitic resistances of the FETs and the lumped inductors are considered as the dominant losses. The termination elements are assumed to be the image impedances of the corresponding lines, i.e., Z_{lg} for the gate line and Z_{ld} for the drain line. C_{gs} is the gate-to-source capacitance and C_{ds} is the drain-to-source capacitance of each of the FETs. L_g is the inductance per section of the gate line and L_d is that of the drain line. The FET losses are modeled by the effective series resistance R_g at the gate terminal [30] and the output resistance R_{ds} between the drain and source terminals. The inductors' losses are modeled by the series resistances R_{Lg} for L_g and R_{Ld} for L_d.

It is important to note that the gate-to-drain capacitance C_{gd} is omitted in the analysis model of Fig. 2 to obtain manageable and insightful results. Although it is recognized that modern CMOS processes possess a low C_{gs}/C_{gd} ratio, the omission is justified by the wide-spread use of the cascode transistor configuration in CMOS DA implementations [3]-[6], which provides an effective suppression of the C_{gd} effect up to very high frequencies approaching f_T of the employed process. The assumption is also a reasonable one for the CMSDAs using discrete HJ-FETs, of which the C_{gs}/C_{gd} ratio is typically higher than the sub-micron CMOS transistors. Discussion on the analysis integrity under the assumption of no C_{gd} feedback effect will be given in Section IV.

The frequency limitation of the CMSDA can be first described qualitatively with reference to the equivalent circuit of Fig. 2. It is assumed that the gate and drain constant-k lines are uniform and lossless with the characteristic impedances at Z_{lg} and Z_{ld} respectively. In operation, as the input voltage V_g propagates down the gate line with a phase shift per section β_g, before being entirely absorbed by the gate termination Z_{lg}, the resulting voltage across the gate terminal of each FET produces a current $g_m V_{gi}$ in the drain line. The current from each drain current generator is then divided equally into two components. One propagates *directly* towards the drain load Z_{ld} (denoted as I^D_{di} at the ith current generator in Fig. 2), and the other propagates in the *reverse* direction towards the open idle drain termination (denoted as I^R_{di} in Fig. 2). Both possess a phase shift per section β_d along the drain line. Upon arriving at the open termination, I^R_{di} undergoes a *total reflection*, and consequently travels towards Z_{ld} [see Fig. 2]. When the signal frequency ω is low, the phase shift per section β_d is small, and hence the resultant phase shift associated with I^R_{di} after traveling roundtrip is negligible. Following this, the direct current I^D_{di} and the reverse current I^R_{di} are combined *constructively*, yielding an increase in the voltage wave at the drain load Z_{ld}, hence a larger intersection gain in the CMSDA

as compared to the CDA at low frequencies. However, since β_d increases proportionally with ω, at sufficiently high frequencies, the resultant phase shift associated with I^R_{di} becomes non-negligible. This results in a high-frequency gain reduction when I^D_{di} and I^R_{di} are combined, and as a consequence, the bandwidth of the CMSDA is limited.

C. Uniform Drain Line CMSDA Analysis

1) Derivation of Power Gains: The gain characteristic versus frequency of the CMSDAs with uniform artificial drain lines is derived in this section. The analysis is essentially an extension of the treatment in [31], [32] to include the effect of the reverse wave reflection at the open idle termination in the intersection drain line(s), which is the main feature that distinguishes the CMSDAs from the CDAs for the purpose of a larger gain. With reference to the equivalent circuit of Fig. 2, as the input voltage V_g travels down the constant-k gate line to the gate termination Z_{lg}, the voltage developed across C_{gs} of the ith FET, V_{gi}, can be given by

$$V_{gi} = \delta_g V_g e^{-(i-1/2)\theta_g} \tag{1}$$

where $\delta_g = e^{-j\arctan(\omega/\omega_{Rg})}/[(1+(\omega/\omega_{Rg})^2)^{1/2}\cdot\cosh(\theta_g/2)]$, $\omega_{Rg} = 1/R_gC_{gs}$ and $\theta_g = A_g + j\beta_g$ is the propagation constant per section on the gate line, A_g and β_g are the gate attenuation and phase shift per section respectively. The developed voltages V_{gi} are coupled to the drain current $I_{di} = g_mV_{gi}$ through the FET transconductance g_m. The total drain current I_d delivered to the drain load Z_{ld} is the sum of the direct component I^D_{di} and the reflected reverse component I^R_{di} from each FET, and this is expressed as

$$\begin{aligned} I_d &= \delta_d e^{-\theta_d/2}\sum_{i=1}^{n}\left(I^D_{di}+I^R_{di}\right) \\ &= \delta_d g_m e^{-\theta_d/2}\sum_{i=1}^{n}\left(\underbrace{\frac{1-\Gamma_i}{2}V_{gi}e^{-(n-i)\theta_d}}_{direct}+\underbrace{\frac{1+\Gamma_i}{2}V_{gi}e^{-(n+i-2)\theta_d}}_{reflected}\right) \end{aligned} \tag{2}$$

where $\delta_d = 1/\cosh(\theta_d/2)$, $\theta_d = A_d + j\beta_d$ is the propagation constant per section on the drain line, A_d and β_d are the drain attenuation and phase shift per section, respectively. Also, $\Gamma_i = [Z_{di} - Z_{di\text{-}1}]/[Z_{di} + Z_{di\text{-}1}]$ is the reflection coefficient between two adjacent drain line sections, i.e., from $(i-1)^{th}$ to i^{th} sections, and Z_{di} is the characteristic impedance of the ith section [see Fig. 2]. The definition between the adjacent sections of Γ_i was adopted to facilitate the generalization of the CMSDAs analysis, particularly with the tapered drain line technique in Section III-A. For a uniform drain line, $\Gamma_i = 0$ for all i except $i = 1$, where $\Gamma_1 = -1$ due to the open idle drain termination. The factors δ_g in (1) and δ_d in (2) account for the dispersion characteristics of the gate and drain constant-k lines, respectively.

The output power delivered to the drain load is given by $P_d = (|I_d|^2/2)\cdot\mathrm{Re}[Z_{ld}]$, while the input power to the gate line is given by $P_g = (|V_g|^2/2|Z_{lg}|^2)\cdot\mathrm{Re}[Z_{lg}]$. Based on these definitions and the expressions in (1) and (2), the intersection power gain of the CMSDA can be given as shown in (3) at the bottom of this page. In (3), $\delta = \delta_g\delta_d$, $R_{lg} = (L_g/C_{gs})^{1/2}$, $R_{ld} = (L_d/C_{ds})^{1/2}$, $X_k = \omega/\omega_c$ is the normalized frequency, and $\omega_c = 2/(L_gC_{gs})^{1/2} = 2/(L_dC_{ds})^{1/2}$ is the radian cutoff frequency of both the gate and drain lines under the condition of an identical phase shift per section $\beta_g = \beta_d$. In deriving (3) certain approximations were applied to compromise between analysis simplicity and accuracy. These include the approximation of the gate/drain image terminations by the lossless cases, i.e., $Z_{lg}=[(L_g/C_{gs})(1-X_k^2)]^{1/2}$ and $Z_{ld}=[(L_d/C_{ds})(1-X_k^2)]^{1/2}$. In addition, the resulting reflections due to the inexact image terminations are assumed to be negligible.

For the output m^{th} section of the CMSDA, due to a matched idle termination, we have $\Gamma_i = 0$ for all $i = 1$ to n, and there are no reflected current components at the load Z_{ld}. Thus, the power gain at the output section of the CMSDA, G_o, can be computed by simply removing the second term inside the absolute operator in (3), yielding a similar equation to the gain of a traditional DA [31], [32].

Based on the gain expressions G_{in} and G_o, the total power gain G_T of the CMSDA with m cascaded sections or m-CMSDA is given by

$$G_T^{\mathrm{CMSDA}} = G_o\prod_{k=1}^{m-1}G_{in} \tag{4}.$$

For the CDA, the gain at intersection is identical to that of the output sections, i.e. $G_{in} = G_o$. Thus, the total CDA power gain with m cascaded sections or m-CDA is given by

$$G_T^{\mathrm{CDA}} = \prod_{k=1}^{m}G_o \tag{5}.$$

2) Propagation Characteristics at Gate and Drain Lines: The losses associated with the FETs and the inductors are the main attributes to non-zero attenuation in the propagation functions θ_g and θ_d. The functions θ_g and θ_d can be analyzed by using the following relation of a constant-k network [31],

$$\theta_{g,d} = A_{g,d} + j\beta_{g,d} = \cosh^{-1}\left(1+\frac{Z_1}{2Z_2}\right) \tag{6}$$

where Z_1 and Z_2 are the total impedances in the series and shunt arms of a constant-k section. Under the assumption of small attenuation per section as in [31], A_g and A_d due to both FETs' and inductors' losses can be simplified from (6), and these are expressed in their normalized forms by

$$A_g = \frac{c+aX_k^2}{\sqrt{1-\left(1-a^2\right)X_k^2}} \tag{7}$$

$$A_d = \frac{b+d}{\sqrt{1-X_k^2}} \tag{8}$$

where $a = \omega_c/\omega_{Rg}$ and $b = \omega_{Rds}/\omega_c$ are the loss parameters of the FET, and $c = \omega_{Lg}/\omega_c$ and $d = \omega_{Ld}/\omega_c$ are the loss

$$G_{in} = \frac{|Z_{lg}|^2\,\mathrm{Re}[Z_{ld}]}{\mathrm{Re}[Z_{lg}]}\cdot\frac{|I_d|^2}{|V_g|^2} \approx |\delta|^2\frac{g_m^2R_{lg}R_{ld}e^{-n(A_g+A_d)}}{4}\left(1-X_k^2\right)\cdot\left|\frac{\sinh\left(\frac{n}{2}\left(\theta_d-\theta_g\right)\right)}{\sinh\left(\frac{1}{2}\left(\theta_d-\theta_g\right)\right)}+\frac{\sinh\left(\frac{n}{2}\left(\theta_d+\theta_g\right)\right)}{\sinh\left(\frac{1}{2}\left(\theta_d+\theta_g\right)\right)}e^{-(n-1)\theta_d}\right|^2 \tag{3}$$

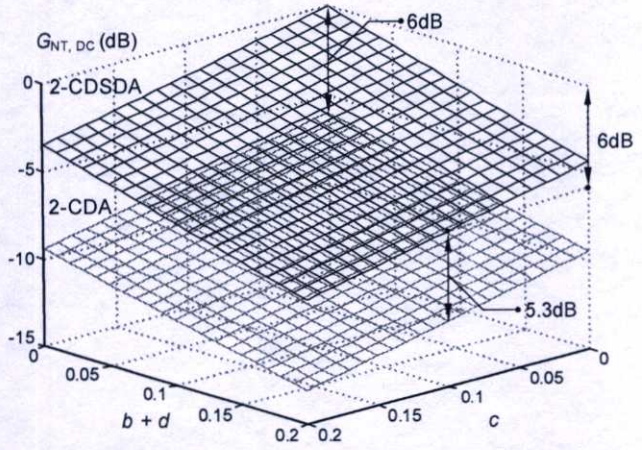


Fig. 3 Normalized DC gain versus attenuation parameters b, c and d.

parameters of the inductors. Also, $\omega_{Rg} = 1/R_gC_{gs}$, $\omega_{Lg} = R_{Lg}/L_g$, $\omega_{Rds} = 1/R_{ds}C_{ds}$, $\omega_{Ld} = R_{Ld}/L_d$. It is noticed from (7) and (8) that the attenuation due to the drain resistance parameter, b, and the gate/drain inductors' loss parameters, c (at $a = 0$) and d, share a similar frequency characteristic. For the phase shift per section, $\beta_g = \beta_d = \beta$, since they are somewhat insensitive to losses, the expression for the lossless case can be employed, i.e.,

$$\beta = 2\sin^{-1}(X_k) \tag{9}.$$

Upon inspecting (7) and (8) for the transistor's loss parameters, it may be deduced that since parameter a (due to the gate resistance R_g) is proportional to X_k^2, it has practically no effect at dc to low frequencies ($X_k \approx 0$). As ω approaches ω_c (X_k approaches unity), however, it can produce considerable attenuation. Parameter b (due to the drain resistance R_{ds}), gives rise to attenuation for ω from dc to ω_c ($X_k = 0$ to unity), but the effect near $\omega = \omega_c$ ($X_k = 1.0$) is less pronounced as compared to that of R_g. Note that these characteristics were already reported in [31]. For the inductors' loss parameters, both c (due to R_{Lg}) and d (due to R_{Ld}) yield a similar attenuation characteristic versus frequency as the loss due to b. In summary, the high-frequency characteristic of the CMSDA (and the CDA) near ω_c is expected to be predominantly determined by the parameter a at the gate line, while the gain at dc to intermediate frequencies is mainly affected by both the gate line parameter c, and the drain line parameters, b and d.

D. Frequency Responses of Uniform Drain CMSDA

Having derived the gain expressions, we are now ready to investigate quantitatively the frequency limitation of the CMSDA. The gain characteristic in (3) is a function of the propagation constants θ_g and θ_d, which in turn are functions of a, b, c, d and X_k as given in (7)-(9). In a practical implementation, the loss parameters are strongly dependent on the employed technology. For example, in a GaAs process, the transistor's loss parameters, a and b, are dominant over the inductor's loss parameters, c and d, since the substrate loss is typically very low, and high quality factor (Q) integrated inductors are available. On the other hand, in a Si process where the substrate can exhibit much more conductivity, the parameters c and d are relatively large and all the loss parameters play important roles in determining the frequency characteristics.

1) DC-to-low-frequency Characteristics: At dc to low frequency limit, the use of (3) and (7)-(9) result in the intersection dc gain expressions as follows:

$$G_{in,\mathrm{dc}} = \frac{g_m^2 R_{lg} R_{ld} e^{-n(b+c+d)}}{4\cosh^2\left(\frac{c}{2}\right)\cosh^2\left(\frac{b+d}{2}\right)} \cdot \left(\frac{\sinh\left(\frac{n}{2}(b+d-c)\right)}{\sinh\left(\frac{1}{2}(b+d-c)\right)} + \frac{\sinh\left(\frac{n}{2}(b+c+d)\right)}{\sinh\left(\frac{1}{2}(b+c+d)\right)} e^{-(n-1)(b+d)}\right)^2 \tag{10}$$

, where $G_{o,\mathrm{dc}}$ can be derived from (10) by removing the second term in the squared bracket. For the lossless case, these are reduced to $G_{in,\mathrm{dc}} = n^2 g_m{}^2 R_{lg} R_{ld}$, and $G_{o,\mathrm{dc}} = n^2 g_m{}^2 R_{lg} R_{ld}/4$. It is thus indicated that, at dc to low frequencies, the CMSDA can offer the gain advantage over its CDA counterpart by a factor of ${G_{\mathrm{T,dc}}}^{\mathrm{CMSDA}}/{G_{\mathrm{T,dc}}}^{\mathrm{CDA}} = 4^{m-1}$.

To examine the effect of the losses at dc to low frequencies, the total gains in (4) and (5), calculated based on (10) and subsequently normalized by the CMSDA gain at no loss condition, are plotted versus the parameters $b+d$ and c. The parameter a is not included since it has a negligible effect at low frequencies. This is as shown in Fig. 3 at $n = m = 2$, i.e., for the normalized dc gains of the 2-CDSDA and the 2-CDA. Note that, m was selected at two without loss of generality since this is the minimum value that contains both the gain characteristics at inter and output sections, G_{in} and G_o. From the surface plots, both the CDSDA and CDA gains monotonically drop as the parameters $b+d$ and c increase (higher losses). For the particular case of interest at $b = c = d = 0.1$, the low frequency CDSDA gain reduction can be as large as 6dB below the lossless case. Also indicated is the low-frequency gain advantage of the 2-CDSDA over the 2-CDA by 6dB at no loss (i.e., by a factor of $4^{m-1} = 4$ at $m = 2$), and by 5.3dB at $b = c = d = 0.1$.

2) High-frequency Characteristics: The high-frequency characteristics of the CMSDA can be investigated by plotting the normalized frequency responses at different sets of a, b, c and d. In order to explore the *intrinsic* bandwidth limitation of the general CMSDA as a result of the open drain reflection, as discussed in Section II-B, let us first consider the case when the characteristic of the transmission lines is idealized. This is obtained by setting a, b, c and d to zero for lossless conditions. Also, for non-dispersive line conditions, δ_g and δ_d are set to unity, and $\beta = 2X_k$. Additionally, the term $(1-X_k^2)$ associated with the gate and load termination impedances in (3) is omitted. Following this, the gain variation attributed to the inherent characteristics of the transmission lines and termination impedances are all removed, leaving only the impact of the open drain reflection. With the idealized conditions, the expression for the intersection gain in (3) can be re-written as

$$G_{in} = \frac{g_m^2 R_{lg} R_{ld}}{4} \cdot \left(n^2 + \frac{\sin^2(2nX_k)}{\sin^2(2X_k)} + 2n\cos(2(n-1)X_k)\frac{\sin(2nX_k)}{\sin(2X_k)}\right) \tag{11}.$$

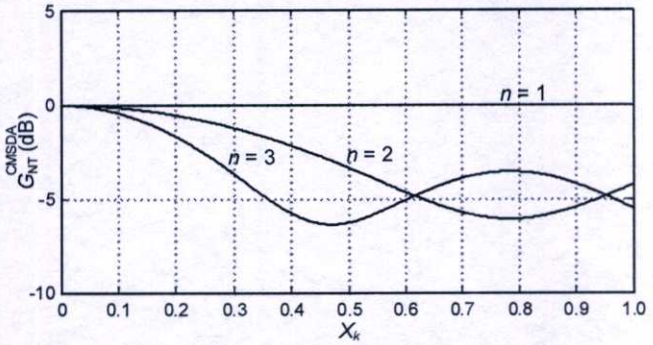


Fig. 4. Normalized 2-CMSDA frequency responses based on idealized transmission lines at $n = 1$, 2 and 3.

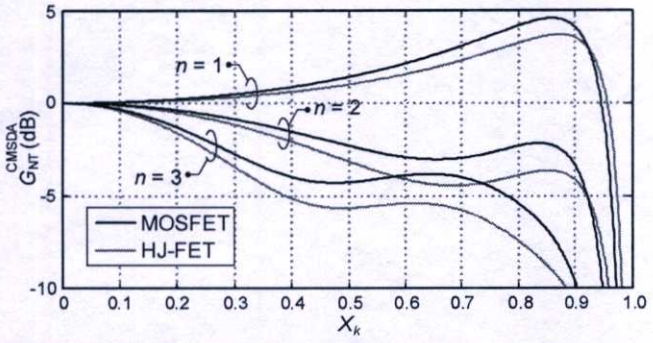


Fig. 5. Normalized frequency responses of 2-CMSDA based on HJ-FET and MOSFET designs at $n = 1$, 2 and 3.

Fig. 4 shows the calculated plots of the normalized frequency responses (normalized gain by corresponding dc value versus normalized frequency X_k) based on (11), at a different number of stages, $n = 1$, 2 and 3, where the number of sections is set at $m = 2$. The frequency responses indicate that the double-stage ($n = 2$) and triple stage ($n = 3$) CMSDAs with the idealized transmission lines suffer from early intermediate gain reduction as X_k approaches unity (ω approaches ω_c). This consequently limits the operating frequency range. In particular, the power gain is reduced by half at $X_k = 0.47$ for $n = 2$, and at $X_k = 0.27$ for $n = 3$. Since the other sources of gain variation are already removed in (11), such a significant drop in the gain characteristic is primarily attributed to the destructive interference from the reflected current component resulting from the open drain termination at the intersection drain line. At a higher number of stages, a further reduction of the operating frequency is anticipated because more reflected currents are generated with larger phase shifts since they have to propagate through more sections of the intersection drain line. Also indicated from Fig. 4, the CMSDA that can theoretically achieve a broadband characteristic similar to the CDA is the single-stage configuration. This stems from the fact that there is no destructive interference from the reflected drain component because a single drain current generator only produces the direct current that travels directly towards the drain load Z_{ld} [cf. Eqn. (2) at $n = 1$].

To investigate the performance in realistic scenarios, let us turn to the practical characteristics of the CMSDA with lossy and dispersive constant-k transmission lines. Of particular interest are the gain characteristics with practical loss parameters. Fig. 5 shows the calculated normalized frequency responses of the CMSDA based on (3) at two sets of the loss

TABLE I
SUMMARY OF EXTRACTED EQUIVALENT CIRCUIT MODELS

Parameters	HJ-FET design	Cascode MOSFET design
g_m	72mS	32mS
C_{gs}/C_{ds}*	1.6pF/0.6pF	0.3pF/0.12pF
L_g/L_d	4nH/4nH	0.75nH/0.75nH
R_g/R_{ds}	10Ω/250Ω	6Ω/450Ω
R_{Lg}/R_{Ld}	0/0	8/8
$a/b/c/d$	0.4/0.1/0.0/0.0	0.24/0.06/0.08/0.08

* including parasitic capacitances

parameters compatible with the experiment and simulation in Section IV. For the experimental hybrid design using the discrete HJ-FET (NE34018), the extracted transistor circuit model in Table I yields $a = 0.4$, $b = 0.1$. Since the inductors were implemented using chip components, we have $c = d = 0$. For the simulated 0.18μm CMOS design using the cascode MOSFET arrangement, the extracted composite transistor and inductor models are also summarized in Table I where $a = 0.24$, $b = 0.06$ and $c = d = 0.08$. As observed from Fig. 5, under the practical loss levels in both implementations, the single-stage configuration still offers bandwidth advantage. The double- and triple-stage CMSDAs suffer from early gain reduction, in accordance with their corresponding idealized versions [cf. Fig. 4]. For the HJ-FET parameters, the –3dB normalized bandwidth is at $X_k = 0.49$ for $n = 2$, and at $X_k = 0.28$ for $n = 3$. For the CMOS parameters, the –3dB normalized bandwidth is at $X_k = 0.61$ for $n = 2$, and at $X_k = 0.32$ for $n = 3$. Also indicated by the responses of Fig. 5 are the inferior high-frequency responses in the HJ-FET implementations. This is because of more losses in the parameter a of the transistors [see Table I]. It is interesting to note that the gain attenuation characteristic as in Fig. 5 at $n = 2$ was evident in the measured gain response of the 70GHz CDSDA implemented using a 90nm CMOS process in [24].

From the forgoing investigation, the CMSDA that offers simultaneous high gain and broadband operation is the single-stage configuration. This should go some way to explaining the majority of the CSSDA implementations reported in the literature. For the CMSDA with a higher number of stages $n > 1$, such as CDSDA, the achievable bandwidth can be reduced by more than half, with a successive reduction for a larger n. Even though it has been demonstrated that the CMSDA with $n > 1$ is favorable over the CSSDA configuration in terms of output driving capability and noise performance [24], [25], the theoretical analysis in this section has revealed the major drawback due to bandwidth limitation as a result of the open drain reflection at the intersection drain line(s). Thus, for the multistage configuration to be a serious candidate for broadband applications, a technique that can mitigate the reflected interference at the open idle drain line(s) must be introduced and this is the subject of the next section.

III. BANDWIDTH ENHANCEMENT USING TAPERED DRAIN LINES

One viable technique for bandwidth enhancement of the CMSDA is the drain line impedance tapering, originally introduced to improve the efficiency and power output of distributed power amplifiers [33], [34]. It was shown that, when an impedance of Z_d/i is employed for each successive

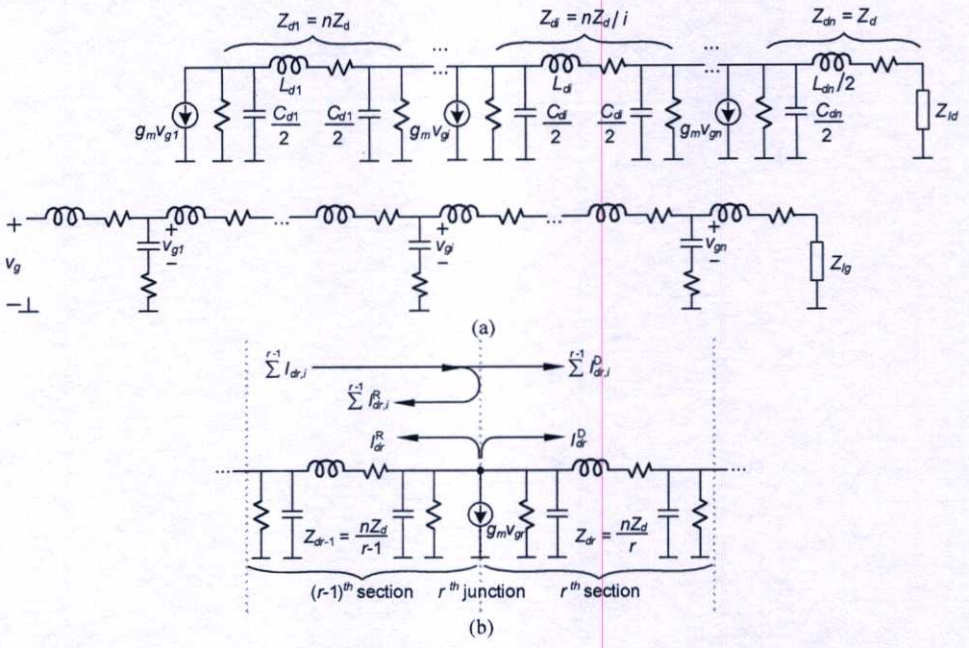


Fig. 6. (a) Equivalent circuit with tapered drain line at intersection of CMSDA (b) analysis model at r^{th} section.

drain line section of an n-stage DA, where i is the stage number, all the developed drain currents from each identical FET will effectively travel towards the drain load and the reverse traveling current will be forced to zero at the idle drain termination. With such a capability to eliminate the reverse traveling wave, the impedance tapering could be exploited to mitigate the adverse effect of the reverse current reflection caused by the open drain termination in the CMSDA.

A. Tapered Drain CMSDA Analysis

In this section, the analysis outlined in Section II-B for the uniform drain CMSDA will be expanded to embrace a more generalized case of the tapered drain CMSDA. Fig. 6(a) shows the equivalent circuit at an intersection of the CMSDA with the tapered drain line, where the characteristic impedance is reduced at each successive π-section, i.e., $Z_{di-1} > Z_{di}$. Due to the different impedance levels, the current from each drain current generator $g_m V_{gi}$ is no longer divided equally into the direct and reverse directions as in the case of the uniform drain line in Fig. 2. Consider the rth junction that connects between the $(r-1)^{th}$ and r^{th} drain line sections, as shown in Fig. 6(b). Based on a current division between the adjacent characteristic impedances, the direct and reverse current waves, I^{D}_{dr} and I^{R}_{dr} [Fig. 6(b)], due to the rth generator $g_m V_{gr}$, are given by

$$I^{D}_{dr} = \frac{1-\Gamma_r}{2} \cdot I_{dr} = \frac{1-\Gamma_r}{2} \cdot \delta_g g_m V_g e^{-(r-1/2)\theta_g} \tag{12.1}$$

$$I^{R}_{dr} = \frac{1+\Gamma_r}{2} \cdot I_{dr} = \frac{1+\Gamma_r}{2} \cdot \delta_g g_m V_g e^{-(r-1/2)\theta_g} \tag{12.2}$$

where $\Gamma_r = [Z_{dr} - Z_{dr\text{-}1}]/[Z_{dr} + Z_{dr\text{-}1}]$ is the reflection coefficient from the $(r-1)^{th}$ to r^{th} drain line sections. For the direct wave from each of the previous i^{th} generators, I^{D}_{di} with $i = 1$ to $r-1$, each undergoes $(r-i)$ impedance discontinuities and hence $(r-i)$ reflections before flowing into the rth drain line section. Following this and the use of (12), it can be shown that the *total* direct and reflected current waves at the rth junction due to the previous $(r-1)$ generators are given by

$$\sum_{i=1}^{r-1} I^{D}_{dr,i} = \sum_{i=1}^{r-1} \left(I^{D}_{di} e^{-(r-i)\theta_d} \prod_{p=i+1}^{r} (1-\Gamma_p) \right)$$

$$= \delta_g g_m V_g \sum_{i=1}^{r-1} \left(\frac{1-\Gamma_i}{2} e^{-(i-1/2)\theta_g - (r-i)\theta_d} \prod_{p=i+1}^{r} (1-\Gamma_p) \right) \tag{13.1}$$

, and

$$\sum_{i=1}^{r-1} I^{R}_{dr,i} = \frac{\Gamma_r}{1-\Gamma_r} \cdot \sum_{i=1}^{r-1} I^{D}_{dr,i} \tag{13.2}.$$

It is noted that $I^{D/R}_{dr,i}$ in (13) are the current waves at the rth junction due to the ith generator, and $I^{D/R}_{dr,r} = I^{D/R}_{dr}$ in (12). Under the condition that each successive drain line section has an impedance of $Z_{di} = nZ_d/i$ (the factor n added to make $Z_{dn} = Z_d$ so as to facilitate matching between the CMSDA sections), we have $\Gamma_i = -1/(2i-1)$. With the assumption of identical gate/drain propagation constants $\theta_g = \theta_d = \theta$, i.e., $A_g = A_d = A$ and $\beta_g = \beta_d = \beta$), (12) can be rewritten as

$$I^{D}_{dr} = \frac{r}{2r-1} \cdot \delta_g g_m V_g e^{-(r-1/2)\theta} \tag{14.1}$$

$$I^{R}_{dr} = \frac{r-1}{2r-1} \cdot \delta_g g_m V_g e^{-(r-1/2)\theta} \tag{14.2}.$$

Under such conditions, it can also be shown that (13) now becomes

$$\sum_{i=1}^{r-1} I^{D}_{dr,i} = \frac{2r(r-1)}{2r-1} \delta_g g_m V_g e^{-(r-1/2)\theta} \tag{15.1}$$

$$\sum_{i=1}^{r-1} I^{R}_{dr,i} = -\frac{r-1}{2r-1} \delta_g g_m V_g e^{-(r-1/2)\theta} = -I^{R}_{dr} \tag{15.2}.$$

It is apparent from (15.2) that, at the rth junction, there is a complete cancellation between the reverse currents of the rth generator, I^{R}_{dr}, and those developed from the first to $(r-1)^{th}$ generators, $\sum I^{R}_{dr,i}$. On the contrary, from (14.1) and (15.1), the direct currents of the first to r^{th} generators add constructively at the rth junction, and this produces the direct wave that propagates into the rth section with the total current of

$$\sum_{i=1}^{r} I_{dr,i}^{D} = I_{dr}^{D} + \sum_{i=1}^{r-1} I_{dr,i}^{D} = r\delta_g g_m V_g e^{-(r-1/2)\theta} \quad (16).$$

The above process continues until the direct current waves from all the current generators arrive at the drain load. As a consequence, the total drain current I_d delivered to Z_{ld} can be expressed using (16) as

$$I_d = \delta_d e^{-\theta/2} \sum_{i=1}^{n} I_{dn,i}^{D} = n\delta_g \delta_d g_m V_g e^{-n\theta} \quad (17),$$

and this yields the intersection gain of the tapered drain CMSDA at

$$G_{in} = |\delta|^2 e^{-2nA} n^2 g_m^2 R_{lg} R_{ld} \left(1 - X_k^2\right) \quad (18)$$

where δ, R_{lg}, R_{ld} and X_k are as defined in (3). The equation clearly indicates that the use of the tapered drain technique enables the CMSDA to enjoy a large gain while still maintaining a broadband operation compatible with that obtained by the CDA. It should be pointed out, in stark contrast to the comments on its practicality in [34], detailed theoretical analysis reveals that the elimination of the drain reverse waves using the tapered drain impedance technique can be accomplished even with *lossy* and *dispersive* gate/drain transmission lines. The necessary conditions to be satisfied are: 1) the impedance relation between transmission line sections, nZ_d/i, and 2) the identical gate/drain attenuation and phase velocity, $\theta_g = \theta_d$.

B. Non-ideal Considerations

In practice, some deviations from the necessary conditions are inevitable and this results in reverse wave residues, which can undergo multiple reflections along the drain line before reaching the load Z_{ld}, causing a gain reduction in the CMSDA at high frequencies. The output drain resistance R_{ds} of a FET can affect the tapered impedance relation especially when R_{ds} is comparable to the line impedance. Another important effect is from the different frequency characteristics between the attenuation constants A_g and A_d as indicated by (7)-(8) and hence the condition $A_g = A_d$ may only be satisfied at a certain range of frequencies.

Another implementation issue arises from the required different impedance levels associated with the drain line tapering. With the necessary synchronization of the gate/drain phase velocities, a larger inductance L_{di} and a smaller capacitance C_{di} by the same proportion are needed as we move from the nth to the first drain line sections [cf. Fig. 6(a)]. A larger L_{di} entails a larger chip area and a reduced resonance frequency, which may limit the operating frequency. More important however is a smaller C_{di} requirement where it is mainly limited by parasitic capacitances, especially that of the FET. In practice, the total drain capacitance C_d in the range of 0.2 to 0.5 of the total gate capacitance C_g is typical. Since an n-stage intersection amplifier in the CMSDA requires the maximum impedance ratio at Z_{d1}:Z_{dn} = n:1, this translates to the following relation, under a lossless drain line condition:

$$\left(L_{d1}/C_{d1}\right)^{1/2} = n\left(L_{dn}/C_{dn}\right)^{1/2} \quad (19)$$

If the impedance relation is set at $Z_{dn} = Z_d = \alpha Z_g$, we have $(L_{dn}/C_{dn})^{1/2} = \alpha(L_g/C_g)^{1/2}$. Also, we know that $(L_{di}C_{di})^{1/2} = (L_gC_g)^{1/2}$ for phase synchronization, and that the minimum capacitance of the first drain line π-section at $C_{d1}/2$ is obtained directly from the total capacitance at the drain of the FET, C_d [cf. Fig. 6(a)], (19) can be rearranged to give the requirement of the drain/gate capacitance ratio as

$$C_d / C_g = 1/2\alpha n \quad (20).$$

Eqn. (20) suggests that a smaller C_d/C_g is required for a larger n in the tapered drain CMSDA. For example, with an identical input/output and intersection impedance, $Z_{in} = Z_{is} = Z_o$, we obtain $C_d/C_g = 0.25$ at $n = 2$. At $n = 3$, this reduces to $C_d/C_g = 0.166$. Also indicated by (20) is a further decrease in the requirement of C_d/C_g, if $\alpha > 1$ is employed to make $Z_{is} > Z_{in}$ and Z_o for a higher intersection gain. Given the typical range of C_d/C_g in a FET at 0.2 to 0.5, it follows that the use of the tapered drain technique in the CMSDA may be applicable in practice up to the double-stage configuration.

The noise consideration of the tapered CDSDAs, necessitates extensive treatment which is too lengthy and not the main subject of this work. Instead, the noise performance will be evaluated with the help of simulation in Section IV. It should be noted that comprehensive noise analysis of the DAs in [5] and [35] can be extended to include the effect of the open idle termination in the uniform/tapered CMSDAs. In addition, the generalized two-port noise analysis technique in [36] should also prove useful. It is also worth mentioning that the noise reduction techniques at gate line terminations in [8], [37] and the noise optimization in [5] can readily be applied to the CMSDAs.

C. Frequency Responses of Tapered Drain CDSDA

The dc to low frequency gain of the tapered drain CMSDA is similar to that of the uniform drain counterpart [see Eqn. (10)] since the tapering of the characteristic impedance is effective at intermediate to high frequencies. The general gain characteristic versus frequency of an n-stage tapered drain CMSDA may be derived from (12)–(13). Due to multiple reflections of the reverse wave residues, however, the resulting gain expression can become intractable, particularly at a large n. Given the typical level of parasitic capacitances which limits the use of the tapering technique to the double stage, the power gain expression for the CDSDA is of main interest in practice. To further simplify the analysis result, it is assumed that the impedance ratio $\sigma = Z_{d1}/Z_{d2}$ of the CDSDA is frequency-independent. Since $\Gamma_1 = -1$ and $\Gamma_2 = (1 - \sigma)/(1 + \sigma)$, with the use of (12)-(13), the total drain current delivered to the drain load Z_{ld} can be given by

$$I_d = \delta_d e^{-\theta_d/2} \sum_{i=1}^{2} \left(I_{d2,i}^{D} + \rho \cdot I_{d2,i}^{R}\right) \quad (21)$$

$$= g_m V_g \delta_g \delta_d e^{-(\theta_d+\theta_g)/2} \frac{\sigma}{1+\sigma} \left(\underbrace{\left(2e^{-\theta_d} + e^{-\theta_g}\right)}_{direct} + \underbrace{\frac{\rho}{\sigma}\left((1-\sigma)e^{-\theta_d} + e^{-\theta_g}\right)}_{reflected\ residue} \right)$$

where ρ represents the transfer function of the reverse current wave residue from the second junction to the load Z_{ld} after multiple reflections. ρ is derived in the Appendix as

$$\rho = \frac{2\sigma/(1+\sigma)}{\cosh(2\theta_d)+\sinh(2\theta_d)-(1-\sigma)/(1+\sigma)} \quad (22).$$

In (21), the terms representing the direct wave and the reflected wave residue are clearly identified. By using (21), the intersection power gain of the tapered drain CDSDA can be given as (23) at the bottom of this page.

It is noted that, at $\theta_g = \theta_d$ and $\sigma = n = 2$ for the double-stage configuration, (23) reduces to (18) at $n = 2$ since the gain term due to the reflected wave residue disappears. Also at the other extreme $\sigma = 1$, i.e., for the uniform drain line, it can be shown that (23) simply reduces to (3) at $n = 2$.

Having analyzed the gain expression, we are now ready to examine the frequency characteristics of the tapered drain CDSDA under the influence of losses and deviation from the theoretical tapering impedance. Let us first consider the case when the impedance step at $\sigma = 2$ is satisfied. Fig. 7 shows the plots of the normalized frequency responses of the tapered 2-CDSDA using (23) for the set of the loss parameters in Table I. Also included for comparison in the same figure are the responses of the corresponding 2-CDAs and the uniform 2-CDSDAs. As compared to the responses of the uniform drain CDSDA, it can be seen that the intermediate gain drop entirely disappears and the tapered drain CDSDAs can achieve broadband operation compatible with that achieved by their corresponding CDA counterpart.

Shown in Fig. 8 are the normalized frequency responses of the tapered CDSDA at the tapering step of $\sigma = 1.5$. This is given as a case example where deviation from the requirement in (20) is inevitable due to the lower limit of the C_d/C_g ratio imposed by a particular implementation. As illustrated by the plots, the deviation results in gain reduction at intermediate frequencies and this is due to the slight increase of the reflected reverse wave residue. Nonetheless, the tapered CDSDA still offers a bandwidth improvement as compared to the case of the uniform drain CDSDA [cf. Fig. 7], indicating only a small sensitivity to impedance ratio variation by as large as –25% in this case.

It is also instructive to investigate separately the gain terms in (23) that arise from the direct wave and the reflected wave residue. Fig. 9 shows the normalized responses of the direct gain G^{D}_{Nin} and the reflected residual gain G^{R}_{Nin} in (23) at σ= 1.5 and 2 under the loss parameters in Table I. Considering the gain plots at $\sigma = 2$, it is observed that the reflected gain is small and becomes negligible over a certain frequency range, before gradually increasing as we move to higher frequencies. Under the HJ-FET loss parameters, the amount of the peak reflected gain is at –26.5dB below the corresponding direct gain. This is mainly due to the discrepancy in the frequency characteristics between θ_g and θ_d [see (7)-(8)], in that A_g ($\propto X_k^2$) increases more rapidly at high frequencies compared to A_d. For the gain plots at $\sigma = 1.5$ in Fig 9, unlike the responses at $\sigma = 2$, the reflected gains are relatively larger over the entire frequency range and are comparable for both HJ-FET and MOSFET losses. Nonetheless, they are kept below their corresponding direct gains by as large as ~20dB.

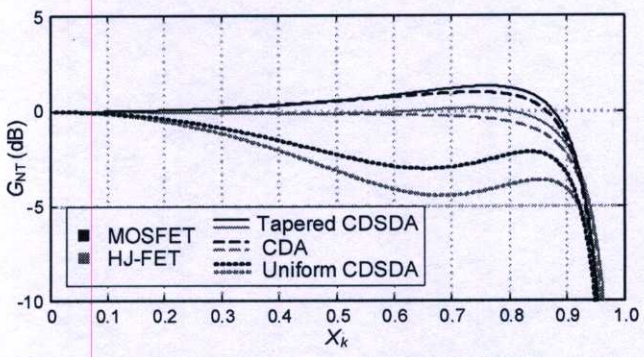


Fig. 7. Normalized frequency responses of tapered 2-CDSDA (solid) for impedance tapering step at $\sigma = 2$, uniform 2-CDSDA (dash- dotted) and 2-CDA (dotted).

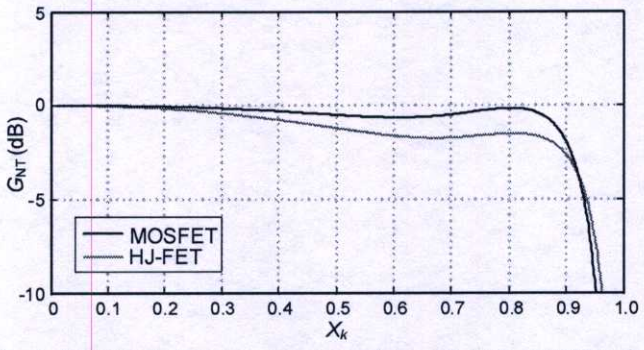


Fig. 8. Normalized frequency responses of tapered drain 2-CDSDA for impedance tapering step at $\sigma = 1.5$.

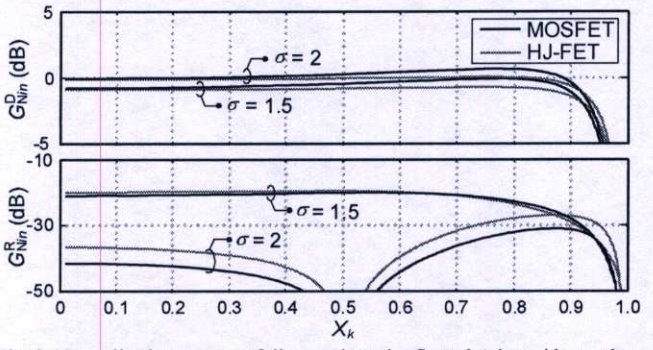


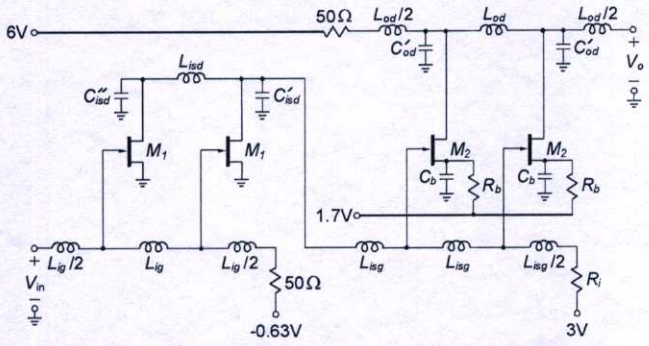
Fig. 9. Normalized responses of direct gain and reflected gain residue under HJ-FET and MOSFET loss parameters.

IV. Theoretical and Performance Validations

A. Measured Results in Hybrid Implementation

To verify the theoretical analysis and the effectiveness of the tapering technique, a 2-CDSDA with a tapered intersection drain line has been designed and constructed in a

$$G_{in} = \left(\frac{\sigma}{1+\sigma}\right)^2 |\delta|^2 g_m^2 R_{Ig} R_{Id} e^{-2(A_d+A_s)} \left(1-X_k^2\right) \cdot \left| \underbrace{3\cosh\left(\frac{\theta_d-\theta_g}{2}\right)-\sinh\left(\frac{\theta_d-\theta_g}{2}\right)}_{direct} + \underbrace{\rho\left(\frac{2-\sigma}{\sigma}\cosh\left(\frac{\theta_d-\theta_g}{2}\right)+\sinh\left(\frac{\theta_d-\theta_g}{2}\right)\right)}_{reflected\ residue} \right|^2 \quad (23)$$



Parameters	R_i/R_b	L_{ig}/L_{od}	L_{isg}/L_{isd}	$C'_{isd}/C''_{isd}/C'_{od}$	C_b
Tapered	50Ω/100Ω	4nH/4nH	4nH/6.7nH	0.5pF/ - /0.8pF	68pF‖220pF‖1.3nF
Uniform			4nH/4nH	0.8pF/0.3pF/0.8pF	

Fig. 10. Circuit schematic and component parameters for HJ-FET tapered drain 2-CDSDA.

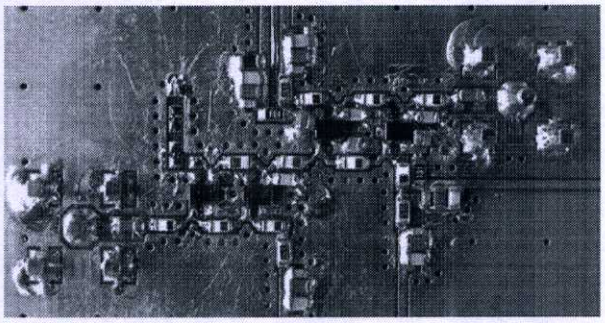


Fig. 11. Prototype hybrid implementation of tapered drain 2-CDSDA.

hybrid circuit form using an FR4 substrate. Passive chip components were used for inductors, capacitors and resistors. The HJ-FET, NE34018 from NEC, was employed for the transistors. While serving as a convenient means to demonstrate the practical feasibility of the proposed tapered CDSDA, certain constraints of the hybrid realization should be addressed. Due to limited control over the parameters of available discrete transistors, such as transconductance and capacitances etc, there is limited control over the amplifier's specifications, such as gain and bandwidth. Another important constraint includes the package parasitics which may inhibit the hybrid circuits from using some enhancement techniques successfully exploited in a fully integrated realization, particularly those that make use of additional transistors. Furthermore, the relatively large physical size of discrete transistors, as well as package and interconnected parasitics, pose limits on the operating frequency.

The schematic of the tapered drain 2-CDSDA along with the component parameters are given in Fig. 10, and the circuit prototype is shown in Fig. 11. It is noticed that the circuit makes no use of the cascode transistors to suppress the C_{gd} effect of the HJ-FETs. This is to avoid a possible adverse effect from the package parasitics, and a complicated bias arrangement due to the negative gate-source voltage requirement of the transistors. For the HJ-FETs, the selected drain bias current was at I_{ds} = 10mA for the gate-source voltage at V_{gs} = –0.63V and the drain-source voltage at V_{ds} = 2V. The extracted equivalent circuit parameters for theoretical performance calculation are as listed in Table I. Under the

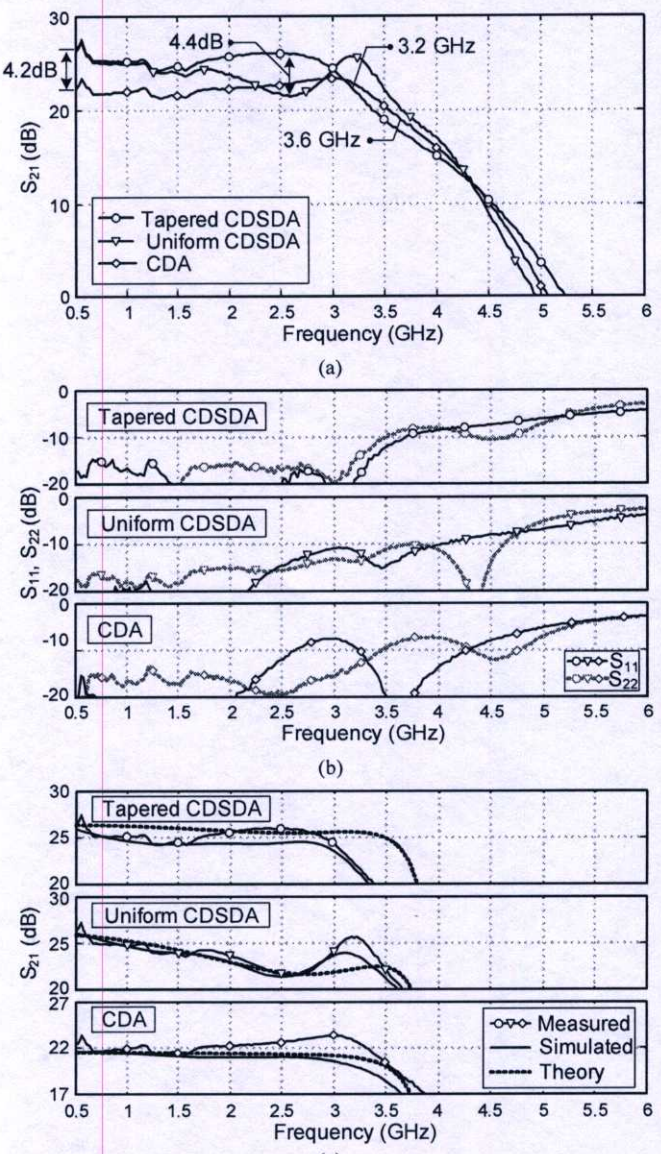


Fig. 12. Measured S-parameters (a) S_{21}, (b) S_{11}, S_{22} and (c) plots of measured, simulated and theoretical gain responses.

selected operating condition, and identical intersection and input/output impedances $Z_{in} = Z_o = Z_{is}$ at 50Ω, the theoretical low frequency gain of the amplifier is at 26.1dB based on (4) and (10), and the gate/drain line cut-off frequency at $f_c = \omega_c/2\pi$ = 4.0GHz. For comparative purposes, the 2-CDA and the uniform drain line 2-CDSDA based on the same HJ-FETs and bias conditions were also constructed and tested.

The scattering parameters were measured using a 20-GHz HP-8720C network analyzer. Fig. 12(a) shows the forward transmission gain S_{21} where the tapered 2-CDSDA exhibits the average mid-band gain at 25.2dB and the –3dB cut-off frequency at 3.2GHz. The measured response exhibits a relatively flat gain at mid-band frequencies, thereby confirming the effectiveness of the tapered drain technique. Also shown in Fig. 12(a) are the measured S_{21} of the 2-CDA and the uniform 2-CDSDA. For the CDA, the average gain is at 21.7dB, which is about 3.5dB smaller than that of the tapered CDSDA, and the cut-off frequency is at 3.6GHz. For

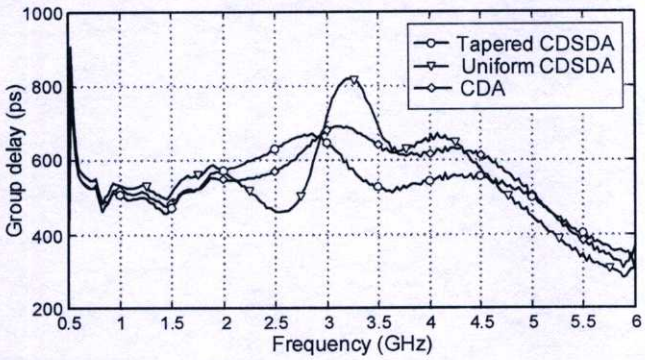


Fig. 13. Measured group delay responses.

the uniform CDSDA, the gain reduction by as large as 4.4dB at intermediate frequencies is evident. As shown in Fig. 12(b), in terms of input/output return losses for the uniform and tapered CDSDA, both S_{11} and S_{22} remain below –10dB up to their corresponding bandwidths. For the CDA, S_{11} is below –7.3dB and S_{22} below –8.1dB over the operating frequency range up to 3.6GHz.

To enable comparison with the theoretical analysis, Fig. 12 (c) shows the gain responses from the measurement and simulation as well as from the theory based upon (23), for each of the amplifier topologies. As shown in the plots, for the implementations using discrete HJ-FETs with no cascoding, the *salient* gain characteristics of each of the amplifiers obtained from the measurement and simulation match reasonably well with the theoretical plots up to mid-band frequency range. There are however discrepancies beyond the mid-band frequencies, particularly in the uniform and tapered CDSDA. This is mainly attributed to the feedback effect through the C_{gd} parasitic of the HJ-FETs.

From the gain responses of the uniform CDSDA, the C_{gd} effect causes gain peaking as the frequency approaches the cut-off frequencies of the gate/drain lines. Nevertheless, with respect to the early substantial gain drop (by more than –3dB) due to the reflection at the open idle termination, such high frequency peaking is regarded as unimportant. This is because the peaking occurs beyond the bandwidth. With or without the peaking, the uniform CDSDA is, in any case, of no practical use due to the severe bandwidth limitation.

From the responses of the tapered CDSDA, the C_{gd} effect only slightly reduces the bandwidth by about 12.5% as compared to the theoretical plot, with practically no impact on the gain flatness. This thus indicates certain robustness of the tapered CDSDA against the C_{gd} parasitic of the discrete HJ-FETs. When compared with the responses of the CDA (also in Fig. 12(c)) where the C_{gd} effect is less since the gain is smaller due to the matched idle termination, the tapered CDSDA still offers a larger gain at a slightly smaller bandwidth.

The group delay characteristics extracted from the measured phase responses are shown in Fig. 13. Whereas a comparable delay ripple at ±110ps is observed in the tapered CDSDA and the CDA, that of the uniform CDSDA is larger as a result of the sharp rise of the gain near the passband edge. Due to the unavailability of the instrument, the noise figure performance was obtained via simulation using the NE34018 noise model provided by NEC. Simulated results show the

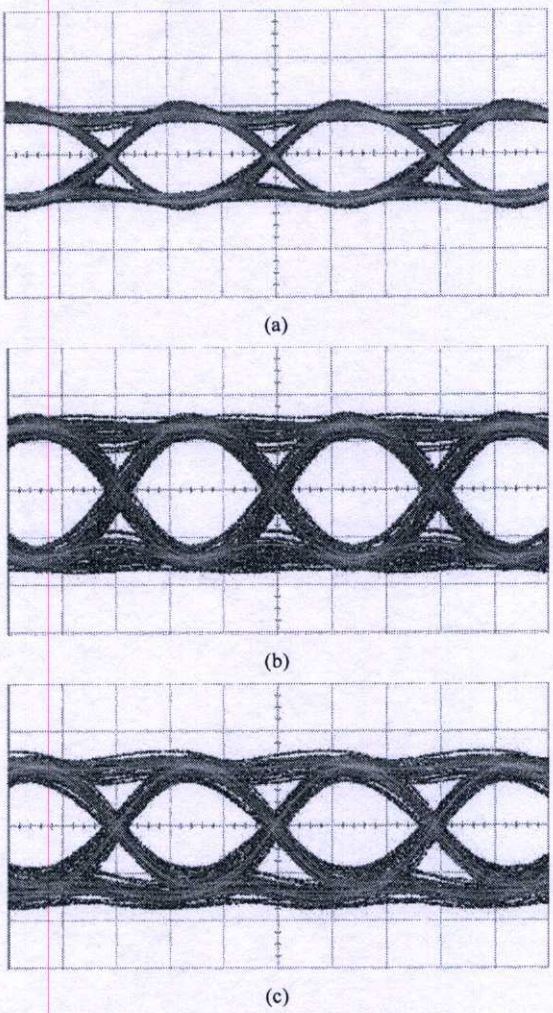


Fig. 14. Measured eye diagrams at 3.4Gb/s of (a) 2-CDA, (b) tapered 2-CDSDA and (c) uniform 2-CDSDA. [Time/div = 100ps, Volt/div = 50mV]

noise figures at 3.7-6.0dB for the tapered drain CDSDA, at 3.9-4.5dB for the uniform CDSDA, and at 3.7-5.3dB for the CDA, over their corresponding bandwidths.

Fig. 14(a)-(c) show the eye diagrams of the amplifiers measured using an Agilent Infiniium DCA-J86100C oscilloscope at 3.4Gb/s data rate and $20mV_{p-p}$ input. It is noted that since a 10dB attenuator was inserted at the input of the high speed oscilloscope to avoid overloading, the output peak-to-peak voltages of the measured eye patterns in Fig. 14 are smaller than the real values by a factor of three. With this correction, the measured output level of the CDA is at $270mV_{p-p}$ [Fig. 14(a)] and the tapered CDSDA at $400mV_{p-p}$ [Fig. 14(b)] which is about 3.4dB larger. The measured results indicate good eye patterns in the tapered CDSDA and the CDA. The slightly inferior intersymbol interference (ISI) in the tapered CDSDA is due to the reflected wave residue along the intersection tapered drain line, resulting primarily from the different characteristics between the gate and drain propagation constants particularly at high frequencies. Also for comparison, the measured eye pattern of the uniform CDSDA is given in Fig. 14(c) where it exhibits a more severe ISI with smaller eye opening. This is mainly attributed to the effect of the reverse wave reflection at the open idle

TABLE II
PERFORMANCE SUMMARY FOR HJ-FET AMPLIFIERS

Performance	Tapered CDSDA	Uniform CDSDA	CDA
G (S_{21})	25.2dB	25.2dB	21.7dB
S_{11}/ S_{22}	–15.2dB/–14.4dB	–15.4dB/–14.2dB	–7.3dB/–8.1dB
BW	3.2GHz	2.3GHz	3.6GHz
NF	3.7-6.0dB	3.9-4.5dB	3.7-5.3dB
P_{o1dB}	4.6dBm	4.5dBm	4.3dBm
Total current	40mA		

termination of the intersection drain line. It should be noted that, as indicated by simulation, the secondary effect due to the gate-drain capacitance C_{gd} on the eye pattern is negligible for all the amplifiers.

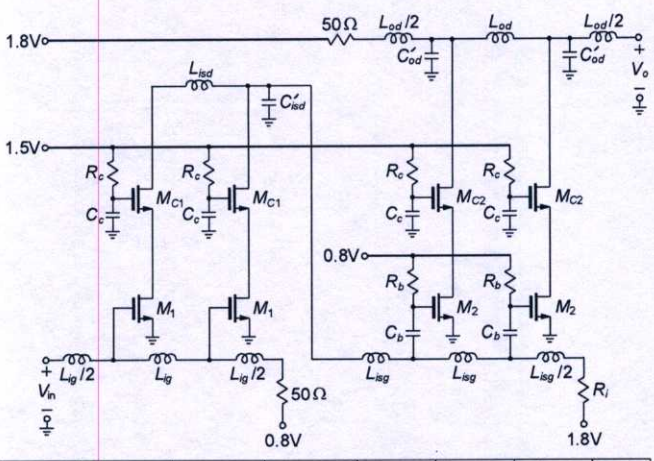
For the measurement of large-signal performance, all the amplifiers exhibit similar performances. For the input frequency at 2 GHz, the output 1-dB compression points (P_{o1dB}) of the tapered and uniform CDSDAs are measured at 4.6dBm and 4.5dBm, respectively. The measured output 1-dB compression point of the CDA is at 4.3dBm.

For ease of comparison, Table II summarizes the measured results of the different HJ-FET amplifier topologies. It can be seen that the tapered CDSDA exhibits the largest gain-bandwidth (GBW) product of 58.2GHz. The GBW product of the uniform CDSDA is smaller, i.e., at 41.8GHz, primarily due to the bandwidth reduction as a result of the open idle drain reflection. For the CDA, the GBW product is similar to the uniform CDSDA, i.e., at 43.7GHz, but this is mainly because of a smaller gain since the idle drain is matched. Also indicated from the table is that the GBW enhancement of the tapered CDSDA comes at practically no cost to the noise figure performance (NF), the output driving capability (P_{o1dB}), and the total current consumption, particularly when compared to the CDA counterpart.

B. Simulated Results in CMOS implementation

The feasibility in IC realization was demonstrated via design and simulation of the tapered drain 2-CDSDA using a 0.18μm 1.8V 6-Metal RF CMOS process technology from the UMC foundry. For comparison, the 2-CDA and the uniform drain 2-CDSDA counterparts based on the same MOSFETs and bias conditions were also designed and simulated. Compared to the hybrid circuits in the previous sub-section, the fully integrated realization offers flexibility to control the transistor parameters through the flexible selection of the device dimensions (limited by the minimum feature size of a given process). This enables us to design the amplifiers to meet the desired specifications. With no package parasitics, the integrated realization can be effectively equipped with sophisticated techniques, such as cascode transistor arrangement, to enhance performance. In addition, the shrinking of the smallest feature size for each new process generation continues to push the operating frequency to higher frequencies.

Throughout simulation, practical models for RF transistors and passive components provided by the process design kit were employed. Also, from the amplifier layout (not shown), interconnected parasitics were characterized using a commercial EM simulator, and these were subsequently included in circuit simulation.



Parameters	$(W/L)_{1,2}$	$(W/L)_{C1,C2}$	$R_i/R_b/R_c$	L_g/L_{od}	L_{isg}/L_{isd}	C'_{isd}/C'_{od}	C_b/C_c
Tapered	100μm/0.18μm	50μm/0.18μm	50Ω/2KΩ/10Ω	1.4nH/1.4nH	1.4nH/2.5nH	100fF/180fF	5pF/5pF
Uniform					1.4nH/1.4nH	180fF/180fF	

Fig. 15. Circuit schematic and component parameters for MOSFET tapered drain 2-CDSDA.

As in most of CMOS distributed amplifier implementations, the cascoded arrangement was employed for each of the identical amplifier stages since it provides high reverse isolation due to the suppression of feedback effect via C_{gd}. The size of the amplifier transistor was selected at W/L = 100μm/0.18μm, whereas that of the cascoded transistor was selected at *half*, i.e., at W/L = 50μm/0.18μm, so that the capacitance ratio C_d/C_g stays close to the effective bound of the tapered drain technique as indicated by (20), i.e., at C_d/C_g = 0.25 for n = 2 and α = 1. The gate-source voltage for the amplifier transistors is at V_{gs} = 0.8V and the drain bias current is at I_{ds} = 6.8mA. Under this design condition, the extracted parameters of the cascoded MOSFET amplifier including interconnected parasitic capacitance for theoretical performance calculation are as summarized in Table I.

For the passive component library of the employed process, the minimum inductance of the characterized on-chip inductor layouts and models is at ~0.56nH. With this constraint, the designed inductance values for the uniform section of the gate/drain lines, including interconnected parasitic inductance at 0.14nH, were at $L_{g,d}/2$ = 0.7nH and $L_{g,d}$ = 1.4nH. Note that the increase in the inductance results in slight bandwidth reduction and slight degradation in the input/output return losses. Of practical benefit however, it provides voltage peaking along the lumped gate/drain lines, which helps counterbalance the lines' losses and the gain attenuation of the cascoded amplifier due to its non-dominant *internal* pole.

The circuit schematic and the design parameters of the tapered 2-CDSDA are given in Fig. 15. It is noted that with the limitation of the parasitic capacitances from the cascode transistor, the inductors and the interconnections, the drain impedance ratio at $\sigma \approx 1.7$ is obtained in the tapered CMOS CDSDA. Under the design conditions, the theoretical low-frequency gain of the amplifier is calculated at 14.2dB, and the gate/drain lines' cut-off frequency is at $f_c = \omega_c/2\pi \approx$ 15.5GHz. Fig. 16(a) and 16(b) show the simulated gain response and input/output return losses of the tapered 2-CDSDA, respectively. The gain is about 14dB with the cut-off frequency at 13.8GHz. Also given in Fig. 16(a) are the

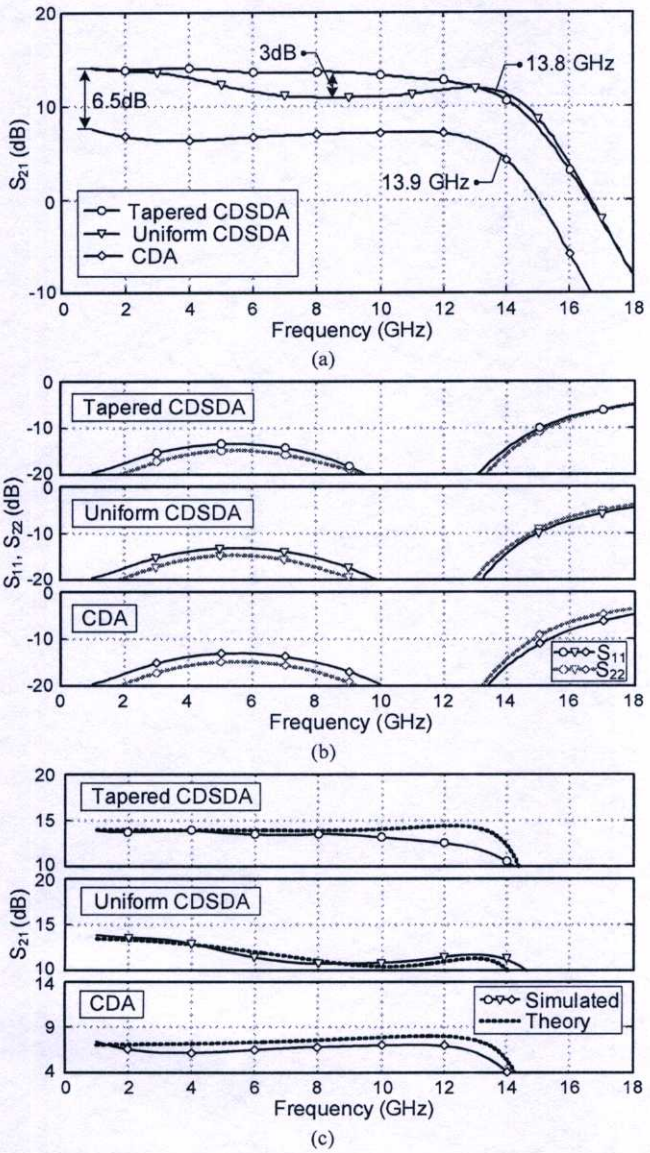


Fig. 16. Simulated S-parameters (a) S_{21}, (b) S_{11}, S_{22} and (c) plots of simulated and theoretical gain responses.

simulated gain responses for the 2-CDA and the uniform 2-CDSDA counterparts. The CDA exhibits a similar operating frequency range but with a smaller gain, i.e., at 7.5dB. For the uniform CDSDA, it is evident that there exists an early gain drop by more than 3dB at intermediate frequen-cies and this is due to the destructive interference from the reflection of the reverse wave along the intersection drain line.

As a verification of the analysis integrity under the assumption of no feedback effect via C_{gd}, the theoretical gain plots based on the developed analysis equations in (23) are included alongside the simulated results as shown in Fig. 16 (c), for each of the amplifier topologies. It can be observed in the figures that the simulated gain characteristics versus frequencies of the tapered/uniform CMSDAs and the CDA follow closely with the developed analytical equations. This not only validates the analysis simplification which takes no account of the C_{gd} feedback effect, but also implies the high reverse isolation in the CMOS cascode transistors up to the

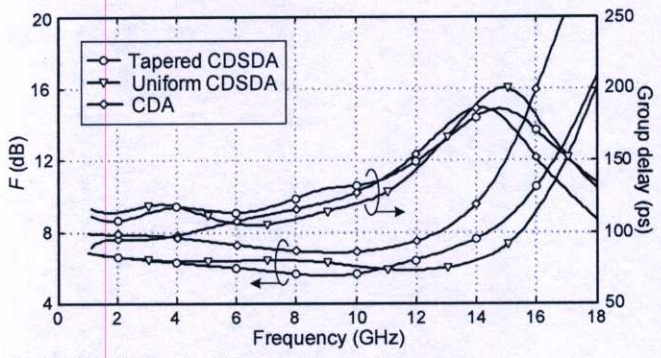


Fig. 17. Simulated noise figures and group delays.

TABLE III
PERFORMANCE SUMMARY FOR CMOS AMPLIFIERS

Performance	Tapered CDSDA	Uniform CDSDA	CDA
G (S_{21})	14dB	14dB	7.5dB
S_{11}/ S_{22}	–13.2dB/–14.7dB	–13.1dB/–14.6dB	–13dB/–14.5dB
BW	13.8GHz	7.2GHz	13.9GHz
NF	5.5-7.5dB	5.9-6.9dB	6.9-9.4dB
P_{o1dB}	–2.5dBm	–2.7dBm	–2.9dBm
Total current	27.2mA		

amplifiers' operating bandwidths.

Fig. 17 shows the noise figure performance of the tapered CDSDA at 5.5-7.5dB over the bandwidth from 1.0 to 13.8 GHz. The noise figure of the uniform CDSDA is 5.9-6.9dB, and that of the CDA is at 6.9-9.4dB, over their corresponding bandwidths. Also included in Fig. 17 are the simulated group delays. It is observed that the delay variations in all the amplifiers across the operating frequency from 1.0 to 13.8GHz are comparable, i.e., at ±40ps for the tapered 2-CDSDA, at ±49ps for the CDA, and at ±42.5ps for the uniform 2-CDSDA.

Fig. 18(a)-(c) illustrates the simulated output eye diagrams for a 12.5Gb/s input at $100mV_{p-p}$. It is seen in Fig. 18(a) and 18(b) that the tapered CDSDA exhibits a good eye pattern comparable to that of the CDA, with a higher output voltage by about 6.3dB because of a larger gain. The slightly inferior ISI in the tapered CDSDA is mainly due to the reflected wave residue. Similar to the measured characteristic in Fig. 14(c), for the uniform CDSDA, the eye pattern in Fig. 18(c) exhibits severe ISI and reduced eye opening as a result of the large reverse wave reflection at the open termination along the intersection drain line. In terms of simulated large signal performances, the tapered CDSDA exhibits the output 1-dB compression at –2.5dBm for the input frequency at 6.0GHz. For the uniform CDSDA and the CDA, the output 1-dB compressions are at –2.7dBm and –2.9dBm respectively.

The simulated results of the different CMOS amplifier topologies are summarized in Table III. As in the case of the HJ-FET realizations, the tapered CDSDA exhibits the largest GBW product of 69GHz. The GBW product of the uniform CDSDA is at 36GHz, as a result of the bandwidth reduction, whereas that of the CDA is at 33GHz, as a result of the smaller gain. Also evidenced from the table is that the tapered CDSDA offers the GBW improvement over the CDA counterpart with practically no degradation on the noise and output driving performance, while the total current is identical. The results thereby validate the effectiveness of the

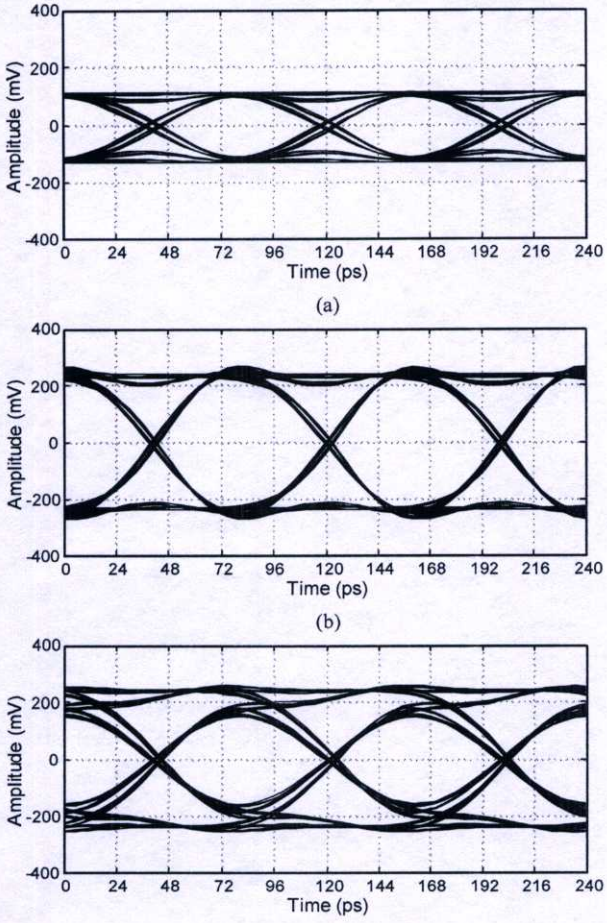


Fig. 18. Simulated eye diagrams at 12.5Gb/s for (a) 2-CDA, (b) tapered 2-CDSDA and (c) uniform 2-CDSDA.

TABLE IV
SUMMARY OF TAPERED CDSDA AND CSSDA PERFORMANCES

Amplifiers	Gain	BW	NF	P_{o1dB}	Total current
Tapered CDSDA	14dB	13.8GHz	5.5-7.5dB	–2.5dBm	27.2mA
CSSDA	14dB	12.8GHz	8.8-10dB	–8.4dBm	27.2 mA

tapering technique, and the ability of the cascode transistor arrangement to suppress the C_{gd} effect in CMOS implementations.

Finally, it is instructive to investigate comparative performances between the tapered 2-CDSDA and the 4-CSSDA designed using the same cascoded amplifier stages as in Fig. 15 for the same current consumption. Given in Table IV is the summary of the simulated performances for both amplifiers. The table suggests an inferior overall performance in the CSSDA. In this particular design, whereas both amplifiers exhibit comparable gains and bandwidths, the CSSDA possesses a higher noise figure by more than 2.5dB and a smaller output 1-dB compression point by ~6dB.

V. CONCLUSION

This paper has presented an extensive analytical treatment and the tapering technique for bandwidth enhancement of the cascaded double-stage distributed amplifier or CDSDA. Numerous qualitative insights and closed-form expressions

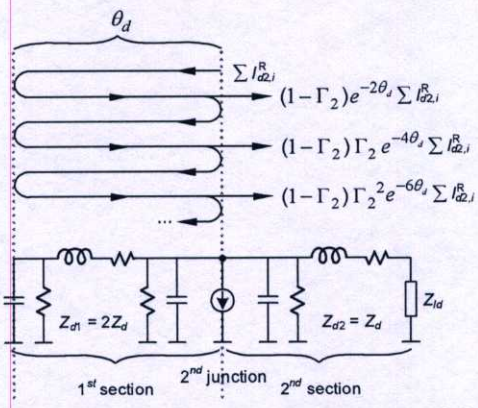


Fig. 19. Multiple reflection of residual wave along tapered drain line of CDSDA.

have been developed to enable determination and investigation of the frequency characteristics of the general CMSDA structure. It was identified that, with an exception for the single-stage configuration, the bandwidth of the CMSDA is intrinsically limited by the reflected waves as a result of open idle drain terminations at intersections. In order to suppress the adverse effect of the open drain reflection, the tapering of the drain line characteristic impedances has been introduced. The technique relies upon a counterbalance of the reverse wave by the partial reflection of the forward wave at each of the tapered impedance junctions. This has resulted in the CMSDA bandwidth being compatible with that achieved by the CDA with matched idle drain terminations, leading to a simultaneous high gain and high bandwidth CMSDA. Also discussed was the analysis of the non-ideal effects where it was shown that typical parasitic capacitance of the transistors may limit the practicality of the drain line tapering to the double-stage configuration. Experiment and simulation of the CDSDAs equipped with the tapering technique, as well as comparisons with the CDA and the uniform CDSDA counterparts, were provided to validate the developed theory, and to demonstrate the promise of high-gain and broadband operation of the tapered drain line CDSDA structure. Since the tapered drain CDSDA can offer better output driving and noise performances than the CSSDA counterpart, an improvement in the overall performance is anticipated by incorporating the double-stage configuration into the two-dimensional high-gain CMOS DA architecture [28] which has captured current research attention.

APPENDIX: CALCULATION OF LOAD CURRENT DUE TO REVERSE CURRENT WAVE RESIDUE IN CDSDA

Let us consider the total reverse current wave residue $\sum I^R_{d2,i}$ at the second drain junction of the CDSDA as shown in Fig. 19. As the wave travels through the first drain line section and reaches the open idle termination end, it is reflected as $e^{-\theta d}\sum I^R_{d2,i}$, and consequently travels back towards the junction. Upon reaching the second junction, the forward wave component that flows into the second drain line section and subsequently into the load Z_{ld} is $e^{-2\theta d}(1 - \Gamma_2)\sum I^R_{d2,i}$. The reflected component that travels back in the reverse direction, again through the first drain line section, is $e^{-2\theta d}\Gamma_2\sum I^R_{d2,i}$. This creates another reflection at the open termination and hence

other forward and reflected wave components at the second junction, and so on [see Fig. 19]. Following this, the sum of the forward waves traveling towards the load is

$$I_d^{\mathrm{R}} = (1-\Gamma_2)e^{-2\theta_d}\left(1+\Gamma_2 e^{-2\theta_d}+\Gamma_2^2 e^{-4\theta_d}+\cdots\right)\sum_{i=1}^{2} I_{d2,i}^{\mathrm{R}} = \rho\sum_{i=1}^{2} I_{d2,i}^{\mathrm{R}} \quad \text{(A.1)}$$

, with

$$\rho = \frac{1-\Gamma_2}{1-\Gamma_2 e^{-2\theta_d}} e^{-2\theta_d} = \frac{2\sigma/(1+\sigma)}{\cosh(2\theta_d)+\sinh(2\theta_d)-(1-\sigma)/(1+\sigma)} \quad \text{(A.2)}.$$

ACKNOWLEDGEMENT

The authors would like to thank Palatorn Sricham and Dr. Duang-rudee Worasucheep of Chulalongkorn University for the measurement supports of the eye pattern.

REFERENCES

[1] B. Kleveland, C. H. Diaz, D. Vook, L. Madden, T. H. Lee, and S. Wong, "Monolithic CMOS distributed amplifier and oscillator," *IEEE ISSCC Dig. Tech. Paper*, 1999, pp. 70-71.

[2] B. M. Ballweber, R. Gupta, and D. J. Allstot, "A fully integrated 0.5-5.5-GHz CMOS distributed amplifier," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 231-239, Feb. 2000.

[3] R. C. Lui, C. S. K. Lin, L. Deng, and H.Wang, "Design and analysis of DC-to-14-GHz and 22-Ghz CMOS cascode distributed amplifiers," *IEEE J. Solid-State Circuits*, vol. 39, no.8, pp. 1370-1374, Aug. 2004.

[4] F. Ellinger, "60-GHz SOI CMOS traveling-wave amplifier with NF below 3.8 dB from 0.1 to 40 GHz," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 553-558, Feb. 2005.

[5] P. Heydari, "Design and analysis of a performance-optimized CMOS UWB distributed LNA," *IEEE J. Solid-State Circuits*, vol. 42, no. 9, pp. 1892-1905, Sept. 2007.

[6] C. Pavageau, M. S. Moussa, J. P. Raskin, D. Vanhoenaker-Janvier, N. Fel, J. Russat, L. Picheta, and F. Danneville, "A 7-dB 43-GHz CMOS distributed amplifier on high-resistivity SOI substrates," *IEEE Trans. Microwave Theory Tech.*, vol. 56, no. 3, pp. 587-598, Mar. 2008.

[7] T. Mury and V.F. Fusco, "Inverse class-E amplifier with transmission-line harmonic suppression," *IEEE Trans. Circuits and Systems-I*, vol. 54, no. 7, pp. 1555-1561, July 2007.

[8] K. Moez and M. I. Elmasry, "A low-noise CMOS distributed amplifier for ultra-wide-band applications," *IEEE Trans. Circuits and Systems-II*, vol. 55, no. 2, pp. 126-130, Feb. 2008.

[9] M. Varonen, M. Karkkainen, M. Kantanen, and K. A. I. Halonen, "Millimeter-wave integrated circuits in 65-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 43, no. 9, pp. 1991-2002, Sep. 2008.

[10] A. A. Grebennikov, "High-efficiency class FE tuned power amplifiers," *IEEE Trans. Circuits and Systems-I*: Accepted for future publication.

[11] T.S. Kaplan and J.F. Jensen, "Continuous-time ΔΣ modulators using distributed resonators," *IEEE Trans. Circuits and Systems-I*, vol. 52, no. 11, pp. 2397-2403, Nov. 2005.

[12] J. Sewter and A. C. Carusone, "A CMOS finite impulse response filter with a crossover traveling wave topology for equalization up to 30 Gb/s," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp. 909-917, April 2006.

[13] J. Sewter and A. C. Carusone, "A 3-Tap FIR filter with cascaded distributed tap amplifiers for equalization up to 40 Gb/s in 0.18- μm CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no. 8, pp. 1919-1929, Aug. 2006.

[14] S. Pavan and R. Tiruvuru, "Analysis and design of singly terminated transmission-line FIR adaptive equalizers," *IEEE Trans. Circuits and Systems-I*, vol. 54, no. 2, pp. 401-410, Feb. 2007.

[15] S. Reekmans, L. Hernandez, and E. Prefasi, "A subsampling quadrature ΣΔ modulator based on distributed resonators for use in radio receiver," *IEEE Trans. Circuits and Systems-II*, vol. 54, no. 9, pp. 820-824, Sep. 2007.

[16] J. Y. Liang and C. S. Aitchison, "Gain performance of cascade of single stage distributed amplifiers," *Electron. Lett.*, vol. 31, no. 15, pp. 1260-1261, Jul. 1995.

[17] B. Y. Banyamin and M. Berwick, "Analysis of the performance of four-cascaded single-stage distributed amplifiers," *IEEE Trans. Microwave Theory Tech.*, vol. 48, no. 12, Dec. 2000.

[18] A. Worapishet, S. Srisathit, and M. Chongcheawchamnan, "Broadband amplification in CMOS technology using cascaded single-stage distributed amplifier," *Electron. Lett.*, vol. 38, no. 14, pp. 675-676, Jul. 2002.

[19] S. Galal and B. Razavi, "40-Gb/s amplifier and ESD protection circuit in 0.18-μm CMOS technology," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2389-2396, Dec. 2004.

[20] C. H. Wu, C. H. Lee, W. S. Chen, and S. I. Lui, "CMOS wide-band amplifiers using multiple inductive-series peaking technique," *IEEE J. Solid-State Circuits*, vol. 40, no. 2, pp. 548-552, Feb. 2005.

[21] M. D. Tsai, "A miniature 25-GHz 9-dB CMOS cascaded single-stage distributed amplifier," *IEEE Microwave and Wireless Components Lett.*, vol. 14, no. 12, pp. 554-556, Dec 2004.

[22] X. Guan and C. Nguyen, "Low-power-consumption and high-gain CMOS distributed amplifiers using cascade of inductively coupled common-source gain cells for UWB systems," *IEEE Trans. Microwave Theory Tech.*, vol. 54, no. 8, pp. 3278-3283, Aug. 2006.

[23] A. Worapishet, I. Roopkom, and W. Surakampontorn, "Performance analysis and design of triple-resonance interstage peaking for wide-band cascaded CMOS amplifiers," *IEEE Trans. Circuits and Systems-I*, vol. 54, no. 6, pp. 1189-1203, June 2007.

[24] M. D. Tsai, H. Wang, J. F. Kuan, and C. S. Chang, "A 70-GHz cascaded muti-stage distributed amplifier in 90-nm CMOS technology," *IEEE International Solid-State Circuit Conference*, pp. 402-606, Feb. 2005.

[25] A. Worapishet and I. Roopkom, "Cascaded double-stage configuration for high-performance broadband amplification in CMOS," *IEEE Circuits and Systems*, vol. 2, pp. 1606-1609, May 2005.

[26] A. Arbabian and A. M. Niknejad, "A tapered cascaded multi-stage distributed amplifier with 370GHz GBW in 90nm CMOS," in *Proc. IEEE Radio Freq. Integr. Circuits (RFIC) Symp.*, 2008, pp. 57-60.

[27] J. Park and D. J. Allstot, "A matrix amplifier in 0.18-μm SOI CMOS," *IEEE Trans. Circuits and Systems-I*, vol. 53, no. 3, pp. 561-567, Mar. 2006.

[28] J. C. Chien and L. H. Lu, "40-Gb/s high-gain distributed amplifiers with cascaded gain stages in 0.18-μm CMOS," *IEEE J. Solid-State Circuits*, vol. 42, no. 12, pp. 2715-2725, Dec. 2007.

[29] J. S. Walling, S. Shekhar, and D. J. Allstot, "Wideband CMOS amplifier design: Time-domain considerations," *IEEE Circuits and Systems-I*, vol. 55, No. 7, pp. 1781-1793, Aug. 2008.

[30] B. Razavi, R. H. Yan, and K.F. Lee, "Impact of distributed gate resistance on the performance of MOS devices," *IEEE Trans. Circuits and Systems-I, Fundam Theory Appl.*, vol. 41, No. 11, pp. 750-754, Nov. 1994.

[31] J. B. Beyer, S. N. Prasad, R. C. Becker, J. E. Nordman, and G. K. Hohenwarter, "MESFET distributed amplifier design guidelines," *IEEE Trans. Microwave Theory Tech.*, vol. 32, pp. 248-275, Mar. 1984.

[32] K. Koumetsov and A. M. Niknejad, "Design and analysis of distributed amplifier", http://www-inst.eecs.berkeley.edu/~ee217/sp03/projectsSP99/Distrib_Amp.pdf

[33] R. Halladay, A. M. Pavio, and C. Crabill, "A 1-20 GHz dual-gate distributed power amplifier," *IEEE GaAs IC Symposium*, pp. 219-222, 1987.

[34] G. D. Vendelin, A. M. Pavio, and U. L. Rohde, *Microwave Circuit Design Using Linear and Nonlinear Techniques*. New York: Wiley, 1990.

[35] C. S. Aitchison, "The intrinsic noise figure of the MESFET distributed amplifier," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-33, no. 6, pp. 460-466, June 1985.

[36] L. Moura, P. P. Monteiro, and I. Darwazeh, "Generalized noise analysis technique for four-port linear networks," *IEEE Trans. Circuits and Systems-I*, vol. 52, no. 3, pp. 631-640, Mar. 2005.

[37] P.K. Ikalainen, "Low-noise distributed amplifier with active load," *IEEE Microwave and Guided Wave Lett.*, vol. 6, no. 1, pp. 7-9, Jan. 1996.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นาย อิทธิพัฒน์ รูปคม
วัน เดือน ปีเกิด	7 กันยายน 2519
ที่อยู่	7/2 หมู่ 8 ถนนรามอินทรา แขวงท่าแร้ง เขตบางเขน กรุงเทพฯ 10230 โทร 083-778-0563
ประวัติการศึกษา	2545 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม มหาวิทยาลัยเทคโนโลยีมหานคร 2548 วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม มหาวิทยาลัยเทคโนโลยีมหานคร
ความชำนาญเฉพาะด้าน	1.) การออกแบบวงจรขยายสัญญาณแถบความถี่กว้าง