

การออกแบบวงจรคูณสัญญาณอนาล็อกชนิดสี่ควอดแดนต์ด้วยซีมอสที่ใช้
แหล่งจ่ายไฟต่ำแหล่งจ่ายเดียว และวงจรมีค่าความเพี้ยนต่ำ

A DESIGN OF A SINGLE LOW POWER SUPPLY WITH LOW DISTORTION
FOUR QUADRANTS CMOS ANALOG MULTIPLIER

อาคม จุฑมั่ง
ARKHOM JODTANG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-M-010-143

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรคูณสัญญาณอนาล็อกชนิดสี่ควอดแดนต์ด้วยซีมอสที่ใช้
แหล่งจ่ายไฟต่ำแหล่งจ่ายเดียว และวงจรมีค่าความเพี้ยนต่ำ

A DESIGN OF A SINGLE LOW POWER SUPPLY WITH LOW DISTORTION
FOUR QUADRANTS CMOS ANALOG MULTIPLIER



อาคม จดแดง
ARKHOM JODTANG

เลขหมู่.....
เลขทะเบียน..... 105470
วัน,เดือน,ปี..... 24 พ.ย. 2552



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL 2009-EN-M-010-143

**A DESIGN OF A SINGLE LOW POWER SUPPLY WITH
LOW DISTORTION FOUR QUADRANTS CMOS ANALOG MULTIPLIER**

ARKHOM JODTANG

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2009

KMITL 2009-EN-M-010-143

COPYRIGHT 2009

FACULTY OF ENGINEERING

KING MONGUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรคูณสัญญาณ อนาล็อกชนิดสี่ควอดแดนต์ด้วยซีมอสที่ใช้แหล่งจ่ายไฟต่ำ
แหล่งจ่ายเดียวและวงจรมีค่าความเพี้ยนต่ำ

Thesis Title A Design of a Single Low Power Supply with Low Distortion Four Quadrants CMOS
Analog Multiplier

นักศึกษา นายอาคม จดแดง

รหัสประจำตัว 47061070

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมโทรคมนาคม

อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.กอบชัย เดชหาญ

หมายเลขวิทยานิพนธ์ KMITL-2009-EN-M-010-143

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ผศ.ดร.พิพัฒน์	พรหมมี	
ดร.สิรภพ	ตู้ประกาย	
รศ.จิระศักดิ์	ชาญวุฒิชัยธรรม	
รศ.ดร.ฟูศักดิ์	ชีวิสุวิทย์	
รศ.ดร.กอบชัย	เดชหาญ	

วัน / เดือน / ปี ที่สอบ วันอังคารที่ 6 ตุลาคม พ.ศ. 2552 เวลา 15.30-17.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 2

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 6 ตุลาคม พ.ศ. 2552

หัวข้อวิทยานิพนธ์	การออกแบบวงจรคุณลักษณะอนาล็อกชนิดสี่ควอดแดนต์ด้วย ซีมอสที่ใช้แหล่งจ่ายไฟต่ำแหล่งจ่ายเดียวและวงจรมีค่าความเพี้ยนต่ำ
นักศึกษา	นายอาคม จดแดง
รหัสนักศึกษา	47061070
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2552
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

งานวิจัยนี้นำเสนอการออกแบบวงจรคุณลักษณะอนาล็อกชนิดสี่ควอดแดนต์ด้วยซีมอสที่ใช้แหล่งจ่ายไฟต่ำแหล่งจ่ายเดียว งานวิจัยนี้เสนอวิธีการบังคับแรงดัน เกรน-ซอส ของทรานซิสเตอร์มอส ให้ทำงานในช่วงโอม์มิก วงจรที่ได้นี้ใช้แหล่งจ่ายไฟต่ำแหล่งจ่ายเดียว ซึ่งวงจรรวมทั้งหมดแล้วประกอบด้วยทรานซิสเตอร์ 20 ตัวและแหล่งจ่ายกระแส 8 แหล่งจ่าย โดยใช้แหล่งจ่ายไฟ +1.5 โวลต์ วงจรที่ออกแบบนี้มีสมรรถนะในการทำงานสูงมาก โดย มีความเป็นเชิงเส้นสูง และความเพี้ยนต่ำ สำหรับสัญญาณอินพุตนั้นสามารถป้อนได้ในช่วง ± 400 มิลลิโวลต์ ความคลาดเคลื่อนเชิงเส้นต่ำกว่า 0.1% และความเพี้ยนฮาร์โมนิกต่ำกว่า 0.25% สำหรับการป้อนสัญญาณอินพุตอยู่ในช่วง 800mVp-p

Thesis Title	A design of a single low power supply with low distortion four quadrants CMOS analog multiplier
Student	Mr. Arkhom Jodtang
Student ID.	47061070
Degree	Master Degree of Engineering
Program	Telecommunication Engineer
Year	2009
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

A Single low-supply CMOS Analog Multiplier based up on ohmic region of MOS Transistor is presented. This paper describes a method to force the drain-source voltage (V_{DS}) of MOS transistor to operate in ohmic region. The archived circuit can be used a single low-power supply. The complete circuit contains 20 transistors and 8 current sources using a low power supply +1.5 volts. This circuit has high performance with very high-linearity and low-distortion. The archived input dynamic range operation is $\pm 400\text{mV}$, the linearity error is smaller than 0.1% and total harmonic distortion is smaller than 0.25% for input range 800mVp-p .

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้ด้วยดี เนื่องด้วยได้รับคำแนะนำและได้รับคำปรึกษาจาก รศ.ดร.กอบชัย เศรษฐาญ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์ รศ.สมยศ จุณณะปิยะ ผศ.ดร.พิเชฐ ม่วงนวล และ ดร.พิพัฒน์ พรหมมี กระผมขอขอบพระคุณอาจารย์ทุกท่านที่ได้อบรมสั่งสอน ให้คำปรึกษา ตลอดจนให้คำแนะนำต่าง ๆ ในระหว่างที่เรียน ขอขอบพระคุณเป็นอย่างสูงครับ

โอกาสนี้ กระผมขอกราบขอบพระคุณคณาจารย์ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุกท่านเป็นอย่างยิ่ง ที่ท่านทั้งหลายได้ประสิทธิ์ประสาทวิชาให้กระผมได้รับความรู้โดยละเอียด

กระผมขอขอบคุณพี่ ๆ ที่ภาควิชาที่ได้ช่วยอาจารย์ในกรณีที่ทำการที่เกี่ยวกับกระผม และขอบคุณไปถึง บัณฑิตวิทยาลัยที่ได้ให้บริการและความช่วยเหลือ แก่กระผมในกรณีต่าง ๆ ด้วย

สุดท้ายนี้กระผมขอกราบขอบพระคุณ บิดา มารดา และเพื่อน ๆ พี่น้อง ที่ร่วมเรียนด้วยกัน ที่ได้ช่วยให้การสนับสนุน และให้กำลังใจในระหว่าง รวมถึงคำแนะนำให้กระผมสามารถทำวิทยานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงด้วยดี

ด้วยความสำเร็จดั่งเช่นวิทยานิพนธ์ฉบับนี้ กระผมขอมอบแก่ผู้มีพระคุณทุกท่านที่ได้ช่วยให้ กระผมประสบความสำเร็จได้ด้วยดี และขอให้ทุกท่านประสบความสำเร็จในด้านต่าง ๆ เช่นกัน

อาคม จดแดง

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	V
สารบัญรูป.....	VI
บทที่ 1 บทนำ.....	1
1.1. ความเป็นมาและความสำคัญของปัญหา.....	1
1.2. ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3. ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....	1
1.4. ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	2
1.5. ขอบเขตการวิจัย.....	2
1.6. ขั้นตอนการศึกษา.....	2
บทที่ 2 ทฤษฎีของทรานซิสเตอร์สนามไฟฟ้าและการประยุกต์ใช้.....	4
2.1. บทนำ.....	4
2.1.1. ข้อเปรียบเทียบระหว่างวงจรรวมกับวงจรถิสิกส์.....	4
2.1.2. ข้อเปรียบเทียบระหว่างทรานซิสเตอร์แบบเฟทกับแบบไบโพลาร์.....	5
2.2. เทคโนโลยีของมอส.....	7
2.3. โครงสร้างของมอสเฟท.....	8
2.4. สัญลักษณ์ของมอสเฟท.....	12
2.5. หลักการพื้นฐานของมอสเฟท.....	13
2.5.1. การทำงานของมอสเฟท.....	13
2.5.2. สมการกระแสในช่วงต่าง ๆ ของมอสเฟท.....	22
2.6. ชนิดของมอสเฟท.....	24
2.7. แบบจำลองของมอสเฟท.....	28
2.7.1. แบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่ความถี่ต่ำ.....	28
2.7.2. แบบจำลองของมอสเฟทสำหรับสัญญาณขนาดเล็กที่ความถี่สูง.....	30

สารบัญ (ต่อ)

	หน้า
2.7.3. แบบจำลองระดับหนึ่ง (level 1 model).....	33
2.7.4. แบบจำลองระดับสอง (level 2 model).....	33
2.7.5. แบบจำลองระดับสอง (level 3 model).....	34
2.8. บทสรุป.....	34
บทที่ 3 การออกแบบวงจรคุณสัญญาณอนาล็อก 4 ควอดแดนท์ ที่ใช้แหล่งจ่ายไฟต่ำ.....	35
3.1. หลักการของวงจรเลื่อนระดับแรงดัน.....	35
3.2. หลักการของวงจรบัฟเฟอร์ป้อนกลับแบบขนาน.....	36
3.3. หลักการทรานซิสเตอร์คู่เหมือนทำงานในช่วงโอห์มิก.....	37
3.4. ทรานคอนดักเตอร์ที่ใช้แหล่งจ่ายไฟต่ำ.....	38
3.5. วงจรคุณสัญญาณอนาล็อก 4 ควอดแดนท์ ที่ใช้แหล่งจ่ายไฟต่ำ.....	39
บทที่ 4 การทดสอบการทำงานของวงจรด้วยโปรแกรมจำลองการทำงาน.....	40
4.1. วงจรและคุณสมบัติของอุปกรณ์ในการจำลองการทำงาน.....	40
4.2. ทดสอบวงจรด้วยการคุณสัญญาณแบบ DC.....	41
4.3. ทดสอบวงจรด้วยการคุณสัญญาณแบบ AM.....	43
4.4. การทดสอบความกว้างแถบคลื่น (Bandwidth).....	44
4.5. สรุปผลการทดสอบการทำงานของวงจร.....	45
บทที่ 5 สรุปผลการวิจัย และ ข้อเสนอแนะ.....	46
บรรณานุกรม.....	47
ภาคผนวก ก : การโปรแกรมบน Pspice.....	48
ภาคผนวก ข : บทความที่ได้รับการตีพิมพ์.....	52
ประวัติผู้เขียน.....	59

สารบัญตาราง

ตารางที่	หน้า
2.1	สัญลักษณ์ของมอสเฟทชนิด (Enhancement) และมอสเฟทชนิด (Depletion)..... 13
4.2	การเปรียบเทียบวงจรที่นำเสนอกับงานนำเสนออื่น ๆ ที่ผ่านมา..... 44

สารบัญรูป

รูปที่	หน้า
2.1. แผนผังของเทคโนโลยีวงจรรวม.....	7
2.2. โครงสร้างของมอส (MOS: Metal-Oxide Semiconductor).....	8
2.3. ความสัมพันธ์ระหว่างค่าความจุ (C) กับแรงดัน (V).....	9
2.4. โครงสร้างของมอสเฟต (MOSFET: Metal-Oxide Semiconductor FET).....	10
2.5. โครงสร้างของมอสทรานซิสเตอร์แบบ เอนฮานซ์เมนต์ชนิด เอ็น.....	10
2.6. โครงสร้างของเทคโนโลยีซีมอส.....	11
2.7. การทำงานและคุณสมบัติ ID-VDS ของมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิด เอ็นแซนแนล ขณะที่ VGS มีค่าคงที่ และ VDS มีค่าอยู่ในช่วงต่าง ๆ.....	12
2.8. ความสัมพันธ์ของกระแสเดรน และแรงดันที่ขาเดรนกับขอส.....	20
2.9. ย่านพังกหลายกระแสเดรนของมอสเฟตจะเพิ่มขึ้นอย่างรวดเร็วเมื่อ $V_D \geq V_B$	21
2.10. โครงสร้างของมอสเฟตแบบ D-MOSFET.....	25
2.11. โครงสร้างของมอสเฟตแบบ E-MOSFET.....	26
2.12. กราฟความสัมพันธ์ระหว่าง I_D กับ V_{DS}	27
2.13. แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็กที่มีความถี่ต่ำ.....	28
2.14. แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็กที่ฐานรองไม่ได้ต่อกับขอส.....	29
2.15. แบบจำลองวงจรมูลของมอสเฟตที่ความถี่สูง.....	30
2.16. การหาอัตราขยายกระแสขณะที่ยึดวงจร.....	32
3.1. แสดงวงจรเลื่อนระดับแรงดัน.....	35
3.2. วงจรบัฟเฟอร์ป้อนกลับแบบขนาน.....	36
3.3. วงจรทรานซิสเตอร์มอสคู่เหมือน.....	37
3.4. วงจรขยายทรานสดักคแดนซ์แบบใช้แหล่งจ่ายไฟต่ำ.....	38
3.5. วงจรคูณสัญญาณอนาล็อก 4 ควอดแดนซ์ที่ใช้แหล่งจ่ายไฟต่ำ.....	39
4.1. แสดงวงจรคูณสัญญาณอนาล็อก 4 ควอดแดนซ์ที่ใช้แหล่งจ่ายไฟต่ำ.....	40
4.2. คุณสมบัติทางกระแสตรงของวงจรคูณสัญญาณที่นำเสนอ.....	41
4.3. ความคลาดเคลื่อนเชิงเส้นของวงจรคูณสัญญาณที่นำเสนอ.....	42
4.4. ผลการทดลองเพื่อหาค่า THD ของวงจรที่นำเสนอ.....	43
4.5. สัญญาณอินพุตความถี่ 10MHz และ 500kHz และสัญญาณ AM เอาท์พุท.....	43
4.6. Bandwidth ของวงจรที่นำเสนอ.....	44

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบัน เทคโนโลยีด้านโทรคมนาคม ได้มีการพัฒนาไปอย่างรวดเร็ว และสิ่งหนึ่งที่เป็นส่วนประกอบพื้นฐานที่สำคัญที่ช่วยให้การพัฒนามีความล้ำหน้ายิ่งขึ้นก็คือเทคโนโลยีการออกแบบวงจรอิเล็กทรอนิกส์ย่อย ๆ ที่นำมาเป็นส่วนประกอบของอุปกรณ์โทรคมนาคม ให้มีคุณสมบัติที่ดีและสะดวกในการนำไปใช้เพื่อการพัฒนาเป็นอุปกรณ์โทรคมนาคม หรือการประยุกต์ใช้กับงานอื่น ๆ ในอนาคต

การคุณลักษณะนั้นมีความสำคัญกับวงจรอิเล็กทรอนิกส์ที่ใช้ในอุปกรณ์โทรคมนาคมอย่างมาก ฉะนั้นการออกแบบวงจรคุณลักษณะให้มีการบริโภคพลังงานน้อยลง ใช้แหล่งพลังงานแบบที่ง่ายไม่ซับซ้อน ทำงานได้ย่านความถี่กว้าง มีคุณภาพสัญญาณผลลัพธ์ดีและความผิดพลาดต่ำ เหล่านี้ถือว่ามีความจำเป็นต่อการออกแบบวงจรคุณลักษณะที่เป็นส่วนประกอบของอุปกรณ์โทรคมนาคมในปัจจุบันและอนาคต หากการออกแบบวงจรรย่อยเพื่อให้อุปกรณ์เหล่านั้นมีต้นทุนการผลิตต่ำลง ประหยัดพลังงาน มีประสิทธิภาพดีขึ้น ตอบสนองการใช้งาน

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ความมุ่งหมายของวิทยานิพนธ์ นี้ คือ ออกแบบ วงจรคุณลักษณะ ที่มีประสิทธิภาพ ดีขึ้นกว่าที่เป็นอยู่ในปัจจุบัน กล่าวคือ ใช้แหล่งจ่ายไฟต่ำ (เพียง 1.5 V.) เพียงแหล่งเดียว แต่มีสมรรถนะสูง เช่น ความเป็นเชิงเส้นต่ำ ความเพี้ยนต่ำ ช่วงสัญญาณอินพุตกว้าง เป็นต้น

1.3 สมมติฐานของการศึกษา

สมมติฐานของวิทยานิพนธ์นี้คือ ถ้าสามารถบังคับ แรงดัน เทรน-ชอส ของทรานซิสเตอร์มอสได้ เราก็สามารถควบคุมให้ทรานซิสเตอร์มอสทำงานเฉพาะในช่วงโอม์มิกแล้ว สัญญาณผลลัพธ์จะมีความเป็นเชิงเส้นสูง และมีความเพี้ยนต่ำด้วย

1.4 ทฤษฎีหรือและแนวคิดที่ใช้ในการวิจัย

วงจรคูณที่ใช้แหล่งจ่ายไฟแรงดันต่ำเพียง 1.5 volts จะทำงานได้นั้น สัญญาณต้องประกอบไปด้วยส่วนต่าง ๆ ประกอบกัน เพื่อให้เป็นวงจรคูณสัญญาณที่ทำงานได้ตามสมมุติฐานที่ตั้งไว้

ฉะนั้นจึงต้องเพิ่มวงจรย่อยต่าง ๆ เช่น วงจรเลื่อนระดับแรงดันเพื่อให้แรงดันสูงพอที่จะบังคับให้ทรานซิสเตอร์มอสทำงานในช่วงโอห์มิก ได้

1.5 ขอบเขตการวิจัย

ในวิทยานิพนธ์เล่มนี้ได้นำเสนอวงจรคูณสัญญาณอนาล็อกชนิดสี่ควอดแดนต์ ที่ใช้เทคโนโลยีซิมอสที่มีใช้งานอยู่ในปัจจุบัน โดยการทดสอบการทำงานด้วยโปรแกรมจำลองการทำงาน และนำผลการทดสอบที่ได้มาประเมินคุณสมบัติต่าง ๆ ของวงจร

1.6 ขั้นตอนการศึกษา

วิทยานิพนธ์เล่มนี้ได้แบ่งเนื้อหาออกเป็น 5 บทด้วยกันคือ

บทที่ 1 กล่าวถึงความเป็นมาของงานวิจัย ความมุ่งหมายและวัตถุประสงค์ สมมุติฐาน การเปรียบเทียบระหว่างวิธีการที่นำเสนอกับวิธีการออกแบบพื้นฐาน ขอบเขตของการวิจัย รวมถึงขั้นตอนการศึกษา

บทที่ 2 กล่าวถึงทฤษฎีพื้นฐานที่ใช้ในการวิจัย ในส่วนที่เกี่ยวกับเทคโนโลยีของซิมอส และทฤษฎีของมอสเฟต ประกอบด้วย บทนำ เทคโนโลยีมอส โครงสร้างและการทำงานของมอสเฟต แรงดันขีดเริ่ม การนำกระแสและขอบเขตการทำงานของมอสทรานซิสเตอร์ และการประยุกต์ใช้งานกับวงจรเลื่อนระดับแรงดันและกับวงจรบัฟเฟอร์ป้อนกลับแบบขนาน

บทที่ 3 การออกแบบวงจรทรานสคอนดักต์แดนซ์ที่ทำงานช่วงโอห์มิกที่ใช้แหล่งจ่ายไฟต่ำ โดยเริ่มจากหลักการทรานซิสเตอร์คู่เหมือนและเน้นความสำคัญไปที่ทรานซิสเตอร์คู่เหมือนทำงานช่วงโอห์มิก และวงจรทรานคอนดักเตอร์

บทที่ 4 กล่าวถึงการออกแบบวงจรคูณสัญญาณอนาล็อก 4 ควอดแดนต์ ที่ใช้แหล่งจ่ายไฟต่ำ โดยจะกล่าวถึงหลักการของวงจรคูณสัญญาณอนาล็อก 4 ควอดแดนต์ วงจรอินบาลานซ์ และสุดท้ายกล่าวถึงจรคูณสัญญาณอนาล็อก 4 ควอดแดนต์ที่ใช้แหล่งจ่ายไฟต่ำ

บทที่ 5 กล่าวถึงการทดสอบการทำงานของวงจรด้วยโปรแกรมจำลองการทำงาน โดยในที่นี้คือ PSpice โดยได้ทำการทดสอบคุณสมบัติของอุปกรณ์ ทดสอบด้วยการกระตุ้นแบบ DC และแบบ AM การทดสอบเพื่อหาความคลาดเคลื่อนเชิงเส้น การทดสอบเพื่อหาความเพี้ยนฮาร์มอนิก

บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ ประกอบด้วย บทนำ และ ปัญหาที่เกิดขึ้นและแนวทางแก้ไข

บทที่ 2

เทคโนโลยีของซีมอส และทฤษฎีของมอสเฟต

ในหัวข้อนี้จะกล่าวถึงทฤษฎีพื้นฐานต่าง ๆ ที่เกี่ยวข้องในการวิจัยในส่วนของเทคโนโลยีของซีมอสและทฤษฎีของมอสเฟต ซึ่งเนื้อหาในบทนี้จะกล่าวถึง บทนำ เทคโนโลยีของมอส โครงสร้างของมอสเฟต สัญลักษณ์ของมอสเฟต หลักการพื้นฐานของมอสเฟต ชนิดของมอสเฟตแบบจำลองของมอสเฟต และบทสรุป

2.1 บทนำ

วงจรรวม (IC: Integrated Circuit) ที่จะกล่าวถึงในที่นี้จะอยู่ในลักษณะที่เป็น โมโนลิทิก (Monolithic) กล่าวคือ วงจรทั้งหมดซึ่งประกอบด้วย ส่วนประกอบ (Component) ต่าง ๆ ทั้งแบบแอกทีฟและแพสซีฟ อยู่บนสารกึ่งตัวนำเดียวกัน วงจรรวมนี้โดยทั่วไปจะแบ่งเป็น 2 พวกใหญ่ ๆ คือ พวก ลินีเยอร์ และ ดิจิตอล ซึ่งในการทำวิทยานิพนธ์เล่มนี้จะเน้นไปในการออกแบบวงจรถือเป็น โดยวิทยานิพนธ์นี้เป็นการวิจัยและพัฒนาการออกแบบวงจรรวมด้านงานชนิดลอจิกตัวปรับค่าได้ด้วยแรงดันเป็นอิสระจากแรงดันขีดเริ่ม อาศัยหลักการงานของมอสเฟตชนิดอนฮานซ์เมนต์ (Enhancement) ที่มีการทำงานอยู่ในช่วงนำกระแสไม่อิ่มตัว (Non-Saturation Region หรือ Ohmic Region) เป็นหลัก การออกแบบวงจรถือได้จำลองการเปลี่ยนแปลงการทำงานของวงจรโดยใช้โปรแกรมทางคอมพิวเตอร์คือ โปรแกรม PSpice ซึ่งจะใช้เป็นข้อแสดงถึงสมรรถนะของวงจรที่เกิดขึ้นว่ามีคุณสมบัติเป็นไปตามหลักการที่ออกแบบไว้หรือไม่

2.1.1 ข้อเปรียบเทียบระหว่างวงจรรวมกับวงจรถือ

ในปัจจุบันการลงทุนเกี่ยวกับทางด้านอุปกรณ์สารกึ่งตัวนำส่วนใหญ่จะเน้นหนักไปในการผลิต IC มากกว่าการผลิตส่วนประกอบแบบดิสครีท ทั้งนี้เพราะ IC มีข้อดีมากกว่าวงจรถือ ดิสครีท กล่าวคือ

- 1) ทางด้าน IC นั้นเราสามารถผลิตวงจรต่าง ๆ ได้ทีละหลาย ๆ วงจรต่อการผลิต 1 ครั้ง ดังนั้นจึงทำให้ต้นทุนในการผลิต IC มีราคาถูก
- 2) เนื่องจากส่วนประกอบภายใน IC เช่น ทรานซิสเตอร์ซึ่งถูกผลิตขึ้นมาพร้อม ๆ กัน ในกระบวนการผลิต ดังนั้นค่าพารามิเตอร์ของส่วนประกอบต่าง ๆ นั้นมีค่าเท่ากันและคุณสมบัติ (Characteristic) ของส่วนประกอบเหล่านั้นจะมีความสมมาตรกัน (Match) และ

และนอกจากนั้นส่วนประกอบเหล่านี้ยังมีคุณสมบัติต่อสถานะแวดล้อมต่าง ๆ เช่นการเปลี่ยนแปลงทางอุณหภูมิเหมือนกันด้วย (Thermal Tracking) ซึ่งข้อดีดังกล่าวจึงทำให้ IC มีขีดความสามารถและความเชื่อมั่นในการใช้งานสูง (High Performance and High Reliability) โดยที่ผู้สร้างอาจจะสร้างวงจรที่มีความยุ่งยากและสลับซับซ้อนมาก ๆ ขึ้นมาได้โดยที่อาจจะเป็นไปได้เลยสำหรับวงจรดีสครีท

- 3) เนื่องจาก IC จะไม่มีรอยต่อบัดกรี จึงสามารถลดผลต่าง ๆ อันเกิดขึ้นเนื่องจากสิ่งที่แอบแฝงอยู่ในรอยบัดกรีนั่นลงไปได้โดยสิ้นเชิง ทำให้วงจรใน IC ทำงานดีกว่าวงจรดีสครีททั่วไป
- 4) IC แต่ละตัวอาจทำงานได้เท่า ๆ กับบล็อกแต่ละบล็อกของระบบ (System) ทั่ว ๆ ไปในการศึกษาหรือการออกแบบวงจรอิเล็กทรอนิกส์ในปัจจุบัน จึงเน้นหนักไปในทางด้านบล็อกไดอะแกรมเสียเป็นส่วนใหญ่ ซึ่งจะช่วยให้เกิดความสะดวกขึ้นอีกมาก เพราะสามารถใช้ IC แทนลงในบล็อกไดอะแกรมนั้นได้เลย โดยที่ผู้สร้างไม่จำเป็นต้องไปสร้างวงจรในแต่ละบล็อกนั้นอีก จึงทำให้ลดความยุ่งยากของวงจรทั้งหมดลงไปได้
- 5) IC มีขนาดเล็กและเบา

อย่างไรก็ตามเมื่อ IC มีข้อดี ก็ย่อมจะมีข้อเสียคู่กัน ไปเป็นธรรมดา ซึ่งข้อเสียข้อหนึ่งของ IC ก็คือ ไม่สามารถปรับแต่งค่าต่าง ๆ เช่น ค่าความต้านทานใน IC ได้โดยง่าย เหมือนกับในวงจรดีสครีท แต่ถ้าจำเป็นจริง ๆ ก็จะสามารถปรับแต่งได้โดยใช้แสงเลเซอร์ซึ่งจะทำให้ต้นทุนในการผลิตสูงขึ้นมา ส่วนข้อเสียอีกข้อหนึ่งของ IC ก็คือ การออกแบบวงจรจะยุ่งยากสลับซับซ้อนและใช้เวลามากกว่าการออกแบบวงจรดีสครีทที่ทำงานอย่างเดียวกันแต่ข้อเสียดังกล่าวก็จะไม่มีผลมากเท่าไรเมื่อเราผลิต IC เหล่านั้นได้จำนวนมาก

2.1.2 ข้อเปรียบเทียบระหว่างทรานซิสเตอร์แบบเฟทกับแบบไบโพลาร์

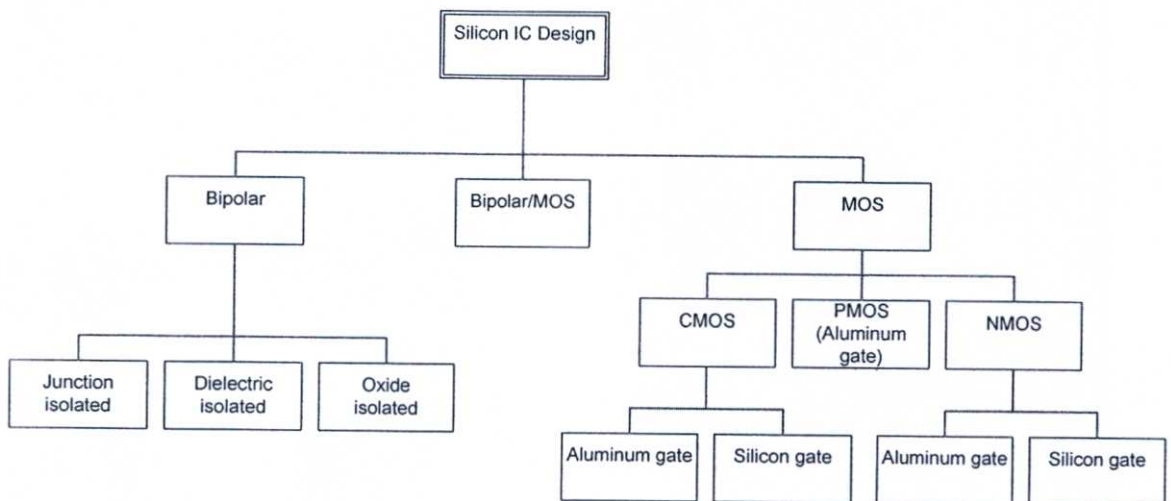
โดยทั่วไปทรานซิสเตอร์แบบเฟทถูกพิจารณาว่ามีคุณสมบัติที่ดีและมีประโยชน์เหนือกว่าทรานซิสเตอร์แบบไบโพลาร์ ซึ่งอาจสรุปได้เป็นข้อ ๆ ดังนี้

- 1) ทรานซิสเตอร์แบบเฟทจะมีค่าความต้านทานอินพุตสูงมาก (High Input Impedance) อยู่ในช่วงประมาณ $10^{10} - 10^{15} \Omega$ โดยขึ้นอยู่กับชนิดของเฟท ซึ่งแตกต่างจากทรานซิสเตอร์แบบไบโพลาร์ที่มีค่าความต้านทานอินพุตต่ำ จึงทำให้เฟทถูกนำไปใช้งานได้อย่างสะดวก กว้างขวางไม่มีปัญหายุ่งยากในการใช้งานและไม่เป็นภาระในการต่อร่วมกับอุปกรณ์หรือวงจรอื่น ๆ

- 2) ทรานซิสเตอร์แบบเฟต เป็นอุปกรณ์ที่มีเสถียรภาพการทำงานที่ดีกว่าทรานซิสเตอร์แบบไบโพลาร์ คือ มีค่าความไวต่ออุณหภูมิหรือรังสี โดยเฉพาะรังสีคอสมิก (Cosmic Ray) น้อยกว่าทำให้เฟตถูกใช้งานอย่างกว้างขวางในอุปกรณ์การสื่อสารระบบดาวเทียม ซึ่งทำงานในอวกาศ
 - 3) ทรานซิสเตอร์แบบเฟต จะมีสัญญาณรบกวน (Noise) ต่ำกว่าทรานซิสเตอร์แบบไบโพลาร์ การทำงานของเฟตจึงมีประสิทธิภาพสูงกว่า
 - 4) ทรานซิสเตอร์แบบเฟต เป็นอุปกรณ์ที่มีโครงสร้างง่าย ๆ ไม่สลับซับซ้อน โดยเฉพาะมอสเฟต ทำให้สร้างได้ง่าย ไม่ยุ่งยาก จึงทำให้เฟต มีราคาถูกกว่าทรานซิสเตอร์แบบไบโพลาร์
 - 5) ทรานซิสเตอร์แบบเฟต มีโครงสร้างที่เป็นแบบสมมาตรสองข้าง (Bisymmetrical Structure) คือ ในส่วนของ ซอส และ เครน จะมีคุณสมบัติเหมือนกันทุกประการสามารถสลับหน้าที่กันได้ทำให้ง่ายต่อการออกแบบวงจร โดยเฉพาะอย่างยิ่งการออกแบบเฟตในรูปของวงจรรวม (Integrated Circuit) ต่างจากกรณีของทรานซิสเตอร์แบบไบโพลาร์ เช่น ในส่วนของอิมิตเตอร์ (Emitter) และ คอลเลกเตอร์ (Collector) มีคุณสมบัติแตกต่างกัน ไม่สามารถสลับหน้าที่กันได้
 - 6) การทำงานของทรานซิสเตอร์แบบเฟต มีการสูญเสียกำลังงานน้อยมาก เนื่องจากค่าความต้านทานอินพุตมีค่าสูง ทำให้มีกระแสไหลได้น้อยมากหรือไม่มีกระแสไหล เช่น ในกรณีของมอสเฟต ดังนั้นจึงทำให้ไม่มีการใช้กำลังงาน ซึ่งแตกต่างจากทรานซิสเตอร์แบบไบโพลาร์ จะมีค่าความต้านทานอินพุตต่ำ ทำให้มีกระแสไหลในด้านอินพุต จึงมีการสูญเสียกำลังงานสูง ดังนั้นเฟตจึงเป็นอุปกรณ์ที่ประหยัดกำลังงานที่ดี คุณสมบัติข้อนี้ทำให้เฟต โดยเฉพาะอย่างยิ่งมอสเฟต (MOSFET) เป็นอุปกรณ์ที่สำคัญอย่างยิ่งมีบทบาทมากที่สุด และถูกนำมาใช้งานกันอย่างแพร่หลายในปัจจุบัน ซึ่งกล่าวได้ว่ามอสเฟต เป็นสิ่งประดิษฐ์จากฝีมือของมนุษย์ที่มีจำนวนมากที่สุดบนโลก
 - 7) ทรานซิสเตอร์แบบเฟต เป็นอุปกรณ์ที่ใช้แรงดันในการควบคุมการทำงาน (Voltage Control) ต่างจากทรานซิสเตอร์แบบไบโพลาร์ที่ควบคุมการทำงานด้วยกระแส (Current Control) ทำให้ง่ายต่อการนำไปใช้งาน โดยสูญเสียพลังงานน้อยที่สุด และในขณะที่ทำงานจะเกิดความร้อนน้อยกว่าทรานซิสเตอร์แบบไบโพลาร์
 - 8) กรณีของทรานซิสเตอร์แบบมอสเฟต มีความเหมาะสมมากที่สุดที่จะนำไปสร้างในรูปของวงจรรวม (Integrated Circuit) เพราะมีโครงสร้างที่ง่ายกว่า ทั้งยังสามารถสร้างให้มีขนาดเล็กมาก ๆ ได้ในระดับไมโครเมตร (μm) ซึ่งในเทคโนโลยีของทรานซิสเตอร์แบบไบโพลาร์ยังไม่สามารถทำได้ ทำให้วงจรรวมชนิดมอสเฟต (MOS IC) เป็นวงจรรวมที่มีประสิทธิภาพสูง เช่น วงจรหน่วยความจำ (Memory IC) ซึ่งในแต่ละชิ้นของวงจรรวมที่มีขนาดพื้นที่ประมาณหนึ่งตารางเซนติเมตรจะมีมอสเฟตบรรจุอยู่หลายล้านตัว
- สำหรับข้อจำกัดหรือข้อด้อยของทรานซิสเตอร์แบบเฟตที่สำคัญ ได้แก่ การที่เฟตมีค่าความนำถ่ายโอนหรือทรานส์คอนดักเตอร์ (Transconductance: g_m) ที่มีค่าต่ำ จึงทำให้เฟตมีอัตราขยายที่ต่ำกว่าทรานซิสเตอร์แบบไบโพลาร์

2.2 เทคโนโลยีของมอส

การพัฒนาการของเทคโนโลยี (VLSI: Very Large Scale Integration) เป็นการผลิตวงจรรวมที่เป็นเทคโนโลยีที่นิยมกันมาก เพราะมีข้อดีกว่าเทคโนโลยีแบบอื่น ๆ หลายประการเช่น การสูญเสียของพลังงานต่ำกว่า มีอินพุตอิมพีแดนซ์สูงมาก การออกแบบง่าย ฯลฯ ซึ่งมีความต้องการมากในงานด้านการประมวลผลสัญญาณ (Signal Processing) แบบเป็นวงจรรวมอยู่บนชิปเดียว (Single Chip) การทำงานจะมีประสิทธิภาพมากที่สุดซึ่งในวงจรรอนาลอก (Analog) ซึ่งเป็นบทบาทสำคัญของการผลิตไอซีโดยออกแบบเป็น VLSI ในการออกแบบ VLSI ในระบบวงจรรอนาลอก (Analog Circuit) ส่วนใหญ่ที่รู้จักก็คือ วงจรกรองสัญญาณ วงจรแปลงอนาลอกเป็นดิจิทัล และวงจรแปลงดิจิทัลเป็นอนาลอก วงจรเปรียบเทียบแรงดัน (Voltage Comparator) วงจรควบคุมอัตราขยายอัตโนมัติ (Automatic Gain Control) รูปที่ 2.1 พัฒนาการของแผนผังเทคโนโลยีวงจรรวม



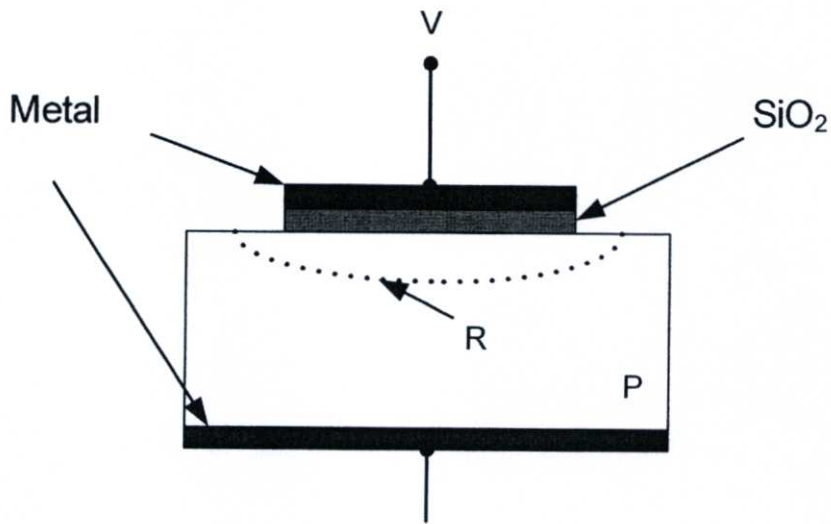
รูปที่ 2.1 แผนผังของเทคโนโลยีวงจรรวม

วิธีการออกแบบ IC นิยมใช้เทคโนโลยีอยู่ 2 แบบคือ แบบไบโพลาร์ (BJT) และแบบมอส (MOS) โดยจะแบ่งเป็นส่วนย่อย ๆ ดังรูปที่ 2.1 ทั้งหมดจะอยู่บนรากฐานของเทคโนโลยีวงจรรวมซิลิกอน (Silicon Integrate - Circuit Technology) โดยเมื่อก่อนการออกแบบวงจรรวมนั้นจะใช้เทคโนโลยีของไบโพลาร์ แต่ในยุคปัจจุบันเทคโนโลยีของมอสได้เจริญเติบโตขึ้นอย่างมาก ซึ่งในส่วนเทคโนโลยีของมอส ทำให้สามารถบรรจุวงจรที่ถูกออกแบบไว้มีความหนาแน่นมากขึ้น เช่น หน่วยความจำ (Memory) หน่วยประมวลผล (Microprocessor) และจากรูปที่ 2.1 จะเห็นได้ว่าใน

เทคโนโลยีวงจรรวมมีอุปกรณ์หลายชนิด งานวิจัยนี้จะใช้อุปกรณ์มอสเฟตชนิดเอนฮานซ์เมนต์ในการออกแบบ ดังนั้นในบทนี้จะขออธิบายถึงการทำงานของมอสเฟตชนิดเอนฮานซ์เมนต์ ต่อไป

2.3 โครงสร้างของมอสเฟต

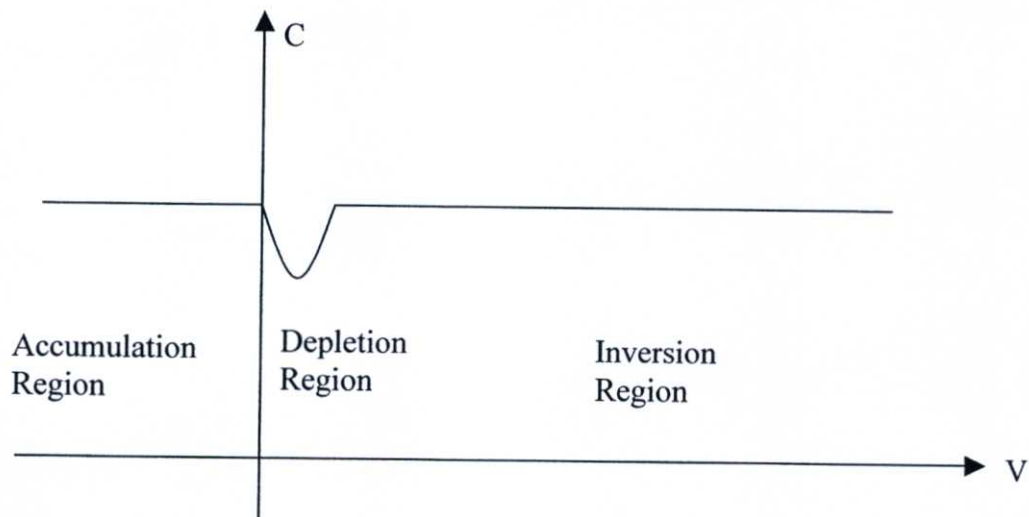
จากรูป 2.2 เป็นภาพแสดงการประกบกันของชั้นต่าง ๆ ที่ประกอบกันเป็นโครงสร้างแบบมอส ที่ประกอบด้วยโลหะชั้นบนซิลิกอน ไดออกไซด์ (SiO_2) ซึ่งเป็นฉนวนที่สมบูรณ์ ซิลิกอนชนิดพี และ โลหะชั้นล่างที่ซึ่งต่อกับกราวด์ (Ground)



รูปที่ 2.2 โครงสร้างของมอส (MOS: Metal-Oxide Semiconductor)

สมมติให้ V เป็นลบมีสนามไฟฟ้าคร่อมชั้นของซิลิกอน (โวล) ไปที่บริเวณ R ได้โลหะชั้นล่างประจุลบจะรวมตัวอยู่ในแผ่นโลหะ (Electrode) ด้านบน และประจุบวกจะรวมตัวอยู่ที่บริเวณ R ซึ่งในกรณีนี้ อุปกรณ์นี้จะแสดงตัวเป็นตัวเก็บประจุมีค่าของขนาดความจุไฟฟ้าเป็น

$$C \approx \epsilon_{ox} \frac{A}{l} \quad (2.1)$$



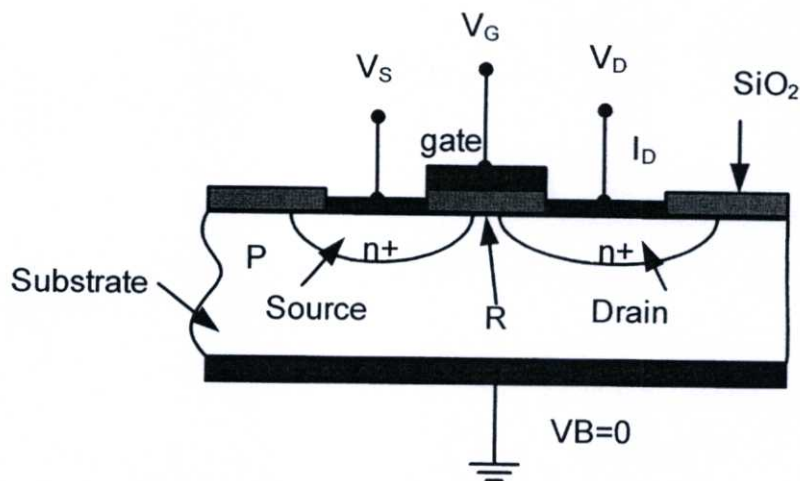
รูปที่ 2.3 ความสัมพันธ์ระหว่างค่าความจุ (C) กับแรงดัน (V)

จากสมการที่ (2.1) ค่าของ ϵ_{OX} เป็นค่าการยอมให้กระแสไฟฟ้าผ่านของ ซิลิกอน (SiO_2) โดยมีค่าของ $\epsilon_{OX} = \epsilon_O k_{OX} \cong 0.35 \text{ pF/cm}$ โดยที่ k_{OX} คือค่าความเป็นฉนวนของ ซิลิกอน (SiO_2) ($k_{OX} = 3.9$), ϵ_O คือ ค่าการยอมให้กระแสไฟฟ้าผ่านของบรรยากาศ ($\epsilon_O \cong 8.854 \times 10^{-14} \text{ F/cm}$) สำหรับ A คือ พื้นที่หน้าตัดของขั้วโลหะด้านบน และ l เป็นความหนาของชั้นออกไซด์ซิลิกอนชนิดพีที่อยู่ระหว่าง R และ โลหะชั้นล่างแสดงตัวเป็นความต้านทาน หรือ ค่าตัวเก็บประจุสูญเสียนั่นเอง

ขั้นต่อไป สมมติให้ V มีแรงดันเป็นค่าบวกน้อย ๆ จะเกิดสนามไฟฟ้าซึ่งผลักดัน (โฮล) ผลที่ได้คือ ประจุลบแยกออกจากกัน โดย (โฮล) ที่เคลื่อนที่จะเป็นผลให้ไม่มีประจุอยู่ที่บริเวณ R ซึ่งเรียกว่า (Depletion Layer) และประจุบวกก็จะรวมกันอยู่ที่ (Electrode) ด้านบนและจะเป็นเหมือนตัวเก็บประจุเมื่อ V เพิ่มขึ้นทำให้ประจุใน R จะมากขึ้นและทำให้ (Depletion Layer) กว้างขึ้นตาม ถ้า V เพิ่มขึ้นเรื่อย ๆ จะมีปรากฏการณ์ใหม่เกิดขึ้น โดยความร้อนที่เกิดขึ้นจาก (โฮล) และอิเล็กตรอนเกิดขึ้นเรื่อย ๆ ในสารกึ่งตัวนำถ้าสนามไฟฟ้าที่ถูกสร้างจาก V ที่เป็นบวกอย่างเพียงพอจะสามารถดูดความร้อนจากอิเล็กตรอนทั้งหมดไปที่ R และอิเล็กตรอนจะเคลื่อนที่ไปที่ผิวหน้า ซึ่งประจุบวกจะรวมตัวอยู่ที่ (Electrode) ด้านบน

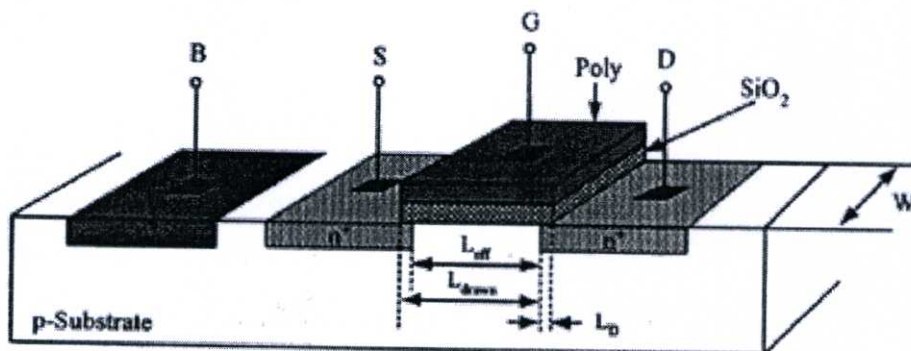
ขณะเดียวกันประจุลบ หรืออิเล็กตรอนจะอยู่ที่ชั้นของผิวหน้า จากสมการที่ (2.1) ค่าของ l ซึ่ง เป็นความหนาของ ซิลิกอน (SiO_2) และค่าของ C จะมีค่าเท่ากับกับกรณีที่ V ที่เป็นบวกกับในกรณีที่ ค่า V ที่เป็นลบ แต่ในกรณีที่ V เป็นบวกน้อย ๆ จะอยู่ในย่าน Depletion Region ซึ่งค่าของ C ในเทอมของ V จะแสดงไว้ดังรูปที่ 2.3 ซึ่งมีชื่อเรียกอยู่ 3 Region คือ Accumulation Region , Depletion Region, Inversion Region โดยพิจารณาจากรูปที่ 2.4 แสดงถึงรายละเอียดของมอสเฟต ซึ่งจะเห็น n^+ (การโด๊ปสารชนิด n) Region อยู่ 2 ตัวในสารกึ่งตัวนำชนิดพี ในด้านซ้ายจะเรียกว่าซอส (Source) ซึ่งแรงดันที่ต่ออยู่จะเรียกว่า V_S ในด้านขวาจะเรียกว่า เทรน (Drain) ซึ่งแรงดันที่ต่ออยู่จะเรียกว่า V_D

โลหะที่ทำ Electrode จะเรียกว่าเกต ซึ่งแรงดันที่ต่ออยู่จะเรียกว่า V_G และตัวถังของอุปกรณ์ตัวนี้จะเรียกว่าซับสเตรท (Substrate) หรือ (Bulk) ซึ่งแรงดันที่ต่ออยู่จะเรียกว่า V_B



รูปที่ 2.4 โครงสร้างของมอสเฟต (MOSFET: Metal-Oxide Semiconductor FET)

NMOS ประกอบด้วย ส่วนซับสเตรท (Substrate) ที่เป็นสารกึ่งตัวนำชนิดพี (P-Type) ซึ่งมีสารกึ่งตัวนำชนิดเอ็น 2 ชุด ถูกแพร่ลงบนฐานรอง สารกึ่งตัวนำนี้เรียกว่า ซอส (Source) และ เคน (Drain) บนผิวหน้าระหว่างซอสกับเคนจะมีแผ่นฟิล์มบางของ ซิลิกอน (SiO_2) ส่วนบนของ ซิลิกอน (SiO_2) จะมีโพลีซิลิกอนซึ่งทำหน้าที่เรียกว่า เกต (Gate) ถ้าส่วนของฐานรองทำด้วยสารกึ่งตัวนำชนิดเอ็น (N) และสารกึ่งตัวนำชนิดพี (P) ถูกแพร่ลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่า PMOS ระยะห่างระหว่างสารกึ่งตัวนำที่เป็น ซอสและเคน เรียกว่าความยาวแชนเนล (Channel Length: L) และความกว้างของช่องระหว่าง ซอสและเคน เรียกว่า ความกว้างแชนเนล (Channel width: W)



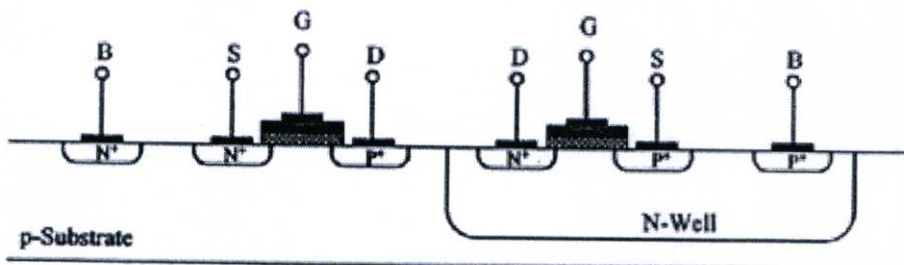
รูปที่ 2.5 โครงสร้างของมอสทรานซิสเตอร์แบบ เอนฮานซ์เมนต์ชนิดเอ็น

จากรูปที่ 2.5 โครงสร้างของมอสทรานซิสเตอร์แบบเอนฮานซ์เมนต์ชนิดเอ็น (NMOS) ขั้วซอส (Source) และขั้วเคน (Drain) ถูกสร้างขึ้นโดยการแพร่อะตอมสารเจือชนิดเอ็นที่มีความหนา

แน่นมาก (Heavily Doped N-Type Region) เข้าไปในฐานรอง (Bulk Region or substrate) ของสารกึ่งตัวนำชนิดพี ซึ่งเป็นผลึกซิลิกอนรูปเดี่ยว (Single Crystal) ที่มีความหนาแน่นน้อย (Lightly Doped P-Type substrate) ขั้วเกตจะเป็นส่วนของโลหะ (Metal) หรือชั้นของโพลีซิลิกอน (Poly Silicon) ซ้อนอยู่บนชั้นของออกไซด์ระหว่างขั้วเดรนและซอส ซึ่งวิธีการในการสร้างชั้นโพลีซิลิกอนสร้างด้วยเทคนิค (CVD: Chemical Vapor Deposition) จากก๊าซสารประกอบของซิลิกอน เช่น ก๊าซไซเลน (Silane) ชั้นของซิลิกอนที่สร้างจะถูกเติมด้วยอะตอมสารเจืออย่างเข้มข้นเพื่อให้มีความนำไฟฟ้าสูง นำไฟฟ้าได้ดีเหมือนตัวนำ ลดค่าแรงดันขั้วเดรน ทำงานได้ดีที่ความถี่สูง และมีคุณสมบัติเป็นผลึกรูปหรือโพลีซิลิกอน (Poly Silicon) นอกจากนี้แล้ว เกตที่ทำจากซิลิกอนมีความทนทานต่ออุณหภูมิที่สูงกว่าลูมิเนียม ทำให้ไม่มีปัญหาในการสร้างที่ต้องใช้อุณหภูมิสูง

ระยะห่างระหว่างขั้วซอส และขั้วเดรน เป็นความยาวของมอสทรานซิสเตอร์ (L : Channel Length) และมีระยะทางด้านข้าง (Side wall) เป็นความกว้างของมอสทรานซิสเตอร์ (W : Channel width) จากรูปที่ 2.5 จะเห็นได้ว่า ในเทอมของ L ประกอบด้วย L_{eff} คือ ความยาวจริง (Effective Length), L_{drawn} คือค่าความยาวที่เราเลย์เอาต์ (Layout) เพื่อวาดทรานซิสเตอร์ และ L_D คือความยาวที่เกิดจากการแพร่สารที่เจือแล้วกินความยาวเข้าไป (Diffusion Length) โครงสร้างของมอสทรานซิสเตอร์แบบแอนฮานซ์เมนต์ชนิดพี (PMOS) ลักษณะคล้ายคลึงกับมอสทรานซิสเตอร์แบบแอนฮานซ์เมนต์ชนิดเอ็น (NMOS) แต่จะสลับกันคือ มอสทรานซิสเตอร์ชนิด พี จะประกอบด้วยผลึกฐานรองชนิดเอ็น (N-Type Substrate) ที่มีความหนาแน่นน้อย และมีการแพร่อะตอมสารเจือชนิดพี ที่มีความหนาแน่นมากเข้าไปในฐานรองเพื่อเป็นขั้วซอส และ เดรน

เทคโนโลยีซีมอส (CMOS: Complementary MOS) เป็นการสร้างมอสทรานซิสเตอร์ชนิดเอ็น (NMOS) และมอสทรานซิสเตอร์ชนิดพี (PMOS) บนผลึกแผ่นสารตัวนำเดียวกัน มอสทรานซิสเตอร์ชนิดหนึ่งจะถูกสร้างอยู่ในบ่อฐานรอง (Well) โดยทั่วไปแล้วจะนิยมสร้างมอสทรานซิสเตอร์ชนิดพีในบ่อฐานรองชนิดเอ็น (N-Well) ดังรูปที่ 2.6



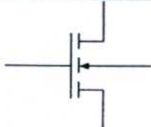
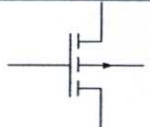
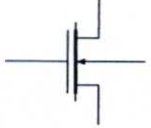
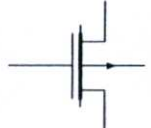


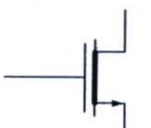

รูปที่ 2.6 โครงสร้างของเทคโนโลยีซีมอส

2.4 สัญลักษณ์ของมอสเฟต

สัญลักษณ์ของมอสเฟตสามารถบอกได้ว่าเป็น มอสเฟตชนิด N หรือ P โดยดูที่หัวของลูกศรที่ขาซอส แต่ถ้าหัวลูกศรหันเข้าขาเกตแสดงว่าเป็น PMOS แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น NMOS หรือดูที่ทิศทางของหัวลูกศรที่ขาบอดี (Body) หรือฐานรอง (Substrate) หรือบางที่อาจเรียกว่า Bulk โดยถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น NMOS แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น PMOS และสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสเฟตเป็นแบบเอนฮานซ์เมนต์ หรือ ดีพลีชันอีกด้วย แสดงได้ดังตารางที่ 2.1

มอสเฟตแบ่งตามชนิดการทำงานได้ 2 ชนิด คือ ชนิดเอนฮานซ์เมนต์มอส (Enhancement MOSFET) และชนิดดีพลีชันมอส (Depletion MOSFET) ซึ่งแต่ละชนิดจะแบ่งออกได้อีกเป็น N-Channel หรือ NMOS และ P-channel หรือ PMOS ซึ่งโครงสร้างของ NMOS และ PMOS จะมีโครงสร้างตรงข้ามกัน เมื่อโครงสร้างของ PMOS และ NMOS แสดงไว้ในตารางที่ 2.1

ตารางที่ 2.1 สัญลักษณ์ของมอสเฟตชนิด (Enhancement) และมอสเฟตชนิด (Depletion)

NMOS	PMOS	MODE
 (ก)	 (ข)	Enhancement
 (ค)	 (ง)	Depletion
 (จ)	 (ฉ)	Enhancement
 (ช)	 (ซ)	Depletion

จากตารางที่ 2.1 สัญลักษณ์ของมอสเฟตชนิดต่าง ๆ ทั้ง 2 ชนิด แสดงสัญลักษณ์ในรูป (ก) คือ Enhancement NMOS เมื่อโวลต์เตจระหว่างบอดี้และ ซอส $V_{BS} \neq 0$ ในรูป (ข) คือ Enhancement PMOS เมื่อ $V_{BS} \neq 0$ ในรูป (ค) และ (ง) คือ Depletion PMOS เมื่อ $V_{BS} \neq 0$ สัญลักษณ์ในรูป (ก) และ (ข) กับรูป (จ) และ (ฉ) แตกต่างกันที่ $V_{BS} \neq 0$ และ $V_{BS} = 0$ ตามลำดับ

2.5 หลักการพื้นฐานของมอสเฟต

2.5.1 การทำงานของมอสเฟต

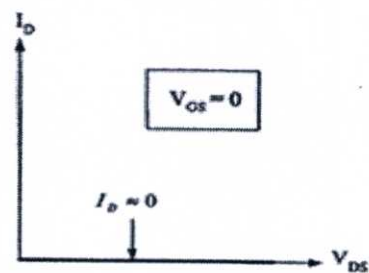
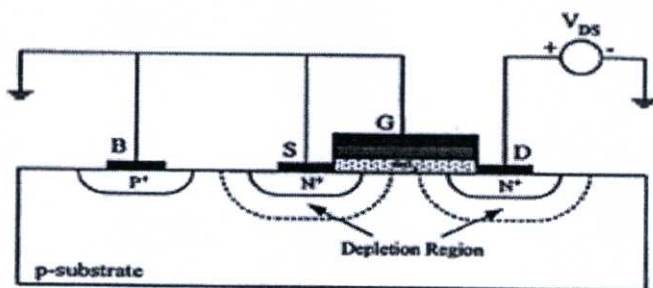
การให้แรงดันไบอัสแกมมอสเฟต ทำได้โดยแรงดันที่ขาคาท V_G จะถูกไบอัสเพื่อควบคุมให้มีการเหนี่ยวนำประจุพาหะชนิดเดียวกับส่วนซอสและเดรน นั่นคือการควบคุมให้เกิดแขนเนระหว่างซอสและเดรน ขั้วของซอสและฐานรองจะถูกต่อลงกราวด์ และส่วนเดรนได้รับศักดาซึ่งทำให้รอยต่อพี-เอ็น (P-N Junction) ที่ส่วนเดรนเป็นไบอัสย้อนกลับ (Reverse Bias) ดังนั้น ในกรณีของเอน

แชนเนลคัทคาที่ขากเกต แลเดรนจึงมีค่าเป็นบวก ในทำนองเดียวกันกรณีของพีแชนเนล คัทคาที่ขากเกต และเดรนจึงมีค่าเป็นลบ

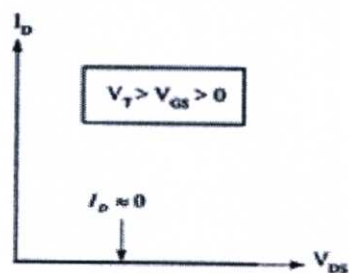
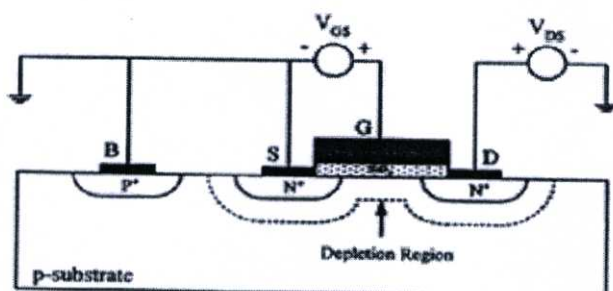
ในกรณีที่ไม่มีแรงดันไบอัสที่เกต-ซอส หรือ แรงดันที่เกต-ซอสเป็น ศูนย์ ทำให้ไม่มีสนามไฟฟ้าในชั้นของออกไซด์ ดังนั้นที่ผิวสัมผัสระหว่าง $\text{SiO}_2 - \text{Si}$ ในสารกึ่งตัวนำจะไม่มี การเปลี่ยนแปลงใด ๆ เกิดขึ้น ทำให้ไม่มีบริเวณปลอดพาหะและแชนเนลในย่านนี้ จะมีแค่บริเวณปลอดพาหะที่อยู่รอบ ๆ รอยต่อพี-เอ็นของส่วนซอสกับฐานรอง และส่วนเดรนกับฐานรองนอกจากนี้โครงสร้างที่เกิดขึ้นระหว่างซอสและเดรนมีลักษณะเป็น $n^+ - P - n^+$ ดังรูปที่ 2.7 ก) ทั้งยังได้รับไบอัสแบบย้อนกลับ (Reverse Bias) จึงทำให้มีกระแสเดรนมีค่าน้อยมาก และอาจจะประมาณค่าได้เป็นศูนย์หรือ $I_D \approx 0$ แม้ว่าแรงดันเดรน-ซอสจะเพิ่มขึ้นก็ตาม กราฟของ $I_D - V_{DS}$ จึงแสดงได้ดังรูปที่ 2.7 ก) ในขณะที่มอสเฟตจะอยู่ในสภาวะคัทออฟ (Cut-off) หรือเป็นสถานะหยุด ของมอสเฟต แต่ถ้าชั้นฐานรองถูกต่อเข้ากับซอส และแรงดันเดรนมีค่าเป็นลบ จะทำให้รอยต่อ พี-เอ็น ระหว่างเดรนกับฐานรองได้รับการไบอัสตรง (Forward bias) และมีกระแสเดรนได้ อย่างไรก็ตาม ในสภาพปกติที่เราใช้งานมอสเฟต เราจะไม่ให้แรงดันเดรนมีค่าเป็นลบ ดังนั้นกระแสเดรนไม่สามารถไหลได้ สำหรับคุณสมบัติและการทำงานของมอสเฟต ในขณะที่มีการให้แรงดันไบอัสที่เกต-ซอส ค่าคงที่ต่าง ๆ โดย $V_{GS} > 0$ และแรงดันเดรน-ซอส มีค่าเปลี่ยนแปลงไป จะทำให้มอสเฟตทำงานในย่านต่าง ๆ ซึ่งอาจจะพิจารณาแบ่งออกเป็นช่วง ๆ ได้ดังต่อไปนี้

2.5.1.1 กรณีที่ $V_T > V_{GS} > 0$ และ $V_{DS} > 0$; (Cut-off: ช่วงไม่นำกระแส)

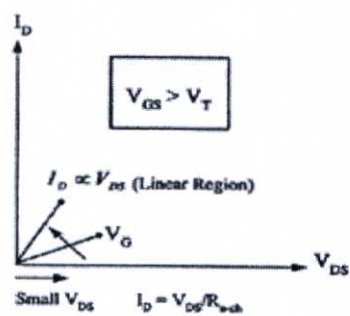
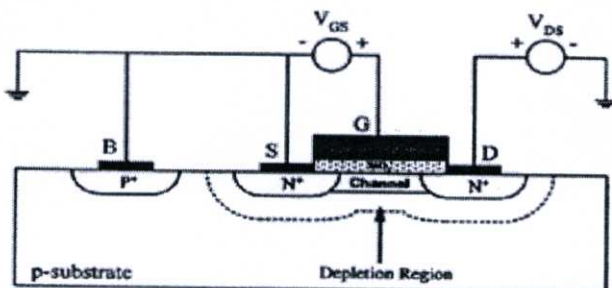
เมื่อป้อนแรงดันค่าบวกเข้าที่ขากเกตเทียบกับขาสอส V_{GS} ที่มีค่าบวกค่าหนึ่ง แต่น้อยกว่าแรงดันขีดเริ่ม (V_T : Threshold Voltage) หรือ $V_T > V_{GS} > 0$ สนามไฟฟ้าในชั้นออกไซด์ที่เกิดจากแรงดันเกตซอส จะผลักให้โฮลในสารกึ่งตัวนำที่ผิวสัมผัส $\text{SiO}_2 - \text{Si}$ เคลื่อนที่ห่างออกไปความหนาแน่นของโฮลในบริเวณดังกล่าวจึงมีค่าลดลงจากเดิม ผลดังกล่าวทำให้เกิดบริเวณปลอดพาหะ (Depletion Region) ขึ้นในสารกึ่งตัวนำที่อยู่ใต้ส่วนเกต ดังแสดงในรูปที่ 2.7 ข) ดังนั้นในกรณีนี้ ซอสและเดรนยังคงถูกแยกจากกันด้วยชั้นของบริเวณปลอดพาหะที่เกิดขึ้นใต้ส่วนเกตและเป็นชั้นที่มีความนำไฟฟ้าต่ำ ดังนั้นเมื่อแรงดันเดรนซอสมีค่าเพิ่มขึ้นกระแสเดรนก็จะมีการไหลแต่่า มีค่าน้อยมากประมาณว่าเป็นศูนย์ $I_D \approx 0$ ในสภาวะนี้มอสเฟตยังคงอยู่ในสภาวะคัทออฟ หรือ สถานะ Off เช่นเดิม



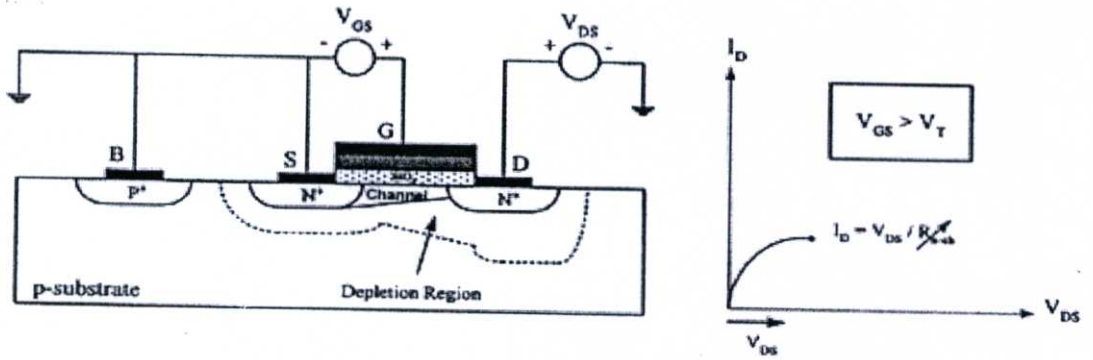
ก) กรณี $V_{GS} = 0$ และ $V_{DS} > 0$



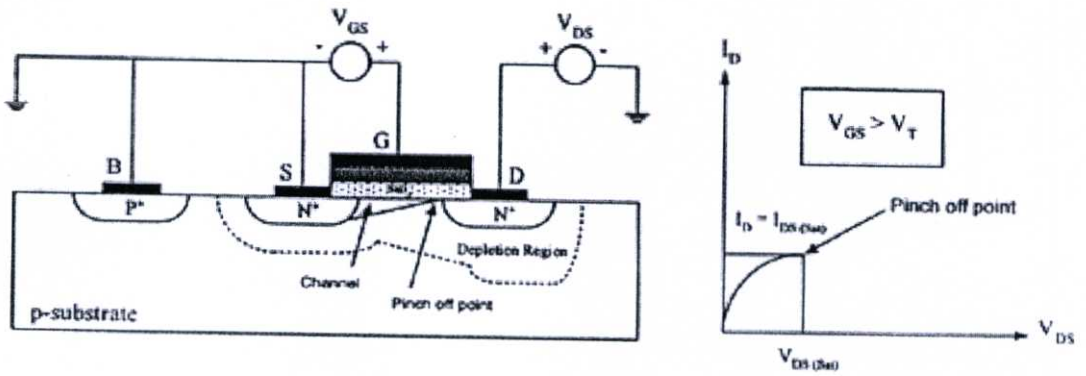
ข) กรณี $V_T > V_{GS} > 0$ และ $V_{DS} > 0$



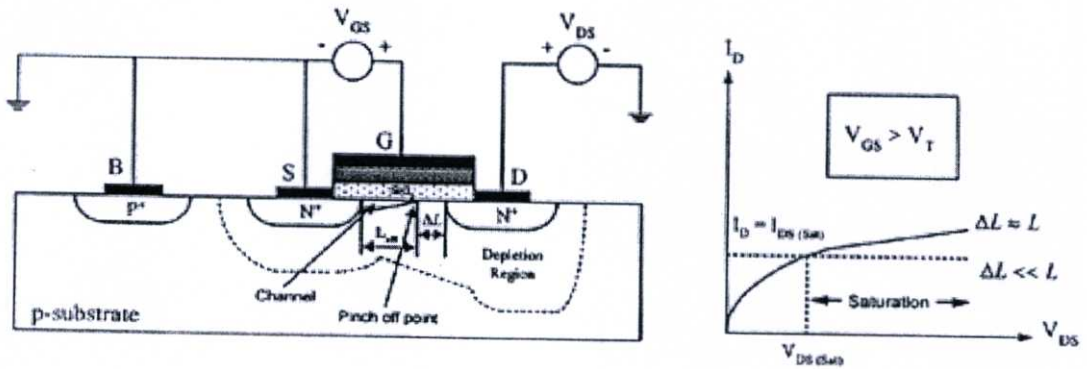
ค) กรณี $V_{GS} > V_T$ และ V_{DS} มีค่าน้อยมาก



ง) กรณี $V_{GS} > V_T$ และ $(V_{GS} - V_{DS}) > V_T$ หรือ $V_{DS} < V_{DS(Sat.)}$



จ) กรณี $V_{GS} > V_T$ และ $V_{DS} = V_{DS(Sat.)}$ หรือ $(V_{GS} - V_{DS}) = V_T$



ฉ) กรณี $V_{GS} > V_T$ และ $V_{DS} > V_{DS(Sat.)}$

รูปที่ 2.7 การทำงานและคุณสมบัติ $I_D - V_{DS}$ ของมอสเฟตแบบเอ็นแชนซ์เมนต์ ชนิดเอ็นแชนแนล ขณะที่ V_{GS} มีค่าคงที่ และ V_{DS} มีค่าอยู่ในช่วงต่าง ๆ

2.5.1.2 กรณีที่ $V_{GS} > V_T$ และ V_{DS} มีค่าน้อย; (Ohmic Region: ช่วงนำกระแสไม่อิ่มตัว)

เมื่อแรงดันเกตขอส V_{GS} มีค่าเป็นบวกเพิ่มขึ้น ในที่สุดแรงดันเกตขอสจะเท่ากับแรงดันขีดเริ่ม V_T หรือมีค่าสูงกว่าแรงดันขีดเริ่ม $V_{GS} > V_T$ ในขณะนี้สนามไฟฟ้าในชั้นฉนวนออกไซด์ที่เกิดขึ้นเนื่องจากแรงดันเกตขอส จะมีค่ามากพอที่จะเหนี่ยวนำให้เกิดชั้นกลับชนิดเอน (N-Inversion Layer) หรือแชนเนลชนิดเอนในสารกึ่งตัวนำที่ผิวสัมผัสระหว่าง $SiO_2 - Si$ บริเวณใต้ส่วนเกต ดังรูปที่ 2.7 ค) แชนเนลนี้จะมีลักษณะเป็นแผ่นประจุบาง ๆ (Sheet of Charge) ภายในแชนเนลนี้จะมีอิเล็กตรอนซึ่งถูกเหนี่ยวนำอยู่ในแชนเนล และจะมีค่าขึ้นอยู่กับสนามไฟฟ้าในชั้นออกไซด์ หรือแรงดันที่ตกคร่อมชั้นออกไซด์ เมื่อแรงดันเกตขอสคงที่ และแรงดันเดรนเป็นศูนย์มีค่าเท่ากับแรงดันที่ขอส แรงดันที่ตกคร่อมของออกไซด์จะมีค่าเท่า ๆ กันทุกจุดในแชนเนล แต่เมื่อแรงดันเดรนขอส V_{DS} มีค่าเป็นบวก สนามไฟฟ้าในชั้นออกไซด์ที่จุดต่าง ๆ ที่ห่างออกมาจากด้านขอสจะมีค่าลดลง เพราะแรงดันตกคร่อมชั้นออกไซด์ที่จุดใกล้ด้านเดรนจะมีค่าลดลง ผลดังกล่าวทำให้ความหนาแน่นของอิเล็กตรอนในแชนเนลที่เข้าใกล้มาทางด้านเดรนมีค่าลดลงด้วย และจะมีค่าน้อยที่สุดที่ปลายด้านเดรน

อย่างไรก็ดี กรณีที่แรงดันเดรนขอสมีค่าในช่วงต่ำ ๆ อาจประมาณได้ว่าสนามไฟฟ้าทุกจุดมีค่าเท่ากัน ดังนั้นความหนาแน่นของอิเล็กตรอนในแชนเนล ประมาณได้ว่ามีความยาวเท่ากันตลอดจากปลายขอสถึงปลายเดรน ถัดจากแชนเนลออกไปจะเป็นบริเวณปลอดพาหะ ซึ่งแรงดัน $+V_D$ จะทำให้อิเล็กตรอนที่อยู่รอบ ๆ ส่วนเดรนได้รับไบอัสย้อนกลับ ทำให้บริเวณปลอดพาหะทางด้านเดรนขยายกว้างมากกว่าทางด้านขอสเล็กน้อย แชนเนลชนิดเอนที่เกิดขึ้นนี้เสมือนกับเป็นแท่งสารกึ่งตัวนำชนิดเอน ที่มีความยาวเท่ากับ L โดยมีขั้วปลายทั้งสองด้าน คือ ส่วนขอสและส่วนเดรน (n^+) เมื่อแรงดันเดรนเริ่มมีค่าเพิ่มขึ้นเล็กน้อย สนามไฟฟ้าในแชนเนลจะทำให้เกิดอิเล็กตรอนในแชนเนลเกิดการเคลื่อนที่ (Drift) หรือเคลื่อนที่ในทิศทางจากด้านขอสไปยังด้านเดรน ดังนั้นทำให้มีกระแส I_D เกิดขึ้น โดยมีทิศทางพุ่งเข้าที่ขั้วเดรน ขนาดของกระแสเดรนในขณะนี้ จะถูกจำกัดด้วยค่าความต้านทานของแชนเนล หรือก็คือ $I_D \propto \frac{1}{R_{n-ch}}$ และเป็นไปตามกฎของโอห์มคือ

$$I_D = \frac{V_D}{R_{n-ch}} \tag{2.2}$$

โดยที่ R_{n-ch} คือ ความต้านทานของแชนเนล (Channel Resistance) และเท่ากับ $\frac{1}{G_{n-ch}}$

G_{n-ch} คือ ความนำไฟฟ้าของแชนเนล (Channel Conductance)

ดังนั้นขณะที่แรงดันเพิ่มขึ้นในช่วงต่ำ กระแสเดรนที่เพิ่มขึ้นกับแรงดันเดรน ซึ่งเกือบจะเป็นเชิงเส้น ดังรูปที่ 2.7 ค) เราเรียกการทำงานในย่านนี้ว่า ช่วงเชิงเส้น (Linear Region, Ohmic Region,

Triode Region) ในช่วงนี้ มอสเฟตจะมีสภาพไม่อิ่มตัว หรือ (Non-Saturation) กล่าวคือ กระแสเดรนจะขึ้นอยู่กับแรงดันที่เดรน และความชันของกราฟ $I_D - V_D$ จะเพิ่มขึ้นกับแรงดันเกต เนื่องจากแรงดันเกตเพิ่มขึ้นจะทำให้ความนำของแชนเนลเพิ่มขึ้นด้วย

2.5.1.3 กรณีที่ $V_{GS} > V_T$ และ $(V_{GS} - V_{DS}) > V_T$ หรือ $V_{DS} < V_{DS(Sat)}$

เมื่อแรงดันเดรนมีค่าสูงขึ้นต่อไป ค่าความต่างศักย์ระหว่างซอสและเดรน จะทำให้ที่ตำแหน่งต่าง ๆ ในแชนเนลมีศักย์ไม่เท่ากันอย่างเห็นได้ชัด ศักย์ไฟฟ้าที่ปลายซอสยังคงเป็นศูนย์โวลต์ แต่เมื่อตำแหน่งนั้นอยู่ห่างออกมาจากทางด้านซอส หรือเมื่อเข้าไปใกล้ทางด้านเดรน ศักย์คาไฟฟ้าจะมีค่าเป็นบวกเพิ่มขึ้น และจะมีค่าสูงสุดที่ปลายด้านเดรน คือ V_D ดังนั้นแรงดันระหว่างขั้วเกตและแชนเนล (แรงดันตกคร่อมชั้นออกไซด์) ที่ตำแหน่ง X ต่าง ๆ ตลอดความยาวของแชนเนลจะมีค่าไม่เท่ากัน ที่ปลายด้านซอสแรงดันตกคร่อมชั้นออกไซด์จะมีค่าสูงสุดเท่ากับ V_C โดยไม่เปลี่ยนแปลงกับแรงดันเดรน แต่ที่ตำแหน่ง X ที่ห่างจากซอสหรือใกล้เข้ามาทางด้านเดรน แรงดันตกคร่อมชั้นออกไซด์จะมีค่าลดลง และที่ปลายด้านเดรนแรงดันตกคร่อมชั้นออกไซด์นี้จะมีค่าต่ำสุดและมีค่าเท่ากับ $V_{GS} - V_{DS}$ กรณีที่แรงดันเดรนมีค่าไม่สูงมากและทำให้ $(V_{GS} - V_{DS}) > V_T$ แสดงว่าในช่วงนี้ยังมีแชนเนลเกิดขึ้นได้โดยตลอดตั้งแต่ซอสจะมีค่าคงที่ แม้แรงดันเดรนจะเพิ่มขึ้น แต่ความหนาแน่นของอิเล็กตรอนในแชนเนลจะลดลงกับระยะทางที่ห่างออกไปจากด้านซอส และยังมีค่าลดลงเมื่อแรงดันเดรนมีค่าเพิ่มขึ้น ดังรูปที่ 2.7 ง) ซึ่งอาจพิจารณาได้ว่าเมื่อใกล้เข้าไปทางด้านเดรน ขนาดของแชนเนลจะมีค่าลดลง ดังนั้นความต้านทานของแชนเนล R_{n-ch} จะมีค่าเพิ่มขึ้นกับแรงดันเดรน โดยเมื่อแรงดันเดรนมีค่าเพิ่มขึ้น การเพิ่มขึ้นของกระแสจะชะลอตัวลง ดังสังเกตได้จากกราฟ $I_D - V_D$ ซึ่งความชันของกราฟจะมีค่าลดลง (โค้งมากขึ้น) เมื่อแรงดันเดรนเพิ่มขึ้น แต่ยังคงอยู่ในเงื่อนไข $(V_{GS} - V_{DS}) > V_T$ หรือ $V_{DS} < V_{DS(Sat)}$ โดยที่ $V_{DS(Sat)}$ หมายถึง แรงดันเดรนซอสที่อิ่มตัว

2.5.1.4 กรณีที่ $V_{GS} > V_T$ และ $V_{DS} = V_{DS(Sat)}$; (Pinch off point: จุดพินช์ออฟ)

เมื่อแรงดัน V_D ยังคงเพิ่มขึ้นกระทั่งมีค่ามาก จนทำให้แรงดันที่ตกคร่อมชั้นออกไซด์ที่ตำแหน่งปลายด้านเดรนมีค่าเท่ากับแรงดันขีดเริ่มพอดิ หรือ $(V_{GS} - V_{DS}) = V_T$ แชนเนลที่ปลายด้านเดรนจะมีขนาดลดลงเป็นศูนย์หรือก็คือ แชนเนลขาดออกพอดิที่เดรน ดังรูปที่ 2.7 จ) ซึ่งเรียกสภาวะนี้ว่าสภาวะพินช์ออฟ (Pinch off) และจุดที่แชนเนลขาดออกพอดินี้เรียกว่า จุดพินช์ออฟ (Pinch off Point) บริเวณปลายด้านเดรนจะมีขนาดกว้างมากกว่าด้านซอสอย่างเห็นได้ชัด ค่าของแรงดันเดรนซอสที่พอดิที่ทำให้เริ่มเกิดสภาวะพินช์ออฟ ถูกเรียกว่า แรงดันเดรนซอสอิ่มตัว (Saturation Drain Source Voltage $V_{DS(Sat)}$) หรือในบางกรณีเราก็เรียกกันว่า แรงดันพินช์ออฟ (Pinch off Voltage: V_p)

ในขณะนี้พิจารณาได้ว่า แชนเนลที่ขาดออกพอลิที่ตำแหน่งปลายด้านเดรน การทำงานของ มอสเฟตในสภาวะนี้จึงคล้ายกับสภาวะพินชออฟของ N-Channel JFET กล่าวคือ เมื่ออิเล็กตรอนใน แชนเนลถูกครีฟท์ โดยสนามไฟฟ้าจากด้านซอสมาทางด้านเดรน และเมื่อมาถึงปลายแชนเนลที่จุด พินชออฟ สนามไฟฟ้าค่าสูงสุดที่ตกคร่อมในช่วงแคบ ๆ ของบริเวณหลอดพาหะระหว่างปลายของ แชนเนล และส่วนเดรน จะดึงให้อิเล็กตรอนที่ส่วนปลายแชนเนลข้ามบริเวณหลอดพาหะเข้าไปยัง ส่วนเดรน ดังนั้นกระแสเดรนยังคงไหลได้แต่ขนาดของกระแส จะถูกจำกัดด้วยปริมาณของอิเล็กตรอน ที่ถูกดึงหรือหนีข้ามบริเวณหลอดพาหะดังกล่าวและอาจจะพิจารณาได้ว่ากระแสเดรนถูกจำกัด ด้วยค่าความต้านทานประสิทธิผล (Effective Resistance) ของแชนเนล ดังนั้นเมื่อแรงดันเดรน-ซอส เพิ่มขึ้น กระแส I_D จะมีค่าเพิ่มขึ้นด้วย (อย่างชะลอตัว) กระทั่งเมื่อถึงค่า $V_{DS(Sat)}$ กระแสเดรนจะมีค่าสูง สุดเรียกว่า กระแสเดรนอิ่มตัว (Saturation Drain Current) และเขียนแทนด้วย $I_{D(Sat)}$ ดังรูปที่ 2.7 จ)

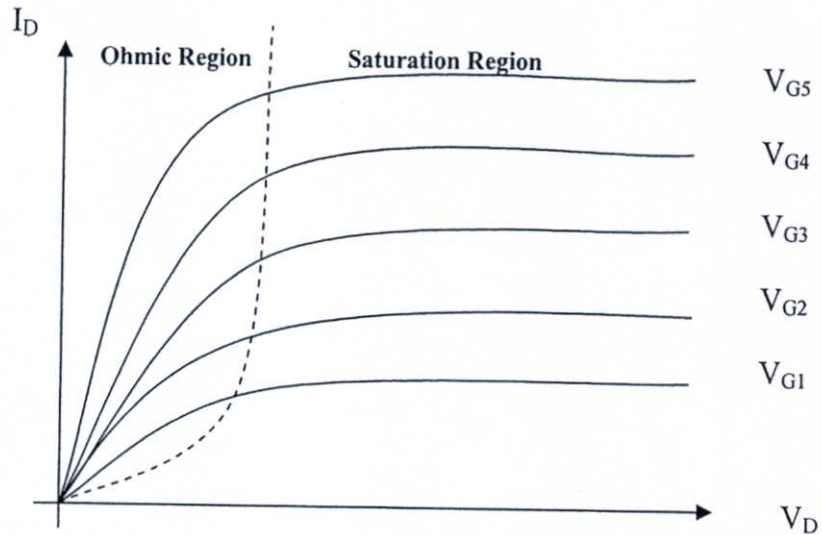
2.5.1.5 กรณีที่ $V_{GS} > V_T$ $V_{DS} > V_{DS(Sat)}$; (Saturation Region: ช่วงนำกระแสอิ่มตัว)

เมื่อแรงดันที่เดรนซอสมีค่ามากกว่าแรงดันอิ่มตัว หรือ $V_{DS} > V_{DS(Sat)}$ ทำให้แรงดันที่ตกคร่อม ันออกไซด์ที่บริเวณใกล้ปลายด้านเดรน มีค่าน้อยกว่าแรงดันขีดเริ่ม ($V_{GS} - V_{DS}$) < V_T ดังนั้นในบริเวณ ดังกล่าวจะไม่มีแชนเนลเกิดขึ้น จึงคล้ายกับว่า จุดพินชออฟเกิดขึ้น เลื่อนไปจากจุดเดรนเข้าไปทาง ด้านจุดซอส และที่ตำแหน่ง X ใด ๆ ที่เป็นจุดพินชออฟ ตามเงื่อนไขของสมการ $(V_{GS} - V_{DS}(x)) = V_T$ ยัง คงไม่เปลี่ยนแปลง ดังนั้นเมื่อแรงดันเดรนมีค่าสูงกว่า $V_{DS(Sat)}$ จุดพินชออฟจะเลื่อนเข้าไปใกล้ด้าน ซอส ดังรูปที่ 2.7 ฉ) ทำให้เกิดบริเวณหลอดพาหะระหว่างจุดพินชออฟกับส่วนเดรน ซึ่งมีระยะกว้าง เท่ากับ ΔL หากพิจารณาว่า มอสเฟตนี้เป็นชนิด Long Channel และ $\Delta L \ll L$ ดังนั้นความยาวของ แชนเนลจึงมีขนาดสั้นลงจากเดรนน้อยมาก กระทั่งประมาณว่ามีขนาดความยาวเท่าเดิมไม่เปลี่ยนแปลง ดังนั้นความต้านทานของแชนเนล R_{n-ch} จะมีค่าประมาณเท่าเดิม แม้ว่าแรงดันที่เดรนจะมีค่าเพิ่มขึ้นก็ ตาม และแรงดันที่ตกคร่อมระหว่างซอสถึงจุดพินชออฟจะมีค่าคงที่เสมอ โดยไม่เปลี่ยนแปลงกับแรง ดันเดรนซอส และเมื่อแรงดันที่เดรนซอสเพิ่มขึ้นสูงกว่า $V_{DS(Sat)}$ กระแสเดรนจะประมาณได้ว่ามีค่าคง ที่ และเท่ากับค่าของ $I_{D(Sat)}$ ซึ่งเป็นกระแสเดรนอิ่มตัว หาได้จากสมการ

$$I_D \approx I_{D(Sat)} = \frac{V_{D(Sat)}}{R_{eff(n-ch)}} ; V_{DS} > V_{DS(Sat)} \quad (2.3)$$

ซึ่งมอสเฟตถูกพิจารณาว่าทำงานในช่วงนำกระแสอิ่มตัวหรือ (Saturation Region) กล่าวคือ กระแสเดรนจะมีค่าคงที่ โดยไม่เปลี่ยนแปลงกับแรงดันที่เดรน

$$V_D = V_G - V_T$$



รูปที่ 2.8 ความสัมพันธ์ของกระแสเดรน และแรงดันที่ขาเดรนกับซอส

ความสัมพันธ์ของแรงดัน V_G กับกระแส I_D ในขณะที่แรงดันที่ขาเกตคงที่และมอสเฟตทำงานในช่วงนำกระแสในตัวสามารถเขียนได้ดังรูปที่ 2.8 ซึ่งจะแสดงกราฟความสัมพันธ์ระหว่างกระแสเดรนและแรงดันที่เดรนกับซอส โดยเปลี่ยนค่า V_G โดยที่ $V_{G1} < V_{G2} < V_{G3} < V_{G4} \dots$

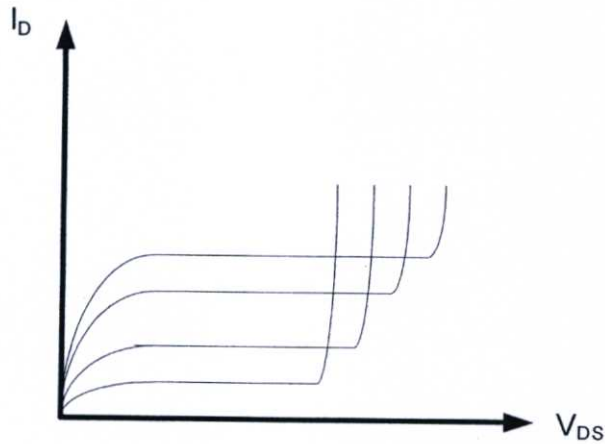
การทำงานของมอสเฟตจะเป็นลักษณะของการใช้แรงดันไฟฟ้า ควบคุมปริมาณการไหลของกระแส สมการกระแสเดรนของมอสเฟตถูกคิดขึ้นโดย Sah , H. Shichman และ D. Hodges [14],[15] ดังสมการที่ (2.4) แสดงคุณสมบัติการทำงานของมอสเฟต

$$I_D = K' \frac{W}{L} \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS}; V_{GS} > V_T \quad (2.4)$$

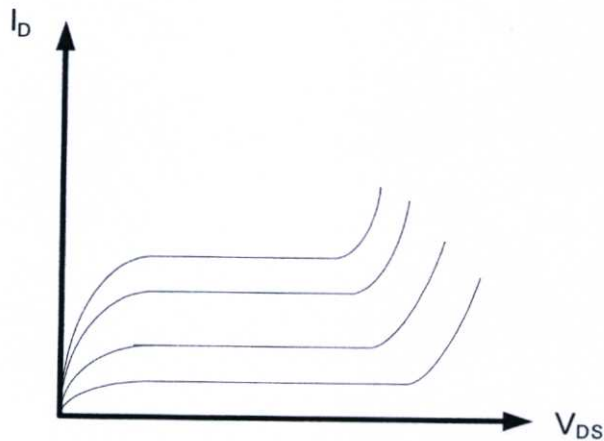
- โดยที่
- K' = ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_0 C_{OX}$
 - μ_0 = ค่าความคล่องโหด หรือ อิเล็กตรอน (Surface Mobility of Carrier)
 - C_{OX} = ค่าความจุต่อพื้นที่ของเกตออกไซด์ (Capacitance per unit area of the gate Oxide)
 - W = ความกว้างของแชนเนล (Channel width)
 - L = ความยาวของแชนเนล (Channel Length)
 - V_{GS} = แรงดันระหว่างขาเกต กับ ซอส
 - V_T = แรงดันขีดเริ่ม (Threshold Voltage)
 - V_{DS} = แรงดันระหว่างขาเดรน กับ ซอส
 - I_D = กระแสเดรน

2.5.1.6 กรณีย่านพังทลาย (Breakdown Region)

เนื่องจากแรงดันไบอัสที่ให้แก่วายต์พี-เอ็น ระหว่าง ทรานซิสเตอร์ เป็นไบอัสย้อนกลับ ดังนั้นเมื่อแรงดันที่ทรานซิสเตอร์มีค่ามากขึ้นและสูงขึ้นถึงค่า ๆ หนึ่งที่เรียกว่า แรงดันพังทลาย (Breakdown Voltage: V_B) ทำให้รอยต่อเกิดการพังทลายแบบอวาลันซ์ (Avalanche Breakdown) กระแสทรานซิสเตอร์ที่ย่านอิมิตเตอร์จะเพิ่มขึ้นอย่างรวดเร็ว และไม่สามารถควบคุมได้ ทำให้มอสเฟตเข้าสู่สภาวะการพังทลาย ดังรูปที่ 2.9 ก) และ ข) ซึ่งเป็นกรณีของมอสเฟตที่มีเกตเป็น โลหะและ โพลีซิลิกอนตามลำดับ



(ก) กรณีของออลูมิเนียมเกต



(ข) กรณีของโพลีซิลิกอน

รูปที่ 2.9 ย่านพังทลายกระแสทรานซิสเตอร์ของมอสเฟตจะเพิ่มขึ้นอย่างรวดเร็วเมื่อ $V_D \geq V_B$

2.5.2 สมการกระแสในช่วงต่าง ๆ ของมอสเฟต

จากการทำงานของมอสเฟตดังที่กล่าวมาในหัวข้อที่กล่าวมานั้น เราสามารถแบ่งช่วงของการนำกระแสของมอสเฟตได้ 3 ช่วง คือ ช่วงไม่นำกระแส (Cut-off Region) ช่วงนำกระแสไม่อิ่มตัว (Triode Region) และช่วงนำกระแสอิ่มตัว (Saturation Region) โดยแต่ละช่วงการทำงานจะขึ้นอยู่กับค่า $V_{GS} - V_T$ และค่าของ V_{DS}

2.5.2.1 ช่วงไม่นำกระแส (Cut-off Region)

ถ้าค่า $V_{GS} - V_T$ เป็นศูนย์หรือเป็นค่าลบ เป็นช่วงที่มอสเฟตไม่ทำงาน ไม่มีช่องทางเดินของกระแสจะทำตัวเหมือนวงจรเปิด จึงทำให้มอสเฟตไม่สามารถนำกระแสเดรน (I_D) ได้ มอสเฟตจะอยู่ในช่วงไม่นำกระแส (Cut-off Region) ตามสมการ

$$I_D = 0 ; |V_{GS}| - |V_T| < 0 \quad (2.5)$$

2.5.2.2 ช่วงนำกระแสไม่อิ่มตัว (Triode Region หรือ Ohmic Region)

ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $0 < |V_{DS}| < |V_{GS}| - |V_T|$ แล้ว เป็นช่วงที่แรงดันไบอัสที่ขาคัทและขาซอสมีค่ามากกว่าแรงดันขีดเริ่ม $V_{GS} > V_T$ และแรงดันระหว่างขาคัทกับขาซอส V_{DS} มีค่าน้อยกว่า $V_{GS} - V_T$ แล้วมอสเฟตจะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Triode Region หรือ Ohmic Region) สามารถหากระแสเดรน (I_D) ได้ตามสมการ

$$I_D = K' \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (2.6)$$

สำหรับในกรณีที่แรงดันระหว่างขาคัทและขาซอส V_{DS} มีค่าน้อยมาก เทอมของ $\frac{V_{DS}^2}{2}$ ในสมการที่ 2.6 สามารถตัดทิ้งได้ กระแสเดรน I_D จะมีลักษณะเป็นเชิงเส้น โดยขึ้นอยู่กับแรงดันระหว่างขาคัทและขาซอส V_{DS} กรณีนี้ มอสเฟตจะประพฤติตัวเสมือนตัวต้านทานโดยมีค่าความต้านทาน R_{eq} ได้ตามสมการ

$$R_{eq} = \frac{V_{DS}}{I_D} = \frac{1}{K' \frac{W}{L} (V_{GS} - V_T)} \quad (2.7)$$

2.5.2.3 ช่วงนำกระแสอิ่มตัว (Saturation Region)

ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $|V_{DS}| > |V_{GS}| - |V_T|$ แล้ว เป็นช่วงที่แรงดันที่ขาคัทและขาซอสมีค่ามากกว่าแรงดันขีดเริ่ม $V_{GS} > V_T$ และแรงดันระหว่างขาคัทและขาซอส V_{DS} มีค่ามากกว่าหรือเท่ากับ $V_{GS} - V_T$ แล้ว มอสเฟตจะทำงานอยู่ในช่วงนำกระแสอิ่มตัว (Saturation Region) สามารถหาค่ากระแสเดรน (I_D) ได้ตามสมการ

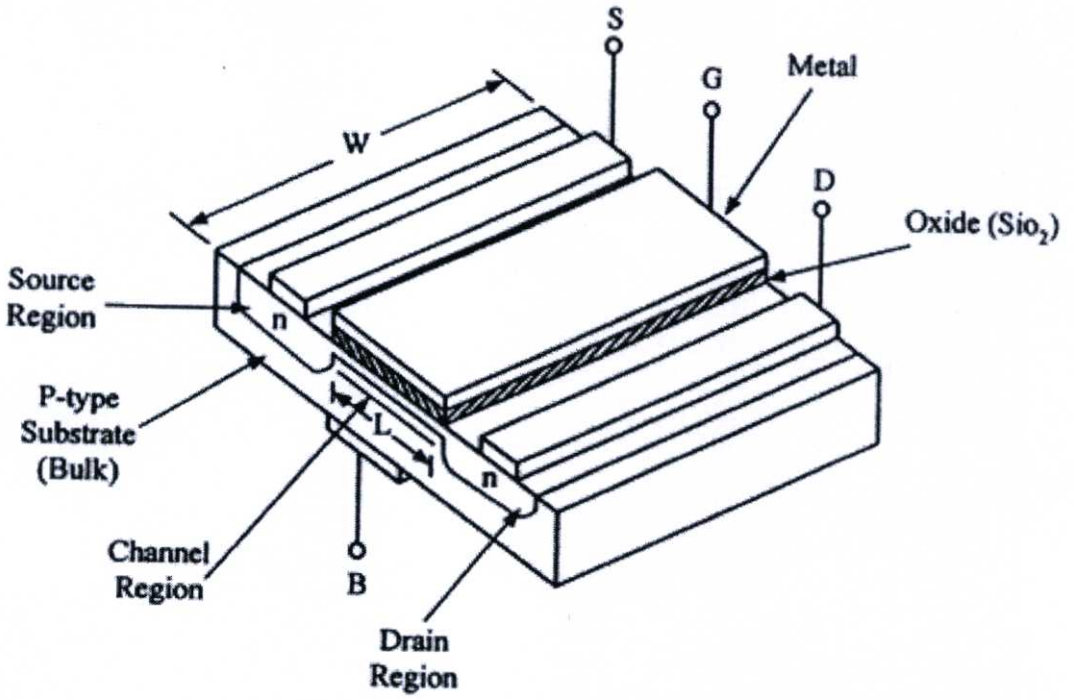
$$I_D = \frac{K' W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (2.8)$$

โดยที่ λ = แชนเนลเลนจ่มอดูเลชัน (Channel Length Modulation) ; (V^{-1})

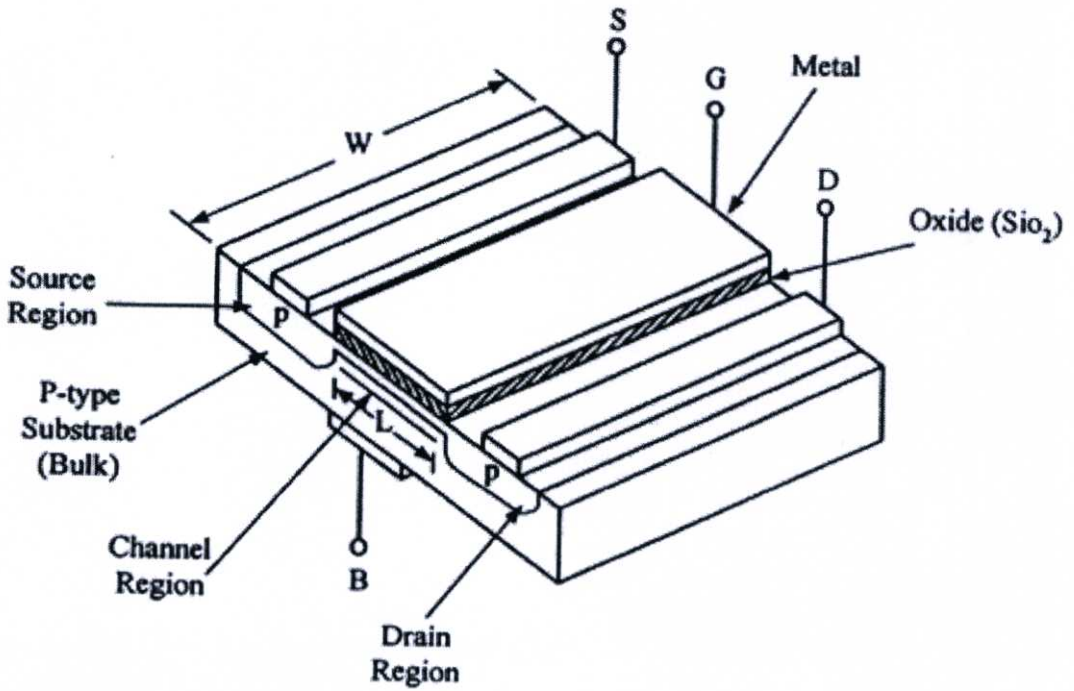
2.6 ชนิดของมอสเฟต

มอสเฟตแบ่งได้เป็น 2 ชนิดคือ ชนิดเอนฮานซ์เมนต์มอสเฟต หรือเรียกอีกอย่างหนึ่งว่า (E-MOSFET) และชนิดดีพีซีชั้นมอสเฟต หรือเรียกอีกอย่างหนึ่งว่า (D-MOSFET) ดังรูปที่ 2.10 และรูปที่ 2.11 แสดงโครงสร้างของมอสเฟตชนิดเอน และ พี ทั้ง 2 แบบตามลำดับ

จากรูปที่ 2.10 จะเห็นว่าโครงสร้าง (D-MOSFET) จะคล้ายกับ (E-MOSFET) แต่จะแตกต่างกันตรงที่ช่องระหว่างซอสกับเดรนของ (D-MOSFET) จะมีการแพร่สารเอนอยู่ดังนั้นจึงมีกระแสไหลระหว่างเดรนกับซอส เมื่อแรงดันที่เดรนเป็นบวกเมื่อเทียบกับซอส และที่แรงดันระหว่างเกตกับซอสเป็นศูนย์ $V_{GS} = 0$ เมื่อ V_{GS} มีค่าเป็นลบกระแสเดรนจะลดลงถ้า V_{GS} มีค่าเป็นบวกกระแสเดรนจะเพิ่มขึ้น ส่วนการทำงานของ (E-MOSFET) จะไม่มีกระแสไหลระหว่างเดรนกับซอส เมื่อแรงดันที่เดรนเป็นบวกเมื่อเทียบกับซอส และแรงดันที่เกตกับซอสเป็นศูนย์เมื่อ V_{GS} มีค่าเป็นบวกจะทำให้กระแสเดรนไหล และเมื่อ V_{GS} มีค่าเป็นบวกมากขึ้นจะทำให้กระแสเดรนไหลเพิ่มขึ้น ดังรูปที่ 2.12 แสดงกราฟคุณสมบัติของ (E-MOSFET) และ (D-MOSFET)

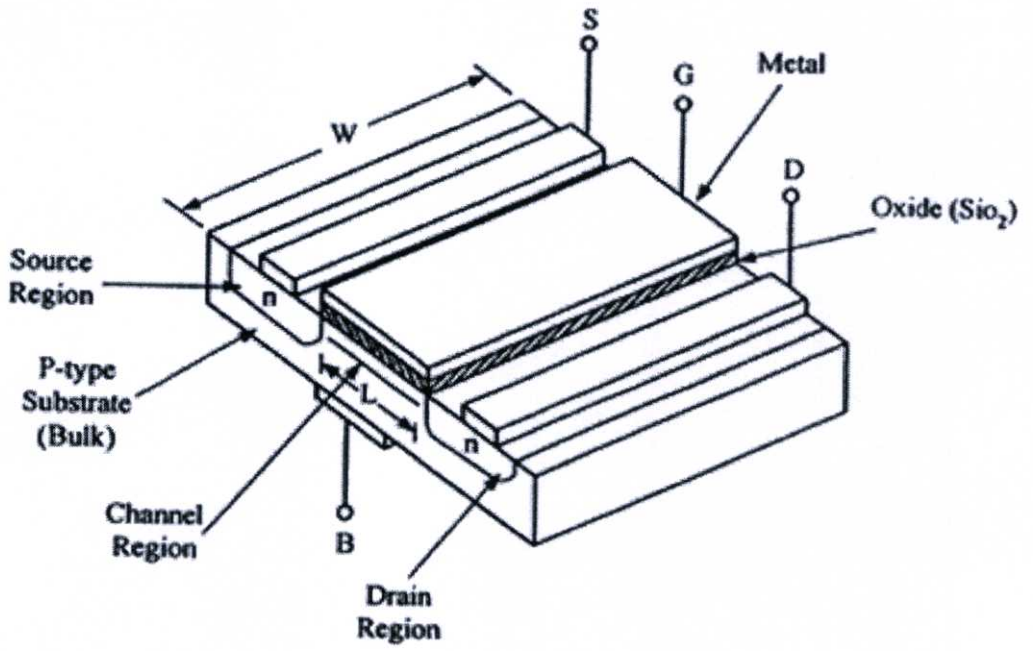


(ก) ชนิด N - Channel

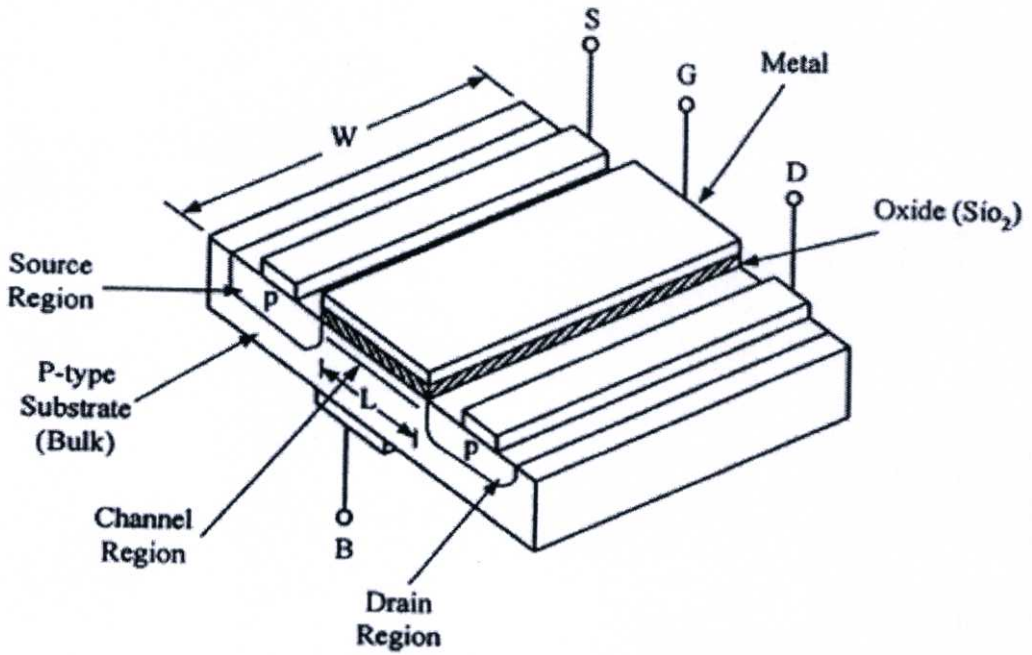


(ข) ชนิด P - Channel

รูปที่ 2.10 โครงสร้างของมอสเฟตแบบ D-MOSFET

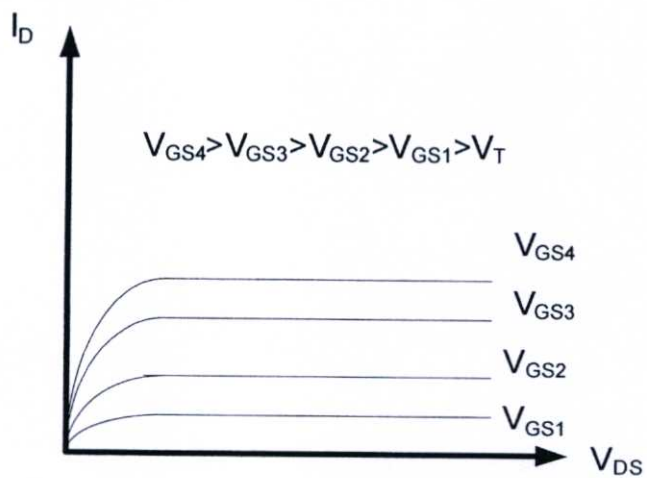


(ก) ชนิด N - Channel

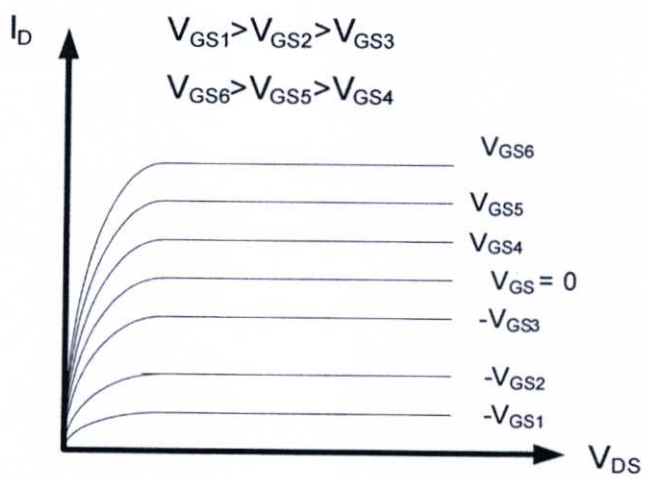


(ข) ชนิด P - Channel

รูปที่ 2.11 โครงสร้างของมอสเฟตแบบ E-MOSFET



(ก) ชนิด E-MOSFET



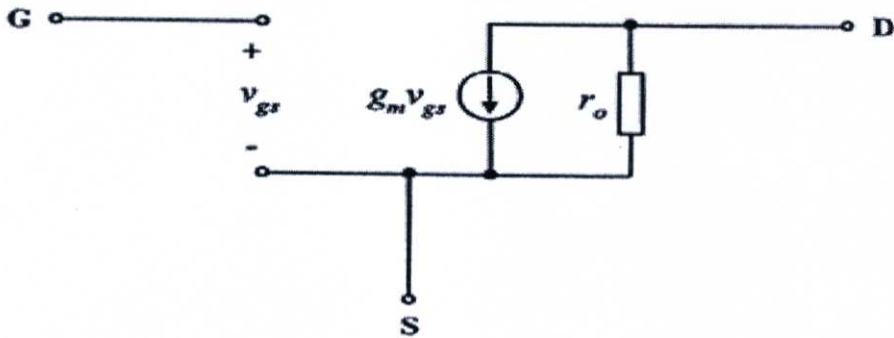
(ข) ชนิด D-MOSFET

รูปที่ 2.12 กราฟความสัมพันธ์ระหว่าง I_D กับ V_{DS}

2.7 แบบจำลองของมอสเฟต

2.7.1 แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็กที่มีความถี่ต่ำ

จากรูปที่ 2.13 แสดงแบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็กที่มีความถี่ต่ำ (Low Frequency Small Signal Equivalent Circuit Model) จากรูปเป็นการแทนมอสเฟตด้วยวงจรไฟฟ้า เพื่อใช้ในการวิเคราะห์ผลของการตอบสนองต่อสัญญาณที่มีขนาดเล็ก (Small Signal Analysis)



รูปที่ 2.13 แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็กที่มีความถี่ต่ำ

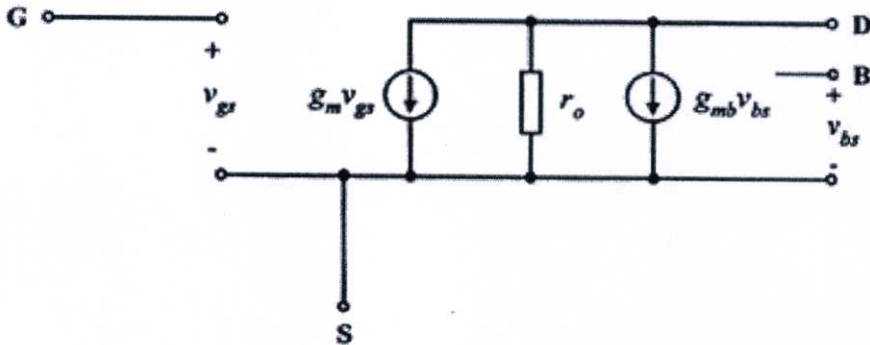
มอสเฟตเป็นอุปกรณ์ที่มีคุณสมบัติในการเปลี่ยนแรงดันที่เกต ซอส (v_{gs}) ให้เป็นกระแสที่เดรน ซอส ($g_m v_{gs}$) ความต้านทานที่ขาเกตมีค่าสูงมาก ซึ่งในทางอุดมคติ (Ideal) ถือว่ามีค่าเป็นอนันต์ (∞) ความต้านทานที่ขาเดรน (r_o) มีค่าค่อนข้างสูง พารามิเตอร์ที่สำคัญอีกตัวหนึ่งที่ใช้ในการวิเคราะห์สัญญาณขนาดเล็ก คือ ค่าทรานส์คอนดักแตนซ์ (g_m) สามารถหาได้ตามสมการ

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = k' \frac{W}{L} (V_{GS} - V_t)(1 + \lambda V_{DS}) \quad (2.9)$$

กรณีที่มอสเฟตทำงานในช่วงนำกระแสอิ่มตัว ค่าของทรานส์คอนดักแตนซ์ (g_m) จะมีค่าเท่ากับ

$$g_m = k' \frac{W}{L} (V_{GS} - V_t) = \sqrt{2k' \frac{W}{L} I_D} \quad (2.10)$$

แบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวมาแล้วในข้างต้น เป็นแบบจำลองที่ยังไม่ได้มีการพิจารณาถึงผลของฐานรอง (Body Effect) ซึ่งเกิดขึ้นเมื่อฐานรองนั้นไม่ได้ต่อกับขาซอสเมื่อรวมผลของฐานรองทำให้ได้แบบจำลองสัญญาณขนาดเล็ก ดังรูปที่ 2.14



รูปที่ 2.14 แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็กที่ฐานรองไม่ได้ต่อกับขาซอส

จากรูปที่ 2.14 สัญญาณขนาดเล็กที่เกิดขึ้นระหว่างฐานรองกับขาซอส (v_{bs}) จะทำให้เกิดค่าของกระแสเดรนมีค่าเท่ากับ ($g_m v_{bs}$) โดยที่ค่าของ (g_{mb}) คือค่าทรานส์คอนดักแตนซ์ที่ฐานรอง (Body Trans conductance) ของมอสเฟต สามารถหาได้ตามสมการ

$$g_{mb} = \frac{\partial I_D}{\partial V_{BS}} = -k' \frac{W}{L} (V_{GS} - V_t) (1 + \lambda V_{DS}) \frac{\partial V_t}{\partial V_{BS}} \quad (2.11)$$

สำหรับกรณีของมอสเฟตที่ทำงานในช่วงนำกระแสอิ่มตัว สามารถหาได้ตามสมการ

$$g_{mb} = \eta g_m \quad (2.12)$$

$$\eta = \frac{\gamma}{2\sqrt{2|\phi_F| + V_{SB}}}$$

$$\gamma = \frac{\sqrt{2q\epsilon_0\epsilon_{Si}N_{sub}}}{C_{OX}}$$

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_{sub}}{n_i}\right)$$

2.7.2 แบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็กที่มีความถี่สูง

จากรูปที่ 2.15 แสดงแบบจำลองของมอสเฟตสำหรับสัญญาณขนาดเล็กที่มีความถี่สูง ซึ่งรวมผลของตัวเก็บประจุแฝง ได้แก่ C_{gs} , C_{gd} , C_{gb} , C_{sb} , C_{db} ตัวเก็บประจุ C_{sb} และ C_{db} เป็นค่าตัวเก็บประจุแฝงบริเวณรอยต่อ (Junction Capacitance) ระหว่างฐานรอกกับซอสและฐานรอกกับเดรนตามลำดับสามารถหาได้ตามสมการ

$$C_{sb} = \frac{A_s C_{sbo}}{\sqrt[n]{1 + \frac{V_{sb}}{\psi_0}}} \quad (2.13)$$

และ

$$C_{db} = \frac{A_d C_{dbo}}{\sqrt[n]{1 + \frac{V_{db}}{\psi_0}}} \quad (2.14)$$

โดยที่

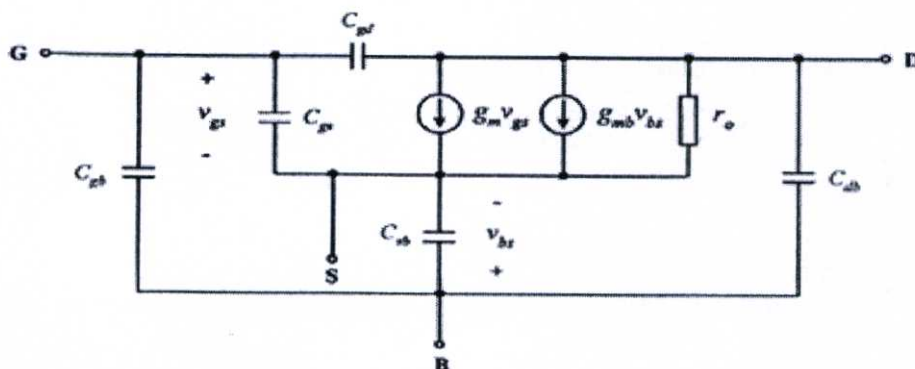
$n = 2$ กรณีรอยต่อพี เอ็น เป็นแบบขั้นบันได (Step Junction)

$n = 3$ กรณีรอยต่อพี เอ็น เป็นแบบลาด (Graded Junction)

C_{sb} และ C_{db} เป็นค่าความจุไฟฟ้ากรณี (v_{bs}) และ (v_{db}) มีค่าเป็นศูนย์ ตามลำดับ ψ_0 เป็นแรงดันที่รอยต่อพี เอ็น ขณะที่แรงดันภายนอกเป็นศูนย์ (Built-in Potential)

A_s และ A_d เป็นพื้นที่ของซอสและเดรน รวมถึงพื้นที่ด้านข้าง (Side-Wall)

V_{sb} และ V_{db} เป็นแรงดันระหว่างขาซอสกับฐานรอกและขาเดรนกับฐานรอก



รูปที่ 2.15 แบบจำลองวงจรสมมูลของมอสเฟตที่ความถี่สูง

ค่าตัวเก็บประจุไฟฟ้าระหว่างเกตและฐานรอง (C_{gb}) เป็นค่าตัวเก็บประจุไฟฟ้าแฝงของ ออกไซด์ (Parasitic Oxide Capacitance) ซึ่งเกิดขึ้นระหว่างชั้นสารทางด้านเกต (โลหะหรือโพลีซิลิคอน) กับฐานรอง ขณะที่มอสเฟตทำงานอยู่ในช่วงนำกระแสไม่อิ่มตัวและช่วงนำกระแสอิ่มตัว ค่าตัวเก็บประจุไฟฟ้า (C_{gb}) จะมีค่าประมาณศูนย์ ขณะที่มอสเฟตไม่ทำงานหรืออยู่ในช่วงคัทออฟ สามารถหาค่าตัวเก็บประจุไฟฟ้า (C_{gb}) สามารถหาได้ตามสมการ

$$C_{gb} = C_{OX}WL + 2C_{gbo}L \quad (2.15)$$

ค่าตัวเก็บประจุไฟฟ้า (C_{gb}) ในขณะที่มอสเฟตทำงานอยู่ในช่วงนำกระแสไม่อิ่มตัว จะมีค่าเท่ากันสามารถหาได้ตามสมการ

$$C_{gs} = C_{gd} = \frac{1}{2}C_{OX}WL \quad (2.16)$$

ในขณะที่มอสเฟตทำงานอยู่ในช่วงนำกระแสอิ่มตัว ช่องทางเดินของกระแสจะหดแคบลง แรงดันที่ขาเดรนจะมีผลเพียงเล็กน้อยต่อช่องทางเดินกระแสและประจุที่ขาเกต ทำให้ค่าของตัวเก็บประจุ (C_{gd}) มีค่าเท่ากับค่าตัวเก็บประจุแฝงที่ออกไซด์ อันเกิดจากส่วนของเกตซ้อนทับกันกับส่วนของเดรน (Overlap Capacitance) โดยค่า (C_{gd}) มีค่าประมาณอยู่ในระดับ 1 ถึง 10 เฟมโตฟารัด

ค่าของตัวเก็บประจุระหว่างขาเกตและขาซอส (C_{gs}) ในช่วงนำกระแสอิ่มตัว สามารถหาได้ตามสมการ

$$C_{gs} = \frac{\partial Q_T}{\partial V_{gs}} = \frac{2}{3}C_{OX}WL \quad (2.17)$$

ในทางปฏิบัติค่าตัวเก็บประจุ (C_{gs}) ยังต้องรวมถึงผลของตัวเก็บประจุไฟฟ้า ที่เกิดจากค่าตัวเก็บประจุออกไซด์แฝง เนื่องจากพื้นที่ของส่วนเกตที่ซ้อนทับกันกับส่วนของเดรนเช่นเดียวกับ (C_{gd}) ดังที่ได้กล่าวมาแล้ว

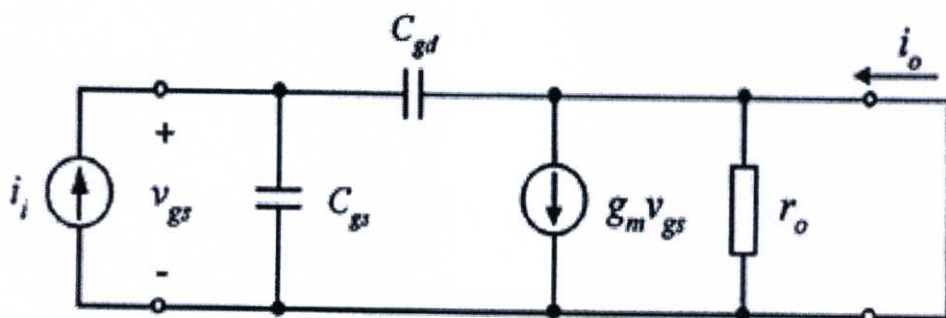
คุณสมบัติที่สำคัญอีกประการหนึ่ง สำหรับในการทำงานที่ย่านความถี่สูงของมอสเฟตที่ทำงานเป็นวงจรถยาย คือ ความถี่ที่มีอัตราขยายเป็นหนึ่ง (Unity Gain Frequency: f_T) โดยนิยามว่าเป็นความถี่ที่อัตราขยายของมอสเฟตที่ต่ออยู่ในรูปแบบของวงจรถวมมอนซอส (Common Source Configuration) ขณะปัดวงจร (Short Circuit) มีค่าเป็นหนึ่งดังรูปที่ 2.16 แสดงแบบจำลองไฮบริด-ไพ (Hybrid- π) ของมอสเฟตในลักษณะวงจรถวมมอนซอส พร้อมทั้งกระแสอินพุต (i_i) และกระแส

เอาต์พุต (i_o) ในการหาอัตราขยายกระแสขณะเปิดวงจรมีอยู่ จะต้องมีกรป้อนแหล่งกำเนิดกระแสอินพุต (i_i) ที่ขาเข้า ซึ่งจะได้กระแสที่ขาออก (i_o) สามารถหาได้ตามสมการ

$$i_o = g_m v_{gs} - sC_{gd} v_{gs} \quad (2.18)$$

จากที่กล่าวมาแล้วในข้างต้น (C_{gd}) มีค่าน้อยมาก ทำให้พจน์สุดท้ายในสมการที่ 2.18 มีค่าเข้าใกล้ศูนย์ จะได้สมการของกระแสที่ขาออกใหม่มีค่าเท่ากับ

$$i_o \cong g_m v_{gs} \quad (2.19)$$



รูปที่ 2.16 การหาอัตราขยายกระแสขณะเปิดวงจรมีอยู่

จากรูปที่ 2.16 แสดง (v_{gs}) ในพจน์ของกระแสขาเข้า (i_i) สามารถหาได้ตามสมการ

$$v_{gs} = \frac{i_i}{s(C_{gs} + C_{gd})} \quad (2.20)$$

จากสมการที่ 2.19 และ 2.20 สามารถหาอัตราขยายกระแสขณะเปิดวงจรมีอยู่ได้เป็น

$$\frac{i_o}{i_i} = \frac{g_m}{s(C_{gs} + C_{gd})} \quad (2.21)$$

จากสมการที่ 2.21 สามารถหาความถี่ที่ทำให้อัตราขยายกระแสมีค่าเป็นหนึ่งได้เป็น

$$\omega_T = \frac{g_m}{(C_{gs} + C_{gd})} \quad (2.22)$$

จากสมการที่ 2.22 สามารถหาค่าความถี่ f_T ได้เป็น

$$f_T = \frac{1}{2\pi} \omega_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (2.23)$$

เมื่อ $f_T = \frac{\omega_T}{2\pi}$

นอกจากนี้ยังได้มีการใช้โปรแกรมสำเร็จรูปทำการวิเคราะห์ และเลียนแบบการทำงานของวงจรต่าง ๆ กันอย่างกว้างขวาง โปรแกรม Spice (Simulation Program with Integrated Circuit Emphasis) เป็นโปรแกรมหนึ่งซึ่งถูกใช้มากและเป็นที่ยอมรับ ถูกคิดค้นพัฒนาจากมหาวิทยาลัย Berkley California USA ในโปรแกรม Spice ได้แบ่งรูปแบบจำลอง (Mode) การทำงานของมอสเฟตออกเป็น 3 รูปแบบคือ แบบจำลองระดับหนึ่ง (level 1 Model) แบบจำลองระดับสอง (level 2 Model) แบบจำลองระดับสาม (level 3 Model)

2.7.3 แบบจำลองระดับหนึ่ง (Level 1 Model)

เป็นแบบจำลองแบบพื้นฐาน ที่ใช้อ้างอิงเป็นสมการต่าง ๆ แบบพื้นฐาน เหมาะสำหรับการคำนวณพื้นฐานทั่วไปที่ไม่ต้องการวิเคราะห์ค่าความผิดพลาด (Error) ต่าง ๆ ซึ่งถ้าต้องการคำนวณวงจรแบบง่าย ๆ หรือแบบไม่ต้องพิจารณาความผิดพลาดแบบจำลองนี้ก็เพียงพอที่จะใช้งานได้ ซึ่งสามารถใช้สำหรับการทำงานของมอสเฟตแบบพื้นฐาน ที่มีความยาวขอบแชนเนลมากกว่า 10 ไมครอน โดยใช้โมเดลของ H. Shichman and D. Hodges ซึ่งครอบคลุมการทำงานไปถึงโมเดลของ C.T. Sah ด้วย

2.7.4 แบบจำลองระดับสอง (level 2 Model)

เป็นแบบจำลองที่ต่างจาก (Level 1) อยู่ 2 ส่วน คือ วิธีการคำนวณค่าผลกระทบทางความยาวแชนเนล (Effective Channel Length: λ) และในส่วนของ การเปลี่ยนแปลง (Transition) ย่นการ ทำงานระหว่างช่วงอิ่มตัวและช่วงไม่อิ่มตัว ใช้เวลาการคำนวณการเปลี่ยนแปลง (Transition) การทำงานช่วงอิ่มตัวและช่วงไม่อิ่มตัวมาก หมายถึง วิธีคำนวณการเปลี่ยนแปลงระหว่างรอยต่อของช่วงการนำกระแสอิ่มตัว (Saturation Region) และช่วงการนำกระแสไม่อิ่มตัว (Non-Saturation Region) ในแบบจำลองระดับสองนี้ยังให้ประโยชน์ทางด้านประสิทธิภาพที่ดีกว่าและ สนับสนุนการใช้

อุปกรณ์ที่มีแชนเนลแคบ (Shot Channel) ได้ซึ่งสามารถใช้สำหรับการทำงานของมอสเฟตที่มีความยาวของแชนเนลน้อยกว่า 10 ไมครอน ซึ่งเรียกว่า Shot Channel effect

2.7.5 แบบจำลองระดับสาม (level 3 Model)

เป็นแบบจำลองที่ผสมผสานตัวแปรจากการสังเกตเข้าไปด้วย (Semi-Empirical Model) โดยตัวแปรต่าง ๆ ที่เพิ่มเข้ามา (จะมีความสัมพันธ์ไม่ชัดเจนว่าส่งผลมาจากคุณสมบัติทางกายภาพของมอสทรานซิสเตอร์) ทำให้ประสิทธิภาพดีขึ้น ในแบบจำลองระดับสามนี้ยังสามารถลดเวลาในการคำนวณการเปลี่ยนแปลง (Transition) ย่นการทำงานระหว่างช่วงการนำกระแสอิ่มตัวและช่วงการนำกระแสไม่อิ่มตัวอีกด้วย

การเลือกชนิดของแบบจำลองสำหรับใช้ในการจำลองการทำงานของวงจรมานั้นโดยทั่วไปจะต้องคำนึงถึงคุณสมบัติทางไฟฟ้าที่จะนำไปประยุกต์ใช้งาน ตัวอย่างเช่น แบบจำลองในระดับหนึ่งเหมาะสมในการวิเคราะห์พื้นฐาน โดยผู้ออกแบบ ให้ผลได้ไม่ถูกต้องนัก โดยเฉพาะอย่างยิ่งกับมอสเฟตที่มีขนาดเล็กเพราะโมเดลระดับนี้ ไม่รวมผลของปรากฏการณ์ที่เกิดขึ้นกับมอสเฟตขนาดเล็ก และผลของการนำกระแสในย่านที่ต่ำกว่าแรงดันขีดเริ่ม

2.8 บทสรุป

ในบทนี้ได้กล่าวถึง พื้นฐาน และรวมถึงคุณลักษณะของมอสเฟตอย่างพอสังเขป และการทำงานในย่านต่าง ๆ ทำให้ทราบได้ว่าการทำงานย่านต่าง ๆ เกิดขึ้นได้อย่างไร และมีสมการที่เกี่ยวข้อง เพื่อช่วยการคำนวณวงจรต่าง ๆ ที่ประกอบขึ้นจากมอสเฟต ซึ่งมอสเฟตเป็นอุปกรณ์อิเล็กทรอนิกส์ชนิดหนึ่งสามารถควบคุมปริมาณของกระแสครนได้ด้วยสนามไฟฟ้าที่เกิดขึ้นจากแรงดันที่ขั้วเกต สามารถแบ่งตามชนิดของมอสเฟตได้เป็น 2 ชนิด คือ เอ็นแชนซ์เม้นท์มอสเฟต และ ดีพลีซีมมอสเฟต โดยแต่ละชนิดแบ่งออกเป็น PMOS และ NMOS ซึ่งการไบอัสจะมีลักษณะตรงกันข้าม เมื่อพิจารณาสมการกระแสครนของมอสเฟตแบ่งเป็น ย่านการทำงานขึ้นอยู่กับค่าของ $V_{GS} - V_T$ ที่ป้อนเป็นอินพุตให้กับมอสเฟต โดยจะต้องมีค่ามากกว่าแรงดันเทรชโฮลด์ (V_T) จึงจะสามารถควบคุมกระแสเอาต์พุตได้ แรงดันเทรชโฮลด์ นั้น สามารถเปลี่ยนแปลงได้ด้วยแรงดันระหว่างขาซอสกับฐานรอง(Substrate) และในส่วนสุดท้ายของบทนี้ได้กล่าวถึงรูปแบบจำลอง(Model) ของการใช้โปรแกรมเลียนแบบการทำงาน PSpice ใน Model ต่าง ๆ ที่มีใช้กันอยู่ในปัจจุบัน เพื่อการวิเคราะห์วงจรตามที่ออกแบบมานั้นว่ามีการทำงานเป็นอย่างไร และมีประสิทธิภาพมากเท่าไร

บทที่ 3

การออกแบบวงจรคุณสมบัติของนาฬิกา 4 ควอดแดนต์ ที่ใช้แหล่งจ่ายไฟต่ำ

ในบทที่ 3 นี้จะกล่าวถึงการออกแบบวงจรการออกแบบวงจรคุณสมบัติของนาฬิกา 4 ควอดแดนต์ ที่ใช้แหล่งจ่ายไฟต่ำ โดยเริ่มจากการเสนอ หลักการของวงจรเลื่อนระดับแรงดัน ทรานซิสเตอร์คู่เหมือน การบังคับให้ทรานซิสเตอร์คู่เหมือนทำงานในช่วงโอห์มิก และเมื่อนำมาประกอบกันจะได้เป็นวงจรทรานสคอนคักเตอร์ และเพิ่มเติมส่วนประกอบต่าง ๆ จนได้เป็นวงจรคุณสมบัติของนาฬิกา 4 ควอดแดนต์ ที่ใช้แหล่งจ่ายไฟต่ำที่จะนำเสนอ

3.1 หลักการของวงจรเลื่อนระดับแรงดัน

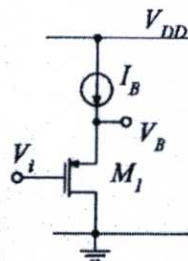
วงจรนี้เป็นการใช้งาน PMOS และแหล่งจ่ายกระแส ดังรูปที่ 1 ทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (saturation) กระแสเดรน (drain) สามารถอธิบายได้ดังสมการที่ 1 และแรงดันเอาพุทเขียนได้ดังสมการที่ 2

$$I_B = k_p (V_B - V_i - |V_{TP}|)^2 \quad (3.1)$$

โดยที่

$$k_p = \frac{\mu_p C_{OX}}{2} \left(\frac{W}{L} \right) \quad (3.2)$$

$$V_B = V_i + |V_{TP}| + \sqrt{\frac{I_B}{k_p}} \quad (3.3)$$



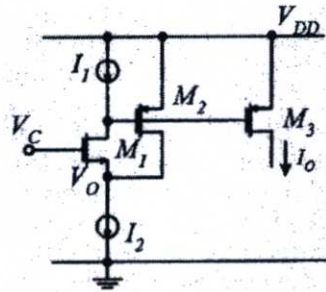
รูปที่ 3.1 แสดงวงจรเลื่อนระดับแรงดัน

3.2 หลักการของวงจรบัฟเฟอร์ป้อนกลับแบบขนาน

วงจรบัฟเฟอร์ป้อนกลับแบบขนาน[1] จากรูปที่ 2 จะเห็นว่าวงจรนี้ประกอบด้วยแหล่งจ่ายกระแส 2 แหล่งจ่าย และทรานซิสเตอร์ 3 ตัว ทรานซิสเตอร์ M_1 ใช้เพื่อจ่ายแรงดันซอสให้ตัวมันเอง ทรานซิสเตอร์ M_2 ใช้เพื่อจ่ายกระแสเข้าที่โหนด V_o และ ทรานซิสเตอร์ M_3 ใช้เพื่อจ่ายกระแสเอาต์พุตของวงจร ซึ่งทรานซิสเตอร์ทั้งหมดทำงานในช่วงอิมิตัว ดังนั้นแรงดันเอาต์พุตสามารถเขียนได้ดังนี้

$$V_o = V_C - \sqrt{\frac{I_1}{k_N}} - V_{TN} \quad (3.4)$$

กระแสเอาต์พุต I_o มีค่าเท่ากับ $I_2 - I_1$ ที่ได้จาก หลักการ Current Mirror ทรานซิสเตอร์ M_3 อย่างไรก็ตามกระแสไบแอส (Bias) I_1 เราละไว้ด้วยหลักการ Symmetry Differential เพราะ I_1 นั้นคงที่ ซึ่งทรานซิสเตอร์ที่ใช้กับทั้งสองด้านนี้ต้องเหมือนกันทุกประการ



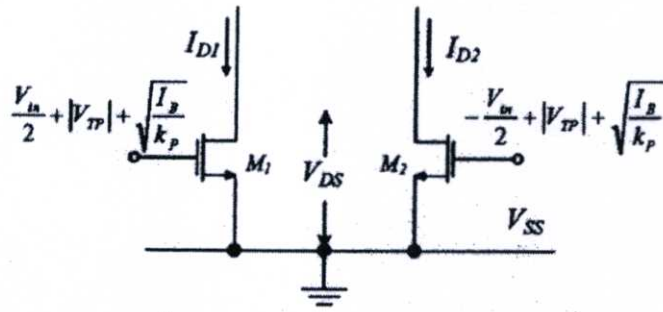
รูปที่ 3.2 วงจรบัฟเฟอร์ป้อนกลับแบบขนาน

พิจารณาวงจรจากรูปที่ 2 จะเห็นว่าแหล่งจ่ายกระแส I_1 คือกระแสเดรนของ M_1 และ I_2 คือกระแสรวมของวงจร แรงดันอินพุต (V_C) จ่ายเข้าที่เกต (Gate) ของทรานซิสเตอร์ M_1 จะเกิดแรงดันซอส (source) และถ้าหากมีโหนดมาต่อที่โหนด V_o ก็ควรมีกระแสมาจ่ายอย่างเพียงพอ ดังนั้น M_2 และ I_2 นำมาใช้เพื่อจ่ายกระแส

วงจรที่เสนอนี้ไม่ได้ใช้ I_2 เพราะเราสามารถแทนที่ด้วยโอมมิททรานซิสเตอร์ซึ่งทำให้เกิดเป็นวงจรทรานสคอนคักแตนซ์ ดังนั้น V_o ตั้งค่าไว้ที่ต่ำที่สุด และเมื่อ V_o รวมกับ V_{DS} จะทำให้ทรานซิสเตอร์ทำงานในช่วงโอมมิท ซึ่งต้องทำงานภายใต้เงื่อนไขที่ว่า $V_{DS} < (V_{GS} - V_T)$

3.3 หลักการทรานซิสเตอร์คู่เหมือนทำงานในช่วงโอห์มิก

หลักการของวงจรทรานซิสเตอร์มอสคู่เหมือน คือทรานซิสเตอร์ที่เหมือนกันทุกประการ



รูปที่ 3.3 วงจรทรานซิสเตอร์มอสคู่เหมือน

จากรูปที่ 3.3 นั้น เป็นการบังคับให้ทรานซิสเตอร์มอสคู่เหมือนทำงานในช่วงโอห์มิกและสมการ Perfect Matched สามารถเขียนได้ดังนี้

$$I_{D1} = \mu_N C_{OX} \left(\frac{W}{L} \right) \left(V_{GS1} - V_{TN} - \frac{V_{DS1}}{2} \right) V_{DS1} \quad (3.5)$$

$$I_{D2} = \mu_N C_{OX} \left(\frac{W}{L} \right) \left(V_{GS2} - V_{TN} - \frac{V_{DS2}}{2} \right) V_{DS2} \quad (3.6)$$

เนื่องจากงานวิจัยบนพื้นฐานของการใช้วิธีการบังคับแรงดัน เทรน-ชอส ของทรานซิสเตอร์ให้ทำงานในช่วงโอห์มิก พิจารณาสมการที่ (3.5) และ (3.6) จะเห็นว่า ถ้าแรงดันขอสถูกลัดวงจรกับกราวด์ ($V_S = 0$) และแรงดันอินพุตที่เกิด ต้องมากกว่า V_{TN} เสมอภายใต้เงื่อนไขที่ว่า $V_{DS} < (V_{GS} - V_T)$ ซึ่งได้มาจากเอาที่พหุของวงจรเลื่อนระดับแรงดัน แรงดัน เทรน-ชอสที่ถูกบังคับให้อยู่ในช่วงโอห์มิกและควบคุมทรานสคอนดักแตนซ์ของมันเอง

สมมุติว่าเราตั้งค่า $V_{DS1} = V_{DS2} = V_{DS}$ แล้ว แรงดันเกต-ชอสของทรานซิสเตอร์ M1 จะเป็น

$$V_{GS1} = \frac{V_{in}}{2} + |V_{TP}| + \sqrt{\frac{I_B}{k_p}} \quad (3.7)$$

และเช่นกันแรงดันเกต-ชอสของทรานซิสเตอร์ M2 จะเป็น

$$V_{GS2} = -\frac{V_{in}}{2} + |V_{TP}| + \sqrt{\frac{I_B}{k_p}} \quad (3.8)$$

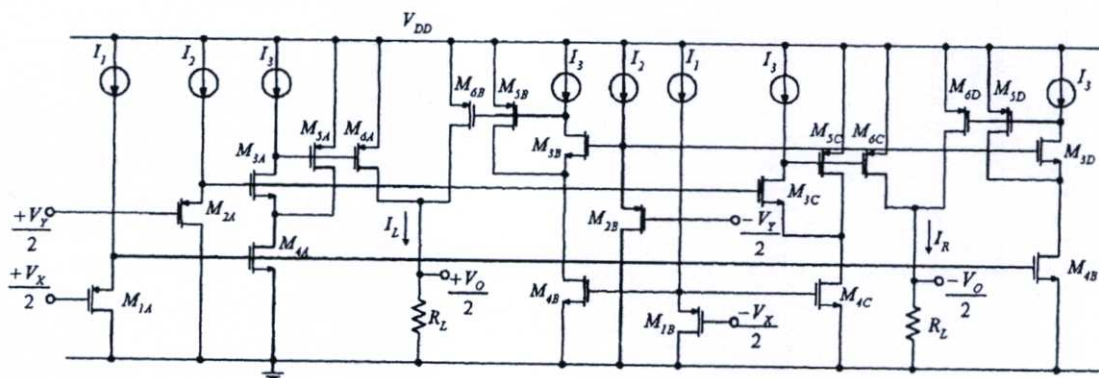
แล้วผลต่างของกระแสจากวงจรในรูปที่ 3 คือ

$$I_{D1} - I_{D2} = \mu C_{OX} \left(\frac{W}{L} \right) V_{in} V_{DS} \quad (3.9)$$

พิจารณาสมการที่ (3.9) จะเห็นว่าทรานสคอนดักแตนซ์นั้นถูกควบคุมโดยแรงดันเทรน (V_D) ของมันเอง

3.5 วงจรคุณสมบัติสัญญาณอนาล็อก 4 ควอดแดนต์ที่ใช้แหล่งจ่ายไฟต่ำ

วงจรมูลคุณสมบัติสัญญาณอนาล็อก 4 ควอดแดนต์นั้นได้มาจากทรานสคอนดักต์แต้นซึ่เสนอในข้างต้น โดยปรับแก้เพียงเล็กน้อย โดยการใส่วงจรอินพุทบาลานซิ่ง (Input Balancing) วงจรมูลคุณสมบัติที่สำเร็จแล้วได้แสดงไว้ดังรูปที่ 3.5



รูปที่ 3.5 วงจรคุณสมบัติสัญญาณอนาล็อก 4 ควอดแดนต์ที่ใช้แหล่งจ่ายไฟต่ำ

กระแสเอาต์พุตจากความแตกต่างกันที่ได้จากวงจรมูลคุณสมบัตินี้เป็นเชิงเส้นจากการคูณตรง ๆ ธรรมดาและส่วนที่เหมือนกันถูกกำจัดออกไปด้วยการบาลานซิ่ง ซึ่งสามารถเขียนเอาต์พุตได้ดังสมการ

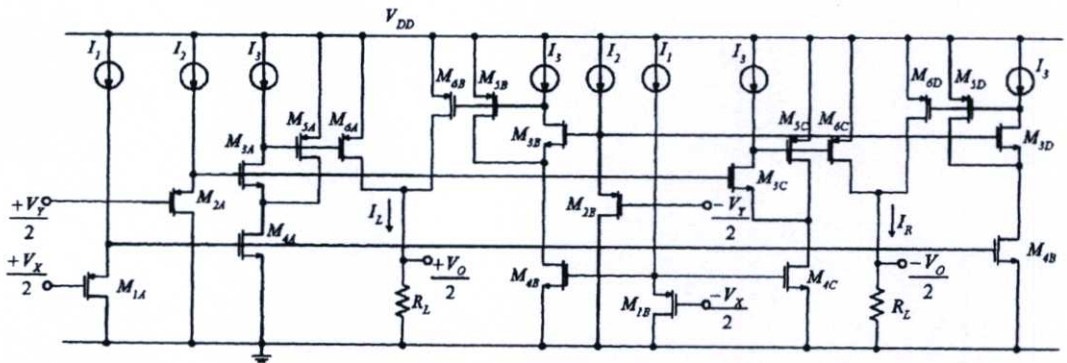
$$I_O = \mu_N C_{OX} \left(\frac{W}{L} \right) V_X V_Y \quad (3.11)$$

การทดสอบการทำงานของวงจรด้วยโปรแกรมจำลองการทำงาน

ในบทนี้จะกล่าวถึงการทดสอบการทำงานของวงจรด้วยโปรแกรม PSpice ซึ่งเป็นโปรแกรมทดสอบการทำงานของวงจรรีเลย์ทรอนิกส์ที่มีการยอมรับกันอย่างแพร่หลาย เพื่อจำลองการทำงานของวงจรมอดูลอนาล็อก 4 ควอดแดนต์ที่ใช้แหล่งจ่ายไฟต่ำ ที่ได้นำเสนอ

4.1 วงจรและคุณสมบัติของอุปกรณ์ในการจำลองการทำงาน

วงจรมอดูลอนาล็อก 4 ควอดแดนต์ที่ใช้แหล่งจ่ายไฟต่ำที่ได้จากการออกแบบจากบทที่ผ่านมา นั้น เป็นดังรูปที่ 4.1



รูปที่ 4.1 แสดงวงจรมอดูลอนาล็อก 4 ควอดแดนต์ที่ใช้แหล่งจ่ายไฟต่ำ

การทดสอบการทำงานของวงจรมอดูลอนาล็อก 4 ควอดแดนต์ที่ใช้แหล่งจ่ายไฟต่ำนี้ สามารถยืนยันคุณสมบัติและประสิทธิภาพของวงจรได้ด้วยการจำลองการทำงานด้วยโปรแกรม PSpice โดยใช้แบบจำลอง (Model) ของ T14Y MOSIS Level 3 ขนาด 0.25 μm โดยมีค่าพารามิเตอร์ที่สำคัญ ๆ ดังนี้

ค่าพารามิเตอร์ของมอดูลอนาล็อกของ T14Y MOSIS Level 3 ขนาด 0.25 μm

$$V_{TN} = 0.42\text{V}$$

$$V_{TP} = -0.55\text{V}$$

$$\mu_N C_{OX} = 250.1048 \mu\text{A}/\text{V}^2$$

$$\mu_P C_{OX} = 51.94153 \mu\text{A}/\text{V}^2$$

ค่า (W/L) ของมอสทรานซิสเตอร์ที่ใช้ในวงจรจรรยาคุณสัญญาณอนาล็อก 4 ควอดแดนท์ที่ใช้แหล่งจ่ายไฟต่ำ ที่นำเสนอ เป็นดังตาราง ที่ 4.1

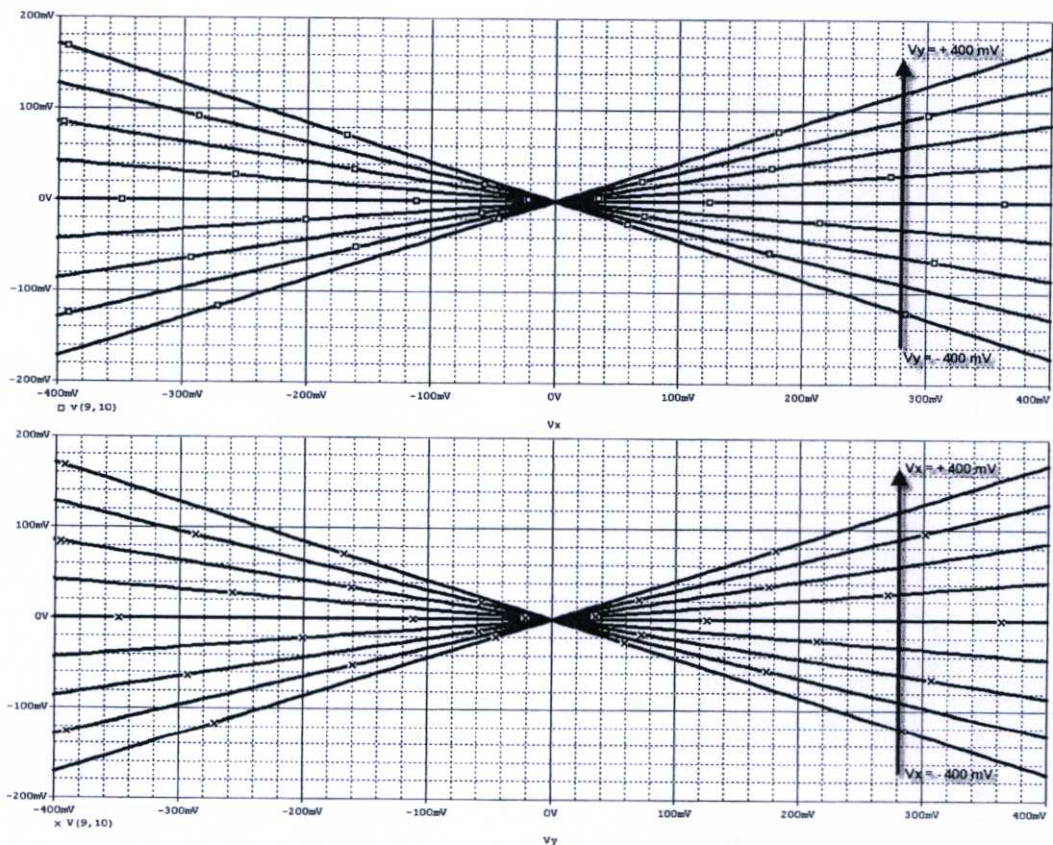
ตารางที่ 4.1 แสดงค่า(W/L) ของมอสทรานซิสเตอร์ที่ใช้ในวงจร

Transistor	W/L ($\mu\text{m} / \mu\text{m}$)
M1, M2, M4	1/1
M3	2/1
M5	30/1
M6	20/1

4.2 ทดสอบวงจรด้วยการคุณสัญญาณแบบ DC

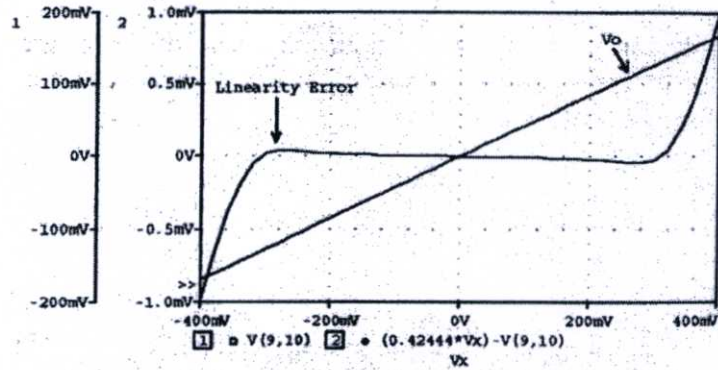
การทดสอบ โดยการป้อนสัญญาณ V_x แปรผันตั้งแต่ -400 mV . ถึง 400 mV . คุณกับสัญญาณ V_y แปรผันตั้งแต่ -400 mV . ถึง 400 mV .

คุณสมบัติทางกระแสตรง (DC-Characteristic) ของวงจรเมื่อใส่อินพุต V_x และ V_y ได้แสดงไว้ ดังรูปที่ 4.2(a) และ 4.2(b) ตามลำดับ แสดงให้เห็นถึงความเป็นเชิงเส้นในช่วงการทำงาน (Dynamics Range) $\pm 400\text{ mV}$

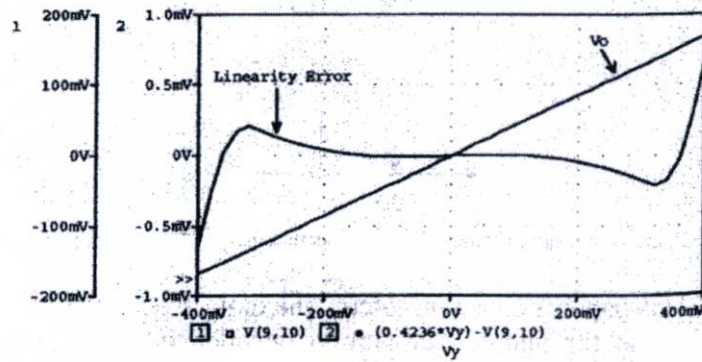


รูปที่ 4.2 คุณสมบัติทางกระแสตรงของวงจรคุณสัญญาณที่นำเสนอ

ความคลาดเคลื่อนเชิงเส้น (Linearity Error) ของวงจรที่เสนอนี้ทดลองได้ด้วยการกำหนดค่า V_x ตามตัวที่ค่ามากที่สุดที่วงจรทำงานและทดลองเปลี่ยนแปลง V_y ตลอดช่วงทดลอง และทำเช่นเดียวกันโดยสลับ V_x และ V_y และได้กราฟดังรูปที่ 4.3(a) และ 4.3(b) ตามลำดับ พบว่าค่าความคลาดเคลื่อนเชิงเส้นของวงจรน้อยกว่า 0.5%



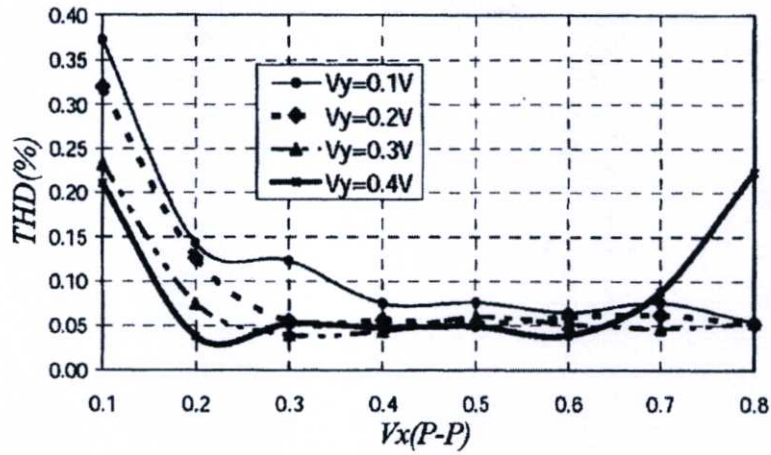
(a)



(b)

รูปที่ 4.3 ความคลาดเคลื่อนเชิงเส้นของวงจรคุณสัญญาณที่นำเสนอ

ค่าความเพี้ยนฮาร์โมนิก (Total Harmonic Distortion (THD)) ของวงจรที่นำเสนอขึ้นทดลองด้วยการป้อน V_x ที่ 1MHz โดยเปลี่ยนแปลงระดับของสัญญาณในช่วง 0.1 – 0.8 V_{p-p} พบว่าได้ค่า THD ต่ำกว่า 0.25% กราฟได้แสดงไว้ดังรูปที่ 4.4



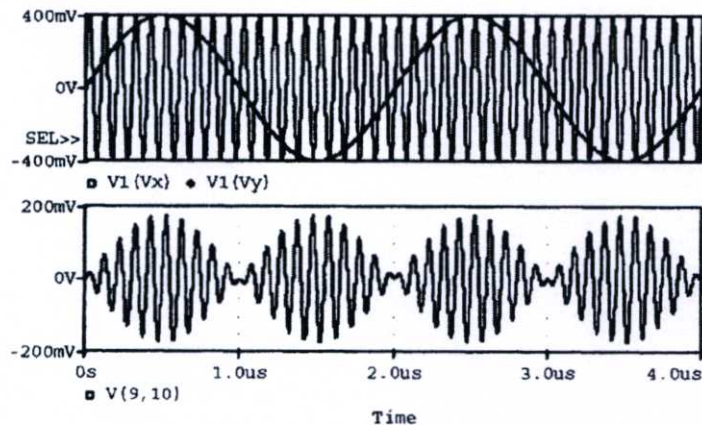
รูปที่ 4.4 ผลการทดลองเพื่อหาค่า THD ของวงจรที่นำเสนอ

4.3 ทดสอบวงจรด้วยการคูณสัญญาณแบบ AM

การทดสอบ โดยการป้อนสัญญาณดังนี้

สัญญาณ	ข้อมูล	ความถี่ 500 kHz	แรงดัน 0.8 Vp-p
สัญญาณ	คลื่นพาห์	ความถี่ 10 MHz	แรงดัน 0.8 Vp-p

ผลการจำลองการนำไปใช้ในงานที่เห็นได้ชัดเจนของวงจรที่นำเสนอนี้คือ Amplitude Modulation (AM) โดยได้ทำการทดลองที่ความถี่สัญญาณคลื่นพาห์และสัญญาณข้อมูลที่ 10MHz และ 500kHz ตามลำดับ โดยให้แรงดันเท่ากับ 0.8 V. ทั้งคู่ ได้ผลการทดลองดังรูปที่ 4.5

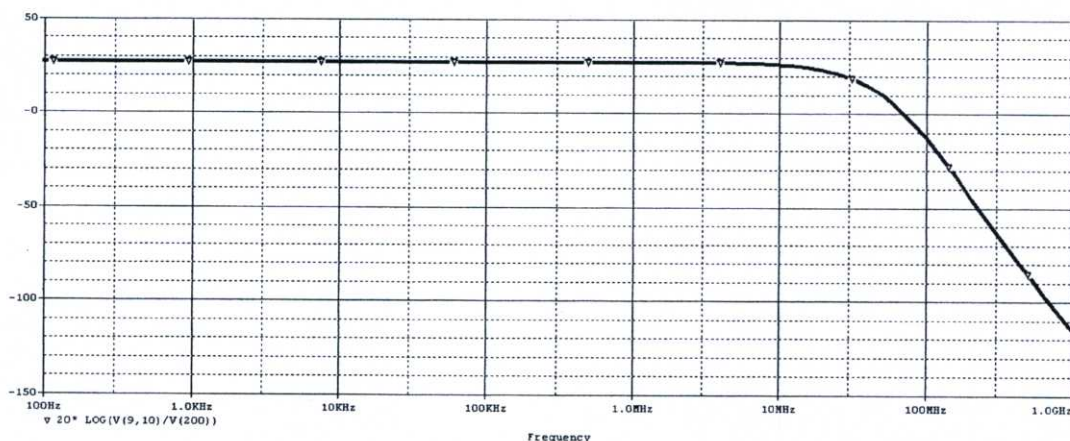


รูปที่ 4.5 แสดงสัญญาณอินพุตความถี่ 10MHz และ 500kHz และสัญญาณ AM เอาท์พุท

4.4 การทดสอบความกว้างแถบคลื่น (Bandwidth)

การทดสอบ โดยการป้อนสัญญาณ V_x เป็น DC คงที่ และเปลี่ยนค่าความถี่ของสัญญาณ V_y ครอบคลุมตลอดความกว้างแถบคลื่นที่ทำการทดลอง

ผลการจำลอง พบว่า ความกว้างแถบคลื่น (Bandwidth) ในการทำงานของวงจรที่นำเสนอนี้ กว้างมากถึง 34 MHz ซึ่ง ได้แสดงดังรูปที่ 4.6



รูปที่ 4.6 Bandwidth ของวงจรที่นำเสนอ

4.5 สรุปผลการทดสอบการทำงานของวงจร

จากการทดสอบการทำงานของวงจรด้วยโปรแกรม PSpice แล้ว ได้ทำการเปรียบเทียบกับงานวิจัยที่นำเสนออื่น ๆ ได้ดังต่อไปนี้

ตารางที่ 4.2 การเปรียบเทียบวงจรที่นำเสนอกับงานนำเสนออื่น ๆ ที่ผ่านมา

	[2]	[5]	[6]	[7]	วงจรที่นำเสนอ
แหล่งจ่ายไฟ	± 3 V.	+ 1.5 V.	± 1.5 V.	± 1.5 V.	+ 1.5 V.
THD (%)	0.6 @10kHz	-	1	2.0 @3kHz	0.22 @1MHz
ความคลาดเคลื่อนเชิงเส้น	1 %	0.8 %	2 %	2 %	0.5 %
ช่วงของระดับสัญญาณอินพุท	± 1.8 V.	± 0.4 V.	± 0.8 V.	± 0.8 V.	± 0.4 V.
ความกว้างแถบคลื่นที่ทำงานได้ (คิดที่ -3dB)	17 MHz	-	12 MHz	5 MHz	34 MHz
เทคโนโลยีในการผลิต	2 μ m	1.2 μ m	2 μ m	0.8 μ m	0.25 μ m

สรุปผลการวิจัยและข้อเสนอแนะ

เพื่อสนับสนุนเทคโนโลยีด้านโทรคมนาคม ได้มีการพัฒนาไปอย่างรวดเร็วในปัจจุบัน วิทยานิพนธ์นี้ได้นำเสนอ วงจรคุณสมบัติอนาล็อก 4 ควอดแดนต์ ที่ใช้แหล่งจ่ายไฟต่ำ โดยใช้ทรานซิสเตอร์มอส เกิดจากการการผสมผสานการออกแบบจากส่วนประกอบหลาย ๆ ส่วน เช่น วงจรเลื่อนระดับแรงดัน วงจรทรานคอนคัตแดนซ์ จนรวมเป็นวงจรดังกล่าว

ได้ทำการทดสอบคุณสมบัติด้วยโปรแกรม Pspice พบว่า วงจรมีคุณสมบัติในการทำงานดีกว่างานวิจัยอื่น ๆ (บทที่ 4 หัวข้อ 4.5 สรุปผลการทดสอบการทำงานของวงจร) ในหลายตัวชี้วัด เช่น ใช้แหล่งจ่ายไฟเพียงแหล่งเดียว ค่า THD ต่ำกว่าทุกงานวิจัยนำเสนอที่มาเปรียบเทียบ ความคลาดเคลื่อนเชิงเส้นต่ำกว่าทุกงานวิจัยนำเสนอที่มาเปรียบเทียบ ช่วงของระดับสัญญาณอินพุท อยู่ในระดับที่ยอมรับได้ ความกว้างแถบคลื่นที่ทำงานได้นั้นกว้างที่สุดในบรรดางานวิจัยนำเสนอที่มาเปรียบเทียบ

มีเพียงบางส่วนของงานวิจัยไม่ได้ครอบคลุมเช่น ผลกระทบจากอุณหภูมิ สนามแม่เหล็ก สัญญาณรบกวน ต่าง ๆ ซึ่งอาจจะเพิ่มเติมและพัฒนาต่อไปในอนาคต

บรรณานุกรม

1. T.R. Visawanathan, "CMOS Transconductance Element" *Proc. IEEE*, Vol.74(1), pp.222-224, 1986.
2. J.H. Tsay, S. I. Lui, J. J. Chen and Y. P. Wu, "CMOS four-quadrant multiplier using triode transistors based on regulated cascode structure," *Electron. Lett.*, Vol.31, pp.962-963, Jun. 1995.
3. S. O. Lee, S. B. Park and K. R. Lee, "New CMOS Triode Transconductance," *Electron. Letter.*, Vol.30, pp.946-948, Jun. 1994.
4. B. Stefanelli, A. Kaiser, "CMOS Triode Transconductance with High Dynamic Range," *Electron. Letter.*, Vol.26, pp.880-881, Jun. 1990.
5. A. L. Coban and P. E. Allen, "Low-voltage, four-quadrant, analog CMOS multiplier," *Electron. Letter.*, Vol.30, No.13, pp.1044-1045, July. 1994.
6. S. I. Lui, "Low voltage CMOS four-quadrant multiplier," *Electron. Letter.*, Vol.30, No.25, pp.2125-2126, Dec. 1994.
7. S. I. Lui and C. C. Chang, "Low-voltage CMOS four-quadrant multiplier," *Electron. Letter.*, Vol.33, No.3, pp.207-208, Jan. 1997.
8. K. Dejhan, P. Prommee and F. Cheevasuvit, "A single power supply CMOS four-quadrant analog multiplier," *Proc. of Regional Symposium on Telecommunications, Electronics, Circuits and Systems; RESTECS'96*, pp.E-73 - E-78, Bangkok, Thailand, July 6-8, 1996.
9. K. Dejhan, N. Suwanchatree, P. Prommee and I. Chaisayan, "The CMOS Analog Multiplier Free From Mobility Reduction," *Proc. of International Symposium on Communications and Information Technologies 2004 : ISCIT 2004*, Sapporo, Japan, Oct 26-29, 2004.

ภาคผนวก ก

การโปรแกรมบน PSpice

การโปรแกรมบน PSpice เพื่อทดสอบการทำงานของวงจร สามารถทำได้โดยใช้ code ดังต่อไปนี้

The CMOS Sigle Low-Power Supply Multiplier

VDD 1 0 DC 1.5

Vx 100 0 dc .4

Vy 200 0 ac .8

EVx+ 5 0 100 0 .5

EVx- 14 0 100 0 -.5

EVy+ 18 0 200 0 .5

EVy- 23 0 200 0 -.5

RL1 9 0 10K

RL2 10 0 10K

M1A 0 5 4 4 PMOS1 W=1U L=1U

M1B 0 14 13 13 PMOS1 W=1U L=1U

M2A 4 15 1 1 PMOS1 W=20U L=1U

M2B 13 15 1 1 PMOS1 W=20U L=1U

M3A 8 4 0 0 NMOS1 W=1U L=1U

M3B 12 13 0 0 NMOS1 W=1U L=1U

M4A 7 6 8 8 NMOS1 W=1U L=1U

M4B 11 6 12 12 NMOS1 W=1U L=1U

M5A 7 16 1 1 PMOS1 W=10U L=1U

M5B 11 16 1 1 PMOS1 W=10U L=1U

M6A 8 7 1 1 PMOS1 W=30U L=1U

M6B 12 11 1 1 PMOS1 W=30U L=1U

M7A 9 7 1 1 PMOS1 W=20U L=1U

M7B 10 11 1 1 PMOS1 W=20U L=1U

M8 6 17 1 1 PMOS1 W=20U L=1U

M9 0 18 6 6 PMOS1 W=1U L=1U

M10A 20 4 0 0 NMOS1 W=1u L=1u

M10B 24 13 0 0 NMOS1 W=1u L=1u

M11A 21 22 20 20 NMOS1 W=1u L=1u


```

+ TOX = 5.7E-9      NSUB = 1E17      GAMMA = 0.6348369
+ PHI = 0.7        VTO = -0.5536085    DELTA = 0
+ UO = 250         ETA = 0          THETA = 0.1573195
+ KP = 5.194153E-5  VMAX = 2.295325E5    KAPPA = 0.7448494
+ RSH = 30.0776952  NFS = 1E12          TPG = -1
+ XJ = 2E-7        LD = 9.968346E-13    WD = 5.475113E-9
+ CGDO = 6.66E-10  CGSO = 6.66E-10     CGBO = 1E-10
+ CJ = 1.893569E-3  PB = 0.9906013     MJ = 0.4664287
+ CJSW = 3.625544E-10  MJSW = 0.5      )

```

```
*****0.25um*****
```

```

*.FOUR 1Meg V(9,10)
*.tran .01u 1u 0 10n
.ac dec 10 100 1000MEG
*.DC Vx -.4 .4 .01 Vy -.4 .4 .1
.PROBE
.END

```

ภาคผนวก ข
บทความที่ได้รับการตีพิมพ์

Volume 1 of 2

ISCIT 2005

PROCEEDINGS

International Symposium on Communications
and Information Technologies 2005

October 22-24, 2005

Fragrant Hill Hotel, Beijing, China

Sponsored by:

The National Natural Science Foundation of China

K. C. Wong Education Foundation, Hong Kong

IEEE Circuits and Systems Society

IEEE Communication Society Beijing Chapter

Beijing Association for Science and Technology

Beijing University of Posts and Telecommunications

Technical Co-Sponsored by

IEICE Japan

ICTT Thailand

Official Web site: <http://iscit05.cnit.td.cn>



PUBLISHING HOUSE, BUPT
www.buptpress.com

**International Symposium on Communications and
Information Technologies 2005
PROCEEDINGS**

(ISCIT 2005)

October 12-14, 2005

Beijing, China

Sponsored by

- The National Natural Science Foundation of China
- K.C. WONG Education Found Hong Kong
- IEEE Circuits and Systems Society
- IEEE Communication Society Beijing Chapter
- Beijing Association for Science and Technology
- Beijing University of Posts and Telecommunications

Technical Co-Sponsored by

- IEICE Japan
- ECTI Thailand

Web site: <http://iscit05.bupt.edu.cn/>

Single Low-Supply and Low-Distortion CMOS Analog Multiplier

Pipat Prommee¹ Montri Somdunyanok² Krit Angkaew³ Arkhom Jodtang¹ and Kobchai Dejhan¹

¹Faculty of Engineering and Research Center for Communication and Information Technology
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

Tel: 66-2326-4238, 66-2326-4242, Fax:66-2326-4554,

²Electrical Engineering Department, Faculty of Engineering,
Siam University, Bangkok 10520, Thailand.

³Industrial Electrical Technology Department, Faculty of Engineering
King Mongkut's Institute of Technology North Bangkok, Bangkok 10800, Thailand
Email: {pipat, kobchai}@telecom.kmitl.ac.th, monsom@siamu.com

Abstract— A single low-supply CMOS Analog Multiplier based upon ohmic region of MOS transistors is presented. This paper describes a method to force the drain-source voltage (V_{DS}) of MOS transistors to operate in ohmic region. The achieved circuit can be used a single low-power supply. The complete circuit contains 20 transistors and 8 current sources using a low-power supply +1.5 volts. This circuit has high performance with very high-linearity and low-distortion. The achieved input dynamic range operation is $\pm 400\text{mV}$, the linearity error is smaller than 0.1% and total harmonic distortion is smaller than 0.25% for input range 800mV_{p-p} .

Keyword— CMOS Analog Circuit, Analog Multiplier, Low-Supply

$$\text{Where } k_p = \frac{\mu_p C_{OX}}{2} \left(\frac{W}{L} \right)$$

$$V_B = V_i + |V_{TP}| + \sqrt{\frac{I_B}{k_p}} \quad (2)$$

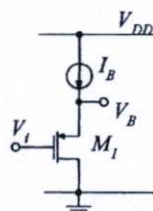


Fig 1 Voltage-Level Shifter Circuit

I. INTRODUCTION

The analog multiplier cells have been rapidly proposed in recent years [5-9]. The several methods are used for implemented. This paper presents a new approach for implement an analog multiplier. This proposed technique is based on ohmic region of MOS transconductance circuit that under forcing of drain-source voltage. The particular sub-circuits are used in this approach for achieving the complete circuit such as: voltage-level shifter, shunt-feedback buffer and ohmic transconductance element. A single low-power supply can be use for +1.5V with linear range operation within $\pm 400\text{mV}$.

II. PRINCIPLES

A Voltage-Level Shifter Circuit

This circuit employs a PMOS and a current source as shown in Fig.1. The transistor is operated in saturation region can be described the drain current as shown in Eq. (1). The output voltage can be written as Eq. (2)

$$I_B = k_p (V_B - V_i - |V_{TP}|)^2 \quad (1)$$

B. Shunt-Feedback Buffer Circuit

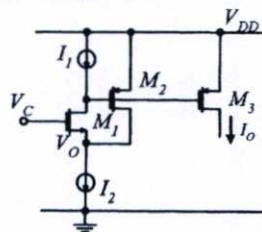


Fig. 2 The Shunt-Feedback Buffer Circuit

Fig. 2 shows shunt-feedback buffer circuit [1]. It contains the 2 current sources and 3 transistors. The transistor M_1 is using for supply its source voltage, M_2 using for supply current at node V_o and M_3 is done for output current. All transistors are operated in saturation region. So, the voltage output can be written as follows :

$$V_O = V_C - \sqrt{\frac{I_1}{k_N}} - V_{TN} \quad (3)$$

The output current I_O equals $I_2 - I_1$ obtaining from current mirror M_3 . However, the bias I_1 can be cancelled by symmetry differential scheme because I_1 is constant, while the transistors of both sides must be identical. Consider circuit Fig.2, current source I_1 is the drain current of M_1 and I_2 is the total current source of circuit. While input voltage (V_C) is applied in gate of M_1 , source voltage is appeared. The enough current should be supplied in case of load connected at node V_O . Thus, M_2 and I_2 are employed to supply current. This proposed circuit does not use I_2 because it can replace by ohmic transistor that cause main transconductance elements, so the V_O must be set to lowest since V_O complied to V_{DS} in order to operated transistor in ohmic region that must be within a condition of $V_{DS} < (V_{GS} - V_T)$.

III. LOW-SUPPLY OHMIC TRANSCONDUCTANCE

The principle of MOS pairs transistor in Fig.3 are identical operation in ohmic region and perfect matched that can be written as follows:

$$I_{D1} = \mu_N C_{OX} \left(\frac{W}{L} \right) \left(V_{GS1} - V_{TN} - \frac{V_{DS1}}{2} \right) V_{DS1} \quad (4)$$

$$I_{D2} = \mu_N C_{OX} \left(\frac{W}{L} \right) \left(V_{GS2} - V_{TN} - \frac{V_{DS2}}{2} \right) V_{DS2} \quad (5)$$

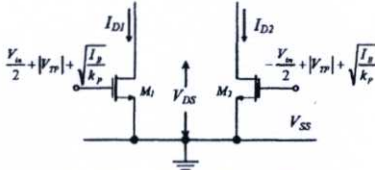


Fig. 3 Ohmic Transconductance Element

This paper is based on forcing the drain-source voltage technique for ohmic transistor to be operated in ohmic region. Consider Eq. (4) and (5), if the source voltage is grounded ($V_S = 0$) and input gate voltage must be always more than V_{TN} under condition $(V_{GS} - V_{TN}) > V_{DS}$ that applied from output of voltage level-shifter circuit. The drain voltage is forced to be ohmic region and also controlled its transconductance. Suppose that, if we set $V_{DS1} = V_{DS2} = V_{DS}$, gate-source voltage M_1 is $V_{GS1} = \frac{V_m}{2} + |V_{TP}| + \sqrt{\frac{I_1}{k_p}}$ and likewise, the gate-source

voltage M_2 equals to $V_{GS2} = -\frac{V_m}{2} + |V_{TP}| + \sqrt{\frac{I_2}{k_p}}$ then the differential current of Fig.3 is realized to

$$I_{D1} - I_{D2} = \mu_N C_{OX} \left(\frac{W}{L} \right) V_m V_{DS} \quad (6)$$

Consider Eq. (6), the transconductance is controlled by its drain voltage V_D . Regarding to principles above, a proposed transconductor can be implemented as shown in Fig. 4. All transistors have been operated in saturation region except M_{2A} and M_{2B} which are ohmic transistors for main transconductance elements.

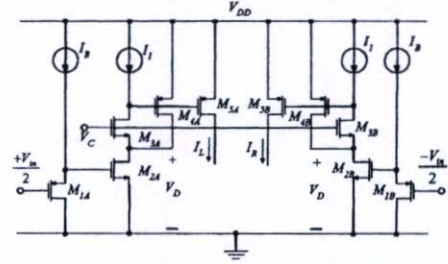


Fig. 4 The low-supply transconductance Amplifier

The drain voltage V_D of M_{2A} and M_{2B} are equalled, which are controlled by V_C . The M_{1A} and M_{1B} used for shift-up the input voltage for gate voltage of M_2 according to the ohmic condition. The output current is mirrored from M_{4A} , M_{4B} by M_{3A} , M_{3B} . The current I_L and I_R are only depending on the current changed of I_{D2A} and I_{D2B} while I_1 is constant. So, the differential output can cancelled identical terms. The linear output current is controlled by controlling voltage (V_C) that can be express as

$$I_O = \mu_N C_{OX} \left(\frac{W}{L} \right)_2 V_m \left(V_C - \sqrt{\frac{I_1}{k_N}} - V_{TN} \right) \quad (7)$$

IV. LOW-SUPPLY FOUR-QUADRANT ANALOG MULTIPLIER

The four-quadrant analog multiplier can be implemented using the some modifications of above transconductance. The addition of input balancing is constructed. The completed multiplier is shown in Fig. 5. The differential output current of multiplier is linear and simplified. The identical terms is cancelled by balancing scheme then the output can be written as

$$I_O = \mu_N C_{OX} \left(\frac{W}{L} \right) V_X V_Y \quad (8)$$

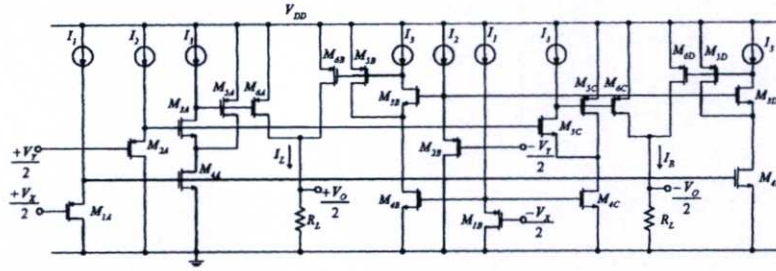


Fig. 5 The completed low-supply four quadrant analog multiplier

V. THE SIMULATION RESULTS

The proposed multiplier in Fig. 5 can be confirmed the performances by PSpice. The level 3 model T14Y MOSIS $0.25\mu\text{m}$ with the $V_{TN} = 0.42\text{ V}$, $V_{TP} = -0.55\text{ V}$, $\mu_N C_{OX} = 250.1048\mu\text{A}/\text{V}^2$ and $\mu_P C_{OX} = 51.94153\mu\text{A}/\text{V}^2$. The aspect ratio of transistors is shown in table 1.

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M1, M2, M4	1/1
M3	2/1
M5	30/1
M6	20/1

Table 1. The aspect ratio of transistors

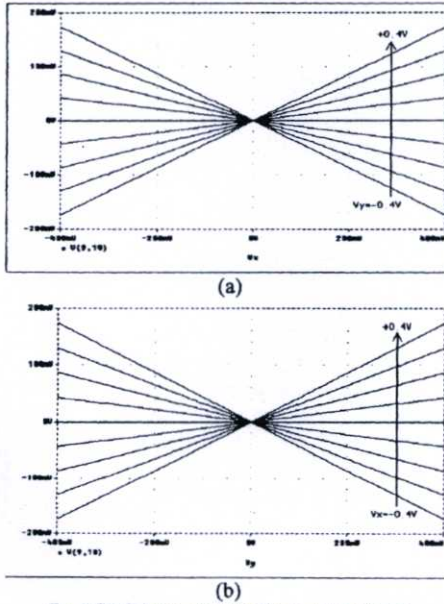


Fig. 6 The DC-characteristic of proposed multiplier

The DC-characteristic is shown in Fig. 6(a) and (b) while V_X and V_Y input, respectively. It can be shown the linearity and $\pm 400\text{mV}$ dynamic range operation. The linearity error of proposed circuit can be done by fixed maximum input V_X while V_Y is varied and vice versa. The result of linearity error is shown in Fig. 7 that less than 0.5%.

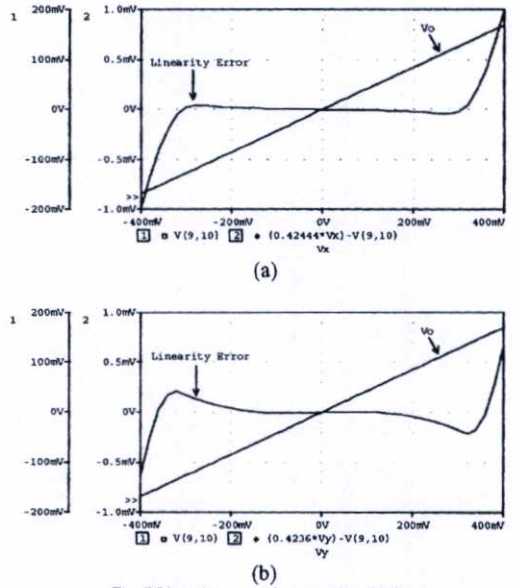


Fig. 7 Linearity error of proposed multiplier

Fig.8 shows the total harmonic distortion (THD) of proposed circuit can be done by applied V_X at 1MHz with varied amplitude between 0.1-0.8Vp-p. The THD is less than 0.25% within V_Y is different value.

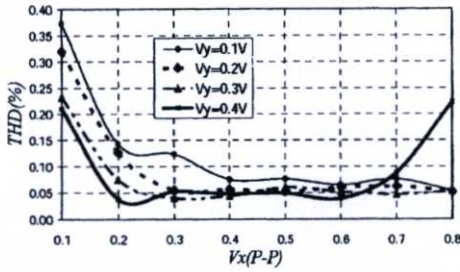


Fig. 8 The THD of proposed circuit

VI. APPLICATION

The other result for the realistic application of proposed circuit is amplitude modulation (AM). The frequency of carrier and input are 10MHz and 500kHz, respectively. The amplitude of both inputs are 0.8Vp-p. The input signal and AM output are shown in Fig. 9.

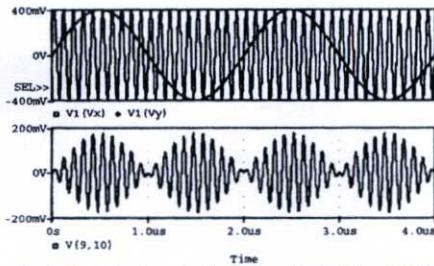


Fig. 9 The AM output signal while input is 10MHz and 500kHz

Fig. 10 is shown a bandwidth of proposed circuit that larger than 34MHz.

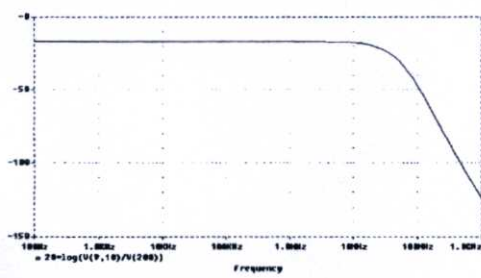


Fig. 10 Bandwidth of proposed circuit

The comparison of proposed circuit with previous works is shown in Table.2.

	[2]	[5]	[6]	[7]	Proposed
Supply	±3V	+1.5V	±1.5V	±1.5V	+1.5V
THD (%)	0.6 @10kHz	-	1	2 @3kHz	0.22 @1MHz
Linearity Error	1%	0.8%	2%	2%	0.5%
Input Range	±1.8V	±0.4V	±0.8V	±0.8V	±0.4V
freq -3dB	17MHz	-	12MHz	5MHz	34MHz
Tech.	2μm	1.2μm	2μm	0.8μm	0.25μm

Table 2 The comparison of proposed circuit with previous works

VII. Conclusion

This paper proposes a low-voltage, low-distortion four-quadrant analog multiplier. It based on the ohmic transconductance elements and particular sub-circuits. The THD and linearity error are less than 0.25% and 0.5%, respectively. The achieved dynamic range is ±400mV with a single +1.5V power supply condition. The wide bandwidth 34MHz is presented. The good performances are compared with the previous papers. The AM is an application for confirm the realistic applied of proposed circuit.

REFERENCE

- [1] T. R. Viswanathan, "CMOS Transconductance Element," *Proc. IEEE*, Vol.74(1), pp.222-224, 1986.
- [2] J. H. Tsay, S. I. Liu, J. J. Chen and Y. P. Wu, "CMOS four-quadrant multiplier using triode transistors based on regulated cascode structure," *Electron. Lett.*, Vol.31, pp.962-963, Jun. 1995.
- [3] S. O. Lee, S. B. Park and K. R. Lee, "New CMOS Triode Transconductance," *Electron. Lett.*, Vol.30, pp.946-948, Jun. 1994.
- [4] B. Stefanelli, A. Kaiser, "CMOS Triode Transconductance with High Dynamic Range," *Electron. Lett.*, Vol.26, pp.880-881, Jun 1990.
- [5] A. L. Coban and P. E. Allen, "Low-voltage, four-quadrant, analogue CMOS multiplier," *Electron. Lett.*, Vol.30, No.13, pp.1044-1045, July 1994.
- [6] S. I. Liu, "Low voltage CMOS four-quadrant multiplier," *Electron. Lett.*, Vol.30, No.25, pp.2125-2126, Dec. 1994.
- [7] S. I. Liu and C. C. Chang, "Low-voltage CMOS four-quadrant multiplier," *Electron. Lett.*, Vol.33, No.3, pp.207-208, Jan 1997.
- [8] K. Dejhan, P. Prommee and F. Cheevasuvit, "A single power supply CMOS four-quadrant analog multiplier," *Proc. of Regional Symposium on Telecommunications, Electronics, Circuits and Systems; RESTECS'96*, pp.E-73-E-78, Bangkok, Thailand, July 6-8, 1996.
- [9] K. Dejhan, N. Suwanchatree, P. Prommee, I. Chaisayun, "The CMOS Analog Multiplier Free From Mobility Reduction," *Proc. of International Symposium on Communications and Information Technologies 2004 : ISCIT 2004*, Sapporo, Japan, Oct 26-29, 2004.

ประวัติผู้เขียน

นายอาคม จดแดง เกิดเมื่อวันที่ 8 กรกฎาคม พ.ศ. 2518 ที่จังหวัดนครราชสีมา สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมโทรคมนาคม จากมหาวิทยาลัยเทคโนโลยีสุรนารี ปีการศึกษา 2540 และได้เข้ารับการศึกษาคณะบัณฑิตวิทยาลัย คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2547 มีผลงานทางวิชาการที่ได้รับการยอมรับและตีพิมพ์ในวารสารวิชาการระดับนานาชาติ 1 เรื่อง

ปัจจุบันทำงานที่สถาบันการบินพลเรือน (รัฐวิสาหกิจ สังกัดกระทรวงคมนาคม) ในตำแหน่งครูวิชาภาคพื้น