

การออกแบบวงจรเทอร์นารีซีควนเชียลลอจิก

TERNARY SEQUENTIAL LOGIC DESIGN

กู่เกียรติ ศิลปศาสตร์

KUKIAT SILAPASART

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-M-010-110

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรเทอร์นารีซีควีนเชียลลอจิก
TERNARY SEQUENTIAL LOGIC DESIGN



T104504

กู่เกียรติ ศิลปศาสตร์

KUKIAT SILAPASART

เลขหมู่.....
เลขทะเบียน..... 104504
วัน,เดือน,ปี..... - 4 พ.ย. 2552



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-M-010-110

TERNARY SEQUENTIAL LOGIC DESIGN

KUKIAT SILAPASART

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2009

KMITL-2009-EN-M-010-110

COPYRIGHT 2009

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรเทอร์นารีซีควเอนเชียลลอจิก
Thesis Title Ternary Sequential Logic Design
นักศึกษา นายภูเกียรติ ศิลปศาสตร์
รหัสประจำตัว 48060926
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.กอบชัย เดชหาญ
หมายเลขวิทยานิพนธ์ KMITL-2009-EN-M-010-110

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.สมยศ	จุมณะปิยะ	
ดร.ศิริภพ	ตู้ประกาย	
รศ.จิระศักดิ์	ชาญวุฒิชรรม	
รศ.ดร.พุศศักดิ์	ชีวิสุทธิ	
รศ.ดร.กอบชัย	เดชหาญ	

วัน/เดือน/ปี ที่สอบ วันจันทร์ที่ 20 กรกฎาคม พ.ศ. 2552 เวลา 09.00-11.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 1

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 20 กรกฎาคม พ.ศ. 2552

หัวข้อวิทยานิพนธ์	การออกแบบวงจรถอร์นารีซีเคเวนเซียลลอจิก
นักศึกษา	นายภูเกียรติ ศิลปศาสตร์
รหัสนักศึกษา	48060926
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2552
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรถอร์นารีซีเคเวนเซียลลอจิกด้วย CMOS Transmission Gate โดยออกแบบส่วนควบคุมซึ่งทำหน้าที่แปลงสัญญาณที่มีสามระดับ (Ternary Logic) เป็นสัญญาณแบบไบนารี (Binary Logic) ที่สร้างขึ้นจากวงจร Differential Cascode Voltage Switch (DCVS) ทำให่วงจรถอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรรวมดิจิทัลทั่วไปและง่ายต่อการควบคุม ช่วยให้การออกแบบวงจรเป็นไปอย่างเป็นระบบ และด้วยการป้อนกลับสัญญาณแบบเทอร์นารีสามารถสร้างวงจรถอร์นารีซีเคเวนเซียลลอจิกแบบต่าง ๆ โดยเสนอตัวอย่างการออกแบบวงจร Tri-Flop เช่น D-type, JKL-type และ T-type ซึ่งเป็นวงจรที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) และการทดสอบวงจรตัวอย่างทั้งหมดนี้ ได้จำลองการทำงานโดยโปรแกรม PSPICE และใช้แบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.5 μm เพื่อแสดงการทำงานของวงจรถอร์นารีซีเคเวนเซียลลอจิกที่ออกแบบด้วยเทคนิคที่นำเสนอ

Thesis Title	Ternary Sequential Logic Design
Student	Mr. Kukiatt Silapasart
Student ID.	48060926
Degree	Master of Engineering
Program	Telecommunication Engineering
Year	2009
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This thesis proposes the ternary sequential logic circuit design based on CMOS transmission gate with controlling sub-circuit that convert the ternary signal to binary signal and constructed by Differential Cascode Voltage Switch circuit (DCVS). Therefore, the ternary logic which is designed by using the proposed technique can be implemented with normal and well controlled CMOS fabrication process. This leads to the systematic design, and the ternary feedback, the sequential logic can be easily designed. In this paper, several tri-flop circuits are presented, such as, D-type, JKL-type and T-type which are essential cells for multiple-valued logic system. The simulation is performed by PSPICE program simulator with the MOS transistor model from MOSIS technology 0.5 μm . All results confirm the success of the proposed technique.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ ที่ได้เสียสละเวลาในการให้คำปรึกษาและคำชี้แนะในการศึกษาวิจัยต่าง ๆ ตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้า อีกทั้งขอขอบคุณ ดร.สมปอง วิเศษพาณิชย์ ที่กรุณาให้คำแนะนำเพิ่มเติมต่าง ๆ ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์ทั้งสองเป็นอย่างมากและขอขอบพระคุณเป็นอย่างสูง

อีกทั้งสำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้าตลอดมา

กัญเกียรติ ศิลปศาสตร์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 สมมติฐานของการศึกษา.....	2
1.4 ขอบเขตของการวิจัย.....	3
1.5 ขั้นตอนการศึกษา.....	3
บทที่ 2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์.....	4
2.1 บทนำ.....	4
2.2 โครงสร้างของมอสทรานซิสเตอร์.....	4
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	5
2.4 การทำงานของมอสทรานซิสเตอร์.....	6
2.5 คุณสมบัติทางสัปดาห์กระแสของมอสทรานซิสเตอร์.....	8
2.5.1 การทำงานในช่วงคัทออฟ (Cut – Off Region).....	13
2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non – Saturation Region).....	13
2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region).....	13
2.6 การหาค่าหน่วงเวลา.....	16
2.7 การหาค่ากำลังงานสูญเสีย.....	19
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร.....	23
2.7.2 การหาค่า Power Delay Product.....	25
2.8 สรุป.....	26

สารบัญ (ต่อ)

	หน้า
บทที่ 3 ทฤษฎีของลอจิกหลายระดับสัญญาณ.....	27
3.1 นิยามและคำจำกัดความ.....	27
3.2 พีชคณิตของโพสต์และวงจร m ค่า.....	31
3.3 วงจร m – valued.....	31
3.4 เทรคโฮลต์ฟังก์ชัน.....	33
3.5 การแทนค่าของสัญญาณในวงจรมหลายระดับสัญญาณ.....	34
3.6 การควอนไทซ์ค่า.....	35
3.7 โหมดในการทำงานของวงจร.....	35
3.7.1 โหมดประจุ.....	35
3.7.2 โหมดกระแส.....	35
3.7.3 โหมดแรงดัน.....	37
3.8 วงจร m – valued ทำงานในโหมดแรงดัน.....	38
3.9 วงจร m – valued ที่ใช้เทคโนโลยี NMOS.....	38
3.9.1 วงจรถอดรหัส.....	38
3.9.2 วงจรเข้ารหัส.....	39
3.10 วงจร m – valued โดยใช้เทคโนโลยีของ CMOS.....	41
3.10.1 วงจรเข้ารหัส.....	41
3.10.2 วงจรถอดรหัส.....	42
3.11 วงจร m – valued ทำงานในโหมดกระแส.....	42
3.11.1 วงจรสะท้อนกระแส.....	43
3.11.2 วงจรผลรวมเชิงเส้นของกระแส.....	44
3.11.3 เทรคโฮลต์.....	44
3.11.4 Sink-to-Source Conversion.....	45
บทที่ 4 ทฤษฎีซีมอสลอจิกเกทขั้นสูง.....	46
4.1 มอสลอจิกเทียม (Pseudo MOS Logic).....	46
4.2 วงจร 3 สถานะ (Tri – state Circuit).....	48
4.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา (Clock CMOS Logic, C ² MOS).....	49

สารบัญ (ต่อ)

	หน้า
4.4 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic).....	51
4.4.1 ปัญหาของไดนามิกซีมอส.....	52
4.5 ซีมอสโดมิโนลอจิก (CMOS Domino Logic).....	52
4.6 ลอจิกเส้นทางคู่ (Dual – Rail Logic).....	53
4.7 ลอจิกแบบวงจรเงาสะท้อน (Mirror Circuit Logic).....	56
บทที่ 5 ทฤษฎีและการออกแบบวงจรเทอร์นารีลอจิก.....	57
5.1 ทฤษฎีพื้นฐานของวงจรซีมอสเทอร์นารีลอจิก.....	57
5.2 วงจรเทอร์นารีลอจิก Transmission gate.....	59
5.3 วงจรเทอร์นารีลอจิก Cycling gate.....	62
5.4 วงจรเทอร์นารีลอจิก Inverse cycling gate.....	63
5.5 วงจรเทอร์นารีลอจิก 1-of-2 Threshold-t multiplexer.....	64
5.6 วงจรเทอร์นารีลอจิก T-gate.....	64
5.7 วงจรเทอร์นารีลอจิก Identity cell.....	65
5.8 วงจรเทอร์นารีแบบสองอินพุท.....	66
บทที่ 6 การออกแบบวงจรเทอร์นารีซีเควนเชื่อมลอจิกและผลการวิเคราะห์.....	69
บทที่ 7 สรุปผลการวิเคราะห์.....	76
บรรณานุกรม.....	78
ภาคผนวก.....	80
ภาคผนวก ก. พารามิเตอร์ของมอสทรานซิสเตอร์.....	81
ภาคผนวก ข. ผลงานทางวิชาการที่ได้รับการตีพิมพ์.....	83
ประวัติผู้เขียน.....	92

สารบัญตาราง

ตารางที่	หน้า
3.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ.....	28
5.1 แสดงตารางความจริงของวงจร Threshold-t gate.....	62
5.2 ตารางความจริงของวงจรเทอร์นารีลอคิก Cycling gate.....	62
5.3 ตารางความจริงของวงจรเทอร์นารีลอคิก Inverse cycling gate.....	63
5.4 ตารางความจริงของวงจรเทอร์นารีลอคิก T-gate.....	65
5.5 ตารางความจริงของวงจรเทอร์นารีลอคิก Identity cell.....	66
5.6 ตารางความจริงของวงจรเทอร์นารีแบบสองอินพุท.....	67
6.1 ตารางความจริงวงจร Tri-latch โดยชุดควบคุม S_i	69
6.2 Excitation Tables ของวงจร Tri-flop แบบต่าง ๆ.....	75

สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์.....	5
2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชัน.....	5
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	6
2.4 การไบอัสมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ซึ่งทำให้เกิดย่านปลดพาหะ (Depletion Region).....	7
2.5 การเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์.....	8
2.6 ภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear Region).....	9
2.7 ส่วนทางเรขาคณิตบริเวณผิวของ Inversion Layer.....	10
2.8 การเกิด Pinch – Off.....	12
2.9 คุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์.....	15
2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักดาระหว่างเกตกับซอส.....	15
2.11 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชัน.....	16
2.12 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์.....	16
2.13 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรมอสอินเวอร์เตอร์ และนิยามค่าหน่วงเวลาต่าง ๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี.....	17
2.14 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต.....	18
2.15 วงจรซีมอสอินเวอร์เตอร์ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation.....	19
2.16 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรมอสอินเวอร์เตอร์.....	21
2.17 วงจรซีมอส Logic โดยทั่วไป.....	22
2.18 วงจรการวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจรมอส.....	24
3.1 คุณลักษณะการส่งผ่านและสัญญาณของเกต MT(4).....	27
3.2 วงจรมอสอินเวอร์เตอร์พื้นฐาน.....	31

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.3 บล็อกไดอะแกรมของวงจร m ค่า.....	32
3.4 คุณลักษณะการส่งผ่านของอินเวอร์เตอร์แบบ 4 ค่า.....	32
3.5 บล็อกไดอะแกรมของเทรคโฮลด์ฟังก์ชัน.....	33
3.6 คุณลักษณะทางไฟตรงของวงจรมานาลอกอินเวอร์เตอร์แบบ 4 ค่า.....	34
3.7 วงจรสะท้อนกระแสที่ใช้สำหรับเทคโนโลยี TTL.....	36
3.8 เกทพื้นฐานที่ใช้สำหรับเทคโนโลยี $1L$	36
3.9 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง.....	37
3.10 วงจรตรวจจับเทรคโฮลด์โดยใช้วงจรถูกแรงดัน.....	39
3.11 วงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี NMOS.....	40
3.12 วงจรเข้ารหัสแบบ 4 ค่า.....	40
3.13 วงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี CMOS.....	41
3.14 วงจรตรวจจับเทรคโฮลด์โดยใช้เทคโนโลยี CMOS.....	42
3.15 เกทพื้นฐานของลอจิก 2 ระดับ โดยใช้เทคโนโลยี $1L$	43
3.16 วงจรสะท้อนกระแสโดยใช้เทคโนโลยี $1L$	43
3.17 วงจรผลรวมเชิงเส้นโดยใช้เทคโนโลยี $1L$	44
3.18 วงจรเทรคโฮลด์โดยใช้เทคโนโลยี $1L$	44
3.19 การไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี $1L$	45
4.1 วงจรซิมอส.....	46
4.2 วงจรนอร์เกท.....	47
4.3 AOI เกท.....	48
4.4 วงจร 3 สถานะแบบกลับสัญญาณ (Tri – State Inverter).....	49
4.5 หลักการของวงจรถิมอสที่ใช้สัญญาณนาฬิกา.....	50
4.6 ตัวอย่างวงจรมนเกท ซึ่งใช้สัญญาณนาฬิกา.....	50
4.7 หลักการของวงจรไดนามิกซิมอส.....	51

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.8 ตัวอย่างวงจรไดนามิกซิมอส.....	52
4.9 วงจรพื้นฐานของโดมิโนซิมอสลอจิก.....	53
4.10 วงจรพื้นฐานของ CVSL.....	54
4.11 วงจร CVSL ของวงจรแอนด์/แนนด์.....	55
4.12 วงจร CVSL ของวงจรรอรั/นอร์.....	55
4.13 วงจร XOR เกท.....	56
5.1 วงจรเทอร์นารี Transmission gate สำหรับดำเนินการ $C_i * x'$ และ $C_i * 'x$	60
5.2 วงจรเทรตโฮลด์เกท (Threshold-t gate) แบบ DCVS เมื่อ $t = 0.5$	61
5.3 วงจรเทรตโฮลด์เกท (Threshold-t gate) แบบ DCVS เมื่อ $t = 1.5$	61
5.4 วงจรเทอร์นารีลอจิก Cycling ate เมื่อ $t = 0.5$	62
5.5 วงจรเทอร์นารีลอจิก Inverse cycling gate.....	63
5.6 วงจรเทอร์นารีลอจิก 1-of-2 Threshold-t multiplexer.....	64
5.7 วงจรเทอร์นารีลอจิก T-gate.....	65
5.8 วงจรเทอร์นารีลอจิก Identity cell.....	66
5.9 วงจร Threshold-t NOR-2 input เมื่อ $t = 1.5$	67
5.10 วงจร Threshold-t NOR-3 input เมื่อ $t = 0.5$	68
6.1 วงจร Tri-latch.....	69
6.2 Identity cell แบบที่มีส่วนชุดควบคุมเอาต์พุต.....	70
6.3 ผลการจำลองการทำงานวงจร Tri-latch.....	71
6.4 วงจร D-type Tri-flop และสัญลักษณ์.....	72
6.5 ผลการจำลองการทำงานวงจร D-type Tri-flop.....	72
6.6 วงจร JKL-type Tri-flop และสัญลักษณ์.....	73
6.7 ผลการจำลองการทำงานวงจร JKL-type Tri-flop.....	73
6.8 วงจร T-type Tri-flop และสัญลักษณ์.....	74

สารบัญรูป (ต่อ)

รูปที่	หน้า
6.9 ผลการจำลองการทำงานวงจร T-type Tri-flop.....	74

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันการพัฒนาเทคโนโลยี VLSI (Very Large Scale Integration) เพื่อใช้ในการผลิตวงจรเป็นที่นิยมใช้กันมากเพราะว่ามีข้อดีกว่าเทคโนโลยีแบบอื่นๆ หลายประการ เช่น การสูญเสียพลังงานต่ำกว่า ออกแบบง่ายและรวมทั้งองค์ประกอบอื่นๆ ด้วยซึ่งมีความต้องการมากของงานด้านการประมวลผลสัญญาณ (Signal Processing) แบบวงจรรวมชิปเดียว (Single Chip Circuit) การทำงานจะมีประสิทธิภาพมากที่สุด ซึ่งในวงจรรอนาล็อก (Analog Circuit) ก็เป็นบทบาทสำคัญของการผลิตไอซีออกแบบเป็น VLSI ในการออกแบบ VLSI ในระบบที่เป็นวงจรรอนาล็อกส่วนใหญ่ที่เรารู้จักกันคือ วงจรกรองสัญญาณ วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter Circuit) และวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก (Digital to Analog Converter Circuit) วงจรเปรียบเทียบกระแส (Circuit Comparator Circuit) ฯลฯ วิธีการในการออกแบบไอซีจะนิยมใช้เทคโนโลยีอยู่สองแบบคือ แบบไบโพลาร์ (BJT) และมอส (MOS) โดยทั้งหมดจะอยู่บนรากฐานของเทคโนโลยีวงจรรวมซิลิกอน แต่เนื่องจากปัจจุบันนี้เทคโนโลยีของมอสได้เจริญเติบโตขึ้นอย่างมากจึงเป็นที่นิยมมากกว่า และจะนำเสนอในงานวิจัยนี้เพื่อเป็นแนวทางในการออกแบบวงจรหลายระดับสัญญาณ

ซึ่งปัจจุบันมีงานวิจัยและการพัฒนาวงจรรวมดิจิทัลสำหรับการประมวลผลเชิงเลข (Digital Signal Processing) กันอย่างกว้างขวางเพื่อให้วงจรมีความเร็วในการทำงานสูง แต่ด้วยข้อจำกัดของระบบเลขฐานสองทำให้ไม่สามารถตอบสนองความต้องการในการประมวลผลข้อมูลในปริมาณมากอย่างรวดเร็วแนวทางหนึ่งที่ถูกนำมาใช้คือ การเพิ่มระดับสัญญาณในวงจรหรือการแบ่งระดับของสัญญาณในวงจร เช่น วงจร Ternary และ Quaternary ซึ่งใช้ระดับสัญญาณ 3 และ 4 ตามลำดับ

วงจรรวมที่ใช้ระดับสัญญาณหลายระดับ (Multiple-Valued Logic Circuit: MVL) เหล่านี้ทำให้แนวทางในการพัฒนาลอจิกเปลี่ยนไป โดยแทนที่จะมุ่งปรับปรุงให้วงจรไบนารีมีความเร็วสูงแต่ด้วยข้อจำกัดทางด้านเทคโนโลยีทำให้วงจรมีต้นทุนสูง นอกจากนี้ข้อจำกัดด้านปริมาณข้อมูลจำนวนอินพุตและเอาต์พุตของวงจร การเชื่อมโยงระหว่างโมดูลภายในระบบเอง หรือการโยงกับภายนอกความซับซ้อนในการเดินสาย การสื่อสารระหว่างขา (Pins) และการทำแพ็คเกจ (Package) กลายมาเป็นอุปสรรคสำคัญในการพัฒนาวงจรรวมที่ใช้ความเร็วสูงๆ

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

เพื่อจะนำเสนอและออกแบบวงจรเทอร์นารีที่ความเร็วลลจิกด้วย CMOS Transmission Gate โดยออกแบบส่วนควบคุมซึ่งทำหน้าที่แปลงสัญญาณที่มีสามระดับ (Ternary Logic) เป็นสัญญาณแบบไบนารี (Binary Logic) ที่สร้างขึ้นจากวงจร Differential Cascode Voltage Switch (DCVS) ทำให้วงจรเทอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรรคิจิตลลจิกทั่วไปและง่ายต่อการควบคุม จึงช่วยให้การออกแบบวงจรเป็นไปอย่างมีระบบ และด้วยการป้อนกลับสัญญาณแบบเทอร์นารีสามารถสร้างวงจรรคิจิตลลจิกแบบต่าง ๆ ได้ โดยในการวิจัยนี้ได้ทำการออกแบบวงจร Tri-Flop ต่าง ๆ เช่น D-type, JKL-type และ T-type ที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) และทำการทดสอบวงจรโดยโปรแกรมจำลอง PSPICE

1.3 สมมติฐานของการศึกษา

อุปสรรคอย่างหนึ่งสำหรับการออกแบบวงจรรวมแบบคิจิตลลจิก คือจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจร และการเชื่อมโยงสู่ภายนอก ทั้งนี้เนื่องจากจำนวนข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อตอบรับกับความต้องการของผู้ใช้งาน แต่ด้วยข้อจำกัดของวงจรรวมแบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ เท่านั้น ดังนั้นจึงมีความต้องการในการออกแบบและใช้งานวงจรรคิจิตลลจิกแบบ Multiple-Valued Logic (MVL) ซึ่งมีความหนาแน่นปริมาณข้อมูลข่าวสาร (Information Density) ภายในวงจรและความสามารถในการส่งข้อมูลข่าวสาร (Information-Carrying) สูงกว่าวงจรรคิจิตลลจิกแบบไบนารีทั่วไป แต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรทำได้ลำบาก และไม่สามารถนำเทคนิคการออกแบบวงจรรคิจิตลลจิกแบบไบนารีมาใช้ได้ เช่นการออกแบบวงจรเทอร์นารีด้วยรูปแบบวงจรซิมอสและเพิ่มอุปกรณ์คือ ตัวต้านทานค่าสูง (~12k Ω) ที่โหนดเอาต์พุต [1] โดยทำหน้าที่จำกัดกระแสลัดวงจรเมื่อสถานะสัญญาณมีลอจิกเป็น '1' ทั้งนี้เพื่อลดกำลังงานสูญเสียภายในวงจร หรือการออกแบบวงจร MVL ด้วย Pass-Transistor Logic [2-4] อย่างไรก็ตาม การสร้างวงจรรนี้จำเป็นต้องกำหนดค่าศักดาเทรคโวลต์ของทรานซิสเตอร์อย่างเหมาะสมเพื่อควบคุมให้ Pass-Transistor ทำงานได้อย่างถูกต้อง ซึ่งเป็นเรื่องยากในขั้นตอนกระบวนการผลิตและอาจส่งผลให้มีต้นทุนในการผลิตสูงขึ้น ดังนั้นแนวทางในการออกแบบวงจรเทอร์นารีแบบ CMOS Transmission Gate ซึ่งจะถูกรควบคุมด้วยวงจร Threshold-t gate และให้เอาต์พุตเป็นสัญญาณไบนารีที่ถูกปรับขนาดให้เหมาะสมด้วยวงจร Differential Cascode Voltage Switch (DCVS) นั้น จะสามารถออกแบบให้ทรานซิสเตอร์ที่ใช้ในวงจรมีค่าศักดาเทรคโวลต์เท่ากันได้ และทำให้ง่ายแก่การสร้างหรือผลิตขึ้นมาอย่างมีต้นทุนต่ำลง

1.4 ขอบเขตของการวิจัย

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรเทอร์นารีซีแควนเซียลลอจิกด้วย CMOS Transmission Gate โดยจะนำเสนอเฉพาะตัวอย่างการออกแบบวงจรวจร Tri-Flop ต่าง ๆ เช่น D-type, JKL-type และ T-type ซึ่งเป็นวงจรที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) และผลการทดสอบวงจรต่าง ๆ นั้น สามารถแสดงให้เห็นได้จากโปรแกรมจำลอง PSPICE โดยใช้มอสทรานซิสเตอร์ของ MOSIS เทคโนโลยีขนาด $0.5 \mu\text{m}$

1.5 ขั้นตอนการศึกษา

- 1.5.1 ศึกษาการออกแบบวงจรเทอร์นารีด้วย Transmission Gate
- 1.5.2 ศึกษาการทำงานของวงจร Threshold-t gate
- 1.5.3 ศึกษาวงจรถิจรดิจิตอลซีแควนเซียล (Digital Sequential)
- 1.5.4 ออกแบบวงจรวจร Tri-Flop ต่าง ๆ ด้วยวงจรเทอร์นารีซีแควนเซียลลอจิก
- 1.5.5 ทดสอบวงจรต่าง ๆ ด้วยโปรแกรมจำลอง PSPICE
- 1.5.6 บันทึกและวิเคราะห์ผลของการทดสอบวงจรต่าง ๆ

บทที่ 2

ทฤษฎีการทำงานของมอสทรานซิสเตอร์

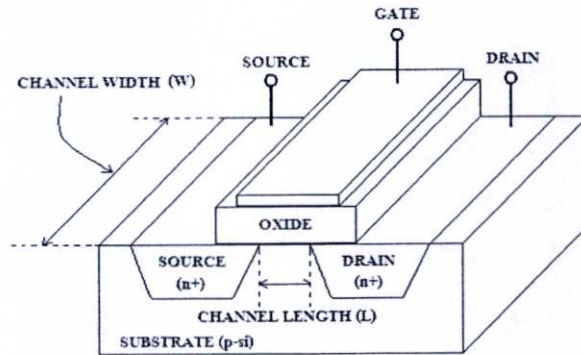
2.1 บทนำ

มอสทรานซิสเตอร์หรือมอสเฟต (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transistor โดยใช้หลักการของสนามไฟฟ้ามาควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ซึ่งทรานซิสเตอร์ชนิดนี้ได้สร้างขึ้นมาในช่วงทศวรรษ 1970s เป็นทรานซิสเตอร์ในยุคที่สองหลังจากที่ได้มีการสร้างทรานซิสเตอร์แบบไบโพลาร์ (BJT) ขึ้นมา และเป็นทรานซิสเตอร์ที่มีคุณสมบัติที่ดีกว่าทรานซิสเตอร์แบบไบโพลาร์ ขบวนการในการผลิตไม่ยุ่งยาก สามารถสร้างขึ้นได้ง่ายกว่า เมื่อนำมาทำเป็นวงจรรวมต่าง ๆ สามารถลดขนาดให้เล็กลงได้ จึงเหมาะแก่การนำมาสร้างเป็นวงจรรวมได้เป็นอย่างดี นอกจากนี้การสร้างวงจรโดยใช้มอสเฟต ไม่จำเป็นต้องใช้ตัวต้านทานหรือไดโอดช่วยในการไบอัสวงจร เหมือนกับทรานซิสเตอร์แบบไบโพลาร์ เนื่องจากมอสเฟตสามารถทำงานได้โดยใช้แรงดันไฟฟ้าในการไบอัส ซึ่งต่างจากทรานซิสเตอร์แบบไบโพลาร์ที่ต้องใช้กระแสมาทำการไบอัส ในปัจจุบันได้มีการใช้มอสทรานซิสเตอร์ทำเป็นอุปกรณ์สวิตช์ซึ่งในวงจรร Large Scale Integration (LSI) และวงจรร Very Large Scale Integration (VLSI) อย่างมาก ซึ่งเป็นผลมาจากคุณสมบัติที่ดีกว่าเมื่อเทียบกับทรานซิสเตอร์แบบไบโพลาร์ โครงสร้างและการทำงานของมอสทรานซิสเตอร์จะกล่าวโดยละเอียดในหัวข้อต่อไป

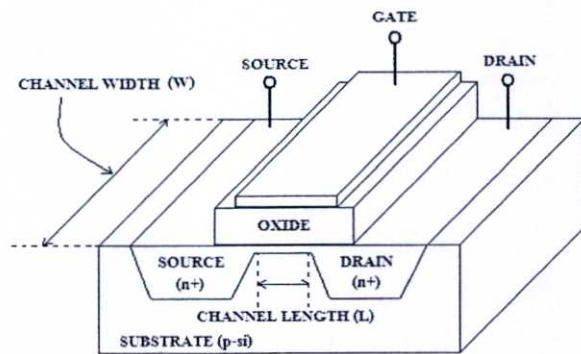
2.2 โครงสร้างของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์นั้น สามารถแบ่งตามโครงสร้างได้เป็น 2 แบบ คือ เอ็นมอสทรานซิสเตอร์ (N-Channel) และพีมอสทรานซิสเตอร์ (P-Channel) ในแต่ละชนิดยังสามารถแบ่งตามลักษณะการทำงานได้อีก 2 แบบ คือ เอ็นฮานเม้นท์มอสทรานซิสเตอร์ (Enhancement) และดีพลีชันมอสทรานซิสเตอร์ (Depletion) โดยพิจารณาจากรูปที่ 2.1 แสดงถึงรายละเอียดโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ ซึ่งจะเห็นการโคปสารกึ่งตัวนำชนิดเอ็น (N^+ Region) อยู่ 2 ส่วนในสารกึ่งตัวนำชนิดพีในด้านซ้ายจะเรียกว่า ซอส (Source) ในด้านขวาจะเรียกว่า เดรน (Drain) ส่วนบนของบริเวณการโคปสารกึ่งตัวนำชนิดเอ็นทั้งสองจุดจะถูกฉาบวางทับด้วยชั้นของออกไซด์บาง ๆ หลังจากนั้นก็จะวางทับด้วยโลหะ (หรือโพลีซิลิกอน) อีกชั้นหนึ่ง ซึ่งจะเรียกว่า เกต (Gate) และตัวถังของอุปกรณ์ตัวนี้เรียกว่า ซับสเตรท (Substrate) หรือ บัค (Bulk) สำหรับระยะห่างระหว่างสารกึ่งตัวนำซอสกับเดรน จะเรียกว่า ความยาวของแชนแนล (Channel Length: L) และ

ความกว้างของซอสและเดรนจะเรียกว่า ความกว้างของแชนแนล (Channel Width: W) ถ้าส่วนของฐานรองทำด้วยสารกึ่งตัวนำชนิดเอ็นและสารกึ่งตัวนำชนิดพีถูกโคปลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่า ฟิล์มอสทราซิสเตอร์แบบเอ็นฮานเมนต์ สำหรับโครงสร้างของเอ็นมอสทราซิสเตอร์แบบดีฟลิชัน จะคล้ายกับเอ็นมอสทราซิสเตอร์แบบเอ็นฮานเมนต์ แต่จะแตกต่างกันตรงที่ช่องว่างระหว่างซอสกับเดรน ซึ่งจะมีการ โคปสารกึ่งตัวนำชนิดเอ็นเชื่อมต่อกัน ดังรายละเอียดในรูปที่ 2.2



รูปที่ 2.1 โครงสร้างของเอ็นมอสทราซิสเตอร์แบบเอ็นฮานเมนต์

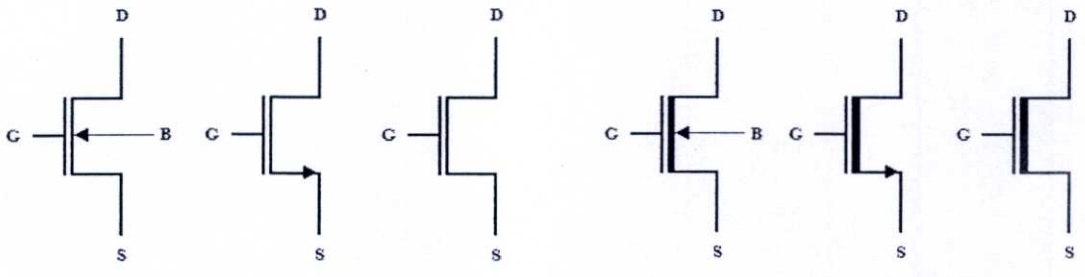


รูปที่ 2.2 โครงสร้างของเอ็นมอสทราซิสเตอร์แบบดีฟลิชัน

2.3 สัญลักษณ์ของมอสทราซิสเตอร์

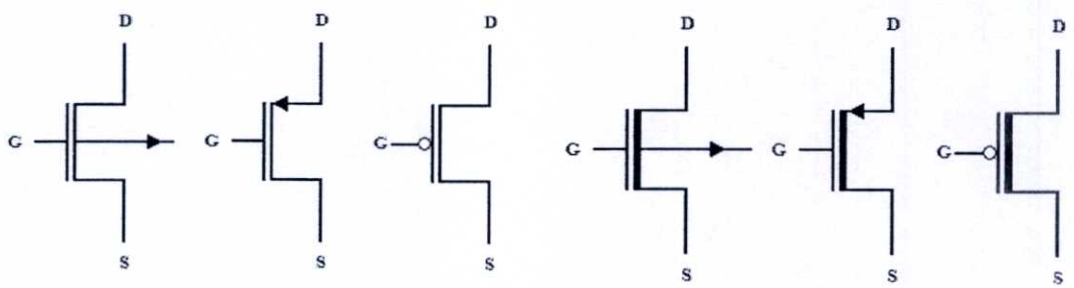
สัญลักษณ์ของมอสทราซิสเตอร์ สามารถบอกได้ว่าเป็นมอสทราซิสเตอร์ชนิดเอ็นหรือชนิดพี โดยดูได้ที่หัวลูกศรที่ขาซอส ถ้าหัวลูกศรหันเข้าหาขาเกิดแสดงว่าเป็นฟิล์มอสทราซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกิดแสดงว่าเป็น เอ็นมอสทราซิสเตอร์ หรือดูที่ทิศทางของหัวลูกศรที่ขาฐานรอง (Substrate) หรือบางที่เรียกว่า Bulk โดย ถ้าหัวลูกศรหันเข้าหาขาเกิด แสดงว่าเป็นเอ็น

มอสทรานซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกต แสดงว่าเป็น พีมอสทรานซิสเตอร์ และสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสทรานซิสเตอร์เป็นแบบฮานเมนท์หรือแบบดีฟลิชัน ดังแสดงในรูปที่ 2.3



(ก) เอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

(ข) เอ็นมอสทรานซิสเตอร์แบบดีฟลิชัน



(ค) พีมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

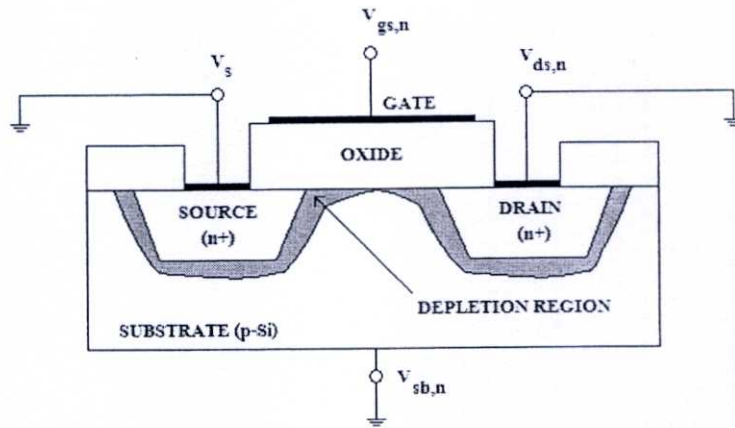
(ง) พีมอสทรานซิสเตอร์แบบดีฟลิชัน

รูปที่ 2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

2.4 การทำงานของมอสทรานซิสเตอร์

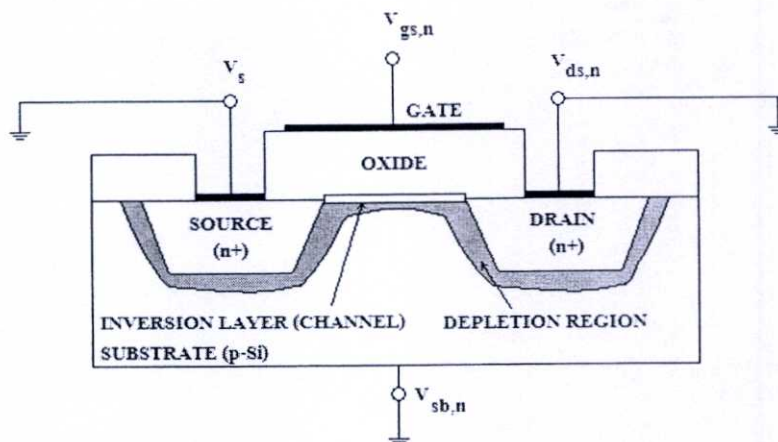
ถ้าพิจารณาโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ จากรูปที่ 2.1 จะสามารถอธิบายการทำงานอย่างง่าย ๆ ของมอสทรานซิสเตอร์ได้ดังนี้

กระแสไฟฟ้าที่ไหลในแกนแนลระหว่างเดรนและซอสของมอสทรานซิสเตอร์ จะถูกควบคุมสนามไฟฟ้าที่ถูกสร้างขึ้นจากการเปลี่ยนแปลงของระดับศักดาที่เกิด และปริมาณกระแสที่ไหลในแกนแนลก็จะถูกควบคุมโดยศักดาระหว่างเดรนกับซอสและศักดาที่ฐานรองอีกด้วย



รูปที่ 2.4 การไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ซึ่งทำให้เกิดย่านปลอดพาหะ (Depletion region)

การไบอัสอย่างง่ายให้กับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ดังแสดงในรูปที่ 2.4 โดยให้เดรน ซอส และฐานรอง ($V_{sb,n}$) ถูกต่ออยู่กับกราวด์และให้ศักดาที่มีค่าเป็นบวกระหว่างเกตกับซอส ($V_{gs,n}$) ซึ่งสามารถทำให้เกิดแขนแนลความนำภายในเกต เมื่อศักดาที่มีค่าเป็นบวกระหว่างเกตกับซอสมีค่าน้อย ๆ Majority Carrier (Hold) จะถูกผลักลงไปยังฐานรอง (Substrate) จะทำให้ผิวของฐานรอง P-Type เกิดย่านปลอดพาหะขึ้น และถ้าบริเวณผิวปราศจาก Mobile Carrier ใด ๆ ค่าความนำไฟฟ้าระหว่างเดรนกับซอสจะไม่เกิดขึ้นด้วย ถ้าทำการไบอัสที่เกตกับซอสด้วยศักดาที่มีศักย์บวกมากขึ้น จนกระทั่งมากกว่าศักดาค่าบวกค่าหนึ่งซึ่งเรียกว่า ศักดาเทรคโฮลด์ (V_{th}) ทำให้ศักย์บวกของเกตที่มากขึ้น จะดึงอิเล็กตรอนจำนวนมากจากฐานรอง P-Type มาใกล้บริเวณผิวสร้างเป็น N-Type Region ใกล้บริเวณผิวจะเรียกว่า Inversion Layer ดังแสดงรายละเอียดในรูปที่ 2.5 ซึ่งเกิดขึ้นระหว่างเดรนกับซอสและจะทำหน้าที่เป็นช่องทางเดินกระแสระหว่างเดรนกับซอสและปริมาณกระแสที่ไหลผ่านระหว่างเดรนกับซอสจะขึ้นอยู่กับค่าความต่างศักย์ของศักดาที่ไบอัสให้เดรนกับซอส ดังนั้นถ้าให้ศักดาเดรนกับซอสเป็นบวกเล็กน้อย ($V_{ds,n} > 0$) จะเกิดกระแสไหลจากเดรนไปยังซอส ถ้าเพิ่มให้ศักดาเดรนกับซอสที่ค่า ๆ หนึ่ง $V_{ds,n} = (V_{gs,n} - V_{th})$ จะทำให้กระแสเดรนไหลสูงสุดและจะคงที่ตลอดไป แม้จะมีการเพิ่มค่าศักดาเดรนกับซอส ($V_{ds,n}$) ขึ้นอีกก็ตาม

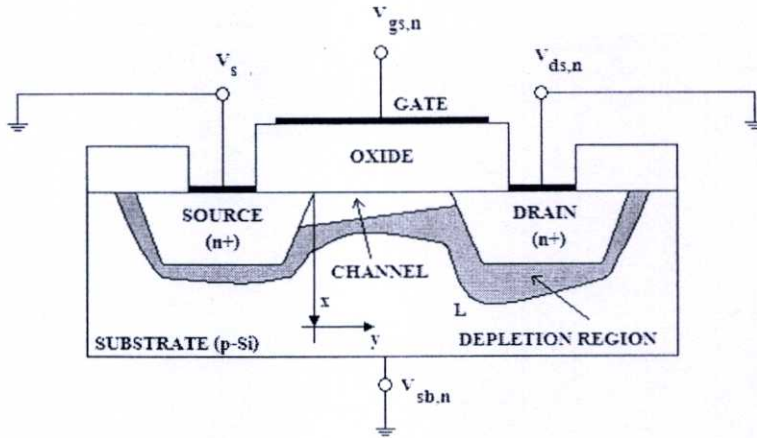


รูปที่ 2.5 การเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์

ส่วนการทำงานของเอ็นมอสทรานซิสเตอร์แบบดีพลีชันนั้น จากโครงสร้างดังแสดงในรูปที่ 2.2 จะเห็นได้ว่าเมื่อไบอัสศักรหว่างเกตกับซอสเป็นศูนย์ และให้ศักรหว่างเดรนกับซอสเป็นบวกค่าหนึ่ง จะมีกระแสเดรนไหลค่าหนึ่ง เนื่องจากแชนแนลได้ถูกสร้างไว้แล้ว เมื่อไบอัสศักรหว่างเกตกับซอสมีค่าเป็นลบค่าน้อย ๆ จะเกิดสนามไฟฟ้าในออกไซด์มีทิศทางไปยังขาคเกต ผลที่ได้จะทำให้ไอเล็กตรอนบริเวณใกล้ผิวแชนแนลถูกผลักให้ลงมาในแชนแนลส่วนล่าง เป็นผลทำให้เกิดย่านปลอดพาหะ (Depletion Region) ใกล้บริเวณผิวภายในแชนแนลขึ้น ทำให้สภาพความนำไฟฟ้าของแชนแนลลดลง ผลทำให้กระแสเดรนไหลน้อยลงและถ้าศักรหว่างเกตกับซอสเป็นลบมากขึ้น ทำให้ย่านปลอดพาหะแผ่กว้างเพิ่มขึ้นในแชนแนล จะทำให้สภาพความนำไฟฟ้าของแชนแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีก และถ้าศักคากที่เกตเป็นลบมาก ๆ ทำให้ย่านปลอดพาหะแผ่กว้างเต็มแชนแนล แชนแนลจะไม่นำกระแส ทำให้กระแสเดรนมีค่าเป็นศูนย์ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชัน โหมด (Depletion mode) สามารถแสดงกราฟความสัมพันธ์ระหว่างเดรนและศักคากระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชันได้ดังรูปที่ 2.11 และกราฟความสัมพันธ์ระหว่างเดรนและศักคากระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ได้ดังรูปที่ 2.12

2.5 คุณสมบัติทางศักคากกระแสของมอสทรานซิสเตอร์

ในการวิเคราะห์ความสัมพันธ์ของศักคากกับกระแสของมอสทรานซิสเตอร์นั้น จะทำการวิเคราะห์ปัญหาในการไหลของกระแสหนึ่งมิติ ทำให้ได้สมการของกระแสที่เข้าใจได้ง่ายขึ้นและสอดคล้องกับผลที่ได้จากการทดลอง



รูปที่ 2.6 ภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear Region)

เริ่มต้นด้วยการพิจารณารายละเอียดของภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ ที่ทำงานในช่วงเชิงเส้น ดังแสดงในรูปที่ 2.6 จะเห็นได้ว่าซอสและฐานรองถูกต่อกับกราวด์ ($V_s = V_{sb,n} = 0$) ส่วนกระแสเดรน ($I_{ds,n}$) จะถูกควบคุมจากภายนอก โดยศักจະระหว่างเกตกับซอส ($V_{gs,n}$) และศักจະระหว่างเดรนกับซอส ($V_{ds,n}$) ค่าศักจະระหว่างเกตกับซอส ($V_{gs,n}$) จะถูกกำหนดให้มีค่ามากกว่าค่าศักจະเทรตโฮลด์ (V_{th}) เพื่อสร้างค่าความนำไฟฟ้าเกิดขึ้นในแซนแนลระหว่างเดรนกับซอสและกำหนดจุดพิกัดของโครงสร้างคือ ทิศทางของ x (x -direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไปยังฐานรอง ส่วนทิศทางของ y (y -direction) จะขนานไปกับพื้นผิวและ $V_c(y)$ เป็นศักจະแซนแนล กำหนดให้ค่าศักจະเทรตโฮลด์มีค่าคงที่ตลอดแซนแนล ดังนั้นขอบเขตของศักจະแซนแนลจะเป็นดังนี้

$$\begin{aligned} V_c(y=0) &= V_s = 0 \\ V_c(y=L) &= V_{ds,n} \end{aligned} \quad (2.1)$$

นอกจากนั้น บริเวณแซนแนลระหว่างเดรนกับซอสจะถูกกำหนดให้มีค่าตรงข้ามกัน

$$\begin{aligned} V_{g,n} &= V_{th} \\ V_{gd,n} &= V_{gs,n} - V_{ds,n} V_{th} \end{aligned} \quad (2.2)$$

เมื่อ $V_{gd,n}$ เป็นศักจະระหว่างเกตกับเดรน

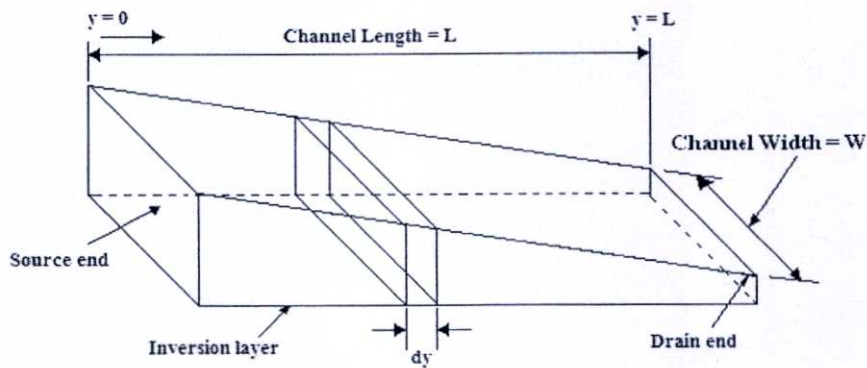
กระแสตรงเกิดจากการเคลื่อนที่ของอิเล็กตรอนภายในแชนแนลจากซอสไปยังเดรนภายใต้สนามไฟฟ้าที่ถูกสร้างขึ้น เมื่อการไหลของกระแสถูกกำหนดโดยจำนวนการประจุของโมบายอิเล็กตรอน (Mobile Electron) บนผิวของ Inversion Layer ดังนั้นจะพิจารณาในรายละเอียดของ Inversion Layer ที่ขึ้นอยู่กับศักดาในการไบอัส

ถ้าให้ $Q_i(y)$ เป็นโมบายอิเล็กตรอนรวมที่ประจุในผิวของ Inversion Layer การประจุนี้สามารถแสดงในฟังก์ชันของศักดาระหว่างเกตกับซอส ($V_{gs,n}$) และศักดาแชนแนล ($V_c(y)$) ได้ดังนี้

$$Q_i(y) = -C_{ox} [V_{gs,n} - V_c(y) - V_{th}] \quad (2.3)$$

โดยที่ C_{ox} คือ ค่าความจุต่อหน่วยพื้นที่ของชั้นออกไซด์ที่กั้นระหว่างเกตกับแชนแนล

ดังรูปที่ 2.7 จะเป็นการแสดงพื้นผิวทางเรขาคณิตของ Inversion Layer และแสดงขนาดของตัวแปรต่าง ๆ ค่าความแน่นของ Inversion Layer จะเป็นรูปลิ้มเริ่มจากซอสไปยังเดรน เนื่องจากศักดาระหว่างเกตกับแชนแนล ทำให้ผิวของ Inversion Layer มีค่าน้อยลงที่จุดสิ้นสุดของเดรน



รูปที่ 2.7 ส่วนทางเรขาคณิตบริเวณผิวของ Inversion Layer

จากนั้นทำการพิจารณาการเพิ่มของความต้านทาน (dR) ของการ Differential ส่วนแชนแนลที่แสดงในรูปที่ 2.7 กำหนดให้โมบายอิเล็กตรอนใน Inversion Layer ทั้งหมดมีค่าความคล่องตัวของอิเล็กตรอน (μ_n) คงที่ การเพิ่มขึ้นของความต้านทานสามารถแสดงได้ดังนี้

$$dR = -\frac{dy}{W \mu_n Q_i(y)} \quad (2.4)$$

กระแสเดรนจะไหลระหว่างเดรนกับซอสไปในทิศทาง y ซึ่งเป็นไปตามข้อกำหนดของรูปแบบการวิเคราะห์แบบหนึ่งมิติ ใช้กฎของโอห์มเพื่อหาศักดาตกคร่อมระหว่างการเพิ่มขึ้นของ dy ในทิศทาง y จะได้เป็น

$$dV_c = I_{d,n} dR = -\frac{I_{d,n}}{W\mu_n Q_1(y)} dy \quad (2.5)$$

ทำการอินทิเกรตสมการที่ (2.5) ไปตามความยาวของแชนแนลจาก $y = 0$ ไปยัง $y = L$ โดยใช้ขอบเขตที่กำหนดจากสมการที่ (2.1)

$$\int_0^L I_{d,n} dy = -W\mu_n \int_0^{V_{ds,n}} Q_1(y) dV_c \quad (2.6)$$

สมการด้านซ้ายมือจะได้เป็น $LI_{d,n}$ แทนค่า Q_1 ด้วยสมการที่ (2.3) แล้วทำการอินทิเกรต ดังนี้

$$I_{d,n}L = W\mu_n c_{ox} \int_0^{V_{ds,n}} (V_{gs,n} - V_c - V_{tn}) dV_c \quad (2.7)$$

กำหนดให้มีการเปลี่ยนแปลงศักดาแชนแนล (V_c) ในสมการที่ (2.7) ขึ้นอยู่กับตำแหน่งของ y จะได้กระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{\mu_n c_{ox} W}{2L} [2(V_{gs,n} - V_{tn})V_{ds,n} - V_{ds,n}^2] \quad (2.8)$$

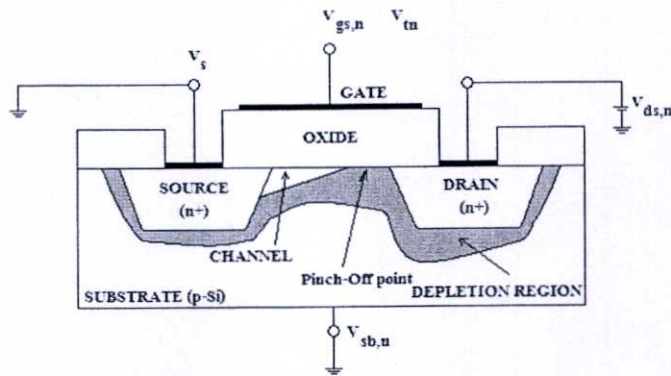
สมการที่ (2.8) เป็นการแสดงกระแสเดรนในรูปฟังก์ชัน Second-Order ของศักดาจากภายนอก คือ ศักดาระหว่างเกตกับซอส ($V_{gs,n}$) และศักดาระหว่างเดรนกับซอส ($V_{ds,n}$) สมการดังกล่าวเป็นสมการความสัมพันธ์ระหว่างกระแสกับศักดาของมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear Region) และสามารถเขียนสมการได้ใหม่ดังนี้

$$I_{d,n} = \frac{\mu_n c_{ox} W}{2L} [2(V_{gs,n} - V_{tn})V_{ds,n} - V_{ds,n}^2] \quad (2.9)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

$$k_n = \mu_n c_{ox} \frac{W}{L} \quad (2.10)$$

จากสมการที่ (2.9) เป็นการประมาณการที่ใช้ได้ดีในกรณีที่ $V_{ds,n} < (V_{gs,n} - V_{tn})$ เท่านั้น เมื่อ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะเกิดปรากฏการณ์อีกอย่างหนึ่งซึ่งขึ้นดังแสดงในรูปที่ 2.8 แสดงถึงค่าศักดาที่เปลี่ยนแปลงไปภายในแชนแนล และปริมาณความเข้มของประจุที่ค่อย ๆ ลดลงเมื่อเข้าใกล้แชนแนล ถ้าแชนแนลมีศักดาเท่ากับ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะทำให้ Inversion Layer และความลึกของแชนแนลลดลง ซึ่งถูกเรียกว่า Pinch-Off Point จะทำให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation Region)



รูปที่ 2.8 การเกิด Pinch - Off

จากรูปที่ 2.8 ทำให้สามารถแสดงขอบเขตการทำงานของมอสทรานซิสเตอร์ในช่วงอิ่มตัวได้เป็นดังนี้

$$V_{ds,n} < (V_{gs,n} - V_{tn}) \quad (2.11)$$

ดังนั้นกระแสแชนแนลในช่วงการทำงานแบบอิ่มตัว สามารถหาได้โดยการแทนสมการที่ (2.11) ไปในสมการที่ (2.8) จะได้เป็น

$$I_{d,n} = \frac{\mu_n C_{ox} W}{2L} \left[2(V_{gs,n} - V_{tn})(V_{gs,n} - V_{tn}) - (V_{gs,n} - V_{tn})^2 \right] \quad (2.12)$$

$$I_{d,n} = \frac{\mu_n C_{ox} W}{2L} (V_{gs,n} - V_{tn}) \quad (2.13)$$

และสามารถเขียนสมการใหม่ได้เป็น

$$I_{d,n} = \frac{k_n}{2} (V_{gs,n} - V_{tn})^2 \quad (2.14)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

จากรายละเอียดของคุณสมบัติทางศักดาและกระแสของมอสทรานซิสเตอร์ ทำให้สามารถสรุป การจัดไบอัสการทำงานของมอสทรานซิสเตอร์ได้เป็น 3 ช่วง โดยการทำงานทั้งหมดจะอ้างอิงการ ไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์เป็นดังนี้

2.5.1 การทำงานในช่วงคัทออฟ (Cut-Off Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส ($V_{ds,n}$) มีค่าน้อยกว่าศักดาเทรชโฮลด์ (V_{tn}) จะ เป็นผลทำให้ไม่มีกระแสไหลระหว่างเดรนกับซอส ดังนั้นสมการกระแสเดรนจะเป็นดังนี้

$$I_{d,n} = 0, V_{gs,n} < V_{tn} \quad (2.15)$$

2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region)

เป็นการไบอัสให้ศักดาระหว่างเดรนกับซอส ($V_{gs,n}$) มีค่ามากกว่าศักดาเทรชโฮลด์ ($V_{gs,n} > V_{tn}$) และขณะเดียวกันจะไบอัสให้ศักดาระหว่างเดรนกับซอสมีค่าน้อยกว่าศักดา ระหว่างเกตกับซอสลบด้วยศักดาเทรชโฮลด์ $V_{gs,n} < (V_{gs,n} - V_{tn})$ จะทำให้มีกระแสไหลระหว่างเดรนกับซอส โดยสมการกระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{k_n}{2} [2(V_{gs,n} - V_{tn})V_{ds,n} - V_{ds,n}^2] \quad (2.16)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส ($V_{gs,n}$) มีค่ามากกว่าศักดาโฮลด์ ($|V_{gs,n}| > V_{tn}$) และขณะเดียวกันจะไบอัสให้ระหว่างเดรนกับซอสมากกว่าหรือเท่ากับศักดา ระหว่างเกตกับซอสลบด้วยศักดาเทรชโฮลด์ $V_{gs,n} < (V_{gs,n} - V_{tn})$ ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็นดังนี้

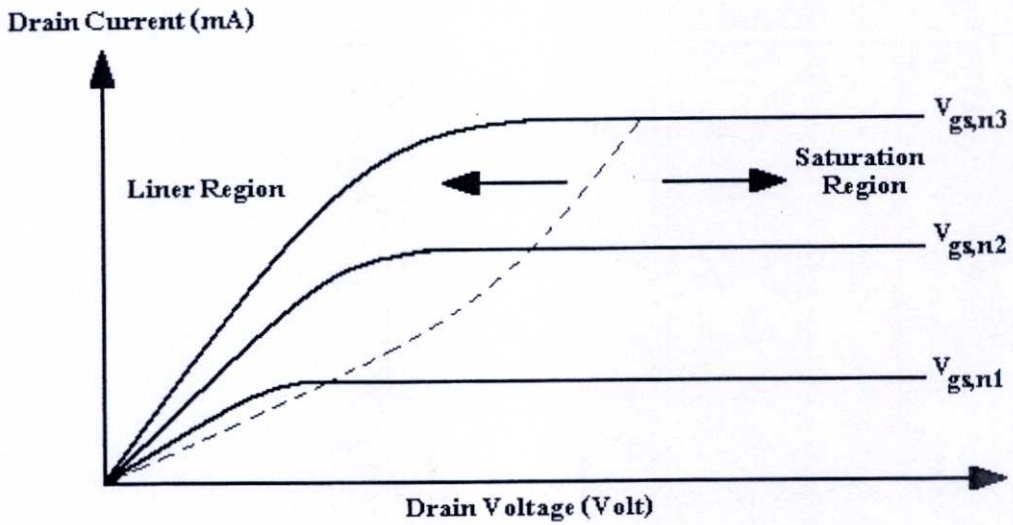
$$I_{d,n} = \frac{k_n}{2} (V_{gs,n} - V_{tn})^2 \quad (2.17)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

จะเห็นได้ว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้ จะมีค่าที่ไม่ขึ้นกับศักดาที่เดรนกับซอส ($V_{ds,n}$) แต่จะขึ้นอยู่กับศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรชโวลต์ ($V_{gs,n} - V_{tn}$) ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) นั่นเอง

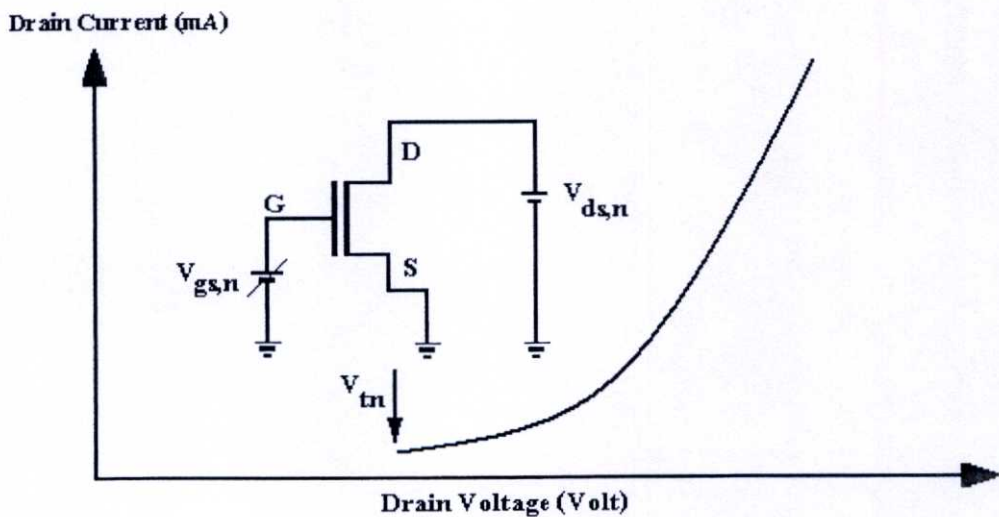
ตัวแปรต่าง ๆ ที่แสดงในสมการทั้งหมดสามารถแสดงรายละเอียดได้ดังนี้

- k_n = ค่าทรานคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_n C_{ox} \frac{W}{L}$
- k_p = ค่าทรานคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_p C_{ox} \frac{W}{L}$
- μ_n = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
- μ_p = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
- C_{ox} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance Per-Unit Area of the Gate Oxide) = ϵ_{ox} / t_{ox}
- ϵ_{ox} = ค่าคงที่ของ SiO₂ = $3.97 \cdot 8.85 \cdot 10^{-14}$ F/cm
- t_{ox} = ความหนาของเกตออกไซด์
- L = ความยาวของแชนแนล (Channel Length)
- W = ความกว้างของแชนแนล (Channel Width)
- $V_{gs,n}$ = ศักดาไฟฟ้าระหว่างเกตกับซอส (Gate – Source Voltage)
- $V_{gd,n}$ = ศักดาไฟฟ้าระหว่างเกตกับเดรน (Gate – Drain Voltage)
- $V_{ds,n}$ = ศักดาไฟฟ้าระหว่างเดรนกับซอส (Drain – Source Voltage)
- $V_{sb,n}$ = ศักดาฐานรอง (Substrate Voltage)
- V_{tn} = ศักดาเริ่มต้นของเอ็นมอส (nMOS Threshold Voltage)
- V_{tp} = ศักดาเริ่มต้นของพีมอส (pMOS Threshold Voltage)
- $I_{d,n}$ = กระแสเดรนเอ็นมอสทรานซิสเตอร์

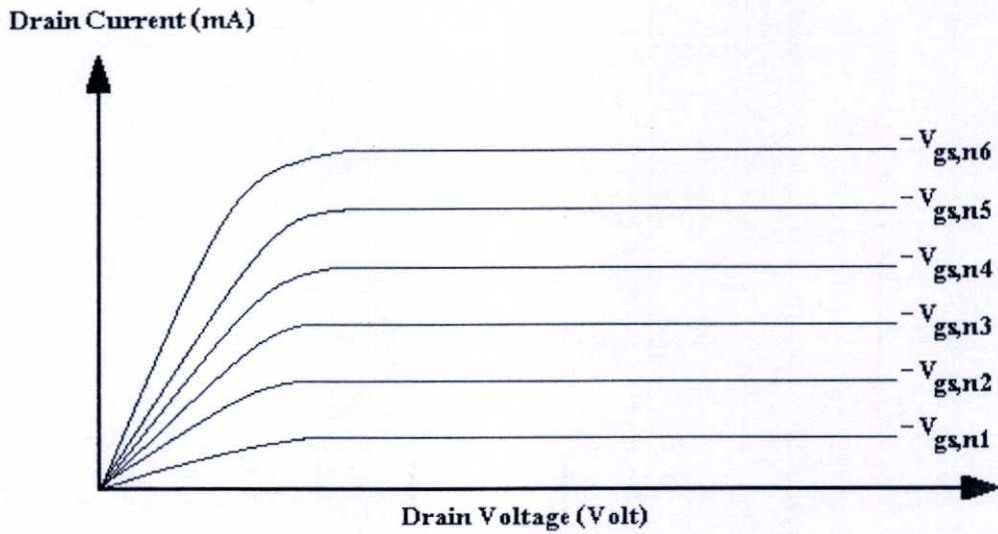


รูปที่ 2.9 คุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์

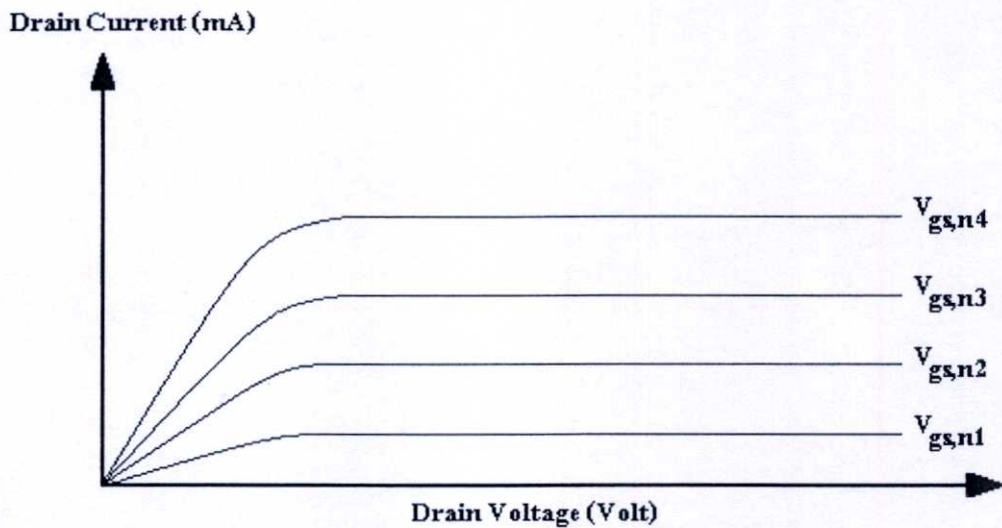
รูปที่ 2.9 แสดงตัวอย่างคุณสมบัติกระแสตรงเทียบกับศักดาตรงของเอ็นมอสทรานซิสเตอร์ โดยใช้สมการกระแสที่ (2.8) และสมการที่ (2.12) เส้นประแบบพาราโบลาจะเป็นการแสดงความขอบเขตระหว่างช่วงเชิงเส้นและช่วงอิ่มตัว คุณลักษณะของกระแสกับศักดาของมอสทรานซิสเตอร์สามารถเปรียบเทียบระหว่างกระแสตรงและศักดาที่เกิด ดังแสดงในรูปที่ 2.10



รูปที่ 2.10 กระแสตรงของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักดาระหว่างเกิดกับขอส



รูปที่ 2.11 กระแสเดรนและศักยาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพีลิ่งชั้น



รูปที่ 2.12 กระแสเดรนและศักยาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์

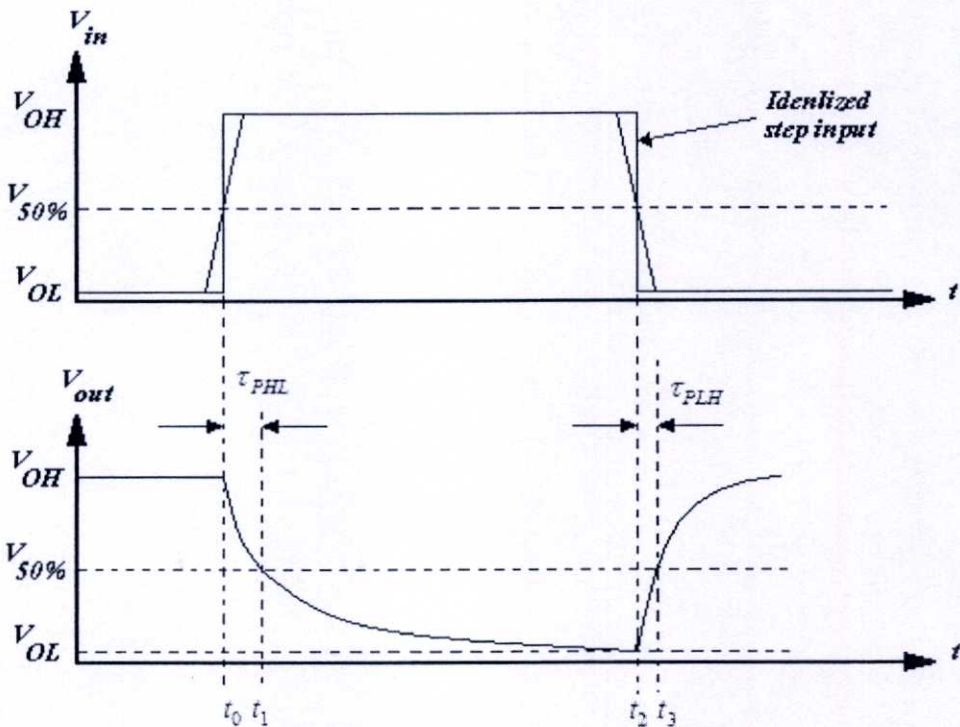
2.6 การหาค่าหน่วงเวลา

วิธีการหาค่าหน่วงเวลาที่ใช้กันอย่างแพร่หลาย คือรูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของ วงจรอินเวอร์เตอร์ ดังแสดงในรูปที่ 2.13 การหาค่าหน่วงเวลา τ_{PHL} และ τ_{PLH} เป็นค่าหน่วงเวลาที่ เปรียบเทียบระหว่างสัญญาณทางอินพุตและเอาต์พุตที่สภาวะเปลี่ยนแปลงจาก High เป็น Low และ Low เป็น High ตามลำดับ โดยมีนิยามดังนี้ τ_{PHL} เป็นค่าหน่วงเวลาเปรียบเทียบระหว่างช่วงเปลี่ยน

ที่แรงดัน 50% ของขาขึ้นทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาลงทางเอาต์พุต เหมือนกันกับ τ_{PLH} เป็นนิยามค่าหน่วยเวลาเทียบระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาลงทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาขึ้นทางเอาต์พุต

เพื่อให้ง่ายขึ้นแก่การวิเคราะห์และเขียนสมการค่าการหน่วงเวลา สัญญาณรูปคลื่นทางอินพุตจะถูกสมมติเป็นรูปคลื่นสี่เหลี่ยม ทางทฤษฎีมีค่าหน่วยเวลาขาขึ้นและขาลงเป็นศูนย์ ภายใต้ข้อสมมติฐาน τ_{PHL} เป็นค่าหน่วยเวลาที่ได้จากแรงดันทางเอาต์พุตที่ลดลงจาก V_{OH} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงขาขึ้นของสัญญาณอินพุต และ τ_{PLH} เป็นค่าหน่วยเวลาที่ได้จากแรงดันทางเอาต์พุตที่เริ่มเพิ่มขึ้นจาก V_{OL} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงขาลงของสัญญาณอินพุต จากนั้นสามารถเขียนสมการของค่าแรงดันที่จุด $V_{50\%}$ ได้ดังนี้

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \quad (2.18)$$



รูปที่ 2.13 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรถออินเวอร์เตอร์ และนิยามค่าหน่วยเวลาต่าง ๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี

ดังนั้นค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} จากรูปที่ 2.13 ได้ดังนี้

$$\begin{aligned} \tau_{PHL} &= t_1 - t_0 \\ \tau_{PLH} &= t_3 - t_2 \end{aligned} \quad (2.19)$$

วิธีการคำนวณค่า τ_{PHL} และ τ_{PLH} นั้น จะใช้การประมาณค่าเฉลี่ยกระแสของตัวเก็บประจุในขณะที่ยังประจุและคายประจุ โดยถ้าให้กระแสเฉลี่ยเป็นค่าคงที่ จะได้ดังนี้

$$\tau_{PHL} = \frac{C_{load} \cdot \Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load} \cdot (V_{OH} - V_{50\%})}{I_{avg,HL}} \quad (2.20)$$

$$\tau_{PLH} = \frac{C_{load} \cdot \Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load} \cdot (V_{50\%} - V_{OL})}{I_{avg,LH}} \quad (2.21)$$

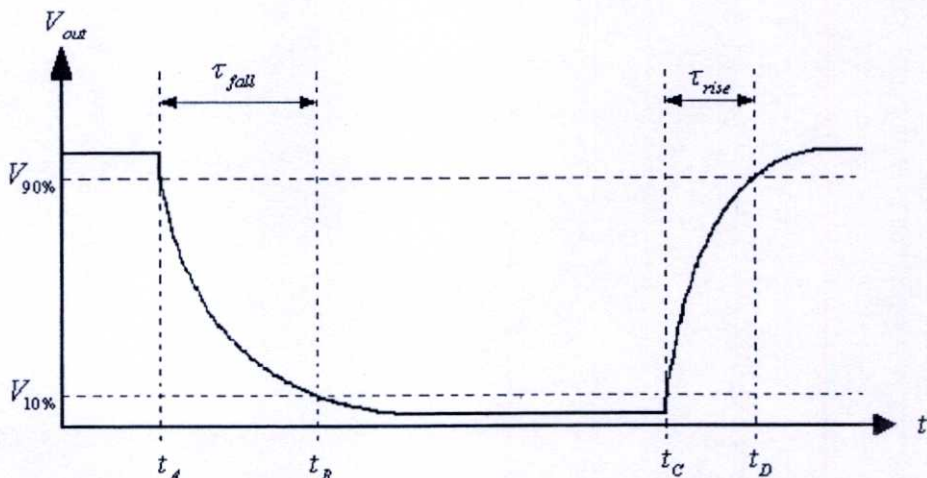
และค่าเฉลี่ยของค่าหน่วงเวลา (Propagation Delay Time) τ_p สำหรับสัญญาณทางอินพุตโดยผ่านวงจรรีจิสเตอร์จะได้ดังสมการ

$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (2.22)$$

ในรูปที่ 2.14 เป็นการให้นิยามค่าหน่วงเวลาทั้งทางขาลงและทางขึ้นของแรงดันทางเอาต์พุต ซึ่งค่าหน่วงเวลาขึ้น τ_{rise} เป็นช่วงเวลาของแรงดันทางอินพุตที่เพิ่มจากระดับแรงดันทางเอาต์พุตที่เพิ่มระดับแรงดัน $V_{10\%}$ จนถึงระดับแรงดัน $V_{90\%}$ เหมือนกันกับค่าหน่วงเวลาขาลง τ_{fall} เป็นช่วงเวลาของแรงดันทางเอาต์พุตที่ลดลงจากระดับ $V_{90\%}$ จนถึงระดับแรงดัน $V_{10\%}$ และระดับแรงดัน $V_{10\%}$ และ $V_{90\%}$ มีสมการดังนี้

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \quad (2.23)$$

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \quad (2.24)$$



รูปที่ 2.14 ช่วงเวลาขึ้นและขาลงของแรงดันเอาต์พุต

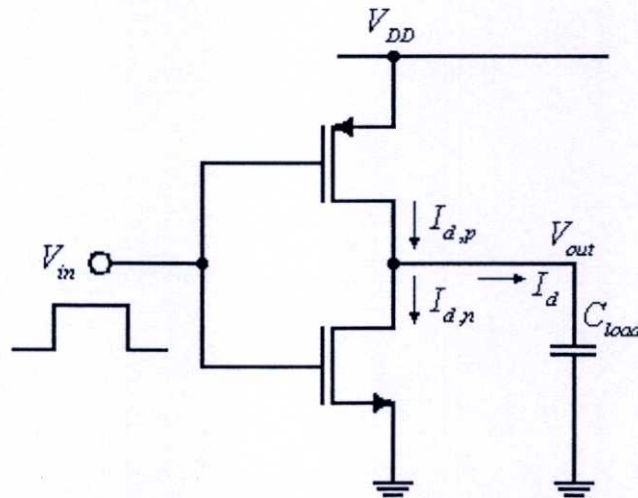
ดังนั้นช่วงขาสูงและขาขึ้นของแรงดันเอาต์พุตสามารถหาได้จากรูปที่ 2.14 ดังนี้

$$\begin{aligned}\tau_{rise} &= t_B - t_A \\ \tau_{fall} &= t_D - t_C\end{aligned}\quad (2.25)$$

หมายเหตุ : สามารถใช้นิยามเกี่ยวกับค่าหน่วยเวลาที่ระดับ 20% และ 80% ก็ได้

2.7 การหาค่ากำลังงานสูญเสีย

ในวงจรซีมอสจะแบ่งกำลังงานสูญเสียออกเป็น 2 ชนิดคือ แบบ Static Power Dissipation และแบบ Dynamic Power Dissipation ซึ่ง Static Power Dissipation หรือ DC Power dissipation จะเกิดขึ้นเมื่อวงจรซีมอสอินเวอร์เตอร์ทำงานในช่วง Steady-State ($V_{out} = V_{OH}$) และ ($V_{out} = V_{OL}$) แต่วงจรซีมอสจะไม่ดึงกระแสจากแหล่งจ่ายไฟเลี้ยง ฉะนั้นค่า DC Power Dissipation จึงไม่จำเป็นต้องคำนึงถึงเพราะมันมีค่าน้อยมาก ๆ ส่วนค่า Dynamic Power Dissipation ในวงจรซีมอสอินเวอร์เตอร์เกิดขึ้นในระหว่างสภาวะการสวิตช์ของโหลดคาปาซิเตอร์ทางเอาต์พุตในการเก็บประจุและคายประจุ



รูปที่ 2.15 วงจรซีมอสอินเวอร์เตอร์ ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation

พิจารณาวงจรซีมอสอินเวอร์เตอร์ในรูปที่ 2.15 สมมติแรงดันทางอินพุตเป็นรูปสี่เหลี่ยมในทางทฤษฎี โดยที่ไม่คำนึงถึงค่าหน่วยเวลาที่ขาขึ้นและขาสูง โดยทั่วไปรูปสัญญาณทางด้านอินพุตและเอาต์พุตและรูปคลื่นกระแสของโหลดคาปาซิเตอร์ที่แสดงในรูปที่ 2.15 เมื่อแรงดันทางด้านอินพุตสวิตช์จาก Low ไป High ทรานซิสเตอร์แบบพีมอส ในวงจรจะไม่ทำงาน แต่ทรานซิสเตอร์เอ็นมอสจะเริ่มนำกระแสในระหว่างเฟสนี้ โหลดคาปาซิเตอร์ C_{load} จะคายประจุโดยผ่านทรานซิสเตอร์แบบเอ็นมอส ดังนั้นกระแสโหลดคาปาซิเตอร์ จึงเท่ากับกระแสเดรนของ

ทรานซิสเตอร์แบบเอ็นมอส เมื่อแรงดันทางอินพุตสวิทช์จาก High ไปหา Low ทรานซิสเตอร์แบบเอ็นมอสในวงจรจะหยุดทำงาน แต่ทรานซิสเตอร์แบบพีมอสเริ่มนำกระแส ในระหว่างเฟสนี้ โหลดคาปาซิเตอร์ C_{load} ก็เริ่มเก็บประจุโดยผ่านทางทรานซิสเตอร์แบบพีมอส ฉะนั้นกระแสของโหลดคาปาซิเตอร์เท่ากับกระแสเดรนของทรานซิสเตอร์แบบพีมอส

สมมติว่า t เป็นคาบเวลา 1 คาบของรูปสี่เหลี่ยมสัญญาณทางอินพุตและเอาต์พุต ฉะนั้นค่าเฉลี่ย Power Dissipation ของวงจรในหนึ่งคาบเวลาสามารถหาได้ดังนี้

$$P_{avg} = \frac{1}{T} \int_0^T V(t)i(t)dt \quad (2.26)$$

โดยที่

T คือ ช่วงเวลา 1 คาบของสัญญาณนาฬิกา

t คือ ช่วงเวลา 1 คาบของสัญญาณทางอินพุตและเอาต์พุต

V คือ แรงดัน

i คือ กระแส

ในระหว่างที่มอสทรานซิสเตอร์ทำการสวิทช์นั้น ทั้งเอ็นมอสและพีมอสในวงจรซีมอสอินเวอร์เตอร์จะนำกระแสทุก ๆ ครั้งหนึ่งของคาบเวลา ดังนั้นค่าเฉลี่ย Power Dissipation ของวงจรซีมอสอินเวอร์เตอร์ สามารถคำนวณหาค่า Power ที่ต้องการได้จากการเก็บประจุและคายประจุของโหลดคาปาซิเตอร์

$$P_{avg} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} V_{out} - \left(C_{load} \frac{dV_{out}}{dt} \right) dt + \int_{\frac{T}{2}}^T (V_{DD} - V_{out}) \left(C_{load} \frac{dV_{out}}{dt} \right) dt \right] \quad (2.27)$$

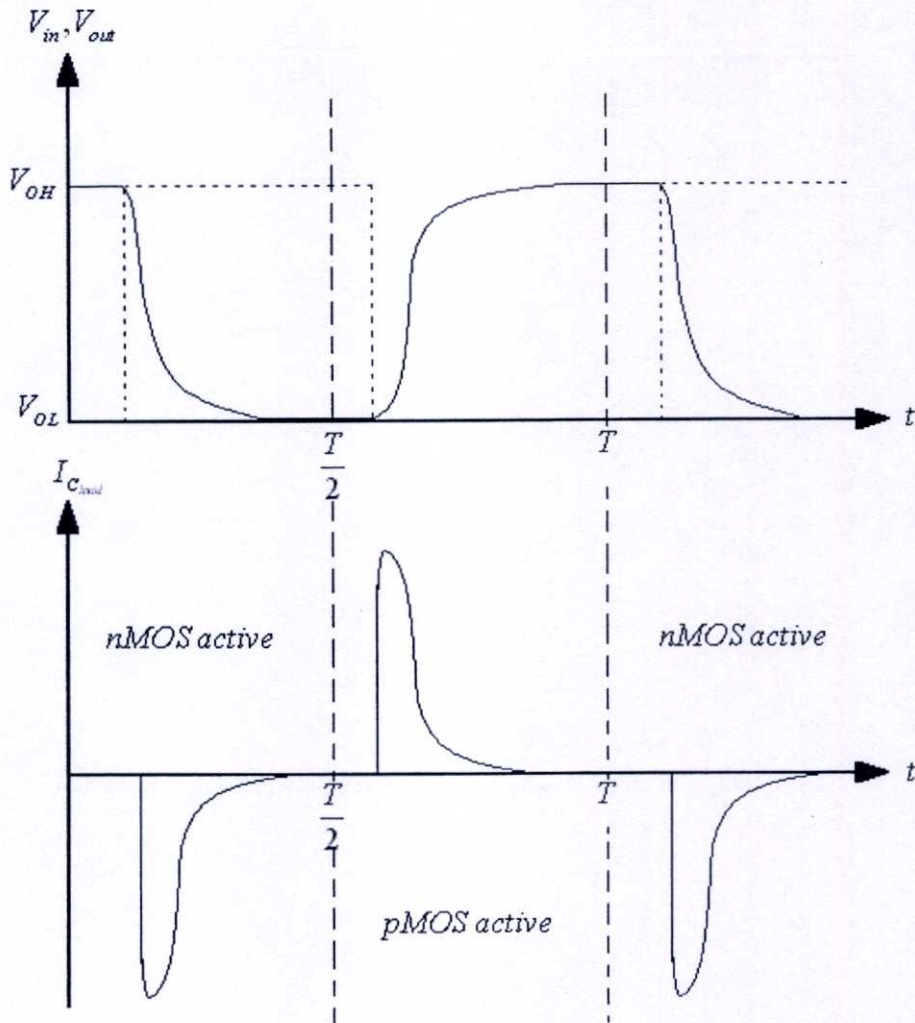
การคำนวณ Integrate ในสมการที่ (2.25) เราจะได้

$$P_{avg} = \frac{1}{T} \left[\left(-C_{load} \frac{V_{out}^2}{2} \right) \Big|_0^{\frac{T}{2}} + \left(V_{DD} V_{out} C_{load} - \frac{1}{2} C_{load} V_{out}^2 \right) \Big|_{\frac{T}{2}}^T \right] \quad (2.28)$$

$$P_{avg} = \frac{1}{T} C_{load} V_{DD}^2 \quad (2.29)$$

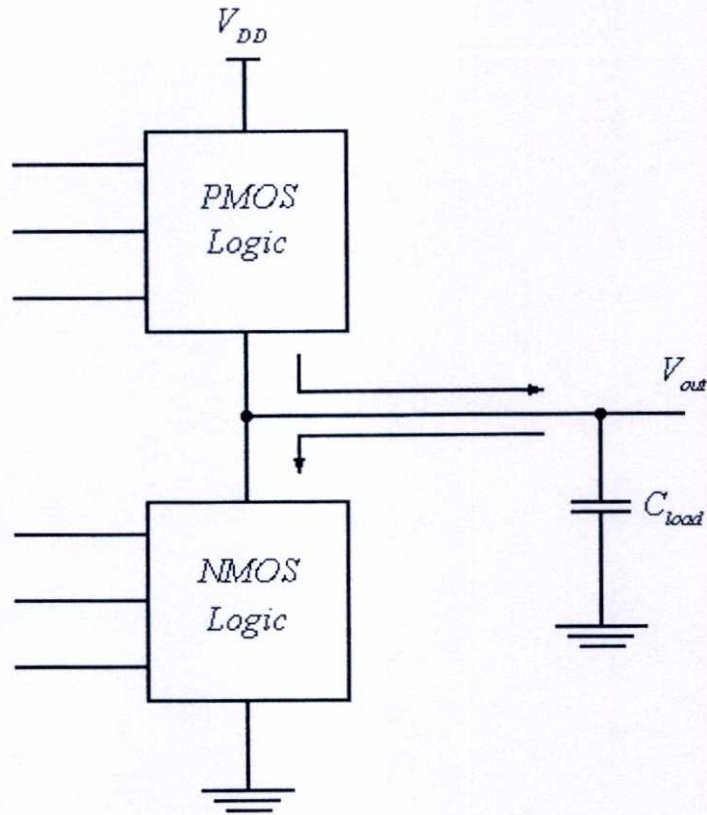
ซึ่ง $f = \frac{1}{T}$ จากนั้นสามารถเขียนได้ดังนี้

$$P_{avg} = C_{load} V_{DD}^2 f \quad (2.30)$$



รูปที่ 2.16 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรมอสอินเวอร์เตอร์

เห็นได้ชัดว่าค่าเฉลี่ย Power Dissipation ของวงจรมอสอินเวอร์เตอร์ในสมการที่ (2.30) จะมีองค์ประกอบของกำลังงานที่ต้องสูญเสียไปในขั้นตอนของการสวิตช์ที่ตัวเก็บประจุทางด้านเอาต์พุตจากค่า V_{OL} ไปหาค่า V_{OH} ตลอดจนแรงดันกับความถี่ที่ทำงานอยู่ในขณะนั้น และถ้าพิจารณาที่ความถี่ในการทำงาน (f) ก็จะเห็นว่าเป็นอัตราส่วนกับความถี่ในการสวิตช์ (f) เพราะฉะนั้นข้อดีของวงจรมอสที่ใช้กำลังงานต่ำในการทำงาน จึงเป็นจุดเด่นในการนำไปใช้งานทางด้านความเร็วสูง ซึ่งส่วนมากแล้ววงจรทางด้านความเร็วสูงก็ต้องใช้ความถี่ในการสวิตช์ที่สูงด้วย และนอกเหนือจากที่ได้กล่าวมาแล้ว ค่าเฉลี่ย Power Dissipation จะขึ้นอยู่กับลักษณะและขนาดของทรานซิสเตอร์ ตลอดจนกำหนดช่วงเวลาในระหว่างการสวิตช์ที่จะเกิดขึ้นในวงจรด้วย



รูปที่ 2.17 วงจรซีมอส Logic โดยทั่วไป

จากสมการกำลังงานที่เกิดจากการสวิตช์ของวงจรมอสอินเวอร์เตอร์ เราสามารถแสดงให้เห็นในรูปแบบของวงจรมอส Logic โดยทั่วไปได้ดังในรูปที่ 2.17 ซึ่งวงจรมอสสถิตย์ (CMOS Logic) จะประกอบด้วย NMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับกราวด์และ PMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับแรงดันไฟเลี้ยง V_{DD}

ในกรณีวงจรมอสอินเวอร์เตอร์ทั่วไปนั้น ทั้งส่วน PMOS Block หรือ NMOS Block สามารถนำกระแสโดยขึ้นอยู่กับสัญญาณทางอินพุต แต่ไม่ใช่ในเวลาเดียวกัน ดังนั้นกำลังงานสูญเสียที่เกิดจากการสวิตช์ เป็นการสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์ทางเอาต์พุต

สรุปโดยรวม ถ้าค่าคาปาซิเตอร์ทั้งหมดที่อยู่ภายในวงจรมีค่ามากที่โหนดเอาต์พุต จะทำให้เกิดผลกระทบกับประสิทธิภาพโดยรวมของวงจรด้วย ถ้าแรงดันเอาต์พุตแกว่งในช่วง 0 ถึง V_{DD} และถ้ารูปคลื่นสัญญาณอินพุตเป็นรูปคลื่นสี่เหลี่ยมทางทฤษฎีค่าเฉลี่ย Switching Power Dissipation สามารถแสดงได้ในสมการที่ (2.30) จะใช้ได้ในทุก ๆ วงจรมอสสถิตย์

ภายใต้เงื่อนไขที่เป็นจริงเมื่อรูปคลื่นสัญญาณทางอินพุต Step Input ไม่เป็นอย่างทฤษฎีและค่าหน่วยเวลาที่ขยับขึ้นและขาลงไม่เป็น 0 สำหรับตัวอย่าง N-MOS และ P-MOS ทรานซิสเตอร์จะนำกระแสพร้อมกัน ซึ่งเป็นผลรวมของกระแสที่เกิดขึ้นระหว่างการสวิตช์นี้เรียกว่า กระแสลัดวงจร ซึ่งในกรณีทรานซิสเตอร์ จะนำกระแสจากไฟเลี้ยง V_{DD} ไปหากราวด์ ฉะนั้นค่ากำลังงานสูญเสียที่

เกิดขึ้นในเวลาวงจร Short Circuit ไม่สามารถคำนวณได้ตามสมการที่ (2.30) ได้ ซึ่งกระแสที่เกิดจากการ Short Circuit ไม่ทำให้เกิดการเก็บประจุหรือคายประจุของคาปาซิเตอร์ทางเอาต์พุต จึงจำเป็นต้องรู้ค่ากำลังงานสูญเสียในส่วนนี้ด้วย เพราะจะสามารถอธิบายลักษณะที่ไม่เป็นไปตามเงื่อนไขทางทฤษฎี ถ้าโหลดคาปาซิเตอร์มีค่ามากขึ้น ในทางตรงกันข้ามค่ากำลังงานสูญเสียที่เกิดจากการ Short Circuit นี้ไม่จำเป็นต้องคำนึงถึง เพราะจะมีค่าน้อยมาก ๆ ถ้าเปรียบเทียบกับกำลังงานสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์

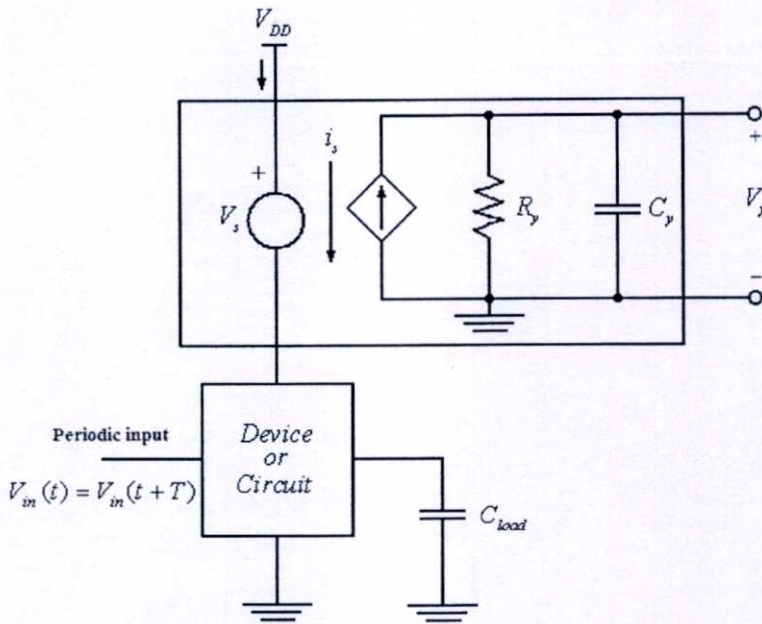
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร

การจำลองการทำงานของวงจร เพื่อหาค่าเฉลี่ยกำลังงานสูญเสียที่สร้างเอง (ซึ่งรวมค่าที่เกิดจากการ Short Circuit และกระแสรั่วไหล) ภายใต้เงื่อนไขการทำงานจริง [5] อ้างอิงตามสมการที่ (2.30) ค่ากำลังงานสูญเสียของทุกอุปกรณ์หรือวงจรที่ป้อนด้วยรูปคลื่นสัญญาณทางอินพุตสามารถหาได้จากแรงดันตามเวลา v และกระแสตามเวลา i ที่อยู่ในหนึ่งช่วงรูปคลื่นสัญญาณ ถ้าเราจำเป็นต้องหาค่าเฉลี่ย P_{avg} ที่ดึงจากแหล่งจ่ายไฟเลี้ยงที่เป็นค่าคงที่

การใช้รูปแบบการจำลองการทำงาน [5] ที่เรียกว่า Power Meter เราสามารถแสดงค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจรที่เรากำหนดเองที่มีสัญญาณอินพุต 1 คาบเวลา ด้วยวิธี Transient Circuit เพื่อจำลองการทำงาน โดยพิจารณาตามโครงสร้างดังแสดงในรูปที่ 2.18 ซึ่งในที่นี้แรงดัน Zero-Volt ไม่ขึ้นกับแหล่งจ่ายถูกต่ออนุกรมเข้ากับแหล่งจ่ายไฟเลี้ยง V_{DD} ของอุปกรณ์ เพราะฉะนั้นกระแสจากแรงจ่ายแรงดันไฟฟ้าที่เปลี่ยนแปลงตามเวลา $i_{DD}(t)$ จะเป็นการดึงกระแสจากวงจรโดยผ่านแหล่งจ่าย Zero-Volt จึงมีค่า $i_s(t) = i_{DD}(t)$

วิธีการวัดกำลังงานของวงจรประกอบด้วย 3 ส่วนคือ กระแสควบคุมแหล่งจ่ายกระแสที่เป็นแบบเส้นตรง คาปาซิเตอร์และตัวต้านทาน ทั้งหมดถูกต่อขนานกัน สมการกระแสสำหรับจุดรวมของวงจรที่ใช้ในการวัดกำลังงานสามารถเขียนได้ดังนี้

$$C_y \frac{dV_y}{dt} = \beta i_s - \frac{V_y}{R_y} \quad (2.31)$$



รูปที่ 2.18 วงจรการวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร

เงื่อนไขเริ่มต้นของจุดวัดแรงดัน V_y จะถูกตั้งไว้ที่ $V_y(0) = 0$ จากนั้นก็สามารถหาค่า $V_y(t)$ ตามค่าเวลาด้วยการ Integrate สมการที่ (2.31)

$$V_y(t) = \frac{\beta}{C_y} \int_0^t e^{-\frac{1}{R_y C_y}(t-\tau)} i_{DD}(\tau) d\tau \quad (2.32)$$

สมมติว่า $R_y C_y \gg T$ ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งช่วงคาบเวลา สามารถที่จะประมาณค่าได้ดังนี้

$$V_y(T) = \frac{\beta}{C_y} \int_0^T i_{DD}(\tau) d\tau \quad (2.33)$$

ถ้าค่าสัมประสิทธิ์คองที่ แหล่งจ่ายกระแสควบคุมจะสามารถควบคุมการจ่ายกระแสได้ดังนี้

$$\beta = V_{DD} \frac{C_y}{T} \quad (2.34)$$

ค่าแรงดัน $V_y(t)$ ที่จุดสิ้นสุดของ 1 คาบเวลาจะหาค่า Transient จำลองการทำงานได้ดังนี้

$$V_y(T) = V_{DD} \frac{1}{T} \int_0^T i_{DD}(\tau) d\tau \quad (2.35)$$

จากสมการที่ (2.34) ทางด้านขวา เป็นผลของค่ากำลังงานเฉลี่ยที่ดึงจากแหล่งจ่ายไฟเลี้ยงใน 1 คาบเวลา ดังนั้นค่าแรงดันโหนด $V_y(T)$ ที่ $t=T$ เป็นค่ากำลังงานสูญเสียเฉลี่ยของวงจรวิธีการวัดกำลังงาน ดังแสดงในรูปที่ 2.11 สามารถนำมาใช้ในการจำลองการทำงานของวงจรทั่วไปได้ด้วย โปรแกรมการจำลองการทำงาน เช่น PSPICE และเพื่อประเมินค่ากำลังงานสูญเสียของวงจรที่มีความซับซ้อนให้ได้อย่างแม่นยำ อีกส่วนหนึ่งที่ต้องให้ความสำคัญคือ วงจรวิธีวัดค่ากำลังงานจะต้องนำเอาผลลัพธ์มารวมกับค่ากำลังงานสูญเสียที่เกิดจากกระแส Short Circuit ที่เกิดขึ้นด้วย ซึ่งมันจะเกิดขึ้นเมื่อสัญญาณทางอินพุทไม่เป็นไปตามทฤษฎี

พิจารณาวจรซิมอสอินเวอร์เตอร์ ดังแสดงในรูปที่ (2.18) สมมติให้สัญญาณทางอินพุทเป็นรูปคลื่นสี่เหลี่ยมที่มีคาบเวลา $T = 20$ ns และโหลดคาปาซิเตอร์ทางด้านเอาต์พุทเท่ากับ 1 pF แหล่งจ่ายไฟเลี้ยง 5 V นำสมการที่ (2.28) เป็นสมการหาค่ากำลังงานสูญเสียเฉลี่ยทาง Dynamic เราสามารถหาค่าได้เท่ากับ $P_{avg} = 1.25$ mW

2.7.2 การหาค่าอัตราการกินกำลังงาน

ค่าอัตราการกินกำลังงาน (Power Delay Product, PDP) [6] เป็นตัวแปรขั้นต้นที่เลือกใช้ในการวัดคุณภาพและประสิทธิภาพของกระบวนการซิมอสที่ออกแบบ Gate ต่าง ๆ ในทาง Physic ค่า Power Product สามารถอธิบายถึงค่าพลังงานเฉลี่ยของเกทในการสวิตช์ของแรงดันทางด้านเอาต์พุท จาก Low ไปหา High และจาก High ไปหา Low จะสามารถเห็นพลังงานที่สูญเสียในวงจร CMOS Logic Gate ได้ โดยที่ PMOS Network ขณะที่โหลดคาปาซิเตอร์ทางเอาต์พุท C_{load} เริ่มเก็บประจุจาก 0 ไปหา C_{load} และที่ NMOS Network ขณะที่โหลดคาปาซิเตอร์ทางเอาต์พุท C_{load} เริ่มคายประจุจาก V_{DD} ไปหา 0

จากขั้นตอนการวิเคราะห์การหาค่ากำลังงานสูญเสีย (Power Dissipation) ที่ผ่านมา สมการค่าเฉลี่ยในการหาค่า Power Delay Product (PDP) จะมีส่วนที่เหมือนกับสมการการหาค่าเฉลี่ย Dynamic Power Dissipation ดังสมการที่ (2.30) โดยจะไม่คำนึงถึงกระแสที่เกิดจากวงจร Short Circuit และกระแสรั่วไหลของวงจร ดังนั้นผลรวมของพลังงานทางเอาต์พุทและเวลาในการสวิตช์จะเขียนได้ดังนี้

$$PDP = C_{load} V_{DD}^2 f \quad (2.36)$$

การอธิบายพลังงานด้านสมการที่ (2.35) เป็นค่าการสูญเสียหลัก ที่ทำให้เกิดความร้อนเมื่อทรานซิสเตอร์แบบเอ็นมอสและพีมอสนำกระแสระหว่างสวิตช์ เพราะฉะนั้น จากการออกแบบ Point - of - view โดยทั่วไปสิ่งที่ต้องการก็คือ Power Delay Product ซึ่ง PDP เป็น Function ของ โหลดคาปาซิเตอร์ทางเอาต์พุทและแหล่งจ่ายแรงดันไฟฟ้า ดังนั้นสำหรับนักออกแบบควรรออกแบบ

วงจร CMOS Logic Gate ให้ค่า C_{load} และค่าแรงดันจากแหล่งจ่าย V_{DD} มีค่าน้อยที่สุดเท่าที่จะทำได้ และค่าของ Power Delay Product (PDP) สามารถนิยามได้ดังนี้

$$PDP = 2P_{avg}\tau_p \quad (2.37)$$

โดยที่

P_{avg} คือ ค่าการใช้กำลังงาน โดยเฉลี่ยขณะสวิตช์ ที่ความถี่ทำงานสูงสุด

τ_p คือ ค่าหน่วงเวลา (Propagation Delay)

จากที่ Factor ทั้ง 2 ตัว คือแรงดัน (V_{DD}) และประจุ (C_{load}) ในสมการที่ (2.36) ซึ่งเป็นผลเกิดจากเอาต์พุตทรานซิสเตอร์ที่สวิตช์จาก Low ไปหา High และจาก High ไปหา Low ดังนั้นจากสมการที่ (2.30) และ (2.22) สามารถนำมาเขียนแทนลงในสมการที่ (2.37) ได้ดังนี้

$$\begin{aligned} PDP &= 2(C_{load}V_{DD}^2f_{max})\tau_p \\ &= 2C_{load}V_{DD}^2\left(\frac{1}{\tau_{PHL} + \tau_{PLH}}\right)\left(\frac{\tau_{PHL} + \tau_{PLH}}{2}\right) \\ &= C_{load}V_{DD}^2 \end{aligned} \quad (2.38)$$

ซึ่งจะเห็นได้ว่าเหมือนกับสมการ (2.30) การคำนวณค่า PDP ด้วยค่า P_{avg} ในสมการที่ (2.30) นั้น บางทีผลที่ได้รับใน Misleading Interpretation จะเป็นผลรวมของพลังงานต่อสถานการณ์สวิตช์ที่เป็นฟังก์ชันการทำงานทางความถี่

1.8 สรุป

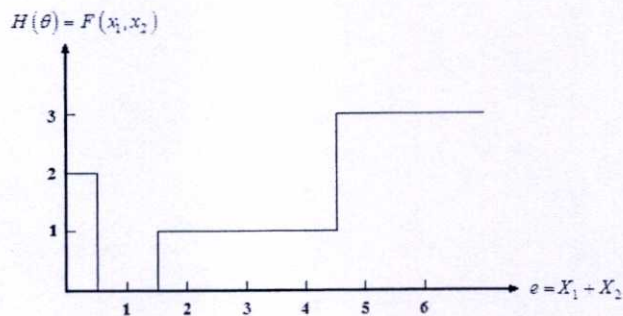
จากทฤษฎีการทำงานของมอสทรานซิสเตอร์ที่ได้กล่าวมาในบทนี้ ทำให้ทราบถึงรายละเอียดและโครงสร้างการทำงานและคุณสมบัติทางสัปดาห์กับกระแสของมอสทรานซิสเตอร์ การทำงานของมอสทรานซิสเตอร์ สามารถแบ่งเป็น 3 ช่วงคือ ช่วงหยุดการทำงาน (Cut-off Region) ช่วงการทำงานแบบไม่อิ่มตัว (Non-Saturation) และช่วงอิ่มตัว (Saturation) โดยแต่ละช่วงนั้น ฟังก์ชันสัปดาห์กับกระแสทรานซิสเตอร์นั้นแตกต่างกันไป ซึ่งในการออกแบบจะต้องกำหนดให้เหมาะสมกับการทำงานในช่วงนั้น ๆ และในบทนี้ยังแสดงวิธีการหาค่าหน่วงเวลา การหาค่ากำลังงานสูญเสีย การจำลองการวัดกำลังงานสูญเสีย โดยจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE

บทที่ 3

ทฤษฎีของลอจิกหลายระดับสัญญาณ

3.1 นิยามและคำจำกัดความ

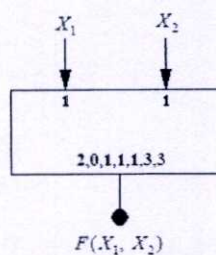
สัญญาณหลายระดับในเลขฐาน R ถูกสร้างขึ้นเพื่อกำหนดเขตค่าของสัญญาณที่มีการเปลี่ยนแปลงซึ่งอาจจะอยู่ในรูปของแรงดัน กระแสหรือการอัดประจุ (Charge) โดยสัญญาณจะต้องมีลักษณะสำคัญ 2 ประการคือ เขตโดยทั่วไปทั้งหมดจะขยายออกไปในทิศทางเดียวเท่านั้น ประกอบด้วย $0, 1, 2, 3, \dots, (R-2), (R-1)$ ซึ่งเป็นเขตของ R อย่างที่สองเรียกว่า Balance ซึ่งจะต้องอยู่ภายใต้เลขฐานที่เป็นค่าคงที่ โดยที่ $R = 2k+1$ และค่า $(+k), (1-k), \dots, -2, -1, 0, 1, \dots, (k-1), (k)$ [7, 8] ได้ให้คำจำกัดความและอ้างอิงถึงค่ามาตรฐานของลอจิกและความสัมพันธ์ของแต่ละช่วง ระหว่างค่าลอจิกและ Physical Variable โดยปกติค่าลอจิกบวกจะถูกกำหนดให้เป็น High คือ $(0, 1, 2, 3, \dots, R-1)$ เมื่อมีการใช้คำจำกัดความอื่น ๆ แทนอินพุทของสัญญาณอินพุทของอุปกรณ์ เช่นการใช้ Label แสดงรายชื่อของค่าต่าง ๆ ที่สัมพันธ์กันยกตัวอย่างเช่น ในวงจรเลขฐาน 4 ซึ่งสมมติอินพุทให้เป็น $(0, 1, 2, 3)$ และมีค่า Label $(1, 2, 3, 0)$ ซึ่งแสดงว่าค่า Label จะมีค่ามากกว่าอินพุทอยู่ค่าหนึ่งเสมอ ในระบบที่มีการเชื่อมต่อแบบวงกลมที่ซึ่ง 0 จะมีค่า $(R-1)$ เช่นวงจร Successor, $Suc(x) = (x+1) \bmod R$ ซึ่งจะเรียกเกทประเภทนี้ว่า Clockwise Cycle ได้แก่ $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y, R) = (1, 4)$ หรือ Counter Clockwise Cycle $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y, R) = (3, 4)$



(a)

$X_2 \backslash X_1$		$F(X_1, X_2)$			
		0	1	2	3
0		2	0	1	1
1		0	1	1	1
2		1	1	1	3
3		1	1	3	3

(b)



(c)

รูปที่ 3.1 คุณลักษณะการส่งผ่านและสัญญาณของเกท MT(4)

ในกรณีที่วงจรมี 2 อินพุทหรือมากกว่าค่าจำกัดความข้างต้นยังสามารถใช้งานได้ ถ้าอินพุททั้งหมดอยู่ในรูปของ Label ซึ่งในกรณีนี้ การรวมกันทั้งหมดของ R ของ R^n ในกรณีที่ n อินพุท R ค่าวงจรถ้าสามารถจำกัดความได้หรือสามารถใช้ตารางที่แสดงในรูปที่ 3.1 ได้

จากตารางที่ 3.1 จะแสดงถึงการรวมกันของฟังก์ชันสัญญาณหลายระดับจำนวนมากไปถึงตัวอย่างของค่าจำกัดความทางบวกที่กล่าวไปแล้ว ฟังก์ชันนี้จะมีอยู่ 2 เซต ซึ่งง่ายต่อการสร้างวิเคราะห์และสังเคราะห์ แต่อย่างไรก็ตาม ทั้ง 2 เซตนี้ยังไม่สามารถแยกความสัมพันธ์ได้อย่างสมบูรณ์ สิ่งหนึ่งที่เราสามารถสังเกตได้ในเซตทั้งสองคือ ความสัมพันธ์ระหว่างฟังก์ชัน ดังแสดงในตารางที่ 3.1 ตัวอย่างของเกท Cycling อยู่จะมี 2 ชนิด โดยพิจารณาแต่ละตัว เป็นฟังก์ชัน 2 ตัวแปรซึ่งมีความสัมพันธ์ดังนี้

$$\overline{X^y} = \overline{X^z} \quad \text{เมื่อ } Z = R - y \quad (3.1)$$

เช่นเดียวกับ Interval และ Literal เกทจะถูกสร้างให้มีความสัมพันธ์ดังนี้

$${}^a X^b = (R-1) [{}^a X^b] \quad (3.2)$$

และ

$$[{}^a X^b] = \min(1, {}^a X^b) \quad (3.3)$$

โดย (R-1) หมายถึงการคูณ

ตารางที่ 3.1 ฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

No.	Common name	Symbolic Notation			Valued Condition
		Primary	Secondary	Positional 1 Base 4 Example a=1, b=2, y=x	
1	Restoring Identity	X		<0 1 2 3>	X Standardized
2	(Diametrical) Inverse or Complement	\overline{X}		<3 2 1 0>	$(R-1)-x$
3	Maximum	$\max(xy)$	$X + y$ $X \vee y$	<3 2 2 3>	X if $x \geq y$, else y

ตารางที่ 3.1 (ต่อ) ฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

4	Minimum	$\min(xy)$	$x \cdot y$ $x \wedge y$	$\langle 0 \ 1 \ 1 \ 0 \rangle$	X if $x \leq y$, else y
5	Successor	\bar{x}	$Suc(x)$	$\langle 1 \ 2 \ 3 \ 0 \rangle$	$(x+1) \bmod R$
6	Cycle, (Clockwise Cycle)	\bar{x}^{-b}	$\bar{x}^{-1} = \bar{x}$	$\langle 2 \ 3 \ 0 \ 1 \rangle$	$(x+b) \bmod R$
7	Counter Cycle	\bar{x}^{-b}	$x^1 = \bar{x}$	$\langle 2 \ 3 \ 0 \ 1 \rangle$	$(x-b) \bmod R$
8	Literal Function	$a x^b$	$X(a,b)$	$\langle 0 \ 3 \ 3 \ 0 \rangle$	$(R-1)$ if $a \leq x \leq b$, else 0
9	Delta Literal J Function	$a x$	$J(x)a$	$\langle 0 \ 3 \ 0 \ 0 \rangle$	$(R-1)$ if $x = a$, else 0
10	Close Interval	$[a x^b]$		$\langle 0 \ 1 \ 0 \ 0 \rangle$	1 if $a \leq x \leq b$, else 0
11	Open Interval	$]a x^b[$		$\langle 0 \ 0 \ 0 \ 0 \rangle$	1 if $a < x < b$, else 0
12	Delta Interval	$a x$	$[a x^a]$	$\langle 0 \ 1 \ 0 \ 0 \rangle$	1 if $a = x$, else 0
13	Upper Closed Semi - Interval	$[a x$		$\langle 0 \ 1 \ 1 \ 1 \rangle$	1 if $a \leq x$, else 0
14	Lower Closed Semi - Interval	$x^a]$		$\langle 1 \ 1 \ 0 \ 0 \rangle$	1 if $a \leq x$, else 0
15	Lower Open Semi - Interval	$[a x$		$\langle 1 \ 0 \ 0 \ 0 \rangle$	1 if $a < x$, else 0
16	Upper Open Semi - Interval	$x^a]$		$\langle 0 \ 0 \ 1 \ 1 \rangle$	1 if $a < a$, else 0
17	Threshold Literal (Up)	$U_a^{(x)}$		$\langle 0 \ 1 \ 1 \ 1 \rangle$	1 if $x \geq a$, else 0
18	Step Literal (Down)	$D_a^{(x)}$		$\langle 1 \ 1 \ 0 \ 0 \rangle$	1 if $a \leq x$, else 0
19	Truncated Difference	$X \boxminus a$		$\langle 0 \ 0 \ 1 \ 2 \rangle$	$X - a$ if $x \geq a$, else 0
20	Limited Sum Truncated Sum	$X \boxplus a$		$\langle 1 \ 2 \ 3 \ 3 \rangle$	$X + a$ if $< (R-1)$, else $R-1$
21	Multiplex, Selection, Transmission, tree	$T(x, y, q)$		$\langle 0 \ 1 \ 2 \ 3 \rangle$ $\langle 3 \ 2 \ 1 \ 0 \rangle$	X if $q = 0$ Y if $q = 1$

ตารางที่ 3.1 (ต่อ) แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

22	Multi threshold MT(R)			$\langle p \ q \ r \ s \rangle$	Use a threshold Sum to look up table of values
23	MV NOR	$\overline{\min}(xy)$	$\text{Min}(\overline{xy})$	$\langle 0 \ 1 \ 1 \ 0 \rangle$	\overline{x} if $x \geq y$, else \overline{y}
24	MV NAND	$\overline{\max}(xy)$	$\text{Max}(\overline{xy})$	$\langle 3 \ 2 \ 2 \ 3 \rangle$	\overline{x} if $x \leq y$, else \overline{y}

ในส่วนหลังของสมการแรก ที่แสดงการวนรอบอย่างง่าย \overline{X}^1 ถึง \overline{X} จะมีความสอดคล้องกับ ฟังก์ชัน Successor ส่วนสมการที่ 2 สามารถสังเกตได้เป็นเคลด้าของตัวอักษรและเคลด้าของ ช่องว่างเมื่อ "X" และ $^aX^a$ จะถูกลดให้อยู่ในรูป X^a ซึ่งในบางกรณีนั้น อาจมีค่าไม่เท่ากันก็ได้ แต่ในสถานการณ์ที่แสดงนี้โดยปกติสามารถที่จะใช้ได้ ซึ่งมีฟังก์ชันลอจิก 2 อย่างที่จะกล่าวถึงคือ $T(x_0, x_1, \dots, x_{R-1}, q)$ [9] ซึ่งเป็นฟังก์ชันที่มีแนวคิดอย่างง่ายที่นิยามวงจรมัลติเพล็กซ์หรือฟังก์ชัน ตัวเลือกภายใต้การควบคุมของตัวแปรหลายระดับ (q) โดยทั่ว ๆ ไป ค่า q จะมีค่า k จึงทำให้ สัญญาณ x_k จำนวน k ตัว ถูกเลือกสำหรับการเชื่อมต่อไปยังเอาต์พุต [10] ถึงแม้ว่าแนวคิดนี้จะเป็น แนวความคิดแบบตรงและมีการใช้คำจำกัดความเมื่อไม่นานมานี้ แต่ในบางเทคโนโลยีเราอาจไม่สามารถสร้าง T เกทได้ง่ายนัก [11]

ในอีกกรณีหนึ่ง เกทแบบมัลติเทรตโฮลด์ฐาน R แทนด้วย MT(R) เกท [12] ซึ่งเป็นเกทที่ทำงาน ได้หลายหน้าที่ สามารถดำเนินการได้มากกว่าเกทตัวอื่น ๆ ด้วยฟังก์ชัน โลจิกแบบที่ 2 จะได้มาจาก ECL ซึ่งเป็นฟังก์ชันที่มีความสัมพันธ์อย่างง่ายและสามารถสร้างได้โดยตรง และจากรูปที่ 3.1 จะ แสดงเกทแบบ MT(R) ซึ่งอินทิเกรตแต่ละตัวจะถูกถ่วงน้ำหนัก (Weight) และถูกรวมและถูก เปรียบเทียบรวมอีกครั้งกับค่าสัญญาณหลายระดับอ้างอิงสำหรับแต่ละค่าของอินพุต ผลรวมถ่วง น้ำหนักจะเป็นตัวกำหนดเอาต์พุตโดยเฉพาะ ลักษณะของกระบวนการคล้ายกับตาราง ROM ที่ ค้นหาแอดเดรสของสัญญาณหลายระดับ และเอาต์พุตในตารางประกอบด้วยค่า H_1 - H_m เมื่อ m คือ จำนวนที่หาค่าได้จาก การนำสัญญาณอินพุตถ่วงน้ำหนักรวม วิธีการนี้จะใช้ในส่วนของการเลือกหรือลาเบล (Label) บน MT(R) เกท หรืออาจเขียนเป็นกราฟก็ได้ น้ำหนักของอินพุตจะถูกกำหนดใน รายการลำดับที่สอง ซึ่งแต่ละเทอมจะมีความสัมพันธ์กับอินพุต โดยเงื่อนไขบางอย่างหรือการติดลาเบล (Label) ไปกับอินพุตแต่ละตัวบนสัญลักษณ์ของลอจิก ซึ่งแสดงให้เห็นว่า MT(R) เกทจะมีความเหมาะสมกับการดำเนินการทางคณิตศาสตร์ (บวก, ลบ) แต่ถ้าจะเหมาะสมกับการดำเนินการที่เป็นช่วงหรือมีระยะ [MAX, MIN] [13] ในการสร้างวงจรลอจิกฟังก์ชันของระบบไบนารีที่มีเลข ฐานต่ำอาจใช้รีเลย์ (Relay), Vacuum tube หรือทรานซิสเตอร์ ซึ่งง่ายต่อการกำหนดให้มันทำงาน หรือไม่ทำงาน ในปัจจุบันการพัฒนาเลขฐาน 3 จะต้องประกอบด้วยค่ากลาง (Middle) ซึ่งจะอยู่ ระหว่างค่า 2 ค่า [7,8] โดยการกำหนดให้ตัวอุปกรณ์ทำงานทั้งคู่หรือไม่ทำงานทั้งคู่ [12] สำหรับเลข

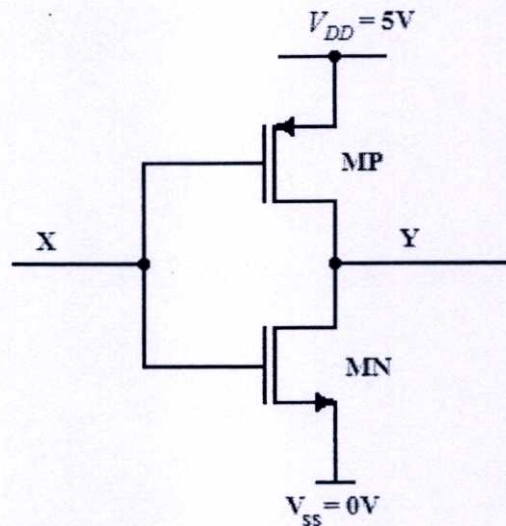
ฐาน 4 ขอบกตัวอย่างเช่น การเข้ารหัสของเลขฐาน 2 ซึ่งอยู่ในรูปของ $R=2^n$ ถ้าเลขฐานสูงขึ้น วงจรก็จะต้องการเทคนิคที่สูงขึ้น

3.2 พีชคณิตของโพสต์และวงจรม ค่า

ในการออกแบบวงจรรวมของทางไปนารีจะประกอบด้วยตัวโอเปอร์เรเตอร์ที่ใช้พื้นฐานของพีชคณิตบูลีน นั่นคือระดับของค่าลอจิก จะประกอบด้วย 0 และ 1 แต่ในลักษณะของ m -valued ในการออกแบบทั่ว ๆ ไป จะใช้พีชคณิตโพสต์ในการกำหนดค่า m ให้มีค่าตั้งแต่ 0 ถึง $m-1$ แต่ถ้าวงจรถูกทำงานในโหมดกระแสจะใช้เทรคโวลต์ฟังก์ชันแทน

3.3 วงจรม - valued

จากที่กล่าวไว้ข้างต้นแล้วว่า ในการออกแบบวงจรม - valued สามารถใช้เทคโนโลยีได้ 3 อย่างคือ การอัดประจุ (Charge) แรงดันและกระแส แต่โดยทั่วไปแล้วนิยมใช้แรงดันหรือกระแสมากกว่าในวงจประเภท CCD ซึ่งเป็นการอัดประจุ

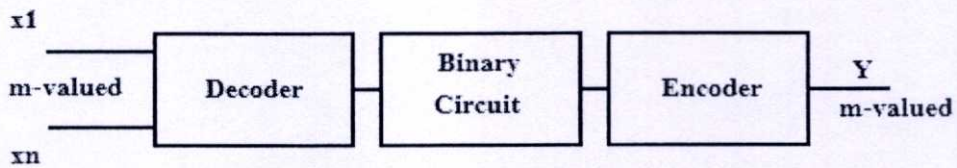


รูปที่ 3.2 วงจรอินเวอร์เตอร์พื้นฐาน

ดังเช่นรูปวงจรถที่ 3.2 เป็นวงจอินเวอร์เตอร์พื้นฐานโดยใช้แหล่งจ่ายไฟ 5 โวลต์ และภายในวงจรถจะประกอบด้วยทรานซิสเตอร์ PMOS และ NMOS ถ้าค่า $X < V_{TN}$ ถูกแทนด้วยแรงดันเทรคโวลต์ของ NMOS โดย MN จะไม่ทำงาน ส่วน MP ทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 5 โวลต์ เมื่อ $X > 5V - V_{TP}$ โดย V_{TP} จะถูกแทนด้วยแรงดันเทรคโวลต์ของ PMOS ดังนั้น MP จะไม่ทำงาน และ MN จะทำงาน ส่งผลให้เอาต์พุตที่ Y มีค่าเท่ากับ 0 โวลต์ ซึ่งเอาต์พุตที่ Y นั้น จะมีค่าอยู่

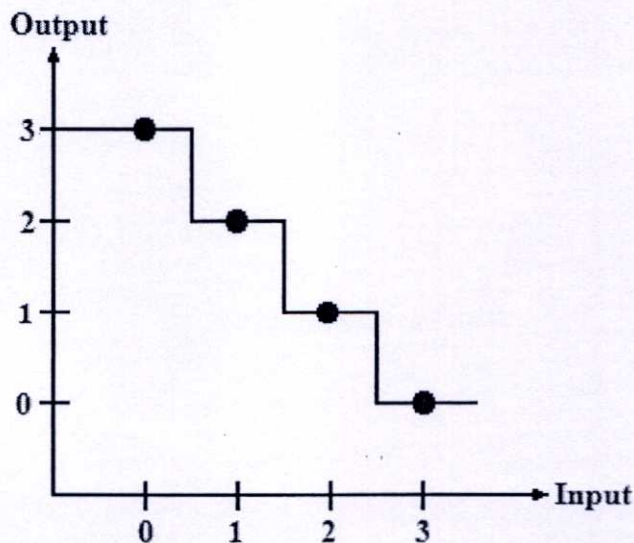
2 ค่า คือค่าลอจิก 0 และค่าลอจิก 1 (0V และ 5V) ส่วนในกรณีของวงจร m - valued จะมีค่าของระดับลอจิกมากกว่า 2 ระดับ และใช้พีชคณิตของโพสต์ เมื่อ m มีกำลังเป็น 2 สามารถโอเปอเรเตอร์พื้นฐานในการสร้างวงจรระบบ Monotonic ไว้ดังนี้

1. ค่า m จะถูกแทนให้อยู่ในรูปแบบของระดับแรงดัน กระแสหรือจำนวนของประจุก็ได้ วงจรเข้ารหัส (Encoder) คือวงจรที่มีอินพุตเป็นค่าไบนารี แต่ได้เอาต์พุตเป็น m - valued
2. ในการสร้างวงจรของระบบ Monotonic จะมีฟังก์ชันสำคัญคือ $D_i(x)$ และ $U_i(x)$ ซึ่งจะนำไปใช้เป็นตัวเข้ารหัส (Decoder) นั่นคือ อินพุตเป็น m - valued แต่จะได้เอาต์พุตเป็นค่าไบนารี (Two-valued) รูปแบบโดยทั่วไป จะแสดงให้เห็นดังรูปที่ 3.3



รูปที่ 3.3 บล็อกไดอะแกรมของวงจร m ค่า

วงจรลอจิกที่สร้างขึ้นใหม่นี้คือการสังเคราะห์เลขไบนารีของฟังก์ชันย่อย ส่วนวงจรเข้ารหัสคือ ผลจากการใช้พีชคณิตของโพสต์ ซึ่งทั้ง 2 อย่างนี้จะไม่รวมอยู่กับระบบ Monotonic ในบางกรณีจะไม่แสดงออกมาให้เห็นได้ชัด เช่นวงจร m - valued อินเวอร์เตอร์ ฟังก์ชันย่อยของไบนารี (Two-valued) จะเป็น Identity ฟังก์ชัน ซึ่งในแต่ละระดับจะมีค่า Noise Margin อยู่



รูปที่ 3.4 คุณลักษณะการส่งผ่านของอินเวอร์เตอร์แบบ 4 ค่า

การเปรียบเทียบระหว่าง m - valued และ Two-valued จะมีความยุ่งยากและซับซ้อนในการเข้ารหัสหรือถอดรหัส การสร้างวงจร m - valued จะมีฟังก์ชันที่เหมือนวงจร Two-valued แต่ในการเปรียบเทียบนี้จะต้องคำนึงถึงค่าหน่วงเวลา (Delay Time) และพื้นที่ของชิป

3.4 เทรคโฮลด์ฟังก์ชัน

เทรคโฮลด์ฟังก์ชันเป็นสับเซต (Subset) ของไบนารีฟังก์ชัน ซึ่งเทรคโฮลด์ฟังก์ชันได้มีการศึกษากันมาเป็นเวลานานแล้ว โดยฟังก์ชันนี้จะสามารถเขียนสมการได้ดังนี้

$$Y = 1 \quad \text{ถ้า} \quad \sum_1^n a_i x_i \geq T \quad (3.4)$$

โดยที่

0 เป็นกรณีอื่น ๆ

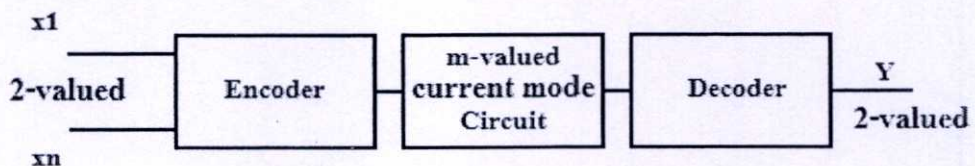
x_i คือการเปลี่ยนแปลงของอินพุต

a_i คือน้ำหนักของค่าสัมประสิทธิ์

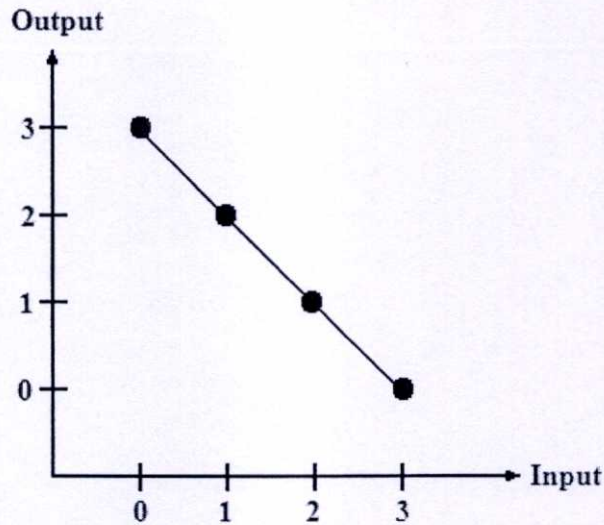
T คือค่าเทรคโฮลด์

ดังนั้น $a_i, T \in N$

เทรคโฮลด์ฟังก์ชันจะเป็นผลรวมกันทางอนาลอก (ε) ซึ่งคูณด้วยค่าคงที่ ($a_i x_i$) และทำการเปรียบเทียบกับค่าเทรคโฮลด์ (T) ผลรวมกันทางอนาลอกถ้าจะให้ง่ายต่อการคิด ควรจะอยู่ในรูปของกระแส (ตามกฎของเคอร์ชอฟ) ดังแสดงในรูปที่ 3.5 วงจร m - valued จะได้จากฟังก์ชันเทรคโฮลด์ของไบนารี



รูปที่ 3.5 บล็อกไดอะแกรมของเทรคโฮลด์ฟังก์ชัน



รูปที่ 3.6 คุณลักษณะทางไฟตรงของวงจรรอนาลอกอินเวอร์เตอร์แบบ 4 ค่า

3.5 การแทนค่าของสัญญาณในวงจรหลายระดับสัญญาณ

วิธีการออกแบบวงจรหลายระดับสัญญาณแบ่งได้เป็น 3 วิธีคือ โดยการอัดประจุ (Charge) โดยกระแสและโดยแรงดัน การอัดประจุสามารถนำมาออกแบบโดยใช้เทคโนโลยี Charge Coupled Device (CCD) ซึ่งวิธีนี้ส่วนมากใช้ออกแบบ Memory การออกแบบวงจรลจิกโดยใช้กฎของเคอร์ชอฟ ในวงจร Memory และการออกแบบวงจรลจิกแบบ Clocked Sequential ซึ่งทำให้สัญญาณมีการประมวลผลอย่างต่อเนื่องและช่วยกรองความถี่ ในการออกแบบโดยใช้การอัดประจุซึ่งเป็นเทคโนโลยีของ CCD แรงดันที่อยู่ภายในจะเป็นตัวคัปปลิงและเชื่อมต่อระหว่างอินพุตกับเอาต์พุตโดยปกติแล้วในการอินเตอร์เฟสจะใช้การเข้ารหัสแบบไบนารี ดังนั้นการเชื่อมต่อภายในยังคงใช้เลขฐานสองอยู่นอกจากนี้เทคโนโลยี CCD สามารถนำไปออกแบบวงจรเลขฐาน 4 และ 32 การออกแบบวงจรหลายระดับสัญญาณที่อยู่ในรูปของกระแสจะใช้เทคโนโลยี I^2L (MVI^2L) [14] แต่ส่วนใหญ่แล้วจะใช้เทคโนโลยี ECL (Emitter Coupled Logic) [13] ในการออกแบบซึ่งมีลักษณะเหมือนกับ MVI^2L การบวกหรือการลบของกระแสจะขึ้นอยู่กับเทรคโฮลด์ของตัวอุปกรณ์ เช่นการเปลี่ยนกระแสให้อยู่ในรูปของแรงดันจะใช้วงจรเปรียบเทียบเฟสโดยกำหนดค่าเทรคโฮลด์ให้ต่างกัน ในการออกแบบวงจรที่มีค่าเลขฐานสูง ๆ คือ ($R \geq 4$) การออกแบบโดยใช้ประจุและกระแส แต่ถ้าเป็นเลขฐาน 3 มักจะออกแบบให้อยู่ในโหมดแรงดันอุปกรณ์พวก MOS จะถูกนำมาใช้งานมาก เพราะมีค่าความต้านทานต่ำและมีค่าออฟเซ็ทเป็นศูนย์ [15] แต่ถ้าต้องการความเร็วในการทำงานต้องใช้เทคโนโลยีของวงจรรวมแบบแกลเลียมอาร์เซไนด์เมสเฟท (Gallium Arsenide MESFET, GaAs MESFET)

3.6 การควอนไทซ์ค่า

ในระบบทั้งหมดของวงจรถลอจิก ไม่ว่าจะเป็นวนจรแบบไบนารีหรือวงจรถหลายระดับสัญญาณ จะมีคุณสมบัติอยู่ 3 ประการคือ

Generation คือ จะอ้างถึงค่า Standard Logic ที่สร้างมาจาก Network

Transmission คือ จะอ้างถึงคุณสมบัติทาง Nonrestoring หรือ Nonstandard zing ยกตัวอย่างเช่น ไดโอดและบางส่วนของ MVI^2L

Detection คือ จะอ้างถึงสัญญาณลจิกที่ตรวจสอบความถูกต้องของจำนวน -Information

Range Over คือ การตรวจสอบลจิกไม่ให้มากกว่าขอบเขตที่กำหนด โดยจะขอเรียกขอบเขตนี้ "Noise Margin" โดยค่า Noise จะหมายถึงสัญญาณรบกวนหรือ Crosstalk จากตัวอุปกรณ์ตัวอื่นและแหล่งจ่ายไม่คงที่เป็นต้น อย่างไรก็ตาม ในระบบลจิกความเร็วเป็นสิ่งจำเป็น ดังนั้นวงจรถจำพวกความเร็วสูง (High Speed) จะไม่ใช่ Nonrestoring เป็นส่วนประกอบแต่จะใช้พวก Identified gate มากกว่า เช่น I^2L โดยจะมีขามิเตอร์หลายขาเป็นอินพุตและพวก ECL จะมีขามิเตอร์หลายขาเป็นเอาต์พุต

3.7 โหมดในการทำงานของวงจรถ

3.7.1 โหมดประจุ

พื้นฐานของอุปกรณ์ประเภทประจุนั้นคือ การคงค่าของประจุไว้ ซึ่งค่าความจุนี้จะอยู่ได้ เงื่อนไขของค่าทางเรขาคณิตและแรงดันควบคุม โดยค่าเก็บประจุสูงสุดจะได้ดังสมการดังนี้

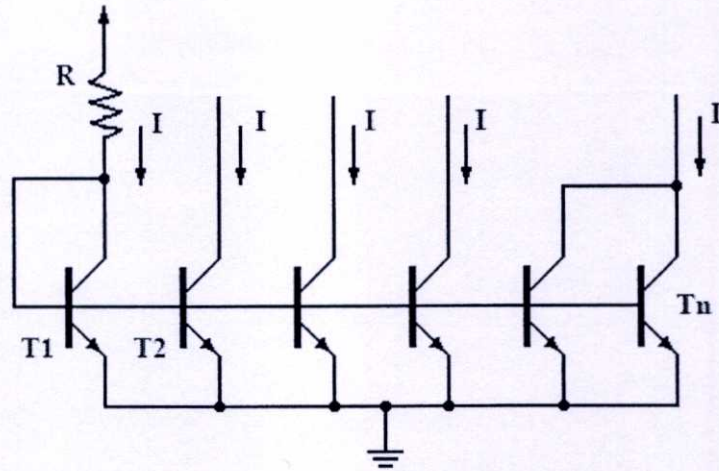
$$Q_{MAX} = C * (V_1 - V_2) * A \quad (3.5)$$

โดยที่

- A คือพื้นที่ในการเก็บประจุของตัวเกท
- V_1 คือระดับของแรงดันไฟฟ้า
- V_2 คือระดับของแรงดันไฟฟ้าที่สูงกว่า
- C คือค่าประจุ

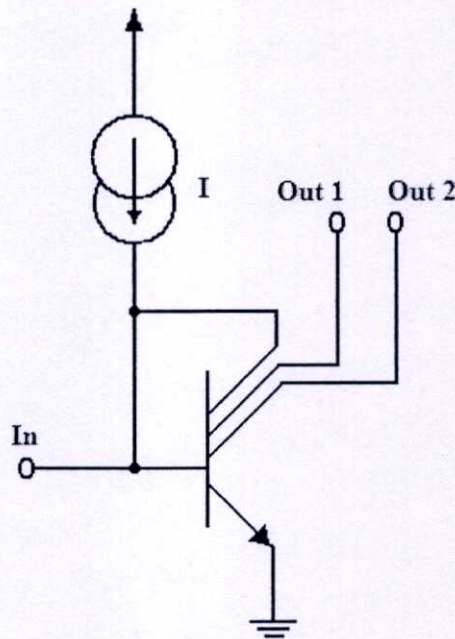
3.7.2 โหมดกระแส

ในวงจรถหลายระดับสัญญาณที่ทำงานในโหมดกระแส อุปกรณ์แต่ละตัวก็จะมีหน้าที่ กำเนิดกระแส ดังเช่นในการสร้างวงจรถรวม จะเห็นได้ว่าในการกำเนิดกระแสจะใช้วงจรถสะท้อนกระแส [14] แสดงดังรูปที่ 3.7



รูปที่ 3.7 วงจรสะท้อนกระแสที่ใช้สำหรับเทคโนโลยี TTL

จากรูปที่ 3.7 จะแสดงให้เห็นได้ว่า กระแสจะไหลผ่านค่าความต้านทาน จากนั้นจะไหลเข้าสู่ทรานซิสเตอร์ T_1 ซึ่งถูกต่อแบบไดโอดคอนเน็ค โดยแรงดันเบสอิมิตเตอร์ของแต่ละตัวตั้งแต่ T_2 ถึงจะมีกระแสไหลเหมือนกัน ซึ่งมีกระแสรวมเท่ากับ I และสามารถแยกออกไปเป็น $2I, 3I$ เป็นต้น



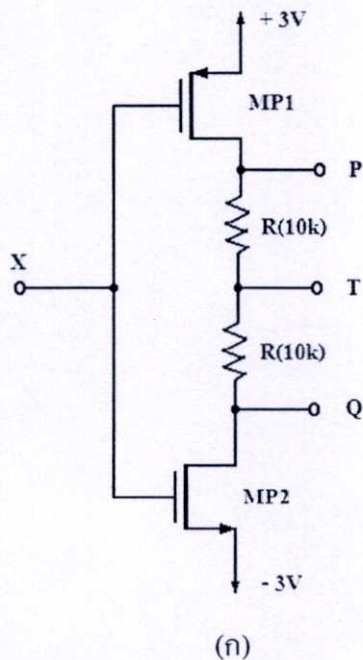
รูปที่ 3.8 เกทพื้นฐานที่ใช้สำหรับเทคโนโลยี I^2L

ในรูปที่ 3.8 จะแสดงตัวอุปกรณ์ที่ใช้เทคโนโลยีของ MVI^2L จะสังเกตเห็นว่าอุปกรณ์ตัวหนึ่งจะมีขาคอลเลกเตอร์หลายขา จากคุณสมบัติข้างต้น สามารถนำไปใช้ในวงจรดังรูปที่ 3.7 ซึ่งกระแสที่ขาคอลเลกเตอร์แต่ละขาจะไม่มีผลต่อโวลต์หรืออุปกรณ์ตัวอื่น พิจารณาที่ตัวอุปกรณ์จะเห็นว่าจะมีการป้อนกลับที่ขาเบส ถ้าวางเปิดวงจรพิจารณาที่อินพุตค่า β ของตัวอุปกรณ์จะมีค่าสูง ค่ากระแส

I (โดยปกติจะใช้ทรานซิสเตอร์แบบ PNP) จะไหลผ่านไปที่ขาคอลเลคเตอร์เพราะผลรวมของกระแสเอาต์พุตจะมีค่าเป็น I (หรือต่ำกว่าขึ้นอยู่กับโหลด) ค่าอินพุตของกระแส X จะมีกระแส $(I - X)$ ไหลไปที่ขาคอลเลคเตอร์ แล้วทำการสะท้อนกระแสไปที่ขาคอลเลคเตอร์ให้มีค่าเท่ากับ $(I - X)$ เมื่อ X มากกว่า I ที่ตัวอุปกรณ์กระแสเบสจะไหลน้อยจนหยุดทำงาน แรงดันที่ขาเบสจะเปลี่ยนเป็นศูนย์และกระแสที่ขาคอลเลคเตอร์จะมีค่าเป็นศูนย์ด้วย ในโหมดกระแสนี้จะเห็นได้ว่าเอาต์พุตจะมีการสวิทช์ซึ่งแบบไบนารี ซึ่งกระแส I จะเป็นอินพุตของทรานซิสเตอร์ ดังนั้นจากพื้นฐานของ I^2L จะมีข้อกำหนดคือ การบวก (จะเกิดจากการต่อร่วมกันของคอลเลคเตอร์) และการลบ (เกิดจากผลรวมกระแสอินพุต $< I$) ซึ่งค่าจะเป็นค่าเทรคโฮลด์และการสวิทช์ซึ่งแบบไบนารี (สำหรับผลรวมของกระแสอินพุต $> I$)

3.7.3 โหมดแรงดัน

คุณสมบัติของวงจรคงค่าสัญญาณ MVL ที่ทำงานในโหมดกระแสมี 2 อย่างคือ อินพุตเทรคโฮลด์และกำหนดระดับเอาต์พุต ข้อจำกัดในโหมดแรงดันคือ ตัวอุปกรณ์จะมีความแม่นยำต่อค่าเทรคโฮลด์น้อย และมีการจำกัดค่าเทรคโฮลด์ไว้เพียงค่าเดียว ตัวอุปกรณ์ที่มีความยืดหยุ่นสูง (Flexible) คือ ECL เพราะง่ายต่อการเปรียบเทียบ ในการออกแบบวงจร MVL ส่วนมากมักจะใช้เทคโนโลยีของ CMOS ซึ่งจะแสดงดังรูปที่ 3.9 จะเห็นว่า CMOS จะเป็นชนิดเอ็นฮานเม้นท์และมีลักษณะของการสวิทช์ซึ่งแบบไบนารี



X	P	T	Q
-3	+3	+3	+3
0	+3	0	-3
+3	-3	-3	-3

รูปที่ 3.9 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง

ซึ่งค่าเทรคโฮลด์ของ X ถ้าเป็นค่า High จะเท่ากับ (+3) โดยที่ MP1 จะไม่ทำงาน แต่ MP2 จะทำงาน แต่ถ้าค่า X เป็น Low จะมีค่าแรงดันเท่ากับ (-3) โดยที่ MP1 จะทำงาน แต่ MP2 จะไม่ทำงาน และเมื่อค่า X เป็นค่ากลาง ก็จะทำงานทั้งคู่ ถ้ามีอุปกรณ์ตัวใดตัวหนึ่งทำงาน เอาต์พุตจะอยู่ในสถานะตรงกันข้ามกับอินพุต แต่ถ้าตัวอุปกรณ์ทำงานทั้งคู่ เอาต์พุตจะได้ค่ากลาง (ซึ่งเป็นค่ากลางของอินพุต) ดังนั้นค่า T จะเป็นอินเวอร์เตอร์ของอินพุต

$$T = X \quad (3.6)$$

P และ Q จะเป็น Literal Function

$$P = X = X \quad \text{และ} \quad Q = X = X \quad (3.7)$$

ดังแสดงในรูปที่ 3.9 (ข) จากผลรวมของค่า Standard ทั้ง 2 ค่า จะได้เอาต์พุตออกมา 3 ระดับ สถานะนอกสุดจะทำการเชื่อมต่อกับแหล่งจ่ายภายนอก แต่สถานะภายในจะอยู่ในรูปของ Linear Sum ซึ่งใช้ความต้านทานเป็นตัวแบ่งแรงดัน

3.8 วงจร m - valued ทำงานในโหมดแรงดัน

ในส่วนนี้จะพูดถึงวงจร m - valued ที่ทำงานในโหมดแรงดัน ซึ่งจะใช้เทคโนโลยีของมอสและไบโพลาร์ เพราะเป็นที่นิยมในการออกแบบเทคโนโลยีวงจรรวม VLSI เทคโนโลยีที่ใช้ในตอนแรกเป็น PMOS จากนั้นก็เป็น NMOS แต่ในปัจจุบันจะนิยมใช้ CMOS มากกว่าซึ่งใน CMOS จะประกอบไปด้วย NMOS และ PMOS ทรานซิสเตอร์ ที่ CMOS ถูกนำมาใช้แทน NMOS จะใช้ทั้ง 2 ชนิด คือ เอ็นฮานเมนต์และดีพลีชัน แต่ CMOS จะนิยมใช้เฉพาะเอ็นฮานเมนต์ทรานซิสเตอร์แต่ละชนิดจะมีค่าเทรคโฮลด์เฉพาะตัวเองขึ้นอยู่กับารปลูกผลึก

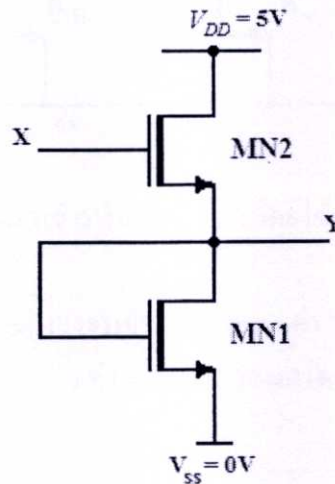
3.9 วงจร m - valued ที่ใช้ในเทคโนโลยี NMOS

ค่าแรงดันและระดับเทรคโฮลด์ที่ใช้ในวงจร NMOS m - valued จะใช้เหมือนกับทางไบนารีในวงจรเข้ารหัสหรือถอดรหัสจะต้องปรับค่าแรงดันเทรคโฮลด์หรือค่าทางเรขาคณิตของทรานซิสเตอร์

3.9.1 วงจรถอดรหัส

วงจรมีจะเป็นวงจรถอดรหัสค่าเทรคโฮลด์ โดยที่อินพุตจะได้ค่า m - valued ส่วนเอาต์พุตจะได้ค่าไบนารี แนวทางหนึ่งที่จะทำให้แรงดันเกิดผลต่างของการสวิทช์ซึ่งคือ การกำหนดแรงเทรคโฮลด์ของทรานซิสเตอร์ชนิดเอ็นฮานเมนต์และดีพลีชัน ให้มีค่าที่ค่าหนึ่ง การกำหนด

ขึ้นอยู่กับอัตราส่วนของเรขาคณิต เช่น ในวงจร Two-valued อินเวอร์เตอร์ พื้นที่ของชิปจะสามารถกำหนดได้จากค่าทางเรขาคณิตของทรานซิสเตอร์ ให้ค่าเทรชโฮลด์ V_{TS} และ V_{TL} มีค่าคงที่ค่าหนึ่ง ซึ่งผลต่างของแรงดันในการสวิตช์จะต้องอยู่ระหว่างผลต่างของเอาต์พุต อีกทางหนึ่งคือใช้วงจรเปลี่ยนแรงดัน เพื่อเลื่อนการสวิตช์ของแรงดันออกไป รูปที่ 3.10 แสดงตัวอย่างของวงจร Threshold Detector MN2 MN1 ($X \geq 2V_T$)



รูปที่ 3.10 วงจรตรวจจับเทรชโฮลด์โดยใช้วงจรเลื่อนแรงดัน

อย่างไรก็ตามในการกำหนดค่าแรงดันเทรชโฮลด์ให้ประมาณขนาดของตัวทรานซิสเตอร์ให้มีขนาดต่ำ ๆ ไว้ก่อน

3.9.2 วงจรเข้ารหัส

ในวงจรเข้ารหัสค่าอินพุตวงจรจะเป็นไบนารี แต่เอาต์พุตของวงจรจะเป็น m -valued ที่ทำเช่นนี้เพราะต้องการให้ได้ค่า m ที่มีความแตกต่างกัน ในตอนแรกจะใช้แรงดันแหล่งจ่ายต่างกัน เพื่อให้ค่า $(m-1)$ ซึ่งค่านั้นคือ V_{SS} อย่างที่ 2 ก็จะใช้แหล่งจ่ายเพียงตัวเดียว ซึ่งโดยทั่วไปจะอ้างอิงค่า $(m-1)$ ไว้ที่ระดับแรงดันบวก (High) คือ V_{DD} แต่ในระดับอื่น ๆ สามารถกำหนดได้จากขนาดของทรานซิสเตอร์หรือผลต่างของแรงดันเทรชโฮลด์

เป็นเทคโนโลยีของ NMOS จะมีการสูญเสียกำลังงานทาง Static สูงมาก นั่นคือต้องการกระแสในการขับโหลดสูงมาก

3.10 วงจร m - valued โดยใช้เทคโนโลยีของ CMOS

วงจร CMOS Two-valued อินเวอร์เตอร์จะมีระดับของเอาต์พุต $V_{OH} = V_{DD}$ เมื่อ MP ทำงาน และ $V_{OL} = V_{SS}$ เมื่อ MN ทำงาน ดังนั้นระดับของเอาต์พุตจะมีลักษณะเหมือนกับแรงดันของแหล่งจ่าย ในวงจร NMOS การสวิตช์ซึ่งของแรงดันจะขึ้นอยู่กับอัตราส่วน $\frac{K_n}{K_p}$ เมื่อ

$$K_n = \mu_n C_{ox} \frac{W_n}{L_n} \quad (3.9)$$

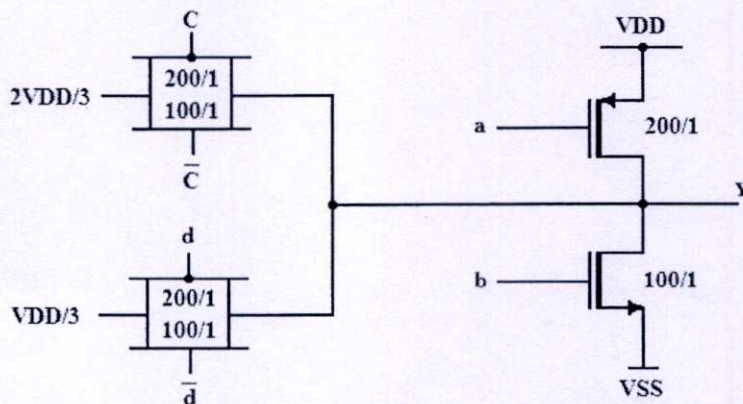
$$K_p = \mu_p C_{ox} \frac{W_p}{L_p} \quad (3.10)$$

$$V_{sw} = \frac{V_{dd} - V_{TP} + \alpha V_{TN}}{1 + \alpha} \quad (3.11)$$

$$\alpha = \sqrt{\frac{K_n}{K_p}} \quad (3.12)$$

3.10.1 วงจรเข้ารหัส

เอาต์พุตจะสวิตช์ระหว่างเอาต์พุตของการเข้ารหัสและค่า m ที่ต่างกัน ซึ่งทั้งหมดนี้จะมีทางเลือกคือ ไม่ใช่แหล่งจ่ายต่างกัน โดยทั่ว ๆ ไปจะใช้ Transmission Gate ซึ่งจะประกอบด้วย P และ N ดังนั้นในเวลาทำงานก็จะทำงานทั้งคู่

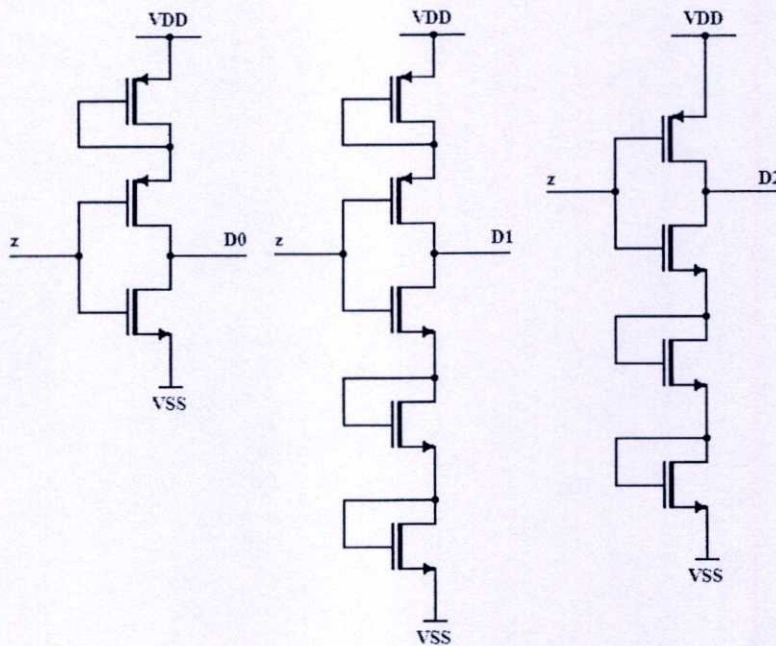


รูปที่ 3.13 วงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี CMOS

รูปที่ 3.13 แสดงวงจรเข้ารหัสแบบ 4 ค่า ระดับ 3 และ 0 จะเหมือนกันกับ Two-valued แต่ระดับ 1 และ 2 จะมีค่าแรงดันเท่ากับ $2\frac{V_{DD}}{3}$ และ $\frac{V_{DD}}{3}$ ในรูปที่ 3.13 จะเห็นว่ามีความใหญ่เพราะนำไปประยุกต์ใช้งานนอกชิป

3.10.2 วงจรถอดรหัส

วงจที่ใช้ในการถอดรหัสจะขึ้นอยู่กับขนาดที่ต่างกันของทรานซิสเตอร์ชนิด N และ P หรือวงจรเลื่อนแรงดัน รูปที่ 3.14 จะแสดงวงจรตรวจจับเทรคโฮลต์โดยใช้วงจรทรานซิสเตอร์เพื่อเลื่อนแรงดัน

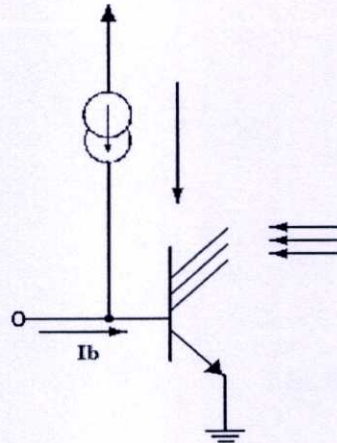


รูปที่ 3.14 วงจรตรวจจับเทรคโฮลต์โดยใช้เทคโนโลยี CMOS

โดยทั่วไป ในการสร้างฟังก์ชัน $D_i(x)$ และ $U_i(x)$ จะเป็นวงจรเปรียบเทียบแรงดัน ซึ่งจะประกอบด้วย NMOS ที่เป็น Differential Threshold โดยใช้ทรานซิสเตอร์ที่เป็นชนิด P และ N ก็ได้

3.11 วงจร m - valued ทำงานในโหมดกระแส

ในส่วนนี้จะยกตัวอย่างเฉพาะเทคโนโลยีแบบไบโพลาร์ โดยจะประกอบด้วยเทคโนโลยี I^2L (Integrated Injection Logic) และ ECL (Emitter Coupled Logic) และวงจรเกทพื้นฐานของลอจิกสามารถแสดงได้ดังรูปที่ 3.15 ซึ่งเป็นวงจร I^2L ที่ทำงานในโหมดกระแส

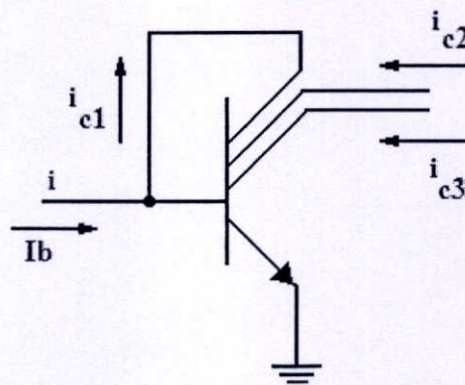


รูปที่ 3.15 เกทพื้นฐานของลอจิก 2 ระดับโดยใช้เทคโนโลยี I^2L

จากรูปที่ 3.15 ซึ่งจะเป็นทรานซิสเตอร์แบบ NPN เอาต์พุตที่ขาคอลเลกเตอร์จะเป็นอิสระต่อกัน และที่แรงดันระดับ Low จะมีค่าเท่ากับ $V_{CE(sat)}$ ส่วนกระแสไบอัสที่ขาเบสจะถูกแทนด้วย I_b โดยขั้วอินพุท (ขาเบส) นี้ตามปกติจะถูกต่อกับเกทตัวก่อนหน้า ซึ่งจะมีระดับแรงดันเป็น Low

วงจรที่ใช้เทคโนโลยี I^2L ในโหมดกระแสมีดังนี้

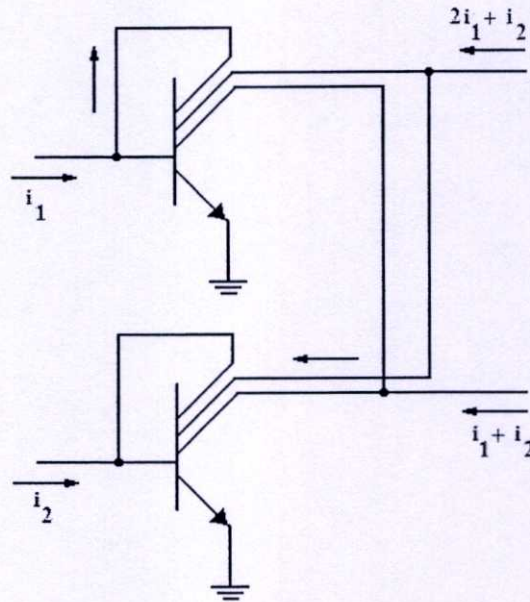
3.11.1 วงจรสะท้อนกระแส



รูปที่ 3.16 วงจรสะท้อนกระแสโดยใช้เทคโนโลยี I^2L

วงจรสะท้อนกระแสจะมีการป้อนกลับระหว่างขาเบสและขาคอลเลกเตอร์ และจะถูกนำมาใช้ในการคัดลอกกระแสและคูณกระแสโดยขึ้นอยู่กับค่าคงที่

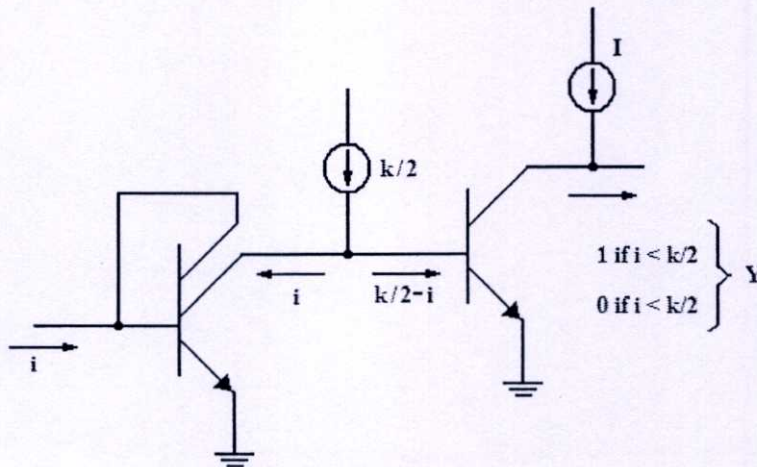
3.11.2 วงจรผลรวมเชิงเส้นของกระแส



รูปที่ 3.17 วงจรผลรวมเชิงเส้นของกระแส โดยใช้เทคโนโลยี I^2L

จากรูปที่ 3.17 เป็นวงจรผลรวมเชิงเส้นของกระแส มีลักษณะการทำงานตามกฎของเคอร์ชอฟ

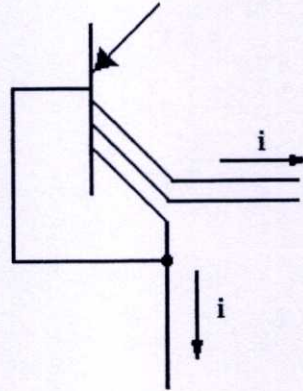
3.11.3 เทรตโฮลต์



รูปที่ 3.18 วงจรเทรตโฮลต์โดยใช้เทคโนโลยี I^2L

ค่าเทรตโฮลต์ที่กล่าวถึงนี้ จะรวมถึงทรานซิสเตอร์ที่ทำหน้าที่สะท้อนกระแสและทรานซิสเตอร์ทั่วไปด้วย

3.11.4 Sink - to - Source Conversion



รูปที่ 3.19 การไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี I^2L

Sink - to - Source Conversion จากรูปจะเห็นได้ว่าเป็นทรานซิสเตอร์ชนิด PNP แบบมัลติคอลเลกเตอร์ ซึ่งทำหน้าที่สะท้อนกระแส

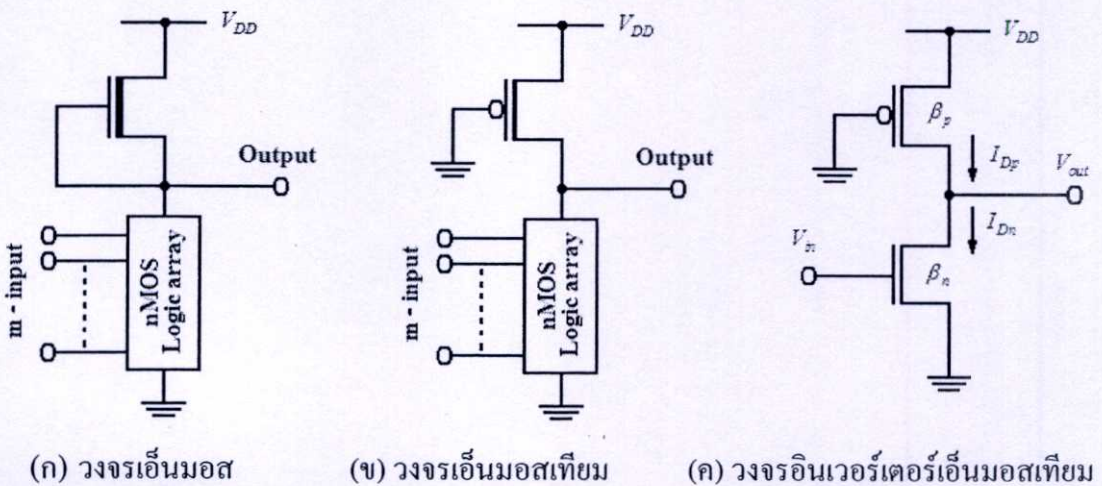
บทที่ 4

ทฤษฎีซีมอสลอจิกเกทขั้นสูง

แบบมาตรฐานของซีมอสลอจิกก็คือ สเตติกคอมพลีเมนต์ซีมอส (Static Complement CMOS) แต่เนื่องจากสเตติกเกท (Static gate) มีข้อดีหลายประการ จึงมีเกทอื่น ๆ อีกหลายชนิดที่ได้รับการยอมรับอย่างแพร่หลายเช่นกัน ในการเลือกใช้ลอจิกประเภทต่าง ๆ มักจะคำนึงถึงความสิ้นเปลืองเนื้อที่ ความประหยัดพลังงาน ความรวดเร็วในการทำงานเป็นหลัก ปกติแล้วการใช้พื้นที่ซิลิกอนของวงจรจะเป็นสัดส่วน โดยตรงกับจำนวนของทรานซิสเตอร์อยู่แล้ว แต่ทั้งนี้ก็จะมีการเปลี่ยนแปลงต่าง ๆ ซึ่งขึ้นอยู่กับความยุ่งยากในการออกแบบลวดลายและประเภทของเกทด้วย และปกติพิมอสจะสิ้นเปลืองเนื้อที่มากกว่าเอ็นมอสประมาณ 20 – 30% และโดยปกติแล้วลอจิกบล็อกเล็ก ๆ มักจะออกแบบในรูปแบบของสเตติกซีมอส แต่ถ้าหากเป็นวงจรลอจิกขนาดใหญ่ที่อนุกรมกัน ก็ควรจะปรับปรุงเป็นไดนามิกลอจิก (Dynamic Logic) หรือโดมิโนลอจิก (Domino Logic)

4.1 มอสลอจิกเทียม (Pseudo MOS Logic)

วงจรซีมอสลอจิกแบบนี้สามารถสร้างขึ้นได้จากทรานซิสเตอร์เพียงชนิดเดียว คือ พีทรานซิสเตอร์หรือเอ็นทรานซิสเตอร์ก็ได้ และใช้ทรานซิสเตอร์ชนิดตรงกันเข้ามาทำเป็นโหลดเอ็นมอสเทียม (Pseudo - nMOS) จะได้รับความนิยมสูงกว่าพิมอสเทียมทั้งนี้เพราะ วงจรเอ็นมอสล้วน ๆ ได้รับความนิยมมาก่อนซีมอส แต่วงจรเอ็นมอสจะใช้ดีพลีชันมอสเป็นโหลด ดังรูปที่ 4.1 (ก) ทำให้สิ้นเปลืองพลังงานมากและขนาดของตัวอุปกรณ์จะต้องคำนวณให้สอดคล้องกับระดับแรงดันของลอจิก



รูปที่ 4.1 วงจรซีมอสลอจิก

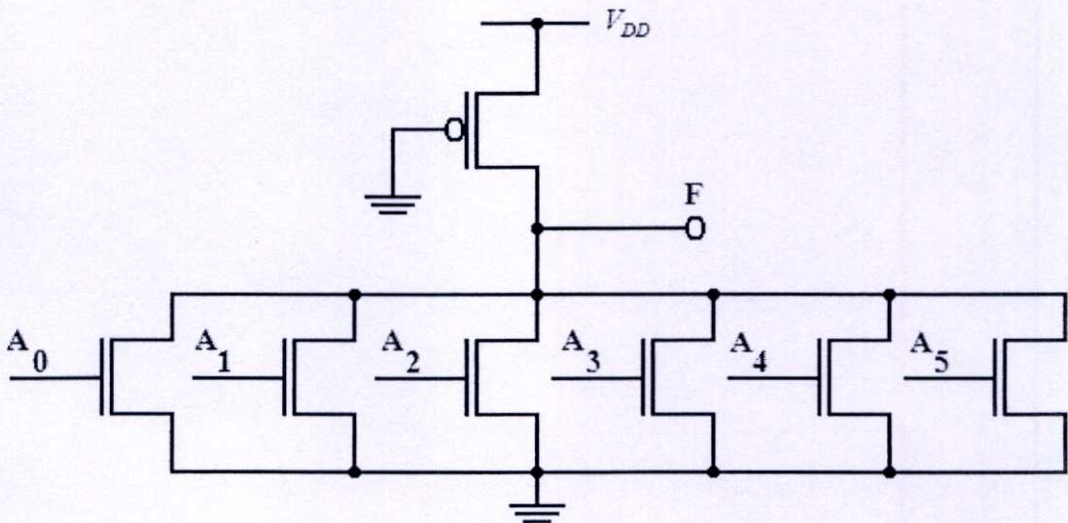
วงจรเอ็นมอสเทียมมีพีทรานซิสเตอร์ที่เกทลงกราวด์ ทำหน้าที่เป็นโหลดให้กับวงจร ดังรูปที่ 4.1 (ข) ซึ่งถ้าหากเอ็นมอสตัวใดตัวหนึ่ง (หรือหลายตัว) นำกระแส ปริมาณกระแสระหว่าง V_{DD} กับกราวด์ จะกำหนดได้โดยพีทรานซิสเตอร์เท่านั้น ในกลุ่มของเอ็นมอสอาจต่อกันอย่างไรก็ได้ ขึ้นอยู่กับฟังก์ชันลอจิกที่ต้องการ การต่ออนุกรมกันหลายตัวจะส่งผลกับแรงดันสถานะลอจิกต่ำทางเอาต์พุต ตัวอย่างเช่น อินเวอร์เตอร์ ดังรูปที่ 4.1 (ค) เนื่องจาก $V_{GS_p} = V_{DD}$ พีมอสจึงทำงานในย่านอิ่มตัว เมื่อลอจิกสูงที่อินพุต จะถือว่าเอ็นมอสทำงานในช่วงเชิงเส้น และแรงดันทางเอาต์พุตเป็นแรงดันลอจิกต่ำ ดังนั้น

$$\frac{\beta_p}{2}(V_{DD} - |V_{Tp}|)^2 = \frac{\beta_n}{2}\{2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2\} \quad (4.1)$$

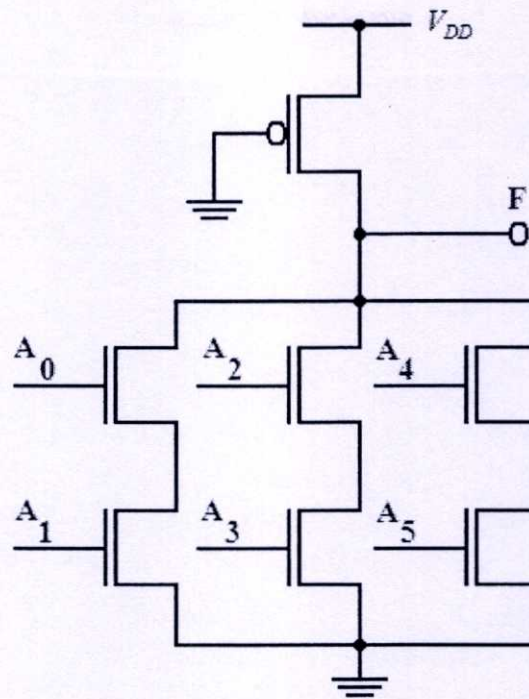
ซึ่งเป็นสมการกำลังสอง แก่สมการ หาค่า V_{OL}

$$V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n}(V_{DD} - |V_{Tp}|)^2} \quad (4.2)$$

การสร้างลอจิกฟังก์ชันที่ซับซ้อนก็พิจารณาเฉพาะเน็ตเวิร์คของเอ็นมอสเท่านั้น เช่น นอร์เกท 6 อินพุตและวงจร AND OR Inverter (AOI) ที่มีฟังก์ชัน $F = \overline{A_0 + A_1 + A_2 + A_3 + A_4 + A_5}$ และ $F = \overline{A_0 A_1 + A_2 A_3 + A_4 A_5}$ ตามลำดับ



รูปที่ 4.2 วงจรนอร์เกท



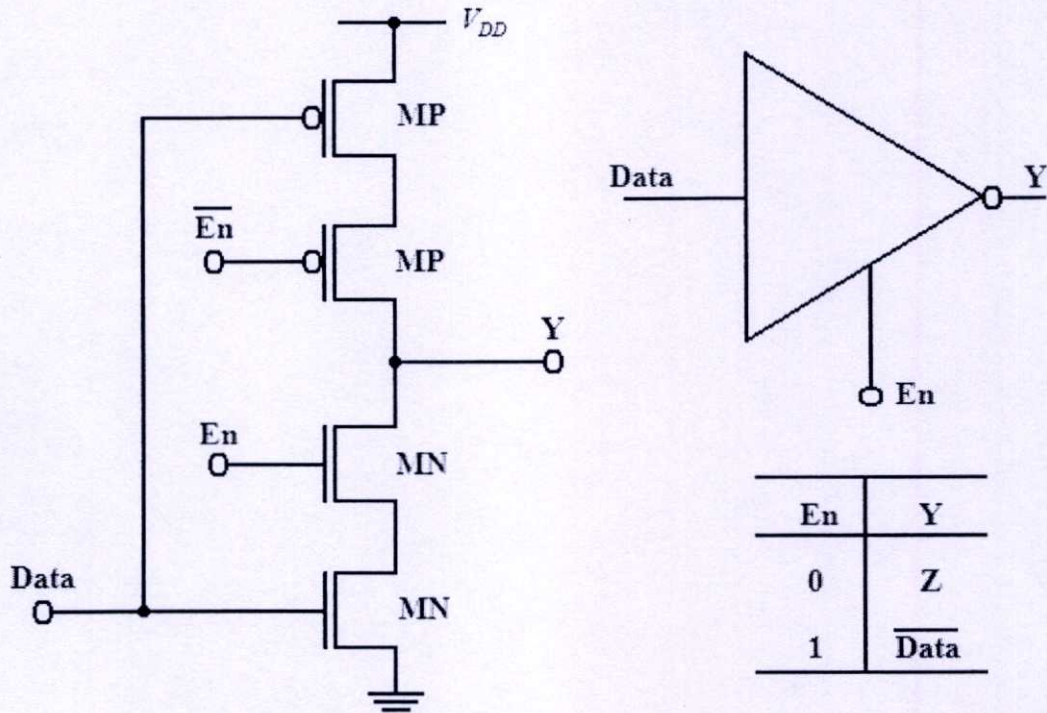
รูปที่ 4.3 AOI เกท

วงจรถ่ายสัญญาณเข้ามามีลักษณะเหมือนวงจรถ่ายสัญญาณของอินเวอร์ตทุกประการ แตกต่างกันที่ตัวโหลดแทนที่จะเป็นอินเวอร์ต (ดีฟลิชั่นหรืออินฮานเมนท์) ก็เป็นพินอสทรานซิสเตอร์เพียงอย่างเดียวที่ต่อเกทลงกราวด์ จะทำหน้าที่ให้กับวงจรถ่ายสัญญาณ วงจรของพินอสจะมีลักษณะที่ตรงกันข้ามกับวงจรถ่ายสัญญาณ วงจรแบบนี้จะต้องคำนวณขนาดของตัวอุปกรณ์ เพื่อให้ระดับลอจิกที่ถูกต้อง (สเตติกซีมอสไม่จำเป็นต้องคำนึงในข้อนี้) ปัญหาหลักของวงจรถ่ายสัญญาณก็คือ การสูญเสียพลังงานมากเพราะอุปกรณ์ที่เป็นโหลดจะนำกระแสตลอดเวลา ทั้งยังเป็นสาเหตุให้แรงดันเอาต์พุตลอจิกต่ำ ไม่สามารถที่จะเป็น 0 โวลต์ ได้ (แรงดันเอาต์พุตลอจิกสูง สามารถมีค่าสูงได้ถึง V_{DD}) ข้อดีของเกทแบบนี้ก็คือ สามารถที่จะประหยัดเนื้อที่ได้มากกว่าสเตติกเกท ซึ่งเป็นคอมพลิเมนต์รี

4.2 วงจร 3 สถานะ (Tri – state Circuit)

วงจรถ่ายสัญญาณปกติจะมีแค่ 2 สถานะคือ สถานะแรงดันสูงหรือลอจิก “1” และสถานะแรงดันต่ำหรือลอจิก “0” แต่ลอจิก 3 สถานะ จะมีสถานะ “ความต้านทานสูง” หรือ “High Impedance” หรือ “High Z” เพิ่มขึ้นมาอีก 1 สถานะ สถานะดังกล่าวไม่สามารถที่จะจ่ายหรือรับกระแสใดๆ ได้ ทำให้เหมาะสมในการแยกวงจรถ่ายสัญญาณออกจากวงจรถ่ายสัญญาณอื่น ๆ ขณะทำงาน วงจรถ่ายสัญญาณ 3 สถานะนิยมใช้สำหรับปล่อยสัญญาณลงสู่บัสที่มีสถานะภาพเป็นทั้งอินพุตและเอาต์พุต ส่วนใหญ่ก็จะเป็นวงจรถ่ายสัญญาณ

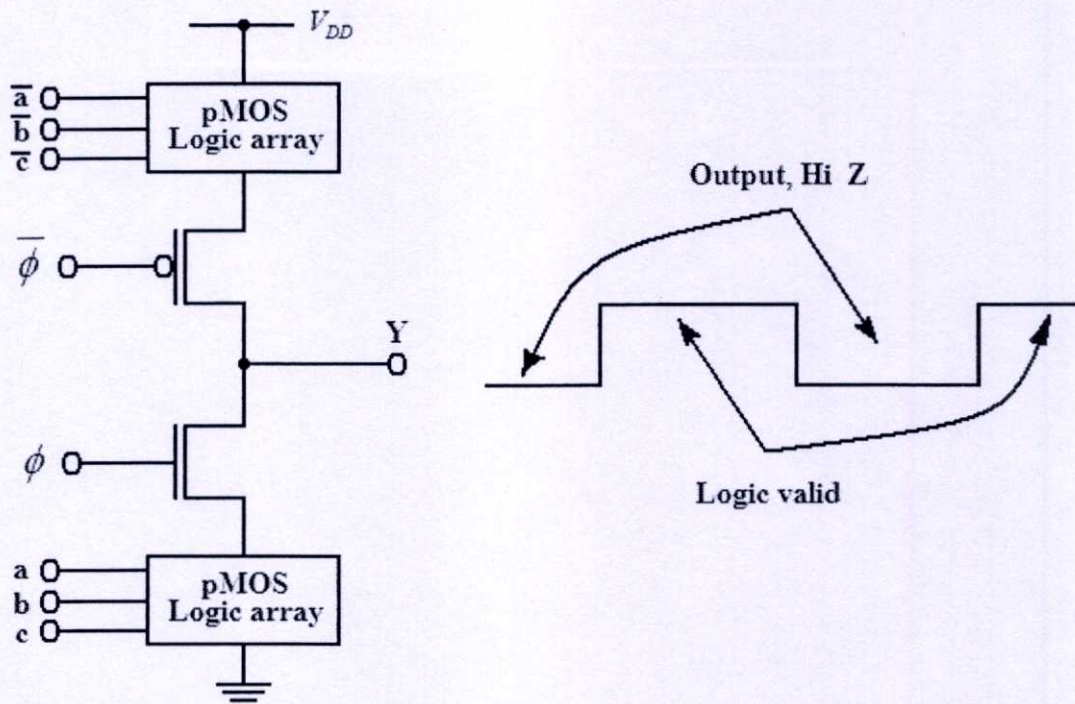
ด้วย (จ่ายกระแสได้มาก) ทั้งแบบกลับสัญญาณ (Inverting) และไม่กลับสัญญาณ (Non - Inverting) ดังรูปที่ 4.4 แสดงวงจร 3 สถานะแบบกลับสัญญาณ โดยที่สัญญาณ En (Enable) จะทำหน้าที่เป็นสัญญาณควบคุม หากสัญญาณ En เป็น High วงจรอินเวอร์เตอร์ก็จะทำงานเหมือนวงจรอินเวอร์เตอร์ปกติ หากสัญญาณ En เป็น Low ทางเอาต์พุตก็จะปรากฏเป็นค่าความต้านทานสูง โดยไม่ขึ้นกับสถานะทางอินพุตเลย ทั้งนี้เพราะพีมอส (MP) และ (MN) อยู่ในสภาวะ “off” หรือไม่นำกระแส



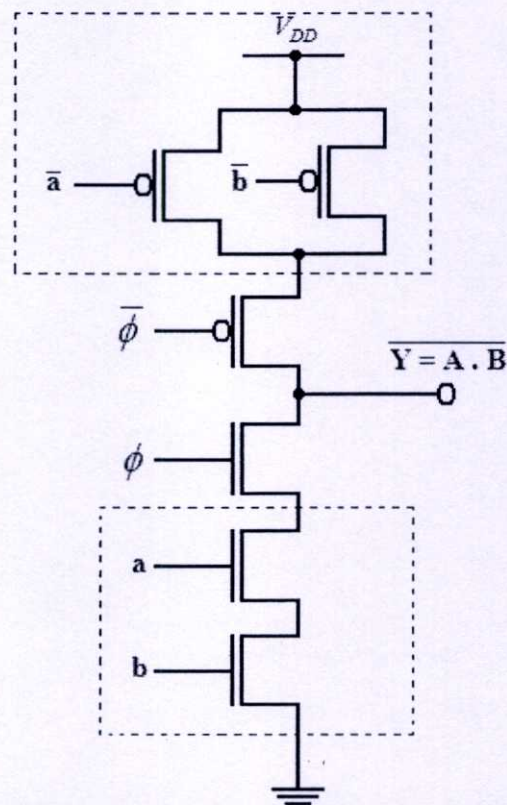
รูปที่ 4.4 วงจร 3 สถานะแบบกลับสัญญาณ (Tri - state Inverter)

4.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา (Clocked CMOS Logic, C²MOS)

วงจรซีมอสที่ใช้สัญญาณนาฬิกา เป็นแนวคิดผสมกันระหว่างลอจิกมาตรฐานกับการอ่านผลลัพธ์แบบสมวาร (Synchronization) วงจรจะมีช่วงการเปลี่ยนแปลงอินพุต เฉพาะเมื่อสัญญาณนาฬิกาเป็น “0” เท่านั้น ในขณะนั้นทางเอาต์พุตจะมีสถานะค่าเป็นความต้านทานสูง และเมื่อสัญญาณนาฬิกาเป็น “1” (อินพุตไม่ควรมีการเปลี่ยนแปลงในช่วงนี้) ผลลัพธ์ของลอจิกที่ออกทางเอาต์พุต สามารถที่จะอ่านหรือส่งต่อไปได้เนื่องจากวงจรลอจิกยังคงเป็นลักษณะคอมพลิเมนต์จำนวนทรานซิสเตอร์ที่ใช้จึงได้ลดน้อยลง



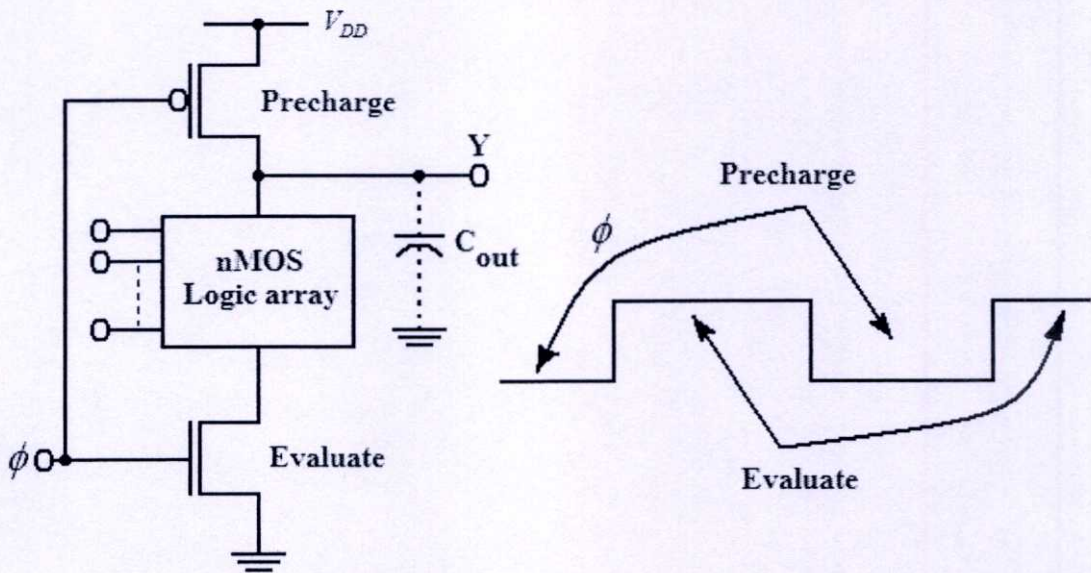
รูปที่ 4.5 หลักการของวงจรซีมอสที่ใช้สัญญาณนาฬิกา



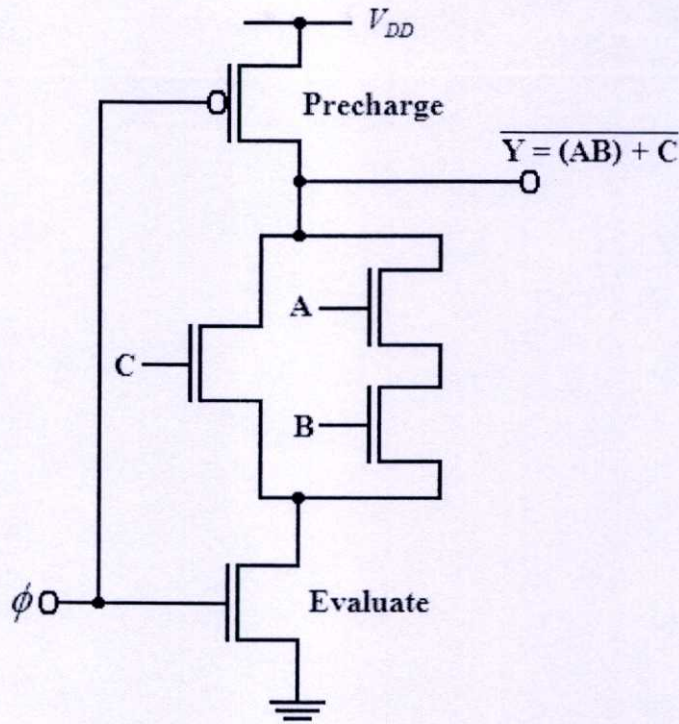
รูปที่ 4.6 ตัวอย่างวงจรแนนเกต ซึ่งใช้สัญญาณนาฬิกา

4.4 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic)

ลักษณะของวงจรลอจิกแบบนี้ต้องการการสมวาร (Synchronization) ในการอ่านสถานะเอาต์พุต วงจรจะมีช่วงการเปลี่ยนแปลงอินพุต เฉพาะเมื่อสัญญาณนาฬิกาเป็น "0" เท่านั้น ช่วงนี้เรียกว่า Precharge และเมื่อสัญญาณนาฬิกาเป็น "1" ก็จะส่งผลของลอจิกออกจากเอาต์พุตช่วงนี้จะเรียกว่า ช่วง Evaluate ลักษณะวงจรพื้นฐานของไดนามิกซีมอส จะประกอบด้วยวงจรของเอ็นทรานซิสเตอร์ที่จะให้ลอจิกฟังก์ชัน โดยเอาต์พุตโหนดจะถูกพรีชาร์ตสู่ V_{DD} โดยพีทรานซิสเตอร์ ในขณะเดียวกันเอ็นทรานซิสเตอร์จะทำหน้าที่เป็นตัวประเมินค่า (Evaluate) ดังรูปที่ 4.7 สัญญาณนาฬิกาที่ใช้เป็นเฟสเดียวในช่วงพรีชาร์ต $\phi = "0"$ และประเมินค่าเมื่อ $\phi = "1"$



รูปที่ 4.7 หลักการของวงจรไดนามิกซีมอส



รูปที่ 4.8 ตัวอย่างวงจรไดนามิกซิมอส

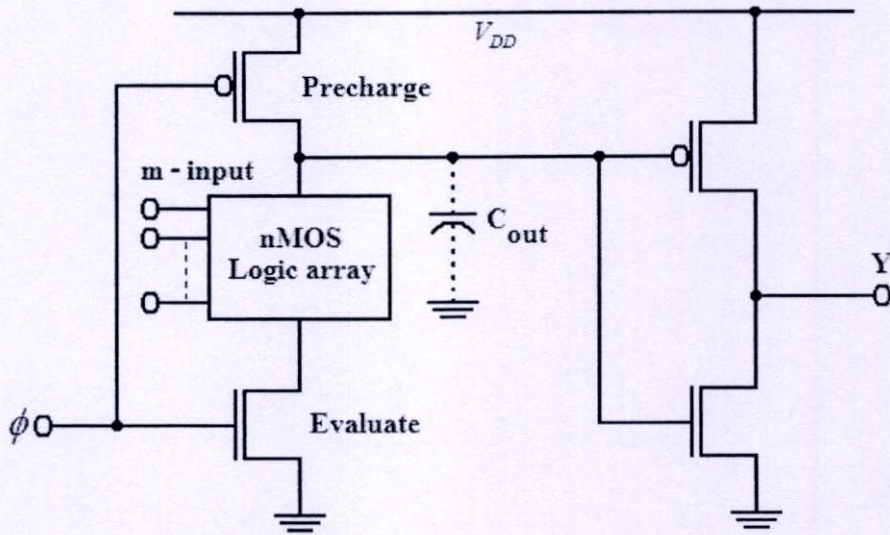
4.4.1 ปัญหาของไดนามิกซิมอส

สัญญาณอินพุตจะเปลี่ยนแปลงได้เฉพาะในช่วงฟริชาร์ตเท่านั้น มิฉะนั้นแล้วเอาต์พุตอาจจะผิดพลาดได้ ปัญหาที่เกิดขึ้นอีกประการหนึ่งก็คือ การต่ออนุกรมกันของไดนามิกเกตหลาย ๆ ชุด เมื่อเกตถูกฟริชาร์ต เอาต์พุตจะถูกฟริชาร์ตสู่ V_{DD} แต่ในช่วงประเมินค่าเอาต์พุตของเกตชุดแรกจะเปลี่ยนแปลงตามเงื่อนไขของอินพุต ถ้าหากว่ามีกรณีใดในขณะนี้ (ซึ่งจะเป็นอินพุตของเกตชุดที่ 2) จะทำให้เกตชุดที่ 2 ประเมินค่าผิดพลาด การแก้ปัญหาดังกล่าวอาจจำเป็นต้องใช้สัญญาณนาฬิกาหลายเฟส (ปกติ 4 เฟส) คาบเวลาของสัญญาณนาฬิกา จะต้องมีความยาวเพียงพอที่จะให้การประเมินค่าของเกตชุดที่ช้าที่สุดเป็นไปอย่างสมบูรณ์เสียก่อน ลักษณะของวงจรบางแบบจะทำให้เกิดปัญหาเรื่องค่าความจุไฟฟ้าแอบแฝง ทำให้แรงดันลจกคลาดเคลื่อนได้ (Charge Sharing Problem) ปกติแล้วจะต้องให้ค่าตัวเก็บประจุ C_{out} มีค่ามากกว่าตัวเก็บประจุอื่นในวงจร

4.5 ซิมอสโดมิโนลอจิก (CMOS Domino Logic)

โครงสร้างพื้นฐานของโดมิโนลอจิก จะประกอบด้วยวงจร 2 ส่วนคือ ส่วนแรกจะเป็นไดนามิกซิมอสที่ทำงานด้วยสัญญาณนาฬิกาชุดเดียวคือ ฟริชาร์ตและประเมินค่า และวงจรส่วนที่ 2 จะเป็นซิมอสอินเวอร์เตอร์ดังรูปที่ 4.7 ในช่วงฟริชาร์ต เอาต์พุตของวงจรไดนามิกจะฟริชาร์ตสู่ V_{DD} และที่

เอาต์พุตของอินเวอร์เตอร์จะเป็นระดับต่ำเมื่อสัญญาณนาฬิกาเปลี่ยนจาก “0” เป็น “1” (ช่วงนี้จะประเมินค่า) ฟริชาร์ตทรานซิสเตอร์จะหยุดทำงาน และทรานซิสเตอร์ประเมินค่าจะทำงานแทน ในช่วงประเมินค่า โคมิโนจะเปลี่ยนค่าเฉพาะเมื่อมีการเปลี่ยนจากระดับต่ำเป็นระดับสูงเท่านั้น ทำให้จัดการปัญหาเรื่องสัญญาณ “Glitches” ได้



รูปที่ 4.9 วงจรพื้นฐานของ โคมิโนซิมอสลอจิก

โคมิโนลอจิก จะประกอบด้วยส่วนของวงจรซึ่งป็นอินพุต ฟริชาร์ตทรานซิสเตอร์ ทรานซิสเตอร์ประเมินผล และเอาต์พุตอินเวอร์เตอร์อีก 1 ชุด ดังนั้น โคมิโนลอจิก m อินพุตจะมี ทรานซิสเตอร์ $m + 4$ ตัว เป็นวงจรที่มีความสูญเสียต่ำ เพราะจะไม่มีกระแสเฉื่อยในวงจรเลย ปกติแล้วที่ทรานซิสเตอร์จะเสียพื้นที่มากกว่าเอ็นทรานซิสเตอร์ โคมิโนลอจิกมทรานซิสเตอร์ส่วนใหญ่เป็นเอ็นทรานซิสเตอร์ จึงทำให้ความจุของอุปกรณ์ต่อพื้นที่ที่ดีขึ้น ในขณะที่เดียวกันกับความยุ่งยากในการออกแบบลวดลายก็ลดลง

4.6 ลอจิกเส้นทางคู่ (Dual – Rail Logic)

วงจรที่ได้ศึกษาผ่านมาแล้วนั้น นับว่าเป็นวงจรซิมอสเส้นทางเดี่ยว (Single rail) ซึ่งหมายถึง ตัวแปรทางอินพุตมีค่าเพียง “0” หรือ “1” เท่านั้น วงจรลอจิกเส้นทางคู่จะใช้ทั้ง x และ \bar{x} พร้อมกัน ในรูปแบบที่เป็นเชิงอนุพันธ์ โดยประสงค์หลักก็เพื่อเพิ่มความเร็วการทำงาน และสามารถพิจารณาฟังก์ชันได้คือ

ดังนั้น
$$f_x = x - \bar{x} \quad (4.3)$$

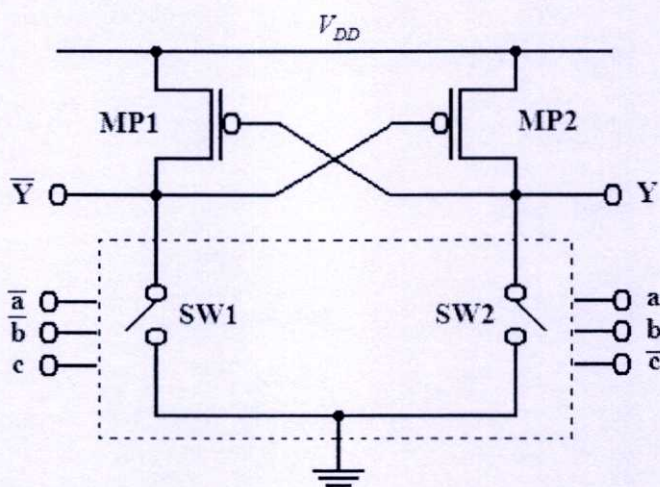
เมื่อ
$$\frac{df_x}{dt} = \frac{dx}{dt} - \frac{d\bar{x}}{dt} \quad (4.4)$$

$$\frac{d\bar{x}}{dt} = - \left| \frac{dx}{dt} \right| \quad (4.5)$$

เมื่อ x มีค่าเพิ่มขึ้นและ \bar{x} ลดลง หรือในทางกลับกัน

ดังนั้น
$$\frac{df_x}{dt} = 2 \left| \frac{dx}{dt} \right| \quad (4.6)$$

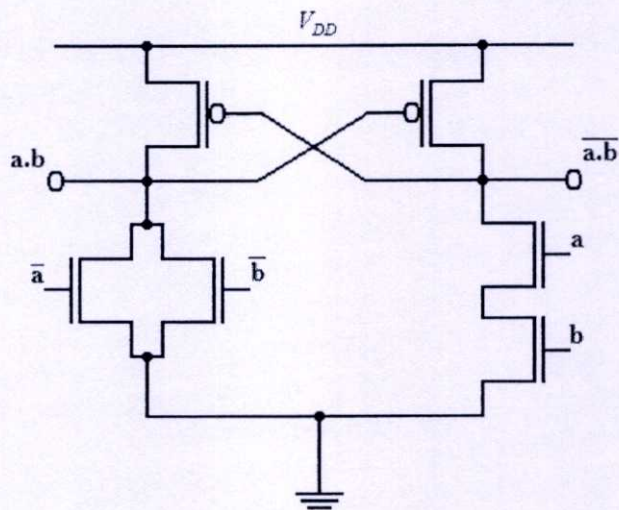
หากตีความหมายในเชิงวงจรก็จะเป็นว่า วงจรลอจิกเส้นทางคู่สามารถที่จะมีความเร็วประมาณ 2 เท่าของวงจรเส้นทางเดี่ยว แต่ในทางกลับกันที่ที่จะต้องเพิ่มมากขึ้นก็คือ เส้นทางกรต่อโยงวงจร เพราะจำนวนอินพุตที่ต้องเพิ่มมากขึ้น วงจรลอจิกเส้นทางคู่ที่เป็นที่นิยมก็คือ Differential Cascode Voltage Switch Logic (DCVSL) หรืออีกชื่อหนึ่งก็คือ Cascode Voltage Switch Logic (CVSL) โครงสร้างพื้นฐานของวงจร CVSL แสดงได้ดังในรูปที่ 4.10



รูปที่ 4.10 วงจรพื้นฐานของ CVSL

อินพุตจะประกอบด้วยส่วนที่เป็นทางตรง (เช่น a, b, c) และส่วนที่เป็นคอมพลิเมนต์ (เช่น $\bar{a}, \bar{b}, \bar{c}$) ซึ่งทั้งหมดประกอบด้วยเอ็นมอสทรานซิสเตอร์เท่านั้น วงจรคอมพลิเมนต์นี้จะอยู่ด้านละชุดของวงจรแลชท์ที่ประกอบจากพีมอส ทำให้ได้เอาต์พุตที่เป็น Y และ \bar{Y} สมมุติว่าอินพุตลอจิกทำ

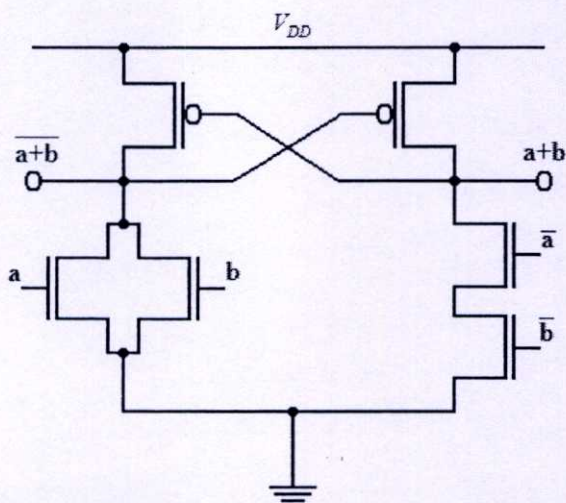
ให้สวิตช์ SW1 ทำงาน แรงดันที่เอาต์พุต \bar{Y} ตกลงเป็นแรงดันต่ำ เป็นการบังคับให้พีมอส MP2 นำกระแสโดยเร็วขั้วให้เอาต์พุต Y เป็นแรงดันสูง



รูปที่ 4.11 วงจร CVSL ของวงจรรแอนด์ / แนนด์

การออกแบบในส่วนของวงจรรส่วนเอ็นมอสซึ่งสองด้านเป็นคอมพลิเมนต์กันนั้น วิธีหนึ่งที่ย่างและค่อนข้างจะตรงไปตรงมาอย่างวงจรร AND/NAND ดังแสดงในรูปที่ 4.11 และวงจรร OR/NOR ดังแสดงในรูปที่ 4.12 ซึ่งจะเห็นว่าเมื่ออินพุตเป็นคอมพลิเมนต์กันแล้ว เอาพุทก็ยังคงเป็นคอมพลิเมนต์กันอีกด้วย อาศัยทฤษฎีของ DeMorgan

$$\overline{a \cdot b} = \bar{a} + \bar{b} \quad (4.7)$$

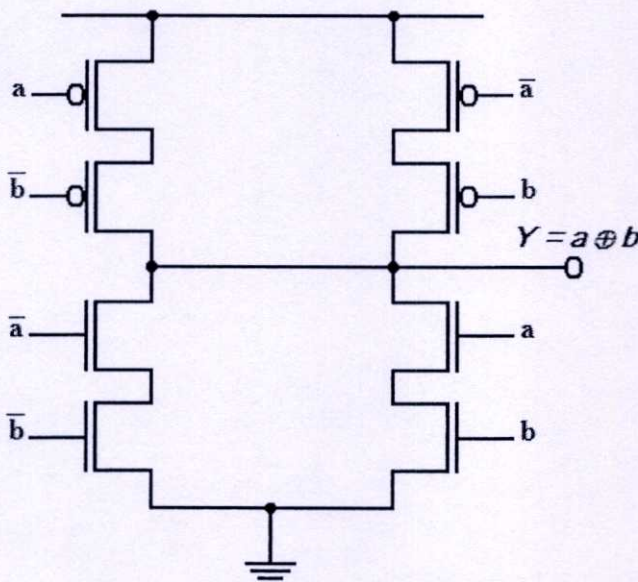


รูปที่ 4.12 วงจร CVSL ของวงจรรออร์ / นอร์

จะเห็นว่าวงจร AND/NAND และวงจร OR/NOR มีโครงสร้างเดียวกัน ต่างกันเฉพาะตำแหน่งของอินพุตเท่านั้น

4.7 ลอจิกแบบวงจรมงสะท้อน (Mirror Circuit Logic)

วงจรถอจิกแบบเงาสะท้อนมีรูปแบบคล้ายวงจรซิมอสคอมพลิเมนต์มาตรฐาน คือมีส่วนของพีมอสและเอ็นมมอส แต่วงจรมีสองซีกซ้ายและขวาเหมือนวงจรเส้นทางคู่ วงจรซีกซ้ายและขวานี้สะท้อนซึ่งกันและกันในรูปแบบของคอมพลิเมนต์ ลักษณะเช่นนี้ต้องพิจารณาวงจรของ XOR ซึ่ง $Y = a \oplus b = \bar{a}b + a\bar{b}$ จากคณิตศาสตร์บูลีน เราจะเห็นว่า $\bar{a}b + a\bar{b} = \overline{ab + \bar{a}\bar{b}}$ ซึ่งสามารถเขียนเป็นวงจรได้ดังรูปที่ 4.13 จะสังเกตเห็นว่า เอ็นมอสจะทำงานเพื่อให้ลอจิกเอาต์พุต "0" ในขณะที่พีมอสจะทำงานเพื่อให้ลอจิกเอาต์พุต "1" จำนวนทรานซิสเตอร์ที่ใช้ในวงจรแม้จะเท่ากับวงจรถอจิกคอมพลิเมนต์ซิมอส แต่ลักษณะเส้นทางวงจรจะง่ายกว่า วงจร XNOR ก็สามารรถที่จะออกแบบได้ในลักษณะเดียวกัน



a	b	Y
0	0	0
0	1	1
1	0	1
1	1	0

รูปที่ 4.13 วงจร XOR เกท

บทที่ 5

ทฤษฎีและการออกแบบวงจรเทอร์นารีลอจิก

5.1 ทฤษฎีพื้นฐานของวงจรซิมอสเทอร์นารีลอจิก

เนื่องจากวงจรเทอร์นารีลอจิกประกอบด้วยลอจิก 3 ค่าคือ 0, 1 และ 2 แทนค่าความแตกต่างของสถานะทางไฟฟ้า ซึ่งอาจจะอยู่ในรูปของค่าความต่างศักย์หรือขนาดกระแสไฟฟ้า โดยมีนิยาม [2] ดังต่อไปนี้

นิยามที่ 1 Low-Threshold comparison operation

$$x' \triangleq \begin{cases} T & (\text{if } x < t) \\ F & (\text{if } x > t) \end{cases} \quad (5.1)$$

นิยามที่ 2 High-Threshold comparison operation

$${}^t x \triangleq \begin{cases} T & (\text{if } x > t) \\ F & (\text{if } x < t) \end{cases} \quad (5.2)$$

นิยามที่ 3 Boolean operation

- = AND operation
- + = OR operation
- ~ = NOT operation

นิยามที่ 4 Transmission operation

$$C_i * B \triangleq \begin{cases} C_i & (\text{if } B = T) \\ \phi & (\text{if } B = F) \end{cases} \quad (5.3)$$

โดยที่

C_i คือ ระดับสัญญาณที่ป้อน (Transmission source)

B คือ ค่าตัวแปรใดๆ

ϕ คือ เซตว่าง (ไม่มีเอาต์พุตใดๆ)

นิยามที่ 5 Union operation

$$C_i * B_i \# C_j * B_j \triangleq \begin{cases} C_i \text{ if } B_i = T \text{ and } B_j = F \\ C_j \text{ if } B_i = F \text{ and } B_j = T \\ \phi \text{ if } B_i = B_j = F \\ \text{not permitted if } B_i = B_j = T \text{ and } C_i \neq C_j \end{cases} \quad (5.4)$$

จากพื้นฐานนิยามที่กล่าวมาแล้ว สามารถที่สร้างสมการนิยามต่างๆ ได้ดังนี้

$$\tilde{x}' = 'x \quad (5.5)$$

$$'x = x' \quad (5.6)$$

$$B = '(2 * B \# 0 * \tilde{B}) = (2 * \tilde{B} \# 0 * B)' \quad (5.7)$$

$$C * (B_1 + B_2) = C * B_1 \# C * B_2 \quad (5.8)$$

$$C * (B_1 \cdot B_2) = (C * B_1) * B_2 \quad (5.9)$$

$$(C_1 * B_1 \# C_2 * B_2) * B_3 = C * (B_1 \cdot B_3) \# C * (B_2 \cdot B_3) \quad (5.10)$$

$$f(x) = f(0) * x^{0.5} \# f(1) * ({}^{0.5}x \cdot x^{1.5}) \# f(2) * {}^{1.5}x \quad (5.11)$$

$$f = 0 * B_0 \# 1 * B_1 \# 2 * B_2 \quad (5.12)$$

นิยามที่ 6 Threshold-t inverse with binary output

$$\overline{x(t)} \triangleq \begin{cases} 2 \text{ (if } x < t) \\ 0 \text{ (if } x > t) \end{cases} \quad (5.13)$$

นิยามที่ 7 Ternary inverse

$$\bar{x} \triangleq \begin{cases} 2 \text{ (if } x = 0) \\ 1 \text{ (if } x = 1) \\ 0 \text{ (if } x = 2) \end{cases} \quad (5.14)$$

นิยามที่ 8 Modulo-3 addition

$$x \oplus i \triangleq \text{mod}_3(x+i) \quad (5.15)$$

นิยามที่ 9 1-of-2 Threshold-t multiplexing

$$f(y_0, y_2; x, t) \triangleq \begin{cases} y_0 & (\text{if } x < t) \\ y_2 & (\text{if } x > t) \end{cases} \quad (5.16)$$

นิยามที่ 10 1-of-3 Multiplexing

$$f(y_0, y_1, y_2; x) \triangleq \begin{cases} y_0 & (\text{if } x = 0) \\ y_1 & (\text{if } x = 1) \\ y_2 & (\text{if } x = 2) \end{cases} \quad (5.17)$$

5.2 วงจรเทอร์นารีลอจิก Transmission gate

ในการออกแบบวงจรเปรียบเทียบลอจิกหรือวงจ Transmission gate นั้นจะอาศัยจากสมการของนิยามที่ 1 และสมการนิยามที่ 2 และสมการที่ (5.11) มาทำการออกแบบ โดยสมมติให้วงจรเทอร์นารีลอจิกมีฟังก์ชัน $f(x)$ ที่มีอินพุตคือ x และมีเอาต์พุตเป็น $C_i * x'$ กับ $C_i * 'x$ โดยที่ $x, C_i \in \{0, 1, 2\}$ ดังนั้นจะได้สมการคือ

$$f(x) = C_0 * (x^{0.5}) \# C_1 * (0.5x \cdot x^{1.5}) \# C_2 * (x^{1.5}) \quad (5.18)$$

โดยการดำเนินการ

$$C_i * x' = \begin{cases} \phi & (\text{if } x > t) \\ C_i & (\text{if } x < t) \end{cases} \quad (5.19)$$

$$C_i * 'x = \begin{cases} C_i & (\text{if } x > t) \\ \phi & (\text{if } x < t) \end{cases} \quad (5.20)$$

โดยที่

ϕ คือ เซตว่าง (ไม่มีเอาต์พุตใดๆ)

x คือ อินพุต ซึ่ง $x \in \{0, 1, 2\}$

t คือ ค่าเทรชโฮลด์ ซึ่ง $t \in \{0.5, 1.5\}$

C_i คือ ระดับสัญญาณที่ป้อน (Transmission source) ซึ่ง $C_i \in \{0, 1, 2\}$

$*$ คือ ตัวดำเนินการ Transmission

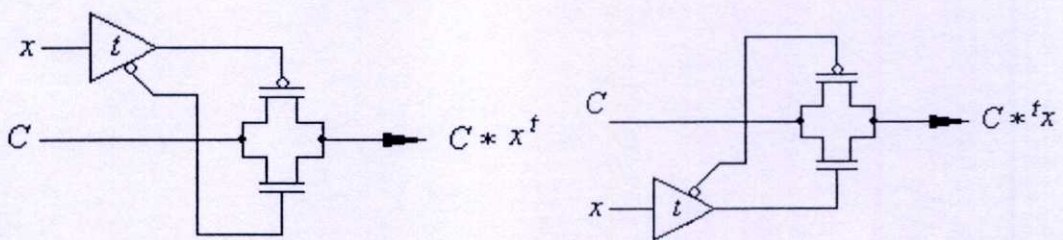
$\#$ คือ ตัวดำเนินการยูเนียน (Union)

- คือ ฟังก์ชัน AND สำหรับสัญญาณแบบไบนารี

x' คือ ตัวดำเนินการเปรียบเทียบค่าเทรชโวลต์ระดับสัญญาณต่ำ (Low-threshold comparison)

$'x$ คือ ตัวดำเนินการเปรียบเทียบค่าเทรชโวลต์ระดับสัญญาณสูง (High-threshold comparison)

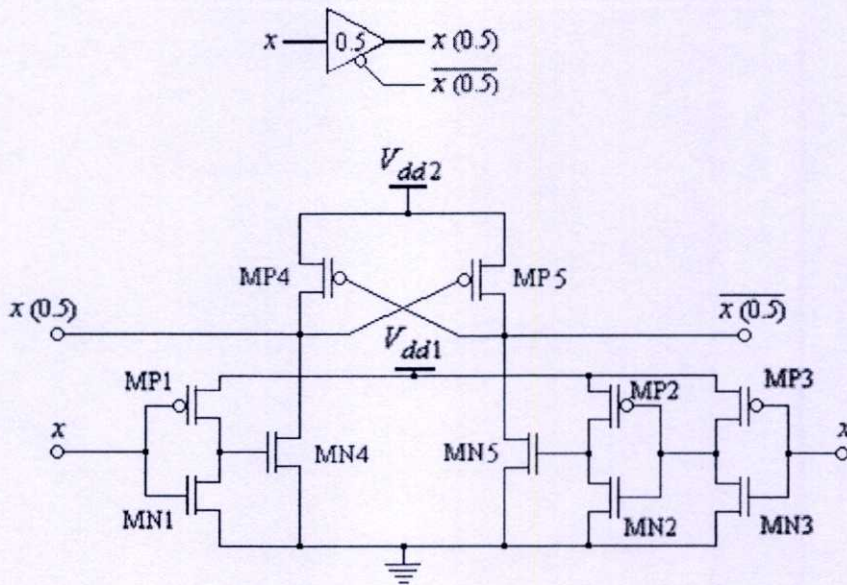
เมื่อพิจารณาการดำเนินการในสมการที่ (5.19) และ (5.20) จะสามารถสังเกตได้ว่า x' มีสถานะเพียงสองสถานะแบบไบนารีคือ เป็นจริงเมื่อ $x < t$ และเป็นเท็จเมื่อ $x > t$ ตามลำดับ ในทางกลับกัน $'x$ จะให้ค่าเป็นจริง $x > t$ และเป็นเท็จเมื่อ $x < t$



รูปที่ 5.1 วงจรเทอร์นารีลอจิก Transmission gate สำหรับดำเนินการ $C_i * x'$ และ $C_i * 'x$

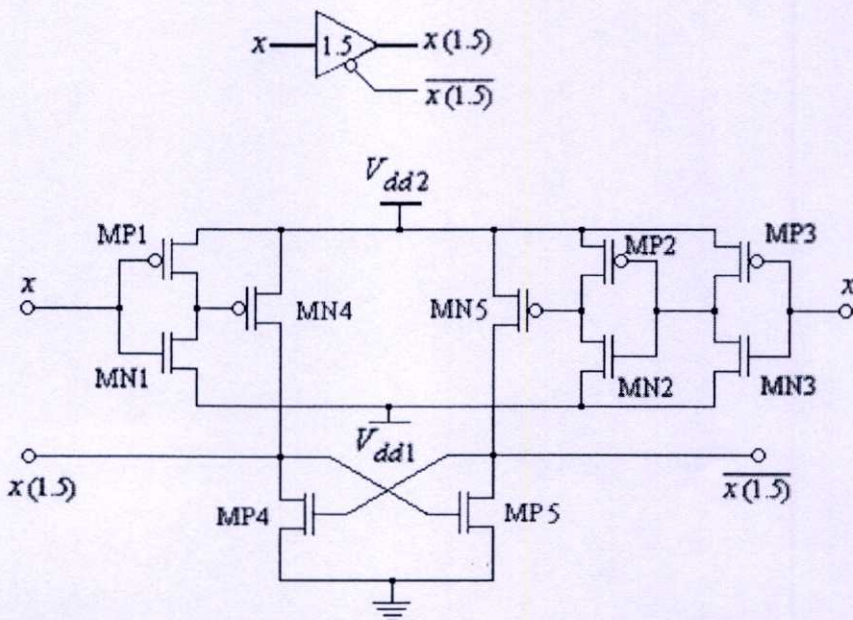
ดังนั้นการดำเนินการ $C_i * x'$ และ $C_i * 'x$ สามารถสร้างได้ด้วยวงจรซีมอสทรานสมิชชันเกต (CMOS Transmission gate) ร่วมกับวงจรเทรชโวลต์ที่เกต (Threshold-t gate) โดยอาศัย x' และ $'x$ เป็นสัญญาณควบคุมดังแสดงในรูปที่ 5.1 ซึ่งโครงสร้างภายในของวงจรเทรชโวลต์ที่อินเกต (Threshold-t gate) แสดงให้เห็นได้ดังรูปที่ 5.2 และ 5.3 ตามค่ากำหนดของ $t = 0.5$ และ $t = 1.5$

โดยวงจรเทรชโวลต์ที่เกต เมื่อกำหนดให้ $t = 0.5$ จะสามารถสร้างวงจรขึ้นได้จากวงจร DVCS Inverter ร่วมกับวงจร CMOS Inverter ดังแสดงในรูปที่ 5.2 และการทำงานของวงจร Threshold-t gate เมื่อกำหนดให้ $t = 0.5$ สัญญาณอินพุต x ซึ่งมีค่าได้ 3 สถานะ (0, 1 และ 2) จะถูกแปลงให้มีสถานะเหลือเพียงสองสถานะ (0,1) ด้วย CMOS inverter (MP1-MN1, MP2-MN2 และ MP3-MN3) โดย $x > t (= 0.5)$ จะถูกมองให้มีสถานะ "1" จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) อีกครั้งด้วยวงจร DCVS inverter (MN4-5, MP4-5) จากการป้อนกลับภายในเพื่อให้ได้ระดับศักดาที่เหมาะสมกับการควบคุมวงจร Transmission gate ต่อไป



รูปที่ 5.2 วงจรเทรชโฮลด์ทีเกท (Threshold-t gate) แบบ DCVS เมื่อ $t = 0.5$

สำหรับวงจร Threshold-t gate เมื่อกำหนดให้ $t = 1.5$ ดังแสดงในรูปที่ 5.3 การทำงานมีลักษณะเช่นเดียวกันกับที่กล่าวมาแล้ว คือสัญญาณ x จะถูกแปลงให้มีเพียงสองสถานะคือ (1, 2) ด้วย CMOS inverter โดยสัญญาณที่มีค่า $x < t (= 1.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) ผลลัพธ์แสดงดังในตารางที่ 5.1



รูปที่ 5.3 วงจรเทรชโฮลด์ทีเกท (Threshold-t gate) แบบ DCVS เมื่อ $t = 1.5$

ตารางที่ 5.1 ตารางความจริงของวงจร Threshold-t gate

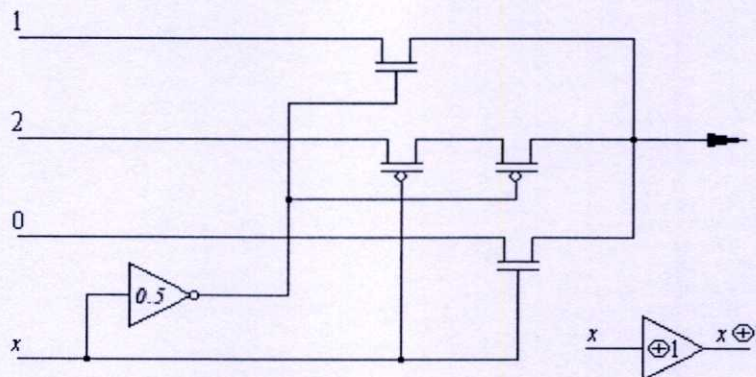
x	$x(0.5)$	$\overline{x(0.5)}$	$x(1.5)$	$\overline{x(1.5)}$
0	0	2	0	2
1	2	0	0	2
2	2	0	2	0

5.3 วงจรเทอร์นารีลอจิก Cycling gate

จากสมการในนิยามที่ 1 ถึงนิยามที่ 5 และสมการที่ (5.11) สามารถแสดงให้เห็นได้ในรูปแบบของสมการที่ (5.15) ได้ดังนี้

$$x \oplus 1 = 1 * x^{0.5} \# 2 * ({}^{0.5}x \cdot x^{1.5}) \# 0 * {}^{1.5}x \quad (5.21)$$

ดังนั้นจึงสามารถสร้างวงจรเทอร์นารีลอจิก Cycling gate โดยมีวงจรซีมอสอินเวอร์เตอร์ (CMOS inverter) มาร่วมในการสร้างวงจร และให้ $t = 0.5$ ดังแสดงในรูปที่ 5.4



รูปที่ 5.4 วงจรเทอร์นารีลอจิก Cycling gate เมื่อ $t = 0.5$

ตารางที่ 5.2 ตารางความจริงของวงจรเทอร์นารีลอจิก Cycling gate

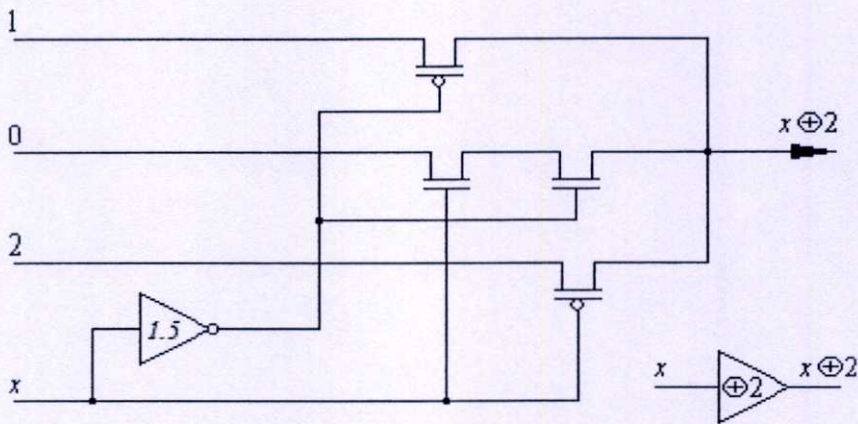
x	$x \oplus 1$
0	1
1	2
2	0

5.4 วงจรเทอร์นารีลอจิก Inverse cycling gate

ดังเช่นในการสร้างวงจร Cycling gate ซึ่งจะสามารถที่จะสร้างวงจรได้จากสมการที่อยู่ในรูปแบบของสมการดังนี้คือ

$$x \oplus 2 = 2 * x^{0.5} \# 0 * (x^{0.5} * x^{1.5}) \# 1 * x^{1.5} \quad (5.22)$$

สามารถสร้างวงจรเทอร์นารีลอจิก Inverse Cycling gate โดยมีวงจรซีมอสอินเวอร์เตอร์ (CMOS inverter) มาร่วมในการสร้างวงจร และให้ $t = 1.5$ ดังแสดงในรูปที่ 5.5



รูปที่ 5.5 วงจรเทอร์นารีลอจิก Inverse cycling gate

ตารางที่ 5.3 ตารางความจริงของวงจรเทอร์นารีลอจิก Inverse cycling gate

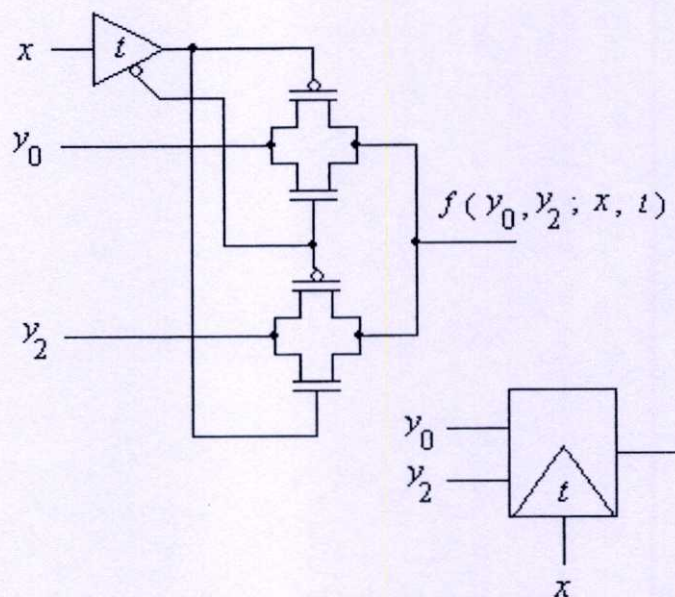
x	$x \oplus 2$
0	2
1	0
2	1

5.5 วงจรเทอร์นารีลอจิก 1-of-2 Threshold-t multiplexer

ดังในนิยามที่ 9 สมการที่ (5.16) จะสามารถแสดงเป็นฟังก์ชันของวงจร 1-of-2 Threshold-T multiplexer ได้ดังนี้

$$f(y_0, y_2; x, t) = y_0 * (x') \# y_2 * (x) \quad (5.23)$$

เมื่อสร้างขึ้นด้วยวงจร Transmission gate แสดงได้ในรูปที่ 5.6



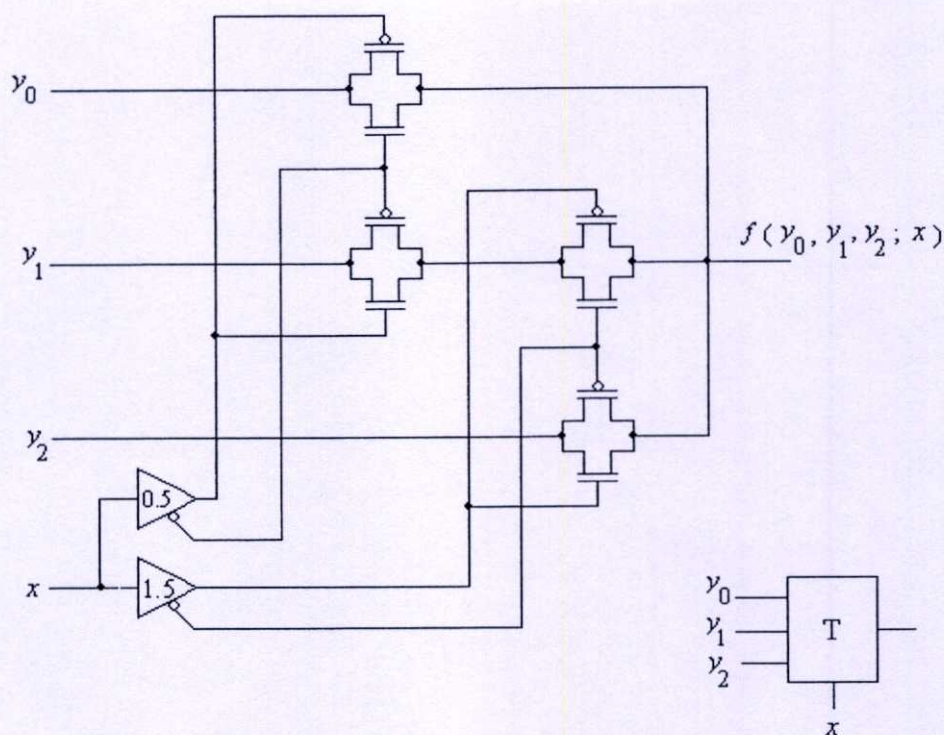
รูปที่ 5.6 วงจรเทอร์นารีลอจิก 1-of-2 Threshold-t multiplexer

5.6 วงจรเทอร์นารีลอจิก T-gate

จากสมการที่ (5.11) และในนิยามที่ 10 (5.17) สามารถนำมาสร้างเป็นสมการของวงจรเทอร์นารีลอจิก T-gate ได้ โดยมีลอจิกฟังก์ชันสมการดังนี้

$$f(y_0, y_1, y_2; x) = y_0 * x^{0.5} \# y_1 * (x^{0.5} \cdot x^{1.5}) \# y_2 * x^{1.5} \quad (5.24)$$

ดังนั้นสามารถที่จะสร้างวงจรเทอร์นารีลอจิก T-gate ได้จากสมการที่ (5.24) ดังรูปที่ 5.7



รูปที่ 5.7 วงจรเทอร์นารีลอจิก T-gate

ตารางที่ 5.4 ตารางความจริงของวงจรเทอร์นารีลอจิก T-gate

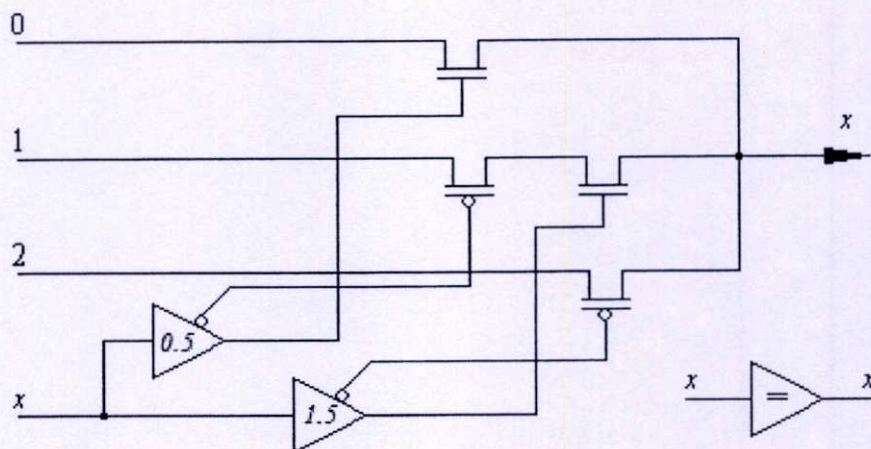
x	T-gate
0	y_0
1	y_1
2	y_2

5.7 วงจรเทอร์นารีลอจิก Identity cell

วงจรเทอร์นารี Identity cell หรือ Buffer นั้น สามารถที่จะสร้างขึ้นได้โดยนำวงจรเทรคโพลต์ที่เกทที่ $t = 0.5$ และ $t = 1.5$ มาทำงานร่วมกัน ซึ่งจะต้องสอดคล้องและเป็นไปตามสมการดังต่อไปนี้

$$x = 0 * x^{0.5} \# 1 * (x^{0.5} * x^{1.5}) \# 2 * x^{1.5} \quad (5.25)$$

ฉนวนวงจรที่สร้างได้จากสมการที่ (5.24) สามารถที่จะแสดงได้ดังรูปที่ 5.5



รูปที่ 5.8 วงจรเทอร์นารีลอจิก Identity cell

ตารางที่ 5.5 ตารางความจริงของวงจรเทอร์นารีลอจิก Identity cell

x	x
0	0
1	1
2	2

5.8 วงจรเทอร์นารีแบบสองอินพุท

สำหรับวงจรเทอร์นารีแบบสองอินพุท (x, y) ซึ่งมีฟังก์ชันดังสมการที่ (5.26) และแสดงผลลัพธ์ของฟังก์ชันแสดงได้ดังตารางที่ 5.6

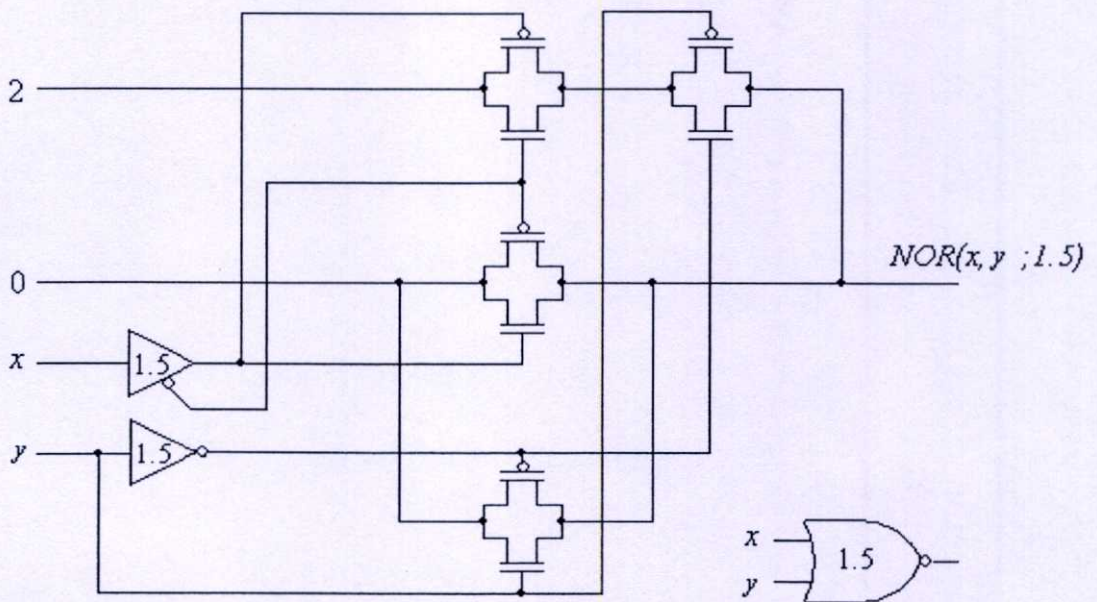
$$\begin{aligned}
 f(x, y) = & C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5} \cdot 0.5 y \cdot y^{1.5}) \# \\
 & C_2 * (x^{0.5} \cdot 1.5 y) \# C_3 * (0.5 x \cdot x^{1.5} \cdot y^{0.5}) \# \\
 & C_4 * (0.5 x \cdot x^{1.5} \cdot 0.5 y \cdot x^{1.5}) \# \\
 & C_5 * (0.5 x \cdot x^{1.5} \cdot 1.5 y) \# C_6 * (1.5 x \cdot y^{0.5}) \# \\
 & C_7 * (1.5 x \cdot 0.5 y \cdot y^{1.5}) \# C_8 * (1.5 x \cdot 1.5 y) \#
 \end{aligned}
 \tag{5.26}$$

ตารางที่ 5.6 ตารางความจริงของวงจรเทอร์นารีแบบสองอินพุต

x	y	$f(x,y)$
0	0	C_0
0	1	C_1
0	2	C_2
1	0	C_3
1	1	C_4
1	2	C_5
2	0	C_6
2	1	C_7
2	2	C_8

เช่นวงจร Threshold- t NOR-2 inputs เมื่อทำการลดรูปสมการด้วย K-map ทำให้ได้ฟังก์ชันลดรูปในสมการที่ (5.27) เมื่อกำหนดให้ $t = 1.5$ และวงจรแสดงได้ดังรูปที่ 5.9

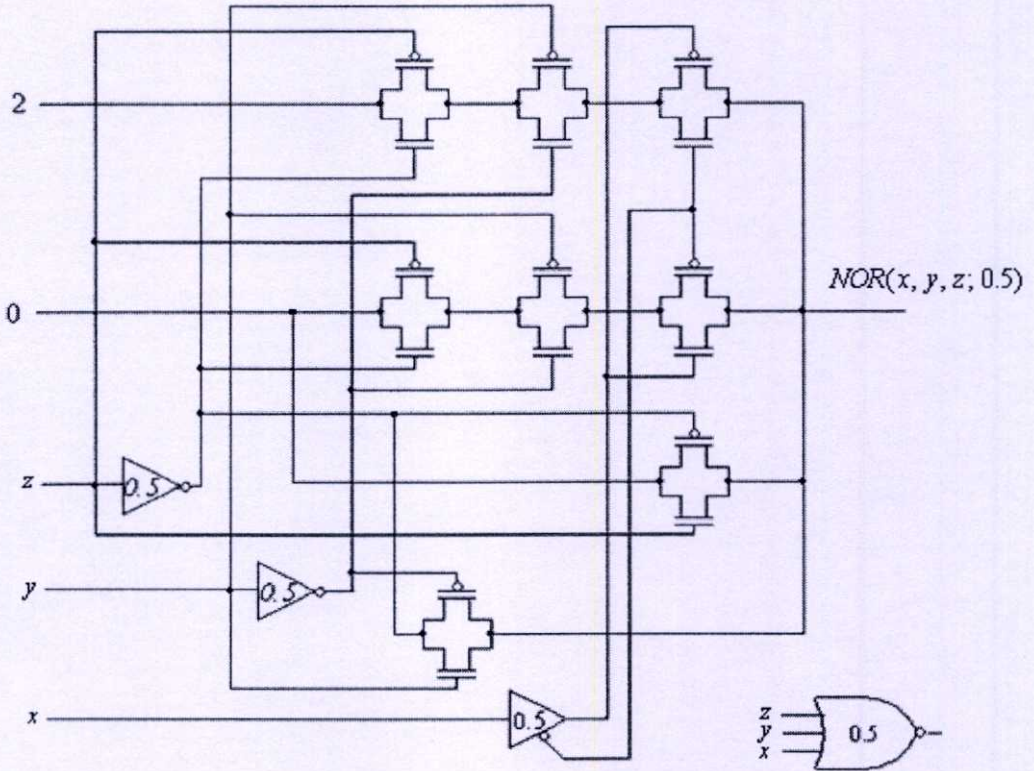
$$NOR(x, y; 1.5) = 2 * (x^{1.5} \cdot^{1.5} y) \# 0 * (^{1.5} x) \# 0 * (y^{1.5}) \quad (5.27)$$



รูปที่ 5.9 วงจร Threshold- t NOR-2 input เมื่อ $t = 1.5$

ส่วนในกรณีที่มีอินพุตมากกว่า 2 เช่นกรณี วงจร Threshold-t NOR-3 inputs ซึ่งมีฟังก์ชันหลักแสดง
รูปด้วย K-map ดังแสดงในสมการที่ (5.28) เมื่อกำหนดค่าให้ $t = 0.5$ และแสดงวงจรได้ดังรูปที่ 5.10

$$NOR(x, y, z; 0.5) = 2 * (x^{0.5} \cdot y^{0.5} \cdot z^{0.5}) \# 0 * ({}^{0.5}x) \# 0 * ({}^{0.5}y) \# 0 * ({}^{0.5}z) \quad (5.28)$$



รูปที่ 5.10 วงจร Threshold-t NOR-3 input เมื่อ $t = 0.5$

บทที่ 6

การออกแบบวงจรเทอร์นารีซีแควนเซียลลอจิกและผลการวิเคราะห์

วงจรดิจิทัลซีแควนเซียลประกอบด้วยส่วนสำคัญสองส่วนคือ ส่วนประมวลผลทางลอจิก และ ส่วนป้อนกลับ วงจรดิจิทัลซีแควนเซียลที่ง่ายที่สุดคือ วงจรประเภทหน่วยความจำ ซึ่งทำหน้าที่เก็บสถานะทางลอจิก โดยอาศัยการป้อนกลับ และการเชื่อมต่อในส่วนป้อนกลับจะถูกแยกออกเมื่อมีสัญญาณใหม่ถูกส่งเข้ามา ซึ่งมีลอจิกฟังก์ชันดังนี้

$$Q_+ = Q * CP' \# D * 'CP \quad (6.1)$$

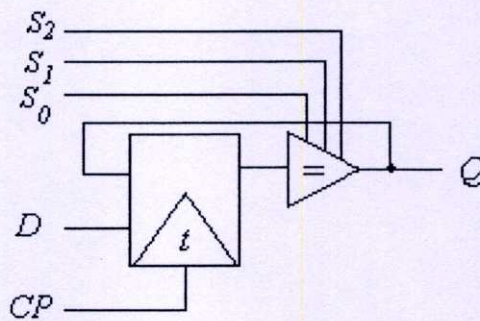
โดยที่

CP คือ สัญญาณควบคุมไบนารี โดย $CP \in \{0, 2\}$

Q_+ คือ สัญญาณทางเอาต์พุต (Next State)

Q คือ สัญญาณป้อนกลับจากทางเอาต์พุต

D คือ สัญญาณอินพุต (Latch receive)

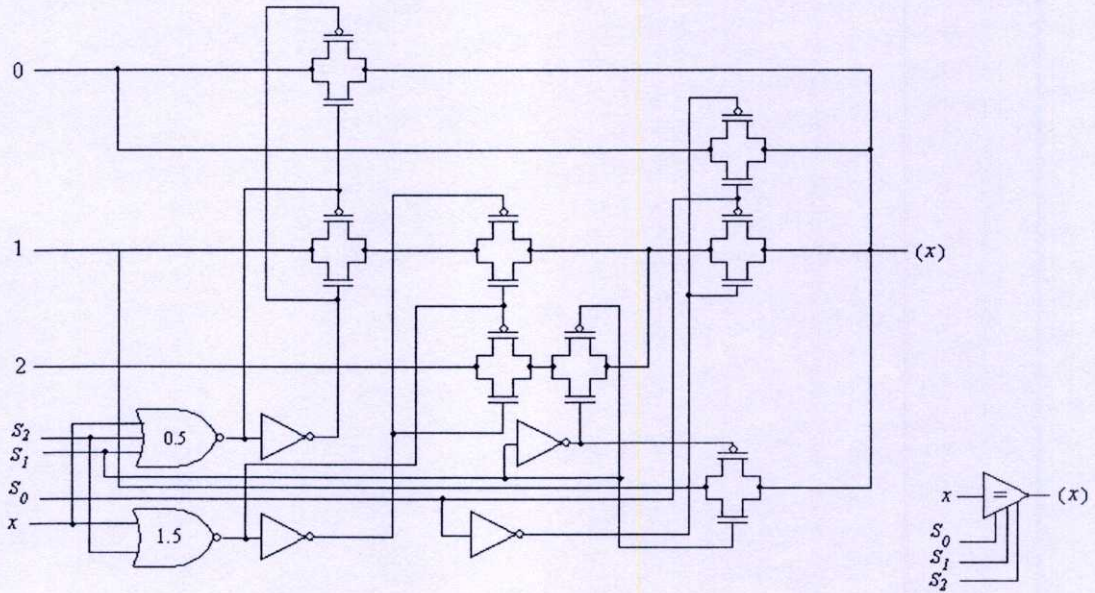


รูปที่ 6.1 วงจร Tri-latch

ตารางที่ 6.1 ตารางความจริงวงจร Ternary Latch โดยชุดควบคุม S_i

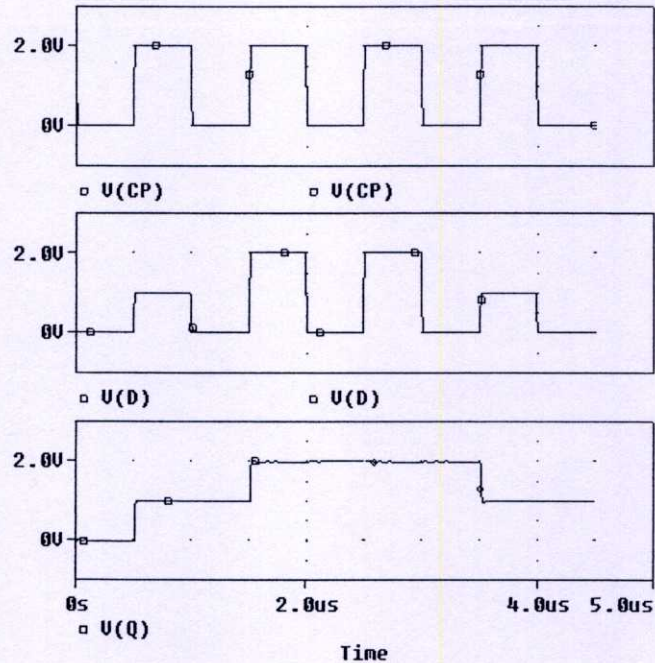
S_0	S_1	S_2	Q_+
0	0	0	Q
0	0	2	0
0	2	0	1
2	0	0	2

จากรูปวงจรที่ 6.1 ซึ่ง CP เป็นสัญญาณควบคุมแบบไบนารี คือ $CP \in \{0,2\}$ ทำหน้าที่เป็นสัญญาณนาฬิกา ดังนั้น t อาจมีค่าเป็น 0.5 หรือ 1.5 และวงจรก็จะประกอบไปด้วยวงจร Threshold-t multiplexer กับวงจร Identity cell (Buffer) ที่ถูกปรับปรุงประสิทธิภาพในการควบคุมเอาต์พุต โดยเพิ่มส่วนควบคุมเข้าไป ซึ่งมีสัญญาณควบคุม $S_i \in \{0,2\}$ ทำหน้าที่กำหนดสถานะเอาต์พุตให้เป็นไปตามที่ต้องการ ดังผลลัพธ์ในตารางที่ 6.1 และวงจร Identity cell ที่เพิ่มชุดควบคุมเข้าไป แสดงได้ดังรูปที่ 6.2



รูปที่ 6.2 Identity cell แบบที่มีส่วนชุดควบคุมเอาต์พุต

จากวงจร Identity cell จะสังเกตได้ว่าการควบคุมการส่งผ่านของวงจรไปสู่เอาต์พุต x นั้นจะมีชุดควบคุมวงจร Threshold-t NOR gate สองตัวคือค่า $t = 0.5$ กับ $t = 1.5$ ดังนั้นถ้าพิจารณาวงจร Threshold-t NOR gate ($t = 1.5$) โดยถ้า $S_2 = 0$ เมื่อใด ค่าทางเอาต์พุตของ Threshold-t NOR gate ($t = 1.5$) นี้จะเป็น $x(1.5)$ และถ้า $S_2 = 2$ ค่าทางเอาต์พุตของ Threshold-t NOR gate ($t = 1.5$) นี้จะเป็น 0 ฉะนั้นในการจำลองการทำงานของวงจร Tri-latch โดยที่วงจร Identity cell นั้นมีชุดควบคุมอยู่ด้วย จะกำหนดให้ S_0, S_1, S_2 มีค่าเท่ากับ 0 เพื่อให้สถานะทางเอาต์พุตแสดงค่าออกมาอย่างปกติ และป้อนสัญญาณ CP กับข้อมูลทางอินพุต D โดย $D \in \{0,1,2\}$ ซึ่งผลลัพธ์ที่ได้จะแสดงออกมาทางเอาต์พุต Q ดังแสดงให้เห็นได้ดังรูปที่ 6.3

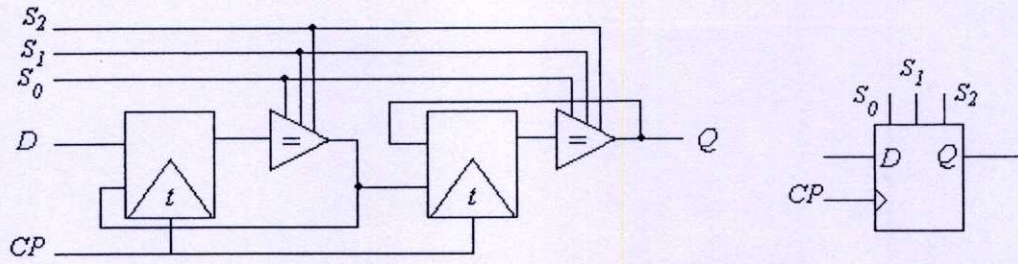


รูปที่ 6.3 ผลการจำลองการทำงานวงจร Tri-latch

จากผลการจำลองการทำงานที่ได้ในรูปที่ 6.3 แสดงให้เห็นว่าค่าทางเอาต์พุตของวงจร Tri-latch จะขึ้นอยู่กับสัญญาณของ CP เพราะเมื่อ CP = 2 เมื่อใด ผลทางเอาต์พุต Q ก็แสดงค่าของข้อมูลที่ป้อนเข้ามาทางอินพุต D ในตอนนั้นออกมาและหลังจากที่ CP เปลี่ยนมาเป็น CP = 0 ผลทางเอาต์พุต Q ก็จะยังคงสถานะค่าเดิมอยู่จนกว่า CP = 2 อีกครั้ง จึงจะแสดงค่าของข้อมูลที่ป้อนเข้ามาทางอินพุต D กล่าวโดยสรุปแล้ววงจร Tri-latch จะแสดงค่าตอบสนองทางอินพุตไปยังเอาต์พุตก็ต่อเมื่อมีสัญญาณควบคุม CP = 2 และถ้า CP = 0 ค่าเอาต์พุตก็จะยังคงสถานะเดิมที่เป็นอยู่

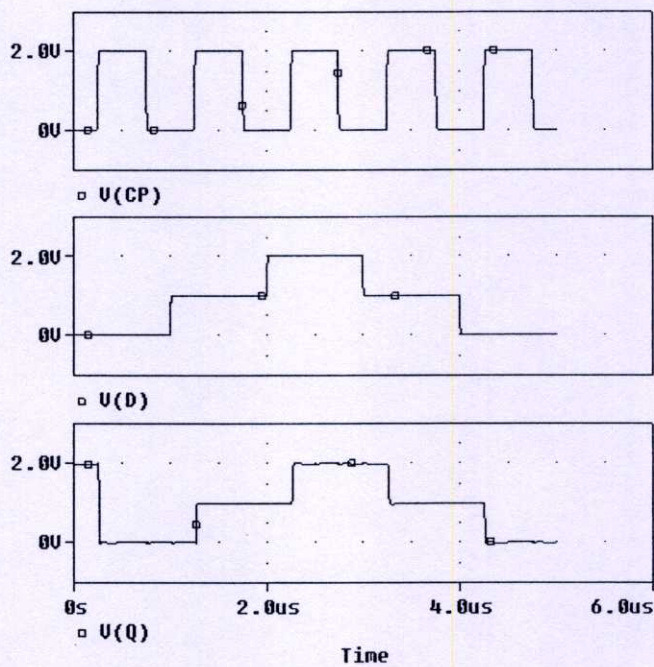
และเมื่อทำการเชื่อมโยงวงจร Tri-latch สองวงจร โดยสลับตำแหน่งการเชื่อมโยงการป้อนกลับและการนำสัญญาณเข้า ดังนั้นจะได้วงจร D-type Tri-flop ซึ่งจะทำกรอ่านข้อมูลเข้าที่ขอบขาขึ้นของสัญญาณนาฬิกา (CP) ดังแสดงในรูปที่ 6.3 ซึ่งสามารถแสดงในรูปฟังก์ชันได้ดังนี้

$$Q_+ = D \quad (6.1)$$



รูปที่ 6.4 วงจร D-type Tri-flop และสัญลักษณ์

ในการจำลองการทำงานของวงจร D-type Tri-flop ได้กำหนดให้ S_0, S_1, S_2 เท่ากับ 0 และป้อนสัญญาณ CP กับข้อมูลเข้ามาทางอินพุต D ซึ่ง $D \in \{0, 1, 2\}$ ผลที่ได้นั้นแสดงได้ดังรูปที่ 6.5

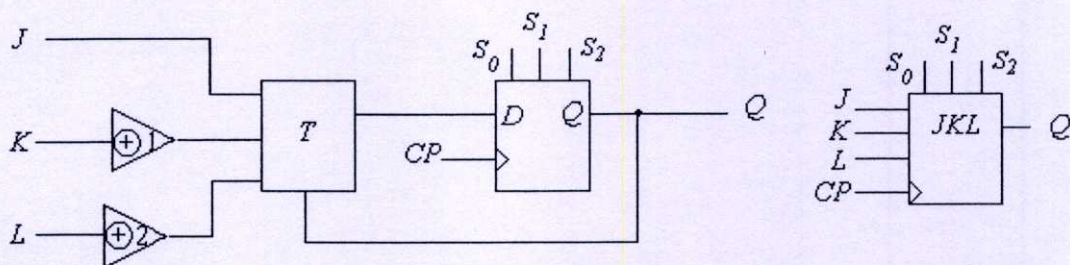


รูปที่ 6.5 ผลการจำลองการทำงานของวงจร D-type Tri-flop

จากผลการจำลองที่ได้ แสดงให้เห็นถึงการทำงานของวงจร D-type Tri-flop ได้ถูกต้อง แต่เมื่อสังเกตดูจากกราฟทางเอาต์พุต Q แล้ว จะมีการหน่วงเวลาในการทำงานระหว่างทางอินพุตกับเอาต์พุตให้เห็น

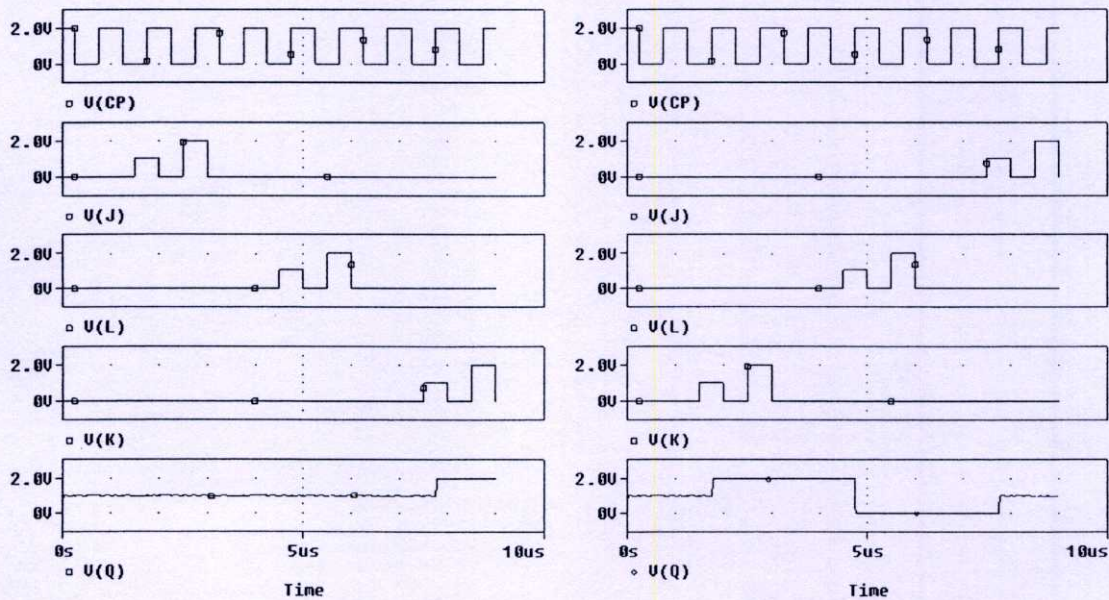
สำหรับวงจร JKL Tri-flop สามารถสร้างขึ้นจากวงจร D-type Tri-flop โดยเพิ่มส่วน T-gate ให้ทำหน้าที่เป็นส่วนควบคุมการนำสัญญาณเข้าและส่วนควบคุมการป้อนกลับ โดยจะเลือกนำสัญญาณ J , $K \oplus 1$ และ $L \oplus 2$ เป็นสัญญาณเข้า ขึ้นกับสถานะลอจิกของเอาต์พุตก่อนหน้านี้ ดังแสดงในรูปที่ 6.6 และฟังก์ชันการทำงานของวงจรนี้คือ

$$Q_+ = J * Q^{0.5} \# (K \oplus 1) * (Q^{0.5} \cdot Q^{1.5}) \# (L \oplus 2) *^{1.5} Q \tag{6.2}$$



รูปที่ 6.6 วงจร JKL-type Tri - flop และสัญลักษณ์

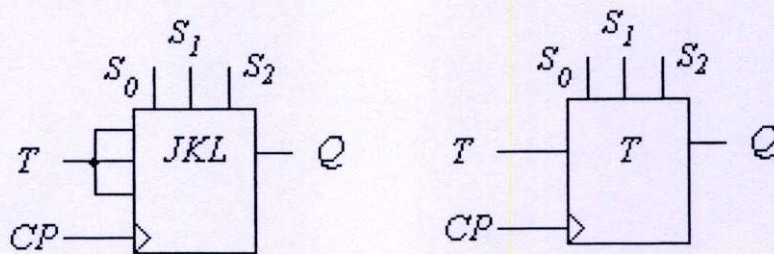
ซึ่งผลการจำลองการทำงานแสดงได้ในรูปที่ 6.7



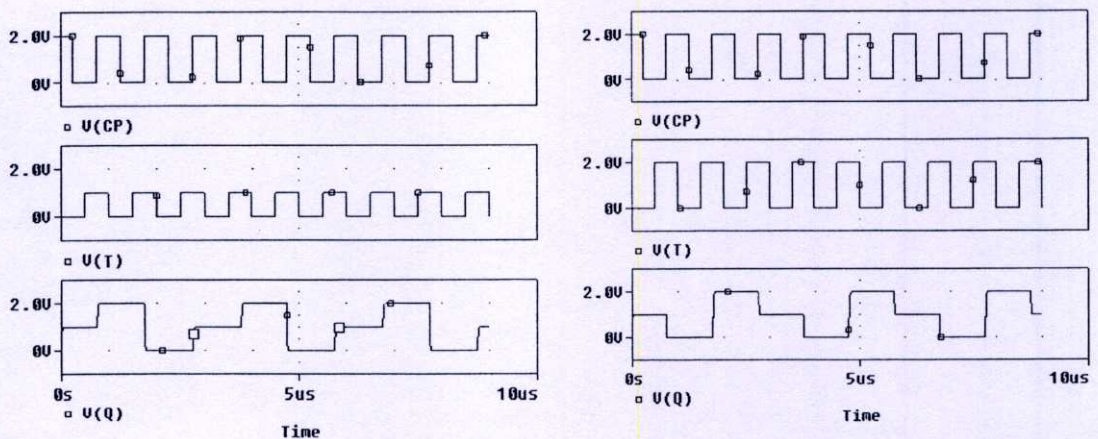
รูปที่ 6.7 ผลการจำลองการทำงานวงจร JKL-type Tri - flop

สำหรับวงจร T-type Tri-flop สามารถสร้างขึ้นจากวงจร JKL Tri-flop โดยเพียงทำการเชื่อมต่อสัญญาณเข้า J, K และ L ทั้งหมดเข้าด้วยกันดังรูปที่ 6.8 ซึ่งจะทำหน้าที่เปลี่ยนสถานะเอาต์พุตให้นับเพิ่มขึ้นหรือลดลง เมื่อสัญญาณอินพุต T เท่ากับ 1 และ 2 ตามลำดับ และคงสถานะเอาต์พุตไว้เมื่อ T เท่ากับ 0 ดังแสดงในผลการจำลองการทำงานในรูปที่ 6.9 ฟังก์ชันแสดงการทำงานในรูปสมการคือ

$$Q_+ = T \oplus Q \quad (6.3)$$



รูปที่ 6.8 วงจร T-type Tri-flop และสัญลักษณ์



รูปที่ 6.9 ผลการจำลองการทำงานวงจร T-type Tri-flop

การทำงานของวงจรทั้งสามสามารถสรุปได้ในตารางที่ 6.2

ตารางที่ 6.2 Excitation Tables ของวงจร Tri - flop แบบต่าง ๆ

D-type	JKL-type			T-type	Present State	Next State
D	J	K	L	T	Q	Q_+
0	0	<i>d</i>	<i>d</i>	0	0	0
1	1	<i>d</i>	<i>d</i>	1	0	1
2	2	<i>d</i>	<i>d</i>	2	0	2
0	<i>d</i>	2	<i>d</i>	2	1	0
1	<i>d</i>	0	<i>d</i>	0	1	1
2	<i>d</i>	1	<i>d</i>	1	1	2
0	<i>d</i>	<i>d</i>	1	1	2	0
1	<i>d</i>	<i>d</i>	2	2	2	1
2	<i>d</i>	<i>d</i>	0	0	2	2

บทที่ 7

สรุปผลการวิเคราะห์

ในการออกแบบวงจรดิจิทัลแบบ Multiple – Valued Logic (MVL) ซึ่งเป็นการออกแบบวงจรให้มีความสามารถในการส่งข้อมูลต่าง ๆ ได้สูง เราไม่สามารถที่จะใช้วิธีการออกแบบวงจรดิจิทัลแบบไบนารีทั่ว ๆ ไป มาทำการออกแบบวงจรได้ เพราะจะสร้างความลำบากอย่างมากในการออกแบบและสร้างขึ้นมา อย่างเช่น การออกแบบวงจรเทอร์นารี ซึ่งต้องกำหนดศักดาเทรสโวลต์ของทรานซิสเตอร์ให้เหมาะสม เพื่อควบคุมให้ Pass – Transistor ทำงานได้อย่างถูกต้อง ถ้าเราใช้วิธีการออกแบบวงจรแบบไบนารี ก็จะเป็นเรื่องยากและทำให้ขั้นตอนกระบวนการในการผลิต เกิดการซับซ้อนและยุ่งยากเป็นอย่างมาก ส่งผลให้ต้นทุนในการผลิตสูงขึ้น

ฉะนั้นจากการออกแบบวงจรเทอร์นารีแบบ CMOS Transmission Gate ซึ่งจะถูกควบคุมด้วยวงจร Threshold – T gate ที่มีการรักษาระดับของศักดาให้เหมาะสมด้วยการควบคุมวงจรแบบ Differential Cascode Voltage Switch (DCVS) จะทำให้เราสามารถออกแบบวงจรได้อย่างสะดวก โดยกำหนดให้ทรานซิสเตอร์ที่ใช้ในวงจรมีค่าศักดาเทรสโวลต์ที่เท่ากัน ซึ่งจะส่งผลให้กระบวนการในการผลิตขึ้นมาใช้งานนั้นง่ายกว่าการออกแบบวงจรแบบไบนารี โดยทั่ว ๆ ไป

จากเหตุผลที่กล่าวมา เราจึงสามารถที่จะออกแบบวงจรเทอร์นารีที่ความเร็วเชื่อถือได้ โดยใช้วิธีการแบบ CMOS Transmission gate มาทำการออกแบบวงจร ซึ่งวงจรดิจิทัลที่ความเร็วเชิยลนั้นเป็นวงจรที่สำคัญในการออกแบบวงจรรวมแบบ Multiple – Value Logic (MVL) และจากการออกแบบตัวอย่างวงจร D-type, JKL-type และ T-type ซึ่งได้ทดสอบวงจรโดยการจำลองการทำงานด้วยโปรแกรม PSPICE ที่ผ่านมานั้น เราสามารถออกแบบวงจรที่มีฟังก์ชันที่สลับซับซ้อนได้อย่างเป็นระบบด้วยเทคโนโลยีการผลิตวงจรรวม CMOS มาตรฐานทั่วไป และการออกแบบวงจรก็เป็นไปอย่างสะดวก

แต่เนื่องจากการออกแบบตัวอย่างวงจร D-type, JKL-type และ T-type นั้นยังได้วงจรที่มีขนาดใหญ่อยู่และต้องใช้ทรานซิสเตอร์เป็นจำนวนมาก โดยเฉพาะวงจร Threshold-t gate ที่ทำหน้าที่เปลี่ยนสัญญาณเทอร์นารีเป็นสัญญาณควบคุมไบนารีนั้น ต้องใช้ทรานซิสเตอร์ถึง 10 ตัวเพื่อประกอบขึ้นมาเป็นวงจร Threshold-t gate ฉะนั้นถ้าเราสามารถที่จะลดจำนวนของทรานซิสเตอร์ลง

มาได้ ก็จะส่งผลให้วงจรมีขนาดเล็กลงมาและขบวนการในการผลิตก็จะมีขั้นตอนที่ง่ายขึ้น ต้นทุนในการผลิตก็จะลดลงไปอีก

จากแนวทางในการออกแบบวงจรเทอร์นารีซีเควลเชิงลอจิกที่ผ่านมา เราสามารถที่จะลดวงจร Threshold-t gate ให้มีขนาดเล็กลงมาได้โดยการลดรูปจาก K-map หรือสามารถที่จะนำวงจร CMOS Inverter แบบไบนารีมาใช้แทนวงจร Threshold-t gate ก็ได้ ซึ่งจะช่วยให้วงจรมีขนาดเล็กลงได้

บรรณานุกรม

- [1] H. T. Mouftah and I.B. Jordan, **“Design of Ternary COS/MOS Memory and Sequential Circuit,”** IEEE Trans. Comp., pp. 281-288, 1977.
- [2] X. Wu and F. Prosser, **“Ternary CMOS Sequential Circuit,”** Proc. International Symposium on MVL 18th, pp. 307-313, 1988.
- [3] X. Wu and X. Chen, **“Ternary Flip-Flops with triple-rail output and their application in ternary sequential circuit,”** Scientia Sinica, pp. 1208-1221, 1985.
- [4] O. Ishizaka, **“Synthesis of a Pass Transistor Network Applied to Multi-Valued Logic,”** Proc. IBID, pp. 51-57, 1986.
- [5] J. P. Uyemura, **“Circuit Design for CMOS VLSI,”** Kluwer Academic Publishers, Norwell, MA, 1992.
- [6] J. Yuan and C. Svenson, **“High-speed CMOS Circuit Technique,”** IEEE J. Solid-State Circuit, Vol. 4, No. 1, pp. 62-71, February 1989.
- [7] T. T. Dao, **“Threshold I^2L and its application in binary symmetric function and multivalued logic.”** IEEE J. Solid-State Circuit, pp. 463-475, Oct. 1977.
- [8] C. R. Edwards, **“ I^2L threshold circuits for binary-quaternary encoding and decoding,”** Int. J. Electrons., Vol. 44, No. 4, pp. 445-448, 1978.
- [9] J. G. Tront and D. Givone, **“Multiple-Valued Logic gates using MESFETs,”** in Proc. 9th Int. Symp. Multiple-Valued Logic, pp. 175-181, May 1979.
- [10] C. Y. Lee and W. H. Chen, **“Several-valued combinational switching circuit,”** AIEE Trans., Vol. 75, pp. 278-283, Pt. I, July 1956.
- [11] T. Higuchi and M. Kamiyama, **“Ternary logic system based on T-gate,”** Proc. 5th Int. Symp. Multiple-Valued Logic, Bloomington, IN, pp. 290-304, May 1975.
- [12] Z. G. Vranesic, K. C. Smith and A. Druzeta, **“Electronic implementation of multi-valued logic networks,”** Proc. 4th Int. Symp. Multiple-Valued Logic, Morgantown, WV, pp. 59-77, May 1974.
- [13] K. W. Current and D. A. Mow, **“Four valued threshold logic full adder circuit implementation,”** Proc. 8th Symp. Multiple-Valued Logic, pp. 95-100, May 1978.

- [14] K. C. Smith, "**Circuit for multiple-valued logic –A tutorial and appreciation,**" Proc. 6th Int. Symp. Multiple-Valued Logic, pp. 30-43, May 1976.
- [15] E. J. Mc Cluskey, "**Logic design of MOS Ternary logic,**" Proc. 10th Int. Symp. Multiple-Valued Logic, pp. 1-5, June 1980.
- [16] X. Wu, X. Chen and F. Prosser, "**CMOS ternary flip-flops and their applications,**" IEE Proceedings, Vol. 135, No. 5, Pt. E, pp. 266-272, September 1988.
- [17] X. Wu and F. Prosser, "**CMOS ternary logic circuits,**" IEE Proceedings, Vol. 137, No. 1, Pt. G, pp. 21-27, February 1990.

ภาคผนวก

ภาคผนวก ก.

พารามิเตอร์ของมอสทรานซิสเตอร์

ตารางที่ ก.1 ค่าพารามิเตอร์ต่างๆ ของมอสทรานซิสเตอร์ 0.5 μm เทคโนโลยี Level 3 ของ MOSIS

.MODEL PMOS05U PMOS

(LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58
 +JS=0.38E-6 XJ=0.10U RSH=1.81 LD=0.03U +VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00
 +THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2
 +CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631 +CGSO=1.38E-10+ CGDO=1.38E-10 CGBO=3.45E-10
 +KF=1.08E-29 AF=1 WD=0.14U DELTA=0.81 +NFS=0.52E11)

.MODEL NMOS05U NMOS

(LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62
 +JS=1.08E-6 XJ=0.15U RSH=2.73 LD=0.04U +VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00
 +THETA=0.129 PHI=0.905 GAMMA=0.69 +KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10
 +MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10 +CGBO=3.45E-10 KF=3.07E-28 AF=1 WD=0.11U
 +DELTA=0.42 NFS=1.2E11)

ภาคผนวก ข.

ผลงานทางวิชาการที่ได้รับการตีพิมพ์

ผลงานทางวิชาการที่ได้รับการตีพิมพ์

สมปอง วิเศษพานิชกิจ กู้เกียรติ ศิลปศาสตร์ และ กอบชัย เศรษฐาญ “การออกแบบวงจรถอรัณารี่ซีแควนเซียลลอจิก” วิศวกรรมลาดกระบัง ปีที่ 26 ฉบับที่ 1 มีนาคม 2552



วิศวกรรมลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang

ปีที่ 26 ฉบับที่ 1

มีนาคม 2552

วิศวกรรมโทรคมนาคม

1. การออกแบบวงจรเทอร์นาทีซีควมเขี่ยลลจิก
สมปอง วิเศษพานิชกิจ ภู่เกียรติ ศิลปศาสตร์ กอบชัย เดชหาญ 1
2. วงจรข้อพเปอร์มอดูเลเตอร์โดยใช้วงจรสายพานกระแสแบบแรงดันอินพุตแตกต่างเป็นวงจรพื้นฐาน
มนตรี คำเงิน ชิตติมา ตริพิศย์คม์ กอบชัย เดชหาญ 7
3. วงจรกรองความถี่หลายฟังก์ชันโหมดกระแสที่ปรับค่าพารามิเตอร์ด้วยวิธีทางอิเล็กทรอนิกส์แบบ
สามอินพุตและหนึ่งเอาต์พุต
มนตรี คำเงิน กอบชัย เดชหาญ 13
4. วงจรกรองความถี่หลายรูปแบบโหมดกระแสที่ปรับค่าพารามิเตอร์ด้วยกระแสแบบหนึ่งอินพุตและ
สามเอาต์พุต
มนตรี คำเงิน กอบชัย เดชหาญ 19
5. วงจรรากที่สามอย่างง่ายที่สร้างด้วยเทคโนโลยีซีมอล
มนตรี คำเงิน กอบชัย เดชหาญ 25
6. วงจรกำเนิดสัญญาณไซน์หลายเฟสด้วยโครงสร้างดิฟเฟอเรนเชียลโดยใช้ CCCII
มนตรี สมดุลยภนิก จตุพล จวนสง พัทธมนี กอบชัย เดชหาญ 31
7. การวิเคราะห์กระบวนการการเข้าถึงหลายสล็อตแบบแรมดอมค่า p-persistent สำหรับโครงข่าย
DOCSIS
ธัญวรัตน์ ภาวะโสภณ สุวิพล สิทธิชีวภาค 37

วิศวกรรมไฟฟ้ากำลัง

8. การออกแบบและวิเคราะห์วงจรจำลองเซลล์แสงอาทิตย์
เอก เอื้อตระการวิวัฒน์ ชัยวุฒ สุรภัทร์ วิจิตร กิณเรศ 42

วิศวกรรมเคมี

9. การพัฒนากระบวนการแบบต่อเนื่องเพื่อนำกลับสารเคมีที่ใช้ในการผลิตน้ำยางข้นจากทางน้ำยาง
ชัยวุฒ, สายแสงธรรม ดวงกมล ณ ระนอง สุรพิชญ ลอยกุลนันท์ ฉวีวรรณ คงแก้ว 48

วิศวกรรมเครื่องกล

10. การศึกษาแนวทางปรับปรุงศักยภาพของการประยุกต์กล้องเว็บแคมในการวัดระยะเชิงภาพ
เทอด อภิษรทอง สุริตะพล หุยนันท์ 54

วิศวกรรมอุตสาหการ

11. การออกแบบการทดลองแบบแฟคตอเรียล เพื่อหาสภาวะที่เหมาะสมสำหรับการเคลือบแลกเกอร์
บนแผ่นเหล็กเคลือบตีบุก
ทศพล เกียรติเจริญผล 60

การออกแบบวงจรเทอร์นารีซีควนเชียลลอจิก

Ternary Sequential Logic Design

สมปอง วิเศษพานิชกิจ กุ๊เกียรติ ศิลปศาสตร์ กอบชัย เฉลยหาญ

ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรเทอร์นารีซีควนเชียลลอจิกด้วย CMOS Transmission Gate โดยออกแบบส่วนควบคุมซึ่งทำหน้าที่แปลงสัญญาณที่มีสามระดับ (Ternary Logic) เป็นสัญญาณแบบไบนารี (Binary Logic) ที่สร้างขึ้นจากวงจร Differential Cascade Voltage Switch (DCVS) ทำให้วงจรเทอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรรวมดิจิทัลทั่วไปและง่ายต่อการควบคุม ช่วยให้การออกแบบวงจรเป็นไปอย่างเป็นระบบและด้วยการป้อนกลับสัญญาณแบบเทอร์นารีสามารถสร้างวงจรรีซีควนเชียลลอจิกแบบต่าง ๆ โดยในบทความนี้เสนอตัวอย่างการออกแบบวงจร Tri-Flop ต่าง ๆ เช่น D-type, JKL-type และ T-type ที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) การทดสอบวงจรจะทำโดยโปรแกรมจำลอง PSPICE ซึ่งในบทความนี้จะใช้แบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.5 μm เพื่อแสดงการทำงานของวงจรรีซีควนเชียลลอจิกที่ออกแบบด้วยเทคนิคที่นำเสนอ

คำสำคัญ: เทอร์นารีลอจิก, ลอจิกดิจิทัล, ซีควนเชียลลอจิก

Abstract

This paper proposes the ternary sequential logic circuit design based on CMOS transmission gate with controlling sub-circuit that convert the ternary signal to binary signal and constructed by Differential Cascode Voltage Switch circuit (DCVS). Therefore, the ternary logic which is designed by using the proposed technique can be implemented with normal and well controlled CMOS fabrication process. This leads to the systematic design, and the ternary feedback, the sequential logic can be easily designed. In this paper, several tri-flop circuits are presented, such as, D-type, JKL-type and T-type which are essential cells for multiple-valued logic system. The simulation is performed by PSPICE program simulator with the MOS transistor model from MOSIC technology 0.5 μm . All results confirm the success of the proposed technique.

Keywords: Ternary Logic, Logic Design, Sequential Logic, Tri-Flop, Multiple-Valued Logic

1. บทนำ

อุปสรรคอย่างหนึ่งสำหรับการออกแบบวงจรรวมแบบดิจิทัล คือจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจร และการเชื่อมโยงสู่ภายนอก ทั้งนี้เนื่องจากจำนวนข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อรองรับกับความต้องการของผู้ใช้งาน แต่ด้วยข้อจำกัดของวงจรรวมแบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ เท่านั้น ดังนั้น จึงมี

ความต้องการในการออกแบบและใช้งานวงจรรีซีควนเชียลแบบ Multiple-Valued Logic (MVL) ซึ่งมีความหนาแน่นปริมาณข้อมูลข่าวสาร (Information Density) ภายในวงจร และความสามารถในการส่งข้อมูลข่าวสาร (Information-Carrying) สูงกว่าวงจรรีซีควนเชียลแบบไบนารีทั่วไป แต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรทำได้ลำบาก และไม่สามารถนำเทคนิคการออกแบบวงจรรีซีควนเชียลแบบไบนารีมาใช้ได้

เช่นการออกแบบวงจรเทอร์นารีให้มีรูปวงจรซีมอสและเพิ่มอุปกรณ์คือ ตัวต้านทานค่าสูง (~12kΩ) ที่โหนดเอาต์พุต [1] โดยทำหน้าที่จำกัดกระแสลัดวงจรเมื่อสถานะสัญญาณมีลอจิกเป็น '1' ทั้งนี้เพื่อลดกำลังงานสูญเสียภายในวงจร หรือการออกแบบวงจร MVL ด้วย Pass-Transistor Logic [2-4] อย่างไรก็ตาม การสร้างวงจรนี้จำเป็นต้องกำหนดศักดาเทรตโวลต์ของทรานซิสเตอร์อย่างเหมาะสมเพื่อควบคุมให้ Pass-Transistor ทำงานได้อย่างถูกต้อง ซึ่งเป็นเรื่องยากในขั้นตอนกระบวนการผลิตและส่งอาจส่งผลให้มีราคาแพง บทความนี้นำเสนอการออกแบบวงจรเทอร์นารีแบบ CMOS Transmission Gate ซึ่งถูกควบคุมด้วยวงจร Threshold-T gate ซึ่งให้เอาต์พุตเป็นสัญญาณไบนารีที่ถูกปรับขนาดให้เหมาะสมด้วยวงจร Differential Cascade Voltage Switch (DCVS) ดังนั้นสามารถออกแบบให้ทรานซิสเตอร์ที่ใช้ในวงจรจึงมีค่าศักดาเทรตโวลต์เท่ากัน ซึ่งง่ายต่อการผลิต ในหัวข้อที่ 2 จะกล่าวถึงหลักการออกแบบวงจรเทอร์นารีโดยใช้ CMOS Transmission Gate ส่วนหัวข้อที่ 3 จะกล่าวถึงการออกแบบวงจรเทอร์นารีซีเควนเซียล ซึ่งประกอบด้วยวงจร D-type Tri-Flop, JKL-type Tri-Flop และ T-type Tri-Flop การทดสอบวงจรใช้โปรแกรมจำลอง PSPICE โดยแบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.5 μm (ภาคผนวก) เพื่อแสดงการทำงานของวงจรที่ออกแบบด้วยเทคนิคที่นำเสนอ โดยกำหนดให้ทรานซิสเตอร์ทุกตัวมีขนาดเท่ากันคือ NMOS มีขนาดความกว้างต่อความยาวช่องทางเดินกระแส (W/L) เท่ากับ 4 μm / 0.5 μm และ PMOS มีขนาดเท่ากับ 8 μm / 0.5 μm

2. การออกแบบวงจรเทอร์นารีด้วย

Transmission Gate

เนื่องจากวงจรเทอร์นารีลอจิกประกอบด้วยลอจิก 3 ค่าคือ 0, 1 และ 2 แทนค่าความแตกต่างของสถานะทางไฟฟ้าซึ่งอาจอยู่ในรูปของค่าความต่างศักย์หรือขนาดกระแสไฟฟ้า โดยสมมติให้วงจรเทอร์นารี

ลอจิกมีฟังก์ชัน $f(x)$ ที่มีอินพุต x และมีเอาต์พุต C_i โดยที่ $x, C_i \in \{0, 1, 2\}$ ดังนั้น

$$f(x) = C_0 * (x^{0.5}) \# C_1 * (x^{0.5} \cdot x^{1.5}) \# C_2 * (x^{1.5}) \quad (1)$$

โดยการดำเนินการ

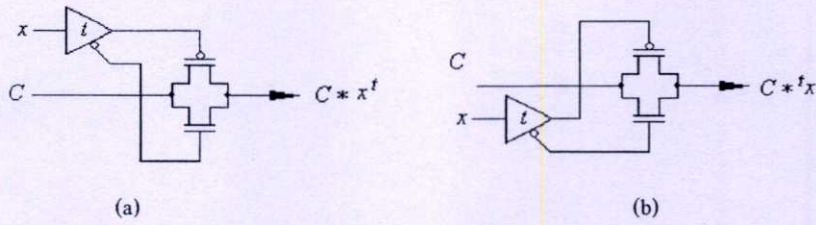
$$C_i * x' = \begin{cases} \phi & (\text{if } x > t) \\ C_i & (\text{if } x < t) \end{cases} \quad (2)$$

และ

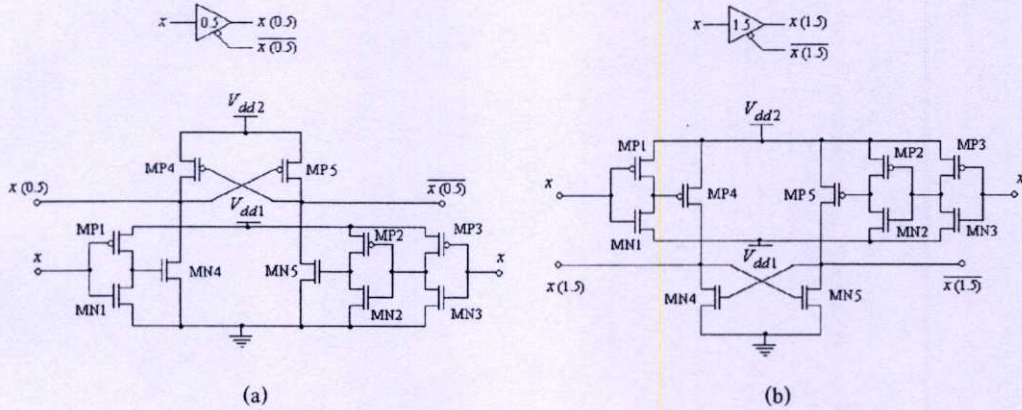
$$C_i * 'x = \begin{cases} C_i & (\text{if } x > t) \\ \phi & (\text{if } x < t) \end{cases} \quad (3)$$

โดยที่ ϕ หมายถึง เซตว่าง (ไม่มีเอาต์พุตใดๆ) กำหนดให้ t เป็นค่าเทรตโวลต์ และ $t \in \{0.5, 1.5\}$ สังเกตว่า x' มีสถานะเพียงสองสถานะแบบไบนารีคือเป็นจริงเมื่อ $x < t$ และเป็นเท็จเมื่อ $x > t$ ตามลำดับ ในทางกลับกัน $'x$ จะให้ค่าเป็นจริง $x > t$ และเป็นเท็จเมื่อ $x < t$ ดังนั้นการดำเนินการ $C_i * x'$ และ $C_i * 'x$ ซึ่งสามารถสร้างด้วยวงจร Transmission Gate แบบ CMOS โดยอาศัย x' และ $'x$ เป็นสัญญาณควบคุมดังแสดงในรูปที่ 1 โดยวงจร Threshold-T Gate (x' และ $'x$) สามารถสร้างขึ้นจากวงจร DVCS Inverter ร่วมกับวงจร CMOS Inverter ดังแสดงในรูปที่ 2

การทำงานของวงจร Threshold-T Gate เมื่อ $t = 0.5$ (รูปที่ 2 (a)) สัญญาณอินพุต x ซึ่งมีค่าได้ 3 สถานะ (0, 1 และ 2) จะถูกแปลงให้มีสถานะเหลือเพียงสองสถานะ (0, 1) ด้วย CMOS Inverter (MP1-MN1, MP2-MN2 และ MP3-MN3) โดย $x > (=0.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) อีกครั้งด้วยวงจร DVCS Inverter (MN4-5, MP4-5) จากการป้อนกลับภายในเพื่อให้ได้ระดับศักดาเหมาะกับการควบคุมวงจร Transmission Gate ต่อไป สำหรับวงจร Threshold-T Gate เมื่อ $t = 1.5$ (รูปที่ 2(b)) การทำงานมีลักษณะเช่นเดียวกันคือสัญญาณ x จะถูกแปลงให้มีเพียงสองสถานะคือ (1, 2) ด้วย CMOS Inverter โดยสัญญาณที่มีค่า $x < (=1.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) ตารางที่ 1 แสดงตารางความจริงของวงจร Threshold-T Gate



รูปที่ 1 วงจร Transmission Gate และ T-Threshold Gate สำหรับตัวดำเนินการ (a) $C * x^t$ และ (b) $C * x^t * x$



รูปที่ 2 วงจร Threshold-T Gate แบบ DCVS (a) $t = 0.5$ และ (b) $t = 1.5$

ตารางที่ 1 ตารางความจริงวงจร Threshold-T Gate

x	$x(0.5)$	$\overline{x(0.5)}$	$x(1.5)$	$\overline{x(0.5)}$
0	0	2	0	2
1	2	0	0	2
2	2	0	2	0

ดังนั้นวงจรเทอร์นารีลอจิก T-gate ซึ่งมีลอจิกฟังก์ชันดังสมการที่ (1) และมีเอาต์พุต y , สามารถสร้างขึ้นด้วยวงจรของ Transmission Gate และ Threshold-t Gate ดังจะแสดงได้ในรูปที่ 3 ซึ่งจะกำหนดให้ไม่มีสมการคือ $x \oplus i = \text{mod}_3(x+i)$ ดังนั้น

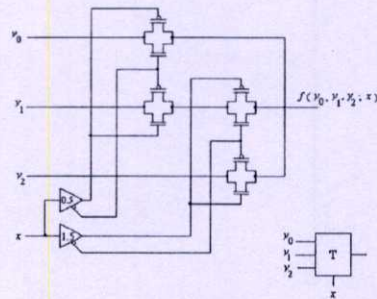
$$x \oplus 1 = 1 * x^{0.5} \# 2 * (x^{0.5} * x^{1.5}) \# 0 * x^{1.5} \quad (4)$$

$$x \oplus 2 = 2 * x^{0.5} \# 0 * (x^{0.5} * x^{1.5}) \# 1 * x^{1.5} \quad (5)$$

และกำหนดให้วงจร Identity Cell (Buffer) มีฟังก์ชัน

$$x = 0 * x^{0.5} \# 1 * (x^{0.5} * x^{1.5}) \# 2 * x^{1.5} \quad (6)$$

ดังนั้นวงจรเทอร์นารีนี้สามารถสร้างขึ้นเพื่อกำหนดค่าเอาต์พุต y_i ให้สอดคล้องกับอินพุต x , ดังตารางที่ 2



รูปที่ 3 วงจร T-Gate

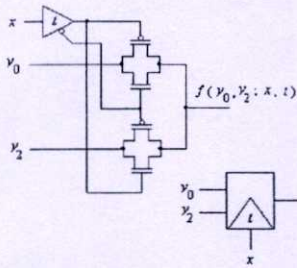
ตารางที่ 2 ตารางความจริงวงจร T-Gate, $x \oplus 1$ และ $x \oplus 2$

x	T-gate	$x \oplus 1$	$x \oplus 2$	identity cell
0	y_1	1	2	0
1	y_2	2	0	1
2	y_3	0	1	2

นอกจากนี้สำหรับวงจร Threshold-T multiplexer ซึ่งมีฟังก์ชัน

$$f(x) = y_0 * (x^{0.5}) \# y_2 * (x^{0.5} * x) \quad (7)$$

เมื่อสร้างขึ้นด้วยวงจร Transmission Gate แสดงได้ในรูปที่ 4



รูปที่ 4 วงจร Threshold-T Multiplexer

สำหรับวงจรเทอร์นารีแบบสองอินพุต (x,y) ซึ่งมีฟังก์ชันในสมการที่ (8) สามารถสร้างขึ้นได้ด้วยวิธีการเดียวกัน

$$\begin{aligned}
 f(x, y) = & C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5} \cdot y^{1.5}) \# \\
 & C_2 * (x^{0.5} \cdot y^{1.5}) \# C_3 * (x^{1.5} \cdot y^{0.5}) \# \\
 & C_4 * (x^{1.5} \cdot y^{0.5}) \# C_5 * (x^{1.5} \cdot y^{1.5}) \# \\
 & C_6 * (x^{1.5} \cdot y^{1.5}) \# C_7 * (x^{1.5} \cdot y^{1.5}) \# \\
 & C_8 * (x^{1.5} \cdot y^{1.5}) \#
 \end{aligned}
 \tag{8}$$

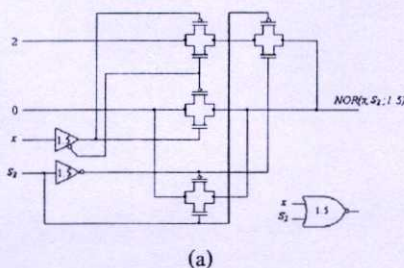
เช่นวงจร Threshold-t NOR-2 inputs เมื่อทำการลดรูปสมการด้วย K-map ทำให้ได้ฟังก์ชันลดรูปในสมการที่ (9) เมื่อกำหนดให้ $t = 1.5$

$$NOR(x, y; 1.5) = 2 * (x^{0.5} \cdot y^{0.5}) \# 0 * (x^{1.5}) \# 0 * (y^{1.5})
 \tag{9}$$

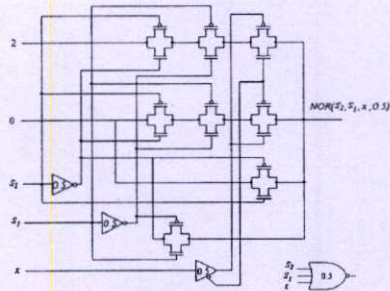
และในกรณีที่มีอินพุตมากกว่า 2 เช่นกรณี วงจร threshold-t NOR-3 inputs ซึ่งมีฟังก์ชันหลังลดรูปด้วย K-map ดังแสดงในสมการที่ (10) เมื่อกำหนดให้ $t = 0.5$

$$NOR(x, y, z; 0.5) = 2 * (x^{0.5} \cdot y^{0.5} \cdot z^{0.5}) \# 0 * (x^{0.5}) \# 0 * (y^{0.5}) \# 0 * (z^{0.5})
 \tag{10}$$

และทั้งสองวงจรสามารถแสดงวงจรได้ดังรูปที่ 5(a) และ 5(b) ตามลำดับ ผลการจำลองการทำงานด้วย PSPICE แสดงในรูปที่ 6



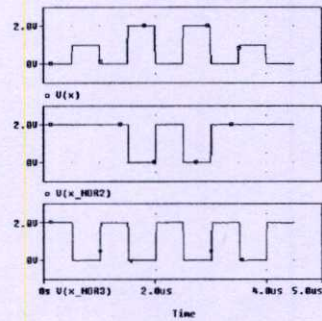
(a)



(b)

รูปที่ 5 (a) วงจร Threshold-T NOR-3 inputs เมื่อ $t = 1.5$

(b) Threshold-T NOR-3 inputs เมื่อ $t = 0.5$



รูปที่ 6 ผลการจำลองการทำงานของวงจร Threshold-T NOR-3 inputs เมื่อ $t = 1.5$ และ Threshold-T NOR-3 inputs เมื่อ $t = 0.5$

3. การออกแบบวงจรเทอร์นารีซีเควนเขียนลอจิก

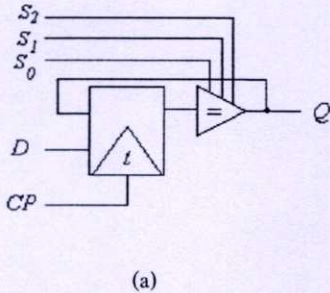
วงจรถิศจิตลอจิกซีเควนเขียนประกอบด้วยส่วนสำคัญสองส่วนคือ ส่วนประมวลผลทางลอจิก และส่วนป้อนกลับ วงจรถิศจิตลอจิกซีเควนเขียนที่ง่ายที่สุดคือ วงจรประเภทหน่วยความจำ ซึ่งทำหน้าที่เก็บสถานะทางลอจิก โดยอาศัยการป้อนกลับ และการเชื่อมต่อในส่วนป้อนกลับจะถูกแยกออกเมื่อมีสัญญาณใหม่ถูกส่งเข้ามา รูปที่ 7(a) แสดงวงจร Tri-Latch โดยมีลอจิกฟังก์ชันคือ

$$Q_+ = Q * CP' \# D * CP
 \tag{11}$$

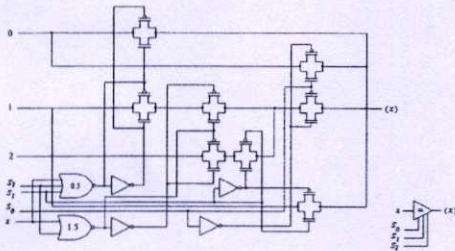
โดย CP เป็นสัญญาณควบคุมแบบไบนารี คือ $CP \in \{0,2\}$ ทำหน้าที่เป็นสัญญาณนาฬิกา ดังนั้น t อาจมีค่าเป็น 0.5 หรือ 1.5 โดยประกอบด้วยวงจร Threshold-T Multiplexer และ วงจร Identity Cell (Buffer) ที่ถูกปรับปรุงโดยเพิ่มส่วนควบคุม ซึ่งมีสัญญาณควบคุม $S_i \in \{0,2\}$ ทำหน้าที่กำหนดสถานะเอาต์พุตให้เป็นไปตามตารางที่ 3 ซึ่งแสดงได้ในรูป 7(b)

ตารางที่ 3 ตารางความจริงวงจร Tri-Latch

S_0	S_1	S_2	Q_+
0	0	0	Q
0	0	2	0
0	2	0	1
2	0	0	2

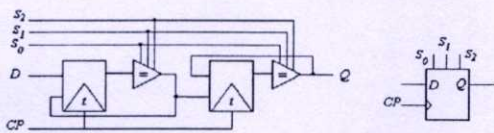


(a)



(b)

รูปที่ 7 (a) วงจร Tri-Latch (b) Identity Cell แบบที่มีส่วนควบคุม

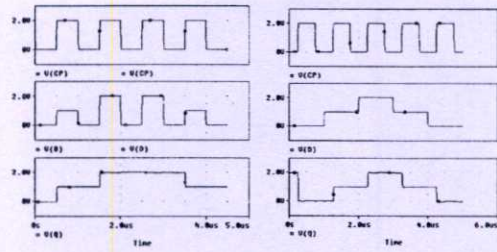


รูปที่ 8 วงจร D-type Tri-Flop และสัญลักษณ์

และเมื่อทำการเชื่อมโยงวงจร Tri-Latch สองวงจร โดยสลับตำแหน่งการเชื่อมโยงการป้อนกลับและการนำสัญญาณเข้า ดังนั้นจะได้วงจร D-type Tri-Flop ซึ่งจะทำให้การอ่านข้อมูลเข้าที่ขอบขาขึ้นของสัญญาณนาฬิกา (CP) ดังแสดงในรูปที่ 8 ซึ่งสามารถแสดงในรูปฟังก์ชันได้ดังนี้

$$Q_+ = D \tag{12}$$

ผลการจำลองการทำงานเปรียบเทียบระหว่างวงจร Tri-Latch และ D-type Tri-Flop แสดงในรูปที่ 9



(a)

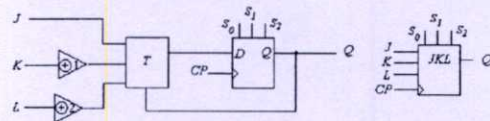
(b)

รูปที่ 9 ผลการจำลองการทำงาน (a) วงจร Tri-Latch (b) D-type Tri-Flop

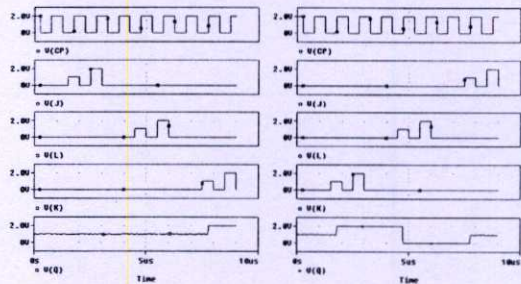
สำหรับวงจร JKL Tri-flop สามารถสร้างขึ้นจากวงจร D-type Tri-Flop โดยเพิ่มส่วน T-Gate ทำหน้าที่เป็นส่วนควบคุมการนำสัญญาณเข้าและส่วนควบคุมการป้อนกลับ โดยจะเลือกนำสัญญาณ $J \oplus 1$ และ $L \oplus 2$ เข้าขึ้นกับสถานะลอจิกของเอาต์พุตก่อนหน้า ดังแสดงในรูปที่ 10 ฟังก์ชันการทำงานของวงจรนี้คือ

$$Q_+ = J * Q^{0.5} \# (K \oplus 1) * (Q^{0.5} Q^{1.5}) \# (L \oplus 2) * 1.5 Q \tag{13}$$

ซึ่งผลการจำลองการทำงานแสดงได้ในรูปที่ 11



รูปที่ 10 วงจร JKL-type tri-flop และสัญลักษณ์



(a)

(b)

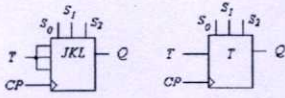
รูปที่ 11 ผลการจำลองการทำงานวงจร JKL-type tri-flop

สำหรับวงจร T-type tri-flop สามารถสร้างขึ้นจากวงจร JKL tri-flop โดยเพียงทำการเชื่อมโยงสัญญาณเข้า J K และ L ทั้งหมดเข้าด้วยกันดังรูป 12 ซึ่งจะทำหน้าที่เปลี่ยนสถานะเอาต์พุตให้นับเพิ่มขึ้นหรือลดลง เมื่อสัญญาณอินพุต T เท่ากับ 1 และ 2 ตามลำดับ และคงสถานะเอาต์พุตไว้เมื่อ T เท่ากับ 0 ดังแสดงในผลการ

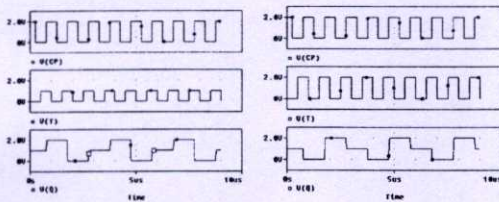
จำลองการทำงานในรูปที่ 13 ฟังก์ชันแสดงการทำงานในรูปสมการคือ

$$Q_+ = T \oplus Q \quad (14)$$

การทำงานของวงจรทั้งสามสามารถสรุปได้ในตารางที่ 4



รูปที่ 12 วงจร JKL-type tri-flop และสัญลักษณ์



รูปที่ 13 ผลการจำลองการทำงานวงจร T-type Tri-Flop

ตารางที่ 4 Excitation Tables ของวงจรTri-Flop แบบต่าง ๆ

D-type	JKL-type			T-type	Present state	Next state
<i>D</i>	<i>J</i>	<i>K</i>	<i>L</i>	<i>T</i>	<i>Q</i>	<i>Q₊</i>
0	0	d	d	0	0	0
1	1	d	d	1	0	1
2	2	d	d	2	0	2
0	d	2	d	2	1	0
1	d	0	d	0	1	1
2	d	1	d	1	1	2
0	d	d	1	1	2	0
1	d	d	2	2	2	1
2	d	d	0	0	2	2

4.สรุป

การออกแบบวงจรเทอนารีที่นำเสนอในบทความนี้ สามารถสร้างวงจรที่มีฟังก์ชันสลับซับซ้อนอย่างเป็นระบบด้วยเทคโนโลยีการผลิตวงจรรวม CMOS มาตรฐานทั่วไป และสามารถสร้างรวมเข้ากับวงจรถิศจิตอื่น ๆ ที่ได้ออกแบบไว้อย่างดีแล้ว อย่างไรก็ตามด้วยความพยายามให้การออกแบบเป็นไปอย่างเป็นระบบจึงทำให้วงจรมีขนาดใหญ่มากและใช้ทรานซิสเตอร์จำนวนมาก โดยเฉพาะวงจร Threshold-T Gate ซึ่งใช้ในการเปลี่ยนสัญญาณเทอนารีเป็นสัญญาณควบคุมแบบไบนารี โดยหากการลดรูปจาก

K-map สามารถกำหนดแน่นอนเป็นสัญญาณไบนารี วงจร Threshold-T Gate สามารถแทนที่ได้ด้วยวงจร CMOS Inverter แบบไบนารี ซึ่งช่วยให้วงจรมีขนาดเล็กกลงได้

5. เอกสารอ้างอิง

- [1] H.T. Mouftah and I.B. Jordan, "Design of Ternary COS/MOS Memory and Sequential Circuit," IEEE Trans. Comp., pp. 281-288, 1977
- [2] X. Wu and F. Prosses, "Ternary CMOS Sequential Circuit," Proc. International Symposium on MVL 18th, pp. 307-313, 1988
- [3] X. Wu and X. Chen, "Ternary Flip-Flops with triple-rail output and their application in ternary sequential circuit," Scientia Sinica, pp. 1208-1221, 1985
- [4] O. Ishizaka, "Synthesis of a Pass Transistor Network Applied to Multi-Valued Logic," Proc. IBID, pp. 51-57, 1986

ภาคผนวก

ตารางที่ 6 SPICE พารามิเตอร์ของมอสทรานซิสเตอร์

MODEL PMOS05U PMOS
(LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58
+JS=0.38E-6 XJ=0.10U RSH=1.81 LD=0.03U
+VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00
+THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2
+CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631
+CGSO=1.38E-10+ CGDO=1.38E-10 CGBO=3.45E-10
+KF=1.08E-29 AF=1 WD=0.14U DELTA=0.81
+NFS=0.52E11)
MODEL NMOS05U NMOS
(LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62
+JS=1.08E-6 XJ=0.15U RSH=2.73 LD=0.04U
+VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00
+THETA=0.129 PHI=0.905 GAMMA=0.69
+KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10
+MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10
+CGBO=3.45E-10 KF=3.07E-28 AF=1 WD=0.11U
+DELTA=0.42 NFS=1.2E11)

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายกู้เกียรติ ศิลปศาสตร์
วัน เดือน ปีเกิด	13 ธันวาคม 2517 ที่กรุงเทพมหานคร
ที่อยู่	516/35 หมู่ที่ 4 ต.สำโรงเหนือ อ.เมือง จ. สมุทรปราการ 10270 โทรศัพท์ 02-7572021
ประวัติการศึกษา	อุตสาหกรรมศาสตรบัณฑิต สาขาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเกษมบัณฑิต
ประสบการณ์ในการทำงาน	
พ.ศ. 2535	ผู้ช่วยอาจารย์ แผนกอิเล็กทรอนิกส์ โรงเรียนเทคโนโลยีกรุงเทพ
พ.ศ. 2536	ช่างซ่อมคอมพิวเตอร์ บริษัท บีเอ็น คอมพิวเตอร์ จำกัด
พ.ศ. 2537	หัวหน้าช่างคอมพิวเตอร์ บริษัท เจดีพี คอมพิวเตอร์ จำกัด
พ.ศ. 2539	นายช่างระดับ 3 หน่วยซ่อมบำรุง กองธุรการ ฝ่ายการแพทย์ โรงงานยาสูบ กระทรวงการคลัง
พ.ศ. 2551-ปัจจุบัน	วิศวกรขาย ฝ่ายขาย บริษัท จอยแม็คซ์ อินเตอร์เนชั่นเนล จำกัด

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรเทอร์นารีซีควีนเชียลลอจิก

TERNARY SEQUENTIAL LOGIC DESIGN



T104504

กู่เกียรติ ศิลปศาสตร์

KUKIAT SILAPASART

เลขหมู่.....
เลขทะเบียน..... 104504
วัน,เดือน,ปี..... - 4 พ.ย. 2552



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-M-010-110

TERNARY SEQUENTIAL LOGIC DESIGN

KUKIAT SILAPASART

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2009

KMITL-2009-EN-M-010-110

COPYRIGHT 2009

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรเทอร์นารีซีควเอนเชียลลอจิก
Thesis Title Ternary Sequential Logic Design
นักศึกษา นายภูเกียรติ ศิลปศาสตร์
รหัสประจำตัว 48060926
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.กอบชัย เดชหาญ
หมายเลขวิทยานิพนธ์ KMITL-2009-EN-M-010-110

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.สมยศ	จุมณะปิยะ	
ดร.ศิริภพ	ตู้ประกาย	
รศ.จิระศักดิ์	ชาญวุฒิชรรม	
รศ.ดร.พุศกิติ์	ชีวิสุทธิ	
รศ.ดร.กอบชัย	เดชหาญ	

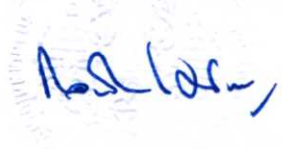
วัน/เดือน/ปี ที่สอบ วันจันทร์ที่ 20 กรกฎาคม พ.ศ. 2552 เวลา 09.00-11.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 1

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 20 กรกฎาคม พ.ศ. 2552

หัวข้อวิทยานิพนธ์	การออกแบบวงจรถอร์นารีซีควนเซียลลอจิก
นักศึกษา	นายภูเกียรติ ศิลปศาสตร์
รหัสนักศึกษา	48060926
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2552
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรถอร์นารีซีควนเซียลลอจิกด้วย CMOS Transmission Gate โดยออกแบบส่วนควบคุมซึ่งทำหน้าที่แปลงสัญญาณที่มีสามระดับ (Ternary Logic) เป็นสัญญาณแบบไบนารี (Binary Logic) ที่สร้างขึ้นจากวงจร Differential Cascode Voltage Switch (DCVS) ทำให่วงจรถอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรรวมดิจิทัลทั่วไปและง่ายต่อการควบคุม ช่วยให้การออกแบบวงจรเป็นไปอย่างเป็นระบบ และด้วยการป้อนกลับสัญญาณแบบเทอร์นารีสามารถสร้างวงจรถอร์นารีซีควนเซียลลอจิกแบบต่าง ๆ โดยเสนอตัวอย่างการออกแบบวงจร Tri-Flop เช่น D-type, JKL-type และ T-type ซึ่งเป็นวงจรที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) และการทดสอบวงจรตัวอย่างทั้งหมดนี้ ได้จำลองการทำงานโดยโปรแกรม PSPICE และใช้แบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.5 μm เพื่อแสดงการทำงานของวงจรถอร์นารีซีควนเซียลลอจิกที่ออกแบบด้วยเทคนิคที่นำเสนอ

Thesis Title	Ternary Sequential Logic Design
Student	Mr. Kukiatt Silapasart
Student ID.	48060926
Degree	Master of Engineering
Program	Telecommunication Engineering
Year	2009
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This thesis proposes the ternary sequential logic circuit design based on CMOS transmission gate with controlling sub-circuit that convert the ternary signal to binary signal and constructed by Differential Cascode Voltage Switch circuit (DCVS). Therefore, the ternary logic which is designed by using the proposed technique can be implemented with normal and well controlled CMOS fabrication process. This leads to the systematic design, and the ternary feedback, the sequential logic can be easily designed. In this paper, several tri-flop circuits are presented, such as, D-type, JKL-type and T-type which are essential cells for multiple-valued logic system. The simulation is performed by PSPICE program simulator with the MOS transistor model from MOSIS technology 0.5 μm . All results confirm the success of the proposed technique.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ ที่ได้เสียสละเวลาในการให้คำปรึกษาและคำชี้แนะในการศึกษาวิจัยต่าง ๆ ตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้า อีกทั้งขอขอบคุณ ดร.สมปอง วิเศษพาณิชย์ ที่กรุณาให้คำแนะนำเพิ่มเติมต่าง ๆ ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์ทั้งสองเป็นอย่างมากและขอขอบพระคุณเป็นอย่างสูง

อีกทั้งสำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้าตลอดมา

กัญเกียรติ ศิลปศาสตร์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 สมมติฐานของการศึกษา.....	2
1.4 ขอบเขตของการวิจัย.....	3
1.5 ขั้นตอนการศึกษา.....	3
บทที่ 2 ทฤษฎีการทำงานของมอเตอร์.....	4
2.1 บทนำ.....	4
2.2 โครงสร้างของมอเตอร์.....	4
2.3 สัญลักษณ์ของมอเตอร์.....	5
2.4 การทำงานของมอเตอร์.....	6
2.5 คุณสมบัติทางสัปดาห์ระแสบของมอเตอร์.....	8
2.5.1 การทำงานในช่วงคัทออฟ (Cut – Off Region).....	13
2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non – Saturation Region).....	13
2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region).....	13
2.6 การหาค่าหน่วยเวลา.....	16
2.7 การหาค่ากำลังงานสูญเสีย.....	19
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร.....	23
2.7.2 การหาค่า Power Delay Product.....	25
2.8 สรุป.....	26

สารบัญ (ต่อ)

	หน้า
บทที่ 3 ทฤษฎีของลอจิกหลายระดับสัญญาณ.....	27
3.1 นิยามและคำจำกัดความ.....	27
3.2 พีชคณิตของโพสต์และวงจร m ค่า.....	31
3.3 วงจร m – valued.....	31
3.4 เทรคโฮลต์ฟังก์ชัน.....	33
3.5 การแทนค่าของสัญญาณในวงจรหลายระดับสัญญาณ.....	34
3.6 การควอนไทซ์ค่า.....	35
3.7 โหมดในการทำงานของวงจร.....	35
3.7.1 โหมดประจุ.....	35
3.7.2 โหมดกระแส.....	35
3.7.3 โหมดแรงดัน.....	37
3.8 วงจร m – valued ทำงานในโหมดแรงดัน.....	38
3.9 วงจร m – valued ที่ใช้เทคโนโลยี NMOS.....	38
3.9.1 วงจรถอดรหัส.....	38
3.9.2 วงจรเข้ารหัส.....	39
3.10 วงจร m – valued โดยใช้เทคโนโลยีของ CMOS.....	41
3.10.1 วงจรเข้ารหัส.....	41
3.10.2 วงจรถอดรหัส.....	42
3.11 วงจร m – valued ทำงานในโหมดกระแส.....	42
3.11.1 วงจรสะท้อนกระแส.....	43
3.11.2 วงจรผลรวมเชิงเส้นของกระแส.....	44
3.11.3 เทรคโฮลต์.....	44
3.11.4 Sink-to-Source Conversion.....	45
บทที่ 4 ทฤษฎีซีมอสลอจิกเกทขั้นสูง.....	46
4.1 มอสลอจิกเทียม (Pseudo MOS Logic).....	46
4.2 วงจร 3 สถานะ (Tri – state Circuit).....	48
4.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา (Clock CMOS Logic, C ² MOS).....	49

สารบัญ (ต่อ)

	หน้า
4.4 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic).....	51
4.4.1 ปัญหาของไดนามิกซีมอส.....	52
4.5 ซีมอสโดมิโนลอจิก (CMOS Domino Logic).....	52
4.6 ลอจิกเส้นทางคู่ (Dual – Rail Logic).....	53
4.7 ลอจิกแบบวงจรเงาสะท้อน (Mirror Circuit Logic).....	56
บทที่ 5 ทฤษฎีและการออกแบบวงจรเทอร์นารีลอจิก.....	57
5.1 ทฤษฎีพื้นฐานของวงจรซีมอสเทอร์นารีลอจิก.....	57
5.2 วงจรเทอร์นารีลอจิก Transmission gate.....	59
5.3 วงจรเทอร์นารีลอจิก Cycling gate.....	62
5.4 วงจรเทอร์นารีลอจิก Inverse cycling gate.....	63
5.5 วงจรเทอร์นารีลอจิก 1-of-2 Threshold-t multiplexer.....	64
5.6 วงจรเทอร์นารีลอจิก T-gate.....	64
5.7 วงจรเทอร์นารีลอจิก Identity cell.....	65
5.8 วงจรเทอร์นารีแบบสองอินพุท.....	66
บทที่ 6 การออกแบบวงจรเทอร์นารีซีเควนเชื่อมลอจิกและผลการวิเคราะห์.....	69
บทที่ 7 สรุปผลการวิเคราะห์.....	76
บรรณานุกรม.....	78
ภาคผนวก.....	80
ภาคผนวก ก. พารามิเตอร์ของมอสทรานซิสเตอร์.....	81
ภาคผนวก ข. ผลงานทางวิชาการที่ได้รับการตีพิมพ์.....	83
ประวัติผู้เขียน.....	92

สารบัญตาราง

ตารางที่	หน้า
3.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ	28
5.1 แสดงตารางความจริงของวงจร Threshold-t gate.....	62
5.2 ตารางความจริงของวงจรเทอร์นารีลอคิก Cycling gate.....	62
5.3 ตารางความจริงของวงจรเทอร์นารีลอคิก Inverse cycling gate.....	63
5.4 ตารางความจริงของวงจรเทอร์นารีลอคิก T-gate.....	65
5.5 ตารางความจริงของวงจรเทอร์นารีลอคิก Identity cell.....	66
5.6 ตารางความจริงของวงจรเทอร์นารีแบบสองอินพุท.....	67
6.1 ตารางความจริงวงจร Tri-latch โดยชุดควบคุม S_i	69
6.2 Excitation Tables ของวงจร Tri-flop แบบต่าง ๆ.....	75

สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์.....	5
2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชัน.....	5
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	6
2.4 การไบอัสมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ซึ่งทำให้เกิดย่านปลดพาหะ (Depletion Region).....	7
2.5 การเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์.....	8
2.6 ภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear Region).....	9
2.7 ส่วนทางเรขาคณิตบริเวณผิวของ Inversion Layer.....	10
2.8 การเกิด Pinch – Off.....	12
2.9 คุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์.....	15
2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักดาระหว่างเกตกับซอส.....	15
2.11 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชัน.....	16
2.12 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์.....	16
2.13 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรมอสอินเวอร์เตอร์ และนิยามค่าหน่วงเวลาต่าง ๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี.....	17
2.14 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต.....	18
2.15 วงจรซีมอสอินเวอร์เตอร์ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation.....	19
2.16 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรมอสอินเวอร์เตอร์.....	21
2.17 วงจรซีมอส Logic โดยทั่วไป.....	22
2.18 วงจรการวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร.....	24
3.1 คุณลักษณะการส่งผ่านและสัญญาณของเกต MT(4).....	27
3.2 วงจรมอสอินเวอร์เตอร์พื้นฐาน.....	31

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.3 บล็อกไดอะแกรมของวงจร m ค่า.....	32
3.4 คุณลักษณะการส่งผ่านของอินเวอร์เตอร์แบบ 4 ค่า.....	32
3.5 บล็อกไดอะแกรมของเทรคโฮลด์ฟังก์ชัน.....	33
3.6 คุณลักษณะทางไฟตรงของวงจรมานาลอกอินเวอร์เตอร์แบบ 4 ค่า.....	34
3.7 วงจรสะท้อนกระแสที่ใช้สำหรับเทคโนโลยี TTL.....	36
3.8 เกทพื้นฐานที่ใช้สำหรับเทคโนโลยี $1L$	36
3.9 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง.....	37
3.10 วงจรตรวจจับเทรคโฮลด์โดยใช้วงจรถูกเคลื่อนแรงดัน.....	39
3.11 วงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี NMOS.....	40
3.12 วงจรเข้ารหัสแบบ 4 ค่า.....	40
3.13 วงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี CMOS.....	41
3.14 วงจรตรวจจับเทรคโฮลด์โดยใช้เทคโนโลยี CMOS.....	42
3.15 เกทพื้นฐานของลอจิก 2 ระดับ โดยใช้เทคโนโลยี $1L$	43
3.16 วงจรสะท้อนกระแสโดยใช้เทคโนโลยี $1L$	43
3.17 วงจรผลรวมเชิงเส้นโดยใช้เทคโนโลยี $1L$	44
3.18 วงจรเทรคโฮลด์โดยใช้เทคโนโลยี $1L$	44
3.19 การไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี $1L$	45
4.1 วงจรซิมอส.....	46
4.2 วงจรนอร์เกท.....	47
4.3 AOI เกท.....	48
4.4 วงจร 3 สถานะแบบกลับสัญญาณ (Tri – State Inverter).....	49
4.5 หลักการของวงจรถิมอสที่ใช้สัญญาณนาฬิกา.....	50
4.6 ตัวอย่างวงจรมนเกท ซึ่งใช้สัญญาณนาฬิกา.....	50
4.7 หลักการของวงจรไดนามิกซิมอส.....	51

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.8 ตัวอย่างวงจรไดนามิกซิมอส.....	52
4.9 วงจรพื้นฐานของโดมิโนซิมอสลอจิก.....	53
4.10 วงจรพื้นฐานของ CVSL.....	54
4.11 วงจร CVSL ของวงจรแอนด์/แนนด์.....	55
4.12 วงจร CVSL ของวงจรรอรั/นอร์.....	55
4.13 วงจร XOR เกท.....	56
5.1 วงจรเทอร์นารี Transmission gate สำหรับดำเนินการ $C_i * x'$ และ $C_i * 'x$	60
5.2 วงจรเทอร์ตโฮลด์เกท (Threshold-t gate) แบบ DCVS เมื่อ $t = 0.5$	61
5.3 วงจรเทอร์ตโฮลด์เกท (Threshold-t gate) แบบ DCVS เมื่อ $t = 1.5$	61
5.4 วงจรเทอร์นารีลอจิก Cycling ate เมื่อ $t = 0.5$	62
5.5 วงจรเทอร์นารีลอจิก Inverse cycling gate.....	63
5.6 วงจรเทอร์นารีลอจิก 1-of-2 Threshold-t multiplexer.....	64
5.7 วงจรเทอร์นารีลอจิก T-gate.....	65
5.8 วงจรเทอร์นารีลอจิก Identity cell.....	66
5.9 วงจร Threshold-t NOR-2 input เมื่อ $t = 1.5$	67
5.10 วงจร Threshold-t NOR-3 input เมื่อ $t = 0.5$	68
6.1 วงจร Tri-latch.....	69
6.2 Identity cell แบบที่มีส่วนชุดควบคุมเอาต์พุต.....	70
6.3 ผลการจำลองการทำงานวงจร Tri-latch.....	71
6.4 วงจร D-type Tri-flop และสัญลักษณ์.....	72
6.5 ผลการจำลองการทำงานวงจร D-type Tri-flop.....	72
6.6 วงจร JKL-type Tri-flop และสัญลักษณ์.....	73
6.7 ผลการจำลองการทำงานวงจร JKL-type Tri-flop.....	73
6.8 วงจร T-type Tri-flop และสัญลักษณ์.....	74

สารบัญรูป (ต่อ)

รูปที่	หน้า
6.9 ผลการจำลองการทำงานวงจร T-type Tri-flop.....	74

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันการพัฒนาเทคโนโลยี VLSI (Very Large Scale Integration) เพื่อใช้ในการผลิตวงจรเป็นที่นิยมใช้กันมากเพราะว่ามีข้อดีกว่าเทคโนโลยีแบบอื่นๆ หลายประการ เช่น การสูญเสียพลังงานต่ำกว่า ออกแบบง่ายและรวมทั้งองค์ประกอบอื่นๆ ด้วยซึ่งมีความต้องการมากของงานด้านการประมวลผลสัญญาณ (Signal Processing) แบบวงจรรวมชิปเดียว (Single Chip Circuit) การทำงานจะมีประสิทธิภาพมากที่สุด ซึ่งในวงจรรอนาล็อก (Analog Circuit) ก็เป็นบทบาทสำคัญของการผลิตไอซีออกแบบเป็น VLSI ในการออกแบบ VLSI ในระบบที่เป็นวงจรรอนาล็อกส่วนใหญ่ที่เรารู้จักกันคือ วงจรกรองสัญญาณ วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล (Analog to Digital Converter Circuit) และวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก (Digital to Analog Converter Circuit) วงจรเปรียบเทียบกระแส (Circuit Comparator Circuit) ฯลฯ วิธีการในการออกแบบไอซีจะนิยมใช้เทคโนโลยีอยู่สองแบบคือ แบบไบโพลาร์ (BJT) และมอส (MOS) โดยทั้งหมดจะอยู่บนรากฐานของเทคโนโลยีวงจรรวมซิลิกอน แต่เนื่องจากปัจจุบันนี้เทคโนโลยีของมอสได้เจริญเติบโตขึ้นอย่างมากจึงเป็นที่นิยมมากกว่า และจะนำเสนอในงานวิจัยนี้เพื่อเป็นแนวทางในการออกแบบวงจรหลายระดับสัญญาณ

ซึ่งปัจจุบันมีงานวิจัยและการพัฒนาวงจรรวมดิจิทัลสำหรับการประมวลผลเชิงเลข (Digital Signal Processing) กันอย่างกว้างขวางเพื่อให้วงจรมีความเร็วในการทำงานสูง แต่ด้วยข้อจำกัดของระบบเลขฐานสองทำให้ไม่สามารถตอบสนองความต้องการในการประมวลผลข้อมูลในปริมาณมากอย่างรวดเร็วแนวทางหนึ่งที่ถูกนำมาใช้คือ การเพิ่มระดับสัญญาณในวงจรหรือการแบ่งระดับของสัญญาณในวงจร เช่น วงจร Ternary และ Quaternary ซึ่งใช้ระดับสัญญาณ 3 และ 4 ตามลำดับ

วงจรรวมที่ใช้ระดับสัญญาณหลายระดับ (Multiple-Valued Logic Circuit: MVL) เหล่านี้ทำให้แนวทางในการพัฒนาลอจิกเปลี่ยนไป โดยแทนที่จะมุ่งปรับปรุงให้วงจรไบนารีมีความเร็วสูงแต่ด้วยข้อจำกัดทางด้านเทคโนโลยีทำให้วงจรมีต้นทุนสูง นอกจากนี้ข้อจำกัดด้านปริมาณข้อมูลจำนวนอินพุตและเอาต์พุตของวงจร การเชื่อมโยงระหว่างโมดูลภายในระบบเอง หรือการโยงกับภายนอกความซับซ้อนในการเดินสาย การสื่อสารระหว่างขา (Pins) และการทำแพ็คเกจ (Package) กลายมาเป็นอุปสรรคสำคัญในการพัฒนาวงจรรวมที่ใช้ความเร็วสูงๆ

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

เพื่อจะนำเสนอและออกแบบวงจรเทอร์นารีที่ความเร็วลลจิกด้วย CMOS Transmission Gate โดยออกแบบส่วนควบคุมซึ่งทำหน้าที่แปลงสัญญาณที่มีสามระดับ (Ternary Logic) เป็นสัญญาณแบบไบนารี (Binary Logic) ที่สร้างขึ้นจากวงจร Differential Cascode Voltage Switch (DCVS) ทำให้วงจรเทอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรรคิจิตลลจิกทั่วไปและง่ายต่อการควบคุม จึงช่วยให้การออกแบบวงจรเป็นไปอย่างมีระบบ และด้วยการป้อนกลับสัญญาณแบบเทอร์นารีสามารถสร้างวงจรรคิจิตลลจิกแบบต่าง ๆ ได้ โดยในการวิจัยนี้ได้ทำการออกแบบวงจร Tri-Flop ต่าง ๆ เช่น D-type, JKL-type และ T-type ที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) และทำการทดสอบวงจรโดยโปรแกรมจำลอง PSPICE

1.3 สมมติฐานของการศึกษา

อุปสรรคอย่างหนึ่งสำหรับการออกแบบวงจรรวมแบบคิจิตลลจิก คือจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจร และการเชื่อมโยงสู่ภายนอก ทั้งนี้เนื่องจากจำนวนข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อตอบรับกับความต้องการของผู้ใช้งาน แต่ด้วยข้อจำกัดของวงจรรวมแบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ เท่านั้น ดังนั้นจึงมีความต้องการในการออกแบบและใช้งานวงจรรคิจิตลลจิกแบบ Multiple-Valued Logic (MVL) ซึ่งมีความหนาแน่นปริมาณข้อมูลข่าวสาร (Information Density) ภายในวงจรและความสามารถในการส่งข้อมูลข่าวสาร (Information-Carrying) สูงกว่าวงจรรคิจิตลลจิกแบบไบนารีทั่วไป แต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรทำได้ลำบาก และไม่สามารถนำเทคนิคการออกแบบวงจรรคิจิตลลจิกแบบไบนารีมาใช้ได้ เช่นการออกแบบวงจรเทอร์นารีด้วยรูปแบบวงจรซิมอสและเพิ่มอุปกรณ์คือ ตัวต้านทานค่าสูง (~12k Ω) ที่โหนดเอาต์พุต [1] โดยทำหน้าที่จำกัดกระแสลัดวงจรเมื่อสถานะสัญญาณมีลอจิกเป็น '1' ทั้งนี้เพื่อลดกำลังงานสูญเสียภายในวงจร หรือการออกแบบวงจร MVL ด้วย Pass-Transistor Logic [2-4] อย่างไรก็ตาม การสร้างวงจรรนี้จำเป็นต้องกำหนดค่าศักดาเทรคโวลต์ของทรานซิสเตอร์อย่างเหมาะสมเพื่อควบคุมให้ Pass-Transistor ทำงานได้อย่างถูกต้อง ซึ่งเป็นเรื่องยากในขั้นตอนกระบวนการผลิตและอาจส่งผลให้มีต้นทุนในการผลิตสูงขึ้น ดังนั้นแนวทางในการออกแบบวงจรเทอร์นารีแบบ CMOS Transmission Gate ซึ่งจะถูกรควบคุมด้วยวงจร Threshold-t gate และให้เอาต์พุตเป็นสัญญาณไบนารีที่ถูกปรับขนาดให้เหมาะสมด้วยวงจร Differential Cascode Voltage Switch (DCVS) นั้น จะสามารถออกแบบให้ทรานซิสเตอร์ที่ใช้ในวงจรมีค่าศักดาเทรคโวลต์เท่ากันได้ และทำให้ง่ายแก่การสร้างหรือผลิตขึ้นมาอย่างมีต้นทุนต่ำลง

1.4 ขอบเขตของการวิจัย

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรเทอร์นารีซีแควนเซียลลอจิกด้วย CMOS Transmission Gate โดยจะนำเสนอเฉพาะตัวอย่างการออกแบบวงจรวจร Tri-Flop ต่าง ๆ เช่น D-type, JKL-type และ T-type ซึ่งเป็นวงจรที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) และผลการทดสอบวงจรต่าง ๆ นั้น สามารถแสดงให้เห็นได้จากโปรแกรมจำลอง PSPICE โดยใช้มอสทรานซิสเตอร์ของ MOSIS เทคโนโลยีขนาด $0.5 \mu\text{m}$

1.5 ขั้นตอนการศึกษา

- 1.5.1 ศึกษาการออกแบบวงจรเทอร์นารีด้วย Transmission Gate
- 1.5.2 ศึกษาการทำงานของวงจร Threshold-t gate
- 1.5.3 ศึกษาวงจรดิจิทัลซีแควนเซียล (Digital Sequential)
- 1.5.4 ออกแบบวงจรวจร Tri-Flop ต่าง ๆ ด้วยวงจรเทอร์นารีซีแควนเซียลลอจิก
- 1.5.5 ทดสอบวงจรต่าง ๆ ด้วยโปรแกรมจำลอง PSPICE
- 1.5.6 บันทึกและวิเคราะห์ผลของการทดสอบวงจรต่าง ๆ

บทที่ 2

ทฤษฎีการทำงานของมอสทรานซิสเตอร์

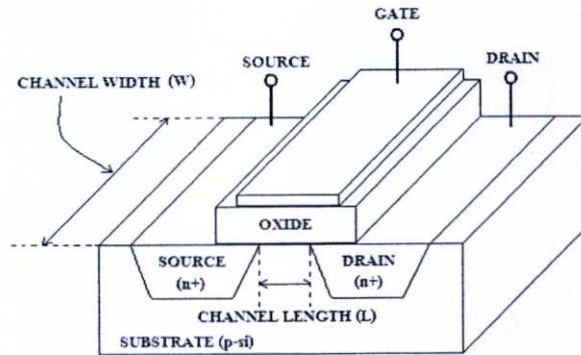
2.1 บทนำ

มอสทรานซิสเตอร์หรือมอสเฟต (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transistor โดยใช้หลักการของสนามไฟฟ้ามาควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ซึ่งทรานซิสเตอร์ชนิดนี้ได้สร้างขึ้นมาในช่วงทศวรรษ 1970s เป็นทรานซิสเตอร์ในยุคที่สองหลังจากที่ได้มีการสร้างทรานซิสเตอร์แบบไบโพล่า (BJT) ขึ้นมา และเป็นทรานซิสเตอร์ที่มีคุณสมบัติที่ดีกว่าทรานซิสเตอร์แบบไบโพล่า ขบวนการในการผลิตไม่ยุ่งยาก สามารถสร้างขึ้นมามีได้ง่ายกว่า เมื่อนำมาทำเป็นวงจรรวมต่าง ๆ สามารถลดขนาดให้เล็กลงได้ จึงเหมาะแก่การนำมาสร้างเป็นวงจรรวมได้เป็นอย่างดี นอกจากนี้การสร้างวงจรโดยใช้มอสเฟต ไม่จำเป็นต้องใช้ตัวต้านทานหรือไดโอดช่วยในการไบอัสวงจร เหมือนกับทรานซิสเตอร์แบบไบโพล่า เนื่องจากมอสเฟตสามารถทำงานได้โดยใช้แรงดันไฟฟ้าในการไบอัส ซึ่งต่างจากทรานซิสเตอร์แบบไบโพล่าที่ต้องใช้กระแสมาทำการไบอัส ในปัจจุบันได้มีการใช้มอสทรานซิสเตอร์ทำเป็นอุปกรณ์สวิตซ์ซึ่งในวงจรร Large Scale Integration (LSI) และวงจรร Very Large Scale Integration (VLSI) อย่างมาก ซึ่งเป็นผลมาจากคุณสมบัติที่ดีกว่าเมื่อเทียบกับทรานซิสเตอร์แบบไบโพล่า โครงสร้างและการทำงานของมอสทรานซิสเตอร์จะกล่าวโดยละเอียดในหัวข้อต่อไป

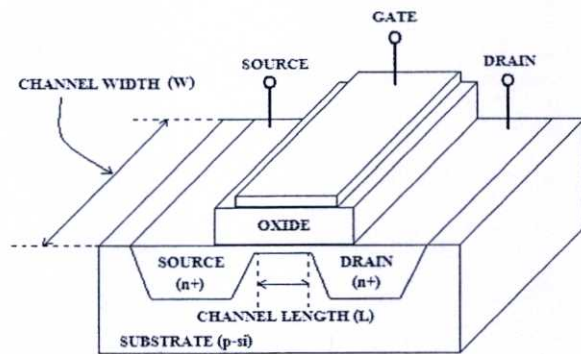
2.2 โครงสร้างของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์นั้น สามารถแบ่งตามโครงสร้างได้เป็น 2 แบบ คือ เอ็นมอสทรานซิสเตอร์ (N-Channel) และพีมอสทรานซิสเตอร์ (P-Channel) ในแต่ละชนิดยังสามารถแบ่งตามลักษณะการทำงานได้อีก 2 แบบ คือ เอ็นฮานเม้นท์มอสทรานซิสเตอร์ (Enhancement) และดีพลิซันมอสทรานซิสเตอร์ (Depletion) โดยพิจารณาจากรูปที่ 2.1 แสดงถึงรายละเอียดโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ ซึ่งจะเห็นการโคปสารกึ่งตัวนำชนิดเอ็น (N^+ Region) อยู่ 2 ส่วนในสารกึ่งตัวนำชนิดพีในด้านซ้ายจะเรียกว่า ซอส (Source) ในด้านขวาจะเรียกว่า เดรน (Drain) ส่วนบนของบริเวณการโคปสารกึ่งตัวนำชนิดเอ็นทั้งสองจุดจะถูกฉาบวางทับด้วยชั้นของออกไซด์บาง ๆ หลังจากนั้นก็จะวางทับด้วยโลหะ (หรือโพลีซิลิกอน) อีกชั้นหนึ่ง ซึ่งจะเรียกว่า เกต (Gate) และตัวถังของอุปกรณ์ตัวนี้จะเรียกว่า ซับสเตรท (Substrate) หรือ บัค (Bulk) สำหรับระยะห่างระหว่างสารกึ่งตัวนำซอสกับเดรน จะเรียกว่า ความยาวของแชนแนล (Channel Length: L) และ

ความกว้างของซอสและเดรนจะเรียกว่า ความกว้างของแชนแนล (Channel Width: W) ถ้าส่วนของฐานรองทำด้วยสารกึ่งตัวนำชนิดเอ็นและสารกึ่งตัวนำชนิดพีถูกโคปลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่า ฟิโอมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ สำหรับโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีฟลิชัน จะคล้ายกับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ แต่จะแตกต่างกันตรงที่ช่องว่างระหว่างซอสกับเดรน ซึ่งจะมีการ โคปสารกึ่งตัวนำชนิดเอ็นเชื่อมต่อกัน ดังรายละเอียดในรูปที่ 2.2



รูปที่ 2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์

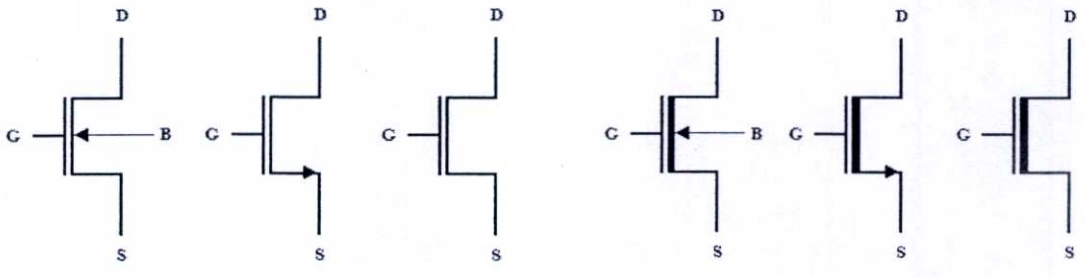


รูปที่ 2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีฟลิชัน

2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

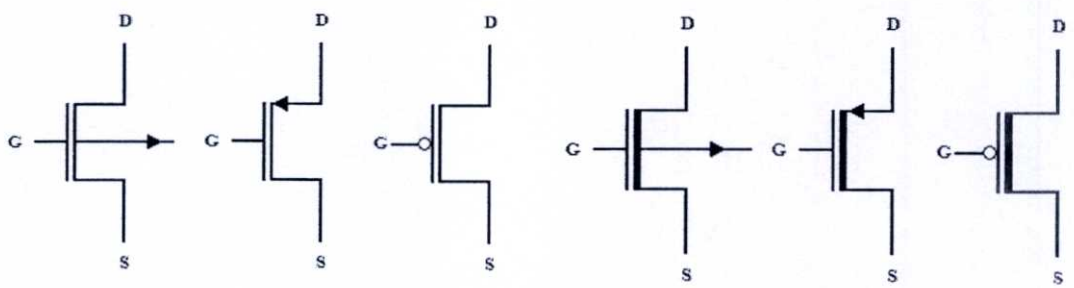
สัญลักษณ์ของมอสทรานซิสเตอร์ สามารถบอกได้ว่าเป็นมอสทรานซิสเตอร์ชนิดเอ็นหรือชนิดพี โดยดูได้ที่หัวลูกศรที่ขาซอส ถ้าหัวลูกศรหันเข้าหาขาเกิดแสดงว่าเป็นฟิโอมอสทรานซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกิดแสดงว่าเป็น เอ็นมอสทรานซิสเตอร์ หรือดูที่ทิศทางของหัวลูกศรที่ขาฐานรอง (Substrate) หรือบางที่เรียกว่า Bulk โดย ถ้าหัวลูกศรหันเข้าหาขาเกิด แสดงว่าเป็นเอ็น

มอสทรานซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกต แสดงว่าเป็น พีมอสทรานซิสเตอร์ และสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสทรานซิสเตอร์เป็นแบบฮานเมนท์หรือแบบดีฟลิชัน ดังแสดงในรูปที่ 2.3



(ก) เอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

(ข) เอ็นมอสทรานซิสเตอร์แบบดีฟลิชัน



(ค) พีมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

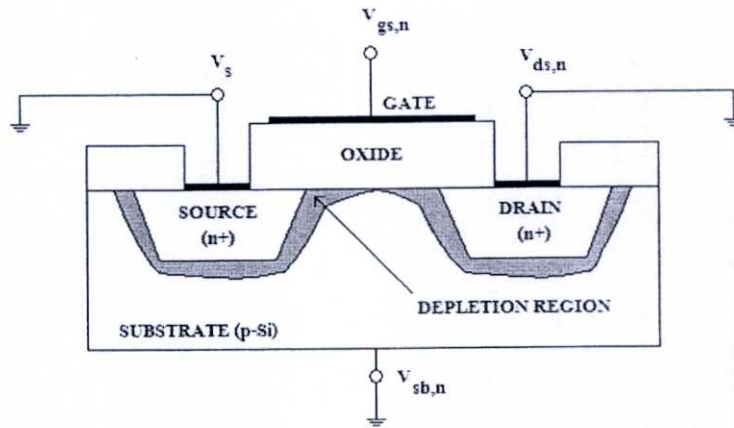
(ง) พีมอสทรานซิสเตอร์แบบดีฟลิชัน

รูปที่ 2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

2.4 การทำงานของมอสทรานซิสเตอร์

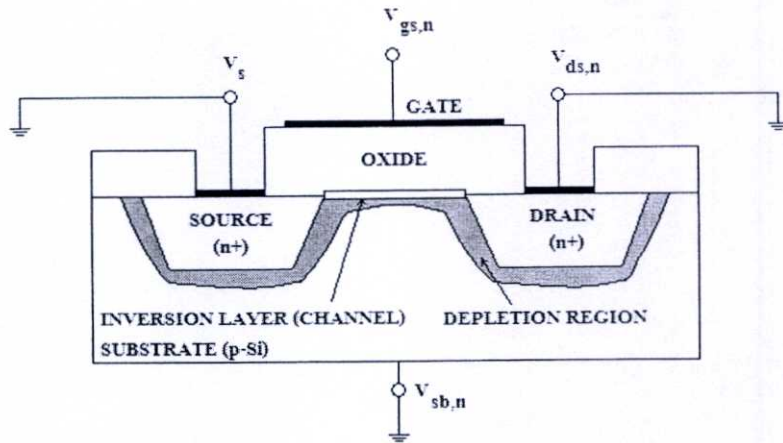
ถ้าพิจารณาโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ จากรูปที่ 2.1 จะสามารถอธิบายการทำงานอย่างง่าย ๆ ของมอสทรานซิสเตอร์ได้ดังนี้

กระแสไฟฟ้าที่ไหลในแกนแนลระหว่างเดรนและซอสของมอสทรานซิสเตอร์ จะถูกควบคุมสนามไฟฟ้าที่ถูกสร้างขึ้นจากการเปลี่ยนแปลงของระดับศักดาที่เกิด และปริมาณกระแสที่ไหลในแกนแนลก็จะถูกควบคุมโดยศักดาระหว่างเดรนกับซอสและศักดาที่ฐานรองอีกด้วย



รูปที่ 2.4 การไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ซึ่งทำให้เกิดย่านปลอดพาหะ (Depletion region)

การไบอัสอย่างง่ายให้กับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ดังแสดงในรูปที่ 2.4 โดยให้เดรน ซอส และฐานรอง ($V_{sb,n}$) ถูกต่ออยู่กับกราวด์และให้ศักดาที่มีค่าเป็นบวกระหว่างเกตกับซอส ($V_{gs,n}$) ซึ่งสามารถทำให้เกิดแขนแนลความนำภายในเกต เมื่อศักดาที่มีค่าเป็นบวกระหว่างเกตกับซอสมีค่าน้อย ๆ Majority Carrier (Hold) จะถูกผลักลงไปยังฐานรอง (Substrate) จะทำให้ผิวของฐานรอง P-Type เกิดย่านปลอดพาหะขึ้น และถ้าบริเวณผิวปราศจาก Mobile Carrier ใด ๆ ค่าความนำไฟฟ้าระหว่างเดรนกับซอสจะไม่เกิดขึ้นด้วย ถ้าทำการไบอัสที่เกตกับซอสด้วยศักดาที่มีศักย์บวกมากขึ้น จนกระทั่งมากกว่าศักดาค่าบวกค่าหนึ่งซึ่งเรียกว่า ศักดาเทรคโฮลด์ (V_{th}) ทำให้ศักย์บวกของเกตที่มากขึ้น จะดึงอิเล็กตรอนจำนวนมากจากฐานรอง P-Type มาใกล้บริเวณผิวสร้างเป็น N-Type Region ใกล้บริเวณผิวจะเรียกว่า Inversion Layer ดังแสดงรายละเอียดในรูปที่ 2.5 ซึ่งเกิดขึ้นระหว่างเดรนกับซอสและจะทำหน้าที่เป็นช่องทางเดินกระแสระหว่างเดรนกับซอสและปริมาณกระแสที่ไหลผ่านระหว่างเดรนกับซอสจะขึ้นอยู่กับค่าความต่างศักย์ของศักดาที่ไบอัสให้เดรนกับซอส ดังนั้นถ้าให้ศักดาเดรนกับซอสเป็นบวกเล็กน้อย ($V_{ds,n} > 0$) จะเกิดกระแสไหลจากเดรนไปยังซอส ถ้าเพิ่มให้ศักดาเดรนกับซอสที่ค่า ๆ หนึ่ง $V_{ds,n} = (V_{gs,n} - V_{th})$ จะทำให้กระแสเดรนไหลสูงสุดและจะคงที่ตลอดไป แม้จะมีการเพิ่มค่าศักดาเดรนกับซอส ($V_{ds,n}$) ขึ้นอีกก็ตาม

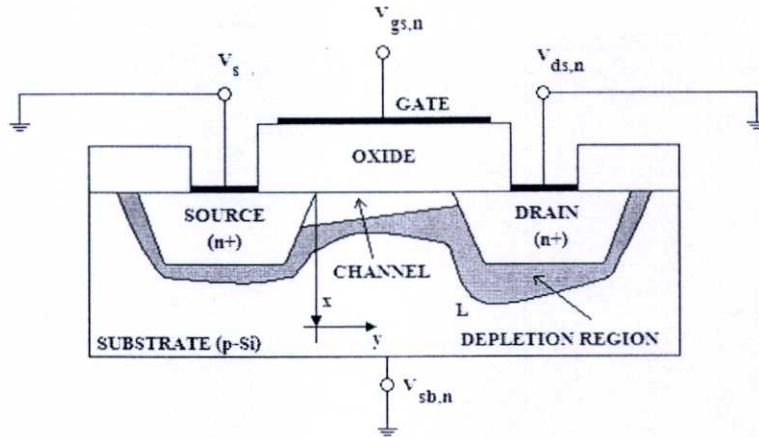


รูปที่ 2.5 การเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

ส่วนการทำงานของเอ็นมอสทรานซิสเตอร์แบบดีพลีชันนั้น จากโครงสร้างดังแสดงในรูปที่ 2.2 จะเห็นได้ว่าเมื่อไบอัสศักรหว่างเกตกับซอสเป็นศูนย์ และให้ศักรหว่างเดรนกับซอสเป็นบวกค่าหนึ่ง จะมีกระแสเดรนไหลค่าหนึ่ง เนื่องจากแชนแนลได้ถูกสร้างไว้แล้ว เมื่อไบอัสศักรหว่างเกตกับซอสมีค่าเป็นลบค่าน้อย ๆ จะเกิดสนามไฟฟ้าในออกไซด์มีทิศทางไปยังขาคเกต ผลที่ได้จะทำให้ไอเล็กตรอนบริเวณใกล้ผิวแชนแนลถูกผลักให้ลงมาในแชนแนลส่วนล่าง เป็นผลทำให้เกิดย่านปลอดพาหะ (Depletion Region) ใกล้บริเวณผิวภายในแชนแนลขึ้น ทำให้สภาพความนำไฟฟ้าของแชนแนลลดลง ผลทำให้กระแสเดรนไหลน้อยลงและถ้าศักรหว่างเกตกับซอสเป็นลบมากขึ้น ทำให้ย่านปลอดพาหะแผ่กว้างเพิ่มขึ้นในแชนแนล จะทำให้สภาพความนำไฟฟ้าของแชนแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีก และถ้าศักรที่เกตเป็นลบมาก ๆ ทำให้ย่านปลอดพาหะแผ่กว้างเต็มแชนแนล แชนแนลจะไม่นำกระแส ทำให้กระแสเดรนมีค่าเป็นศูนย์ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชัน โหมด (Depletion mode) สามารถแสดงกราฟความสัมพันธ์ระหว่างเดรนและศักรหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชันได้ดังรูปที่ 2.11 และกราฟความสัมพันธ์ระหว่างเดรนและศักรหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ ได้ดังรูปที่ 2.12

2.5 คุณสมบัติทางศักรค่ากระแสของมอสทรานซิสเตอร์

ในการวิเคราะห์ความสัมพันธ์ของศักรค่ากับกระแสของมอสทรานซิสเตอร์นั้น จะทำการวิเคราะห์ปัญหาในการไหลของกระแสหนึ่งมิติ ทำให้ได้สมการของกระแสที่เข้าใจได้ง่ายขึ้นและสอดคล้องกับผลที่ได้จากการทดลอง



รูปที่ 2.6 ภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear Region)

เริ่มต้นด้วยการพิจารณารายละเอียดของภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ ที่ทำงานในช่วงเชิงเส้น ดังแสดงในรูปที่ 2.6 จะเห็นได้ว่าซอสและฐานรองถูกต่อกับกราวด์ ($V_s = V_{sb,n} = 0$) ส่วนกระแสเดรน ($I_{ds,n}$) จะถูกควบคุมจากภายนอก โดยศักจະระหว่างเกตกับซอส ($V_{gs,n}$) และศักจະระหว่างเดรนกับซอส ($V_{ds,n}$) ค่าศักจະระหว่างเกตกับซอส ($V_{gs,n}$) จะถูกกำหนดให้มีค่ามากกว่าค่าศักจະเทรตโฮลด์ (V_{th}) เพื่อสร้างค่าความนำไฟฟ้าเกิดขึ้นในแซนแนลระหว่างเดรนกับซอสและกำหนดจุดพิกัดของโครงสร้างคือ ทิศทางของ x (x -direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไปยังฐานรอง ส่วนทิศทางของ y (y -direction) จะขนานไปกับพื้นผิวและ $V_c(y)$ เป็นศักจະแซนแนล กำหนดให้ค่าศักจະเทรตโฮลด์มีค่าคงที่ตลอดแซนแนล ดังนั้นขอบเขตของศักจະแซนแนลจะเป็นดังนี้

$$\begin{aligned} V_c(y=0) &= V_s = 0 \\ V_c(y=L) &= V_{ds,n} \end{aligned} \quad (2.1)$$

นอกจากนั้น บริเวณแซนแนลระหว่างเดรนกับซอสจะถูกกำหนดให้มีค่าตรงข้ามกัน

$$\begin{aligned} V_{g,n} &= V_{th} \\ V_{gd,n} &= V_{gs,n} - V_{ds,n} V_{th} \end{aligned} \quad (2.2)$$

เมื่อ $V_{gd,n}$ เป็นศักจະระหว่างเกตกับเดรน

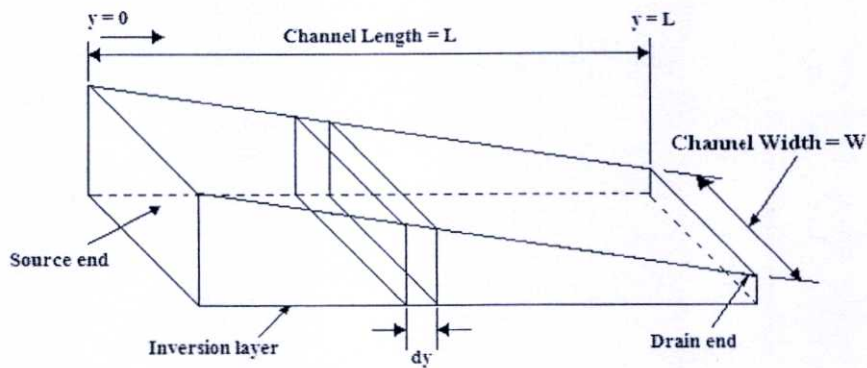
กระแสตรงเกิดจากการเคลื่อนที่ของอิเล็กตรอนภายในแชนแนลจากซอสไปยังเดรนภายใต้สนามไฟฟ้าที่ถูกสร้างขึ้น เมื่อการไหลของกระแสถูกกำหนดโดยจำนวนการประจุของโมบายอิเล็กตรอน (Mobile Electron) บนผิวของ Inversion Layer ดังนั้นจะพิจารณาในรายละเอียดของ Inversion Layer ที่ขึ้นอยู่กับศักดาในการไบอัส

ถ้าให้ $Q_i(y)$ เป็นโมบายอิเล็กตรอนรวมที่ประจุในผิวของ Inversion Layer การประจุนี้สามารถแสดงในฟังก์ชันของศักดาระหว่างเกตกับซอส ($V_{gs,n}$) และศักดาแชนแนล ($V_c(y)$) ได้ดังนี้

$$Q_i(y) = -C_{ox} [V_{gs,n} - V_c(y) - V_{th}] \quad (2.3)$$

โดยที่ C_{ox} คือ ค่าความจุต่อหน่วยพื้นที่ของชั้นออกไซด์ที่กั้นระหว่างเกตกับแชนแนล

ผังรูปที่ 2.7 จะเป็นการแสดงพื้นผิวทางเรขาคณิตของ Inversion Layer และแสดงขนาดของตัวแปรต่าง ๆ ค่าความแน่นของ Inversion Layer จะเป็นรูปลิ้มเริ่มจากซอสไปยังเดรน เนื่องจากศักดาระหว่างเกตกับแชนแนล ทำให้ผิวของ Inversion Layer มีค่าน้อยลงที่จุดสิ้นสุดของเดรน



รูปที่ 2.7 ส่วนทางเรขาคณิตบริเวณผิวของ Inversion Layer

จากนั้นทำการพิจารณาการเพิ่มของความต้านทาน (dR) ของการ Differential ส่วนแชนแนลที่แสดงในรูปที่ 2.7 กำหนดให้โมบายอิเล็กตรอนใน Inversion Layer ทั้งหมดมีค่าความคล่องตัวของอิเล็กตรอน (μ_n) คงที่ การเพิ่มขึ้นของความต้านทานสามารถแสดงได้ดังนี้

$$dR = -\frac{dy}{W \mu_n Q_i(y)} \quad (2.4)$$

กระแสเดรนจะไหลระหว่างเดรนกับซอสไปในทิศทาง y ซึ่งเป็นไปตามข้อกำหนดของรูปแบบการวิเคราะห์แบบหนึ่งมิติ ใช้กฎของโอห์มเพื่อหาศักดาตกคร่อมระหว่างการเพิ่มขึ้นของ dy ในทิศทาง y จะได้เป็น

$$dV_c = I_{d,n}dR = -\frac{I_{d,n}}{W\mu_n Q_1(y)}dy \quad (2.5)$$

ทำการอินทิเกรตสมการที่ (2.5) ไปตามความยาวของแชนแนลจาก $y = 0$ ไปยัง $y = L$ โดยใช้ขอบเขตที่กำหนดจากสมการที่ (2.1)

$$\int_0^L I_{d,n}dy = -W\mu_n \int_0^{V_{ds,n}} Q_1(y)dV_c \quad (2.6)$$

สมการด้านซ้ายมือจะได้เป็น $LI_{d,n}$ แทนค่า Q_1 ด้วยสมการที่ (2.3) แล้วทำการอินทิเกรต ดังนี้

$$I_{d,n}L = W\mu_n c_{ox} \int_0^{V_{ds,n}} (V_{gs,n} - V_c - V_{tn})dV_c \quad (2.7)$$

กำหนดให้มีการเปลี่ยนแปลงศักดาแชนแนล (V_c) ในสมการที่ (2.7) ขึ้นอยู่กับตำแหน่งของ y จะได้กระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{\mu_n c_{ox} W}{2L} [2(V_{gs,n} - V_{tn})V_{ds,n} - V_{ds,n}^2] \quad (2.8)$$

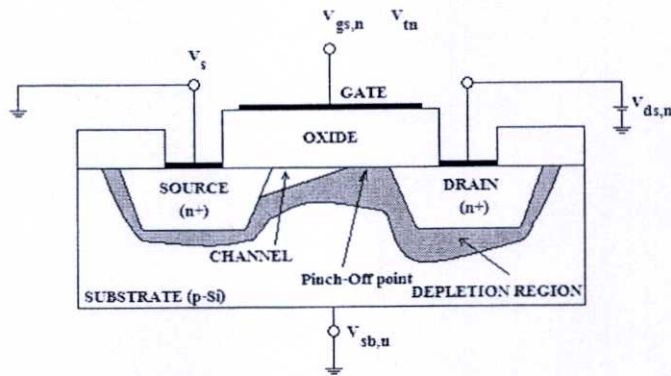
สมการที่ (2.8) เป็นการแสดงกระแสเดรนในรูปฟังก์ชัน Second-Order ของศักดาจากภายนอก คือ ศักดาระหว่างเกตกับซอส ($V_{gs,n}$) และศักดาระหว่างเดรนกับซอส ($V_{ds,n}$) สมการดังกล่าวเป็นสมการความสัมพันธ์ระหว่างกระแสกับศักดาของมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear Region) และสามารถเขียนสมการได้ใหม่ดังนี้

$$I_{d,n} = \frac{\mu_n c_{ox} W}{2L} [2(V_{gs,n} - V_{tn})V_{ds,n} - V_{ds,n}^2] \quad (2.9)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

$$k_n = \mu_n c_{ox} \frac{W}{L} \quad (2.10)$$

จากสมการที่ (2.9) เป็นการประมาณการที่ใช้ได้ดีในกรณีที่ $V_{ds,n} < (V_{gs,n} - V_{tn})$ เท่านั้น เมื่อ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะเกิดปรากฏการณ์อีกอย่างหนึ่งซึ่งขึ้นดังแสดงในรูปที่ 2.8 แสดงถึงค่าศักดาที่เปลี่ยนแปลงไปภายในแชนแนล และปริมาณความเข้มข้นของประจุที่ค่อย ๆ ลดลงเมื่อเข้าไปใกล้แชนแนล ถ้าแชนแนลมีศักดาเท่ากับ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะทำให้ Inversion Layer และความลึกของแชนแนลลดลง ซึ่งถูกเรียกว่า Pinch-Off Point จะทำให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation Region)



รูปที่ 2.8 การเกิด Pinch - Off

จากรูปที่ 2.8 ทำให้สามารถแสดงขอบเขตการทำงานของมอสทรานซิสเตอร์ในช่วงอิ่มตัวได้เป็นดังนี้

$$V_{ds,n} < (V_{gs,n} - V_{tn}) \quad (2.11)$$

ดังนั้นกระแสแชนแนลในช่วงการทำงานแบบอิ่มตัว สามารถหาได้โดยการแทนสมการที่ (2.11) ไปในสมการที่ (2.8) จะได้เป็น

$$I_{d,n} = \frac{\mu_n C_{ox} W}{2L} \left[2(V_{gs,n} - V_{tn})(V_{gs,n} - V_{tn}) - (V_{gs,n} - V_{tn})^2 \right] \quad (2.12)$$

$$I_{d,n} = \frac{\mu_n C_{ox} W}{2L} (V_{gs,n} - V_{tn}) \quad (2.13)$$

และสามารถเขียนสมการใหม่ได้เป็น

$$I_{d,n} = \frac{k_n}{2} (V_{gs,n} - V_{tn})^2 \quad (2.14)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

จากรายละเอียดของคุณสมบัติทางศักดาและกระแสของมอสทรานซิสเตอร์ ทำให้สามารถสรุป การจัดไบอัสการทำงานของมอสทรานซิสเตอร์ได้เป็น 3 ช่วง โดยการทำงานทั้งหมดจะอ้างอิงการ ไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์เป็นดังนี้

2.5.1 การทำงานในช่วงคัทออฟ (Cut-Off Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส ($V_{ds,n}$) มีค่าน้อยกว่าศักดาเทรชโฮลด์ (V_{tn}) จะ เป็นผลทำให้ไม่มีกระแสไหลระหว่างเดรนกับซอส ดังนั้นสมการกระแสเดรนจะเป็นดังนี้

$$I_{d,n} = 0, V_{gs,n} < V_{tn} \quad (2.15)$$

2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region)

เป็นการไบอัสให้ศักดาระหว่างเดรนกับซอส ($V_{gs,n}$) มีค่ามากกว่าศักดาเทรชโฮลด์ ($V_{gs,n} > V_{tn}$) และขณะเดียวกันจะไบอัสให้ศักดาระหว่างเดรนกับซอสมีค่าน้อยกว่าศักดา ระหว่างเกตกับซอสลบด้วยศักดาเทรชโฮลด์ $V_{gs,n} < (V_{gs,n} - V_{tn})$ จะทำให้มีกระแสไหลระหว่างเดรนกับซอส โดยสมการกระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{k_n}{2} [2(V_{gs,n} - V_{tn})V_{ds,n} - V_{ds,n}^2] \quad (2.16)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region)

เป็นการไบอัสให้ศักดาระหว่างเกตกับซอส ($V_{gs,n}$) มีค่ามากกว่าศักดาโฮลด์ ($|V_{gs,n}| > V_{tn}$) และขณะเดียวกันจะไบอัสให้ระหว่างเดรนกับซอสมากกว่าหรือเท่ากับศักดา ระหว่างเกตกับซอสลบด้วยศักดาเทรชโฮลด์ $V_{gs,n} < (V_{gs,n} - V_{tn})$ ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็นดังนี้

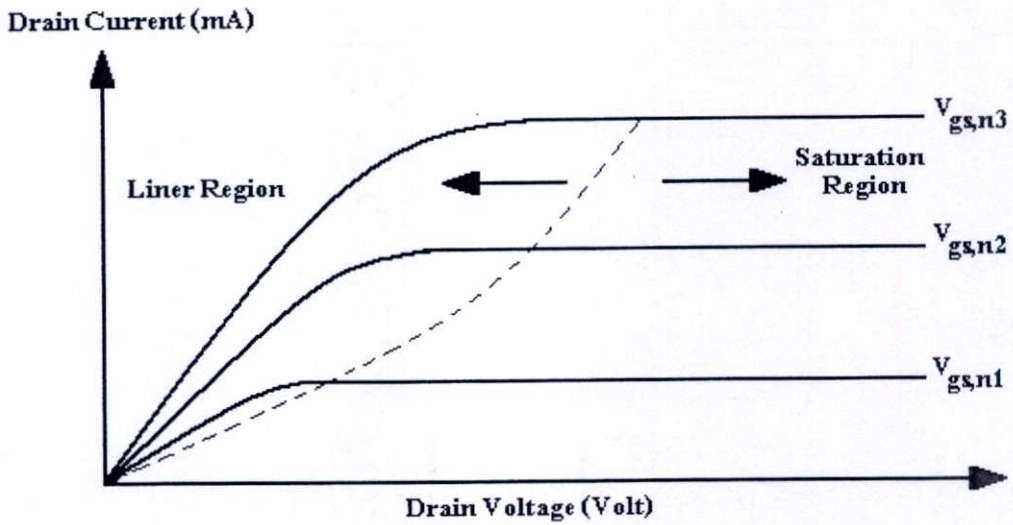
$$I_{d,n} = \frac{k_n}{2} (V_{gs,n} - V_{tn})^2 \quad (2.17)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

จะเห็นได้ว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้ จะมีค่าที่ไม่ขึ้นกับศักดาที่เดรนกับซอส ($V_{ds,n}$) แต่จะขึ้นอยู่กับศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรชโวลต์ ($V_{gs,n} - V_{tn}$) ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) นั่นเอง

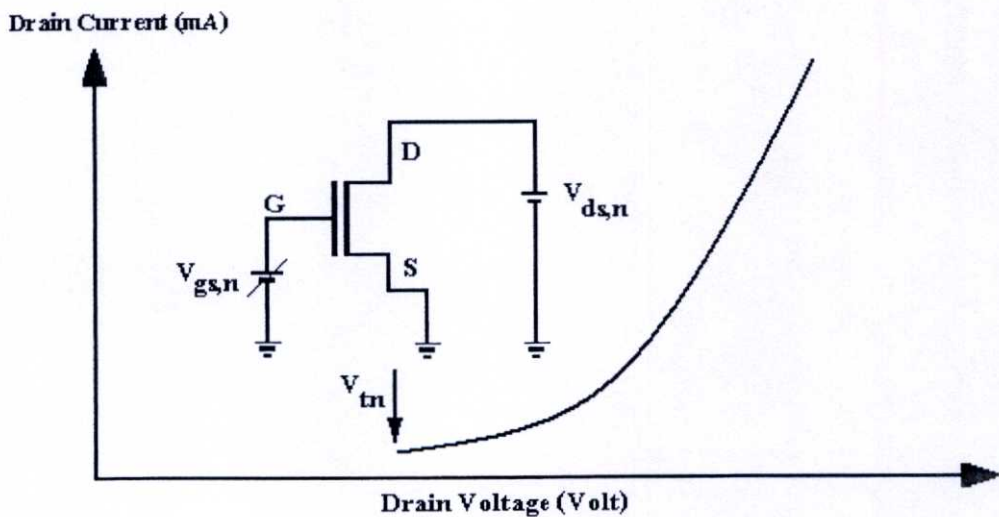
ตัวแปรต่าง ๆ ที่แสดงในสมการทั้งหมดสามารถแสดงรายละเอียดได้ดังนี้

- k_n = ค่าทรานคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_n C_{ox} \frac{W}{L}$
- k_p = ค่าทรานคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_p C_{ox} \frac{W}{L}$
- μ_n = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
- μ_p = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
- C_{ox} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance Per-Unit Area of the Gate Oxide) = ϵ_{ox} / t_{ox}
- ϵ_{ox} = ค่าคงที่ของ SiO₂ = $3.97 \cdot 8.85 \cdot 10^{-14}$ F/cm
- t_{ox} = ความหนาของเกตออกไซด์
- L = ความยาวของแชนแนล (Channel Length)
- W = ความกว้างของแชนแนล (Channel Width)
- $V_{gs,n}$ = ศักดาไฟฟ้าระหว่างเกตกับซอส (Gate – Source Voltage)
- $V_{gd,n}$ = ศักดาไฟฟ้าระหว่างเกตกับเดรน (Gate – Drain Voltage)
- $V_{ds,n}$ = ศักดาไฟฟ้าระหว่างเดรนกับซอส (Drain – Source Voltage)
- $V_{sb,n}$ = ศักดาฐานรอง (Substrate Voltage)
- V_{tn} = ศักดาเริ่มต้นของเอ็นมอส (nMOS Threshold Voltage)
- V_{tp} = ศักดาเริ่มต้นของพีมอส (pMOS Threshold Voltage)
- $I_{d,n}$ = กระแสเดรนเอ็นมอสทรานซิสเตอร์

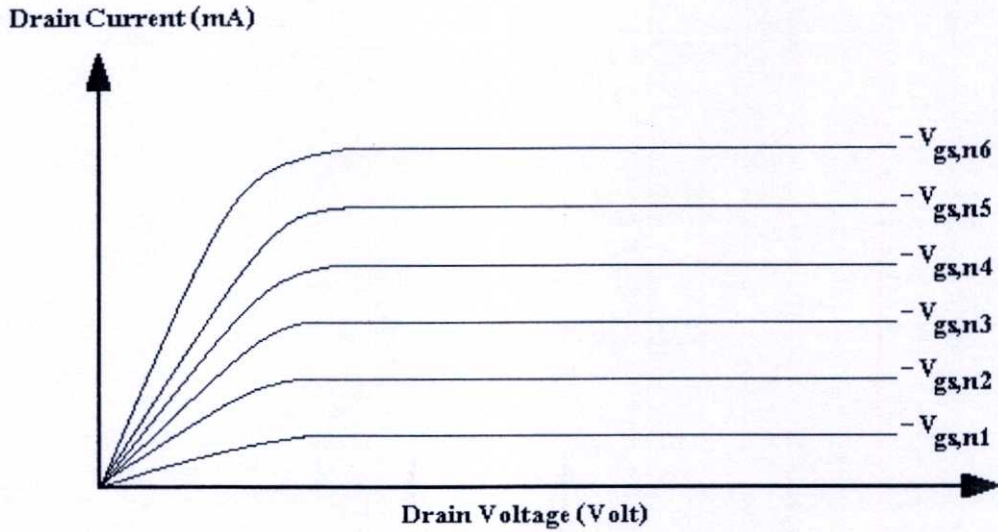


รูปที่ 2.9 คุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์

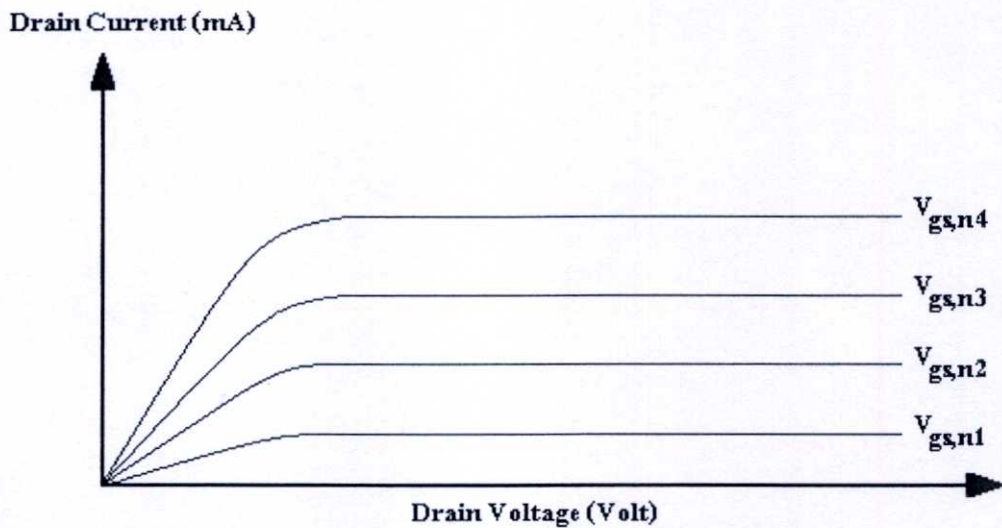
รูปที่ 2.9 แสดงตัวอย่างคุณสมบัติกระแสตรงเทียบกับศักดาตรงของเอ็นมอสทรานซิสเตอร์ โดยใช้สมการกระแสที่ (2.8) และสมการที่ (2.12) เส้นประแบบพาราโบลาจะเป็นการแสดงความขอบเขตระหว่างช่วงเชิงเส้นและช่วงอิ่มตัว คุณลักษณะของกระแสกับศักดาของมอสทรานซิสเตอร์สามารถเปรียบเทียบระหว่างกระแสตรงและศักดาที่เกต ดังแสดงในรูปที่ 2.10



รูปที่ 2.10 กระแสตรงของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักดาระหว่างเกตกับซอส



รูปที่ 2.11 กระแสเดรนและศักยาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพีลิ่งชั้น



รูปที่ 2.12 กระแสเดรนและศักยาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์

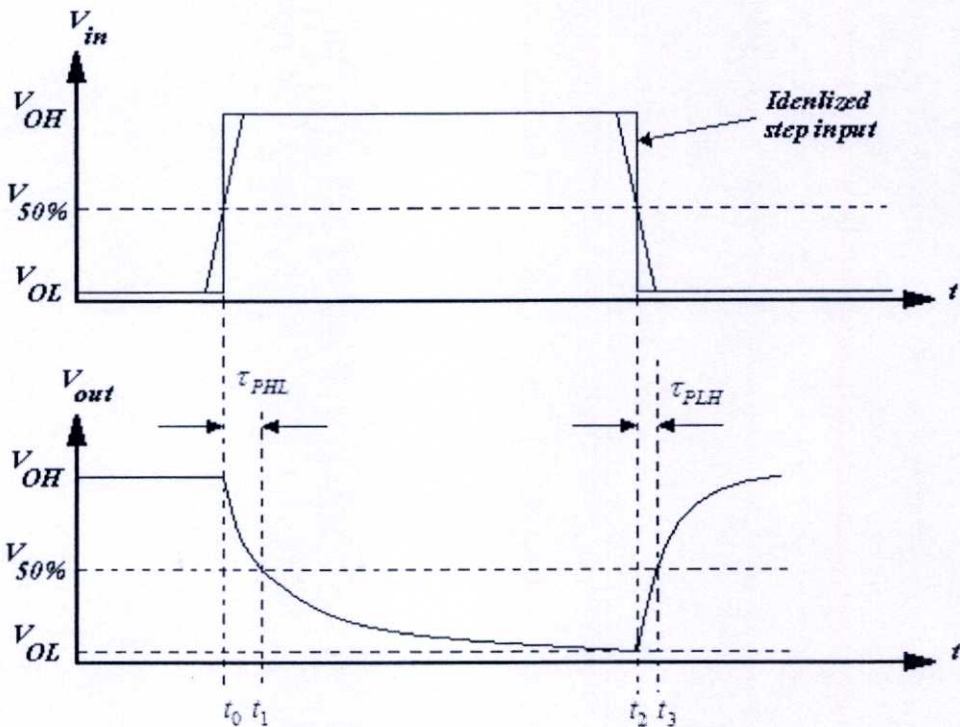
2.6 การหาค่าหน่วยเวลา

วิธีการหาค่าหน่วยเวลาที่ใช้กันอย่างแพร่หลาย คือรูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของ วงจรอินเวอร์เตอร์ ดังแสดงในรูปที่ 2.13 การหาค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} เป็นค่าหน่วยเวลาที่เปรียบเทียบระหว่างสัญญาณทางอินพุตและเอาต์พุตที่สภาวะเปลี่ยนแปลงจาก High เป็น Low และ Low เป็น High ตามลำดับ โดยมีนิยามดังนี้ τ_{PHL} เป็นค่าหน่วยเวลาเปรียบเทียบระหว่างช่วงเปลี่ยน

ที่แรงดัน 50% ของขาขึ้นทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาลงทางเอาต์พุต เหมือนกันกับ τ_{PLH} เป็นนิยามค่าหน่วยเวลาเทียบระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาลงทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาขึ้นทางเอาต์พุต

เพื่อให้ง่ายขึ้นแก่การวิเคราะห์และเขียนสมการค่าการหน่วงเวลา สัญญาณรูปคลื่นทางอินพุตจะถูกสมมติเป็นรูปคลื่นสี่เหลี่ยม ทางทฤษฎีมีค่าหน่วยเวลาขาขึ้นและขาลงเป็นศูนย์ ภายใต้ข้อสมมติฐาน τ_{PHL} เป็นค่าหน่วงเวลาที่ได้จากแรงดันทางเอาต์พุตที่ลดลงจาก V_{OH} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงขาขึ้นของสัญญาณอินพุต และ τ_{PLH} เป็นค่าหน่วงเวลาที่ได้จากแรงดันทางเอาต์พุตที่เริ่มเพิ่มขึ้นจาก V_{OL} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงขาลงของสัญญาณอินพุต จากนั้นสามารถเขียนสมการของค่าแรงดันที่จุด $V_{50\%}$ ได้ดังนี้

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \quad (2.18)$$



รูปที่ 2.13 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรถออินเวอร์เตอร์ และนิยามค่าหน่วงเวลาต่าง ๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี

ดังนั้นค่าหน่วงเวลา τ_{PHL} และ τ_{PLH} จากรูปที่ 2.13 ได้ดังนี้

$$\begin{aligned} \tau_{PHL} &= t_1 - t_0 \\ \tau_{PLH} &= t_3 - t_2 \end{aligned} \quad (2.19)$$

วิธีการคำนวณค่า τ_{PHL} และ τ_{PLH} นั้น จะใช้การประมาณค่าเฉลี่ยกระแสของตัวเก็บประจุในขณะที่ยังประจุและคายประจุ โดยถ้าให้กระแสเฉลี่ยเป็นค่าคงที่ จะได้ดังนี้

$$\tau_{PHL} = \frac{C_{load} \cdot \Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load} \cdot (V_{OH} - V_{50\%})}{I_{avg,HL}} \quad (2.20)$$

$$\tau_{PLH} = \frac{C_{load} \cdot \Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load} \cdot (V_{50\%} - V_{OL})}{I_{avg,LH}} \quad (2.21)$$

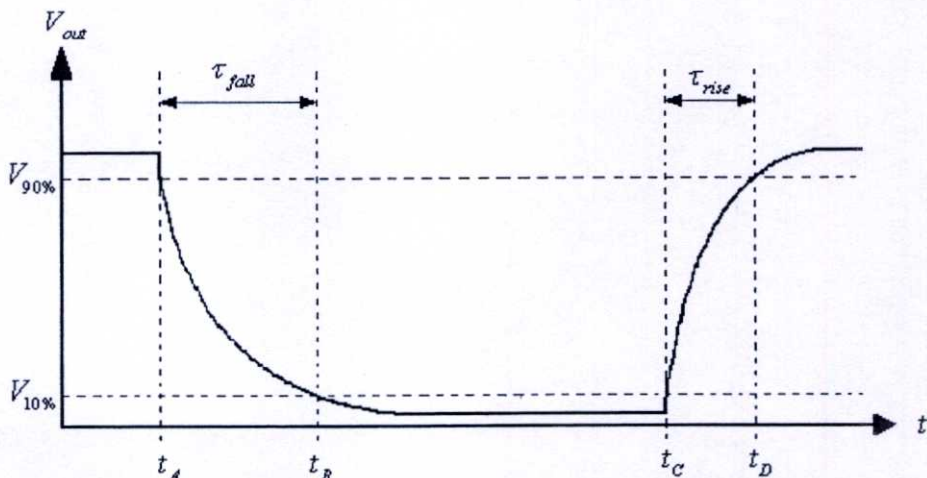
และค่าเฉลี่ยของค่าหน่วงเวลา (Propagation Delay Time) τ_p สำหรับสัญญาณทางอินพุตโดยผ่านวงจรรีจิสเตอร์จะได้ดังสมการ

$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (2.22)$$

ในรูปที่ 2.14 เป็นการให้นิยามค่าหน่วงเวลาทั้งทางขาลงและทางขึ้นของแรงดันทางเอาต์พุต ซึ่งค่าหน่วงเวลาขาขึ้น τ_{rise} เป็นช่วงเวลาของแรงดันทางอินพุตที่เพิ่มจากระดับแรงดันทางเอาต์พุตที่เพิ่มระดับแรงดัน $V_{10\%}$ จนถึงระดับแรงดัน $V_{90\%}$ เหมือนกันกับค่าหน่วงเวลาขาลง τ_{fall} เป็นช่วงเวลาของแรงดันทางเอาต์พุตที่ลดลงจากระดับ $V_{90\%}$ จนถึงระดับแรงดัน $V_{10\%}$ และระดับแรงดัน $V_{10\%}$ และ $V_{90\%}$ มีสมการดังนี้

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \quad (2.23)$$

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \quad (2.24)$$



รูปที่ 2.14 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต

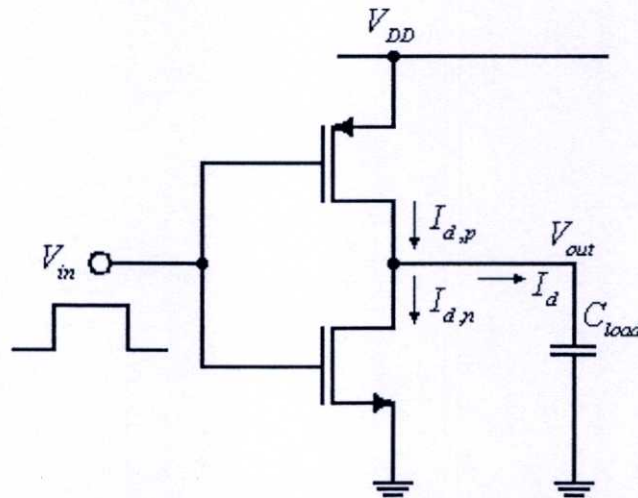
ดังนั้นช่วงขาสูงและขาขึ้นของแรงดันเอาต์พุตสามารถหาได้จากรูปที่ 2.14 ดังนี้

$$\begin{aligned}\tau_{rise} &= t_B - t_A \\ \tau_{fall} &= t_D - t_C\end{aligned}\quad (2.25)$$

หมายเหตุ : สามารถใช้นิยามเกี่ยวกับค่าหน่วยเวลาที่ระดับ 20% และ 80% ก็ได้

2.7 การหาค่ากำลังงานสูญเสีย

ในวงจรซีมอสจะแบ่งกำลังงานสูญเสียออกเป็น 2 ชนิดคือ แบบ Static Power Dissipation และแบบ Dynamic Power Dissipation ซึ่ง Static Power Dissipation หรือ DC Power dissipation จะเกิดขึ้นเมื่อวงจรซีมอสอินเวอร์เตอร์ทำงานในช่วง Steady-State ($V_{out} = V_{OH}$) และ ($V_{out} = V_{OL}$) แต่วงจรซีมอสจะไม่ดึงกระแสจากแหล่งจ่ายไฟเลี้ยง ฉะนั้นค่า DC Power Dissipation จึงไม่จำเป็นต้องคำนึงถึงเพราะมันมีค่าน้อยมาก ๆ ส่วนค่า Dynamic Power Dissipation ในวงจรซีมอสอินเวอร์เตอร์เกิดขึ้นในระหว่างสภาวะการสวิตช์ของโหลดคาปาซิเตอร์ทางเอาต์พุตในการเก็บประจุและคายประจุ



รูปที่ 2.15 วงจรซีมอสอินเวอร์เตอร์ ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation

พิจารณาวงจรซีมอสอินเวอร์เตอร์ในรูปที่ 2.15 สมมติแรงดันทางอินพุตเป็นรูปสี่เหลี่ยมในทางทฤษฎี โดยที่ไม่คำนึงถึงค่าหน่วยเวลาที่ขาขึ้นและขาสูง โดยทั่วไปรูปสัญญาณทางด้านอินพุตและเอาต์พุตและรูปคลื่นกระแสของโหลดคาปาซิเตอร์ที่แสดงในรูปที่ 2.15 เมื่อแรงดันทางด้านอินพุตสวิตช์จาก Low ไป High ทรานซิสเตอร์แบบพีมอส ในวงจรจะไม่ทำงาน แต่ทรานซิสเตอร์เอ็นมอสจะเริ่มนำกระแสในระหว่างเฟสนี้ โหลดคาปาซิเตอร์ C_{load} จะคายประจุโดยผ่านทรานซิสเตอร์แบบเอ็นมอส ดังนั้นกระแสโหลดคาปาซิเตอร์ จึงเท่ากับกระแสเดรนของ

ทรานซิสเตอร์แบบเอ็นมอส เมื่อแรงดันทางอินพุตสวิตช์จาก High ไปหา Low ทรานซิสเตอร์แบบเอ็นมอสในวงจรจะหยุดทำงาน แต่ทรานซิสเตอร์แบบพีมอสเริ่มนำกระแส ในระหว่างเฟสนี้ โหลดคาปาซิเตอร์ C_{load} ก็เริ่มเก็บประจุโดยผ่านทางทรานซิสเตอร์แบบพีมอส ฉะนั้นกระแสของโหลดคาปาซิเตอร์เท่ากับกระแสเดรนของทรานซิสเตอร์แบบพีมอส

สมมติว่า t เป็นคาบเวลา 1 คาบของรูปสี่เหลี่ยมสัญญาณทางอินพุตและเอาต์พุต ฉะนั้นค่าเฉลี่ย Power Dissipation ของวงจรในหนึ่งคาบเวลาสามารถหาได้ดังนี้

$$P_{avg} = \frac{1}{T} \int_0^T V(t)i(t)dt \quad (2.26)$$

โดยที่

T คือ ช่วงเวลา 1 คาบของสัญญาณนาฬิกา

t คือ ช่วงเวลา 1 คาบของสัญญาณทางอินพุตและเอาต์พุต

V คือ แรงดัน

i คือ กระแส

ในระหว่างที่มอสทรานซิสเตอร์ทำการสวิตช์นั้น ทั้งเอ็นมอสและพีมอสในวงจรซีมอสอินเวอร์เตอร์จะนำกระแสทุก ๆ ครั้งหนึ่งของคาบเวลา ดังนั้นค่าเฉลี่ย Power Dissipation ของวงจรซีมอสอินเวอร์เตอร์ สามารถคำนวณหาค่า Power ที่ต้องการได้จากการเก็บประจุและคายประจุของโหลดคาปาซิเตอร์

$$P_{avg} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} V_{out} - \left(C_{load} \frac{dV_{out}}{dt} \right) dt + \int_{\frac{T}{2}}^T (V_{DD} - V_{out}) \left(C_{load} \frac{dV_{out}}{dt} \right) dt \right] \quad (2.27)$$

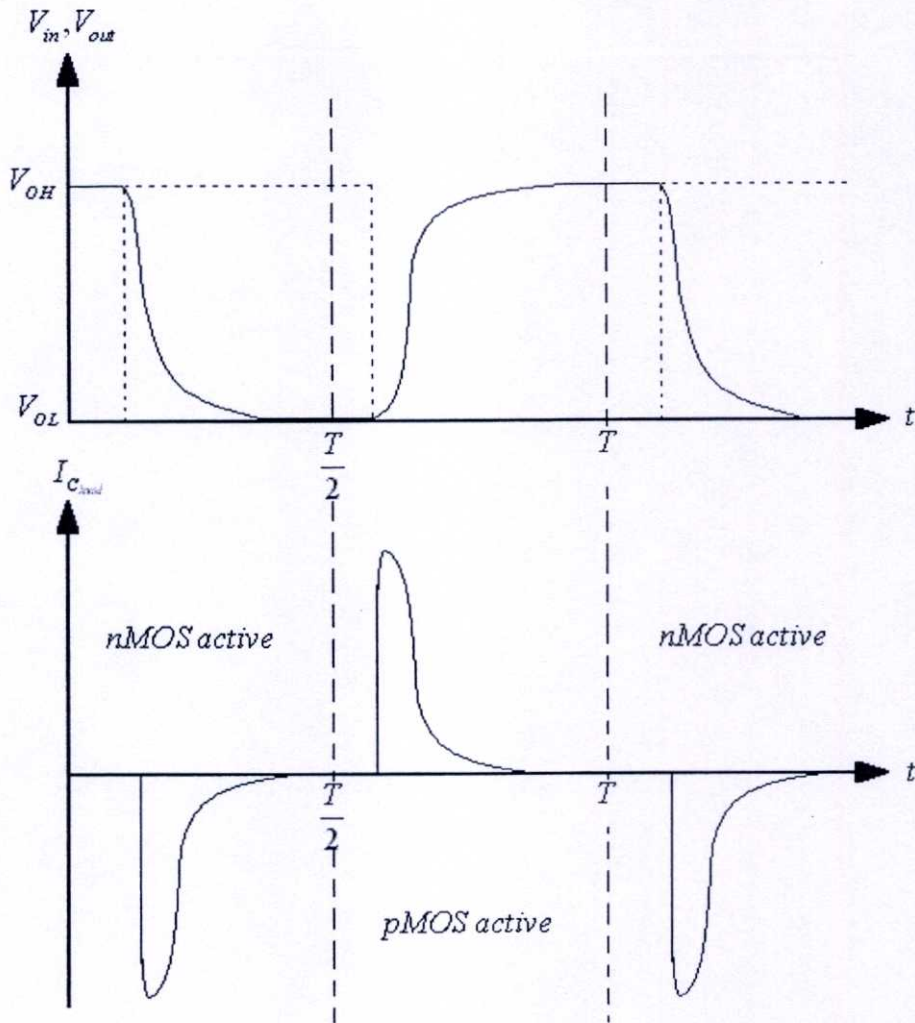
การคำนวณ Integrate ในสมการที่ (2.25) เราจะได้

$$P_{avg} = \frac{1}{T} \left[\left(-C_{load} \frac{V_{out}^2}{2} \right) \Big|_0^{\frac{T}{2}} + \left(V_{DD} V_{out} C_{load} - \frac{1}{2} C_{load} V_{out}^2 \right) \Big|_{\frac{T}{2}}^T \right] \quad (2.28)$$

$$P_{avg} = \frac{1}{T} C_{load} V_{DD}^2 \quad (2.29)$$

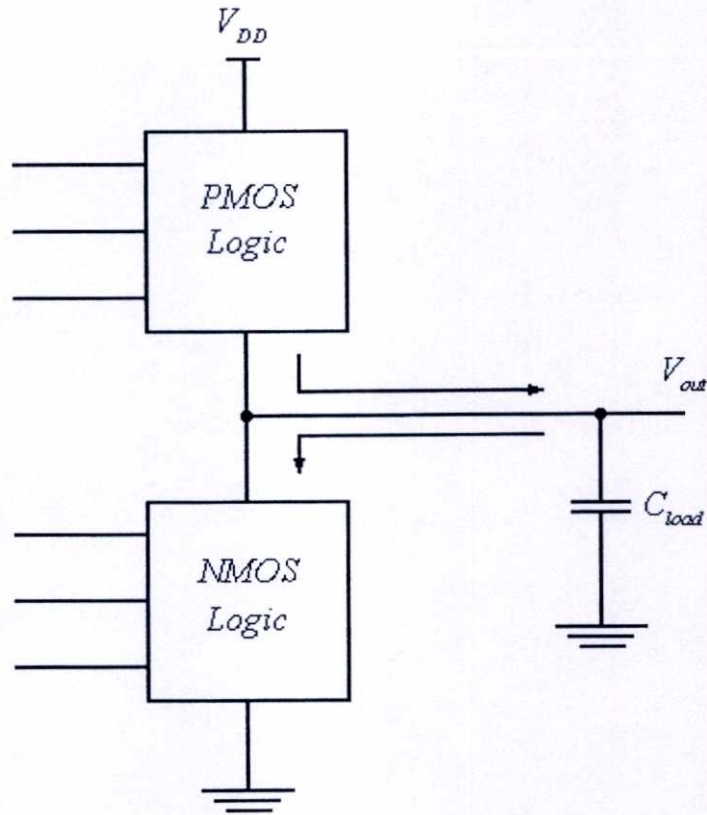
ซึ่ง $f = \frac{1}{T}$ จากนั้นสามารถเขียนได้ดังนี้

$$P_{avg} = C_{load} V_{DD}^2 f \quad (2.30)$$



รูปที่ 2.16 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรมอสอินเวอร์เตอร์

เห็นได้ชัดว่าค่าเฉลี่ย Power Dissipation ของวงจรมอสอินเวอร์เตอร์ในสมการที่ (2.30) จะมีองค์ประกอบของกำลังงานที่ต้องสูญเสียไปในขั้นตอนของการสวิตช์ที่ตัวเก็บประจุทางด้านเอาต์พุตจากค่า V_{OL} ไปหาค่า V_{OH} ตลอดจนแรงดันกับความถี่ที่ทำงานอยู่ในขณะนั้น และถ้าพิจารณาที่ความถี่ในการทำงาน (f) ก็จะเห็นว่าเป็นอัตราส่วนกับความถี่ในการสวิตช์ (f) เพราะฉะนั้นข้อดีของวงจรมอสที่ใช้กำลังงานต่ำในการทำงาน จึงเป็นจุดเด่นในการนำไปใช้งานทางด้านความเร็วสูง ซึ่งส่วนมากแล้ววงจรทางด้านความเร็วสูงก็ต้องใช้ความถี่ในการสวิตช์ที่สูงด้วย และนอกเหนือจากที่ได้กล่าวมาแล้ว ค่าเฉลี่ย Power Dissipation จะขึ้นอยู่กับลักษณะและขนาดของทรานซิสเตอร์ ตลอดจนกำหนดช่วงเวลาในระหว่างการสวิตช์ที่จะเกิดขึ้นในวงจรด้วย



รูปที่ 2.17 วงจรซีมอส Logic โดยทั่วไป

จากสมการกำลังงานที่เกิดจากการสวิตช์ของวงจรมอสอินเวอร์เตอร์ เราสามารถแสดงให้เห็นในรูปแบบของวงจรมอส Logic โดยทั่วไปได้ดังในรูปที่ 2.17 ซึ่งวงจรมอสสถิตย์ (CMOS Logic) จะประกอบด้วย NMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับกราวด์และ PMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับแรงดันไฟเลี้ยง V_{DD}

ในกรณีวงจรมอสอินเวอร์เตอร์ทั่วไปนั้น ทั้งส่วน PMOS Block หรือ NMOS Block สามารถนำกระแสโดยขึ้นอยู่กับสัญญาณทางอินพุต แต่ไม่ใช่ในเวลาเดียวกัน ดังนั้นกำลังงานสูญเสียที่เกิดจากการสวิตช์ เป็นการสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์ทางเอาต์พุต

สรุปโดยรวม ถ้าค่าคาปาซิเตอร์ทั้งหมดที่อยู่ภายในวงจรมีค่ามากที่โหนดเอาต์พุต จะทำให้เกิดผลกระทบกับประสิทธิภาพโดยรวมของวงจรด้วย ถ้าแรงดันเอาต์พุตแกว่งในช่วง 0 ถึง V_{DD} และถ้ารูปคลื่นสัญญาณอินพุตเป็นรูปคลื่นสี่เหลี่ยมทางทฤษฎีค่าเฉลี่ย Switching Power Dissipation สามารถแสดงได้ในสมการที่ (2.30) จะใช้ได้ในทุก ๆ วงจรมอสสถิตย์

ภายใต้เงื่อนไขที่เป็นจริงเมื่อรูปคลื่นสัญญาณทางอินพุต Step Input ไม่เป็นอย่างทฤษฎีและค่าหน่วยเวลาที่ขยับขึ้นและขาลงไม่เป็น 0 สำหรับตัวอย่าง N-MOS และ P-MOS ทรานซิสเตอร์จะนำกระแสพร้อมกัน ซึ่งเป็นผลรวมของกระแสที่เกิดขึ้นระหว่างการสวิตช์นี้เรียกว่า กระแสลัดวงจร ซึ่งในกรณีทรานซิสเตอร์ จะนำกระแสจากไฟเลี้ยง V_{DD} ไปหากราวด์ ฉะนั้นค่ากำลังงานสูญเสียที่

เกิดขึ้นในเวลาวงจร Short Circuit ไม่สามารถคำนวณได้ตามสมการที่ (2.30) ได้ ซึ่งกระแสที่เกิดจากการ Short Circuit ไม่ทำให้เกิดการเก็บประจุหรือคายประจุของคาปาซิเตอร์ทางเอาต์พุต จึงจำเป็นต้องรู้ค่ากำลังงานสูญเสียในส่วนนี้ด้วย เพราะจะสามารถอธิบายลักษณะที่ไม่เป็นไปตามเงื่อนไขทางทฤษฎี ถ้าโหลดคาปาซิเตอร์มีค่ามากขึ้น ในทางตรงกันข้ามค่ากำลังงานสูญเสียที่เกิดจากการ Short Circuit นี้ไม่จำเป็นต้องคำนึงถึง เพราะจะมีค่าน้อยมาก ๆ ถ้าเปรียบเทียบกับกำลังงานสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์

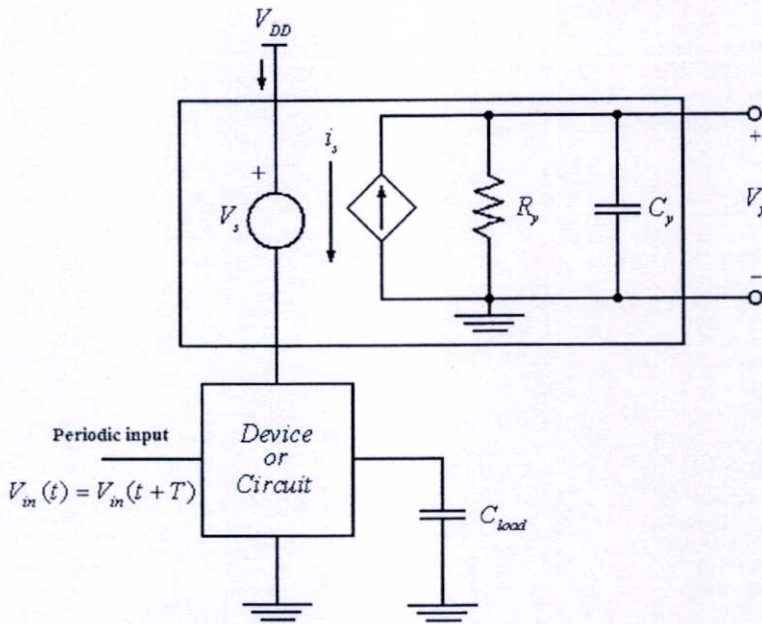
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร

การจำลองการทำงานของวงจร เพื่อหาค่าเฉลี่ยกำลังงานสูญเสียที่สร้างเอง (ซึ่งรวมค่าที่เกิดจากการ Short Circuit และกระแสรั่วไหล) ภายใต้เงื่อนไขการทำงานจริง [5] อ้างอิงตามสมการที่ (2.30) ค่ากำลังงานสูญเสียของทุกอุปกรณ์หรือวงจรที่ป้อนด้วยรูปคลื่นสัญญาณทางอินพุตสามารถหาได้จากแรงดันตามเวลา v และกระแสตามเวลา i ที่อยู่ในหนึ่งช่วงรูปคลื่นสัญญาณ ถ้าเราจำเป็นต้องหาค่าเฉลี่ย P_{avg} ที่ดึงจากแหล่งจ่ายไฟเลี้ยงที่เป็นค่าคงที่

การใช้รูปแบบการจำลองการทำงาน [5] ที่เรียกว่า Power Meter เราสามารถแสดงค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจรที่เรากำหนดเองที่มีสัญญาณอินพุต 1 คาบเวลา ด้วยวิธี Transient Circuit เพื่อจำลองการทำงาน โดยพิจารณาตามโครงสร้างดังแสดงในรูปที่ 2.18 ซึ่งในที่นี้แรงดัน Zero-Volt ไม่ขึ้นกับแหล่งจ่ายถูกต่ออนุกรมเข้ากับแหล่งจ่ายไฟเลี้ยง V_{DD} ของอุปกรณ์ เพราะฉะนั้นกระแสจากแรงจ่ายแรงดันไฟฟ้าที่เปลี่ยนแปลงตามเวลา $i_{DD}(t)$ จะเป็นการดึงกระแสจากวงจรโดยผ่านแหล่งจ่าย Zero-Volt จึงมีค่า $i_s(t) = i_{DD}(t)$

วิธีการวัดกำลังงานของวงจรประกอบด้วย 3 ส่วนคือ กระแสควบคุมแหล่งจ่ายกระแสที่เป็นแบบเส้นตรง คาปาซิเตอร์และตัวต้านทาน ทั้งหมดถูกต่อขนานกัน สมการกระแสสำหรับจุดรวมของวงจรที่ใช้ในการวัดกำลังงานสามารถเขียนได้ดังนี้

$$C_y \frac{dV_y}{dt} = \beta i_s - \frac{V_y}{R_y} \quad (2.31)$$



รูปที่ 2.18 วงจรการวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร

เงื่อนไขเริ่มต้นของจุดวัดแรงดัน V_y จะถูกตั้งไว้ที่ $V_y(0) = 0$ จากนั้นก็สามารถหาค่า $V_y(t)$ ตามค่าเวลาด้วยการ Integrate สมการที่ (2.31)

$$V_y(t) = \frac{\beta}{C_y} \int_0^t e^{-\frac{1}{R_y C_y}(t-\tau)} i_{DD}(\tau) d\tau \quad (2.32)$$

สมมติว่า $R_y C_y \gg T$ ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งช่วงคาบเวลา สามารถที่จะประมาณค่าได้ดังนี้

$$V_y(T) = \frac{\beta}{C_y} \int_0^T i_{DD}(\tau) d\tau \quad (2.33)$$

ถ้าค่าสัมประสิทธิ์คองที่ แหล่งจ่ายกระแสควบคุมจะสามารถควบคุมการจ่ายกระแสได้ดังนี้

$$\beta = V_{DD} \frac{C_y}{T} \quad (2.34)$$

ค่าแรงดัน $V_y(t)$ ที่จุดสิ้นสุดของ 1 คาบเวลาจะหาค่า Transient จำลองการทำงานได้ดังนี้

$$V_y(T) = V_{DD} \frac{1}{T} \int_0^T i_{DD}(\tau) d\tau \quad (2.35)$$

จากสมการที่ (2.34) ทางด้านขวา เป็นผลของค่ากำลังงานเฉลี่ยที่ดึงจากแหล่งจ่ายไฟเลี้ยงใน 1 คาบเวลา ดังนั้นค่าแรงดันโหนด $V_y(T)$ ที่ $t=T$ เป็นค่ากำลังงานสูญเสียเฉลี่ยของวงจรวิธีการวัดกำลังงาน ดังแสดงในรูปที่ 2.11 สามารถนำมาใช้ในการจำลองการทำงานของวงจรทั่วไปได้ด้วย โปรแกรมการจำลองการทำงาน เช่น PSPICE และเพื่อประเมินค่ากำลังงานสูญเสียของวงจรที่มีความซับซ้อนให้ได้อย่างแม่นยำ อีกส่วนหนึ่งที่ต้องให้ความสำคัญคือ วงจรวิธีวัดค่ากำลังงานจะต้องนำเอาผลลัพธ์มารวมกับค่ากำลังงานสูญเสียที่เกิดจากกระแส Short Circuit ที่เกิดขึ้นด้วย ซึ่งมันจะเกิดขึ้นเมื่อสัญญาณทางอินพุทไม่เป็นไปตามทฤษฎี

พิจารณาวจรซิมอสอินเวอร์เตอร์ ดังแสดงในรูปที่ (2.18) สมมติให้สัญญาณทางอินพุทเป็นรูปคลื่นสี่เหลี่ยมที่มีคาบเวลา $T = 20$ ns และโหลดคาปาซิเตอร์ทางด้านเอาต์พุทเท่ากับ 1 pF แหล่งจ่ายไฟเลี้ยง 5 V นำสมการที่ (2.28) เป็นสมการหาค่ากำลังงานสูญเสียเฉลี่ยทาง Dynamic เราสามารถหาค่าได้เท่ากับ $P_{avg} = 1.25$ mW

2.7.2 การหาค่าอัตราการกินกำลังงาน

ค่าอัตราการกินกำลังงาน (Power Delay Product, PDP) [6] เป็นตัวแปรขั้นต้นที่เลือกใช้ในการวัดคุณภาพและประสิทธิภาพของกระบวนการซิมอสที่ออกแบบ Gate ต่าง ๆ ในทาง Physic ค่า Power Product สามารถอธิบายถึงค่าพลังงานเฉลี่ยของเกทในการสวิตช์ของแรงดันทางด้านเอาต์พุท จาก Low ไปหา High และจาก High ไปหา Low จะสามารถเห็นพลังงานที่สูญเสียในวงจร CMOS Logic Gate ได้ โดยที่ PMOS Network ขณะที่โหลดคาปาซิเตอร์ทางเอาต์พุท C_{load} เริ่มเก็บประจุจาก 0 ไปหา C_{load} และที่ NMOS Network ขณะที่โหลดคาปาซิเตอร์ทางเอาต์พุท C_{load} เริ่มคายประจุจาก V_{DD} ไปหา 0

จากขั้นตอนการวิเคราะห์การหาค่ากำลังงานสูญเสีย (Power Dissipation) ที่ผ่านมา สมการค่าเฉลี่ยในการหาค่า Power Delay Product (PDP) จะมีส่วนที่เหมือนกับสมการการหาค่าเฉลี่ย Dynamic Power Dissipation ดังสมการที่ (2.30) โดยจะไม่คำนึงถึงกระแสที่เกิดจากวงจร Short Circuit และกระแสรั่วไหลของวงจร ดังนั้นผลรวมของพลังงานทางเอาต์พุทและเวลาในการสวิตช์จะเขียนได้ดังนี้

$$PDP = C_{load} V_{DD}^2 f \quad (2.36)$$

การอธิบายพลังงานด้านสมการที่ (2.35) เป็นค่าการสูญเสียหลัก ที่ทำให้เกิดความร้อนเมื่อทรานซิสเตอร์แบบเอ็นมอสและพีมอสนำกระแสระหว่างสวิตช์ เพราะฉะนั้น จากการออกแบบ Point - of - view โดยทั่วไปสิ่งที่ต้องการก็คือ Power Delay Product ซึ่ง PDP เป็น Function ของ โหลดคาปาซิเตอร์ทางเอาต์พุทและแหล่งจ่ายแรงดันไฟฟ้า ดังนั้นสำหรับนักออกแบบควรรออกแบบ

วงจร CMOS Logic Gate ให้ค่า C_{load} และค่าแรงดันจากแหล่งจ่าย V_{DD} มีค่าน้อยที่สุดเท่าที่จะทำได้ และค่าของ Power Delay Product (PDP) สามารถนิยามได้ดังนี้

$$PDP = 2P_{avg}\tau_p \quad (2.37)$$

โดยที่

P_{avg} คือ ค่าการใช้กำลังงาน โดยเฉลี่ยขณะสวิตช์ ที่ความถี่ทำงานสูงสุด

τ_p คือ ค่าหน่วงเวลา (Propagation Delay)

จากที่ Factor ทั้ง 2 ตัว คือแรงดัน (V_{DD}) และประจุ (C_{load}) ในสมการที่ (2.36) ซึ่งเป็นผลเกิดจากเอาต์พุตทรานซิสเตอร์ที่สวิตช์จาก Low ไปหา High และจาก High ไปหา Low ดังนั้นจากสมการที่ (2.30) และ (2.22) สามารถนำมาเขียนแทนลงในสมการที่ (2.37) ได้ดังนี้

$$\begin{aligned} PDP &= 2(C_{load}V_{DD}^2f_{max})\tau_p \\ &= 2C_{load}V_{DD}^2\left(\frac{1}{\tau_{PHL} + \tau_{PLH}}\right)\left(\frac{\tau_{PHL} + \tau_{PLH}}{2}\right) \\ &= C_{load}V_{DD}^2 \end{aligned} \quad (2.38)$$

ซึ่งจะเห็นได้ว่าเหมือนกับสมการ (2.30) การคำนวณค่า PDP ด้วยค่า P_{avg} ในสมการที่ (2.30) นั้น บางทีผลที่ได้รับใน Misleading Interpretation จะเป็นผลรวมของพลังงานต่อสถานการณ์สวิตช์ที่เป็นฟังก์ชันการทำงานทางความถี่

1.8 สรุป

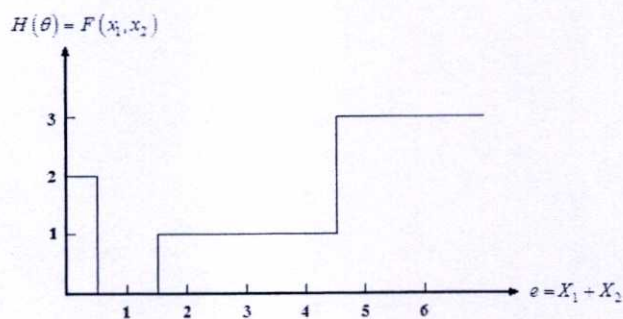
จากทฤษฎีการทำงานของมอสทรานซิสเตอร์ที่ได้กล่าวมาในบทนี้ ทำให้ทราบถึงรายละเอียดและโครงสร้างการทำงานและคุณสมบัติทางสัปดาห์กับกระแสของมอสทรานซิสเตอร์ การทำงานของมอสทรานซิสเตอร์ สามารถแบ่งเป็น 3 ช่วงคือ ช่วงหยุดการทำงาน (Cut-off Region) ช่วงการทำงานแบบไม่อิ่มตัว (Non-Saturation) และช่วงอิ่มตัว (Saturation) โดยแต่ละช่วงนั้น ฟังก์ชันสัปดาห์กับกระแสทรานซิสเตอร์นั้นแตกต่างกันไป ซึ่งในการออกแบบจะต้องกำหนดให้เหมาะสมกับการทำงานในช่วงนั้น ๆ และในบทนี้ยังแสดงวิธีการหาค่าหน่วงเวลา การหาค่ากำลังงานสูญเสีย การจำลองการวัดกำลังงานสูญเสีย โดยจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE

บทที่ 3

ทฤษฎีของลอจิกหลายระดับสัญญาณ

3.1 นิยามและคำจำกัดความ

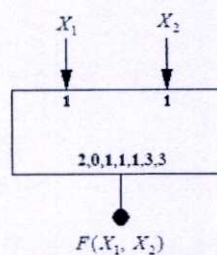
สัญญาณหลายระดับในเลขฐาน R ถูกสร้างขึ้นเพื่อกำหนดเขตค่าของสัญญาณที่มีการเปลี่ยนแปลงซึ่งอาจจะอยู่ในรูปของแรงดัน กระแสหรือการอัดประจุ (Charge) โดยสัญญาณจะต้องมีลักษณะสำคัญ 2 ประการคือ เขตโดยทั่วไปทั้งหมดจะขยายออกไปในทิศทางเดียวเท่านั้น ประกอบด้วย $0, 1, 2, 3, \dots, (R-2), (R-1)$ ซึ่งเป็นเขตของ R อย่างที่สองเรียกว่า Balance ซึ่งจะต้องอยู่ภายใต้เลขฐานที่เป็นค่าคงที่ โดยที่ $R = 2k+1$ และค่า $(+k), (1-k), \dots, -2, -1, 0, 1, \dots, (k-1), (k)$ [7, 8] ได้ให้คำจำกัดความและอ้างอิงถึงค่ามาตรฐานของลอจิกและความสัมพันธ์ของแต่ละช่วง ระหว่างค่าลอจิกและ Physical Variable โดยปกติค่าลอจิกบวกจะถูกกำหนดให้เป็น High คือ $(0, 1, 2, 3, \dots, R-1)$ เมื่อมีการใช้คำจำกัดความอื่น ๆ แทนอินพุตของสัญญาณอินพุตของอุปกรณ์ เช่นการใช้ Label แสดงรายชื่อของค่าต่าง ๆ ที่สัมพันธ์กันยกตัวอย่างเช่น ในวงจรเลขฐาน 4 ซึ่งสมมติอินพุตให้เป็น $(0, 1, 2, 3)$ และมีค่า Label $(1, 2, 3, 0)$ ซึ่งแสดงว่าค่า Label จะมีค่ามากกว่าอินพุตอยู่ค่าหนึ่งเสมอ ในระบบที่มีการเชื่อมต่อแบบวงกลมที่ซึ่ง 0 จะมีค่า $(R-1)$ เช่นวงจร Successor, $Suc(x) = (x+1) \bmod R$ ซึ่งจะเรียกเกทประเภทนี้ว่า Clockwise Cycle ได้แก่ $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y,R)=(1,4)$ หรือ Counter Clockwise Cycle $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y,R)=(3,4)$



(a)

X_2	$F(X_1, X_2)$			
X_1	0	1	2	3
0	2	0	1	1
1	0	1	1	1
2	1	1	1	3
3	1	1	3	3

(b)



(c)

รูปที่ 3.1 คุณลักษณะการส่งผ่านและสัญญาณของเกท MT(4)

ในกรณีที่วงจรมี 2 อินพุทหรือมากกว่าค่าจำกัดความข้างต้นยังสามารถใช้งานได้ ถ้าอินพุททั้งหมดอยู่ในรูปของ Label ซึ่งในกรณีนี้ การรวมกันทั้งหมดของ R ของ R^n ในกรณีที่ n อินพุท R ค่าวงจรถ้าสามารถจำกัดความได้หรือสามารถใช้ตารางที่แสดงในรูปที่ 3.1 ได้

จากตารางที่ 3.1 จะแสดงถึงการรวมกันของฟังก์ชันสัญญาณหลายระดับจำนวนมากไปถึงตัวอย่างของค่าจำกัดความทางบวกที่กล่าวไปแล้ว ฟังก์ชันนี้จะมีอยู่ 2 เซต ซึ่งง่ายต่อการสร้างวิเคราะห์และสังเคราะห์ แต่อย่างไรก็ตาม ทั้ง 2 เซตนี้ยังไม่สามารถแยกความสัมพันธ์ได้อย่างสมบูรณ์ สิ่งหนึ่งที่เราสามารถสังเกตได้ในเซตทั้งสองคือ ความสัมพันธ์ระหว่างฟังก์ชัน ดังแสดงในตารางที่ 3.1 ตัวอย่างของเกท Cycling อยู่จะมี 2 ชนิด โดยพิจารณาแต่ละตัว เป็นฟังก์ชัน 2 ตัวแปรซึ่งมีความสัมพันธ์ดังนี้

$$\overline{X^y} = \overline{X^z} \quad \text{เมื่อ } Z = R - y \quad (3.1)$$

เช่นเดียวกับ Interval และ Literal เกทจะถูกสร้างให้มีความสัมพันธ์ดังนี้

$${}^a X^b = (R-1) [{}^a X^b] \quad (3.2)$$

และ

$$[{}^a X^b] = \min(1, {}^a X^b) \quad (3.3)$$

โดย (R-1) หมายถึงการคูณ

ตารางที่ 3.1 ฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

No.	Common name	Symbolic Notation			Valued Condition
		Primary	Secondary	Positional 1 Base 4 Example a=1, b=2, y=x	
1	Restoring Identity	X		<0 1 2 3>	X Standardized
2	(Diametrical) Inverse or Complement	\overline{X}		<3 2 1 0>	$(R-1)-x$
3	Maximum	$\max(xy)$	$X + y$ $X \vee y$	<3 2 2 3>	X if $x \geq y$, else y

ตารางที่ 3.1 (ต่อ) ฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

4	Minimum	$\min(xy)$	$x \cdot y$ $x \wedge y$	$\langle 0 \ 1 \ 1 \ 0 \rangle$	$X \text{ if } x \leq y, \text{ else } y$
5	Successor	\bar{x}	$Suc(x)$	$\langle 1 \ 2 \ 3 \ 0 \rangle$	$(x+1) \bmod R$
6	Cycle, (Clockwise Cycle)	\bar{x}^{-b}	$\bar{x}^{-1} = \bar{x}$	$\langle 2 \ 3 \ 0 \ 1 \rangle$	$(x+b) \bmod R$
7	Counter Cycle	\bar{x}^{-b}	$x^1 = \bar{x}$	$\langle 2 \ 3 \ 0 \ 1 \rangle$	$(x-b) \bmod R$
8	Literal Function	$a x^b$	$X(a,b)$	$\langle 0 \ 3 \ 3 \ 0 \rangle$	$(R-1) \text{ if } a \leq x \leq b, \text{ else } 0$
9	Delta Literal J Function	$a x$	$J(x)a$	$\langle 0 \ 3 \ 0 \ 0 \rangle$	$(R-1) \text{ if } x = a, \text{ else } 0$
10	Close Interval	$[a x^b]$		$\langle 0 \ 1 \ 0 \ 0 \rangle$	$1 \text{ if } a \leq x \leq b, \text{ else } 0$
11	Open Interval	$]a x^b[$		$\langle 0 \ 0 \ 0 \ 0 \rangle$	$1 \text{ if } a < x < b, \text{ else } 0$
12	Delta Interval	$a x$	$[a x^a]$	$\langle 0 \ 1 \ 0 \ 0 \rangle$	$1 \text{ if } a = x, \text{ else } 0$
13	Upper Closed Semi - Interval	$[a x$		$\langle 0 \ 1 \ 1 \ 1 \rangle$	$1 \text{ if } a \leq x, \text{ else } 0$
14	Lower Closed Semi - Interval	$x^a]$		$\langle 1 \ 1 \ 0 \ 0 \rangle$	$1 \text{ if } a \leq x, \text{ else } 0$
15	Lower Open Semi - Interval	$]a x$		$\langle 1 \ 0 \ 0 \ 0 \rangle$	$1 \text{ if } a < x, \text{ else } 0$
16	Upper Open Semi - Interval	$x^a]$		$\langle 0 \ 0 \ 1 \ 1 \rangle$	$1 \text{ if } a < a, \text{ else } 0$
17	Threshold Literal (Up)	$U_a^{(x)}$		$\langle 0 \ 1 \ 1 \ 1 \rangle$	$1 \text{ if } x \geq a, \text{ else } 0$
18	Step Literal (Down)	$D_a^{(x)}$		$\langle 1 \ 1 \ 0 \ 0 \rangle$	$1 \text{ if } a \leq x, \text{ else } 0$
19	Truncated Difference	$X \square a$		$\langle 0 \ 0 \ 1 \ 2 \rangle$	$X - a \text{ if } x \geq a, \text{ else } 0$
20	Limited Sum Truncated Sum	$X \square a$		$\langle 1 \ 2 \ 3 \ 3 \rangle$	$X + a \text{ if } < (R-1), \text{ else } R-1$
21	Multiplex, Selection, Transmission, tree	$T(x, y, q)$		$\langle 0 \ 1 \ 2 \ 3 \rangle$ $\langle 3 \ 2 \ 1 \ 0 \rangle$	$X \text{ if } q = 0$ $Y \text{ if } q = 1$

ตารางที่ 3.1 (ต่อ) แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

22	Multi threshold MT(R)			$\langle p \ q \ r \ s \rangle$	Use a threshold Sum to look up table of values
23	MV NOR	$\overline{\min}(xy)$	$\text{Min}(\overline{xy})$	$\langle 0 \ 1 \ 1 \ 0 \rangle$	\overline{x} if $x \geq y$, else \overline{y}
24	MV NAND	$\overline{\max}(xy)$	$\text{Max}(\overline{xy})$	$\langle 3 \ 2 \ 2 \ 3 \rangle$	\overline{x} if $x \leq y$, else \overline{y}

ในส่วนหลังของสมการแรก ที่แสดงการวนรอบอย่างง่าย \overline{X}^1 ถึง \overline{X} จะมีความสอดคล้องกับ ฟังก์ชัน Successor ส่วนสมการที่ 2 สามารถสังเกตได้เป็นเคลด้าของตัวอักษรและเคลด้าของ ช่องว่างเมื่อ "X" และ ${}^aX^a$ จะถูกลดให้อยู่ในรูป X^a ซึ่งในบางกรณีนั้น อาจมีค่าไม่เท่ากันก็ได้ แต่ในสถานการณ์ที่แสดงนี้โดยปกติสามารถที่จะใช้ได้ ซึ่งมีฟังก์ชันลอจิก 2 อย่างที่จะกล่าวถึงคือ $T(x_0, x_1, \dots, x_{R-1}, q)$ [9] ซึ่งเป็นฟังก์ชันที่มีแนวคิดอย่างง่ายที่นิยามวงจรมัลติเพิลิกหรือฟังก์ชัน ตัวเลือกภายใต้การควบคุมของตัวแปรหลายระดับ (q) โดยทั่ว ๆ ไป ค่า q จะมีค่า k จึงทำให้ สัญญาณ x_k จำนวน k ตัว ถูกเลือกสำหรับการเชื่อมต่อไปยังเอาต์พุต [10] ถึงแม้ว่าแนวคิดนี้จะเป็น แนวความคิดแบบตรงและมีการใช้คำจำกัดความเมื่อไม่นานมานี้ แต่ในบางเทคโนโลยีเราอาจไม่สามารถสร้าง T เกทได้ง่ายนัก [11]

ในอีกกรณีหนึ่ง เกทแบบมัลติเทรตโฮลด์ฐาน R แทนด้วย MT(R) เกท [12] ซึ่งเป็นเกทที่ทำงาน ได้หลายหน้าที่ สามารถดำเนินการได้มากกว่าเกทตัวอื่น ๆ ด้วยฟังก์ชัน ลอจิกแบบที่ 2 จะได้มาจาก ECL ซึ่งเป็นฟังก์ชันที่มีความสัมพันธ์อย่างง่ายและสามารถสร้างได้โดยตรง และจากรูปที่ 3.1 จะ แสดงเกทแบบ MT(R) ซึ่งอินทิเกรตแต่ละตัวจะถูกถ่วงน้ำหนัก (Weight) และถูกรวมและถูก เปรียบเทียบรวมอีกครั้งกับค่าสัญญาณหลายระดับอ้างอิงสำหรับแต่ละค่าของอินพุต ผลรวมถ่วง น้ำหนักจะเป็นตัวกำหนดเอาต์พุตโดยเฉพาะ ลักษณะของกระบวนการคล้ายกับตาราง ROM ที่ ค้นหาแอดเดรสของสัญญาณหลายระดับ และเอาต์พุตในตารางประกอบด้วยค่า H_1-H_m เมื่อ m คือ จำนวนที่หาค่าได้จาก การนำสัญญาณอินพุตถ่วงน้ำหนักรวม วิธีการนี้จะใช้ในส่วนของการเลือกหรือลาเบล (Label) บน MT(R) เกท หรืออาจเขียนเป็นกราฟก็ได้ น้ำหนักของอินพุตจะถูกกำหนดใน รายการลำดับที่สอง ซึ่งแต่ละเทอมจะมีความสัมพันธ์กับอินพุต โดยเงื่อนไขบางอย่างหรือการติดลาเบล (Label) ไปกับอินพุตแต่ละตัวบนสัญลักษณ์ของลอจิก ซึ่งแสดงให้เห็นว่า MT(R) เกทจะมีความเหมาะสมกับการดำเนินการทางคณิตศาสตร์ (บวก, ลบ) แต่ถ้าจะเหมาะสมกับการดำเนินการที่เป็นช่วงหรือมีระยะ [MAX, MIN] [13] ในการสร้างวงจรลอจิกฟังก์ชันของระบบไบนารีที่มีเลขฐานต่ำอาจใช้รีเลย์ (Relay), Vacuum tube หรือทรานซิสเตอร์ ซึ่งง่ายต่อการกำหนดให้มันทำงานหรือไม่ทำงาน ในปัจจุบันการพัฒนาเลขฐาน 3 จะต้องประกอบด้วยค่ากลาง (Middle) ซึ่งจะอยู่ระหว่างค่า 2 ค่า [7,8] โดยการกำหนดให้ตัวอุปกรณ์ทำงานทั้งคู่หรือไม่ทำงานทั้งคู่ [12] สำหรับเลข

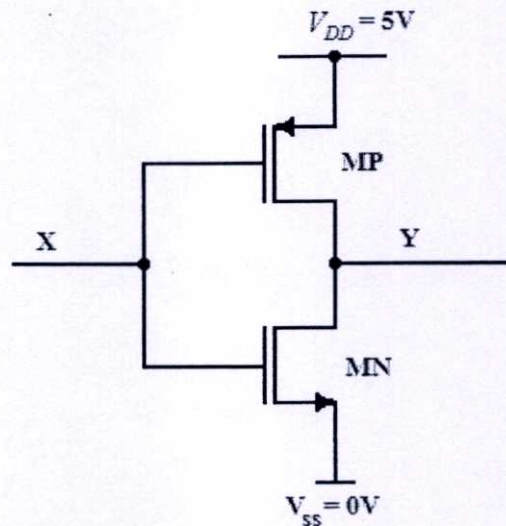
ฐาน 4 ขอยกตัวอย่างเช่น การเข้ารหัสของเลขฐาน 2 ซึ่งอยู่ในรูปของ $R=2^n$ ถ้าเลขฐานสูงขึ้น วงจรก็จะต้องการเทคนิคที่สูงขึ้น

3.2 พีชคณิตของโพสต์และวงจร m ค่า

ในการออกแบบวงจรรวมของทางไปนารีจะประกอบด้วยตัวโอเปอร์เรเตอร์ที่ใช้พื้นฐานของพีชคณิตบูลีน นั่นคือระดับของค่าลอจิก จะประกอบด้วย 0 และ 1 แต่ในลักษณะของ m - valued ในการออกแบบทั่ว ๆ ไป จะใช้พีชคณิตโพสต์ในการกำหนดค่า m ให้มีค่าตั้งแต่ 0 ถึง m-1 แต่ถ้าวงจรที่ทำงานในโหมดกระแสจะใช้เทรคโวลต์ฟังกชันแทน

3.3 วงจร m - valued

จากที่กล่าวไว้ข้างต้นแล้วว่า ในการออกแบบวงจร m - valued สามารถใช้เทคโนโลยีได้ 3 อย่างคือ การอัดประจุ (Charge) แรงดันและกระแส แต่โดยทั่วไปแล้วนิยมใช้แรงดันหรือกระแสมากกว่าในวงจรประเภท CCD ซึ่งเป็นการอัดประจุ

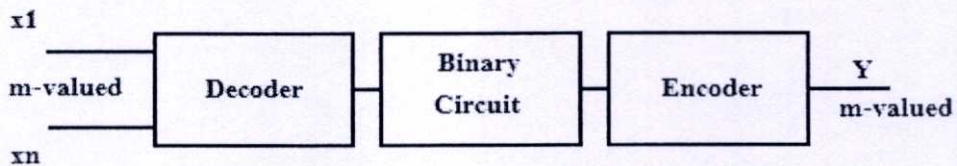


รูปที่ 3.2 วงจรอินเวอร์เตอร์พื้นฐาน

ดังเช่นรูปวงจรที่ 3.2 เป็นวงจรอินเวอร์เตอร์พื้นฐานโดยใช้แหล่งจ่ายไฟ 5 โวลต์ และภายในวงจรจะประกอบด้วยทรานซิสเตอร์ PMOS และ NMOS ถ้าค่า $X < V_{TN}$ ถูกแทนด้วยแรงดันเทรคโวลต์ของ NMOS โดย MN จะไม่ทำงาน ส่วน MP ทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 5 โวลต์ เมื่อ $X > 5V - V_{TP}$ โดย V_{TP} จะถูกแทนด้วยแรงดันเทรคโวลต์ของ PMOS ดังนั้น MP จะไม่ทำงาน และ MN จะทำงาน ส่งผลให้เอาต์พุตที่ Y มีค่าเท่ากับ 0 โวลต์ ซึ่งเอาต์พุตที่ Y นั้น จะมีค่าอยู่

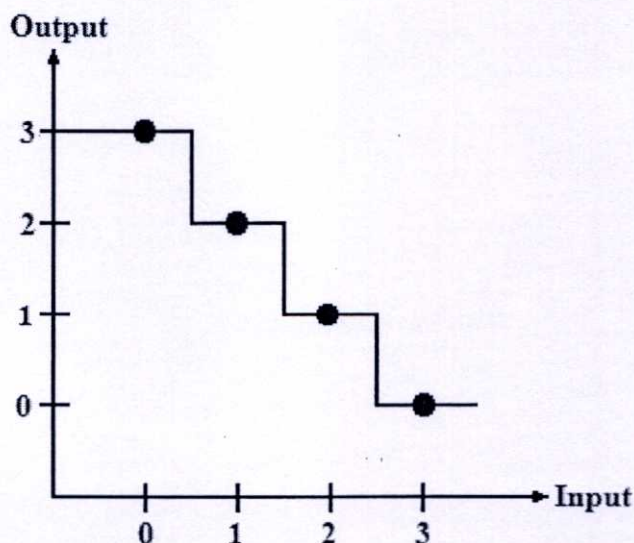
2 ค่า คือค่าลอจิก 0 และค่าลอจิก 1 (0V และ 5V) ส่วนในกรณีของวงจร m - valued จะมีค่าของระดับลอจิกมากกว่า 2 ระดับ และใช้พีชคณิตของโพสต์ เมื่อ m มีกำลังเป็น 2 สามารถโอเปอเรเตอร์พื้นฐานในการสร้างวงจรระบบ Monotonic ไว้ดังนี้

1. ค่า m จะถูกแทนให้อยู่ในรูปแบบของระดับแรงดัน กระแสหรือจำนวนของประจุก็ได้ วงจรเข้ารหัส (Encoder) คือวงจรที่มีอินพุตเป็นค่าไบนารี แต่ได้เอาต์พุตเป็น m - valued
2. ในการสร้างวงจรของระบบ Monotonic จะมีฟังก์ชันสำคัญคือ $D_i(x)$ และ $U_i(x)$ ซึ่งจะนำไปใช้เป็นส่วนวงจรถอดรหัส (Decoder) นั่นคือ อินพุตเป็น m - valued แต่จะได้เอาต์พุตเป็นค่าไบนารี (Two-valued) รูปแบบโดยทั่วไป จะแสดงให้เห็นดังรูปที่ 3.3



รูปที่ 3.3 บล็อกไดอะแกรมของวงจร m ค่า

วงจรถอดรหัสที่สร้างขึ้นใหม่นี้คือ การสังเคราะห์เลขไบนารีของฟังก์ชันย่อย ส่วนวงจรเข้ารหัสคือ ผลจากการใช้พีชคณิตของโพสต์ ซึ่งทั้ง 2 อย่างนี้จะไม่รวมอยู่กับระบบ Monotonic ในบางกรณีจะไม่แสดงออกมาให้เห็นได้ชัด เช่นวงจร m - valued อินเวอร์เตอร์ ฟังก์ชันย่อยของไบนารี (Two-valued) จะเป็น Identity ฟังก์ชัน ซึ่งในแต่ละระดับจะมีค่า Noise Margin อยู่



รูปที่ 3.4 คุณลักษณะการส่งผ่านของอินเวอร์เตอร์แบบ 4 ค่า

การเปรียบเทียบระหว่าง m - valued และ Two-valued จะมีความยุ่งยากและซับซ้อนในการเข้ารหัสหรือถอดรหัส การสร้างวงจร m - valued จะมีฟังก์ชันที่เหมือนวงจร Two-valued แต่ในการเปรียบเทียบนี้จะต้องคำนึงถึงค่าหน่วงเวลา (Delay Time) และพื้นที่ของชิป

3.4 เทรคโฮลด์ฟังก์ชัน

เทรคโฮลด์ฟังก์ชันเป็นสับเซต (Subset) ของไบนารีฟังก์ชัน ซึ่งเทรคโฮลด์ฟังก์ชันได้มีการศึกษากันมาเป็นเวลานานแล้ว โดยฟังก์ชันนี้จะสามารถเขียนสมการได้ดังนี้

$$Y = 1 \quad \text{ถ้า} \quad \sum_1^n a_i x_i \geq T \quad (3.4)$$

โดยที่

0 เป็นกรณีอื่น ๆ

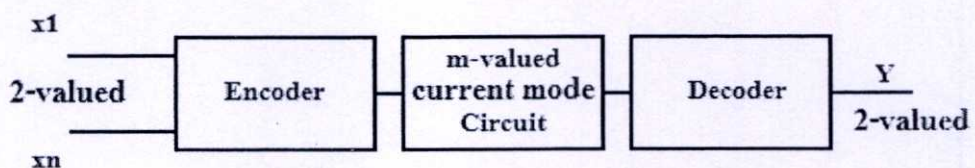
x_i คือการเปลี่ยนแปลงของอินพุต

a_i คือน้ำหนักของค่าสัมประสิทธิ์

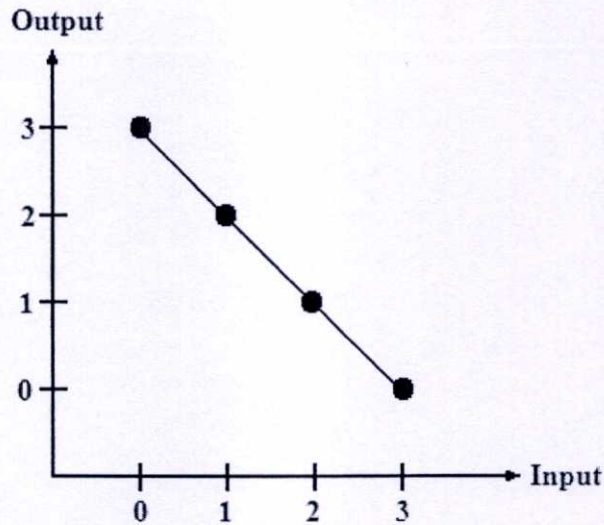
T คือค่าเทรคโฮลด์

ดังนั้น $a_i, T \in N$

เทรคโฮลด์ฟังก์ชันจะเป็นผลรวมกันทางอนาลอก (ϵ) ซึ่งคูณด้วยค่าคงที่ ($a_i x_i$) และทำการเปรียบเทียบกับค่าเทรคโฮลด์ (T) ผลรวมกันทางอนาลอกถ้าจะให้ง่ายต่อการคิด ควรจะอยู่ในรูปของกระแส (ตามกฎของเคอร์ชอฟ) ดังแสดงในรูปที่ 3.5 วงจร m - valued จะได้จากฟังก์ชันเทรคโฮลด์ของไบนารี



รูปที่ 3.5 บล็อกไดอะแกรมของเทรคโฮลด์ฟังก์ชัน



รูปที่ 3.6 คุณลักษณะทางไฟตรงของวงจรรอนาลอกอินเวอร์เตอร์แบบ 4 ค่า

3.5 การแทนค่าของสัญญาณในวงจรหลายระดับสัญญาณ

วิธีการออกแบบวงจรหลายระดับสัญญาณแบ่งได้เป็น 3 วิธีคือ โดยการอัดประจุ (Charge) โดยกระแสและโดยแรงดัน การอัดประจุสามารถนำมาออกแบบโดยใช้เทคโนโลยี Charge Coupled Device (CCD) ซึ่งวิธีนี้ส่วนมากใช้ออกแบบ Memory การออกแบบวงจรลจิกโดยใช้กฎของเคอร์ชอฟ ในวงจร Memory และการออกแบบวงจรลจิกแบบ Clocked Sequential ซึ่งทำให้สัญญาณมีการประมวลผลอย่างต่อเนื่องและช่วยกรองความถี่ ในการออกแบบโดยใช้การอัดประจุซึ่งเป็นเทคโนโลยีของ CCD แรงดันที่อยู่ภายในจะเป็นตัวคัปปลิงและเชื่อมต่อระหว่างอินพุตกับเอาต์พุตโดยปกติแล้วในการอินเตอร์เฟสจะใช้การเข้ารหัสแบบไบนารี ดังนั้นการเชื่อมต่อภายในยังคงใช้เลขฐานสองอยู่นอกจากนี้เทคโนโลยี CCD สามารถนำไปออกแบบวงจรเลขฐาน 4 และ 32 การออกแบบวงจรหลายระดับสัญญาณที่อยู่ในรูปของกระแสจะใช้เทคโนโลยี I^2L (MVI^2L) [14] แต่ส่วนใหญ่แล้วจะใช้เทคโนโลยี ECL (Emitter Coupled Logic) [13] ในการออกแบบซึ่งมีลักษณะเหมือนกับ MVI^2L การบวกหรือการลบของกระแสจะขึ้นอยู่กับเทรคโฮลด์ของตัวอุปกรณ์ เช่นการเปลี่ยนกระแสให้อยู่ในรูปของแรงดันจะใช้วงจรเปรียบเทียบเฟสโดยกำหนดค่าเทรคโฮลด์ให้ต่างกัน ในการออกแบบวงจรที่มีค่าเลขฐานสูง ๆ คือ ($R \geq 4$) การออกแบบโดยใช้ประจุและกระแส แต่ถ้าเป็นเลขฐาน 3 มักจะออกแบบให้อยู่ในโหมดแรงดันอุปกรณ์พวก MOS จะถูกนำมาใช้ งานมาก เพราะมีค่าความต้านทานต่ำและมีค่าออฟเซ็ทเป็นศูนย์ [15] แต่ถ้าต้องการความเร็วในการทำงานต้องใช้เทคโนโลยีของวงจรรวมแบบแกลเลียมอาร์เซไนด์เมสเฟท (Gallium Arsenide MESFET, GaAs MESFET)

3.6 การควอนไทซ์ค่า

ในระบบทั้งหมดของวงจรถลอจิก ไม่ว่าจะเป็นวนจรแบบไบนารีหรือวงจรถหลายระดับสัญญาณ จะมีคุณสมบัติอยู่ 3 ประการคือ

Generation คือ จะอ้างถึงค่า Standard Logic ที่สร้างมาจาก Network

Transmission คือ จะอ้างถึงคุณสมบัติทาง Nonrestoring หรือ Nonstandard zing ยกตัวอย่างเช่น ไดโอดและบางส่วนของ MVI^2L

Detection คือ จะอ้างถึงสัญญาณลจิกที่ตรวจสอบความถูกต้องของจำนวน -Information

Range Over คือ การตรวจสอบลจิกไม่ให้มากกว่าขอบเขตที่กำหนด โดยจะขอเรียกขอบเขตนี้ “Noise Margin” โดยค่า Noise จะหมายถึงสัญญาณรบกวนหรือ Crosstalk จากตัวอุปกรณ์ตัวอื่นและแหล่งจ่ายไม่คงที่เป็นต้น อย่างไรก็ตาม ในระบบลจิกความเร็วเป็นสิ่งจำเป็น ดังนั้นวงจรถจำพวกความเร็วสูง (High Speed) จะไม่ใช่ Nonrestoring เป็นส่วนประกอบแต่จะใช้พวก Identified gate มากกว่า เช่น I^2L โดยจะมีขามิเตอร์หลายขาเป็นอินพุตและพวก ECL จะมีขามิเตอร์หลายขาเป็นเอาต์พุต

3.7 โหมดในการทำงานของวงจรถ

3.7.1 โหมดประจุ

พื้นฐานของอุปกรณ์ประเภทประจุนั้นคือ การคงค่าของประจุไว้ ซึ่งค่าความจุนี้จะอยู่ได้ เงื่อนไขของค่าทางเรขาคณิตและแรงดันควบคุม โดยค่าเก็บประจุสูงสุดจะได้ดังสมการดังนี้

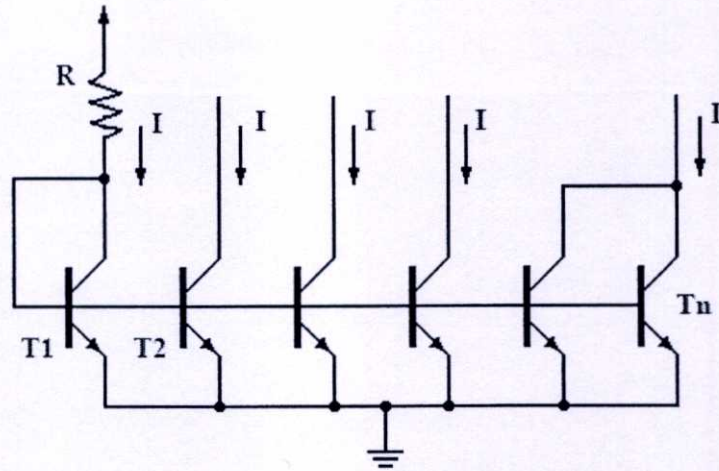
$$Q_{MAX} = C * (V_1 - V_2) * A \quad (3.5)$$

โดยที่

- A คือพื้นที่ในการเก็บประจุของตัวเกท
- V_1 คือระดับของแรงดันไฟฟ้า
- V_2 คือระดับของแรงดันไฟฟ้าที่สูงกว่า
- C คือค่าประจุ

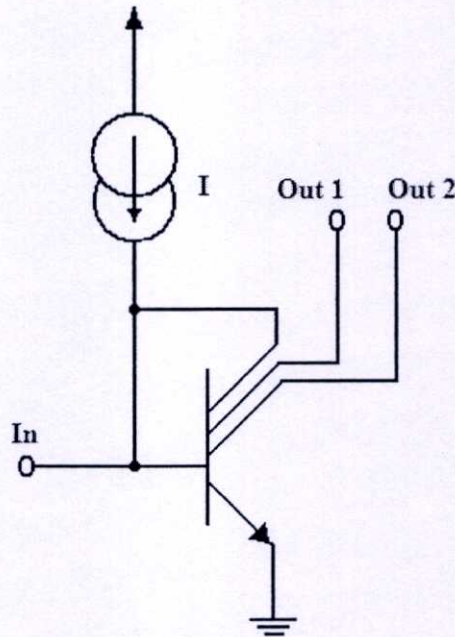
3.7.2 โหมดกระแส

ในวงจรถหลายระดับสัญญาณที่ทำงานในโหมดกระแส อุปกรณ์แต่ละตัวก็จะมีหน้าที่ กำเนิดกระแส ดังเช่นในการสร้างวงจรถรวม จะเห็นได้ว่าในการกำเนิดกระแสจะใช้วงจรถสะท้อนกระแส [14] แสดงดังรูปที่ 3.7



รูปที่ 3.7 วงจรสะท้อนกระแสที่ใช้สำหรับเทคโนโลยี TTL

จากรูปที่ 3.7 จะแสดงให้เห็นได้ว่า กระแสจะไหลผ่านค่าความต้านทาน จากนั้นจะไหลเข้าสู่ทรานซิสเตอร์ T_1 ซึ่งถูกต่อแบบไดโอดคอนเน็ค โดยแรงดันเบสอิมิตเตอร์ของแต่ละตัวตั้งแต่ T_2 ถึงจะมีกระแสไหลเหมือนกัน ซึ่งมีกระแสรวมเท่ากับ I และสามารถแยกออกไปเป็น $2I, 3I$ เป็นต้น



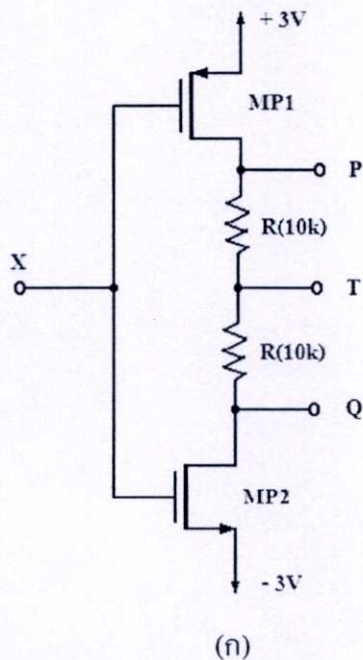
รูปที่ 3.8 เกทพื้นฐานที่ใช้สำหรับเทคโนโลยี I^2L

ในรูปที่ 3.8 จะแสดงตัวอุปกรณ์ที่ใช้เทคโนโลยีของ MVI^2L จะสังเกตเห็นว่าอุปกรณ์ตัวหนึ่งจะมีขาคอลเลกเตอร์หลายขา จากคุณสมบัติข้างต้น สามารถนำไปใช้ในวงจรดังรูปที่ 3.7 ซึ่งกระแสที่ขาคอลเลกเตอร์แต่ละขาจะไม่มีผลต่อโวลต์หรืออุปกรณ์ตัวอื่น พิจารณาที่ตัวอุปกรณ์จะเห็นว่าจะมีการป้อนกลับที่ขาเบส ถ้าวางเปิดวงจรพิจารณาที่อินพุตค่า β ของตัวอุปกรณ์จะมีค่าสูง ค่ากระแส

I (โดยปกติจะใช้ทรานซิสเตอร์แบบ PNP) จะไหลผ่านไปที่ขาคอลเลคเตอร์เพราะผลรวมของกระแสเอาต์พุตจะมีค่าเป็น I (หรือต่ำกว่าขึ้นอยู่กับโหลด) ค่าอินพุตของกระแส X จะมีกระแส $(I - X)$ ไหลไปที่ขาคอลเลคเตอร์ แล้วทำการสะท้อนกระแสไปที่ขาคอลเลคเตอร์ให้มีค่าเท่ากับ $(I - X)$ เมื่อ X มากกว่า I ที่ตัวอุปกรณ์กระแสเบสจะไหลน้อยจนหยุดทำงาน แรงดันที่ขาเบสจะเปลี่ยนเป็นศูนย์และกระแสที่ขาคอลเลคเตอร์จะมีค่าเป็นศูนย์ด้วย ในโหมดกระแสนี้จะเห็นได้ว่าเอาต์พุตจะมีการสวิทช์ซึ่งแบบไบนารี ซึ่งกระแส I จะเป็นอินพุตของทรานซิสเตอร์ ดังนั้นจากพื้นฐานของ I^2L จะมีข้อกำหนดคือ การบวก (จะเกิดจากการต่อร่วมกันของคอลเลคเตอร์) และการลบ (เกิดจากผลรวมกระแสอินพุต $< I$) ซึ่งค่าจะเป็นค่าเทรคโฮลด์และการสวิทช์ซึ่งแบบไบนารี (สำหรับผลรวมของกระแสอินพุต $> I$)

3.7.3 โหมดแรงดัน

คุณสมบัติของวงจรคงค่าสัญญาณ MVL ที่ทำงานในโหมดกระแสมี 2 อย่างคือ อินพุตเทรคโฮลด์และกำหนดระดับเอาต์พุต ข้อจำกัดในโหมดแรงดันคือ ตัวอุปกรณ์จะมีความแม่นยำต่อค่าเทรคโฮลด์น้อย และมีการจำกัดค่าเทรคโฮลด์ไว้เพียงค่าเดียว ตัวอุปกรณ์ที่มีความยืดหยุ่นสูง (Flexible) คือ ECL เพราะง่ายต่อการเปรียบเทียบ ในการออกแบบวงจร MVL ส่วนมากมักจะใช้เทคโนโลยีของ CMOS ซึ่งจะแสดงดังรูปที่ 3.9 จะเห็นว่า CMOS จะเป็นชนิดเอ็นฮานเม้นท์และมีลักษณะของการสวิทช์ซึ่งแบบไบนารี



X	P	T	Q
-3	+3	+3	+3
0	+3	0	-3
+3	-3	-3	-3

รูปที่ 3.9 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง

ซึ่งค่าเทรคโสลด์ของ X ถ้าเป็นค่า High จะเท่ากับ (+3) โดยที่ MP1 จะไม่ทำงาน แต่ MP2 จะทำงาน แต่ถ้าค่า X เป็น Low จะมีค่าแรงดันเท่ากับ (-3) โดยที่ MP1 จะทำงาน แต่ MP2 จะไม่ทำงาน และเมื่อค่า X เป็นค่ากลาง ก็จะทำงานทั้งคู่ ถ้ามีอุปกรณ์ตัวใดตัวหนึ่งทำงาน เอาต์พุตจะอยู่ในสถานะตรงกันข้ามกับอินพุต แต่ถ้าตัวอุปกรณ์ทำงานทั้งคู่ เอาต์พุตจะได้ค่ากลาง (ซึ่งเป็นค่ากลางของอินพุต) ดังนั้นค่า T จะเป็นอินเวอร์เตอร์ของอินพุต

$$T = X \quad (3.6)$$

P และ Q จะเป็น Literal Function

$$P = X = X \quad \text{และ} \quad Q = X = X \quad (3.7)$$

ดังแสดงในรูปที่ 3.9 (ข) จากผลรวมของค่า Standard ทั้ง 2 ค่า จะได้เอาต์พุตออกมา 3 ระดับ สถานะนอกสุดจะทำการเชื่อมต่อกับแหล่งจ่ายภายนอก แต่สถานะภายในจะอยู่ในรูปของ Linear Sum ซึ่งใช้ความต้านทานเป็นตัวแบ่งแรงดัน

3.8 วงจร m - valued ทำงานในโหมดแรงดัน

ในส่วนนี้จะพูดถึงวงจร m - valued ที่ทำงานในโหมดแรงดัน ซึ่งจะใช้เทคโนโลยีของมอสและไบโพลาร์ เพราะเป็นที่นิยมในการออกแบบเทคโนโลยีวงจรรวม VLSI เทคโนโลยีที่ใช้ในตอนแรกเป็น PMOS จากนั้นก็เป็น NMOS แต่ในปัจจุบันจะนิยมใช้ CMOS มากกว่าซึ่งใน CMOS จะประกอบไปด้วย NMOS และ PMOS ทรานซิสเตอร์ ที่ CMOS ถูกนำมาใช้แทน NMOS จะใช้ทั้ง 2 ชนิด คือ เอ็นฮานเมนต์และดีพลีชัน แต่ CMOS จะนิยมใช้เฉพาะเอ็นฮานเมนต์ทรานซิสเตอร์แต่ละชนิดจะมีค่าเทรคโสลด์เฉพาะตัวเองขึ้นอยู่กับารปลูกผลึก

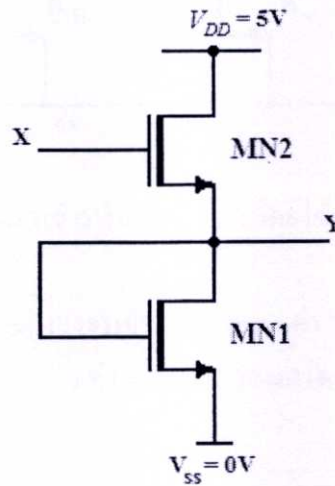
3.9 วงจร m - valued ที่ใช้ในเทคโนโลยี NMOS

ค่าแรงดันและระดับเทรคโสลด์ที่ใช้ในวงจร NMOS m - valued จะใช้เหมือนกับทางไบนารีในวงจรเข้ารหัสหรือถอดรหัสจะต้องปรับค่าแรงดันเทรคโสลด์หรือค่าทางเรขาคณิตของทรานซิสเตอร์

3.9.1 วงจรถอดรหัส

วงจรมีจะเป็นวงจรถอดรหัสค่าเทรคโสลด์ โดยที่อินพุตจะได้ค่า m - valued ส่วนเอาต์พุตจะได้ค่าไบนารี แนวทางหนึ่งที่จะทำให้แรงดันเกิดผลต่างของการสวิทช์ซึ่งคือ การกำหนดแรงเทรคโสลด์ของทรานซิสเตอร์ชนิดเอ็นฮานเมนต์และดีพลีชัน ให้มีค่าที่ค่าหนึ่ง การกำหนด

ขึ้นอยู่กับอัตราส่วนของเรขาคณิต เช่น ในวงจร Two-valued อินเวอร์เตอร์ พื้นที่ของชิปจะสามารถกำหนดได้จากค่าทางเรขาคณิตของทรานซิสเตอร์ ให้ค่าเทรชโฮลด์ V_{TS} และ V_{TL} มีค่าคงที่ค่าหนึ่ง ซึ่งผลต่างของแรงดันในการสวิตช์จะต้องอยู่ระหว่างผลต่างของเอาต์พุต อีกทางหนึ่งคือใช้วงจรเปลี่ยนแรงดัน เพื่อเลื่อนการสวิตช์ของแรงดันออกไป รูปที่ 3.10 แสดงตัวอย่างของวงจร Threshold Detector MN2 MN1 ($X \geq 2V_T$)



รูปที่ 3.10 วงจรตรวจจับเทรชโฮลด์โดยใช้วงจรเลื่อนแรงดัน

อย่างไรก็ตามในการกำหนดค่าแรงดันเทรชโฮลด์ให้ประมาณขนาดของตัวทรานซิสเตอร์ให้มีขนาดต่ำ ๆ ไว้ก่อน

3.9.2 วงจรเข้ารหัส

ในวงจรเข้ารหัสค่าอินพุตวงจรจะเป็นไบนารี แต่เอาต์พุตของวงจรจะเป็น m -valued ที่ทำเช่นนี้เพราะต้องการให้ได้ค่า m ที่มีความแตกต่างกัน ในตอนแรกจะใช้แรงดันแหล่งจ่ายต่างกัน เพื่อให้ค่า $(m-1)$ ซึ่งค่านั้นคือ V_{SS} อย่างที่ 2 ก็จะใช้แหล่งจ่ายเพียงตัวเดียว ซึ่งโดยทั่วไปจะอ้างอิงค่า $(m-1)$ ไว้ที่ระดับแรงดันบวก (High) คือ V_{DD} แต่ในระดับอื่น ๆ สามารถกำหนดได้จากขนาดของทรานซิสเตอร์หรือผลต่างของแรงดันเทรชโฮลด์

เป็นเทคโนโลยีของ NMOS จะมีการสูญเสียกำลังงานทาง Static สูงมาก นั่นคือต้องการกระแสในการขับโหลดสูงมาก

3.10 วงจร m - valued โดยใช้เทคโนโลยีของ CMOS

วงจร CMOS Two-valued อินเวอร์เตอร์จะมีระดับของเอาต์พุต $V_{OH} = V_{DD}$ เมื่อ MP ทำงาน และ $V_{OL} = V_{SS}$ เมื่อ MN ทำงาน ดังนั้นระดับของเอาต์พุตจะมีลักษณะเหมือนกับแรงดันของแหล่งจ่าย ในวงจร NMOS การสวิตช์ซึ่งของแรงดันจะขึ้นอยู่กับอัตราส่วน $\frac{K_n}{K_p}$ เมื่อ

$$K_n = \mu_n C_{ox} \frac{W_n}{L_n} \quad (3.9)$$

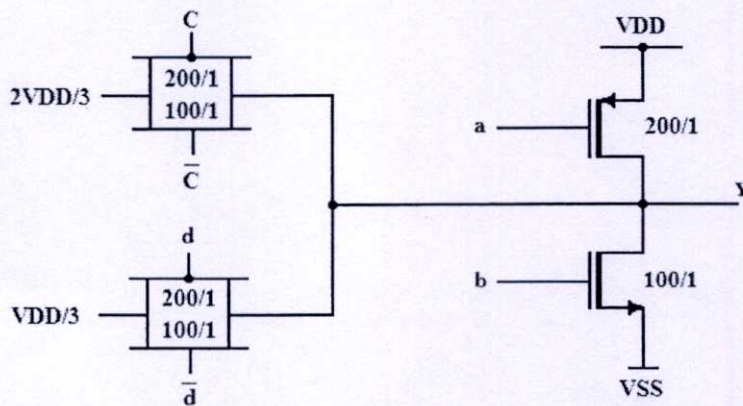
$$K_p = \mu_p C_{ox} \frac{W_p}{L_p} \quad (3.10)$$

$$V_{sw} = \frac{V_{dd} - V_{TP} + \alpha V_{TN}}{1 + \alpha} \quad (3.11)$$

$$\alpha = \sqrt{\frac{K_n}{K_p}} \quad (3.12)$$

3.10.1 วงจรเข้ารหัส

เอาต์พุตจะสวิตช์ระหว่างเอาต์พุตของการเข้ารหัสและค่า m ที่ต่างกัน ซึ่งทั้งหมดนี้จะมีทางเลือกคือ ไม่ใช่แหล่งจ่ายต่างกัน โดยทั่ว ๆ ไปจะใช้ Transmission Gate ซึ่งจะประกอบด้วย P และ N ดังนั้นในเวลาทำงานก็จะทำงานทั้งคู่

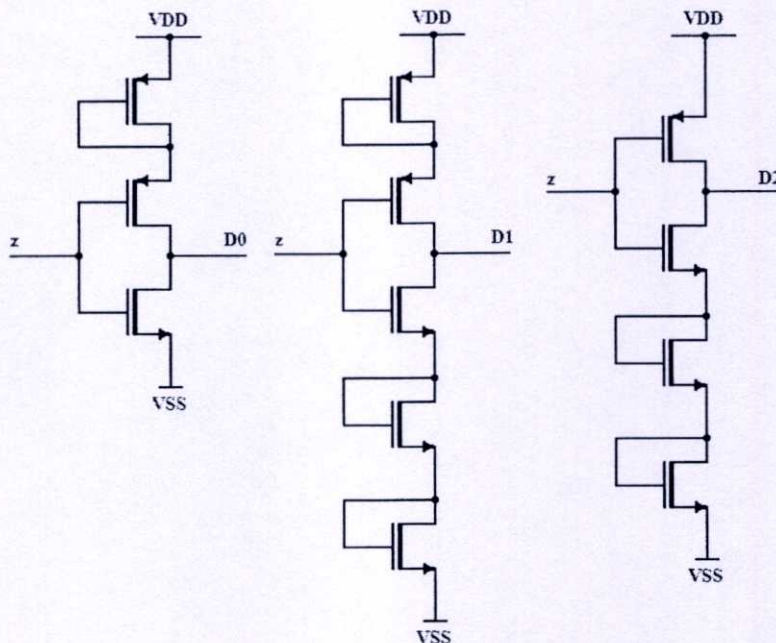


รูปที่ 3.13 วงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี CMOS

รูปที่ 3.13 แสดงวงจรเข้ารหัสแบบ 4 ค่า ระดับ 3 และ 0 จะเหมือนกันกับ Two-valued แต่ระดับ 1 และ 2 จะมีค่าแรงดันเท่ากับ $2\frac{V_{DD}}{3}$ และ $\frac{V_{DD}}{3}$ ในรูปที่ 3.13 จะเห็นว่ามีความใหญ่เพราะนำไปประยุกต์ใช้งานนอกชิป

3.10.2 วงจรถอดรหัส

วงจที่ใช้ในการถอดรหัสจะขึ้นอยู่กับขนาดที่ต่างกันของทรานซิสเตอร์ชนิด N และ P หรือวงจรเลื่อนแรงดัน รูปที่ 3.14 จะแสดงวงจรตรวจจับเทรคโฮลต์โดยใช้วงจรทรานซิสเตอร์เพื่อเลื่อนแรงดัน

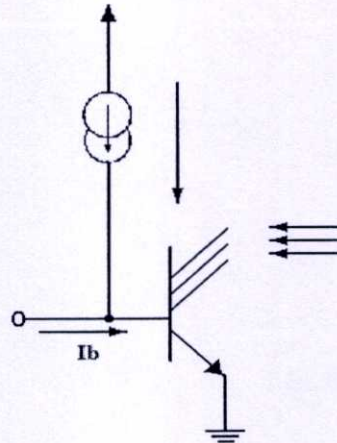


รูปที่ 3.14 วงจรตรวจจับเทรคโฮลต์โดยใช้เทคโนโลยี CMOS

โดยทั่วไป ในการสร้างฟังก์ชัน $D_i(x)$ และ $U_i(x)$ จะเป็นวงจรเปรียบเทียบแรงดัน ซึ่งจะประกอบด้วย NMOS ที่เป็น Differential Threshold โดยใช้ทรานซิสเตอร์ที่เป็นชนิด P และ N ก็ได้

3.11 วงจร m - valued ทำงานในโหมดกระแส

ในส่วนนี้จะยกตัวอย่างเฉพาะเทคโนโลยีแบบไบโพลาร์ โดยจะประกอบด้วยเทคโนโลยี I^2L (Integrated Injection Logic) และ ECL (Emitter Coupled Logic) และวงจรเกทพื้นฐานของลอจิกสามารถแสดงได้ดังรูปที่ 3.15 ซึ่งเป็นวงจร I^2L ที่ทำงานในโหมดกระแส

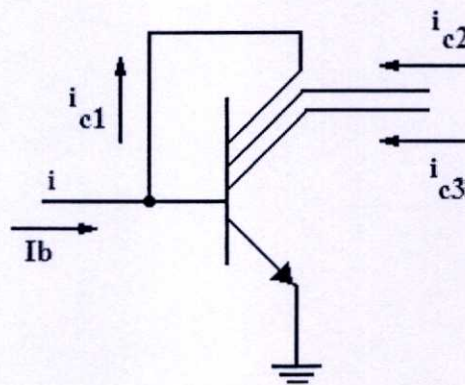


รูปที่ 3.15 เกทพื้นฐานของลอจิก 2 ระดับโดยใช้เทคโนโลยี I^2L

จากรูปที่ 3.15 ซึ่งจะเป็นทรานซิสเตอร์แบบ NPN เอาต์พุตที่ขาคอลเลกเตอร์จะเป็นอิสระต่อกัน และที่แรงดันระดับ Low จะมีค่าเท่ากับ $V_{CE(sat)}$ ส่วนกระแสไบอัสที่ขาเบสจะถูกแทนด้วย I_b โดยขั้วอินพุท (ขาเบส) นี้ตามปกติจะถูกต่อกับเกตตัวก่อนหน้า ซึ่งจะมีระดับแรงดันเป็น Low

วงจรที่ใช้เทคโนโลยี I^2L ในโหมดกระแสมีดังนี้

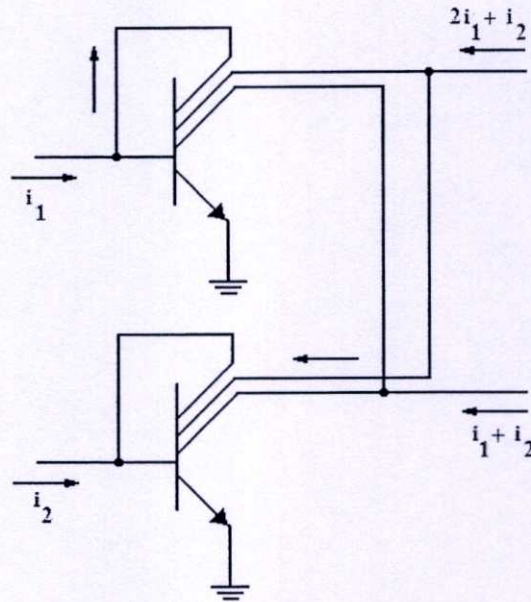
3.11.1 วงจรสะท้อนกระแส



รูปที่ 3.16 วงจรสะท้อนกระแสโดยใช้เทคโนโลยี I^2L

วงจรสะท้อนกระแสจะมีการป้อนกลับระหว่างขาเบสและขาคอลเลกเตอร์ และจะถูกนำมาใช้ในการคัดลอกกระแสและคูณกระแสโดยขึ้นอยู่กับค่าคงที่

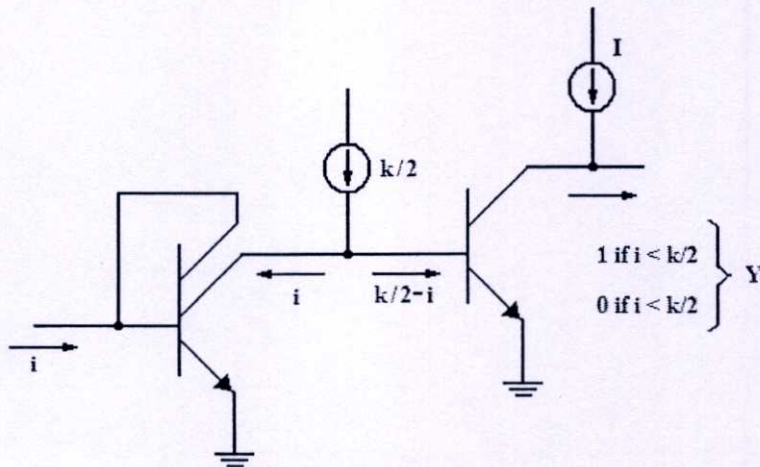
3.11.2 วงจรผลรวมเชิงเส้นของกระแส



รูปที่ 3.17 วงจรผลรวมเชิงเส้นของกระแส โดยใช้เทคโนโลยี I^2L

จากรูปที่ 3.17 เป็นวงจรผลรวมเชิงเส้นของกระแส มีลักษณะการทำงานตามกฎของเคอร์ชอฟ

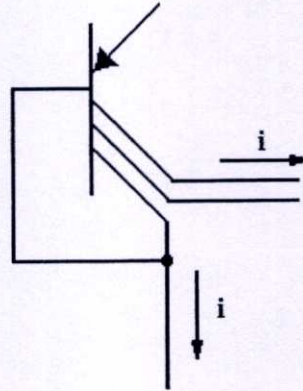
3.11.3 เทรตโฮลต์



รูปที่ 3.18 วงจรเทรตโฮลต์โดยใช้เทคโนโลยี I^2L

ค่าเทรตโฮลต์ที่กล่าวถึงนี้ จะรวมถึงทรานซิสเตอร์ที่ทำหน้าที่สะท้อนกระแสและทรานซิสเตอร์ทั่วไปด้วย

3.11.4 Sink - to - Source Conversion



รูปที่ 3.19 การไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี I^2L

Sink - to - Source Conversion จากรูปจะเห็นได้ว่าเป็นทรานซิสเตอร์ชนิด PNP แบบมัลติคอลเลกเตอร์ ซึ่งทำหน้าที่สะท้อนกระแส

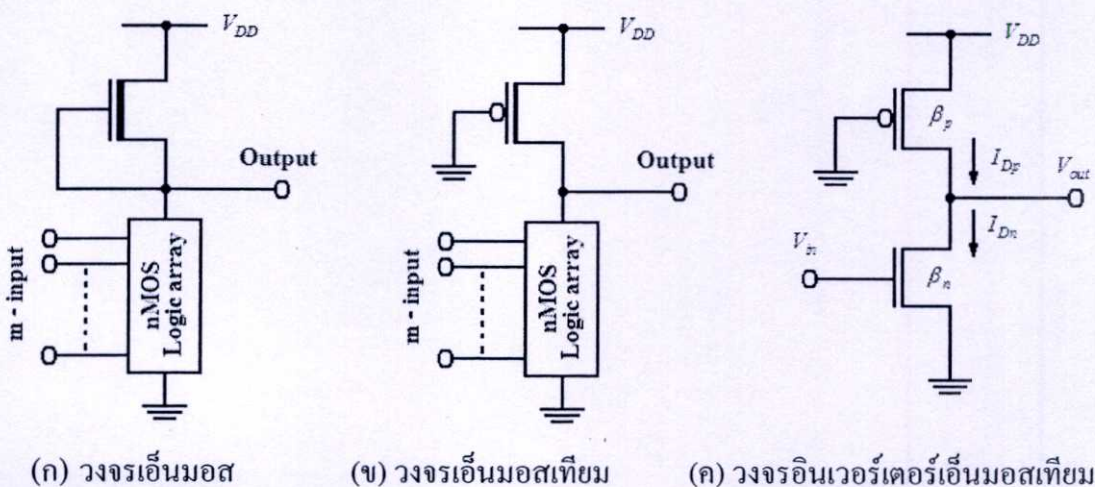
บทที่ 4

ทฤษฎีซีมอสลอจิกเกทขั้นสูง

แบบมาตรฐานของซีมอสลอจิกก็คือ สเตติกคอมพลีเมนต์ซีมอส (Static Complement CMOS) แต่เนื่องจากสเตติกเกท (Static gate) มีข้อดีหลายประการ จึงมีเกทอื่น ๆ อีกหลายชนิดที่ได้รับการยอมรับอย่างแพร่หลายเช่นกัน ในการเลือกใช้ลอจิกประเภทต่าง ๆ มักจะคำนึงถึงความสิ้นเปลืองเนื้อที่ ความประหยัดพลังงาน ความรวดเร็วในการทำงานเป็นหลัก ปกติแล้วการใช้พื้นที่ซิลิกอนของวงจรจะเป็นสัดส่วน โดยตรงกับจำนวนของทรานซิสเตอร์อยู่แล้ว แต่ทั้งนี้ก็จะมีการเปลี่ยนแปลงต่าง ๆ ซึ่งขึ้นอยู่กับความยุ่งยากในการออกแบบลวดลายและประเภทของเกทด้วย และปกติพีมอสจะสิ้นเปลืองเนื้อที่มากกว่าเอ็นมอสประมาณ 20 – 30% และโดยปกติแล้วลอจิกบล็อกเล็ก ๆ มักจะออกแบบในรูปแบบของสเตติกซีมอส แต่ถ้าหากเป็นวงจรลอจิกขนาดใหญ่ที่อนุกรมกัน ก็ควรจะปรับปรุงเป็นไดนามิกลอจิก (Dynamic Logic) หรือโดมิโนลอจิก (Domino Logic)

4.1 มอสลอจิกเทียม (Pseudo MOS Logic)

วงจรซีมอสลอจิกแบบนี้สามารถสร้างขึ้นได้จากทรานซิสเตอร์เพียงชนิดเดียว คือ พีทรานซิสเตอร์หรือเอ็นทรานซิสเตอร์ก็ได้ และใช้ทรานซิสเตอร์ชนิดตรงกันเข้ามาทำเป็นโหลดเอ็นมอสเทียม (Pseudo - nMOS) จะได้รับความนิยมสูงกว่าพีมอสเทียม ทั้งนี้เพราะ วงจรเอ็นมอสล้วน ๆ ได้รับความนิยมมาก่อนซีมอส แต่วงจรเอ็นมอสจะใช้ดีพลีชันมอสเป็นโหลด ดังรูปที่ 4.1 (ก) ทำให้สิ้นเปลืองพลังงานมากและขนาดของตัวอุปกรณ์จะต้องคำนวณให้สอดคล้องกับระดับแรงดันของลอจิก



รูปที่ 4.1 วงจรซีมอสลอจิก

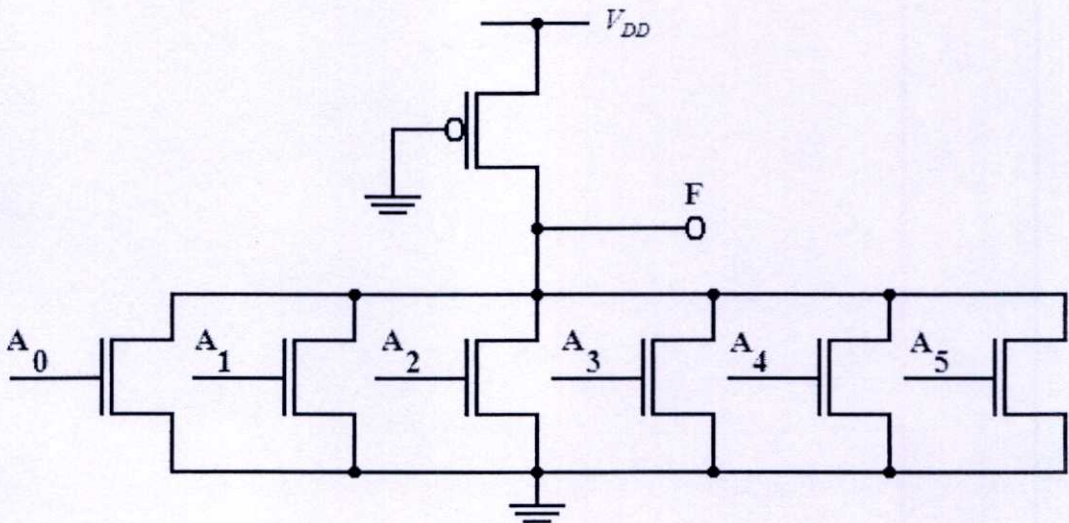
วงจรเอ็นมอสเทียมมีพีทรานซิสเตอร์ที่เกทลงกราวด์ ทำหน้าที่เป็นโหลดให้กับวงจร ดังรูปที่ 4.1 (ข) ซึ่งถ้าหากเอ็นมอสตัวใดตัวหนึ่ง (หรือหลายตัว) นำกระแส ปริมาณกระแสระหว่าง V_{DD} กับกราวด์ จะกำหนดได้โดยพีทรานซิสเตอร์เท่านั้น ในกลุ่มของเอ็นมอสอาจต่อกันอย่างไรก็ได้ ขึ้นอยู่กับฟังก์ชันลอจิกที่ต้องการ การต่ออนุกรมกันหลายตัวจะส่งผลกับแรงดันสถานะลอจิกต่ำทางเอาต์พุต ตัวอย่างเช่น อินเวอร์เตอร์ ดังรูปที่ 4.1 (ค) เนื่องจาก $V_{GS_p} = V_{DD}$ พีมอสจึงทำงานในย่านอิ่มตัว เมื่อลอจิกสูงที่อินพุต จะถือว่าเอ็นมอสทำงานในช่วงเชิงเส้น และแรงดันทางเอาต์พุตเป็นแรงดันลอจิกต่ำ ดังนั้น

$$\frac{\beta_p}{2}(V_{DD} - |V_{Tp}|)^2 = \frac{\beta_n}{2}\{2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2\} \quad (4.1)$$

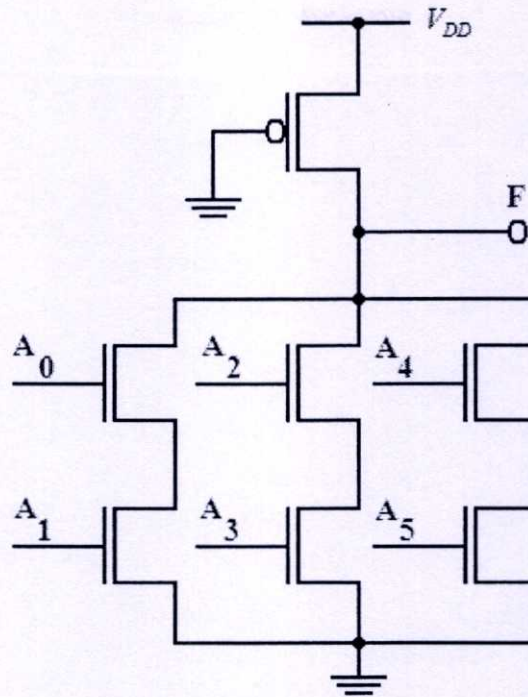
ซึ่งเป็นสมการกำลังสอง แก่สมการ หาค่า V_{OL}

$$V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n}(V_{DD} - |V_{Tp}|)^2} \quad (4.2)$$

การสร้างลอจิกฟังก์ชันที่ซับซ้อนก็พิจารณาเฉพาะเน็ตเวิร์คของเอ็นมอสเท่านั้น เช่น นอร์เกท 6 อินพุตและวงจร AND OR Inverter (AOI) ที่มีฟังก์ชัน $F = \overline{A_0 + A_1 + A_2 + A_3 + A_4 + A_5}$ และ $F = \overline{A_0 A_1 + A_2 A_3 + A_4 A_5}$ ตามลำดับ



รูปที่ 4.2 วงจรนอร์เกท



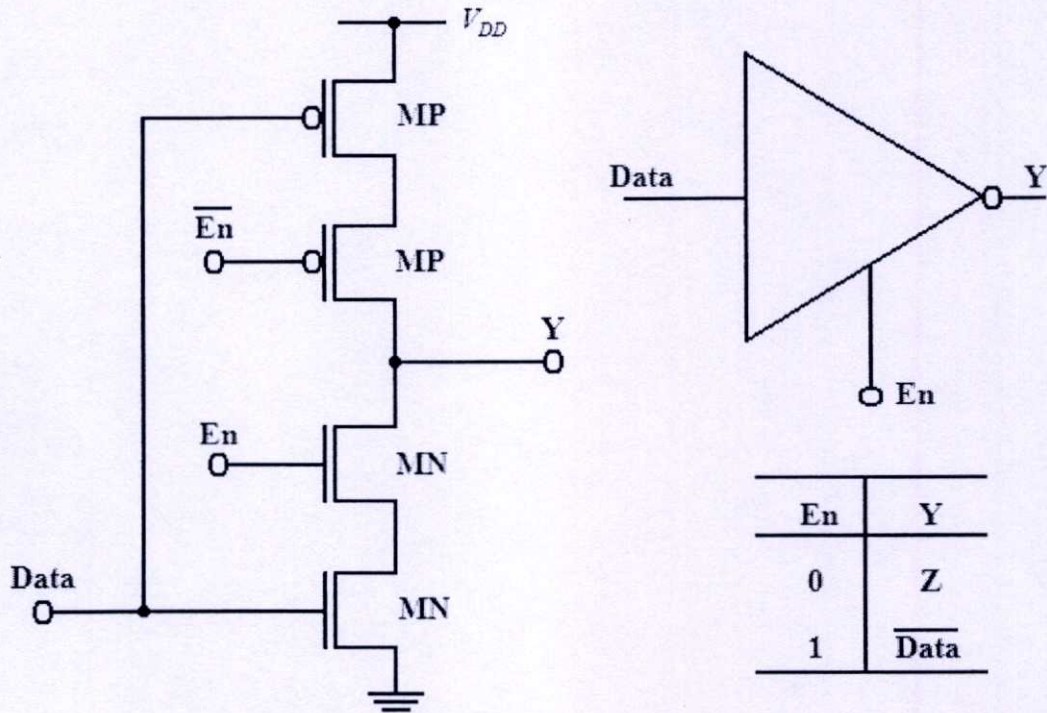
รูปที่ 4.3 AOI เกท

วงจรถ่ายสัญญาณเข้ามามีลักษณะเหมือนวงจรถ่ายสัญญาณของอินเวอร์ตทุกประการ แตกต่างกันที่ตัวโหลดแทนที่จะเป็นอินเวอร์ต (ดีฟลิชั่นหรืออินฮานเมนท์) ก็เป็นพีมอสทรานซิสเตอร์เพียงอย่างเดียวที่ต่อเกทลงกราวด์ จะทำหน้าที่ให้กับวงจรถ่ายสัญญาณ วงจรของพีมอสจะมีลักษณะที่ตรงกันข้ามกับวงจรถ่ายสัญญาณเข้ามามีลักษณะแบบนี้จะต้องคำนวณขนาดของตัวอุปกรณ์ เพื่อให้ระดับลอจิกที่ถูกต้อง (สเตติกซีมอสไม่จำเป็นต้องคำนึงในข้อนี้) ปัญหาหลักของวงจรถ่ายสัญญาณก็คือ การสูญเสียพลังงานมากเพราะอุปกรณ์ที่เป็นโหลดจะนำกระแสตลอดเวลา ทั้งยังเป็นสาเหตุให้แรงดันเอาต์พุตลอจิกต่ำ ไม่สามารถที่จะเป็น 0 โวลต์ ได้ (แรงดันเอาต์พุตลอจิกสูง สามารถมีค่าสูงได้ถึง V_{DD}) ข้อดีของเกทแบบนี้ก็คือ สามารถที่จะประหยัดเนื้อที่ได้มากกว่าสเตติกเกท ซึ่งเป็นคอมพลิเมนเทอรี

4.2 วงจร 3 สถานะ (Tri – state Circuit)

วงจรถ่ายสัญญาณปกติจะมีแค่ 2 สถานะคือ สถานะแรงดันสูงหรือลอจิก “1” และสถานะแรงดันต่ำหรือลอจิก “0” แต่ลอจิก 3 สถานะ จะมีสถานะ “ความต้านทานสูง” หรือ “High Impedance” หรือ “High Z” เพิ่มขึ้นมาอีก 1 สถานะ สถานะดังกล่าวไม่สามารถที่จะจ่ายหรือรับกระแสใดๆ ได้ ทำให้เหมาะสมในการแยกวงจรถ่ายสัญญาณออกจากวงจรถ่ายสัญญาณอื่น ๆ ขณะทำงาน วงจรถ่ายสัญญาณ 3 สถานะนิยมใช้สำหรับปล่อยสัญญาณลงสู่บัสที่มีสถานะภาพเป็นทั้งอินพุตและเอาต์พุต ส่วนใหญ่ก็จะเป็นวงจรถ่ายสัญญาณ

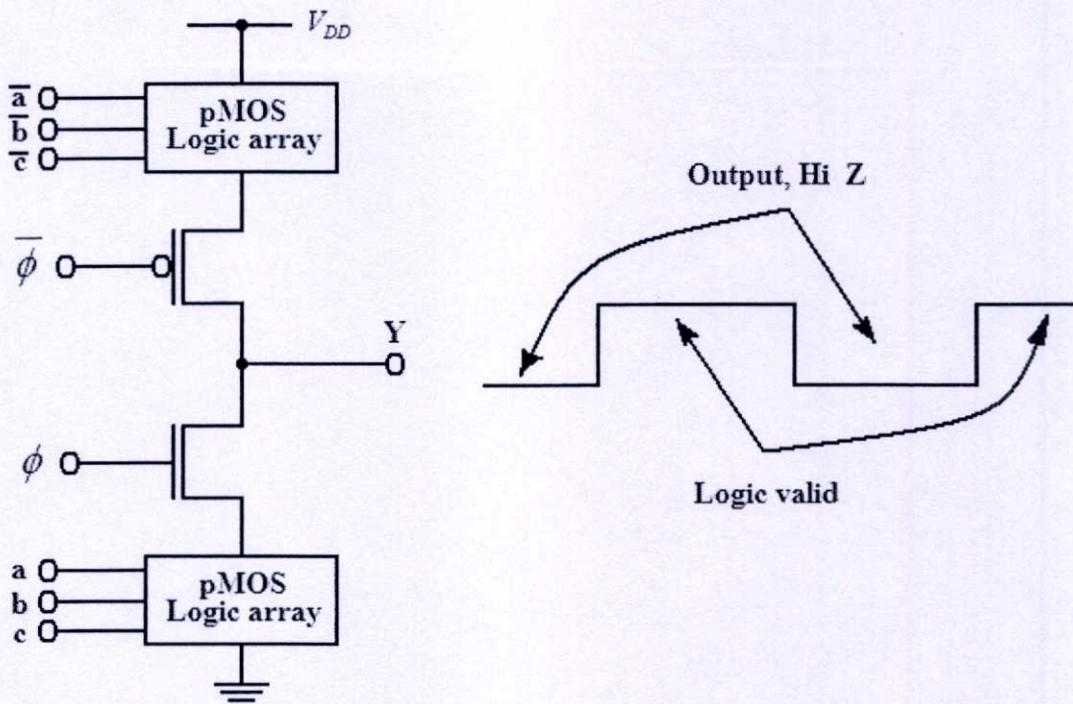
ด้วย (จ่ายกระแสได้มาก) ทั้งแบบกลับสัญญาณ (Inverting) และไม่กลับสัญญาณ (Non - Inverting) ดังรูปที่ 4.4 แสดงวงจร 3 สถานะแบบกลับสัญญาณ โดยที่สัญญาณ En (Enable) จะทำหน้าที่เป็นสัญญาณควบคุม หากสัญญาณ En เป็น High วงจรอินเวอร์เตอร์ก็จะทำงานเหมือนวงจรอินเวอร์เตอร์ปกติ หากสัญญาณ En เป็น Low ทางเอาต์พุตก็จะปรากฏเป็นค่าความต้านทานสูง โดยไม่ขึ้นกับสถานะทางอินพุตเลย ทั้งนี้เพราะพีมอส (MP) และ (MN) อยู่ในสภาวะ “off” หรือไม่นำกระแส



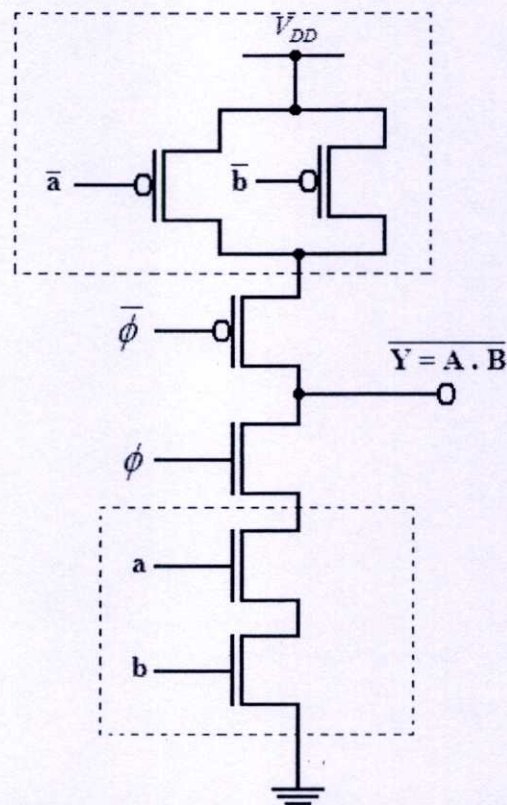
รูปที่ 4.4 วงจร 3 สถานะแบบกลับสัญญาณ (Tri - state Inverter)

4.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา (Clocked CMOS Logic, C²MOS)

วงจรซีมอสที่ใช้สัญญาณนาฬิกา เป็นแนวคิดผสมกันระหว่างลอจิกมาตรฐานกับการอ่านผลลัพธ์แบบสมวาร (Synchronization) วงจรจะมีช่วงการเปลี่ยนแปลงอินพุต เฉพาะเมื่อสัญญาณนาฬิกาเป็น “0” เท่านั้น ในขณะนั้นทางเอาต์พุตจะมีสถานะค่าเป็นความต้านทานสูง และเมื่อสัญญาณนาฬิกาเป็น “1” (อินพุตไม่ควรมีการเปลี่ยนแปลงในช่วงนี้) ผลลัพธ์ของลอจิกที่ออกทางเอาต์พุต สามารถที่จะอ่านหรือส่งต่อไปได้เนื่องจากวงจรลอจิกยังคงเป็นลักษณะคอมพลิเมนต์จำนวนทรานซิสเตอร์ที่ใช้จึงได้ลดน้อยลง



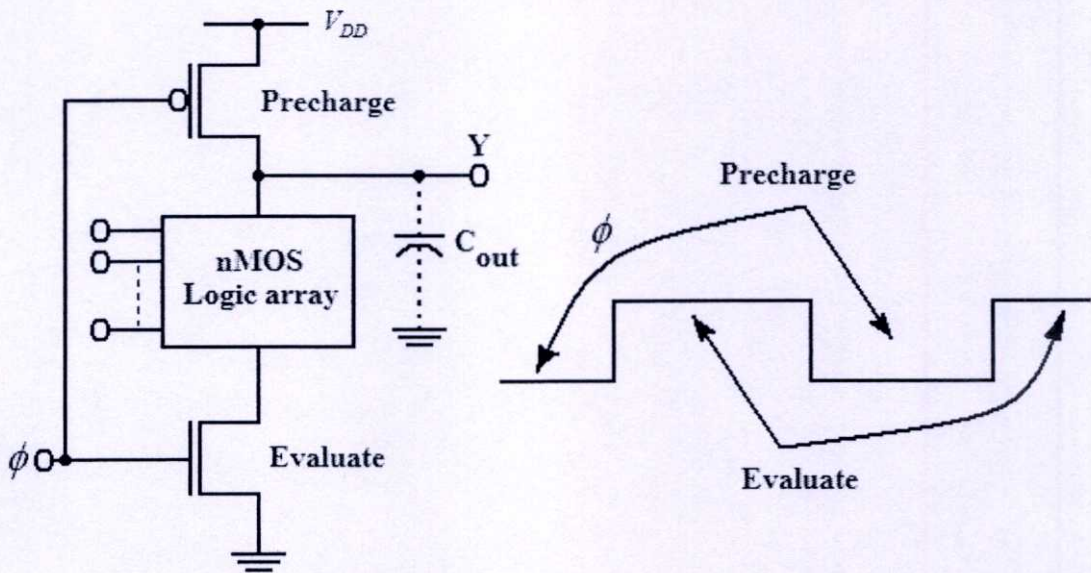
รูปที่ 4.5 หลักการของวงจรซีมอสที่ใช้สัญญาณนาฬิกา



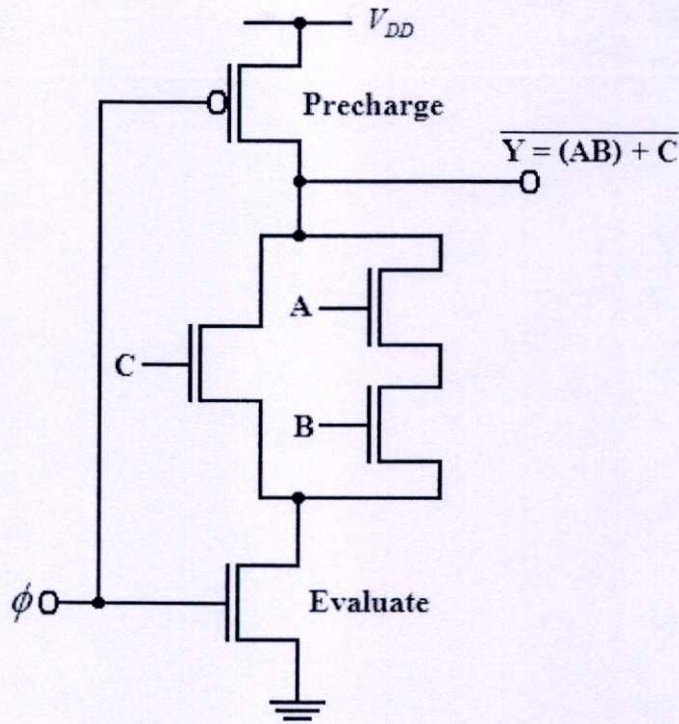
รูปที่ 4.6 ตัวอย่างวงจรแนนเกต ซึ่งใช้สัญญาณนาฬิกา

4.4 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic)

ลักษณะของวงจรลอจิกแบบนี้ต้องการการสมวาร (Synchronization) ในการอ่านสถานะเอาต์พุต วงจรจะมีช่วงการเปลี่ยนแปลงอินพุต เฉพาะเมื่อสัญญาณนาฬิกาเป็น "0" เท่านั้น ช่วงนี้เรียกว่า Precharge และเมื่อสัญญาณนาฬิกาเป็น "1" ก็จะส่งผลของลอจิกออกจากเอาต์พุตช่วงนี้จะเรียกว่า ช่วง Evaluate ลักษณะวงจรพื้นฐานของไดนามิกซีมอส จะประกอบด้วยวงจรของเอ็นทรานซิสเตอร์ที่จะให้ลอจิกฟังก์ชัน โดยเอาต์พุตโหนดจะถูกพรีชาร์ตสู่ V_{DD} โดยพีทรานซิสเตอร์ ในขณะเดียวกันเอ็นทรานซิสเตอร์จะทำหน้าที่เป็นตัวประเมินค่า (Evaluate) ดังรูปที่ 4.7 สัญญาณนาฬิกาที่ใช้เป็นเฟสเดียวในช่วงพรีชาร์ต $\phi = "0"$ และประเมินค่าเมื่อ $\phi = "1"$



รูปที่ 4.7 หลักการของวงจรไดนามิกซีมอส



รูปที่ 4.8 ตัวอย่างวงจรไดนามิกซิมอส

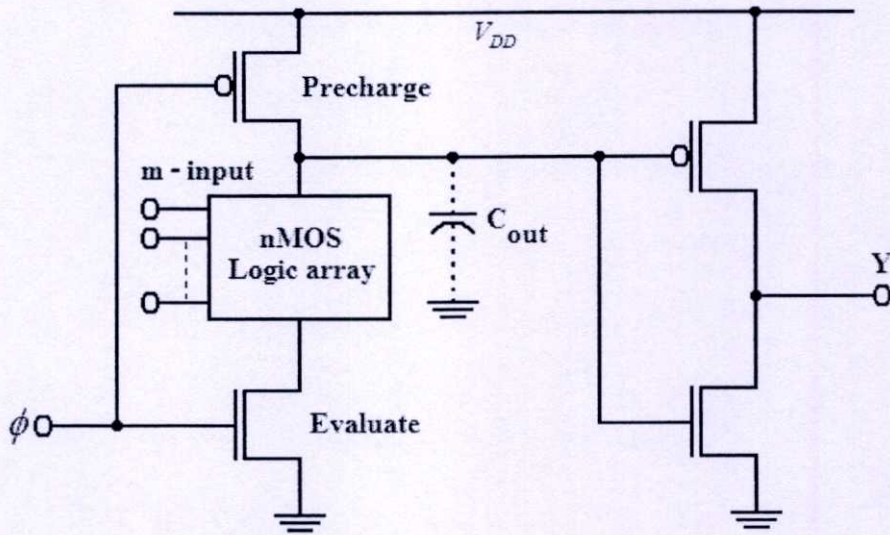
4.4.1 ปัญหาของไดนามิกซิมอส

สัญญาณอินพุตจะเปลี่ยนแปลงได้เฉพาะในช่วงฟริชาร์ตเท่านั้น มิฉะนั้นแล้วเอาต์พุตอาจจะผิดพลาดได้ ปัญหาที่เกิดขึ้นอีกประการหนึ่งก็คือ การต่ออนุกรมกันของไดนามิกเกตหลาย ๆ ชุด เมื่อเกตถูกฟริชาร์ต เอาต์พุตจะถูกฟริชาร์ตสู่ V_{DD} แต่ในช่วงประเมินค่าเอาต์พุตของเกตชุดแรกจะเปลี่ยนแปลงตามเงื่อนไขของอินพุต ถ้าหากว่ามีกรณีใดในขณะนี้ (ซึ่งจะเป็นอินพุตของเกตชุดที่ 2) จะทำให้เกตชุดที่ 2 ประเมินค่าผิดพลาด การแก้ปัญหาดังกล่าวอาจจำเป็นต้องใช้สัญญาณนาฬิกาหลายเฟส (ปกติ 4 เฟส) คาบเวลาของสัญญาณนาฬิกา จะต้องมีความยาวเพียงพอที่จะให้การประเมินค่าของเกตชุดที่ช้าที่สุดเป็นไปอย่างสมบูรณ์เสียก่อน ลักษณะของวงจรบางแบบจะทำให้เกิดปัญหาเรื่องค่าความจุไฟฟ้าแอบแฝง ทำให้แรงดันลจกคลาดเคลื่อนได้ (Charge Sharing Problem) ปกติแล้วจะต้องให้ค่าตัวเก็บประจุ C_{out} มีค่ามากกว่าตัวเก็บประจุอื่นในวงจร

4.5 ซิมอสโดมิโนลอจิก (CMOS Domino Logic)

โครงสร้างพื้นฐานของโดมิโนลอจิก จะประกอบด้วยวงจร 2 ส่วนคือ ส่วนแรกจะเป็นไดนามิกซิมอสที่ทำงานด้วยสัญญาณนาฬิกาชุดเดียวคือ ฟริชาร์ตและประเมินค่า และวงจรส่วนที่ 2 จะเป็นซิมอสอินเวอร์เตอร์ดังรูปที่ 4.7 ในช่วงฟริชาร์ต เอาต์พุตของวงจรไดนามิกจะฟริชาร์ตสู่ V_{DD} และที่

เอาต์พุตของอินเวอร์เตอร์จะเป็นระดับต่ำเมื่อสัญญาณนาฬิกาเปลี่ยนจาก “0” เป็น “1” (ช่วงนี้จะประเมินค่า) ฟริชาร์ตทรานซิสเตอร์จะหยุดทำงาน และทรานซิสเตอร์ประเมินค่าจะทำงานแทน ในช่วงประเมินค่า โคมิโนจะเปลี่ยนค่าเฉพาะเมื่อมีการเปลี่ยนจากระดับต่ำเป็นระดับสูงเท่านั้น ทำให้จัดการปัญหาเรื่องสัญญาณ “Glitches” ได้



รูปที่ 4.9 วงจรพื้นฐานของ โคมิโนซิมอสลอจิก

โคมิโนลอจิก จะประกอบด้วยส่วนของวงจรซึ่งป็นอินพุต ฟริชาร์ตทรานซิสเตอร์ ทรานซิสเตอร์ประเมินผล และเอาต์พุตอินเวอร์เตอร์อีก 1 ชุด ดังนั้น โคมิโนลอจิก m อินพุตจะมีทรานซิสเตอร์ $m + 4$ ตัว เป็นวงจรที่มีความสูญเสียต่ำ เพราะจะไม่มีกระแสเฉื่อยในวงจรเลย ปกติแล้วที่ทรานซิสเตอร์จะเสียพื้นที่มากกว่าเอ็นทรานซิสเตอร์ โคมิโนลอจิกมทรานซิสเตอร์ส่วนใหญ่เป็นเอ็นทรานซิสเตอร์ จึงทำให้ความจุของอุปกรณ์ต่อพื้นที่ที่ดีขึ้น ในขณะที่เดียวกันกับความยุ่งยากในการออกแบบลวดลายก็ลดลง

4.6 ลอจิกเส้นทางคู่ (Dual – Rail Logic)

วงจรที่ได้ศึกษาผ่านมาแล้วนั้น นับว่าเป็นวงจรซิมอสเส้นทางเดี่ยว (Single rail) ซึ่งหมายถึง ตัวแปรทางอินพุตมีค่าเพียง “0” หรือ “1” เท่านั้น วงจรลอจิกเส้นทางคู่จะใช้ทั้ง x และ \bar{x} พร้อมกัน ในรูปแบบที่เป็นเชิงอนุพันธ์ โดยประสงค์หลักก็เพื่อเพิ่มความเร็วการทำงาน และสามารถพิจารณาฟังก์ชันได้คือ

ดังนั้น
$$f_x = x - \bar{x} \quad (4.3)$$

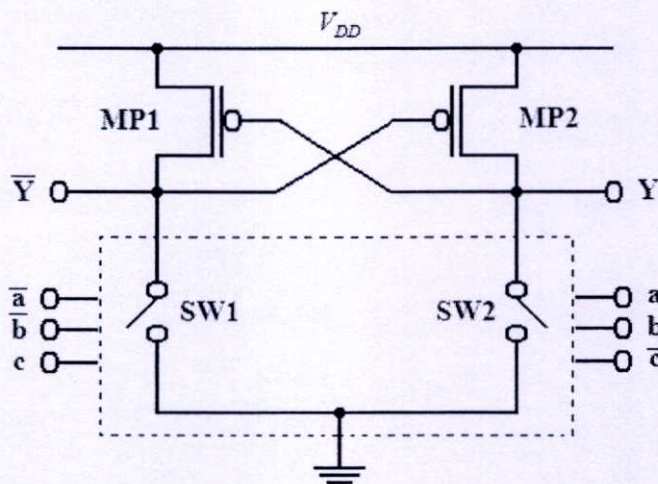
เมื่อ
$$\frac{df_x}{dt} = \frac{dx}{dt} - \frac{d\bar{x}}{dt} \quad (4.4)$$

$$\frac{d\bar{x}}{dt} = - \left| \frac{dx}{dt} \right| \quad (4.5)$$

เมื่อ x มีค่าเพิ่มขึ้นและ \bar{x} ลดลง หรือในทางกลับกัน

ดังนั้น
$$\frac{df_x}{dt} = 2 \left| \frac{dx}{dt} \right| \quad (4.6)$$

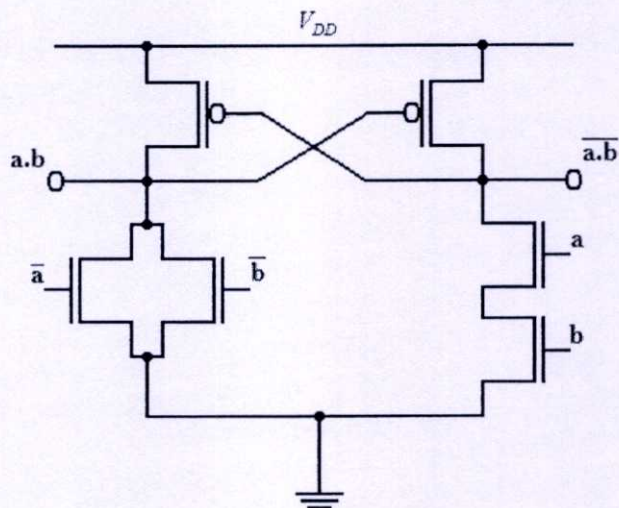
หากตีความหมายในเชิงวงจรก็จะเป็นว่า วงจรลอจิกเส้นทางคู่สามารถที่จะมีความเร็วประมาณ 2 เท่าของวงจรเส้นทางเดี่ยว แต่ในทางกลับกันที่ที่จะต้องเพิ่มมากขึ้นก็คือ เส้นทางกรต่อโยงวงจร เพราะจำนวนอินพุตที่ต้องเพิ่มมากขึ้น วงจรลอจิกเส้นทางคู่ที่เป็นที่นิยมก็คือ Differential Cascode Voltage Switch Logic (DCVSL) หรืออีกชื่อหนึ่งก็คือ Cascode Voltage Switch Logic (CVSL) โครงสร้างพื้นฐานของวงจร CVSL แสดงได้ดังในรูปที่ 4.10



รูปที่ 4.10 วงจรพื้นฐานของ CVSL

อินพุตจะประกอบด้วยส่วนที่เป็นทางตรง (เช่น a, b, c) และส่วนที่เป็นคอมพลิเมนต์ (เช่น $\bar{a}, \bar{b}, \bar{c}$) ซึ่งทั้งหมดประกอบด้วยเอ็นมอสทรานซิสเตอร์เท่านั้น วงจรคอมพลิเมนต์นี้จะอยู่ด้านละชุดของวงจรแลชท์ที่ประกอบจากพีมอส ทำให้ได้เอาต์พุตที่เป็น Y และ \bar{Y} สมมุติว่าอินพุตลอจิกทำ

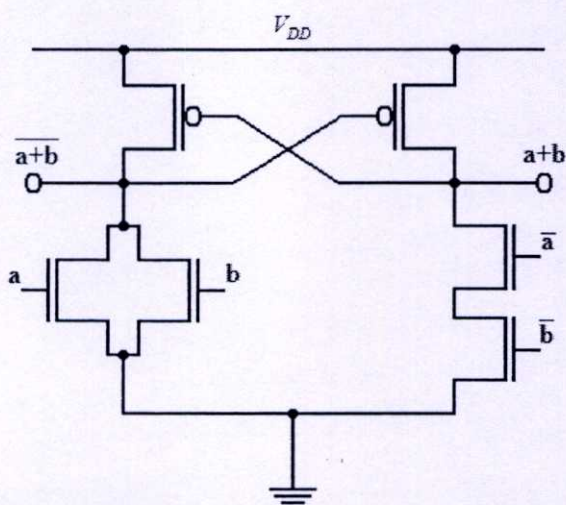
ให้สวิตช์ SW1 ทำงาน แรงดันที่เอาต์พุต \bar{Y} ตกลงเป็นแรงดันต่ำ เป็นการบังคับให้พีมอส MP2 นำกระแสโดยเร็วขับให้เอาต์พุต Y เป็นแรงดันสูง



รูปที่ 4.11 วงจร CVSL ของวงจรรแอนด์ / แนนด์

การออกแบบในส่วนของวงจรรส่วนเอ็นมอสซึ่งสองด้านเป็นคอมพลิเมนต์กันนั้น วิธีหนึ่งที่ย่างและค่อนข้างจะตรงไปตรงมาอย่างวงจรร AND/NAND ดังแสดงในรูปที่ 4.11 และวงจรร OR/NOR ดังแสดงในรูปที่ 4.12 ซึ่งจะเห็นว่าเมื่ออินพุตเป็นคอมพลิเมนต์กันแล้ว เอาพุทก็ยังคงเป็นคอมพลิเมนต์กันอีกด้วย อาศัยทฤษฎีของ DeMorgan

$$\overline{a \cdot b} = \bar{a} + \bar{b} \quad (4.7)$$

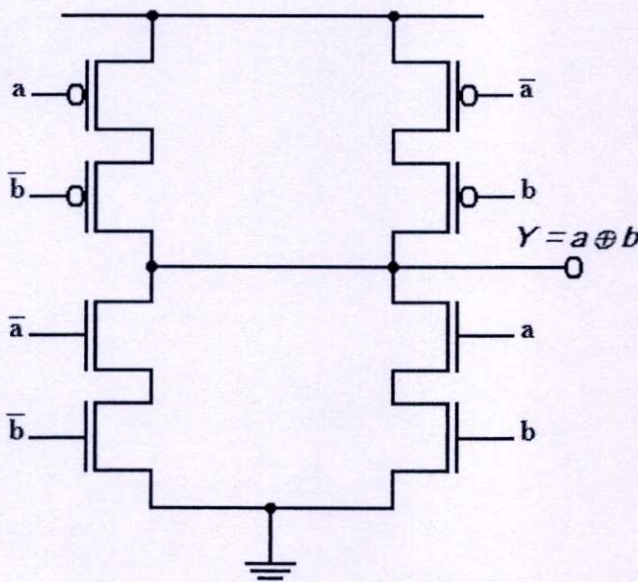


รูปที่ 4.12 วงจร CVSL ของวงจรรออร์ / นอร์

จะเห็นว่าวงจร AND/NAND และวงจร OR/NOR มีโครงสร้างเดียวกัน ต่างกันเฉพาะตำแหน่งของอินพุตเท่านั้น

4.7 ลอจิกแบบวงจรมงสะท้อน (Mirror Circuit Logic)

วงจรถอจิกแบบเงาสะท้อนมีรูปแบบคล้ายวงจรซิมอสคอมพลิเมนต์มาตรฐาน คือมีส่วนของพีมอสและเอ็นมมอส แต่วงจรมีสองซีกซ้ายและขวาเหมือนวงจรเส้นทางคู่ วงจรซีกซ้ายและขวานี้สะท้อนซึ่งกันและกันในรูปแบบของคอมพลิเมนต์ ลักษณะเช่นนี้ต้องพิจารณาวงจรของ XOR ซึ่ง $Y = a \oplus b = \bar{a}b + a\bar{b}$ จากคณิตศาสตร์บูลีน เราจะเห็นว่า $\bar{a}b + a\bar{b} = \overline{ab + \bar{a}\bar{b}}$ ซึ่งสามารถเขียนเป็นวงจรได้ดังรูปที่ 4.13 จะสังเกตเห็นว่า เอ็นมอสจะทำงานเพื่อให้ลอจิกเอาต์พุต "0" ในขณะที่พีมอสจะทำงานเพื่อให้ลอจิกเอาต์พุต "1" จำนวนทรานซิสเตอร์ที่ใช้ในวงจรแม้จะเท่ากับวงจรถอจิกคอมพลิเมนต์ซิมอส แต่ลักษณะเส้นทางวงจรจะง่ายกว่า วงจร XNOR ก็สามารรถที่จะออกแบบได้ในลักษณะเดียวกัน



a	b	Y
0	0	0
0	1	1
1	0	1
1	1	0

รูปที่ 4.13 วงจร XOR เกท

บทที่ 5

ทฤษฎีและการออกแบบวงจรเทอร์นารีลอจิก

5.1 ทฤษฎีพื้นฐานของวงจรซิมอสเทอร์นารีลอจิก

เนื่องจากวงจรเทอร์นารีลอจิกประกอบด้วยลอจิก 3 ค่าคือ 0, 1 และ 2 แทนค่าความแตกต่างของสถานะทางไฟฟ้า ซึ่งอาจจะอยู่ในรูปของค่าความต่างศักย์หรือขนาดกระแสไฟฟ้า โดยมีนิยาม [2] ดังต่อไปนี้

นิยามที่ 1 Low-Threshold comparison operation

$$x' \triangleq \begin{cases} T & (\text{if } x < t) \\ F & (\text{if } x > t) \end{cases} \quad (5.1)$$

นิยามที่ 2 High-Threshold comparison operation

$${}^t x \triangleq \begin{cases} T & (\text{if } x > t) \\ F & (\text{if } x < t) \end{cases} \quad (5.2)$$

นิยามที่ 3 Boolean operation

- = AND operation
- + = OR operation
- ~ = NOT operation

นิยามที่ 4 Transmission operation

$$C_i * B \triangleq \begin{cases} C_i & (\text{if } B = T) \\ \phi & (\text{if } B = F) \end{cases} \quad (5.3)$$

โดยที่

C_i คือ ระดับสัญญาณที่ป้อน (Transmission source)

B คือ ค่าตัวแปรใดๆ

ϕ คือ เซตว่าง (ไม่มีเอาต์พุตใดๆ)

นิยามที่ 5 Union operation

$$C_i * B_i \# C_j * B_j \triangleq \begin{cases} C_i \text{ if } B_i = T \text{ and } B_j = F \\ C_j \text{ if } B_i = F \text{ and } B_j = T \\ \phi \text{ if } B_i = B_j = F \\ \text{not permitted if } B_i = B_j = T \text{ and } C_i \neq C_j \end{cases} \quad (5.4)$$

จากพื้นฐานนิยามที่กล่าวมาแล้ว สามารถที่สร้างสมการนิยามต่างๆ ได้ดังนี้

$$\tilde{x}' = 'x \quad (5.5)$$

$$'x = x' \quad (5.6)$$

$$B = '(2 * B \# 0 * \tilde{B}) = (2 * \tilde{B} \# 0 * B)' \quad (5.7)$$

$$C * (B_1 + B_2) = C * B_1 \# C * B_2 \quad (5.8)$$

$$C * (B_1 \cdot B_2) = (C * B_1) * B_2 \quad (5.9)$$

$$(C_1 * B_1 \# C_2 * B_2) * B_3 = C * (B_1 \cdot B_3) \# C * (B_2 \cdot B_3) \quad (5.10)$$

$$f(x) = f(0) * x^{0.5} \# f(1) * ({}^{0.5}x \cdot x^{1.5}) \# f(2) * {}^{1.5}x \quad (5.11)$$

$$f = 0 * B_0 \# 1 * B_1 \# 2 * B_2 \quad (5.12)$$

นิยามที่ 6 Threshold-t inverse with binary output

$$\overline{x(t)} \triangleq \begin{cases} 2 \text{ (if } x < t) \\ 0 \text{ (if } x > t) \end{cases} \quad (5.13)$$

นิยามที่ 7 Ternary inverse

$$\bar{x} \triangleq \begin{cases} 2 \text{ (if } x = 0) \\ 1 \text{ (if } x = 1) \\ 0 \text{ (if } x = 2) \end{cases} \quad (5.14)$$

นิยามที่ 8 Modulo-3 addition

$$x \oplus i \triangleq \text{mod}_3(x+i) \quad (5.15)$$

นิยามที่ 9 1-of-2 Threshold-t multiplexing

$$f(y_0, y_2; x, t) \triangleq \begin{cases} y_0 & (\text{if } x < t) \\ y_2 & (\text{if } x > t) \end{cases} \quad (5.16)$$

นิยามที่ 10 1-of-3 Multiplexing

$$f(y_0, y_1, y_2; x) \triangleq \begin{cases} y_0 & (\text{if } x = 0) \\ y_1 & (\text{if } x = 1) \\ y_2 & (\text{if } x = 2) \end{cases} \quad (5.17)$$

5.2 วงจรเทอร์นารีลอจิก Transmission gate

ในการออกแบบวงจรเปรียบเทียบลอจิกหรือวงจ Transmission gate นั้นจะอาศัยจากสมการของนิยามที่ 1 และสมการนิยามที่ 2 และสมการที่ (5.11) มาทำการออกแบบ โดยสมมติให้วงจรเทอร์นารีลอจิกมีฟังก์ชัน $f(x)$ ที่มีอินพุตคือ x และมีเอาต์พุตเป็น $C_i * x'$ กับ $C_i * 'x$ โดยที่ $x, C_i \in \{0, 1, 2\}$ ดังนั้นจะได้สมการคือ

$$f(x) = C_0 * (x^{0.5}) \# C_1 * (0.5x \cdot x^{1.5}) \# C_2 * (x^{1.5}) \quad (5.18)$$

โดยการดำเนินการ

$$C_i * x' = \begin{cases} \phi & (\text{if } x > t) \\ C_i & (\text{if } x < t) \end{cases} \quad (5.19)$$

$$C_i * 'x = \begin{cases} C_i & (\text{if } x > t) \\ \phi & (\text{if } x < t) \end{cases} \quad (5.20)$$

โดยที่

ϕ คือ เซตว่าง (ไม่มีเอาต์พุตใดๆ)

x คือ อินพุต ซึ่ง $x \in \{0, 1, 2\}$

t คือ ค่าเทรชโฮลด์ ซึ่ง $t \in \{0.5, 1.5\}$

C_i คือ ระดับสัญญาณที่ป้อน (Transmission source) ซึ่ง $C_i \in \{0, 1, 2\}$

$*$ คือ ตัวดำเนินการ Transmission

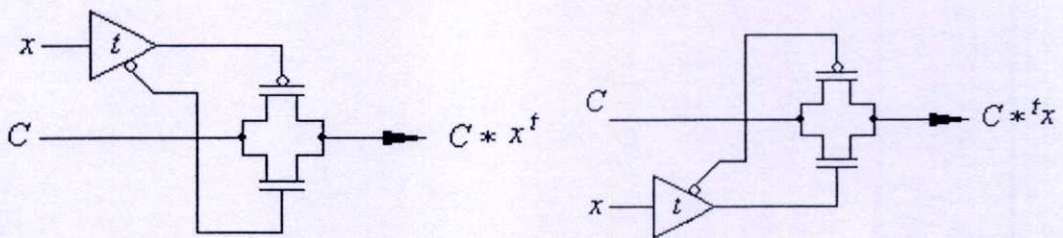
$\#$ คือ ตัวดำเนินการยูเนียน (Union)

- คือ ฟังก์ชัน AND สำหรับสัญญาณแบบไบนารี

x' คือ ตัวดำเนินการเปรียบเทียบค่าเทรชโวลต์ระดับสัญญาณต่ำ (Low-threshold comparison)

$'x$ คือ ตัวดำเนินการเปรียบเทียบค่าเทรชโวลต์ระดับสัญญาณสูง (High-threshold comparison)

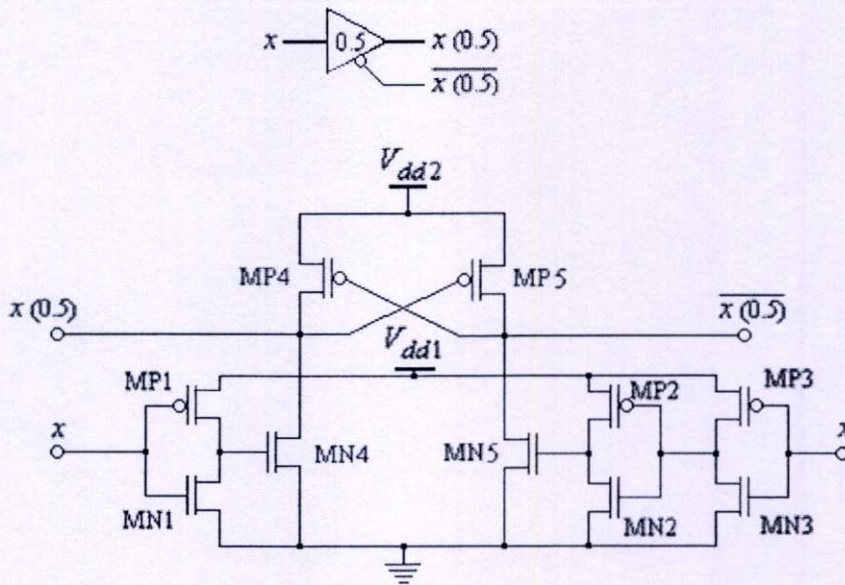
เมื่อพิจารณาการดำเนินการในสมการที่ (5.19) และ (5.20) จะสามารถสังเกตได้ว่า x' มีสถานะเพียงสองสถานะแบบไบนารีคือ เป็นจริงเมื่อ $x < t$ และเป็นเท็จเมื่อ $x > t$ ตามลำดับ ในทางกลับกัน $'x$ จะให้ค่าเป็นจริง $x > t$ และเป็นเท็จเมื่อ $x < t$



รูปที่ 5.1 วงจรเทอร์นารีลอจิก Transmission gate สำหรับดำเนินการ $C_i * x'$ และ $C_i * 'x$

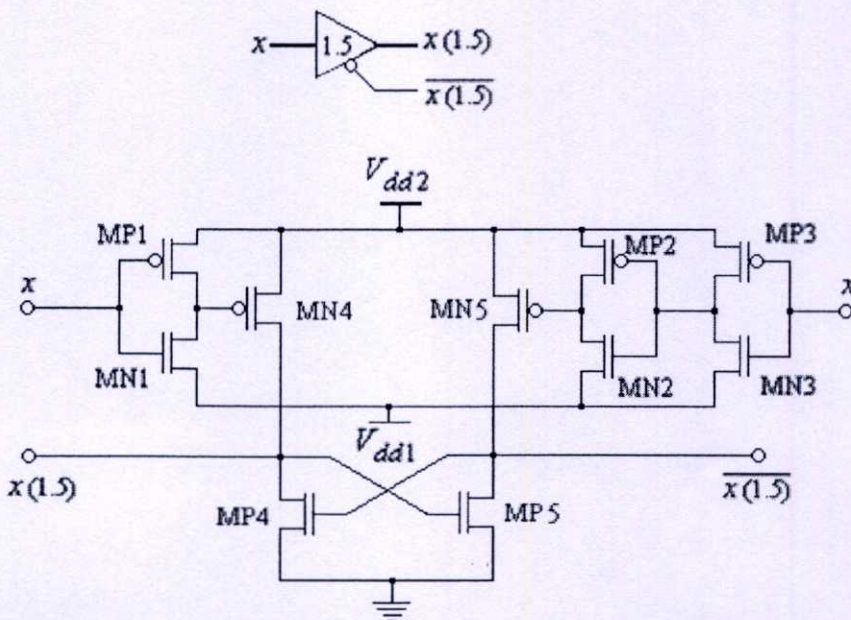
ดังนั้นการดำเนินการ $C_i * x'$ และ $C_i * 'x$ สามารถสร้างได้ด้วยวงจรซีมอสทรานสมิชชันเกต (CMOS Transmission gate) ร่วมกับวงจรเทรชโวลต์ที่เกต (Threshold-t gate) โดยอาศัย x' และ $'x$ เป็นสัญญาณควบคุมดังแสดงในรูปที่ 5.1 ซึ่งโครงสร้างภายในของวงจรเทรชโวลต์ที่อินเกต (Threshold-t gate) แสดงให้เห็นได้ดังรูปที่ 5.2 และ 5.3 ตามค่ากำหนดของ $t = 0.5$ และ $t = 1.5$

โดยวงจรเทรชโวลต์ที่เกต เมื่อกำหนดให้ $t = 0.5$ จะสามารถสร้างวงจรขึ้นได้จากวงจร DVCS Inverter ร่วมกับวงจร CMOS Inverter ดังแสดงในรูปที่ 5.2 และการทำงานของวงจร Threshold-t gate เมื่อกำหนดให้ $t = 0.5$ สัญญาณอินพุต x ซึ่งมีค่าได้ 3 สถานะ (0, 1 และ 2) จะถูกแปลงให้มีสถานะเหลือเพียงสองสถานะ (0,1) ด้วย CMOS inverter (MP1-MN1, MP2-MN2 และ MP3-MN3) โดย $x > t (= 0.5)$ จะถูกมองให้มีสถานะ "1" จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) อีกครั้งด้วยวงจร DCVS inverter (MN4-5, MP4-5) จากการป้อนกลับภายในเพื่อให้ได้ระดับศักดาที่เหมาะสมกับการควบคุมวงจร Transmission gate ต่อไป



รูปที่ 5.2 วงจรเทรชโฮลด์ทีเกท (Threshold-t gate) แบบ DCVS เมื่อ $t = 0.5$

สำหรับวงจร Threshold-t gate เมื่อกำหนดให้ $t = 1.5$ ดังแสดงในรูปที่ 5.3 การทำงานมีลักษณะเช่นเดียวกันกับที่กล่าวมาแล้ว คือสัญญาณ x จะถูกแปลงให้มีเพียงสองสถานะคือ (1, 2) ด้วย CMOS inverter โดยสัญญาณที่มีค่า $x < t (= 1.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) ผลลัพธ์แสดงดังในตารางที่ 5.1



รูปที่ 5.3 วงจรเทรชโฮลด์ทีเกท (Threshold-t gate) แบบ DCVS เมื่อ $t = 1.5$

ตารางที่ 5.1 ตารางความจริงของวงจร Threshold-t gate

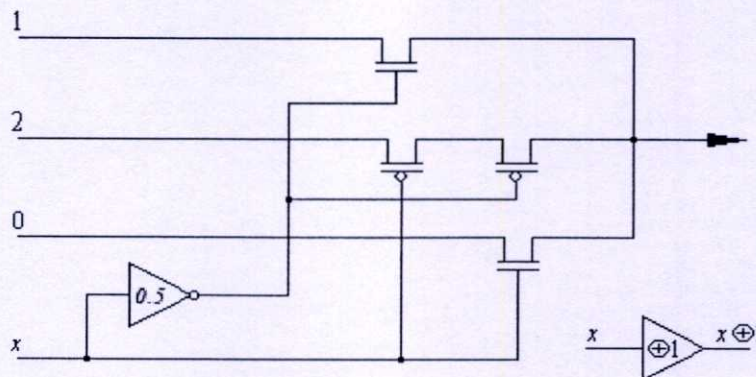
x	$x(0.5)$	$\overline{x(0.5)}$	$x(1.5)$	$\overline{x(1.5)}$
0	0	2	0	2
1	2	0	0	2
2	2	0	2	0

5.3 วงจรเทอร์นารีลอจิก Cycling gate

จากสมการในนิยามที่ 1 ถึงนิยามที่ 5 และสมการที่ (5.11) สามารถแสดงให้เห็นได้ในรูปแบบของสมการที่ (5.15) ได้ดังนี้

$$x \oplus 1 = 1 * x^{0.5} \# 2 * ({}^{0.5}x \cdot x^{1.5}) \# 0 * {}^{1.5}x \quad (5.21)$$

ดังนั้นจึงสามารถสร้างวงจรเทอร์นารีลอจิก Cycling gate โดยมีวงจรซีมอสอินเวอร์เตอร์ (CMOS inverter) มาร่วมในการสร้างวงจร และให้ $t = 0.5$ ดังแสดงในรูปที่ 5.4



รูปที่ 5.4 วงจรเทอร์นารีลอจิก Cycling gate เมื่อ $t = 0.5$

ตารางที่ 5.2 ตารางความจริงของวงจรเทอร์นารีลอจิก Cycling gate

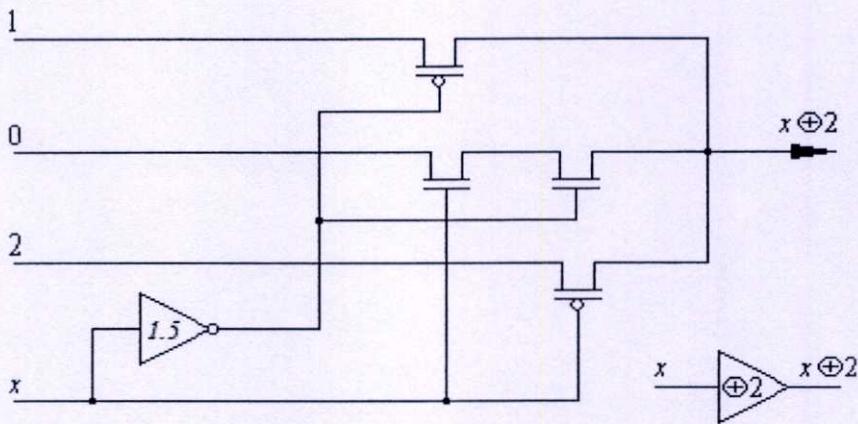
x	$x \oplus 1$
0	1
1	2
2	0

5.4 วงจรเทอร์นารีลอจิก Inverse cycling gate

ดังเช่นในการสร้างวงจร Cycling gate ซึ่งจะสามารถที่จะสร้างวงจรได้จากสมการที่อยู่ในรูปแบบของสมการดังนี้คือ

$$x \oplus 2 = 2 * x^{0.5} \# 0 * (x^{0.5} * x^{1.5}) \# 1 * x^{1.5} \quad (5.22)$$

สามารถสร้างวงจรเทอร์นารีลอจิก Inverse Cycling gate โดยมีวงจรซีมอสอินเวอร์เตอร์ (CMOS inverter) มาร่วมในการสร้างวงจร และให้ $t = 1.5$ ดังแสดงในรูปที่ 5.5



รูปที่ 5.5 วงจรเทอร์นารีลอจิก Inverse cycling gate

ตารางที่ 5.3 ตารางความจริงของวงจรเทอร์นารีลอจิก Inverse cycling gate

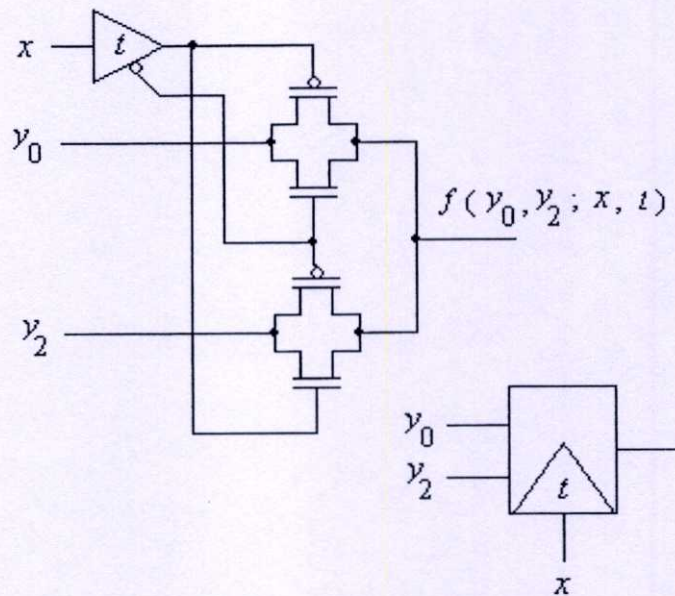
x	$x \oplus 2$
0	2
1	0
2	1

5.5 วงจรเทอร์นารีลอจิก 1-of-2 Threshold-t multiplexer

ดังในนิยามที่ 9 สมการที่ (5.16) จะสามารถแสดงเป็นฟังก์ชันของวงจร 1-of-2 Threshold-T multiplexer ได้ดังนี้

$$f(y_0, y_2; x, t) = y_0 * (x') \# y_2 * (x) \quad (5.23)$$

เมื่อสร้างขึ้นด้วยวงจร Transmission gate แสดงได้ในรูปที่ 5.6



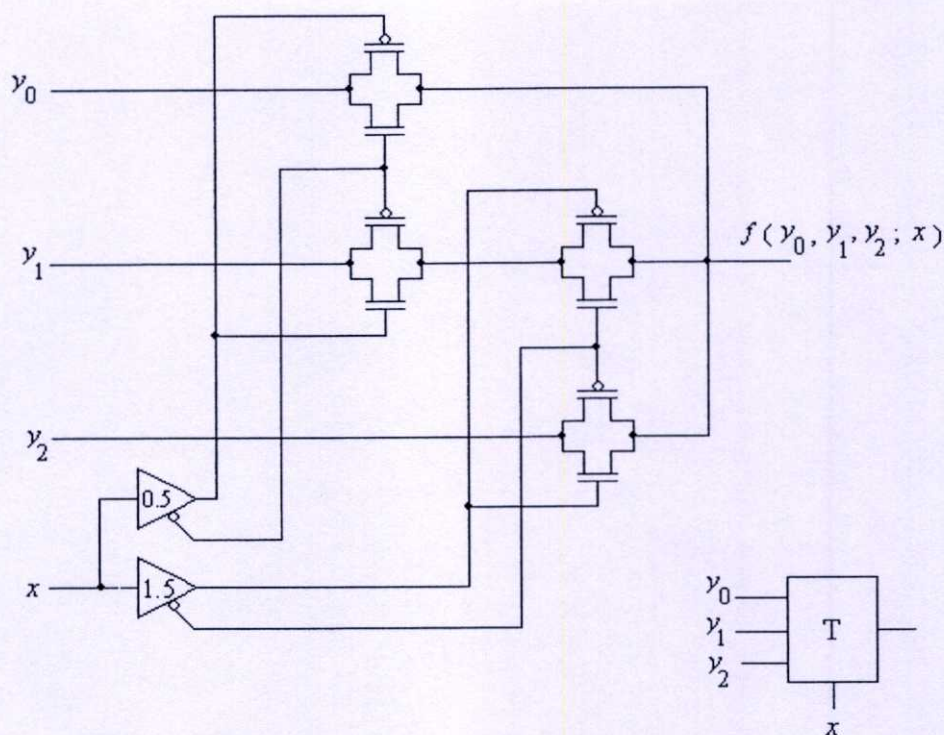
รูปที่ 5.6 วงจรเทอร์นารีลอจิก 1-of-2 Threshold-t multiplexer

5.6 วงจรเทอร์นารีลอจิก T-gate

จากสมการที่ (5.11) และในนิยามที่ 10 (5.17) สามารถนำมาสร้างเป็นสมการของวงจรเทอร์นารีลอจิก T-gate ได้ โดยมีลอจิกฟังก์ชันสมการดังนี้

$$f(y_0, y_1, y_2; x) = y_0 * x^{0.5} \# y_1 * (x^{0.5} \cdot x^{1.5}) \# y_2 * x^{1.5} \quad (5.24)$$

ดังนั้นสามารถที่จะสร้างวงจรเทอร์นารีลอจิก T-gate ได้จากสมการที่ (5.24) ดังรูปที่ 5.7



รูปที่ 5.7 วงจรเทอร์นารีลอจิก T-gate

ตารางที่ 5.4 ตารางความจริงของวงจรเทอร์นารีลอจิก T-gate

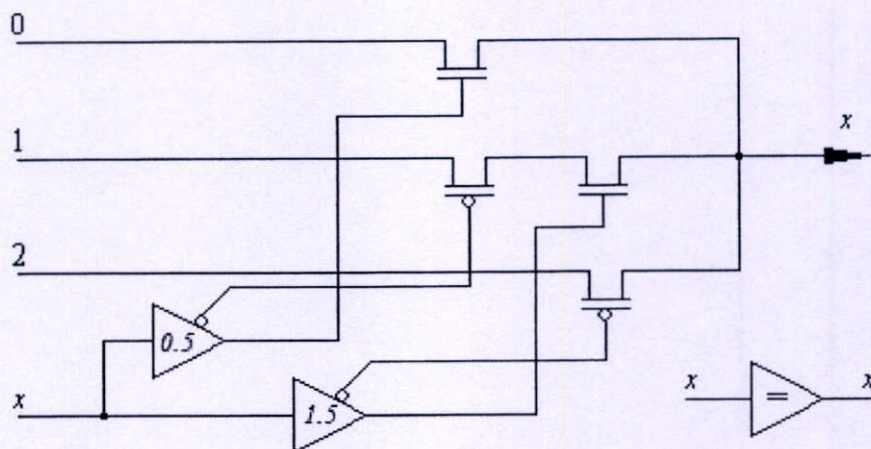
x	T-gate
0	y_0
1	y_1
2	y_2

5.7 วงจรเทอร์นารีลอจิก Identity cell

วงจรเทอร์นารี Identity cell หรือ Buffer นั้น สามารถที่จะสร้างขึ้นได้โดยนำวงจรเทรคโพลต์ที่เกทที่ $t = 0.5$ และ $t = 1.5$ มาทำงานร่วมกัน ซึ่งจะต้องสอดคล้องและเป็นไปตามสมการดังต่อไปนี้

$$x = 0 * x^{0.5} \# 1 * (x^{0.5} * x^{1.5}) \# 2 * x^{1.5} \quad (5.25)$$

ฉนวนวงจรที่สร้างได้จากสมการที่ (5.24) สามารถที่จะแสดงได้ดังรูปที่ 5.5



รูปที่ 5.8 วงจรเทอร์นารีลอจิก Identity cell

ตารางที่ 5.5 ตารางความจริงของวงจรเทอร์นารีลอจิก Identity cell

x	x
0	0
1	1
2	2

5.8 วงจรเทอร์นารีแบบสองอินพุท

สำหรับวงจรเทอร์นารีแบบสองอินพุท (x, y) ซึ่งมีฟังก์ชันดังสมการที่ (5.26) และแสดงผลลัพธ์ของฟังก์ชันแสดงได้ดังตารางที่ 5.6

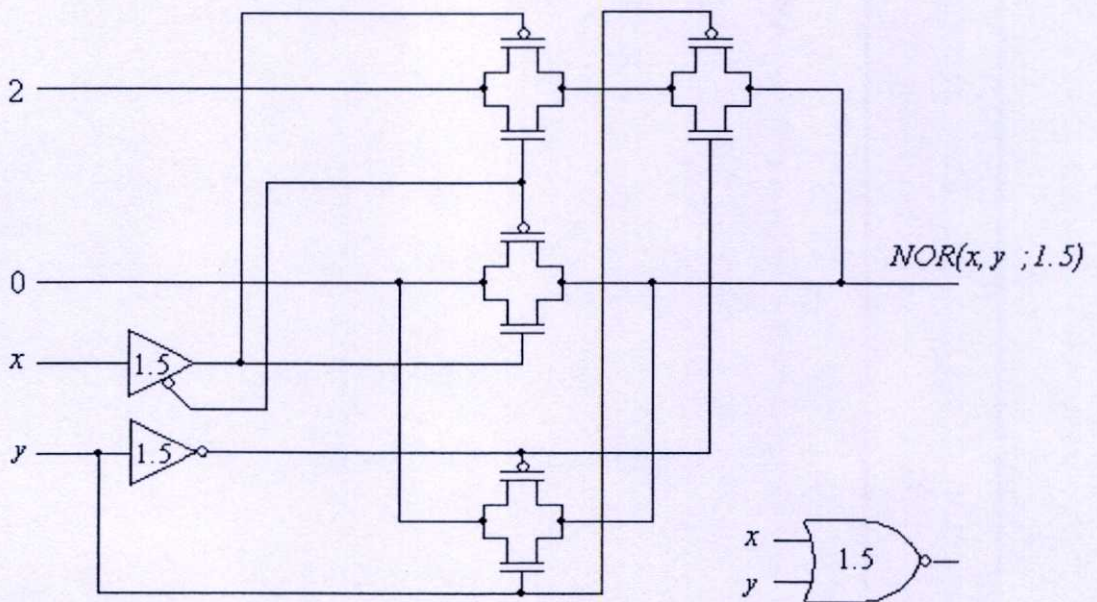
$$\begin{aligned}
 f(x, y) = & C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5} \cdot 0.5 y \cdot y^{1.5}) \# \\
 & C_2 * (x^{0.5} \cdot 1.5 y) \# C_3 * (0.5 x \cdot x^{1.5} \cdot y^{0.5}) \# \\
 & C_4 * (0.5 x \cdot x^{1.5} \cdot 0.5 y \cdot x^{1.5}) \# \\
 & C_5 * (0.5 x \cdot x^{1.5} \cdot 1.5 y) \# C_6 * (1.5 x \cdot y^{0.5}) \# \\
 & C_7 * (1.5 x \cdot 0.5 y \cdot y^{1.5}) \# C_8 * (1.5 x \cdot 1.5 y) \#
 \end{aligned}
 \tag{5.26}$$

ตารางที่ 5.6 ตารางความจริงของวงจรเทอร์นารีแบบสองอินพุต

x	y	$f(x,y)$
0	0	C_0
0	1	C_1
0	2	C_2
1	0	C_3
1	1	C_4
1	2	C_5
2	0	C_6
2	1	C_7
2	2	C_8

เช่นวงจร Threshold- t NOR-2 inputs เมื่อทำการลดรูปสมการด้วย K-map ทำให้ได้ฟังก์ชันลดรูปในสมการที่ (5.27) เมื่อกำหนดให้ $t = 1.5$ และวงจรแสดงได้ดังรูปที่ 5.9

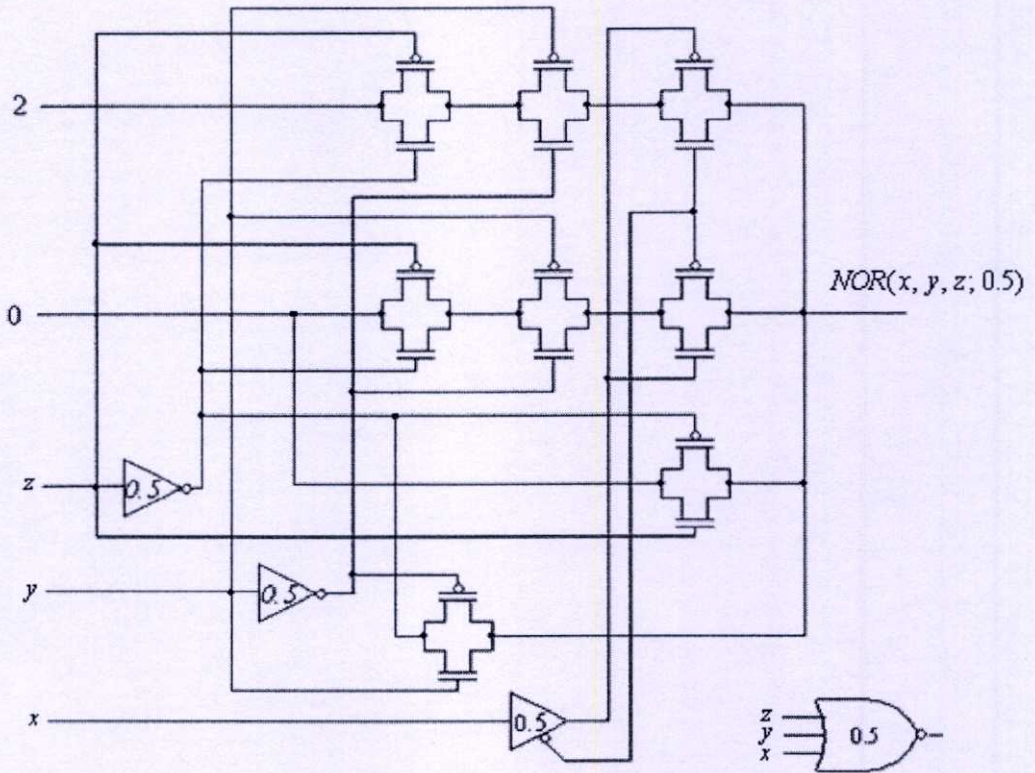
$$NOR(x, y; 1.5) = 2 * (x^{1.5} \cdot^{1.5} y) \# 0 * (^{1.5} x) \# 0 * (y^{1.5}) \quad (5.27)$$



รูปที่ 5.9 วงจร Threshold- t NOR-2 input เมื่อ $t = 1.5$

ส่วนในกรณีที่อินพุตมากกว่า 2 เช่นกรณี วงจร Threshold-t NOR-3 inputs ซึ่งมีฟังก์ชันหลักแสดง
รูปด้วย K-map ดังแสดงในสมการที่ (5.28) เมื่อกำหนดค่าให้ $t = 0.5$ และแสดงวงจรได้ดังรูปที่ 5.10

$$NOR(x, y, z; 0.5) = 2 * (x^{0.5} \cdot y^{0.5} \cdot z^{0.5}) \# 0 * ({}^{0.5}x) \# 0 * (y^{0.5}) \# 0 * (z^{0.5}) \quad (5.28)$$



รูปที่ 5.10 วงจร Threshold-t NOR-3 input เมื่อ $t = 0.5$

บทที่ 6

การออกแบบวงจรเทอร์นารีซีควนเชียลลอจิกและผลการวิเคราะห์

วงจรดิจิทัลซีควนเชียลประกอบด้วยส่วนสำคัญสองส่วนคือ ส่วนประมวลผลทางลอจิก และ ส่วนป้อนกลับ วงจรดิจิทัลซีควนเชียลที่ง่ายที่สุดคือ วงจรประเภทหน่วยความจำ ซึ่งทำหน้าที่เก็บสถานะทางลอจิก โดยอาศัยการป้อนกลับ และการเชื่อมต่อในส่วนป้อนกลับจะถูกแยกออกเมื่อมีสัญญาณใหม่ถูกส่งเข้ามา ซึ่งมีลอจิกฟังก์ชันดังนี้

$$Q_+ = Q * CP' \# D * 'CP \quad (6.1)$$

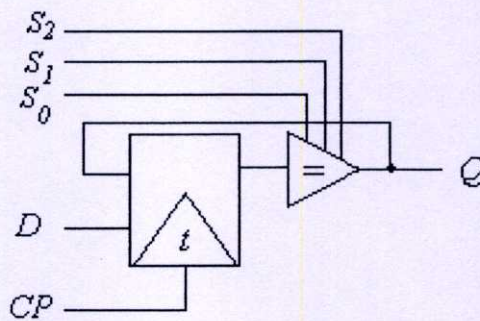
โดยที่

CP คือ สัญญาณควบคุมไบนารี โดย $CP \in \{0, 2\}$

Q_+ คือ สัญญาณทางเอาต์พุต (Next State)

Q คือ สัญญาณป้อนกลับจากทางเอาต์พุต

D คือ สัญญาณอินพุต (Latch receive)

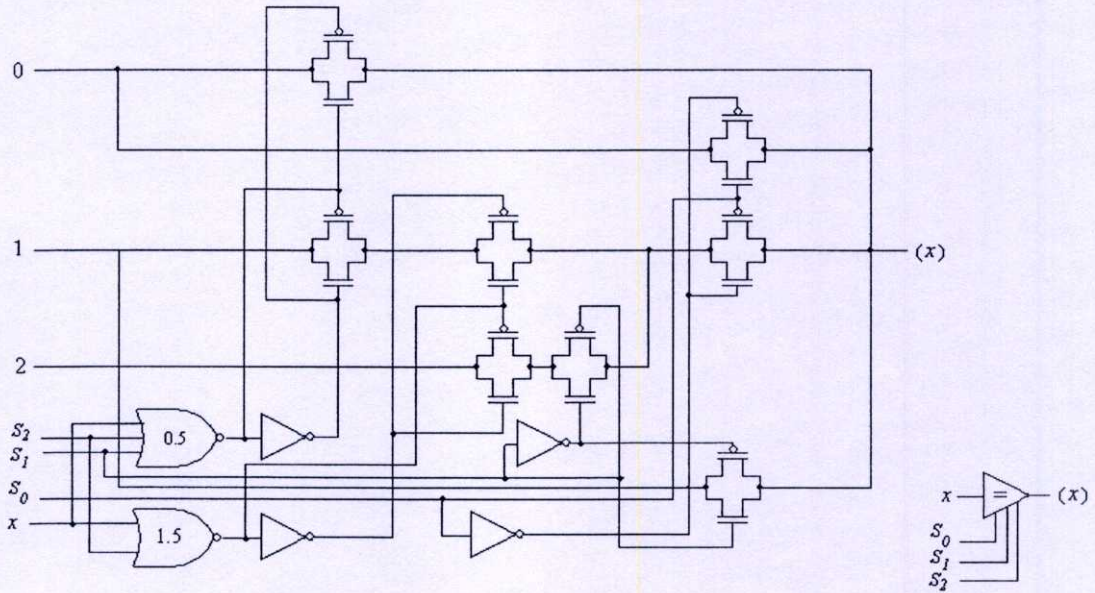


รูปที่ 6.1 วงจร Tri-latch

ตารางที่ 6.1 ตารางความจริงวงจร Tri-latch โดยชุดควบคุม S_i

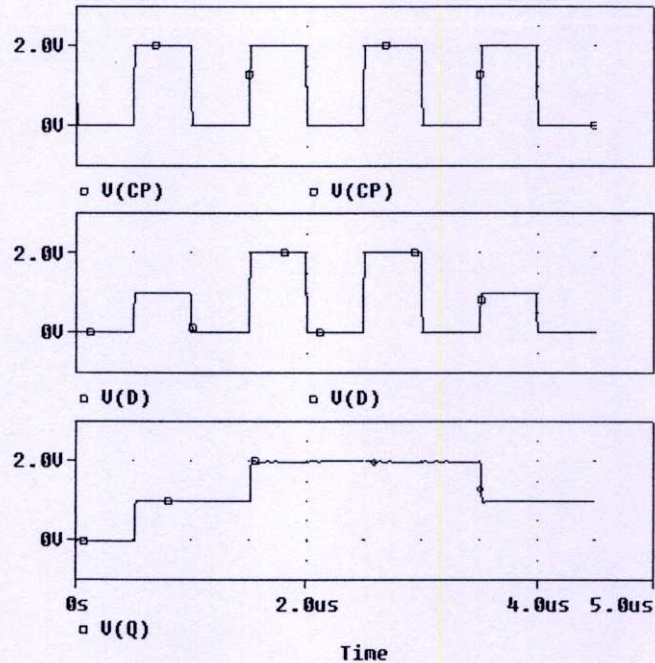
S_0	S_1	S_2	Q_+
0	0	0	Q
0	0	2	0
0	2	0	1
2	0	0	2

จากรูปวงจรที่ 6.1 ซึ่ง CP เป็นสัญญาณควบคุมแบบไบนารี คือ $CP \in \{0,2\}$ ทำหน้าที่เป็นสัญญาณนาฬิกา ดังนั้น t อาจมีค่าเป็น 0.5 หรือ 1.5 และวงจรก็จะประกอบไปด้วยวงจร Threshold-t multiplexer กับวงจร Identity cell (Buffer) ที่ถูกปรับปรุงประสิทธิภาพในการควบคุมเอาต์พุต โดยเพิ่มส่วนควบคุมเข้าไป ซึ่งมีสัญญาณควบคุม $S_i \in \{0,2\}$ ทำหน้าที่กำหนดสถานะเอาต์พุตให้เป็นไปตามที่ต้องการ ดังผลลัพธ์ในตารางที่ 6.1 และวงจร Identity cell ที่เพิ่มชุดควบคุมเข้าไป แสดงได้ดังรูปที่ 6.2



รูปที่ 6.2 Identity cell แบบที่มีส่วนชุดควบคุมเอาต์พุต

จากวงจร Identity cell จะสังเกตได้ว่าการควบคุมการส่งผ่านของวงจรไปสู่เอาต์พุต x นั้นจะมีชุดควบคุมวงจร Threshold-t NOR gate สองตัวคือค่า $t = 0.5$ กับ $t = 1.5$ ดังนั้นถ้าพิจารณาวงจร Threshold-t NOR gate ($t = 1.5$) โดยถ้า $S_2 = 0$ เมื่อใด ค่าทางเอาต์พุตของ Threshold-t NOR gate ($t = 1.5$) นี้จะเป็น $x(1.5)$ และถ้า $S_2 = 2$ ค่าทางเอาต์พุตของ Threshold-t NOR gate ($t = 1.5$) นี้จะเป็น 0 ฉะนั้นในการจำลองการทำงานของวงจร Tri-latch โดยที่วงจร Identity cell นั้นมีชุดควบคุมอยู่ด้วย จะกำหนดให้ S_0, S_1, S_2 มีค่าเท่ากับ 0 เพื่อให้สถานะทางเอาต์พุตแสดงค่าออกมาอย่างปกติ และป้อนสัญญาณ CP กับข้อมูลทางอินพุต D โดย $D \in \{0,1,2\}$ ซึ่งผลลัพธ์ที่ได้จะแสดงออกมาทางเอาต์พุต Q ดังแสดงให้เห็นได้ดังรูปที่ 6.3

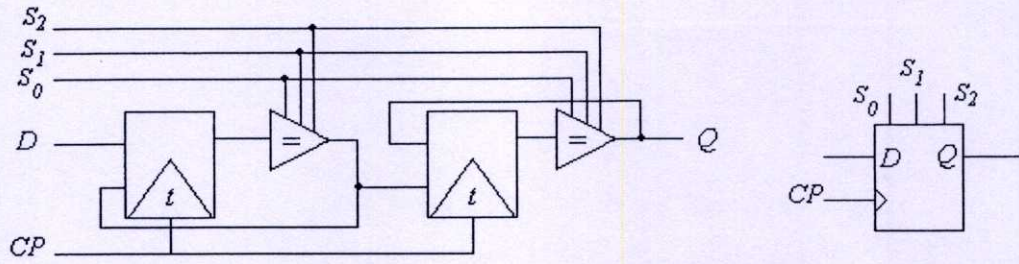


รูปที่ 6.3 ผลการจำลองการทำงานวงจร Tri-latch

จากผลการจำลองการทำงานที่ได้ในรูปที่ 6.3 แสดงให้เห็นว่าค่าทางเอาต์พุตของวงจร Tri-latch จะขึ้นอยู่กับสัญญาณของ CP เพราะเมื่อ CP = 2 เมื่อใด ผลทางเอาต์พุต Q ก็แสดงค่าของข้อมูลที่ป้อนเข้ามาทางอินพุต D ในตอนนั้นออกมาและหลังจากที่ CP เปลี่ยนมาเป็น CP = 0 ผลทางเอาต์พุต Q ก็จะยังคงสถานะค่าเดิมอยู่จนกว่า CP = 2 อีกครั้ง จึงจะแสดงค่าของข้อมูลที่ป้อนเข้ามาทางอินพุต D กล่าวโดยสรุปแล้ววงจร Tri-latch จะแสดงค่าตอบสนองทางอินพุตไปยังเอาต์พุตก็ต่อเมื่อมีสัญญาณควบคุม CP = 2 และถ้า CP = 0 ค่าเอาต์พุตก็จะยังคงสถานะเดิมที่เป็นอยู่

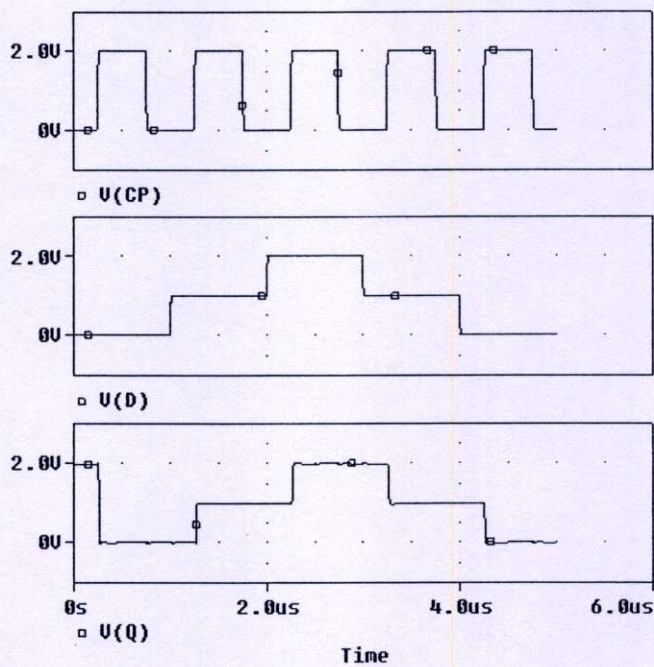
และเมื่อทำการเชื่อมโยงวงจร Tri-latch สองวงจร โดยสลับตำแหน่งการเชื่อมโยงการป้อนกลับและการนำสัญญาณเข้า ดังนั้นจะได้วงจร D-type Tri-flop ซึ่งจะทำกรอ่านข้อมูลเข้าที่ขอบขาขึ้นของสัญญาณนาฬิกา (CP) ดังแสดงในรูปที่ 6.3 ซึ่งสามารถแสดงในรูปฟังก์ชันได้ดังนี้

$$Q_+ = D \quad (6.1)$$



รูปที่ 6.4 วงจร D-type Tri-flop และสัญลักษณ์

ในการจำลองการทำงานของวงจร D-type Tri-flop ได้กำหนดให้ S_0, S_1, S_2 เท่ากับ 0 และป้อนสัญญาณ CP กับข้อมูลเข้าทางอินพุต D ซึ่ง $D \in \{0, 1, 2\}$ ผลที่ได้นั้นแสดงได้ดังรูปที่ 6.5

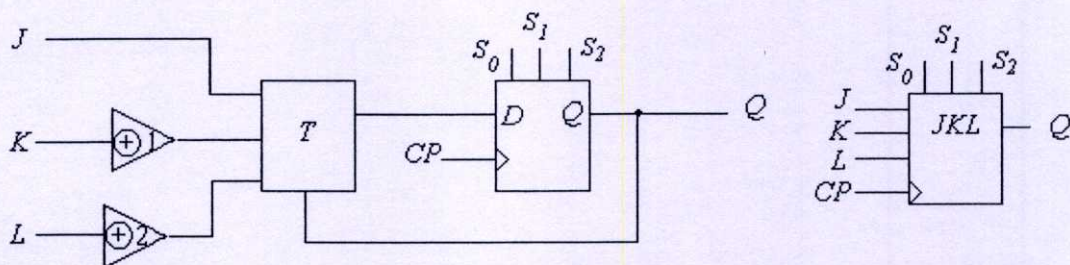


รูปที่ 6.5 ผลการจำลองการทำงานของวงจร D-type Tri-flop

จากผลการจำลองที่ได้ แสดงให้เห็นถึงการทำงานของวงจร D-type Tri-flop ได้ถูกต้อง แต่เมื่อสังเกตจากกราฟทางเอาต์พุต Q แล้ว จะมีการหน่วงเวลาในการทำงานระหว่างทางอินพุตกับเอาต์พุตให้เห็น

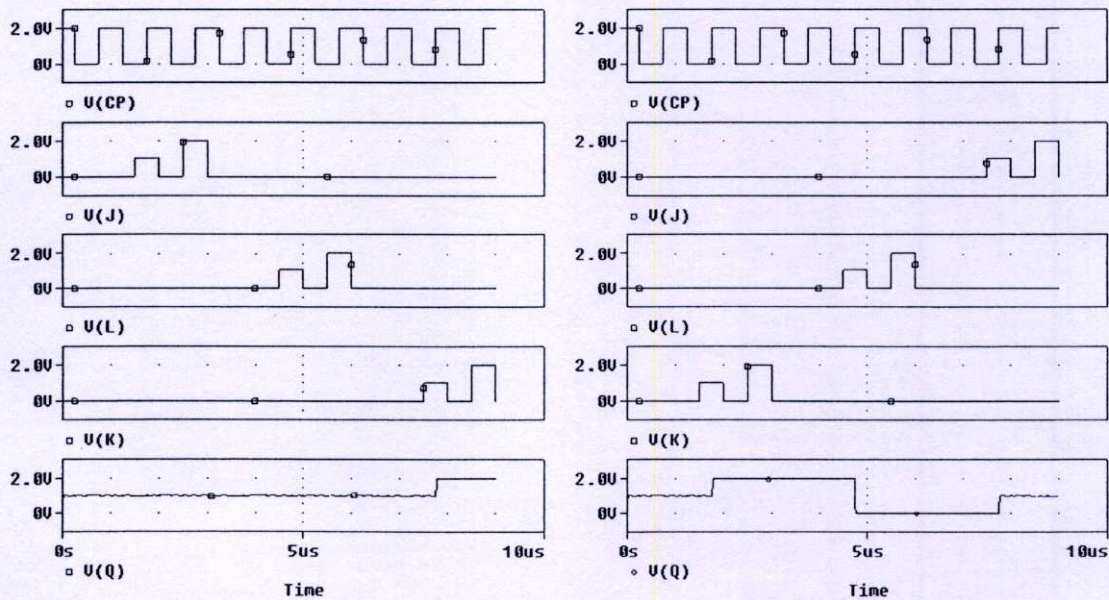
สำหรับวงจร JKL Tri-flop สามารถสร้างขึ้นจากวงจร D-type Tri-flop โดยเพิ่มส่วน T-gate ให้ทำหน้าที่เป็นส่วนควบคุมการนำสัญญาณเข้าและส่วนควบคุมการป้อนกลับ โดยจะเลือกนำสัญญาณ J , $K \oplus 1$ และ $L \oplus 2$ เป็นสัญญาณเข้า ขึ้นกับสถานะลอจิกของเอาต์พุตก่อนหน้านี้ ดังแสดงในรูปที่ 6.6 และฟังก์ชันการทำงานของวงจรนี้คือ

$$Q_+ = J * Q^{0.5} \# (K \oplus 1) * (Q^{0.5} \cdot Q^{1.5}) \# (L \oplus 2) *^{1.5} Q \tag{6.2}$$



รูปที่ 6.6 วงจร JKL-type Tri - flop และสัญลักษณ์

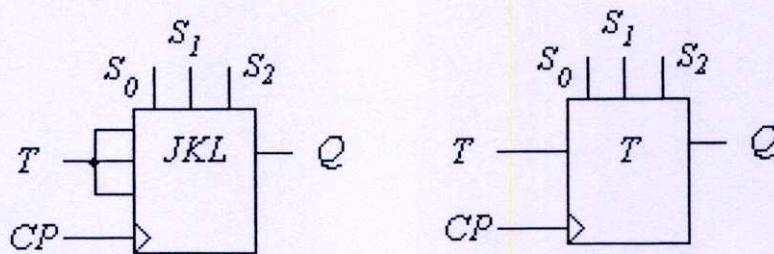
ซึ่งผลการจำลองการทำงานแสดงได้ในรูปที่ 6.7



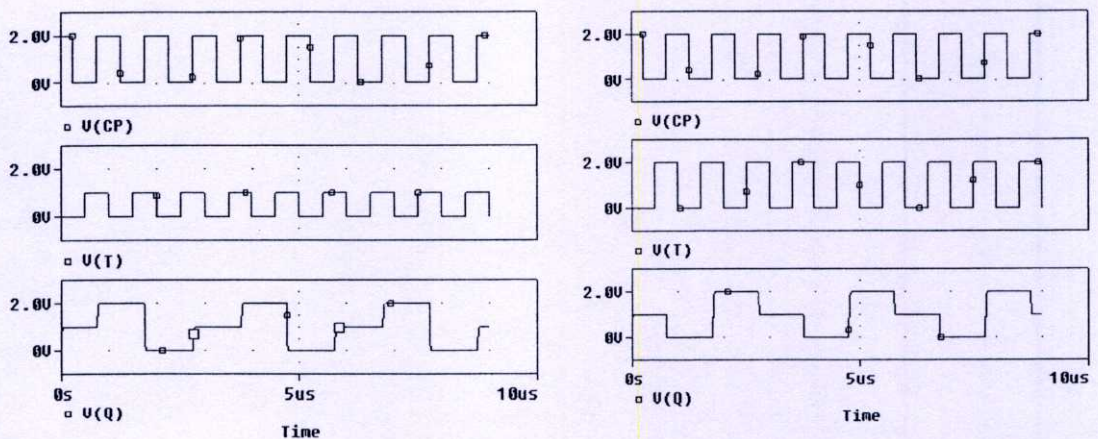
รูปที่ 6.7 ผลการจำลองการทำงานวงจร JKL-type Tri - flop

สำหรับวงจร T-type Tri-flop สามารถสร้างขึ้นจากวงจร JKL Tri-flop โดยเพียงทำการเชื่อมต่อสัญญาณเข้า J, K และ L ทั้งหมดเข้าด้วยกันดังรูปที่ 6.8 ซึ่งจะทำหน้าที่เปลี่ยนสถานะเอาต์พุตให้นับเพิ่มขึ้นหรือลดลง เมื่อสัญญาณอินพุต T เท่ากับ 1 และ 2 ตามลำดับ และคงสถานะเอาต์พุตไว้เมื่อ T เท่ากับ 0 ดังแสดงในผลการจำลองการทำงานในรูปที่ 6.9 ฟังก์ชันแสดงการทำงานในรูปสมการคือ

$$Q_+ = T \oplus Q \quad (6.3)$$



รูปที่ 6.8 วงจร T-type Tri-flop และสัญลักษณ์



รูปที่ 6.9 ผลการจำลองการทำงานวงจร T-type Tri-flop

การทำงานของวงจรทั้งสามสามารถสรุปได้ในตารางที่ 6.2

ตารางที่ 6.2 Excitation Tables ของวงจร Tri - flop แบบต่าง ๆ

D-type	JKL-type			T-type	Present State	Next State
D	J	K	L	T	Q	Q_+
0	0	<i>d</i>	<i>d</i>	0	0	0
1	1	<i>d</i>	<i>d</i>	1	0	1
2	2	<i>d</i>	<i>d</i>	2	0	2
0	<i>d</i>	2	<i>d</i>	2	1	0
1	<i>d</i>	0	<i>d</i>	0	1	1
2	<i>d</i>	1	<i>d</i>	1	1	2
0	<i>d</i>	<i>d</i>	1	1	2	0
1	<i>d</i>	<i>d</i>	2	2	2	1
2	<i>d</i>	<i>d</i>	0	0	2	2

บทที่ 7

สรุปผลการวิเคราะห์

ในการออกแบบวงจรดิจิทัลแบบ Multiple – Valued Logic (MVL) ซึ่งเป็นการออกแบบวงจรให้มีความสามารถในการส่งข้อมูลต่าง ๆ ได้สูง เราไม่สามารถที่จะใช้วิธีการออกแบบวงจรดิจิทัลแบบไบนารีทั่ว ๆ ไป มาทำการออกแบบวงจรได้ เพราะจะสร้างความลำบากอย่างมากในการออกแบบและสร้างขึ้นมา อย่างเช่น การออกแบบวงจรเทอร์นารี ซึ่งต้องกำหนดศักดาเทรสโวลต์ของทรานซิสเตอร์ให้เหมาะสม เพื่อควบคุมให้ Pass – Transistor ทำงานได้อย่างถูกต้อง ถ้าเราใช้วิธีการออกแบบวงจรแบบไบนารี ก็จะเป็นเรื่องยากและทำให้ขั้นตอนกระบวนการในการผลิต เกิดการซับซ้อนและยุ่งยากเป็นอย่างมาก ส่งผลให้ต้นทุนในการผลิตสูงขึ้น

ฉะนั้นจากการออกแบบวงจรเทอร์นารีแบบ CMOS Transmission Gate ซึ่งจะถูกควบคุมด้วยวงจร Threshold – T gate ที่มีการรักษาระดับของศักดาให้เหมาะสมด้วยการควบคุมวงจรแบบ Differential Cascode Voltage Switch (DCVS) จะทำให้เราสามารถออกแบบวงจรได้อย่างสะดวก โดยกำหนดให้ทรานซิสเตอร์ที่ใช้ในวงจรมีค่าศักดาเทรสโวลต์ที่เท่ากัน ซึ่งจะส่งผลให้กระบวนการในการผลิตขึ้นมาใช้งานนั้นง่ายกว่าการออกแบบวงจรแบบไบนารี โดยทั่ว ๆ ไป

จากเหตุผลที่กล่าวมา เราจึงสามารถที่จะออกแบบวงจรเทอร์นารีที่ความเร็วเชื่อถือได้ โดยใช้วิธีการแบบ CMOS Transmission gate มาทำการออกแบบวงจร ซึ่งวงจรดิจิทัลที่ความเร็วเชิยลนั้นเป็นวงจรที่สำคัญในการออกแบบวงจรรวมแบบ Multiple – Value Logic (MVL) และจากการออกแบบตัวอย่างวงจร D-type, JKL-type และ T-type ซึ่งได้ทดสอบวงจรโดยการจำลองการทำงานด้วยโปรแกรม PSPICE ที่ผ่านมานั้น เราสามารถออกแบบวงจรที่มีฟังก์ชันที่สลับซับซ้อนได้อย่างเป็นระบบด้วยเทคโนโลยีการผลิตวงจรรวม CMOS มาตรฐานทั่วไป และการออกแบบวงจรถูกเป็นไปอย่างสะดวก

แต่เนื่องจากการออกแบบตัวอย่างวงจร D-type, JKL-type และ T-type นั้นยังได้วงจรที่มีขนาดใหญ่อยู่และต้องใช้ทรานซิสเตอร์เป็นจำนวนมาก โดยเฉพาะวงจร Threshold-t gate ที่ทำหน้าที่เปลี่ยนสัญญาณเทอร์นารีเป็นสัญญาณควบคุมไบนารีนั้น ต้องใช้ทรานซิสเตอร์ถึง 10 ตัวเพื่อประกอบขึ้นมาเป็นวงจร Threshold-t gate ฉะนั้นถ้าเราสามารถที่จะลดจำนวนของทรานซิสเตอร์ลง

มาได้ ก็จะส่งผลให้วงจรมีขนาดเล็กลงมาและขบวนการในการผลิตก็จะมีขั้นตอนที่ง่ายขึ้น ต้นทุนในการผลิตก็จะลดลงไปอีก

จากแนวทางในการออกแบบวงจรเทอร์นารีซีเควลเชิงลอจิกที่ผ่านมา เราสามารถที่จะลดวงจร Threshold-t gate ให้มีขนาดเล็กกลงมาได้โดยการลดรูปจาก K-map หรือสามารถที่จะนำวงจร CMOS Inverter แบบไบนารีมาใช้แทนวงจร Threshold-t gate ก็ได้ ซึ่งจะช่วยให้วงจรมีขนาดเล็กลงได้

บรรณานุกรม

- [1] H. T. Mouftah and I.B. Jordan, "**Design of Ternary COS/MOS Memory and Sequential Circuit,**" IEEE Trans. Comp., pp. 281-288, 1977.
- [2] X. Wu and F. Prosser, "**Ternary CMOS Sequential Circuit,**" Proc. International Symposium on MVL 18th, pp. 307-313, 1988.
- [3] X. Wu and X. Chen, "**Ternary Flip-Flops with triple-rail output and their application in ternary sequential circuit,**" Scientia Sinica, pp. 1208-1221, 1985.
- [4] O. Ishizaka, "**Synthesis of a Pass Transistor Network Applied to Multi-Valued Logic,**" Proc. IBID, pp. 51-57, 1986.
- [5] J. P. Uyemura, "**Circuit Design for CMOS VLSI,**" Kluwer Academic Publishers, Norwell, MA, 1992.
- [6] J. Yuan and C. Svenson, "**High-speed CMOS Circuit Technique,**" IEEE J. Solid-State Circuit, Vol. 4, No. 1, pp. 62-71, February 1989.
- [7] T. T. Dao, "**Threshold I^2L and its application in binary symmetric function and multivalued logic.**" IEEE J. Solid-State Circuit, pp. 463-475, Oct. 1977.
- [8] C. R. Edwards, " **I^2L threshold circuits for binary-quaternary encoding and decoding,**" Int. J. Electrons., Vol. 44, No. 4, pp. 445-448, 1978.
- [9] J. G. Tront and D. Givone, "**Multiple-Valued Logic gates using MESFETs,**" in Proc. 9th Int. Symp. Multiple-Valued Logic, pp. 175-181, May 1979.
- [10] C. Y. Lee and W. H. Chen, "**Several-valued combinational switching circuit,**" AIEE Trans., Vol. 75, pp. 278-283, Pt. I, July 1956.
- [11] T. Higuchi and M. Kamiyama, "**Ternary logic system based on T-gate,**" Proc. 5th Int. Symp. Multiple-Valued Logic, Bloomington, IN, pp. 290-304, May 1975.
- [12] Z. G. Vranesic, K. C. Smith and A. Druzeta, "**Electronic implementation of multi-valued logic networks,**" Proc. 4th Int. Symp. Multiple-Valued Logic, Morgantown, WV, pp. 59-77, May 1974.
- [13] K. W. Current and D. A. Mow, "**Four valued threshold logic full adder circuit implementation,**" Proc. 8th Symp. Multiple-Valued Logic, pp. 95-100, May 1978.

- [14] K. C. Smith, "**Circuit for multiple-valued logic –A tutorial and appreciation,**" Proc. 6th Int. Symp. Multiple-Valued Logic, pp. 30-43, May 1976.
- [15] E. J. Mc Cluskey, "**Logic design of MOS Ternary logic,**" Proc. 10th Int. Symp. Multiple-Valued Logic, pp. 1-5, June 1980.
- [16] X. Wu, X. Chen and F. Prosser, "**CMOS ternary flip-flops and their applications,**" IEE Proceedings, Vol. 135, No. 5, Pt. E, pp. 266-272, September 1988.
- [17] X. Wu and F. Prosser, "**CMOS ternary logic circuits,**" IEE Proceedings, Vol. 137, No. 1, Pt. G, pp. 21-27, February 1990.

ภาคผนวก

ภาคผนวก ก.

พารามิเตอร์ของมอสทรานซิสเตอร์

ตารางที่ ก.1 ค่าพารามิเตอร์ต่างๆ ของมอสทรานซิสเตอร์ 0.5 μm เทคโนโลยี Level 3 ของ MOSIS

.MODEL PMOS05U PMOS

(LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58
 +JS=0.38E-6 XJ=0.10U RSH=1.81 LD=0.03U +VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00
 +THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2
 +CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631 +CGSO=1.38E-10+ CGDO=1.38E-10 CGBO=3.45E-10
 +KF=1.08E-29 AF=1 WD=0.14U DELTA=0.81 +NFS=0.52E11)

.MODEL NMOS05U NMOS

(LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62
 +JS=1.08E-6 XJ=0.15U RSH=2.73 LD=0.04U +VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00
 +THETA=0.129 PHI=0.905 GAMMA=0.69 +KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10
 +MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10 +CGBO=3.45E-10 KF=3.07E-28 AF=1 WD=0.11U
 +DELTA=0.42 NFS=1.2E11)

ภาคผนวก ข.

ผลงานทางวิชาการที่ได้รับการตีพิมพ์

ผลงานทางวิชาการที่ได้รับการตีพิมพ์

สมปอง วิเศษพานิชกิจ กู้เกียรติ ศิลปศาสตร์ และ กอบชัย เศรษฐาญ “การออกแบบวงจรถอรั้นารีซีแควนเซียลลอจิก” วิศวกรรมลาดกระบัง ปีที่ 26 ฉบับที่ 1 มีนาคม 2552



วิศวกรรมลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang

ปีที่ 26 ฉบับที่ 1

ปีนาคม 2552

วิศวกรรมโทรคมนาคม

1. การออกแบบวงจรเทอร์นาทีซีควอนตัมเชิงลอจิก
สมปอง วิเศษพานิชกิจ กุ้เกียรติ ศิลปศาสตร์ กอบชัย เดชหาญ 1
2. วงจรซีพเปอร์มอดูเลเตอร์โดยใช้วงจรสายพานกระแสแบบแรงดันอินพุตแตกต่างเป็นวงจรพื้นฐาน
มนตรี คำเงิน ชิตินา ศรีพยัคฆ์ กอบชัย เดชหาญ 7
3. วงจรกรองความถี่หลายฟังก์ชันโหมดกระแสที่ปรับค่าพารามิเตอร์ด้วยวิธีทางอิเล็กทรอนิกส์แบบ
สามอินพุตและหนึ่งเอาต์พุต
มนตรี คำเงิน กอบชัย เดชหาญ 13
4. วงจรกรองความถี่หลายรูปแบบโหมดกระแสที่ปรับค่าพารามิเตอร์ด้วยกระแสแบบหนึ่งอินพุตและ
สามเอาต์พุต
มนตรี คำเงิน กอบชัย เดชหาญ 19
5. วงจรรากที่สองอย่างง่ายที่สร้างด้วยเทคโนโลยีซีมอส
มนตรี คำเงิน กอบชัย เดชหาญ 25
6. วงจรกำเนิดสัญญาณไซน์หลายเฟสด้วยโครงสร้างดิฟเฟอเรนเชียลโดยใช้ CCCII
มนตรี สมดุลยกันก จตุพล จวนสง พัทธมน พรหมมี กอบชัย เดชหาญ 31
7. การวิเคราะห์กระบวนการการเข้าถึงหลายสล็อตแบบแรมดอมค่า p-persistent สำหรับโครงข่าย
DOCSIS
ธัญวรัตน์ ภาวะโสภณ สุวิมล สิทธิชีวภาค 37

วิศวกรรมไฟฟ้ากำลัง

8. การออกแบบและวิเคราะห์วงจรจำลองเซลล์แสงอาทิตย์
เอก เอื้อตระการวิวัฒน์ ชัยวุฒ ชูรัักษ์ วิจิตร กิณเรศ 42

วิศวกรรมเคมี

9. การพัฒนากระบวนการแบบต่อเนื่องเพื่อนำกลับสารเคมีที่ใช้ในการผลิตน้ำยางข้นจากทางน้ำยาง
ชัยวุฒ, สายแสงธรรม ดวงกมล ณ ระนอง สุรพิชญ ลอยกุลนันท์ จวีวรรณ คงแก้ว 48

วิศวกรรมเครื่องกล

10. การศึกษาแนวทางปรับปรุงศักยภาพของการประยุกต์กล้องเว็บแคมในการวัดระยะเชิงภาพ
เทอด อักษรทอง ฐิตะพล หุยนันท์ 54

วิศวกรรมอุตสาหกรรม

11. การออกแบบการทดลองแบบแฟคตอเรียล เพื่อหาสภาวะที่เหมาะสมสำหรับการเคลือบแลกเกอร์
บนแผ่นเหล็กเคลือบตีบุก
ทศพล เกียรติเจริญผล 60

การออกแบบวงจรเทอร์นารีซีควนเชียลลอจิก

Ternary Sequential Logic Design

สมปอง วิเศษพานิชกิจ กุ๊เกียรติ ศิลปศาสตร์ กอบชัย เฉลยหาญ

ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรเทอร์นารีซีควนเชียลลอจิกด้วย CMOS Transmission Gate โดยออกแบบส่วนควบคุมซึ่งทำหน้าที่แปลงสัญญาณที่มีสามระดับ (Ternary Logic) เป็นสัญญาณแบบไบนารี (Binary Logic) ที่สร้างขึ้นจากวงจร Differential Cascade Voltage Switch (DCVS) ทำให้วงจรเทอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรรวมดิจิทัลทั่วไปและง่ายต่อการควบคุม ช่วยให้การออกแบบวงจรเป็นไปอย่างเป็นระบบและด้วยการป้อนกลับสัญญาณแบบเทอร์นารีสามารถสร้างวงจรรีซีควนเชียลลอจิกแบบต่าง ๆ โดยในบทความนี้เสนอตัวอย่างการออกแบบวงจร Tri-Flop ต่าง ๆ เช่น D-type, JKL-type และ T-type ที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) การทดสอบวงจรจะทำโดยโปรแกรมจำลอง PSPICE ซึ่งในบทความนี้จะใช้แบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.5 μm เพื่อแสดงการทำงานของวงจรรีซีควนเชียลลอจิกที่ออกแบบด้วยเทคนิคที่นำเสนอ

คำสำคัญ: เทอร์นารีลอจิก, ลอจิกดิจิทัล, ซีควนเชียลลอจิก

Abstract

This paper proposes the ternary sequential logic circuit design based on CMOS transmission gate with controlling sub-circuit that convert the ternary signal to binary signal and constructed by Differential Cascode Voltage Switch circuit (DCVS). Therefore, the ternary logic which is designed by using the proposed technique can be implemented with normal and well controlled CMOS fabrication process. This leads to the systematic design, and the ternary feedback, the sequential logic can be easily designed. In this paper, several tri-flop circuits are presented, such as, D-type, JKL-type and T-type which are essential cells for multiple-valued logic system. The simulation is performed by PSPICE program simulator with the MOS transistor model from MOSIC technology 0.5 μm . All results confirm the success of the proposed technique.

Keywords: Ternary Logic, Logic Design, Sequential Logic, Tri-Flop, Multiple-Valued Logic

1. บทนำ

อุปสรรคอย่างหนึ่งสำหรับการออกแบบวงจรรวมแบบดิจิทัล คือจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจร และการเชื่อมโยงสู่ภายนอก ทั้งนี้เนื่องจากจำนวนข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อรองรับกับความต้องการของผู้ใช้งาน แต่ด้วยข้อจำกัดของวงจรรวมแบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ เท่านั้น ดังนั้น จึงมี

ความต้องการในการออกแบบและใช้งานวงจรรีซีควนเชียลแบบ Multiple-Valued Logic (MVL) ซึ่งมีความหนาแน่นปริมาณข้อมูลข่าวสาร (Information Density) ภายในวงจร และความสามารถในการส่งข้อมูลข่าวสาร (Information-Carrying) สูงกว่าวงจรรีซีควนเชียลแบบไบนารีทั่วไป แต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรทำได้ลำบาก และไม่สามารถนำเทคนิคการออกแบบวงจรรีซีควนเชียลแบบไบนารีมาใช้ได้

เช่นการออกแบบวงจรเทอร์นารีให้มีรูปวงจรซีมอสและเพิ่มอุปกรณ์คือ ตัวต้านทานค่าสูง (~12kΩ) ที่โหนดเอาต์พุต [1] โดยทำหน้าที่จำกัดกระแสลัดวงจรเมื่อสถานะสัญญาณมีลอจิกเป็น '1' ทั้งนี้เพื่อลดกำลังงานสูญเสียภายในวงจร หรือการออกแบบวงจร MVL ด้วย Pass-Transistor Logic [2-4] อย่างไรก็ตาม การสร้างวงจรนี้จำเป็นต้องกำหนดศักดาเทรตโวลต์ของทรานซิสเตอร์อย่างเหมาะสมเพื่อควบคุมให้ Pass-Transistor ทำงานได้อย่างถูกต้อง ซึ่งเป็นเรื่องยากในขั้นตอนกระบวนการผลิตและส่งอาจส่งผลให้มีราคาแพง บทความนี้นำเสนอการออกแบบวงจรเทอร์นารีแบบ CMOS Transmission Gate ซึ่งถูกควบคุมด้วยวงจร Threshold-T gate ซึ่งให้เอาต์พุตเป็นสัญญาณไบนารีที่ถูกปรับขนาดให้เหมาะสมด้วยวงจร Differential Cascade Voltage Switch (DCVS) ดังนั้นสามารถออกแบบให้ทรานซิสเตอร์ที่ใช้ในวงจรจึงมีค่าศักดาเทรตโวลต์เท่ากัน ซึ่งง่ายต่อการผลิต ในหัวข้อที่ 2 จะกล่าวถึงหลักการออกแบบวงจรเทอร์นารีโดยใช้ CMOS Transmission Gate ส่วนหัวข้อที่ 3 จะกล่าวถึงการออกแบบวงจรเทอร์นารีซีเควนเซียล ซึ่งประกอบด้วยวงจร D-type Tri-Flop, JKL-type Tri-Flop และ T-type Tri-Flop การทดสอบวงจรใช้โปรแกรมจำลอง PSPICE โดยแบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.5 μm (ภาคผนวก) เพื่อแสดงการทำงานของวงจรที่ออกแบบด้วยเทคนิคที่นำเสนอ โดยกำหนดให้ทรานซิสเตอร์ทุกตัวมีขนาดเท่ากันคือ NMOS มีขนาดความกว้างต่อความยาวช่องทางเดินกระแส (W/L) เท่ากับ 4 μm / 0.5 μm และ PMOS มีขนาดเท่ากับ 8 μm / 0.5 μm

2. การออกแบบวงจรเทอร์นารีด้วย

Transmission Gate

เนื่องจากวงจรเทอร์นารีลอจิกประกอบด้วยลอจิก 3 ค่าคือ 0, 1 และ 2 แทนค่าความแตกต่างของสถานะทางไฟฟ้าซึ่งอาจอยู่ในรูปของค่าความต่างศักย์หรือขนาดกระแสไฟฟ้า โดยสมมติให้วงจรเทอร์นารี

ลอจิกมีฟังก์ชัน $f(x)$ ที่มีอินพุต x และมีเอาต์พุต C_i โดยที่ $x, C_i \in \{0, 1, 2\}$ ดังนั้น

$$f(x) = C_0 * (x^{0.5}) \# C_1 * (x^{0.5} \cdot x^{1.5}) \# C_2 * (x^{1.5}) \quad (1)$$

โดยการดำเนินการ

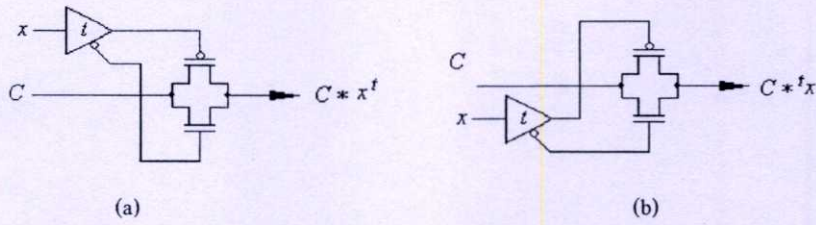
$$C_i * x' = \begin{cases} \phi & (\text{if } x > t) \\ C_i & (\text{if } x < t) \end{cases} \quad (2)$$

และ

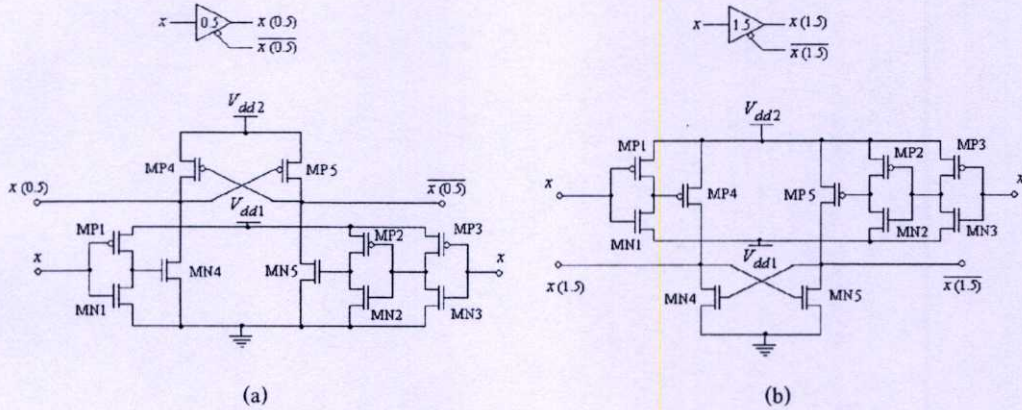
$$C_i * 'x = \begin{cases} C_i & (\text{if } x > t) \\ \phi & (\text{if } x < t) \end{cases} \quad (3)$$

โดยที่ ϕ หมายถึง เซตว่าง (ไม่มีเอาต์พุตใดๆ) กำหนดให้ t เป็นค่าเทรตโวลต์ และ $t \in \{0.5, 1.5\}$ สังเกตว่า x' มีสถานะเพียงสองสถานะแบบไบนารีคือเป็นจริงเมื่อ $x < t$ และเป็นเท็จเมื่อ $x > t$ ตามลำดับ ในทางกลับกัน $'x$ จะให้ค่าเป็นจริง $x > t$ และเป็นเท็จเมื่อ $x < t$ ดังนั้นการดำเนินการ $C_i * x'$ และ $C_i * 'x$ ซึ่งสามารถสร้างด้วยวงจร Transmission Gate แบบ CMOS โดยอาศัย x' และ $'x$ เป็นสัญญาณควบคุมดังแสดงในรูปที่ 1 โดยวงจร Threshold-T Gate (x' และ $'x$) สามารถสร้างขึ้นจากวงจร DVCS Inverter ร่วมกับวงจร CMOS Inverter ดังแสดงในรูปที่ 2

การทำงานของวงจร Threshold-T Gate เมื่อ $t = 0.5$ (รูปที่ 2 (a)) สัญญาณอินพุต x ซึ่งมีค่าได้ 3 สถานะ (0, 1 และ 2) จะถูกแปลงให้มีสถานะเหลือเพียงสองสถานะ (0, 1) ด้วย CMOS Inverter (MP1-MN1, MP2-MN2 และ MP3-MN3) โดย $x > (=0.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) อีกครั้งด้วยวงจร DVCS Inverter (MN4-5, MP4-5) จากการป้อนกลับภายในเพื่อให้ได้ระดับศักดาเหมาะกับการควบคุมวงจร Transmission Gate ต่อไป สำหรับวงจร Threshold-T Gate เมื่อ $t = 1.5$ (รูปที่ 2(b)) การทำงานมีลักษณะเช่นเดียวกันคือสัญญาณ x จะถูกแปลงให้มีเพียงสองสถานะคือ (1, 2) ด้วย CMOS Inverter โดยสัญญาณที่มีค่า $x < (=1.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) ตารางที่ 1 แสดงตารางความจริงของวงจร Threshold-T Gate



รูปที่ 1 วงจร Transmission Gate และ T-Threshold Gate สำหรับตัวดำเนินการ (a) $C * x^t$ และ (b) $C * t^x$



รูปที่ 2 วงจร Threshold-T Gate แบบ DCVS (a) $t = 0.5$ และ (b) $t = 1.5$

ตารางที่ 1 ตารางความจริงวงจร Threshold-T Gate

x	$x(0.5)$	$\overline{x(0.5)}$	$x(1.5)$	$\overline{x(0.5)}$
0	0	2	0	2
1	2	0	0	2
2	2	0	2	0

ดังนั้นวงจรเทอร์นารีลอจิก T-gate ซึ่งมีลอจิกฟังก์ชันดังสมการที่ (1) และมีเอาต์พุต y_i สามารถสร้างขึ้นด้วยวงจรของ Transmission Gate และ Threshold-t Gate ดังจะแสดงได้ในรูปที่ 3 ซึ่งจะกำหนดให้ไม่มีสมการคือ $x \oplus i = \text{mod}_3(x+i)$ ดังนั้น

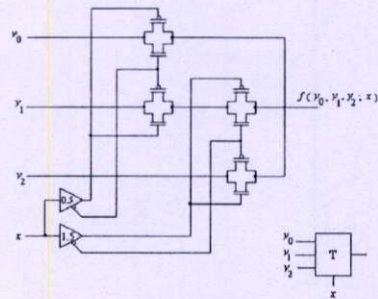
$$x \oplus 1 = 1 * x^{0.5} \# 2 * (x^{0.5} \cdot x^{1.5}) \# 0 * x^{1.5} \quad (4)$$

$$x \oplus 2 = 2 * x^{0.5} \# 0 * (x^{0.5} \cdot x^{1.5}) \# 1 * x^{1.5} \quad (5)$$

และกำหนดให้วงจร Identity Cell (Buffer) มีฟังก์ชัน

$$x = 0 * x^{0.5} \# 1 * (x^{0.5} \cdot x^{1.5}) \# 2 * x^{1.5} \quad (6)$$

ดังนั้นวงจรเทอร์นารีนี้สามารถสร้างขึ้นเพื่อกำหนดค่าเอาต์พุต y_i ให้สอดคล้องกับอินพุต x , ดังตารางที่ 2



รูปที่ 3 วงจร T-Gate

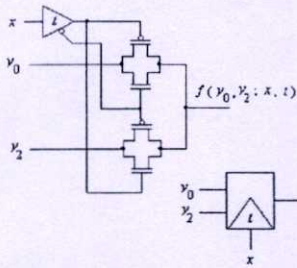
ตารางที่ 2 ตารางความจริงวงจร T-Gate, $x \oplus 1$ และ $x \oplus 2$

x	T-gate	$x \oplus 1$	$x \oplus 2$	identity cell
0	y_1	1	2	0
1	y_2	2	0	1
2	y_3	0	1	2

นอกจากนี้สำหรับวงจร Threshold-T multiplexer ซึ่งมีฟังก์ชัน

$$f(x) = y_0 * (x^{0.5}) \# y_2 * (x^{0.5} x) \quad (7)$$

เมื่อสร้างขึ้นด้วยวงจร Transmission Gate แสดงได้ในรูปที่ 4



รูปที่ 4 วงจร Threshold-T Multiplexer

สำหรับวงจรเทอร์นารีแบบสองอินพุต (x,y) ซึ่งมีฟังก์ชันในสมการที่ (8) สามารถสร้างขึ้นได้ด้วยวิธีการเดียวกัน

$$\begin{aligned}
 f(x, y) = & C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5} \cdot y^{1.5}) \# \\
 & C_2 * (x^{0.5} \cdot y^{1.5}) \# C_3 * (x^{1.5} \cdot y^{0.5}) \# \\
 & C_4 * (x^{1.5} \cdot y^{0.5}) \# C_5 * (x^{1.5} \cdot y^{1.5}) \# \\
 & C_6 * (x^{1.5} \cdot y^{1.5}) \# C_7 * (x^{1.5} \cdot y^{1.5}) \# \\
 & C_8 * (x^{1.5} \cdot y^{1.5}) \#
 \end{aligned}
 \tag{8}$$

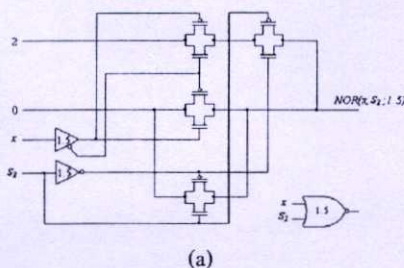
เช่นวงจร Threshold-t NOR-2 inputs เมื่อทำการลดรูปสมการด้วย K-map ทำให้ได้ฟังก์ชันลดรูปในสมการที่ (9) เมื่อกำหนดให้ $t = 1.5$

$$NOR(x, y; 1.5) = 2 * (x^{0.5} \cdot y^{0.5}) \# 0 * (x^{1.5}) \# 0 * (y^{1.5})
 \tag{9}$$

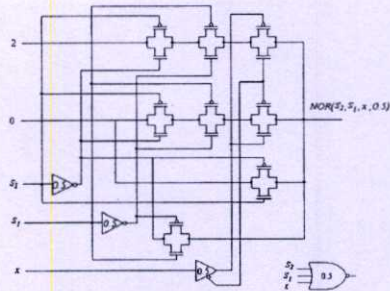
และในกรณีที่มีอินพุตมากกว่า 2 เช่นกรณี วงจร threshold-t NOR-3 inputs ซึ่งมีฟังก์ชันหลังลดรูปด้วย K-map ดังแสดงในสมการที่ (10) เมื่อกำหนดให้ $t = 0.5$

$$NOR(x, y, z; 0.5) = 2 * (x^{0.5} \cdot y^{0.5} \cdot z^{0.5}) \# 0 * (x^{0.5}) \# 0 * (y^{0.5}) \# 0 * (z^{0.5})
 \tag{10}$$

และทั้งสองวงจรสามารถแสดงวงจรได้ดังรูปที่ 5(a) และ 5(b) ตามลำดับ ผลการจำลองการทำงานด้วย PSPICE แสดงในรูปที่ 6



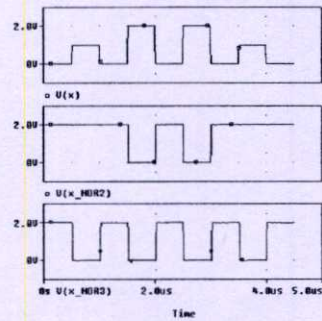
(a)



(b)

รูปที่ 5 (a) วงจร Threshold-T NOR-3 inputs เมื่อ $t = 1.5$

(b) Threshold-T NOR-3 inputs เมื่อ $t = 0.5$



รูปที่ 6 ผลการจำลองการทำงานของวงจร Threshold-T NOR-3 inputs เมื่อ $t = 1.5$ และ Threshold-T NOR-3 inputs เมื่อ $t = 0.5$

3. การออกแบบวงจรเทอร์นารีซีเควนเขียนลอจิก

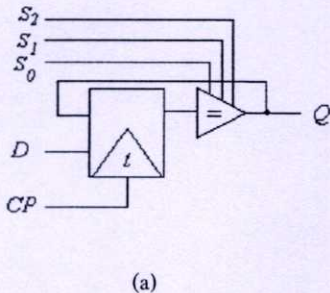
วงจรดิจิทัลซีเควนเขียนประกอบด้วยส่วนสำคัญสองส่วนคือ ส่วนประมวลผลทางลอจิก และส่วนป้อนกลับ วงจรดิจิทัลซีเควนเขียนที่ง่ายที่สุดคือ วงจรประเภทหน่วยความจำ ซึ่งทำหน้าที่เก็บสถานะทางลอจิก โดยอาศัยการป้อนกลับ และการเชื่อมต่อในส่วนป้อนกลับจะถูกแยกออกเมื่อมีสัญญาณใหม่ถูกส่งเข้ามา รูปที่ 7(a) แสดงวงจร Tri-Latch โดยมีลอจิกฟังก์ชันคือ

$$Q_+ = Q * CP' \# D *' CP
 \tag{11}$$

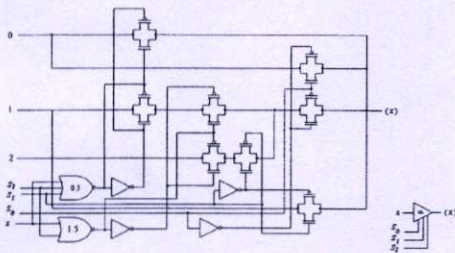
โดย CP เป็นสัญญาณควบคุมแบบไบนารี คือ $CP \in \{0,2\}$ ทำหน้าที่เป็นสัญญาณนาฬิกา ดังนั้น t อาจมีค่าเป็น 0.5 หรือ 1.5 โดยประกอบด้วยวงจร Threshold-T Multiplexer และ วงจร Identity Cell (Buffer) ที่ถูกปรับปรุงโดยเพิ่มส่วนควบคุม ซึ่งมีสัญญาณควบคุม $S_i \in \{0,2\}$ ทำหน้าที่กำหนดสถานะเอาต์พุตให้เป็นไปตามตารางที่ 3 ซึ่งแสดงได้ในรูป 7(b)

ตารางที่ 3 ตารางความจริงวงจร Tri-Latch

S_0	S_1	S_2	Q_+
0	0	0	Q
0	0	2	0
0	2	0	1
2	0	0	2

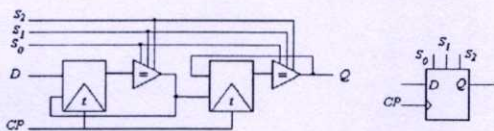


(a)



(b)

รูปที่ 7 (a) วงจร Tri-Latch (b) Identity Cell แบบที่มีส่วนควบคุม

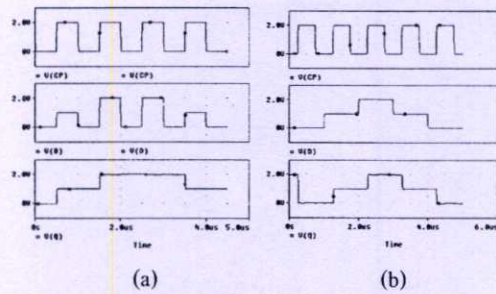


รูปที่ 8 วงจร D-type Tri-Flop และสัญลักษณ์

และเมื่อทำการเชื่อมโยงวงจร Tri-Latch สองวงจร โดยสลับตำแหน่งการเชื่อมโยงการป้อนกลับและการนำสัญญาณเข้า ดังนั้นจะได้วงจร D-type Tri-Flop ซึ่งจะทำให้การอ่านข้อมูลเข้าที่ขอบขาขึ้นของสัญญาณนาฬิกา (CP) ดังแสดงในรูปที่ 8 ซึ่งสามารถแสดงในรูปฟังก์ชันได้ดังนี้

$$Q_+ = D \tag{12}$$

ผลการจำลองการทำงานเปรียบเทียบระหว่างวงจร Tri-Latch และ D-type Tri-Flop แสดงในรูปที่ 9



(a)

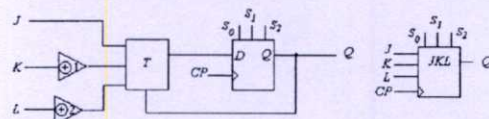
(b)

รูปที่ 9 ผลการจำลองการทำงาน (a) วงจร Tri-Latch (b) D-type Tri-Flop

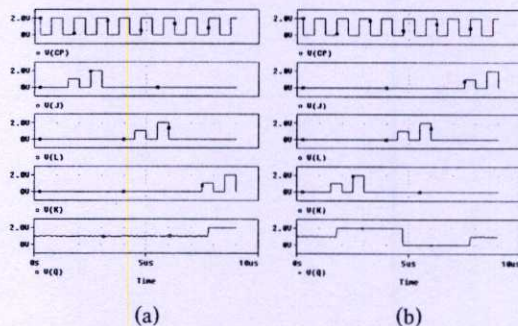
สำหรับวงจร JKL Tri-flop สามารถสร้างขึ้นจากวงจร D-type Tri-Flop โดยเพิ่มส่วน T-Gate ทำหน้าที่เป็นส่วนควบคุมการนำสัญญาณเข้าและส่วนควบคุมการป้อนกลับ โดยจะเลือกนำสัญญาณ $J \oplus 1$ และ $L \oplus 2$ เข้าขึ้นกับสถานะลอจิกของเอาต์พุตก่อนหน้า ดังแสดงในรูปที่ 10 ฟังก์ชันการทำงานของวงจรนี้คือ

$$Q_+ = J * Q^{0.5} \# (K \oplus 1) * (Q^{0.5} Q^{1.5}) \# (L \oplus 2) * 1.5 Q \tag{13}$$

ซึ่งผลการจำลองการทำงานแสดงได้ในรูปที่ 11



รูปที่ 10 วงจร JKL-type tri-flop และสัญลักษณ์



(a)

(b)

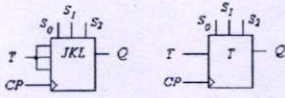
รูปที่ 11 ผลการจำลองการทำงานวงจร JKL-type tri-flop

สำหรับวงจร T-type tri-flop สามารถสร้างขึ้นจากวงจร JKL tri-flop โดยเพียงทำการเชื่อมโยงสัญญาณเข้า J K และ L ทั้งหมดเข้าด้วยกันดังรูป 12 ซึ่งจะทำหน้าที่เปลี่ยนสถานะเอาต์พุตให้นับเพิ่มขึ้นหรือลดลง เมื่อสัญญาณอินพุต T เท่ากับ 1 และ 2 ตามลำดับ และคงสถานะเอาต์พุตไว้เมื่อ T เท่ากับ 0 ดังแสดงในผลการ

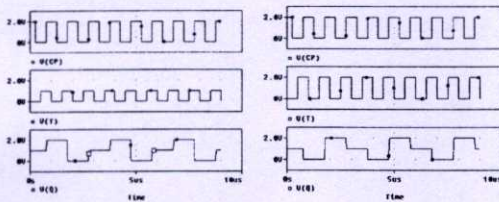
จำลองการทำงานในรูปที่ 13 ฟังก์ชันแสดงการทำงานในรูปสมการคือ

$$Q_+ = T \oplus Q \quad (14)$$

การทำงานของวงจรทั้งสามสามารถสรุปได้ในตารางที่ 4



รูปที่ 12 วงจร JKL-type tri-flop และสัญลักษณ์



รูปที่ 13 ผลการจำลองการทำงานวงจร T-type Tri-Flop

ตารางที่ 4 Excitation Tables ของวงจรTri-Flop แบบต่าง ๆ

D-type	JKL-type			T-type	Present state	Next state
<i>D</i>	<i>J</i>	<i>K</i>	<i>L</i>	<i>T</i>	<i>Q</i>	<i>Q₊</i>
0	0	d	d	0	0	0
1	1	d	d	1	0	1
2	2	d	d	2	0	2
0	d	2	d	2	1	0
1	d	0	d	0	1	1
2	d	1	d	1	1	2
0	d	d	1	1	2	0
1	d	d	2	2	2	1
2	d	d	0	0	2	2

4.สรุป

การออกแบบวงจรเทอนารีที่นำเสนอในบทความนี้ สามารถสร้างวงจรที่มีฟังก์ชันสลับซับซ้อนอย่างเป็นระบบด้วยเทคโนโลยีการผลิตวงจรรวม CMOS มาตรฐานทั่วไป และสามารถสร้างรวมเข้ากับวงจรดิจิทัลอื่น ๆ ที่ได้ออกแบบไว้ได้ดีแล้ว อย่างไรก็ตามด้วยความพยายามให้การออกแบบเป็นไปอย่างเป็นระบบจึงทำให้วงจรมีขนาดใหญ่และใช้ทรานซิสเตอร์จำนวนมาก โดยเฉพาะวงจร Threshold-T Gate ซึ่งใช้ในการเปลี่ยนสัญญาณเทอนารีเป็นสัญญาณควบคุมแบบไบนารี โดยหากการลดรูปจาก

K-map สามารถกำหนดแน่นอนเป็นสัญญาณไบนารี วงจร Threshold-T Gate สามารถแทนที่ได้ด้วยวงจร CMOS Inverter แบบไบนารี ซึ่งช่วยให้วงจรมีขนาดเล็กกลงได้

5. เอกสารอ้างอิง

- [1] H.T. Mouftah and I.B. Jordan, "Design of Ternary COS/MOS Memory and Sequential Circuit," IEEE Trans. Comp., pp. 281-288, 1977
- [2] X. Wu and F. Prosses, "Ternary CMOS Sequential Circuit," Proc. International Symposium on MVL 18th, pp. 307-313, 1988
- [3] X. Wu and X. Chen, "Ternary Flip-Flops with triple-rail output and their application in ternary sequential circuit," Scientia Sinica, pp. 1208-1221, 1985
- [4] O. Ishizaka, "Synthesis of a Pass Transistor Network Applied to Multi-Valued Logic," Proc. IBID, pp. 51-57, 1986

ภาคผนวก

ตารางที่ 6 SPICE พารามิเตอร์ของมอสทรานซิสเตอร์

MODEL PMOS05U PMOS
(LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58
+JS=0.38E-6 XJ=0.10U RSH=1.81 LD=0.03U
+VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00
+THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2
+CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631
+CGSO=1.38E-10+ CGDO=1.38E-10 CGBO=3.45E-10
+KF=1.08E-29 AF=1 WD=0.14U DELTA=0.81
+NFS=0.52E11)
MODEL NMOS05U NMOS
(LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62
+JS=1.08E-6 XJ=0.15U RSH=2.73 LD=0.04U
+VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00
+THETA=0.129 PHI=0.905 GAMMA=0.69
+KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10
+MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10
+CGBO=3.45E-10 KF=3.07E-28 AF=1 WD=0.11U
+DELTA=0.42 NFS=1.2E11)

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายกู้เกียรติ ศิลปศาสตร์
วัน เดือน ปีเกิด	13 ธันวาคม 2517 ที่กรุงเทพมหานคร
ที่อยู่	516/35 หมู่ที่ 4 ต.สำโรงเหนือ อ.เมือง จ. สมุทรปราการ 10270 โทรศัพท์ 02-7572021
ประวัติการศึกษา	อุตสาหกรรมศาสตรบัณฑิต สาขาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเกษมบัณฑิต
ประสบการณ์ในการทำงาน	
พ.ศ. 2535	ผู้ช่วยอาจารย์ แผนกอิเล็กทรอนิกส์ โรงเรียนเทคโนโลยีกรุงเทพ
พ.ศ. 2536	ช่างซ่อมคอมพิวเตอร์ บริษัท บีเอ็น คอมพิวเตอร์ จำกัด
พ.ศ. 2537	หัวหน้าช่างคอมพิวเตอร์ บริษัท เจดีพี คอมพิวเตอร์ จำกัด
พ.ศ. 2539	นายช่างระดับ 3 หน่วยซ่อมบำรุง กองธุรการ ฝ่ายการแพทย์ โรงงานยาสูบ กระทรวงการคลัง
พ.ศ. 2551-ปัจจุบัน	วิศวกรขาย ฝ่ายขาย บริษัท จอยแม็คซ์ อินเตอร์เนชั่นเนล จำกัด