

วิทยานิพนธ์ที่รับชำระค่าวิทยานิพนธ์ได้มอบพิมพ์ออกจำหน่ายที่ ไร่เหลืองตำนาน
ณ กิ่งอำเภอเมืองเก่า อำเภอเมือง จังหวัดสุพรรณบุรี

LOW-VOLTAGE LOW-POWER CMOS VARIABLE GAIN AMPLIFIERS
FOR HIGH SPEED APPLICATIONS

ศิริพร ศักดิ์พรหม
SERAPORN SAKPHROM

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของงานศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-M-040-056

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรรขยายสัญญาณที่ปรับอัตราขยายได้แบบซิมอสทำงานที่ไฟเลี้ยงต่ำและ
กินกำลังงานต่ำสำหรับการใช้งานที่ความเร็วสูง

LOW-VOLTAGE LOW-POWER CMOS VARIABLE GAIN AMPLIFIERS
FOR HIGH SPEED APPLICATIONS



T105302

สิราพร สักคี่พรหม

SIRAPORN SAKPHROM

เลขหมู่.....
เลขทะเบียน.....105302
วัน,เดือน,ปี.....1.8.๒๕๕2



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2552

KMITL-2009-EN-M-040-056

**LOW-VOLTAGE LOW-POWER CMOS VARIABLE GAIN AMPLIFIERS
FOR HIGH SPEED APPLICATIONS**

SIRAPORN SAKPHROM

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRONICS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2009

KMITL-2009-EN-M-040-056

COPYRIGHT 2009

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรขยายสัญญาณที่ปรับอัตราขยายได้แบบซิมอสทำงานที่ไฟเลี้ยงต่ำและกินกำลังงานต่ำสำหรับการใช้งานที่ความเร็วสูง

Thesis Title Low-Voltage Low-Power CMOS Variable Gain Amplifiers for High Speed Applications

นักศึกษา นางสาวศิราพร ศักดิ์พรหม

รหัสประจำตัว 49060417

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์

อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.อภิรัตน์ ธนชยานนท์

หมายเลขวิทยานิพนธ์ KMITL-2009-EN-M-040-056

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ศ.ดร.วัลลภ	สุระก่าพลธร	
รศ.ดร.วรากร	เกษมสุวรรณ	
ผศ.ดร.จิตรเกษม	งามนิล	
ดร.กสิน	วิเชียรชม	
รศ.ดร.อภิรัตน์	ธนชยานนท์	

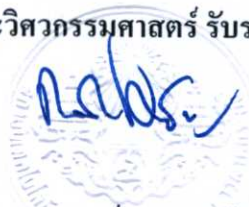
วัน/เดือน/ปี ที่สอบ วันพุธที่ 20 พฤษภาคม พ.ศ. 2552 เวลา 11.30-13.30 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 1

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 20 พฤษภาคม พ.ศ. 2552

หัวข้อวิทยานิพนธ์	วงจรรขยายสัญญาณที่ปรับอัตราขยายได้แบบซิมอสทำงานที่ไฟเลี้ยงต่ำและกินกำลังงานต่ำสำหรับการใช้งานที่ความเร็วสูง
นักศึกษา	นางสาวศิราพร ศักดิ์พรหม
รหัสประจำตัว	49060417
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2552
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.อภิรักษ์ ธนชยานนท์

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ได้เสนอการออกแบบวงจรรขยายสัญญาณที่ปรับอัตราขยายได้ที่สามารถปรับอัตราขยายได้มากกว่า 50dB และมีแบนด์วิธสูงในระดับจิกกะเฮิร์ตเพื่อให้สามารถนำไปใช้งานที่ความเร็วสูง เช่นการใช้ในระบบฮาร์ดดิสก์ไคร์ฟ ระบบไร้สาย เป็นต้น และวงจรรยังคงสามารถทำงานได้ภายใต้แรงดันไฟเลี้ยงต่ำกว่า 1.8 โวลต์ กินกำลังต่ำและมีความเป็นเชิงเส้นสูง ซึ่งในการออกแบบใช้โปรแกรม Spectre เทคโนโลยี 0.18 ไมโครเมตร

Thesis Title	Low-voltage Low-power CMOS Variable Gain Amplifiers for High Speed Applications
Student	Miss. Siraporn Sakphrom
Student ID.	49060417
Degree	Master of Engineering
Program	Electronic Engineering
Year	2009
Thesis Advisor	Assoc. Prof. Dr. Apinunt Thanachayanont

ABSTRACT

This thesis proposes Variable Gain Amplifier (VGA) which a gain can be varied more than 50 dB and possesses gigahertz level of bandwidth to be utilized in high speed applications such as hard disk drive and wireless system. The circuits operate under less than 1.8V, consume small amount of power and possess high linearity. The circuits were designed using spectre™ and 0.18 um technology.

กิตติกรรมประกาศ

ผู้เขียนขอกราบขอบพระคุณ รองศาสตราจารย์ ดร.อภิรักษ์ ชาญยานนท์ อาจารย์ที่ปรึกษาเป็นอย่างสูง ที่ได้ให้คำปรึกษาแนวทางในการแก้ปัญหา ความคิดริเริ่ม ตลอดจนการฝึกฝนให้ผู้เขียนมีความสามารถในการทำวิจัยได้อย่างมีประสิทธิภาพและทำให้วิทยานิพนธ์ฉบับนี้สำเร็จได้ด้วยดี และขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.ภาณุมาศ คำสัจย์ ที่ได้ให้คำปรึกษาแนะนำวิธีการแก้ปัญหาต่างๆ ที่เกิดขึ้นทั้งทางทฤษฎีและทางปฏิบัติแก่ผู้เขียนเสมอมา ขอขอบคุณ ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ ที่ได้เอื้อเฟื้อสถานที่และเครื่องมือในการทำวิจัย ตลอดจนอำนวยความสะดวกให้แก่ผู้เขียนจนสามารถทำวิทยานิพนธ์ฉบับนี้จนเสร็จสิ้น และท้ายที่สุดขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ที่รักและเคารพ ที่สนับสนุนให้โอกาสแก่ผู้เขียนได้เล่าเรียนจนถึงวันนี้ ตลอดจนเพื่อนๆ พี่ๆ และน้องๆ ในห้องวิจัยทุกคนที่ได้ให้คำปรึกษา แนะนำ และเป็นกำลังใจให้ด้วยดีเสมอมาจนสามารถนำสิ่งต่างๆ ที่ได้รับมานั้นจัดทำวิทยานิพนธ์ฉบับนี้ให้เสร็จสิ้นสมบูรณ์

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้เขียนขอบอบแด่ผู้มีพระคุณทุกท่าน

ศิวาพร ศักดิ์พรหม

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ที่มาและความเป็นมาของปัญหา.....	1
1.2 จุดมุ่งหมายและวัตถุประสงค์.....	1
1.3 สมมติฐานของงาน.....	3
1.4 ทฤษฎีและแนวคิดที่ใช้.....	3
1.5 ขอบเขตงาน.....	4
บทที่ 2 วงจรขยายสัญญาณที่ปรับอัตราขยายได้ทั่วไป.....	5
2.1 บทนำ.....	5
2.2 แนะนำระบบฮาร์ดดิस्क.....	5
2.3 พื้นฐานของวงจรขยายสัญญาณที่ปรับอัตราขยายได้ในระบบฮาร์ดดิस्क.....	7
2.4 คุณลักษณะในการออกแบบวงจร VGA สำหรับฮาร์ดดิस्क.....	9
2.5 วงจรขยายสัญญาณที่ปรับอัตราขยายค่าได้กับการใช้งานด้านอื่น.....	10
2.6 วงจรขยายสัญญาณที่ปรับอัตราขยายค่าได้ในงานวิจัยอื่น.....	10
2.6.1 กิลเบิร์ตเซลล์ (Gilbert cell).....	11
2.6.2 อินดักทีฟพีคกิ้ง (Inductive peaking).....	14
บทที่ 3 โครงสร้างของวงจรขยายสัญญาณที่ปรับอัตราขยายได้.....	17
3.1 บทนำ.....	17
3.2 ประเภทโครงสร้างของวงจรขยายสัญญาณที่ปรับอัตราขยายได้.....	17
3.2.1 วงจรขยายแรงดัน (Voltage Amplifier).....	17
3.2.2 วงจรขยายกระแส (Current Amplifier).....	19
3.2.3 วงจรขยายทรานส์คอนดักแตนซ์ (Transconductance Amplifier).....	20

สารบัญ (ต่อ)

	หน้า
3.2.4 วงจรขยายทรานซ์อิมพีแดนซ์ (Transimpedance Amplifier)	20
3.3 โครงสร้างทรานซ์คอนดักเตอร์-ซี (Transconductor-C).....	21
3.4 โครงสร้างไจเรเตอร์ (The gyrator implementation).....	23
3.5 แนวคิดการประยุกต์ใช้โครงสร้างทรานซ์คอนดักเตอร์กับ โครงสร้างไจเรเตอร์.....	27
3.6 การป้อนกลับลบ.....	28
3.6.1 คุณสมบัติของวงจรป้อนกลับลบ	29
3.6.2 ประโยชน์ของการป้อนกลับลบ.....	31
3.7 โครงสร้างของวงจรขยายสัญญาณที่ปรับอัตราขยายได้ที่น่าเสนอ	32
3.7.1 การป้อนกลับลบแบบแอกทีฟ.....	32
3.7.2 โครงสร้างทรานซ์อิมพีแดนซ์.....	35
บทที่ 4 การออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้	39
4.2 คุณสมบัติที่ต้องการของการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้.....	39
4.2.1 อัตราขยาย.....	39
4.2.2 แบนด์วิธ	40
4.2.3 สัญญาณรบกวนและผลของความไม่เป็นเชิงเส้น	41
4.2.4 Figure-of-merit (FOM)	42
4.3 การต่ออัตราขยายแบบคาสเคด (Cascade Gain Stage)	42
4.4 วงจร VGA ที่น่าเสนอ	44
4.4.1 วงจร VGA ที่ใช้โครงสร้างทรานซ์อิมพีแดนซ์.....	45
4.4.2 สรุปตารางการเปรียบเทียบระหว่างวงจร VGA ที่ออกแบบกับวงจรต้นแบบโดย ใช้โครงสร้างทรานซ์อิมพีแดนซ์	58
4.4.3 วงจร VGA ที่น่าเสนอโดยใช้โครงสร้างการป้อนกลับลบแบบแอกทีฟ.....	59
บทที่ 5 บทสรุปและข้อเสนอแนะ	77
5.1 บทสรุปผลการวิจัย	77
5.2 ข้อเสนอแนะและแนวทางการพัฒนา.....	77
เอกสารอ้างอิง	79
ภาคผนวก ก แนวคิดในการออกแบบโครงสร้างการป้อนกลับลบแบบแอกทีฟ	82

สารบัญ (ต่อ)

	หน้า
ภาคผนวก ข การวิเคราะห์โครงสร้างโครงการป้อนกลับแบบเอกทิฟโดยละเอียด.....	84
ภาคผนวก ค ผลงานวิจัยที่ได้รับการตีพิมพ์.....	87
ประวัติผู้เขียน.....	107

สารบัญตาราง

ตารางที่	หน้า
2.1 ตัวอย่างข้อกำหนดต่างๆ ในการออกแบบวงจร AGC สำหรับฮาร์ดดิสก์	9
4.1 แสดงขนาดของทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรรูปที่ 4.5.....	48
4.2 แสดงขนาดของทรานซิสเตอร์และพารามิเตอร์ที่ใช้ในการออกแบบวงจรรูปที่ 4.11	54
4.3 การเปรียบเทียบระหว่างวงจรต้นแบบกับวงจรที่ 1	58
4.4 การเปรียบเทียบระหว่างวงจรต้นแบบกับวงจรที่ 2	58
4.5 พารามิเตอร์และขนาดของทรานซิสเตอร์ที่ใช้ในการจำลองการทำงานของวงจร VGA ภายใต้อ แรงดันไฟเลี้ยง 1 โวลต์	62
4.6 แสดงผลการเปรียบเทียบคุณสมบัติของวงจรที่ออกแบบกับวงจรอื่น โดยใช้เทคนิคเดียวกัน ...	64
4.7 ค่าพารามิเตอร์ที่ใช้ในการออกแบบวงจรที่นำเสนอภายใต้การทำงานที่แรงดันไฟเลี้ยง 1 โวลต์	67
4.8 สรุปคุณสมบัติต่างๆ โดยเปรียบเทียบระหว่างวงจรที่นำเสนอกับงานที่เกี่ยวข้อง.....	69
4.9 ค่าพารามิเตอร์ที่ใช้ในการออกแบบวงจรที่ 3	73
4.10 สรุปคุณสมบัติต่างๆ โดยเปรียบเทียบระหว่างวงจรที่นำเสนอกับงานที่เกี่ยวข้อง.....	75

สารบัญรูป

รูปที่	หน้า
1.1 บล็อกไดอะแกรมของการตีเทกข้อมูลของฮาร์ดดิสก์อย่างง่าย.....	2
2.1 ส่วนประกอบของฮาร์ดดิสก์.....	6
2.2 แสดงลักษณะการจัดเก็บข้อมูลในรูปแบบของพลาตซ์แม่เหล็ก.....	6
2.3 แสดงการจัดเรียงของสนามแม่เหล็กบนฮาร์ดดิสก์.....	7
2.4 สัญญาณทางแม่เหล็กไฟฟ้าที่ออกจากหัวอ่านทรานส์ดิวเซอร์ก่อนเข้าวงจร PA.....	8
2.5 สัญญาณทางแม่เหล็กไฟฟ้าแบบตั้งฉากก่อนผ่านการคัปปีงกระแสสลับ(AC coupling).....	8
2.6 การแก้ไขวงจรกิลเบิร์ตเซลล์ [7].....	11
2.7 โครงสร้างของวงจร VGA ที่ใช้งานใน Ethernet. [7].....	12
2.8 วงจร VGA ซึ่งใช้เทคนิค master-slave.....	13
2.9 วงจรควบคุม วงจร VGA.....	14
2.10 (a) วงจรคอมมอน-ซอร์สที่มีการต่ออินดักทีฟ (b) วงจรสัญญาณขนาดเล็กของ(a).....	14
2.11 โครงสร้างของวงจร VGA ที่มีอัตราขยายกว้าง [11].....	15
2.12 วงจร VGA ที่มีอัตราขยายกว้าง [11].....	16
3.1 วงจรขยายแรงดัน.....	18
3.2 วงจรขยายกระแส.....	19
3.3 วงจรขยายทรานส์อิมพีแดนซ์.....	20
3.4 วงจรขยายทรานส์อิมพีแดนซ์.....	20
3.5 วงจร G_m -C (a) โหมดแรงดัน (b) โหมดกระแส.....	21
3.6 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำ.....	22
3.7 การเกิดเรโซแนนซ์ของวงจร.....	23
3.8 เปรียบเทียบที่โหนดเอาต์พุตของวงจร G_m -C ระหว่าง (a) มีตัวเก็บประจุเพียงอย่างเดียววงจร G_m -C โดยทั่วไป (b) มีตัวเก็บประจุต่อขนานกันตัวเหนี่ยวนำ.....	23
3.9 การจำลองตัวเหนี่ยวนำโดย 2-พอร์ต.....	24
3.10 โครงสร้างไจเรเตอร์โดยใช้ VCCS จำนวน 2 ชุด.....	25
3.11 วงจรจำลองโครงสร้างไจเรเตอร์-ซีโดยใช้ทรานซิสเตอร์ 2 ตัว [14].....	26
3.12 การวิเคราะห์สัญญาณขนาดเล็กของวงจรรูปที่ 3.12.....	27
3.13 แนวคิดการประยุกต์โครงสร้างทรานส์คอนดักเตอร์กับโครงสร้างไจเรเตอร์.....	28

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.14 ระบบโดยทั่วไปของการป้อนกลับลบ.....	29
3.15 การป้อนกลับลบอย่างง่าย	29
3.16 การเพิ่มแบนด์วิธซึ่งส่งผลจากการป้อนกลับลบ.....	31
3.17 โครงสร้างการป้อนกลับลบแบบแอกทีฟ	32
3.18 โครงสร้างวงจรขยายทรานส์อิมพีแดนซ์แบบป้อนกลับกระแส	37
3.19 วงจรจำลองสัญญาณขนาดเล็กของวงจรขยายทรานส์อิมพีแดนซ์แบบป้อนกลับกระแส	37
3.20 วงจรจำลองสัญญาณขนาดเล็กของวงจรขยายทรานส์อิมพีแดนซ์แบบป้อนกลับกระแส	38
4.1 สัญญาณอินพุตและเอาต์พุตของผลต่างสัญญาณเต็มรูปของโครงสร้าง VGA	40
4.2 ตัวอย่างวิธีการกำจัดฮาร์โมนิกคู่.....	41
4.3 การต่ออัตราขยายแบบคาสเคด.....	43
4.4 วงจร VGA ที่นำเสนอโดย [19], [20]	46
4.5 VGA Class-AB ทำงานที่แรงดันไฟเลี้ยงต่ำ	46
4.6 การแกว่งของสัญญาณในวงจรเปรียบเทียบกับ [19] และ [20]	47
4.7 ผลตอบสนองทางความถี่ของวงจร VGA เมื่อ R_f มีค่า 500k Ω (\square), 150k Ω (\square), 50k Ω (\times), 15k Ω (\circ) และ R_s มีค่าอยู่ในช่วง 500 Ω –15k Ω	50
4.8 การเปรียบเทียบการลดทอนสัญญาณ โดยค่า THD กับ ขนาดของสัญญาณเอาต์พุต ระหว่าง วงจรรูปที่ 4.4 กับ รูปที่ 4.5 โดยเปรียบเทียบที่อัตราขยายแรงดัน 20dB และความถี่ 1MHz.....	51
4.9 แสดงผลการวัดค่า THD เมื่อมีอัตราขยายค่าต่างๆ และกำหนดความถี่เท่ากับ 1MHz.....	51
4.10 แสดงผลการวัดค่า THD เมื่อกำหนดให้ความถี่มีค่าต่างๆ และมีอัตราขยายเท่ากับ 20dB	52
4.11 VGA Class-AB ทำงานที่แรงดันไฟเลี้ยงต่ำปรับปรุงจากวงจรกับ [19] และ [20]	52
4.12 การแกว่งของสัญญาณในวงจรรูปที่ 4.11 เมื่อเปรียบเทียบกับ [19] และ [20].....	53
4.13 ผลตอบสนองทางความถี่ของวงจร VGA เมื่อ R_f : 400 k Ω (\times), 40 k Ω (\square), 4 k Ω (\circ) และ R_s มีค่าอยู่ในช่วง: 500 Ω – 50k Ω	56
4.14 แสดงค่า THD โดยการป้อนความถี่เดียว (single-tone test) วัดที่ค่าอัตราขยายแรงดัน 10dB และความถี่ 1MHz	56
4.15 แสดงค่า intermodulation distortion โดยการป้อนสองความถี่(two-tone test) วัดที่ค่า อัตราขยายแรงดัน 10dB และความถี่ 1MHz.....	57
4.16 แสดงค่า THD ที่ความถี่ต่างๆ โดยมีอัตราขยาย 10dB และขนาดเอาต์พุต -12dBVp.....	57
4.17 โครงสร้างไจเรเตอร์ที่ใช้วงจรขยาย CG กับวงจรขยาย CS	59

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.18 แสดงทรานส์คอนดักแตนซ์ในโครงสร้างการป้อนกลับแบบแอกทีฟที่แทนด้วย ทรานซิสเตอร์.....	60
4.19 วงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแอกทีฟ: วงจรที่ 1	60
4.20 ผลตอบสนองทางความถี่ของวงจร VGA เมื่อ $R_s : 1k\Omega, 100k\Omega, 500k\Omega$ and $R_f : 1k\Omega$	63
4.21 เปรียบเทียบ THD (dB) ระหว่างฮาร์โมนิกที่ 1 กับฮาร์โมนิกที่ 3	63
4.22 THD (%) VS ขนาดของแรงดันอินพุต(mV).....	64
4.23 วงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแอกทีฟ: วงจรที่ 2	65
4.24 ผลตอบสนองทางความถี่ของวงจรที่ออกแบบเมื่อ $R_s 10\Omega, 100\Omega, 200\Omega, 400\Omega, 600\Omega,$ $800\Omega, 1K\Omega$	68
4.25 สเปกตรัมของอินพุตโดยวัดที่ความถี่อินพุต 400 MHz และอัตราขยาย 14.25dB.....	68
4.26 ค่า THD ที่ขนาดอินพุตแตกต่างกัน.....	69
4.27 วงจรภาคเดียวของวงจรที่ 3.....	70
4.28 การต่อคาสเคดของวงจร VGA ที่นำเสนอ จำนวน 6 ภาค	71
4.29 วงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแอกทีฟ: วงจรที่ 3	72
4.30 ผลจากการเปลี่ยนแปลงค่า R_C ต่อวงจร VGA ที่นำเสนอ.....	72
4.31 ผลตอบสนองทางความถี่ของวงจร VGA วงจรที่ 3.....	74
4.32 คุณลักษณะการควบคุมอัตราขยายของวงจร VGA วงจรที่.....	74
4.33 แสดงผล THD ที่ขนาดแรงดันอินพุตต่างๆ	75
ก.1 วงจรทรานส์คอนดักแตนซ์ที่เพิ่มอิมพีแดนซ์ที่โหนดเอาต์พุต.....	82
ก.2 วงจรทรานส์คอนดักแตนซ์ มีอิมพีแดนซ์ที่โหนดเอาต์พุตเป็นตัวเหนี่ยวนำ.....	82
ก.3 วงจรทรานส์คอนดักแตนซ์ที่มีอิมพีแดนซ์โหนดเอาต์พุตเป็นตัวเหนี่ยวนำโดยใช้โครงสร้าง ไจเรเตอร์-ซี	83

บทที่ 1

บทนำ

1.1 ที่มาและความเป็นมาของปัญหา

เนื่องจากข้อมูลข่าวสารในปัจจุบันนั้นมีปริมาณมากขึ้นเมื่อเทียบกับอดีต ดังนั้นจึงควรเลือกสื่อในการจัดเก็บข้อมูลให้เหมาะสม ซึ่งสื่อที่ใช้ในการจัดเก็บข้อมูลแบ่งเป็น 3 ประเภทคือ สื่อจัดเก็บข้อมูลเชิงแสงเช่น ซีดี และดีวีดี สื่อจัดเก็บข้อมูลเชิงสารกึ่งตัวนำ เช่น แฟลชไดรฟ์ (flash drive) และสื่อจัดเก็บข้อมูลเชิงแม่เหล็กเช่น ฮาร์ดดิสก์ ซึ่งเมื่อก้าวถึงความคุ้มค่าในการลงทุนแล้ว ฮาร์ดดิสก์จัดเป็นสื่อที่ได้รับความนิยมอย่างแพร่หลายในปัจจุบัน เนื่องจากมีราคาต่อหน่วยความจุต่ำ มีความหนาแน่นเชิงพื้นที่ (area density) หรือความจุของข้อมูลสูง และการเข้าถึงข้อมูลสามารถทำได้เร็ว ส่งผลให้อุตสาหกรรมฮาร์ดดิสก์ขยายตัวอย่างรวดเร็ว ดังนั้นการพัฒนาทั้งความสามารถในการจัดเก็บข้อมูลและด้านความเร็วในการทำงานก็มีมากขึ้นด้วย ส่งผลให้ปริมาณความจุของข้อมูลบนฮาร์ดดิสก์และอัตราการเร็วในการถ่ายโอนข้อมูล (data transfer rate) สูงขึ้นอย่างต่อเนื่อง ซึ่งในปัจจุบันอัตราการถ่ายโอนข้อมูลนั้นมักจะสูงกว่า 1 จิกะบิตต่อวินาที [1] ส่งผลให้ช่องอ่านสัญญาณฮาร์ดดิสก์ (hard disk read channel) ซึ่งทำหน้าที่ในการอ่านข้อมูลที่ถูกบันทึกไว้ในแถบแม่เหล็ก โดยแปลงข้อมูลที่อยู่ในรูปแบบของสนามแม่เหล็กไฟฟ้าให้กลายเป็นแรงดันไฟฟ้าโดยอาศัยการประมาณลำดับแบบความน่าจะเป็นจริงสูงสุด (maximum-likelihood sequence estimation) จึงจำเป็นต้องถูกปรับปรุงและพัฒนาเพื่อให้สามารถรองรับการใช้งานที่อัตราการถ่ายโอนข้อมูลดังกล่าวนี้ได้ และเนื่องจากอัตราการถ่ายโอนข้อมูลที่สูงขึ้นนี้ ส่งผลให้การอ่านข้อมูลของช่องอ่านสัญญาณฮาร์ดดิสก์กระทำที่ความถี่สูงขึ้นด้วย ดังนั้นจึงเป็นสิ่งที่น่าสนใจสำหรับผู้ออกแบบวงจรรวมความถี่สูง เนื่องจากการทำงานที่ความถี่สูงมักเกิดปัญหาในเรื่อง สัญญาณรบกวน การแทรกสอดของสัญญาณ เป็นต้น ซึ่งอาจส่งผลให้ช่องอ่านสัญญาณฮาร์ดดิสก์อ่านข้อมูลที่ผิดพลาดได้

1.2 จุดมุ่งหมายและวัตถุประสงค์

งานวิจัยนี้ให้ความสนใจกับวงจรอนาล็อกส่วนหน้าช่องอ่านสัญญาณฮาร์ดดิสก์ซึ่งวงจรสำหรับช่องอ่านสัญญาณฮาร์ดดิสก์ประกอบด้วยวงจร 3 ส่วนสำคัญ ดังแสดงใน คือ ส่วนแรกเป็น วงจรขยายภาคแรก (preamplifier: PA) ซึ่งทำหน้าที่อ่านสัญญาณจากหัวอ่าน โดยตรง ดังนั้นวงจรนี้จึงจำเป็นต้องมีสัญญาณรบกวนต่ำสุดหรือมักจะเรียกวงจรนี้ว่าวงจรขยายที่มีสัญญาณรบกวนต่ำ (low noise amplifier: LNA) แต่เนื่องจากวงจรนี้มักถูกออกแบบให้ทำงานร่วมกับช่องอ่านสัญญาณ

อัตราการใช้พลังงานจากหัวอ่าน เพื่อช่วยเพิ่มอัตราส่วนระหว่างสัญญาณที่ต้องการกับสัญญาณรบกวน (signal to noise ratio: SNR) อีกด้วย และนอกจากนี้วงจร VGA ที่ต้องการออกแบบยังต้องการให้วงจรสามารถทำงานได้ที่ไฟเลี้ยงต่ำ และกินกำลังงานน้อยเพื่อช่วยประหยัดพลังงานในการใช้ด้วย

1.3 สมมติฐานของงาน

การออกแบบวงจร VGA โดยทั่วไปสามารถออกแบบได้ 2 โครงสร้างหลักคือ โครงสร้างเปิด (open loop structure) และ โครงสร้างปิด (close loop structure) สำหรับข้อดีของโครงสร้างเปิดคือ สามารถควบคุมอัตราขยายได้โดยการปรับค่าทรานซิสเตอร์คอนดักแตนซ์และค่าโหลดของวงจร ซึ่งจะให้แบนด์วิธสัญญาณกว้างกว่าแบบโครงสร้างปิด แต่มีข้อเสียในเรื่องความไวของสัญญาณ (sensitive) ส่วนแบบโครงสร้างปิดจะช่วยแก้ปัญหาเรื่องความไวของสัญญาณ โดยการใช้วงจรป้อนกลับแบบลบ (negative feedback) ซึ่งอาจใช้วิธีการต่อตัวต้านทานป้อนกลับ (feedback resistance) ระหว่างอินพุตและเอาต์พุต เป็นต้น วงจรป้อนกลับมักใช้ในการปรับค่าอัตราขยายของวงจรขยายแบบโครงสร้างปิด แต่จะใช้โครงสร้างใดนั้นขึ้นอยู่กับว่า มีความต้องการให้วงจรมีประสิทธิภาพเด่นในด้านใด เนื่องจากในการเลือกวิธีหรือเทคนิคเพื่อให้เพิ่มประสิทธิภาพของวงจรแต่ละด้านนั้น มีทั้งข้อได้เปรียบและเสียเปรียบ (trade-off) แตกต่างกันไป เช่น ถ้าต้องการให้วงจรให้มีช่วงการปรับอัตราขยายกว้าง ผลเสียที่ตามมาคือวงจรนั้นจะให้แบนด์วิธต่ำและมีความไม่เป็นเชิงเส้น เป็นต้น สำหรับการออกแบบวงจร VGA เพื่อใช้ในการขยายสัญญาณจากช่องอ่านสัญญาณฮาร์ดดิสก์โดยส่วนใหญ่แล้ว ต้องการให้วงจรสามารถปรับช่วงอัตราขยายและแบนด์วิธได้กว้างเพื่อรองรับการใช้งานตามความเร็วในการอ่านข้อมูลของหัวอ่าน ซึ่งส่งผลให้สัญญาณรบกวนมีขนาดใหญ่มาก เนื่องจากวงจรขยายที่มีแบนด์วิธกว้างจะยอมให้สัญญาณรบกวนความถี่สูงผ่านได้ ดังนั้นในการออกแบบจึงต้องคำนึงถึง สัญญาณรบกวนที่อาจเกิดขึ้นจากวงจรก่อนหน้าที่ส่งมาและอาจเกิดจากการสร้างขึ้นเองภายในวงจรที่ออกแบบอีกด้วย

1.4 ทฤษฎีและแนวคิดที่ใช้

วงจร VGA มักเป็นลูปป้อนกลับในวงจรขยายสัญญาณอัตโนมัติ (automatic gain control: AGC) ของช่องอ่านสัญญาณฮาร์ดดิสก์ ซึ่งช่วยให้ช่วงพิสัยพลวัตของระบบมีค่าที่เหมาะสมและให้สัญญาณแรงดันเอาต์พุตคงที่แม้ว่าสัญญาณอินพุตจะเปลี่ยนแปลงตามตัวจับสัญญาณและวงจรกรองสัญญาณของช่องอ่านสัญญาณก็ตาม และเมื่อไม่นานมานี้วงจร VGA ที่มีแบนด์วิธกว้างถูกนำเสนอด้วยการใช้เทคโนโลยีซิลิคอนที่ทำงานใน deep submicron เพื่อควบคุมอัตราขยายแบบเชิงเส้นใน

หน่วยเดซิเบล (liner-in-dB) ซึ่งสามารถควบคุมอัตราขยายได้ด้วยการปรับค่าทรานส์คอนดักแตนซ์หรือความต้านทาน [1]-[5] ของวงจรเป็นต้น จะพบเห็นการออกแบบวงจรในลักษณะนี้จากหลายเทคนิคเช่นเทคนิคของกิลเบิร์ต (gilbert cell) [6] เซอร์รีฮูเปอร์ (cherry-hooper) [7]-[13] เทคนิคการป้อนกลับและ inductive peaking [13] เป็นต้น สำหรับบทความนี้นำเสนอการออกแบบวงจร VGA ด้วยเทคนิคการป้อนกลับแบบแอคทีฟ (active negative feedback) เนื่องจากเทคนิคนี้ช่วยเพิ่มแบนด์วิธให้กับวงจรและให้ช่วงปรับอัตราขยายกว้าง

1.5 ขอบเขตงาน

งานวิจัยนี้มุ่งเน้นการออกแบบวงจร VGA เพื่อนำมาใช้งานในระบบฮาร์ดดิสก์ไดรฟ์ที่ได้มีการพัฒนามาอย่างต่อเนื่อง โดยเฉพาะในเรื่องของอัตราเร็วในการถ่ายโอนของข้อมูลที่สูงขึ้นเป็นระดับ จิกกะเฮิร์ต ทำให้สัญญาณที่อ่านได้จากหัวอ่านมี ขนาดสัญญาณไม่สม่ำเสมอให้สามารถทำงานได้ที่แบนด์วิธสูงและปรับช่วงอัตราขยายได้กว้าง และเพื่อต้องการออกแบบวงจรให้สามารถนำไปใช้ประโยชน์ได้จริงโดยจำลองการทำงานโดยใช้โปรแกรม Cadence Spectre™ 0.18 μm

บทที่ 2

วงจรรขยายสัญญาณที่ปรับอัตราขยายได้ทั่วไป

2.1 บทนำ

วงจรรขยายสัญญาณที่ปรับอัตราขยายได้หรือวงจรร VGA เป็นอุปกรณ์พื้นฐานที่สำคัญที่ทำหน้าที่ขยายขนาดสัญญาณอินพุตให้มีขนาดที่เหมาะสม เพื่อนำสัญญาณไปใช้งานในวงจรภาคถัดไป โดยเฉพาะเมื่อนำมาใช้ในงานในด้านของระบบฮาร์ดดิสก์ ซึ่งสัญญาณที่อ่านได้จากหัวอ่านฮาร์ดดิสก์มีขนาดเล็กมาก ดังนั้นวงจรร VGA จึงมีบทบาทสำคัญสำหรับระบบฮาร์ดดิสก์ และในบทนี้จะอธิบายเกี่ยวกับระบบฮาร์ดดิสก์โดยในหัวข้อ 2.2 จะแนะนำระบบฮาร์ดดิสก์อย่างง่าย และหัวข้อที่ 2.3 จะอธิบายถึงพื้นฐานของวงจรร VGA รวมทั้งการทำงานและหน้าที่ของวงจรร VGA ในระบบฮาร์ดดิสก์ หัวข้อ 2.4 นำเสนอคุณลักษณะในการออกแบบวงจรร VGA สำหรับฮาร์ดดิสก์ และหัวข้อถัดมากล่าวถึงวงจรร VGA ก็กับการนำไปใช้งานในด้านต่างๆ ทั้งในระบบสื่อสารไร้สายฮาร์ดดิสก์ไดรฟ์ และอื่นๆ เป็นต้น และหัวข้อสุดท้าย กล่าวถึงเทคนิคต่างๆ ที่มักพบเห็นในการออกแบบวงจรร VGA โดยจะยกเอาเทคนิคต่างๆ ในงานวิจัยอื่นที่น่าสนใจมาเสนอ

2.2 แนะนำระบบฮาร์ดดิสก์

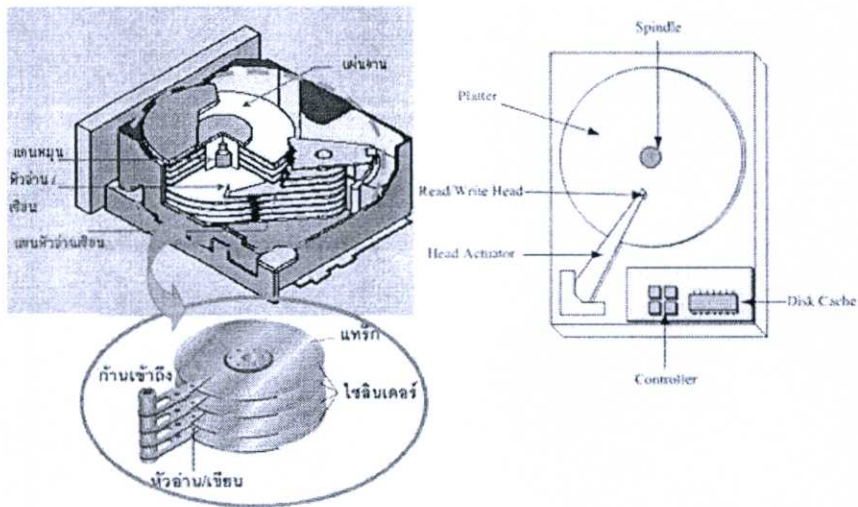
ฮาร์ดดิสก์เป็นอุปกรณ์จัดเก็บข้อมูลเชิงแม่เหล็กที่มีความคุ้มค่าในการลงทุน และจัดเป็นสื่อที่ได้รับความนิยมอย่างแพร่หลายในปัจจุบัน ดังนั้นระบบฮาร์ดดิสก์โดยเฉพาะวงจรรรวมอนาล็อกของช่องอ่านสัญญาณของฮาร์ดดิสก์ ซึ่งทำหน้าที่ในการอ่านข้อมูลที่ถูกบันทึกไว้ในแถบแม่เหล็กได้ถูกปรับปรุงและพัฒนาเพิ่มมากขึ้น ดังนั้นเราควรทำความรู้จักกับส่วนประกอบต่างๆ ของฮาร์ดดิสก์ ดังจะกล่าวรายละเอียดดังต่อไปนี้

อุปกรณ์ฮาร์ดดิสก์ไดรฟ์ ประกอบไปด้วย 5 ส่วนที่สำคัญดังแสดงในรูปที่ 2.1

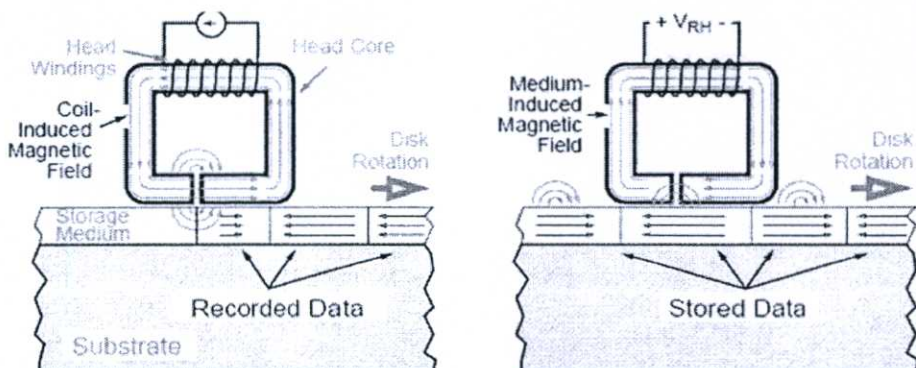
1. ฮาร์ดดิสก์ (Hard disk) ซึ่งเป็นตัวงานแม่เหล็กโดยมีลักษณะเป็นแผ่นกลมแบนวางซ้อนกันหลายแผ่น แต่ละแผ่น เรียกว่า แพลทเทออร์ (platter) แต่ถ้าเรียงอยู่บนแกนเดียวกันตั้งแต่สองแผ่นหรือมากกว่าสองแผ่นขึ้นไปจะเรียกว่า spindle
2. หัวอ่านและเขียน (Read/Write Head) หัวเขียนจะเป็นลักษณะแบบ inductive อันประกอบด้วยแม่เหล็กรูปเกือกม้าที่มีขดลวดพันอยู่รอบๆ ดังรูปที่ 2.2 และรูปที่ 2.3(a) โดยมีหน้าที่แปลงกระแสที่เข้ามาให้เป็นสนามแม่เหล็กเพื่อไปจัดเรียงอนุภาคแม่เหล็กของแพลทเทออร์ ส่วนหัวอ่านจะทำหน้าที่แปลงฟลักซ์แม่เหล็กให้เป็น

แรงดันไฟฟ้าดังแสดงรูปสัญญาณในรูปที่ 2.3(b) ปัจจุบันหัวอ่านจะเป็นหัวเทปแม่เหล็กแบบ Giant Magneto-Resistive (GMR) หัวอ่านและเขียนจะมีสมบัติคือ มีค่าสภาพลบล้าง แม่เหล็กต่ำและค่าสภาพให้ซึมผ่านได้ (permeability) สูง

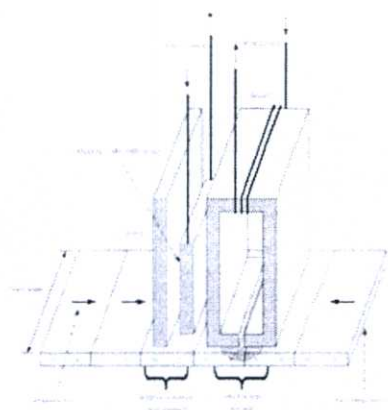
3. ตัวขับเคลื่อนหัวอ่านและเขียน (Head Actuator) มีหน้าที่เคลื่อนหัวเขียน/อ่านไปยังตำแหน่งของแพลทเทอร์ที่ต้องการ
4. ชุดหมุนชุดจานแม่เหล็ก มีองค์ประกอบหลักคือ มอเตอร์หมุนชุดแพลทเทอร์
5. ส่วนอิเล็กทรอนิกส์ ซึ่งประกอบด้วยสองส่วนหลัก ได้แก่ ไอซีควบคุม หน่วยความจำ และชิปช่องสัญญาณอ่าน (read-channel chip) ซึ่งเป็นส่วนประมวลผลสัญญาณอ่านกลับและถือเป็นหัวใจของฮาร์ดดิสก์ที่ใคร่พิถีพิถันกว่าได้



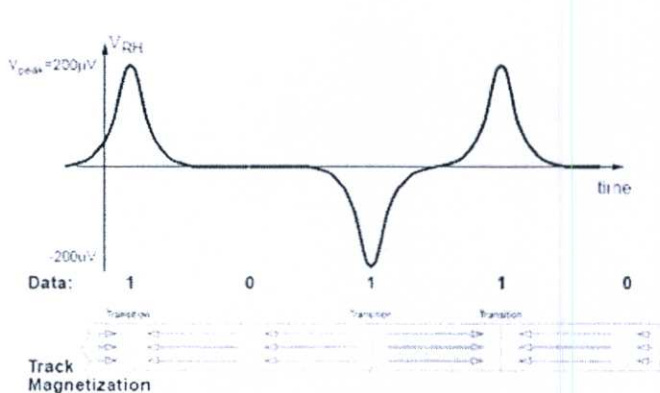
รูปที่ 2.1 ส่วนประกอบของฮาร์ดดิสก์



รูปที่ 2.2 แสดงลักษณะการจัดเก็บข้อมูลในรูปแบบของฟลักซ์แม่เหล็ก



(a) แผนผังระบบหัวเขียนและอ่าน



(b) Typical voltage from a read head (at low storage density).

รูปที่ 2.3 แสดงการจัดเรียงของสนามแม่เหล็กบนฮาร์ดดิสก์

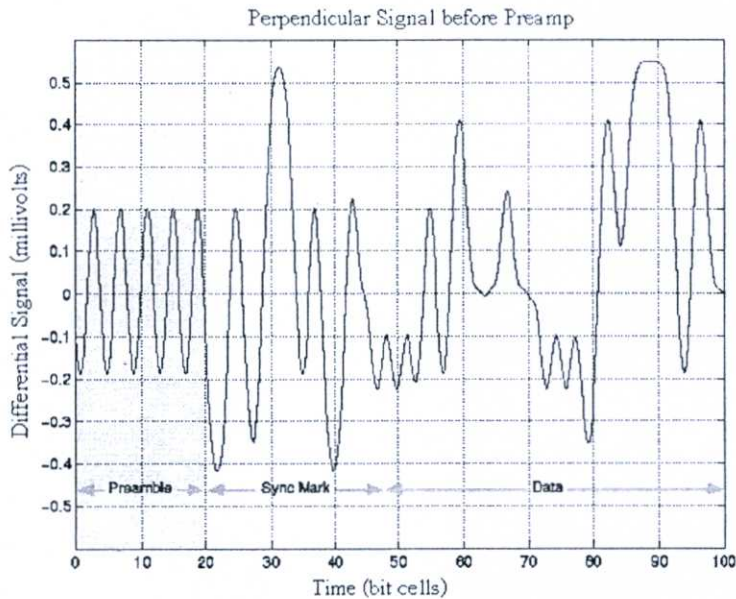
สำหรับหัวเขียนและอ่าน ซึ่งทำหน้าที่ในการจัดเก็บและดึงข้อมูลกลับคืนมาตามลำดับ ตัวกลางของข้อมูลดังกล่าวอยู่ในรูปของสนามแม่เหล็กไฟฟ้า สำหรับการเขียนข้อมูลของหัวเขียนจะมี 2 รูปแบบ คือ รูปแบบการเขียนแนวลงจุดและการเขียนแนวตั้งฉาก ซึ่งการเขียนแต่ละแบบนี้เน้นในเรื่องความหนาแน่นในการบันทึก (recording density) เพื่อให้ได้ความจุสูง

2.3 พื้นฐานของวงจรรขยายสัญญาณที่ปรับอัตราขยายได้ในระบบฮาร์ดดิสก์

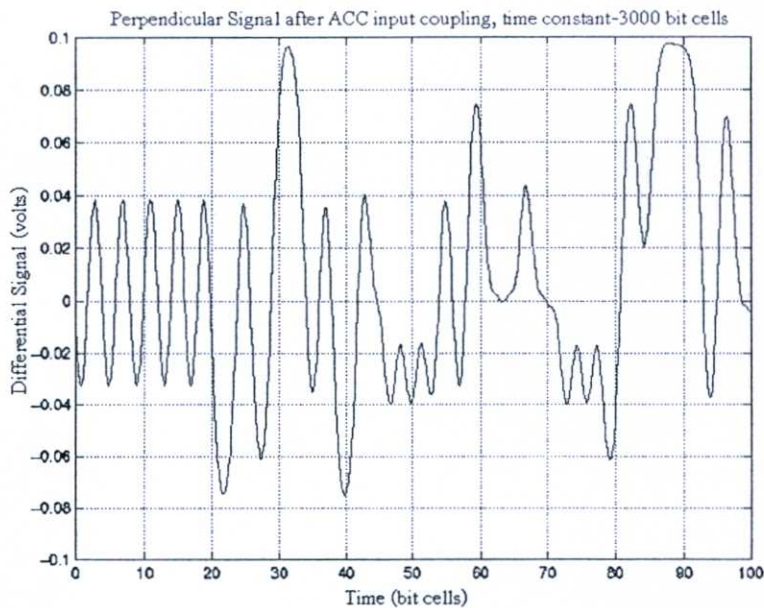
วงจรรขยายทั่วไป จะทำหน้าที่ในการขยายสัญญาณ ซึ่งเป็นสิ่งที่คนทั่วไปรู้จักกันดีอยู่แล้ว แต่เมื่อพูดถึงเรื่องการขยายสัญญาณ แสดงว่าสัญญาณอินพุตที่เข้ามาต้องเป็นสัญญาณที่มีขนาดเล็กอย่างแน่นอน และเมื่อสัญญาณขนาดเล็กนี้ผ่านวงจรรขยาย สัญญาณเอาต์พุตที่ได้ควรมีขนาดใหญ่ขึ้นคือกล่าวโดยง่ายว่า วงจรรขยายทั่วไป ทำหน้าที่ขยายสัญญาณที่มีขนาดเล็กให้ได้สัญญาณที่มีขนาดใหญ่ขึ้น ซึ่งทำหน้าที่เช่นเดียวกับวงจรร VGA แต่สำหรับวงจรร VGA ไม่เพียงแต่ขยายสัญญาณที่มีขนาดเล็กเพียงอย่างเดียวเท่านั้น ยังสามารถลดทอนขนาดของสัญญาณอินพุตที่มีขนาดใหญ่ให้มีขนาดเล็กลงได้อีกด้วยเช่นกัน การขยายหรือลดขนาดสัญญาณในลักษณะนี้จะขึ้นอยู่กับค่าการปรับอัตราขยาย โดยอัตราขยายจะถูกออกแบบให้สามารถทำงานได้ในช่วงหนึ่งหรือที่เรียกว่าช่วงการขยาย (gain range) และไม่สามารถปรับอัตราขยายได้อย่างอัตโนมัติ ต้องมีการปรับเปลี่ยนค่าบางอย่างในระบบเสียก่อน ดังนั้นโดยทั่วไปแล้ววงจรรนี้มักใช้เป็นส่วนหนึ่งของวงจรร AGC เพื่อให้สัญญาณอินพุตสามารถขยายหรือลดทอนขนาดได้โดยอัตโนมัติหรือสามารถปรับอัตราขยายได้ในช่วงหรือใกล้เคียงกับช่วงอัตราขยายที่ออกแบบในวงจรร VGA ได้อย่างอัตโนมัติ

ลักษณะสัญญาณที่จะยกตัวอย่างในที่นี้เป็นสัญญาณที่อ่านได้จากช่องอ่านสัญญาณฮาร์ดดิสก์มีลักษณะสัญญาณรูปที่ 2.4 ซึ่งจะเห็นว่ามีความถี่ประมาณ 0.2 มิลลิโวลต์ แต่

โดยทั่วไปสัญญาณที่อ่านจากหัวอ่านฮาร์ดดิสก์จะถูกขยายก่อนโดยวงจรขยายภาคแรก (preamplifier) ก่อนจะเข้าสู่วงจร VGA ซึ่งลักษณะสัญญาณที่ถูกขยายโดยวงจร PA และผ่านการคับปลิงสัญญาณ ยังคงมีแรงดันออฟเซตหลงเหลืออยู่ ดังนั้นวงจรส่วนถัดมาซึ่งเป็นวงจร VGA ต้องทำหน้าที่ขยายและลดทอนสัญญาณในรูปที่ 2.5 ให้มีขนาดที่เหมาะสมขึ้น และหน้าที่อีกอย่างคือลดแรงดันออฟเซตที่ยังหลงเหลืออีกด้วย



รูปที่ 2.4 สัญญาณทางแม่เหล็กไฟฟ้าที่ออกจากหัวอ่านทรานส์ดิวเซอร์ก่อนเข้าวงจร PA



รูปที่ 2.5 สัญญาณทางแม่เหล็กไฟฟ้าแบบตั้งฉากก่อนผ่านการคับปลิงกระแสสลับ(AC coupling)

2.4 คุณลักษณะในการออกแบบวงจร VGA สำหรับฮาร์ดดิสก์

ในการออกแบบวงจร VGA สามารถออกแบบได้ 2 โครงสร้างหลัก ดังนี้คือ โครงสร้างเปิด (open loop structure) และโครงสร้างปิด (close loop structure) สำหรับโครงสร้างเปิดจะสามารถควบคุมอัตราขยายได้โดยการปรับค่าทรานส์คอนดักแตนซ์และค่าโหลดของวงจร โดยทั่วไปจะให้แบนด์วิธสัญญาณกว้างกว่าแบบโครงสร้างปิด แต่มีข้อเสียในเรื่องความไวของสัญญาณ (sensitive) ส่วนในโครงสร้างปิดจะช่วยแก้ปัญหาคอมโพสิชันของสัญญาณ โดยจะใช้วงจรป้อนกลับแบบลบ (negative feedback) ซึ่งอาจใช้วิธีการต่อตัวต้านทานป้อนกลับ (feedback resistance) ระหว่างอินพุตและเอาต์พุต วงจรป้อนกลับมักใช้ในการปรับค่าอัตราขยายของวงจรขยายแบบโครงสร้างปิดและยังช่วยในเรื่องของการกำจัดแรงดันออฟเซต (DC offset) ดังนั้นการออกแบบวงจร VGA เพื่อใช้งานในระบบฮาร์ดดิสก์ควรเลือกใช้โครงสร้างแบบปิด เนื่องจากสัญญาณที่ถูกขยายโดยวงจรขยายภาคแรกมีขนาดแอมพลิจูดอยู่ในระดับ 45-500 มิลลิโวลต์ และเป็นสัญญาณผลต่าง (differential signal) ที่มีแรงดันคอมมอน โหมดหรือมีแรงดันออฟเซต สัญญาณนี้จะถูกทำการคัปปลิงสัญญาณ (ac-coupling) เพื่อกำจัดแรงดันออฟเซตให้ต่ำลง และสัญญาณที่ได้จากการคัปปลิงนี้จะเป็นสัญญาณอินพุตของวงจร VGA ดังนั้นการออกแบบวงจร VGA ควรออกแบบให้มีโครงสร้างแบบปิดเพื่อช่วยกำจัดแรงดันออฟเซตที่เหลือ และเนื่องจากสัญญาณจากช่องอ่านสัญญาณฮาร์ดดิสก์ถูกแซมเปิ้ล โดยการใช้ partial response จึงต้องการที่จะให้ขนาดแอมพลิจูดและความถี่ของสัญญาณเป็นไปตามสัญญาณเป้าหมาย (target) ดังนั้นในส่วนของวงจรปรับอัตราขยายค่าได้แบบอัตโนมัติ (automatic gain control : AGC) ต้องสามารถควบคุมการปรับเปลี่ยนขนาดแอมพลิจูดตามช่วงเวลาเปลี่ยนแปลงไปให้มีประสิทธิภาพ โดยอัตราขยายควรสูงกว่า 21 dB และเนื่องจากวงจร VGA ถูกใช้เป็นส่วนหนึ่งของวงจร AGC ดังนั้นวงจร VGA ก็ควรสามารถปรับอัตราขยายได้กว้างด้วยเช่นกัน ส่วนข้อกำหนดอื่นๆที่ควรนำมาพิจารณาในการออกแบบวงจร VGA โดยจะต้องสอดคล้องกับข้อกำหนดของวงจร AGC ดังแสดงในตารางที่ 2.1

ตารางที่ 2.1 ตัวอย่างข้อกำหนดต่างๆ ในการออกแบบวงจร AGC สำหรับฮาร์ดดิสก์

AGC Specifications	
Input signal range	45 mVpp < V_{in} < 500 mVpp
Output Target	1.400 Vpp
VGA gain range	> 24 dB
AFE THD	< 1.0%
AFE SNR	> 35 dB
AFE Output offset	< 5.0 mV

ในทางอุดมคติของสัญญาณที่ผ่านวงจร AGC สามารถปรับอัตราขยายได้อย่างอัตโนมัติ จะจะมีขนาดแอมพลิจูดของสัญญาณทุกสัญญาณที่เท่ากัน กรณีที่สัญญาณอินพุตนั้นเป็นสัญญาณสุ่ม (signal random) แต่ในความเป็นจริงยากที่จะสามารถทำได้ เนื่องจากสัญญาณอินพุตที่เข้ามามีขนาดแตกต่างกันมาก แต่ถ้าให้วงจรสามารถปรับอัตราขยายได้กว้างมากๆ ก็จะได้สัญญาณเอาต์พุตใกล้เคียงกับสัญญาณอุดมคติ

สำหรับการออกแบบวงจร VGA สิ่งแรกที่เราควรคำนึงถึงคือ การนำไปใช้งาน เพราะการใช้งานแต่ละด้าน ต้องการคุณลักษณะที่แตกต่างกัน ในที่นี้ต้องการออกแบบเพื่อนำไปใช้งานในระบบฮาร์ดดิสก์ ดังนั้นสิ่งที่เราควรคำนึงถึงคือ ในระบบฮาร์ดดิสก์ต้องการคุณลักษณะในด้านไหนบ้าง เป็นสำคัญ ในระบบฮาร์ดดิสก์ปัจจุบันได้รับความนิยมอย่างแพร่หลาย เนื่องจากมีราคาต่อหน่วยความจุที่ต่ำ มีความจุของข้อมูลสูง และการเข้าถึงข้อมูลทำได้เร็วส่งผลให้อัตราความเร็วในการถ่ายโอนข้อมูล ถูกพัฒนาให้เพิ่มมากขึ้นด้วย ซึ่งในปัจจุบันอัตราการถ่ายโอนข้อมูลสูงในระดับ จิกกะบิตต่อวินาที ดังนั้นสิ่งที่จะมาเป็นบรรทัดฐานในการออกแบบคือ สามารถปรับช่วงอัตราขยายได้กว้างและมีแบนด์วิธสูงในระดับจิกกะเฮิร์ต มีสัญญาณรบกวนต่ำความเป็นเชิงเส้นสูงและสามารถทำงานได้ ที่ระดับแหล่งจ่ายแรงดัน 1.8 โวลต์หรือต่ำกว่า

2.5 วงจรขยายสัญญาณที่ปรับอัตราขยายค่าได้กับการใช้งานด้านอื่น

นอกจากวงจรขยายสัญญาณที่ปรับอัตราขยายได้จะถูกนำมาใช้งานมากในระบบฮาร์ดดิสก์แล้ว วงจร VGA ยังเป็นที่รู้จักกันดีในอุตสาหกรรมด้านการสื่อสารไร้สาย เนื่องจากจะถูกนำมาใช้ในการขยายสัญญาณความถี่กลาง (intermediate frequency) หรือความถี่ IF และสัญญาณความถี่คลื่นวิทยุ (radio frequency) หรือความถี่ RF วงจร VGA ถูกใช้เป็นวงจรภาครับ เพื่อขยายหรือลดทอนสัญญาณความถี่อินพุตที่เข้ามาให้มีสัดส่วนพอเหมาะเพื่อส่งต่อไปยังตัวจับวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัล (analog-to-digital converter: A/D) นอกจากการนำมาใช้งานเป็นวงจรภาครับในด้านการสื่อสารไร้สายแล้ว ยังพบเห็นทั่วไปในการใช้งานด้านการกระจายเสียงและการแพร่ภาพ (broadcast) เช่น วิทยุ และ โทรทัศน์ ซึ่งจะถูกนำมาติดตั้งบนกล่องตัวรับของสายส่งสัญญาณโทรทัศน์ ตัวรับในสาย local area networks ตัวรับเรดาร์ในการสื่อสารไมโครเวฟ และใช้ในเครื่องมือทดสอบและเครื่องมือวัด เป็นต้น

2.6 วงจรขยายสัญญาณที่ปรับอัตราขยายค่าได้ในงานวิจัยอื่น

ปัจจุบันการออกแบบวงจร VGA เพื่อใช้งานในด้านต่างๆ ไม่ว่าจะเป็น ระบบการสื่อสารไร้สาย เครื่องมือหรืออุปกรณ์การแพทย์ เครื่องช่วยฟัง (hearing aid) และ ดิสก์ไดรฟ์ เป็นต้น จะถูก

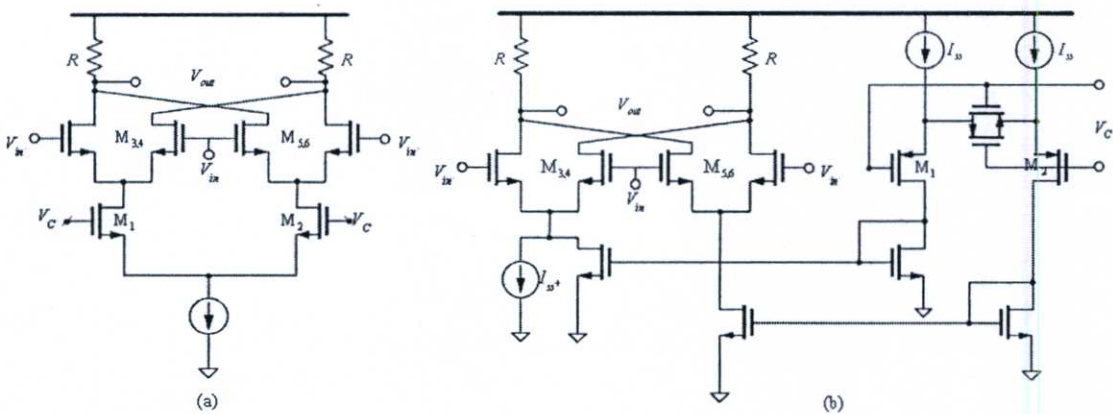
ออกแบบให้รองรับการใช้งานที่ความถี่หรือแบนด์วิธสูง และอัตราขยายกว้าง ซึ่งพบเห็นได้จากหลายเทคนิคเช่น

2.6.1 กิลเบิร์ตเซลล์ (Gilbert cell)

กิลเบิร์ตเซลล์เป็นวงจรพื้นฐานที่นิยมนำมาออกแบบวงจร VGA เพื่อต้องการอัตราขยายกว้างดังแสดงในรูปที่ 2.6(a) หากความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของวงจรมีสมการ

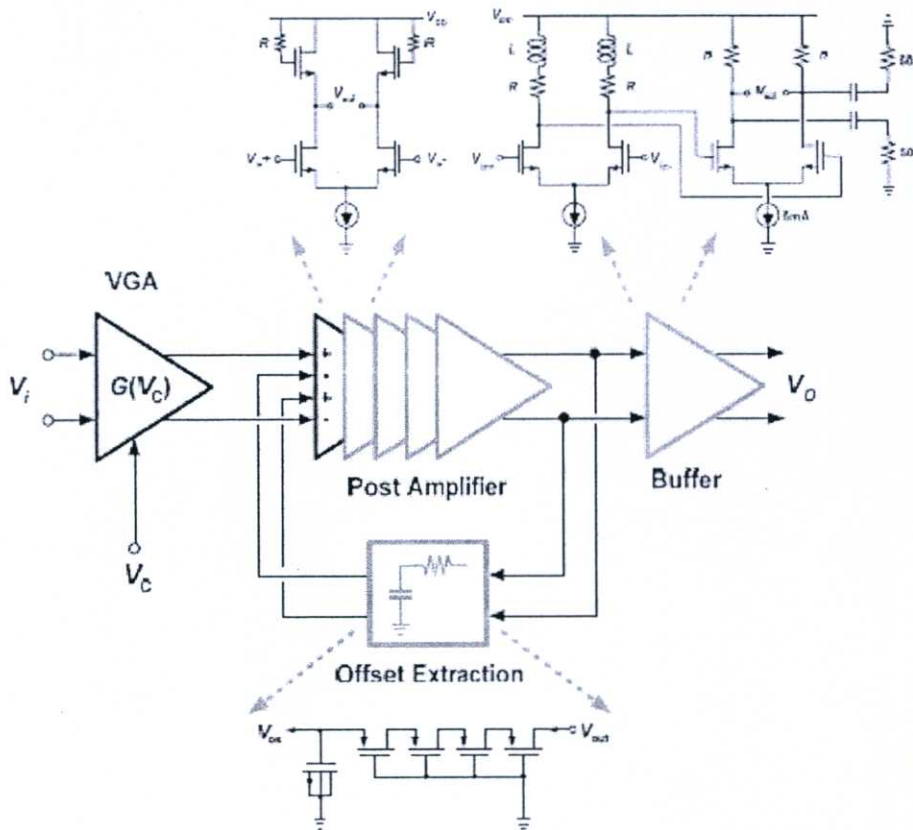
$$\begin{aligned} V_{o^+} - V_{o^-} &= (g_{m3,4} - g_{m5,6}) \cdot R \cdot (V_{in^+} - V_{in^-}) \\ &= \sqrt{\frac{k_n \cdot (W/L)}{2I_{ss}}} \cdot g_{m1,2} (V_{C^+} - V_{C^-}) (V_{in^+} - V_{in^-}) \end{aligned} \quad (2.1)$$

ข้อดีสำหรับวงจรกิลเบิร์ต คือให้ค่าทรานส์คอนดักเตอร์ที่มีลักษณะเป็นเชิงเส้น แต่มีข้อเสียในเรื่องของการเกิดแรงดัน headroom ซึ่งส่งผลให้วงจรไม่สามารถทำงานได้ที่แรงดันต่ำ เนื่องจากการเกิดแรงดัน headroom จะมีผลต่อการปรับช่วงของอัตราขยายในแต่ละช่วง ทำให้มีการเปลี่ยนแปลงค่าอัตราขยายได้ช้า ดังนั้นเพื่อแก้ปัญหาดังกล่าวจึงได้มีการปรับปรุงวงจร โดยนำเทคนิคกิลเบิร์ตมาใช้ดังใน [7] ซึ่งนำเสนอการออกแบบวงจร VGA สำหรับการใช้งานในระบบบิโธเน็ต (Ethernet) โดยวงจรมีส่วนประกอบไปด้วย วงจร VGA วงจร post amplifier และวงจรบัฟเฟอร์ ในส่วนของวงจร VGA แสดงดังรูปที่ 2.6(b) ซึ่งได้ปรับปรุงจากเทคนิคของกิลเบิร์ต ทำหน้าที่ขยายสัญญาณโดยให้อัตราขยายเป็นเชิงเส้นในหน่วยของขนาด (linear in magnitude) อัตราขยายของวงจรมีจะถูกควบคุมด้วยแรงดัน V_C โดยสามารถควบคุมอัตราขยายแบบเชิงเส้นได้กว้างถึง 50 dB



รูปที่ 2.6 การแก้ไขวงจรกิลเบิร์ตเซลล์ [7]

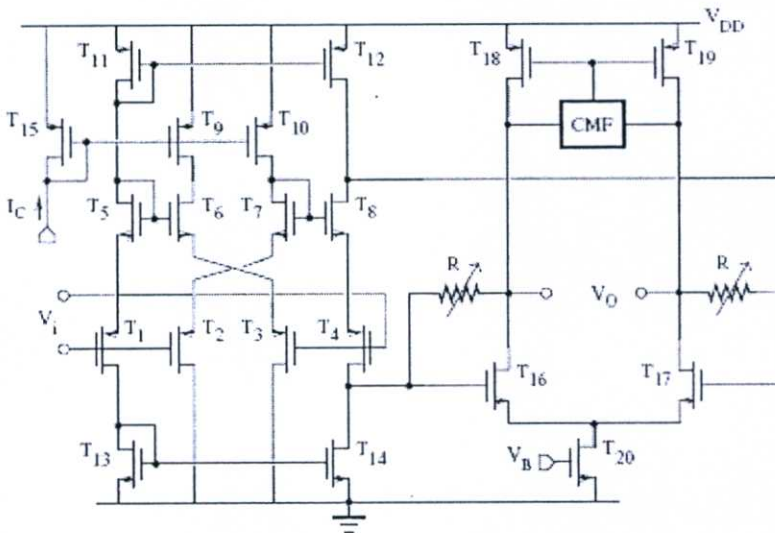
วงจรถัดมาคือ post amplifier ซึ่งถูกต่อกันจำนวน 5 ภาคดังรูปที่ 2.7 เพื่อต้องการอัตราขยายรวมของวงจรสูงขึ้น โดยมีวงจรบังคับออฟเซต (offset exaction circuit) เป็นลูบป้อนกลับเพื่อหักล้างแรงดันดิสออฟเซต (dc offset) และส่วนสุดท้ายเป็นวงจรบัฟเฟอร์ ทำหน้าที่ขับโหลดในภาคถัดไป



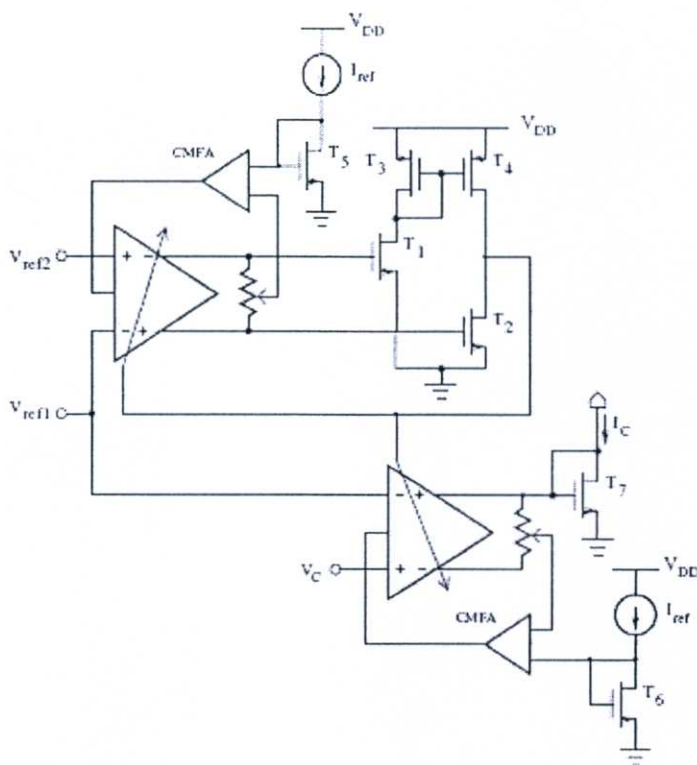
รูปที่ 2.7 โครงสร้างของวงจร VGA ที่ใช้งานใน Ethernet. [7]

กิลเบิร์ตเซลล์ยังถูกนำมาใช้ในการออกแบบวงจร VGA ดังเสนอใน [8] ซึ่งวงจร VGA ถูกแบ่งออกเป็น 2 ภาค โดยวงจรภาคแรกใช้เทคนิคของกิลเบิร์ต เนื่องจากวงจรรับสัญญาณอินพุตมาจาก RO/MO mux ซึ่งมีค่าอินพุตต่ำ แต่มีค่าที่แน่นอน ดังนั้นจึงใช้วงจรขยายผลต่างร่วม ประยุกต์กับเทคนิคของ Gilbert cell เพื่อช่วยเพิ่มอินพุตอิมพีแดนซ์และควบคุมช่วงอัตราขยายให้เป็นเชิงเส้น ส่วนภาคถัดมาจะกำหนดค่าอัตราขยายที่ตายตัวโดยการใช้สวิตช์ในการควบคุมอัตราขยาย ซึ่งมีค่า 30dB และมีแบนด์วิธ 60 MHz จะเห็นว่าวงจรนี้มีข้อเสียเรื่องของช่วงอัตราขยายสัญญาณแคบ และไม่สามารถควบคุมอัตราขยายได้อย่างอิสระ นอกจากนี้ยังมีข้อเสียในการสิ้นเปลืองพลังงานซึ่งใช้แรงดันไฟเลี้ยงถึง 3 โวลต์ เนื่องจากการใช้เทคโนโลยีไบโพลาร์ในการออกแบบวงจร ดังนั้นจึงนิยมนำทรานซิสเตอร์ชนิดมอสเฟตมาใช้แทนทรานซิสเตอร์ชนิดไบโพลาร์ เพื่อช่วยลดพลังงาน และด้วยความสามารถของมอสเฟตที่สามารถทำงานได้ที่ความถี่สูงขึ้นไปมากเมื่อเทียบกับอดีต อันเป็นผลจาก

ความก้าวหน้าทางเทคโนโลยี วงจร VGA ที่ออกแบบโดยการใช้เทคโนโลยีชนิดมอสเฟตมาทำงาน เช่นงานวิจัยที่นำเสนอ [10] โดยออกแบบวงจรด้วยการใช้เทคนิค master-slave วงจร VGA จะทำหน้าที่เป็น slave เนื่องจากวงจรมีเป็นส่วนหนึ่งในลูปวงจรปรับค่าอัตราขยายได้อัตโนมัติ ทำหน้าที่ปรับขนาดของสัญญาณเอาต์พุตของวงจรให้คงที่เพื่อนำสัญญาณไปใช้ในวงจรถัดไป ประกอบด้วยสองภาคคือ ภาคแรกเป็นส่วนของอินพุตทรานคอนคัทแดนซ์ที่ถูกควบคุมโดยกระแส และภาคถัดมาเป็นส่วนของทรานอิมพีแดนซ์เอาต์พุตทำหน้าที่เป็นบัฟเฟอร์ ซึ่งเมื่อผลตอบสนองทางความถี่ของวงจรเปลี่ยนไป วงจรในภาคนี้จะช่วยให้ค่าอินพุตและค่าเอาต์พุตอิมพีแดนซ์มีค่าต่ำ นอกจากนี้ยังนำเอาเทคนิคการป้อนกลับแบบคอมมอน โหมดมาใช้ด้วยเพื่อให้ได้ระดับแรงดันไฟตรงเอาต์พุตที่ต้องการ จะเห็นว่าเทคนิคที่นำมาใช้ในการออกแบบวงจรมีค่อนข้างน่าสนใจดังแสดงวงจรในรูปแบบที่ 2.8 แต่ยังคงค่อนข้างซับซ้อนไป โดยเฉพาะเมื่อต้องถูกควบคุมด้วยวงจรควบคุมอีกวงจรดังแสดงในรูปแบบที่ 2.9



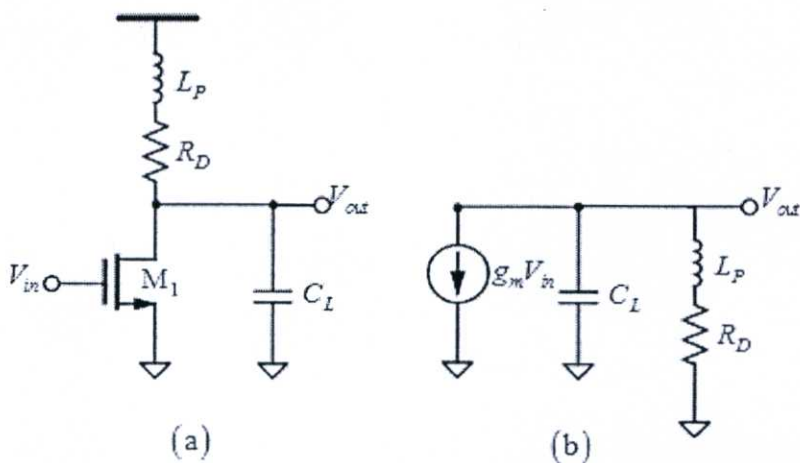
รูปที่ 2.8 วงจร VGA ซึ่งใช้เทคนิค master-slave



รูปที่ 2.9 วงจรควบคุม วงจร VGA

2.6.2 อินดักทีฟพีคกิ้ง (Inductive peaking)

เทคนิคอินดักทีฟพีคกิ้งโดยส่วนใหญ่จะพบเห็นในวงจรขยายที่ใช้งานด้านการสื่อสารทางแสง (optical fiber optic) เพื่อช่วยปรับปรุงแบนด์วิธของวงจร และใช้เป็นโหนดเอาต์พุตของวงจรขยาย เนื่องจากวงจรรขยายส่วนใหญ่ ให้ความสนใจต่อกระแสที่ไหลไปยังโหลดอิมพีแดนซ์ ดังนั้นจึงใช้เทคนิคดังกล่าวออกแบบอินพุตเพื่อให้ได้กระแสเอาต์พุตที่เหมาะสม

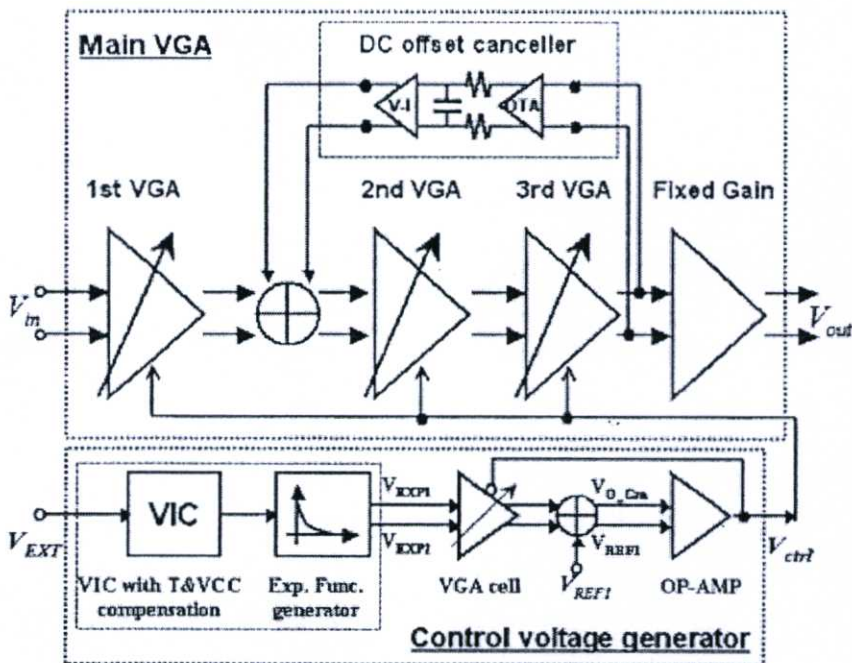


รูปที่ 2.10 (a) วงจรคอมมอน-ซอร์สที่มีการต่ออินดักทีฟ (b) วงจรสัญญาณขนาดเล็กของ(a)

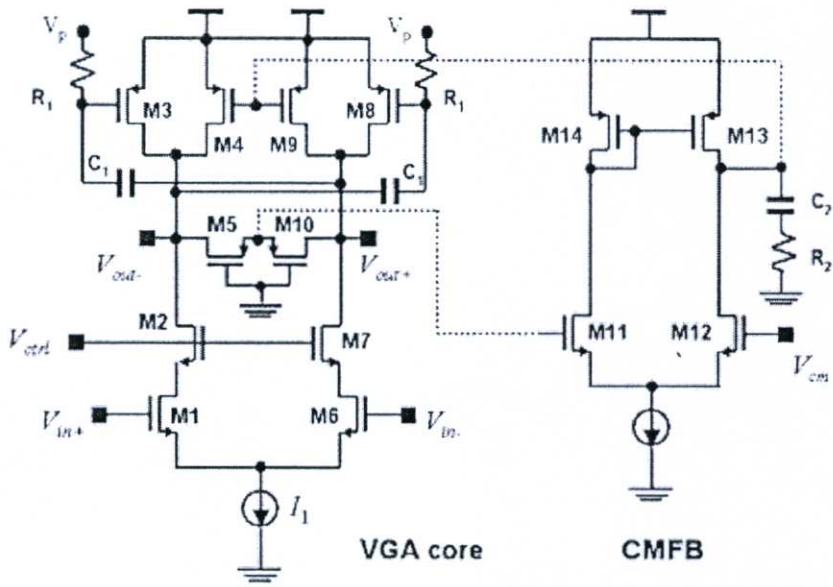
ตัวอย่างวงจรรินดักที่ฟแสดงดังรูปที่ 2.10 ถ้าตัวเหนี่ยวนำมีค่ามาก ดังนั้น V_{out} จะเกิดค่าพุ่งเกิน (overshoot) ก่อนเวลาเข้าที่ (settling time) ซึ่งช่วงการเกิดค่าพุ่งเกินนี้สามารถปรับปรุงให้แบนด์วิธมีค่าเพิ่มขึ้นได้ โดยการกำหนดค่าพารามิเตอร์ในวงจรซึ่งหาความสัมพันธ์ได้ดังสมการ

$$\frac{V_{out}}{V_{in}} = -g_m \frac{L_p s + R_D}{L_p \cdot C_L s^2 + R_D \cdot C_L s + 1} \quad (2.2)$$

เทคนิคอินดักทีฟฟลิกกิงถูกนำเสนอใน [11] ซึ่งใช้ในการออกแบบวงจร VGA ที่สามารถปรับอัตราขยายได้กว้างถึง 94.1dB โดยที่วงจร VGA ใช้ฟังก์ชันเอ็กโปเนนเชียลในการควบคุมอัตราขยาย และใช้เทคนิคอินดักทีฟเพื่อให้แบนด์วิธของวงจรรกว้างขึ้นซึ่งมีค่าประมาณ 900 เมกะเฮิร์ตต์แสดงโครงสร้างและวงจรในรูปที่ 2.11 และ รูปที่ 2.12 ตามลำดับ



รูปที่ 2.11 โครงสร้างของวงจรร VGA ที่มีอัตราขยายกว้าง [11]



รูปที่ 2.12 วงจร VGA ที่มีอัตราขยายกว้าง [11]

บทที่ 3

โครงสร้างของวงจรขยายสัญญาณที่ปรับอัตราขยายได้

3.1 บทนำ

ในบทนี้ เราจะพิจารณาถึงประเภทของโครงสร้างของวงจรขยายที่ปรับอัตราขยายได้และกล่าวถึงโครงสร้างของวงจรขยายที่มักพบเห็นเช่น โครงสร้างทรานส์คอนดักเตอร์-ซี โครงสร้างไจเรเตอร์ เป็นต้น จากนั้นจะนำเสนอการนำเอาเทคนิคต่างๆ ดังกล่าวมาใช้ในการออกแบบการออกแบบโครงสร้างของวงจรขยายที่ปรับอัตราขยายได้ตามวัตถุประสงค์ของงานวิจัยนี้โดยผสมผสานเอาหลายๆ เทคนิครวมทั้งการนำเอาเทคนิคการป้อนกลับแบบลบมาใช้ในการออกแบบโครงสร้างด้วย ถัดจากนั้นจะอธิบายถึงการทำงานของโครงสร้างที่ถูกออกแบบว่ามีผลต่อค่าขยายสัญญาณของวงจร ผลตอบสนองทางความถี่ของวงจร และผลต่ออิมพีแดนซ์ด้านเข้าและด้านออกของวงจรอย่างไร

3.2 ประเภทโครงสร้างของวงจรขยายสัญญาณที่ปรับอัตราขยายได้

หลักการพื้นฐานของการขยายสัญญาณมักถูกอธิบายด้วยอุปกรณ์สองพอร์ต (two-port) ซึ่งทำหน้าที่ประยุกต์สัญญาณด้านเข้าที่เรียกว่าอินพุตและสร้างสัญญาณที่เรียกว่าสัญญาณด้านออกหรือเอาต์พุต โดยที่ เอาต์พุตมีค่าเท่ากับผลคูณของอัตราขยายและอินพุต เมื่ออัตราขยายเป็นเป็นค่าคงที่ ที่มีค่าเหมาะสมกับระบบ หลักการดังกล่าวนี้ถูกเรียกว่าหลักการขยายแบบเชิงเส้น (linear amplifier) เพื่อหลีกเลี่ยงจากอุปกรณ์ที่อินพุต-เอาต์พุตมีความสัมพันธ์แบบไม่เป็นเชิงเส้น เช่น การขยายแบบควอดรติก (quadratic) ลอการิทึม/แอนติลอการิทึม (log/antilog) เป็นต้น ดังนั้นในหัวข้อนี้จะนำเสนอวงจรขยายที่มีหลักการขยายแบบเชิงเส้น โดยแบ่งประเภทของวงจรขยายเป็น 4 ประเภทคือ วงจรขยายแรงดัน วงจรขยายกระแส วงจรขยายทรานส์คอนดักแตนซ์ และวงจรขยายทรานส์อิมพีแดนซ์ดังนี้

3.2.1 วงจรขยายแรงดัน (Voltage Amplifier)

วงจรขยายแรงดัน เป็นวงจรขยายสัญญาณซึ่งรับสัญญาณด้านเข้าเป็นสัญญาณแรงดันและสัญญาณด้านออกก็เป็นแรงดันเช่นกัน นั่นคือจะทำหน้าที่ขยายแรงดันมาเป็นแรงดัน (voltage to voltage) ดังรูปที่ 3.1 ซึ่งแต่ละพอร์ตของวงจรขยาย จำลองโดยใช้วงจรสมมูลเทเวนิน(The'venin equivalent) ซึ่งประกอบด้วยแหล่งจ่ายแรงดันต่ออนุกรมกับตัวต้านทาน พอร์ตอินพุตมีตัว

ต้านทาน R_i เพื่อจำลองเป็นค่าความต้านทานอินพุต (input resistance) ของวงจรรขยาย ส่วนพอร์ตเอาต์พุตถูกจำลองเป็นแหล่งจ่ายแรงดันซึ่งถูกควบคุมค่าโดยแรงดัน (voltage controlled voltage source:VCVS) ซึ่งหมายความว่า แรงดัน v_o จะขึ้นอยู่กับแรงดัน v_i และพอร์ตเอาต์พุตยังมีตัวต้านทาน R_o ซึ่งถูกเรียกว่าค่าความต้านทานเอาต์พุต (output resistance) ต่ออนุกรมกับตัวต้านทานโหลด R_L จากรูปที่ 3.1 สามารถหาความสัมพันธ์ในรูปแบบสมการได้โดยที่ A_{oc} เป็นแฟกเตอร์ของอัตราขยายแรงดันดังนี้

$$v_o = \frac{R_L}{R_o + R_L} A_{oc} v_i \quad (3.1)$$

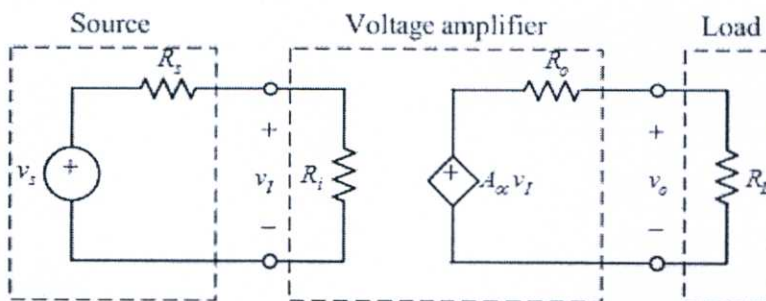
ถ้าให้ $R_L = \infty$ ดังนั้นสมการ (3.1) จะได้เป็น $v_o = A_{oc} v_i$ ซึ่งกรณีนี้จะเรียก A_{oc} ว่าอัตราขยายแรงดันวงจรเปิด (open-circuit) หรืออัตราขยายแรงดันที่ไม่มีโหลด (unloaded) เมื่อใช้วิธีแบ่งแรงดันที่พอร์ตอินพุตจะได้ว่า

$$v_i = \frac{R_i}{R_s + R_i} v_s \quad (3.2)$$

จากสมการ (3.1) และ (3.2) พิจารณาอัตราขยายจากแหล่งจ่ายไปยังโหลด (source-to-load) จะได้

$$\frac{v_o}{v_s} = \frac{R_i}{R_s + R_i} A_{oc} \frac{R_L}{R_o + R_L} \quad (3.3)$$

สัญญาณอินพุตที่เข้ามาจะถูกลดทอนครั้งแรกที่พอร์ตอินพุตดังนั้น A_{oc} จะทำหน้าที่ขยายขนาดสัญญาณภายในวงจรรขยายก่อนที่สัญญาณจะถูกลดทอนอีกครั้งที่พอร์ตเอาต์พุต การลดทอนขนาดสัญญาณดังกล่าวนี้จะถูกอ้างถึงโหลด (loading) ของวงจร ดังนั้นสมการ (3.3) จะกำหนดให้ $|v_o/v_s| \leq |A_{oc}|$



รูปที่ 3.1 วงจรรขยายแรงดัน

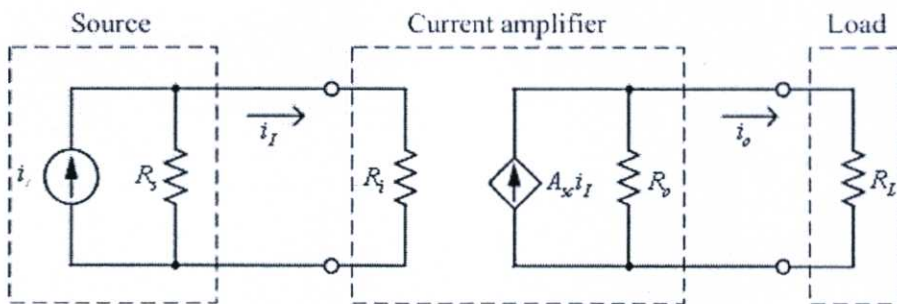
โหลดในวงจรเป็นสิ่งที่ไม่ต้องการสำหรับวงจรขยายเนื่องจากทำให้อัตราขยายของระบบขึ้นกับแหล่งจ่ายอินพุตและโหลดเอาต์พุตสังเกตได้ว่าเมื่อวงจรขยายถูกต้องกับแหล่งจ่ายอินพุตกระแสที่ไหลผ่าน R_s ลดน้อยลงเพราะมีแรงดันบางส่วนถูกแบ่งไปยัง R_s หรือเกิดการครอบ (drop) ของแรงดันส่งผลให้ v_i ลดลง และ v_o ลดน้อยลงด้วยเนื่องจาก v_o ขึ้นกับแหล่งจ่ายแรงดัน $A_{oc}v_i$ และแรงดันถูก ครอบที่ R_o และถ้าสามารถละทิ้งโหลดได้เราจะได้ $v_o/v_s = A_{oc}$ ดังนั้นในกรณีอุดมคติวงจรขยายแรงดันจะมีความต้านทานด้านเข้าเป็นอนันต์ และมีความต้านทานด้านออกเป็นศูนย์

3.2.2 วงจรขยายกระแส (Current Amplifier)

วงจรขยายกระแสถูกจำลองด้วยวงจรสมมูลของนอร์ตัน (Norton equivalents) ดังรูปที่ 3.2 เป็นวงจรขยายสัญญาณซึ่งรับสัญญาณอินพุตเป็นสัญญาณกระแสและจ่ายสัญญาณเอาต์พุตเป็นกระแส พารามิเตอร์ A_{sc} ของแหล่งจ่ายกระแสซึ่งถูกควบคุมด้วยกระแส (current-controlled current source: CCCS) เรียกว่าอัตราขยายกระแสแบบวงจรปิด (short-circuit) และสามารถหาความสัมพันธ์ของอัตราขยายกระแสจากแหล่งจ่ายไปยังโหลดดังสมการ

$$\frac{i_o}{i_s} = \frac{R_s}{R_s + R_i} A_{sc} \frac{R_o}{R_o + R_L} \quad (3.4)$$

ดังนั้นจากผลที่เกิดจากโหลดภายในที่พอร์ตอินพุตและพอร์ตเอาต์พุต i_s จะสูญหายโดยไหลผ่าน R_s ทำให้ i_i มีค่าน้อยกว่า i_s และเช่นเดียวกับกับพอร์ตเอาต์พุต $A_{sc}i_i$ จะสูญหายไปกับ R_o ดังนั้น $|i_o/i_s| \leq |A_{sc}|$ และถ้าไม่คิดโหลดได้เราจะได้ $i_o/i_s = A_{sc}$ ดังนั้นในกรณีอุดมคติวงจรขยายกระแสจะมีความต้านทานด้านเข้า R_i เป็นศูนย์ และมีความต้านทานด้านออก R_o เป็นอนันต์

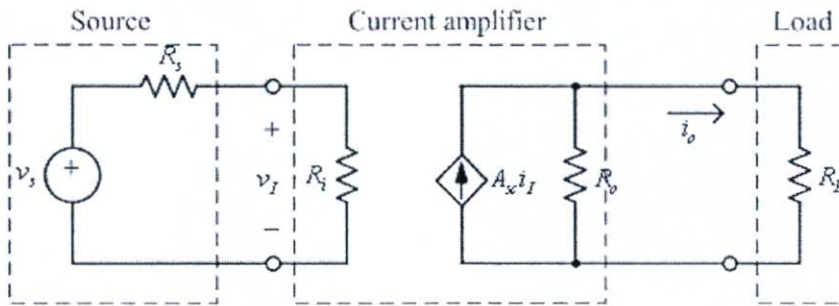


รูปที่ 3.2 วงจรขยายกระแส

3.2.3 วงจรขยายทรานส์คอนดักแตนซ์ (Transconductance Amplifier)

วงจรขยายทรานส์คอนดักแตนซ์ เป็นวงจรขยายสัญญาณซึ่งรับสัญญาณอินพุตเป็นสัญญาณแรงดันและจ่ายสัญญาณเอาต์พุตเป็นกระแสดังรูปที่ 3.3 หรือเรียกว่า แหล่งจ่ายแรงดันซึ่งถูกควบคุมด้วยกระแส (voltage-controlled current source: VCCS) โดยมีอัตราขยายดังนี้

$$G_m = \frac{R_s}{R_s + R_i} A_{sc} \frac{R_o}{R_o + R_L} \quad (3.5)$$

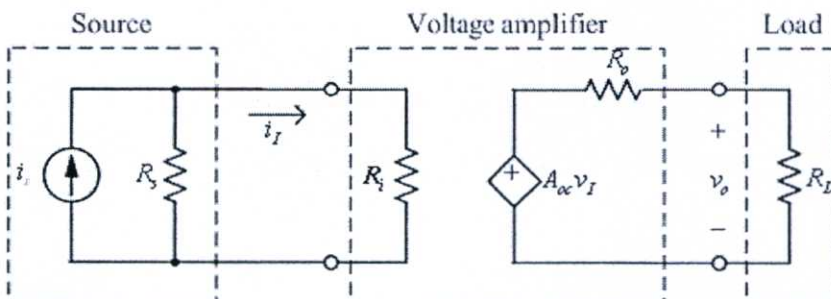


รูปที่ 3.3 วงจรขยายทรานส์อิมพีแดนซ์

3.2.4 วงจรขยายทรานส์อิมพีแดนซ์ (Transimpedance Amplifier)

วงจรขยายทรานส์อิมพีแดนซ์เป็นวงจรขยายสัญญาณที่มีอินพุตเป็นกระแส i_i และเอาต์พุตเป็นแรงดัน v_o หรือเรียกว่า แหล่งจ่ายกระแสซึ่งถูกควบคุมด้วยแรงดัน (current-controlled voltage source: CCVS) โดยมีคุณลักษณะของวงจรที่เรียกว่า “อัตราขยายทรานส์อิมพีแดนซ์ (transimpedance gain) R_T ” ซึ่งถูกกำหนดโดย $R_T = v_o / i_i$ หรือ

$$R_T = \frac{R_s}{R_s + R_i} A_{oc} \frac{R_L}{R_o + R_L} \quad (3.6)$$



รูปที่ 3.4 วงจรขยายทรานส์อิมพีแดนซ์

จากวงจรขยายสัญญาณประเภทต่างๆ ข้างต้น สามารถนำมาประยุกต์ใช้งานเพื่อได้โครงสร้างใหม่ๆ ที่พบเห็นในปัจจุบัน ได้แก่

3.3 โครงสร้างทรานส์คอนดักเตอร์-ซี (Transconductor-C)

วงจรทรานส์คอนดักเตอร์-ซีหรือมักเรียกว่าวงจร G_m -C เป็นโครงสร้างที่ได้รับความนิยมในการออกแบบวงจรรวมโดยเฉพาะวงจรกรองความถี่ เนื่องจากสามารถทำงานในย่านความถี่สูงได้ดีกว่าเทคนิคอื่นๆ เช่นเทคนิคแอกทีฟ-RC เทคนิค MOSFET-C เป็นต้น วงจร G_m -C ประกอบด้วยทรานส์คอนดักเตอร์และตัวเก็บประจุดังรูปที่ 3.5 โดยแบ่งการทำงานของวงจรถูกออกเป็น 2 โหมดคือ โหมดแรงดันและโหมดกระแส ดังรูปที่ 3.5(a) และรูปที่ 3.5(b) ตามลำดับ แสดงความสัมพันธ์ระหว่างกระแสเอาต์พุตและแรงดันอินพุตของทรานส์คอนดักเตอร์เป็นดังสมการ

$$I_{out} = G_m V_{in} \quad (3.7)$$

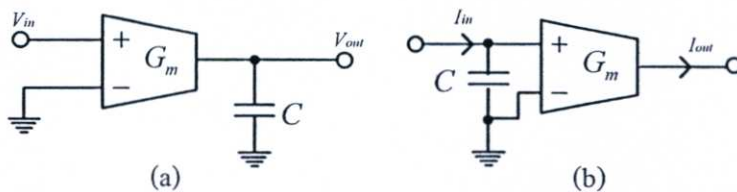
เมื่อ G_m เป็นค่าทรานส์คอนดักแตนซ์ และฟังก์ชันถ่ายโอนของวงจรทั้งสองเป็นดังสมการ

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{I_{out}(s)}{I_{in}(s)} = \frac{G_m}{sC} \quad (3.8)$$

และถ้าพิจารณาความถี่ของวงจร G_m -C ที่อัตราขยายหนึ่ง(unity-gain) จะได้

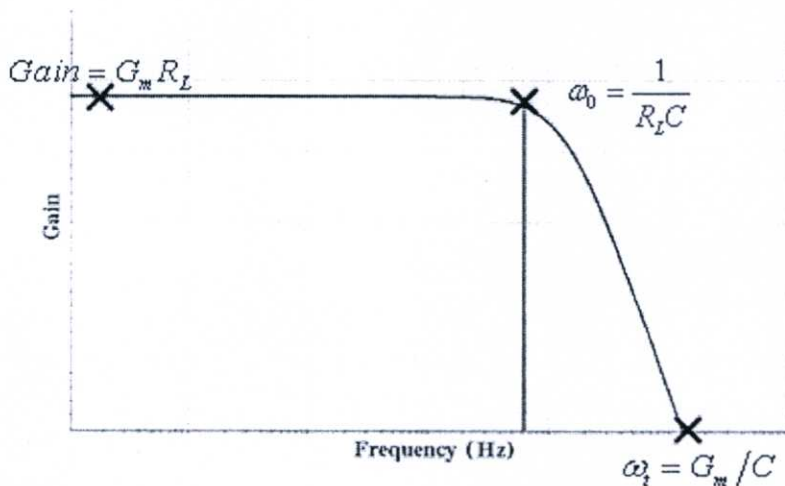
$$\omega_o = \frac{G_m}{C} \quad (3.9)$$

เมื่อ ω_o เป็นความถี่ที่มีอัตราขยายเท่ากับหนึ่งและจากสมการที่ (3.8) และ (3.9) จะเห็นว่าวงจร G_m -C สามารถปรับ (tune) ความความถี่ได้โดยปรับแรงดันหรือกระแสของทรานส์คอนดักเตอร์

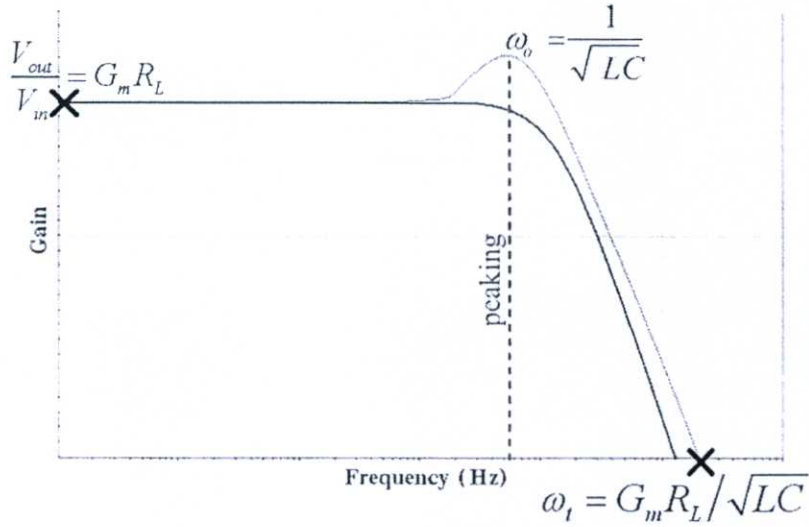


รูปที่ 3.5 วงจร G_m -C (a) โหมดแรงดัน (b) โหมดกระแส

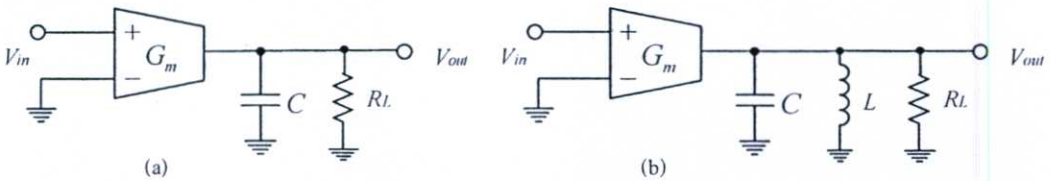
ในการออกแบบวงจร G_m -C ควรรออกแบบทรานส์คอนดักเตอร์ให้มีอัตราขยายเปิด (open-loop gain) ให้ค่าทรานส์คอนดักแดนซ์สูง และเอาต์พุตอิมพีแดนซ์สูง แต่สำหรับในวงจร VGA ไม่ต้องการเอาต์พุตอิมพีแดนซ์ที่สูงมากนัก เนื่องจากวงจร VGA โดยส่วนใหญ่ต้องการอัตราขยายของวงจรค่อนข้างสูง วงจร VGA เพียงภาคเดียว อาจมีอัตราขยายไม่สูงมากนัก ดังนั้นจึงจำเป็นต้องมีการต่อวงจร VGA หลายๆ ภาคต่อкасเคด (cascade) กันเพื่อให้ได้อัตราขยายสูงขึ้น ดังนั้นจุดเชื่อมระหว่างภาค ซึ่งเป็นเอาต์พุตของวงจรภาคก่อนหน้าต่อกับอินพุตของวงจรภาคถัดไป จึงควรมีอิมพีแดนซ์ต่ำๆ เพื่อไม่ให้เกิดปัญหาผลของโหลด (loading effect) ซึ่งอาจแก้ปัญหาด้วยการต่อตัวเหนี่ยวนำแบบแอคทีฟ (active negative feedback) ที่ใช้โครงสร้างไจเรเตอร์-ซี (gyrator-C) ต่อขนานที่โหนดเอาต์พุตของวงจรรูปที่ 3.5(a) ส่งผลให้ที่โหนดเอาต์พุตมีอิมพีแดนซ์ต่ำ และการต่อตัวเหนี่ยวนำที่โหนดเอาต์พุตของวงจรรูปที่ 3.8(a) และแสดงได้ดังรูปที่ 3.8(b) ยังส่งผลให้โหนดเอาต์พุตมีลักษณะเป็นวงจร LC-tank ซึ่งทำให้เกิดเรโซแนนซ์ขึ้น โดยที่ความถี่เรโซแนนซ์มีค่าประมาณ $\omega_0 = \frac{1}{\sqrt{LC}}$ เมื่อ L เป็นตัวเหนี่ยวนำเสมือนที่เกิดจากโครงสร้างไจเรเตอร์-ซี และ ω_0 เป็นความถี่เรโซแนนซ์ (resonance frequency) และการเกิดเรโซแนนซ์จะช่วยให้แบนด์วิธของวงจรเพิ่มขึ้น เนื่องจากจะเห็นว่าโดยส่วนใหญ่ผลตอบสนองทางความถี่ของวงจรขยายมีลักษณะของผลตอบสนองทางความถี่เหมือนวงจรกรองความถี่ต่ำดังรูปที่ 3.6 ซึ่งแสดงจุดคutoff $\omega_0 = \frac{1}{R_L C}$ ถ้าที่จุดคutoffของรูปดังกล่าวเกิดเรโซแนนซ์ขึ้นดังรูปที่ 3.7 จะส่งผลให้เกิดการพีกกิ้ง (peaking) ที่จุดตัด ω_0 ดังกล่าว และถ้าเราสามารถเลื่อนตำแหน่งของ ω_0 ให้เลื่อนไปทางขวาได้ ซึ่งอาจใช้วิธีการปรับค่าพารามิเตอร์ของตัวเก็บประจุหรือตัวเหนี่ยวนำเป็นต้น ก็จะทำให้แบนด์วิธของวงกว้างขึ้นได้ จากแนวคิดดังกล่าวถูกนำมาพิจารณาพร้อมกับโครงสร้างไจเรเตอร์ดังจะกล่าวในหัวข้อถัดไป



รูปที่ 3.6 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำ



รูปที่ 3.7 การเกิดเรโซแนนซ์ของวงจร



รูปที่ 3.8 เปรียบเทียบที่โหนดเอาต์พุตของวงจร G_m -C ระหว่าง (a) มีตัวเก็บประจุเพียงอย่างเดียว วงจร G_m -C โดยทั่วไป (b) มีตัวเก็บประจุต่อขนานกันตัวเหนี่ยวนำ

3.4 โครงสร้างไจเรเตอร์ (The gyrator implementation)

ไจเรเตอร์เป็น โครงสร้างที่ใช้อธิบายคุณลักษณะของวงจร two-port active network ดังแสดงในรูปที่ 3.9(a) เพื่อหาอิมพีแดนซ์ที่พอร์ตอินพุต (input port) และพอร์ตเอาต์พุต (output port) จากรูปที่ 3.9(b) ถ้าพอร์ตเอาต์พุตมีการต่อตัวเก็บประจุเชิงเส้น (linear capacitance) สมการคุณลักษณะสามารถเขียนได้ดังนี้

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} 0 & -g_2 \\ g_1 & 0 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \tag{3.10}$$

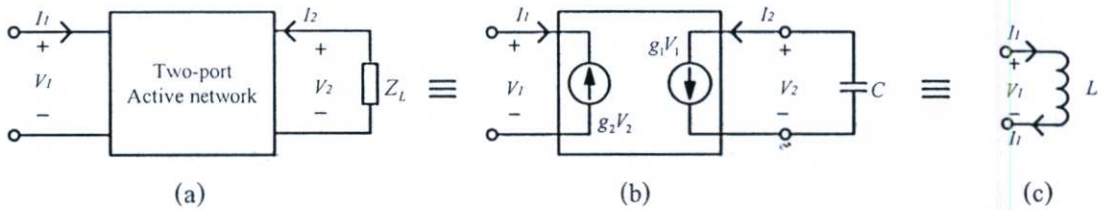
เมื่อ g_1 และ g_2 เป็นคอนดักแตนซ์ที่เรียกว่า ไจเรชันคอนดักแตนซ์ (gyration conductance) และเมื่อพิจารณาคุณสมบัติพื้นฐานของไจเรเตอร์ในอุดมคติจะเป็นดังสมการคือ

$$\frac{V_1}{I_1} = -\frac{I_2/g_1}{g_2 \cdot V_2} = \frac{1}{g_1 g_2} \cdot \frac{-I_2}{V_2} \quad (3.11)$$

ดังนั้นถ้ามีตัวเก็บประจุเชิงเส้นต่อที่พอร์ตเอาต์พุต และพิจารณาที่พอร์ตอินพุตจะแสดงลักษณะของตัวเหนี่ยวนำคังสมการ

$$V_1 = \frac{1}{g_1} \cdot I_2 = \frac{1}{g_1} \cdot \left(C \frac{dV_2}{dt} \right) = \frac{C}{g_1} \cdot \left(\frac{1}{g_2} \cdot \frac{dI_1}{dt} \right) = \frac{C}{g_1 g_2} \cdot \left(\frac{dI_1}{dt} \right) \quad (3.12)$$

นั่นคือ $L = \frac{C}{g_1 g_2}$



รูปที่ 3.9 การจำลองตัวเหนี่ยวนำโดย 2-พอร์ต

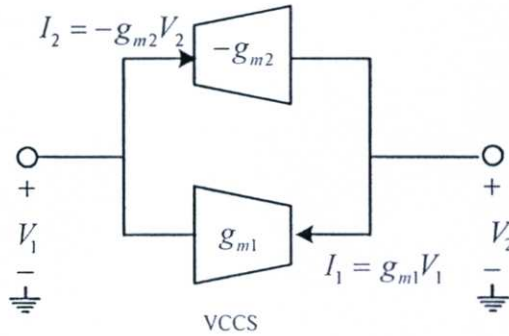
การจำลองตัวเหนี่ยวนำแบบแอกทีฟแบบไจเรเตอร์ - ซี

การจำลองตัวเหนี่ยวนำแบบแอกทีฟโดยส่วนใหญ่จะใช้วิธีดังรูปที่ 3.9 ดังนั้นในการสร้างโครงสร้างของไจเรเตอร์ จึงใช้สมการคุณลักษณะในสมการที่ (3.10) โดยพิจารณาเมทริกซ์ของแอดมิตแตนซ์ (admittance matrix) ดังนี้

$$Y = \begin{bmatrix} 0 & -g_2 \\ g_1 & 0 \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ g_1 & 0 \end{bmatrix} + \begin{bmatrix} 0 & -g_2 \\ 0 & 0 \end{bmatrix} \quad (3.13)$$

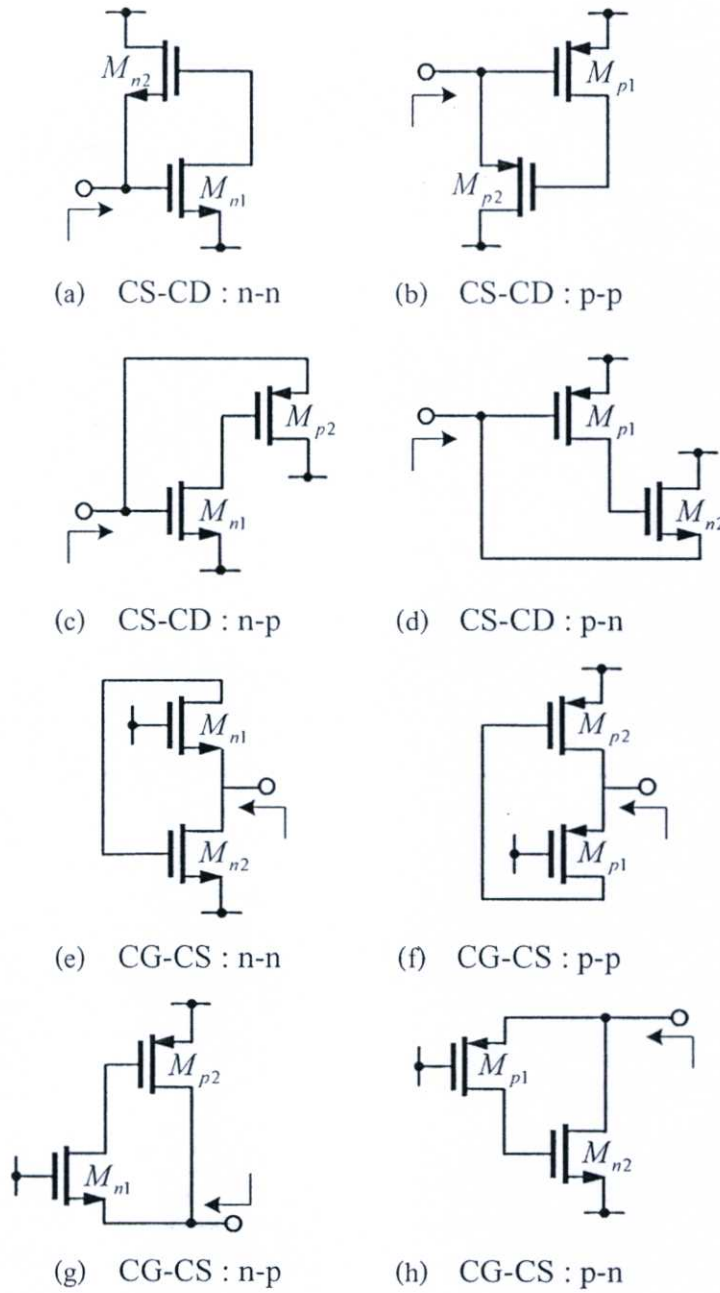
จากสมการที่ (3.13) ซึ่งเป็นสมการเมทริกซ์ของแอดมิตแตนซ์ ที่เกิดจากผลบวกของสองเมทริกซ์ซึ่งเป็นเมทริกซ์ตรงกันข้าม (opposite matrix) ค่าพารามิเตอร์ภายในเมทริกซ์แสดงส่วนกลับของอิมพีแดนซ์ ซึ่งเป็นค่าทรานส์คอนดักแตนซ์นั่นเอง ดังนั้นจึงใช้ VCCS (voltage-control current source) จำนวน 2 ตัว ซึ่งมีเฟสตรงข้ามกัน 180° ต่อในลักษณะดังรูปที่ 3.10 และในการสร้าง VCCS สามารถสร้างโดยง่ายคือ การใช้ทรานซิสเตอร์ 1 ตัว เพื่อใช้แทน VCCS จำนวน 1 ตัว ดังนั้นในการใช้งานที่ความถี่สูงจะใช้ทรานซิสเตอร์ 1 ตัว แทนทรานส์คอนดักเตอร์ 1 ตัว เพื่อให้วงจรสามารถทำงานได้ที่ความถี่สูงมากๆ คือประมาณความถี่ที่ f_T ของทรานซิสเตอร์นั้น และสำหรับค่าทรานซ์

คอนดักแตนซ์ g_{m1} และ g_{m2} สามารถสร้างได้โดยใช้วงจรรขยายที่มีทรานซิสเตอร์หนึ่งตัว เช่น วงจรรขยายซอร์สร่วม (common source:CS) วงจรรขยายเดรนร่วม (common drain:CD) และ วงจรรขยายเกตร่วม (common gate:CG) เป็นต้น



รูปที่ 3.10 โครงสร้างไจเรเตอร์โดยใช้ VCCS จำนวน 2 ชุด

เมื่อพิจารณาในส่วนของวงจรรขยาย CS ซึ่งทำให้เกิดทรานส์คอนดักแตนซ์แบบลบ กระแสเอาต์พุตไหลเข้าวงจรรขยาย เมื่อป้อนแรงดันอินพุตเป็นบวกในขณะที่วงจรรขยาย CD และ วงจรรขยาย CG ทำให้เกิดทรานส์คอนดักแตนซ์แบบบวก กระแสเอาต์พุตไหลออกจากวงจรรขยาย เมื่อป้อนแรงดันอินพุตเป็นบวกดังนั้นในการสร้างวงจรรโดยใช้โครงสร้างรูปที่ 3.10 สามารถสร้างได้ โดยใช้วงจรรขยาย CS ร่วมกับวงจรรขยาย CD หรือวงจรรขยาย CS กับวงจรรขยาย CG และในแต่ละ ส่วนอาจสร้างได้โดยใช้อุปกรณ์แบบพี-แชนแนลหรือเอ็น-แชนแนลอันใดอันหนึ่งดังแสดงรูปที่ 3.11



รูปที่ 3.11 วงจรจำลอง โครงสร้างไจเรเตอร์-ซีโดยใช้ทรานซิสเตอร์ 2 ตัว [14]

พิจารณการวิเคราะห์ที่สำคัญขนาดเล็กน้อยของวงจรจำลองตัวเหนี่ยวนำแบบแอกทีฟโดยใช้โครงสร้างไจเรเตอร์-ซี ดังรูปที่ 3.11 เราสามารถใช้แบบจำลองทรานซิสเตอร์อย่างง่ายในรูปที่ 3.12(a) แทนลงในทรานซิสเตอร์ M_1 และ M_2 ดังนั้นอินพุตอิมพีแดนซ์ของวงจรในรูปที่ 3.11 สามารถอธิบายเป็นวงจรสมมูลแบบพาสซีฟได้ดังรูปที่ 3.12(b) โดยพารามิเตอร์แต่ละตัวมีค่าดังนี้

$$L_{eq} \approx \frac{C_{gs2}}{g_{m1}g_{m2}} \quad (3.14)$$

$$R_s \approx \frac{g_{ds1}}{g_{m1}g_{m2}} \quad (3.15)$$

$$R_s \approx \frac{1}{g_{ds2}} \quad (3.16)$$

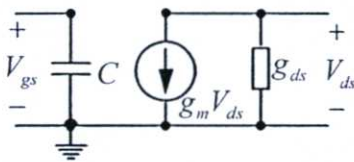
$$C_p \approx C_{gs1} \quad (3.17)$$

โดยที่

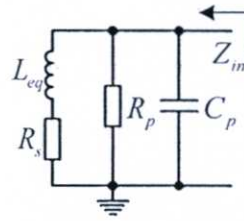
g_{m1} และ g_{m2} เป็นค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ

C_{gs1} และ C_{gs2} เป็นค่าคาปาซิแตนซ์ของทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ

g_{ds1} และ g_{ds2} เป็นค่าคอนดักแตนซ์ของเดรนกับซอร์สของทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ



(ก) แบบจำลองทรานซิสเตอร์อย่างง่าย

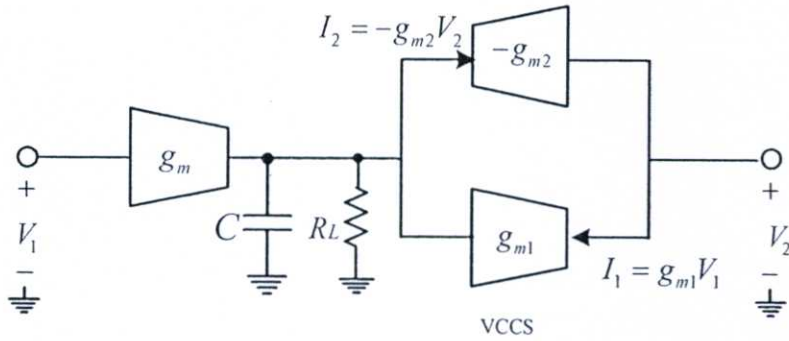


(ข) วงจรสมมูลของวงจรจำลองตัวเหนี่ยวนำแบบเอกทีฟ

รูปที่ 3.12 การวิเคราะห์สัญญาณขนาดเล็กของวงจรรูปที่ 3.11

3.5 แนวคิดการประยุกต์ใช้โครงสร้างทรานส์คอนดักเตอร์กับโครงสร้างไจเรเตอร์

จากวงจรรูปที่ 3.8 เมื่อตัวเหนี่ยวนำถูกจำลองด้วยโครงสร้างรูปที่ 3.10 สามารถแสดงรูปใหม่ได้ดังรูปที่ 3.13 ถ้าที่โหนดเอาต์พุตถูกต่อเข้ากับตัวเก็บประจุและตัวต้านทานซึ่งทำหน้าที่เป็นโหลดของวงจร ดังนั้น โครงสร้างจะมีลักษณะดัง โครงสร้างการป้อนกลับแบบเอกทีฟ ซึ่งจะนำเสนอในหัวข้อที่ 3.7 ต่อไป



รูปที่ 3.13 แนวคิดการประยุกต์โครงสร้างทรานส์คอนดักเตอร์กับโครงสร้างไจราเตอร์

3.6 การป้อนกลับลบ

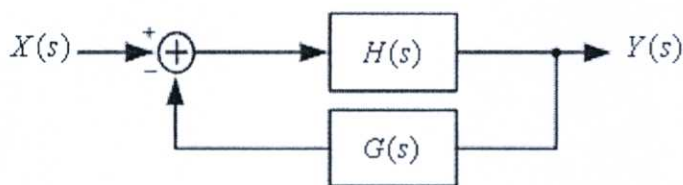
เทคนิคการป้อนกลับลบถูกนำมาใช้แก้ปัญหาในวงจรรขยายสัญญาณ เนื่องจากวงจรรขยายสัญญาณมักจะมีค่าอัตราขยายสัญญาณไม่แน่นอนและมีความเพี้ยน (distortion) ของสัญญาณค่อนข้างมาก ดังนั้นถ้านำสัญญาณเอาต์พุตบางส่วนมาป้อนกลับลบ ณ จุดสัญญาณอินพุตของวงจรรขยายสัญญาณก็จะสามารถทำให้ค่าอัตราขยายสัญญาณมีค่าคงตัวไม่ขึ้นกับค่าขยายของอุปกรณ์พาสซีฟมากนัก และสามารถลดความเพี้ยนของสัญญาณได้ [15] และถ้าพิจารณารูปที่ 3.17 ซึ่งเป็นระบบโดยทั่วไปของการป้อนกลับลบ โดย $H(s)$ และ $G(s)$ คือ การเปลี่ยนแปลงถูกตรวจวัดที่อินพุต (feedforward) หรือการป้อนไปข้างหน้า และการป้อนกลับตามลำดับ ดังนั้นเอาต์พุตของ $G(s)$ มีค่าเท่ากับ $G(s)Y(s)$ ส่วนอินพุตของ $H(s)$ ซึ่งเรียกว่าสัญญาณผิดพลาดจากการป้อนกลับ (feedback error) จะมีค่าเท่ากับ $X(s) - G(s)Y(s)$ นั่นคือ

$$Y(s) = H(s)[X(s) - G(s)Y(s)] \quad (3.18)$$

หรือ

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 + G(s)H(s)} \quad (3.19)$$

เราจะเรียก $H(s)$ ว่าฟังก์ชันถ่ายโอนลูปเปิด (open-loop) และ $Y(s)/X(s)$ ว่าฟังก์ชันถ่ายโอนลูปปิด (closed-loop) ในการออกแบบการป้อนกลับลบที่ดีควรให้เทอมของความผิดพลาดมีค่าน้อยที่สุด ดังนั้นจึงควรให้เอาต์พุตของ $G(s)$ มีค่าความละเอียดใกล้เคียงกับสัญญาณอินพุต $X(s)$ หรือถ้ามีค่าเท่ากันก็จะทำให้อินพุตของ $H(s)$ มีขนาดเล็กมากหรือเรียกว่า กราวนด์เสมือน (virtual ground)

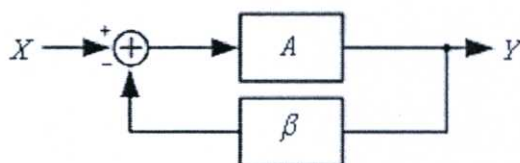


รูปที่ 3.14 ระบบโดยทั่วไปของการป้อนกลับ

3.6.1 คุณสมบัติของวงจรถ่ายกลับ

ในหัวข้อนี้จะกล่าวถึงคุณสมบัติพื้นฐานของการป้อนกลับโดยเน้นในเรื่องของอัตราขยายและแบนด์วิธเป็นสำคัญ และจะแทนค่าตัวแปรใหม่ดังรูปที่ 3.15 ซึ่งสมการที่ (3.19) เขียนใหม่ได้เป็น

$$\begin{aligned} \frac{Y}{X} &= \frac{A}{1 + \beta A} \\ &\approx \frac{1}{\beta} \left(1 - \frac{1}{\beta A} \right) \end{aligned} \quad (3.20)$$



รูปที่ 3.15 การป้อนกลับอย่างง่าย

เสถียรภาพของอัตราขยายสัญญาณ

จากสมการ (3.20) เมื่อให้ $\beta A \gg 1$ ดังนั้นถ้าพิจารณาอัตราขยายรูปปิด Y/X ที่ลำดับแรก (first-order) จะถูกกำหนดโดยแฟกเตอร์ของการป้อนกลับ β ส่วนถ้าให้แฟกเตอร์ของ β มีค่าคงที่ จะเขียนสมการแสดงการเปลี่ยนแปลงค่าอัตราขยาย Y/X เมื่อค่าอัตราขยายรูปเปิด A เปลี่ยนแปลงดังนี้

$$\Delta \left(\frac{Y}{X} \right) = \frac{\Delta(A)}{(1 + \beta A)} - \frac{(\beta A)(\Delta(A))}{(1 + \beta A)^2} = \frac{\Delta(A)}{(1 + \beta A)^2} \quad (3.21)$$

เมื่อ $\Delta(Y/X)$ คือการเปลี่ยนแปลงค่าอัตราขยายลูปปิด และ $\Delta(A)$ คือการเปลี่ยนแปลงค่าอัตราขยายลูปเปิด และถ้านำสมการ (3.20) มารวบรวมสมการที่ (3.21) จะได้

$$\frac{\Delta(Y/X)}{(Y/X)} = \frac{1}{(1 + \beta A)} \cdot \frac{\Delta(A)}{A} \quad (3.22)$$

จากสมการที่ (3.21) จะเห็นว่าในกรณีที่ค่าอัตราขยายสัญญาณแบบลูปเปิดมีการเปลี่ยนแปลงเท่ากับ $\Delta(A)/A$ จะปรากฏว่าอัตราส่วนของค่าอัตราขยายสัญญาณแบบลูปปิดเมื่อมีการป้อนกลับลบ จะมีการเปลี่ยนแปลงเท่ากับ $\Delta(Y/X)/(Y/X)$ โดยอัตราการเปลี่ยนแปลงจะน้อยลงถึง $1/(1 + \beta A)$ เท่า ดังนั้นในกรณีลูปเกนสูงมาก จะได้ว่า

$$\frac{\Delta(Y/X)}{(Y/X)} \cong 0 \quad (3.23)$$

นั่นคือ ค่าอัตราขยายสัญญาณแบบลูปปิดจะมีค่าค่อนข้างที่ไม่แปรเปลี่ยนไปตามการเปลี่ยนแปลงของอัตราขยายแบบลูปเปิด โดยเฉพาะอย่างยิ่งเมื่อลูปเกนมีค่าสูงมาก

การเพิ่มแบนด์วิธของวงจร

การเพิ่มแบนด์วิธของวงจรมีการป้อนกลับลบจะแสดงให้เห็นเด่นชัดเมื่อค่าอัตราขยายสัญญาณลูปเปิดมีโพล(pole) หนึ่ง โพลดังกล่าวจะย้ายโอนในสมการ (3.24)

$$A(s) = \frac{A_0}{1 + \frac{s}{\omega_0}} \quad (3.24)$$

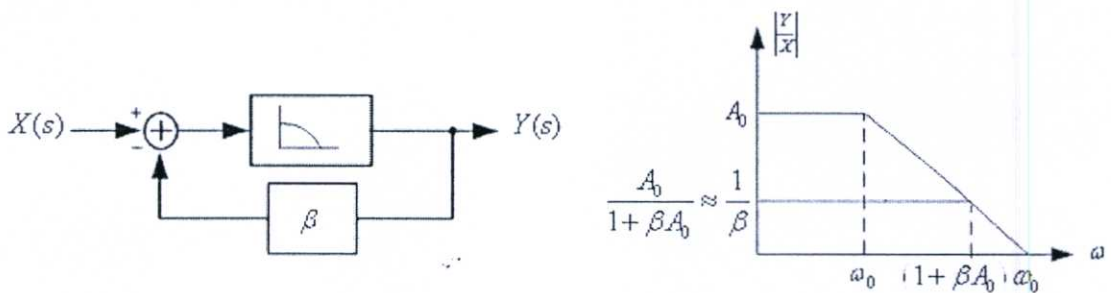
เมื่อ A_0 แสดงอัตราขยายที่ความถี่ต่ำ และ ω_0 เป็นแบนด์วิธที่ 3-dB ดังนั้นจากสมการ (3.20) จะได้ว่า

$$\frac{Y}{X}(s) = \frac{\frac{A_0}{1 + \frac{s}{\omega_0}}}{1 + \beta \frac{A_0}{1 + \frac{s}{\omega_0}}} \quad (3.25)$$

$$= \frac{A_0}{1 + \beta A_0 + \frac{s}{\omega_0}} \quad (3.26)$$

$$= \frac{\frac{A_0}{1 + \beta A_0}}{1 + \frac{s}{(1 + \beta A_0)\omega_0}} \quad (3.27)$$

จากสมการ (3.27) เป็นสมการอย่างง่ายที่แสดงอัตราขยายลูปเปิดที่ความถี่ต่ำ และพจน์ของ $(1 + \beta A_0)\omega_0$ ซึ่งเป็นตัวหารที่มีผลต่อโพล ดังนั้นจะได้ว่าแบนด์วิธที่ 3-dB สามารถเพิ่มขึ้นได้โดยแฟกเตอร์ของ $1 + \beta A_0$



รูปที่ 3.16 การเพิ่มแบนด์วิธซึ่งส่งผลจากการป้อนกลับลบ

ในการเพิ่มแบนด์วิธของวงจรที่ใช้การป้อนกลับลบจะส่งผลต่อเสถียรภาพของอัตราขยายของวงจรซึ่งเป็นสัดส่วนผกผันกัน ดังนี้ จากรูปที่ 3.16 พิจารณาสมการ (3.20) A ซึ่งเป็นอัตราขยายลูปเปิดจะเปลี่ยนแปลงตามความถี่ ซึ่งถ้า A มีค่ามาก และอัตราขยายลูปเปิด Y/X มีค่าประมาณ $1/\beta$ ดังนั้นจากกราฟซึ่งแทน A ด้วย A_0 จะเห็นว่าที่ความถี่สูง ถ้า A ลดลงที่ระดับ βA ส่งผลให้อัตราขยายลูปเปิด Y/X ตกลงมาอยู่ที่ $1/\beta$

3.6.2 ประโยชน์ของการป้อนกลับลบ

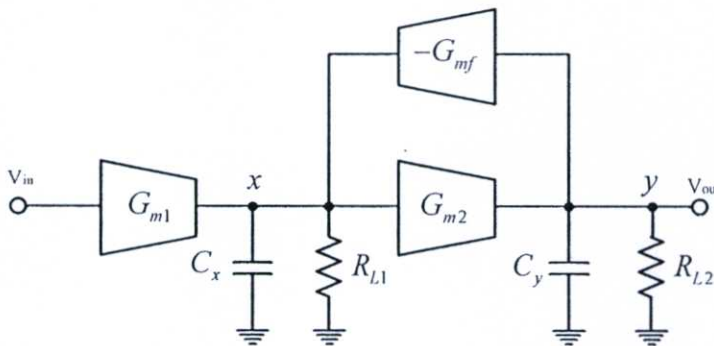
- ทำให้ค่าอัตราขยายมีเสถียรภาพดี ซึ่งถือเป็นข้อดีที่สุดของการใช้เทคนิคการป้อนกลับลบ
- ทำให้ระดับความเพี้ยนของสัญญาณ อันเนื่องมาจากคุณสมบัติอันไม่เป็นเชิงเส้นของอุปกรณ์พาสซีฟต่างๆ ของวงจรลดลง
- สามารถลดระดับของสัญญาณรบกวนและสัญญาณแทรกสอดได้ในบางกรณี
- สามารถควบคุมระดับอิมพีแดนซ์ทั้งด้านอินพุตและด้านเอาต์พุตได้
- สามารถเพิ่มความกว้างของแบนด์วิธของวงจรได้ นั่นคือ สามารถทำให้อัตราขยายที่ความถี่สูงขึ้นได้

3.7 โครงสร้างของวงจรขยายสัญญาณที่ปรับอัตราขยายได้ที่นำเสนอ

โครงสร้างของวงจร VGA ที่นำเสนอในงานวิจัยนี้แบ่งเป็น 2 โครงสร้างใหญ่ๆ โดยในแต่ละโครงสร้างได้นำเอาเทคนิคของวงจรขยายมาประยุกต์ใช้ร่วมกับโครงสร้างที่ได้นำเสนอไปแล้วดังนี้

3.7.1 การป้อนกลับลบแบบแอคทีฟ

การสร้างวงจรขยายโดยใช้โครงสร้างไจเรเตอร์-ซี ไม่ว่าจะเป็นการสร้างโดยใช้วงจรขยาย CS กับ CD หรือวงจรขยาย CG กับ CS จะเห็นว่าที่จุดเชื่อมระหว่างทรานซิสเตอร์ 2 ตัว หรือที่โหนด V_1 และ V_2 ซึ่งเป็นโหนดอินพุตและเอาต์พุตของโครงสร้างรูปที่ 3.10 จะเกิดเป็นผลรวมของตัวเก็บประจุเสมือน (total equivalent capacitances) ในแต่ละโหนด ซึ่งเกิดจากตัวเก็บประจุภายในทรานซิสเตอร์ 2 ตัวนั้น และยังเกิดอิมพีแดนซ์ในแต่ละโหนดนั้นอีกด้วย ซึ่งการเกิดตัวเก็บประจุและอิมพีแดนซ์ดังกล่าวจะมีผลต่อค่าโพล (poles) และซีโร (zero) ของระบบ ดังนั้นค่าที่เกิดขึ้นเหล่านี้ จึงเกิดเป็นแนวคิดในการออกแบบโครงสร้าง โดยการนำเอาเทคนิคของวงจร $G_m - C$ ต่อกับตัวเหนี่ยวนำแบบแอคทีฟที่โหนดเอาต์พุต เพื่อให้โหนดเอาต์พุตมีอิมพีแดนซ์ต่ำและเกิดเรโซแนนซ์เพื่อช่วยเพิ่มแบนด์วิธของวงจร โดยที่ตัวเหนี่ยวนำแบบแอคทีฟได้นำเอาโครงสร้างไจเรเตอร์-ซี มาใช้ เกิดเป็นโครงสร้างการป้อนกลับลบแบบแอคทีฟ (active negative feedback) ดังจะนำเสนอถัดไป แนวคิดในการออกแบบโครงสร้างนี้ดังแสดงในภาคผนวก ก



รูปที่ 3.17 โครงสร้างการป้อนกลับลบแบบแอคทีฟ

โครงสร้างของการป้อนกลับลบแบบแอคทีฟดังรูปที่ 3.17 เป็นโครงสร้างที่ช่วยเพิ่มแบนด์วิธของวงจร ซึ่งโครงสร้างดังกล่าวประกอบด้วยทรานส์คอนดักแตนซ์ G_{m1} ต่อкасцепกับทรานส์คอนดักแตนซ์ของ G_{m2} ซึ่งทรานส์คอนดักแตนซ์ G_{m2} มีทรานส์คอนดักแตนซ์ G_{mf} ต่อป้อนกลับแบบลบจากเอาต์พุตมายังอินพุตของทรานส์คอนดักแตนซ์ G_{m2} และสำหรับ C_x และ C_y

เป็นผลรวมของตัวเก็บประจุเสมือนซึ่งเกิดจากตัวเก็บประจุภายในทรานซิสเตอร์ของโครงสร้างไจเรเตอร์-ซีส่วน C_y นอกจากนี้เป็นผลรวมของตัวเก็บประจุภายในทรานซิสเตอร์แล้วยังเกิดจากการรวมของตัวเก็บประจุที่โหลดอีกด้วย และเช่นเดียวกันกับ R_{L1} และ R_{L2} ซึ่งเป็นค่าอิมพีแดนซ์ที่เกิดจากทรานซิสเตอร์ของโครงสร้างไจเรเตอร์เช่นกัน ส่วน R_{L2} มีลักษณะเดียวกับ C_y คือเป็นผลรวมของอิมพีแดนซ์ที่เกิดจากทรานซิสเตอร์และเกิดจากโหลดตัวต้านทานด้วย

ผลตอบสนองทางความถี่ของโครงสร้างการป้อนกลับแบบแอกทีฟสำหรับฟังก์ชันถ่ายโอนของโครงสร้างการป้อนกลับแบบแอกทีฟแสดงดังนี้

$$\frac{V_{out}}{V_{in}} = \frac{A_{vo}\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3.28)$$

จากสมการที่ (3.28) เป็นรูปแบบทั่วไปของฟังก์ชันถ่ายโอนซึ่งเป็น second-order และเมื่อพารามิเตอร์ A_{vo} เป็นอัตราขยายแรงดันมีค่าดังสมการ

$$A_{vo} = \frac{G_{m1}G_{m2}R_{L1}R_{L2}}{1 + G_{mf}G_{m2}R_{L1}R_{L2}} \quad (3.29)$$

สมการที่ (3.29) ถ้าให้ $G_{mf}G_{m2}R_{L1}R_{L2} \gg 1$ ดังนั้นจะได้ว่า

$$A_{vo} = \frac{G_{m1}}{G_{mf}} \quad (3.30)$$

ซึ่งจากสมการ (3.30) อัตราขยายแรงดันของโครงสร้างการป้อนกลับแบบแอกทีฟนี้จะขึ้นกับ G_{m1} และ G_{mf} ดังนั้นในการออกวงจรเพื่อให้วงจรมีอัตราขยายแรงดันสูงควรให้ G_{m1} มีค่าสูง ในขณะที่ G_{mf} ควรมีค่าต่ำๆ และสำหรับพารามิเตอร์อื่นๆ ในสมการที่ (3.28) คือ

$$\omega_n^2 = \frac{1 + G_{mf}G_{m2}R_{L1}R_{L2}}{R_{L1}R_{L2}C_xC_y} \quad (3.31)$$

เมื่อ ω_n เป็นความถี่ธรรมชาติ (natural frequency) และถ้า $G_{mf}G_{m2}R_{L1}R_{L2} \gg 1$ ดังนั้น

$$\omega_n^2 = \frac{G_{mf}G_{m2}}{C_xC_y} \quad (3.32)$$

สมการที่ (3.32) ถ้าต้องการให้ ω_n สูง ดังนั้น G_{mf} และ G_{m2} ควรมีค่าสูงๆ ในขณะที่ C_x และ C_y ซึ่งเป็นพารามิเตอร์ของผลรวมตัวเก็บประจุที่เกิดจากทรานซิสเตอร์และตัวเก็บประจุที่โหลดตามลำดับ ควรมีค่าต่ำๆ แต่ค่า G_{mf} จะขัดแย้งกับสมการที่ (3.30) ซึ่งควรให้มีค่าต่ำ ดังนั้นถ้าต้องการทั้ง A_{vo} และ ω_n สูงๆ G_{mf} ควรมีค่าต่ำๆ เพื่อให้อัตราขยายแรงดันสูงและใช้วิธีเพิ่ม G_{m2} ให้สูงๆ เพื่อให้ ω_n สูง นอกจากนี้ยังมีพารามิเตอร์อื่นที่เกี่ยวข้องกับสมการ (3.28) อีกนั่นคือ ζ ซึ่งเป็นค่าแดมป์แฟคเตอร์ (damping factor) ค่าดังกล่าวสามารถเปรียบเทียบได้กับการเกิดพีกกิ้ง (peaking) ของระบบ ซึ่งจากที่กล่าวไปแล้วข้างต้น นั่นคือถ้ามอง G_{mf} และ G_{m2} เป็นโครงสร้างไจเรเตอร์-ซี หรือเป็นการจำลองตัวเหนี่ยวนำแบบแอกทีฟ ดังนั้นทั้งที่จุด x และ y ของโครงสร้างในรูปที่ 3.17 จะมีลักษณะเป็น LC-tank โดยมี R_{L1} และ R_{L2} ต่อขนานแต่ละจุดตามลำดับ ที่ทั้งสองจุดนี้มีการเกิดเรโซแนนซ์ โดยที่ความถี่เรโซแนนซ์แต่ละจุดประมาณได้เป็น $\omega_n = \frac{1}{\sqrt{LC}}$ เมื่อ L เป็นตัวเหนี่ยวนำเสมือนที่เกิดจากโครงสร้างไจเรเตอร์-ซี แต่ละจุดและ C คือ C_x และ C_y ที่จุด x และ y ตามลำดับ (เมื่อให้ R_{L1} และ R_{L2} มีค่าต่ำ) ดังนั้นเมื่อประมาณการเกิดความถี่เรโซแนนซ์เป็นการเกิดพีกกิ้งหรือค่าแดมป์แฟคเตอร์ในระบบซึ่งเขียนอยู่ในรูปสมการได้ดังนี้

$$\zeta = \frac{1}{2} \frac{R_{L1}C_x + R_{L2}C_y}{\sqrt{R_{L1}R_{L2}C_xC_y(1 + G_{mf}G_{m2}R_{L1}R_{L2})}} \quad (3.33)$$

จากสมการ (3.33) จะเห็นว่าพารามิเตอร์แทบทุกตัวล้วนแต่มีผลต่อการเกิดพีกกิ้ง แต่ในการออกแบบวงจร พารามิเตอร์ที่เราสามารถควบคุมได้ นั่นคือ G_{mf} และ G_{m2} ดังนั้นในการปรับค่าพีกกิ้งของวงจรเพื่อให้ได้แบนด์วิธที่ต้องการควรใช้วิธีปรับที่ค่า G_{mf} และ G_{m2} เป็นหลัก แต่สำหรับในระบบโดยทั่วไปไม่ต้องการให้มีการเกิดพีกกิ้งเนื่องจาก การเกิดพีกกิ้งอาจทำให้ระบบเสถียร ดังนั้นในการปรับค่าดังกล่าว ก็ควรให้อยู่ในระดับที่พอเหมาะแก่การใช้งาน

นอกจากนี้ได้ทำการวิเคราะห์ผลตอบสนองทางความถี่แล้ว ยังได้หาความสัมพันธ์ระหว่างอัตราขยายแรงดันและแบนด์วิธซึ่งได้ความสัมพันธ์ดังนี้คือ

$$\omega_n = \sqrt{\frac{1}{A_{vo}} \frac{G_{m1}G_{m2}}{C_xC_y}} \quad (3.34)$$

$$A_{vo}\omega_n^2 = \frac{G_{m1}G_{m2}}{C_xC_y} \quad (3.35)$$

จากสมการ (3.35) จะได้ผลคูณระหว่างอัตราขยายและแบนด์วิธซึ่งเรียกว่า gain bandwidth product: GBW ดังนี้

$$A_{vo}\omega_n = \frac{G_{m1}G_{m2}}{C_x C_y} \frac{1}{\omega_n} \quad (3.36)$$

และที่แบนด์วิธ -3dB ให้ $\zeta = \frac{1}{\sqrt{2}}$ และ $\omega_{-3dB} = 2\pi f_{-3dB} = \omega_n$ สามารถวิเคราะห์ผลตอบสนองความถี่ได้ดังสมการ

$$A_{vo}\omega_{-3dB} = \frac{G_{m1}G_{m2}}{C_x C_y} \frac{1}{\omega_{-3dB}} \quad (3.37)$$

ถ้ากำหนดให้ $G_{m1}/C_x \approx G_{m2}/C_y \approx 2\pi f_T$ สามารถเขียนสมการ (3.37) ได้เป็น

$$A_{vo}\omega_{-3dB} = \omega_T \frac{f_T}{f_{-3dB}} \quad (3.38)$$

จากสมการที่ (3.38) แสดงให้เห็นว่า โครงสร้างดังกล่าวนี้ สามารถเพิ่มรูปปิดของผลคูณระหว่างอัตราขยายและแบนด์วิธ (close-loop gain bandwidth product: GBW) ได้จากค่า f_T

3.7.2 โครงสร้างทรานส์อิมพีแดนซ์

จากหัวข้อที่ 3.2 อธิบายพื้นฐานของวงจรรขยายทรานส์อิมพีแดนซ์ ซึ่งเป็นวงจรรขยายชนิดหนึ่งที่มีฟังก์ชันการถ่ายโอนของสัญญาณเป็นสัญญาณแรงดันต่อสัญญาณกระแสหรือเรียกว่า อัตราขยายทรานส์อิมพีแดนซ์ วงจรรขยายทรานส์อิมพีแดนซ์มีคุณสมบัติเด่นที่สำคัญทางอุดมคติคือ มีความต้านทานทั้งอินพุตและเอาต์พุตต่ำ เนื่องจากวงจรรขยายมีสัญญาณอินพุตเป็นกระแสและสัญญาณเอาต์พุตเป็นแรงดัน และถือเป็นข้อดีของวงจรรนี้ เพราะในการออกแบบโครงสร้างของวงจรร VGA ต้องการอัตราขยายสูงๆ ดังนั้นจำเป็นต้องต่อหลายๆ ภาคเข้าด้วยกัน ซึ่งการต่อหลายภาคนี้ส่งผลกระทบต่อจุดเชื่อมต่อระหว่างแต่ละภาคในเรื่องของโหลด ดังนั้น โดยทั่วไปแล้วเพื่อต้องการละทิ้งปัญหานี้จึงควรออกแบบให้ความต้านทานทั้งอินพุตและเอาต์พุตมีค่าต่ำๆ นอกจากนี้วงจรรขยายทรานส์อิมพีแดนซ์ยังมีข้อดีคือ สามารถทำงานที่ความถี่สูงได้ในขณะที่ใช้แหล่งจ่ายไฟเลี้ยงต่ำ โดยการอาศัยเทคนิคการป้อนกลับแบบต่างๆ สำหรับงานวิจัยนี้นำเสนอการออกแบบโครงสร้างของวงจรร VGA โดยใช้วงจรรขยายกระแสและอาศัยเทคนิคการป้อนกลับโดยใช้ตัวต้านทาน R_f ซึ่ง

โครงสร้างในลักษณะดังกล่าวแสดงคุณสมบัติเช่นเดียวกับวงจรขยายทรานส์อิมพีแดนซ์ดังนี้ จากรูปที่ 3.18. สามารถหาอัตราขยายทรานส์อิมพีแดนซ์

$$R_m = \frac{v_o}{i_i} = \frac{-R_f A_i - R_m}{1 + A_i} \quad (3.39)$$

ถ้ากำหนดให้ $A_i \gg 1$ เราสามารถประมาณได้ว่า

$$R_m = -R_f \quad (3.40)$$

เมื่อพิจารณาวงจรจำลองสัญญาณขนาดเล็กดังแสดงในรูปที่ 3.19 สามารถหาอัตราขยายทรานส์อิมพีแดนซ์ได้ดังสมการ

$$R_m = \frac{v_o}{i_i} = R_f \left(\frac{A_i - R_m/R_f - sC_f R_m}{R_f + R_m + sR_f R_m (C_f + C_m)} \right) \times \left(\frac{1}{R_f} + \frac{1}{R_L} + \frac{1}{R_o} + sC_T + \frac{A_i - R_m/R_f - s^2 C_f (R_f A_i - 2R_m)}{R_f + R_m + sR_f R_m (C_f + C_m)} \right) \quad (3.41)$$

เมื่อ

R_m คือความต้านทานอินพุต

R_o คือความต้านทานเอาต์พุต

R_f คือความต้านทานป้อนกลับ

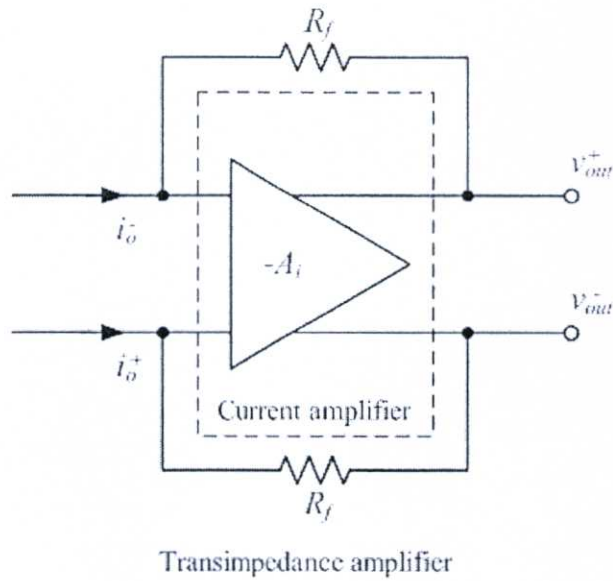
R_L คือความต้านทานโหลด

C_m คือค่าเก็บประจุที่อินพุต

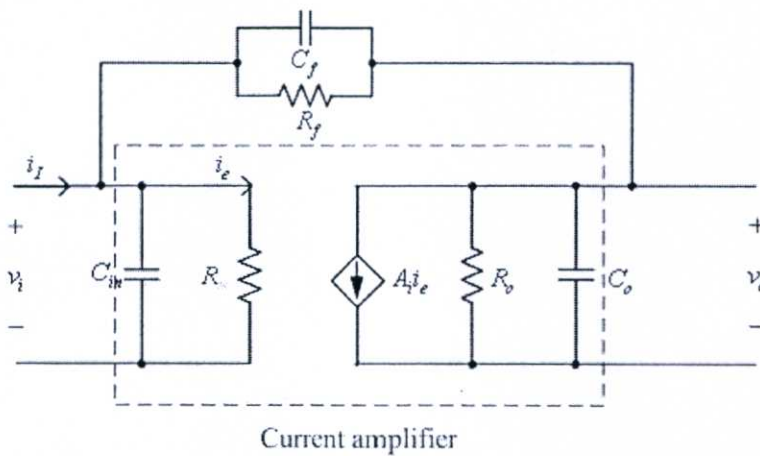
C_o คือค่าเก็บประจุที่เอาต์พุต

C_L คือค่าเก็บประจุที่โหลด

C_f คือค่าเก็บประจุที่อินพุต



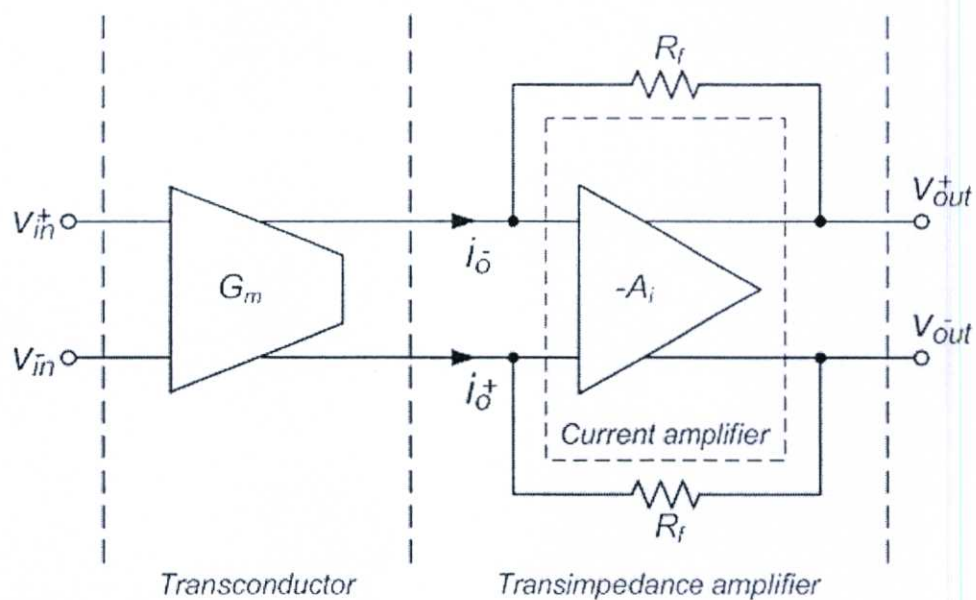
รูปที่ 3.18 โครงสร้างวงจรขยายทรานส์อิมพีแดนซ์แบบป้อนกลับกระแส



รูปที่ 3.19 วงจรจำลองสัญญาณขนาดเล็กของวงจรขยายทรานส์อิมพีแดนซ์แบบป้อนกลับกระแส

จากโครงสร้างรูปที่ 3.18 นำมาใช้ในการออกแบบวงจร VGA โดยมีการประยุกต์ใช้ร่วมกับวงจรขยายทรานส์คอนดักแตนซ์ดังรูปที่ 3.20 จากรูปประกอบด้วยวงจรทรานส์คอนดักเตอร์แบบเชิงเส้น (linear transconductor) ต่อкасцепกับวงจรขยายทรานส์อิมพีแดนซ์แบบเชิงเส้น (linear transimpedance amplifier) ซึ่งมีตัวต้านทานต่อขานแบบป้อนกลับ R_f (shunt-feedback resistors) โครงสร้างดังกล่าวนี้สามารถทำงานที่ไฟเลี้ยงและกินกำลังงานต่ำ ให้แบนด์วิธสูงและคงที่ ถึงแม้จะมีการเปลี่ยนแปลงค่าอัตราขยายแรงดันก็ตาม อัตราขยายแรงดันของโครงสร้างรูปที่ 3.18 คือผลของอัตราขยายทรานส์คอนดักแตนซ์ (G_m) และอัตราขยายทรานส์อิมพีแดนซ์ (R_m) ดังสมการ

$$R_m = -\left(\frac{R_f A_i - R_{in}}{1 + A_i}\right) \quad (3.42)$$



รูปที่ 3.20 วงจรจำลองสัญญาณขนาดเล็กของวงจรขยายทรานซิมพีแดนซ์แบบป้อนกลับกระแส

บทที่ 4

การออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้

4.1 บทนำ

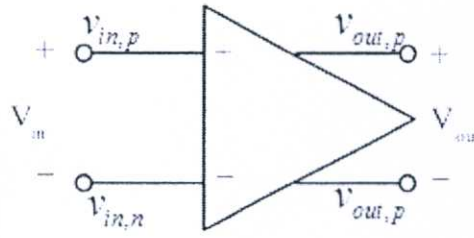
บทนี้นำเสนอคุณสมบัติที่สำคัญที่ต้องการใช้ในการออกแบบวงจร VGA เช่น อัตราขยายแบนด์วิธ และผลของความไม่เป็นเชิงเส้นรวมทั้งสัญญาณรบกวนที่มีผลต่อการออกแบบวงจร วงจร VGA ที่ถูกออกแบบในที่นี่ได้ใช้โครงสร้างที่นำเสนอในบทที่แล้ว อันได้แก่ โครงสร้างการป้อนกลับแบบแอกทีฟและโครงสร้างทรานส์อิมพีแดนซ์ ดังรายละเอียดต่อไปนี้

4.2 คุณสมบัติที่ต้องการของการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้

คุณสมบัติที่เป็นข้อกำหนดเฉพาะโดยทั่วไปของการออกแบบวงจร VGA เช่น อัตราขยายของวงจร แบนด์วิธ ช่วงพิสัยพลวัต และผลของความไม่เป็นเชิงเส้นอันได้แก่ สัญญาณรบกวน การลดทอนของผลรวมฮาร์โมนิก (total harmonic distortion:THD) เป็นต้น สิ่งเหล่านี้ล้วนแล้วแต่มีความสำคัญต่อการพิจารณาว่า วงจรที่เราออกแบบมีประสิทธิภาพมากน้อยแค่ไหน ดังนั้นในการออกแบบวงจร ข้อกำหนดดังกล่าวนี้จะถูกกำหนดค่าไว้ตั้งแต่เริ่มต้น ตัวอย่างเช่น ต้องการออกแบบวงจร VGA ให้มีแบนด์วิธ 1 จิกกะเฮิรต์ อัตราขยาย 50dB เป็นต้น ดังนั้นหัวข้อถัดไปจะอธิบายรายละเอียดของคุณสมบัติที่เป็นข้อกำหนดเฉพาะและค่าที่กำหนดไว้ใน การออกแบบวงจร VGA สำหรับงานวิจัยนี้

4.2.1 อัตราขยาย

เป็นคุณสมบัติที่สำคัญสำหรับงานวิจัยนี้ เนื่องจากวัตถุประสงค์ของงานวิจัยนี้คือ ต้องการออกแบบวงจร VGA สำหรับฮาร์ดดิสก์ และสัญญาณที่ออกจากหัวอ่านของฮาร์ดดิสก์มีขนาดเล็กมาก ดังนั้นถ้าสามารถออกแบบวงจรขยายสัญญาณที่มีอัตราขยายสูงได้ก็จะทำให้การประมวลผลของสัญญาณที่ได้จากหัวอ่านมีประสิทธิภาพมากยิ่งขึ้น



รูปที่ 4.1 สัญญาณอินพุตและเอาต์พุตของผลต่างสัญญาณเต็มรูปของโครงสร้าง VGA

รูปที่ 4.1 แสดงวงจรรขยายผลต่างที่มีสัญญาณอินพุตและเอาต์พุตเป็นแรงดัน สัญญาณแรงดันอินพุต v_m เป็นผลต่างของแรงดันอินพุตระหว่างสอง single-end คือ $v_{in,p}$ และ $v_{in,n}$ เช่นเดียวกับสัญญาณแรงดันเอาต์พุต v_{out} มีผลต่างของแรงดันเอาต์พุตระหว่างสอง single-end เช่นกัน คือ $v_{out,p}$ และ $v_{out,n}$ อัตราขยายแรงดัน A_{VGA} ถูกกำหนดโดยอัตราส่วนของวงจรถ่ายสัญญาณผลต่างขนาดเล็กระหว่างเอาต์พุตต่ออินพุตดังนี้

$$A_{VGA} = \frac{v_{out}}{v_{in}} = |A_{VGA}(f)|e^{j\theta(f)} \quad (4.1)$$

ถ้าอัตราขยายแรงดันมีค่าสูง นั่นแสดงว่า แรงดันเอาต์พุตจะมีค่าสูงกว่าแรงดันอินพุตมาก อัตราขยายจะถูกแสดงคุณลักษณะทั้งในสเกลที่เป็นเชิงเส้นหรือในสเกลของ dB และแสดงฟังก์ชันที่เป็นปริมาณเชิงซ้อน โดยขนาดของอัตราขยาย $|A(f)|$ และการเลื่อนเฟส (phase shift) $\theta(f)$ จะขึ้นอยู่กับความถี่ โดยอัตราขยายที่ความถี่กลาง (mid-band) $A_{VGA,o}$ มักจะแบน (flat) สำหรับการขยายของสัญญาณซึ่งมีสัญญาณเอาต์พุตเป็นสัญญาณผลต่าง อัตราขยายของสัญญาณผลต่างนี้วัดได้จากสัญญาณ single-end ($v_{out,p}$ หรือ $v_{out,n}$) หรือจากผลต่างโดย $v_{out} = v_{out,p} - v_{out,n}$ การวัดสัญญาณผลต่างในลักษณะนี้มีความสำคัญต่อการกำหนดอัตราขยาย single-end ซึ่งถูกนำไปกำหนดอัตราขยายต่อการออกแบบวงจร ซึ่งในการวิจัยนี้ได้กำหนดให้อัตราขยาย single-end ในหนึ่งภาคมีขนาดมากกว่า 10dB และมีการต่อคาสเคดกันจำนวน 5-6 ภาคดังจะกล่าวรายละเอียดต่อไปในหัวข้อที่ 4.3

4.2.2 แบบคัตวิธ

คำนิยามสำหรับแบบคัตวิธเป็นพื้นฐานบนการคาดเดาที่วงจรรขยายกระทำในหลักการเชิงเส้น ยกตัวอย่างเช่น ถ้าให้สัญญาณอินพุตเป็นคลื่นไซน์ (sine wave) การกระทำของวงจรรขยายในหลักการเชิงเส้นดังกล่าวจะก่อให้เกิดสัญญาณเอาต์พุตที่เป็นคลื่นไซน์ด้วย สำหรับวงจร VGA ความถี่บน (upper frequency) ที่อัตราขยายของสัญญาณขนาดเล็กมีการดรอปลง 3dB ซึ่งต่ำลงจาก

ค่าความถี่กลางแทนด้วย BW_{VGA} จะถูกกำหนดให้เป็นแบนด์วิธของวงจร VGA ในงานวิจัยนี้ กำหนดให้แบนด์วิธของวงจรในหนึ่งภาคมีขนาดมากกว่า 1.6 GHz ซึ่งจะกล่าวรายละเอียดต่อไปในหัวข้อที่ 4.3

4.2.3 สัญญาณรบกวนและผลของความไม่เป็นเชิงเส้น

ถึงแม้ว่าวงจรนาลอกทั่วไปจะสามารถอธิบายผลตอบสนองของสัญญาณขนาดเล็กด้วยการประมาณค่าที่เป็นเชิงเส้นได้ แต่ยังมีค่าบางค่าที่ส่งผลให้บางพจน์ของสมการ ไม่สามารถใช้งานได้ ดังจะยกตัวอย่างสมการเพื่ออธิบายผลของความไม่เป็นเชิงเส้นดังนี้

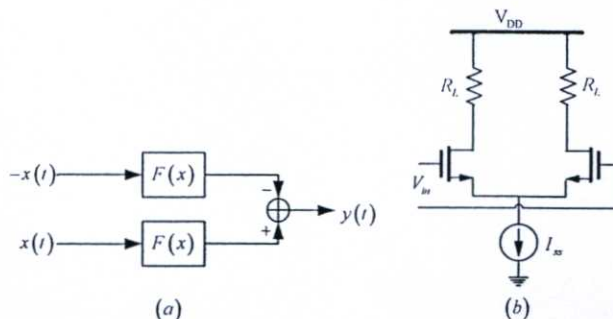
$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) \quad (4.2)$$

การลดทอนฮาร์โมนิก (Harmonics Distortion)

ถ้าให้สัญญาณอินพุตเป็นสัญญาณไซน์ $x(t) = A \cos \omega t$ ดังนั้นสัญญาณเอาต์พุตจะมีองค์ประกอบของความถี่เมื่อแทนค่าลงในสมการ (4.2) ดังสมการต่อไปนี้

$$\begin{aligned} y(t) &= \alpha_1 A \cos \omega t + \alpha_2 A^2 \cos^2 \omega t + \alpha_3 A^3 \cos^3 \omega t \\ &= \alpha_1 A \cos \omega t + \frac{\alpha_2 A^2}{2} (1 + \cos 2\omega t) + \frac{\alpha_3 A^3}{4} (3 \cos \omega t + \cos 3\omega t) \\ &= \frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{\alpha_3 A^3}{4} \right) \cos \omega t + \frac{\alpha_2 A^2}{2} \cos 2\omega t + \frac{\alpha_3 A^3}{4} \cos 3\omega t \end{aligned} \quad (4.3)$$

ในสมการ (4.3) เทอมแรกของสมการ $\frac{\alpha_2 A^2}{2}$ เรียกว่า DC component (offset) และในเทอมที่สอง เรียกว่า fundamental ส่วนในเทอมถัดมาจะเรียกว่า ฮาร์โมนิก จากสมการ (4.3) ฮาร์โมนิกคู่ (even harmonic) จะกำจัดให้พจน์เหล่านี้หายไปได้ด้วยการใช้โหมคผลต่างของสัญญาณเต็มรูป (fully difference) เช่นในวงจรขยายผลต่างสัญญาณดังรูปที่ 4.2 เป็นต้น ซึ่งเรียกว่าระบบมีการสมมาตรคี่ (odd symmetry)



รูปที่ 4.2 ตัวอย่างวิธีการกำจัดฮาร์โมนิกคู่

ซึ่งเขียน ได้ดังสมการ

$$y(t) = \left(2\alpha_1 A + \frac{3\alpha_3 A^3}{2} \right) \cos \omega t + \frac{\alpha_3 A^3}{2} \cos 3\omega t \quad (4.4)$$

การเกิดฮาร์โมนิกในระบบใดๆ ส่งผลให้สัญญาณในระบบถูกลดทอนลง ดังนั้นในการออกแบบวงจรใดๆ โดยเฉพาะการออกแบบวงจรทำงานที่ความถี่สูง สิ่งที่ส่งผลให้เกิดความไม่เป็นเชิงเส้น ไม่ว่าจะเป็นเรื่อง การเกิดฮาร์โมนิก intermodulation distortion (IMD) และ Third-order intercept point (IP₃) เป็นต้น สิ่งต่างๆ เหล่านี้มีมักถูกนำมาพิจารณาในการออกแบบวงจรเสมอ เพื่อเป็นการบ่งบอกถึงประสิทธิภาพของวงจрдังกล่าว การวัดผลของการเกิดฮาร์โมนิกมักนิยมด้วยการแสดงค่าของผลรวมที่เกิดจากการลดทอนของฮาร์โมนิก (total harmonic distortion :THD) หรือใช้วิธีหาค่า IP₃ เป็นต้น

4.2.4 Figure-of-merit (FOM)

การเปรียบเทียบคุณสมบัติของวงจรที่ออกแบบกับงานที่เกี่ยวข้องด้วยการเปรียบเทียบค่า figure-of-merit (FOM) ซึ่งแสดงความสัมพันธ์ดังสมการ

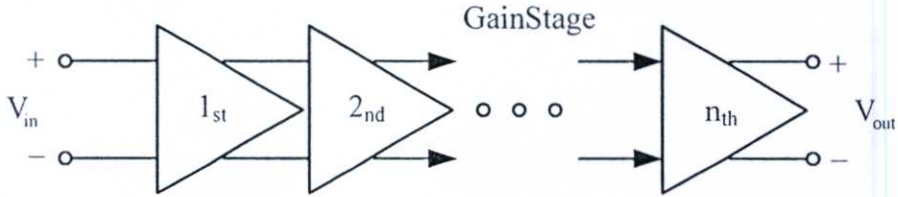
$$\begin{aligned} FOM &= 20 \log \left(\frac{\text{Gain} \cdot \text{Bandwidth}(\text{GHz})}{\text{Power}(\text{mW})} \right) \\ &= \text{Gain}(\text{dB}) + 20 \log \left(\frac{\text{Bandwidth}(\text{GHz})}{\text{Power}(\text{mW})} \right) \end{aligned} \quad (4.5)$$

จากสมการ (4.5) FOM แสดงความสัมพันธ์ของอัตราขยาย แบนด์วิธ และกำลังงานที่สูญเสีย ดังนั้นในการเปรียบเทียบคุณสมบัติของวงจรด้วยค่า FOM ว่าวงจรใดมีคุณสมบัติที่ดีกว่านั้นคือ วงจรนั้นต้องให้ค่า FOM ที่สูงกว่า

4.3 การต่ออัตราขยายแบบคาสเคด (Cascade Gain Stage)

วงจร VGA มีคุณสมบัติสำคัญคือสามารถปรับเปลี่ยนอัตราขยายเพื่อทำหน้าที่ขยายหรือลดขนาดสัญญาณอินพุตให้ได้ขนาดสัญญาณที่เหมาะสมกับการใช้งานในวงจรภาคถัดไป การเปลี่ยนแปลงค่าของอัตราขยายนี้จะต้องทำงานได้ในช่วงหนึ่งหรือที่เรียกว่าช่วงการปรับอัตราขยาย ซึ่งถ้าขนาดของสัญญาณอินพุตมีขนาดแตกต่างกันมากๆ ดังนั้นช่วงการปรับอัตราขยายนี้จะต้องกว้างมากด้วยเช่นกัน และในการออกแบบวงจร VGA เพื่อใช้งานลักษณะดังกล่าวนี้ควรต้องมีอัตราขยายสูงด้วยเช่นกัน แต่จะเป็นไปได้ยากสำหรับการออกแบบวงจร VGA เพียงภาคเดียวแล้วให้อัตราขยายสูงด้วย ดังนั้นโดยส่วนใหญ่แล้วจะออกแบบวงจรเพียงภาคเดียวหรือเซลล์เดียวให้มี

คุณลักษณะสูงโดยเฉพาะแบนด์วิธ แล้วจากนั้นทำการนำวงจรมาต่ออนุกรมกันเพื่อเพิ่มอัตราขยายตามที่ต้องการ ซึ่งการต่อในลักษณะดังนี้จะส่งผลให้อัตราขยายสูงขึ้นแต่แบนด์วิธของวงจรจะลดลงซึ่งจะกล่าวรายละเอียดต่อไป



รูปที่ 4.3 การต่ออัตราขยายแบบкаскас

วงจรขยายใดๆ เมื่อถูกนำมาต่ออนุกรมกันดังรูปที่ 4.3 คุณลักษณะสองประการที่สัมพันธ์กันนั้นคืออัตราขยายและแบนด์วิธของระบบโดยรวม สำหรับแบนด์วิธรวมของระบบสามารถวิเคราะห์ได้ดังสมการ

$$BW_{tot} = BW_c \sqrt[2^{\frac{1}{n}}]{2^{\frac{1}{n}} - 1} \quad (4.6)$$

เมื่อ

BW_{tot} คือแบนด์วิธรวมของทุกเซลล์

BW_c คือแบนด์วิธของวงจรขยายเซลล์เดียว

m คือลำดับของผลตอบสนองทางความถี่ที่พิจารณาเช่นถ้าพิจารณาผลตอบสนองทางความถี่ลำดับที่หนึ่ง (first-order) m จะมีค่าเท่ากับ 2 และถ้าพิจารณาผลตอบสนองทางความถี่ลำดับที่สอง (second-order) m จะมีค่าเท่ากับ 4 เป็นต้น

n คือจำนวนเซลล์ของวงจรขยายที่นำมาต่ออนุกรมกัน

และเมื่อวิเคราะห์อัตราขยายของระบบเป็นดังสมการ

$$GBW_c = \frac{BW_{tot}}{\sqrt[2^{\frac{1}{n}}]{2^{\frac{1}{n}} - 1}} \cdot \sqrt[2^{\frac{1}{n}}]{A_{tot}} = BW_c \cdot \sqrt[2^{\frac{1}{n}}]{A_{tot}} \quad (4.7)$$

เมื่อ

GBW_c คือผลคูณระหว่างอัตราขยายและแบนด์วิธของวงจรขยายเซลล์เดียว

A_{tot} คืออัตราขยายรวมของทุกเซลล์) หน่วยเป็นขนาด (magnitudes)

จากสมการที่ (4.6) และ (4.7) เราสามารถนำมาวิเคราะห์ได้ว่า ถ้าต้องการวงจร VGA ที่มีอัตราขยายโดยรวมเท่ากับ 50dB มีแบนด์วิธรวมเท่ากับ 1GHz และมีจำนวนเซลล์ต่อกัน 5 เซลล์ ดังนั้นเราควรออกแบบวงจร VGA ให้แต่ละเซลล์มีอัตราขยายและแบนด์วิธเท่าไรเพื่อเป็นการวางเป้าหมายในการออกแบบวงจร VGA จากเป้าหมายในตัวอย่างดังกล่าว เราสามารถคำนวณได้ดังนี้

สิ่งที่ต้องการดังนี้ $BW_{tot} = 1\text{GHz}$ และ $A_{tot} = 50\text{dB}$ ซึ่งต้องแปลงจาก dB เป็นขนาดได้ดังนี้ $50\text{dB} = 20 \cdot \log(\text{magnitudes})$ ดังนั้นจะได้ $A_{tot}(\text{magnitudes}) = 316.23$ นอกจากนี้ยังต้องการเซลล์ต่ออนุกรมจำนวน 5 เซลล์ซึ่งหมายถึง n มีค่าเท่ากับ 5 และต้องการพิจารณาผลตอบสนองทางความถี่ลำดับที่สองนั่นคือ $m = 4$ นำค่าตัวแปรดังกล่าวเหล่านี้แทนค่าในสมการที่(4.6) และ (4.7) เพื่อหา BW_c และ GBW_c ตามลำดับดังนี้

$$\begin{aligned} BW_c &= BW_{tot} / \sqrt[m]{2^n - 1} \\ &= 1 \times 10^9 / \left(\sqrt[4]{2^5 - 1} \right) \\ &= 1.613 \times 10^9 \end{aligned}$$

แสดงว่า BW_c มีค่าประมาณ 1.61 GHz และสำหรับ GBW_c มีค่าดังนี้

$$\begin{aligned} GBW_c &= BW_c \cdot \sqrt[n]{A_{tot}} \\ &= 1.61 \times 10^9 \cdot \sqrt[5]{316.23} \\ &= 5.1 \times 10^9 \end{aligned}$$

นั่นแสดงว่า GBW_c มีค่าประมาณ 5.1 GHz นั่นคืออัตราขยายของวงจรเซลล์เดียวต้องมีค่ามากกว่า 3.17 เท่า ($5.1 \times 10^9 / 1.61 \times 10^9 = 3.17$) หรือคิดเป็น $20 \cdot \log(3.17) = 10.02\text{dB}$

4.4 วงจร VGA ที่นำเสนอ

วงจร VGA ที่จะนำเสนอต่อไปนี้เป็นวงจรที่ถูกออกแบบโดยใช้โครงสร้างในการออกแบบ 2 โครงสร้าง คือ โครงสร้างทรานซิมพีแคนซ์ และ โครงสร้างการป้อนกลับแบบแยกที่ฟ ซึ่งได้กล่าวรายละเอียดในแต่ละโครงสร้างไปแล้วในบทที่ 3 และสำหรับการออกแบบวงจร VGA ในวิทยานิพนธ์นี้จะเริ่มต้นอธิบายหลักการออกแบบวงจร VGA โดยเริ่มจากการใช้โครงสร้างทรานซิมพีแคนซ์ ซึ่งได้ทำการออกแบบวงจร VGA จำนวน 2 วงจร โดยวงจรแรกที่ทำ การออกแบบได้เริ่มจากการศึกษาแนวคิดของงานวิจัยอื่นๆ และทำการปรับปรุงวงจรขึ้นมาใหม่ ส่วนวงจรที่สองเป็นการพัฒนางจรต่อจากวงจรที่หนึ่ง ซึ่งยังคงใช้โครงสร้างในการออกแบบเป็น โครงสร้างทรานซิมพีแคนซ์ แต่มีลักษณะเด่นกว่าวงจรที่หนึ่งในเรื่องของไฟเลี้ยงต่ำและกินกำลังงานต่ำกว่าวงจรแรก วงจรถัดมาได้ออกแบบวงจร VGA โดยใช้โครงสร้างใหม่ เนื่องจากผู้วิจัย เล็งเห็นว่า โครงสร้างทรานซิมพีแคนซ์มีข้อเด่นเฉพาะในเรื่องการใช้ไฟเลี้ยงต่ำและกินกำลังงาน

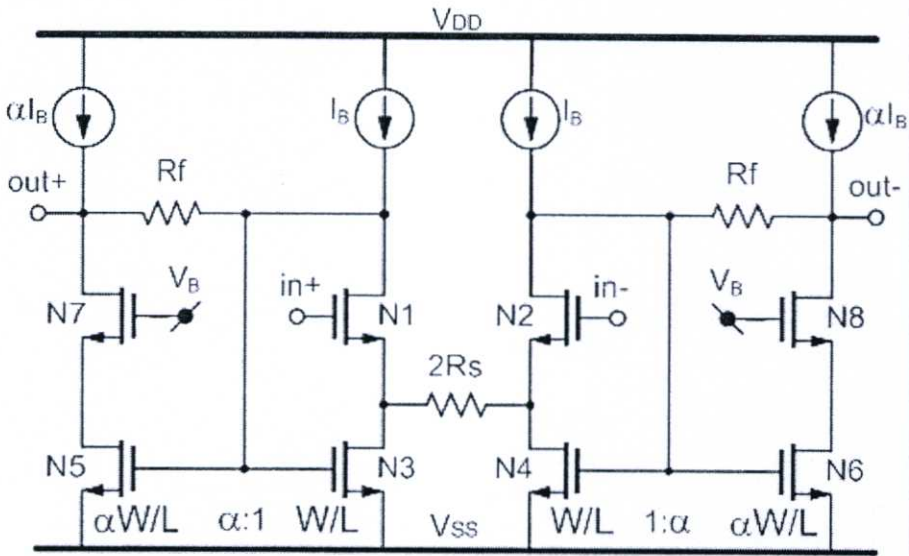
ต่ำ แต่ในเรื่องของแบนด์วิธคงเป็นการยากที่จะพัฒนาต่อเพื่อให้ได้แบนด์วิธเป็นไปตามเป้าหมายที่วางไว้ ดังนั้นจึงมีแนวคิดในการออกแบบโครงสร้างขึ้นใหม่นั้นคือ โครงสร้างการป้อนกลับแบบ แอ็กทีฟ และทำการออกแบบวงจรที่สาม แล้วดูแนวโน้มของผลการจำลองการทำงานของวงจรปรากฏว่ามีแนวโน้มไปตามเป้าหมายทั้งในเรื่อง อัตราขยายและแบนด์วิธ แต่ยังมีข้อเสีย คือยังได้ค่า อัตราขยายและแบนด์วิธ ไม่เพียงพอต่อความต้องการในการออกแบบและยังมีปัญหาในเรื่องของผลของโหลด (loading effect) เมื่อต่อคาสเคดของแต่ละภาค จึงทำการพัฒนาต่อได้เป็นวงจรที่ดี แต่ก็ยังแก้ปัญหาหรือข้อเสียดังกล่าวยังไม่ดีพอ จึงหาวิธีการใหม่จนได้เป็นวงจรสุดท้าย ซึ่งได้แก้ปัญหาค่าของโหลดเมื่อทำการต่อคาสเคดหลายๆ ภาคต่อกัน และยังคงให้ผลเป็นไปตามเป้าหมายที่ได้กำหนดไว้ตั้งแต่ต้น สำหรับรายละเอียดของวงจรจะกล่าวรายละเอียดดังต่อไปนี้

4.4.1 วงจร VGA ที่ใช้โครงสร้างทรานส์อิมพีแดนซ์

จากโครงสร้างทรานส์อิมพีแดนซ์ซึ่งเป็นโครงสร้างที่ใช้เทคนิคการผสมกันระหว่าง วงจรขยายทรานส์คอนดักแตนซ์แบบซอร์ส-ดีเจเนอเรชัน และวงจรขยายทรานส์อิมพีแดนซ์ที่มีการป้อนกลับ โดยโครงสร้างแสดงดังในรูปที่ 3.20 ซึ่งประกอบไปด้วยวงจรขยายทรานส์คอนดักแตนซ์ต่ออนุกรมอยู่กับวงจรขยายทรานส์อิมพีแดนซ์ที่ต่อขนานกับตัวต้านทานป้อนกลับ (shunt feedback amplifier) ซึ่งตัวต้านทานป้อนกลับ ทำหน้าที่ปรับอัตราขยายแรงดัน โดยมีแบนด์วิธที่ ดังนั้นอัตราขยายทรานส์อิมพีแดนซ์สามารถหาได้จากสมการ (3.42) ซึ่งนำกลับมาเขียนใหม่ดังนี้

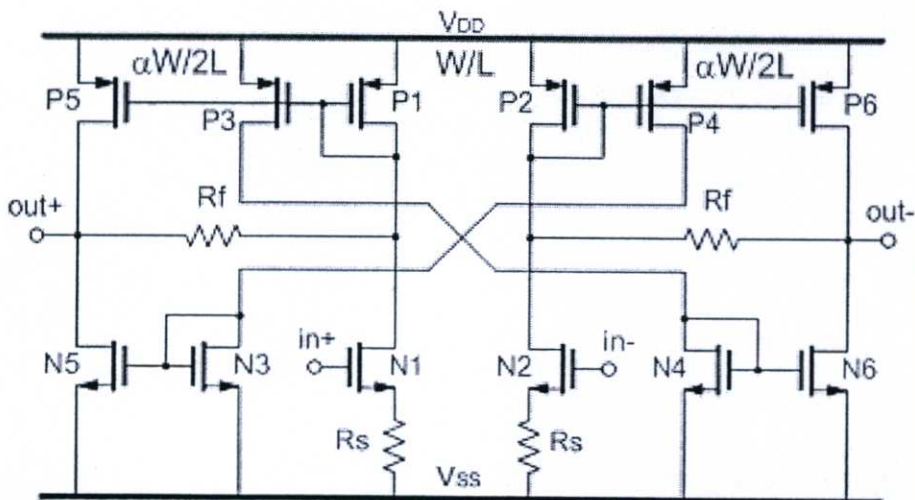
$$R_m = -\left(\frac{R_f A_i - R_m}{1 + A_i}\right) \quad (4.8)$$

เมื่อ R_m และ A_i เป็นความต้านทานอินพุต และอัตราขยายกระแสของวงจรขยายกระแสตามลำดับ จะเห็นว่าเมื่อ $A_i \gg 1$ และ $R_m \approx -R_f$ ดังนั้นส่งผลให้ความเป็นเชิงเส้นของวงจรขยายทรานส์คอนดักแตนซ์มีอัตราขยายกระแสสูง ทำให้ความเป็นเชิงเส้นของวงจร VGA สูงด้วย



รูปที่ 4.4 วงจร VGA ที่นำเสนอโดย [19] และ [20]

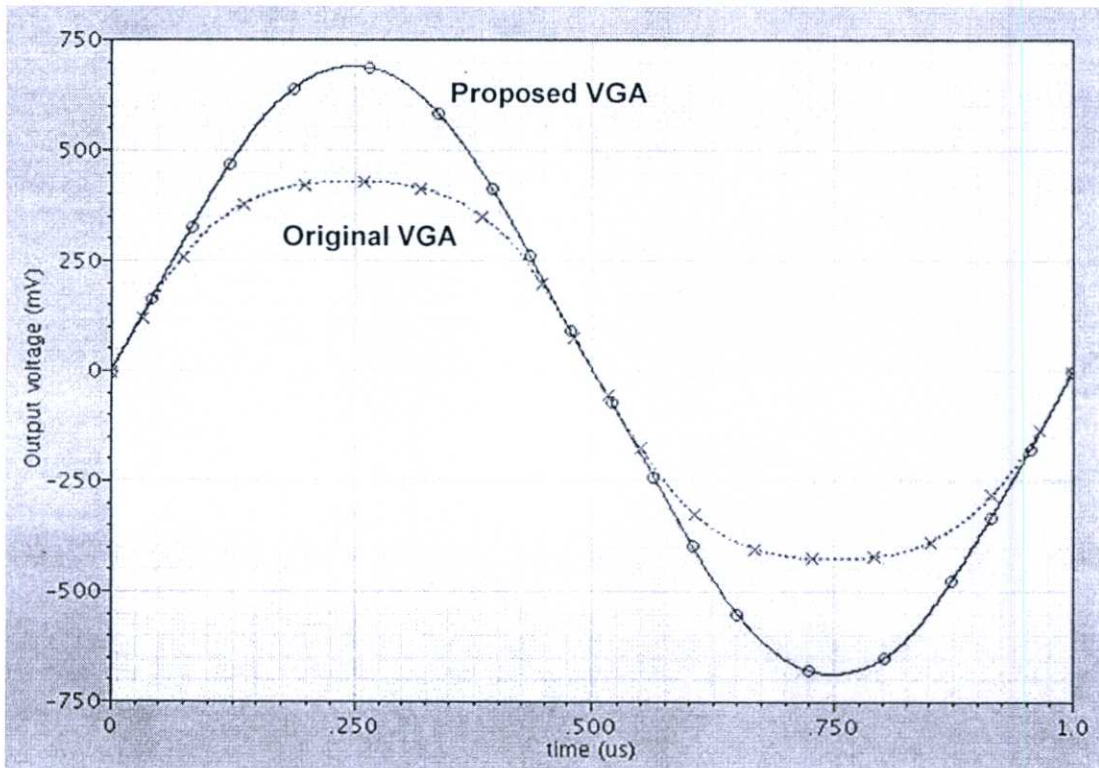
โครงสร้างทรานส์อิมพีแดนซ์ถูกนำเสนอใน [19] และ [20] ซึ่งได้นำเสนอวงจร VGA ดังแสดงรูปที่ 4.4 วงจรดังกล่าวสามารถทำงานได้ที่ไฟเลี้ยงต่ำและกินกำลังงานต่ำอีกด้วย ดังนั้นผู้วิจัยจึงสังเกตเห็นว่าเป็นวงจรที่น่าสนใจ เหมาะในการเริ่มที่จะศึกษาและพัฒนาวงจร VGA ต่อไปจึงได้ทำความเข้าใจกับหลักการของวงจรนี้ และจากนั้นก็ปรับปรุงวงจรโดยยังคงเน้นการใช้เทคนิคการผสมกันระหว่างวงจรขยายทรานส์คอนดักแตนซ์แบบซอร์ส-ดีเจนเนอเรชัน และวงจรขยายทรานส์อิมพีแดนซ์ป้อนกลับ เช่นเดียวกับ [19] และ [20] แสดงวงจรใหม่ซึ่งถูกปรับปรุงมาจากโครงสร้างและวงจรใน [19] และ [20] ดังรูปที่ 4.5



รูปที่ 4.5 VGA Class-AB ทำงานที่แรงดันไฟเลี้ยงต่ำ

หลักการทํางานของวงจรรูปที่ 4.5

ทรานซิสเตอร์ $N1-N2$ และตัวต้านทาน R_1 ต่อวงจรในลักษณะของการปรับตัวต้านทานขอร์สของวงจรทรานซิสคอนดักแตนซ์แบบซอร์ส-ดีเจนเนอเรชัน โดยปราศจากการใช้แหล่งจ่ายกระแสใดๆ เพื่อให้สามารถไบอัสกระแสได้อย่างมีประสิทธิภาพโดยให้ค่าทรานซิสคอนดักแตนซ์สูงสุด และแรงดันไฟเลี้ยงรวมทั้งสัญญาณรบกวนต่ำที่สุด สำหรับทรานซิสเตอร์ $P1-P6$, $N3-N6$ ถูกต่อเป็นวงจรสะท้อนกระแสโดยใช้เทคนิคการป้อนตรง ซึ่งวงจรขยายกระแสเกิดจากการรวมของกระแสจากวงจรสะท้อนกระแสกับกระแสจากตัวต้านทานป้อนกลับจากวงจรขยายทรานซิสตีมพิแดนซ์ในภาคที่สอง โดยที่ตัวต้านทานป้อนกลับทำหน้าที่แปลงจากสัญญาณกระแสเป็นสัญญาณแรงดัน อย่างไรก็ตามจะเห็นว่าในแต่ละภาคของวงจรขยายจะทํางานเป็นคลาส เอบี เนื่องจากให้สัญญาณเอาท์ที่มีการแกว่งกว้างกว่าเมื่อเปรียบเทียบกับ [19] และ [20] ดังรูปที่ 4.6



รูปที่ 4.6 การแกว่งของสัญญาณในวงจรเปรียบเทียบกับ [19] และ [20]

จากวงจรรูปที่ 4.5 วงจร VGA ที่ถูกออกแบบทํางานด้วยแรงดันไฟเลี้ยง 1 โวลต์ การจำลองการทํางานของวงจรใช้เทคโนโลยี $0.18\text{-}\mu\text{m}$ ที่ตัวทรานซิสเตอร์มีแรงดันขีดเริ่มต้น 0.49V และ -0.46V สำหรับ NMOS และ PMOS ตามลำดับ และกำหนดให้ $\alpha = 5$ ส่วนขนาดของทรานซิสเตอร์ที่ใช้ในการออกแบบเป็นดังตารางที่ 4.1

ตารางที่ 4.1 แสดงขนาดของทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรรูปที่ 4.5

Design parameters	Values
N1 – N2	1.5 μm / 0.18 μm
P1 – P2	10 μm / 0.5 μm
P3 – P6	25 μm / 0.5 μm
N3 – N6	5 μm / 0.5 μm

และจากวงจรรูปที่ 4.5 ถ้าวิเคราะห์สัญญาณขนาดเล็ก (small-signal) ในวงจรรายภาคแรกซึ่งเป็นวงจรรายทรานส์คอนดักแตนซ์ จะมีอัตราขยายทรานส์คอนดักแตนซ์ดังสมการ

$$G_m = \frac{g_m}{1 + g_m R_S + sR_S C_{gs}} \quad (4.9)$$

โดยที่ g_m และ C_{gs} เป็นทรานส์คอนดักแตนซ์ และตัวเก็บประจุระหว่างเกต-ซอร์ส ของทรานส์ซิสเตอร์ N1-N2 ตามลำดับ จะเห็นว่าอัตราขยายทรานส์คอนดักแตนซ์ในภาคแรกของวงจรถูกขึ้นกับค่าทรานส์คอนดักแตนซ์ของทรานส์ซิสเตอร์ N1-N2 และตัวต้านทานที่ขาซอร์ส ซึ่งถ้าค่าทรานส์คอนดักแตนซ์มีค่ามากในขณะที่ ตัวต้านทานขาซอร์สมีค่าน้อย ดังนั้นวงจรรายภาคแรกนี้จะให้อัตราขยายทรานส์คอนดักแตนซ์สูง และสำหรับในสมการที่ (4.10) ซึ่งแสดงอัตราขยายกระแส A_i และสมการที่ (4.11) ซึ่งแสดงค่าอินพุทอิมพีแดนซ์ R_{in} เมื่อ g_{mP} , g_{mN} และ g_{mY} เป็น ทรานส์คอนดักแตนซ์ของ P1-P2, P3-P6 และ N3-N6 ตามลำดับ ส่วน C_x และ C_y เป็นผลรวมของตัวเก็บประจุทั้งหมด (จากจุดอ้างอิงไปยังกราวนด์) ที่ขาเกตของ P1 (P2) และ N3 (N4)

$$A_i = \frac{g_{mx}}{(g_{mi} + sC_x)} \left(1 + \frac{g_{my}}{g_{my} + sC_y} \right) \quad (4.10)$$

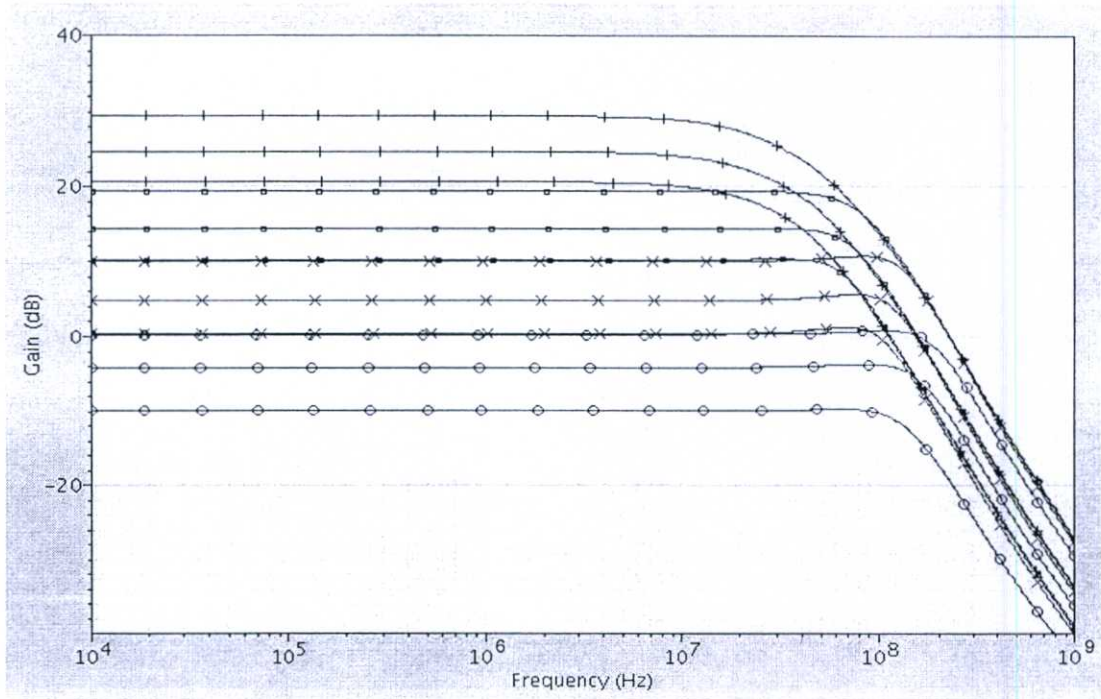
$$R_{in} = \frac{1}{g_{mi} + sC_x} \quad (4.11)$$

จากสมการที่ (4.10) และ (4.11) ถ้าพิจารณาที่ความถี่ต่ำจะได้ว่า $g_{mx} = g_{mi}(\alpha/2)$ ดังนั้น A_i ของ [19] จะเท่ากับ α และถ้านำเอาสมการที่ (4.10) และ (4.11) แทนค่าลงในสมการที่ (4.8) จะได้ อัตราขยายทรานส์อิมพีแดนซ์ของวงจรนี้เป็นดังสมการที่ (4.12)

$$R_m = -\frac{\alpha \left[2R_f - \frac{1}{g_{mx}} + s \frac{C_y}{g_{my}} \left(R_f - \frac{1}{g_{mx}} \right) \right]}{2 \left[1 + \alpha + s \left(\frac{C_y}{g_{my}} \left(1 + \frac{\alpha}{2} \right) + \frac{C_x}{g_{mi}} \right) + s^2 \frac{C_x C_y}{g_{mi} g_{my}} \right]} \quad (4.12)$$

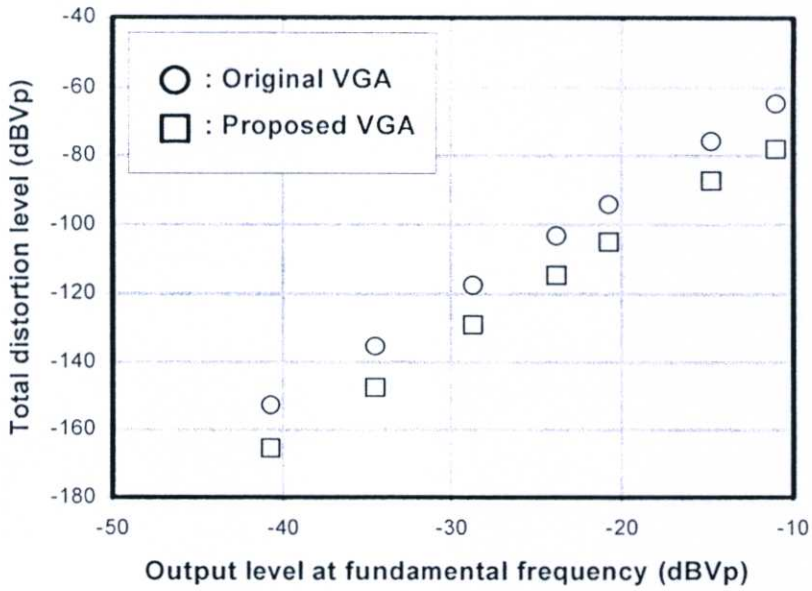
ผลการจำลองการทำงานของวงจรรูปที่ 4.5

ผลการจำลองการทำงานของวงจรรูปที่ 4.5 เมื่อตัวต้านทาน R_f ถูกเลือกให้ทำหน้าที่ในการเซทช่วงของอัตราขยายแรงดัน (voltage gain range) ส่วนตัวต้านทาน R_s ซึ่งถูกต่อในแบบซอร์ส-ดีเจนเนอเรชัน เพื่อทำหน้าที่ในการปรับอัตราขยายของวงจร โดยในทางปฏิบัติของงานวิจัยนี้ ใช้วิธีการปรับค่า R_f แล้วสังเกตผลปรากฏว่า R_f สามารถปรับช่วงอัตราขยายของวงจรได้ จากนั้นเลือกเซทค่า R_f ที่เหมาะสมเพื่อให้ R_f ทำหน้าที่ในการปรับค่าอย่างหยาบ ซึ่งเลือก R_f จำนวน 4 ค่า คือ 500k Ω , 150k Ω , 50k Ω , 15k Ω (แสดงด้วยเครื่องหมายขีดแนวตั้ง สีเหลี่ยมผกบาท และวงกลม ตามลำดับ) สังเกตจากรูปที่ 4.7 จากนั้นใช้วิธีการปรับค่า R_s ในช่วง 500 Ω -15k Ω ปรากฏว่าที่ R_f เท่ากับ 500k Ω เมื่อเราปรับค่า R_s ในช่วง 500 Ω -15k Ω อัตราขยายของวงจรจะอยู่ในช่วง -10 dB-0 dB แต่กราฟที่แสดงในรูปที่ 4.7 แสดงค่าอัตราขยายจำนวน 3 ค่า เนื่องจากใช้วิธีการสุ่มค่าตัวต้านทาน R_s ในช่วง 500 Ω -15k Ω มาแสดงผลเพื่อให้ดูสวยงามเท่านั้น และเมื่อเลือกค่า R_f เป็นค่าต่างๆ ก็เป็นไปในลักษณะเดียวกัน นอกจากนี้ยังสังเกตได้ว่าที่ R_f เท่ากับ 500k Ω และค่า R_s มีค่าน้อยสุดคือประมาณ 500 Ω ส่งผลให้อัตราขยายของวงจรมีค่าสูงสุดคือประมาณ 30dB

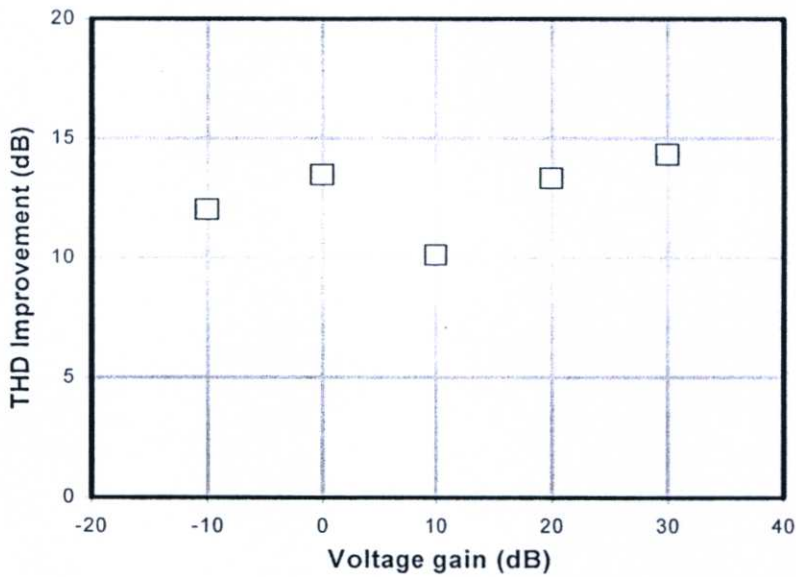


รูปที่ 4.7 ผลตอบสนองทางความถี่ของวงจร VGA เมื่อ R_f มีค่า 500k Ω (\diamond), 150k Ω (\square), 50k Ω (\times), 15k Ω (\circ) และ R_f มีค่าอยู่ในช่วง 500 Ω –15k Ω .

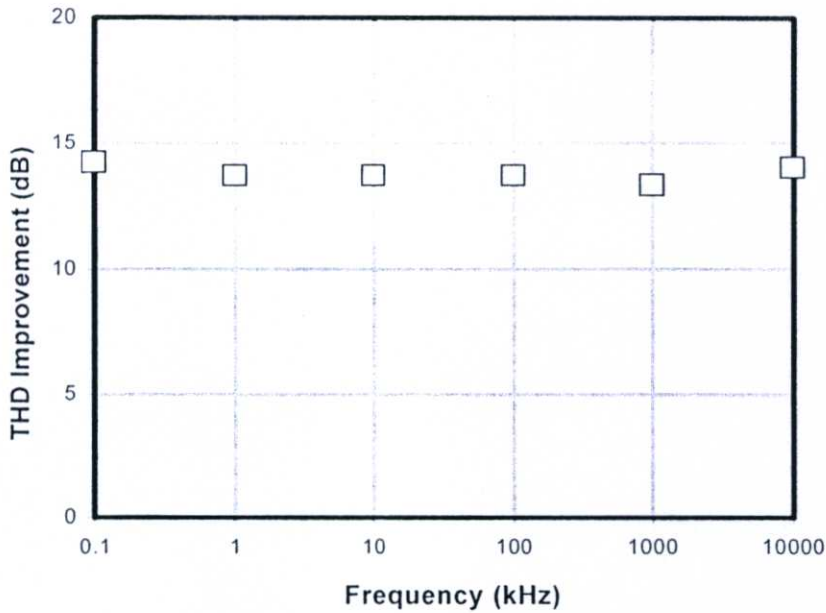
ผลการจำลองการทำงานอื่นๆ ที่นอกเหนือจากที่กล่าวข้างต้นได้แก่ การวัดผลความไม่เป็นเชิงเส้นของวงจร ซึ่งในวิทยานิพนธ์นี้ใช้วิธีการวัดค่าผลรวมที่เกิดจากการลดทอนของฮาร์โมนิกหรือ THD ซึ่งทำการวัดโดยใช้ฟังก์ชันในซอฟต์แวร์ที่ใช้จำลองการทำงานของวงจรมานั้นคือ ฟังก์ชัน periodic steady-state analysis ซึ่งมีในโปรแกรมของการออกแบบ IC ที่ชื่อ Cadence (Cadence IC design platform) รูปที่ 4.8 แสดงค่า THD เมื่อเปรียบเทียบกับ 2 วงจร คือวงจรรูปที่ 4.4 และรูปที่ 4.5 โดยวัดที่อัตราขยายแรงดันเหมือนกันคือที่ 20dB จะเห็นว่ารูปที่ 4.5 ซึ่งเป็นวงจรที่ออกแบบขึ้นใหม่สามารถช่วยปรับปรุงค่า THD ของวงจรได้มากกว่าวงจรรูปที่ 4.4 ถึง 13dB และถ้าวัดค่า THD ที่อัตราขยายแรงดันค่าต่างๆ เมื่อกำหนดให้ขนาดของสัญญาณเอาต์พุตมีค่า -10dBVp และความถี่เท่ากับ 1MHz แสดงผลการวัดค่า THD ได้ดังรูปที่ 4.9 ส่วนรูปที่ 4.10 แสดงผลการวัดค่า THD ที่ความถี่ต่างๆ โดยยังคงกำหนดให้ขนาดของสัญญาณเอาต์พุตมีค่า -10dBVp และอัตราขยายแรงดันเท่ากับ 20dB



รูปที่ 4.8 การเปรียบเทียบการลดทอนสัญญาณ โดยค่า THD กับ ขนาดของสัญญาณเอาต์พุต ระหว่าง วงจรรูปที่ 4.4 กับ รูปที่ 4.5 โดยเปรียบเทียบที่อัตราขยายแรงดัน 20dB และความถี่ 1MHz

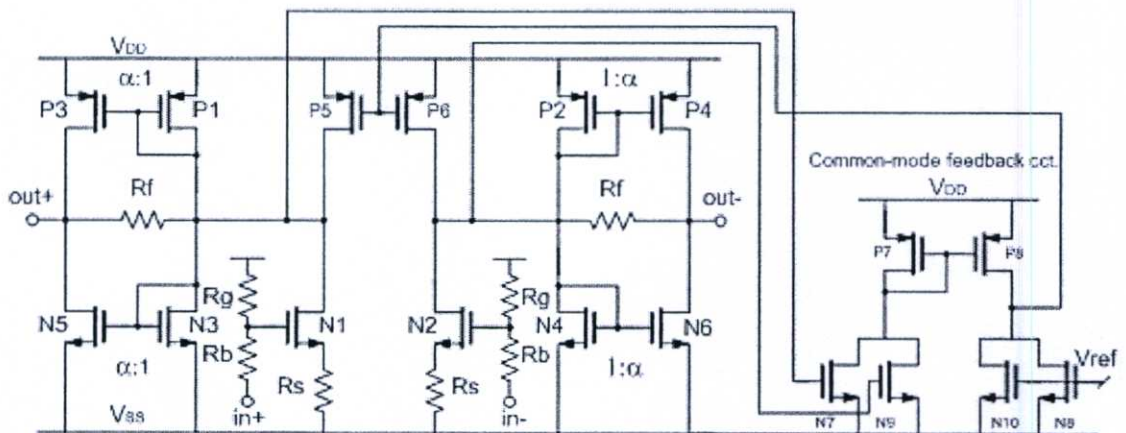


รูปที่ 4.9 แสดงผลการวัดค่า THD เมื่อมีอัตราขยายค่าต่างๆ และกำหนดความถี่เท่ากับ 1MHz



รูปที่ 4.10 แสดงผลการวัดค่า THD เมื่อกำหนดให้ความถี่มีค่าต่างๆ และมีอัตราขยายเท่ากับ 20dB

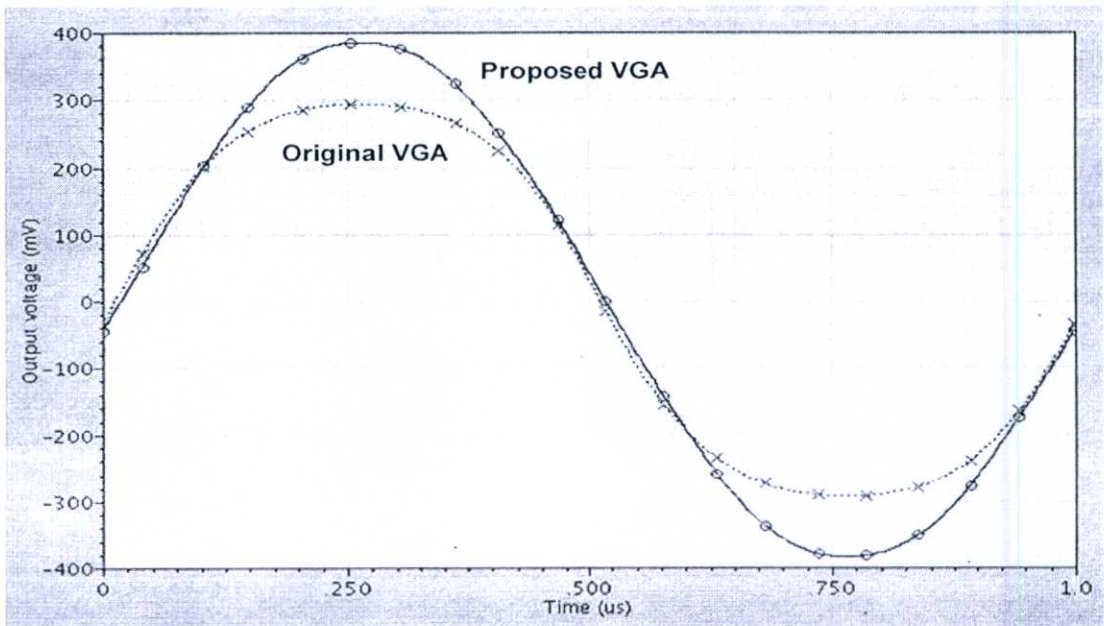
วงจรในรูปที่ 4.5 สามารถทำงานได้ภายใต้แรงดันไฟเลี้ยง 1 โวลต์ กำลังสูญเสีย 60 ไมโครวัตต์ และให้แบนด์วิธประมาณ 50 เมกะเฮิร์ต ซึ่งยังไม่เป็นไปตามเป้าหมายของการออกแบบวงจร VGA ที่ได้วางเป้าหมายไว้ ดังนั้นจึงได้มีการคิดค้นหาวิธีและหาเทคนิคใหม่มาปรับปรุงเพื่อให้ได้วงจรใหม่ที่มีประสิทธิภาพมากขึ้น โดยวงจรที่จะนำเสนอต่อไปเน้นการออกแบบให้วงจรสามารถทำงานได้ภายใต้แรงดันไฟเลี้ยงต่ำมากๆคือ สามารถทำงานได้ภายใต้แรงดัน 0.5 โวลต์ ซึ่งเป็นสิ่งที่น่าสนใจสำหรับวงจรนี้ โดยจะนำเสนอวงจรดังรูปที่ 4.11



รูปที่ 4.11 VGA Class-AB ทำงานที่แรงดันไฟเลี้ยงต่ำปรับปรุงจากวงจรกับ [19] และ [20]

หลักการทํางานของวงจรรูปที่ 4.11

วงจรในรูปที่ 4.11 ออกแบบโดยใช้โครงสร้างและเทคนิคเช่นเดียวกับวงจรในรูปที่ 4.5 นั่นคือการใช้วงจรทรานส์คอนดักแดนซ์แบบซอร์ส-ดีเจเนอเรชัน สำหรับภาคแรกของวงจรที่มีการต่อตัวต้านทาน R_b และ R_g เพื่อทำหน้าที่ในการเลื่อนแรงดันไบอัส (shift bias voltage) ที่ขาเกตของ N1 และ N2 ให้เป็น 0.35 โวลต์ เมื่อกำหนดให้แรงดันไบอัสที่ขาอินพุตเป็น $V_{DD}/2 = 0.25$ โวลต์ [21] ซึ่งเทคนิคนี้ยอมให้ทรานส์ซิสเตอร์ทำงานย่าน moderate inversion region สำหรับการออกแบบที่แรงดันไฟเลี้ยง 0.5 โวลต์ และเมื่อแรงดันขีดเริ่มของทรานส์ซิสเตอร์มีค่าประมาณ 0.43 โวลต์ [22] ส่วนวงจรขยายในภาคที่สองยังคงใช้วงจรสะท้อนกระแส ซึ่งจะทำงานเป็นคลาส เอบี เมื่อเทียบกับ [19] และ [20] ดังแสดงการแกว่งของสัญญาณดังรูปที่ 4.12



รูปที่ 4.12 การแกว่งของสัญญาณในวงจรรูปที่ 4.11 เมื่อเปรียบเทียบกับ [19] และ [20]

วงจรรูปที่ 4.11 อีกส่วนหนึ่งที่สำคัญนั่นคือ วงจรป้อนกลับแบบวิธีร่วม (common-mode feedback) ถูกใช้เพื่อเซตค่าแรงดันที่ขาเดรนของ P1, P2 ให้มีค่า $V_{ref} = V_{DD}/2$ และยังคงให้กระแสของ P1-P2 คงที่ ไม่ว่า R_s และ R_f จะมีค่าเปลี่ยนแปลงไปในลักษณะอย่างไรก็ตาม โดยได้กำหนดค่าขนาดของทรานส์ซิสเตอร์ไว้อย่างเหมาะสมดังตารางที่ 4.2 เพื่อให้กระแสเดรนของ P3 (P4) มีค่าเท่ากับกระแสเดรนที่ N5 (N6) และค่าทรานส์คอนดักแดนซ์ของ P3 (P4) มีค่าเท่ากับค่าทรานส์คอนดักแดนซ์ของ N5 (N6) และเพื่อให้ไม่ให้เกิดกระแสไหลตรงไหลผ่าน R_f ดังนั้นแรงดันไฟตรงของเอาต์พุตจะถูกเซตให้มีค่าเหมือนกับที่เดรนของ P1, P2 อย่างอัตโนมัติ คือ $V_{ref} = V_{DD}/2$

ตารางที่ 4.2 แสดงขนาดของทรานซิสเตอร์และพารามิเตอร์ที่ใช้ในการออกแบบวงจรรูปที่ 4.11

Design parameters	Values
N1 – N2	100 μm / 0.18 μm
P1 – P2, P3 – P4	50 μm / 0.18 μm , 250 μm / 0.18 μm
N3 – N4, N5 – N6	16 μm / 0.18 μm , 80 μm / 0.18 μm
Rb, Rg	150k Ω , 100k Ω

การวิเคราะห์สัญญาณขนาดเล็กเพื่อหาความสัมพันธ์ของอัตราขยายทรานส์คอนดักแตนซ์ของวงจรขยายภาคแรกเป็นดังสมการ

$$G_m = \frac{g_m R_g}{(R_g + R_g + g_m R_s (R_g + R_s)) + s C_{gs} (R_g R_s + R_b R_s + R_b R_g)} \quad (4.13)$$

เมื่อ g_m และ C_{gs} เป็นทรานส์คอนดักแตนซ์และตัวเก็บประจุระหว่างเกต-ซอร์ส ของทรานส์ซิสเตอร์ N1-N2 ตามลำดับ และอัตราขยายกระแสแบบผลต่าง A_i และความต้านทานอินพุต R_{in} เป็นดังสมการที่ (4.14) และ (4.15) ตามลำดับ

$$A_i = \frac{(g_{mn0} + g_{mp0})}{(g_{mni} + g_{mpi} + s C_x)} \quad (4.14)$$

$$R_{in} = \frac{1}{(g_{mni} + g_{mpi} + s C_x)} \quad (4.15)$$

เมื่อ g_{mn0} , g_{mp0} , g_{mni} และ g_{mpi} เป็น ทรานส์คอนดักแตนซ์ของ N5-N6, N3-N4 และ P1-P2 ตามลำดับ ส่วน C_x เป็นผลรวมของตัวเก็บประจุทั้งหมด (จากจุดอ้างอิงไปยังกราวนด์) ที่ขาเดรนของ P1 (P2) พิจารณาจากสมการถ้าที่ความถี่ต่ำจะเห็นว่า $g_{mp0} = \alpha \cdot g_{mpi}$ และ $g_{mn0} = \alpha \cdot g_{mni}$ ดังนั้น A_i ของรูปที่ 4.11 มีค่าเท่ากับ α และถ้านำสมการที่ (4.14) และ (4.15) ลงในสมการที่ (4.8) เนื่องจากเป็นโครงสร้างเดียวกันจะได้อัตราขยายทรานส์อิมพีแดนซ์ของสัญญาณขนาดเล็กดังสมการที่ (4.16) และ (4.17)

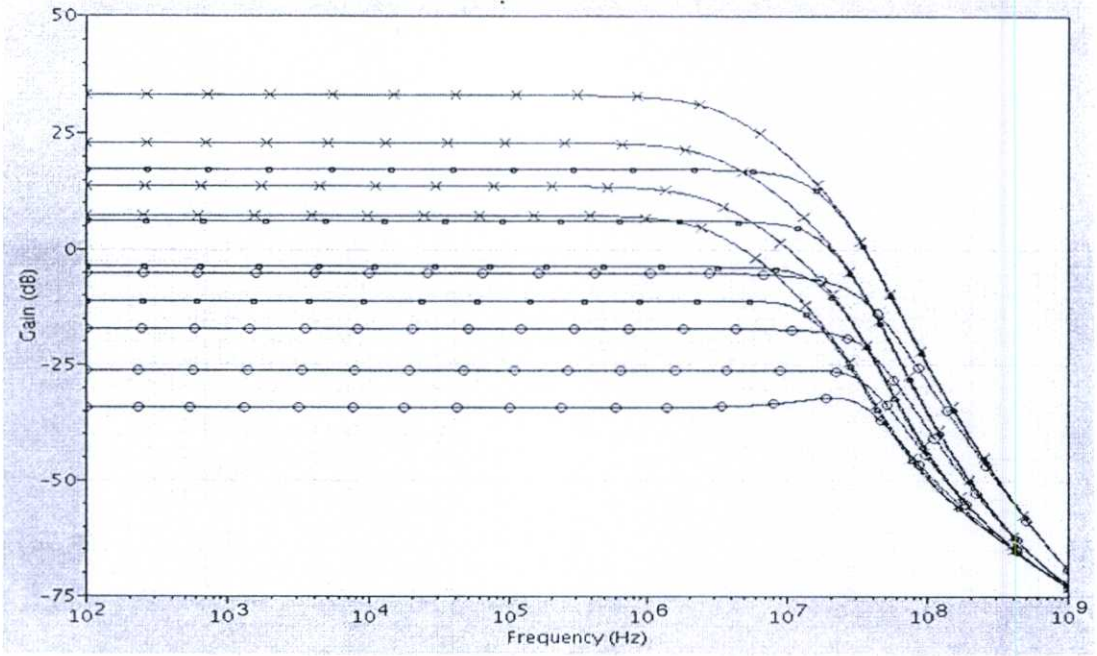
$$R_m = \frac{-R_f(g_{mn0} + g_{mp0}) + 1}{g_{mni} + g_{mpi} + g_{mn0} + g_{mp0} + sC_x} \quad (4.16)$$

ถ้า $g_{mni} = g_{mpi} = g_{mi}$, $g_{mn0} = g_{mp0} = g_{m0}$ และให้ $g_{m0} = \alpha \cdot g_{mi}$ ดังนั้นแทนลงในสมการที่ (4.16)

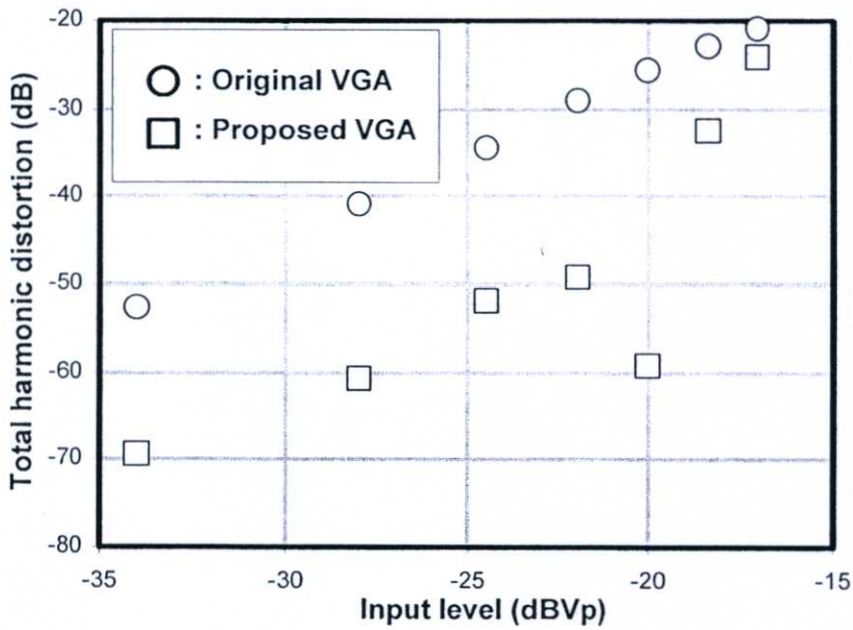
$$R_m = \frac{-\alpha R_f + \frac{1}{2g_{mi}}}{1 + \alpha + s \frac{C_x}{2g_{mi}}} \quad (4.17)$$

ผลตอบสนองทางความถี่ของวงจรรูปที่ 4.11

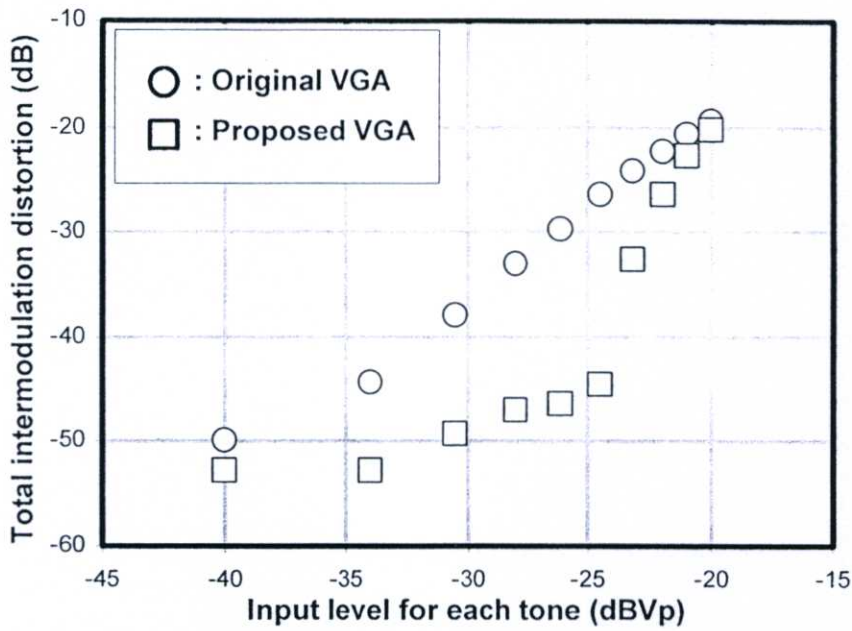
ผลตอบสนองทางความถี่ของวงจรรูปที่ 4.11 มีลักษณะเช่นเดียวกับวงจรรูปที่ 4.5 คือ ในทางปฏิบัติของงานวิจัยนี้ จะกำหนดให้ตัวต้านทาน R_f ทำหน้าที่ในการเซทช่วงของอัตราขยายอย่างหยาบ ส่วนตัวต้านทาน R_s ทำหน้าที่ปรับอัตราขยายของวงจอย่างละเอียด คือใช้วิธีการทดลองปรับค่า R_f อย่างเดียวก่อน แล้วสังเกตผล ปรากฏว่า R_f สามารถปรับช่วงอัตราขยายของวงจรได้จริง จากนั้นเลือกเซทค่า R_f ที่เหมาะสมซึ่งเลือก R_f มาจำนวน 3 ค่า คือ $400 \text{ k}\Omega$ (\times), $40 \text{ k}\Omega$ (\square), $4 \text{ k}\Omega$ (\circ) (สังเกตจากรูปที่ 4.13 ซึ่งแสดงด้วยสัญลักษณ์ต่างๆ กัน) จากนั้นใช้วิธีเลือก R_s มาค่าใดค่าหนึ่ง เช่นเลือก R_s เท่ากับ $400 \text{ k}\Omega$ (\times) แล้วใช้วิธีการปรับเปลี่ยนค่า R_s ในช่วง 500Ω - $15 \text{ k}\Omega$ ปรากฏว่า วงจรที่ออกแบบให้อัตราขยายอยู่ในช่วง 7 dB - 33 dB แต่ในรูปที่ 4.13 ซึ่งแสดงด้วยสัญลักษณ์ \times แสดงค่าในการปรับอัตราขยายมา 4 ค่า เนื่องจากใช้วิธีการสุ่ม R_s มาจำนวน 4 ค่าเท่านั้น และเป็นไปในทำนองเดียวกันคือ เมื่อเลือก R_s มาค่าหนึ่งแล้ว จากนั้นใช้วิธีการปรับเปลี่ยนค่า R_s ในช่วง 500Ω - $15 \text{ k}\Omega$ และสุ่มบางค่าของ R_s มาแสดงผลดังรูปที่ 4.13 นอกจากนี้ยังสังเกตได้ว่าที่ R_f เท่ากับ $400 \text{ k}\Omega$ และค่า R_s มีค่าน้อยสุดคือประมาณ 500Ω ส่งผลให้อัตราขยายของวงจรมีค่าสูงสุดคือประมาณ 33 dB ผลการจำลองการทำงานอื่นๆ ของวงจรรูปที่ 4.11 ที่นอกเหนือจากผลตอบสนองทางความถี่ คือทำการวัดค่า THD เพื่อแสดงการเปรียบเทียบค่า THD ที่สัญญาณอินพุตมีขนาดต่างๆ โดยในรูปแสดงการเปรียบเทียบระหว่างวงจรรูปที่ 4.4 กับรูปที่ 4.11 ในการทดลองใช้การป้อนความถี่เดียว (single tone test) และสองความถี่ (two tone test) แสดงผลดังรูปที่ 4.14 และ รูปที่ 4.15 ตามลำดับ โดยวัดที่อัตราขยายแรงดันเหมือนกันคือ 10 dB ความถี่ 1 MHz และที่ขนาดสัญญาณผลต่างเอาท์พุต -12 dBVp จะเห็นว่าวงจรรูปที่ 4.11 สามารถช่วยปรับปรุงความเป็นเชิงเส้นได้มากกว่า 18 dB เมื่อเทียบกับวงจรเดิมคือวงจรรูปที่ 4.4 และในทำนองเดียวกัน เมื่อลองพิจารณาที่ความถี่ต่างๆ เพื่อสังเกตค่า THD ซึ่งแสดงดังรูปที่ 4.18



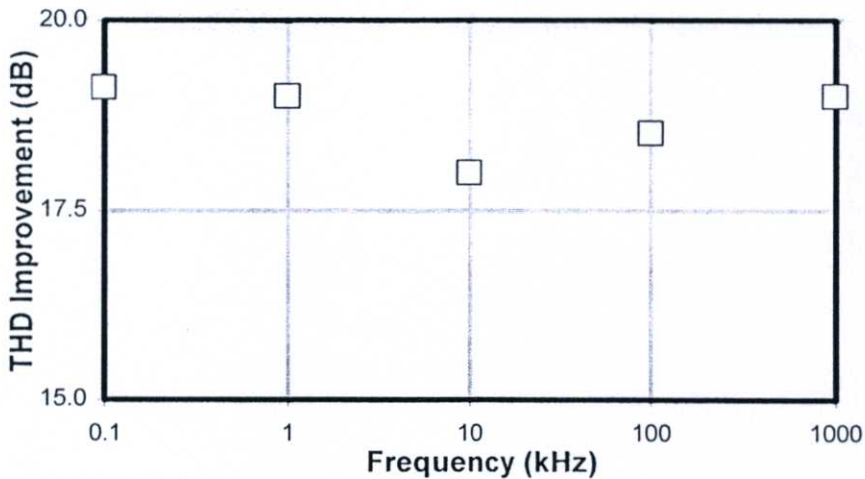
รูปที่ 4.13 ผลตอบสนองทางความถี่ของวงจร VGA เมื่อ R_f : 400 k Ω (x), 40 k Ω (\square), 4 k Ω (\circ)
และ R_s มีค่าอยู่ในช่วง: 500 Ω – 50k Ω



รูปที่ 4.14 แสดงค่า THD โดยการป้อนความถี่เดียว (single-tone test) วัตต์ที่ค่าอัตราขยายแรงดัน 10dB และความถี่ 1MHz.



รูปที่ 4.15 แสดงค่า intermodulation distortion โดยการป้อนสองความถี่ (two-tone test) วัดที่ค่า อัตราขยายแรงดัน 10dB และความถี่ 1MHz.



รูปที่ 4.16 แสดงค่า THD ที่ความถี่ต่างๆ โดยมีอัตราขยาย 10dB และขนาดเอาต์พุต -12dBVp.

วงจรรูปที่ 4.11 มีข้อเด่นของวงจรคือสามารถทำงานได้ภายใต้แรงดันไฟเลี้ยง 0.5 โวลต์ กำลังสูญเสีย 25 ไมโครวัตต์ และให้แบนด์วิธประมาณ 10 เมกกะเฮิร์ต ซึ่งยังไม่เป็นไปตามเป้าหมายของงานแต่เป็นวงจรที่ถูกปรับปรุงจากวงจรแรกเพื่อให้สามารถทำงานได้ที่ไฟเลี้ยงต่ำและเป็นพื้นฐานในการออกแบบวงจร VGA ต่อไป

4.4.2 สรุปตารางการเปรียบเทียบระหว่างวงจร VGA ที่ออกแบบกับวงจรต้นแบบโดยใช้ โครงสร้างทรานซ์อิมพีแดนซ์

ตารางที่ 4.3 การเปรียบเทียบระหว่างวงจรต้นแบบกับวงจรที่ 1

Parameters	วงจรที่ 1 (รูปที่ 4.5)	วงจรต้นแบบรูปที่ 4.4
Supply voltage	1V	
Technology	0.18 μ m CMOS	
Power consumption (static)	$\leq 60 \mu$ W	60 μ W
Bandwidth	~ 50 MHz	~ 50 MHz
Input-referred noise (gain = 20dB)	$8.0 \times 10^{-8} \text{ V}^2$	$9.4 \times 10^{-8} \text{ V}^2$
Differential output signal swing for -40dB THD	0.76V _p	0.33V _p
THD improvement	> 13dB	-
Gain range at constant bandwidth	25dB	23dB

ตารางที่ 4.4 การเปรียบเทียบระหว่างวงจรต้นแบบกับวงจรที่ 2

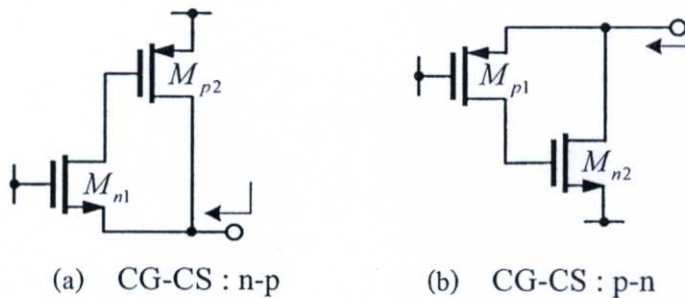
Parameters	วงจรที่ 2 (วงจรรูปที่ 4.11)	วงจรต้นแบบรูปที่ 4.4
Supply voltage	0.5V	
Technology	0.18 μ m CMOS ($V_{TP} = -0.43\text{V}$, $V_{TN} = 0.45\text{V}$)	
Power consumption (static)	$\leq 25 \mu$ W	25 μ W
Bandwidth	~ 10 MHz	~ 10 MHz
Input-referred noise (gain = 10dB)	$2.7 \times 10^{-8} \text{ V}^2$	$7.3 \times 10^{-8} \text{ V}^2$
Differential output signal swing for -40dB THD	0.31V _p	0.13V _p
Output IP3 (two-tone test at 1MHz and 1.1MHz with gain=10dB)	13dBV _p	0dBV _p
Spurious-free dynamic range (gain = 10dB)	49dB	39dB
Gain range at constant bandwidth	25dB	23dB

4.4.3 วงจร VGA ที่นำเสนอโดยใช้โครงสร้างการป้อนกลับแบบแอกทีฟ

การออกแบบวงจร VGA โดยใช้โครงสร้างทรานซิมิพีแคนซ์ทั้งสองวงจรที่ได้ นำเสนอไปแล้วในหัวข้อ 4.4.1 มีข้อเด่นคือสามารถทำงานได้ภายใต้แรงดันไฟเลี้ยงต่ำ และกินกำลังงานต่ำ แต่มีข้อด้อยในเรื่องของแบนด์วิธของวงจรมีอยู่ในระดับเมกกะเฮิรตซ์ ซึ่งยังคงน้อยเมื่อเทียบกับเป้าหมายที่วางไว้ คือต้องการออกแบบวงจร VGA ให้มีแบนด์วิธระดับจิกกะเฮิรตซ์ ดังนั้นจึงพยายามหาแนวทางแก้ไขโครงสร้างดังกล่าวโดยนำเอาหลายๆ เทคนิคมาประยุกต์ใช้ร่วมกัน แต่ยังไม่เป็นไปตามที่ต้องการ จึงคิดว่าควรมหาแนวทางใหม่โดยการออกแบบโครงสร้างของวงจร VGA ใหม่ จนได้มาซึ่งโครงสร้างการป้อนกลับแบบแอกทีฟ และนำเสนอไปแล้วในบทที่ 3 โครงสร้างการป้อนกลับแบบแอกทีฟมีข้อเด่นในเรื่องของการให้แบนด์วิธกว้าง และเป็นโครงสร้างที่เกิดจากการผสมผสานเอาเทคนิคของโครงสร้างไจเรเตอร์และโครงสร้างทรานซิมิพีแคนซ์คอนดักเตอร์-ซีมาประยุกต์ใช้งานร่วมกัน สำหรับงานวิจัยนี้ได้ออกแบบวงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแอกทีฟจำนวน 3 วงจร โดยได้ทำการปรับปรุงแต่ละวงจรขึ้นเรื่อยๆ ตามลำดับเพื่อให้ได้วงจรที่สมบูรณ์และเป็นไปตามเป้าหมายที่กำหนดไว้เริ่มต้นให้มากที่สุด ดังจะกล่าวรายละเอียดต่อไป

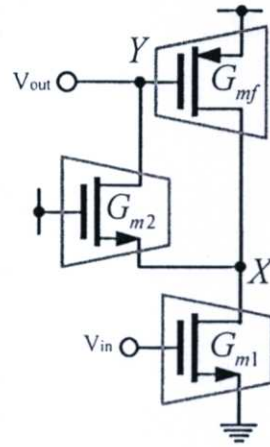
4.4.3.1 วงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแอกทีฟ: วงจรที่ 1

จากโครงสร้างไจเรเตอร์ที่ใช้ VCCS จำนวน 2 ชุดดังรูปที่ 3.10 ซึ่งสามารถสร้างได้โดยใช้วงจรขยาย CS ร่วมกับวงจรขยาย CD หรือวงจรขยาย CG กับวงจรขยาย CS ดังรูปที่ 3.11 ถูกลำนำมาใช้ในการออกแบบวงจร VGA นี้ โดยเลือกใช้วงจรขยาย CG ร่วมกับวงจรขยาย CS ดังนี้



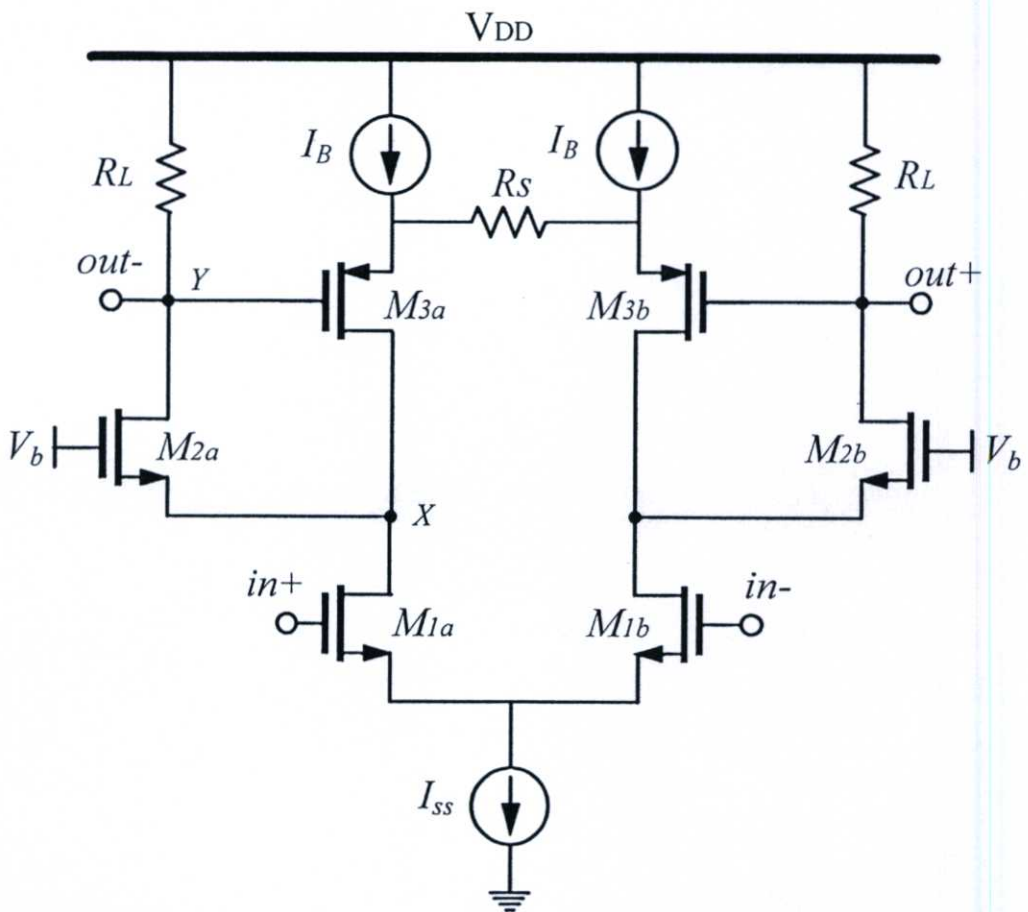
รูปที่ 4.17 โครงสร้างไจเรเตอร์ที่ใช้วงจรขยาย CG กับวงจรขยาย CS

จากโครงสร้างรูปที่ 4.17 นำมาปรับปรุงเป็นโครงสร้างการป้อนกลับแบบแอกทีฟรูปที่ 3.17 เพื่อนำมาออกแบบวงจร VGA ซึ่งแสดงดังรูปที่ 4.18 และรูปที่ 4.19 แสดงวงจรผลต่างที่ใช้วงจรขยาย CG กับวงจรขยาย CS และโครงสร้างการป้อนกลับแบบแอกทีฟ



CG-CS : n-p

รูปที่ 4.18 แสดงทรานส์คอนดักต์แดนซ์ในโครงสร้างการป้อนกลับแบบแอกทีฟที่แทนด้วย
ทรานซิสเตอร์



รูปที่ 4.19 วงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแอกทีฟ: วงจรที่ 1

หลักการทํางานของวงจรรูปที่ 4.19

รูปที่ 4.19 แสดงทรานส์คอนดักแตนซ์ G_{m1} ในโครงสร้างรูปที่ 3.17 ด้วยทรานส์คอนดักแตนซ์ g_{m1} ของทรานซิสเตอร์ M_{1a} - M_{1b} และทรานส์คอนดักแตนซ์ G_{m2} แสดงด้วย g_{m2} ของ M_{2a} - M_{2b} ส่วนทรานส์คอนดักแตนซ์ G_{mf} ของโครงสร้างรูปที่ 3.17 ในวงจรรูปที่ 4.19 ได้ออกแบบโดยใช้เทคนิคการป้อนกลับร่วมกับเทคนิค Source degeneration เพื่อช่วยเพิ่มความเป็นเชิงเส้นของวงจร โดยที่ทรานส์คอนดักแตนซ์ $G_{mf} = g_{m3}/(1 + g_{m3}R_s)$ เมื่อ g_{m3} เป็นทรานส์คอนดักแตนซ์ M_{3a} - M_{3b} และสำหรับอัตราขยายของวงจร VGA จะสามารถปรับค่าได้โดยการปรับเปลี่ยนค่า R_s ซึ่ง R_s ที่มีค่าน้อยสุดที่ยังสามารถทำให้วงจรมีความเป็นเชิงเส้น (linearity) คือ $1/g_{m3}$ โหลดความต้านทาน R_{L2} ในโครงสร้างมีค่าเท่ากับ R_L ในวงจร ส่วน R_{L1} ซึ่งเป็นอินพุตอิมพีแดนซ์ Z_{in} มีค่าประมาณ $R_{L1} = 1/R_L g_{m2} g_{m3}$ และสำหรับ C_1 และ C_2 คือผลรวมของค่าเก็บประจุสมมูล (equivalent total capacitance) ที่โหนด X และโหนด Y ของวงจรถามลำดับ ดังแสดงในรูปที่ 4.19 ซึ่งจะได้ค่า C_1 และ C_2 โดยประมาณดังนี้ $C_1 = C_{gs2} + C_{gd1}$ และ $C_2 = C_{gd2} + C_L$

ค่าของตัวแปรที่เกี่ยวข้องจากการเปรียบเทียบระหว่างโครงสร้างรูปที่ 3.17 และวงจรรูปที่ 4.19 เราสามารถนำตัวแปรเหล่านั้นมาแทนค่าหาความสัมพันธ์ โดยนำพารามิเตอร์ที่ได้จากวงจรแทนในสมการที่ (3.30) (3.32) และ (3.33) ดังสมการต่อไปนี้

$$A_{vo} = \frac{g_{m1}(1 + g_{m3}R_s)}{g_{m3}} \quad (4.18)$$

$$\omega_n^2 = \frac{g_{m2}g_{m3}}{(1 + g_{m3}R_s)(C_{gs2} + C_{gd1})(C_{gd2} + C_L)} \quad (4.19)$$

$$\zeta = \frac{1}{2} \frac{\left(\frac{C_{gs2} + C_{gd1}}{R_L g_{m2} g_{m3}} \right) + R_L (C_{gd2} + C_L)}{\sqrt{(C_{gs2} + C_{gd1})(C_{gd2} + C_L)}} \quad (4.20)$$

จากสมการที่ (4.5) เราสามารถปรับค่า g_{m1} และ R_s เพื่อปรับอัตราขยาย แต่สำหรับวงจรมีจะใช้การปรับ R_s เพียงอย่างเดียว

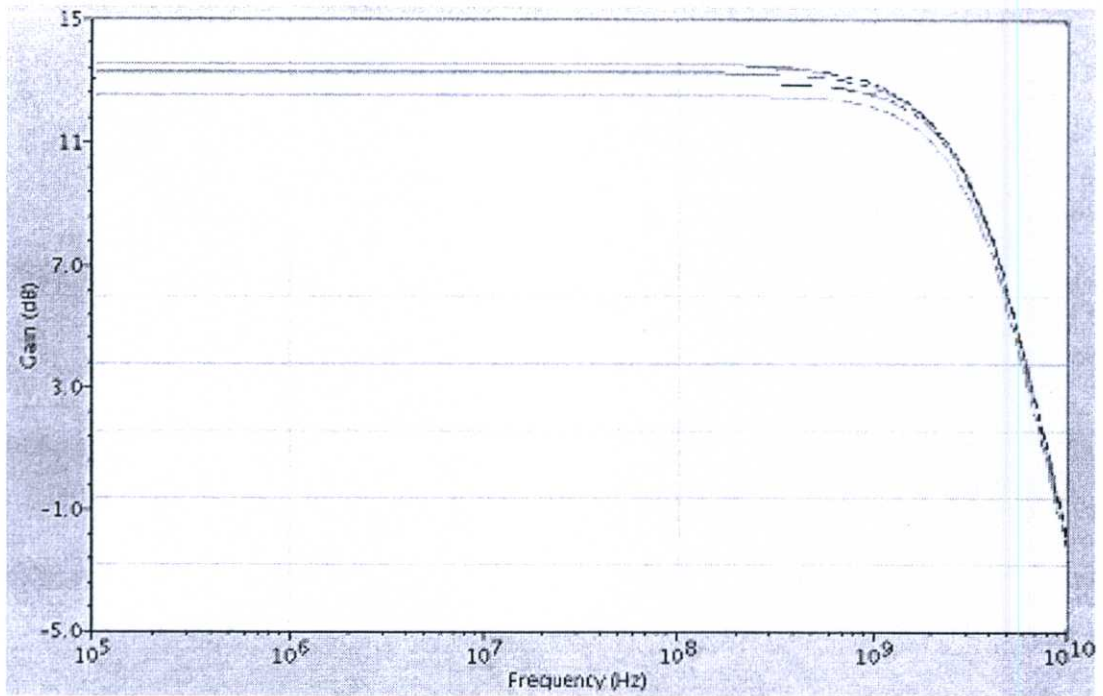
ผลการจำลองการทํางานของวงจรโดยใช้พารามิเตอร์ และขนาดของทรานซิสเตอร์ในการจำลองการทํางานดังตารางที่ 4.5 และใช้แรงดันไฟเลี้ยง 1 โวลต์ ของเทคโนโลยีซีมอส 0.18- μm และแรงดันขีดเริ่มต้นของทรานซิสเตอร์ชนิดเอ็น (NMOS) และชนิดพี (PMOS) มีค่าประมาณ 0.25 โวลต์ และ 0.29 โวลต์ ตามลำดับ

ตารางที่ 4.5 พารามิเตอร์และขนาดของทรานซิสเตอร์ที่ใช้ในการจำลองการทำงานของวงจร VGA ภายใต้แรงดันไฟเลี้ยง 1 โวลต์

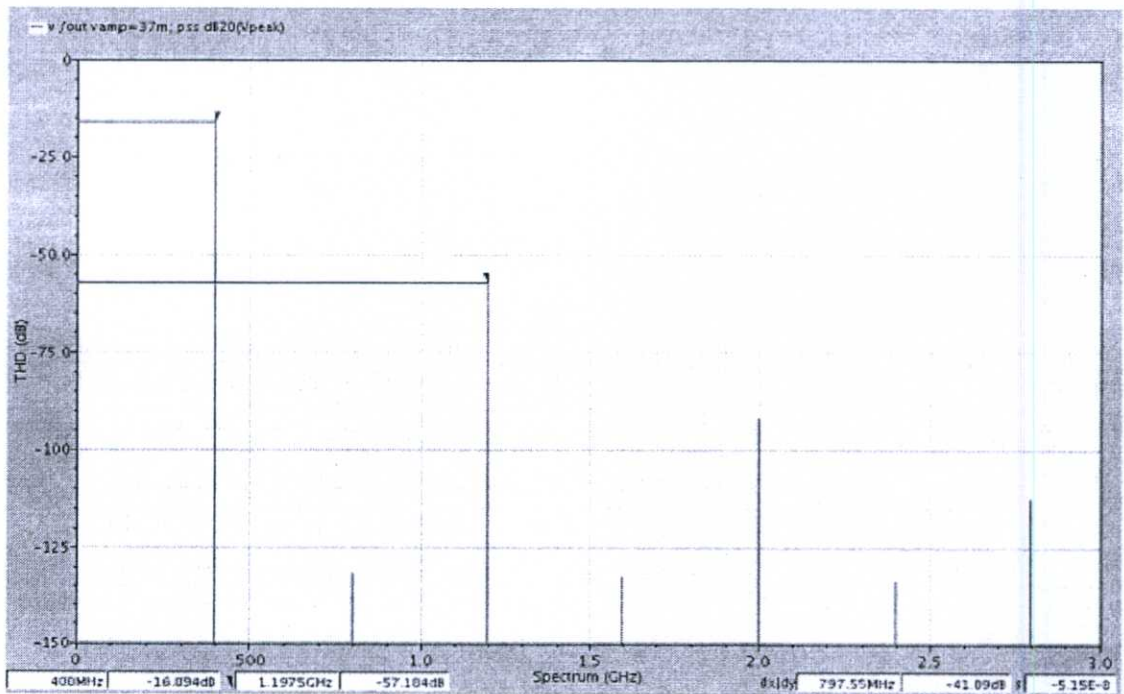
Design parameters	Values
M1a-M1b	1.0 μ m /0.3 μ m
M2a-M2b	1.0 μ m /0.6 μ m
M3a-M3b	1.0 μ m /0.8 μ m
I_B	12 μ A
I_{SS}	500 μ A
R_L	1K Ω

ผลการจำลองการทำงานของวงจรรูปที่ 4.21

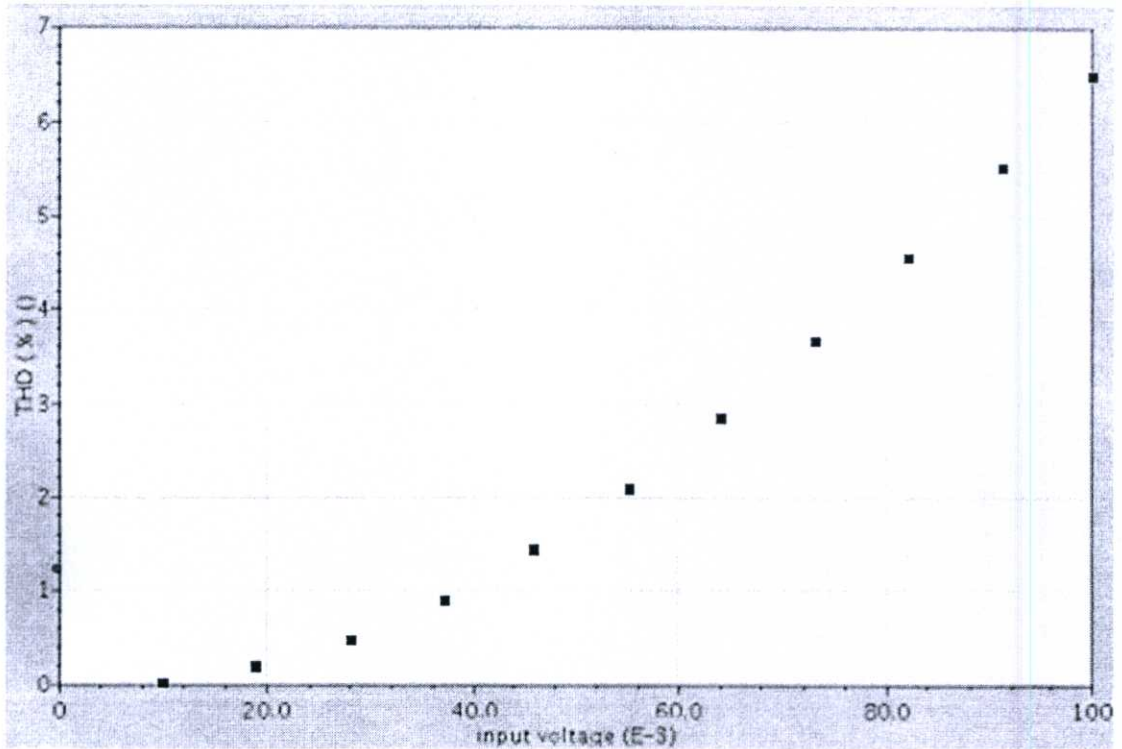
รูปที่ 4.20 แสดงผลตอบสนองทางความถี่ของวงจร VGA เมื่อกำหนดให้ R_L เท่ากับ 1k Ω และทำการเปลี่ยนแปลงค่า R_L ในช่วง 1k Ω -500k Ω ส่งผลให้อัตราขยายของวงจรเปลี่ยนไปอยู่ในช่วง ประมาณ 12 dB ถึง 13.04 dB โดยประมาณ นอกจากนี้ยังแสดงผลรวมการบิดเบือนสัญญาณที่เกิดจากฮาร์โมนิกต่างๆ หรือ THD แสดงดังรูปที่ 4.21 ซึ่งผลการทดลองดังกล่าว ได้จากการใช้ฟังก์ชันของการจำลองการทำงาน ที่เรียกว่า Periodic steady state simulation (PSS) ซึ่งเป็นฟังก์ชันที่มีอยู่ในโปรแกรมที่ใช้จำลองการทำงานของวงจรมานั้นคือโปรแกรม Cadence Spectre ในรูปที่ 4.21 แสดงสเปกตรัมของแต่ละฮาร์โมนิก โดยป้อนความถี่อินพุตที่ 400 MH. ส่วนรูปที่ 4.22 แสดง THD ที่ขนาดของอินพุตแตกต่างกันโดยจะเห็นว่า ที่ 1% THD ขนาดของอินพุตมีค่าประมาณ 37 มิลลิโวลต์



รูปที่ 4.20 ผลตอบสนองทางความถี่ของวงจร VGA เมื่อ R_1 : 1k Ω , 100k Ω , 500k Ω and R_f : 1k Ω .



รูปที่ 4.21 เปรียบเทียบ THD (dB) ระหว่างฮาร์โมนิกที่ 1 กับฮาร์โมนิกที่ 3



รูปที่ 4.22 THD (%) VS ขนาดของแรงดันอินพุต(mV)

จากผลการทดลองที่กล่าวมา โดยการใช้เทคนิคการป้อนกลับแบบแอกทีฟ เรานำมาเปรียบเทียบกับวงจรอื่นที่ใช้เทคนิคเดียวกันนี้ว่ามีคุณสมบัติเด่นกว่า โดยเปรียบเทียบคุณสมบัติด้วยความสัมพันธ์ที่เรียกว่า figure-of-merit (FOM) ดังสมการที่ (4.5) และผลการเปรียบเทียบเป็นไปดังตารางที่ 4.6

ตารางที่ 4.6 แสดงผลการเปรียบเทียบคุณสมบัติของวงจรที่ออกแบบกับวงจรอื่น โดยใช้เทคนิคเดียวกัน

	วงจรรูปที่ 4.19	[17]	[18]
Process	0.18- μm	0.18- μm	0.18- μm
Supply voltage	1V	1.8V	1.8V
Power consumptions	500 μW	100mW	189mW
DC gain (differential)	13.04dB	50dB	42dB
Bandwidth(-3dB)	1.78GHz	9.4GHz	9GHz
THD	54dB	-	-
FOM	27.83	12.86	15.56

สรุปข้อเด่น-ข้อด้อยของวงจรที่ 1 หรือวงจรรูปที่ 4.19

ข้อเด่น

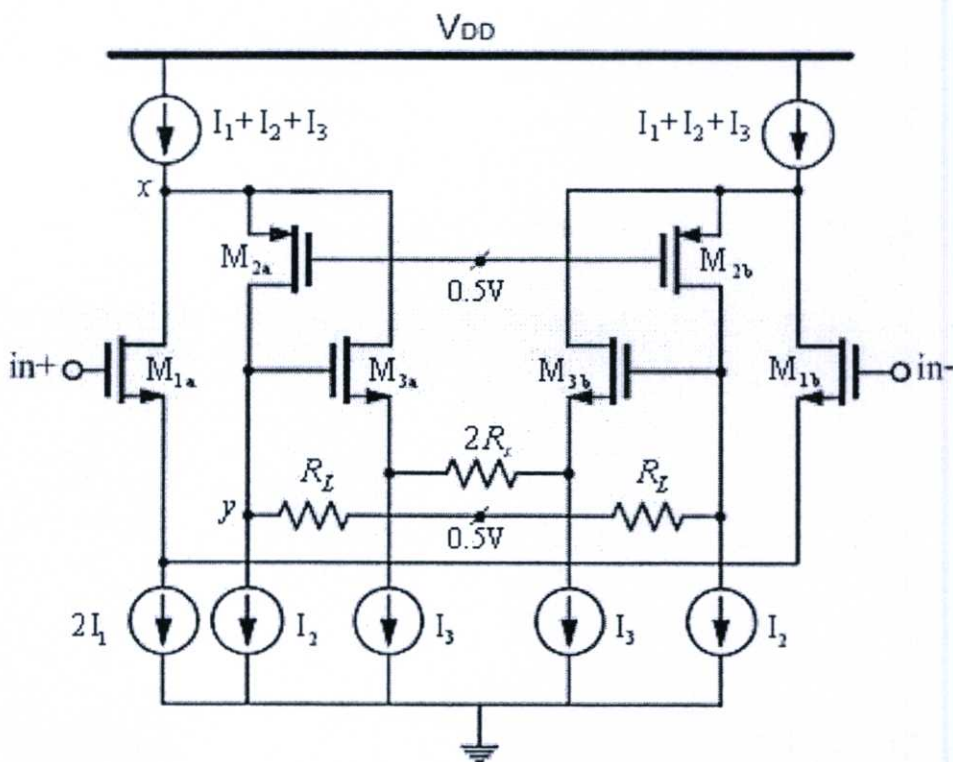
1. กินกำลังงานและไฟเลี้ยงต่ำ
2. ให้แบนด์วิธของวงจรสูงซึ่งอยู่ในระดับจิกกะเฮิร์ตคือประมาณ 1.78 GHz
3. มี *FOM* สูงเมื่อเปรียบเทียบกับงานวิจัยอื่น
4. วงจรนี้ส่งตีพิมพ์ดังแสดงในภาคผนวก ค

ข้อด้อย

1. ช่วงการปรับอัตราขยายแคบคือประมาณ 12 dB ถึง 13.04 dB
2. แรงดันไฟตรงที่โหนดเอาต์พุตไม่คงที่

4.4.3.2 วงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแยกที่ฟ: วงจรที่ 2

วงจรรูปที่ 4.23 เป็นวงจรที่ถูกปรับปรุงมาจากวงจรที่ 1 หรือวงจรรูปที่ 4.19 เนื่องจากเจอปัญหาแรงดันไฟตรงที่โหนดเอาต์พุตไม่คงที่และค่อนข้างไวต่อการเปลี่ยนแปลงไม่ว่าจะเปลี่ยนพารามิเตอร์ใดๆ เช่น R_f และ R_s เป็นต้น เนื่องจากกระแสไฟตรงที่ไหลผ่านทรานซิสเตอร์ไม่คงที่ ดังนั้นจึงพยายามหาวิธีแก้ไขปัญหาดังกล่าวโดยการกำหนดกระแสไฟตรงที่ไหลผ่านทรานซิสเตอร์แต่ละตัวดังแสดงในรูปที่ 4.23



รูปที่ 4.23 วงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแยกที่ฟ: วงจรที่ 2

หลักการทํางานของวงจรรูปที่ 4.23

รูปที่ 4.23 เมื่อประมาณค่าพารามิเตอร์ในวงจรที่ออกแบบเปรียบเทียบกับโครงสร้างรูปที่ 3.17 ได้ว่า ทรานส์คอนดักแตนซ์ G_{m1} ประมาณด้วย g_{m1} ของทรานซิสเตอร์ M_{1a} - M_{1b} ทรานส์คอนดักแตนซ์ G_{m2} ประมาณด้วย g_{m2} ของทรานซิสเตอร์ M_{2a} - M_{2b} และทรานส์คอนดักแตนซ์ G_{mf} ซึ่งใช้เทคนิคชอสร่วมระหว่างทรานซิสเตอร์ M_{3a} - M_{3b} และ R_s ดังนั้น $G_{mf} = g_{m3}/(1+g_{m3}R_s)$ เมื่อ g_{m3} คือทรานส์คอนดักแตนซ์ของ M_{3a} - M_{3b} อัตราขยายแรงดันของวงจรมีสามารถเปลี่ยนแปลงด้วย R_s และวงจรมีความเป็นเชิงเส้นสูงเมื่อ R_s มีค่าสูงกว่า $1/g_{m3}$ ส่วนความต้านทานโหลด $R_{L1} = 1/g_{m2}$ และ $R_{L2} = R_L$ สำหรับค่าเก็บประจุเสมือนของวงจรรวม C_x และ C_y ของโหนด x และ y มีค่าประมาณ $C_x = C_{gs2}$ และ $C_x = C_{gd2} + C_L$ ตามลำดับ ดังนั้นเมื่อนำค่าพารามิเตอร์ต่างๆ แทนค่าในสมการ (3.30) (3.32) และ (3.33) ซึ่งจะได้ดังนี้

$$A_{vo} = \frac{g_{m1}R_L(1+g_{m3}R_s)}{1+g_{m3}(R_s+R_L)} \quad (4.21)$$

$$\omega_n^2 = \frac{g_{m2} + g_{m2}g_{m3}(R_s+R_L)}{(1+g_{m3}R_s) \cdot R_L(C_{gs2})(C_{gd2}+C_L)} \quad (4.22)$$

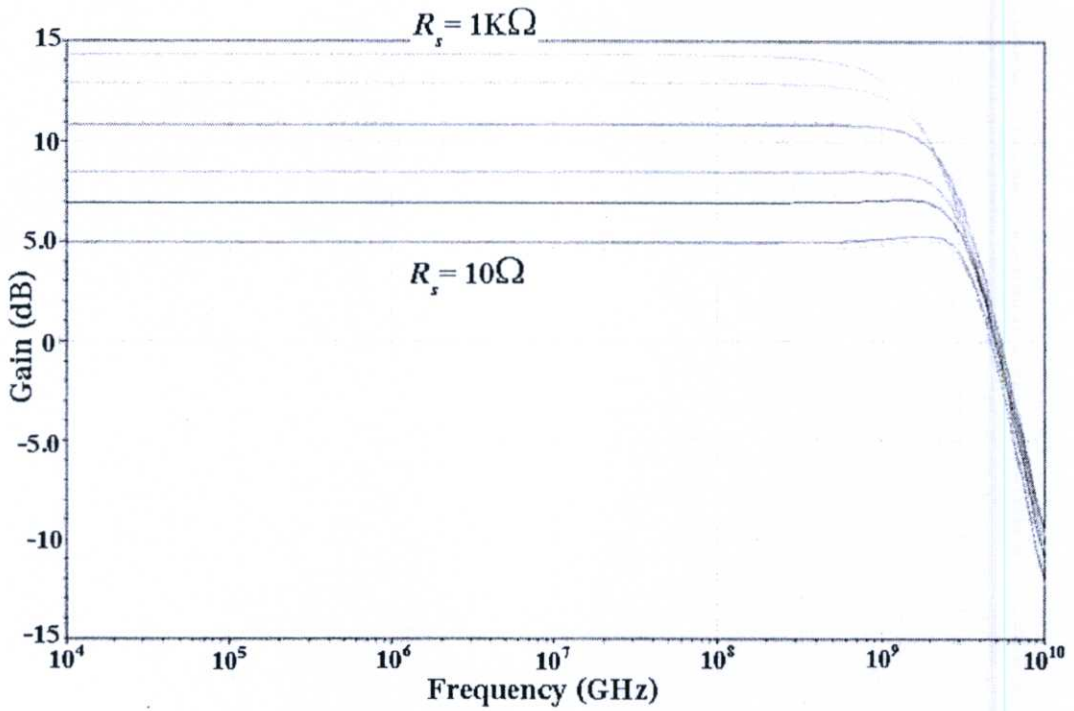
$$\zeta = \frac{1}{2} \frac{C_{gs2} + R_L g_{m2}(C_{gd2} + C_L)}{g_{m2} \sqrt{\frac{R_L(C_{gs2})(C_{gd2} + C_L)}{g_{m2}} \left(1 + \frac{g_{m3}}{1+g_{m3}R_s} R_L\right)}} \quad (4.23)$$

ผลการจำลองการทํางานของวงจร กำลังงานที่สูญเสียทั้งหมดที่วัดมีค่าน้อยกว่า 850 ไมโครวัตต์ ขณะที่เลือก R_L ประมาณ 1 กิโลโอห์ม เพื่อให้ได้แบนด์วิธ 1.8 จิกกะเฮิร์ต และอัตราขยาย 14.25 dB ซึ่งแสดงผลตอบสนองทางความถี่ของวงจรที่ออกแบบดังรูปที่ 4.24 โดยเปลี่ยนแปลงค่า R_s ตั้งแต่ 10 โอห์มถึง 1 กิโลโอห์ม พบว่าอัตราขยายและแบนด์วิธของวงจรเป็นฟังก์ชันผกผันกัน (trade-off) และช่วงพิสัยของการปรับ R_s (tuning Range) มีค่าประมาณ 10 dB นอกจากนี้ได้จำลองการทํางานเพื่อวัดค่า THD ซึ่งใช้ฟังก์ชัน PSS ของโปรแกรม Cadence Spectre ให้ผลดังรูปที่ 4.25 ซึ่งแสดงสเปกตรัมของอินพุต โดยวัดเปรียบเทียบกันระหว่างฮาร์โมนิกที่ 1 และฮาร์โมนิกที่ 3 ที่ความถี่ 400 MHz (single-tone test) และอัตราขยาย 14.25dB จะให้ค่า THD ที่แตกต่างกันประมาณ 40.27 dB สำหรับรูปที่ 4.28 แสดงค่า THD ที่ขนาดอินพุตแตกต่างกันโดยวัดที่อัตราขยาย 14.25 dB พบว่าที่ 1 เปอร์เซ็นต์ของ THD สัญญาณเอาต์พุตสามารถสวิงได้สูงสุดที่ 170 มิลลิโวลต์ หรือประมาณ 17 เปอร์เซ็นต์ของแรงดันไฟเลี้ยง นอกจากนี้ได้ทำการวัดค่าสัญญาณรบกวนที่อินพุต

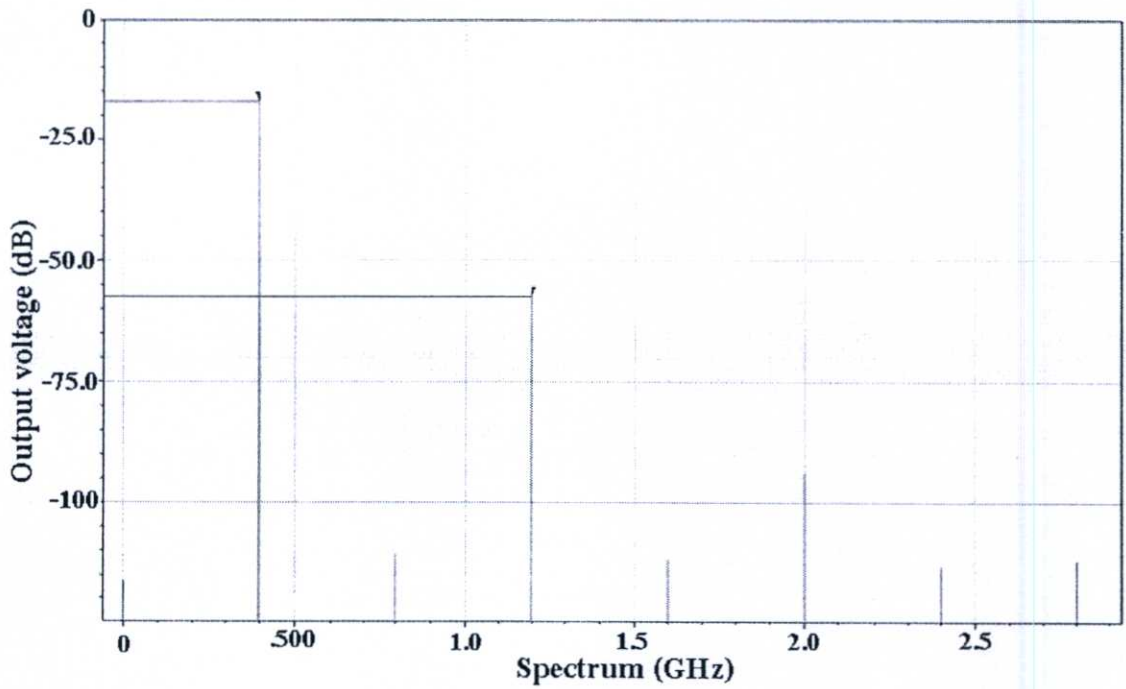
และเอาต์พุตโดยอินทิเกรตในช่วงแบนด์วิธ ตั้งแต่ 1 เฮิรต์ ถึง 2 จิกกะเฮิรต์ ได้ค่าสัญญาณรบกวนที่อินพุต (input-referred-noise) ทั้งหมดประมาณ 114 ไมโครโวลต์ และหาอัตราส่วนของสัญญาณต่อสัญญาณรบกวนอินพุต(signal-to-Noise ratio: SNR) โดยคิดที่ 1 เปอร์เซ็นต์ของ THD ซึ่งมีขนาดอินพุตประมาณ 32 มิลลิโวลต์ ดังนั้นคำนวณค่า SNR ได้ประมาณ 43dB สำหรับสัญญาณรบกวนที่เอาต์พุตอินทิเกรตรวมทั้งหมดตั้งแต่ช่วง 1 เฮิรต์ ถึง 2 จิกกะเฮิรต์มีค่าประมาณ $460 \mu V_{rms}$

ตารางที่ 4.7 ค่าพารามิเตอร์ที่ใช้ในการออกแบบวงจรที่นำเสนอภายใต้การทำงานที่แรงดันไฟเลี้ยง 1 โวลต์

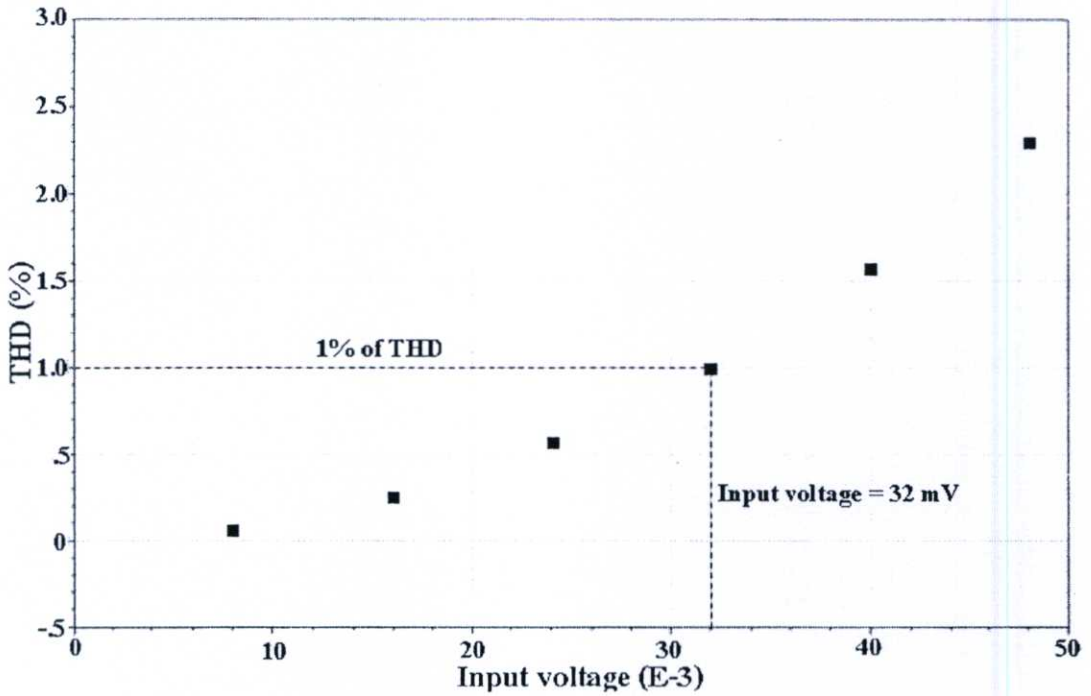
Design parameters	Values
$M_{1a} - M_{1b}$	80 μm / .024 μm
$M_{2a} - M_{2b}$	30 μm / .024 μm
$M_{3a} - M_{3b}$	40 μm / .024 μm
I_1, I_2 และ I_3	25 μA , 150 μA และ 250 μA
R_L	1k Ω



รูปที่ 4.24 ผลตอบสนองทางความถี่ของวงจรที่ออกแบบเมื่อ R_s 10 Ω , 100 Ω , 200 Ω , 400 Ω , 600 Ω , 800 Ω , 1K Ω



รูปที่ 4.25 สเปกตรัมของอินพุต โดยวัดที่ความถี่อินพุต 400 MHz และอัตราขยาย 14.25dB



รูปที่ 4.26 ค่า THD ที่ขนาดอินพุตแตกต่างกัน

เปรียบเทียบคุณสมบัติของวงจรที่ออกแบบกับงานที่เกี่ยวข้องด้วยการเปรียบเทียบค่า figure-of-merit (*FOM*) ซึ่งแสดงความสัมพันธ์ดังสมการ (4.5) ซึ่งแสดงค่า *FOM* และคุณสมบัติต่างๆ ของวงจรที่นำเสนอกับงานอื่นที่เกี่ยวข้องดังแสดงในตารางที่ 4.8

ตารางที่ 4.8 สรุปคุณสมบัติต่างๆ โดยเปรียบเทียบระหว่างวงจรที่นำเสนอกับงานที่เกี่ยวข้อง

	วงจรรูปที่ 4.23	[17]	[18]
Process	CMOS 0.18- μm	CMOS 0.18- μm	CMOS 0.18- μm
Supply voltage	1V	1.8V	1.8V
Power consumptions	850 μW	189mW	675mW
DC gain (differential)	14.25dB	42dB	50dB
Bandwidth (-3dB)	1.8GHz	9GHz	9.4GHz
SNR (at 400 MHz)	43 dB	-	-
<i>FOM</i>	20.77	15.56	12.87

สรุปข้อเด่น-ข้อด้อยของวงจรที่ 2 หรือวงจรรูปที่ 4.23

ข้อเด่น

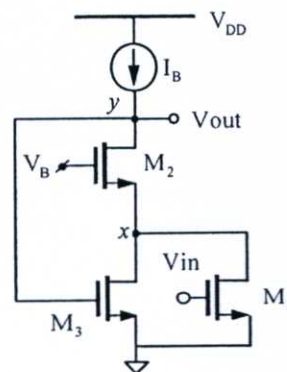
1. กินกำลังงานและไฟเลี้ยงต่ำ
2. ให้แบนด์วิธของวงจรสูงซึ่งอยู่ในระดับจิกกะเฮิร์ตคือประมาณ 1.78 GHz
3. ช่วงการปรับอัตราขยายกว้างขึ้นเมื่อเทียบกับวงจรรูปที่ 4.19 คือประมาณ 5dB ถึง 14.25dB
4. มี *FOM* สูงเมื่อเปรียบเทียบกับงานวิจัยอื่น
5. แรงดันไฟตรงที่โหนดเอาต์พุตคงที่
6. วงจรนี้ได้ส่งตีพิมพ์ แสดงในภาคผนวก ค

ข้อด้อย

เมื่อนำวงจร VGA รูปที่ 4.23 ต่อคาสเคดกัน จำนวน 5 ภาค ปรากฏว่าอัตราขยายและแบนด์วิธของวงจร ยังไม่เป็นไปตามเป้าหมายที่กำหนดไว้ จึงปรับปรุงวงจรใหม่ดังนี้

4.4.3.3 วงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแอกทีฟ: วงจรที่ 3

จากหัวข้อ 4.3 กล่าวถึงการต่อคาสเคดของวงจรขยายหลายๆ ภาคต่อกัน ส่งผลให้อัตราขยายและแบนด์วิธของวงจรมีความสัมพันธ์กันในลักษณะตรงกันข้าม ดังนั้นในการออกแบบวงจรแต่ละภาคโดยเฉพาะในงานวิจัยนี้ให้ความสำคัญต่ออัตราขยายและแบนด์วิธของวงจรเป็นสำคัญ โดยกำหนดให้วงจรภาคเดียวมีแบนด์วิธสูงกว่า 1.6 จิกกะเฮิร์ต และมีอัตราขยายสูงกว่า 10 dB แต่สำหรับทั้งสองวงจรที่ใช้โครงสร้างการป้อนกลับแบบแอกทีฟที่นำเสนอแล้วก่อนหน้านี้ เมื่อนำมาต่อคาสเคดแล้วผลที่ได้ยังไม่เป็นไปตามที่ต้องการ จึงหาแนวทางในการออกแบบวงจรใหม่ดังแสดงรูปที่ 4.27



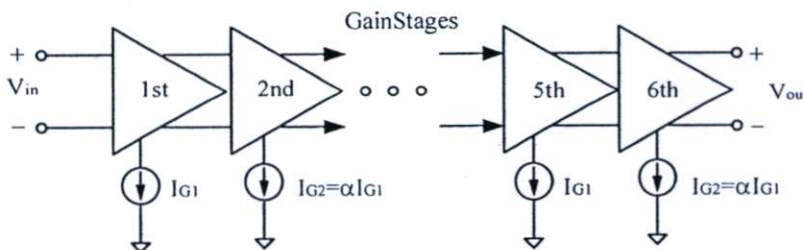
รูปที่ 4.27 วงจรภาคเดียวของวงจรที่ 3

หลักการทํางานของวงจร

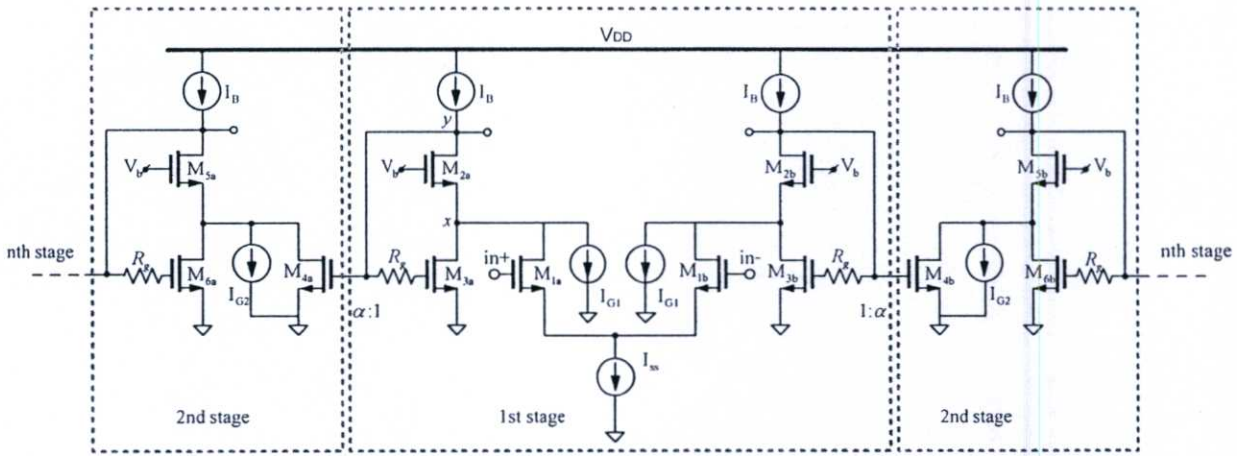
รูปที่ 4.27 แสดงวงจรภาคเดียวอย่างง่ายของวงจร VGA วงจรที่ 3 ซึ่งยังคงใช้โครงสร้างการป้อนกลับแบบแอมพลิฟิแคเตอร์ แต่แตกต่างจากวงจรที่ออกแบบก่อนหน้านี้ คือ เลือกใช้ทรานซิสเตอร์ NMOS เพียงอย่างเดียวเพื่อให้วงจรแสดงแบนด์วิดท์สูงสุด จากรูปที่ 4.27 ทรานซิสเตอร์คอนดักแตนซ์ G_{m1} และ G_{m3} เป็นวงจรคอมมอนซอร์ส (common-source) ของทรานซิสเตอร์ M_1 และ M_3 ตามลำดับ ขณะที่ G_{m2} ถูกใช้เป็นคอมมอนเกต (common-gate) ของทรานซิสเตอร์ M_2 กระแสเดรนที่ไหลผ่านทรานซิสเตอร์ M_1 และ M_3 ถูกแบ่งจากกระแสที่ไหลผ่านทรานซิสเตอร์ M_2 ดังนั้นจึงช่วยลดการกินกำลังงานของวงจรได้ นอกจากนี้ทรานซิสเตอร์ M_1 และ M_3 จัดอยู่ในรูปของรูปการป้อนกลับลบ ซึ่งมีอิมพีแดนซ์ต่ำที่โหนด x ถ้าวิเคราะห์ที่ความถี่ต่ำ ค่าตัวต้านทานของสัญญาณขนาดเล็กที่โหนด x และ โหนด y ประมาณได้ด้วย $g_{ds2}/g_{m2}g_{m3}$ และ $1/g_{m3}$ ตามลำดับ วงจรรูปที่ 4.27 เราสามารถหาฟังก์ชันถ่ายโอนของวงจรโดยง่ายได้ดังสมการ

$$\frac{v_{out}(s)}{v_{in}(s)} = -\frac{g_{m1}g_{m2}/c_{gs2}c_{gs3}}{s^2 + s\left(\frac{g_{m2}}{c_{gs2}}\right) + \frac{g_{m2}g_{m3}}{c_{gs2}c_{gs3}}} \quad (4.24)$$

จากสมการ (4.24) พิจารณาที่ความถี่ต่ำ อัตราขยายแรงดันและแบนด์วิดท์ -3dB มีค่าประมาณ $-g_{m1}/g_{m3}$ และ $(g_{m2}g_{m3}/c_{gs2}c_{gs3})^{1/2}$ ตามลำดับ ดังนั้นอัตราขยายแรงดันของวงจรจะขึ้นอยู่กับค่า g_{m1} และ g_{m3} และสำหรับแบนด์วิดท์ของวงจรจะถูกกำหนดโดย f_T ของทรานซิสเตอร์ M_2 และ M_3 วงจรรูปที่ 4.27 สามารถทำงานที่แรงดันต่ำ (low voltage operation) ได้ เพราะต้องการกำลังแรงดันไฟเลี้ยงต่ำสุดเพียง $2V_{dsat} + V_{TH}$ วงจร VGA ที่จะนำเสนอต่อไปนี้ประกอบด้วยวงจรขยายผลต่าง (differential gain stages) ต่อкасอดกันกันจำนวน 6 ภาค ซึ่งแสดงรูปที่ 4.28

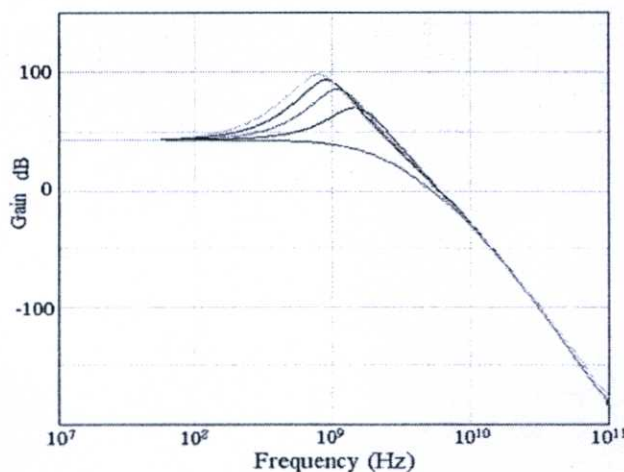


รูปที่ 4.28 การต่อкасอดของวงจร VGA ที่นำเสนอ จำนวน 6 ภาค



รูปที่ 4.29 วงจร VGA โดยใช้โครงสร้างการป้อนกลับแบบแอกทีฟ: วงจรที่ 3

รูปที่ 4.28 อัตราขยายแรงดันของแต่ละภาคถูกควบคุมด้วยกระแสไบอัสตรง (DC bias current) ดังแสดงในวงจรรูปที่ 4.29 ซึ่งเป็นวงจร VGA แบบผลต่าง (differential VGA) โดยวงจรภาคแรกเป็นวงจรขยายผลต่างเต็มสัญญาณ (fully-differential) ของวงจรรูปที่ 4.27 ขณะที่ในภาคถัดมา เป็นวงจรขยายผลต่างเทียม (psuedo-differential) สังเกตเห็นได้ว่าทรานซิสเตอร์ M_3 และ M_4 อยู่ในรูปแบบของการสะท้อนกระแสด้วยอัตราส่วนของ α และตัวต้านทาน R_C ถูกใช้เพื่อชดเชยความถี่ และช่วยเพิ่มให้แบนด์วิธของวงจรสูง ซึ่งเทคนิคนี้ถูกนำเสนอใน [23] ผลของการต่อ R_C ที่มีต่อวงจรรูปที่ 4.29 เมื่อทำการเปลี่ยนแปลงค่า R_C ในช่วง 0 ถึง 10k Ω แสดงผลดังรูปที่ 4.30 คือที่ R_C เท่ากับ 0 Ω และ 2k Ω แสดงด้วยเส้นสีแดงด้านล่างสุดของรูปที่ 4.30 และเมื่อเพิ่ม R_C เป็น 4k Ω , 6k Ω , 8k Ω และ 10k Ω กราฟแสดงแบนด์วิธเพิ่มขึ้นตามลำดับ จะเห็นว่าเมื่อ R_C เพิ่มขึ้นจะเกิดพีคกึ่งสูงขึ้นด้วย ดังนั้นถ้าเลือก R_C สูงเกินไปอาจส่งผลให้เกิดพีคกึ่งสูงเกินไปด้วย ซึ่งอาจส่งผลเสียต่อการทำงานของวงจร ดังนั้นจึงควรเลือกค่า R_C ที่เหมาะสม



รูปที่ 4.30 ผลจากการเปลี่ยนแปลงค่า R_C ต่อวงจร VGA ที่นำเสนอ

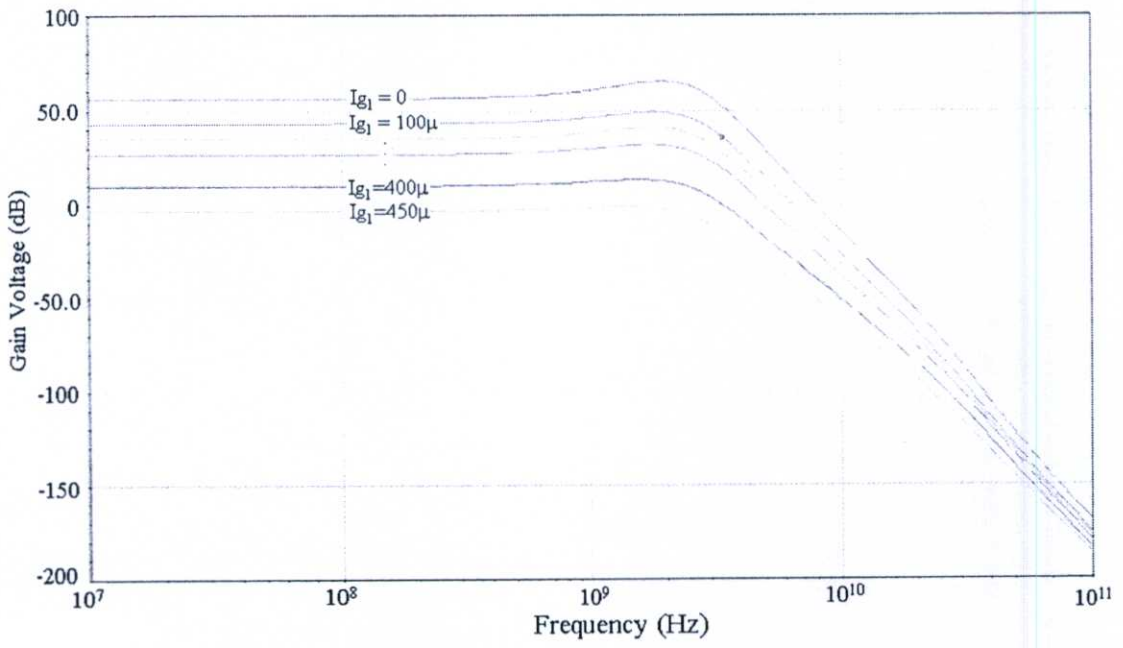
และสำหรับอัตราขยายแรงดันของวงจรรูปที่ 4.29 ถูกควบคุมด้วยการเปลี่ยนแปลงค่ากระแสไบอัส I_{G1} และ I_{G2} ซึ่งถ้ากระแสทั้งสองเปลี่ยนนั้นคือการเปลี่ยน g_{m3} นั้นเอง อัตราส่วนการไบอัสค่า I_{G2} มีค่าเท่ากับ αI_{G1} และสำหรับในวงจรนี้กำหนดให้ α มีค่าเท่ากับ 3.

ตารางที่ 4.9 ค่าพารามิเตอร์ที่ใช้ในการออกแบบวงจรที่ 3

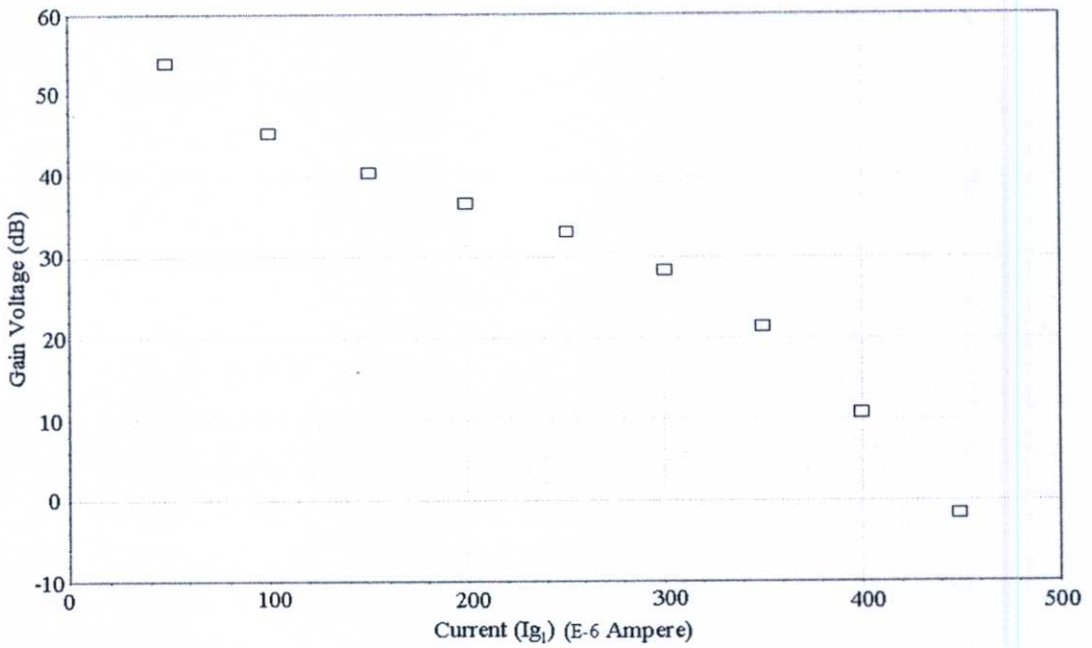
Design parameters	Values
$(W/L)_{M1a-M1b}$	30 $\mu\text{m}/0.24 \mu\text{m}$
$(W/L)_{M2a-M2b}$	40 $\mu\text{m}/0.24 \mu\text{m}$
$(W/L)_{M3a-M3b}$	2.5 $\mu\text{m}/0.24 \mu\text{m}$
$(W/L)_{M4a-M4b}$	7.5 $\mu\text{m}/0.24 \mu\text{m}$
I_B	2 mA
I_{SS}	3 mA
R_g	10 K Ω

ผลการจำลองการทำงานของวงจรรูปที่ 4.29

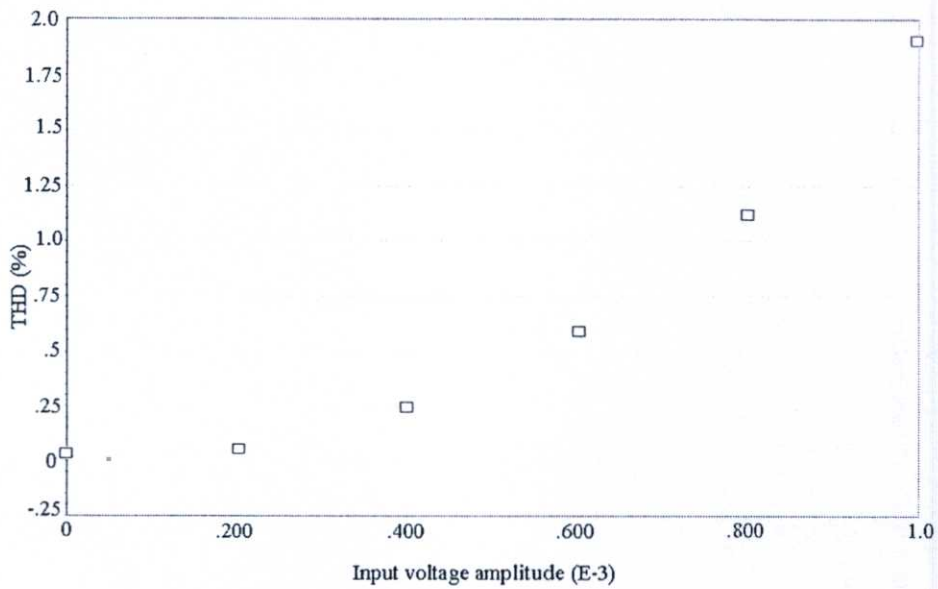
การจำลองการทำงานของวงจร กำหนดให้ขนาดและพารามิเตอร์ของวงจรเป็นดังตาราง ตารางที่ 4.9 และใช้แรงดันไฟเลี้ยง 1.8 โวลต์ ผลการจำลองการทำงานของวงจรรูปที่ 4.29 แสดง ผลตอบสนองทางความถี่ดังรูปที่ 4.31 ซึ่งจะเห็นว่ามีความแบนด์วิธสูงสุดที่ -3dB โดยมีค่าประมาณ 3.3 GHz และช่วงอัตราขยายแรงดันของวงจรอยู่ในช่วง 0 ถึง 56.4 dB เมื่อเปลี่ยนแปลงค่า I_{G1} ในช่วง 0 ถึง 450 μA แสดงคุณลักษณะการควบคุมของอัตราขยายวงจรในหน่วย dB (linear in dB) ได้ดังรูป ที่ 4.32 นอกจากนี้ยังแสดงผลการจำลองการทำงานเพื่อดูผลของ THD เมื่อเปลี่ยนแปลงค่าขนาด อินพุตที่ความถี่ต่างๆ ดังรูปที่ 4.33



รูปที่ 4.31 ผลตอบสนองทางความถี่ของวงจร VGA วงจรที่ 3



รูปที่ 4.32 คุณลักษณะการควบคุมอัตราขยายของวงจร VGA วงจรที่ 3



รูปที่ 4.33 แสดงผล THD ที่ขนาดแรงดันอินพุตต่างๆ

เปรียบเทียบคุณสมบัติของวงจรที่ออกแบบกับงานที่เกี่ยวข้องด้วยการเปรียบเทียบค่า figure-of-merit (*FOM*) ซึ่งแสดงความสัมพันธ์ดังสมการ (4.5) ซึ่งแสดงค่า *FOM* และคุณสมบัติต่างๆ ของวงจรที่นำเสนอกับงานอื่นที่เกี่ยวข้องดังแสดงในตารางที่ 4.10

ตารางที่ 4.10 สรุปคุณสมบัติต่างๆ โดยเปรียบเทียบระหว่างวงจรที่นำเสนอกับงานที่เกี่ยวข้อง

Parameters	วงจรรูปที่ 4.29	[17]	[18]
Process	0.18- μ m	0.18- μ m	0.18- μ m
Supply voltage	1.8V	1.8V	1.8V
Power consumptions	24mW	189mW	100mW
Differential DC gain	56.4dB	42dB	50dB
-3dB Bandwidth	3.3GHz	9GHz	9.4GHz
SNR	57.43 dB	-	-
<i>FOM</i>	39.16	15.56	12.86

สรุปวงจรที่ 3 หรือวงจรรูปที่ 4.29

1. กินกำลังงานและไฟเลี้ยงต่ำ
2. ให้แบนด์วิธของวงจรสูงสุดที่ประมาณ 3.3 GHz
3. ช่วงการปรับอัตราขยายกว้างขึ้นเมื่อเทียบกับทุกวงจรที่นำเสนอมา คือประมาณ 0 dB ถึง 56.4 dB
4. มี *FOM* สูงเมื่อเปรียบเทียบกับงานวิจัยอื่น
5. ข้อกำหนดทั้งในเรื่องของแบนด์วิธและอัตราขยายเป็นไปตามเป้าหมายที่วางไว้

บทที่ 5

บทสรุปและข้อเสนอแนะ

5.1 บทสรุปผลการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอเกี่ยวกับการออกแบบวงจรขยายสัญญาณที่ปรับอัตราขยายได้หรือวงจร VGA ซึ่งถูกนำมาใช้งานในด้านฮาร์ดดิסקไดรฟ์ วงจร VGA ที่ออกแบบแบ่งเป็น 2 โครงสร้าง คือ โครงสร้างทรานซิมพีแดนซ์ และโครงสร้างการป้อนกลับแบบแอกทีฟ โดยได้ออกแบบวงจร VGA รวมทั้งหมดจำนวน 5 วงจร ใช้โครงสร้างทรานซิมพีแดนซ์จำนวน 2 วงจร และโครงสร้างการป้อนกลับแบบแอกทีฟจำนวน 3 วงจร ซึ่งทุกวงจรเน้นในเรื่อง การใช้ไฟเลี้ยงต่ำและกินกำลังงานต่ำ และสำหรับการออกแบบวงจร VGA ในวิทยานิพนธ์นี้ได้กำหนดเป้าหมายของวงจร โดยเน้นในเรื่องของแบนด์วิธสูงและอัตราขยายของวงจรสูง ดังนั้นในการออกแบบจึงเริ่มจากการศึกษางานวิจัยอื่นและหาแนวทางรวมทั้งเทคนิคต่างๆ มาประยุกต์ใช้กับวงจรใหม่เพื่อให้เป็นไปตามเป้าหมายให้มากที่สุด วงจร VGA ที่ถูกออกแบบโดยใช้โครงสร้างทรานซิมพีแดนซ์ ซึ่งเป็นโครงสร้างที่ถูกนำเสนอไปแล้วใน [19] และ [20] ได้ถูกนำมาใช้เป็นแนวทางในการออกแบบวงจร เนื่องจากมีข้อเด่นในเรื่องใช้ไฟเลี้ยงต่ำและกินกำลังงานต่ำ โดยวงจร VGA ที่ออกแบบโดยใช้โครงสร้างดังกล่าวใช้ไฟเลี้ยงต่ำสุดประมาณ 0.5 โวลต์ แต่ข้อเสียของวงจรที่ออกแบบโดยโครงสร้างนี้คือ แบนด์วิธต่ำ จึงหาแนวทางใหม่เพื่อช่วยเพิ่มแบนด์วิธของวงจร ซึ่งโครงสร้างการป้อนกลับแบบแอกทีฟสามารถช่วยปัญหาดังกล่าวได้ จึงได้พยายามหาวิธีออกแบบวงจรและพยายามปรับปรุงวงจร ไปเรื่อยๆ จนได้วงจร VGA ที่ให้อัตราขยายสูงสุดที่ 56.4dB และแบนด์วิธรวมของวงจร 3.3 GHz ซึ่งเป็นไปตามเป้าหมายที่วางไว้เริ่มต้น

5.2 ข้อเสนอแนะและแนวทางพัฒนา

ข้อเสนอแนะการวิจัยและการพัฒนาคือ วงจร VGA ที่ถูกออกแบบตั้งแต่วงจรที่ 1 จนถึงวงจรที่ 4 มีปัญหาคือ เมื่อนำวงจรแต่ละเซลล์มาต่อкасасคอกัน จะส่งผลให้แบนด์วิธของวงจรตกลงในทันที ซึ่งไม่เป็นไปตามทฤษฎีการต่อкасасคอกของวงจรขยาย ปัญหาดังกล่าวเกิดขึ้นเนื่องจากเกิดผลของโหลด (loading effect) ที่โหนดเอาต์พุตของวงจรที่ออกแบบ ดังนั้นควรหาแนวทางแก้ไขปัญหาเพื่อให้วงจรสามารถนำไปใช้งานได้ต่อไป และสำหรับวงจร VGA ที่ถูกออกแบบให้ทั้งแบนด์วิธและอัตราขยายของวงจรเป็นไปตามเป้าหมาย แต่ยังมีข้อเสียในเรื่องของการไบอัสกระแส ซึ่งยังคงใช้แหล่งจ่ายอูคุมคติ (ideal current source) ส่งผลให้กำลังงานที่ควรสูญเสียในวงจรจริง ไม่

เป็นไปตามค่าที่แสดงในผลการทดลอง ดังนั้นจึงควรเปลี่ยนจากแหล่งจ่ายอุณหคติเป็นทรานซิสเตอร์ และวัดผลใหม่

วงจร VGA ที่ถูกนำเสนอทั้งหมดสามารถทำงานที่แบนด์วิธสูงขึ้นได้มากกว่าค่าที่นำเสนอ (มากกว่า 3.3GHz) โดยการเพิ่มการไบอัสกระแสหรือแรงดันเพิ่มขึ้น และวงจร VGA ทำงานที่แรงดันไฟเลี้ยงเพิ่มขึ้นด้วย

เอกสารอ้างอิง

- [1] Daniel Sun, Andrea Xotta, and Asad. A. Abidi, "A 1 GHz CMOS Analog Front-End for a Generalized PRML Read Channel," *IEEE J. Solid-State Circuits*, vol. 40, no. 11, pp. 2275 - 2285, November 2005.
- [2] Q.-H. Duong, Q. Le, C.-W. Kim and S.-G. Lee, "A 95 dB-Linear Low-Power Variable Gain Amplifier," *IEEE Trans. on Circuits and Systems-I: Regular Papers*, vol. 53, no. 8, August 2006.
- [3] W. M. C. Sansen and R. G. Meyer, "Distortion in bipolar transistor variable-gain amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-8, pp. 275–282, August 1973.
- [4] G. S. and C. J. Persico, "High dynamic range variable-gain amplifier for CDMA wireless applications," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp.374–375.
- [5] B. Gilbert, "The multi-tanh principle: A tutorial overview," *IEEE J. Solid-State Circuits*, vol. 33, pp.2–17, Jan. 1998.
- [6] P. J. G. van Lieshout and R. J. van de Plassche, "A monolithic wideband variable-gain amplifier with a high gain range and low distortion," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp.358–359.
- [7] Chia-Hsin Wu, Chang-Shun Liu and Shen-luan Liu, "A 2 GHz CMOS Variable-Gain Amplifier with 50dB Linear-in-Magnitude Controlled Gain Range for 10GBase-LX4 Ethernet," *IEEE International Solid-State Circuit Conference*, February 2004.
- [8] Sang-Soo Lee, Laber, C.A., "A 3.5 in 230 Mbytes read-channel chip set for magneto-optical diskdrives," *IEEE Trans. VLSI Syst.*, vol. 4, no. 4, pp. 455 - 463, December 1996.
- [9] Bryan E. Bloodworth, Patrick P. Siniscalchi, Geert A. De Veirman, Andrija Jezdic, Richard Pierson, and Raj Sundararaman, "A 450-Mb/s Analog Front End for PRML Read Channels," *IEEE J. Solid-State Circuits*, vol. 34, no. 11, pp. 1661 - 1675, November 1999.
- [10] Ndjountche. T., Fa-Long Luo, Bobda, C., "A CMOS front-end architecture for hard-disk drive read-channel equalizer," *IEEE ISCAS.*, Vol. 3, pp. 2184 – 2187, May 2005.
- [11] Lee, H. D.; Lee, K. A.; Hong, S., "A Wideband CMOS Variable Gain Amplifier With an Exponential Gain Control," *IEEE Trans. Microwave Theory and Techniques*, pp. 1363 – 1373 Vol. 55, June 2007.

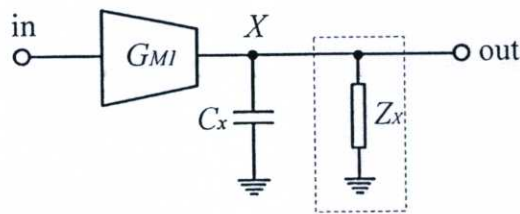
- [12] Holdenried, C., M.W. Lynch and J.W. Haslett, "Modified CMOS Cherry-Hooper Amplifiers with Source-Follower Feedback in a 0.35 μ m Technology", *presented at the European Solid State Circuits Conference, Portugal, September 2003*, pp. 553-556.
- [13] Abbott, J. Plett, C. Rogers, J.W.M. "A 15 GHz 1.8V variable-gain, modified Cherry-Hooper amplifier," *Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005*, Sept. 2005 pp. 645- 648.
- [14] สมคิด แซ่โจ้ว "วงจรถ่ายแบบขดลวดเหนี่ยวนำที่ใช้ทรานซิสเตอร์แบบซีมอสในย่านความถี่สูง" วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ บัณฑิตวิทยาลัย , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2546
- [15] ดร. สิทธิชัย โภไคยอุดม. วงจรป้อนกลับแบบลบและออสซิลเลเตอร์. พิมพ์ครั้งที่ 2. กรุงเทพฯ : มหาวิทยาลัยเทคโนโลยีมหานคร. 2549
- [16] A. Thanachayanont, "A 1.5-V High-Q CMOS Active Inductor for IF/RF Wireless Applications," *Circuits and Systems, 2000. IEEE APCCAS 2000. The 2000 IEEE Asia-Pacific Conference*, April 2000 pp. 654-657.
- [17] S. Galal and B. Razavi, "10-Gb/s limiting amplifier and laser/modulator driver in 0.18 μ m CMOS technology," *IEEE J.Solid-State Circuits*, vol. 38, no. 12, pp. 2138 -2146, December 2003.
- [18] Huei-Yan, Jun-Chau Chien and Liang-Hung Lu, "A 10-Gb/s Inductorless CMOS Limiting Amplifier With Third-Order Interleaving Active Feedback," *IEEE J.Solid-State Circuits*, vol. 42, no. 5, pp. 1111 -1120, May 2007.
- [19] A. Thanachayanont and P. Naktongkul, "Low-voltage wideband compact CMOS variable gain amplifier," *Electronics Letters*, vol. 41 No. 2, January 2005.
- [20] P. Naktongkul and A. Thanachayanont, "1.5-V 900 μ W 40-dB CMOS variable gain amplifier," *Proceedings of 2006 IEEE International Symposium on Circuits and Systems*, May 2006.
- [21] S. Karthikeyan, S. Morteza pour, A. Tammineedi, E. K. F. Lee, "Low-Voltage Analog Circuit Design Based on Biased Inverting Opamp Configuration," *IEEE Transactions on Circuits and Systems – II: Analog and Digital Signal Processing*, vol. 47, no. 3, March 2000.
- [22] S. Chatterjee, Y. Tsvividis, and P. Kinget, "0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, December 2005.

- [23] T. F. Voo and C. Toumazou, "High-speed current mirror resistive compensation technique," *Electronics Letters*, Vol. 31, No. 4, 1995, pp. 248-249.

ภาคผนวก ก

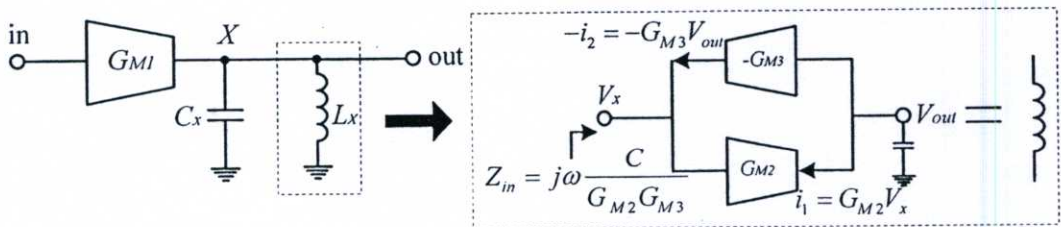
แนวคิดในการออกแบบโครงสร้างการป้อนกลับแบบแยกที่ฟ

วงจรถ่ายทรานส์คอนดักแตนซ์ โดยทั่วไปมีโครงสร้างดังรูปที่ ก.1 ซึ่งจากรูปประกอบด้วย G_{M1} และคาปาซิเตอร์ C_x ซึ่งเป็นค่าคาปาซิแตนซ์ภายในที่เกิดจากการออกแบบวงจรถ่าย G_{M1} โดยทรานซิสเตอร์แบบซีมอส สำหรับ Z_x เป็นส่วนที่เพิ่มเข้ามาเนื่องจากมีแนวคิดที่ว่า ถ้าเราเพิ่มอิมพีแดนซ์เข้าที่โหนดนี้ ผลที่ได้จะเป็นดังนี้คือ

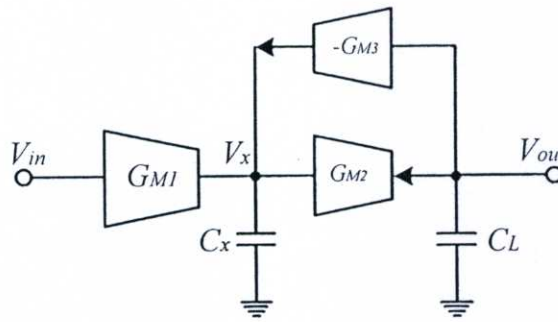


รูปที่ ก.1 วงจรถ่ายทรานส์คอนดักแตนซ์ที่เพิ่มอิมพีแดนซ์ที่โหนดเอาต์พุต

- (1) ถ้าให้ $Z_x(s)$ (เป็นอิมพีแดนซ์ที่มีผลทางความถี่) เป็นตัวเหนี่ยวนำ ซึ่งอาจจะมีตัวต้านทานตัวขนานด้วยก็ได้ เมื่อเราพิจารณาผลของความถี่ที่เกิดขึ้น จะเห็นว่าที่โหนด X จะเกิดโรโซแนนซ์ขึ้น ซึ่งการเกิดเรโซแนนซ์นี้ ทำให้เราสามารถปรับปรุงแบนด์วิธของวงจรถ่ายได้ดังกล่าวรายละเอียดในหัวข้อ 3.3 และ 3.4
- (2) จากรูปที่ ก.2 ถ้าตัวเหนี่ยวนำถูกออกแบบโดยใช้โครงสร้างไจเรเตอร์ ซึ่งกล่าวรายละเอียดในหัวข้อที่ 3.4 ดังนั้นจะได้เป็นโครงสร้างใหม่ดังรูปที่ ก.3



รูปที่ ก.2 วงจรถ่ายทรานส์คอนดักแตนซ์ มีอิมพีแดนซ์ที่โหนดเอาต์พุตเป็นตัวเหนี่ยวนำ



รูปที่ ก.3 วงจรทรานส์คอนดักเตนซ์ที่มีอิมพีแดนซ์โหนดเอาต์พุตเป็นตัวเหนี่ยวนำโดยใช้
โครงสร้างไจเรเตอร์-ซี

- (3) พิจารณาฟังก์ชันถ่ายโอนของโครงสร้างรูปที่ ก.3 โดยจะพิจารณาแบ่งเป็น 2 โหนดคือ ที่โหนดเอาต์พุตของ G_{M1} ให้เป็นโหนด X และที่โหนดเอาต์พุตของ G_{M2} หรือโหนดอินพุตของ $-G_{M3}$ ให้เป็นโหนด Y ดังนั้นฟังก์ชันถ่ายโอนจะเป็นดังนี้

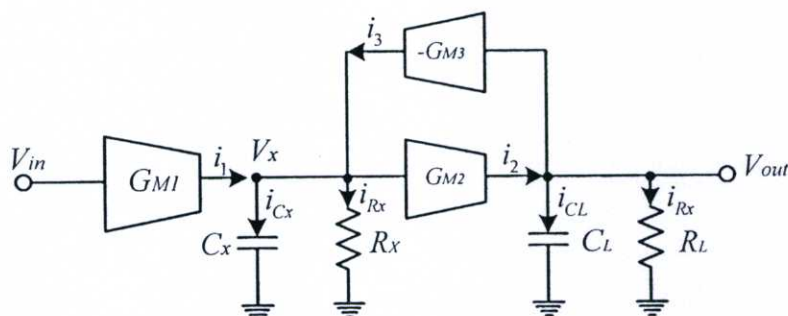
โหนด X	โหนด Y
$TF = G_{M1} (L_x // C_x)$ $= G_{M1} \left(\frac{1}{sC_x + \frac{1}{sL_x}} \right)$ $= G_{M1} \left(\frac{sL_x}{s^2 L_x C_x + 1} \right)$ <p>สังเกต(คร่าวๆ) พบว่าจะเกิดเรโซแนนซ์ที่โหนดนี้โดยที่อัตราขยายเป็นศูนย์</p>	$TF = G_{MT} \left(\frac{1}{sC_y} \right)$ <p>เมื่อ G_{MT} เป็นผลของทรานส์คอนดักเตนซ์ G_{M1} และ G_{M2}</p> <p>สังเกต(คร่าวๆ) พบว่าจะเกิดเรโซแนนซ์ที่โหนดนี้โดยที่อัตราขยายเป็นไม่เท่ากับศูนย์ เนื่องจากพจน์ของความถี่ s ตัดกับที่โหนด X หกตกกันพอดี</p>

หมายเหตุ จากการพิจารณาฟังก์ชันถ่ายโอนข้างต้น เป็นการคิดโดยประมาณ ซึ่งให้ค่าที่ไม่แน่นอน แต่เป็นการเสนอแนวคิดเบื้องต้นเท่านั้น

และด้วยวิธีคิดดังกล่าวข้างต้นทั้งหมดที่กล่าวมานี้ เป็นแนวคิดที่ได้มาซึ่งโครงสร้างการป้อนกลับแบบเอกทิฟ

ภาคผนวก ข

การวิเคราะห์โครงสร้างการป้อนกลับแบบแอกทีฟโดยละเอียด



$$i_1 + i_3 = i_{C_x} + i_{R_x} \quad (\text{ข.1})$$

$$i_2 = i_{C_L} + i_{R_L} \quad (\text{ข.2})$$

จากสมการ (ข.1) จะได้เป็น

$$G_{M1}V_{in} - G_{M3}V_{out} = sC_x V_x + \frac{V_x}{R_x} \quad (\text{ข.3})$$

$$G_{M1}V_{in} - G_{M3}V_{out} = V_x \left(\frac{sC_x R_x + 1}{R_x} \right) \quad (\text{ข.4})$$

และจากสมการที่ (ข.2) เขียนได้เป็น

$$i_2 = sC_L V_{out} + \frac{V_{out}}{R_L} \quad (\text{ข.5})$$

$$i_2 = V_{out} \left(\frac{sC_L R_L + 1}{R_L} \right) \quad (\text{ข.6})$$

และ $i_2 = G_{M2}V_x$ ดังนั้น แทนลงในสมการ (ข.6) จะได้เป็น

$$G_{M2}V_x = V_{out} \left(\frac{sC_L R_L + 1}{R_L} \right) \quad (\text{ข.7})$$

$$V_x = \frac{V_{out}}{G_{M2}} \left(\frac{sC_L R_L + 1}{R_L} \right) \quad (\text{ข.8})$$

แทนค่าสมการ (ข.8) ลงในสมการ (ข.4) จะได้

$$G_{M1}V_{in} - G_{M3}V_{out} = \left[\frac{V_{out}}{G_{M2}} \left(\frac{sC_L R_L + 1}{R_L} \right) \right] \left(\frac{sC_x R_x + 1}{R_x} \right) \quad (\text{ข.9})$$

กำหนดให้ $Z_x = \frac{sC_x R_x + 1}{R_x}$ และ $Z_L = \frac{sC_L R_L + 1}{R_L}$ และหาผลเฉลยของ $(Z_x) \cdot (Z_L)$ มีค่าดังนี้

$$(Z_x) \cdot (Z_L) = s^2 (C_x C_L) + s \left(\frac{C_x R_x + C_L R_L}{R_x R_L} \right) + \frac{1}{R_x R_L} \quad (\text{ข.10})$$

ย้อนกลับไปดูสมการที่ (ข.9) เขียนใหม่ได้เป็น

$$G_{M1}G_{M2}V_{in} = V_{out} (G_{M2}G_{M3} + (Z_x) \cdot (Z_L)) \quad (\text{ข.11})$$

$$\frac{V_{out}}{V_{in}} = \frac{G_{M1}G_{M2}}{(G_{M2}G_{M3} + (Z_x) \cdot (Z_L))} \quad (\text{ข.12})$$

แทนค่าสมการที่ (ข.10) ลงในสมการ (ข.12) จะได้เป็น

$$\frac{V_{out}}{V_{in}} = \frac{G_{M1}G_{M2}}{G_{M2}G_{M3} + \left(s^2 C_x C_L + s \left(\frac{C_x R_x + C_L R_L}{R_x R_L} \right) + \frac{1}{R_x R_L} \right)} \quad (\text{ข.13})$$

$$\frac{V_{out}}{V_{in}} = \frac{G_{M1}G_{M2}R_x R_L}{s^2 C_x C_L R_x R_L + s(C_x R_x + C_L R_L) + (G_{M2}G_{M3}R_x R_L + 1)} \quad (\text{ข.14})$$

สำหรับฟังก์ชันถ่ายโอนของโครงสร้างการป้อนกลับแบบแอกทีฟแสดงดังสมการที่ (3.28) โดยจะยกมาอธิบายใหม่ดังนี้

$$\frac{V_{out}}{V_{in}} = \frac{A_{vo}\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (\text{ข.15})$$

จัดสมการ (ข.14) ใหม่ดังนี้

$$\frac{V_{out}}{V_{in}} = \frac{(G_{M1}G_{M2}R_xR_L/C_xC_LR_xR_L)}{s^2 + s\left(\frac{C_xR_x + C_LR_L}{C_xC_LR_xR_L}\right) + \left(\frac{G_{M2}G_{M3}R_xR_L + 1}{C_xC_LR_xR_L}\right)} \quad (\text{ข.16})$$

เทียบสมการระหว่างสมการ (ข.15) กับ (ข.16) ดังนี้

$$\omega_n^2 = \frac{G_{M2}G_{M3}R_xR_L + 1}{C_xC_LR_xR_L} \quad (\text{ข.17})$$

ดังนั้น

$$A_{vo} = \frac{G_{M1}G_{M2}R_xR_L}{G_{M2}G_{M3}R_xR_L + 1} \quad (\text{ข.18})$$

และ

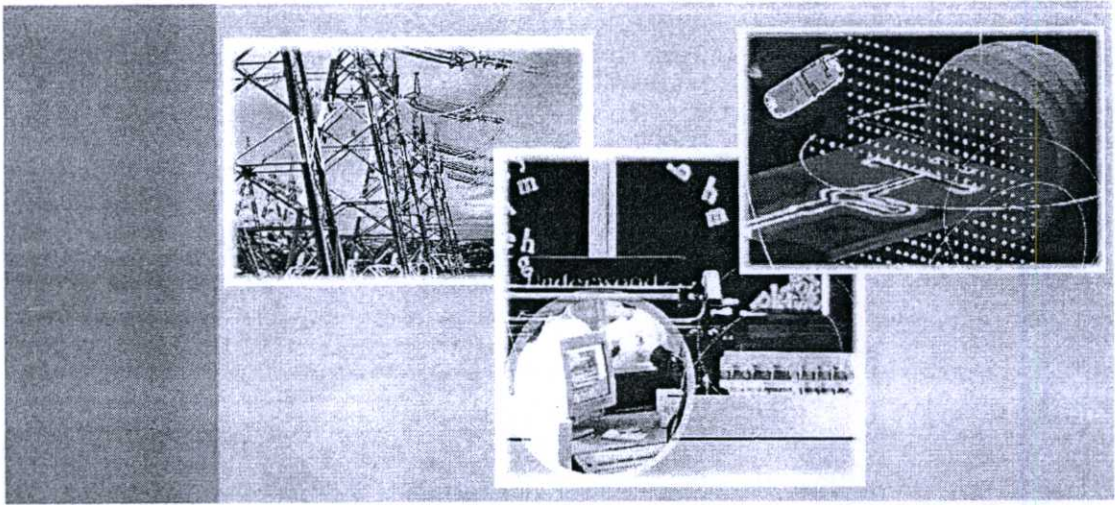
$$\zeta = \frac{1}{2} \frac{C_xR_x + C_LR_L}{\sqrt{R_xR_LC_xC_L(G_{M2}G_{M3}R_xR_L + 1)}} \quad (\text{ข.19})$$

ภาคผนวก ค

ผลงานวิจัยที่ได้รับการตีพิมพ์

บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารในประเทศและต่างประเทศในวิทยานิพนธ์นี้มี 4 บทความ ดังต่อไปนี้

- P. Khumsat, A. Thanachayanont, and S.Sakphrom, “A Compact Class-AB CMOS Variable Gain Amplifier”, Proceeding of The 2007 Electrical Engineering/Electronic, Computer, Telecommunications, and Information Technology (ECTI) International Conference, pp. 85-88, 2007
- P. Khumst, S.Sakphrom and A. Thanachayanont , “A Class-AB CMOS Variable Gain Amplifier for Low-Voltage Applications”, International Symposium on Integrated Circuits (ISIC), pp. 49-52, 2007
- Siraporn Sakphrom, Apinunt Thanachayanont and Phanumas Khumsat, “A Low-voltage Low-power Wideband CMOS Variable Gain Amplifier Using Active Negative Feedback”, International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2008), pp. 453-456, 2008d
- ศิราพร ศักดิ์พรหม อภินันท์ ธนชยานนท์ และ ภาณุมาศ คำสัจย์, “วงจรรขยายที่ปรับอัตราขยายแบบซิมอสที่มีแบนด์วิทกว้างทำงานที่แรงดันไฟเลี้ยงต่ำและใช้กำลังงานต่ำ”, การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 31 (EECON-31) มหาวิทยาลัยศรีนครินทรวิโรฒ และ มหาวิทยาลัยศรีปทุม กรุงเทพฯ



ECTI-CON 2007

*Mae Fah Luang University, Chiang Rai, Thailand
May 9-12, 2007*

VOLUME 1

- Circuits and Systems
- Control Engineering
- Electrical Power Engineering
- Other Related Fields

VOLUME 2

- Communication Systems
- Signal Processing
- Computer and Information



ECTI
Association



IEEE
THAILAND SECTION

NECTEC
a member of NSTDA



**Western
Digital**



A Compact Class-AB CMOS Variable Gain Amplifier

Phanumas Khumsat
 Department of Electrical Engineering
 Faculty of Engineering, Prince of Songkla University
 Hat-Yai, Thailand 90112
 e-mail: phanumas.k@psu.ac.th

Apinunt Thanachayanont and Siraporn Sakphrom
 Faculty of Engineering and Research Center of
 Communications and Information Technology
 King Mongkut's Institute of Technology Ladkrabang
 Ladkrabang, Bangkok, Thailand 10520
 e-mail: ktapinun@kmit.ac.th, yungying_ee@yahoo.com

Abstract— A compact class-AB variable gain amplifier has been proposed. The amplifier structure is based on two-stage architecture comprising a linear transconductor cascaded by a current amplifier-based feedback transimpedance amplifier. The major advantage of such VGA circuit is its ability to offer a good degree of signal linearity without sacrificing the original advantages of its predecessor on both aspects of the power consumption and circuit complexity. Superiority of the proposed VGA has been confirmed by circuit simulation employing 0.18 μm standard CMOS technology in designing a 50-MHz VGA under 1V supply voltage draining static power consumption less than 60 μW .

I. INTRODUCTION

Variable gain amplifier (VGA) is an important building block that is used to maximize the dynamic range of the overall system in many applications [1], [2], [3]. In communication receiver, VGA is typically employed in a feedback loop to realize an automatic gain control (AGC), to provide constant signal power to baseband analog-to-digital converter (ADC) for unpredictable received signal strengths. The voltage gain of the VGA is controlled by the AGC loop, and a linear-in-dB gain control characteristic is usually desired to obtain constant settling time of the AGC loop [4]. In addition, VGA is generally required to maintain high linearity and low noise over the entire bandwidth and gain range. It is also important that the bandwidth of the amplifier remains constant when the voltage gain is varied and this can be obtained by employing current-mode techniques [5].

In portable communication devices, VGA, as well as other circuits, are required to operate with low power supply voltage and low power consumption. As the process technologies develop, the maximum allowable supply voltage will scale down. It is inevitable that most low power integrated circuits will have to operate with power supply voltages between 1 V to 1.5 V. It is very challenging to design a VGA with high

linearity and wide bandwidth with low supply voltage and low power consumption.

Recently, a compact low supply voltage and low power consumption VGA in [6] has been designed to achieve high linearity and wide bandwidth with acceptable power dissipation. However, since its operation is limited at class-A amplifier, signal swing is small compared to class-AB amplifier. This paper presents an improved VGA to the circuit in [6]. It will be shown that the proposed circuit operates in class-AB manner outperforms its predecessor (class-A), especially, in terms of signal swing and linearity while maintaining the same static power consumption and silicon area.

II. TWO-STAGE CURRENT-MODE VARIABLE GAIN AMPLIFIER

The recently proposed VGA in [6], [7] has shown its versatility and potential to operate at low supply voltage, low power consumption with high bandwidth while maintaining good degree of dynamic range and occupying small silicon area. This VGA's architecture is presented in Fig. 1a, which is a cascade of a linear transconductor cascaded and a linear transimpedance amplifier with shunt-feedback resistors (R_f). This allows constant bandwidth when varying the voltage gain. The voltage gain of the VGA circuit is the product of the transconductance gain (G_m) and the transimpedance gain (R_m). The transimpedance gain is given by

$$R_m = - \left(\frac{R_f A_i - R_m}{1 + A_i} \right) \quad (1)$$

where R_{in} and A_i , respectively, are the input resistance and the current gain of the current amplifier. Note that, when $A_i \gg 1$, we have $R_m \approx -R_f$. There a linear G_m and a high-gain current amplifier are required to realize a high-linearity VGA.

The proposed VGA circuit realization in CMOS is also depicted in Fig. 1b. The circuit is very compact; it however possesses a major limitation at which the output current signal

This work has been financially supported by Thailand Research Fund (under grant no. RSA4680027).

swing is restricted by constant current sources, i.e. the VGA operates in a class-A manner. This would prohibit the VGA to achieve a rail-to-rail output voltage swing.

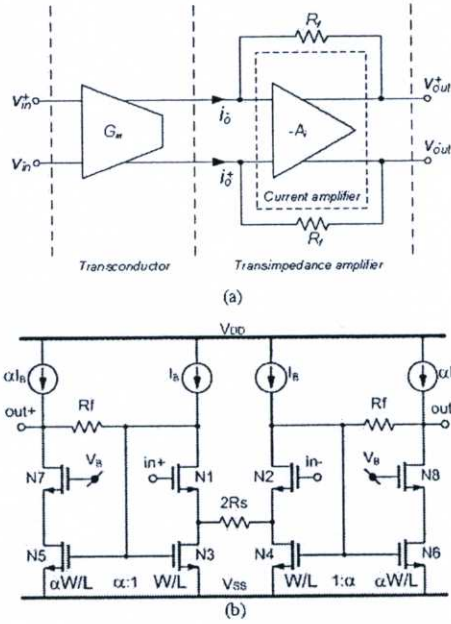


Fig. 1 VGA proposed in [6], [7] (a) architecture (b) circuit realisation with CMOS.

III. PROPOSED CLASS-AB VARIABLE GAIN AMPLIFIER

An improved VGA based on the architecture of Fig. 1a is presented in Fig. 2. The transconductor stage (N1 - N2, R_s) utilizes source degeneration technique without any constant current sources in order to maximum transconductance/bias current efficiency and minimize supply voltage and noise [8]. Despite these advantages, such structure possesses a serious drawback in being unable to reject common-mode signal. The second stage mirror-based current amplifier (P1 - P6, N3 - N6) resolves this problem by employing feedforward technique that allows differential signals to be constructively combined while on the other hand cancel a common-mode signal [9, 10]. This current amplifier combined with feedback resistors R_s form a transimpedance amplifier necessary for current-to-voltage conversion. Moreover, such output stage also provides

a class-AB operation allowing larger signal swing compared to its predecessor presented in [6], [7]. Thus the major advantage of such VGA circuit is its ability to offer excellent signal linearity without sacrificing the original advantages on both aspects of the power consumption and circuit complexity.

A small-signal transconductance of the first stage is simply expressed as

$$G_m = \frac{g_m}{1 + g_m R_s + s R_s C_g} \quad (2)$$

where g_m and C_g are respectively transconductance and gate-source capacitance of N1 and N2. The amplifier differential current gain A_i and input resistance R_{in} have been analysed to be

$$A_i = \frac{g_{m_x}}{(g_{m_i} + sC_x)} \left(1 + \frac{g_{m_y}}{g_{m_y} + sC_y} \right) \quad (3)$$

and

$$R_{in} = \frac{1}{g_{m_i} + sC_x} \quad (4)$$

where g_{m_i}, g_{m_x} and g_{m_y} are transconductance of P1 - P2, P3 - P6 and N3 - N6 respectively. The parameters C_x and C_y are equivalent total capacitance (referred to ground) at gates of P1 (P2) and N3 (N4) whose values are mainly contributed from gate-source capacitance. At low frequency, since g_{m_x} = g_m(α/2), thus A_i of Fig. 2 equals to α, which is the same as what obtained from the original circuit in Fig. 1b. Thus, by substituting (3) and (4) into (1), a small-signal transimpedance gain could be obtained to be

$$R_m = - \frac{\alpha \left[2R_f - \frac{1}{g_{m_x}} + s \frac{C_y}{g_{m_y}} \left(R_f - \frac{1}{g_{m_x}} \right) \right]}{2 \left[1 + \alpha + s \left(\frac{C_y}{g_{m_y}} \left(1 + \frac{\alpha}{2} \right) + \frac{C_x}{g_{m_i}} \right) + s^2 \frac{C_x C_y}{g_{m_x} g_{m_y}} \right]} \quad (5)$$

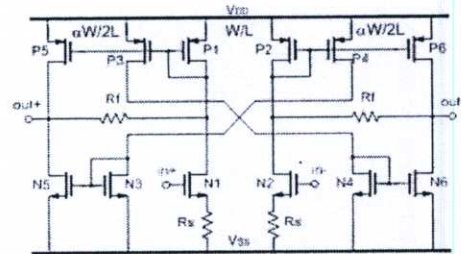


Fig. 2 Improved VGA based on the structure in Fig. 1a with class-AB output stage and signal feedforward topology.

The feedback resistor R_f is selected to set a voltage gain range whereas a source degeneration resistor R_s is tuned to vary the amplifier gain. The minimum value of R_s sets the maximum gain for a specific gain range (as previously set by R_f) and it also defines the maximum static current consumed by the VGA. The similar technique proposed in [8] can be used to tune the grounded resistor R_s .

IV. SIMULATION RESULTS

The improved VGA circuit was designed to operate with a single 1V power supply voltage. The circuit was simulated by using Spectre employing a 0.18- μm standard CMOS technology where device threshold voltages were 0.49V and -0.46V for NMOS and PMOS respectively. With $\alpha = 5$, transistor sizing of the VGA circuit in Fig. 2 is listed in Table I. The minimum value of R_s is chosen to be 500 Ohms to ensure a maximum current consumption not exceeding $60\mu\text{A}$ for a bandwidth over 50MHz.

Table I: Transistor sizing within the VGA operating under a 1V supply voltage.

Transistors	W/L ($\mu\text{m}/\mu\text{m}$)
N1 – N2	1.5/0.18
P1 – P2	10/0.5
P3 – P6	2.5/0.5
N3 – N6	5/0.5

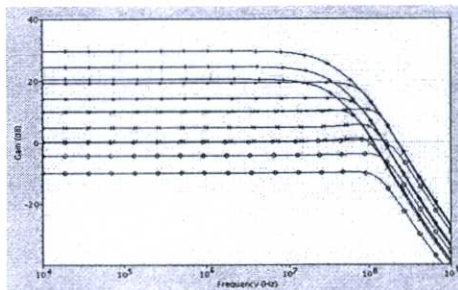
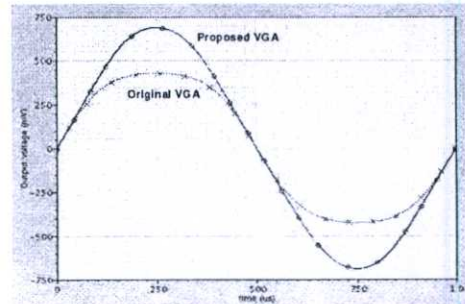


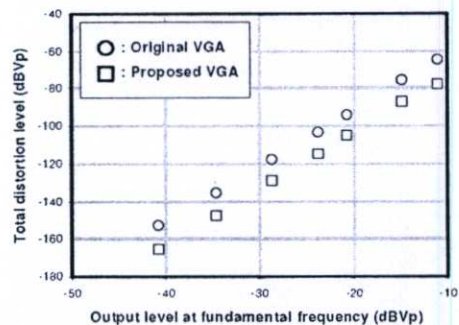
Fig. 3 Frequency response of the VGA where R_f : 500k Ω , 150k Ω , 50k Ω , 15k Ω and R_s : 500 Ω – 15k Ω .

It is vital to see how the proposed VGA perform compared to the original VGA circuit of [6], [7] using the same design process. The proposed VGA and its counterpart class-A circuit have been designed under the same power supply voltage of

1V with identical static power and occupy same silicon area. By using a periodic steady-state analysis within Cadence IC design platform, Fig. 4 show simulated output signal swing and total harmonic distortion (THD) compared between two VGA circuits at the same voltage gain of 20dB where we can see that the linearity improvement of over 13dB can be achieved. The THD improvement at various gain values for differential output amplitude of -10dBVp at 1MHz and at other frequencies are depicted in Fig. 5. Other performances are summarized in Table II indicating that the proposed VGA is more superior specifically in terms of linearity.



(a)



(b)

Fig. 4 Distortion comparison with voltage gain of 20dB at 1MHz (a) output signal swing and (b) THD vs input amplitude.

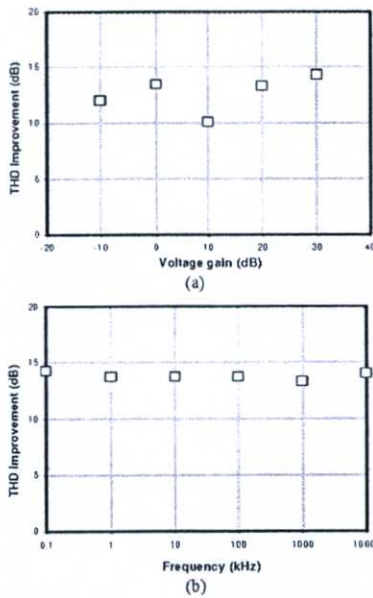


Fig. 5 THD improvement vs (a) gain at 1MHz, and (b) frequency for gain = 20dB (for output level at -10dBVp in both cases).

Table II: VGA performance comparison.

Parameters	This work	Circuit in [11]
Supply voltage		1V
Technology	0.18 μ m CMOS ($V_{TP} = -0.46V$, $V_{TN} = 0.49V$)	
Power consumption (static)	$\leq 60\mu W$	60 μW
Bandwidth	$\sim 50MHz$	$\sim 50MHz$
Input-referred noise (gain = 20dB)	$8.0 \times 10^{-8} V^2$	$9.4 \times 10^{-8} V^2$
Differential output signal swing for -40dB THD	0.76Vp	0.33Vp
THD improvement	> 13dB	-
Gain range at constant bandwidth	25dB	23dB

V. CONCLUSION

A compact class-AB variable gain amplifier has been proposed. The amplifier structure is based on two-stage architecture comprising a linear transconductor cascaded by a current amplifier-based feedback transimpedance amplifier. The major advantage of such VGA circuit is its ability to offer a good degree of signal linearity without sacrificing the original advantages of its predecessor on both aspects of the power consumption and circuit complexity. Superiority of the proposed VGA has been confirmed by circuit simulation employing 0.18 μ m standard CMOS technology in designing a 50MHz VGA under 1V supply voltage draining static power consumption less than 60 μ W.

ACKNOWLEDGEMENT

Financial support from Thailand Research Fund (under grant no. RSA 4680027) is gratefully acknowledged. The authors would like to thank A. Worapishet for sharing his views on feedforward techniques.

REFERENCES

- [1] W. A. Serdijn, A. C. Van der Woerd, J. Davidse, and A. H. M. Van Roenmund, "A low-voltage low-power fully integratable automatic gain control for hearing instruments," *IEEE J. Solid-State Circuits*, vol. 29, pp. 943-946, Aug 1994.
- [2] R. Harijani, "A low-power CMOS VGA for 50 Mb/s Disk Drive Read Channels," *IEEE Trans. on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 42, no. 6, pp. 370-376, June 1995.
- [3] G. S. Sahota and C.J. Persico, "High Dynamic Range Variable Gain Amplifier for CDMA Wireless Application," in Proc. 1997 IEEE International Solid-State Circuits Conference, pp. 374-375, 1997.
- [4] J. J. F. Rijns, "CMOS Low-Distortion High-Frequency Variable-Gain Amplifier," *IEEE Trans. on Solid-State Circuits*, vol. 31, no. 7, pp. 1029-1034, July 1996.
- [5] K. Phang, D. A. Johns, "A 1 V 1 mW CMOS Front-End with On-chip Dynamic Gate Biasing for a 75Mb/s Optical Receiver," *IEEE Int. Solid-State Circuits Conference*, pp. 218-220, 2001.
- [6] A. Thanachayanont and P. Naktongkul, "Low-voltage wideband compact CMOS variable gain amplifier," *Electronics Letters*, vol. 41 No. 2, January 2005.
- [7] P. Naktongkul and A. Thanachayanont, "1.5-V 900 μ W 40-dB CMOS variable gain amplifier," *Proceedings of 2006 IEEE International Symposium on Circuits and Systems*, May 2006.
- [8] F. Behbahani, W. Tan, A. Karimi-Sanjaani, A. Rothmeier, and A. A. Abidi, "A Broad-Band Tunable CMOS Channel-Select Filter for a Low-IF Wireless Receiver," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 476-489, April 2000.
- [9] S. Rabii and B. A. Wooley, "A 1.8-V Digital-Audio Sigma-Delta Modulator in 0.8 μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 783-796, June 1997.
- [10] P. Khumrat and A. Worapishet, "Compact Two-Stage Class-AB CMOS OTA for Low-Voltage Filtering Applications," *IEICE Transactions on Electronics*, vol. E90-C, No. 2, pp. 543-546, February 2007.

A Class-AB CMOS Variable Gain Amplifier for Low-Voltage Applications

Phanumas Khumsat
 Department of Electrical Engineering
 Faculty of Engineering, Prince of Songkhla University
 Hat-Yai, Thailand 90112
 e-mail: phanumas.k@psu.ac.th

Siraporn Sakphrom and Apinunt Thanachayanont
 Faculty of Engineering and Research Center of
 Communications and Information Technology
 King Mongkut's Institute of Technology Ladkrabang
 Ladkrabang, Bangkok, Thailand 10520
 e-mail: yungying_ee@yahoo.com, ktapinun@kmitl.ac.th

Abstract— A compact class-AB variable gain amplifier has been proposed. The amplifier structure is based on two-stage architecture comprising a linear transconductor cascaded by a class-AB current amplifier-based feedback transimpedance amplifier. The major advantage of such VGA circuit is its ability to offer a good degree of signal linearity without sacrificing the original advantages of its predecessor on both aspects of the power consumption and circuit complexity. Superiority of the proposed VGA has been confirmed by circuit simulation employing 0.18 μ m standard CMOS technology in designing a 10-MHz VGA under 0.5-V voltage supply with MOS's minimum threshold voltage of 0.43V while draining static power consumption less than 25 μ W.

I. INTRODUCTION

Variable gain amplifier (VGA) is an important building block that is used to maximize the dynamic range of the overall system in many applications [1]–[5]. In communication receiver, VGA is typically employed in a feedback loop to realize an automatic gain control (AGC), to provide constant signal power to baseband analog-to-digital converter (ADC) for unpredictable received signal strengths.

In portable communication devices, VGA, as well as other circuits, are required to operate with low power supply voltage and low power consumption. As the process technologies develop, the maximum allowable supply voltage will scale down. It is inevitable that most low power integrated circuits will have to operate with power supply voltages between 1 V to 1.5 V. It is very challenging to design a VGA with high linearity and wide bandwidth with low supply voltage and low power consumption.

Recently, a compact low-voltage and low-power VGA in [6, 7] has been designed to achieve high linearity and wide bandwidth with acceptable power dissipation. However, since its operation is limited at class-A amplifier, signal swing is

small compared to class-AB amplifier. This paper presents an improved VGA to the circuit in [6]. It will be shown that the proposed circuit operates in class-AB manner outperforms its predecessor (class-A), especially, in terms of signal swing and linearity while maintaining the same static power consumption and silicon area.

II. TWO-STAGE CURRENT-MODE VARIABLE GAIN AMPLIFIER

The recently proposed VGA in [6], [7] has shown its versatility and potential to operate at low supply voltage, low power consumption with high bandwidth while maintaining good degree of dynamic range and occupying small silicon area. This VGA's architecture is presented in Fig. 1a, which is a cascade of a linear transconductor cascaded and a linear transimpedance amplifier with shunt-feedback resistors (R_f). This allows constant bandwidth when varying the voltage gain. The voltage gain of the VGA circuit is the product of the transconductance gain (G_m) and the transimpedance gain (R_m). The transimpedance gain is given by

$$R_m = - \left(\frac{R_f A_i - R_{in}}{1 + A_i} \right) \quad (1)$$

where R_m and A_i , respectively, are the input resistance and the current gain of the current amplifier. Note that, when $A_i \gg 1$, we have $R_m \approx -R_f$. Therefore a linear G_m and a high-gain current amplifier are required to realize a high-linearity VGA.

The VGA circuit realization in CMOS is also depicted in Fig. 1b. The circuit is very compact; it however possesses a major limitation at which the output current signal swing is restricted by constant current sources, i.e. the VGA operates in a class-A manner. This would prohibit the VGA to achieve a rail-to-rail output voltage swing since the current signal swing is limited by fixed bias current.

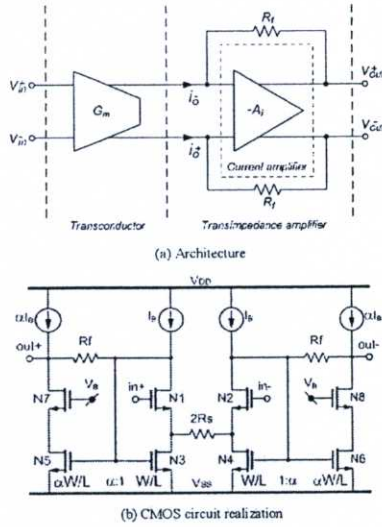


Fig. 1 VGA proposed in [6], [7]

III. PROPOSED CLASS-AB VARIABLE GAIN AMPLIFIER

An improved VGA based on the architecture of Fig. 1a is presented in Fig. 2. The transconductor stage (N1 – N2, R_s) utilizes source degeneration technique without any constant current sources in order to maximum transconductance/bias current efficiency and minimize supply voltage and noise [8]. The resistor networks R_b, R_g have been utilized to shift bias voltage at gates of N1, N2 to 0.35V from the VGA's input quiescent voltage of V_{DD}/2 = 0.25V [9]. This technique allows the transistor to operate in a moderate inversion region for 0.5-V design when device's threshold voltage is ~ 0.43V [10]. The second stage utilizes a current mirror-based current amplifier (P1 – P4, N3 – N6). This current amplifier combined with feedback resistors R_f form a transimpedance amplifier necessary for current-to-voltage conversion. Moreover, such output stage also provides a class-AB operation allowing larger signal swing compared to its predecessor presented in [6], [7]. Thus the major advantage of such VGA circuit is its ability to offer excellent signal linearity without sacrificing the original advantages on both aspects of the power consumption and circuit complexity.

It is important to note that a common-mode feedback (CMFB) amplifier is employed to set quiescent voltage at drains of P1, P2 to be at V_{ref} = V_{DD}/2 and maintain quiescent

current of P1 – P6 at constant level regardless of R_s and R_f values. Also, appropriate transistor sizing makes DC drain current of P3 (P4) equal to that of N5 (N6), i.e., same transconductance, and there is no DC current flowing inside R_f, this thus automatically sets the DC output voltage to be the same as at drains of P1, P2, i.e., at V_{ref} (= V_{DD}/2).

A small-signal transconductance of the first stage is simply expressed as

$$G_m = \frac{g_m R_s}{(R_s + R_t + g_m R_t (R_s + R_t)) + s C_{gs} (R_s R_t + R_t R_s + R_t R_t)} \quad (2)$$

where g_m and C_{gs} are respectively transconductance and gate-source capacitance of N1 and N2. The amplifier differential current gain A_i and input resistance R_{in} have been analysed to be

$$A_i = \frac{(g_{mN5} + g_{mP5})}{(g_{mN5} + g_{mP5} + s C_s)} \quad (3)$$

and

$$R_{in} = \frac{1}{(g_{mN5} + g_{mP5} + s C_s)} \quad (4)$$

where g_{mN5}, g_{mP5}, g_{mN3} and g_{mP3} are transconductance of N5 – N6, N3 – N4 and P1 – P2 respectively. The parameter C_s is an equivalent total capacitance (referred to ground) at drain of P1 (P2) whose value is mainly contributed from gate-source capacitance. At low frequency, since g_{mP5} = α g_{mP3} and g_{mN5} = α g_{mN3}, thus A_i of Fig. 2 equals to α, which is the same as what obtained from the original circuit in Fig. 1b. Thus, by substituting (3) and (4) into (1), a small-signal transimpedance gain could be obtained to be

$$R_{in} = \frac{-R_f (g_{mN5} + g_{mP5}) + 1}{g_{mN5} + g_{mP5} + g_{mN3} + g_{mP3} + s C_s} \quad (5)$$

If g_{mN5} = g_{mP5} = g_{mN3}, g_{mN3} = g_{mP3} = g_{mN2} with g_{mN2} = α g_{mN1}, this turns (5) into

$$R_{in} = \frac{-\alpha R_f + \frac{1}{2g_{mN1}}}{1 + \alpha + s \frac{C_s}{2g_{mN1}}} \quad (6)$$

The feedback resistor R_f is selected to set a voltage gain range whereas a source degeneration resistor R_s is tuned to vary the amplifier gain. The minimum value of R_s sets the maximum gain for a specific gain range (as previously set by R_f) and it also defines the maximum static current consumed by the VGA. For very low-voltage practical implementation (e.g. 0.5-V power supply), arrays of switched resistors can be utilized to tune resistors R_s and R_f [3], [11].

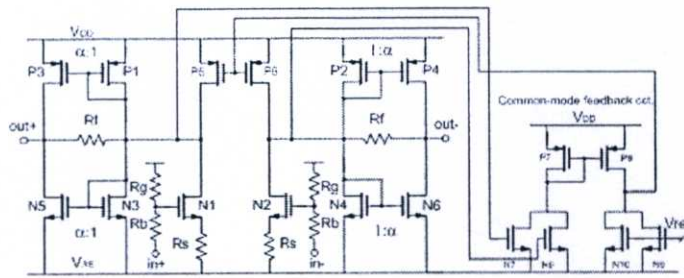


Fig. 2 Improved VGA based on the structure in Fig. 1a with class-AB output stage

IV. SIMULATION RESULTS

The improved VGA circuit was designed to operate with a single 0.5-V power supply voltage. The circuit was simulated by using Spectre employing a 0.18- μm standard CMOS technology where device threshold voltages were 0.45V and -0.43V for NMOS and PMOS respectively. With $\alpha = 5$, transistor sizing of the VGA circuit in Fig. 2 is listed in Table I. The minimum value of R_s is chosen to be 500 Ohms to ensure a maximum current consumption not exceeding 50 μA for a bandwidth over 10MHz. Fig. 3 shows the VGA's simulated frequency response.

Table I: Design parameters for the VGA operating at 0.5V.

Transistors	W/L (um/um)
N1 - N2	1000/18
P1 - P2, P3 - P4	50/0.18, 250/0.18
N3 - N4, N5 - N6	16/0.18, 80/0.18
Rb, Rg	50k Ω , 200k Ω

It is vital to see how the proposed VGA perform compared to the original VGA circuit of [6], [7] using the same design process. The proposed VGA and its counterpart class-A circuit have been designed under the same power supply voltage of 0.5V with identical static power and occupy same silicon area. By using a periodic steady-state analysis within Cadence IC design platform. Fig. 4 show simulated output signal swing between two VGA circuits at the same voltage gain of 10dB. Fig. 5 depicts distortion level comparison with single and two-tone tests and we can see that the linearity improvement of over 18dB can be achieved (for differential output amplitude of -12dBVp). The similar degree of linearity improvement has also been observed at other frequencies as shown in Fig. 6. Other performances are summarized in Table II indicating that the proposed VGA is more superior specifically in terms of linearity.

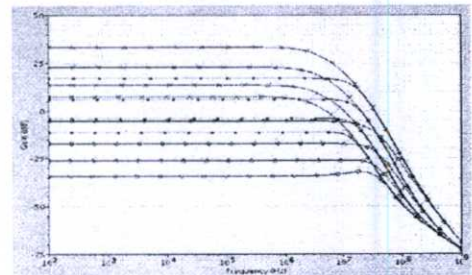


Fig. 3 VGA frequency response R_f : 400 k Ω (x), 40 k Ω (\square), 4 k Ω (O) and R_s : 500 Ω - 50k Ω

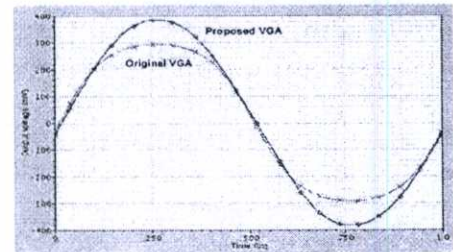
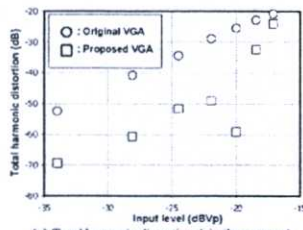
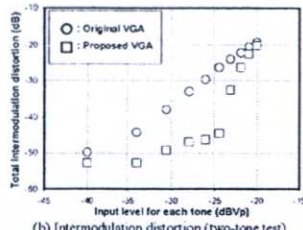


Fig. 4 Output signal swing comparison with voltage gain of 10dB at 1MHz



(a) Total harmonic distortion (single-tone test)



(b) Intermodulation distortion (two-tone test)

Fig. 5 Distortion comparison with voltage gain of 10dB at 1MHz

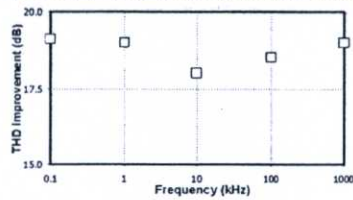


Fig. 6 THD improvement vs frequency for gain = 10dB for output level at -12dBVp

Table II: VGA performance comparison

Parameters	This work	Circuit in [6,7]
Supply voltage		0.5V
Technology		0.18 μ m CMOS ($V_{TP} = -0.43V$, $V_{TN} = 0.45V$)
Power consumption (static)	$\leq 25\mu W$	$25\mu W$
Bandwidth	$\sim 10MHz$	$\sim 10MHz$
Input-referred noise (gain = 10dB)	$2.7 \times 10^{-4} V^2$	$7.3 \times 10^{-4} V^2$
Differential output signal swing for -40dB THD	0.31Vp	0.13Vp
Output IP3 (two-tone test at 1MHz and 1.1MHz with gain=10dB)	13dBVp	0dBVp
Spurious-free dynamic range (gain = 10dB)	49dB	39dB
Gain range at constant bandwidth	25dB	23dB

V. CONCLUSION

A compact class-AB variable gain amplifier has been proposed. The amplifier structure is based on two-stage architecture comprising a linear transconductor cascaded by a current amplifier-based feedback transimpedance amplifier. The major advantage of such VGA circuit is its ability to offer a good degree of signal linearity without sacrificing the original advantages of its predecessor on both aspects of the power consumption and circuit complexity. Superiority of the proposed VGA has been confirmed by circuit simulation employing 0.18 μ m standard CMOS technology in designing a 10MHz VGA under 0.5V supply voltage draining static power consumption less than 25 μ W.

ACKNOWLEDGEMENT

Financial support from Thailand Research Fund is gratefully acknowledged.

REFERENCES

- [1] W. A. Serdijn, A. C. Van der Woerd, J. Davidse, and A. H. M. Van Roermund, "A low-voltage low-power fully integratable automatic gain control for hearing instruments," *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 943-946, Aug 1994.
- [2] R. Harjani, "A low-power CMOS VGA for 50 Mb/s Disk Drive Read Channels," *IEEE Trans. on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 42, no. 6, pp. 370-376, June 1995.
- [3] C.-C. Hsu and J.-T. Wu, "A Highly Linear 125-MHz CMOS Switched-Resistor Programmable-Gain Amplifier," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, October 2003.
- [4] Q.-H. Duong, Q. Le, C.-W. Kim, and S.-G. Lee, "A 95dB-Linear Low-Power Variable Gain Amplifier," *IEEE Trans. on Circuits and Systems-I: Regular Papers*, vol. 53, no. 8, August 2006.
- [5] J. Xiao, I. Mehr, and J. Silva-Martinez, "A High Dynamic Range CMOS Variable Gain Amplifier for Mobile DTV Tuner," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 2, February 2007.
- [6] A. Thanachayanont and P. Naktongkul, "Low-voltage wideband compact CMOS variable gain amplifier," *Electronics Letters*, vol. 41 No. 2, January 2005.
- [7] P. Naktongkul and A. Thanachayanont, "1.5-V 900uW 40-dB CMOS variable gain amplifier," Proceedings of 2006 IEEE International Symposium on Circuits and Systems, May 2006.
- [8] F. Behbahani, W. Tan, A. Karimi-Sanjaani, A. Roithmeier, and A. A. Abidi, "A Broad-Band Tunable CMOS Channel-Select Filter for a Low-IF Wireless Receiver," *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 476-489, April 2000.
- [9] S. Karthikeyan, S. Mortezaipour, A. Tammineedi, E. K. F. Lee, "Low-Voltage Analog Circuit Design Based on Biased Inverting Opamp Configuration," *IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing*, vol. 47, no. 3, March 2000.
- [10] S. Chatterjee, Y. Tsvividis, and P. Kinget, "0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, December 2005.
- [11] S.-C. Tsou, C.-F. Li, and P.-C. Huang, "A Low-Power CMOS Linear-in-Decibel Variable Gain Amplifier With Programmable Bandwidth and Stable Group Delay," *IEEE Transactions on Circuits and Systems - II: Express Briefs*, vol. 53, no. 12, December 2006.

**I
S
P
A
C
S**
2
0
0
8

WD Western
Digital®

**Intelligent Wireless
Communication Systems
for the Next Century**

2008 International Symposium on Intelligent Signal Processing
and Communication Systems (ISPACS 2008)

December 8-11, 2008

Swissôtel Le Concorde, Bangkok, Thailand



A Low-voltage Low-power Wideband CMOS Variable Gain Amplifier Using Active Negative Feedback

Siraporn Sakphrom¹, Apinunt Thanachayanont^{1,2} and Phanumas Khumsat³

¹Faculty of Engineering and ²College of Data Storage Technology and Applications (DSTAR)
King Mongkut's Institute of Technology Ladkrabang Ladkrabang, Bangkok, Thailand 10520

³Department of Electrical Engineering, Faculty of Engineering, Prince of Songkla University, Hat-Yai, Thailand 90112

Abstract. This paper describes the design and realization of a low-voltage low-power RF variable gain amplifier in a 0.18μm CMOS technology. The proposed amplifier employs an active negative feedback technique to achieve wide bandwidth operation. Simulation results showed that the proposed circuit could achieve 1.78-GHz bandwidth with 13.04-dB gain under a single 1-V power supply voltage, while draining current less than 500 μA.

I. INTRODUCTION

Modern high storage capacity and high data rate hard disk drives [1]-[3] demand increasingly high-frequency high-performance read-channel front-end signal processing circuits, e.g. preamplifier, variable gain amplifier (VGA), filter. Gigahertz-range wide dynamic range preamplifier and variable gain amplifier (VGA) are required to amplify small input voltage signal from the read head. VGA is employed in a feedback loop as an automatic gain control to maximize the dynamic range of the overall read-channel system. VGA provides a constant output voltage signal under various conditions to the following detector and filter circuits of the read channel. High data rate disk drives require VGA with GHz-bandwidth and wide dynamic range.

Recently, wideband VGAs have been successfully realized in deep submicron CMOS technologies. Gain control in a linear-in-dB manner can be achieved by varying transconductance or resistance [4]-[8]. Linear-in-dB wideband VGAs have been realized with circuit techniques including Gilbert's cell [9], Cherry-Hooper amplifiers [10]-[11], active feedback and inductive peaking [12]-[13]. Active feedback technique was proposed to enhance bandwidth and maintain excellent gain flatness within the frequency band.

In this paper, a wideband CMOS VGA using the active feedback architecture is proposed and realized in a 0.18-μm standard CMOS technology. The paper is organized as follows. Section II describes the proposed VGA architecture. The corresponding circuit design is presented in Section III. Simulation results and conclusion are given in Section IV and V, respectively.

II. VARIABLE GAIN AMPLIFIER ARCHITECTURE

Fig. 1 shows the architecture of the proposed VGA using the active feedback technique [14]. The voltage transfer function of the amplifier can be written as in (1), where A_{vo} is the low-frequency closed-loop gain and ω_n is the natural frequency.

$$\frac{V_{out}}{V_{in}} = \frac{A_{vo} \omega_n^2}{s^2 + 2\zeta \omega_n s + \omega_n^2} \quad (1)$$

$$A_{vo} = \frac{G_{m1} G_{m2} R_{L1} R_{L2}}{1 + G_{m1} G_{m2} R_{L1} R_{L2}} \quad (2)$$

$$\omega_n^2 = \frac{1 + G_{m1} G_{m2} R_{L1} R_{L2}}{R_{L1} R_{L2} C_1 C_2} \quad (3)$$

$$\zeta = \frac{1}{2} \frac{R_{L1} C_1 + R_{L2} C_2}{\sqrt{R_{L1} R_{L2} C_1 C_2 (1 + G_{m1} G_{m2} R_{L1} R_{L2})}} \quad (4)$$

From (2) and (3), the natural frequency can be rewritten in terms of the DC voltage gain, as given by (5) and thus (6). Therefore the gain-bandwidth product (GB) can be written as given by (7).

$$\omega_n = \sqrt{\frac{1}{A_{vo}} \frac{G_{m1} G_{m2}}{C_1 C_2}} \quad (5)$$

$$A_{vo} \omega_n^2 = \frac{G_{m1} G_{m2}}{C_1 C_2} \quad (6)$$

$$A_{vo} \omega_n = \frac{G_{m1} G_{m2}}{C_1 C_2} \frac{1}{\omega_n} \quad (7)$$

As can be seen in (7), the voltage gain can be adjusted by varying G_{m1} and G_{m2} . For a maximally-flat Butterworth response, $\zeta = \sqrt{2}/2$ and $\omega_{-3dB} = 2\pi f_{-3dB} = \omega_n / (2\pi)$ can be written as in (8)

$$A_{vo} \omega_{-3dB} = \frac{G_{m1} G_{m2}}{C_1 C_2} \frac{1}{\omega_{-3dB}} \quad (8)$$

Since $G_{m1}/C_1 = \omega_{T1}$ and $G_{m2}/C_2 = \omega_{T2}$, thus (8) can be rewritten as in (9).

$$A_{vo} \omega_{-3dB} = f_T \frac{f_T}{f_{-3dB}} \quad (9)$$

This result reveals that active feedback increase close-loop GBW beyond the technology f_T by a factor equal to the ratio of f_T and the cell bandwidth.

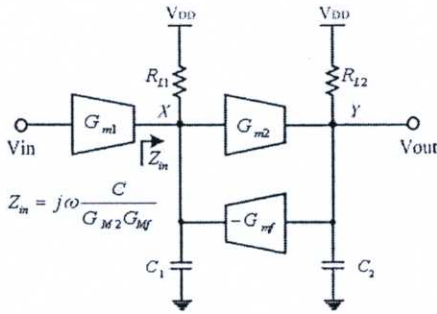


Fig. 1 Active negative feedback architecture

III. CIRCUIT DESCRIPTION

The proposed VGA circuit is implemented as shown in Fig. 2. The transconductance G_{m1} is realised by g_{m1} of transistors M_{1a} - M_{1b} and the transconductance G_{m2} is realised by g_{m2} of transistors M_{2a} - M_{2b} . The transconductance G_{mf} is realised by a source-degenerated transconductor M_{3a} - M_{3b} and R_s , thus $G_{mf} = g_{m3}/(1+g_{m3}R_s)$, where g_{m3} is transconductance of M_{3a} - M_{3b} . The voltage gain of the proposed VGA can be varied by adjusting R_s . For good linearity, the value of R_s should be greater than $1/g_{m3}$. The load resistance $R_{L1} = R_{L2} = R_L$ and C_1 and C_2 are the total equivalent capacitance at node X and Y , respectively, where $C_1 = C_{p2} + C_{p1}$ and $C_2 = C_{p2} + C_L$. Therefore the voltage gain and the natural frequency can be calculated by substituting the abovementioned parameters into (2), (3) and (4), resulting to (10)-(12).

$$A_{vo} = \frac{g_{m1}R_L(1+g_{m3}R_s)}{1+g_{m3}(R_s+R_L)} \quad (10)$$

$$\omega_n^2 = \frac{g_{m2}g_{m3}R_L(1+g_{m3}R_s)}{R_L(1+g_{m3}R_s)(C_{p2}+C_{p1})(C_{p2}+C_L)} \quad (11)$$

$$\zeta = \frac{1}{2} \frac{\left(\frac{C_{p2}+C_{p1}}{R_L g_{m2} g_{m3}} \right) + R_L (C_{p2}+C_L)}{\sqrt{\left(\frac{C_{p2}+C_{p1}}{R_L g_{m2} g_{m3}} \right) (C_{p2}+C_L)}} \quad (12)$$

As shown in (10), the voltage gain can be adjusted by varying g_{m1} and R_s . However varying g_{m1} with I_{S5} affects the values of G_{m2} and G_{mf} simultaneously, therefore the

voltage gain of the proposed VGA is varied by adjusting R_s only.

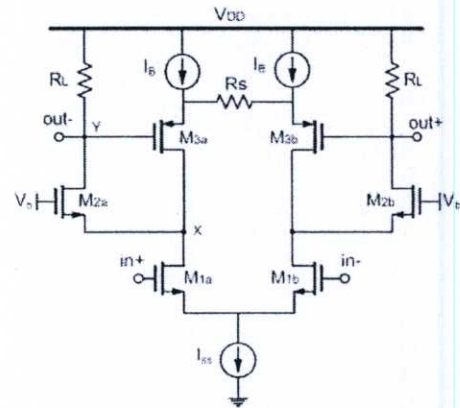


Fig. 2 The proposed VGA cell

IV. SIMULATION RESULTS

The proposed VGA was designed to operate with a single 1-V power supply voltage, using a 0.18- μm standard CMOS technology. The device threshold voltages are 0.25 V and -0.29 V for NMOS and PMOS, respectively. The circuit was simulated by using Spectre. The total power dissipation is 0.5 mW. Circuit parameters are summarised in Table I. The minimum value of R_L is chosen to be $1\text{k}\Omega$ to ensure a maximum bandwidth over 1.78 GHz. Fig. 3 shows the VGA's simulated frequency response. The total harmonic distortion (THD) was simulated using periodic steady state simulation (PSS) available in Cadence Spectre, Fig. 4 shows the frequency spectrum plot for a single-tone test at 400 MHz input to measure the THD performance. Fig. 5 shows the simulated THD for different input amplitude levels with VGA's gain set at 13.04 dB.

Table I: Transistor sizing within the VGA operating under a 1V supply voltage.

Design parameters	Values
$M1a$ - $M1b$	80 μm /0.24 μm
$M2a$ - $M2b$	40 μm /0.24 μm
$M3a$ - $M3b$	30 μm /0.24 μm
I_B	12 μA
I_{S5}	500 μA
R_L	1K Ω

Print

Menu

Go Back

Fit Visible Fit Page

Next Page

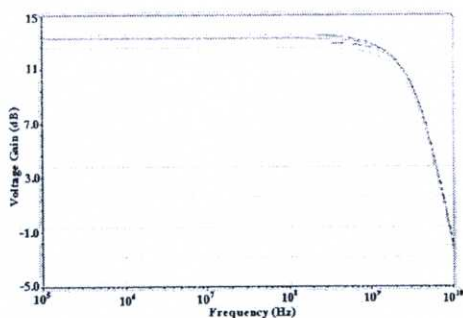


Fig. 3 Frequency response of the VGA where R_i : 1k Ω , 100k Ω , 500k Ω and R_f : 1k Ω .

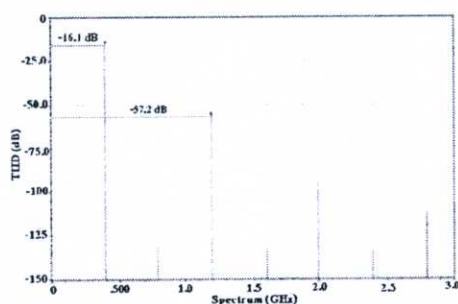


Fig. 4 Comparison THD (dB) between Fundamental and Third Harmonics

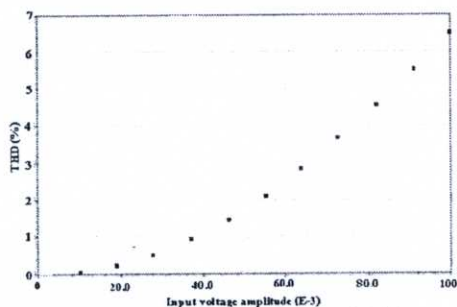


Fig. 5 THD (%) VS input voltage level (mV)

To compare the performance of the proposed VGA with related work, the figure-of-merit (FOM) defined by (13) [15] was used.

$$FOM = 20 \log \left(\frac{Gain \cdot Bandwidth(GHz)}{Power(mW)} \right) \quad (13)$$

$$= Gain(dB) + 20 \log \left(\frac{Bandwidth(GHz)}{Power(mW)} \right)$$

The FOM takes into account of gain, bandwidth and power consumption simultaneously. The FOM indicates the gain-bandwidth product per unit power consumption, and the higher FOM mean the circuit has higher performance under unit power consumption. Table II indicates the comparison of circuit performances and power consumption between this work and the recently reported circuits.

Table II: Performance Summary

	This work	[13]	[14]
Process	0.18- μ m	0.18- μ m	0.18- μ m
Supply voltage	1V	1.8V	1.8V
Power consumptions	500 μ W	189mW	100mW
DC gain (differential)	13.04dB	42dB	50dB
Bandwidth(-3dB)	1.78GHz	9GHz	9.4GHz
THD	54dB	-	-
FOM	27.83	15.56	12.86

V. CONCLUSION

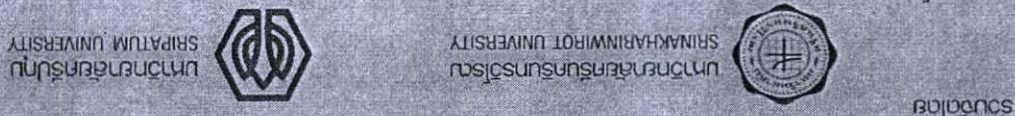
A new CMOS variable gain amplifier has been proposed. The amplifier structure is based on active negative feedback architecture. The major advantage of the proposed VGA is its ability to achieved high bandwidth and wide gain range. Superiority of the proposed VGA has been confirmed by circuit simulation employing 0.18- μ m standard CMOS technology in designing a 1.78-GHz VGA under 1-V supply voltage with power consumption less than 0.5 mW.

ACKNOWLEDGEMENT

This work is partially supported by Coordinating Center for Thai Government Science and Technology Scholarship Students, National Science and Technology Development Agency, Ministry of Science and Technology. And financial support from National Electronics and Computer Technology Center, Thailand is gratefully acknowledged.

REFERENCES

- [1] P. Pai, A. Brewster, and A. Abidi, "A 160-MHz analog front-end IC for EPR4 PRML magnetic storage read channels," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1802-1816, Nov. 1996.
- [2] Daniel Sun, Andrea Xotta and Asad A. Abidi, "A 1 GHz CMOS Analog Front-End for a Generalized PRML Read Channel," *IEEE J. Solid-State Circuits*, vol. 40, no. 11, pp. 2275-2285, Nov. 2005.
- [3] P. Pai, A. Brewster and A. Abidi, "A 160-MHz analog front-end IC for EPR4 PRML magnetic storage read channels," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1802-1816, November 1996.
- [4] Q.-H. Duong, Q. Le, C.-W. Kim and S.-G. Lee, "A 95dB-Linear Low-Power Variable Gain Amplifier," *IEEE Trans. on Circuits and Systems-I: Regular Papers*, vol. 53, no. 8, August 2006.
- [5] W. M. C. Sansen and R. G. Meyer, "Distortion in bipolar transistor variable-gain amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-8, pp. 275-282, August 1973.
- [6] G. S. and C. J. Persico, "High dynamic range variable-gain amplifier for CDMA wireless applications," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp.374-375.
- [7] B. Gilbert, "The multi-tanh principle: A tutorial overview," *IEEE J. Solid-State Circuits*, vol. 33, pp.2-17, Jan. 1998.
- [8] P. J. G. van Lieshout and R. J. van de Plassche, "A monolithic wideband variable-gain amplifier with a high gain range and low distortion," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp.358-359.
- [9] Chia-Hsin Wu, Chang-Shun Liu and Shen-luan Liu, "A 2 GHz CMOS Variable-Gain Amplifier with 50dB Linear-in-Magnitude Controlled Gain Range for 10GBase-LX4 Ethernet," *IEEE International Solid-State Circuit Conference*, February 2004.
- [10] Holdenried, C., M.W. Lynch and J.W. Haslett, "Modified CMOS Cherry-Hooper Amplifiers with Source-Follower Feedback in a 0.35um Technology", presented at the *European Solid State Circuits Conference, Portugal, September 2003*, pp. 553-556.
- [11] Abbott, J. Plett, C. Rogers, J.W.M. "A 15 GHz, 1.8V, variable-gain, modified Cherry-Hooper amplifier," *Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005*, Sept. 2005 pp. 645-648.
- [12] A. Thanachayanont, "A 1.5-V High-Q CMOS Active Inductor for IF/RF Wireless Applications," *Circuits and Systems, 2000. IEEE APCCAS 2000. The 2000 IEEE Asia-Pacific Conference*, April 2000 pp. 654-657.
- [13] Huei-Yan, Jun-Chau Chien and Liang-Hung Lu, "A 10-Gb/s Inductorless CMOS Limiting Amplifier With Third-Order Interleaving Active Feedback," *IEEE J. Solid-State Circuits*, vol. 42, no. 5, pp. 1111-1120, May 2007.
- [14] S. Galal and B. Razavi, "10-Gb/s limiting amplifier and laser/modulator driver in 0.18 um CMOS technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2138-2146, December 2003.
- [15] Chia-Hsin Wu, Jieh-Wei Liao, and Shen-Juan Liu, "A 1V 4.2mW Fully Integrated 2.5Gb/s CMOS Limiting Amplifier using Folded Active Inductors," *Proceedings of 2004 IEEE International Symposium on Circuits and Systems*, May 2004.

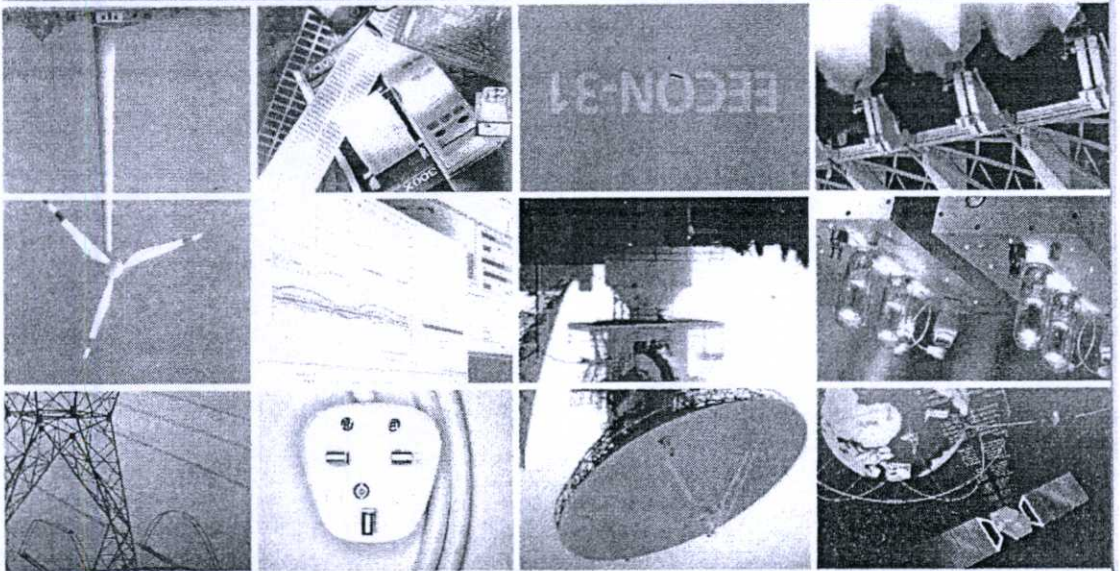


atthajunay
suaolay

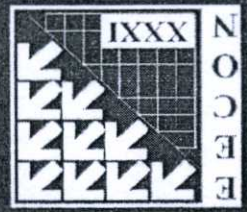
29 - 31 qarru 2551

ru saiwadad nawn saasn luud alh durnanunay

- iwharad (PW)
- oiamsonadhad (PE)
- nawnawad iia:imilidatrsayun (CP)
- iwharad (CM)
- oiamsonad (EL)
- nawnawad iia:imilidatrsayun (DS)
- suanayun iiamsonay (CI)
- iwharad (PH)
- suanayun iia:imilidatrsayun (GN)



การประชุมวิชาการ
31st Electrical Engineering Conference (EECON-31)



วงจรรขยายที่ปรับอัตราขยายแบบซีมอสมที่มีแบนด์วิทกว้างทำงานที่แรงดันไฟเลี้ยงต่ำและใช้กำลังงานต่ำ

A Low-power Low-voltage Wideband CMOS Variable Gain Amplifier

ศิวพร ศักดิ์พรหม¹ อภินันท์ ธนชานานา¹ และ ภาณุมาศ คำสัตย์²

¹คณะวิศวกรรมศาสตร์ และวิทยาลัยวิศวกรรมศาสตร์และเทคโนโลยีการบันทึกข้อมูลและการประยุกต์ใช้งาน

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เขตลาดกระบัง กรุงเทพฯ 10520

²ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยขอนแก่น อ. หาดใหญ่ จ. สงขลา 90112

E-mail: yungying_ee@yahoo.com, ktapirun@kmitl.ac.th, phanumas.k@pku.ac.th

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรรขยายที่ปรับอัตราขยายโดยที่ทำงานที่แรงดันและกินกำลังงานต่ำด้วยเทคโนโลยีซีมอส 0.18 μ m วงจรนี้นำเสนอการใช้เทคนิคการป้อนกลับแบบแอคทีฟเพื่อใช้ช่วงแบนด์วิทกว้าง ผลการจำลองการทำงานแสดงแบนด์วิทประมาณ 1.8 จิกกะเฮิร์ตซ์ ที่อัตราขยาย 14.25 เดซิเบล ภายใต้การทำงานที่แรงดันไฟเลี้ยงต่ำกว่า 1 โวลต์ และกินกำลังงานน้อยกว่า 850 ไมโครวัตต์

คำสำคัญ: วงจรรขยายที่ปรับอัตราขยาย, ป้อนกลับแบบแอคทีฟ, ช่วงแบนด์วิทกว้าง, แรงดันไฟเลี้ยงต่ำ, กินกำลังงานน้อย

Abstract

This paper describes the design and realization of a low-voltage low-power RF variable gain amplifier in a 0.18 μ m CMOS technology. The proposed amplifier employs an active negative feedback technique to achieve wide bandwidth operation. Simulation results showed that the proposed circuit could achieve 1.8-GHz bandwidth with 14.25-dB gain under a single 1-V power supply voltage, while draining current less than 850 μ A.

Keywords: low-voltage, low-power RF, variable gain amplifier, active negative feedback, wide bandwidth

1. คำนำ

ปัจจุบันความสามารถในการจัดเก็บข้อมูลและอัตราการถ่ายโอนข้อมูลในระบบสารัตถิ์กมีการพัฒนาด้วยความเร็วที่สูงขึ้นอย่างต่อเนื่อง [1]-[3] ส่งผลให้คุณสมบัติของวงจรรภาคหน้าของช่องอานสัญญาณสารัตถิ์ก อันได้แก่ วงจรรขยายภาคแรก (Preamplifier: PA) วงจรรขยายที่ปรับอัตราขยาย (Variable gain amplifier: VGA) และวงจรรกรองสัญญาณ เป็นชิ้น ท้างานที่ควมนี้สูงชัน บทความนี้นำเสนอวงจรรขยายที่ปรับอัตราขยายหรือเรียกว่าวงจรร VGA ซึ่งเป็นวงจรรขยายสัญญาณที่มีความสำคัญสำหรับวงจรรภาคหน้าของช่องอานสัญญาณสารัตถิ์ก โดยในปัจจุบันมีความต้องการให้วงจรรขยายสัญญาณทำงานที่ระดับความถี่ จิกกะเฮิร์ตซ์ เพื่อขยายสัญญาณแรงดันอินพุตที่อานได้จาก

หัวอานของสารัตถิ์กซึ่งมีขนาดสัญญาณเล็กมาก ดังนั้นจึงเป็นสิ่งที่น่าสนใจสำหรับการออกแบบวงจรรดังกล่าว

วงจรร VGA มักเป็นอุปป์อกกับในวงจรรขยายสัญญาณอัตโนมัติ (Automatic gain control: AGC) ของช่องอานสัญญาณสารัตถิ์ก ซึ่งช่วยให้ช่วงพิสัยพลวัตของระบบมีค่าที่เหมาะสมและให้สัญญาณแรงดันเอาท์พุตคงที่แม้ว่าสัญญาณอินพุตจะเปลี่ยนแปลงตามตัวจับสัญญาณและวงจรรกรองสัญญาณของช่องอานสัญญาณก็ตาม เมื่อไม่นานมานี้วงจรร VGA ที่มีแบนด์วิทกว้างถูกนำเสนอด้วยการใช้เทคโนโลยีซีมอสที่ทำงานใน deep submicron เพื่อควบคุมควมอัตรขยายได้ด้วยวิธีการปรับค่าทรานส์คอนดักแตนซ์หรือควมต้านทาน [4]-[8] ของวงจรรเป็นต้น จะพบเห็นการออกแบบวงจรรในลักษณะนี้จากหลายเทคนิคเช่นเทคนิคของกิลเบิร์ต (Gilbert cell) [9] เซอร์วูโฮเปอร์ (Cherry-hooper) [10]-[11] เทคนิคการป้อนกลับและ inductive peaking [12]-[13] เป็นต้น สำหรับบทความนี้นำเสนอการออกแบบวงจรร VGA ด้วยเทคนิคการป้อนกลับแบบแอคทีฟ (Active negative feedback) เนื่องจากเทคนิคนี้ช่วยเพิ่มแบนด์วิทให้กับวงจรรและให้ช่วงปรับอัตราขยายกว้าง โดยจำลองการทำงานของวงจรรด้วยเทคโนโลยีซีมอส 0.18 μ m และแบ่งหัวข้อในการนำเสนอออกเป็น 4 ส่วนหลักๆ ดังนี้ ส่วนที่ 1 กล่าวถึงโครงสร้างของการป้อนกลับแบบแอคทีฟซึ่งเป็นโครงสร้างที่ใช้ในการออกแบบวงจรรที่นำเสนอนี้ ส่วนที่ 2 อธิบายหลักการท้างานและการออกแบบวงจรร ส่วนที่ 3 แสดงผลการจำลองการท้างานของวงจรรที่ออกแบบและส่วนสุดท้ายกล่าวสรุปเนื้อหาของบทความนี้

2. โครงสร้างวงจรรขยายที่ปรับอัตราขยาย

รูปที่ 1 แสดงโครงสร้างของการป้อนกลับแบบแอคทีฟ ซึ่งเป็นโครงสร้างที่ช่วยเพิ่มแบนด์วิทของวงจรร โครงสร้างดังกล่าวประกอบไปด้วยส่วนของทรานส์คอนดักแตนซ์ G_{m1} ต่อкасцепกับทรานส์คอนดักแตนซ์ของ G_{m2} ซึ่งทรานส์คอนดักแตนซ์ G_{m2} มีทรานส์คอนดักแตนซ์ G_{m3} ต่อป้อนกลับแบบลบจากเอาท์พุตมายังอินพุตของทรานส์คอนดักแตนซ์ G_{m1} พึ่งที่รันถ่ายโอนของโครงสร้างดังกล่าวแสดงดังนี้

$$\frac{V_{out}}{V_{in}} = \frac{A_w \omega_s^2}{s^2 + 2\zeta\omega_s s + \omega_s^2} \quad (1)$$

$$A_w = \frac{G_{m1} G_{m2} R_{L1} R_{L2}}{1 + G_{m1} G_{m2} R_{L1} R_{L2}} \quad (2)$$

$$\omega_s^2 = \frac{1 + G_{m1} G_{m2} R_{L1} R_{L2}}{R_{L1} R_{L2} C_1 C_2} \quad (3)$$

$$\zeta = \frac{1}{2} \frac{R_{L1} C_1 + R_{L2} C_2}{\sqrt{R_{L1} R_{L2} C_1 C_2 (1 + G_{m1} G_{m2} R_{L1} R_{L2})}} \quad (4)$$

พิจารณาความสัมพันธ์ระหว่างอัตราขยายและแบนด์วิธจะให้ความสัมพันธ์ดังนี้คือ

$$\omega_s = \sqrt{\frac{1 + G_{m1} G_{m2}}{A_w C_1 C_2}} \quad (5)$$

$$A_w \omega_s^2 = \frac{G_{m1} G_{m2}}{C_1 C_2} \quad (6)$$

จากสมการ (6) จะให้ผลคูณระหว่างอัตราขยายและแบนด์วิธซึ่งเรียกว่า gain bandwidth product : GBW ดังนี้

$$A_w \omega_s = \frac{G_{m1} G_{m2}}{C_1 C_2} \frac{1}{\omega_s} \quad (7)$$

และที่แบนด์วิธ -3dB ให้ $\omega_{-3dB} = 2\pi f_{-3dB} = \omega_s / (2\pi)$ ดังนั้นสามารถวิเคราะห์ผลคูณของค่าที่ได้จึงสมการ

$$A_w \omega_{-3dB} = \frac{G_{m1} G_{m2}}{C_1 C_2} \frac{1}{\omega_{-3dB}} \quad (8)$$

ถ้ากำหนดให้ $G_{m1}/C_1 \approx G_{m2}/C_2 \approx 2\pi f_T$ สามารถเขียนสมการ (8) ได้เป็นสมการ (9)

$$A_w \omega_{-3dB} = f_T \frac{f_T}{f_{-3dB}} \quad (9)$$

จากสมการที่ (9) แสดงให้เห็นว่า โครงสร้างดังกล่าวนี้ สามารถเพิ่มอุปนิสัยของผลคูณระหว่างอัตราขยายและแบนด์วิธ (Close-loop gain bandwidth product : GBW) ได้จากค่า f_T

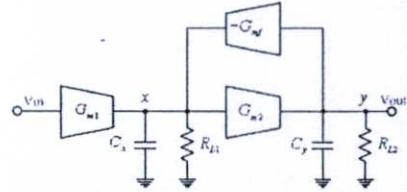
3. วงจร VGA ที่น้อยชิ้น

จากโครงสร้างรูปที่ 1 นำมาออกแบบวงจรดังแสดงในรูปที่ 2 และประมาณค่าพารามิเตอร์ในวงจรที่ออกแบบเปรียบเทียบกับโครงสร้างรูปที่ 1 ได้ว่า ทรานซิสเตอร์มีค่าเกน G_{m1} ประมาณด้วย g_{m1} ของทรานซิสเตอร์ M_{1a}, M_{1b} ทรานซิสเตอร์มีค่าเกน G_{m2} ประมาณด้วย g_{m2} ของทรานซิสเตอร์ M_{2a}, M_{2b} และทรานซิสเตอร์มีค่าเกน G_{m3} ซึ่งใช้เทคนิคของร่วม (Source-degenerated) ระหว่างทรานซิสเตอร์ M_{3a}, M_{3b} และ R_x ดังนั้น $G_{m3} = g_{m3} / (1 + g_{m3} R_x)$ เมื่อ g_{m3} คือทรานซิสเตอร์มีค่าเกนของ M_{3a}, M_{3b} อัตราขยายแอมพลิจูดของวงจรนี้สามารถเปลี่ยนแปลงด้วย R_x และวงจรจะมีความเป็นเชิงเส้นสูงเมื่อ R_x มีค่าสูงกว่า $1/g_{m3}$ ส่วนความต้านทานโหลด $R_{L1} = 1/g_{m2}$ และ $R_{L2} = R_L$ สำหรับกับประจุเสมือนของวงจรรวม C_1 และ C_2 ของโหนด x และ y มีค่าประมาณ $C_x = C_{p2}$ และ $C_y = C_{p2} + C_L$ ตามลำดับ ดังนั้นนำค่าพารามิเตอร์ต่างๆ แทนค่าในสมการ (2) (3) และ (4) ซึ่งจะได้อธิบาย

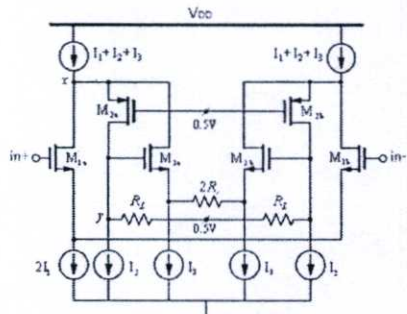
$$A_w = \frac{g_{m1} R_L (1 + g_{m3} R_x)}{1 + g_{m3} (R_x + R_L)} \quad (10)$$

$$\omega_s^2 = \frac{g_{m2} + g_{m3} g_{m1} (R_x + R_L)}{(1 + g_{m3} R_x) \cdot R_L (C_{p2} + C_L)} \quad (11)$$

$$\zeta = \frac{1}{2} \frac{C_{p2} + R_L g_{m3} (C_{p2} + C_L)}{\sqrt{R_L (C_{p2} + C_L) \frac{C_{p2} + C_L}{g_{m2}} \left(1 + \frac{g_{m3}}{1 + g_{m3} R_x} R_L\right)}} \quad (12)$$



รูปที่ 1 โครงสร้างการป้อนกลับแบบเอเกท์



รูปที่ 2 วงจร VGA ที่น้อยชิ้น

4. ผลการจำลองการทำงานของวงจร

วงจร VGA ที่นำเสนอนี้ถูกจำลองการทำงานเพื่อตรวจสอบคุณสมบัติของวงจรด้วยโปรแกรม Cadence Spectre ในเทคโนโลยีซิลิคอน 0.18um ภายใต้การทำงานที่แรงดันไฟเลี้ยง 1 โวลต์และแรงดันขั้วเริ่มที่สำหรับ NMOS และ PMOS มีค่า 0.24 โวลต์ และ -0.25 โวลต์ ตามลำดับ สำหรับค่าพารามิเตอร์ที่ใช้ในการออกแบบวงจรแสดงดังตารางที่ 1

ผลการจำลองการทำงานของวงจร กำหนดงานที่สูงสุดคือทั้งหมดที่วัดมีค่าที่น้อยกว่า 850 ไมโครวัตต์ ขณะที่เลือก R_x ประมาณ 1 กิโลโห์ม เพื่อให้ได้แบนด์วิธ 1.8 จิกเฮิรตซ์ และอัตราขยาย 14.25 dB ซึ่งแสดงผลตอบแทนของอัตราขยายของวงจรที่ออกแบบดังรูปที่ 3 โดยเปลี่ยนแปลงค่า R_x ตั้งแต่ 10 โหห์มถึง 1 กิโลโห์มพบว่าอัตราขยายและแบนด์วิธของวงจรจะเป็นฟังก์ชันผกผันกัน (Trade-off) และช่วงพิสัยของการปรับ R_x (Tuning Range) มีค่าประมาณ 10 dB นอกจากนี้ได้จำลองการทำงานเพื่อวัดค่าความผิดเพี้ยนของสัญญาณรวม (Total harmonic distortion: THD) ซึ่งใช้ฟังก์ชัน periodic steady state simulation (PSS) ของโปรแกรม Cadence Spectre ในการวัด THD ให้ผลดังรูปที่ 4 ซึ่งแสดงรูปคลื่น

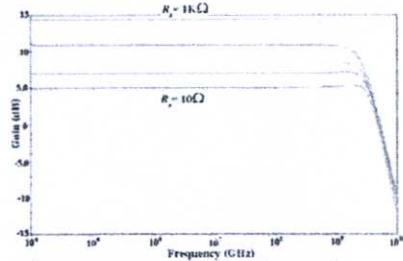
ของอินพุตโดยวัดเปรียบเทียบกับรบกวนอาร์โมนิคที่ 1 และอาร์โมนิคที่ 3 ที่ความถี่ 400 MHz (Single-tone test) และอัตราขยาย 14.25 dB จะให้ค่า THD ที่แตกต่างกันประมาณ 40.27 dB สำหรับรูปที่ 5 แสดงค่า THD ที่ขนาดอินพุตแตกต่างกัน โดยวัดที่อัตราขยาย 14.25 dB พบว่าที่ 1 โวลต์เซ็นเซอร์ของ THD สัญญาณเอาต์พุตสามารถวัดได้สูงสุดที่ 170 มิลลิโวลต์หรือประมาณ 17 โวลต์เซ็นเซอร์มิลลิโวลต์ นอกจากรูปนี้ได้ทำการวัดค่าสัญญาณรบกวนที่อินพุตและเอาต์พุตโดยอินพุตที่กรวดในช่วงแบนด์วิดท์ตั้งแต่ 1 เฮิร์ต ถึง 2 จิกกะเฮิร์ต ได้ค่าสัญญาณรบกวนที่อินพุต (Input-referred-noise) ทั้งหมดประมาณ 114 ไมโครโวลต์ และหาอัตราส่วนของสัญญาณต่อสัญญาณรบกวนอินพุต (Signal-to-Noise ratio : SNR) โดยวัดที่ 1 โวลต์เซ็นเซอร์ของ THD ซึ่งมีขนาดอินพุตประมาณ 32 มิลลิโวลต์ ดังนั้นค่า SNR ได้ประมาณ 43 dB สำหรับสัญญาณรบกวนที่เอาต์พุตอินพุตที่กรวดรวมทั้งหมดตั้งแต่ช่วง 1 เฮิร์ต ถึง 2 จิกกะเฮิร์ตมีค่าประมาณ 460 μV_{rms}

เปรียบเทียบคุณสมบัติของวงจรที่ออกแบบกับงานที่เกี่ยวข้องด้วยการเปรียบเทียบค่า figure-of-merit (FOM) ซึ่งแสดงถึงความสัมพันธ์ดังสมการ (13) [15]

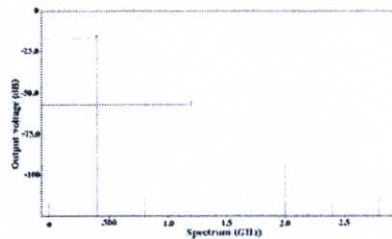
$$FOM = 20 \log \left(\frac{Gain \cdot Bandwidth(GHz)}{Power(mW)} \right) \quad (13)$$

$$= Gain(dB) + 20 \log \left(\frac{Bandwidth(GHz)}{Power(mW)} \right)$$

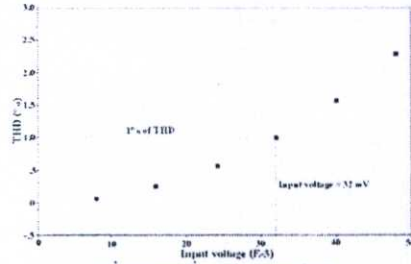
จากสมการ (13) FOM แสดงความสัมพันธ์ของอัตราขยาย แบนด์วิดท์ และกำลังงานที่สูญเสีย ดังนั้นในการเปรียบเทียบคุณสมบัติของวงจรด้วยค่า FOM วงจรควมมีคุณสมบัติที่ดีกว่านั้นคือ วงจรนั้นต้องให้ค่า FOM ที่สูงกว่า ซึ่งแสดงค่า FOM และคุณสมบัติต่างๆ ของวงจรที่นำเสนอกับงานอื่นที่เกี่ยวข้องดังแสดงในตารางที่ 2



รูปที่ 3 ผลตอบสนองทางความถี่ของวงจรที่ออกแบบเมื่อ R_L 10 Ω 100 Ω 200 Ω 400 Ω 600 Ω 800 Ω 1K Ω



รูปที่ 4 สเปกตรัมของอินพุต โดยวัดที่ความถี่อินพุต 400 MHz และอัตราขยาย 14.25 dB



รูปที่ 5 ค่า THD ที่ขนาดอินพุตแตกต่างกัน

ตารางที่ 1 ค่าพารามิเตอร์ที่ใช้ในการออกแบบวงจรที่นำเสนอภายใต้การทำงานที่มรกดัไฟฟ้าเสียง 1 โวลต์

Design parameters	Values
$M_{in} - M_n$	80 μm / 0.24 μm
$M_{in} - M_{in}$	30 μm / 0.24 μm
$M_{in} - M_n$	40 μm / 0.24 μm
I_1, I_2 และ I_3	25 μA , 150 μA และ 250 μA
R_L	1k Ω

ตารางที่ 2 สรุปคุณสมบัติต่างๆ โดยเปรียบเทียบระหว่างงานที่นำเสนอ กับงานที่เกี่ยวข้อง

	This work	[13]	[14]
Process	CMOS 0.18- μm	CMOS 0.18- μm	CMOS 0.18- μm
Supply voltage	1V	1.8V	1.8V
Power consumption	850 μW	189mW	675mW
DC gain (differential)	14.25dB	42dB	50dB
Bandwidth (-3dB)	1.8GHz	9GHz	9.4GHz
SNR (at 400 MHz)	43 dB	-	-
FOM	20.77	15.56	12.87

5. สรุป

บทความนี้นำเสนอวงจรขยายที่ปรับอัตราขยายโดยใช้โครงสร้างของกรุปบิโอดกับแบบแอกทิฟ สิ่งที่น่าสนใจของการออกแบบวงจรนี้คือ ให้แบนด์วิดท์สูงกว่า 1.8 จิกกะเฮิร์ตและช่วงอัตราขยายกว้าง โดยมีอัตราขยายสูงสุดคือ 14.25 dB ภายใต้การทำงานที่มรกดัไฟฟ้าเสียง 1 โวลต์และกินกำลังงานต่ำกว่า 850 ไมโครวัตต์ ซึ่งตรวจสอบคุณสมบัติของวงจรโดยจำลองการทำงานของวงจรด้วยเทคโนโลยีซีมอส 0.18 μm นอกจากนี้ยังเปรียบเทียบคุณสมบัติของวงจรที่นำเสนอกับบทความอื่นที่เกี่ยวข้อง ซึ่งมีการเปรียบเทียบด้วยค่า FOM พบว่าวงจรที่นำเสนอให้ค่า FOM ที่สูงกว่าอีกด้วย

6. กิตติกรรมประกาศ

ขอขอบคุณศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (National Electronics and Computer Technology Center, Thailand) และวิทยาลัยวิศวกรรมศาสตร์และเทคโนโลยีการบันทึกข้อมูลและการประยุกต์ใช้งาน สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ศูนย์ประสานงานนักวิจัยทุนรัฐบาลทางด้านวิทยาศาสตร์และเทคโนโลยี (ศนวท.) สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ กระทรวงวิทยาศาสตร์และเทคโนโลยี ที่ให้การสนับสนุนทุนวิจัยและอุปกรณ์

เอกสารอ้างอิง

- [1] P. Pai, A. Brewster, and A. Abidi, "A 160-MHz analog front-end IC for EPR4 PRML magnetic storage read channels," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1802-1816, Nov. 1996.
- [2] Daniel Sun, Andrea Zotola and Asad A. Abidi, "A 1 GHz CMOS Analog Front-End for a Generalized PRML Read Channel," *IEEE J. Solid-State Circuits*, vol. 40, no. 11, pp. 2275-2285, Nov. 2005.
- [3] P. Pai, A. Brewster and A. Abidi, "A 160-MHz analog front-end IC for EPR4 PRML magnetic storage read channels," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1802-1816, November 1996.
- [4] Q.-H. Duong, Q. Le, C.-W. Kim and S.-G. Lee, "A 95dB-Linear Low-Power Variable Gain Amplifier," *IEEE Trans. on Circuits and Systems-I: Regular Papers*, vol. 53, no. 8, August 2006.
- [5] W. M. C. Sansen and R. G. Meyer, "Distortion in bipolar transistor variable-gain amplifiers," *IEEE J. Solid-State Circuits*, vol. SC-8, pp. 275-282, August 1973.
- [6] G. S. and C. J. Persico, "High dynamic range variable-gain amplifier for CDMA wireless applications," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp.374-375.
- [7] B. Gilbert, "The multi-tanh principle: A tutorial overview," *IEEE J. Solid-State Circuits*, vol. 33, pp.2-17, Jan. 1998.
- [8] P. J. G. van Lieshout and R. J. van de Plassche, "A monolithic wideband variable-gain amplifier with a high gain range and low distortion," in *ISSCC Dig. Tech. Papers*, Feb. 1997, pp.358-359.
- [9] Chia-Hsin Wu, Chang-Shun Liu and Shen-luan Liu, "A 2 GHz CMOS Variable-Gain Amplifier with 50dB Linear-in-Magnitude Controlled Gain Range for 10GBase-LX4 Ethernet," *IEEE International Solid-State Circuit Conference*, February 2004.
- [10] Holdenried, C., M.W. Lynch and J.W. Haslett, "Modified CMOS Cherry-Hooper Amplifiers with Source-Follower Feedback in a 0.35um Technology", presented at the *European Solid State Circuits Conference, Portugal, September 2003*, pp. 553-556.
- [11] Abbott, J. Plett, C. Rogers, J.W.M. "A 15 GHz, 1.8V, variable-gain, modified Cherry-Hooper amplifier," *Custom Integrated Circuits Conference, 2005. Proceedings of the IEEE 2005*, Sept. 2005 pp. 645- 648.
- [12] A. Thanachayanont, "A 1.5-V High-Q CMOS Active Inductor for IF/RF Wireless Applications," *Circuits and Systems, 2000. IEEE APCCAS 2000. The 2000 IEEE Asia-Pacific Conference*, April 2000 pp. 654-657.
- [13] Hwei-Yan, Jun-Chau Chien and Liang-Hung Lu. "A 10-Gb/s Inductorless CMOS Limiting Amplifier With Third-Order Interleaving Active Feedback," *IEEE J.Solid-State Circuits*, vol. 42, no. 5, pp. 1111-1120, May 2007.
- [14] S. Galal and B. Razavi, "10-Gb/s limiting amplifier and laser/modulator driver in 0.18 um CMOS technology," *IEEE J.Solid-State Circuits*, vol. 38, no. 12, pp. 2138-2146, December 2003.
- [15] Chia-Hsin Wu, Jieh-Wei Liao, and Shen-luan Liu, "A 1V 4.2mW Fully Integrated 2.5Gb/s CMOS Limiting Amplifier using Folded Active Inductors," *Proceedings of 2004 IEEE International Symposium on Circuits and Systems*, May 2004.

ศิริพร สักดิ์พรหม สำเร็จการศึกษาระดับปริญญาตรี สาขาวิศวกรรมไฟฟ้า จากมหาวิทยาลัยขอนแก่น ในปี พ.ศ. 2548 ปัจจุบันกำลังศึกษาในหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

อภิรักษ์ ธนขานนท์ สำเร็จการศึกษาระดับปริญญาโทและปริญญาเอก สาขาวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์จากอินทรีเรียดคอมเมจ มหาวิทยาลัยขอนแก่น ในปี พ.ศ. 2538 และ 2542 ตามลำดับ ปัจจุบันดำรงตำแหน่งรองศาสตราจารย์ประจำภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ภาณุมาศ ถ้ายัตย์ สำเร็จการศึกษาระดับปริญญาโทและปริญญาเอก สาขาวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์จากอินทรีเรียดคอมเมจ มหาวิทยาลัยขอนแก่น ในปี พ.ศ. 2545 ปัจจุบันดำรงตำแหน่งผู้ช่วยศาสตราจารย์ประจำภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยขอนแก่น

ประวัติผู้เขียน



นางสาวศิราพร ศักดิ์พรหม เกิดเมื่อวันที่ 10 มีนาคม ที่ตำบลท่าพญา อำเภอปากพนัง จังหวัดนครศรีธรรมราช

ประวัติการศึกษา:

ปี 2544 มัธยมศึกษา ร.ร. ปากพนัง อ. ปากพนัง จ. นครศรีธรรมราช

ปี 2548 วศ.บ.สาขาวิศวกรรมไฟฟ้า แขนงการสื่อสาร

มหาวิทยาลัยสงขลานครินทร์

ประสบการณ์:

ปี 2548 ทำงานตำแหน่ง Design Engineering บริษัทพานาโซนิค ต.บางบ่อ จ. สมุทรปราการ

ปี 2549 ผู้ช่วยนักวิจัยในโครงการ 3G

ปัจจุบัน (2552) เป็นนักศึกษาปริญญาเอก สาขาวิศวกรรมไฟฟ้า แขนงอิเล็กทรอนิกส์