การออกแบบวงจรดิจิตอลซีมอสโดยใช้เทคนิคการกู้ประจุ

CMOS DIGITAL CIRCUIT DESIGN USING CHARGE RECOVERY TECHNIQUES

รุ่งเรือง แสงประทีป
RUNGRUANG SANGPRATHEEP

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2552
KMITL-2009-EN-M-040-075

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรดิจิตอลซีมอสโดยใช้เทคนิคการกู้ประจุ

CMOS DIGITAL CIRCUIT DESIGN USING CHARGE RECOVERY TECHNIQUES

รุ่งเรือง แสงประทีป

RUNGRUANG SANGPRATHEEP

เลขหมู่.....
เลขทะเบียน 105062
วัน.เดือน.ปี 12 พ.ย. 2552

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิคส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2552

KMITL-2009-EN-M-040-075

CMOS DIGITAL CIRCUIT DESIGN USING CHARGE RECOVERY TECHNIQUES

RUNGRUANG SANGPRATHEEP

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

MASTER OF ENGINEERING IN ELECTRONIC ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2009

KMITL-2009-EN-M-040-075

COPYRIGHT 2009

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรดิจิตอลซีมอสโดยใช้เทคนิคการกู้ประจุ

Thesis Title CMOS Digital Circuit Design Using Charge Recovery Techniques

นักศึกษา นายรุ่งเรือง แสงประทีป

รหัสประจำตัว 47060409

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์

อาจารย์ที่ปรึกษาวิทยานิพนธ์ ดร.กสิน วิเชียรชม

หมายเลขวิทยานิพนธ์ KMITL-2009-EN-M-040-075

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.สมศักดิ์	ชุมช่วย	
รศ.ดร.อภินันท์	ธนชยานนท์	
ผศ.ดร.จิตรเกษม	งามนิล	
รศ.ดร.วรากร	เกษมสุวรรณ์	
ดร.กสิน	วิเชียรชม	

วัน / เดือน/ ปี ที่สอบ วันพุธที่ 20 พฤษภาคม พ.ศ. 2552 เวลา 09.30-11.30 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 1

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 20 พฤษภาคม พ.ศ. 2552

หัวข้อวิทยานิพนธ์	การออกแบบวงจรดิจิตอลซีมอสโดยใช้เทคนิคการกู้ประจุ
นักศึกษา	นายรุ่งเรือง แสงประทีป
รหัสประจำตัว	47060409
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิคส์
พ.ศ.	2552
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ดร.กสิน วิเชียรชม

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรดิจิตอลซีมอสโดยใช้เทคนิคการกู้ประจุ สามารถลดกำลังงานสูญเสียได้อย่างมีนัยสำคัญเมื่อเทียบกับวงจรที่ใช้วิธีการออกแบบแบบดั้งเดิม เทคนิคที่นำเสนอมีอยู่สองเทคนิค แต่ละเทคนิคเหมาะสมกับวงจรแต่ละแบบดังนี้

เทคนิคชาร์จรีไซคลิงใช้กับวงจรไดนามิคที่ต้องใช้สัญญาณนาฬิกาควบคุมการทำงาน เช่น ไดนามิครีจีสเตอร์ ไดนามิคลอจิก โดยมีหลักการคือ การนำเอาประจุที่เก็บไว้ที่โหนดเอาต์พุต (inverting และ non-inverting) ของลอจิกแบบดิฟเฟอเรนเชียล มาทำการแบ่งประจุทำให้ที่โหนดเอาต์พุตมีค่าเท่ากับ Vdd/2 แทนการพรีชาร์จให้มีค่า Vdd ด้วยแหล่งจ่ายภายนอก ส่วนในช่วงอีวาลูเอชั่นที่โหนดเอาต์พุตด้านหนึ่งจะถูกเปลี่ยนค่าเป็น Vdd โดยการเติมประจุเพิ่มอีกร้อยละ 50 จากแหล่งจ่ายภายนอก ส่วนเอาต์พุตโหนดอีกด้านหนึ่งจะถูกคายประจุลงกราวด์ จากหลักการทำงานดังกล่าวทำให้สามารถลดการสิ้นเปลืองกำลังงานในแต่ละรอบการทำงานลงได้ร้อยละ 50 และวงจรสามารถทำงานได้เร็วขึ้น เมื่อเทียบกับวงจรไดนามิกลอจิกที่ทำงานแบบเดิม จากผลการทดสอบวงจรสามารถลดการสิ้นเปลืองกำลังงานลงร้อยละ 30 เปรียบเทียบกับวงจร SAFF

เทคนิคแอเดียแบติกใช้กับวงจรคอมบิเนชั่นมีหลักการคือใช้แหล่งจ่ายไฟแบบกระแสสลับแทนแหล่งจ่ายแบบกระแสตรง ทำให้ศักดาไฟฟ้าคร่อมเอาต์พุตโหนดเปลี่ยนแปลงอย่างช้าๆ ส่งผลให้ศักดาที่ตกคร่อมแชนแนลของมอสเฟตขณะทำงานมีค่าต่ำ นอกจากนี้ประจุที่เก็บไว้ในโหลดตัวเก็บประจุที่โหนดเอาต์พุตสามารถไหลย้อนกลับไปยังแหล่งจ่าย และถูกนำมาใช้งานในรอบถัดไป ในวิทยานิพนธ์นี้ได้นำวงจรแอเดียแบติกลอจิกแบบ 2N-2N2P มาปรับปรุง ทำให้ประจุสามารถไหลย้อนกลับจากโหนดเอาต์พุตไปยังแหล่งจ่ายโดยไม่มีประจุตกค้างที่โหนดเอาต์พุต ซึ่งวิธีการที่นำเสนอสามารถลดการสิ้นเปลืองกำลังงานได้ร้อยละ 14 เมื่อเปรียบเทียบกับวงจรแอเดียแบติกลอจิกแบบ 2N-2N2P

การทดสอบสมรรถนะของวงจรทั้งสองแบบจำลองการทำงานด้วยโปรแกรม Cadence Spectre ใช้เทคโนโลยีซีมอสขนาด 0.35 μm และออกแบบผังแผนภูมิรวมด้วยโปรแกรม Cadence Virtuoso

Thesis Title	CMOS Digital Circuit Design Using Charge Recovery Techniques
Student	Mr. Rungruang Sangpratheep
Student ID.	47060409
Degree	Master of Engineering
Program	Electronics Engineering
Year	2009
Thesis Advisor	Dr. Kasin Vichienchom

ABSTRACT

This thesis presents two design techniques for low power CMOS digital circuit. The techniques are developed further from existing techniques including the charge recovery technique and the adiabatic switching technique. Both techniques can reduce power dissipation of CMOS digital circuit significantly compared to the same circuit using conventional design.

The first technique is based on charge recycling methology. It is suitable for synchronous digital circuits that require clocking such as dynamic logics and dynamic registers. In this technique, after evaluation period the non-inverting and inverting outputs of a differential logic circuit are equalized to Vdd/2 instead of being precharged to Vdd. Therefore in the next evaluation phase one of the outputs will draw only a half of the current to charge on internal node up to Vdd while the other output will dump only a half of the charge to ground. Theoritically, the circuit operates faster and can save power as much as 50% compared to conventional dynamic logic. Simulation results show a power saving of 30% compared to SAFF.

The second technique is based on the adiabatic switching. It is applied to the static combination logic which uses ac power supply instead of constant power supply. Due to its sinusoidal power supply, the voltage across load capacitance at the output is slowly changed thus maintaining small voltage across active device and allowing charge stored in load capacitor to return to the supply. In this thesis a conventional adiabatic 2N-2N2P structure is modified to improve its energy efficiency by completely returning charge at output node to power supply. The new structure archives energy saving as much as 14% compared to its original.

Both proposed techniques have been verified using Cadence Spectre with 0.35μm CMOS parameter. The layouts are performed by using Cadence Virtuoso.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้อย่างดี ด้วยคำแนะนำ และคำปรึกษาจาก ดร. กสิน วิเชียรชม ซึ่งเป็นอาจารย์ที่ปรึกษา ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์และขอขอบพระคุณเป็นอย่างสูง

ขอกราบพระคุณคณาจารย์ภาควิชาวิศวกรรมอิเล็กทรอนิคส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุก ๆ ท่านที่ได้ประสิทธิ์ประสาทวิชาให้กับข้าพเจ้า

ขอขอบคุณห้องปฏิบัติการวิจัย King Mongkut's Integrated Circuit Lab (KMICL) ที่ได้สนับ สนุนเครื่องมือตลอดจนข้อมูล และหนังสือต่างๆที่ใช้ในการทำวิจัย

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ในภาควิชาวิศวกรรมอิเล็กทรอนิคส์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุกคนที่ให้คำแนะนำต่างๆ และคอยให้กำลังใจเสมอมา

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา และครอบครัวของข้าพเจ้าที่เป็นกำลังใจ และให้การสนับสนุนในทุกเรื่องๆ ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

คุณค่าและประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

รุ่งเรือง แสงประทีป

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ III

กิตติกรรมประกาศ IV

สารบัญ V

สารบัญตาราง VIII

สารบัญรูป IX

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา 1

1.3 สมมติฐานของการศึกษา 1

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย 2

1.5 ขอบเขตการวิจัย 2

1.6 ขั้นตอนของการศึกษา 2

บทที่ 2 การสิ้นเปลืองกำลังงานในวงจรดิจิตอลซีมอส 4

2.1 บทนำ 4

2.2 การสิ้นเปลืองกำลังงานแบบไดนามิก 5

2.2.1 การสิ้นเปลืองกำลังงานที่เกิดจากการสวิทซ์ 5

2.2.2 การสิ้นเปลืองกำลังงานที่เกิดจากลัดวงจร 8

2.3 การสิ้นเปลืองกำลังงานแบบสแตติก 10

2.3.1 การสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่ว 10

2.3.2 การสิ้นเปลืองกำลังงานที่เกิดจากสัญญาณอินพุตแบบแกว่งต่ำ 15

บทที่ 3 เทคนิคที่ใช้ลดกำลังงานในวงจรดิจิตอลซีมอส 18

3.1 บทนำ 18

3.2 วิธีการทางวงจรเพื่อลดการสิ้นเปลืองกำลังงานแบบไดนามิก 18

3.2.1 การลดค่าศักดาของแหล่งจ่าย 19

3.2.2 การลดการเปลี่ยนแปลงค่าศักดาที่โหนดภายใน 23

3.2.3 การใช้วงจรที่ทำงานด้วยสัญญาณนาฬิกาแบบที่มีการแกว่งของสัญญาณต่ำ 23

3.3 วิธีการทางวงจรเพื่อลดการสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่ว 26

3.3.1 วิธีการควบคุมกระแสรั่วในโหมดสแตนบาย 27

สารบัญ(ต่อ)

หน้า

3.3.2 วงจรที่มีศักดาขีดเริ่มหลายค่า 28
3.3.3 วงจรแบบศักดาขีดเริ่มสองค่า 29
3.3.4 วงจรที่ค่าศักดาขีดเริ่มเปลี่ยนแปลงได้ 30
3.3.5 วงจรที่ค่าศักดาขีดเริ่มเปลี่ยนแปลงแบบไดนามิก 31
3.4 เทคนิคการกู้ประจุ (charge recovery techniques) 32
3.4.1 การใช้ประจุซ้ำ หรือชาร์จรีไซคลิ่ง (charge recycling) 32
3.4.2 วงจรแอเดียแบติกลอจิก (adiabatic logic) 40
บทที่ 4 วงจรลอจิกแบบแอเดียแบติกและวงจรฟลิปฟลอปแบบใช้ประจุซ้ำ 43
4.1 บทนำ 43
4.2 รีจิสเตอร์ 44
4.2.1 ฟลิปฟลอป 44
4.2.2 คุณสมบัติทางเวลาของฟลิปฟลอป 46
4.2.3 วงจรฟลิปฟลอปแบบไดนามิกที่น่าสนใจ 50
4.2.4 วงจรฟลิบฟลอบที่นำเสนอโดยใช้เทคนิคการใช้ประจุซ้ำ 56
4.2.5 การทำงานของวงจร 57
4.2.6 ผลการจำลองการทำงานของวงจร 58
4.3 วงจรลอจิกแบบคอมบิเนชั่น 62
4.3.1เทคนิคการกู้ประจุ 62
4.3.2 วงจรกำเนิดสัญญาณควบคุมวงจรลอจิก 64
4.3.3 วงจรแอเดียแบติกลอจิกที่เกี่ยวข้อง 67
4.3.4 วงจรลอจิกที่นำเสนอโดยใช้เทคนิคการกู้ประจุ 69
4.3.5 ผลการจำลองการทำงานของวงจร 70
4.3.6 วงจรบวกแบบดูตัวทดล่วงหน้า 72
4.4 สรุปผลการทดสอบ 76
บทที่ 5 การใช้งานวงจรลอจิกแบบแอเดียแบติกและวงจรฟลิปฟลอปที่ใช้เทคนิคการใช้ประจุซ้ำ .. 78
5.1 ระบบตัวอย่าง 78
5.2 สรุปผลการทดสอบ 81
บทที่ 6 ข้อเสนอแนะและแนวทางการทำวิจัย 82
6.1 บทส่งท้าย 82

สารบัญ(ต่อ)

หน้า

6.1.1 วงจรฟลิปฟลอป 82
6.1.2 วงจรลอจิก 82
บรรณานุกรม 83
ภาคผนวก 90
ภาคผนวก ก การคำนวณค่าเวลาที่ใช้ในการประจุและคายประจุของวงจรที่ใช้เทคนิคการใช้ประจุซ้ำ 91
ภาคผนวก ข การวิเคราะห์วงจรแอเดียแบติก 94
ภาคผนวก ค ผลงานวิจัยที่ได้รับการตีพิมพ์ 101
ประวัติผู้เขียน 112

สารบัญตาราง

ตารางที่ หน้า

2.1 เปรียบเทียบความชันของกระแสก่อนศักดาขีดเริ่ม (S_t) และกระแสรั่ว (I_{OFF}) ของNMOS ... 17

3.1 การเปรียบเทียบการสิ้นเปลืองกำลังงานของวงจรที่ใช้วิธีการชาร์จรีไซคลิ่งกับวงจร 39

4.1 คุณสมบัติทางเวลาของวงจรที่นำเสนอ 61

4.2 การสิ้นเปลืองกำลังงานของวงจรที่นำเสนอ 62

4.3 เปรียบเทียบการสิ้นเปลืองกำลังงานของวงจรบวก 74

4.4 เปรียบเทียบการสิ้นเปลืองกำลังงานของวงจรบวก 75

4.5 ผลการทดสอบเพื่อหาแบบจำลองของวงจรแอเดียแบติก CLA 75

4.6 เปรียบเทียบคุณสมบัติของวงจรที่นำเสนอกับวงจร 2N-2N2P 77

5.1 เปรียบเทียบการสิ้นเปลืองกำลังงานของระบบดิจิตอลตัวอย่าง 79

สารบัญรูป

รูปที่ หน้า

2.1 แสดงการสิ้นเปลืองกำลังงานแบบไดนามิกและแบบสแตติกของวงจรมอสเฟตที่เทคโนโลยีต่างๆ 5
2.2 การสิ้นเปลืองกำลังที่เกิดจากการสวิตช์ 6
2.3 กระแสลัดวงจรที่เกิดจากการต่อวงจรอินเวอร์เตอร์คาสเคท 9
2.4 การเปลี่ยนแปลงของกระแสลัดวงจรกับเอาต์พุตโหลด 9
2.5 สัญญาณเอาต์พุตของวงจรอินเวอร์เตอร์ซึ่งขับโหลดค่าต่างๆ 10
2.6 กระแสรั่วใน DSM technology 11
2.7 แผนภาพ lateral energy band จากขาซอสไปยังขาเดรน 12
2.8 กลไกการเจาะทะลุระหว่างซับสเตจไปยังเกทโพลีซิลิกอน 14
2.9 การสิ้นเปลืองกำลังงานแบบสแตติกของวงจรซีมอสอินเวอร์เตอร์ 15
3.1 การออกแบบระบบที่ใช้กำลังงานต่ำ 18
3.2 โครงสร้างของ MAC unit 21
3.3 การไบอัสวงจรด้วยแหล่งจ่ายสองค่า 22
3.4 แสดงการแบ่งวงจรเป็นสองส่วนและใช้แหล่งจ่ายสองค่า 23
3.5 การสิ้นเปลืองกำลังในส่วนต่างของวงจร VLSI 24
3.6 วงจรขับสัญญาณนาฬิกา 25
3.7 วงจรขับสัญญาณนาฬิกาแบบ half swing clocking 26
3.8 ความสัมพันธ์ของกำลังงาน และเวลาหน่วงกับค่าศักดาขีดเริ่ม 27
3.9 stack effect ที่เกิดขึ้นใน NAND gate 2 อินพุต 28
3.10 วงจรที่มีศักดาขีดเริ่มหลายค่า 29
3.11 แนวคิดของวงจรที่มีค่าศักดาขีดเริ่มสองค่า 30
3.12 เปรียบเทียบค่าเวลาหน่วงในเส้นทาง critical ของวงจรบวกขนาด 32 บิท 30
3.13 โครงสร้างทั่วไปของวงจรที่มีค่าศักดาขีดเริ่มเปลี่ยนแปลงได้ 31
3.14 วงจรอินเวอร์เตอร์ที่ศักดาขีดเริ่มเปลี่ยนแปลงแบบไดนามิก 32
3.15 วงจร CRDL NAND gate 33
3.16 กรณีการเกิด pre-evaluation 34
3.17 วงจร HRDL NAND gate 35
3.18 วงจร D-HRDL NAND gate 36

สาบัญรูป(ต่อ)

รูปที่ หน้า

3.19 วงจร HRPGDL NAND gate 36

3.20 วงจร CPNCL NAND gate 37

3.21 วงจร SPDL NAND gate 38

3.22 วงจร CRRDL 38

3.23 วงจรFCPCL NAND gate 39

3.24 โครงสร้างของวงจรแอเดียแบติกลอจิก 40

3.25 วงจร NAND เกทที่ใช้วิธีแอเดียแบติกแบบใช้ไดโอด 41

3.26 วงจร NAND เกทที่ใช้วิธีแอเดียแบติกแบบใช้ทรานซิสเตอร์ 42

3.27 แผนภาพของ boost logic 43

4.1 โครงสร้างทั่วไปของดิจิตอลโปรเซสเซอร์ 43

4.2 ฟลิปฟลอปที่สร้างจากแลทช์ 45

4.3 คุณสมบัติทางเวลาของ master-slave latch pairs 45

4.4 คุณสมบัติทางเวลาของ pulse-triggered latch 46

4.5 แผนภาพทางเวลาของฟลิปฟลอป 47

4.6 การเพิ่มขึ้นของ t_{Clk-Q} ในช่วง setup time 47

4.7 data-to-output delay characteristic 48

4.8 การลดลงของ t_{Clk-Q} ในช่วงของ hold time 49

4.9 คุณสมบัติของ hold time 50

4.10 sense amplifier base flip-flop (SAFF) 51

4.11 modified sense amplifier base flip flop (M-SAFF) 53

4.12 conditional –capture flip-flop (CCFF) 55

4.13 วงจร charge recycling differential flip flop 57

4.14 รูปแบบที่ใช้ทำการทดสอบ 58

4.15 ผลการจำลองการทำงานของวงจรที่นำเสนอ 59

4.16 การใช้กำลังงานของวงจรฟลิปฟลอปที่อินพุทรูปแบบต่างๆ 60

4.17 ความสัมพันธ์ของ setup timeและ hold time กับ clock-to-output delay 61

4.18 เลย์เอาท์ (layout) ของวงจรฟลิบฟลอปที่นำเสนอ 61

4.19 การสิ้นเปลืองพลังงานช่วงประจุ 63

สารบัญรูป(ต่อ)

รูปที่ หน้า

4.20 โครงสร้างของระบบแอเดียแบติก 64
4.21 วงจร asynchronous PCG 65
4.22 วงจร synchronous PCG 66
4.23 วงจร 2N-2N2P (buffer/inverter function) 68
4.24 ผลตอบสนองทางเวลาของวงจร 2N-2N2P 68
4.25 วงจรแอเดียแบติกลอจิกที่นำเสนอ 70
4.26 วงจรที่ใช้ในการทดสอบ 70
4.27 ผลตอบสนองทางเวลาของ 4-stage pipeline inverter 71
4.28 ความสัมพันธ์ระหว่างการสิ้นเปลืองกำลังงานกับความถี่ 71
4.29 บล็อกไดอะแกรมของวงจรบวกขนาด 4 บิทแบบCLA 72
4.30 วงจรบวกแบบแอเดียแบติกขนาด 4 บิท CLA 73
4.31 แผนภาพทางเวลาของวงจรบวกขนาด 4 บิท 73
4.32 ผลตอบสนองทางเวลาของวงจรบวกแบบแอเดียแบติกขนาด4 บิท 74
4.33 ผลตอบสนองทางเวลาของวงจร PCG 76
5.1 การนำวงจรลอจิกแบบแอเดียแบติกไปใช้งานในระบบดิจิตอล 78
5.2 ผลตอบสนองทางเวลาของระบบตัวอย่าง 79
5.3 เลย์เอาท์ (layout) ของระบบตัวอย่าง 80

หรือหาวิธีการที่ลดพลังงานที่ต้องสูญเสียในรูปของความร้อนในวงจรลงทำให้สามารถลดการจ่ายพลังงานของแหล่งจ่ายลงได้

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

จากสมมติฐานดังกล่าวข้างต้น ในงานวิจัยนี้ได้นำเสนอวงจรประเภทไดนามิกที่ใช้กำลังงานต่ำ โดยการนำประจุซึ่งเก็บไว้ในตัวเก็บประจุมาใช้ประโยชน์ในการพรีชาร์จ (precharge) โหนดภายในให้มีค่าลอจิก "1" เพื่อลดพลัง งานที่ต้องจ่ายจากแหล่งจ่าย ส่วน ในวงจรประเภทสแตติกได้นำเสนอวงจรที่สามารถลดการสูญเสียพลังงานรูปของความร้อนที่เกิดบนตัวต้านทาน โดยการใช้แหล่งจ่ายกระแสสลับ (AC) แทนแหล่งจ่ายกระแสตรง (DC) นอกจากนี้ยังสามารถนำพลังงานที่เก็บไว้ในตัวเก็บประจุกลับไปยังแหล่งจ่ายเพื่อใช้ในรอบการทำงานถัดไปได้อีกด้วย

1.5 ขอบเขตการวิจัย

ในวิทยานิพนธ์ฉบับนี้ได้นำเสนอระบบดิจิตอลที่ใช้กำลังงานต่ำ โดยในระบบประกอบด้วยส่วนที่เป็นรีจิสเตอร์ (register) และส่วนที่เป็นลอจิกแบบคอมบิเนชั่น (combination logic) โดยส่วนที่เป็นรีจิสเตอร์จะใช้วงจรประเภทไดนามิก และส่วนที่เป็นลอจิกแบบคอมบิเนชั่นจะใช้วงจรประเภทสแตติกโดยวงจรที่ออกแบบทั้งในส่วนที่เป็นรีจิสเตอร์ และส่วนที่เป็นลอจิกแบบคอมบิเนชั่น จะใช้วิธีการกู้ประจุและการใช้ประจุซ้ำ เพื่อลดการจ่ายพลังงานให้วงจร

1.6 ขั้นตอนของการศึกษา

ขั้นตอนการศึกษาและทำการวิจัยจะเริ่มต้นจากการศึกษาคุณสมบัติ และการทำงานของวงจรดิจิตอลซีมอสที่ใช้กำลังงานต่ำทั้งประเภทไดนามิกและสแตติก ขั้นตอนนี้ได้รวมถึงการค้นคว้าข้อมูลงานวิจัยที่ได้มีการคิดค้นไว้แล้ว (literature survey) และนำข้อมูลที่ได้มาวิเคราะห์ข้อดีข้อเสียของวงจรแต่ละประเภท ต่อมาพยายามหาวิธีการเพื่อปรับปรุงให้ได้วงจรที่มีประสิทธิภาพสูงขึ้นโดยพิจารณาจากคุณสมบัติต่างๆของวงจร จากนั้นเพื่อเป็นการแสดงให้เห็นถึงประสิทธิภาพในด้านการประหยัดพลังงานของวงจรที่นำเสนอจึงทดสอบโดยใช้ระบบดิจิตอลที่ประกอบด้วยวงจรบวกขนาด 4 บิต (4 bit carry look ahead adder) และรีจีสเตอร์และเปรียบเทียบผลกับวงจรที่สร้างด้วยวิธีทั่วไป สุดท้ายเป็นการสรุปการทำงานทั้งหมดของวงจรที่ได้ออกแบบ และศึกษาตลอดจนแนวทางในการนำไปประยุกต์ใช้งานด้านต่าง ๆ

บทที่ 2 กล่าวถึงการใช้กำลังงานในวงจรดิจิตอลซีมอส

บทที่ 3 กล่าวถึงวิธีลดการใช้พลังงานในวงจรประเภทไดนามิกและสแตติกซึ่งประกอบด้วยการลดศักดาที่จ่ายให้วงจร (supply voltage scaling), การลดการแกว่งของศักดา (voltage swing

reduction technique) การลดการเปลี่ยนแปลงศักดาที่โหนดภายในของวงจร (minimizing switching activity) และการลดค่าตัวเก็บประจุที่โหนดภายใน (minimizing switched capacitance) วิธีการนำประจุกลับมาใช้ใหม่ (charge recovery technique) และ วิธีออกแบบวงจรด้วยมอสเฟตที่ปรับเปลี่ยนค่าศักดาขีดเริ่ม (multi and variable threshold technique)

บทที่ 4 นำเสนอโครงสร้างแนวทางการออกแบบ วงจรประเภทไดนามิกที่ใช้เทคนิคการใช้ประจุซ้ำ และแนวทางการออกแบบวงจรประเภทสแตติกที่ใช้เทคนิคการกู้ประจุรวมทั้งผลที่ได้จากการจำลองการทำงานก่อน-หลังการเลย์เอาท์ (layout) ของวงจร

บทที่ 5 นำเสนอระบบดิจิตอลตัวอย่างซึ่งเป็นส่วนหนึ่งของเส้นทางข้อมูล (data path) ในโปรเซสเซอร์โดยใช้วงจรฟลิปฟลอปทำหน้าที่เป็นรีจิสเตอร์ และใช้วงจรบวกแบบมองตัวทดล่วงหน้า (carry look-ahead adder: CLA) ขนาด 4 บิททำหน้าที่ประมวลผลข้อมูล

บทที่ 6 สรุปผลการวิจัยที่ได้นำเสนอในวิทยานิพนธ์นี้และแนวทางในการทำวิจัยต่อไป

บทที่ 2

การสิ้นเปลืองกำลังงานในวงจรดิจิตอลซีมอส

(Power Dissipation in CMOS Digital Circuit)

2.1 บทนำ

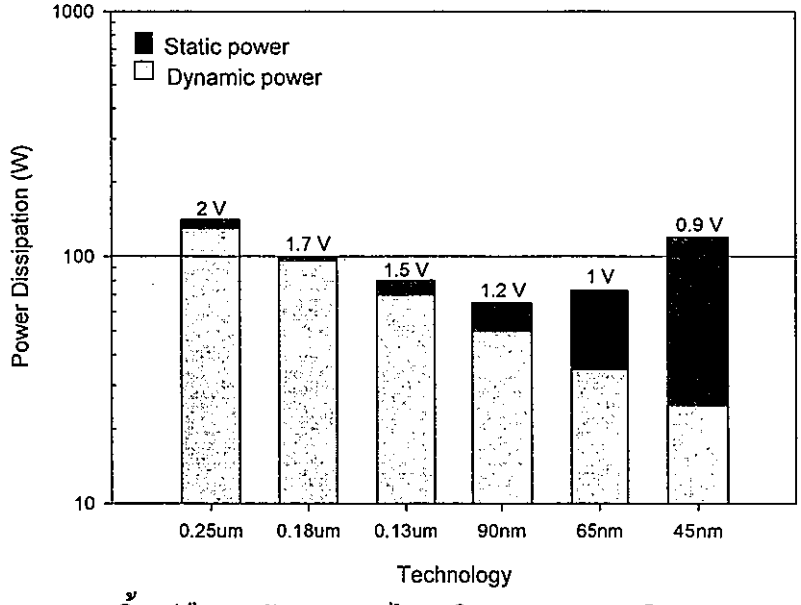
ในการออกแบบวงจรสิ่งหนึ่งที่ต้องคำนึงถึงเป็นอย่างยิ่งคือการสิ้นเปลืองกำลังงาน (power dissipation) ของวงจร โดยทั่วไปการสิ้นเปลืองกำลังงานในวงจรดิจิตอลซีมอสสามารถแบ่งออกได้เป็นสองแบบคือการสิ้นเปลืองกำลังงานแบบไดนามิก (dynamic power dissipation) และการสิ้นเปลืองกำลังงานแบบสแตติก (static power dissipation) โดยการสิ้นเปลืองกำลังงานแบบไดนามิกประกอบด้วยการสิ้นเปลืองกำลังงานที่เกิดการสวิทช์ (switching power) และจากการลัดวงจร (short circuit power) ส่วนการสิ้นเปลืองกำลังงานแบบสแตติกนั้นประกอบด้วยการสิ้นเปลืองจากผลของกระแสสแตนดิง (standing current) และผลของกระแสรั่ว (leakage current) การสิ้นเปลืองกำลังงานรวม (P_{total}) ที่เกิดขึ้นในวงจรดิจิซีมอสสามารถเขียนได้ดังสมการที่ (2.1)

$$P_{total} = P_{switching} + P_{short-circuit} + P_{leakage} + P_{DC} \qquad (2.1)$$

โดยที่ $P_{switching}$ เป็นการสิ้นเปลืองกำลังงานในขณะที่วงจรมีการเปลี่ยนสถานะ (transition) ด้วยการประจุ (charge) หรือคายประจุ (discharge) ของตัวเก็บประจุที่โหนดต่างๆของวงจรทำให้ศักดาที่โหนดนั้นๆเกิดการเปลี่ยนค่าลอจิก $P_{short-circuit}$ เป็นการสิ้นเปลืองกำลังงานที่เกิดในช่วงเวลาการเปลี่ยนสถานะของสัญญาณอินพุตทำให้ทั้งเส้นทางพูลล์อัพท์ (pull-up path) และเส้นทางพูลล์ดาว์น (pull-down path) นำกระแสพร้อมกัน $P_{leakage}$ เป็นผลรวมของการสูญเสียกำลังงานที่เกิดจากความไม่เป็นอุดมคติของมอสเฟตเช่นกระแสรั่วในย่านก่อนศักดาขีดเริ่ม (subthreshold leakage current) กระแสรั่วที่เกิดจากการไบอัสกลับรอยต่อพีเอ็น และการสูญเสียกำลังงานที่เกิดจากกระแสรั่วไหลผ่านชั้นออกไซด์ (oxide) ซึ่งเกิดจากปรากฏการณ์ทะลุ (tunneling) ของพาหะผ่านชั้นออกไซด์บางๆบริเวณใต้เกตของมอสเฟตและ P_{DC} เป็นการสูญเสียกำลังงานแบบสแตติกที่เกิดจากการที่วงจรซีมอสถูกขับด้วยสัญญาณอินพุตแบบที่มีการแกว่งต่ำ (low voltage swing)

รูปที่ 2.1 แสดงถึงการเพิ่มขึ้นของการสิ้นเปลืองกำลังงานแบบสแตติก ที่เกิดจากกระแสรั่วที่เทคโนโลยีต่างๆ [1] จะเห็นได้ว่าการสิ้นเปลืองกำลังงานแบบสแตติกจะเพิ่มขึ้น ในขณะที่เทคโนโลยีที่ใช้มีขนาดเล็กลง (technology scaling) ในเทคโนโลยี 45 nm อัตราส่วนของการสิ้นเปลือง

กำลังงานแบบสแตติกต่อการสิ้นเปลืองกำลังงานทั้งหมดมีค่ามากกว่าร้อยละ 50 ในขณะที่ในเทคโนโลยี 90nm มีค่าประมาณร้อยละ 10 เท่านั้น



รูปที่ 2.1 แสดงการสิ้นเปลืองกำลังงานแบบไดนามิกและแบบสแตติกของวงจรมอสเฟตที่เทคโนโลยีต่างๆ [1]

2.2 การสิ้นเปลืองกำลังงานแบบไดนามิก

2.2.1 การสิ้นเปลืองกำลังงานที่เกิดจากการสวิทซ์

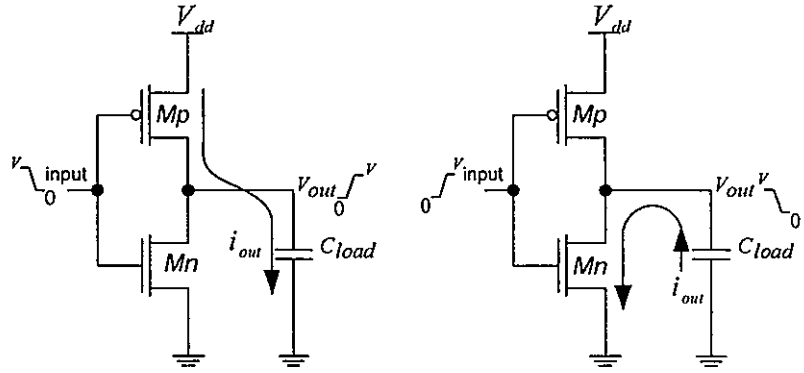
ในวงจรดิจิตอลซีมอสการสิ้นเปลืองกำลังงานส่วนใหญ่จะเกิดจากการประจุหรือคายประจุของตัวเก็บประจุแฝงในวงจร เพื่อทำให้ค่าศักดาที่โหนดต่างๆในวงจรเกิดการเปลี่ยนสถานะ โดยการสิ้นเปลืองกำลังงานดังกล่าวนั้นจะไม่ขึ้นอยู่กับเวลาไต่ขึ้น (rise time) และเวลาไต่ลง (fall time) ของสัญญาณอินพุตแต่จะขึ้นอยู่กับไฟเลี้ยงที่จ่ายให้แก่วงจร ค่าตัวเก็บประจุของโหนดที่มีการสวิทช์ ค่าศักดาเริ่มต้นและสุดท้าย และความถี่ของการสวิตช์ [2]-[4] ในที่นี้จะใช้วงจรซีมอสอินเวอร์เตอร์ซึ่งขับโหลดแบบตัวเก็บประจุ ในการอธิบายการสิ้นเปลืองกำลังงานที่เกิดในวงจรดังรูปที่ 2.2

จากรูปที่ 2.2 (ก) ถ้าต้องกา รให้ที่โหนดเอาต์พุตเกิดการเปลี่ยนสถานะจากลอจิก "0" เป็นลอจิก "1" โดยให้เส้นทางพูลล์อัพ (Mp) ทำงานและเส้นทางพูลล์ดาว์น (Mn) ไม่ทำงาน ทำให้กระแสไหลจากแหล่งจ่ายผ่าน Mp ไปประจุโหลดด้วยกระแส $I_{out}(t)$ ดังนั้นกำลังงานชั่วขณะที่ออกจากแหล่ง จ่ายเพื่อใช้ในการประจุโหลดเป็นดังสมการที่ (2.2)

$$P(t) = V_{dd} I_{out}(t) \tag{2.2}$$

$$I_{out}(t) = C_L \frac{dV_{out}(t)}{dt} \tag{2.3}$$

โดยที่ $V_{out}(t)$ คือค่าศักดาที่ตกคร่อมโหลดตัวเก็บประจุชั่วขณะ (instantaneous voltage)



รูปที่ 2.2 การสิ้นเปลืองกำลังที่เกิดจากการสวิตช์ (ก) ช่วงพูลล์อัพ (ข) ช่วงพูลล์ดาว์น

ดังนั้นพลังงานที่จ่ายออกจากแหล่งจ่าย (V_{dd}) เพื่อใช้ในการเปลี่ยนสถานะของเอาต์พุตโหนดจาก $V_1 \rightarrow V_2$ สามารถเขียนได้ดังสมการที่ (2.6)

$$E_{V_1 \rightarrow V_2} = \int_{t_1}^{t_2} P(t)dt = V_{dd} \int_{t_1}^{t2} I_{out}(t)dt \tag{2.4}$$

$$E_{V_1 \rightarrow V_2} = C_L V_{dd} \int_{V_1}^{V_2} dV_{out}(t) = C_L V_{dd}\left(V_2 - V_1\right) \tag{2.5}$$

$$V_{swing} = V_2 - V_1$$

$$E_{V_1 \rightarrow V_2} = C_L V_{dd} V_{swing} \tag{2.6}$$

โดยที่ $E_{V_1 \rightarrow V_2}$ คือค่าพลังงานที่ออกจากแหล่งจ่ายเพื่อไปประจุโหลดตัวเก็บประจุจากค่าศักดาเริ่มต้น V_1 ไปยังค่าศักดาสุดท้าย V_2 ส่วน t_1 และ t_2 เป็นเวลาที่ศักดาตกคร่อมที่โหนดเอาต์พุตมีค่า V_1 และ V_2 ตามลำดับ ซึ่งหลังจากที่โหนดเอาต์พุตได้รับการประจุจากแหล่งจ่าย ส่งผลให้ที่โหนดเอาต์พุตมีการเปลี่ยนศักดาจาก $V_1 \rightarrow V_2$ โดยพลังงานที่เก็บอยู่ในโหลดมีค่าดังสมการที่ (2.9)

$$E_{C_L} = \int_{t_1}^{t_2} P_{C_L}(t)dt = \int_{t_1}^{t_2} V_{out}(t) I_{out}(t)dt \tag{2.7}$$

$$E_{C_L} = C_L \int_{V_1}^{V_2} V_{out}(t)dV_{out}(t) \tag{2.8}$$

$$E_{C_L} = \frac{1}{2} C_L \left(V_2^2 - V_1^2\right) \tag{2.9}$$

โดยที่ $P_{C_L}(t)$ คือกำลังงานชั่วขณะที่เก็บอยู่ในโหลดตัวเก็บประจุโดยพลังงานที่จ่ายออกมาจากแหล่งจ่าย ส่วนหนึ่งจะสูญเสียไปในเส้นทางพูลล์อัพในระหว่างเกิดการเปลี่ยนสถานะของโหนดเอาต์พุตจากศักดา $V_1 \rightarrow V_2$

จากรูปที่ 2.2 (ข) ถ้าต้องการให้เอาต์พุตโหนดเปลี่ยนสถานะจากลอจิก "1" เป็นลอจิก "0" ต้องให้เส้นทางพูลล์อัพท์ (Mp) หยุดทำงาน ส่วนเส้นทางพูลล์ดาวน์ (Mn) ทำงาน ทำให้เกิดกระแสไหลผ่านเส้นทางพูลล์ดาวน์ ซึ่งการคายประจุจากโหลดตัวเก็บประจุผ่านเส้นทางพูลล์ดาวน์ทิศทางของกระแส $I_{out}(t)$ ตรงกันข้ามกับตอนประจุ โดยพลังงานทั้งหมดที่อยู่ในโหลดตัวเก็บประจุจะสูญเสียไปในเส้นทางพูลล์ดาวน์ดังสมการที่ (2.12)

$$E_{V_2 \rightarrow V_1} = \int_{t_1}^{t_2} P_{pulldown}(t)dt = -\int_{t_1}^{t_2} V_{out}(t) I_{out}(t)dt \tag{2.10}$$

$$E_{V_2 \rightarrow V_1} = -C_L \int_{V_2}^{V_1} V_{out}(t)dV_{out}(t) \tag{2.11}$$

$$E_{V_2 \rightarrow V_1} = -\frac{1}{2} C_L \left(V_1^2 - V_2^2\right) \tag{2.12}$$

โดยที่ $E_{V_2 \rightarrow V_1}$ คือพลังงานที่สูญเสียในเส้นทางพูลล์ดาวน์โดยการคายประจุของโหลดตัวเก็บประจุจะเริ่มจากค่าเริ่มต้นจากศักดา V_2 ไปยังค่าศักดาสุดท้าย V_1 ส่วน t_1 และ t_2 เป็นเวลาที่ศักดาตกคร่อมเอาต์ พุตโหนดมีค่า V_2 และ V_1 ตามลำดับ จากสมการที่ (2.9) และ (2.12) พบว่าพลังงานที่เก็บไว้ที่โหลดตัวเก็บประจุในช่วงการเปลี่ยนสถานะจากศักดา $V_1 \rightarrow V_2$ ทั้งหมดจะสูญเสียไปในเส้นทางพูลล์ดาวน์ในช่วงการเปลี่ยนสถานะจากศักดา $V_2 \rightarrow V_1$

กำลังงานสามารถหาได้จากอัตราการเปลี่ยนแปลงของพลังงานที่ส่งมาจากแหล่งจ่ายเพื่อใช้ในการประจุหรือพลังงานที่สูญเสียต่อหน่วยเวลา[5] โดยกำหนดให้เวลาที่ใช้ในการเปลี่ยนแปลงศักดาจาก $V_1 \rightarrow V_2$ เป็นคาบเวลา T_S ดังนั้นการสิ้นเปลืองกำลังงานเฉลี่ย (average switching power dissipation) ที่เกิดจากการเปลี่ยนสถานะสามารถเขียนได้ดังสมการที่ (2.13)

$$P_{switching} = \frac{E_{V_1 \rightarrow V_2}}{T_S} = f_S C_L V_{dd} V_{swing} \tag{2.13}$$

โดยทั่วไปในวงจรดิจิตอลซีมอส การเปลี่ยนแปลงของโหนดภายในของวงจรไม่จำเป็นต้องมีการเปลี่ยนแปลงทุกๆรอบการทำงานหรือหนึ่งคาบเวลาของสัญญาณนาฬิกา ในระบบซิงโคนัสสามารถใช้หลักทางสถิติในการหาค่าเฉลี่ยของการเปลี่ยนแปลงที่โหนดภายในโดยการทดลองดังนั้นการสิ้นเปลืองกำลังงานเฉลี่ยที่เกิดจากการสวิตช์ที่โหนด i ในวงจรดิจิตอลซีมอสดังสมการที่ (2.14)

$$P_{switching\,(i)} = \alpha_i f_S C_L V_{dd} V_{swing} \tag{2.14}$$

โดยที่ $P_{switching\,(i)}$ คือการสิ้นเปลืองกำลังงานเฉลี่ยที่เกิดจากการเปลี่ยนแปลงที่โหนด i และ α_i คือค่าเฉลี่ยที่โหนด i^{th} จะเกิดการเปลี่ยนศักดาในช่วงเวลาหนึ่งรอบการทำงาน ดังนั้นผลรวมของการสิ้น เปลืองกำลังงานเฉลี่ยทุกโหนดในวงจรเป็นดังสมการที่ (2.15) [3], [6]

$$P_{switching} = f_S V_{dd} \sum_{i=1}^{N} \alpha_i C_{L_i} V_{swing} \tag{2.15}$$

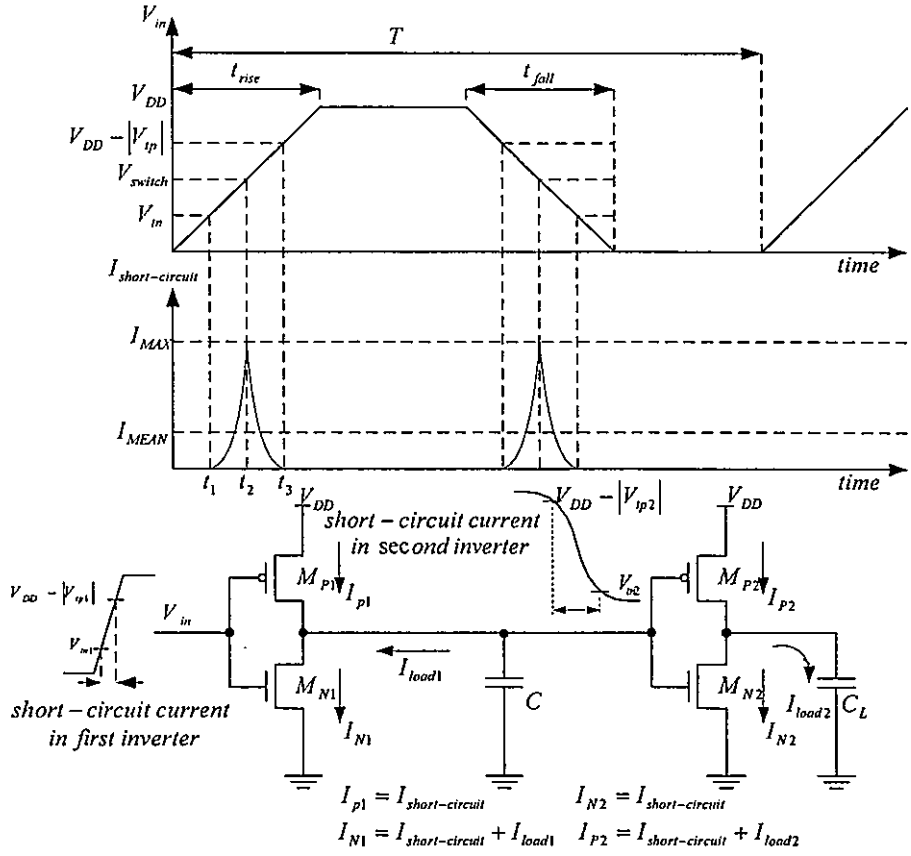
โดยที่ N คือจำนวนโหนดทั้งหมดในวงจร, C_{L_i} คือค่าของตัวเก็บประจุที่โหนด i^{th} และ V_{swing} คือการแกว่งของศักดาที่โหนด i^{th} โดยทั่วไปทุกโหนดในวงจรดิจิตอลซีมอสมีการเปลี่ยนแปลงแบบ full swing ระหว่าง V_{dd} และกราวด์ ดังนั้นการสิ้นเปลืองกำลังงานเฉลี่ยสามารถเขียนได้ดังสมการที่ (2.16)

$$P_{switching} = \alpha_i f_S C_L V_{dd}^2 \tag{2.16}$$

2.2.2 การสิ้นเปลืองกำลังงานที่เกิดจากลัดวงจร

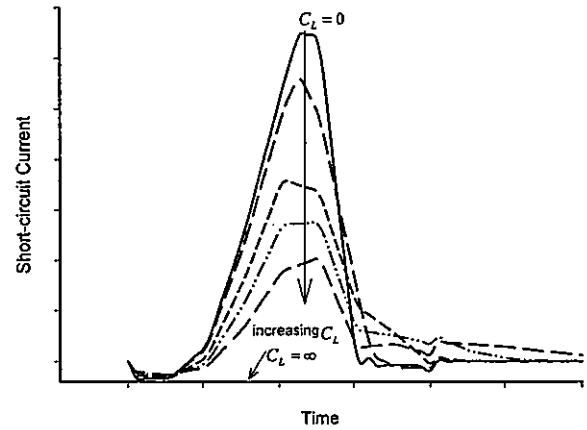
ในวงจรดิจิตอลซีมอสประเภทสแตติก ช่วงเวลาที่อินพุตใช้ในการเปลี่ยนสถานะทำให้เส้นทางพูลล์อัพท์และพูลล์ดาวน์พาร์ททำงานพร้อมกัน ส่งผลให้เกิดกระแสไหลจากแหล่งจ่ายผ่านพูลล์อัพท์และพูลล์ดาวน์พาร์ทลงกราวด์ ซึ่งกระแสที่เกิดขึ้นในวงจรระหว่างที่สัญญาณอินพุตเปลี่ยนสถานะนั้นจะเกิดขึ้นเพียงชั่วขณะ (เนื่องจากเวลาไต่ขึ้นและเวลาไต่ลงของสัญญาณอินพุตมีค่าไม่เป็นศูนย์) เราเรียกกระแสนี้ว่ากระแสลัดวงจร (short-circuit current) [3]-[4], [7] โดยกระแสลัดวงจร $\left(I_{short-circuit}\right)$ โดยจะเกิดขึ้นในช่วงที่อินพุตมีค่า $V_{tn} \le V_{in} \le V_{dd} - \left|V_{tp}\right|$ ดังรูปที่ 2.3

กระแสลัดวงจรเป็นฟังก์ชันของโหลดที่เอาต์พุต เวลาไต่ขึ้นและเวลาไต่ลงของทั้งสัญญาณอินพุตและสัญญาณเอาต์พุต โดยการเปลี่ยนแปลงของกระแสลัดวงจรส่วนหนึ่งขึ้นอยู่กับโหลดที่เอาต์พุต กระแสลัดวงจรจะมีค่าเป็นศูนย์ในกรณีที่เอาต์พุตโหลดมีค่าอนันต์และกระแสลัดวงจรจะมีค่าสูงสุดในกรณีที่เอาต์พุตโหลดมีค่าเป็นศูนย์ดังรูปที่ 2.4 และอีกส่วนหนึ่งจะขึ้นอยู่กับค่าเวลาไต่ขึ้นและเวลาไต่ลงของสัญญาณอินพุท ในกรณีที่ค่าเวลาไต่ขึ้นและไต่ลงของสัญญาณอินพุทมีค่ามากกว่าค่าเวลาไต่ขึ้นและไต่ลงของสัญญาณเอาต์พุตทำให้เกิดกระแสลัดวงจรมีค่าสูงเป็นเวลานาน

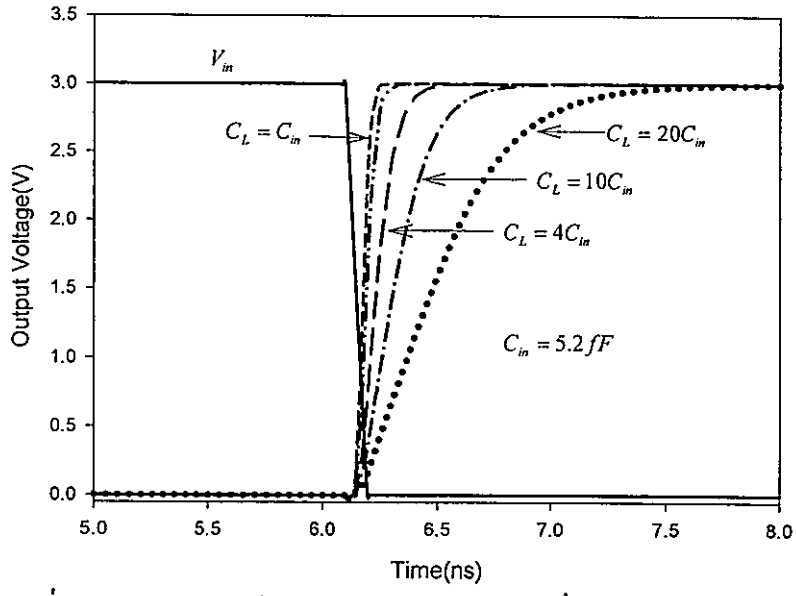


รูปที่ 2.3 กระแสลัดวงจรที่เกิดจากการต่อวงจรอินเวอร์เตอร์คาสเคท

ในรูปที่ 2.5 เป็นสัญญาณเอาต์พุตของวงจรอินเวอร์เตอร์ซึ่งขับโหลดที่มีค่าต่างๆ โดยสัญญาณเอาต์พุตจะเกิดการเปลี่ยนสถานะเร็วในกรณีที่โหลดมีค่าน้อย ส่วนในกรณีที่โหลดมีค่ามากๆ นั้นค่าเวลาไต่ขึ้นและไต่ลงของสัญญาณเอาต์พุตจะเพิ่มขึ้น เนื่องจากความแตกต่างของศักดาที่ขาซอสและเดรนของทั้งเส้นทางพูลล์อัพท์และพูลล์ดาวน์ มีความแตกต่างกันน้อยในช่วงเวลาไต่ขึ้นและไต่ลงของสัญญาณอินพุท ทำให้โอกาสที่จะเกิดกระแสลัดวงจรเกิดขึ้นได้ยาก



รูปที่ 2.4 การเปลี่ยนแปลงของกระแสลัดวงจรกับเอาต์พุตโหลด [7]



รูปที่ 2.5 สัญญาณเอาต์พุตของวงจรอินเวอร์เตอร์ซึ่งขับโหลดค่าต่างๆ[7]

โดยทั่วไปการใช้กำลังงานที่เกิดจากกระแสลัดวงจร ($P_{short-circuit}$) มีค่าประมาณร้อยละ 10 ของการใช้กำลังงานรวม (P_{total}) ในวงจรซีมอส [3]-[4],[7] โดยปกติสัญญาณอินพุตมีค่า slew rate สูงกว่าค่า slew rate ของเอาต์พุต อย่างไรก็ตามในกรณีที่สัญญาณที่เอาต์พุตมีการเปลี่ยนแปลงสถานะเร็วกว่าสัญญาณอินพุต การใช้กำลังงานที่เกิดจากกระแสลัดวงจร ($P_{short-circuit}$) อาจจะสูงกว่าการใช้กำลังงานที่เกิดจากการสวิตช์ ($P_{dynamic}$) [8] ดังนั้นวิธีการหนึ่งที่สามารถหลีกเลี่ยงการเกิดกระแสลัดวงจรสามารถทำได้โดยการลดค่าศักดาของแหล่งจ่ายให้มีค่าน้อยกว่าผลรวมของค่าศักดาขีดเริ่มของ ทั้ง PMOS และ NMOS เพื่อทำให้ทั้ง PMOS และ NMOS ไม่สามารถทำงานพร้อมกันได้ [4] ($V_{dd} < V_{tn} + |V_{tp}|$)

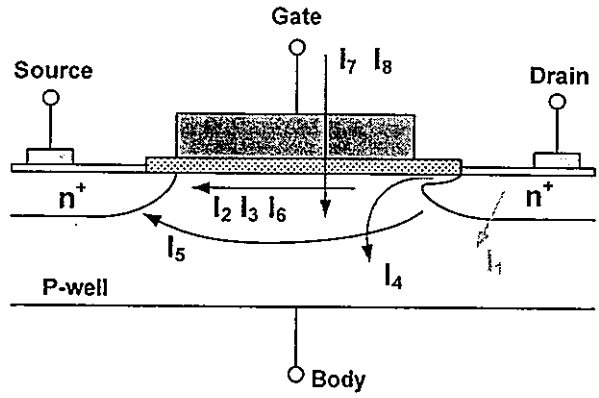
2.3 การสิ้นเปลืองกำลังงานแบบสแตติก

2.3.1 การสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่ว

การสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่ว ($P_{leakage}$) ในวงจรซีมอส เกิดจากความไม่เป็นอุดมคติขณะที่มอสเฟตไม่ทำงาน โดยกระแสสามารถไหลจากแหล่งจ่ายขณะที่มอสเฟตทำงานในย่านคัตออฟ (cut-off) ในมอสเฟตที่ความยาวแชนแนลมีขนาดยาว (long channel) กระแสรั่วส่วนใหญ่เกิดจากการไบอัสย้อนกลับรอยต่อพีเอ็น [2]-[4], [9]-[10] สำหรับเทคโนโลยีที่ความยาวแชนแนลมีขนาดสั้นมากเช่น DSM (deep submicrometer) กระแสรั่วสามารถแบ่งได้ดังรูปที่ 2.6 [11] โดยกระแสรั่ว I_1 เป็นกระแสรั่วที่เกิดจากการไบอัสกลับรอยต่อพีเอ็น I_2 เป็นกระแสรั่วขณะมอสเฟตไม่ทำงาน (subthreshold conduction current) I_3 เป็นผลของ drain-induce barrier lowering (DIBL)

I_4 เป็นผลของ gate-induced drain leakage (GIDL) I_5 เป็นผลของ channel punch through I_6 เป็นกระแสที่ไหลบนผิวของแชนแนลโดยรวมผลเนื่องมาจาก narrow width effect I_7 เป็นกระแสรั่วผ่านชั้นออกไซด์และ I_8 เป็นกระแสเกทโดยรวมผลที่เกิดจากการฉีดพาหะร้อน (hot carrier injection) กระแส $I_1 - I_6$ เป็นกระแสรั่วในขณะที่มอสเฟตไม่ทำงาน [9] ส่วน I_7 เป็นกระแสรั่วที่เกิดจากการทะลุผ่านชั้นออกไซด์ขณะมอสเฟตทำงาน และ I_8 เป็นกระแสรั่วขณะมอสเฟตทำงานโดยเกิดขึ้นในช่วงการเปลี่ยนสถานะ

ใน DSM กระแสรั่วส่วนใหญ่ที่เกิดขึ้นเป็นกระแสก่อนศักดาขีดเริ่ม (I_2) และกระแสรั่วที่เกิดจากการทะลุผ่านชั้นเกตออกไซด์ (I_7)



รูปที่ 2.6 กระแสรั่วใน DSM technology [11]

2.3.1.1 กระแสรั่วที่เกิดจากการไบอัสกลับบริเวณรอยต่อพีเอ็น (I_1)

กระแส I_1ที่เกิดจากการไบอัสกลับที่รอยต่อ ซึ่งประกอบกระแสสองส่วนโดยส่วนหนึ่งเกิดจากการแพร่ (diffusion) ของพาหะนำประจุรอง (minority carrier) ใกล้บริเวณเขตปลอดประจุพาหะ (depletion region) และอีกส่วนหนึ่งเกิดจากการกำเนิดคู่อิเล็กตรอน-โฮล (electron-hold pair generation) ในบริเวณเขตปลอดประจุพาหะ[12] โดยกระแสรั่วไหลที่เกิดจากการไบอัสกลับรอยต่อพีเอ็นนั้นไปฟังก์ชันของพื้นที่รอยต่อพีเอ็นและความเข้มข้นในการเติมสารเจือโดยปกติค่ากระแส I_1 มีค่าน้อยในสภาวะที่มอสเฟตไม่ทำงาน

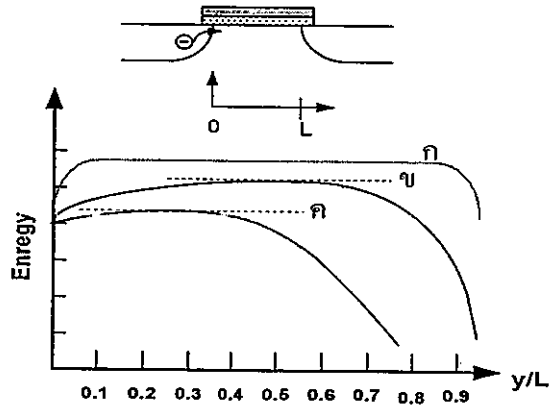
2.3.1.2 กระแสรั่วที่เกิดจากกระแสก่อนศักดาขีดเริ่ม (I_2)

กระแส I_2 เป็นกระแสที่ไหลระหว่างซอสและขาเดรนของมอสเฟต ที่ทำงานในย่าน weak inversion หรือ subthreshold โดยศักดาที่ไบอัสให้ขาเกท-ซอส มีค่าต่ำกว่าค่าศักดาขีดเริ่ม (V_{th}) [12], [13] ในย่าน weak inversion กระแสรั่วก่อนศักดาขีดเริ่มส่วนใหญ่จะเกิดจากการแพร่ของพาหะโดยเฉพาะใน DSM CMOS technology ซึ่งศักดาขีดเริ่มมีค่าน้อย (low threshold)

2.3.1.3 กระแสรั่วที่เกิดจากผลของ DIBL (I_3)

ในมอสเฟตที่ความยาวแชนแนลมีขนาดยาวระยะห่างของบริเวณปลอดประจุพาหะระหว่างขาเดรนกับขาซอสมีค่ามากพอ ทำให้ศักย์ไฟฟ้าที่ซอส-เดรนหรือสนามไฟฟ้า (potential or field pattern) มีผลน้อยต่อการทำงานของมอสเฟต จึงทำให้ค่าศักดาขีดเริ่มของมอสเฟตในกรณีที่ความยาวแชนแนลมีขนาดยาว จึงไม่ขึ้นอยู่กับค่าความยาวของแชนแนล (channel length) และศักดาที่ไบอัสขาเดรน ส่วนในกรณีมอสเฟตที่ความยาวแชนแนลมีขนาดสั้นนั้นความกว้างในแนวตั้งของบริเวณปลอดพาหะระหว่างขาซอสกับขาเดรน และศักย์ไฟฟ้าที่ขาซอส-ขาเดรนล้วนมีผลกระทบกับ band bending ซึ่งมีความสำคัญต่อการทำงานของมอสเฟตทำให้ค่าศักดาขีดเริ่ม และค่ากระแสก่อนศักดาขีดเริ่มของมอสเฟต ในกรณีที่ความยาวแชนแนลมีขนาดสั้น นั้นเปลี่ยนแปลงตามศักดาที่ไบอัสขาเดรน ซึ่งปรากฏการณ์ดังกล่าวเรียกว่า Drain-Induce Barrier Lowing (DIBL) โดยพิจารณาจากค่าพลังงานของกำแพงศักย์ (energy barrier) บริเว ณผิวระหว่างขาซอสและขาเดรนดังรูปที่ 2.7 [14] ในสภาวะที่มอสเฟตไม่ทำงานนั้น ค่ากำแพงศักย์จะป้องกันไม่ให้อิเล็กตรอนเคลื่อนที่ไปยังขาเดรนได้ สำหรับในกรณีเป็นมอสเฟตที่ความยาวแชนแนลมีขนาดยาว ค่าความสูงของกำแพงศักย์จะถูกควบ คุมโดยศักดาที่ขาเกท (V_G) และไม่ขึ้นอยู่กับการเปลี่ยนแปลงของศักดาที่เดรนซอส (V_{DS}) อย่างไรก็ตามในมอสเฟตที่ความยาวแชนแนลมีขนาดสั้น ค่าความสูงของกำแพงศักย์จะมีค่าลดลงตามการเพิ่มขึ้นของศักดาที่ขาเดรน ขณะเดียวกันกระแสก่อนศักดาขีดเริ่มมีค่าเพิ่มขึ้นและค่าศักดาขีดเริ่มมีค่าลดลง

กราฟ	L	V_{DS}
ก	6.25 μm	0.5 V
ข	1.25 μm	0.5 V
ค	1.25 μm	5.0 V



รูปที่ 2.7 แผนภาพ lateral energy band จากขาซอสไปยังขาเดรน (ก) ในกรณีที่มอสเฟตแบบ long channel (ข) ในกรณีที่มอสเฟตแบบ short channel (ค) ในกรณีที่มอสเฟตแบบ short channel และไบอัสศักดาที่ขาเดรนมีค่าสูง โดยทั้งสามกรณีไบอัสศักดาที่ขาเกทมีค่าเดียวกัน [14]

DIBLจะเกิดขึ้นเมื่อบริเวณปลอดพาหะที่ขาเดรนมีการปฏิสัมพันธ์กับขาซอสใกล้บริเวณผิวหน้าของแชนแนล ส่งผลให้กำแพงศักย์ที่ขาซอสมีค่าลดลง ในกรณีมอสเฟตที่ความยาวแชนแนลมีขนาดสั้น มีการไบอัสศักดาที่เกทมีค่าสูงๆ ส่งผลให้กำแพงศักย์และค่าศักดาขีดเริ่มมีค่าลดลง ทำให้ประจุพาหะบางส่วนที่ขาซอสจะถูกฉีดเข้าไปยังผิวหน้าของแชนแนลนอกเหนือจากประจุที่เกิดจากขาเกท ในกรณีที่ไบอัสให้ขาเดรนมีค่ามากๆและค่าความยาวประสิทธิผล (L_{eff}) สั้นมากๆ ส่งผลให้ DIBL มีค่าสูง และค่าศักดาขีดเริ่มมีค่าต่ำลง แต่ไม่ส่งผลกับค่าความชันของกระแสศักดาขีดเริ่ม (S_t) ซึ่งเป็นค่าความชันของกราฟ I-V ของมอสเฟตใน scale log ซึ่งเป็นตัวแสดงถึงปริมาณของกระแสรั่ว

ดังนั้นแนวทางในการแก้ปัญหา DIBL เพื่อลดกระแสรั่วซับเทรดโฮล โดยการเติมสารเจือบริเวณผิวหน้าและแชนแนลให้มีค่าสูง และการสร้างรอยต่อบริเวณขาซอส/ขาเดรนให้ความตื้นขึ้น [14], [15]

2.3.1.4 กระแสรั่วที่เกิดจากผลของ GIDL (I_4)

กระแส GIDL เกิดจากผลของสนามไฟฟ้าที่มีความเข้มสูงบริเวณใต้ขาเกทกับขาเดรนที่เหลื่อมกัน ทำให้เกิดบริเวณเขตปลอดประจุพาหะบางๆบริเวณรอยต่อขาเดรน-บอดี้ ในกรณีที่ไบอัสขาเกทของ NMOS ด้วยศักดาที่มีค่าเป็นลบส่งผลให้เกิดกระแสรั่วที่เกิดจาก GIDL เพิ่มขึ้น ในกรณีที่ใช้แหล่งจ่ายมีค่าปกติ GIDL จะมีค่าต่ำ ส่วนในกรณีที่ใช้แหล่งจ่ายมีค่าสูงจะส่งผลให้ GIDL มีค่าสูงด้วย

2.3.1.5 กระแสรั่วที่เกิดจากพันช์ทรู (I_5)

กระแสรั่วที่เกิดจากปรากฏการณ์พันช์ทรู เกิดจากบริเวณปลอดพาหะนำที่เกิดรอบๆขาเดรนแผ่ขยายเข้าไปใกล้กับบริเวณเขตปลอดประจุที่เกิดรอบๆขาซอส ส่งผลให้กระแสที่ไหลผ่านแชนแนลไม่สามารถควบคุมได้ด้วยศักดาที่ขาเกท โดยกระแสที่เกิดจากปรากฏการณ์พันช์ทรูจะเปลี่ยนแปลงแบบกำลังสองกับศักดาที่ไบอัสขาเดรน และค่าความชันของกราฟกระแสก่อนศักดาขีดเริ่มมีค่ามากขึ้นส่งผลให้กระแสรั่วที่ขาเดรนมีค่ามากไปด้วย

2.3.1.6 กระแสรั่วที่เกิดจากช่องทางเดินกระแสแคบ (I_6)

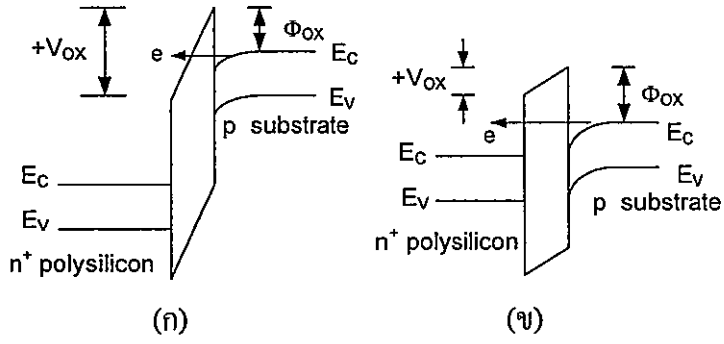
ในมอสเฟตที่ความกว้างของแชนแนล (effective channel width) มีขนาดเล็ก (narrow width) เช่นใน trench isolated technology ส่งผลให้ค่าศักดาขีดเริ่มมีค่าลดลง ในกรณีที่ความกว้างของแชนแนลมีค่าน้อยกว่า 0.5 ไมครอน ($W \leq 0.5\mu m$) ส่วนในกรณีมอสเฟตมีขนาดมากกว่า 0.5 ไมครอน ($W >> 0.5\mu m$) สามารถละเลยผลของปรากฏการณ์ช่องทางเดินกระแสแคบ

2.3.1.7 กระแสรั่วที่เกิดในชั้นออกไซด์ได้ขาเกท (I_7)

กระแสที่เกิดจากการเจาะทะลุ (tunneling) ผ่านเกทออกไซด์ (I_{ox}) เป็นฟังก์ชันของสนามไฟฟ้า (E_{ox}) ที่พาดผ่านชั้นออกไซด์ โดยกลไกที่เกิดการเจาะทะลุระหว่าง substrate กับ gate polysilicon สามารถแบ่งได้สองแบบคือ การเจาะทะลุไปยังเกทโดยตรง (direct tunneling) ของอิเล็กตรอนผ่านแถบพลังงานต้องห้ามของชั้นซิลิกอนออกไซด์ และ fowler-nordheim (F-N) tunneling ของอิเล็กตรอนเข้าไปในแถบพลังงานนำไฟฟ้าของชั้นออกไซด์ ดังรูปที่ 2.8

สำหรับกลไกการเจาะทะลุแบบ fowler-nordhemim นั้นกระแสเกิดจากการเจาะทะลุของอิเล็กตรอนผ่านกำแพงศักย์บริเวณรูปสามเหลี่ยม (triangular potential barrier) และค่าของ $V_{OX} > \Phi_{OX}$ โดยที่ V_{OX} คือค่าศักดาตกคร่อมออกไซด์ [16] โดยทั่วไปค่ากระแสที่เกิดจากการเจาะทะลุแบบนี้มีค่าน้อย เช่นที่ความเข้มของสนามไฟฟ้าบริเวณชั้นออกไซด์มีค่า 8MV/cm ความหนาแน่นของกระแสที่เกิดจากการเจาะทะลุมีค่า $500nA/cm^2$ โดย Φ_{OX} มีค่า 3.1eV สำหรับการใช้งานปกติของมอสเฟตที่ความยาวแชนแนลมีขนาดสั้น นั้น $V_{OX} < \Phi_{OX}$ ทำให้กระแสที่เกิดจากการเจาะทะลุแบบ F-N มีค่าน้อยสามารถละเลยได้

กลไกการเจาะทะลุแบบตรง (direct tunneling) จะเกิดขึ้นกับมอสเฟตที่ชั้นออกไซด์มีความหนาน้อยกว่า 3-4 nm โดยแทนที่อิเล็กตรอนจะเจาะทะลุผ่านแถบพลังงานนำไฟฟ้าของชั้นออกไซด์ไปยังเกทแต่กลับเจาะทะลุผ่านช่องว่างของพลังงานต้องห้ามของชั้นซิลิกอนออกไซด์ไปยังเกท [14] โดยอิเล็กตรอนจะเจาะทะลุผ่านกำแพงศักย์ที่เป็นสี่เหลี่ยมคางหมู (trapezoidal potential barrier) แทนที่จะเจาะทะลุผ่านกำแพงศักย์ที่เป็นรูปสามเหลี่ยม การเจาะทะลุแบบตรง (direct tunneling) จะเกิดในกรณีที่ $V_{OX} < \Phi_{OX}$ [16] ซึ่งกระแสรั่วจะมีค่าเพิ่มขึ้น สำหรับมอสเฟตที่มีความหนาของชั้นออกไซด์น้อย ๆ ($< 50\ A°$) [16]



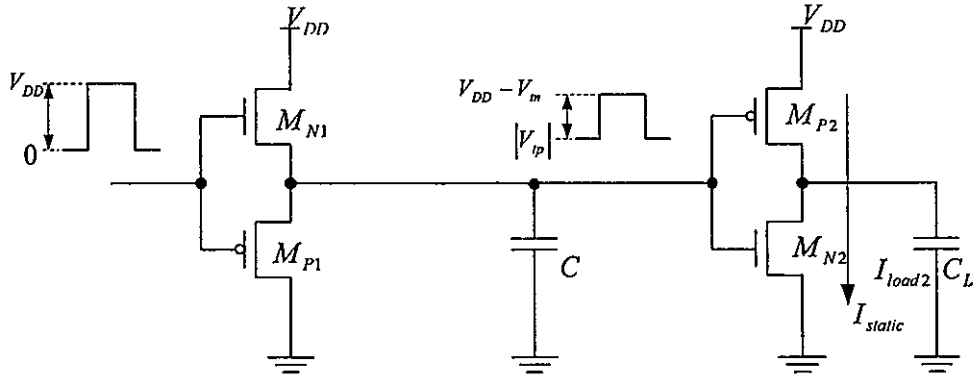
รูปที่ 2.8 กลไกการเจาะทะลุระหว่างsubstrateไปยัง gate polysilicon (ก) F-N tunneling of electron (ข) direct tunneling of electron

2.3.1.8 กระแสรั่วที่เกิดจากผลของพาหะร้อน (I_g)

ในมอสเฟตที่ความยาวแชนเนลมีขนาดสั้น จะเกิดสนามไฟฟ้าที่มีความเข้มสูงใกล้รอยต่อของซิลิกอน/ซิลิกอนไดออกไซด์ ทำให้อิเล็กตรอนหรือโฮลได้รับพลังงานจากสนามไฟฟ้าจนมีค่าสูงพอที่จะเคลื่อนที่ข้ามรอยต่อเข้าไปยังชั้นออกไซด์ได้ ซึ่งปรากฏการณ์ดังกล่าวเรียกว่า hot carrier injection ซึ่งฉีดประจุพาหะจากซิลิกอนไปยังซิลิกอนไดออกไซด์โดยส่วนใหญ่จะเป็นอิเล็กตรอนมากกว่าโฮลเนื่องจากอิเล็กตรอนมีค่ามวลประสิทธิผลน้อยกว่าของโฮล และมีค่ากำแพงศักย์ของโฮล (4.5 eV) มีค่าสูงกว่าค่ากำแพงศักย์ของอิเล็กตรอน (3.1 eV) [14]

2.3.2 การสิ้นเปลืองกำลังงานที่เกิดจากสัญญาณอินพุตแบบแกว่งต่ำ

การเปลี่ยนแปลงเทคโนโลยีของวงจรรวมจากการใช้ NMOS มาใช้เทคโนโลยีซีมอส ตั้งแต่ปี 1980 นั้นทำให้การสิ้นเปลืองกำลังงานแบบสแตติกที่เกิดขึ้นในวงจรมีค่าน้อยลง ดังนั้นในวงจรที่ใช้ซีมอสการเกิดการสิ้นเปลืองกำลังงานแบบสแตติก (รวมถึงการสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่ว) ในวงจรมีโอกาสเกิดขึ้นได้น้อยในกรณีสัญญาณที่โหนดภายในเป็นแบบ full swing ส่วนในกรณีที่สัญญาณที่โหนดภายของวงจรซีมอสในมีการswing แบบ non-full rail โอกาสที่จะเกิดการสิ้นเปลืองกำลังงานแบบสแตติกมีความเป็นไปได้สูงเช่นในวงจร NMOS pass-gate [3] และ Low swing interconnect signaling technique [22] ดังนั้นการนำวงจรที่มีการ swing แบบ non-full rail ไปทำงานร่วมกับวงจรที่มีการswing แบบ full swing นั้นจำเป็นต้องมีวงจร interface คั่นระหว่าง circuit styles เช่นใน SoC (system on-chip) ซึ่งประกอบด้วยวงจรต่างๆมากมายและแต่ละวงจรทำงานที่ระดับศักดาแตกต่างกัน ในกรณีวงจรซีมอสซึ่งถูกไบอัสด้วยแหล่งจ่ายแบบ full rail power และสัญญาณอินพุทเป็นแบบ low swing ทำให้เกิดการสิ้นเปลืองกำลังงานแบบสแตติกเนื่องจากเส้นทางพูลล์อัพท์และเส้นทางพูลล์ดาว์นของวงจรอินเวอร์เตอร์ (Mp2และMn2) จะทำงานพร้อมกัน ดังรูปที่ 2.9



รูปที่ 2.9 การสิ้นเปลืองกำลังงานแบบสแตติกของวงจรซีมอสอินเวอร์เตอร์

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

กระแสรั่วในวงจรดิจิตอลซีมอสส่วนใหญ่เป็นกระแสก่อนศักดาขีดเริ่ม ซึ่งจะมีค่าเพิ่มขึ้นแบบ exponential กับค่า V_{gs} ซึ่งเป็นผลของการลดค่าศักดาขีดเริ่มโดยกระแสก่อนศักดาขีดเริ่ม (I_{subth}) ของมอสเฟต โดยคิดผลของ weak inversion และ DIBL สามารถเขียนได้ดังสมการที่ (2.17)

$$I_{subth} = I_0 e^{(V_{gs}-V_{th}-\gamma V_s+\eta V_{ds})/nV_T}\left(1-e^{-V_{ds}/V_T}\right) \tag{2.17}$$

โดยที่ $I_0 = \mu_0 C_{ox}(W/L)V_T^2 e^{1.8}$, C_{ox} คือค่าตัวเก็บประจุของออกไซด์ที่ขาเกท (W/L) คืออัตราส่วนของความกว้างต่อต่อความยาวของมอสเฟต μ_0 คือค่าmobilityที่ zero bias V_{gs} คือศักดาที่เกท-ซอส V_T คือค่า thermal voltage (มีค่า 26mV ที่อุณหภูมิ300 K) n คือค่าสัมประสิทธิของ subthreshold swing ซึ่งหาได้จาก (1+C_d/C_{ox}) C_d คือค่าตัวเก็บประจุบริเวณรอยต่อที่บริเวณปลอดพาหะของขาซอส/ขาเดรน γ คือค่า linearized body effect coefficient และ η คือค่าสัมประสิทธิ์ของ DIBL

ถ้าละเลยสัมประสิทธิ์ของ body effect DIBL และให้ค่าของ $V_{ds} >> V_T$ จากสมการที่ (2.17) สามารถเขียนให้อยู่ในรูปแบบอย่างง่ายดังสมการที่ (2.18)

$$I_{subth} = I_0 \cdot 10^{\frac{|V_{gs}|-|V_{th}|}{S_t}} \tag{2.18}$$

โดยที่ S_t เป็นค่าความชันของกระแสก่อนศักดาขีดเริ่มซึ่งมีค่าเท่ากับ $nV_T \ln 10$ ซึ่งโดยทั่วไปมีค่าประมาณ 100mV/decade สำหรับค่าความชันของกระแสก่อนศักดาขีดเริ่ม (S_t) ของ bulk technology มีค่าระหว่าง 80 mV/decade ถึง 100 mV/decade ที่อุณหภูมิห้อง โดยในตารางที่ 2.1เป็นการเปรียบเทียบความชันของกระแสก่อนศักดาขีดเริ่ม (S_t) กระแสเดรน (I_{DSAT}) และกระแสรั่วขณะมอสเฟตไม่ทำงาน (I_{OFF}) ของ NMOS ที่เทคโนโลยีต่างๆ โดยทดสอบที่อุณหภูมิห้อง ($T = 25^\circ C$) [2], [17]-[21]

105062

ตารางที่ 2.1 เปรียบเทียบความชันของกระแสก่อนศักดาขีดเริ่ม (S_t) และกระแสรั่ว (I_{OFF}) ของ NMOS

Technology (μm)	L_{eff} (μm)	V_{DD} (V)	V_t (V)	I_{DSAT} (mA/μm)	I_{off} (nA/μm)	I_{SAT}/I_{off}	S_t (mV/decade)
0.80	0.55	5.0	0.60	-	$5.8x10^{-3}$	-	86
0.60	0.35	3.3	0.58	-	$1.5x10^{-4}$	-	80
0.35	0.25	2.5	0.47	-	$8.9x10^{-3}$	-	80
0.25	0.15	1.8	0.43	-	$24x10^{-3}$	-	78
0.18	0.10	1.6	0.40	-	$86x10^{-3}$	-	85
0.18	0.10	1.5	0.29	1.04	3	$347x10^{3}$	90
0.13	0.06	1.4	0.30	1.14	10	$114x10^{3}$	85
(Dual-V_{th})	006	1.4	0.27	1.30	100	$130x10^{2}$	85
0.10	0.05	1.2	0.34	0.95	30	$316x10^{2}$	87
0.09	0.05	1.2	-	1.26	40	$315x10^{2}$	85
(Dual-V_{th})	0.05	1.2	-	1.45	400	3600	85

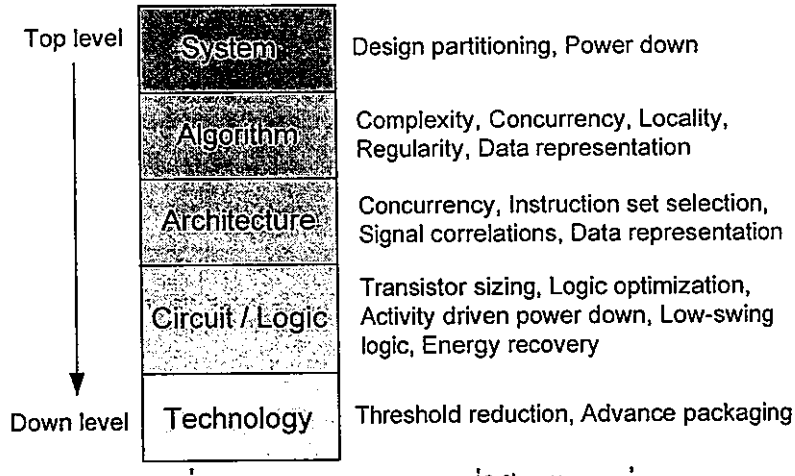
บทที่ 3

เทคนิคที่ใช้ลดกำลังงานในวงจรดิจิตอลซีมอส

(Power Reduction Techniques in Digital CMOS Circuits)

3.1 บทนำ

การสิ้นเปลืองกำลังงานส่วนใหญ่ของวงจรดิจิตอลซีมอสเกิดจากการสวิทช์ งานวิจัยที่ผ่านมาได้มีการนำเสนอเทคนิคโดยมุ่งเน้นลดการสิ้นเปลืองกำลังงานที่เกิดจากการสวิทช์ซึ่งเราสามารถแบ่งออกได้หลายระดับดังรูปที่ 3.1ในวิทยานิพนธ์นี้จะกล่าวถึงเฉพาะในระดับสถาปัตยกรรม ระดับวงจร และระดับที่เกี่ยวข้องกับเทคโนโลยี โดยการพิจารณาจะเริ่มต้นที่ระดับสถาปัตยกรรมโดยนำวงจรแต่ละหน่วยมาต่อแบบขนาน (parallelism) หรือต่อแบบไปป์ไลน์ (pipelining) และใช้วิธีการลดศักดาที่แหล่งจ่ายหรือความถี่ลงเพื่อลดการสิ้นเปลืองกำลังงาน ส่วนในระดับที่อยู่ล่างลงมาทั้งระดับวงจรและระดับที่เกี่ยวกับเทคโนโลยีนั้นก็สามารถที่จะลดการสิ้นเปลืองกำลังงานลงได้เช่นกันโดยการเลือกชนิดของวงจรและอุปกรณ์ให้เหมาะสมกับการใช้งาน



รูปที่ 3.1 การออกแบบระบบที่ใช้กำลังงานต่ำ

3.2 วิธีการทางวงจรเพื่อลดการสิ้นเปลืองกำลังงานแบบไดนามิก

ในวงจรดิจิตอลซีมอสการสิ้นเปลืองกำลังงานที่เกิดขึ้นในระหว่างการทำงานของวงจรส่วนใหญ่เป็นการสิ้นเปลืองกำลังงานแบบไดนามิกซึ่งเกิดจากการประจุและคายประจุโหลดตัวเก็บประจุและอีกส่วนหนึ่งเป็นการสิ้นเปลืองกำลังงานที่เกิดจากการลัดวงจร เนื่องจากค่าเวลาไต่ขึ้น และค่า

เวลาไต่ลงของสัญญาณอินพุตที่มีค่าไม่เป็นศูนย์ โดยการสิ้นเปลืองกำลังงานแบบไดนามิกสามารถหาได้จากสมการที่ (3.1)

$$P_{dynamic} = \alpha f C V_{DD}^2 \tag{3.1}$$

โดยที่ α คือค่า switching activity ของอินพุต f คือค่าความถี่ที่วงจรทำงาน C คือค่าของโหลดตัวเก็บประจุและ V_{DD} คือค่าของแหล่งจ่าย ที่ผ่านมาได้มีการนำเสนอวิธีลดการสิ้นเปลืองกำลังงานแบบไดนามิกที่เกิดขึ้นในช่วงที่วงจรทำงานหลายวิธีเช่น

3.2.1 การลดค่าศักดาของแหล่งจ่าย

วิธีลดค่าศักดาของแหล่งจ่ายเป็นวิธีการหนึ่งที่ถูกนำมาใช้ในการลดกำลังงานสิ้นเปลืองที่ได้ผลชัดเจน โดยพิจารณาจากสมการที่ (2.16) การสิ้นเปลืองกำลังงานสามารถทำได้ด้วยการลดค่าความถี่ใช้งาน (f_S) หรือลดค่าตัวเก็บประจุตามโหนดต่างๆ (C_L) ซึ่งวิธีการดังกล่าวสามารถลดการสิ้น เปลืองกำลังงานลงแบบเชิงเส้น ซึ่งแตกต่างกับการลดค่าศักดาที่แหล่งจ่ายการสิ้นเปลืองกำลังงานลดลงแบบกำลังสอง ซึ่งผลของการลดค่าแหล่งจ่ายส่งผลให้กระแสรั่วในย่านซับเทรดโฮลซึ่งมีค่าลดลงแบบเอ็กซ์โปเนนเชียล โดยพิจารณาจากสมการที่ (2.17) ซึ่ง V_{gs} และ V_{ds} จะมีค่าลดลงตามแหล่งจ่าย ดังนั้นวิธีลดค่าศักดาที่แหล่งจ่ายจึงเป็นทางเลือกที่ดีในวงออกแบบวงจรที่ใช้กำลังงานต่ำ แต่ผลจากการลดค่าของแหล่งจ่ายทำให้เวลาหน่วงของวงจรมีค่าเพิ่มขึ้นและทรูพุตหรือปริมาณงาน (throughput) ของระบบลดลง

โดยความสัมพันธ์ของเวลาที่ใช้ในการส่งสัญญาณผ่านเกต (จากลอจิก "1" เป็นลอจิก "0" หรือจากลอจิก "0" เป็นลอจิก "1") กับศักดาของแหล่งจ่ายสามารถเขียนได้ดังสมการที่ (3.2) [3], [24]

$$T_d \cong \frac{C_L V_{DD}}{I} = \frac{L_{eff} C_L V_{DD}}{WB(V_{DD} - V_{th})^n} \tag{3.2}$$

$$T_d \propto \frac{V_{DD}}{(V_{DD} - V_{th})^n} \tag{3.3}$$

โดยที่ C_L คือค่าโหลดตัวเก็บประจุ V_{DD} คือค่าศักดาของแหล่งจ่าย I คือกระแสเดรนของมอสเฟต W คือความกว้างของแชนแนล L_{eff} คือความยาวของแชนแนล ค่าของ n จะขึ้นอยู่กับเทคโนโลยีที่ใช้สร้างซึ่งมีค่าอยู่ระหว่าง 1-2 โดยในมอสเฟตที่ความยาวแชนแนลยาวนั้น n จะมีค่าเท่ากับ 2 ส่วน

ในมอสเฟตที่ความยาวแชนแนลสั้นค่า n มีค่าน้อยกว่า 2 เนื่องจากผลของควานเร็วอิ่มตัว สำหรับค่า B สามารถหาได้จากกระแสของมอสเฟตที่ทำงานย่านอิ่มตัว [24]

นำสมการที่ (3.2) แทนค่าลงไปในสมการ (2.16) โดยประมาณว่าเอาต์พุตของวงจรซีมอสเป็นแบบฟูลสวิง ดังนั้นความสัมพันธ์ระหว่างการสิ้นเปลืองกำลังงานที่เกิดจากการสวิทช์กับศักดาของแหล่งจ่ายและค่าศักดาขีดเริ่มสามารถเขียนได้ดังสมการที่ (3.4)

$$P_{switching} \propto V_{DD}(V_{DD} - V_{th})^n \tag{3.4}$$

3.2.1.1 เทคนิคการต่อวงจรแบบขนานและแบบไปป์ไลน์

การลดกำลังงานสิ้นเปลืองสามารถทำได้ด้วยการลดค่าศักดาที่แหล่งจ่ายและต่อวงจรแต่ละหน่วยแบบขนานหรือต่อแบบไปป์ไลน์ ดังตัวอย่างโดยใช้โครงสร้างของวงจรคูณและวงจรตัวสะสม (multiply and accumulate :MAC unit) ต่อแบบไปป์ไลน์หรือต่อแบบสายท่อ (pipelining) ดังรูปที่ 3.2 (ก) โดยเวลาที่ MAC unitใช้ในการประมวลผลและให้ค่าเอาต์พุต มีค่าเท่ากับหนึ่งคาบเวลา (T) ของสัญญาณนาฬิกา เมื่อใช้ค่าของแหล่งจ่ายปกติ หากนำ MAC unit มาต่อแบบขนานกันดังรูปที่ 3.2 (ข) จะพบว่าสามารถที่จะลดความถี่ลงได้ร้อยละ 50 และลดค่าของแหล่งจ่ายศักดาได้ประมาณร้อยละ 40 (ทั้งนี้การลดค่าของความถี่และแหล่งจ่ายสามารถเปลี่ยนแปลงได้ขึ้นอยู่กับประเภทของวงจรและเทคโนโลยีที่ใช้ ซึ่งผลกระทบที่เกิดจากการนำ MAC unit มาต่อแบบขนานทำให้ค่าตัวเก็บประจุมีค่าเพิ่มขึ้นสองเท่าและมีค่าตัวเก็บประจุที่เกิดจากการจัดเส้นทาง (routing) เพิ่มขึ้นร้อยละ 20 ดังนั้นการต่อ MAC unit แบบขนานจะมีการใช้กำลังงานดังสมการที่ (3.5) เปรียบเทียบกับMAC unit ต้นแบบ

$$\begin{aligned} P_{Parallel} &= CfV^2 = (2.2C_{org})(0.6V_{org})^2(0.5f_{org}) \\ &= 0.4P_{org} \end{aligned} \tag{3.5}$$

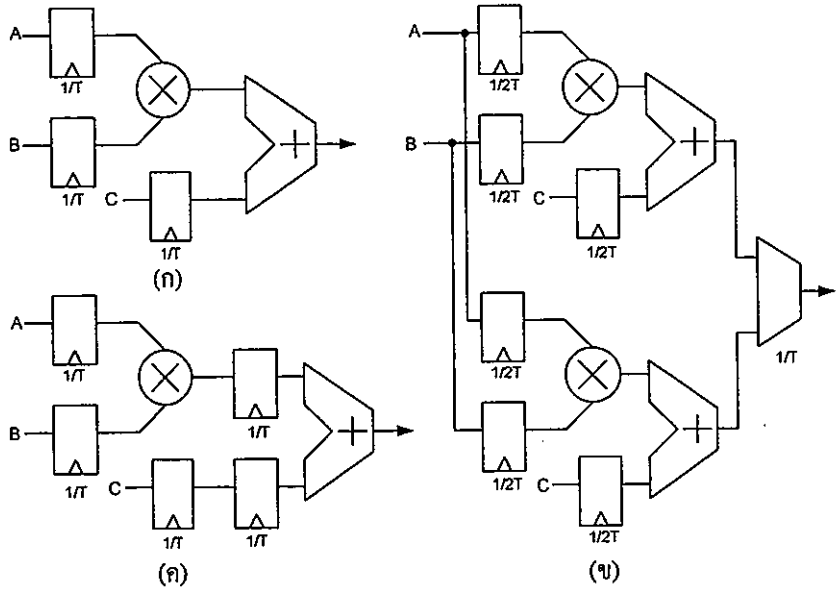
โดยที่ C_{org} เป็นค่าตัวเก็บประจุที่โหนดต่างๆในวงจร ซึ่งในการต่อแบบขนานสามารถลดการสิ้นเปลืองกำลังงานของระบบลงได้ แต่จำเป็นต้องใช้พื้นที่เพิ่มขึ้นในการจัดเส้นทาง ส่วนปัญหาเรื่องตัวเก็บประจุที่เกิดจากการเชื่อสาย (wiring) เป็นปัญหาที่สำคัญซึ่งจะส่งผลกระทบต่อค่าตัวเก็บประจุรวมของวงจรรวม (โดยปกติค่าตัวเก็บประจุที่เกิดจากการเชื่อมสายจะไม่ลดลงตามเทคโนโลยีที่ใช้) ดังนั้นในการออกแบบจึงจำเป็นต้องคำนึงถึงเรื่องการจัดเส้นทาง เพื่อลดผลกระทบที่จะเกิดขึ้น

ในการออกแบบที่มีข้อจำกัดเรื่องพื้นที่ ทางเลือกอีกทางหนึ่งคือการออกแบบให้มีการทำงานแบบไปป์ไลน์ ซึ่งใช้พื้นที่น้อยกว่าเมื่อเปรียบเทียบกับแบบขนาน โดยยังคงให้ค่าทรูพุตเหมือนกับ MAC unit ต้นแบบในรูปที่ 3.3 (ก) ด้วยการเพิ่มวงจรแลทช์ (latch) เข้าไปคั่นระหว่างอินพุต

ของวงจรบวก (adder) ดังรูปที่ 3.2 (ค) ซึ่งการต่อแบบนี้สามารถลดความถี่ของสัญญาณนาฬิกาลงได้ประมาณร้อยละ20 แทนที่จะเป็นร้อยละ 40 ดังเช่นการต่อแบบขนาน ซึ่งผลจากการลดความถี่ลงทำให้สามารถลดค่าของแหล่งจ่ายลงได้ประมาณร้อยละ 15 โดยที่ระบบยังคงให้ค่าทรูพุตเหมือนกับ MAC unit ต้นแบบ สำหรับพื้นที่ที่เพิ่มขึ้นจากการเพิ่มวงจรแลทนั้น ส่งผลให้ค่าตัวเก็บประจุเพิ่มขึ้นร้อยละ 15 แทนที่จะเพิ่ม 220 เปอร์เซ็นต์ ในกรณีการต่อแบบขนานดังนั้นการต่อแบบไปป์ไลน์มีการใช้กำลังงานดังสมการที่ (3.6) เทียบกับ MAC unit ต้นแบบ

$$P_{pipeline} = CfV^2 = (1.15C_{org})(0.85V)^2(0.8f_{org})$$
$$= 0.65P_{org} \qquad (3.6)$$

การต่อแบบไปป์ไลน์นั้นสามารถประหยัดกำลังงานได้น้อยกว่าการต่อแบบขนานและสิ่งที่สำคัญอีกอย่างหนึ่งของการต่อแบบไปป์ไลน์นั้นคือการปรับสมดุลของค่าเวลาหน่วงของไปป์ไลน์แต่ละสเตจ ซึ่งจะช่วยลดการใช้กำลังงาน บางครั้งอาจจะใช้วิธีการลดศักดาของแหล่งจ่ายลงและเพิ่มระดับชั้นของการทำไปป์ไลน์ เพื่อลดความลึกของลอจิก

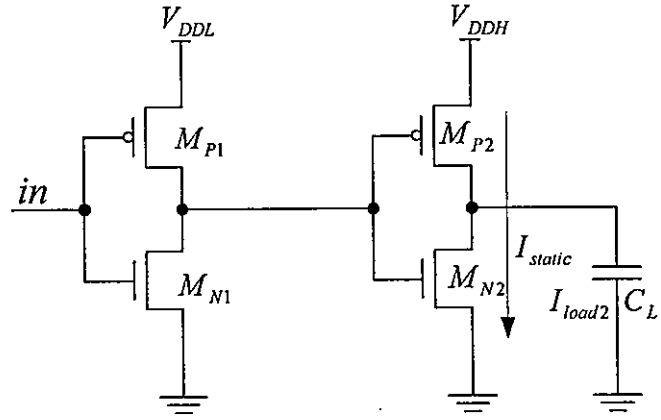


รูปที่ 3.2 โครงสร้างของ MAC unit (ก) MAC unit ต้นแบบ (ข) การต่อMAC unit แบบขนาน (ค) การต่อ MAC unit แบบไปป์ไลน์

3.2.1.2 การใช้แหล่งจ่ายศักดาหลายค่า (multiple voltage technique)

จากความพยายามที่จะลดการใช้กำลังงานของวงจรลง ด้วยการลดค่าของแหล่งจ่ายโดยให้สมรรถนะของวงจรไม่มีการเปลี่ยนแปลง แนวทางหนึ่งได้ถูกนำเสนอขึ้น ด้วยการใช้แหล่งจ่ายที่มี

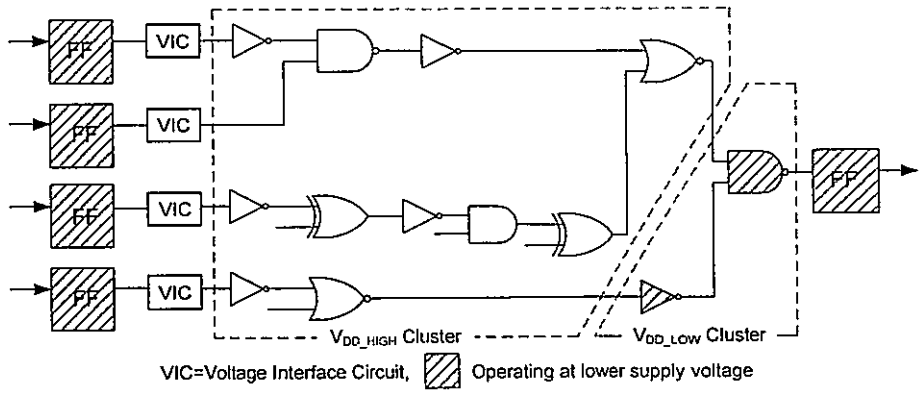
ค่าแตกต่างกันสองค่า (dual-V_{DD}) ไบอัสให้แก่วงจร โดยในส่วนที่เป็นเส้นทาง critical จะถูกไบอัสด้วยแหล่งจ่ายที่มีค่าสูง (V_{DDH}) และส่วนที่ไม่ใช่เส้นทาง critical จะถูกไบอัสด้วยแหล่งจ่ายที่มีค่าต่ำ (V_{DDL}) ในการออกแบบต้องระวังเรื่องกระแสสแตติก เนื่องจากเอาต์พุตของวงจรที่ไบอัสด้วย V_{DDL} นั้นไม่สามารถแกว่งได้ถึงค่า V_{DDH} ทำให้อาจเกิดกระแสสแตติกไหลผ่าน PMOS ของวงจรที่ไบอัสด้วย V_{DDH} เนื่องจากมอสเฟตของวงจรคัตออฟไม่สมบูรณ์ [25] ดังรูปที่ 3.3 ดังนั้นจึงจำเป็นต้องมีวงจรที่ใช้ในการเปลี่ยนระดับของสัญญาณคั่นระหว่างวงจรที่ไบอัสด้วย V_{DDL} กับวงจรที่ไบอัสด้วย V_{DDH} ทำให้สิ้นเปลืองกำลังงานและพื้นที่เพิ่มขึ้นใน [26] ได้มีการนำเอาวงจรเปลี่ยนระดับของสัญญาณคั้นระหว่างส่วนที่เป็นมาสเตอร์แลทช์กับส่วนที่เป็นสเลฟแลทช์ของวงจรวงจรฟลิปฟลอป ส่งผลให้วงจรฟลิปฟลอปมีการใช้กำลังงานน้อยกว่าเปรียบเทียบกับวงจรฟลิปฟลอปที่ไบอัสด้วย V_{DDH} และวงจรมีค่าเวลาหน่วงเพิ่มขึ้นเล็กน้อย



รูปที่ 3.3 การไบอัสวงจรด้วยแหล่งจ่ายสองค่า (dual supply voltage)

ใน [27] นำเสนอเทคนิคที่ลดจำนวนของวงจรเปลี่ยนระดับของสัญญาณในวงจรดังรูปที่ 3.4 จะพบว่าไม่มีการนำเอาต์พุตของวงจรซึ่งไบอัสด้วย V_{DDL} ขับวงจรที่ไบอัสด้วย V_{DDH} โดยตรงแต่ผ่านวงจร VIC (voltage interface circuit) ซึ่งทำหน้าที่เปลี่ยนระดับศักดา

การออกแบบวงจรประมวลผลใน [27] โดยใช้การสังเคราะห์แบบอัตโนมัติ และวงจรถูกสร้างด้วยเทคโนโลยีซีมอสขนาด 0.3ไมครอน ใช้แหล่งจ่าย 3.3 V โดยในส่วนที่ไม่ใช่เส้นทาง critical สามารถลดค่าของแหล่งจ่ายลงเหลือ 1.9 V โดยไม่ส่งผลกระทบต่อสมรรถนะของวงจรและสามารถลดการสิ้นเปลืองกำลังงานลง จากผลการทดสอบพบว่าสามารถลดการสิ้นเปลืองกำลังงานลงร้อยละ 39 ถึง 57 เมื่อเปรียบเทียบกับวงจรประมวลผลที่ไบอัสด้วยค่า 3.3V ซึ่งเป็นค่ามาตรฐาน



รูปที่ 3.4 แสดงการแบ่งวงจรเป็นสองส่วนและใช้แหล่งจ่ายสองค่า [27]

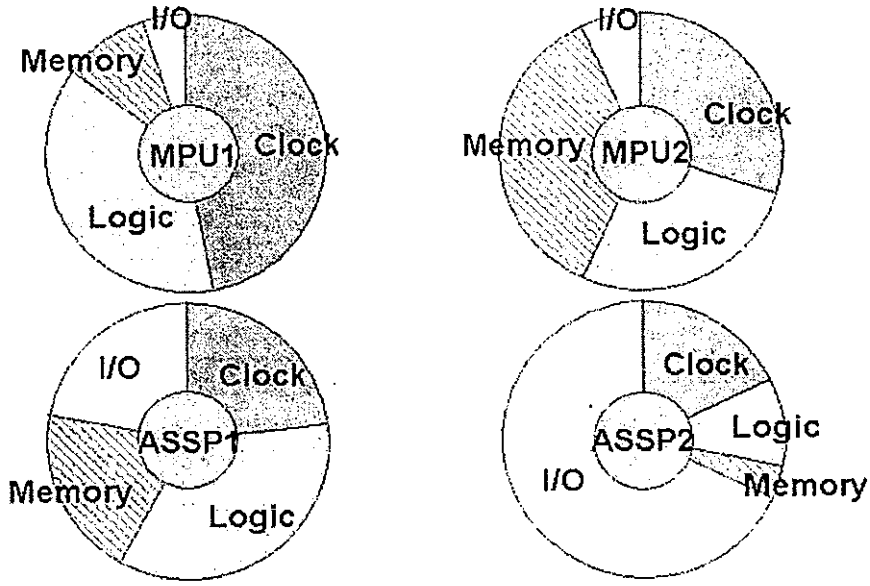
3.2.2 การลดการเปลี่ยนแปลงค่าที่โหนดภายใน (avoid unnecessary activity)

ในวงจรประเภทไดนามิกทั่วไป การสิ้นเปลืองกำลังในวงจรส่วนใหญ่ใช้ในการประจุเพื่อเปลี่ยนสถานะของโหนดภายในให้มีค่าเป็นลอจิก "1" ก่อนที่ข้อมูลจะเข้ามา ซึ่งการประจุจะเกิดขึ้นทุกคาบเวลาของสัญญาณนาฬิกา แม้ว่าข้อมูลที่เข้ามาใหม่มีค่าเหมือนกับข้อมูลก่อนหน้านี้หรือไม่ก็ตาม ดังนั้นถ้าเราสามารถควบคุมโหนดภายในให้มีการประจุเท่าที่จำเป็นได้ ทำให้สามารถลดการสิ้นเปลืองกำลังงานที่เกิดจากการสวิตซ์ที่โหนดภายในลง ใน [28] ได้นำเสนอวงจร condition capture flip flop (CCFF) ซึ่งเป็นวงจรฟลิปฟลอปประเภทไดนามิกและมีโครงสร้างแบบดิฟเฟอเรนเชียล ซึ่งวงจรดังกล่าวใช้ค่าของเอาต์พุตก่อนหน้ามาเปรียบเทียบกับอินพุตที่เข้ามาใหม่นำผลการเปรียบเทียบที่ได้มาควบคุมการคายประจุที่โหนดภายใน จากผลการทดสอบสามารถลดการสิ้นเปลืองกำลังได้ถึงร้อยละ 30 เมื่อเปรียบเทียบกับวงจรฟลิปฟลอปแบบ sense amplifier ที่นิยมใช้กันอย่างกว้างขวาง [29]

3.2.3 การใช้วงจรที่ทำงานด้วยสัญญาณนาฬิกาแบบที่มีการแกว่งของสัญญาณต่ำ (low-swing clock)

ในระบบดิจิตอลแบบซิงค์โครนัสเราสามารถจำแนกองค์ประกอบหลักของระบบเป็นส่วนของลอจิก ส่วนของหน่วยความจำ ส่วนของระบบสัญญาณนาฬิกาและส่วนของอินพุตและเอาต์พุต หากพิจารณาการสิ้นเปลืองกำลังงานของระบบตามองค์ประกอบดังกล่าวพบว่าการสิ้นเปลืองกำลังงานในส่วนของระบบสัญญาณนาฬิกามีสัดส่วนที่สูง ดังเช่นในแผนภูมิรูปที่ 3.5 [30] จำแนกสัดส่วนการสิ้นเปลืองกำลังงานของระบบตัวอย่างทั้ง 4 ระบบได้แก่ ไมโครโพเซสเซอร์สมรรถนะต่ำ(MPU1) ไมโครโพเซสเซอร์สมรรถนะสูง (MPU2) วงจรรวมประมวลผล (MPEG2(ASSP1) และวงจรรวมระบบสวิตซ์ของการสื่อสารแบบATM (ASSP2) จะเห็นได้ว่าการสิ้นเปลืองกำลังงานจากระบบสัญญาณนาฬิกาคิดเป็นสัดส่วนประมาณร้อยละ 20-45 ของการสิ้นเปลืองกำลังงานรวม โดยการสิ้นเปลืองกำลังงานส่วนใหญ่ในระบบสัญญาณนาฬิกา เกิดจากการเปลี่ยนสถานะของสัญญาณ

นาฬิกา ดังนั้นวิธีลดการสิ้นเปลืองกำลังงานของระบบสัญญาณนาฬิกาที่ได้ผลคือการลดการแกว่งของสัญญาณนาฬิกาเนื่องจากซึ่งเป็นสัดส่วนโดยตรงกับการสิ้นเปลืองกำลังงาน ซึ่งในระบบสัญญาณนาฬิกาโดยทั่วไปประกอบด้วย วงจรกำเนิดสัญญาณนาฬิกาซึ่งมักจะเป็นวงจรเฟสล็อกลูป วงจรขับสัญญาณนาฬิกา (clock driver) และวงจรที่ต้องใช้สัญญาณนาฬิกาควบคุมได้แก่ วงจรแลทซ์และรีจิสเตอร์ต่างๆ ดังนั้นการเปลี่ยนไปใช้สัญญาณนาฬิกาที่มีการสวิงต่ำ ทำให้วงจรส่วนต่างๆที่กล่าวมาข้างต้นต้องออกแบบหรือดัดแปลงให้สามารถทำงานกับสัญญาณนาฬิกาในลักษณะดังกล่าวได้

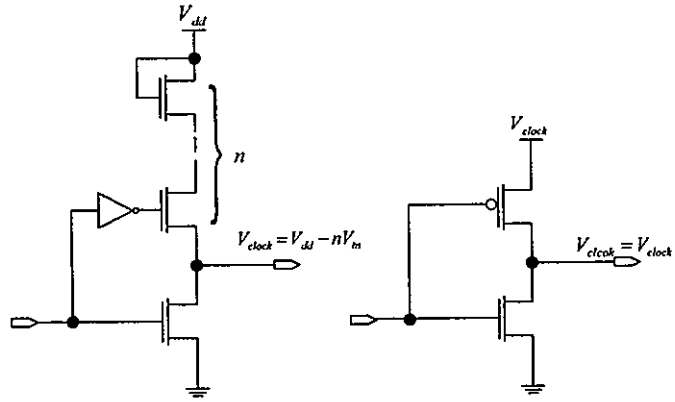


รูปที่ 3.5 การสิ้นเปลืองกำลังในส่วนต่างของวงจรVLSI [30]

ใน[30]มีการนำเสนอวงจรฟลิปฟลอปชื่อ reduce clock swing flip-flop (RCSFF)โดยส่วนที่เป็นมาสเตอร์แลทซ์ใช้วงจร sense amplifier และส่วนที่เป็นสเลฟแลทซ์ใช้วงจร cross-coupled nand gate ซึ่งควบคุมการทำงานด้วยสัญญาณนาฬิกาเฟสเดียว โดยการทำงานของ RCSFF คล้ายคลึงกับการทำงานของวงจร sense amplifier base flip-flop (SAFF) [29] แตกต่างที่ขนาดการแกว่งของสัญญาณนาฬิกาที่ใช้ควบคุมโหนดพรีชาร์จถูกลดขนาดลง ซึ่งส่งผลให้เกิดกระแสรั่วเพิ่มขึ้นในมอสเฟตที่ทำหน้าที่พรีชาร์จ ดังนั้นจึงต้องเพิ่มศักดาที่ขาบอดี้ของมอสเฟตที่ทำหน้าที่พรีชาร์จ ให้มีค่าสูงกว่า V_{dd} เพื่อเพิ่มค่าของศักดาขีดเริ่มทำให้กระแสรั่วลดลงในขณะที่มอสเฟตไม่ทำงาน

นอกจากนี้ยังส่วนประกอบที่สำคัญในการนำวงจรฟลิปฟลอปแบบนี้ไปใช้งานคือในส่วนของวงจรขับสัญญาณนาฬิกา ซึ่งทำหน้าที่สร้างสัญญาณนาฬิกาที่ลดขนาด (V_{clock}) มีอยู่ 2 แบบดังรูปที่ 3.6 โดยในแบบ A ขนาดของสัญญาณ $V_{clock} = V_{dd} - nV_{th}$ โดยที่ n คือจำนวนชั้นของมอสเฟตที่ต่ออนุกรมกับแหล่งจ่าย ดังนั้นการสิ้นเปลืองกำลังเป็นสัดส่วนกับ V_{clock} และง่ายต่อการนำไปใช้งาน ส่วนแบบ B สัญญาณ V_{clock} ที่ใช้เป็นแหล่งจ่ายสร้างมาจากวงจร dc-dc converter หรือจาก

แหล่งจ่ายภายนอก ดังนั้นการสิ้นเปลืองกำลังเป็นสัดส่วนกับ V_{clock}^2 ทำให้วงจรแบบนี้มีประสิทธิภาพเหนือ กว่าวงจรแบบ A แต่การนำไปใช้งานค่อนข้างยุ่งยาก จากผลการทดสอบวงจร RCSFF เทียบกับวงจรฟลิปฟลอปที่ใช้งานทั่วไป ในเรื่องการสิ้นเปลืองกำลังงานโดยใช้วงจรขับสัญญาณนาฬิกาแบบ A พบว่ามีการสิ้นเปลืองกำลังงานในระบบลดลงร้อยละ 52 และมีค่าเวลาหน่วง (clock-Q) เพิ่มขึ้นร้อยละ 23 ส่วนวงจรขับสัญญาณนาฬิกาแบบ B นั้นการสิ้นเปลืองกำลังงานลดลงร้อยละ 63 และมีค่าเวลาหน่วง (clock-Q) เพิ่มขึ้นร้อยละ 23 เปรียบเทียบกับวงจรฟลิปฟลอปที่มีโครงสร้าง master-slave ในการนำวงจรไปต่อใช้งานค่อนข้างยุ่งยาก เนื่องจากต้องใช้แหล่งจ่ายที่มีค่าแตกต่างกันสองค่าสำหรับไบอัสวงจรและไบอัสขาบอดี้ของมอสเฟต นอกจากนี้ต้องมีวงจรขับสัญญาณนาฬิกาใช้ในการควบคุมการทำงานของวงจร ส่วนข้อดีของวงจรนอกจากเป็นวงจรมีการสิ้นเปลืองกำลังต่ำ และทำงานได้ดีที่ความถี่สูงยังส่งผลให้ค่าตัวเก็บประจุในระบบมีค่าลดลงทั้งนี้เนื่องจาก การลดจำนวนมอส เฟตที่ต่อในโครงข่ายสัญญาณนาฬิกา (clock distribution network)

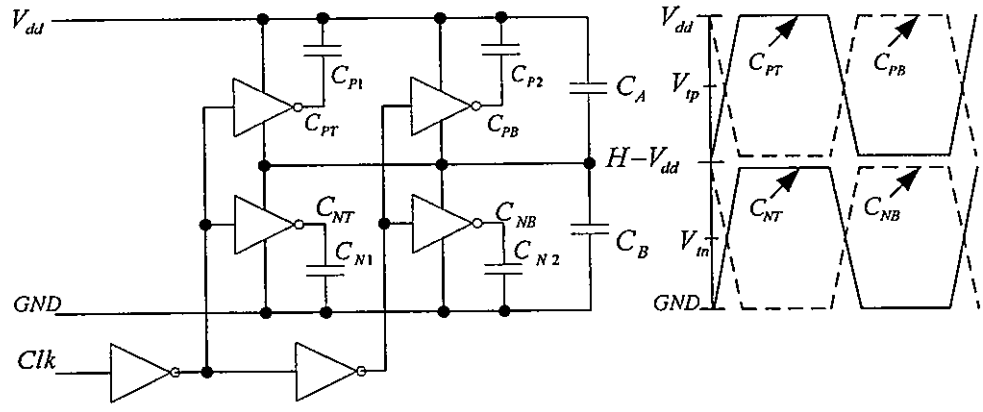


(ก) (ข)

รูปที่ 3.6 วงจรขับสัญญาณนาฬิกา [30] (ก) แบบ A (ข) แบบB

ใน [31] เป็นการนำเสนอวงจรขับสัญญาณนาฬิกาที่เอาต์พุตจะแยกสัญญาณที่ใช้สำหรับขับ NMOSและPMOSออกจากกันดังรูปที่ 3.7 โดยที่สัญญาณนาฬิกาที่ใช้ขับNMOSจะแกว่งอยู่ระหว่าง $0 \rightarrow V_{dd}/2$ หรือ $V_{dd}/2 \rightarrow 0$ ส่วนสัญญาณนาฬิกาที่ใช้ขับ PMOS จะแกว่งอยู่ระหว่าง $V_{dd} \rightarrow V_{dd}/2$ หรือ $V_{dd}/2 \rightarrow V_{dd}$ ในทางทฤษฎีการใช้สัญญาณนาฬิกาแบบนี้สามารถลดการสิ้นเปลืองกำลังงานในระบบลงร้อยละ 75 เทียบกับการสิ้นเปลืองกำลังงานในระบบที่เป็นแบบทั่วไป อย่างไรก็ตามจากผลการทดสอบวงจรขับสัญญาณนาฬิกาที่นำเสนอ พบว่าสามารถลดการสิ้นเปลืองกำลังงานเพียงร้อยละ 67 เนื่องจากจำนวนของ NMOS ที่เพิ่มขึ้นเพื่อแยกสัญญาณที่ใช้ขับ PMOS และ NMOSในวงจรขับสัญญาณนาฬิกา ส่วนความเร็วในการทำงานลดลงร้อยละ 20 เนื่องจากมีค่า

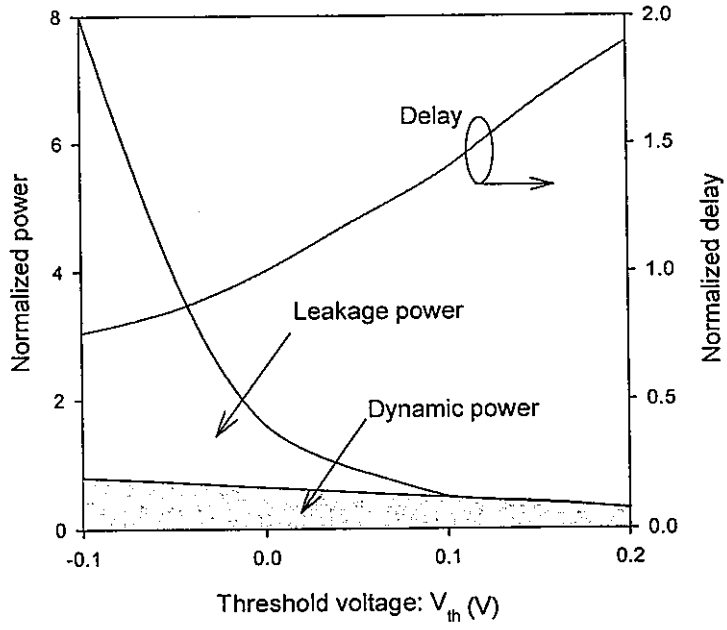
เวลาหน่วงที่เกิดขึ้นวงจรขับสัญญาณนาฬิกาและวงจรแลทช์ที่ถูกขับด้วยสัญญาณนาฬิกาแบบ half swing



รูปที่ 3.7 วงจรขับสัญญาณนาฬิกาแบบ half swing clocking [31]

3.3 วิธีการทางวงจรเพื่อลดการสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่ว

จากบทที่ 2 เราทราบแล้วว่าการสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่ว (P_{LEAK}) สามารถเขียนได้ดังสมการ $P_{LEAK} = I_{LEAK} V_{DD}$ โดยที่ I_{LEAK} คือค่ากระแสรั่วที่เกิดจากกลไกต่างๆในมอสเฟต และ V_{dd} คือค่าศักดาของแหล่งจ่าย โดยการสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่วนั้นมีแนวโน้มที่จะเพิ่มขึ้นในขณะที่ขนาดของมอสเฟตมีขนาดเล็กลง นอกจากนี้การลดค่าของศักดาขีดเริ่มเพื่อให้วงจรมีสมรรถนะสูงขึ้นนั้นก็เป็นเหตุผลสำคัญที่ทำให้กำลังงานสิ้นเปลืองจากผลของของกระแสรั่วเพิ่มขึ้นเช่นกัน ส่งผลให้การใช้กำลังงานรวมทั้งในโหมดแอ็คทีฟ (active mode) และโหมดสแตนบาย (standby mode) เพิ่มขึ้นด้วยดังรูปที่ 3.8 [32] วิธีการลดกระแสรั่วที่เกิดขึ้นสามารถทำได้ทั้งในระดับของขบวนการผลิต และในระดับวงจรโดยในระดับขบวนการผลิตการลดกระแสรั่วสามารถทำได้โดยการควบคุมความหนาของชั้นฉนวน (oxide thickness) ความลึกของรอยต่อ (junction depth) และ doping profile ของมอสเฟต ส่วนในระดับวงจรค่าของศักดาขีดเริ่มและกระแสรั่วของมอสเฟต สามารถควบคุมด้วยศักดาที่ไบอัสที่ขาเกท, ขาซอส,ขาเดรนและขาบอดี้ ให้มีค่าแตกต่างกันอย่างเหมาะสม ในวิทยานิพนธ์นี้จะกล่าวถึงแต่วิธีการลดกระแสรั่วในระดับวงจรซึ่งมีผู้นำเสนอไว้หลายวิธีดังนี้



รูปที่ 3.8 ความสัมพันธ์ของกำลังงาน และเวลาหน่วงกับค่าศักดาขีดเริ่ม [32]

3.3.1 วิธีการควบคุมกระแสรั่วในโหมดสแตนบาย

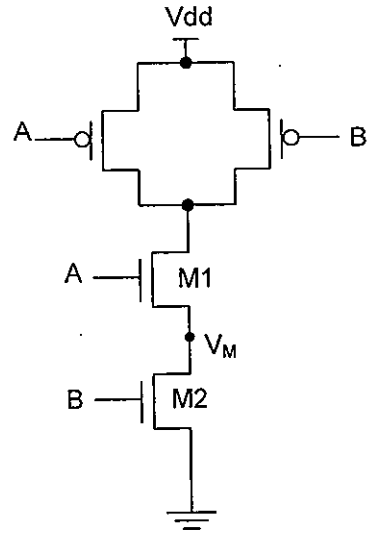
กระแสรั่วที่ไหลผ่านมอสเฟตที่ต่ออนุกรมเป็นชั้นๆจะมีค่าลดลง หากมอสเฟตที่ต่ออนุกรมในชั้นไม่ทำงาน ซึ่งเราเรียกกรณีดังกล่าวว่า stack effect เช่นในวงจร NAND gate สองอินพุต ดังรูปที่ 3.9 เมื่อ M1 และ M2 ไม่ทำงาน ศักดาที่โหนด V_M จะมีศักดาเป็นบวกเนื่องจากยังมีกระแสเดรนไหลเล็กน้อย [33] ผลจากที่โหนด V_M มีศักดาเป็นบวก ($V_M > 0$) ทำให้

1) ศักดาที่เกท-ซอส (V_{GS}) ของ M1 มีศักดาเป็นค่าลบ ส่งผลให้กระแสก่อนศักดาขีดเริ่มมีค่าลดลง
2) ศักดาที่ขาบอดี้-ซอส (V_{BS}) ของ M1 มีศักดาเป็นค่าลบส่งผลให้ศักดาขีดเริ่มของ M1 มีค่าเพิ่มขึ้นและทำให้กระแสรั่วก่อนศักดาขีดเริ่มมีค่าลดลง
3) ศักดาที่ขาเดรน-ซอส (V_{DS}) ของ M1 มีค่าลดลง ทำให้ศักดาขีดเริ่มของ M1 มีค่าเพิ่มขึ้นและกระแสรั่วก่อนศักดาขีดเริ่มมีค่าลดลง

ดังนั้นกระแสรั่วที่ไหลผ่านมอสเฟตที่ต่ออนุกรมสองชั้นมีค่าน้อยเปรียบเทียบกับกระแสรั่วที่ไหลผ่านมอสเฟตตัวเดียว ส่วนในการวิเคราะห์กระแสรั่วของมอสเฟตที่ต่ออนุกรมจำนวน n ชั้น สามารถดูรายละเอียดได้ใน [34]

นอกจากผลของ stack effect แล้ว กระแสรั่วก่อนศักดาขีดเริ่มที่ไหลผ่านลอจิกเกทยังขึ้นอยู่กับอินพุตเวคเตอร์ที่เข้าลอจิกเกทอีกด้วย ดังนั้นกระแสรั่วที่เกิดขึ้นในวงจรทั้งหมดจะขึ้นอยู่กับสถานะของอินพุต [35] สำหรับการหาค่าสถานะของอินพุตเวคเตอร์ที่เหมาะสมกับลอจิกเกท

เพื่อที่จะควบคุมค่ากระแสรั่วให้มีค่าน้อยๆในโหมดสแตนบาย สามารถอ่านรายละเอียดได้ใน [34], [35])



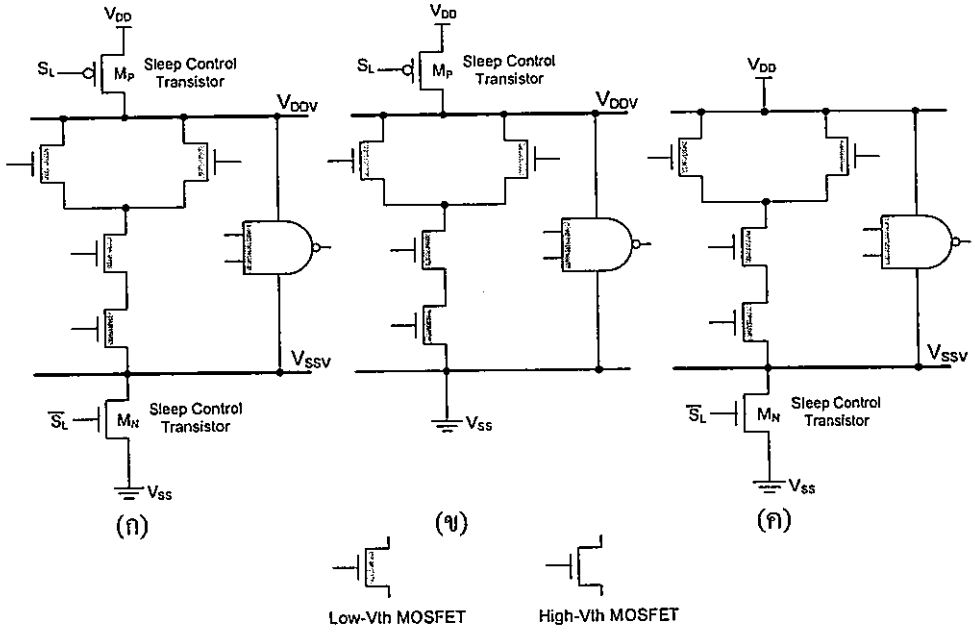
รูปที่ 3.9 stack effect ที่เกิดขึ้นใน NAND gate 2 อินพุต [33]

3.3.2 วงจรที่มีศักดาขีดเริ่มหลายค่า (multi-threshold CMOS : MTCMOS)

วงจร MTCMOS จะสร้างมอสเฟตที่มีค่าศักดาขีดเริ่มสูง (high-V_{th}) กับค่าศักดาขีดเริ่มต่ำ (low-V_{th}) อยู่บนชิพเดียวกัน โดยที่มอสเฟตที่มีค่าศักดาขีดเริ่มสูงจะทำหน้าที่กำจัดกระแสรั่วไหลในช่วงโหมดสแตนบาย ส่วนมอสเฟตที่มีค่าศักดาขีดเริ่มต่ำจะทำงานในช่วงแอคทีฟโหมด ทำให้ได้วงจรมีสมรรถนะสูง ดังแสดงในรูปที่ 3.10 (ก) [36] โดยในช่วงแอคทีฟโหมดสัญญาณ S_L มีค่าลอจิก "0" ทำให้ทั้ง Mp และ Mn (High Vth) ทำงาน ทำให้ที่โหนด V_{DDV} และโหนด V_{SSV} ทำหน้าที่เป็นแหล่งจ่ายเสมือน (virtual supply) ทำหน้าที่จ่ายกระแสให้กับวงจรลอจิกเกท (low Vth) ส่วนในช่วงสแตนบายโหมด สัญญาณ S_L มีค่าลอจิก "1" ทำให้ทั้ง Mp และ Mn ไม่ทำงานทำให้ที่โหนด V_{DDV} และโหนด V_{SSV} ไม่ต่อกับแหล่งจ่ายทำให้สามารถขจัดกระแสรั่ว ที่เกิดจากลอจิกเกท (low Vth) ทำให้กระแสรั่วในช่วงสแตนบายโหมดมีค่าน้อย อย่างไรก็ตามในการนำวงจรลอจิกเกทดังกล่าวไปใช้งานจริงค่อนข้างยุ่งยากเนื่องจากในช่วงสแตนบายโหมดในส่วนของลอจิกเกท (low Vth) ไม่ได้ต่อกับแหล่งจ่าย (Vdd และ Vss) ทำให้ข้อมูลที่เอาต์พุตโหนดไม่สามารถคงค่าไว้ได้ จึงจำเป็นต้องมีวงจรคงค่าเอาต์พุต (latch) ในช่วงโหมดสแตนบาย [37]

ในบางกรณีอาจเลือกใช้ Mp หรือ Mn อย่างใดอย่างหนึ่งก็เพียงพอสำหรับควบคุมกระแสรั่ว ดังรูปที่ 3.10 (ข) และ(ค) โดยรูปแบบในรูปที่ 3.10 (ค) มีค่าความต้านทานขณะทำงานน้อยกว่ารูปแบบในรูปที่ 3.10 (ข) เปรียบเทียบที่ความกว้าง (W) เท่ากัน ในทางตรงกันข้ามถ้าให้ค่าความต้านทานขณะทำงานคงที่ ความกว้างของ Mn จะมีค่าน้อยกว่าความกว้างของ Mp [38] ที่ผ่านมารูปแบบ

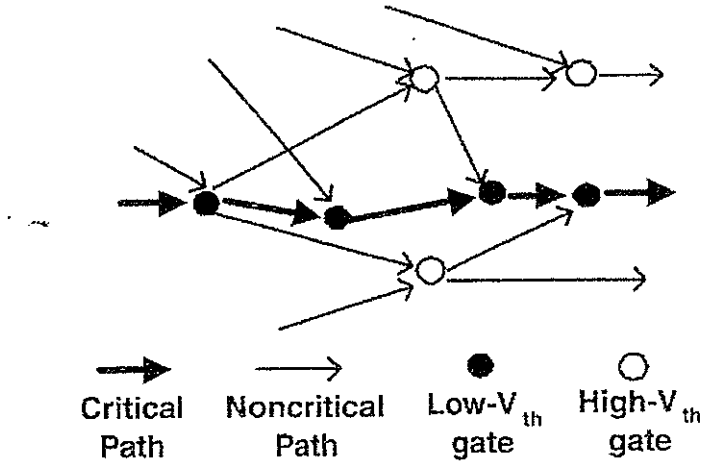
ดังกล่าวถูกนำเสนอใน [39] อย่างไรก็ตามวิธีการ MTCMOS สามารถลด การสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่ว เฉพาะในขณะที่วงจรอยู่ทำงานในสแตนบายโหมดเท่านั้นและมอสเฟตที่ใช้ควบคุมกระแสรั่วมีความกว้างมากทำให้พื้นที่เพิ่มขึ้นส่งผลให้ค่าเวลาหน่วงของวงจรเพิ่มขึ้นด้วย



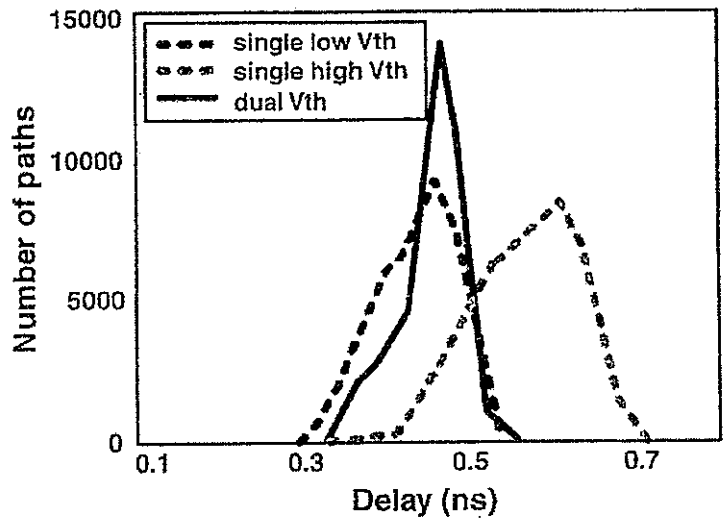
รูปที่ 3.10 วงจรที่มีศักดาขีดเริ่มหลายค่า (MTCMOS) [36] (ก) original MTCMOS (ข) PMOS insertion MTCMOS (ค) NMOS insertion MTCMOS

3.3.3 วงจรแบบศักดาขีดเริ่มสองค่า (dual threshold CMOS)

ใช้สำหรับวงจรลอจิก โดยมีการแบ่งวงจรเป็นสองส่วนคือส่วนที่เป็นเส้นทางที่ critical และส่วนที่เป็นเส้นทางที่ไม่ critical โดยส่วนที่เป็นเส้นทางที่ critical นั้นจะใช้มอสเฟตที่มีค่าศักดาขีดเริ่มต่ำเพื่อให้สมรรถนะของวงจรไม่เปลี่ยนแปลงเปรียบเทียบกับวงจรที่ใช้ single threshold ส่วนในเส้นทางที่ไม่ critical นั้นจะใช้มอสเฟตที่มีค่าศักดาขีดเริ่มสูงเพื่อลดกระแสรั่ว [40],[41] ซึ่งวิธีดังกล่าวไม่มีการเพิ่มมอสเฟตที่ควบคุมกระแสรั่ว ทำให้ได้ทั้งวงจรที่มีสมรรถนะสูงและมีการใช้กำลังงานต่ำพร้อมๆกัน โดยในรูปที่ 3.11 เป็นแนวคิดของวงจรซีมอสชนิดศักดาขีดเริ่มสองค่า จากแนวคิดดังกล่าวทำให้วิธี dual threshold เป็นวิธีที่ดีวิธีหนึ่งที่สามารถลดการสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่วทั้งในแอคทีฟโหมดและสแตนบายโหมดโดยที่ไม่ส่งผลต่อเวลาหน่วง และพื้นที่ในรูปที่ 3.12 เป็นการเปรียบเทียบค่าเวลาหน่วงในเส้นทางที่ critical ของวงจรบวกขนาด 32 บิทที่ใช้ dual threshold CMOS กับ single threshold CMOS โดยที่ในวงจรที่ใช้ dual threshold CMOS มีเวลาหน่วงในเส้นทางที่ critical เหมือนกับใน single low threshold CMOS ส่วนในเส้นทางที่ไม่ critical ของ dual threshold CMOS นั้นสามารถใช้มอสเฟตที่มีค่าศักดาขีดเริ่มสูงทำให้สามารถลดการสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่วลง



รูปที่ 3.11 แนวคิดของวงจรที่มีค่าศักดาขีดเริ่มสองค่า(dual threshold CMOS) [40]

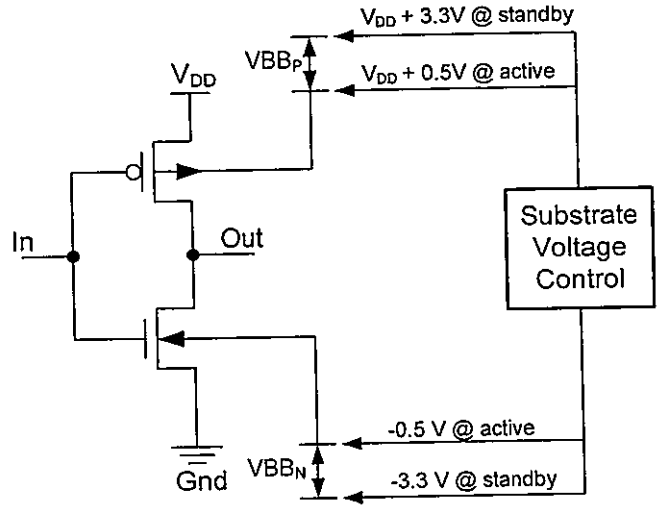


รูปที่ 3.12 เปรียบเทียบค่าเวลาหน่วงในเส้นทางที่ critical ของวงจรบวกขนาด 32 บิท[40]

3.3.4 วงจรที่ค่าศักดาขีดเริ่มเปลี่ยนแปลงได้ (variable threshold CMOS: VTCMOS)

ในรูปแบบของ VTCMOS การควบคุมการสิ้นเปลืองกำลังงานที่เกิดจากกระแสรั่วโดยจะใช้เทคนิคการไบอัสขาบอดี้ของมอสเฟต เพื่อเปลี่ยนแปลงค่าศักดาขีดเริ่มของมอสเฟตในระหว่างการทำงานโดยใช้วงจร substrate voltage control ทำหน้าที่ควบคุมการไบอัสดังรูปที่ 3.13 โดยในแอคทีฟโหมดขาบอดี้จะถูกไบอัสด้วยศักดาที่มีค่าใกล้ศูนย์ ส่วนในสแตนบายโหมดขาบอดี้จะถูกไบอัสกลับทำให้ค่าศักดาขีดเริ่มมีค่าสูงขึ้น ในขณะเดียวกันทำให้ค่ากระแสรั่วของมอสเฟตลดลง ใน [42] มอสเฟตทุกตัวในวงจรมีค่าศักดาขีดเริ่มต่ำ และถูกสร้างบน triple-well CMOS process ซึ่งการ

เปลี่ยนค่าศักดาขีดเริ่มของมอสเฟต แต่ละตัวด้วยการไบอัสขาบอดี้นั้นสามารถทำได้อย่างอิสระ โดยในช่วงแอคทีฟโหมดขาบอดี้ของPMOSจะถูกไบอัสด้วยศักดา $V_{DD}+0.5V$ ส่วนขาบอดี้ของNMOS ถูกไบอัสด้วยศักดา $-0.5V$ ทำให้มอสเฟตทุกตัวในวงจรมีค่าศักดาขีดเริ่มต่ำตามต้องการส่วนในช่วงสแตนบายโหมดขาบอดี้ของ PMOS จะถูกไบอัสด้วยศักดา $V_{DD}+3.3V$ ส่วนขาบอดี้ของ NMOSจะถูกไบอัสด้วยศักดา $-3.3V$ ส่งผลให้ค่าศักดาขีดเริ่มของมอสเฟตทุกตัวในวงจรเพิ่มขึ้นทำให้กระแสรั่วลดลง โดยศักดาขีดเริ่มสามารถปรับให้มีค่า 0.77 V ในช่วงแอคทีฟโหมด และมีค่ามากกว่า 0.5V ในช่วงสแตนบายโหมด สำหรับข้อด้อยของ VTCMOS โดยศักดาขีดเริ่มของมอสเฟตจะเป็นสัดส่วนกับรากที่สองของศักดาที่ไบอัสขาบอดี้-ซอส ทำให้ในการเปลี่ยนแปลงค่าศักดาขีดเริ่มของมอสเฟตต้องใช้ศักดาที่มีค่าสูงในการไบอัสขาบอดี้-ซอส และจำเป็นต้องใช้วงจร charge pump ทำหน้าเป็นวงจรที่ควบคุมศักดาของฐานรอง (substrate voltage control)

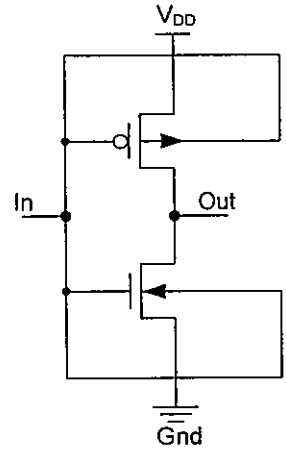


รูปที่ 3.13 โครงสร้างทั่วไปของวงจรที่มีค่าศักดาขีดเริ่มเปลี่ยนแปลงได้ (VTCMOS) [42]

3.3.5 วงจรที่ค่าศักดาขีดเริ่มเปลี่ยนแปลงแบบไดนามิก (dynamic threshold CMOS: DTCMOS)

ใน DTCMOS ค่าศักดาขีดเริ่มจะเปลี่ยนแปลงตามการทำงานของวงจร โดยให้ค่าศักดาขีดเริ่มมีค่าสูงในขณะวงจรทำงานในสแตนบายโหมดทำให้กระแสรั่วมีค่าต่ำและให้ค่าศักดาขีดเริ่มมีค่าต่ำในขณะที่วงจรทำงานในช่วงแอคทีฟโหมดทำให้กระแสขับมีค่าสูงขึ้น โดยรูปแบบของ DTMOS [43] จะใช้กับแหล่งจ่ายที่มีค่าศักดาไฟฟ้าต่ำมากและต่อขาบอดี้กับขาเกทเข้าด้วยกันดังรูปที่ 3.14 โดยเทคนิค DTMOS มีข้อจำกัดในเรื่องแหล่งจ่ายมีค่าได้ไม่เกิน 0.6V ใน bulk technology เพื่อป้องกันกระแสที่ไหลผ่านรอยต่อจำนวนมาก เนื่องมาจากการไบอัสตรงบริเวณรอยต่อพีเอ็นของที่

บอดี้-ซอส โดยปกติ DTCMOS ที่สร้างด้วย bulk technology นั้นจะเป็นแบบ triple well นอกจากนี้ยังสามารถสร้างด้วยเทคโนโลยีแบบ SOI (silicon on insulator) [44]



รูปที่ 3.14 วงจรอินเวอร์เตอร์ที่ศักดาขีดเริ่มเปลี่ยนแปลงแบบไดนามิก (DTCMOS) [43]

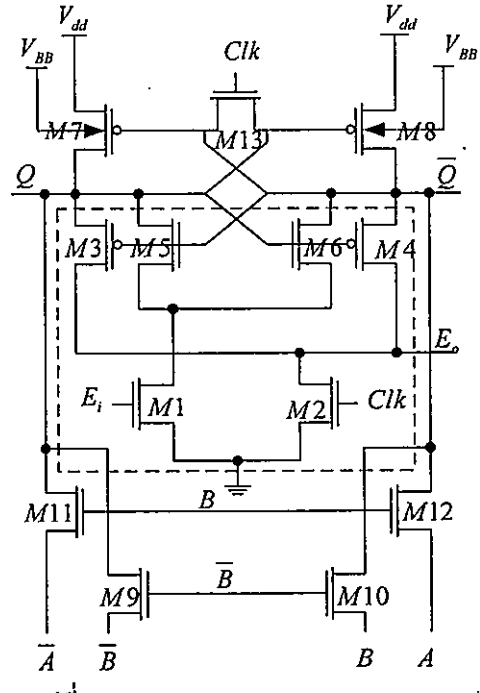
3.4 เทคนิคการกู้ประจุ (charge recovery techniques)

3.4.1 การใช้ประจุซ้ำ หรือชาร์จรีไซคลิ่ง (charge recycling)

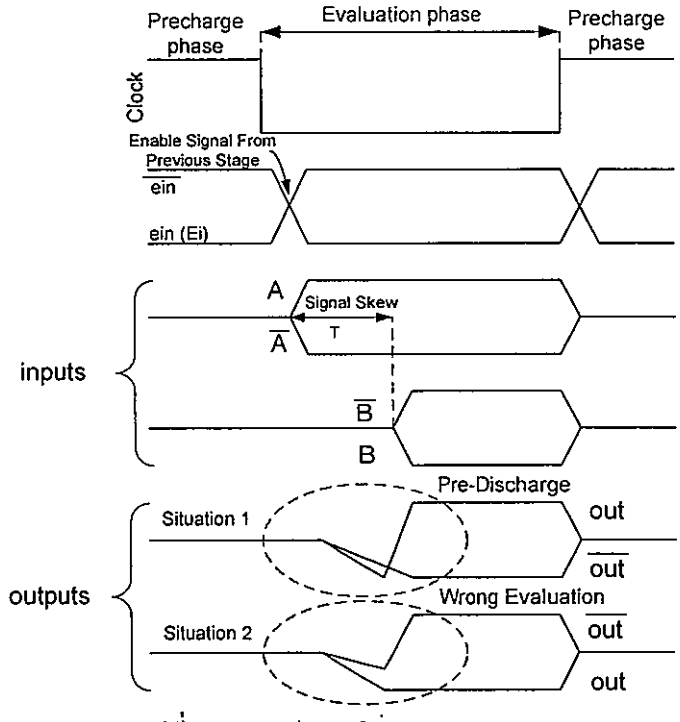
ชาร์จรีไซคลิ่งเป็นวิธีการหนึ่งที่มีประสิทธิภาพดี ซึ่งสามารถลดการใช้กำลังงานของวงจรประเภทไดนามิก โดยนำประจุที่ได้ในช่วงอีวาลูเอชั่นกลับมาใช้ในช่วงพรีชาร์จ ซึ่งวิธีดังกล่าวสามารถนำมาใช้กับวงจรประเภทไดนามิกที่มีโครงสร้างแบบดิฟเฟอเรนเชียล ซึ่งให้เอาต์พุตทั้งสองข้างมีค่าตรงกันข้ามเสมอ (out และ $\overline{out}$) โดยหลักการของเทคนิคชาร์รีไซคลิ่งมีดังนี้ ทุกครั้งหลังจากที่วงจรให้ค่าเอาต์พุตที่ถูกต้องแล้วเอาต์พุตโหนดด้านหนึ่งจะมีค่าศักดาเท่ากับ V_{dd} ส่วนอีกด้านหนึ่งจะมีค่าเท่ากับ GND ช่วงเวลาต่อมาแทนที่จะเข้าสู่ช่วงการพรีชาร์จเพื่อให้เอาต์พุตโหนดมีค่าเป็น V_{dd} ทั้งสองด้าน วงจรจะเชื่อมต่อเอาต์พุตโหนดทั้งสองด้านเข้าด้วยกันซึ่งการต่อเอาต์พุตโหนดเข้าด้วยกันดังกล่าวเรียกว่าการทำอีควอไลเซชั่น (equalization) ทำให้เอาต์พุตโหนดทั้งสองด้านมีค่าเป็น $V_{dd}/2$ เมื่อวงจรได้รับอินพุตใหม่หลังจากการทำอีควอไลซ์ ค่าศักดาที่เอาต์พุตโหนดจะเปลี่ยนแปลงเพียงครึ่งหนึ่งเมื่อเทียบกับวงจรแบบไดนามิกทั่วไป กล่าวคือจะเปลี่ยนจาก $V_{dd}/2$ ไปเป็น V_{dd} หรือเปลี่ยนไปเป็น GND เนื่องจากปริมาณของประจุที่ต้องเติมเข้ามาและทิ้งลงกราวด์มีปริมาณน้อยกว่าถึงร้อยละ 50 ของปริมาณที่ต้องเติมเข้าและทิ้งลงกราวด์ของวงจรประเภทไดนามิกแบบทั่วไป ทำให้ลดการใช้กำลังงานลงนอกจากนี้ยังทำให้เวลาที่ใช้ในการเปลี่ยนสถานะของวงจรจากลอจิก "0" ไป สู่ลอจิก "1"และจากลอ จิก "1" ไปสู่ลอจิก "0" ใช้เวลาสั้นกว่าด้วย เทคนิคชาร์จรีไซคลิ่งได้รับความสนใจเป็นอย่างยิ่งมีผู้เสนอวงจรต่างๆดังใน[45]-[52]ซึ่งจะขอกล่าวโดยย่อดังนี้

1 วงจรcharge recycling differential logic (CRDL) [45] แสดงดังรูปที่ 3.15 เป็นวงจรที่ใช้วิธีการแบ่งประจุ (charge sharing) ทำให้สามารถลดการสิ้นเปลืองกำลังงาน และวงจรมีสมรรถนะ

เหมือนกับวงจรDCVCL (differential cascade voltage switch logic) [53] ในการนำวงจรไปใช้งาน โดยการต่อแบบคาสเคท และใช้สัญญาณนาฬิกา 2 เฟสที่ตรงกันข้ามและไม่ทับซ้อน ในการควบคุมการทำงานของวงจร โดยระหว่างสเตจต้องเพิ่มวงจรแลทช์ นอกจากนี้จำเป็นต้องเพิ่มแหล่งจ่ายที่มีค่าสูง (V_{BB}) เพื่อไบอัสขาบอดี้ของPMOS ($M7$ และ $M8$) ใน cross-coupled อินเวอร์เตอร์ เพื่อเพิ่มค่าศักดาขีดเริ่มให้สูงกว่า $V_{dd}/2$ เพื่อหลีกเลี่ยงการนำกระแสของ PMOS ในช่วงพรีชาร์จ และปัญหาในเรื่อง pre-evaluate discharge เกิดขึ้นในกรณีที่ต่อลอจิกเกทเป็น chain โดยหลังจากที่สัญญาณ นาฬิกาเปลี่ยนสถานะเข้าสู่ช่วงอีวาลูเอชั่นและสัญญาณอินพุตเกิด skew เป็นเวลา T ดังรูปที่ 3.16 ทำให้ค่าที่พรีชาร์จไว้ที่เอาต์พุตโหนดอาจจะถูกคายประจุลงกราวด์ตามเกทที่ต่ออนุกรมอยู่ ทำให้เกิดการสิ้นเปลืองกำลังงานและเกิดค่าหน่วงเวลาพิ่มขึ้น บางครั้งอาจทำให้ค่าเอาต์พุตที่ได้ผิดพลาด

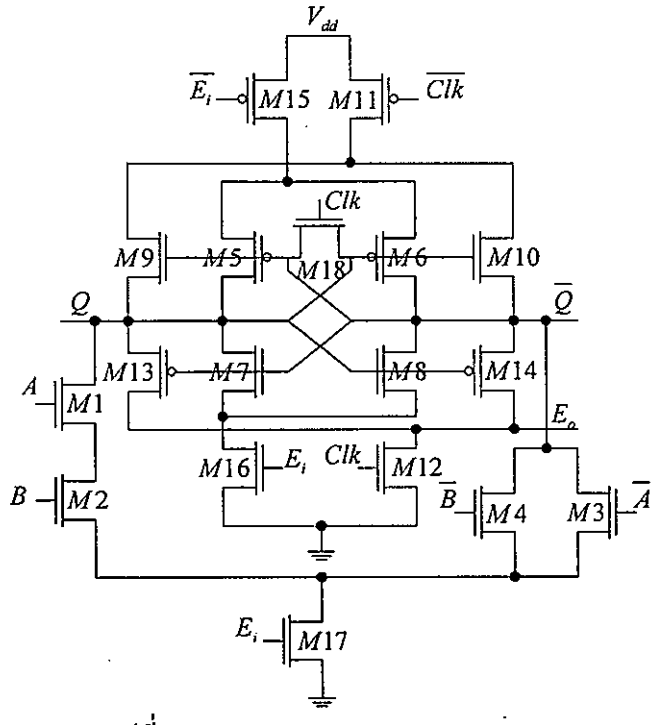


รูปที่ 3.15 วงจรCRDL [45] NAND gate



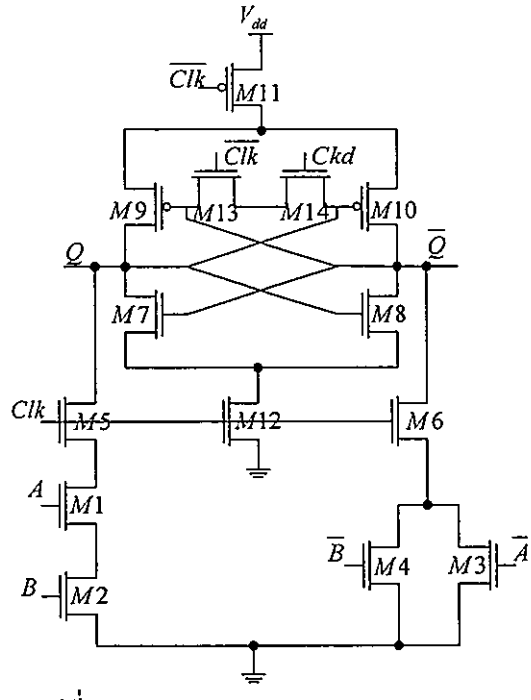
รูปที่ 3.16 กรณีการเกิด pre-evaluation

2 วงจร half rail differential logic (HRDL) [46] เป็นวงจรที่นำเอาCRDLมาปรับปรุงด้วยการยกเลิกการใช้ศักดาที่มีค่าสูงในการไบอัสขาบอดี้ของ PMOS ใน cross-coupled อินเวอร์เตอร์ และพยายามแก้ไขปัญหา pre-evaluate discharge ด้วยการเพิ่มวงจรควบคุมเข้าไปในแต่ละสเตจ ประกอบด้วยM9 - M14 ดังรูปที่ 3.17 อย่างไรก็ตามปัญหาเรื่อง pre-evaluation ใน HRD ยังคงพบอยู่ เนื่องจากสัญญาณที่ใช้ขับ (*ein*) ในการควบคุมเส้นทางพูลล์ดาวน์ ในช่วงอีวาลูเอชั่นยังคงเหมือนกับCRDL (กรณีที่ต่อเป็นchainยาวๆ) สำหรับแนวทางการแก้ไขปัญหาดังกล่าวทำได้โดยวิธีการหน่วงของสัญญาณที่ขับให้มาถึงช้ากว่าสัญญาณอินพุตสำหรับในกรณีที่ต่อเป็น chain สั้นๆนั้น ปัญหาเรื่อง pre-evaluation จะไม่เกิดขึ้นเนื่องจากสัญญาณอินพุตมาถึงก่อนสัญญาณขับ



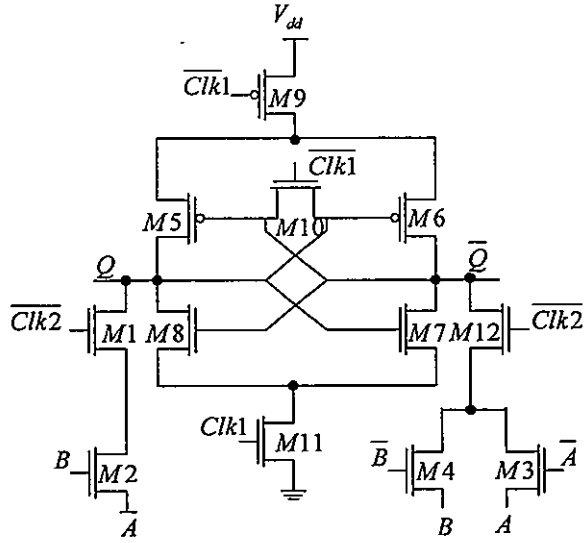
รูปที่ 3.17 วงจร HRDL [46] NAND gate

3 วงจรdynamic half rail differential logic (D-HRDL) [47] เป็นวงจรที่นำเอา HRDL มาปรับปรุง ซึ่งการนำวงจรลอจิกไปใช้งานโดยการต่อคาสเคดและใช้สัญญาณนาฬิกา 4 เฟสในการควบคุมการทำงาน ทำให้สามารถแก้ไขปัญหาเรื่อง pre-evaluation discharge เนื่องจากแต่ละสเตจที่ต่อเรียงกันนั้นสัญญาณที่ใช้ควบคุมในการอีวาลูเอชั่นมีเฟสที่แตกต่างกัน ทำให้ระหว่างสเตจที่ต่อแบบไปป์ไลน์ ไม่จำเป็นต้องเพิ่มวงจรแลทซ์เหมือนในกรณีของ CRDL ทำให้ D-HRDL งานได้เร็วกว่าเปรียบเทียบกับ CRDL โดยการใช้สัญญาณนาฬิกา 2 phaseในการควบคุมการทำงานของวงจรดังรูปที่ 3.18



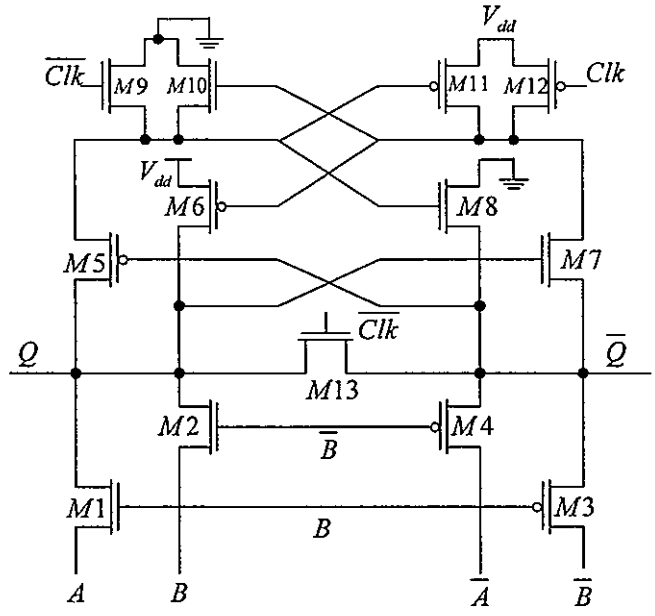
รูปที่ 3.18 วงจร D-HRDL[47] NAND gate

4 วงจร half rail pass-gate differential logic (HRPGDL) [48] ใช้โครงสร้าง cross-coupled อินเวอร์เตอร์เหมือนกับ HRDL และใช้สัญญาณนาฬิกาหลายเฟสที่ต่างกันในการควบคุมการไหลของข้อมูล โดยใน HRPGDLใช้ pass-gate logic แทนที่ NMOS logic เพื่อลดจำนวนของมอสเฟต และในขณะเดียวกันช่วยให้วงจรทำงานเร็วขึ้น ซึ่งใน HRPGDL จะใช้สัญญาณนาฬิกาจำนวน 3 เฟสในการควบคุมการทำงานของวงจรดังรูปที่ 3.19



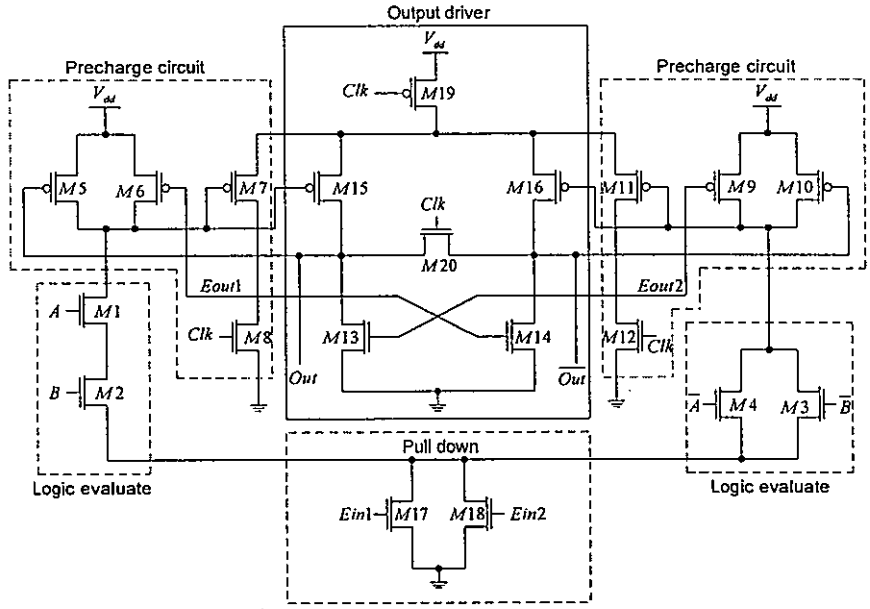
รูปที่ 3.19 วงจร HRPGDL [48] NAND gate

5 วงจรCMOS pass-gate no-race charge recycling logic (CPNCL) [49] เป็นวงจรที่สามารถแก้ปัญหาเรื่อง pre-evaluate dischargeที่เกิดจาก skew ของสัญญาณอินพุตและใช้สัญญาณนาฬิกาเพียง 2 เฟสในการควบคุมการทำงานของวงจร เปรียบเทียบกับ D-HRDL และ HRPGDL ดังรูปที่ 3.20 โดยวงจร CPNCL NAND gate 2 อินพุต สามารถลด power-delay product ลงได้ร้อยละ 30-50 เปรียบเทียบกับไดนามิกลอจิกที่เป็นชาร์จรีไซคลิ่งลอจิกแบบอื่นก่อนหน้านี้



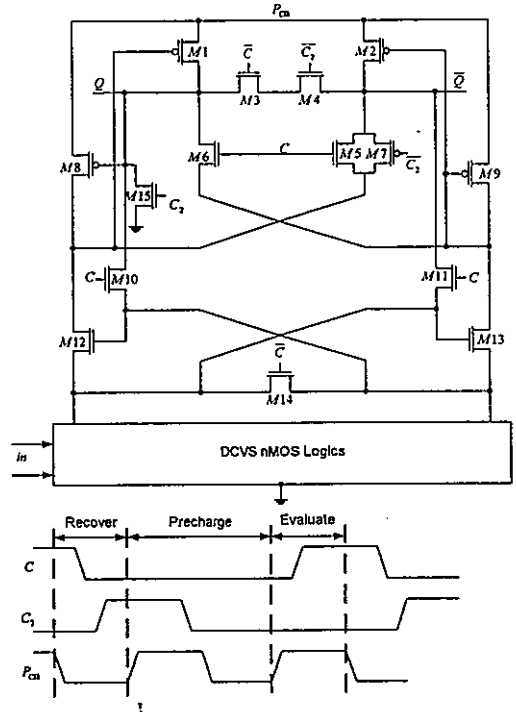
รูปที่ 3.20 วงจร CPNCL [49] NAND gate

6 วงจรsplit-level pre-charge differential logic (SPDL) [50] เป็นโครงสร้างที่ค่อนข้างซับซ้อนโดยแยกส่วนของลอจิกอินพุตออกจากเอาต์พุตโหนด ทำให้วงจรมีสเถียรภาพ (reliability) และลด propagation delay ดังรูปที่ 3.21 สำหรับจุดเด่นของวงจร SPDL คือในส่วนของวงจรขับเอาต์พุตโดยการทำงานในส่วนของเส้นทางพูลล์อัพท์ และส่วนของเส้นทางพูลล์ดาวน์ไม่สามารถทำงานพร้อมกันได้ในช่วงอีวาลูเอชั่น ทำให้ไม่เกิดกระแสลัดวงจรส่งผลให้โอกาสที่วงจรทำงานผิดพลาดน้อยลง จากผลการทดสอบพบว่าวงจร SPDL มีการสิ้นเปลืองกำลังงานลดลง 2-3 เท่าเปรียบเทียบกับวงจร CVSL และลดลงร้อยละ 20 เปรียบเทียบกับ HRDL



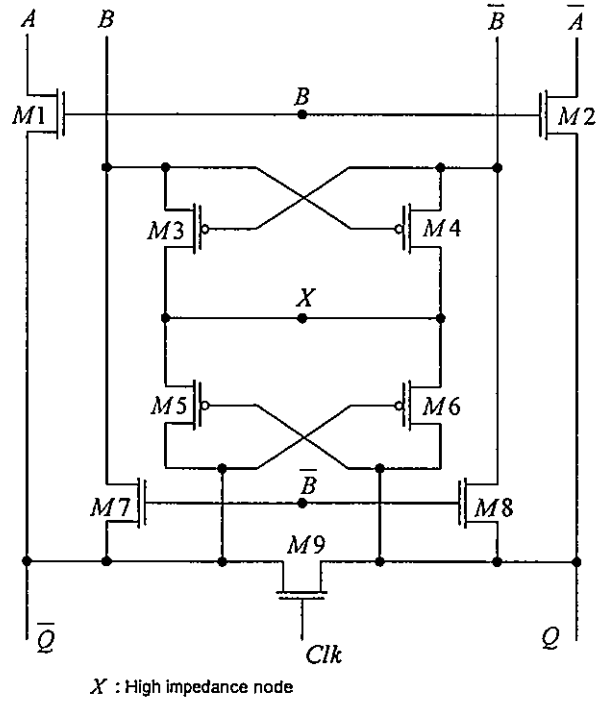
รูปที่ 3.21 วงจร SPDL [50] NAND gate

7 วงจรCMOS charge recovery and recycling differential logic (CRRDL) [51] เป็นวงจรที่นำเอาข้อดีของ c harge-sharing techniqueและadiabatic logic technique (จะกล่าวในหัวข้อถัดไป) มาใช้ทำให้สามารถลดการสิ้นเปลืองกำลังงาน โดยในรูปที่ 3.22 แสดงโครงสร้างของวงจร CRRDL ซึ่งค่อนข้างซับซ้อน และมีข้อจำกัดในการนำไปใช้งานคือไม่สามารถใช้งานที่ความถี่สูงเนื่องจากสัญญาณ P_{Clk} ต้องมีความชันมากพอเพื่อลดพลังงานสูญเสียในส่วน non-adiabatically



รูปที่ 3.22 วงจร CRRDL [51]

8 วงจร race-free CMOS pass-gate charge recycling logic (FCPCL) [52] เป็นวงจรที่มีโครงสร้างไม่ซับซ้อนและสามารถขจัดปัญหาที่เกิดจากอินพุต skew ดังรูปที่ 3.23 โดยวงจร FCPCL ใช้รูปแบบของ pass-transistor logic ทำให้วงจรทำงานได้เร็วและมีการสิ้นเปลืองกำลังงานน้อย เปรียบเทียบกับวงจรต่างๆก่อนหน้านี้



รูปที่ 3.23 วงจรFCPCL [52] NAND gate

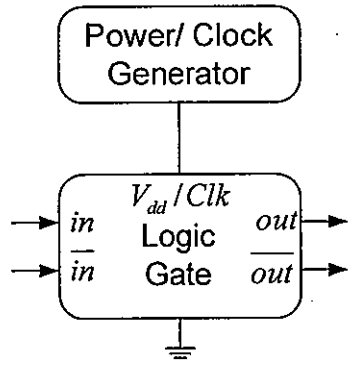
ตารางที่ 3.1 การเปรียบเทียบการสิ้นเปลืองกำลังงานของวงจรที่ใช้วิธีการชาร์จรีไซคลิ่งกับวงจรซีมอสประเภทไดนามิก

Logic Style	$P_{avg}(\mu W)$	$T_d(nS)$	PDP (fJ)	Device Count
DCVSL [53]	173	0.49	85	13
CRDL [45]	143	0.42	60	18
HRDL [46]	134	0.59	79	18
D-HRDL [47]	137	0.48	65	14
HRPGDL [48]	36.8	0.95	35	12
CPNCL [49]	96	0.69	66	13
SPDL [50]	110	0.49	54	20
CRRDL [51]	17.6	1.51	27	19
FCPCL [52]	43	0.34	14.7	13

ในการออกแบบวงจรที่ใช้กำลังงานต่ำ โดยใช้วิธีการชาร์จรีไซคลิ่งหลายๆรูปแบบข้างต้นนั้นสามารถลดการใช้กำลังงานของวงจรเปรียบเทียบกับวงจรซีมอสประเภทไดนามิกโดยไม่กระทบกับสมรรถนะอย่างอื่นของวงจรเช่น ความเร็วในการทำงานของวงจรและ skew ของสัญญาณอินพุต อย่างไรก็ตามเพื่อเพิ่มประสิทธิภาพของวงจร ทำให้บางวงจรมีความซับซ้อนหรือบางวงจรจำเป็นต้องใช้สัญญาณนาฬิกาหลายเฟสในการควบคุมการทำงานเพื่อลดปัญหา pre-evaluation discharge โดยในตารางที่ 3.1 เปรียบเทียบการใช้กำลังงานใช้กำลังงานของวงจรที่ใช้วิธีการ charge recycling (NAND gate logic) หลายๆรูปแบบกับวงจรซีมอสประเภทไดนามิกทั่วไป

3.4.2 วงจรแอเดียแบติกลอจิก (adiabatic Logic)

แอเดียแบติกเป็นเทคนิคสามารถลดการใช้กำลังงานของวงจรซึ่งแตกต่างจากเทคนิคที่ใช้อยู่ทั่วไป โดยการใช้แหล่งจ่ายที่เปลี่ยนแปลงตามเวลาแทนแหล่งจ่ายที่มีค่าคงที่โดยโครงสร้างของวงจรลอจิกที่ใช้วิธีแอเดียแบติกจะประกอบด้วยสองส่วนคือส่วนที่เป็น logical block และส่วนที่เป็น charge-recovery block ดังรูปที่ 3.24 โดยในส่วนของ charge-recovery block ประกอบด้วยแหล่งจ่ายหรือวงจรกำเนิดสัญญาณนาฬิกาทำหน้าที่กู้พลังงานที่เก็บในโหลดตัวเก็บประจุ ซึ่งแบ่งได้สองแบบคือแบบstep wise charging (SWC) clock generator และแบบ resonant clock generator

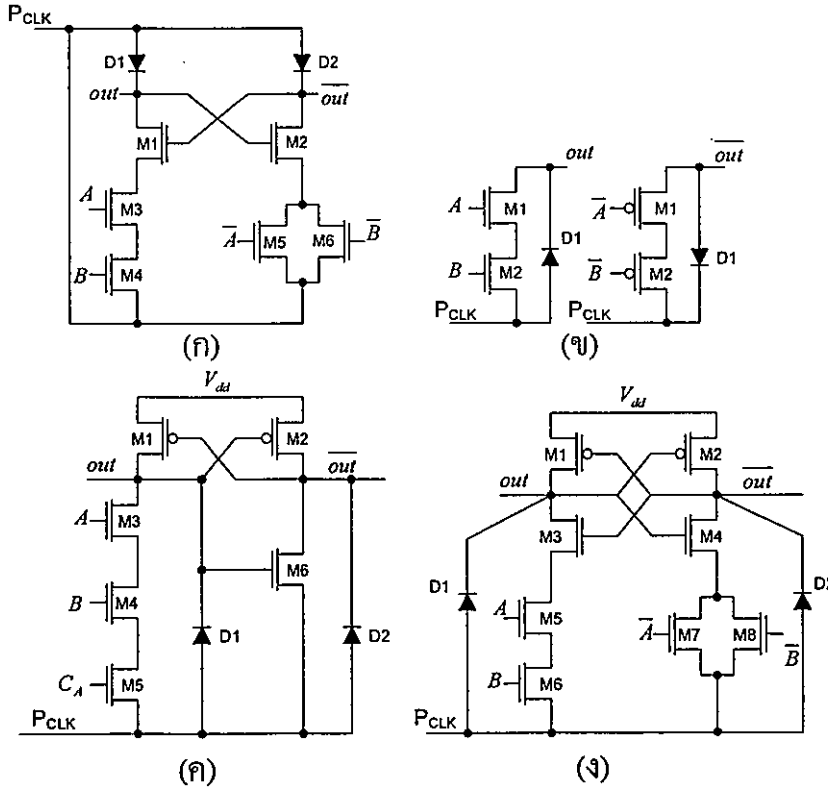


รูปที่ 3.24 โครงสร้างของวงจรแอเดียแบติกลอจิก

สำหรับในส่วนที่เป็นวงจรลอจิกที่สร้างโดยใช้วิธีแอเดียแบติกนั้น สามารถแบ่งตามกลไกการประจุที่เอาต์พุตโหนดได้เป็น 2 แบบ คือวงจรแอเดียแบติกแบบใช้ไดโอดซึ่งใช้การประจุโหนดเอาต์พุตผ่านไดโอด (diode-base adiabatic logic circuit) และวงจรแอเดียแบติกแบบใช้ทรานซิสเตอร์ซึ่งใช้การประจุโหนดเอาต์พุตผ่านทรานซิสเตอร์ (transistor-base adiabatic logic circuit)

3.4.2.1 วงจรแอเดียแบติกแบบใช้ไดโอด

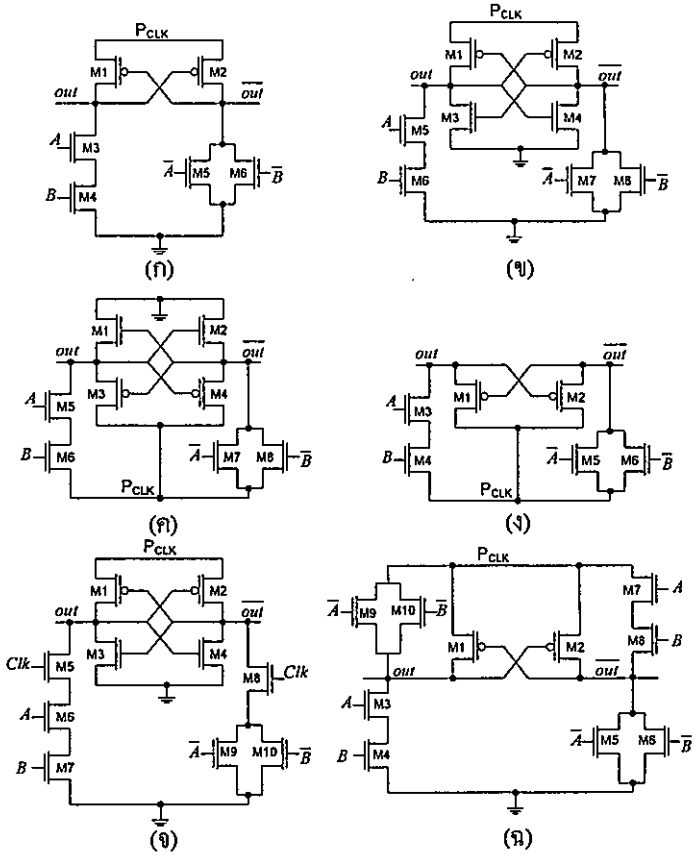
วงจรลอจิกแบบนี้การทำงานเหมือนกับวงจรประเภทไดนามิกทั่วไปซึ่งแบ่งการทำงานออกเป็น 2 ช่วงคือ ช่วงพรีชาร์จ และช่วงอีวาลูเอชั่น โดยในช่วงพรีชาร์จจะทำการประจุทำให้ที่เอาต์พุตโหนดมีค่าเป็นลอจิก "1" โดยผ่านไดโอด ทำให้ที่เอาต์พุตโหนดมีศักดาตกคร่อม $V_{out} = V_{dd} - V_{on}$ ส่วนช่วงอีวาลูเอชั่นประจุที่เก็บไว้ที่เอาต์พุตโหนดจะถูกคายประจุผ่านมอสเฟตลงกราวด์ ห รือคงค่าศักดาที่เอาต์พุตโหนดไว้ขึ้นอยู่กับอินพุตที่เข้ามา จากการทำงานดังกล่าวข้างต้นพบว่าวงจรลอจิกแบบที่ใช้การประจุโหนดเอาต์พุตโดยใช้ไดโอดนั้นในช่วงพรีชาร์จจะมีพลังงานส่วนหนึ่งสูญเสียไปในตัวไดโอด $E_{diode} = C_L V_{dd} V_{on}$ โดยที่ V_{on} คือค่าศักดาตกคร่อมขณะทำงานของไดโอด และทำให้ศักดาตกคร่อมที่เอาต์พุตโหนดถูกจำกัดไม่สามารถแกว่งได้เท่ากับค่าสูงสุดของแหล่งจ่าย ซึ่งถือเป็นข้อด้อยของวงจรแบบดังกล่าว ดังนั้นวงจรลอจิกแบบที่ใช้การประจุผ่านไดโอดมีการสิ้นเปลืองพลังงานเท่ากับ V_{on} / V_{dd} เปรียบเทียบกับวงจรลอจิกทั่วไป และการนำเสนอวงจรในรูปแบบนี้มากมาย เช่น 2N-2N2D [53], adiabatic dynamic logic (ADL) [54], improved adiabatic pseudo-domino logic(IAPDL) [55], และ dual-rail adiabatic pseudo-domino logic (DAPDL) [56] ดังรูปที่ 3.25



รูปที่ 3.25 วงจรNANDเกทที่ใช้วิธีแอเดียแบติกแบบใช้ไดโอด (ก) 2N-2N2D (ข) ADLnและ ADLp (ค) IAPDL (ง) DAPDL

3.4.2.2 วงจรแอเดียแบติกแบบใช้ทรานซิสเตอร์

วงจรลอจิกแบบนี้การสิ้นเปลืองกำลังงาน ส่วนหนึ่งเกิดจากการประจุและคายประจุของเอาต์พุตโหนด และอีกส่วนหนึ่งเกิดจากความแตกต่างของศักดาที่ขาซอสกับศักดาที่ขาเกทมีค่าน้อยกว่าค่าศักดาขีดเริ่มของมอสเฟตในวงจร ทำให้มอสเฟตไม่สามารถนำกระแสได้ ส่งผลให้มีค่าศักดาตกคร่อมที่เอาต์พุตโหนดเหลืออยู่เท่ากับค่าศักดาขีดเริ่มของมอสเฟต ซึ่งเราเรียกการสิ้นเปลืองพลังงานในส่วนนี้ว่า non-adiabatic loss โดยในแต่ละรอบการทำงานการสิ้นเปลืองพลังงานส่วนนี้มีค่าเป็นไปตามสมการ $E_{diss} = C_L V_{th}^2$ เมื่อเปรียบเทียบกับวงจรลอจิกทั่วไป ซึ่งมีการสิ้นเปลืองพลังงานในแต่ละรอบการทำงานมีค่าตามสมการ $E_{diss} = C_L V_{dd}^2$ เมื่อ C_L คือค่าโหลดแบบตัวเก็บประจุของวงจร V_{dd} คือค่าของแหล่งจ่าย และ V_{th} คือค่าศักดาขีดเริ่มของมอสเฟต จะเห็นว่าวงจรลอจิกแบบที่ใช้การประจุโหนดเอาต์พุตผ่านทรานซิสเตอร์จะมีการสิ้นเปลืองพลังงานเท่ากับ $(V_{th}/V_{dd})^2$ เปรียบเทียบกับวงจรลอจิกทั่วไป พบว่าได้มีการนำเสนอวงจรแบบนี้มากมาย เช่น2N-2P [57], 2N-2N2P [57], positive feedback adiabatic logic (PFAL) [58], pass-transistor adiabatic logic (PAL) [59], clock adiabatic logic (CAL) [60], และ improved pass-gate adiabatic logic (IPGL) [61] ซึ่งแสดงดังรูปที่ 3.26

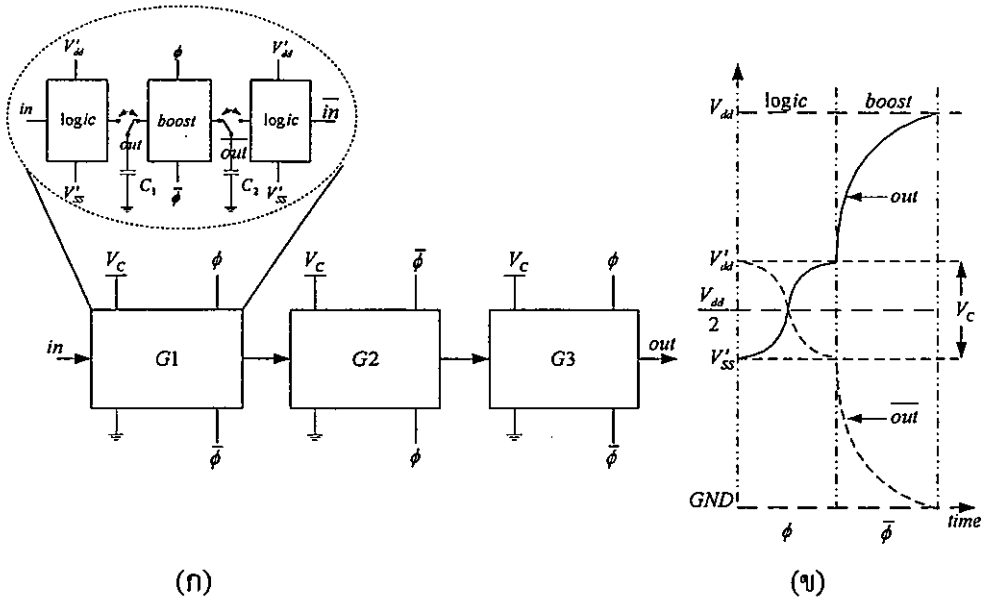


รูปที่ 3.26 วงจร NAND เกทที่ใช้วิธีแอเดียแบติกแบบใช้ทรานซิสเตอร์ (ก) 2N-2P (ข) 2N-2N2P (ค) PFAL (ง) PAL (จ) CAL (ฉ) IPGL

นอกจากนี้ยังมีเทคนิคที่เรียกว่าบูซทลอจิก (boost logic) [62] เป็นเทคนิคที่ใช้หลักการของการใช้ประจุซ้ำ ซึ่งเหมาะกับวงจรประเภทไดนามิกที่ใช้งานย่านความถี่สูง (GHz) ซึ่งโครงสร้างทั่วไปของเทคนิคนี้ประกอบด้วยสองส่วนคือส่วนที่เป็นลอจิกอีวาลูเอชั่น (logic evaluate stage) กับส่วนที่ใช้ประจุซ้ำ (charge recovery stage) หรือสเตจบูซทดังรูปที่ 3.27 (ก) โดยในส่วนของลอจิกสเตจนั้นใช้แหล่งจ่ายคงที่ (V'_{dd} และ V'_{SS}) มีค่าต่ำเพื่อลดการสิ้นเปลืองกำลังงานแบบไดนามิกและการสิ้น เปลืองกำลังงานที่เกิดจากกระแสรั่ว ส่วนในสเตจบูซทจะใช้แหล่งจ่ายที่เปลี่ยน แปลงตามเวลา (ϕ และ $\bar{\phi}$) จากรูปที่ 3.27 (ข) การทำงานของวงจรแบ่งเป็นสองเฟส โดยเฟสแรกสเตจลอจิกทำการอีวาลูเอชั่นค่าอินพุตที่เข้ามาทำให้ที่โหนด *out* และ $\overline{out}$ มีค่า V'_{dd} และ V'_{SS} และส่งต่อให้กับเฟสที่สองสเตจบูซททำหน้าที่ขยายแรงดันที่โหนด *out* และ $\overline{out}$ จาก V'_{dd} และ V'_{SS} ให้มีค่าเป็น V_{dd} และ *GND* ซึ่งการเพิ่มขึ้นของแรงดันที่โหนด *out* และ $\overline{out}$ จะเปลี่ยนแปลงตามสัญญาณ ϕ และ $\bar{\phi}$ จากผลการทดสอบพบว่าสามารถประหยัดพลังงานได้ร้อยละ 80 เทียบกับวงจรซีมอสประเภทสแตติก สำหรับข้อด้อยของเทคนิคบูซทลอจิกคือต้องเพิ่มแหล่งจ่ายที่มีศักดาที่มีค่าต่ำสำหรับไบอัสเสตจลอจิก โดยค่าของ V'_{dd} และ V'_{ss} สามารถหาได้จากสมการ

$$V'_{dd} = (V_{dd} + V_{th})/2 \tag{3.6}$$

$$V'_{ss} = (V_{dd} - V_{th})/2 \tag{3.7}$$



(ก) (ข)

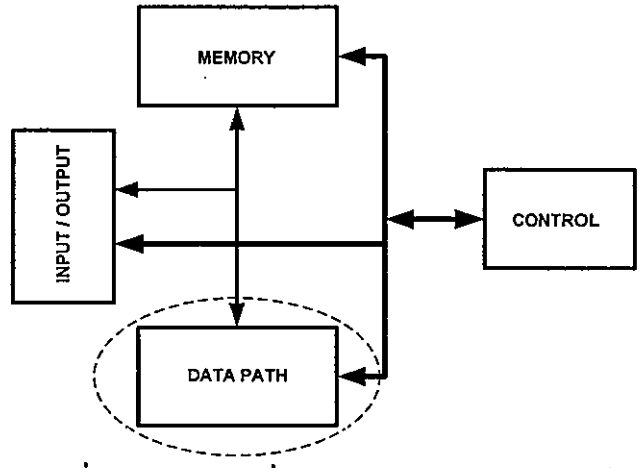
รูปที่ 3.27 แผนภาพของ boost logic (ก) แสดงการต่อวงจร boost logic แบบคาสเคด และ (ข) รูปคลื่นเอาต์พุต

บทที่ 4

วงจรลอจิกแบบแอเดียแบติกและวงจรฟลิปฟลอปแบบใช้ประจุซ้ำ

4.1 บทนำ

ในปัจจุบันอุปกรณ์ประเภทพกพาเช่น PDA โทรศัพท์มือถือ คอมพิวเตอร์พกพา ได้เข้ามามีบทบาทสำคัญในชีวิตประจำวัน และนับวันความต้องการใช้งานของอุปกรณ์ดังกล่าวมีแนวโน้มเพิ่มมากขึ้น การทำงานของอุปกรณ์ประเภทนี้อาศัยแบตเตอรี่เป็นแหล่งจ่ายกำลังงาน ดังนั้นจึงให้ความสำคัญกับการประหยัดพลังงานมากกว่าสมรรถนะและความเร็วในการทำงานด้วยเหตุนี้ในการออกแบบวงจรที่ใช้งานกับอุปกรณ์ประเภทพกพาจึงมีความจำเป็นอย่างยิ่งที่ต้องคำนึงถึงการใช้กำลังงานของวงจรขนาดของแบตเตอรี่น้ำหนักของอุปกรณ์และอายุการใช้งานของแบตเตอรี่ สำหรับการประมวลผลต่างๆในอุปกรณ์พกพาจะใช้โปรเซสเซอร์เป็นแกนหลัก โครงสร้างทั่วไปของโปรเซสเซอร์สามารถแสดงได้ดังรูปที่ 4.1 ซึ่งประกอบด้วยโมดูลรับส่งข้อมูล (input/output) โมดูลเส้นทางข้อมูล (datapath) โมดูลความจำ (memory) และโมดูลควบคุม (control) โดยโมดูลที่เป็นแกนหลักของโปรเซสเซอร์คือโมดูลดาต้าพาธ์ทซึ่งทำหน้าที่ประมวลผลข้อมูล ส่วนโมดูลอื่นๆจะทำหน้าที่สนับสนุนการทำงานเช่นเก็บผลลัพธ์จากการประมวลผลของเส้นทางข้อมูล หรืออาจนำผลลัพธ์จากการประมวลผล ส่งให้โมดูลควบคุมใช้ในการกำหนดการทำงานของโปรเซสเซอร์ในรอบการทำงานถัดไป โดยทั่วไปภายในของเส้นทางข้อมูลจะประกอบด้วยคอมบิเนชั่นฟังก์ชัน เช่นลอจิก (AND,OR,XOR) หรือฟังก์ชันการคำนวณทางคณิตศาสตร์ เช่น การบวก (adder) การคูณ (multiplication) การเปรียบเทียบ (comparision) และการเลื่อน (shift) ซึ่งในการออกแบบโปรเซสเซอร์จะต้องคำนึงถึงพื้นที่ ความเร็วและการสิ้นเปลืองกำลังงานของวงจร



รูปที่ 4.1 โครงสร้างทั่วไปของดิจิตอลโปรเซสเซอร์

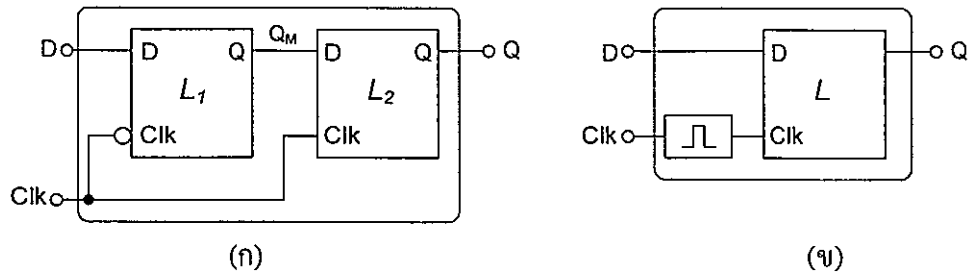
วิทยานิพนธ์นี้นำเสนอระบบดิจิตอล ซึ่งเป็นส่วนหนึ่งของเส้นทางข้อมูลที่มีการสิ้นเปลืองกำลังงานต่ำและความเร็วในการทำงานไม่สูงมาก นอกจากนี้เอาต์พุตของวงจรที่นำเสนอยังสามารถทำงานร่วมกับวงจรทั่วไป โดยในระบบตัวอย่างที่นำเสนอจะประกอบด้วยในส่วนที่เป็นวงจรฟลิปฟลอปทำหน้าที่ใช้เป็นอุปกรณ์พักข้อมูลหรือรีจิสเตอร์ และส่วนที่เป็นวงจรลอจิกแบบคอมบิเนชั่น โดยวงจรฟลิปฟลอปที่นำเสนอเป็นวงจรประเภทไดนามิกซึ่งมีอินพุต และเอาต์พุตแบบดิฟเฟอเรนเชียล และใช้เทคนิคการใช้ประจุซ้ำเพื่อลดการเติมพลังงานจากแหล่งจ่ายภายนอก ส่วนวงจรลอจิกที่นำเสนอเป็นวงจรประเภทสแตติกและใช้เทคนิคการกู้ประจุ เพื่อลดการสิ้นเปลืองกำลังงานในรูปของความร้อน

4.2 รีจิสเตอร์

สำหรับในระบบที่นำเสนอนั้นส่วนแรกที่จะกล่าวถึงเป็นส่วนของวงจรฟลิปฟลอป โดยในวิทยานิพนธ์นี้เลือกใช้วงจรฟลิปฟลอปแบบไดนามิกทำหน้าที่เป็นรีจีสเตอร์ของระบบ ทำให้ระบบทำงานได้เร็วขึ้น และการสิ้นเปลืองกำลังงานของระบบมีค่าเพิ่มสูงขึ้นเมื่อเปรียบเทียบกับการใช้วงจรฟลิปฟลอปแบบสแตติกในระบบ จากปัญหาเรื่องการสิ้นเปลืองกำลังงานของวงจรฟลิปฟลอปแบบไดนามิก ในวิทยานิพนธ์นี้เลือกนำเอาวิธีการนำประจุมาใช้ซ้ำมาใช้กับวงจรฟลิปฟลอปแบบไดนามิก เพื่อลดกำลังงานในการพรีชาร์จโหนดภายในให้มีค่าเป็นลอจิก "1" ด้วยแหล่งจ่ายภายนอก ซึ่งในการนำวงจรฟลิปฟลอปไปใช้งานมีพารามิเตอร์ที่สำคัญควรรู้จักเช่นค่า setup time: t_{SU} ค่า hold time: t_H และเวลาที่ใช้ในการส่งผ่านข้อมูลหรือค่า t_{Clk-Q} ซึ่งวงจรฟลิปฟลอปแบบไดนามิกที่น่าสนใจได้แก่ sense amplifier base flip-flop (SAFF) [29] และ conditional-capture flip-flop (CCFF) [28]

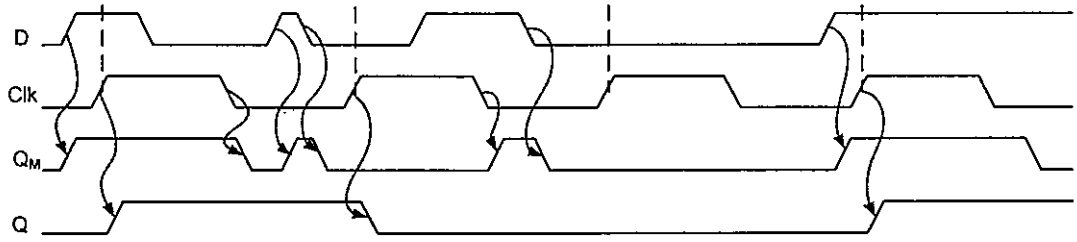
4.2.1 ฟลิปฟลอป

ฟลิปฟลอปเป็นอุปกรณ์เก็บข้อมูลหรืออุปกรณ์หน่วยความจำ ที่สามารถคงสถานะของเอาต์พุตได้ไม่ว่าอินพุตเดิมยังคงอยู่หรือไม่ก็ตาม โดยปกติฟลิปฟลอปจะทำงานแบบซิงโครนัส โดยใช้สัญญาณนาฬิกาในการควบคุมจังหวะการทำงาน และเรียกฟลิปฟลอปว่าเป็นอุปกรณ์ประเภทที่ทำงานเฉพาะที่ขอบของสัญญาณนาฬิกา (edge-triggered) ฟลิปฟลอปส่วนใหญ่จะสร้างจากวงจรแลทช์ แบ่งออกได้ 2 แบบคือแบบ master-slave latch pairs และ pulse-triggered latch ดังแสดงในรูปที่ 4.2 โดยฟลิปฟลอปแบบมาสเตอร์สเลฟจะใช้สัญญาณนาฬิกาที่มีเฟสตรงกันข้ามในการควบคุม การทำงานของแลทช์ (L_1 และ L_2) ซึ่งแตกต่างจากฟลิปฟลอปที่สร้างแบบ pulse-triggered latch ที่ใช้สัญญาณนาฬิกาจากภายนอก (external clock: Clk) มาสร้างเป็นสัญญาณพัลซภายใน (pulse triggered) ใช้ควบคุมการทำงานของแลทช์



รูปที่ 4.2 ฟลิปฟลอปที่สร้างจากแลทช์ (ก) master-slave latch pairs (ข) pulse-triggered latch

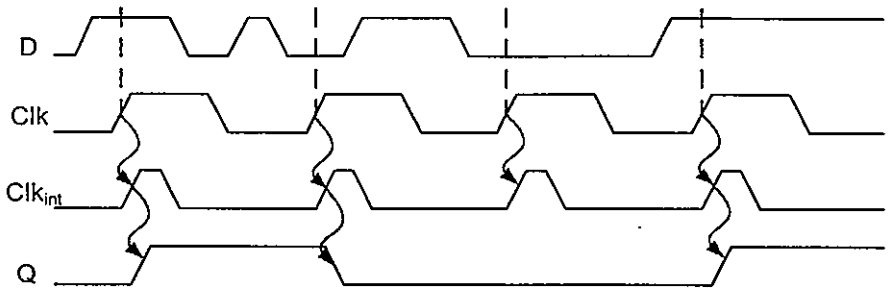
สำหรับการออกแบบฟลิปฟลอปแบบ master-slave latch pairs นั้น หากต้องการให้ทำงานที่สัญญาณขอบนาฬิกาขอบขาขึ้น จะต้องให้แลทช์ตัวแรกหรือมาสเตอร์ (master) เป็นชนิดที่ผ่านข้อมูลเมื่อสัญญาณนาฬิกามีค่าเป็นลอจิก "0" หรือเรียกว่าแลทช์ชนิดเอ็น (n-type) ต่อกับแลทช์ตัวที่สองหรือสเลฟ (slave) ชนิดที่ผ่านข้อมูลเมื่อสัญญาณนาฬิกามีค่าเป็นลอจิก "1" หรือเรียกว่าแลทช์ชนิดพี (p-type) หากต้องการออกแบบให้ฟลิปฟลอปทำงานที่สัญญาณนาฬิกาขอบขาลงก็ทำได้เช่นกันโดยเพียงแต่สลับชนิดของมาสเตอร์และสเลฟเป็นชนิดพีและชนิดเอ็นตามลำดับ ในรูปที่ 4.3 แสดงการทำงานของฟลิปฟลอปแบบมาสเตอร์สเลฟ โดยแลทช์ที่เป็นมาสเตอร์จะส่งผ่านข้อมูลและให้เอาต์พุต (Q_M) ในช่วงที่สัญญาณนาฬิกาเป็นขอบขาลงต่อมาสัญญาณนาฬิกา เปลี่ยนเป็นขอบขาขึ้นแลทช์ที่เป็นสเลฟจะส่งผ่านข้อมูลไปยังเอาต์พุต (Q) ส่วนแลทช์ที่เป็นมาส เตอร์จะปิด (opaque)



รูปที่ 4.3 คุณสมบัติทางเวลาของ master-slave latch pairs

สำหรับฟลิปฟลอปแบบ pulse-trigered latches เป็นฟลิปฟลอปแบบ 2 สเตจ โดยในสเตจแรกเป็นวงจรกำเนิดพัลซ (pulse generator) และสเตจที่สองเป็นแลทช์ดังรูปที่ 4.2 (ข) ในกรณีที่เลือกใช้แลทช์ชนิดพี ทำให้ฟลิปฟลอปดังกล่าวจะส่งผ่านข้อมูลในช่วงที่สัญญาณนาฬิกาเป็นขอบขาขึ้น สำหรับในส่วนของ pulse-triggered หรือ Clk_{int} จะสร้างจากสัญญาณนาฬิกาภายนอก (Clk) เพื่อใช้ในการควบคุมการทำงานของแลทช์ (L) ดังรูปที่ 4.4 โดยสัญญาณ Clk_{int} ควรมีค่าดูตี้ไซเคิล (duty cycle) น้อยๆ เพื่อลดความผิดพลาดในการทำงานของฟลิปฟลอป

ในกรณีที่สัญญาณ Clk_{int} มีค่าเวลาหน่วงมากจากสัญญาณนาฬิกาภายนอก (Clk) จะส่งผลให้ค่าเวลาหน่วง $Clk-Q$ ของ pulse-triggered latch มีค่าสูง ซึ่งแตกต่างกับกรณีที่ใช้สัญญาณนาฬิกาควบคุมการทำงานโดยตรง

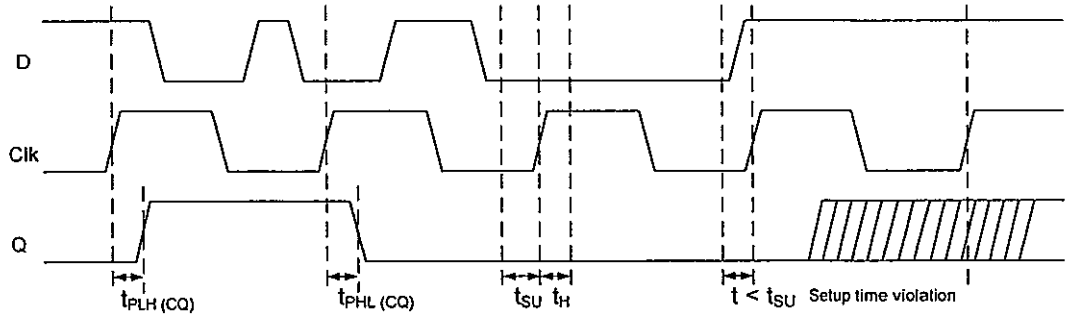


รูปที่ 4.4 คุณสมบัติทางเวลาของ pulse-triggered latch

วงจรแลทซที่นำมาสร้างฟลิปฟลอปสามารถแบ่งออกได้เป็น 2 แบบ คือแบบสแตติกและแบบไดนามิก สำหรับวงจรแลทซแบบสแตติกนั้นกรณีที่เอาต์พุตมีค่าลอจิก "1" นั้นที่โหนดเอาต์พุตจะต่อโดยตรงกับแหล่งจ่ายเสมอ สำหรับข้อดีของสแตติกแลทซคือมีการสิ้นเปลืองกำลังงานต่ำกว่าแลทซแบบไดนามิก ส่วนวงจรแลทซแบบไดนามิกจะใช้สัญญาณนาฬิกาในการควบคุมการพรีชาร์จโหนดภายในและอีวาลูเอชันข้อมูลอินพุต ทำให้เอาต์พุตเปลี่ยนแปลงค่าลอจิกตามอินพุตที่เข้ามาในช่วงอีวาลูเอชั่น ข้อดีของวงจรแลทซแบบไดนามิกคือเป็นวงจรที่มีสมรรถนะสูง กล่าวคือมีค่าหน่วงเวลาต่ำ ทำงานได้ดีที่ความถี่สูง ส่วนข้อเสียของวงจรแบบนี้คือมีการสิ้นเปลืองกำลังงานสูงเนื่องจากทุกรอบการทำงานจะต้องมีการพรีชาร์จโหนดภายในทุกครั้ง

4.2.2 คุณสมบัติทางเวลาของฟลิปฟลอป

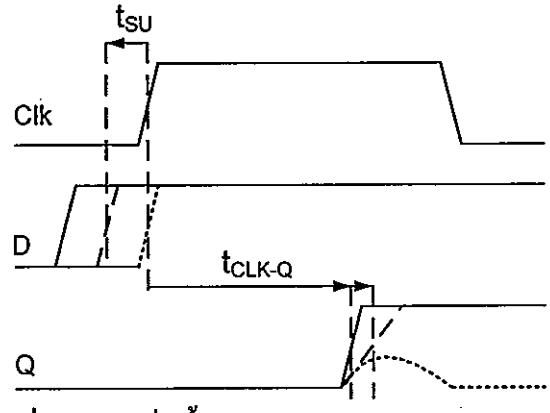
ในการหาสมรรถนะของฟลิปฟลอป สิ่งที่ต้องคำนึงถึงคือคุณสมบัติทางเวลาของวงจร ซึ่งเป็นความสัมพันธ์ระหว่างข้อมูลกับสัญญาณนาฬิกาซึ่งเป็นอินพุตของฟลิปฟลอป ส่งผลให้ได้ค่าเอาต์พุตที่ถูกต้อง ซึ่งพารามิเตอร์ที่สำคัญที่ใช้ในกำหนดการทำงานของฟลิปฟลอปให้ถูกต้องคือ setup time, t_{SU} และ hold time, t_H โดยในช่วงเวลาดังกล่าวข้อมูลที่เข้ามาต้องมีค่าไม่เปลี่ยนแปลงเพื่อให้การทำงานของฟลิปฟลอปได้ค่าเอาต์พุตที่ถูกต้องดังรูปที่ 4.5 จากแผนภาพทางเวลาฟลิปฟลอปจะสุ่มข้อมูล (sample data, D) ที่เข้ามาซึ่งตรงกับขอบ (triggering edge) ของสัญญาณนาฬิกา (ในกรณีนี้เป็นขอบขาขึ้น) และให้ค่าเอาต์พุตหลังจากผ่านช่วงความหน่วงของเวลา (propagation delay, t_P) โดย $t_{PLH,(CQ)}$ กรณีที่เอาต์พุตเปลี่ยนสถานะจากลอจิก "0" เป็นลอจิก "1" และ $t_{PHL,(CQ)}$ กรณีที่เอาต์พุตเปลี่ยนสถานะจากลอจิก "1" เป็นลอจิก "0" ซึ่งในกรณีนี้การเปลี่ยนสถานะจะเกิดขึ้นทุกๆขอบขาขึ้นของสัญญาณนาฬิกา



รูปที่ 4.5 แผนภาพทางเวลาของฟลิปฟลอป

4.1.2.1 setup time, t_{SU}

ก่อนเข้าสู่ช่วง setup timeของฟลิปฟลอปนั้นข้อมูล (D) ต้องคงที่ก่อนจะถึงขอบ (trigger edge) ของสัญญาณนาฬิกาเป็นระยะเวลาหนึ่ง โดยช่วงเวลาที่ข้อมูลต้องคงที่น้อยที่สุดก่อนถึงขอบของสัญญาณนาฬิกานั้นเรียกว่าช่วงเวลา setup time, t_{SU} [65] เพื่อให้ฟลิปฟลอปสามารถโหลดข้อมูลที่มีค่าถูกต้องเข้าไปดำเนินการประมวลผลดังรูปที่ 4.6 โดยในกรณีที่ข้อมูลมีค่าคงที่ก่อนถึงขอบของสัญญาณนาฬิกาเป็นเวลานานๆ ($>t_{SU}$) ทำให้ค่าเวลาหน่วงของ clock-to-output delay, t_{Clk-Q} มีค่าคงที่ ส่วนในกรณีที่ช่วงเวลาการคงที่ของข้อมูลมีค่าเท่ากับช่วงเวลา t_{SU} ส่งผลให้ค่าเวลาหน่วงของ t_{Clk-Q} มีค่าเพิ่มขึ้นเปรียบเทียบกับกรณีข้อมูลคงที่ก่อนถึงขอบของสัญญาณนาฬิกาเป็นเวลา นานๆ และในกรณีที่ช่วงเวลาการคงที่ของข้อมูลมีค่าน้อยกว่าช่วงเวลา t_{SU} ส่งผลให้การทำงานของฟลิปฟลอปเกิดความผิดพลาดขึ้นได้ หรือเรียกว่า setup time violate โดยปกติค่าของ setup timeสามารถเป็นได้ทั้งค่าบวกเช่นในกรณีของ master-slave latch pair และค่าลบเช่นในกรณีของ pulse-trigger latches ทั้งนี้ขึ้นอยู่กับโครงสร้างของวงจร แหล่งจ่าย และการจำลองการทำงาน โดยทั่วไปค่าsetup time, t_{SU} ที่เหมาะสมส่งผลให้เวลาหน่วง clock-to-output, t_{Clk-Q} มีค่าเพิ่มขึ้นร้อยละ 5-20 จากค่า t_{Clk-Q} ปกติ [66]

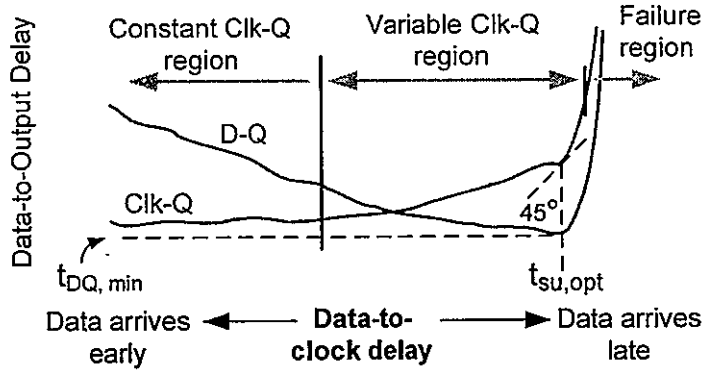


รูปที่ 4.6 การเพิ่มขึ้นของ t_{Clk-Q} ในช่วง setup time

ในฟลิปฟลอปการเปลี่ยนแปลงค่าของเอาต์พุตแต่ละรอบการทำงาน (cycle) นั้นใช้เวลาจาก data-to-output delay , t_{DQ} เท่ากับผลรวมของ t_{D-Clk} กับ t_{Clk-Q} ซึ่งเรียกช่วงเวลาดังกล่าวว่า timing overhead โดยความสัมพันธ์ของ t_{DQ} กับค่า t_{D-Clk} แสดงดังรูปที่ 4.7 ซึ่งจุดที่ optimizes performance นั้นเป็นช่วงที่ค่า data-to-output, t_{DQ} มีค่าต่ำสุด ($t_{DQ,\min}$) ซึ่งตรงกับค่าของ data-to-clock, t_{D-Clk} เราเรียกจุดดังกล่าวว่าเป็นจุด optimal setup time, $t_{SU,opt}$ [68] โดยจุดที่ $t_{SU,opt}$ นั้นความชันของกราฟความสัมพันธ์ของ t_{DQ} กับค่า t_{D-Clk} มีค่าเป็นศูนย์

$$
\begin{aligned}
t_{DQ} &= t_{D-Clk} + t_{Clk-Q} \\
\frac{\partial t_{DQ}}{\partial t_{D-Clk}} &= \frac{\partial t_{D-Clk}}{\partial t_{D-Clk}} + \frac{\partial t_{Clk-Q}}{\partial t_{D-Clk}} = 1 + \frac{\partial t_{Clk-Q}}{\partial t_{D-Clk}} \\
t_{SU,opt}, t_{DQ,\min} &\Rightarrow \frac{\partial t_{DQ}}{\partial t_{D-Clk}} = 0 \Rightarrow \frac{\partial t_{Clk-Q}}{\partial t_{D-Clk}} = -1
\end{aligned}
\tag{4.1}
$$

จากสมการที่ (4.1) จุดที่ค่า optimal setup time, $t_{SU,opt}$ เป็นจุดที่อัตราการลดลงของ t_{D-Clk} มีค่าเท่ากับอัตราการเพิ่มขึ้นของ t_{Clk-Q} โดยที่ความชันของกราฟ clock-to-output :Clk-Q มีค่าเท่ากับ-45°



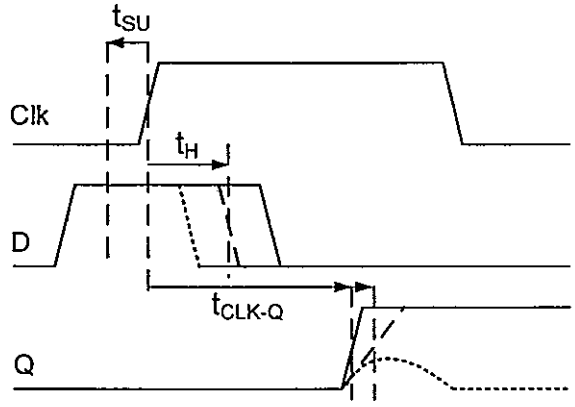
รูปที่ 4.7 data-to-output delay characteristic

4.1.2.2 hold Time, t_H

ในช่วง hold timeของฟลิปฟลอปนั้นข้อมูล (D) ที่โหลดเข้ามาต้องคงค่าลอจิกต่ออีกระยะเวลาหนึ่งหลังจากผ่านขอบ (trigger edge) ของสัญญาณนาฬิกาโดยช่วงเวลาที่น้อยที่สุดที่ข้อมูลต้องคงค่าหลังจากผ่านขอบของสัญญาณนาฬิกานั้นเรียกว่าช่วง hold time, t_H [65] เพื่อให้ฟลิปฟลอปทำการประมวลผลข้อมูลที่รับเข้ามาและเปลี่ยนแปลงค่าเอาต์พุต (Qและ$\overline{Q}$) ตามข้อมูลที่รับเข้ามาดังรูปที่ 4.8 ในกรณีที่ช่วงการคงค่าของข้อมูลหลังผ่านขอบของสัญญาณนาฬิกามีค่าน้อยกว่า t_H ส่งผลให้การประมวลผลข้อมูลที่รับเข้ามาของฟลิปฟลอปเกิดความผิดพลาดขึ้น ทำให้ค่าของ

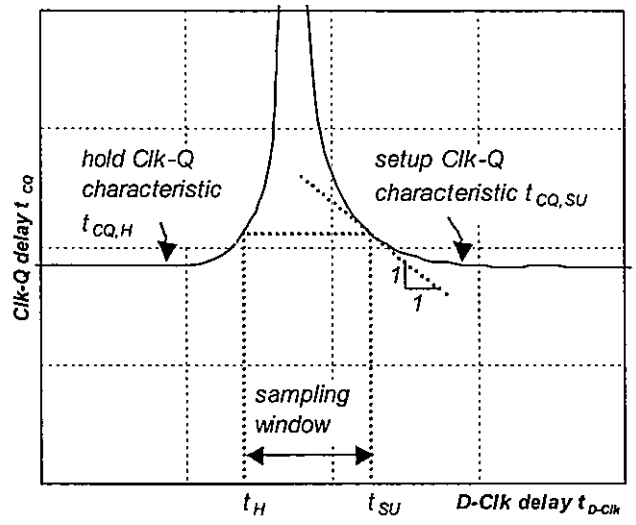
เอาต์พุตที่ได้ผิดพลาดตามไปด้วย ส่วนในกรณีที่ช่วงเวลาการคงค่าของข้อมูลที่รับเข้ามามีค่าเท่ากับ t_H ส่งผลให้ที่เอาต์พุตสามารถเปลี่ยนแปลงค่าลอจิกตามข้อมูลที่รับเข้ามาได้ถูกต้อง และในกรณีที่ช่วงเวลาการคงค่าของข้อมูลที่รับเข้ามามีค่ามากกว่า t_H ส่งผลให้ได้เอาต์พุตเปลี่ยนแปลงตามข้อมูลที่รับเข้ามา นอกจากนี้ยังส่งผลให้ค่าเวลาหน่วงของ t_{Clk-Q} ลดลงเปรียบเทียบกับกรณีที่ช่วงเวลาการคงค่าของข้อมูลมีค่าเท่ากับ t_H

โดยปกติค่าของ hold time สามารถเป็นได้ทั้งค่าบวก (pulse-trigger latches) และค่าลบ (master-slave latch pairs) เหมือนกับค่าของ setup time ทั้งนี้ขึ้นอยู่กับโครงสร้างของวงจร แหล่งจ่ายและการจำลองการทำงาน โดยทั่วไปค่า hold time, t_H ที่เหมาะสมจะส่งผลให้เวลาหน่วง clock-to-output, t_{Clk-Q} มีค่าเพิ่มขึ้นร้อยละ 5-20 จากค่า t_{Clk-Q} ปกติ [66]



รูปที่ 4.8 การลดลงของ t_{Clk-Q} ในช่วงของ hold time

ในระบบมีการทำงานถูกต้องและข้อมูลที่เข้ามาไม่ก่อให้เกิด setup time violate ค่าของ hold timeที่เหมาะสมเป็นจุดที่ค่าของ t_{Clk-Q} ด้าน hold time จะมีค่าเท่ากับ t_{Clk-Q} (maximum) ด้านsetup time ดังรูปที่ 4.9 (ความชันที่จุด optimal ด้าน hold timeไม่จำเป็นต้องมีค่าเป็นศูนย์เหมือนกับจุด optimal ด้าน setup time)



รูปที่ 4.9 hold time characteristics

4.1.2.3 clock-to-output delay, t_{Clk-Q}

ในช่วง t_{Clk-Q} เป็นเวลาหน่วงที่วัดจากขอบของสัญญาณนาฬิกาถึงเอาต์พุต ซึ่งค่าเวลาหน่วงของ t_{Clk-Q} จะมีค่ามากหรือน้อยขึ้นอยู่กับค่าของความชันของสัญญาณนาฬิกา ค่าของแหล่งจ่าย และเอาต์พุตโหลด ในอุดมคติเราต้องการให้ค่าเวลาหน่วงของฟลิปฟลอปเมื่อเอาต์พุตเปลี่ยนจากลอจิก "0" เป็นลอจิก "1" และจากลอจิก "1" เป็นลอจิก "0" มีค่าใกล้เคียงกัน รวมทั้งเวลาไต่ขึ้นและเวลาไต่ลงของเอาต์พุตมีค่าสมดุลย์กันมากที่สุด

4.1.2.4 maximum clock speed

ความเร็วของสัญญาณนาฬิกาสูงสุดที่วงจรฟลิปฟลอปสามารถทำงานได้ และให้ค่าของเอาต์พุต (Q และ $\overline{Q}$) ที่ถูกต้อง สามารถหาค่าได้จากสมการที่ (4.2)

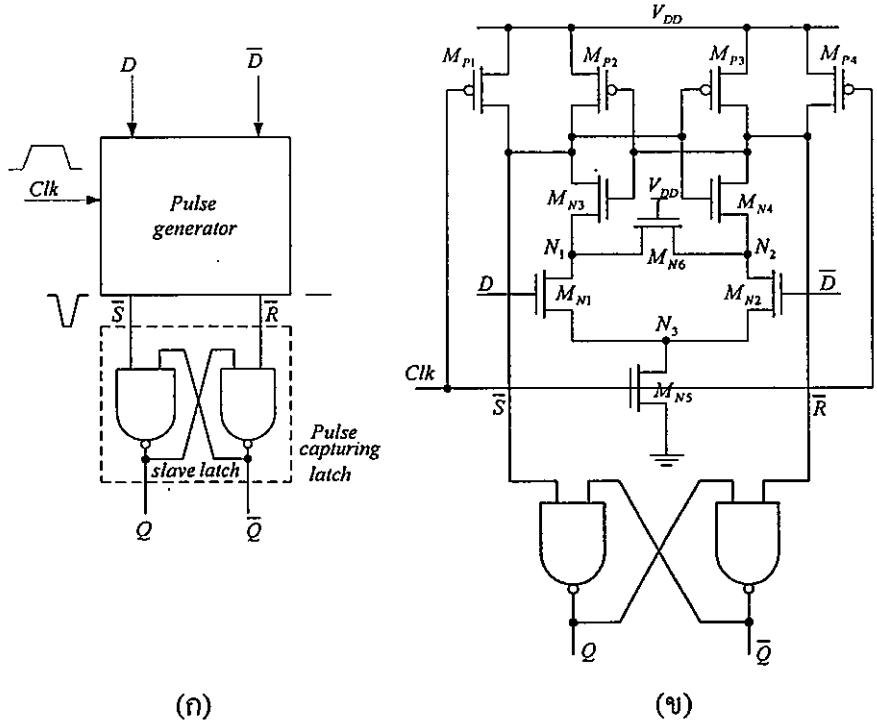
$$f_{Max} = 1/(t_{Clk-Q} + t_{SU}) \tag{4.2}$$

4.2.3 วงจรฟลิปฟลอปแบบไดนามิกที่น่าสนใจ

ก่อนที่จะอธิบายในรายละเอียดถึงวงจรฟลิปฟลอปที่นำเสนอในวิทยานิพนธ์ จะขอทบทวนถึงวงจรฟลิปฟลอปที่เกี่ยวข้องและมีคุณลักษณะที่น่าสนใจดังนี้

วงจรฟลิปฟลอปแบบ pulse triggered latches โครงสร้างพื้นฐานดังรูปที่ 4.10 (ก) ประกอบด้วย pulse generator (PG) และ pulse capturing latch (CL) โดยเอาต์พุตของ PG $\overline{S}$ หรือ $\overline{R}$ จะให้ลอจิก "0" (ปกติที่เอาต์พุตของ PG มีค่าลอจิก "1") ซึ่งช่วงเวลาที่เป็นลอจิก "0" ต้องนานพอที่ให้ในส่วนของ CL สามารถเปลี่ยนค่าของเอาต์พุต Q และ $\overline{Q}$ ตามค่าเอาต์พุตของ PG โดยช่วงเวลาที่เป็นลอจิก "0" ต้องมีค่าอย่างน้อยหนึ่งอินเวอร์เตอร์ดีเลย์ เพื่อให้ได้ค่าลอจิกที่เอาต์พุต Q และ $\overline{Q}$ ถูกต้อง

วงจร [29] ดังรูปที่ 4.10 (ข) เป็นวงจรpositive edge-trigger มีอินพุตและเอาต์พุตเป็นแบบดิฟเฟอเรนเชียล โดยวงจร sense amplifier base flip-flop:SAFF ประกอบด้วยสเตจsense-amplifier ทำหน้าที่เป็นมาสเตอร์แลทช์ และสเตจ S-R latch โดยใช้ NAND เกทสองตัวต่อแบบ cross-coupled ทำหน้าที่เป็นสเลฟแลท์ช โดยการทำงานของวงจรแบ่งออกเป็น 2 เฟส คือ พรีชาร์จ และอีวาลูเอชั่น โดยในช่วงที่สัญญาณนาฬิกามีค่าเป็นลอจิก "0" วงจรเข้าสู่ช่วงพรีชาร์จ ซึ่งช่วงเวลาดังกล่าวที่โหนดพรีชาร์จ $\overline{S}$ และ $\overline{R}$ ของ sense-amplifier stageจะถูกประจุโดยผ่านMp1และMp2 ให้มีค่าเป็นลอจิก "1" ส่งผลให้ Mn3และMn4 ทำงาน โดยในช่วงเวลาดังกล่าวที่เอาต์พุต Q และ $\overline{Q}$ ของ SR Latch จะเข้าสู่สภาวะคงค่าลอจิกก่อนหน้านี้ ต่อมาเมื่อสัญญาณนาฬิกาเปลี่ยนเป็นลอจิก "1" ทำให้วงจรเข้าสู่ช่วงอีวาลูเอชั่นโดยในช่วงเวลาดังกล่าว sense-amplifier stage จะโหลดค่าของข้อมูลที่เป็นตรงกันข้ามเข้าที่ D และ $\overline{D}$ ทำให้ด้านหนึ่งของโหนดพรีชาร์จ ($\overline{S}$ หรือ $\overline{R}$) จะมีค่าเป็นลอจิก "0" ผ่านทาง Mn3 หรือ Mn5 ส่วนด้านที่เหลือของโหนดพรีชาร์จยังคงค่าลอจิก "1" ทั้งนี้ขึ้นอยู่กับค่าของข้อมูลที่โหลดเข้า sense-amplifier stage โดยค่าลอจิกที่โหนด $\overline{S}$ และ $\overline{R}$ ถูกส่งให้ SR latch ทำให้เอาต์พุต (Qและ $\overline{Q}$) ของ SR latch เปลี่ยนแปลงค่าตามข้อมูลที่โหลดเข้า sense-amplifier stage และคงค่าเอาต์พุตใหม่ไว้จนกว่าจะถึงช่วงขอบขาขึ้นของสัญญาณนาฬิกาในรอบการทำงานถัดไป โดยในกรณีที่ $\overline{S}$ มีค่าลอจิก "0" ส่งผลให้ที่เอาต์พุต Qและ $\overline{Q}$ ของ SR Latch มีค่าเป็นลอจิก "1" และค่าลอจิก "0" ตามลำดับ ส่วนในกรณีที่ $\overline{R}$ มีค่าลอจิก "0" ส่งผลให้ที่เอาต์พุต $\overline{Q}$ และ Q ของ SR latch มีค่าเป็นลอจิก "1" และค่าลอจิก "0" ตามลำดับ

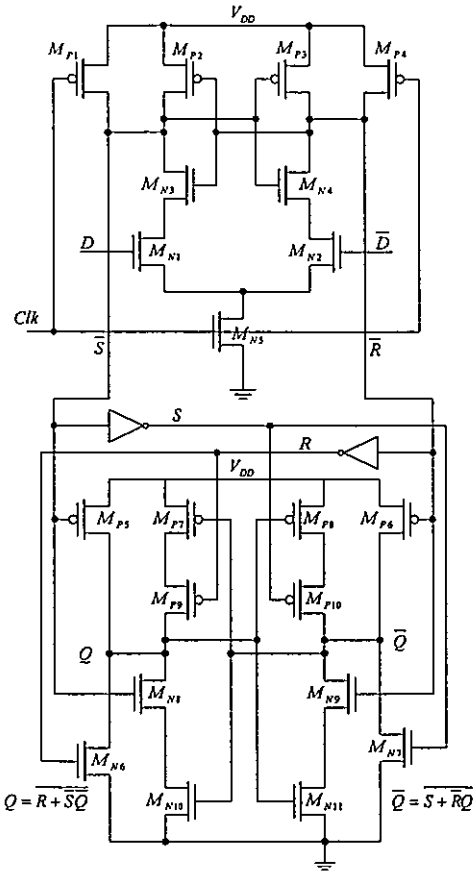


(ก) (ข)

รูปที่ 4.10 sense amplifier base flip-flop (SAFF) [29]

จากการทำงานของวงจร SAFF ข้างต้นจะเห็นได้ว่าวงจรจะมีการปรับปรุงค่าของเอาต์พุต (Qและ$\overline{Q}$) ทุกๆรอบการทำงานซึ่งเป็นจุดเด่นของวงจรนี้ ส่วนจุดด้อยของวงจรที่สำคัญคือมีการสิ้นเปลืองกำลังสูงเนื่องจากจะต้องประจุโหนดพรีชาร์จให้เป็นลอจิก "1" ทุกครั้งก่อนเข้าสู่ช่วงอีวาลูเอชั่นนอกจากนี้ยังมีปัญหาเรื่องความไม่สมมาตรของQและ$\overline{Q}$ของ SR latchใน SAFF โดยในช่วงที่เอาต์พุตเปลี่ยนสถานะจากลอจิก "1" ไปสู่ลอจิก "0" จะใช้เวลามากกว่าในช่วงที่เอาต์พุตเปลี่ยนสถานะจากลอจิก "0" ไปสู่ลอจิก "1" อยู่หนึ่ง gate delay ทำให้ความเร็วในการทำงานของวงจรถูกจำกัดโดยวงจร SR latch

จากปัญหาเรื่องความไม่สมมาตรของ SR latch ในSAFF โดยที่ผ่านมาได้มีการนำเสนอวงจร SR latch ใหม่ที่แก้ปัญหาดังกล่าว โดยในได้นำเสนอวงจร SR latch แบบใหม่คือ modified sense amplifier base flip flop:M-SAFF ดังรูปที่ 4.11 [63] ประกอบด้วยสองส่วน คือส่วนวงจรขับ (Mp5, Mp6, Mn7และ Mn8) ใช้ขับโหลดและเปลี่ยนสถานะของแลทชและส่วน keeper (Mp7-Mp10 และ Mn9-Mn12) ใช้สำหรับคงสถานะของลอจิกไว้ในช่วงที่สัญญาณนาฬิกามีค่าลอจิก"0" และสามารถทำงานร่วมส่วนที่เป็น sense-amplifier stage ที่ใช้ในวงจร SAFF ก่อนหน้านี้ สำหรับใน SR latch แบบใหม่ทั้ง critical พูลล์อัพท์และพูลล์ดาวน์เน็ทเวิคทใช้ MOS เพียงตัวเดียว ทำให้ความเร็วในการทำงานของวงจรเพิ่มขึ้นโดยเฉพาะในกรณีที่โหลดที่เอาต์พุตมีค่าสูงและป้องกันการเกิดกระแส crow-bar ทำให้กำลังงานสิ้นเปลืองลดลง นอก จากนี้ยังได้มีการนำเสนอวงจรแลทซ์ใน [63] โดยใช้แลทซ์แบบ N-C^{2}จำนวนสองชุดแทน SR latch ที่สร้างจากNANDเกท ทำให้ความเร็วในการทำงานของวงจรฟลิปฟลอปเพิ่มขึ้นร้อยละ63 และการใช้พลังงานของวงจรลดลง (power delay product, PDP) ของวงจรลดลงร้อยละ 28 เทียบกับวงจร SAFF ที่ใช้ NAND SR latch โดยN-C^{2}MOS latch มีข้อด้อยเนื่องจากใช้แลทซ์ที่สร้างจาก cross-couple inverter ดังนั้นการเลือกขนาดของมอสเฟตที่เหมาะสมจึงมีความสำคัญต่อการทำงานที่ถูกต้องของวงจร และมีผลต่อการเกิดกระแส crow - bar ทำให้เกิดกำลังงานสูญเสียเพิ่มขึ้น



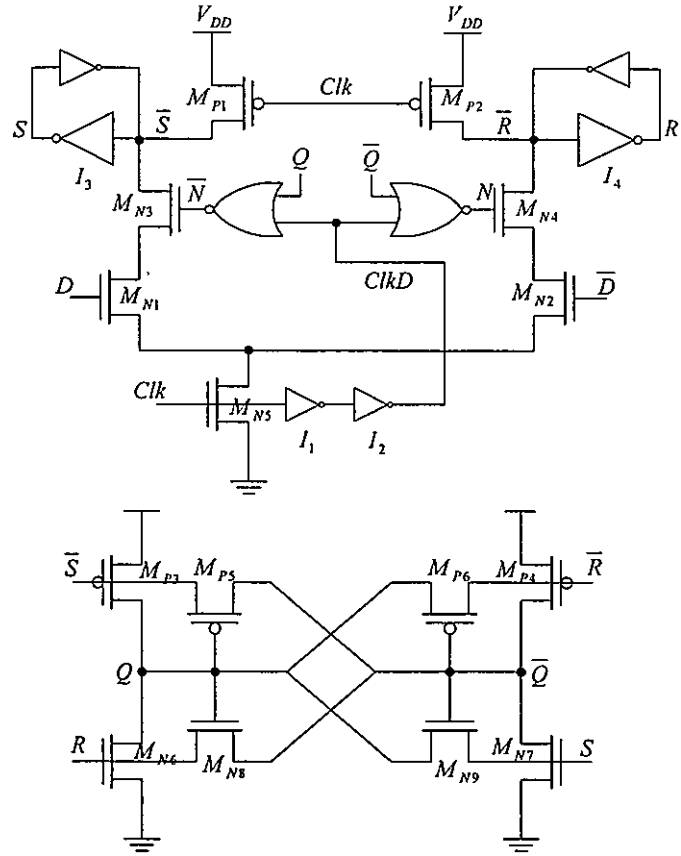
รูปที่ 4.11 modified sense amplifier base flip flop (M-SAFF) [63]

วงจรใน [28] ดังรูปที่ 4.12 เป็นวงจรฟลิปฟลอปแบบ positive edge-triggerโดยมีอินพุต และเอาต์พุตแบบดิฟเฟอเรนเชียล ลักษณะโครงสร้างของ conditional-capture flip-flop:CCFF มีลักษณะคล้ายคลึงกับ M-SAFF [63] อย่างไรก็ตามมีบางส่วนของ CCFF ที่แตกต่างกับ M-SAFF เช่นใช้ push-pull positive feedback ในการคงค่า (keepers) แทนการใช้ inverter 2 ตัวต่อแบบ couple ในpreamplifier stage ของ M-SAFF และในสเตจอินพุตจะใช้ NOR เกทในการสร้างสัญญาณ N และ $\overline{N}$ ส่วนในสเตจที่สองจะเป็นวงจร SR latch ซึ่งจะใช้สัญญาณที่สร้างขึ้นทั้งสองสัญญาณในการเซทและรีเซททำให้ Q และ $\overline{Q}$ เกิดการเปลี่ยนแปลงตามอินพุต สำหรับใน SR latchของ CCFF จะคล้ายคลึงกับ SR latch ของ M-SAFF จะแตกต่างกันในส่วนของ keeper โดยใน CCFF จะใช้ pass-transistor แทน full-CMOSใน M-SAFF

การทำงานของวงจร CCFF แบ่งออกได้เป็น 2 เฟสคือพรีชาร์จและอีวาลูเอชั่นโดยในช่วงพรีชาร์จ สัญญาณนาฬิกามีค่าเป็นลอจิก "0" ที่โหนด $\overline{S}$ และ $\overline{R}$ จะถูกพรีชาร์จให้มีค่าเป็นลอจิก "1" ผ่าน Mp1 และ Mp2 ส่วนที่โหนด S และ R มีค่าเป็นลอจิก "0" ซึ่งช่วงเวลาดังกล่าวทำให้ Mp3, Mp4, Mn6 และ Mn7 หยุดทำงาน ส่งผลให้แลทช์จะเข้าสู่สภาวะคงค่าหรือ opaque phase ในที่นี้สมมุติให้ที่เอาต์พุต Q และ $\overline{Q}$ ของ SR latch คงค่าลอจิก "0" และ "1" ตามลำดับจากการอีวาลูเอชั่นของรอบการทำงานที่ผ่านมา ส่งผลให้ Mp5 และ Mn9 ทำงานและคงค่าลอจิกไว้ ขณะเดียวกัน

ที่เอาต์พุตของ NOR gate ที่โหนด N และ $\overline{N}$ มีค่าเป็นลอจิก "0" และ "1" ตามลำดับส่งผลให้ Mn3 ทำงาน และ Mn4 หยุดทำงาน (สัญญาณ $ClkD$ มีค่าเป็นลอจิก "0" เนื่องจากในช่วงเวลาดังกล่าวสัญญาณนาฬิกาอินพุตมีเป็นลอจิก "0") ต่อมาเข้าสู่ช่วงอีวาลูเอชั่นสัญญาณนาฬิกามีค่าเป็นลอจิก "1" โดยในวงจร CCFF จะทำการอีวาลูเอชั่นข้อมูลอินพุต (D และ $\overline{D}$) ที่เข้ามาเฉพาะในกรณีที่ข้อมูลมีค่าลอจิกไม่เหมือนกับค่าลอจิกที่เอาต์พุต Q และ $\overline{Q}$ ที่ได้จากการอีวาลูเอชั่นในรอบการทำงานก่อนหน้านี้ ส่วนกรณีที่ข้อมูลมีค่าลอจิกเหมือนกับค่าลอจิกของเอาต์พุต Q และ $\overline{Q}$ ที่ได้จากการอีวาลูเอชั่นในรอบการทำงานก่อนหน้านี้ วงจรจะคงค่าลอจิกเดิมไว้จนถึงช่วงอีวาลูเอชั่นในรอบการทำงานถัดไป

สำหรับกรณีที่ข้อมูลมีค่าลอจิกไม่เหมือนกับค่าลอจิกเอาต์พุตในรอบการทำงานก่อนหน้านี้ การทำงานของวงจรในช่วงอีวาลูเอชั่น โดยสมมุติให้อินพุต (D) มีค่าลอจิก "1" (ในรอบการทำงานก่อนหน้านี้เอาต์พุต Q มีค่าลอจิก "0") และสัญญาณนาฬิกามีค่าลอจิก "1" โดยที่ขอบขาขึ้นของสัญญาณนาฬิกาส่งผลให้ที่โหนด $\overline{S}$ พูลล์ดาวน์ เพราะว่า Mn3 และ Mn1 ทำงานพร้อมกัน ส่งผลให้ที่โหนดภายใน S พูลล์อัพท์และทำให้เอาต์พุต Q ของ SR latch เปลี่ยนค่าจากลอจิก "0" ไปสู่ค่าลอจิก "1" (เนื่องจากMp3 และ Mn7 ทำงาน) ขณะเดียวกันเอาต์พุต $\overline{Q}$ ของ SR latch ก็เปลี่ยนค่าจากลอจิก "1"ไปสู่ค่าลอจิก "0" เช่นกัน ซึ่งในระหว่างการเปลี่ยนสถานะที่เกิดขึ้นในช่วงเวลาดังกล่าว Mp5 และ Mn7 ใน SR latch ในช่วงก่อนจะถึงขอบขาขึ้นของสัญญาณนาฬิกานั้นจะทำงาน แต่หลังจากที่สัญญาณนาฬิกาเปลี่ยนเป็นลอจิก "1" แล้วทั้ง Mp5 และ Mn7 จะหยุดทำงาน จึงทำให้ไม่เกิดการต่อสู้ระหว่างค่าลอจิกใหม่กับค่าลอจิกก่อนหน้านี้ที่เอาต์พุต Q และ $\overline{Q}$ ของ SR latch หลังจากนั้นสัญญาณ $ClkD$ เปลี่ยนค่าเป็นลอจิก "1" (นำสัญญาณนาฬิกามาหน่วงเวลาผ่าน I_1 และ I_2) ส่งผลให้ที่โหนด $\overline{N}$ เปลี่ยนค่าเป็นลอจิก "0" ส่งผลให้ Mn3 หยุดทำงาน ทำให้ค่าลอจิกที่โหนดภาย ($S/\overline{S}$ และ $R/\overline{R}$) ไม่มีการเปลี่ยนแปลง ในรอบการทำงานถัดมาสัญญาณนาฬิกาเปลี่ยนค่าเป็นลอจิก "0" ส่งผลให้เกิดการพรีชาร์จที่โหนด $\overline{S}$ ให้มีค่าลอจิก "1" ผ่าน Mp1 และสัญญาณ $ClkD$ เปลี่ยนค่าเป็นลอจิก "0" ต่อมาสัญญาณ Clk เปลี่ยนค่าเป็นลอจิก "1" และให้อินพุต (D) มีค่าลอจิก "0" (ในรอบการทำงานก่อนหน้านี้เอาต์พุต Q มีค่าลอจิก "1") ส่งผลให้ที่โหนด N มีค่าเป็นลอจิก "1" (เนื่องจากเอาต์พุต Q และ $\overline{Q}$ ได้เปลี่ยนค่าเป็น "1" และ "0" ตามลำดับ) ทำให้ Mn4 และ Mn2 ทำงาน ส่งผลให้ที่โหนด $\overline{R}$ เกิดพูลล์ดาวน์พาธ์ทในช่วงที่อินพุตเข้ามา ส่วนที่โหนด $\overline{S}$ ยังคงค่าลอจิก "1" เนื่องจากที่โหนด $\overline{N}$ มีค่าเป็นลอจิก "1" ทำให้ Mn3 หยุดทำงาน



รูปที่ 4.12 conditional –capture flip-flop (CCFF) [28]

สำหรับกรณีที่ข้อมูลมีค่าลอจิกเหมือนกับค่าลอจิกของเอาต์พุต Q และ $\overline{Q}$ ที่ได้จากรอบการทำงานก่อนหน้านี้การทำงานของวงจรในช่วงอีวาลูเอชั่นโดยให้อินพุต (D) มีค่าเป็นลอจิก "0" (ในรอบการทำงานก่อนหน้านี้เอาต์พุต Q มีค่าลอจิก "0") และสัญญาณนาฬิกามีค่าลอจิก "1" โดยที่ขอบขาขึ้นของสัญญาณ Clk ส่งผลให้ที่โหนด $\overline{R}$ ไม่สามารถพูลล์ดาวน์ เนื่องจากที่โหนด N ซึ่งเป็นเอาต์พุตของ NOR เกทมีค่าเป็นลอจิก "0" ทำให้ Mn4 หยุดทำงาน ที่ขอบขาขึ้นของสัญญาณนาฬิกา ซึ่งทำให้ที่โหนดภายใน ($S/\overline{S}$ และ $R/\overline{R}$) ของวงจรไม่เกิดการเปลี่ยนแปลงค่าลอจิก ส่งผลให้ที่เอาต์พุต Q และ $\overline{Q}$ ของ SR latch จะคงค่าลอจิกเดิมไว้ ต่อมาสัญญาณ $ClkD$ เปลี่ยนค่าเป็นลอจิก "1" ทำให้ที่โหนด N และ $\overline{N}$ ซึ่งเป็นเอาต์พุตของ NOR เกทมีค่าเป็นลอจิก "0" ส่งผลให้ทั้ง Mn3 และ Mn4 หยุดทำงาน จนกระทั่งสัญญาณ $ClkD$ เปลี่ยนเป็นลอจิก "0" อีกครั้ง ทำให้ที่โหนด $\overline{N}$ มีค่าลอจิก "1" อีกครั้ง ทำให้ที่โหนด $\overline{S}$ ถูกพรีชาร์จ สามารถพูลล์ดาวน์ได้โดยขึ้นอยู่กับข้อมูลอินพุต

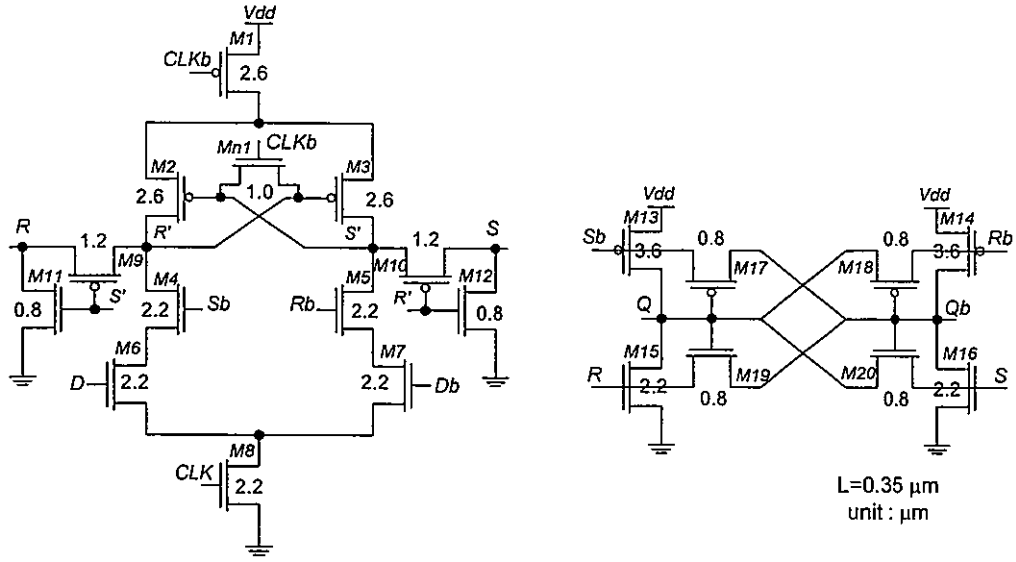
จากการทำงานของวงจร CCFF ข้างต้นจะเห็นได้ว่าการเปลี่ยนสถานะของโหนดภายใน ($\overline{S}$ และ $\overline{R}$) จะเปลี่ยนเฉพาะในกรณีที่อินพุต (D) มีค่าไม่เหมือนกับค่าเอาต์พุตก่อนหน้านี้เท่านั้น ส่วนกรณีที่อินพุตมีค่าเหมือนกับค่าเอาต์พุตก่อนหน้านี้ ที่โหนดภายในจะไม่เกิดการเปลี่ยนสถานะและคงค่าเอาต์พุตไว้จนกว่าอินพุตจะมีค่าแตกต่างกับเอาต์พุตที่คงค่าไว้ ทำให้วงจร CCFF สามารถ

ลดการสิ้นเปลืองกำลังงานโดยไม่จำเป็นที่เกิดจากการเปลี่ยนสถานะที่โหนดภายในลงได้ โดยไม่กระ ทบกับความเร็วในการทำงานของวงจร ซึ่งจากผลการทดสอบสามารถลดการสิ้นเปลืองกำลังงานลงได้ร้อยละ 23-30 ที่อินพุตมีค่าactivity (α) 0.33 เปรียบเทียบกับวงจร SAFF สำหรับข้อด้อยของวงจร CCFF คือ มีการสิ้นเปลืองกำลังงานที่สูงในกรณีที่ข้อมูลอินพุตมีค่า activity สูงเมื่อเปรียบเทียบกับ SAFF

4.2.4 วงจรฟลิปฟลอบที่นำเสนอโดยใช้เทคนิคการใช้ประจุซ้ำ

จากการทำงานของวงจรฟลิปฟลอปทั้ง SAFF M-SAFF และ CCFF การพรีชาร์จโหนดภายในให้มีค่าเป็นลอจิก "1" ของวงจรจะใช้แหล่งจ่ายภายนอกทำหน้าที่เป็นแหล่งจ่ายกำลัง ทำให้ทุกครั้งที่มีการพรีชาร์จโหนดภายใน พลังงานที่ออกจากแหล่งจ่ายเพื่อใช้ในการประจุโหลดตัวเก็บประจุที่ต่ออยู่กับโหนดภายในของวงจรมีค่าดังสมการที่ 2.6 ดังนั้นในวิทยานิพนธ์นี้นำเสนอวิธีการลดพลังงานที่แหล่งจ่ายต้องจ่าย เพื่อใช้ในการพรีชาร์จโหนดภายในให้มีค่าเป็นลอจิก "1" โดยการนำเอาประจุที่เก็บไว้ที่โหนดภายในทั้งสองด้านของวงจรฟลิปฟลอปแบบดิฟเฟอเรนเชียล มาทำการแบ่งประจุทำให้ที่โหนดภายในทั้งสองด้านมีค่าเท่ากับ Vdd/2 แทนการพรีชาร์จให้มีค่า Vdd ด้วยแหล่งจ่ายภายนอก ส่วนในช่วงอีวาลูเอชั่นที่โหนดภายในด้านหนึ่งจะถูกเปลี่ยนค่าเป็น Vdd โดยการเติมประจุเพิ่มอีกร้อยละ 50 จากแหล่งจ่ายภายนอก ส่วนโหนดภายในอีกด้านหนึ่งจะถูกคายประจุลงกราวด์ จากหลักการทำงานดังกล่าวทำให้สามารถลดจำนวนประจุที่ต้องเติมจากแหล่งจ่ายภายนอกลงได้ร้อยละ50 และยังทำให้วงจรทำงานได้เร็วขึ้นเมื่อเทียบกับวงจรฟลิปฟลอปที่พรีชาร์จด้วยแหล่งจ่ายภายนอก (ภาคผนวก ก)

วงจรฟลิบฟลอบแบบดิฟเฟอเรนเชียลและใช้หลักการของการใช้ประจุซ้ำในการลดการใช้กำลังงาน ดังแสดงในรูปที่ 4.13 โดยวงจรประกอบด้วย 2 ส่วนโดยส่วนแรกประกอบด้วยวงจรดิฟเฟอเรนเชียล และส่วนที่ทำหน้าที่เปลี่ยนสัญญาณโหนดภายใน (S′และR′) ให้เป็น full swing (M9-M12) ก่อนส่งต่อให้ส่วนถัดไป ส่วนที่สองเป็นวงจรSR latch แบบ cross-coupled และมีการนำสัญญาณที่โหนด Sb และ Rb ของ SR latch มาควบคุม M4 และ M5 ซึ่งเป็นเส้นทางพูลล์ดาว์น ของวงจรดิฟเฟอเรนเชียลโดยในส่วนของ SR latch จะคงค่าเอาต์พุตเดิมไว้จนกว่าค่าที่โหนด S หรือ R ของวงจรดิฟเฟอเรนเชียลเกิดพูลดาว์น ส่งผลให้ที่โหนด Q และ Qb ของ SR latch เกิดการเปลี่ยนแปลง สำหรับ M17-M20 ช่วยเสริมค่าลอจิกที่โหนด Q และ Qb ในช่วงเวลาที่ SR latch คงค่าเอาต์พุต



(ก) differential circuit (ข) SR latch

รูปที่ 4.13 วงจร charge recycling differential flip flop

4.2.5 การทำงานของวงจร

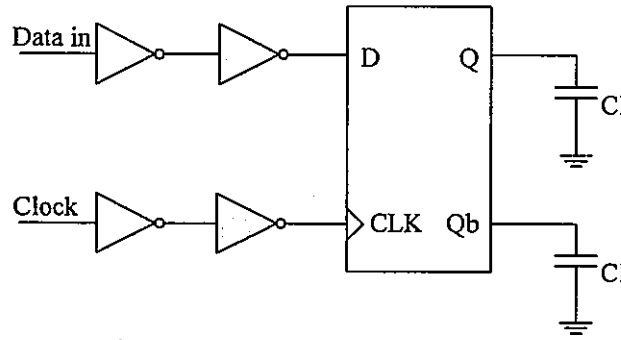
การทำงานของวงจรสามารถแบ่งได้เป็น 2 เฟส คือช่วงการแบ่งประจุหรืออีควอไลเซชั่น (equalization) และอีวาลูเอชั่ น โดยในช่วงแบ่งประจุสัญญาณนาฬิกา มีค่าลอจิก "0" ทำให้ M1 และ M8 หยุดทำงาน ส่วน Mn1 ทำงาน ทำให้โหนด S′และ R′ต่อถึงกันผ่าน Mn1 จะเกิดการถ่ายเทประจุจากด้านที่มีประจุสูงกว่าไปยังด้านที่มีประจุต่ำกว่าและจะหยุดถ่ายเทประจุก็ต่อเมื่อประจุที่เก็บไว้ที่โหนดทั้งสอง (S′และ R′) มีค่าศักดาตกคร่อมเท่ากัน โดยก่อนที่สัญญาณนาฬิกาจะเปลี่ยนนั้น ค่าลอจิกที่โหนด S′และ R′จะมีค่าตรงกันข้ามโดยด้านหนึ่งจะมีค่าศักดาตกคร่อมเท่ากับแหล่งจ่าย ส่วนอีกด้านจะเป็นกราวด์ ซึ่งเป็นค่าที่เกิดจากการอีวาลูเอชั่น ก่อนที่สัญญาณนาฬิกาจะมีการเปลี่ยนแปลง ดังนั้นในช่วงที่สัญญาณนาฬิกาเปลี่ยนค่าเป็นลอจิก "0" และโหนด S′ และ R′ ต่อถึงกันทำให้เกิดศักดาตกคร่อมที่โหนด S′และ R′ มีค่าเป็น 50% ของแหล่งจ่าย ส่งผลให้ M11 และ M12 ทำงาน ทำให้ค่าที่โหนด S และ R ของวงจรดิฟเฟอเรนเชียลมีค่า "0" ซึ่งค่าที่โหนด S และ R จะส่งไปเป็นอินพุตของ SR latch ซึ่งค่าดังกล่าวทำให้ M13-M16 หยุดทำงาน ส่งผลให้เอาต์พุต (Q และQb) ของ SR latch เข้าสู่สภาวะคงค่าโดยมี M17-M20 ทำหน้าที่คงค่าเอาต์พุต ในขณะเดียวกันค่าที่โหนด Sb และRb ของ SR latch มีผลทำให้ M4 และ M5 ทำงาน เพื่อรอรับค่าที่จะเข้ามาในช่วงอีวาลูเอชั่น

ในช่วงอีวาลูเอชั่นสัญญาณนาฬิกามีค่าลอจิก "1" ทำให้ M1 และ M8 ทำงาน ส่วน Mn1 หยุดทำงาน ทำให้โหนด S′และ R′แยกจากกัน ดังนั้นค่าที่โหนด S และ R ของวงจรดิฟเฟอเรนเชียลจะขึ้นอยู่กับค่าที่เข้ามาที่ขาเกทของ M6 และ M7 ซึ่งจะมีค่าตรงกันข้ามเสมอ โดยค่าที่เข้ามาจะทำให้โหนด S′หรือ R′ ด้านหนึ่งจะเกิดการคายประจุที่เก็บไว้ผ่านทาง M8 ลงกราวด์ ส่วนอีกด้าน

จะรับการเติมประจุผ่านทาง M1 และ M2/M3 จนมีศักดาตกคร่อมที่โหนดเท่ากับแหล่งจ่าย ตัวอย่างเช่นให้อินพุตที่ขาเกทของM6 มีค่าลอจิก "1" และ M7 มีค่าลอจิก "0" ทำให้ที่โหนด S′คายประจุที่เก็บไว้ผ่านทาง M4, M6, และ M8 ลงกราวด์ จากนั้น M3ทำงาน ทำให้ที่โหนด R′ได้รับการเติมประจุผ่านทาง M1และ M3 จนศักดาตกคร่อมที่โหนดมีค่าเท่ากับแหล่งจ่าย ทำให้ M10 และ M11 ทำงาน ทำให้ที่โหนด R มีค่าเป็นลอจิก "1" และที่โหนด S มีค่าเป็นลอจิก "0" ส่งผลให้ M14 และ M15 ใน SR latch ทำงาน ทำให้ที่โหนด Qb และ Q เกิดการมีค่าเป็น "1" ผ่าน M14 และมีลอจิก "0" ผ่าน M15 ตามลำดับ ในขณะเดียวกัน M5 ในวงจรดิฟเฟอเรนเชียลจะหยุดทำงาน เพื่อป้องกันค่าที่โหนด S′และ R′มีการเปลี่ยนแปลงในระหว่างอีวาลูเอชั่น ส่งผลให้ค่าของ Q และ Qb ถูกต้องตามอินพุตที่เข้ามา

4.2.6 ผลการจำลองการทำงานของวงจร

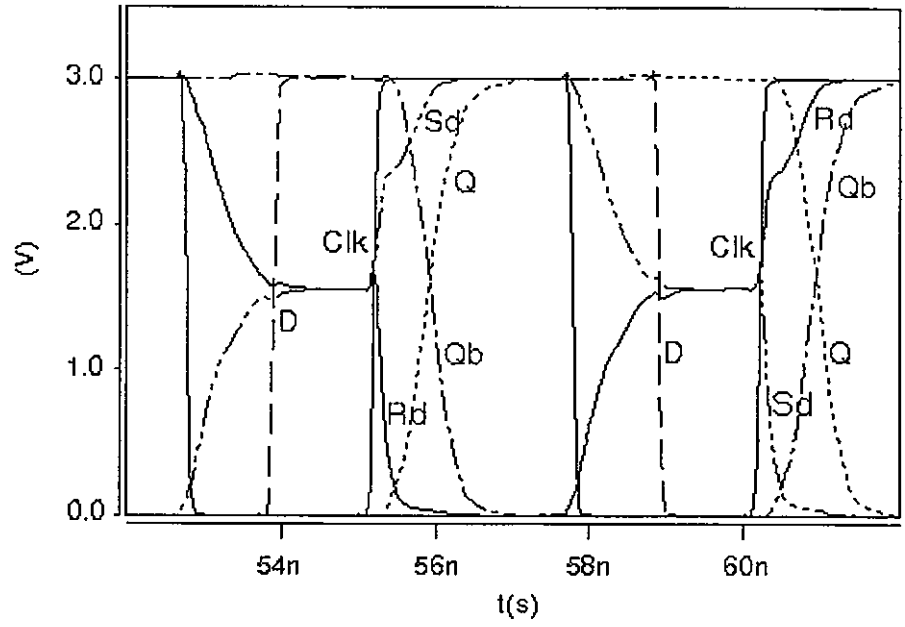
ในงานวิจัยนี้จะเปรียบเทียบคุณสมบัติของวงจรฟลิปฟลอปที่นำเสนอกับวงจรฟลิปฟลอปที่มีสมรรถนะสูงและเอาต์พุตแบบดิฟเฟอเรนเชียล โดยในงานวิจัยนี้เลือก sense amplifier base flip flop (SAFF) และ condition capture flip flop (CCFF) ในการทดสอบใช้สัญญาณนาฬิกาที่มีความถี่ 200 MHz แหล่งจ่ายศักดา 3 โวลต์ และโหลดตัวเก็บประจุขนาด 200fF โดยการทดสอบจะต่อวงจรดังรูปที่ 4.14 ซึ่งการทดสอบแบ่งเป็น 3 ส่วนโดยส่วนแรกเป็นการทดสอบความถูกต้องในการทำงานของวงจรที่ออกแบบ ส่วนที่สองเป็นการทดสอบเรื่องการใช้กำลังงานของวงจรโดยการเปลี่ยนแปลงค่าของ switching activity (α) และส่วนที่สามเป็นการทดสอบคุณสมบัติที่สำคัญของฟลิปฟลอป เช่น setup time (t_{SU}) hold time (t_H) และ propagation time (clock-to-output delay, t_{Clk-Q})



รูปที่ 4.14 รูปแบบที่ใช้ทำการทดสอบ [65]

ในรูปที่ 4.15 เป็นผลการจำลองการทำงานของวงจรที่นำเสนอจากรูปคลื่น จะเห็นได้ว่าที่โหนดภายใน (Sd และRd) ของวงจรจะมีการเปลี่ยนแปลงทุกรอบการทำงาน โดยในช่วงเวลาที่สัญญาณนาฬิกามีค่าลอจิก "0" ที่โหนดภายในของวงจรเกิดการถ่ายเทประจุที่เก็บไว้จากโหนด Rd มาสู่

โหนด Sd ทำให้ที่โหนดภายในทั้งสองมีค่าเท่ากับ Vdd/2 ซึ่งเรียกการพรีชาร์จ ลักษณะดังกล่าวว่าเป็นการแบ่งประจุหรืออีควอไลซ์ ส่วนในช่วงเวลาที่สัญ ญาณนาฬิกามีค่าเป็นลอจิก "1" และข้อมูล (D)ที่เข้ามามีค่าเป็นลอจิก "1" ส่งผลให้ที่ประจุที่เก็บอยู่ที่โหนด Rd จะคายประจุลงกราวด์ ขณะเดียวกันที่โหนด Sd จะได้รับการพรีชาร์จจากแหล่งจ่ายภายนอกจนมีค่าเป็นลอจิก "1" ส่งผลให้ที่เอาต์พุต Q เปลี่ยนค่าจากลอจิก "0" เป็นค่าลอจิก "1" และ $\overline{Q}$ เปลี่ยนค่าจากลอจิก "1" เป็นค่าลอจิก "0"

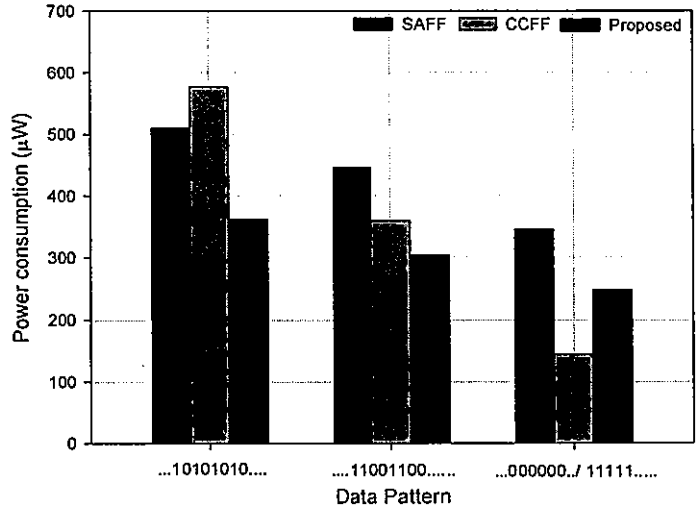


รูปที่ 4.15 ผลการจำลองการทำงานของวงจรที่นำเสนอ

การทดสอบเรื่องการใช้กำลังงานของวงจรโดยการป้อนอินพุตที่มีรูปแบบแตกต่างกัน 3 รูปแบบคือ (pattern .....01010101.....) ซึ่งเป็นรูปแบบที่มีค่าของ switching activity (α=1) สูงสุด โดยรูปแบบดังกล่าวเป็นการทดสอบการใช้กำลังงานสูงสุดที่เกิดขึ้นในตัวฟลิบฟลอป สำหรับรูปแบบที่สอง (pattern .....00110011....) ซึ่งมีค่า switching activity (α) เท่ากับ 0.5 และรูปแบบที่สาม (pattern...00000, ...11111) ซึ่งมีค่า switching activity (α) เท่ากับศูนย์ โดยผลทดสอบการใช้กำลังงานของวงจรฟลิปฟลอปที่อินพุตมีรูปแบบต่างๆกันดังรูปที่ 4.16 พบว่าCCFF มีการใช้กำลังงานน้อยกว่าเมื่อเปรียบเทียบกับวงจรที่นำเสนอและ SAFF ในกรณีที่ข้อมูลที่เข้ามาไม่มีการเปลี่ยนแปลง (ค่าของswitching activity (α) เท่ากับศูนย์) เนื่องจากในทุกๆรอบการทำงานข้อมูลที่เข้ามาใหม่มีค่าลอจิกเหมือนกับข้อมูลที่เข้ามาก่อนหน้านี้ทำให้ที่โหนดพรีชาร์จภายในของ CCFF ไม่เกิดการเปลี่ยน แปลงทำให้สามารถลดการใช้กำลังงานลงมากกว่าร้อยละ 50 เปรียบเทียบกับ SAFF และวงจรที่นำ เสน อทั้งนี้เป็นเพราะ SAFF และวงจรที่นำเสนอที่โหนดพรีชาร์จภายในจะมีการเปลี่ยนแปลงทุกรอบการทำงาน (ประจุและคายประจุ) โดยไม่ขึ้นอยู่กับข้อมูลที่เข้ามาจึงทำให้เกิดการสิ้นเปลืองกำลังงานมากกว่า

ส่วนในกรณีที่ α =0.5 วงจรที่นำเสนอสามารถลดการใช้กำลังงานลงร้อยละ 33 เทียบกับ SAFF และร้อยละ 10 เปรียบเทียบกับ CCFF เนื่องจากที่โหนดภายในของวงจรที่นำเสนอใช้วิธีการนำประจุที่เก็บไว้ที่โหนดภายในช่วงอีวาลูเอชั่นก่อนหน้านี้มาทำการแบ่งประจุเพื่อใช้พรีชาร์จโหนดภายในแทนการพรีชาร์จโหนดภายในด้วยจากแหล่งจ่ายภายนอก ทำให้สามารถลดจำนวนกระแสและเวลาที่ใช้ในการประจุตัวเก็บประจุที่โหนดภายในลดลงร้อยละ 50 เปรียบเทียบกับ SAFF และ CCFF ซึ่งใช้วิธีการพรีชาร์จโหนดภายในจากแหล่งจ่ายภายนอก

ส่วนในกรณีที่ α =1 นั้นพบว่า CCFF มีการใช้กำลังงานที่สูงกว่าร้อยละ 34 และร้อยละ 13 เปรียบเทียบกับวงจรที่นำเสนอและ SAFF เนื่องจากข้อมูลที่เข้ามามีการเปลี่ยนแปลงทุกๆรอบการทำงานส่งผลให้ที่โหนดภายในมีการเปลี่ยนแปลงตามข้อมูลที่เข้ามาด้วยและวงจรมีขนาดใหญ่จึงทำให้ CCFF มีการใช้กำลังงานที่มากกว่า

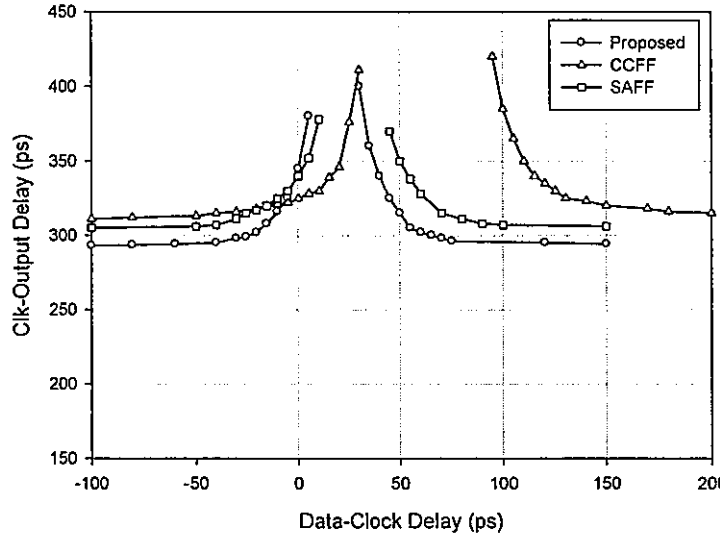


รูปที่ 4.16 การใช้กำลังงานของวงจรฟลิปฟลอปที่อินพุทรูปแบบต่างๆ

ผลการทดสอบคุณสมบัติทางเวลาที่สำคัญของฟลิบฟลอปเช่น setup time และ hold time ดังรูปที่ 4.17 โดยค่าของ setup time ของวงจรฟลิบฟลอปที่นำเสนอและ SAFF ที่ได้มีค่าเป็นบวก ส่งผลให้การนำวงจรดังกล่าวไปใช้งานมีข้อจำกัดเมื่อเปรียบเทียบกับCCFFสำหรับในกรณีที่ต่อแบบไปป์ไลน์คุณสมบัติของsetup time ที่มีค่าเป็นลบช่วยให้ลอจิกมีเวลาที่จะรอรับข้อมูลนานขึ้น โดยไม่ส่งผลกระทบกับการทำงานของสเตจถัดไป ส่วนค่า hold time นั้นจากผลการทดสอบทั้ง SAFF CCFF และวงจรฟลิบฟลอปที่นำเสนอนั้นให้ค่า hold time เป็นค่าบวก โดยค่า hold timeของCCFF จะมีค่ามากเปรียบเทียบกับวงจรที่นำเสนอและ SAFF เป็นผลเนื่องมาจากsetup timeที่มีค่าเป็นลบของวงจรซึ่งค่าของ setup time และ hold time ของ SAFF, CCFF และวงจรที่นำเสนอวัดได้ดังตารางที่ 4.1

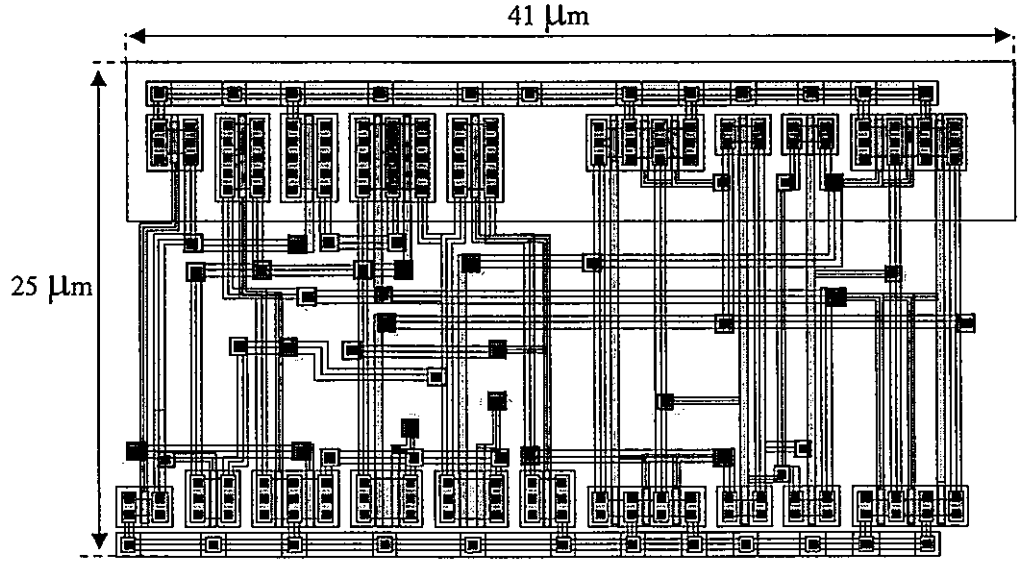
ตารางที่ 4.1 คุณสมบัติทางเวลาของวงจรที่นำเสนอ

	SAFF	CCFF	วงจรที่นำเสนอ
Setup time(ps)	+5	-12	+8
Hold time (ps)	64	130	53
D-Q latency (ps)	332	321	325



รูปที่ 4.17 ความสัมพันธ์ของ setup timeและ hold time กับ clock-to-output delay

นำวงจรฟลิบฟลอปที่นำเสนอมาออกแบบเลย์เอาท์ (layout) ด้วย Virtuoso layout editor และใช้เทคโนโลยีซีมอส 0.35ไมครอน โดยวงจรที่ออกแบบมีขนาด 25x41 ไมครอน ดังรูปที่ 4.18



รูปที่ 4.18 เลย์เอาท์ (layout) ของวงจรฟลิบฟลอปที่นำเสนอ

โดยผลการทดสอบในเรื่องการใช้กำลังงานของวงจรที่ $\alpha = 0.3$ ทั้ง pre-layout และpost-layout นั้นพบว่าในกรณีของ p ost-layout มีการใช้กำลังงานเพิ่มขึ้นร้อยละ 7 เปรียบเทียบกับ pre-layout ซึ่งเป็นผลเนื่องมาจาก ผลของตัวเก็บประจุแฝงบนเลย์เอาท์ ทำให้มีการใช้กำลังงานเพิ่มขึ้นดังตารางที่ 4.2 ส่วนค่า D-to-Q มีค่าเพิ่มขึ้นเล็กน้อย

ตารางที่ 4.2 การสิ้นเปลืองกำลังงานของวงจรที่นำเสนอ

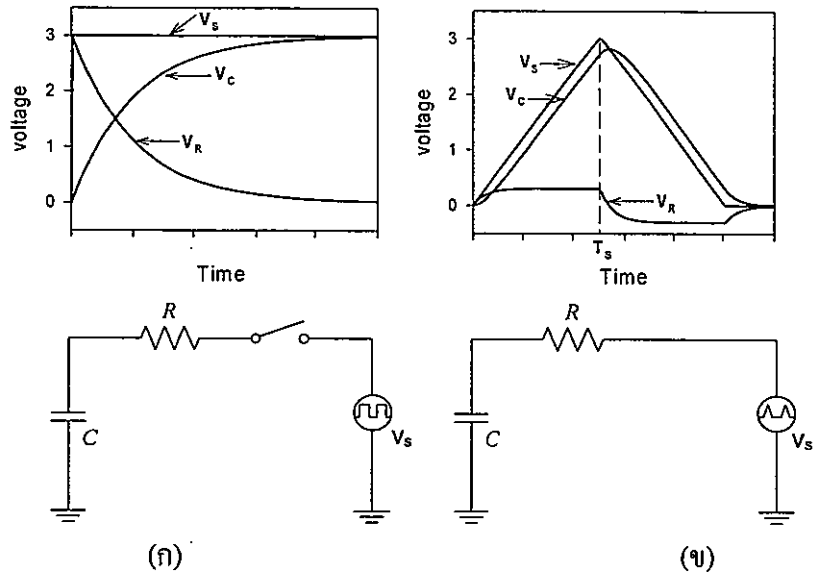
Simulation model	Power Consumption (μW)	
	Pre-layout	Post-layout
วงจรที่นำเสนอ	267	286.3

4.3 วงจรลอจิกแบบคอมบิเนชั่น

ในส่วนที่สองซึ่งเปรียบเสมือนหัวใจของระบบ คือส่วนที่เป็นวงจรลอจิกซึ่งทำหน้าที่ประมวลผลข้อมูลของระบบ โดยทั่วไปวงจรลอจิกส่วนใหญ่เป็นวงจรแบบสแตติก การสิ้นเปลืองกำลังงานของวงจรแบบสแตติกส่วนใหญ่จะสูญเสียในรูปของความร้อน ดังนั้นในวิทยานิพนธ์นี้นำเอาเทคนิคการกู้ประจุมาใช้ในการลดการสิ้นเปลืองกำลังงานในรูปของความร้อน โดยสนใจวงจร 2N-2N2P ซึ่งเป็นวงจรลอจิกแบบแอเดียแบติกที่มีโครงสร้างของวงจรไม่ซับซ้อนมาทำการปรับปรุง ส่วนในการทดสอบความสามารถในการประมวลผลของระบบจะใช้วงจรบวกแบบมองตัวทดล่วงหน้าขนาด 4 บิท (carry look - ahead adder: CLA)

4.3.1เทคนิคการกู้ประจุ (adiabatic technique)

สำหรับเทคนิคแอเดียแบติกสามารถลดการใช้กำลังงาน โดยให้กระแสที่ไหลผ่านอุปกรณ์ เช่นมอสเฟตมีการเปลี่ยนแปลงอย่างช้าๆ ทำให้ศักดาตกคร่อมอุปกรณ์ดังกล่าวมีค่าลดลงเมื่อเปรียบเทียบกับวิธีการทั่วไปซึ่งการเปลี่ยนแปลงของกระแสเป็นแบบทันทีทันใด และพลังงานที่เก็บไว้ในตัวเก็บประจุตามโหนดต่างๆ สามารถที่จะนำกลับมาใช้อีกครั้งในรอบการทำงานถัดไปแทนการสูญเสียในรูปของความร้อน โดยใช้แหล่งจ่ายกระแสสลับแทนที่แหล่งจ่ายกระแสตรง [54] โดยการสิ้นเปลืองกำลังงานที่เกิดขึ้นในช่วงการเปลี่ยนสถานะของวงจรสามารถจำลองโดยใช้ RC network ดังรูปที่4.19



รูปที่4.19 การสิ้นเปลืองพลังงานช่วงประจุ (ก) วงจรซีมอส (ข) วงจรแอเดียแบติก

โดยทั่วไปในวงจรอินเวอร์เตอร์จะประกอบด้วยในส่วนที่เป็นเส้นทางพูลล์อัพท์และส่วนที่เป็นเส้นทางพูลล์ดาวน์เน็ทเวิคทซึ่งต่อกับโหลดตัวเก็บประจุ ในการใช้งานส่วนของเส้นทางพูลล์อัพท์และเส้นทางพูลล์ดาวน์เน็ทเวิคทจะใช้มอสทรานซิสเตอร์ต่ออนุกรมกับโหลดตัวเก็บประจุโดยทรานซิสเตอร์ทั้งสองจะถูกแทนที่ด้วยแบบจำลองของสวิทซ์ในอุดมคติ ซึ่งต่ออนุกรมกับความต้านทานโดยค่าของความต้านทานจะมีค่าเท่ากับค่าความต้านทานแชนแนลของมอสทรานซิสเตอร์ ดังรูปที่4.19 (ก) โดยในขณะที่วงจรอินเวอร์เตอร์มีการเปลี่ยนสถานะจากลอจิก "0" ไปสู่ลอจิก "1" ประจุ $Q = CV_{dd}$ จะถูกส่งไปเก็บที่โหลดตัวเก็บประจุและพลังงานที่ถูกส่งออกมาจากแหล่งจ่าย $E_{applied} = QV_{dd} = CV_{dd}^2$ ทำให้ศักดาที่ตกคร่อมตัวต้านทานมีการเปลี่ยนแปลงอย่างทันทีทันใด ทำให้เกิดการสูญเสียพลังงานขึ้นบนตัวต้านทานในรูปของความร้อน โดยพลังงานร้อยละ 50 ของพลังงานจากแหล่งจ่ายจะถูกส่งไปเก็บไว้ที่โหลดตัวเก็บประจุ ส่วนที่เหลือจะสูญเสียบนตัวต้านทาน โดยพลังงานส่วนที่สูญเสียในวงจรมีค่าเท่ากับ

$$E_{loss} = CV_{dd}^2 / 2 \tag{4.3}$$

ในรูปที่4.19 (ข) เป็นการสิ้นเปลืองพลังงานที่เกิดขึ้นในช่วงการเปลี่ยนสถานะของวงจรแอเดียบาติกโดยใช้แหล่งจ่ายที่เปลี่ยนแปลงตามเวลาแทนที่แหล่งจ่ายแบบคงที่ ทำให้การถ่ายโอนประจุจากแหล่งจ่ายไปยังโหลดตัวเก็บประจุค่อยๆเปลี่ยนแปลงตามค่าของแหล่งจ่าย ทำให้ที่ศักดาตกคร่อมความต้านทานมีค่าต่ำ ส่งผลให้การสูญเสียพลังงานที่เกิดขึ้นบนตัวต้านทานมีค่าต่ำเมื่อเปรียบ

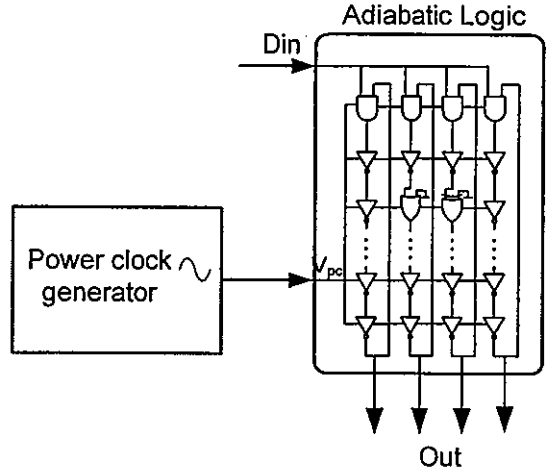
เทียบกับกรณีทั่วไปซึ่งใช้แหล่งจ่ายแบบคงที่ โดยการสิ้นเปลืองพลังงานที่เกิดขึ้นบนตัวต้านทานจะมีค่าดังสมการที่ (4.4) (ภาคผนวก ข)

$$E_{loss} = 2(RC/T_S)CV_{PC}^2 \qquad T_S >> RC \qquad (4.4)$$

โดยที่ R คือค่าความต้านทานของมอสเฟต C คือค่าตัวเก็บประจุของโหนดที่มีการสวิตช์ T_S คือช่วงเวลาการเปลี่ยนสถานะจาก $0 \rightarrow V_{DD}$ ของแหล่งจ่าย และ V_{PC} คือศักดาของแหล่งจ่าย (วัดจากยอดถึงยอด) ดังนั้นการสิ้นเปลืองพลังงานในช่วงเปลี่ยนสถานะของวงจรแอเดียแบติกจะมีค่ามากหรือน้อยขึ้นอยู่กับค่า T_S ในกรณีที่ T_S มีค่ามากกว่าค่าของ RC มากๆจะทำให้การสิ้นเปลืองพลังงานในช่วงเปลี่ยนสถานะมีค่าเข้าใกล้ศูนย์

4.3.2 วงจรกำเนิดสัญญาณควบคุมวงจรลอจิก

สำหรับวงจรที่ใช้เทคนิคแอเดียแบติกจะใช้แหล่งจ่ายกระแสสลับทำหน้าที่เป็นทั้งแหล่งจ่ายกำลังงานและควบคุมการทำงานของวงจรลอจิกดังรูปที่ 4.20 ดังนั้นจึงเรียกแหล่งจ่ายดังกล่าวว่า power-clock generator (PCG) โดยแหล่งจ่ายดังกล่าวเป็นแหล่งจ่ายที่เปลี่ยนแปลงค่าตามเวลาโดยทั่วไปแบ่งได้เป็น 2 กลุ่มคือ step wise charging (SWC) clock generator [69] และ resonant clock generator [70] สำหรับ SWC clock generator นั้นการนำไปใช้งานจริงค่อนข้างยุ่งยากเนื่องจากต้องใช้แหล่งจ่ายศักดาที่มีค่าแตกต่างกันหลายค่า และจำเป็นต้องสร้างสัญญาณควบคุมการทำงานของมอสเฟตที่ทำหน้าที่เป็นสวิทช์ (รายละเอียดต่างๆสามารถอ่านได้ใน [69]) สำหรับในวิทยา นิพนธ์นี้จะกล่าวถึงเฉพาะแหล่งจ่ายที่เป็น resonant clock generatorโดยแหล่งจ่ายแบบดังกล่าวมีโครงสร้างที่ไม่ซับซ้อนและมีประสิทธิภาพสูงกว่าแบบ SWC clock generator

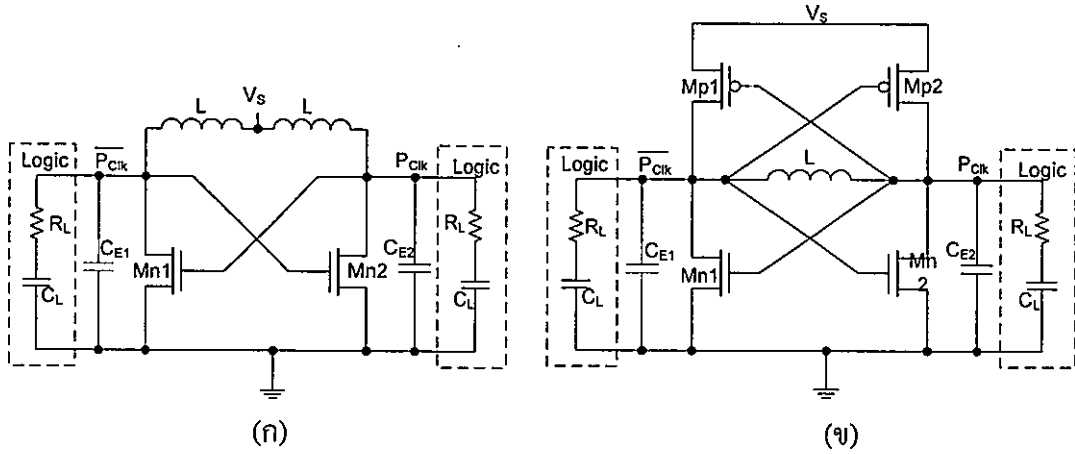


รูปที่ 4.20 โครงสร้างของระบบแอเดียแบติก

ใน resonant clock generator ซึ่งสร้างจาก LC tank oscillator ซึ่งมีคุณสมบัติสามารถถ่ายโอนพลังงานได้สองทิศทาง คือจาก PCGไปยังโหนด power-clock:Vpc และถ่ายโอนจากโหนด Vpc กลับมายัง PCG ได้ ซึ่งในระหว่างการถ่ายโอนพลังงานนั้นจะเกิดการสูญเสียต่ำ โดยทั่วไปสามารถแบ่งได้ 2 กลุ่มคือ asynchronous และsynchronous clock generator

4.3.2.1 asynchronous power clock generator

สำหรับวงจร asynchronous PCG เป็น self-oscillator ที่ใช้หลักการป้อนกลับ จึงไม่จำเป็นต้องใช้สัญญาณควบคุมจากภายนอก โดยที่ผ่านมาได้มีการนำเสนอวงจร2N [70] และ 2N2P [69] asynchronous PCG ดังรูปที่ 4.21 ซึ่งวงจร PCG ดังกล่าวมีโครงสร้างไม่ซับซ้อนและเป็นแบบ dual-rail oscillator ซึ่งสัญญาณ sine wave ที่สร้างได้จะต่างเฟสกัน180° สำหรับข้อด้อยของวงจร asynchronous PCG นั้นอยู่ที่ความถี่ที่สร้างได้ค่อยข้างที่จะไวต่อการเปลี่ยนแปลงค่าของโหลดตัวเก็บประจุในแต่ละรอบการทำงานของระบบทำให้ความถี่ที่ได้ไม่คงที่

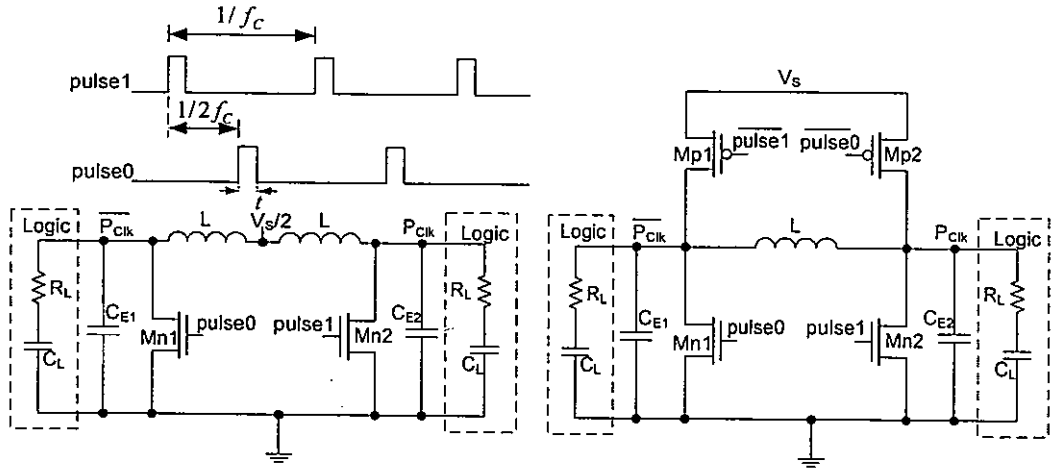


(ก) (ข)

รูปที่ 4.21 วงจร asynchronous PCG (ก) แบบ2N (ข) แบบ 2N2P

4.3.2.2 synchronous power clock generator

สำหรับวงจร synchronous PCG จะใช้สัญญาณควบคุมจากภายนอกในการควบคุมความถี่ที่ต้องการซึ่งแตกต่างจากวงจร asynchronous PCG จึงทำให้ความถี่ที่ใช้งานในระบบมีความแน่นอนและไม่ขึ้นอยู่กับการเปลี่ยนแปลงของโหลดตัวเก็บประจุ โดยที่ผ่านมาได้มีการนำเสนอวงจร 2N และ 2N2P synchronous PCG ดังรูปที่ 4.22 นอกจากนี้ synchronous PCG ยังสามารถที่จะ synchronized กับสัญญาณของระบบภายนอกจึงทำให้สามารถใช้งานกับระบบใหญ่ๆได้



(ก) (ข)

รูปที่ 4.22 วงจร synchronous PCG (ก) แบบ 2N (ข) แบบ 2N2P

จากรูปที่ 4.22 สัญญาณ pulse0 และpulse1 ใช้ในการควบคุมการเติมพลังงานให้กับอินดัคเตอร์ (อุปกรณ์สะสมพลังงาน) โดยใช้แหล่งจ่ายภายนอก (V_s) ซึ่งตรงกับช่วงที่สัญญาณ sine wave มีค่าต่ำสุด เพื่อรักษาค่าความสูง (amplitude) ของสัญญาณ sine waveให้มีค่าคงที่ โดยความถี่ของสัญญาณ pulse0 และ pulse1 มีความถี่เท่ากับ oscillating frequency ของวงจร PCG ส่วนความกว้าง (t) ของ pulse0 และ pulse1 จะมีค่ามากหรือน้อยขึ้นอยู่กับในรอบการทำงานก่อนหน้ามีการสูญเสียพลังงานในลอจิก โดยเวลาที่ต้องใช้ในการเติมพลังงานแต่ละรอบมีค่าดังสมการที่ (4.5) (ภาคผนวก ข)

$$t > \left(-L/R\right)\cdot \ln\left(1-\left(R/V_s\right)\cdot\sqrt{2P_L/L\cdot f}\right) \tag{4.5}$$

โดยที่ P_L คือกำลังงานสูญเสียที่เกิดขึ้นในวงจรลอจิก R คือค่าความต้านทานของแชนแนลในโหมดอิ่มตัวของมอสเฟตในวงจร PCG L คือค่าของอินดัคเตอร์ที่ oscillating frequency f คือresonant frequency และ V_s คือค่าศักดาของแหล่งจ่าย

ส่วน oscillating frequency ของวงจร PCG แบบ 2N หาได้จากสมการที่ (4.5) และแบบ 2N -2P สามารถหาได้จากสมการที่ (4.7)

$$f = \left(1/2\pi\sqrt{LC_L}\right) \tag{4.6}$$

$$f = \left(1/2\pi\sqrt{L\left(C_L/2\right)}\right) \tag{4.7}$$

โดยที่ C_L คือค่าโหลดตัวเก็บประจุของแต่ละเฟสสามารถหาได้จากวงจร ลอจิกด้วยวิธีการประมาณโดยใช้ lumped-element model ซึ่งอยู่ในรูปของความต้านทานต่ออนุกรมกับตัวเก็บประจุ สำหรับค่าของความต้านทาน และค่าของตัวเก็บประจุสามารถหาได้จากการทดลอง (extract from simulation test) โดยใช้แหล่งจ่ายศักดาแบบ sinusoidal จากภายนอก แทน PCG จากนั้นทำการวัดค่ากำลังงานที่สูญเสียที่เกิดขึ้นในวงจรลอจิก (P_L) และค่ากระแสที่จ่ายที่ไหลเข้าวงจรลอจิก (I_L) ในรูปของค่า rms (root mean square) นำค่า P_L และ I_L ที่วัดได้มาหาค่าของความต้านทานและค่าของตัวเก็บประจุโดยใช้สมการที่ (4.8) และ (4.9) (ภาคผนวก ข)

$$R = P_L / I_L^2 \tag{4.8}$$

$$C = \sqrt{2} I_L / \pi V_S f \tag{4.9}$$

โดยที่ V_S คือค่าขนาดสูงสุดของสัญญาณ PCG ที่จ่ายให้แก่วงจรลอจิก

4.3.3 วงจรแอเดียแบติกลอจิกที่เกี่ยวข้อง

วงจรแอเดียแบติกลอจิกแบบ 2N-2N2P [57] ดังรูปที่ 4.23 โครงสร้างของวงจรประกอบด้วยแบ่งเป็นสองส่วนคือ ส่วนที่เป็นลอจิกฟังก์ชัน และส่วนที่เป็น cross-coupled full inverter ซึ่งมีลักษณะเหมือนกับ standard SRAM cell โดยที่ Mn1และ Mn2 ซึ่งต่อแบบ cross-coupled ทำให้โหนดเอาต์พุตมีค่าลอจิกที่แน่นอน

การทำงานของวงจรแบ่งออกได้เป็น 2 ช่วงคือช่วงอีวาลูเอชั่น:E และช่วงรีคัพเวอร์รี่:R โดยในช่วงอีวาลูเอชั่น สัญญาณ Vpc เริ่มเปลี่ยนแปลงจากศูนย์เข้าสู่ค่า V_{dd} ในกรณีที่อินพุตมีค่าเป็นลอจิก "0" ส่งผลให้ที่โหนด *Out* มีค่าเป็นลอจิก "0" ผ่านทาง Mn4 ส่วนที่โหนด *Outb* จะถูกประจุด้วยสัญญาณ Vpc ผ่านทาง Mp1 ทำให้ที่โหนดดังกล่าวมีการเปลี่ยนแปลงจากศูนย์และเข้าสู่ค่า V_{dd} ตาม Vpc

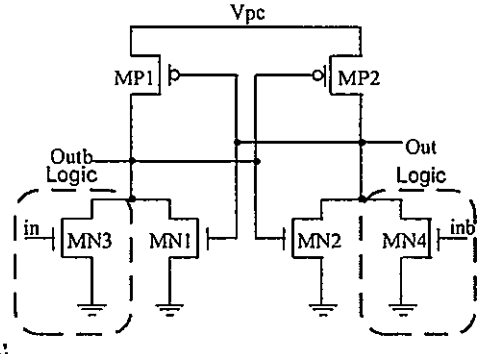
ส่วนในช่วงรีคัพเวอร์รีสัญญาณ Vpc จะเริ่มลดค่าลงจากค่า V_{dd} เข้าสู่ค่าศูนย์ซึ่งช่วงเวลาดังกล่าวเป็นช่วงคายประจุที่เก็บไว้ที่โหนด *Outb* ผ่านทาง Mp1 กลับเข้าสู่แหล่งจ่ายเนื่องจากศักดาที่โหนด *Outb* มีค่าสูงกว่า Vpc ในกรณีที่อินพุตยังคงค่าลอจิกเดิม การคายประจุจะหยุดลงเมื่อความต่างศักย์ระหว่างขาซอสกับขาเกทของ Mp1 มีค่าต่ำกว่าค่าศักดาขีดเริ่ม ทำให้ Mp1 หยุดทำงาน ส่งผลให้มีประจุบางส่วนยังตกค้างที่โหนด *Outb* ดังรูปที่ 4.24

การสิ้นเปลืองพลังงานของวงจรในแต่ละรอบการทำงานที่เกิดขึ้นใน PMOS ทั้ง Mp1และ Mp2 ซึ่งต่อแบบ cross-couple ทั้งในช่วงอีวาลูเอชั่นและรีคัพเวอร์รีมีค่าเท่ากับ

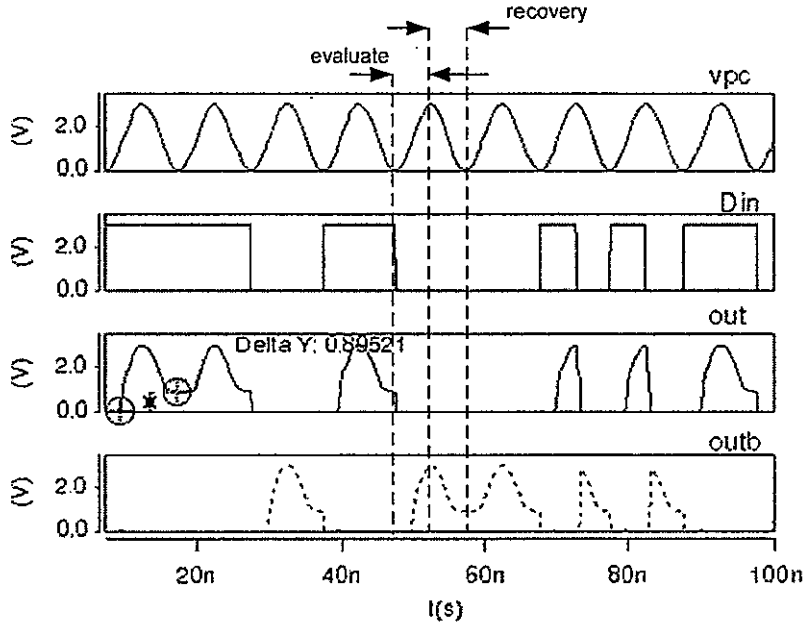
$$E_{2N-2N2P} = \left(2R_P C_L / T\right) \cdot C_L V_{dd}^2 + C_L V_{tp}^2 \qquad (4.10)$$

โดยที่ C_L คือโหลดตัวเก็บประจุ R_P คือค่าความต้านทานของขณะทำงานของPMOS T คือช่วงเวลาการเปลี่ยนสถานะ V_{tp} คือค่าของศักดาขีดเริ่มของPMOS และ V_{dd} คือค่าขนาดสูงสุดของสัญญาณ PCG

จากสมการที่ 4.9 เทอมแรกแสดงถึงการสิ้นเปลืองพลังงานแบบที่เรียกว่า full-adiabatic loss ซึ่งการสิ้นเปลืองดังกล่าวสามารถลดลงได้ด้วยการลดความถี่ที่ใช้งานลง ส่วนในเทอมที่สองของสมการแสดงให้เห็นถึงการสิ้นเปลืองพลังงานแบบ non-adiabatic loss ซึ่งไม่ขึ้นอยู่กับความถี่ที่ใช้งานแต่การสิ้นเปลืองดังกล่าวสามารถลดได้ด้วยการลดค่าของโหลดตัวเก็บประจุ ในกรณีที่ช่วงเวลาในการเปลี่ยนสถานะ (T) มีค่านานกว่าผลคูณของ $R_P C_L$ มากๆ ส่งผลให้การสิ้นเปลืองพลังงานในวงจรมีค่าเท่า กับ $C_L V_{tp}^2$ ซึ่งเป็นค่าคงที่



รูปที่ 4.23 วงจร 2N-2N2P (buffer/inverter function)



รูปที่ 4.24 ผลตอบสนองทางเวลาของวงจร 2N-2N2P

4.3.4 วงจรลอจิกที่นำเสนอโดยใช้เทคนิคการกู้ประจุ

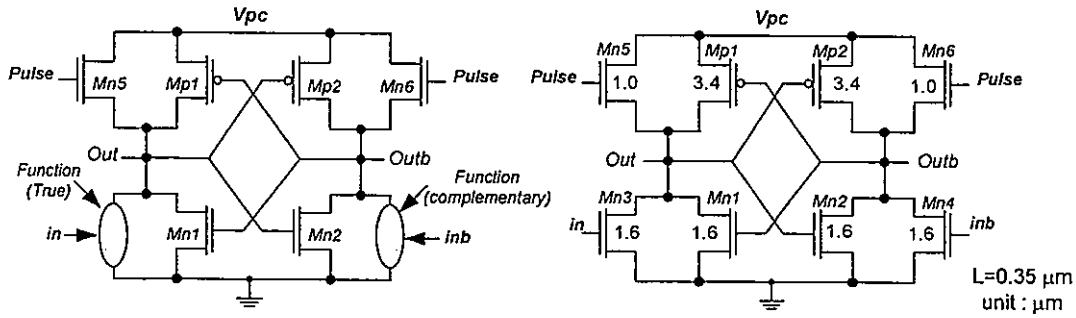
ในงานวิจัยนี้นำโครงสร้างของวงจรแอเดียแบติกลอจิกแบบ 2N-2N2P มาปรับปรุงเพื่อเพิ่มประสิทธิ ภาพในการทำงานของวงจร โครงสร้างของวงจรประกอบด้วย 2 ส่วนคือส่วนที่เป็นใช้ในการประจุหรือคายประจุซึ่งต่อแบบ cross-couple full inverter และส่วนที่เป็นลอจิกฟังก์ชันดังรูปที่ 4.25

การทำงานของวงจรแบ่งได้ 2 ช่วงคือช่วงอีวาลูเอชั่น และช่วงรีคัพเวอร์รี่ โดยในช่วงอีวาลูเอชั่นค่าศักดาของ Vpc จะเปลี่ยนจาก "0" ไปยัง "V_{dd}" ถ้าอินพุตที่เข้ามาที่เกท Mn3 มีค่าลอจิก "1" และ Mn4 มีค่าลอจิก "0" ทำให้ Mn3 ทำงาน ส่วน Mn4 หยุดทำงาน ส่งผลให้ที่โหนด Outb มีค่าเป็นลอจิก "0" ขณะเดียวกัน Mp2 ทำงาน ทำให้ตัวเก็บประจุที่โหนด Out ถูกประจุทำให้มีค่าศักดาเพิ่มขึ้นตาม Vpc

ในช่วงรีคัพเวอร์รีค่าศักดาของ Vpc เปลี่ยนแปลงจาก "V_{dd}" ไปสู่ "0" ทำให้ประจุที่เก็บอยู่ที่โหนด Out สามารถไหลย้อนกลับไปยังแหล่งจ่ายได้เนื่องจากค่าความต่างศักย์ที่โหนด Out มีค่าสูงกว่าศักดาที่โหนด Vpc จนกระทั่งความต่างศักย์ของขาซอสกับขาเกทของ Mp2 มีค่าต่ำกว่าค่าศักดาขีดเริ่ม ส่งผลให้ Mp2 หยุดทำงาน ทำให้ศักดาที่โหนด Out ไม่สามารถลดลงตาม Vpc ได้ ทำให้มีประจุบางส่วนตกค้างอยู่ที่โหนดดังกล่าว และในรอบการทำงานถัดไปถ้าอินพุตที่เข้ามาตรงกันข้ามกับกรณีที่กล่าวข้างต้นส่งผลให้ประจุส่วนที่ตกค้างอยู่ที่โหนด Out จะถูกคายประจุทิ้งลงกราวด์ ดังนั้นในงานวิจัยนี้ได้นำเสนอวิธีการที่นำประจุส่วนที่ตกค้างหลังจาก Mp2 หยุดทำงานกลับไปยังแหล่งจ่าย (Vpc) เพื่อลดการจ่ายพลังงานของแหล่งจ่ายในรอบการทำงานถัดไป ด้วยการเพิ่ม Mn5, Mn6 ต่อเข้าระหว่าง Vpc กับโหนด Out, Outb และพัลส์ควบคุมซึ่งใช้งานร่วมกับในส่วนวงจร PCG ในระบบ ซึ่งทั้ง Mn5 และ Mn6 จะทำงานพร้อมกันช่วงสั้นๆหลังจากที่ Mp1 หรือ Mp2 หยุดทำงาน เพื่อนำประจุส่วนที่ตกค้างกลับไปยังแหล่งจ่าย ส่งผลให้ที่โหนด Out/Outb สามารถเปลี่ยนแปลงแบบ full swing ตาม Vpc ที่เข้ามา ดังนั้นการสิ้นเปลืองพลังงานที่เกิดขึ้นในวงจรทั้งในช่วงอีวาลูเอชั่นและช่วงรีคัพเวอร์รีซึ่งเกิดขึ้นเฉพาะบนPMOS (Mp1และMp2) ที่ต่อแบบ cross-coupled มีค่าเท่ากับ

$$E_{proposed} = \left(2R_pC_L/T\right)\cdot C_LV_{dd}^2 \qquad (4.11)$$

โดยที่ C_L คือโหลดตัวเก็บประจุ R_p คือค่าความต้านทานแชนแนลของ PMOS ขณะทำงาน T คือช่วงเวลาการเปลี่ยนสถานะของแหล่งจ่าย และ V_{dd} คือค่าขนาดสูงสุดของสัญญาณ PCG

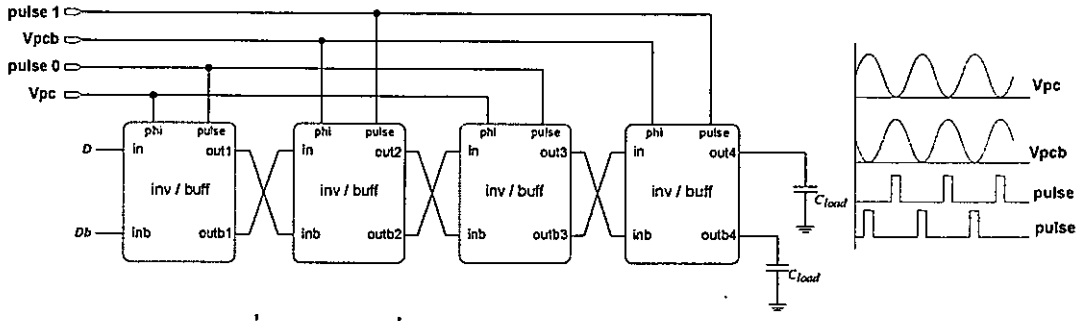


(ก) (ข)

รูปที่ 4.25 วงจรแอเดียแบติกลอจิกที่นำเสนอ ก) โครงสร้างของวงจร ข) วงจรลอจิกแอเดียบาติก (ฟังก์ชัน อินเวอร์เตอร์ / บัพเฟอร์)

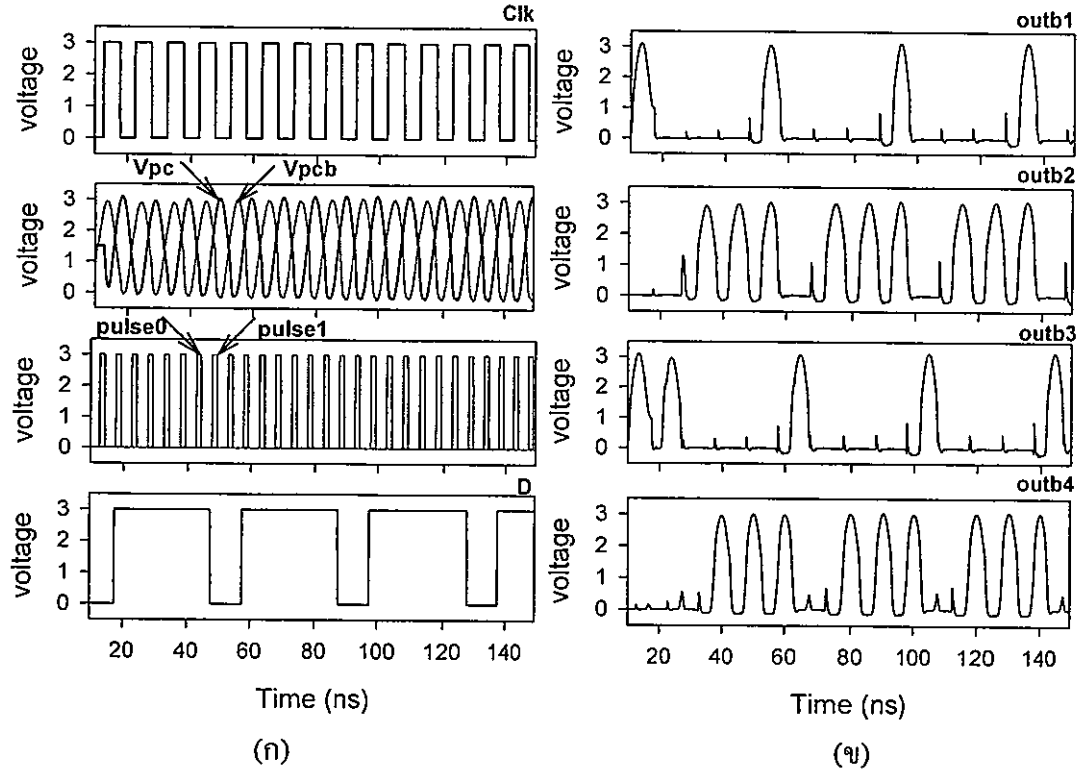
4.3.5 ผลการจำลองการทำงานของวงจร

การทดสอบวงจรลอจิกที่นำเสนอโดยต่อในลักษณะคาสเคทดังรูปที่ 4.26 โดยใช้ V_{pc} และ V_{pcb} ที่มีค่าความสูง 1.5V ต่างเฟสกัน 180° โดยทั้ง V_{pc} และ V_{pcb} สร้างจาก LC oscillator โดยทดสอบใช้ความถี่ 100MHz และใช้โหลดตัวเก็บประจุขนาด 0.1pF โดยลอจิกสเตจคี่จะต่อกับ V_{pc} ส่วนลอจิกสเตจคู่จะต่อกับ V_{pcb} และป้อนอินพุต (D) ที่มีรูปแบบ ...011 10111...

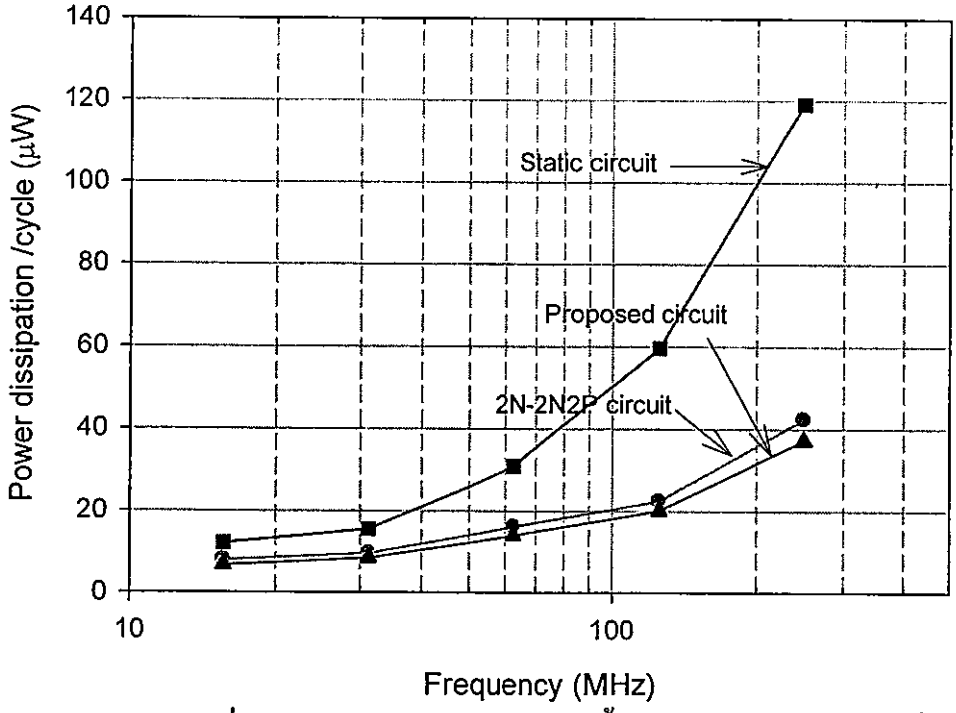


รูปที่ 4.26 วงจรที่ใช้ในการทดสอบ 4-stage pipeline inverter

จากรูปที่ 4.27 การทำงานของวงจรลอจิกแบ่งออกได้เป็น 2 เฟสคืออีวาลูเอชั่น เป็นช่วงเวลาที่สัญญาณ V_{pc} เปลี่ยนสถานะจากศูนย์เข้าสู่ค่า V_{dd} ส่วนสัญญาณ V_{pcb} เปลี่ยนสถานะจาก V_{dd} เข้าสู่ศูนย์ ซึ่งช่วงเวลาดังกล่าวสเตจคี่จะเข้าสู่ในช่วงอีวาลูเอชั่นส่วนในสเตจคู่นั้นจะเข้าสู่ช่วงเวลารีคัพเวอร์รี ในทำนองกลับกันขณะที่ลอจิกสเตจคู่เข้าสู่ในช่วงอีวาลูเอชั่นนั้น ลอจิกสเตจคี่ก็จะเข้าสู่ช่วงเวลารีคัพเวอร์รีทำให้ข้อมูล (Din) ที่เข้าสู่วงจรลอจิกถูกส่งต่ออย่างต่อเนื่อง ในลักษณะเป็นไปป์ไลน์ ดัง นั้นข้อมูลที่ส่งผ่านวงจรลอจิกต้องใช้เวลา 2 ไซเคิล จึงจะปรากฏที่เอาต์พุต (Out4 และ Outb4) (กรณี4-stage pipeline inverter)



รูปที่ 4.27 ผลตอบสนองทางเวลาของ 4-stage pipeline inverter (ก) สัญญาณอินพุต (ข) สัญญาณเอาต์พุต



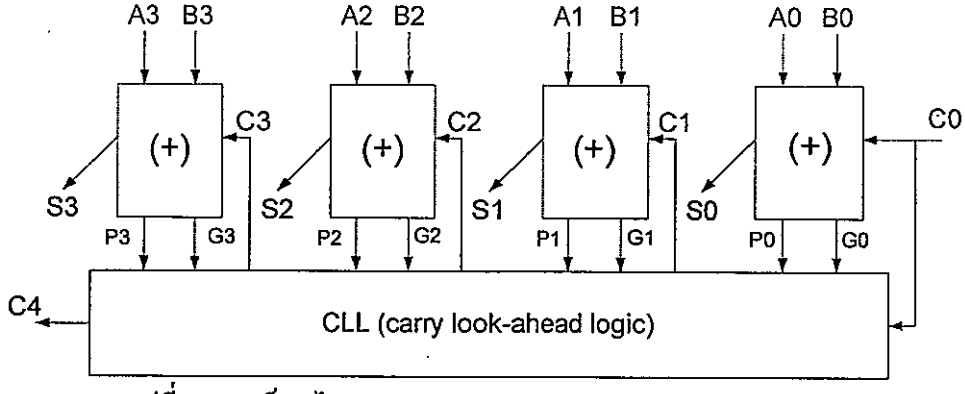
รูปที่ 4.28 ความสัมพันธ์ระหว่างการสิ้นเปลืองกำลังงานกับความถี่

จากรูปที่ 4.28 เป็นการทดสอบการสิ้นเปลืองกำลังงานของวงจรที่ความถี่ต่างๆ พบว่ายิ่งความถี่มีค่าสูงขึ้นการสิ้นเปลืองกำลังงานของวงจรแอเดียแบติกมีแนวโน้มสูงขึ้น โดยที่ความถี่ 100 MHzวงจรลอจิกที่นำเสนอสามารถลดการสิ้นเปลืองกำลังงานได้ร้อยละ 12 เมื่อเปรียบเทียบกับวงจรแอเดียแบติกแบบ 2N-2N2P และลดลงมากกว่าร้อยละ50 เมื่อเปรียบเทียบกับวงจรสแตติกทั่วไป

4.3.6 วงจรบวกแบบมองตัวทดล่วงหน้า

ในการทดสอบความสามารถในการประมวลผลของวงจรลอจิกโดยทั่วไปจะใช้ฟังก์ชันการคำนวณทางคณิตศาสตร์ เช่นการบวก และการคูณ เป็นตัววัดความสามารถในด้านความเร็วในการประมวลผลของวงจรลอจิก ในวิทยานิพนธ์นี้ได้เลือกวงจรบวกแบบดูตัวทดล่วงหน้า (carry look-ahead adder:CLA) มาเป็นตัววัดความสามารถในการประมวลผล เนื่องจากเป็นวงจรบวกแบบดังกล่าวมีโครงสร้างไม่ซับซ้อนและความเร็วในการประมวลผลสูง

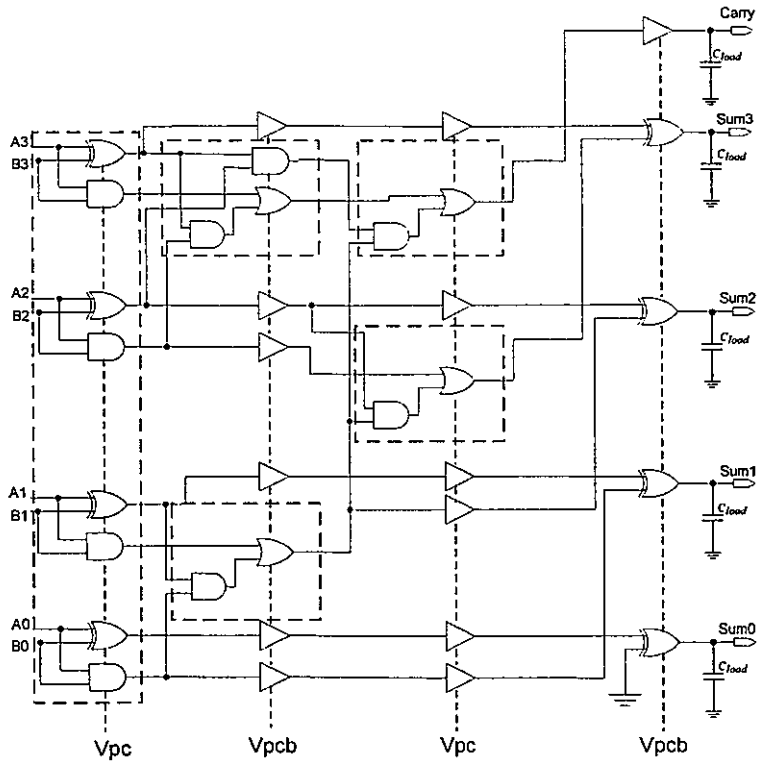
วงจรบวกมองตัวทดล่วงหน้า (carry look-ahead adder:CLA) ดังรูปที่ 4.29 เป็นวงจรที่ใช้การทดแบบมองตัวทดล่วงหน้า คือการทดโดยให้วงจรบวกสามารถคาดคะเนก่อนได้ว่าจะมีตัวทดเกิดขึ้นหรือไม่ โดยดูจากบิทการบวกคู่หลัง ในกรณีที่บิทหลังเป็นลอจิก “1” กับลอจิก “1” จะเกิดตัวทดอย่างแน่นอนหรือในกรณีที่บิทหลังเป็นลอจิก “0” กับลอจิก “0” จะไม่มีตัวทดอย่างแน่นอน ซึ่งทำให้ได้คำตอบทันทีไม่ต้องรอตัวทดเข้า ด้วยวิธีดังกล่าวทำให้วงจรบวกแบบ CLA สามารถประมวลผลได้เร็วเพราะไม่ต้องรอตัวทดเข้า (carry in) จากวงจรบวกสเตจก่อนหน้า ทำให้สามารถคำนวณตัวทด (carry) ออกมาได้พร้อมๆกับผลบวก (sum)



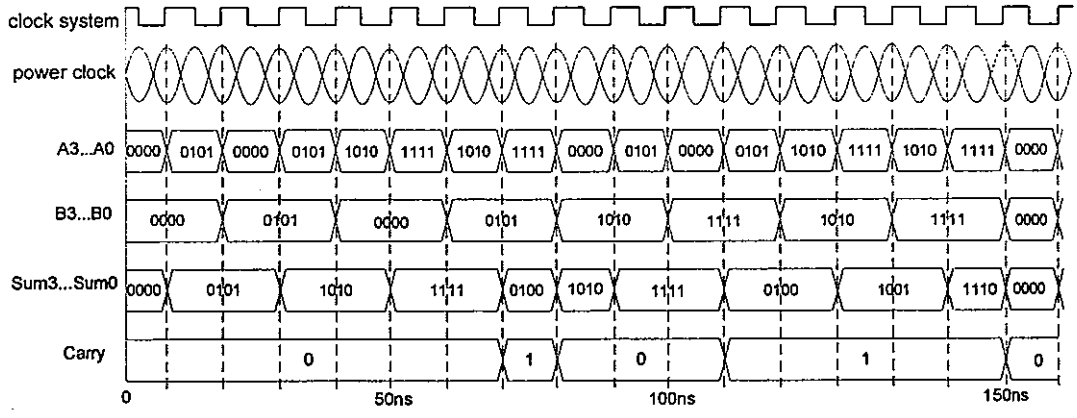
รูปที่ 4.29 บล็อกไดอะแกรมของวงจรบวกขนาด 4 บิทแบบCLA

การประยุกต์ใช้งานของวงจรแอเดียแบติกลอจิก ในวิทยานิพนธ์นี้นำเสนอวงจร4 bit carry look-ahead adder (CLA) ดังรูปที่ 4.30 โดยประกอบด้วยวงจรบวกแอเดียแบติกจำนวน 4 สเตจต่อกันในแบบไปป์ไลน์และใช้สัญญาณ PCG จำนวน 2 เฟสในการควบคุมการทำงาน โดยการทดสอบความถูกต้องในการทำงานของวงจรบวกขนาด 4 บิทด้วยการป้อนข้อมูลอินพุต (A0….A3) (B0

...B3) และ Cin มีค่าลอจิก "0" ดังรูปที่ 4.31 ส่วนสัญญาณ PCG สร้างจากวงจร LC oscillator (@ 100MHz) และที่เอาต์พุตของวงจรต่อกับโหลดตัวเก็บประจุขนาด 50fF

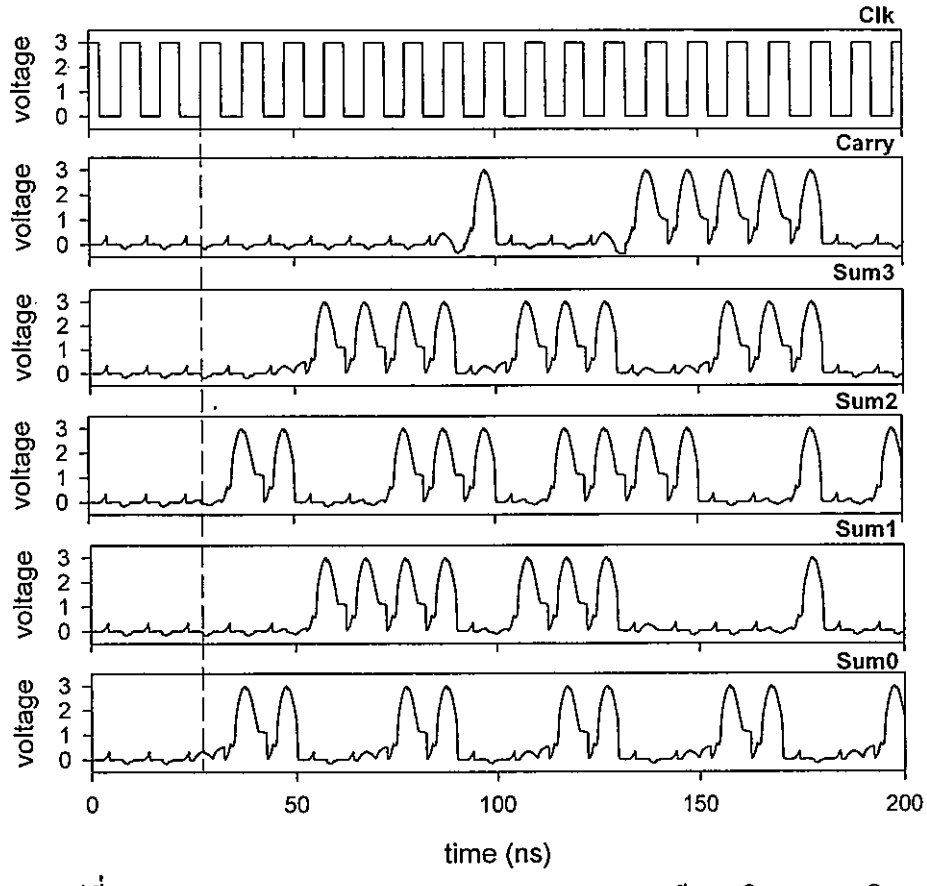


รูปที่ 4.30 วงจรบวกแบบแอเดียแบติกขนาด 4 บิท CLA



รูปที่ 4.31 แผนภาพทางเวลาของวงจรบวกขนาด 4 บิท

จากผลตอบสนองทางเวลาของวงจร 4 bit pipeline adder adiabatic logic (CLA) ดังรูปที่ 4.32 ผลบวกของวงจรแอเดียแบติกที่ต่อแบบไปป์ไลน์ ใช้เวลาในการส่งผ่านข้อมูลจากอินพุต (A0 หรือ B0) ถึงเอาต์พุต (Sum0) มีค่าประมาณ 20ns หรือเท่ากับ 2 ไซเคิล (latency 2 cycles)



รูปที่ 4.32 ผลตอบสนองทางเวลาของวงจรบวกแบบแอเดียแบติกขนาด4 บิท

ในการเปรียบเทียบการสิ้นเปลืองกำลังงานของวงจรบวกแบบแอเดียแบติก ในวิทยานิพนธ์นี้จะเปรียบทียบกับวงจรบวกแบบ CRA (carry ribble adder) ที่สร้างจากวงจรประเภทสแตติก ซึ่งมีความเร็วในการทำงานไม่สูงมากนักและมีขนาดเล็ก ทำให้วงจรบวกแบบ CRA มีการสิ้นเปลืองกำลังงานต่ำเปรียบเทียบกับวงจรบวกแบบอื่นๆ ในการทดสอบโดยการป้อนอินพุตที่มีค่า activity เท่ากับ 1 (worst-case losses) ผลการทดสอบดังตารางที่ 4.3 โดยวงจรบวกแบบแอเดียแบติกมีกำลังงานสูญเสียเพียงร้อยละ 36 เปรียบเทียบกับวงจรบวกแบบ CRA (ที่ความถี่ของ PCG 100 MHz)

ตารางที่ 4.3 เปรียบเทียบการสิ้นเปลืองกำลังงานของวงจรบวก

	จำนวนอุปกรณ์	กำลังงานสูญเสีย (μW)
วงจรบวกขนาด 4บิท CRA	160	917.5
วงจรบวกขนาด 4 บิท CLA	230	329.3

จากตารางที่ 4.4 เป็นการเปรียบเทียบการสิ้นเปลืองกำลังงานของวงจรบวกแบบแอเดียแบติก ทั้งก่อนและหลังการเลย์เอาท์ (layout) ซึ่งที่โหนดเอาต์พุตของวงจรบวกต่อโหลดแบบตัวเก็บประจุขนาด 50fF จากผลการทดสอบที่ความถี่ 100MHz พบว่ากรณี post-layout มีการสิ้นเปลืองกำลังงานเพิ่มขึ้นร้อยละ 10 เปรียบเทียบกับกรณี pre-layout

ตารางที่ 4.4 เปรียบเทียบการสิ้นเปลืองกำลังงานของวงจรบวก

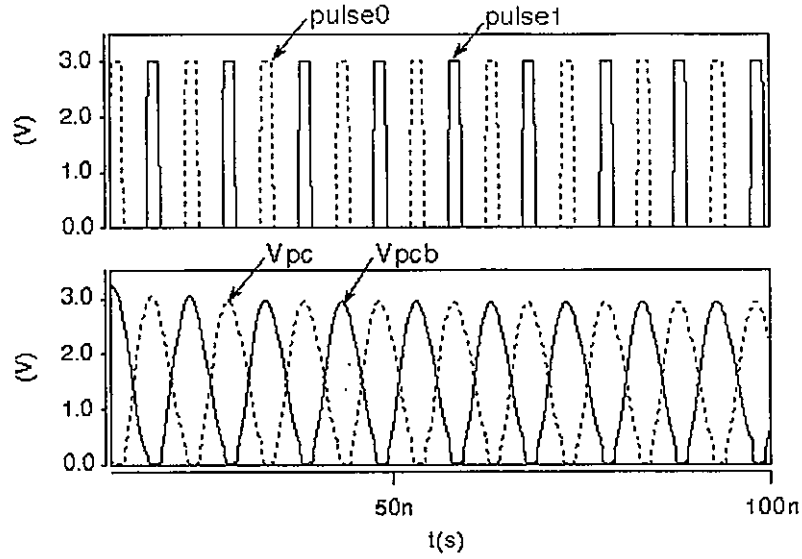
	Pre-layout(μW)	Post-layout(μW)
วงจรที่นำเสนอ	329.3	359.0

ในการทดสอบวงจรแอเดียแบติกแบบ CLA เพื่อหาวงจรเสมือนโดยใช้ lumped-element model ซึ่งประกอบด้วยค่าเสมือนของตัวเก็บประจุ C ต่ออนุกรมกับค่าเสมือนของตัวต้านทาน R ซึ่งผลการทดสอบในการหาค่าเสมือนของ R และ C ของแต่ละเฟสของ PCG โดยการเปลี่ยนแปลงความถี่ตั้งแต่ 10 MHz ถึง 100MHz ใช้สมการที่ 4.7 และสมการที่ 4.8 ในการหาค่าความต้านทาน และ ค่าของตัวเก็บประจุดังตารางที่ 4.5 ซึ่งพบว่าค่าของความต้านทานจะเปลี่ยนแปลงตามความถี่ โดยที่ความถี่สูงค่าของความต้านทานจะมีค่าต่ำลง ส่วนค่าของตัวเก็บประจุนั้นไม่ขึ้นอยู่กับค่าของความถี่และลอจิกสเตจหรือลอจิก activity ของวงจร โดยค่าของตัวเก็บประจุที่ได้จากการทดสอบวงจรแอเดียแบติก CLA แต่ละเฟสมีค่าประมาณ 2 pF

ตารางที่ 4.5 ผลการทดสอบเพื่อหาแบบจำลองของวงจรแอเดียแบติก CLA

Freq	V_{PC}				V_{PCb}			
[MHz]	P_{L1}[uW]	I_{L1}[uA]	R[ohm]	C[pF]	P_{L2}[uW]	I_{L2}[uA]	R[ohm]	C[pF]
10	3.8	128.6	233.7	1.9	5.2	147.1	243.5	2.2
20	16.7	293.2	194.9	2.2	19.2	308.8	203.0	2.3
30	17.4	323.0	166.3	1.6	37.2	440.0	192.4	2.2
40	41.2	503.6	161.9	1.8	44.7	506.8	174.5	1.9
50	86.0	766.2	146.6	2.3	94.2	756.3	164.6	2.3
60	77.4	790.5	124.1	1.9	114.6	762.1	196.2	1.9
70	92.5	838.1	131.7	1.8	151.3	1040.3	139.9	2.2
80	108.2	952.0	119.6	1.8	170.0	1170.0	124.2	2.2
90	144.0	1120.4	114.7	1.9	187.7	1260.8	117.8	2.1
100	163.6	1232.5	107.4	1.8	195.4	1320.0	111.9	1.9

การออกแบบวงจร PCG ในวิทยานิพนธ์นี้เลือกใช้วงจร PCG แบบ 2N และมี oscillation frequency เท่ากับ100MHz โดยใช้ค่าของตัวเก็บประจุแต่ละเฟสที่คำนวณได้จากตารางที่ 4.5 ไปหาค่าของอินดัคเตอร์โดยใช้สมการที่ 4.5 จากการคำนวนอินดัคเตอร์มีค่า 1.2 μH และนำค่าของค่ากำลังงานสูญเสียในลอจิก P_L จากตารางที่ 4.5 ไปคำนวณหาความกว้างของสัญญาณควบคุม (pulse0 และ pulse1) ของวงจร PCG ที่เหมาะสมโดยใช้สมการที่ 4.4 จากการคำนวณค่าความกว้างที่เหมาะสมมีค่าประมาณ 1.5 ns โดยสัญญาณรูปคลื่นซายน์ที่สร้างจาก PCG แบบ 2N ดังรูปที่ 4.33



รูปที่ 4.33 ผลตอบสนองทางเวลาของวงจร PCG

4.4 สรุปผลการทดสอบ

วงจรฟลิปฟลอปที่นำเสนอโดยใช้เทคนิคการใช้ประจุซ้ำ เพื่อลดการสิ้นเปลืองกำลังงานที่เกิดจากการพรีชาร์จโหนดภายในด้วยแหล่งจ่ายภายนอก โดยเทคนิคดังกล่าวจะใช้ประจุที่ได้จากการอีวาลูเอชั่นในรอบการทำงานก่อนหน้ามาทำการแบ่ง (equalize) เพื่อพรีชาร์จโหนดภายในให้มีค่าร้อยละ 50 ของแหล่งจ่ายในช่วงพรีชาร์จ ส่วนในช่วงอีวาลูเอชั่นเอาต์พุตโหนดด้านหนึ่งของดิฟเฟอเรนเชียลจะถูกเติมประจุเพิ่มอีกร้อยละ 50 เพื่อให้ได้ลอจิก "1" ส่วนประจุอีกด้านจะถูกทิ้งลงกราวด์ทั้งนี้ขึ้นอยู่กับอินพุตที่เข้ามาในช่วงอีวาลูเอชั่นในกรณีที่อินพุตมีค่า activity (α) สูงๆนั้น วงจรที่นำเสนอ จะมีการใช้กำลังงานที่น้อยกว่าเปรียบเทียบกับ SAFF และ CCFF ส่วนในกรณีที่อินพุตมีค่า activity เท่ากับ 0.3 ซึ่งเป็นค่าอินพุตที่ใช้งานทั่วไปวงจรที่นำเสนอมีการใช้กำลังงานลงลดร้อยละ 30 เปรียบเทียบกับ SAFF และร้อยละ 8 เปรียบเทียบกับ CCFF ส่วนคุณสมบัติทางเวลาที่สำคัญของวงจรทั้ง setup time และ hold time ของวงจรที่นำเสนอให้ค่าเป็นบวก ส่วนการสิ้นเปลืองกำลังงานในกรณีที่อินพุตมีค่า activity ต่ำๆนั้นวงจรที่นำเสนอมีการสิ้นเปลืองกำลังงานสูงกว่าเมื่อเปรียบเทียบกับวงจร CCFF ซึ่งเป็นข้อด้อยของวงจรที่นำเสนอ

วงจรลอจิกที่นำเสนอโดยใช้เทคนิคการกู้ประจุ เพื่อลดการสูญเสียกำลังงานที่เกิดในวงจรลอจิกในรูปของความร้อนโดยการจำกัดกระแสที่ไหลผ่าน PMOS ทำให้ศักดาตกคร่อมแชนแนลของ PMOS มีค่าน้อย และประจุที่เก็บในตัวเก็บประจุตามโหนดต่าง ๆในวงจรลอจิกสามารถส่งกลับสู่แหล่งจ่ายทุกๆรอบการทำงาน โดยใช้แหล่งจ่ายกระแสสลับแทนแหล่งจ่ายกระแสตรง โดยวงจรที่นำเสนอสามารถลดการสิ้นเปลืองส่วนที่เป็น non-adiabatic loss ในช่วงรีคัพเวอร์รีทำให้เอาต์พุตของวงจรเป็นแบบ full swing โดยคุณสมบัติของวงจรที่นำเสนอเปรียบเทียบกับวงจรแอเดียแบติกแบบ 2N-2N2P ดังตารางที่ 4.6

ตารางที่ 4.6 เปรียบเทียบคุณสมบัติของวงจรที่นำเสนอกับวงจร 2N-2N2P

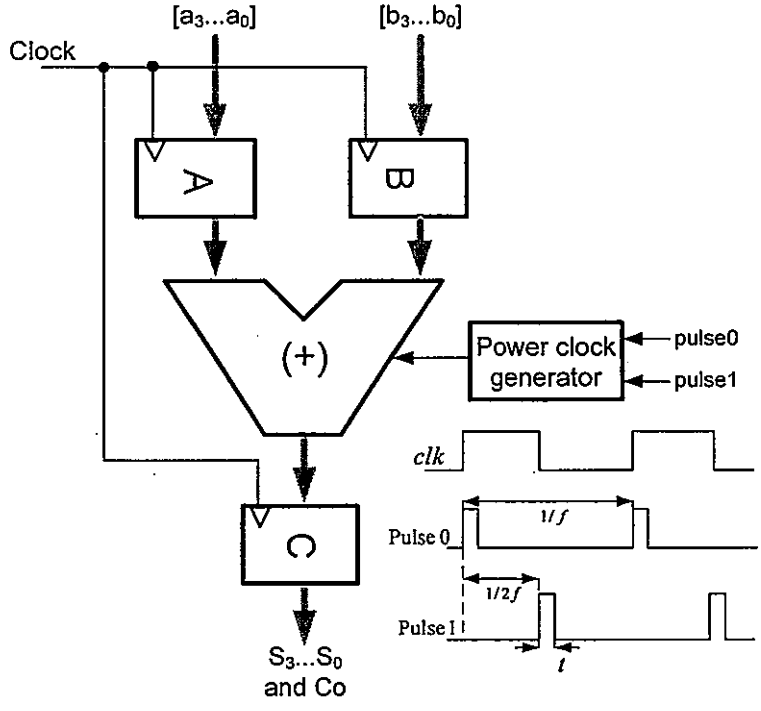
	2N-2N2P	วงจรที่นำเสนอ
สัญญาณนาฬิกา	trapezoid/sinusoidal	sinusoidal
จำนวนเฟส/auxillary clock	2-4/-	2/-
non-adiabatic loss	ช่วง รีคัพเวอร์รีไม่สมบูรณ์	ไม่มี
การแกว่งของเอาต์พุต	ลอจิก "1" Vdd ลอจิก "0" |Vtp|	full swing
จำนวนทรานซิสเตอร์(inverter design)	6	8

บทที่ 5

การใช้งานวงจรลอจิกแบบแอเดียแบติกและวงจรฟลิปฟลอป ที่ใช้เทคนิคการประจุซ้ำ

5.1 ระบบตัวอย่าง

ในบทที่ผ่านมาของวิทยานิพนธ์เราได้นำเสนอวงจรลอจิกแบบแอเดียแบติกและวงจรรีจิสเตอร์ที่ใช้เทคนิคการกู้ประจุ ในบทนี้เราจะแสดงให้เห็นว่าวงจรทั้งสองที่นำเสนอสามารถทำงานร่วมกันและเป็นส่วนหนึ่งของระบบดิจิตอลแบบซิงค์โครนัสได้อย่างสมบูรณ์ โดยระบบตัวอย่างที่นำเสนอนำเอาวงจรลอจิกแบบแอเดียแบติกไปทำงานร่วมกับวงจรรีจิสเตอร์ในระบบดิจิตอลซึ่งเป็นส่วนหนึ่งของเส้นทางข้อมูล (data path) ในโปรเซสเซอร์ โดยใช้สัญญาณนาฬิกาของระบบในการควบคุมการทำงานดังรูปที่ 5.1 ข้อดีของระบบคือสามารถเข้าใจการทำงานได้ง่ายและขณะเดียวกันก็สามารถเป็นตัวแทนของระบบดิจิตอลแบบซิงค์โครนัสขนาดใหญ่ได้ เนื่องจากมีองค์ประกอบที่สำคัญได้แก่ วงจรลอจิก รีจิสเตอร์ และควบคุมด้วยสัญญาณนาฬิกา



รูปที่ 5.1 การนำวงจรลอจิกแบบแอเดียแบติกไปใช้งานในระบบดิจิตอล

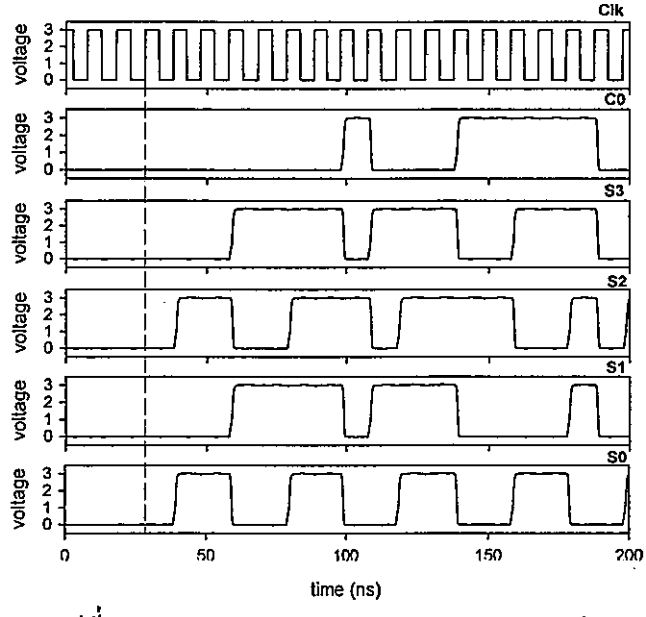
การทดสอบระบบดิจิตอลดังรูปที่ 5.1 โดยใช้สัญญาณนาฬิกาที่มีความถี่ 100 MHz ในการควบคุมการทำงานของรีจิสเตอร์และวงจรลอจิกที่เป็นแอเดียแบติก โดยสร้างสัญญาณ sinusoidal ที่มีความถี่เดียวกับสัญญาณนาฬิกาของระบบจากวงจร LC oscillator โดยใช้วงจร PCG ชนิด 2N ส่วนเอาต์พุตของระบบนั้นต่อกับโหลดตัวเก็บประจุขนาด 100fF ในการทดสอบการสิ้นเปลืองกำลังงานของระบบโดยการป้อนอินพุตที่เป็น worst-case losses ($\alpha = 1$) ซึ่งผลการทดสอบดังตารางที่ 5.1 โดยพบว่าการสิ้นเปลืองกำลังงานส่วนใหญ่ร้อยละ 80 ของระบบสูญเสียในวงจรรีจิสเตอร์

ตารางที่ 5.1 เปรียบเทียบการสิ้นเปลืองกำลังงานของระบบดิจิตอลตัวอย่าง

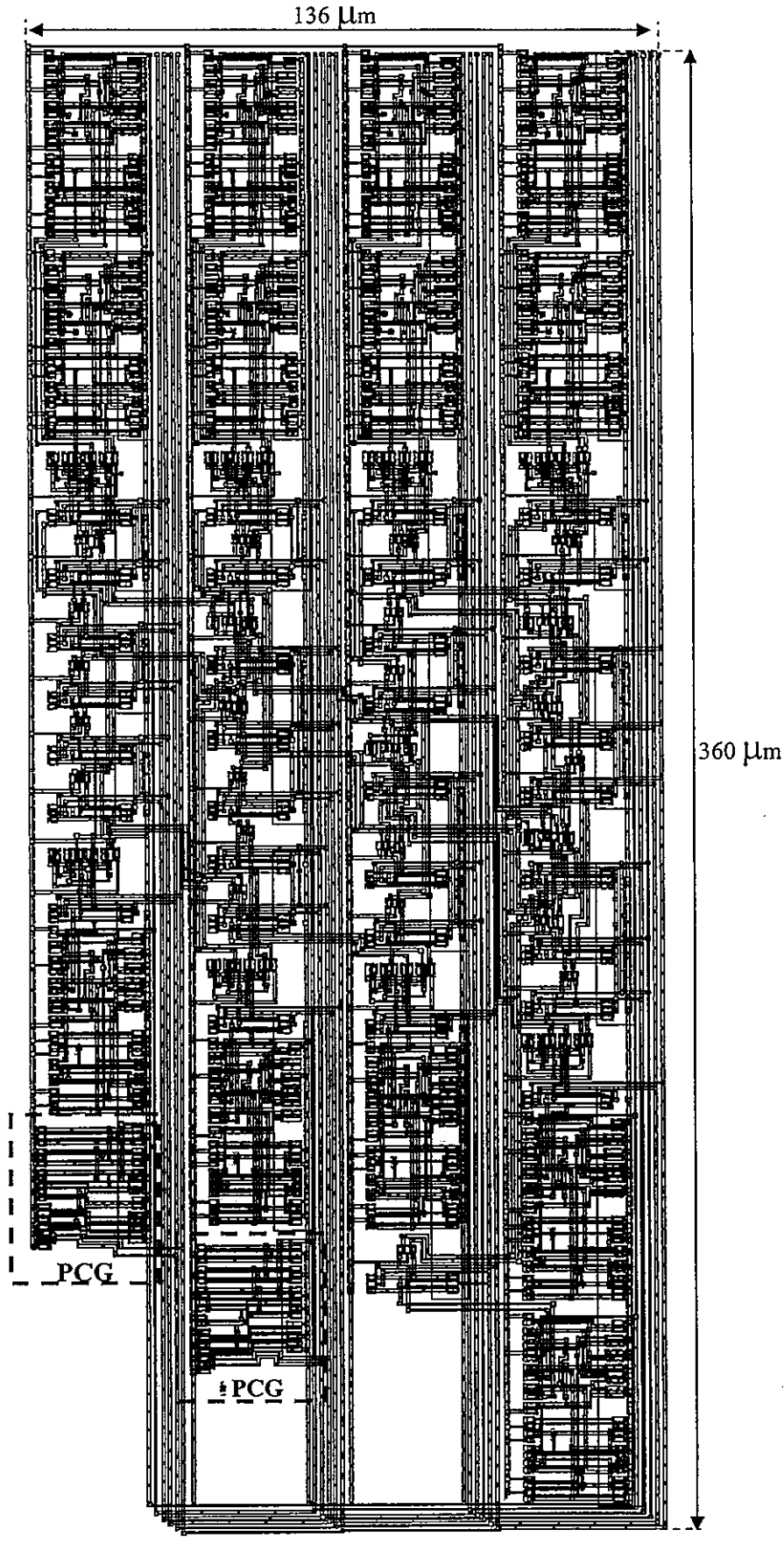
การสิ้นเปลืองกำลังงาน	Pre-layout	Post-layout
รีจิสเตอร์	1.93 *mW*	2.17 *mW*
วงจรบวก CLA	289.4 μW	318.1 μW
PCG	49.3 μW	58.5 μW
การสิ้นเปลืองกำลังงานรวม	2.26 *mW*	2.54 *mW*

การทดสอบความถูกต้องในการทำงานของระบบโดยการป้อนอินพุตดังรูปที่ 4.31 พบว่าข้อ มูลจากอินพุตต้องใช้เวลา 20ns ในการส่งผ่านไปยังเอาต์พุตของระบบ (latency 2 cycle) โดยผลตอบสนองทางเวลาของระบบแสดงดังรูปที่ 5.2

นำวงจรฟลิบฟลอปและวงจรบวกขนาด 4 บิทที่นำเสนอมาออกแบบเลย์เอาท์ (layout) ด้วย Virtuoso layout editor และใช้เทคโนโลยีซีมอสขนาด 0.35ไมครอน โดยวงจรที่ออกแบบมีขนาด 136 x 360 ไมครอน ดังรูปที่ 5.3



รูปที่ 5.2 ผลตอบสนองทางเวลาของระบบตัวอย่าง



รูปที่ 5.3 เลย์เอาท์ (Layout) ของระบบตัวอย่าง

5.2 สรุปผลการทดสอบ

สำหรับในการนำเอาวงจรลอจิกแบบแอเดียแบติกทำงานร่วมกับฟลิปฟลอป ในระบบตัวอย่างซึ่งเป็นส่วนหนึ่งของเส้นทางข้อมูลในโปรเซสเซอร์ และใช้สัญญาณนาฬิกาจากภายนอกควบคุมการทำงานของระบบนั้น พบว่าการสิ้นเปลืองกำลังงานส่วนใหญ่ร้อยละ 80 เกิดขึ้นที่รีจิสเตอร์ของระบบ และเวลาที่ใช้ในการส่งผ่านข้อมูลจากอินพุตไปยังเอาต์พุตจะใช้เวลา 20 ns หรือระบบมี latency เท่ากับ 2 ไซเคิล ดังนั้นการนำวงจรที่นำเสนอไปใช้งานจริงแทนวงจรเดิมในระบบนั้น สามารถทำได้โดยเลือกแทนที่วงจรเดิมในเส้นทางที่ไม่ critical ทำให้การสิ้นเปลืองกำลังงานของระบบลดลงและไม่ส่งผลทำให้ค่าทรูพุตของระบบเปลี่ยนแปลง

บทที่ 6

ข้อเสนอแนะและแนวทางพัฒนางานวิจัย

6.1 บทส่งท้าย

เทคโนโลยีซีมอสในปัจจุบันมีความก้าวหน้าอย่างรวดเร็ว ซึ่งช่วยให้ในการออกแบบวงจรสามารถพัฒนาวงจรให้มีขนาดเล็กลงได้และสามารถทำงานได้ที่ความถี่สูงหรือทำงานได้เร็วขึ้น ซึ่งเป็นการเอื้อประโยชน์ให้กับการนำไปประยุกต์ใช้งานกับอุปกรณ์ประเภทพกพา อีกทั้งสามารถใช้งานได้กับแหล่งจ่ายศักดาที่มีค่าต่ำจนถึงต่ำมากทำให้เกิดกำลังงานสูญเสียน้อยและเหมาะสมกับการใช้งานกับแบตเตอรี่

6.1.1 วงจรฟลิปฟลอป

วงจรฟลิปฟลอปแบบใช้กำลังงานต่ำโดยใช้เทคนิคการใช้ประจุซ้ำที่ได้นำเสนอนี้ ยังมีส่วนที่สามารถปรับปรุงเพื่อลดการสิ้นเปลืองกำลังงานในกรณีที่ใช้งานกับอินพุตที่มีค่า activity ต่ำๆ ซึ่งแนวทางเพิ่มประสิทธิภาพของวงจรดังกล่าว โดยออกแบบวงจรเปรียบเทียบค่าของข้อมูลอินพุตกับค่าของเอาต์พุต และนำเอาต์พุตที่ได้จากการเปรียบเทียบไปควบคุมเส้นทางคายประจุของวงจร เพื่อลดการเติมประจุให้แก่โหนดภายให้มีค่าเป็นลอจิก "1" จากแหล่งจ่ายภายนอก ในกรณีที่ข้อมูลอินพุตใหม่มีค่าเท่ากับค่าของเอาต์พุตในรอบการทำงานที่ผ่านมา

6.1.2 วงจรลอจิก

วงจรลอจิกแบบใช้กำลังงานต่ำโดยใช้เทคนิคการกู้ประจุที่ได้นำนำเสนอนั้น มีข้อจำกัดของค่าคงตัวทางเวลาที่เกิดจากผลคูณ RC ที่ต้องมีค่าน้อยกว่าค่า T_S โดย R คือค่าความต้านทานของแชนแนลซึ่งขึ้นอยู่กับเทคโนโลยีที่ใช้ C คือค่าตัวเก็บประจุ และ T_S คือค่าเวลาที่ใช้ในการเปลี่ยนสถานะของแหล่งจ่ายจาก $0 \rightarrow V_{DD}$ ในวิทยานิพนธ์ฉบับนี้ ออกแบบวงจรด้วยเทคโนโลยี 0.35 μm ค่าผลคูณ RC มีค่าประมาณ 0.5 ns T_S จึงควรมีค่าอย่างน้อย 10 เท่าของ ผลคูณ RC หรือเท่ากับ 5 ns ดังนั้นคาบเวลาที่ใช้งานจึงควรมีค่าอย่างน้อย 10 nS หรือใช้งานที่ความถี่ไม่เกิน 100MHz อย่างไรก็ตาม ผลคูณ RC มีแนวโน้มที่จะมีค่าลดลงตามความก้าวหน้าของเทคโนโลยี ด้วยเหตุนี้วงจรดังกล่าวจึงสามารถทำงานได้ที่ความถี่สูงขึ้นเมื่อใช้เทคโนโลยีที่มีขนาดเล็กลง

บรรณานุกรม

[1] **Semiconductor Industry Association.** ITRS, 2003 Ed. [http://www.public.itrs.net]

[2] Roy K. Prasad SC, **Low Power CMOS VLSI Circuit Design.** John Wiley & Sons, Inc, 2000.

[3] Chandrakasan AP, Brodersen RW, **Low Power CMOS Digital Design.** Kluwer Academic: Norwell, MA, 1995.

[4] Chandrakasan AP, Brodersen RW, "**Minimizing power consumption in digital CMOS Circuits,**" Proceedings of the IEEE. April 1995; 83(4): 498-523.

[5] Nilsson JW, **Electric Circuits.** Addison-Wesley: Reading, MA, 1994.

[6] Gonzales R, Gordon BM, Horowitz MA, "**Supply and threshold voltage scaling for low power CMOS,**"IEEE Journal of Solid-State Circuits, August 1997; 32(8):1210-1216.

[7] Veendrick HJM, "**Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits,**" IEEE Journal of Solid-State Circuits, 1984 August ; SC-19(4): 468-473.

[8] K. Nose, and T. Sakurai, "**Analysis and future trend of short-circuit power,**" IEEE Transaction on Computer-Aided Design of Integrated Circuits and systems, Sep 2000, pp. 1023-1030.

[9] Chandrakasan A, Bowhill WJ, FOX F, **Design of High-Performance Microprocessor Circuits.** New York: IEEE Press, 2001.

[10] Ferre A, Figueras J, "**Characterization of leakage power in CMOS technologies,**" Proceeding of the IEEE International Conference on Electronics, Circuits and Systems, Vol.2, pp. 185-188.

[11] A. Keshavarzi, K. Roy, and C. Hawkins, "**Intrinsic leakage in low power deep submicron CMOS ICs,**" in Proceeding of Intl Test Conference, 1997, pp. 146-155.

[12] A. Keshavarzi, S. Narenda, S. Borkar, C. Hawkins, K. Roy, andV. De, "**Technology Scaling Behavior of optimum Reverse Body bias for Standby Leakage Power Reduction on CMOS ICs,**" in Proceeding International Symposium on Low Power Electronic and Design, ISLPED, March 1999, pp. 252-254.

[13] Y. P. Tsividis, **Operation and Modeling of the MOS Transistor.** McGraw-Hill, New York, 1987.

[14] Y. Taur, and T. H. Ning, **Fundamentals of Modern VLSI Device.** New York, USA: Cambridge University Press, 1998.

[15] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous, and A. R. Leblanc, " **Design of Ion-Implanted MOSFETS with vary small physical dimensions,**" IEEE Journal of Solid-State Circuits, SC-9, 256, 1974.

[16] K. Schuegraf, and C. Hu, "**Hole Injection SiO_2 Breakdown Model for Very Low Voltage Lifetime Extrapolation,**" IEEE Trans On Elec. Dev, Vol. 41, No. 12, May 1994.

[17] T. Ghani et al., "**100nm gate length high performance/low power CMOS transistor structure,**" IEEE International Electron Device Meeting, Dec 1999, pp. 415-418.

[18] S. Thomson et al., "**An enhance 130nm generation logic technology featuring 60 nm transistors optimized for high performance and low power at 0.7-1.4 V,**" I EEE International Electron Device Meeting, Dec 2001, pp. 257-260.

[19] J. Caiet al., "**Supply voltage strategies for minimizing the power of CMOS processors,**" Proceeding of the IEEE International Symposium on VLSI Technology, July 2002, pp. 102-103.

[20] S. Thomson et al., "**An 90nm logic technology featuring 50nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1um^2 SRAM cell,**" Proceedings of the IEEE International Electron Device Meeting, Dec 2002, pp. 61-64.

[21] T. Ghani et al., "**Scaling challenges and device design requirement for high performance sub 50nm gate length planar CMOS transistors,**" Proceedings of the IEEE International Symposium on VLSI Technology, June 2000, pp. 174-175.

[22] V. Kursun, RM. Secareanu, and EG. Friedman "**CMOS voltage interface circuit for low power systems,**" Proceedings of the IEEE International Symposium on Circuits and Systems, vol. 3, May 2002, pp. 667-670.

[23] K. Nose, and T. Sakurai, "**Analysis and future trend of short-circuit power,**" IEEE Transaction on Computer-Aided Design of Integrated Circuits and systems, Sep 2000, pp. 1023-1030.

[24] T. Sakurai, and AR. Newton., "**A simple MOSFET model for circuit analysis,**" IEEE Transections on Electron Devices, April 1991, 38(4), pp. 887-894.

[25] K. Usami, and M. Horowitz., "**Clustered voltage scaling technique for low power design,**" in proceeding of the International Symposium on Low-Power Design , April 1995, pp. 3-8.

[26] K. Usami, and M. Igarashi., "**Low-power design methodology and application utilizing dual supply voltage,**" Asia and South Pacific Design Automation Conf., Jan 2000, pp. 123-128.

[27] K. Usami, et al., "**Automation low-power technique exploiting multiple supply voltage application to a media processor,**" IEEE Journal of Solid-State Circuits, March 1998, 33(3), pp. 463-472.

[28] B. Kong, S. Kim, and Y. Jun, "**Condition Capture Flip-Flop for Statistical Power Reduction,**" IEEE Journal of Solid-State Circuits, Vol.36, No. 8, August 2001, pp. 1263-1271.

[29] B. Nikolic, V. Stojanovic, V. G. Oklobdzija, W. Jia,and M. Leung , "**Sense Amplifier-Based Flip-Flop,**" in ISSCC digest of Technical Papers , Feb 1999, pp. 282-283.

[30] H. Kawaguchi, and T. Sakurai, "**A Reduced Clock-Swing Flip-Flop (RCSFF) for 63% Power Reduction,**" IEEE Journal of Solid-State Circuits, Vol. SC-33, No. 5 May 1998, pp. 807-811.

[31] H. Kojima, S. Tanaka, and K. Sasaki., "**Half-Swing Clocking Scheme for 75% Power Saving in Clocking Circuitry,**" IEEE Journal of Solid-State Circuits, vol. SC-30, No. 4, April 1995, pp. 432-435.

[32] K. Nose, M. Hirabayashi, H. Kawaguchi, S. Lee, and T. Sakurai., "**V_{th} Hopping scheme to reduce subthreshold leakage for low-power processors,**" IEEE Journal of Solid-State Circuits, vol. 37, Mar 2002, pp. 413-419.

[33] V. De, Y. Ye, A. Keshavarzi, S. Narendra, J. Kao, D. Somasekhar, R. nair, and S. Borkar., "**Techniques for leakage power reduction,**" in Design of High-Performance Microprocessor Circuits, A. Chandrakasan, W. Bowhill, and F.Fox, Eds. Piscataway, NJ: IEEE, 2001, ch3, pp. 52-55.

[34] Z. Chen, M. Johnson, L. Wei, and K. Roy., "**Estimation of standby leakage power in CMOS circuits considering accurate modeling of transistor stack,**" in proceeding of the International Symposium on Low-Power Electronic and Design , 1998, pp. 239-244.

[35] Z. Chen, L. Wei, A. Keshavarzi, and K. Roy., "**IDDQ testing for deep submicron ICs: Challenges and Solutions,**" IEEE Des. Test Comput., Mar.-Apr. 2002, pp. 24-33.

[36] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu, and J. Yamada., "**1-V power supply high-speed digital circuit technology with multi-threshold voltage CMOS,**" IEEE Journal of Solid-State Circuits, vol. 30, Aug 1995, pp. 847-854.

[37] S. Shigematsu, S. Mutoh, Y. Matsuya, Y. Tanabe, and J. Yamada., "**A 1-V high speed MTCMOS circuit scheme for power-down applications,**" IEEE Journal Solid-State Circuits, vol.32, June 1997, pp. 861-869.

[38] J. Kao, A. Chandrakasan, and D. Antoniadis., "**Transistor sizing issues and tool for multi-threshold CMOS technology,**" in proceeding ACM/IEEE Design Automation Conf., 1997, pp. 495-500.

[39] S. Mutoh, S. Shigematsu, Y. Matsuya, H. Fukuda, and J. Yamada., "**A 1V multi-threshold voltage CMOS DSP with an efficient power management for mobile phone application,**" in Dig. Tech. Papers IEEE Int. Solid-State Circuits Conf., 1996, pp. 168-169.

[40] L. Wei, Z. Chen, M. Johnson, K. Roy, Y. Ye, and V. De., "**Design and optimization of dual threshold circuits for low voltage low power applications,**" IEEE Trans. VLSI systems, Mar 1999, pp. 16-24.

[41] P. Pant, V. K. De, and A. Chatterjee., "**Simultaneous power supply, threshold voltage, and transistor sizing optimization for low power operation of CMOS circuits,**" IEEE Trans. VLSI Syst., Dec 1998, pp. 538-545.

[42] T. Kuroda et al., "**A 0.9V 150MHz 10mW 4mm 2-D discrete cosine transform core processor with variable-threshold voltage scheme,**" in Dig. Tech. Papers IEEE Int. Solid-State Circuits Conf., 1998, pp. 166-167.

[43] F. Assaderaghi, D. Sinits, S. Parke, J. Bokor, P. Ko, and C. Hu., "**A dynamic threshold voltage MOSFET(DTMOS) for ultra-low voltage operation,**" in proceeding of the International Electron Device Meeting, 1994, pp. 809-812.

[44] W. Lo, S. Chang, C. Chang, and T. Cao., "**Impacts of gate structure on dynamic threshold SOI nMOSFETs,**" IEEE Electron Device Letters, Aug 2002, pp. 497-499.

[45] B. S. Kong, J. S. Choi, S. J. Lee, and K. Lee., "**Charge recycling differential logic (CRDL) for low power application,**" IEEE Journal of Solid-State Circuits, Volume: 31 Issue: 9, 1996, pp. 1267-1276.

[46] S. Y. Choe, G. A. Rigby, and G. R. Hellestrand., "**Half-rail differential logic,**" IEEE International Solid-State Circuits Conference, 1997. Digest of Technical Paper. 44th ISSCC, 1997, pp. 420-421, 498.

[47] S. Y. Choe, G. A. Rigby, and G. R. Hellestrand., "**Dynamic half rail differential logic for low power,**" Proceedings of 1997 IEEE International Symposium on Circuits and Systems, ISCAS'1997, Volume: 3, 1997, pp. 1936-1939.

[48] H. Lin, Y. F. Chen, and H. C. She., "**A low-power 3-phase half rail pass-gate differential logic,**" The 2001 IEEE International Symposium on Circuits and Systems, ISCAS 2001, Volume: 4, 2001, pp. 148-151.

[49] S. M. Yoo, and S. M. Kang., "**CMOS Pass-gate No-race Charge-recycling logic (CPNCL),**" Proceeding of the 1999 IEEE International Symposium on Circuits and Systems, ISCAS'99, Volume: 1, 1999, pp. 226-229.

[50] J. Lee, J. Park, B. Song, and W. Kim., "**Split-level precharge differential logic: a new type of high-speed charge-recycling differential logic,**" IEEE Journal of Solid-State Circuits , Volume: 36 Issue: 8, 2001, pp. 1276-1280.

[51] K. Y. Cheung., "**CRRDL: a novel charge recovery-recycling differential logic,**" The 2001 IEEE International Symposium on Circuits and Systems, ISCAS 2001, Volume: 4, 2001, pp. 152-153.

[52] A. Abbasian, S. H. Rasouli, J. Derakhshadeh, A. Afzali-Kusha, and M. Nourani., "**Race-free CMOS pass-gate charge recycling logic(FCPCL) for low power application,**" Southwest Symposium on Mixed-Signal Design, 2003.

[53] A. Kramer, J. S. Denker, S. C. Avery, A. G. Dickinson, and T. R. Wik., "**Adiabatic Computing with the 2N-2N2P logic family,**" 1994 IEEE Symposium on VLSI Circuits Digest of Technical Paper, June 1994, pp. 25-26.

[54] A. G. Dickinson, and J. S. Denker., "**Adiabatic dynamic logic,**" Proceeding of the IEEE Custom Integrated Circuits Conference, May 1-4 1994, pp. 282-285.

[55] K. T. Lau, and F. Liu., "**Improve adiabatic pseudo-domino logic family,**" Electronic Letter , Volume: 33 Issue: 25, Dec 1997, pp. 2113-2114.

[56] H. M. Wong, and K. T. Lau., "**Adiabatic pseudo-domino logic with dual-rail inputs,**" Proceeding of the 44th Midwest Symposium. MWSCAS 2001.

[57] A. Krame, J. S. Denker, B. Flower, and J. Moroney., "**2nd Order Adiabatic Computation with 2N-2P And 2N-2N2P logic circuits,**" Int. Symposium on Low Power Design, 1995, pp. 191-196.

[58] A. Blotti, M. Castellucci, and R. Saletti., "**Design Carry Look-Ahead Adder with an Adiabatic logic Standard-Cell Library,**" PATMOS 2002, 2002, pp. 118-127.

[59] V. G. Oklobdzija, D. Maksimovic, and Fengcheng Lin., "**Pass-transistor adiabatic logic using single power-clock supply,**" Proceeding IEEE Transaction on Circuits and Systems II: Analog and Digital Signal, Volume: 44 Isuue:10, Oct 1997, pp. 842-846.

[60] D. Maksimovic, V. G. Oklobdzija, B. Nikolic, and K. W. Current., "**Clock CMOS adiabatic logic with integrate single-phase power-clock supply,**" IEEE Transactions on VLSI Systems, Volume: 8 Issue:4, Aug 2000, pp. 460-463.

[61] L. Varga, F. Kovacs, and G. Hosszu., "**An improve pass-gate adiabatic logic,**" Proceeding 14th Annual IEEE International, ASIC/SOC Conference, 2001, pp. 208-211.

[62] V. S. Sathe, J. Chueh, and M. C. Papaefthymiou., "**Energy-Efficient GHz-Class Charge-Recovery logic,**" IEEE Journal of Solid-State Circuits, Volume: 42 No. 1, Jan 2007, pp. 38-47.

[63] J. Kim, Y. Jang, and H. Park., "**CMOS sense-amplifier based flip-flop with two N-C^2 MOS output latchs,**" Electron Lett., Vol. 36, No. 6, Mar 2000, pp. 498-500.

[64] B. Nikolic, V. G. Oklobdzija, V. Stajanovic, W. Jia, J. K. Chiu, and M. M. Leung., "**Improve sense-amplifier based flip-flop : Design and measurement,**" IEEE Journal of Solid-State Circuits, Vol. 35, No. 6, June 2000, pp. 876-883.

[65] V. Stojanovic, and V. G. Oklobdzija., "**Comparative Analysis of Master-Slave Latches and Flip-flops for High-Performance and Low-Power VLSI Systems,**" IEEE Journal of Solid-State Circuits, Vol. 34, No. 4, April 1999, pp. 536-548.

[66] V. G. Oklobdzija, V. Stojanovic, D. Markovic, and N. Nedovic, **Digital System Clocking: High-Performance and Low-Power Aspects.** J. Wiley, January 2003.

[67] Q. Xiaohai, and C. Hongyi., "**Discusssion on the Low-power CMOS Latches and Flip-flops.,**" in Proc. Int. Conf. on Solid-State and Integrated Circuits Technology, Oct. 1998, pp. 477-480.

[68] N. Nedovic, W. W. Walker, and V. G. Oklobdzija., "**A Test Circuit for Measurement of Clocked Storage Element Characteristic**," IEEE Journal of Solid-State Circuits, Vol. 39, No. 8, August 2004, pp. 1294-1304.

[69] L. J. Sevensson, and J. G. Koller., "**Driving a capacitive load without dissipation** fCV^2," IEEE Symp. Low Power Electronics, 1994, pp. 100-101.

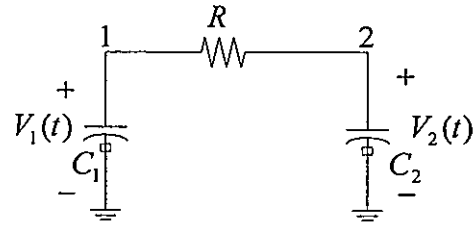
[70] W. C. Athas, L. J. Sevensson, and N. Tzartzanis, "**A resonant signal driver for two-phase, almost-non-overlapping clocks**," IEEE Symp. Circuits and Systems, Vol. 4, 1996, pp. 129-132.

ภาคผนวก

ภาคผนวก ก

การคำนวณค่าเวลาที่ใช้ในการประจุและคายประจุของวงจรที่ใช้เทคนิคการใช้ประจุซ้ำ

สำหรับเทคนิคการใช้ประจุซ้ำ ในช่วงอีควอไลซ์ (equalize) สามารถจำลองโดยใช้วงจร RC (second -order) ดังรูปที่ ก.1



รูปที่ ก.1 equalization RC model

$V_1(0^-) = initial\ voltage$

$V_2(0^-) = 0$

Node 1

$$C_1 \frac{dV_1}{dt} + \frac{(V_1 - V_2)}{R} = 0 \qquad \text{(ก.1)}$$

Node 2

$$C_2 \frac{dV_2}{dt} + \frac{(V_2 - V_1)}{R} = 0$$

จากสมการ (ก.1)

$$\frac{V_2}{R} = C_1 \frac{dV_1}{dt} + \frac{V_1}{R} \qquad \text{(ก.2)}$$

$$V_2 = RC_1 \frac{dV_1}{dt} + V_1$$

ทำการ Derivative V_2

$$\frac{dV_2}{dt} = RC_1 \frac{d^2V_1}{dt^2} + \frac{dV_1}{dt} \qquad \text{(ก.3)}$$

แทนค่าสมการที่ (ก.3) ในสมการที่ (ก.2)

$$C_2\left(RC_1 \frac{d^2V_1}{dt^2} + \frac{dV_1}{dt}\right) + \frac{\left((RC_1 \frac{dV_1}{dt} + V_1) - V_1\right)}{R} = 0$$

$$\frac{d^2V_1}{dt^2}+\frac{(C_1+C_2)}{RC_1C_2}\frac{dV_1}{dt}=0$$

$$S^2+\frac{(C_1+C_2)S}{RC_1C_2}=0$$

$$S\cdot\left(S+\left(\frac{C_1+C_2}{RC_1C_2}\right)\right)=0$$

$$S_1=0 \qquad S_2=-\frac{(C_1+C_2)}{RC_1C_2}$$

วิธี Superposition

$$V_1(t)=K_1e^{S_1t}+K_2e^{S_2t}$$

$$V_1(t)=K_1+K_2e^{-\frac{(C_1+C_2)}{RC_1C_2}\cdot t} \qquad \text{(ก.4)}$$

$V_1(0^+)=V_1(0^-)=V_{dd}$

จากสมการที่ (ก.1)

$$C_1\frac{dV_1}{dt}\bigg|_{0^+}+\frac{V_1(0^+)}{R}-\frac{V_2(0^+)}{R}=0$$

$$V_1'(0^+)=-\frac{V_{dd}}{RC_1}$$

ที่เวลา $t=0^+$

$V_1(0^+)=V_{dd}$ $\quad = K_1+K_2e^0 \quad = K_1+K_2$

$V_1'(0^+)=-\frac{V_{dd}}{RC_1}$ $\quad = \frac{dV_1}{dt} \quad = \frac{d}{dt}\left(K_1+K_2e^{-\left(\frac{C_1+C_2}{RC_1C_2}\right)\cdot t}\right)$

$$=-\frac{(C_1+C_2)}{RC_1C_2}K_2e^{-\frac{(C_1+C_2)}{RC_1C_2}\cdot t}\bigg|_{t=0^+}$$

$$=-\frac{(C_1+C_2)}{RC_1C_2}K_2$$

แก้สมการหาค่า K_1 และ K_2

$$K_1+K_2=V_{dd} \qquad \text{(ก.5)}$$

$$-\frac{(C_1+C_2)}{RC_1C_2}K_2=-\frac{V_{dd}}{RC_1} \qquad \text{(ก.6)}$$

จากสมการที่ (ก.6)

$$K_2=\frac{C_1\cdot C_2\cdot V_{dd}}{C_1+C_2}$$

แทนค่า K_2 ลงในสมการที่ (ก.5)

$$K_1+\frac{C_1\cdot C_2\cdot V_{dd}}{C_1+C_2}=V_{dd}$$

$$K_1 = V_{dd} - \frac{C_1 \cdot C_2 \cdot V_{dd}}{C_1 + C_2}$$

แทนค่า K_1 และ K_2 ลงในสมการ(ก.4)

$$V_1(t) = \left[V_{dd} - \frac{C_1 \cdot C_2 \cdot V_{dd}}{C_1 + C_2} \right] + \left[\frac{C_1 \cdot C_2 \cdot V_{dd}}{C_1 + C_2} e^{-\left(\frac{C_1+C_2}{R \cdot C_1 \cdot C_2}\right) \cdot t} \right] \qquad t \geq 0$$

$$V_1(t) = \left[V_{dd} \cdot \left(1 - \frac{C_1 \cdot C_2}{C_1 + C_2} \right) \right] + \left[\frac{C_1 \cdot C_2 \cdot V_{dd}}{C_1 + C_2} e^{-\left(\frac{C_1+C_2}{R \cdot C_1 \cdot C_2}\right) \cdot t} \right] \qquad t \geq 0$$

K_1 =Steady state (เป็นค่าแรงดัน DC offset voltage)

Time constant (τ) = $\frac{R \cdot C_1 \cdot C_2}{C_1 + C_2}$

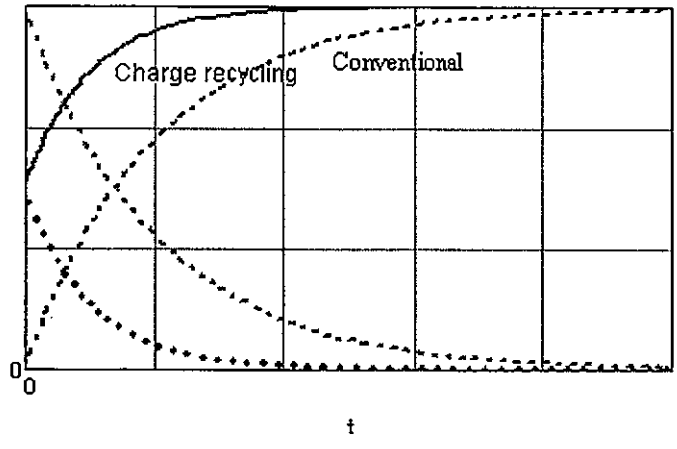
กำหนดค่า $C_1 = C_2 = C$

$$V_1(t) = \left(\frac{C \cdot V_{dd}}{2} \right) \cdot e^{\left(\frac{-2}{R \cdot C}\right) \cdot t}$$

เวลาที่ใช้ในการคายประจุ (Discharge) จาก $\frac{V_{dd}}{2}$ เป็น 0 $t \to \infty$

พิจารณาที่ 0.1 V_{dd}

$$t = 0.8047 \cdot RC \qquad \text{(ก.7)}$$



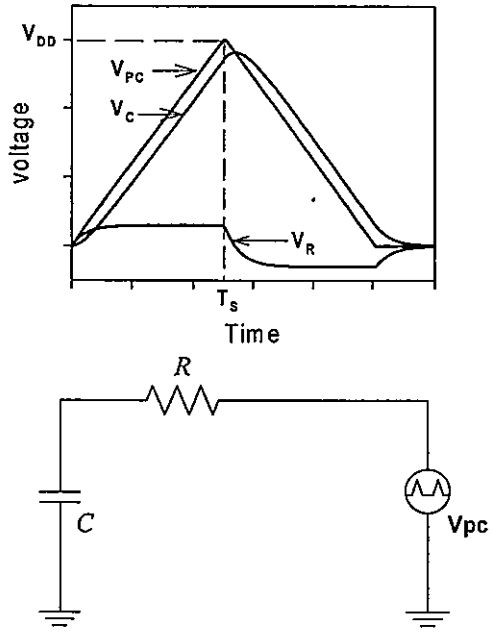
รูปที่ ก.2 ผลเปรียบเทียบการตอบสนองทางเวลาของแบบจำลอง

ภาคผนวก ข

การวิเคราะห์วงจรแอเดียแบติก

1. การคำนวณค่าพลังงานสิ้นเปลืองของวงจรแอเดียแบติก

ในการหาค่าพลังงานสิ้นเปลือง (energy dissipation) ที่เกิดขึ้นในเซนแนลขณะมอสเฟตทำงานนั้นสามารถจำลองได้ด้วย RC network ดังรูปที่ ข1 โดยศักดาที่โหนด power/ clock(V_{PC}) นั้นสามารถแกว่งได้จาก 0 ถึง V_{DD} เพื่อประจุให้โหนดคาปาซิแตนซ์ผ่านทางแชนแนลของMOS ในช่วงเวลา T_s ซึ่งในช่วงเวลาดังกล่าวแหล่งจ่ายมีการเปลี่ยนแปลงแบบเชิงเส้น



รูปที่ ข.1 adiabatic RC model

จากวงจรแอเดียแบติก RC model ข้างต้นสามารถเขียนความสัมพันธ์ได้ดังสมการ

$$RC(\frac{dV_C}{dt}) + V_C = V_{PC} \qquad (ข.1)$$

โดยที่ $V_{PC} = \begin{cases} 0 & t < 0 \\ (\frac{V_{DD}}{T_S})t & 0 \le t < T_S \\ V_{DD} & t \ge T_S \end{cases}$

ดังนั้น ศักดาที่ตกคร่อมตัวเก็บประจุ(V_C) ที่เวลา (t) ใดๆสามารถเขียนได้ดังสมการ

$$V_C = \begin{cases} 0 & t < 0 \\ V_{PC} - (RC/T_S)V_{DD}(1-e^{-t/RC}) & 0 \le t < T_S \\ V_{PC} - (RC/T_S)V_{DD}(1-e^{-(t-T_S)/RC}) & t \ge T_S \end{cases} \qquad \text{(ข.2)}$$

โดยพลังงานสิ้นเปลืองที่เกิดขึ้นบนความต้านทานสามารถหาได้จาก

$$E_{diss} = \int_0^\infty iV_R dt$$
$$= \int_0^{T_S} iV_R dt + \int_{T_S}^\infty iV_R dt$$

พิจารณาเทอมแรก

$$E_{diss} = \int_0^{T_S} iV_R dt = \int_0^{T_S} \left(\frac{V_{PC} - V_C)^2}{R}\right) dt$$
$$= \int_0^{T_S} \frac{[(V_{DD}/T_S)RC(1-e^{-t/RC})]^2}{R} dt$$
$$= \frac{R^2C^2}{T_S^2} CV_{DD}^2 \int_0^{T_S/RC} (1-e^{-t/RC})^2 d\frac{t}{RC}$$
$$= \left(\frac{RC}{T_S}\right) CV_{DD}^2 \left[1 - \frac{3}{2}\left(\frac{RC}{T_S}\right) + 2\left(\frac{RC}{T}\right)e^{-T_S/RC} - \frac{1}{2}\left(\frac{RC}{T_S}\right)e^{-2T_S/RC}\right]$$

พิจารณาเทอมที่สอง

$$E_{diss} = \int_{T_S}^\infty iV_R dt = \int_{T_S}^\infty \frac{(V_{PC} - V_C)^2}{R} dt$$
$$= \frac{RC}{T_S} CV_{DD}^2 \left(1 - e^{-T_S/RC}\right)^2 \int_{T_S}^\infty e^{-2[(t-T_S)/RC]} dt$$
$$= \left(\frac{RC}{T_S}\right)^2 CV_{DD}^2 \left[\frac{1}{2}\left(1 - e^{-T_S/RC}\right)^2\right]$$

ดังนั้นพลังงานสิ้นเปลืองที่เกิดขึ้นบนตัวต้านทานมีค่าเท่ากับ

$$E_{diss} = \left(\frac{RC}{T_S}\right) CV_{DD}^2 \left[1 - \frac{3}{2}\left(\frac{RC}{T_S}\right) + 2\left(\frac{RC}{T_S}\right)e^{-T_S/RC} - \frac{1}{2}\left(\frac{RC}{T_S}\right)e^{-2T_S/RC}\right]$$
$$+ \left(\frac{RC}{T_S}\right)^2 CV_{DD}^2 \left[\frac{1}{2}\left(1 - e^{-T_S/RC}\right)^2\right]$$

$$E_{diss} = \left(\frac{RC}{T_S}\right) CV_{DD}^2 \left\{1 - \frac{RC}{T_S} + \frac{RC}{T_S} e^{-t/RC}\right\}$$

พิจารณาในกรณีแรกโดย $T_S >> RC$

$$E_{diss} \approx \left(\frac{RC}{T_S}\right) CV_{dd}^2 \qquad \text{(ข.3)}$$

พิจารณาในกรณีที่สองโดย $T_S << RC$

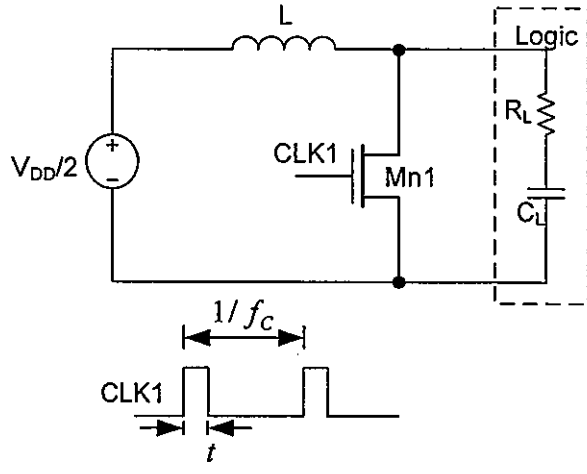
ประมาณค่าของ $e^{-t/RC}$ โดยใช้อนุกรม Taylor

$$e^{-t/RC} = \left[1 - \left(\frac{T_S}{RC}\right) + \left(\frac{1}{2}\right)\left(\frac{T_S}{RC}\right)^2\right]$$

$$E_{diss} \approx \left(\frac{RC}{T_S}\right) CV_{DD}^2 \left\{1 - \frac{RC}{T_S} + \frac{RC}{T_S}\left[1 - \frac{T_S}{RC} + \frac{1}{2}\left(\frac{T_S}{RC}\right)^2\right]\right\}$$

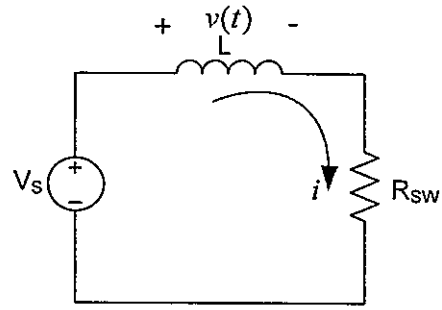
$$\approx \frac{1}{2} CV_{DD}^2 \qquad \text{(ข.4)}$$

2. การวิเคราะห์ทางเวลาของวงจร PCG



รูปที่ ข.2 วงจร single-phase power/clock generator

ช่วง Mn1 ทำงาน สามารถแทนด้วยแบบจำลองดังรูป



รูปที่ ข.3 แบบจำลอง RL circuit

$$i = i_t + i_{ss}$$

$$i_t = Ae^{-R_{SW}t/L}$$

$$i_{ss} = V_S / R_{SW}$$

โดย V_S เป็นค่าของแหล่งจ่าย i_t เป็นกระแสช่วง transient และ i_{ss} เป็นกระแสช่วง steady state ดังนั้น

$$i = Ae^{-R_{SW}t/L} + V_S / R_{SW}$$

กรณีที่ $i(0^+) = i(0^-) = I_0$

$$I_0 = A + V_S / R_{SW}$$

$$A = I_0 - V_S / R_{SW}$$

ดังนั้นกระแสในวงจรที่เวลาใดๆ

$$i(t) = \frac{V_S}{R_{SW}} + (I_0 - \frac{V_S}{R_{SW}})e^{-R_{SW}t/L}$$

ในกรณีที่กระแสเริ่มต้น(I_0) มีค่าเท่ากับศูนย์

$$i(t) = \frac{V_S}{R_{SW}}(1 - e^{-R_{SW}t/L}) \qquad \text{(ข.5)}$$

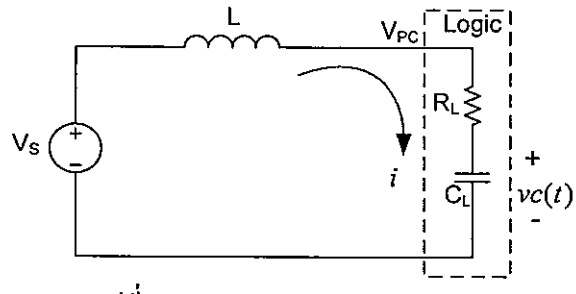
ดังนั้นค่าศักดาที่ตกคร่อมอินดัคเตอร์($v(t)$) ที่เวลาใดๆ

$$v(t) = L\frac{di}{dt}$$

$$= L\frac{d(V_s(1 - e^{-R_{SW}t/L}) / R_{SW}}{dt}$$

$$v(t) = V_s e^{-R_{SW}t/L}$$

ช่วงที่ Mn1 หยุดทำงานสามารถแทนด้วยแบบจำลอง RLC series ดังรูป



รูปที่ ข.4 RLC series resonance

ที่ $t > 0$

$$L\frac{di}{dt} + Ri + v_C = V_S$$

$$i = C\frac{dv_C}{dt}$$

$$\frac{dv_C^2}{dt^2} + \frac{R}{L}\frac{dv_C}{dt} + \frac{v_C}{LC} = \frac{V_S}{LC}$$

$$\alpha = \frac{R}{2L} \qquad \omega_o = \frac{1}{\sqrt{LC}}$$

$$\frac{dv_C^2}{dt^2} + 2\alpha\frac{dv_C}{dt} + \omega_o^2 v_C = \omega_o^2 V_S$$

$$S^2 + 2\alpha S + \omega_o^2 = 0$$

$$S_{1,2} = -\alpha \pm \sqrt{\alpha^2 - \omega_o^2}$$

กรณีที่ $\omega_o > \alpha$

$$S_{1,2} = -\alpha + j\omega_d$$

$$\omega_d = \sqrt{\omega_o^2 - \alpha^2} \qquad \omega_d = \textit{damped resonant frequency}$$

ดังนั้นศักดาตกคร่อมตัวเก็บประจุ $v_C(t)$ ที่เวลาใดๆสามารถเขียนได้ดังสมการที่ (ข.6)

$$v_C(t) = e^{-\alpha t}(A\sin\omega_d t + B\cos\omega_d t) + V_S$$

***Initial condition $v_C(0) = V_{CO}$ $\qquad \frac{dv_C}{dt}\Big|_{t=0} = 0$

ดังนั้นค่าของ A และ B

$$B = V_{CO} - V_S$$

$$A = \frac{\alpha(V_{CO} - V_S)}{\omega_d}$$

แทนค่า A และ B

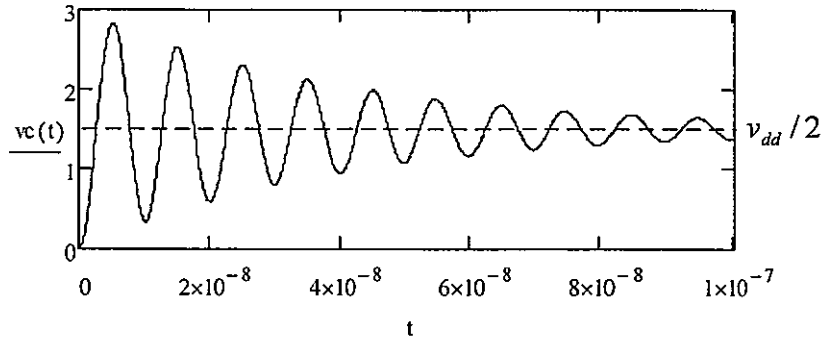
$$v_C(t) = e^{-\alpha t}\left[\frac{\alpha(V_{CO} - V_S)}{\omega_d}\sin\omega_d t + (V_{CO} - V_S)\cos\omega_d t\right] + V_S \qquad \text{(ข.6)}$$

หรือเขียนในรูปของฟังก์ชัน cosine

$$v_C(t) = (V_{CO} - V_S)e^{-\alpha t}[\sqrt{1+(\frac{\alpha}{\omega_d})^2}\cos(\omega_d + \phi)] + V_S$$

$\phi = \tan^{-1}(\alpha/\omega_d)$

ในรูปที่ ข.5 เป็นกราฟผลตอบสนองทางเวลาของแรงดันที่ความถี่รีโซแนนซ์ กรณี underdamped (ไม่มีการเติมพลังงาน)

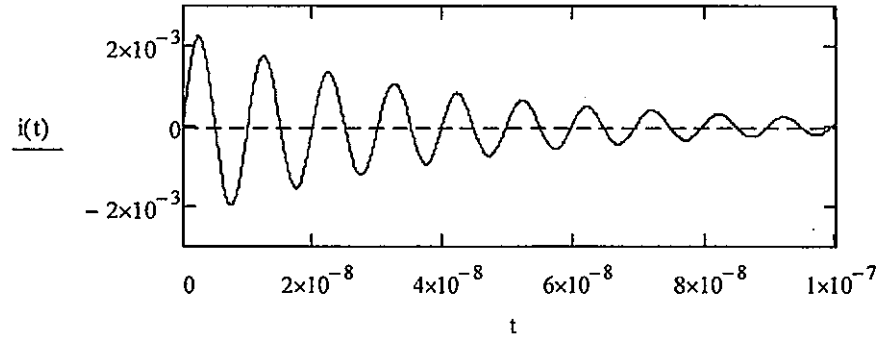


รูปที่ ข.5 ผลตอบสนองทางเวลาของแรงดันที่ความถี่รีโซแนนซ์

กระแสที่ไหลในวงจรที่ความถี่รีโซแนนซ์ ดังสมการ

$$i(t) = C\frac{dv_C}{dt}$$
$$= C\left[e^{-\alpha t}\left(A\omega_d \cos\omega_d t - B\omega_d \sin\omega_d t\right) - \alpha e^{-\alpha t}\left(A\sin\omega_d t + B\cos\omega_d t\right)\right] \quad \text{(ข.7)}$$

ในรูปที่ ข.6 เป็นผลตอบสนองทางเวลาของกระแสที่ความถี่รีโซแนนซ์ (ไม่มีการเติมพลังงานเพิ่ม)



รูปที่ ข.6 กระแสที่ไหลในวงจรของกระแสที่ความถี่รีโซแนนซ์

ดังนั้นค่าศักดาที่โหนด V_{PC} ของวงจรในรูปที่ ข.4 สามารถเขียนได้ดังสมการ

$$V_{PC}(t) = V_C(t) + Ri(t)$$

$$= (V_{CO} - V_S)e^{-\alpha t}\left[\sqrt{1+\left(\frac{\alpha}{\omega_d}\right)^2}\cos(\omega_d t + \phi)\right]$$

$$+ RC\left[e^{-\alpha t}\left(A\omega_d \cos\omega_d t - B\omega_d \sin\omega_d t\right) - \alpha e^{-\alpha t}\left(A\sin\omega_d t + B\cos\omega_d t\right)\right]$$

ระยะเวลาMn1 ทำงานที่เหมาะสมเพื่อรักษาขนาดของสัญญาณคลื่นไซด์ จาก LC oscillator

$$\frac{1}{2}Li^2(t) = \frac{P_L}{f}$$

$$i(t) = \sqrt{\frac{2P_L}{Lf}}$$

โดยที่ $i(t) = \frac{V_S}{R}\left(1 - e^{\frac{-Rt}{L}}\right)$

$$t > \frac{-L}{R}\ln\left(1 - \frac{R}{V_S}\sqrt{\frac{2P_L}{Lf}}\right) \qquad \text{(ข.8)}$$

โดยที่ P_L คือกำลังงานสูญเสียในวงจรลอจิก R คือความต้านทานแชนแนลของ Mn1 f คือความถี่ oscillator และ V_S ค่าศักดาของแหล่งจ่าย

3. การคำนวณค่า R และ C ในแบบจำลองของวงจรแอเดียแบติก

หาได้ด้วยวิธีการประมาณด้วย lumped-element model ซึ่งประกอบด้วยความต้านทานต่ออนุกรมกับตัวเก็บประจุ ในการทดสอบจะใช้แหล่งจ่ายศักดาแบบ sinusoidal แทน power clock ทำการวัดค่ากำลังงานสูญเสียที่เกิดขึ้นในลอจิก (P_L) และค่ากระแสที่ไหลเข้าในวงจรลอจิก I_L (rms) ได้จากการทดสอบนำค่า P_L และ I_L มาหาค่าความต้านทาน(R)

$$P_L = I_L^2 R$$

$$R = \frac{P_L}{I_L^2} \qquad \text{(ข.9)}$$

หาค่าตัวเก็บประจุ(C)

$$I_L = \frac{V_S}{2\sqrt{2}\cdot XC}$$

$$I_L = \frac{V_S(2\pi\cdot f\cdot C)}{2\sqrt{2}}$$

ดังนั้น

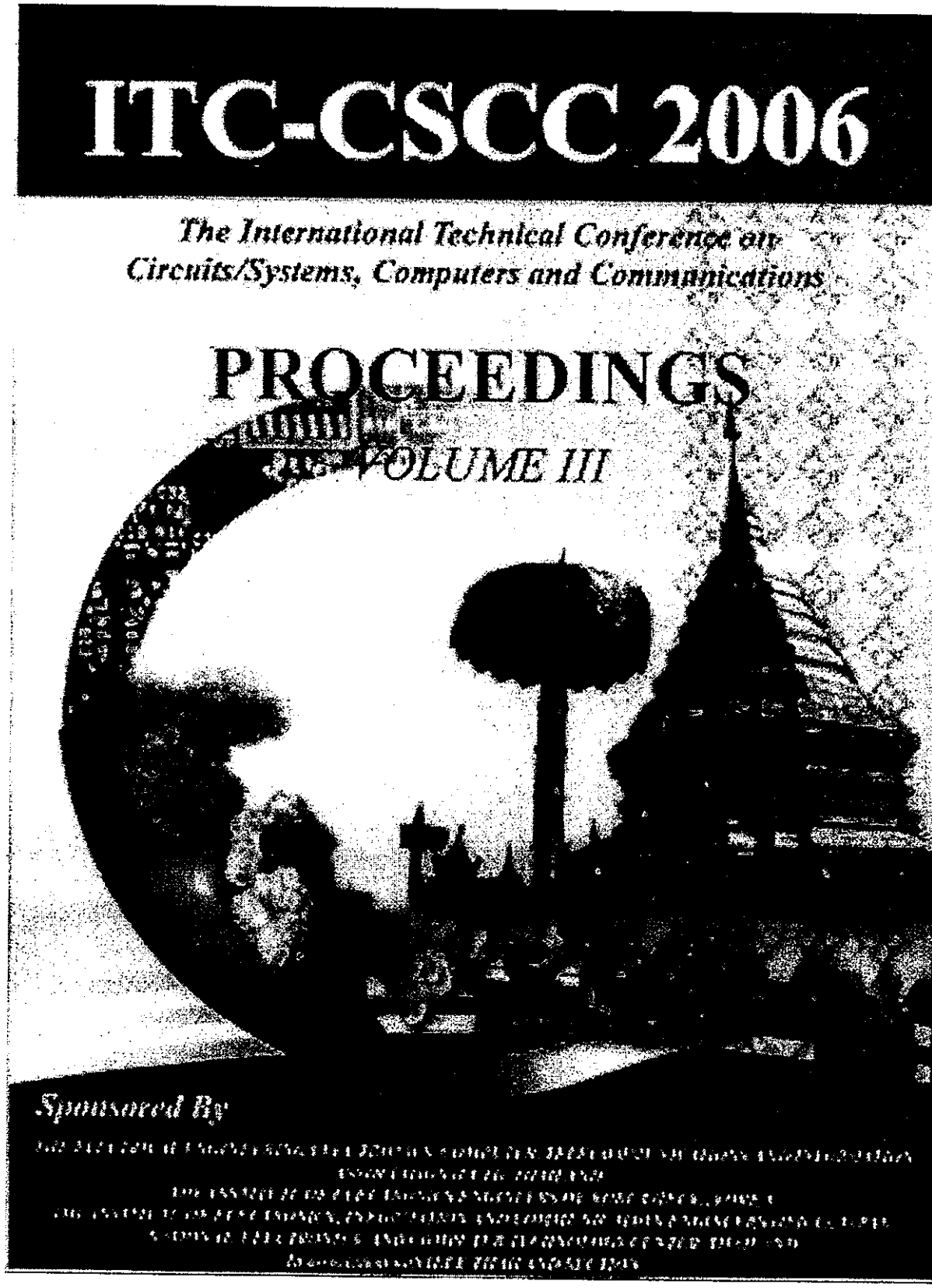
$$C = \frac{\sqrt{2}I_L}{\pi V_S f} \qquad \text{(ข. 10)}$$

โดยV_S คือค่าขนาดสูงสุดของ PCG

ภาคผนวก ค
ผลงานวิจัยที่ได้รับการตีพิมพ์

1. Rungruang Sangpratheep and Kasin Vichienchom "A Low Power CMOS Flip-Flop Base on Charge Recycling Technique" **Int. Conf. Circuits / Systems, Comp.and Comm.** Vol. III, pp. 169-172, July. 2006

2. Rungruang Sangpratheep and Kasin Vichienchom "A Fully-Swing Adiabatic Circuit for Low Power Application" **Int. Conf. Circuits and Systems**, Vol. I, pp. 168-171, May 2007.


ITC-CSCC 2006
The International Technical Conference on Circuits/Systems, Computers and Communications
PROCEEDINGS
VOLUME III
Sponsored By

A Low Power CMOS Flip-Flop Based on Charge Recycling Technique

Rungruang Sangpratheep and Kasin Vichienchom

Department of Electronics, Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang (KMITL)
Tel. +66-2-326- 4222 Ext. 228, Fax.: +66-2-739-2398
e-mail : kvkasin@kmitl.ac.th

ABSTRACT

This paper describes a low power CMOS flip-flop using a charge recycling technique. In this technique, the proposed flip-flop operates in two phases, equalization phase and evaluation phase. In equalization phase, instead of charging to Vdd, both output nodes of the flip-flop sampling state are equalized to Vdd/2. Then in the following evaluation phase one of its output nodes is charged to Vdd and the other is discharged to GND. As a result, only a half of its power is dissipated. Furthermore since its output voltage transition is reduced by a half, the resolving time of the sampling state is also improved. The proposed flip-flop was designed and simulated using 0.18 μm TSMC process parameters. Compared to the sense-amplifier based flip-flop, the simulation results show that its power consumption and PDP are reduced as much as 29% and 40% respectively.

Keywords: Low-power circuit, CMOS flip-flop, differen tial logic

1. INTRODUCTION

Presently, there are highly increasing in demands for low power circuits especially for portable device applications. Some applications are not only require low power but also high speed. One approach to achieve this speed requirement is to use dynamic circuits. As we already knew, dynamic circuit is operated by repeating the action of pre-charging its output nodes to Vdd in pre-charged phase and conditionally discharging one of them according to the data input to GND in the evaluation phase. Unfortunately, these techniques are inefficient as far as the power consumption is concerned since all the charge consumed in the evaluation phase must be re-supplied during the next pre-charged phase. Some circuit techniques were proposed to minimize power consumption particularly for a flip-flop design such as reducing the voltage swing, minimizing the switching activity or decreasing the node capacitance. Several flip-flop have been proposed in the literature for either improving the speed or reducing the power consumption [1],[2]. Sense-amplifier based flip-flop (SAFF) incorporates a pre-charged sense amplifier and a symmetric latch topology that reduces delay and improves driving capability. It has redundant transition of internal nodes at low data switching activities due to the precharged sense-amplifier structure. Conditional-capture flip-flop (CCFF) achieves statistical power reduction by eliminating internal redundant transitions. It has a negative setup time and thus provides small data-to-output latency. CCFF circuits needs, however, a large number of transistors and shows large clock load. As a result, for high switching activity it consumes more power than SAFF. Charge recycling technique[3] increases the power efficiency by reusing the charge for precharging the output nodes. Charge Recycling Sense Amplifier Based Logic (CRSABL) [4] is the logic that employed the charge recycling technique. During pre-charged phase, the pMOS in the cross-coupled pair turn on and supply an additional charge to the pre-charged nodes making the final voltage higher than Vdd/2. Therefore to prevent them from conducting during the pre-charged phase the threshold voltage of the pMOS need to be increased using the back biasing which can be considered as a disadvantage for this style.

In this paper, we present a low power flip-flop which adopts a charge recycling techniques that can reduce power consumption of the sampling stage and also improve the speed of sampling stage. These circuit styles have two phases of operation named equalization and evaluation .At the end of the evaluation phase one of the outputs is charged to Vdd and the other is discharged to GND. In the equalization phase the outputs are connected to each other via a equalizing transistor and hence the final voltages for both of the output nodes will become Vdd/2. In the next evaluation phase, based on the data inputs, one of the output node is discharged from Vdd/2 to 0 and the other is charged from Vdd/2 to Vdd. Compared with the case of typical dynamic circuit styles where the output node is charged from 0 to Vdd potentially there will be a 50% power saving. The functionality and performance of the proposed flip-flop is verified in Hspice with 0.18μm CMOS process. The transition delay, power consumption and power-delay-product (PDP) of the proposed flip-flop is compared with that of previously reported. The results show a considerable power-delay-product (PDP) improvement of the proposed flip-flop.

The paper is organized as follows. In Section II, the circuit structure and operation principle of the proposed

flip-flop is introduced. Section III presents the performance comparision of conventional flip-flops. Finally, we draw our conclusion in Section IV.

2. PROPOSED LOW POWER FLIP-FLOP

A schematic diagram of the proposed flip-flop is shown in Fig.1. The flip-flop consists of two stages. The first stage is a differential circuit with additional circuits to recover full signal swing at the output (M9-M12). The second stage is a high speed SR latch with a cross-coupled circuit. The inputs Sb and Rb of the SR latch also drive the transistor M4 and M5 in the pull-down paths of the first stage, respectively. Output pairs S and R from the first stage are fed into the SR latch. The SR latch captures each transition and holds the outputs until the next pull-down transition occurs on one of the precharge nodes i.e. *Out* and *Outb*. The cross-coupled circuit consisting of four weak transistors M17 through M20 is used for preserving the output data statically during the period in which the SR latch is opaque.

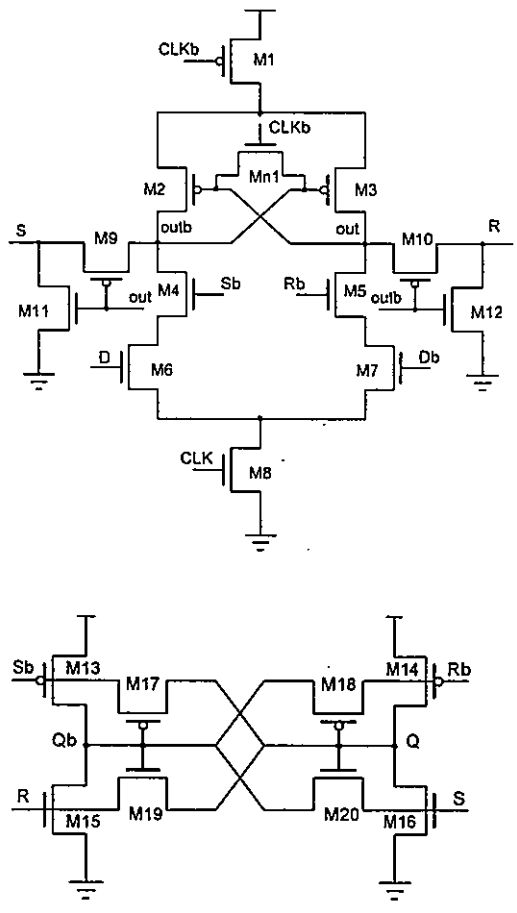


Fig.1: The proposed low power flip-flop

The operation of the flip-flop is as follows. In the equalization phase, the clock signal goes low, turning M1 and M8 off, connecting the output nodes *Out* and *Outb* to each other through the MN1. Then, by the charge sharing effect, the voltage levels of both outputs become equal. Since the outputs are complementary, that is, one is always at Vdd and the other at ground during last evaluation phase, the connection between these nodes makes the voltage level be in between the extremes. In usual cases, as the amounts of parasitic capacitance of each node are comparable, this value is close to half of the supply voltage. The internal nodes S and R are pulled down to the ground. With these two nodes fed into the second stage, all the transistors M13 through M16 in the SR latch become fully off, which implies that the latch is in the opaque phase. Assuming that the flip-flop outputs Q and Qb were evaluated to have low and high logic values, respectively, during the preceding clock cycle, the transistors M17 and M20 of the cross-coupled circuit become active to preserve the output logic states while the M18 and M19 are operated in cut-off region. Meanwhile, the input Sb and Rb are high logic value, turning M4 and M5 on.

In the evaluation phase, the clock signal goes high, turning M1 and M8 on, separating the pre-charged nodes from each other. Then, depending on the applied input values, a low impedance path to ground is established at one of the two pre-charged nodes through the differential input, pulling down the node toward ground. As an example, let us assume that the input D is high. Therefore the inverting output, *Outb* is to be evaluated low. In this case after discharging, the lowering of voltage at *Outb* turns on M3 in the cross coupled pair, pulling up the node *Out* and turning off M2. As a result, the node *Outb* is pulled down quickly toward ground. The internal node S and node R is then pulled down and pulled up, respectively. Hence, both transistor M14 and M15 are on and give Q and Qb to be high and low respectively. become active to pull down Q and pull up Qb, respectively. The node Rb change to low and the transistor M5 is turn off, allowing no additional internal node transition due to subsequent input change.

3. SIMULATION RESULTS AND COMPARISON

The proposed flip-flop has been compared with two differential flip-flop, the modified sense amplifier-base flip-flop(SAFF) and the conditional capture flip-flop(CCFF). All the simulations were carried out using a Hspice simulator, with 0.18 μm CMOS process parameters. The supply voltage is 1.8V. The clock frequency was 400MHz. The simulation shows that the proposed flip-flop as shown in Fig.2. Fig.3 show waveforms at node *Out* and *Outb* of the proposed flip-flop and SAFF as they were applied with the same inputs. Note that during the equalization/pre-charged phase the proposed flip-flop has *Out/Outb* equal to Vdd/2 while SAFF has *Out/Outb* equal to Vdd. In the evaluation phase, the resolving time of the proposed flip-flop is about a half of that of the SAFF.

To fairly compare the different flip-flop circuits in terms of power dissipation, we followed a methodology

similar to that found in [5]. In each flip-flop the data and clock signals were provided through buffering inverters instead of using an ideal voltage sources. Consequently, the local clock and data power dissipation was derived as the difference in the power dissipation of each buffering inverter, when loaded with a flip-flop and when unloaded. Average power dissipation is measured when output Q and Qb is loaded with C_L=100fF. To estimate the power consumption, the simulation is performed by varying the switching activity of the D input. The switching activity is defined here as the average number of transition of D in a clock cycle. Three input case were considered for the switching activities of 0, 0.5 and 1.0. The power dissipation was evaluated for a time period of 50ns. The power spent on output loads is excluded from the total power to get a fair picture of the power behavior of the circuit.

Table 1 summarizes some important characteristics of flip-flops such as the device count, the average power consumption, the data-to-output (D-to-Q) latency, and the corresponding power-delay product. The proposed flip-flop shows smaller power consumption in comparison to other high-performance flip-flops. It gives symmetric output transitions like CCFF and SAFF. The PDP reduction of proposed flip-flop is 20.8% in comparison to CCFF which show the lowest PDP among all other flip-flops. Comparison to SAFF, these values is 40 %.

Three main sources of power dissipation including internal power dissipation, local clock power dissipation and local data power dissipation were measured for data switching activity of 0.5. As shown in Fig.4, the proposed flip-flop presents the lowest local clock power dissipation while CCFF consumes large amount of clock power due to its high clock loads. Total power consumptions of proposed flip-flop is 29% lower than SAFF and 11.3% for comparision with CCFF.

Fig. 5 shown power as a function of data switching activity for different types of flip-flop. The proposed flip-flop has the lowest power consumption at switching activities 1.0 and 0.5 among all flip-flops. This is because in the evaluation phase it consumes energy only for charging an output node from Vdd/2 to Vdd. Compared with the precharge scheme used for dynamic circuit, the charge recycling technique draws roughly half of energy from the supply for the same evaluation. Note that CCFF shows low power consumption only at low data switching activites.

4 CONCLUSION

In this paper a new low power flip-flop is presented. It improves power efficiency by utilizing a charge recycling technique while providing the speed comparable to conventional pre-charged circuit technique. The performance of the proposed flip-flop has been verified through Hspice simulation. From these results, the proposed flip-flop shows an advantage in both speed and power consumption over the conventional flip-flop.

Table 1:Proposed flip-flop characteristics

	Device count	D-Q latency(ps)	Power (μW)	PDP (fJ)	Ratio
SAFF	26	269	210	56.4	1.0
CCFF	35	257	168	43.1	0.764
Proposed	25	229	149	34.1	0.604

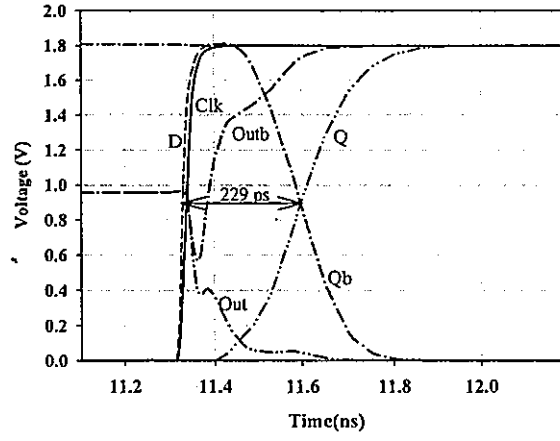


Fig.2: Simulation waveforms of proposed flip-flop

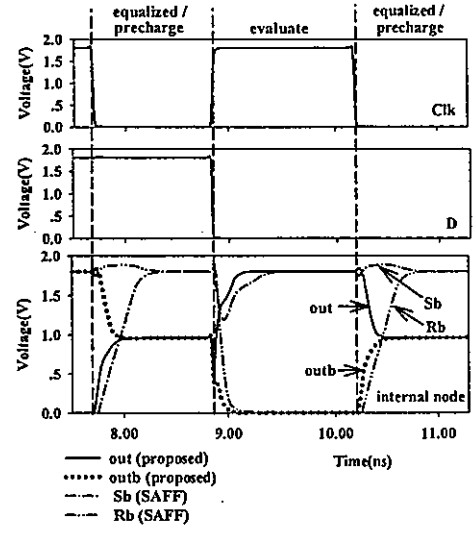


Fig.3: Simulation waveforms of internal nodes

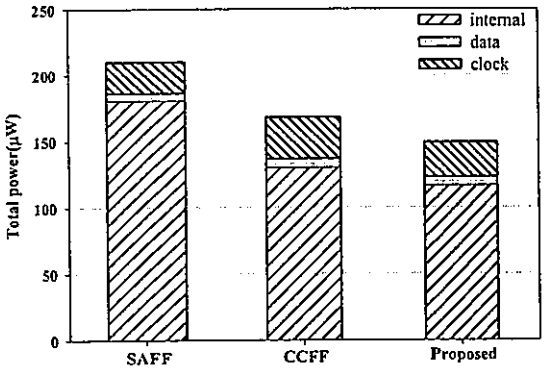


Fig.4: Detail power consumption of different flip-flop

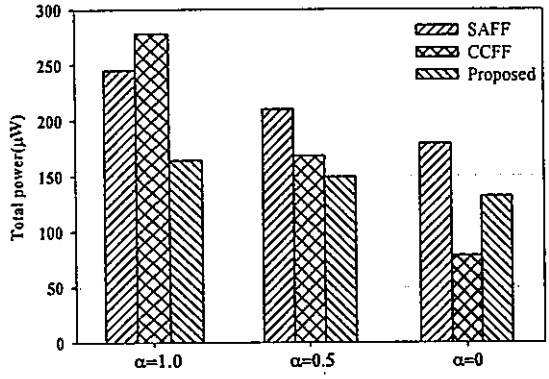


Fig.5: Power VS data switching activity at 400 MHz

5. REFERENCES

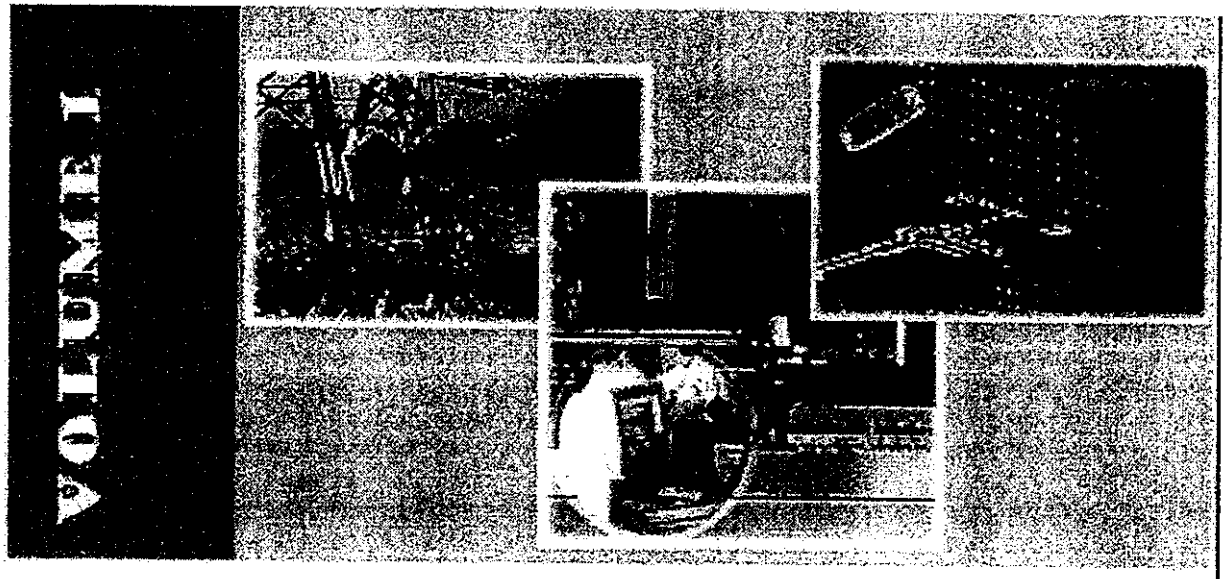
[1] B. Nikolic, et al., "Improved sense-amplifier based flip-flop:Design and measurements," *IEEE Journal of Solid-State Circuits*, Vol. 35, No.6, pp.876-883, Jun.2000.

[2] B. S. Kong, et al.,"Conditional-capture flip-flop for statistical power reduction," *IEEE Journal of Solid-State Circuits*, Vol. 36, pp.1263-1271, Aug 2001.

[3] B.S.Kong,et al.,"Charge Recycling Differential Logic for Low-power Application," *ISSCC Digest of Technical paper*, pp.302-303, Feb., 1996

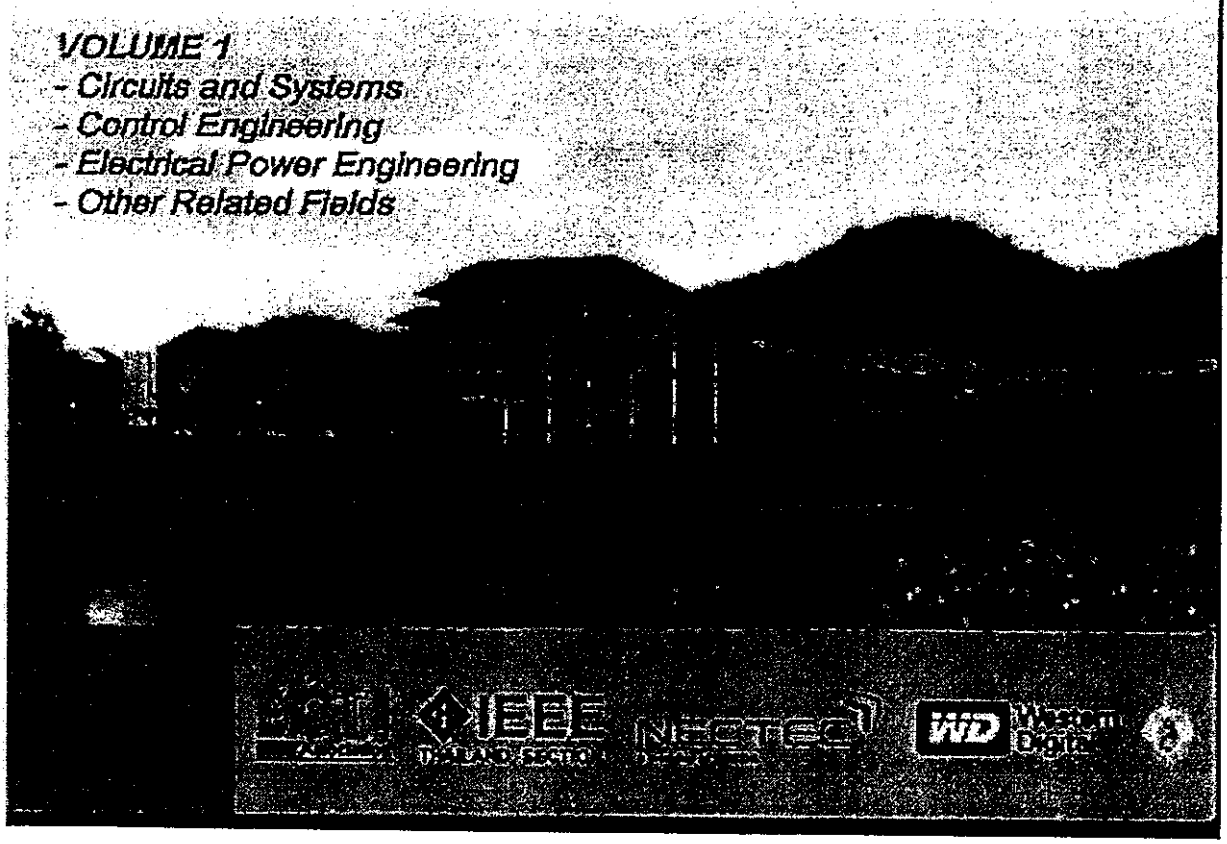
[4] K.Tiri and I. Verbauwhede.,"Charge Recycling Sense Amplifier Based Logic: Securing Low Power Security ICs against DPA," *Solid-State Circuits Conference, 2004. ESSIRC 2004. Processing of the 30th European.*, pp.179-182, Sep., 2004

[5] V. Stojanovic and V. G. Oklobdzija, "Comparative analysis of master-slave latch and flip-flops for high-performance and low-power systems," *IEEE Journal of Solid-State Circuits*, Vol. 34, No.4, pp.536-548, Apr. 1999.



ECTI-CON 2007

Mae Fah Luang University, Chiang Rai, Thailand
May 9-12, 2007



A Fully-Swing Adiabatic Circuit for Low Power Applications

Rungruang Sangpratheep and Kasin Vichienchom
King Mongkut's Integrated Circuits Lab (KMICL)
Department of Electronics, Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang
Bangkok, Thailand 10520

Abstract-**This paper presents a fully-swing adiabatic circuit. The proposed circuit can reduce a non-adiabatic loss by completely returning charge at the output node during the recovery phase to the clocked supply. As a result, overall efficiency is improved toward its theoretical limit. In order to confirm its operation, circuit simulations of inverter/buffer chain are performed. Simulation results show that the proposed circuit achieves energy saving as much as 24% compared to 2N-2N2P adiabatic logic implementation at clock rate of 100 MHz.**

I. INTRODUCTION

Power dissipation has been a highly concerned issue in the performance of VLSI circuits. For high-speed digital CMOS circuits, there are several methods to achieve a low power dissipation such as reducing the supply voltage, the voltage swing, the load capacitance, and the switching activity. Although those methods try to minimize the power dissipation, still all of its energy drawn from its dc supply is completely dissipated in the circuit. Alternatively, adiabatic circuits can reduce power dissipation by utilizing ac power supplies to recycle the energy stored in the load capacitance instead of being dissipated in the circuits. Since their operation require slow transition of their ac supply voltage, adiabatic circuits lose their energy efficiency when operate at high frequency. However they still have some advantages over CMOS circuits for applications that do not require very high speed such as portable electronics.

The current adiabatic circuits can be classified as either partially adiabatic or fully adiabatic. In the fully adiabatic circuit, all the charge on the load capacitance is recovered by the power supply while in the partially adiabatic circuit, only some charge is recovered. The examples of the fully adiabatic circuits are Pass Transistor Adiabatic Logic (PAL)[1] and Split Rail Charge Recovery Logic (SCRL)[2]. This types of circuits however are difficult to implement due to its complexity of synchronization between cascading stages which limits its maximum operating speed. In contrast the partial adiabatic circuits can be designed based on a CMOS logic. The popular partially adiabatic families include 2N-2N2P[3], Efficient Charge Recovery Logic (ECRL)[4], Clock Adiabatic Logic (CAL)[5], and True Single Phase Adiabatic Logic (TSEL)[6]. The power supply for adiabatic operation is usually a trapezoidal or sinusoidal voltage source. This supply voltage also acts as a clock. Digital systems with multiple stages/cascades based upon the described adiabatic power clocking scheme usually require four clock phases when using a trapezoidal voltage source and two clock phases when using a sinusoidal voltage sources. The sinusoidal signal also can be considered as an approximation of the trapezoidal waveform with zero hold phase.

Although it is simple to implement and has a rather high operating frequency, the voltage output low of 2N-2N2P is not equal to GND but a threshold of PMOS. We proposed a partially adiabatic circuit based on 2N-2N2P structure which uses two complementary sinusoidal supply clocks. The circuit gives a full swing output while still possesses the advantages of 2N-2N2P. As a result, energy saving are improved. The paper is organized as follows. In Section II, the adiabatic switching and 2N-2N2P are discussed. Section III describes the operation of the proposed circuit. The performance comparisons of 2N-2N2P and the proposed circuit are presented in Section VI. Finally, we draw our conclusion in Section V.

II. ADIABATIC CIRCUITS

The dominant factor in the dissipation of static CMOS logic is the power required to charge capacitive node.

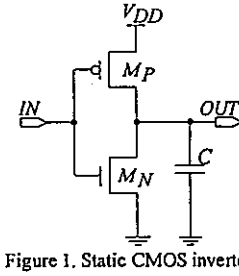


Figure 1. Static CMOS inverter.

In the CMOS inverter of Figure 1, when the output changes to high, the total energy drawn from the power supply is $E=CV^2_{dd}$, where C is the capacitance of the output node and V_{DD} is the supply voltage. Half of this energy is dissipation on the on-resistance R of the device MP, and the other half is stored in the output capacitance. When the output is driven low at a

later cycle, the energy stored in the output capacitor is dissipated on the on-resistance R of the device MN.

A. Adiabatic Switching Theory

The principle of adiabatic switching can be explained by its comparison to a simple RC circuit. Figure 2(a) shows current as a function of time during a switching of a static CMOS circuit. A low to high transition at node *out* can be modeled as a charging of load capacitor through a switch and its effective resistance. When the switch is turn on, C is charged up to V_{dd}. The current through the resistance decreases exponentially as the time passes. The energy dissipates is equal to $(1/2)CV^2_{dd}$ where V_{dd} is the voltage change at the node *out*. In an adiabatic circuit Figure 2(b), the transition is slowed down by using a time-varying voltage source instead of a static voltage supply. By spreading the transfer of charge to the capacitor over time, the current is greatly reduced. The overall energy dissipation is reduced to $(RC/T)CV^2_{dd}$ [7] if the current flow is maintained constant where T is total switching time. Ideally, with T approaching infinity, the energy dissipation for a switching will approach zero.

The power supply for adiabatic circuits produces a time-varying periodic signal, or *ac-supply*, that gradually swings between 0V and V_{dd}. The period of this signal is long enough to maintain a small potential drop V_R across the resistor. Alternatively, a simple form of adiabatic charging can also accomplished by using a power supply with a ramp output. Such a signal can be approximated as an oscillating signal from a resonant RLC circuit. The number of phase of *ac-supply* required to control cascaded gates is an important consideration in adiabatic logic design since it affects energy consumption, operating speed, and design complexity.

B. 2N-2N2P adiabatic logic

The 2N-2N2P is a partially adiabatic circuit, as shown in figure.3. It uses a pair of cross-coupled NMOS(MN1 and MN2) to obtain non-floating output. To cascade 2N-2N2P circuits it needs four-phase *ac-supply*. Note that MP1 and MP2 are used for both charging the output node and return charge to the supply, thus its energy loss per cycle is

$$E = 2\left(\frac{R_P C_L}{T}\right) C_L V_{dd}^2 + C_L V_{tp}^2 \qquad (1)$$

Where C_L is the load capacitance, R_P is the turn-on resistance of PMOS, T is the transition time of the supply, V_{dd} is the peak voltage of the supply, and V_{tp} is threshold voltage of PMOS. In Eq. (1), the first term represent adiabatic energy, which can be reduced by lowering operation frequency and the second term represent non-adiabatic energy loss which is dependent on the load capacitance.

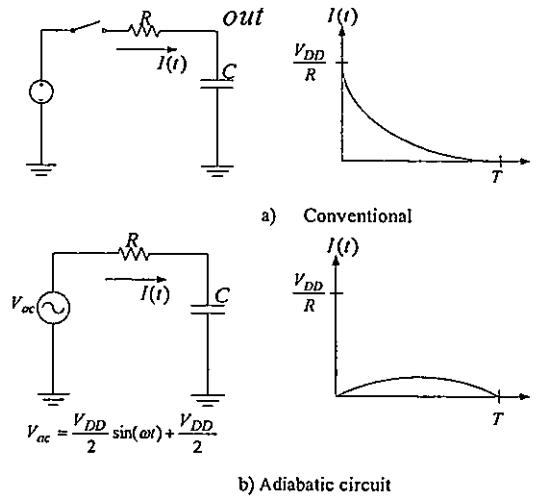


Figure 2. Modeling of the charging process in different circuit.

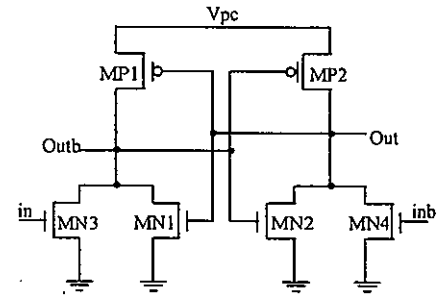


Figure 3. 2N-2N2P adiabatic logic.

III. PROPOSED ADIABATIC LOGIC

The proposed circuit is made up of a 2N-2N2P buffer/inverter and two additional pulse-controlled transistors (MN5, MN6) shown in the Figure 4. Pc and Pcb are the two opposite phases ac supply used for cascading stages as in Figure 5. The operation of the circuit can be explained as follows. While Pc ramps up from GND to V_{dd} if the input IN is high and INb is low, MN3 is turned on and MN4 is turned off. Therefore, the output node OUTb is discharged to ground by MN3. Consequently MP2 turns on. As a result the output node OUT increases as the supply (Pc) rises. When the supply (Pc) ramp down from V_{dd} to GND, the charge previously stored in the load capacitance at the OUT node returns to the supply. Due to the threshold voltage of PMOS, as the supply reaches about a threshold above GND MP1/MP2 stop conducting current. Hence, the output voltage cannot drop to GND. Therefore some of the charge remains in the load capacitance. To prevent this additional NMOS (MN5/MN6) are connected between the output nodes and the supply in the proposed circuit. As a result, when PULSE is high, MN5/MN6 are turned on the remaining charge at output node can be discharged to supply via MN5/MN6. Consequently, the output

voltage can reach GND. Thus, more charge can return to the supply.

The basic proposed circuit buffer/inverter logic gate can be expanded to other complex gates, such as AND/NAND, OR/NOR, and multiplexer, by using NMOS tree to replace MN3 and MN4. Then all these can build up various circuits, for example, adder, counter, and multiplier.

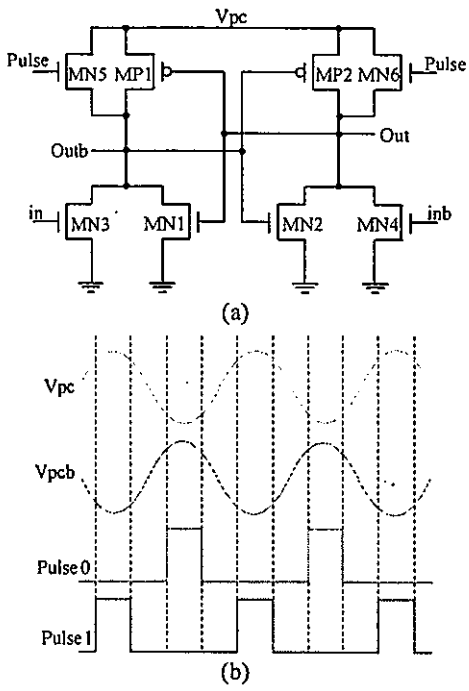


Figure 4. a) The proposed circuit b) Waveform and timing relationship between the supply voltage and pulse signal.

IV. SIMULATION RESULTS

The proposed circuit was simulated using 0.35 μm TSMC CMOS technology. A capacitive load of 20fF is placed at output nodes. The amplitude of sinusoidal power supply is 0.75V. Note that the PULSE signals can be obtained directly from the control signals used in a supply generator circuits. We discuss the result of HSPICE simulation of 4-stage pipeline using two-phase sinusoidal power supply shown in figure.5.

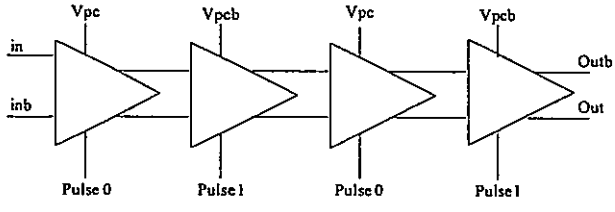
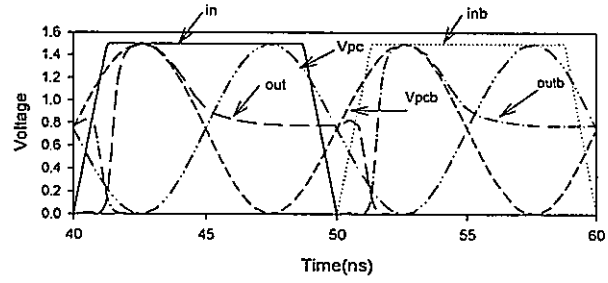
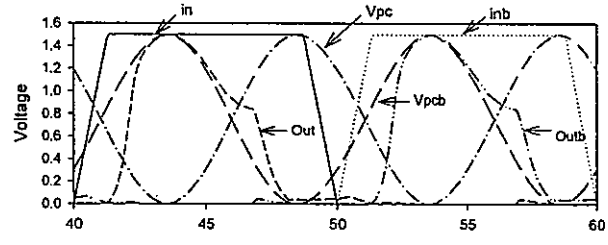


Figure 5. The 4-stage pipeline using two-phase sinusoidal power supply.

Figure 6 shows transient waveforms of the 2N-2N2P and the proposed circuit. In figure 6(a) the output voltages can not reach the ground level. In figure 6(b), when the supply is low and PULSE signal is active the MN5/MN6 are on and both of their output nodes (OUT, OUTb) are pulled to the same voltage level as the supply i.e., GND.



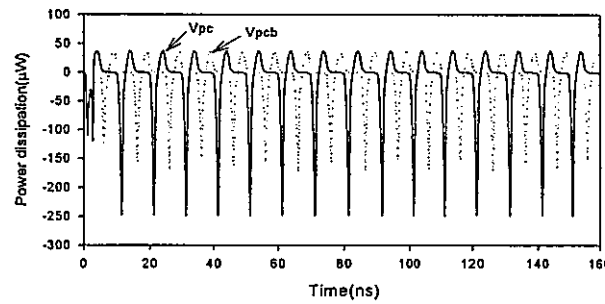
a) the 2N-2N2P circuit



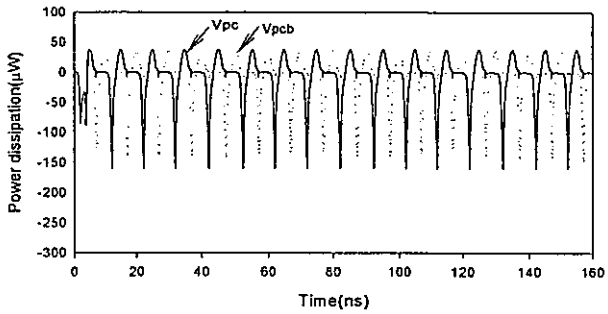
b) the proposed circuit

Figure 6. Transient waveforms of 2N-2N2P and proposed circuits at frequency 100MHz

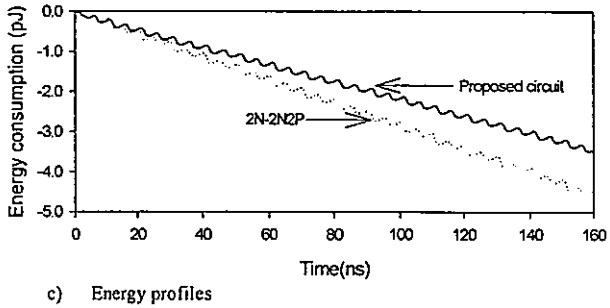
The Figure 7(a) and 7(b) shows plots of the power dissipation of the circuits at 100MHz. Negative and positive values indicate power flowing into and out of the circuit. Figure 7(c) shows the energy consumption during the transients of 2N-2N2P and proposed circuit. Clearly, the consumed energy of the proposed circuit is smaller than that of the 2N-2N2P circuit. Excluding power consumption used to generate the PULSE signal, the proposed circuit consumes 3.45 pJ, which is 76% of that of the 2N-2N2P (4.5 pJ).



a) Power dissipation of power clocks, Vpc, and Vpcb in 2N-2N2P circuit.



b) Power dissipation of power clocks, Vpc, and Vpcb in proposed circuit



c) Energy profiles

Figure 7. The power profiles of the simulation circuits at 100MHz

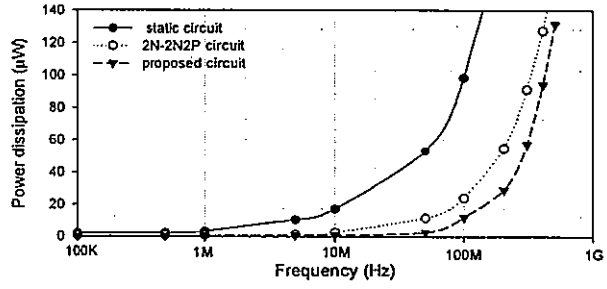


Figure 8. Power dissipation against operating frequency

Figure. 8 shows the power dissipation against the operating frequency of the 2N-2N2P, the proposed circuit, and static circuit at a supply voltage 1.5V ac and dc respectively . At 100MHz, the 2N-2N2P circuit consumes 26 μW, the static circuit consumes 98 μW, and the proposed circuit consumes 19 μW.

The setup of the complete system is shown in Figure. 9. The pulse generator circuit produces two non-overlapsing clocks, *Pulse0* and *Pulse1* from the system clock *Clk*. These two pulses control oscillation frequency of the sinusoidal supply as well as allow outputs of each stages to reach GND

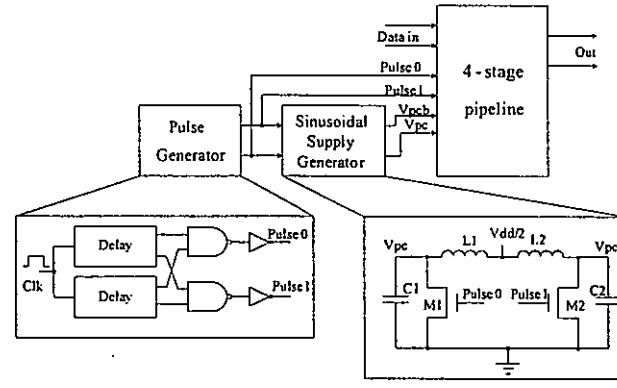


Figure 9. Simulation setup for buffer/inverter chain

V. CONCLUSION

We present a low power adiabatic circuit based on a 2N-2N2P adiabatic circuit. The proposed circuits is able to eliminate the non-adiabatic loss. The simulation results show that at operation frequency of 100MHz the proposed circuit consumed 76% of the energy of a conventional 2N-2N2P adiabatic circuit. The circuit is suitable for the low power applications such as portable devices where speed is not a critical factor.

REFERENCES

[1] V. G. Oklobdzija and D. Maksimovic,"Pass-transistor adiabatic logic using single power-clock supply," *IEEE Trans. Circuits Systems II: Analog Digital Signal Processing.*,vol. 44, pp. 842-846, Oct. 1997

[2] S. G. Younis and T. F. Knight, "Asymptotically Zero Energy Split-Level Charge Recovery Logic," *International Workshop on Low Power Design* , Napa Valley, CA, pp. 177-182

[3] A. Kramer, J.S. Denker, B. Flower, and J. Moroney, "Second-order adiabatic computation with 2N-2P and 2N-2N2P logic circuit," *Int. Symp. Low Power Design,* Dana Point, CA, April 1955, pp. 191-196.

[4] Y. Moon and D. Jeong, "An efficicent charge recovery logic circuit," *IEEE J. Solid State Circuits,* vol. 31, pp.514 -522, Apr. 1996.

[5] D. Maksimovic, V. G. Oklobdzija, B. Nikolic, and K. W. Current, "Clocked CMOS adiabatic logic with integrated single-phase power clock supply," *IEEE Trans. Very Large Scale Integration Syst.*, vol. 8, pp. 460-463, Aug. 2000.

[6] S. Kim and M. C. Papaefthymiou, "True single-phase energy-recovering logic for low-power, high-speed VLSI, in *Proc. Int. Symp. Low-Power Electronics and Design,* Monterey, CA, Aug. 1998, pp. 167-172.

[7] W. C. Athas, L. J. Sevensson, J. G. Koller, N. Tzartzanis, and E. Chou, "A Framework for Practical Low-Power Digital CMOS System Using Adiabatic-Switching Principles," *International Workshop on Low Power Design,* 1994, pp. 189-194.

ประวัติผู้เขียน

นายรุ่งเรือง แสงประทีป สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิคส์ จากมหาวิทยาลัยเทคโนโลยีมหานคร เมื่อปี พ.ศ. 2546 หลังสำเร็จการศึกษาได้ทำงานกับ บริษัทโซนี่โมบายล์ (ประเทศไทย) จำกัด ในตำแหน่งวิศวกรจนถึงปัจจุบัน