

วงจรรคูณแอนะล็อกเชิงแรงคั้นโดยใช้ซีมอส

ANALOGUE CMOS VOLTAGE-MODE MULTIPLIER CIRCUITS

บุญชัย บุญชู

BOONCHAI BOONCHU

วิทยานิพนธ์ที่เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-D-018-124

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรคูณแอนะล็อกเชิงแรงดันโดยใช้ซีมอส

ANALOGUE CMOS VOLTAGE-MODE MULTIPLIER CIRCUITS



บุญชัย บุญชู

BOONCHAI BOONCHU

เลขหมู่.....
เลขทะเบียน.....105421
วัน,เดือน,ปี...2..3..11..ย..2552



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2552

KMITL-2009-EN-D-018-124

ANALOGUE CMOS VOLTAGE-MODE MULTIPLIER CIRCUITS

BOONCHAI BOONCHU

**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2009

KMITL-2009-EN-D-018-124

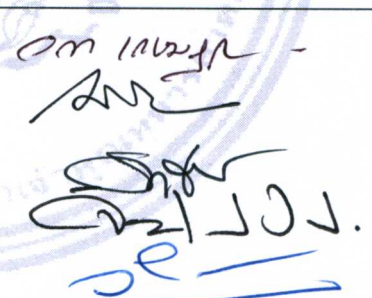
COPYRIGHT 2009

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรคูณแอนะล็อกเชิงแรงดันโดยใช้ซีมอส
Thesis Title Analogue CMOS Voltage – Mode Multiplier Circuits
นักศึกษา นายบุญชัย บุญชู
รหัสประจำตัว 44610008
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ศ.ดร.วัลลภ สุระกำพลธร
หมายเลขวิทยานิพนธ์ KMITL-2009-EN-D-018-124

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.วรากร	เกษมสุวรรณย์	
ดร.กสิน	วิเชียรชม	
รศ.ดร.อภิรักษ์	ธนชยานนท์	
ผศ.ดร.จิตรเกษม	งามนิล	
ศ.ดร.วัลลภ	สุระกำพลธร	

วัน / เดือน / ปี ที่สอบ วันพฤหัสบดีที่ 6 สิงหาคม พ.ศ. 2552 เวลา 09.00-11.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 2

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 6 สิงหาคม พ.ศ. 2552

หัวข้อวิทยานิพนธ์	วงจรรูณแอนะล็อกเชิงแรงดัน โดยใช้ซีมอส
นักศึกษา	นาย บุญชัย บุญชู
รหัสนักศึกษา	44610008
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2552
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ศ.ดร. วัลลภ สุระกำพลธร

บทคัดย่อ

วิทยานิพนธ์นี้เสนอการออกแบบและประยุกต์ใช้งานวงจรรูณแอนะล็อก 4 ควอดแดรนต์ที่รับแรงดันอินพุตและให้สัญญาณเอาต์พุตในรูปแบบของแรงดัน โดยไม่ใช้ตัวต้านทาน การทำงานของวงจรรูณอาศัยคุณสมบัติกำลังสองของทรานซิสเตอร์แบบ CMOS ที่ไบแอสให้ทำงานอยู่ในช่วงอิมิตัว โดยที่วงจรรูณแอนะล็อกเชิงแรงดันที่น่าเสนอทั้งหมดคือ วงจรรูณแอนะล็อกเชิงแรงดันจากโครงสร้างไดโอดคู่ วงจรรูณเชิงแรงดันจากโครงสร้างวงจรรขยายผลต่าง วงจรรูณเชิงแรงดันแบบควอดเตอร์-สแควร์ และ วงจรรูณเชิงแรงดันที่ไม่ขึ้นกับแรงดันขีดเริ่ม ได้จำลองการทำงานวงจรรูณที่ออกแบบทั้งหมดด้วยโปรแกรม PSPICE และได้ยืนยันการทำงานวงจรรูณเชิงแรงดันที่ไม่ขึ้นกับแรงดันขีดเริ่มด้วยการต่อวงจรจริงโดยใช้ทรานซิสเตอร์ MC14007 ผลการทดลองแสดงให้เห็นว่าวงจรรูณแอนะล็อกเชิงแรงดันสามารถทำงานได้ตามจุดประสงค์ที่ออกแบบไว้ จากการนำเสนอหลักการใหม่ทำให้วงจรรูณแอนะล็อกเชิงแรงดันเป็นอีกแนวทางหนึ่งในการออกแบบและพัฒนาวงจรรูณแอนะล็อก 4 ควอดแดรนต์

Thesis Title	Analogue CMOS Voltage-Mode Multiplier Circuits
Student	Boonchai Boonchu
Student ID	44610008
Program	Doctor of Engineering
Year	2009
Thesis Advisor	Prof. Dr. Wanlop Surakamponorn

ABSTRACT

This thesis presents the design and application of CMOS voltage-mode analogue multiplier circuits. On the basis of the square-law of the MOS transistor in the saturation region and quarter-square algebraic identity, the proposed multipliers achieve the output signal in voltage form without resistors. By using the voltage-mode design technique, the threshold independent analogue multiplier, the multiplier using basic differential pair, and the CMOS diode-connection pair multiplier are introduced. The proposed circuits have been simulated with PSPICE. The experimental results with discrete transistor array (MC14007) are obtained. The new multiplier circuits and a novel design technique will be useful in analogue signal processing system.

กิตติกรรมประกาศ

ผู้เขียนขอกราบขอบพระคุณ ศาสตราจารย์ ดร. วัลลภ สุระกำพลธร อาจารย์ที่ปรึกษา ที่ให้ความเมตตากรุณา ให้ความรู้ ให้โอกาสทางวิชาการ ตลอดจนคำแนะนำและข้อคิดอื่นๆด้วยดีตลอดมา ผู้เขียนมีความสำนึกและระลึกถึงพระคุณนี้อยู่เสมอ

ผู้เขียนขอขอบคุณมหาวิทยาลัยเทคโนโลยีมหานครที่ให้ทุนสนับสนุนการศึกษา อำนวยความสะดวกในด้านเวลา เครื่องมือ และห้องปฏิบัติการ

บุญชัย บุญชู

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและจุดประสงค์.....	2
1.3 ขอบเขตของการวิจัยและ โครงสร้างของวิทยานิพนธ์.....	2
บทที่ 2 วงจรกำลังสองและวงจรคูณแอนะล็อก 4 ควอดแดรนต์.....	5
2.1 วงจรกำลังสอง.....	5
2.1.1 วงจรกำลังสองจาก โครงสร้างนอร์เกต 2 อินพุต.....	5
2.1.2 วงจรกำลังสองจาก โครงสร้างวงจรรขยายคลาสเอบี.....	7
2.1.3 วงจรกำลังสองจากวงจรรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน.....	8
2.2 วงจรคูณแอนะล็อก.....	9
2.2.1 วงจรคูณแบบควอดเตอร์-สแควร์ที่ใช้วงจรรนอร์เกต 2 อินพุต.....	9
2.2.2 วงจรคูณ โครงสร้างแบบขนาน.....	10
2.2.3 วงจรคูณแบบควอดเตอร์-สแควร์ที่ใช้ BJT.....	12
2.2.4 วงจรคูณของกิลเบิร์ต.....	13
2.3 สรุป.....	17
บทที่ 3 วงจรคูณแอนะล็อกไดโอดคู่.....	18
3.1 วงจรไดโอดคู่.....	18
3.2 วงจรลบแรงดัน.....	20
3.3 วงจรคูณแอนะล็อกเชิงแรงดัน.....	21
3.4 ความต้านทานอินพุตและความต้านทานเอาต์พุต.....	24
3.5 ผลจำลองการทำงาน.....	25
3.6 สรุป.....	28

สารบัญ (ต่อ)

บทที่ 4	วงจรมุมเชิงแรงดันจากโครงสร้างวงจรมุมผลต่าง.....	29
4.1	วงจรมุมผลต่าง.....	29
4.2	วงจรมุมอย่างง่าย.....	30
4.3	วงจรมุมเชิงแรงดันจากโครงสร้างวงจรมุมผลต่าง.....	32
4.4	ความต้านทานอินพุตและความต้านทานเอาต์พุต.....	34
4.5	ผลจำลองการทำงาน.....	35
4.6	สรุป.....	40
บทที่ 5	วงจรมุมเชิงแรงดันแบบควอเตอร์-สแควร์.....	41
5.1	วงจรมุมสัญญาณ.....	41
5.2	วงจรมุมกำลังสองจากโครงสร้างวงจรมุมผลต่าง.....	45
5.3	วงจรมุมสัญญาณยกกำลังสอง.....	47
5.4	วงจรมุมแอนะล็อกเชิงแรงดัน.....	48
5.5	ความต้านทานอินพุตและความต้านทานเอาต์พุต.....	49
5.6	ผลจำลองการทำงาน.....	51
5.7	สรุป.....	55
บทที่ 6	วงจรมุมเชิงแรงดันที่ไม่ขึ้นกับแรงดันซิดริ่ม.....	56
6.1	วงจรมุมสัญญาณ.....	57
6.2	วงจรมุมฟังก์ชันกำลังสอง.....	58
6.3	วงจรมุมเชิงแรงดันแบบควอเตอร์-สแควร์.....	59
6.4	ความต้านทานอินพุตและความต้านทานเอาต์พุต.....	61
6.5	ช่วงการรับแรงดันอินพุต.....	62
6.5.1	ช่วงการรับแรงดันอินพุตของวงจรมุมสัญญาณ.....	62
6.5.2	ช่วงการรับแรงดันอินพุตของวงจรมุมฟังก์ชันกำลังสอง.....	63
6.6	ซิดริ่มจำกัดของแหล่งจ่ายแรงดัน.....	64
6.7	ผลจากทรานซิสเตอร์ที่มีขนาดไม่เท่ากัน.....	65
6.8	สัญญาณรบกวน.....	65
6.9	ผลจำลองการทำงาน.....	68

สารบัญ (ต่อ)

6.10 ผลการทดลอง.....	72
6.11 สรุป.....	74
บทที่ 7 การประยุกต์ใช้งานวงจรคูณเชิงแรงดัน.....	75
7.1 วงจรยกกำลังสองและวงจรวีความถี่.....	76
7.2 การแปลงความถี่โดยใช้วงจรมอดูเลชัน.....	77
7.3 วงจรหารสัญญาณแอนะล็อกแบบกลับขั้ว.....	79
7.4 วงจรหารแอนะล็อกแบบไม่กลับขั้ว.....	79
7.5 วงจรถอดรหัสดิจิทัล.....	80
7.6 สรุป.....	81
บทที่ 8 สรุปและวิจารณ์.....	82
เอกสารอ้างอิง.....	85
ภาคผนวก ก. วงจรเปลี่ยนแรงดันขั้วเดียวเป็นสองขั้ว.....	89
ภาคผนวก ข. วงจรลบสัญญาณ.....	91
ภาคผนวก ค. ทรานซิสเตอร์โมเดล.....	93
ภาคผนวก ง. งานวิจัยที่ได้รับการตีพิมพ์.....	95
ประวัติผู้เขียน.....	117

สารบัญตาราง

ตารางที่	หน้า
8.1 เปรียบเทียบคุณสมบัติของวงจรถูก.....	84

สารบัญรูป

รูปที่	หน้า
2.1 วงจรกำลังสองแบบนอร์เกต 2 อินพุต.....	5
2.2 วงจรกำลังสองจากวงจรรขยายคลาสเอบีที่รับอินพุตชั่วเดียว.....	6
2.3 วงจรกำลังสองจากวงจรรขยายคลาสเอบีที่รับอินพุต 2 ชั่ว.....	7
2.4 วงจรกำลังสองจากวงจรรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน.....	8
2.5 วงจรคูณที่ใช้วงจรรนอร์เกต 2 อินพุต.....	10
2.6 วงจรคูณ โครงสร้างแบบขนาน.....	11
(ก) โครงสร้างของวงจรรคูณ	
(ข) วงจรรวมสัญญาณ	
2.7 วงจรคูณจากโครงสร้างวงจรรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน.....	12
2.8 วงจรรขยายผลต่าง.....	13
2.9 วงจรคูณของกิลเบิร์ต.....	14
2.10 วงจรคูณของกิลเบิร์ตที่ใช้ทรานซิสเตอร์แบบ Bi-CMOS.....	16
(ก) โครงสร้างวงจรรคูณ	
(ข) วงจรรขยายความนำ	
3.1 วงจรไดโอดคู่.....	19
(ก) ชนิด N	
(ข) ชนิด P	
3.2 วงจรคู่อิโอดแบบสมมาตร.....	20
3.3 วงจรลบแรงดัน.....	21
3.4 วงจรคูณแอนะล็อก.....	22
3.5 วงจรสมบรูณ์ของวงจรรคูณเชิงแรงดัน.....	22
3.6 วงจรส่วนหน้าเพื่อหาค่าความต้านทานอินพุต.....	23
3.7 วงจรด้านเอาต์พุตเพื่อหาค่า R_o	24
3.8 คุณสมบัติการตอบสนองต่อไฟตรง.....	25
3.9 คุณสมบัติทางไฟตรงเมื่อ $V_2 = 300\text{mV}$ เปรียบเทียบกับสมการ (3.19).....	26
3.10 การผสมสัญญาณไซน์ความถี่ 10kHz และ 250kHz ขนาด 300mV.....	26
3.11 แรงดันเอาต์พุตในรูปที่ 3.10 เมื่อพิจารณาแกนความถี่.....	27
3.12 ผลตอบสนองเชิงความถี่ ความถี่คัตออฟเท่ากับ 32.4MHz.....	27
3.13 ความเพี้ยนฮาร์โมนิกเมื่อ $V_1 = 600\text{mV}$ ปรับค่า V_2	28

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.1 วงจรขยายผลต่าง.....	30
4.2 วงจรคูณอย่างง่าย.....	31
(ก) ชนิด N	
(ข) ชนิด P	
4.3 คุณสมบัติการตอบสนองต่อไฟตรงของ V_{sm}	32
4.4 วงจรคูณจากโครงสร้างวงจขยายผลต่าง.....	33
4.5 วงจรสมบรูณ์ของวงจคูณจากโครงสร้างวงจขยายผลต่าง.....	34
4.6 วงจรภาคอินพุตของวงจคูณ.....	34
4.7 วงจรภาคเอาต์พุตของวงจคูณ.....	35
4.8 ผลตอบสนองต่อแรงดันอินพุตไฟตรง.....	36
4.9 คุณสมบัติการตอบสนองต่อแรงดันอินพุตไฟตรงเปรียบเทียบกับสมการ (4.16).....	36
4.10 การผสมสัญญาณ ไชน่ขนาด 250mV ความถี่ 10kHz และ 250kHz.....	37
4.11 การผสมสัญญาณ ไชน่เมื่อพิจารณาแกนความถี่.....	37
4.12 คุณสมบัติการตอบสนองต่อแรงดันอินพุตไฟตรงเมื่อ $V_1 = V_2$	38
4.13 แรงดันเอาต์พุตเมื่อแรงดันอินพุต $V_1 = V_2$ ขนาด 250mV ความถี่ 10kHz.....	38
4.14 ผลตอบสนองเชิงความถี่ ความถี่คัตออฟเท่ากับ 32MHz.....	39
4.15 ความเพี้ยนฮาร์มอนิกที่ $V_1 = 500mV$ ปรับค่า V_2	39
5.1 วงจรรวมสัญญาณ.....	42
5.2 วงจรรวมสัญญาณเมื่อแยกวงจขยายผลต่างแต่ละชุด.....	43
(ก) พิจารณาที่ M_1 และ M_2	
(ข) พิจารณาที่ M_3 และ M_4	
5.3 วงจรกำลังสองจากโครงสร้างวงจขยายผลต่าง.....	45
5.4 การตอบสนองต่อแรงดันอินพุตไฟตรงของวงจกำลังสอง.....	46
5.5 วงจรรวมสัญญาณยกกำลังสอง.....	47
(ก) โครงสร้างวงจรรวมสัญญาณยกกำลังสอง	
(ข) สัญลักษณ์	
5.6 วงจรคูณเชิงแรงดัน.....	48
5.7 วงจรส่วนหน้าเพื่อพิจารณาความต้านทานอินพุต.....	49
5.8 วงจรส่วนเอาต์พุตของวงจรรวมสัญญาณยกกำลังสอง.....	49

สารบัญรูป (ต่อ)

รูปที่	หน้า
5.9 วงจรส่วนเอาต์พุตของวงจรคูณเชิงแรงดัน.....	50
5.10 ผลตอบสนองต่อแรงดันอินพุตไฟตรง.....	51
5.11 ผลตอบสนองต่อแรงดันอินพุตไฟตรงเมื่อเทียบกับสมการ (5.24).....	51
5.12 การผสมสัญญาณ ไซน์ขนาด 250mV ความถี่ 10kHz และ 250kHz.....	52
5.13 การผสมสัญญาณ ไซน์ความถี่ 10kHz และ 250kHz เมื่อพิจารณาแกนความถี่.....	52
5.14 แรงดันเอาต์พุตเมื่อ $V_1 = V_2$ เป็นสัญญาณสามเหลี่ยมขนาด 500mV ความถี่ 10kHz.....	53
5.15 แรงดันเอาต์พุตเมื่อ $V_1 = V_2$ เป็นสัญญาณ ไซน์ขนาด 250mV ความถี่ 10kHz.....	54
5.16 ผลตอบสนองเชิงความถี่ของวงจรคูณ.....	54
5.17 ความเพี้ยนฮาร์มอนิกที่ $V_1 = 500\text{mV}$ ปรับค่า V_2	55
6.1 โครงสร้างวงจรคูณแบบควอเตอร์-สแควร์.....	56
6.2 วงจรรวมสัญญาณที่ใช้แรงดันอ้างอิง.....	57
(ก) วงจรรวมสัญญาณ	
(ข) สัญลักษณ์	
6.3 วงจรฟังก์ชันกำลังสอง.....	58
(ก) วงจรฟังก์ชันกำลังสอง	
(ข) สัญลักษณ์	
6.4 วงจรคูณเชิงแรงดันแบบควอเตอร์-สแควร์.....	60
(ก) วงจรคูณ	
(ข) วงจรสร้างแรงดันอ้างอิง	
6.5 ความต้านทานเอาต์พุตของวงจรฟังก์ชันกำลังสอง.....	61
6.6 วงจรฟังก์ชันกำลังสองเพื่อใช้หาค่าความต้านทานเอาต์พุตของวงจรคูณ.....	62
6.7 วงจรฟังก์ชันกำลังสองเมื่อแรงดันอินพุตมีค่าสูงสุด.....	63
6.8 การตอบสนองต่อแรงดันอินพุตไฟตรงของวงจรฟังก์ชันกำลังสอง.....	64
6.9 วงจรสมมูลสัญญาณรบกวนของวงจรฟังก์ชันกำลังสอง.....	66
6.10 วงจรสมมูลสัญญาณรบกวนที่ M_7	67
6.11 วงจรสมมูลสัญญาณรบกวนที่ M_9	68
6.12 ผลตอบสนองต่อแรงดันอินพุตไฟตรง.....	68
6.13 ความผิดพลาดเชิงเส้นซึ่งวัดโดยใช้สัญญาณสามเหลี่ยม.....	69
6.14 การผสมสัญญาณ ไซน์กับสัญญาณสามเหลี่ยม.....	69

สารบัญรูป (ต่อ)

รูปที่	หน้า
6.15 คุณสมบัติของวงจรถูกเมื่อ V_1 และ V_2 เป็นสัญญาณสามเหลี่ยม.....	70
6.16 สัญญาณเอาต์พุตเมื่อแรงดันอินพุต $V_1 = V_2$ ขนาด 0.8V ความถี่ 10kHz.....	70
6.17 ความเพี้ยนฮาร์มอนิกที่ $V_2 = 800\text{mV}$ ปรับค่า V_1	71
6.18 วงจรกำลังสองที่ใช้ MC14007.....	71
6.19 คุณสมบัติการยกกำลังสองของวงจรถูก.....	72
6.20 สัญญาณเอาต์พุตเมื่อแรงดันอินพุตเป็นสัญญาณไซน์ความถี่ 1kHz.....	72
6.21 การผสมสัญญาณ ไซน์ 50kHz กับสัญญาณสามเหลี่ยม 2kHz.....	73
6.22 การวัดความผิดพลาดเชิงเส้น โดยใช้สัญญาณสามเหลี่ยม.....	73
7.1 วงจรถูกเชิงแรงดันที่รับอินพุตและให้เอาต์พุตเป็นแบบขั้วเดียว.....	75
(ก) โครงสร้าง	
(ข) สัญลักษณ์	
7.2 การประยุกต์ใช้งานวงจรถูกเป็นวงจรถูกกำลังสอง.....	76
7.3 วงจรวัดความถี่ที่ไม่มีองค์ประกอบของไฟตรง.....	77
(ก) ต่อ RC ที่อินพุต	
(ข) ต่อ RC ที่เอาต์พุต	
7.4 วงจรแปลงความถี่โดยใช้วงจรถูก.....	78
7.5 องค์ประกอบของความถี่สัญญาณเอาต์พุต.....	78
7.6 วงจรหารแอมพลิจูดที่สร้างจากออปแอมป์และวงจรถูก.....	79
7.7 วงจรหารแอมพลิจูดแบบไม่กลับขั้ว.....	80
7.8 วงจรถอดรอกที่สอง.....	80

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรรยกกำลังสอง, วงจรรยกกำลังสองของผลบวก, วงจรรยกกำลังสองของผลต่าง, และ วงจรคูณแอนะล็อก เป็นวงจรพื้นฐานที่สำคัญในระบบการประมวลสัญญาณและการคำนวณของ สัญญาณแอนะล็อก ตัวอย่างเช่น การมอดูเลต (Modulate) และดีมอดูเลต (Demodulate) สัญญาณ ในระบบโทรคมนาคม, วงจรทวีความถี่, วงจรแปลงความถี่, การควบคุมอัตราขยายอัตโนมัติ (Automatic gain control), ตลอดจนการใช้วงจรรยกกำลังสองและวงจรคูณในเครื่องมือวัดเพื่อหา ค่าประสิทธิภาพ (RMS) หรือการออกแบบวงจรเปลี่ยนค่าประสิทธิภาพเป็นค่าแรงดันไฟตรง (RMS to DC converter)

ที่ผ่านมา วงจรคูณของกิลเบิร์ตที่ออกแบบด้วยหลักการปรับเปลี่ยนความนำได้รับความนิยมมากทั้งในเทคโนโลยี BJT, เทคโนโลยี CMOS [1-3] และ เทคโนโลยี Bi-CMOS [4] โครงสร้างหลักของวงจรคูณเหล่านี้ ประกอบด้วยวงจรรขยายผลต่างต่อเรียงซ้อนกันในทางแกนตั้ง หรือในทางด้านบน อาศัยกระแสเอาต์พุตของวงจรรขยายผลต่างด้านล่างทำหน้าที่ควบคุมค่าความ นำหรือเปลี่ยนแปลงความนำของวงจรรขยายผลต่างด้านบน กระแสเอาต์พุตของวงจรคูณคือกระแส เอาต์พุตของวงจรรขยายผลต่างด้านบนนั่นเอง เนื่องจากโครงสร้างของวงจรคูณประกอบด้วย วงจรรขยายผลต่างซ้อนกันในลักษณะบน-ล่าง จึงมีความจำเป็นที่ต้องใช้แหล่งจ่ายแรงดันค่าสูงกว่า วงจรแอนะล็อกอื่นๆที่โครงสร้างวงจรต่อเรียงกันในแนวแกนนอน และเมื่อต้องการสัญญาณ เอาต์พุตที่อยู่ในรูปแบบของแรงดัน วงจรคูณที่ออกแบบด้วยหลักการของกิลเบิร์ตจำเป็นต้องใช้ตัว ด้านทานเพื่อเปลี่ยนกระแสเอาต์พุตของวงจรคูณให้อยู่ในรูปแบบของแรงดัน

เมื่อการออกแบบวงจรแอนะล็อกด้วยเทคโนโลยีแบบ CMOS ได้รับความนิยมมากขึ้น ได้ มีวงจรคูณแอนะล็อกหลากหลายรูปแบบที่ออกแบบโดยใช้ทรานซิสเตอร์แบบ CMOS ที่ไบแอส ให้ทำงานในช่วงอิมิตัว [5-11] อาศัยคุณสมบัติการส่งผ่านระหว่างกระแสเดรนกับความต่างศักย์ ที่เกิด-ชอร์ส นำมาซึ่งการออกแบบวงจรรยกกำลังสองและวงจรคูณแอนะล็อก เช่น วงจรรยกกำลัง สองและวงจรคูณจากโครงสร้างของวงจรรนอร์เกต 2 อินพุต (Two-input nor gate), วงจรคูณ แบบควอเตอร์-สแควร์ รวมทั้งวงจรรยกกำลังสองและวงจรคูณที่ใช้แหล่งจ่ายกำลังไฟตรงค่าต่ำซึ่ง กำหนดจุดทำงานให้ทรานซิสเตอร์ทำงานอยู่ในช่วงไตรโอด [12-14] อย่างไรก็ตาม เมื่อต้องการ สัญญาณเอาต์พุตที่อยู่ในรูปแบบของแรงดัน วงจรคูณที่ใช้ CMOS ยังมีความจำเป็นต้องใช้ตัว ด้านทานซึ่งบางวงจรจำเป็นต้องใช้ถึง 6 ตัว

นอกเหนือจากวงจรรยกกำลังสองและวงจรคูณแอนะล็อก ที่อาศัยคุณสมบัติกำลังสองของ ทรานซิสเตอร์แบบ CMOS ได้มีผู้ออกแบบวงจรรยกกำลังสองที่ใช้ BJT [15] โดยใช้วงจรรขยาย

ผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน เพื่อให้วงจรมีผลต่างเกิดแรงดันออฟเซตและเกิดความไม่
เป็นเชิงเส้นอย่างรุนแรง หลังจากนั้นจึงประมาณสมการกระแสคอลเล็กเตอร์เอาต์พุตให้เป็น
สมการกำลังสอง และออกแบบเป็นวงจรรยกกำลังสองและวงจรมอดูแลแบบควอเตอร์-สแควร์ในที่สุด
ซึ่งยังคงต้องการตัวต้านทานในการเปลี่ยนกระแสเอาต์พุตให้เป็นแรงดันเช่นเดียวกัน

จากวงจรรยกกำลังสองและวงจรมอดูแลแอนะล็อกที่ยกตัวอย่างมาทั้งหมดนั้น ไม่ว่าจะเป็
นวงจรมอดูแลของกิลเบิร์ต วงจรรยกกำลังสองและวงจรมอดูแลแอนะล็อกที่อาศัยคุณสมบัติกำลังสองของ
ทรานซิสเตอร์แบบ CMOS วงจรรยกกำลังสองและวงจรมอดูแลแบบควอเตอร์-สแควร์ที่ใช้วงจรมอดูแล
ผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน หรือวงจรรยกกำลังสองและวงจรมอดูแลที่ใช้วงจรมอดูแล 2
อินพุตก็ตาม เมื่อต้องการสัญญาณเอาต์พุตที่อยู่ในรูปแบบของแรงดัน ทุกวงจรมอดูแลกล่าวจำเป็นต้อง
ใช้ตัวต้านทานทั้งสิ้น ไม่ว่าจะเป็นตัวต้านทานที่สร้างขึ้นจากทรานซิสเตอร์แบบ CMOS หรือตัว
ต้านทานทั่วไปซึ่งอยู่ในช่วง 500Ω - $100k\Omega$

1.2 ความมุ่งหมายและจุดประสงค์

ในการออกแบบวงจรรวมนี้ การใช้ตัวต้านทานเป็นสิ่งที่ไม่ควรหลีกเลี่ยง เพราะทำให้
สิ้นเปลืองพื้นที่ในวงจรรวม แรงดันที่ตกคร่อมที่ตัวต้านทานทำให้จำเป็นต้องใช้แหล่งจ่ายกำลัง
ไฟตรงที่มีแรงดันสูงขึ้น และตัวต้านทานยังเป็นแหล่งกำเนิดของสัญญาณรบกวนอีกด้วย

จากปัญหาและข้อจำกัดของวงจรรยกกำลังสองและวงจรมอดูแลแอนะล็อก ที่ใช้ตัวต้านทานใน
การเปลี่ยนกระแสเอาต์พุตเป็นแรงดันดังกล่าวแล้ว วิทยานิพนธ์นี้จึงนำเสนอการออกแบบวงจ
รฟังก์ชันกำลังสองเชิงแรงดันโดยใช้ทรานซิสเตอร์แบบ CMOS ที่รับแรงดันอินพุตและให้แรงดัน
เอาต์พุตได้โดยไม่ใช้ตัวต้านทาน โดยอาศัยคุณสมบัติการยกกำลังสองภายในทรานซิสเตอร์แบบ
CMOS วงจรมอดูแลฟังก์ชันกำลังสองเชิงแรงดันที่ออกแบบขึ้นยังสามารถใช้ออกแบบเป็นวงจรมอดูแล
แอนะล็อก 4 ควอดแดรนต์แบบควอเตอร์-สแควร์ได้เป็นอย่างดี ด้วยวิธีการใหม่ที่น่าสนใจใน
วิทยานิพนธ์นี้ ได้ช่วยให้การออกแบบวงจรรยกกำลังสองและวงจรมอดูแลแอนะล็อกได้รับการพัฒนา
ไปอีกรูปแบบหนึ่ง และเป็นการเสนอแนะแนวทางการออกแบบวงจรรวมแอนะล็อกที่โครงสร้าง
ประกอบด้วยทรานซิสเตอร์ทั้งหมด โดยไม่มีอุปกรณ์อย่างเช่นตัวต้านทานในทุกรูปแบบปรากฏอยู่
ในวงจรรวม

1.3 ขอบเขตของการวิจัยและโครงสร้างของวิทยานิพนธ์

ด้วยขีดจำกัดและปัญหาของการใช้ตัวต้านทานในวงจรมอดูแลดังกล่าวแล้ว ในงานวิจัยนี้จึง
ออกแบบวงจรมอดูแลสัญญาณแอนะล็อกเชิงแรงดันด้วยเทคโนโลยีแบบ CMOS โดยมีจุดมุ่งหมายใน
การออกแบบคือ ทำงานได้ที่ระดับแหล่งจ่ายแรงดันต่ำ ความเพี้ยนฮาร์มอนิกและความผิดพลาด
เชิงเส้นไม่เกิน 1% รับสัญญาณอินพุตและให้สัญญาณเอาต์พุตในรูปแบบของแรงดันโดยไม่ใช้ตัว
ต้านทานทุกรูปแบบ ซึ่งในงานวิจัยและวิทยานิพนธ์นี้ได้นำเสนอวงจรมอดูแลฟังก์ชันกำลังสองและวงจ

คุณแอนะล็อกเชิงแรงดันในหลากหลายรูปแบบ ดังที่จะนำเสนอในแต่ละบทของวิทยานิพนธ์ดังต่อไปนี้

บทที่ 2 กล่าวถึงวงจรกำลังสองและวงจรถูกแอนะล็อก 4 ควอดแดรนต์ในรูปแบบต่างๆที่มีผู้นำเสนอมาแล้ว เช่นวงจรกำลังสองโครงสร้างแบบนอร์เกต 2 อินพุตที่ใช้ตัวต้านทานเพื่อให้เอาต์พุตในรูปแบบของแรงดัน วงจรกำลังสองเชิงกระแสจากโครงสร้างวงจรรขยายคลาสเอบีที่รับสัญญาณอินพุตแบบขั้วเดียวและสองขั้ว วงจรกำลังสองและวงจรถูกแบบควอดเทอร์-สแควร์ที่ใช้ทรานซิสเตอร์ไบโพลาร์จากโครงสร้างวงจรรขยายผลต่างที่ใช้พื้นที่อิมิตเตอร์ไม่เท่ากัน วงจรถูกแบบควอดเทอร์-สแควร์จากโครงสร้างวงจรรนอร์เกต 2 อินพุต วงจรถูกของกิลเบิร์ตทั้งแบบที่ใช้ทรานซิสเตอร์ไบโพลาร์และแบบ Bi-CMOS ซึ่งวงจรดังกล่าวแล้วทั้งหมดต่างจำเป็นต้องใช้ตัวต้านทานเพื่อให้สัญญาณเอาต์พุตเป็นแรงดันทั้งสิ้น

บทที่ 3 เสนอวงจรถูกสัญญาณแอนะล็อกเชิงแรงดัน โดยมีพื้นฐานจากวงจรวจรไดโอดคู่ ซึ่งประกอบด้วยวงจรวจรไดโอดคู่ชนิด N ชนิด P และวงจรวจรไดโอดคู่แบบสมมาตร วงจรลบแรงดัน และวงจรถูกแอนะล็อกเชิงแรงดันที่ปราศจากตัวต้านทาน และ ผลการจำลองการทำงานซึ่งได้ยืนยันถึงคุณสมบัติของวงจรถูก

เนื่องจากปัญหาของความต้านทานอินพุตที่มีค่าต่ำ ของวงจรถูกแอนะล็อกจากโครงสร้างไดโอดคู่ ในบทที่ 4 จึงนำเสนอวงจรถูกแอนะล็อกเชิงแรงดันจากโครงสร้างของวงจรรขยายผลต่างที่ใช้ทรานซิสเตอร์แบบ CMOS ซึ่งใช้วงจรถูกสัญญาณเพื่อกำจัดองค์ประกอบความถี่ที่ไม่ต้องการออกไป จากโครงสร้างของวงจรถูกที่วงจรรส่วนอินพุตเป็นวงจรรขยายผลต่างจึงสามารถแก้ปัญหาความต้านทานอินพุตค่าต่ำของวงจรถูกแอนะล็อกเชิงแรงดันในบทที่ 3 ลงได้

บทที่ 5 เสนอการออกแบบวงจรถูกแอนะล็อกเชิงแรงดันใช้หลักการควอดเทอร์-สแควร์ โครงสร้างประกอบด้วยวงจรรวมสัญญาณ และ วงจรรยกกำลังสองที่ดัดแปลงจากวงจรรขยายผลต่างซึ่งออกแบบร่วมกันเป็นวงจรรวมสัญญาณยกกำลังสอง เพื่อใช้ในการสร้างสัญญาณผลบวกยกกำลังสอง วงจรผลต่างยกกำลังสอง และวงจรถูกแอนะล็อกเชิงแรงดัน

ในบทที่ 6 ได้นำเสนอวงจรถูกแอนะล็อกเชิงแรงดันแบบควอดเทอร์-สแควร์อีกรูปแบบหนึ่ง โดยใช้วงจรรส่วนหน้าซึ่งทำหน้าที่สร้างสัญญาณผลบวกและผลต่างดัดแปลงจากวงจรรวมสัญญาณที่นำเสนอในบทที่ 5 ส่วนวงจรรฟังก์ชันกำลังสองที่แรงดันเอาต์พุตอยู่ในรูปของแรงดันอาศัยคุณสมบัติกำลังสองของทรานซิสเตอร์แบบ MOS โดยไม่มีการประมาณอนุกรมเทเลอร์เหมือนดังเช่นวงจรถูกที่นำเสนอไว้ในบทที่ผ่านมา ส่งผลให้วงจรถูกมีความเพี้ยนฮาร์โมนิกและความผิดพลาดเชิงเส้นที่ต่ำกว่า ผลการจำลองการทำงานและผลการทดลองจากการต่อวงจรจริง ได้ยืนยันถึงการใช้งานได้จริงของวงจรถูก และ การประยุกต์ใช้งานวงจรถูกในบทที่ 7 แสดงให้เห็นถึงคุณสมบัติของวงจรถูกแอนะล็อกเชิงแรงดันที่สามารถใช้งานได้เช่นเดียวกับวงจรถูกแบบอื่น

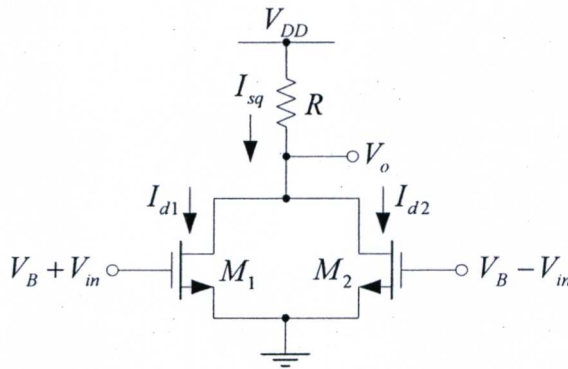
บทที่ 8 กล่าวถึงบทสรุปของงานวิจัยทั้งหมดในวิทยานิพนธ์นี้ และได้ทำการเปรียบเทียบกับวงจรถูกแบบอื่นที่มีผู้นำเสนอมาแล้ว ตลอดจนแนวทางในการพัฒนางานวิจัยต่อเนื่องเพื่อ

ออกแบบวงจรคูณแอนะล็อกเชิงแรงดันให้มีคุณสมบัติดีขึ้น โครงสร้างวงจรมีขนาดเล็ก ช่วงการรับแรงดันอินพุตที่กว้างขึ้น ทำงานได้ที่ระดับแหล่งจ่ายกำลังไฟตรงค่าต่ำลง และคุณสมบัติด้านอื่นของวงจรคูณแอนะล็อกเชิงแรงดันที่จะทำการวิเคราะห์วิจัย โดยมีจุดประสงค์เพื่อให้เป็นแนวทางใหม่ในการออกแบบวงจรคูณแอนะล็อก 4 ควอดแดรนต์

บทที่ 2

วงจรกำลังสองและวงจรคูณแอนะล็อก 4 ควอดแดรนต์

ในการออกแบบวงจรประมวลสัญญาณแอนะล็อกนั้น หลายวงจรมักออกแบบโดยใช้วงจรมาตรฐานหรือวงจรฟังก์ชันสำเร็จ (Building block) ซึ่งโครงสร้างภายในประกอบด้วยทรานซิสเตอร์แบบ MOS วงจรฟังก์ชันสำเร็จที่ได้รับความนิยมได้แก่ วงจรฟังก์ชันกำลังสอง ซึ่งสามารถนำไปประยุกต์ใช้งานได้อย่างแพร่หลาย ยกตัวอย่างเช่น วงจรคูณ วงจรเปลี่ยนแรงดันเป็นกระแสหรือวงจรทรานสคอนดักเตอร์ (Transconductor) วงจรทวีความถี่ ในบทนี้จะกล่าวถึงวงจรกำลังสองแบบนอร์เกต 2 อินพุต วงจรกำลังสองจากวงจรขยายคลาสเอบี วงจรกำลังสองจากโครงสร้างวงจรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน และจะได้นำเสนอถึงวงจรคูณแอนะล็อกที่ได้มีผู้นำเสนอไว้ เช่น วงจรคูณของกิลเบิร์ต วงจรคูณแบบควอเตอร์-สแควร์หรือวงจรคูณที่ออกแบบโดยใช้กฎกำลังของทรานซิสเตอร์แบบ MOS ในรูปแบบอื่น



รูปที่ 2.1 วงจรกำลังสองแบบนอร์เกต 2 อินพุต

2.1 วงจรกำลังสอง

2.1.1 วงจรกำลังสองจากโครงสร้างนอร์เกต 2 อินพุต [5]

วงจรกำลังสองที่มีโครงสร้างจากวงจรรนอร์เกตแสดงในรูปที่ 2.1 ประกอบด้วยทรานซิสเตอร์สองตัวที่มีคุณสมบัติเหมือนกันทุกประการ และไบแอสให้ทำงานอยู่ในช่วงอิ่มตัว (Saturation) ด้วยแรงดันออฟเซตไฟตรง V_B โดยมีตัวต้านทาน R เป็นความต้านทานโหลดทำหน้าที่เปลี่ยนกระแสเอาต์พุตกำลังสอง I_{sq} เป็นแรงดันเอาต์พุต V_o เมื่อจ่ายแรงดันอินพุต $\pm V_m$ ที่มีลักษณะเป็นแรงดันสมมูล กระแสเดรนของทรานซิสเตอร์ M_1 และ M_2 ประกอบด้วยกระแสไฟตรงและกระแสไฟสลับซึ่งสามารถคำนวณได้จากสมการความสัมพันธ์ระหว่างความต่างศักย์ที่เกต-ซอร์ส กับ กระแสเดรนดังนี้

$$I_d = K(V_{gs} - V_{TH})^2(1 + \lambda V_{DS}) \quad (2.1)$$

โดยที่ K คือสัมประสิทธิ์ความนำมีค่าเท่ากับ $\mu_n C_{ox} W/2L$

μ_n คือค่าสภาพความคล่องตัวของอิเล็กตรอน (Electron mobility)

C_{ox} คือค่าความจุไฟฟ้าต่อหน่วยพื้นที่ของเกตออกไซด์ (Oxide capacitance)

W คือความกว้างของแชนแนล (Channel width)

L คือความยาวของแชนแนล (Channel length)

V_{TH} คือแรงดันขีดเริ่ม (Threshold voltage)

λ คือการมอดูเลตผ่านทางความยาวแชนแนล (Channel-length modulation)

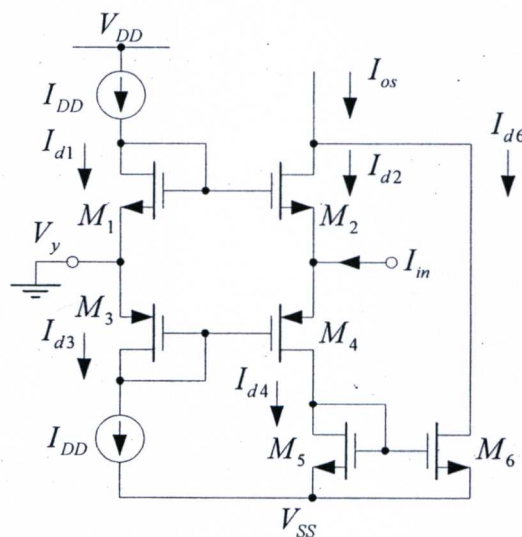
จากสมการ (2.1) เมื่อใช้ทรานซิสเตอร์แชนแนลขนาดยาว (Long-channel transistor) เราสามารถละทิ้งผลของแลมบ์ดา (λ) [25] และคำนวณกระแสเอาต์พุต I_{sq} ได้เป็น

$$I_{sq} = 2K \left\{ (V_B - V_{TH})^2 + V_{in}^2 \right\} \quad (2.2)$$

เมื่อพิจารณาที่แรงดันเอาต์พุต V_o จะได้

$$V_o = V_{DD} - 2RK \left\{ (V_B - V_{TH})^2 + V_{in}^2 \right\} \quad (2.3)$$

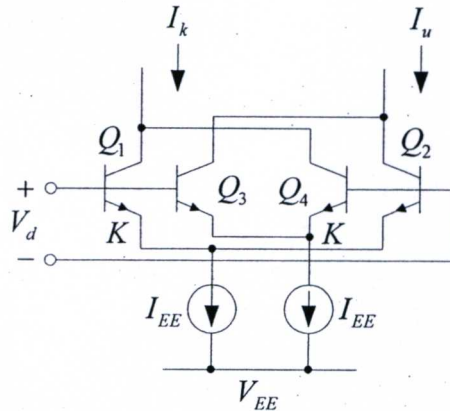
จากสมการ (2.3) แรงดันเอาต์พุต V_o ประกอบด้วยแรงดันไฟตรงและสัญญาณเอาต์พุตซึ่งอยู่ในรูปของแรงดันอินพุตยกกำลังสอง ถ้าต้องการให้สัญญาณเอาต์พุตมีค่ามากขึ้นก็สามารถทำได้ด้วยการเพิ่มค่าตัวต้านทาน หรือปรับอัตราส่วนความกว้างต่อความยาวของทรานซิสเตอร์อย่างไรก็ดี วิธีการนี้ส่งผลให้แรงดันไฟตรงตกคร่อมตัวต้านทานเพิ่มขึ้นด้วย ซึ่งอาจมีปัญหาคอขวดทำงานของทรานซิสเตอร์และการแกว่งของสัญญาณได้



รูปที่ 2.2 วงจรกำลังสองจากวงจรขยายคลาสเอบีที่รับอินพุตชั่วเดียว

$$I_{sq} = 2I_B + \frac{I_{in}^2}{8I_B} \quad (2.5)$$

ซึ่งพบว่ากระแสเอาต์พุต I_{sq} อยู่ในรูปแบบของกระแสอินพุตยกกำลังสองเช่นเดียวกับกระแสเอาต์พุต I_{os} ดังแสดงในสมการ (2.4) และมีข้อกำหนดในการรับกระแสอินพุต $|I_{in}| \leq 4I_{DD}$ เช่นเดียวกับวงจรกำลังสองในรูปที่ 2.2



รูปที่ 2.4 วงจรกำลังสองจากวงจรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน

2.1.3 วงจรกำลังสองจากวงจรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน [15]

ถึงแม้ว่า การออกแบบวงจรกำลังสองจากคุณสมบัติของทรานซิสเตอร์แบบ MOS จะได้รับความนิยม แต่ก็ยังมีผู้นำเสนอวงจรกำลังสองที่ออกแบบขึ้นโดยใช้ทรานซิสเตอร์ BJT ซึ่งโครงสร้างวงจร มีพื้นฐานจากการดัดแปลงให้ทรานซิสเตอร์ในวงจรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน [15] ถือเป็นวิธีการที่แปลกไปจากการออกแบบวงจรขยายผลต่างโดยทั่วไป เพราะการออกแบบวงจรขยายผลต่าง จำเป็นต้องออกแบบให้ทรานซิสเตอร์ทั้งสองมีคุณสมบัติเหมือนกันให้มากที่สุด แต่วงจรขยายผลต่างในวงจรกำลังสองชนิดนี้กลับออกแบบให้ทรานซิสเตอร์ทั้งสองมีพื้นที่อิมิตเตอร์แตกต่างกันหลายเท่า เพื่อให้เพื่อให้กระแสเอาต์พุตของวงจรขยายผลต่างเกิดความไม่เป็นเชิงเส้นมากขึ้น จากความไม่เป็นเชิงเส้นดังกล่าวสามารถประมาณกระแสเอาต์พุตให้อยู่ในรูปของสมการกำลังสองได้

รูปที่ 2.4 แสดงวงจรกำลังสองที่ใช้ทรานซิสเตอร์ไบโพลาร์ โครงสร้างวงจรประกอบด้วยวงจรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากันคือ $Q_1 - Q_2$ และ $Q_3 - Q_4$ เมื่อกำหนดให้พื้นที่อิมิตเตอร์ของทรานซิสเตอร์ Q_1 และ Q_2 มีขนาดต่างกันเท่ากับ K เท่า ไบแอสวงจรด้วยแหล่งจ่ายกระแสคงที่ I_{EE} ให้ทรานซิสเตอร์ทำงานในช่วงแอกติฟ จ่ายแรงดันอินพุต V_d ให้กับวงจรจะสามารถเขียนสมการกระแสเอาต์พุต I_{ku} ได้ดังนี้

$$I_{ku} = \left\{ \tanh\left(\frac{V_d + V_K}{2V_T}\right) - \tanh\left(\frac{V_d - V_K}{2V_T}\right) \right\} \quad (2.6)$$

เมื่อ V_T คือแรงดันเทอร์มัล (Thermal voltage) และ $V_K = V_T \ln K$ จากอนุกรมของเทเลอร์ที่สามารถประมาณให้ $\tanh x = x - \frac{x^3}{3}$ ได้เมื่อ $|x| \ll 1$ ดังนั้น

$$I_{ku} = I_{EE} \ln K \left\{ 1 - \frac{1}{4V_T^2} V_d^2 - \frac{1}{12} (\ln K)^2 - \dots \right\} \quad (2.7)$$

ซึ่งพบว่า เมื่อแรงดันอินพุต V_d เป็นสัญญาณขนาดเล็ก กระแสเอาต์พุตที่ได้อยู่ในรูปของแรงดันอินพุตยกกำลังสอง อย่างไรก็ตาม เมื่อเทียบกับวงจรกำลังสองที่ใช้ทรานซิสเตอร์แบบ MOS วงจรกำลังสองที่ทรานซิสเตอร์มีพื้นที่อิมิตเตอร์ไม่เท่ากันมีความเพี้ยนมากกว่า และรับแรงดันอินพุตได้เล็กกว่ามาก ถ้าหากต้องการขยายช่วงการรับแรงดันอินพุต V_d ให้มากขึ้นก็ทำได้ โดยการต่อความต้านทานอิมิตเตอร์ดีเจนเนอเรชันซึ่งจะทำให้การออกแบบวงจรกำลังสองชนิดนี้ยุ่งยากมากขึ้น

2.2 วงจรคูณแอนะล็อก

2.2.1 วงจรคูณแบบควอเตอร์-สแควร์ที่ใช้วงจรรนอร์เกต 2 อินพุต

วงจรรนอร์เกต 2 อินพุตสามารถนำไปประยุกต์ใช้เพื่อการออกแบบวงจรคูณแอนะล็อกแบบควอเตอร์-สแควร์ ซึ่งเป็นไปตามหลักการ [5]

$$(x + y)^2 - (x - y)^2 = 4xy \quad (2.8)$$

จะเห็นได้ว่าวงจรคูณแบบควอเตอร์-สแควร์จำเป็นต้องใช้วงจรรนอร์เกตจำนวน 2 วงจร และยังต้องการรวมวงจรบวกและลบสัญญาณอินพุต สัญญาณเอาต์พุตของวงจรมูลฐานนั้นได้จากผลต่างของผลรวมอินพุตยกกำลังสองกับผลต่างอินพุตยกกำลังสอง จากวงจรรนอร์เกต 2 อินพุตดังรูปที่ 2.1 สามารถออกแบบวงจรคูณอย่างง่ายได้ดังรูปที่ 2.5 ซึ่งประกอบด้วยวงจรรนอร์เกตแบบนอร์เกต 2 อินพุตจำนวน 2 ชุด โดยที่แต่ละวงจรรับแรงดันอินพุตผลบวกและผลต่าง จากสมการ (2.2) เมื่อจ่ายแรงดันอินพุต $(V_1 + V_2)$ และ $(V_1 - V_2)$ จะได้กระแสกำลังสอง I_{sq1} และ I_{sq2} เป็น

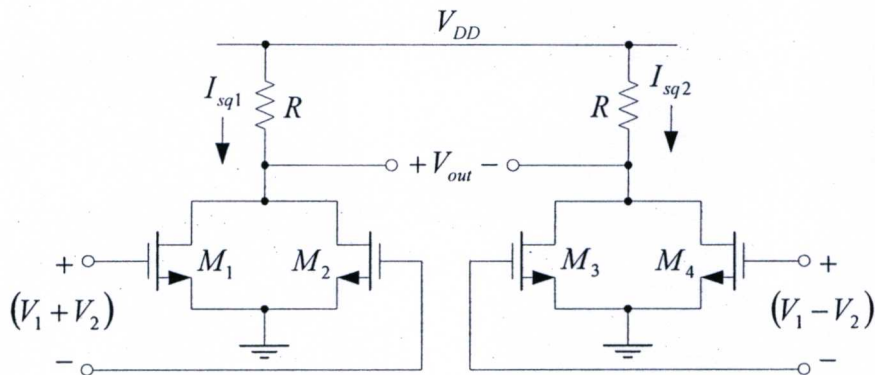
$$I_{sq1} = 2K \left\{ (V_B - V_{TH})^2 + \left(\frac{V_1 + V_2}{2} \right)^2 \right\} \quad (2.9)$$

$$I_{sq2} = 2K \left\{ (V_B - V_{TH})^2 + \left(\frac{V_1 - V_2}{2} \right)^2 \right\} \quad (2.10)$$

และจะได้แรงดันเอาต์พุต V_{out} เป็น

$$V_{out} = 2RKV_1V_2 \quad (2.11)$$

เนื่องจากหลักการทำงานของวงจรถ่วงกำลังสองและวงจรถวมแวนซ์ล็อก อาศัยคุณสมบัติความไม่เป็นเชิงเส้นของทรานซิสเตอร์แบบ MOS ดังนั้น แรงดันอินพุตไม่จำเป็นต้องเป็นสัญญาณขนาดเล็กและสามารถกำหนดช่วงการรับแรงดันอินพุตจากการเลือกอัตราส่วนความกว้างต่อความยาว (W/L) ของทรานซิสเตอร์ อย่างไรก็ตาม ในการออกแบบวงจรเพื่อให้ใช้งานได้จริง วงจรถวมจำเป็นต้องใช้วงจรถ่วงและวงจรถบแรงดันอินพุต ซึ่งมีผลกระทบต่อช่วงการรับแรงดันอินพุตและสมการแรงดันเอาต์พุต V_{out}



รูปที่ 2.5 วงจรถวมที่ใช้วงจรถบ 2 อินพุต

2.2.2 วงจรถวมโครงสร้างแบบขนาน [10]

นอกจากจะใช้เป็นวงจรถ่วงกำลังสองในวงจรถวมแบบควอดเรอร์-สแควร์แล้ว วงจรถ่วงกำลังสองแบบนอร์เกต 2 อินพุตยังสามารถใช้ออกแบบวงจรถวมที่มีโครงสร้างแบบขนาน ได้ดังรูปที่ 2.6 (ก) ซึ่งประกอบด้วยวงจรถ่วงกำลังสองแบบนอร์เกต 2 อินพุตหรือในที่นี้เรียกว่าวงจรถวมสัญญาณ (Combiner) ดังแสดงในรูปที่ 2.6 (ข) ทั้งหมดจำนวน 6 ชุดคือ $CM_1 - CM_6$ โดยที่วงจรถวมสัญญาณมีคุณสมบัติดังนี้

$$Z_i = A_1 X_i^2 + A_2 Y_i^2 + A_3 X_i + A_4 Y_i + A_5 \quad \text{เมื่อ } i = 1-4 \quad (2.12)$$

$$Z_i = B_1 X_i^2 + B_2 Y_i^2 + B_3 X_i + B_4 Y_i + B_5 \quad \text{เมื่อ } i = 5-6 \quad (2.13)$$

เมื่อกำหนดให้ $B_1 = B_2$ และ $B_3 = B_4$ จะได้แรงดันเอาต์พุตอยู่ในรูปแบบของผลคูณระหว่างแรงดันอินพุต V_1 กับ V_2 ดังสมการ

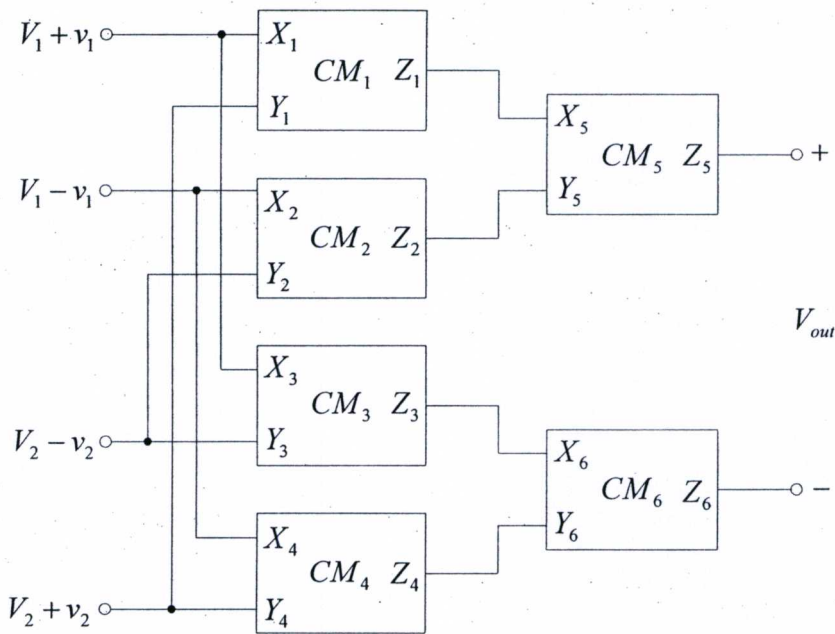
$$\begin{aligned} V_{out} &= 8B_1(2A_1V_1 + A_3)(2A_2V_2 + A_4)V_1V_2 \\ &= K'V_1V_2 \end{aligned} \quad (2.14)$$

โดยที่ K' คือค่าคงที่ของการคูณ (Multiplication constant) ซึ่งมีค่า $(2A_1V_1 + A_3)(2A_2V_2 + A_4)$

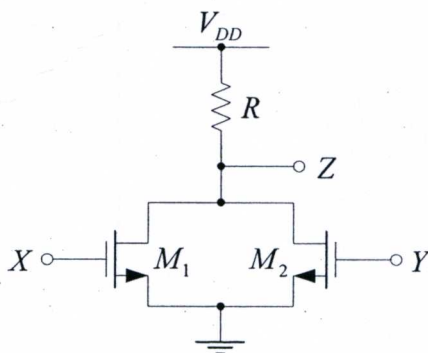
ประเด็นสำคัญในการออกแบบวงจรด้วยโครงสร้างนี้คือวงจรรวมสัญญาณ จากรูปที่ 2.6 (ข) เมื่อทรานซิสเตอร์ทั้งสองทำงานอยู่ในช่วงอิมิตัว จ่ายแรงดันอินพุตเข้าที่จุด X และ Y จากคุณสมบัติการส่งผ่านแรงดันเกต-ซอร์สกับกระแสเดรน จะได้แรงดันเอาต์พุตที่จุด Z เป็น

$$\begin{aligned}
 V_Z &= V_{DD} - R \left[K_1 (V_X - V_{TH})^2 + K_2 (V_Y - V_{TH})^2 \right] \\
 &= -RK_1 V_X^2 - RK_2 V_Y^2 + 2RK_1 V_{TH} V_X + 2RK_2 V_{TH} V_Y \\
 &\quad + (V_{DD} - RK_1 V_{TH}^2 - RK_2 V_{TH}^2)
 \end{aligned}
 \tag{2.15}$$

ซึ่งพบว่ารูปแบบของสมการสอดคล้องกับสมการ (2.14)



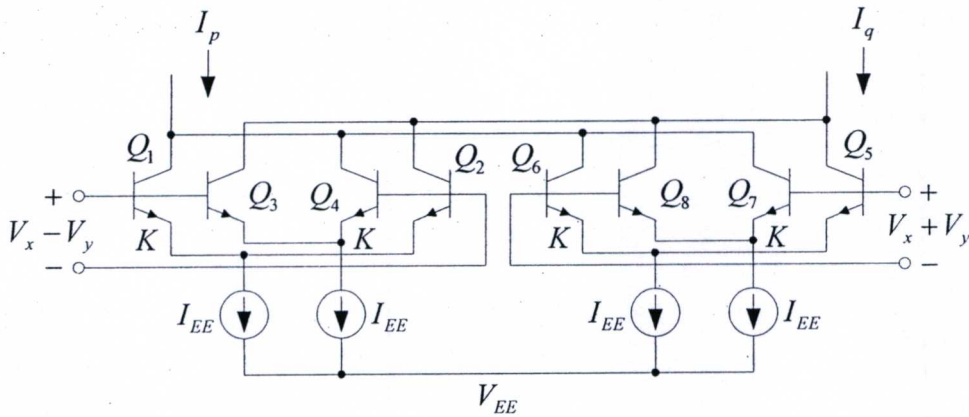
(ก) โครงสร้างของวงจรคูณ



(ข) วงจรรวมสัญญาณ

รูปที่ 2.6 วงจรคูณ โครงสร้างแบบขนาน

นั่นหมายความว่า เมื่อใช้โครงสร้างดังรูปที่ 2.6 (ก) ก็สามารถออกแบบวงจรคูณจากวงจรมอร์เกต 2 อินพุตหรือวงจรรวมสัญญาณ โดยไม่ใช้วงจรซึ่งทำหน้าที่บวก-ลบแรงดันอินพุตเหมือนดังวงจรคูณแบบควอเตอร์-สแควร์ อย่างไรก็ตาม วงจรคูณยังต้องใช้ตัวต้านทานทั้งหมด 6 ตัว เมื่อเทียบกับวงจรคูณแบบควอเตอร์-สแควร์ที่ใช้เพียง 2 ตัวเท่านั้น เนื่องจากโครงสร้างวงจรคูณจากหลักการนี้มีความเรียบง่าย ใช้วงจรส่วนประกอบย่อยแต่ละชุดต่อขนานกัน ทำให้สามารถทำงานได้ที่แหล่งจ่ายแรงดันไฟตรงค่าต่ำ



รูปที่ 2.7 วงจรคูณจากโครงสร้างวงจรรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน

2.2.3 วงจรคูณแบบควอเตอร์-สแควร์ที่ใช้ BJT

วงจรกำลังสองจากโครงสร้างวงจรรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากันดังรูปที่ 2.4 และสมการแสดงคุณสมบัติดังสมการ (2.7) สามารถออกแบบวงจรคูณแบบควอเตอร์-สแควร์ได้ดังรูปที่ 2.7 เมื่อทรานซิสเตอร์ในวงจรรขยายผลต่างแต่ละชุดมีพื้นที่อิมิตเตอร์ต่างกันเท่ากับอัตราส่วน K และไบแอสให้ทำงานอยู่ในช่วงแอกตีฟด้วยแหล่งจ่ายกระแสคงที่ I_{EE} กระแสเอาต์พุต I_{out} ของวงจรคูณได้จากผลต่างของกระแส I_p กับ I_q เมื่อจ่ายแรงดันอินพุต $V_1 = V_x - V_y$ และ $V_2 = V_x + V_y$ จะได้

$$I_p = I_{EE} \left\{ \tanh\left(\frac{V_1 + V_K}{2V_T}\right) - \tanh\left(\frac{V_1 - V_K}{2V_T}\right) \right\} \quad (2.16)$$

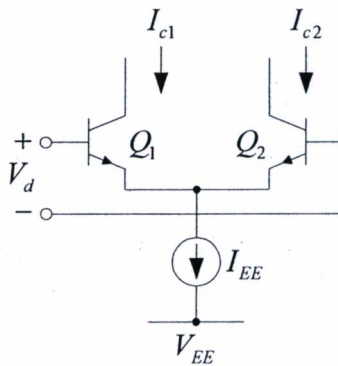
$$I_q = I_{EE} \left\{ \tanh\left(\frac{V_2 + V_K}{2V_T}\right) - \tanh\left(\frac{V_2 - V_K}{2V_T}\right) \right\} \quad (2.17)$$

$$I_{out} = I_p - I_q \quad (2.18)$$

จากการประมาณด้วยอนุกรมเทเลอร์ จะได้สมการกระแสเอาต์พุตเป็น

$$I_{out} = \frac{I_{EE} \ln K}{V_T^2} V_x V_y \quad (2.19)$$

สมการ (2.19) แสดงให้เห็นว่า วงจรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากันสามารถใช้แบบเป็นวงจรคูณด้วยหลักการควอเตอร์-สแควร์ได้ภายใต้เงื่อนไขการประมาณฟังก์ชัน $\tanh x$ โดยมีข้อกำหนดว่าขนาดของ x มีค่าน้อยกว่า 1 มาก ดังนั้น แรงดันอินพุตของวงจรคูณจึงมีขนาดเล็กมาก และยังคงใช้วงจรบวก-ลบสัญญาณ เพื่อสร้างแรงดันอินพุตผลบวกกับแรงดันอินพุตผลต่างเช่นเดียวกับวงจรคูณแบบควอเตอร์-สแควร์ทั่วไป



รูปที่ 2.8 วงจรขยายผลต่าง

2.2.4 วงจรคูณของกิลเบิร์ต [1]

พื้นฐานการออกแบบวงจรคูณของกิลเบิร์ตนั้น ออกแบบขึ้นจากหลักการของวงจรขยายผลต่างที่ใช้ทรานซิสเตอร์แบบไบโพลาร์ ซึ่งกระแสเอาต์พุตของวงจรขยายผลต่างอยู่ในรูปของผลคูณระหว่างแรงดันอินพุตกับแหล่งจ่ายกระแสคงที่ ดังนั้นวงจรขยายผลต่างจึงสามารถใช้งานเป็นวงจรคูณ 2 ควอดแดรนต์และ 4 ควอดแดรนต์ได้ เมื่อพิจารณาวงจรขยายผลต่างในรูปที่ 2.8 ซึ่งไบแอสด้วยแหล่งจ่ายกระแสคงที่ I_{EE} กำหนดให้ทรานซิสเตอร์ Q_1 และ Q_2 มีคุณสมบัติเหมือนกันทุกประการและทำงานอยู่ในช่วงแอกตีฟ เมื่อจ่ายแรงดันอินพุต V_d จะได้กระแสเอาต์พุตซึ่งเป็นกระแสผลต่างระหว่าง I_{c1} และ I_{c2} เป็น

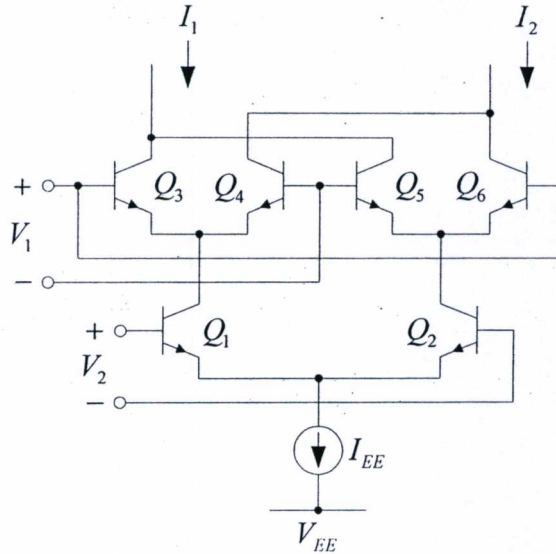
$$I_{c1} - I_{c2} = I_{EE} \tanh\left(\frac{V_d}{2V_T}\right) \quad (2.20)$$

เมื่อ V_T คือแรงดันเทอร์มัล (Thermal voltage) จากสมการ (2.20) ในกรณีที่ $|V_d/2V_T| \ll 1$ จะได้

$$I_{c1} - I_{c2} = I_{EE} \left(\frac{V_d}{2V_T}\right) \quad (2.21)$$

ในสมการ (2.21) เราพบว่ากระแสเอาต์พุตของวงจรขยายผลต่างอยู่ในรูปแบบผลคูณของแรงดัน

อินพุต V_d กับแหล่งจ่ายกระแสคงที่ I_{EE} โดยมีข้อกำหนด V_d เป็นสัญญาณขนาดเล็ก อย่างไรก็ตาม เพื่อให้ทรานซิสเตอร์อยู่ในช่วงการทำงานที่ถูกต้อง แหล่งจ่ายกระแสคงที่ I_{EE} ต้องมีค่าเป็นบวกเท่านั้นซึ่งส่งผลให้วงจรถูกทำงานได้เพียง 2 ควอดแดรนต์และสามารถออกแบบเป็นวงจรถูกแอนะล็อก 4 ควอดแดรนต์ที่ได้ดังรูปที่ 2.9



รูปที่ 2.9 วงจรถูกของกิลเบิร์ต

โครงสร้างวงจรถูกของกิลเบิร์ตประกอบด้วยวงจรถูกขยายผลต่างซ้อนกัน 2 ชั้น เมื่อไบแอสทรานซิสเตอร์ให้ทำงานในช่วงแอคทีฟด้วยแหล่งจ่ายกระแสคงที่ I_{EE} จ่ายแรงดันอินพุต V_1 และ V_2 จะได้กระแสเอาต์พุตผลต่างระหว่าง I_1 และ I_2 เป็น

$$I_1 - I_2 = I_{EE} \left\{ \tanh\left(\frac{V_1}{2V_T}\right) \right\} \left\{ \tanh\left(\frac{V_2}{2V_T}\right) \right\} \quad (2.22)$$

เมื่อแรงดันอินพุต V_1 และ V_2 เป็นสัญญาณขนาดเล็ก

$$I_1 - I_2 = I_{EE} \left(\frac{V_1}{2V_T} \right) \left(\frac{V_2}{2V_T} \right) \quad (2.23)$$

จากวงจรถูกแอนะล็อก 4 ควอดแดรนต์ในรูปที่ 2.9 และสมการ (2.23) พบว่าวงจรถูกสามารถใช้งานได้ทั้งแรงดันอินพุตบวกและแรงดันอินพุตลบ อย่างไรก็ตามยังมีข้อจำกัดที่ช่วงการรับแรงดันอินพุตมีขนาดเล็กมาก ซึ่งแก้ไขได้โดยการใช้ความต้านทานต่ออนุกรมที่อิมิตเตอร์ของทรานซิสเตอร์ และจากโครงสร้างที่ใช้วงจรถูกขยายผลต่างซ้อนกันทางแกนตั้งทำให้วงจรถูกไม่สามารถใช้งานกับแหล่งจ่ายกำลังไฟตรงแรงดันต่ำได้ และจำเป็นต้องใช้วงจรถูกระดับสัญญาณเพื่อจัดระดับแรงดันไฟตรงที่เหมาะสมให้กับแรงดันอินพุต V_1 และ V_2 จากปัญหาและขีดจำกัด

ของวงจรมูลของกิลเบิร์ตดังกล่าว ทำให้มีผู้นำเสนอวงจรมูลแอนะล็อกที่ใช้หลักการของกิลเบิร์ต
 ขึ้นใหม่โดยใช้เทคโนโลยี Bi-CMOS ดังวงจรมูลในรูปที่ 2.10 พิจารณารูปที่ 2.10 (ก) โครงสร้างวงจรมูล
 ประกอบด้วยวงจรมูลเปลี่ยนแรงดันเป็นกระแสจำนวน 3 ชุด แต่ละชุดออกแบบขึ้นโดยใช้วงจรมูลขยาย
 ผลต่างที่ใช้ทรานซิสเตอร์แบบ MOS ที่ไบแอสให้ทำงานอยู่ในช่วงไดโอดดังวงจรมูลในรูปที่ 2.10
 (ข) ซึ่งกระแสเดรนคำนวณได้จาก

$$I_d = \mu_n C_{ox} \left(\frac{W}{L} \right) V_{ds} \left(V_{gs} - V_{TH} - \frac{V_{ds}}{2} \right) \quad (2.24)$$

พิจารณาจากวงจรมูลในรูปที่ 2.10 (ก) และ (ข) โดยใช้สมการ (2.24) เมื่อ V_{cmx} คือแรงดัน
 อินพุตโหมคร่วม V_{sx} คือแรงดันที่ซอร์ส จ่ายแรงดันอินพุตให้กับวงจรมูล กระแสเดรนของวงจรมูล
 ทรานสคอนดักเตอร์ชุด A เขียนได้เป็น

$$I_a^+ = \mu_n C_{ox} \left(\frac{W}{L} \right)_A V_{dsa} \left(V_{cmx} + \frac{V_x}{2} - V_{sx} - V_{TH} - \frac{V_{dsa}}{2} \right) \quad (2.25)$$

$$I_a^- = \mu_n C_{ox} \left(\frac{W}{L} \right)_A V_{dsa} \left(V_{cmx} - \frac{V_x}{2} - V_{sx} - V_{TH} - \frac{V_{dsa}}{2} \right) \quad (2.26)$$

ใช้วิธีการเดียวกันในการพิจารณาทรานสคอนดักเตอร์ชุด B และ C กระแสเอาต์พุตผลต่างสามารถ
 คำนวณได้ดังนี้

$$\begin{aligned} I_{out}^+ - I_{out}^- &= (I_b^+ - I_b^-) - (I_c^+ - I_c^-) \\ &= \mu_n C_{ox} \left(\frac{W}{L} \right)_A (V_{dsb} - V_{dsc}) V_y \end{aligned} \quad (2.27)$$

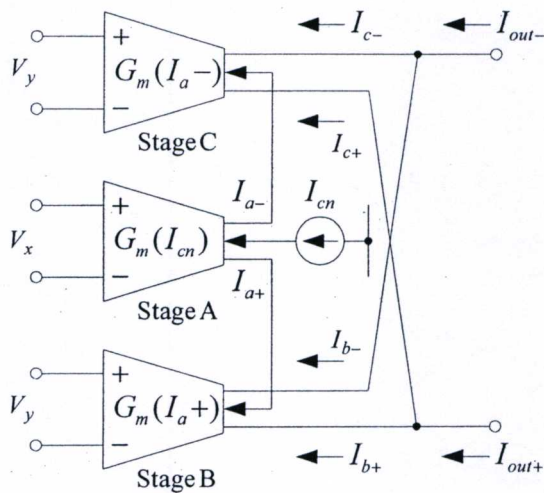
เมื่อ V_{dsb} และ V_{dsc} คือความต่างศักย์ระหว่างเดรน-ซอร์สของทรานสคอนดักเตอร์แต่ละชุดซึ่งเกิด
 จากผลคูณของความต้านทาน R กับกระแสต่างๆ โดยที่

$$\begin{aligned} V_{dsb} &= R_b (I_{db} - I_a^-) \\ V_{dsc} &= R_c (I_{dc} - I_a^+) \\ V_{dsa} &= R I_{da} \end{aligned} \quad (2.28)$$

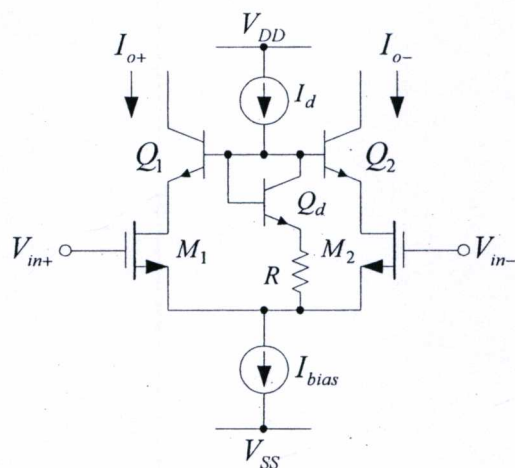
และ I_{da} คือกระแสที่ไหลผ่านตัวต้านทาน R ของทรานสคอนดักเตอร์ชุด A เช่นเดียวกับ I_{db} และ I_{dc}
 ที่เป็นกระแสไบแอสไหลผ่านตัวต้านทานในทรานสคอนดักเตอร์ชุด B และ C ทำการรวมสมการ
 (2.27) เข้ากับสมการ (2.28) สามารถหาค่ากระแสเอาต์พุตของวงจรมูลได้เป็น

$$I_{out}^+ - I_{out}^- = (\mu_n C_{ox})^2 \left(\frac{W}{L}\right)_A \left(\frac{W}{L}\right)_{BC} (RR_u I_{da}) V_x V_y \quad (2.29)$$

เมื่อ $(W/L)_{BC}$ และ $(W/L)_A$ คือขนาดของทรานซิสเตอร์ในทรานสคอนดักเตอร์ชุด B , C , และ A , ตามลำดับ ความต้านทาน $R_u = R_c = R_b$ คือตัวต้านทานที่ทำหน้าที่ไบแอสของทรานสคอนดักเตอร์ชุด A , B และ C



(ก) โครงสร้างวงจรคูณ



(ข) วงจรขยายความนำ

รูปที่ 2.10 วงจรคูณของกิลเบิร์ตที่ใช้ทรานซิสเตอร์แบบ Bi-CMOS

2.3 สรุป

จากวงจรฟังก์ชันกำลังสองหลากหลายรูปแบบที่นำเสนอพอจะสังเกตเห็นได้ว่า วงจรฟังก์ชันกำลังสองที่ใช้ทรานซิสเตอร์แบบ MOS ได้รับความนิยมมากเนื่องจากคุณสมบัติการส่งผ่านความต่างศักย์เกต-ซอร์สกับกระแสเดรนมีคุณสมบัติเป็นฟังก์ชันกำลังสองอยู่แล้ว ดังนั้นการออกแบบวงจรฟังก์ชันกำลังสองที่ใช้ทรานซิสเตอร์แบบ MOS จึงมีหลักการโดยกำจัดกระแสเดรนฮาร์มอนิกที่หนึ่งที่เป็นความถี่พื้นฐานของสัญญาณทิ้งไป เพื่อให้เหลือแต่ฮาร์มอนิกที่สองซึ่งอยู่ในรูปแบบฟังก์ชันกำลังสอง และวิธีการกำจัดองค์ประกอบของความถี่พื้นฐานนั้นจะพบว่า ในหลายวงจรใช้วิธีการหลักการเดียวกัน คือการจ่ายสัญญาณอินพุตที่กลับขั้วกันเสมอเพื่อให้สัญญาณอินพุตที่กลับขั้วนี้ถูกเปลี่ยนเป็นกระแสเดรน และนำไปรวมกันเพื่อหักล้างองค์ประกอบของความถี่พื้นฐานให้หมดไป ซึ่งหลักการเดียวกันนี้ได้ถูกนำไปประยุกต์ใช้งานกับวงจรฟังก์ชันกำลังสองที่ออกแบบโดยใช้วงจรขยายผลต่างที่มีพื้นที่อิมิตเตอร์ไม่เท่ากัน ซึ่งการออกแบบในลักษณะนี้ส่งผลให้วงจรขยายผลต่างมีความไม่เป็นเชิงเส้นมากขึ้น ผลจากความไม่เป็นเชิงเส้นที่มากขึ้นนี้ทำให้สามารถออกแบบเป็นวงจรฟังก์ชันกำลังสองได้ อย่างไรก็ตาม เนื่องจากคุณสมบัติการส่งผ่านของวงจรขยายผลต่างไม่มีคุณสมบัติกำลังสองอย่างสมบูรณ์ ดังนั้น เมื่อออกแบบเป็นวงจรฟังก์ชันกำลังสองแล้ว วงจรมีเงื่อนไขขอบเขตการทำงานที่จำกัดและใช้งานได้กับสัญญาณขนาดเล็ก

วงจรฟังก์ชันกำลังสองได้ถูกนำไปประยุกต์ใช้งานอย่างแพร่หลาย การใช่วงจรฟังก์ชันกำลังสองเพื่อออกแบบวงจรคูณแอนะล็อกได้รับความนิยมมาก โดยเฉพาะการออกแบบวงจรคูณแอนะล็อกแบบควอเตอร์-สแควร์ที่ใช่วงจรฟังก์ชันกำลังสองจำนวนสองชุด ซึ่งแต่ละชุดจ่ายอินพุตในลักษณะผลบวกและผลต่างของแรงดันอินพุต นอกเหนือจากวิธีการนี้แล้วการใช่วงจรฟังก์ชันกำลังสองต่อเรียงกัน และทำการจ่ายอินพุตที่เหมาะสมก็สามารถออกแบบเป็นวงจรคูณได้เช่นเดียวกัน ซึ่งมีข้อดีกว่าวงจรคูณของกิลเบิร์ตที่ใช้หลักการปรับเปลี่ยนความนำคือ ใช้แรงดันของแหล่งจ่ายกำลังไฟตรงต่ำกว่า อันเป็นผลจากการออกแบบวงจรและการส่งผ่านสัญญาณเป็นไปในลักษณะแวนอน ซึ่งต่างจากวงจรคูณของกิลเบิร์ตที่การออกแบบวงจรมีลักษณะซ้อนกันแนวตั้ง

บทที่ 3

วงจรรูณแวนะล็อกไดโอดคู่

ที่ผ่านมา นั้น ได้กล่าวถึงวงจรกำลังสองและวงจรรูณแวนะล็อกชนิดต่างๆที่ได้มีผู้
นำเสนอมาแล้วจำนวนหลายแบบหลายชนิดด้วยกัน แต่ละแบบต่างมีข้อดีข้อเสียที่เหมาะสมกับ
การนำไปประยุกต์ใช้งานที่หลากหลาย อย่างไรก็ตาม ทุกวงจรถ้าได้นำเสนอมาแล้วนั้นเมื่อต้องการ
เอาต์พุตให้อยู่ในรูปของแรงดัน วงจรรูณแวนะล็อกกำลังสองและวงจรรูณแวนะล็อกเหล่านี้จำเป็นต้องใช้ตัวต้านทาน
เสมอ เพื่อแก้ปัญหานี้ วงจรรูณแวนะล็อกที่จะนำเสนอต่อไปนี้จะออกแบบขึ้นโดยมีข้อกำหนดที่
สามารถรับแรงดันอินพุตและให้แรงดันเอาต์พุตได้โดยไม่ต้องใช้ตัวต้านทาน หรือเป็นวงจรรูณแวนะ
ล็อกที่ออกแบบทำงานในลักษณะของเชิงแรงดัน

3.1 วงจรไดโอดคู่

วงจรรูณแวนะล็อกชนิด N และชนิด P แสดงดังรูปที่ 3.1 (ก) และ (ข) ตามลำดับ [19]
โครงสร้างประกอบด้วยทรานซิสเตอร์ $M_1 - M_2$ ที่มีคุณสมบัติเหมือนกันทุกประการ ขาซอร์สและ
บอดีของทรานซิสเตอร์แต่ละตัวต่อเข้าด้วยกันเพื่อหลีกเลี่ยงผลของบอดีไบแอสให้ทรานซิสเตอร์
ทำงานในช่วงอิมิต์ด้วยแหล่งจ่ายกระแสคงที่ I_{DD} เมื่อ V_1 และ V_2 เป็นแรงดันอินพุต V_{on} คือแรงดัน
เอาต์พุต จะคำนวณกระแสเดรนของทรานซิสเตอร์ในรูปที่ 3.1 (ก) ได้ดังต่อไปนี้

$$I_{d1} = K_1(V_{on} - V_1 - V_{Tn})^2 \quad (3.1)$$

$$I_{d2} = K_1(V_{on} - V_2 - V_{Tn})^2 \quad (3.2)$$

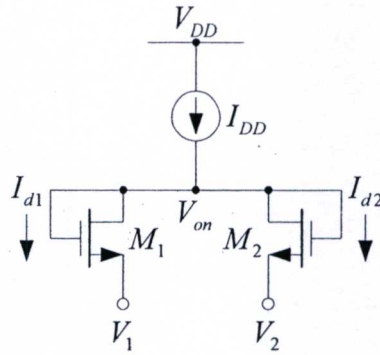
เมื่อ K_1 คือค่าสัมประสิทธิ์ความนำของทรานซิสเตอร์ $M_1 - M_2$ ส่วน V_{Tn} คือแรงดันขีดเริ่มของ
ทรานซิสเตอร์ชนิด NMOS พิจารณาจากรูปที่ 3.1 (ก) พบว่าผลรวมของกระแสเดรน I_{d1} และ I_{d2} มี
ค่าเท่ากับกระแสไบแอส I_{DD} ดังเขียนได้ตามสมการ

$$I_{d1} + I_{d2} = I_{DD} \quad (3.3)$$

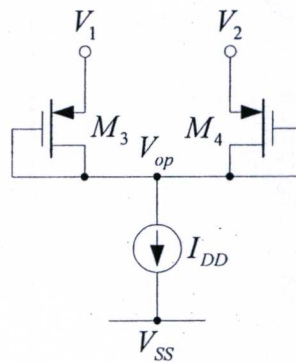
แทนสมการ (3.1) และ (3.2) ลงในสมการ (3.3) จะหาค่าแรงดันเอาต์พุต V_{on} ได้เป็น

$$V_{on} = \frac{V_1 + V_2}{2} + V_{Tn} + \sqrt{\frac{I_{DD}}{2K_1} \left(1 + \frac{K_1}{2I_{DD}} (2V_1V_2 - V_1^2 - V_2^2) \right)} \quad (3.4)$$

ในสมการ (3.4) พบว่าแรงดันเอาต์พุต V_{on} อยู่ในรูปแบบผลรวมของแรงดันอินพุตและ
รากที่สองของผลคูณของแรงดันอินพุตกับแรงดันอินพุตยกกำลังสอง



(ก) ชนิด N.



(ข) ชนิด P

รูปที่ 3.1 วงจรไดโอดคู่

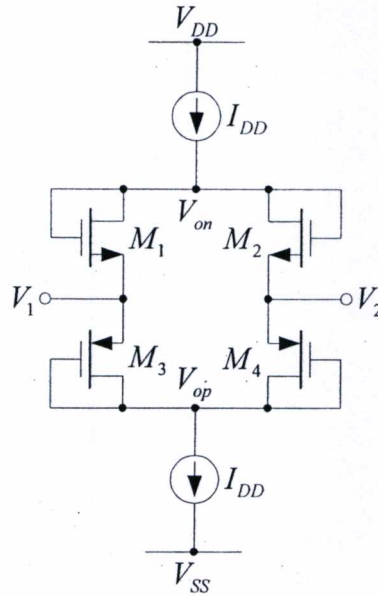
สิ่งที่น่าสนใจคือชุดผลคูณของแรงดันอินพุตทั้งสอง ถ้ากำจัดส่วนประกอบของสมการชุดอื่นๆ และถอดรากที่สองออกไป วงจรไดโอดคู่ก็จะสามารถใช้เป็นวงจรถูกได้ เมื่อพิจารณาจากอนุกรมเทเลอร์สามารถประมาณให้ $\sqrt{1+x} \cong 1+x/2$ เมื่อ $|x| \ll 1$ ดังนั้น ในสมการ (3.4) เมื่อ $\left| \frac{K_1}{2I_{DD}} (2V_1V_2 - V_1^2 - V_2^2) \right| \ll 1$ เราสามารถเขียนสมการ (3.4) โดยประมาณได้เป็น

$$V_{on} \cong \frac{V_1 + V_2}{2} + V_{Tn} + \sqrt{\frac{I_{DD}}{2K_1}} \left[1 + \frac{K_1}{4I_{DD}} (2V_1V_2 - V_1^2 - V_2^2) \right] \quad (3.5)$$

ด้วยวิธีการเดียวกัน สำหรับวงจรถูกชนิด P แรงดันเอาต์พุต V_{op} มีค่า

$$V_{op} = \frac{V_1 + V_2}{2} - |V_{Tp}| - \sqrt{\frac{I_{DD}}{2K_1}} \sqrt{1 + \frac{K_3}{2I_{DD}} (2V_1V_2 - V_1^2 - V_2^2)} \quad (3.6)$$

เมื่อ V_{Tp} คือแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด P และ K_3 คือสัมประสิทธิ์ความนำของทรานซิสเตอร์ M_3 และ M_4 จากการประมาณสมการ (3.6) ด้วยอนุกรมเทเลอร์จะได้



รูปที่ 3.2 วงจรคู่ไดโอดแบบสมมาตร

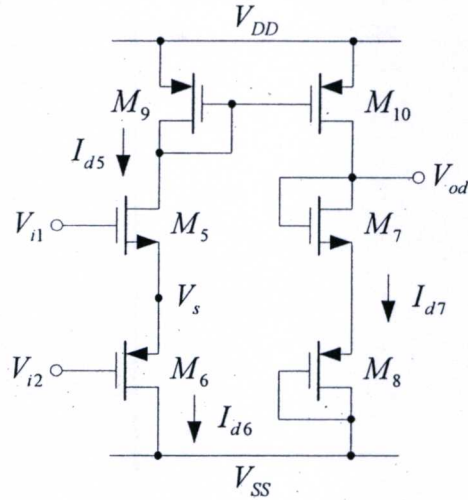
$$V_{op} \cong \frac{V_1 + V_2}{2} - |V_{Tp}| - \sqrt{\frac{I_{DD}}{2K_3} \left[1 + \frac{K_3}{4I_{DD}} (2V_1V_2 - V_1^2 - V_2^2) \right]} \quad (3.7)$$

แรงดันเอาต์พุต V_{on} และ V_{op} ของวงจรไดโอดคู่ดังกล่าวสมการ (3.5) และ (3.7) ประกอบด้วยเทอมผลบวก ผลคูณและเทอมยกกำลังสองของแรงดันอินพุต เมื่อจุดประสงค์อยู่ที่การออกแบบวงจรผลบวกของแรงดันอินพุตและเทอมยกกำลังสองจะต้องถูกกำจัดออกไป อย่างไรก็ตาม จากวงจรรูปที่ 3.1 พบว่าวงจรไดโอดชนิด N และ P ยังมีปัญหาที่มีกระแสไฟตรงไหลเข้าสู่แหล่งจ่ายแรงดันอินพุต V_1 และ V_2 ซึ่งแก้ไขได้โดยการใช้วงจรไดโอดแบบสมมาตรดังวงจรในรูปที่ 3.2 จากโครงสร้างวงจรที่ออกแบบให้ทรานซิสเตอร์ M_1 และ M_3 ต่ออนุกรมกัน เช่นเดียวกับ M_2 อนุกรมกับ M_4 ดังนั้น กระแสไฟตรงทั้งหมดที่ไหลผ่าน M_1 จะไหลเข้าสู่ทรานซิสเตอร์ M_3 และกระแสทรานซิสเตอร์ M_2 ไหลเข้าสู่ทรานซิสเตอร์ M_4 ด้วยปริมาณที่เท่ากัน ทำให้ไม่มีกระแสไฟตรงไหลเข้าสู่แหล่งจ่ายแรงดันอินพุตตามที่ต้องการ

3.2 วงจรลบแรงดัน

เพื่อที่จะกำจัดแรงดันอินพุตโหมคร่วม $(V_1+V_2)/2$ ในสมการ (3.5) และสมการ (3.7) วงจรลบแรงดันในรูปที่ 3.3 จึงถูกออกแบบขึ้น โดยที่ V_{i1} , V_{i2} และ V_{od} คือแรงดันอินพุตและแรงดันเอาต์พุตตามลำดับ เมื่อทรานซิสเตอร์ $M_5 = M_7$ และ $M_6 = M_8$ วงจรสะท้อนกระแส $M_9 - M_{10}$ มีอัตราขยายเท่ากับ 1 กระแสทรานซิสเตอร์คำนวณได้เป็น

$$I_{d5} = K_5(V_{i1} - V_S - V_{Tn})^2 \quad (3.8)$$



รูปที่ 3.3 วงจรลบแรงดัน

$$I_{d6} = K_6 (V_S - V_{i2} - |V_{Tp}|)^2 \quad (3.9)$$

จากวงจร ทรานซิสเตอร์ M_5 อนุกรมกับ M_6 จะได้

$$I_{d5} = I_{d6} \quad (3.10)$$

เมื่อออกแบบให้วงจรสะท้อนกระแส $M_9 - M_{10}$ มีอัตราขยายเท่ากับ 1 ดังนั้น

$$I_{d5} = I_{d7} \quad (3.11)$$

พิจารณาที่จุดเอาต์พุต แรงดันเอาต์พุต V_{od} หาค่าได้จาก

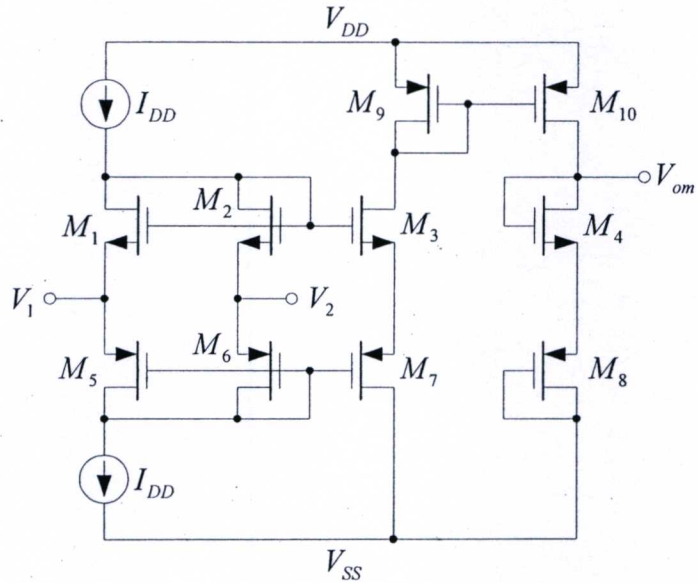
$$V_{od} = V_{gs7} + V_{sg8} + V_{SS} \quad (3.12)$$

เมื่อ V_{gs7} และ V_{sg8} คือความต่างศักย์ที่เกต-ซอร์สของทรานซิสเตอร์ $M_7 - M_8$ ตามลำดับ จากสมการ (3.8) ถึงสมการ (3.12) จะสามารถเขียนสมการความสัมพันธ์ระหว่างแรงดันเอาต์พุต V_{od} กับแรงดันอินพุต V_{i1} และ V_{i2} ได้เป็น

$$V_{od} = V_{i1} - V_{i2} + V_{SS} \quad (3.13)$$

3.3 วงจรคูณแวนะล็อกเชิงแรงดัน

วงจรมคูณแวนะล็อกเชิงแรงดันออกแบบขึ้นจากพื้นฐานของวงจรไดโอดคู่ แสดงในรูปที่ 3.4 เมื่อทรานซิสเตอร์ $M_1 - M_2$ และ $M_5 - M_6$ คือวงจรไดโอดคู่สมมาตร ทรานซิสเตอร์ $M_3 - M_4$, $M_7 - M_8$ และ $M_9 - M_{10}$ ทำหน้าที่เป็นวงจรถบแรงดัน กำหนดให้ทรานซิสเตอร์ $M_1 - M_4$ มีคุณสมบัติเหมือนกันทุกประการและมีค่าสัมประสิทธิ์ความนำเท่ากับ K_1 ทรานซิสเตอร์ $M_5 - M_8$ มีคุณสมบัติ



รูปที่ 3.4 วงจรคูณแอมะล็อก

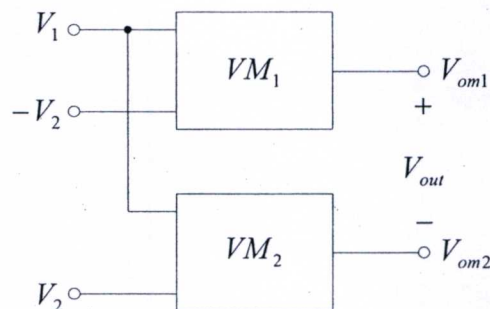
เหมือนกัน มีค่าสัมประสิทธิ์ความนำเท่ากับ K_5 ไบแอสทรานซิสเตอร์ทั้งหมดให้ทำงานอยู่ในช่วงอิมิตัวด้วยแหล่งจ่ายกระแสคงที่ I_{DD} จ่ายแรงดันอินพุต V_1 และ V_2 จากสมการ (3.5) สมการ (3.7) และสมการ (3.13) เราจะได้สมการของแรงดันเอาต์พุต V_{om} เป็น

$$V_{om} = V_{DC} + \left(\frac{\sqrt{K_1} + \sqrt{K_5}}{\sqrt{32I_{DD}}} \right) (2V_1V_2 - V_1^2 - V_2^2) \quad (3.14)$$

เมื่อแรงดันไฟตรง V_{DC} มีค่า

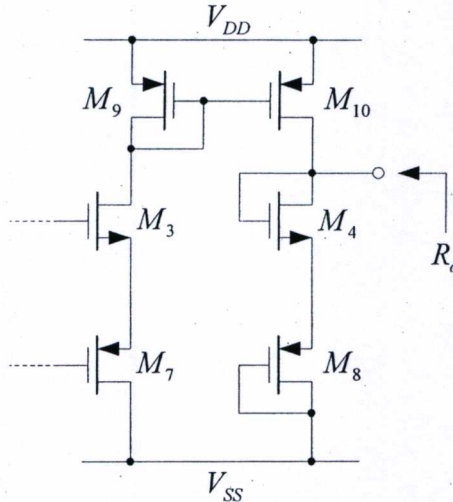
$$V_{DC} = V_{Tn} + |V_{Tp}| + \sqrt{\frac{I_{DD}}{2}} \left(\frac{1}{\sqrt{K_1}} + \frac{1}{\sqrt{K_5}} \right) + V_{SS} \quad (3.15)$$

สมการ (3.14) แสดงให้เห็นว่าแรงดันเอาต์พุต V_{om} อยู่ในรูปของผลคูณระหว่างแรงดันอินพุต V_1 และ V_2



รูปที่ 3.5 วงจรสมบูรณ์ของวงจรคูณเชิงแรงดัน

ค่าคงที่ของผลคูณขึ้นกับสัมประสิทธิ์ความนำหรือขนาดของทรานซิสเตอร์ M_1 ขนาดของ M_5 และแหล่งจ่ายกระแสคงที่ I_{DD} ตามลำดับ วงจรคูณในรูปที่ 3.5 ได้แสดงให้เห็นว่า เราสามารถออกแบบ วงจรคูณแอนะล็อก ที่ให้สัญญาณเอาต์พุตอยู่ในรูปของแรงดันได้โดยไม่ต้องใช้ตัวต้านทาน ในการเปลี่ยนกระแสเอาต์พุตให้เป็นแรงดันเหมือนดังวงจรคูณหลายแบบที่ผ่านมา



รูปที่ 3.7 วงจรต้านเอาต์พุตเพื่อหาค่า R_o

3.4 ความต้านทานอินพุตและความต้านทานเอาต์พุต

ความต้านทานอินพุตและความต้านทานเอาต์พุต เป็นคุณสมบัติที่สำคัญประการหนึ่งของ วงจรคูณ เนื่องจากการใช้งานนั้น จุดอินพุต V_1 , V_2 และจุดเอาต์พุต V_{out} ต่อเข้ากับวงจรอื่น ภายนอกซึ่งมีความต้านทานภายในอยู่ค่าหนึ่งเช่นเดียวกัน เพื่อหลีกเลี่ยงปัญหาการสูญเสียของ สัญญาณเมื่อมีการเชื่อมต่อวงจรคูณกับวงจรอื่นใดภายนอก จึงมีความจำเป็นต้องพิจารณาความ ต้านทานอินพุตและความต้านทานเอาต์พุตของวงจรคูณ ซึ่งความต้านทานอินพุตของวงจรคูณใน รูปที่ 3.5 สามารถพิจารณาได้จากวงจรในรูปที่ 3.4 เมื่อพิจารณาเฉพาะวงจรส่วนหน้าที่เกี่ยวข้องกับ ความต้านทานอินพุตจะได้ดังรูปที่ 3.6 โดยที่ความต้านทานอินพุตคือความต้านทานที่มองเข้าไปยังจุดอินพุต V_1 และ V_2 หรือ $-V_2$ ซึ่งจะมองเห็นทรานซิสเตอร์ที่ต่อวงจรแบบไดโอดคือ M_1 อนุกรมกับ M_2 ขนานกับ M_5 อนุกรมกับ M_6 เมื่อไม่คิดความต้านทานเอาต์พุตของทรานซิสเตอร์ (r_o) เราหาค่าความต้านทานอินพุตได้เป็น

$$R_{in} \cong \left(\frac{1}{g_{m1}} + \frac{1}{g_{m2}} \right) // \left(\frac{1}{g_{m5}} + \frac{1}{g_{m6}} \right) \quad (3.20)$$

ด้วยวิธีการเดียวกัน เราสามารถคำนวณหาค่าความต้านทานเอาต์พุตของวงจรคูณได้ด้วย การพิจารณาจากวงจรต้านเอาต์พุตของวงจรคูณดังรูปที่ 3.7 ซึ่งเขียนขึ้นเฉพาะวงจรส่วนเอาต์พุต เท่านั้น และสามารถหาค่าความต้านทานเอาต์พุต R_o ได้คือ

$$R_o = r_{o10} // \left(\frac{1}{g_{m4}} + \frac{1}{g_{m8}} \right) \quad (3.21)$$

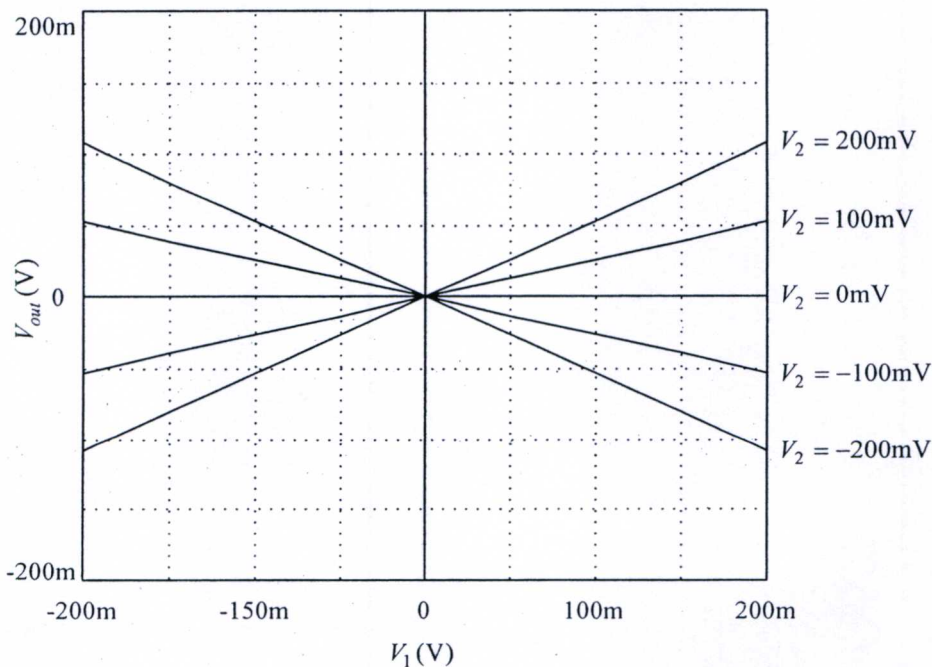
โดยที่ r_{o10} คือความต้านทานเอาต์พุตของทรานซิสเตอร์ M_{10} เนื่องจากวงจรคูมในรูปที่ 3.5 ประกอบด้วย VM_1 และ VM_2 ดังนั้น ความต้านทานเอาต์พุตของวงจรคูม R_{out} จึงมีค่า $R_{out} = 2R_o$

3.5 ผลจำลองการทำงาน

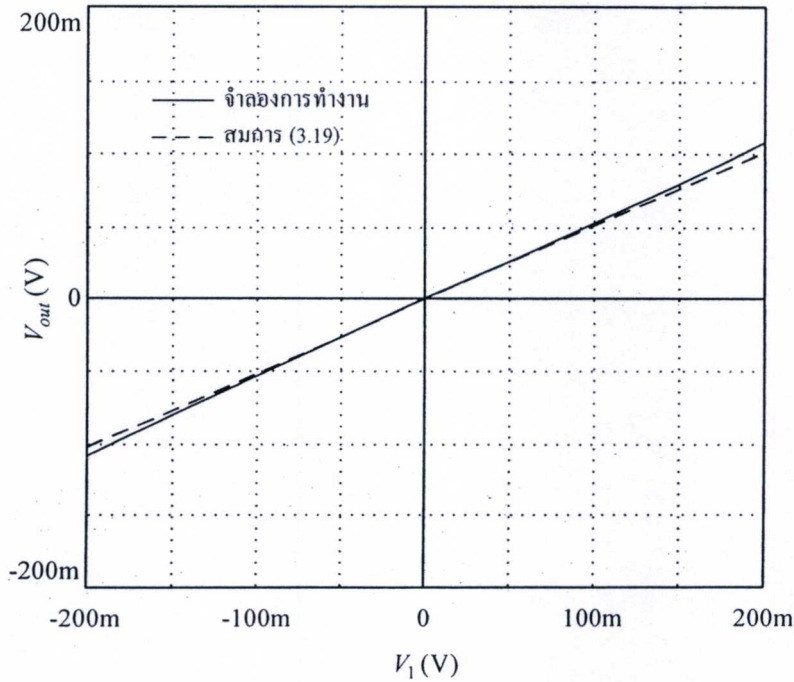
ได้จำลองการทำงานวงจรคูมในรูปที่ 3.5 ด้วยโปรแกรม PSPICE โดยใช้โมเดลพารามิเตอร์ TSMC $0.35\mu\text{m}$ ทรานซิสเตอร์ $M_1 - M_4$ มีขนาด $3\mu\text{m}/5\mu\text{m}$ ทรานซิสเตอร์ $M_5 - M_8$ ขนาด $6\mu\text{m}/3\mu\text{m}$ และ $M_9 - M_{10}$ ขนาด $20\mu\text{m}/3\mu\text{m}$ แหล่งจ่ายแรงดันไฟตรงมีค่า $\pm 1.5\text{V}$ แหล่งจ่ายกระแสที่ $I_{DD} = 20\mu\text{A}$ กำลังงานสูญเสียที่จุดทำงาน 0.24mW

รูปที่ 3.8 แสดงผลการตอบสนองต่อแรงดันไฟตรงโดยทำการปรับค่าแรงดันอินพุต V_1 จาก -200mV ถึง 200mV และปรับค่า V_2 ครั้งละ 100mV เมื่อเปรียบเทียบกับสมการแรงดันเอาต์พุตในสมการ 3.19 จะได้ดังรูปที่ 3.9 ซึ่งแรงดันเอาต์พุตจากการจำลองการทำงานมีความผิดพลาด 7.45% ที่แรงดันอินพุต V_1 เท่ากับ 200mV และ V_2 เท่ากับ 200mV เมื่อลดขนาดแรงดันอินพุต V_2 เป็น 100mV ความผิดพลาดที่ได้มีค่าเป็น 4.35%

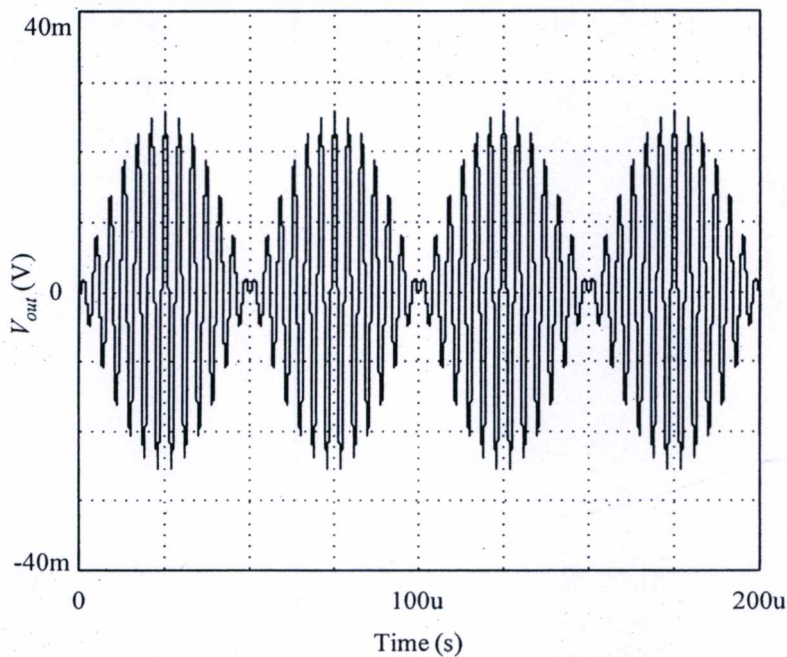
รูปที่ 3.10 เป็นการประยุกต์ใช้งานวงจรคูมเป็นวงจรผสมสัญญาณ โดยให้แหล่งจ่ายแรงดันอินพุต V_1 เป็นสัญญาณไซน์ความถี่ 10kHz ขนาด 100mV และ V_2 ความถี่ 250kHz ขนาด 100mV เช่นเดียวกัน เมื่อพิจารณาแกนความถี่ ผลที่ได้แสดงดังรูปที่ 3.11 ซึ่งจะสังเกตเห็นได้ว่ามีองค์ประกอบของความถี่ที่ไม่ต้องการเจือปนอยู่ อันเป็นผลจากการประมาณอนุกรมเทเลอร์



รูปที่ 3.8 คุณสมบัติการตอบสนองต่อไฟตรง

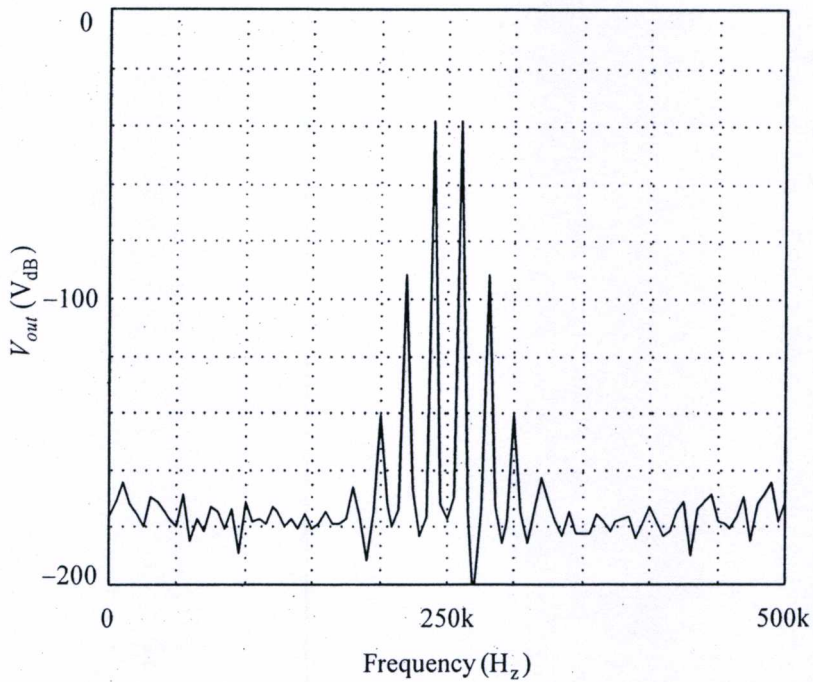


รูปที่ 3.9 คุณสมบัติทางไฟตรงเมื่อ $V_2 = 300\text{mV}$ เปรียบเทียบกับสมการ (3.19)

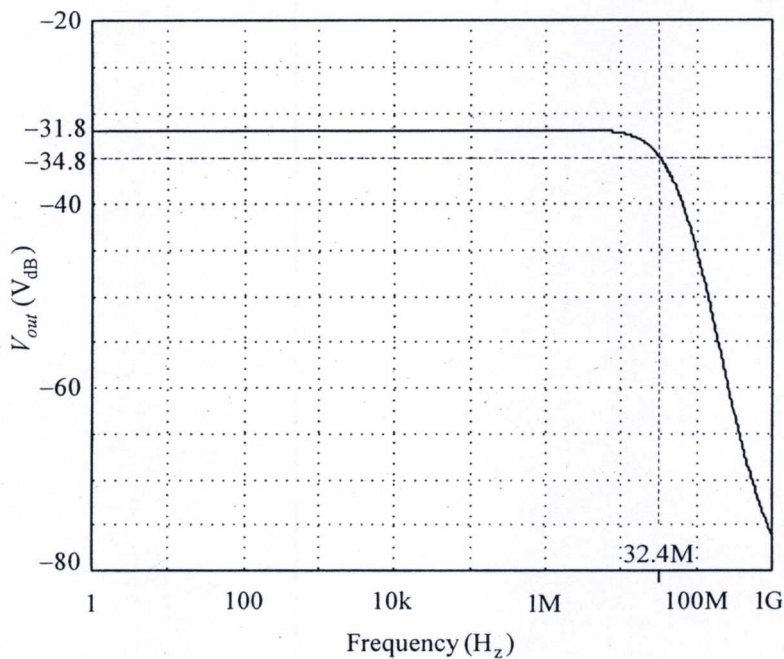


รูปที่ 3.10 การผสมสัญญาณ ไซน์ความถี่ 10kHz และ 250kHz ขนาด 100mV

รูปที่ 3.12 แสดงผลตอบสนองเชิงความถี่ของวงจรคูณ ซึ่งมีวิธีการวัดโดยให้แรงดันอินพุตหนึ่งเป็นแรงดันไฟตรง และ แรงดันอินพุตที่สองเป็นแรงดันไฟสลับปรับความถี่ ในที่นี้ทำการวัดโดยให้โดยให้แรงดันอินพุต V_1 เป็นแรงดันไฟตรงค่า 100mV และ V_2 เป็นแหล่งจ่ายแรงดันไฟสลับมีขนาดเท่ากับ 100mV ปรับความถี่ จากผลจำลองการทำงาน ความถี่คัตออฟของวงจรที่ -3dB อยู่ที่ความถี่ 32.4MHz

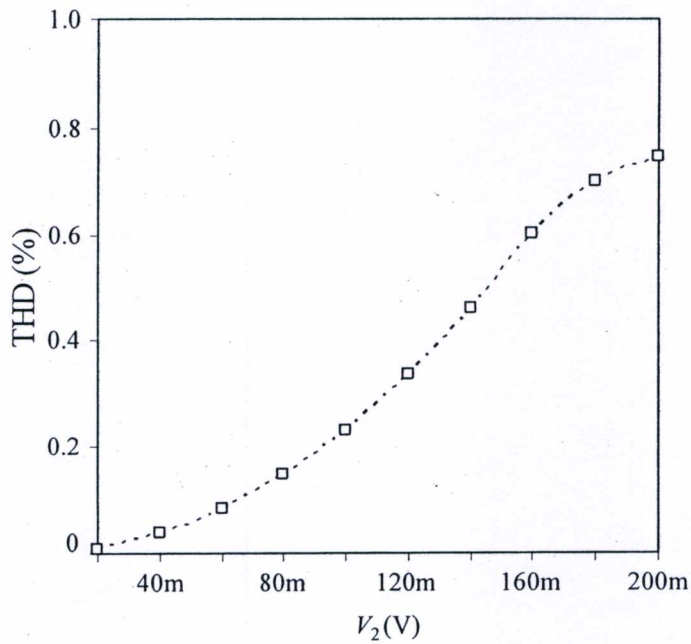


รูปที่ 3.11 แรงดันเอาต์พุตในรูปที่ 3.10 เมื่อพิจารณาแกนความถี่



รูปที่ 3.12 ผลตอบสนองเชิงความถี่ ความถี่คัตออฟเท่ากับ 32.4MHz

รูปที่ 3.13 แสดงความเพี้ยนฮาร์มอนิกของวงจรคูณซึ่งวัดโดยทำการจ่ายแรงดันอินพุต V_1 เป็นแรงดันไฟตรงค่า 200mV และ แรงดันอินพุต V_2 เป็นสัญญาณไซน์ความถี่ 10kHz ปรับค่าจาก 20mV ถึง 200mV โดยปรับค่าเพิ่มขึ้นครั้งละ 20mV ผลที่ได้จากการจำลองการทำงานพบว่า ความเพี้ยนต่ำสุดเท่ากับ 0.01% ที่แรงดันอินพุตต่ำสุด 20mV และความเพี้ยนสูงสุดเป็น 0.74% ที่แรงดันอินพุตสูงสุด 200mV



รูปที่ 3.13 ความเพี้ยนฮาร์โมนิกเมื่อ $V_1 = 200\text{mV}$ ปรับค่า V_2

3.6 สรุป

จุดประสงค์หลักในการออกแบบวงจรคูณเชิงแรงดัน คือ การออกแบบวงจรคูณซึ่งรับอินพุตเป็นแรงดันและให้สัญญาณเอาต์พุตที่อยู่ในรูปของแรงดัน โดยไม่ต้องใช้ตัวต้านทาน จากคุณสมบัติของวงจรถอดโอดคู่ ที่ให้แรงดันเอาต์พุตประกอบด้วยองค์ประกอบของแรงดันอินพุตโหมคร่วม ผลคูณของแรงดันอินพุต และเทอมแรงดันอินพุตยกกำลังสอง ทำให้สามารถออกแบบเป็นวงจรคูณเชิงแรงดันได้ด้วยการกำจัดเทอมที่ไม่ต้องการออกไป ให้เหลือแต่เฉพาะเทอมผลคูณระหว่างแรงดันอินพุตทั้งสองเท่านั้น วิธีการในการคัดเลือกเทอมผลคูณของแรงดันอินพุตทำได้โดยการใช้วงจรถอดโอดคู่แบบสมมาตรและวงจรถบแรงดัน ตลอดจนการออกแบบเป็นวงจรถบรูปของวงจรคูณเชิงแรงดันที่จ่ายแรงดันอินพุตเป็นแบบขั้วเดียวและสองขั้วแบบสมมูล ทำให้สามารถออกแบบวงจรคูณแอนะล็อกซึ่งรับสัญญาณอินพุต และให้แรงดันเอาต์พุตโดยไม่ต้องใช้ตัวต้านทานตามต้องการ

อย่างไรก็ตาม วงจรคูณที่ออกแบบขึ้นมีความต้านทานอินพุตค่าต่ำอันเนื่องมาจากวงจรส่วนอินพุตมีโครงสร้างเป็นวงจรถอดโอดคู่ซึ่งอาจมีความเหมาะสมในการใช้งานในบางด้าน ถ้าต้องการให้ความต้านทานอินพุตมีค่ามากขึ้น สามารถทำได้โดยการต่อวงจรขยายบัฟเฟอร์ (Buffer) ที่จุดอินพุตของวงจร ส่วนความต้านทานเอาต์พุตของวงจรคูณเชิงแรงดันที่มีค่าต่ำนั้นถือเป็นข้อดีประการหนึ่ง เพราะเมื่อมีการเชื่อมต่อวงจรคูณเข้ากับวงจรอื่นภายนอก แรงดันเอาต์พุตของวงจรคูณแอนะล็อกสามารถส่งผ่านไปยังวงจรภาคถัดไปได้ โดยไม่เกิดปัญหาจากการไม่เข้ากันของความต้านทานเอาต์พุตของวงจรคูณกับความต้านทานอินพุตของวงจรภายนอก

บทที่ 4

วงจรรูณเชิงแรงดันจากโครงสร้างวงจรรขยายผลต่าง

ในบทที่ 3 ได้นำเสนอวงจรรูณแอนะล็อกเชิงแรงดันที่รับแรงดันอินพุตและให้สัญญาณเอาต์พุตในรูปแบบของแรงดัน โดยไม่ใช้ตัวต้านทาน จากโครงสร้างวงจรรูณโคโอดคู่และวงจรรูณโคโอดคู่แบบสมมาตรในภาคอินพุตของวงจรรูณส่งผลให้ความต้านทานอินพุตมีค่าต่ำ ในบทนี้จึงนำเสนอวงจรรูณแอนะล็อกเชิงแรงดันที่ใช้วงจรรูณอินพุตตัดแปลงจากวงจรรขยายผลต่าง [20] ให้ความต้านทานอินพุตของวงจรรูณได้รับการปรับปรุงให้มีค่าสูงขึ้น

4.1 วงจรรขยายผลต่าง

วงจรรขยายผลต่างที่ใช้ทรานซิสเตอร์แบบ MOS แสดงในรูปที่ 4.1 โครงสร้างประกอบด้วยทรานซิสเตอร์ $M_1 - M_2$ ที่มีคุณสมบัติเหมือนกันทุกประการและไบแอสให้ทำงานในช่วงอิมิตัวด้วยแหล่งจ่ายกระแสคงที่ I_{SS} ไม่คิดผลของความต้านทานเอาต์พุตของทรานซิสเตอร์และผลของบอดี้ เมื่อจ่ายแรงดันอินพุต V_1 และ V_2 จะคำนวณกระแสเดรนของทรานซิสเตอร์ I_{d1} และ I_{d2} ได้ดังต่อไปนี้

$$I_{d1} = K(V_{gs1} - V_{Tn})^2 \quad (4.1)$$

$$I_{d2} = K(V_{gs2} - V_{Tn})^2 \quad (4.2)$$

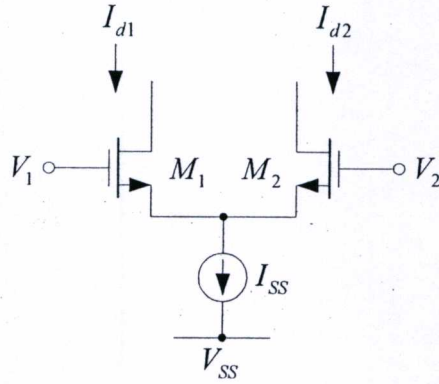
เมื่อ K คือค่าสัมประสิทธิ์ความนำของทรานซิสเตอร์มีค่า $K = \mu_n C_{ox} W/2L$ ส่วน V_{Tn} และ V_{gs1} , V_{gs2} คือแรงดันขั้วเริ่มและความต่างศักย์ที่เกิด-ซอร์สของทรานซิสเตอร์ M_1 , M_2 ตามลำดับ จากโครงสร้างวงจรรขยายผลต่างพบว่า ผลรวมของกระแสเดรน I_{d1} และ I_{d2} มีค่าเท่ากับกระแสไบแอส I_{SS} ดังนั้น

$$I_{d1} + I_{d2} = I_{SS} \quad (4.3)$$

จากสมการ (4.1), สมการ (4.2), และสมการ (4.3) สามารถหาค่ากระแสเดรน I_{d1} และ I_{d2} ได้เป็น

$$I_{d1} = \frac{I_{SS}}{2} + \sqrt{2KI_{SS}} \left(\frac{V_{id}}{2} \right) \sqrt{1 - \frac{(V_{id}/2)^2}{(I_{SS}/2K)}} \quad (4.4)$$

$$I_{d2} = \frac{I_{SS}}{2} - \sqrt{2KI_{SS}} \left(\frac{V_{id}}{2} \right) \sqrt{1 - \frac{(V_{id}/2)^2}{(I_{SS}/2K)}} \quad (4.5)$$



รูปที่ 4.1 วงจรขยายผลต่าง

เมื่อ V_{id} คือแรงดันอินพุตผลต่างมีค่า $V_{id} = V_1 - V_2$ วงจรขยายผลต่างที่ใช้ทรานซิสเตอร์แบบ MOS นั้นมีข้อดีหลายประการ เช่น ความต้านทานอินพุตมีค่าสูงมาก ช่วงการรับอินพุตกำหนดได้จากขนาดของทรานซิสเตอร์และกระแสไบแอส I_{SS} ทำให้ผู้ออกแบบสามารถกำหนดช่วงการใช้งานได้โดยไม่ต้องใช้ตัวต้านทานเหมือนดังเช่นวงจรขยายผลต่างใช้ทรานซิสเตอร์ BJT

4.2 วงจรคูณเชิงแรงดันอย่างง่าย

ในที่นี้ จะได้นำเสนอการประยุกต์ใช้งานวงจรขยายผลต่างเป็นวงจรมคูณแอมพลิจูดเชิงแรงดัน โดยการจ่ายแรงดันอินพุตเข้าที่เกต และ คิ่งสัญญาณเอาต์พุตในรูปแบบของแรงดันจากขาซอร์สของทรานซิสเตอร์ พิจารณาวงจรคูณอย่างง่ายในรูปที่ 4.2 (ก) กำหนดให้ทรานซิสเตอร์ M_1 - M_2 มีคุณสมบัติเหมือนกัน ไบแอสให้ทำงานในช่วงอิมิตัวด้วยแหล่งจ่ายกระแสคิ่งที่ I_{SS} เมื่อจ่ายแรงดันอินพุต V_1 และ V_2 โดยที่ V_{sn} เป็นแรงดันเอาต์พุต เราคำนวณกระแสคิ่ง I_{d1} และ I_{d2} ได้เป็น

$$I_{d1} = K_1 (V_1 - V_{sn} - V_{Tn})^2 \quad (4.6)$$

$$I_{d2} = K_1 (V_2 - V_{sn} - V_{Tn})^2 \quad (4.7)$$

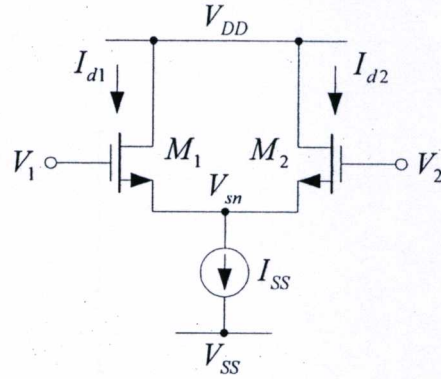
$$I_{SS} = I_{d1} + I_{d2} \quad (4.8)$$

โดยที่ K_1 คือสัมประสิทธิ์ความนำของทรานซิสเตอร์ M_1 - M_2 แทนสมการ (4.6) และ สมการ (4.7) ลงในสมการ (4.8) จะได้แรงดันเอาต์พุต V_{sn} มีค่า

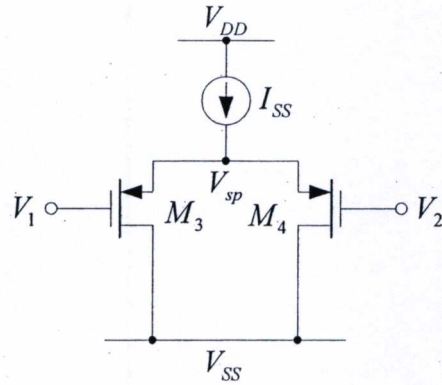
$$V_{sn} = \frac{V_1 + V_2}{2} - V_{Tn} - \sqrt{\frac{I_{SS}}{2K_1} \left(1 + \frac{K_1}{2I_{SS}} (2V_1V_2 - V_1^2 - V_2^2) \right)} \quad (4.9)$$

จากอนุกรมเทเลอร์ที่ประมาณให้ $\sqrt{1+x} \cong 1+x/2$ เมื่อ $|x| \ll 1$ คิ่งนั้นในสมการ (4.9) เมื่อ

$\left| \frac{K_1}{2I_{SS}} (2V_1V_2 - V_1^2 - V_2^2) \right| \ll 1$ จะสามารถเขียนสมการ (4.9) ได้ใหม่เป็น



(ก) ชนิด N



(ข) ชนิด P

รูปที่ 4.2 วงจรคูณอย่างง่าย

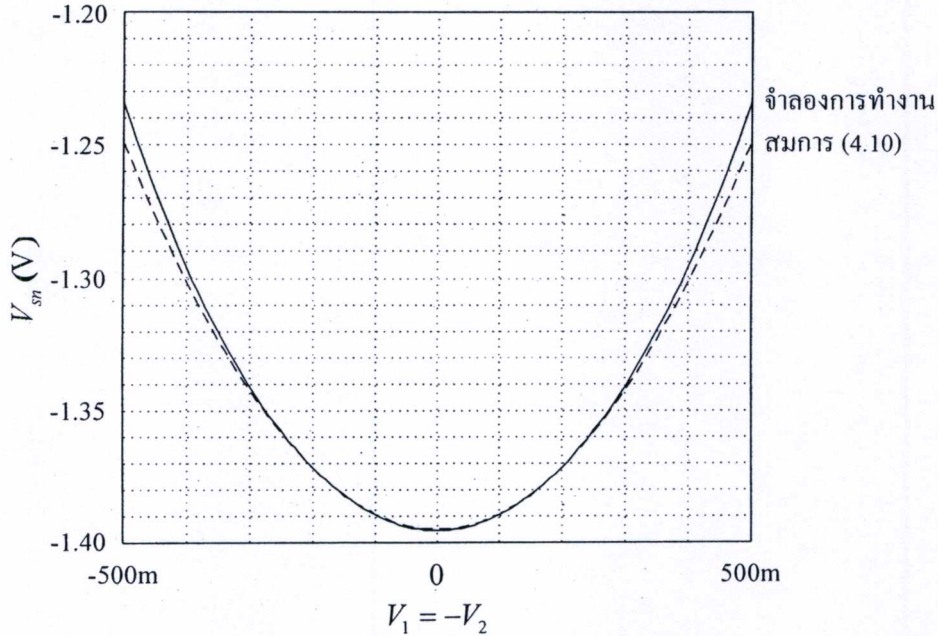
$$V_{sn} \cong \frac{V_1 + V_2}{2} - V_{Tn} - \sqrt{\frac{I_{SS}}{2K_1} \left[1 + \frac{K_1}{4I_{SS}} (2V_1V_2 - V_1^2 - V_2^2) \right]} \quad (4.10)$$

ซึ่งพบว่าแรงดันเอาต์พุต V_{sn} ประกอบด้วยเทอมผลคูณระหว่างแรงดันอินพุต V_1 และ V_2 ดังนั้น ถ้าหากกำจัดองค์ประกอบอื่นที่ไม่ต้องการออกไป เราจะได้วงจรคูณแอนะล็อกเชิงแรงดันซึ่งมีพื้นฐานจากวงจรถยายผลต่างได้ และด้วยวิธีการเดียวกัน เราหาค่าแรงดันเอาต์พุต V_{sp} ในรูปที่ 4.2 (ข) โดยประมาณได้เป็น

$$V_{sp} \cong \frac{V_1 + V_2}{2} + |V_{Tp}| + \sqrt{\frac{I_{SS}}{2K_3} \left[1 + \frac{K_3}{4I_{SS}} (2V_1V_2 - V_1^2 - V_2^2) \right]} \quad (4.11)$$

เมื่อ V_{Tp} คือแรงดันขีดเริ่มของทรานซิสเตอร์ชนิด P และ K_3 คือสัมประสิทธิ์ความนำของทรานซิสเตอร์ $M_3 - M_4$ เพื่อเป็นการทดสอบการทำงานของวงจรถยายผลต่างได้ทำการจำลองการทำงานวงจรในรูปที่ 4.2 (ก) ด้วยโปรแกรม PSPICE เปรียบเทียบกับสมการ (4.10) ทรานซิสเตอร์ M_1 และ M_2 มีค่าอัตราส่วนความกว้างต่อความยาวแชนแนล $W/L = 5\mu\text{m}/14\mu\text{m}$ แรงดันขีดเริ่ม V_{Tn}

$= 0.54V$ สัมประสิทธิ์ความนำ $k_p = 205\mu A/V^2$ และแหล่งจ่ายกระแสคงที่ $I_{SS} = 50\mu A$ จ่ายอินพุตทั้งสองในลักษณะแรงดันสมดุล และ ปรับแรงดันอินพุตจากค่าลบไปยังแรงดันบวกเพื่อวัดผลตอบสนองต่อแรงดันไฟตรง ผลที่ได้ในรูปที่ 4.3 พบว่ามีความสอดคล้องกับสมการ (4.10) ในช่วงแรงดันอินพุตค่าต่ำซึ่งเป็นผลจากการประมาณอนุกรมเทเลอร์



รูปที่ 4.3 คุณสมบัติการตอบสนองต่อไฟตรงของ V_{sn}

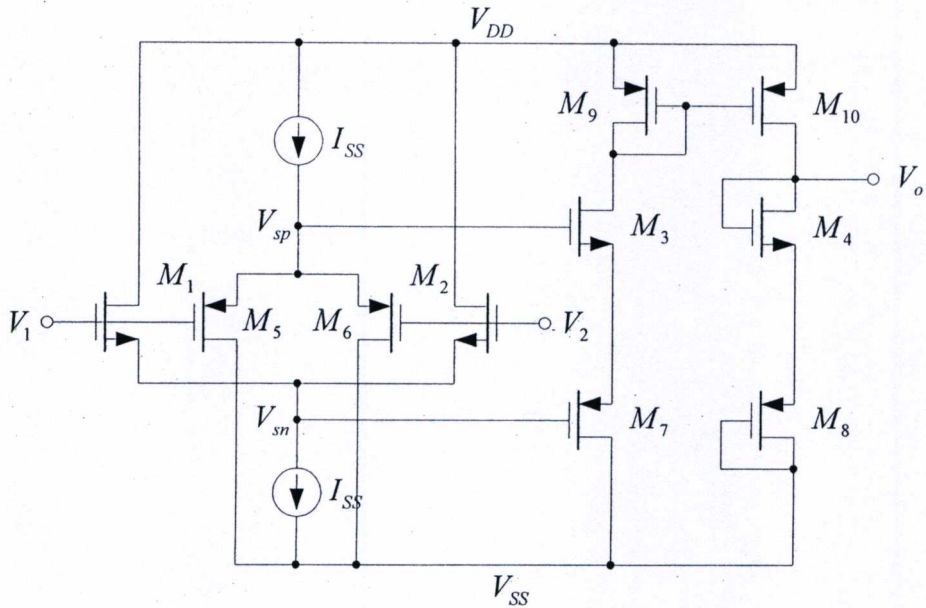
4.3 วงจรคูณเชิงแรงดันจากโครงสร้างวงจรรขยายผลต่าง

ด้วยวิธีการเดียวกันกับวงจรคูณในบทที่ 3 วงจรคูณอย่างง่ายในรูปที่ 4.2 จำเป็นต้องใช้วงจรถบแรงดันเพื่อกำจัดแรงดันอินพุตโหมคร่วม $(V_1 + V_2)/2$ รูปที่ 4.4 แสดงวงจรคูณแอนะล็อกเชิงแรงดันที่ปรับปรุงความต้านทานอินพุต โดยที่ $M_1 - M_2$ และ $M_5 - M_6$ คือวงจรถบอย่างง่าย $M_3 - M_4$, $M_7 - M_{10}$ เป็นวงจรถบแรงดัน เมื่อกำหนดให้ทรานซิสเตอร์ $M_1 - M_4$ มีคุณสมบัติเหมือนกันและมีค่าสัมประสิทธิ์ความนำเท่ากับ K_1 ทรานซิสเตอร์ $M_5 - M_8$ มีค่าสัมประสิทธิ์ความนำเท่ากับ K_5 และวงจรถบอินพุต $M_9 - M_{10}$ มีอัตราขยายกระแสเท่ากับหนึ่ง จากคุณสมบัติของวงจรถบสัญญาณในสมการ (3.13) เราหาค่าแรงดันเอาต์พุต V_o ได้เป็น

$$V_o = V_{sp} - V_{sn} + V_{SS} \quad (4.12)$$

จากสมการ (4.10), สมการ (4.11), และสมการ (4.12) แรงดันเอาต์พุต V_o ของวงจรถบมีค่าเท่ากับ

$$V_o = V_{DC} + \left(\frac{\sqrt{K_1} + \sqrt{K_5}}{\sqrt{32I_{SS}}} \right) (2V_1V_2 - V_1^2 - V_2^2) \quad (4.13)$$



รูปที่ 4.4 วงจรคูณจากโครงสร้างวงจรรขยายผลต่าง

โดยที่แรงดันออฟเซตไฟตรง V_{DC} มีค่าเท่ากับ

$$V_{DC} = V_{Tn} + |V_{Tp}| + \sqrt{\frac{I_{SS}}{2} \left(\frac{1}{\sqrt{K_1}} + \frac{1}{\sqrt{K_5}} \right)} + V_{SS} \quad (4.14)$$

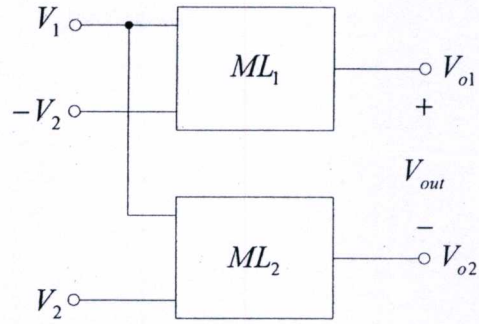
เพื่อทำการกำจัดเทอมแรงดันอินพุตยกกำลังสอง วงจรสมมูลของวงจรมอนสเตอร์เชิงแรงดันจากโครงสร้างวงจรรขยายผลต่างออกแบบได้ดังรูปที่ 4.5 ซึ่งประกอบด้วยวงจรมอนสเตอร์รูปที่ 4.4 จำนวน 2 ชุดคือ ML_1 และ ML_2 เมื่อจ่ายแรงดันอินพุต V_1 ในลักษณะขั้วเดียว และ แรงดันอินพุต V_2 เป็นแรงดัน 2 ขั้วแบบสมมูล แรงดันเอาต์พุต V_{out} ของวงจรมอนสเตอร์เชิงแรงดันที่ได้จากผลต่างของแรงดัน V_{o1} และ V_{o2} นั่นคือ

$$V_{out} = V_{o1} - V_{o2} \quad (4.15)$$

จะได้แรงดันเอาต์พุต

$$V_{out} = \left(\frac{\sqrt{K_1} + \sqrt{K_5}}{\sqrt{2I_{SS}}} \right) V_1 V_2 \quad (4.16)$$

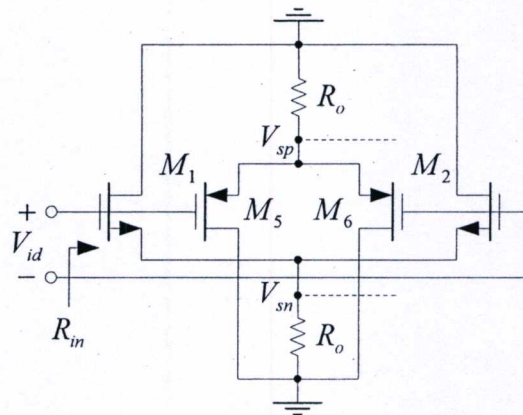
สมการ (4.16) แสดงให้เห็นว่า แรงดันเอาต์พุตของวงจรมอนสเตอร์เชิงแรงดันอยู่ในรูปของผลคูณระหว่างแรงดันอินพุต V_1 และ V_2 โดยที่เทอมแรงดันอินพุตยกกำลังสองได้ถูกกำจัดให้หมดไป ค่าคงที่ของผลคูณขึ้นกับสัมประสิทธิ์ความนำของทรานซิสเตอร์ M_1 , M_5 , และ แหล่งจ่ายกระแสคงที่ I_{SS} เช่นเดียวกับวงจรมอนสเตอร์จากโครงสร้างไดโอดคู่ในบทที่ 3



รูปที่ 4.5 วงจรสมมูลของวงจรคูณจากโครงสร้างวงจรรขยายผลต่าง

4.4 ความต้านทานอินพุตและความต้านทานเอาต์พุต

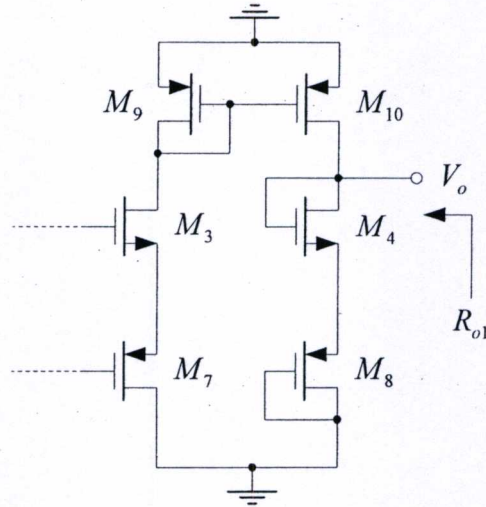
ความต้านทานอินพุตของวงจรคูณพิจารณาได้จากการมองเข้าไปที่จุดอินพุตของวงจร ในที่นี้ ความต้านทานอินพุตคือค่าความต้านทานที่แหล่งจ่ายแรงดันอินพุต V_{id} มองเห็น โดยที่ $V_{id} = V_1 - V_2$ รูปที่ 4.6 แสดงวงจรส่วนหน้าของวงจรคูณในรูปที่ 4.4 เมื่อพิจารณาเฉพาะสัญญาณขนาดเล็ก ความต้านทาน R_o คือความต้านทานเอาต์พุตของแหล่งจ่ายกระแสคงที่ I_{SS} รูปที่ 4.6 จะเห็นได้ว่า ความต้านทานอินพุต R_{in} ของวงจรคูณมีค่าเป็นอนันต์เนื่องจากโครงสร้างที่เกิดของทรานซิสเตอร์ NMOS และ PMOS มีลักษณะเปิดวงจร ดังนั้น ความต้านทานอินพุตของวงจรคูณแอนะล็อกเชิงแรงดันในรูปที่ 4.5 จึงมีค่า $R_{in} = \infty$



รูปที่ 4.6 วงจรภาคอินพุตของวงจรคูณ

ด้วยวิธีการเดียวกัน ความต้านทานเอาต์พุตของวงจรคูณแอนะล็อกเชิงแรงดันหาค่าได้จากการพิจารณาวงจรภาคเอาต์พุตดังรูปที่ 4.7 จะเห็นได้ว่าทรานซิสเตอร์ที่มีผลต่อความต้านทานเอาต์พุตคือ M_4 , M_8 และ M_{10} ดังนั้นความต้านทานเอาต์พุต R_{o1} ของวงจรคูณจากโครงสร้างวงจรรขยายผลต่างมีค่าเป็น

$$R_{o1} = \left(\frac{1}{g_{m4}} + \frac{1}{g_{m8}} \right) // r_{o10} \quad (4.17)$$



รูปที่ 4.7 วงจรภาคเอาต์พุตของวงจรรูณ

เมื่อ r_{o10} คือความต้านทานเอาต์พุตของทรานซิสเตอร์ M_{10} และในที่สุดความต้านทานทานเอาต์พุตของวงจรรูณแอนะล็อกเชิงแรงดันในรูปที่ 4.5 มีค่าเท่ากับ

$$R_{out} = 2R_{o1} \quad (4.18)$$

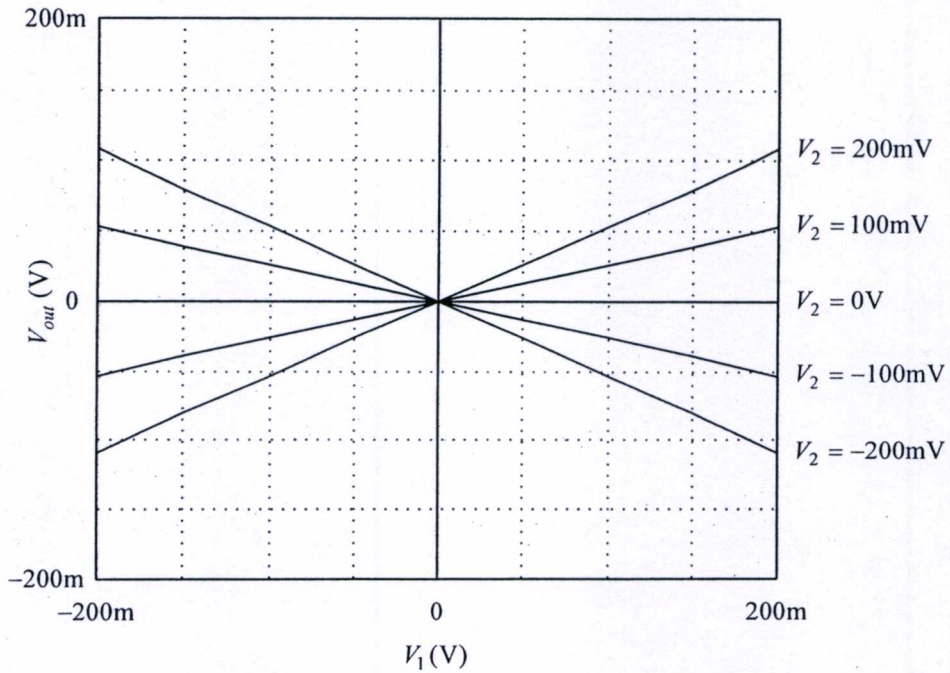
ซึ่งมีค่าเท่ากับความต้านทานเอาต์พุตของวงจรรูณแอนะล็อกเชิงแรงดันจากโครงสร้างไดโอดคู่ ที่นำเสนอในบทที่ 3

4.5 ผลจำลองการทำงาน

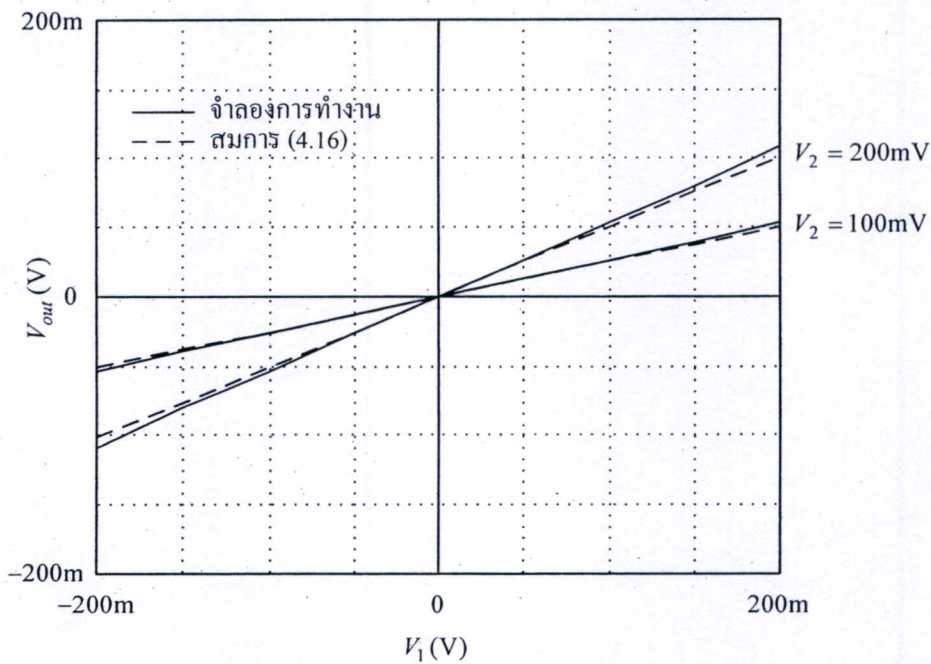
ได้จำลองการทำงานวงจรรูณจากโครงสร้างของวงจรรขยายผลต่างในรูปที่ 4.5 ด้วยโปรแกรม PSPICE โดยใช้ทรานซิสเตอร์โมเดลพารามิเตอร์ $0.35\mu\text{m}$ ทรานซิสเตอร์ $M_1 - M_4$ มีขนาดความกว้างต่อความยาวแชนแนลเท่ากับ $3\mu\text{m}/5\mu\text{m}$ ทรานซิสเตอร์ $M_5 - M_8$ มีขนาด $6\mu\text{m}/3\mu\text{m}$ และวงจระสะท้อนกระแส $M_9 - M_{10}$ มีขนาดเท่ากับ $20\mu\text{m}/3\mu\text{m}$ ตามลำดับ ไบแอสวงจรรูณด้วยแหล่งจ่ายกระแสคงที่ I_{SS} ค่า $20\mu\text{A}$ ใช้แหล่งจ่ายแรงดัน V_{DD} และ V_{SS} เท่ากับ $\pm 1.5\text{V}$

รูปที่ 4.8 แสดงคุณลักษณะการตอบสนองต่อแรงดันอินพุตไฟตรงซึ่งทำการปรับแรงดันอินพุต V_1 จากค่าแรงดัน -200mV ไปจนถึง 200mV และแรงดันอินพุต V_2 ทำการปรับจากช่วงแรงดันค่าเดียวกัน แต่ทำการปรับด้วยขนาดครึ่งละ 100mV เมื่อพิจารณาโดยคร่าวจะสังเกตเห็นได้ว่าที่ระดับแรงดันอินพุตค่าสูง คุณสมบัติการส่งผ่านมีลักษณะไม่เป็นเชิงเส้นเพิ่มมากขึ้น

รูปที่ 4.9 เป็นการเปรียบเทียบผลจำลองการทำงานคุณสมบัติการตอบสนองต่อแรงดันอินพุตไฟตรงกับกับสมการ (4.16) ที่แรงดันอินพุต V_1 และ V_2 เท่ากับ 200mV จะได้ความผิดพลาด 7.5% เมื่อ V_1 เท่ากับ 200mV และ V_2 เท่ากับ 100mV ความผิดพลาดลดลงเป็น 4.35%

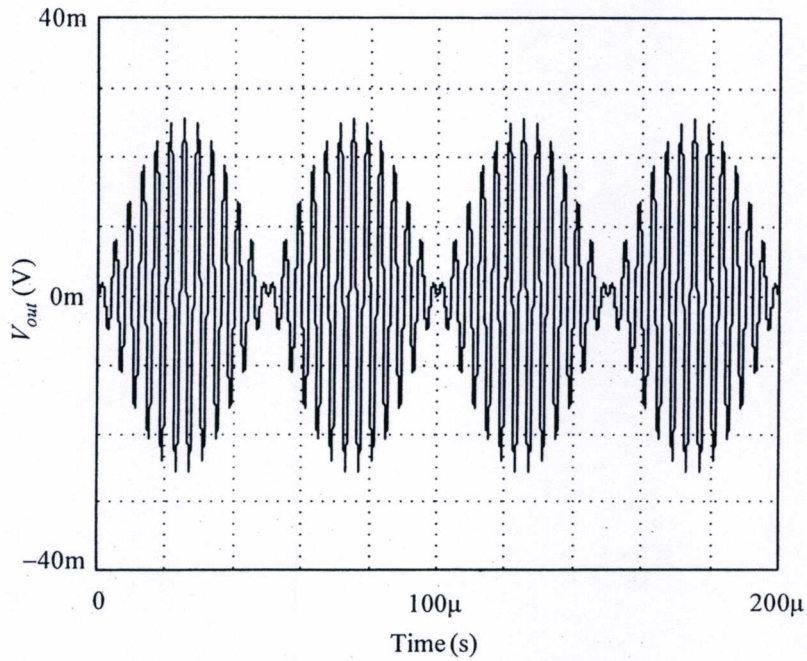


รูปที่ 4.8 ผลตอบสนองต่อแรงดันอินพุตไฟตรง

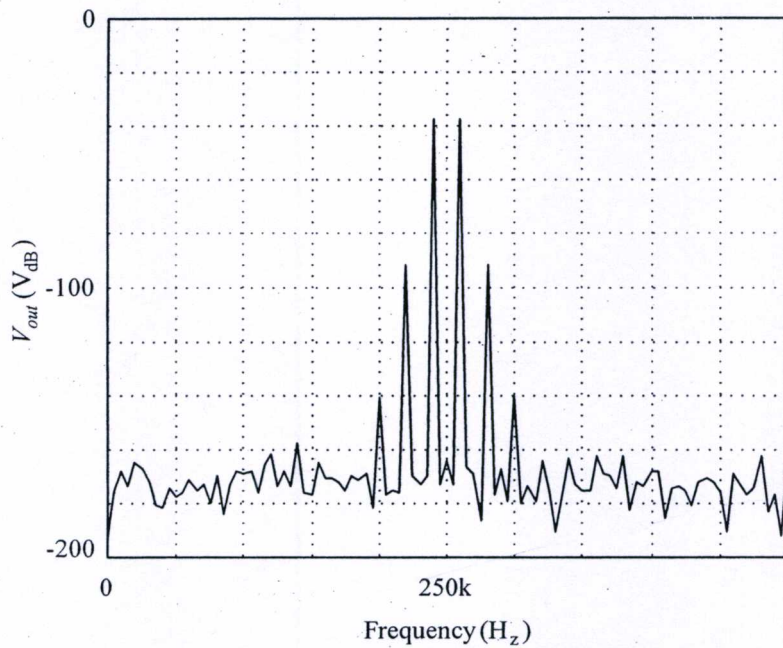


รูปที่ 4.9 คุณสมบัติการตอบสนองต่อแรงดันอินพุตไฟตรงเปรียบเทียบกับสมการ (4.16)

รูปที่ 4.10 แสดงการใช้วงจรคูณเป็นวงจรผสมสัญญาณไซน์ โดยให้แรงดันอินพุต V_1 และ V_2 มีขนาดเท่ากับ 100mV ความถี่ 10kHz และ 250kHz ตามลำดับ ซึ่งแสดงให้เห็นว่าแรงดันเอาต์พุต V_{out} ประกอบด้วยความถี่ 250kHz เปลี่ยนแปลงตามความถี่ 10kHz เมื่อพิจารณาในแกนความถี่ผลที่ได้แสดงในรูปที่ 4.11

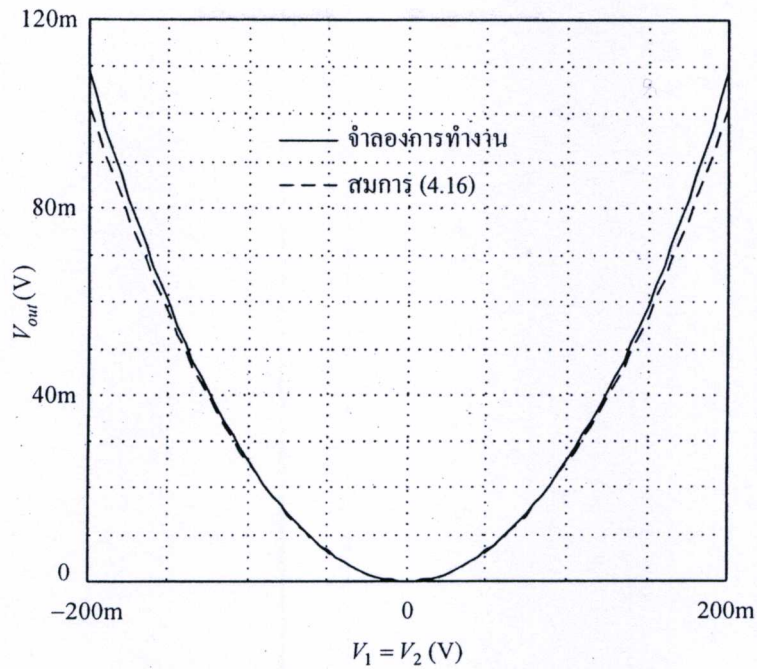


รูปที่ 4.10 การผสมสัญญาณ ไซน์ขนาด 100mV ความถี่ 10kHz และ 250kHz

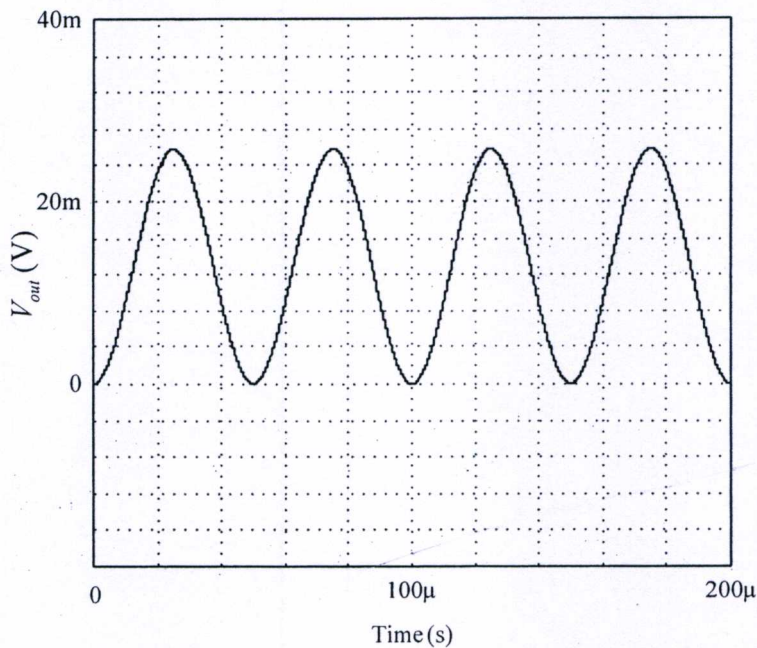


รูปที่ 4.11 การผสมสัญญาณ ไซน์เมื่อพิจารณาแกนความถี่

รูปที่ 4.12 เป็นผลจำลองการทำงานของวงจรคูณเมื่อทำหน้าที่เป็นวงจรถักกำลังสอง โดยจ่ายแรงดันอินพุตทั้งสองให้เหมือนกันทุกประการหรือเชื่อมต่อขั้วอินพุต V_1 เข้าด้วยกันกับขั้วอินพุต V_2 ทำการปรับค่าแรงดันอินพุตจาก -200mV ไปถึง 200mV พร้อมทั้งเปรียบเทียบผลที่ได้กับการวาดกราฟจากสมการ (4.16)

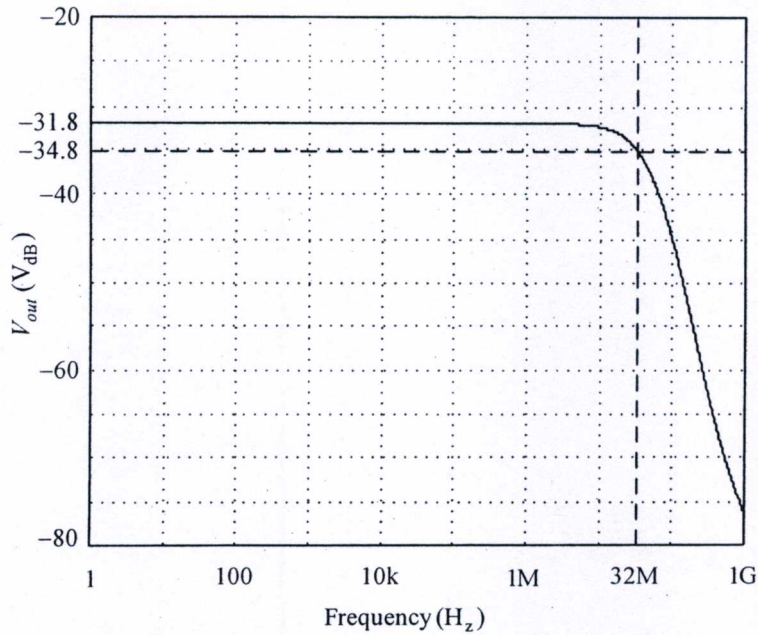


รูปที่ 4.12 คุณสมบัติการตอบสนองต่อแรงดันอินพุตไฟตรงเมื่อ $V_1 = V_2$

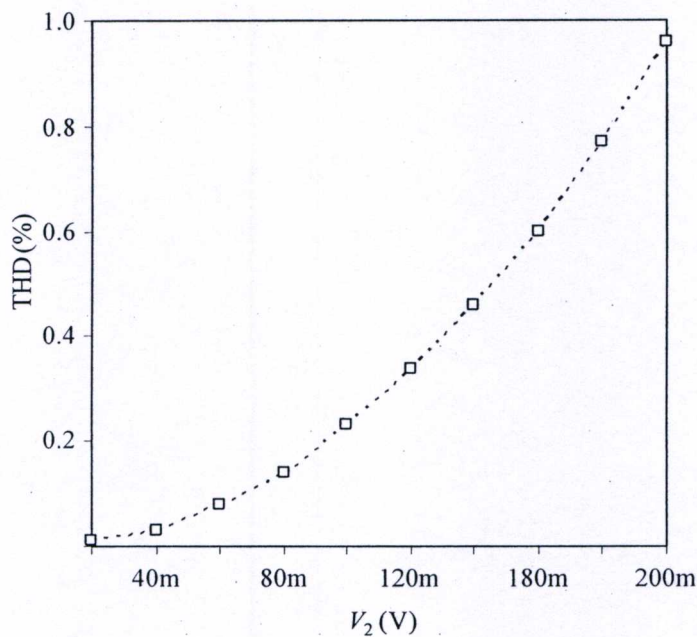


รูปที่ 4.13 แรงดันเอาต์พุตเมื่อแรงดันอินพุต $V_1 = V_2$ ขนาด 100mV ความถี่ 10kHz

รูปที่ 4.13 แสดงรูปสัญญาณเอาต์พุตของวงจรคูณเมื่อใช้งานเป็นวงจรรยกกำลังสอง เมื่อจ่ายแรงดันอินพุตเป็นสัญญาณไซน์ขนาด 100mV ขนาด 10kHz ผลที่ได้เป็นสัญญาณโคไซน์ ความถี่เป็นสองเท่าของความถี่สัญญาณอินพุต ซึ่งหมายถึงวงจรคูณสามารถประยุกต์ใช้งานเป็นวงจรรยกกำลังสองและวงจรสร้างความถี่สองเท่าได้



รูปที่ 4.14 ผลตอบสนองเชิงความถี่ ความถี่คัตออฟเท่ากับ 32MHz



รูปที่ 4.15 ความเพี้ยนฮาร์มอนิกที่ $V_1 = 200\text{mV}$ ปรับค่า V_2

ผลตอบสนองเชิงความถี่ของวงจรแอมพลิฟายเออร์ โดยให้ V_1 เป็นแรงดันไฟตรงค่า 100mV และ V_2 มีขนาดเท่ากันและปรับความถี่ซึ่งความถี่คัตออฟวัดได้ 32MHz ดังแสดงในรูปที่ 4.14 ความเพี้ยนฮาร์มอนิกของวงจรเทียบกับขนาดของแรงดันแสดงในรูปที่ 4.15 โดยจ่ายแรงดันอินพุต V_1 เป็นแรงดันไฟตรงค่า 200mV และแรงดันอินพุต V_2 เป็นสัญญาณไซน์ความถี่ 10kHz ปรับค่าจาก 20mV ถึง 200mV ครั้งละ 20mV จากกราฟจะเห็นได้ว่าความเพี้ยนฮาร์มอนิกเพิ่มขึ้นตามขนาดของแรงดันซึ่งจะมีขนาดสูงสุดเท่ากับ 0.96% ที่แรงดันอินพุตสูงสุด 200mV

4.6 สรุป

ในบทนี้ แสดงถึงการออกแบบวงจรมอนอะล็อกเชิงแรงดันจากการดัดแปลงวงจรมอนอะล็อกที่ใช้ทรานซิสเตอร์แบบ MOS โดยการจ่ายแรงดันอินพุตเข้าที่เกตและดึงสัญญาณเอาต์พุตออกที่ซอร์สของทรานซิสเตอร์ ทำให้สามารถแก้ปัญหาค่าความต้านทานอินพุตต่ำของวงจรมอนอะล็อกเชิงแรงดันจากโครงสร้างวงจรมอนอะล็อก จากการวิเคราะห์ด้วยสมการทางคณิตศาสตร์พบว่า สมการแสดงคุณสมบัติการคูณในวงจรมอนอะล็อกเชิงแรงดันจากโครงสร้างวงจรมอนอะล็อกผลต่าง มีลักษณะ เป็นเช่นเดียวกับสมการแรงดันอินพุตของวงจรมอนอะล็อกจากโครงสร้างมอนอะล็อก สิ่งที่แตกต่างกันอย่างชัดเจนของวงจรมอนอะล็อกทั้งสองเป็นเพียงความต้านทานอินพุตเท่านั้น

บทที่ 5

วงจรรวมเชิงแรงดันแบบควอเตอร์-สแควร์

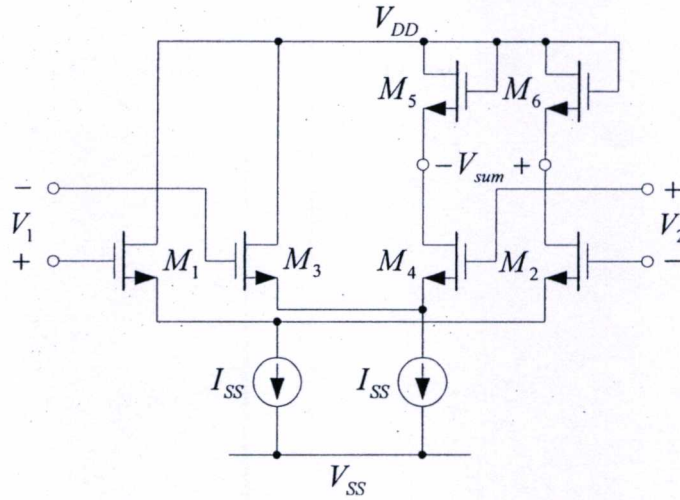
ในบทที่ 4 ได้นำเสนอวงจรรวมแอนะล็อกเชิงแรงดันจากโครงสร้างวงจรรขยายผลต่าง โดยการคัดแปลงให้จุดเอาต์พุตอยู่ที่ขาซอร์สของทรานซิสเตอร์ทั้งสองที่ต่อเชื่อมถึงกัน และ จากสมการแรงดันเอาต์พุตของวงจรรวมอย่างง่าย เราสังเกตเห็นได้ว่าแรงดันเอาต์พุตอยู่ในรูปแบบของผลคูณระหว่างแรงดันอินพุตทั้งสอง และ ยังประกอบด้วยแรงดันอินพุตทั้งสองยกกำลังสอง ดังนั้น จึงมีความเป็นไปได้ที่จะออกแบบวงจรรวมแอนะล็อกเชิงแรงดันแบบควอเตอร์-สแควร์ โดยใช้วงจรรวมอย่างง่ายจากโครงสร้างวงจรรขยายผลต่างในบทที่ 4 เป็นวงจรรวมกำลังสอง ซึ่งมีหลักการคือ [5]

$$V_o = (V_1 + V_2)^2 - (V_1 - V_2)^2 = 4V_1V_2 \quad (5.1)$$

พิจารณาสมการ (5.1) พบว่าผลคูณของแรงดัน V_1 กับ V_2 ขึ้นอยู่กับขั้นตอนการรวมสัญญาณอินพุต ผลรวมของสัญญาณอินพุตยกกำลังสอง และ ผลต่างของสัญญาณอินพุตที่ยกกำลังสองนั้น ในลำดับต่อไปจะได้นำเสนอถึงการออกแบบ และ การทำงานของวงจรรวมประกอบย่อยต่างๆ ที่รวมกันเป็นวงจรรวมแอนะล็อก 4 ควอดแดรนต์แบบควอเตอร์-สแควร์ ซึ่งรับสัญญาณอินพุตและให้เอาต์พุตเป็นแรงดัน โดยไม่ต้องใช้ตัวต้านทาน

5.1 วงจรรวมสัญญาณ

ด้วยหลักการของวงจรรวมแบบควอเตอร์-สแควร์ ที่จำเป็นต้องใช้วงจรรวม และ วงจรลบสัญญาณเพื่อสร้างผลบวกและผลต่างของแรงดันอินพุต [21] ในรูปที่ 5.1 แสดงวงจรรวมสัญญาณที่ออกแบบขึ้นจากพื้นฐานของวงจรรขยายผลต่างซึ่งประกอบด้วยทรานซิสเตอร์ $M_1 - M_2$ และ $M_3 - M_4$ โดยมีทรานซิสเตอร์ $M_5 - M_6$ ทำหน้าที่เป็นแอกติฟโหลด เมื่อทรานซิสเตอร์ทั้งหมดถูกไบแอสให้ทำงานในช่วงอิมิตัวด้วยแหล่งจ่ายกระแสคงที่ I_{SS} โดยมีแหล่งจ่ายแรงดัน V_1 และ V_2 เป็นแรงดันอินพุตแบบสมมูลตัวอย่างเช่น $V_1 = V_{DC} \pm V_1/2$ และ $V_2 = V_{DC} \pm V_2/2$ ซึ่ง V_{DC} คือแรงดันคอมมอนโหมดไฟตรง โดยที่ V_{sum} คือแรงดันเอาต์พุตซึ่งอยู่ในรูปของผลรวมของแรงดันอินพุตทั้งสอง เพื่อให้ง่ายในการวิเคราะห์จึงทำการแยกวงจรรขยายผลต่างและแอกติฟโหลดในวงจรรูปที่ 5.1 ออกเป็น 2 ชุด ดังวงจรรูปที่ 5.2 (ก) และ (ข) เมื่อทรานซิสเตอร์ $M_1 - M_4$ มีคุณสมบัติเหมือนกันทุกประการและมีค่าสัมประสิทธิ์ความนำเท่ากับ K_1 ทรานซิสเตอร์ $M_5 - M_6$ มีค่าสัมประสิทธิ์ความนำเท่ากับ K_5 เมื่อจ่ายแรงดันอินพุต V_1 และ V_2 ไม่คิดผลของบอดี้ เราสามารถเขียนความสัมพันธ์ระหว่างแรงดันอินพุต กับความต่างศักย์ระหว่างแรงดันเกต-ซอร์สของวงจรรวมในรูปที่ 5.2 (ก) ได้ดังต่อไปนี้



รูปที่ 5.1 วงจรรวมสัญญาณ

$$\left(\frac{V_1}{2} + \frac{V_2}{2}\right) = V_{gs1} - V_{gs2} \quad (5.2)$$

เมื่อ V_{gs1} และ V_{gs2} คือความต่างศักย์ที่เกต-ซอร์สของทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ โดยที่

$$V_{gs1} = \sqrt{\frac{I_{d1}}{K_1}} + V_{TH} \quad (5.3)$$

$$V_{gs2} = \sqrt{\frac{I_{d2}}{K_1}} + V_{TH} \quad (5.4)$$

แทน V_{gs1} และ V_{gs2} จากสมการ (5.3) และ (5.4) ลงในสมการ (5.2) จะได้

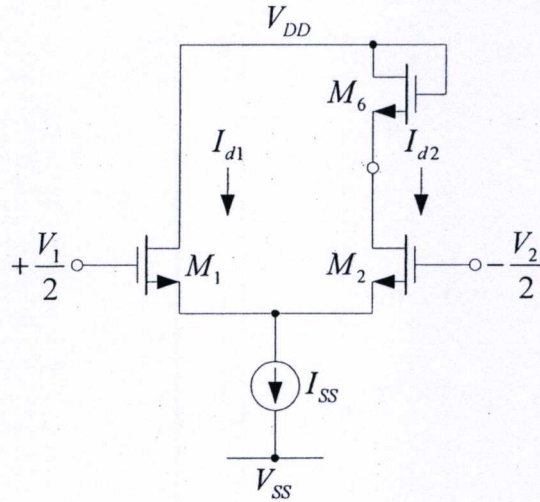
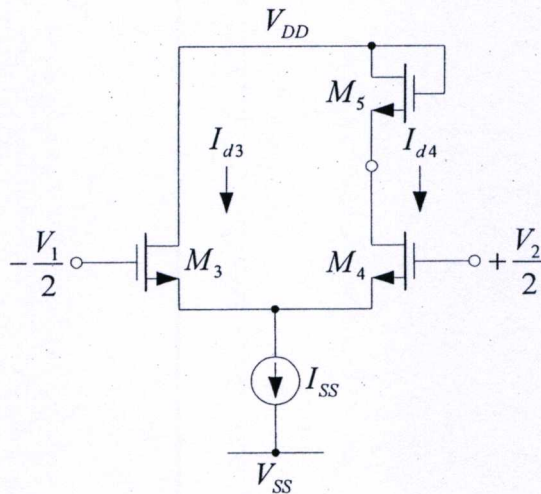
$$\left(\frac{V_1}{2} + \frac{V_2}{2}\right) = \sqrt{\frac{I_{d1}}{K_1}} - \sqrt{\frac{I_{d2}}{K_1}} \quad (5.5)$$

พิจารณารูปที่ 5.2 (ข) ในทำนองเดียวกัน เราจะได้

$$-\left(\frac{V_1}{2} + \frac{V_2}{2}\right) = V_{gs3} - V_{gs4} \quad (5.6)$$

ทำการแทนค่า $V_{gs3} = \sqrt{\frac{I_{d3}}{K_1}} + V_{TH}$ และ $V_{gs4} = \sqrt{\frac{I_{d4}}{K_1}} + V_{TH}$ ลงในสมการ (5.6)

$$-\left(\frac{V_1}{2} + \frac{V_2}{2}\right) = \sqrt{\frac{I_{d3}}{K_1}} - \sqrt{\frac{I_{d4}}{K_1}} \quad (5.7)$$

(ก) พิจารณาที่ M_1 และ M_2 (ข) พิจารณาที่ M_3 และ M_4

รูปที่ 5.2 วงจรรวมสัญญาณเมื่อแยกวงจรถายผลต่างแต่ละชุด

ทำการลบสมการ (5.5) ด้วยสมการ (5.7) สามารถรวมสมการทั้งสองเข้าด้วยกันได้ ซึ่งกลายเป็น

$$(V_1 + V_2) = \left(\sqrt{\frac{I_{d1}}{K_1}} - \sqrt{\frac{I_{d2}}{K_1}} \right) - \left(\sqrt{\frac{I_{d3}}{K_1}} - \sqrt{\frac{I_{d4}}{K_1}} \right) \quad (5.8)$$

เมื่อจัดรูปสมการ (5.8) และเขียนขึ้นใหม่ได้เป็น

$$(V_1 + V_2) = \sqrt{\frac{1}{K_1}} \left[(\sqrt{I_{d1}} + \sqrt{I_{d4}}) - (\sqrt{I_{d2}} + \sqrt{I_{d3}}) \right] \quad (5.9)$$

พิจารณารูปที่ 5.2 (ก) ที่จุดอินพุตจ่ายแรงดัน $V_1/2$ และ $-V_1/2$ ดังนั้น แรงดันอินพุตผลต่างของวงจรถายผลต่าง $M_1 - M_2$ คือ

$$V_{id(M_1, M_2)} = \frac{1}{2}(V_1 + V_2)$$

และแรงดันอินพุตผลต่างของวงจรถยายผลต่าง $M_3 - M_4$ คือ

$$V_{id(M_3, M_4)} = -\frac{1}{2}(V_1 + V_2)$$

จากโครงสร้างวงจรถายรูปที่ 5.2 (ก) และ (ข) และการจ่ายแรงดันอินพุตผลต่าง V_{id} ซึ่งมีขนาดเท่ากันแต่มีลักษณะกลับขั้ว ส่งผลให้กระแสทรานซิสเตอร์ $I_{d1} = I_{d4}$ และ $I_{d2} = I_{d3}$ ดังนั้นสามารถเขียนสมการ (5.9) ได้ใหม่เป็น

$$(V_1 + V_2) = \sqrt{\frac{1}{K_1}} [(\sqrt{I_{d4}} + \sqrt{I_{d4}}) - (\sqrt{I_{d2}} + \sqrt{I_{d2}})]$$

และจะได้

$$\frac{1}{2}\sqrt{K_1}(V_1 + V_2) = (\sqrt{I_{d4}} - \sqrt{I_{d2}}) \quad (5.10)$$

พิจารณาที่จุดเอาต์พุต V_{sum} พบว่า

$$V_{sum} = V_{gs5} - V_{gs6} \quad (5.11)$$

แทน $V_{gs5} = \sqrt{\frac{I_{d5}}{K_5}} + V_{TH}$ และ $V_{gs6} = \sqrt{\frac{I_{d6}}{K_6}} + V_{TH}$ ลงในสมการ (5.11) จะได้

$$V_{sum} = \sqrt{\frac{I_{d5}}{K_5}} - \sqrt{\frac{I_{d6}}{K_6}}$$

เมื่อทรานซิสเตอร์ $M_5 = M_6$ ซึ่งหมายถึง $K_5 = K_6$ ดังนั้น

$$\sqrt{K_5}V_{sum} = (\sqrt{I_{d5}} - \sqrt{I_{d6}}) \quad (5.12)$$

จากวงจรถายรูปที่ 5.1 และรูปที่ 5.2 (ก) และ (ข) เราสังเกตเห็นได้ว่า $I_{d5} = I_{d4}$ และ $I_{d2} = I_{d6}$ ดังนั้นสมการ (5.12) กลายเป็น

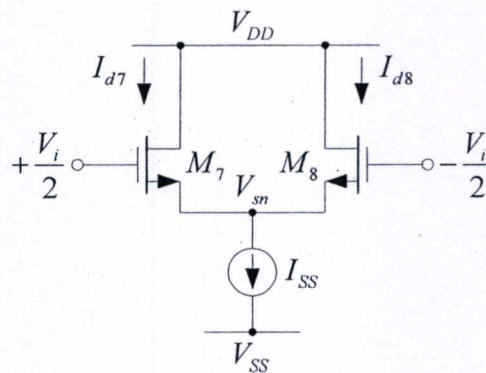
$$\sqrt{K_5}V_{sum} = (\sqrt{I_{d4}} - \sqrt{I_{d2}}) \quad (5.13)$$

จากสมการ (5.10) และสมการ (5.13) เราจะได้ความสัมพันธ์ระหว่างแรงดันอินพุต V_1 และ V_2 กับแรงดันเอาต์พุต V_{sum} ซึ่งอยู่ในรูปแบบของ

$$V_{sum} = \sqrt{\frac{K_1}{4K_5}}(V_1 + V_2) \quad (5.14)$$

สมการ (5.14) แสดงให้เห็นว่าแรงดันเอาต์พุตของวงจรรวมสัญญาณอยู่ในรูปแบบของผลบวกระหว่างแรงดันอินพุตทั้งสองและถ้าหากต้องการแรงดันผลต่างระหว่างแรงดันอินพุต ก็ทำได้โดยการกลับขั้วแรงดันอินพุต V_2 ก็จะได้แรงดันอินพุตผลบวกและแรงดันอินพุตผลต่าง สำหรับการออกแบบวงจรคุณสมบัติแบบควอเตอร์-สแควร์ อย่างไรก็ตาม เมื่อแรงดันอินพุตผลต่างของวงจรรขยายผลต่างแต่ละขั้วมีขนาดเพิ่มมากขึ้น กระแสเดรนของทรานซิสเตอร์ข้างใดข้างหนึ่งจะไหลเพิ่มขึ้น ในขณะที่กระแสเดรนของทรานซิสเตอร์อีกข้างหนึ่งจะลดลงด้วยขนาดที่เท่ากัน ดังนั้น ช่วงการรับแรงดันอินพุตสูงสุดของวงจรรวมสัญญาณ อยู่ที่แรงดันอินพุตผลต่างค่าสูงสุดที่ทำให้กระแสเดรนข้างหนึ่งไหลเท่ากับแหล่งจ่ายกระแสคงที่ I_{SS} ในขณะที่อีกข้างหนึ่งมีค่าเป็นศูนย์ซึ่งมีค่าเท่ากับ [3]

$$\left| \frac{V_1}{2} + \frac{V_2}{2} \right| \leq \sqrt{\frac{I_{SS}}{K_1}} \quad (5.15)$$



รูปที่ 5.3 วงจรกำลังสองจากโครงสร้างวงจรรขยายผลต่าง

5.2 วงจรกำลังสองจากโครงสร้างวงจรรขยายผลต่าง

ด้วยหลักการเดียวกันกับการใช้วงจรรขยายผลต่างเป็นวงจรรคูณเชิงแรงดันอย่างง่ายในบทที่ 4 ในที่นี้จะใช้วงจรรขยายผลต่างเป็นวงจรถ่ายแปลงเชิงแรงดันดังแสดงในรูปที่ 5.3 เมื่อทรานซิสเตอร์ $M_7 - M_8$ มีค่าสัมประสิทธิ์ความนำเท่ากับ K_7 , ไบแอสให้ทำงานในช่วงอิมิตัวด้วยแหล่งจ่ายกระแสคงที่ I_{SS} , จ่ายแรงดันอินพุต $V_i/2$ และ $-V_i/2$ ในลักษณะแรงดันผลต่างสมดุล และแรงดันอินพุตโหมคร่วม $V_C = 0$ เราสามารถคำนวณกระแสเดรน I_{d7} และ I_{d8} ของทรานซิสเตอร์ทั้งสองได้ดังนี้

$$I_{d7} = K_7 \left(V_C + \frac{V_{i1}}{2} - V_{sn} - V_{TH} \right)^2 \quad (5.16)$$

$$I_{d8} = K_7 \left(V_C - \frac{V_{i1}}{2} - V_{sn} - V_{TH} \right)^2 \quad (5.17)$$

$$I_{d7} + I_{d8} = I_{SS} \quad (5.18)$$

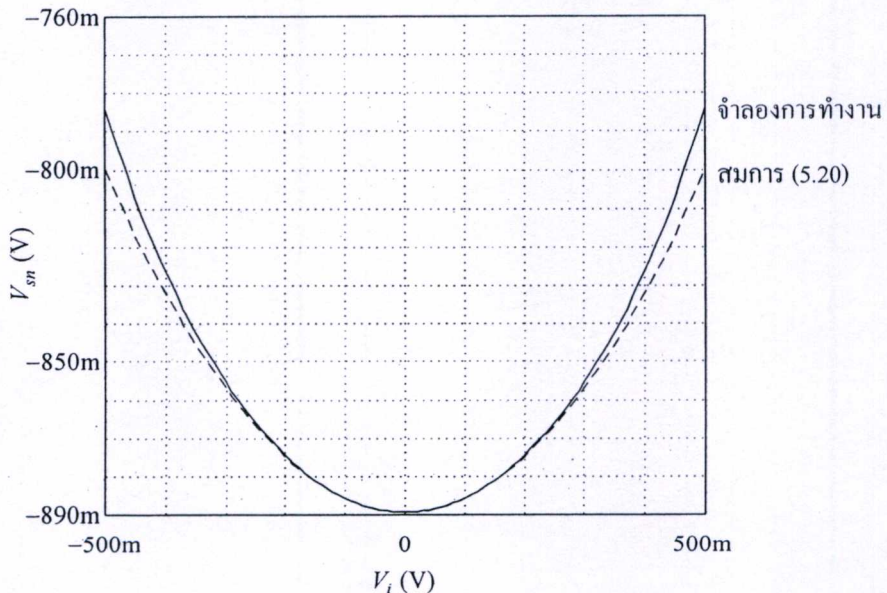
โดยที่ V_{TH} คือแรงดันขีดเริ่ม ด้วยการแทนสมการ (5.16) และ สมการ (5.17) ลงในสมการ (5.18) จะได้แรงดันเอาต์พุต V_{sn} ของวงจรกำลังสองเป็น

$$V_{sn} = V_C - V_{TH} - \sqrt{\frac{I_{SS}}{2K_7} \sqrt{1 - \left(\frac{K_7}{2I_{SS}} \right) V_i^2}} \quad (5.19)$$

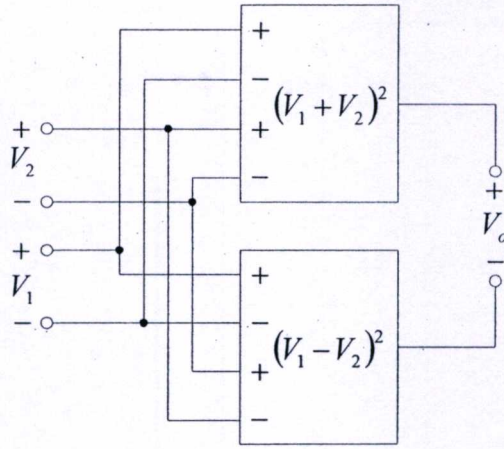
ในสมการ (5.19) เมื่อ $\left(\sqrt{K_7/2I_{SS}} \right) V_i^2 \ll 1$ จะสามารถเขียนสมการ (5.19) โดยประมาณได้เป็น

$$V_{sn} \cong V_C - V_{TH} - \sqrt{\frac{I_{SS}}{2K_7} \left(1 - \frac{K_7}{4I_{SS}} V_i^2 \right)} \quad (5.20)$$

ในสมการ (5.20) พบว่าแรงดันเอาต์พุต V_{sn} อยู่ในรูปแบบของแรงดันอินพุตผลต่างยกกำลังสอง เมื่อเทียบกับผลการจำลองการทำงานจะได้ดังรูปที่ 5.4 ซึ่งแสดงผลการจำลองการทำงานของวงจรกำลังสองจากโครงสร้างวงจรมัลติเพล็กซ์เปรียบเทียบกับสมการ (5.20) ผลที่ได้แสดงให้เห็นว่าวงจรกำลังสองทำงานได้ใกล้เคียงกับอริยาบแล้วหรือแรงดันอินพุต V_i เป็นสัญญาณขนาดเล็ก



รูปที่ 5.4 การตอบสนองต่อแรงดันอินพุตไฟตรงของวงจรกำลังสอง



รูปที่ 5.6 วงจรคูณเชิงแรงดัน

5.4 วงจรคูณแอนะล็อกเชิงแรงดัน

เราสามารถออกแบบวงจรคูณแอนะล็อกเชิงแรงดันแบบควอเตอร์-สแควร์ โดยใช้วงจรรวมสัญญาณยกกำลังสองจำนวน 2 ชุดดังแสดงในรูปที่ 5.6 จากลักษณะการจ่ายแรงดันอินพุต V_2 ให้กับวงจรรวมสัญญาณยกกำลังสองซึ่งกลับขั้วกัน จะได้แรงดันเอาต์พุตของวงจรรวมสัญญาณ $V_{sum-sq1}$ และ $V_{sum-sq2}$ ดังต่อไปนี้

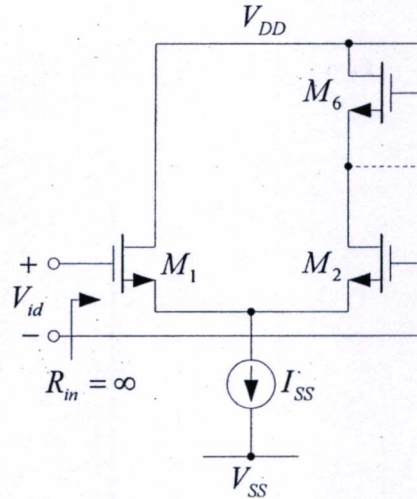
$$V_{sm-sq1} = V_C - V_{TH} - \sqrt{\frac{I_{SS}}{2K_7}} + \frac{1}{16} \left(\sqrt{\frac{K_7}{2I_{SS}}} \right) \left(\frac{K_1}{K_5} \right) (V_1 + V_2)^2 \quad (5.22)$$

$$V_{sm-sq2} = V_C - V_{TH} - \sqrt{\frac{I_{SS}}{2K_7}} + \frac{1}{16} \left(\sqrt{\frac{K_7}{2I_{SS}}} \right) \left(\frac{K_1}{K_5} \right) (V_1 - V_2)^2 \quad (5.23)$$

และจะได้แรงดันเอาต์พุต V_o ของวงจรคูณเชิงแรงดันได้เป็น

$$\begin{aligned} V_o &= V_{sm-sq1} - V_{sm-sq2} \\ &= \frac{1}{16} \sqrt{\frac{K_7}{2I_{SS}}} \frac{K_1}{K_5} [(V_1 + V_2)^2 - (V_1 - V_2)^2] \\ &= \sqrt{\frac{K_7}{2I_{SS}}} \frac{K_1}{4K_5} V_1 V_2 \end{aligned} \quad (5.24)$$

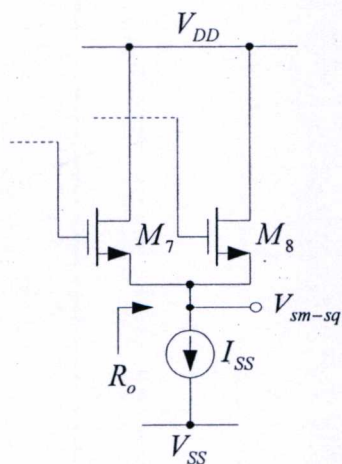
สมการ (5.24) แสดงให้เห็นว่าแรงดันเอาต์พุต V_o ของวงจรคูณแอนะล็อกเชิงแรงดันแบบควอเตอร์-สแควร์อยู่ในรูปของผลคูณระหว่างแรงดันอินพุต V_1 และ V_2 จากการออกแบบวงจรในลักษณะเชิงแรงดัน วงจรคูณให้แรงดันเอาต์พุตในรูปแบบของแรงดันโดยไม่ใช้ตัวต้านทาน ตามจุดประสงค์ที่ได้ออกแบบไว้



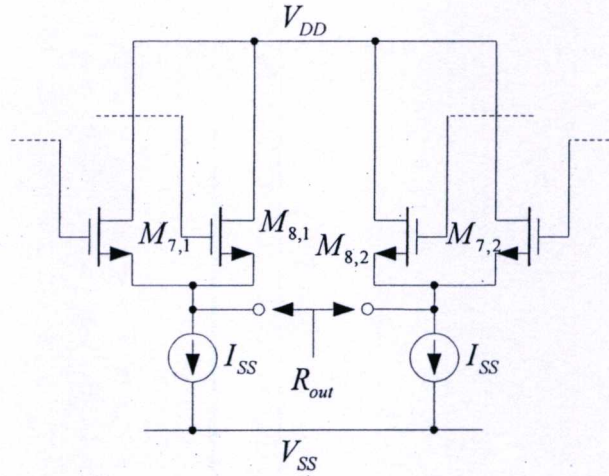
รูปที่ 5.7 วงจรส่วนหน้าเพื่อพิจารณาความต้านทานอินพุต

5.5 ความต้านทานอินพุตและความต้านทานเอาต์พุต

ความต้านทานอินพุตของวงจรคูณแอมป์ล็อกเชิงแรงดัน สามารถได้จากวงจรส่วนหน้าของวงจรรวมสัญญาณยกกำลังสอง จากโครงสร้างวงจรรวมสัญญาณที่ออกแบบขึ้นจากวงจรถยายผลต่างที่ใช้ทรานซิสเตอร์ $M_1 - M_2$ และ $M_3 - M_4$ ซึ่งวงจรถยายผลต่างทั้ง 2 ชุดมีลักษณะเหมือนกัน จึงสามารถพิจารณาความต้านทานอินพุตได้จากวงจรถยายผลต่างชุดใดชุดหนึ่ง ในรูปที่ 5.7 เป็นวงจรถยายผลต่าง $M_1 - M_2$ ที่ใช้ในการหาค่าความต้านทานอินพุต เมื่อมองเข้าไปที่เกตของทรานซิสเตอร์ทั้งสอง จากโครงสร้างของทรานซิสเตอร์แบบ MOS ที่เปิดวงจรที่ขาเกต ดังนั้นความต้านทานอินพุตของวงจรรวมสัญญาณยกกำลังสองจึงมีค่าเป็นอนันต์ ซึ่งหมายถึงความต้านทานอินพุตของวงจรคูณแอมป์ล็อกเชิงแรงดันแบบควอเตอร์-สแควร์ มีค่าเป็นอนันต์เช่นเดียวกัน



รูปที่ 5.8 วงจรส่วนเอาต์พุตของวงจรรวมสัญญาณยกกำลังสอง



รูปที่ 5.9 วงจรส่วนเอาต์พุตของวงจรคู่อุปกรณ์เชิงแรงดัน

ในทำนองเดียวกัน เราสามารถหาค่าความต้านทานเอาต์พุตของวงจรคู่อุปกรณ์เชิงแรงดันได้จากการพิจารณาความต้านทานเอาต์พุตของวงจรรวมสัญญาณยกกำลังสอง จากวงจรส่วนเอาต์พุตที่ประกอบด้วยทรานซิสเตอร์ $M_7 - M_8$ ซึ่งโครงสร้างวงจรมีลักษณะเป็นวงจรขยายคอมมอนเดรน เมื่อไม่คิดผลของความต้านทานเอาต์พุต r_o ของทรานซิสเตอร์ เราสามารถหาค่าความต้านทานเอาต์พุต R_o ได้เป็น

$$R_o \cong \frac{1}{g_{m7}} // \frac{1}{g_{m8}} \quad (5.25)$$

และจากโครงสร้างของวงจรคู่อุปกรณ์เชิงแรงดัน ที่ใช้วงจรรวมสัญญาณยกกำลังสองจำนวนสองชุด ดังนั้นจากการพิจารณาวงจรส่วนเอาต์พุตของวงจรรวมสัญญาณยกกำลังสอง เราสามารถหาค่าความต้านทานเอาต์พุตของวงจรคู่อุปกรณ์เชิงแรงดัน R_{out} ได้ดังนี้

$$R_{out} = 2R_o = 2 \left(\frac{1}{g_{m7}} // \frac{1}{g_{m8}} \right) \quad (5.26)$$

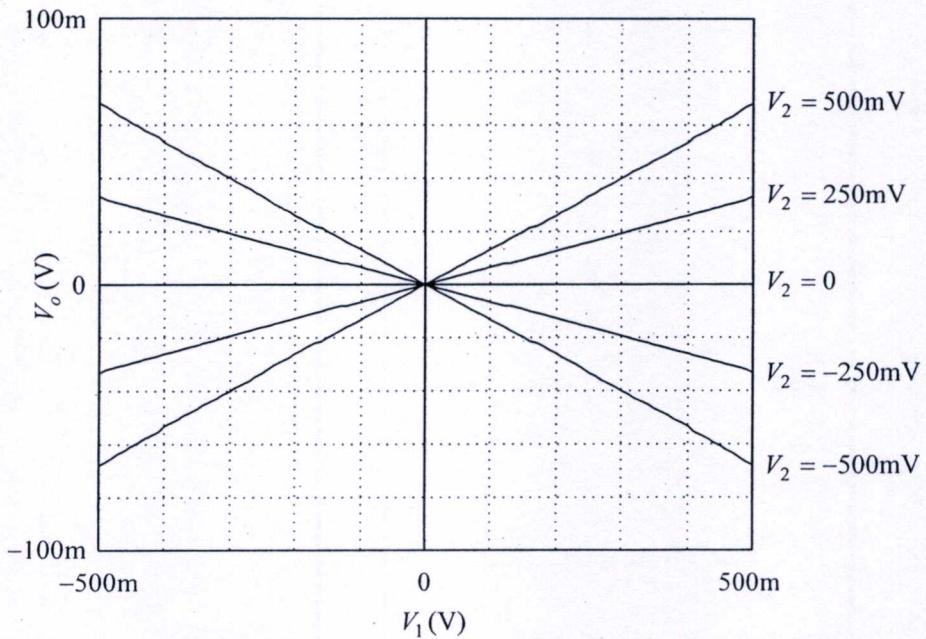
เมื่อทรานซิสเตอร์ M_7 และ M_8 ถูกไบแอสด้วยกระแสเดรนที่มีค่าเท่ากัน ดังนั้น g_{m7} มีค่าเท่ากับ g_{m8} และในที่สุดจะได้ความต้านทานเอาต์พุตของวงจรรวมเท่ากับ

$$R_{out} = (1/g_{m7}) \quad (5.27)$$

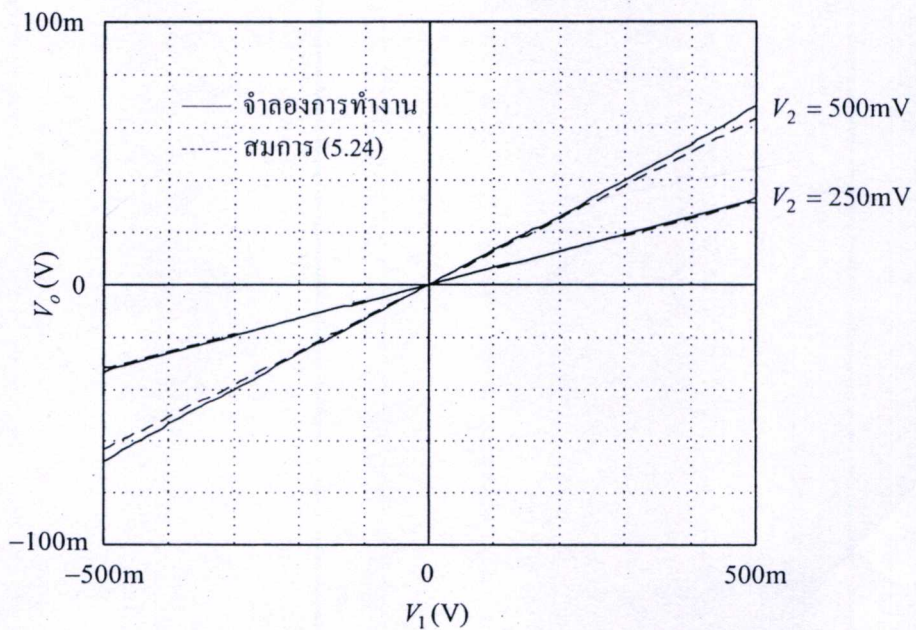
ซึ่งมีค่าต่ำมากเมื่อเทียบกับความต้านทานเอาต์พุตของวงจรรวมเอาต์พุตทั่วไปที่ใช้ตัวต้านทาน

5.6 ผลจำลองการทำงาน

เพื่อเป็นการยืนยันถึงการทำงานของวงจรรวมแอนะล็อกเชิงแรงดันแบบควอเตอร์-สแควร์ ในรูปที่ 5.6 จึงได้ทำการจำลองการทำงานด้วยโปรแกรม PSICE โดยใช้ทรานซิสเตอร์โมเดลพารามิเตอร์ $0.35\mu\text{m}$ ทรานซิสเตอร์ $M_1 - M_4$ และ $M_5 - M_6$ มีขนาดเท่ากับ $5\mu\text{m}/3\mu\text{m}$ ทรานซิสเตอร์ในวงจรกำลังสอง $M_7 - M_8$ มีขนาด $3\mu\text{m}/3\mu\text{m}$ แหล่งจ่ายกระแสคงที่ I_{SS} มีค่า $50\mu\text{A}$ แหล่งจ่ายกำลังไฟตรงค่า $\pm 1.5\text{V}$ ซึ่งจะได้กำลังงานสูญเสียเท่ากับ 0.36mW

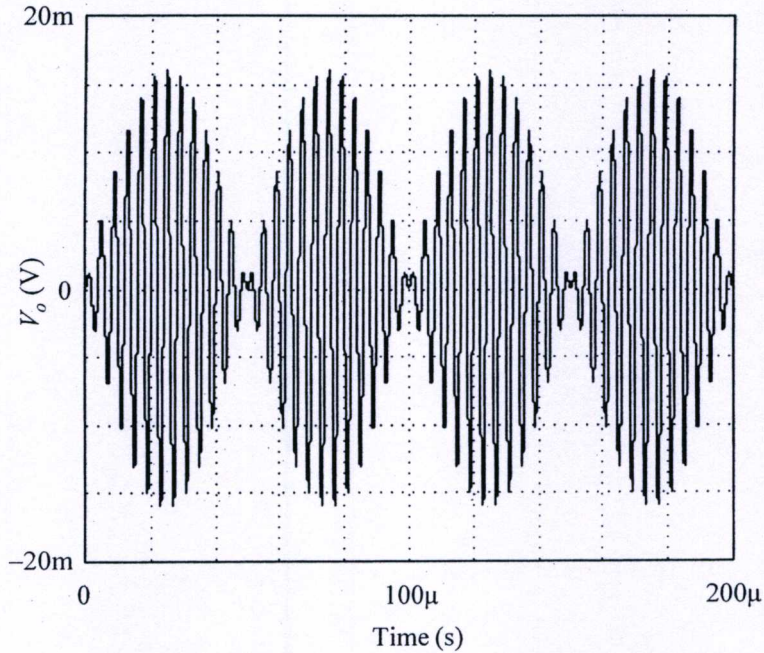


รูปที่ 5.10 ผลตอบสนองต่อแรงดันอินพุตไฟตรง

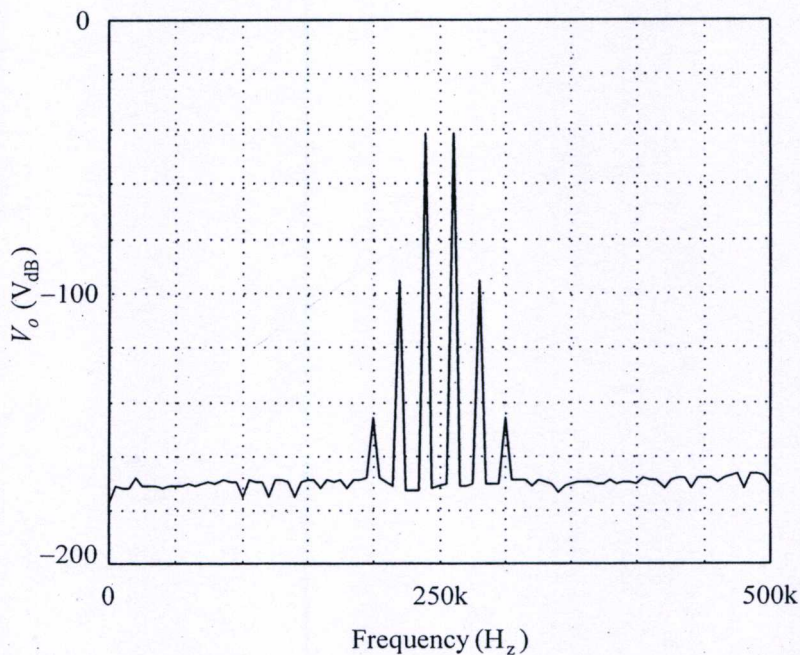


รูปที่ 5.11 ผลตอบสนองต่อแรงดันอินพุตไฟตรงเปรียบเทียบกับสมการ (5.24)

รูปที่ 5.10 แสดงคุณสมบัติการตอบสนองต่อแรงดันอินพุตไฟตรงโดยการปรับค่าแรงดันอินพุต V_1 จาก -500mV ถึง 500mV และปรับค่าแรงดันอินพุต V_2 ครั้งละ 250mV ผลจำลองการทำงานแสดงแรงดันเอาต์พุต V_o มีค่าสูงสุดประมาณ $\pm 70\text{mV}$ ที่แรงดันอินพุต V_1 และ V_2 มีค่า 500mV ซึ่งจะสังเกตเห็นความไม่เป็นเชิงเส้นได้อย่างชัดเจน



รูปที่ 5.12 การผสมสัญญาณ ไซน์ขนาด 250mV ความถี่ 10kHz และ 250kHz



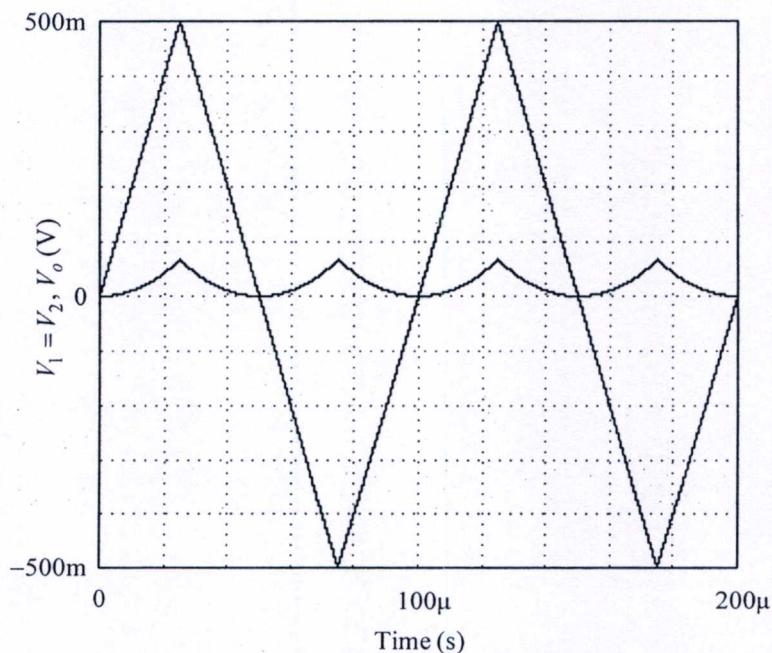
รูปที่ 5.13 การผสมสัญญาณ ไซน์ ความถี่ 10kHz และ 250kHz เมื่อพิจารณาแกนความถี่

รูปที่ 5.11 แสดงผลตอบสนองต่อแรงดันอินพุตไฟตรงจากการจำลองการทำงานเปรียบเทียบกับผลตอบสนองต่อแรงดันอินพุตไฟตรงที่ได้จากสมการ (5.24) ที่แรงดันอินพุต V_1 และ V_2 มีขนาดเท่ากับ 500mV ความผิดพลาดของผลจำลองการทำงานเมื่อเปรียบเทียบกับสมการ (5.24) คำนวณได้ 7.38% และเมื่อแรงดันอินพุตทั้งสองมีค่าลดลงเป็น 250mV จะได้ความผิดพลาดเชิงเส้นลดลงเป็น 1.6%

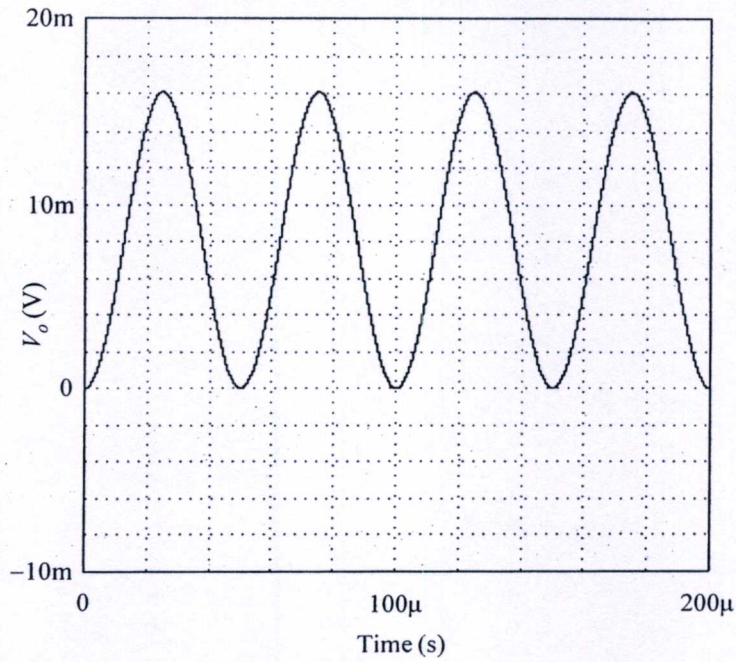
รูปที่ 5.12 แสดงการมอดูเลตสัญญาณแบบเอเอ็มโดยแหล่งจ่ายแรงดันอินพุต V_1 และ V_2 เป็นสัญญาณไซน์ความถี่ 10kHz และ 250kHz ตามลำดับ โดยที่แรงดันมีขนาด 250mV เมื่อพิจารณาผลของการผสมสัญญาณในแกนความถี่ซึ่งแสดงในรูป 5.13 พบว่าประกอบด้วยความถี่ 240kHz และ 260kHz รวมทั้งองค์ประกอบของความถี่อื่นซึ่งเป็นผลจากการประมาณแรงดันเอาต์พุตของวงจรกำลังสองจากโครงสร้างวงจรขยายผลต่างโดยใช้อนุกรมเทเลอร์

รูปที่ 5.14 เป็นการทดสอบคุณสมบัติการทำงานเป็นวงจรยกกำลังสองของวงจรคูณโดยจ่ายแรงดันอินพุตทั้งสองเป็นสัญญาณสามเหลี่ยมความถี่ 10kHz ซึ่งจะได้รูปสัญญาณของแรงดันเอาต์พุตในลักษณะพาราโบลา และเมื่อทำการจ่ายสัญญาณอินพุตเป็นสัญญาณไซน์ความถี่ 10kHz ขนาด 250mV จะได้แรงดันเอาต์พุตความถี่ 20kHz ดังรูปที่ 5.15 ซึ่งเป็นผลจากฟังก์ชันไซน์ยกกำลังสอง

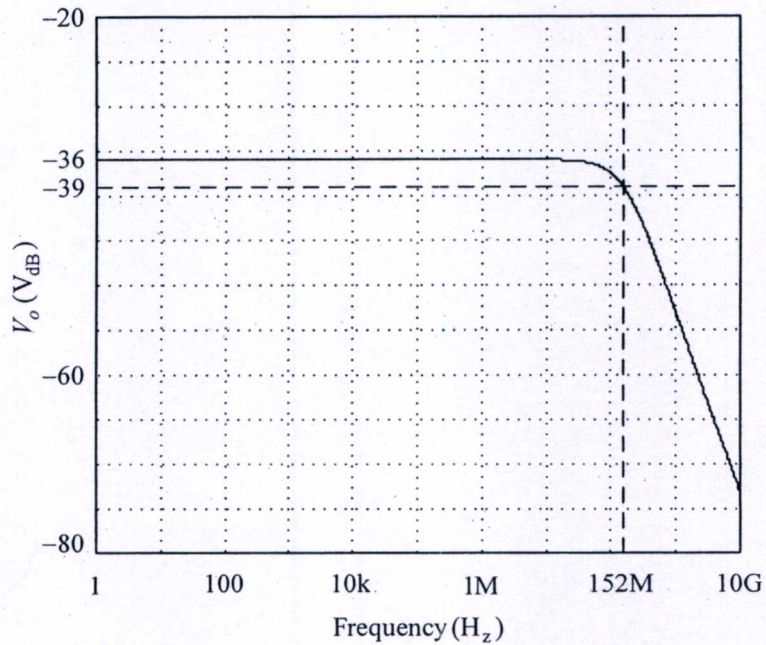
ผลตอบสนองเชิงความถี่ของวงจรคูณวัดโดยให้แรงดันอินพุต V_1 เป็นแรงดันไฟตรงค่า 250mV และแรงดันอินพุต V_2 ขนาด 250mV ปรับความถี่ ซึ่งความถี่คัตออฟพิจารณาที่ความถี่ตัดที่ -3dB อยู่ที่ 152MHz ดังแสดงในรูปที่ 5.16



รูปที่ 5.14 แรงดันเอาต์พุตเมื่อ $V_1 = V_2$ เป็นสัญญาณสามเหลี่ยมขนาด 500mV ความถี่ 10kHz

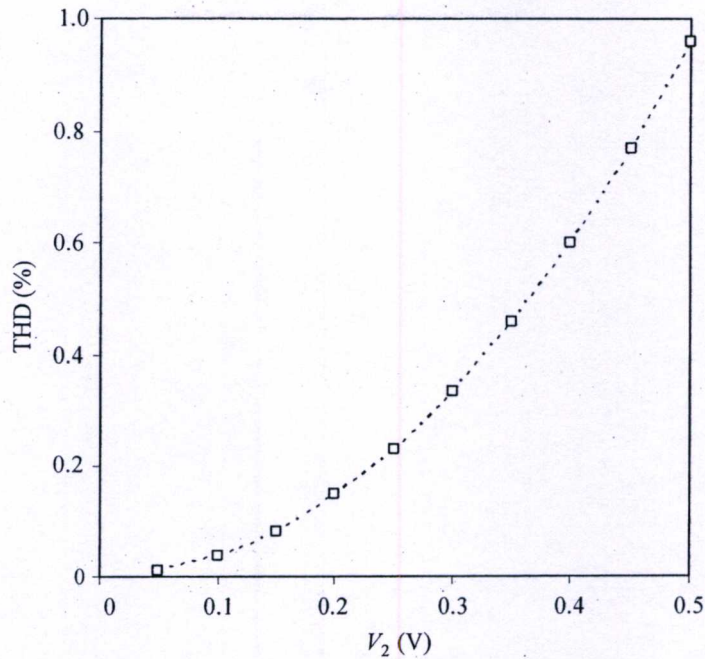


รูปที่ 5.15 แรงดันเอาต์พุตเมื่อ $V_1 = V_2$ เป็นสัญญาณไซน์ขนาด 250mV ความถี่ 10kHz



รูปที่ 5.16 ผลตอบสนองเชิงความถี่ของวงจรคูณ

รูปที่ 5.17 แสดงผลการวัดความเพี้ยนฮาร์มอนิกของวงจรคูณเชิงแรงดันโดยการจ่ายแรงดันอินพุต V_1 เป็นแรงดันไฟตรงค่า 500mV และจ่ายแรงดันอินพุต V_2 เป็นสัญญาณไซน์ความถี่ 10kHz ปรับขนาดแรงดันจาก 50mV ไปจนถึง 500mV ครั้งละ 50mV ซึ่งความเพี้ยนฮาร์มอนิกสูงสุดมีขนาดไม่เกิน 1%



รูปที่ 5.17 ความเพี้ยนฮาร์มอนิกที่ $V_1 = 500\text{mV}$ ปรับค่า V_2

5.7 สรุป

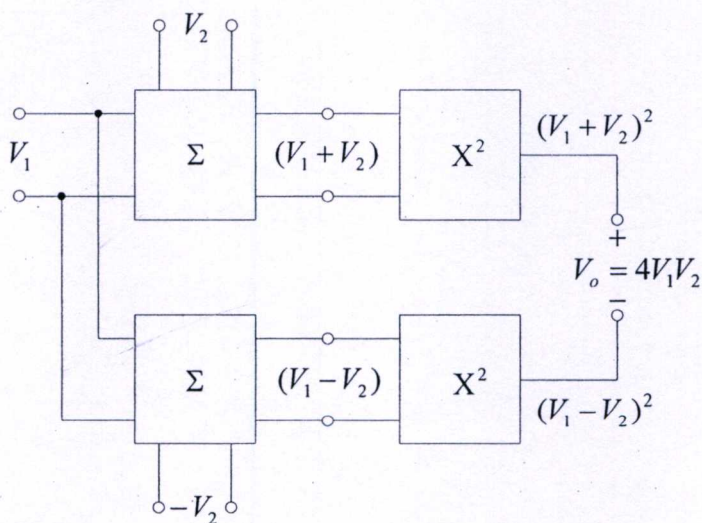
ด้วยโครงสร้างของวงจรคูณแอมพลิจูดแบบควอเตอร์-สแควร์ ที่ประกอบด้วยวงจรรวมสัญญาณและวงจรกำลังสอง ซึ่งทำหน้าที่สร้างสัญญาณผลบวกยกกำลังสองและสัญญาณผลต่างยกกำลังสอง สัญญาณเอาต์พุตของวงจรคูณแอมพลิจูดได้จากผลต่างของสัญญาณยกกำลังสองทั้งสองส่วน วงจรคูณแอมพลิจูดแบบควอเตอร์-สแควร์ที่นำเสนอในบทนี้ ออกแบบขึ้นโดยใช้วงจรรวมสัญญาณที่สร้างจากวงจรรขยายผลต่างที่ใช้แอกติฟโหลด และใช้วงจรกำลังสองซึ่งคัดแปลงวงจรรขยายผลต่างโดยการดึงสัญญาณเอาต์พุตออกจากขาซอร์สของทรานซิสเตอร์ทั้งสองจากการประมาณอนุกรมเทเลอร์ วงจรรขยายผลต่างที่ดึงเอาต์พุตเป็นแรงดันที่ขาซอร์สสามารถใช้เป็นวงจรกำลังสองได้ภายใต้ขนาดแรงดันอินพุตที่เหมาะสม เมื่อออกแบบเป็นวงจรคูณแอมพลิจูดเชิงแรงดันแบบควอเตอร์-สแควร์ จากผลการจำลองการทำงานแสดงให้เห็นว่าวงจรคูณสามารถทำงานได้โดยมีความผิดพลาดเชิงเส้น 7.38% ที่แรงดันอินพุต V_1 และ V_2 เท่ากับ 500mV และเมื่อแรงดันอินพุตทั้งสองมีค่าลดลงเป็น 250mV ความผิดพลาดเชิงเส้นมีค่าลดลงเป็น 1.6% ความเพี้ยนฮาร์มอนิกมีค่าไม่เกิน 1% ที่แรงดันอินพุตสูงสุด 500mV ซึ่งแสดงให้เห็นว่าเมื่อแรงดันอินพุตมีขนาดต่ำสอดคล้องกับเงื่อนไขการประมาณสมการ (5.19) ทำให้วงจรมีความเพี้ยนฮาร์มอนิกมีค่าต่ำลงและมีความเป็นเชิงเส้นที่ดีขึ้น

บทที่ 6

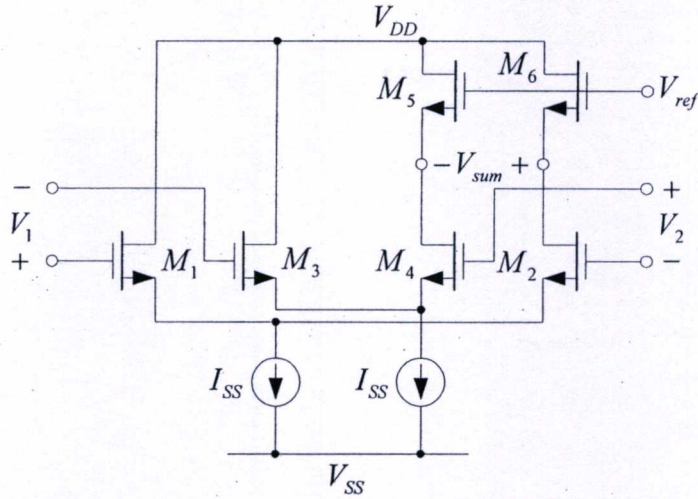
วงจรรวมเชิงแรงดันที่ไม่ขึ้นกับแรงดันขีดเริ่ม

ในการออกแบบวงจรรวมแอนะล็อกเชิงแรงดันที่ผ่านมา จะสังเกตได้ว่าเป็นการออกแบบวงจรรวมโดยใช้วิธีการประมาณแรงดันเอาต์พุตของวงจรรวมโคโอดคู่ และ ประมาณแรงดันเอาต์พุตของวงจรรวมผลต่างคัดแปลงโดยใช้อุปกรณ์เทเลอร์ หลังจากนั้น ใช้วิธีการจ่ายสัญญาณอินพุตกลับขั้วเพื่อหักล้างองค์ประกอบของความถี่ที่ไม่ต้องการออกไป ส่งผลให้วงจรรวมแอนะล็อกที่ออกแบบทำงานได้ภายใต้ขีดจำกัดของแรงดันอินพุต ที่จำเป็นต้องสอดคล้องกับเงื่อนไขการประมาณของอุปกรณ์เทเลอร์ซึ่งถือได้ว่าเป็นแรงดันอินพุตขนาดเล็ก เมื่อแรงดันอินพุตของวงจรรวมมีค่ามากขึ้นจะทำให้แรงดันเอาต์พุตมีความเพี้ยนฮาร์มอนิกและความผิดพลาดเชิงเส้นสูงขึ้น

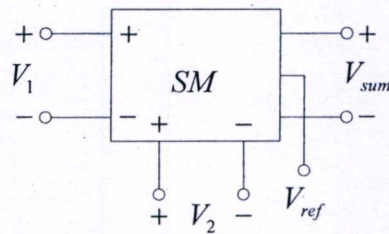
เพื่อแก้ปัญหาคัดจำกัดของแรงดันอินพุตของวงจรรวมแอนะล็อกเชิงแรงดัน ในที่นี้จึงนำเสนอวงจรรวมแอนะล็อกเชิงแรงดันแบบควอเตอร์-สแควร์แบบใหม่ดัง โครงสร้างแสดงในรูปที่ 6.1 ซึ่งประกอบด้วยวงจรรวมสัญญาณ (Σ) ทำหน้าที่สร้างสัญญาณผลบวกของแรงดันอินพุตทั้งสอง และ วงจรรวมกำลังสอง (X^2) ทำหน้าที่ยกกำลังสองสัญญาณผลบวกเป็น $(V_1+V_2)^2$ และยกกำลังสองสัญญาณผลต่างเป็น $(V_1-V_2)^2$ โดยใช้วงจรรวมฟังก์ชันกำลังสองที่ออกแบบขึ้นใหม่ [22] ซึ่งมีคุณสมบัติการส่งผ่านระหว่างแรงดันอินพุตและเอาต์พุต เป็นฟังก์ชันกำลังสองได้อย่างสมบูรณ์ โดยไม่ต้องใช้การประมาณอุปกรณ์เทเลอร์ เมื่อใช้ออกแบบเป็นวงจรรวมแอนะล็อกเชิงแรงดันทำให้คุณสมบัติของวงจรรวมเช่น ความเพี้ยนฮาร์มอนิก ความผิดพลาดเชิงเส้น ช่วงการรับแรงดันอินพุตได้รับการปรับปรุงให้ดีขึ้น



รูปที่ 6.1 โครงสร้างของวงจรรวมแบบควอเตอร์-สแควร์



(ก) วงจรรวมสัญญาณ



(ข) สัญลักษณ์

รูปที่ 6.2 วงจรรวมสัญญาณที่ใช้แรงดันอ้างอิง

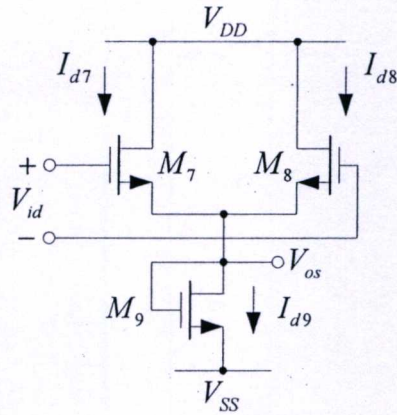
6.1 วงจรรวมสัญญาณ

รูปที่ 6.2 (ก) แสดงวงจรรวมสัญญาณที่ดัดแปลงจากวงจรรวมสัญญาณในบทที่ 5 โดยการจ่ายแรงดันอ้างอิง V_{ref} เข้าที่เกตของทรานซิสเตอร์ $M_5 - M_6$ เมื่อวงจรมีผลต่างที่ออกแบบโดยใช้ทรานซิสเตอร์ $M_1 - M_4$ มีคุณสมบัติเหมือนกันทุกประการ และมีค่าสัมประสิทธิ์ความนำเท่ากับ K_1 ทรานซิสเตอร์ $M_5 - M_6$ มีคุณสมบัติเหมือนกัน และมีค่าสัมประสิทธิ์ความนำเท่ากับ K_5 ไบแอสวงจรรวมสัญญาณด้วยแหล่งจ่ายกระแสคงที่ I_{SS} ให้ทรานซิสเตอร์ทั้งหมดทำงานในช่วงอิมิตัวจ่ายแรงดันอินพุต V_1 และ V_2 จะได้แรงดันเอาต์พุตของวงจรรวมสัญญาณ V_{sum} เป็น

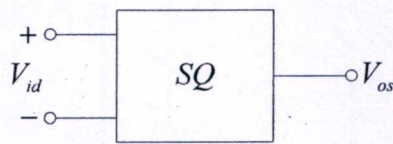
$$V_{sum} = \sqrt{\frac{K_1}{4K_5}} (V_1 + V_2) \quad (6.1)$$

โดยที่จุดเอาต์พุตของวงจรรวมสัญญาณ V_{sum} มีค่าแรงดันโหมคร่วมไฟตรง V_C ซึ่งหาค่าได้จาก

$$V_C = V_{ref} - \left(\sqrt{\frac{I_{SS}}{2K_5}} + V_{TH} \right) \quad (6.2)$$



(ก) วงจรฟังก์ชันกำลังสอง



(ข) สัญลักษณ์

รูปที่ 6.3 วงจรฟังก์ชันกำลังสอง

6.2 วงจรฟังก์ชันกำลังสอง

วงจรฟังก์ชันกำลังสองแบบใหม่และสัญลักษณ์แสดงในรูปที่ 6.3 (ก) และ รูปที่ 6.3 (ข) ตามลำดับ [23-24] โครงสร้างประกอบด้วยทรานซิสเตอร์ $M_7 - M_8$ ที่มีคุณสมบัติเหมือนกันทุกประการ และ M_9 ซึ่งถูกออกแบบให้มีขนาดความกว้างต่อความยาวแชนแนลหรือสัมประสิทธิ์ความนำมากกว่า $M_7 - M_8$ เป็นสองเท่า จ่ายแรงดันอินพุต V_{id} ในลักษณะของแรงดันผลต่างสมดุล แรงดันเอาต์พุต V_{os} ดึงออกจากขาเกต-เดรนของ M_9 และขาซอร์สของ $M_7 - M_8$ โดยไม่ใช่ตัวต้านทาน กำหนดให้ทรานซิสเตอร์ $M_7 - M_9$ ทำงานอยู่ในช่วงอิมิตัว ไม่เกิดผลของบอดี จ่ายแรงดันอินพุต V_{id} ซึ่งประกอบด้วยแรงดันอินพุตโหมคร่วมเท่ากับ V_C เราสามารถคำนวณกระแสเดรน I_{d7} , I_{d8} , และ I_{d9} ได้ดังนี้

$$I_{d7} = K_7 \left(V_C + \frac{V_{id}}{2} - V_{os} - V_{TH} \right)^2 \quad (6.3)$$

$$I_{d8} = K_7 \left(V_C - \frac{V_{id}}{2} - V_{os} - V_{TH} \right)^2 \quad (6.4)$$

และกระแสเดรน I_{d9} ของทรานซิสเตอร์ M_9 ซึ่งมีขนาดใหญ่กว่า $M_7 - M_8$ เป็นสองเท่า

$$I_{d9} = 2K_7 (V_{os} - V_{SS} - V_{TH})^2 \quad (6.5)$$

เมื่อ V_{TH} คือแรงดันขีดเริ่มของทรานซิสเตอร์ จากโครงสร้างวงจรรูป 6.3 (ก) จะเห็นได้ว่า กระแสเดรน I_{d7} และ I_{d8} ไหลรวมกันกลายเป็น I_{d9} ซึ่งเขียนได้เป็น

$$I_{d7} + I_{d8} = I_{d9} \quad (6.6)$$

แทนสมการ (6.3) สมการ (6.4) และสมการ (6.5) ลงในสมการ (6.6) จะได้ความสัมพันธ์ระหว่าง แรงดันอินพุต V_{id} และ แรงดันเอาต์พุต V_{os} ของวงจรฟังก์ชันกำลังสองเป็น

$$V_{os} = \frac{V_C + V_{SS}}{2} + \frac{V_{id}^2}{8(V_C - V_{SS} - 2V_{TH})} \quad (6.7)$$

สมการ (6.7) แสดงให้เห็นว่าแรงดันเอาต์พุต V_{os} ของวงจรฟังก์ชันกำลังสองดังแสดงในรูปที่ 6.3 ประกอบด้วยแรงดันไฟตรงและแรงดันอินพุตยกกำลังสอง ซึ่งเกิดขึ้นจากคุณสมบัติกำลังสองของ ทรานซิสเตอร์แบบ MOS โดยไม่ต้องตัวต้านทานในการเปลี่ยนกระแสเดรนให้เป็นแรงดันเอาต์พุต

6.3 วงจรคูณเชิงแรงดันแบบควอเตอร์-สแควร์

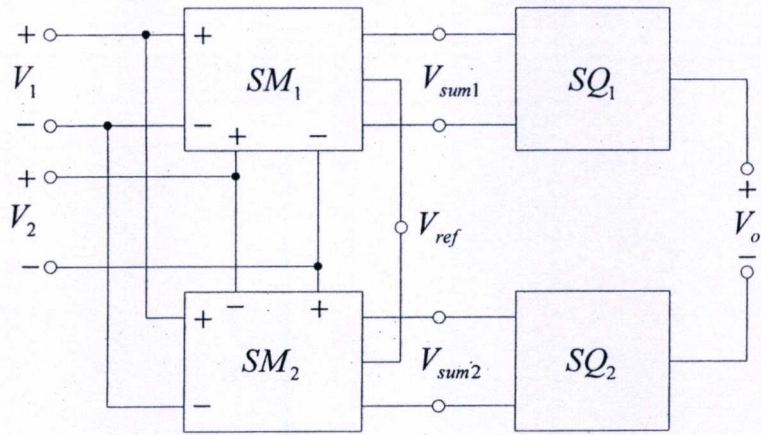
วงจรมคูณเชิงแรงดันแบบควอเตอร์-สแควร์ ออกแบบโดยใช้วงจรฟังก์ชันกำลังสองแบบ ใหม่ แสดงดังรูปที่ 6.4 (ก) โครงสร้างประกอบด้วยวงจรรวมสัญญาณ SM_1 และ SM_2 ทำหน้าที่ สร้างแรงดันผลบวกและแรงดันผลต่าง V_{sum1} และ V_{sum2} ตามลำดับ แรงดันผลบวกและผลต่างที่ได้ เป็นแรงดันอินพุตของวงจรฟังก์ชันกำลังสอง SQ_1 และ SQ_2 ผลต่างของแรงดันเอาต์พุตผลบวก และผลต่างยกกำลังสองที่ได้จากวงจรฟังก์ชันกำลังสองเป็นแรงดันเอาต์พุต V_o ของวงจรมคูณ จาก สมการ (6.1) แรงดันเอาต์พุตของวงจรรวมสัญญาณมีค่า

$$V_{sum1} = \sqrt{\frac{K_1}{4K_5}}(V_1 + V_2) \quad (6.8)$$

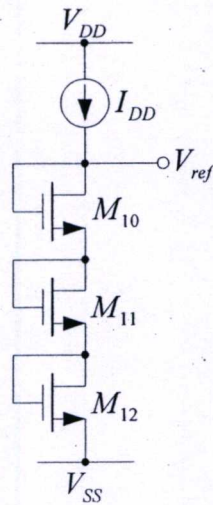
$$V_{sum2} = \sqrt{\frac{K_1}{4K_5}}(V_1 - V_2) \quad (6.9)$$

จากคุณสมบัติการส่งผ่านระหว่างแรงดันอินพุตกับแรงดันเอาต์พุตของวงจรฟังก์ชันกำลังสอง ดัง แสดงในสมการ (6.7) จะได้แรงดันเอาต์พุต V_o ของวงจรมคูณเท่ากับ

$$\begin{aligned} V_o &= \left[\frac{K_1/4K_5}{8(V_C - V_{SS} - 2V_{TH})} \right] \left[(V_1 + V_2)^2 - (V_1 - V_2)^2 \right] \\ &= \frac{K_1/K_5}{8(V_C - V_{SS} - 2V_{TH})} V_1 V_2 \end{aligned} \quad (6.10)$$



(ก) วงจรคูณ



(ข) วงจรสร้างแรงดันอ้างอิง

รูปที่ 6.4 วงจรคูณเชิงแรงดันแบบควอเตอร์-สแควร์

ซึ่งอยู่ในรูปผลคูณของแรงดันอินพุต V_1 และ V_2 อย่างไม่ก็ตามแรงดันเอาต์พุต V_o ยังขึ้นกับแรงดันขีดเริ่ม V_{TH} ของทรานซิสเตอร์และขึ้นกับแหล่งจ่ายไฟตรง V_{SS} เมื่อพิจารณาวงจรรวมสัญญาณพบว่าแรงดันคอมมอน โหมดไฟตรง V_C มีค่า

$$V_C = V_{ref} - \left(\sqrt{\frac{I_{SS}}{2K_5}} + V_{TH} \right) \quad (6.11)$$

แทน V_C ลงในสมการ (6.10) จะได้

$$V_o = \frac{K_1}{8K_5 (V_{ref} - V_{SS} - 3V_{TH} - \sqrt{I_{SS}/2K_5})} V_1 V_2 \quad (6.12)$$

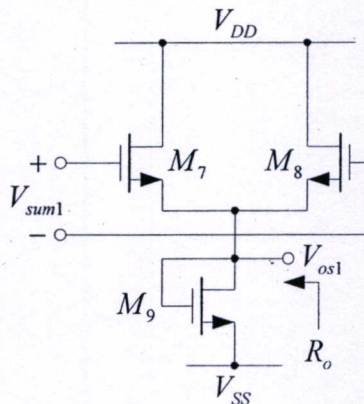
จากสมการ (6.12) เราสามารถหาค่าของแรงดันแหล่งจ่ายไฟ V_{SS} และแรงดันขีดเริ่ม V_{TH} ได้ โดยการจ่ายแรงดันอ้างอิง V_{ref} ให้กับวงจรคูณแอนะล็อกเชิงแรงดันซึ่งได้จากวงจรในรูปที่ 6.4 (ข) เมื่อทรานซิสเตอร์ $M_{10} - M_{12}$ มีคุณสมบัติเหมือนกัน และ ไบแอสให้ทำงานในช่วงอิมิตต์ด้วย แหล่งจ่ายกระแสคงที่ I_{DD} เราคำนวณแรงดันอ้างอิง V_{ref} ได้โดย

$$V_{ref} = 3 \left(\sqrt{\frac{I_{DD}}{K_{10}}} + V_{TH} \right) + V_{SS} \quad (6.13)$$

เมื่อ K_{10} คือสัมประสิทธิ์ความนำของทรานซิสเตอร์ M_{10} แทนสมการ (6.13) ลงในสมการ (6.12) ในที่สุดเราจะได้สมการแสดงคุณสมบัติของวงจรคูณแอนะล็อกเชิงแรงดันเป็น

$$V_o = \frac{K_1}{8K_5 \left(3\sqrt{I_{DD}/K_{10}} - \sqrt{I_{SS}/2K_5} \right)} V_1 V_2 \quad (6.14)$$

ซึ่งไม่ขึ้นกับแรงดันไฟตรง V_{SS} และแรงดันขีดเริ่ม V_{TH} ดังจุดประสงค์ที่ออกแบบไว้



รูปที่ 6.5 ความต้านทานเอาต์พุตของวงจรฟังก์ชันกำลังสอง

6.4 ความต้านทานอินพุตและความต้านทานเอาต์พุต

เนื่องจากวงจรรวมสัญญาณ SM_1 และ SM_2 เป็นวงจรภาคอินพุตของวงจรคูณแอนะล็อกเชิงแรงดันในรูปที่ 6.4 ดังนั้น ความต้านทานอินพุตของวงจรคูณ คือความต้านทานอินพุตของวงจรขยายผลต่างที่ใช้ในวงจรภาคอินพุตของวงจรรวมสัญญาณ ซึ่งมีค่าเท่ากับความต้านทานอินพุตของวงจรคูณเชิงแรงดันแบบควอเตอร์-สแควร์ในบทที่ 5

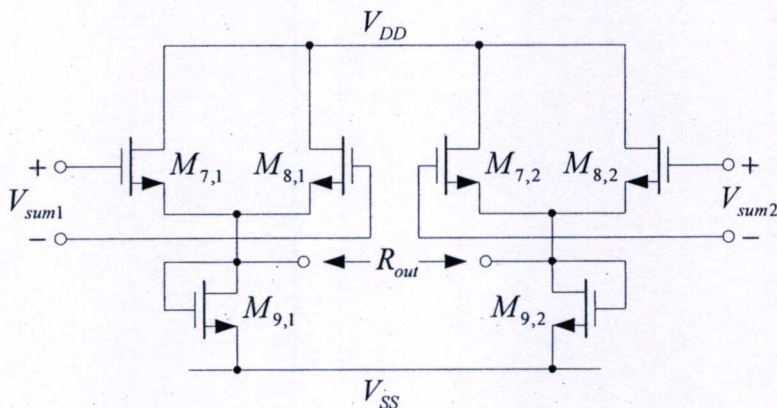
ความต้านทานที่จุดเอาต์พุตของวงจรคูณแอนะล็อกเชิงแรงดัน สามารถหาค่าได้จากการพิจารณาความต้านทานเอาต์พุตของวงจรฟังก์ชันกำลังสองดังแสดงในรูปที่ 6.5 ด้วยการมองเข้าไปที่จุดเอาต์พุต V_{os1} และไม่คิดความต้านทานเอาต์พุตของทรานซิสเตอร์ เราสามารถหาค่าความต้านทานเอาต์พุต R_o เทียบกราวๆ ได้คือ

$$R_o \cong \left(\frac{1}{g_{m7}} \parallel \frac{1}{g_{m8}} \parallel \frac{1}{g_{m9}} \right) \quad (6.15)$$

จากโครงสร้างของวงจรคูณแอนะล็อกเชิงแรงดันในรูปที่ 6.4 ที่ใช้วงจรฟังก์ชันกำลังสองจำนวน 2 ชุด เราสามารถหาค่าความต้านทานเอาต์พุต R_{out} ได้จากการพิจารณาที่จุดเอาต์พุตทั้งสองของวงจรฟังก์ชันกำลังสองดังแสดงในรูปที่ 6.6 โดยที่ความต้านทานเอาต์พุต R_{out} มีค่า

$$R_{out} = 2 \left(\frac{1}{g_{m7}} \parallel \frac{1}{g_{m8}} \parallel \frac{1}{g_{m9}} \right) \quad (6.16)$$

ซึ่งเป็นสองเท่าของความต้านทานเอาต์พุต R_o



รูปที่ 6.6 วงจรฟังก์ชันกำลังสองเพื่อใช้หาค่าความต้านทานเอาต์พุตของวงจรคูณ

6.5 ช่วงการรับแรงดันอินพุต

เนื่องจากโครงสร้างของวงจรคูณแอนะล็อกเชิงแรงดัน ประกอบด้วยวงจรรวมสัญญาณต่อเรียงกันกับวงจรฟังก์ชันกำลังสอง ดังนั้น ช่วงการรับแรงดันอินพุตของวงจรคูณจึงขึ้นกับช่วงการรับแรงดันอินพุตของวงจรทั้งสองนั่นเอง

6.5.1 ช่วงการรับแรงดันอินพุตของวงจรรวมสัญญาณ

โครงสร้างหลักของวงจรรวมสัญญาณสร้างขึ้นจากวงจรรขยายผลต่าง $M_1 - M_2$ และ $M_3 - M_4$ โดยใช้แอกติฟโหลด $M_5 - M_6$ ช่วงการรับแรงดันอินพุตของวงจรรวมสัญญาณคือช่วงการรับแรงดันอินพุตของวงจรรขยายผลต่าง $M_1 - M_2$ หรือ $M_3 - M_4$ โดยสามารถหาค่าได้จาก [20]

$$|V_1 \pm V_2| \leq 2 \sqrt{\frac{I_{SS}}{K_1}} \quad (6.17)$$

สมการ (6.17) แสดงให้เห็นว่า แรงดันอินพุตของวงจรคูณ V_1 และ V_2 ขึ้นอยู่กับกระแสไบแอส I_{SS}

และสัมประสิทธิ์ความนำหรืออัตราส่วนความกว้างต่อความยาวของทรานซิสเตอร์ $M_1 - M_4$

6.5.2 ช่วงการรับแรงดันอินพุตของวงจรฟังก์ชันกำลังสอง

พิจารณาการทำงานของวงจรฟังก์ชันกำลังสองในรูปที่ 6.3 (ก) เมื่อแรงดันอินพุต V_{id} มีค่ามากขึ้น ทำให้กระแสแตรน I_{d7} ของทรานซิสเตอร์ M_7 มีค่าเพิ่มขึ้นในขณะที่กระแสแตรน I_{d8} ของ M_8 มีค่าลดลงด้วยขนาดที่เท่ากัน เมื่อจ่ายแรงดันอินพุต V_{id} มีค่าสูงสุดเท่ากับ V_{idmax} ซึ่งทำให้ I_{d7} มีค่าสูงสุดและ I_{d8} ลดลงจนมีค่าประมาณศูนย์ ที่จุดนี้เสมือนว่า M_8 ถูกตัดออกไปจากวงจรฟังก์ชันกำลังสอง เหลือเพียงทรานซิสเตอร์ M_7 อนุกรมกับ M_9 ดังแสดงในรูปที่ 6.7

รูปที่ 6.8 แสดงผลการตอบสนองต่อแรงดันอินพุตไฟตรงของวงจรฟังก์ชันกำลังสอง จะสังเกตเห็นถึงการทำงานของทรานซิสเตอร์ $M_7 - M_8$ จากการเปลี่ยนแปลงของกระแสแตรน I_{d7} และ I_{d8} จุดที่สำคัญคือ V_{idmax} ซึ่งอยู่ที่ $I_{d8} = 0$ และ $-V_{idmax}$ อยู่ที่ $I_{d7} = 0$ สอดคล้องกับรูปที่ 6.7 ดังนั้น เราสามารถคำนวณช่วงการรับแรงดันอินพุตของวงจรฟังก์ชันกำลังสองได้จาก

$$I_{d8} \cong K_8 \left(V_C - \frac{V_{id}}{2} - V_{os} - V_{TH} \right)^2 = 0 \quad (6.18)$$

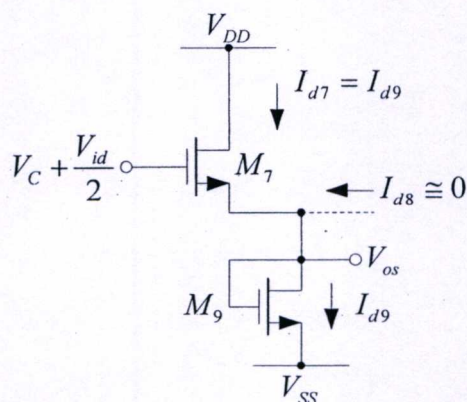
แทน V_{os} ในสมการ (6.7) ลงในสมการ (6.18) จะได้

$$|V_{idmax}| \leq 2(\sqrt{2} - 1)(V_C - V_{SS} - 2V_{TH}) \quad (6.19)$$

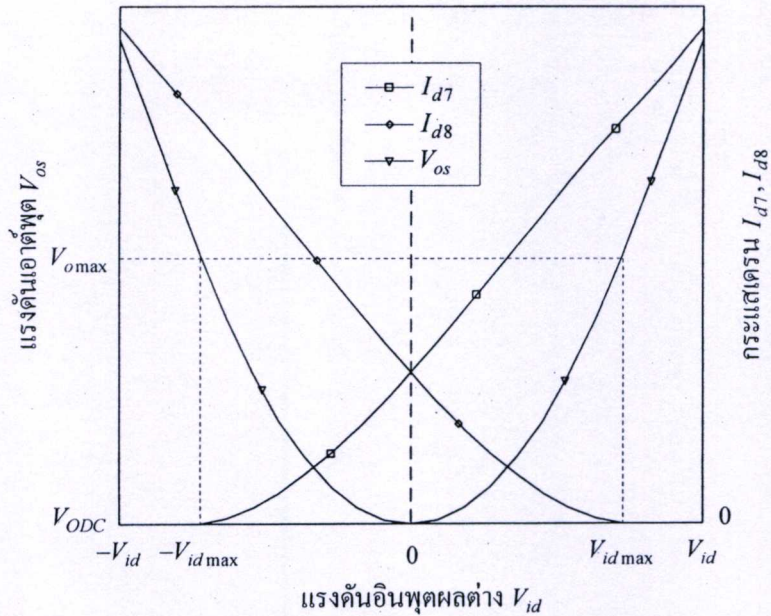
จากความสัมพันธ์ระหว่าง V_C และ V_{ref} ดังสมการ (6.11) และสมการ (6.13) จะสามารถเขียนสมการ (6.19) ได้ใหม่เป็น

$$|V_{idmax}| \leq 2(\sqrt{2} - 1) \left(3\sqrt{I_{DD}/K_{10}} - \sqrt{I_{SS}/2K_5} \right) \quad (6.20)$$

ซึ่งแสดงให้เห็นว่า V_{idmax} ขึ้นอยู่กับกระแสไบแอสและขนาดของทรานซิสเตอร์ M_{10} และ M_5



รูปที่ 6.7 วงจรฟังก์ชันกำลังสองเมื่อแรงดันอินพุตมีค่าสูงสุด



รูปที่ 6.8 การตอบสนองต่อแรงดันอินพุตไฟตรงของวงจรฟังก์ชันกำลังสอง

เมื่อโครงสร้างของวงจรประกอบด้วยวงจรรวมสัญญาณ และวงจรฟังก์ชันกำลังสอง ต่อเรียงกัน ดังนั้น การออกแบบวงจรที่เหมาะสมจึงควรออกแบบให้ช่วงการรับแรงดันอินพุตของ วงจรทั้งสองมีค่าเท่ากัน

6.6 ขีดจำกัดของแหล่งจ่ายแรงดัน

เมื่อพิจารณาโครงสร้างของวงจรรวมสัญญาณ ซึ่งประกอบด้วยวงจรรวมสัญญาณ วงจรฟังก์ชัน กำลังสองและวงจรสร้างแรงดันอ้างอิง พบว่าแต่ละวงจรทำงานได้ที่ระดับแหล่งจ่ายแรงดันต่ำสุด แตกต่างกันในวงจรรวมสัญญาณซึ่งประกอบด้วยทรานซิสเตอร์ M_4 , M_5 และแหล่งจ่ายกระแส คงที่ต่อเรียงกันในแกนตั้ง เพื่อรักษาจุดทำงานให้อยู่ในช่วงอิมิตัว M_4 และ M_5 ต้องการแรงดันตก คร่อมที่เดรน-ซอร์สต่ำสุดเท่ากับ $V_{DS4(sat)}$ และ $V_{DS5(sat)}$ ในทำนองเดียวกัน แหล่งจ่ายกระแสคงที่ I_{SS} ซึ่งสร้างขึ้นจากทรานซิสเตอร์ย่อมต้องการแรงดันตกคร่อมที่เดรน-ซอร์สอย่างน้อยเท่ากับ $V_{DS(sat)}$ เช่นเดียวกัน ดังนั้นระดับแรงดันของแหล่งจ่ายแรงดันที่จุดทำงานอย่างน้อยที่สุดคือ $3V_{DS(sat)}$ ใน ส่วนของวงจรฟังก์ชันกำลังสองที่ประกอบด้วยทรานซิสเตอร์ซ้อนกัน 2 ตัวทางแกนตั้งนั้น ต้องการแรงดันในการทำงานอย่างน้อยที่สุดเพียง $2V_{DS(sat)}$ จึงไม่มีผลในการกำหนดแรงดันต่ำสุด ของวงจรรวม

อย่างไรก็ตาม จากโครงสร้างของวงจรสร้างแรงดันอ้างอิง V_{ref} ซึ่งประกอบด้วย ทรานซิสเตอร์แบบไดโอดต่อเรียงกัน 3 ตัวและแหล่งจ่ายกระแสคงที่ I_{DD} ดังนั้นระดับแหล่งจ่ายไฟ ต่ำสุดที่วงจรส่วนนี้ต้องการคือ $3V_{GS} + V_{DS(sat)}$ ซึ่งหมายถึงแรงดันแหล่งจ่ายไฟต่ำสุดที่จุดทำงานของ วงจรรวม

6.7 ผลจากทรานซิสเตอร์ที่มีขนาดไม่เท่ากัน

ข้อกำหนดในการออกแบบวงจรฟังก์ชันกำลังสองนั้นคือทรานซิสเตอร์ M_7 มีขนาดเท่ากับ M_8 และ M_9 เป็นสองเท่าของ M_7 ในกรณีที่เงื่อนไขเหล่านี้ไม่เป็นจริงอย่างสมบูรณ์ย่อมส่งผลกระทบต่อการทำงานของวงจรฟังก์ชันกำลังสองและวงจรคูณ อย่างไรก็ตาม สิ่งที่มีผลมากต่อการทำงานของวงจรมากที่สุดคือกรณีที่ทรานซิสเตอร์ M_7 และ M_8 มีขนาดไม่เท่ากัน พิจารณาวงจรฟังก์ชันกำลังสองในรูปที่ 6.3 กำหนดให้ M_7 มีค่าสัมประสิทธิ์ความนำ $K_7=K+\Delta K/2$ และ M_8 มีค่า $K_8=K-\Delta K/2$ ซึ่งหมายความว่า ทรานซิสเตอร์ M_7 และ M_8 มีขนาดต่างกันเท่ากับ ΔK แรงดันเอาต์พุตของวงจรฟังก์ชันกำลังสองในสมการ (6.7) กลายเป็น

$$V_{os} = \frac{2K \left\{ (V_C - V_{TH})^2 - (V_{SS} + V_{TH})^2 + (V_{id}/2)^2 \right\}}{4K(V_C - V_{SS} - 2V_{TH}) + \Delta K V_{id}} + \frac{\Delta K V_{id} (V_C - V_{TH})}{4K(V_C - V_{SS} - 2V_{TH}) + \Delta K V_{id}} \quad (6.21)$$

ในกรณีที่ $\Delta K V_{id} \ll 4K(V_C - V_{SS} - 2V_{TH})$ จะได้ว่า

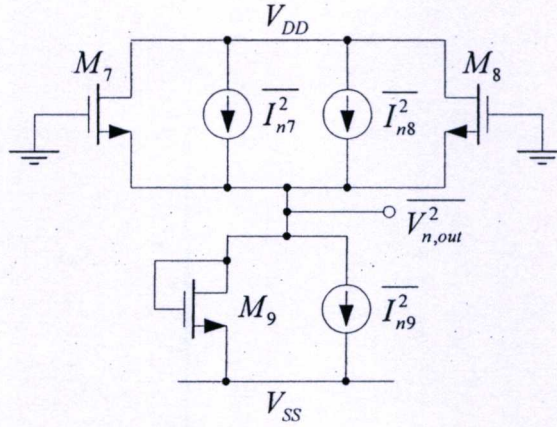
$$V_{os} \cong \frac{(V_C - V_{TH})^2 - (V_{SS} + V_{TH})^2 + (V_{id}/2)^2}{2(V_C - V_{SS} - 2V_{TH})} + \frac{\Delta K V_{id} (V_C - V_{TH})}{4K(V_C - V_{SS} - 2V_{TH})} \quad (6.22)$$

พิจารณาสมการ (6.22) พบว่า แรงดันเอาต์พุต V_{os} ของวงจรฟังก์ชันกำลังสองกรณีที่ทรานซิสเตอร์ M_7 ไม่เท่ากับ M_8 จะปรากฏเทอมของแรงดันอินพุต V_{id} รวมอยู่แรงดันเอาต์พุต V_{os} ซึ่งส่งผลให้วงจรฟังก์ชันกำลังสองและวงจรคูณเกิดความเพี้ยนฮาร์มอนิกสูงขึ้น

6.8 สัญญาณรบกวน

ในที่นี้จะทำการวิเคราะห์สัญญาณรบกวนเฉพาะที่เกิดขึ้นในวงจรฟังก์ชันกำลังสอง ซึ่งเป็นส่วนประกอบหลักของวงจรคูณ สัญญาณรบกวนที่เกิดขึ้นได้ในวงจรประกอบด้วยเทอร์มัล นอยส์ (Thermal noise) ที่เกิดขึ้นจากผลของอุณหภูมิ และฟลิคเกอร์ นอยส์ (Flicker noise) ซึ่งเกิดขึ้นจากโครงสร้างของทรานซิสเตอร์และขึ้นกับความถี่ (f) ในบางครั้งเรียกอีกชื่อหนึ่งว่า $1/f$ นอยส์ [26-27] ในที่นี้จะพิจารณาสัญญาณรบกวนที่เกิดจากอุณหภูมิหรือเทอร์มัล นอยส์ เป็นหลัก เมื่อใช้วงจรสมมูลสัญญาณรบกวนที่เกิดจากอุณหภูมิ เราสามารถเขียนวงจรสมมูลสัญญาณรบกวนได้ดังรูปที่ 6.9 โดยที่วงจรสมมูลสัญญาณรบกวนที่เกิดจาก M_7 เขียนได้ดังรูปที่ 6.10 เมื่อไม่เกิดผลของความต้านทานเอาต์พุตของทรานซิสเตอร์ สัญญาณรบกวนที่จุดเอาต์พุตที่เกิดจาก M_7 สามารถหาค่าได้จาก

$$\overline{V_{n7}^2} \cong \overline{I_{n7}^2} \left(\frac{1}{g_{m7}} \parallel \frac{1}{g_{m8}} \parallel \frac{1}{g_{m9}} \right)^2$$



รูปที่ 6.9 วงจรสมมูลสัญญาณรบกวนของวงจรฟังก์ชันกำลังสอง

$$= 4kT \frac{2}{3} g_{m7} \left(\frac{1}{g_{m7}} \parallel \frac{1}{g_{m8}} \parallel \frac{1}{g_{m9}} \right)^2 \quad (6.23)$$

จากโครงสร้างของวงจรที่ทรานซิสเตอร์ M_7 และ M_8 ที่ไบแอสด้วยกระแสตรงค่าเดียวกัน จะได้ $g_{m7} = g_{m8}$, $g_{m9} = 2g_{m7}$ ดังนั้น

$$\overline{V_{n7}^2} = 4kT \frac{2}{3} g_{m7} \left(\frac{1}{g_{m7}} \parallel \frac{1}{g_{m7}} \parallel \frac{1}{2g_{m7}} \right)^2$$

ซึ่งจะได้

$$\overline{V_{n7}^2} = 4kT \frac{2}{3} g_{m7} \left(\frac{1}{4g_{m7}} \right)^2$$

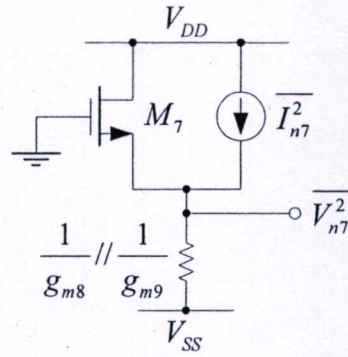
ด้วยวิธีการเดียวกัน จะได้สัญญาณรบกวนที่เอาต์พุตซึ่งเกิดจากทรานซิสเตอร์ M_8

$$\overline{V_{n8}^2} \cong \overline{I_{n8}^2} \left(\frac{1}{g_{m7}} \parallel \frac{1}{g_{m8}} \parallel \frac{1}{g_{m9}} \right)^2$$

$$= 4kT \frac{2}{3} g_{m8} \left(\frac{1}{g_{m7}} \parallel \frac{1}{g_{m8}} \parallel \frac{1}{g_{m9}} \right)^2$$

$$\overline{V_{n8}^2} = 4kT \frac{2}{3} g_{m7} \left(\frac{1}{4g_{m7}} \right)^2 \quad (6.24)$$

และเมื่อพิจารณาสัญญาณรบกวนที่เกิดจาก M_9 ซึ่งวงจรสมมูลเขียนได้ดังรูปที่ 6.11 จะได้

รูปที่ 6.10 วงจรสมมูลสัญญาณรบกวนที่ M_7

$$\begin{aligned}
 \overline{V_{n9}^2} &\cong \overline{I_{n9}^2} \left(\frac{1}{g_{m7}} \parallel \frac{1}{g_{m8}} \parallel \frac{1}{g_{m9}} \right)^2 \\
 &= 4kT \frac{2}{3} g_{m9} \left(\frac{1}{g_{m7}} \parallel \frac{1}{g_{m8}} \parallel \frac{1}{g_{m9}} \right)^2 \\
 &= 4kT \frac{2}{3} 2g_{m7} \left(\frac{1}{4g_{m7}} \right)^2 \tag{6.25}
 \end{aligned}$$

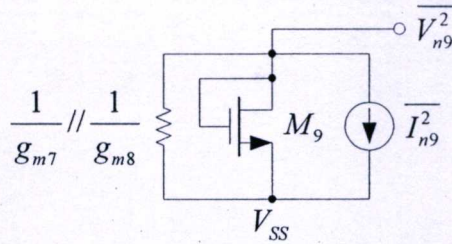
ซึ่งจะได้สัญญาณรบกวนทั้งหมดที่จุดเอาต์พุตของวงจรฟังก์ชันกำลังสองมีค่า

$$\begin{aligned}
 \overline{V_{n,out}^2} &= \overline{V_{n7}^2} + \overline{V_{n8}^2} + \overline{V_{n9}^2} \\
 &= \left(4kT \frac{2}{3} g_{m7} \right) \left(\frac{1}{4g_{m7}} \right)^2 + \left(4kT \frac{2}{3} g_{m7} \right) \left(\frac{1}{4g_{m7}} \right)^2 + \left(8kT \frac{2}{3} g_{m7} \right) \left(\frac{1}{4g_{m7}} \right)^2 \\
 &= \frac{2}{3} kT \frac{1}{g_{m7}} \tag{6.26}
 \end{aligned}$$

เมื่อโครงสร้างของวงจรฟังก์ชันกำลังสองมีลักษณะเป็นวงจรขยายคอมมอนเดรน โดยที่คำนวณอัตราขยายแรงดันได้เท่ากับ 0.5 ดังนั้น สัญญาณรบกวนอ้างอิงที่อินพุต (Input-referred noise) ของวงจรฟังก์ชันกำลังสองมีค่า

$$\overline{V_{n,in}^2} = \frac{4}{3} kT \frac{1}{g_{m7}} \tag{6.27}$$

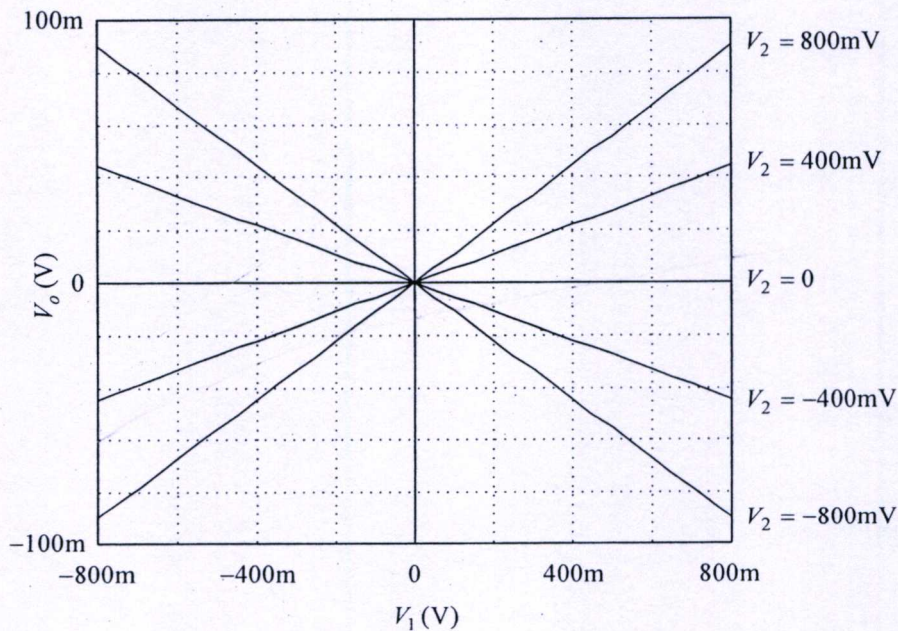
ซึ่งแสดงให้เห็นว่า เราสามารถคำนวณสัญญาณรบกวนที่จุดอินพุตของวงจรฟังก์ชันกำลังสองได้ โดยการเทียบเคียงจากสัญญาณรบกวนที่เกิดขึ้นในทรานซิสเตอร์ M_7

รูปที่ 6.11 วงจรสมมูลสัญญาณรบกวนที่ M_9

6.9 ผลจำลองการทำงาน

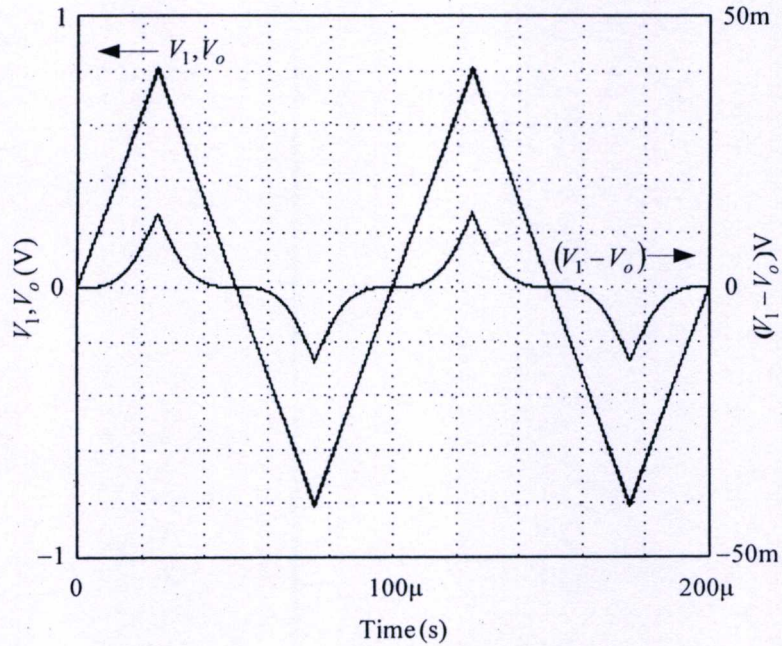
ได้จำลองการทำงานวงจรในรูปที่ 6.4 ด้วยโปรแกรม PSPICE โดยใช้โมเดลพารามิเตอร์ $0.35\mu\text{m}$ ทรานซิสเตอร์มีขนาด $(W/L)_{1-8} = 2\mu\text{m}/3\mu\text{m}$, $(W/L)_9 = 4\mu\text{m}/3\mu\text{m}$, $(W/L)_{10-12} = 2\mu\text{m}/3\mu\text{m}$ แหล่งจ่ายแรงดัน V_{DD} และ V_{SS} มีค่า $\pm 1.5\text{V}$ แหล่งจ่ายกระแสที่ $I_{SS} = 50\mu\text{A}$ และ $I_{DD} = 20\mu\text{A}$ ตามลำดับ ซึ่งจะได้กำลังงานสูญเสียมีค่า 0.9mW

จากแหล่งจ่ายแรงดันไฟตรงและกระแสไบแอสที่จ่ายให้กับวงจร ผลจำลองการทำงานแสดงให้เห็นว่า กระแสทรานซิสเตอร์ในวงจรฟังก์ชันกำลังสอง $I_{D7} = I_{D8} = 17.7\mu\text{A}$ และกระแสทรานซิสเตอร์ $I_{D8} = 35.4\mu\text{A}$ ซึ่งจะได้ค่าทรานสคอนดักแตนซ์ $g_{m7} = g_{m8} = 69\mu\text{A/V}$ และ $g_{m9} = 13.9\text{mA/V}$ ดังนั้น ที่อุณหภูมิห้อง 27°C จะได้สัญญาณรบกวนที่เกิดจากอนุพันธ์ที่จุดเอาต์พุตของวงจรฟังก์ชันกำลังสอง $\overline{V_{n,out}^2} = 3.971 \times 10^{-17} \text{V}^2/\text{Hz}$ และสัญญาณรบกวนที่อินพุตของวงจรมีค่า $\overline{V_{n,in}^2} = 7.931 \times 10^{-17} \text{V}^2/\text{Hz}$ ซึ่งเป็นไปตามสมการ (6.26) และ สมการ (6.27)

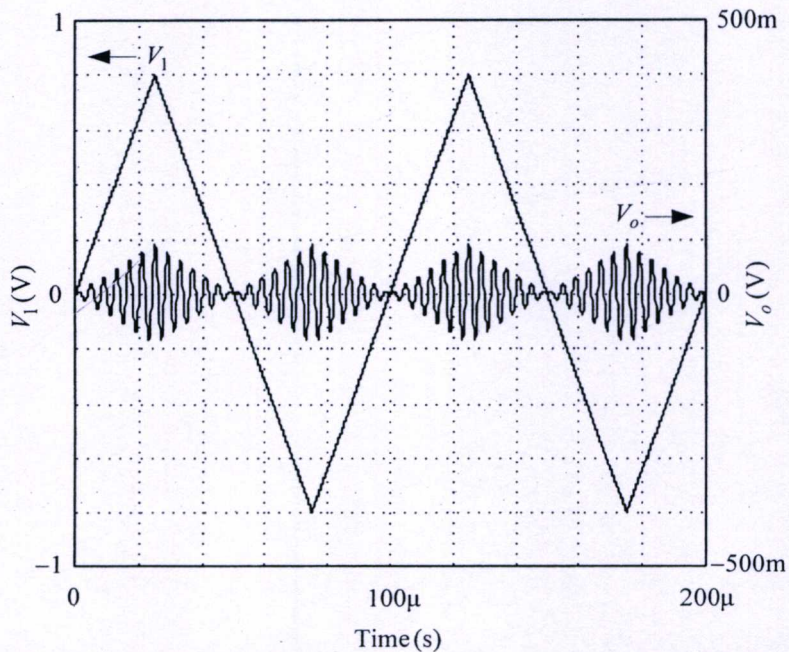


รูปที่ 6.12 ผลตอบสนองต่อแรงดันอินพุตไฟตรง

รูปที่ 6.12 แสดงผลตอบสนองต่อแรงดันอินพุตไฟตรงของวงจรคูณแอมป์ล็อกเชิงแรงดันเมื่อปรับแรงดันอินพุต V_1 ในช่วง -800mV ถึง $+800\text{mV}$ และปรับแรงดันอินพุต V_2 ในช่วงเดียวกันคือ -800mV ถึง $+800\text{mV}$ โดยปรับเพิ่มขึ้นครั้งละ 400mV จากผลจำลองการทำงานแรงดันเอาต์พุต V_o มีค่าสูงสุด 90mV และพอจะสังเกตได้ว่าเป็นเชิงเส้นที่ดีกว่าวงจรคูณแอมป์ล็อกเชิงแรงดันที่นำเสนอมาแล้ว

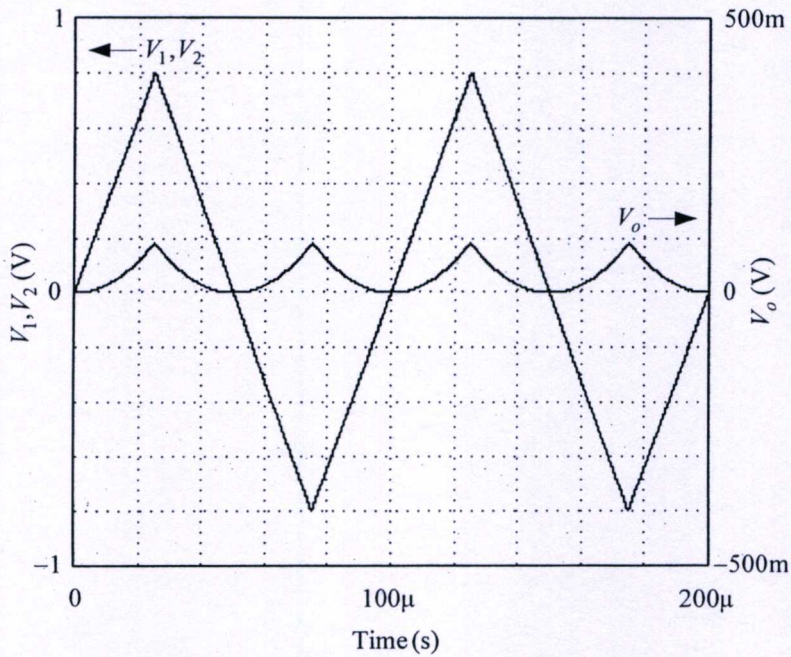


รูปที่ 6.13 ความผิดพลาดเชิงเส้นซึ่งวัดโดยใช้สัญญาณสามเหลี่ยม

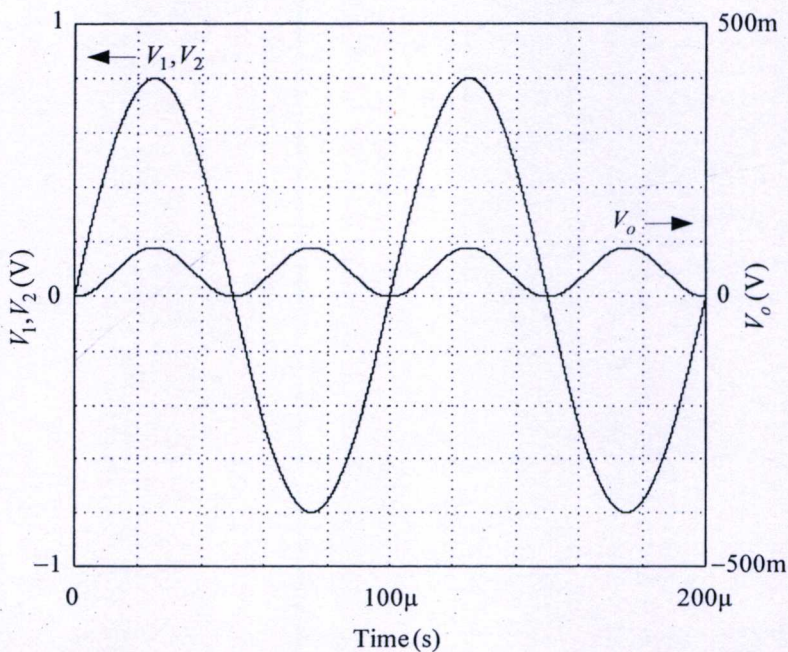


รูปที่ 6.14 การผสมสัญญาณไซน์กับสัญญาณสามเหลี่ยม

รูปที่ 6.13 เป็นการวัดผลความผิดพลาดเชิงเส้นของวงจรคูณโดยการจ่ายสัญญาณสามเหลี่ยมขนาด 800mV ความถี่ 10kHz ให้กับ V_1 และจ่ายแรงดันไฟตรง 800mV ให้กับจุดอินพุต V_2 ใช้วงจรขยายภายนอกเพื่อปรับแรงดันอินพุตให้ได้เท่ากับแรงดันอินพุต V_1 ความผิดพลาดเชิงเส้นของวงจรคูณได้จากผลต่างของแรงดันเอาต์พุตกับแรงดันเอาต์พุต ($V_1 - V_0$) โดยวัดได้ขนาดเท่ากับ 27.34mV ซึ่งความผิดพลาดเชิงเส้นเท่ากับ 1.7%

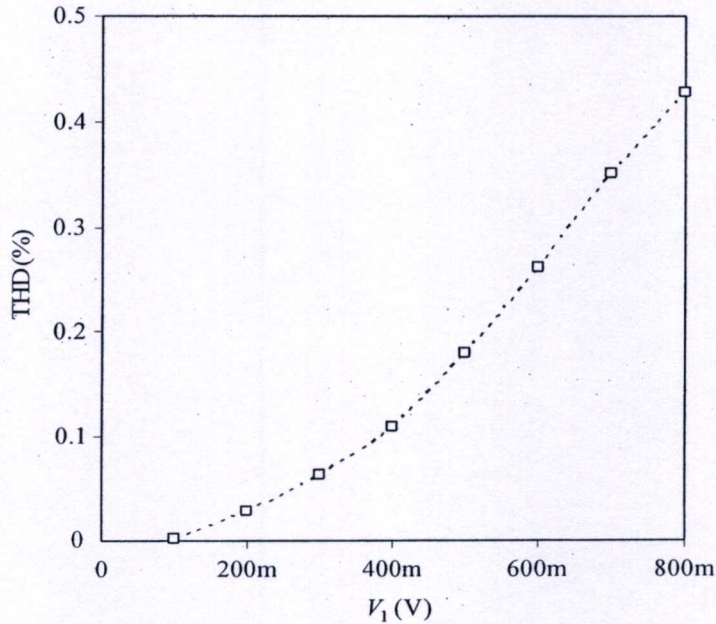


รูปที่ 6.15 คุณสมบัติของวงจรคูณเมื่อ V_1 และ V_2 เป็นสัญญาณสามเหลี่ยม



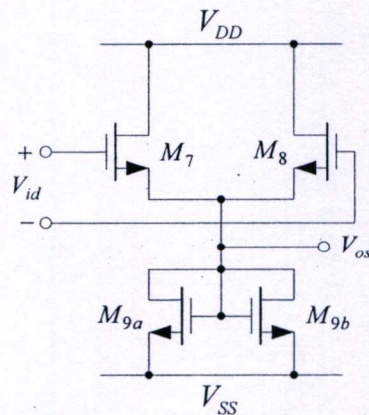
รูปที่ 6.16 สัญญาณเอาต์พุตเมื่อแรงดันอินพุต $V_1 = V_2$ ขนาด 0.8V ความถี่ 10kHz

รูปที่ 6.14 แสดงการผสมสัญญาณไซน์ความถี่ 250kHz ขนาด 800mV กับสัญญาณสามเหลี่ยมความถี่ 10kHz ซึ่งแรงดันเอาต์พุต V_o ประกอบด้วยสัญญาณไซน์ความถี่ 250kHz ที่มีขนาดเปลี่ยนแปลงตามสัญญาณสามเหลี่ยม และเมื่อแรงดันอินพุตทั้งสองเป็นสัญญาณสามเหลี่ยมขนาด 800mV ความถี่ 10kHz จะได้ V_o ดังรูปที่ 6.15 เมื่อเปลี่ยนสัญญาณสามเหลี่ยมเป็นสัญญาณไซน์ จะได้แรงดันเอาต์พุตเป็นสัญญาณโคไซน์ที่มีความถี่เป็นสองเท่าดังรูปที่ 6.16



รูปที่ 6.17 ความเพี้ยนฮาร์มอนิกที่ $V_2 = 800\text{mV}$ ปรับค่า V_1

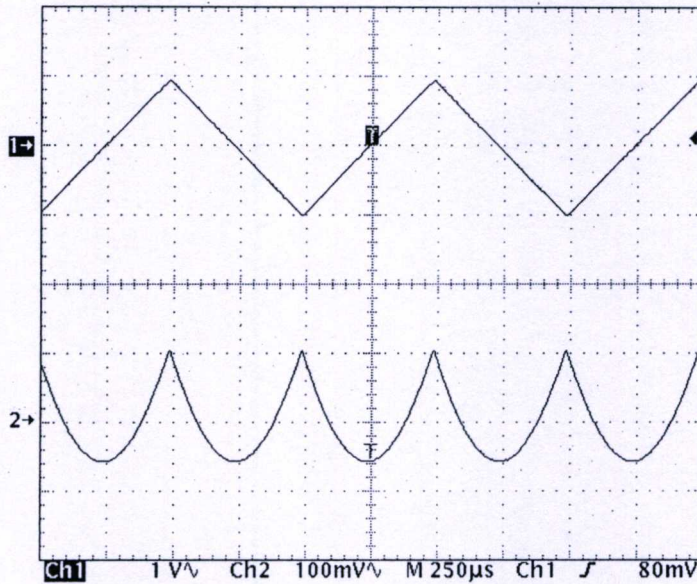
รูปที่ 6.17 แสดงผลการวัดความเพี้ยนฮาร์มอนิกของวงจรคูณเชิงแรงดันโดยการจ่ายแรงดันอินพุต V_2 เป็นแรงดันไฟตรงค่า 800mV และจ่ายแรงดันอินพุต V_1 เป็นสัญญาณไซน์ความถี่ 10kHz ปรับขนาดแรงดันจาก 100mV ไปจนถึง 800mV ครั้งละ 100mV ความเพี้ยนฮาร์มอนิกสูงสุดไม่เกิน 0.5%



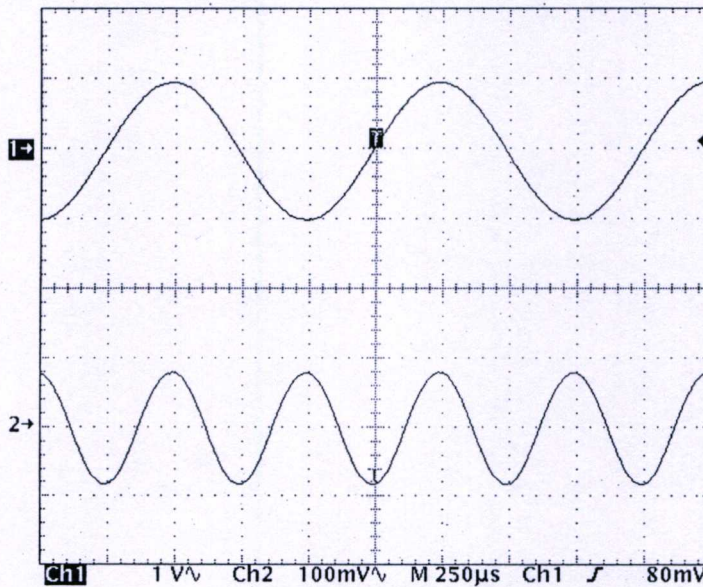
รูปที่ 6.18 วงจรกำลังสองที่ใช้ MC14007

6.10 ผลการทดลอง

เพื่อยืนยันถึงการทำงานของวงจรถูกในรูปที่ 6.4 จึงได้ทำการทดลองต่อวงจรจริงโดยใช้ทรานซิสเตอร์ MC14007 วงจรฟังก์ชันกำลังสองในรูปที่ 6.3 ซึ่งทรานซิสเตอร์ M_9 มีขนาดเป็นสองเท่าของ M_7 และ M_8 สร้างขึ้นจากการใช้ทรานซิสเตอร์ต่อขนานกันดังรูปที่ 6.18 แหล่งจ่ายแรงดันไฟตรง V_{DD} และ V_{SS} เท่ากับ $\pm 5V$ แหล่งจ่ายกระแสคงที่ I_{SS} สร้างขึ้นจากวงจรสะท้อนกระแสอย่างง่าย มีค่า $1.2mA$ แรงดันอ้างอิง V_{ref} วัดได้ประมาณ $2V$

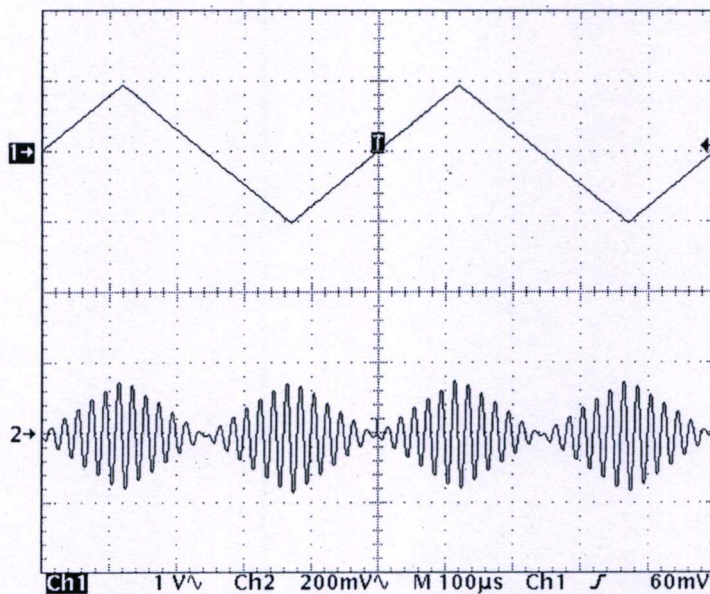


รูปที่ 6.19 คุณสมบัติการยกกำลังสองของวงจรถูก

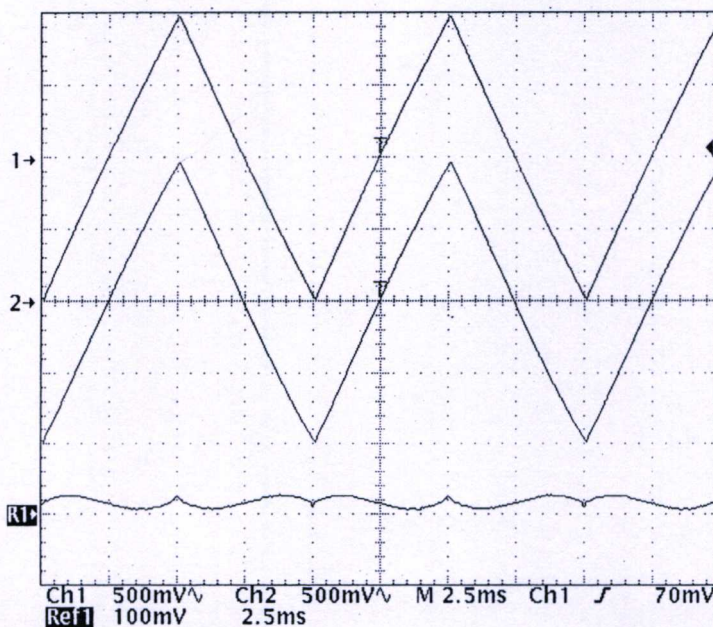


รูปที่ 6.20 สัญญาณเอาต์พุตเมื่อแรงดันอินพุตเป็นสัญญาณไซน์ความถี่ 1kHz

รูปที่ 6.19 แสดงการวัดคุณสมบัติการยกกำลังสองของวงจรคูณโดยการจ่ายสัญญาณสามเหลี่ยมขนาด 1V ความถี่ 1kHz เข้าที่จุดอินพุต V_1 และ V_2 ใช้ออสซิลโลสโคปแชลแนล 1 วัดที่จุดอินพุต แชลแนล 2 วัดที่จุดเอาต์พุตของวงจรคูณ โดยที่ Ch1: 1V/div, Ch2: 100mV/div และ Time: 250 μ s/div รูปที่ 6.20 แสดงการประยุกต์ใช้งานวงจรคูณเป็นวงจรสร้างความถี่สองเท่า โดยการจ่ายแรงดันอินพุต V_1 และ V_2 เป็นสัญญาณไซน์ขนาด 1V ความถี่ 1kHz แรงดันเอาต์พุตมีความถี่เป็นสองเท่าของสัญญาณอินพุต โดยที่ Ch1: 1V/div, Ch2: 100mV/div และ Time: 250 μ s/div



รูปที่ 6.21 การผสมสัญญาณไซน์ 50kHz กับสัญญาณสามเหลี่ยม 2kHz



รูปที่ 6.22 การวัดความผิดพลาดเชิงเส้นโดยใช้สัญญาณสามเหลี่ยม

รูปที่ 6.21 แสดงรูปสัญญาณแรงดันอินพุต V_1 ซึ่งเป็นสัญญาณสามเหลี่ยมความถี่ 2kHz วัดโดยใช้ Ch1 และแรงดันเอาต์พุตซึ่งวัดที่ Ch2 โดยที่จ่าย V_2 ด้วยสัญญาณไซน์ความถี่ 50kHz สัญญาณเอาต์พุตที่ได้แสดงให้เห็นว่าขนาดของสัญญาณไซน์ความถี่ 50kHz เปลี่ยนแปลงตามขนาดของสัญญาณสามเหลี่ยม โดยที่ Ch1: 1V/div, Ch2: 200mV/div และ Time: 100 μ s/div

รูปที่ 6.22 เป็นการวัดความผิดพลาดเชิงเส้นของวงจรรวม ซึ่งวัดโดยการจ่ายสัญญาณสามเหลี่ยมความถี่ 100Hz ขนาด 1V เข้าที่จุดอินพุต V_1 และให้แรงดันอินพุต V_2 เป็นแรงดันไฟตรงค่า 1V ใช้วงจรรขยายภายนอกเพื่อให้ $V_0/V_1=1$ จากผลการทดลอง Ch1 แสดงแรงดันอินพุต V_1 , Ch2 เป็นแรงดันเอาต์พุต V_0 และ R1 คือแรงดันค่าผิดพลาด (V_1-V_0) โดยที่ Ch1: 500mV/div, Ch2: 500mV/div, R1: 100mV/div และ Time: 2.5ms/div ผลการวัดค่าแรงดันความผิดพลาดในช่วงแรงดันอินพุต V_1 เท่ากับ $2V_{pp}$ ได้ความผิดพลาด 21.72mV นั้นหมายความว่า ความผิดพลาดเชิงเส้นมีค่า 21.72mV/2V เท่ากับ 1.08%

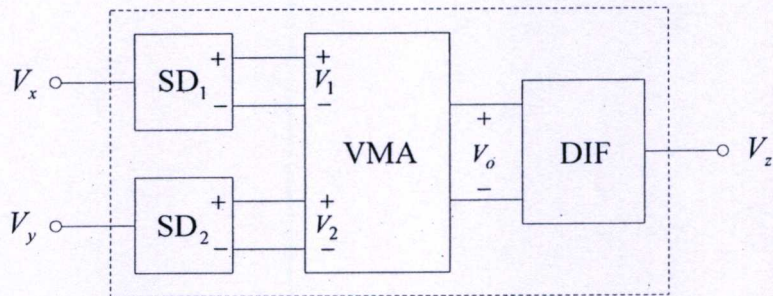
6.11 สรุป

วงจรรวมเชิงแรงดันแบบควอเตอร์-สแควร์ที่ไม่ขึ้นกับแรงดันขีดเริ่ม ออกแบบขึ้นโดยใช้วงจรรวมสัญญาณที่ทำหน้าที่สร้างสัญญาณผลบวกและสัญญาณผลต่าง เพื่อจ่ายให้กับวงจรฟังก์ชันกำลังสองซึ่งรับสัญญาณอินพุตและให้แรงดันเอาต์พุตโดยไม่ใช้ตัวต้านทาน การออกแบบวงจรรวมอาศัยคุณสมบัติกำลังสองภายในของทรานซิสเตอร์ และไม่ใช้การประมาณอนุกรมเทเลอร์เหมือนดังเช่นวงจรรวมแอนะล็อกเชิงแรงดันที่นำเสนอในบทที่ผ่านมา จากการใช่วงจรสร้างแรงดันอ้างอิง วงจรรวมแอนะล็อกที่นำเสนอมีคุณสมบัติไม่ขึ้นกับแรงดันขีดเริ่มและไม่ขึ้นกับแหล่งจ่ายแรงดันไฟตรง คุณสมบัติของวงจรรวมแอนะล็อก เช่น ช่วงการรับแรงดันอินพุต ผลจากทรานซิสเตอร์ที่มีขนาดไม่เท่ากันและสัญญาณรบกวนได้รับการวิเคราะห์ ผลการจำลองการทำงานด้วย PSPICE ได้ยืนยันถึงการทำงานของวงจรรวมซึ่งผลจากวงจรฟังก์ชันกำลังสองที่ออกแบบขึ้นใหม่ส่งผลให้วงจรรวมแอนะล็อกเชิงแรงดันมีช่วงการรับแรงดันอินพุตกว้างขึ้น ความเพี้ยนฮาร์โมนิกมีค่าลดลง ความเป็นเชิงเส้นดีขึ้น นั้นหมายถึงความผิดพลาดเชิงเส้นที่มีค่าลดลง ผลการทดลองจากการต่อวงจรจริงโดยใช้ทรานซิสเตอร์ MC14007 ได้แสดงถึงการทำงานของวงจรรวมแอนะล็อกเชิงแรงดันที่สอดคล้องกับการวิเคราะห์ทางทฤษฎี และสอดคล้องกับผลที่ได้จากการจำลองการทำงานด้วยโปรแกรมคอมพิวเตอร์ ซึ่งหมายถึงวงจรรวมแอนะล็อกเชิงแรงดันแบบควอเตอร์-สแควร์สามารถทำงานได้ตามจุดมุ่งหมายที่ได้ออกแบบไว้

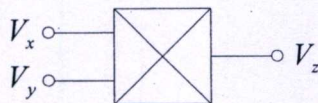
บทที่ 7

การประยุกต์ใช้งานวงจรคูณเชิงแรงดัน

วงจรคูณสัญญาณแอนะล็อกได้ถูกนำไปประยุกต์ใช้งานอย่างแพร่หลาย เช่น ในวงจรยกกำลังสอง วงจรทวีความถี่ วงจรมอดูเลตและดีมอดูเลตแบบเอเอ็ม วงจรหารสัญญาณ วงจรลดทอนสัญญาณ วงจรขยายสัญญาณที่ควบคุมด้วยแรงดัน ในบทนี้จะนำเสนอตัวอย่างการประยุกต์ใช้งานวงจรคูณเชิงแรงดันที่ออกแบบขึ้นในบทที่ 6 เพื่อแสดงให้เห็นว่าวงจรคูณที่ออกแบบสามารถใช้งานได้เช่นเดียวกับวงจรคูณแบบอื่นที่มีผู้นำเสนอมาแล้ว เพื่อความสะดวกในการประยุกต์ใช้งานจึงดัดแปลงให้วงจรคูณแอนะล็อกเชิงแรงดัน (VMA) สามารถรับแรงดันอินพุตเป็นแบบขั้วเดียวโดยใช้วงจรเปลี่ยนแรงดันจากขั้วเดียวเป็นสองขั้ว SD_1 และ SD_2 [25] และออกแบบวงจรลบสัญญาณ DIF เพื่อให้แรงดันเอาต์พุตของวงจรคูณเป็นแบบขั้วเดียวดังรูปที่ 7.1



(ก) โครงสร้าง



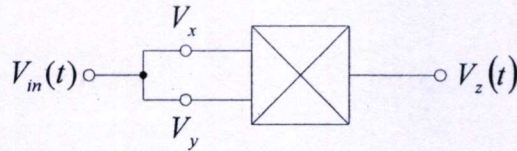
(ข) สัญลักษณ์

รูปที่ 7.1 วงจรคูณเชิงแรงดันที่รับอินพุตและให้เอาต์พุตเป็นแบบขั้วเดียว

เมื่ออัตราขยายของวงจรเปลี่ยนสัญญาณขั้วเดียวเป็นสองขั้ว SD_1 และ SD_2 รวมถึงอัตราขยายของวงจรลบสัญญาณ DIF มีค่าเป็นหนึ่งจะได้ความสัมพันธ์ระหว่างแรงดันอินพุต V_x และ V_y กับแรงดันเอาต์พุต V_z เป็น

$$V_z = G_F V_x V_y \quad (7.1)$$

เมื่อ G_F คืออัตราขยายของวงจรคูณมีค่าเท่ากับ



รูปที่ 7.2 การประยุกต์ใช้งานวงจรถูกเป็นวงจรถูกกำลังสอง

$$G_F = \left[\frac{K_1}{8K_5 \left(3\sqrt{I_{DD}/K_{10}} - \sqrt{I_{SS}/2K_5} \right)} \right]$$

7.1 วงจรถูกกำลังสองและวงจรถูกความถี่

รูปที่ 7.2 แสดงการประยุกต์ใช้งานวงจรถูกเชิงแรงดันเป็นวงจรถูกกำลังสอง โดยการจ่ายแรงดันอินพุต $V_{in}(t)$ เข้าที่จุดอินพุต V_x และ V_y ของวงจรถูก จากสมการแสดงคุณสมบัติดังสมการ (7.1) จะได้แรงดันเอาต์พุต $V_z(t)$ มีค่าเท่ากับ

$$V_z(t) = G_F V_{in}^2(t) \quad (7.2)$$

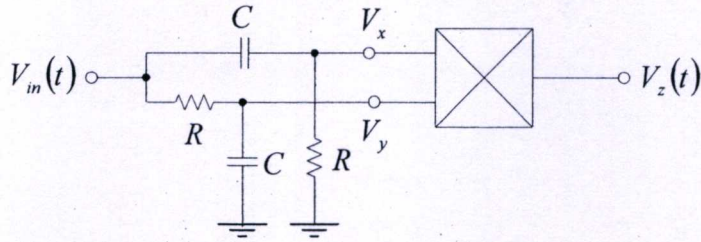
เมื่อแรงดันอินพุต $V_{in}(t) = V_a \sin \omega t$ จะได้

$$\begin{aligned} V_z(t) &= G_F (V_a \sin \omega t)^2 \\ &= \frac{1}{2} G_F V_a^2 (1 - \cos 2\omega t) \end{aligned} \quad (7.3)$$

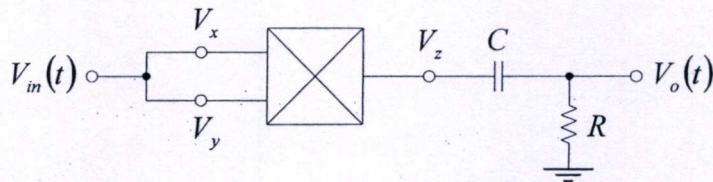
จะเห็นได้ว่าความถี่ของแรงดันเอาต์พุต $V_z(t)$ มีค่าเป็นสองเท่าของความถี่แรงดันอินพุต อย่างไรก็ตามแรงดันเอาต์พุตยังประกอบด้วยเทอมของแรงดันไฟตรง วงจรถูกความถี่ที่ปราศจากแรงดันไฟตรง (Bounceless frequency doubler) แสดงดังรูปที่ 7.3 (ก) โดยใช้ความต้านทาน R และตัวเก็บประจุ C ในการเลื่อนเฟส (Phase) ของสัญญาณอินพุต ที่ความถี่ $\omega_o = 1/CR$ เฟสของสัญญาณที่ V_x นำหน้า $V_{in}(t)$ อยู่ 45° และที่ V_y ถ้าหลังกว่า $V_{in}(t)$ เท่ากับ 45° โดยที่ขนาดของแรงดันอินพุตถูกลดทอนลงไปเท่ากับ $\sqrt{2}$ ดังนั้นเราสามารถหาค่าแรงดันเอาต์พุตได้เป็น

$$\begin{aligned} V_{out}(t) &= G_F \frac{V_a}{\sqrt{2}} (\sin \omega_o t + 45^\circ) \frac{V_a}{\sqrt{2}} (\sin \omega_o t - 45^\circ) \\ &= \frac{1}{4} G_F V_a^2 (\sin 2\omega_o t) \end{aligned} \quad (7.4)$$

ซึ่งได้สัญญาณเอาต์พุตที่เป็นสัญญาณไซน์ที่ไม่มีส่วนประกอบของแรงดันไฟตรง



(ก) ต่อ RC ที่อินพุต



(ข) ต่อ RC ที่เอาต์พุต

รูปที่ 7.3 วงจรทวิความถี่ที่ไม่มีองค์ประกอบของไฟตรง

อย่างไรก็ตามด้วยวิธีการนี้ เราจำเป็นต้องเลือกตัวเก็บประจุและตัวต้านทานให้เหมาะสมกับความถี่ใช้งาน นั่นคือวงจรทวิความถี่สามารถใช้งานได้ดีที่สุดที่ความถี่ ω_0 เท่านั้น รูปที่ 7.3 (ข) แสดงวงจรทวิความถี่ที่ตัดแรงดันไฟตรงออกจากสัญญาณเอาต์พุตโดยใช้ตัวเก็บประจุและตัวต้านทานต่อที่ฝั่งเอาต์พุตของวงจรคุณในลักษณะของวงจรกรองความถี่ต่ำผ่าน เพื่อหลีกเลี่ยงการสูญเสียของสัญญาณเอาต์พุต ความต้านทาน R ตัวเก็บประจุ C และความถี่เอาต์พุต f_0 ควรจะต้องมีค่าดังนี้

$$f_0 = \frac{10}{2\pi RC}$$

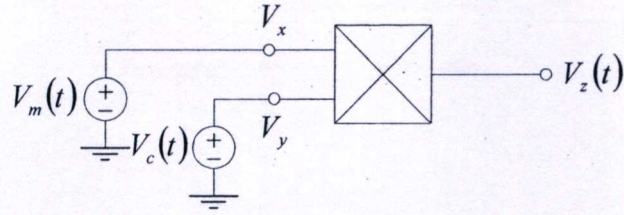
7.2 การแปลงความถี่โดยใช้วงจรคูณ

วงจรคูณแอมพลิจูดได้รับความนิยมอย่างแพร่หลาย ในการใช้งานเพื่อเปลี่ยนแปลงความถี่ข้อมูลข่าวสาร (Frequency translation) กระบวนการนี้บางครั้งเรียกว่าการผสมสัญญาณ (Mixing) หรือการเฮเทอไดน์ (Heterodyning) ซึ่งเรามักจะพบได้เสมอในระบบการสื่อสารโทรคมนาคม รูปที่ 7.4 แสดงการใช้วงจรคูณเชิงแรงดันเพื่อมอดูเลตสัญญาณแบบเอเอ็ม เมื่อสัญญาณข้อมูลข่าวสาร (Baseband) คือ

$$V_m(t) = A_m \cos \omega_m t$$

และสัญญาณคลื่นพาห้ (Carrier signal) มีค่า

$$V_c(t) = A_c \cos \omega_c t$$



รูปที่ 7.4 วงจรแปลงความถี่โดยใช้วงจรถคูณ

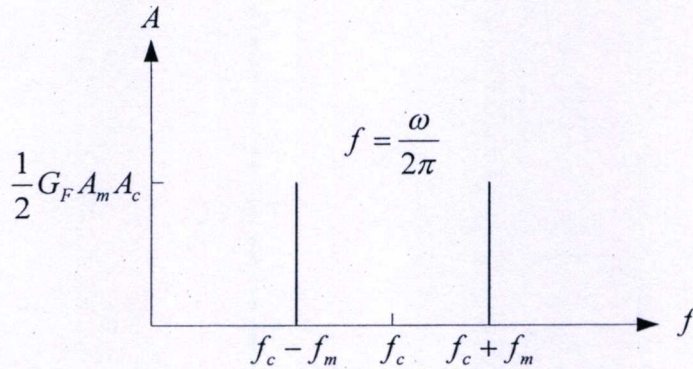
ในกรณีทั่วไปซึ่ง $\omega_m \ll \omega_c$ การแปลงความถี่เกิดขึ้นได้โดยอาศัยการทำงานของวงจรถคูณ โดยที่

$$V_z(t) = G_F V_m(t) \cdot V_c(t)$$

$$= G_F A_m A_c \cos \omega_m t \cos \omega_c t$$

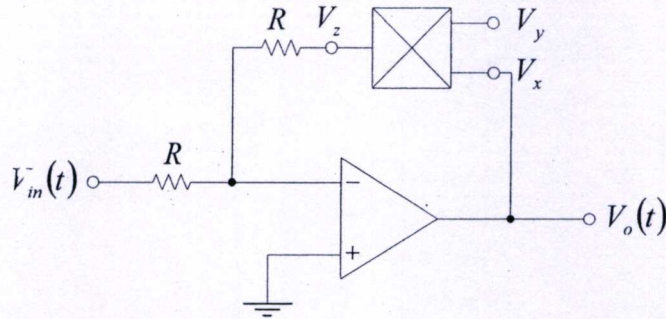
จากทฤษฎีตรีโกณมิติ $\cos \theta \cos \phi = \frac{1}{2} \cos(\theta + \phi) + \frac{1}{2} \cos(\theta - \phi)$ จะได้สัญญาณเอาต์พุต $V_z(t)$ เป็น

$$V_z(t) = \frac{1}{2} G_F A_m A_c [\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)t] \quad (7.5)$$



รูปที่ 7.5 องค์ประกอบของความถี่สัญญาณเอาต์พุต

เมื่อเขียนกราฟในแกนความถี่ของสัญญาณเอาต์พุตที่ได้จากการแปลงความถี่ จะได้องค์ประกอบของสัญญาณเอาต์พุตแสดงในรูปที่ (7.5) จากรูปสังเกตเห็นว่าสัญญาณเอาต์พุตประกอบด้วยความถี่ผลบวก ($f_c + f_m$) และความถี่ผลต่าง ($f_c - f_m$) ของสัญญาณอินพุตทั้งสอง โดยที่ความถี่ข้อมูลข่าวสาร f_c และความถี่คลื่นพาห้ f_m ไม่ปรากฏที่จุดเอาต์พุตเลยโดยเรียกความถี่ ($f_c - f_m$) ว่าความถี่ด้านล่าง (Lower sideband) และเรียก ($f_c + f_m$) ว่าความถี่ด้านบน (Upper sideband) เรียกความถี่ที่ถูกแปลงทั้งหมดว่า Double sideband suppress carrier (DSB)



รูปที่ 7.6 วงจรหารแอนะล็อกที่สร้างจากออปแอมป์และวงจรคูณ

7.3 วงจรหารสัญญาณแอนะล็อกแบบกลับขั้ว

วงจรคูณแอนะล็อกสามารถใช้เพื่อออกแบบสร้างวงจรหารสัญญาณแอนะล็อกได้ ดังวงจรในรูปที่ 7.6 ซึ่งออกแบบให้วงจรคูณแอนะล็อกเชิงแรงดันต่ออยู่ในรูปป้อนกลับของวงจรขยายแบบกลับขั้วที่ใช้ออปแอมป์ (Inverting amplifier) เมื่อออปแอมป์มีคุณสมบัติเป็นอุดมคติ จะได้แรงดันที่จุดเอาต์พุตของวงจรคูณ V_z มีค่าเท่ากับ

$$V_z = -V_{in}(t)$$

และ V_z สัมพันธ์กับแรงดันอินพุตของวงจรคูณคือ

$$V_z = G_F V_o(t) V_y$$

นั่นคือ

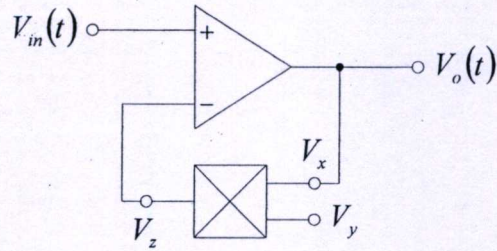
$$V_o(t) = -\frac{V_{in}(t)}{G_F V_y} \quad (7.6)$$

ซึ่งจะได้แรงดันเอาต์พุต $V_o(t)$ อยู่ในรูปแบบของแรงดันอินพุต $V_{in}(t)$ หารด้วย V_y โดยที่มีเงื่อนไขขอบเขตของสัญญาณอินพุต $V_y > 0$

7.4 วงจรหารแอนะล็อกแบบไม่กลับขั้ว

วงจรหารสัญญาณแอนะล็อกแบบไม่กลับขั้วแสดงดังรูปที่ 7.7 อาศัยหลักการเดียวกันกับวงจรหารแบบกลับขั้วคือการต่อวงจรคูณ ให้อยู่ในวงรอบการป้อนกลับของวงจรขยายที่ใช้ออปแอมป์ ในที่นี้วงจรคูณเชิงแรงดันถูกต่ออยู่ภายในวงจรการป้อนกลับของวงจรขยายบัฟเฟอร์ (Buffer amplifier) เมื่อออปแอมป์มีคุณสมบัติเป็นอุดมคติ เราคำนวณแรงดันเอาต์พุตของวงจรคูณ V_z ได้เป็น

$$V_z = G_F V_o(t) V_y$$



รูปที่ 7.7 วงจรหารแอนะล็อกแบบไม่กลับขั้ว

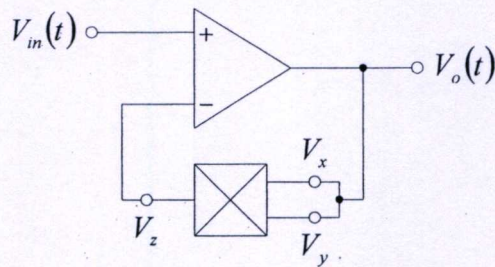
เมื่อออปแอมป์มีอัตราขยายเปิดสูงมาก แรงดันที่ขาอินพุตบวกมีค่าเท่ากับที่ขาอินพุตลบ ดังนั้น $V_{in}(t) = V_z$ ซึ่งหมายถึง

$$V_{in}(t) = G_F V_o(t) V_y$$

และสามารถหาค่าแรงดันเอาต์พุตของวงจรหารสัญญาณได้จาก

$$V_o(t) = \frac{V_{in}(t)}{G_F V_y} \quad (7.7)$$

โดยที่แรงดันอินพุต $V_y > 0$ ซึ่งเป็นเงื่อนไขเดียวกับวงจรหารแบบกลับขั้ว



รูปที่ 7.8 วงจรลดครากที่สอง

7.5 วงจรลดครากที่สอง

จากวงจรหารแอนะล็อกแบบไม่กลับขั้วในรูปที่ 7.7 เมื่อต่อจุดอินพุตทั้งสองของวงจรถูกเข้าที่จุดเอาต์พุตของออปแอมป์จะได้วงจรลดครากที่สองดังรูปที่ 7.8 เมื่อออปแอมป์มีคุณสมบัติเป็นอุดมคติ จะได้แรงดันเอาต์พุตของวงจรถูก $V_z = G_F V_o^2(t)$ และจากคุณสมบัติของออปแอมป์ที่แรงดันที่ขาอินพุตทั้งสองมีค่าเท่ากัน ดังนั้นจะได้ $V_{in}(t) = V_z$ ซึ่งหมายถึง

$$V_{in}(t) = G_F V_o^2(t)$$

และจะได้แรงดันเอาต์พุต $V_o(t)$ เป็น

$$V_o(t) = \sqrt{\frac{V_m(t)}{G_F}} \quad (7.8)$$

7.6 สรุป

วงจรถูกแอนะล็อกได้รับความนิยมอย่างแพร่หลาย ในการนำไปประยุกต์ใช้งานในระบบการประมวลสัญญาณแอนะล็อก เช่น วงจรทวีความถี่ วงจรแปลงความถี่ วงจรมอดูเลตแบบเอเอ็ม วงจรหารสัญญาณแอนะล็อก วงจรถอดรหัสดิจิตอล และยังสามารถนำไปประยุกต์ใช้งานในระบบอื่นอีกหลากหลาย ด้วยหลักการต่อวงจรออปแอมป์แบบกลับฟังก์ชัน (Inverse function) [28-29] ซึ่งวางวงจรถูกไว้ในวงรอบการป้อนกลับของวงจรถายที่ใช้ออปแอมป์ที่มีการป้อนกลับแบบลบ ทำให้สามารถออกแบบตัดแปลงวงจรถูกแอนะล็อกเชิงแรงดันให้เป็นวงจรฟังก์ชันทางคณิตศาสตร์ที่หลากหลาย เช่นเดียวกับวงจรถูกแอนะล็อกแบบอื่นที่มีผู้นำเสนอมาแล้ว

บทที่ 8

สรุปและวิจารณ์

ที่ผ่านมาวิธีในการออกแบบวงจรแอมพลิฟายเออร์สามารถทำได้หลากหลายรูปแบบ เทคนิคการปรับเปลี่ยนความนำของวงจรรขยายผลต่างหรือวงจรมอดูเลชันของกิลเบิร์ต ได้รับความนิยมน้อยมากในการออกแบบวงจรแอมพลิฟายเออร์ทั้งในเทคโนโลยี BJT และ CMOS ต่อมา การออกแบบวงจรแอมพลิฟายเออร์โดยใช้คุณสมบัติกำลังสองของทรานซิสเตอร์แบบ CMOS ที่ไบแอสอยู่ในช่วงอิ่มตัวหรือไตรโอด เป็นอีกวิธีการหนึ่งที่แพร่หลายในการออกแบบวงจรมอดูเลชันและวงจรมอดูเลชัน เช่น วงจรมอดูเลชันและวงจรมอดูเลชันที่ออกแบบขึ้นจากพื้นฐานของวงจรมอดูเลชัน 2 อินพุต หรือ วงจรมอดูเลชันแบบควอเตอร์-สแควร์ อย่างไรก็ตาม ด้วยคุณสมบัติการส่งผ่านระหว่างแรงดันอินพุตและกระแสเอาต์พุตของทรานซิสเตอร์ทั้งแบบ BJT และ CMOS ซึ่งอยู่ในลักษณะของวงจรรขยายส่งผ่านความนำ (Transconductance amplifier) ทำให้ต้องใช้ตัวต้านทานเมื่อต้องการสัญญาณเอาต์พุตอยู่ในรูปแบบของแรงดัน ซึ่งเป็นสิ่งที่ควรหลีกเลี่ยงในการออกแบบวงจรรวม

ดังนั้น ในวิทยานิพนธ์นี้จึงนำเสนอวิธีการออกแบบวงจรแอมพลิฟายเออร์รูปแบบใหม่ ที่มีหลักการพื้นฐานจากวงจรมอดูเลชันกำลังสองเชิงแรงดันที่รับแรงดันอินพุต และ ให้แรงดันเอาต์พุตโดยไม่ใช้ตัวต้านทานในทุกรูปแบบ อาศัยคุณสมบัติกำลังสองของทรานซิสเตอร์แบบ CMOS วงจรมอดูเลชันเชิงแรงดันที่ใช้ทรานซิสเตอร์ต่อแบบไดโอดคู่ได้ถูกออกแบบขึ้น จากการประมาณสมการแรงดันเอาต์พุตของวงจรมอดูเลชันคู่โดยใช้อุปกรณ์เทเลอร์ เพื่อให้แรงดันเอาต์พุตอยู่ในรูปแบบของสมการกำลังสอง หลังจากนั้นทำการกำจัดองค์ประกอบความถี่ที่ไม่ต้องการโดยใช้วงจรมอดูเลชันเชิงแรงดัน ทำให้สามารถออกแบบเป็นวงจรมอดูเลชันเชิงแรงดันที่มีการส่งผ่านสัญญาณในรูปแบบของแรงดันทั้งหมด แต่เนื่องจากวงจรมอดูเลชันอินพุตของวงจรมอดูเลชันที่นำเสนอใช้ทรานซิสเตอร์ต่อแบบไดโอด ส่งผลให้ความต้านทานอินพุตของวงจรมอดูเลชันเชิงแรงดันจากโครงสร้างไดโอดคู่มีค่าต่ำ ซึ่งถือว่าเป็นปัญหาที่สำคัญประการหนึ่ง

เพื่อแก้ปัญหาค่าความต้านทานอินพุตที่มีค่าต่ำ วงจรมอดูเลชันเชิงแรงดันจากโครงสร้างไดโอดคู่จึงพัฒนาเป็นวงจรมอดูเลชันเชิงแรงดันจากโครงสร้างวงจรรขยายผลต่าง และวงจรมอดูเลชันเชิงแรงดันแบบควอเตอร์-สแควร์ดังที่นำเสนอไว้ในบทที่ 4 และบทที่ 5 ตามลำดับจากการออกแบบในวงจรส่วนหน้าของวงจรมอดูเลชันทั้งสองเป็นวงจรรขยายผลต่าง จึงสามารถแก้ปัญหาค่าความต้านทานอินพุตค่าต่ำของวงจรมอดูเลชันในบทที่ 3 ให้หมดไป อย่างไรก็ตาม คุณสมบัติการคูณของวงจรมอดูเลชันทั้งหมดเกิดขึ้นจากการประมาณอนุกรมเทเลอร์ ซึ่งส่งผลให้ช่วงการรับแรงดันอินพุตมีค่าต่ำ ในขณะที่ความเพี้ยนฮาร์มอนิกและความผิดพลาดเชิงเส้นมีค่าค่อนข้างสูง

จากปัญหาทั้งหมดของวงจรรวมแอนะล็อกเชิงแรงดันทุกแบบที่นำเสนอมาแล้ว วงจรรวมแอนะล็อกเชิงแรงดันแบบควอเตอร์-สแควร์ที่ไม่ขึ้นกับแรงดันขีดเริ่มในบทที่ 6 จึงถูกออกแบบขึ้น โครงสร้างวงจรรวมประกอบด้วยวงจรรวมแรงดัน เพื่อสร้างสัญญาณผลบวกและแรงดันผลต่างจ่าย เป็นสัญญาณอินพุตให้กับวงจรฟังก์ชันกำลังสองที่ออกแบบขึ้นใหม่ และด้วยคุณสมบัติของวงจรรวมฟังก์ชันกำลังสอง ที่แรงดันเอาต์พุตอยู่ในรูปแบบของแรงดันอินพุตยกกำลังสองอย่างสมบูรณ์ วงจรรวมแบบใหม่จึงสามารถรับแรงดันอินพุตได้กว้าง ความเพี้ยนฮาร์มอนิกและความผิดพลาดเชิงเส้นมีค่าต่ำกว่าวงจรรวมแอนะล็อกเชิงแรงดันทุกแบบที่นำเสนอมา ซึ่งคุณสมบัติของวงจรรวมยืนยันได้จากผลจำลองการทำงานและผลการทดลองจากการต่อวงจรจริง และตัวอย่างการประยุกต์ใช้งานในบทที่ 7 แสดงให้เห็นว่าวงจรรวมสามารถใช้งานได้เช่นเดียวกับวงจรรวมแบบอื่นที่มีผู้นำเสนอมาแล้ว

วงจรรวมแอนะล็อกเชิงแรงดันทุกวงจรรวมที่นำเสนอไว้ตั้งแต่บทที่ 3 ถึงบทที่ 6 ออกแบบขึ้นโดยไม่คิดผลของบอดี้ นั่นคือขาซอร์สและบอดี้ของทรานซิสเตอร์แต่ละตัวถูกต่อเข้าด้วยกัน ทำให้ความต่างศักย์ระหว่างซอร์สกับบอดี้มีค่าเป็นศูนย์ ดังนั้น แรงดันขีดเริ่มของทรานซิสเตอร์แต่ละชนิดมีค่าเท่ากัน ด้วยวิธีการเช่นนี้ การสร้างวงจรรวมที่ใช้ทรานซิสเตอร์ NMOS และ PMOS ในวงจรรวมจึงต้องใช้เทคโนโลยีบ่อคู่ (Twin well) แต่เนื่องจากวงจรรวมแอนะล็อกเชิงแรงดันในบทที่ 5 และ บทที่ 6 ออกแบบขึ้นโดยใช้ทรานซิสเตอร์ชนิด NMOS จึงสามารถสร้างในวงจรรวมได้โดยไม่จำเป็นต้องใช้เทคโนโลยีบ่อคู่ และ สร้างทรานซิสเตอร์ที่ขาซอร์สต่อถึงกันให้อยู่ในบ่อเดียวกันได้โดยไม่เกิดผลของบอดี้

ตาราง 8.1 เป็นการเปรียบเทียบคุณสมบัติวงจรรวมแอนะล็อกที่มีผู้นำเสนอมาแล้วกับวงจรรวมแอนะล็อกเชิงแรงดันในบทที่ 6 (VMA) โดยทำการเปรียบเทียบช่วงการรับแรงดันอินพุต ($V_{in(max)}$), ความถี่คัตออฟ (f_c), ความเพี้ยนฮาร์มอนิกรวม (THD), แหล่งจ่ายกำลังไฟตรง (V_{sup}), กำลังงานสูญเสีย (P_D), และความต้านทานโหลดของวงจรรวม (R) ที่ใช้เพื่อให้ได้สัญญาณเอาต์พุตอยู่ในรูปของแรงดัน จากตารางดังกล่าวแสดงให้เห็นว่า วงจรรวมที่นำเสนอในวิทยานิพนธ์นี้สามารถตัดตัวต้านทานออกไปได้ และยังมีข้อดีที่ความต้านทานเอาต์พุตมีค่าต่ำกว่าวงจรรวมที่ใช้ตัวต้านทานอีกด้วย

อย่างไรก็ตาม เพื่อความสะดวกในการประยุกต์ใช้งาน วงจรรวมในบทที่ 6 จำเป็นต้องใช้วงจรเปลี่ยนแรงดันอินพุตชั่วคราวเป็นสองขั้ว (SD_1, SD_2) และวงจรถบสัญญาณ (DIF) เพื่อเปลี่ยนแรงดันเอาต์พุตให้เป็นแบบขั้วเดียว ดังนั้น แนวทางในการพัฒนาต่อจากนี้ไป คือการออกแบบวงจรรวมแอนะล็อกเชิงแรงดันที่สามารถรับแรงดันอินพุตได้ทั้งสองรูปแบบ และให้สัญญาณเอาต์พุตเป็นแบบขั้วเดียวโดยไม่ต้องใช้วงจรอื่นเพิ่มเติม

ตาราง 8.1 เปรียบเทียบคุณสมบัติของวงจรรวม

Ref., Year	Process	V_{in} (V)	f_c (Hz)	THD	V_{sup} (V)	P_D (W)	R (Ω)
[2], 1982	5 μ m	± 700 m	1.5M	-60dB	-	-	1k
[3], 1985	6 μ m	± 10	1.2M	-	22	-	80k
[4], 1997	1.2 μ m	± 1.5	100M	-40dB	5	4m	600
[5], 1987	5 μ m	± 2.5	5M	0.73%	± 5	10m	ไม่ระบุ
[6], 1990	-	± 2	30M	0.6%	± 5	8m	12k
[7], 1993	3 μ m	± 2	40M	-	-	-	100k
[8], 1994	3 μ m	± 4	20M	2.5%	± 5	-	10k
[9], 1996	0.8 μ m	± 0.8	1M	<2%	2.5	-	100k
[10], 1998	0.8 μ m	± 250 m	2.2M	1.1%	1.2	2.76m	4k
[11], 2008	0.5 μ m	± 500 m	600M	-	± 2.5	1m	4k, 2k
[12], 2005	0.8 μ m	± 300 m	175M	0.395%	2	80 μ	2k
[13], 2006	0.35 μ m	± 200 m	719M	2.5%	1.5	47 μ	10k
[15], 1994	-	± 50 m	<1M	-	<3	0.24m	24k
[16], 2008	-	-	114M	5%	± 2.5	3.82m	520
VMA	0.35 μ m	± 800 m	230M	0.42%	± 1.5	0.9m	-

เอกสารอ้างอิง

- [1] B. Gilbert, "A precise four-quadrant multiplier with subnanosecond response," IEEE J. Solid-State Circuits, vol. 3, no. 4, pp. 365-373. Dec. 1968.
- [2] David C. Soo and Robert G. Meyer, "A Four-Quadrant NMOS analog multiplier," IEEE J. Solid-State Circuits, vol. sc-17, no. 6, pp. 1174-1178. Dec. 1982.
- [3] J. N. Babanezhad and J. C. Temes, "A 20-V four-quadrant analog multiplier," IEEE J. Solid-State Circuits, vol. sc-20, no. 6, pp. 1158-1168, Dec. 1985.
- [4] M. Franciotta, G Colli, and R Castello, "A 100-MHz 4-mW four-quadrant BiCMOS analog multiplier," IEEE J. Solid-State Circuits, vol. 22, no. 10, pp. 1568-1572. Oct. 1997.
- [5] J. S. Pena-Finol and J. A. Connelly, "A MOS four-quadrant analog multiplier using the quarter-square technique," IEEE J. Solid-State Circuits, vol. 22, no. 6, pp. 1064-1073. Dec. 1987.
- [6] Ho-Jun Song and Choong-Ki Kim, "An MOS Four-Quadrant Analog Multiplier Using Simple Two-Input Squaring Circuits with Source Followers," IEEE J. Solid-State Circuits, vol. 25, no. 3, Jun. 1990.
- [7] Z. Wang, "A Four-Transistor Four-Quadrant Analog Multiplier Using MOS Transistors Operating in the Saturation Region," IEEE Trans Inst. Meas., vol. 42, no. 1, Feb. 1993.
- [8] Shen-Iuan Liu and Yuh-Shyan Hwang, "CMOS Four-quadrant Multiplier Using Bias Feedback Techniques," IEEE J. Solid-State Circuits, vol. 29, no. 6, Jun. 1994.
- [9] S.-I. Lui and D.-J. Wei, "Analogue squarer and multiplier based on MOS square-law characteristic," Electron. Lett., vol. 32, pp. 541-542, Mar. 1996.
- [10] Shuo-Yuan Hsiao, and Chung-Yu Wu, "A Parallel Structure for CMOS Four-Quadrant Analog Multipliers and Its Application to a 2-GHz RF Downconversion Mixer," IEEE J. Solid-State Circuits, vol. sc- 33, no. 6, pp. 1064-1073, June 1998.
- [11] S. R. S. Garimella, J. Ramirez-Angulo, A. Lopez-Martin, and R. G. Carvajal, "Design of highly linear multipliers using floating gate transistors and/or source degeneration resistor," IEEE ISCAS'08 Proceedings, pp. 1492-1495, May 2008.

- [12] A. Demosthenous and M. Panović, "**Low-voltage MOS linear transconductor/squarer and four-quadrant multiplier for analog VLSI,**" IEEE Trans. Circuits Syst., vol. 52, no. 9, Sept. 2005.
- [13] Z. Li and C. Chen, "**Low-power low-noise CMOS analogue multiplier,**" IEE Proc-Circuits Devices Syst., vol. 153, no. 3, June 2006.
- [14] K. T. Lau, S. T. Lee, and V. K. S. Ong, "**Four-quadrant analogue multiplier cell for VLSI signal and information processing,**" IEE Proc-Circuits Devices Syst., vol. 145, no. 2, pp. 132-134, Apr. 1998.
- [15] K. Kimura, "**A bipolar four-quadrant analog quarter-square multiplier consisting of unbalanced emitter-coupled pairs and expansions of its input ranges,**" IEEE J. Solid-State Circuits, vol. 29, no. 1, pp. 46-55, Jan. 1994.
- [16] E. Yuce, "**Design of a Simple Current-Mode Multiplier Topology Using a Single CCCII+,**" IEEE Trans. Instru. Meas., vol. 57, no. 3, Mar. 2008.
- [17] W. Surakamponorn and V. Riewruja, "**Integrable CMOS sinusoidal frequency doubler and full-wave rectifier,**" Int. J. Electronics, vol. 73, pp. 627-632, 1992.
- [18] B. Boonchu and W. Surakamponorn, "**A CMOS Current-mode squarer/rectifier circuit,**" IEEE ISCAS'03 Proceedings, vol. 1, pp. 405-408, May 2003.
- [19] Boonchai Boonchu and Wanlop Surakamponorn, "**CMOS Voltage-Mode Analog Multiplier,**" IEEE ISCAS'06 Proceedings, pp. 1989-1992, May 2006.
- [20] Boonchai Boonchu and Wanlop Surakamponorn, "**A New NMOS Four-Quadrant Analog Multiplier,**" IEEE ISCAS'05 Proceedings, pp. 1004-1007, May 2005.
- [21] Boonchai Boonchu and Wanlop Surakamponorn, "**A FOUR-QUADRANT ANALOG MULTIPLIER USING BASIC DIFFERENTIAL PAIR,**" IEEE TENCON Proceedings, pp. 290-293, 2004.
- [22] Boonchai Boonchu and Wanlop Surakamponorn, "**Voltage-mode threshold-independent analogue multiplier,**" Int. J. Electronics, vol. 96, no. 5, pp. 457-466, May 2009.
- [23] B. Boonchu, P. Phadungkul, and W. Surakamponorn, "**A 100-MHz 1.5-mW Quarter-Square Four-Quadrant Analog Multiplier,**" IEEJ Analog VLSI Workshop Proceedings, May 2001.
- [24] B. Boonchu and W. Surakamponorn, "**Voltage-Mode CMOS Squarer/Multiplier Circuit,**" ITC-CSCC 2002 Proceedings, July 2002.

- [25] Z. Wang, "A CMOS Four-Quadrant Analog Multiplier with Single-ended Voltage Output and Improved Temperature Performance," IEEE J. Solid-State Circuits, vol. 26, no. 9, Sep. 1991.
- [26] Phillip E. Allen and Douglas R. Holberg, "CMOS Analog Circuit Design," New York: Oxford, 1987.
- [27] B. Razavi, "Design of Analog CMOS Integrated Circuits," New York: McGraw-Hill, 2001.
- [28] Edward A. Wilson, "Electronic Communications Technology," New Jersey: Prentice-Hall, 1989.
- [29] J. Michael Jacob, "Applications and Design with Analog Integrated Circuits," New Jersey: Prentice-Hall, 1993.

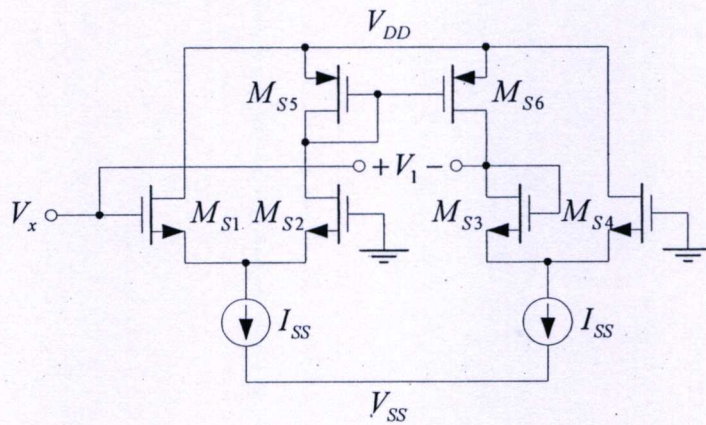
ภาคผนวก ก.

วงจรเปลี่ยนแรงดันขั้วเดียวเป็น 2 ขั้ว

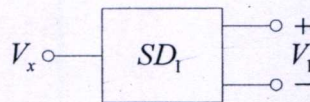
การประยุกต์ใช้งานวงจรคูณแวนเอะล็อกเชิงแรงดันที่นำเสนอไว้ในบทที่ 7 ได้กล่าวถึง วงจร SD_1 และ SD_2 ซึ่งทำหน้าที่เปลี่ยนแรงดันอินพุตชั่วเดียวให้เป็นแบบ 2 ขั้ว เพื่อง่ายให้เป็น สัญญาณอินพุตของวงจรคูณแวนเอะล็อกเชิงแรงดัน (VMA) ในที่นี้ได้ออกแบบวงจร SD_1 โดยการ ดัดแปลงวงจร Scaled floating-voltage pair generator ที่นำเสนอใน [25] เมื่อกำหนดให้ ทรานซิสเตอร์ $M_{S1}-M_{S4}$ มีคุณสมบัติเหมือนกันและไบแอสให้ทำงานอยู่ในช่วงอิมิตัว วงจรสะท้อน กระแส $M_{S5}-M_{S6}$ มีอัตราขยายเท่ากับ 1 เมื่อจ่ายแรงดันอินพุต V_x กระแสเดรนของทรานซิสเตอร์ M_{S2} ถูกส่งผ่านวงจรสะท้อนกระแส $M_{S5}-M_{S6}$ และถูกเปลี่ยนกลับเป็นแรงดันที่ $M_{S3}-M_{S4}$ ซึ่งแรงดัน อินพุต V_x ควรจะต้องเป็น

$$V_x = \frac{V_1}{2}$$

และในทำนองเดียวกันกับ SD_2 แรงดันอินพุต V_y ต้องมีค่าเท่ากับ $V_2/2$



(ก) โครงสร้าง



(ข) สัญลักษณ์

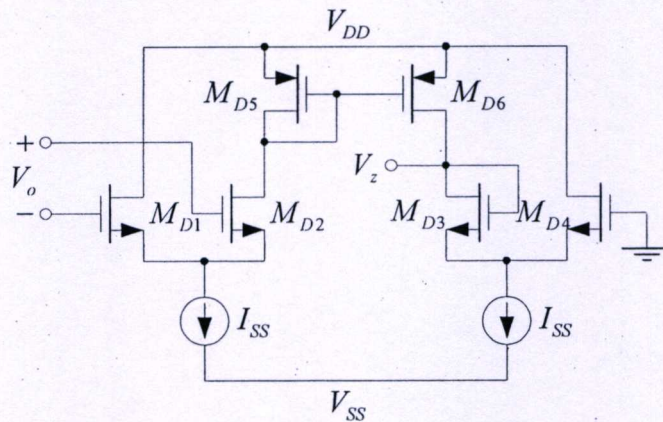
รูปที่ ก.1 วงจรเปลี่ยนแรงดันชั่วเดียวเป็น 2 ขั้ว

ภาคผนวก ข.
วงจรลบสูญญาณ

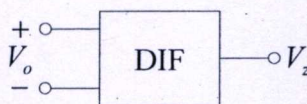
วงจรลบสัญญาณ (DIF) ที่ใช้ในการเปลี่ยนสัญญาณเอาต์พุตของวงจรคูณจากแรงดันผลต่างให้เป็นสัญญาณเอาต์พุตขั้วเดียวเทียบกับกราวด์แสดงดังรูปที่ ข. 1 ซึ่งออกแบบขึ้นโดยใช้วงจรขยายผลต่างและวงจรสะท้อนกระแสเช่นเดียวกับวงจรเปลี่ยนแรงดันขั้วเดียวเป็น 2 ขั้วดังรูปที่ ก. 1 เมื่อไบแอสทรานซิสเตอร์ทุกตัวให้ทำงานในช่วงอิมิตัวด้วยแหล่งจ่ายกระแสคงที่ I_{SS} และแหล่งจ่ายกำลังไฟตรง V_{DD} และ V_{SS} กำหนดให้ทรานซิสเตอร์ $M_{D1}-M_{D4}$ มีคุณสมบัติเหมือนกัน วงจรสะท้อนกระแส $M_{D5}-M_{D6}$ มีอัตราขยายเท่ากับ 1 เมื่อแรงดัน V_o มีค่ามากขึ้น กระแสเดรนของทรานซิสเตอร์ M_{D2} จะมีขนาดเพิ่มขึ้นตามแรงดัน V_o และถูกส่งผ่านไปยัง M_{D3} เพื่อเป็นเป็นแรงดัน V_z โดย วงจรสะท้อนกระแส $M_{D5}-M_{D6}$ ซึ่งจะได้

$$V_o = V_z$$

จะเห็นได้ว่า แรงดัน V_o มีค่าเท่ากับแรงดัน V_z ดังนั้น เมื่อ V_o คือแรงดันเอาต์พุตผลต่างของวงจรคูณแอนะล็อกเชิงแรงดัน เราจะได้แรงดันเอาต์พุต V_z เทียบกราวด์ซึ่งมีค่าเท่ากับแรงดันเอาต์พุต V_o



(ก) โครงสร้าง



(ข) สัญลักษณ์

รูปที่ ข. 1 วงจรลบสัญญาณ (DIF)

ภาคผนวก ก.
ทรานซิสเตอร์โมเดล

ทรานซิสเตอร์โมเดลพารามิเตอร์ที่ใช้ในการจำลองการทำงานเป็นโมเดลระดับ 3 โดยใช้
ของ TSMC ขนาด $0.35\mu\text{m}$ ซึ่งมีรายละเอียดคือ

.MODEL CMN NMOS (LEVEL = 3

+TOX = 7.9E-9 NSUB = 1E17 GAMMA = 0.5827871
 +PHI = 0.7 VTO = 0.5445549 DELTA = 0
 +UO = 436.256147 ETA = 0 THETA = 0.1749684
 +KP = 2.055786E-4 VMAX = 8.309444E4 KAPPA = 0.2574081
 +RSH = 0.0559398 NFS = 1E12 TPG = 1
 +XJ = 3E-7 LD = 3.162278E-11 WD = 7.046724E-8
 +CGDO = 2.82E-10 CGSO = 2.82E-10 CGBO = 1E-10
 +CJ = 1E-3 PB = 0.9758533 MJ = 0.3448504
 +CJSW = 3.777852E-10 MJSW = 0.3508721)

.MODEL CMP PMOS (LEVEL = 3

+ TOX = 7.9E-9 NSUB = 1E17 GAMMA = 0.4083894
 + PHI = 0.7 VTO = -0.7140674 DELTA = 0
 + UO = 212.2319801 ETA = 9.999762E-4 THETA = 0.2020774
 + KP = 6.733755E-5 VMAX = 1.181551E5 KAPPA = 1.5
 + RSH = 30.0712458 NFS = 1E12 TPG = -1
 + XJ = 2E-7 LD = 5.000001E-13 WD = 1.249872E-7
 + CGDO = 3.09E-10 CGSO = 3.09E-10 CGBO = 1E-10
 + CJ = 1.419508E-3 PB = 0.8152753 MJ = 0.5
 + CJSW = 4.813504E-10 MJSW = 0.5)

ภาคผนวก ง.
งานวิจัยที่ได้รับการตีพิมพ์

1. **B. Boonchu** and W Surakamptom, “**A CMOS Current-mode squarer/rectifier circuit,**” in Proceeding of the 2003 IEEE International Symposium on Circuits and Systems (ISCAS2003), vol. 1, pp. 405-408, May 2003.
2. **B. Boonchu** and W. Surakamptom, “**CMOS Class-AB Voltage-Mode Multiplier,**” in Proceedings of the 2005 IEEE International Symposium on Communications and Information Technology (ISCIT2005), vol. 2, pp. 1536-1539, Oct. 2005.
3. **B. Boonchu** and W. Surakamptom, “**Voltage-mode threshold-independent analogue multiplier,**” International Journal of Electronics, vol. 96, no. 5, pp. 457-466, May 2009.

**PROCEEDINGS of the 2003 IEEE International Symposium
on Circuits and Systems**



DOCUMENT GUIDE

TABLE OF CONTENTS

FOREWORD

AUTHORS

©2003 IEEE

SEARCH

IEEE Catalog No: 03CH37430C ISBN: 0-7803-7762-1
For Technical Inquiries Contact: MosArt Productions
e-mail: ISCAS2003@conference.org
Phone: (831) 625-6257 Fax: (815) 550-0345

©2003 IEEE. Personal use of this material is permitted. However, permission is required by IEEE for advertising or promotional purposes or for creating new collective works for resale or redistribution to servers or lists, or to reuse any copyrighted component of this work in other works must be obtained from the IEEE.

A CMOS CURRENT-MODE SQUARER/RECTIFIER CIRCUIT

Boonchai Boonchu and Wanlop Surakampontrorn
 King Mongkut's Institute of Technology Ladkrabang,
 Ladkrabang, Bangkok 10520, Thailand.
 Phone: (662) 326-9968, Fax: (662) 739-2398
 Email: s4610008@kmitl.ac.th, kswanlop@kmitl.ac.th

ABSTRACT

In this paper, a new current squarer and precision full-wave rectifier based on a CMOS class AB amplifier that modified to receive a differential input current has been presented. The proposed circuits are simulated with HSPICE level 49. From a $\pm 1.5V$ supply voltage, the power consumption of the rectifier and the squarer at the quiescent point are about 210nW and 120 μ W, respectively. The total harmonics distortion of the squarer is less than 1%, with a input signal of 24 μ A.

1. INTRODUCTION

Squarer and full-wave rectifier are useful importance basic building block for the design of many analog signal processing applications, communications, frequency translation and instrumentation systems.

Usually, a squarer circuit can be realized by through the use of the square-law characteristics of MOS transistor [1][2][3]. For a full-wave rectifier circuit, it can be realized by some arrangement of diode-operational amplifier, diode-current conveyor, CMOS class AB amplifier and translinear current conveyor [8][6][4][5]. The main disadvantages of the mentioned methods are that they require a large power supply voltage, high power dissipation and large circuit implementations. Another problem is the accuracy. For the rectification, an interesting circuit, which is based on the class AB amplifier has been proposed [4], where it needs a large magnitude of the input current supplied by the input voltage and a resistor that cause an error for very low input current.

In this paper, a low voltage, current-mode and compact circuit structure precision squarer/full-wave rectifier have been introduced.

2. CIRCUIT DESCRIPTION

2.1 Class AB Amplifier

Consider a CMOS class AB amplifier formed by transistors M_1 , M_2 , M_3 and M_4 shown in Fig.1, where the current source I_{DD} provides the bias current for the circuit. Assuming that all transistors M_1 , M_2 , M_3 and M_4 are

matched and are biased in saturation region with individual wells connected to their sources to eliminate the body effect [3]. Connecting the input node Y to a constant voltage and applying the input current I_x , we can express the drain currents of the transistors M_3 and M_4 as [4][7]

$$I_{d3} = \frac{(4I_{DD} - I_x)^2}{16I_{DD}} \quad \text{for } |I_x| \leq 4I_{DD} \quad (1)$$

$$I_{d4} = \frac{(4I_{DD} + I_x)^2}{16I_{DD}} \quad \text{for } |I_x| \leq 4I_{DD} \quad (2)$$

The expressions (1)-(2) are valid when the four transistors stay in saturation mode. However, if we apply the magnitude of the input current $|I_x| \geq 4I_{DD}$, the drain current I_{D3} close to zero and the transistor M_3 will be cut off. Then, the input current flows through the transistor M_4 . This means that this circuit functions as a half-wave rectifier.

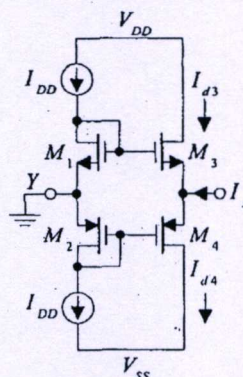


Fig. 1 CMOS class AB amplifier.

2.2 Current-Mode Squarer/Rectifier Circuit

Fig. 2 shows the current squarer/rectifier circuit. The proposed circuit consists of the CMOS class AB amplifier which is modified to receive the differential input current $\pm I_{in}$. The current gain of the p-type current mirror M_3 - M_4 is unity. Assuming that the complementary pair of transistors M_1 - M_2 , M_3 - M_4 and M_5 - M_6 are identical. Neglecting the body effect and if all of the transistors are biased in

saturation region, by applying eqns.(1)-(2), we can express the drain currents I_{d3} and I_{d5} as

$$I_{d3} = I_{DD} - \frac{I_{in}}{2} + \frac{I_{in}^2}{16I_{DD}} \quad (3)$$

$$I_{d5} = I_{DD} + \frac{I_{in}}{2} + \frac{I_{in}^2}{16I_{DD}} \quad (4)$$

The summation of the drain currents I_{d3} and I_{d5} is copied by the p-type current mirror M_7 and M_8 , then the output current I_o can be written as

$$I_o = (I_{d3} + I_{d5}) - 2I_{DD} \quad (5)$$

$$= \frac{I_{in}^2}{8I_{DD}} \quad \text{for } |I_{in}| \leq 4I_{DD} \quad (6)$$

It is clearly seen that the output current I_o is related to the square of the input current I_{in} , where the squarer factor can be controlled by the bias current I_{DD} , as indicated by eqn.(6).

On the other hand, if we select the bias current $I_{DD} \leq I_{in}/4$, then the circuit will operate in class B mode. This means that [4]

$$I_o = I_{d5} = I_{in} \quad \text{for } I_{in} > 0 \quad (7)$$

$$I_o = I_{d3} = I_{in} \quad \text{for } I_{in} < 0 \quad (8)$$

Therefore, the output current I_o becomes

$$I_o = |I_{in}| \quad (9)$$

In this case, the circuit represents a current full-wave rectifier.

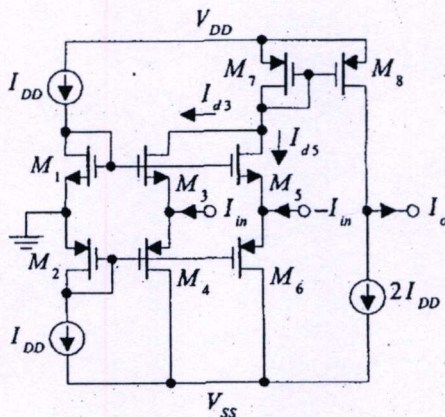


Fig. 2 Current squarer/rectifier circuit.

The complete current-mode squarer and full-wave rectifier circuit is shown in Fig.3. Where, the current sources I_{DD} and $2I_{DD}$ were replaced by the transistors M_8 , M_{12} and M_{11} , respectively. The transistors M_{13} - M_{15} and M_7 generate the bias current for the class AB cell M_1 - M_6 .

From the proposed circuit of Fig.3, the squarer and rectifier functions can be achieved by connecting or by opening the drain-to-source of the transistor M_{15} . If the drain-to-source of M_{15} is not connected together and $(V_{DD}-V_{SS}) \leq (V_{TN13} + |V_{TP14}| + |V_{TP15}| + |V_{TP17}|)$, where V_{TN} and V_{TP} are the threshold voltage of NMOS and PMOS transistors, respectively. The circuit works as a full-wave rectifier.

Finally, by connecting the drain-to-source of the transistor M_{15} together, the value of $(V_{DD}-V_{SS}) \leq (V_{TN13} + |V_{TP14}| + |V_{TP7}|)$, and all the transistors are biased in saturation region, the proposed circuit becomes a squarer.

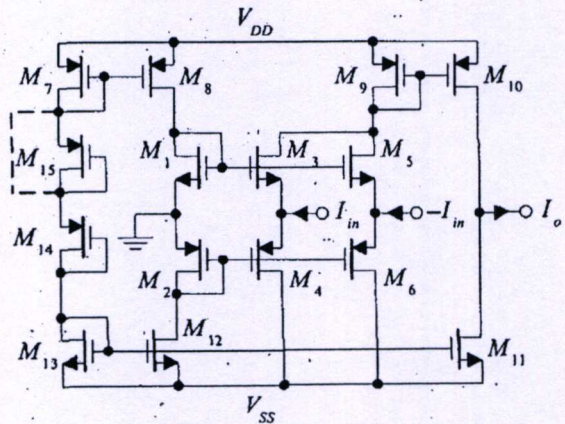


Fig. 3 Complete current squarer/rectifier circuit.

MOS transistor	$W(\mu m)$	$L(\mu m)$
M_1, M_3, M_5	10	5
M_2, M_4, M_6	32	5
$M_7 - M_{10}$	60	5
M_{11}	73	5
M_{12}, M_{13}	40	5
M_{14}, M_{15}	30	5

Table 1. Transistor sizes used in the squarer/rectifier circuit.

3. SIMULATION RESULTS

The proposed squarer/rectifier circuit of Fig.3 was simulated by HSPICE using the model parameter of HP 0.5 μm CMOS process level 49. The transistor dimensions

are given in Table 1. To cancel out the dc output offset current, the aspect ratio of the transistor M_{11} must be adjusted. The bulks(body) of all transistors are connected to respective power supply V_{DD} and V_{SS} , that is $\pm 1.5V$.

Currents(A)

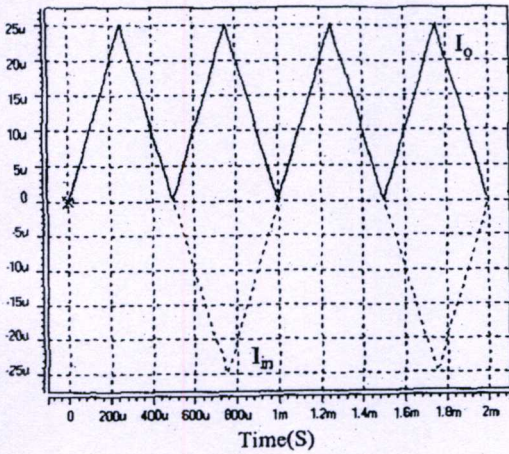


Fig. 4 Triangular differential input current.

Currents(A)

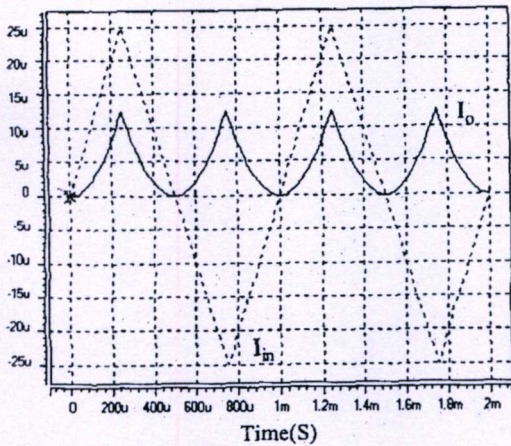


Fig. 5 Simulated current squarer response.

Fig.4 shows the response for the use of rectification function, by applying the triangular differential input current with peak amplitude of $25\mu A$ and the frequency is 1kHz, the drain of M_{15} is not connected to source. The bias currents of the transistors M_1-M_6 that the value of $12nA$ have been measured and the power dissipation at the bias point is about $210nW$.

By connecting the drain-to-source of M_{15} , the bias currents of M_1-M_6 is set to $6.6\mu A$ and, the power consumption is about $120\mu W$, respectively. Now the circuit works as a squarer and the output current waveform can be observed in Fig.5.

The total harmonics distortion (THD) against a 1kHz input current is shown in Fig.6 and has been calculated as the harmonic content of the fundamental frequency at 2kHz [1]. THD value less than 1% is achieved for the input current $< 24\mu A$. The THD versus the output frequency with a $24\mu A$ input current signal is shown in Fig.7. It is lower than 1.1% up to 1MHz.

THD(%)

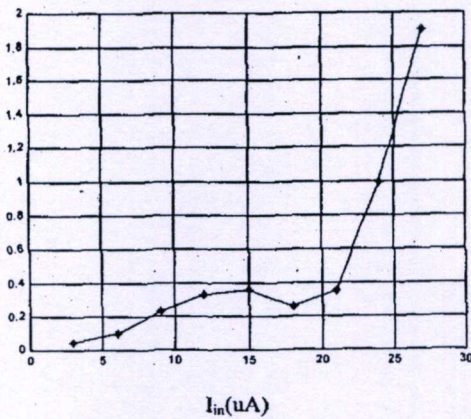


Fig. 6 THD against input current.

THD(%)

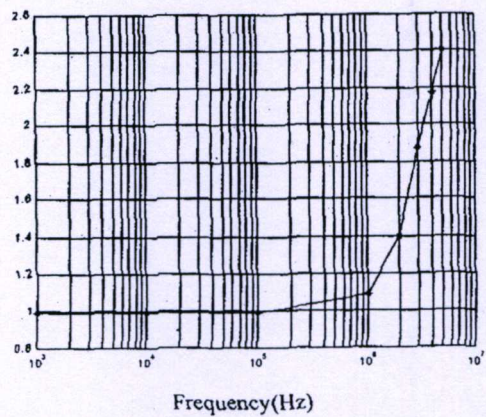


Fig. 7 THD against output frequency.

4. CONCLUSION

The realization of current-mode squarer and full-wave rectifier in the same circuit based on the use of a modified CMOS class AB amplifier has been proposed. Their performances have been demonstrated by the HSPICE program.

ACKNOWLEDGEMENT

This work is partly funded by the Thailand Research Fund (TRF) under the Senior Research Program, grant number RTA/04/2543.

The support provided by the Japan International Cooperation Agency (JICA) is also acknowledged.

5. REFERENCES

- [1] G. Giustolisi, G. Palmisano and G. Palumbo, "1.5V power supply CMOS voltage squarer," *Electron. Lett.*, vol. 33, no. 13, June 1997.
- [2] Cheng-Chieh Chang, Shen-Iuan Lui and Jiin-Long Lee, "Analogue BiCMOS squarer and its application," *Electron. Lett.*, vol. 35, no. 5, March 1999.
- [3] Shen-Iuan Lui and Cheng-Chieh Chang, "A CMOS Square-Law Vector Summation Circuit," *IEEE Trans. Circuits Syst. II*, vol. 43, no. 7, pp. 520-524, July 1996.
- [4] Wanlop Surakamponorn and Vanchai Riewruja, "Integrable CMOS sinusoidal frequency doubler and full-wave rectifier," *Int. J. Electronics*, vol. 73, no. 3, pp. 627-632, 1992.
- [5] Wanlop Surakamponorn, K. Anuntahirunrat and Vanchai Riewruja, "Sinusoidal frequency doubler and full-wave rectifier using translinear current conveyor," *Electron. Lett.*, vol. 34, no. 22, etc. 1998.
- [6] C. Toumazou, F.J. Lidgely and S. Chattong, "High frequency current conveyor precision full-wave rectifier," *Electron. Lett.*, vol.30, no.10 May 1994.
- [7] N. Battersby, and C. Toumazou, "Class AB switched-current," *Electronics letters*, 10, pp. 873-874, 1991.
- [8] P. R. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits," New York: Wiley, 1984.
- [9] Adel S. Sedra and Kenneth C. Smith, *Microelectronic Circuits*, New York: Oxford, 1998.

Volume 1 of 2

ISCIT 2005

PROCEEDINGS

International Symposium on Communications
and Information Technologies 2005

October 12-14, 2005

Fragrant Hill Hotel, Beijing, China

Sponsored by:

The National Natural Science Foundation of China

K.C.Wong Education Found, Hong Kong

IEEE Circuits and Systems Society

IEEE Communication Society Beijing Chapter

Beijing Association for Science and Technology

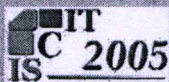
Beijing University of Posts and Telecommunications

Technical Co-Sponsored by:

IEICE Japan

ECTI Thailand

Official Web site: <http://iscit05.bupt.edu.cn>



PUBLISHING HOUSE, BUPT
www.buptpress.com

CMOS Class-AB Voltage-Mode Multiplier

Boonchai Boonchu and Wanlop Surakampontorn

Faculty of Engineering

King's Mongkut Institute of Technology Ladkrabang, Bangkok, Thailand

Tel: 662-3264222 Fax: 662-7392398

E-mail: s4610008@kmitl.ac.th

Abstract— A novel circuit configuration for a CMOS voltage-mode four-quadrant analog multiplier is described. It is based on square law characteristic of MOS transistor and class-AB amplifier. The multiplier achieves a linearity of 1.1%, -3dB bandwidth of 35MHz, and a total harmonic distortion of 0.76%. The power consumption is 1.5mW.

Keywords: multiplier, class-AB

I. INTRODUCTION

An analog multiplier provides useful importance basic building block to design many analog signal processing systems, for example, adaptive filter, and curve-fitting generators. It is also applied to amplitude modulation, frequency translation, automatic gain control, squaring, square rooting and neural networks. Usually, the variable transconductance technique which operates on Gilbert's translinear circuit is widely used for the design of multiplier-circuits in Bipolar and CMOS technologies [1], [2].

The other approaches are based on square-law characteristics of MOS transistor. The square-based MOS multiplier can be realized easily since the squaring function can be obtained from the inherent square law of the MOS transistor operating in the saturation or triode region [3], [4].

The multiplier proposed in this paper also uses the square law of the MOS transistor, but the circuit structure is applied from the basic class-AB amplifier. The output voltage of the multiplier appears directly from the MOS active load transistors without the use of passive resistors [5].

II. CIRCUIT DESCRIPTION

A. Class-AB Amplifier

Fig. 1 shows a CMOS class-AB amplifier formed by M_1 - M_4 and active load M_5 . The current sources I_{DD} provide the bias currents for the circuit and all transistors operated in the saturation. Assuming that the transistors M_1 - M_4 are matched with the transconductance parameter K_1 and let the transconductance parameter of M_5 is K_5 . The relationship of the input I_x and the drain current I_{d2} can be expressed as [6].

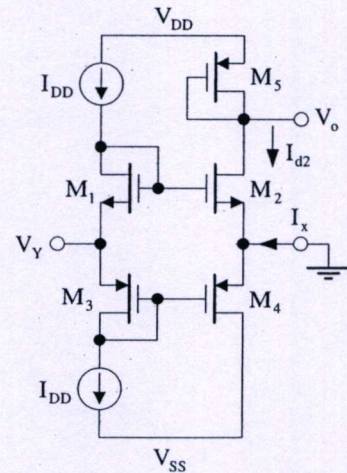


Fig. 1. CMOS Class-AB amplifier.

$$I_{d2} = \left(\frac{I_{DD} - I_x}{16I_{DD}} \right)^2 \quad (1)$$

where $|I_x| \leq 4I_{DD}$. The output voltage V_o in the form of the input voltage V_Y is given by

$$V_o = V_{DD} - |V_{Tp}| - \sqrt{\frac{K_1}{K_5}} \left(\sqrt{\frac{I_{DD}}{K_1}} + V_Y \right) \quad (2)$$

where V_{Tp} is the threshold voltage of PMOS transistor M_5 .

B. Basic Multiplier

The simplified version of the proposed multiplier is shown in Fig. 2. Considering from Fig. 1, a pair of diode-connected NMOS and PMOS are added. Assuming that the transistors M_1 - M_6 are matched with the transconductance parameter K_1 . By applying the input voltages V_1 and V_2 , the drain currents of the MOS devices M_1 - M_2 in the saturation is given by

$$I_{d1} = K_1 (V_{g3} - V_1 - V_{Tn})^2 \quad (3)$$

$$I_{d2} = K_1 (V_{g3} - V_2 - V_{Tn})^2 \quad (4)$$

and

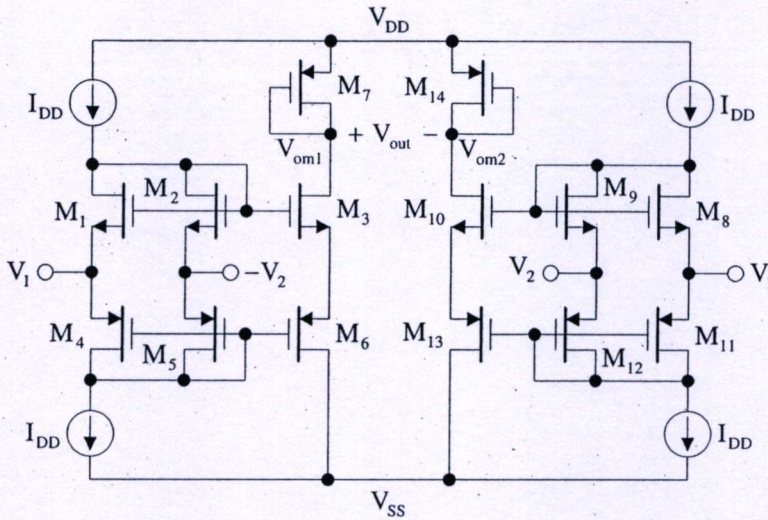


Fig. 3. CMOS voltage-mode multiplier.

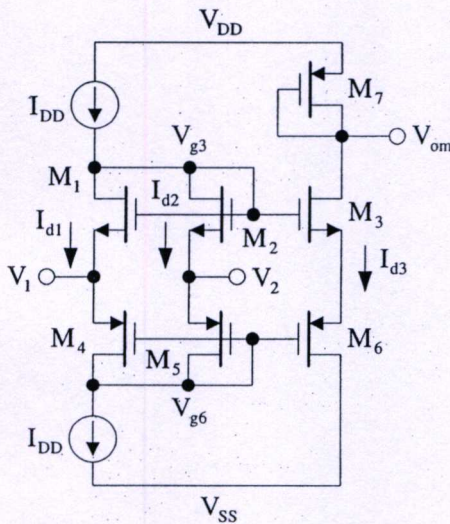


Fig. 2. Class-AB voltage multiplier.

$$I_{d1} + I_{d2} = I_{DD} \tag{5}$$

where V_{Tn} is the threshold voltage of the NMOS transistor. Substituting (3), (4) into (5), the gate voltage of transistor M_3 V_{g3} can be expressed as

$$V_{g3} = \frac{V_1 + V_2}{2} + V_{Tn} + \sqrt{\frac{I_{DD}}{2K_1} \left[1 + \frac{K_1}{2I_{DD}} (2V_1V_2 - V_1^2 - V_2^2) \right]} \tag{6}$$

If the approximation of the form $\sqrt{1+x}$ for $|x| \ll 1$ is employed; then equations (6) can be approximately written as

$$V_{g3} = \frac{V_1 + V_2}{2} + V_{Tn} + \sqrt{\frac{I_{DD}}{2K_1} \left[1 + \frac{K_1}{4I_{DD}} (2V_1V_2 - V_1^2 - V_2^2) \right]} \tag{7}$$

By following as (3) to (7), the gate voltage of transistor M_6 V_{g6} is given by

$$V_{g6} = \frac{V_1 + V_2}{2} - |V_{Tp}| - \sqrt{\frac{I_{DD}}{2K_1} \left[1 + \frac{K_1}{4I_{DD}} (2V_1V_2 - V_1^2 - V_2^2) \right]} \tag{8}$$

where V_{Tp} is the threshold voltage of the PMOS transistor. Considering from Fig. 2, the output voltage V_{om} is written in the form of V_{g3} and V_{g6} as

$$V_{om} = V_{DD} - |V_{Tp}| - \sqrt{\frac{K_1}{4K_7} (V_{g3} - V_{g6} - V_{Tn} - |V_{Tp}|)} \tag{9}$$

Therefore, by substituting V_{g3} and V_{g6} from (7), (8) into (9), the output voltage of the multiplier V_{om} can be obtained as

$$V_{om} = V_{DD} - |V_{Tp}| - \left[\sqrt{\frac{I_{DD}}{2K_7} \left\{ 1 + \frac{K_1}{4I_{DD}} (2V_1V_2 - V_1^2 - V_2^2) \right\}} \right] \tag{10}$$

Equation (10) shows that the multiplication of V_1 and V_2 can be achieved. However, the output voltage V_{om} also includes the components that are proportional to the square of the input voltage V_1 and V_2 .

C. CMOS Voltage-Mode Multiplier

The second order terms of the input voltage in (10) cause the error of multiplier. For reducing this effect, the complete circuit diagram of CMOS voltage-mode multiplier is shown in Fig. 3. In this circuit, the same structure can also be obtained from the class-AB voltage multiplier shown in Fig. 2. Transistors M_1 - M_6 and M_8 - M_{13} are matched with the transconductance K_1 , M_7 and M_{14} are identical with the transconductance K_7 . Following from (10), the output voltages of each class-AB multiplier V_{om1} and V_{om2} can be obtained as

$$V_{om1} = V_{DC} - \frac{K_1}{\sqrt{32K_7I_{DD}}} (2V_1V_2 - V_1^2 - V_2^2) \quad (11)$$

$$V_{om2} = V_{DC} - \frac{K_1}{\sqrt{32K_7I_{DD}}} (-2V_1V_2 - V_1^2 - V_2^2) \quad (12)$$

where $V_{DC} = (V_{DD} - |V_{Tp}| - \sqrt{I_{DD}/2K_7})$. Finally, by subtracting between V_{om1} and V_{om2} , the output voltage V_{out} of the proposed multiplier is achieved by

$$\begin{aligned} V_{out} &= V_{om1} - V_{om2} \\ &= \frac{K_1}{\sqrt{2K_7I_{DD}}} V_1V_2 \end{aligned} \quad (13)$$

which is a complete multiplier function without the second order component of the input voltages V_1 and V_2 . Thus, the circuit represents a four-quadrant analog multiplier with output signal in voltage. The multiplication factor can be controlled by K_1 , K_7 and I_{DD} , as indicated by (13).

III. SIMULATION RESULTS

The proposed multiplier circuit of Fig. 3 has been simulated with SPICE using the model parameters of HP0.5 μ_n level 7 CMOS process. For matching transistors, the aspect ratios of NMOS transistors (M_1 - M_3 , M_8 - M_{10}) are 5/15 and PMOS (M_4 - M_6 , M_{11} - M_{13} , M_7 , M_{14}) are 5/5. The power supply voltage is $\pm 2.5V$, the bias current $I_{DD} = 50\mu A$. The dc transfer characteristics of the multiplier are shown in Fig. 4. The output voltage swings between $-88mV$ to $+88mV$ for the input range of $\pm 500mV$.

To measure the error voltage [7], a dc voltage is applied to V_2 and the external gain stage with adjustable gain is used at the output so that $V_{out}/V_1=1$ for small V_1 . The error voltage ($V_1 - V_{out}$) is measured within the range of $\pm 400mV$ for V_1 . The maximum error voltage to the input range for V_1 is $7.5mV/0.8V$, indicating that the error is 0.94% and increasing to 1.1% for $\pm 500mV$ of V_1 .

Fig. 5 shows the application of the multiplier as an amplitude modulator. The modulation is performed when the input voltage V_1 and V_2 are the 1kHz and 18kHz sinusoidal signals with peak amplitude of 250mV.

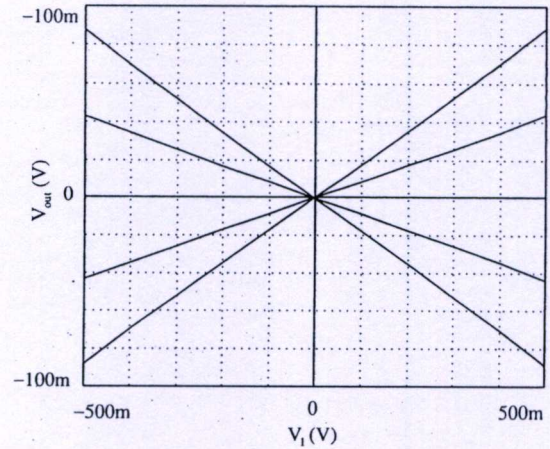


Fig. 4. Transfer characteristic curves of the multiplier.

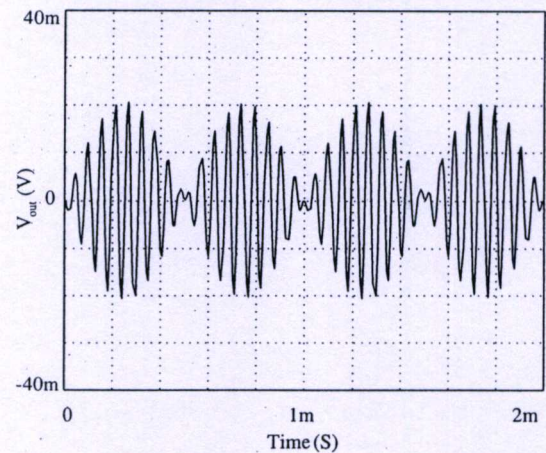


Fig. 5. Amplitude modulation of sinusoidal signals.

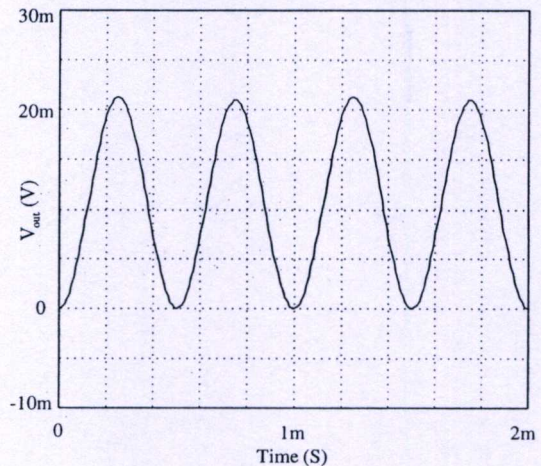


Fig. 6. Multiplication for two sine waves.

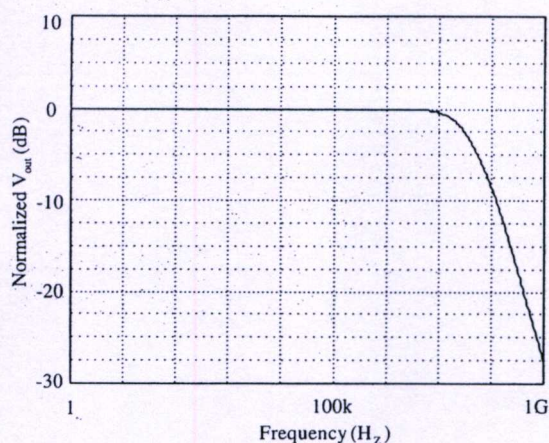


Fig. 7. Frequency response of the multiplier.

Fig. 6 shows the application of the multiplier to operate as a frequency doubler, where 1kHz sinusoidal input voltages V_1 and V_2 of the same magnitude of 250mV are applied at the inputs. The result shows that the output voltage is a sine wave of twice the input frequency.

The frequency characteristic of the multiplier is measured, where a dc voltage of 250mV is applied to V_2 while V_1 is the variable frequency. From the result, the -3dB bandwidth of 35MHz is achieved.

The total harmonic distortion of multiplier is about 0.76% for the input voltage 500mV and the frequency is 1MHz. The power consumption is 1.5mW.

IV. CONCLUSIONS

A new CMOS voltage-mode four-quadrant multiplier based on the square-law characteristic of MOS transistors that achieves an output signal in voltage form without using resistors has been presented. The multiplier achieves about 1.1% linearity error when input voltage is 500mV. The total harmonic distortion is less than 0.76% and the -3dB bandwidth is 35MHz. The performances have been demonstrated using PSPICE simulations.

ACKNOWLEDGMENT

This work is funded by the Thailand Research Fund (TRF) under the senior research scholarship program, grant number RTA4680003. Support provided by Mahanakorn University of Technology is also acknowledged.

REFERENCES

- [1] B.Gilbert, "A precise four-quadrant multiplier with sub-nanosecond response" IEEE J. Solid-State Circuits, vol. SC-3, no. 4, pp. 365-373 1998.
- [2] J. N. Babanezhad and G.C. Temes, "A 20V four-quadrant CMOS analog multiplier," IEEE J. Solid-State Circ., 1985, sc-20, pp. 1158-1168.

- [3] A.L. Coban and P.E. Allen, "Low-voltage, four-quadrant, analogue CMOS multiplier," Electron. Lett., vol. 30, no. 13, pp. 1044-1045, Jun. 1994.
- [4] Bult, K., and Wallinga, H., "A CMOS four-quadrant analog multiplier," IEEE J. Solid-State Circuits, vol. 21, no. 3, pp. 430-435, June 1986.
- [5] B. Boonchu and W. Surakamponorn, "Voltage-Mode CMOS Squarer/Multiplier Circuit," The 2002 International Technical Conference On Circuits/Systems, Computers and Communications, pp. 646-649, July 2002.
- [6] N. C. Battersby and C. Toumazou, "Class AB switched-current," Electronics Letters, 10, pp. 873-874.
- [7] Ho-Jun Song and Choong-Ki Kim, "An MOS Four-Quadrant Analog Multiplier Using Simple Two-Input Squaring Circuits with Source Followers," IEEE J. Solid-State Circuits, vol. 25, no. 3, pp. 841-848, June 1990.

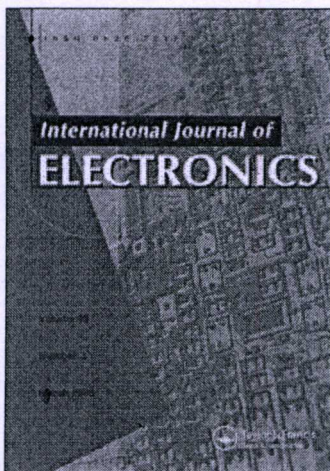
This article was downloaded by: [Boonchu, Boonchai]

On: 16 April 2009

Access details: Access Details: [subscription number 910441523]

Publisher Taylor & Francis

Informa Ltd Registered in England and Wales Registered Number: 1072954 Registered office: Mortimer House, 37-41 Mortimer Street, London W1T 3JH, UK



International Journal of Electronics

Publication details, including instructions for authors and subscription information:

<http://www.informaworld.com/smpp/title~content=t713599654>

Voltage-mode threshold-independent analogue multiplier

Boonchai Boonchu ^a; Wanlop Surakamponorn ^a

^a Faculty of Engineering and Research Center for Communication and Information Technology (ReCCIT), King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand

First Published: May 2009

To cite this Article Boonchu, Boonchai and Surakamponorn, Wanlop(2009)'Voltage-mode threshold-independent analogue multiplier', International Journal of Electronics, 96:5, 457 — 466

To link to this Article: DOI: 10.1080/00207210902738075

URL: <http://dx.doi.org/10.1080/00207210902738075>

PLEASE SCROLL DOWN FOR ARTICLE

Full terms and conditions of use: <http://www.informaworld.com/terms-and-conditions-of-access.pdf>

This article may be used for research, teaching and private study purposes. Any substantial or systematic reproduction, re-distribution, re-selling, loan or sub-licensing, systematic supply or distribution in any form to anyone is expressly forbidden.

The publisher does not give any warranty express or implied or make any representation that the contents will be complete or accurate or up to date. The accuracy of any instructions, formulae and drug doses should be independently verified with primary sources. The publisher shall not be liable for any loss, actions, claims, proceedings, demand or costs or damages whatsoever or howsoever caused arising directly or indirectly in connection with or arising out of the use of this material.

Voltage-mode threshold-independent analogue multiplier

Boonchai Boonchu* and Wanlop Surakampontrorn

Faculty of Engineering and Research Center for Communication and Information Technology (ReCCIT), King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand

(Received 29 July 2008; final version received 21 November 2008)

In this article, a new threshold-independent four-quadrant analogue multiplier is designed and developed. It is based on the square-law of the MOS transistor in the saturation region and quarter-square algebraic identity. The circuit structure uses voltage summing and voltage-mode squaring stages. By applying the reference voltage to the voltage summing stage, the threshold-independent multiplication function can be achieved. On the basis of the voltage-mode circuit structure, the proposed multiplier produces an output signal in voltage form without resistors. The performances of the proposed circuit have been simulated with PSPICE. Simulation results show that the multiplier has a wide band capability, where a -3dB bandwidth of 160 MHz is achieved. The circuit has 0.75% linearity error and 0.47% total harmonic distortion under the maximum input voltage of 500 mV at both multiplier inputs. The power consumption is about 0.5 mW with a $\pm 1.5\text{ V}$ power supply voltage. To verify the performances of the proposed multiplier, experimental results with discrete transistor arrays are obtained. The results will be useful in analogue signal processing applications.

Keywords: squaring circuit; voltage-mode multiplier; quarter-square algebraic identity; threshold voltage independent; analogue integrated circuit

1. Introduction

The analogue multiplier is an important basic building block in the design of analogue signal processing and communication systems. There are applications in automatic gain control, phase lock loops, frequency translation, waveform generation, amplitude modulation and neural networks. The variable transconductance technique which operates on Gilbert's translinear principle is the most popular type in bipolar and MOS technologies. Several analogue multipliers based on variable transconductance have been reported (Soo and Meyer 1982; Babanezhad and Temes 1985). Recently, MOS analogue multipliers based on the quarter-square technique (Bult and Wallinga 1986; Pena-Finol and Connelly 1987) and the square-algebraic identities (Song and Kim 1990; Demosthenous and Panovic 2005; Sawigun and Mahattanukul 2008) have been proposed. The square-based MOS multiplier can be realised from the square-law of the transistor operating in both the saturation and linear regions.

The multiplier proposed in this article also uses the square-law of the MOS transistor. The circuit structure is based on the quarter-square technique

*Corresponding author. Email: s4610008@kmitl.ac.th

implemented by using NMOS voltage summing and voltage-mode squaring circuits. The output voltage of the multiplier appears directly from the squaring circuits since the output voltage can be obtained without passive resistors.

2. Principle of operation

The basic principle of the proposed multiplier is well known and can be written as $V_o = (V_1 + V_2)^2 - (V_1 - V_2)^2 = 4V_1V_2$. The multiplication is achieved in three steps. First the sum and difference of two input signal voltages are formed. Then these results are squared. Finally the difference of the squares is obtained to get the desired result. In the following subsections, the design and operation of the multiplier circuit will be described. For CMOS analogue multiplier design, the transistors are biased to operate in the saturation region where the drain current I_d of the device is given by

$$I_d = K(V_{gs} - V_{TH})^2 \quad (1)$$

where $K = \mu_n C_{ox} W/2L$ is transconductance parameter with μ_n as the carrier effective surface mobility in the channel, C_{ox} as the gate oxide capacitance per unit area, W and L as the channel width and length, respectively, V_{gs} as the gate-to-source voltage, and V_{TH} as the device threshold voltage.

2.1. Summing circuit

The voltage summing circuit and its symbol are shown in Figure 1a and 1b. The circuit structure is modified from the fully differential summing circuit (Boonchu and Surakampontorn 2005). Where the reference voltage V_{ref} is applied to the gates of active loads M_5 – M_6 and I_{SS} are the bias current sources of the circuit. Assume that all MOS transistors in Figure 1a operate in their saturation region. The differential

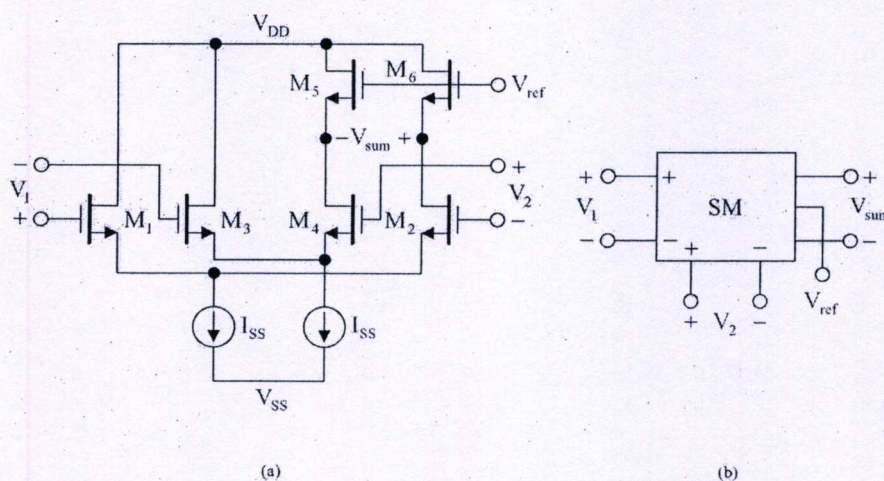


Figure 1. (a) Voltage summing circuit. (b) Its symbol.

pairs M_1 – M_2 and M_3 – M_4 are matched with transconductance parameter K_1 , and active loads M_5 – M_6 are matched with K_5 . The output voltage V_{sum} can be written as

$$V_{\text{sum}} = \sqrt{\frac{K_1}{4K_5}}(V_1 + V_2) \quad (2)$$

and the dc common-mode voltage V_C at the drains of M_2 and M_4 is $V_C = V_{\text{ref}} - \left(\sqrt{I_{\text{SS}}/2K_5} + V_{\text{TH}}\right)$.

2.2. Voltage-mode squaring circuit

The voltage-mode squaring circuit and its symbol are shown in Figure 2a and 2b. Let the MOS transistors M_7 – M_8 be identical with transconductance parameter K and the transconductance parameter of M_9 being twice that of M_7 – M_8 . If the differential input voltages V_{id} with the same common-mode V_C , i.e. $V_C + V_{\text{id}}/2$ and $V_C - V_{\text{id}}/2$, are applied. The drain currents of M_7 – M_9 are given by

$$I_{\text{d7}} = K \left(V_C + \frac{V_{\text{id}}}{2} - V_{\text{os}} - V_{\text{TH}} \right)^2 \quad (3)$$

$$I_{\text{d8}} = K \left(V_C - \frac{V_{\text{id}}}{2} - V_{\text{os}} - V_{\text{TH}} \right)^2 \quad (4)$$

$$I_{\text{d9}} = 2K(V_{\text{os}} - V_{\text{SS}} - V_{\text{TH}})^2 \quad (5)$$

By solving the above equations, the output voltage V_{os} can be written as

$$V_{\text{os}} = \frac{V_{\text{SS}} + V_C}{2} + \frac{V_{\text{id}}^2}{8(V_C - V_{\text{SS}} - 2V_{\text{TH}})} \quad (6)$$

Equation (6) indicates that the output voltage V_{os} is related to the square of input voltage V_{id} based on the large-signal square-law behavior in MOS transistors without the use of passive resistors.

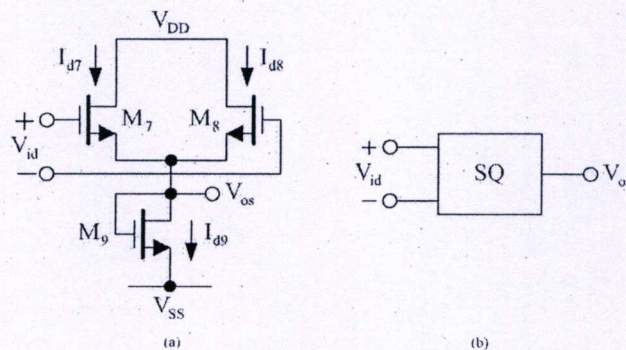


Figure 2. (a) Voltage-mode squaring circuit. (b) Its symbol.

2.3. Voltage-mode multiplier

By employing the voltage-summing and voltage-mode squaring circuits, the proposed voltage-mode analogue multiplier can be realised as shown in Figure 3. The sum and difference of input voltages from the summing stages are applied to the squaring circuits. According to Equation (2), the input voltages $V_{\text{sum1}} = \sqrt{K_1/4K_5}(V_1 + V_2)$ and $V_{\text{sum2}} = \sqrt{K_1/4K_5}(V_1 - V_2)$ of the voltage-mode squaring circuits can be found. From the transfer function of voltage-mode squaring circuit in Equation (6), the output voltage V_o of the proposed multiplier can be written as

$$V_o = \left[\frac{K_1/4K_5}{8(V_C - V_{SS} - 2V_{TH})} \right] [(V_1 + V_2)^2 - (V_1 - V_2)^2] = \frac{K_1/K_5}{8(V_C - V_{SS} - 2V_{TH})} V_1 V_2 \quad (7)$$

where V_C is DC common-mode voltage of the squaring circuit. By substituting $V_C = V_{\text{ref}} - (\sqrt{I_{SS}/2K_5} + V_{TH})$ into Equation (7), the output voltage V_o becomes

$$V_o = \frac{K_1}{8K_5(V_{\text{ref}} - V_{SS} - 3V_{TH} - \sqrt{I_{SS}/2K_5})} V_1 V_2. \quad (8)$$

Equation (8) indicates that the output voltage V_o is in the form of a multiplication function of the input voltages, and depends on the power supply V_{SS} and the threshold voltage of the transistors. To eliminate these effects, the reference voltage V_{ref} from the identical transistors M_{10} – M_{12} has been generated and applied to the voltage summing circuit. Substituting the reference voltage $V_{\text{ref}} = 3(\sqrt{I_{DD}/K_{10}} + V_{TH}) + V_{SS}$ into Equation (8) gives

$$V_o = \frac{K_1}{8K_5(3\sqrt{I_{DD}/K_{10}} - \sqrt{I_{SS}/2K_5})} V_1 V_2 \quad (9)$$

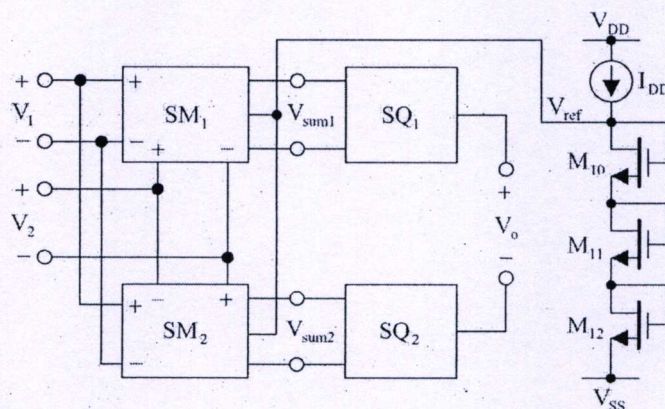


Figure 3. Complete four-quadrant analogue multiplier.

Thus, the circuit represents a threshold-independent four-quadrant analogue multiplier with output signal in voltage. Although other multipliers use resistors, resistors and op-amp or linear MOS resistors to obtain an output voltage, the proposed circuit provides a differential output signal in voltage form without the use of resistors. However, for a single-ended output voltage application, an external differential to single-ended converter circuit can be used to produce an output signal voltage which relates to ground.

3. Input range

Input range is an important performance measure for an analogue multiplier. In this section, the input range of the voltage summing and voltage-mode squaring circuits, and the input range of the proposed multiplier will be discussed.

3.1. Input range of summing circuit

The maximum input voltage range of the voltage summing circuit has been derived by assuming that the transistors M_1 – M_4 are biased in the saturation region. By applying the input voltages V_1 and V_2 , as $|V_1 \pm V_2|$ increases, the drain currents of transistors M_1 or M_2 and M_3 or M_4 enter to I_{SS} while the others are turned off. The value of the input voltage which is full switching of M_1 – M_2 or M_3 – M_4 , is given by (Babanezhad and Temes 1985)

$$|V_1 \pm V_2| \leq 2\sqrt{I_{SS}/K_1} \quad (10)$$

3.2. Input range of voltage-mode squaring circuit

The relation between the output voltage V_{os} and input voltage V_{id} as shown in Equation (6) is valid only when all transistors are operated in the saturation region. The input range limitation of a voltage-mode squaring circuit is reached when the drain currents I_{d7} or I_{d8} are close to zero. At this point, if the transistor M_8 is turned off, M_7 and M_9 function as two transistors connected in series as shown in Figure 4. The drain current of transistor M_8 is close to zero, and can be expressed as

$$I_{d8} \cong K_8 \left(V_C - \frac{V_{id}}{2} - V_{os} - V_{TH} \right) \quad (11)$$

Substituting the output voltage V_{os} from Equation (6) into Equation (11), the maximum input range of the voltage-mode squaring circuit can be expressed as

$$|V_{id}| \leq 2(\sqrt{2} - 1)(V_C - V_{SS} - 2V_{TH}) \quad (12)$$

3.3. Input range of multiplier

For the maximum input voltage range of the proposed multiplier, the voltage summing and voltage-mode squaring circuits should be designed at the same input

voltage range. By combining Equation (10), Equation (12) and V_{ref} , the multiplier input voltage range can be given by

$$|V_1 \pm V_2| \leq 2(\sqrt{2} - 1) \left(3\sqrt{I_{DD}/K_{10}} - \sqrt{I_{SS}/2K_5} \right) \quad (13)$$

4. Simulation and experimental results

The proposed multiplier circuit of Figure 3 has been simulated by PSPICE using the model parameters of MOSIS 0.35 μm CMOS process. The aspect ratios of transistors M_1 – M_6 are 2/3, M_7 – M_8 are 3/3, M_9 is 6/3 and M_{10} – M_{12} are 3/3. The power supply voltage is ± 1.5 V. The bias currents I_{SS} and I_{DD} are set to about 25 μA . The DC characteristic curves of multiplier are shown in Figure 5, indicating that it will

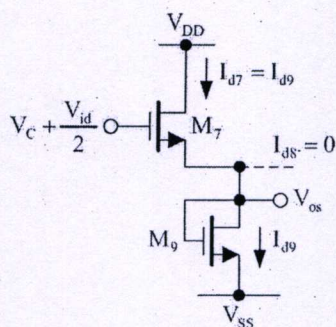


Figure 4. Voltage-mode squaring circuit for the maximum V_{id} is applied.

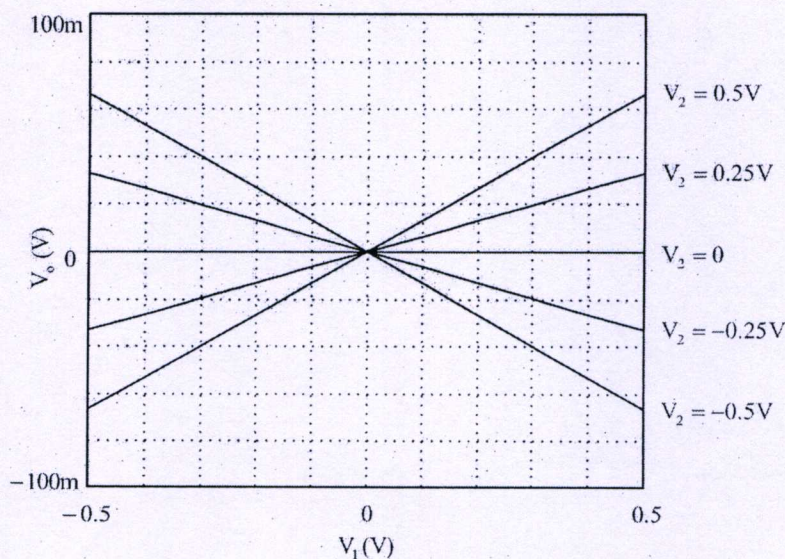


Figure 5. Simulated dc transfer characteristic curves of the multiplier.

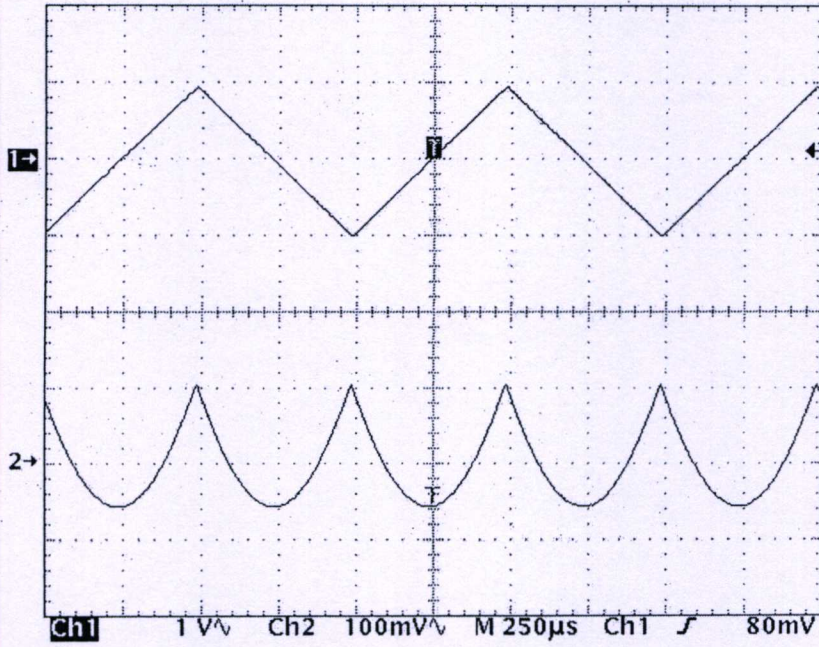


Figure 7. Squaring characteristic of the multiplier at 1 kHz. Upper trace input V_1 and V_2 : 1 V/div. Lower trace output V_o : 100 mV/div. The horizontal scale is 250 μ s/div.

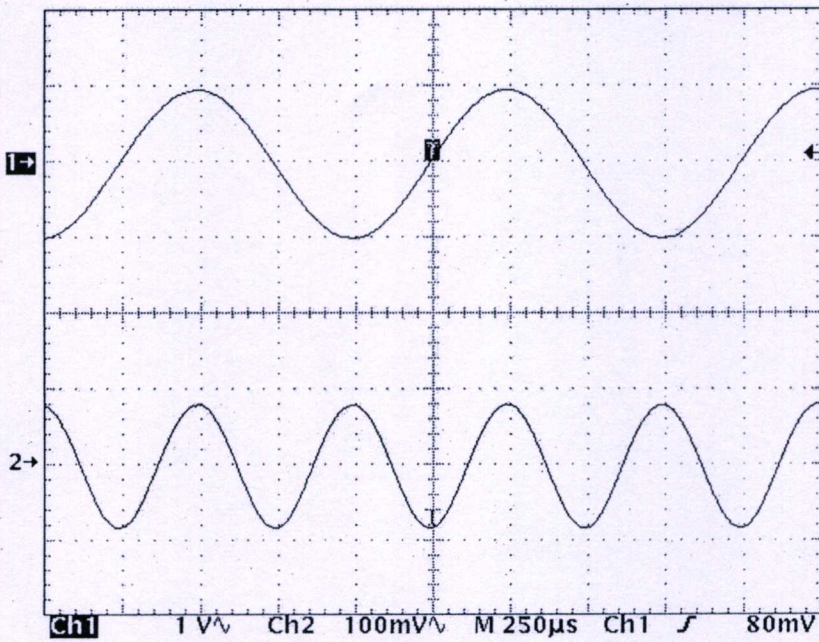


Figure 8. Frequency doubler with the same 1 kHz sinusoidal inputs. Upper trace input V_1 and V_2 : 1 V/div. Lower trace output V_o : 100 mV/div. The horizontal scale is 250 μ s/div.

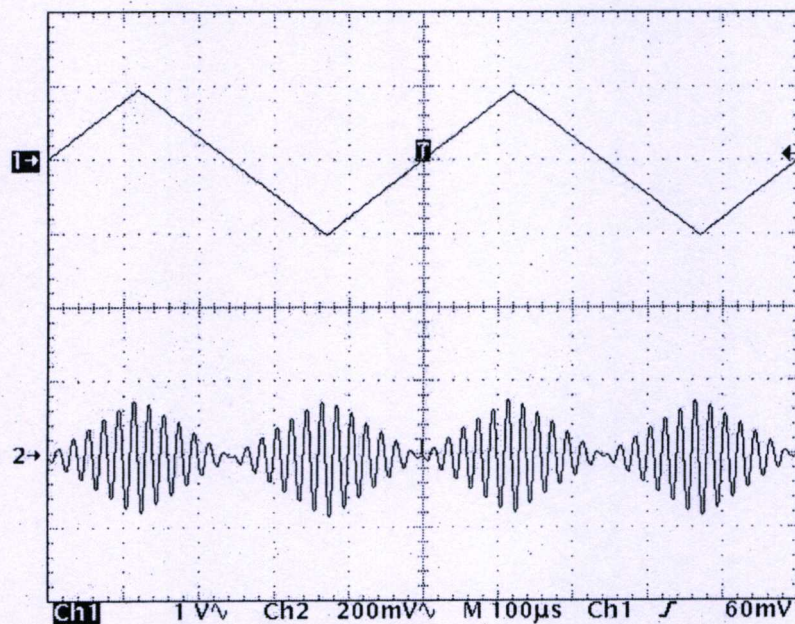


Figure 9. Product of a 2 kHz triangular and a 50 kHz sinusoidal wave. Upper trace input V_1 : 1 V/div. Lower trace output V_o : 200 mV/div. The horizontal scale is 100 μ s/div.

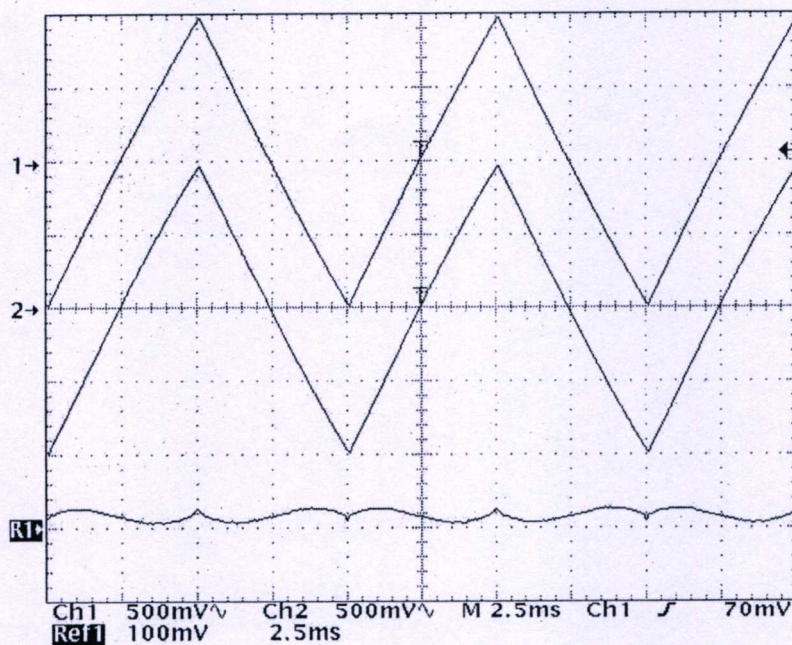


Figure 10. Linearity error of the proposed multiplier. Upper trace input V_1 and middle trace output V_o : 500 mV/div. Lower trace output $V_1 - V_o$: 100 mV/div. The horizontal scale is 2.5 ms/div.

Thus, the ratio of the error voltage to the input for V_1 is $21.72 \text{ mV}_{\text{p-p}}/2 V_{\text{p-p}}$, it is indicated that the linearity error is 1.08%.

5. Conclusions

A new circuit configuration of the threshold-independent four-quadrant analogue multiplier has been presented. The circuit is based on the quarter-square algebraic identity and uses the voltage summing and voltage-mode squaring circuits. The squaring stage is based on the inherent square-law characteristic of the MOS transistor that achieves an output signal in voltage form without using resistor. The performances of the proposed multiplier have been demonstrated using PSPICE simulations and experimental results.

Acknowledgements

This work is supported by the Research Group Program (CHE-RES-RG), the Commission on Higher Education, the Ministry of Education, Thailand. Support provided by Mahanakorn University of Technology is also acknowledged.

References

- Babanezhad, J.N., and Temes, G.C. (1985), 'A 20-V Four-Quadrant CMOS Analogue Multiplier', *IEEE Journal of Solid-State Circuits*, SC-20, 1158–1168.
- Boonchu, B., and Surakamponorn, W. (2005), 'A New NMOS Four-Quadrant Analogue Multiplier', *Proceedings of ISCAS2005 IEEE*, 1004–1007.
- Bult, K., and Wallinga, H. (1986), 'A CMOS Four-Quadrant Analogue Multiplier', *IEEE Journal of Solid-State Circuits*, SC-21, 430–435.
- Demosthenous, A., and Panovic, M. (2005), 'Low-Voltage MOS Linear Transconductor/Squarer and Four-Quadrant Analogue Multiplier for Analogue VLSI', *IEEE Transactions Circuits System*, 52, 1721–1731.
- Pena-Finol, J.S., and Connelly, J.A. (1987), 'A MOS Four-Quadrant Analogue Multiplier Using the Quarter-Square Technique', *IEEE Journal of Solid-State Circuit*, SC-22, 1064–1073.
- Sawigun, C., and Mahattanakul, J. (2008), 'A 1.5V, Wide-Input Range, High-Bandwidth, CMOS Four-Quadrant Analogue Multiplier', *Proceedings of ISCAS2008 IEEE*, 2318–2321.
- Song, H.J., and Kim, C-K. (1990), 'An MOS Four-Quadrant Analogue Multiplier Using Simple Two-Input Squarer Circuits With Source Followers', *IEEE Journal of Solid-State Circuit*, 25, 841–848.
- Soo, D.C., and Meyer, R.G. (1982), 'A Four-Quadrant NMOS Analogue Multiplier', *IEEE Journal of Solid-State Circuits*, SC-17, 1174–1178.
- Surakamponorn, W., and Riewruja, V. (1992), 'Integrable CMOS Sinusoidal Frequency Doubler and Full-Wave Rectifier', *International Journal of Electronics*, 73, 627–632.

ประวัติผู้เขียน

ชื่อ นามสกุล	นาย บุญชัย บุญชู
วัน เดือน ปี เกิด	16 กรกฎาคม 2512
ภูมิลำเนาเดิม	นครศรีธรรมราช
อาชีพ	อาจารย์ประจำมหาวิทยาลัยเทคโนโลยีมหานคร พ.ศ. 2537-ปัจจุบัน
สถานที่ทำงาน	ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร กรุงเทพมหานคร
ประวัติการศึกษา	ปริญญาโท (วิศวกรรมศาสตรมหาบัณฑิต: วศ.ม.) สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร ปีการศึกษา 2542 ปริญญาตรี (อุตสาหกรรมศาสตรบัณฑิต : อส.บ.) สาขาวิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ วิทยาลัยมหานคร ปีการศึกษา 2536
งานวิจัยที่สนใจ	การออกแบบวงจรรวมอะนาล็อก