

การออกแบบวงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับค่าได้
และการสร้างเป็นฮาร์ดแวร์บนบอร์ด STM32F769I Discovery Board:
ARM Cortex-M7

DESIGN OF TUNABLE MULTI-OUTPUT BIQUADRATIC DIGITAL FILTER AND
ITS HARDWARE IMPLEMENTATION ON STM32F769I DISCOVERY BOARD:
ARM CORTEX-M7

ชลธิชา อิทินราเดช
CHONTHICHA ITTINARADECH

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2562

KMITL-2019-EN-M-010-036

การออกแบบวงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับค่าได้
และการสร้างเป็นฮาร์ดแวร์บนบอร์ด STM32F769I Discovery Board:
ARM Cortex-M7

DESIGN OF TUNABLE MULTI-OUTPUT BIQUADRATIC DIGITAL FILTER AND
ITS HARDWARE IMPLEMENTATION ON STM32F769I DISCOVERY BOARD:
ARM CORTEX-M7

ชลธิชา อิทินราเดช
CHONTHICHA ITTINARADECH

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2561
KMITL-2019-EN-M-010-036

การออกแบบวงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับค่าได้
และการสร้างเป็นฮาร์ดแวร์บนบอร์ด STM32F769I Discovery Board:
ARM Cortex-M7

DESIGN OF TUNABLE MULTI-OUTPUT BIQUADRATIC DIGITAL FILTER AND
ITS HARDWARE IMPLEMENTATION ON STM32F769I DISCOVERY BOARD:
ARM CORTEX-M7

ชลธิชา อิทินราเดช
CHONTHICHA ITTINARADECH

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2562
KMITL-2019-EN-M-010-036

DESIGN OF TUNABLE MULTI-OUTPUT BIQUADRATIC DIGITAL FILTER AND
ITS HARDWARE IMPLEMENTATION ON STM32F769I DISCOVERY BOARD:
ARM CORTEX-M7

CHONTHICHA ITTINARADECH

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2019
KMITL-2019-EN-M-010-036

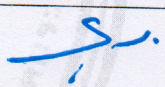

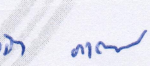
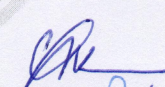
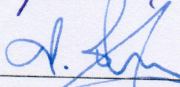
COPYRIGHT 2019

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

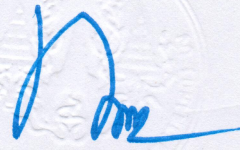
หัวข้อวิทยานิพนธ์ การออกแบบวงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับค่าได้ และการสร้างเป็นฮาร์ดแวร์บนบอร์ด STM32F769I DISCOVERY BOARD: ARM CORTEX-M7
Thesis Title Design of Tunable Multi-Output Biquadratic Digital Filter and Its Hardware Implementation on STM32F769I Discovery Board: ARM CORTEX-M7
นักศึกษา นางสาวชลธิชา อธิทินราเดช
รหัสประจำตัว 57601157
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ผศ.ดร.ศรวัฒน์ ชิวปรีชา
หมายเลขวิทยานิพนธ์ KMITL-2019-EN-M-010-036

| คณะกรรมการสอบวิทยานิพนธ์ | | ลายมือชื่อ |
|--------------------------|--------------|---|
| รศ.ดร.สุรพันธ์ | ยิ้มมัน |  |
| ผศ.ดร.สมเกียรติ | ฤกษ์ขวัญ |  |
| ผศ.ดร.เวธิต | ภาคพิสุทธิ | ๒๐๖ ๓๑๗  |
| รศ.ดร.ยุทธพงษ์ | รังสรรค์เสรี |  |
| ผศ.ดร.ศรวัฒน์ | ชิวปรีชา |  |

วัน / เดือน / ปี ที่สอบ วันพุธที่ 12 มิถุนายน พ.ศ. 2562 เวลา 09.30-11.30 น.
สถานที่สอบ ณ ห้องประชุม 3 ชั้น 5 อาคาร A

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 12 มิถุนายน พ.ศ. 2562

| | |
|-----------------------------|--|
| หัวข้อวิทยานิพนธ์ | การออกแบบวงจรกรองสัญญาณดิจิทัลไปควอดเรตริกหลาย เอาต์พุตที่ปรับค่าได้ และการสร้างเป็นฮาร์ดแวร์บนบอร์ด STM32F769I DISCOVERY BOARD: ARM CORTEX-M7 |
| นักศึกษา | นางสาวชลธิชา อธิธิราเดช |
| รหัสประจำตัว | 57601157 |
| ปริญญา | วิศวกรรมศาสตรมหาบัณฑิต |
| สาขาวิชา | วิศวกรรมโทรคมนาคม |
| พ.ศ. | 2562 |
| อาจารย์ที่ปรึกษาวิทยานิพนธ์ | ผศ.ดร.ศรวัฒน์ ชิวปรีชา |

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรกรองสัญญาณดิจิทัลไปควอดเรตริกแบบหลายเอาต์พุตที่สามารถปรับแต่งคุณลักษณะทางความถี่ของวงจรกรองสัญญาณได้ โดยประเด็นการนำเสนอหลักสามารถพิจารณาได้เป็น 2 ประเด็นหลัก กล่าวคือ ประเด็นแรกเป็นการออกแบบฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลไปควอดเรตริกจากต้นแบบที่เป็นฟังก์ชันถ่ายโอนวงจรกรองสัญญาณอนาล็อกไปควอดเรตริกด้วยการแปลงตัวแปร s-z ด้วยไบลิเนียร์ปาสคาลเมตริกซ์พร้อมทั้งการนำเสนอโครงสร้างของวงจรกรองสัญญาณดิจิทัลไปควอดเรตริกแบบหลายเอาต์พุต ประเด็นที่สองคือการทำให่วงจรกรองสัญญาณดิจิทัลไปควอดเรตริกหลายเอาต์พุตที่ได้มีความสามารถในการปรับเปลี่ยนคุณลักษณะทางความถี่ของวงจรกรองสัญญาณได้คือการปรับค่าความถี่กลางและความกว้างแบนด์ได้แบบออนไลน์ในขณะใช้งาน เพื่อให้เกิดความยืดหยุ่นในการใช้งานของวงจรกรองสัญญาณดิจิทัลเทียบเคียงความสามารถในการปรับคุณลักษณะทางความถี่ของวงจรกรองสัญญาณอนาล็อกที่ควบคุมด้วยวิธีการทางอิเล็กทรอนิกส์ ด้วยวิธีการออกแบบและโครงสร้างวงจรกรองสัญญาณดิจิทัลไปควอดเรตริกหลายเอาต์พุตที่ปรับค่าได้ที่นำเสนอจะถูกนำมาสร้างเป็นฮาร์ดแวร์บนบอร์ด STM32F769I Discovery Board: ARM Cortex-M7 เพื่อทดสอบการทำงานแบบเวลาจริงและยืนยันถึงความสามารถในการนำไปประยุกต์ใช้งานจริงในเชิงฮาร์ดแวร์

| | |
|-----------------------|---|
| Thesis | Design of Tunable Multi-Output Biquadratic digital filter And its hardware implementation on STM32F769II Discovery board: ARM CORTEX-M7 |
| Student | Miss Chonthicha Ittinaradech |
| Student ID. | 57601157 |
| Degree | Master of Engineering |
| Program | Telecommunication Engineering |
| Year | 2019 |
| Thesis Advisor | Asst. Prof. Dr. Sorawat Chivapreecha |

ABSTRACT

The proposed idea is divided to 2 topics, in first issue, biquadratic digital filter transfer function is designed from biquadratic analog transfer function prototype using s-z transformation by bilinear Pascal matrix along with the presentation of multi-output biquadratic digital filter structure. The second issue, tunable capability of multi-output biquadratic digital filter will be proposed to change the frequency characteristics as center frequency and bandwidth during online usage. From the proposed technique can give more flexible on using digital filter when compared with tuning frequency characteristics of analog filter by electronically controlled. The design and proposed tunable multi-output biquadratic digital filter structure will be implemented on discovery board: ARM CORTEX-M7 to test real-time operation and confirm the ability to real application in hardware.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี เนื่องจากข้าพเจ้าได้รับความกรุณา ความเมตตา จาก ผศ.ดร.ศรวต์มณี ชิวปรีชา ที่คอยให้ความช่วยเหลือ ดูแลเอาใจใส่ แนะนำ ชี้แนะข้อบกพร่องและ ร่วมแก้ไขปัญหา ติดตามความก้าวหน้าของงานวิจัย รวมทั้งฝึกฝนให้ข้าพเจ้ามีทักษะทางการคิด การอ่าน การเขียนและการนำเสนอผลงานวิชาการ ซึ่งเป็นประโยชน์อย่างมากในการพัฒนาตนเอง

ขอขอบคุณเพื่อนร่วมงานในห้องปฏิบัติการภาควิชาโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกท่านที่ได้ให้คำปรึกษา แนะนำ และ ถ่ายทอดเทคโนโลยีความรู้ให้แก่ข้าพเจ้า

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณบิดามารดาและครอบครัวของข้าพเจ้าที่ได้ให้ชีวิตและ โอกาสทางการศึกษา คอยเป็นกำลังใจและให้ความห่วงใยเสมอมา ตลอดจนคุณครูและอาจารย์ทุกท่านที่กรุณาประสิทธิ์ประสาทวิชาความรู้อันเป็นประโยชน์แก่ข้าพเจ้า

คุณค่าและประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอบแต่ผู้มีพระคุณทุกท่าน

ชลธิชา อธิธินราเดช

สารบัญ

| | หน้า |
|--|------|
| บทคัดย่อ (ภาษาไทย)..... | I |
| บทคัดย่อ (ภาษาอังกฤษ)..... | II |
| กิตติกรรมประกาศ..... | III |
| สารบัญ..... | IV |
| สารบัญตาราง..... | VI |
| สารบัญรูป..... | VII |
| บทที่ 1 บทนำ | 1 |
| 1.1 ความเป็นมาและความสำคัญของปัญหา | 1 |
| 1.2 วัตถุประสงค์ของงานวิจัย..... | 3 |
| 1.3 ขอบเขตของงานวิจัย | 3 |
| 1.4 โครงสร้างของวิทยานิพนธ์ | 3 |
| บทที่ 2 ทฤษฎีหลักการและงานวิจัยที่เกี่ยวข้อง | 5 |
| 2.1 บทนำ | 5 |
| 2.2 วงจรกรองสัญญาณไบควอด (Biquadratic Filter)..... | 6 |
| 2.3 องค์ประกอบพื้นฐานของระบบประมวลผลสัญญาณดิจิทัล | 11 |
| 2.4 ชนิดของวงจรกรองสัญญาณดิจิทัล: FIR และ IIR Filter..... | 12 |
| 2.4.1 วงจรกรองสัญญาณดิจิทัลชนิดผลตอบสนองอิมพัลส์จำกัด (Finite impulse Response: FIR Filter)..... | 14 |
| 2.4.2 วงจรกรองสัญญาณดิจิทัลชนิดผลตอบสนองอิมพัลส์ไม่จำกัด (Infinite impulse Response: IIR Filter)..... | 15 |
| 2.5 การออกแบบ IIR filter ด้วยวิธีการแปลงตัวแปร s-z | 15 |
| 2.5.1 วงจรกรองสัญญาณอนาลอกต้นแบบ | 16 |
| 2.5.2 การออกแบบวงจรกรองสัญญาณ IIR โดยใช้การแปลงไบลิเนียร์..... | 21 |
| 2.5.3 การออกแบบวงจรกรองสัญญาณ IIR โดยใช้การแปลงไบลิเนียร์ปาสคาลเมทริกซ์ .. | 25 |
| 2.6 โครงสร้างของวงจรกรองสัญญาณดิจิทัลชนิดผลตอบสนองอิมพัลส์ไม่จำกัด (Infinite impulse Response: IIR Filter) | 28 |
| 2.6.1 โครงสร้างวงจรกรองสัญญาณ IIR แบบโดยตรง I | 28 |
| 2.6.2 โครงสร้างวงจรกรองสัญญาณ IIR แบบโดยตรง II | 29 |
| 2.6.3 โครงสร้างวงจรกรองสัญญาณ IIR แบบคาสเคด | 30 |
| 2.6.4 โครงสร้างวงจรกรองสัญญาณ IIR รูปแบบขนาน | 32 |

สารบัญ (ต่อ)

หน้า

| | |
|--|-----|
| 2.7 ไมโครโปรเซสเซอร์ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board | 33 |
| บทที่ 3 วงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับค่าได้ | 37 |
| 3.1 บทนำ..... | 37 |
| 3.2 วงจรกรองสัญญาณดิจิทัลไบควอดเรติก (Biquadratic Digital Filter)..... | 37 |
| 3.3 วงจรกรองสัญญาณดิจิทัลไบควอดแบบหลายเอาต์พุต | 42 |
| 3.4 วงจรกรองสัญญาณไบควอดแบบหลายเอาต์พุตที่สามารถปรับแต่งค่าได้ | 54 |
| 3.5 การสร้างวงจรกรองสัญญาณไบควอดแบบหลายเอาต์พุตที่สามารถปรับแต่งค่าได้บนบอร์ด STM32F769I Discovery | 61 |
| บทที่ 4 ผลการออกแบบการจำลองการทำงานและการสร้างของวงจรกรองสัญญาณดิจิทัลไบควอดเรติก หลายเอาต์พุตที่ปรับค่าได้..... | 68 |
| 4.1 บทนำ..... | 68 |
| 4.2 ผลการออกแบบและจำลองการทำงานของวงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลาย เอาต์พุต..... | 68 |
| 4.3 ผลการออกแบบและจำลองการทำงานในส่วนความสามารถในการปรับจูนของ วงจรกรอง สัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุต..... | 76 |
| 4.4 การเปรียบเทียบผลลัพธ์ที่ได้จากการ Simulation บน MATLAB กับผลที่ได้จาก Hardware implemeatation..... | 112 |
| 4.2.1 โดยการปรับค่า α และ $\beta = 0$ | 112 |
| 4.2.2 โดยการปรับค่า β และ $\alpha = 0.1715$ | 118 |
| 4.5 การพิจารณาความเร็วในการประมวลผลการทำงานบนฮาร์ดแวร์ | 125 |
| บทที่ 5 บทสรุป ข้อเสนอแนะ และแนวทางการพัฒนา..... | 127 |
| 5.1 บทสรุป..... | 127 |
| 5.2 ข้อเสนอแนะและแนวทางการพัฒนา | 127 |
| เอกสารอ้างอิง | 128 |
| ภาคผนวก ก..... | 129 |
| ประวัติผู้เขียน..... | 136 |

สารบัญตาราง

| ตารางที่ | หน้า |
|--|------|
| 2.1 กรณีต่างๆเมื่อ k_1 , k_2 และ k_3 เป็นค่า ± 1 และแสดงผลตอบสนองของวงกรองอันดับสอง..... | 10 |
| 2.2 สัมประสิทธิ์ของวงจรรองสัญญาณความถี่ต่ำผ่าน..... | 18 |
| 2.3 คุณสมบัติและรายละเอียดของบอร์ด STM32F769I Discovery..... | 34 |
| 2.4 รายละเอียดของปุ่มบนบอร์ด STM32F769I Discovery..... | 3 |
| 4.1 องค์ประกอบที่ใช้ในการออกแบบวงจรรองสัญญาณดิจิทัลไมโครคอนโทรลเลอร์หลายเอาต์พุต | 76 |

สารบัญรูป

| รูปที่ | หน้า |
|---|------|
| 2.1 วงจรรวมสัญญาณ (SUM SIGNAL SUM SIGNAL)..... | 7 |
| 2.2 วงจรอินทิเกรเตอร์ (INTEGRATOR)..... | 7 |
| 2.3 วงจรขยายแบบกลับเฟสที่มีอัตราขยายเป็น 1 | 7 |
| 2.4 วงจรไบควอดของ TOW-THOMAS | 8 |
| 2.5 วงจรไบควอดเชิงอนาล็อกที่ให้ค่าผลตอบสนอง 5 แบบ | 9 |
| 2.6 ระบบประมวลผลสัญญาณอนาล็อก..... | 11 |
| 2.7 ระบบประมวลผลสัญญาณดิจิทัล | 11 |
| 2.8 วงจรกรองสัญญาณดิจิทัลตามนิยามของผลตอบสนองอิมพัลส์..... | 13 |
| 2.9 ผลตอบสนองของวงจรกรองสัญญาณ แบบบัตเตอร์เวิร์ท..... | 17 |
| 2.10 ตำแหน่งโพลในระนาบเอส (S PLANE)..... | 18 |
| 2.11 ผลตอบสนองของวงจรกรองสัญญาณ แบบเชบีเชฟ..... | 21 |
| 2.12 การเชื่อมโยงระหว่างโดเมนลาปลาซไปยังโดเมน Z ด้วยวิธีการแปลงไบลิเนียร์ | 23 |
| 2.13 การแปลงความสัมพันธ์จากความถี่อนาล็อก Ω ไปเป็นความถี่ดิจิทัล ω | 25 |
| 2.14 โครงสร้างโดยตรงแบบ I สำหรับ IIR FILTER อันดับสอง..... | 29 |
| 2.15 โครงสร้างโดยตรงแบบ II สำหรับ IIR FILTER อันดับสอง..... | 30 |
| 2.16 โครงสร้างวงจรกรองสัญญาณ IIR แบบคาสเคด | 31 |
| 2.17 โครงสร้างวงจรกรองสัญญาณ IIR แบบคาสเคดที่ใช้โครงสร้างรูปแบบโดยตรงชนิดที่ II เป็นองค์ประกอบพื้นฐานของฟังก์ชันถ่ายโอนย่อย | 31 |
| 2.18 โครงสร้างวงจรกรองสัญญาณ IIR แบบขนาน..... | 32 |
| 2.19 โครงสร้างวงจรกรองสัญญาณ IIR แบบขนานที่ใช้โครงสร้างรูปแบบโดยตรงชนิดที่ II เป็นองค์ประกอบพื้นฐานของฟังก์ชันถ่ายโอนย่อย | 33 |
| 2.20 ลักษณะของตัวบอร์ด STM32F769 DISCOVERY | 34 |
| 2.21 ลักษณะของตัวบอร์ด STM32F769 DISCOVERY จากด้านบน..... | 35 |
| 2.22 ลักษณะปุ่มของตัวบอร์ด STM32F769 DISCOVERY | 36 |
| 3.1 โครงสร้างของวงจรกรองสัญญาณที่มีเทอมส่วนเหมือนกัน | 45 |
| 3.2 โครงสร้างของวงจรกรองสัญญาณที่มี 3 เอาต์พุต | 46 |
| 3.3 โครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอาต์พุต..... | 47 |
| 3.4 บล็อกไดอะแกรมของค่าสัมประสิทธิ์ d_1 ที่สามารถปรับค่าได้..... | 56 |
| 3.5 บล็อกไดอะแกรมของค่าสัมประสิทธิ์ d_2 ที่สามารถปรับค่าได้ | 57 |
| 3.6 บล็อกไดอะแกรมของค่าสัมประสิทธิ์ G_{LP} ที่สามารถปรับค่าได้ | 57 |
| 3.7 บล็อกไดอะแกรมของค่าสัมประสิทธิ์ G_{HP} ที่สามารถปรับค่าได้ | 58 |

สารบัญรูป (ต่อ)

| รูปที่ | หน้า |
|--------|--|
| 3.8 | บล็อกไดอะแกรมของค่าสัมประสิทธิ์ G_{BP} ที่สามารถปรับค่าได้ 58 |
| 3.9 | โครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอาต์พุต และสามารถปรับค่าได้.... 60 |
| 3.10 | หน้าต่าง ADD-ONS EXPLORER ที่ติดตั้ง HARDWARE SUPPORT PACKAGES ครบทั้ง 3 รายการ..... 61 |
| 3.11 | หน้าต่าง DEVICE MANAGER สำหรับทำการอัปเดตไดรเวอร์ชื่อ 'EN.STSW-LINK009' 62 |
| 3.12 | หน้าต่าง DEVICE MANAGER แสดงตำแหน่งพอร์ตที่เชื่อมต่อไปยังบอร์ด STM32F769I..... 62 |
| 3.13 | หน้าต่าง MODEL CONFIGURATION PARAMETERS สำหรับเลือก HARDWARE BOARD .. 63 |
| 3.14 | หน้าต่าง Model Configuration Parameters สำหรับเลือก Code replacement library..63 |
| 3.15 | หน้าต่าง SIMULINK LIBRARY BROWSER 64 |
| 3.16 | ภาพรวมของโปรแกรม TUNABLE 5-OUTPUT BIQUADRATIC FILTER สำหรับควบคุมบอร์ด 65 |
| 3.17 | สคริปต์ TUNABLE MULTIPLE OUTPUT BIQUADRATIC FILTER ภายในบล็อก MATLAB FUNCTION..... 66 |
| 3.18 | ทำการคอมไพล์และดาวน์โหลดโปรแกรมลงบอร์ดโดยกดปุ่ม DEPLOY TO HARDWARE..... 67 |
| 4.1 | โครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอาต์พุต..... 70 |
| 4.2 | ผลตอบสนองทางขนาดของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอาต์พุต 70 |
| 4.3 | ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $f_0 = 4kHz$ 71 |
| 4.4 | ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $f_0 = 4kHz$71 |
| 4.5 | ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $f_0 = 4kHz$ 72 |
| 4.6 | ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $f_0 = 4kHz$ 72 |
| 4.7 | ผลตอบสนองทางเฟสของวงจรกรองความถี่ผ่านทั้งหมด เมื่อ $f_0 = 4kHz$ 73 |
| 4.8 | ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $Q = 0.7071$ 73 |
| 4.9 | ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $Q = 0.7071$ 74 |
| 4.10 | ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $Q = 0.7071$ 74 |
| 4.11 | ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $Q = 0.7071$ 75 |
| 4.12 | ผลตอบสนองทางเฟสของวงจรกรองสัญญาณความถี่ผ่านทั้งหมด เมื่อ $Q = 0.7071$ 75 |
| 4.13 | โครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอาต์พุต และสามารถปรับค่าได้ . 76 |
| 4.14 | กราฟแสดงความสัมพันธ์ของ α กับ QUALITY FACTOR 77 |
| 4.15 | กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$ 77 |
| 4.16 | กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$ 78 |

สารบัญรูป (ต่อ)

| รูปที่ | หน้า |
|--|------|
| 4.17 กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$ | 78 |
| 4.18 กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรรองสัญญาณความถี่แถบหยุดผ่าน เมื่อ $\beta = 0$ | 79 |
| 4.19 กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรรองสัญญาณความถี่แถบผ่านทั้งหมด เมื่อ $\beta = 0$ | 79 |
| 4.20 กราฟแสดงความสัมพันธ์ของ β กับ CENTER FREQUENCY | 80 |
| 4.21 กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$ | 80 |
| 4.22 กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$ | 81 |
| 4.23 กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$ | 81 |
| 4.24 กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$ | 82 |
| 4.25 กราฟโพลซีโรบนระนาบ Z-PLAN ของวงจรรองสัญญาณความถี่ผ่านทั้งหมด เมื่อ $\alpha = 0.1715$ | 82 |
| 4.26 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$ | 83 |
| 4.27 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$ | 83 |
| 4.28 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$ | 84 |
| 4.29 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$ | 84 |
| 4.30 ผลตอบสนองทางเฟสของวงจรรองสัญญาณความถี่แถบผ่านทั้งหมด เมื่อ $\beta = 0$ | 85 |
| 4.31 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$ | 85 |
| 4.32 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$ | 86 |
| 4.33 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$ | 86 |
| 4.34 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$ | 87 |
| 4.35 ผลตอบสนองทางเฟสของวงจรรองสัญญาณความถี่แถบผ่านทั้งหมด เมื่อ $\alpha = 0.1715$ | 87 |
| 4.36 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0$ | 88 |
| 4.37 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$ | 89 |
| 4.38 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.2308$ | 89 |
| 4.39 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.3333$ | 90 |

สารบัญรูป (ต่อ)

| รูปที่ | หน้า |
|---|------|
| 4.88 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = -0.8660$ | 118 |
| 4.89 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$ | 119 |
| 4.90 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0.8660$ | 119 |
| 4.91 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = -0.8660$ | 120 |
| 4.92 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$ | 120 |
| 4.93 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0.8660$ | 121 |
| 4.94 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = -0.8660$ | 121 |
| 4.95 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$ | 122 |
| 4.96 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0.8660$ | 122 |
| 4.97 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = -0.8660$ | 123 |
| 4.98 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$ | 123 |
| 4.99 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0.8660$ | 124 |
| 4.100 ภาพรวมโปรแกรมของระบบที่นำเสนอสำหรับการวัดความเร็วในการประมวลผลการทำงาน บนฮาร์ดแวร์ | 125 |
| 4.101 ภาพหน้าจอ OSCILLOSCOPE ที่ใช้วัดสัญญาณจากพอร์ตเอาต์พุตของฮาร์ดแวร์ | 126 |

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรรองสัญญาณเป็นวงจรพื้นฐานที่สำคัญในการประยุกต์ใช้งานในการออกแบบระบบทางอิเล็กทรอนิกส์สำหรับประมวลผลสัญญาณ โดยวงจรรองสัญญาณสามารถแบ่งออกได้เป็น วงจรรองสัญญาณอนาล็อก (Analog Filter) และวงจรรองสัญญาณดิจิทัล (Digital Filter)

วงจรรองสัญญาณอนาล็อกจะดำเนินการกับสัญญาณอนาล็อก (Analog Signal) ซึ่งเป็นสัญญาณที่มีอยู่จริงในธรรมชาติ เป็นปริมาณทางกายภาพที่สามารถได้จากเซ็นเซอร์ชนิดต่างๆ ตัวอย่างสัญญาณอนาล็อกที่นิยมนำมาประมวลผลด้วยวงจรทางอิเล็กทรอนิกส์ เช่น แรงดัน (Voltage) หรือกระแส (Current) เป็นต้น คุณลักษณะของวงจรหรือผลตอบสนองทางความถี่ของวงจรรองสัญญาณอนาล็อกจะถูกกำหนดจากรูปแบบและค่าของอุปกรณ์ทางอิเล็กทรอนิกส์ต่างๆ เช่น ค่า R, L, C ที่นำมาต่อเป็นวงจร การปรับเปลี่ยนหน้าที่การทำงานของวงจร เช่น จากวงจรรองความถี่ต่ำผ่าน เป็นวงจรรองความถี่สูงผ่านจำเป็นต้องมีการปรับเปลี่ยนรูปแบบของการต่อวงจรใหม่เช่นเดียวกัน ในการปรับเปลี่ยนคุณลักษณะหรือผลตอบสนองทางความถี่ ยกตัวอย่างเช่น ในวงจรรองสัญญาณความถี่ต่ำผ่านที่มีค่าความถี่ตัด (Cut-off Frequency) อยู่ที่ความถี่หนึ่ง หากต้องการปรับเปลี่ยนค่าความถี่ตัดไปยังค่าใหม่อีกค่าหนึ่ง ถึงแม้ว่าจะไม่ต้องทำการเปลี่ยนแปลงรูปแบบของการต่อวงจรใหม่แต่ก็ยังคงต้องมีการปรับเปลี่ยนค่าของอุปกรณ์ที่กำหนดคุณลักษณะการทำงาน เช่น ค่า R, L, C เป็นต้น ซึ่งทำได้โดยการถอดอุปกรณ์ R, L, C ค่าเก่าออกแล้วเปลี่ยนเอาค่า R, L, C ใหม่ที่ทำให้วงจรมีค่าความถี่ตัดตามที่ต้องการลงไปต่อในวงจรแทน หรือการใช้ R, L, C ที่สามารถปรับค่าได้ซึ่งจะทำให้สามารถปรับค่าความถี่ตัดได้ในขณะใช้งาน โดยวิธีการปรับค่า R, L, C ในขณะใช้งานวงจรส่งผลให้ฟังก์ชันถ่ายโอน (Transfer Function) ของวงจรสามารถปรับเปลี่ยนได้ ซึ่งถือได้ว่าเป็นการปรับแต่งค่าผลตอบสนองทางความถี่ของวงจรรองสัญญาณอนาล็อกด้วยวิธีการควบคุมทางอิเล็กทรอนิกส์

ในขณะที่วงจรรองสัญญาณดิจิทัลซึ่งจะดำเนินการกับสัญญาณดิจิทัล (Digital Signal) โดยสัญญาณดิจิทัลเป็นสัญญาณที่มนุษย์ประดิษฐ์ขึ้นมาใช้งานแทนสัญญาณอนาล็อกด้วยข้อดีหลายๆ อย่างที่สัญญาณดิจิทัลมีอยู่เหนือกว่าสัญญาณอนาล็อก การใช้งานระบบประมวลผลสัญญาณดิจิทัลกับสัญญาณอนาล็อกจำเป็นจะต้องมีการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลเสียก่อนและเมื่อทำการประมวลผลสัญญาณเสร็จก็จะต้องทำการแปลงสัญญาณดิจิทัลกลับไปเป็นสัญญาณอนาล็อก (เว้นแต่เป็นการดำเนินการกับสัญญาณดิจิทัลตั้งแต่ต้น ก็ไม่จำเป็นต้องมีการแปลงไป/แปลงกลับ ดังกล่าว) ด้วยความที่ระบบประมวลผลสัญญาณดิจิทัลเป็นการดำเนินการเชิงตัวเลข (Numerical Computation) จึงเสมือนเป็นเครื่องคำนวณ ซึ่งค่อนข้างแตกต่างกับการดำเนินการของระบบประมวลผลสัญญาณอนาล็อก ดังนั้นวงจรรองสัญญาณดิจิทัลจึงไม่มีการใช้ค่าของอุปกรณ์ เช่น R, L,

C ในการกำหนดคุณลักษณะหรือผลตอบสนองความถี่ของวงจรตั้งในกรณีของวงจรกรองสัญญาณอนาล็อก การกำหนดทั้งหน้าที่และคุณลักษณะของวงจรกรองสัญญาณดิจิทัลจะขึ้นอยู่กับค่าตัวเลขชุดหนึ่งๆที่เรียกว่าค่าสัมประสิทธิ์ของวงจรกรองสัญญาณ (Filter Coefficients) ซึ่งเป็นสัมประสิทธิ์ค่าคงที่ที่คำนวณขึ้นมาตามหลักการออกแบบวงจรกรองสัญญาณดิจิทัลจากข้อกำหนดของวงจรที่ต้องการ ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลก็ขึ้นอยู่กับค่าสัมประสิทธิ์ของวงจรกรองสัญญาณนั่นเอง การปรับเปลี่ยนหน้าที่การทำงานของวงจรกรองสัญญาณดิจิทัล เช่น จากวงจรกรองความถี่ต่ำผ่านไปเป็นวงจรกรองความถี่สูงผ่านไม่จำเป็นต้องปรับเปลี่ยนรูปแบบของวงจรใหม่ดังเช่นในกรณีของวงจรกรองสัญญาณอนาล็อก เพียงแต่ใช้ค่าสัมประสิทธิ์ของวงจรกรองสัญญาณค่าใหม่ที่ออกแบบมาให้เป็นวงจรกรองความถี่สูงผ่านแทนค่าสัมประสิทธิ์ชุดเก่าที่ถูกรออกแบบมาเป็นวงจรกรองสัญญาณความถี่ต่ำผ่านโดยที่โครงสร้างของวงจรกรองสัญญาณ (Filter Structure) ยังมีรูปแบบเดิมไม่เปลี่ยนแปลง การปรับเปลี่ยนคุณลักษณะหรือผลตอบสนองทางความถี่ก็เช่นกันใช้วิธีการเปลี่ยนค่าสัมประสิทธิ์ชุดใหม่ลงไป เช่น วงจรกรองสัญญาณความถี่ต่ำผ่านที่มีค่าความถี่ตัดค่าหนึ่งกับวงจรกรองสัญญาณความถี่ต่ำผ่านที่มีค่าความถี่ตัดเป็นอีกค่าหนึ่งก็จะมีค่าสัมประสิทธิ์ของวงจรกรองสัญญาณที่ต่างกัน ซึ่งจะเห็นได้ว่าวงจรกรองสัญญาณดิจิทัลมีข้อดี คือโครงสร้างของวงจรไม่ต้องทำการปรับเปลี่ยนใดๆเลย ทั้งหน้าที่การทำงานและผลตอบสนองทางความถี่จะกำหนดจากชุดตัวเลขที่เรียกว่าสัมประสิทธิ์ของวงจรกรองสัญญาณนั่นเอง

จากการที่ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณดิจิทัลขึ้นอยู่กับค่าสัมประสิทธิ์ของวงจรกรองสัญญาณดังนั้นการปรับเปลี่ยนผลตอบสนองทางความถี่ของวงจรกรองสัญญาณจะต้องทำการปรับเปลี่ยนที่ค่าของสัมประสิทธิ์ แต่โดยปกติค่าสัมประสิทธิ์ของวงจรกรองสัญญาณจะต้องทำการคำนวณใหม่ตามข้อกำหนดคุณลักษณะของวงจรที่ต้องการ ดังนั้นจะเห็นได้ว่าจะต้องมีการคำนวณชุดสัมประสิทธิ์ค่าใหม่ขึ้นมาก่อนและโหลดค่าสัมประสิทธิ์ดังกล่าวลงไปบนโครงสร้างของวงจรกรองสัญญาณทุกๆครั้งที่มีการปรับเปลี่ยนรูปแบบผลตอบสนองทางความถี่ของวงจรกรองสัญญาณดิจิทัล ซึ่งส่งผลให้ไม่สามารถทำการปรับเปลี่ยนผลตอบสนองทางความถี่ของวงจรกรองสัญญาณดิจิทัลอย่างทันทีทันใดได้ในขณะที่ใช้งาน ดังเช่นในกรณีของวงจรกรองสัญญาณอนาล็อกซึ่งสามารถทำได้แม้ในขณะที่ใช้งานอยู่ด้วยวิธีการปรับแต่งคุณลักษณะผลตอบสนองทางความถี่จากการควบคุมทางอิเล็กทรอนิกส์ ปัญหาดังกล่าวที่เกิดขึ้นกับวงจรกรองสัญญาณดิจิทัลจะถูกนำเสนอมติวิธีการปรับปรุงเพื่อให้วงจรกรองสัญญาณดิจิทัลสามารถทำการปรับแต่งได้ ในวิทยานิพนธ์นี้

วงจรกรองสัญญาณแบบไบควอดที่สามารถทำการปรับแต่งได้เป็นวงจรกรองสัญญาณที่นำมาใช้งานกันอย่างแพร่หลายในการประมวลผลสัญญาณอนาล็อก [1] ซึ่งมีคุณลักษณะเด่นคือสามารถทำหน้าที่เป็นวงจรกรองสัญญาณหลายชนิดได้ในเวลาเดียวกัน แต่เนื่องจากคุณลักษณะผลตอบสนองทางความถี่ของวงจรกรองสัญญาณอนาล็อกขึ้นอยู่กับารควบคุมทางอิเล็กทรอนิกส์ดังกล่าวข้างต้น จึงได้มีการทำวิจัยเกี่ยวกับวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่ใช้เพียง 1 อินพุต แต่สามารถให้เอาต์พุตออกมาถึง 5 เอาต์พุต [2] ซึ่งฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลแบบ

ไบควอดใน z-domain สามารถสร้างได้จากฟังก์ชันถ่ายโอนของวงจรรองสัญญาณอนาลอกแบบไบควอดใน s-domain [3] ด้วยวิธีการแปลงเชิงเส้นคู่โดยใช้พาสคาลเมทริกซ์

อย่างไรก็ตามค่าสัมประสิทธิ์ของวงจรรองสัญญาณดิจิทัลแบบไบควอดที่นำเสนอใน [2] ไม่สามารถปรับแต่งได้เช่นเดียวกับวงจรรองสัญญาณอนาลอกแบบไบควอดใน [1] ดังนั้นในงานวิจัยนี้จึงได้พัฒนาโครงสร้างของวงจรรองสัญญาณดิจิทัลแบบไบควอดใน [2] ที่สามารถให้เอาต์พุตได้ถึง 5 เอาต์พุต และสามารถปรับแต่งตำแหน่งค่าความถี่กลางและแบนด์วิธได้โดยไม่ต้องคำนวณค่าสัมประสิทธิ์ใหม่ โดยที่โครงสร้างนี้ยังได้ถูกนำไปสร้างบนบอร์ด STM32F769I Discovery เพื่อทดสอบและแสดงให้เห็นว่าสามารถนำมาประยุกต์ใช้งานได้จริง

1.2 วัตถุประสงค์ของงานวิจัย

1. เพื่อศึกษาโครงสร้างของวงจรรองสัญญาณดิจิทัลแบบไบควอดที่สามารถให้เอาต์พุตได้ถึง 5 เอาต์พุต
2. เพื่อนำเสนอหลักการออกแบบวงจรรองสัญญาณดิจิทัล (Digital Filter) ที่สามารถปรับแต่ง (tunable) ผลตอบสนองทางความถี่ได้
3. นำเสนอการสร้างวงจรรองสัญญาณดิจิทัลไบควอดเดรติคหลายเอาต์พุตลงบนบอร์ด STM32F769I Discovery เพื่อแสดงให้เห็นว่าสามารถนำไปใช้งานแบบเวลาจริงได้

1.3 ขอบเขตของงานวิจัย

1. เพื่อทบทวนเนื้อหาที่เกี่ยวข้องกับการออกแบบวงจรรองสัญญาณที่สามารถปรับแต่งผลตอบสนองทางความถี่ได้ ซึ่งส่วนใหญ่จะอยู่ในรูปแบบของวงจรรองสัญญาณอนาลอก (Analog Filter) และการปรับแต่งผลตอบสนองจะใช้วิธีการควบคุมทางอิเล็กทรอนิกส์ เช่น การควบคุมกระแสไบอัสซึ่งเป็นที่นิยมในการนำไปสร้างเป็นวงจรรวมอนาลอก รวมทั้งทบทวนบทความที่เกี่ยวข้องกับวงจรรองสัญญาณที่สามารถปรับแต่งผลตอบสนองทางความถี่ได้ที่อยู่ในรูปของวงจรรองสัญญาณดิจิทัล (Digital Filter)
2. นำเสนอวิธีการปรับปรุงเพื่อให้โครงสร้างของวงจรรองสัญญาณดิจิทัลที่สามารถทำการปรับแต่งผลตอบสนองทางความถี่ได้โดยพารามิเตอร์ควบคุม (Control Parameters) จากภายนอกซึ่งเป็นการปรับแต่งแบบดิจิทัล ในลักษณะที่คล้ายกับการปรับแต่งในวงจรรองสัญญาณอนาลอกที่ใช้การควบคุมทางอิเล็กทรอนิกส์ เช่น การควบคุมจากกระแสไบอัส
3. ศึกษา MATLAB Simulink เพื่อนำวงจรรองสัญญาณสร้างลงบนบอร์ด STM32F769I Discovery

1.4 โครงสร้างของวิทยานิพนธ์

บทที่ 1 กล่าวถึงความเป็นมาและความสำคัญของวิทยานิพนธ์ มูลเหตุจูงใจในการทำวิทยานิพนธ์นี้ และจะกล่าวถึงจุดประสงค์ของวิทยานิพนธ์ ขอบเขตของวิทยานิพนธ์ สุดท้ายจะอธิบายรายละเอียดในแต่ละส่วนของเล่มวิทยานิพนธ์

บทที่ 2 บทนี้จะกล่าวถึงงานวิจัยก่อนหน้าที่เกี่ยวข้องของจนถึงปัจจุบัน รวมถึงทฤษฎีและหลักการที่จะนำมาใช้ในการทำงานวิจัย

บทที่ 3 ในบทนี้กล่าวถึงการนำเสนอวิธีการออกแบบและสร้างวงจรกรองสัญญาณที่เป็นวงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับค่าได้ และกล่าวถึงการออกแบบลงบนบอร์ด STM32F769I Discovery

บทที่ 4 ในบทนี้จะได้กล่าวถึงการออกแบบการทดลองและการเก็บผลการทดลองเพื่อการแสดงผลลัพธ์ของโครงสร้างวงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับค่าที่นำเสนอในงานวิทยานิพนธ์นี้

บทที่ 5 บทสรุปของวิทยานิพนธ์และข้อเสนอแนะ รวมทั้งแนวทางการนำไปพัฒนาต่อ

บทที่ 2

ทฤษฎีหลักการและงานวิจัยที่เกี่ยวข้อง

2.1 บทนำ

การทำงานของวงจรรองสัญญาณต่าง ๆ นั้นจะขึ้นอยู่กับคุณลักษณะของวงจรถือหรือผลตอบสนองทางความถี่ของวงจรรองสัญญาณ ซึ่งคุณลักษณะของวงจรรองสัญญาณอนาลอกจะถูกกำหนดจากรูปแบบและค่าของอุปกรณ์ทางอิเล็กทรอนิกส์ต่างๆ ดังนั้นการปรับเปลี่ยนหน้าที่การทำงานของวงจรถือจึงจำเป็นต้องมีการปรับเปลี่ยนรูปแบบการต่อวงจรใหม่ ในขณะที่คุณลักษณะของวงจรถือหรือผลตอบสนองทางความถี่ของวงจรรองสัญญาณดิจิทัลจะขึ้นอยู่กับค่าตัวเลขที่เรียกว่าค่าสัมประสิทธิ์ของวงจรรองสัญญาณ (Filter Coefficients) ซึ่งเป็นค่าคงที่ที่คำนวณขึ้นมาตามหลักการออกแบบจากข้อกำหนดของวงจรถือที่ต้องการ ดังนั้นการปรับเปลี่ยนหน้าที่การทำงานของวงจรรองสัญญาณดิจิทัลจึงไม่จำเป็นต้องปรับเปลี่ยนรูปแบบของวงจรถือใหม่ แต่ปรับเปลี่ยนเพียงค่าสัมประสิทธิ์ของวงจรรองสัญญาณใหม่เท่านั้น โดยที่โครงสร้างของวงจรรองสัญญาณยังคงเดิมไม่เปลี่ยนแปลง จึงได้มีงานวิจัยที่ศึกษาเกี่ยวกับการปรับแต่งคุณลักษณะหรือผลตอบสนองทางความถี่ของวงจรรองสัญญาณเพื่อให้เกิดความยืดหยุ่นในการออกแบบวงจรรองสัญญาณโดยที่สามารถปรับแต่งคุณลักษณะของวงจรถือได้โดยไม่ต้องเปลี่ยนรูปแบบโครงสร้างของวงจรถือใหม่ รวมถึงในวงจรรองสัญญาณดิจิทัลที่ถึงแม้ว่าการเปลี่ยนคุณลักษณะของวงจรถือไม่ต้องเปลี่ยนรูปแบบโครงสร้างของวงจรถือ แต่ก็จำเป็นต้องคำนวณหาค่าสัมประสิทธิ์ของวงจรรองสัญญาณค่าใหม่ก่อนแล้วจึงโหลดค่าใหม่ลงไปในโครงสร้างของวงจรรองสัญญาณทุกครั้ง จึงทำให้ไม่สามารถปรับเปลี่ยนคุณลักษณะของวงจรถือได้ทันทีทันใด

วงจรรองสัญญาณแบบไบควอดที่สามารถทำการปรับแต่งได้เป็นวงจรรองสัญญาณที่นำมาใช้งานกันอย่างแพร่หลายในการประมวลผลสัญญาณอนาลอก ซึ่งมีคุณลักษณะเด่นคือสามารถทำหน้าที่เป็นวงจรรองสัญญาณหลายชนิดได้ในเวลาเดียวกัน แต่เนื่องจากคุณลักษณะผลตอบสนองทางความถี่ของวงจรรองสัญญาณอนาลอกขึ้นอยู่กับความถี่ของสัญญาณที่เข้ามาซึ่งขึ้นอยู่กับความถี่ของสัญญาณอนาลอกที่เข้ามา ดังนั้นการปรับแต่งค่าสัมประสิทธิ์ของวงจรรองสัญญาณอนาลอกจึงได้มีการทำวิจัยเกี่ยวกับวงจรรองสัญญาณดิจิทัลแบบไบควอดที่ใช้เพียง 1 อินพุต แต่สามารถให้เอาต์พุตออกมาถึง 5 เอาต์พุต อย่างไรก็ตามค่าสัมประสิทธิ์ของวงจรรองสัญญาณดิจิทัลแบบไบควอด ไม่สามารถปรับแต่งได้ทันทีทันใด ดังนั้นในวิทยานิพนธ์นี้จึงได้พัฒนาโครงสร้างของวงจรรองสัญญาณดิจิทัลแบบไบควอด ที่ใช้เพียง 1 อินพุต แต่ก็สามารถให้เอาต์พุตได้ถึง 5 เอาต์พุตรวมถึงสามารถปรับแต่งตำแหน่งค่าความถี่กลางและแบนด์วิธได้โดยไม่ต้องคำนวณค่าสัมประสิทธิ์ใหม่ และจำลองการทำงานของโครงสร้างที่นำเสนอด้วยโปรแกรม MATLAB เพื่อแสดงให้เห็นถึงการปรับแต่งคุณลักษณะของวงจรรองสัญญาณ

2.2 วงจรกรองสัญญาณไบควอด (Biquadratic Filter)

เมื่อกล่าวถึงวงจรไบควอดเรามักจะนึกถึงวงจรกรองสัญญาณไบควอดที่เป็นวงจรกรองสัญญาณเชิงอนาล็อก (Analog filter) ซึ่งให้เอาต์พุตที่เป็นผลตอบสนองทางความถี่หลายแบบ เช่น ผลตอบสนองแบบความถี่ต่ำผ่าน (Lowpass) ความถี่สูงผ่าน (Highpass) และความถี่แถบผ่าน (Bandpass) เป็นต้น โดยรูปแบบพื้นฐานในการสร้างวงจรกรองสัญญาณไบควอดเชิงอนาล็อกนี้ อาจทำการสร้างด้วยวงจรรวมออปแอมป์ [1] หรือเป็นพวกวงจรถ่าย CMOS Transistors ตามแต่การออกแบบ แต่ทั้งนี้ฟังก์ชันถ่ายโอน (Transfer function) จะเป็นฟังก์ชันถ่ายโอนอนาล็อกหรือกล่าวว่าเป็นฟังก์ชันถ่ายโอนในเอสโดเมน (s-Domain) ดังตัวอย่างที่ออกแบบวงจรกรองสัญญาณไบควอดอนาล็อกโดยจะเริ่มพิจารณาฟังก์ชันถ่ายโอนแบบความถี่ต่ำผ่านแบบ โดยที่ $H(s)$ เป็นตัวจำแนกความเป็นไปได้ของเกน (Gain) และวงจรที่นำมาจะเป็นอินเวอร์ตติ้ง (Inverting) หรืออนอินเวอร์ตติ้ง (Non-inverting) ดังฟังก์ชันถ่ายโอน คือ

$$H(s) = \frac{\pm G\Omega_0^2}{s^2 + (\Omega_0/Q)s + \Omega_0^2} \quad (2.1)$$

ทำการสเกลความถี่โดยให้ $\omega_0 = 1$ และเลือกเครื่องหมายลบของฟังก์ชันถ่ายโอนจะได้

$$H(s) = \frac{-G}{s^2 + (1/Q)s + 1} = \frac{V_2}{V_1} \quad (2.2)$$

$$(s^2 + (1/Q)s + 1)V_2 = -GV_1 \quad (2.3)$$

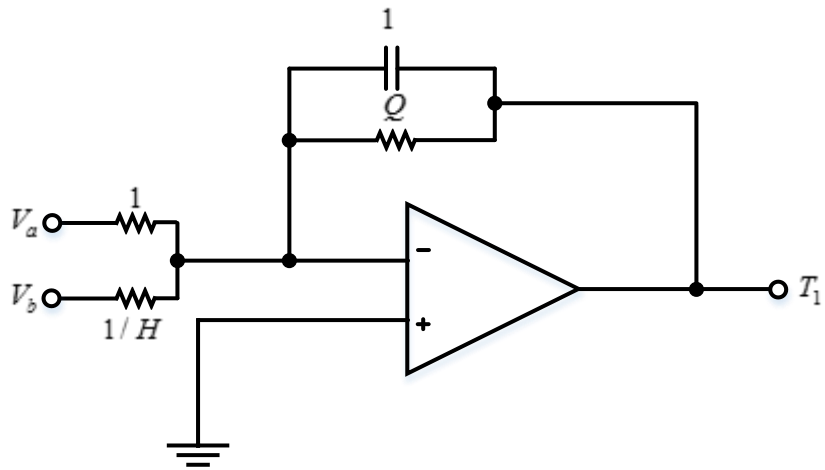
ทำการหารสมการ (2.3) ทั้งสองด้านด้วย $s(s + 1/Q)$ จะได้สมการ (2.4)

$$\left(1 + \frac{1}{s(s + 1/Q)}\right)V_2 = \frac{-G}{s(s + 1/Q)}V_1 \quad (2.4)$$

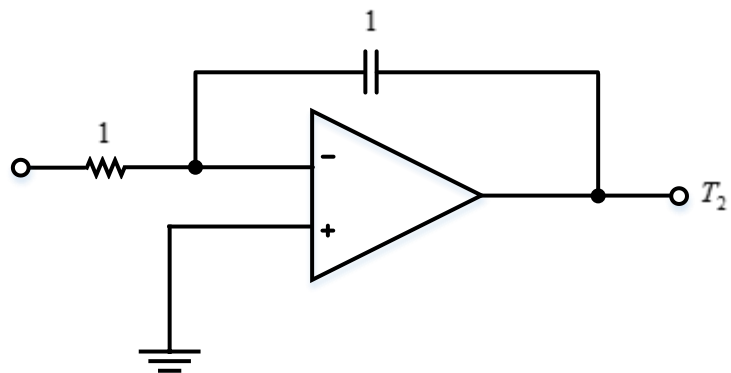
เมื่อทำการย้ายข้างสมการที่ (2.4) จะได้

$$V_2 = \left(\frac{-1}{s + 1/Q}V_2 + \frac{-G}{s + 1/Q}V_1\right)\left(-\frac{1}{s}\right)(-1) \quad (2.5)$$

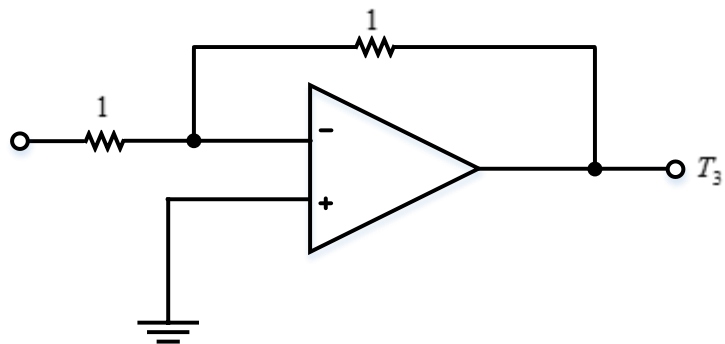
ซึ่งจากการคำนวณและการวิเคราะห์จะได้สามวงจร ดังรูปที่ 2.1 - 2.3



รูปที่ 2.1 วงจรรวมสัญญาณ (Sum signal)

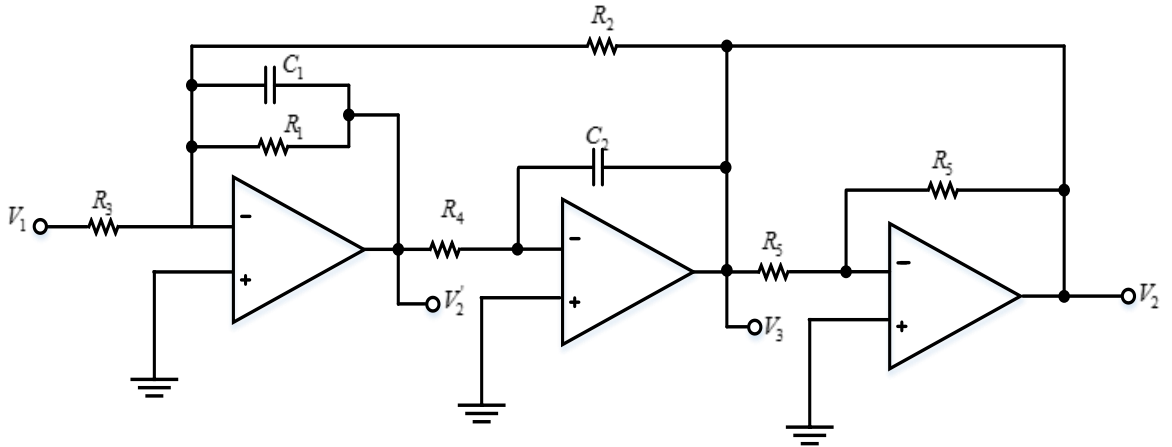


รูปที่ 2.2 วงจรอินทิเกรเตอร์ (Integrator)



รูปที่ 2.3 วงจรขยายแบบกลับเฟสที่มีอัตราขยายเป็น 1

โดยถ้านำทั้งสามวงจรมาต่อกัน แล้วเพิ่มส่วนป้อนกลับ (Feedback) จะเรียกได้ว่าเป็นสมการไบควอดแบบสามเอาต์พุต แสดงดังรูป 2.4



รูปที่ 2.4 วงจรไบควอดของ Tow-thomas

$$H(s) = \frac{V_2}{V_1} = \frac{-1/R_3 R_4 C_1 C_2}{s^2 + (1/R_1 C_1)s + 1/R_2 R_4 C_1 C_2} \quad (2.6)$$

โดยจากสมการฟังก์ชันถ่ายโอน (2.6) จะพบว่าจะมี 3 ค่าที่ต้องพิจารณา คือ สมการที่ (2.7) , (2.8) และ (2.9)

$$\Omega_0 = \frac{1}{\sqrt{R_2 R_4 C_1 C_2}} \quad (2.7)$$

$$Q = \sqrt{\frac{R_1^2 C_1}{R_2 R_4 C_2}} \quad (2.8)$$

$$G = \frac{R_2}{R_3} \quad (2.9)$$

วงจรไบควอด ค่า $\frac{V_2}{V_3} = -1$ ทำให้การหาค่าของ $\frac{V_3}{V_1}$ ได้ดังนี้

$$\frac{V_3}{V_1} = \frac{V_2}{V_1} \times \frac{V_3}{V_2} = -\frac{V_2}{V_1} \quad (2.10)$$

นั่นคือ ฟังก์ชันถ่ายโอน $\frac{V_3}{V_1}$ จะเรียกว่าวงจรกรองสัญญาณความถี่ต่ำแบบไม่กลับเฟส โดยจะย้อนกลับไปไม่ความสัมพันธ์ในรูปวงจร คือ ความสัมพันธ์ระหว่าง V_3 และ V_2' โดยฟังก์ชันถ่ายโอนคือ

$$\frac{V_3}{V_2'} = \frac{1}{R_4 C_2 s} \quad (2.11)$$

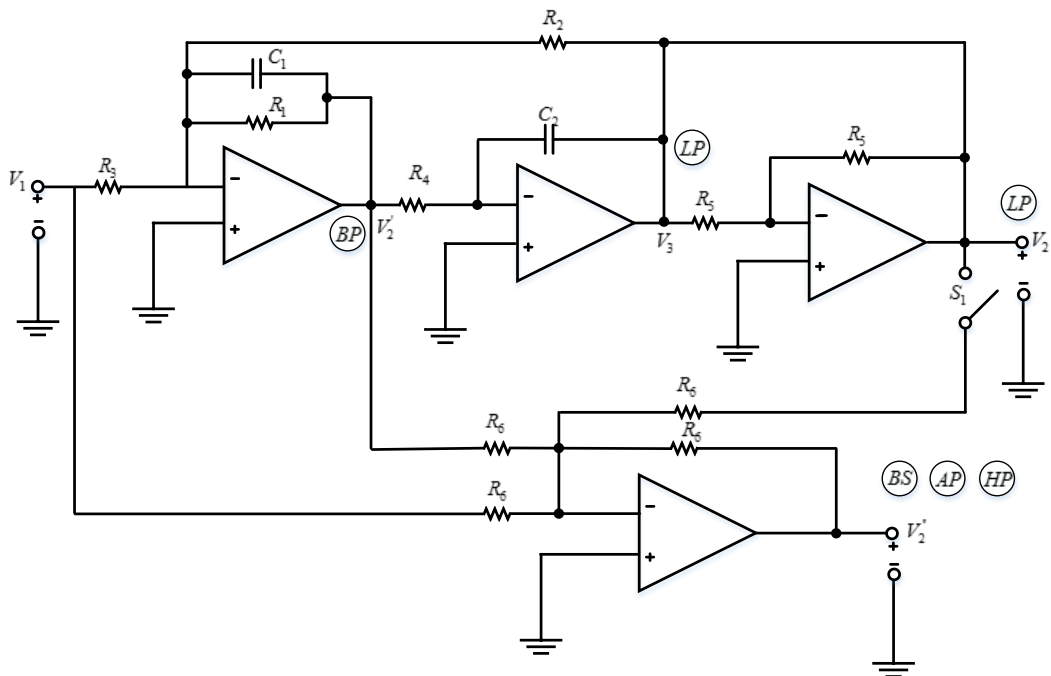
จากกฎลูกโซ่จะได้

$$\frac{V_2'}{V_3} \times \frac{V_3}{V_2} \times \frac{V_2}{V_1} = -\frac{V_2'}{V_2} \quad (2.12)$$

ทำให้ได้

$$\frac{V_2'}{V_1} = \frac{(-1/R_3 C_1)s}{s^2 + (1/R_1 C_1)s + 1/R_2 R_4 C_1 C_2} \quad (2.13)$$

ซึ่งในส่วนนี้ค่า $\frac{V_2'}{V_1}$ นั้นคือฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณความถี่แถบผ่านโดยจากรูปที่ 2.4 จากการศึกษาจะพบว่าค่า R_2 สามารถปรับค่าของ Ω_0 และ R_1 นั้นสามารถปรับค่าของ Q โดยไม่เปลี่ยนค่า Ω_0 และค่า R_3 สามารถเป็นการปรับค่าการออกแบบของ G หรือ เกนสำหรับวงจร นอกจากจะปรับ Ω_0 และ Q ซึ่งสามารถนำไปพิจารณาเพื่อให้มีค่าเอาต์พุตให้สามารถออกมากกว่านี้ได้ดังรูปที่ 2.5



รูปที่ 2.5 วงจรไบควอดเชิงอนาลอกที่ให้ค่าผลตอบแทน 5 แบบ

โดยจะนำสมการฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณไบควอดทั่วไปมาพิจารณาจากรูปที่ 2.5
จะได้

$$H(s) = \frac{V_2''}{V_1} = \frac{s^2 + (1/R_1C_1 - 1/R_3C_1)s + 1/R_2R_4C_1C_2}{s^2 + (1/R_1C_1)s + 1/R_2R_4C_1C_2} \quad (2.14)$$

เขียนสมการที่ (2.14) กระจับได้ดังสมการ (2.15)

$$H(s) = \frac{k_1s^2 + k_2(\Omega_0/Q)s + k_3\Omega_0^2}{s^2 + (\Omega_0/Q)s + \Omega_0^2} \quad (2.15)$$

โดยที่ค่าคงที่ k_1, k_2 และ k_3 เป็นค่า ± 1 หรือ 0 ทำให้สามารถนำมาเขียนเป็นแต่ละกรณี
ได้ดังตารางที่ 2.1

ตารางที่ 2.1 กรณีต่างๆเมื่อ k_1, k_2 และ k_3 เป็นค่า ± 1 และแสดงผลตอบสนองของวงจรกรอง
อันดับสอง

| <i>Filter</i> | k_1 | k_2 | k_3 | <i>Transfer Function</i> |
|------------------|-------|-------|-------|--|
| <i>Lowpass</i> | 0 | 0 | 1 | $H_{LP} = \frac{\Omega_0^2}{s^2 + (\Omega_0/Q)s + \Omega_0^2}$ |
| <i>Highpass</i> | 1 | 0 | 0 | $H_{HP} = \frac{s^2}{s^2 + (\Omega_0/Q)s + \Omega_0^2}$ |
| <i>Band pass</i> | 0 | 1 | 0 | $H_{BP} = \frac{(\Omega_0/Q)}{s^2 + (\Omega_0/Q)s + \Omega_0^2}$ |
| <i>Bandstop</i> | 1 | 0 | 1 | $H_{BS} = \frac{(s^2 + \Omega_0^2)}{s^2 + (\Omega_0/Q)s + \Omega_0^2}$ |
| <i>All pass</i> | 1 | -1 | 1 | $H_{AP} = \frac{s^2 - (\Omega_0/Q)s + \Omega_0^2}{s^2 + (\Omega_0/Q)s + \Omega_0^2}$ |

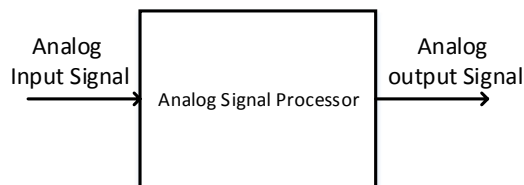
วงจรกรองสัญญาณไบควอดที่แสดงด้านบนเป็นวงจรกรองสัญญาณอนาลอก ซึ่งเป็นการ
ออกแบบวงจรกรองสัญญาณแบบไบควอดโดยมีฟังก์ชันถ่ายโอนในเอสโดเมน (s-Domain) ที่ใช้งาน
โดยทั่วไปสำหรับงานด้านการออกแบบวงจรกรองสัญญาณดิจิทัล ซึ่งฟังก์ชันถ่ายโอนเหล่านี้จะ
กลายเป็นวงจรกรองสัญญาณดิจิทัลได้ โดยสามารถทำการแปลง s-z transformation ด้วย Bilinear

transform ซึ่งเป็นวิธีการที่ใช้ทั่วไปในการออกแบบ IIR filter อย่างไรก็ตามเพื่อความสะดวกในการแปลงมีนักวิจัยนำเสนอการแปลงโดยวิธีการทางเมทริกซ์ เรียกว่า Bilinear Pascal Matrix [2]

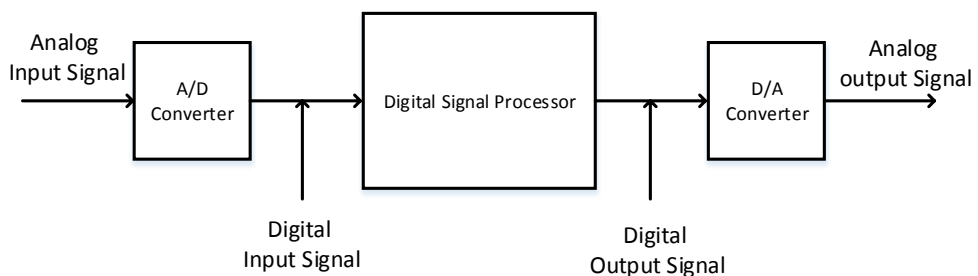
2.3 องค์ประกอบพื้นฐานของระบบประมวลผลสัญญาณดิจิทัล

สัญญาณที่เรามักจะพบเห็นได้บ่อย เป็นสัญญาณที่เกิดขึ้นโดยทั่วไปในธรรมชาติ นั่นคือสัญญาณอนาล็อก (Analog signal) สัญญาณอนาล็อกเป็นฟังก์ชันของตัวแปรแบบต่อเนื่อง และมีย่านความถี่เปลี่ยนแปลงเป็นแบบต่อเนื่อง เมื่อป้อนสัญญาณเข้าสู่ระบบอนาล็อก เช่น ตัวกรอง หรือตัววิเคราะห์ความถี่ โดยมีวัตถุประสงค์เพื่อเปลี่ยนแปลงคุณสมบัติ หรือแยกส่วนของข้อมูลที่ต้องการ เรากล่าวได้ว่าสัญญาณถูกประมวลผลโดยตรงจากระบบอนาล็อก ซึ่งแสดงดังรูปที่ 2.6 ระบบอนาล็อกประกอบไปด้วยอุปกรณ์เชิงอนาล็อก เช่น ตัวเก็บประจุ หรือขดลวดเหนี่ยวนำ เป็นต้น

ระบบประมวลผลสัญญาณดิจิทัล เป็นระบบที่ถูกสร้างและคิดค้นมาเพื่อทำการประมวลผลสัญญาณดิจิทัล โดยระบบประมวลผลสัญญาณดิจิทัลสามารถรับอินพุตเป็นสัญญาณอนาล็อกได้โดยผ่าน A/D converter และให้เอาต์พุตเป็นสัญญาณอนาล็อกได้โดยผ่าน D/A converter ซึ่งส่วนประกอบของระบบประมวลผลสัญญาณดิจิทัลแสดงได้ดังรูปที่ 2.7



รูปที่ 2.6 ระบบประมวลผลสัญญาณอนาล็อก



รูปที่ 2.7 ระบบประมวลผลสัญญาณดิจิทัล

ตัวแปลงสัญญาณอนาล็อกเป็นดิจิทัล (Analog to Digital Converters) หรือ ADCs เนื่องจากสัญญาณอนาล็อกและสัญญาณดิจิทัลมีรูปแบบและคุณสมบัติที่แตกต่างกัน เราไม่สามารถนำตัวประมวลผลสัญญาณดิจิทัลไปประมวลผลสัญญาณอนาล็อกได้โดยตรง ดังนั้นจึงจำเป็นต้องใช้ตัวแปลงสัญญาณอนาล็อกเป็นดิจิทัลเพื่อทำหน้าที่เป็นตัวเชื่อมต่อระหว่างสัญญาณอนาล็อกและตัวประมวลผลสัญญาณดิจิทัล

ตัวแปลงสัญญาณดิจิทัลเป็นอนาล็อก (Digital to Analog Converters) หรือ DACs ผลลัพธ์ที่ได้จากการประมวลผลไม่ว่าจะเป็นแบบโปรแกรมได้ หรือแบบฮาร์ดแวร์จะยังคงเป็นสัญญาณดิจิทัลอยู่ในบางระบบต้องการสัญญาณขาออกในรูปแบบของสัญญาณอนาล็อกเช่นเดิม ซึ่งจำเป็นต้องใช้ DACs ทำการเปลี่ยนสัญญาณดิจิทัลให้กลับคืนเป็นสัญญาณอนาล็อก เช่น ระบบประมวลผลสัญญาณเสียง เป็นต้น

วงจรกรองสัญญาณดิจิทัลถือเป็นสิ่งสำคัญมาก ๆ สำหรับการประมวลผลสัญญาณดิจิทัล (Digital Signal Processing :DSP) เนื่องจากการทำงานของวงจรกรองสัญญาณดิจิทัลสามารถประยุกต์ใช้งานในลักษณะอื่นได้ที่ไม่จำกัดแค่กรองสัญญาณแต่เพียงอย่างเดียว และเมื่อเปรียบเทียบกับวงจรกรองสัญญาณดิจิทัลกับวงจรกรองสัญญาณอนาล็อก วงจรกรองสัญญาณดิจิทัลมีข้อดีที่เหนือกว่าและถูกนำมาใช้งานในหลายๆการประยุกต์ใช้งาน ซึ่งสามารถสรุปข้อดีได้ดังนี้

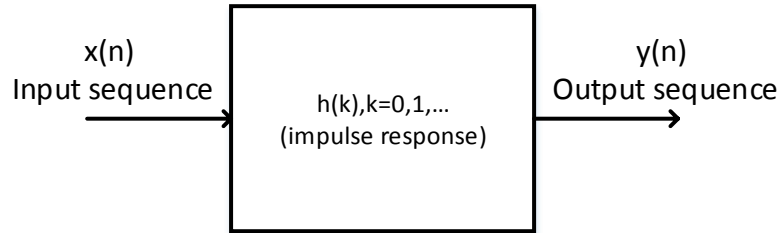
- วงจรกรองสัญญาณดิจิทัลสามารถออกแบบให้มีคุณลักษณะ (characteristics) ซึ่งเป็นไปไม่ได้ถ้าออกแบบด้วยวงจรกรองสัญญาณอนาล็อก เช่น การออกแบบให้มี linear phase response (ผลตอบสนองเฟสเชิงเส้น)
- วงจรกรองสัญญาณดิจิทัลไม่ขึ้นกับการเปลี่ยนแปลงตามสภาพแวดล้อม เช่น การเปลี่ยนแปลงของอุณหภูมิ ความชื้น ซึ่งทำให้ไม่มีความจำเป็นที่จะต้องทำการปรับเทียบ (calibrate) เป็นระยะๆ อย่างในกรณีวงจรกรองสัญญาณอนาล็อก
- สัญญาณข้อมูลที่ผ่านการกรองและที่ยังไม่ผ่านการกรองสามารถที่จะบันทึก (save) สำหรับการใช้งานต่อไปได้
- ความก้าวหน้าของเทคโนโลยีทางด้าน VLSI (Very Large Scale Integrated circuits) ทำให้การสร้างวงจรกรองสัญญาณดิจิทัลสามารถทำให้มีขนาดเล็ก กินไฟเลี้ยงต่ำ และก็มีราคาถูกลง วงจรกรองสัญญาณดิจิทัลจึงถูกใช้งานอย่างแพร่หลายมากขึ้น
- วงจรกรองสัญญาณดิจิทัลสามารถใช้งานที่ย่านความถี่ต่ำมากๆได้ ซึ่งพบอย่างมากในงานด้าน biomedical applications ในขณะที่วงจรกรองสัญญาณอนาล็อกไม่สามารถทำงานได้ดีในทางปฏิบัติ นอกจากนี้วงจรกรองสัญญาณดิจิทัลยังสามารถทำงานได้ในย่านความถี่ที่กว้างอีกด้วย ทั้งนี้ขึ้นกับการเปลี่ยนแปลงค่าของ sampling frequency

2.4 ชนิดของวงจรกรองสัญญาณดิจิทัล: FIR และ IIR Filter

วงจรกรองสัญญาณดิจิทัลแบ่งได้อย่างกว้างๆได้เป็น 2 ชนิดตามชื่อดังนี้ วงจรกรองสัญญาณผลตอบสนองอิมพัลส์ไม่จำกัด (Infinite impulse response :IIR filters) และวงจรกรองสัญญาณผลตอบสนองอิมพัลส์จำกัด (finite impulse response :FIR filters) ซึ่ง input และ output signals ของวงจรกรองสัญญาณจะมีความสัมพันธ์กันด้วยสมการ convolution sum ซึ่งแสดงไว้ในสมการที่ (2.16) สำหรับ IIR filter และสมการที่ (2.17) สำหรับ FIR filter

$$y(n) = \sum_{k=0}^{\infty} h(k)x(n-k) \quad (2.16)$$

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \quad (2.17)$$



รูปที่ 2.8 วงจรกรองสัญญาณดิจิทัลตามนิยามของผลตอบสนองอิมพัลส์

ในทางปฏิบัติเป็นไปได้ที่จะคำนวณ output ของ IIR filter โดยใช้สมการที่ (2.16) เพราะความยาวของผลตอบสนองอิมพัลส์ยาวเกินไป (infinite ในทางทฤษฎี) ดังนั้นจะใช้สมการในการคำนวณสำหรับ IIR filter ในรูปแบบป้อนกลับ (recursive form) แทน ดังนี้

$$y(n) = \sum_{k=0}^{\infty} h(k)x(n-k) = \sum_{k=0}^N a_k x(n-k) - \sum_{k=0}^M b_k y(n-k) \quad (2.18)$$

ดังนั้นสมการที่ (2.17) และ (2.18) จะเป็นสมการผลต่าง (difference equations) สำหรับ FIR และ IIR filter ตามลำดับ อีกรูปแบบหนึ่งที่ยอมรับใช้แทน FIR และ IIR filter แสดงในสมการที่ (2.19) และ (2.20) ตามลำดับ ซึ่งก็คือ ฟังก์ชันถ่ายโอน (Transfer function) ของวงจรกรองสัญญาณ และเป็นประโยชน์อย่างมากสำหรับใช้ในการแสดงผลตอบสนองทางความถี่ (frequency response)

$$H(z) = \sum_{k=0}^{N-1} h(k)z^{-k} \quad (2.19)$$

$$H(z) = \frac{\sum_{k=0}^N a_k z^{-k}}{1 + \sum_{k=1}^M b_k z^{-k}} \quad (2.20)$$

การเลือกใช้งานระหว่าง FIR และ IIR filter นั้นขึ้นอยู่กับเปรียบเทียบข้อดีข้อเสียของวงจรกรองสัญญาณทั้ง 2 ชนิดดังนี้

- FIR filters สามารถให้ผลตอบสนองเฟสแบบเชิงเส้นได้แน่ชัด ซึ่งจากผลตรงนี้ทำให้ไม่เกิดปัญหาเรื่องความผิดเพี้ยนของเฟส (phase distortion) ของสัญญาณที่เกิดจากตัวกรองสัญญาณเอง ในขณะที่ผลตอบสนองเฟสของ IIR filter จะมีลักษณะที่ไม่เป็นเชิงเส้น โดยเฉพาะอย่างยิ่งบริเวณขอบของแถบความถี่ (band edges)
- FIR filter เมื่อทำให้เป็นจริง (realization) จะมีโครงสร้างแบบไม่มีการป้อนกลับ (nonrecursive) ซึ่งมีรูปแบบการคำนวณตามสมการที่ (2.6) โดยตรง และเนื่องจากไม่มีการป้อนกลับนี้เองที่ทำให้ FIR filter มีเสถียรภาพเสมอ (stable) เนื่องจากระบบจะไม่มีโพล (poles) ในขณะที่เสถียรภาพของ IIR filters อาจจะไม่เสถียรภาพเสมอไปถ้าออกแบบไม่ดี

- ผลกระทบจากการใช้บิตที่จำกัด ในการสร้างวงจรกรองสัญญาณดิจิทัลจะเกิดใน FIR filter น้อยกว่าใน IIR filter
- FIR filter ต้องใช้จำนวนสัมประสิทธิ์ (coefficients) ที่มากกว่า IIR filter เพื่อให้ได้วงจรกรองสัญญาณที่มีความคมของความถี่ตัด (sharp cutoff filters) เช่นเดียวกันนั้น หมายความว่าจากข้อกำหนดของผลตอบสนองทางขนาด (amplitude response) ที่เหมือนกัน การสร้างวงจรกรองสัญญาณเป็นแบบ FIR จะใช้เวลาในการประมวลผลที่นานกว่า รวมทั้งต้องการ storage elements ที่มากกว่าด้วย

วงจรกรองสัญญาณอนาลอก สามารถที่จะทำการแปลง (transformed) ไปเป็น IIR digital filters ที่สมมูลกัน (equivalent) โดยที่ IIR filter ที่ได้จะมีคุณลักษณะที่คล้ายกันกับต้นแบบที่เป็นวงจรกรองสัญญาณอนาลอก ก่อนที่จะทำการแปลง ซึ่งวิธีการดังกล่าวนี้ไม่สามารถใช้กับการออกแบบ FIR filters

2.4.1 วงจรกรองสัญญาณดิจิทัลชนิดผลตอบสนองอิมพัลส์จำกัด (Finite impulse Response: FIR Filter)

- โครงสร้างพื้นฐานของวงจรกรองสัญญาณ FIR

วงจรกรองสัญญาณ FIR ที่มีคุณสมบัติคาซอล (casual FIR system) สามารถเขียนแสดงได้ด้วยสมการดังนี้

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \quad (2.21)$$

โดยที่ $x(n)$ และ $y(n)$ แทนลำดับสัญญาณที่ด้านเข้าและด้านออกของวงจรกรองสัญญาณ FIR ตามลำดับ ส่วน $h(k)$, $k=0, 1, \dots, N-1$ เป็นสัมประสิทธิ์ของวงจรกรองสัญญาณ ที่อธิบายถึงคุณลักษณะของผลตอบสนองอิมพัลส์ (impulse response) โดยมีความสัมพันธ์กับฟังก์ชันถ่ายโอนดังนี้

$$H(z) = \sum_{k=0}^{N-1} h(k)z^{-k} \quad (2.22)$$

สมการ (2.21) เป็นการเขียนสมการผลต่างสืบเนื่อง (difference equation) ของวงจรกรองสัญญาณ FIR นั้นเอง ซึ่งเป็นสมการที่แสดงถึงความสัมพันธ์ทางเวลา โดยสัญญาณขาออก $y(n)$ จะขึ้นกับสัญญาณขาเข้า ณ เวลาปัจจุบันและอดีตเท่านั้น

สำหรับการสร้างวงจรให้มีคุณสมบัติตรงตามนิยามของวงจรกรองสัญญาณ FIR นั้นสามารถทำได้หลายลักษณะ ได้แก่ รูปแบบโดยตรง (direct form) รูปแบบคาสเคด (cascade form) และเฟสเชิงเส้น (linear phase)

2.4.2 วงจรกรองสัญญาณดิจิทัลชนิดผลตอบสนองอนิพัลส์ไม่จำกัด (Infinite impulse Response: IIR Filter)

- โครงสร้างพื้นฐานของวงจรกรองสัญญาณ IIR

การอธิบายถึงวงจรกรองสัญญาณ IIR สามารถเขียนแสดงได้ด้วยสมการรีเคอร์ซีฟต่อไปนี้

$$y(n) = \sum_{k=0}^{\infty} h(k)x(n-k) = \sum_{k=0}^M a_k x(n-k) - \sum_{k=1}^N b_k y(n-k) \quad (2.23)$$

โดยที่ $x(n)$ และ $y(n)$ แทนค่าลำดับสัญญาณที่ด้านเข้าและด้านออกของวงจรกรองสัญญาณ IIR ตามลำดับ ส่วน a_k และ b_k แทนสัมประสิทธิ์ของวงจรกรองสัญญาณ IIR สำหรับฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณ IIR มีลักษณะดังนี้

$$H(z) = \frac{\sum_{k=0}^M a_k z^{-k}}{1 + \sum_{k=1}^N b_k z^{-k}} = \frac{a_0 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_M z^{-M}}{1 + b_1 z^{-1} + b_2 z^{-2} + \dots + b_N z^{-N}} \quad (2.24)$$

ในสมการที่ (2.23) ก็คือ การเขียนสมการผลต่างสืบเนื่อง (different equation) ของวงจรกรองสัญญาณ IIR นั่นเอง ซึ่งเป็นรูปแบบของสมการที่เป็นการบรรยายความสัมพันธ์ในทางเวลา โดยสัญญาณขาออก $y(n)$ ขึ้นกับสัญญาณขาเข้า ณ อดีตถึงปัจจุบัน $x(n), x(n-1), \dots, x(n-M)$ และขึ้นกับสัญญาณขาออกในอดีต ได้แก่ $y(n-1), y(n-2), \dots, x(n-N)$ ฟังก์ชันถ่ายโอนในสมการ (2.24) สามารถแยกตัวประกอบและแสดงในรูปแบบต่อไปนี้ได้เช่นกัน

$$H(z) = \frac{K(z-z_1)(z-z_2)\dots(z-z_M)}{(z-p_1)(z-p_2)\dots(z-p_n)} \quad (2.25)$$

โดย z_1, z_2, \dots, z_M คือ ซีโรของฟังก์ชันถ่ายโอน $H(z)$ ซึ่งเป็นค่าคงที่ที่ทำให้ฟังก์ชันถ่ายโอนมีค่าเป็นศูนย์ และ p_1, p_2, \dots, p_M คือ โพลของฟังก์ชันถ่ายโอน $H(z)$ ซึ่งเป็นค่าคงที่ที่ทำให้ฟังก์ชันถ่ายโอนมีค่าเป็นอนันต์

สำหรับการสร้างวงจรให้มีคุณสมบัติตรงตามนิยามของวงจรกรองสัญญาณ IIR นั้นสามารถทำได้หลายลักษณะ ได้แก่ รูปแบบโดยตรง (direct form) รูปแบบคาสเคด (cascade form) รูปแบบขนาน (parallel form) และรูปแบบทรานส์โพส (transposed form)

2.5 การออกแบบ IIR filter ด้วยวิธีการแปลงตัวแปร s-z

วิทยานิพนธ์นี้จะเป็นการออกแบบวงจรกรองสัญญาณดิจิทัลชนิดผลตอบสนองอนิพัลส์ไม่จำกัดโดยที่วงจรกรองสัญญาณชนิดอนิพัลส์ไม่จำกัดมีข้อดีกว่าวงจรกรองสัญญาณชนิดอนิพัลส์จำกัดตรงที่ว่าด้วยข้อกำหนดเดียวกันจะใช้อันดับที่ต่ำกว่าวงจรกรองสัญญาณดิจิทัลชนิดผลตอบสนองอนิพัลส์จำกัด ซึ่งหมายความว่าการทำงานของวงจรกรองสัญญาณดิจิทัลชนิดผลตอบสนองอนิพัลส์ไม่จำกัดจะเร็วกว่า และใช้หน่วยความจำที่น้อยกว่า โดยการออกแบบที่นิยม คือ การออกแบบอิงวงจรกรอง

สัญญาณอนาล็อกต้นแบบ ได้แก่ วงจรกรองสัญญาณแบบบัตเตอร์เวิร์ท, วงจรกรองสัญญาณแบบเชบีเชฟ และอื่นๆ ซึ่งเราสามารถใช้ฟังก์ชันหรือการเปลี่ยนแปลงอย่างใดอย่างหนึ่งที่สามารถแปลงฟังก์ชันถ่ายโอนของระบบอนาล็อก ซึ่งอยู่ใน s โดเมน มาเป็นระบบดิจิทัล ที่อยู่ใน z โดเมน ซึ่งงานวิทยานิพนธ์นี้ได้นำการแปลงแบบไบลิเนียร์มาออกแบบ

2.5.1 วงจรกรองสัญญาณอนาล็อกต้นแบบ

- วงจรกรองสัญญาณแบบบัตเตอร์เวิร์ท (Butterworth Filter)

วงจรกรองสัญญาณแบบบัตเตอร์เวิร์ทจะมีคุณลักษณะที่ให้ผลตอบสนองทางขนาดเรียบที่สุดในช่วงความถี่แถบผ่าน ดังนั้นผลตอบสนองทางขนาด (Amplitude response) ได้ดังนี้

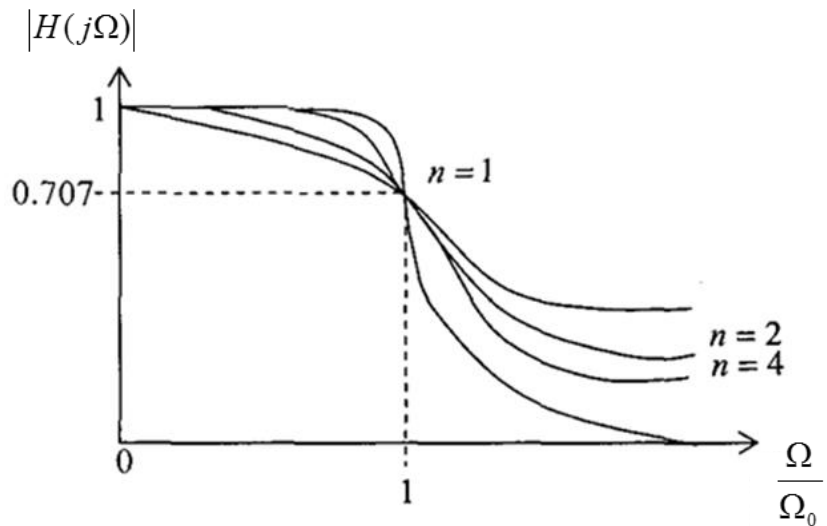
$$|H_n(j\Omega)|^2 = \frac{1}{1 + \left(\frac{\Omega}{\Omega_0}\right)^{2n}} \quad (2.26)$$

เมื่อ n คือ จำนวนอันดับ (n^{th} order)

Ω_0 คือ ความถี่ตัด (Cutoff frequency)

คุณสมบัติของวงจรกรองสัญญาณแบบบัตเตอร์

- $|H_n(j0)| = 1$ สำหรับทุกค่า n (อัตราขยายแรงดีซีเท่ากับหนึ่ง ที่ $\Omega = 0$)
- $|H_n(j\Omega_0)| = \frac{1}{\sqrt{2}} \approx 0.707$ สำหรับทุกค่า n (อัตราขยายแรงที่ $\Omega = \Omega_0$)
- $|H_n(j\Omega_0)|$ หมายความว่าอัตราการลดลงด้วยผลคูณของจำนวน n โพลเมื่อ $\Omega > \Omega_0$ ตัวอย่างเช่น $n = 1$ อัตราการลดลงเท่ากับ -20 db/decade และ $n = 2$ อัตราลดลงเท่ากับ -40 db/decade เป็นต้น
- อนุพันธ์ของ $|H_n(j\Omega)|$ เท่ากับศูนย์เมื่อ $\Omega = 0$ นั่นคือ จะเกิดผลตอบสนองแบบราบเรียบสูงสุดที่ (Maximally flat response) ที่ $\Omega = 0$
- กรณีที่ $n > 10$ ผลตอบสนองจะเข้าใกล้ผลตอบสนองทางอุดมคติ นั่นก็คือ การเปลี่ยนจากความถี่แถบผ่านไปยังความถี่แถบหยุดเปลี่ยนแปลงทันทีทันใด



รูปที่ 2.9 ผลตอบสนองของวงจรรองสัญญาณ แบบบัตเตอร์เวิร์ท

จากรูปที่ 2.9 จะสังเกตได้ว่าช่วงความถี่แถบผ่านหรือความถี่แถบหยุดไม่มีการแกว่งตัวขึ้นลงของอัตราขยายแต่อย่างใด (Maximally flat) เนื่องจากผลตอบสนองทางขนาดมีค่าลดลงตลอดตามการเพิ่มของความถี่ จึงจัดได้ว่ามีคุณลักษณะของฟังก์ชันโมนोटอนิก (Monotonic function) และเป็นคุณสมบัติเฉพาะตัวของวงจรรองสัญญาณแบบบัตเตอร์เวิร์ท

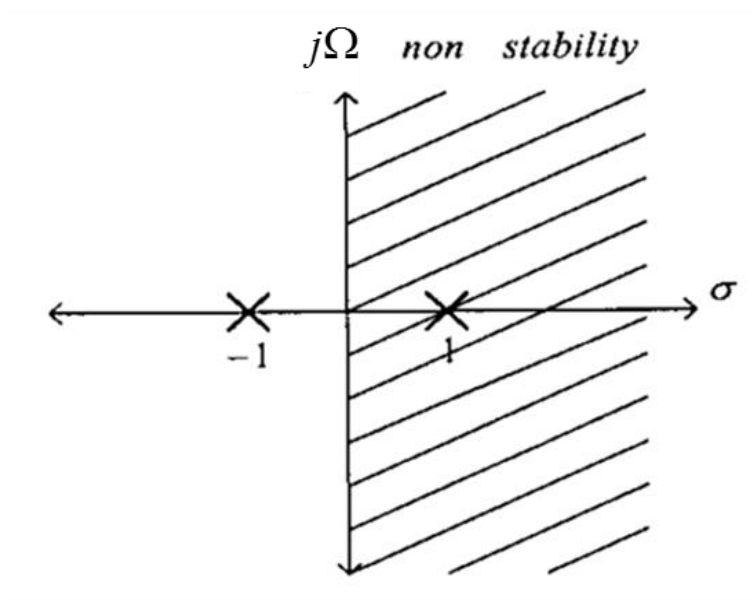
เมื่อแทน $\Omega = \frac{s}{j}$ ลงในผลตอบสนองทางขนาด

$$\begin{aligned}
 |H_n(s)|^2 &= \left| \frac{1}{1 + [(s/j)/\Omega_0]^{2n}} \right| \\
 &= \left| \frac{1}{1 + (-j)^n (s/\Omega_0)^{2n}} \right| \\
 &= \left| \frac{1}{1 + [(-1)^2(j)^2]^n (s/\Omega_0)^{2n}} \right| \\
 |H_n(s)|^2 &= \left| \frac{1}{D_n(s)D_n(-s)} \right| \tag{2.27}
 \end{aligned}$$

$D_n(s)$ คือโพลีโนเมียล (Polynomial) ของโดเมน s ซึ่งมีรากทั้งหมดเป็นจำนวนจริงบวกและลบจะได้ว่า $D_n(s) = D_n(-s)$ และถ้ากำหนดให้ $n=1$ และ $\Omega_0=1$ สามารถเขียนฟังก์ชันถ่ายโอนได้ตามนี้

$$|H_n(s)|^2 = \left| \frac{1}{1-s^2} \right| = \left| \frac{1}{D_n(s)D_n(-s)} \right| \tag{2.28}$$

จะได้ $D_n(s)D_n(-s) = 1 - s^2 = (1+s)(1-s)$



รูปที่ 2.10 ตำแหน่งโพลในระนาบเอส (s Plane)

ดังนั้นสามารถเขียนฟังก์ชันถ่ายโอนได้ดังนี้

$$H_1(s) = \frac{1}{s+1} \quad (2.29)$$

จากสมการที่ (2.29) เรียกว่าวงจรกรองสัญญาณผ่านความถี่ต่ำผ่าน แบบบัตเตอร์เวิร์ท (Butterworth lowpass filter) อันดับที่ 1 และ $s+1$ เรียกว่า (Butterworth polynomial of seconder filter) สามารถเขียนรูปทั่วไปของสมการได้ว่า

$$D_n(s) = s^n + b_{n-1}s^{n-1} + \dots + b_1s + b_0 \quad (2.30)$$

ตารางที่ 2.2 สัมประสิทธิ์ของวงจรกรองสัญญาณความถี่ต่ำผ่าน

| n | $D_n(s)$ |
|---|--|
| 1 | $(s+1)$ |
| 2 | $(s^2 + 1.4142s + 1)$ |
| 3 | $(s+1)(s^2 + s + 1)$ |
| 4 | $(s^2 + 0.7654s + 1)(s^2 + 1.8478s + 1)$ |
| 5 | $(s+1)(s^2 + 0.6180s + 1)(s^2 + 1.6180s + 1)$ |
| 6 | $(s^2 + 0.5176s + 1)(s^2 + 1.4142s + 1)(s^2 + 1.9319)$ |

และสามารถหาอันดับ n ของวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ทได้จากสมการที่ (2.31)

$$n = \frac{\log \left[\frac{10^{(\alpha_{\min}/10)} - 1}{10^{(\alpha_{\min}/10)} - 1} \right]}{2 \log \left(\frac{\Omega_s}{\Omega_p} \right)} \quad (2.31)$$

- วงจรกรองสัญญาณแบบเชบีเชฟ (Chebyshev filter)

วงจรกรองสัญญาณแบบเชบีเชฟชนิดนี้มีความคมชัดให้ผลตอบสนองทางขนาดในช่วงความถี่แถบผ่านเป็นยอดคลื่นเท่ากันตลอดและให้ความชันมากที่สุด ณ ความถี่คัทออฟ ดังนั้น ผลตอบสนองทางขนาด (Amplitude response) มีดังนี้

$$|H_n(j\Omega)|^2 = \frac{1}{1 + \varepsilon^2 C_n^2(\Omega)} \quad (2.32)$$

เมื่อ ε คือ ตัวประกอบความพลิว (Ripple factor)

$C_n(\cdot)$ คือ พหุนามเชบีเชฟชนิดที่หนึ่งอันดับที่ n

คุณสมบัติของวงจรกรองสัญญาณแบบเชบีเชฟ

- $\Omega = 0$

$$|C_n(0)| = 0$$

เมื่อ n เป็นเลขคี่

$$|C_n(0)| = 1$$

เมื่อ n เป็นเลขคู่

$$|H_n(j0)| = 1$$

เมื่อ n เป็นเลขคี่

$$|H_n(j0)| = \frac{1}{\sqrt{1 + \varepsilon^2}}$$

เมื่อ n เป็นเลขคู่

- $\Omega = 1$

$$|C_n(1)| = 1 \quad \text{ทุกค่า } n$$

$$|H_n(j1)| = \frac{1}{\sqrt{1 + \varepsilon^2}} \quad \text{ทุกค่า } n$$

แทน $\Omega = \frac{S}{j}$ ลงในสมการ (2.32) ผลตอบสนองทางขนาดจะได้ว่า

$$|H_n(s)|^2 = \frac{1}{1 + \varepsilon^2 C_n^2(s/j)} \quad (2.33)$$

โดยที่

$$C_n(s/j) = 0 \pm j(1/\varepsilon) = \cos(nu_k) \cosh(nv_k) - j \sin(nu_k) \sinh(nv_k) \quad (2.34)$$

และ $\varepsilon = \sqrt{10^{\alpha_{\max}} - 1}$

ถ้ากำหนดให้ $\cos(nu_k) = 0$ จะได้ว่า

$$u_k = \frac{\pi}{2n} (2k+1) \quad (2.35)$$

ถ้ากำหนดให้ $\sin(nv_k) = \pm 1$ จะได้ว่า

$$\sinh(nv_k) = \frac{1}{\varepsilon} \quad (2.36)$$

$$v_k = \frac{1}{n} \left(\sinh^{-1} \frac{1}{\varepsilon} \right) \quad (2.37)$$

จะได้ว่า

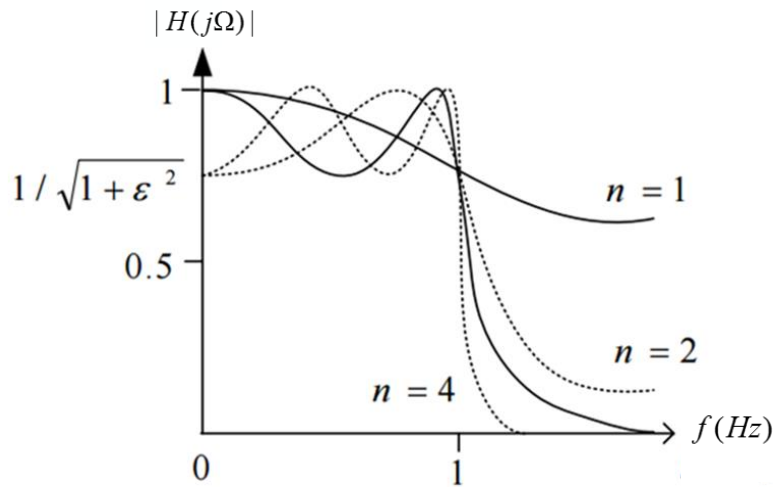
$$s = \sinh(v_k) \sin \left[\frac{\pi}{2n} (2k+1) \right] - j \cosh(v_k) \cos \left[\frac{\pi}{2n} (2k+1) \right] \quad (2.38)$$

และสามารถหาอันดับ n ของวงจรกรองสัญญาณแบบเชบีเชฟได้จากสมการที่ (2.39)

$$n = \frac{\cosh^{-1} \left[\frac{10^{\alpha_{\min}/10} - 1}{10^{\alpha_{\max}/10} - 1} \right]}{\cosh^{-1}(\omega_s)} \quad (2.39)$$

ดังแสดงในรูปที่ 2.11 จะเห็นได้ว่าการเพิ่มอันดับของวงจรกรองสัญญาณแบบเชบีเชฟจะช่วยให้ช่วงแถบเปลี่ยนความถี่ที่มีความชันมากขึ้นซึ่งเป็นแนวโน้มเดียวกันกับกรณีของวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ท อย่างไรก็ตามที่วงจรกรองสัญญาณอันดับเท่าๆกัน พบว่าวงจรกรองสัญญาณแบบเชบีเชฟจะให้ช่วงแถบเปลี่ยนความถี่ที่แคบกว่าวงจรกรองสัญญาณบัตเตอร์เวิร์ทอย่างชัดเจน เมื่อพิจารณาในช่วงความถี่แถบผ่านของวงจรกรองสัญญาณแบบเชบีเชฟพบว่ามีควมพลีวของอัตราขยาย

เกิดขึ้นโดยมีการแกว่งตัวขึ้นลงตลอดช่วงสังเกตได้ว่าคุณลักษณะเช่นนี้ไม่เกิดขึ้นกับวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ท ทั้งนี้ความสูงต่ำของการแกว่งสามารถควบคุมได้จากตัวแปร ε โดยขนาดความกว้างของการแกว่งจะอยู่ในช่วง 1 ถึง $1/\sqrt{1+\varepsilon^2}$



รูปที่ 2.11 ผลตอบสนองของวงจรกรองสัญญาณ แบบเชบีเชฟ

ข้อเปรียบเทียบระหว่างวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ทและแบบเชบีเชฟ

- วงจรกรองสัญญาณแบบเชบีเชฟมีช่วงความถี่แถบผ่าน (Bandpass) และช่วงความถี่แถบหยุด (Stop-band) ที่ใกล้เคียงกับวงจรกรองสัญญาณทางอุดมคติได้มากกว่าวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ท
- วงจรกรองสัญญาณแบบเชบีเชฟมีช่วงแถบความถี่เปลี่ยนแปลง (Transition-band) น้อยกว่าวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ท
- แอมพลิจูด (Amplitude) ของวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ทที่ $\omega=0$ จะมีการแกว่งตัวขึ้นลง (Maximally flat) น้อยกว่าวงจรกรองสัญญาณแบบเชบีเชฟ
- วงจรกรองสัญญาณแบบเชบีเชฟอันดับที่ 3 จะมีประสิทธิภาพดีเท่ากับวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ทอันดับที่ 5
- วงจรกรองสัญญาณแบบเชบีเชฟที่อันดับต่ำๆ จะมีความเป็นเชิงเส้น (Linear phase) มากกว่าวงจรกรองสัญญาณแบบบัตเตอร์เวิร์ท

2.5.2 การออกแบบวงจรกรองสัญญาณ IIR โดยใช้การแปลงไบลิเนียร์

ในการออกแบบวงจรกรองสัญญาณ IIR โดยใช้วิธีการแปลงไบลิเนียร์เป็นเทคนิคที่ได้รับความนิยมสูงเป็นพิเศษเพราะสามารถเชื่อมโยงคุณลักษณะของวงจรกรองสัญญาณอนาลอกในโดเมนลาปลาซไปสู่โดเมน z ได้แบบจุดต่อจุดและไม่มีปัญหาเอเลียสซิง ดังในกรณีของวิธีอิมพัลส์อินแวเรียนต์ก่อนอื่น

จะขออธิบายถึงที่มาที่ของกรรมวิธีการแปลงโพลิเนียร์ ก่อนที่จะนำไปสู่ตัวอย่างการออกแบบของวงจรกรองสัญญาณ IIR ด้วยวิธีนี้ พิจารณาฟังก์ชันถ่ายโอนของวงจรกรองอนาลอก

$$H(s) = \frac{Y(s)}{X(s)} = \frac{b}{s+a} \quad (2.40)$$

จัดรูปสมการนี้ใหม่ได้เป็น

$$sY(s) + aY(s) = bX(s) \quad (2.41)$$

ทำการแปลงลาปลาซผกผันเพื่อหาความสัมพันธ์ในทางเวลา

$$\frac{dy(t)}{dt} + ay(t) = bx(t) \quad (2.42)$$

หากทำการอินทิเกรตสมการที่ (2.42) ในช่วง $n(T-T)$ ถึง nT จะได้ผลดังนี้

$$\int_{nT-T}^{nT} \frac{dy(t)}{dt} dt + a \int_{nT-T}^{nT} y(t) dt = b \int_{nT-T}^{nT} x(t) dt \quad (2.43)$$

อาศัยกฎเกณฑ์สี่เหลี่ยมคางหมู (trapezoidal rule) สำหรับการอินทิเกรตเชิงตัวเลข (numerical integration) เพื่อให้ในการประมาณการอินทิเกรตต่อเนื่อง

$$\int_{nT-T}^{nT} f(t) dt = \frac{T}{2} [f(nT) + f(nT-T)] \quad (2.44)$$

แทนความสัมพันธ์ของการอินทิเกรตเชิงตัวเลขลงในสมการที่ (2.43)

$$y(nT) - y(nT-T) + \frac{aT}{2} [y(nT) + y(nT-T)] = \frac{bT}{2} [x(nT) + x(nT-T)] \quad (2.45)$$

ทำการแปลง z กับสมการที่ได้

$$Y(z) - Y(z)z^{-1} + \frac{aT}{2} Y(z) + \frac{aT}{2} Y(z)z^{-1} = \frac{bT}{2} X(z) + \frac{bT}{2} X(z)z^{-1} \quad (2.46)$$

จัดรูปสมการความสัมพันธ์ใหม่จะได้

$$H(z) = \frac{Y(z)}{X(z)} = \frac{\frac{bT}{2} + \frac{bT}{2} z^{-1}}{1 + z^{-1} + \frac{aT}{2} + \frac{aT}{2} z^{-1}} = \frac{b}{\frac{2}{T} \left(\frac{1-z^{-1}}{1+z^{-1}} \right) + a} \quad (2.47)$$

เมื่อเปรียบเทียบความสัมพันธ์ $H(z)$ ที่ได้จาก $H(s)$ ในสมการที่ (2.40) จะได้ว่า

$$s = \frac{2}{T} \left(\frac{1-z^{-1}}{1+z^{-1}} \right) = \frac{2}{T} \left(\frac{z-1}{z+1} \right) \quad (2.48)$$

สมการที่ได้จากการประมาณนี้สามารถนำไปคำนวณหาความสัมพันธ์ระหว่างความถี่ในโดเมนอนาลอกกับความถี่ในโดเมนดิจิทัลได้ ทั้งนี้โดยทั่วไปมักจะมีการใช้สัญลักษณ์ตัวแปรที่แตกต่างกันสำหรับการอ้างถึงความถี่ของสองโดเมน ในโดเมนอนาลอกจะใช้สัญลักษณ์ Ω ในขณะที่ในโดเมนดิจิทัลจะใช้สัญลักษณ์ ω ในการหาความสัมพันธ์ระหว่างความถี่ของสองโดเมนจะกระทำดังนี้ เริ่มต้นจากการพิจารณานิยามความสัมพันธ์ระหว่างสองโดเมน $z = e^{sT}$ ซึ่งทำให้เราสามารถเขียนได้ว่า $s = \sigma + j\Omega$ และ $z = re^{j\omega}$ แทนความสัมพันธ์ทั้งสองลงในสมการที่ (2.48) จะได้

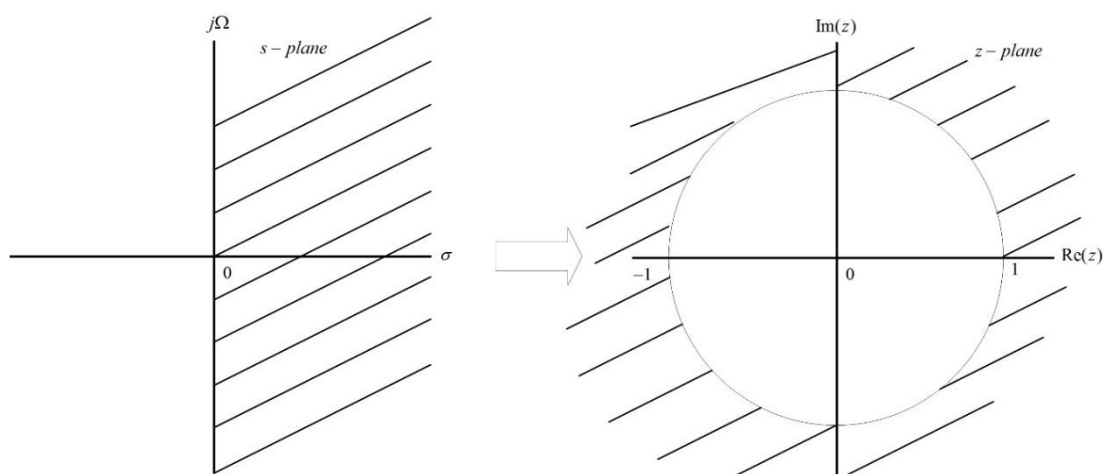
$$\sigma + j\Omega = \frac{2}{T} \left(\frac{re^{j\omega} - 1}{re^{j\omega} + 1} \right) \quad (2.49)$$

$$\begin{aligned} &= \frac{2}{T} \left(\frac{(re^{j\omega} - 1)(re^{j\omega} + 1)}{(re^{j\omega} + 1)(re^{j\omega} + 1)} \right) \\ &= \frac{2}{T} \left(\frac{r^2 - 1}{1 + r^2 + 2r \cos \omega} + j \frac{2r \sin \omega}{1 + r^2 + 2r \cos \omega} \right) \end{aligned}$$

พิจารณาเทียบส่วนจริงและส่วนจินตภาพของสมการทั้งสองด้านจะได้

$$\sigma = \frac{2}{T} \left(\frac{r^2 - 1}{1 + r^2 + 2r \cos \omega} \right) \quad (2.50)$$

$$\Omega = \frac{2}{T} \left(\frac{2r \sin \omega}{1 + r^2 + 2r \cos \omega} \right) \quad (2.51)$$



รูปที่ 2.12 การเชื่อมโยงระหว่างโดเมนลาปลาซไปยังโดเมน z ด้วยวิธีการแปลงไบลิเนียร์

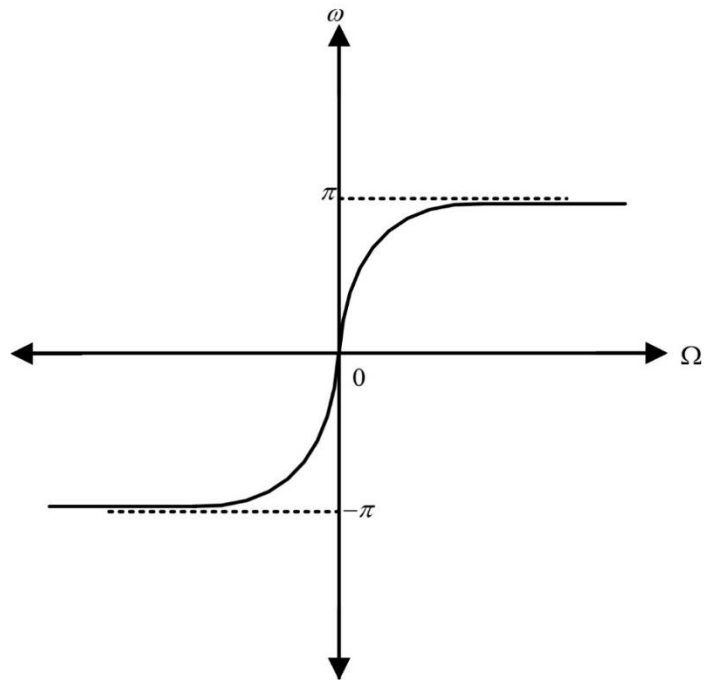
จากสมการที่ (2.50) มีข้อสังเกตว่าถ้า $r < 1$ แล้ว $\sigma < 0$ และถ้า $r > 1$ แล้ว $\sigma > 0$ การที่ $r < 1$ ในโดเมน z หมายถึง กรณีที่เป็นจุดที่อยู่ภายในพื้นที่วงกลมหนึ่งหน่วย ซึ่งเมื่อมองในโดเมนลาปลาซที่ระบุว่า $\sigma < 0$ หมายถึง เป็นจุดหรือตำแหน่งที่อยู่ทางครึ่งซ้ายบนระนาบ s เพราะฉะนั้นเราจะสามารถสรุปได้ว่าการเชื่อมโยงจากจุดใดๆ บนครึ่งซีกซ้ายของโดเมนลาปลาซ จะได้เป็นจุดที่อยู่ภายในวงกลมหนึ่งหน่วยเสมอ จึงทำให้แน่ใจได้ว่าวงจรรองที่ได้จะมีความเสถียรภาพอย่างแน่นอน ในทางตรงกันข้ามถ้าเป็นจุดจากครึ่งซีกขวาของระนาบ s จะถูกเชื่อมโยงไปเป็นจุดที่อยู่นอกวงกลมหนึ่งหน่วยบนระนาบ z อย่างไรก็ตามบริเวณที่เราให้ความสนใจเป็นพิเศษคือ ในกรณีที่ $r = 1$ แล้ว $\sigma = 0$ ซึ่งเป็นจุดที่อยู่บนวงกลมหนึ่งหน่วยในระนาบ z และเทียบเท่ากับจุดที่อยู่บนเส้นแบ่งครึ่งซ้ายขวาของระนาบ s ในกรณีเฉพาะนี้สมการที่ (2.51) จะลดรูปเป็น

$$\Omega = \frac{2}{T} \left(\frac{\sin \omega}{1 + \cos \omega} \right) = \frac{2}{T} \tan \frac{\omega}{2} \quad (2.52)$$

และถ้าเขียนในรูปแบบที่กลับกันจะได้

$$\omega = 2 \tan^{-1} \frac{\Omega T}{2} \quad (2.53)$$

สมการที่ได้นี้เป็นการแสดงความสัมพันธ์ระหว่างความถี่ของทั้งสองโดเมน ซึ่งเมื่อนำมาวาดเป็นกราฟจะมีลักษณะดังในรูปที่ 2.14 จากรูปจะเห็นว่า การเชื่อมโยงจากความถี่นาลอก Ω ไปเป็นความถี่ดิจิทัล ω เป็นแบบหนึ่งต่อหนึ่ง สังเกตว่าความถี่นาลอกจะมีช่วงที่กว้างมากคือ $-\infty < \Omega < \infty$ แต่ความถี่ดิจิทัลมีช่วงที่แคบมากคือ $-\pi < \omega < \pi$ เท่านั้น และชัดเจนว่าการเชื่อมโยงระหว่างสองโดเมนมีลักษณะไม่เชิงเส้น โดยในช่วงความถี่ต่ำจะเป็นลักษณะของการขยายความถี่ออก ในขณะที่ช่วงความถี่สูงจะเป็นรูปแบบของการบีบความถี่เข้า คุณลักษณะความไม่เป็นเชิงเส้นของการเชื่อมโยงจากความถี่นาลอกไปสู่ความถี่ดิจิทัลที่มีชื่อเรียกกันทั่วไปว่า frequency warping



รูปที่ 2.13 การแปลงความสัมพันธ์จากความถี่อนาล็อก Ω ไปเป็นความถี่ดิจิทัล ω

2.5.3 การออกแบบวงจรกรองสัญญาณ IIR โดยใช้การแปลงไบลิเนียร์ปาสคาลเมทริกซ์

วิธีการแปลงไบลิเนียร์ (Bilinear transformation) โดยแท้จริงแล้วยังมีหลักการทรานส์ฟอร์มในรูปแบบต่างๆ อีกเช่น วิธีอิมพัลส์อินเวเรียนซ์ วิธีผลต่างสลับเนื่องย้อนหลัง และวิธีผลต่างสลับเนื่องไปหน้า แต่สำหรับงานวิจัยนี้ได้ใช้วิธีการแปลงไบลิเนียร์ ก็เพราะว่าเป็นเทคนิคที่ได้รับความสนใจเป็นพิเศษเพราะการแมป (Mapping) จะเป็นลักษณะหนึ่งต่อหนึ่ง (One-to-one mapping) ด้วยเหตุผลนี้จึงไม่มีปัญหาเกิดการเหลื่อม (Aliasing) ของสเปกตรัม ซึ่งการสร้างปาสคาลเมทริกซ์ด้วยวิธีการแปลงไบลิเนียร์ (Bilinear transformation) ได้มาจากทฤษฎีทวินาม (Binomial theorem) [9] และสามารถเขียนได้ดังสมการที่ (2.54) ดังนี้

$$(a+b)^n = \sum_{k=0}^n \binom{n}{k} a^{n-k} b^k \quad (2.54)$$

เมื่อ $\binom{n}{k} = \frac{n!}{(n-k)!k!}$ เรียกว่า สัมประสิทธิ์ทวินาม (Binomial coefficients) โดยที่ $k \leq n$

จากความสัมพันธ์ระหว่างระนาบเอส (s Plane) และระนาบแซต (z Plane) ด้วยหลักการวิธีการแปลงไบลิเนียร์ (Bilinear transformation) ที่มีคุณสมบัติดังสมการที่ (2.55) นี้คือ

$$s = \frac{1-z^{-1}}{1+z^{-1}} \quad (2.55)$$

เมื่อได้ทำการพิจารณาวงจรกรองสัญญาณอนาลอก (Analog filter) ที่เขียนสมการฟังก์ชันถ่ายโอนได้ตามสมการที่ (2.56) โดยในกรณีนี้ได้ให้อันดับของตัวเศษและส่วนเท่ากันดังนี้

$$H(s) = \frac{\sum_{i=0}^N A_i s^i}{\sum_{i=0}^N B_i s^i} \quad (2.56)$$

โดยที่ A_i และ B_i เป็นสัมประสิทธิ์ค่าคงที่ และ N คือจำนวนอันดับ (Order)

เมื่อทำการแทนค่าสมการที่ (2.55) ลงในสมการฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณอนาลอกที่สมการที่ (2.56) ก็จะได้สมการฟังก์ชันถ่ายโอนวงจรกรองสัญญาณเชิงเลขดังสมการที่ (2.57)

$$H(z) = \frac{\sum_{i=0}^N a_i z^{-i}}{\sum_{i=0}^N b_i z^{-i}} \quad (2.57)$$

โดยที่ a_i และ b_i เป็นสัมประสิทธิ์ค่าคงที่

จากความสัมพันธ์ในสมการที่ (2.55) และ (2.56) จะได้ว่า

$$H(z) = \frac{\sum_{i=0}^N b_i \left[\frac{1-z^{-1}}{1+z^{-1}} \right]^{-i}}{\sum_{i=0}^N a_i \left[\frac{1-z^{-1}}{1+z^{-1}} \right]^{-i}} = \frac{\sum_{i=0}^N b_i (1-z^{-1})^i (1+z^{-1})^{N-i}}{\sum_{i=0}^N a_i (1-z^{-1})^i (1+z^{-1})^{N-i}} \quad (2.58)$$

ในสมการที่ (2.58) ซึ่งจะพิจารณาเฉพาะตัวเศษในเทอมของทฤษฎีทวินาม (binomial theorem) เท่านั้น เพราะการกระจายตัวส่วนก็เหมือนกันดังนั้นสามารถกระจายทางคณิตศาสตร์ได้ตามสมการที่ (2.59) ดังนี้

$$\begin{aligned} (1-z^{-1})^i (1+z^{-1})^{N-i} = & 1 + \left[-\binom{i}{1} + \binom{N-i}{1} \right] z^{-1} + \left[\binom{i}{2} - \binom{N-i}{1} \binom{i}{1} + \binom{N-i}{2} \right] z^{-2} \\ & + \left[-\binom{i}{3} + \binom{N-i}{1} \binom{i}{2} - \binom{N-i}{2} \binom{i}{1} + \binom{N-i}{3} \right] z^{-3} \\ & + \left[\binom{i}{4} - \binom{N-i}{1} \binom{i}{3} + \binom{N-i}{2} \binom{i}{2} - \binom{N-i}{3} \binom{i}{1} + \binom{N-i}{4} \right] z^{-4} \\ & + \dots + \left[\binom{i}{k} (-1)^k + \sum_{n=1}^{k-1} \binom{N-i}{n} \binom{i}{k-n} (-1)^{k-n} + \binom{N-i}{k} \right] z^{-k} \end{aligned} \quad (2.59)$$

จากสมการที่ (2.59) สามารถนำมาเขียนสมการใหม่เพื่อให้รูปกระชับได้ดังสมการที่ (2.60) คือ

$$\sum_{i=0}^N B_i (1-z^{-1})^i (1+z^{-1})^{N-i} = \sum_{i=0}^N B_i \left[\sum_{k=0}^i \binom{i}{k} (-1)^k z^{-k} \sum_{k=0}^{N-i} \binom{N-i}{k} z^{-k} \right] \quad (2.60)$$

จัดรูปสมการที่ (2.60) และเปลี่ยนตัวแปรตรรกขนิใหม่จะได้เป็นความสัมพันธ์ในสมการที่ (2.61)

$$\sum_{i=0}^N a_i z^{-i} = \sum_{i=0}^N A_i [P_{i,j}] z^{-i} \quad (2.61)$$

เมื่อกำหนดให้ $[P_{i,j}]$ เป็นปาสคาลเมทริกซ์ (Pascal matrix)

$$\begin{aligned} P_{i,j} &= \sum_{n=0}^i \binom{N-j}{n} \binom{j}{i-n} (-1)^{i-n} \quad ; i, j = 0, 1, \dots, N \\ &= \binom{j}{i} (-1)^i + \sum_{n=0}^i \binom{N-j}{n} \binom{j}{i-n} (-1)^{i-n} + \binom{N-j}{i} \end{aligned} \quad (2.62)$$

โดยที่ i, j คือ จำนวนแถวและจำนวนคอลัมน์ตามอันดับ

ดังนั้น ค่าสัมประสิทธิ์ของวงจรรองสัญญาณดิจิทัลคำนวณได้จากผลคูณระหว่างปาสคาลเมทริกซ์ (Pascal matrix) กับค่าสัมประสิทธิ์ของวงจรรองสัญญาณนอกได้ดังสมการที่ (2.63)

$$[b_i] = [P_{i,j}] [B_i] \quad (2.63)$$

เนื่องจากสมการไปควอดที่ใช้เป็นฟังก์ชันถ่านโอนของวงจรรองสัญญาณนอกอันดับที่ 2 ดังนั้นสามารถหาสมาชิกของปาสคาลเมทริกซ์ที่สัมพันธ์กับอันดับของวงจรรองได้ดังนี้

$$P_{i,j} = \sum_{n=0}^i \binom{N-j}{n} \binom{j}{i-n} (-1)^{i-n} \quad ; i, j = 0, 1, \dots, N \quad (2.64)$$

จากสมการ (2.64) ด้านบน สามารถนำมาพิจารณาให้ง่ายขึ้น โดยเริ่มแรกพิจารณาที่แถวแรกและคอลัมน์แรกก่อนที่จำคำนวณสมาชิกที่เหลือดังนี้

- สามารถหาขนาดของปาสคาลเมทริกซ์ได้จาก $(N+1) \times (N+1)$
- พิจารณาแถวแรกจากสมการ $P_{0,j} = 1$ นั่นคือแถวแรกของปาสคาลเมทริกซ์จะมีค่าเป็น 1 ทุกคอลัมน์ของแถวแรก

- พิจารณาคอลัมน์แรกได้จากสมการ $P_{i,0} = \binom{N}{i}$ เช่น $P_{0,0} = 1, P_{1,0} = 2, P_{2,0} = 1$ เป็นต้น

- แล้วพิจารณาสมาชิกที่เหลือของปาสคาลเมทริกซ์จากสมการที่ (2.65) ดังนี้

$$P_{i,j} = P_{i,j-1} - P_{i-1,j-1} - P_{i-1,j} \quad (2.65)$$

เช่นสมาชิกที่ $P_{1,1}, P_{1,2}, P_{2,1}$ และ $P_{2,2}$ ของปาสคาลเมทริกซ์นั้นคือ

$$P_{1,1} = P_{0,1} - P_{0,0} - P_{1,0} = 2 - 1 - 1 = 0$$

$$P_{1,2} = P_{0,2} - P_{0,1} - P_{1,1} = 1 - 2 - 0 = -1$$

$$P_{2,1} = P_{1,1} - P_{1,0} - P_{2,0} = 0 - 1 - 1 = -2$$

$$P_{2,2} = P_{1,2} - P_{1,1} - P_{2,1} = -1 - 0 - (-2) = 1$$

ดังนั้นสามารถหาค่าปาสคาลเมทริกซ์อันดับ 2 จะได้ดังสมการที่ (2.66)

$$P = [P_{i,j}] = \begin{bmatrix} P_{0,0} = 1 & P_{1,0} = 1 & P_{2,0} = 1 \\ P_{0,1} = 2 & P_{1,1} = 0 & P_{2,1} = -2 \\ P_{0,2} = 1 & P_{1,2} = -1 & P_{2,2} = 1 \end{bmatrix} ; i, j = 0, 1, 2 \quad (2.66)$$

ดังนั้นจะได้ สมการปาสคาลเมทริกซ์อันดับที่สองที่มีขนาด (3×3) ดังสมการที่ (2.67)

$$[P_{i,j}] = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \quad N = 2 \quad (2.67)$$

2.6 โครงสร้างของวงจรรองสัญญาณดิจิทัลชนิดผลตอบสนองอนิพัลส์ไม่จำกัด (Infinite Impulse Response: IIR Filter)

สำหรับการสร้างวงจรมีคุณสมบัติตรงตามนิยามของวงจรรองสัญญาณ IIR นั้นสามารถทำได้หลายลักษณะ ได้แก่ รูปแบบโดยตรง (direct form) รูปแบบคาสเคด (cascade form) รูปแบบขนาน (parallel form)

2.6.1 โครงสร้างวงจรรองสัญญาณ IIR แบบโดยตรง I

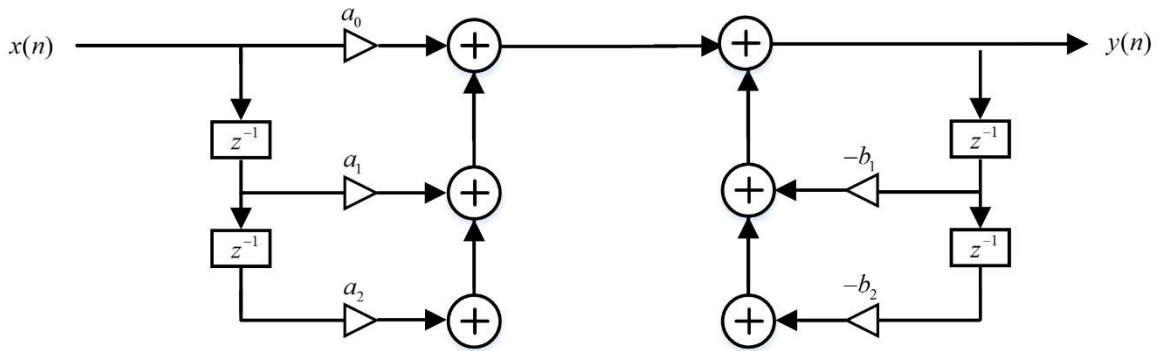
โครงสร้างวงจรรองสัญญาณ IIR แบบโดยตรง I จะใช้การหน่วงสัญญาณ 2 ชุด ซึ่งสมการผลต่างสลับเนื่อง (2.68) สำหรับการคำนวณตามรูปแบบสมการ recursive ของ IIR filter ที่มีการใช้ค่า output ในอดีตมาคำนวณร่วมด้วยกับค่า input ปัจจุบันในอดีต เพื่อหาค่าของ output ปัจจุบัน $y(n)$ ตัวแปร M คือ อันดับ และ $\{a_i, b_i\}$ เรียกว่าค่าสัมประสิทธิ์ของ filter (Filter coefficients)

$$y(n) = \sum_{k=0}^M a_k x(n-i) - \sum_{k=0}^M b_k y(n-i) \quad (2.68)$$

ตัวอย่าง $M = 2$; เป็นวงจรกรองสัญญาณดิจิทัลแบบ IIR อันดับสอง
จากสมการที่ (2.68) จะเขียนได้ว่า

$$y(n) = a_0 x(n) + a_1 x(n-1) + a_2 x(n-2) - b_1 y(n-1) - b_2 y(n-2) \quad (2.69)$$

จากสมการที่ (2.69) สามารถนำมาเขียนเป็นโครงสร้างสำหรับ IIR ที่เรียกว่าโครงสร้างแบบ
โดยตรง 1 (Direct Form I) ได้ดังนี้



รูปที่ 2.14 โครงสร้างโดยตรงแบบ I สำหรับ IIR filter อันดับสอง

2.6.2 โครงสร้างวงจรกรองสัญญาณ IIR แบบโดยตรง II

จากสมการสมการผลต่างสืบเนื่องสมการที่ (2.69) ในกรณีพิจารณาวงจรกรองสัญญาณ IIR ใน
อันดับสองดังสมการที่ (2.69) โดยอาศัยคุณสมบัติของการแปลง z-transform จะได้ว่า

$$H(z) = \frac{Y(z)}{X(z)} = \frac{a_0 + a_1 z^{-1} + a_2 z^{-2}}{1 + b_1 z^{-1} + b_2 z^{-2}} = \frac{Y(z)}{W(z)} \times \frac{W(z)}{X(z)} \quad (2.70)$$

จากสมการที่ (2.70) จะสังเกตได้ว่าการเพิ่มตัวแปร $W(z)$ เข้ามาในสมการ แต่ไม่มีผลต่อ
transfer function เดิม

เมื่อทำการพิจารณาเทอมส่วน จะได้

$$\frac{W(z)}{X(z)} = \left(\frac{1}{1 + b_1 z^{-1} + b_2 z^{-2}} \right) \quad (2.71)$$

ทำการคูณไขว้ แล้วจัดรูปสมการ และ take inverse z-transform จะได้

$$w(n) = x(n) - b_1 w(n-1) - b_2 w(n-2) \quad (2.72)$$

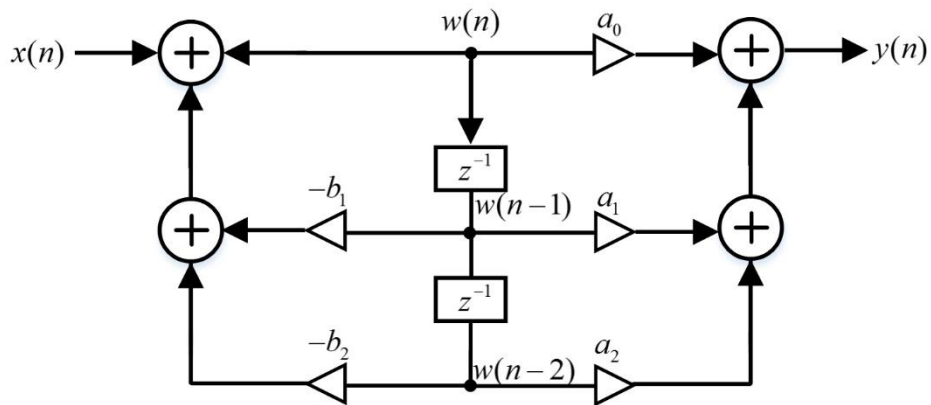
เมื่อทำการพิจารณาเทอมเศษ จะได้

$$\frac{Y(z)}{W(z)} = a_0 + a_1 z^{-1} + a_2 z^{-2} \quad (2.73)$$

ทำการคูณไขว้ แล้วจัดรูปสมการ และ take inverse z-transform จะได้

$$y(n) = a_0 w(n) + a_1 w(n-1) + a_2 w(n-2) \quad (2.74)$$

ในการพิจารณาโครงสร้างโดยตรงแบบ II จะใช้ทั้งสมการที่ (2.72) และสมการที่ (2.74) ในการพิจารณาเพื่อเขียนโครงสร้าง ทั้งในส่วนของสมการที่ (2.72) จะนำมาสร้างในโครงสร้างที่เป็น feedback path และในสมการที่ (2.74) จะเป็นส่วนของ feed forward path โครงสร้างโดยตรงแบบ II สำหรับวงจรกรองสัญญาณโครงสร้าง IIR อันดับสองสามารถแสดงได้ดังรูปที่ 2.15 ทั้งนี้สัญญาณ $w(n)$ ที่เกิดขึ้นมาจากการสมมุติเป็นตัวแปรเพิ่มเข้ามานั้นเรียกว่าเป็น intermediate signal หรือสัญญาณกึ่งกลาง



รูปที่ 2.15 โครงสร้างโดยตรงแบบ II สำหรับ IIR filter อันดับสอง

2.6.3 โครงสร้างวงจรกรองสัญญาณ IIR แบบคาสเคด

ในกรณีที่วงจร IIR ที่มีอันดับสูงๆ เราสามารถแยกตัวประกอบฟังก์ชันถ่ายโอนออกเป็น ส่วนย่อยๆ ที่มีอันดับต่ำลง และโดยทั่วไปฟังก์ชันถ่ายโอนส่วนย่อยจะลดให้เหลือเป็นอันดับเท่ากับหนึ่ง หรือสองเท่านั้น ดังสมการที่ (2.24) ด้านล่าง

$$H(z) = \frac{\sum_{k=0}^M a_k z^{-k}}{1 + \sum_{k=1}^N b_k z^{-k}} = \frac{a_0 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_M z^{-M}}{1 + b_1 z^{-1} + b_2 z^{-2} + \dots + b_N z^{-N}}$$

สามารถเขียนในรูปของตัวประกอบได้เป็น

$$H(z) = \prod_{k=1}^K \left[\frac{a_{0k} + a_{1k}z^{-1} + a_{2k}z^{-2}}{1 + b_{1k}z^{-1} + b_{2k}z^{-2}} \right] \quad (2.75)$$

โดย $K=N/2$ เมื่อ N เป็นจำนวนคู่ และ $K=(N+1)/2$ เมื่อ N เป็นจำนวนคี่ ทั้งนี้ N คืออันดับของวงจรกรองสัญญาณ สมการที่ (2.75) สามารถจัดรูปให้กระชับขึ้นได้เป็น

$$H(z) = \prod_{k=1}^K \frac{N_k(z)}{D_k(z)} = \prod_{k=1}^K H_k(z) \quad (2.76)$$

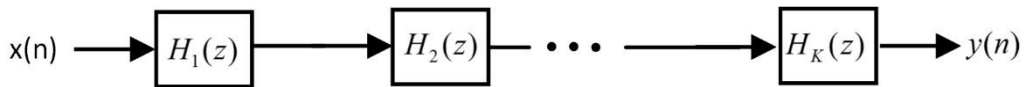
โดยที่

$$N_k(z) = a_{0k} + a_{1k}z^{-1} + a_{2k}z^{-2} \quad (2.77)$$

$$D_k(z) = 1 + b_{1k}z^{-1} + b_{2k}z^{-2} \quad (2.78)$$

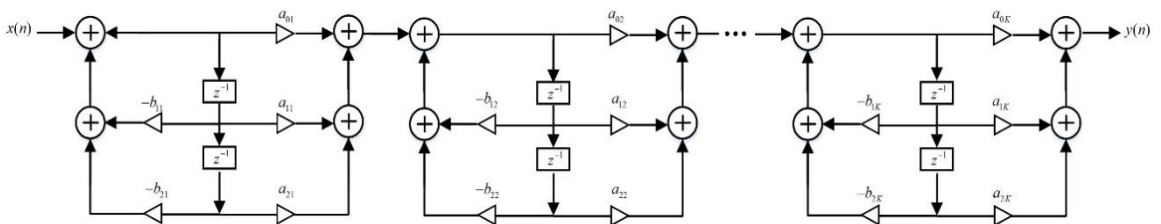
$$H_k(z) = \frac{N_k(z)}{D_k(z)} \quad (2.79)$$

สังเกตว่าในกรณีที่ N เป็นจำนวนคี่ฟังก์ชันถ่ายโอนย่อย $H_k(z)$ ตัวใดตัวหนึ่งจะต้องมีอันดับเท่ากับหนึ่ง เมื่อนำฟังก์ชันถ่ายโอนที่ได้แยกตัวประกอบแล้วนำมาวาดเป็นโครงสร้างแบบคาสเคด คือการนำฟังก์ชันถ่ายโอนย่อยมาต่ออนุกรมกัน



รูปที่ 2.16 โครงสร้างวงจรกรองสัญญาณ IIR แบบคาสเคด

สำหรับรายละเอียดของฟังก์ชันถ่ายโอนย่อยแต่ละส่วนสามารถเลือกใช้โครงสร้างรูปแบบโดยตรงชนิดที่ I หรือชนิดที่ II ก็ได้ รูปที่ 2.17 แสดงรายละเอียดทั้งหมดของโครงสร้างแบบคาสเคดที่ใช้โครงสร้างรูปแบบโดยตรงชนิดที่ II เป็นพื้นฐานในการสร้างองค์ประกอบฟังก์ชันถ่ายโอนย่อย



รูปที่ 2.17 โครงสร้างวงจรกรองสัญญาณ IIR แบบคาสเคดที่ใช้โครงสร้างรูปแบบโดยตรงชนิดที่ II เป็นองค์ประกอบพื้นฐานของฟังก์ชันถ่ายโอนย่อย

2.6.4 โครงสร้างวงจรรองสัญญาณ IIR รูปแบบขนาน

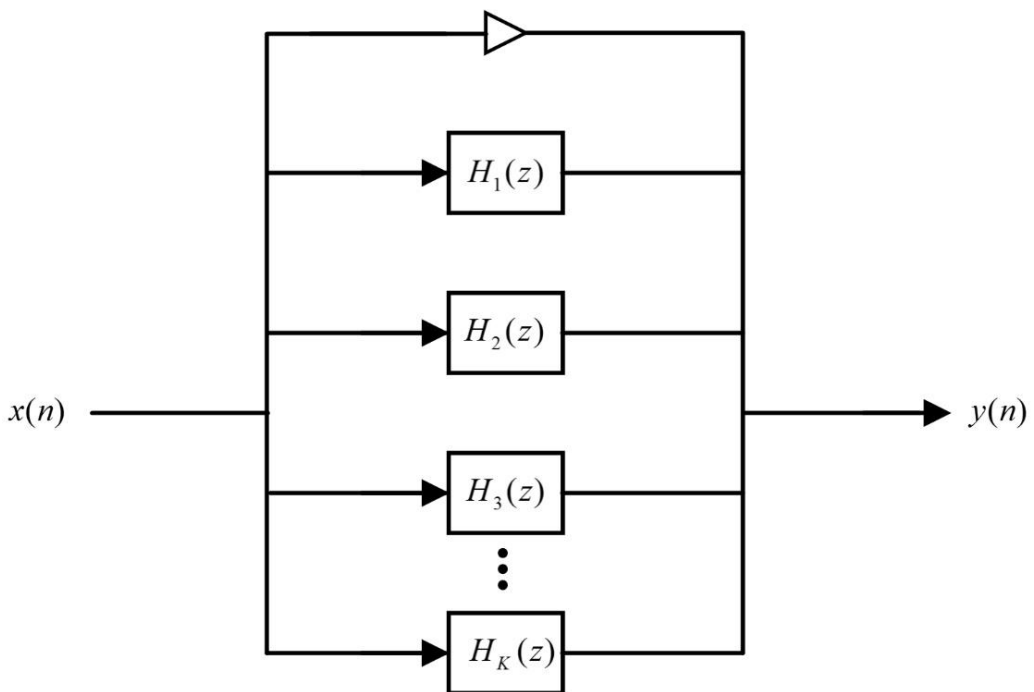
โครงสร้างวงจรรองสัญญาณ IIR แบบขนาน (parallel form) เป็นกรรมวิธีในการแยกโครงสร้างของวงจรรองสัญญาณ IIR ที่มีอันดับสูงๆ ออกเป็นส่วนประกอบย่อยอีกรูปแบบหนึ่ง นอกเหนือไปจากวิธีคาสเคดที่เพิ่งได้กล่าวไปในส่วนที่แล้ว ในการใช้รูปแบบขนานนั้นฟังก์ชันถ่ายโอนของวงจรรองจะถูกแยกเศษส่วนย่อย (partial fraction expansion) ดังแสดงในสมการต่อไปนี้

$$H(z) = C + \sum_{k=1}^K H_k(z) \quad (2.80)$$

โดย

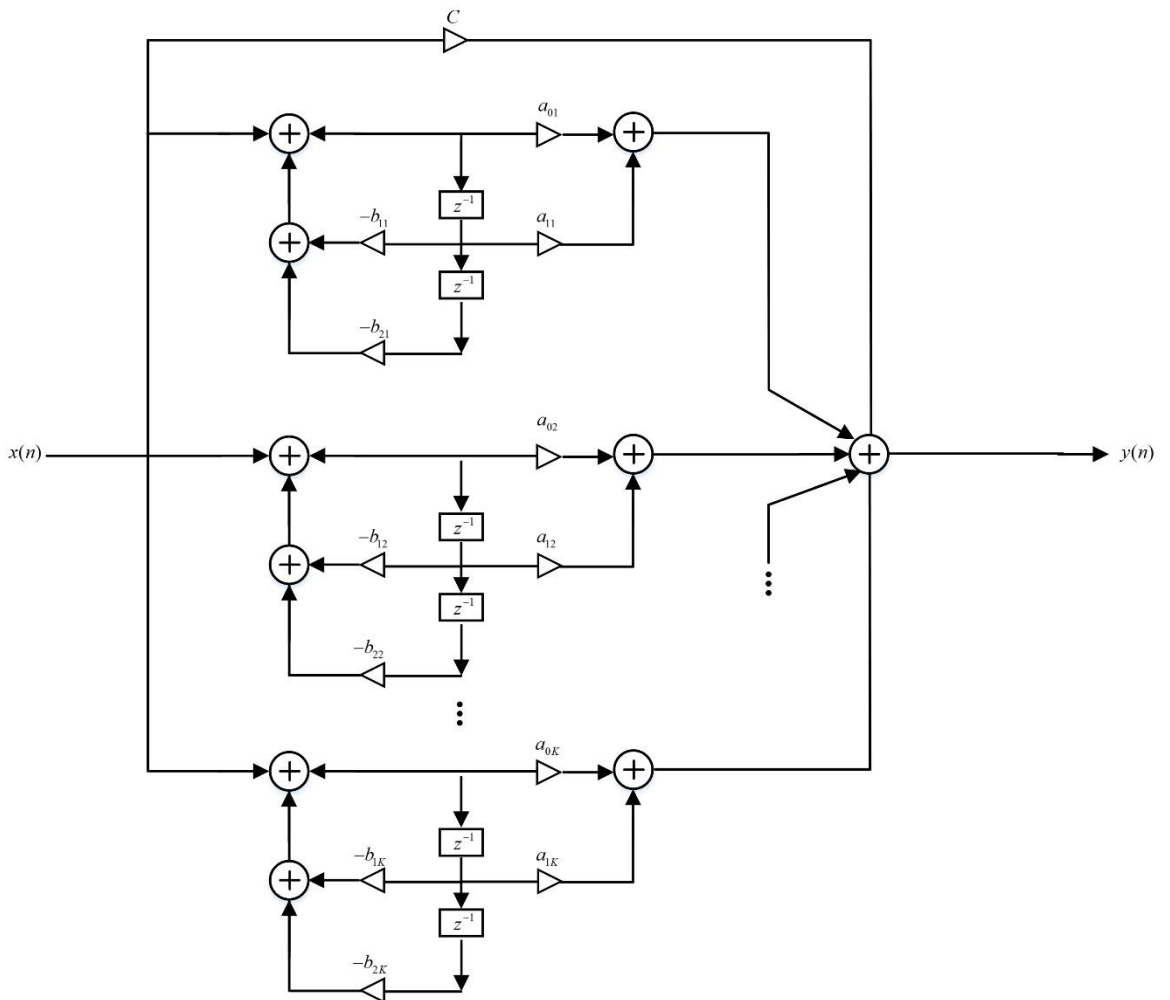
$$H_k(z) = \frac{a_{0k} + a_{1k}z^{-1}}{1 + b_{1k}z^{-1} + b_{2k}z^{-2}} \quad (2.81)$$

โดย $K = N/2$ เมื่อ N คือ อันดับของวงจรรองสัญญาณ



รูปที่ 2.18 โครงสร้างวงจรรองสัญญาณ IIR แบบขนาน

สังเกตได้ว่าการแยกเศษส่วนย่อยกับฟังก์ชันถ่ายโอนตามแบบขนานนี้มีข้อแตกต่างจากกรรมวิธีคาสเคดอยู่ตรงที่ลำดับการวางตำแหน่งของฟังก์ชันถ่ายโอน $H_k(z)$ ไม่ส่งผลต่อสมรรถนะของวงจรรองสัญญาณแต่อย่างใด



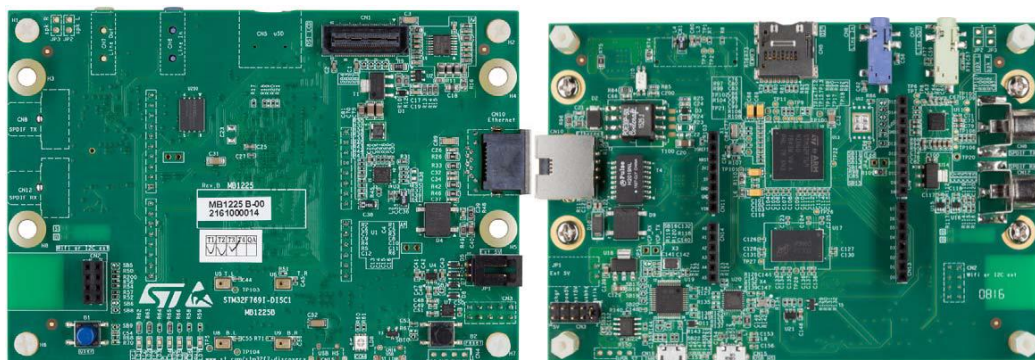
รูปที่ 2.19 โครงสร้างวงจรกรองสัญญาณ IIR แบบขนานที่ใช้โครงสร้างรูปแบบโดยตรงชนิดที่ II เป็นองค์ประกอบพื้นฐานของฟังก์ชันถ่ายโอนย่อย

2.7 ไมโครโปรเซสเซอร์ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board

อุปกรณ์บอร์ด STM32F769 Discovery เป็นไมโครโปรเซสเซอร์ที่สามารถโปรแกรมให้เป็นวงจรดิจิทัลอะไรก็ได้โดยวิธีการโปรแกรมแบบง่ายๆ และสามารถแก้ไขวงจรได้อย่างสะดวกด้วยการโปรแกรมซ้ำ อุปกรณ์บอร์ด STM32F769 ซึ่งจะเหมาะสำหรับการออกแบบวงจรดิจิทัลขนาดกลางจนถึงวงจรขนาดใหญ่มากๆ โดยบอร์ดมีความจุของวงจรมากตั้งแต่ขนาดหลายหมื่นเกตจนถึงระดับหลักหลายล้านเกต

การทำบอร์ด STM32F769 Discovery ในปัจจุบันมีประสิทธิภาพและความสะดวกมากขึ้น ทั้งนี้ก็เนื่องจากทางบริษัทผู้ผลิตอุปกรณ์บอร์ด STM32F769 Discovery ได้เพิ่มความสามารถของอุปกรณ์ บอร์ด STM32F769 Discovery โดยเพิ่มจำนวนองค์ประกอบภายใน หรือปรับปรุง

โครงสร้างสถาปัตยกรรมภายใน และยังสามารถเพิ่มประสิทธิภาพของซอฟต์แวร์ที่ใช้อุปกรณ์นั้นๆ ด้วยลักษณะของตัว บอร์ด STM32F769 Discovery แสดงดังใน รูปที่ 2.20



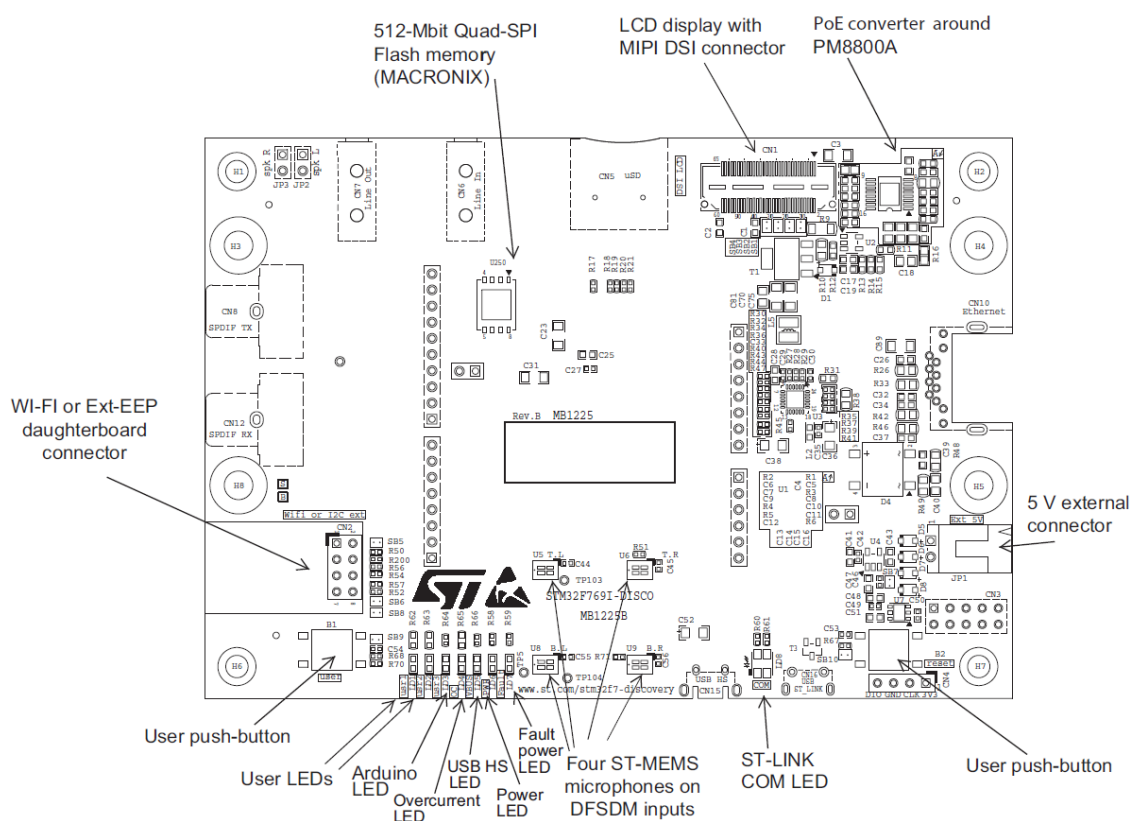
รูปที่ 2.20 ลักษณะของตัวบอร์ด STM32F769 Discovery

ตารางที่ 2.3 คุณสมบัติและรายละเอียดของบอร์ด STM32F769I Discovery

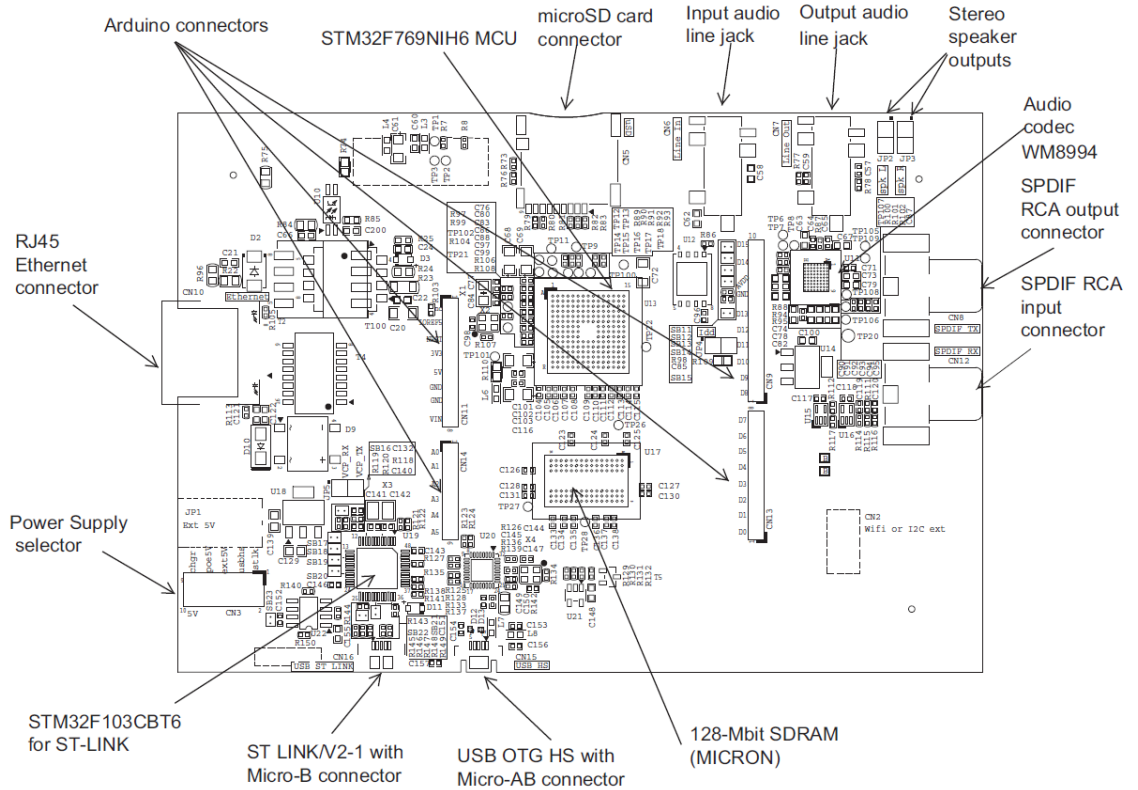
| | |
|-----------------------------|--|
| CPU | STMicroelectronics Arm® Cortex®-M7 |
| Interface | 4xI2Cs 6xSPIs I2S 2xSDMMC 4xUSARTs 3xCANs RJ-45 |
| Analog to Digital Converter | 3x12-bit |
| Digital to Analog Converter | 2x12-bit |
| Audio | CIRRUS WM8994ECS/R audio codec 2-channel line in through audio jack CN6 2-channel line out through audio jack CN7 2-channel external speakers through JP2, JP3 4xdigital microphones (ST MEMS) 2xSPDIF for digital audio-in and audio-out |

ตารางที่ 2.3 (ต่อ) คุณสมบัติและรายละเอียดของบอร์ด STM32F769I Discovery

| | |
|-------------------------|---|
| Camera module interface | 8-bit to 14-bit |
| RAM | 512+16+4 Kbyte 128-Mbit SDRAM |
| Flash memory | 2 Mbyte 512-Mbit Quad-SPI Flash memory |
| Power Supply | 5V from ST LINK/V2-1 (programming and debugging port) |



รูปที่ 2.21 ลักษณะของตัวบอร์ด STM32F769 Discovery จากด้านบน



รูปที่ 2.22 ลักษณะปุ่มของตัวบอร์ด STM32F769 Discovery

ตามตารางที่ 2.4 รายละเอียดของปุ่มบนบอร์ด STM32F769 Discovery

| Reference | Color | Name | Comment |
|-----------|-----------|-----------------|----------------------------|
| B1 | BLUE | USER | Alternate function Wake-up |
| B2 | BLACK | RESET | - |
| LD1 | RED | USER1 | PJ13 |
| LD2 | GREEN | USER2 | PJ5 |
| LD3 | GREEN | Arduino | PA12 |
| LD4 | RED | OTG overcurrent | PD4 |
| LD5 | GREEN | VBUS USB HS | - |
| LD6 | RED | 5 V Power | - |
| LD7 | RED | Fault Power | Current upper than 625 mA |
| LD8 | RED/GREEN | STLINK COM | Green when communication |

บทที่ 3

วงจรรองสัญญาณดิจิทัล

ไมควอดเรติกหลายเอาต์พุตที่ปรับค่าได้

3.1 บทนำ

โดยทั่วไปคุณลักษณะหรือผลตอบสนองทางความถี่ของวงจรรองสัญญาณดิจิทัลจะขึ้นอยู่กับค่าสัมประสิทธิ์ของวงจรรองสัญญาณ ดังนั้นการปรับเปลี่ยนผลตอบสนองทางความถี่ของวงจรรองสัญญาณจะต้องทำการคำนวณใหม่ ซึ่งส่งผลให้ไม่สามารถปรับเปลี่ยนได้ทันทีทันใด ในขณะที่กรณีของวงจรรองสัญญาณอนาลอกที่สามารถทำได้แม้ในขณะที่ใช้งานด้วยวิธีการควบคุมทาง อิเล็กทรอนิกส์ อีกทั้งยังสามารถให้ได้หลายเอาต์พุต [1], [6] ดังนั้นในงานวิจัยที่นำเสนอจึงพยายามนำเสนอวิธีการออกแบบและสร้างที่ทำให้วงจรรองสัญญาณดิจิทัลแบบไมควอดสามารถทำงานได้เช่นเดียวกับในกรณีของวงจรรองสัญญาณอนาลอกอันเป็นที่มาของการนำเสนอในเนื้อหาของบทนี้คือ “วงจรรองสัญญาณดิจิทัลไมควอดเรติกหลายเอาต์พุตที่ปรับค่าได้” นอกจากนี้ยังจะได้นำเสนอวิธีการนำโครงสร้างของวงจรรองสัญญาณที่นำเสนอไปสร้างเป็นฮาร์ดแวร์เพื่อทำการทดสอบการทำงานแบบเวลาจริง (Real-time) บนอุปกรณ์บอร์ด STM32F769I Discovery เพื่อเป็นการยืนยันถึงประสิทธิภาพของวงจรรองสัญญาณดิจิทัลไมควอดเรติกหลายเอาต์พุตที่ปรับค่าได้ที่นำเสนอเปรียบเทียบกับผลตอบสนองทางขนาดที่ได้จากการจำลองการทำงาน

3.2 วงจรรองสัญญาณดิจิทัลไมควอดเรติก (Biquadratic Digital Filter)

วิทยานิพนธ์นี้จะเริ่มพิจารณาจากฟังก์ชันถ่ายโอนของวงจรรองสัญญาณอนาลอกอันดับสองของวงจรรองสัญญาณทั้ง 5 สมการ คือ วงจรรองสัญญาณความถี่ต่ำผ่าน, วงจรรองสัญญาณความถี่สูงผ่าน, วงจรรองสัญญาณความถี่แถบผ่าน, วงจรรองสัญญาณความถี่แถบหยุด และวงจรรองสัญญาณแถบผ่านทั้งหมด ดังนี้

ฟังก์ชันถ่ายโอนของวงจรรองสัญญาณอนาลอกไมควอดเรติกความถี่ต่ำผ่านอันดับสอง ได้ดังสมการ (3.1)

$$H_{LP}(s) = \frac{N(s)}{D(d)} = \frac{\Omega_0^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (3.1)$$

ฟังก์ชันถ่ายโอนของวงจรรองสัญญาณอนาลอกไมควอดเรติกความถี่สูงผ่านอันดับสอง ได้ดังสมการ (3.2)

$$H_{HP}(s) = \frac{N(s)}{D(s)} = \frac{s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (3.2)$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณอนาล็อกไบควอดเรติกความถี่แถบผ่านอันดับสอง ได้
ดังสมการ (3.3)

$$H_{BP}(s) = \frac{N(s)}{D(s)} = \frac{\left(\frac{\Omega_0}{Q}\right)s}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (3.3)$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณอนาล็อกไบควอดเรติกความถี่แถบหยุดอันดับสอง ได้
ดังสมการ (3.4)

$$H_{BS}(s) = \frac{N(s)}{D(s)} = \frac{\Omega_0^2 + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (3.4)$$

จะเห็นว่าฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณแถบหยุด เกิดจากผลรวมของวงจรกรอง
สัญญาณความถี่ต่ำผ่านและวงจรกรองสัญญาณความถี่สูงผ่าน ดังสมการ (3.5)

$$H_{BS}(s) = H_{LP}(s) + H_{HP}(s)$$

$$\frac{\Omega_0^2 + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} = \frac{\Omega_0^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} + \frac{s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (3.5)$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณอนาล็อกไบควอดเรติกแถบผ่านทั้งหมดอันดับสอง ได้
ดังสมการ (3.6)

$$(3.6) \quad H_{AP}(s) = \frac{N(s)}{D(s)} = \frac{\Omega_0^2 - \left(\frac{\Omega_0}{Q}\right)s + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2}$$

จะเห็นว่าฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณแถบผ่านทั้งหมด เกิดจากผลลบของวงจร
กรองสัญญาณแถบหยุดกับวงจรกรองสัญญาณความถี่แถบผ่านดังสมการ (3.7)

$$H_{AP}(s) = H_{BS}(s) - H_{BP}(s)$$

$$\frac{\Omega_0^2 - \left(\frac{\Omega_0}{Q}\right)s + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} = \frac{\Omega_0^2 + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} - \frac{\left(\frac{\Omega_0}{Q}\right)s}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (3.7)$$

จากสมการทั้ง 5 ซึ่งจะเห็นได้ว่าทั้งหมดมีตัวส่วน (Denominator term) ร่วมกัน (Common Denominator) แต่สิ่งที่แตกต่าง คือ ตัวเศษ (Numerator) โดยการแปลง s-z transformation ด้วย Bilinear Pascal Matrix เริ่มจากพิจารณาที่ฟังก์ชันถ่ายโอนอนาล็อก (Analog transfer function) ดังสมการที่ (3.8)

$$H(s) = \frac{A_0 + A_1s + A_2s^2}{B_0 + B_1s + B_2s^2} \quad (3.8)$$

และฟังก์ชันถ่ายโอนดิจิตอล (Digital Transfer function) ดังสมการที่ (3.9)

$$H(z) = \frac{a_0 + a_1z^{-1} + a_2z^{-2}}{b_0 + b_1z^{-1} + b_2z^{-2}} \quad (3.9)$$

โดยนำมาทำการแปลงเพื่อหาค่าสัมประสิทธิ์ของวงจรรองสัญญาณดิจิตอล โดยใช้การแปลงไบลิเนียร์ด้วยปาสคาลเมทริกซ์ (จากบทที่ 2) คูณกับเมทริกซ์ของสัมประสิทธิ์ของวงจรรองสัญญาณอนาล็อก จะได้สมการในการหาค่าสัมประสิทธิ์ของวงจรรองสัญญาณดิจิตอลของตัวเศษดังสมการที่ (3.10)

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} A_0 \\ A_1 \\ A_2 \end{bmatrix} \quad (3.10)$$

และค่าสัมประสิทธิ์ของวงจรรองสัญญาณดิจิตอลสำหรับเทอมส่วนดังสมการที่ (3.11)

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} B_0 \\ B_1 \\ B_2 \end{bmatrix} \quad (3.11)$$

เมื่อพิจารณาวงจรรองสัญญาณความถี่ต่ำผ่าน (Lowpass Filter) จากสมการ (3.1) แล้วแทนค่าได้ดังด้านล่าง

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ 0 \\ 0 \end{bmatrix}$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ \Omega_0/Q \\ 1 \end{bmatrix}$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลของผลตอบสนองความถี่ต่ำผ่าน (Lowpass Filter) ดังสมการ (3.12)

$$H_{LP}(z) = \frac{\Omega_0^2 + 2\Omega_0^2 z^{-1} + \Omega_0^2 z^{-2}}{(\Omega_0^2 + \Omega_0/Q + 1) + (2\Omega_0^2 - 2)z^{-1} + (\Omega_0^2 - \Omega_0/Q + 1)z^{-2}} \quad (3.12)$$

เมื่อพิจารณาวงจรกรองสัญญาณความถี่สูงผ่าน (Highpass Filter) จากสมการ (3.2) แล้ว แทนค่าได้ดังด้านล่าง

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix}$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ \Omega_0/Q \\ 1 \end{bmatrix}$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลของผลตอบสนองความถี่สูงผ่าน (Highpass Filter) ดังสมการ (3.13)

$$H_{HP}(z) = \frac{1 - 2z^{-1} + z^{-2}}{(\Omega_0^2 + \Omega_0/Q + 1) + (2\Omega_0^2 - 2)z^{-1} + (\Omega_0^2 - \Omega_0/Q + 1)z^{-2}} \quad (3.13)$$

เมื่อพิจารณาวงจรกรองสัญญาณความถี่แถบผ่าน (Bandpass Filter) จากสมการ (3.3) แล้ว แทนค่าได้ดังด้านล่าง

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 0 \\ \Omega_0/Q \\ 0 \end{bmatrix}$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ \Omega_0/Q \\ 1 \end{bmatrix}$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลของผลตอบสนองความถี่แถบผ่าน (Bandpass Filter) ดังสมการ (3.14)

$$H_{BP}(z) = \frac{\left(\Omega_0/Q\right) - \left(\Omega_0/Q\right)z^{-2}}{\left(\Omega_0^2 + \Omega_0/Q + 1\right) + \left(2\Omega_0^2 - 2\right)z^{-1} + \left(\Omega_0^2 - \Omega_0/Q + 1\right)z^{-2}} \quad (3.14)$$

เมื่อพิจารณาวงจรกรองสัญญาณความถี่แถบหยุด (Band stop Filter) จากสมการ (3.5) แล้ว แทนค่าได้ดังด้านล่าง

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ 0 \\ 1 \end{bmatrix}$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ \Omega_0/Q \\ 1 \end{bmatrix}$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลของผลตอบสนองความถี่แถบหยุด (Band stop Filter) ดังสมการ (3.15)

$$H_{BS}(z) = \frac{\left(\Omega_0^2 + 1\right) + \left(2\Omega_0^2 - 2\right)z^{-1} - \left(\Omega_0^2 + 1\right)z^{-2}}{\left(\Omega_0^2 + \Omega_0/Q + 1\right) + \left(2\Omega_0^2 - 2\right)z^{-1} + \left(\Omega_0^2 - \Omega_0/Q + 1\right)z^{-2}} \quad (3.15)$$

เมื่อพิจารณาวงจรกรองสัญญาณแถบผ่านทั้งหมด (Allpass Filter) จากสมการ (3.7) แล้ว แทนค่าได้ดังด้านล่าง

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ -\left(\Omega_0/Q\right) \\ 1 \end{bmatrix}$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ \Omega_0/Q \\ 1 \end{bmatrix}$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลของผลตอบสนองแถบผ่านทั้งหมด (Allpass Filter) ดังสมการ (3.16)

$$H_{AP}(z) = \frac{(\Omega_0^2 - \Omega_0/Q + 1) + (2\Omega_0^2 - 2)z^{-1} + (\Omega_0^2 + \Omega_0/Q + 1)z^{-2}}{(\Omega_0^2 + \Omega_0/Q + 1) + (2\Omega_0^2 - 2)z^{-1} + (\Omega_0^2 - \Omega_0/Q + 1)z^{-2}} \quad (3.16)$$

จากสมการที่ (3.12) – (3.16) จะเห็นได้ว่าทั้งหมดมีตัวส่วนที่เหมือนกัน สิ่งที่แตกต่างกัน คือ ตัวเศษ ดังนั้นในหัวข้อถัดไปเราจึงนำเสนอการจัดโครงสร้างวงจรกรองสัญญาณ IIR แบบโดยตรง II เพื่อให้ได้วงจรกรองสัญญาณไบควอดแบบหลายเอาต์พุต ซึ่งจะกล่าวในหัวข้อถัดไป

3.3 วงจรกรองสัญญาณดิจิทัลไบควอดแบบหลายเอาต์พุต

จากสมการฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัล ดังที่กล่าวมาในสมการด้านบน สามารถนำมาจัดรูปให้กระชับได้ดังนี้

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลของผลตอบสนองความถี่ต่ำผ่าน (Lowpass Filter) จากสมการ (3.12)

$$H_{LP}(z) = \frac{\Omega_0^2 + 2\Omega_0^2 z^{-1} + \Omega_0^2 z^{-2}}{(\Omega_0^2 + \Omega_0/Q + 1) + (2\Omega_0^2 - 2)z^{-1} + (\Omega_0^2 - \Omega_0/Q + 1)z^{-2}}$$

นำมาเขียนใหม่ได้เป็น

$$H_{LP}(z) = \left(\frac{\Omega_0^2}{(\Omega_0^2 + \Omega_0/Q + 1)} \right) \left(\frac{(1 + 2z^{-1} + z^{-2})}{1 + \frac{(2\Omega_0^2 - 2)}{(\Omega_0^2 + \Omega_0/Q + 1)} z^{-1} + \frac{(\Omega_0^2 - \Omega_0/Q + 1)}{(\Omega_0^2 + \Omega_0/Q + 1)} z^{-2}} \right) \quad (3.17)$$

หากกำหนดให้ $k = \frac{1}{\Omega_0^2 + \Omega_0/Q + 1}$, $d_1 = k(2\Omega_0^2 - 2)$, $d_2 = k(\Omega_0^2 - \Omega_0/Q + 1)$

แล้วสามารถจัดรูปได้เป็น

$$H_{LP}(z) = \frac{k\Omega_0^2(1 + 2z^{-1} + z^{-2})}{1 + d_1 z^{-1} + d_2 z^{-2}} \quad (3.18)$$

เมื่อ $G_{LP} = k\Omega_0^2$ สามารถจัดรูปต่อไปได้เป็นดังสมการที่ (3.19)

$$H_{LP}(z) = \frac{G_{LP}(1 + 2z^{-1} + z^{-2})}{1 + d_1z^{-1} + d_2z^{-2}} \quad (3.19)$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลของผลตอบสนองความถี่สูงผ่าน (Highpass Filter) จากสมการ (3.13)

$$H_{HP}(z) = \frac{1 - 2z^{-1} + z^{-2}}{(\Omega_0^2 + \Omega_0/Q + 1) + (2\Omega_0^2 - 2)z^{-1} + (\Omega_0^2 - \Omega_0/Q + 1)z^{-2}}$$

นำมาเขียนใหม่ได้เป็น

$$H_{HP}(z) = \left(\frac{1}{(\Omega_0^2 + \Omega_0/Q + 1)} \right) \left(\frac{(1 - 2z^{-1} + z^{-2})}{1 + \frac{(2\Omega_0^2 - 2)}{(\Omega_0^2 + \Omega_0/Q + 1)}z^{-1} + \frac{(\Omega_0^2 - \Omega_0/Q + 1)}{(\Omega_0^2 + \Omega_0/Q + 1)}z^{-2}} \right) \quad (3.20)$$

$$\text{หากกำหนดให้ } k = \frac{1}{\Omega_0^2 + \Omega_0/Q + 1}, \quad d_1 = k(2\Omega_0^2 - 2), \quad d_2 = k(\Omega_0^2 - \Omega_0/Q + 1)$$

เมื่อ $G_{HP} = k$ สามารถจัดรูปต่อไปเป็นดังสมการที่ (3.21)

$$H_{HP}(z) = \frac{G_{HP}(1 - 2z^{-1} + z^{-2})}{1 + d_1z^{-1} + d_2z^{-2}} \quad (3.21)$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลของผลตอบสนองความถี่แถบผ่าน (Bandpass Filter) ดังสมการ (3.14)

$$H_{BP}(z) = \frac{\left(\frac{\Omega_0}{Q}\right) - \left(\frac{\Omega_0}{Q}\right)z^{-2}}{(\Omega_0^2 + \Omega_0/Q + 1) + (2\Omega_0^2 - 2)z^{-1} + (\Omega_0^2 - \Omega_0/Q + 1)z^{-2}}$$

นำมาเขียนใหม่ได้เป็น

$$H_{BP}(z) = \left(\frac{\left(\frac{\Omega_0}{Q} \right)}{\left(\Omega_0^2 + \frac{\Omega_0}{Q} + 1 \right)} \right) \left(\frac{(1-z^{-2})}{1 + \frac{(2\Omega_0^2 - 2)}{\left(\Omega_0^2 + \frac{\Omega_0}{Q} + 1 \right)} z^{-1} + \frac{(\Omega_0^2 - \frac{\Omega_0}{Q} + 1)}{\left(\Omega_0^2 + \frac{\Omega_0}{Q} + 1 \right)} z^{-2}} \right) \quad (3.22)$$

หากกำหนดให้ $k = \frac{1}{\Omega_0^2 + \frac{\Omega_0}{Q} + 1}$, $d_1 = k(2\Omega_0^2 - 2)$, $d_2 = k(\Omega_0^2 - \frac{\Omega_0}{Q} + 1)$

$$H_{BP}(z) = \frac{k \left(\frac{\Omega_0}{Q} \right) (1-z^{-2})}{1 + d_1 z^{-1} + d_2 z^{-2}} \quad (3.23)$$

เมื่อ $G_{BP} = k \left(\frac{\Omega_0}{Q} \right)$ สามารถจัดรูปต่อไปได้เป็นดังสมการที่ (3.24)

$$H_{BP}(z) = \frac{G_{BP}(1-z^{-2})}{1 + d_1 z^{-1} + d_2 z^{-2}} \quad (3.24)$$

หากนำมาจัดเป็นโครงสร้างแบบโดยตรง II ซึ่งพิจารณาเป็นสองส่วนคือ เทอมเศษและเทอมส่วนดังนี้

$$H(z) = \overbrace{\frac{Y(z)}{W(z)}}^{\text{เทอมเศษ}} \times \overbrace{\frac{W(z)}{X(z)}}^{\text{เทอมส่วน}}$$

ซึ่งทั้งสามสมการ (3.19), (3.21) และ (3.24) มีตัวส่วนที่เหมือนกันคือ $\frac{1}{1 + d_1 z^{-1} + d_2 z^{-2}}$

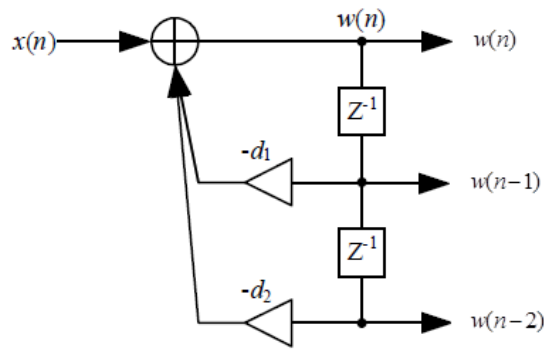
เมื่อนำมาจัดเป็นโครงสร้างแบบโดยตรง II หรืออาจเขียนได้ว่า

$$\frac{W(z)}{X(z)} = \frac{1}{1 + d_1 z^{-1} + d_2 z^{-2}}$$

ทำการแปลง z ผกผันจะได้ดังสมการ

$$w(n) = x(n) - d_1 w(n-1) - d_2 w(n-2) \quad (3.25)$$

จากสมการสามารถนำมาเขียนเป็นโครงสร้างได้ดังรูป 3.1



รูปที่ 3.1 โครงสร้างของวงจรกรองสัญญาณที่มีเทอมส่วนเหมือนกัน

ในทำนองเดียวกันในการหา $y(n)$ เมื่อพิจารณาเทอมเศษ แสดงได้ดังสมการที่ (3.26) - (3.28)

- สำหรับเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน $y_{LP}(n)$

$$\frac{Y_{LP}(z)}{W(z)} = G_{LP}(1 + 2z^{-1} + z^{-2})$$

จะได้ $y_{LP}(n) = G_{LP}[w(n) + 2w(n-1) + w(n-2)]$ (3.26)

- สำหรับเอาต์พุตของความถี่สูงผ่าน $y_{HP}(n)$

$$\frac{Y_{HP}(z)}{W(z)} = G_{HP}(1 - 2z^{-1} + z^{-2})$$

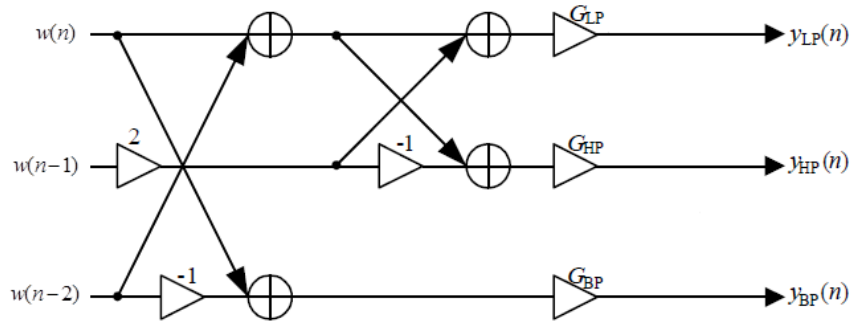
จะได้ $y_{HP}(n) = G_{HP}[w(n) - 2w(n-1) + w(n-2)]$ (3.27)

- สำหรับเอาต์พุตของความถี่แถบผ่าน $y_{BP}(n)$

$$\frac{Y_{BP}(z)}{W(z)} = G_{BP}(1 - z^{-2})$$

จะได้ $y_{BP}(n) = G_{BP}[w(n) - w(n-2)]$ (3.28)

จากสมการที่ (3.26), (3. 27) และ (3.28) สามารถนำมาเขียนโครงสร้างได้ดังรูปที่ 3.2



รูปที่ 3.2 โครงสร้างของวงจรรองสัญญาณที่มี 3 เอาต์พุต

- สำหรับเอาต์พุตของความถี่แถบหยุด $y_{BS}(n)$

จากความสัมพันธ์ของฟังก์ชันถ่ายโอนของวงจรรองสัญญาณความถี่แถบหยุดกับวงจรรองสัญญาณความถี่ต่ำผ่านและวงจรรองสัญญาณความถี่สูงผ่านสามารถสรุปได้ดังสมการที่ (3.30)

$$H_{BS}(z) = H_{LP}(z) + H_{HP}(z) \quad (3.29)$$

ดังนั้น

$$\frac{Y_{BS}(z)}{X(z)} = \frac{W(z)}{X(z)} \times \frac{Y_{BS}(z)}{W(z)}$$

$$\frac{Y_{BS}(z)}{W(z)} = [G_{LP}(1 + 2z^{-1} + z^{-2}) + G_{HP}(1 - 2z^{-1} + z^{-2})]$$

$$Y_{BS}(z) = G_{LP}(1 + 2z^{-1} + z^{-2})W(z) + G_{HP}(1 - 2z^{-1} + z^{-2})W(z)$$

จะได้

$$y_{BS}(n) = G_{LP}[w(n) + 2w(n-1) + w(n-2)] + G_{HP}[w(n) - 2w(n-1) + w(n-2)]$$

ดังนั้น

$$y_{BS}(n) = y_{LP}(n) + y_{HP}(n) \quad (3.30)$$

- สำหรับเอาต์พุตของความถี่แถบผ่านทั้งหมด $y_{AP}(n)$

จากความสัมพันธ์ของฟังก์ชันถ่ายโอนของวงจรรองสัญญาณความถี่แถบผ่านทั้งหมดกับวงจรรองสัญญาณความถี่ต่ำผ่าน วงจรรองสัญญาณความถี่สูงผ่าน และวงจรรองสัญญาณความถี่แถบผ่าน สามารถสรุปได้ดังสมการที่ (3.32)

$$H_{AP}(z) = H_{LP}(z) + H_{HP}(z) - H_{BP}(z) \quad (3.31)$$

ดังนั้น

$$\frac{Y_{AP}(z)}{X(z)} = \frac{W(z)}{X(z)} \times \frac{Y_{AP}(z)}{W(z)}$$

$$\frac{Y_{AP}(z)}{W(z)} = [G_{LP}(1 + 2z^{-1} + z^{-2}) + G_{HP}(1 - 2z^{-1} + z^{-2}) - G_{BP}(1 - z^{-2})]$$

$$Y_{AP}(z) = G_{LP}(1 + 2z^{-1} + z^{-2})W(z) + G_{HP}(1 - 2z^{-1} + z^{-2})W(z) - G_{BP}(1 - z^{-2})W(z)$$

จะได้

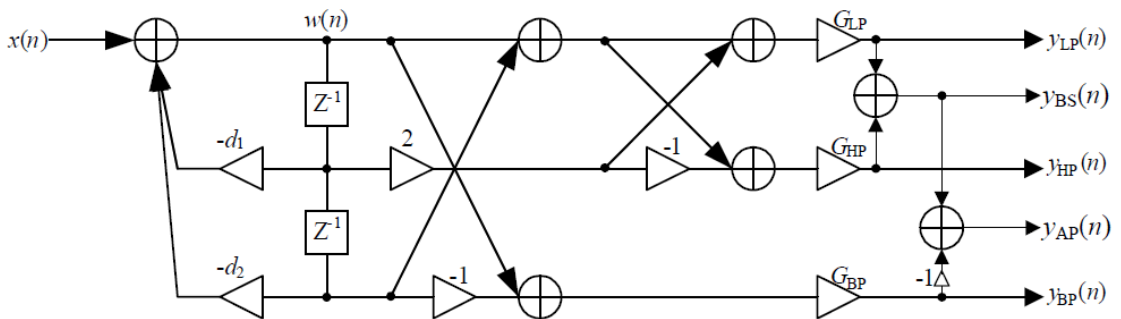
$$y_{AP}(n) = G_{LP}[w(n) + 2w(n-1) + w(n-2)] + G_{HP}[w(n) - 2w(n-1) + w(n-2)] - G_{BP}[w(n) - w(n-2)]$$

ดังนั้น

$$y_{AP}(n) = y_{LP}(n) + y_{HP}(n) - y_{BP}(n)$$

$$y_{AP}(n) = y_{BS}(n) - Y_{BP}(n) \quad (3.32)$$

เมื่อนำโครงสร้างจากรูปที่ 3.1 และ 3.2 มารวมกัน และจากสมการที่ (3.30) และ (3.32) สามารถสรุปโครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอดต์พุตได้ดังรูปที่ 3.3



รูปที่ 3.3 โครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอดต์พุต

ซึ่งสามารถออกแบบได้ง่ายขึ้น ด้วยการใช้อนุกรมเมทริกซ์เพียงสมการเดียวเพื่อหาค่าพารามิเตอร์ที่ใช้ในการออกแบบโครงสร้าง ดังสมการที่ (3.33)

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k\Omega_0/Q \\ k \end{bmatrix} \quad (3.33)$$

โดยที่
$$k = \frac{1}{\Omega_0^2 + \Omega_0/Q + 1}$$

Ω_0 = Center Frequency (rad/s)

Q = Quality Factor (0.707)

ค่าที่ใช้ในการออกแบบมีดังนี้

- 1) Q (Quality factor) คือ ค่าที่ใช้ในการคำนวณ Bandwidth (BW)

$$BW = \frac{\Omega_0}{Q}$$

เมื่อ Q เปลี่ยนส่งผลให้ค่า r (รัศมีของโพล) เปลี่ยนตามไปด้วยและผลของการเปลี่ยนค่า Q หากมีค่ามากจะได้ Bandwidth แคบ กรณีที่ $Q = 0.7071$ ส่งผลให้ผลตอบสนองทางขนาด (Amplitude response) เป็น “Maximally flat” ซึ่งเหมือนกับวงจรกรองสัญญาณบัตเตอร์เวิร์ทอันดับสอง

- 2) ω_0 คือความถี่ทางดิจิทัล (rad)

$$\omega_0 = \tan\left(\frac{\pi f_0}{F_s}\right) \quad (3.34)$$

ตัวอย่าง การคำนวณการออกแบบของวงจรโดยการกำหนดค่า Q และ Ω_0

การแปลงสัญญาณอนาลอกจากสมการไบควอดตันแบบไปเป็นวงจรกรองสัญญาณดิจิทัลตามหลักการแปลงไบลิเนียร์ (Bilinear Transform) ด้วยปาสคาลเมทริกซ์เป็นตัวกำหนด

เมื่อ $f_0 = 1 \text{ kHz}$, $f_s = 10 \text{ kHz}$ and $Q = 0.7071$

หาค่า Ω_0 โดยการแทนค่าในสมการที่ (3.34)

$$\begin{aligned} \Omega_0 &= \tan\left(\frac{\pi f_0}{F_s}\right) \\ &= \tan\left(\frac{\pi(1 \text{ kHz})}{10 \text{ kHz}}\right) \end{aligned}$$

$$\Omega_0 = 0.325 \text{ rad / s} \quad (3.35)$$

แทนค่า Q และ Ω_0 ในสมการไบควอดทั้ง 5 จะได้ฟังก์ชันถ่ายโอนของสัญญาณอนาลอกแบบไบควอดดังนี้

$$H_{LP}(s) = \frac{\Omega_0^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} = \frac{0.1056}{0.1056 + 0.4596s + s^2} \quad (3.36)$$

$$H_{HP}(s) = \frac{s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} = \frac{s^2}{0.1056 + 0.4596s + s^2} \quad (3.37)$$

$$H_{BP}(s) = \frac{\left(\frac{\Omega_0}{Q}\right)s}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} = \frac{0.4596s}{0.1056 + 0.4596s + s^2} \quad (3.38)$$

$$H_{BS}(s) = \frac{\Omega_0^2 + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} = \frac{0.1056 + s^2}{0.1056 + 0.4596s + s^2} \quad (3.39)$$

$$H_{AP}(s) = \frac{N(s)}{D(s)} = \frac{\Omega_0^2 - \left(\frac{\Omega_0}{Q}\right)s + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} = \frac{0.1056 - 0.4596s + s^2}{0.1056 + 0.4596s + s^2} \quad (3.40)$$

จากนั้นทำการแปลงด้วยฟังก์ชันถ่ายโอนของสัญญาณอนาลอกที่ได้โดยการคูณด้วยปาสคาลเมทริกซ์เพื่อให้ได้สัมประสิทธิ์ของฟังก์ชันถ่ายโอนของสัญญาณดิจิทัล

หาค่าสัมประสิทธิ์ของวงจรรองสัญญาณดิจิทัลสำหรับเทอมส่วนจาก

$$D(s) = 0.1056 + 0.4569s + s^2$$

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 0.1056 \\ 0.4596 \\ 1 \end{bmatrix}$$

$$= \begin{bmatrix} 1.5652 \\ -1.7888 \\ 0.646 \end{bmatrix}$$

$$\therefore \frac{1}{D(z)} = \frac{1}{1.5652 - 1.7888z^{-1} + 0.646z^{-2}} \quad (3.41)$$

พิจารณาพหุนามเมียบิตตัวเศษของแต่ละวงจรรองสัญญาณในกรณีต่อไปนี้

วงจรรองความถี่ต่ำผ่าน

$$N_{LP}(s) = 0.1056$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 0.1056 \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} 0.1056 \\ 0.2112 \\ 0.1056 \end{bmatrix}$$

$$N_{LP}(z) = 0.1056 + 0.2112z^{-1} + 0.1056z^{-2} \quad (3.42)$$

วงจรรองความถี่สูงผ่าน

$$N_{HP}(s) = s^2$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} 1 \\ -2 \\ 1 \end{bmatrix}$$

$$N_{HP}(z) = 1 - 2z^{-1} + z^{-2} \quad (3.43)$$

วงจรรองความถี่แถบผ่าน

$$N_{BP}(s) = 0.4596s$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 0 \\ 0.4596 \\ 0 \end{bmatrix} = \begin{bmatrix} 0.4596 \\ 0 \\ -0.4596 \end{bmatrix}$$

$$N_{BP}(z) = 0.4596 - 0.4596z^{-2} \quad (3.44)$$

วงจรรองความถี่แถบหยุด

$$N_{BS}(s) = 0.1056 + s^2$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 0.1056 \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} 1.1056 \\ -1.7888 \\ 1.1056 \end{bmatrix}$$

$$N_{BS}(z) = 1.1056 - 1.7888z^{-1} + 1.1056z^{-2} \quad (3.45)$$

วงจรกรองความถี่แถบผ่านทั้งหมด

$$N_{AP}(s) = 0.1056 - 0.4596s + s^2$$

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 0.1056 \\ -0.4596 \\ 1 \end{bmatrix} = \begin{bmatrix} 0.646 \\ -1.7888 \\ 1.5652 \end{bmatrix}$$

$$N_{AP}(z) = 0.646 - 1.7888z^{-1} + 1.5652z^{-2} \quad (3.46)$$

เมื่อนำโพลีโนเมียลเทอมเศษและเทอมส่วนมารวมกันจะได้ฟังก์ชันถ่ายโอนตามด้านล่าง

$$H_{LP}(z) = \frac{N_{LP}(z)}{D(z)} = \frac{0.1056 + 0.2112z^{-1} + 0.1056z^{-2}}{1.5652 - 1.7888z^{-1} + 0.646z^{-2}} \quad (3.47)$$

$$H_{HP}(z) = \frac{N_{HP}(z)}{D(z)} = \frac{1 - 2z^{-1} + z^{-2}}{1.5652 - 1.7888z^{-1} + 0.646z^{-2}} \quad (3.48)$$

$$H_{BP}(z) = \frac{N_{BP}(z)}{D(z)} = \frac{0.4596 - 0.4596z^{-2}}{1.5652 - 1.7888z^{-1} + 0.646z^{-2}} \quad (3.49)$$

$$H_{BS}(z) = \frac{N_{BS}(z)}{D(z)} = \frac{1.1056 - 1.7888z^{-1} + 1.1056z^{-2}}{1.5652 - 1.7888z^{-1} + 0.646z^{-2}} \quad (3.50)$$

$$H_{AP}(z) = \frac{N_{AP}(z)}{D(z)} = \frac{0.646 - 1.7888z^{-1} + 1.5652z^{-2}}{1.5652 - 1.7888z^{-1} + 0.646z^{-2}} \quad (3.51)$$

เนื่องจาก b_0 จะต้องเท่ากับ 1 ดังนั้น เขียนสมการใหม่ได้ดังนี้

$$H_{LP}(z) = \frac{0.0675 + 0.1349z^{-1} + 0.0675z^{-2}}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \quad (3.52)$$

$$H_{HP}(z) = \frac{0.6389 - 1.2778z^{-1} + 0.6389z^{-2}}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \quad (3.53)$$

$$H_{BP}(z) = \frac{0.2936 - 0.2936z^{-2}}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \quad (3.54)$$

$$H_{BS}(z) = \frac{0.7064 - 1.1429z^{-1} + 0.7064z^{-2}}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \quad (3.55)$$

$$H_{AP}(z) = \frac{0.4127 - 1.1429z^{-1} + z^{-2}}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \quad (3.56)$$

หากจัดรูปโดยใช้เมทริกซ์สำเร็จ (3.33) จะเห็นได้ว่าผลลัพธ์ของฟังก์ชันถ่ายโอนที่ได้มามีค่าเท่ากับสมการที่ (3.52) – (3.56) สามารถแสดงตามด้านล่าง ซึ่งแสดงให้เห็นว่าการออกแบบด้วยสมการเมทริกซ์สำเร็จ สะดวกและง่ายต่อการใช้งานในการออกแบบวงจรกรองสัญญาณ

เมทริกซ์สำเร็จจากสมการที่ (3.33)

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k\Omega_0/Q \\ k \end{bmatrix}$$

$$\text{เมื่อ } k = \frac{1}{\Omega_0^2 + \Omega_0/Q + 1} = \frac{1}{(0.325)^2 + (0.325/0.7071) + 1} = 0.6389$$

$$\Omega_0 = 0.325$$

$$Q = 0.7071$$

เมื่อทำการแปลงและแทนค่าด้วยเมทริกซ์ด้านบนสามารถได้ดังสมการที่ (3.57) – (3.61)

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณความถี่ต่ำผ่าน

$$H_{LP}(z) = \frac{G_{LP}(1 + 2z^{-1} + z^{-2})}{1 + d_1z^{-1} + d_2z^{-2}}$$

$$H_{LP}(z) = \frac{0.0675(1 + 2z^{-1} + z^{-2})}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \quad (3.57)$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณความถี่สูงผ่าน

$$H_{HP}(z) = \frac{G_{HP}(1 - 2z^{-1} + z^{-2})}{1 + d_1z^{-1} + d_2z^{-2}}$$

$$H_{HP}(z) = \frac{0.6389(1 - 2z^{-1} + z^{-2})}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \quad (3.58)$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณความถี่แถบผ่าน

$$H_{BP}(z) = \frac{G_{BP}(1 - z^{-2})}{1 + d_1z^{-1} + d_2z^{-2}}$$

$$H_{BP}(z) = \frac{0.2936(1 - z^{-2})}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \quad (3.59)$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณความถี่แถบหยุด

$$\begin{aligned} H_{BS}(z) &= H_{LP}(z) + H_{HP}(z) \\ &= \frac{0.0675(1 + 2z^{-1} + z^{-2})}{1 - 1.1429z^{-1} + 0.4127z^{-2}} + \frac{0.6389(1 - 2z^{-1} + z^{-2})}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \\ &= \frac{0.7064 - 1.1429z^{-1} + 0.7064z^{-2}}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \end{aligned} \quad (3.60)$$

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณความถี่แถบผ่านทั้งหมด

$$\begin{aligned} H_{AP}(z) &= H_{LP}(z) + H_{HP}(z) - H_{BP}(z) \\ H_{AP}(z) &= H_{BS} - H_{BP}(z) \\ &= \frac{0.7064 - 1.1429z^{-1} + 0.7064z^{-2}}{1 - 1.1429z^{-1} + 0.4127z^{-2}} - \frac{0.2936(1 - z^{-2})}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \\ &= \frac{0.4127 - 1.1429z^{-1} + z^{-2}}{1 - 1.1429z^{-1} + 0.4127z^{-2}} \end{aligned} \quad (3.61)$$

จะเห็นได้ว่าการออกแบบวงจรกรองสัญญาณดิจิทัลชนิดไบควอดโดยใช้ปาสคาลเมทริกซ์สำหรับการแปลง s-z ด้วยเมทริกซ์สำเร็จรูป สามารถสร้างวงจรกรองสัญญาณดิจิทัลไบควอดที่มี 5 เอาต์พุตได้ โดยการคำนวณค่าเพียง d_1, d_2, G_{LP}, G_{HP} และ G_{BP} แล้วนำไปแทนในโครงสร้าง รูปที่ 3.3 ก็สามารทำให้สัญญาณเอาต์พุตได้ถึง 5 รูปแบบ

3.4 วงจรกรองสัญญาณไปควอดแบบหลายเอาต์พุตที่สามารถปรับแต่งค่าได้

จากรูปโครงสร้างที่นำเสนอ (รูปที่ 3.3) เป็นโครงสร้างของวงจรกรองสัญญาณดิจิทัลไปควอดเรตริกหลายเอาต์พุต ซึ่งความยืดหยุ่นในการใช้งานจะเพิ่มขึ้นได้ดังเช่นในกรณีของวงจรกรองสัญญาณอนาล็อกไปควอดเรตริกก็ต่อเมื่อโครงสร้างวงจรกรองสัญญาณนั้นสามารถปรับแต่งได้ ดังเช่นในกรณีของวงจรกรองสัญญาณอนาล็อกไปควอดเรตริกที่สามารถปรับแต่งได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการควบคุมค่ากระแสไบอัส [1] ดังนั้นในงานวิทยานิพนธ์นี้จึงมีแนวคิดในการนำเสนอโครงสร้างที่สามารถปรับแต่งได้ โดยมาจากการแจกแจงค่าสัมประสิทธิ์ค่าคงที่ต่างๆ ที่ปรากฏอยู่ในโครงสร้างของ d_1, d_2, G_{LP}, G_{HP} และ G_{BP} ให้เป็นฟังก์ชันของการปรับแต่งได้ด้วยพารามิเตอร์ 2 ตัว คือ α และ β

สามารถหาความสัมพันธ์ของพารามิเตอร์ d_1, d_2, G_{LP}, G_{HP} ให้อยู่ในรูป α และ β ได้ จากความสัมพันธ์ของฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณความถี่แถบหยุดจากการออกแบบโดยใช้วิธีการวางโพล-ซีโร [4] สามารถแสดงได้ดังสมการ

$$H_{Notch}(z) = \frac{1+r^2}{2} \left[\frac{1-2\cos\omega_0 z^{-1} + z^{-2}}{1-(1+r^2)\cos\omega_0 z^{-1} + r^2 z^{-2}} \right] \quad (3.62)$$

โดยที่ $\omega_0 = \text{center frequency (rad)}$

$r = \text{radius of pole}$

เมื่อเทียบกับฟังก์ชันถ่ายโอนจากสมการที่ (3.29)

$$H_{BS}(z) = H_{LP}(z) + H_{HP}(z)$$

$$H_{BS}(z) = \frac{G_{LP}(1+2z^{-1}+z^{-2}) + G_{HP}(1-2z^{-1}+z^{-2})}{1+d_1 z^{-1} + d_2 z^{-2}} \quad (3.63)$$

ซึ่งสมการที่ (3.62) และ (3.63) จะมีค่าเท่ากัน

พิจารณาเทอมส่วนจะได้ว่า

$$1 + d_1 z^{-1} + d_2 z^{-2} = 1 - (1+r^2)\cos\omega_0 z^{-1} + r^2 z^{-2}$$

ดังนั้น

$$d_1 = -(1+r^2)\cos\omega_0 \quad (3.64)$$

$$d_2 = r^2 \quad (3.65)$$

พิจารณาเทอมเศษจะได้ว่า

$$(G_{LP} + G_{HP}) + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} + G_{HP})z^{-2} = \left(\frac{1+r^2}{2}\right) - (1+r^2)\cos\omega_0 z^{-1} + \left(\frac{1+r^2}{2}\right)z^{-2}$$

จะได้

$$G_{LP} + G_{HP} = \left(\frac{1+r^2}{2}\right) \quad (3.66)$$

และ

$$2(G_{LP} - G_{HP}) = -(1+r^2)\cos\omega_0 \quad (3.67)$$

แก้สมการทั้ง 2 สมการ จากสมการที่ (3.66) และ (3.67)

โดยนำสมการที่ (3.66) คูณด้วย 2 ทั้งสมการจะได้

$$2G_{LP} + 2G_{HP} = 1+r^2 \quad (3.68)$$

จากนั้นแก้สมการเพื่อหา G_{LP} โดยนำสมการที่ (3.67) บวกด้วยสมการที่ (3.68) ได้ตั้งสมการที่ (3.69)

$$\begin{aligned} 4G_{LP} &= 1+r^2 - (1+r^2)\cos\omega_0 \\ G_{LP} &= \frac{1+r^2 + (1+r^2)\cos\omega_0}{4} \end{aligned} \quad (3.69)$$

จากนั้นแก้สมการเพื่อหา G_{HP} โดยนำสมการที่ (3.67) ลบด้วยสมการที่ (3.68) ได้ตั้งสมการที่ (3.70)

$$\begin{aligned} 4G_{HP} &= 1+r^2 + (1+r^2)\cos\omega_0 \\ G_{HP} &= \frac{1+r^2 - (1+r^2)\cos\omega_0}{4} \end{aligned} \quad (3.70)$$

สามารถหาความสัมพันธ์ของพารามิเตอร์ G_{BP} ให้อยู่ในรูป α และ β ได้จาก ความสัมพันธ์ของจากฟังก์ชันถ่ายโอนของวงจรรองสัญญาณแถบผ่านทั้งหมด $H_{AP}(z)$ สามารถหา ได้จากการใช้ภาพสะท้อน (Mirror Image) โพลีโนเมียลจากเทอมส่วน [5-7] ได้ตั้งสมการ

$$H_{AP}(z) = \frac{r^2 - (1+r^2)\cos\omega_0 z^{-1} + z^{-2}}{1 - (1+r^2)\cos\omega_0 z^{-1} + r^2 z^{-2}} \quad (3.71)$$

เมื่อเทียบกับฟังก์ชันถ่ายโอนจากสมการที่ (3.31)

$$H_{AP}(z) = H_{LP}(z) + H_{HP}(z) - H_{BP}(z)$$

หรือ

$$H_{AP}(z) = H_{BS}(z) - H_{BP}(z)$$

หากจัดอยู่ในรูปฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณแถบหยุดได้ดังสมการที่ (3.72)

$$H_{BP}(z) = H_{BS}(z) - H_{AP}(z) \quad (3.72)$$

เมื่อพิจารณาเทอมเศษ

$$G_{BP}(1-z^{-2}) = \left[\left(\frac{1+r^2}{2} \right) - (1+r^2) \cos \omega_0 z^{-1} + \left(\frac{1+r^2}{2} \right) z^{-2} \right] - [r^2 - (1+r^2) \cos \omega_0 z^{-1} + z^{-2}]$$

แก้สมการจะได้

$$G_{BP} = \frac{1+r^2}{2} - r^2 \quad (3.73)$$

จะได้

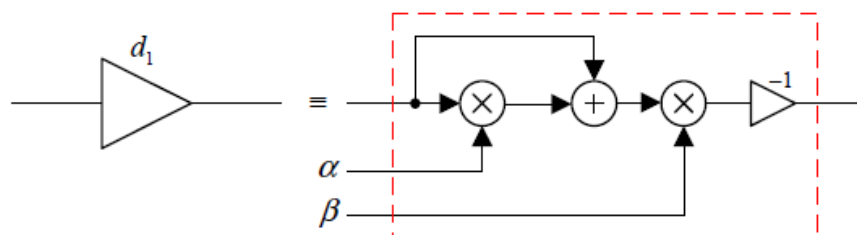
$$G_{BP} = \frac{1-r^2}{2} \quad (3.74)$$

- สัมประสิทธิ์ตัวคูณค่าคงที่ d_1 สามารถแทนในรูปของฟังก์ชันตัวแปร (α, β) ได้ดังนี้ จากสมการที่ (3.64) เมื่อ $d_1 = -(1+r^2) \cos \omega_0$

กำหนดให้ $\beta = \cos \omega_0$

จะได้

$$d_1 = -(1+\alpha)\beta \quad (3.75)$$



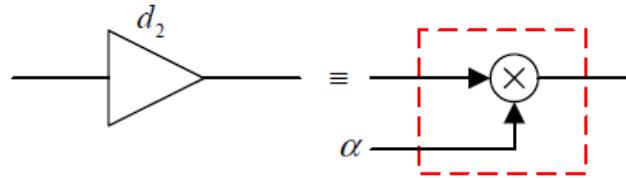
รูปที่ 3.4 บล็อกไดอะแกรมของค่าสัมประสิทธิ์ d_1 ที่สามารถปรับค่าได้

- สัมประสิทธิ์ตัวคูณค่าคงที่ d_2 สามารถแทนในรูปของฟังก์ชันตัวแปร (α, β) ได้ดังนี้

จากสมการที่ (3.65) เมื่อ $d_2 = r^2$

กำหนดให้ $\alpha = r^2$

จะได้ $d_2 = \alpha$ (3.76)



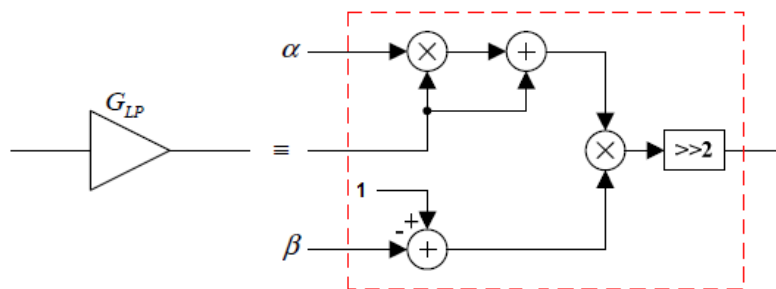
รูปที่ 3.5 บล็อกไดอะแกรมของค่าสัมประสิทธิ์ d_2 ที่สามารถปรับค่าได้

- สัมประสิทธิ์ตัวคูณค่าคงที่ G_{LP} สามารถแทนในรูปของฟังก์ชันตัวแปร (α, β) ได้ดังนี้

จากสมการที่ (3.69)
$$G_{LP} = \frac{1+r^2 - (1+r^2)\cos\omega_0}{4}$$

เมื่อกำหนดให้ $\alpha = r^2, \beta = \cos\omega_0$

จะได้ $G_{LP} = \frac{1}{4}(1-\beta)(1+\alpha)$ (3.77)



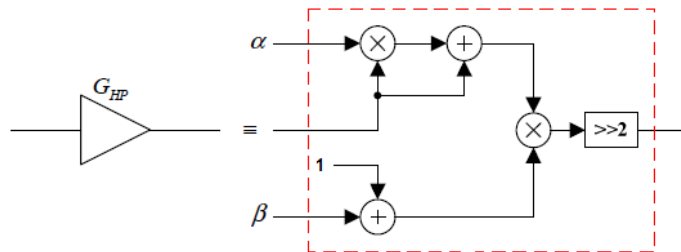
รูปที่ 3.6 บล็อกไดอะแกรมของค่าสัมประสิทธิ์ G_{LP} ที่สามารถปรับค่าได้

- สัมประสิทธิ์ตัวคูณค่าคงที่ G_{HP} สามารถแทนในรูปของฟังก์ชันตัวแปร (α, β) ได้ดังนี้

จากสมการที่ (3.70) เมื่อ $G_{HP} = \frac{1+r^2 + (1+r^2)\cos\omega_0}{4}$

กำหนดให้ $\alpha = r^2, \beta = \cos\omega_0$

จะได้
$$G_{HP} = \frac{1}{4}(1+\beta)(1+\alpha) \quad (3.78)$$



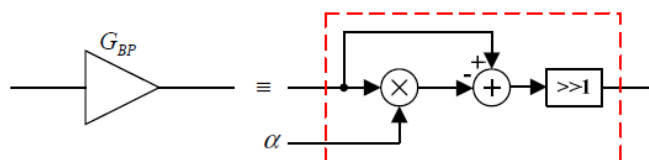
รูปที่ 3.7 บล็อกไดอะแกรมของค่าสัมประสิทธิ์ G_{HP} ที่สามารถปรับค่าได้

- สัมประสิทธิ์ตัวคูณค่าคงที่ G_{BP} สามารถแทนในรูปของฟังก์ชันตัวแปร (α, β) ได้ดังนี้

จากสมการที่ (3.74) เมื่อ $G_{BP} = \frac{1-r^2}{2}$

กำหนดให้ $\alpha = r^2, \beta = \cos\omega_0$

จะได้
$$G_{BP} = \frac{1}{2}(1-\alpha) \quad (3.79)$$



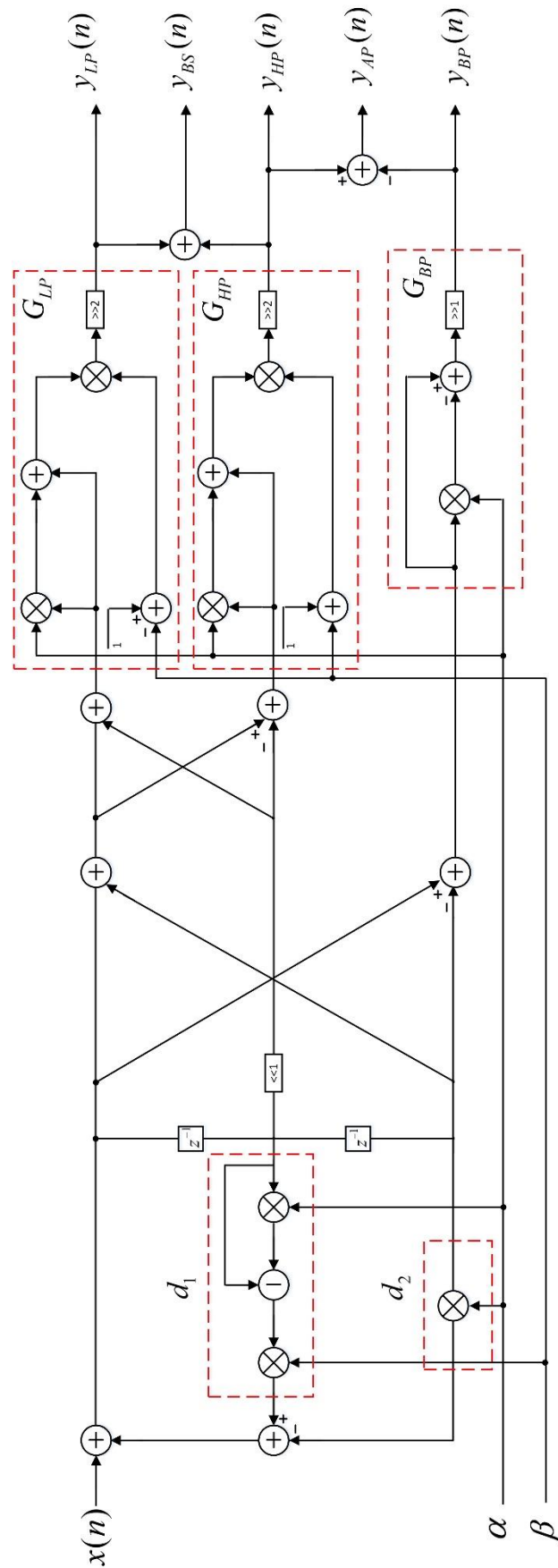
รูปที่ 3.8 บล็อกไดอะแกรมของค่าสัมประสิทธิ์ G_{BP} ที่สามารถปรับค่าได้

โดยที่สัญลักษณ์ $\boxed{\gg 1}$ และ $\boxed{\gg 2}$ คือการเลื่อนตำแหน่งไปทางขวา 1 บิต และ 2 บิต ตามลำดับ ซึ่งหมายถึง อัตราขยายที่มีค่าเท่ากับ $\frac{1}{2}$ และ $\frac{1}{4}$ ตามลำดับ

สามารถสรุปได้ค่าความสัมพันธ์ของพารามิเตอร์ d_1, d_2, G_{LP}, G_{HP} และ G_{BP} ในรูปของ (α, β) ได้ดังนี้ เมื่อ $\beta = \cos \omega_0$ และ $\alpha = r^2$

$$\begin{array}{lll}
 d_1 = -(1+r^2) \cos \omega_0 & \Longrightarrow & d_1 = -(1+\alpha)\beta \\
 d_2 = r^2 & \Longrightarrow & d_2 = \alpha \\
 G_{LP} = \frac{1+r^2 + (1+r^2) \cos \omega_0}{4} & \Longrightarrow & G_{LP} = \frac{1}{4}(1-\beta)(1+\alpha) \\
 G_{HP} = \frac{1+r^2 + (1+r^2) \cos \omega_0}{4} & \Longrightarrow & G_{HP} = \frac{1}{4}(1+\beta)(1+\alpha) \\
 G_{BP} = \frac{1-r^2}{2} & \Longrightarrow & G_{BP} = \frac{1}{2}(1-\alpha)
 \end{array}$$

เมื่อนำบล็อกไดอะแกรมของค่าสัมประสิทธิ์ที่สามารถปรับค่าได้ แทนลงบล็อกไดอะแกรมเดิม ในรูปที่ 3.3 ทำให้ได้โครงสร้างใหม่ที่สามารถเปลี่ยนค่า Center Frequency ได้โดยการปรับค่า และสามารถเปลี่ยนค่าแบนด์วิธ ได้โดยการปรับค่า โดยที่ไม่จำเป็นต้องเปลี่ยนแปลงโครงสร้างใหม่แสดง ดังรูปที่ 3.9



รูปที่ 3.9 โครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอ็ดจ์พุด และสามารถปรับค่าได้

จากรูปที่ 3.9 แสดงโครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอาต์พุตซึ่งสามารถปรับแต่งค่าได้จากพารามิเตอร์ 2 ตัว คือ α สำหรับการควบคุม Bandwidth และ β สำหรับการควบคุมค่า center frequency แต่มีข้อเสียที่ต้องแลกมากับการปรับแต่งค่าได้คือเรื่องของ Computational complexity ที่เพิ่มขึ้น จำนวนตัวคูณและตัวบวกที่ต้องใช้งานในโครงสร้างเมื่อเปรียบเทียบกับกรณีโครงสร้างที่ไม่สามารถปรับแต่งได้

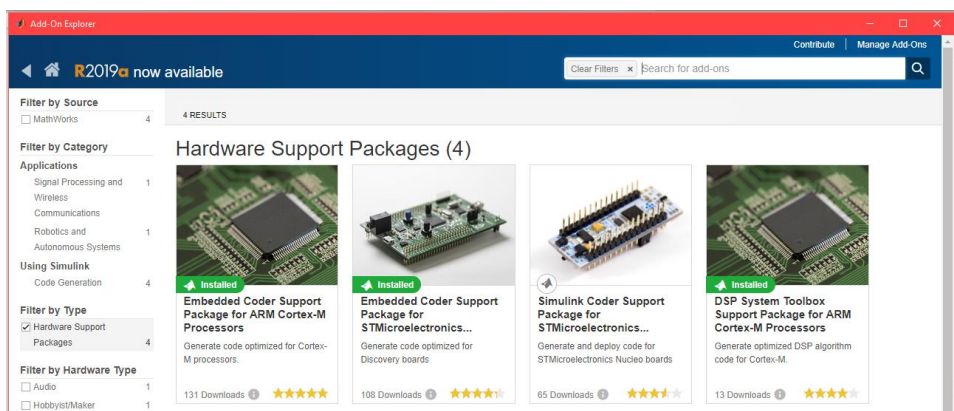
3.5 การออกแบบวงจรกรองสัญญาณไบควอดแบบหลายเอาต์พุตที่สามารถปรับแต่งค่าได้บนบอร์ด STM32F769I Discovery

ในส่วนนี้จะเป็นการนำโครงสร้างของวงจรกรองสัญญาณดิจิทัลไบควอดเดทีกหลายเอาต์พุตที่ปรับค่าได้มาสร้างลงไปในอุปกรณ์บอร์ด STM32F769I Discovery และทดสอบการทำงานโดยจะทำการวัดผลตอบสนองทางความถี่เปรียบเทียบกับที่ Simulation ใน MATLAB ว่าทำงานได้สอดคล้องและตรงกัน ทั้งนี้เพื่อยืนยันว่าสิ่งที่นำเสนอ สามารถนำมาออกแบบสามารถใช้งานบนฮาร์ดแวร์ได้จริง และสามารถทำงานได้แบบเวลาจริง โดยการ Implement โครงสร้างทั้งหมดลงบนบอร์ด STM32F769I Discovery โดยใช้ MATLAB Simulink ในการออกแบบวงจรกรองสัญญาณบน MATLAB Simulink

บอร์ด STM32F769I พัฒนาขึ้นโดยบริษัท STMicroelectronics สามารถเขียนโปรแกรมควบคุมและพัฒนาได้ด้วย Simulink บนโปรแกรม MATLAB ตั้งแต่เวอร์ชัน R2018a ขึ้นไป โดยจะต้องติดตั้ง Hardware Support Packages เพิ่มเติม 3 รายการ ประกอบไปด้วย

1. Embedded Coder Support Package for STMicroelectronics Discovery Boards
2. Embedded Coder Support Package for ARM Cortex-M Processors
3. DSP System Toolbox Support Package for ARM Cortex-M Processors

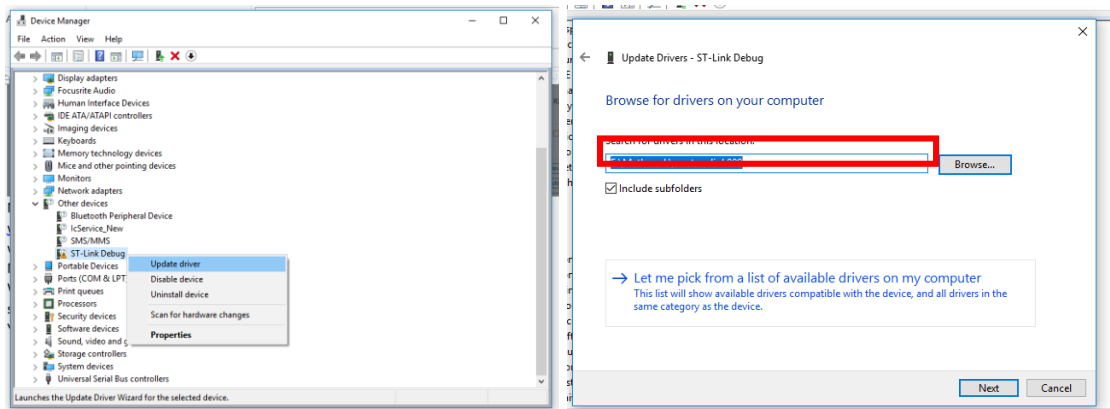
เมื่อติดตั้ง Hardware Support Packages ครบทั้ง 3 รายการ จะได้นหน้าต่าง Add-Ons Explorer ดังรูปที่ 3.10



รูปที่ 3.10 หน้าต่าง Add-Ons Explorer ที่ติดตั้ง Hardware Support Packages

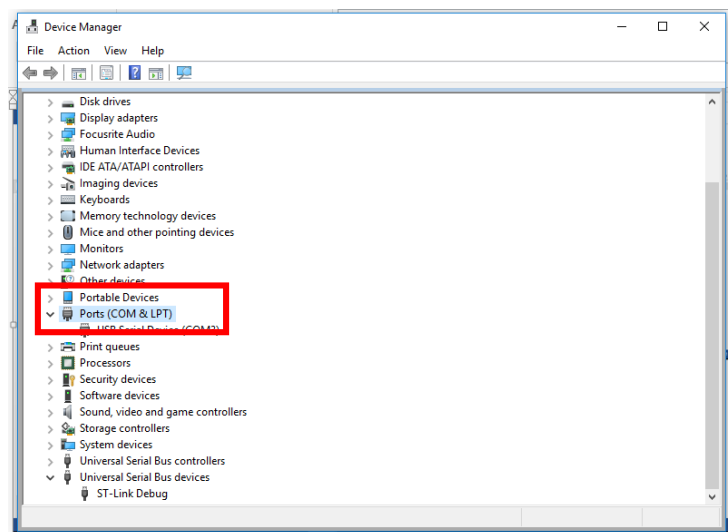
ครบทั้ง 3 รายการ

ขั้นตอนถัดไปจะต้องติดตั้งไดรเวอร์สำหรับเชื่อมต่อและสื่อสารกับบอร์ด STM32F769I โดยจะต้องเชื่อมต่อบอร์ดขณะทำการติดตั้งด้วย สำหรับระบบปฏิบัติการวินโดวส์จะเข้าไปที่ Device Manager และทำการอัปเดตไดรเวอร์ชื่อ 'en.stsw-link009' ดังแสดงในรูปที่ 3.11



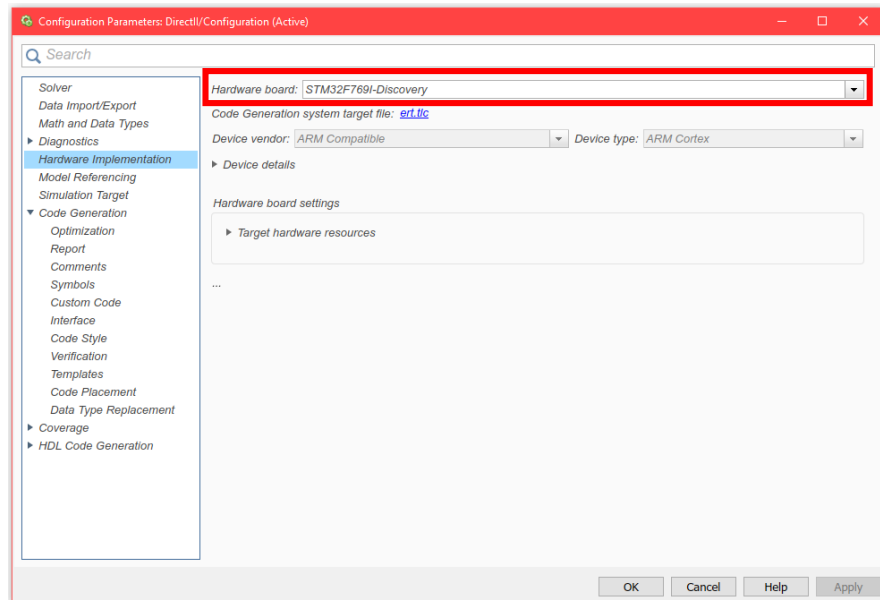
รูปที่ 3.11 หน้าต่าง Device Manager สำหรับทำการอัปเดตไดรเวอร์ชื่อ 'en.stsw-link009'

เมื่อติดตั้งไดรเวอร์เสร็จจะได้หน้าต่าง Device Manager ที่แสดงตำแหน่งพอร์ตเชื่อมต่อไปยังบอร์ด STM32F769I ซึ่งเป็นพอร์ตชนิดอนุกรม ดังแสดงในรูปที่ 3.12

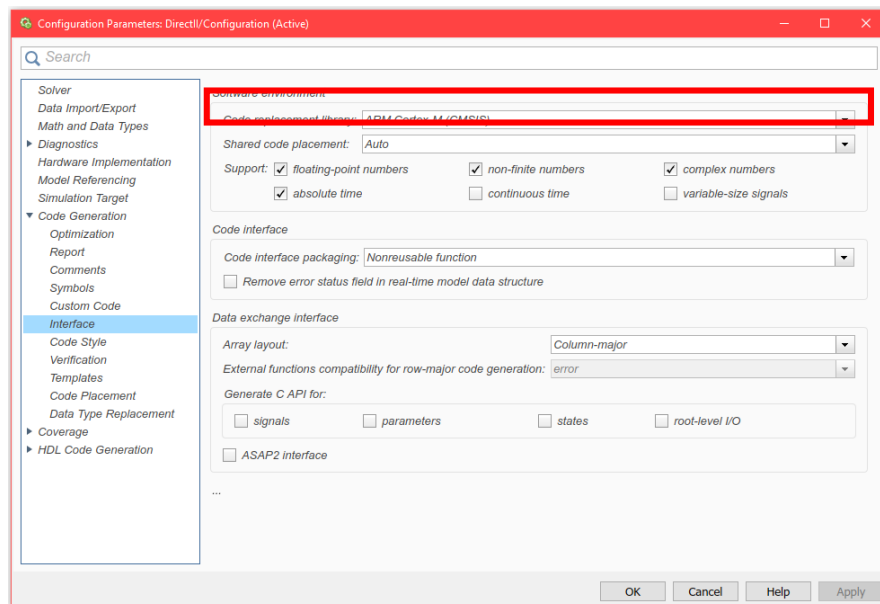


รูปที่ 3.12 หน้าต่าง Device Manager แสดงตำแหน่งพอร์ตที่เชื่อมต่อไปยังบอร์ด STM32F769I

ในการเริ่มต้นเขียนโปรแกรมควบคุมบอร์ด STM32F769I ให้ทำการเปิดโปรแกรม MATLAB และ Simulink พร้อมสร้างโมเดลเปล่าขึ้นมา 1 โมเดล แล้วเข้าไปที่ Model Configuration Parameters หรือกด Ctrl+E จากนั้นเลือก Hardware board เป็น STM32F769I-Discovery และเลือก Code replacement library เป็น ARM Cortex-M (CMSIS) ดังแสดงในรูปที่ 3.13 และรูปที่ 3.14 ตามลำดับ

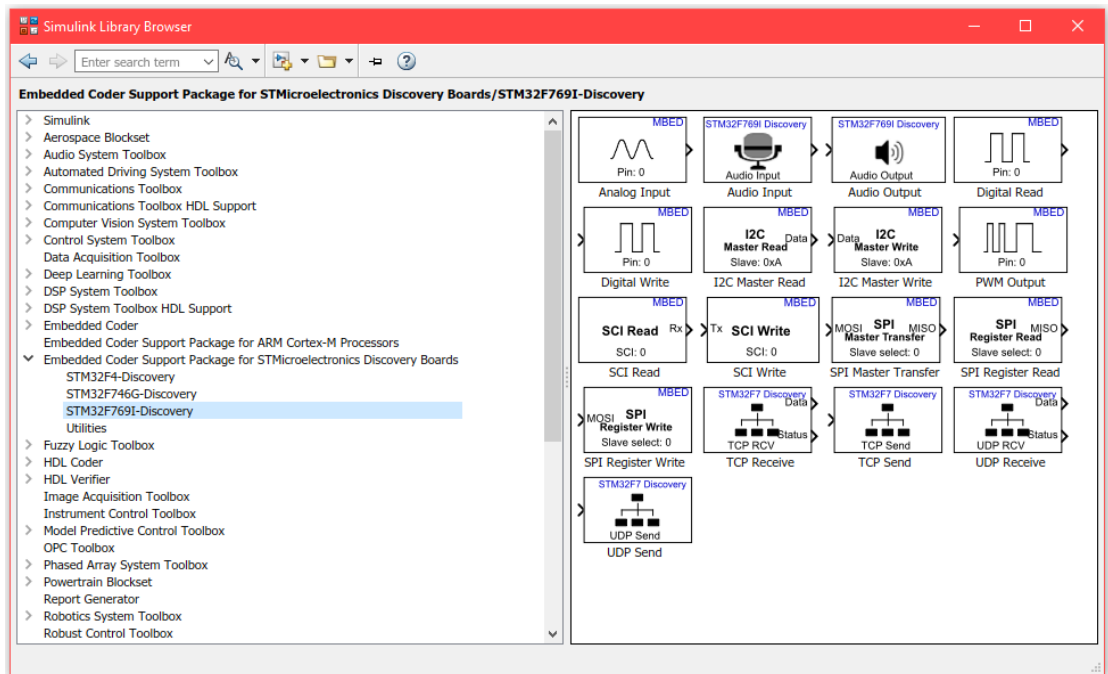


รูปที่ 3.13 หน้าต่าง Model Configuration Parameters สำหรับเลือก Hardware board

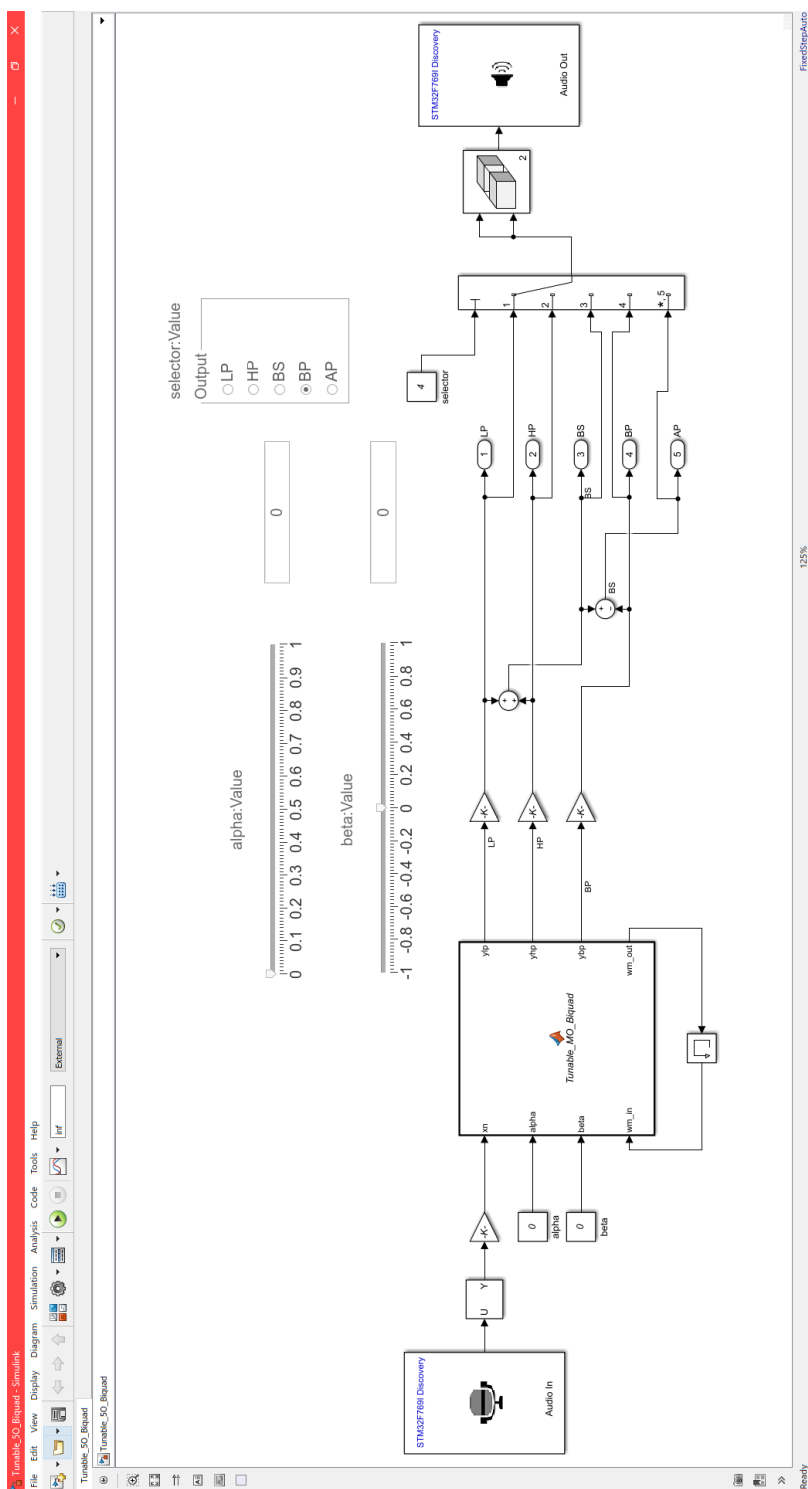


รูปที่ 3.14 หน้าต่าง Model Configuration Parameters สำหรับเลือก Code replacement library

จากนี้ไปสามารถเริ่มทำการเขียนโปรแกรมได้โดยเปิด Simulink Library Browser ดังแสดงในรูปที่ 3.15 แล้วเลือกบล็อกที่ต้องการมาวางบนโมเดลเปล่าที่ได้สร้างไว้ก่อนหน้านี้



รูปที่ 3.15 หน้าต่าง Simulink Library Browser Tunable 5-Output Biquadratic Filter เมื่อทำการเขียนโปรแกรมควบคุมบอร์ดเสร็จจะแสดงได้ดังรูปที่ 3.16



รูปที่ 3.16 ภาพรวมของโปรแกรม Tunable 5-Output Biquadratic Filter สำหรับควบคุมบอร์ด

จากนี้ไปจะเป็นการอธิบายการทำงานของบล็อกต่างๆที่แสดงในรูปที่ 3.16 เริ่มบล็อกทางด้านซ้ายสุดคือบล็อก Audio In ทำหน้าที่เป็น A/D และบล็อกทางด้านขวาสุดคือบล็อก Audio Out ทำหน้าที่เป็น D/A ทั้งสองบล็อกนี้ต้องปรับค่า Sampling frequency ให้เท่ากัน ซึ่งในงานวิจัยนี้ใช้ 16kHz

บล็อกตำแหน่งถัดมาจากด้านซ้ายคือบล็อก Selector มีหน้าที่เลือกช่องสัญญาณเสียงระหว่างช่องสัญญาณเสียงทางซ้าย และช่องสัญญาณเสียงทางขวา

บล็อกที่เป็นรูปทรงสามเหลี่ยมคือ Gain ทำหน้าที่เป็นตัวคูณด้วยค่าคงที่ ในที่นี้มีไว้สำหรับการทำ Normalize และ Denormalize สัญญาณก่อนและหลังผ่านบล็อก MATLAB function ตามลำดับ

บล็อกรูปสี่เหลี่ยมจัตุรัสขนาดเล็กสองบล็อกคือ Constant เป็นค่าคงที่ที่เป็นอินพุตให้กับบล็อก MATLAB function ซึ่งจะเป็นตัวแปรที่ใช้ในการปรับจูนในวิจัยนี้ โดยสองบล็อกนี้มีความสัมพันธ์กับบล็อก Slider และบล็อก Edit ที่อยู่ด้านบนโดยตรง เพื่อให้สามารถปรับจูนค่าอย่างอิสระตามความต้องการ

บล็อกขนาดใหญ่รูปสี่เหลี่ยมคือ MATLAB function ที่ภายในคือ Tunable Multiple Output Biquadratic Filter ซึ่งเป็นหัวใจของงานวิจัยนี้ สามารถแสดงสคริปต์ที่อยู่ภายในได้ดังรูปที่ 3.17

```

1  function [y1p, y1p, y1p, wm_out] = Tunable_MO_Biquad(xn, alpha, beta, wm_in)
2  -   sample_per_frame = 4096;
3  -   wn = ones(3,1);
4  -   y1p = ones(sample_per_frame,1,'double');
5  -   y1p = y1p;
6  -   y1p = y1p;
7
8  -   d1 = -(1+alpha)*beta;
9  -   d2 = alpha;
10 -   G1p = 0.25*(1-beta)*(1+alpha);
11 -   G1p = 0.25*(1+beta)*(1+alpha);
12 -   G1p = 0.5*(1-alpha);
13
14 -   wn(2:3) = wm_in;
15
16 -   for n = 1:sample_per_frame
17 -       wn(1) = xn(n) - wn(2)*d1 - wn(3)*d2;
18 -       y1p(n) = (wn(1) + wn(3) + 2*wn(2))*G1p;
19 -       y1p(n) = (wn(1) + wn(3) - 2*wn(2))*G1p;
20 -       y1p(n) = (wn(1) - wn(3))*G1p;
21 -       wn(3) = wn(2);
22 -       wn(2) = wn(1);
23   -   end
24 -   wm_out = wn(1:2);

```

รูปที่ 3.17 สคริปต์ Tunable Multiple Output Biquadratic Filter ภายในบล็อก MATLAB function

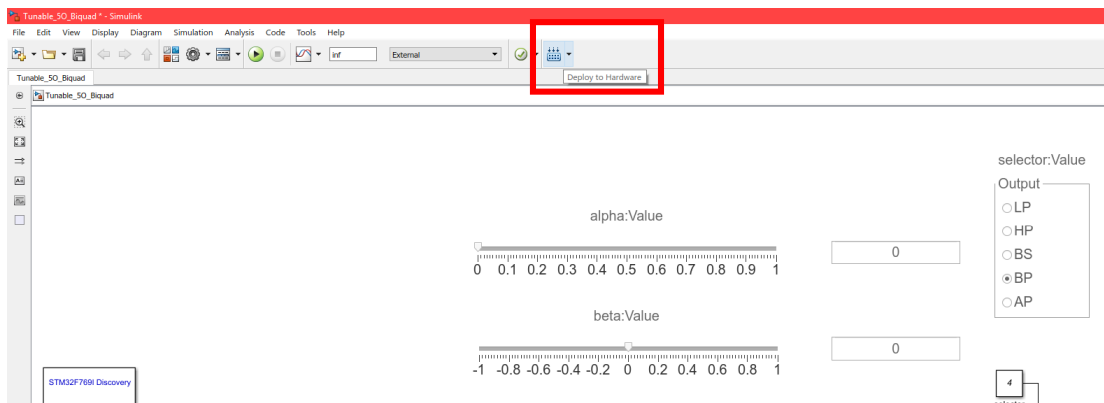
บล็อกที่อยู่ด้านล่างของบล็อก MATLAB function คือบล็อก Memory ทำหน้าที่ป้อนกลับให้กับค่าที่มีการหน่วงเวลาเพื่อนำไปใช้ในการคำนวณในรอบประมวลผลถัดไป ในที่นี้คือค่า $w(n-1)$ และ $w(n-2)$

บล็อกรูปวงกลมคือบล็อก Sum ทำหน้าที่หาผลรวมหรือผลต่าง ในงานวิจัยนี้ใช้สำหรับหาผลรวมของเอาพุตความถี่ต่ำผ่านกับเอาพุตความถี่สูงผ่านเพื่อให้ได้ความถี่แถบหยุด และใช้สำหรับหาผลต่างระหว่างความถี่แถบหยุดกับเอาพุตความถี่แถบผ่านเพื่อให้ได้ความถี่แถบผ่านทั้งหมด ดังโครงสร้างที่ได้นำเสนอ

บล็อกรูปสี่เหลี่ยมผืนผ้าคือบล็อก Multiport Switch ทำหน้าที่เลือกสัญญาณเพียงหนึ่งเดียวจากหลายๆสัญญาณที่ผ่านเข้ามา โดยบล็อกนี้จะถูกควบคุมหมายพอร์ตที่ต้องการเลือกโดยบล็อก Radio button อยู่ด้านบนอีกทีหนึ่ง

บล็อกตำแหน่งถัดมาจากด้านขวาคือบล็อก Matrix Concatenate ทำหน้าที่จัดเรียงสัญญาณสองช่องสัญญาณให้ออกไปยังบล็อก Audio Out ซึ่งประกอบไปด้วยช่องสัญญาณเสียงทางซ้าย และช่องสัญญาณเสียงทางขวา ในงานวิจัยนี้จะทำการสำเนาสัญญาณเอาพุตจากระบบให้ออกเหมือนกันทั้งสองช่องสัญญาณเลย

จากนั้นจะทำการคอมไพล์และดาวน์โหลดโปรแกรมที่ได้ออกแบบลงไปยังบอร์ด STM32F769I โดยการกดปุ่ม Deploy to Hardware ดังแสดงในรูปที่ 3.18



รูปที่ 3.18 ทำการคอมไพล์และดาวน์โหลดโปรแกรมลงบอร์ดโดยกดปุ่ม Deploy to Hardware

บทที่ 4

การออกแบบการจำลองการทำงานและการสร้างของวงกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับค่าได้

4.1 บทนำ

ในบทนี้จะได้กล่าวถึงการออกแบบการทดลองและการเก็บผลการทดลองเพื่อการแสดงผลลัพธ์ของโครงสร้าง Tunable Multi-output Biquadratic Digital Filter ที่นำเสนอในการออกแบบ เนื้อหาในบทนี้จะแบ่งออกเป็น 2 ส่วน คือ ผลที่ได้จากการจำลองการทำงานด้วยโปรแกรม MATLAB และผลที่ได้จากการทดลองจริงบนฮาร์ดแวร์ที่ทำงานแบบเวลาจริง (Real-Time) ที่นำโครงสร้างของวงจรรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตไปสร้างลงบน Microprocessor ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board ด้วยการพัฒนาบนโปรแกรม MATLAB Simulink ผลการออกแบบที่ได้จากการจำลองการทำงานจะถูกยืนยันด้วยผลการทดลองทางฮาร์ดแวร์ ว่าโครงสร้างของวงจรรองสัญญาณที่นำเสนอสามารถทำงานได้ถูกต้อง มีความยืดหยุ่นในการปรับแต่งคุณลักษณะทางความถี่ โดยปราศจากการคำนวณค่าสัมประสิทธิ์ของวงจรรองสัญญาณใหม่แบบออฟไลน์และสร้างเพื่อใช้งานได้จริง ผลที่ได้จากการทดลองเปรียบเทียบกับผลที่ได้จากการจำลองการทำงานผ่านการแสดงผลตอบสนองทางขนาดที่วัดด้วยเครื่อง Dynamic Signal Analyzer เป็นสิ่งยืนยันถึงประสิทธิภาพของโครงสร้างของ Tunable Multi-output Biquadratic Digital Filter ที่นำเสนอ

4.2 ผลการออกแบบและจำลองการทำงานของวงจรรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุต

จากหัวข้อที่ 3.3 วงจรรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุต ที่สามารถออกแบบด้วยสมการเมทริกซ์สำเร็จรูป แล้วนำมาสร้างวงจรรองสัญญาณดิจิทัลไบควอดเรติกที่มี 5 เอาต์พุตได้ โดยการคำนวณค่าเพียง d_1, d_2, G_{LP}, G_{HP} และ G_{BP} แล้วนำไปแทนในโครงสร้าง สามารถแสดงได้ตัวอย่างด้านล่าง

สมการเมทริกซ์สำเร็จรูป ดังสมการที่ (4.1)

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k\Omega_0/Q \\ k \end{bmatrix} \quad (4.1)$$

โดยที่

$$k = \frac{1}{\Omega_0^2 + \Omega_0/Q + 1}$$

Ω_0 = Center Frequency (rad/s)

Q = Quality Factor

สามารถหา ω_0 ได้จากสมการที่

$$\omega_0 = \tan\left(\frac{\pi f_0}{F_s}\right)$$

ตัวอย่าง การออกแบบวงจรกรองสัญญาณโดยการกำหนดค่าด้านล่างดังนี้

$$f_0 = 1 \text{ kHz} \quad F_s = 16 \text{ kHz} \quad \text{และ} \quad Q = 0.7071$$

$$\text{ดังนั้น} \quad k = \frac{1}{\Omega_0^2 + \Omega_0/Q + 1} = \frac{1}{(0.1989)^2 + (0.1989/0.7071) + 1} = 0.7571$$

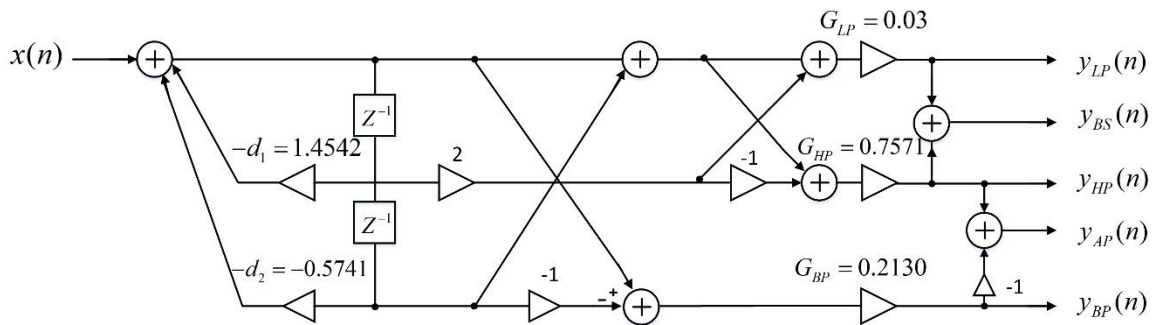
$$\Omega_0 = 0.1989$$

$$Q = 0.7071$$

จากนั้นทำการแทนลงในสมการเมทริกซ์จะได้ดังสมการ (4.2)

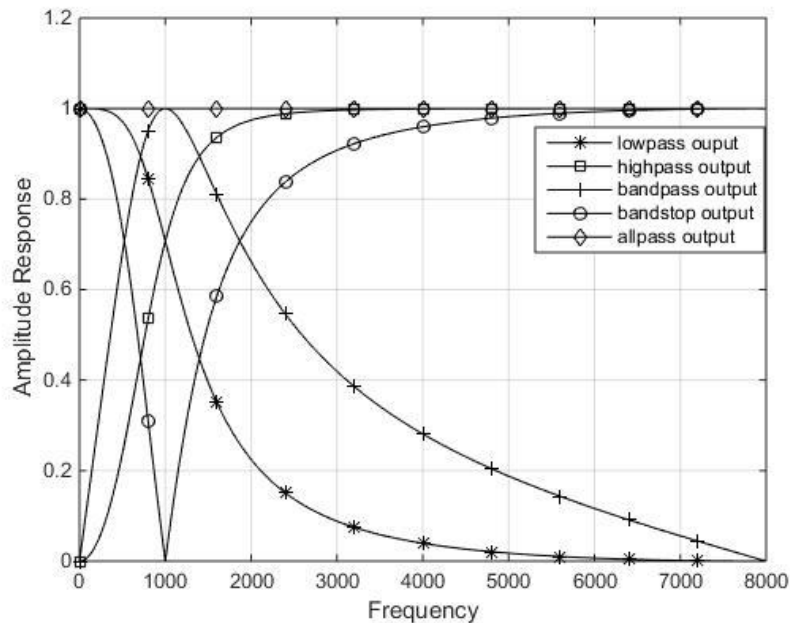
$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 0.03 \\ 0.2131 \\ 0.7571 \end{bmatrix} \quad (4.2)$$

จะเห็นได้ว่าเมื่อทำการแทนค่า แล้วแทนลงในสมการเมทริกซ์ สามารถคำนวณค่าพารามิเตอร์ d_1, d_2, G_{LP}, G_{HP} และ G_{BP} ได้ จากนั้นนำไปแทนในโครงสร้างจะได้ดังรูปที่ 4.1 ซึ่งแสดงให้เห็นถึงโครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอ็ดจ์พุต ที่ออกแบบโดยการคำนวณจากสมการเมทริกซ์เพียงสมการเดียว



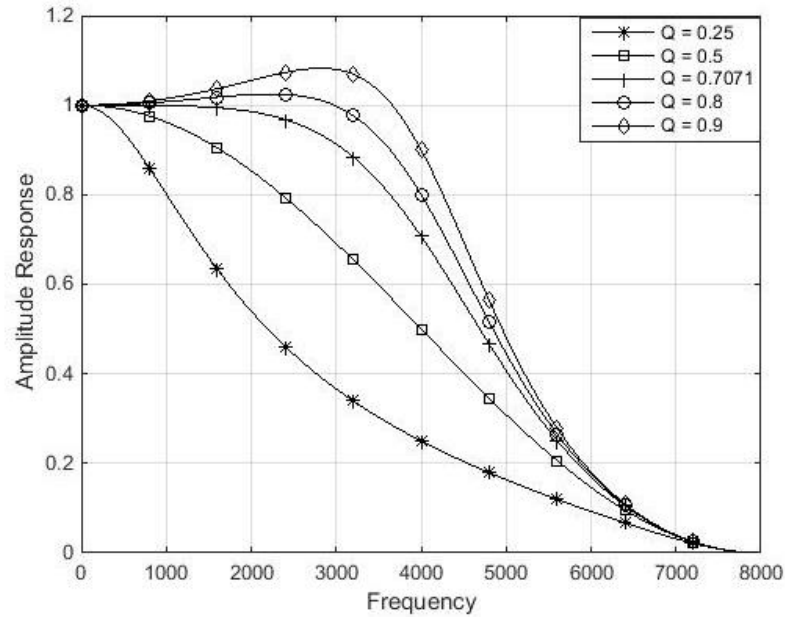
รูปที่ 4.1 โครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอ็ดจ์พุต

จากนั้นทำการ simulate ด้วยโปรแกรม MATLAB จะได้ผลตอบสนองทางขนาดที่มี 5 เอ็ดจ์พุต ดังรูปที่ 4.2

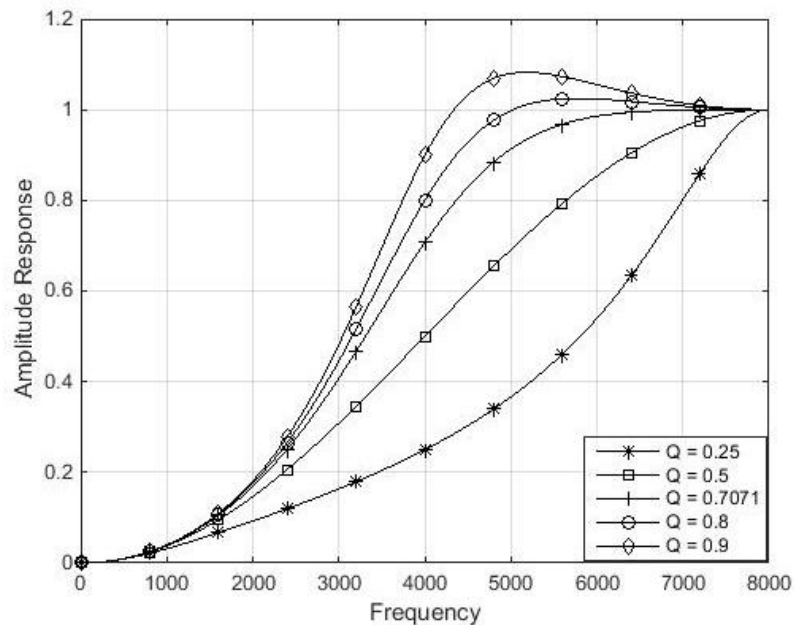


รูปที่ 4.2 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณดิจิทัลแบบไบควอดที่มี 5 เอ็ดจ์พุต

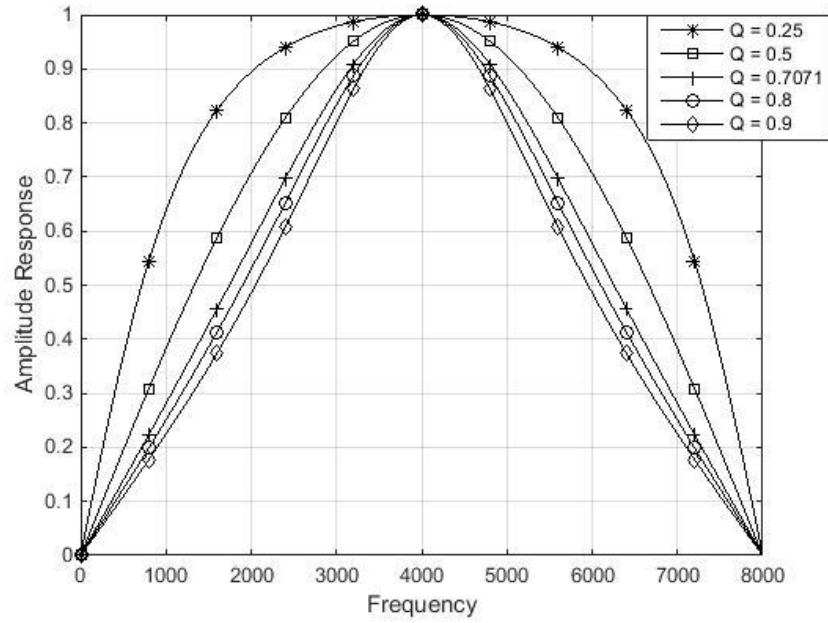
เมื่อทำการออกแบบโดยการกำหนดค่า $f_0 = 4 \text{ kHz}$ แล้วทำการปรับค่า Q จะได้ผลตอบสนองทางขนาดของวงจรกรองสัญญาณต่างๆดังรูปที่ 4.3 – 4.6 ส่วนวงจรกรองสัญญาณแถบผ่านทั้งหมดจะแสดงในรูปผลตอบสนองทางเฟสดังรูปที่ 4.7



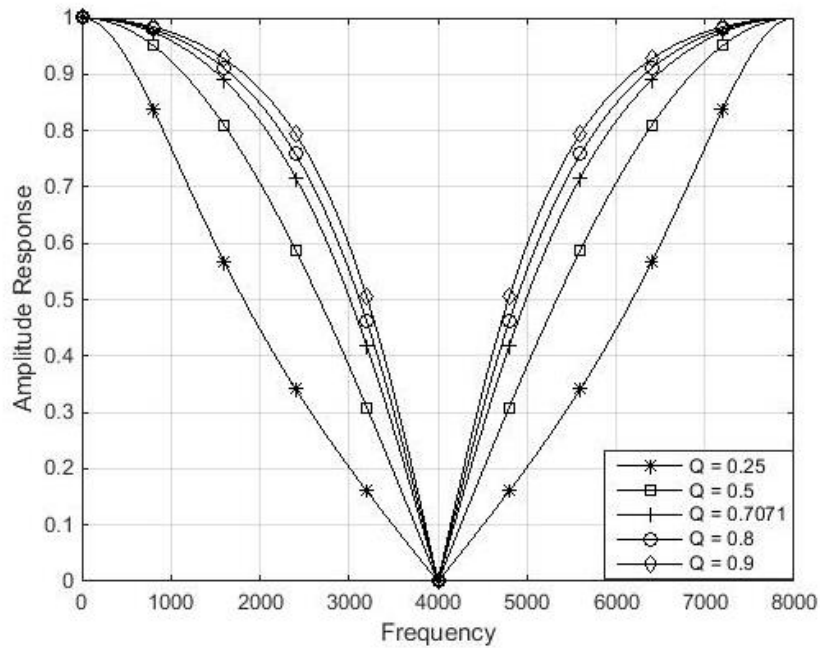
รูปที่ 4.3 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $f_0 = 4 \text{ kHz}$



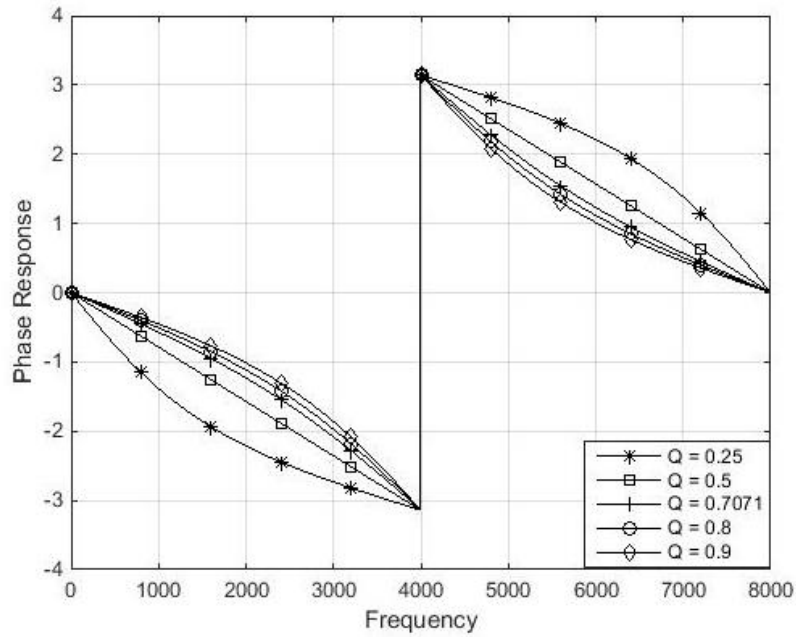
รูปที่ 4.4 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $f_0 = 4 \text{ kHz}$



รูปที่ 4.5 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $f_0 = 4 \text{ kHz}$

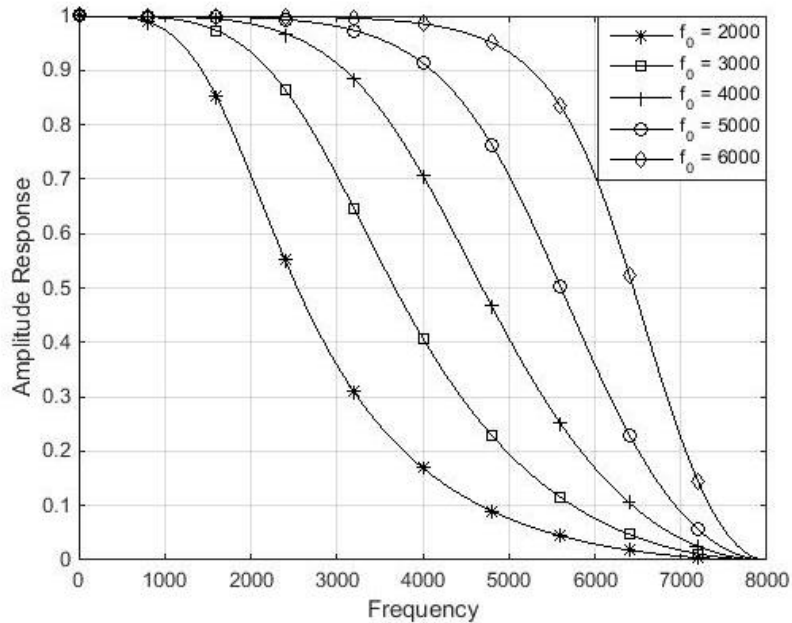


รูปที่ 4.6 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $f_0 = 4 \text{ kHz}$

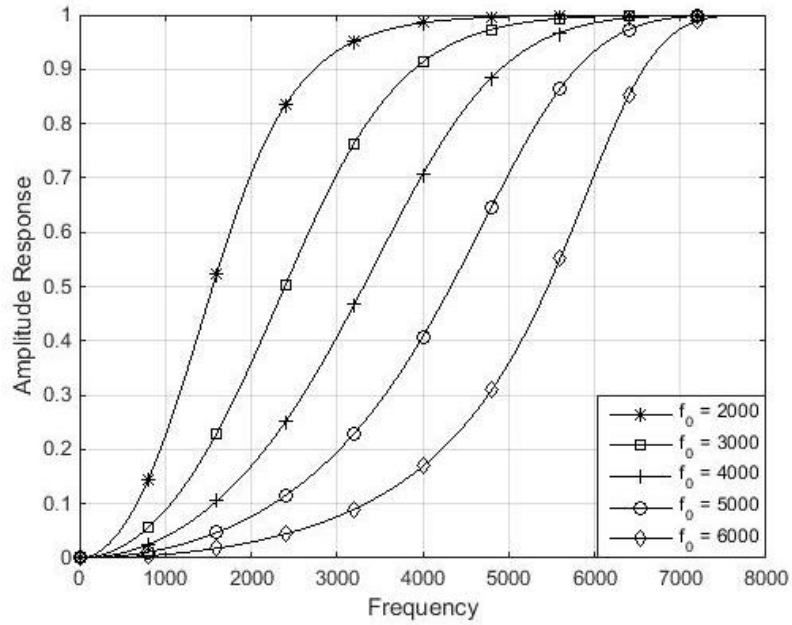


รูปที่ 4.7 ผลตอบสนองทางเฟสของวงจรความถี่ผ่านทั้งหมด เมื่อ $f_0 = 4 \text{ kHz}$

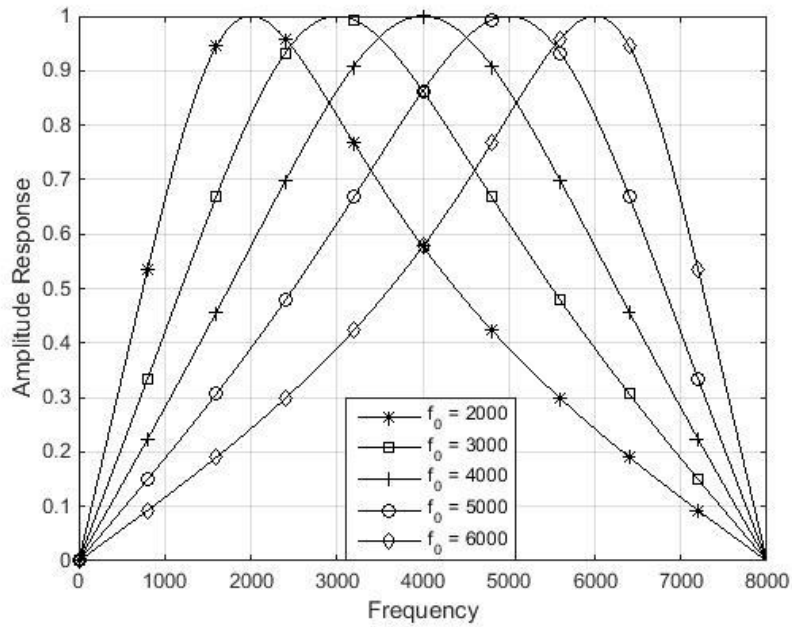
เมื่อทำการออกแบบโดยการกำหนดค่า $Q = 0.7071$ แล้วทำการปรับค่า f_0 จะได้ผลตอบสนองทางขนาดของวงจรสัญญาณต่างๆดังรูปที่ 4.8 – 4.11 ส่วนวงจรกรองสัญญาณแถบผ่านทั้งหมดจะแสดงในรูปผลตอบสนองทางเฟสดังรูปที่ 4.12



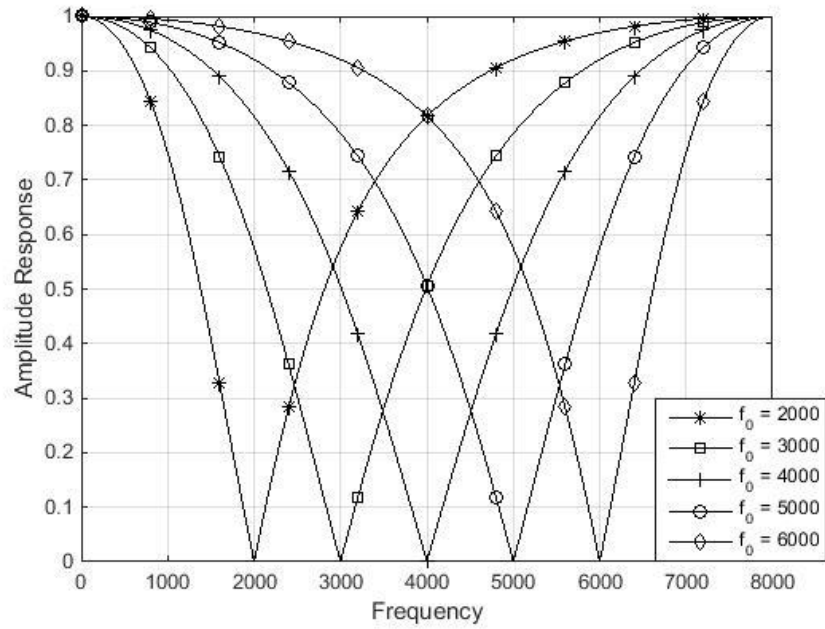
รูปที่ 4.8 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $Q = 0.7071$



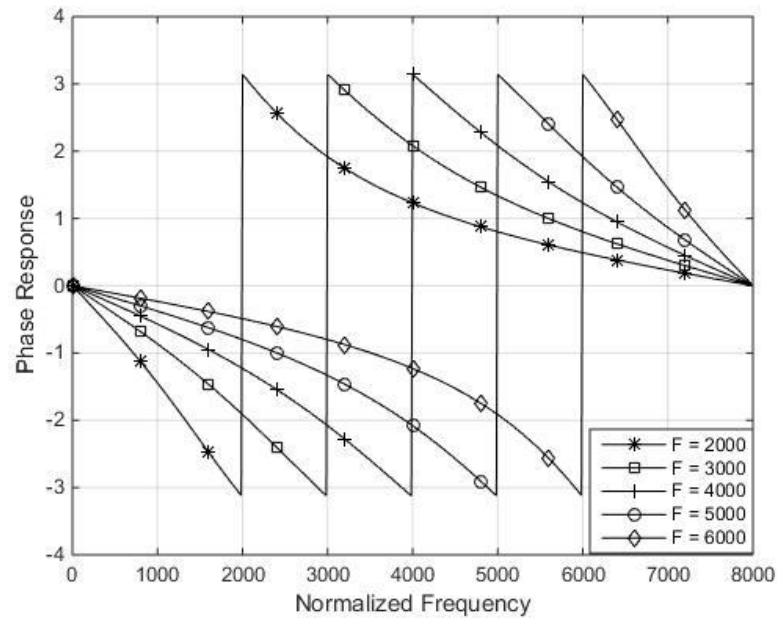
รูปที่ 4.9 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $Q = 0.7071$



รูปที่ 4.10 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $Q = 0.7071$



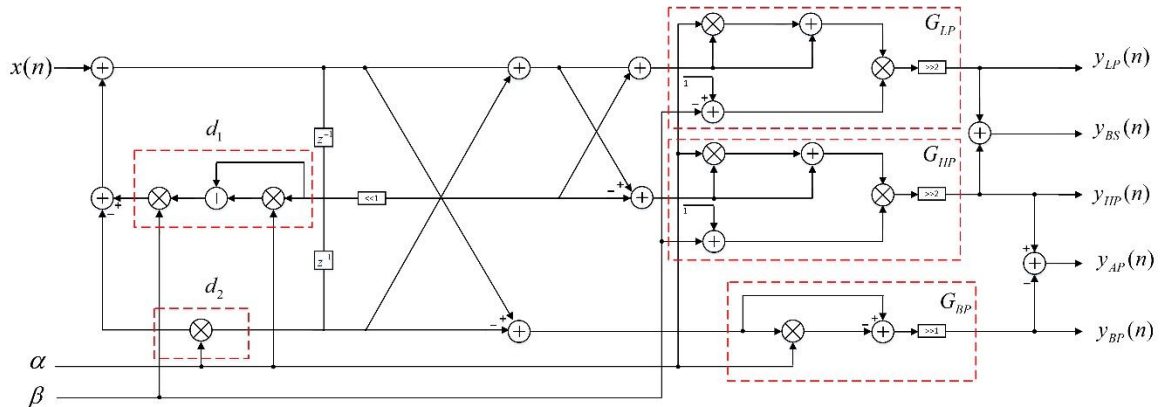
รูปที่ 4.11 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด $Q = 0.7071$



รูปที่ 4.12 ผลตอบสนองทางเฟสของวงจรกรองสัญญาณความถี่ผ่านทั้งหมด $Q = 0.7071$

4.3 ผลการออกแบบและจำลองการทำงานในส่วนความสามารถในการปรับจูนของ วงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกหลายเอาต์พุต

จากรูปที่ 4.13 เป็นโครงสร้างที่นำเสนอของวงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกหลายเอาต์พุตที่ปรับค่าได้



รูปที่ 4.13 โครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกที่มี 5 เอาต์พุต และสามารถปรับค่าได้

เมื่อเปรียบเทียบกับองค์ประกอบที่ใช้ในการออกแบบของวงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกหลายเอาต์พุตที่ปรับค่าไม่ได้กับวงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกหลายเอาต์พุตที่สามารถปรับค่าได้สามารถสรุปได้ดังตารางที่ 4.1

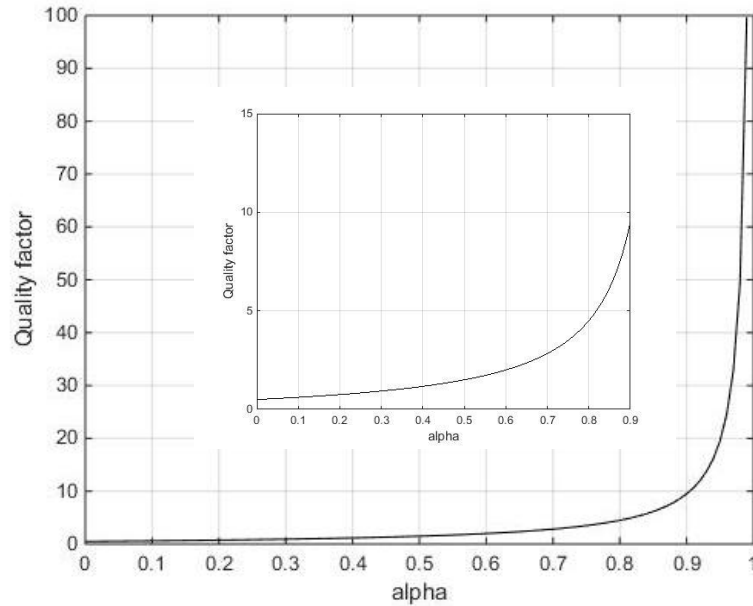
ตารางที่ 4.1 องค์ประกอบที่ใช้ในการออกแบบวงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกหลายเอาต์พุต

| องค์ประกอบ | วงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกหลายเอาต์พุต | วงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกหลายเอาต์พุตที่ปรับค่าได้ |
|------------|---|--|
| ตัวคูณ | 8 | 12 |
| ตัวบวก | 6 | 14 |
| ตัวหน่วง | 2 | 2 |

จากตารางจะเห็นได้ว่าวงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกที่นำเสนอในวิทยานิพนธ์นี้มีความซับซ้อนในการคำนวณที่เพิ่มขึ้นก็เพื่อแลกมาด้วยความสามารถในการปรับจูนเพื่อให้เกิดความยืดหยุ่นในการใช้งานโดยไม่ต้องไปทำการคำนวณค่าสัมประสิทธิ์ใหม่ทุกครั้งที่ต้องการเปลี่ยนการออกแบบที่สามารถปรับเปลี่ยนได้แบบออนไลน์ในขณะที่ทำงาน

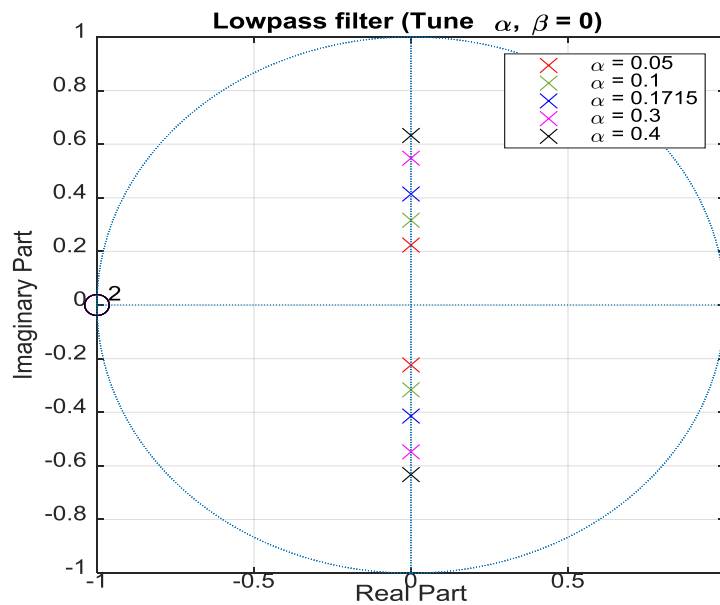
โครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบโคควอดเรติกที่นำเสนอในวิทยานิพนธ์นี้แสดงดังรูปที่ 4.1 ซึ่งสามารถปรับแต่งคุณลักษณะของวงจรได้จากพารามิเตอร์ 2 ตัว คือ α และ β ซึ่งค่า α ใช้สำหรับ

ปรับค่าแบนด์วิธ ส่วน β ใช้สำหรับปรับค่าความถี่กลาง สามารถสรุปความสัมพันธ์ได้ดังรูปที่ 4.14 และ 4.20

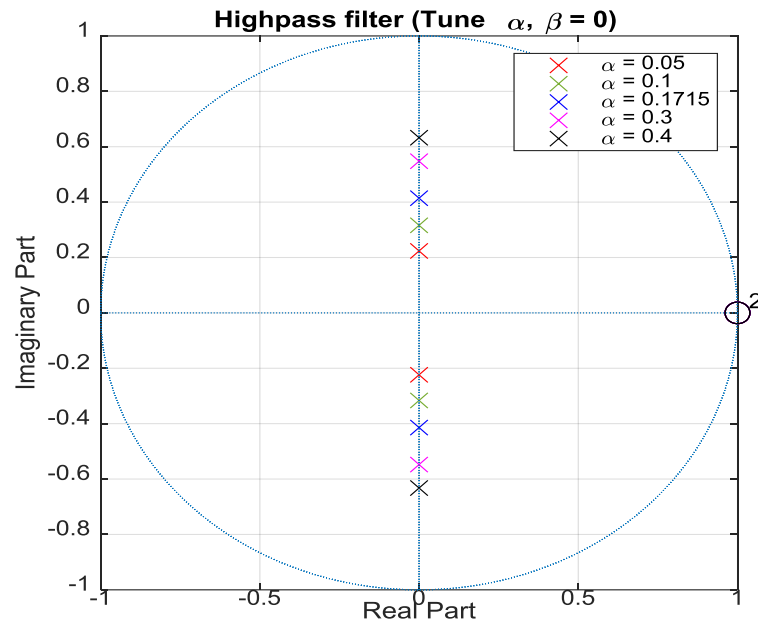


รูปที่ 4.14 กราฟแสดงความสัมพันธ์ของ α กับ quality factor

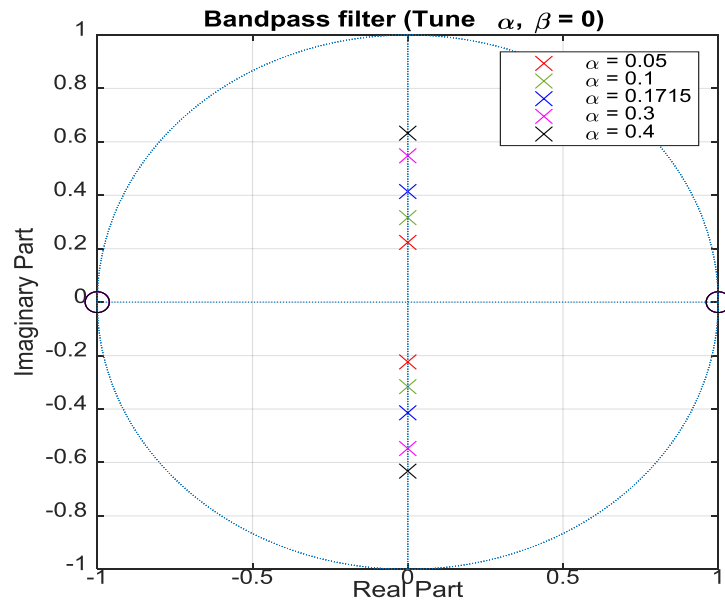
เมื่อนำความสัมพันธ์ของ α กับ quality factor แสดงบนระนาบ z-plan สามารถแสดงได้ดังรูปที่ 4.15 -4.19



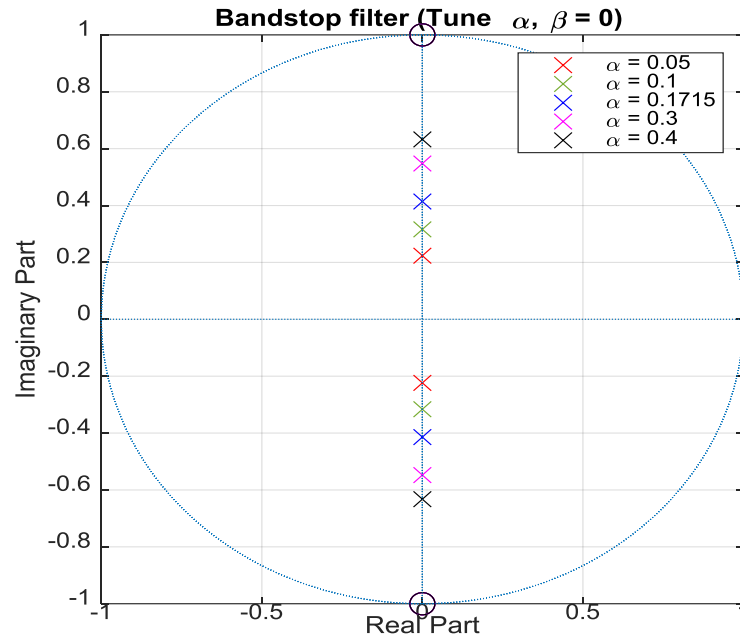
รูปที่ 4.15 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$



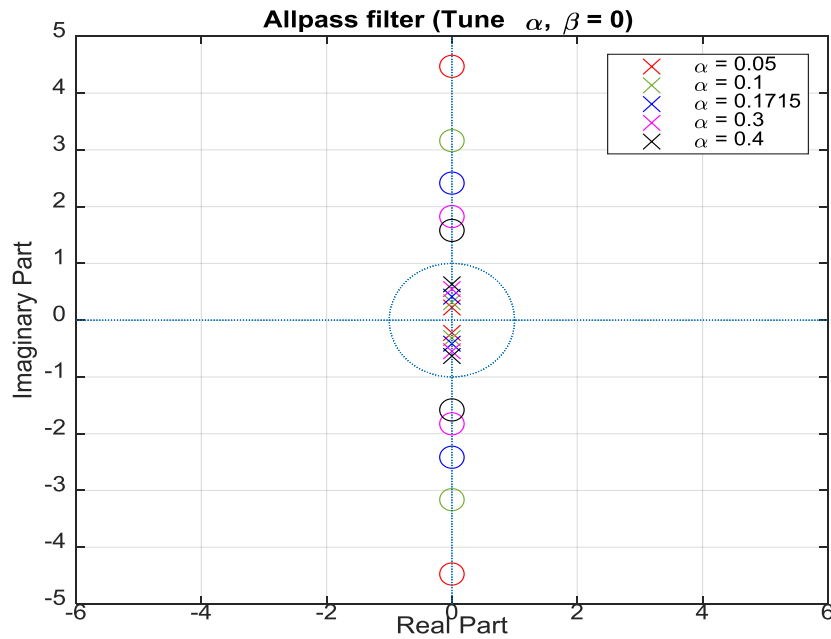
รูปที่ 4.16 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$



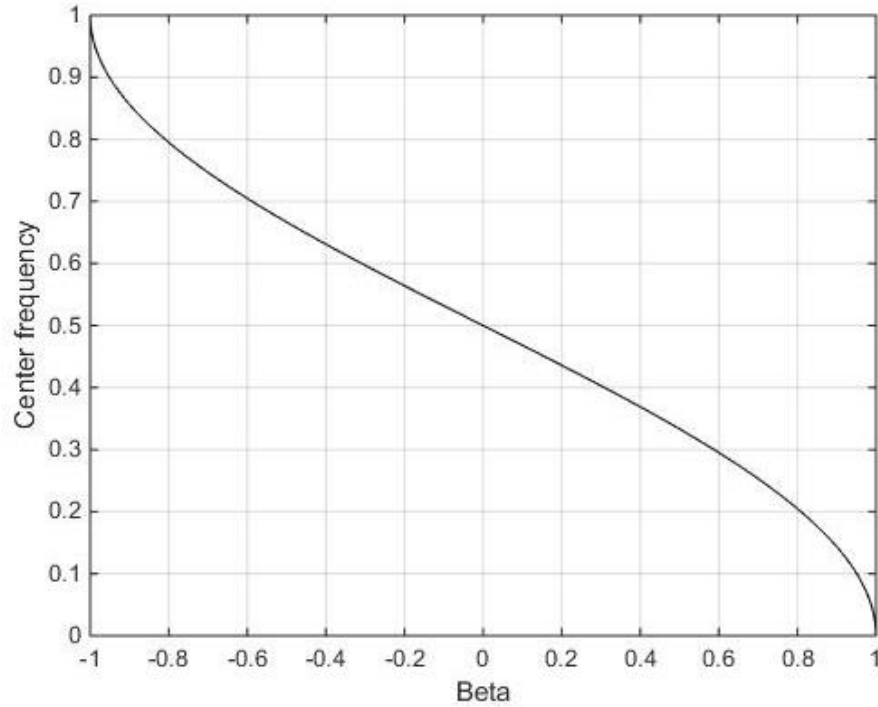
รูปที่ 4.17 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$



รูปที่ 4.18 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$

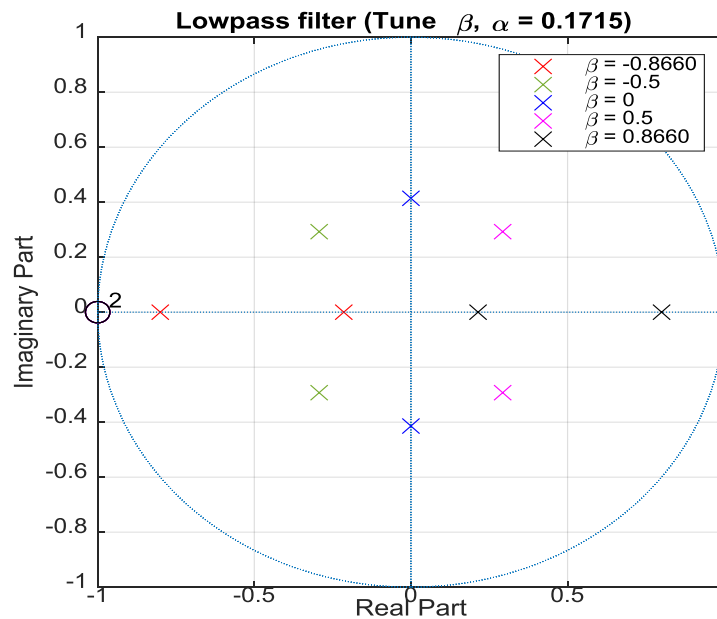


รูปที่ 4.19 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่ผ่านทั้งหมด เมื่อ $\beta = 0$

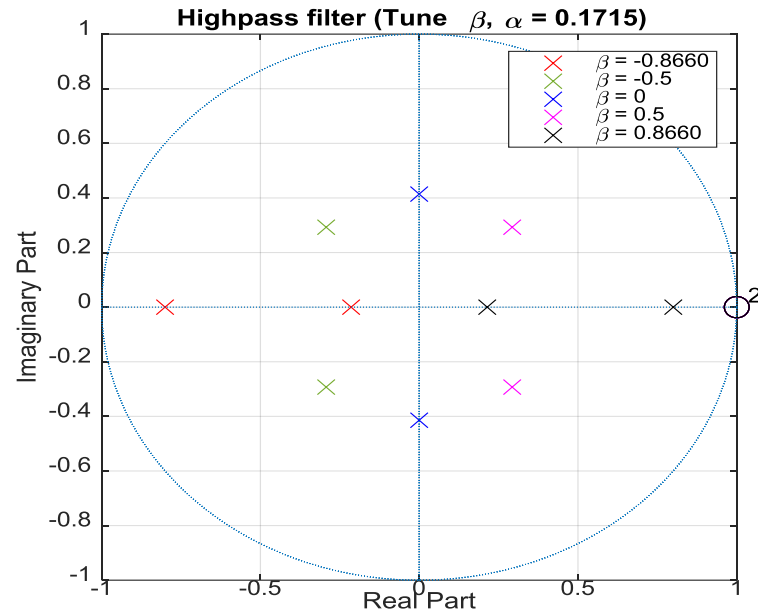


รูปที่ 4.20 กราฟแสดงความสัมพันธ์ของ β กับ center frequency

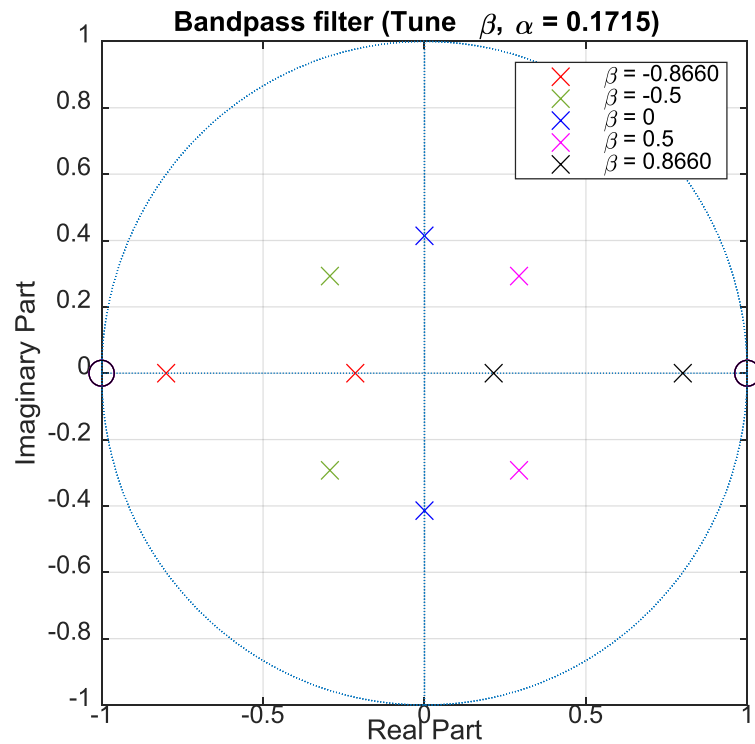
เมื่อนำความสัมพันธ์ของ β กับ center frequency แสดงบนระนาบ z-plan สามารถแสดงได้ ดังรูปที่ 4.21 -4.25



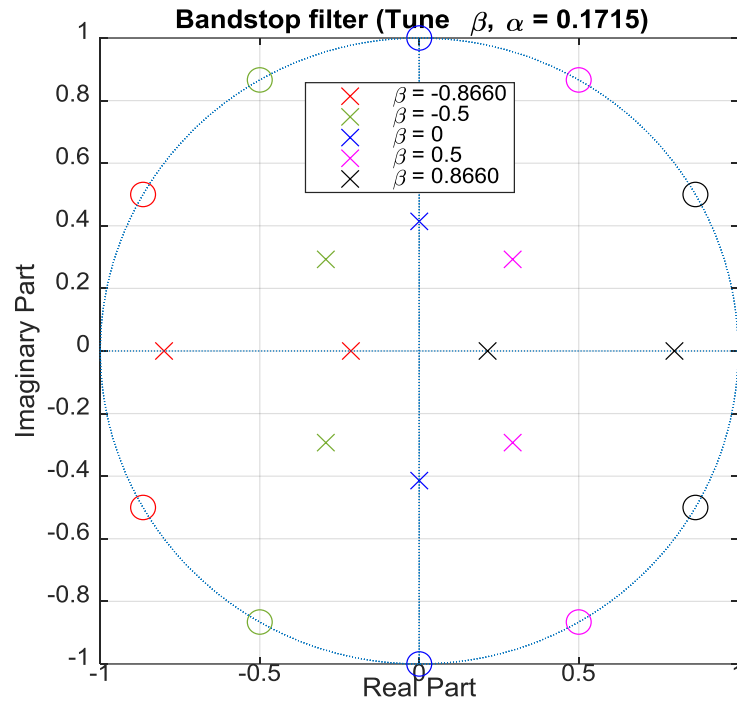
รูปที่ 4.21 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$



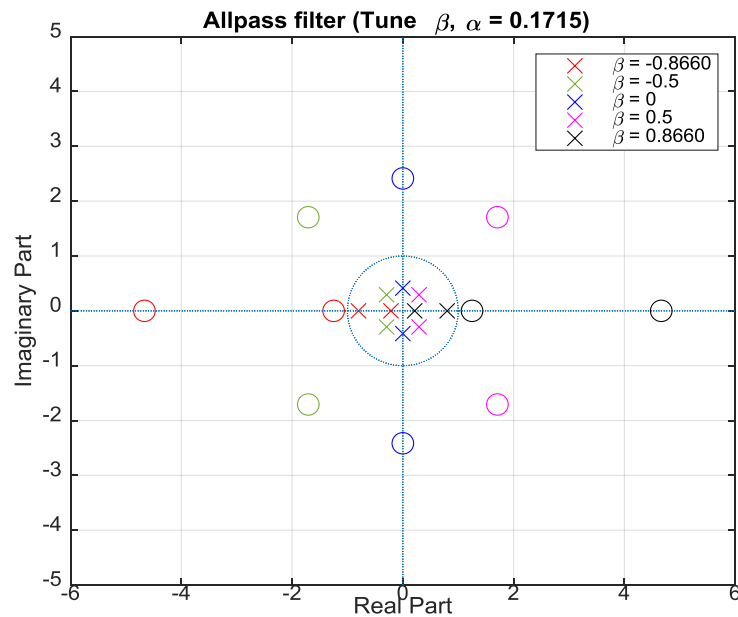
รูปที่ 4.22 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$



รูปที่ 4.23 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$

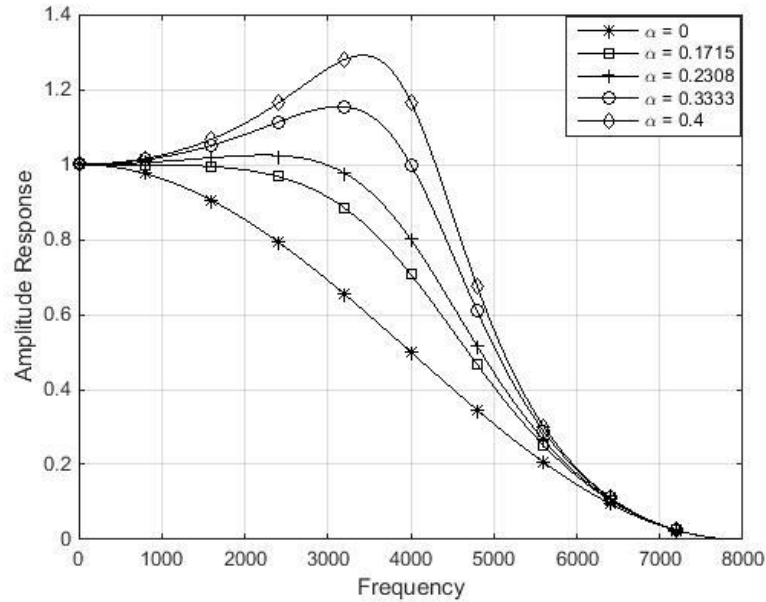


รูปที่ 4.24 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$

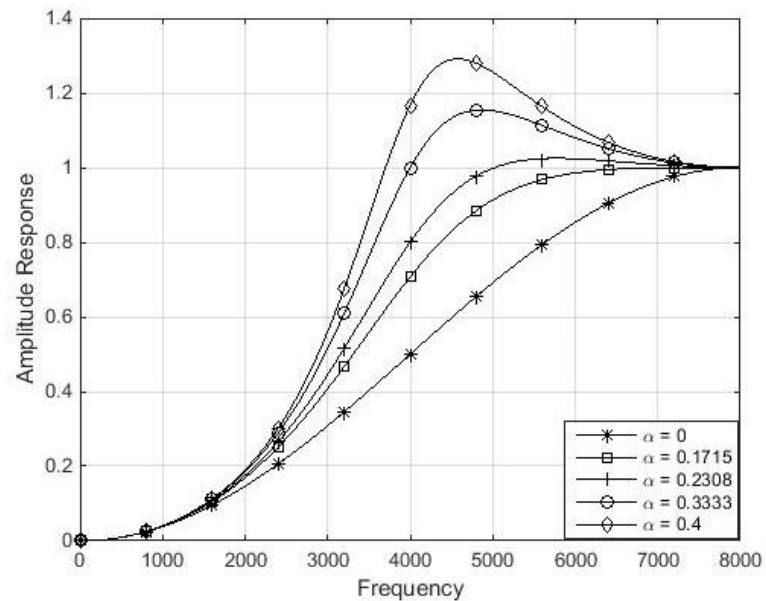


รูปที่ 4.25 กราฟโพลซีโรบนระนาบ z-plan ของวงจรกรองสัญญาณความถี่ผ่านทั้งหมด เมื่อ $\alpha = 0.1715$

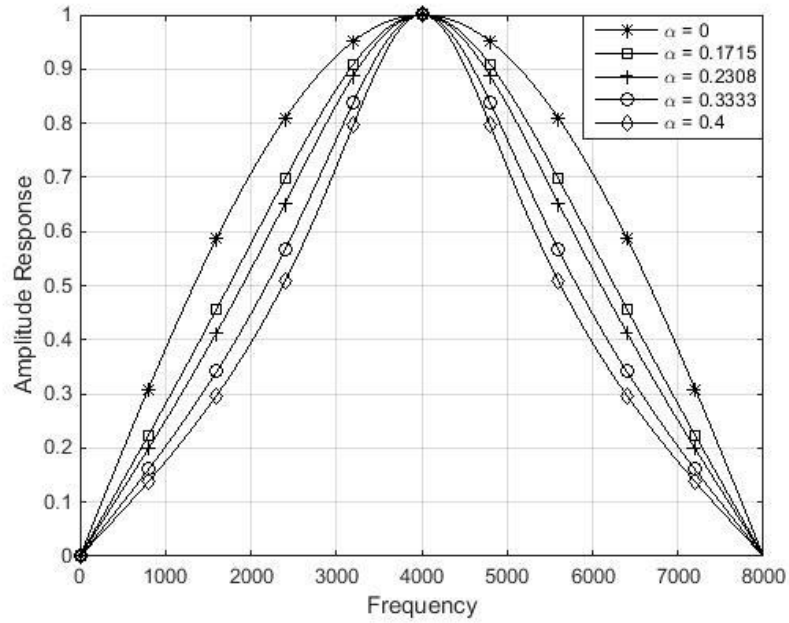
เมื่อทำการออกแบบโดยการกำหนดค่า $\beta = 0$ แล้วทำการปรับค่า α จะได้ผลตอบสนองทางขนาดของวงจรรองสัญญาณต่างๆดังรูปที่ 4.26 – 4.29 ส่วนวงจรรองสัญญาณแถบผ่านทั้งหมดจะแสดงในรูปผลตอบสนองทางเฟสดังรูปที่ 4.30



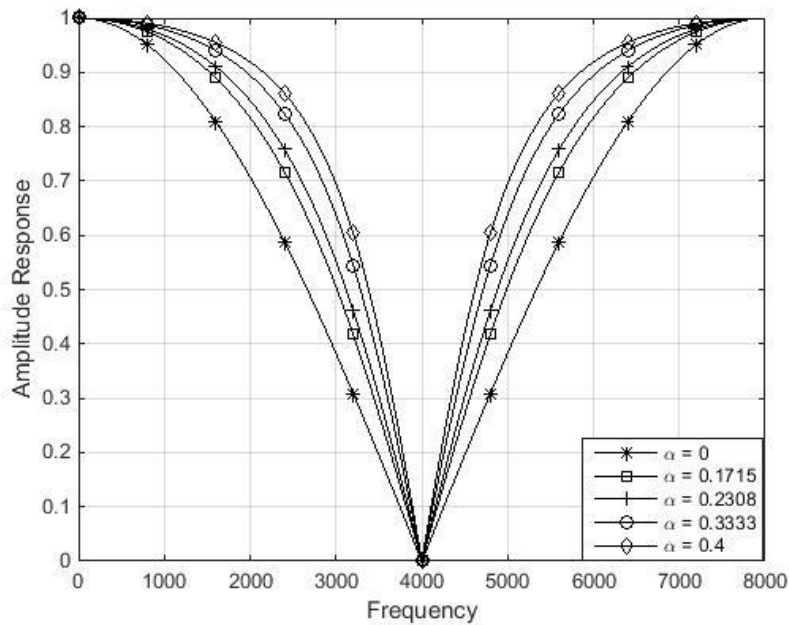
รูปที่ 4.26 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$



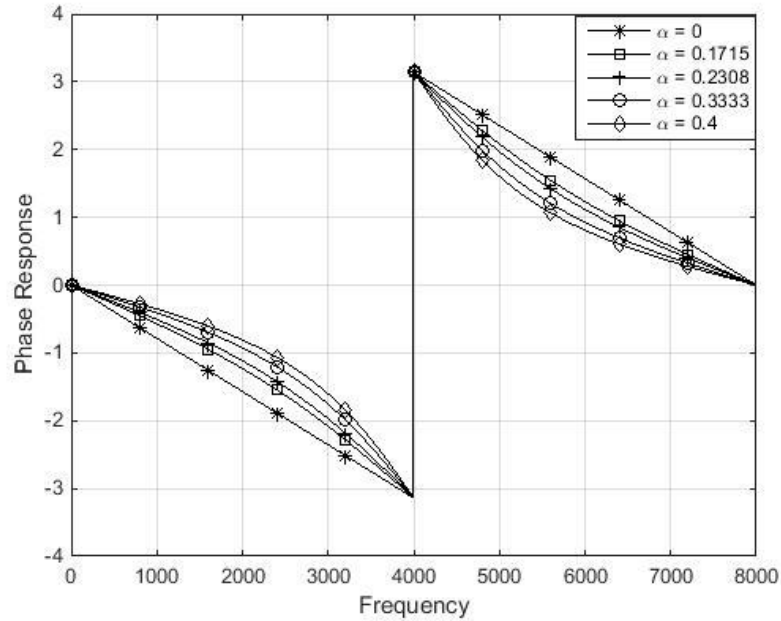
รูปที่ 4.27 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$



รูปที่ 4.28 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$

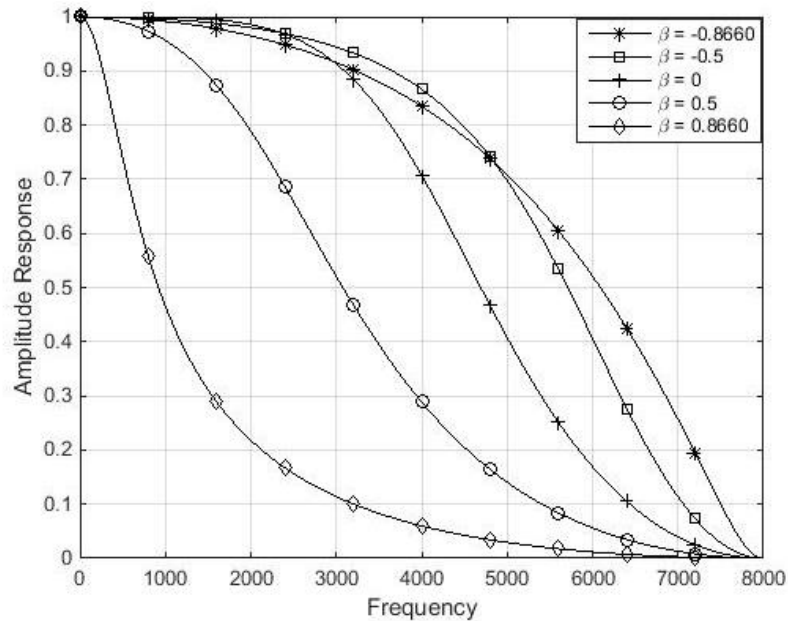


รูปที่ 4.29 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$

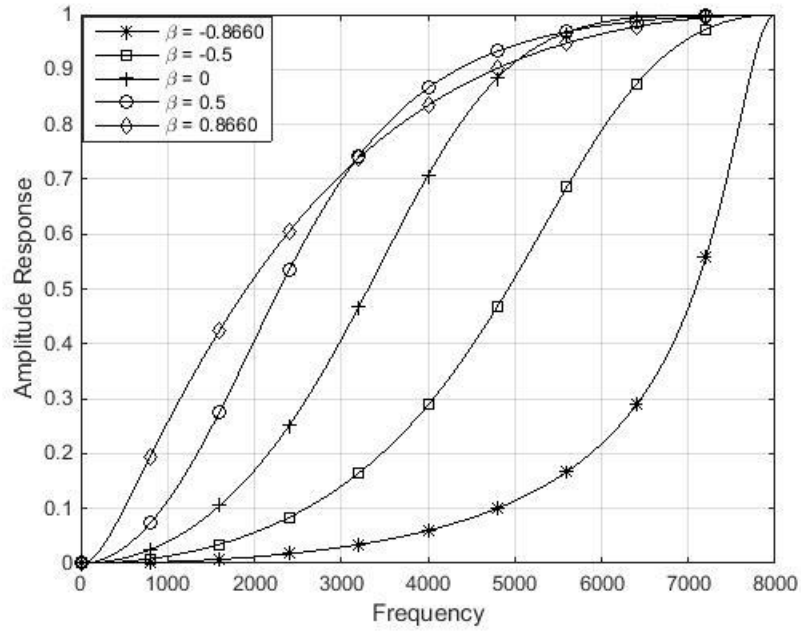


รูปที่ 4.30 ผลตอบสนองทางเฟสของวงจรรองสัญญาณความถี่ผ่านทั้งหมด เมื่อ $\beta = 0$

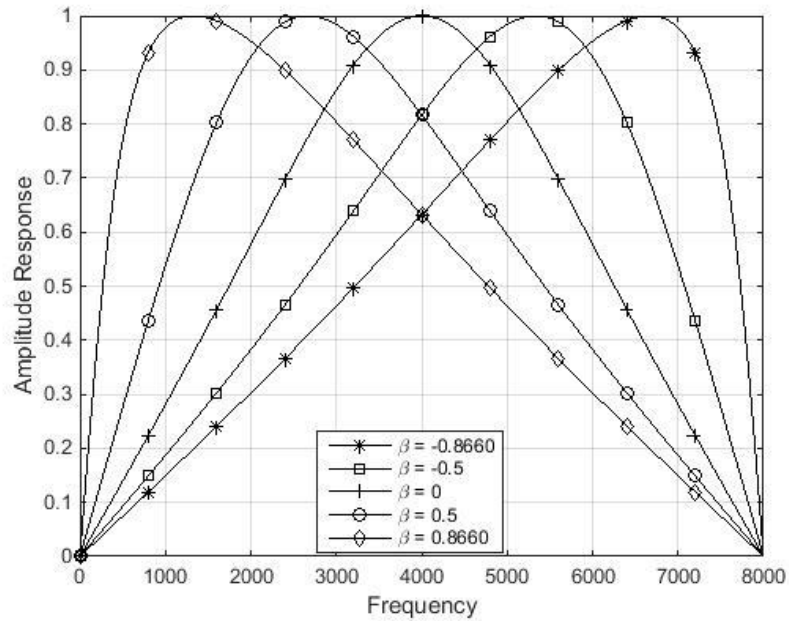
เมื่อทำการออกแบบโดยการกำหนดค่า $\alpha = 0.1715$ แล้วทำการปรับค่า β จะได้ผลตอบสนองทางขนาดของวงจรรองสัญญาณต่างๆดังรูปที่ 4.31 – 4.34 ส่วนวงจรรองสัญญาณแถบผ่านทั้งหมดจะแสดงในรูปผลตอบสนองทางเฟสดังรูปที่ 4.35



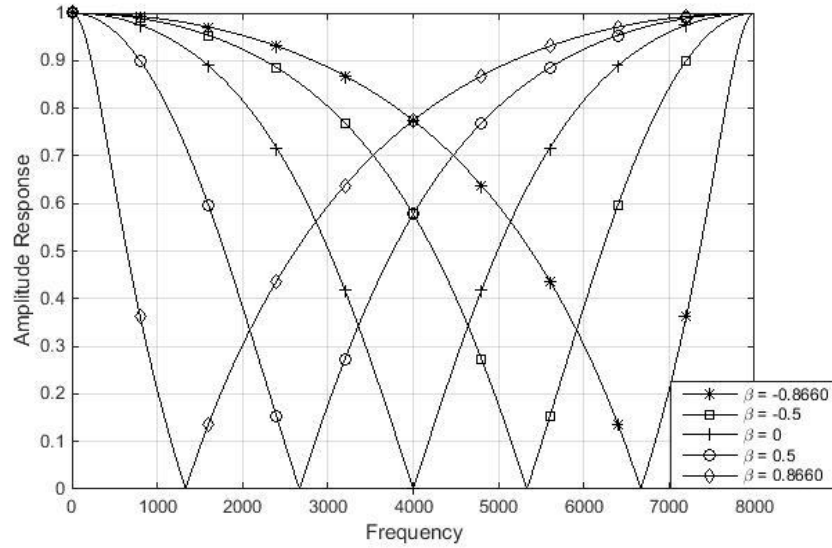
รูปที่ 4.31 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$



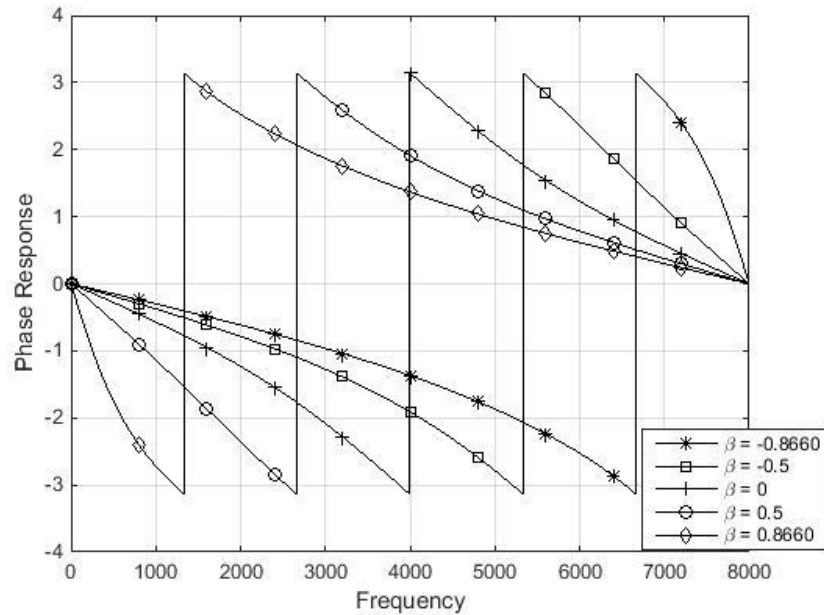
รูปที่ 4.32 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$



รูปที่ 4.33 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$

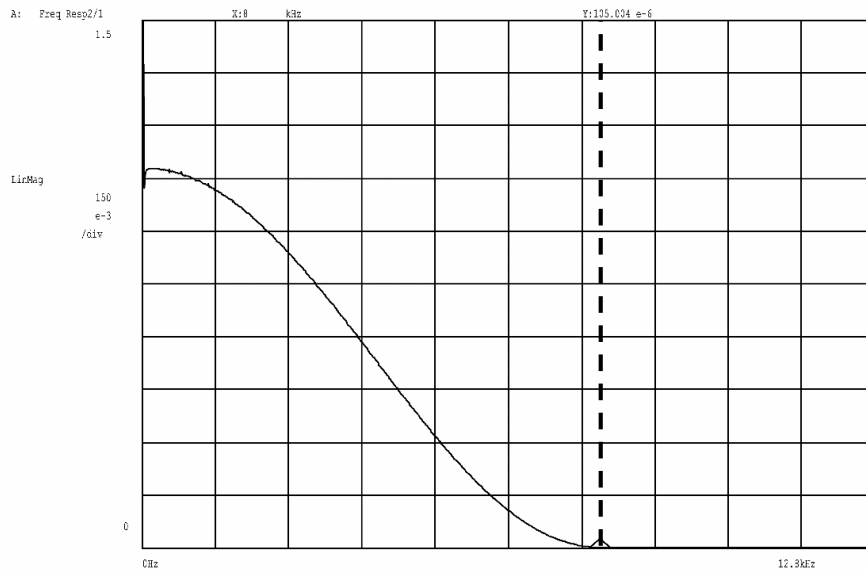


รูปที่ 4.34 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$



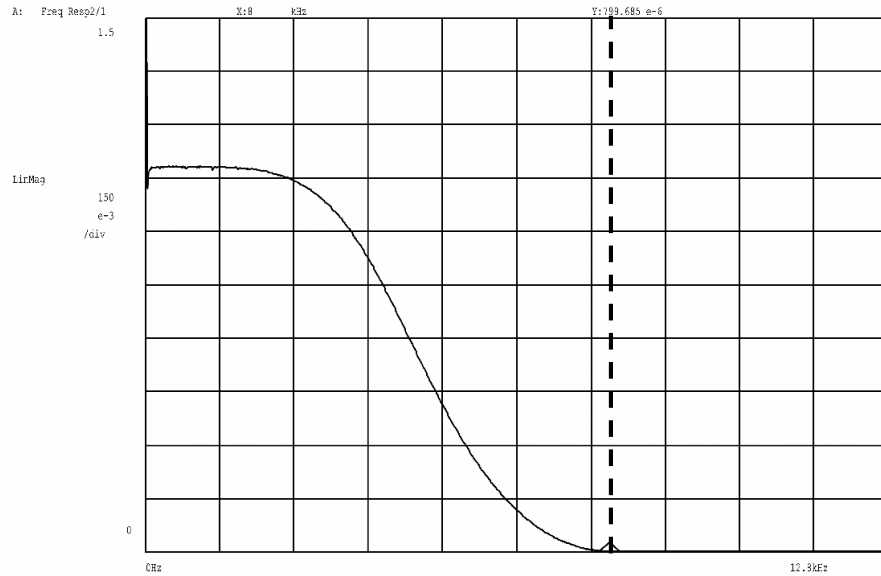
รูปที่ 4.35 ผลตอบสนองทางเฟสของวงจรกรองสัญญาณความถี่ผ่านทั้งหมด เมื่อ $\alpha = 0.1715$

ผลการทำ Hardware Implementation เมื่อนำโครงสร้างของวงจรกรองสัญญาณดิจิทัลไปควอดแดรตติกหลายเอาต์พุตไปสร้างลงบน Microprocessor ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board เมื่อทำการปรับค่า $\alpha = 0, 0.1715, 0.2308, 0.3333$ และ 0.4 โดยใช้ค่า $\beta = 0$ ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่าน สามารถแสดงได้ดังรูปที่ 4.36 – 4.40 โดยพิจารณาถึงความถี่ที่ 8 kHz เพราะในการทดลองนี้ใช้ค่า $F_s = 16 \text{ kHz}$ แต่กราฟจะโชว์ถึง 12.8 kHz เนื่องจาก Dynamic Signal Analyzer ปรับค่าการอ่านได้ในช่วง 12.8 kHz



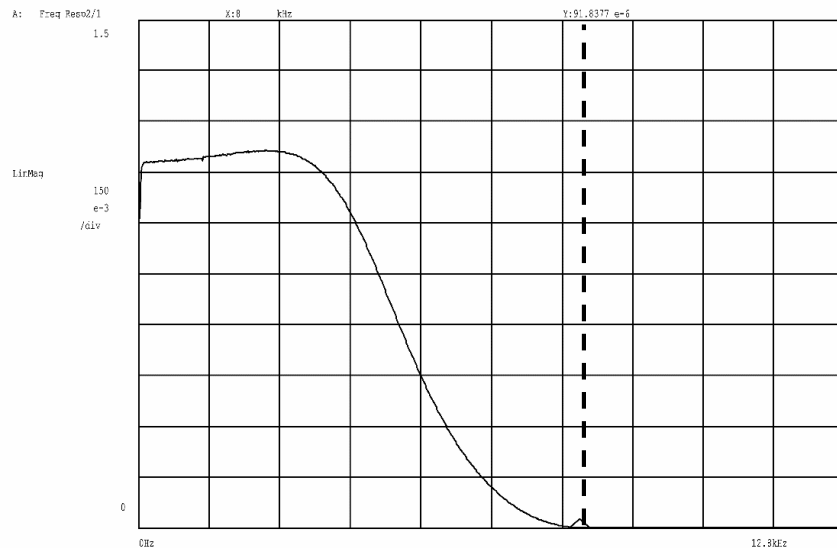
รูปที่ 4.36 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0$

จากรูปที่ 4.36 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.5



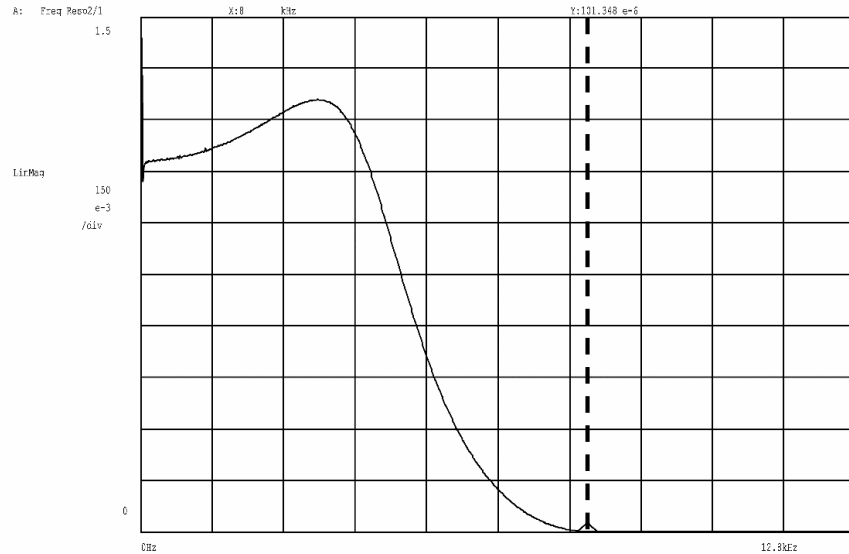
รูปที่ 4.37 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$

จากรูปที่ 4.37 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.1715$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.707



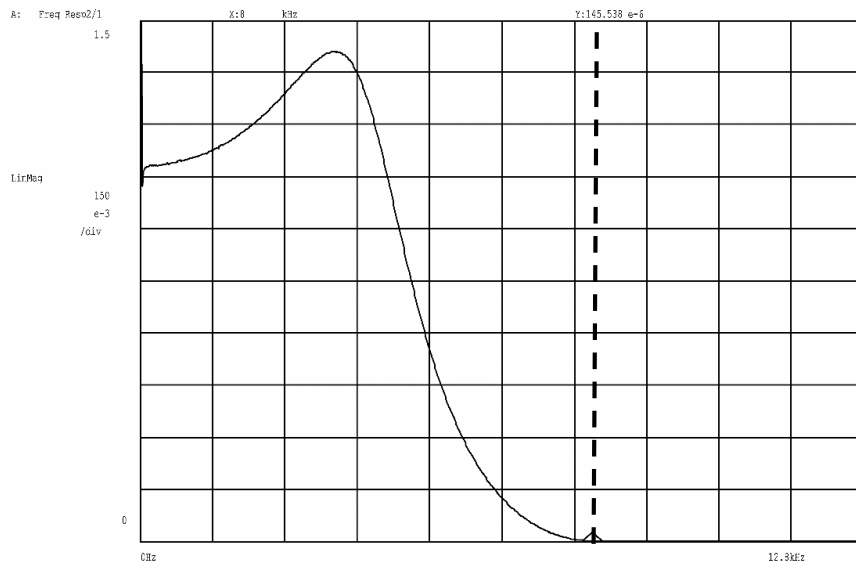
รูปที่ 4.38 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.2308$

จากรูปที่ 4.38 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.1715$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.8001



รูปที่ 4.39 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.3333$

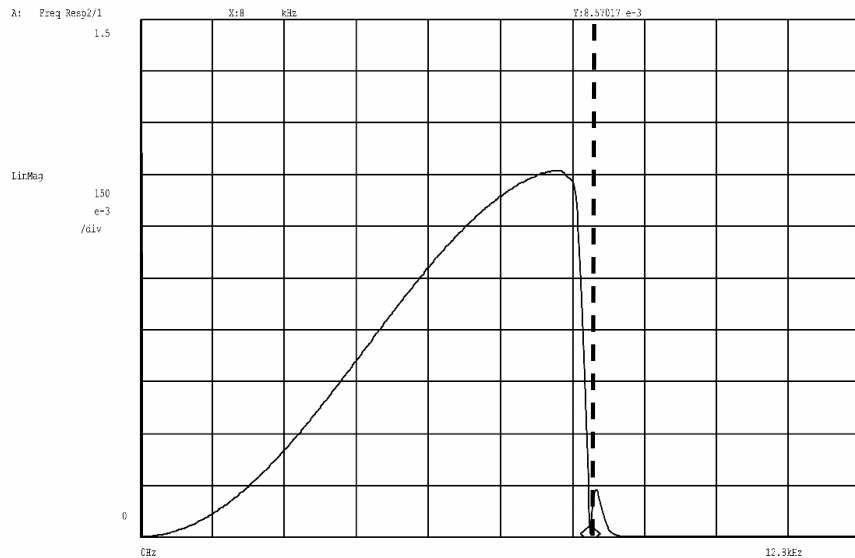
จากรูปที่ 4.39 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.3333$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.9999



รูปที่ 4.40 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.4$

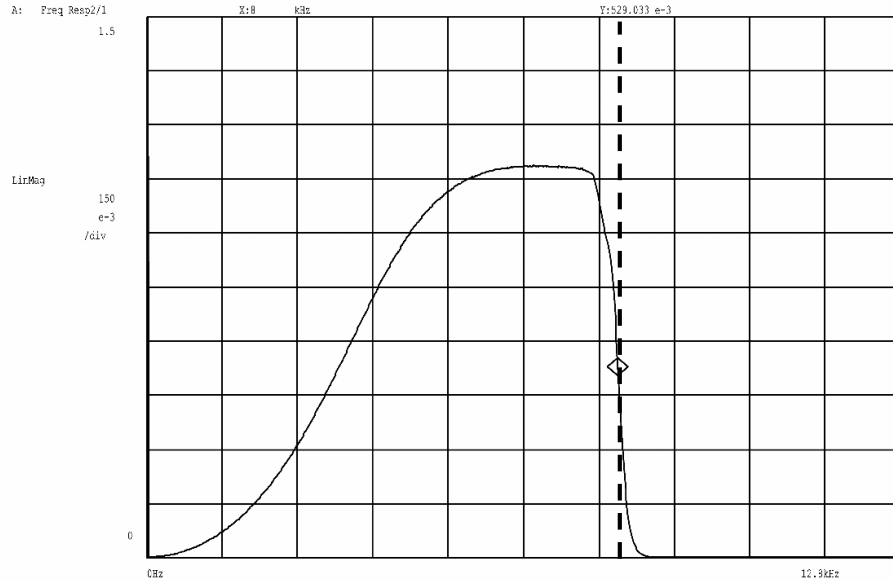
จากรูปที่ 4.40 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.4$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 1.1667

ผลการทำ Hardware Implementation เมื่อนำโครงสร้างของวงจรกรองสัญญาณดิจิทัลไปควอดแดรตติกหลายเอาต์พุตไปสร้างลงบน Microprocessor ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board เมื่อทำการปรับค่า $\alpha = 0, 0.1715, 0.2308, 0.3333$ และ 0.4 โดยใช้ค่า $\beta = 0$ ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่สูงผ่าน สามารถแสดงได้ดังรูปที่ 4.41 – 4.45 โดยพิจารณาถึงความถี่ที่ 8 kHz เพราะในการทดลองนี้ใช้ค่า $F_s = 16 \text{ kHz}$ แต่กราฟจะโชว์ถึง 12.8 kHz เนื่องจาก Dynamic Signal Analyzer ปรับค่าการอ่านได้ในช่วง 12.8 kHz



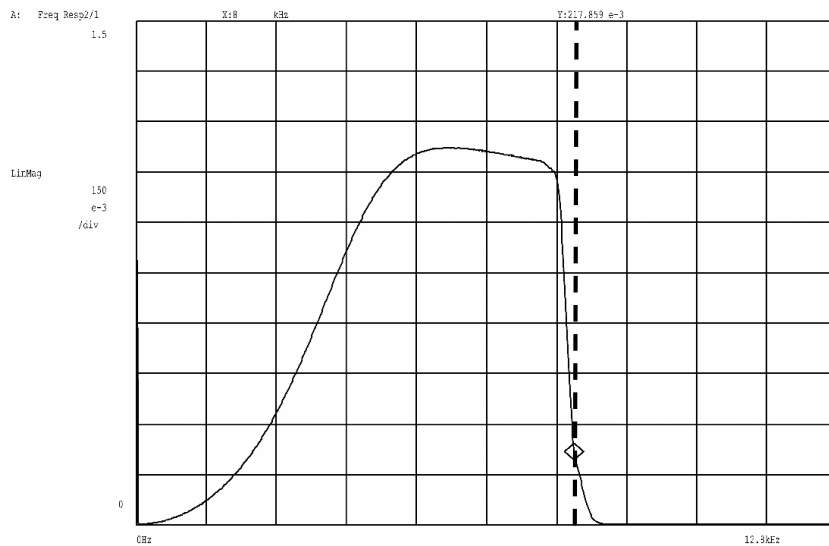
รูปที่ 4.41 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0$

จากรูปที่ 4.41 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.3333$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.5



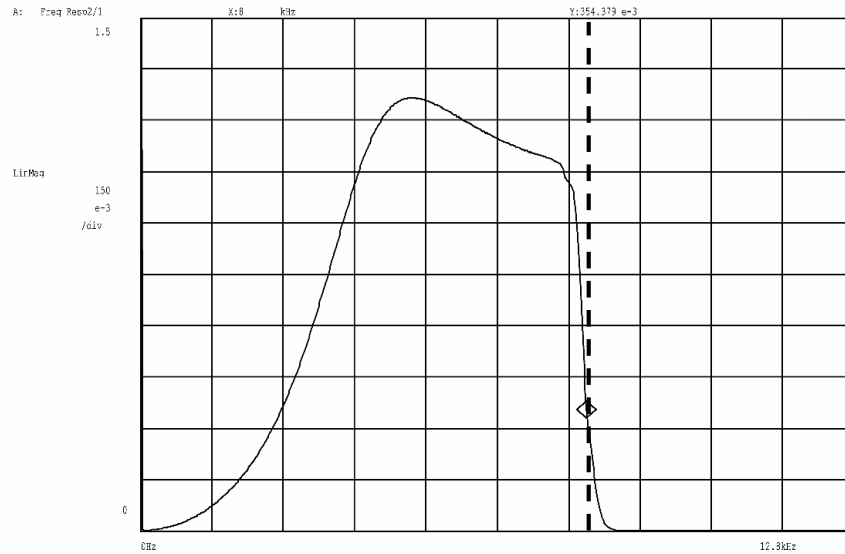
รูปที่ 4.42 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$

จากรูปที่ 4.42 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.1715$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.707



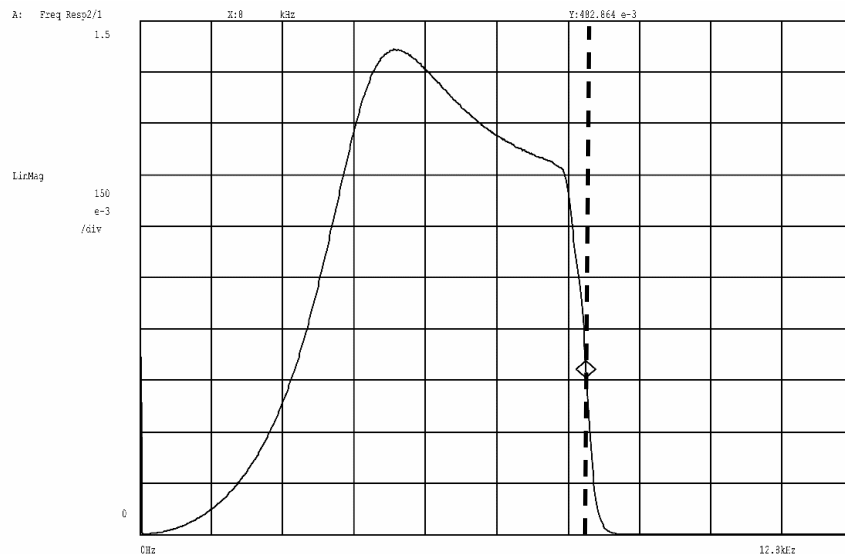
รูปที่ 4.43 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.2308$

จากรูปที่ 4.43 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.2308$ ซึ่งเท่ากับการกำหนดให้ center frequency 0.5 = และ quality factor = 0.8001



รูปที่ 4.44 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.3333$

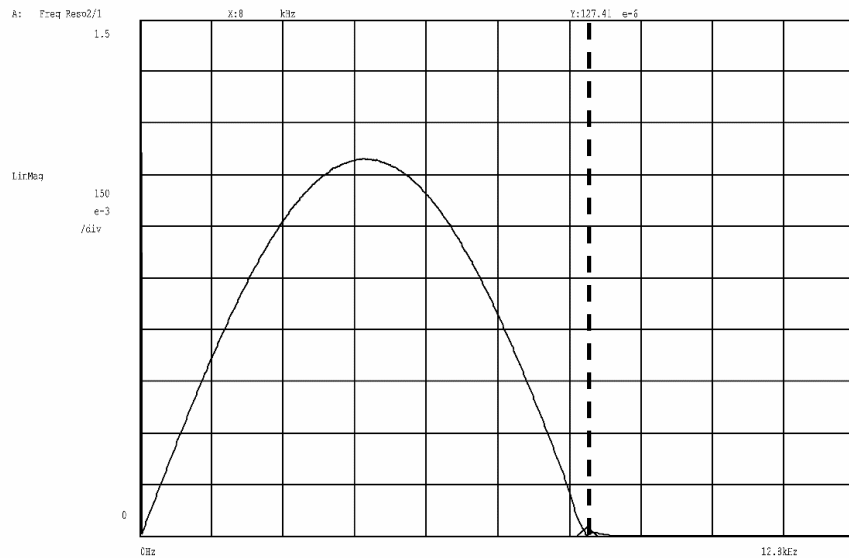
จากรูปที่ 4.44 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.3333$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.9999



รูปที่ 4.45 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.4$

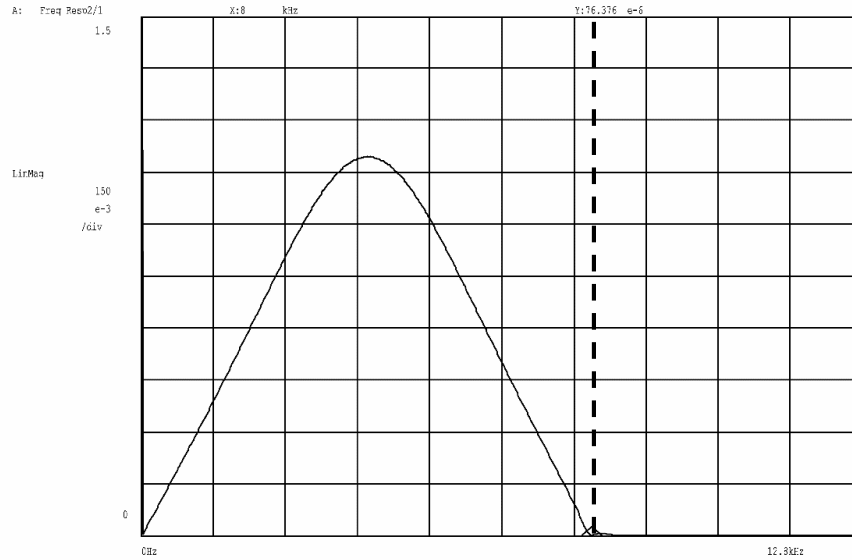
จากรูปที่ 4.45 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.4$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 1.1667

ผลการทำ Hardware Implementation เมื่อนำโครงสร้างของวงจรกรองสัญญาณดิจิทัลไบควอดแดรตติคหลายเอาต์พุตไปสร้างลงบน Microprocessor ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board เมื่อทำการปรับค่า $\alpha = 0, 0.1715, 0.2308, 0.4$ และ 0.95 โดยใช้ค่า $\beta = 0$ ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่แถบผ่านสามารถแสดงได้ดังรูปที่ 4.46 – 4.50 โดยพิจารณาถึงความถี่ที่ 8 kHz เพราะในการทดลองนี้ใช้ค่า $F_s = 16 \text{ kHz}$ แต่กราฟจะโชว์ถึง 12.8 kHz เนื่องจาก Dynamic Signal Analyzer ปรับค่าการอ่านได้ในช่วง 12.8 kHz



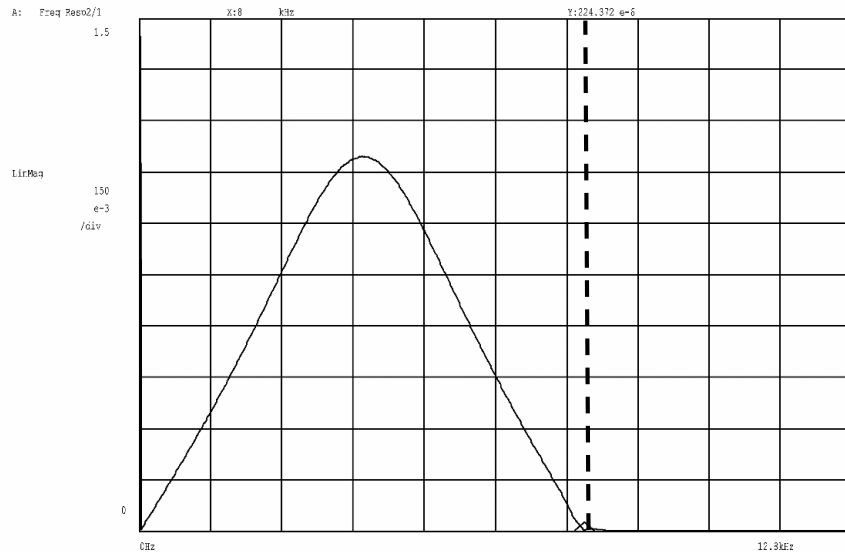
รูปที่ 4.46 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0$

จากรูปที่ 4.46 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.5



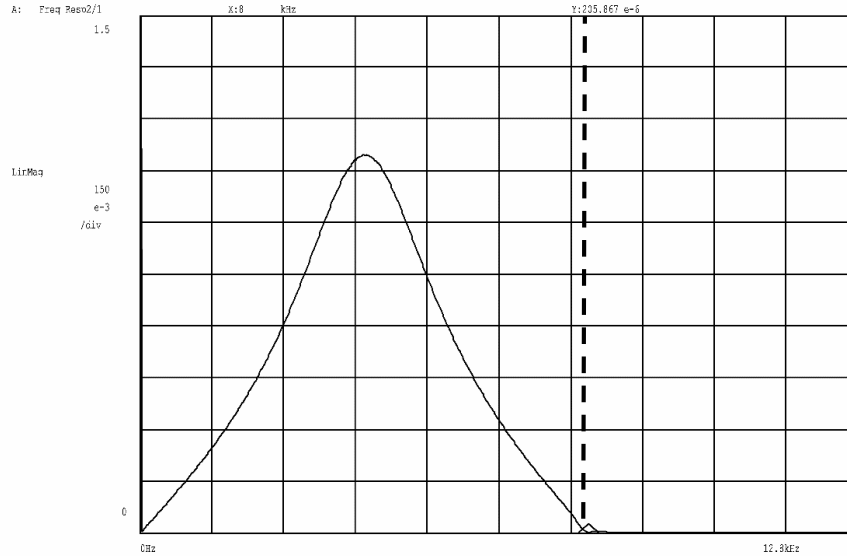
รูปที่ 4.47 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$

จากรูปที่ 4.47 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.1715$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.707



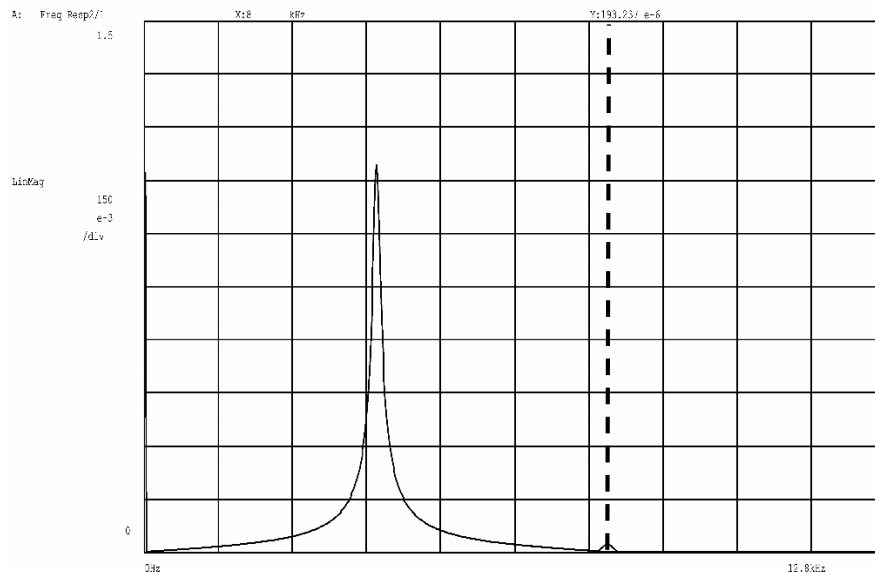
รูปที่ 4.48 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.2308$

จากรูปที่ 4.48 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.2308$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.8001



รูปที่ 4.49 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.4$

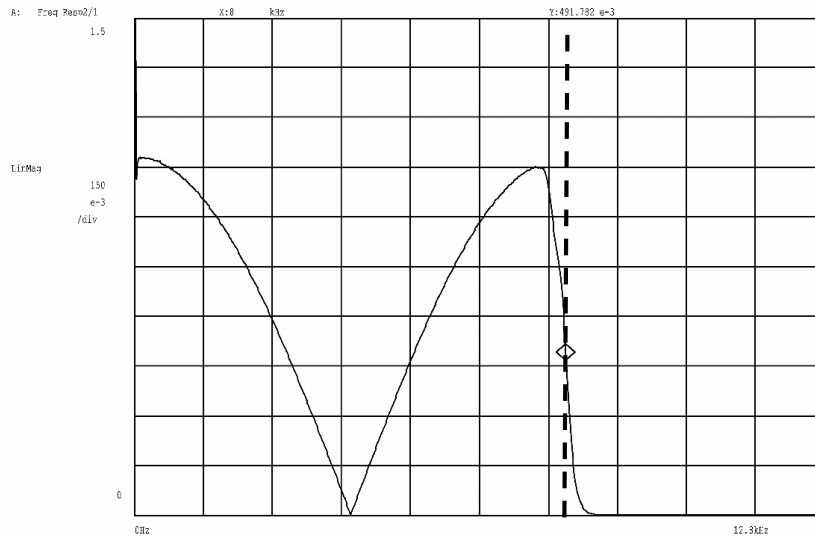
จากรูปที่ 4.49 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.4$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 1.1667



รูปที่ 4.50 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.95$

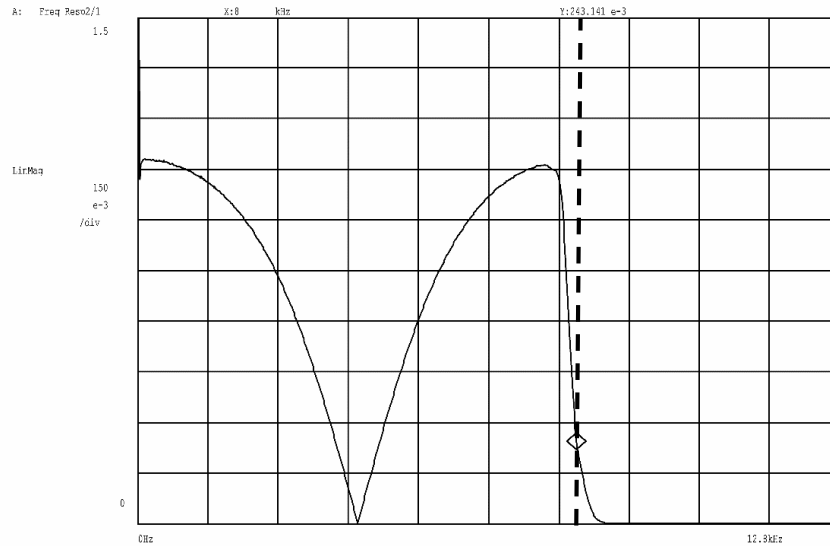
จากรูปที่ 4.50 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$ และ $\alpha = 0.95$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 19.5

ผลการทำ Hardware Implementation เมื่อนำโครงสร้างของวงจรกรองสัญญาณดิจิทัลไบควอดตเรตริกหลายเอาต์พุตไปสร้างลงบน Microprocessor ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board เมื่อทำการปรับค่า $\alpha = 0, 0.1715, 0.2308, 0.4$ และ 0.95 โดยใช้ค่า $\beta = 0$ ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่แถบหยุดผ่านสามารถแสดงได้ดังรูปที่ 4.51 – 4.55 โดยพิจารณาถึงความถี่ที่ 8 kHz เพราะในการทดลองนี้ใช้ค่า $F_s = 16 \text{ kHz}$ แต่กราฟจะโชว์ถึง 12.8 kHz เนื่องจาก Dynamic Signal Analyzer ปรับค่าการอ่านได้ในช่วง 12.8 kHz



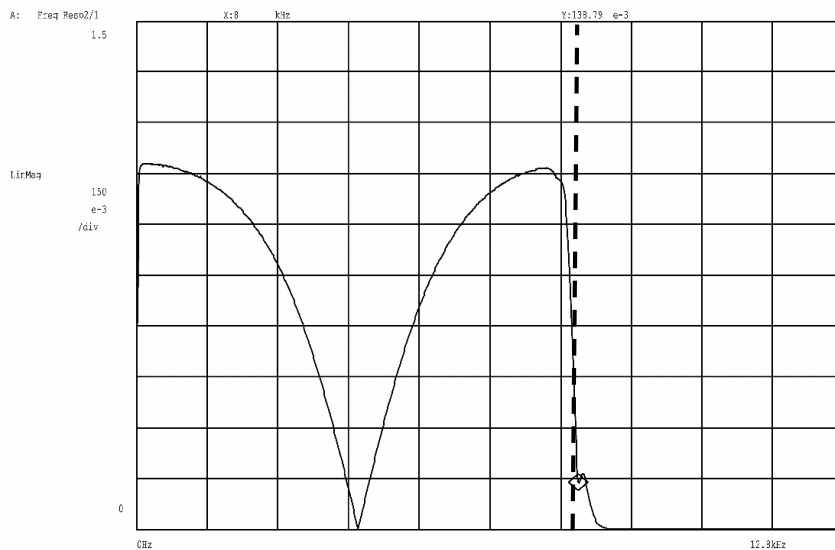
รูปที่ 4.51 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0$

จากรูปที่ 4.51 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$ และ $\alpha = 0$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.5



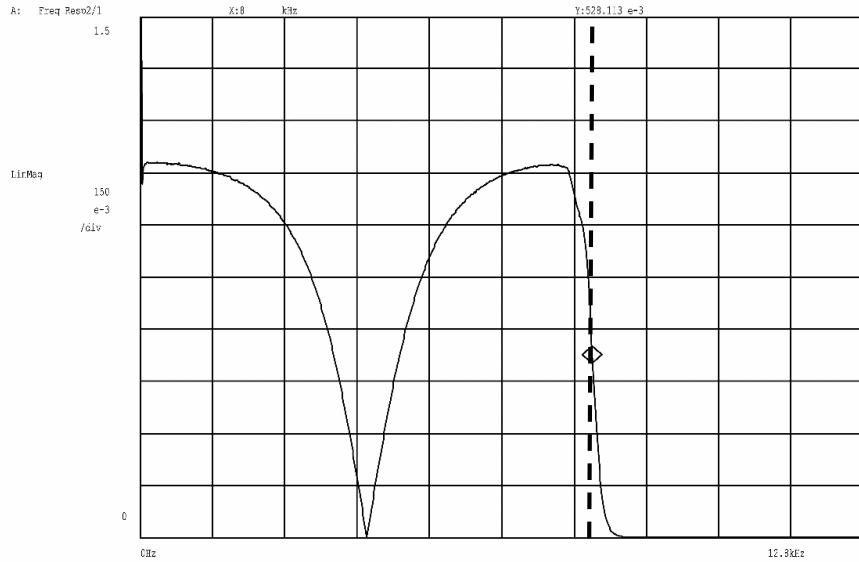
รูปที่ 4.52 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$

จากรูปที่ 4.52 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$ และ $\alpha = 0.1715$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.707



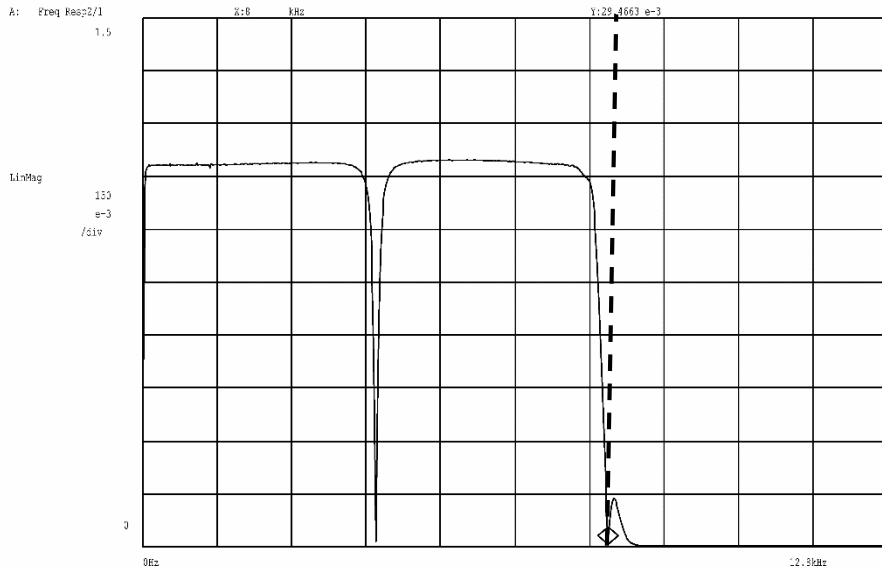
รูปที่ 4.53 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.2308$

จากรูปที่ 4.53 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$ และ $\alpha = 0.2308$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 0.8001



รูปที่ 4.54 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.4$

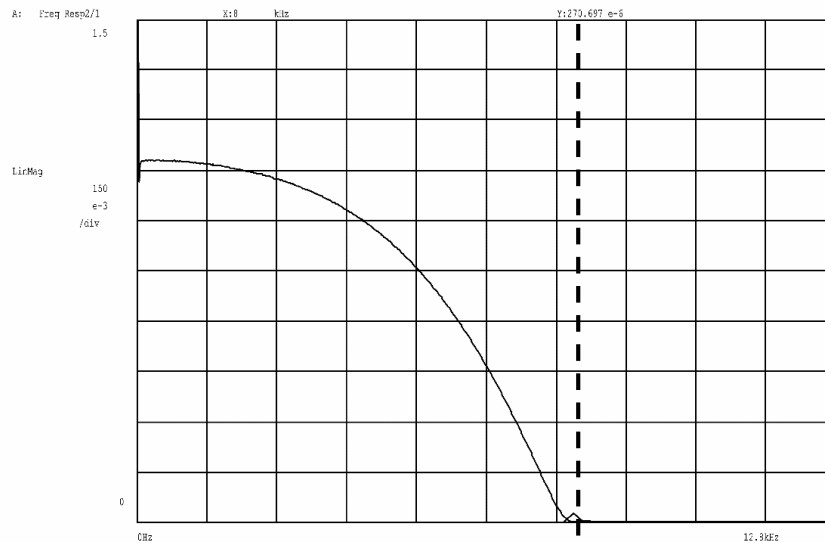
จากรูปที่ 4.54 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$ และ $\alpha = 0.4$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 1.1667



รูปที่ 4.55 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.95$

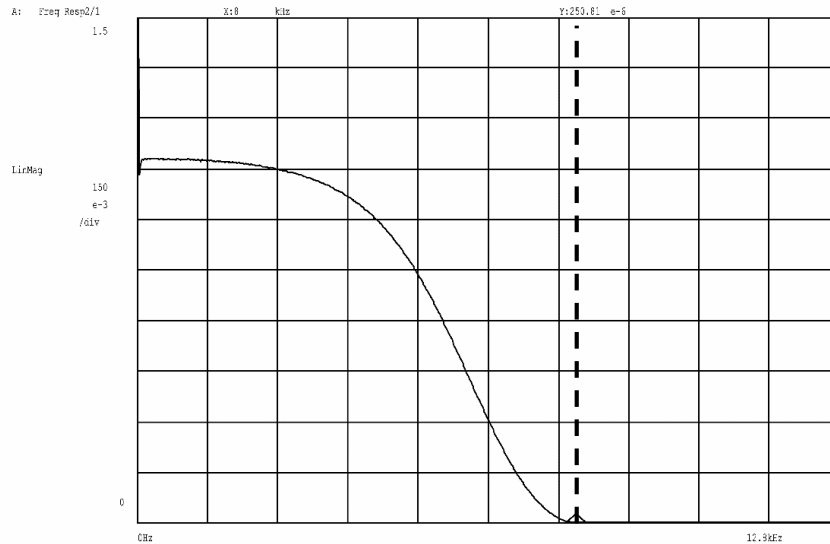
จากรูปที่ 4.55 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$ และ $\alpha = 0.95$ ซึ่งเท่ากับการกำหนดให้ center frequency = 0.5 และ quality factor = 19.5

ผลการทำ Hardware Implementation เมื่อนำโครงสร้างของวงจรกรองสัญญาณดิจิทัลไบควอดแดรตติคหลายเอาต์พุตไปสร้างลงบน Microprocessor ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board เมื่อทำการปรับค่า $\beta = -0.866, -0.5, 0, 0.5$ และ 0.8660 โดยใช้ค่า $\alpha = 0.1715$ ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่านสามารถแสดงได้ดังรูปที่ 4.56 – 4.60 โดยพิจารณาถึงความถี่ที่ 8 kHz เพราะในการทดลองนี้ใช้ค่า $F_s = 16 \text{ kHz}$ แต่กราฟจะโหว้ถึง 12.8 kHz เนื่องจาก Dynamic Signal Analyzer ปรับค่าการอ่านได้ในช่วง 12.8 kHz



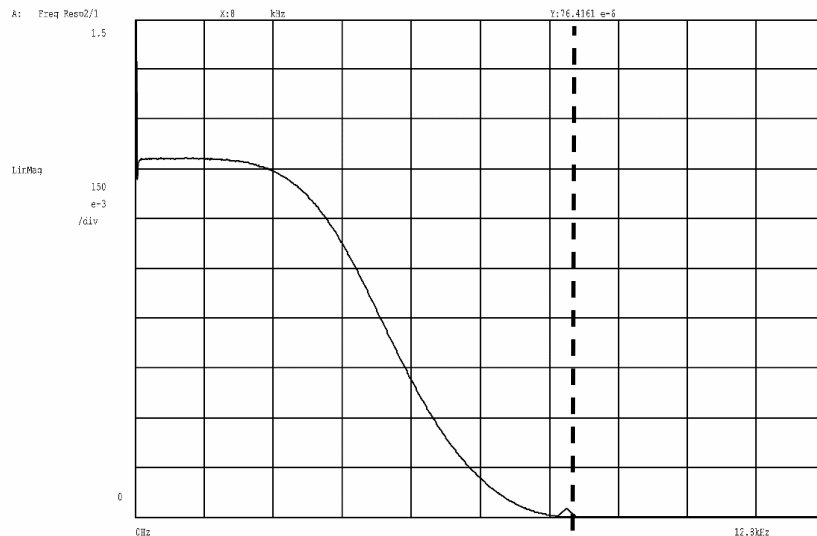
รูปที่ 4.56 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = -0.8660$

จากรูปที่ 4.56 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = -0.8660$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.8333



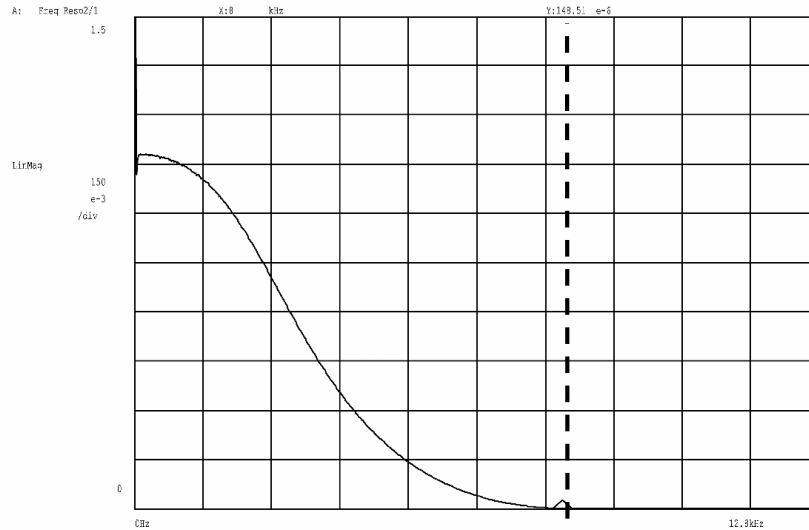
รูปที่ 4.57 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = -0.5$

จากรูปที่ 4.57 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = -0.5$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.6667



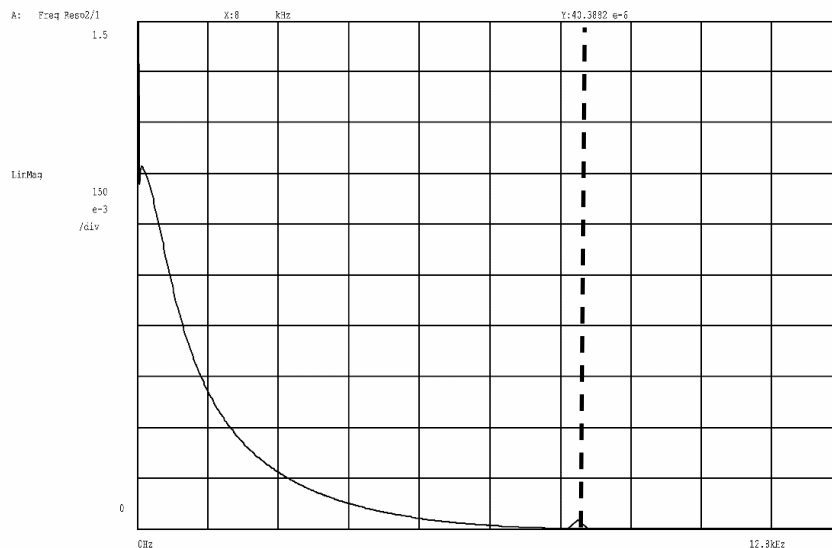
รูปที่ 4.58 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$

จากรูปที่ 4.58 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = 0$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.5



รูปที่ 4.59 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0.5$

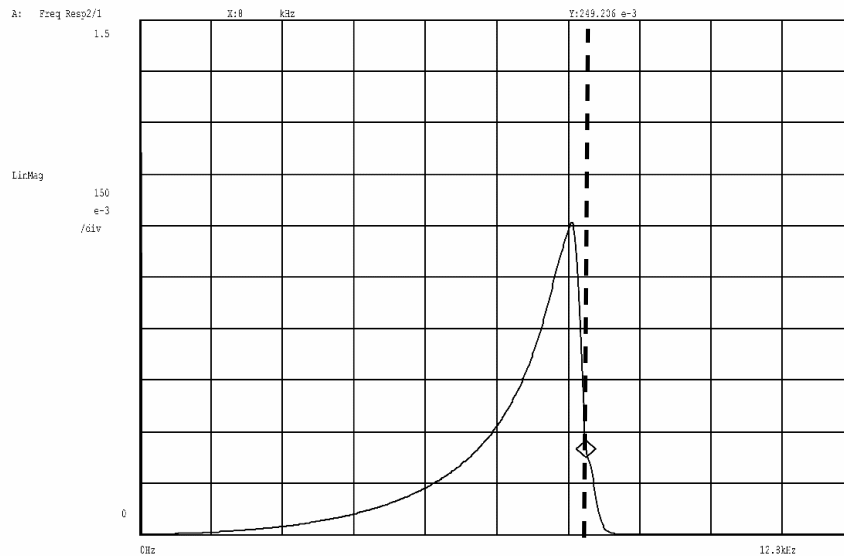
จากรูปที่ 4.59 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = 0.5$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.3333



รูปที่ 4.60 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0.8660$

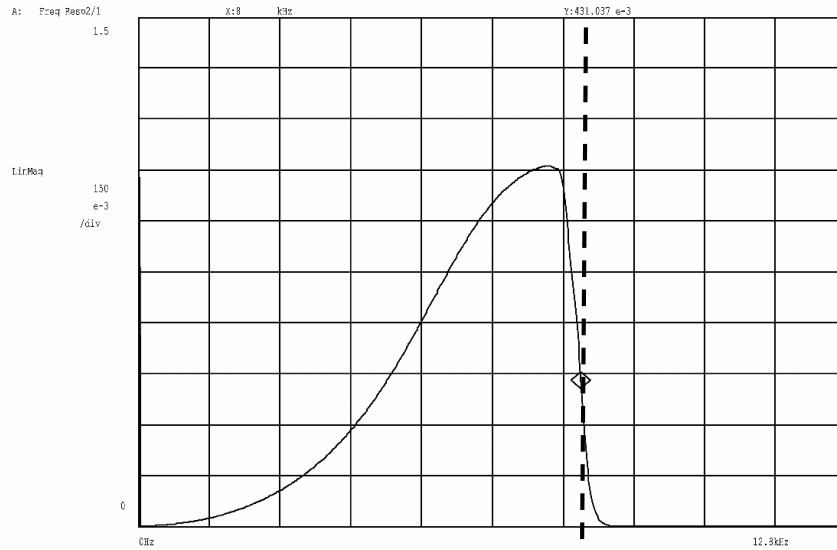
จากรูปที่ 4.60 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = 0.8660$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.1667

ผลการทำ Hardware Implementation เมื่อนำโครงสร้างของวงจรกรองสัญญาณดิจิทัลไบควอดแดรตติคหลายเอาต์พุตไปสร้างลงบน Microprocessor ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board เมื่อทำการปรับค่า $\beta = -0.866, -0.5, 0, 0.5$ และ 0.8660 โดยใช้ค่า $\alpha = 0.1715$ ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่สูงผ่านสามารถแสดงได้ดังรูปที่ 4.61 – 4.65 โดยพิจารณาถึงความถี่ที่ 8 kHz เพราะในการทดลองนี้ใช้ค่า $F_s = 16 \text{ kHz}$ แต่กราฟจะโชว์ถึง 12.8 kHz เนื่องจาก Dynamic Signal Analyzer ปรับค่าการอ่านได้ในช่วง 12.8 kHz



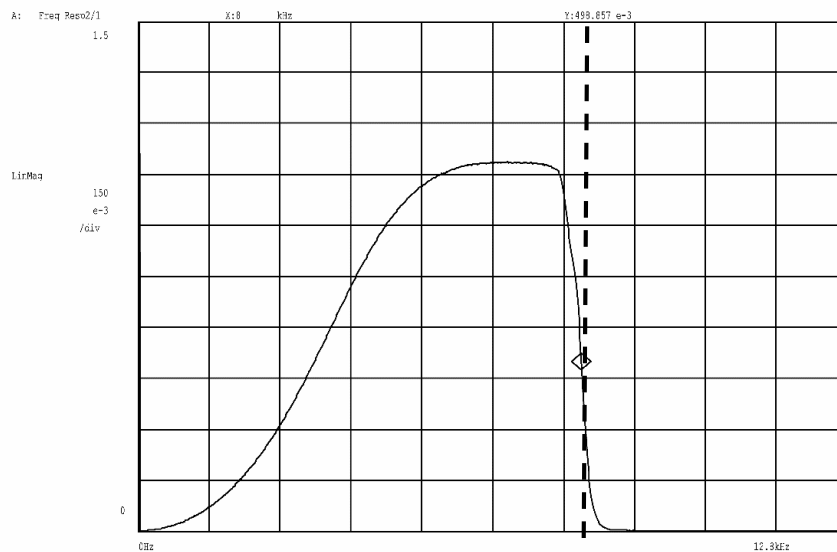
รูปที่ 4.61 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = -0.8660$

จากรูปที่ 4.61 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = -0.8660$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.8333



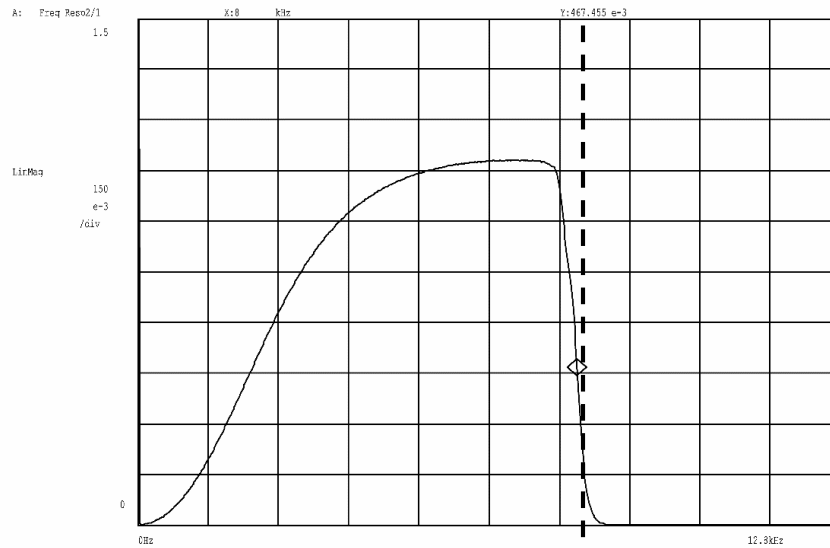
รูปที่ 4.62 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = -0.5$

จากรูปที่ 4.62 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = -0.5$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.6667



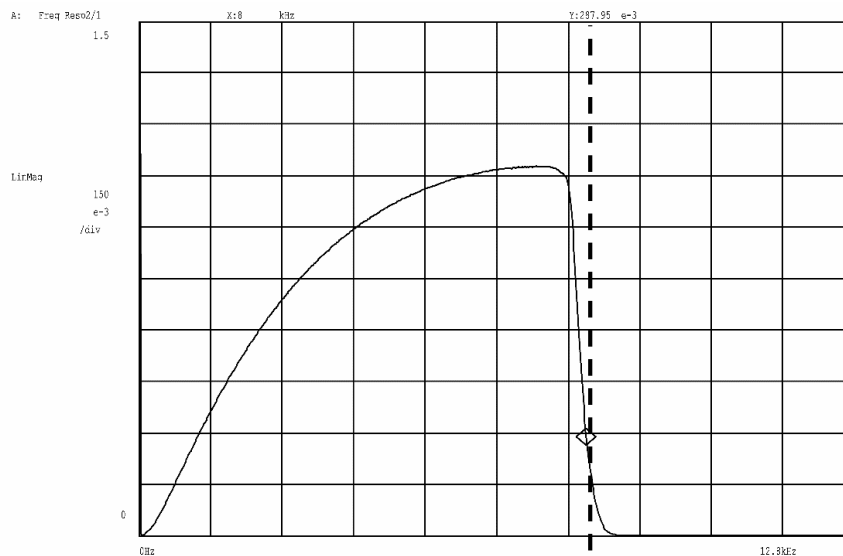
รูปที่ 4.63 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$

จากรูปที่ 4.63 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = 0$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.5



รูปที่ 4.64 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0.5$

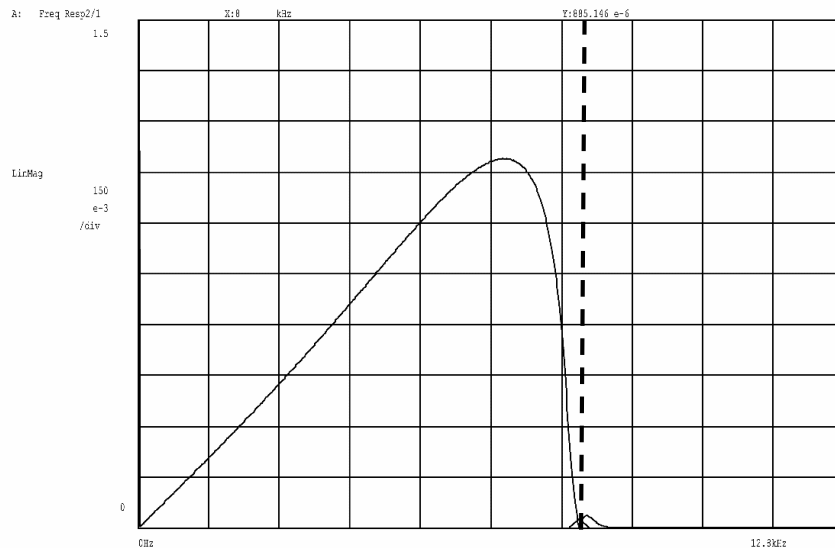
จากรูปที่ 4.64 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = 0.5$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.3333



รูปที่ 4.65 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0.8660$

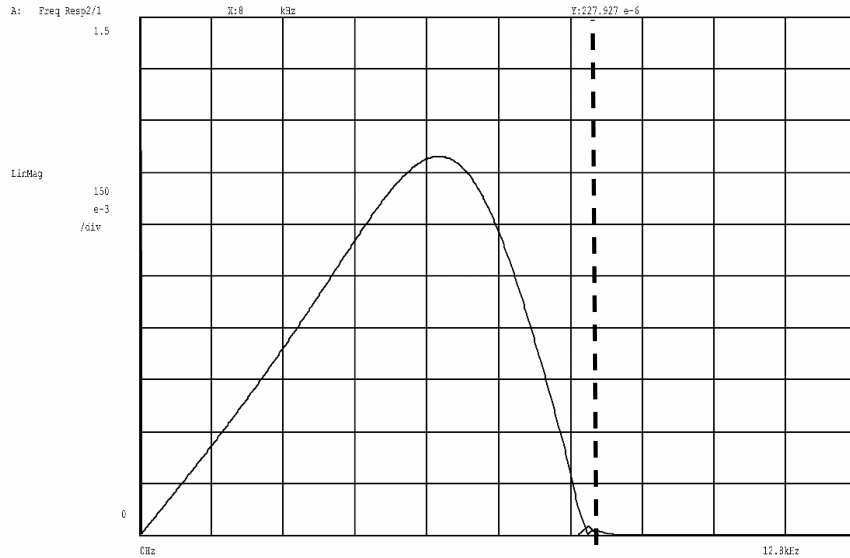
จากรูปที่ 4.65 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = 0.8660$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.1667

ผลการทำ Hardware Implementation เมื่อนำโครงสร้างของวงจรกรองสัญญาณดิจิทัลไบควอดแดรตติกลายเอาต์พุตไปสร้างลงบน Microprocessor ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board เมื่อทำการปรับค่า $\beta = -0.866, -0.5, 0, 0.5$ และ 0.8660 โดยใช้ค่า $\alpha = 0.1715$ ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่แถบผ่านสามารถแสดงได้ดังรูปที่ 4.66 – 4.70 โดยพิจารณาถึงความถี่ที่ 8 kHz เพราะในการทดลองนี้ใช้ค่า $F_s = 16 \text{ kHz}$ แต่กราฟจะโชว์ถึง 12.8 kHz เนื่องจาก Dynamic Signal Analyzer ปรับค่าการอ่านได้ในช่วง 12.8 kHz



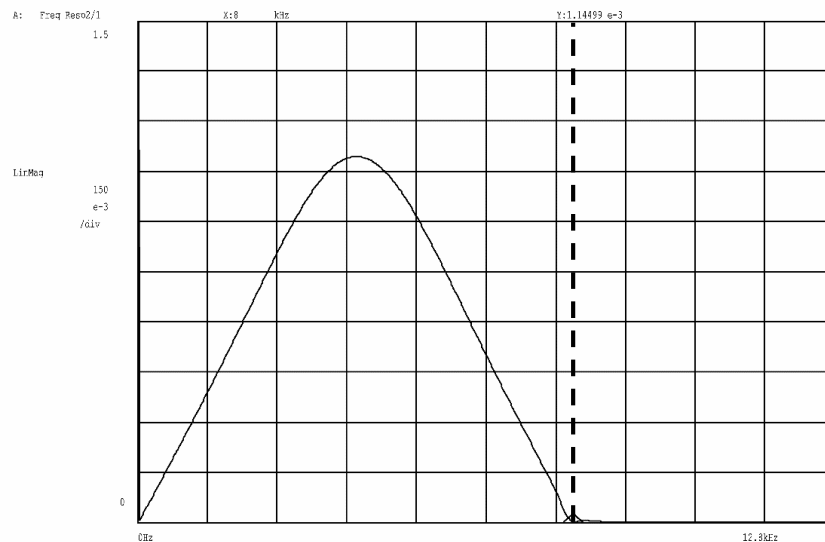
รูปที่ 4.66 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = -0.8660$

จากรูปที่ 4.66 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = -0.8660$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.8333



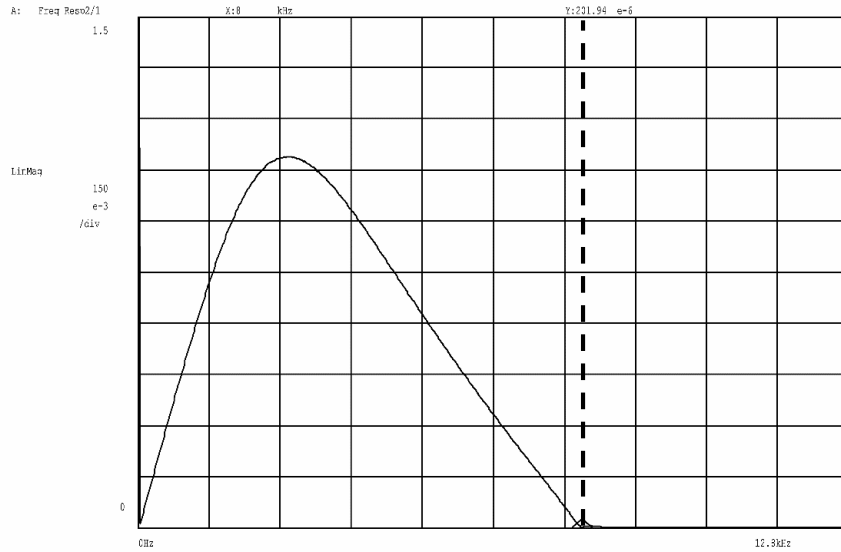
รูปที่ 4.67 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = -0.5$

จากรูปที่ 4.67 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = -0.5$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.6667



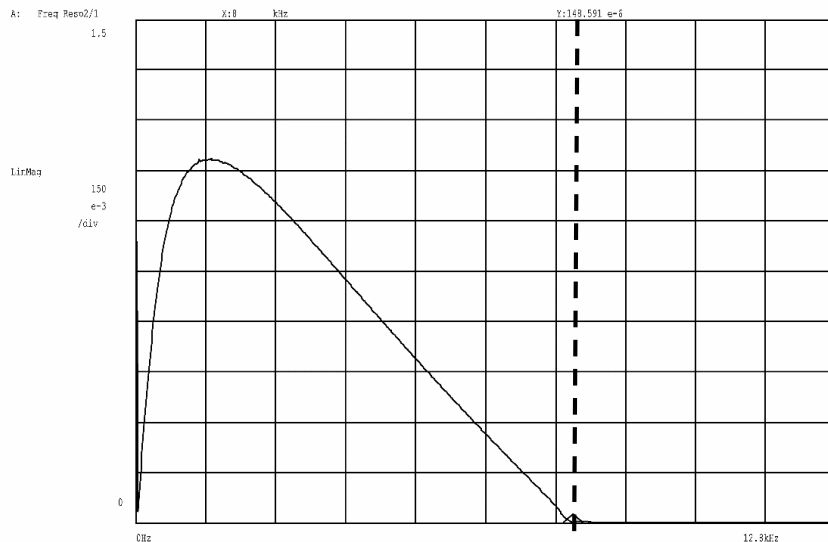
รูปที่ 4.68 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0$

จากรูปที่ 4.68 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = 0$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.5



รูปที่ 4.69 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0.5$

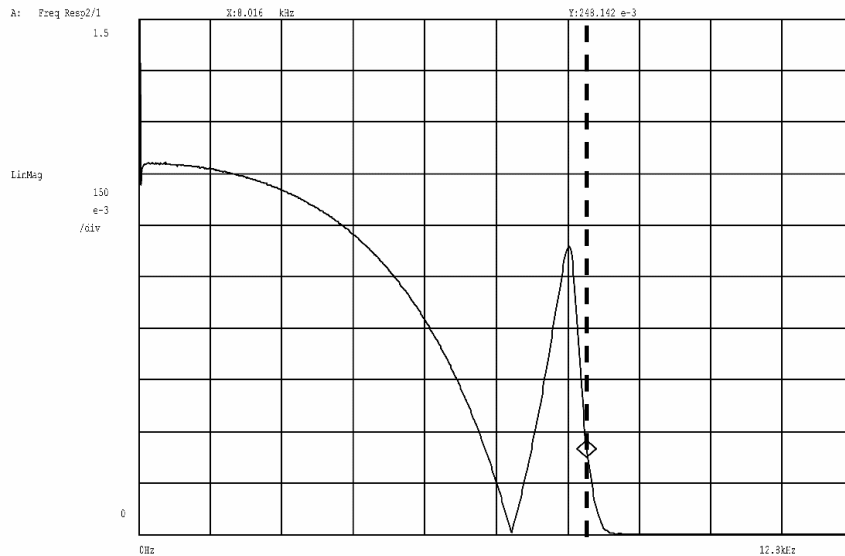
จากรูปที่ 4.69 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = 0.5$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.3333



รูปที่ 4.70 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = 0.8660$

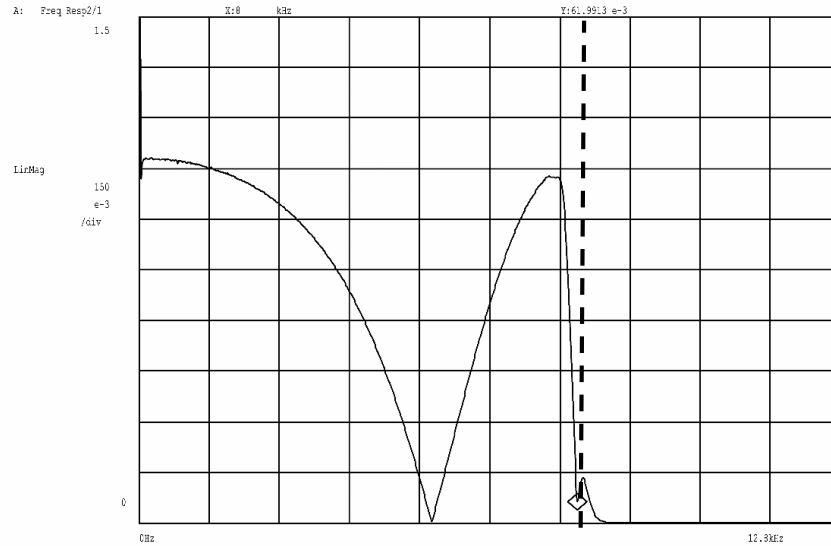
จากรูปที่ 4.70 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0.1715$ และ $\beta = 0.8660$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.1667

ผลการทำ Hardware Implementation เมื่อนำโครงสร้างของวงจรกรองสัญญาณดิจิทัลไบควอดแดรตติคหลายเอาต์พุตไปสร้างลงบน Microprocessor ตระกูล ARM Cortex-M7 บนบอร์ด STM32F769I Discovery Board เมื่อทำการปรับค่า $\beta = -0.866, -0.5, 0, 0.5$ และ 0.8660 โดยใช้ค่า $\alpha = 0.1715$ ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่แถบหยุดสามารถแสดงได้ดังรูปที่ 4.71 – 4.75 โดยพิจารณาถึงความถี่ที่ 8 kHz เพราะในการทดลองนี้ใช้ค่า $F_s = 16 \text{ kHz}$ แต่กราฟจะโชว์ถึง 12.8 kHz เนื่องจาก Dynamic Signal Analyzer ปรับค่าการอ่านได้ในช่วง 12.8 kHz



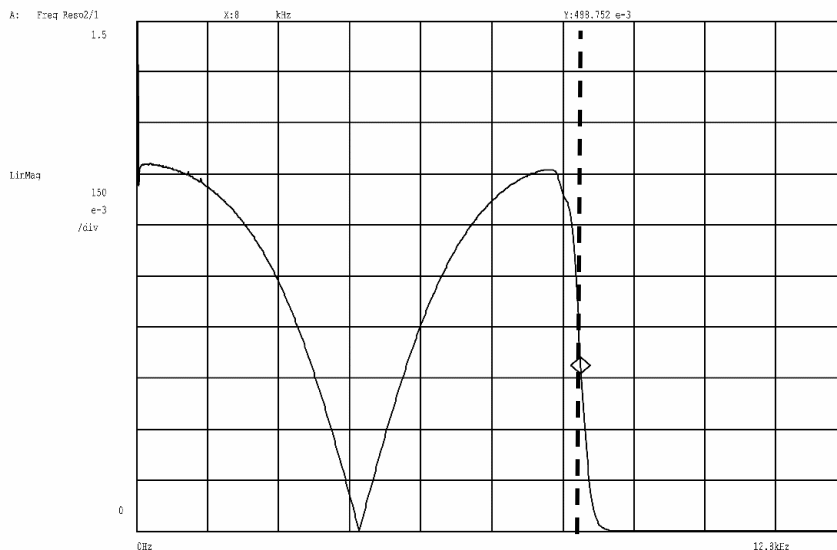
รูปที่ 4.71 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = -0.8660$

จากรูปที่ 4.71 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$ และ $\beta = -0.8660$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.8333



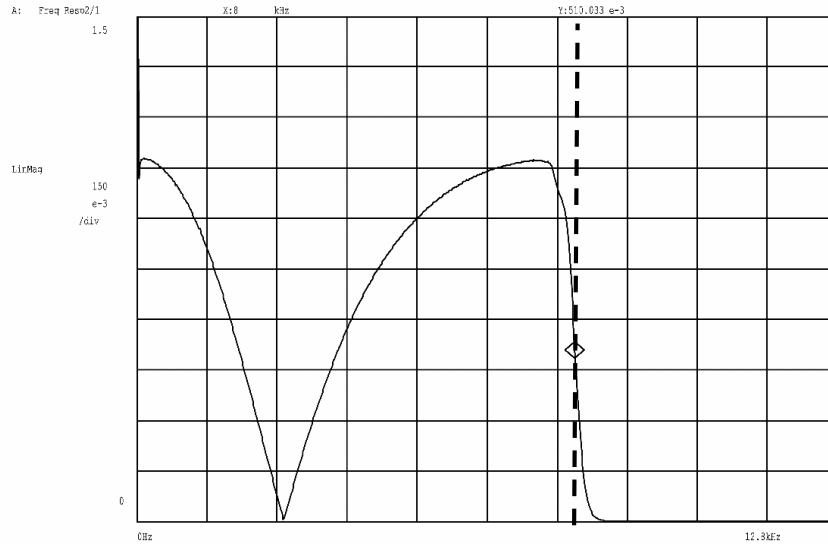
รูปที่ 4.72 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = -0.5$

จากรูปที่ 4.72 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$ และ $\beta = -0.5$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.6667



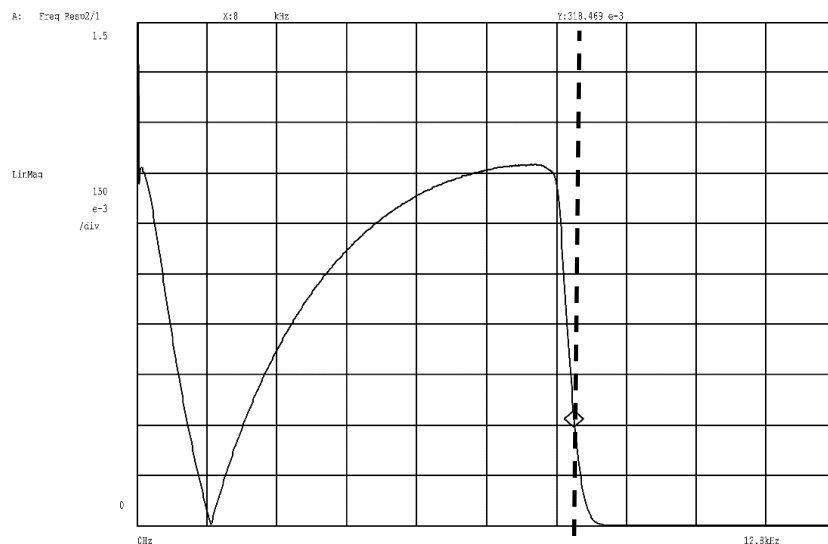
รูปที่ 4.73 ผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$

จากรูปที่ 4.73 เป็นผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$ และ $\beta = 0$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.5



รูปที่ 4.74 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0.5$

จากรูปที่ 4.74 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$ และ $\beta = 0.5$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.3333



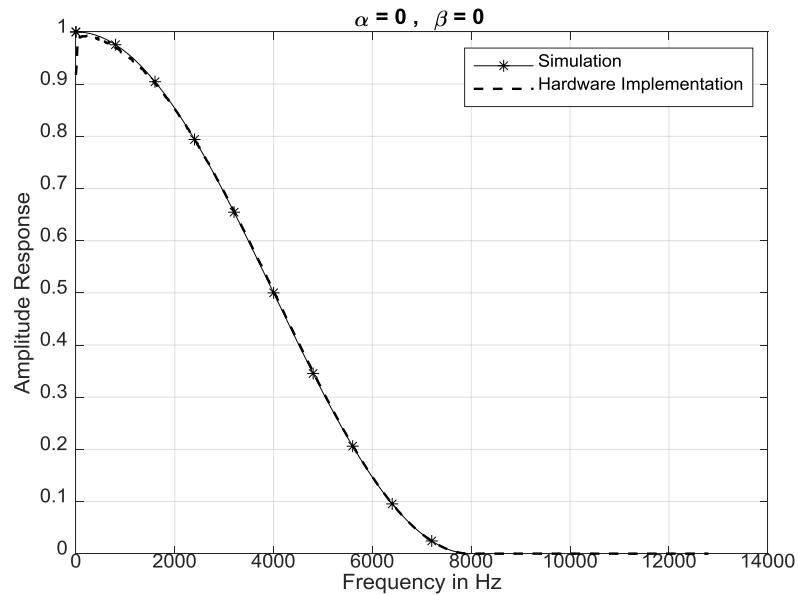
รูปที่ 4.75 ผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0.8660$

จากรูปที่ 4.75 เป็นผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0.1715$ และ $\beta = 0.8660$ ซึ่งเท่ากับการกำหนดให้ quality factor = 0.707 และ center frequency = 0.1667

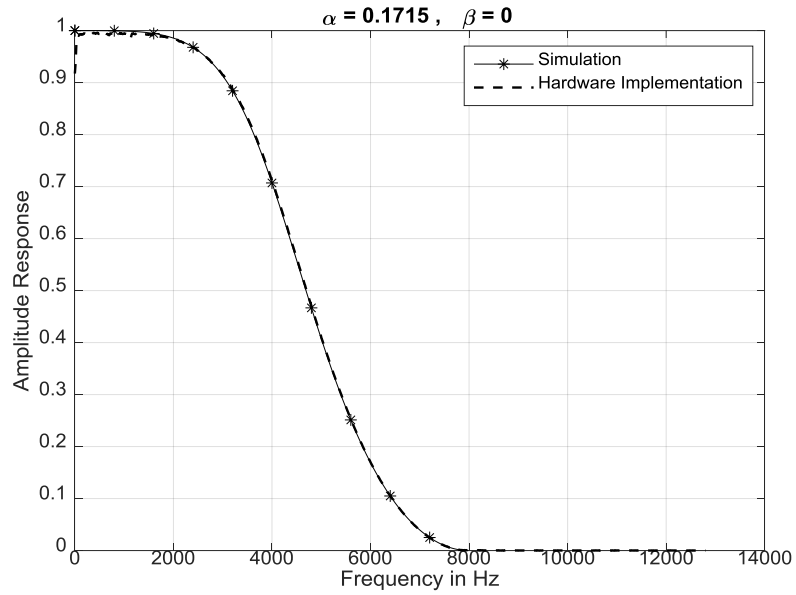
4.4 การเปรียบเทียบผลลัพธ์ที่ได้จากการ Simulation บน MATLAB กับผลที่ได้จาก Hardware Implementation

4.4.1 โดยการปรับค่า α โดยที่ $\beta = 0$

การเปรียบเทียบผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0, 0.1715, 0.3333$ ที่ได้จาก การ Simulation บน MATLAB กับผลที่ได้จาก Hardware Implementation สามารถแสดงได้ดังรูปที่ 4.76 – 4.78 ตามลำดับ

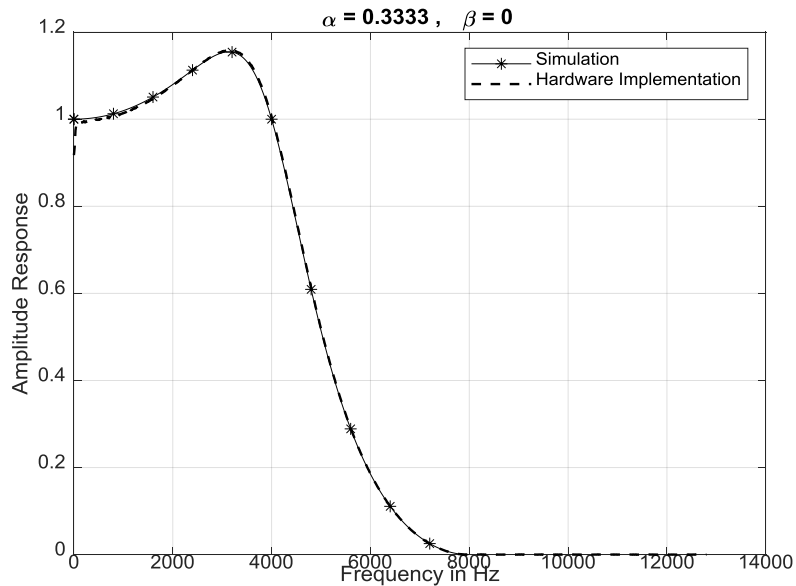


รูปที่ 4.76 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\alpha = 0$



รูปที่ 4.77 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน

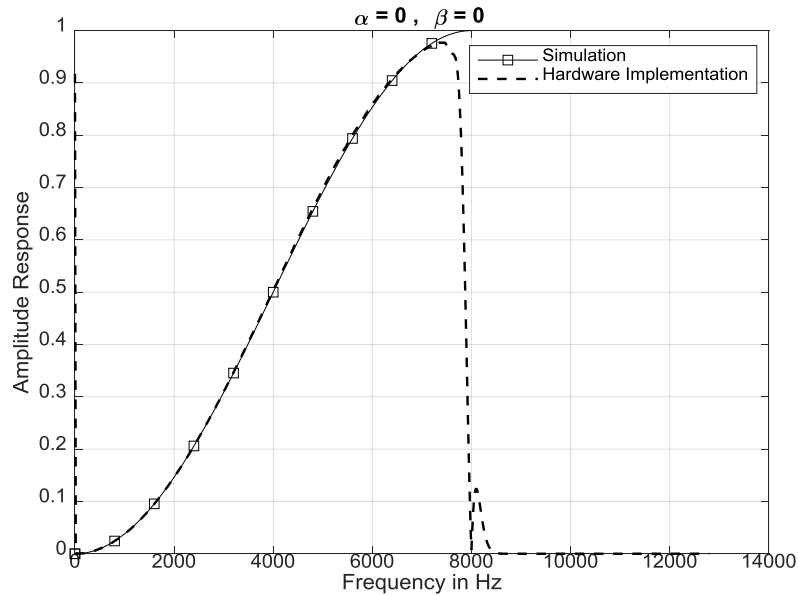
เมื่อ $\alpha = 0.1715$



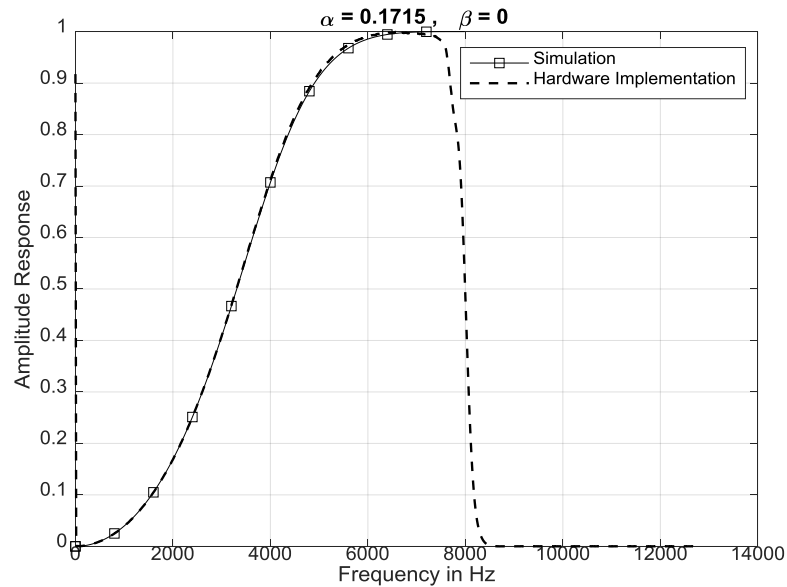
รูปที่ 4.78 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน

เมื่อ $\alpha = 0.3333$

การเปรียบเทียบผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0, 0.1715, 0.3333$ ที่ได้จากการ Simulation บน MATLAB กับผลที่ได้จาก Hardware Implementation สามารถแสดงได้ดังรูปที่ 4.79 – 4.81 ตามลำดับ

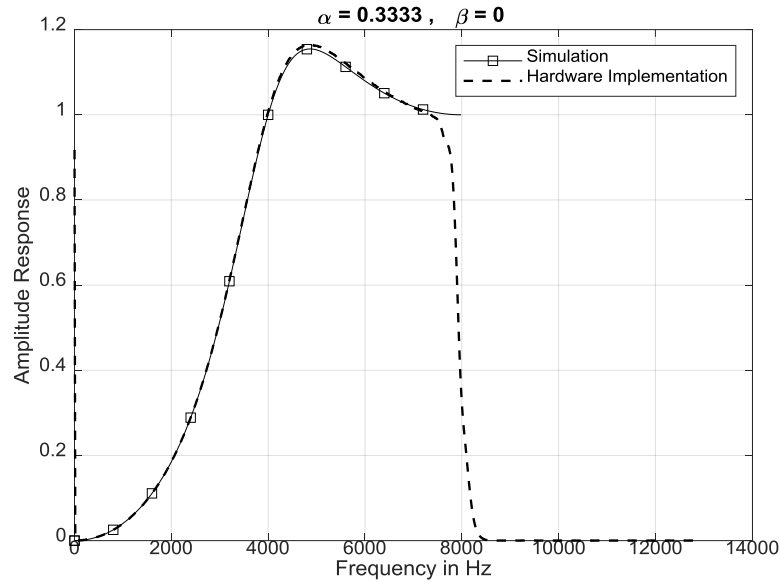


รูปที่ 4.79 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\alpha = 0$



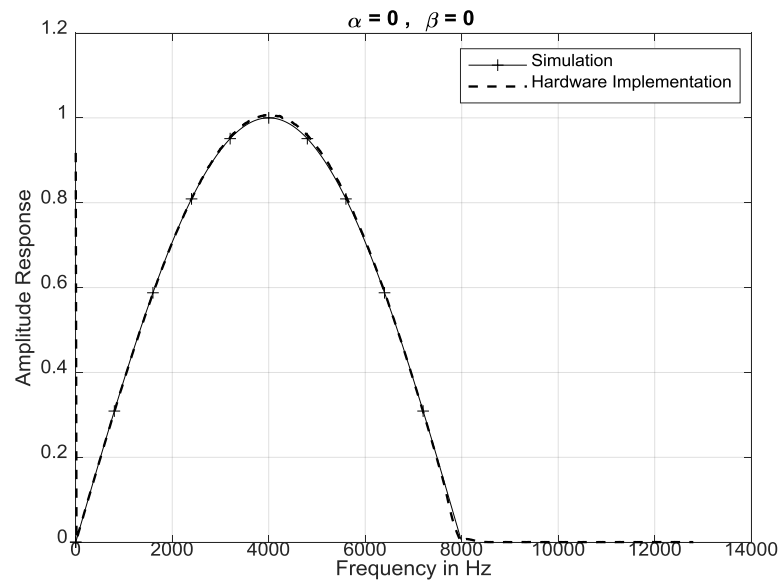
รูปที่ 4.80 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน

เมื่อ $\alpha = 0.1715$

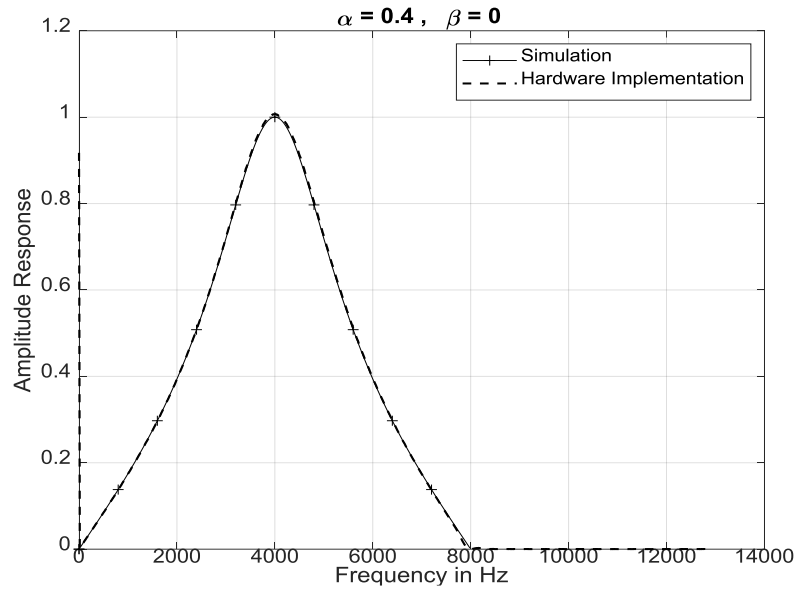


รูปที่ 4.81 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่สูงผ่าน
เมื่อ $\alpha = 0.3333$

การเปรียบเทียบผลตอบสนองทางความถี่ของวงจรรองสัญญาณความถี่แถบผ่าน เมื่อ $\alpha = 0, 0.4, 0.95$ ที่ได้จากการ Simulation บน MATLAB กับผลที่ได้จาก Hardware Implementation สามารถแสดงได้ดังรูปที่ 4.82 - 4.84

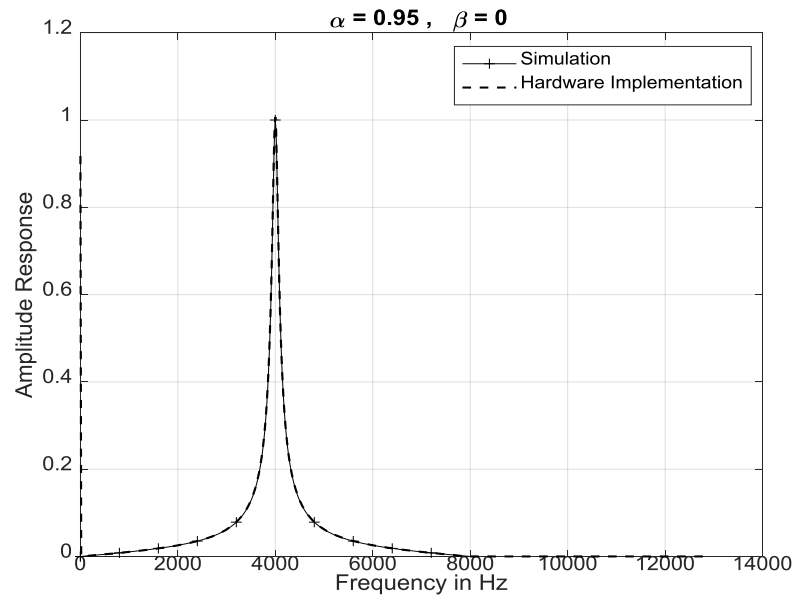


รูปที่ 4.82 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบผ่าน
เมื่อ $\alpha = 0$



รูปที่ 4.83 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน

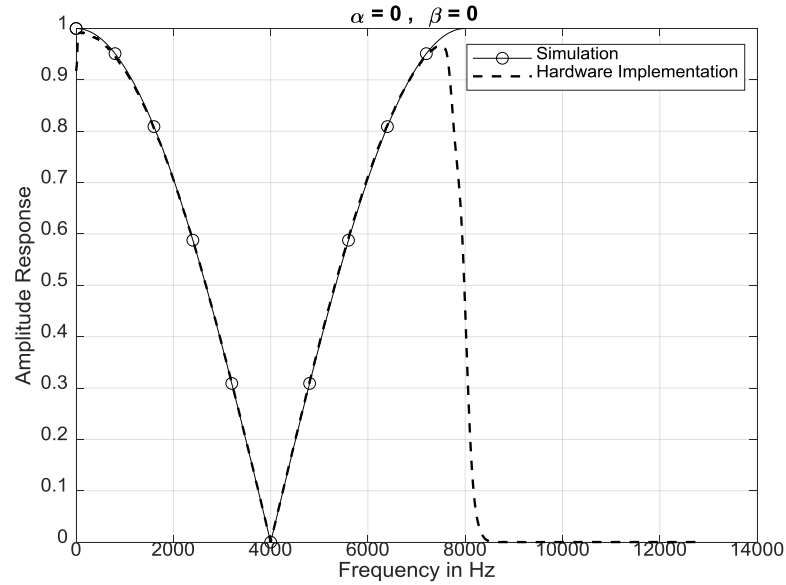
เมื่อ $\alpha = 0.4$



รูปที่ 4.84 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน

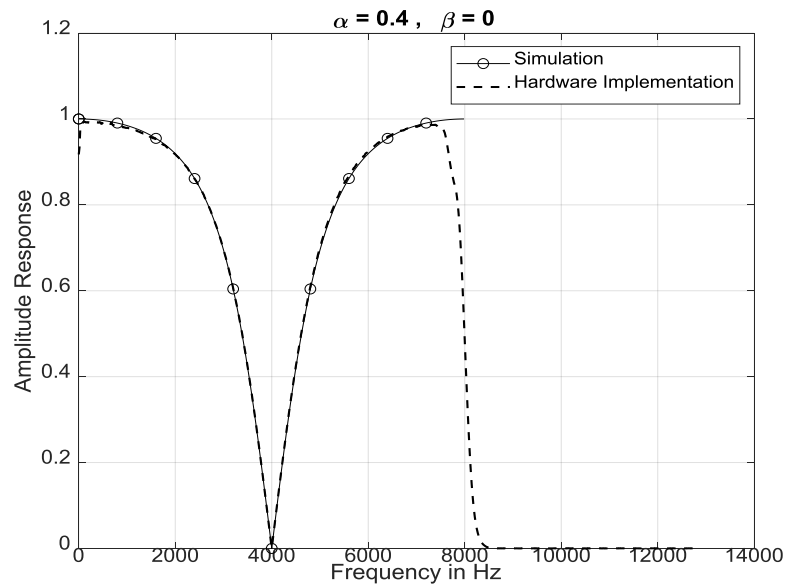
เมื่อ $\alpha = 0.95$

การเปรียบเทียบผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\alpha = 0, 0.4, 0.95$ ที่ได้จากการ Simulation บน MATLAB กับผลที่ได้จาก Hardware Implementation สามารถแสดงได้ดังรูปที่ 4.85 - 4.87



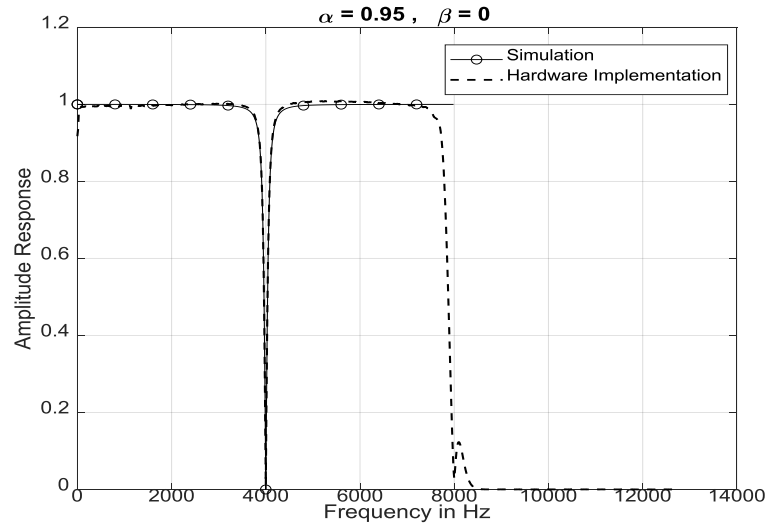
รูปที่ 4.85 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด

เมื่อ $\alpha = 0$



รูปที่ 4.86 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด

เมื่อ $\alpha = 0.4$

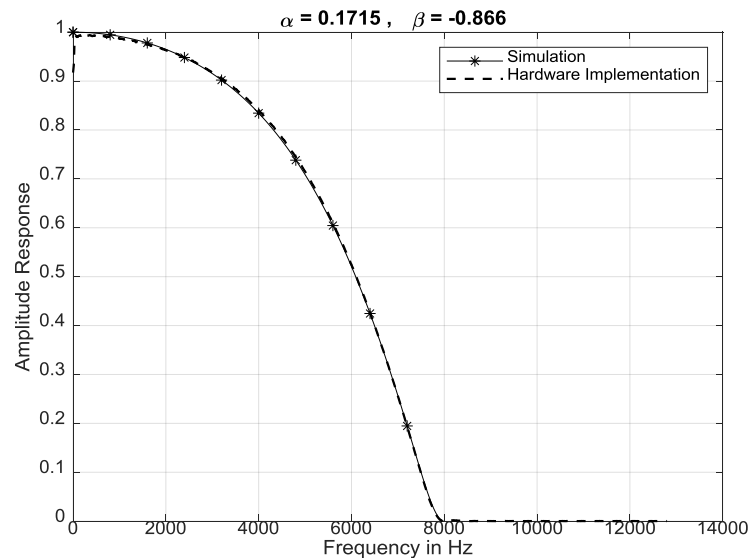


รูปที่ 4.87 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบหยุด

เมื่อ $\alpha = 0.95$

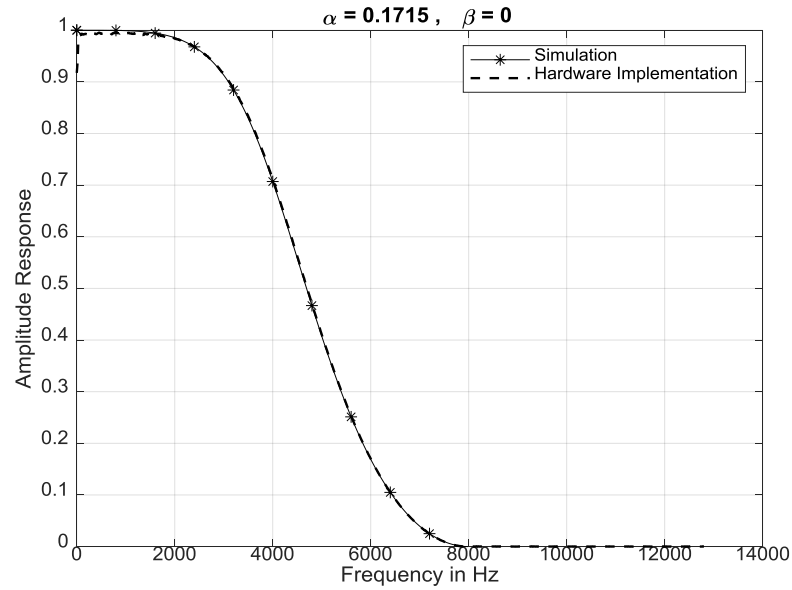
4.4.2 โดยการปรับค่า β และปรับค่า $\alpha = 0.1715$

การเปรียบเทียบผลตอบสนองทางความถี่ของวงจรรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = -0.8660, 0, 0.8660$ ที่ได้จากการ Simulation บน MATLAB กับผลที่ได้จาก Hardware Implementation สามารถแสดงได้ดังรูปที่ 4.88 - 4.90

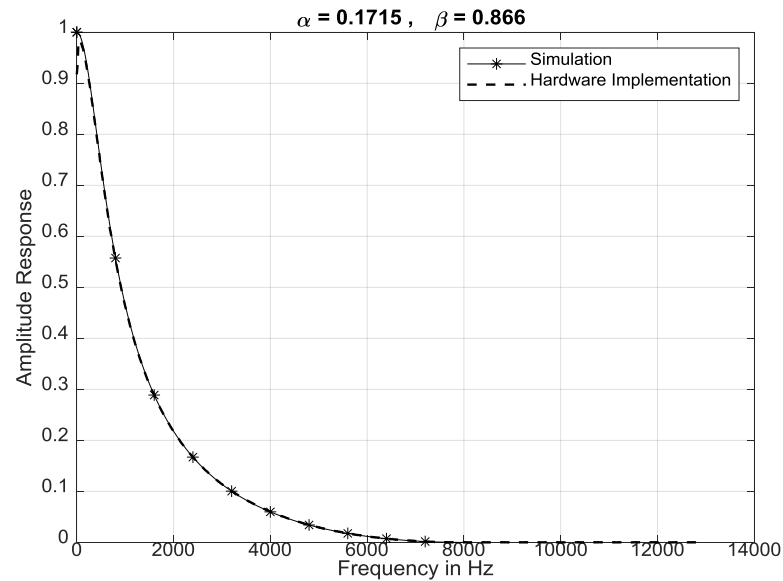


รูปที่ 4.88 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่ต่ำผ่าน

เมื่อ $\beta = -0.8660$

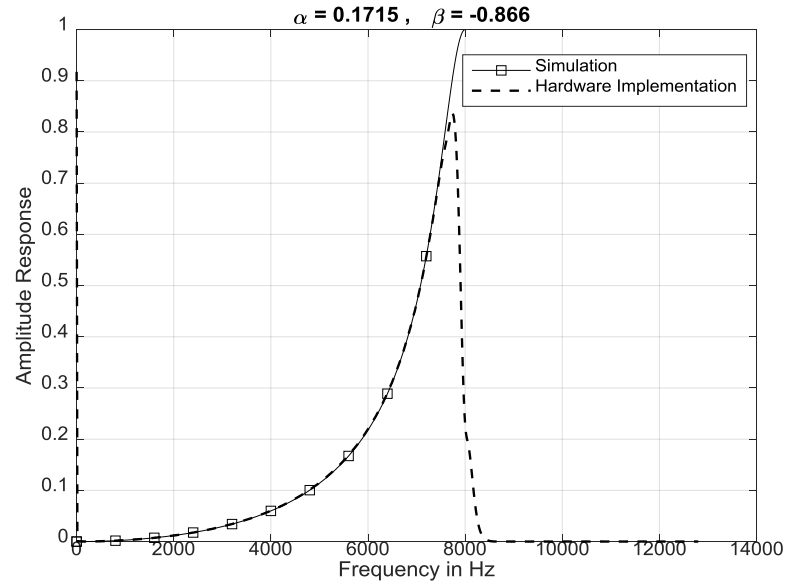


รูปที่ 4.89 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน เมื่อ $\beta = 0$



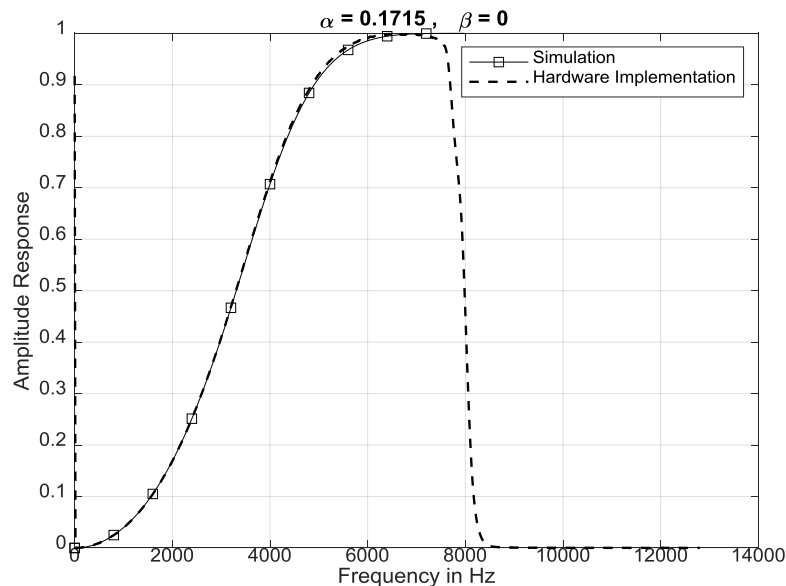
รูปที่ 4.90 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่ต่ำผ่าน
เมื่อ $\beta = 0.8660$

การเปรียบเทียบผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = -0.8660, 0, 0.8660$ ที่ได้จากการ Simulation บน MATLAB กับผลที่ได้จาก Hardware Implementation สามารถแสดงได้ดังรูปที่ 4.91 - 4.93

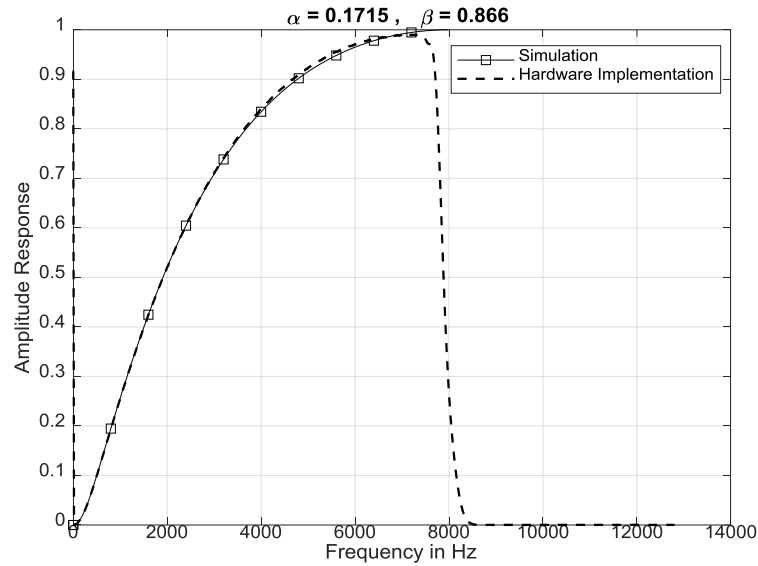


รูปที่ 4.91 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน

เมื่อ $\beta = -0.8660$



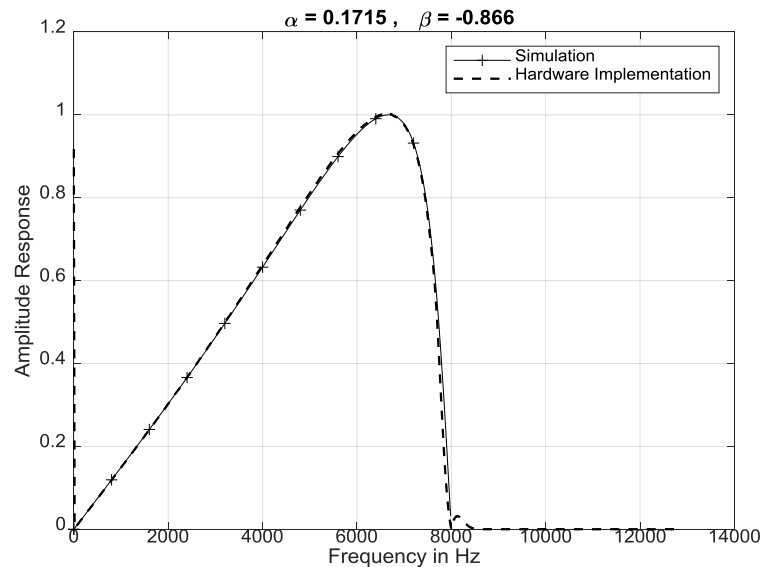
รูปที่ 4.92 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน เมื่อ $\beta = 0$



รูปที่ 4.93 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่สูงผ่าน

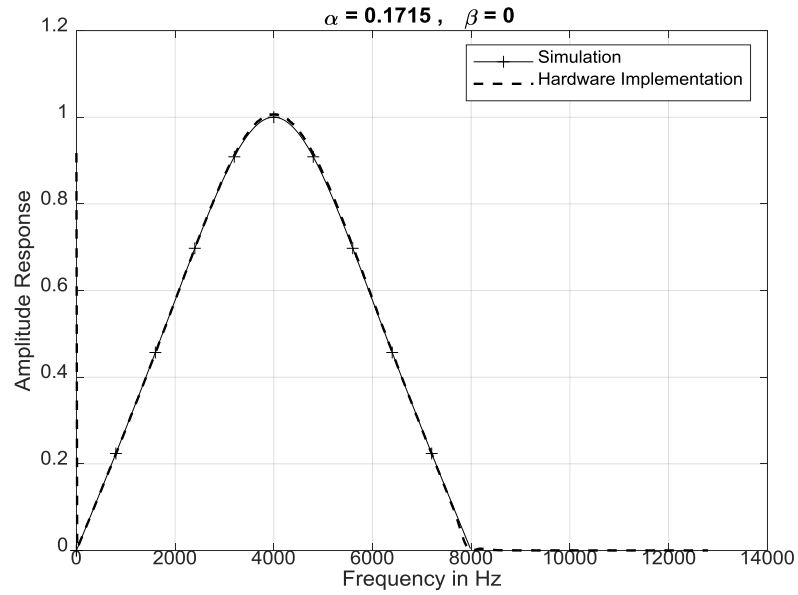
เมื่อ $\beta = 0.866$

การเปรียบเทียบผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่แถบผ่าน เมื่อ $\beta = -0.8660, 0, 0.8660$ ที่ได้จากการ Simulation บน MATLAB กับผลที่ได้จาก Hardware Implementation สามารถแสดงได้ดังรูปที่ 4.94 - 4.96



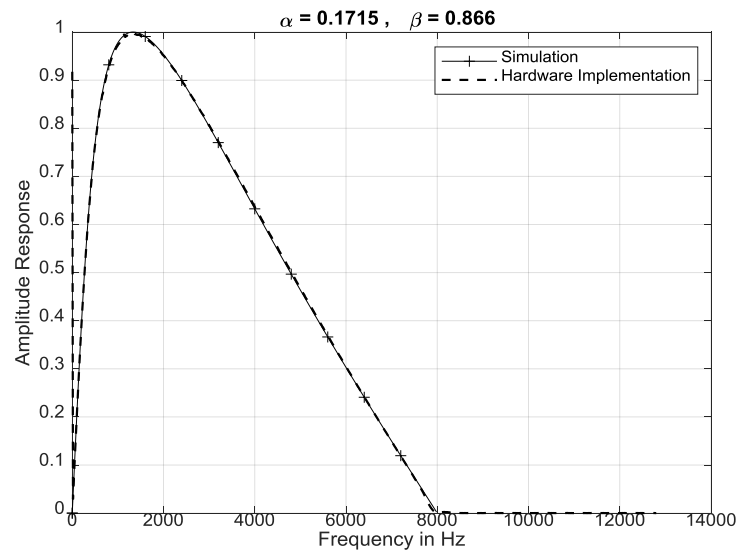
รูปที่ 4.94 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน

เมื่อ $\beta = -0.866$



รูปที่ 4.95 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน

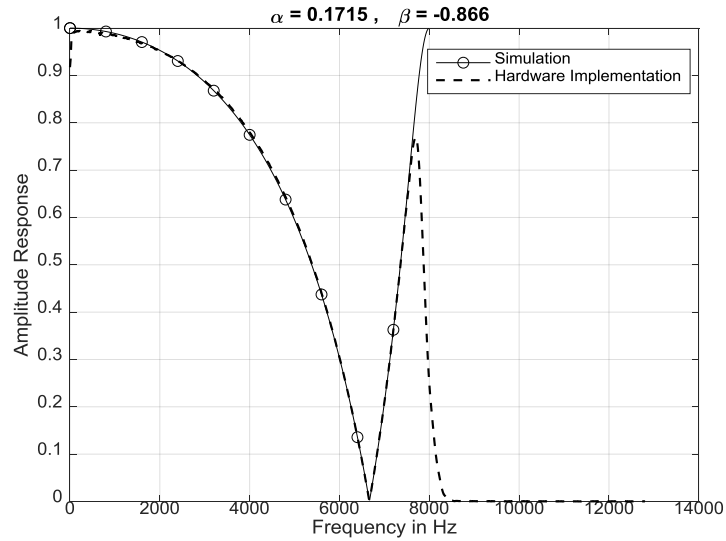
เมื่อ $\beta = 0$



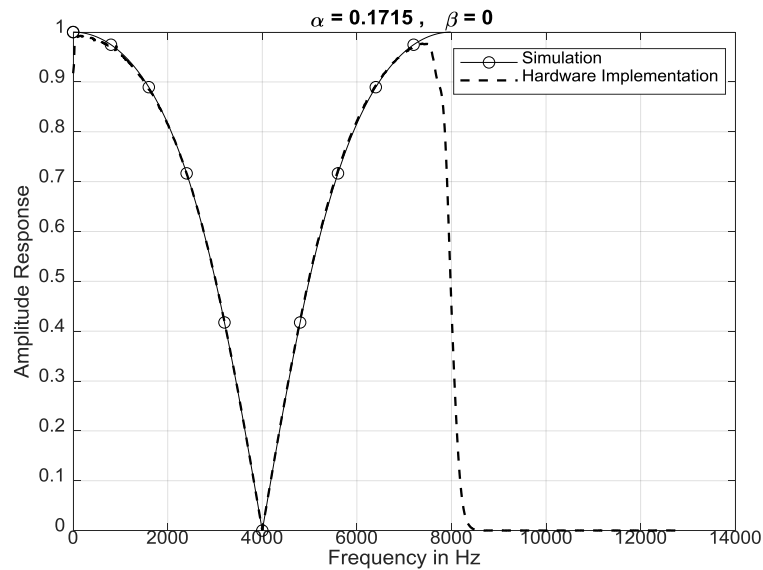
รูปที่ 4.96 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบผ่าน

เมื่อ $\beta = 0.8660$

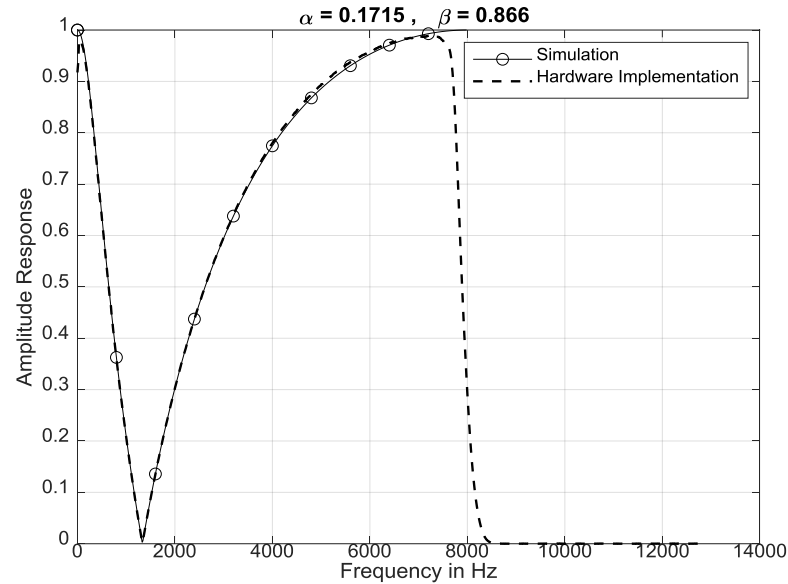
การเปรียบเทียบผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = -0.8660, 0, 0.8660$ ที่ได้จากการ Simulation บน MATLAB กับผลที่ได้จาก Hardware Implementation สามารถแสดงได้ดังรูปที่ 4.97 – 4.99



รูปที่ 4.97 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = -0.8660$



รูปที่ 4.98 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรองสัญญาณความถี่แถบหยุด เมื่อ $\beta = 0$

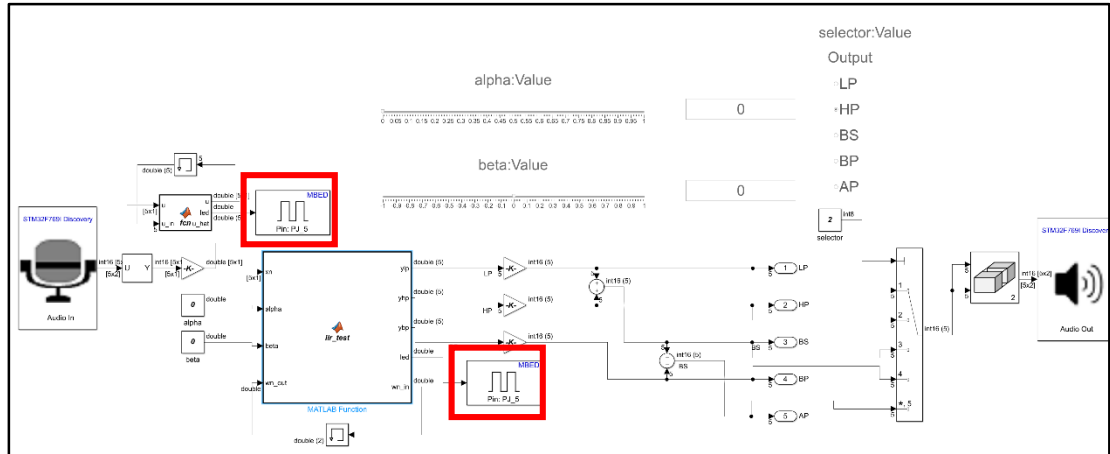


รูปที่ 4.99 ผลการเปรียบเทียบผลตอบสนองทางขนาดของวงจรรองสัญญาณความถี่แถบหยุด

เมื่อ $\beta = 0.8660$

เมื่อพิจารณาเปรียบเทียบผลตอบสนองทางขนาดของผลลัพธ์ที่ได้จากการ simulate จาก MATLAB เทียบกับผลที่ได้จากการทดลองจริงบนฮาร์ดแวร์ พบว่าค่าที่ได้ถูกต้องและมีความแม่นยำ ซึ่งก็เป็นการพิสูจน์ว่าวงจรรองสัญญาณนี้สามารถสร้างและนำไปใช้งานได้จริง หากพิจารณาจะเห็นถึงการปรับแต่งค่า α และ β สามารถทำให้คุณลักษณะทางความถี่ของวงจรรองสัญญาณดิจิทัลแบบไบควอดเปลี่ยนแปลงแบนด์วิธและความถี่กลางตามค่า α และ β ตามลำดับ

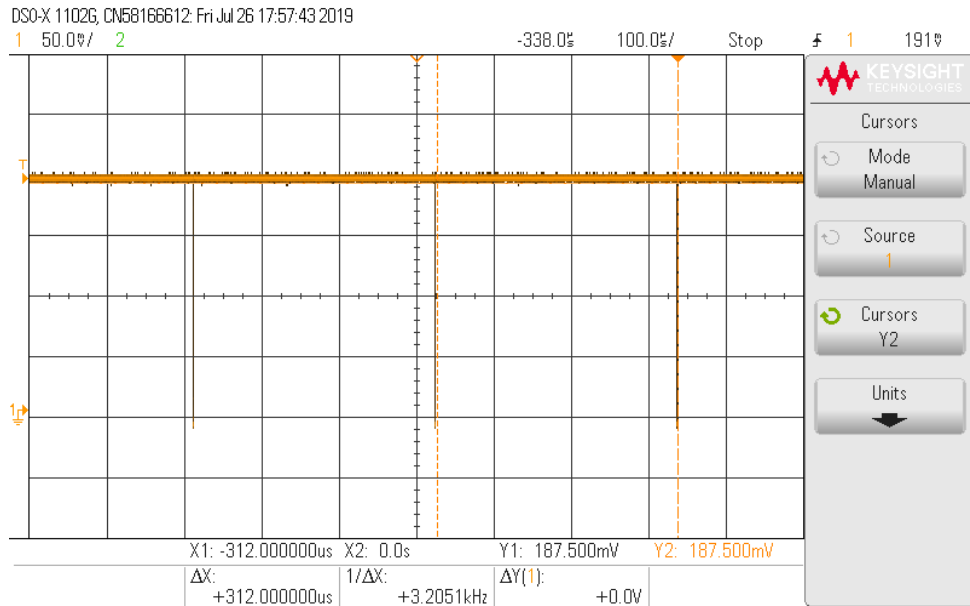
4.5 การพิจารณาความเร็วในการประมวลผลการทำงานบนฮาร์ดแวร์



รูปที่ 4.100 ภาพรวมโปรแกรมของระบบที่นำเสนอสำหรับการวัดความเร็วในการประมวลผลการทำงานบนฮาร์ดแวร์

จากรูปที่ 100 บล็อกที่ถูกล้อมด้วยกรอบสีแดง คือ บล็อก Digital Write ทำหน้าที่เป็นพอร์ตเอาต์พุตสำหรับลอจิกหรือสัญญาณดิจิทัล โดยได้นำมาใช้สำหรับบ่งบอกสถานะการทำงานของฮาร์ดแวร์ว่าอยู่ในขั้นตอนประมวลผลหรือไม่

จากที่กล่าวไปเมื่อต้นบทว่า บล็อก MATLAB function ที่ภายใน คือ สคริปต์การทำงานของ Tunable Multiple Output Biquad Filter ซึ่งเป็นหัวใจของงานวิจัยนี้ เราจะทำการบ่งบอกสถานะการทำงานของฮาร์ดแวร์จากบล็อกนี้ โดยจะให้บล็อก Digital Write ฝั่งซ้ายกำหนดสถานะลอจิก “1” เพื่อแสดงว่าฮาร์ดแวร์กำลังทำการประมวลผล และให้บล็อก Digital Write ฝั่งขวากำหนดสถานะลอจิก “0” เพื่อแสดงว่าฮาร์ดแวร์เสร็จสิ้นการประมวลผลแล้ว จากนั้นจะใช้ oscilloscope ยี่ห้อ Keysight รุ่น DSOX1102G ทำการวัดสัญญาณที่พอร์ตเอาต์พุตของฮาร์ดแวร์ เพื่อพิจารณาความเร็วในการประมวลผลของฮาร์ดแวร์จากช่วงเวลาที่เป็ลอจิก “1”



รูปที่ 101 ภาพหน้าจอ oscilloscope ที่ใช้วัดสัญญาณจากพอร์ตเอาต์พุตของฮาร์ดแวร์

จากรูปที่ 101 ช่วงที่สถานะลอจิก “0” คือ ช่วงที่เป็นแรงดันต่ำ เมื่อพิจารณาคาบเวลาของสถานะลอจิก “1” จะเป็นเวลา 312 microsecond เนื่องจากเป็นคาบเวลาในการประมวลผลต่อ 1 เฟรม จากโปรแกรมที่ได้ออกแบบใช้ 5 ตัวอย่างต่อ 1 เฟรม ฉะนั้นเวลาในการประมวลผลต่อ 1 ตัวอย่าง คือ 62.4 microsecond คำนวณส่วนกลับของค่านี้จะได้ 16,025 Hz ซึ่งมีค่าเท่ากับอัตราการสุ่มตัวอย่างที่ใช้ งาน เมื่อทดลองเปลี่ยนอัตราการสุ่มตัวอย่างดูก็ยังคงเท่ากับค่าคาบเวลาที่วัดได้เสมอ และเมื่อทดลองสคริปต์การทำงานอื่นๆที่ใช้ทรัพยากรต่ำ ก็ยังคงได้คาบเวลาในการประมวลผลเท่ากับอัตราการสุ่มตัวอย่างอยู่ตลอด จึงสรุปว่าไม่สามารถวัดความเร็วในการประมวลผลของฮาร์ดแวร์ได้ เนื่องจากตัว compiler ในโปรแกรม MATLAB Simulink อาจไม่ได้ compile ตัวโปรแกรมที่เราได้ออกแบบเป็นลำดับขั้นตอนเหมือนตอนที่เราก่อแบบ

บทที่ 5

บทสรุป ข้อเสนอแนะ และแนวทางการพัฒนา

5.1 บทสรุป

จากโครงสร้างของวงจรกรองสัญญาณเชิงเลขไปควอดเรตติก [2] ที่ไม่สามารถปรับแต่งค่าได้ในส่วนของค่าคงที่ตัวคูณในโครงสร้าง ดังนั้นงานวิทยานิพนธ์นี้ได้นำเสนอการแทนที่ด้วยโครงสร้างใหม่ที่ถูกรวมด้วยตัวแปร α และ β ซึ่งค่า α ใช้สำหรับปรับแต่งค่าแบนด์วิธ ดังสมการ $\alpha = r^2$ ส่วน β ใช้สำหรับปรับแต่งค่าความถี่กลาง ดังสมการ $\beta = \cos \omega_0$ ของวงจรกรองสัญญาณเอาต์พุต จึงทำให้โครงสร้างของวงจรกรองสัญญาณเชิงเลขไปควอดเรตติกที่ถูกนำเสนอในวิทยานิพนธ์นี้ที่สามารถปรับแต่งคุณลักษณะของผลตอบสนองทางความถี่ได้โดยไม่ต้องคำนวณหาค่าสัมประสิทธิ์ชุดใหม่ และได้นำเสนอการใช้งานจริงโดยการสร้างลงบนอุปกรณ์บอร์ด STM32F769I Discovery แล้วทำการวัด Frequency response ที่ได้จาก Filter บน Hardware ด้วยเครื่อง 35670A Dynamic Signal Analyzer ซึ่งผลลัพธ์ที่ออกมาใกล้เคียงกับผล simulation ใน MATLAB

5.2 ข้อเสนอแนะและแนวทางการพัฒนา

การเพิ่มประสิทธิภาพในการทำงาน อาจทำได้โดยการปรับโครงสร้างด้วยการลดตัวคูณเพื่อให้การทำงานรวดเร็วและมีประสิทธิภาพเพิ่มขึ้น เนื่องจากวงจรกรองสัญญาณเชิงเลขไปควอดเรตติกที่นำเสนอในวิทยานิพนธ์นี้จะสามารถปรับแต่งค่าได้ แต่จำนวนตัวคูณและจำนวนตัวบวกที่ต้องใช้นี้จะเพิ่มมากขึ้นประมาณ 2 เท่าเมื่อเทียบกับโครงสร้างที่ไม่สามารถปรับแต่งค่าได้

เอกสารอ้างอิง

- [1] M. Sagbas and K. Fidanboy lu, "Electronically tunable current-mode second-order universal filter using minimum elements," *Electronics Letters*, vol. 40, no. 1, pp. 2-4, January 2004.
- [2] S. Chivapreecha, A. Jaruvarakul, and K. Dejhan, "Modified Pascal matrix for biquad digital filter design and its filter structure realization," *Proc. 4th International Colloquium CSPA 2008*, March 2008.
- [3] M. E. Van Valkenburg, *Analog Filter Design*, Holt-Saunders International Editions: New York, 1982.
- [4] C.-C. Tseng and S. C. Pei, "Stable IIR notch filter design with optimal pole placement," *IEEE Trans Signal Processing*, vol. 49, no. 11, pp. 2673-2681, November 2001
- [5] P. A. Regalia, S. K. Mitra, and P. P. Vaidyanathan, "The digital allpass filter: a versatile signal processing building block," *Proc. IEEE*, vol. 76, no. 1, pp. 19-37, January 1988.
- [6] Udit Rana, Shreyas Suyal, and Tajinder Singh Arora, "Single Input Multiple Output Multifunction Filter Employing Current Differencing Buffered Amplifier," *Proc. IEEE*, August 2018. pp. 1-4
- [7] N. Bhagyalakshmi, K. R. Rekha, and K. R. Nataraj, "Design and implementation of DA-based reconfigurable FIR digital filter on FPGA," *Proc. 2015 International Conference on Emerging Research in Electronics, Computer Science and Technology (ICERECT)*, Dec. 2015.
- [8] ศรวัฒน์ ชิวปรีชา. 2554. *Digital Signal Processing Part II : Digital Filter Design*. กรุงเทพฯ: สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- [9] วุฒิสีทธิกุลกิจ. 2547. *พื้นฐานกรรมวิธีสัญญาณดิจิทัล / ลัญฉกร วุฒิสีทธิกุลกิจ .กรุงเทพฯ : สำนักพิมพ์แห่งจุฬาลงกรณ์มหาวิทยาลัย*
- [10] Sanjit K. Mitra. 2001. *Digital signal processing:a computer-based approach*.

ภาคผนวก ก

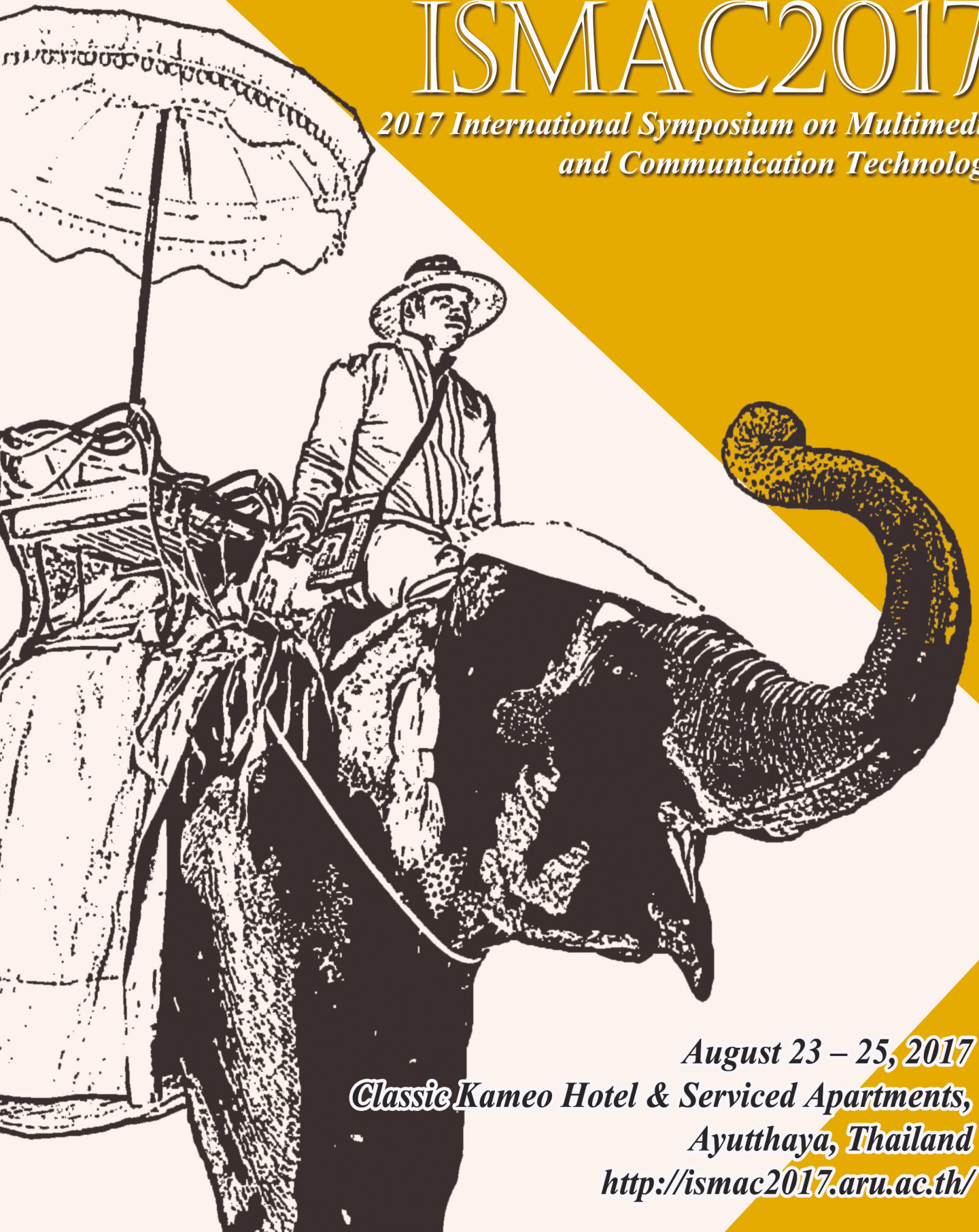
บทความวิชาการ



ABSTRACT BOOK

ISMAC2017

*2017 International Symposium on Multimedia
and Communication Technology*



August 23 – 25, 2017

*Classic Kameo Hotel & Serviced Apartments,
Ayutthaya, Thailand*

<http://ismac2017.aru.ac.th/>

Tunable Single-Input Multi-Outputs Biquadratic Digital Filter

Chonthicha Ittinaredech[†], Sorawat Chivapreecha[†] and Chusit Pradabpet[‡]

[†]Department of Telecommunication Engineering, Faculty of Engineering,
 King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

[‡]Phranakhon Si Ayutthaya Rajabhat University, Thailand

Email: sorawat@telecom.kmitl.ac.th

Abstract— This paper presents a design and implementation of biquadratic digital filter with the special filter structure realization that can give five outputs simultaneously. A design can use ordinary s-z bilinear transformation from analog biquadratic transfer functions in order to obtain digital filters. However, in order to make filter structure realization to give five outputs as lowpass, highpass, bandpass, bandstop, and allpass outputs, simple direct form II will be applied to realize filter structure to give a single-input multi-outputs digital filter structure. Moreover, the frequency response of proposed biquadratic digital filter can be tuned using tuning parameters similar electronic tuning capability in analog filter. Tuning can give more flexible in application for digital filter, and how to tune in proposed digital filter will be explained. A hardware design including an FPGA implementation of proposed biquadratic digital filter also presents in this paper. Finally, simulation and experimental results are shown the corresponding result.

I. INTRODUCTION

Filters are widely used as key component in many applications such as in electronics, communication systems, and etc. However, depend on which kind of signal is concerned, analog or digital signal. Analog filter usually used for analog signal and digital filter is used for digital signal. Normally frequency response of filter will be fixed, it depends on circuit topology for analog filter or filter coefficient for digital filter. However, frequency response of analog filter can be tuned using electronically approach such as using bias current control [1, 2].

Generally, digital filter characteristics depend on filter coefficients. If the new frequency responses are necessary, the new filter coefficients must be recomputed before restoring new coefficients to filter structure. The universal biquadratic digital filter which has one input and can give five outputs simultaneously is proposed in [3]. However, this digital filter structure cannot tune the frequency response. The concept of tunable approach of filter structure in [3] is proposed in [4], however there is some mistake in derivation of lowpass and highpass outputs in [4]. Therefore, this paper will improve that point and also implements whole tunable single-input multi-outputs biquadratic digital filter on an FPGA which is an efficient solution for hardware implementation of DSP algorithm [5, 6] to ensure that it can realize in real-world.

This paper is organized as follows, biquadratic filter both analog prototype and digital filter will be briefly discussed in section II. Proposed single-input multi-outputs biquadratic digital filter structure is in section III. Section IV, an FPGA implementation of proposed filter structure will be explained. Results and conclusions are shown in section V and VI, respectively.

II. BIQUADRATIC FILTER: ANALOG VS. DIGITAL FILTER

Biquadratic filter is filter in second order for both analog and digital filters can be realized. Biquadratic analog filter uses transfer function is s-domain and biquadratic digital filter uses transfer function in z-domain. This section is briefly described from analog prototype to biquadratic digital filter.

A. Biquadratic Analog Filter

Usually, transfer functions of biquadratic analog filters in s-domain for lowpass, highpass, bandpass, bandstop, and allpass filters are respectively used as follows [7],

$$H_{LP}(s) = \frac{\Omega_0^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2}, \quad H_{HP}(s) = \frac{s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2},$$

$$H_{BP}(s) = \frac{\left(\frac{\Omega_0}{Q}\right)s}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2}, \quad H_{BS}(s) = \frac{\Omega_0^2 + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2},$$

$$H_{AP}(s) = \frac{\Omega_0^2 - \left(\frac{\Omega_0}{Q}\right)s + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2}.$$

where Ω_0 is center frequency in rad/s, and Q is quality factor. All of them can mutually use in denominator of transfer function, therefore single-input multi-outputs filter realization is possible both of analog filter and digital filter.

B. Biquadratic Digital Filter

In order to obtain biquadratic digital filter, a conventional bilinear s-z transformation can be easily used to transform from analog transfer function prototypes to digital transfer functions in z-domain. However, a compact closed-form of

obtained digital transfer functions for lowpass, highpass, bandpass, bandstop, and allpass filters can be shown as follows,

$$H_{LP}(z) = \frac{G_{LP}(1+2z^{-1}+z^{-2})}{1+d_1z^{-1}+d_2z^{-2}}, \quad (1)$$

$$H_{HP}(z) = \frac{G_{HP}(1-2z^{-1}+z^{-2})}{1+d_1z^{-1}+d_2z^{-2}}, \quad (2)$$

$$H_{BP}(z) = \frac{G_{BP}(1-z^{-2})}{1+d_1z^{-1}+d_2z^{-2}}, \quad (3)$$

$$H_{BS}(z) = H_{LP}(z) + H_{HP}(z), \quad (4)$$

$$H_{AP}(z) = H_{BS}(z) - H_{BP}(z). \quad (5)$$

Parameters: G_{LP} , G_{HP} , G_{BP} , d_1 , and d_2 are computed as [3]

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k\Omega_0/Q \\ k \end{bmatrix}, \quad (6)$$

where $k = \frac{1}{\Omega_0^2 + \frac{\Omega_0}{Q} + 1}$, $\Omega_0 = \tan\left(\frac{\pi f_0}{F_s}\right)$ rad/s, f_0 is

center frequency in Hz, F_s is sampling frequency, and Q is quality factor.

III. PROPOSED FILTER STRUCTURE

A. Single-Input Multi-Outputs Biquadratic Digital Filter

Transfer functions in (1)-(5) have common denominator. Based on direct form II IIR filter structure, then the transfer function in (7) can be used to realize feedback part of single-input multi-outputs biquadratic digital filter structure as

$$\frac{W(z)}{X(z)} = \frac{1}{1+d_1z^{-1}+d_2z^{-2}}, \quad (7)$$

It is shown in Fig. 1.

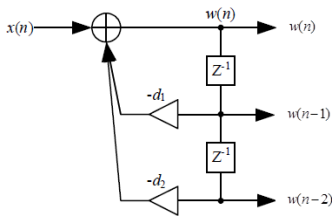


Fig. 1 Structure of feedback part.

Feedforward part of filter structure is considered from numerators of (1)-(5), for example of lowpass output is expressed in (8)

$$\frac{Y_{LP}(z)}{W(z)} = G_{LP}(1+2z^{-1}+z^{-2}), \quad (8)$$

and by the same manner, consider for highpass and bandpass outputs, it can give feedforward part as in Fig. 2.

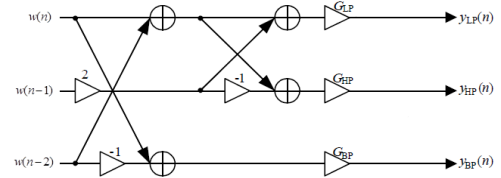


Fig. 2 Structure of feedforward part.

From above, add more consideration for bandstop and allpass outputs, it results in the whole structure as shown in Fig. 3.

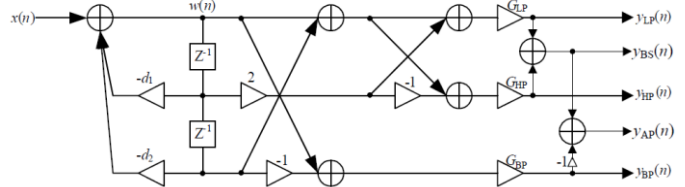


Fig. 3 Single-input multi-outputs biquadratic digital filter structure.

B. Tunability of Proposed Filter Structure

An important idea to make a filter structure in Fig. 3 can tune the frequency characteristic is breaking constant filter coefficients as G_{LP} , G_{HP} , G_{BP} , d_1 , and d_2 into a function of tuning parameters $\{\alpha, \beta\}$. The quality factor that related to controlling bandwidth is tuned by using α and center frequency can be tuned by β . The formulation of G_{LP} , G_{HP} , G_{BP} , d_1 , and d_2 in term of α and β is described in [4]. However, constant filter coefficients in Fig. 3 in term of tuning parameters can be expressed as

$$G_{LP} = \frac{1}{4}(1-\beta)(1+\alpha), \quad (9)$$

$$G_{HP} = \frac{1}{4}(1+\beta)(1+\alpha), \quad (10)$$

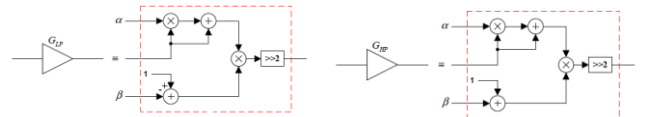
$$G_{BP} = \frac{1}{2}(1-\alpha), \quad (11)$$

$$d_1 = -(1+\alpha)\beta, \quad (12)$$

$$d_2 = \alpha. \quad (13)$$

where $\beta = \cos \omega_0$, by ω_0 is center frequency in rad, and $\alpha = r^2$, by r is pole radius in unit circle which has an effect to bandwidth adjustment. The value of α can vary from $0 < \alpha < 1$, and range of β can vary between $-1 < \beta < 1$ [4].

Constant multipliers in term of tuning parameters from (9)-(13) can be realized by following block diagrams,



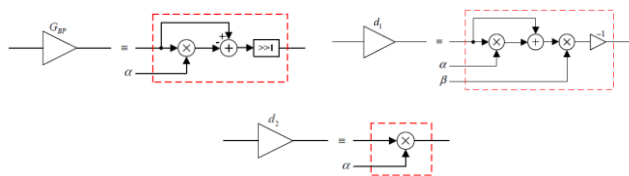


Fig. 4 Realization diagrams of constant filter coefficients in term of tuning parameters α, β .

Therefore, the proposed tunable single-input multi-outputs biquadratic digital filter structure can be shown in Fig. 5.

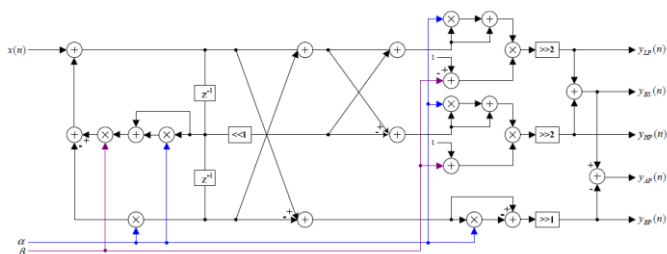


Fig. 5 Tunable single-input multi-outputs biquadratic digital filter.

Notice that symbol \ll and \gg appear in Fig. 4 and Fig. 5 are shift left and shift right operation 1 or 2 bits, respectively.

IV. AN FPGA IMPLEMENTATION

An efficient solution for hardware implementation of digital signal processing system including digital filter mostly uses an FPGA implementation [5, 6]. A proposed tunable single-input multi-outputs biquadratic digital filter structure in Fig. 5 also is implemented on an FPGA. All digital circuits design for implementing use VHDL coding. The whole structure for hardware implementation followed in Fig. 5 is divided to 2 parts: feedback part and feedforward part. However, the overall circuit that obtained from Quartus II synthesis is shown in Fig. 6.

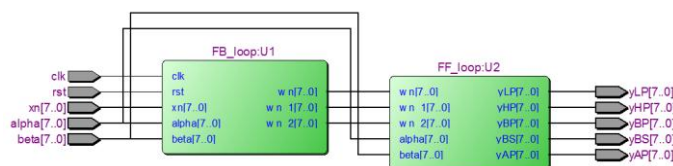


Fig. 6 Overall circuit.

Altera Cyclone II FPGA, device number EP2C35F672C6 is used in our implementation with 8 bits wordlength of input $x(n)$, intermediate signals $w(n)$, $w(n-1)$, $w(n-2)$, and all outputs in 2's complement format. Netlist of synthesized circuit of feedback part and feedforward part are shown in Fig. 6 and Fig. 8, respectively.

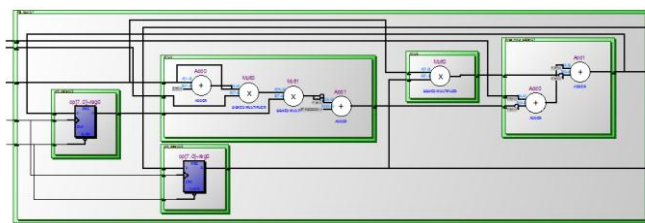


Fig. 7 Netlist of feedback part.

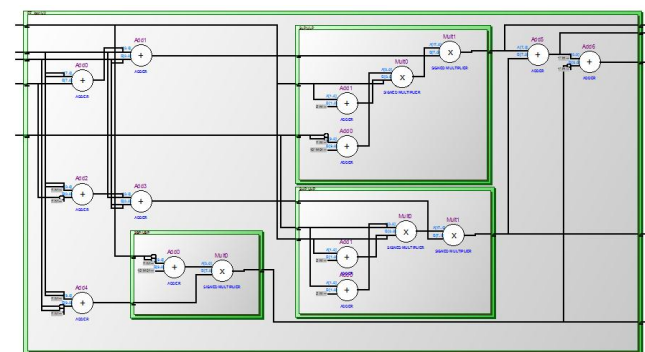


Fig. 8 Netlist of feedforward part.

The used resources, used pins, and speed performance of overall circuits can be summarized in Table I.

TABLE I
 SYNTHESIS RESULTS

| Area or used resource | Total Logic Elements | | 111 LEs. |
|-----------------------|-------------------------|------------------------------------|-----------------------|
| | Total Registers | Embedded Multiplier 9-bit elements | 16 REGs. 11 MULTs. |
| | Total pins | | 66 pins |
| Speed | Maximum Clock Frequency | | 101.44 MHz |

V. RESULTS

In this section, simulation results to show frequency responses of tunable single-input multi-outputs biquadratic digital filter from transfer function in z-domain can be shown and compared with experimental results obtained from its hardware implementation using FPGA. However, the results from hardware simulation will mainly focused only amplitude responses of proposed digital filter.

Fig. 9 shows the amplitude responses of 5 outputs at the same time both simulation and experimental results, and Fig. 10 is same as Fig. 9 but α and β are tuned to another values.

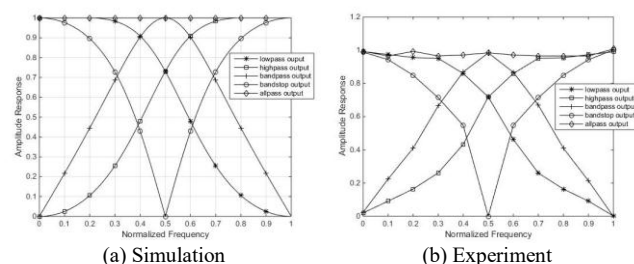


Fig. 9 Amplitude responses of 5 outputs $\{\alpha = 0.1875, \beta = 0\}$.

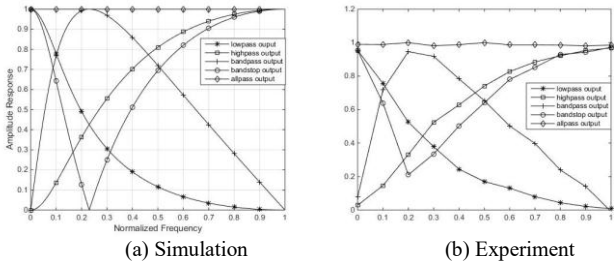


Fig. 10 Amplitude responses of 5 outputs $\{\alpha = 0.125, \beta = 0.75\}$.

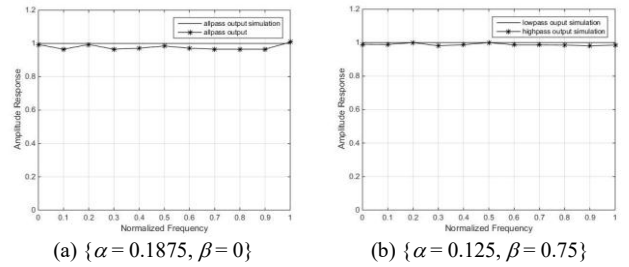


Fig. 15 Simulation compared with experiment for allpass output.

Comparison in amplitude response of both simulation and experiment for each output can be shown in Fig. 11 - Fig. 15, 2 sets of $\{\alpha, \beta\}$ are used to tune the amplitude response.

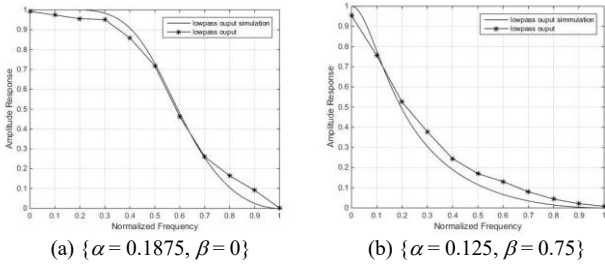


Fig. 11 Simulation compared with experiment for lowpass output.

From Fig. 9 - Fig. 15 can show the corresponding results of amplitude response. But amplitude response is not exactly same as simulation results, it is possible from 2 reasons: 1. error from reading amplitude of outputs from oscilloscope, and 2. finite wordlength effect because only 8 bits fixed-point number is used in this experiment.

The hardware simulation using ModelSim simulator can show an experimental results in time-domain of 5 outputs simultaneously as lowpass, highpass, bandpass, bandstop, and allpass, respectively as shown in Fig. 16. The sweep sine input is feed to our experiment, and therefore functionality of proposed single-input multi-outputs digital filter can be shown.

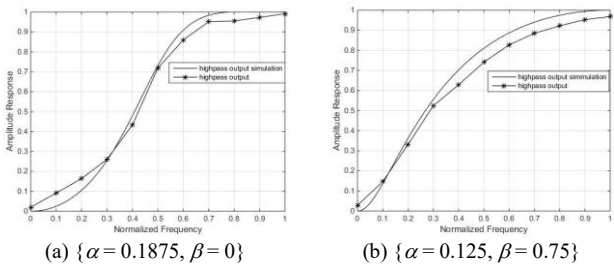


Fig. 12 Simulation compared with experiment for highpass output.

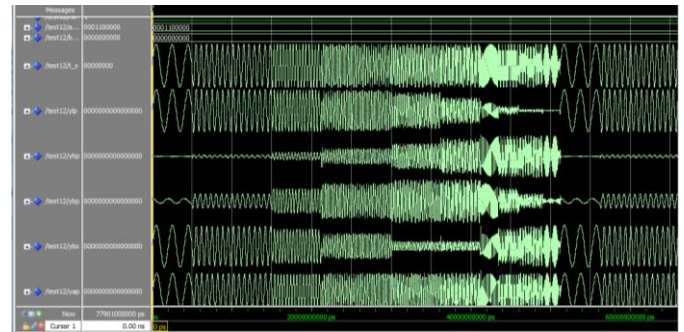


Fig. 16 Hardware simulation results of single-input multi-outputs digital filter in time-domain.

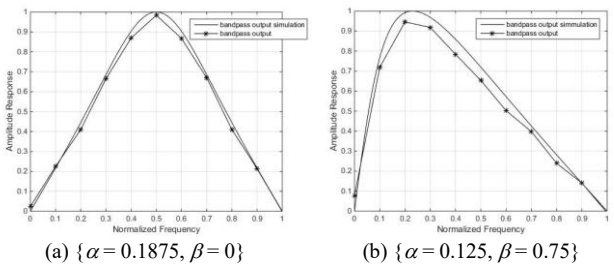


Fig. 13 Simulation compared with experiment for bandpass output.

VI. CONCLUSIONS

A single-input multi-outputs biquadratic digital filter is proposed in this paper with a capability on tuning in frequency response both center frequency and bandwidth using user-defined tuning parameters. This can give more flexible in practical use for digital filter. The proposed filter structure is also implemented on FPGA to ensure that it can realize. Obtained results can show the correspondence of both simulation and experiment. However, phase response is not considered in this paper including finite wordlength effect that affect to accurate of frequency response and limitation of input amplitude due to overflow inside will be future work.

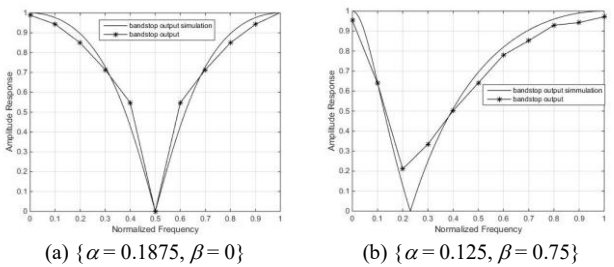


Fig. 14 Simulation compared with experiment for bandstop output.

REFERENCES

[1] S. Maheshwari, S. V. Singh, and D. S. Chauhan, "Electronically tunable low-voltage mixed-mode universal biquad filter," *IET Circuits, Devices & Systems*, vol. 5, iss. 3, pp. 149-158, 2011.

- [2] S. V. Singh, S. Maheshwari, and D. S. Chauhan, "Current-mode electronically tunable biquad filter," *Proc. 2011 International Conference on Multimedia, Signal Processing and Communication Technologies (IMPACT)*, Dec. 2011.
- [3] S. Chivapreecha, A. Jaruvarakul, and K. Dejhan, "Modified Pascal matrix for biquad digital filter design and its filter structure realization," *Proc. 4th International Colloquium CSPA 2008*, March 2008.
- [4] S. Chivapreecha, "Universal biquadratic digital filter with tunable capability," *Proc. 2011 IEEE Region 10 Conference (TENCON 2011)*, Nov. 2011.
- [5] D. Costa, and C. S. Paez, "A comparative analysis of hardware techniques for implementation of IIR digital filter on FPGA," *Proc. 2015 XVI Workshop on Information Processing and Control (RPIC)*, Oct. 2015.
- [6] N. Bhagyalakshmi, K. R. Rekha, and K. R. Nataraj, "Design and implementation of DA-based reconfigurable FIR digital filter on FPGA," *Proc. 2015 International Conference on Emerging Research in Electronics, Computer Science and Technology (ICERECT)*, Dec. 2015.
- [7] M. E. Van Valkenburg, *Analog Filter Design*, Holt-Saunders International Editions: New York, 1982.

ประวัติผู้เขียน

| | |
|------------------|--|
| ชื่อ – นามสกุล | นางสาวชลธิชา อธิทินราเดช |
| วัน เดือน ปีเกิด | 19 กันยายน 2534 ที่กรุงเทพมหานคร |
| ที่อยู่ | 1674 หมู่ 7 ต.เทพารักษ์ อ.เมือง จ.สมุทรปราการ 10270 โทร. 062-821-8873 |
| ประวัติการศึกษา | 2556 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง |
| งานวิจัยที่สนใจ | วงจรกรองสัญญาณดิจิทัล |

บทความวิจัยที่ได้นำเสนอในการประชุมวิชาการระดับนานาชาติ

- [1] Chonthicha Ittinradech, Sorawat Chivapreecha and Chusit Pradabpet. “Tunable Single-Input Multi-Outputs Biquadratic Digital Filter” **International Symposium on Multimedia and Communication Technology (ISMAC)**, 2017. pp. 143-147