

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



ระบบการวัดค่า Spot Size

นาย พูลลาภ ชีรวาณิช์ผล
นาย ไพลีรุ ตั้งกิจศิริ
นางสาว กัทริยา ฐาปนพาหะ

ร/พ.
พ866ร
2536

เลขหมู่.....
เลขทะเบียน.....
วัน,เดือน,ปี.....

61255487X

โครงการพิเศษนี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรวิทยาศาสตรบัณฑิต

ภาควิชาฟิสิกส์ประยุกต์

คณะวิทยาศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

ปีการศึกษา 2536

SPOT SIZE MEASURING SYSTEM

MR. PHOONLARP TEERAVANICHPOL

MR. PAISIT TANGKIJSIRI

MISS. PATREEYA THAPANAPAHA

A SPACIAL PROJECT SUBMITTED IN PARTIAL FULFILLMENT OF THE

REQUIREMENT FOR THE DEGREE OF BACHELOR OF SCIENCE

DEPARTMENT OF APPLIED PHYSICS

FACULTY OF SCIENCE

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

1993

หัวข้อโครงการพิเศษ	ระบบการวัดค่า Spot Size	
โดย	นาย พูลลาภ	ธีรวัฒน์ชัยผล
	นาย ไพสิฐ	ตั้งกิจศิริ
	นางสาว กัทธีธา	ธำปนพาหะ
ภาควิชา	ฟิสิกส์ประยุกต์	
อาจารย์ที่ปรึกษา	ผศ.ดร. ศิริศักดิ์	เดชะทวีกุล

ภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง อนุมัติให้ยื่นรายงานโครงการพิเศษฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิทยาศาสตร์บัณฑิต

.....
 (ผศ. ปรีชา เทียนสมประสงค์)
 หัวหน้าภาควิชาฟิสิกส์ประยุกต์

คณะกรรมการสอบโครงการพิเศษ

.....
 (ผศ.ดร. ศิริศักดิ์ เดชะทวีกุล)
 ประธานกรรมการ

..... กรรมการ
 (ผศ.ดร. ปรีชา เทียนสมประสงค์)

..... กรรมการ
 (ดร. อาวีชัย วิเชียรฉาย)

ลิขสิทธิ์ของภาควิชาฟิสิกส์ประยุกต์ คณะวิทยาศาสตร์
 สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

หัวข้อโครงการพิเศษ	ระบบการวัดค่า Spot size
โดย	นาย พูลลาภ ชีรวาณิชย์ผล นาย ไพลีรัฐ ตั้งกิจศิริ นางสาว ภักธีรยา ฐานพนาหะ
ภาควิชา	ฟิสิกส์ประยุกต์
อาจารย์ที่ปรึกษา	ผศ.ดร. สิริศักดิ์ เตชะทวีกุล
ปีการศึกษา	2536

บทคัดย่อ

โครงการพิเศษนี้ เป็นการสร้างเครื่องมือเพื่อวัดคุณสมบัติของเลเซอร์ โดยใช้คุณสมบัติของ Spot Size ของ Lowest-order Gaussian beam โดยวัดค่าความเข้มของเลเซอร์ที่ผ่านการขยายโดยเลนส์ โดยที่ Photodetector จะทำการ scan และเก็บข้อมูลที่ตำแหน่งต่าง ๆ ในแนวแกน X และแกน Y ในพื้นที่ที่กำหนด ข้อมูลทั้งหมดจะถูกรวบรวมโดยคอมพิวเตอร์ โดยทำการออกแบบและสร้างแท่นเพื่อทำการ scan โดยมีวงจรรีบ Stepping motor, วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล โดยข้อมูลถูกส่งผ่านการควบคุมที่ใช้ IC 8255 และควบคุมการหมุนของ Stepping motor ด้วย การเก็บข้อมูลโดยใช้ software และนำข้อมูลที่ได้ไปสร้างกราฟจะสามารถ วิเคราะห์ค่า Spot Size ของเลเซอร์

Special Project Title Spot Size Measuring System

Name Mr. Poonlarp Teeravanichpol
 Mr. Paisit Tangkijisiri
 Miss. Pattreeya Thapanapaha

Special Project Advisor Assistant Professor Sirisak Techatawekul

Department Applied Physics

Academic Year 1993

Abstract

The purpose of this special project is to construct a measuring system to get a property of lasers. That is the spot size of a lowest order (TEM_{00}) Gaussian beam. The Gaussian beam can be recorded by magnifying it first and then moving a photodetector slowly across the intensity pattern which is large enough. All data are stored on a computer. The system consists of a X-Y holder which is designed and constructed for moving the photodetector using a stepping motor driver circuit with an analog to digital converter and a 8255 PIO card for controlling the data. This card will transmit and control the direction of the stepping motor. Softwares are also used in the data acquisition part and these data will be converted into a graphic form to be analyzed the spot size of the laser. It has been found that the spot size is 0.22 mm which is in the same order of the practical value (0.2 - 0.6 mm).

กิตติกรรมประกาศ

โครงการพิเศษนี้ สำเร็จไปด้วยดี ด้วยความร่วมมือ และความช่วยเหลือของบุคคลต่าง ๆ
ต้องขอขอบคุณบุคคลเหล่านี้ คือ

ผศ.ดร. ศิริศักดิ์ เตชะทวีกุล ที่ให้ความช่วยเหลือ และคำปรึกษา จนกระทั่งโครงการพิเศษนี้ สำเร็จไปด้วยดี

รศ.ดร. สุรพล รักวิจิธ ที่เอื้อเฟื้อสถานที่ในการทำงาน

อ.วิจิต ศิริโชติ ที่คอยให้คำปรึกษา ตลอดจนคำแนะนำต่าง ๆ

อ.วิชาญ กนกนทา ที่เอื้อเฟื้อ คอมพิวเตอร์

คุณสุรเมธ พิสิทธ์ประยุทธ์ รุ่น 4 ที่ให้คำแนะนำเกี่ยวกับคอมพิวเตอร์

คุณสาธิต ทองจีน ที่คอยให้คำปรึกษา และให้ความรู้ทางด้าน Software

คุณกิตติกร วิรัชวรพงศ์ ที่ช่วยให้คำปรึกษาทางด้านวงจร A/D และให้ฮีมอุปกรณ์

คุณพิมพ์า เปรมปรีชากุล และคุณชินวรณ์ ทวีทรัพย์รังแสง ที่เอื้อเฟื้อในการเบิกอุปกรณ์

คุณวิโรจน์ อธิธิประทีป และคุณศุภชัย สมนทธาน ที่เอื้อเฟื้อในการเบิกและซื้ออุปกรณ์

คุณปัญญาชนันต์ แก้วทิพษเนตร ที่เอื้อเฟื้อในการเบิกอุปกรณ์ และอื่น ๆ อีกมากมาย

คุณพงศ์พันธ์ ศรีจิตติ และ คุณชิปไตย ตัณฑ์ประพันธ์ ที่เอื้อเฟื้อในการเบิกอุปกรณ์ และอื่น ๆ

อีกหลายอย่าง

คณะกรรมการทุกท่าน ที่ช่วยตรวจทาน และแก้ไขรายงานให้สมบูรณ์

ท้ายสุดนี้ ขอขอบคุณเพื่อน ๆ พี่ ๆ และน้อง ๆ ทุกคน ที่คอยให้กำลังใจ เพื่อให้โครงการพิเศษนี้ ลุล่วงไปด้วยดี

ภักวีธา ฐาปนพาหะ

ไพสิฐ ตั้งกิจศิริ

พูนลาภ ชีรวาณิชย์ผล

สารบัญรูป

	หน้าที่
รูป 2.1 การทดลองของ YOUNG เพื่อแสดงการแทรกสอดของแสง	4
รูป 2.2 แสดงการแทรกสอดแบบเสริมและหักล้าง	5
รูป 2.3 แสดงการเคลื่อนที่ของคลื่นตามหลัก HUYGENS	5
รูป 2.4 แสดงการกระจายแสงผ่านช่อง	6
รูป 2.5 การสะท้อนและหักเห	6
รูป 2.6 แสดงระนาบของสนามแม่เหล็กและสนามไฟฟ้า	8
รูป 2.7 เปรียบเทียบคลื่นที่มี coherent ดี	8
รูป 2.8 Beam divergence ของลำแสงเลเซอร์	10
รูป 2.9 แสดง spot size ของ เลเซอร์	11
รูป 2.10 แสดง Gaussian distribution ของลำเลเซอร์	12
รูป 2.11 แสดง optical cavity ที่ใช้ในการสร้าง light amplification	14
รูป 2.12 แสดงโครงสร้างของ photodiode ชนิดต่าง ๆ	15
รูป 2.13 แสดงคุณสมบัติ quantum efficiency ของ photodiode	17
รูป 2.14 วงจร detector ที่ใช้ในการทดลอง	18
รูป 3.1 การควบคุม stepping motor	19
รูป 3.2 stepping motor แบบ 4 เฟส	21
รูป 3.3 bipolar stepping motor 2 เฟส	21
รูป 3.4 unipolar stepping motor	22
รูป 3.5 stepping motor ที่ใช้แกนเหล็กอ่อน	23
รูป 3.6 กราฟคุณลักษณะระหว่างโมเมนต์กับความถี่	24
รูป 3.7 แสดงแผนภูมิเวลาของการกระตุ้นแบบต่าง ๆ	25
รูป 3.8 กราฟแสดงผลตอบสนองของ stepping motor ต่อการกระตุ้นเฟสเดียว	26
รูป 3.9 กราฟแสดงผลตอบสนองของ stepping motor ต่อการกระตุ้นสองเฟส	26

รูป 3.10	แสดงวงจรรับมอเตอร์	27
รูป 3.11	การใช้กระแสขับเพื่อเพิ่มโมเมนต์ที่อัตราเร่งสูง	28
รูป 3.12	ระบบบัสของ IBM PC	31
รูป 3.13	การแบ่ง Address ของ IBM PC	32
รูป 3.14	แสดงบัสไซ้เคิลของการอ่านและเขียนข้อมูลจากพอร์ท	34
รูป 3.15	แสดงวงจร decoder	36
รูป 3.16	แผนผังโครงสร้างของ IC 8255	37
รูป 3.17	แผนผังวงจรภายในและการจัดขาของ IC 8255	38
รูป 3.18	ความหมายของบิตต่าง ๆ ในรหัสควบคุม	41
รูป 3.19	ลักษณะของรหัสควบคุมแบบต่าง ๆ ในโหมด 0	43
รูป 3.20	โครงสร้างตัวตรวจสอบสัญญาณของพอร์ทอินพุทและพอร์ทเอาต์พุท	46
รูป 3.21	วงจรการต่อ 8255 ในโหมด 1	47
รูป 3.22	แผนผังเวลาการรับและส่งข้อมูลโดยใช้ตัวตรวจสอบสัญญาณ	48
รูป 3.23	โครงสร้างของพอร์ท A ที่ทำงานแบบพอร์ทสองทิศทาง	50
รูป 3.24	แสดงการต่อ 8255 กับวงจร decode	51
รูป 3.25	แสดงวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล โดยวิธีรรมดาหรือวิธีแลมป์	53
รูป 3.26	แสดงวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล โดยวิธีต่อเนื่อง	54
รูป 3.27	แสดงวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล โดยวิธีประมาณทีละบิต	55
รูป 3.28	แสดงวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลโดยวิธีแฟลช	56
รูป 3.29	แสดงวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลโดยวิธีสโลปคู่	58
รูป 3.30	แสดงการต่อวงจร test circuit ของ ICL 7109	60
รูป 3.31	แสดงส่วน digital section	63
รูป 3.32	แสดง timing ของ status	64
รูป 3.33	แสดงการทำงานของ RUN/HOLD	64
รูป 3.34	แสดง timing diagram ของการติดต่อโดยตรง	65
รูป 3.35	แสดง timing diagram ของการติดต่อแบบ Handshake	66

รูป 3.36 แสดงการต่อวงจร oscillator แบบใช้ RC	66
รูป 3.37 แสดงการต่อวงจร oscillator แบบใช้ Crystal	67

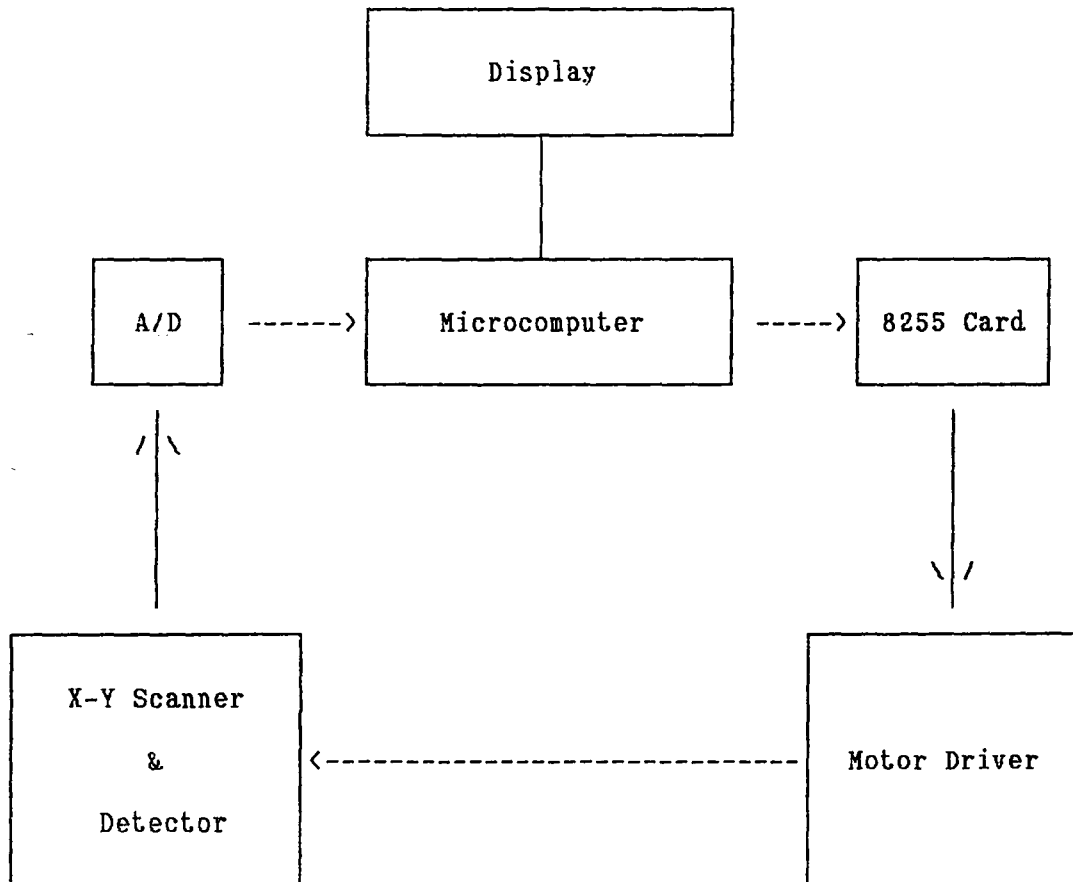
สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญรูป	ง
บทที่ 1 บทนำ	1
บทที่ 2 ความรู้เกี่ยวกับเลเซอร์และ Photodetector	2
ธรรมชาติของแสง	2
คุณสมบัติของแสงเลเซอร์	8
Coherency	8
Monochromaticity	9
Directionality	9
High Intensity	11
Laser Spot Size	11
กลไกการเกิดเลเซอร์	12
อุปกรณ์รับแสง	14
บทที่ 3 การควบคุมการทำงานของแท่นเลื่อนหัว Photodetector	19
ทฤษฎีและหลักการทำงานของ Stepping Motor	19
การเชื่อมต่อ IBM PC	30
8255 พอร์ทข้อมูลแบบขนาน	37
การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	52
บทที่ 4 ผลการทดลอง	68
บทที่ 5 สรุปและวิจารณ์ผล	76
ภาคผนวก ก. วงจรขับมอเตอร์ที่ใช้ในการทดลอง	
ข. โปรแกรม	
ค. Data Sheet	
เอกสารอ้างอิง	
ประวัติผู้เขียน	

บทนำ

ในปัจจุบันนี้ ได้มีการนำเลเซอร์มาใช้งานในด้านต่าง ๆ มากมาย เช่น ทางด้านการแพทย์ ด้านวิทยาศาสตร์ ด้านอุตสาหกรรม และด้านความบันเทิง ดังนั้น การเรียนรู้เรื่องของ เลเซอร์ จึงมีความจำเป็นอย่างยิ่งต่อการพัฒนา และการนำเลเซอร์ไปใช้งานให้เกิดประโยชน์สูงสุดได้ การศึกษาคุณสมบัติของแสงเลเซอร์ จึงเป็นส่วนหนึ่งของการเรียนรู้ที่น่าสนใจ ทำให้เกิดแนวคิดที่จะหาทางสร้างเครื่องมือวัดคุณสมบัติทั้งหลายเหล่านี้ และคุณสมบัติอื่นหนึ่งของเลเซอร์ที่อยู่ในความสนใจก็คือ การหาค่า Spot size ซึ่งนำไปสู่การกำเนิดโครงการเรื่อง ระบบการวัดค่า Spot size ของแสง เลเซอร์ขึ้นมา ดังจะกล่าวถึงในตอนต่อไป

เราสามารถแบ่งโครงการนี้ ออกเป็น Block diagram ดังรูปต่อไปนี้



จากรูปจะเห็นว่า ในโครงงานพิเศษนี้ ประกอบด้วยส่วนสำคัญ ต่าง ๆ ดังนี้คือ

1. Microcomputer
2. การ์ด 8255
3. วงจรขับสเตปมอเตอร์
4. X-Y Scanner
5. วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

และส่วนประกอบเหล่านี้ สามารถอธิบายพอเป็นสังเขปดังต่อไปนี้

1. Microcomputer

- เป็นส่วนที่ส่งข้อมูลดิจิตอล เพื่อการควบคุม สเตปมอเตอร์ โดยผ่านวงจรขับมอเตอร์
- รับข้อมูลจาก detector ซึ่งเป็นสัญญาณอนาลอก แล้วผ่านการแปลงเป็นสัญญาณดิจิตอล โดยวงจร A/D Converter
- เก็บค่าความเข้มที่ตำแหน่ง X Y ต่าง ๆ

2. การ์ด 8255

เป็นส่วนที่ใช้ในการเชื่อมต่อวงจรขับสเตปมอเตอร์กับไมโครคอมพิวเตอร์ และใช้ในการควบคุมการหมุนของ สเตปมอเตอร์ เนื่องจากสเตปมอเตอร์จะทำงานโดยมีการกระตุ้นแบบเฟส จึงใช้พอร์ท A ของ 8255 ในการควบคุมทิศทางการหมุนของมอเตอร์ โดย software

3. วงจรขับสเตปมอเตอร์

เป็นวงจรขับกำลังให้สเตปมอเตอร์ เพื่อให้สเตปมอเตอร์ สามารถหมุนแทน scan ได้

4. X-Y Scanner

เป็นส่วนที่ใช้ยึด detector เพื่อทำการ scan การทำงานจะให้ สเตปมอเตอร์ 2 ตัวในการหมุนแทน โดยทำการหมุนในทิศทางในแนวแกน X และทิศทางในแนวแกน Y

5. วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

เป็นวงจรที่ใช้แปลงสัญญาณอนาลอกที่ได้รับจาก detector ไปเป็นสัญญาณดิจิตอล เพื่อนำไปเชื่อมต่อเข้ากับไมโครคอมพิวเตอร์ ในโครงงานพิเศษนี้ ใช้ IC เบอร์ 7109 ซึ่งมีการทำงานเป็นแบบ Dual-slope

วัตถุประสงค์ของโครงการพิเศษนี้

1. เพื่อให้เกิดการเรียนรู้ การออกแบบสร้างเครื่องมือวัด
2. เพื่อวัดค่า Spot size ของแสงเลเซอร์
3. เพื่อนำค่า Spot size ที่ได้ มาวิเคราะห์และเปรียบเทียบคุณสมบัติของเลเซอร์ตัวนั้น

ขั้นตอนในการทำโครงการพิเศษ

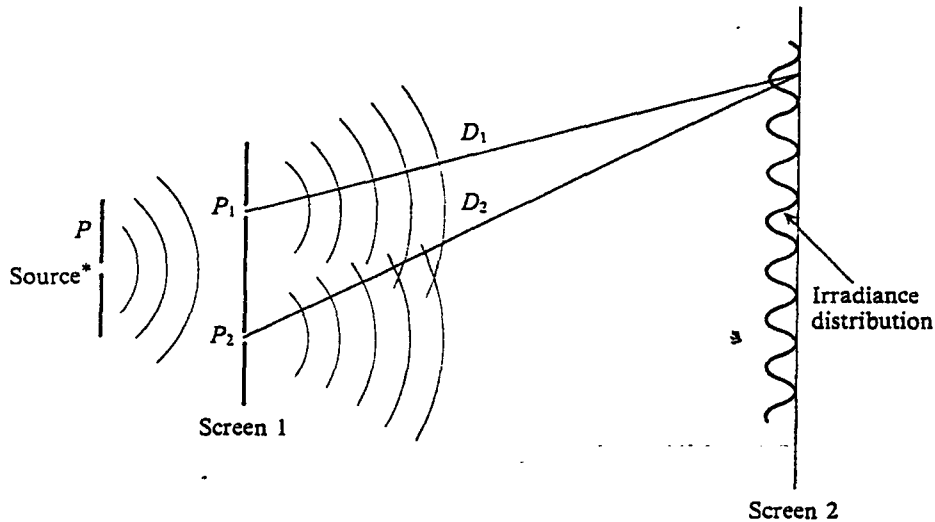
1. ทำการออกแบบ X-Y Scanner เพื่อนำมาใช้วัด detector
2. ศึกษาการทำงานของวงจรรีบ สเตปมอเตอร์ เพื่อใช้ในการหมุน X-Y Scanner
3. ศึกษาและทำการออกแบบการ์ด 8255 ซึ่งใช้ในการติดต่อ เพื่อควบคุมทิศทางการหมุนของสเตปมอเตอร์ โดยควบคุมผ่าน ไมโครคอมพิวเตอร์
4. ทำการศึกษาและออกแบบ วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล เนื่องจากสัญญาณที่ได้จาก detector เป็นสัญญาณอนาลอก ต้องทำการแปลงสัญญาณอนาลอกเป็นดิจิตอลเพื่อติดต่อกับไมโครคอมพิวเตอร์เพื่อประมวลผล
5. ทำการ scan ลำแสงเลเซอร์ที่ผ่านเลนส์แล้ว เพื่อเก็บค่าความเข้มแสงที่จุดต่าง ๆ
6. วิเคราะห์ผลโดยไมโครคอมพิวเตอร์ โดยอาศัยกราฟสำหรับหาค่า Spot Size

ความรู้เกี่ยวกับ laser และ photodetector

2.1 ธรรมชาติของแสง

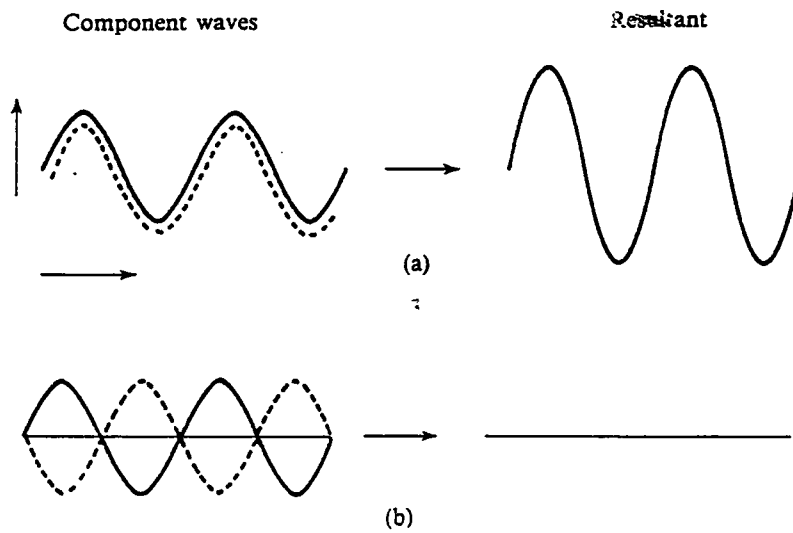
LASER ต่อกมาจาก Light Amplification by Stimulated Emission of Radiation เพื่อให้เข้าใจสมบัติของแสงเลเซอร์จะขอกล่าวถึงเรื่องธรรมชาติของแสงก่อน ปรากฏการณ์โดยทั่วไปที่เกิดขึ้นกับแสงมี การสะท้อน การหักเห การแทรกสอด และการเลี้ยวเบน

การแทรกสอด(Interference) เกิดจากแหล่งกำเนิดแสงที่มากกว่าหนึ่งแหล่งเคลื่อนที่มาพบกัน จะทำให้เกิดแถบมืด-สว่าง ซึ่งจะอธิบายโดยการทดลองของ Young ดังรูป



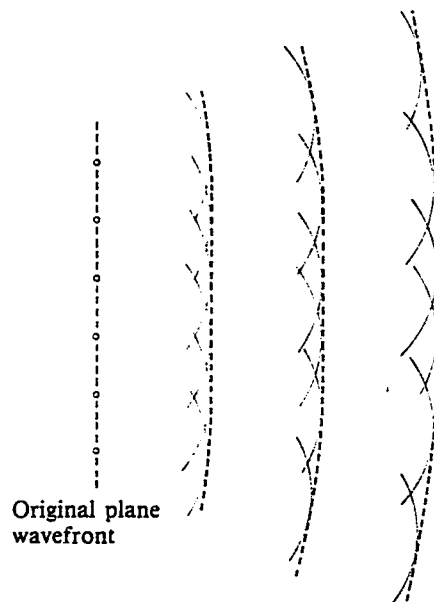
รูป 2.1 การทดลองของ Young เพื่อแสดงการแทรกสอดของแสง

จากรูป แสงจาก point source จะผ่าน screen ซึ่งประกอบด้วยรู 2 รู เมื่อแสงผ่าน P1 และ P2 จะเกิดรูปแบบของการแทรกสอด โดยแถบสว่างเกิดเนื่องจากคลื่นแสงเกิดการรวมกัน โดยมีเฟสตรงกัน แถบมืดเกิดจากแสงที่มีเฟสต่างกันจะหักล้างกันไป

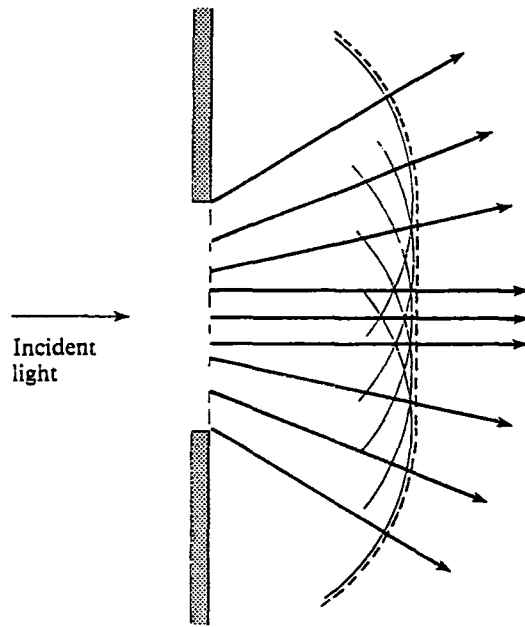


รูป 2.2 แสดงการแทรกสอดแบบเสริมและหักล้าง

การเลี้ยวเบน(diffraction) อธิบายได้จากหลักของ Huygens ที่ว่า ทุก ๆ จุดบนหน้าคลื่นทำหน้าที่เป็นแหล่งกำเนิดคลื่นใหม่ และหน้าคลื่นใหม่ ก็สามารถกำเนิดคลื่นใหม่ได้อีก ซึ่งจะทำให้คลื่นสามารถเคลื่อนที่ไปได้ดังรูป 2.3 โดยที่หน้าคลื่นที่ออกจาก Point Source จะเป็นผิวของทรงกลม การกระจายแสงที่ผ่านช่องจะเป็นดังรูป 2.4



รูป 2.3 แสดงการเคลื่อนที่ของคลื่นตามหลัก Huygens



รูป 2.4 แสดงการกระจายแสงผ่านช่อง

การสะท้อนและการหักเห (Reflection and Refraction)

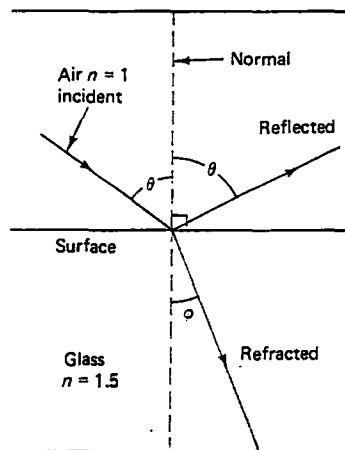
เมื่อแสงเคลื่อนที่ผ่านตัวกลางที่เปลี่ยนไป จะเกิดการสะท้อนและหักเห ซึ่งค่าดัชนีหักเห n เป็นค่าที่เปรียบเทียบความเร็วของแสงในสุญญากาศ กับความเร็วของแสงในตัวกลาง

$$n = c/v$$

n = ดัชนีหักเห

c = ความเร็วของแสงในสุญญากาศ

v = ความเร็วแสงในตัวกลาง



รูป 2.5 การสะท้อนและหักเห

จากรูป เมื่อดำแสงตกกระทบกับผิวแก้วที่เรียบ จะเกิดการแตกออกเป็น 2 ลำ โดยลำหนึ่งเคลื่อนที่สะท้อนออกจากผิว อีกลำหนึ่งจะเคลื่อนที่เข้าไปในแก้ว โดยให้รังสีตกกระทบ (incident ray) แทนลำแสงตกกระทบ และ ลำแสงสะท้อน (reflect beam) แทนรังสีสะท้อน (reflect ray) และรังสีทะลุผ่าน (transmitted ray) แทนลำแสงทะลุผ่าน (transmitted beam)

คุณสมบัติของลำแสงทั้งสามอธิบายโดย มุมที่ทำกับเส้นปกติ ที่ตั้งฉากกับผิวกระจก โดยที่ มุมของรังสีตกกระทบ และรังสีสะท้อนจะมีค่าเท่ากัน มุมของรังสีทะลุผ่านจะถูกกำหนดโดยมุมของรังสีตกกระทบ และค่าดัชนีหักเหโดยสมการ

$$\sin \phi = n/n' (\sin \theta)$$

โดย $\sin \phi$ คือค่า sine ของมุมหักเห

n คือค่าดัชนีหักเหของวัสดุที่รังสีเริ่มต้นตกกระทบ

n' คือค่าดัชนีหักเหของวัสดุที่รังสีได้เกิดการหักเห

$\sin \theta$ คือค่า sine ของมุมตกกระทบ

แสงเป็นคลื่นตามขวาง (Transverse wave) การสั่นของคลื่นแสง จะตั้งฉากกับทิศทางการเคลื่อนที่

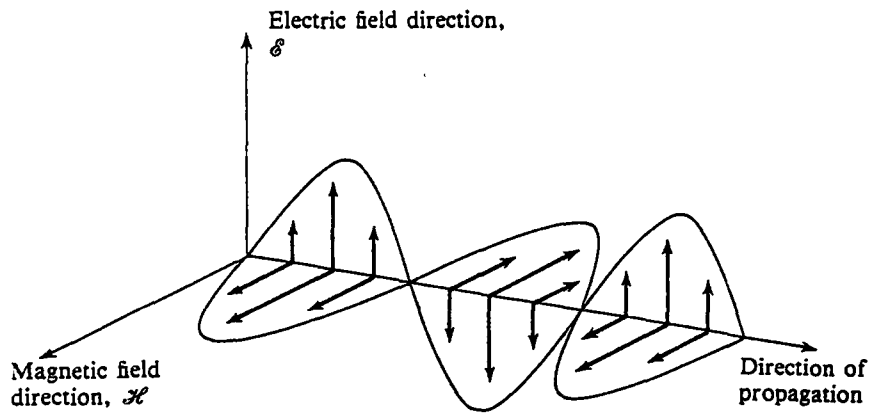
Maxwell ได้รวบรวมงานของ Faraday , Oersted และ Henry ที่เกี่ยวข้องกับไฟฟ้า และแม่เหล็ก และสรุปเป็นสมการโดยพิจารณาความเร็วของคลื่นตามขวางซึ่งมีความเร็วในอวกาศอิสระเป็น c โดย

$$c = (1/\epsilon_0 \mu_0)^{1/2}$$

μ คือค่า magnetic permeability ของ free space

ϵ คือค่า electric permittivity ของ free space

และ Maxwell ได้เสนอว่า แสงเป็นคลื่นแม่เหล็กไฟฟ้า ที่มีความเร็วประมาณ $3 \times 10^8 \text{ ms}^{-1}$ มีความถี่ประมาณ $5 \times 10^{14} \text{ Hz}$ และความยาวคลื่นประมาณ $5 \times 10^{-7} \text{ m}$ โดยประกอบด้วยสนามไฟฟ้า และสนามแม่เหล็กอยู่ในระนาบที่ตั้งฉากกัน และตั้งฉากกับทิศการเคลื่อนที่ของแสง



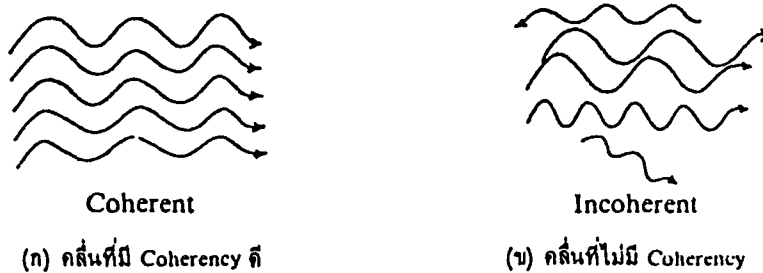
รูป 2.6 แสดงระนาบของสนามแม่เหล็กและสนามไฟฟ้า

2.2 คุณสมบัติของแสงเลเซอร์

ลักษณะเด่นที่สำคัญของแสงเลเซอร์คือ เป็น Coherent Light มีความยาวคลื่นค่าเดียว (Monochromaticity) มีทิศทางที่แน่นอน (Directionality) มีความเข้มสูง (High Intensity)

2.2.1 Coherency

คือความเป็นระเบียบของคลื่น คลื่นจะเคลื่อนที่ไปในทิศทางเดียวกัน โดยมีเฟสเหมือนกัน (In phase) จึงมีหน้าคลื่นพร้อมกัน ดังรูป



รูป 2.7 เปรียบเทียบคลื่นที่มี Coherent ดี

คลื่นที่เป็นระเบียบ ช่อมมีพลังงาน และโมเมนตัม เพราะพลังงานและโมเมนตัมของโฟตอนแต่ละตัวจะเสริมกัน และมี impact ในทิศทางเดียวกัน

ในอุดมคติ เราต้องการให้คลื่นแสงที่อยู่ใน optical cavity มี coherency ดีอย่างสมบูรณ์แบบ แต่ในทางปฏิบัติ คลื่นแสงที่วิ่งผ่านตัวกลางของเลเซอร์หรือตัวกลางอื่น ๆ แล้วมักเกิด Interaction กับวัตถุเหล่านั้น อาจสูญเสียพลังงานโมเมนตัมหรือเปลี่ยนทิศทางการเคลื่อนที่ไปบ้าง จะทำให้ความเป็น coherency ลดลง ระยะทางที่แสงยังคงความเป็น coherency ได้สมบูรณ์แบบเรียกว่า coherent light

2.2.2 Monochromaticity (แสงสีเดียว)

แสงเลเซอร์มีคุณสมบัติเป็นแสงที่มีความยาวคลื่นค่าเดียว เพราะเป็นแสงที่เปล่งออกมาจากการเปลี่ยนชั้นพลังงานที่เป็น Discrete Energy Level ในระบบอะตอมหรือโมเลกุล ความถี่ของแสงมีค่าแน่นอนตามผลต่างของชั้นพลังงานทั้งสอง ($\nu = \Delta E/h$) และยังมีส่วนในการทำให้เกิด Stimulated Emission โดยอาศัยกลไกของการขยายสัญญาณแสง ด้วย optical cavity จึงเกิดแสงที่มีความถี่เดียวกันอีกจำนวนมาก นี่คือเหตุผลที่แสงเลเซอร์เป็นแสงสีเดียว

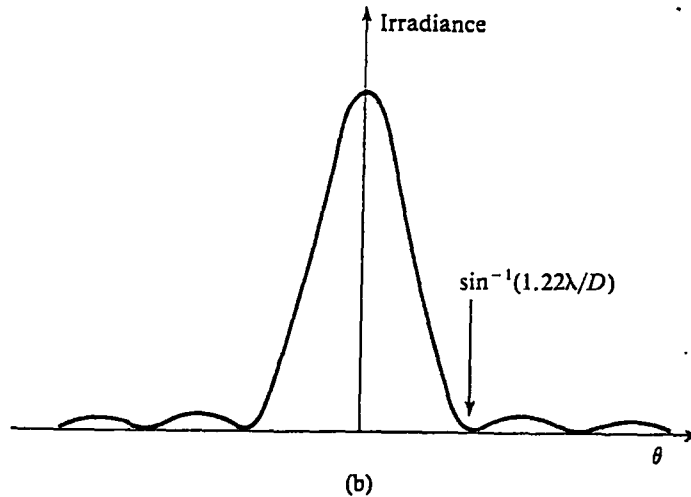
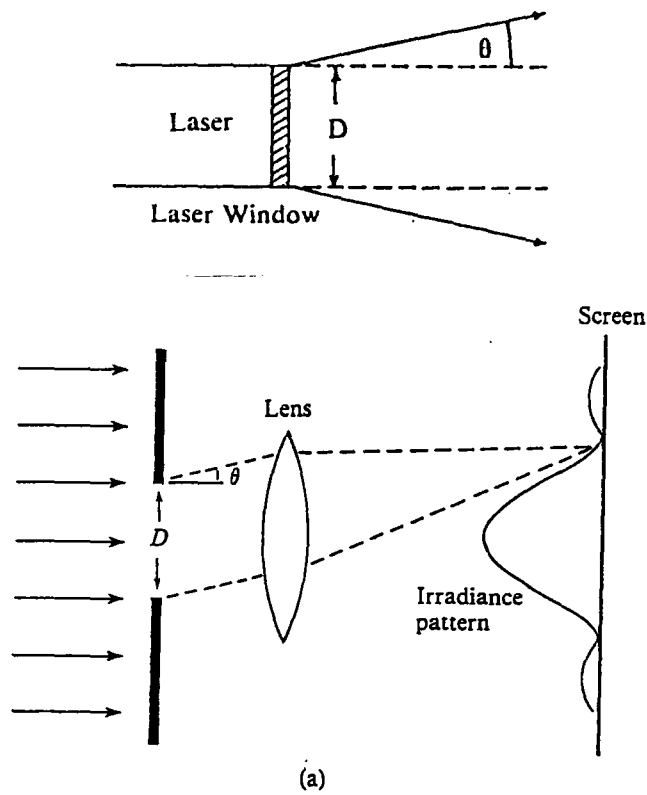
2.2.3 Directionality (การมีทิศทางที่แน่นอน)

เลเซอร์ เป็นแหล่งกำเนิดแสงที่ให้แสงเป็นลำขนาน ความขนานของลำแสงจะมี beam divergence เล็กน้อย ซึ่งกำหนดจากสูตร

$$\theta = \lambda / D$$

โดย λ เป็นความยาวคลื่นของแสงเลเซอร์

D เป็นเส้นผ่าศูนย์กลางของลำแสง



รูป 2.8 Beam Divergence ของลำแสง laser

ลำแสงที่ขนานจึงมีทิศทางการเคลื่อนที่ที่แน่นอนและชี้ไปยังทิศเดียวกันยังเป้าที่ต้องการได้ สาเหตุที่ลำแสงเลเซอร์มี Directionality ดังนี้ เนื่องจากการขยายสัญญาณแสงภายใน optical cavity โฟตอนที่มีทิศทางการเคลื่อนที่ในแกนแสง (optical axis) เท่านั้นที่จะถูกขยายสัญญาณเป็นแสงเลเซอร์ ดังนั้นแสงเลเซอร์จึงเป็นแสงที่อยู่ในแนวแกนแสง หรือตั้งฉากกับกระจกที่ใช้เป็น optical cavity แต่เนื่องจากกระจกที่ใช้ทำ optical cavity นั้น มีเสถียรภาพทางแสงดี ดังนั้นเลเซอร์ที่หลุดพ้นจาก cavity ออกมา จะมี Beam Divergence

2.2.4 High Intensity (ความเข้มของแสงสูง)

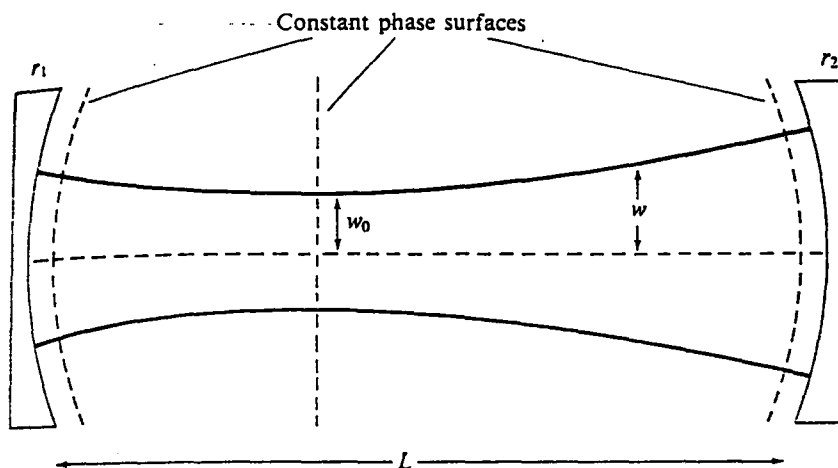
เนื่องจากหลักการของเลเซอร์เป็นการขยายสัญญาณแสงภายใน optical cavity ด้วยกระบวนการ Stimulated Emission จึงทำให้เกิดแสงแบบ Monochromatic และมี Directionality จึงทำให้แสงเลเซอร์มีความเข้มสูง แม้ประสิทธิภาพของเลเซอร์บางชนิดจะมีค่าต่ำ แต่พลังงานของระบบ จะเปลี่ยนเป็นแสงที่มีความถี่เดียว หรือมีสเปกตรัมแคบได้ จำนวนโฟตอนที่ความถี่นั้น จึงมีค่าสูง ประกอบทั้งโฟตอนเหล่านั้นมีทิศทางเคลื่อนที่ไปทางเดียวกันหมดภายในพื้นที่หน้าตัดแคบ ๆ ที่กำหนดโดย optical cavity จำนวนโฟตอนต่อพื้นที่หนึ่งหน่วยจึงสูงมาก หากมีการโฟกัสลำแสงด้วยแล้ว แสงเลเซอร์จะมีความเข้มสูงมาก

2.3 Laser Spot Size

แสงที่ออกมาจากเครื่องเลเซอร์สามารถบอกประเภทของเลเซอร์ได้ ซึ่งมี 2 แบบ คือเลเซอร์แบบต่อเนื่อง (continuous wave laser) ซึ่งจะให้ค่าเอาท์พุทคงที่ และ เลเซอร์แบบพัลส์ (pulsed laser) ซึ่งจะให้เอาท์พุทที่มีลักษณะเป็น pulse

เอาท์พุทของแสงเลเซอร์ จะมีความยาวคลื่นค่าเดียว และสามารถโฟกัส ให้เป็นจุดเล็ก ๆ หรือขยายมันก็ได้ ทั้งนี้ ขึ้นอยู่กับการประยุกต์ใช้งาน

ในที่นี้ Spot size (W_0) คือค่ารัศมีของลำแสงเลเซอร์ที่แคบที่สุด ภายใน laser cavity ดังรูป



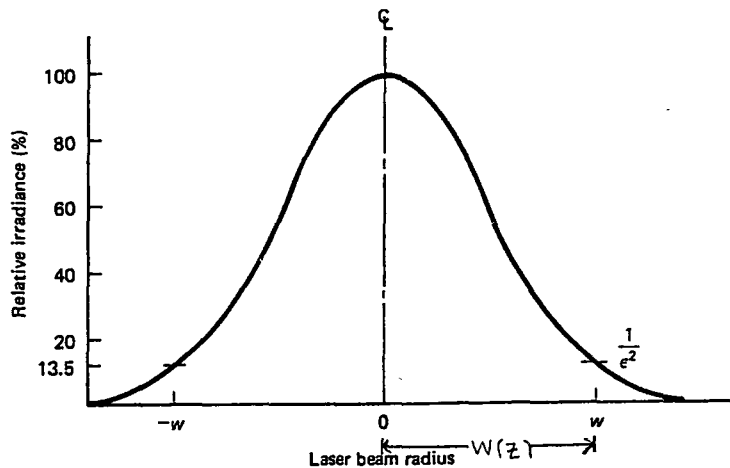
รูป 2.9 แสดง spot size ของเลเซอร์

จากรูป เราได้ ความสัมพันธ์ของ $w(z)$ กับ w_0 ดังรูปต่อไปนี้

$$w(z) = z \lambda / \pi w_0 \dots\dots\dots(1)$$

ในที่นี้ λ คือความยาวคลื่นของแสง He-Ne ซึ่งมีค่า 632.8×10^{-7} cm

$w(z)$ คือรัศมีของลำแสงเลเซอร์ ณจุดที่ความเข้มมีค่า 13.5 % ของความเข้มสูงสุดที่ปรากฏบนฉากซึ่งอยู่ห่างจากค่า w_0 เป็นระยะ z ดังรูป



รูป 2.10 Guassian Distribution ของ laser beam

ในที่นี้ เวกเตอร์ของเลเซอร์ในอุดมคติ จะมีลักษณะเป็น Gaussian transverse irradiance profile โดยจะมีค่าสูงสุดที่ center และจะเป็นศูนย์กลางของ beam

2.4 กลไกการเกิดเลเซอร์

ต้องมียอดประกอบที่สำคัญ 3 ประการคือ

- 1 ตัวกลางเลเซอร์ (Laser Medium)
- 2 การป้อนพลังงานให้แก่ตัวกลางของเลเซอร์ (Energy Pumping)
- 3 การสร้างระบบป้อนกลับทางแสง (Optical Cavity)

ตัวกลางเลเซอร์ได้แก่ ระบบอะตอมหรือโมเลกุลของสสารที่ใช้ทำเลเซอร์ซึ่งอาจจะมีสภาพเป็น ก๊าซ ของแข็ง หรือของเหลวก็ได้ เช่น

ของแข็ง: พลิกทึบทิม ($\text{AlO}_3:\text{Cr}^{3+}$) พลิกแยค ($\text{YAG}:\text{Nd}^{3+}$) พลิกแก้ว ($\text{Glass}:\text{Nd}^{3+}$) พลิกสารกึ่งตัวนำ ($\text{GaAs}, \text{GaAlAs}, \text{InGaAsP}, \text{PbTe}$)

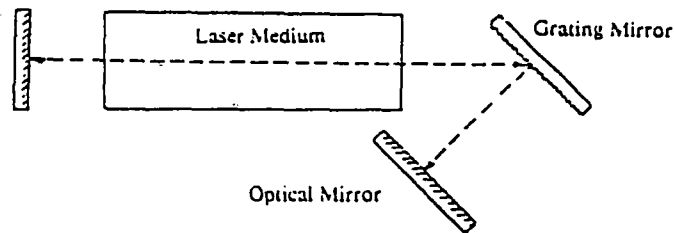
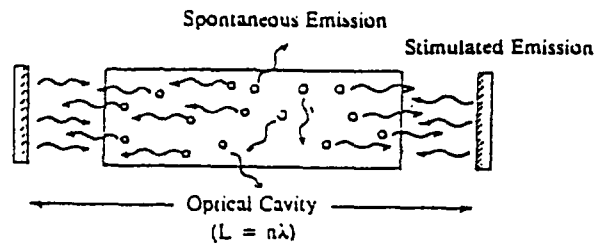
คุณสมบัติของตัวกลางเลเซอร์คือ ขึ้นพลังงานที่อยู่ในสภาพถูกกระตุ้น ต้องมี relaxation time สูง เพื่อให้เกิดสภาพ population inversion ได้ง่าย ซึ่งจะทำให้เกิดการถ่ายเทพลังงานออกจากระบบในรูปของ Stimulated Emission หากระบบอะตอมหรือโมเลกุลใดที่ไม่มีคุณสมบัติดังกล่าวแล้ว การเก็บกักพลังงานจะไม่เกิดขึ้น ระบบจะมีการสูญเสียพลังงานของเลเซอร์เมื่อมีตัวกลางของเลเซอร์ที่เหมาะสมแล้ว จึงต้องหาวิธีการป้อนพลังงานให้แก่ตัวกลางนั้นอย่างมีประสิทธิภาพ เพื่อให้มีการเก็บกักพลังงานในรูปของ Population Inversion นระบบวิธีการป้อนพลังงานแก่ตัวกลางของเลเซอร์มีได้หลายวิธี ได้แก่

1) การป้อนพลังงานแสง (Optical Pumping) โดยใช้หลอดไฟแสงสว่างกำลังสูง หรือใช้แหล่งกำเนิดแสงเลเซอร์ด้วยกันเป็นตัวป้อนพลังงานให้แก่เลเซอร์อีกชนิดหนึ่ง เช่น การใช้เลเซอร์ไนโตรเจน เลเซอร์อาร์กอนในการป้อนพลังงานแก่เลเซอร์ของเหลว

2) การป้อนพลังงานไฟฟ้า (Electrical Pumping) สำหรับสารกึ่งตัวนำใช้แบตเตอรี่ไฟฟ้าในการ forward bias เพื่อให้เกิดการฉีดกระแสหรือฉีดพาหะเข้าสู่หัวต่อพีเอ็น สำหรับสารกึ่งตัวนำ

3) การป้อนพลังงานด้วยลำอิเล็กตรอน (Electron Beam Pumping) โดยใช้ลำอิเล็กตรอนที่มีพลังงานสูงยิงเข้าไปกระตุ้นให้โมเลกุลของก๊าซเกิดการ Excitation เช่น กรณีของเลเซอร์เอกไซเมอร์ (Excimer laser) ชนิดต่าง ๆ

องค์ประกอบสุดท้ายที่ต้องมีเพื่อให้เกิด Light Amplification ได้แก่ optical cavity เพื่อทำให้เปล่งแสงออกมาจากตัวกลางสะท้อนกลับไปกลับมาภายใน optical cavity นั้น โดยการทำหน้าที่ความถี่เดียว



รูป 2.11 แสดง Optical cavity ที่ใช้ในการสร้าง Light Amplification
 ก) optical cavity ช่วงขยายสัญญาณแสงที่เกิดจาก Stimulated Emission
 ข) การใช้ optical grating เพื่อเลือกแสงที่มีค่าความยาวคลื่นเฉลี่ยตามต้องการใน
 กรณีที่เลเซอร์สามารถให้แสง

2.5 อุปกรณ์รับแสง

อุปกรณ์รับแสง คือ อุปกรณ์ที่ทำหน้าที่เปลี่ยนสัญญาณแสงให้เป็นการเปลี่ยนแปลงของไฟฟ้า ซึ่งมี 2 วิธีคือ ทำการเปลี่ยนสัญญาณแสงให้เป็นไฟฟ้า เรียกว่า Photoelectric effect กับวิธีเปลี่ยนแสงให้เป็นความร้อนก่อน จากนั้นจึงเปลี่ยนความร้อนให้เป็นไฟฟ้า เรียกว่า Thermal effect

ในโครงการนี้จะใช้อุปกรณ์รับแสงที่เป็น Photodiode จึงจะขอล่าถึงเฉพาะ Photodiode เท่านั้น

โครงสร้างของ Photodiode มีหลายแบบ คือ แบบ Schottky Barrier แบบ P-N Junction และแบบ PIN ดังรูป

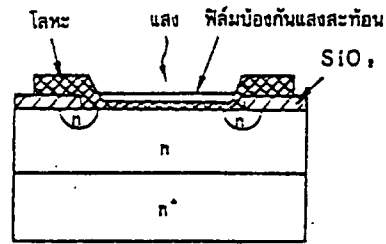


PHOTO DIODE แบบ SCHOTTKY BARRIER

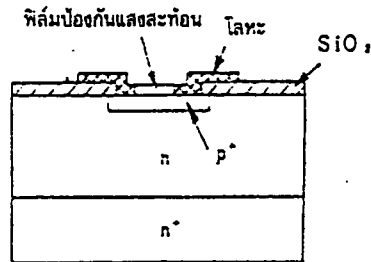


PHOTO DIODE แบบ PN

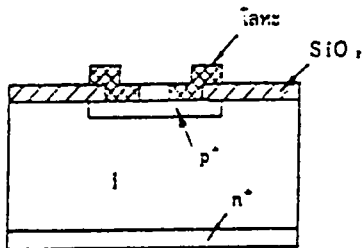


PHOTO DIODE แบบ PIN

รูป 2.12 แสดงโครงสร้างของ Photodiode ชนิดต่าง ๆ

แบบ PIN เป็นแบบที่นำ I-layer ซึ่งเป็น layer ที่มีปริมาณของสารไม่บริสุทธิ์น้อยมากไปคั่นระหว่าง PN Junction และเป็นสิ่งจำเป็น สำหรับกรณีที่ต้องการสัมประสิทธิ์การดูดแสงต่ำ และแสงสามารถเข้าไปได้ลึกเช่นเดียวกับ Si แสง Infrared ที่เข้าไปในผลึกของ Si นั้นสามารถเข้าไปได้ลึกมากกว่าหลายสิบลำดับ μm สำหรับ PN-Junction ปกติทั่วไป เนื่องจากความกว้างของ depletion layer มีค่าหลาย μm ดังนั้น ส่วนใหญ่การดูดแสง จะเกิดขึ้นที่บริเวณ neutral region ในกรณีเช่นนี้ carrier ที่ถูกกระตุ้นที่ neutral region จะเกิด recombination และหมดไปได้ง่าย ดังนั้นจะทำให้ประสิทธิภาพ Quantum efficiency เลวลง นอกจากนี้ carrier ที่ไหลจาก neutral region เข้าไปยัง depletion layer กลายเป็น diffusion current ที่มีความเร็วช้า ทำให้ frequency characteristic เลวลง ในการปรับปรุงแก้ไขข้อเสียของ photodiode แบบ PN นี้ สำหรับแบบ PIN นั้นมีโครงสร้างที่ทำการดูดแสงที่ I-layer ซึ่งสามารถทำให้ได้ depletion layer ที่กว้างมาก แม้จะให้แรงดันไบอัสต่ำก็ตาม เนื่องจากแรงดันไบอัสเป็นส่วนที่สัมพันธ์กับผลคูณของความกว้างของ depletion layer กับความเข้มข้นของสารไม่บริสุทธิ์ ดังนั้นแม้ว่าจะมีแรงดันเท่ากัน แต่ถ้าความเข้มข้นของสารไม่บริสุทธิ์ยิ่งน้อยจะทำให้ความกว้างของ depletion layer กว้างมากขึ้น

สำหรับ Si นั้น สามารถทำให้ความเข้มข้นของ I-layer มีค่าน้อยประมาณ $10^{14} / \text{cm}^3$ ดังนั้น จึงสามารถได้ความกว้างของ depletion layer หลายสิบลำดับ μm ที่แรงดันหลายสิบลำดับ

ความดี, เลวของความไวของ photodiode นั้น แสดงด้วยปริมาณที่เรียกว่า Quantum efficiency

Quantum efficiency (η) เป็นตัวบอกประสิทธิภาพของ photoelectric conversion ดังแสดงด้วยสมการต่อไปนี้

$$\eta = \frac{\text{จำนวนอิเล็กตรอนที่ทำให้เกิด Photo current}}{\text{จำนวน Photon ที่ป้อนเข้าไป}}$$

$$= \frac{I_p / q}{P_o / h\nu}$$

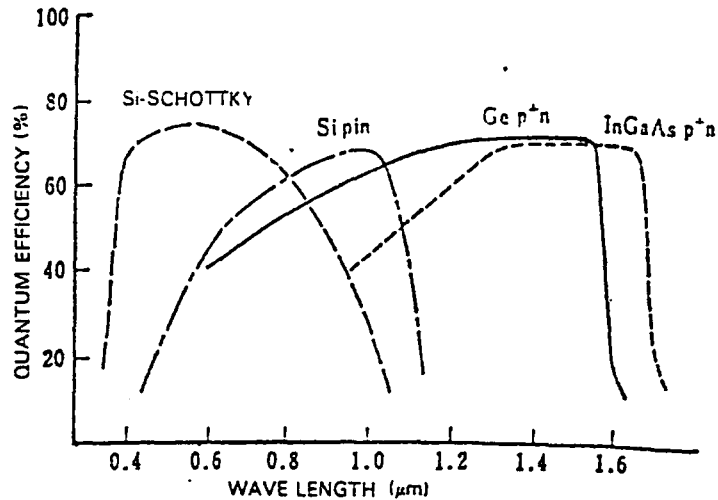
ในชั้น

I_p เป็น Photocurrent

q เป็น ประจุของอิเล็กตรอน

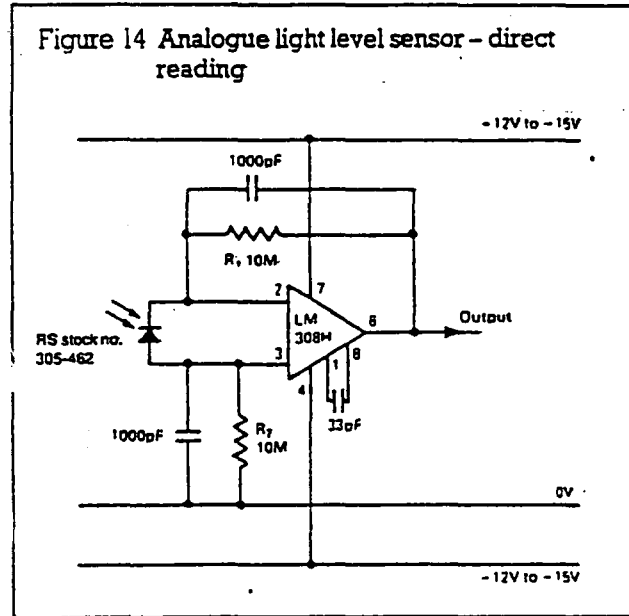
P_o เป็น Optical power

$h\nu$ เป็นพลังงานของ Photon ที่จำนวนการสั่นเท่ากับ ν



รูป 2.13 แสดงคุณสมบัติ Quantum efficiency ของ Photodiode

สำหรับ Photodiode ที่มี I-layer หนานั้น จะเห็นว่า Quantum efficiency ทางด้านความยาวคลื่นยาวจะดี และ Quantum efficiency ทางด้านความยาวคลื่นสั้น จะเห็นว่าแบบ Schottky นั้นดีกว่า แบบ junction ที่ใช้สำหรับการ detection แสงของ Si Photodiode ทำการ detection แสงได้ถึง $1.1 \mu m$ ส่วน Ge Photodiode ทำการ detection แสงได้ถึง $1.6 \mu m$ นอกจากนั้นยังมีสารที่สามารถใช้ detection แสงได้ถึง far infrared ด้วย สำหรับย่านความยาวคลื่นหลาย μm นั้น มี InAs, InSb Photodiode และสามารถได้ความเร็วในการตอบสนองต่ำกว่า $1 \mu sec$ สำหรับย่านความยาวคลื่น near infrared ที่มีความยาวคลื่นหลาย μm นั้น ได้มีการพัฒนา Photodiode ที่ทำจากสารประกอบ 3 ชนิด เช่น HgCdTe PbSse เป็นต้น



รูป 2.14 วงจร Detector ที่ใช้ในการทดลอง

บทที่ 3

การควบคุมการทำงานของแท่นเลื่อนหัว Photodetector

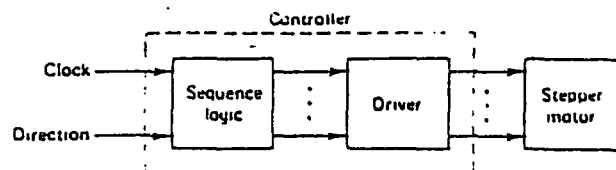
3.1 ทฤษฎีและหลักการของ Stepping Motor

Stepping Motor เป็น DC Motor ที่มีการทำงานโดย เคลื่อนที่ไปละ step การควบคุมจะทำโดยการกระตุ้นทีละเฟสเรียงกันไป ซึ่งการกระตุ้นครั้งหนึ่งจะทำให้มอเตอร์เคลื่อนที่ไปหนึ่ง step ข้อดีของมอเตอร์ชนิดนี้คือ ที่งานควบคุม ไม่ต้องมีอุปกรณ์ป้อนกลับ (feedback) เหมือน DC Motor ทั่วไป Stepping Motor มีใช้งานอยู่ในอุปกรณ์จำพวกคิส์ไทร์ฟ และ plotter ในระบบคอมพิวเตอร์ หรือใช้ควบคุมแขนขาของตัวหุ่นยนต์

นิยามของ Stepping Motor

- จะมีเพลาหมุนเป็นสเตป
- ป้อนอินพุตที่มีความถี่ค่าหนึ่ง
- จะสเตปไปที่ละสเตปในแต่ละพัลส์
- ขนาดของสเตป ขึ้นกับการออกแบบ Stepping Motor
- สามารถควบคุมการเคลื่อนที่ด้วยความถี่และความกว้างของพัลส์

การทำงานของ Stepping Motor ขึ้นอยู่กับพัลส์ที่ป้อนให้กับขดลวดแต่ละเฟสของมอเตอร์ ในลำดับที่ถูกต้อง ด้วยวงจรจัดลำดับลอจิก (Sequencer Logic) ด้วยกระแสที่พอเพียงจากวงจรขับ (driver) การควบคุมการหมุนของ Stepping Motor สามารถควบคุมได้โดยวงจรจัดลำดับลอจิก ดังรูป 3.1



รูป 3.1 การควบคุม Stepping Motor

จากรูป 3.1 Stepping Motor จะทำงานเมื่อมีการป้อนสัญญาณนาฬิกา (clock pulse) และอินพุตสำหรับควบคุมทิศทาง

ข้อแตกต่างของ Stepping Motor กับ DC เซอร์โวมอเตอร์แสดงดังตาราง 1

ตารางที่ 1 แสดงความแตกต่างของสเต็ปเปอร์มอเตอร์กับดีซีเซอร์โวมอเตอร์

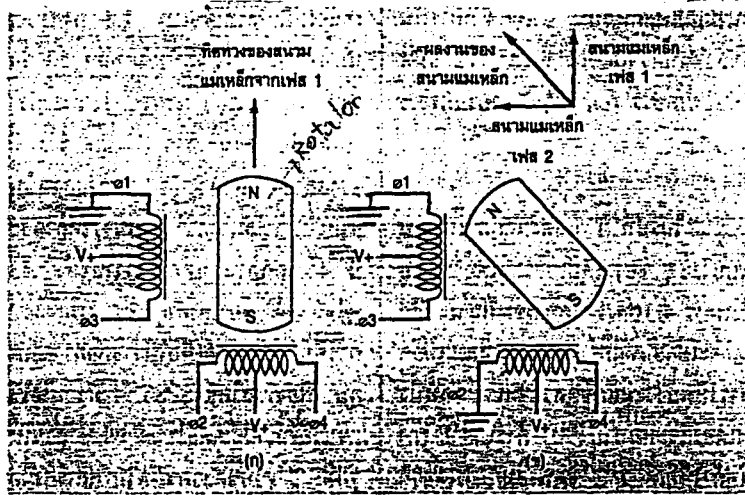
สเต็ปเปอร์มอเตอร์	ดีซีเซอร์โวมอเตอร์
มีการควบคุมทิศทาง	การควบคุมง่าย
ไม่ต้องมีการป้อนกลับ (open control loop)	จำเป็นต้องมีการป้อนกลับ (อาศัยตัวต้านทานปรับค่าได้, เอนโคเดอร์, กำเนิดการนับรอบ)
กำลังงานเมื่อเทียบกับขนาดรูปร่างยังไม่เหมาะสม	กำลังงานเมื่อเทียบกับขนาดรูปร่างเหมาะสม
แข็งแรง สึกหรอต่ำ	การสึกหรอมาก เพราะใช้แปรงถ่าน
คุณสมบัติในการบล็อกกิ้งดี	การบล็อกกิ้งต้องอาศัยการเบรกที่พิเศษ

ตารางที่ 1 แสดงความแตกต่างของ Stepping Motor กับ DC เซอร์โวมอเตอร์

ทฤษฎีการทำงาน

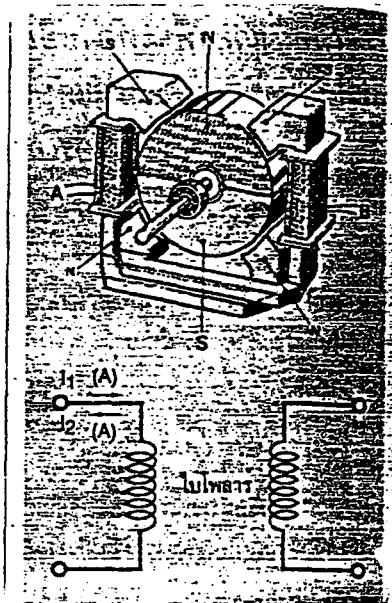
การทำงานคล้ายขั้วขั้วโครนิสมอเตอร์ คือ มีสนามแม่เหล็กหมุนเหมือนกัน โดยขั้วของ Stepping Motor จะแบ่งตามสนามแม่เหล็กหมุนนี้ ซึ่งเกิดจากการพันขดลวดบนตัวสเตเตอร์ แบ่งเป็น 2 ชนิดคือ

- ยูนิโพลาร์ (unipolar)
- ไบโพลาร์ (bipolar)



รูป 3.2 เป็น Stepping Motor 4 เฟส เมื่อ $\phi 1$ ทำงาน โรเตอร์จะเป็นรูป (ก) และเมื่อ $\phi 1$ และ $\phi 2$ ทำงานพร้อมกัน โรเตอร์จะเป็นดังรูป (ข)

ในรูป 3.2 แสดงหลักการการทำงานแบบง่าย ๆ ของ Stepping Motor แบบ ยูนิโพลาร์ 4 เฟส ตัวโรเตอร์จะเป็นแม่เหล็กโดยจะเปลี่ยนทิศทางไปตามสนามแม่เหล็ก การให้พลังงานแก่ขดลวดใดขดลวดหนึ่ง โรเตอร์ก็จะหมุนไป 90 องศา ดังรูป (ก) แต่ถ้าให้ทีละขด 2 ขดพร้อมกัน โรเตอร์ก็จะหมุนเพียง 45 องศา ดังรูป (ข) ซึ่งแบบหลังจะสร้างแรงบิดได้มากกว่าแบบแรก Stepping Motor จะมีมุมของการเคลื่อนที่แต่ละสเต็ปเป็น 1.8 องศา ดังนั้นที่โรเตอร์ต้องมีขั้วแม่เหล็ก 50 ขั้ว $(90 / 50) = 1.8$

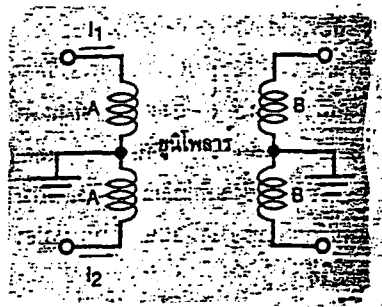


รูป 3.3 ไบโพลาร์ Stepping Motor 2 เฟส สนามแม่เหล็กจะเปลี่ยนเมื่อกลับทิศทางการไหลของกระแส

รูป 3.3 เป็นขดลวดชนิด ไบโพลาร์เมื่อขดลวด A และ B ในรูป มีกระแสไหลผ่านสเตเตอร์ จะเกิดขั้วแม่เหล็กตามรูป เป็นผลให้โรเตอร์ที่มีขั้วแม่เหล็กต่างกับสเตเตอร์ถูกดูด ต่อมาเมื่อกระแสที่ไหลในขดลวด A เปลี่ยนทิศทางกลับ [I_{2A}] จึงเป็นผลให้ขั้วแม่เหล็กที่แกน A เปลี่ยนขั้วจาก S เป็น N และจาก N เป็น S โรเตอร์จึงถูกผลักให้หมุนทวนเข็มนาฬิกา 90 องศา ถ้าดำเนินการหมุนใน 1 รอบ เป็นสเตปดังนี้ AB-- AB-- AB-- AB-- AB มี 4 สเตป ๆ ละ 90 องศา จะสังเกตได้ว่า เมื่อเวลากลับขั้วแม่เหล็กในแต่ละเฟสจะต้องมีการหยุดกระแสก่อนแล้วกระแสจึงค่อยเปลี่ยนทิศทาง จึงสรุปเป็นสเตปได้คือ

AB→ B→ AB→ A→ AB→ B→ AB→ A→ AB

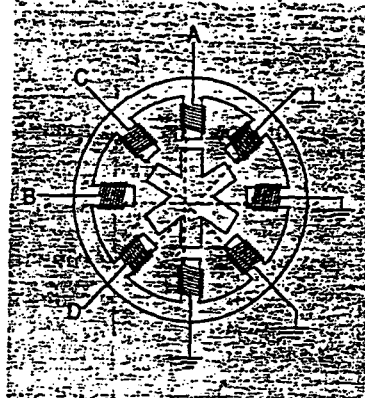
การทำงานเป็นแบบกึ่งสเตปนี้ เป็นผลให้ค่าโมเมนต์ มีค่าน้อยกว่าปกติ เพราะมีช่วงเวลาที่กระแสไหลแค่เฟสเดียว ส่วน Stepping Motor แบบ ยูนิโพลาร์ ก็คล้าย ๆ กับไบโพลาร์ คิดเพียงขดเดียว ในแต่ละเฟสของยูนิโพลาร์จะมีแทปกกลาง ซึ่งจะแบ่งเป็น 2 ขด ดังรูปที่ 3.4 ดังนั้นเมื่อสนามแม่เหล็กเปลี่ยนแปลงกระแสจะไม่เปลี่ยนทิศทางการไหล เบื้องต้นแน่นอนว่า ถ้าจำนวนขดลวดของยูนิโพลาร์ พ้นเหมือนแบบไบโพลาร์ แต่ยูนิโพลาร์มีแทป จึงเป็นผลให้แอมแปร์-เทิร์น ซึ่งเป็นค่าพลังขั้วแม่เหล็กมีค่าน้อยกว่าไบโพลาร์ เพราะฉะนั้นสนามแม่เหล็กที่ได้ก็น้อยตามแรงบิดที่ขึ้นกับสนามแม่เหล็กก็น้อยกว่าด้วย เมื่อเทียบกับไบโพลาร์ขนาดเดียวกัน



รูป 3.4 ยูนิโพลาร์ Stepping Motor การเปลี่ยนขั้วสนามแม่เหล็กใช้การไหลของกระแสที่ต่างขดกัน กระแสจะไม่ไหลที่เดียวพร้อมกัน 2 ขด ในตัวสเตเตอร์เดียวกัน

ความต้องการในการให้หมั้นมีการหมุนที่เที่ยงตรงและถูกต้อง การหมุนในแต่ละรอบ ต้องมี สเตปมากขึ้น เราจึงต้องสร้างตัวโรเตอร์ และสเตเตอร์ ให้มีหลายขึ้น โดยแยกขดลวดแต่ละ เฟสออกจากกัน ซึ่งในเวลาทำงานเฟสแต่ละเฟส จะต้องต่างเฟสกันเล็กน้อย

จำนวนสเตปที่มากที่สุดของมอเตอร์ ถูกกำหนดโดย ส่วนประกอบของโรเตอร์ที่เป็นแม่เหล็ก ซึ่งเกี่ยวข้องกับค่าเหนี่ยวนำแรงดันของขดลวด ในสเตเตอร์ นิยมใช้เหล็กอ่อน เป็นตัวโรเตอร์ มีขั้วแม่เหล็กน้อยกว่าสเตเตอร์ และเป็นแบบ ยูนิโพลาร์

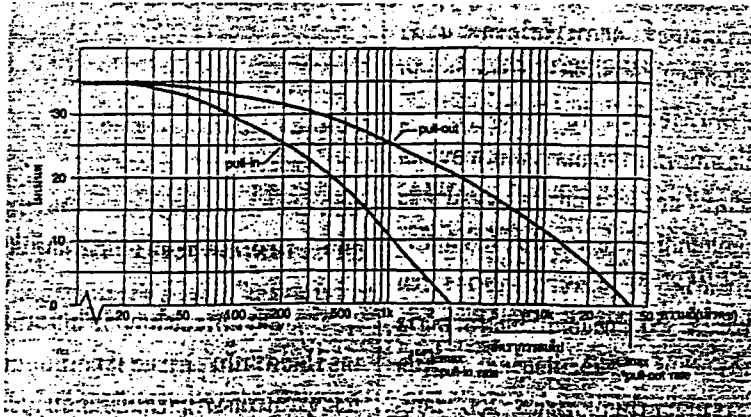


รูป 3.5 Stepping Motor ที่ใช้แกนเหล็กอ่อน ซึ่งเป็นสิ่งจำเป็นเมื่อใช้เป็นมอเตอร์ ที่ความถี่ 50 Hz และขั้วแม่เหล็กบนโรเตอร์น้อยกว่าขั้วบนสเตเตอร์

ชื่อทางกล	ความหมาย	ชื่อทางไฟฟ้า	ความหมาย
● สเตปเปอร์แองเกิล	มุมที่หมุนไป 1 สเตป มีค่า 360/จำนวนสเตปในการหมุนไป 1 รอบ	● ยูนิโพลาร์กับไบโพลาร์	เป็นชนิดของการพันขดลวดบน ตัวสเตเตอร์
● แบกกิ่งโมเมนต์	เป็นค่าโมเมนต์มากสุดในการ บล็อกโรเตอร์ไม่ให้หมุน	● ค่าความเหนี่ยวนำ (L)	เป็นค่ากำหนดขนาดของกระแส ที่อัตราความเร็วสเตปสูงซึ่งสัมพันธ์ กับฟลักซ์แม่เหล็ก
● โมเมนต์ (ทอร์ค)	เป็นผลคูณระหว่างระยะทางที่ตั้ง ฉากกับแรงที่มากระทำ	● ค่าความต้านทาน (R)	เป็นตัวจำกัดกระแสที่ขดลวดบน สเตเตอร์กับที่โรเตอร์
● pull-in rate	ความถี่ที่เริ่มสตาร์ท โดยที่ยังไม่ มีแรงสูญเสีย	● กระแสสเตเตอร์มากที่สุด	ขึ้นอยู่กับขนาดของขดลวดที่พัน
● pull-out rate	อัตราของสเตปเมื่อความเร็วงคง ที่แล้ว		
● โมเมนต์เฉื่อย (I)	เป็นการวัดแรงต้านของวัตถุต่อ ความเร่งเชิงมุม		

ตารางที่ 2 ชื่อเรียกและความหมายทางกลและทางไฟฟ้าของ Stepping Motor

ในตารางที่ 2 จะบอกถึงความหมายของข้อมูลแต่ละอย่างของมอเตอร์ แบ่งประเภทของความหมายได้ 2 ประเภท คือ ทางไฟฟ้า และทางกล ข้อมูลทางกลเป็นสิ่งที่เราต้องการใช้ ส่วนข้อมูลทางไฟฟ้าใช้สำหรับในการออกแบบวงจรอิเล็กทรอนิกส์ควบคุม ตัวแปรที่มีความสำคัญที่จะต้องทราบคือ pull in rate เป็นค่ามากที่สุดที่ยอมให้เกิดอัตราเร่งสแตป ซึ่งจะมีความสัมพันธ์กับค่าโมเมนต์ความเฉื่อยของตัวมอเตอร์ ซึ่งในทางปฏิบัติแล้ว ค่าโมเมนต์ความเฉื่อยจะเพิ่มขึ้นได้ด้วยการถูกหมุนโดยตัวมอเตอร์ แล้วผลที่ตามมาจะทำให้ pull in rate ลดลง ดังในรูปที่ 3.6



รูป 3.6 กราฟคุณลักษณะระหว่างโมเมนต์กับความถี่

รูปที่ 3.6 เป็นกราฟลักษณะคุณสมบัติระหว่างโมเมนต์กับความถี่ จะเห็นได้ว่า เมื่อความถี่เพิ่มขึ้น ค่าโมเมนต์จะลดลง ที่เป็นเช่นนี้เพราะว่า เมื่อความถี่ที่เข้ามาสูงขึ้น จะทำให้ค่า inductance ที่ขดลวดบนสเตเตอร์สูงขึ้น กระแสจะไหลได้น้อยลง และเป็นผลให้ค่าสนามแม่เหล็กน้อยลงด้วย นอกจากนี้ กระแสที่ไหลในขดลวดสเตเตอร์ ก็ไม่สามารถเปลี่ยนแปลงได้อย่างรวดเร็วด้วย ซึ่งจากกราฟ ได้แสดงถึงค่าโมเมนต์ 2 โมเมนต์คือ กราฟ pull-in และกราฟ pull-out กราฟ pull-in ควรจะใช้เมื่อขับมอเตอร์ด้วยความถี่คงที่ ค่าของโมเมนต์ก็จะอยู่ที่ค่าหนึ่ง ส่วนกราฟ pull-out ใช้กับการเร่งและการหน่วงความเร็วที่ราบรื่น ไม่กระตุก ซึ่งค่าโมเมนต์จะสูงกว่ากราฟ pull-in แต่วงจรควบคุมซับซ้อนกว่า

การกระตุ้น (Stepping Motor Excitation)

แบบที่นิยมใช้มีอยู่ 3 แบบ คือ

- 1) กระตุ้นเฟสเดียว (one phase excitation)
- 2) กระตุ้นสองเฟส (two phase excitation)
- 3) กระตุ้นครึ่งสเตป (half step excitation)

Three-phase motor

	R	1	2	3	4	5	6	7	8
Phase 1	█			█			█		
Phase 2		█			█			█	
Phase 3			█			█			█

Clock state	R	1	2	3	4	5	6	7	8
Phase 1	█	█	→	█			█	█	
Phase 2			█	→	█	█			█
Phase 3	█			█			█		█

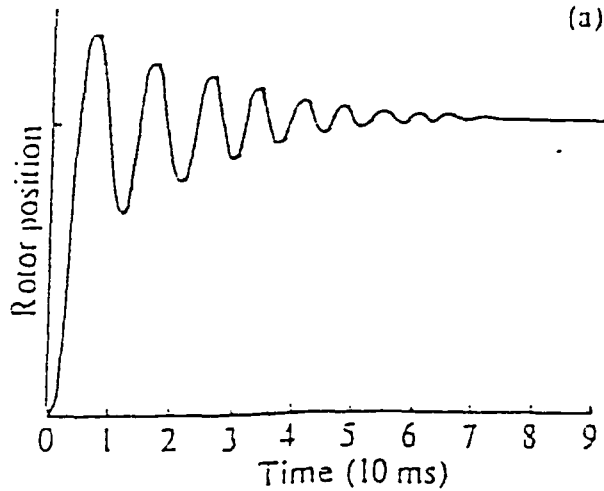
Clock state (A)	R	1	2	3	4	5				
Clock state (B)	R	1	2	3	4	5	6	7	8	9
Phase 1	█	█				█	█	█		
Phase 2			█	█				█	█	█
Phase 3					█	█			█	█

รูป 3.7 แสดงแผนภูมิเวลาของการกระตุ้นแบบต่าง ๆ

- a) one phase excitation
- b) two phase excitation
- c) half step excitation

1) one phase excitation

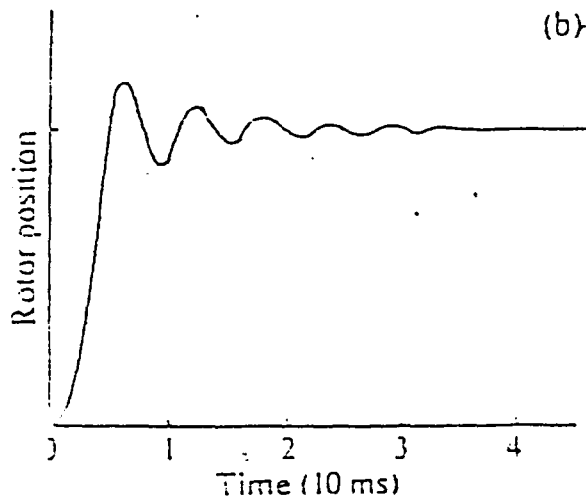
แบบนี้จะมีแรงบิดน้อยที่สุดทั้งในขณะเริ่มเคลื่อนที่และเคลื่อนที่อยู่ มี over shoot สูง เข้าสู่ตำแหน่งแต่ละสเต็ปช้า แต่เมื่อเข้าสู่สภาวะ steady state แล้ว จะไม่มีการ oscillate



รูปที่ 3.8 กราฟแสดงผลตอบสนองของ Stepping Motor ต่อการกระตุ้นเฟสเดียว

2) two phase excitation

การกระตุ้นแบบนี้ มีแรงบิดขณะเริ่มต้นสูง มี over shoot ต่ำ และมี oscillate เล็กน้อยในสภาวะ steady state

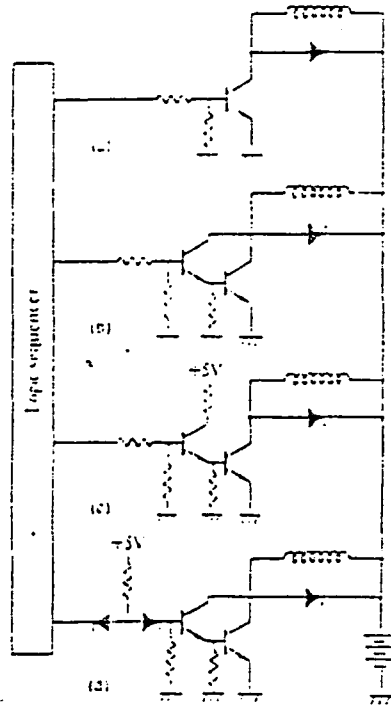


รูป 3.9 กราฟแสดงผลตอบสนองของ Stepping Motor ต่อการกระตุ้นสองเฟส

3) half step excitation

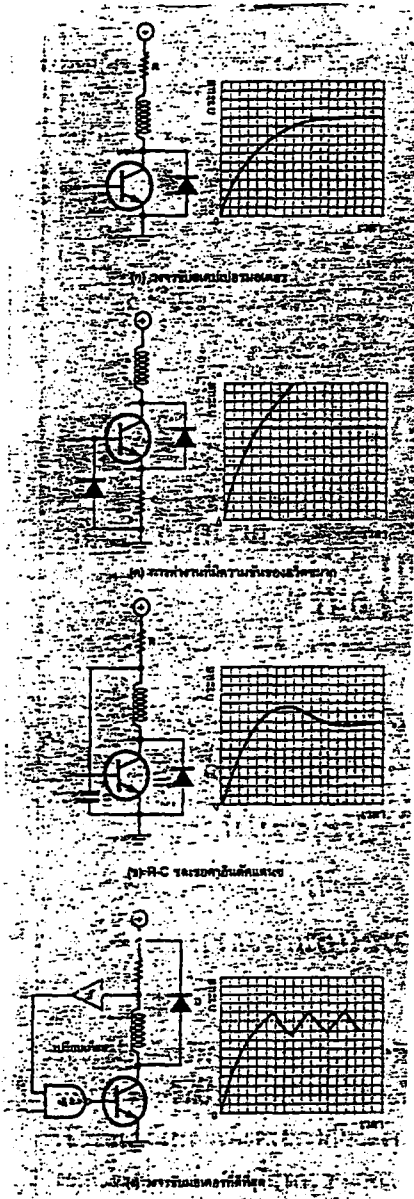
สำหรับ Stepping Motor ที่ใช้ในการกระตุ้นแบบ half step excitation จะทำให้มูมองศาในแต่ละสเตป จะมีค่าลดลงจากค่าที่กำหนดไว้ครึ่งหนึ่ง จากค่ามูมองศาที่กำหนดไว้ที่ Data ของ Stepping Motor ดังนั้น การกระตุ้นแบบนี้ จะรวมข้อดีของทั้ง 2 แบบไว้ โดยขณะเริ่มต้น จะกระตุ้นแบบสองเฟส ทำให้ได้แรงบิดสูงที่สุด และเมื่อเข้าสู่สภาวะ steady state จะกระตุ้นเพียงเฟสเดียว ซึ่งจะทำให้ไม่เกิดการ oscillate แต่ข้อเสียของการกระตุ้นแบบนี้จะมีลักษณะเช่นเดียวกับ one phase excitation กล่าวคือในขณะ steady state ค่าแรงบิดจะมีค่าน้อย

วงจรขับมอเตอร์



รูปที่ 3.10 แสดงวงจรขับมอเตอร์

จากรูป 3.10 a) และ b) แสดงการต่อวงจรอย่างง่าย ซึ่งการต่อแบบนี้ กระแสจากวงจรจัดลำดับ (sequencer logic) จะไม่พอที่จะทำการขับ power transistor จึงต้องทำการต่อวงจรเพื่อทำการขับกระแสให้เพียงพอที่จะทำการขับ



รูป 3.11 การใช้กระแสขับเพื่อเพิ่มโมเมนต์ที่อัตราสลับสูง

ในรูปที่ 3.11 (ก)-(ง) เป็นวงจรขับ Stepping Motor โดยกราฟแสดงการเพิ่มขึ้นของกระแสที่สแตเตอร์ ซึ่งรูป 3.11 (ก) ตัวต้านทานที่อนุกรมเข้าไปนั้น จะไปลดค่าของคาบเวลาในการสวิตช์ทำงานของทรานซิสเตอร์ให้น้อยลง สำหรับโหลดที่มีค่าเหนี่ยวนำน้อย ซึ่งก็แน่นอนว่าจะต้องมีการสูญเสียกำลังงานไปบางส่วน

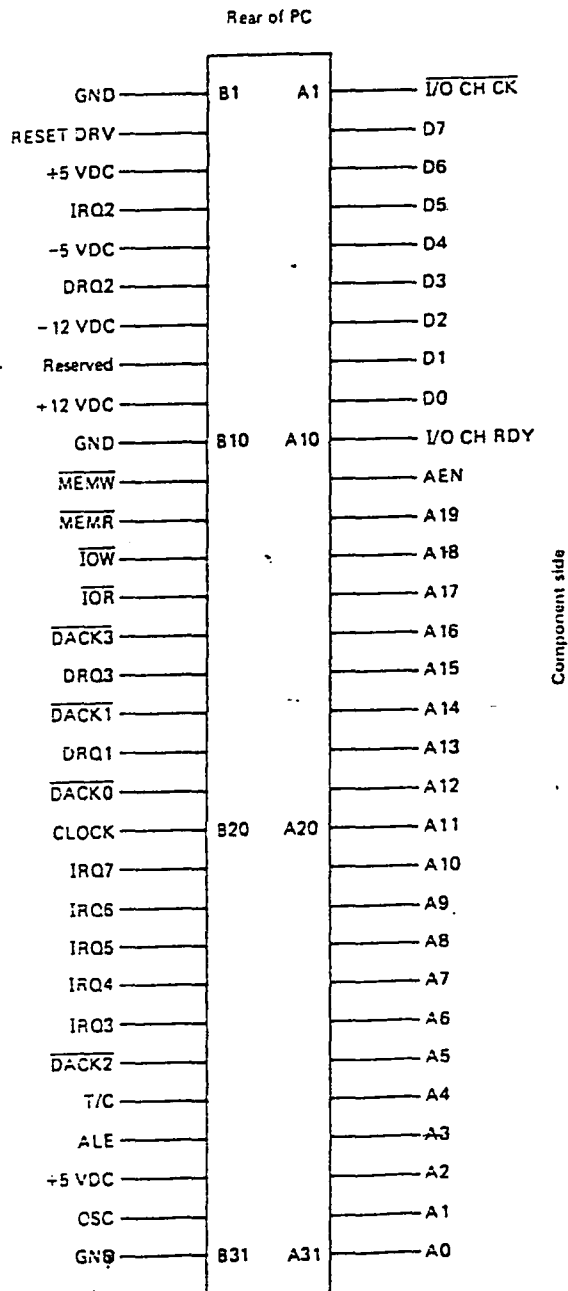
รูป 3.11(ข) เป็นวงจรที่ช่วยชดเชยค่า inductance โดยใช้วงจร RC ซึ่งวงจรนี้ จะเกิด damp oscillation ดังรูป และก็จะทำให้ค่าคงที่ในการ دمพ์น้อยที่สุดที่จะทำได้ด้วย ค่า R และ C ซึ่งคุณสมบัติเหล่านี้จะถูกกำหนดโดยผู้ผลิต Stepping Motor

3.2 การเชื่อมต่อ IBM/PC

ภายใน IBM/PC ได้มีการออกแบบให้สามารถที่จะเพิ่มเติมวงจรรีจิสเตอร์เฟสเข้าไปในภายหลังได้ โดยผ่านทางสล롯ที่อยู่บนเมนบอร์ด (Main Board) สำหรับสลอตบนเมนบอร์ดนี้จะมีจำนวน 5 สลอต (สำหรับใน IBM PC/XT จะมี 8 สลอตซึ่งจะกล่าวถึงภายหลัง) ซึ่งแต่ละสลอตจะมีจำนวนขาทั้งสิ้น 62 ขา แบ่งออกเป็น 2 ข้าง ข้างละ 31 ขา ส่วนการเรียกตำแหน่งขาของสลอตเหล่านี้จะขึ้นอยู่กับว่าขาที่อยู่ข้างใด (ซ้ายหรือขวาของสลอตโดยขาที่อยู่ทางด้านซ้ายของสลอตจะเรียกโดยใช้อักษร "B" นำหน้าเลขตำแหน่งของขา เช่น ขา B16 ก็คือขาทางด้านซ้ายของสลอตขาที่ 16 (นับจากทางด้านท้ายของเครื่อง) ส่วนขาที่อยู่ทางด้านขวาของสลอตจะเรียกโดยใช้อักษร "A" นำหน้าเลขตำแหน่งของขา เช่น ขา A24 ก็คือขาทางด้านขวาของสลอตขาที่ 24 (นับจากทางด้านท้ายของเครื่อง)

แต่ละขาของสลอตเหล่านี้ จะเชื่อมต่อกับเส้นสัญญาณต่าง ๆ บนเมนบอร์ด ทำให้การสร้างวงจรรีจิสเตอร์เฟสกับ IBM/PC สามารถทำได้โดยสะดวก ซึ่งเส้นสัญญาณที่เชื่อมต่อกับขาของสลอตเหล่านี้จะประกอบไปด้วย เส้นสัญญาณของบัสแอดเดรส (Address Bus) บัสข้อมูล (Data Bus) บัสควบคุมสำหรับการเขียน/อ่านข้อมูลจากหน่วยความจำ หรือพอร์ท I/O เส้นสัญญาณสำหรับการขออินเทอร์รัพท์ของวงจรรีจิสเตอร์เฟส เส้นสัญญาณสำหรับการขอ DMA สัญญาณฐานเวลา (Timing Signal) ต่าง ๆ ที่ใช้ในระบบ, เส้นสัญญาณแสดงการรีเฟรชหน่วยความจำ และสัญญาณสำหรับการตรวจสอบความผิดพลาด (I/O CHECK)

นอกจากเส้นสัญญาณเหล่านี้แล้ว สลอตบนเมนบอร์ดยังเชื่อมต่อกับแหล่งจ่ายไฟต่าง ๆ ที่ใช้ในระบบอีกด้วย คือ +5 Vdc, -5 Vdc, +12 Vdc และ -12 Vdc



รูป 3.12 ระบบบัสของ IBM PC

การจัดสล็อตบนสล็อตของ IBM PC/XT

สำหรับใน IBM PC/XT นั้น จะมีสล็อตสำหรับเชื่อมต่อกับวงจรมานอกได้มากขึ้นคือใน IBM PC/XT จะทำการเพิ่มจำนวนสล็อตบนเมนบอร์ดขึ้นเป็น 8 สล็อต จากเดิมที่มีอยู่เพียง 5 สล็อตบน IBM/PC โดยการจัดสัญญาณต่าง ๆ ในทั้ง 8 สล็อตยังคงเหมือนกับใน IBM/PC เพียงแต่สัญญาณต่าง ๆ ที่จะถูกส่งออกมาของสล็อตที่ 8 นั้น จะถูกต่อผ่านวงจรบัฟเฟอร์ (Buffer) ก่อน และในสล็อตที่ 8 นี้ขา B8 จะถูกใช้งานด้วย โดยจะถูกใช้เป็นขา CARD SLCTD (หรือ Card selected) ซึ่งขาสัญญาณนี้เป็นสัญญาณอินพุตจากวงจรมานอกที่เสียบอยู่บนสล็อตที่ 8 เพื่อให้วงจรมเมนบอร์ดทราบว่าการ์ดที่อยู่บนสล็อตนั้นถูกเลือกใช้งานอยู่ ซึ่งจะทำให้ Drive บนเมนบอร์ดทำการอ่านหรือส่งข้อมูลไปยังสล็อตที่ 8

การแบ่ง Address ของ IBM/PC

ใน IBM/PC มีการแบ่งสรรการจัด Address ต่าง ๆ ไว้แน่นอน ซึ่งได้แสดงไว้ดังรูป 3.13 ส่วนที่เราจะนำมาใช้ในการ Decode address นั้น จะอยู่ในส่วนของ Prototype Card ซึ่งมี Address อยู่ในช่วง 300H-31FH ทั้งหมด 32 พอร์ต Address

Hex range	Usage	
000-00F	DMA chip 8237A-5	Assigned to system board components
020-021	Interrupt 8259A	
040-043	Timer 8253-5	
060-063	PPI 8255A-5	
080-083	DMA page registers	
0Ax	NMI mask register	
0Cx	Reserved	
0Ex	Reserved	
100-1FF	Not usable	
200-20F	Game control	
210-217	Expansion unit	
220-24F	Reserved	
278-27F	Reserved	
2F0-2F7	Reserved	
2F8-2FF	Asynchronous communications (2)	
300-31F	Prototype card	
320-32F	Fixed disk	
378-37F	Printer	
380-38C	SOIC communications	
380-389	Binary synchronous communications (2)	
3A0-3A9	Binary synchronous communications (1)	
3B0-3BF	IBM monochrome display/printer	
3C0-3CF	Reserved	
3D0-3DF	Color/graphics	
3E0-3F7	Reserved	
3F0-3F7	Diskette	
3F8-3FF	Asynchronous communications (1)	

รูปที่ 3.13 การแบ่ง Address ของ IBM/PC

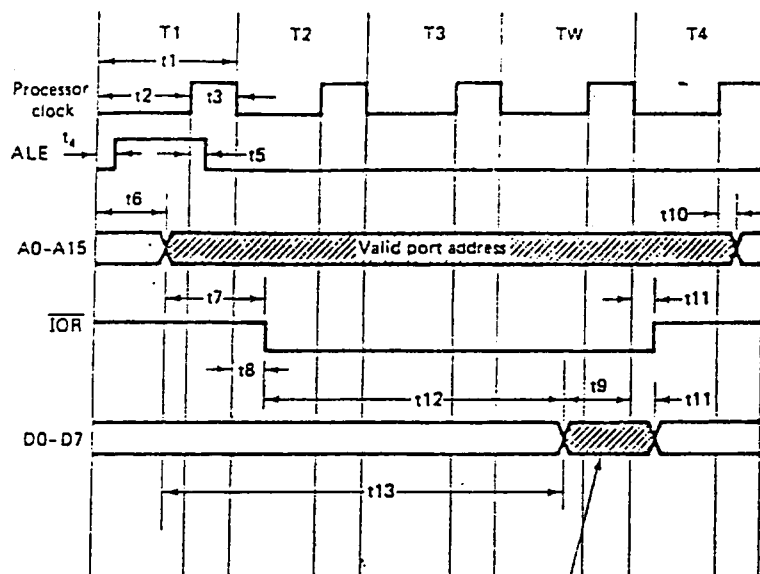
บัสไซเคิลของระบบ

สิ่งสำคัญในการเชื่อมต่อกับไมโครคอมพิวเตอร์นั้น ต้องพิจารณาถึงช่วงเวลาของสัญญาณนาฬิกาของระบบ ใน IBM/PC นั้น จะใช้สัญญาณนาฬิกาป้อนให้กับ 8088 จำนวน 4 ลูกมีความถี่ประมาณ 4.77 MHz หรือมีคาบเวลาของสัญญาณนาฬิกา 1 ลูกประมาณ 210 nS ดังนั้น ใน 1 บัสไซเคิล จะใช้เวลา $4 \times 210 \text{ nS}$ หรือ 840 nS อย่างไรก็ตาม กรณีที่การติดต่อกับอุปกรณ์ภายนอกเช่น I/O พอร์ต นั้นมีความเร็วในการทำงานต่ำ ดังนั้นใน IBM/PC จึงได้มีการเพิ่มช่วงเวลาในบัสไซเคิลจากสัญญาณนาฬิกา 4 ลูก (840 nS) ใน 1 บัสไซเคิลเป็น 5 ลูก (1.05 S) ใน 1 บัสไซเคิล สำหรับสัญญาณนาฬิกาที่เพิ่มมานั้น จะเรียกว่า T_w และ ภาวะที่ 8088 หยุดรอเพื่อให้อุปกรณ์ภายนอกรับหรือส่งข้อมูลได้ทันนั้นคือ Wait State

บัสไซเคิลในการอ่านและเขียนข้อมูลจากพอร์ต

เมื่อ 8088 ทำการ เอ็กซีคิวต์ (Execute) คำสั่ง IN ซึ่งเป็นชุดคำสั่งในการอ่านข้อมูลจากพอร์ต รูปที่ 4.3 ระหว่างช่วงเวลา T_1 สัญญาณ ALE จะแอกทีฟ (ลอจิก 1) สัญญาณนี้จะถูกใช้เพื่อแสดงให้อุปกรณ์ที่ทำงานร่วมกับ 8088 รู้ว่าข้อมูลที่อยู่บนบัสแอดเดรสในช่วงขอบขาลงของสัญญาณ ALE นั้น เป็นแอดเดรสของพอร์ตที่ต้องการจะติดต่อด้วย (ในที่นี้ คือต้องการอ่านข้อมูล) ช่วงเวลา T_2 สัญญาณ IOR จะแอกทีฟ (ลอจิก 0) เป็นการแสดงว่า บัสไซเคิลนี้เป็นบัสไซเคิลในการอ่านข้อมูลจากพอร์ต และเป็นการทำให้พอร์ตที่มีแอดเดรสตรงกับค่าแอดเดรสที่อยู่บนบัสแอดเดรสนั้นส่งข้อมูลออกมาบนบัสข้อมูล จากนั้นในช่วงเวลาเริ่มต้น T_4 8088 ก็จะทำการอ่านข้อมูลนั้นเข้ามา จากนั้นสัญญาณ IOR จะปรับให้เป็นลอจิก 1 และ จะสิ้นสุดการทำงานในบัสไซเคิลเมื่อสิ้นสุดช่วงเวลาของ T_4

จะเห็นว่าการเพิ่มบัสไซเคิลนี้อีก 1 ลูกคือช่วง T_w ซึ่งอยู่ในช่วงต่อระหว่าง T_3 และ T_4 เพื่อให้พอร์ต I/O ซึ่งมีความเร็วในการทำงานต่ำ สามารถที่จะส่งข้อมูลออกมาบนบัสข้อมูลได้ทัน

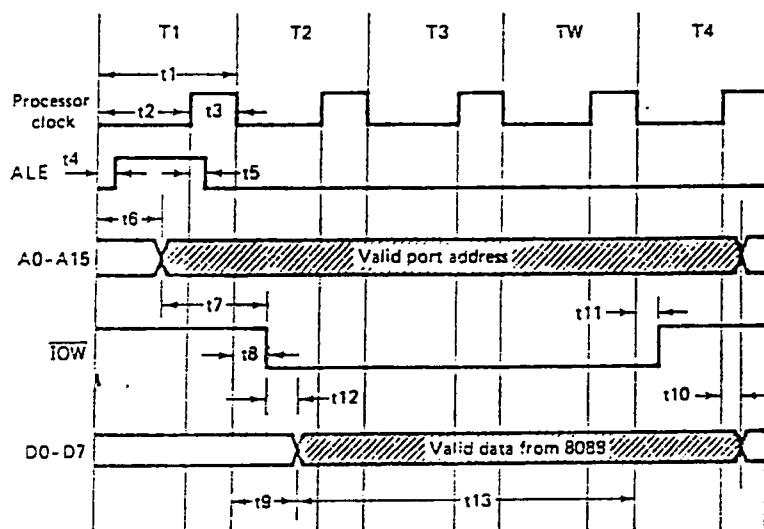


Data must be valid here

(a)

Symbol	Max.	Min.
t1	-	209.5
t2	-	124.5
t3	-	71.8
t4	15	-
t5	15	-
t6	128	16
t7	-	91.5
t8	35	10
t9	-	42
t10	35	10
t11	-	10
t12	-	551.5
t13	-	668

*All times are in nanoseconds



(b)

Symbol	Max.	Min.
t1	-	209.5
t2	-	124.5
t3	-	71.8
t4	15	-
t5	15	-
t6	128	16
t7	-	91.5
t8	35	10
t9	122	14
t10	-	10
t11	35	10
t12	112	-
t13	-	506.5

*All times are in nanoseconds

รูปที่ 3.14 แสดงบัสไทม์ไลน์ของการอ่านและเขียนข้อมูลจากพอร์ต

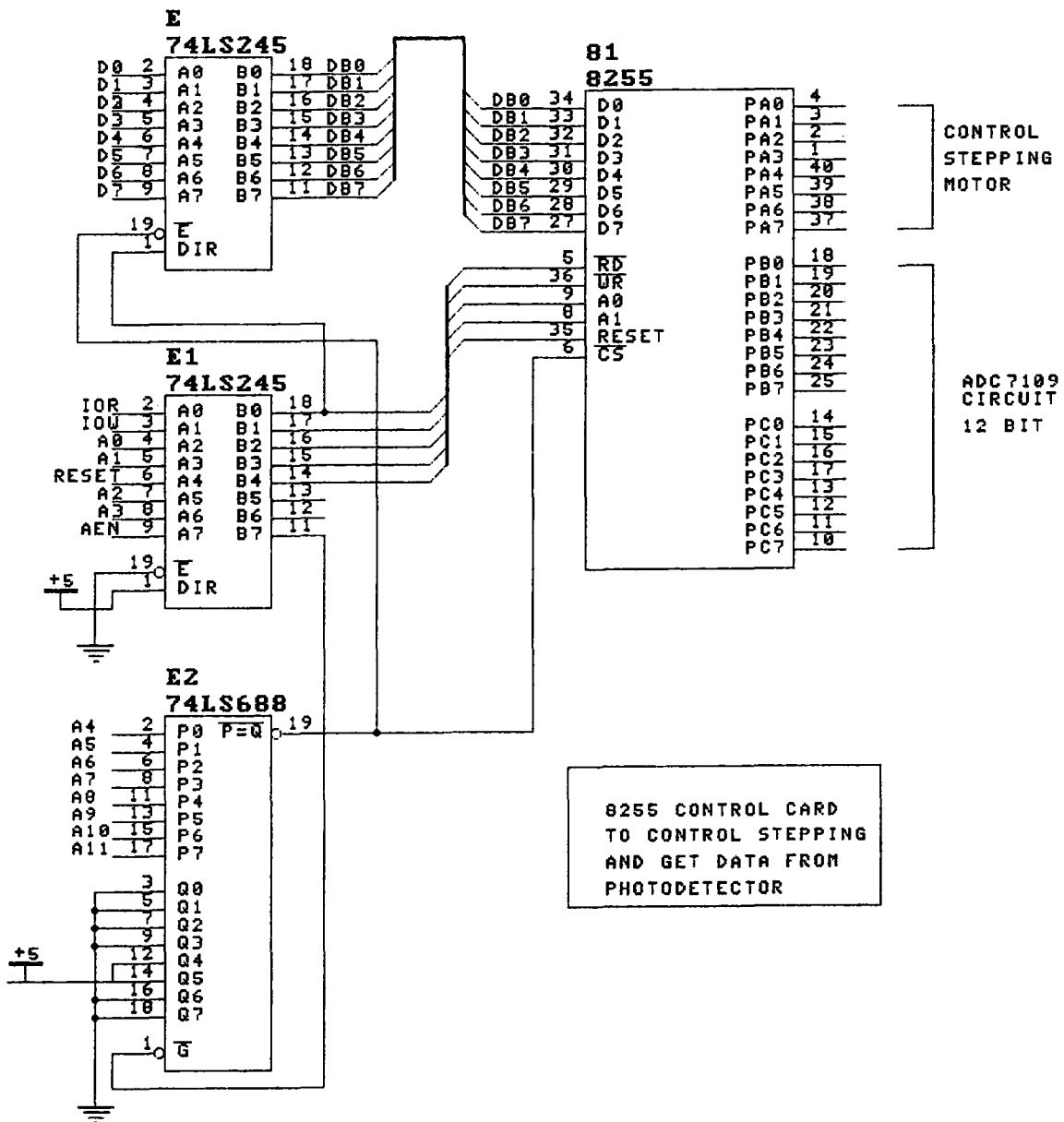
ในการรันที่ 8088 ทำการเอ็กซีคิวท์ (Execute) ชุดคำสั่ง OUT รูป 4.3 ระหว่างช่วง เวลา T1 สัญญาณ ALE จะแอกทีฟ (ลอจิก 1) สัญญาณนี้จะถูกใช้เพื่อแสดงให้อุปกรณ์ที่ทำงาน ร่วมกับ 8088 รู้ว่าข้อมูลที่อยู่บนบัสแอดเดรสในช่วงขอบขาของสัญญาณ ALE นั้น เป็นแอดเดรส ของพอร์ทที่ต้องการจะติดต่อด้วย (ในที่นี้ คือต้องการอ่านข้อมูล) ช่วงเวลา T2 สัญญาณ IOW จะ แอกทีฟ (ลอจิก 0) เป็นการแสดงว่าบัสไซเคิลนี้ เป็นบัสไซเคิลในการอ่านข้อมูลจากพอร์ท และ เป็นการทำให้พอร์ทที่มีแอดเดรสตรงกับค่าแอดเดรสที่อยู่บนบัสแอดเดรสนั้น ส่งข้อมูลออกมาบนบัส ข้อมูล จากนั้นในช่วงเวลาเริ่มต้น T4 ก็จะทำการอ่านข้อมูลนั้นเข้ามาและสัญญาณ IOW จะปรับ ให้เป็นลอจิก 1 และสิ้นสุดการทำงานบัสไซเคิลเมื่อสิ้นสุดช่วงเวลาของ T4

การ Decode

ในโครงการพิเศษนี้จะทำการ Decode Address ที่ 300H-30FH นำมาใช้ในการเชื่อม ต่อกับ 8255 PPI และวงจรแปลงอนาลอกเป็นดิจิตอล ซึ่ง Address ดังกล่าวนั้นอยู่ในส่วนของ Prototype Card ซึ่งได้วงจร Decode ดังแสดงดังรูป 3.15

จากวงจร ไอซี 74LS688 ซึ่งเป็นตัวเปรียบเทียบ จะทำการเปรียบเทียบ ตำแหน่ง ที่ต้องการถอดรหัสว่าเป็นตำแหน่งที่เราตั้งไว้หรือไม่ ถ้าตรงตามที่ตั้งไว้จะให้ เอาท์พุทออกที่ขา 19 เป็น LOW ถ้าไม่ตรง จะเป็น HIGH สัญญาณที่ออกจากขา 19 นี้ ถ้าเป็น LOW จะทำให้ไอซี 74F245 และ 74LS139 สามารถทำงานได้ โดยไอซี 74F245 จะยอมให้ข้อมูลผ่านเข้าและออก ได้ ไอซี 74LS139 เป็นตัวเลือกชิพ ทำการเลือกชิพโดยผ่าน A2 และ A3

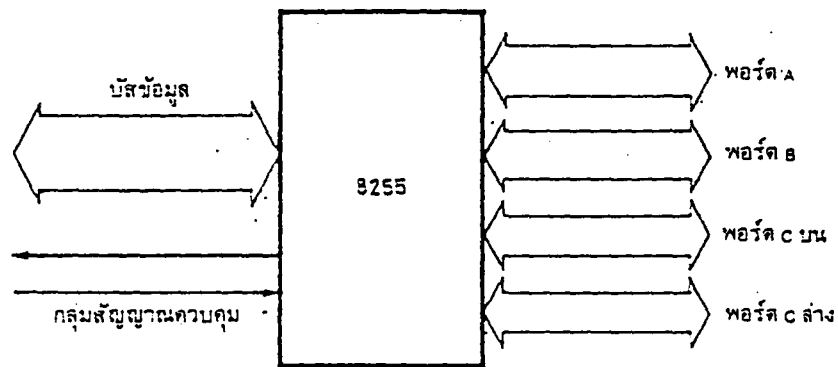
จากวงจร Decode ถ้าเราต้องการที่จะต่อวงจรอื่น ๆ เช่น 8255 หรือ A/D โดยนำมา เชื่อมต่อกับไมโครคอมพิวเตอร์ ก็นำมาเชื่อมต่อได้เลย โดยมีเอาท์พุทของไอซี 74LS139 เป็น ตัวเลือกชิพ ซึ่งจะกล่าวถึงการเชื่อมต่อกับ 8255 PPI และ A/D ในบทต่อ ๆ ไป



รูป 3.15 แสดงวงจร Decode

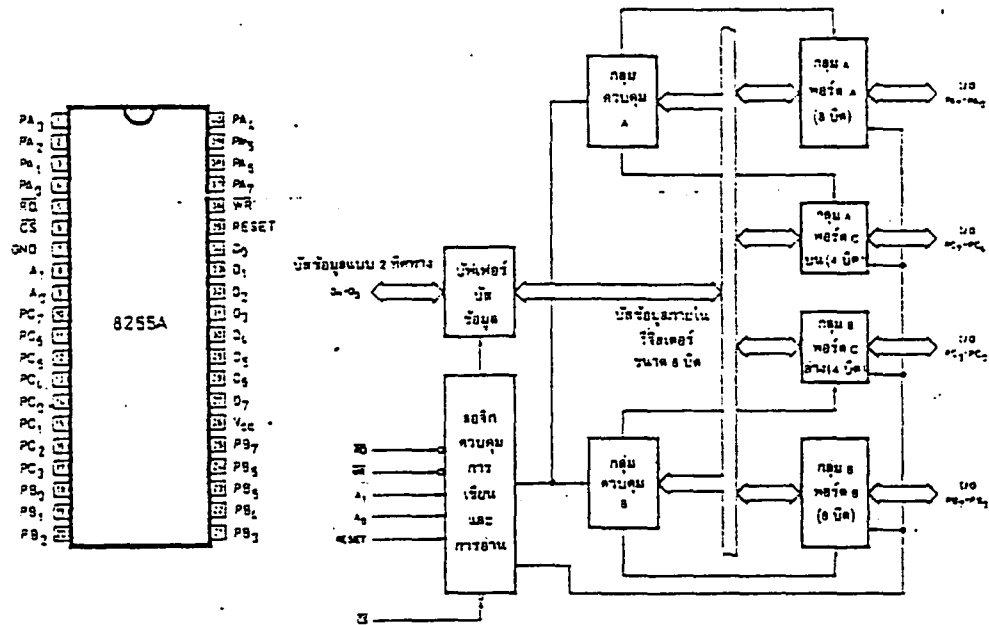
3.3 8255 พอร์ตข้อมูลแบบขนาน

8255 เป็นไอซีที่มี 40 ขา ได้รับการออกแบบมาให้มีสัญญาณเพื่อเชื่อมต่อกับ 8088 8255 เป็นไอซีที่ต่อเป็นพอร์ตให้ไมโครโปรเซสเซอร์ได้ 3 พอร์ต โดยมีโครงสร้างพื้นฐานแสดง ดังรูป 3.16



รูปที่ 3.16 แผนผังโครงสร้างของไอซี 8255

การเรียกพอร์ตของ 8255 จะเรียกพอร์ตต่าง ๆ ว่า พอร์ต A พอร์ต B และพอร์ต C โดยพอร์ต C แยกเป็น 2 ส่วนคือ พอร์ต C ล่างหรือตั้งแต่ PC0-PC3 มีจำนวน 4 บิต และพอร์ต C บน หรือตั้งแต่ PC4-PC7 ที่พิเศษคือ พอร์ตทุกพอร์ตเป็นได้ทั้งพอร์ตอินพุตและพอร์ตเอาต์พุต



รูปที่ 3.17 แผนผังวงจรภายในและการจัดขาของไอซี 8255

รูปที่ 3.17 เป็นแผนผังภายในของไอซีและการจัดวางขาของไอซี 8255 การทำงานของวงจรจะใช้สัญญาณจากไมโครโปรเซสเซอร์มาควบคุมการทำงาน โดยไมโครโปรเซสเซอร์จะส่งคำสั่งมาโปรแกรมการทำงานหรือกำหนดรูปแบบของพอร์ตให้เป็นอินพุทหรือเอาต์พุทได้

ขาต่าง ๆ ของ 8255

D0-D7 เป็นขาที่ข้อมูลอินพุทเอาต์พุทจะต้องผ่านเข้าออกจากส่วนนี้ D0-D7 จึงต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซสเซอร์ สามารถอ่านหรือเขียนข้อมูลจากพอร์ตผ่านทางบัสนี้

CS (สัญญาณเลือกชิป) ธานีเป็นขาอินพุตที่จะรับสัญญาณจากภายนอกเพื่อเลือกชิป 8255 โดยเมื่อธานีเป็น "0" จะทำให้ 8255 ต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์เพื่อให้ไมโครโปรเซสเซอร์เขียนหรืออ่านข้อมูลจากพอร์ทได้

RD (สัญญาณการอ่าน) เป็นสัญญาณอินพุตที่ต้องส่งมาจากชิพผู้อ่านข้อมูลจากบัสในขณะที่เป็นพอร์ทอินพุต

WR เป็นสัญญาณการเขียน จะแอกต์ฟเมื่อสัญญาณ WR และสัญญาณ CS เป็น "0" สัญญาณนี้จะมาจากชิพผู้เมื่อต้องการเขียนข้อมูลลงบนพอร์ทที่กำหนด

A0 - A1 (สัญญาณแอดเดรส) ลอจิกของสัญญาณทั้งสองจะถอดรหัสออกเป็น 4 รหัส เพื่อกำหนดรีจิสเตอร์ภายในที่เชื่อมต่อกับพอร์ทอินพุตของ 8255

RESET (สัญญาณรีเซ็ต) เป็นสัญญาณที่ส่งจากภายนอกเข้ามาทำการรีเซ็ต 8255 เพื่อเคลียร์สถานะต่าง ๆ ของ 8255 ได้รับการรีเซ็ต ก็จะถูกกลับเข้าสู่โหมดอินพุต หรือทุกพอร์ทที่เป็นพอร์ทอินพุต

PB0 - PB7 เป็นสายสัญญาณที่เป็นพอร์ท B ของ 8255 ถูกเลือกโดยสัญญาณแอดเดรส A0 - A1

PC0 - PC7 เป็นสายสัญญาณที่เป็นพอร์ท C ของ 8255 การกำหนดพอร์ทนี้ จะได้รับการกำหนดโดยสัญญาณแอดเดรส A0 - A1 พอร์ท C นี้แบ่งเป็น 2 กลุ่มคือ กลุ่ม PC0 - PC3 และกลุ่ม PC4 - PC7

รีจิสเตอร์ภายในของ 8255

เมื่อต่อ 8255 เข้ากับไมโครโปรเซสเซอร์ได้แล้ว สิ่งที่ใช้จะต้องทำก็คือ การโปรแกรมให้ 8255 ทำงานตามที่ต้องการ จากการที่ 8255 มีพอร์ทที่ไมโครโปรเซสเซอร์มองเห็น 4 พอร์ท แต่ละพอร์ทจะเสมือนเป็นรีจิสเตอร์ที่สามารถเขียนและอ่านได้ รีจิสเตอร์แต่ละตัวนี้ จึงถูกกำหนดด้วยแอดเดรสตามที่ตั้งไว้ เช่น ในกรณีที่เป็นแอดเดรส 10H, 11H, 12H และ 13H รีจิสเตอร์แต่ละตัวจะได้รับการกำหนดควบคู่กับสัญญาณ RD และ WR เพื่อแสดงความหมาย ตัวอย่างเช่น พอร์ท 10H เป็นพอร์ท A ซึ่งเมื่อเขียนที่พอร์ทนี้ จะเป็นการส่งข้อมูลเอาท์พุท และถ้าอ่านพอร์ทนี้ก็จะเป็นการอินพุตข้อมูลจากพอร์ท ดังนั้นสัญญาณของขาควบคุมที่ประกอบกัน จะแสดงความหมายดังตารางที่ 3

RD	WR	A1	A0	ความหมาย
1	0	0	0	เขียนพอร์ต A ซึ่งเป็นข้อมูล
0	1	0	0	อ่านพอร์ต A ซึ่งเป็นข้อมูล
1	0	0	1	เขียนพอร์ต B ซึ่งเป็นข้อมูล
0	1	0	1	อ่านพอร์ต B ซึ่งเป็นข้อมูล
1	0	1	0	เขียนพอร์ต C ซึ่งเป็นข้อมูล
0	1	1	0	อ่านพอร์ต C ซึ่งเป็นข้อมูล
1	0	1	1	เขียนข้อมูล ซึ่งเป็นรหัสควบคุม
0	1	1	1	อ่านเข้ามา ซึ่งไม่มีความหมายใด

ตารางที่ 3 สัญญาณควบคุมการกระทำของ 8255

การใช้งาน 8255 จะต้องส่งรหัสควบคุม (Control code) เข้าไปยังพอร์ตข้อมูลควบคุม การทำงานของ 8255 โดยใช้สัญญาณควบคุมพอร์ทหมายเลข 13H การควบคุมการทำงานของ 8255 มีหลายโหมด แต่ละโหมดจะแตกต่างกันออกไป การโปรแกรมให้ 8255 ทำงานจะทำได้ 3 โหมดคือ โหมด 0 โหมด 1 และ โหมด 2

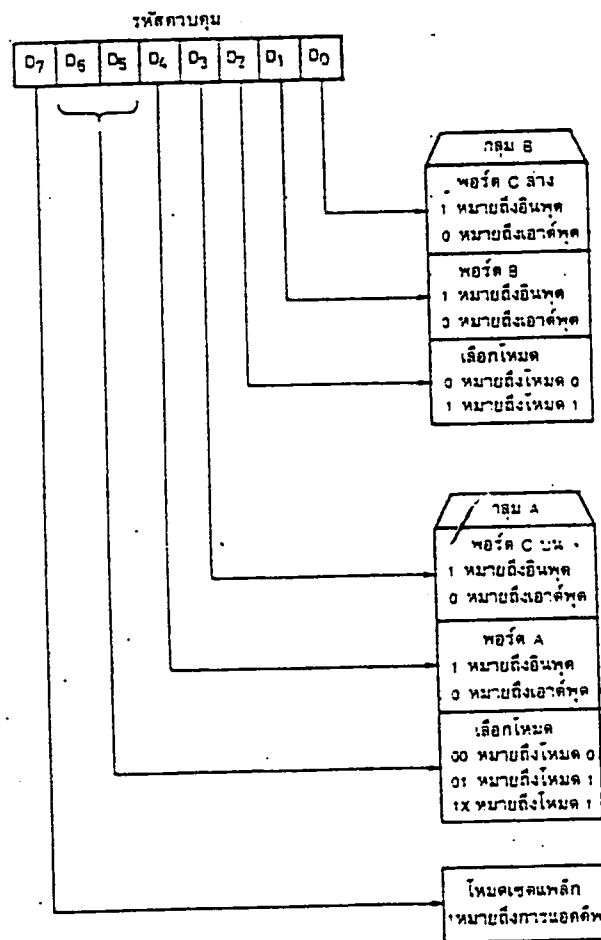
โหมด 0 หรือ อินพุตเอาต์พุตแบบพื้นฐาน

การกำหนดในการทำงาน จะต้องส่งข้อมูลคำสั่งเข้าไปโปรแกรมในพอร์ตควบคุมของ 8255 แต่ละบิตของข้อมูลที่ส่งไปจะมีความหมายในตัวเอง ลักษณะความหมายของแต่ละบิต ในรหัสควบคุมแสดงได้ดังรูปที่ 3.18

การโปรแกรม 8255 คือ การให้ค่ารหัสบิตต่าง ๆ เข้าไปในรหัสควบคุมแล้วส่งไปยังรีจิสเตอร์ของพอร์ตควบคุม ความหมายของบิตต่าง ๆ มีดังนี้

บิต D7 เป็นบิตที่แสดงรหัสคำสั่งควบคุม ถ้าบิตนี้เป็น "1" หมายถึงรหัสควบคุมนี้จะมีผลต่อการเปลี่ยนแปลงการเซตโหมดต่าง ๆ ของ 8255

บิต D6 และ D5 เป็นการเลือกโหมดของพอร์ต A ซึ่งมี 3 โหมดคือ โหมด 0 โหมด 1 และ โหมด 2 ดังแสดงในรูปที่ 3.18



รูป 3.18 ความหมายของบิตต่าง ๆ ในรหัสควบคุม

บิต D4 ถ้ามีค่าเป็น "0" หมายถึง การกำหนดพอร์ท A เป็นเอาต์พุตถ้ามีค่าเป็น "1" จะหมายถึงการกำหนดให้พอร์ท A เป็นอินพุต

บิต D3 เป็นบิตที่บอกถึงการเซตของพอร์ท C บน ถ้าเป็น "0" จะทำให้พอร์ท C บนเป็นเอาต์พุต

บิต D2 เป็นบิตที่บอกถึงการเซตโหมดของพอร์ท B ถ้าเป็น "0" หมายถึงการเลือกพอร์ท B เป็นโหมด 0 และถ้าเป็น "1" หมายถึงการเลือกโหมด 1

บิต D1 เป็นการกำหนดอินพุตเอาต์พุตของพอร์ท B ถ้าเป็น "0" หมายถึงเอาต์พุต ถ้าเป็น "1" หมายถึงอินพุต

บิต D0 เป็นการกำหนดอินพุตเอาต์พุตของพอร์ท C ล่าง ถ้าเป็น "0" หมายถึง เอาต์พุต ถ้าเป็น "1" หมายถึงอินพุต

ไอซี 8255 นี้จะเป็นไอซีที่ประกอบด้วยพอร์ทใช้งาน 3 พอร์ท และอีก 1 พอร์ทควบคุมก่อนที่จะใช้งาน 8255 เราจะต้องส่งข้อมูลไปให้ยังพอร์ทควบคุมก่อนว่าจะให้พอร์ททั้ง 3 ของ 8255 ที่เหลือนั้นทำหน้าที่อะไร เป็นอินพุตพอร์ท หรือ เอาต์พุตพอร์ท เราต้องเป็นผู้กำหนดรหัสควบคุมพอร์ท

การโปรแกรม 8255 จะเริ่มจากการเซตค่าที่ต้องการแล้วเอาต์พุตไปยังพอร์ทควบคุม เช่น ถ้าต้องการโปรแกรมให้ทั้งพอร์ท A, B, และ C เป็นพอร์ทเอาต์พุตหมด เราจะเลือก 8255 ให้อยู่ในโหมด 0 โดยมีรหัสควบคุมเป็น 10000000 หรือ 80H แล้วทำการส่งเอาต์พุต ไปยังพอร์ทควบคุมก่อนที่จะส่งข้อมูลว่าให้พอร์ทไหนเป็นอะไร ต้องทำการบิดสการส่งรหัสของพอร์ทออกไปก่อนโดยผ่าน A0 และ A1 รหัสเลือกพอร์ทเป็นดังนี้

A1	A0	
0	0	พอร์ท A
0	1	พอร์ท B
1	0	พอร์ท C
1	1	คอนโทรลพอร์ท

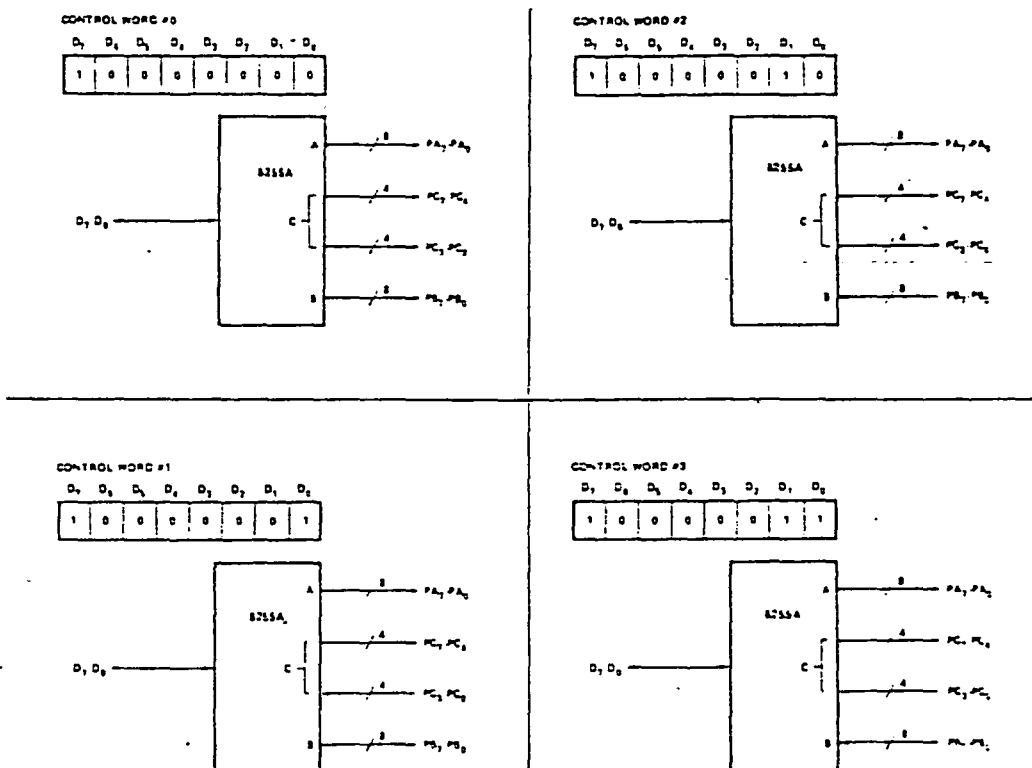
การใช้งาน 8255 นั้น ต้องการทำการส่งรหัสควบคุมพอร์ทผ่านพอร์ทคอนโทรลก่อน เพื่อให้ 8255 รู้ว่าพอร์ทไหนทำหน้าที่อะไร จากนั้นจึงค่อยส่งคำสั่งอินพุต หรือ เอาท์พุทพอร์ท ออกไปที่ พอร์ท A, B, และ C ตามที่กำหนดไว้

เนื่องจากพอร์ทที่รับส่งข้อมูล 3 พอร์ท คือ พอร์ท A พอร์ท B และพอร์ท C ซึ่งพอร์ท C จะแยกออกเป็น 2 ส่วนคือ พอร์ท C ล่าง และพอร์ท C บน เราสามารถโปรแกรมให้ทั้ง 4 พอร์ทนี้ เป็นอินพุตหรือเอาท์พุทก็ได้ เช่น ถ้าให้รหัสควบคุมเป็น 82H จะทำให้พอร์ท B เป็นอินพุต พอร์ท A และพอร์ท C เป็นเอาท์พุต

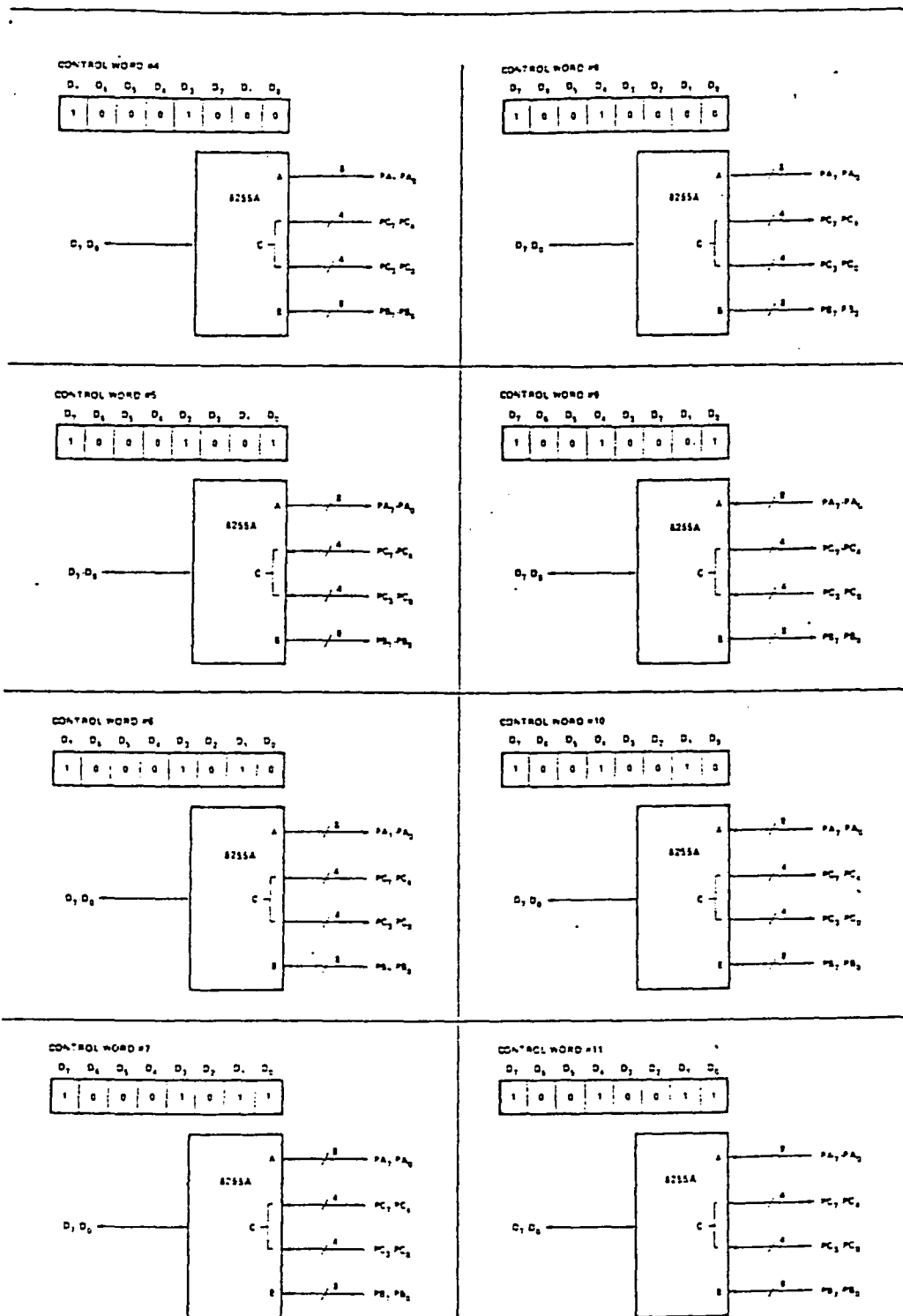
การทำงานในโหมด 0

โหมด 0 เป็นโหมดที่กำหนดให้พอร์ททุกพอร์ทบนตัว 8255 เป็นพอร์ทอินพุต เอาท์พุทแบบพื้นฐาน รูปแบบความเป็นไปได้จึงมีทั้งสิ้น 16 รูปแบบ ตามลักษณะของพอร์ท A พอร์ท B พอร์ท C บน และพอร์ท C ล่าง ลักษณะของรหัสควบคุมแต่ละแบบ เป็นดังรูปที่ 3.19

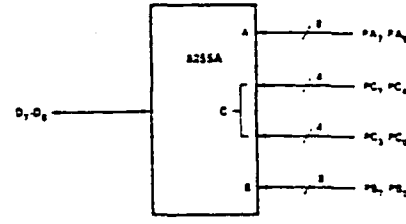
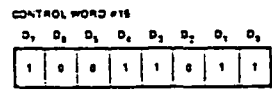
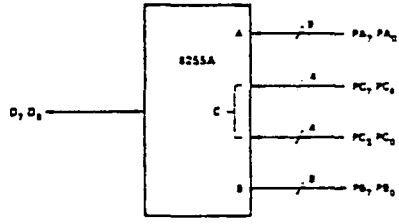
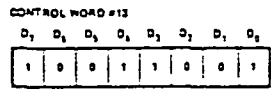
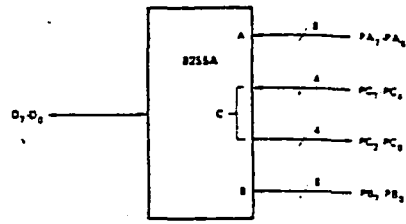
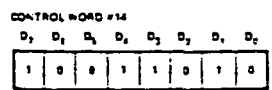
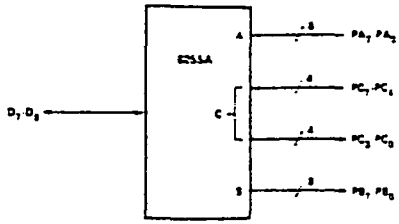
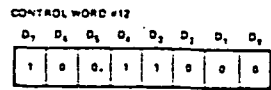
MODE 0 Configurations



รูปที่ 3.19 ลักษณะของรหัสควบคุมแบบต่าง ๆ ในโหมด 0



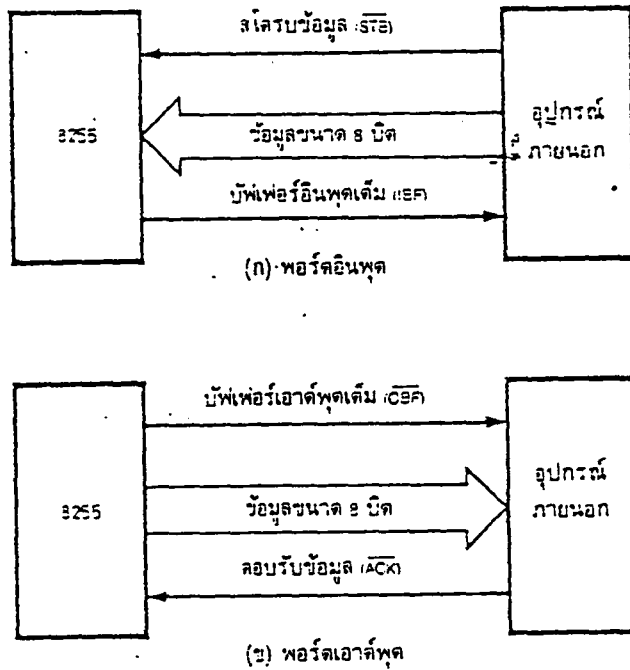
รูปที่ 3.19 (ต่อ) ลักษณะของรหัสควบคุมแบบต่าง ๆ ในโหมด 0



รูปที่ 3.19 (ต่อ) ลักษณะของรหัสควบคุมแบบต่าง ๆ ในโหมด 0

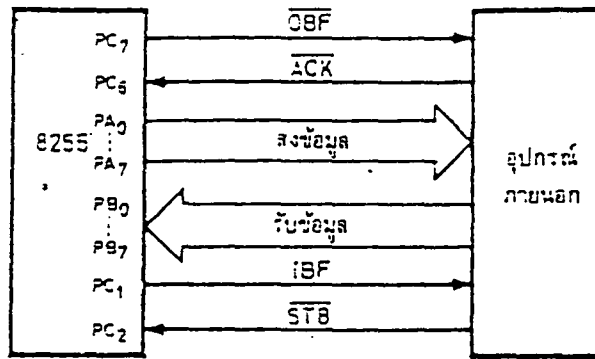
การทำงานของ 8255 ในโหมด 1

การทำงานของ 8255 ในโหมด 1 เป็นโหมดที่ทำให้อินพุตเอาท์พุตที่มีการตรวจสอบสัญญาณ (Handshaking) โดยใช้อินพุตเอาท์พุตของพอร์ต A และพอร์ต B เป็นหลักและใช้พอร์ต C บนเป็นตัวตรวจสอบสัญญาณ (Handshake) ของพอร์ต A ส่วนพอร์ต C ล่าง เป็นตัวตรวจสอบสัญญาณของพอร์ต B การจัดสัญญาณต่าง ๆ เหล่านี้ แสดงได้ดังรูปที่ 3.20



รูปที่ 3.20 โครงสร้างตัวตรวจสอบสัญญาณของพอร์ตอินพุตและพอร์ตเอาต์พุต

แนวความคิดของการใช้พอร์ตอินพุตเอาท์พุต โดยมีตัวตรวจสอบสัญญาณ ก็เพื่อให้มีการชิงโครไนซ์ระหว่างอุปกรณ์ภายนอกที่ทำงานได้กับการทำงานของคอมพิวเตอร์ที่ทำงานได้เร็ว เช่น เครื่องพิมพ์ทำงานได้ช้า เมื่อคอมพิวเตอร์ส่งตัวอักษรตัวแรกมาพิมพ์ เครื่องพิมพ์ที่รับตัวอักษรและกำลังจะพิมพ์ คอมพิวเตอร์ก็ส่งตัวอักษรตัวที่ 2 ตัวที่ 3 ตามมา ทำให้การประมวลผลของอุปกรณ์เครื่องพิมพ์ทำงานไม่ทัน ซึ่งอาจทำให้ข้อมูลสูญหาย ดังนั้นเครื่องพิมพ์จึงต้องส่งสัญญาณบอกคอมพิวเตอร์ว่ายังไม่พร้อมที่จะรับ ลักษณะของการรับส่งข้อมูลอินพุต เอาท์พุตแบบมีตัวตรวจสอบสัญญาณนั้น จะใช้ PA_0-PA_7 เป็นเอาท์พุต และ PB_0-PB_7 เป็นอินพุต โดยมีพอร์ต C เป็นตัวตรวจสอบสัญญาณ ดังแผนผังในรูปที่ 3.21



รูปที่ 3.21 วงจรการต่อ 8255 ในโหมด 1

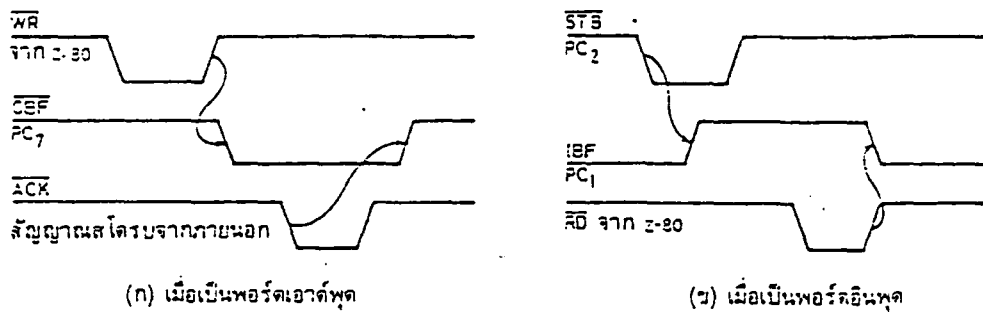
เมื่อโปรแกรม 8255 เป็นโหมด 1 แล้ว ตัว 8255 จะให้พอร์ท C เป็นสัญญาณควบคุม โดยแต่ละบิตของพอร์ท C เป็นไปตามที่กำหนดไว้ ดังตารางที่ 4

ขา	กรณีอินพุท	กรณีเอาต์พุท
PC0	INTR _B	INTR _B
PC1	IBF _B	OBF _B
PC2	STB _B	ACK _B
PC3	INTR _A	INTR _A
PC4	STB _A	I/O
PC5	IBF _A	I/O
PC6	I/O	ACK _A
PC7	I/O	OBF _A

ตารางที่ 4 หน้าที่ของสัญญาณต่าง ๆ ของพอร์ท C ในการทำงานเป็น ตัวตรวจสอบสัญญาณเมื่อ 8255 ทำงานในโหมด 1

โดยปกติ 8255 จะให้สัญญาณอินเทอร์รัพต์ไปบอกซีพียูด้วย สัญญาณอินเทอร์รัพต์ของ 8255 จะเกิดขึ้นที่ PC_0 และ PC_3 โดยที่เมื่อบัฟเฟอร์พร้อมแล้ว และต้องการให้ซีพียูส่ง อินพุต หรือ เอาท์พุทมาที่บัฟเฟอร์ สัญญาณอินเทอร์รัพต์ก็จะเกิดขึ้น สังเกตว่า สัญญาณอินเทอร์รัพต์เป็นสัญญาณ แอคทีฟ "1" ซึ่งตรงกับช่อง 8080

โครงสร้างการตรวจสอบสัญญาณของ 8255 แสดงด้วยสัญญาณทางไฟฟ้าได้ดังรูปที่ 3.22



รูปที่ 3.22 แผนผังเวลาการรับและส่งข้อมูลโดยใช้ตัวตรวจสอบสัญญาณ

สังเกตว่าการทำงานของ 8255 จะเกี่ยวข้องกับสัญญาณ RD และ WR ซึ่งจะทำให้สัญญาณควบคุมเปลี่ยนแปลงไป การตรวจสอบสัญญาณซึ่งกันและกันนี้ เป็นวิธีการรับส่งที่มีประสิทธิภาพ เช่น ในกรณีอินพุต เมื่ออุปกรณ์ภายนอกต้องการส่งข้อมูลให้ซีพียู ก็จะส่งข้อมูลแบบขนานเข้ามา พร้อมทั้งสไตรบ (STB) บอก 8255 ซึ่ง 8255 จะนำข้อมูลนั้นไปเก็บไว้ในรีจิสเตอร์ภายในก่อน แล้วส่งสัญญาณตอบบอกว่า บัฟเฟอร์ยังเต็มแล้ว (IBF) ครั้นเมื่อซีพียูอ่านข้อมูลจากรีจิสเตอร์ไปแล้ว ส่วนของสัญญาณบัฟเฟอร์ยังเต็มแล้ว (IBF) ก็จะบอกว่า บัฟเฟอร์ว่างอุปกรณ์ภายนอกก็จะส่งข้อมูลมาให้อีก

ทำนองเดียวกัน สำหรับพอร์ตเอาท์พุท เมื่อซีพียูส่งข้อมูลออกทางพอร์ตเอาท์พุทให้กับ 8255 ตัว 8255 ก็จะรับไว้ในรีจิสเตอร์ภายใน พร้อมทั้งส่งสัญญาณออกไปบอกอุปกรณ์ภายนอกว่าข้อมูลในบัฟเฟอร์พร้อม (OBF) อุปกรณ์ภายนอกเมื่อทราบ และพร้อมที่จะอ่านก็จะส่งสัญญาณตอบรับ (ACK) พร้อมกับอ่านข้อมูลไป โดยสัญญาณ ACK จะมีความหมายว่า ทำการอ่านข้อมูลไปแล้ว ตัว 8255 ก็จะทำการนำข้อมูลใหม่ส่งมาให้อีก

ในการที่โปรแกรมโหมด 1 เราจะใช้รหัสควบคุมเป็น 101(I/O) 01(I/O)0 ในส่วน I/O หมายถึง ถ้าเป็นอินพุตก็คือ "1" ถ้าเป็นเอาต์พุต "0" โดย I/O ตัวแรกเป็นของพอร์ท A ตัวที่ 2 เป็นของพอร์ท B เช่น ถ้าต้องการให้พอร์ท A เป็นเอาต์พุต และพอร์ท B เป็นอินพุต เราจะใช้รหัสควบคุมเป็น 10100110 หรือ A6H

จากการพิจารณาการทำงานของชิพจะเห็นว่า ทำอย่างไร จึงจะเขียนหรืออ่านพอร์ทได้ถูกต้อง วิธีที่ง่ายวิธีหนึ่งคือ ชิพจะคอยตรวจสอบสัญญาณของ 8255 เช่น กรณีเอาต์พุต ชิพจะคอยอ่านพอร์ท C แล้วตรวจสอบบิต 7 (OBF) หลังจากส่งข้อมูลไปแล้ว ถ้าบิต 7 ยังเป็น "0" แสดงว่ายังไม่ได้รับการสโตรบ แต่ถ้าเป็น "1" แล้ว แสดงว่าอุปกรณ์ภายนอกได้รับข้อมูลไปแล้ว สำหรับกรณีอินพุต ก็คอยตรวจสอบจากสัญญาณ IBF ได้เช่นกันว่า มีข้อมูลใหม่เข้ามาหรือยัง คือ ตรวจสอบบิต PC₇ ของพอร์ท C

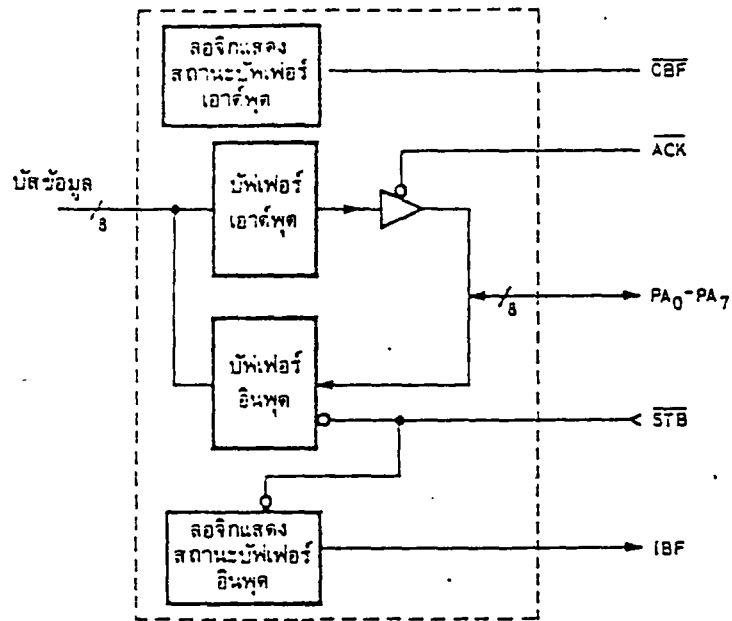
การทำงานของ 8255 ในโหมด 2

8255 ยังโหมดการทำงานอีกโหมดหนึ่งคือ โหมด 2 ซึ่งทำได้เฉพาะพอร์ท A ในโหมดนี้ 8255 จะใช้พอร์ท A ทำหน้าที่เป็นพอร์ทแบบ 2 ทิศทางคือ สามารถเป็นได้ทั้งพอร์ทอินพุตและเอาต์พุต โดยโครงสร้างของพอร์ท A ทั้งอินพุตเอาต์พุตมีตัวตรวจสอบสัญญาณทั้งคู่ ส่วนพอร์ท C จะทำหน้าที่เป็นสัญญาณตรวจสอบ โดยมีสัญญาณแต่ละขาดังตารางที่ 5

พอร์ท C	ความหมาย
PC0	I/O
PC1	I/O
PC2	I/O
PC3	INTR _A
PC4	STB _A
PC5	IBF _A
PC6	ACK _A
PC7	OBF _A

ตารางที่ 5 หน้าที่ของพอร์ท C ในโหมด 2

โครงสร้างของพอร์ท A ที่ทำงานแบบ 2 ทิศทาง แสดงได้ดังรูปที่ 3.23

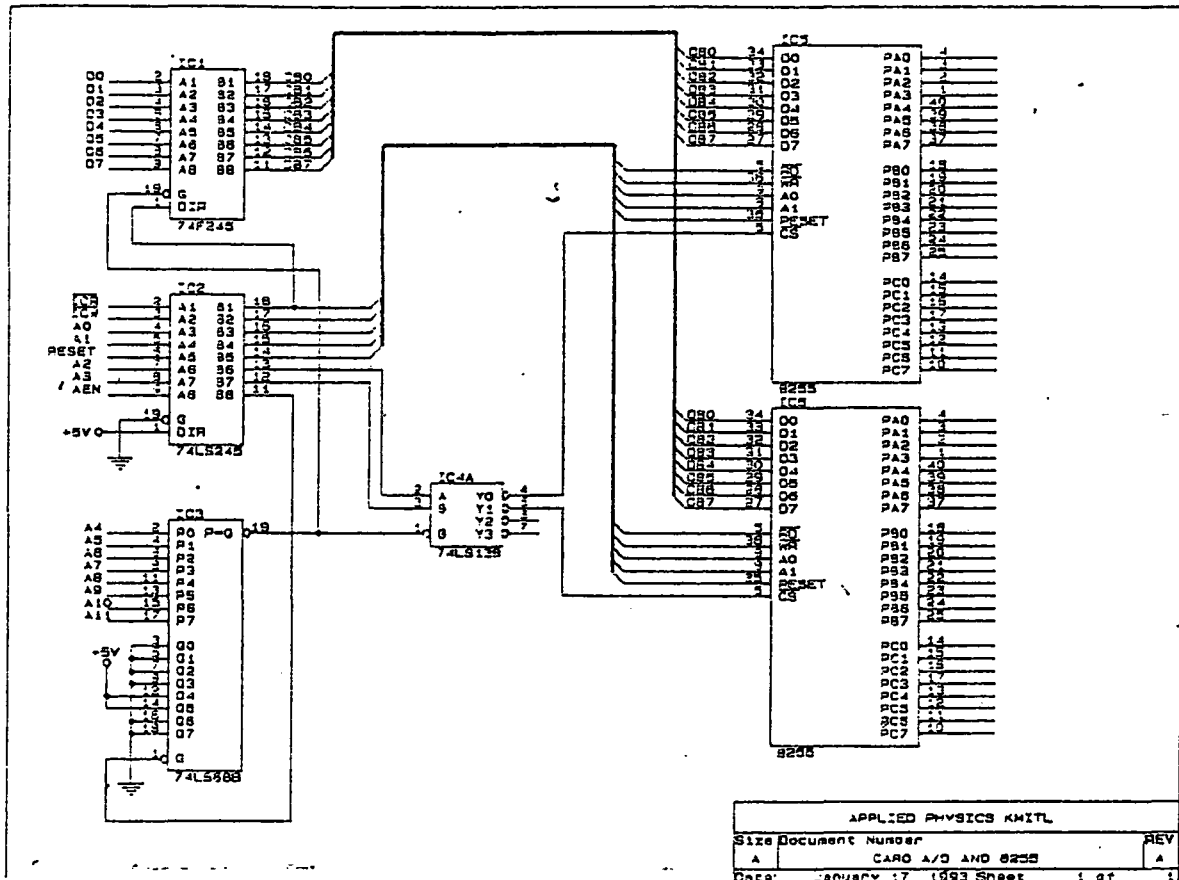


รูปที่ 3.23 โครงสร้างของพอร์ท A ที่ทำงานแบบพอร์ท 2 ทิศทาง

สังเกตว่า เมื่อโปรแกรมพอร์ท A เป็นโหมด 2 แล้วพอร์ท B จะต้องโปรแกรมเป็นโหมด 0 หรือไม่ 1 ก็ได้ ซึ่งก็ทำงานแบบแยกอิสระอีก ในการใช้งานพอร์ทแบบ 2 ทิศทางนี้ใช้ได้กับงานบางประเภท เช่น ใช้ในการรับส่งข้อมูลของพอร์ทมาตรฐานบางประเภท เช่น IEEE 488 หรือ ไม่เชื่อมต่อระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ในการรับส่งข้อมูลสลับกันไปและกลับ

การต่อ 8255 เข้ากับวงจร Decode

จากวงจร Decode ที่เคยกล่าวมาแล้วในตอนก่อน ๆ เรานำมาทำการต่อกับ 8255 ได้ดังรูปที่ 3.24



รูปที่ 3.24 แสดงการต่อ 8255 กับวงจร Decode

ซึ่งจะใช้การเรียกพอร์ต แต่ละพอร์ตของ 8255 ดังนี้

		A11.....A0			
พอร์ต A	300H	0011	0000	0000	
พอร์ต B	301H	0011	0000	0001	
พอร์ต C	302H	0011	0000	0010	
คอนโทรลพอร์ต	303H	0011	0000	0011	

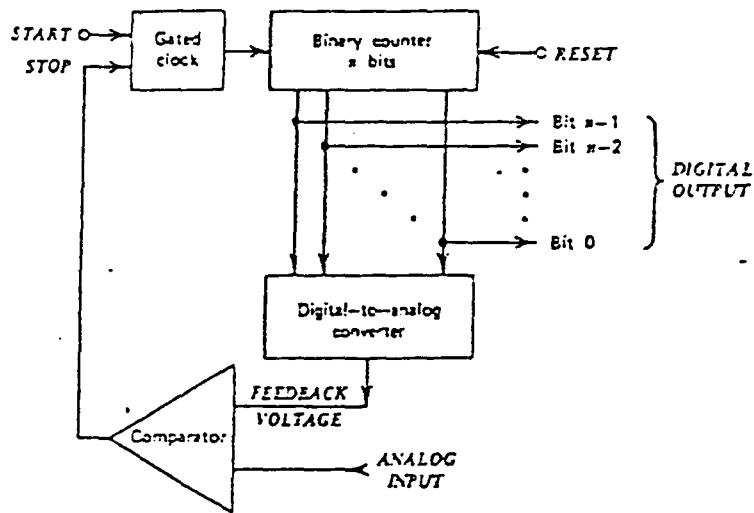
จะเห็นว่า การเรียกพอร์ตแต่ละพอร์ตนั้นจะต้องควบคุมโดยผ่าน A0 และ A1 ดังได้กล่าวมาแล้วในตอนต้น

3.4 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

ในการวัดสัญญาณต่าง ๆ นั้นโดยทั่วไปแล้วถ้าเป็นในวงจรใหญ่ที่ใช้ไมโครคอมพิวเตอร์ควบคุมการทำงาน และประมวลผลค่าสัญญาณอนาลอกนั้น จะต้องมีการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล เพื่อสามารถป้อนให้กับไมโครคอมพิวเตอร์ทำการประมวลผลต่อไปได้ ส่วนใหญ่แล้วการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล มีได้หลายวิธี แต่วิธีที่นิยมใช้ส่วนใหญ่ได้แก่

1. การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีธรรมดา หรือ วิธีแลมป์ (Basic ADC or Ramp ADC)
2. การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีต่อเนื่อง (Continous Convertor)
3. การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีประมาณค่าทีละบิต (Sucessive Approximation Convertor)
4. การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีแฟลช (Flash ADC)
5. การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีสโลปคู่ (Dual-Slope Intergrator ADC)

การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีธรรมชาติ หรือ วิธีแลมป์

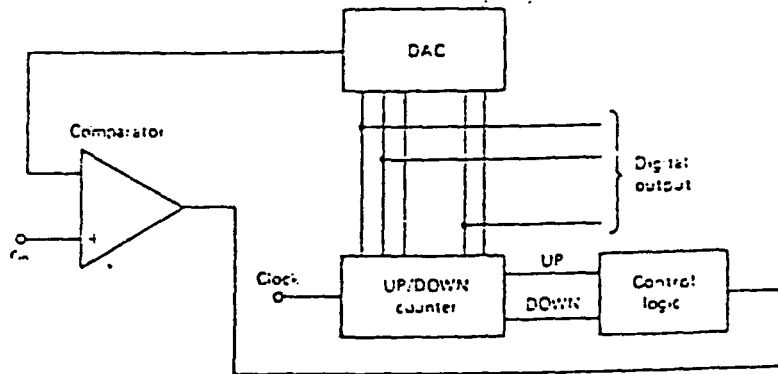


รูปที่ 3.25 แสดงวงจรการแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีธรรมชาติ หรือ วิธีแลมป์

จากรูปที่ 3.25 จะเห็นได้ว่า วงจรนี้ประกอบด้วย วงจรเปรียบเทียบแรงดัน (Voltage Comparator), วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก (Digital to Analog Converter หรือ DAC) วงจรนับเลขฐานสอง (Binary Counter), แนนด์เกต และวงจรกำเนิดพัลส์ (Clock Pulse หรือ CP) ซึ่งมีขั้นตอนในการทำงานดังนี้

เริ่มต้นวงจรนับเลขฐานสองจะถูกตั้งให้มีความเป็น 0 เมื่อมีสัญญาณจากวงจรถ่ายค่าแอมพลิจูดผ่านแนนด์เกตเข้ามา จะทำให้วงจรนับเลขฐานสองเริ่มทำการนับ สัญญาณเอาต์พุตที่ได้จากวงจรนับเลขฐานสองจะนำไปเข้าวงจรแปลงสัญญาณจากดิจิทัลเป็นอนาลอก เพื่อทำการแปลงให้เป็นสัญญาณอนาลอก แล้วนำสัญญาณอนาลอกที่ได้มาเปรียบเทียบกับสัญญาณอินพุตที่เข้ามา โดยใช้วงจรเปรียบเทียบแรงดัน เมื่อสัญญาณอนาลอกที่ได้ จากวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกมีค่าเท่ากับ หรือมากกว่า สัญญาณอินพุตที่เข้ามา วงจรนับเลขฐานสองจะหยุดทำงาน ดังนั้นสัญญาณดิจิทัลเอาต์พุต ที่ได้จากวงจรนับเลขฐานสอง จะมีค่าเท่ากับ สัญญาณอินพุตที่เข้ามา

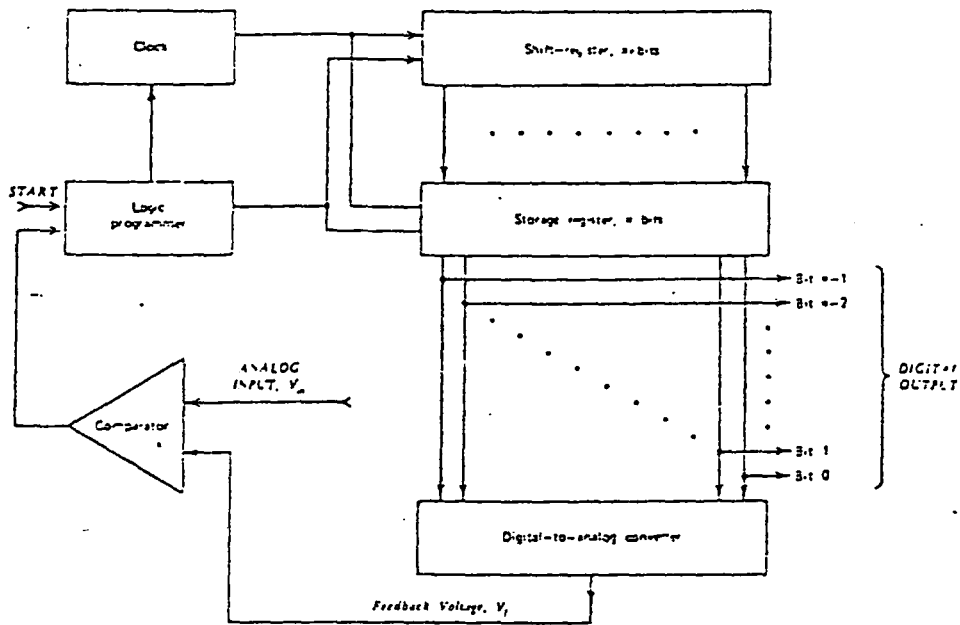
การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีต่อเนื่อง



รูปที่ 3.26 แสดงวงจรการแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีต่อเนื่อง

วงจรมีหลักการทำงานคล้ายกับ การแปลงสัญญาณอนาลอกเป็นดิจิทัล โดยวิธีธรรมดา หรือวิธีแลมบ์ เพียงแต่ต่างกันที่สัญญาณเอาต์พุทของวงจรเปรียบเทียบกับแรงดันจะไปป้อนเข้าที่วงจรควบคุมลอจิก (Control Logic) เพื่อทำการเปลี่ยนแปลงค่าของวงจรมับเลขฐานสองขึ้น-ลง (Up-Down Binary Counter) ถ้าสัญญาณเอาต์พุทของวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก น้อยกว่าสัญญาณ e_{in} จะทำให้วงจรควบคุมลอจิก ไปควบคุมวงจรมับเลขฐานสองขึ้น-ลง ทำให้สัญญาณเอาต์พุทของวงจรมีค่าเพิ่มขึ้น จนกว่าจะได้สัญญาณเอาต์พุทจากวงจรมับเลขฐานสองขึ้น-ลง เท่ากับสัญญาณอนาลอก e_{in} วงจรควบคุมลอจิก ก็จะทำการเก็บค่านั้นไว้จนกว่าจะมีการเปลี่ยนแปลงของสัญญาณอนาลอก e_{in}

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลโดยวิธีประมาณทีละบิต

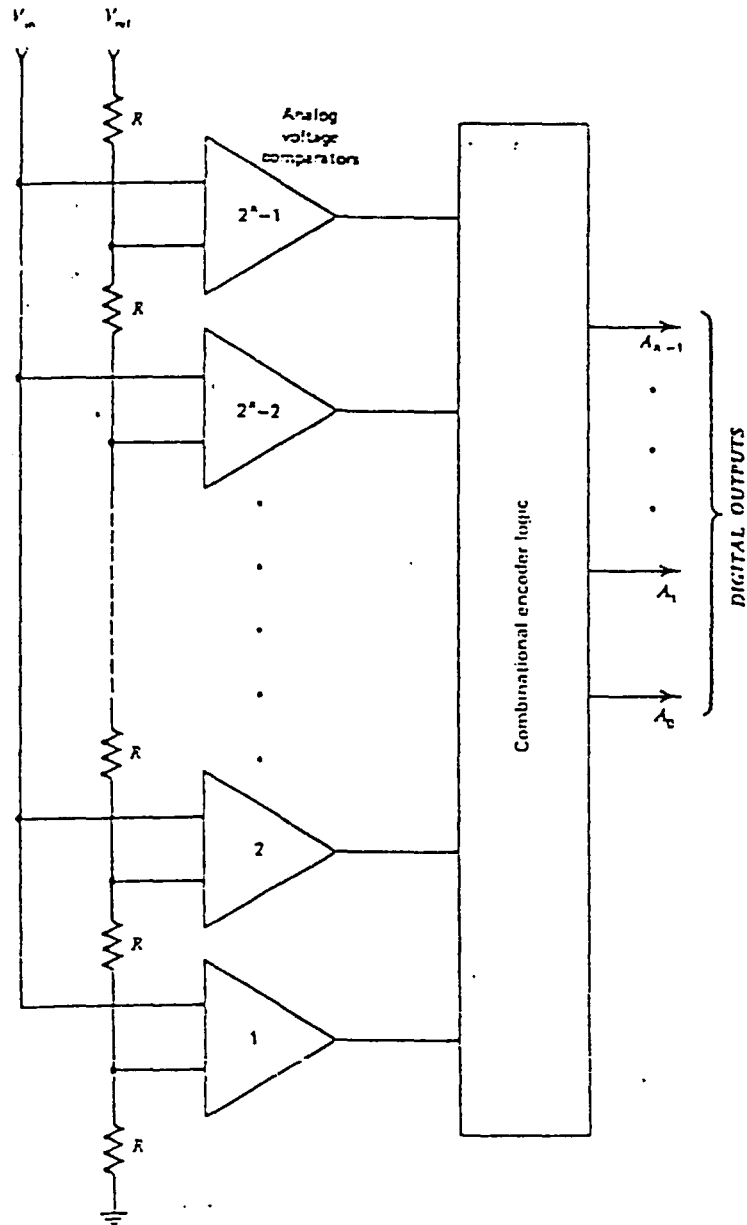


รูปที่ 3.27 แสดงวงจรการแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีประมาณทีละบิต

เป็นวงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล ที่มีความละเอียด และรวดเร็ว โดยมีหลักการ ดังนี้คือ

เริ่มต้นซีพรีจิสเตอร์ จะถูกเคลียร์ให้เป็น 0 และ 1 จะถูกใส่เข้าไปยังตำแหน่งบิตที่มีค่านัยสำคัญสูงสุด (Most Significant Bit หรือ MSB) ในซีพรีจิสเตอร์สัญญาณเอาต์พุตที่ได้จากซีพรีจิสเตอร์ จะผ่านเข้าไปยังวงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก และนำสัญญาณอนาลอกที่ได้ มาเข้าวงจรเปรียบเทียบแรงดัน เพื่อเปรียบเทียบแรงดัน เพื่อเปรียบเทียบกับสัญญาณอินพุตที่เข้ามา ถ้าสัญญาณอินพุตมีค่ามากกว่าสัญญาณอนาลอก บิตที่มีค่านัยสำคัญสูงสุดจะคงค่าเดิม 1 ไว้ แต่ถ้าสัญญาณอินพุตมีค่าน้อยกว่า สัญญาณอนาลอก บิตที่มีค่านัยสำคัญสูงสุดจะเปลี่ยนเป็น 0 แทน หลังจากนั้น บิตที่มีค่านัยสำคัญต่ำสุด (Least Significant Bit หรือ LSB) ดังนั้นสัญญาณดิจิทัลเอาต์พุตที่ได้จากซีพรีจิสเตอร์ จะมีค่าเท่ากับสัญญาณอินพุตที่เข้ามา

การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีแฟลช

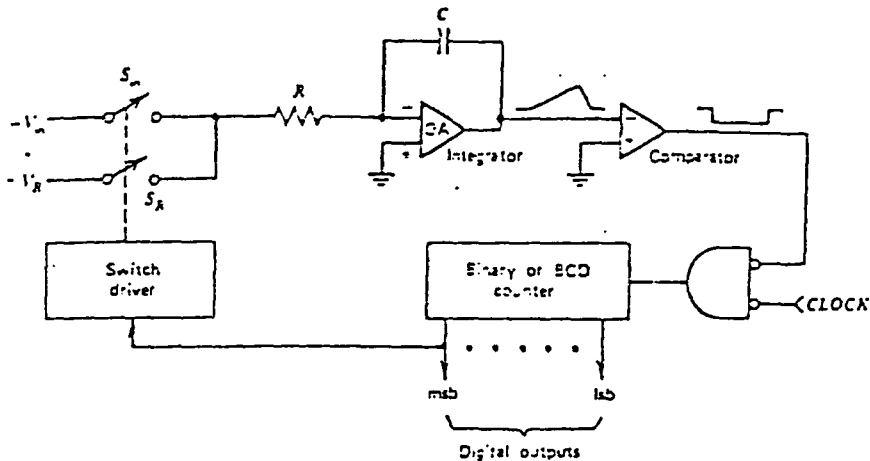


รูปที่ 3.28 แสดงวงจรการแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีแฟลช

การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลโดยวิธีแฟลชนี้ มีความเร็วสูงมาก และเป็นที่ยอมรับมากในปัจจุบัน แต่ราคาของ I.C. ยังสูงอยู่ จากรูปจะเห็นได้ว่าวงจรประเภทนี้ประกอบด้วยวงจรเปรียบเทียบแรงดัน ซึ่งมีจำนวน 2^{n-1} และวงจรถอดรหัสรวม (Combination Encoder Logic) ซึ่งใช้หลักการทำงานดังนี้คือ

- 1.) สัญญาณอนาลอก e_{in} ที่ต้องการแปลงเป็นสัญญาณดิจิทัล จะถูกนำมาเข้าวงจรเปรียบเทียบแรงดันทั้งหมด
- 2.) อินพุตอีกขาหนึ่งของวงจรเปรียบเทียบแรงดันจะต่อเข้ากับ V_{ref} ที่ทราบค่าแน่นอน โดยใช้ตัวต้านทานเป็นตัวแบ่งกระแสให้มีความต่างศักย์ต่าง ๆ กัน โดยให้ลดลงมาเรื่อย ๆ แล้วนำ V_{ref} ที่แบ่งแรงดันแล้วนำมาเข้าวงจรเปรียบเทียบแรงดันทุกตัว ดังนั้นจะได้ V_{ref} มีค่าลดลงเรื่อย ๆ ในวงจรเปรียบเทียบแรงดันทั้งหมด
- 3.) สัญญาณเอาต์พุตที่ได้จากวงจรเปรียบเทียบแรงดัน จะถูกนำมาเข้าวงจรถอดรหัสรวม โดยนำสัญญาณเอาต์พุตที่ได้จากวงจรเปรียบเทียบแรงดันที่สัญญาณอนาลอก e_{in} มีค่าเท่ากับ V_{ref} มาถอดรหัสเป็นสัญญาณดิจิทัล n บิต ซึ่งมีค่าเท่ากับสัญญาณอนาลอก e_{in} ที่เข้ามา

การแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีสไลป์



รูปที่ 3.29 แสดงวงจรการแปลงสัญญาณอนาลอกเป็นดิจิทัลโดยวิธีสไลป์

เป็นวงจรที่ไม่จำเป็นต้องใช้วงจรแปลงสัญญาณดิจิทัลให้เป็นอนาลอกเข้ามาช่วย ดังรูปที่ 3.29 ซึ่งมีหลักการดำเนินงานดังนี้

- 1.) เมื่อสัญญาณเอาต์พุตของวงจรนับเลขฐานสองถูกเซ็ทให้เป็น 0 สวิตซ์ S_L จะปิด วงจรโดยสวิตซ์ใด ๆ ทำหน้าที่ควบคุมการปิด-เปิดของสวิตซ์ สัญญาณเอาต์พุตของวงจรอินทิเกรเตอร์จะเพิ่มขึ้นเรื่อย ๆ (Positive - Going Ramp) เข้าหา e_{LH} ที่มีค่าเป็นลบ
- 2.) เมื่อสัญญาณเอาต์พุตของวงจรอินทิเกรเตอร์ ผ่านเข้าไปในวงจรเปรียบเทียบแรงดัน จะได้สัญญาณเอาต์พุตที่ออกจากวงจรมีค่าเป็นลบ ($-e_c$)
- 3.) สัญญาณเอาต์พุตของวงจรเปรียบเทียบแรงดัน จะถูกป้อนเข้าอินเวอร์เตอร์ (Inverter) เพื่อทำให้สัญญาณเอาต์พุตที่ออกมาเป็นบวก คือเป็นระดับสูง
- 4.) สัญญาณเอาต์พุตของวงจรเปรียบเทียบแรงดันจะนำไปเปิดแชนด์เกต ซึ่งอีกขาหนึ่งแชนด์เกตนี้ต่อเข้ากับเอาต์พุตที่ได้จากแชนด์เกตจะนำไปควบคุมวงจรนับเลขฐานสองให้ทำงาน
- 5.) เมื่อวงจรนับเลขฐานสองทำงาน จนกระทั่งสัญญาณเอาต์พุตของทุกบิตมีค่าเป็น 1 ยกเว้นบิตที่มีเลขนัยสำคัญสูงสุด สัญญาณพัลส์ลูกต่อไป จะทำการเปลี่ยนค่าบิตทุกบิต โดยจะใส่ 1 ที่บิตที่มีเลขนัยสำคัญสูงสุด และใส่ 0 ในบิตที่เหลือ

6.) ซึ่งช่วงเวลาที่ใช้ในการเปลี่ยนแปลงเอาต์พุต ของวงจรมัลติเพลกซ์ ตั้งแต่ 000...000 ไปจนถึง 011...111 มีค่าคงที่คือ T_1

7.) ในระหว่างช่วงเวลา T_1 สัญญาณเอาต์พุตของวงจรมัลติเพลกซ์ จะมีค่าเป็น $e_{out} T_1/RC$ และในพัลส์ต่อมาจะทำให้ สัญญาณเอาต์พุตของวงจรมัลติเพลกซ์จะเพิ่มขึ้นจาก 011...111 เป็น 100...000

8.) เมื่อบิตที่มีเลขนัยสำคัญสูงสุดมีค่าเป็น 1 จะทำให้วงจรมัลติเพลกซ์ เปิดสวิตช์ S1 และปิดสวิตช์ S2 จึงทำให้เกิดการป้อนสัญญาณ V_r เข้าที่ขาอินพุตของวงจรมัลติเพลกซ์

9.) สัญญาณเอาต์พุตจากวงจรมัลติเพลกซ์ จะเปลี่ยนแปลงลงเรื่อย ๆ (Negative-Going Ramp) ถ้าสัญญาณอินพุตเป็นบวก เมื่อสัญญาณเอาต์พุตของวงจรมัลติเพลกซ์ต่ำกว่า 0 V สัญญาณเอาต์พุตของวงจรมัลติเพลกซ์จะกลับเครื่องหมายและมีค่าเป็นบวก ทำให้สัญญาณเอาต์พุตจากอินเวอร์เตอร์ เปลี่ยนเป็นระดับต่ำ จึงเป็นการปิดแอสแตเบิลเกท ทำให้วงจรมัลติเพลกซ์ และวงจรมัลติเพลกซ์เลขฐานสอง หยุดทำงาน ซึ่งวงจรมัลติเพลกซ์เลขฐานสอง ก็จะทำให้ได้สัญญาณดิจิทัลเอาต์พุตออกมา

10.) ถ้า V_r ที่ให้เข้ามา ทำให้เกิดช่วงเวลา T_2 สัญญาณเอาต์พุตของวงจรมัลติเพลกซ์กลับเครื่องหมาย สามารถบอกได้ด้วยช่วงระยะเวลา T_2 ตั้งแต่เริ่มระยะเวลา T_2 ซึ่งสัญญาณเอาต์พุตจากวงจรมัลติเพลกซ์เลขฐานสองมีค่าเป็น 100...000

11.) ในช่วงเวลา T_2 การเปลี่ยนแปลงสัญญาณเอาต์พุตของวงจรมัลติเพลกซ์ มีค่าเป็น $V_r (T_2/RC)$ ซึ่งสามารถคำนวณหา e_{out} ได้จาก

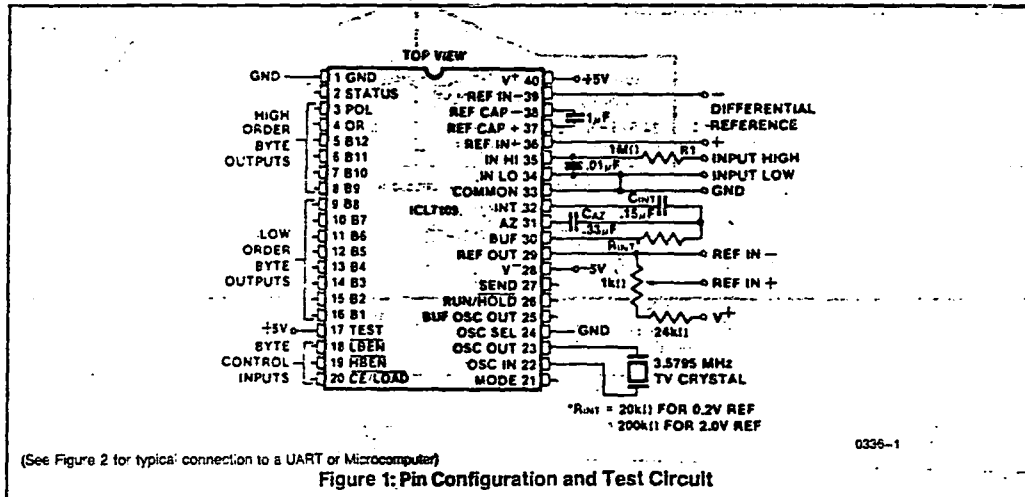
$$e_{out} T_1/RC = V_r T_2/RC$$

$$e_{out} = V_r T_2/T_1$$

เนื่องจาก V_r และ T_1 เป็นค่าคงที่ ดังนั้น e_{out} มีค่าเปลี่ยนแปลงตาม T_2

12.) เนื่องจาก T_2 สามารถบอกค่าสัญญาณเอาต์พุตของวงจรมัลติเพลกซ์เลขฐานสอง ซึ่งก็สามารถบอกค่าสัญญาณอนาล็อก e_{out} ด้วย

ในโครงการพิเศษนี้ ใช้ ADC เบอร์ ICL7109 ซึ่งเป็น ADC ขนาด 12 bit โดย ICL7109 เป็น IC CMOS ซึ่งกินกำลังไฟต่ำ และสามารถติดต่อกับไมโครโปรเซสเซอร์ได้ง่าย โดยข้อมูลเอาต์พุต (12 bit, bit polarity และ bit overrange) สามารถควบคุมได้โดยขาอินพุต 2 ขา และ chip select input สำหรับการติดต่อแบบง่าย ๆ และยังมีการ handshake แบบ UART อีกแบบหนึ่ง รูปที่ 3.30 แสดงการต่อวงจรทดสอบ ของ ICL7109



รูปที่ 3.30 แสดงการต่อวงจร test circuit ของ ICL7109

หน้าที่การทำงานของขาต่าง ๆ ของ ICL7109 แสดงดังตาราง 6

TABLE 1: Pin Assignment and Function Description

Pin	Symbol	Description	Pin	Symbol	Description	
1	GND	Digital Ground. 0V. Ground return for all digital logic.	21	MODE	Input Low — Direct output mode where CE/LOAD (Pin 20), HBEN (Pin 19) and LBEN (Pin 18) act as inputs directly controlling byte outputs. Input Pulsed High — Causes immediate entry into handshake mode and output of data as in Figure 10. Input High — Enables CE/LOAD (Pin 20), HBEN (Pin 19), and LBEN (Pin 18) as outputs, handshake mode will be entered and data output as in Figures 8 and 9 at conversion completion.	
2	STATUS	Output High during integrate and deintegrate until data is latched. Output Low when analog section is in Auto-Zero configuration.	22	OSC IN	Oscillator Input	
3	POL	Polarity — HI for Positive input.	23	OSC OUT	Oscillator Output	
4	OR	Overrange — HI if Overranged.	24	OSC SEL	Oscillator Select — Input high configures OSC IN, OSC OUT, BUF OSC OUT as RC oscillator — clock will be same phase and duty cycle as BUF OSC OUT. — Input low configures OSC IN, OSC OUT for crystal oscillator — clock frequency will be 1/58 of frequency at BUF OSC OUT.	
5	B12	Bit 12 (Most Significant Bit)	25	BUF OSC OUT	Buffered Oscillator Output	
6	B11	Bit 11	All three state output data bits	26	RUN/HOLD	Input High — Conversions continuously performed every 8192 clock pulses. Input Low — Conversion in progress completed, converter will stop in Auto-Zero 7 counts before integrate.
7	B10	Bit 10		27	SEND	Input — Used in handshake mode to indicate ability of an external device to accept data. Connect to +5V if not used.
8	B9	Bit 9		28	V ₋	Analog Negative Supply — Nominally -5V with respect to GND (Pin 1).
9	B8	Bit 8		29	REF OUT	Reference Voltage Output — Nominally 2.8V down from V ₊ (Pin 40).
10	B7	Bit 7		30	BUFFER	Buffer Amplifier Output
11	B6	Bit 6		31	AUTO-ZERO	Auto-Zero Node — Inside foil of C _A
12	B5	Bit 5		32	INTEGRATOR	Integrator Output — Outside foil of C _{INT}
13	B4	Bit 4		33	COMMON	Analog Common — System is Auto-Zeroed to COMMON
14	B3	Bit 3		34	INPUT LO	Differential Input Low Side
15	B2	Bit 2		35	INPUT HI	Differential Input High Side
16	B1	Bit 1 (Least Significant Bit)	36	REF IN +	Differential Reference Input Positive	
17	TEST	Input High — Normal Operation. Input Low — Forces all bit outputs high. Note: This input is used for test purposes only. Tie high if not used.	37	REF CAP +	Reference Capacitor Positive	
18	LBEN	Low Byte Enable — With Mode (Pin 21) low, and CE/LOAD (Pin 20) low, taking this pin low activates low order byte outputs B1 — B8. — With Mode (Pin 21) high, this pin serves as a low byte flag output used in handshake mode. See Figures 8, 9, 10.	38	REF CAP -	Reference Capacitor Negative	
19	HBEN	High Byte Enable — With Mode (Pin 21) low, and CE/LOAD (Pin 20) low, taking this pin low activates high order byte outputs B9 — B12, POL, OR. — With Mode (Pin 21) high, this pin serves as a high byte flag output used in handshake mode. See Figures 8, 9, 10.	39	REF IN -	Differential Reference Input Negative	
20	CE/LOAD	Chip Enable Load — With Mode (Pin 21) low, CE/LOAD serves as a master output enable. When high, B1 — B12, POL, OR outputs are disabled. — With Mode (Pin 21) high, this pin serves as a load strobe used in handshake mode. See Figures 8, 9, 10.	40	V ₊	Positive Supply Voltage — Nominally +5V with respect to GND (Pin 1).	

Note: All digital levels are positive true.

ในส่วนอะนาล็อก

ICL7109 จะทำงานเมื่อป้อนไฟ +5 V และ -5 V โดยจะสามารถแปลงค่าได้สูงสุด 4V full scale ทั้งทางด้านบวกและลบ

ในการเลือกค่าอุปกรณ์เพิ่มเติมที่ต้องต่อกับ ICL7109 มีดังนี้

-Integrating Resistor สำหรับ 4.096 volt full scale ใช้ค่า 200k สำหรับ 409.6 mV full scale ใช้ค่า 20k แต่สำหรับค่า full scale อื่น ๆ ทาค่า R_{INT} ได้จาก

$$R_{INT} = \frac{\text{full scale voltage}}{20\mu A}$$

20μA

-Integrating Capacitor สำหรับ ICL7109 ที่จ่ายไฟ ± 5 V และ analog common ต่อลง GND สำหรับการแปลงข้อมูลด้วยอัตรา 7.5 ครั้งต่อวินาที (ความถี่นาฬิกา 61.72 kHz) จะใช้ C_{INT} และ C_{AZ} เท่ากับ $0.15 \mu F$ และ $0.33 \mu F$ ตามลำดับ สำหรับความถี่นาฬิกาอื่น ๆ สามารถหาค่า C_{INT} ได้จาก

$$C_{INT} = \frac{(2048 * \text{clock period})(20 \mu A)}{\text{integrator output voltage swing}} \mu F$$

-Auto-Zero สามารถหาค่าได้จาก

$$C_{AZ} = 2C_{INT}$$

-Reference Capacitor ให้ใช้ค่าตัวเก็บประจุเท่ากับ $1 \mu F$

-Reference Voltage ในการกำหนดค่า reference voltage นั้นจะขึ้นอยู่กับค่า input voltage full scale โดย $V_{in} = 2V_{ref}$ เช่นถ้าใช้ 4.096 V full scale จะให้ $V_{ref} = 2.048$ V

-Reference Source reference voltage นั้นจะต้องมีค่าเสถียรเพื่อที่จะให้การแปลงสัญญาณเป็นไปอย่างถูกต้องที่สุด ซึ่ง ICL7109 มีขา reference output (ขา 29) เพื่อสร้าง reference voltage ขึ้นโดยขานี้จะรับกระแสเข้าได้สูงสุดประมาณ 20 mA โดยปกติขานี้จะให้ voltage เท่ากับ 2.8 V ซึ่งจะต้องต่อขา REF OUT เข้ากับขา REF- และ REF+ ต่อกับขากลางของ ตัวต้านทานปรับค่าได้ โดยวงจรสำหรับ reference 204.8 mV ใช้ตามวงจร test circuit สำหรับ reference 2.048 V นำ ตัวต้านทานคงที่ออกและใช้ ตัวต้านทานปรับค่าได้ขนาด $25k$ แทน

DIGITAL SECTION

Symbol	Parameter	Test Conditions	Min	Typ	Max	Unit
V_{OH}	Output High Voltage	$I_{OUT} = 100\mu A$ Pins 2-16, 18, 19, 20	3.5	4.3		V
V_{OL}	Output Low Voltage	$I_{OUT} = 1.6mA$		0.2	0.4	V
	Output Leakage Current	Pins 3-16 high impedance		± 0.1		μA
	Control I/O Pullup Current	Pins 18, 19, 20 $V_{OUT} = V^+ - 3V$ MODE input at GND		5		μA
	Control I/O Loading	HBEN Pin 19 LBEN Pin 18 (Note 4)			50	pF
V_{IH}	Input High Voltage	Pins 18-21, 26, 27 referred to GND	3.0			V
V_{IL}	Input Low Voltage	Pins 18-21, 26, 27 referred to GND				V
	Input Pull-up Current	Pins 26, 27 $V_{OUT} = V^+ - 3V$		5		μA
	Input Pull-up Current	Pins 17, 24 $V_{OUT} = V^+ - 3V$		25		μA
	Input Pull-down Current	Pin 21 $V_{OUT} = GND + 3V$		5		μA
I_{OH}	Oscillator Output	High $V_{OUT} = 2.5V$		1		mA
I_{OL}	Current	Low $V_{OUT} = 2.5V$		1.5		mA
I_{BOH}	Buffered Oscillator	High $V_{OUT} = 2.5V$		2		mA
I_{BOOL}	Output Current	Low $V_{OUT} = 2.5V$		5		mA
t_w	MODE Input Pulse Width	(Note 4)		50		ns

- NOTES: 1. Input voltages may exceed the supply voltages provided the input current is limited to $\pm 100\mu A$.
 2. Due to the SCR structure inherent in the process used to fabricate these devices, connecting any digital inputs or outputs to voltages greater than V^+ or less than GND may cause destructive device latchup. For this reason it is recommended that no inputs from sources other than the same power supply be applied to the ICL7109 before its power supply is established, and that in multiple supply systems the supply to the ICL7109 be activated first.
 3. This limit refers to that of the package and will not be obtained during normal operation.
 4. This parameter is not production tested, but is guaranteed by design.
 5. Roll-over error for $T_A = -55^\circ C$ to $+125^\circ C$ is ± 3 counts maximum.
 6. A full scale voltage of 2.048V is used because a full scale voltage of 4.096V exceeds the device's Common Mode Voltage Range.
 7. For CerDip package the Resometric error can be -4 (Min).

รูปที่ 3.31 แสดงส่วน digital section

ในส่วนนี้จะมีส่วน ภาคกำเนิดสัญญาณนาฬิกา (clock oscillator), สัญญาณข้อมูลต่าง ๆ และสัญญาณควบคุมต่าง ๆ ดังนี้

-Mode input ใช้เลือกโหมดในการแปลง เมื่อ mode เป็น low หรือ open ตัวแปลงสัญญาณ จะเป็นโหมด direct เมื่อให้เป็น pulse high ตัวแปลงสัญญาณจะเป็นโหมด UART handshake และข้อมูลเอาต์พุตเป็นแบบ 2 ไบท์ จากนั้นจะกลับไปเป็นแบบโหมด direct เมื่อให้โหมดเป็น high ตัวแปลงสัญญาณจะให้ข้อมูลเอาต์พุตในแบบโหมด handshake ในทุก ๆ วนรอบของการแปลงเสร็จ

-STATUS output ระหว่างวงรอบของการแปลงสัญญาณ status จะเป็น high ตอนเริ่มแรกและจะตกเป็น low หลังจากข้อมูลใหม่ที่ได้จากการแปลงสัญญาณ ตามรูปที่ 3.32 เป็น timing ของ status

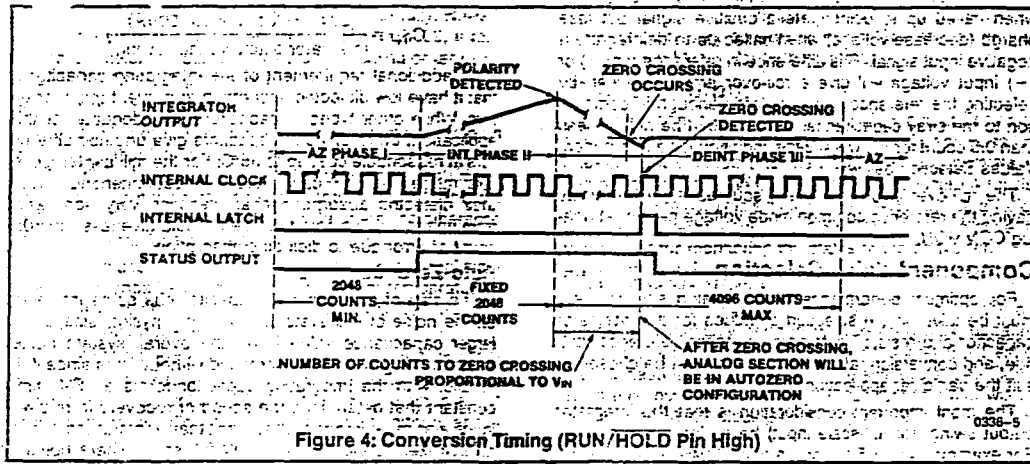


Figure 4: Conversion Timing (RUN/HOLD Pin High)

รูปที่ 3.32 เป็น timing ของ status

-RUN/HOLD input เมื่ออินพุตเป็น high หรือ open วงจรจะทำการแปลงข้อมูลอย่างต่อเนื่องถ้า RUN/HOLD เป็น low ที่เวลาใดระหว่างการ คีลนิกเกตร วงจรจะไปทำงานแบบ auto-zero แทนคือจะไม่แปลงข้อมูลใหม่ ตามรูปที่ 3.33

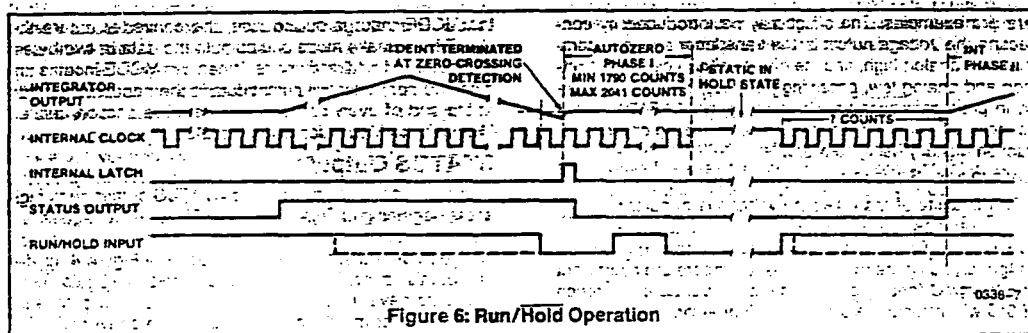
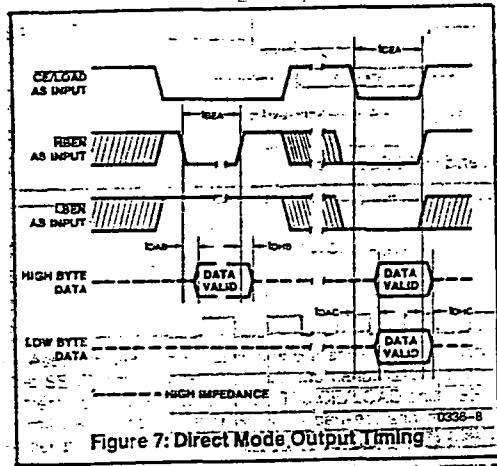


Figure 6: Run/Hold Operation

รูปที่ 3.33 แสดงการทำงานของ RUN/HOLD

-Direct Mode เมื่อ MODE เป็น low จะเป็นการติดต่อกับไมโครโปรเซสเซอร์แบบโดยตรง ดังแสดงดังรูป 3.34 และตารางที่ 7



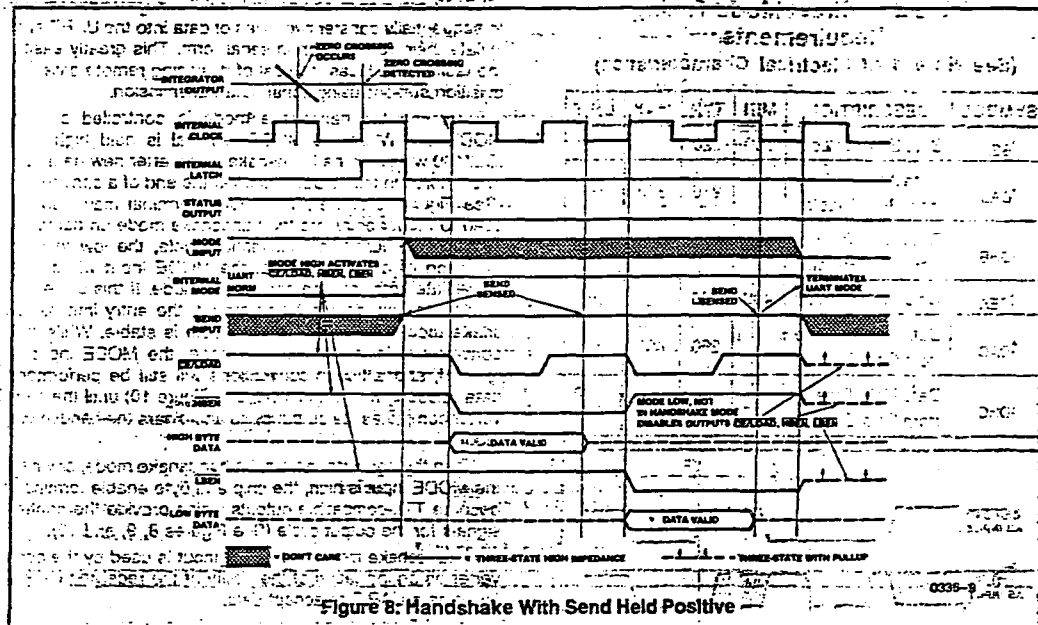
รูปที่ 3.34 แสดง timing diagram ของการติดต่อโดยตรง

Table 2 — Direct Mode Timing Requirements
(See Note 4 of Electrical Characteristics)

SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNIT
t_{BEA}	Byte Enable Width	350	220		ns
t_{DAB}	Data Access Time from Byte Enable		210	350	ns
t_{DHB}	Data Hold Time from Byte Enable		150	300	ns
t_{CEA}	Chip Enable Width	400	260		ns
t_{DAC}	Data Access Time from Chip Enable		260	400	ns
t_{DHC}	Data Hold Time from Chip Enable		240	400	ns

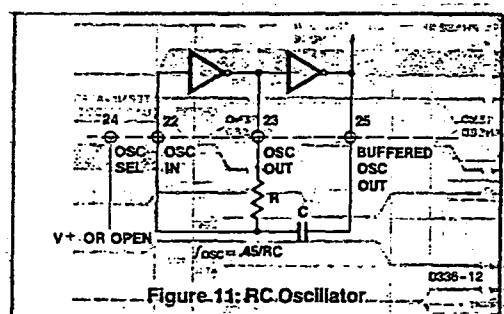
ตารางที่ 7 แสดงเวลาของขนาดของสัญญาณต่าง ๆ ของโหมดโดยตรง

-Handshake Mode เป็นการติดต่อกับไมโครโปรเซสเซอร์ที่จะต้องมีการทำ handshake ซึ่งมออยู่หลายแบบด้วยกันดังแสดงดังรูป 3.35



รูปที่ 3.35 แสดง timing diagram ของการติดต่อแบบ handshake

-Oscillator ICL7109 สามารถที่จะทำวงจร oscillator ที่มีอยู่ภายในโดยต่ออุปกรณ์ภายนอกโดยเลือกได้ 2 แบบคือ ใช้ RC หรือใช้ crystal โดยเลือกใช้ oscillator select input เป็นตัวเลือก โดยเมื่อเป็น high หรือ open จะเป็นแบบ RC โดยต่อวงจรตามรูปที่ 3.36



รูปที่ 3.36 แสดงการต่อวงจร oscillator แบบใช้ RC

โดยสามารถหาค่า C ได้จาก

$$f = 0.45/(RC)$$

$$f = 8192/\text{เวลาของการแปลง 1 ครั้ง}$$

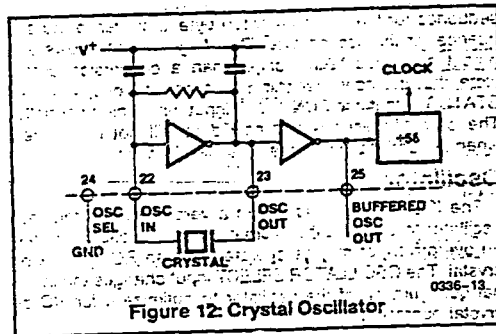
$$\text{ให้ใช้ } R = 100 \text{ k}$$

เมื่อ oscillator select เป็น low จะใช้ crystal ตั้งแต่ 1-5 MHz ซึ่งความถี่ที่ crystal จะถูกหารด้วย 58 ซึ่งถ้าใช้การแปลงในอัตรา 7.5 ครั้งต่อวินาที จะใช้ crystal ความถี่ 3.579 MHz ซึ่งสามารถหาเวลาในการ integration ได้จาก

$$T_{INT} = (2048 \text{ clock periods}) * (T_{clock})$$

$$\text{โดย } T_{clock} = 58/3.579 \text{ MHz}$$

โดยต่อวงจร oscillator ที่ใช้ crystal ตามรูป 3.37



รูปที่ 3.37 แสดงการต่อวงจร oscillator ที่ใช้ crystal

-Test Input เมื่อ test input มีระดับแรงดันเป็นครึ่งหนึ่งของ V^+ เทียบ GND ทำให้ counter output latch จะทำงานซึ่งสามารถทดสอบได้ทุกเวลา เมื่อ test ต่อกับ GND จะทำให้ counter output เป็น high state และ internal clock จะไม่ทำงาน และเมื่ออินพุทกลับไปเป็นครึ่งหนึ่งของ V^+ เทียบ GND และให้ clock เข้าไป 1 ลูก counter output จะกลับเป็น low ทำให้ตรวจสอบได้ง่าย

บทที่ 4

การทดลองและผลการทดลอง

ขั้นตอนการทดลอง

1. ทำการติดตั้ง detector เข้ากับ X-Y scanner โดยตั้งไว้ที่ตำแหน่ง (0,0)
2. ใช้เลนส์เข้าทำการขยายลำแสงให้ใหญ่ขึ้น เพื่อที่จะทำให้เกิดความสะดวกในการวัด โดยขยายใหญ่กว่าเดิม m เท่า (ซึ่งในการทดลองจะขยายให้ได้พื้นที่ประมาณ 5 ตารางเซนติเมตร)
3. เริ่มทำการ scan โดยใช้ โปรแกรม ที่เขียนโดยภาษาปาสคาล ซึ่งตัวโปรแกรมจะทำการเก็บข้อมูลเข้าคอมพิวเตอร์
4. นำข้อมูลที่ได้ไปสร้างกราฟ 2 มิติ โดยแกน X เป็นระยะทาง (cm) แกน Y เป็นค่า intensity

ผลการทดลอง

พบว่า ความเข้มแสงจะค่อย ๆ เพิ่มขึ้น จนถึงค่าสูงสุด และค่อย ๆ ลดลง ค่าความเข้มสูงสุด จะอยู่ที่บริเวณตรงกลาง ๆ ของพื้นที่ ซึ่งอยู่ในช่วง X และ Y ประมาณ 2.5-3.5 เซนติเมตร

นำค่าที่ได้ไปสร้างกราฟ เพื่อดำเนินหาค่า spot size

จากสูตร

$$w(z) = z \lambda / \pi w_0$$

$$w_0 = z \lambda / \pi w(z)$$

และ $w_0 = z \lambda M / \pi w'(z)$ ----- (1)

โดยที่ w_0 คือ ค่า spot size

z คือ ระยะจาก เลเซอร์ถึงฉาก

$w'(z)$ คือ รัศมีของลำแสงเลเซอร์ที่จุดที่ความเข้มมีค่า 13.5 %
ของความเข้มสูงสุด

M คือ กำลังขยาย = $\frac{\text{ขนาดภาพที่ผ่านเลนส์}}{\text{ขนาดภาพที่ไม่ผ่านเลนส์}}$

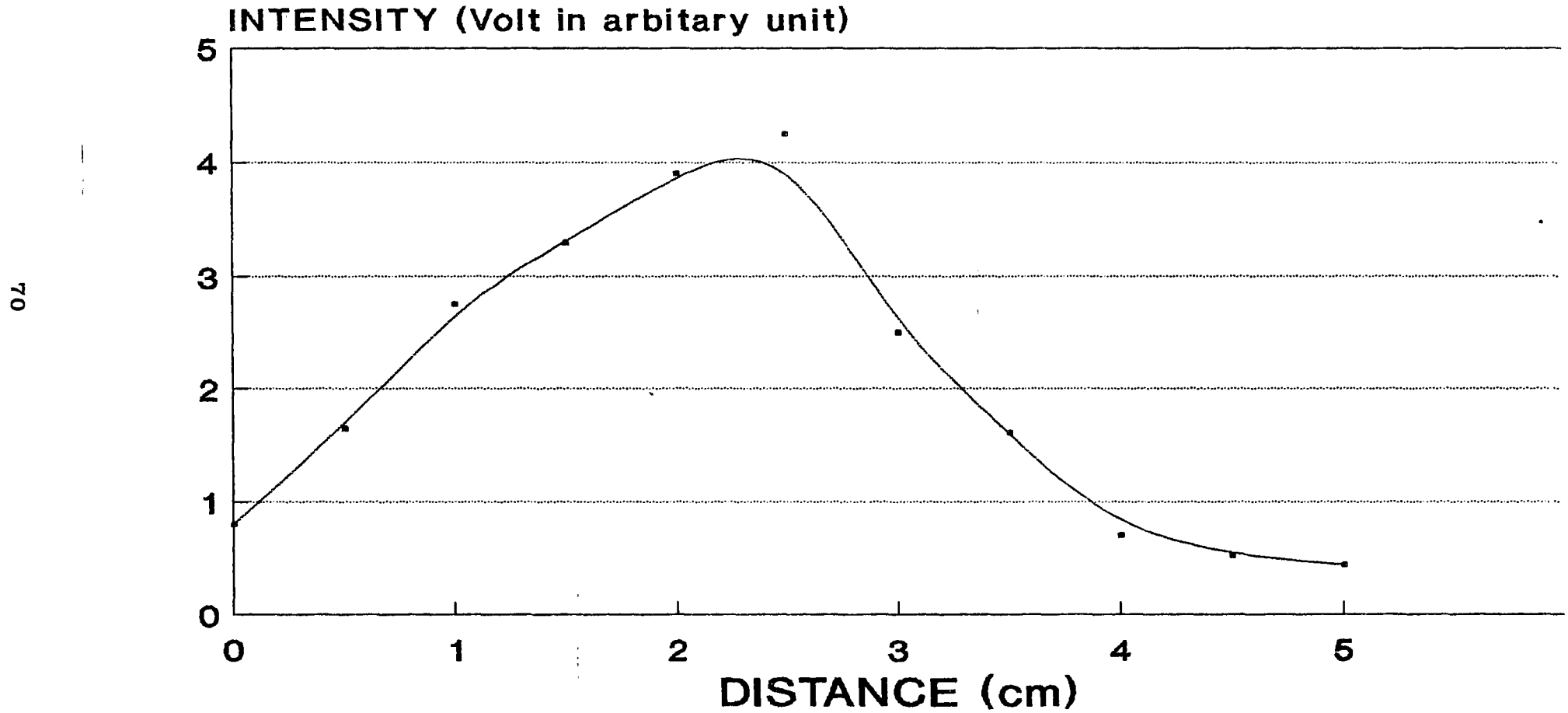
จากการทดลองพบว่าได้ข้อมูลดังต่อไปนี้ (ตอนที่ 1 - 3)

แล้วนำไปวาดกราฟดังรูปที่ 1-3

DATA AND GRAPH FOR THE FIRST EXPERIMENT

X (cm)	Y (cm)	I (volts)
0.0	2.5	0.80
0.5	2.5	1.65
1.0	2.5	2.75
1.5	2.5	3.30
2.0	2.5	3.90
2.5	2.5	4.25
3.0	2.5	2.50
3.5	2.5	1.61
4.0	2.5	0.70
4.5	2.5	0.52
5.0	2.5	0.44

SPOT SIZE MEASURING SYSTEM



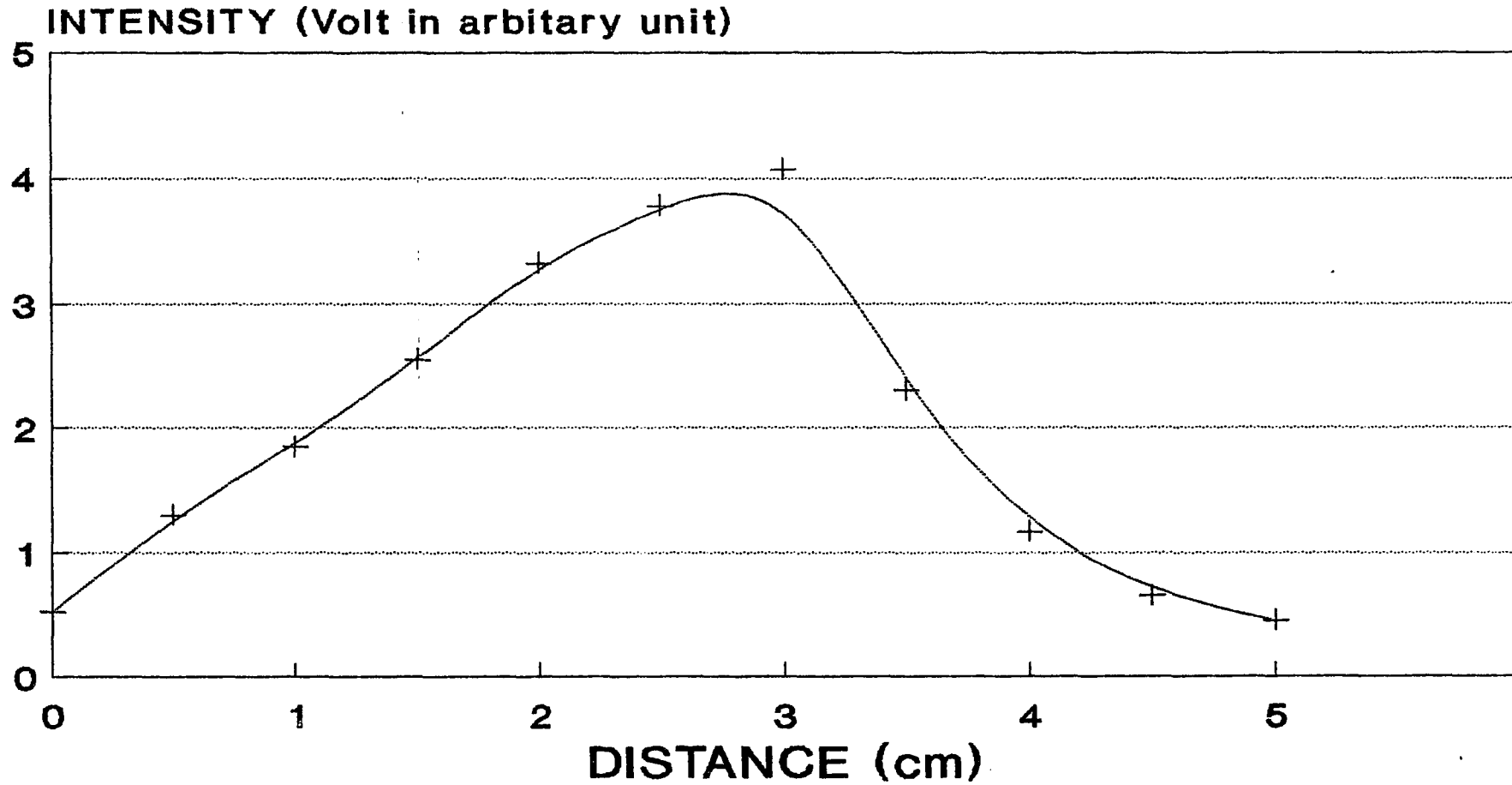
Experiment 1

DATA AND GRAPH FOR THE SECOND EXPERIMENT

X (cm)	Y (cm)	I (volts)
0.0	2.5	0.52
0.5	2.5	1.30
1.0	2.5	1.85
1.5	2.5	2.55
2.0	2.5	3.33
2.5	2.5	3.78
3.0	2.5	4.07
3.5	2.5	2.30
4.0	2.5	1.17
4.5	2.5	0.65
5.0	2.5	0.45

SPOT SIZE MEASURING SYSTEM

72

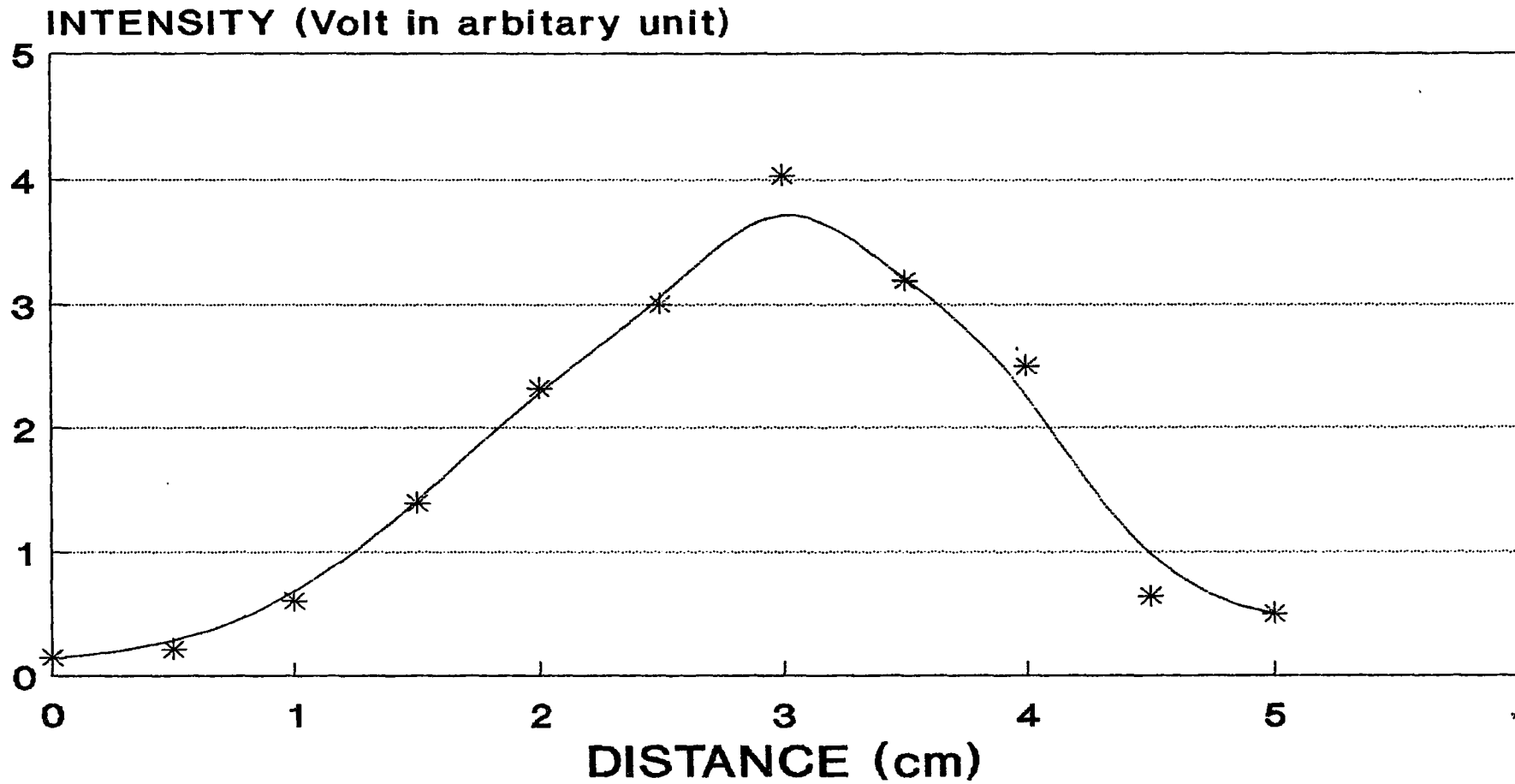


Experiment 2

DATA AND GRAPH FOR THE THIRD EXPERIMENT

X (cm)	Y (cm)	I (volts)
0.0	2.5	0.15
0.5	2.5	0.22
1.0	2.5	0.60
1.5	2.5	1.39
2.0	2.5	2.32
2.5	2.5	3.00
3.0	2.5	4.03
3.5	2.5	3.19
4.0	2.5	2.50
4.5	2.5	0.64
5.0	2.5	0.50

SPOT SIZE MEASURING SYSTEM



74

Experiment 3

จากกราฟแต่ละรูป วัดค่า $w'(z)$ ได้ดังรายละเอียดต่อไปนี้
การทดลองครั้งที่ 1

$$z = 102 \text{ cm}$$

$$M = 5/0.2 = 25$$

$$w(z) = 2.28/25 = 0.09 \text{ cm}$$

$$w_0 = \frac{102 * 632.8 * 10^{-7}}{\pi * 0.09}$$

$$= 0.22 \text{ mm}$$

การทดลองครั้งที่ 2

$$z = 95 \text{ cm}$$

$$M = 5/0.2 = 25$$

$$w(z) = 2.0/25 = 0.08 \text{ cm}$$

$$w_0 = \frac{95 * 632.8 * 10^{-7}}{\pi * 0.08}$$

$$= 0.24 \text{ mm}$$

การทดลองครั้งที่ 3

$$z = 87 \text{ cm}$$

$$M = 4.5/0.2 = 22.5$$

$$w(z) = 1.84/22.5 = 0.081 \text{ cm}$$

$$w_0 = \frac{87 * 632.8 * 10^{-7}}{\pi * 0.081}$$

$$= 0.21 \text{ mm}$$

จากการคำนวณหาค่าได้ค่า spot size ของเลเซอร์ที่ใช้ทดลองได้ดังนี้

ค่า spot size ที่ได้จากการทดลองที่ 1 = 0.22 mm

ค่า spot size ที่ได้จากการทดลองที่ 2 = 0.24 mm

ค่า spot size ที่ได้จากการทดลองที่ 3 = 0.21 mm

ค่าเฉลี่ยของค่า spot size ทั้ง 3 ค่า คือ 0.22 mm

บทที่ 5

สรุปผลและวิจารณ์ผล

สรุปผล

ค่า spot size ที่ได้ มีค่าเฉลี่ย 0.22 mm ซึ่งพบว่า อยู่ในช่วงมาตรฐานทั่วไป คือ 0.2-0.6 mm ดังนั้นจึงถือว่าการทดลองนี้ใช้ได้

วิจารณ์

1. ข้อผิดพลาดต่าง ๆ ที่เกิดขึ้นมีสาเหตุจาก

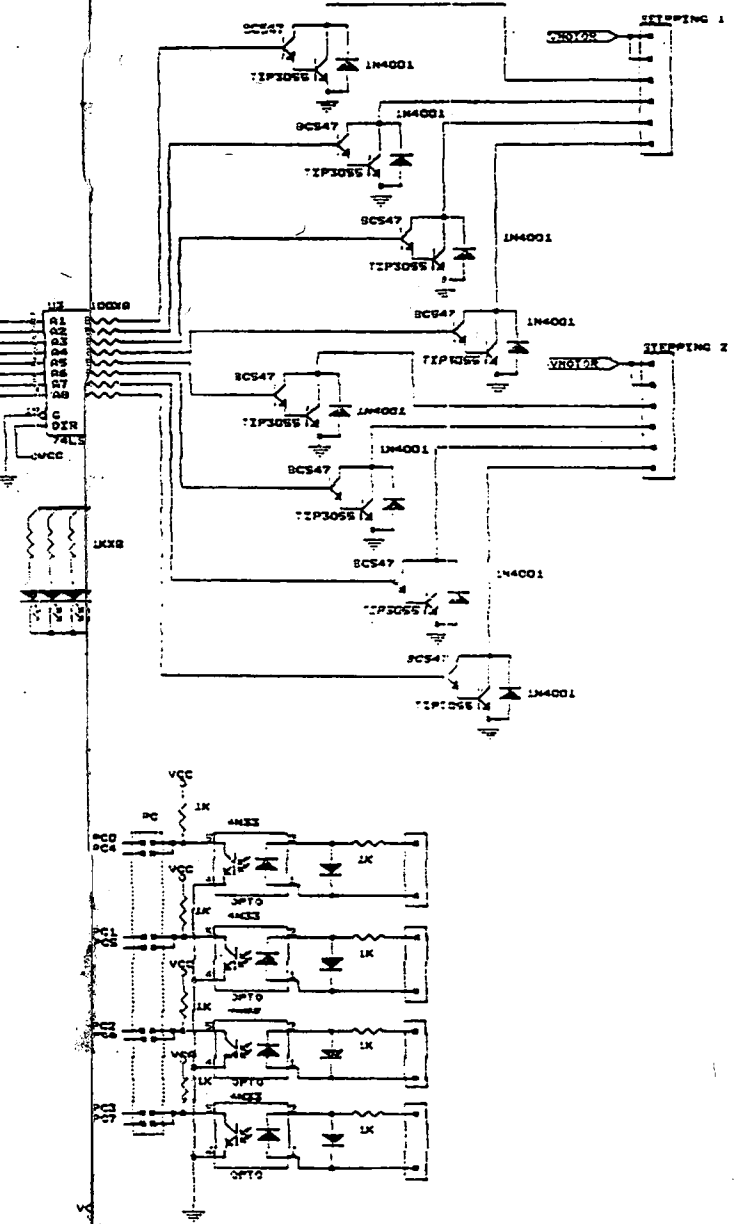
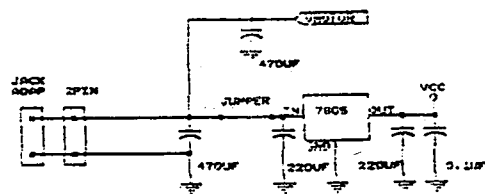
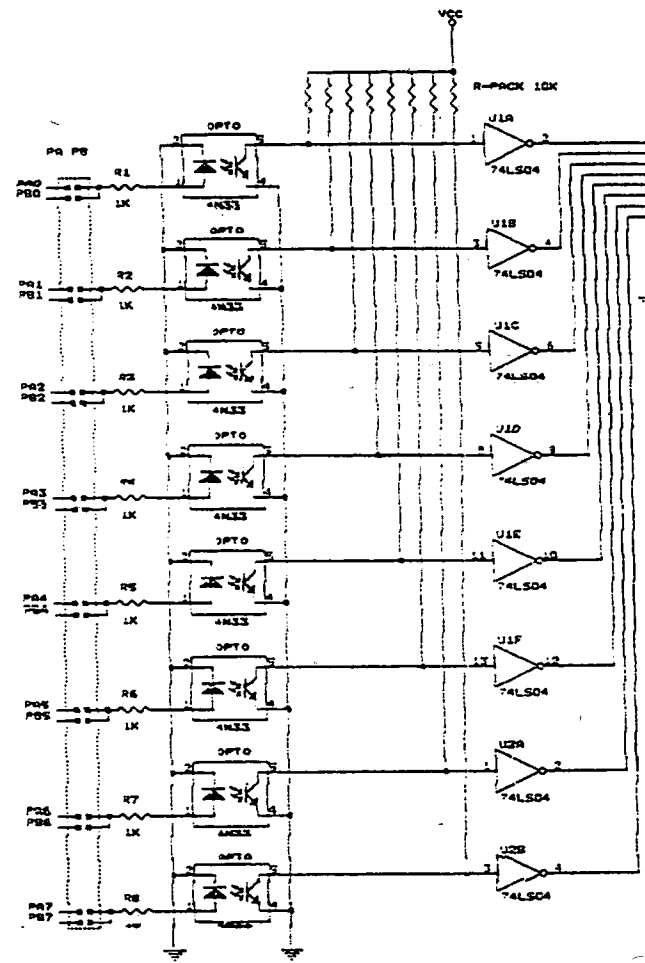
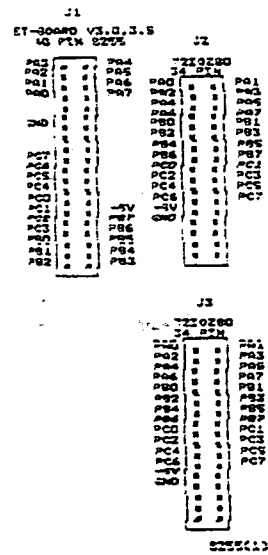
- แสงที่ผ่านเลนส์ จะไม่ผ่าน optical axis ซึ่งจะทำให้เกิดการแทรกสอด ซึ่งทำให้ภาพที่ได้ไม่คมชัด ดังนั้นค่าที่ได้จึงคลาดเคลื่อน
- detector ที่ใช้มีความไวต่อแสงมาก ขณะที่ทดลองมีแสงจากภายนอก เช่นจาก ไฟนีออน ทำให้ค่าความเข้มที่ได้คลาดเคลื่อน
- เนื่องจากการ alignment ของแท่นยังไม่ดีพอ ทำให้มอเตอร์ไม่สามารถหมุนได้อย่างคล่อง ทำให้ระยะในการเก็บข้อมูลจึงผิดพลาดไปบ้าง

ข้อเสนอแนะ

1. ควรทำการทดลองในห้องมืดที่ไม่มีแสงจากภายนอกรบกวน เพื่อให้ได้ค่าที่ถูกต้องมากขึ้น
2. การคำนวณค่า spot size ต้องอาศัยการ plot กราฟ แล้วคำนวณ ควรจะทำการเขียนโปรแกรมสำเร็จรูป เพื่อให้สามารถคำนวณค่า spot size ได้ออกมาทันที

ภาคผนวก ก

วงจรขับมอเตอร์ที่ใช้ในโรงงาน



1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
PA0	PA1	PA2	PA3	PA4	PA5	PA6	PA7	PA8	PA9	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7	PB8	PB9

ภาคผนวก ข

```

Program GETDATA;

Uses crt;

Var Row, Con1, Con2, Col, I: integer;

    Las_data: Array[1..200] of byte;

    Dt: Array [1..200] of Real;

    OutFile : Text;

Const Pa1=$0300;

      Pb1=$0301;

      Pc1=$0302;

      Pcont_1=$0303;

Procedure Get_ADC(Var Ord: integer);      {Get Digital Data}

Var X, Y, Z, Y1, Z1: Byte;

      Z2: Integer;

      Volt: Real;

Begin

    Z1:=0; Z2:=0;

    Port[Pcont_1]:=$83;      {Pa1, Pc1_high =output , Pb1, Pc1_low=input
                              for get ADC }

    Port[Pc1]:=$80;      { ADC pin Run/Hold begin Sampling}

    Port[Pcont_1]:=$8B;

    Repeat

        X:=Port[Pc1];

    Until (X or $BF)=$BF ;

        Port[Pcont_1]:=$83;

        Delay(600);      {Delay For Getdata}

        Y:=Port[Pb1];

```

```

        Z:=Port[Pc1];
        Z1:=(Z and $0F);
        Z2:=(Z1*16*16);
        Volt:= ((Z2+Y)/1000);
        Dt[Ord]:=Volt;

End;

Procedure Move_y(Var Z:Integer);      {Control stepping motor in
                                       vertical exist}

Var Y,X :Integer;
    I :Byte;

Type  Ar_data =Array[1..4] of byte;

Const Data_out2 :Ar_data=($90,$C0,$60,$30);

Begin

    Sound(540 );Delay(400);Nosound;

    For X:= 1 to 400  do

Begin

    For I :=1 to 4  do

        Begin

            Port[Pa1]:=Data_out2[I];

            delay(100);

        End;

        Gotoxy(66,21);WRITELN('Counter = ',X);  {For 0.5 cm}

    End;

    Gotoxy(66,23);WRITELN('LOOP_Y = ',Z); {When 0.5cm}

```

```
Z:=Z+1;
```

```
End;
```

```
Procedure Show_Data1(A,B,Col,X:integer);
```

```
Var Dat,Cor_X,Cor_Y:Real;
```

```
Begin
```

```
Cor_X:=((X - Con1 - 1 ) * 0.5);      {Coordinate X}
```

```
Cor_Y:=(Con2 * 0.5);                 {Coordinate Y}
```

```
Dat:=Dt[X];                           {Data From ADC}
```

```
Gotoxy(1+(2*Col),1);Write('X      Y      I ');
```

```
Gotoxy(1+(2*Col),2+Row);Write(Cor_X:1:1,'      ',Cor_Y:1:1
```

```
,      ',Dat:1:3);
```

```
Writeln( OutFile, Cor_X:4:1,'      ', Cor_Y:4:1,'      ', Dat:5:2 );
```

```
Row:=Row+1;                            {Skip Row}
```

```
End;
```

```
Procedure Show_Data2(A,B,Col,X:integer);
```

```
Var Dat,Cor_X,Cor_Y:Real;
```

```
Begin
```

```
Cor_X:= (4.5-((X - Con1 - 1) * 0.5));  {Coordinate X}
```

```
Cor_Y:= (Con2*0.5);                    {Coordinate Y}
```

```
Dat:= Dt[X];                            {Dat From ADC}
```

```
Gotoxy(1+(2*Col),(34-Row));Write(Cor_X:1:1,'      ',Cor_Y:1:1
```

```
,      ',Dat:1:3);
```

```
Writeln( OutFile, Cor_X:4:1,' ', Cor_Y:4:1,' ', Dat:5:2 );
```

```
Row:=Row+1;                                     {Skip Row}
```

```
If Row=22 Then Row:=0;
```

```
End;
```

```
Procedure Contrl_SM;
```

```
Var I :byte;
```

```
Lp1,Lp2,Lp3,Lim1,Lim2,Z :integer;
```

```
Type Ar_data =Array[1..4] of byte;
```

```
Const Data_out12 :Ar_data=($03,$06,$0C,$09);
```

```
Data_out11 :Ar_data=($09,$0C,$06,$03);
```

```
Begin
```

```
Clrscr;
```

```
Port[PCont_1]:=$83;      {Pa1,Pc1_high =ouput , Pb1,Pc1_low=input  
                          for ADC }
```

```
Z:=1;                   {Compare for work the 2nd stepping motor}
```

```
Lim1:=11; Lim2:=1;      {Limit_Range of X exist}
```

```
Lp1:=0; Lp2:=0; Lp3:=0; {Clear begining value}
```

```
For Lp1 := 1 to 6 do
```

```
Begin
```

```
For Lp2:=Lim2 to Lim2+10 do      {Set for distance 5 cm}
```

```
Begin
```

```
Lp3:=0;
```

```
For Lp3 := 1 to 400 do          {Set for distance 0.5 cm}
```

```

Begin
    For I:= 1 to 4 do
        Begin
            Port[Pa1]:=Data_out11[I];
            Delay(100);
        End;
        Gotoxy(66,21);WRITELN('Counter = ',Lp3);    {For 0.5 cm}
    End;
    Sound(600);Delay(400);Nosound;
    Gotoxy(66,22);WRITELN('LOOP_X = ',Lp2); {When 0.5 cm}
    Delay(500);          {Delay for getdata from ADC}
    Get_adc(Lp2);
    Show_Data1(Con1,Con2,Col,Lp2);
End;
Move_y(Z);
Con1:=Con1+11;Con2:=Con2+1;
For Lp2:=Lim1 to Lim1+10 do          {Set for distance 5 cm}
Begin
    Lp3:=0;
    For Lp3 := 1 to 400 do          {Set for distance 0.5 cm}
        Begin
            For I:= 1 to 4 do
                Begin
                    Port[Pa1]:=Data_out12[I];
                    delay(100);
                End;
            End;
        End;
    End;
End;

```

```

        Gotoxy(66,21);WRITELN('Counter = ',Lp3); {For 0.5 cm}

    End;

    Sound(600);Delay(400);Nosound;

    Gotoxy(69,22);WRITELN('LOOP_X = ',Lp2); {When 0.5cm}

    Delay(500);           {Delay for getdata from ADC}

    Get_adc(Lp2);

    Show_data2(Con1,Con2,Col,Lp2);

End;

Move_y(Z);

Lim1:=Lim1+22;  { To Skip}

Lim2:=Lim2+22;  { To Skip}

Con1:=Con1+11;Con2:=Con2+1;Col:=Col+10;

    If (Lp1 = 3) Then

        Begin

            Clrscr;

            Col:=0;Row:=0;

        End;

    End;

Readln;

Sound(600);Delay(400);Nosound;

Sound(600);Delay(150);Nosound;

Clrscr;

Gotoxy(30,12);WriteLn('Scanning success already');

End;

```

```
Procedure Choice;
Var Ch:char;
    UserQuits:Boolean;
Begin
Clrscr;

    UserQuits:=False;
    Gotoxy(30,12);Writeln('Check Hardware ');
    Gotoxy(30,13);Writeln('Press Y To Process');
    Gotoxy(30,14);Writeln('Press N To Cancel');

Repeat
    Ch:=Readkey;
    Case Uppcase(Ch) of
        'Y' : Contrl_SM;
        'N' : UserQuits:=true;
        Else Choice;
    End;(case)
Until UserQuits;

End;
```

Begin {Main Program}

Clrscr;

Assign(OutFile, 'DataFile.xxx');

Rewrite(OutFile);

I:=0; Con1:=0; Con2:=0;

Row:=0; Col:=0;

Choice;

Close(OutFile);

END.

ภาคผนวก ค

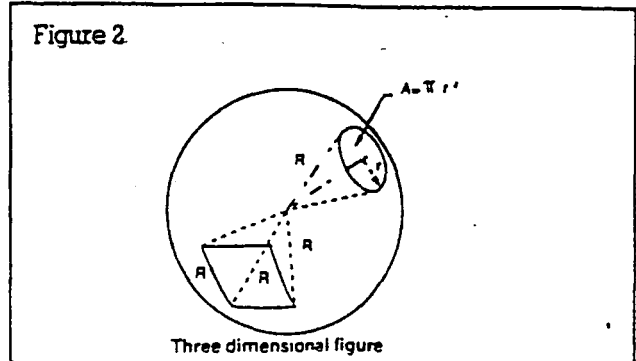
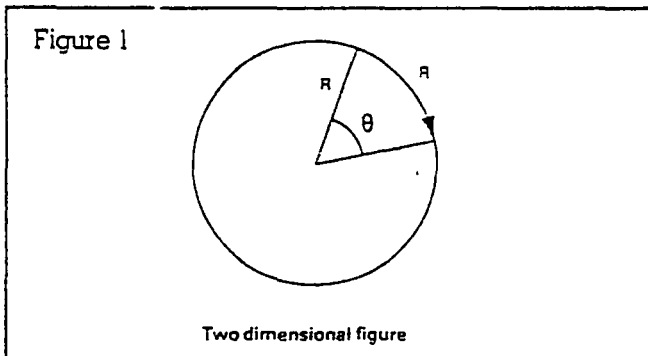
Basics of photometry

This is a brief introduction to the basics of photometry. To be able to understand this subject better a brief review of geometric principles utilised is required.

Geometric principles

Radian

In plane geometry the angle whose arc is equal to the radius generating it is called a radian. Therefore, if $C = 2\pi R$ (Circumference of a circle) $2\pi R = 360^\circ$. Radian = $180^\circ/\pi = 57.27^\circ$ (approx.).



Photometric Terminology

Flux (Symbol F)

Any radiation, whether visible or otherwise, can be expressed by a number of FLUX LINES about the source, the number being proportional to the intensity of that source. This LUMINOUS flux is expressed in LUMENS for visible radiation.

Luminous emittance (Symbol L)

A source measurement parameter. It is defined as the ratio of the luminous flux emitted from a source to the area of that source, or $L = F/A_e$. Typically expressed in units of:

lumens/cm² or one PHOT,

lumens/m² or one LUX (or one METRE CANDLE),

lumens/ft² or one FOOT CANDLE.

Illuminance (Symbol E)

This is a target or detector area measurement parameter. It is the ratio of flux lines incident on a surface to the area of that surface or $E = F/A_d$. Typical measurement units are the same for LUMINOUS EMITTANCE ie. lumen/cm² = one phot, lumen/m² = one lux, and lumen/ft² = one ft candle.

Other abbreviations used.

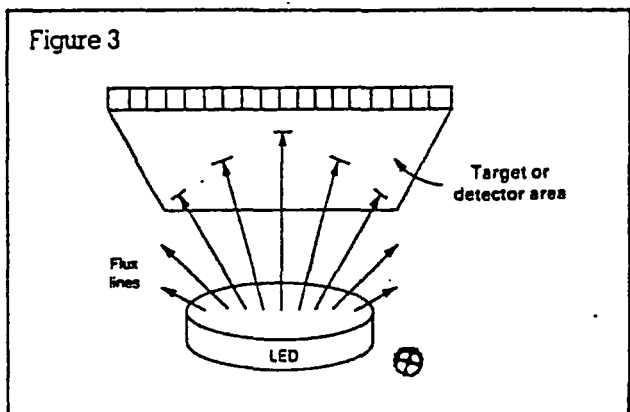
A_e = Area of emitting (or reflecting) surface.

A_p = Apparent area of an emitting source whose image is projected in space and viewed at some angle, θ .

A_d = Detection area. Whether a physical target or merely a defined spatial area, it is the area of interest.

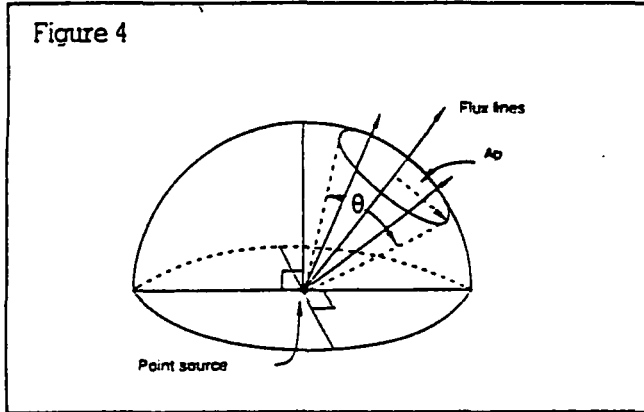
Steradian

In solid geometry one steradian is the solid angle subtended at the centre of a sphere by a portion of the surface area equal to the square of the radius of the sphere. Therefore, if $AREA/R^2 = 1 = 1$ steradian and the area on the surface of a sphere equals $4\pi R^2$, then $4\pi R^2/R^2$ or 4π steradians of solid angle ω about the centre of a sphere. The steradian is usually abbreviated as STER.



Luminous intensity (Symbol I)

A spatial flux density concept. It is the ratio of luminous flux of a source to the solid angle subtended by the detected area and that source. The LUMINOUS INTENSITY of a source assumes that source to be point rather than an area dimension. The LUMINOUS INTENSITY (or CANDLE POWER) of a source is measured in LUMENS/STERADIAN which is equal to one CANDELA (or loosely, one CANDLE).



Luminance (Symbol B)

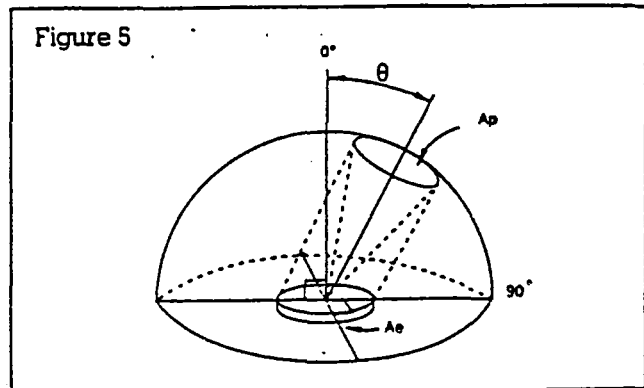
Sometimes called photometric brightness (although the term brightness should not be used alone as it encompasses other physiological factors such as colour, sparkle, texture, etc.) it is applied to sources of appreciable area size. Mathematically, if the area of an emitter (circular for example) has a diameter or diagonal dimension greater than 0.1 the distance to the detector, it can be considered as an area source. If less than this 10% figure, the source can be treated as point in nature. This one to ten ratio of source diameter to distance is offered as it MATHEMATICALLY very closely approximates results obtained when comparing an area source to its point equivalent. LUMINANCE presents itself as an extremely useful parameter as it applies a figure of merit to:

1. Apparent or projected area of the source (A_p).
2. Amount of luminous flux contained within the projected area of the source (A_p).
3. Solid angle the projected area generates with respect to the centre of the source.

Note. The projected area A_p varies directly as the cosine of θ i.e. max. at 0° or normal to the surface and minimum at 90°

$$A_p = A_e \cos \theta$$

LUMINANCE is defined as the ratio of LUMINOUS INTENSITY to the projected area of the source A_p .



$$\frac{\text{LUMINOUS INTENSITY}}{A_p} = \frac{\text{LUMENS}}{\text{STERADIAN}} = \frac{\text{CANDELAS}}{(\text{Sq. Unit})}$$

And depending on the units used for area:

- 1 CANDELA/cm² = 1 STILB
- 1 CANDELA/m² = 1 NIT
- 1 CANDELA/in² = } no designator available.
- 1 CANDELA/ft² = }

Also:

- 1/π candela/cm² = LAMBERT
- 1/π candela/m² = APOSTILB (or BLONDEL)
- 1/π candela/in² = no designator available
- 1/π candela/ft² = FOOT LAMBERT

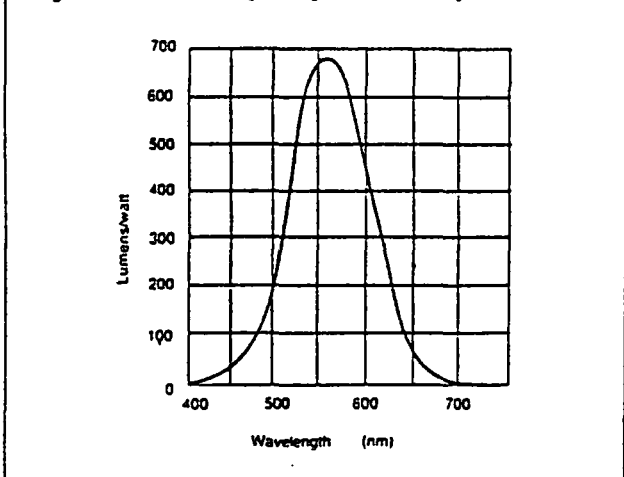
CIE curve

Photometric quantities are related to the corresponding radiometric quantities by the CIE Standard Luminosity Function which is often called the 'standard eyeball'.

The eye responds to the rate at which radiant energy falls on the retina, i.e., on the radiant flux density expressed as Watts/m². The corresponding photometric quantity is Lumens/m². The standard luminosity function is then, a plot of Lumens/Watt as a function of wavelength.

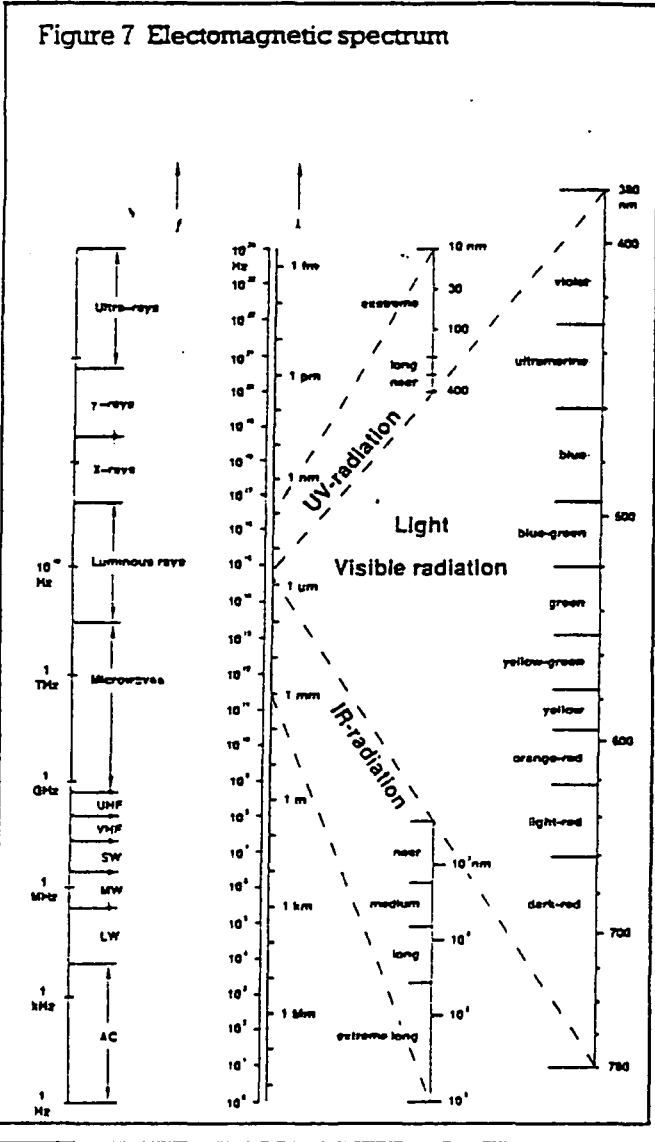
The function has a maximum value of 680 Lumens/Watt at 555nm and the ½ power points occur at 510nm and 610nm (Figure 6).

Figure 6 CIE stand photopic luminosity function



Electromagnetic radiation spectrum

Figure 7 Electromagnetic spectrum



The following range of discrete opto devices is described, each of which may be used in a variety of sensing applications.

Product	RS stock no.
General purpose photodiode	305-462
BPX 65 high speed photodiode	304-346
BPW21 photodiode	303-719
Quadrant silicon photodiode	652-027
15mm ² silicon photodiode	194-076
Medium area photodiode	651-995
Large area photodiode	303-674
Integral amplifier 5mm ²	308-067
Integral amplifier 100mm ²	590-963
5.8mm ² UV photodiode	564-021
33.6mm ² UV photodiode	564-037
100mm ² UV photodiode	564-043
16 element linear array	194-060

General purpose photodiode (RS stock no. 305-462)

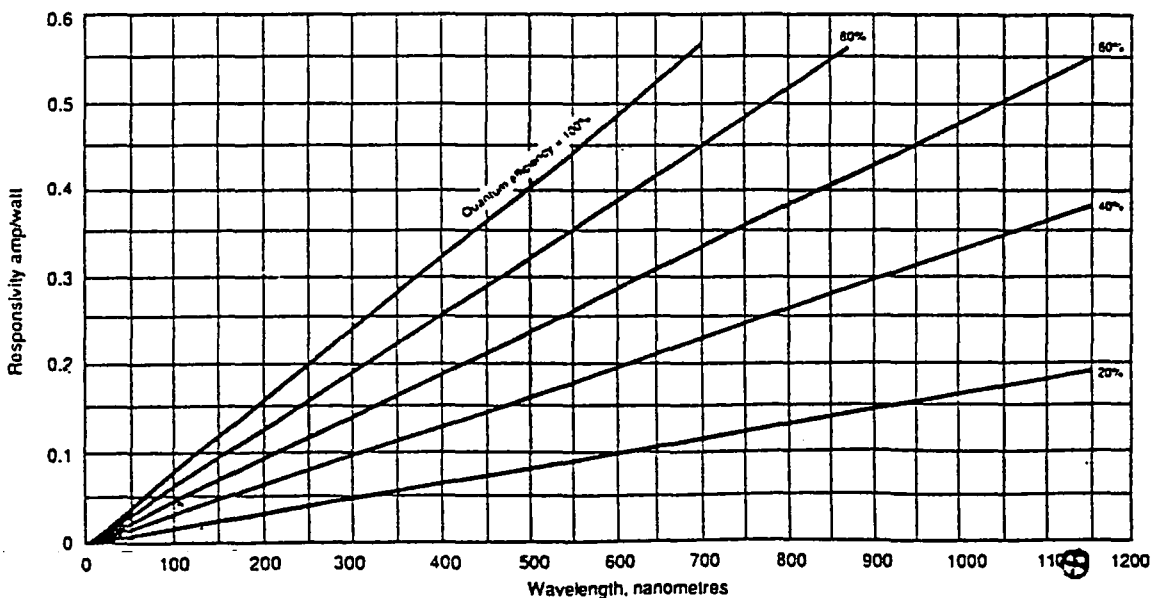
A planar diffused photodiode in a 2-lead TO-18 can with glass window. A very linear output of current versus light level can be obtained over a wide range of inputs. Light falling on the diode induces current in the diode, thus when the device is reversed biased thereby conducting very low leakage currents, it behaves as a current source controlled by the incident illumination.

Absolute maximum ratings

at +25°C (unless stated)

Reverse voltage V_R	+80V
Forward current I_F	100mA
Operating temperature range	0°C to +70°C
Storage temperature range	-55°C to +125°C
Power dissipation Pd	200mW

Figure 8 Typical quantum efficiency curves



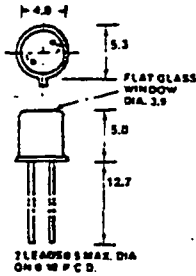
Pin connections and case dimensions



Case is connected to Pin 2.

Chip placement accuracy ± 0.25 mm of can centre.

Nominal photosensitive area 850 mils (near square)*.



*Note: 850 mils ≈ 0.7 mm \times 0.7 mm.

Electrical characteristics (at $+22^\circ\text{C} \pm 2^\circ\text{C}$ unless otherwise stated)

Symbol	Parameter	Min.	Typ.	Max.	Units	Test conditions
$V_{(BR)}$	Breakdown voltage	80			V	Dark rev. current $10\mu\text{A}$
I_D	Dark current		1.4	14	nA	Dark rev. bias 20V
R_e	Responsivity	0.35	0.7	1.4	$\mu\text{A}/\text{mW}/\text{cm}^2$	Zero bias, $400\mu\text{W}/\text{cm}^2$
C	Capacitance		12		pF	Dark rev. bias 10V
t_R	Response time		250		ns	10-90% levels
-	Temp. coeff. of responsivity		0.35		% per $^\circ\text{C}$	0°C to $+70^\circ\text{C}$
-	Temp. coeff. of dark current		$\times 2$		per 10°C rise	0°C to $+70^\circ\text{C}$

Typical performance curves

Figure 9 Photo current vs. irradiation

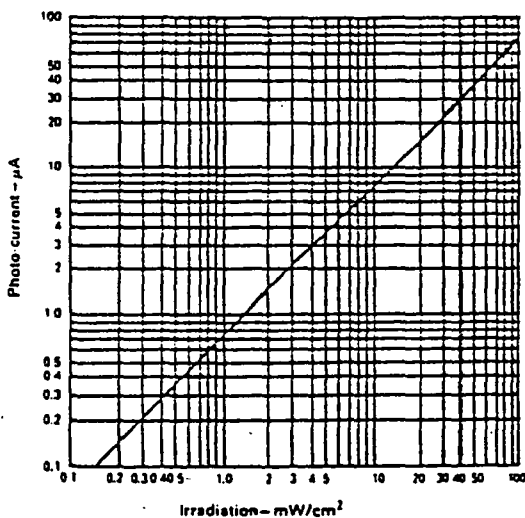


Figure 10 Open circuit voltage vs. irradiation

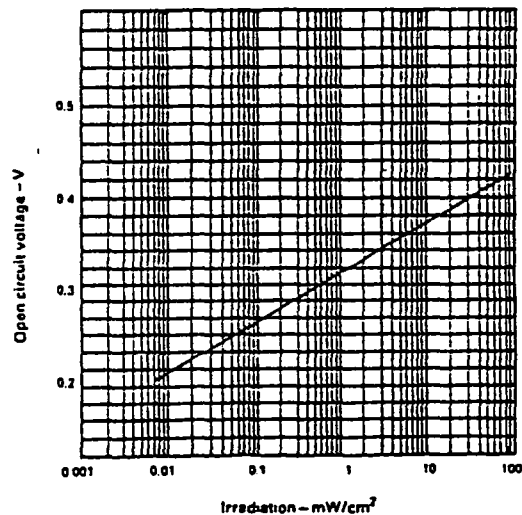


Figure 11 Normalised capacitance vs. bias voltage

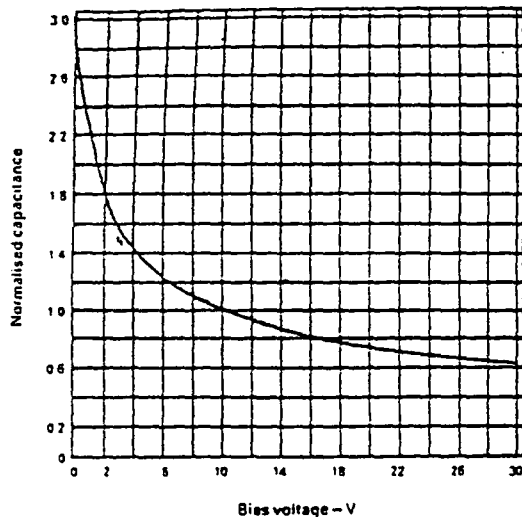


Figure 12 Photo current vs. bias voltage

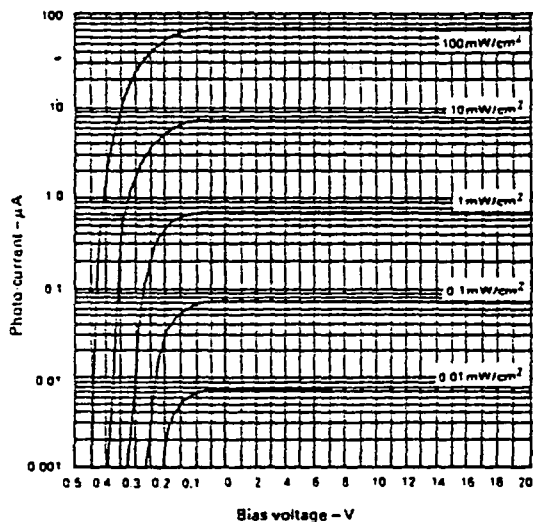
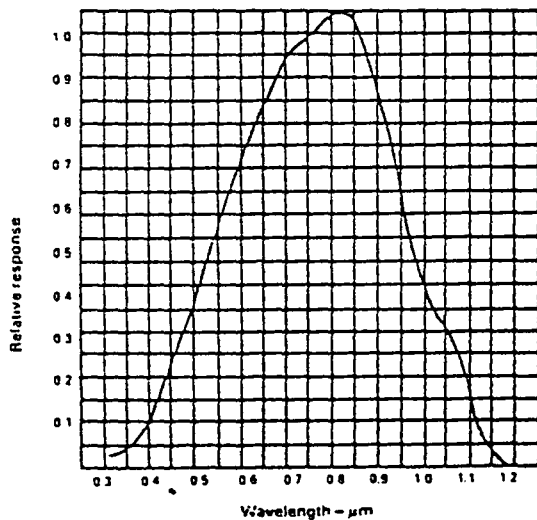


Figure 13 Normalised spectral response



Typical applications

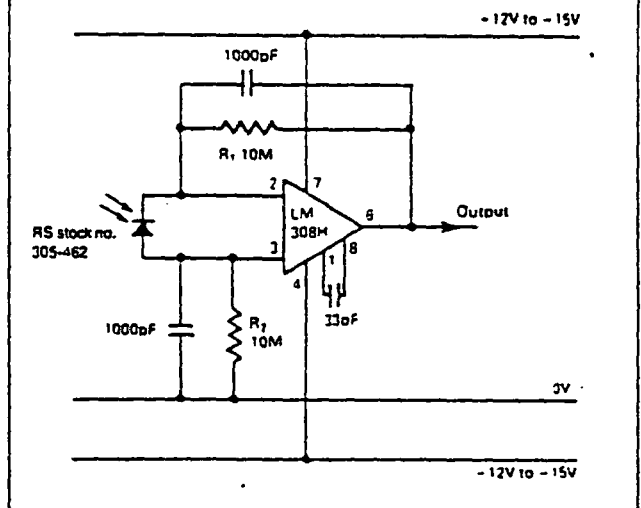
Analogue light level sensor - direct reading

Low input bias current op amps such as LM 308 or FET input types can be used to give steady dc indication of light levels as is necessary for photometric applications, photocell measurements, transmission and reflection coefficients, etc.

The values shown give approximately $14V/mW/cm^2$ of irradiation. The value of R_1 and R_2 may be reduced for less sensitivity but should be kept equal. For values less than $100k\Omega$, a less sophisticated amplifier may be used, eg. $\mu A741$.

The $1000pF$ capacitors may be increased to reduce ripple from ac lighting or control response time accordingly.

Figure 14 Analogue light level sensor - direct reading



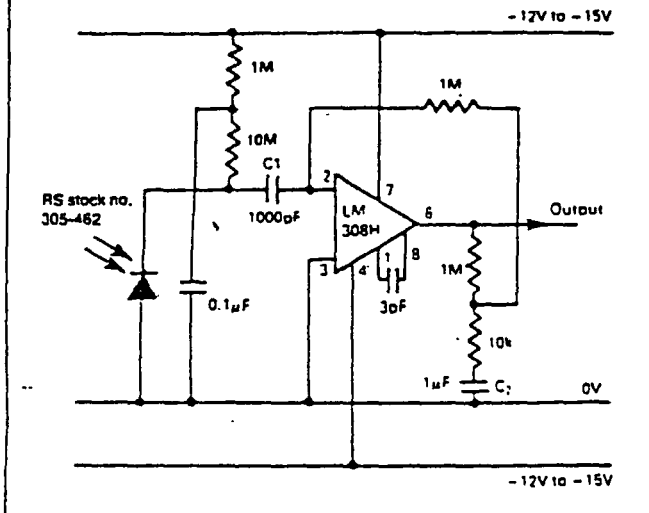
ac coupled analogue sensor for optical communications links

A stage of amplification giving the substantial gain necessary for optical communication links is implemented as shown. An op amp with low input bias currents such as LM 308 or an FET input type is necessary.

The input ac coupling C_1 gives a dc isolation of steady ambient conditions, and C_2 minimises effects of offset voltages, both such lower break frequencies are below 10Hz.

Upper frequency response is approximately 3kHz and ac sensitivity is $70V/mW/cm^2$. A further amplifier/buffer stage is necessary to drive a headset or loudspeaker.

Figure 15 ac coupled analogue sensor for optical communications links



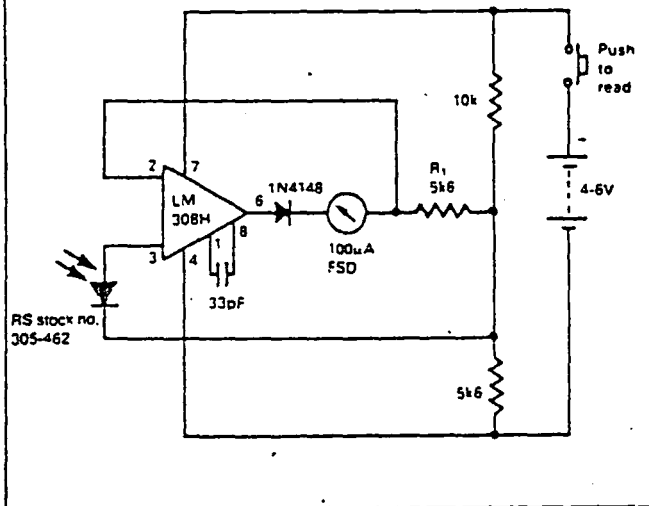
Logarithmic detector for exposure meter

Feeding the RS stock no. 305-462 into a high impedance gives a logarithmic voltage/illumination response.

The circuit shown is the basis for a simple battery-operated exposure meter. At very low light levels where the amplifier bias current may cause the output to go negative, a diode avoids the spurious state of negative indication.

The movement may be calibrated in photographic scales, one stop being approximately $7 \mu\text{A}$. Sensitivity can be trimmed by adjusting R_1 .

Figure 16 Logarithmic detector for exposure meter



BPX 65 high speed photodiode

(RS stock no. 304-346)

The BPX 65 is a planar silicon PIN photodiode housed in a modified TO-18 case incorporating a plain glass flat window which has no influence on the beam path of optical lens systems. The cathode is electrically connected to the case. Because the BPX 65 is capable of detecting wide bandwidth signals due to its excellent high frequency response, this coupled with its high sensitivity makes the device ideal for signal detection applications. This photodiode is outstanding for low junction capacitance and short switching times.

Absolute maximum ratings

at +25°C (unless stated)

Reverse voltage V_R 50V

Forward current I_F 10mA (200mA pulsed 1μs
1% duty cycle)

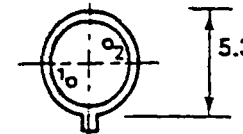
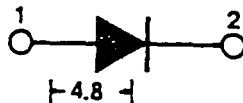
Operating temperature range -25°C to +70°C

Storage temperature range -55°C to +125°C

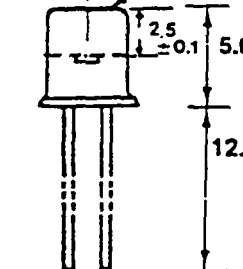
Junction temp. T_j +125°C

Power dissipation P_d 250mW
(derate linearly 2.5mW/°C above +25°C)

Shape and dimensions



FLAT GLASS WINDOW
DIA. 3.9



Cathode is connected to case.

Chip placement accuracy $\pm 0.2\text{mm}$ of can centre.

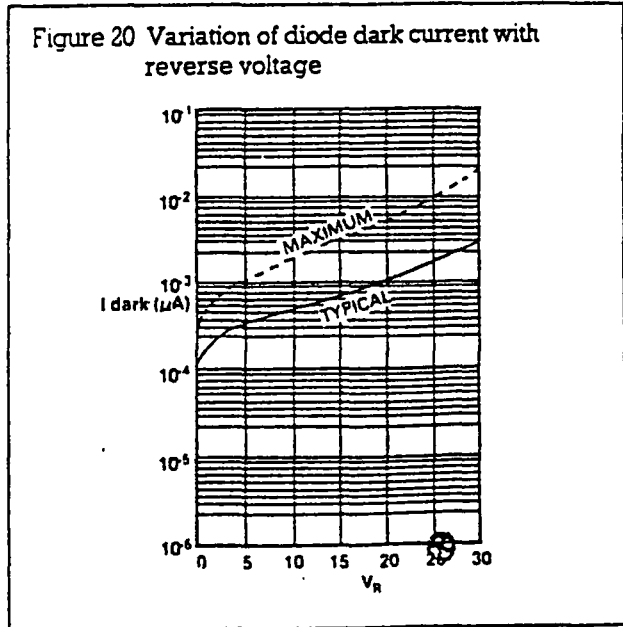
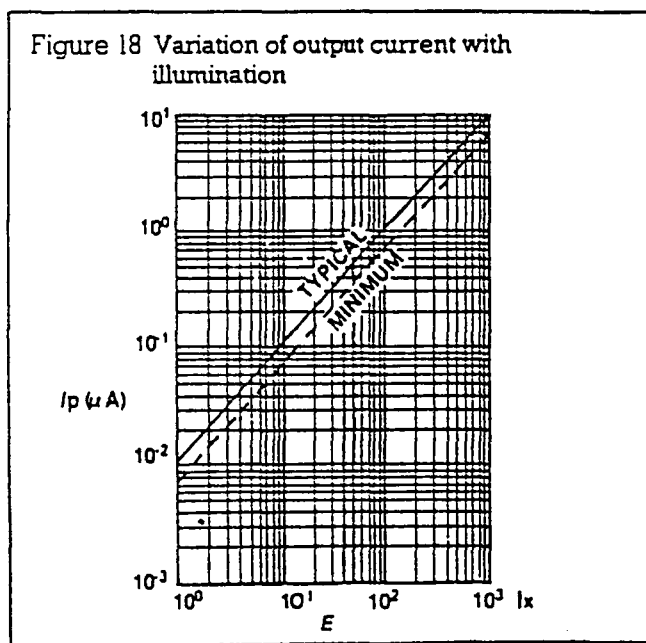
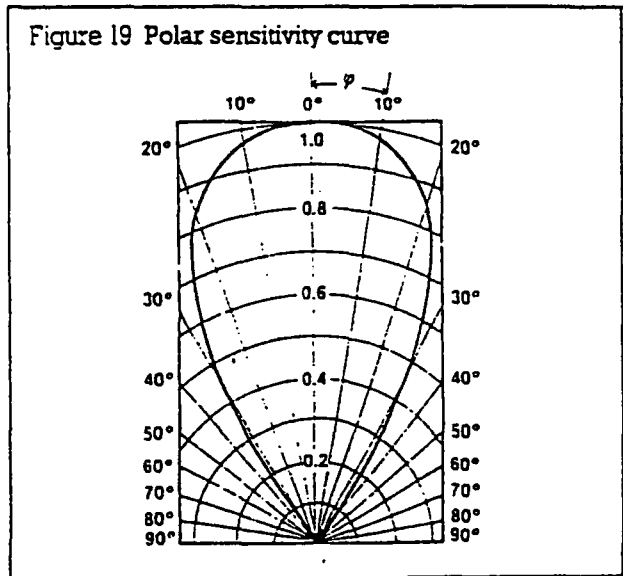
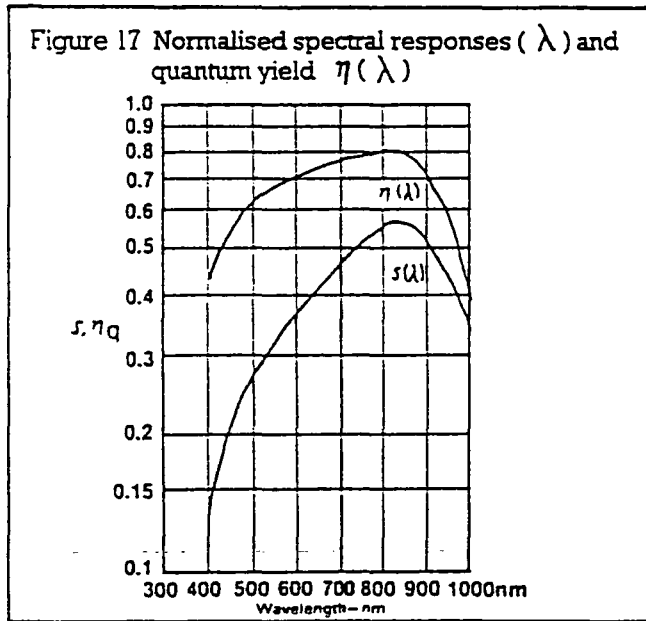
2 leads 0.5 max. dia. on 0.10" P.C.D.

Electrical characteristics at +25°C (unless stated)

	Parameter	Test conditions	min.	typ.	max.	units
A	Radiant sensitive area			1		mm ²
λ_s max.	Wavelength of max. sensitivity			850		nm
R_e	Responsivity	$\lambda = 450\text{nm}$		0.2		A/W
		$\lambda = 900\text{nm}$		0.55		A/W
		$\lambda = 1064\text{nm}$		0.15		A/W
t_r	Response time (10-90% levels)	$R_L = 50\Omega$; $V_R = 20\text{V}$; $\lambda = 900\text{nm}$		0.5	1	ns
C_0	Capacitance $V_R = 0\text{V}$			15		pF
C_1		$V_R = 1\text{V}$		12		pF
C_{20}		$V_R = 20\text{V}$		3.5		pF
f_c	Cut-off frequency			500		MHz
I_D	Dark current	$V_R = 20\text{V}$, Dark ($E=0$)		1	5	nA
S	Spectral sensitivity	$V_R = 20\text{V}$; see Note 1	7	10		nA/Lx
NEP	Noise equivalent power	$V_R = 20\text{V}$		3.6×10^{-14}		W/ $\sqrt{\text{Hz}}$

Note 1. The illuminance indicated refers to unfiltered radiation of a tungsten filament lamp at a colour temperature of 2855K (standard light A in accordance with DIN 5033 and IEC publ. 306-1).

Typical performance curves



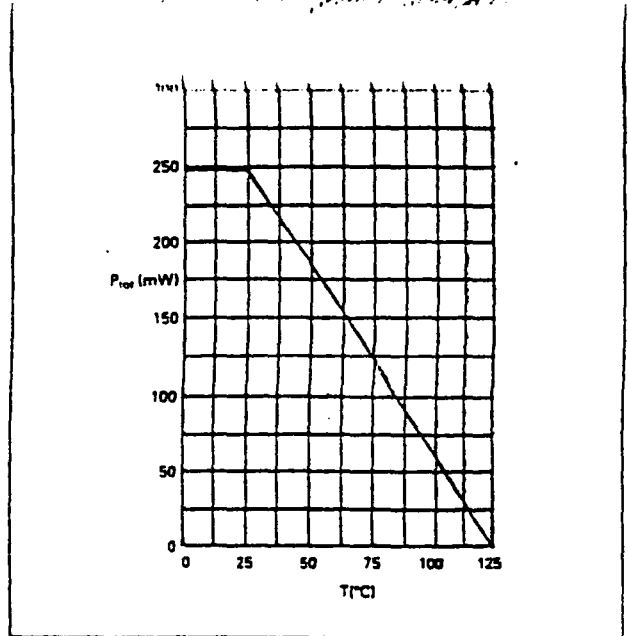
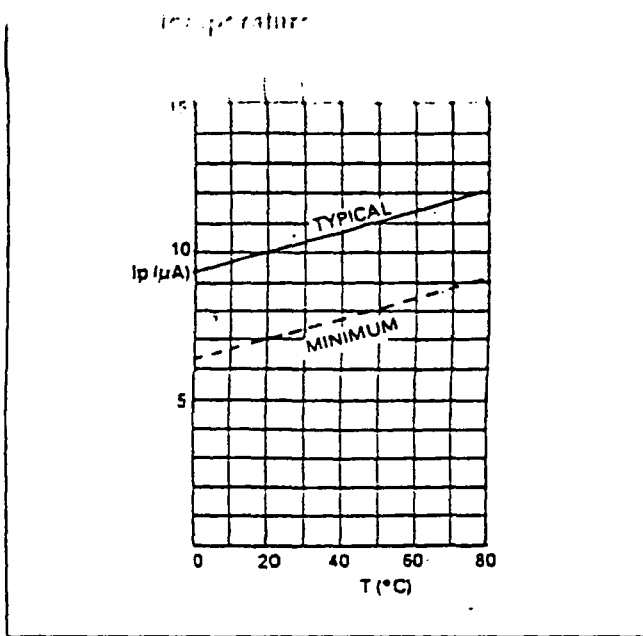


Figure 22 Variation of diode capacitance with reverse voltage

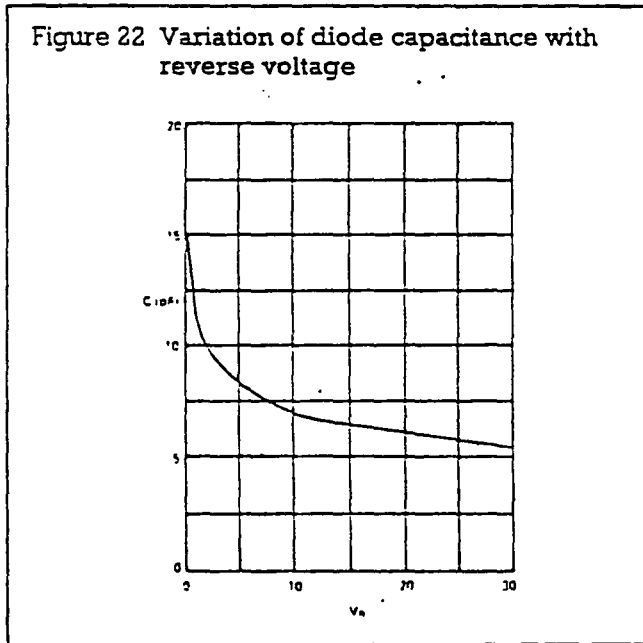
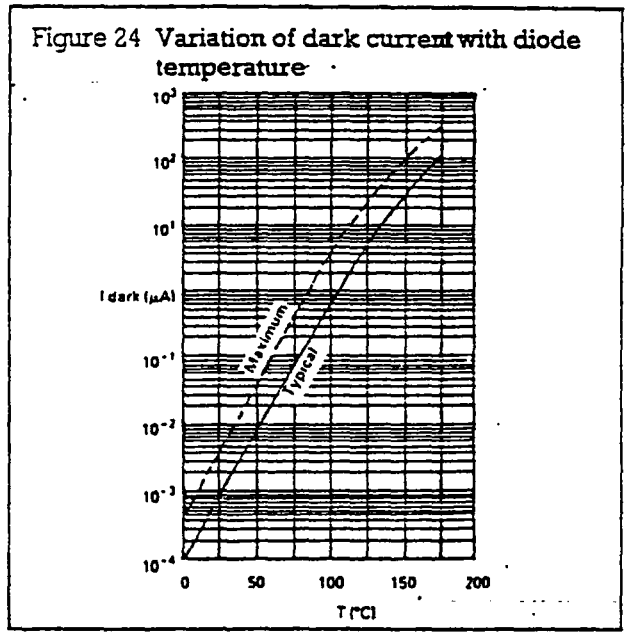


Figure 24 Variation of dark current with diode temperature



BPW21 photodiode

(RS stock no. 303-719)

A silicon photodiode housed in an hermetically sealed case with a flat window incorporating built-in colour correction. Sensitivity approximating the human eye response. Linear current (short circuit) versus illumination. Log. voltage versus illumination. This photodiode is designed for use in the photoamperic mode and is ideally suited for use in light monitoring and control, optical instrumentation and camera control.

Absolute maximum ratings

Ambient temperature range _____ -25°C to +100°C
 Reverse voltage, V_R _____ 10V
 Open circuit voltage _____ 650mV
 Power dissipation (at 25°C), P_d _____ 250mW
 Illuminance, E _____ 10^5 lux

Features

- Response approximating to the human eye
- Photovoltaic cell operation
- Linear output current versus illumination
- Hermetically sealed TOS case.

ABSOLUTE MAXIMUM RATINGS

Positive Supply Voltage (GND to V+)	+6.2V	Power Dissipation (Note 3)	300mW @ +75°C
Negative Supply Voltage (GND to V-)	-9V	Ceramic Package	500mW @ +75°C
Analog Input Voltage (Lo or Hi) (Note 1)	V+ to V-	Plastic Package	500mW @ +70°C
Reference Input Voltage (Lo or Hi) (Note 1)	V+ to V-	Operating Temperature	-55°C to +125°C
Digital Input Voltage	V+ + 0.3V	Ceramic Package (MDL)	25°C to +85°C
(Pins 2-27) (Note 2)	GND - 0.3V	Ceramic Package (IDL)	0°C to +70°C
		Plastic Package (CPL)	-65°C to +150°C
		Storage Temperature	+300°C
		Lead Temperature (Soldering, 10sec)	

NOTE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS (V+ = +5V, V- = -5V, GND = 0V, TA = 25°C, fCLK = 3.58 MHz, unless otherwise indicated.) Test circuit as shown on first page of this data sheet.

ANALOG SECTION

Symbol	Parameter	Test Conditions	Min	Typ	Max	Unit
	Zero Input Reading	VIN = 0.0000V VREF = 204.8 mV	-0000	±0000	+0000	Counts
	Ratiometric Error(4)	VIN = VREF = 204.8 mV	-3	0	0	Counts
	Non-Linearity (Max deviation from best straight line fit)	Full Scale = 409.6mV to 2.048V Over full operating temperature range. (Note 4), (Note 6)	-1	±2	+1	Counts
	Roll-over Error (difference in reading for equal pos. and neg. inputs near full scale)	Full Scale = 409.6mV to 2.048V (Note 5), (Note 6)	-1	±2	+1	Counts
CMRR	Common Mode Rejection Ratio	VCM ±1V, VIN = 0V Full Scale = 409.6mV		50		µV/V
VCMR	Input Common Mode Range	Input Hi, Input Lo, Common (Note 4)	V- + 1.5		V+ - 1.0	V
en	Noise (p-p value not exceeded 95% of time)	VIN = 0V Full Scale = 409.6mV		15		µV
IILK	Leakage current at Input	VIN = 0 All devices at 25°C ICL7109CPL 0°C ≤ TA ≤ +70°C (Note 4) ICL7109IDL -25°C ≤ TA ≤ +85°C (Note 4) ICL7109MDL -55°C ≤ TA ≤ +125°C		1 20 100 2	10 100 250 5	pA pA pA nA
	Zero Reading Drift	VIN = 0V R1 = 0Ω (Note 4)		0.2	1	µV/°C
	Scale Factor Temperature Coefficient	VIN = 408.9mV = >7770g reading Ext. Ref. 0 ppm/°C (Note 4)		1	5	ppm/°C
I+	Supply Current V+ to GND	VIN = 0, Crystal Osc 3.58MHz test circuit		700	1500	µA
ISUPP	Supply Current V+ to V-	Pins 2-21, 25, 26, 27, 29; open		700	1500	µA
VREF	Ref Out Voltage	Referred to V+, 25kΩ between V+ and REF OUT	-2.4	-2.8	-3.2	V
	Ref Out Temp. Coefficient	25kΩ between V+ and REF OUT		80		ppm/°C

NOTE: All typical values have been characterized but are not tested.

ICL7109

ICL7109

AGL7191

12-Bit A/D Converter

ELECTRICAL CHARACTERISTICS ($V^+ = +5V$, $V^- = -5V$, $GND = 0V$, $T_A = 25^\circ C$ unless otherwise indicated.) Test circuit as shown on first page of this data sheet. (Continued)

DIGITAL SECTION

Symbol	Parameter	Test Conditions	V _{Min}	V _{Typ}	V _{Max}	Unit
V _{OH}	Output High Voltage	I _{OUT} = 100 μ A Pins 2-16, 18, 19, 20	3.5	4.3	5.0	V
V _{OL}	Output Low Voltage	I _{OUT} = 1.6mA	0.2	0.4	0.5	V
	Output Leakage Current	Pins 3-16 high impedance		± 0.1		μ A
	Control I/O Pullup Current	Pins 18, 19, 20 V _{OUT} = V ⁺ - 3V MODE input at GND		5		μ A
	Control I/O Loading	HBEN Pin 19 LBEN Pin 18 (Note 4)		50		pF
V _{IH}	Input High Voltage	Pins 18-21, 26, 27 referred to GND	3.0			V
V _{IL}	Input Low Voltage	Pins 18-21, 26, 27 referred to GND				V
	Input Pull-up Current	Pins 26, 27 V _{OUT} = V ⁺ - 3V		5		μ A
	Input Pull-up Current	Pins 17, 24 V _{OUT} = V ⁺ - 3V		25		μ A
	Input Pull-down Current	Pin 21: V _{OUT} = GND + 3V		5		μ A
O _{OH}	Oscillator Output Current	High	V _{OUT} = 2.5V			mA
O _{OL}		Low	V _{OUT} = 2.5V			mA
BO _{OH}	Buffered Oscillator Output Current	High	V _{OUT} = 2.5V			mA
BO _{OL}		Low	V _{OUT} = 2.5V			mA
t _w	MODE Input Pulse Width	(Note 4)		50		ns

- NOTES: 1. Input voltages may exceed the supply voltages provided the input current is limited to $\pm 100 \mu A$.
 2. Due to the SCR structure inherent in the process used to fabricate these devices, connecting any digital inputs or outputs to voltages greater than V⁺ or less than GND may cause destructive device latchup. For this reason it is recommended that no inputs from sources other than the same power supply be applied to the ICL7109 before its power supply is established, and that in multiple supply systems the supply to the ICL7109 be activated first.
 3. This limit refers to that of the package and will not be obtained during normal operation.
 4. This parameter is not production tested, but is guaranteed by design.
 5. Roll-over error for T_A = -55°C to +125°C is ± 3 counts maximum.
 6. A full scale voltage of 2.048V is issued because a full scale voltage of 4.096V exceeds the devices Common Mode Voltage Range.
 7. For Cerdp package the Ratio-metric error can be -4 (Min.).

NOTE: All typical values have been characterized but are not tested.

TABLE 1: Pin Assignment and Function Description

Pin	Symbol	Description
1	GND	Digital Ground, 0V. Ground return for all digital logic.
2	STATUS	Output High during integrate and deintegrate until data is latched. Output Low when analog section is in Auto-Zero configuration.
3	POL	Polarity — HI for Positive input.
4	OR	Overrange — HI if Overranged.
5	B12	Bit 12 (Most Significant Bit)
6	B11	Bit 11
7	B10	Bit 10
8	B9	Bit 9
9	B8	Bit 8
10	B7	Bit 7
11	B6	Bit 6
12	B5	Bit 5
13	B4	Bit 4
14	B3	Bit 3
15	B2	Bit 2
16	B1	Bit 1 (Least Significant Bit)
17	TEST	Input High — Normal Operation. Input Low — Forces all bit outputs high. Note: This input is used for test purposes only. Tie high if not used.
18	LBEN	Low Byte Enable — With Mode (Pin 21) low, and CE/LOAD (Pin 20) low, taking this pin low activates low order byte outputs B1 — B8. With Mode (Pin 21) high, this pin serves as a low byte flag output used in handshake mode. See Figures 8, 9, 10.
19	HBEN	High Byte Enable — With Mode (Pin 21) low, and CE/LOAD (Pin 20) low, taking this pin low activates high order byte outputs B9 — B12, POL, OR. With Mode (Pin 21) high, this pin serves as a high byte flag output used in handshake mode. See Figures 8, 9, 10.
20	CE/LOAD	Chip Enable Load — With Mode (Pin 21) low, CE/LOAD serves as a master output enable. When high, B1 — B12, POL, OR outputs are disabled. With Mode (Pin 21) high, this pin serves as a load strobe used in handshake mode. See Figures 8, 9, 10.

Pin	Symbol	Description
21	MODE	Input Low — Direct output mode where CE/LOAD (Pin 20), HBEN (Pin 19) and LBEN (Pin 18) act as inputs directly controlling byte outputs. Input Pulsed High — Causes immediate entry into handshake mode and output of data as in Figure 10. Input High — Enables CE/LOAD (Pin 20), HBEN (Pin 19), and LBEN (Pin 18) as outputs, handshake mode will be entered and data output as in Figures 8 and 9 at conversion completion.
22	OSC IN	Oscillator Input
23	OSC OUT	Oscillator Output
24	OSC SEL	Oscillator Select — Input high configures OSC IN, OSC OUT, BUF OSC OUT as RC oscillator — clock will be same phase and duty cycle as BUF OSC OUT. Input low configures OSC IN, OSC OUT for crystal oscillator — clock frequency will be 1/56 of frequency at BUF OSC OUT.
25	BUF OSC OUT	Buffered Oscillator Output
25	RUN/HOLD	Input High — Conversions continuously performed every 8192 clock pulses. Input Low — Conversion in progress completed, converter will stop in Auto-Zero 7 counts before integrate.
27	SEND	Input — Used in handshake mode to indicate ability of an external device to accept data. Connect to +5V if not used.
28	V-	Analog Negative Supply — Nominally -5V with respect to GND (Pin 1).
29	REF OUT	Reference Voltage Output — Nominally 2.8V down from V+ (Pin 40).
30	BUFFER	Buffer Amplifier Output
31	AUTO-ZERO	Auto-Zero Node — Inside foil of CA2
32	INTEGRATOR	Integrator Output — Outside foil of CA1
33	COMMON	Analog Common — System is Auto-Zeroed to COMMON
34	INPUT LO	Differential Input Low Side
35	INPUT HI	Differential Input High Side
36	REF IN +	Differential Reference Input Positive
37	REF CAP +	Reference Capacitor Positive
38	REF CAP -	Reference Capacitor Negative
39	REF IN -	Differential Reference Input Negative
40	V+	Positive Supply Voltage — Nominally +5V with respect to GND (Pin 1).

Note: All digital levels are positive true.

NOTE: All typical values have been characterized but are not tested.

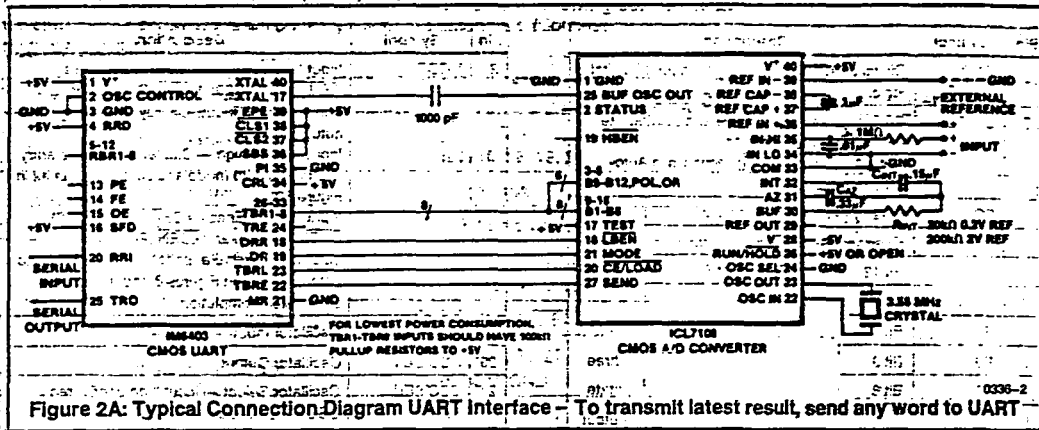


Figure 2A: Typical Connection Diagram UART Interface To transmit latest result, send any word to UART

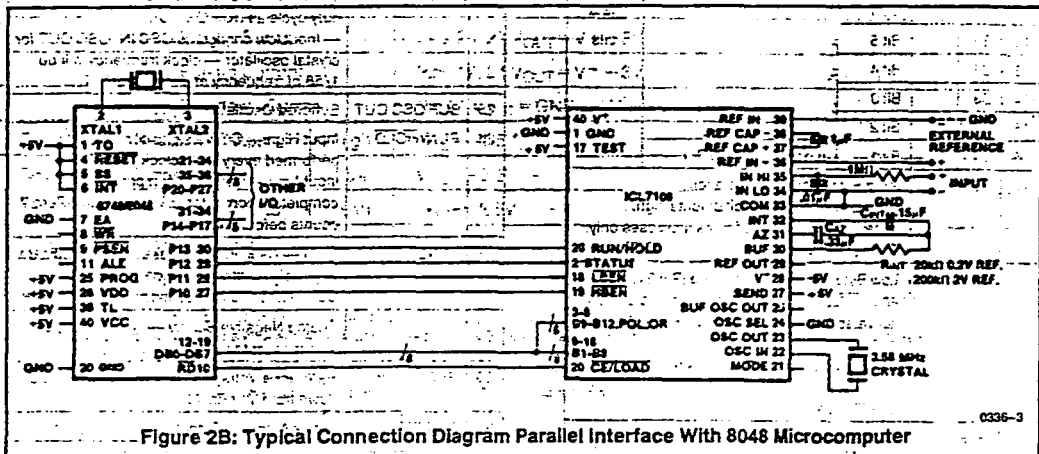


Figure 2B: Typical Connection Diagram Parallel Interface With 8048 Microcomputer

DETAILED DESCRIPTION

Analog Section

Figure 3 shows the equivalent circuit of the Analog Section of the ICL7109. When the RUN/HOLD input is left open or connected to V+, the circuit will perform conversions at a rate determined by the clock frequency (8192 clock periods per cycle). Each measurement cycle is divided into three phases as shown in Figure 4. They are (1) Auto-Zero (AZ), (2) Signal Integrate (INT) and (3) Deintegrate (DE).

Auto-Zero Phase

During auto-zero three things happen. First, input high and low are disconnected from their pins and internally shorted to analog COMMON. Second, the reference capacitor is charged to the reference voltage. Third, a feedback loop is closed around the system to charge the auto-zero capacitor CAZ to compensate for offset voltages in the buffer amplifier, integrator, and comparator. Since the comparator is included in the loop, the AZ accuracy is limited only by the noise of the system. In any case, the offset referred to the input is less than 10µV.

NOTE: All typical values have been characterized but are not tested.

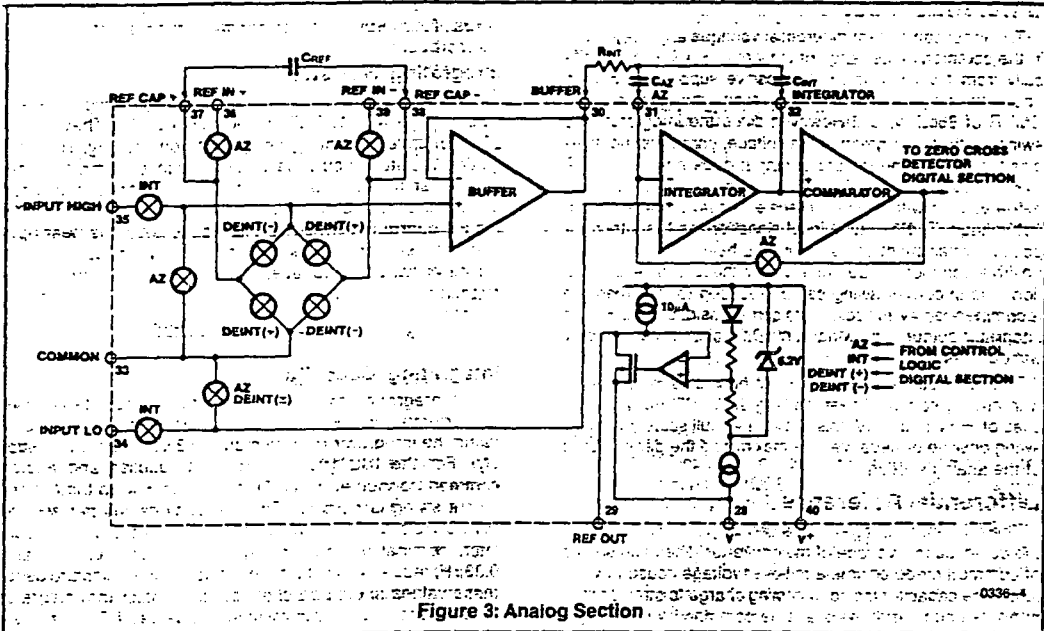


Figure 3: Analog Section

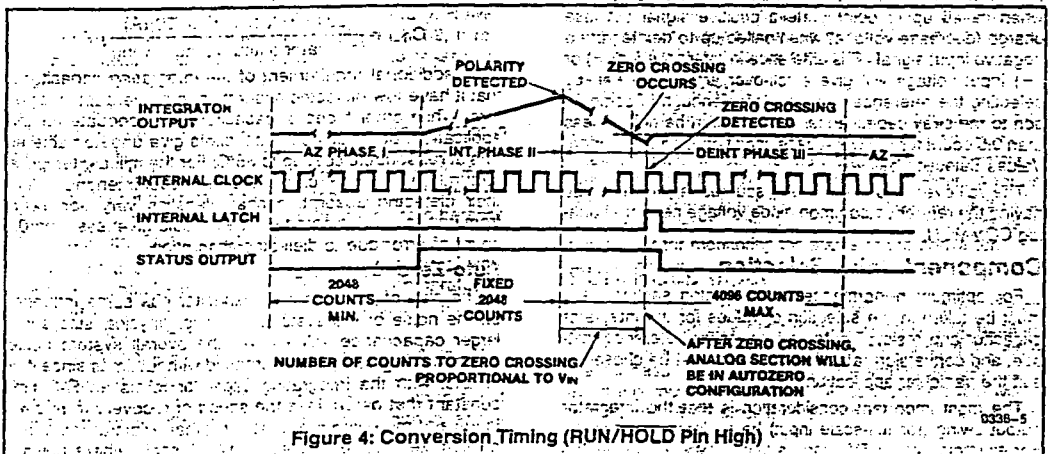


Figure 4: Conversion Timing (RUN/HOLD Pin High)

Signal Integrate Phase

During signal integrate, the auto-zero loop is opened, the internal short is removed and the internal high and low inputs are connected to the external pins. The converter then integrates the differential voltage between IN HI and IN LO for a fixed time of 2048 clock periods. Note that this differential voltage must be within the common mode range of the inputs. At the end of this phase, the polarity of the integrated signal is determined.

De-Integrate Phase

The final phase is de-integrate, or reference integrate. Input low is internally connected to analog COMMON and input high is connected across the previously charged (during auto-zero) reference capacitor. Circuitry within the chip ensures that the capacitor will be connected with the correct polarity to cause the integrator output to return to zero crossing (established in Auto Zero) with a fixed slope. Thus the time for the output to return to zero (represented by the number of clock periods counted) is proportional to the input signal.

NOTE: All typical values have been characterized but are not tested

Differential Input

The input can accept differential voltages anywhere within the common mode range of the input amplifier, or specifically from 1.0 volts below the positive supply, to 1.5 volts above the negative supply. In this range the system has a CMRR of 86dB typical. However, since the integrator also swings with the common mode voltage, care must be exercised to assure the integrator output does not saturate. A worst case condition would be a large positive common mode voltage with a near full-scale negative differential input voltage. The negative input signal drives the integrator positive when most of its swing has been used up by the positive common mode voltage. For these critical applications the integrator swing can be reduced to less than the recommended 4V full scale with some loss of accuracy. The integrator output can swing within 0.3 volts of either supply without loss of linearity.

The ICL7109 has, however, been optimized for operation with analog common near digital ground. With power supplies of $\pm 5V$ and $-5V$, this allows a 4V full scale integrator swing positive or negative thus maximizing the performance of the analog section.

Differential Reference

The reference voltage can be generated anywhere within the power supply voltage of the converter. The main source of common mode error is a roll-over voltage caused by the reference capacitor losing or gaining charge to stray capacity on its nodes. If there is a large common mode voltage, the reference capacitor can gain charge (increase voltage) when called up to deintegrate a positive signal but lose charge (decrease voltage) when called up to deintegrate a negative input signal. This difference in reference for (+) or (-) input voltage will give a roll-over error. However, by selecting the reference capacitor large enough in comparison to the stray capacitance, this error can be held to less than 0.5 count for the worst case condition (see Component Values Selection below).

The roll-over error from these sources is minimized by having the reference common mode voltage near or at analog COMMON.

Component Value Selection

For optimum performance of the analog section, care must be taken in the selection of values for the integrator capacitor and resistor, auto-zero capacitor, reference voltage, and conversion rate. These values must be chosen to suit the particular application.

The most important consideration is that the integrator output swing (for full-scale input) be as large as possible. For example, with $\pm 5V$ supplies and COMMON connected to GND, the nominal integrator output swing at full scale is $\pm 4V$. Since the integrator output can go to 0.3V from either supply without significantly affecting linearity, a 4V integrator output swing allows 0.7V for variations in output swing due to component value and oscillator tolerances. With $\pm 5V$ supplies and a common mode range of $\pm 1V$ required, the component values should be selected to provide $\pm 3V$ integrator output swing. Noise and rollover errors will be slightly worse than in the $\pm 4V$ case. For larger common mode voltage ranges, the integrator output swing must be

reduced further. This will increase both noise and rollover errors. To improve the performance, supplies of $\pm 6V$ may be used.

Integrating Resistor

Both the buffer amplifier and the integrator have a class A output stage with $100\mu A$ of quiescent current. They supply $20\mu A$ of drive current with negligible non-linearity. The integrating resistor should be large enough to remain in this very linear region over the input voltage range, but small enough that undue leakage requirements are not placed on the PC board. For 4.096 volt full scale, $200k\Omega$ is near optimum and similarly a $20k\Omega$ for a 409.6mV scale. For other values of full scale voltage, R_{INT} should be chosen by the relation

$$R_{INT} = \frac{\text{full scale voltage}}{20\mu A}$$

Integrating Capacitor

The integrating capacitor C_{INT} should be selected to give the maximum integrator output voltage swing without saturating the integrator (approximately 0.3 volt from either supply). For the ICL7109 with ± 5 volt supplies and analog common connected to GND, a ± 3.5 to ± 4 volt integrator output swing is nominal. For $7\frac{1}{2}$ conversions per second (61.72kHz clock frequency) as provided by the crystal oscillator, nominal values for C_{INT} and C_{AZ} are $0.15\mu F$ and $0.33\mu F$, respectively. If different clock frequencies are used, these values should be changed to maintain the integrator output voltage swing. In general, the value of C_{INT} is given by

$$C_{INT} = \frac{(2048 \times \text{clock period})(20\mu A)}{\text{integrator output voltage swing}} \mu F$$

An additional requirement of the integrating capacitor is that it have low dielectric absorption to prevent roll-over errors. While other types of capacitors are adequate for this application, polypropylene capacitors give undetectable errors at reasonable cost up to 85°C. For the military temperature range, Teflon® capacitors are recommended. While their dielectric absorption characteristics vary somewhat from unit to unit, selected devices should give less than 0.5 count of error due to dielectric absorption.

Auto-Zero Capacitor

The size of the auto-zero capacitor has some influence on the noise of the system: a smaller physical size and a larger capacitance value lower the overall system noise. However, C_{AZ} cannot be increased without limits since it, in parallel with the integrating capacitor forms an R-C time constant that determines the speed of recovery from overloads and more important the error that exists at the end of an auto-zero cycle. For 409.6mV full scale where noise is very important and the integrating resistor small, a value of C_{AZ} twice C_{INT} is optimum. Similarly for 4.096V full scale where recovery is more important than noise, a value of C_{AZ} equal to half of C_{INT} is recommended.

For optimal rejection of stray pickup, the outer foil of C_{AZ} should be connected to the R-C summing junction and the inner foil to pin 31. Similarly the outer foil of C_{INT} should be connected to pin 32 and the inner foil to the R-C summing junction. Teflon®, or equivalent, capacitors are recommended above 85°C for their low leakage characteristics.

NOTE: All typical values have been characterized but are not tested.

Reference Capacitor

A 1 μF capacitor gives good results in most applications. However, where a large reference common mode voltage exists (i.e. the reference low is not at analog common) and a 409.6mV scale is used, a larger value is required to prevent roll-over error. Generally 10 μF will hold the roll-over error to 0.5 count in this instance. Again, Teflon[®], or equivalent capacitors should be used for temperatures above 85°C for their low leakage characteristics.

Reference Voltage

The analog input required to generate a full scale output of 4096 counts is $V_{IN} = 2V_{REF}$. Thus for a normalized scale, a reference of 2.048V should be used for a 4.096V full scale, and 204.8mV should be used for a 0.4096V full scale. However, in many applications where the A/D is sensing the output of a transducer, there will exist a scale factor other than unity between the absolute output voltage to be measured and a desired digital output. For instance, in a weighing system, the designer might like to have a full scale reading when the voltage from the transducer is 0.682V. Instead of dividing the input down to 409.6mV, the input voltage should be measured directly and a reference voltage of 0.341V should be used. Suitable values for integrating resistor and capacitor are 33k Ω and 0.15 μF . This avoids a divider on the input. Another advantage of this system occurs when a zero reading is desired for non-zero input. Temperature and weight measurements with an offset of tare are examples. The offset may be introduced by connecting the voltage output of the transducer between common and analog high, and the offset voltage between common and analog low, observing polarities carefully. However, in processor-based systems using the ICL7109, it may be more efficient to perform this type of scaling or tare subtraction digitally using software.

Reference Sources

The stability of the reference voltage is a major factor in the overall absolute accuracy of the converter. The resolution of the ICL7109 at 12 bits is one part in 4096, or 244ppm. Thus if the reference has a temperature coefficient of 80ppm/°C (onboard reference) a temperature difference of 3°C will introduce a one-bit absolute error.

For this reason, it is recommended that an external high-quality reference be used where the ambient temperature is not controlled or where high-accuracy absolute measurements are being made.

The ICL7109 provides a REFERENCE OUTPUT (pin 29) which may be used with a resistive divider to generate a suitable reference voltage. This output will sink up to about 20mA without significant variation in output voltage, and is provided with a pullup bias device which sources about 10 μA . The output voltage is nominally 2.8V below V^+ , and has a temperature coefficient of $\pm 80\text{ppm}/^\circ\text{C}$ typ. When using the onboard reference, REF OUT (Pin 29) should be connected to REF- (pin 39), and REF+ should be connected to the wiper of a precision potentiometer between REF OUT and V^+ . The circuit for a 204.8mV reference is shown in the test circuit. For a 2.048mV reference, the fixed resistor should be removed, and a 25k Ω precision potentiometer between REF OUT and V^+ should be used.

NOTE: All typical values have been characterized but are not tested.

Note that if pins 29 and 39 are tied together and pins 39 and 40 accidentally shorted (e.g., during testing), the reference supply will sink enough current to destroy the device. This can be avoided by placing a 1k Ω resistor in series with pin 39.

DETAILED DESCRIPTION**Digital Section**

The digital section includes the clock oscillator and scaling circuit, a 12-bit binary counter with output latches and TTL-compatible three-state output drivers, polarity, over-range and control logic, and UART handshake logic, as shown in Figure 5.

Throughout this description, logic levels will be referred to as "low" or "high". The actual logic levels are defined in the Electrical Characteristics Table. For minimum power consumption, all inputs should swing from GND (low) to V^+ (high). Inputs driven from TTL gates should have 3-5k Ω pullup resistors added for maximum noise immunity.

MODE Input

The MODE input is used to control the output mode of the converter. When the MODE pin is low or left open (this input is provided with a pulldown resistor to ensure a low level when the pin is left open), the converter is in its "Direct" output mode, where the output data is directly accessible under the control of the chip and byte enable inputs. When the MODE input is pulsed high, the converter enters the UART handshake mode and outputs the data in two bytes; then returns to "direct" mode. When the MODE input is left high, the converter will output data in the handshake mode at the end of every conversion cycle. (See section entitled "Handshake Mode" for further details).

STATUS Output

During a conversion cycle, the STATUS output goes high at the beginning of Signal Integrate (Phase II), and goes low one-half clock period after new data from the conversion has been stored in the output latches. See Figure 4 for details of this timing. This signal may be used as a "data valid" flag (data never changes while STATUS is low) to drive interrupts, or for monitoring the status of the converter.

RUN/HOLD Input

When the RUN/HOLD input is high, or left open, the circuit will continuously perform conversion cycles, updating the output latches after zero crossing during the Deintegrate (Phase III) portion of the conversion cycle (See Figure 4). In this mode of operation, the conversion cycle will be performed in 8192 clock periods, regardless of the resulting value.

If RUN/HOLD goes low at any time during Deintegrate (Phase III) after the zero crossing has occurred, the circuit will immediately terminate Deintegrate and jump to Auto-Zero. This feature can be used to eliminate the time spent in Deintegrate after the zero-crossing. If RUN/HOLD stays or goes low, the converter will ensure minimum Auto-Zero time, and then wait in Auto-Zero until the RUN/HOLD input goes high. The converter will begin the integrate (Phase II) portion of the next conversion (and the STATUS output will go high) seven clock periods after the high level is detected at RUN/HOLD. See Figure 6 for details.

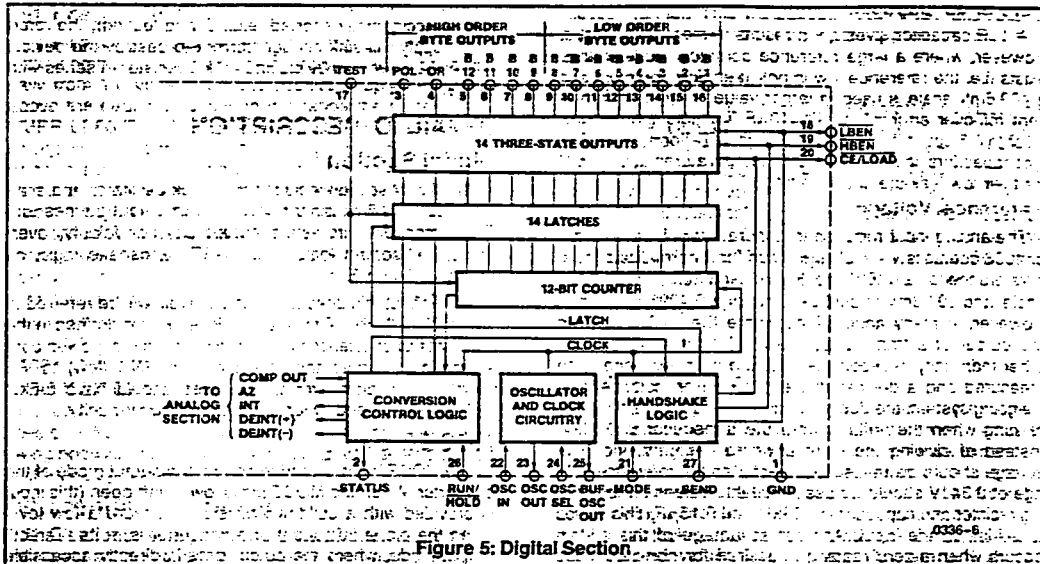


Figure 5: Digital Section

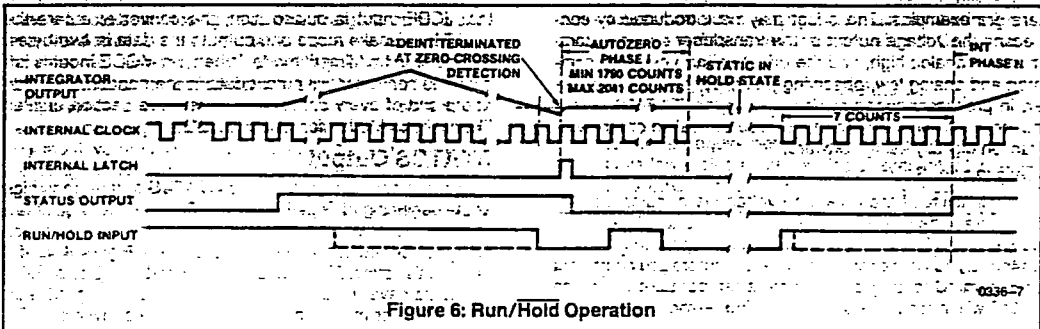


Figure 6: Run/Hold Operation

Using the RUN/HOLD input in this manner allows an easy "convert on demand" interface to be used. The converter may be held at idle in auto-zero with RUN/HOLD low. When RUN/HOLD goes high the conversion is started, and when the STATUS output goes low the new data is valid (or transferred to the UART — see Handshake Mode). RUN/HOLD may now be taken low which terminates deintegrate and ensures a minimum Auto-Zero time before the next conversion.

Alternately, RUN/HOLD can be used to minimize conversion time by ensuring that it goes low during Deintegrate, after zero crossing, and goes high after the hold point is reached. The required activity on the RUN/HOLD input can be provided by connecting it to the Buffered Oscillator Output. In this mode the conversion time is dependent on the input value measured. Also refer to Harris Application Bulletin A032 for a discussion of the effects this will have on Auto-Zero performance.

If the RUN/HOLD input goes low and stays low during Auto-Zero (Phase I), the converter will simply stop at the end of Auto-Zero and wait for RUN/HOLD to go high. As above, Integrate (Phase II) begins seven clock periods after the high level is detected.

Direct Mode

When the MODE pin is left at a low level, the data outputs (bits 1 through 8 low order byte, bits 9 through 12, polarity and over-range high order byte) are accessible under control of the byte and chip enable terminals as inputs. These three inputs are all active low, and are provided with pullup resistors to ensure an inactive high level when left open. When the chip enable input is low, taking a byte enable input low will allow the outputs of that byte to become active (three-stated on). This allows a variety of parallel data accessing techniques to be used, as shown in the section entitled "Interfacing." The timing requirements for these outputs are shown in Figure 7 and Table 2.

NOTE: All typical values have been characterized but are not tested.

Table 2—Direct Mode Timing Requirements
(See Note 4 of Electrical Characteristics)

SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNIT
t _{BEA}	Byte Enable Width	350	220		ns
t _{DAB}	Data Access Time from Byte Enable		210	350	ns
t _{DHB}	Data Hold Time from Byte Enable	150	300		ns
t _{CEA}	Chip Enable Width	400	260		ns
t _{DAC}	Data Access Time from Chip Enable		260	400	ns
t _{DHC}	Data Hold Time from Chip Enable	240	400		ns

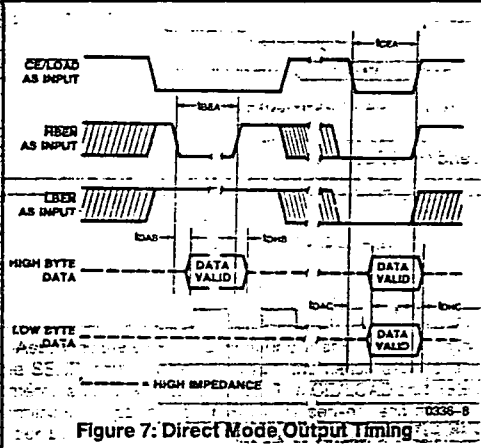


Figure 7: Direct Mode Output Timing

It should be noted that these control inputs are asynchronous with respect to the converter clock — the data may be accessed at any time. Thus it is possible to access the latches while they are being updated, which could lead to erroneous data. Synchronizing the access of the latches with the conversion cycle by monitoring the STATUS output will prevent this. Data is never updated while STATUS is low.

Handshake Mode

The handshake output mode is provided as an alternative means of interfacing the ICL7109 to digital systems, where the A/D converter becomes active in controlling the flow of data instead of passively responding to chip and byte enable inputs. This mode is specifically designed to allow a direct interface between the ICL7109 and industry-standard UARTs (such as the Harris IM6402/3) with no external logic required. When triggered into the handshake mode, the

ICL7109 provides all the control and flag signals necessary to sequentially transfer two bytes of data into the UART and initiate their transmission in serial form. This greatly eases the task and reduces the cost of designing remote data acquisition stations using serial data transmission.

Entry into the handshake mode is controlled by the MODE pin. When the MODE terminal is held high, the ICL7109 will enter the handshake mode after new data has been stored in the output latches at the end of a conversion (See Figures 8 and 9). The MODE terminal may also be used to trigger entry into the handshake mode on demand. At any time during the conversion cycle, the low to high transition of a short pulse at the MODE input will cause immediate entry into the handshake mode. If this pulse occurs while new data is being stored, the entry into handshake mode is delayed until the data is stable. While the converter is in the handshake mode, the MODE input is ignored, and although conversions will still be performed, data updating will be inhibited (See Figure 10) until the converter completes the output cycle and clears the handshake mode.

When the converter enters the handshake mode, or when the MODE input is high, the chip and byte enable terminals become TTL-compatible outputs which provide the control signals for the output cycle (See Figures 8, 9, and 10).

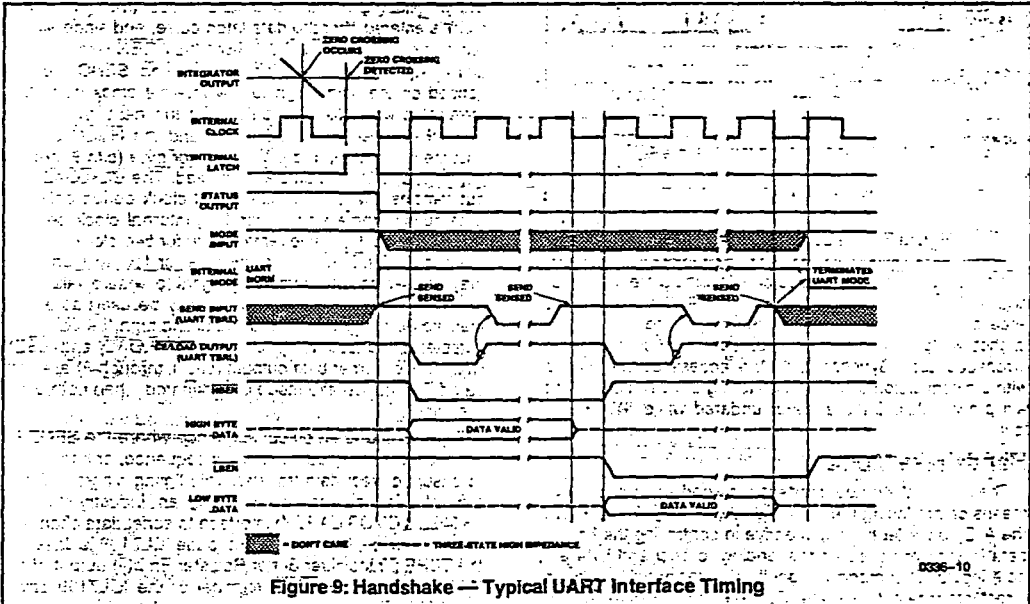
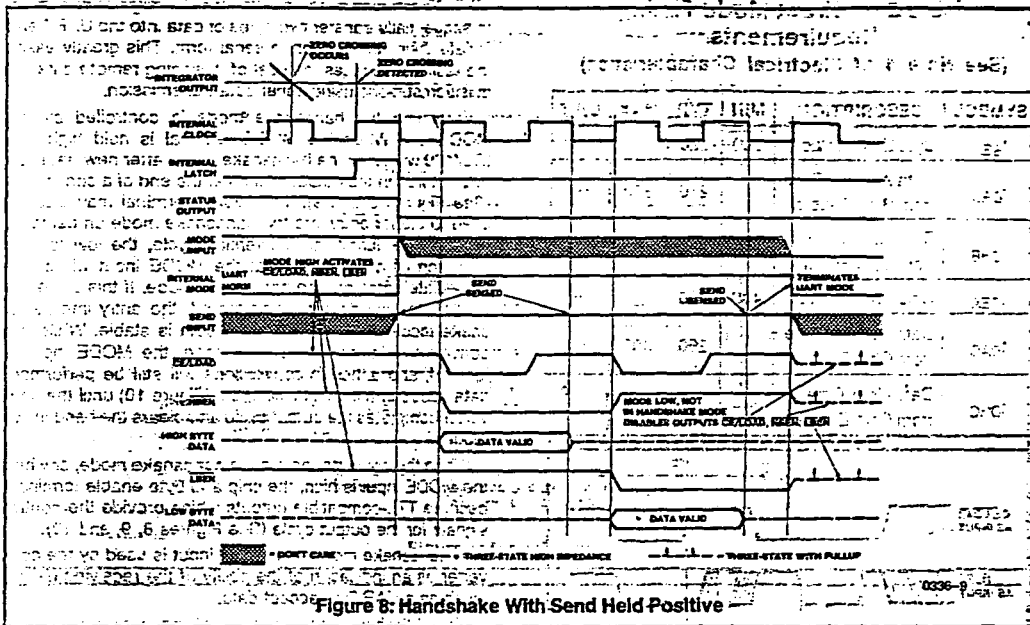
In handshake mode, the SEND input is used by the converter as an indication of the ability of the receiving device (such as a UART) to accept data.

Figure 8 shows the sequence of the output cycle with SEND held high. The handshake mode (internal MODE high) is entered after the data latch pulse, and since MODE remains high the CE/LOAD, LBEN and HBEN terminals are active as outputs. The high level at the SEND input is sensed on the same high to low internal clock edge that terminates the data latch pulse. On the next low to high internal clock edge the CE/LOAD and the HBEN outputs assume a low level, and the high order byte (bits 9 through 12, POL and OR) outputs are enabled. The CE/LOAD output remains low for one full internal clock period only; the data outputs remain active for 1-1/2 internal clock periods; and the high byte enable remains low for two clock periods. Thus the CE/LOAD output low level or low to high edge may be used as a synchronizing signal to ensure valid data, and the byte enable as an output may be used as a byte identification flag. With SEND remaining high the converter completes the output cycle using CE/LOAD and LBEN while the low order byte outputs (bits 1 through 8) are activated. The handshake mode is terminated when both bytes are sent.

Figure 9 shows an output sequence where the SEND input is used to delay portions of the sequence, or handshake to ensure correct data transfer. This timing diagram shows the relationships that occur using an industry-standard IM6402/3 CMOS UART to interface to serial data channels. In this interface, the SEND input to the ICL7109 is driven by the TBRE (Transmitter Buffer Register Empty) output of the UART, and the CE/LOAD terminal of the ICL7109 drives the TBRL (Transmitter Buffer Register Load) input to the UART. The data outputs are paralleled into the eight Transmitter Buffer Register inputs.

3

NOTE: All typical values have been characterized but are not tested.



NOTE: All typical values have been characterized but are not tested.

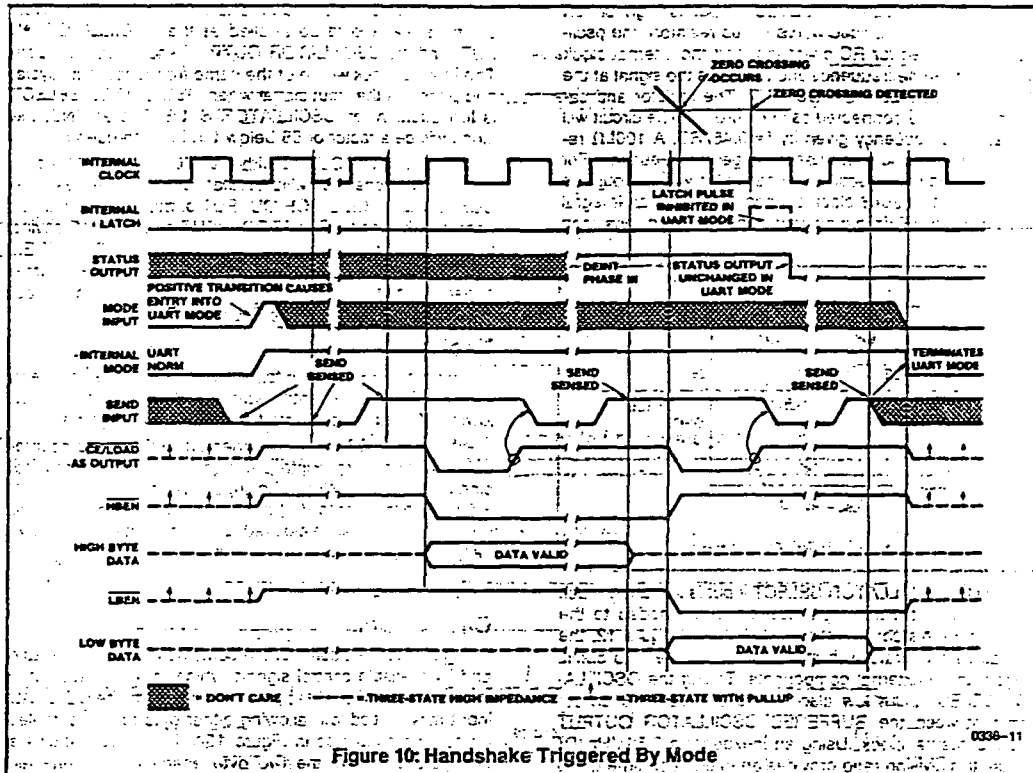


Figure 10: Handshake Triggered By Mode

Assuming the UART Transmitter Buffer Register is empty, the SEND input will be high when the handshake mode is entered after new data is stored. The CE/LOAD and HBEN terminals will go low after SEND is sensed, and the high order byte outputs become active. When CE/LOAD goes high at the end of one clock period, the high order byte data is clocked into the UART Transmitter Buffer Register. The UART TBRE output will now go low, which halts the output cycle with the HBEN output low, and the high order byte outputs active. When the UART has transferred the data to the Transmitter Register and cleared the Transmitter Buffer Register, the TBRE returns high. On the next ICL7109 internal clock high to low edge, the high order byte outputs are disabled, and one-half internal clock later, the HBEN output returns high. At the same time, the CE/LOAD and LBEN outputs go low, and the low order byte outputs become active. Similarly, when the CE/LOAD returns high at the end of one clock period, the low order data is clocked into the UART Transmitter Buffer Register, and TBRE again goes low. When TBRE returns to a high it will be sensed on the next ICL7109 internal clock high to low edge, disabling the data outputs. One-half internal clock later, the handshake mode will be cleared, and the CE/LOAD, HBEN, and LBEN terminals return high and stay active (as long as MODE stays high).

With the MODE input remaining high as in these examples, the converter will output the results of every conversion except those completed during a handshake operation. By triggering the converter into handshake mode with a low to high edge on the MODE input, handshake output sequences may be performed on demand. Figure 10 shows a handshake output sequence triggered by such an edge. In addition, the SEND input is shown as being low when the converter enters handshake mode. In this case, the whole output sequence is controlled by the SEND input, and the sequence for the first (high order) byte is similar to the sequence for the second byte. This diagram also shows the output sequence taking longer than a conversion cycle. Note that the converter still makes conversions, with the STATUS output and RUN/HOLD input functioning normally. The only difference is that new data will not be latched when in handshake mode, and is therefore lost.

Oscillator

The ICL7109 is provided with a versatile three terminal oscillator to generate the internal clock. The oscillator may be overdriven, or may be operated with an RC network or crystal. The OSCILLATOR SELECT input changes the internal configuration of the oscillator to optimize it for RC or crystal operation.

NOTE: All typical values have been characterized but are not tested.

When the OSCILLATOR SELECT input is high or left open (the input is provided with a pullup resistor), the oscillator is configured for RC operation, and the internal clock will be of the same frequency and phase as the signal at the BUFFERED OSCILLATOR OUTPUT. The resistor and capacitor should be connected as in Figure 11. The circuit will oscillate at a frequency given by $f = 0.45/RC$. A 100kΩ resistor is recommended for useful ranges of frequency. For optimum 60Hz line rejection, the capacitor value should be chosen such that 2048 clock periods is close to an integral multiple of the 60Hz period (but should not be less than 50pF).

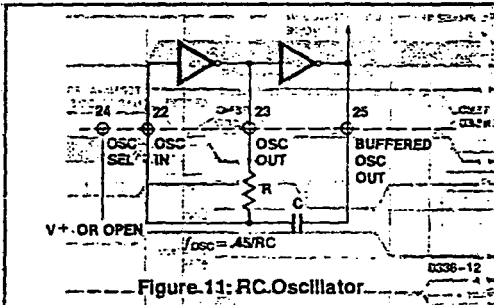


Figure 11: RC Oscillator

When the OSCILLATOR SELECT input is low a feedback device and output and input capacitors are added to the oscillator. In this configuration, as shown in Figure 12, the oscillator will operate with most crystals in the 1 to 5MHz range with no external components. Taking the OSCILLATOR SELECT input low also inserts a fixed 58 divider circuit between the BUFFERED OSCILLATOR OUTPUT and the internal clock.

Using an inexpensive 3.59MHz TV crystal, this division ratio provides an integration time given by:

$$T_{INT} = (2048 \text{ clock periods}) \times (T_{CLOCK}) = 33.18 \text{ ms}$$

where $T_{CLOCK} = \frac{1}{58 \times 3.58 \text{ MHz}}$

This time is very close to two 60Hz periods or 33.33ms. The error is less than one percent, which will give better than 40dB 60Hz rejection. The converter will operate reliably at conversion rates of up to 30 per second, which corresponds to a clock frequency of 245.8kHz.

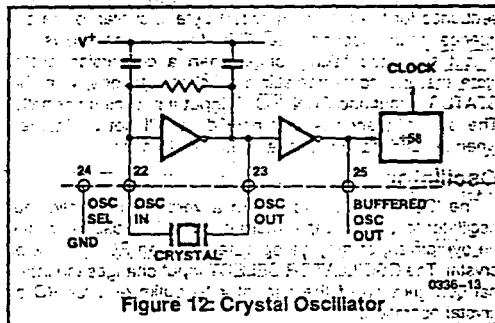


Figure 12: Crystal Oscillator

At any time the oscillator is to be overdriven, the overdriving signal should be applied at the OSCILLATOR INPUT, and the OSCILLATOR OUTPUT should be left open. The internal clock will be of the same frequency, duty cycle, and phase as the input signal when OSCILLATOR SELECT is left open. When OSCILLATOR SELECT is at GND, the clock will be a factor of 58 below the input frequency.

When using the ICL7109 with the TMS6403 UART, it is possible to use one 3.58MHz crystal for both devices. The BUFFERED OSCILLATOR OUTPUT of the ICL7109 may be used to drive the OSCILLATOR INPUT of the UART, saving the need for a second crystal. However, the BUFFERED OSCILLATOR OUTPUT does not have a great deal of drive capability, and when driving more than one slave device, external buffering should be used.

Test Input

When the TEST input is taken to a level halfway between V+ and GND, the counter output latches are enabled, allowing the counter contents to be examined anytime.

When the TEST input is connected to GND, the counter outputs are all forced into the high state, and the internal clock is disabled. When the input returns to the 1/2 (V+ - GND) voltage (or to V+) and one clock is applied, all the counter outputs will be clocked to the low state. This allows easy testing of the counter and its outputs.

INTERFACING

Direct Mode

Figure 13 shows some of the combinations of chip enable and byte enable control signals which may be used when interfacing the ICL7109 to parallel data lines. The CE/LOAD input may be tied low, allowing either byte to be controlled by its own enable as in Figure 13A. Figure 13B shows a configuration where the two byte enables are connected together. In this configuration, the CE/LOAD serves as a chip enable, and the HBEN and LBEN may be connected to GND or serve as a second chip enable. The 14 data outputs will all be enabled simultaneously. Figure 13C shows the HBEN and LBEN as flag inputs, and CE/LOAD as a master enable, which could be the READ strobe available from most microprocessors.

Figure 14 shows an approach to interfacing several ICL7109s to a bus, ganging the HBEN and LBEN signals to several converters together, and using the CE/LOAD inputs (perhaps decoded from an address) to select the desired converter.

NOTE: All typical values have been characterized but are not tested.

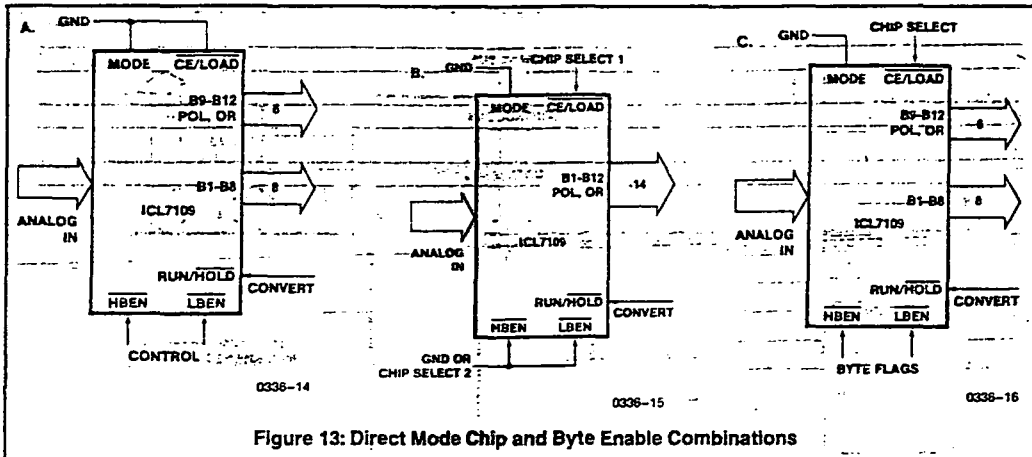


Figure 13: Direct Mode Chip and Byte Enable Combinations

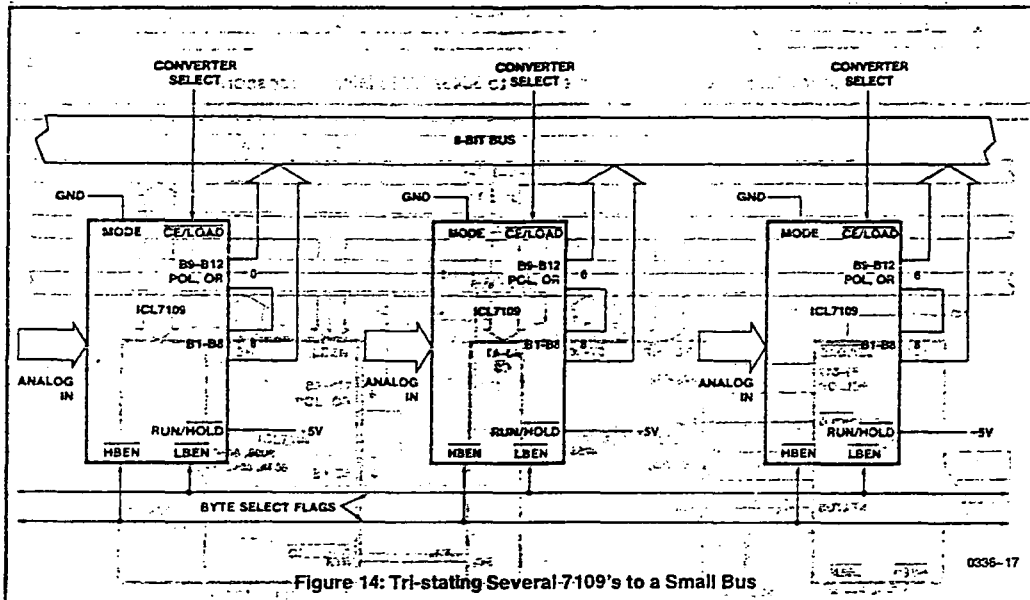


Figure 14: Tri-stating Several 7109's to a Small Bus

Some practical circuits utilizing the parallel three-state output capabilities of the ICL7109 are shown in Figures 15 through 20. Figure 15 shows a straightforward application to the Intel 8048/80/85 microprocessors via an 8255 PPI, where the ICL7109 data outputs are active at all times. The I/O ports of an 8155 may be used in the same way. This interface can be used in a read-anytime mode, although a read performed while the data latches are being updated will lead to scrambled data. This will occur very rarely, in the proportion of setup-skew times to conversion time. One way to overcome this is to read the STATUS output as well, and if it is high, read the data again after a delay of more than 1/2

converter clock period. If STATUS is now low, the second reading is correct, and if it is still high, the first reading is correct. Alternatively, this timing problem is completely avoided by using a read-after-update sequence, as shown in Figure 16. Here the high to low transition of the STATUS output drives an interrupt to the microprocessor causing it to access the data latches. This application also shows the RUN/HOLD input being used to initiate conversions under software control.

A similar interface to Motorola MC6800 or Rockwell R650X systems is shown in Figure 17. The high to low transition of the STATUS output generates an interrupt via the

NOTE: All typical values have been characterized but are not tested.

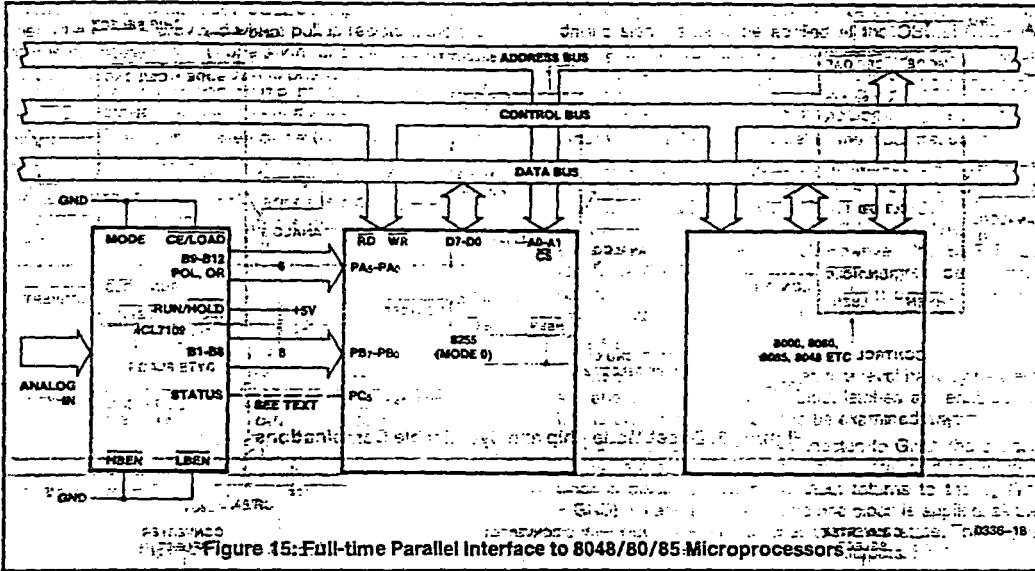


Figure 15: Full-time Parallel Interface to 8048/80/85 Microprocessors

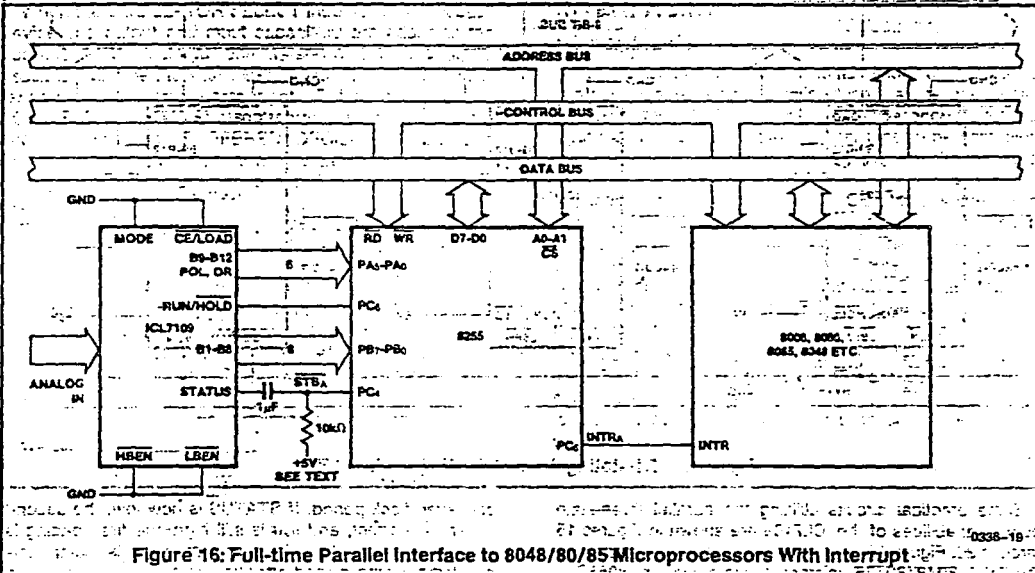


Figure 16: Full-time Parallel Interface to 8048/80/85 Microprocessors With Interrupt

Control Register B CB1-line. Note that CB2 controls the RUN/HOLD pin through Control Register B, allowing software-controlled initiation of conversions in this system as well as the possibility of being programmed to...

The three-state output capability of the ICL7109 allows direct interfacing to most microprocessor busses. Examples of this are shown in Figures 18 and 19. It is necessary to carefully consider the system timing in this type of interface,

to be sure that requirements for setup and hold times, and minimum pulse widths are met. Note also the drive limitations on long buses. Generally this type of interface is only favored if the memory peripheral address density is low so that simple address decoding can be used. Interrupt handling can also require many additional components, and using an interface device will usually simplify the system in this case.

NOTE: All typical values have been characterized but are not tested.

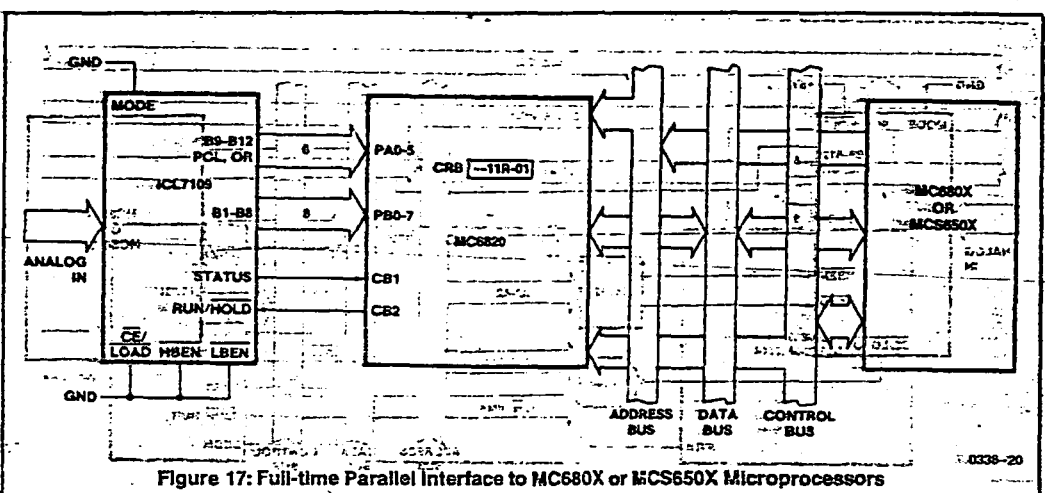


Figure 17: Full-time Parallel Interface to MC680X or MCS650X Microprocessors

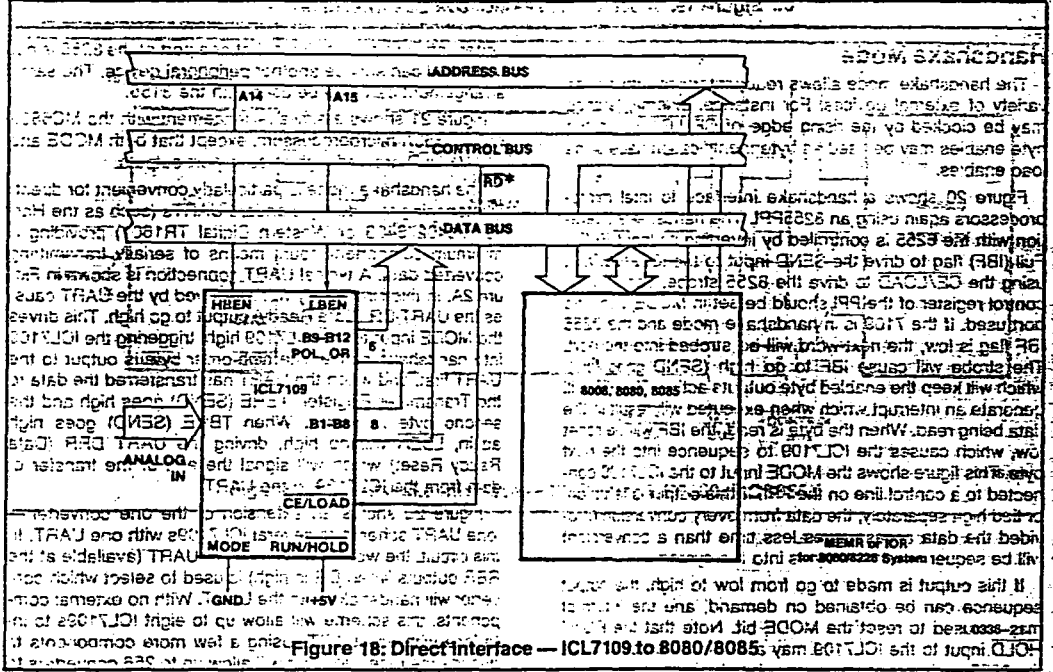


Figure 18: Direct Interface — ICL7109 to 8080/8085

3

NOTE: All typical values have been characterized but are not tested.

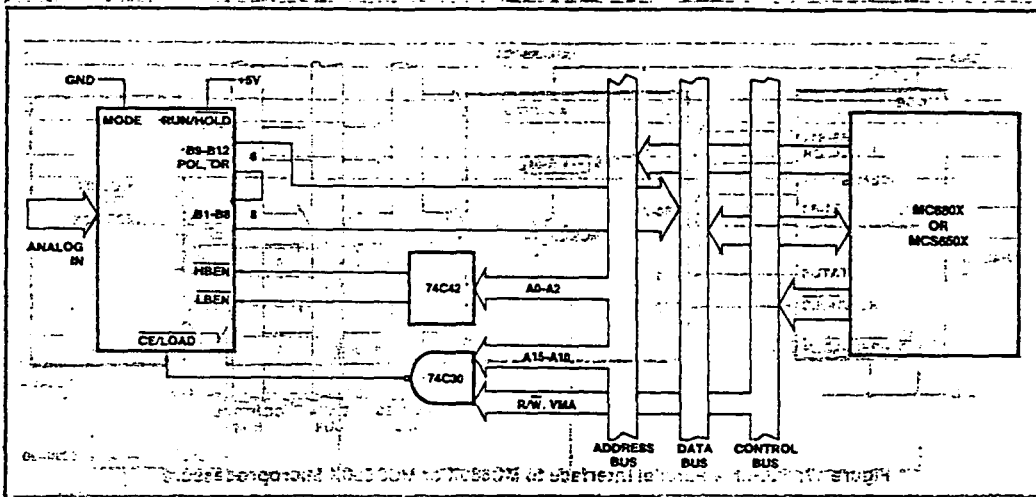


Figure 19: Direct ICL7109 - MC680X Bus Interface

Handshake Mode

The handshake mode allows ready interface with a wide variety of external devices. For instance, external latches may be clocked by the rising edge of CE/LOAD, and the byte enables may be used as byte identification flags or as load enables.

Figure 20 shows a handshake interface to Intel microprocessors again using an 8255PPI. The handshake operation with the 8255 is controlled by inverting its Input Buffer Full (IBF) flag to drive the SEND input to the ICL7109, and using the CE/LOAD to drive the 8255 strobe. The internal control register of the PPI should be set in MODE 1 for the port used. If the 7109 is in handshake mode and the 8255 IBF flag is low, the next word will be strobed into the port. The strobe will cause IBF to go high (SEND goes low), which will keep the enabled byte outputs active. The PPI will generate an interrupt which when executed will result in the data being read. When the byte is read, the IBF will be reset low, which causes the ICL7109 to sequence into the next byte. This figure shows the MODE input to the ICL7109 connected to a control line on the PPI. If this output is left high, or tied high separately, the data from every conversion (provided the data access takes less time than a conversion) will be sequenced in two bytes into the system.

If this output is made to go from low to high, the output sequence can be obtained on demand, and the interrupt may be used to reset the MODE bit. Note that the RUN/HOLD input to the ICL7109 may also be driven by a bit of the 8255 so that conversions may be obtained on command.

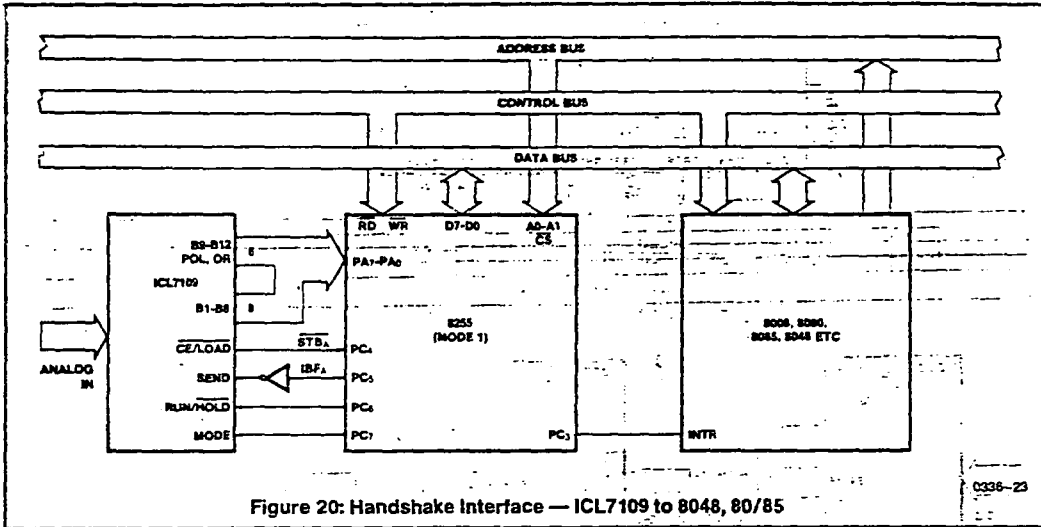
under software control. Note that one port of the 8255 is not used, and can service another peripheral device. The same arrangement can also be used with the 8155.

Figure 21 shows a similar arrangement with the MC6800 or MCS860X microprocessors, except that both MODE and RUN/HOLD are tied high to save port outputs.

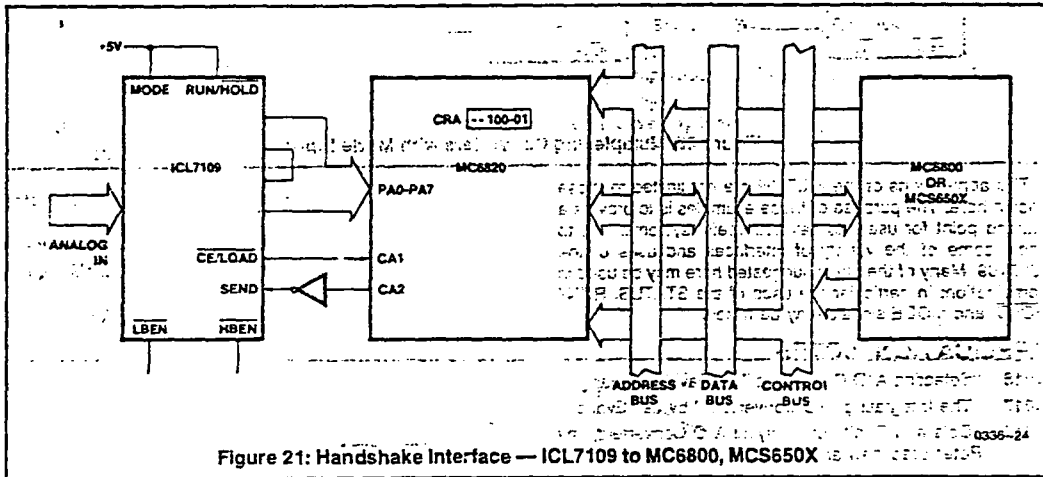
The handshake mode is particularly convenient for directly interfacing to industry standard UARTs (such as the Harris 1M6402/6403 or Western Digital TR1602) providing a minimum component count means of serially transmitting converted data. A typical UART connection is shown in Figure 2A. In this circuit, any word received by the UART causes the UART DR (Data Ready) output to go high. This drives the MODE input to the ICL7109 high, triggering the ICL7109 into handshake mode. The high order byte is output to the UART first, and when the UART has transferred the data to the Transmitter Register, TBRE (SEND) goes high and the second byte is output. When TBRE (SEND) goes high again, LBEN will go high, driving the UART DRR (Data Ready Reset) which will signal the end of the transfer of data from the ICL7109 to the UART.

Figure 22 shows an extension of the one converter - one UART scheme to several ICL7109s with one UART. In this circuit, the word received by the UART (available at the RBR outputs when DR is high) is used to select which converter will handshake with the UART. With no external components, this scheme will allow up to eight ICL7109s to interface with one UART. Using a few more components to decode the received word will allow up to 256 converters to be accessed on one serial line.

NOTE: All typical values have been characterized but are not tested.



0336-23



0336-24

NOTE: All typical values have been characterized but are not tested.

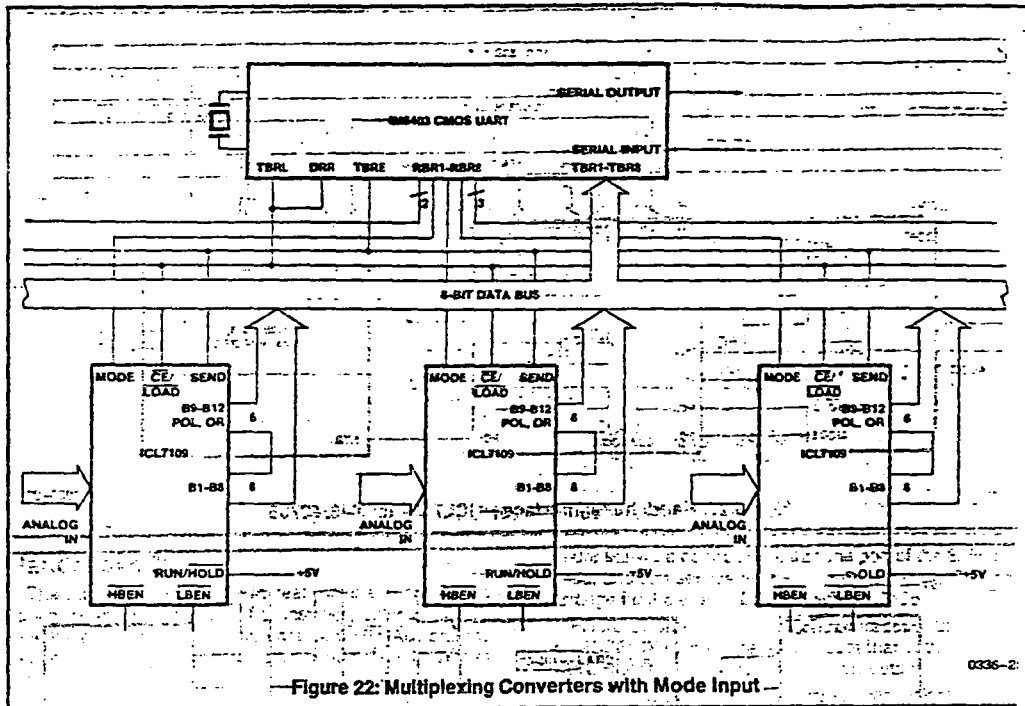


Figure 22: Multiplexing Converters with Mode Input

The applications of the ICL7109 are not limited to those shown here. The purpose of these examples is to provide a starting point for users to develop useful systems, and to show some of the variety of interfaces and uses of the ICL7109. Many of the ideas suggested here may be used in combination; in particular the uses of the STATUS, RUN/HOLD, and MODE signals may be mixed.

APPLICATION NOTES

- A016 "Selecting A/D Converters," by David Fullagar
- A017 "The Integrating A/D Converters," by Lee Evans
- A018 "Do's and Don'ts of Applying A/D Converters," by Peter Bradshaw and Skip Osgood.
- A030 "The ICL7104 -- A Binary Output A/D Converter for Microprocessors," by Peter Bradshaw
- A032 "Understanding the Auto-Zero and Common Mode Performance of the ICL7106 Family," by Peter Bradshaw
- R005 "Interfacing Data Converters & Microprocessors," by Peter Bradshaw et al, Electronics, Dec. 9, 1976.

NOTE: All typical values have been characterized but are not tested.



8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

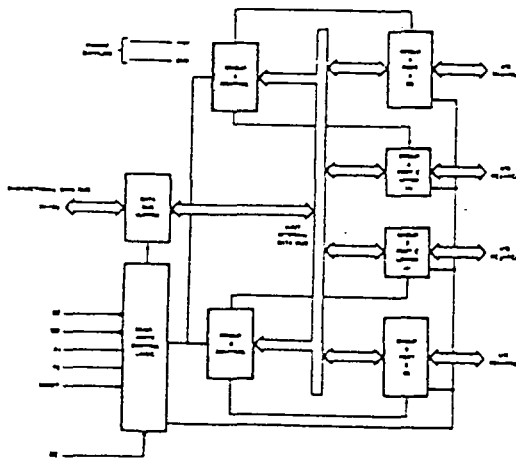


Figure 1. 8255A Block Diagram

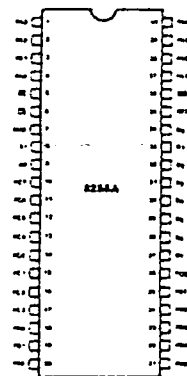


Figure 2. Pin Configuration

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control buses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

(RD)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

(WR)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A₀ and A₁)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A₀ and A₁).

8255A BASIC OPERATION

A ₁	A ₀	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A - DATA BUS
0	1	0	1	0	PORT B - DATA BUS
1	0	0	1	0	PORT C - DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS - PORT A
0	1	1	0	0	DATA BUS - PORT B
1	0	1	0	0	DATA BUS - PORT C
1	1	1	0	0	DATA BUS - CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS - 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS - 3-STATE

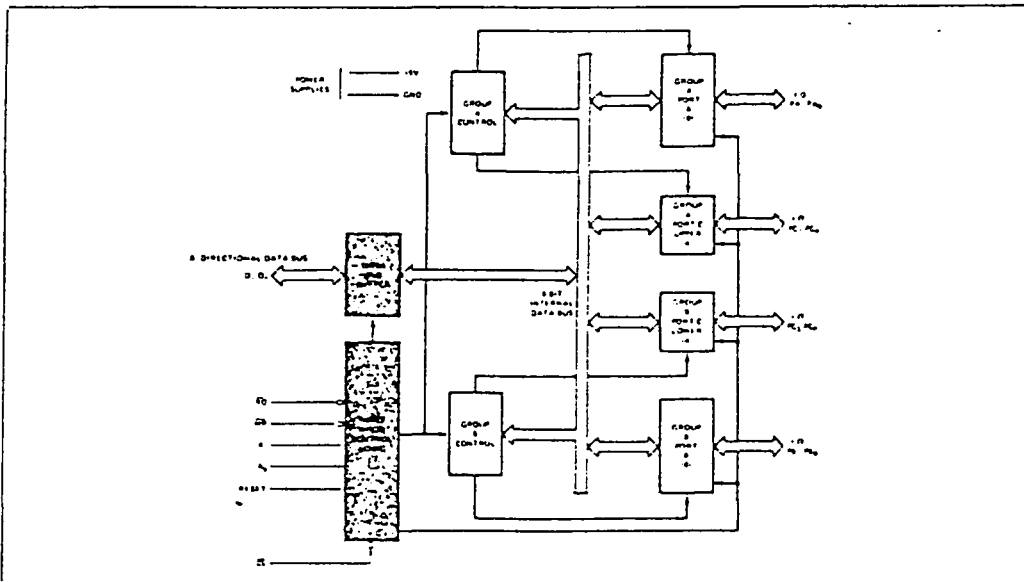


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7-C4)

Control Group B - Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

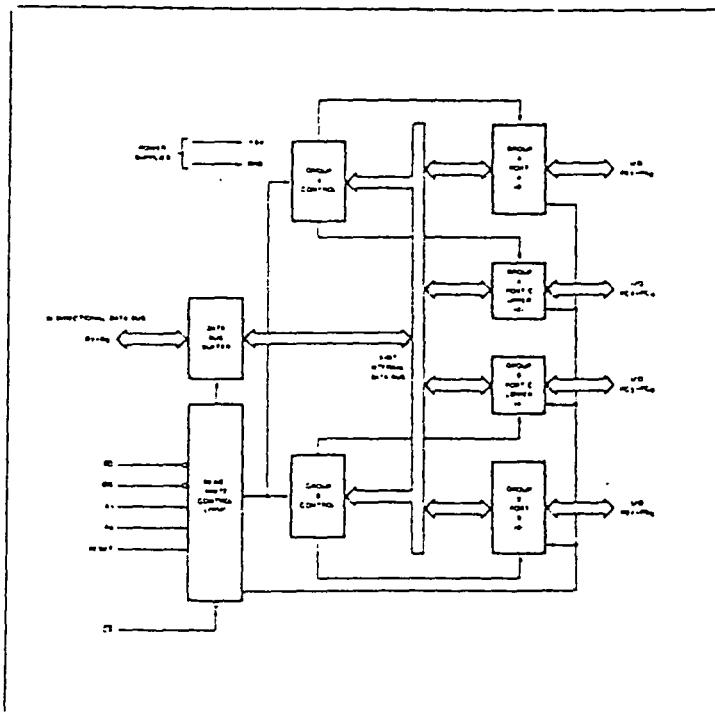
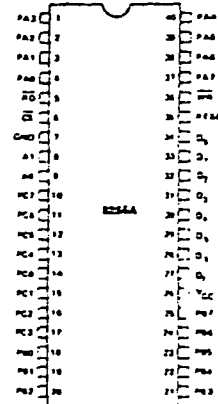


Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D ₇ D ₀	DATA BUS (BIDIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A0 A1	PORT ADDRESS
PA7 PA0	PORT A (8-BIT)
PB7 PB0	PORT B (8-BIT)
PC7 PC0	PORT C (8-BIT)
VCC	+5 VOLTS
GND	0 VOLTS

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 - Basic Input/Output
- Mode 1 - Strobed Input/Output
- Mode 2 - Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results. Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

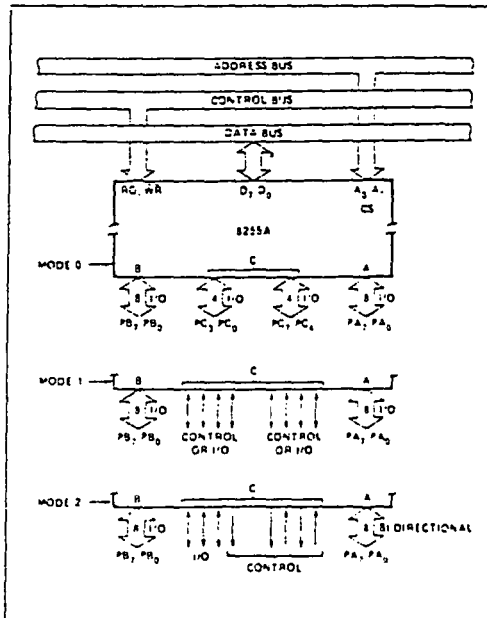


Figure 5. Basic Mode Definitions and Bus Interface

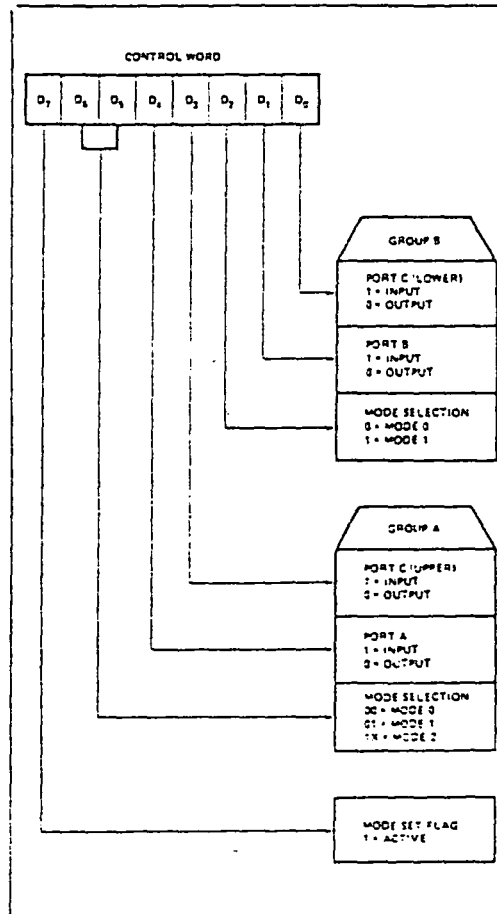


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTPUT instruction. This feature reduces software requirements in Control based applications.

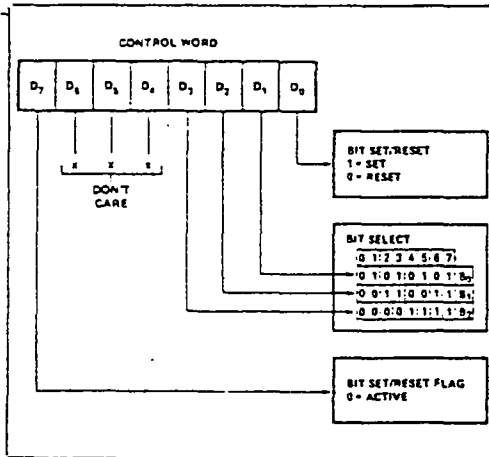


Figure 7: Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

- (BIT-SET) – INTE is SET – Interrupt enable
- (BIT-RESET) – INTE is RESET – Interrupt disable

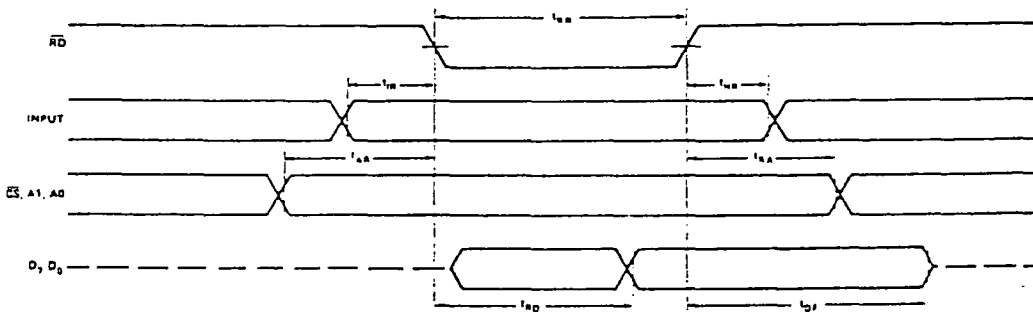
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

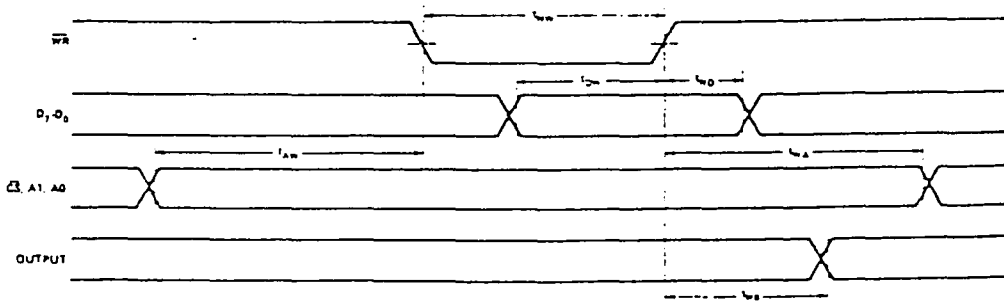
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



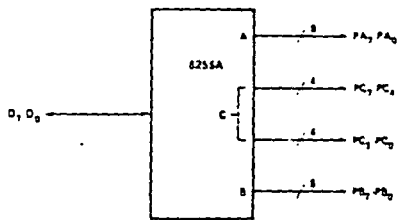
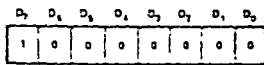
MODE 0 (Basic Output)

MODE 0 Port Definition

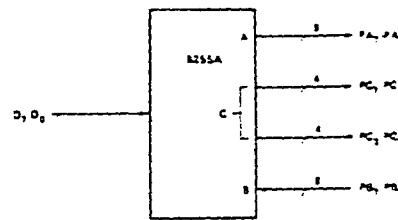
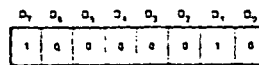
A		B		GROUP A			GROUP B	
D ₄	D ₃	D ₁	D ₀	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

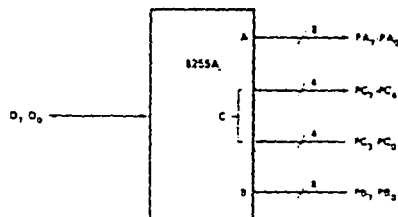
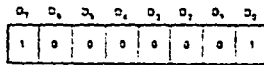
CONTROL WORD #0



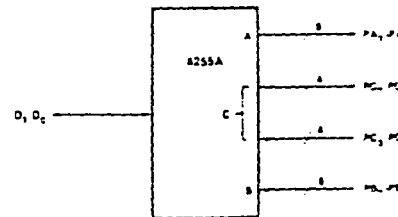
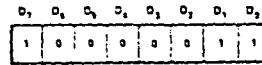
CONTROL WORD #2

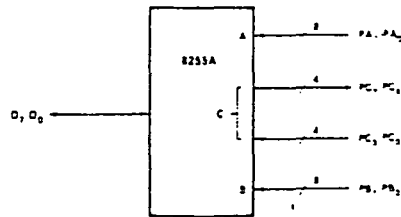
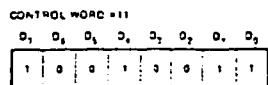
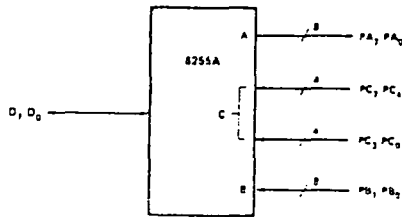
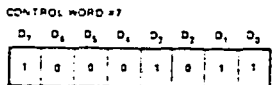
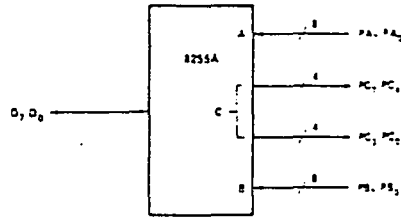
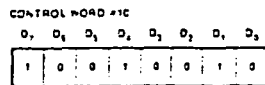
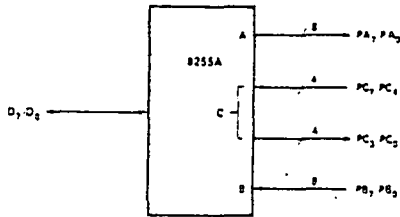
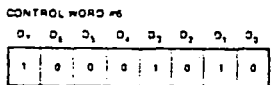
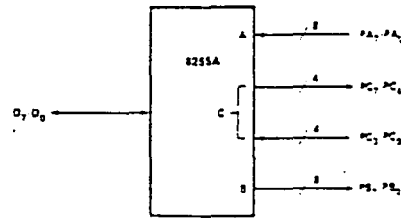
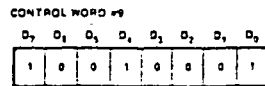
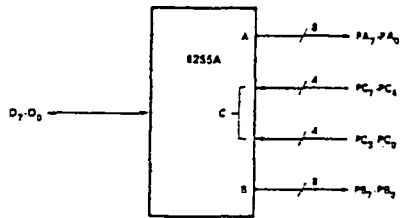
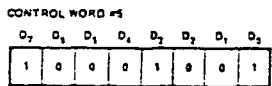
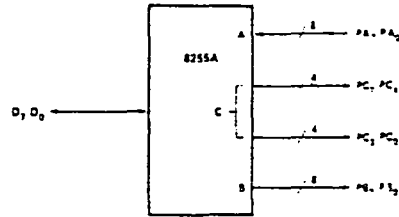
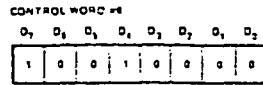
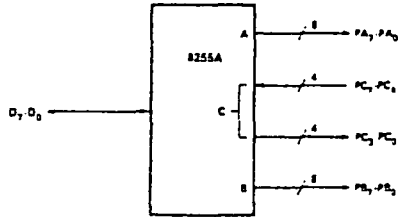
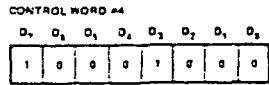


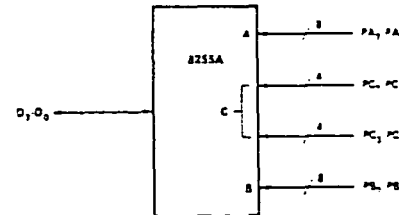
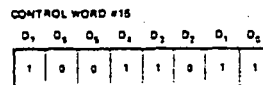
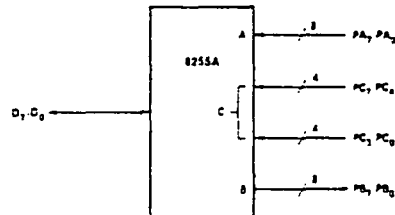
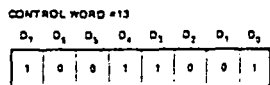
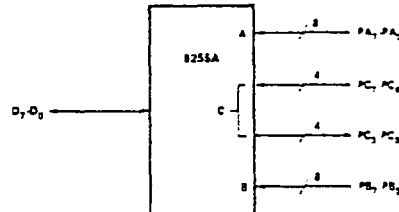
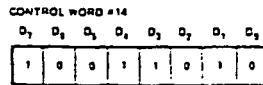
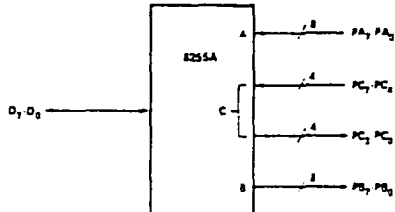
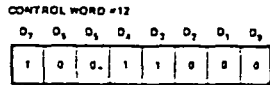
CONTROL WORD #1



CONTROL WORD #3







Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

Input Control Signal Definition

STB (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC₄.

INTE B

Controlled by bit set/reset of PC₂.

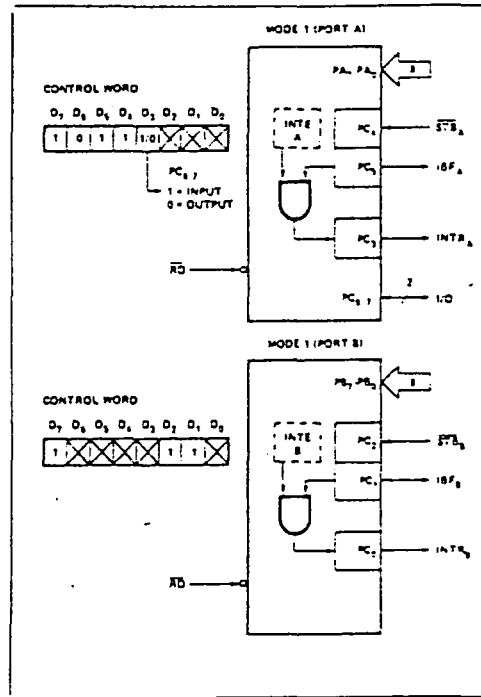


Figure 8. MODE 1 Input

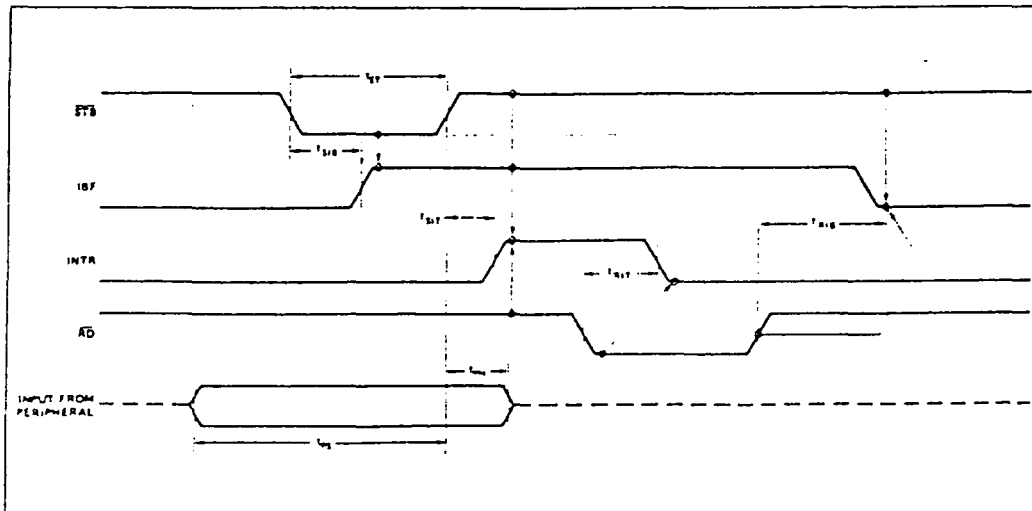


Figure 9. MODE 1 (Strobed Input)

Output Control Signal Definition

OBF (Output Buffer Full F/F). The $\overline{\text{OBF}}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{\text{OBF}}$ F/F will be set by the rising edge of the $\overline{\text{WR}}$ input and reset by $\overline{\text{ACK}}$ input being low.

ACK (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{\text{ACK}}$ is a "one", $\overline{\text{OBF}}$ is a "one", and $\overline{\text{INTE}}$ is a "one". It is reset by the falling edge of $\overline{\text{WR}}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{\text{ACK}}$ is a "one", $\overline{\text{OBF}}$ is a "one", and $\overline{\text{INTE}}$ is a "one". It is reset by the falling edge of $\overline{\text{WR}}$.

INTE A

Controlled by bit set/reset of PC_5 .

INTE B

Controlled by bit set/reset of PC_2 .

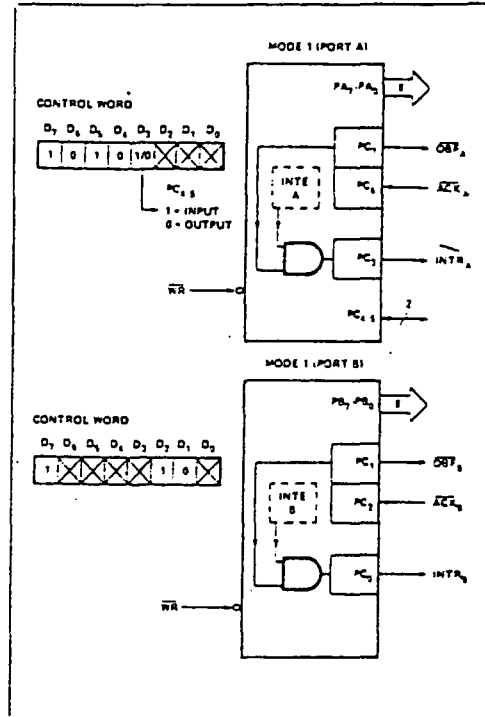


Figure 10. MODE 1 Output

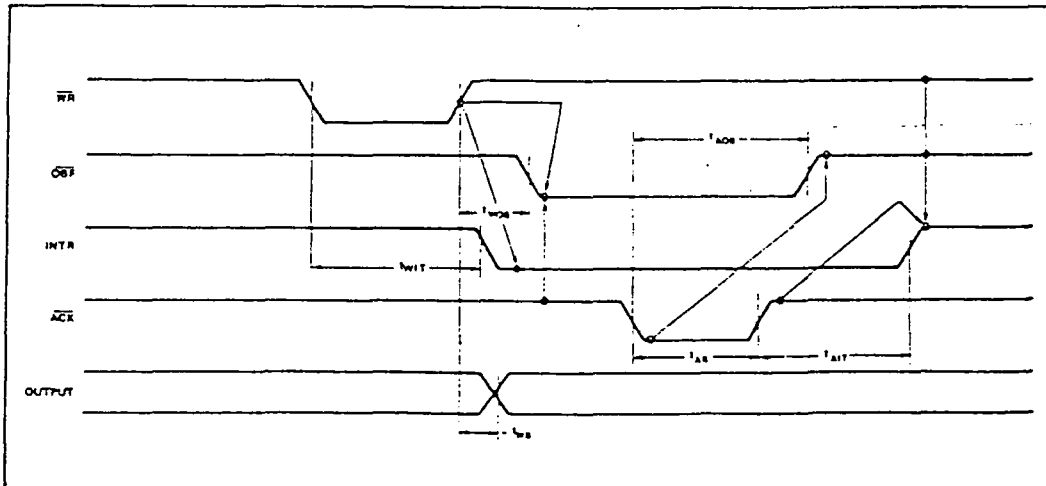


Figure 11. Mode 1 (Strobed Output)

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

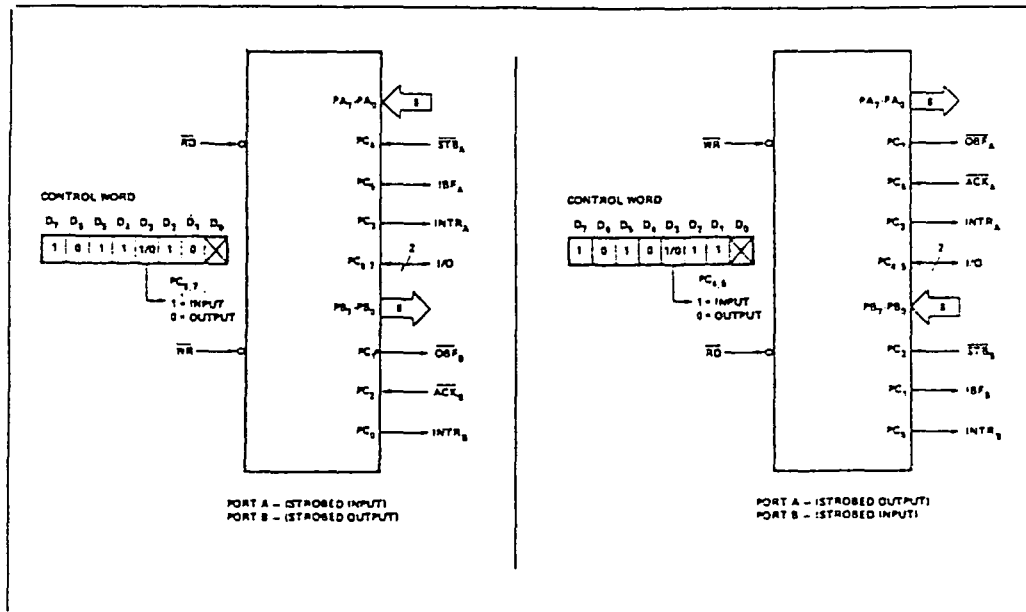


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

OBF (Output Buffer Full). The OBF output will go "low" to indicate that the CPU has written data out to port A.

ACK (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC₆.

Input Operations

STB (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full FIF). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC₄.

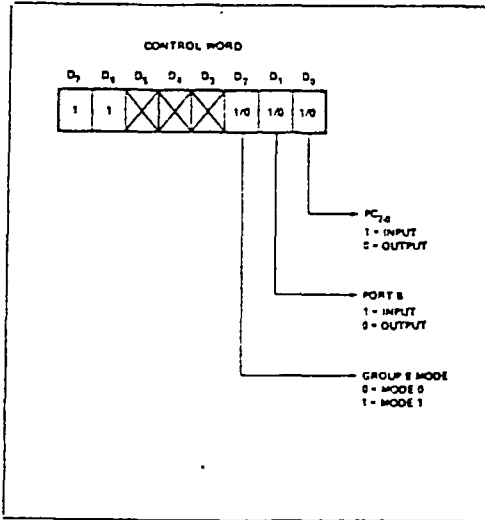


Figure 13. MODE Control Word

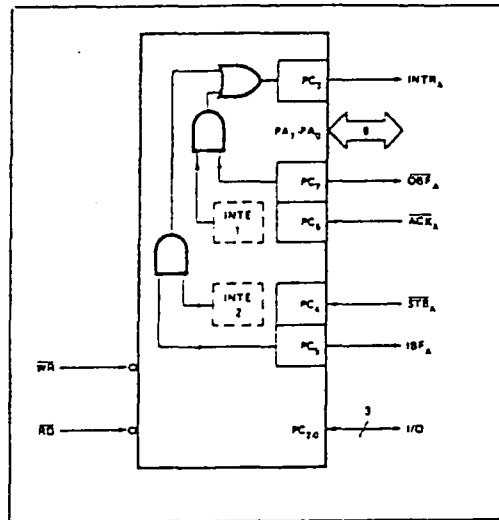


Figure 14. MODE 2

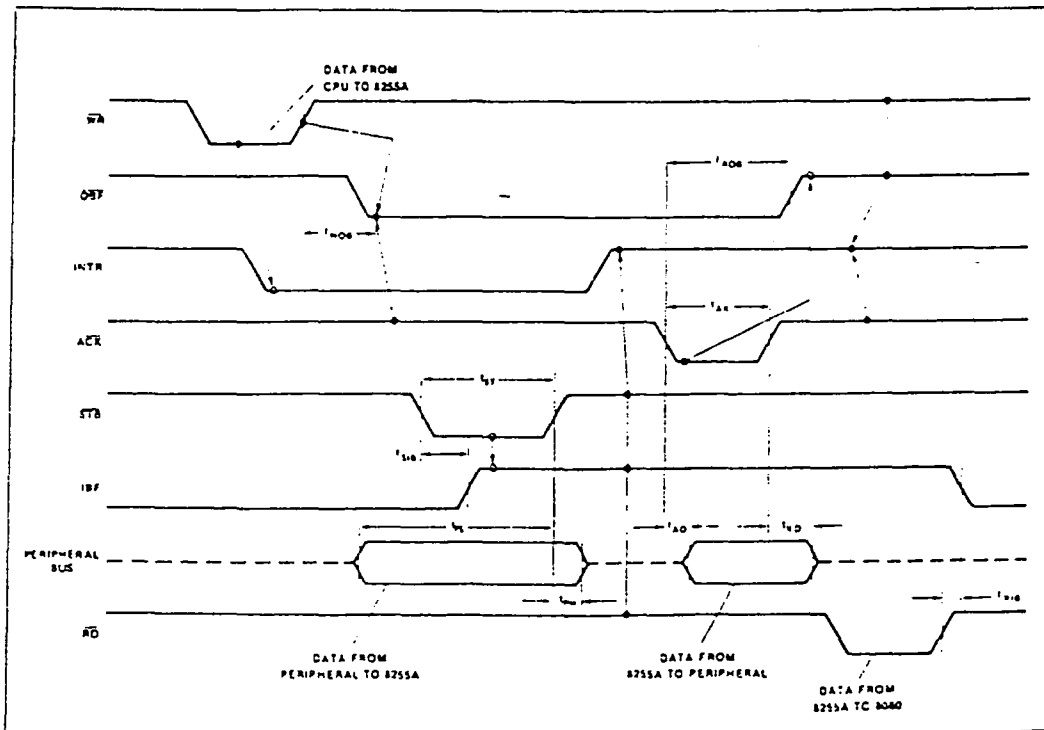


Figure 15. MODE 2 (Bidirectional)

NOTE Any sequence where \overline{WR} occurs before \overline{ACK} and \overline{STB} occurs before \overline{RD} is permissible.
 (INTR • IBF • MASK • \overline{STB} • RD • OBF • MASK • ACK • WR)

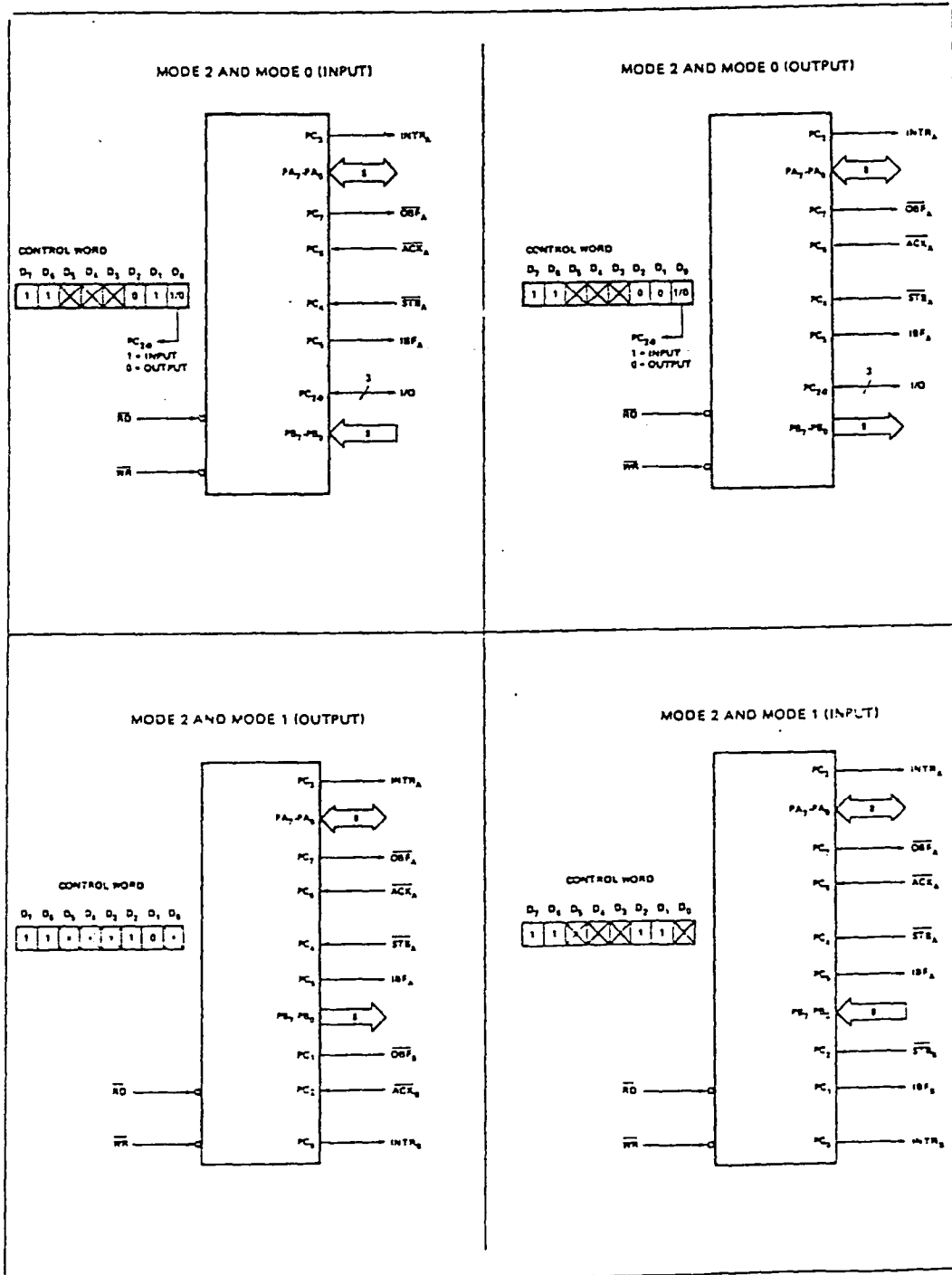


Figure 16. MODE 2 AND MODE 0 Combinations

Mode Definition Summary

	MODE 0		MODE 1		MODE 2
	IN	OUT	IN	OUT	GROUP A ONLY
PA ₇	IN	OUT	IN	OUT	↔
PA ₆	IN	OUT	IN	OUT	↔
PA ₅	IN	OUT	IN	OUT	↔
PA ₄	IN	OUT	IN	OUT	↔
PA ₃	IN	OUT	IN	OUT	↔
PA ₂	IN	OUT	IN	OUT	↔
PA ₁	IN	OUT	IN	OUT	↔
PA ₀	IN	OUT	IN	OUT	↔
PB ₇	IN	OUT	IN	OUT	—
PB ₆	IN	OUT	IN	OUT	—
PB ₅	IN	OUT	IN	OUT	—
PB ₄	IN	OUT	IN	OUT	—
PB ₃	IN	OUT	IN	OUT	—
PB ₂	IN	OUT	IN	OUT	—
PB ₁	IN	OUT	IN	OUT	—
PB ₀	IN	OUT	IN	OUT	—
PC ₇	IN	OUT	INTR _B	INTR _B	I/O
PC ₆	IN	OUT	IBF _B	OBF _B	I/O
PC ₅	IN	OUT	STB _B	ACK _B	I/O
PC ₄	IN	OUT	INTR _A	INTR _A	INTR _A
PC ₃	IN	OUT	STB _A	I/O	STB _A
PC ₂	IN	OUT	IBF _A	I/O	IBF _A
PC ₁	IN	OUT	I/O	ACK _A	ACK _A
PC ₀	IN	OUT	I/O	OBF _A	OBF _A

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs —

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs —

Bits in C upper (PC₇-PC₄) must be individually accessed using the bit set/reset function.

Bits in C lower (PC₃-PC₀) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C

allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly. There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

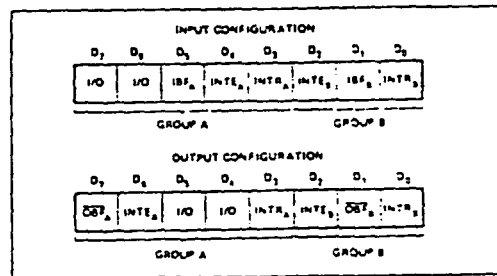


Figure 17. MODE 1 Status Word Format

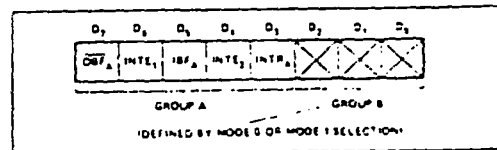


Figure 18. MODE 2 Status Word Format

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

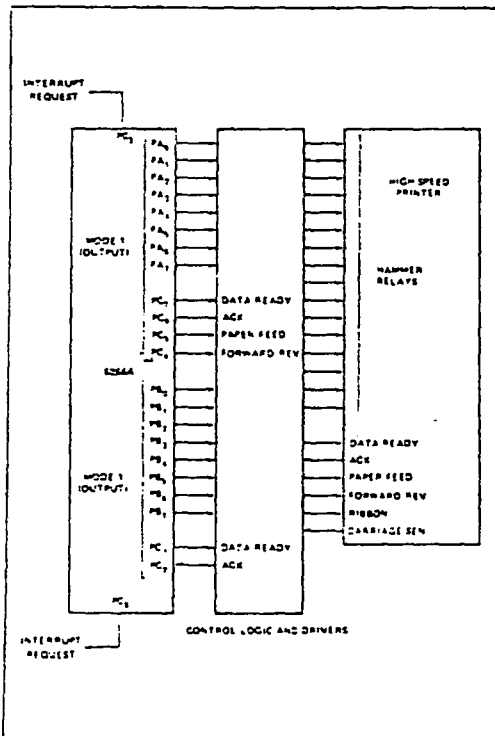


Figure 19. Printer Interface

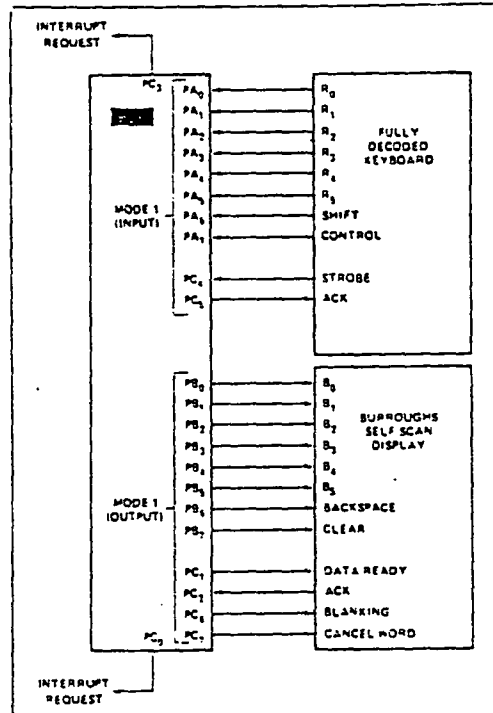


Figure 20. Keyboard and Display Interface

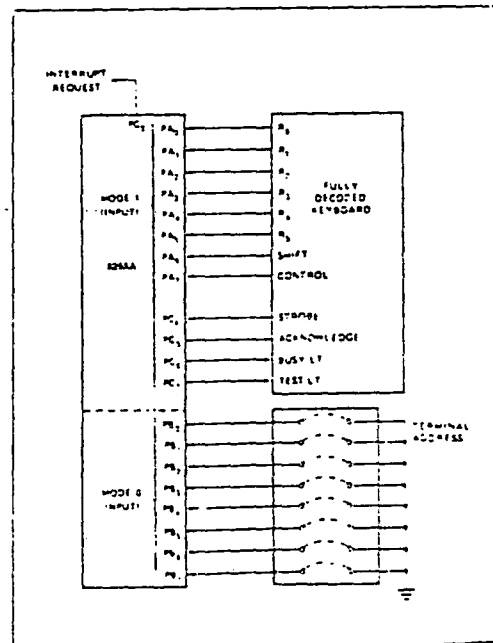


Figure 21. Keyboard and Terminal Address Interface

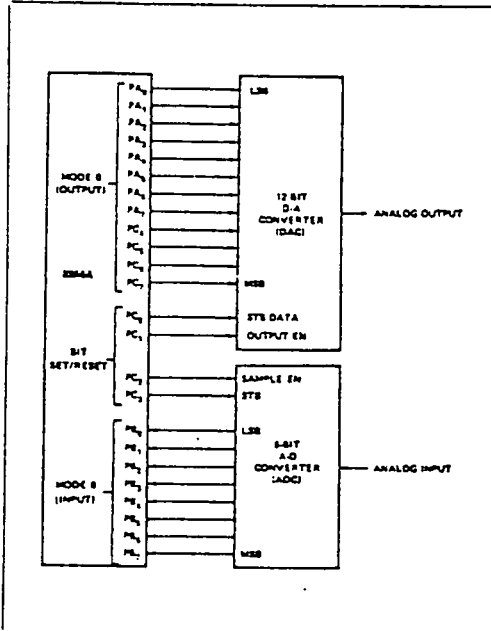


Figure 22. Digital to Analog, Analog to Digital

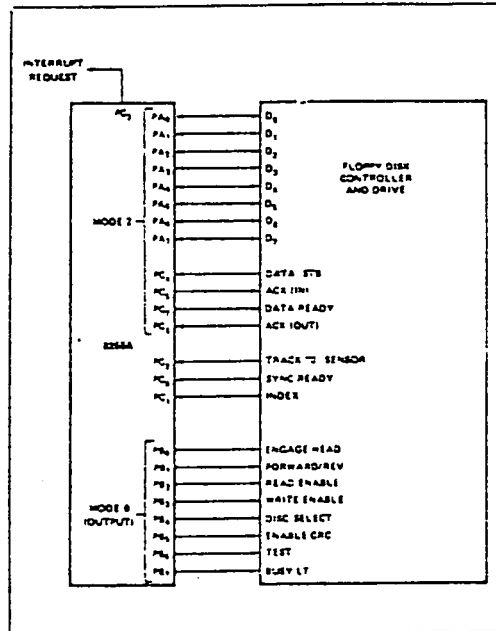


Figure 23. Basic Floppy Disk Interface

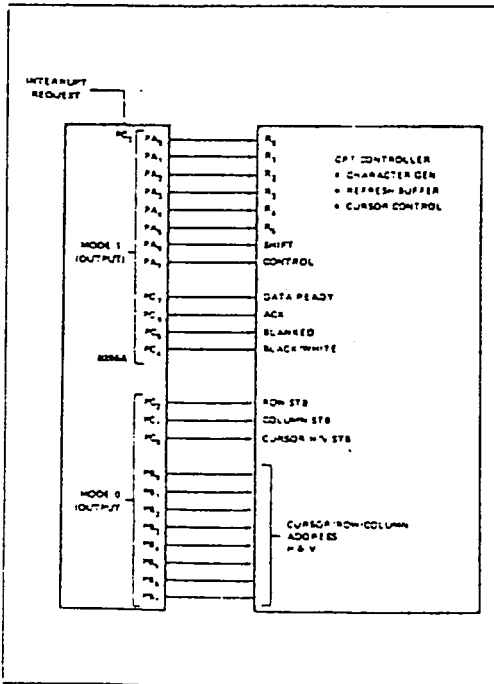


Figure 24. Basic CRT Controller Interface

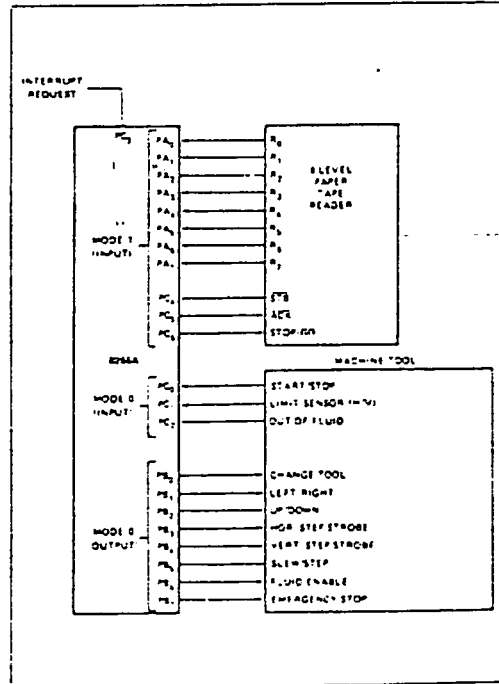


Figure 25. Machine Tool Controller Interface



ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. 0°C to 70°C
 Storage Temperature -65°C to +150°C
 Voltage on Any Pin
 With Respect to Ground. -0.5V to +7V
 Power Dissipation 1 Watt

**NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

D.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = -5V \pm 10\%$, $GND = 0V$)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
$V_{OL}(DB)$	Output Low Voltage (Data Bus)		0.45*	V	$I_{OL} = 2.5\text{mA}$
$V_{OL}(PER)$	Output Low Voltage (Peripheral Port)		0.45*	V	$I_{OL} = 1.7\text{mA}$
$V_{OH}(DB)$	Output High Voltage (Data Bus)	2.4		V	$I_{OH} = -400\mu\text{A}$
$V_{OH}(PER)$	Output High Voltage (Peripheral Port)	2.4		V	$I_{OH} = -200\mu\text{A}$
$I_{DAR}^{(1)}$	Darlington Drive Current	-1.0	-4.0	mA	$R_{EXT} = 750\Omega$; $V_{EXT} = 1.5V$
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		± 10	μA	$V_{IN} = V_{CC}$ to 0V
I_{OFL}	Output Float Leakage		± 10	μA	$V_{OUT} = V_{CC}$ to .45V

NOTE:

1. Available on any 8 pins from Port B and C.

CAPACITANCE ($T_A = 25^\circ\text{C}$, $V_{CC} = GND = 0V$)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	$f_c = 1\text{MHz}$
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS ($T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = -5V \pm 10\%$, $GND = 0V$)*

Bus Parameters
READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ ⁽¹⁾		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

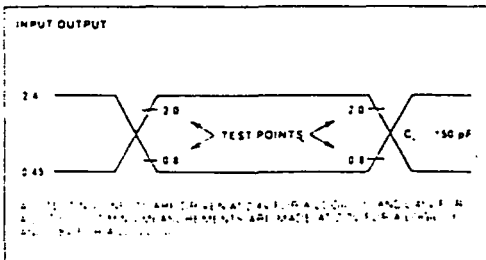
OTHER TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output ⁽¹⁾		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{IR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output ⁽¹⁾		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0 ⁽¹⁾		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1 ⁽¹⁾		350		350	ns
t_{SIB}	STB = 0 to IBF = 1 ⁽¹⁾		300		300	ns
t_{PIB}	RD = 1 to IBF = 0 ⁽¹⁾		300		300	ns
t_{RiT}	RD = 0 to INTR = 0 ⁽¹⁾		400		400	ns
t_{SiT}	STB = 1 to INTR = 1 ⁽¹⁾		300		300	ns
t_{AiT}	ACK = 1 to INTR = 1 ⁽¹⁾		350		350	ns
t_{WiT}	WR = 0 to INTR = 0 ^(1,3)		<50		<50	ns

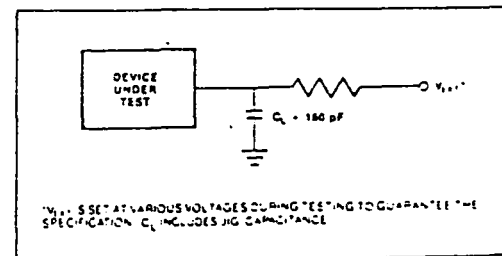
NOTES:

1. Test Conditions: $C_L = 150$ pF
 2. Period of Reset pulse must be at least 50 μ s during or after power on. Subsequent Reset pulse can be 500 ns min.
 3. INTR^{*} may occur as early as \overline{WR} .
- * For Extended Temperature EXPRESS use M8255A electrical parameters

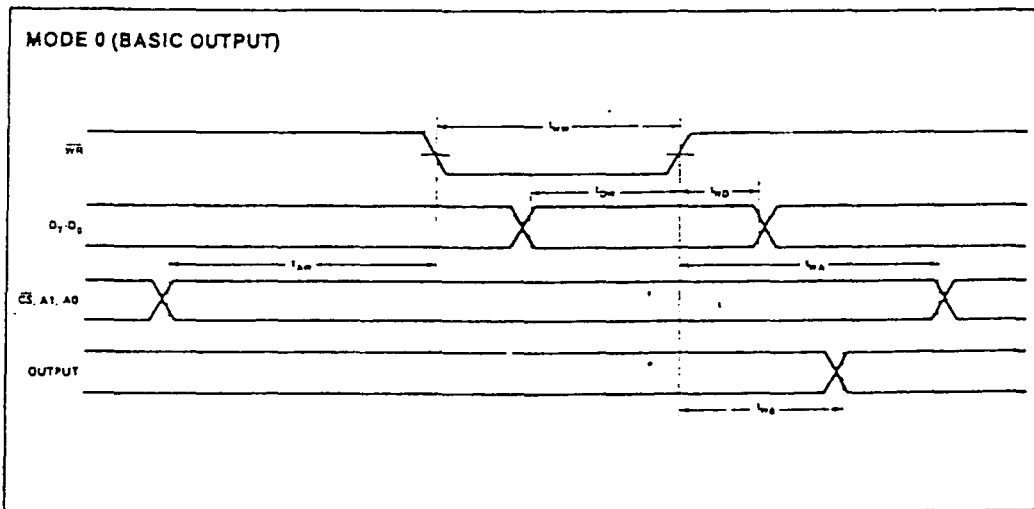
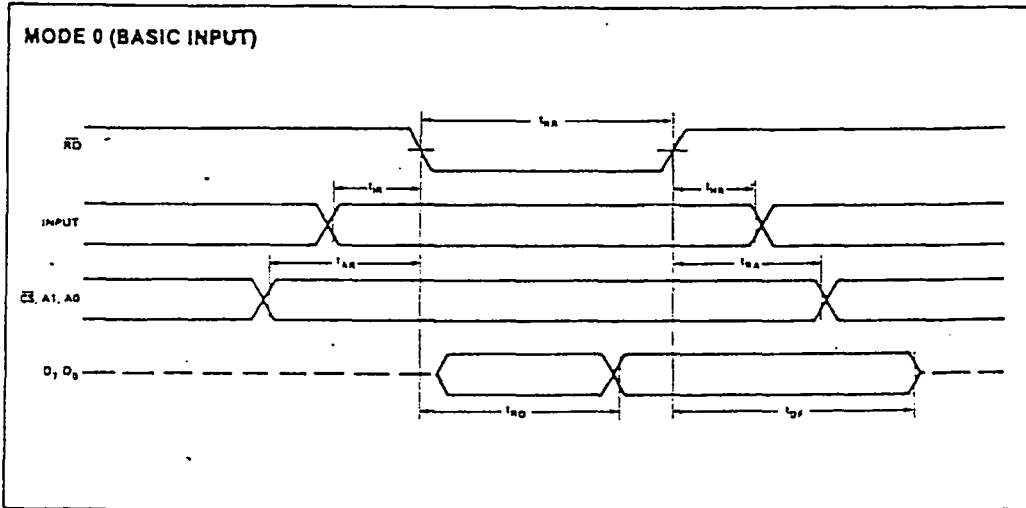
A.C. TESTING INPUT, OUTPUT WAVEFORM



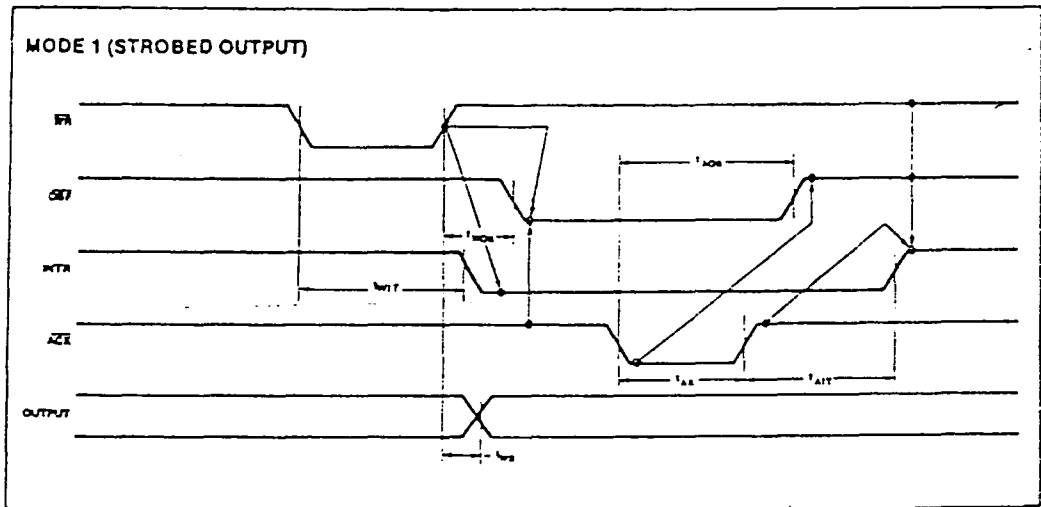
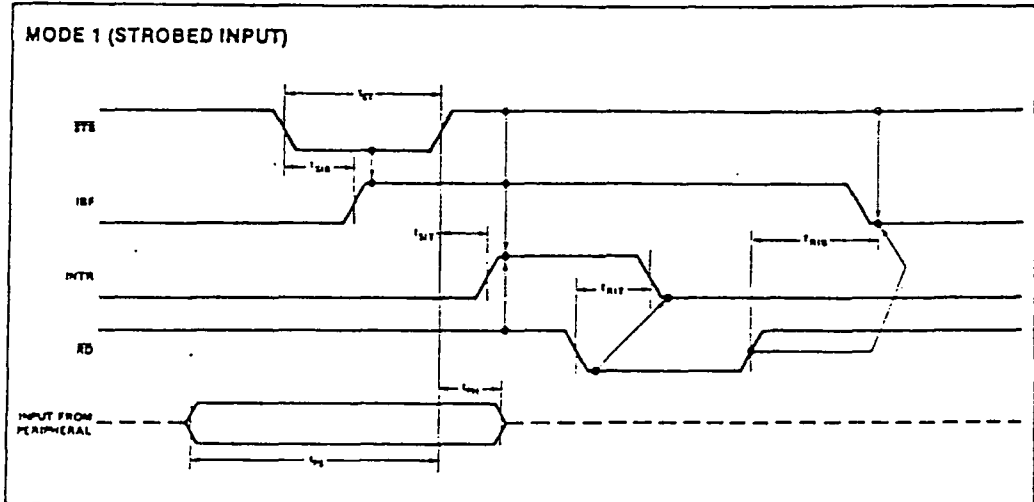
A.C. TESTING LOAD CIRCUIT



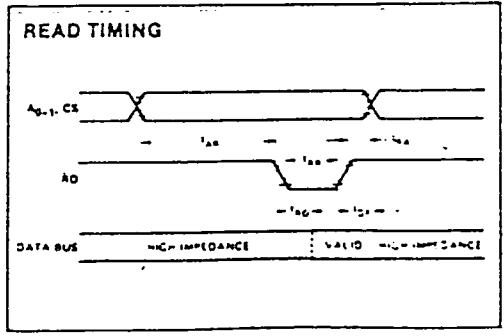
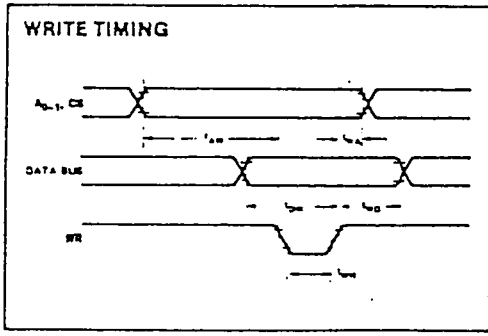
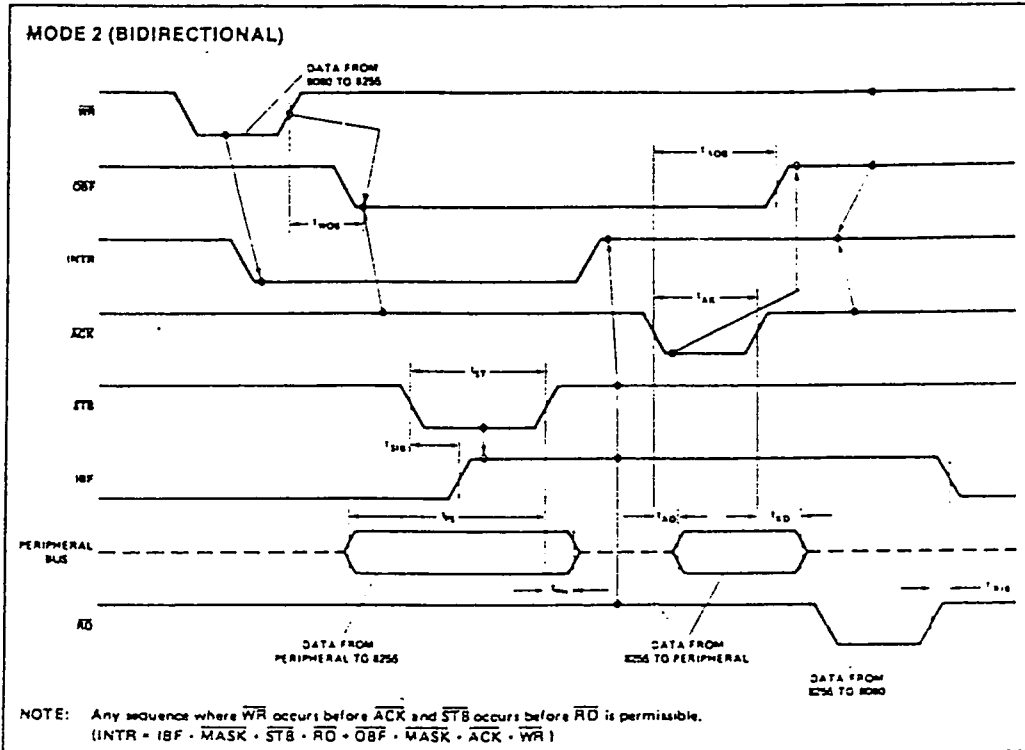
WAVEFORMS



WAVEFORMS (Continued)



WAVEFORMS (Continued)



บรรณานุกรม

1. Takashi Kenjo , Stepping Motors and their Microcomputer Control ,1990
2. William J Mooney, Optoelectronic Devices and Principle, Praticice - Hall , Inc,1990
3. J. Wilson JFB Hawkes, LASER Priciple and Application,1990
4. Daniel H. Sheingold, Analog - Digital Conversion Handbook, Printice-Hall Englewood Cliffs,1990
5. จิติ หนูแก้ว , เทคนิคการเชื่อมต่อ IBM PC กับอุปกรณ์ภายนอกเพื่อประยุกต์ใช้งานต่าง ๆ, ซีเอ็ดดูเคชั่น ,2535
6. มนต์วี พจนารถลาวัญย์, การเขียนโปรแกรมคอมพิวเตอร์ด้วยเทอร์โบปาสคาล ,ซีเอ็ดดูเคชั่น ,2535
7. สีน กุ๋ววรรณ , ทฤษฎีและการใช้งานไมโครโปรเซสเซอร์ z-80 ,ซีเอ็ดดูเคชั่น ,2533
8. บุญเลิศ เอี่ยมทัศนาศนา , เรียนรู้ภาษาปาสคาลด้วยเทอร์โบปาสคาล 4.0-5.0,ซีเอ็ดดูเคชั่น ,2532
9. ชีชวาล ..ยนต์หงส์, แนะนำภาษา Pascal โดย Turbo Pascal, สำนักพิมพ์โอเดียนสโตร์,2532
10. วุทธิ พันธุมนาวิน, เลเซอร์ฟิสิกส์ ,สถาบันเทคโนโลยีพระจอมเกล้า ธนบุรี,2532

ประวัติผู้เขียน

นาย ไพสิฐ ตั้งกิจศิริ เกิดเมื่อวันที่ 28 มีนาคม พ.ศ.2515 ที่จังหวัดอุบลราชธานี สำเร็จ การศึกษาระดับประถมศึกษาและมัธยมศึกษาตอนต้น จากโรงเรียน อัสสัมชัญอุบลราชธานี เมื่อปี การศึกษา 2529 และสำเร็จระดับมัธยมศึกษาตอนปลายจาก โรงเรียนสุรศักดิ์มนตรี เมื่อปีการศึกษา 2532 และเข้าศึกษาต่อในระดับอุดมศึกษา ในสาขาฟิสิกส์ประยุกต์(โพลีเทคนิคอิเล็กทรอนิกส์) คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง ตั้งแต่ปีการศึกษา 2533 เลขประจำตัว 33504026

ประวัติการฝึกงาน

บริษัท ชินวัตร เพจจิ่ง จำกัด เมื่อ 1 เมษายน-30 พฤษภาคม 2536

ผลงาน เขียน software เกี่ยวกับฐานข้อมูลโดยใช้โปรแกรม FOXBASE

นางสาว กัทรีธา ฐาปนพาหะ เกิดเมื่อวันที่ 2 ธันวาคม พ.ศ.2515 ที่จังหวัด กทม สำ
เร็จการศึกษาระดับประถมศึกษาและมัธยมศึกษาตอนต้น จากโรงเรียน อัสสัมชัญคอนแวนต์ เมื่อ
ปีการศึกษา 2529 และสำเร็จระดับมัธยมศึกษาตอนปลายจาก โรงเรียนเตรียมอุดมศึกษา เมื่อปี
การศึกษา 2532 และเข้าศึกษาต่อในระดับอุดมศึกษา ในสาขาอิเล็กทรอนิกส์ (โพลีเทคนิคอิเล็กทรอนิกส์)
คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง ตั้งแต่
ปีการศึกษา 2533 เลขประจำตัว 33504027

ประวัติการทำงาน

บริษัท จักรवालคอมมิวนิเคชั่น ซิสเต็ม จำกัด เมื่อ 1 เมษายน-30 เมษายน 2536
ผลงาน ติดตั้งและตรวจซ่อม โมเด็ม ตามบริษัทต่าง ๆ และให้คำปรึกษาในการออก
แบบระบบสื่อสารข้อมูล

นาย พูลลาภ ธีรวาณิชย์ผล เกิดที่จังหวัด กรุงเทพมหานคร สำเร็จการศึกษาระดับมัธยมศึกษาตอนต้น และตอนปลาย จาก โรงเรียน บดินทรเดชา เมื่อปีการศึกษา 2532 และเข้าศึกษาต่อในระดับอุดมศึกษา ในสาขา ศึกษาศาสตร์ประยุกต์ (โซลิตัสเทคโนโลยีเลคทอนิกส์) คณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง ตั้งแต่ปีการศึกษา 2533 เลขประจำตัว 33504027