

วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่

A NOVEL VOLTAGE CLAMP-COUPLED-INDUCTOR BOOST CONVERTER

กวีวัชร ทัตติวงษ์

KAWEEWAT TATTIWONG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2560

KMITL-2017-EN-D-018-025

วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่

A NOVEL VOLTAGE CLAMP COUPLED-INDUCTOR BOOST CONVERTER



T148245

กวีวัชร์ ทัตติวงษ์

KAWEEWAT TATTIWONG

เลขหมู่.....
เลขทะเบียน 148245
วันเดือนปี 18 เม. 2560

18867809

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2560

KMITL-2017-EN-D-018-025

A NOVEL VOLTAGE CLAMP COUPLED-INDUCTOR BOOST CONVERTER

KAWEEWAT TATTIWONG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2017
KMITL-2017-EN-D-018-025

COPYRIGHT 2017

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรแควมพ์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่
Thesis Title A Novel Voltage Clamp Coupled-inductor Boost Converter
นักศึกษา นายกวีวัชร ทัดวงษ์
รหัสประจำตัว 56601455
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.ชรินทร์ บุญลักษณ์านุสรณ์
หมายเลขวิทยานิพนธ์ KMITL-2017-EN-D-018-025

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.โยธิน	เปรมปราณีรัชต์	โยธิน พ
รศ.ดร.สุพัฒน์	กิตติรัตน์สัจจา	สุพัฒน์ รส
ผศ.ดร.นนทวัฒน์	จุลเดชะ	นนทวัฒน์ รส
รศ.ดร.อานันท์วัฒน์	คุณากร	อานันท์วัฒน์ รส
รศ.ดร.ชรินทร์	บุญลักษณ์านุสรณ์	ชรินทร์ รส

วัน / เดือน / ปี ที่สอบ วันจันทร์ที่ 22 พฤษภาคม พ.ศ. 2560 เวลา 10.00-12.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 4

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์
วันที่ 22 พฤษภาคม พ.ศ. 2560

หัวข้อวิทยานิพนธ์	วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่
นักศึกษา	นายกวีวัชร ทัตวงษ์
รหัสประจำตัว	56601455
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2560
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ. ดร. ชรินทร์ บุญลักษณานุสรณ์

บทคัดย่อ

ปัจจุบันวงจรดีซี-ดีซีคอนเวอร์เตอร์ที่มีอัตราส่วนการแปลงแรงดันสูงมีการใช้งานอย่างแพร่หลายในระบบอิเล็กทรอนิกส์กำลังสมัยใหม่ เช่น ระบบการผลิตกระแสไฟฟ้าจากแหล่งพลังงานทางเลือก (Alternative energy sources) แหล่งจ่ายกำลังไฟฟ้าสำหรับเครื่องคอมพิวเตอร์เซิร์ฟเวอร์ในสถานีสื่อสารข้อมูล เป็นต้น วงจรดีซี-ดีซีคอนเวอร์เตอร์ทำหน้าที่หลักในการเพิ่มแรงดันค่าต่ำจากแหล่งพลังงานทางเลือกหรือแบตเตอรี่ เป็นแรงดันที่สูงขึ้นเหมาะกับการนำไปใช้งาน วิทยานิพนธ์นี้นำเสนอวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่ ซึ่งพัฒนามาจากวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบเดิม โดยการเพิ่มตัวเก็บประจุและไดโอดอย่างละหนึ่งตัว วงจรใหม่ที่นำเสนอนี้มีอัตราขยายที่สูงกว่าแต่ยังคงรักษาแรงดันคร่อมสวิตช์ให้มีค่าเท่ากับวงจรเดิม ในวิทยานิพนธ์จะกล่าวถึงหลักการทำงานและการวิเคราะห์การทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่ รวมทั้งนำเสนอผลการทดสอบวงจรต้นแบบที่สร้างขึ้น จากผลการทดสอบพบว่า วงจรต้นแบบมีการทำงานที่สอดคล้องกับผลการวิเคราะห์ทางทฤษฎี และมีประสิทธิภาพสูงสุด 92.69%

Thesis Title	A novel voltage clamp coupled-inductor boost converter
Student	Mr. Kaweewat Tattiwong
Student ID.	56601455
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2017
Thesis Advisor	Assoc. Prof. Dr. Chanin Bunlaksananusorn

ABSTRACT

Nowadays, a DC-DC converter with a high step-up voltage gain has become an essential component in modern power electronics applications e.g. an electricity generation from alternative energy sources, a power supply for a computer server in telecommunication centers, etc. The main function of the DC-DC converter in these systems is to increase a low voltage from the alternative energy sources/battery into a higher voltage level suitable for usage or further processing. This thesis proposes a new DC-DC converter with a high step-up gain, namely a Novel Voltage Clamp Coupled-inductor Boost Converter (NVCCBC). It is developed from a conventional Voltage Clamp Coupled-inductor Boost Converter (VCCBC) by incorporating an additional capacitor and diode. The proposed converter is able to achieve the higher voltage gain, while still retaining the switch voltage clamp property of its predecessor. In the thesis, operation and analysis of the proposed converter are described. Experimental results from a prototype converter are presented to verify the validity of the analysis. The prototype circuit attains the highest efficiency of 92.69%.

กิตติกรรมประกาศ

ขอขอบคุณ รศ. ดร. ชนินทร์ บุญลักษณะานุสรณ์ ซึ่งเป็นอาจารย์ผู้ควบคุมวิทยานิพนธ์สำหรับคำแนะนำ และความกรุณาที่ผู้วิจัยได้รับตลอดมา พร้อมทั้งชี้แนะแนวทางให้ปฏิบัติอย่างถูกต้องตามขั้นตอน จนวิทยานิพนธ์ฉบับนี้สำเร็จอย่างสมบูรณ์

ขอขอบคุณ ผศ. ดร. นนทวัฒน์ จุลเดชะ ที่ให้ความช่วยเหลือคำแนะนำ และความรู้ที่เป็นประโยชน์ต่อวิทยานิพนธ์ฉบับนี้

ขอขอบคุณ ดร.วิโรจน์ วุฒิ และคุณอมต หลวงพล ที่ให้การช่วยเหลือต่างๆ และให้กำลังใจต่อผู้วิจัยเสมอมา

สุดท้ายนี้ขอขอบคุณ บิดา มารดา และครอบครัวที่อบรมเลี้ยงดูสนับสนุนในทางการศึกษา และให้กำลังใจ จนวิทยานิพนธ์นี้สำเร็จลุล่วงได้ดี คุณค่าอันพึงมีจากวิทยานิพนธ์เล่มนี้ขอมอบแด่ผู้มีพระคุณทุกท่าน

กวีวัชร ทัตติวงษ์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
รายการคำย่อและสัญลักษณ์.....	X
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	6
1.3 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย.....	6
1.4 ขอบเขตการวิจัย.....	7
1.5 ขั้นตอนของการศึกษา.....	7
บทที่ 2 หลักการทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบิวส์คอนเวอร์เตอร์แบบใหม่.....	8
2.1 บทนำ.....	8
2.2 วิวัฒนาการของวงจร.....	8
2.3 หลักการทำงานของวงจร.....	11
2.4 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบิวส์คอนเวอร์เตอร์แบบใหม่ชนิดอื่นๆ.....	16
2.5 ผลการจำลองการทำงานของวงจร.....	19
บทที่ 3 การวิเคราะห์การทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบิวส์คอนเวอร์เตอร์แบบใหม่.....	27
3.1 บทนำ.....	27
3.2 หลักการทำงานของวงจร.....	27
3.2.1 ความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับแรงดันอินพุต.....	32
3.2.2 การประมาณและการวิเคราะห์รูปคลื่น.....	34
บทที่ 4 ผลการทดสอบสมรรถนะของวงจร.....	38
4.1 บทนำ.....	38
4.2 รายละเอียดวงจรต้นแบบ.....	38

สารบัญ (ต่อ)

	หน้า
4.3 ผลการวัดสัญญาณดิวตี้ไซเคิล.....	40
4.4 ผลการวัดแรงดันและกระแสเอาต์พุต.....	41
4.5 ผลการวัดรูปคลื่นกระแสของวงจร.....	43
4.6 ผลการวัดแรงดันคร่อมตัวเก็บประจุ C_1 และ C_2	45
4.7 ผลการวัดแรงดันคร่อมสวิทช์ ไดโอด D_1 D_2 และ D_3	47
4.8 ผลการวัดความสามารถในการรักษาแรงดันเอาต์พุตเมื่อแรงดันอินพุต (Line regulation) และกระแสเอาต์พุต (Load regulation) เปลี่ยนแปลง.....	49
4.9 ผลการวัดประสิทธิภาพของวงจร.....	50
4.10 ผลการตอบสนองของแรงดันเอาต์พุตในสภาวะทรานเซียนท์.....	51
บทที่ 5 การเปรียบเทียบสมรรถนะระหว่างวงจร NVCCBC ที่นำเสนอกับวงจร IBFC.....	52
5.1 บทนำ.....	52
5.2 วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ (IBFC).....	52
5.2.1 หลักการทำงานของวงจร IBFC.....	52
5.2.2 วงจรต้นแบบ IBFC.....	55
5.3 ผลการเปรียบเทียบสมรรถนะ.....	57
5.3.1 อัตราขยายของวงจร.....	57
5.3.2 ดิวตี้ไซเคิล.....	58
5.3.3 ค่ากระแสและแรงดันสูงสุด.....	59
5.3.4 รีปเปิ้ลแรงดันเอาต์พุต.....	62
5.3.5 ประสิทธิภาพของวงจร.....	63
บทที่ 6 สรุป.....	64
เอกสารอ้างอิง.....	66
ภาคผนวก ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	70
ประวัติผู้เขียน.....	98

สารบัญตาราง

ตารางที่	หน้า
2.1 เปรียบเทียบอัตราขยาย แรงดันคร่อมสวิทช์และแรงดันไดโอดเอาต์พุทของวงจร คอนเวอร์เตอร์ชนิดต่างๆ.....	10
2.2 เงื่อนไขการทำงานของวงจร.....	19
2.3 ผลการจำลอง $I_{in,max}$	20
4.1 อุปกรณ์ที่ใช้ในวงจร	38
4.2 การเปรียบเทียบผลการคำนวณและผลการวัดกระแส.....	44
4.3 แรงดันคร่อมตัวเก็บประจุ C_1 และ C_2	46
4.4 แรงดันคร่อมสวิทช์และไดโอด D_1 D_2 และ D_3	49
4.5 ผลการวัดความสามารถในการรักษาแรงดันเอาต์พุทเมื่อแรงดันอินพุทและกระแสเอาต์พุท.....	49
4.6 ผลการวัดค่าดีวีทีไอเคิลเมื่อแรงดันอินพุทและกระแสเอาต์พุท	49
4.7 ผลการวัดประสิทธิภาพของวงจรเมื่อแรงดันอินพุทและกระแสโหลดเปลี่ยนแปลง.....	49
5.1 อุปกรณ์ที่ใช้ในวงจรต้นแบบ IBFC.....	55
5.2 ผลการวัดค่าดีวีทีไอเคิลของวงจร NCWBC และ IBFC ที่กระแสโหลดค่าต่างๆ.....	58
5.3 ค่ากระแสสูงสุดของสวิทช์ และไดโอดของวงจร NVCCBC และ IBFC.....	61
5.4 ค่าแรงดันสูงสุดคร่อมสวิทช์ และไดโอดของวงจร NVCCBC และ IBFC.....	61
5.5 รีปเปิ้ลแรงดันเอาต์พุทของวงจร NVCCBC และ IBFC.....	62
5.6 ผลการวัดค่าประสิทธิภาพของวงจร NVCCBC และ IBFC.....	61

สารบัญรูป

รูปที่	หน้า
1.1 ระบบผลิตพลังงานไฟฟ้าจากแหล่งจ่ายพลังงานทางเลือกชนิดต่างๆ.....	1
1.2 วงจรบัลลาสต์สำหรับขับหลอด HID	1
1.3 แหล่งจ่ายไฟเครื่องคอมพิวเตอร์เซฟเวอร์	2
1.4 วงจรบูสต์คอนเวอร์เตอร์.....	2
1.5 วงจรอนุกรมบูสต์คอนเวอร์เตอร์	3
(ก) วงจรอนุกรมบูสต์คอนเวอร์เตอร์	
(ข) วงจร N-stage cascade boost converter with one active switch	
(ค) วงจรควอดเรตริคบูสต์คอนเวอร์เตอร์	
1.6 วงจรเพิ่มแรงดันที่ใช้ตัวเหนี่ยวนำร่วม.....	5
(ก) วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ (ข) วงจรแท็ปอินดักเตอร์บูสต์คอนเวอร์เตอร์	
(ค) วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์	
1.7 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่	6
2.1 วิวัฒนาการของวงจรแคลมป์แรงดันตัวเหนี่ยวนำบูสต์คอนเวอร์เตอร์แบบใหม่	9
2.2 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่	11
2.3 การทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่.....	12
(ก) โหมดที่ 1 (ข) โหมดที่ 2 (ค) โหมดที่ 3 (ง) โหมดที่ 4	
2.4 รูปคลื่นแรงดันและกระแสในวงจร NVCCBC.....	15
2.5 รูปที่ 2.5 (ก) วงจร VCCBC type A (ข) วงจร VCCBC type B (ค) วงจร VCCBC type C....	16
2.6 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่ที่พัฒนาจากวงจร VCCBC ในรูปที่ 2.5	17
(ก) วงจร NVCCBC type A (ข) วงจร NVCCBC type B (ค) วงจร NVCCBC type C	

สารบัญรูป (ต่อ)

รูปที่	หน้า
2.7 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบυσท์คอนเวอร์เตอร์แบบใหม่ ที่พัฒนาจากวงจร TIBC ในรูปที่ 2.1 (ข)	18
(ก) วงจร NVCCBC type D (ข) วงจร NVCCBC type E	
2.8 วงจร NVCCBC (ก) Schematic (ข) ผลการจำลอง.....	21
2.9 วงจร NVCCBC type A (ก) Schematic (ข) ผลการจำลอง	22
2.10 วงจร NVCCBC type B (ก) Schematic (ข) ผลการจำลอง.....	23
2.11 วงจร NVCCBC type C (ก) Schematic (ข) ผลการจำลอง.....	24
2.12 วงจร NVCCBC type D (ก) Schematic (ข) ผลการจำลอง.....	25
2.13 วงจร NVCCBC type E (ก) Schematic (ข) ผลการจำลอง	26
3.1 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบυσท์คอนเวอร์เตอร์ที่ใช้ในการวิเคราะห์.....	27
3.2 วงจรสมมูล (ก) โหมด 2 (ข) โหมด 3 (ค) โหมด 4	28
3.3 รูปคลื่นที่สำคัญของวงจร	31
3.4 กราฟความสัมพันธ์ระหว่างอัตราขยายของวงจรและค่าตัวดีไซเคิลที่ค่า n ต่างๆ.....	33
3.5 รูปคลื่นที่ได้จากการประมาณโดยกำหนดให้การทำงานในโหมดที่ 3 มีระยะเวลาสั้นมาก	34
4.1 วงจรต้นแบบ (ก) schematic (ข) ภาพถ่าย	39
4.2 รูปคลื่นแรงดัน v_{GS} ของมอสเฟต (ก) ที่กระแสโหลด 0.3A (ข) ที่กระแสโหลด 0.9A.....	40
4.3 รูปคลื่นแรงดันและกระแสที่เอาท์พุท (ก) ที่กระแสโหลด 0.3A (ข) ที่กระแสโหลด 0.9A.....	41
4.4 รีบเบิลแรงดันเอาท์พุท (ก) ที่กระแสโหลด 0.3A (ข) ที่กระแสโหลด 0.9A.....	42
4.5 รูปคลื่นกระแสอินพุท กระแสสวิทช์ กระแสไดโอด D_1 D_2 และ D_3 ที่กระแสโหลด 0.9A.....	43
4.6 แรงดันคร่อมตัวเก็บประจุ C_1 และ C_2 (ก) ที่กระแสโหลดสูงสุด 0.3A (ข)ที่กระแสโหลดสูงสุด 0.9A	45
4.7 แรงดันคร่อมสวิทช์และไดโอด D_1 D_2 และ D_3 ที่กระแสโหลด 0.3A.....	47
4.8 แรงดันคร่อมสวิทช์และไดโอด D_1 D_2 และ D_3 ที่กระแสโหลด 0.9A	48

สารบัญรูป (ต่อ)

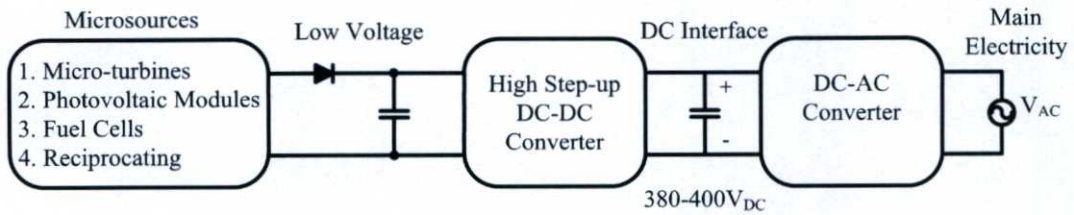
รูปที่	หน้า
4.9	ประสิทธิภาพของวงจรที่แรงดันอินพุตต่างๆ..... 50
4.10	รูปคลื่นผลการตอบสนองของแรงดันเอาต์พุตในสถานะทรานเซียนท์ เมื่อแรงดันอินพุต 12V และกระแสโหลดเพิ่มขึ้นอย่างฉับพลันจาก 0.3A เป็น 0.9A 64
5.1	วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ 52
5.2	วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ ในช่วงที่สวิตช์นำกระแส..... 53
5.3	วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ ในช่วงที่สวิตช์ไม่นำกระแส..... 53
5.4	วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ (ก) schematic (ข) ภาพถ่าย..... 56
5.5	กราฟเปรียบเทียบอัตราขยายของวงจร NVCCBC และวงจร IBFC เมื่อ $n = 6$ 57
5.6	รูปคลื่นสัญญาณขับมอสเฟต v_{GS} ของวงจร NVCCBC และวงจร IBFC ที่กระแสโหลด 0.9A 58
5.7	รูปคลื่นกระแสที่ไหลผ่านสวิตช์ และไดโอด D_1 D_2 D_3 ของวงจร NVCCBC และ IBFC ที่กระแสโหลด 0.9A..... 59
5.8	รูปคลื่นแรงดันคร่อมสวิตช์และไดโอด D_1 D_2 และ D_3 ของวงจร NVCCBC และ IBFC ที่กระแสโหลด 0.9A 60
5.9	รูปคลื่นรีปเปิ้ลแรงดันเอาต์พุตของวงจร NVCCBC และ IBFC ที่กระแสโหลด 0.9A..... 62
5.10	กราฟแสดงการเปรียบเทียบประสิทธิภาพของวงจร NVCCBC และ IBFC 63

บทที่ 1

บทนำ

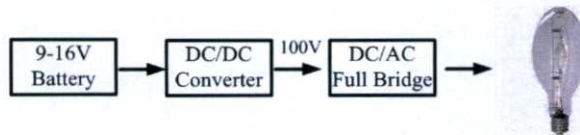
1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันวงจรถีซี-ดีซีคอนเวอร์เตอร์ที่มีอัตราส่วนการแปลงแรงดันสูงและมีประสิทธิภาพสูง มีการประยุกต์ใช้งานอย่างแพร่หลาย ตัวอย่างเช่น การผลิตไฟฟ้าจากแหล่งจ่ายพลังงานทางเลือก (Alternative energy sources) ในรูปที่ 1.1 [1,2] วงจรถีซี-ดีซีคอนเวอร์เตอร์ทำหน้าที่เพิ่มแรงดันไฟฟ้าที่ผลิตได้จากแหล่งพลังงานต่างๆ เช่น กังหันขนาดเล็ก (Micro-turbines) แผงเซลล์แสงอาทิตย์ (Photovoltaic Modules) หรือ เซลล์เชื้อเพลิง (Fuel Cells) ให้มีขนาดสูงขึ้นเหมาะสมสำหรับเป็นอินพุตให้กับวงจรถีซีคอนเวอร์เตอร์เพื่อแปลงเป็นแรงดันไฟฟ้าเอซีเชื่อมต่อกับระบบไฟฟ้า (Grid connected) ต่อไป



รูปที่ 1.1 ระบบผลิตพลังงานไฟฟ้าจากแหล่งจ่ายพลังงานทางเลือกชนิดต่างๆ

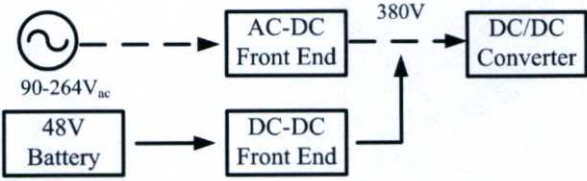
วงจรถีซีคอนเวอร์เตอร์สำหรับขับหลอด HID (High Intensity Discharge) ที่ใช้ในรถยนต์ ในรูปที่ 1.2 วงจรถีซี-ดีซีคอนเวอร์เตอร์ทำหน้าที่เพิ่มแรงดันดีซี 12V จากแบตเตอรี่เป็นแรงดันขนาด 100V เพื่อเป็นแรงดันอินพุตให้กับวงจรถีซีคอนเวอร์เตอร์ผลิตแรงดันไฟฟ้าเอซีความถี่สูงสำหรับขับหลอด HID



รูปที่ 1.2 วงจรถีซีคอนเวอร์เตอร์สำหรับขับหลอด HID

เครื่องคอมพิวเตอร์เซิร์ฟเวอร์ (Server computer) ที่ติดตั้งอยู่ในศูนย์การสื่อสารข้อมูล (Telecommunication center) ในรูปที่ 1.3 [3] ภาคอินพุตของแหล่งจ่ายกำลังไฟฟ้าของเครื่องคอมพิวเตอร์จะต้องสามารถรับแรงดันได้จาก 2 แหล่ง (Dual input) คือ แรงดันไฟฟ้าเอซีจากเมนหลักและแรงดันไฟฟ้าดีซี 48V จากแบตเตอรี่ หากเกิดเหตุการณ์ไฟฟ้าดับ แบตเตอรี่จะทำหน้าที่จ่ายกำลังไฟสำรอง โดยภาคอินพุตดีซีจะมีวงจรถีซี-ดีซีคอนเวอร์เตอร์ที่แปลงแรงดัน 48V เป็น

แรงดัน 380V สำหรับเป็นอินพุทให้กับวงจรตีซี-ตีซีคอนเวอร์เตอร์ในภาคต่อไปซึ่งทำหน้าที่สร้างแรงดันที่เหมาะสมให้กับโหลด



รูปที่ 1.3 แหล่งจ่ายไฟเครื่องคอมพิวเตอร์เซิร์ฟเวอร์

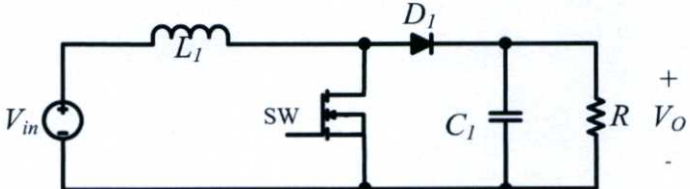
การประยุกต์ใช้งานในการเพิ่มแรงดันไฟฟ้าที่กล่าวมาข้างต้น วงจรตีซี-ตีซีคอนเวอร์เตอร์มีคุณลักษณะร่วมที่เหมือนกันคือ

- 1) มีอัตราส่วนการแปลงแรงดันที่สูง (High step-up ratio)
- 2) มีประสิทธิภาพสูง (High efficiency)
- 3) ไม่จำเป็นต้องมีการแยกทางไฟฟ้าระหว่างอินพุทและเอาท์พุท (ไม่จำเป็นต้องมีหม้อแปลงไฟฟ้า)

วงจรตีซี-ตีซีคอนเวอร์เตอร์ที่นิยมใช้ในการเพิ่มแรงดัน คือ วงจรบูสต์คอนเวอร์เตอร์ (Boost converter) ในรูปที่ 1.4 ซึ่งมีอัตราขยายแสดงดังสมการที่ (1.1)

$$\frac{V_o}{V_{in}} = \frac{1}{1-D} \tag{1.1}$$

โดย V_o คือ แรงดันเอาท์พุท V_{in} คือ แรงดันอินพุท D คือ ค่าดีวตี้ไซเคิล ในทางทฤษฎีวงจรบูสต์คอนเวอร์เตอร์สามารถให้อัตราขยายสูง เมื่อดีวตี้ไซเคิลของสวิตช์มีค่ามาก (ใกล้เคียง 1) แต่ในทางปฏิบัติเนื่องจากความไม่เป็นอุดมคติของอุปกรณ์ภายในวงจร เช่น ตัวต้านทานแฝงในตัวเหนี่ยวนำ (r_L) ตัวต้านทานในสวิตช์ ($r_{ds,on}$) เป็นต้น [4,5] จะเกิดความสูญเสียและแรงดันตกคร่อมภายในวงจรเพิ่มมากขึ้น เมื่อดีวตี้ไซเคิลมีค่าสูงขึ้น ส่งผลให้วงจรมีประสิทธิภาพต่ำและไม่สามารถให้อัตราขยายที่สูงมากได้ ซึ่งโดยทั่วไปวงจรบูสต์คอนเวอร์เตอร์สามารถให้อัตราขยายได้ไม่เกิน 4 - 5 เท่า



รูปที่ 1.4 วงจรบูสต์คอนเวอร์เตอร์

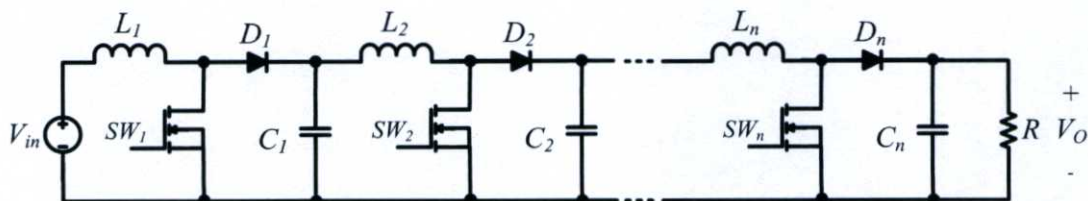
เพื่อแก้ปัญหาดังกล่าวจึงได้มีการวิจัยและพัฒนาวงจรเพิ่มแรงดันตีซี-ตีซีคอนเวอร์เตอร์ที่มีอัตราขยายสูง (High step-up gain DC-DC converter) ขึ้นมากมายหลายวงจร [6-30,32] ในวิทยานิพนธ์นี้จะเลือกกล่าวถึงวงจรที่เกี่ยวข้องดังต่อไปนี้

1.1.1 วงจรอนุกรมบูสต์คอนเวอร์เตอร์

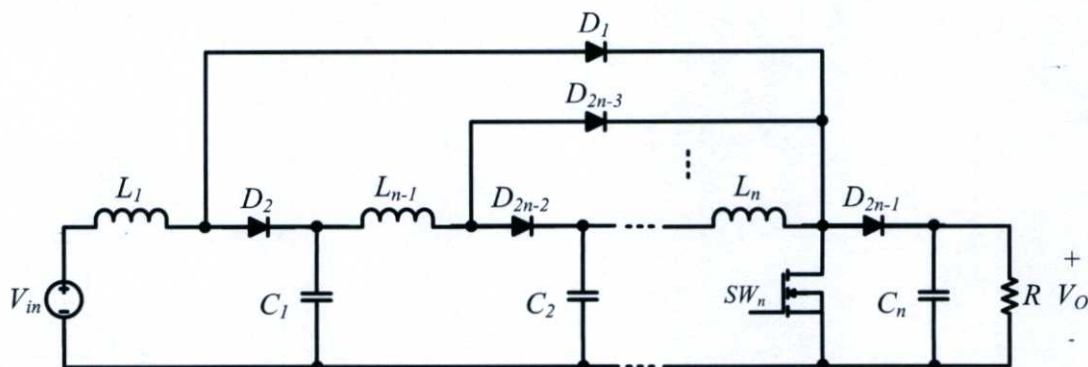
วงจรอนุกรมบูสต์คอนเวอร์เตอร์ [6,7] เกิดจากการนำวงจรบูสต์คอนเวอร์เตอร์หลายวงจรมาต่ออนุกรมกัน (Cascade connection) ดังแสดงในรูปที่ 1.5 (ก) ซึ่งมีอัตราขยายดังสมการที่ (1.2)

$$\frac{V_o}{V_{in}} = \frac{1}{(1-D)^N} \quad (1.2)$$

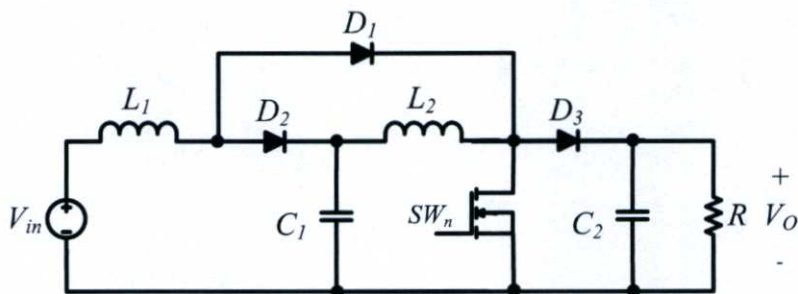
โดย N คือ จำนวน stage ของบูสต์คอนเวอร์เตอร์ที่ต่ออนุกรมกัน



(ก)



(ข)



(ค)

รูปที่ 1.5 วงจรอนุกรมบูสต์คอนเวอร์เตอร์ (ก) วงจรอนุกรมบูสต์คอนเวอร์เตอร์

(ข) วงจร N-stage cascade boost converter with one active switch

(ค) วงจรควอดเรตติคบูสต์คอนเวอร์เตอร์

จากสมการที่ (1.2) จะเห็นว่าอัตราขยายของวงจรสามารถทำให้เพิ่มขึ้นโดยที่ดิวิตีเซเคิลมีค่าไม่สูงเกินไปด้วยการเพิ่มจำนวน stage ของบูสต์คอนเวอร์เตอร์ที่ต่ออนุกรมกัน ใดๆก็ได้

การใช้มอสเฟตสวิทช์หลายตัว ทำให้วงจรมีต้นทุนสูงและเพิ่มความซับซ้อนในส่วนของวงจรขับ นอกจากนี้วงจรอนุกรมบูสท์คอนเวอร์เตอร์ ยังมีประสิทธิภาพต่ำ เนื่องจากการสูญเสียที่เกิดขึ้นในแต่ละ stage

ในเวลาต่อมาวงจรอนุกรมบูสท์คอนเวอร์เตอร์นี้ได้ถูกพัฒนาเป็นวงจร N-stage cascade boost converter with one active switch [8-10] ดังแสดงในรูปที่ 1.5 (ข) ซึ่งใช้มอสเฟตสวิทช์เพียงตัวเดียวและยังคงมีอัตราขยายเท่ากับวงจรในรูปที่ 1.5 (ก) ในกรณีที่ $N = 2$ วงจร N-stage cascade boost converter จะลดรูปเป็นวงจรควอดเรติกบูสท์คอนเวอร์เตอร์ (Quadratic Boost Converter: QBC) [8,11-13] ในรูปที่ 1.5 (ค)

ข้อดีของวงจร N-stage cascade boost converter คือ

1. สามารถเพิ่มอัตราขยายของวงจรโดยการเพิ่มจำนวน stage
2. กระแสอินพุตต่อเนื่องและสามารถออกแบบให้ripple กระแสอินพุตมีค่าต่ำ

ข้อเสียของวงจร N-stage cascade boost converter คือ

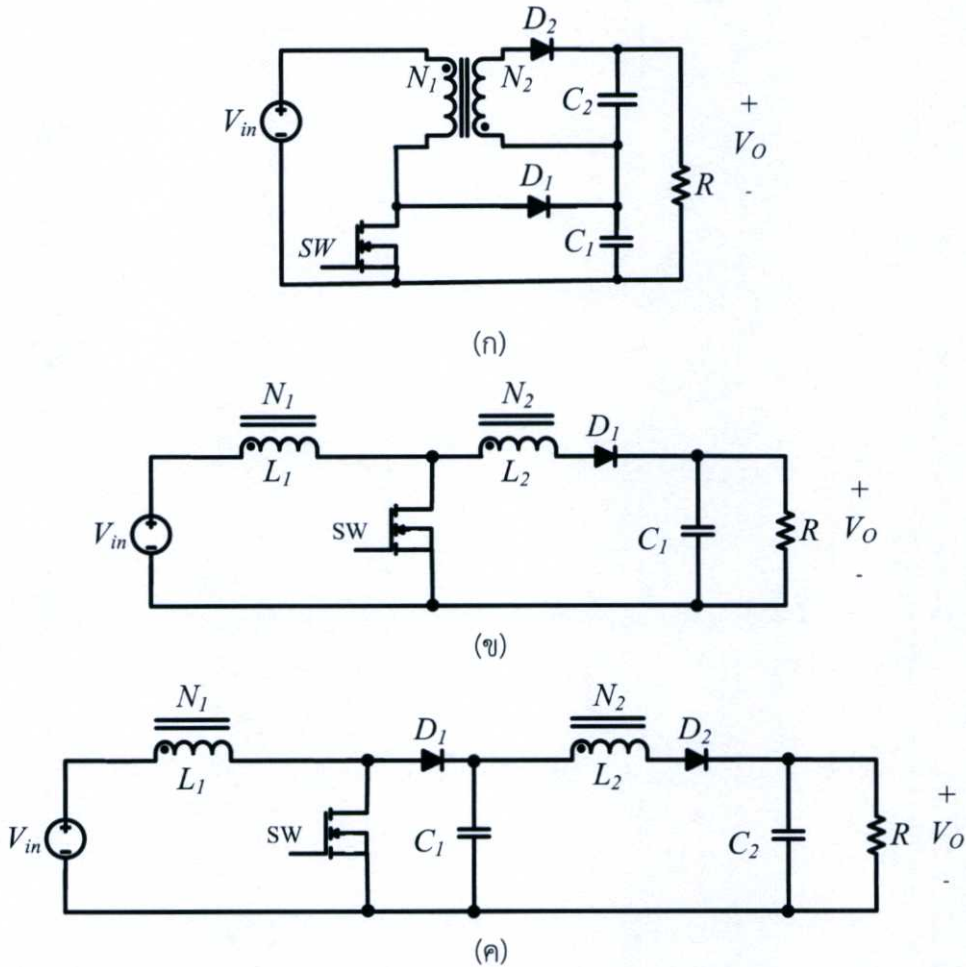
1. ในช่วงสวิทช์นำกระแส กระแสที่ไหลผ่านตัวเหนี่ยวนำของทุก stage จะไหลมารวมกันผ่านมอสเฟตสวิทช์ ดังนั้นสวิทช์ต้องสามารถทนกระแสได้สูง
2. ในช่วงสวิทช์ไม่นำกระแส แรงดันคร่อมมอสเฟตสวิทช์มีค่าเท่ากับแรงดันเอาต์พุต ดังนั้นสวิทช์ต้องสามารถทนแรงดันได้สูง
3. มีประสิทธิภาพต่ำ เช่นเดียวกับวงจรอนุกรมบูสท์คอนเวอร์เตอร์

1.1.2 วงจรเพิ่มแรงดันที่ใช้ตัวเหนี่ยวนำร่วม

วงจรอนุกรมบูสท์คอนเวอร์เตอร์ที่กล่าวข้างต้นใช้หลักการเพิ่มจำนวน stage เพื่อเพิ่มอัตราขยายของวงจร กำลังสูญเสียที่เกิดขึ้นในแต่ละ stage ส่งผลให้ประสิทธิภาพโดยรวมของวงจรมีค่าต่ำ วงจรเพิ่มแรงดันที่ใช้ตัวเหนี่ยวนำร่วม (Coupled-inductor) หลีกเลี่ยงปัญหาดังกล่าวโดยการใช้อัตราส่วนจำนวนรอบของตัวเหนี่ยวนำร่วมในการเพิ่มอัตราขยายของวงจร ส่งผลให้วงจรเพิ่มแรงดันที่ใช้ตัวเหนี่ยวนำร่วมมีประสิทธิภาพสูงกว่าวงจรอนุกรมบูสท์คอนเวอร์เตอร์ ตัวอย่างวงจรเพิ่มแรงดันที่ใช้ตัวเหนี่ยวนำร่วมแสดงในรูปที่ 1.6 ซึ่งประกอบด้วย รูปที่ 1.6 (ก) วงจรเพิ่มแรงดันบูสท์-ฟลายแบคคอนเวอร์เตอร์ (Integrated Boost-Flyback Converter :IBFC) [14-17] รูปที่ 1.6 (ข) วงจรแท็ปอินดักเตอร์บูสท์คอนเวอร์เตอร์ (Tapped Inductor Boost Converter:TIBC) [18-21] และรูปที่ 1.6 (ค) [22,23] วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสท์คอนเวอร์เตอร์ (Voltage Clamp Coupled-inductor Boost Converter: VCCBC) โดยวงจรทั้งสามมีอัตราขยายแสดงดังสมการที่ 1.3

$$\frac{V_o}{V_{in}} = \frac{1+nD}{1-D} \quad (1.3)$$

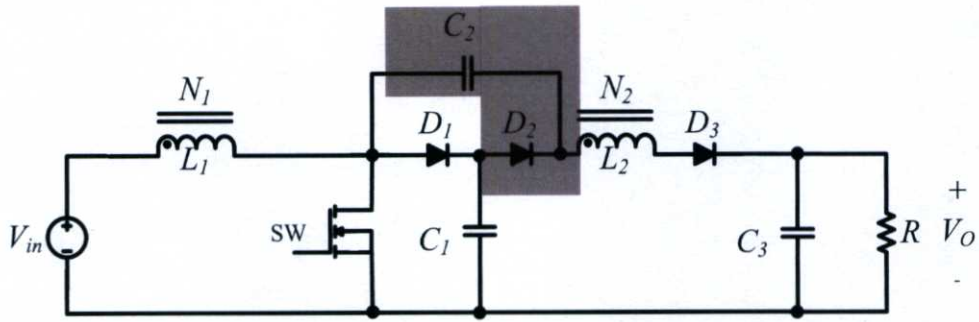
โดย n คือ อัตราส่วนรอบขดลวดทุติยภูมิต่อขดลวดปฐมภูมิของตัวเหนี่ยวนำร่วม จากสมการที่ (1.3) จะเห็นว่าหากเลือกค่า n ที่เหมาะสม วงจรสามารถให้อัตราขยายที่สูงได้โดยที่ค่าตัวชี้ไซเคิลไม่มากเกินไป



รูปที่ 1.6 วงจรเพิ่มแรงดันที่ใช้ตัวเหนี่ยวนำร่วม (ก) วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์
(ข) วงจรแท็ปอินดักเตอร์บูสต์คอนเวอร์เตอร์
(ค) วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์

ข้อได้เปรียบอีกประการหนึ่งของวงจรเพิ่มแรงดันที่ใช้ตัวเหนี่ยวนำร่วม คือแรงดันคร่อมสวิตช์จะมีค่าน้อยกว่าวงจร N-stage cascade boost converter ซึ่งทำให้สามารถใช้ออสเฟตสวิตช์ที่มีพิกัดแรงดันต่ำและราคาถูกกว่าได้

วิทยานิพนธ์นี้นำเสนอวงจรเพิ่มแรงดันที่ใช้ตัวเหนี่ยวนำร่วมแบบใหม่โดยพัฒนามาจากวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์ ในรูปที่ 1.6 (ค) ด้วยการเพิ่มไดโอดและตัวเก็บประจุอย่างละหนึ่งตัว วงจรที่พัฒนาขึ้นใหม่นี้ แสดงในรูปที่ 1.7 โดยมีชื่อเรียกว่าวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่ (Novel Voltage Clamp Coupled-inductor Boost Converter: NVCCBC) จุดเด่นของวงจรใหม่นี้คือ อัตราขยายสูงกว่าวงจรเดิมในขณะที่แรงดันคร่อมสวิตช์ยังคงเท่าเดิม



รูปที่ 1.7 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1. ศึกษาหลักการทำงานและวิเคราะห์การทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่
2. สร้างวงจรต้นแบบและทดสอบสมรรถนะการทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่
3. ศึกษาเปรียบเทียบสมรรถนะระหว่างวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่ และวงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ [32]

1.3 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

การศึกษาการทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่ แบ่งเป็น 4 ขั้นตอน

1. การวิเคราะห์การทำงานของวงจรที่สภาวะคงตัวโดยคิดผลของ Leakage Inductance เพื่อให้สามารถเขียนรูปคลื่นแรงดันและกระแสของวงจรได้ โดยความถูกต้องยืนยันด้วยผลการจำลอง (Simulation)
2. การวิเคราะห์การทำงานของวงจรโดยไม่คิดผลของ Leakage Inductance และการประมาณลูกคลื่น (Wave form approximation) เพื่อให้ได้สมการแรงดัน กระแส และอัตราขยายของวงจร โดยความถูกต้องยืนยันด้วยผลการทดสอบวงจรต้นแบบ (Prototype)
3. สร้างและทดสอบสมรรถนะของวงจรต้นแบบ และเปรียบเทียบสมรรถนะวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่ต้นแบบที่สร้างขึ้นกับวงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์โดยอยู่บนพื้นฐานของผลการทดสอบที่วัดได้
4. เทคนิคการเพิ่มไดโอดและตัวเก็บประจุอย่างละหนึ่งลงในวงจรเพื่อให้ได้อัตราขยายที่เพิ่มขึ้นนี้ ได้ถูกนำมาใช้กับวงจรแปลงแรงดันดิซี-ดิซีที่มีอัตราขยายสูงชนิดอื่นๆทำให้ได้วงจรใหม่อีก 5 วงจร ดังแสดงรายละเอียดในบทที่ 2

1.4 ขอบเขตการวิจัย

ศึกษาหลักการทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่ รวมทั้งสร้างและทดสอบสมรรถนะของวงจรต้นแบบที่มีคุณสมบัติทางไฟฟ้า (Electrical Specification) ดังต่อไปนี้

แรงดันอินพุท	$V_{in} = 12V$
แรงดันเอาต์พุท	$V_o = 120V,$
ความถี่สวิตช์	$f_s = 100 \text{ kHz}$
กระแสเอาต์พุท	$I_o = 0.3A - 0.9A \quad \Rightarrow \quad I_{O \min} = 0.3A, I_{O \max} = 0.9A$
ค่าความต้านทานเอาต์พุท	$R = 133.33 \Omega - 400\Omega \quad \Rightarrow \quad R_{\min} = 133.33 \Omega, R_{\max} = 400\Omega$
กำลังไฟฟ้าเอาต์พุท	$P_o = 36 \text{ W} - 108 \text{ W} \quad \Rightarrow \quad P_{O, \min} = 36 \text{ W}, P_{O, \max} = 108 \text{ W}$

1.5 ขั้นตอนของการศึกษา

1. ศึกษาหลักการทำงานของวงจร
2. วิเคราะห์การทำงานของวงจรโดยคิดผลของ Leakage Inductance เพื่อให้สามารถเขียนรูปคลื่นแรงดันและกระแสของวงจรได้
3. วิเคราะห์การทำงานของวงจรโดยไม่คิดผลของ Leakage Inductance เพื่อให้ได้สมการแรงดัน กระแส และอัตราขยายของวงจร
4. สร้างวงจรต้นแบบ
5. ทดสอบสมรรถนะของวงจรต้นแบบ
6. เปรียบเทียบสมรรถนะวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่กับวงจรเพิ่มแรงดันบวสท์-ฟลายแบคคอนเวอร์เตอร์

บทที่ 2

หลักการทํางานของวงจรแคลมป์แรงดันตัวเหนี่ยวนําร่วมบวสท์ คอนเวอร์เตอร์แบบใหม่

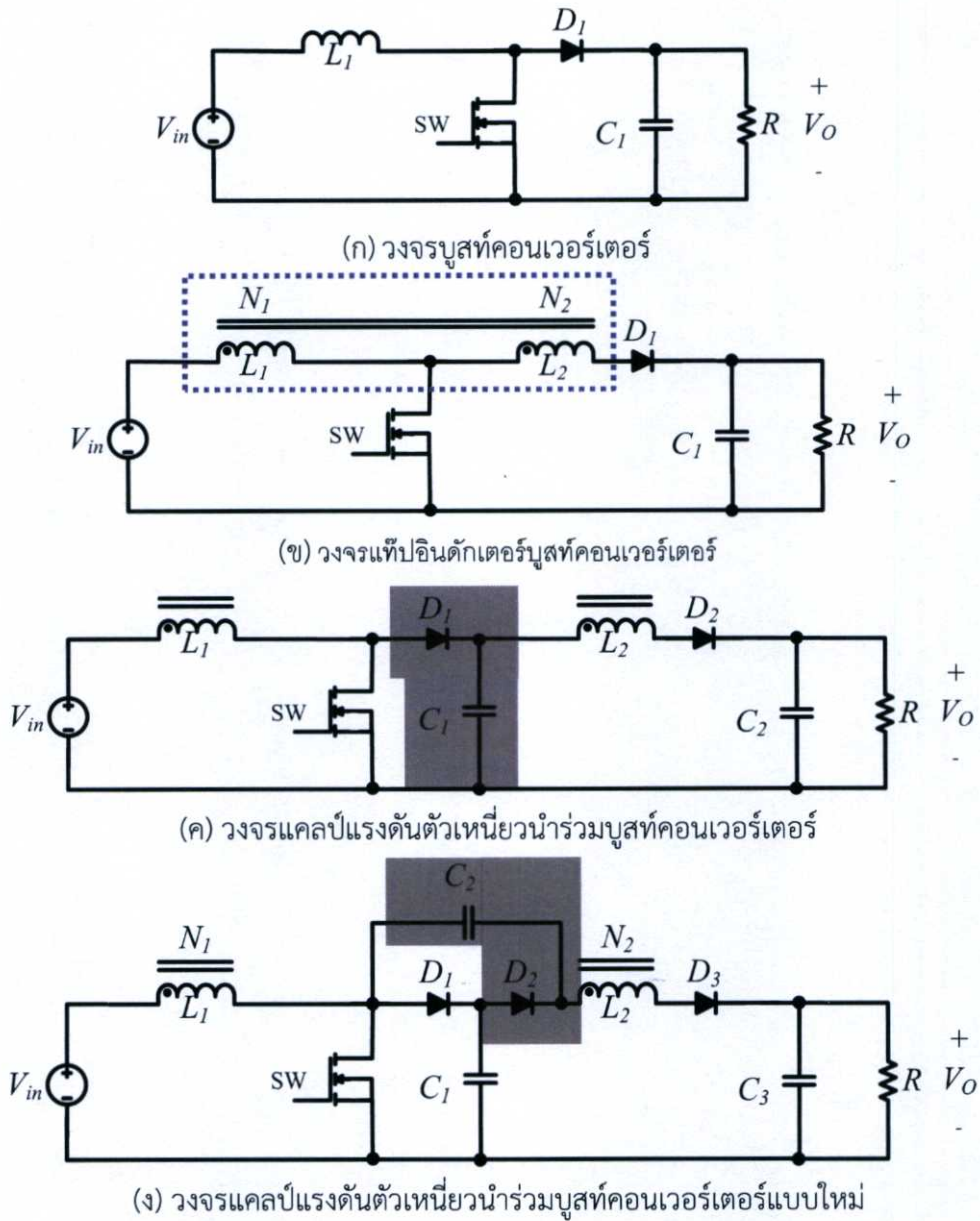
2.1 บทนำ

บทนี้เสนอวิวัฒนาการและหลักการทํางานของวงจรแคลมป์แรงดันตัวเหนี่ยวนําร่วมบวสท์คอนเวอร์เตอร์แบบใหม่ (Novel Voltage Clamp Coupled-inductor Boost Converter: NVCCBC) ในทางปฏิบัติค่าตัวเหนี่ยวนํารั่วไหล (leakage inductance) ของตัวเหนี่ยวนําร่วมมีอิทธิพลต่อการทํางานของวงจร ดังนั้นในบทนี้การอธิบายการทํางานของวงจรจะพิจารณาผลของ Leakage inductance ด้วย ในส่วนท้ายของบทจะกล่าวถึงการพัฒนาวงจรแคลมป์แรงดันตัวเหนี่ยวนําร่วมบวสท์คอนเวอร์เตอร์พัฒนาขึ้นใหม่อีกห้าวงจร โดยวงจรใหม่ทั้งห้ามีคุณสมบัติการทํางานที่เหมือนกับวงจรที่นำเสนอซึ่งสามารถยืนยันโดยผลการจำลอง (Simulation) การทํางานของวงจรโดยใช้โปรแกรม Orcad PSpice

2.2 วิวัฒนาการของวงจร

วิวัฒนาการของวงจรแคลมป์แรงดันตัวเหนี่ยวนําร่วมบวสท์คอนเวอร์เตอร์แบบใหม่ เริ่มจากวงจรบวสท์คอนเวอร์เตอร์ (Boost converter) ในรูป 2.1 (ก) ในทางทฤษฎีวงจรบวสท์คอนเวอร์เตอร์สามารถให้อัตราขยายที่สูงขึ้นได้โดยการเพิ่มค่าตัวตีไซเคิลของสวิตช์ แต่ในทางปฏิบัติเนื่องจากความไม่เป็นอุดมคติของอุปกรณ์ภายในวงจร เช่น ตัวต้านทานแฝงในตัวเหนี่ยวนําร่วม (r_L) ตัวต้านทานในสวิตช์ ($r_{ds,on}$) เป็นต้น ทำให้เกิดแรงดันตกคร่อมและความสูญเสียภายในวงจรส่งผลให้วงจรไม่สามารถให้อัตราขยายที่สูงมากได้ ดังนั้นจึงได้มีผู้นําเสนอวงจรแท็ปอินดักเตอร์บวสท์คอนเวอร์เตอร์ (Tapped Inductor Boost Converter : TIBC) ดังรูปที่ 2.1 (ข) ซึ่งเป็นการแทนที่ตัวเหนี่ยวนําร่วมของวงจรบวสท์คอนเวอร์เตอร์ ด้วยตัวเหนี่ยวนําร่วมที่เรียกว่าแท็ปอินดักเตอร์ (Tapped inductor) ซึ่งแสดงในกรอบสี่เหลี่ยม โดยแท็ป-อินดักเตอร์คือตัวเหนี่ยวนําร่วมคือขดลวดปฐมภูมิและทุติยภูมิต่อกัน และจุดเชื่อมต่อนี้แท็ปไปต่อกับสวิตช์ ข้อได้เปรียบของวงจร TIBC เทียบกับวงจรบวสท์คอนเวอร์เตอร์คือมีอัตราขยายที่สูงขึ้น และสามารถเพิ่มอัตราขยายของวงจรโดยการเพิ่มอัตราส่วนจํานวนรอบขดลวดทุติยภูมิต่อปฐมภูมิ ($n = N_2/N_1$) แต่มีข้อเสียคือ แรงดันคร่อมไดโอดด้านเอาต์พุตจะสูงกว่าวงจรบวสท์คอนเวอร์เตอร์ ดังแสดงในตารางที่ 2.1 นอกจากนี้แรงดันคร่อมสวิตช์ในขณะหยุดนํากรแส (Turn-off switch voltage) ของวงจร TIBC จะมีค่าสูงเนื่องจากเกิด Ringing voltage ซึ่งเกิดจากการเรโซแนนซ์ระหว่างค่าตัวเหนี่ยวนํารั่วไหล (Leakage inductance) ของตัวเหนี่ยวนําร่วมกับค่าตัวเก็บประจุแฝงในสวิตช์ [23] ส่งผลให้ในทางปฏิบัติจําเป็นต้องมีวงจรสแน็บเบอร์ต่อคร่อมสวิตช์เพื่อแก้ปัญหาดังกล่าว

วงจรแคลมป์แรงดันตัวเหนี่ยวนําร่วมบวสท์คอนเวอร์เตอร์ (Voltage Clamp Coupled-inductor Boost Converter : VCCBC) แสดงดังรูปที่ 2.1(ค) ได้ถูกพัฒนาขึ้นมาเพื่อแก้ปัญหา



รูปที่ 2.1 วิศวกรรมการของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบัสท์คอนเวอร์เตอร์แบบใหม่

Ringling voltage ของสวิตช์ โดยการเพิ่มไดโอด D_1 และตัวเก็บประจุ C_1 เข้าไปในวงจร TIBC โดยไดโอด D_1 จะนำกระแสในขณะที่สวิตช์หยุดนำกระแสทำให้แรงดันคร่อมสวิตช์ถูกแคลมป์ให้มีค่าเท่ากับแรงดันคร่อมตัวเก็บประจุ C_1 นอกจากนี้จะแก้ปัญหา Ringling voltage ของสวิตช์แล้ววงจร VCCBC ยังมีแรงดันคร่อมไดโอดด้านเอาต์พุตต่ำกว่าในวงจร TIBC ดังแสดงในตารางที่ 2.1

วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบัสท์คอนเวอร์เตอร์แบบใหม่ (Novel Voltage Clamp Coupled-inductor Boost Converter: NVCCBC) ที่นำเสนอในรูปที่ 2.1 (ง) ได้ถูกพัฒนามาจากวงจร VCCBC ในรูปที่ 2.1 (ค) โดยการเพิ่มไดโอด D_2 และตัวเก็บประจุ C_2 เมื่อสวิตช์หยุดนำกระแสตัวเก็บประจุ C_2 จะถูกต่ออนุกรมกับแหล่งจ่ายแรงดันอินพุต และขดลวดปฐมภูมิและทุติยภูมิของ

ตัวเหนี่ยวนำร่วม แรงดันคร่อมตัวเก็บประจุ C_2 นี้จะมีขั้วเสริมกับแรงดันอินพุตและแรงดันเหนี่ยวนำของขดลวดปฐมภูมิและทุติยภูมิ ทำให้แรงดันเอาพุตที่ได้มีค่ามากกว่าในวงจร VCCBC ซึ่งไม่มีผลของแรงดันเสริมจากตัวเก็บประจุ C_2 สาเหตุดังกล่าวทำให้ วงจร NVCCBC ที่นำเสนอมีค่าอัตราขยายสูงกว่าวงจร VCCBC ดังแสดงในตารางที่ 2.1 สำหรับ ไดโอด D_1 และตัวเก็บประจุ C_1 ในวงจร NVCCBC นั้นยังคงทำหน้าที่แคลมป์แรงดันคร่อมสวิตช์เฉกเช่นเดียวกับในวงจร VCCBC

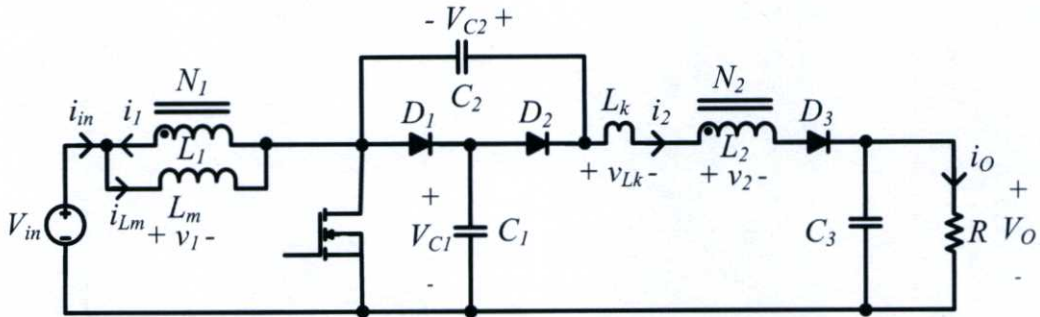
กล่าวโดยสรุปวงจร NVCCBC ที่นำเสนอ มีอัตราขยายสูงกว่าวงจร VCCBC และยังคงรักษาข้อดีในด้านการแคลมป์แรงดันคร่อมสวิตช์ของวงจร VCCBC เอาไว้ได้ อย่างไรก็ตาม วงจรมีข้อเสียคือแรงดันคร่อมไดโอดเอาพุตมีค่าสูงกว่าในวงจร VCCBC โดยมีค่าเท่ากับในวงจร TIBC ดังแสดงในตารางที่ 2.1

ตารางที่ 2.1 เปรียบเทียบอัตราขยาย แรงดันคร่อมสวิตช์และแรงดันไดโอดเอาพุตของวงจรคอนเวอร์เตอร์ชนิดต่างๆ

วงจร	อัตราขยาย	แรงดันคร่อมสวิตช์	แรงดันคร่อมไดโอด ด้านเอาพุต
Boost Converter	$\frac{V_o}{V_{in}} = \frac{1}{1-D}$	$V_{sw} = \frac{V_{in}}{1-D}$	$V_{D1} = \frac{V_{in}}{1-D}$
Tapped Inductor Boost Converter (TIBC)	$\frac{V_o}{V_{in}} = \frac{1+nD}{1-D}$	$V_{sw} = \frac{V_{in}}{1-D}$	$V_{D1} = \frac{1+n}{1-D} V_{in}$
Voltage Clamp Couple-Inductor Boost Converter (VCCBC)	$\frac{V_o}{V_{in}} = \frac{1+nD}{1-D}$	$V_{sw} = \frac{V_{in}}{1-D}$	$V_{D2} = \frac{n}{1-D} V_{in}$
Novel Voltage Clamp Couple-Inductor Boost Converter (NVCCBC)	$\frac{V_o}{V_{in}} = \frac{2+nD}{1-D}$	$V_{sw} = \frac{V_{in}}{1-D}$	$V_{D3} = \frac{1+n}{1-D} V_{in}$

2.3 หลักการทำงานของวงจร

วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่ในรูปที่ 2.2 ประกอบด้วย สวิตช์มอสเฟต SW ไดโอด $D_1 D_2 D_3$ ตัวเก็บประจุ $C_1 C_2 C_3$ และตัวเหนี่ยวนำร่วมที่มีอัตราส่วน จำนวนรอบขดลวดทุติยภูมิ ต่อขดลวดปฐมภูมิ $n = N_2/N_1$ มีค่า Magnetizing inductance ฝั่งขดลวดปฐมภูมิเท่ากับ L_m และมีค่าตัวเหนี่ยวนำรั่วไหล (Leakage Inductance) ฝั่งขดลวดทุติยภูมิ เท่ากับ L_k ในหนึ่งคาบเวลาการสวิตช์ วงจรมีการทำงาน 4 สภาวะดังนี้คือ



รูปที่ 2.2 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่

โหมดที่ 1 (t_0-t_1) : วงจรสมมูลแสดงดังรูปที่ 2.3 (ก) ในสภาวะนี้สวิตช์นำกระแส ไดโอด D_2 และ D_3 นำกระแส และไดโอด D_1 ไม่นำกระแส แรงดันอินพุตถูกจ่ายให้กับขดลวดปฐมภูมิ กระแส i_{Lm} เริ่มเพิ่มขึ้นอย่างเป็นเชิงเส้นโดยมีความชันแสดงดังสมการ

$$\frac{di_{Lm}}{dt} = \frac{v_1}{L_m} = \frac{V_{in}}{L_m} \quad (2.1)$$

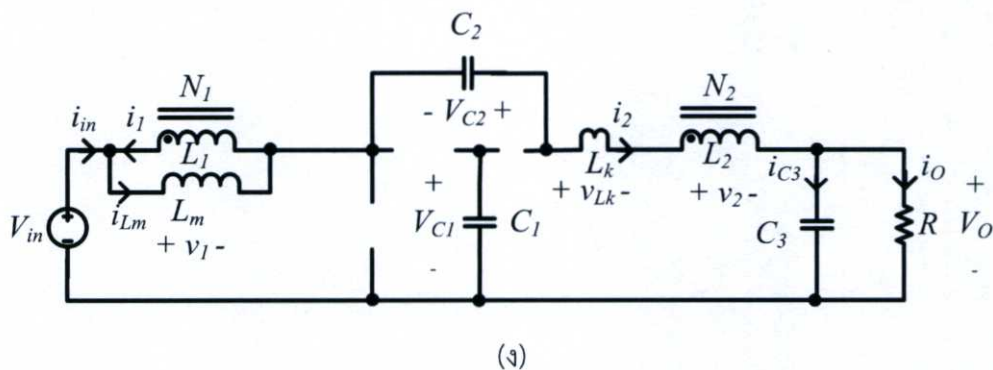
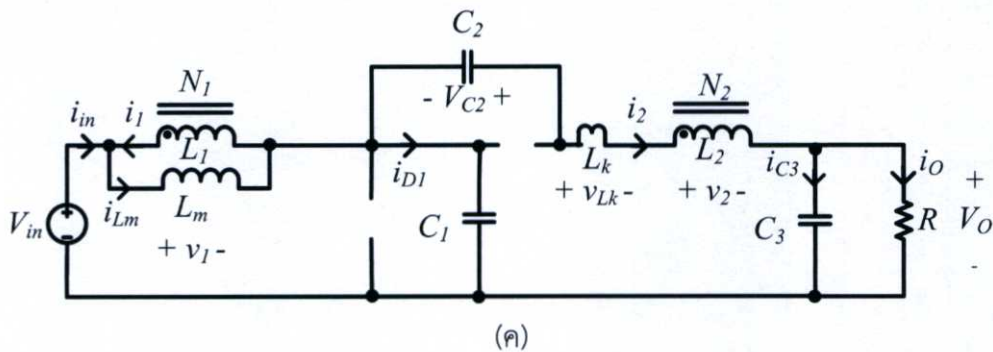
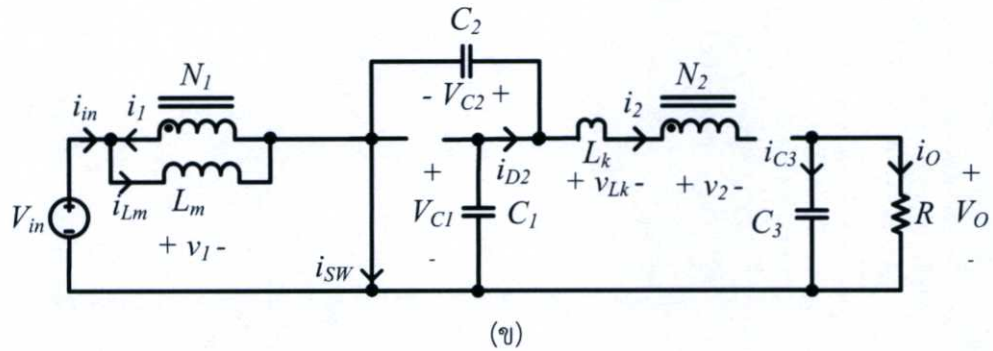
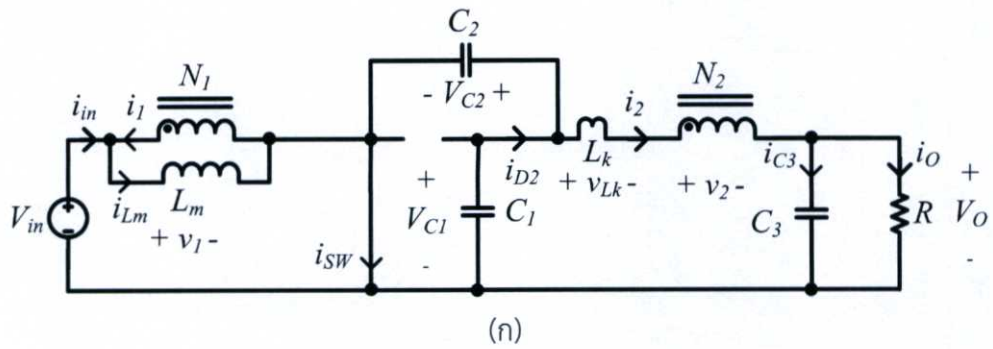
ด้านขดลวดทุติยภูมิ ตัวเหนี่ยวนำรั่วไหลทำหน้าที่หน่วงมิให้กระแส i_2 ลดลงเป็นศูนย์อย่างทันทีทันใด แต่จะลดลงอย่างเป็นเชิงเส้นโดยมีความชันแสดงดังสมการ

$$\frac{di_2}{dt} = \frac{V_{C1} - v_2 - V_O}{L_k} = \frac{V_{C1} - nV_{in} - V_O}{L_k} \quad (2.2)$$

ในขณะเดียวกัน ตัวเก็บประจุ C_1 ดิซชาร์จประจุจ่ายกระแสไปยังตัวเก็บประจุ C_2 ซึ่งทำให้ $V_{C1} = V_{C2}$ นอกจากนี้ตัวเก็บประจุ C_1 ยังได้ดิซชาร์จประจุจ่ายเป็นกระแส i_2 ไปยังตัวเก็บประจุ C_3 และโหลด R ด้วย

ด้านอินพุท กระแส i_{in} สามารถแสดงได้ดังสมการ

$$i_{in} = i_{Lm} - i_1 = i_{Lm} - ni_2 \quad (2.3)$$



รูปที่ 2.3 การทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบุสต์คอนเวอร์เตอร์แบบใหม่
(ก) โหมดที่ 1 (ข) โหมดที่ 2 (ค) โหมดที่ 3 (ง) โหมดที่ 4

เนื่องจาก i_2 มีค่าลดลงและ i_{Lm} มีค่าเพิ่มขึ้น จากสมการที่ (2.3) i_{in} จึงมีค่าเพิ่มขึ้น

การทำงานในโหมดที่ 1 นี้จะสิ้นสุดที่เวลา t_1 เมื่อ $i_2 = 0$ และ $i_{in} = i_{Lm}$

โหมดที่ 2 (t_1-t_2) : วงจรสมมูลแสดงดังรูปที่ 2.3 (ข) เนื่องจากกระแส $i_2 = 0$ ส่งผลให้ ไดโอด D_3 ไม่นำกระแส ในขณะที่ตัวเก็บประจุและ ไดโอด D_2 ยังคงนำกระแส ไดโอด D_1 ยังคงไม่นำกระแส ในสภาวะนี้ $i_{in} = i_{Lm}$ โดยกระแสทั้งสองนี้มีค่าเพิ่มขึ้นโดยมีความชันดังสมการที่ (2.1) ตัวเก็บประจุ C_1 ยังคงดิสชาร์จประจุจ่ายกระแสไปยังตัวเก็บประจุ C_2 ตัวเก็บประจุเอาต์พุต C_3 ดิสชาร์จประจุจ่ายกระแสไปยังโหลด R

การทำงานในโหมดที่ 2 นี้จะสิ้นสุดที่เวลา t_2 เมื่อสวิตช์หยุดนำกระแส

โหมดที่ 3 (t_2-t_3) : วงจรสมมูลแสดงดังรูปที่ 2.3 (ค) ในสภาวะนี้สวิตช์หยุดนำกระแส ไดโอด D_1 และ D_3 นำกระแส ไดโอด D_2 ไม่นำกระแส แรงดันคร่อมขดลวดปฏิกิริยามีค่าเท่ากับ $V_{in}-V_{C1}$ ซึ่งมีค่าเป็นลบเนื่องจาก $V_{C1} > V_{in}$ กระแส i_{Lm} เริ่มลดลงอย่างเป็นเชิงเส้น โดยมีความชันแสดงดังสมการ

$$\frac{di_{Lm}}{dt} = \frac{v_1}{L_m} = \frac{V_{in} - V_{C1}}{L_m} = \frac{V_{in} - V_o + V_{C2}}{L_m(1+n)} \quad (2.4)$$

ด้านขดลวดทุติยภูมิ v_2 มีค่าเป็นลบ (เนื่องจาก v_1 มีค่าเป็นลบ) และกระแส i_2 เริ่มเพิ่มขึ้นอย่างเป็นเชิงเส้นโดยมีความชันดังสมการ

$$\frac{di_2}{dt} = \frac{V_{C1} + V_{C2} - v_2 - V_o}{L_k} = \frac{2V_{C1} - n(V_{in} - V_{C1}) - V_o}{L_k} \quad (2.5)$$

ในขณะที่ตัวเก็บประจุ C_2 ดิสชาร์จประจุจ่ายเป็นกระแส i_2 ไปยังตัวเก็บประจุ C_3 และโหลด R ตัวเก็บประจุ C_1 ถูกชาร์จประจุโดยกระแส i_{D1} ซึ่งจากรูปที่ 2.3 (ค) สัมพันธ์กับกระแส i_{Lm} และ i_2 ดังสมการ

$$i_{D1} = i_{in} - i_2 = (i_{Lm} - i_1) - i_2 = i_{Lm} - (n+1)i_2 \quad (2.6)$$

เนื่องจาก i_2 มีค่าเพิ่มขึ้นและ i_{Lm} มีค่าลดลง จากสมการที่ (2.6) i_{D1} จึงมีค่าลดลง

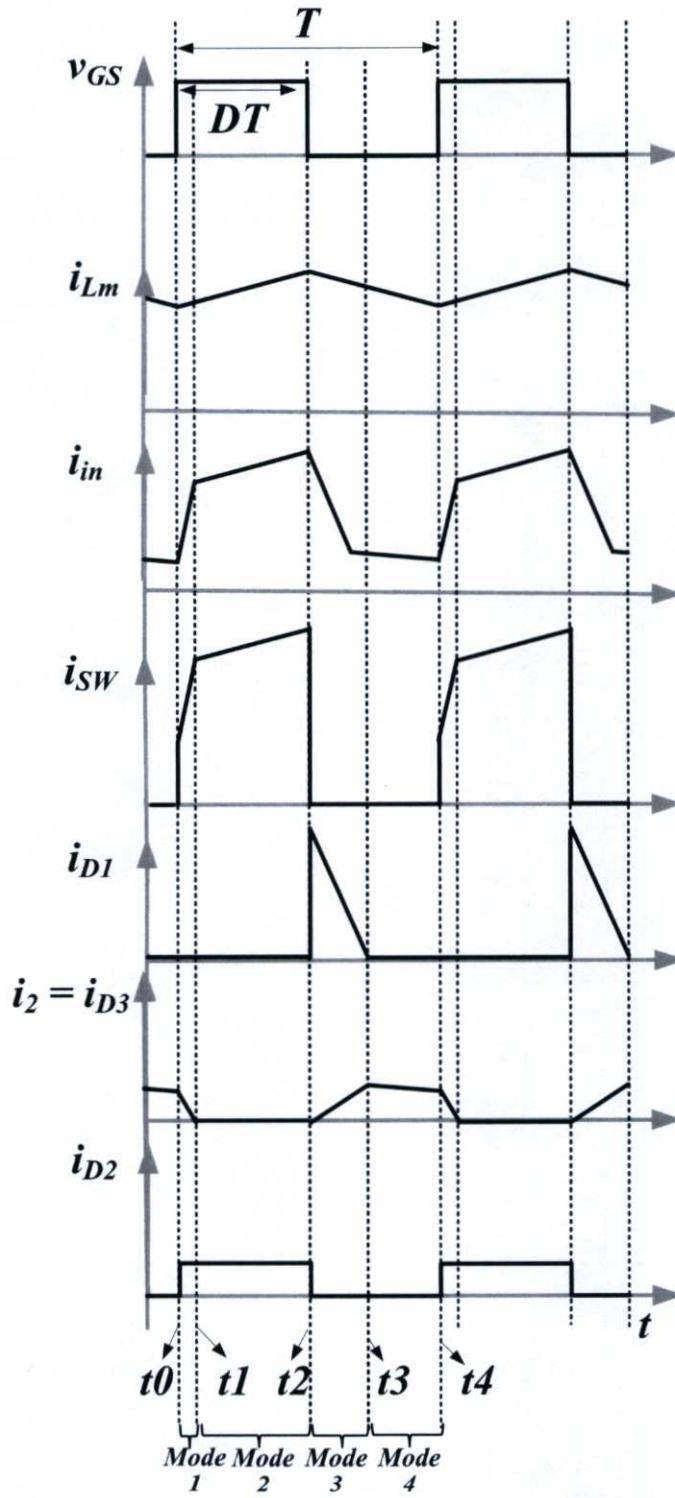
การทำงานในโหมดที่ 3 นี้จะสิ้นสุดที่เวลา t_3 เมื่อ $i_{D1} = 0$

โหมด 4 (t_3-t_4) : วงจรสมมูลแสดงดังรูปที่ 2.3 (ง) เนื่องจากกระแส $i_{D1} = 0$ ส่งผลให้ ไดโอด D_1 ไม่นำกระแส ในขณะที่ตัวเก็บประจุและไดโอด D_2 ไม่นำกระแส ไดโอด D_3 ยังคงนำกระแส แรงดันคร่อมขดลวดปฏิกิริยามีค่าเท่ากับในโหมดที่ 3 และกระแส i_{Lm} ลดลงอย่างต่อเนื่องโดยมีความชันดังสมการที่ (2.4) ในขณะเดียวกันตัวเก็บประจุ C_2 ยังคงดิสชาร์จประจุจ่ายเป็นกระแส i_2 ส่วนตัวเก็บประจุ C_1 อยู่ในสภาวะโดดเดี่ยว (isolating state) โดยไม่ได้ต่อกับส่วนใดในวงจร ด้านอินพุต กระแส i_{in} สามารถแสดงดังสมการ

$$i_{in} = i_{Lm} - i_1 = i_{Lm} - ni_2 = i_2 \quad (2.7)$$

การทำงานในโหมดที่ 4 นี้จะสิ้นสุดที่เวลา t_3 เมื่อสวิตช์เริ่มนำกระแสอีกครั้งหนึ่ง (เริ่มการทำงานในโหมดที่ 1)

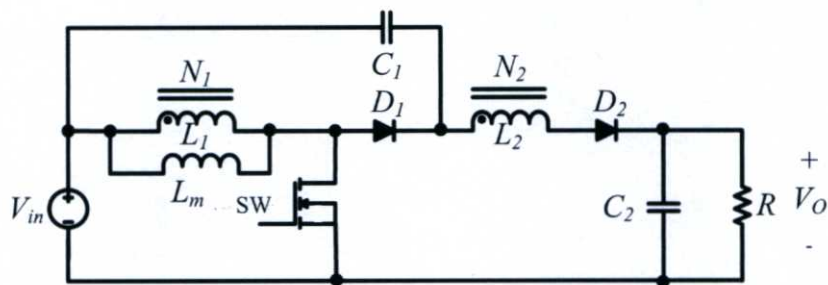
จากการทำงานในโหมดที่ 1 ถึง 4 ที่กล่าวมาข้างต้นสามารถเขียนรูปคลื่นของวงจรได้ดังรูปที่ 2.4 ช่วงเวลาที่สวิตช์นำกระแสซึ่งครอบคลุมการทำงานในโหมดที่ 1 และ 2 มีระยะเวลาเท่ากับ DT ช่วงเวลาที่สวิตช์ไม่นำกระแสซึ่งครอบคลุมการทำงานในโหมดที่ 3 และ 4 มีระยะเวลาเท่ากับ $(1-D)T$ เมื่อ D คือ ดิวตี้ไซเคิล และ T คือคาบเวลาการสวิตช์ กระแส i_{D1} เป็นกระแสที่ชาร์จตัวเก็บประจุ C_1 มีรูปคลื่นเป็นสามเหลี่ยม (Triangle waveform) เหมือนกับในวงจร VCCBC [22,23] กระแส i_{D2} เป็นกระแสที่ตัวเก็บประจุ C_1 ดิสชาร์จไปให้กับตัวเก็บประจุ C_2 ซึ่งกำหนดให้มีรูปสัญญาณเป็นรูปคลื่นพัลส์ (Pulse waveform)



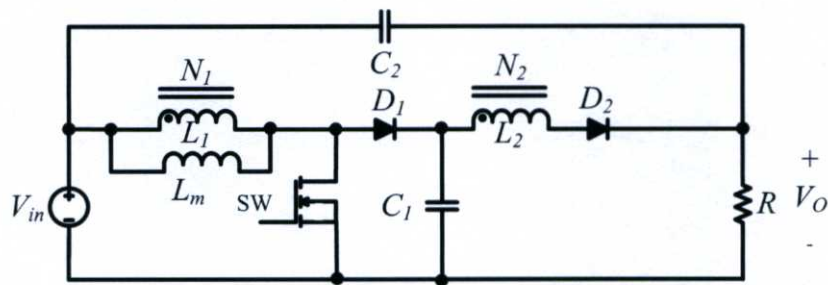
รูปที่ 2.4 รูปคลื่นแรงดันและกระแสในวงจร NVCCBC

2.4 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่ชนิดอื่นๆ

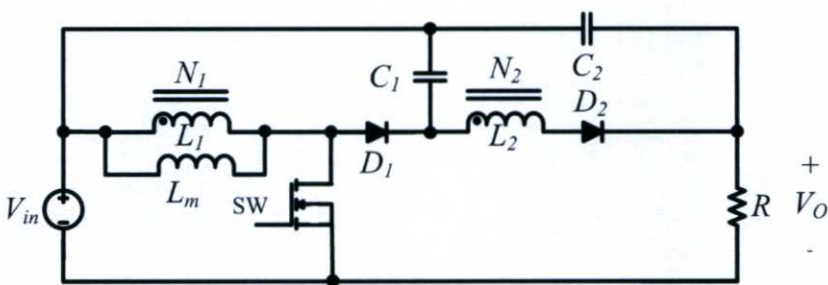
จากที่กล่าวมาข้างต้น วงจร NVCCBC ที่นำเสนอในรูปที่ 2.1 (ง) พัฒนามาจากวงจร VCCBC ในรูปที่ 2.1 (ค) โดยการเพิ่มตัวเก็บประจุ C_2 และไดโอด D_2 บทความ [22] ได้นำเสนอวงจรในตระกูลวงจร VCCBC อีก 3 รูปแบบดังแสดงในรูปที่ 2.5



(ก)



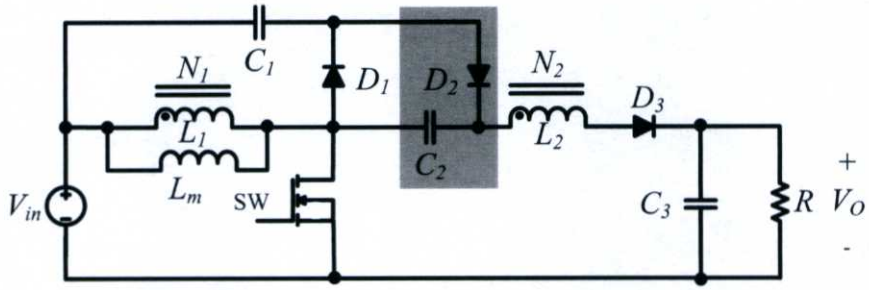
(ข)



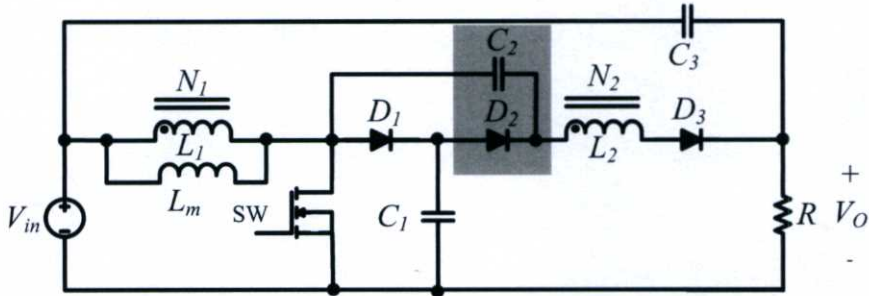
(ค)

รูปที่ 2.5 (ก) วงจร VCCBC type A (ข) วงจร VCCBC type B (ค) วงจร VCCBC type C

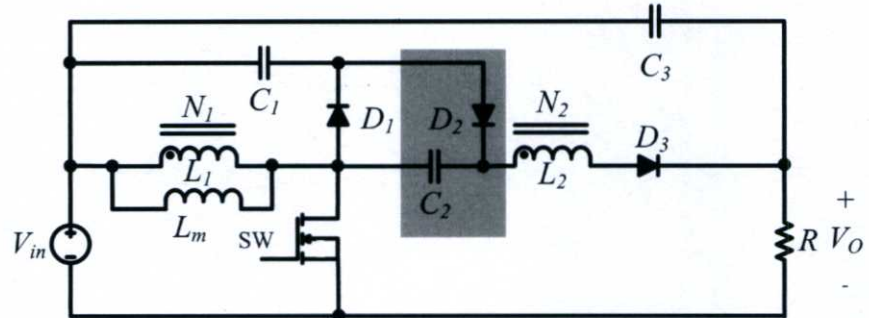
วงจรเหล่านี้สามารถพัฒนาให้มีอัตราขยายสูงขึ้นได้เช่นกันโดยการเพิ่มตัวเก็บประจุ C_2 และ D_2 ในตำแหน่งที่เหมาะสมดังแสดงในรูปที่ 2.6



(ก) วงจร NVCCBC type A



(ข) วงจร NVCCBC type B



(ค) วงจร NVCCBC type C

รูปที่ 2.6 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่
ที่พัฒนาจากวงจร VCCBC ในรูปที่ 2.5

ตัวเก็บประจุ C_1 และไดโอด D_1 ของกลุ่มวงจรในรูปที่ 2.6 ยังคงทำหน้าที่แคลมป์แรงดันคร่อมสวิตช์ เช่นเดิม อัตราขยายและแรงดันคร่อมสวิตช์ของกลุ่มวงจรในรูปที่ 2.6 มีค่าเท่ากับวงจร NVCCBC ในรูปที่ 2.2 ทุกประการคือ

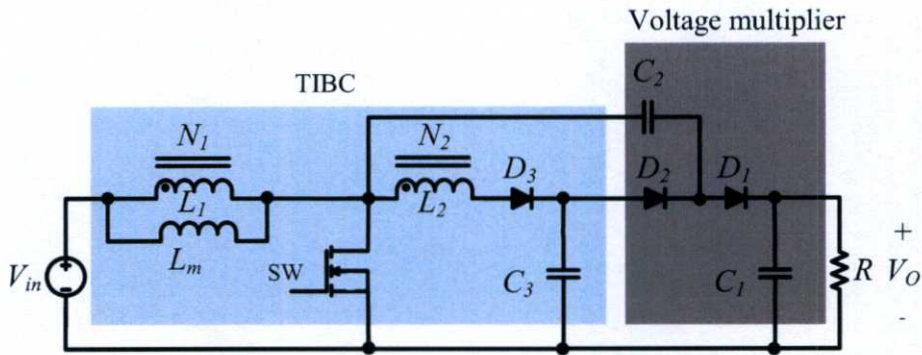
$$\frac{V_o}{V_{in}} = \frac{2 + nD}{1 - D} \tag{2.8}$$

$$V_{sw} = \frac{V_{in}}{1 - D} \tag{2.9}$$

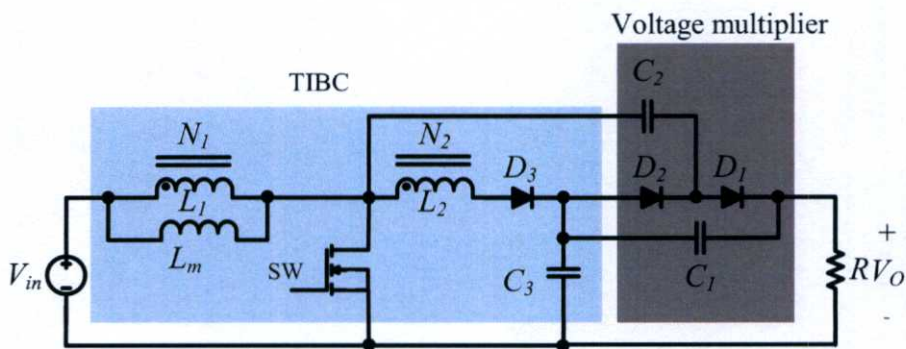
จากการศึกษางานวิจัยที่เกี่ยวข้อง วงจร NVCCBC type A ได้ถูกนำเสนอมาก่อนหน้านี้แล้ว ในบทความ [27] ผู้วิจัยได้ทำการทดสอบวงจรต้นแบบที่มีแรงดันอินพุต 12V แรงดันเอาต์พุต 100V กำลังไฟสูงสุด 35W พบว่าวงจรมีประสิทธิภาพสูงสุด 93.8% และได้สรุปข้อดีของวงจร NVCCBC type A ไว้ดังนี้

1. มีอัตราขยายสูง
2. ง่ายต่อการออกแบบเพื่อไม่ให้ค่าตัวชี้เสถียรเกิน 0.5 โดยใช้การเพิ่มจำนวนรอบขดลวดทุติยภูมิต่อปฐมภูมิแทน ส่งผลให้สามารถนำการควบคุมในโหมดกระแส (Current mode control) มาใช้กับวงจรได้
3. พลังงานที่สะสมในตัวเหนี่ยวนำร่วไหลได้ถูกนำมาใช้ประโยชน์โดยการถ่ายเทไปยังด้านเอาต์พุต ส่งผลให้ประสิทธิภาพของวงจรสูงขึ้น
4. มีการเคลมบ์แรงดันคร่อมสวิตช์ สามารถเลือกใช้สวิตช์ที่มีพิกัดแรงดันต่ำได้

วงจร NVCCBC type B ในรูปที่ 2.6(ข) และวงจร NVCCBC type C ในรูปที่ 2.6(ค) นั้นเป็นวงจรที่พัฒนาขึ้นใหม่และยังไม่เคยมีการนำเสนอมาก่อน โดยทั้งสองวงจรมีคุณสมบัติการทำงานเช่นเดียวกันกับวงจร NVCCBC type A ในรูปที่ 2.6(ก)



(ก) วงจร NVCCBC type D



(ข) วงจร NVCCBC type E

รูปที่ 2.7 วงจรเคลมบ์แรงดันตัวเหนี่ยวนำร่วมบυσท์คอนเวอร์เตอร์แบบใหม่ที่พัฒนาจากวงจร TIBC ในรูปที่ 2.1 (ข)

นอกจากนี้วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมแบบใหม่ ยังสามารถพัฒนาได้จากการนำวงจรแท็ปอินดักเตอร์บูสต์คอนเวอร์เตอร์ (TIBC) มาต่อกับวงจร Voltage multiplier [8] ดังแสดงในรูป 2.7 (ก) และ (ข) โดยในที่นี้จะเรียกสองวงจรมีชื่อว่าวงจร NVCCBC type D และวงจร NVCCBC type E ตามลำดับ ซึ่งทั้งสองวงจรมีจำนวนอุปกรณ์ อัตราขยายและแรงดันคร่อมสวิตช์ เท่ากันกับกลุ่มวงจร NVCCBC ในรูปที่ 2.6

2.5 ผลการจำลองการทำงานของวงจร

วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์แบบใหม่ชนิดต่างๆ (NVCCBC และ NVCCBC type A-E) ถูกนำมาจำลองการทำงานด้วยโปรแกรม Orcad PSpice ดังแสดงในรูปที่ 2.8 (ก) - 2.13 (ก) โดยมีเงื่อนไขการทำงานของวงจรแสดงในตารางที่ 2.2

ตารางที่ 2.2 เงื่อนไขการทำงานของวงจร

อัตราขยาย	10 เท่า
แรงดันอินพุท V_{in}	12V
แรงดันเอาต์พุท V_o	120V
ดิวตี้ไซเคิล D	0.5
ความถี่สวิตช์ f_s	100kHz
กระแสเอาต์พุท I_o	0.9A
ความต้านทานโหลด R	133.33 Ω

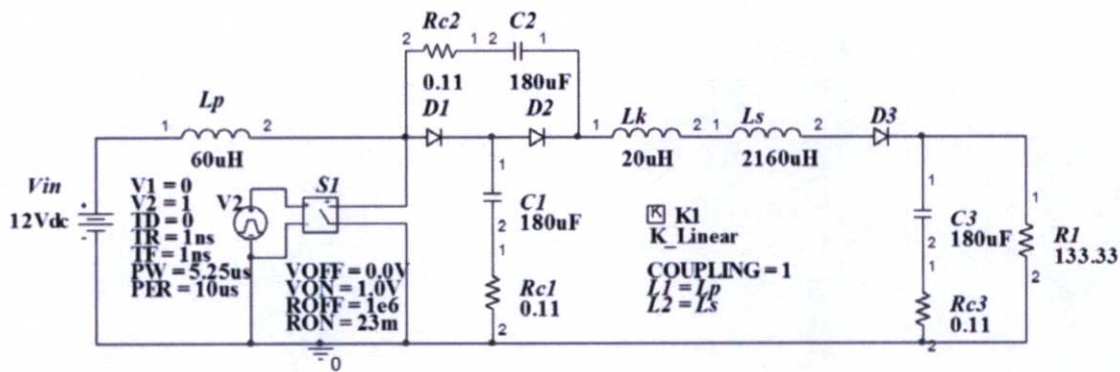
ผลการจำลองการทำงานของวงจรแสดงในรูปที่ 2.8 (ข) - 2.13 (ข) พบว่าวงจรทั้งหมดสามารถให้อัตราขยาย 10 เท่าที่ค่าดิวตี้ไซเคิลประมาณ 0.5 ซึ่งสอดคล้องกับผลการคำนวณจากสมการที่ 2.8 วงจรทั้งหมดยังมีแรงดันคร่อมสวิตช์ (v_{sw}) เท่ากันคือ 23.56V ซึ่งสอดคล้องกับผลการคำนวณจากสมการที่ 2.9 ที่มีค่าเท่ากับ 24V

จากผลการจำลองในรูปที่ 2.8 (ข) - 2.13 (ข) พบว่ารูปคลื่นการทำงานของวงจร NVCCBC และ วงจร NVCCBC type A-E มีความคล้ายคลึงกับรูปคลื่นทางทฤษฎีในรูปที่ 2.4 ยกเว้นรูปคลื่นกระแสอินพุท (i_{in}) ที่มีความแตกต่างกัน ตารางที่ 2.3 แสดงค่ากระแสอินพุทสูงสุด ($i_{in,max}$) และรีปเปิ้ลแรงดันเอาต์พุท (ΔV_o) ที่ได้จากการจำลองการทำงาน เมื่อพิจารณากระแสอินพุทจะเห็นว่าวงจร NVCCBC และ วงจร NVCCBC type D และ E มีค่ากระแสอินพุทสูงสุดใกล้เคียงกันและมีค่าต่ำกว่าวงจร NVCCBC type A B และ C เมื่อพิจารณารีปเปิ้ลแรงดันเอาต์พุทจะเห็นว่าวงจร NVCCBC type D และ E มีค่ารีปเปิ้ลสูงกว่าวงจรอื่นๆ สาเหตุเป็นเพราะว่ากระแสดีจชาร์จจากตัวเก็บประจุ C_2 ที่ไหลไปชาร์จตัวเก็บประจุเอาต์พุทไม่ถูกจำกัดด้วยตัวเหนี่ยวนำขดลวดทุติยภูมิดังเช่นวงจรอื่นๆ

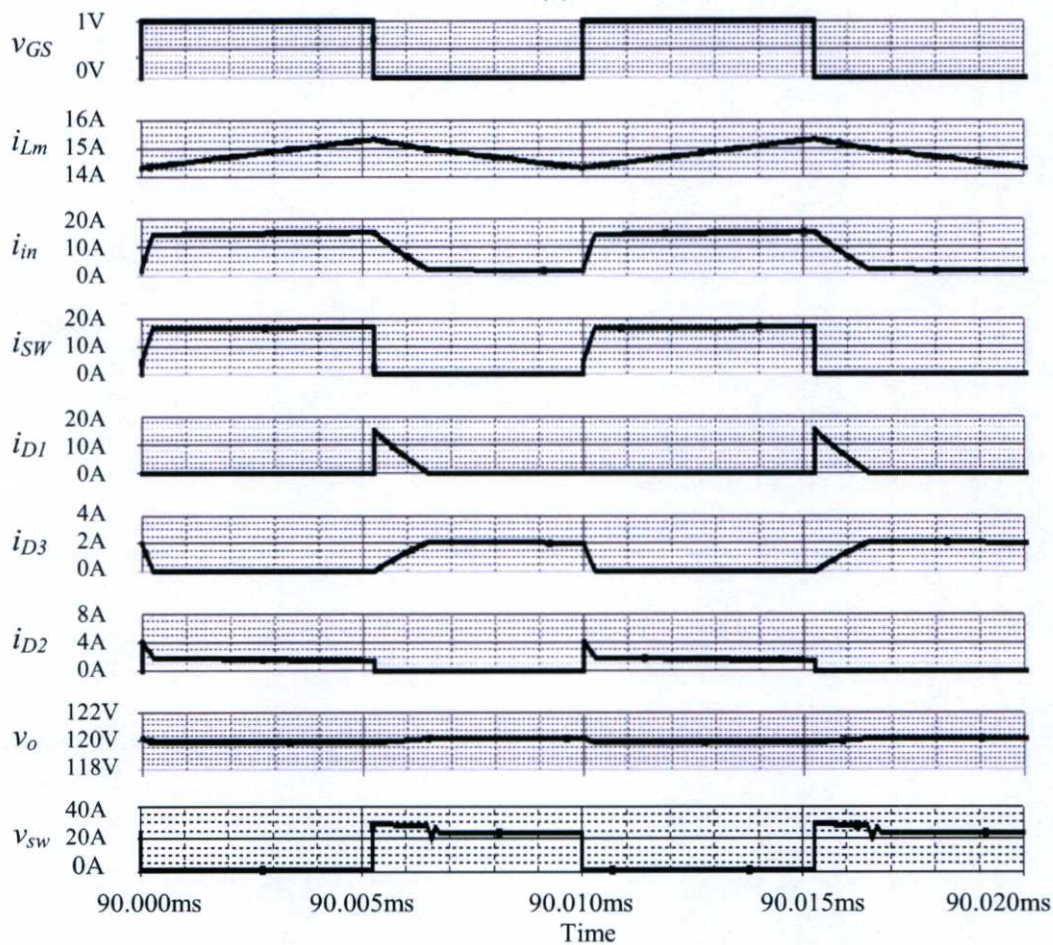
จากตารางที่ 2.3 สามารถสรุปได้ว่าวงจร NVCCBC ที่นำเสนอมีจุดเด่นทั้งทางด้านค่ากระแสอินพุทและรีปเปิ้ลแรงดันเอาต์พุทเมื่อเทียบกับวงจร NVCCBC อื่นๆ

ตารางที่ 2.3 ผลการจำลอง $I_{in,max}$

ผลการจำลองวงจร	NVCCBC	NVCCBC type A	NVCCBC type B	NVCCBC type C	NVCCBC type D	NVCCBC type E
$I_{in,max}$ (A)	15.32A	16.25A	16.22A	17.64A	15.23A	15.12A
ΔV_o	0.24V	0.25V	0.25V	0.25V	1.6V	3.4V

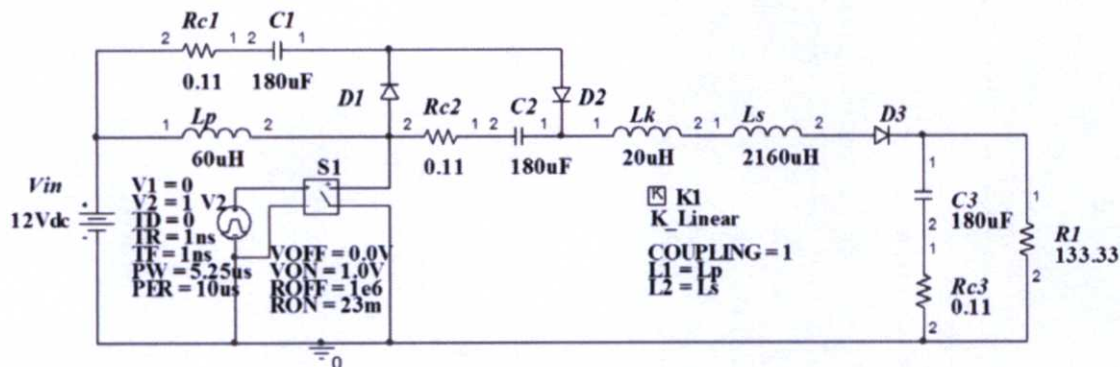


(ก)

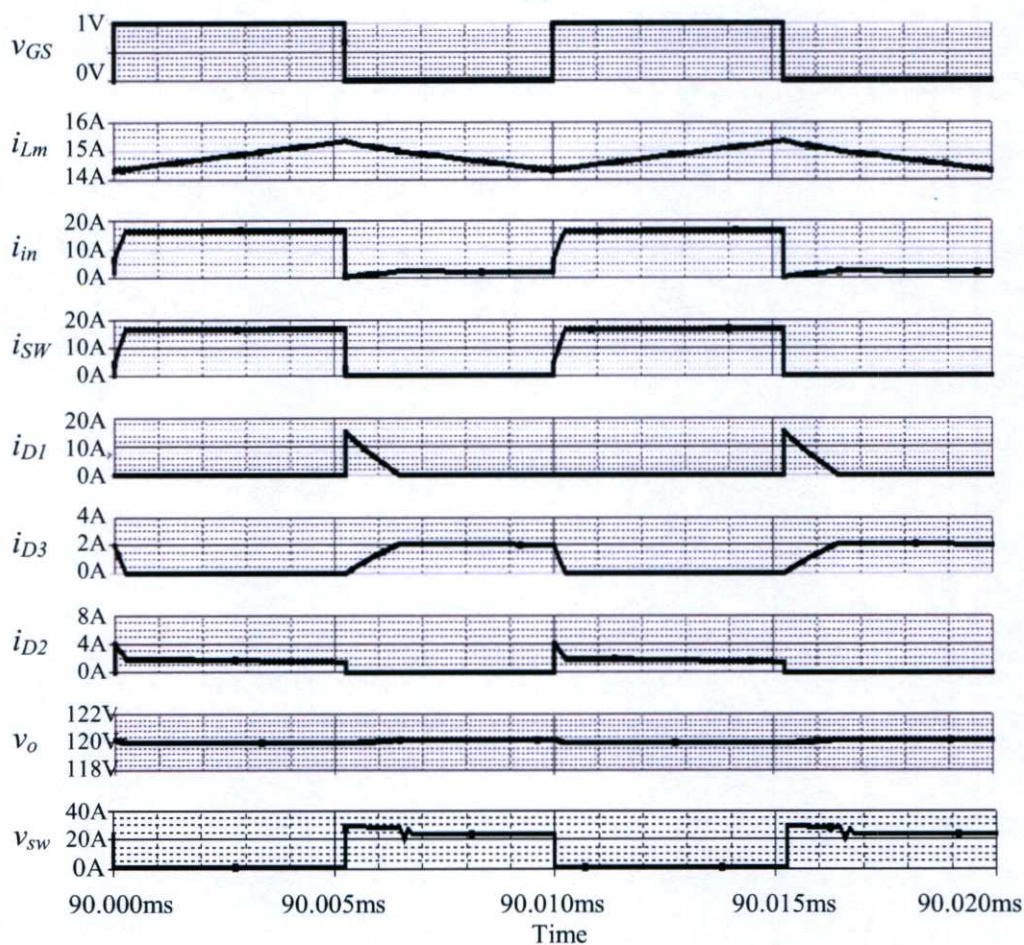


(ข)

รูปที่ 2.8 วงจร NVCCBC (ก) Schematic (ข) ผลการจำลอง

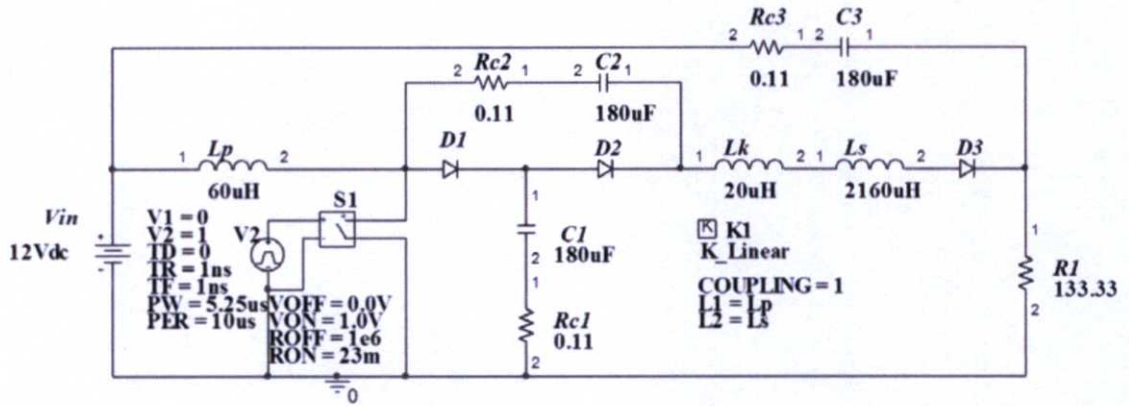


(ก)

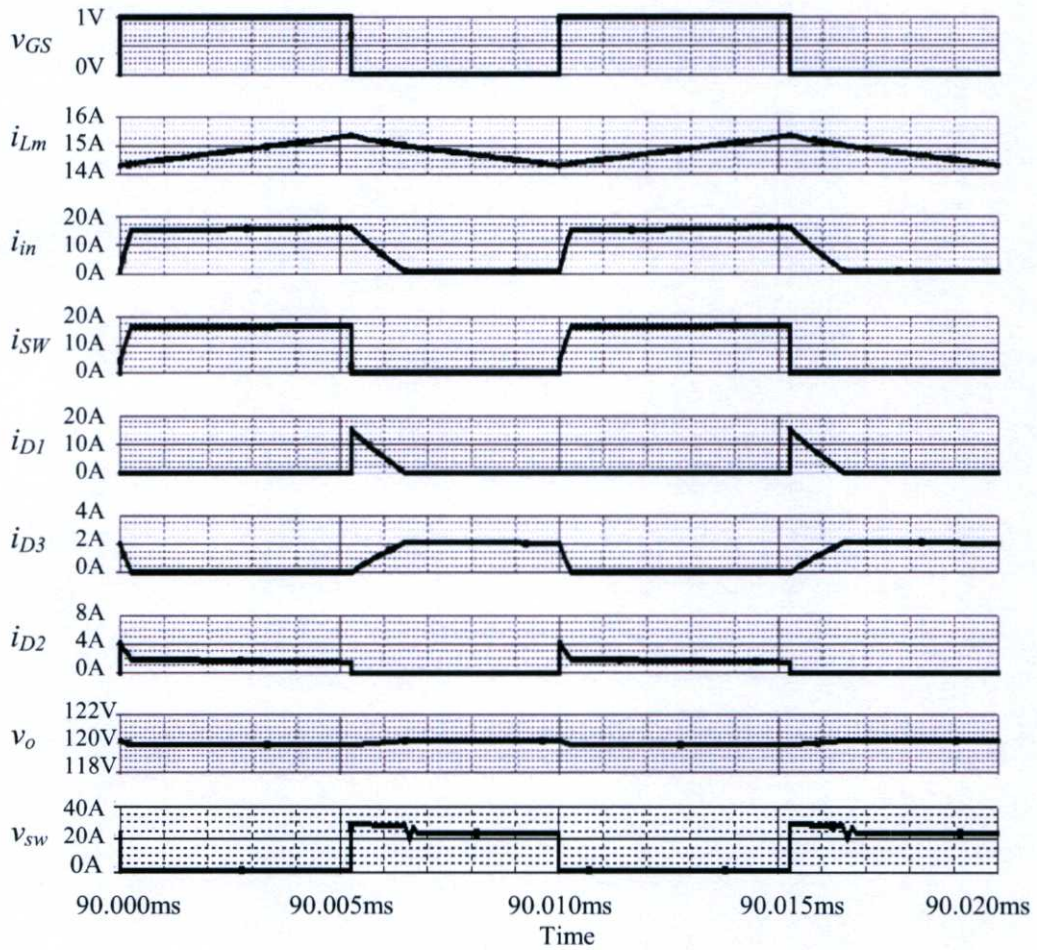


(ข)

รูปที่ 2.9 วงจร NVCCBC type A (ก) Schematic (ข) ผลการจำลอง

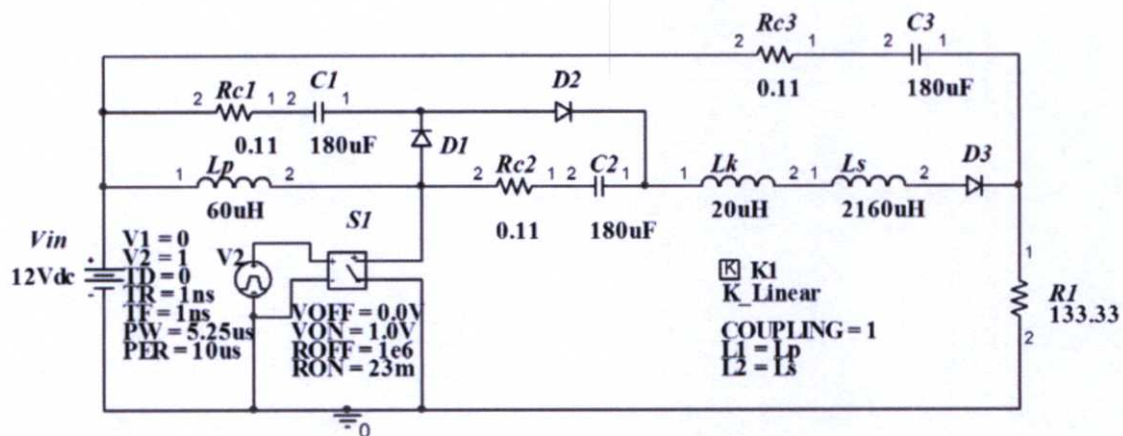


(ก)

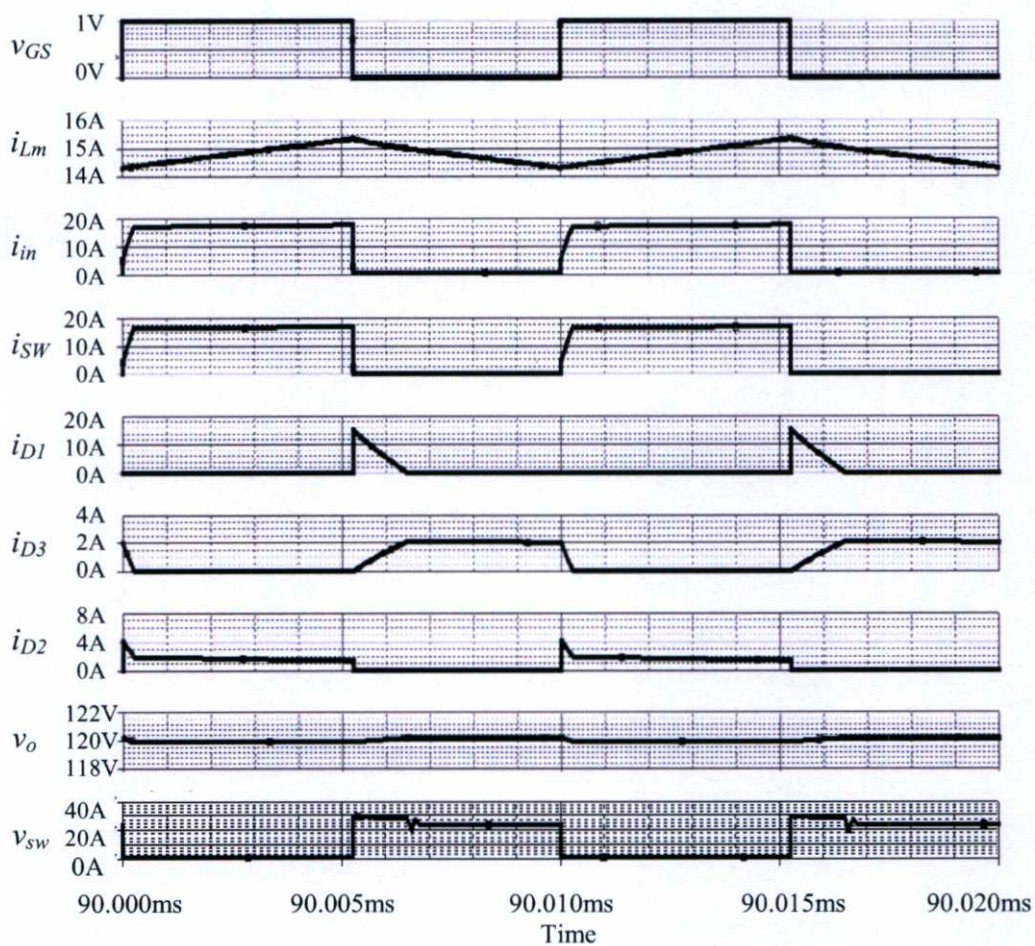


(ข)

รูปที่ 2.10 วงจร NVCCBC type B (ก) Schematic (ข) ผลการจำลอง

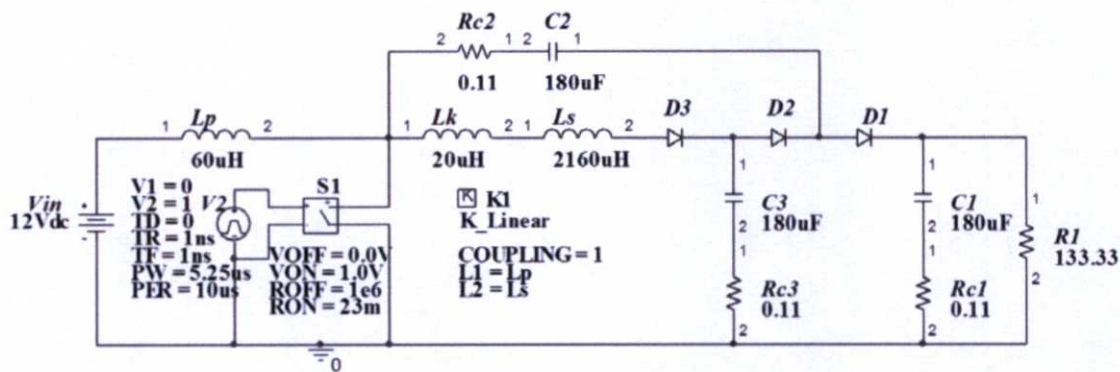


(ก)

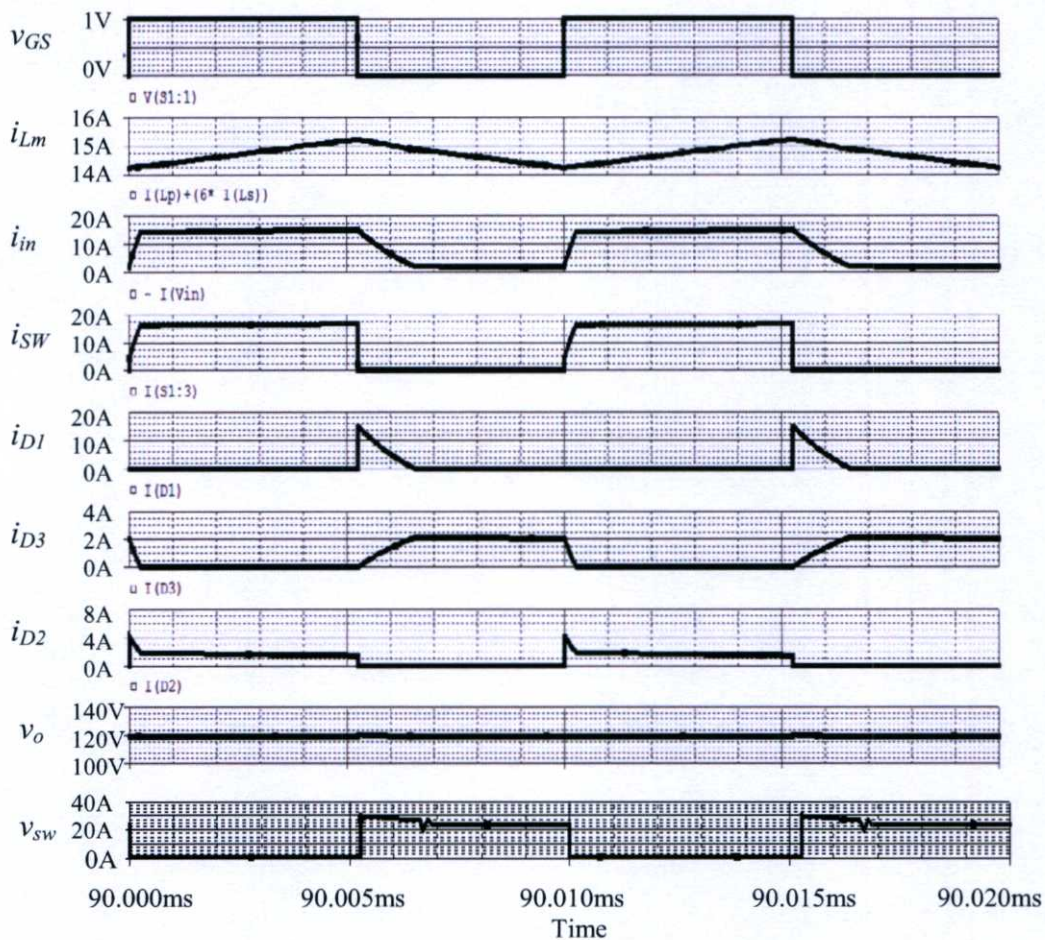


(ข)

รูปที่ 2.11 วงจร NVCCBC type C (ก) Schematic (ข) ผลการจำลอง

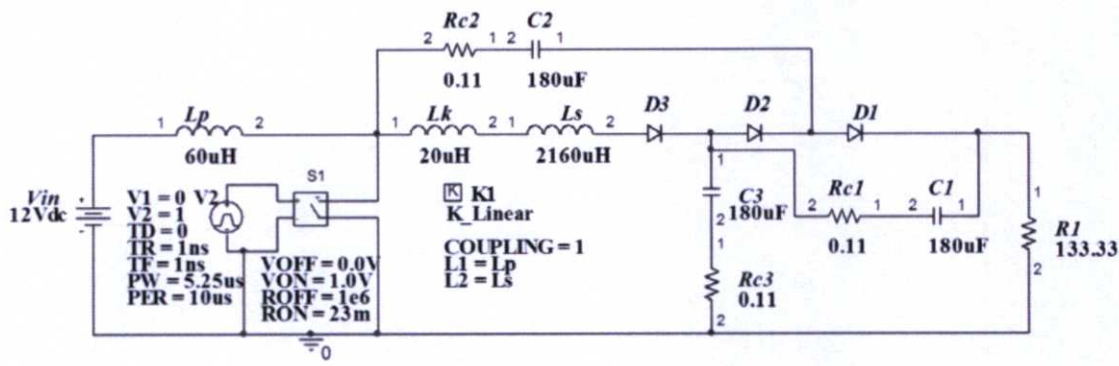


(ก)

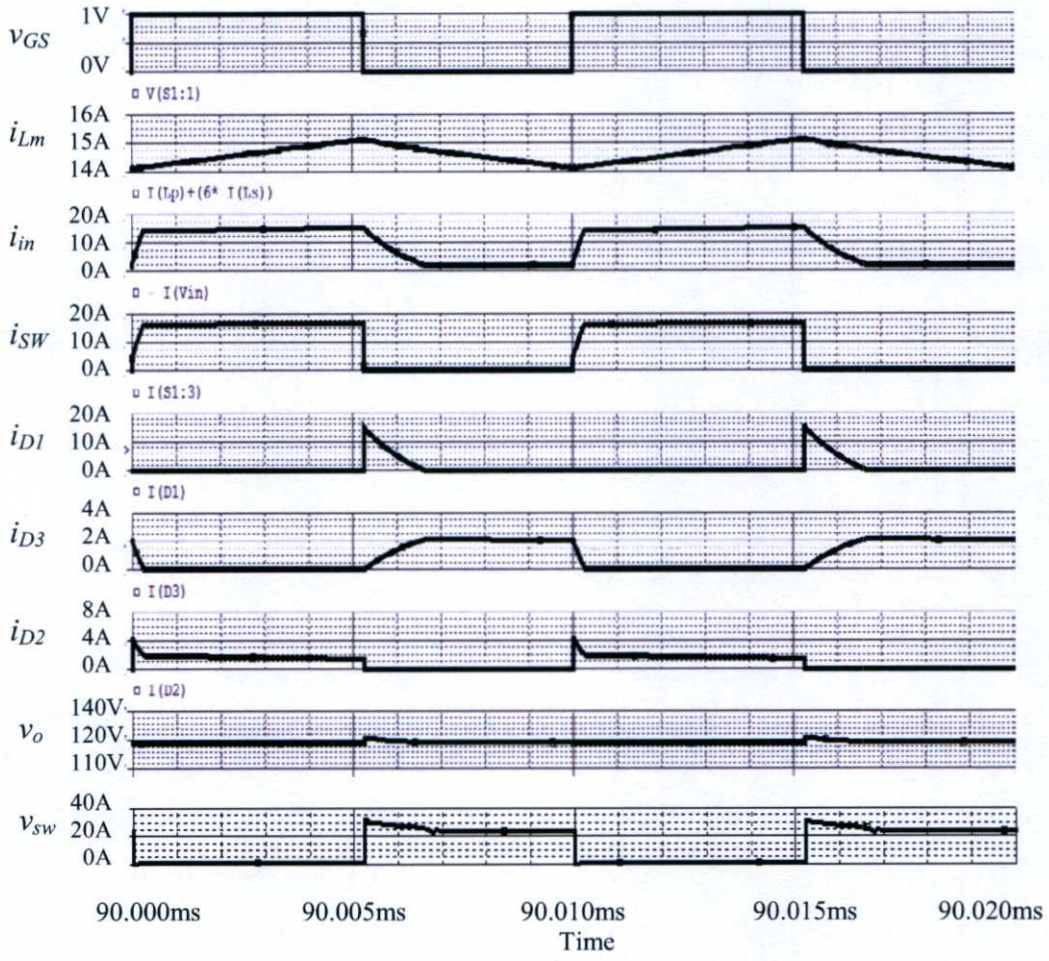


(ข)

รูปที่ 2.12 วงจร NVCCBC type D (ก) Schematic (ข) ผลการจำลอง



(ก)



(ข)

รูปที่ 2.13 วงจร NVCCBC type E (ก) Schematic (ข) ผลการจำลอง

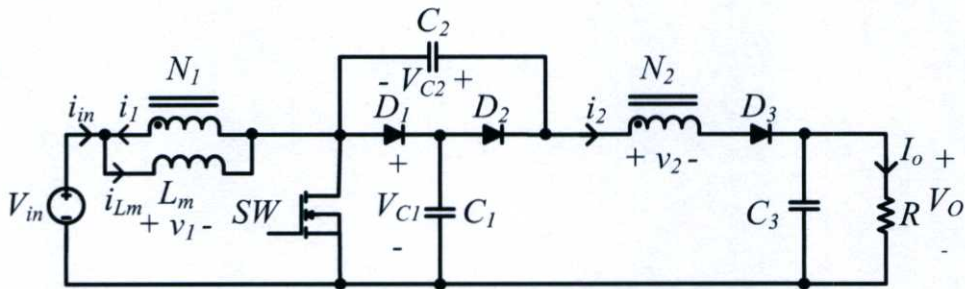
บทที่ 3

การวิเคราะห์การทำงานของวงจรแคลมป์แรงดันตัวเหนี่ยวนำ ร่วมบุสต์คอนเวอร์เตอร์แบบใหม่

3.1 บทนำ

บทนี้นำเสนอการวิเคราะห์วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบุสต์คอนเวอร์เตอร์แบบใหม่ ในทางอุดมคติซึ่งจะไม่พิจารณาผลของตัวเหนี่ยวนำรั่วไหล ผลลัพธ์ที่ได้คือสมการแรงดัน กระแส และ อัตราขยายของวงจร โดยความถูกต้องของผลการวิเคราะห์จะถูกยืนยันด้วยผลการทดสอบซึ่งจะ แสดงในบทถัดไป

3.2 หลักการทำงานของวงจร

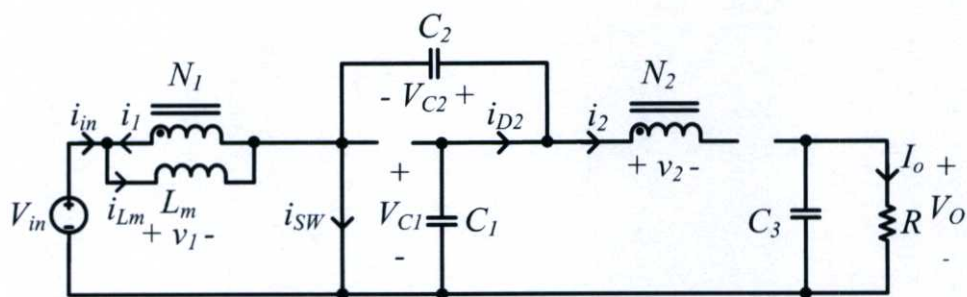


รูปที่ 3.1 วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบุสต์คอนเวอร์เตอร์ที่ใช้ในการวิเคราะห์

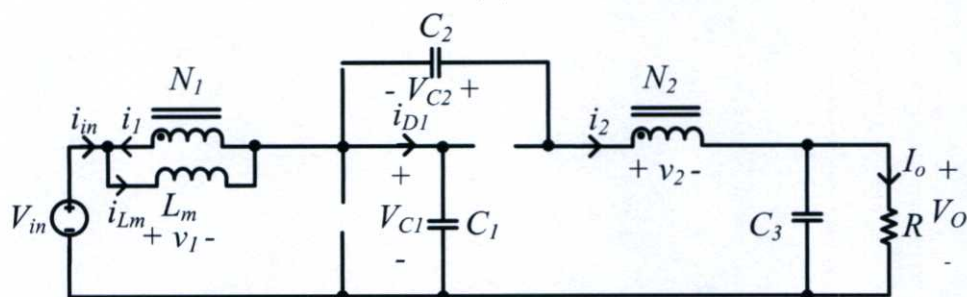
วงจรที่ใช้ในการวิเคราะห์การทำงานแสดงในรูปที่ 3.1 ตัวเหนี่ยวนำร่วม (Coupled inductor) มีอัตราส่วนจำนวนรอบขดลวดทุติยภูมิ (Secondary winding) ต่อขดลวดปฐมภูมิ (Primary winding) $n = N_2/N_1$ มีค่า Magnetizing inductance เท่ากับ L_m และมีค่า Leakage inductance เป็นศูนย์ ในการวิเคราะห์วงจร กำหนดให้

- แรงดันอินพุท V_{in} มีค่าคงที่
- อุปกรณ์เซมิคอนดักเตอร์สวิตช์ทุกตัว (SW, D_1, D_2, D_3) มีคุณสมบัติเป็นอุดมคติ
- ตัวเก็บประจุ C_1, C_2 และ C_3 มีค่ามาก ทำให้แรงดัน V_{C1}, V_{C2} และ V_{C3} มีค่าคงที่ในหนึ่งคาบเวลาการสวิตช์

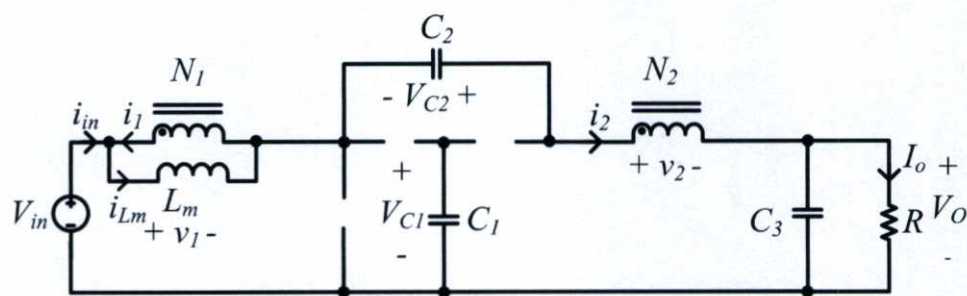
ผลจากการที่ Leakage inductance ของตัวเหนี่ยวนำร่วมมีค่าเป็นศูนย์ จะทำให้การทำงานของวงจร ในโหมดที่ 1 (t_0-t_1) ดังที่อธิบายไว้ในบทที่ 2 นั้นหายไป ดังนั้นในหนึ่งคาบเวลาการสวิตช์ วงจรจะ คงเหลือการทำงานเพียง 3 สภาวะเท่านั้นคือ



(ก)



(ข)



(ค)

รูปที่ 3.2 วงจรสมมูล (ก) โหมด 2 (ข) โหมด 3 (ค) โหมด 4

โหมดที่ 2 (t_1-t_2): วงจรสมมูลแสดงดังรูปที่ 3.2 (ก) ในสภาวะนี้ตัวเหนี่ยวนำร่วมได้รับแรงดันด้านขดลวดปฐุมภูมิ มีค่าเป็นบวก ดังนั้นกระแส i_{Lm} จะเพิ่มขึ้นอย่างเป็นเชิงเส้นและพลังงานถูกสะสมใน L_m จากรูปที่ 3.2 (ก) พิจารณาแรงดันที่ตัวเหนี่ยวนำ L_m จะได้

$$v_1 = V_{in} \quad (3.1)$$

ในสภาวะนี้ สามารถเขียนสมการกระแสของวงจรได้ดังนี้

$$i_{in} = i_{Lm} \quad (3.2)$$

$$i_2 = 0 \quad (3.3)$$

$$i_{D1} = 0 \quad (3.4)$$

$$i_{SW} = i_{in} + i_{D2} \quad (3.5)$$

โดยที่ i_{in} คือกระแสอินพุต i_{SW} คือกระแสสวิทช์ i_{D1} คือ กระแสที่ซาร์จตัวเก็บประจุ C_1 ที่มาจาก L_m และ i_{D2} คือกระแสที่ดิสชาร์จจากตัวเก็บประจุ C_1 ไปซาร์จตัวเก็บประจุ C_2 การทำงานในโหมดที่ 2 นี้ จะสิ้นสุดลงเมื่อสวิทช์หยุดนำกระแส

โหมดที่ 3 (t_2-t_3) : วงจรสมมูลแสดงดังรูปที่ 3.2 (ข) ในสภาวะนี้ตัวเหนี่ยวนำร่วมได้รับแรงดันด้านขดลวดปฐมภูมิมีค่าเป็นลบ ดังนั้นกระแส i_{Lm} จะลดลงอย่างเป็นเชิงเส้นและพลังงานที่สะสมถูกคลายออกจาก L_m จากรูปที่ 3.2 (ข) พิจารณาลูปนอกสุดของวงจรที่ประกอบไปด้วย แหล่งจ่ายแรงดันอินพุต ขดลวดปฐมภูมิ ตัวเก็บประจุ C_2 ขดลวดทุติยภูมิ และโหลด R จะได้

$$v_1 = V_{in} + V_{C2} - v_2 - V_o = V_{in} + V_{C2} - nv_1 - V_o \quad (3.6)$$

$$v_1 = \frac{V_{in} + V_{C2} - V_o}{(1+n)} \quad (3.7)$$

พิจารณาลูปด้านซ้ายมือของวงจรในรูปที่ 3.2 (ข) ที่ประกอบด้วย แหล่งจ่ายแรงดันอินพุต ขดลวดปฐมภูมิ และตัวเก็บประจุ C_1 จะได้

$$v_1 = V_{in} - V_{C1} \quad (3.8)$$

นั่นคือแรงดันที่เหนี่ยวนำ L_m สามารถอธิบายได้ดังสมการ

$$v_1 = \frac{V_{in} + V_{C2} - V_o}{(1+n)} = V_{in} - V_{C1} \quad (3.9)$$

ในสภาวะนี้ สามารถเขียนสมการกระแสของวงจรได้ดังนี้

$$i_{in} = i_{Lm} - i_1 = i_{Lm} - ni_2 \quad (3.10)$$

$$i_{D1} = i_{in} - i_2 = i_{Lm} - (n+1)i_2 \quad (3.11)$$

$$i_{SW} = 0 \quad (3.12)$$

การทำงานโหมดที่ 3 นี้จะสิ้นสุดลงเมื่อ $i_{D1} = 0$

โหมดที่ 4 (t_3-t_4) : วงจรสมมูลแสดงดังรูปที่ 3.2 (ค) ในสภาวะนี้ตัวเหนี่ยวนำร่วมยังคงได้รับแรงดันด้านขดลวดปฐมภูมิมีค่าเป็นลบ ดังนั้นกระแส i_{Lm} ยังคงลดลงอย่างเป็นเชิงเส้นและตัวเหนี่ยวนำ L_m ยังคงคลายพลังงานต่อไป แรงดันที่ตัวเหนี่ยวนำ L_m ยังคงมีค่าดังสมการที่ (3.7) ในสภาวะนี้ สามารถเขียนสมการกระแสของวงจรได้ดังนี้

$$i_{in} = i_2 \quad (3.13)$$

$$i_2 = \frac{i_{Lm}}{n+1} \quad (3.14)$$

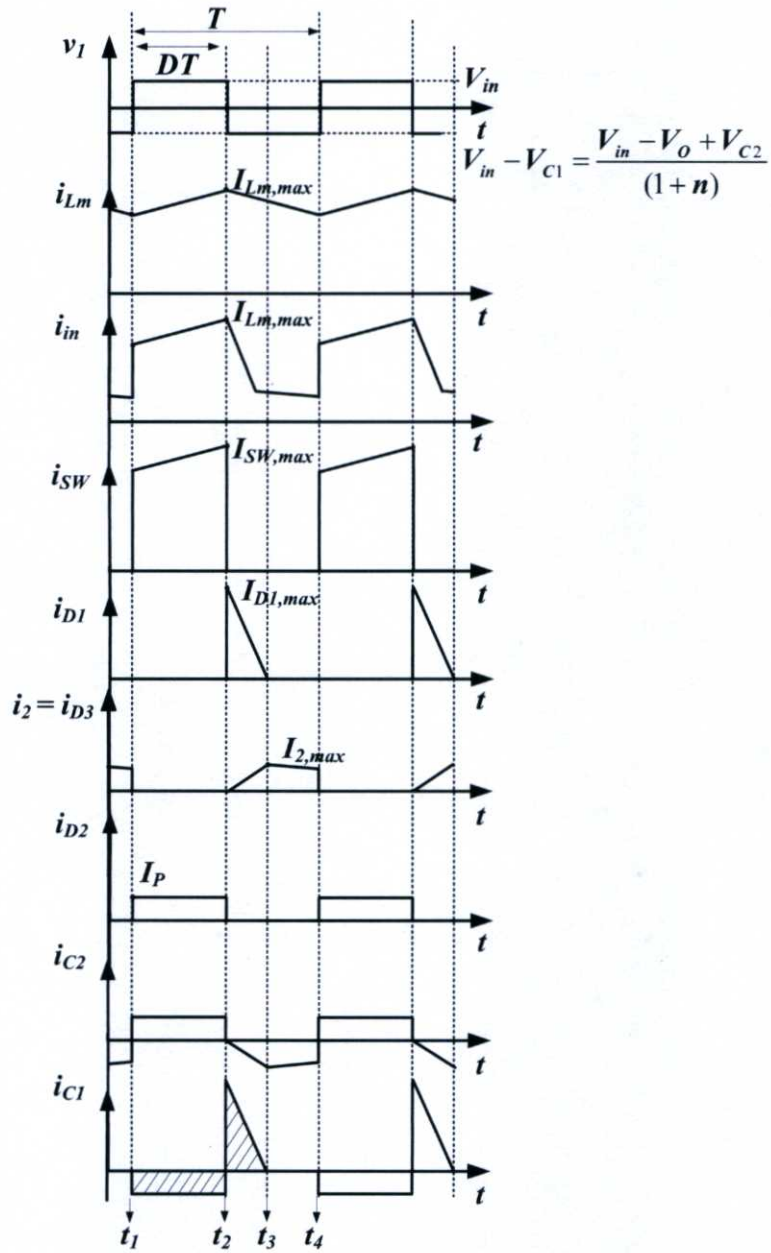
$$i_{D1} = 0 \quad (3.15)$$

$$i_{SW} = 0 \quad (3.16)$$

การทำงานโหมดที่ 4 นี้จะสิ้นสุดลงเมื่อสวิตช์เริ่มนำกระแสอีกครั้ง

จากสมการที่ (3.1)-(3.16) สามารถเขียนรูปคลื่นของวงจรในทางอุดมคติได้ดังรูปที่ 3.3 ช่วงเวลาที่สวิตช์นำกระแสซึ่งครอบคลุมการทำงานในโหมดที่ 2 มีระยะเวลาเท่ากับ DT และช่วงเวลาที่สวิตช์ไม่นำกระแสซึ่งครอบคลุมการทำงานในโหมดที่ 3 และ 4 มีระยะเวลาเท่ากับ $(1-D)T$ เมื่อ D คือค่าดิวิตีไซเคิลของสวิตช์ และ T คือ คาบเวลาการสวิตช์ กระแส i_{Lm} จะเพิ่มขึ้นอย่างเป็นเชิงเส้นในช่วงเวลา DT และลดลงอย่างเป็นเชิงเส้นในช่วงเวลา $(1-D)T$ ส่วนกระแส i_{D2} ซึ่งเป็นกระแสที่ตัวเก็บประจุ C_1 ดิสชาร์จไปให้ตัวเก็บประจุ C_2 ถูกประมาณให้มีรูปคลื่นเป็นสัญญาณพัลส์ (Pulse current) โดยมีขนาด (Amplitude) เท่ากับ I_p เมื่อพิจารณารูปคลื่นกระแส i_{C1} และ i_{C2} ที่แสดงอยู่ด้านล่างสุดในรูปที่ 3.3 จะเห็นว่าตัวเก็บประจุ C_1 ดิสชาร์จเป็นกระแส i_{D2} ในช่วงเวลา DT และถูกชาร์จด้วยกระแส I_{D1} ในช่วงเวลา $(1-D)T$ ส่วนตัวเก็บประจุ C_2 ถูกชาร์จด้วยกระแส i_{D2} ในช่วงเวลา DT และดิสชาร์จเป็นกระแส i_2 ในช่วงเวลา $(1-D)T$

ในรูปที่ 3.3 $I_{Lm,max}$ คือค่ากระแสสูงสุดที่ไหลผ่านตัวเหนี่ยวนำ L_m $I_{SW,max}$ คือค่ากระแสสูงสุดที่ไหลผ่านสวิตช์ $I_{D1,max}$ คือค่ากระแสสูงสุดที่ไหลผ่านไดโอด D_1 $I_{2,max}$ คือค่ากระแสสูงสุดที่ไหลผ่านขดลวดทุติยภูมิ I_p คือค่ากระแสสูงสุดที่ไหลผ่านไดโอด D_2 การวิเคราะห์หาสมการของกระแสเหล่านี้จะกล่าวในหัวข้อที่ 3.2.2



รูปที่ 3.3 รูปคลื่นที่สำคัญของวงจร

3.2.1 ความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับแรงดันอินพุต

ที่สภาวะคงตัว (Steady-state) แรงดันเฉลี่ยคร่อมตัวเหนี่ยวนำ L_m ในหนึ่งคาบเวลาการสวิตช์ มีค่าเป็นศูนย์ นั่นคือแรงดันเฉลี่ย v_1 ในรูปที่ 3.3 มีค่าเป็นศูนย์ ดังนั้นจะได้

$$\frac{V_{in}DT + (V_{in} - V_{C1})(1-D)T}{T} = 0 \quad (3.17)$$

$$\frac{V_{in}DT + \frac{(V_{in} - V_o + V_{C2})(1-D)T}{1+n}}{T} = 0 \quad (3.18)$$

จากสมการที่ (3.17) สามารถหาค่า V_{C1} และ V_{C2} ได้ดังสมการ

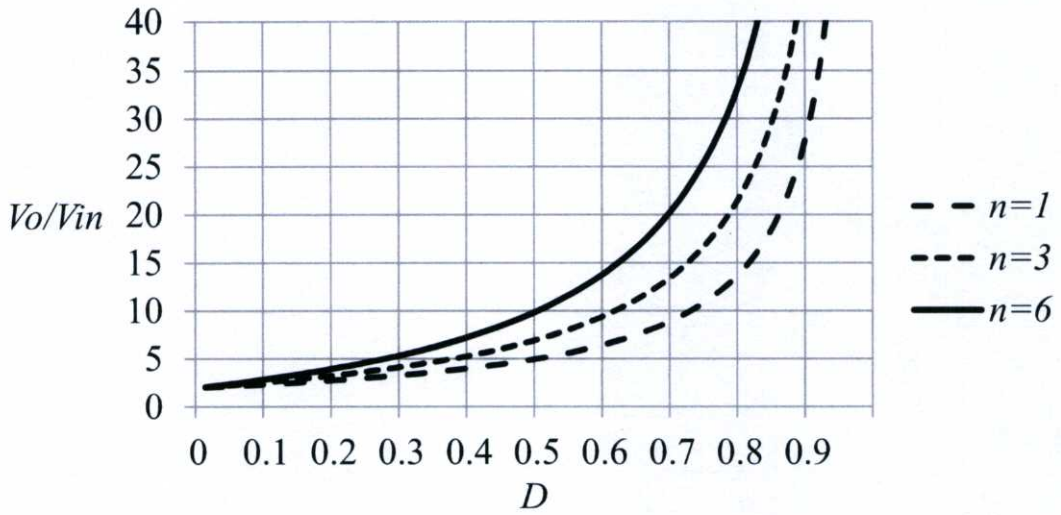
$$V_{C1} = V_{C2} = \frac{V_{in}}{1-D} \quad (3.19)$$

เหตุผลที่ $V_{C1} = V_{C2}$ เพราะตัวเก็บประจุ C_1 และ C_2 ต่อขนานกันในช่วงเวลา DT และในการวิเคราะห์วงจรได้กำหนดให้แรงดันคร่อมตัวเก็บประจุมีค่าคงที่ในหนึ่งคาบเวลาการสวิตช์

จากสมการที่ 3.18 สามารถหาอัตราขยายของวงจรได้ดังสมการ

$$\frac{V_o}{V_{in}} = \frac{2+nD}{1-D} \quad (3.20)$$

จากสมการที่ (3.20) สามารถเขียนกราฟแสดงความสัมพันธ์ระหว่างอัตราขยายของวงจรและค่าตัวดีไซเคิลที่ค่า n ต่างๆ ได้ดังรูปที่ 3.4 จากกราฟจะเห็นว่าเมื่อกำหนดให้ตัวดีไซเคิลมีค่าคงที่ค่าหนึ่ง อัตราขยายของวงจรจะมีค่าสูงขึ้น เมื่อ n มีค่าเพิ่มขึ้น ดังนั้นหากเลือกค่า n ให้เหมาะสม วงจรสามารถให้อัตราขยายที่สูงได้โดยที่ตัวดีไซเคิลมีค่าไม่มากเกินไป



รูปที่ 3.4 กราฟความสัมพันธ์ระหว่างอัตราขยายของวงจรและค่าตัวชี้เซลล์ที่ค่า n ต่างๆ

เมื่อพิจารณาการทำงานของวงจรในรูปที่ 3.2 (ก)-(ค) สามารถหาแรงดันคร่อมอุปกรณ์เซมิคอนดักเตอร์สวิตซ์ในขณะไม่นำกระแสได้ดังนี้

$$V_{SW,max} = V_{C1} = \frac{V_{in}}{1-D} \quad (3.21)$$

$$V_{D1,max} = V_{C2} = \frac{V_{in}}{1-D} \quad (3.22)$$

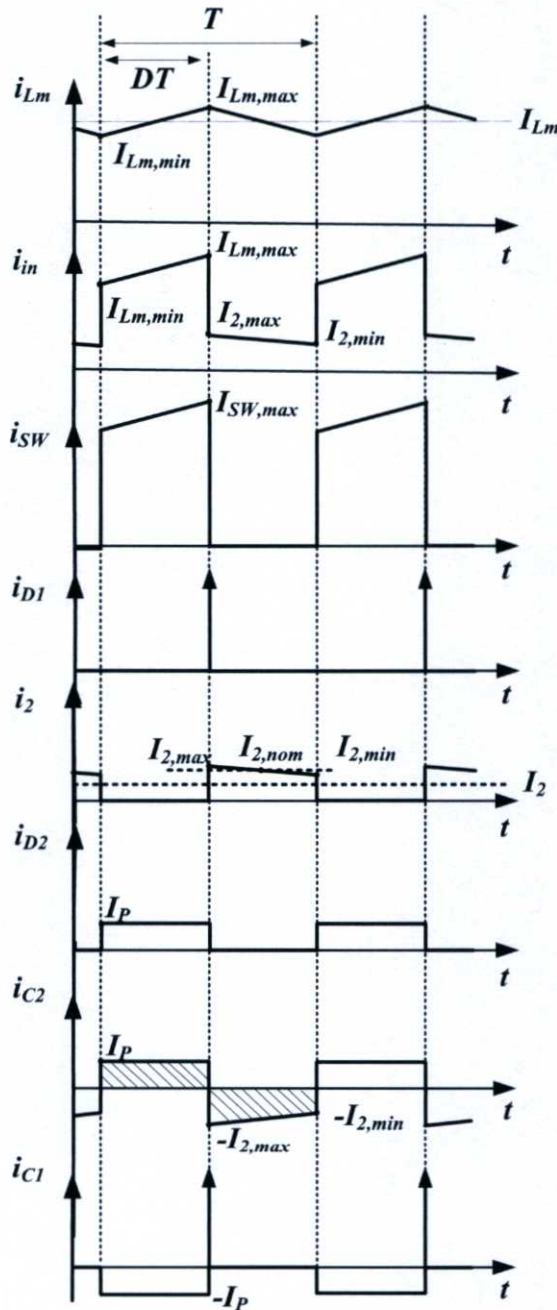
$$V_{D2,max} = V_{C2} = \frac{V_{in}}{1-D} \quad (3.23)$$

$$V_{D3,max} = V_o + nV_{in} - V_{C1} = \frac{1+n}{1-D} V_{in} \quad (3.24)$$

เมื่อ $V_{SW,max}$ $V_{D1,max}$ $V_{D2,max}$ และ $V_{D3,max}$ คือแรงดันสูงสุดคร่อมสวิตซ์ ไดโอด D_1 D_2 และ D_3 ตามลำดับ สมการแรงดันเหล่านี้สามารถนำมาใช้ในการกำหนดพิกัดแรงดันของอุปกรณ์เซมิคอนดักเตอร์ของวงจรได้

3.2.2 การประมาณและการวิเคราะห์รูปคลื่น

สมการกระแส $i_{Lm,max}$, $i_{sw,max}$, $i_{D1,max}$, $i_{2,max}$, และ i_p ในรูปที่ 3.3 สามารถหาได้โดยการประมาณให้การทำงานในโหมดที่ 3 มีระยะเวลาสั้นมากเมื่อเทียบกับการทำงานในโหมดที่ 2 และ 4 นั่นคือช่วงเวลา t_2-t_3 มีค่าน้อยมากเมื่อเทียบกับช่วงเวลา t_1-t_2 และ t_3-t_4 จากสมมุติฐานดังกล่าวสามารถเขียนรูปคลื่นในรูปที่ 3.3 ใหม่ได้ดังแสดงในรูปที่ 3.5 สังเกตว่ากระแส i_{D1} กลายเป็นสัญญาณอิมพัลส์ (Impulse) ซึ่งแทนด้วยสัญลักษณ์ลูกศร (Arrow)



รูปที่ 3.5 รูปคลื่นที่ได้จากการประมาณโดยกำหนดให้การทำงานในโหมดที่ 3 มีระยะเวลาสั้นมาก

ในรูปที่ 3.5 สามารถนิยามกระแสต่างๆได้ดังนี้

- กระแส I_{Lm} $I_{Lm,max}$ และ $I_{Lm,min}$ คือ กระแสเฉลี่ย กระแสสูงสุด และ กระแสต่ำสุดของตัวเหนี่ยวน L_m ตามลำดับ
- กระแส $I_{SW,max}$ คือ ค่ากระแสสูงสุดที่ไหลผ่านสวิตช์
- กระแส I_2 $I_{2,max}$ และ $I_{2,min}$ คือกระแสเฉลี่ย กระแสสูงสุด และ กระแสต่ำสุดที่ไหลผ่านขดลวดทุติยภูมิตามลำดับ
- กระแส $I_{2,nom}$ คือกระแสที่มีค่าระหว่าง $I_{2,max}$ กับ $I_{2,min}$

กระแสที่ไหลผ่านขดลวดทุติยภูมิ i_2 ไหลไปยังตัวเก็บประจุ C_3 ซึ่งต่อขนานกับโหลด R องค์ประกอบดีซี (DC component) ของกระแส i_2 จะไหลไปที่ R ส่วนองค์ประกอบเอซี (AC component) ของกระแส i_2 จะไหลไปที่ตัวเก็บประจุ C_3 ดังนั้นค่ากระแสเฉลี่ย I_2 จะมีค่าเท่ากับกระแสโหลด I_o

$$I_2 = I_o \quad (3.25)$$

จากรูปคลื่นกระแส i_2 ในรูปที่ 3.5 จะได้ความสัมพันธ์ระหว่าง $I_{2,nom}$ และ I_2 ดังสมการ

$$I_{2,nom}(1-D)T = I_2T \quad (3.26)$$

นั่นคือ

$$I_{2,nom} = \frac{I_o}{1-D} \quad (3.27)$$

จากรูปคลื่นกระแส i_{in} ในรูปที่ 3.5 สามารถหาค่าเฉลี่ยของกระแสอินพุท I_{in} ได้ดังสมการ

$$I_{in} = \frac{I_{Lm}DT + I_{2,nom}(1-D)T}{T} = I_{Lm}D + I_o \quad (3.28)$$

สำหรับวงจรในอุดมคติที่ไม่มีการสูญเสีย กำลังไฟฟ้าอินพุทจะเท่ากับกำลังไฟฟ้าเอาต์พุท นั่นคือ

$$I_{in} = \left(\frac{V_o}{V_{in}} \right) I_o \quad (3.29)$$

แทนค่า V_o/V_{in} จากสมการที่ (3.20) และ I_{in} จากสมการที่ (3.28) ลงในสมการที่ (3.29) จะได้กระแส I_{Lm} ดังสมการ

$$I_{Lm} = \left(\frac{2+nD}{1-D} - 1 \right) \frac{I_o}{D} \quad (3.30)$$

เมื่อทราบสมการกระแส I_{Lm} แล้วจะสามารถหาค่ากระแสสูงสุดและต่ำสุดของตัวเหนี่ยวนำ L_m ได้ดังนี้

$$I_{Lm,max} = I_{Lm} + \frac{\Delta i_{Lm}}{2} = I_{Lm} + \frac{V_{in}DT}{2L_m} \quad (3.31)$$

$$I_{Lm,min} = I_{Lm} - \frac{\Delta i_{Lm}}{2} = I_{Lm} - \frac{V_{in}DT}{2L_m} \quad (3.32)$$

จากสมการที่ (3.31) กระแสสูงสุดและต่ำสุดที่ไหลผ่านขดลวดทุติยภูมิสามารถเขียนในรูปของ $I_{Lm,max}$ และ $I_{Lm,min}$ ได้ดังสมการ

$$I_{2,max} = \frac{I_{Lm,max}}{(n+1)} \quad (3.33)$$

$$I_{2,min} = \frac{I_{Lm,min}}{(n+1)} \quad (3.34)$$

พิจารณาตัวเก็บประจุ C_2 ที่สภาวะคงตัว ปริมาณประจุที่ตัวเก็บประจุชาร์จและดิสชาร์จจะต้องมีค่าเท่ากัน นั่นคือพื้นที่ใต้กราฟซิกบวกและซิกลบของรูปคลื่นกระแส i_{C2} ในรูปที่ 3.5 ต้องมีค่าเท่ากัน

$$I_p DT = I_{2,nom} (1-D)T \quad (3.35)$$

แทนค่า $I_{2,nom}$ จากสมการที่ (3.27) ลงในสมการที่ (3.35) สามารถหาค่ากระแส I_p ได้ดังสมการ

$$I_p = \frac{I_o}{D} \quad (3.36)$$

กระแสสูงสุดที่ไหลผ่านสวิตช์สามารถหาได้จากสมการ

$$I_{SW,max} = I_{Lm,max} + I_p \quad (3.37)$$

พิจารณาตัวเก็บประจุ C_1 ที่สภาวะคงตัว ปริมาณประจุที่ตัวเก็บประจุชาร์จและดิสชาร์จจะต้องมีค่า

เท่ากัน นั่นคือพื้นที่ใต้กราฟซีกบวกและซีกลบของรูปคลื่นกระแส i_{CI} ในรูปที่ 3.3 ต้องมีค่าเท่ากัน

$$I_p DT = \frac{1}{2} t_{12} I_{D1,max} \quad (3.38)$$

ดังนั้นกระแสสูงสุดที่ไหลผ่านไดโอด D_1 สามารถหาได้จากสมการ

$$I_{D1,max} = \frac{2I_p DT}{t_{12}} \quad (3.39)$$

โดย t_{12} คือช่วงเวลา t_1-t_2 ซึ่งหากทราบค่า t_{12} ก็จะสามารถคำนวณหาค่า $I_{D1,max}$ ได้

จากสมการ $I_{Lm,max}$ (3.31) $I_{2,max}$ (3.33) I_p (3.36) $I_{SW,max}$ (3.37) และ $I_{D1,max}$ (3.39) สามารถนำมาใช้ในการกำหนดพิกัดกระแสของอุปกรณ์เซมิคอนดักเตอร์ในวงจรได้ ความถูกต้องของสมการกระแสเหล่านี้จะถูกยืนยันด้วยผลการทดลองในบทถัดไป

บทที่ 4

ผลการทดสอบสมรรถนะของวงจร

4.1 บทนำ

บทนำเสนอผลการทดสอบวงจรต้นแบบที่สร้างขึ้นโดยแสดงผลการวัดรูปคลื่นกระแสและแรงดันของอุปกรณ์ต่างๆ ในวงจร ประสิทธิภาพของวงจร ผลการตอบสนองของแรงดันเอาต์พุตในสภาวะทรานเซียนท์ ผลการวัดความสามารถในการรักษาแรงดันเอาต์พุตเมื่อแรงดันอินพุตและกระแสเอาต์พุตเปลี่ยนแปลง

4.2 รายละเอียดวงจรต้นแบบ

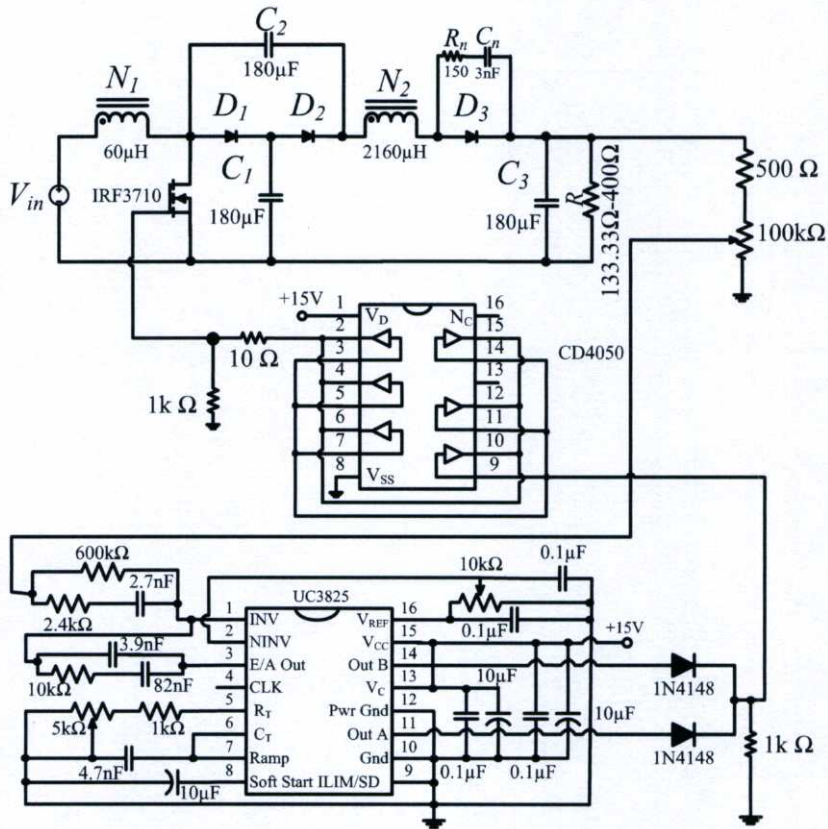
วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบูสต์คอนเวอร์เตอร์ต้นแบบแสดงดังรูปที่ 4.1 ซึ่งมีข้อกำหนดทางไฟฟ้า (Electrical specification) ดังนี้

แรงดันอินพุต	$V_{in} = 12V$
แรงดันเอาต์พุต	$V_o = 120V,$
ความถี่สวิตช์	$f_s = 100 \text{ kHz}$
กระแสเอาต์พุต	$I_o = 0.3A - 0.9A \quad \Rightarrow \quad I_{O, min} = 0.3A, I_{O, max} = 0.9A$
ค่าความต้านทานเอาต์พุต	$R = 133.33 \Omega - 400\Omega \quad \Rightarrow \quad R_{min} = 133.33 \Omega, R_{max} = 400\Omega$
กำลังไฟฟ้าเอาต์พุต	$P_o = 36 \text{ W} - 108 \text{ W} \quad \Rightarrow \quad P_{O, min} = 36 \text{ W}, P_{O, max} = 108 \text{ W}$

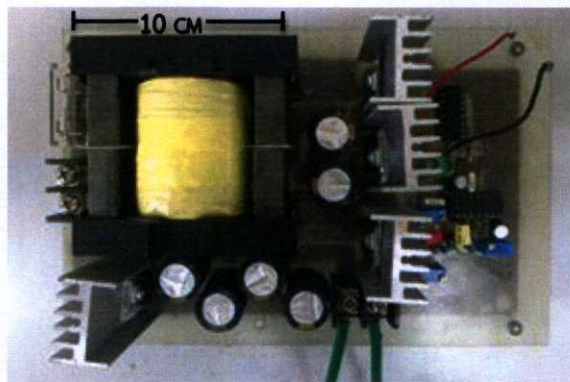
รายละเอียดของอุปกรณ์ที่ใช้ในวงจรต้นแบบแสดงในตารางที่ 4.1

ตารางที่ 4.1 อุปกรณ์ที่ใช้ในวงจร

อุปกรณ์	รายละเอียด
Coupled inductor	$L_m = 60\mu\text{H}, n = 6$ ETD59 ferrite core, gap = 0.3mm $N_1 = 11$ turns, copper strip (width: 22mm) $N_2 = 66$ turns, 4xAWG20 copper wire
Capacitors	Electrolytic capacitor $C_1 = 180\mu\text{F}$ (100V) $C_2 = 180\mu\text{F}$ (100V) $C_3 = 180\mu\text{F}$ (100V)
$D_1, D_2,$ and D_3	MUR840 (400V, 8A) ultrafast diode
SW	IRF3710 (100V, 57A) power MOSFET
PWM control IC	UC3825
Voltage buffer IC	CD4050
RC snubber	$R_n = 150\Omega$ $C_n = 3\text{nF}$



(ก)

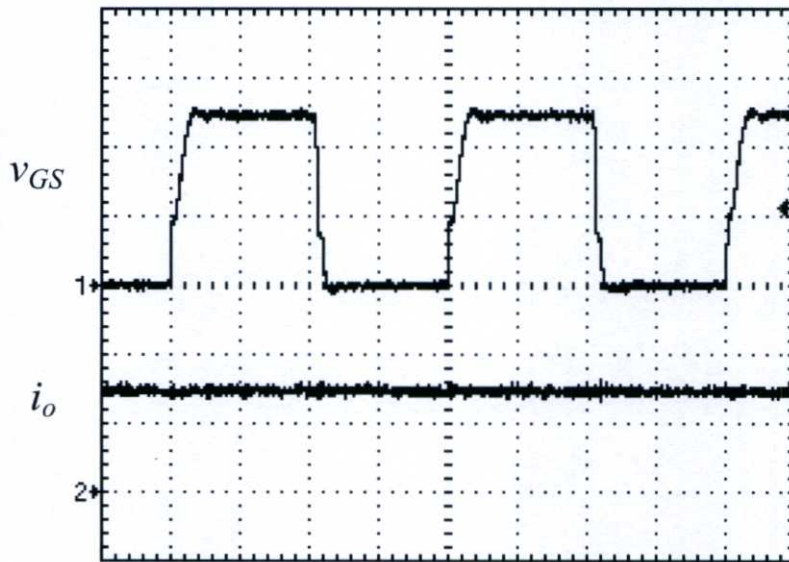


(ข)

รูปที่ 4.1 วงจรต้นแบบ (ก) schematic (ข) ภาพถ่าย

แรงดันเอาต์พุตของวงจรต้นแบบถูกควบคุมให้มีค่าคงที่ 120V โดยไอซี UC3825 ซึ่งถูกต่อให้ทำงานควบคุมในโหมดแรงดัน (Voltage Mode Control) [30-31] สัญญาณเอาต์พุต PWM ที่ขา 11 และ 14 ที่มีเฟสต่างกัน 180 องศาถูกนำมาต่อร่วมกันโดยผ่านไดโอด (1N4148) ทำให้สัญญาณ PWM ที่ได้มีค่าดิวิตีซีเคิลเปลี่ยนแปลงได้ตั้งแต่ 0% ถึง 90% (โดยปกติสัญญาณ PWM ที่ขา 11 หรือ 14 เพียงลำพังจะมีค่าดิวิตีซีเคิลเปลี่ยนแปลงได้ตั้งแต่ 0% ถึง 45% เท่านั้น) สัญญาณ PWM นี้ถูกนำไปขับเกทของสวิตช์มอสเฟต โดยผ่านไอซีบัฟเฟอร์ CD4050

4.3 ผลการวัดสัญญาณตัวตีไซเคิล



(ก)

รูปบน : v_{GS} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $5\text{V}/\text{DIV}$) รูปล่าง : i_O (x: $2.5\mu\text{s}/\text{DIV}$) (y: $0.2\text{A}/\text{DIV}$)

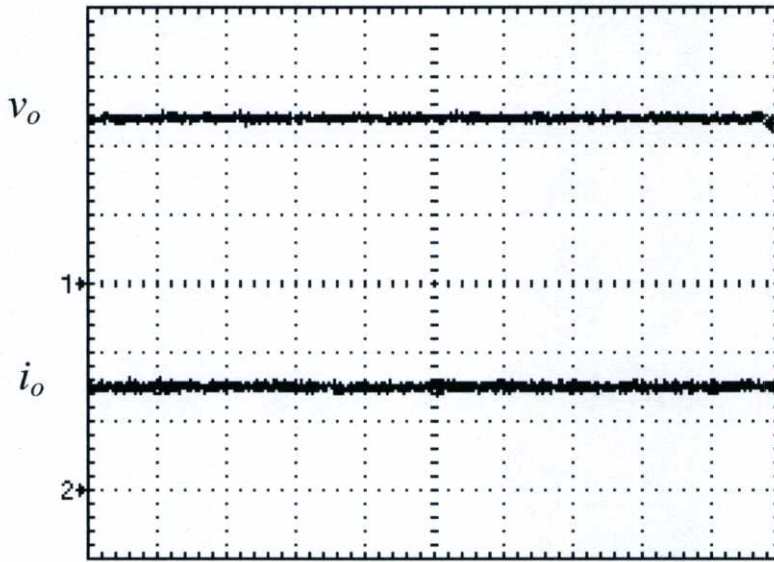


(ข)

รูปบน : v_{GS} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $5\text{V}/\text{DIV}$) รูปล่าง : i_O (x: $2.5\mu\text{s}/\text{DIV}$) (y: $0.5\text{A}/\text{DIV}$)
 รูปที่ 4.2 รูปคลื่นแรงดัน v_{GS} ของมอสเฟต (ก) ที่กระแสไหลต 0.3A (ข) ที่กระแสไหลต 0.9A

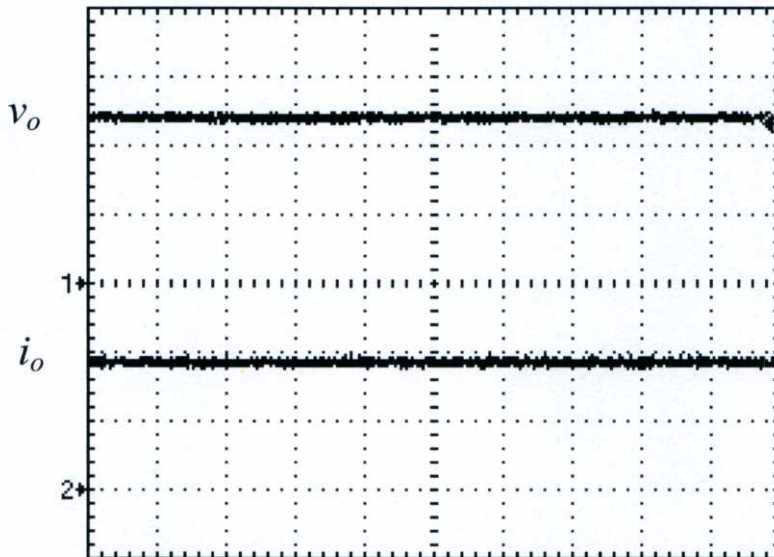
ผลการวัดสัญญาณขับมอสเฟต v_{GS} ที่กระแสไหลตต่ำสุดและกระแสไหลตสูงสุดแสดงดังรูปที่ 4.2(ก) และ 4.2(ข) พบว่ามีค่าตัวตีไซเคิลเท่ากับ 50.4% และ 55.6% ตามลำดับซึ่งมีค่าสอดคล้องกับค่าทางทฤษฎี 50% ที่คำนวณได้จากสมการที่ (3.20) การที่ตัวตีไซเคิลมีค่ามากขึ้นที่กระแสไหลตสูงขึ้นเกิดจากแรงดันตกคร่อมในวงจรที่เพิ่มขึ้นอันเนื่องมาจากความต้านทานแฝงต่างๆ (Parasitic resistances) เช่น ความต้านทานขณะสวิตช์นำกระแส $r_{ds,on}$ ความต้านทานของขดลวดตัวเหนี่ยวนำ r_L เป็นต้น

4.4 ผลการวัดแรงดันและกระแสเอาต์พุท



(ก)

รูปบน : v_o (x: $2.5\mu\text{s}/\text{DIV}$) (y: $50\text{V}/\text{DIV}$) รูปล่าง : i_o (x: $2.5\mu\text{s}/\text{DIV}$) (y: $0.2\text{A}/\text{DIV}$)

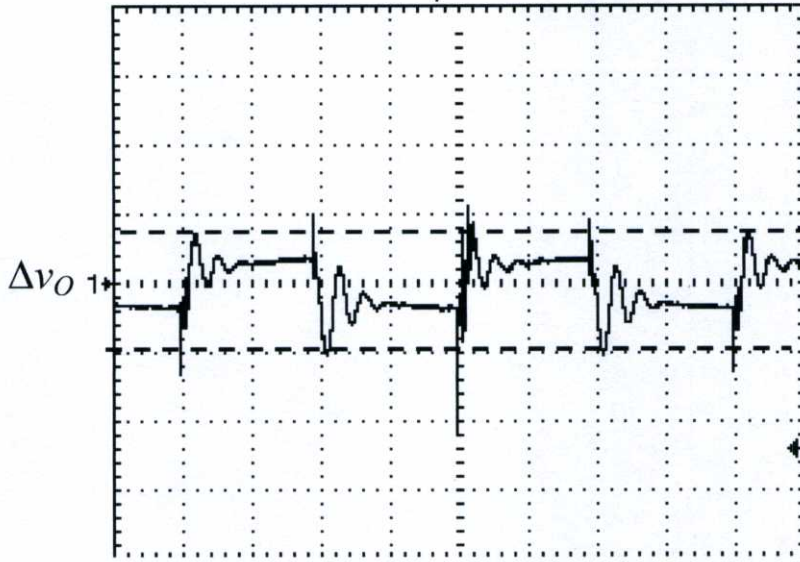


(ข)

รูปบน : v_o (x: $2.5\mu\text{s}/\text{DIV}$) (y: $50\text{V}/\text{DIV}$) รูปล่าง : i_o (x: $2.5\mu\text{s}/\text{DIV}$) (y: $0.5\text{A}/\text{DIV}$)

รูปที่ 4.3 รูปคลื่นแรงดันและกระแสที่เอาต์พุท (ก) ที่กระแสโหลด 0.3A (ข) ที่กระแสโหลด 0.9A

ผลการวัดรูปคลื่นแรงดันเอาต์พุท ที่กระแสโหลดต่ำสุดและกระแสโหลดสูงสุดแสดงดังรูปที่ 4.3(ก) และ 4.3 (ข) พบว่าวงจรสามารถรักษาระดับแรงดันเอาต์พุทที่ 120V ได้ทั้งสองกรณี รูปขยายแสดงริปเปิ้ลแรงดันเอาต์พุท Δv_o ที่กระแสโหลดต่ำสุดและกระแสโหลดสูงสุดแสดงดังรูปที่ 4.4(ก) และ 4.4(ข) โดยริปเปิ้ลแรงดันเอาต์พุทที่วัดได้มีค่า 0.17V และ 0.28V ซึ่งคิดเป็น 0.14% และ 0.23% ของแรงดันเอาต์พุทตามลำดับ



(ก)

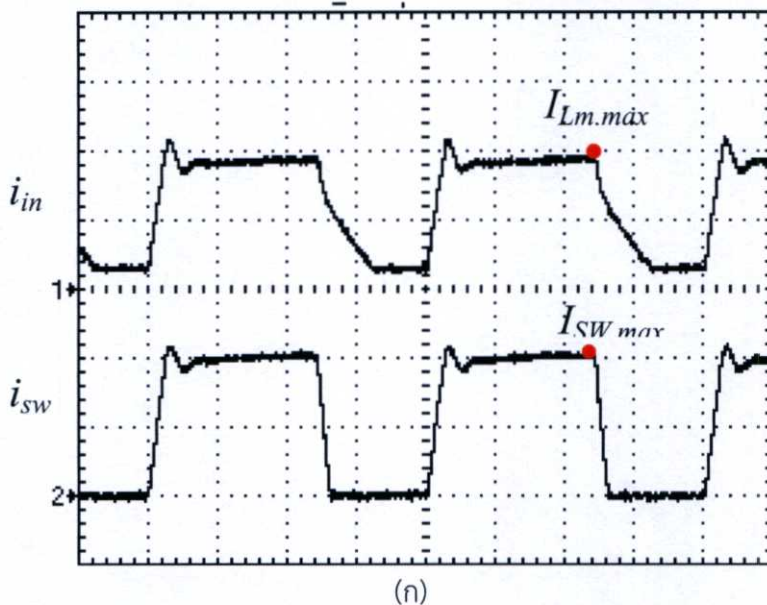
 Δv_O (x: 2.5 μ s/DIV) (y: 0.1V/DIV)

(ข)

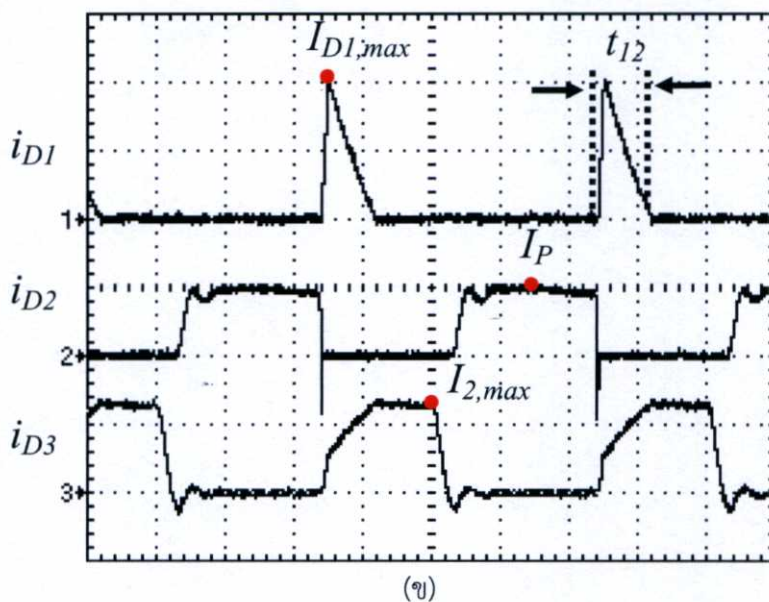
 Δv_O (x: 2.5 μ s/DIV) (y: 0.1V/DIV)

รูปที่ 4.4 รีปเปิ้ลแรงดันเอาต์พุต (ก) ที่กระแสโหลด 0.3A (ข) ที่กระแสโหลด 0.9A

4.5 ผลการวัดรูปคลื่นกระแสของวงจร



รูปบน : i_{in} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $10\text{A}/\text{DIV}$) รูปล่าง : i_{sw} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $10\text{A}/\text{DIV}$)



รูปบน : i_{D1} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $5\text{A}/\text{DIV}$) รูปกลาง : i_{D2} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $2\text{A}/\text{DIV}$)
รูปล่าง : i_{D3} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $2\text{A}/\text{DIV}$)

รูปที่ 4.5 รูปคลื่นกระแสอินพุท กระแสสวิทช์ กระแสไดโอด D_1 D_2 และ D_3 ที่กระแสโหลด 0.9A

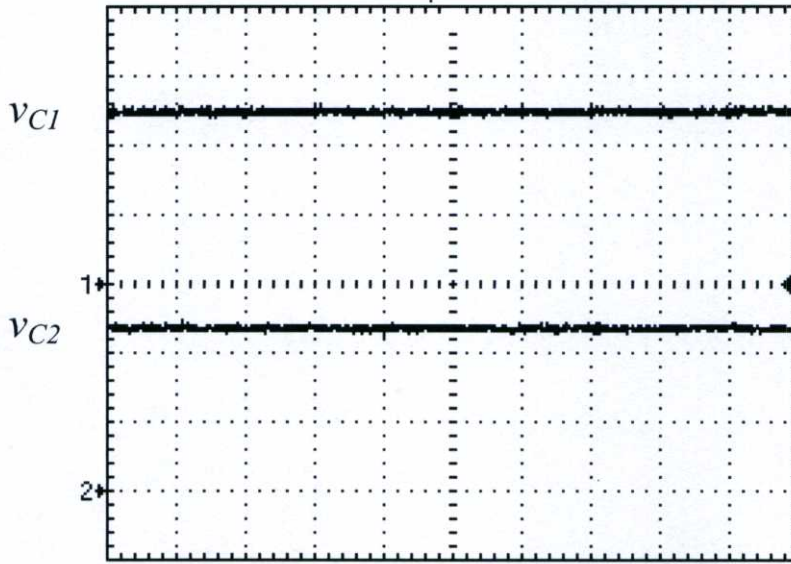
ผลการวัดรูปคลื่นกระแสอินพุท กระแสสวิทช์ กระแสไดโอด D_1 D_2 และ D_3 ที่กระแสโหลด 0.9A แสดงดังรูปที่ 4.5 และผลการจำลองในรูปที่ 2.8 พบว่ารูปคลื่นที่วัดได้มีความคล้ายคลึงกับทางทฤษฎีในรูปที่ 2.4 จากรูปคลื่นกระแสเหล่านี้ สามารถวัดค่ากระแส $I_{L,max}$ $I_{2,max}$ I_P $I_{SW,max}$ และ $I_{D1,max}$ ที่กระแสโหลดต่างๆ ได้ดังแสดงในตารางที่ 4.2 จะเห็นว่าค่าที่วัดได้มีค่าใกล้เคียงกับค่าที่ได้จากการคำนวณโดยใช้สมการที่ (3.31) (3.33) (3.36) (3.37) และ (3.39) ตามลำดับ ซึ่งเป็นการยืนยันความถูกต้องของสมการที่ได้จากการวิเคราะห์วงจรในบทที่ 3

ตารางที่ 4.2 การเปรียบเทียบผลการคำนวณและผลการวัดกระแส

Quantity	$I_o = 0.3A$		$I_o = 0.6A$		$I_o = 0.9A$	
	Cal.	Mea.	Cal.	Mea.	Cal.	Mea.
$I_{L,max}$	5.9	5.8	11.8	11.8	18.5	18
$I_{2,max}$	0.8	0.8	1.7	1.6	2.6	2.6
I_P	0.6	0.6	1.1	1.2	1.6	2.0
$I_{sw,max}$	6.5	6	13	13	20.1	20
$I_{D1,max}$	1.33	0.85	5.69	6.24	11.2	10.4

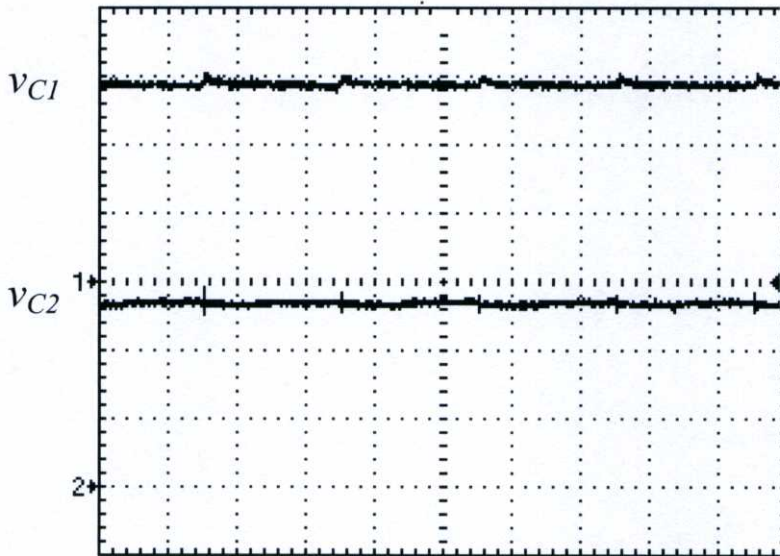
- หมายเหตุ
1. Cal. คือ ค่าจากการคำนวณ Mea. คือ ค่าจากการวัด
 2. ในการคำนวณใช้ค่าตัวดีไซเคิล (D) จากการวัดจริง
 3. $I_{D1,max}$ คำนวณจากสมการที่ 3.39 โดยแทนค่า t_{12} ที่วัดได้ซึ่งมีค่าเท่ากับ $4.5\mu s$ $2.05\mu s$ และ $1.6\mu s$ ที่กระแสโหลด 0.3A 0.6A และ 0.9A ตามลำดับ

4.6 ผลการวัดแรงดันคร่อมตัวเก็บประจุ C_1 และ C_2



(ก)

รูปบน : v_{C1} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $10\text{V}/\text{DIV}$) รูปล่าง v_{C2} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $10\text{V}/\text{DIV}$)



(ข)

รูปบน : v_{C1} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $10\text{V}/\text{DIV}$) รูปล่าง v_{C2} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $10\text{V}/\text{DIV}$)

รูปที่ 4.6 แรงดันคร่อมตัวเก็บประจุ C_1 และ C_2
 (ก) ที่กระแสไหลสูงสุด 0.3A (ข) ที่กระแสไหลสูงสุด 0.9A

ผลการวัดรูปคลื่นแรงดันคร่อมตัวเก็บประจุ C_1 และ C_2 ที่กระแสไหลต่ำสุดและกระแสไหลสูงสุดแสดงดังรูปที่ 4.6(ก) และ 4.6(ข) ค่า V_{C1} และ V_{C2} ที่วัดสรุปได้ดังตารางที่ 4.3 พบว่าค่าที่วัดได้ใกล้เคียงกับค่าที่ได้จากการคำนวณโดยใช้สมการที่ (3.15) ในทางทฤษฎีแรงดัน V_{C1} และแรงดัน V_{C2} ควรจะมีค่าเท่ากัน แต่ในทางปฏิบัติพบว่าแรงดัน V_{C2} มีค่าน้อยกว่าแรงดัน V_{C1} สาเหตุที่เป็นเช่นนี้เนื่องจากในช่วงเวลา DT ที่ตัวเก็บประจุ C_1 ดิสชาร์จกระแสให้ตัวเก็บประจุ C_2 นั้นผ่านไดโอด D_2 และสวิตช์ เกิดแรงดันตกคร่อมอุปกรณ์ดังกล่าวทำให้แรงดัน V_{C2} มีค่าน้อยกว่าแรงดัน V_{C1}

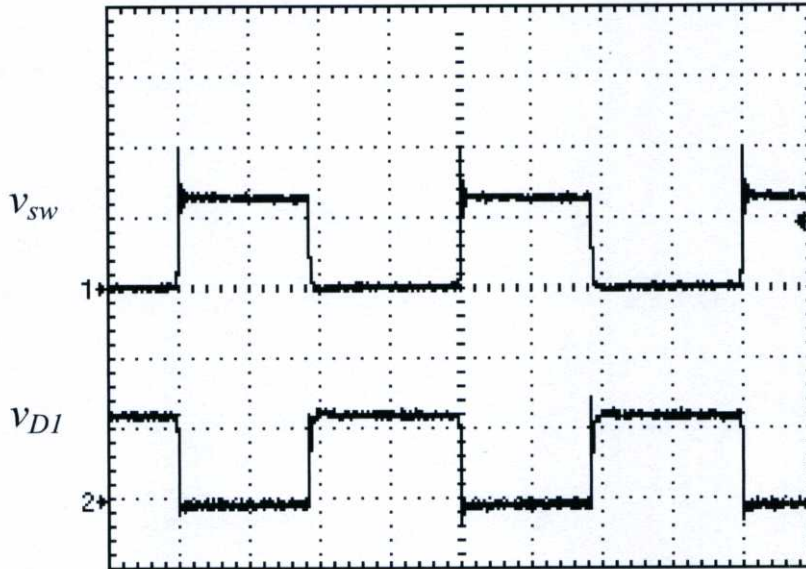
ตารางที่ 4.3 แรงดันคร่อมตัวเก็บประจุ C_1 และ C_2

I_o (A)	V_{C1} (V)		V_{C2} (V)	
	ค่าจากการคำนวณ*	ค่าจากการวัด	ค่าจากการคำนวณ**	ค่าจากการวัด
0.3	24	24.8	24	23.6
0.6	25.5	26.7	25.5	25.0
0.9	27.3	28.8	27.3	26.8

หมายเหตุ

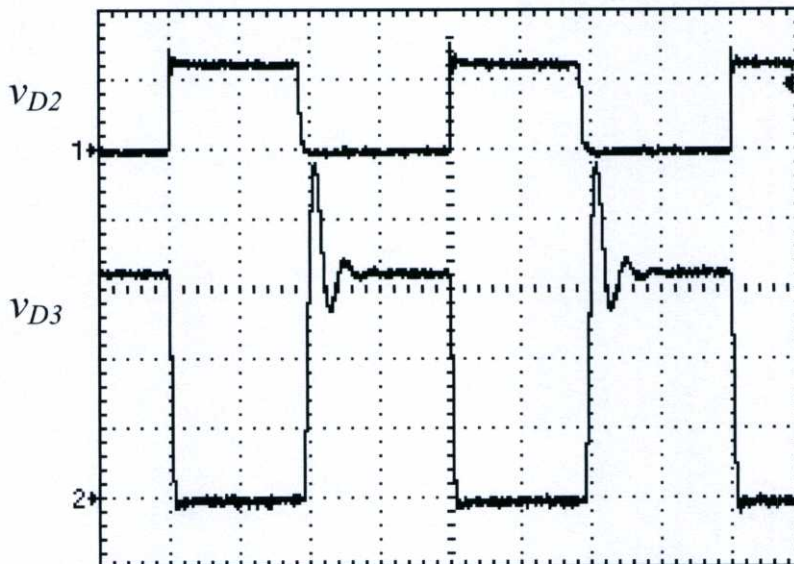
1. ในการคำนวณใช้ค่าตัวชี้เซลล์ (D) จากการวัดจริง

4.7 ผลการวัดแรงดันคร่อมสวิตช์ ไดโอด D_1 D_2 และ D_3



(ก)

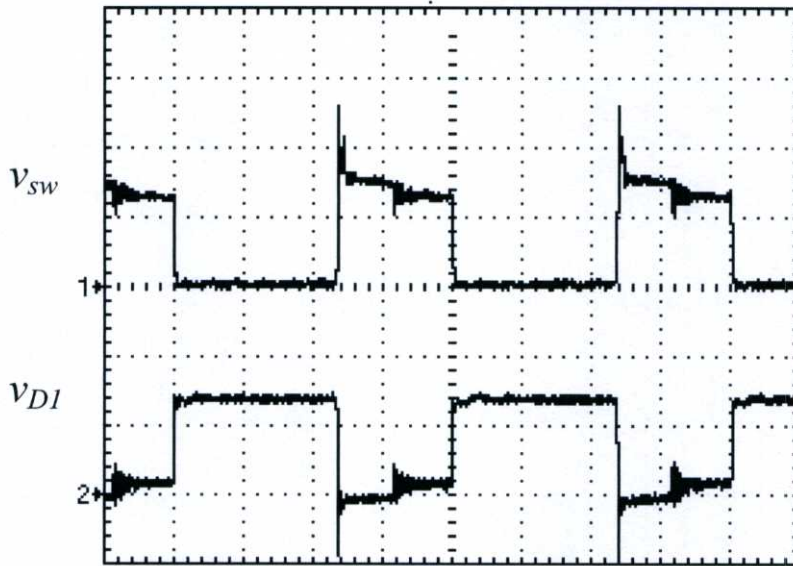
รูปบน : v_{sw} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$) รูปล่าง v_{D1} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$)



(ข)

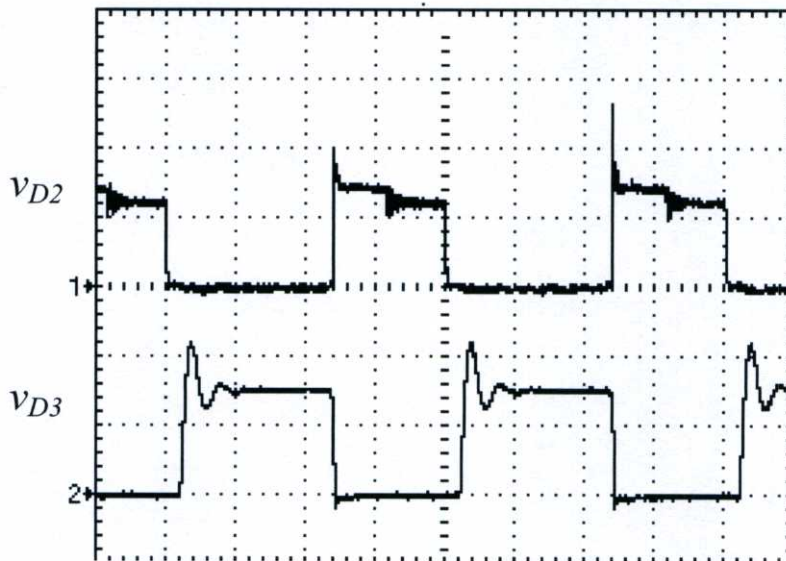
รูปบน : v_{D2} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$) รูปล่าง v_{D3} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $50\text{V}/\text{DIV}$)

รูปที่ 4.7 แรงดันคร่อมสวิตช์และไดโอด D_1 D_2 และ D_3 ที่กระแสโหลด 0.3A



(ก)

รูปบน : v_{sw} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$) รูปล่าง v_{D1} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$)



(ข)

รูปบน : v_{D2} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$) รูปล่าง v_{D3} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $100\text{V}/\text{DIV}$)

รูปที่ 4.8 แรงดันคร่อมสวิตช์และไดโอด D_1 D_2 และ D_3 ที่กระแสโหลด 0.9A

ผลการวัดรูปคลื่นแรงดันคร่อมสวิตช์ ไดโอด D_1 D_2 และ D_3 ที่กระแสโหลดต่ำสุดและกระแสโหลดสูงสุดแสดงดังรูปที่ 4.7 และ 4.8 จากรูปคลื่นดังกล่าว สามารถวัดค่าแรงดันคร่อมอุปกรณ์ในสถานะไม่นำกระแสสรุปได้ดังตารางที่ 4.4 จะเห็นว่าค่าที่วัดได้มีค่าใกล้เคียงกับค่าที่ได้จากการคำนวณโดยใช้สมการที่ (3.21) - (3.24) ซึ่งเป็นการยืนยันความถูกต้องของสมการที่ได้จากการวิเคราะห์ห้วงจรในบทที่ 3

ตารางที่ 4.4 แรงดันคร่อมสวิตช์และไดโอด D_1 D_2 และ D_3

I_o (A)	V_{SW} (V)		V_{D1} (V)		V_{D2} (V)		V_{D3} (V)	
	ค่าจากการคำนวณ*	ค่าจากการวัด	ค่าจากการคำนวณ**	ค่าจากการวัด	ค่าจากการคำนวณ***	ค่าจากการวัด	ค่าจากการคำนวณ***	ค่าจากการวัด
0.3	24	25.2	24	24	24	24	168	161
0.6	25.53	26	25.53	25	25.53	24	178.72	158
0.9	27.27	26	27.27	27	27.27	24	190.90	152

หมายเหตุ 1. ในการคำนวณใช้ค่าตัวชี้เซลล์ (D) จากการวัดจริง

4.8 ผลการวัดความสามารถในการรักษาแรงดันเอาต์พุตเมื่อแรงดันอินพุต (Line regulation) และกระแสเอาต์พุต (Load regulation) เปลี่ยนแปลง

ตารางที่ 4.5 ผลการวัดความสามารถในการรักษาแรงดันเอาต์พุตเมื่อแรงดันอินพุตและกระแสเอาต์พุต

I_o V_{in}	0.3A	0.6A	0.9A	1.2A	1.5A	1.8A
12V	120.22	120.22	120.09			
18V	120.63	120.55	120.62	120.64	120.75	
24V	120.15	120.24	120.24	120.28	120.34	120.30

ตารางที่ 4.6 ผลการวัดค่าตัวชี้เซลล์เมื่อแรงดันอินพุตและกระแสเอาต์พุต

I_o V_{in}	0.3	0.6	0.9	1.2	1.5	1.8
12	0.50	0.53	0.56			
18	0.41	0.42	0.43	0.45	0.46	
24	0.27	0.28	0.29	0.30	0.31	0.32

ผลการวัดความสามารถในการรักษาแรงดันเอาต์พุตและค่าตัวชี้เซลล์เมื่อแรงดันอินพุตและกระแสเอาต์พุตมีการเปลี่ยนแปลงแสดงดังตารางที่ 4.5 และ 4.6 จากตารางที่ 4.5 จะเห็นว่าวงจรสามารถรักษาระดับแรงดันเอาต์พุตได้ที่ 120V ที่แรงดันอินพุตเท่ากับ 12V 18V และ 24V และที่กระแสเอาต์พุตเท่ากับ 0.3A 0.6A 0.9A 1.2A 1.5A และ 1.8A จากตารางจะเห็นว่าที่ค่าแรงดันอินพุต 12V และ 18V ไม่สามารถทำการทดลองที่กระแสไหลมากกว่า 0.9A และ 1.5A ได้ตามลำดับเนื่องจากแหล่งจ่ายไฟฟ้าอินพุตที่ใช้ในการทดลองไม่สามารถจ่ายกระแสมากกว่า 12A ได้

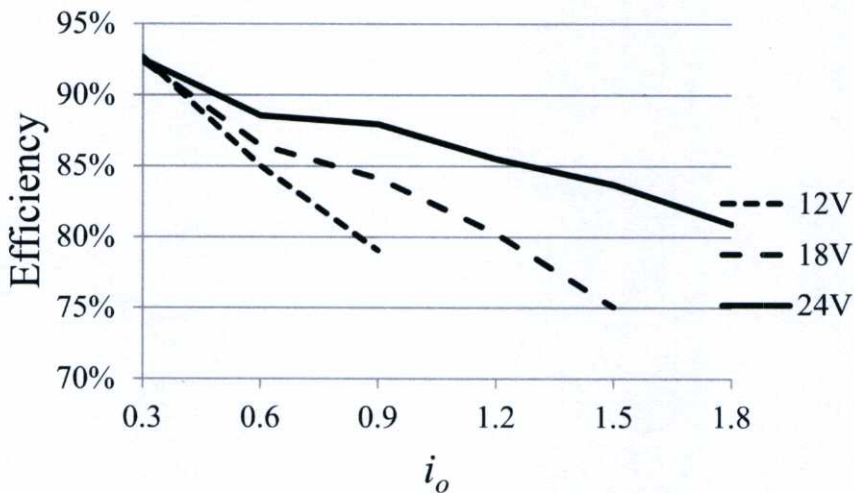
จากตารางที่ 4.6 จะเห็นว่าค่าดิวิตีไซเคิลที่วัดได้มีค่าใกล้เคียงกับค่าทางทฤษฎีที่คำนวณจากสมการที่ (3.17) คือที่แรงดันอินพุต 12V 18V และ 24V ค่าดิวิตีไซเคิลทางทฤษฎีจะมีค่าเท่ากับ 0.5 0.41 และ 0.27 ตามลำดับ

4.9 ผลการวัดประสิทธิภาพของวงจร

ผลการวัดประสิทธิภาพของวงจรที่ค่าแรงดันอินพุตและกระแสโหลดต่างๆ แสดงในตารางที่ 4.7 จะเห็นว่าที่อัตราขยาย 10 เท่า 7.5 เท่าและ 5 เท่า มีประสิทธิภาพสูงสุดประมาณ 92% ที่กระแสโหลดต่ำสุด เมื่อกระแสโหลดมีค่าเพิ่มขึ้นประสิทธิภาพของวงจรจะลดลงเนื่องจากความสูญเสียในการนำกระแสของสวิตช์ และไดโอด D_1 D_2 และ D_3

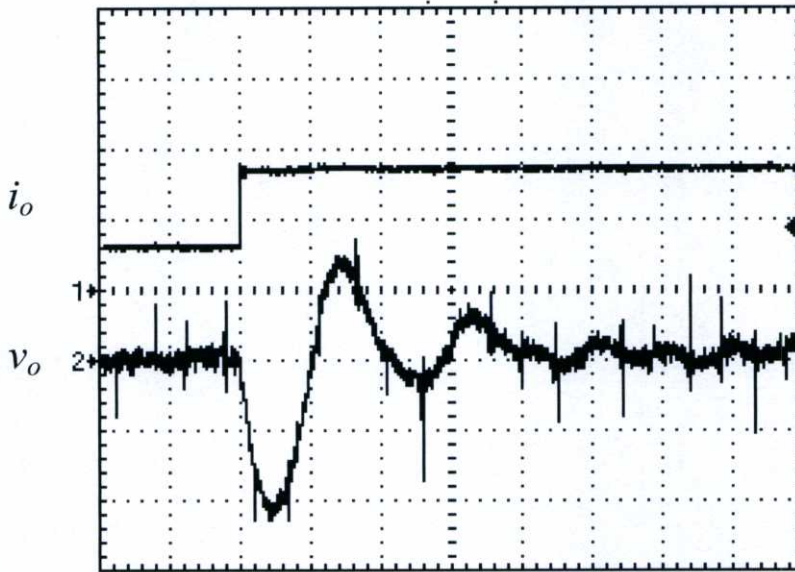
ตารางที่ 4.7 ผลการวัดประสิทธิภาพของวงจรเมื่อแรงดันอินพุตและกระแสโหลดเปลี่ยนแปลง

I_o V_{in}	อัตราขยาย	0.3A	0.6A	0.9A	1.2A	1.5A	1.8A
12V	10 เท่า	92.69%	85.25%	79.12%			
18V	7.5 เท่า	92.35%	86.47%	84.13%	80.26%	75.05%	
24V	5 เท่า	92.49%	88.57%	87.95%	85.52%	83.70%	80.91%



รูปที่ 4.9 ประสิทธิภาพของวงจรที่แรงดันอินพุตต่างๆ

4.10 ผลการตอบสนองของแรงดันเอาต์พุตในสภาวะทรานเซียนท์



รูปบน : i_o (x: 2.5ms/DIV) (y: 0.5A/DIV) รูปล่าง : v_o (x: 2.5ms/DIV) (y: 1V/DIV)

รูปที่ 4.10 รูปคลื่นผลการตอบสนองของแรงดันเอาต์พุตในสภาวะทรานเซียนท์ เมื่อแรงดันอินพุต 12V และกระแสโหลดเพิ่มขึ้นอย่างฉับพลันจาก 0.3A เป็น 0.9A

ผลการตอบสนองของแรงดันเอาต์พุตในสภาวะทรานเซียนท์เมื่อกระแสโหลดเพิ่มขึ้นอย่างฉับพลันจาก 0.3A เป็น 0.9A แสดงในรูปที่ 4.10 จะเห็นว่าแรงดันเอาต์พุตตกสูงสุดประมาณ 2V (จาก 120V ไปเป็น 118V) และใช้เวลาประมาณ 10ms ในการเข้าสู่สภาวะคงตัวที่ 120V อีกครั้งหนึ่ง

บทที่ 5

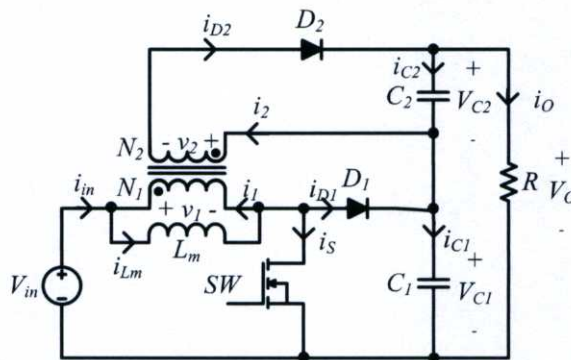
การเปรียบเทียบสมรรถนะระหว่าง วงจร NVCCBC ที่นำเสนอกับวงจร IBFC

5.1 บทนำ

บทนี้นำเสนอผลการเปรียบเทียบสมรรถนะระหว่างวงจร NVCCBC กับวงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ (IBFC) [32] ในส่วนแรกจะกล่าวถึงหลักการทำงานของวงจร IBFC และรายละเอียดของวงจรต้นแบบ IBFC โดยย่อ ในส่วนหลังจะแสดงผลการเปรียบเทียบสมรรถนะระหว่างวงจรทั้งสองโดยสิ่งที่พิจารณาประกอบด้วยอัตราขยายของวงจร ค่าตัวที่ไซเคิล พิกัดแรงดันและกระแสของอุปกรณ์สวิตช์เซมิคอนดักเตอร์ ริปเปิลแรงดันเอาต์พุตและประสิทธิภาพ (Efficiency) ของวงจร

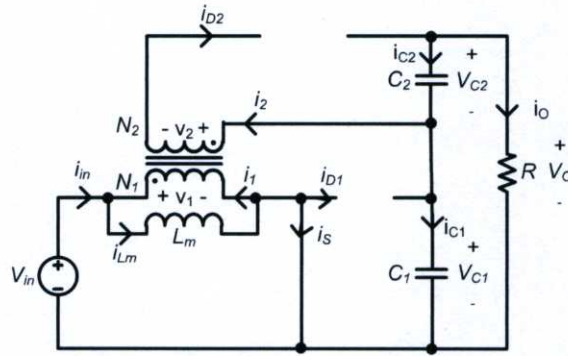
5.2 วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ (IBFC)

5.2.1 หลักการทำงานของวงจร IBFC [32]



รูปที่ 5.1 วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์

วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ แสดงในรูปที่ 5.1 ประกอบด้วยสวิตช์มอสเฟต SW ไดโอด D_1 D_2 ตัวเก็บประจุ C_1 C_2 และตัวเหนี่ยวนำร่วม (Coupled inductor) ที่มีอัตราส่วนจำนวนรอบขดลวดทุติยภูมิต่อขดลวดปฐมภูมิ $n = N_2/N_1$ และมีค่า Magnetizing inductance เท่ากับ L_m แรงดันเอาต์พุตของวงจร (V_o) เกิดจากแรงดันเอาต์พุตจากภาควงจรบูสต์คอนเวอร์เตอร์ (V_{C1}) และแรงดันเอาต์พุตจากภาควงจรฟลายแบคคอนเวอร์เตอร์ (V_{C2}) รวมกัน เมื่อเทียบกับวงจร NVCCBC วงจร IBFC ใช้ไดโอดและตัวเก็บประจุน้อยกว่าอย่างละหนึ่งตัว ในโหมดกระแสต่อเนื่อง (CCM) วงจร IBFC มีการทำงาน 2 สถานะดังนี้คือ



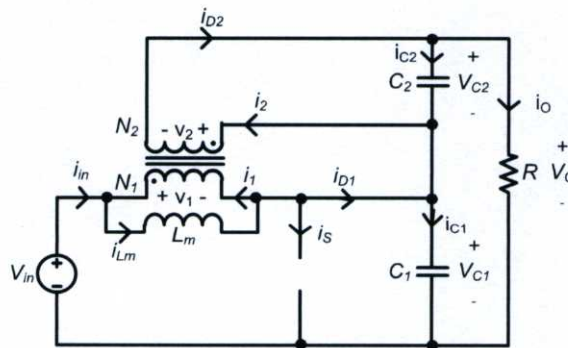
รูปที่ 5.2 วงจรเพิ่มแรงดันบัสท์-ฟลายแบคคอนเวอร์เตอร์ ในช่วงที่สวิตช์นำกระแส

- (1) เมื่อสวิตช์นำกระแส (รูปที่ 5.2) ไดโอด D_1 และ D_2 ไม่นำกระแส ในสภาวะนี้การทำงานของวงจรจะเหมือนกับวงจรบัสท์คอนเวอร์เตอร์และฟลายแบคคอนเวอร์เตอร์ในสภาวะที่สวิตช์นำกระแส กล่าวคือตัวเหนี่ยวนำร่วมอยู่ในสภาวะชาร์จกระแส ดังนั้นกระแส i_{L_m} จะเพิ่มขึ้นอย่างเป็นเชิงเส้น และพลังงานถูกสะสมใน L_m ทางด้านขดลวดทุติยภูมิเนื่องจากไดโอด D_2 ไม่นำกระแสจึงทำให้กระแสขดลวดทุติยภูมิ (i_2) และปฐมภูมิ (i_1) ของตัวเหนี่ยวนำร่วมมีค่าเป็นศูนย์ ในขณะเดียวกันทางด้านเอาต์พุตตัวเก็บประจุทำหน้าที่จ่ายกระแสให้กับโหลด เมื่อพิจารณาแรงดันคร่อมตัวเหนี่ยวนำ L_m จะได้

$$v_1 = V_{in} = L_m \frac{di_{L_m}}{dt} = L_m \frac{\Delta i_{L_m}}{\Delta t} = L_m \frac{\Delta i_{L_m}}{DT} \quad (5.1)$$

จากสมการที่ (5.1) จะได้การเปลี่ยนแปลงของกระแสไฟฟ้าที่ไหลผ่านตัวเหนี่ยวนำร่วมในช่วงสวิตช์นำกระแส

$$\left(\Delta i_{L_m} \right)_{closed} = \frac{V_{in} DT}{L_m} \quad (5.2)$$



รูปที่ 5.3 วงจรเพิ่มแรงดันบัสท์-ฟลายแบคคอนเวอร์เตอร์ ในช่วงที่สวิตช์ไม่นำกระแส

- (2) เมื่อสวิตช์หยุดนำกระแส (รูปที่ 5.3) ไดโอด D_1 และ D_2 นำกระแส ในสภาวะนี้การทำงานของวงจรจะเหมือนกับวงจรบูสต์คอนเวอร์เตอร์และฟลายแบคคอนเวอร์เตอร์ในสภาวะที่สวิตช์หยุดนำกระแส กล่าวคือตัวเหนี่ยวนำร่วมอยู่ในสภาวะดิสชาร์จกระแส ดังนั้นกระแส i_{L_m} จะลดลงอย่างเป็นเชิงเส้นและพลังงานที่สะสมใน L_m จะถูกจ่ายไปยังด้านเอาต์พุตทั้งสองโดยผ่านไดโอด D_1 และไดโอด D_2 เมื่อพิจารณาแรงดันคร่อมตัวเหนี่ยวนำ L_m จะได้

$$v_1 = V_{in} - V_{C1} = -\frac{V_{C2}}{n} = L_m \frac{di_{L_m}}{dt} = L_m \frac{\Delta i_{L_m}}{(1-D)T} \quad (5.3)$$

จากสมการที่ (5.3) จะได้การเปลี่ยนแปลงของกระแสไฟฟ้าที่ไหลผ่านตัวเหนี่ยวนำร่วมในช่วงสวิตช์ไม่นำกระแส

$$\left(\Delta i_{L_m}\right)_{open} = -\frac{V_{C2}}{nL_m}(1-D)T = \frac{(V_{in} - V_{C1})(1-D)T}{L_m} \quad (5.4)$$

ที่สภาวะคงตัว ในหนึ่งคาบเวลาการสวิตช์ การเปลี่ยนแปลงของกระแส i_{L_m} มีค่าเป็นศูนย์ นั่นคือ

$$\left(\Delta i_{L_m}\right)_{closed} + \left(\Delta i_{L_m}\right)_{open} = 0 \quad (5.5)$$

แทนค่าสมการที่ (5.2) และ (5.4) ลงในสมการที่ (5.6) จะได้ค่า V_{C1} และ V_{C2}

$$\frac{V_{in} DT}{L_m} + \frac{(V_{in} - V_{C1})(1-D)T}{L_m} = 0 \quad (5.6)$$

$$V_{C1} = \frac{V_{in}}{1-D} \quad (5.7)$$

$$\frac{V_{in} DT}{L_m} - \frac{V_{C2}}{nL_m}(1-D)T = 0 \quad (5.8)$$

$$V_{C2} = \frac{nDV_{in}}{1-D} \quad (5.9)$$

แรงดันคร่อมสวิตช์ในขณะไม่นำกระแสของวงจร IBFC มีค่าเท่ากับแรงดัน V_{C1} ในสมการที่ (5.7) ซึ่งมีค่าเท่ากับแรงดันคร่อมสวิตช์ในวงจร NVCCBC

จากสมการที่ (5.7) และสมการที่ (5.9) สามารถหาความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับแรงดันอินพุตได้ดังสมการ

$$V_o = V_{C1} + V_{C2} = \frac{1+nD}{1-D} V_{in} \quad (5.10)$$

5.2.2 วงจรต้นแบบ IBFC

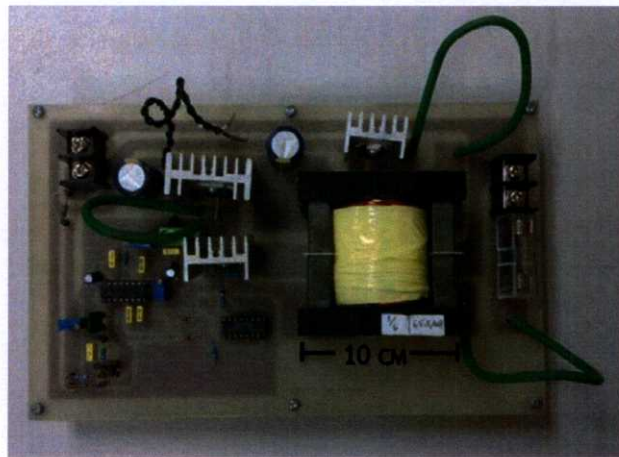
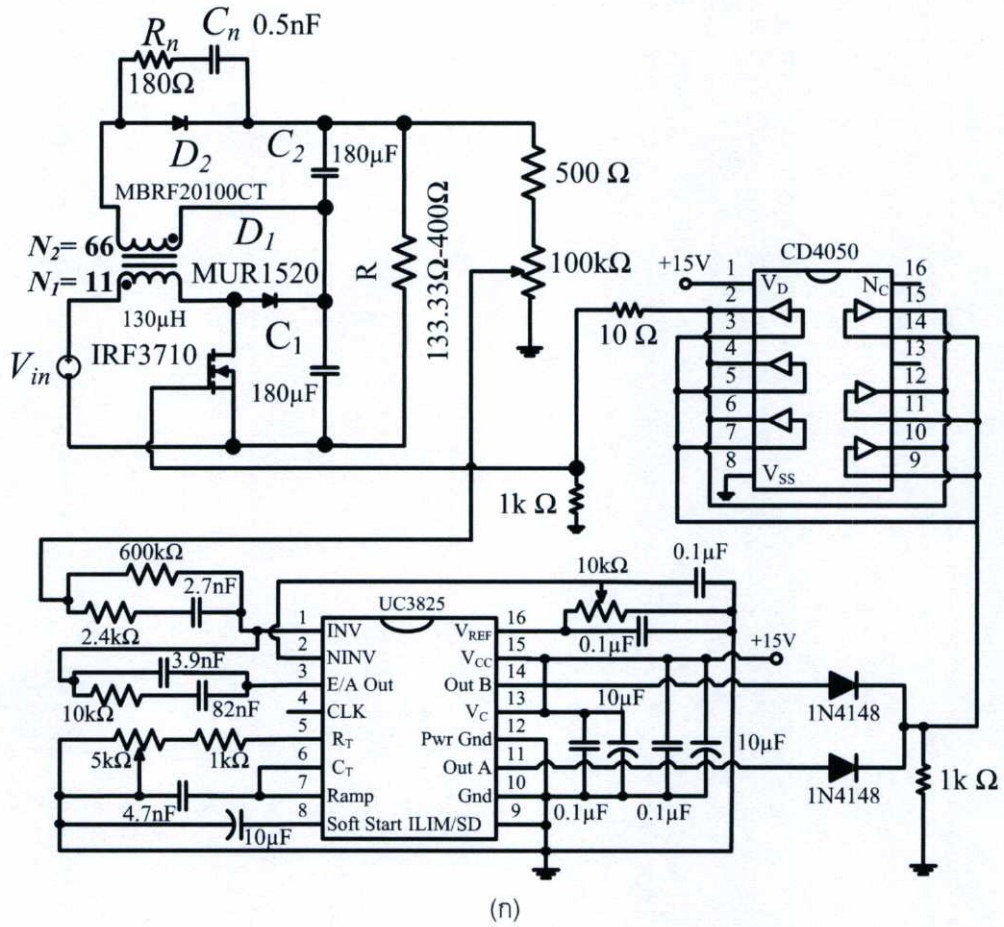
รูปที่ 5.4 แสดง schematic และภาพถ่ายวงจรต้นแบบ IBFC ซึ่งมีรายการอุปกรณ์ดังแสดงในตารางที่ 5.1

ตารางที่ 5.1 อุปกรณ์ที่ใช้ในวงจรต้นแบบ IBFC

อุปกรณ์	รายละเอียด
Coupled inductor	$L_m = 65.5\mu\text{H}$, $n = 6$ ETD59 ferrite core, gap = 0.3mm $N_1 = 11$ turns, copper strip (width: 22mm) $N_2 = 66$ turns, 4xAWG20 copper wire
Capacitors	Electrolytic capacitor $C_1 = 180\mu\text{F}$ (100V) $C_2 = 180\mu\text{F}$ (100V)
D_1	MBRF20100CT (100V, 20A) Schottky barrier
D_2	MUR1520 (200V, 15A) Ultrafast rectifiers
SW	IRF3710 (100V, 57A) Power MOSFET
PWM control IC	UC3825
Voltage buffer IC	CD4050
RC snubber	$R_n = 180\Omega$ $C_n = 0.5\text{nF}$

เพื่อให้การเปรียบเทียบเป็นไปอย่างมีประสิทธิภาพ วงจรต้นแบบ IBFC ได้ถูกออกแบบให้มีคุณลักษณะใกล้เคียงกับวงจรต้นแบบ NVCCBC มากที่สุดดังนี้

- มีข้อกำหนดทางไฟฟ้า (Electrical specification) เหมือนกัน
- ใช้ตัวเหนี่ยวนำร่วมที่มีค่า parameter (n , N_1 , N_2 , L_m) เท่ากันหรือใกล้เคียงกัน
- ใช้ตัวเก็บประจุขนาดเดียวกัน
- ใช้วงจรควบคุมแบบเดียวกันในการควบคุมแรงดันเอาต์พุตที่ 120V



รูปที่ 5.4 วงจรเพิ่มแรงดันบูสต์-ฟลายแบคคอนเวอร์เตอร์ (ก) schematic (ข) ภาพถ่าย

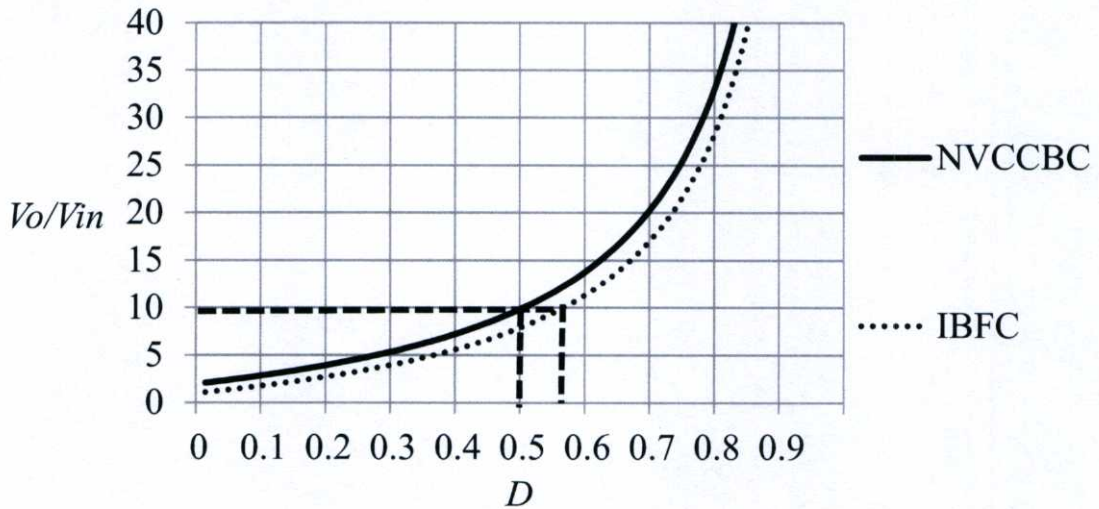
5.3 ผลการเปรียบเทียบสมรรถนะ

5.3.1 อัตราขยายของวงจร

อัตราขยายของวงจร NVCCBC และวงจร IBFC แสดงดังสมการที่ (5.11) และ (5.12) กราฟเปรียบเทียบอัตราขยายของวงจรทั้งสองแสดงดังรูปที่ 5.5 จากรูปจะเห็นว่าในกรณีที่ $n=6$ ถ้าต้องการให้อัตราขยาย 10 เท่า วงจร NVCCBC จะทำงานที่ค่าดิวิตีไซเคิล 50% ในขณะที่วงจร IBFC จะทำงานที่ค่าดิวิตีไซเคิล 56% นั่นคือวงจร IBFC ต้องทำงานที่ค่าดิวิตีไซเคิลสูงกว่าวงจร NVCCBC เพื่อให้ได้อัตราขยายเท่ากันที่ค่า n เดียวกัน

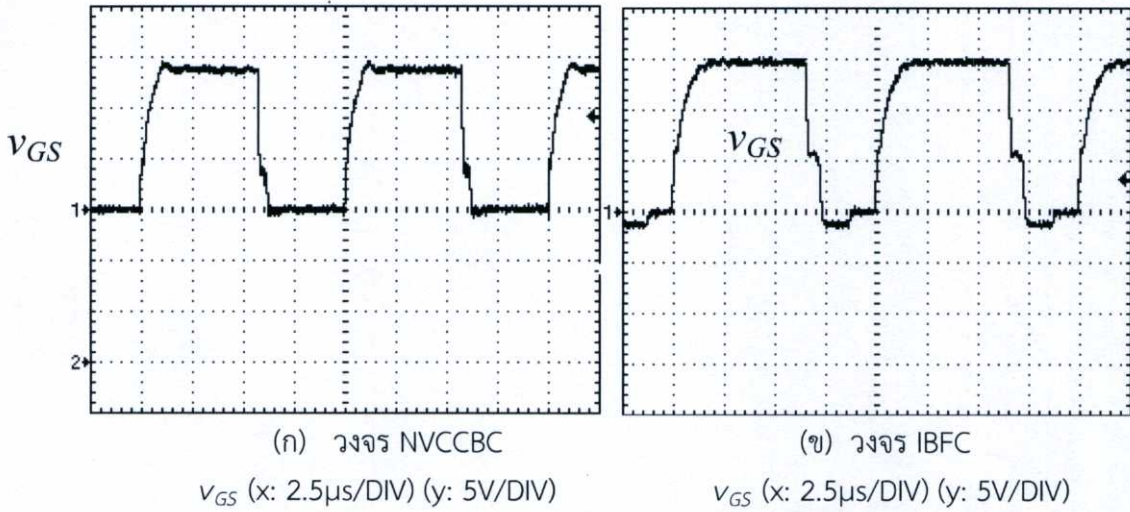
$$V_o = \frac{2+nD}{(1-D)} V_{in} \quad (5.11)$$

$$V_o = \frac{1+nD}{(1-D)} V_{in} \quad (5.12)$$



รูปที่ 5.5 กราฟเปรียบเทียบอัตราขยายของวงจร NVCCBC และวงจร IBFC เมื่อ $n = 6$

5.3.2 ดิวตี้ไซเคิล



รูปที่ 5.6 รูปคลื่นสัญญาณขับมอสเฟต v_{GS} ของวงจร NVCCBC และวงจร IBFC ที่กระแสโหลด 0.9A

ผลการวัดสัญญาณขับมอสเฟต v_{GS} เปรียบเทียบระหว่างวงจร NVCCBC และวงจร IBFC ที่กระแสโหลด 0.9A แสดงดังรูปที่ 5.6 ตารางที่ 5.2 แสดงผลการวัดค่าดิวตี้ไซเคิลของวงจรทั้งสองที่กระแสโหลดค่าต่างๆ จะเห็นว่าที่กระแสโหลดต่ำสุด 0.3A วงจรทั้งสองมีค่าดิวตี้ไซเคิลสอดคล้องกับค่าทางทฤษฎีคือ 50% และ 56% ตามลำดับ เมื่อกระแสโหลดมีค่าเพิ่มขึ้น ในการรักษาแรงดันเอาต์พุตให้มีค่าคงที่ 120V วงจรควบคุมจะสร้างสัญญาณขับมอสเฟตที่มีค่าดิวตี้ไซเคิลมากขึ้นเพื่อชดเชยแรงดันตกคร่อมความต้านทานแฝงต่างๆ ในวงจรที่มีค่าสูงขึ้น

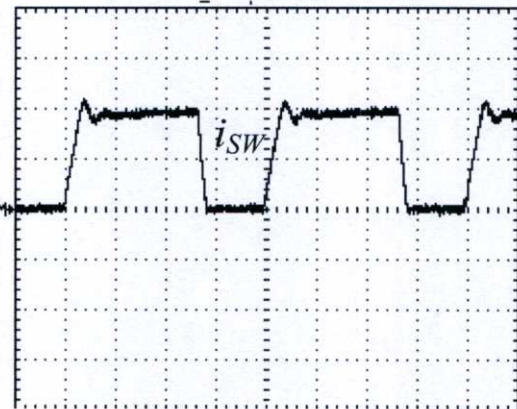
ตารางที่ 5.2 ผลการวัดค่าดิวตี้ไซเคิลของวงจร NVCCBC และ IBFC ที่กระแสโหลดค่าต่างๆ

I_o (A)	NVCCBC	IBFC
0.3	50%	56%
0.6	53%	60%
0.9	56%	65%

5.3.3 ค่ากระแสและแรงดันสูงสุด



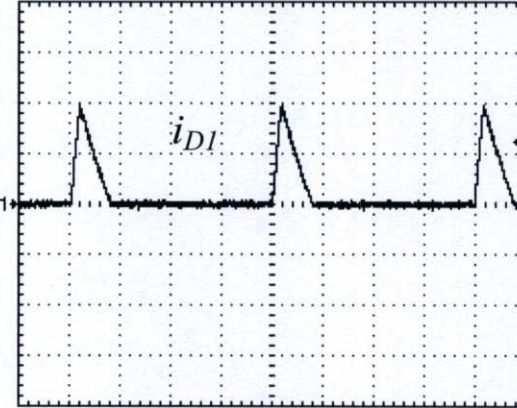
(ก) วงจร NCCBC

 i_{SW} (x: 2.5 μ s/DIV) (y: 10A/DIV)

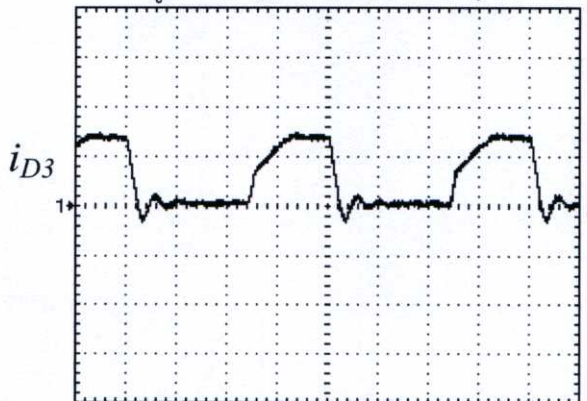
(ข) วงจร IBFC

 i_{SW} (x: 2.5 μ s/DIV) (y: 10A/DIV)

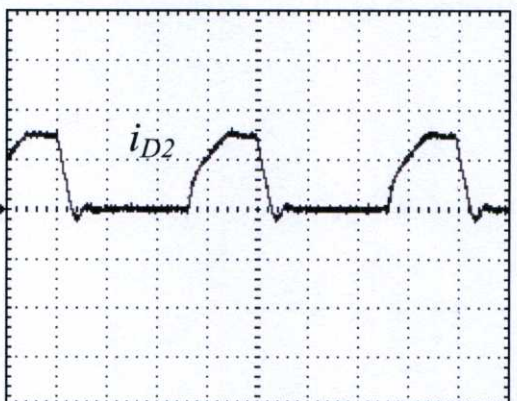
(ค) วงจร NVCCBC

รูปบน : i_{D1} (x: 2.5 μ s/DIV) (y: 5A/DIV)รูปล่าง : i_{D2} (x: 2.5 μ s/DIV) (y: 2A/DIV)

(ง) วงจร IBFC

 i_{D1} (x: 2.5 μ s/DIV) (y: 5A/DIV)

(จ) วงจร NCCBC

 i_{D3} (x: 2.5 μ s/DIV) (y: 2A/DIV)

(ฉ) วงจร IBFC

 i_{D2} (x: 2.5 μ s/DIV) (y: 2A/DIV)

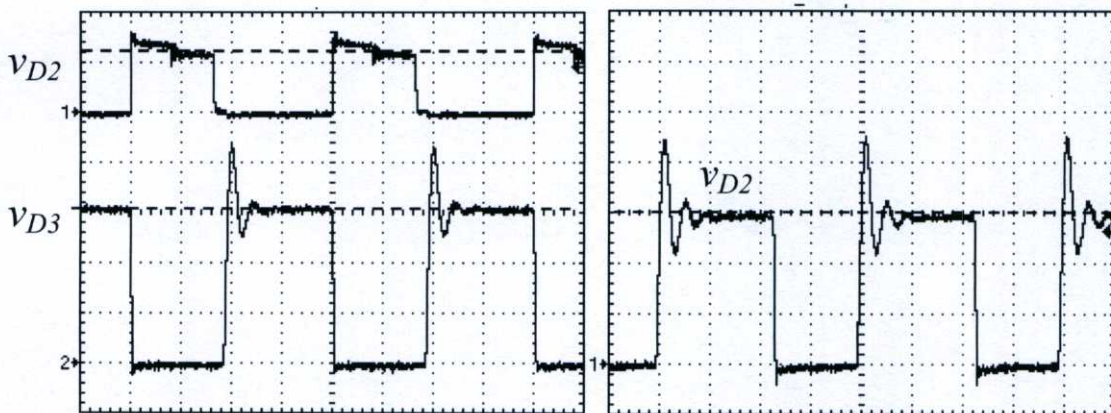
รูปที่ 5.7 รูปคลื่นกระแสที่ไหลผ่านสวิตช์ และไดโอด D_1 D_2 D_3 ของวงจร NVCCBC และ IBFC

ที่กระแสโหลด 0.9A



(ก) วงจร NVCCBC

(ข) วงจร IBFC

รูปบน : V_{SW} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$)รูปบน : V_{SW} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$)รูปล่าง : V_{D1} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$)รูปล่าง : V_{D1} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$)

(ค) วงจร NVCCBC

(ง) วงจร IBFC

รูปบน : V_{D2} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $20\text{V}/\text{DIV}$) V_{D2} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $50\text{V}/\text{DIV}$)รูปล่าง : V_{D3} (x: $2.5\mu\text{s}/\text{DIV}$) (y: $50\text{V}/\text{DIV}$)

รูปที่ 5.8 รูปคลื่นแรงดันคร่อมสวิตช์และไดโอด D_1 D_2 และ D_3 ของวงจร NVCCBC และ IBFC ที่กระแสโหลด 0.9A

ผลการวัดรูปคลื่นกระแสที่ไหลผ่านและแรงดันตกคร่อมอุปกรณ์เซมิคอนดักเตอร์สวิตช์เปรียบเทียบระหว่างวงจร NVCCBC และวงจร IBFC ที่กระแสโหลด 0.9A แสดงดังรูปที่ 5.7 และ 5.8 จะเห็นว่ารูปคลื่นกระแสและแรงดันของสวิตช์ ไดโอด D_1 และ D_3 ของวงจร NVCCBC มีความคล้ายคลึงกับสวิตช์ ไดโอด D_1 และ D_2 ของวงจร IBFC ถ้าใช้ค่ากระแสและแรงดันสูงสุดเป็นเกณฑ์ในการพิจารณาเลือกขนาดพิกัดของอุปกรณ์ วงจร NVCCBC สามารถใช้อุปกรณ์เซมิคอนดักเตอร์สวิตช์ที่มีพิกัดกระแสและแรงดันเดียวกันกับวงจร IBFC ได้ สำหรับไดโอด D_2 ของวงจร NVCCBC นั้นพิกัดกระแสและแรงดันสามารถเลือกได้จากสมการที่ (3.36) และ (3.23) ตามลำดับ

ตารางที่ 5.3 ค่ากระแสสูงสุดของสวิตช์ และไดโอดของวงจร NVCCBC และ IBFC

I_o (A)	NVCCBC				IBFC		
	$i_{SW,max}$	$i_{D1,max}$	$i_{D2,max}$	$i_{D3,max}$	$i_{SW,max}$	$i_{D1,max}$	$i_{D2,max}$
0.3	9.40	2.32	1.32	0.75	8.20	2.60	0.96
0.6	15.20	6.24	1.76	1.84	14.20	6.48	1.96
0.9	21.80	9.80	2.28	2.96	21.60	9.80	3.20

ตารางที่ 5.4 ค่าแรงดันสูงสุดคร่อมสวิตช์ และไดโอดของวงจร NVCCBC และ IBFC

I_o (A)	NVCCBC				IBFC		
	$V_{SW,max}$	$V_{D1,max}$	$V_{D2,max}$	$V_{D3,max}$	$V_{SW,max}$	$V_{D1,max}$	$V_{D2,max}$
0.3	39.2	29.6	30.4	240	43.2	34.4	252
0.6	43.2	28.0	30.4	228	47.2	36.8	240
0.9	44.0	29.6	32.0	218	51.2	40.8	226

5.3.4 รีปเปิ้ลแรงดันเอาต์พุต



(ก) วงจร NVCCBC

 Δv_o (x: 2.5 μ s/DIV) (y: 0.1V/DIV)

(ข) วงจร IBFC

รูปถ่าย : ΔV_o (x: 2.5 μ s/DIV) (y: 1V/DIV)

รูปที่ 5.9 รูปคลื่นรีปเปิ้ลแรงดันเอาต์พุตของวงจร NVCCBC และ IBFC ที่กระแสโหลด 0.9A

ตารางที่ 5.5 รีปเปิ้ลแรงดันเอาต์พุตของวงจร NVCCBC และ IBFC

I_o (A)	Δv_o (V)	
	NVCCBC	IBFC
0.3	0.17	0.64
0.6	0.23	2
0.9	0.28	3

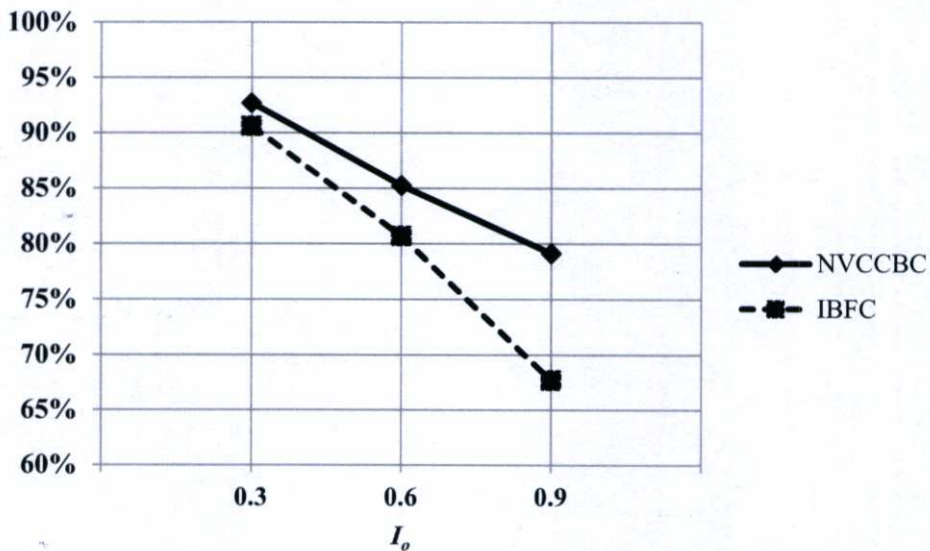
ผลการวัดรูปคลื่นรีปเปิ้ลแรงดันเอาต์พุตเปรียบเทียบระหว่างวงจร NVCCBC และวงจร IBFC ที่กระแสโหลด 0.9A แสดงดังรูปที่ 5.9 ตารางที่ 5.5 แสดงผลการวัดค่ารีปเปิ้ลแรงดันเอาต์พุตของวงจรทั้งสองที่กระแสโหลดค่าต่างๆ จะเห็นว่ารีปเปิ้ลแรงดันเอาต์พุตของวงจร IBFC มีค่ามากกว่าวงจร NVCCBC เนื่องจากวงจร IBFC มีตัวเก็บประจุด้านเอาต์พุต (C_1 และ C_2) ต่ออนุกรมกันทำให้ความจุรวม (Total capacitance) มีค่าเป็นครึ่งหนึ่ง และ ESR (Equivalent Series Resistance) มีค่าเป็นสองเท่าของวงจร NVCCBC ค่าความจุรวมที่ลดลงและ ESR ที่เพิ่มขึ้นนี้ส่งผลให้รีปเปิ้ลแรงดันเอาต์พุตของวงจร IBFC มีค่ามาก

5.3.5 ประสิทธิภาพของวงจร

ผลการวัดค่าประสิทธิภาพเปรียบเทียบระหว่างวงจร NVCCBC และวงจร IBFC แสดงดังตารางที่ 5.6 และกราฟรูปที่ 5.10 จะเห็นว่าวงจร NVCCBC มีประสิทธิภาพสูงกว่าวงจร IBFC ตลอดย่านกระแสโหลด สาเหตุหลักเกิดจากค่าดิวตี้ไซเคิลของวงจร IBFC ที่สูงกว่าวงจร NVCCBC ทำให้สวิตช์นำกระแสเป็นระยะเวลานานกว่า ส่งผลให้เกิด Conduction loss มากกว่า

ตารางที่ 5.6 ผลการวัดค่าประสิทธิภาพของวงจร NVCCBC และ IBFC

NVCCBC					IBFC				
Output		Input		Efficiency	Output		Input		Efficiency
I	V	I	V		I	V	I	V	
0.30	120.22	3.24	12.01	92.69%	0.30	120.32	3.31	12.04	90.57%
0.62	120.22	7.28	12.02	85.25%	0.63	120.34	7.81	12.03	80.69%
0.92	120.09	11.55	12.09	79.12%	0.92	120.29	13.5	12.11	67.69%



รูปที่ 5.10 กราฟแสดงการเปรียบเทียบประสิทธิภาพของวงจร NVCCBC และ IBFC

บทที่ 6

สรุป

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่ (Novel Voltage Clamp Coupled-inductor Boost Converter: NVCCBC) ซึ่งพัฒนามาจาก วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์ในรูปที่ 2.1 (ค) โดยการเพิ่มไดโอด D_2 และ ตัวเก็บประจุ C_2 เข้าไปในวงจรส่งผลให้เมื่อสวิตช์หยุดนำกระแส ตัวเก็บประจุ C_2 จะถูกต่ออนุกรม กับแหล่งจ่ายแรงดันอินพุท และขดลวดปฐมภูมิและทุติยภูมิของตัวเหนี่ยวนำร่วม แรงดันคร่อม ตัวเก็บประจุ C_2 นี้จะมีขั้วเสริมกับแรงดันอินพุทและแรงดันเหนี่ยวนำของขดลวดปฐมภูมิและทุติยภูมิ ทำให้แรงดันเอาต์พุทที่ได้มีค่ามากกว่าในวงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์ แบบดั้งเดิม ดังนั้นอัตราขยายของวงจรใหม่ที่น่าเสนอจึงมีค่าสูงกว่าวงจรเดิม ในขณะเดียวกัน ไดโอด D_1 และตัวเก็บประจุ C_1 ในวงจรใหม่ยังคงทำหน้าที่แคลมป์แรงดันคร่อมสวิตช์เช่นเดียวกับใน วงจรเดิม ดังนั้นแรงดันคร่อมสวิตช์จึงไม่เปลี่ยนแปลง

การวิเคราะห์ห้วงจรแคลมป์แรงดันตัวเหนี่ยวนำร่วมบวสท์คอนเวอร์เตอร์แบบใหม่จะพิจารณา การทำงานของวงจรที่สภาวะคงตัว และไม่คิดผลของ Leakage inductance ของตัวเหนี่ยวนำร่วม ซึ่งทำให้วงจรมีการทำงาน 3 สภาวะ ดังแสดงในรูปที่ 3.3 เมื่อประมาณให้การทำงานในช่วงเวลา t_2-t_3 มีค่าน้อยมากเมื่อเทียบกับช่วงเวลา t_1-t_2 และ t_3-t_4 เราสามารถเขียนรูปคลื่นของวงจร โดยประมาณได้ดังแสดงในรูปที่ 3.5 ซึ่งจากรูปสามารถหาสมการกระแส $I_{Lm,max}$ (3.31) $I_{2,max}$ (3.33) I_p (3.36) $I_{SW,max}$ (3.37) และ $I_{D1,max}$ (3.39) โดยสมการเหล่านี้สามารถนำมาใช้ในการกำหนดพิกัด กระแสของอุปกรณ์เซมิคอนดักเตอร์ในวงจรได้ ส่วนพิกัดแรงดันของอุปกรณ์เซมิคอนดักเตอร์สวิตช์ สามารถกำหนดได้จากสมการที่ (3.21)-(3.24)

ผลการทดสอบสมรรถนะของวงจร NVCCBC ต้นแบบที่สร้างขึ้นสามารถสรุปได้ดังนี้

- ค่าดีวีดีไอเคิลที่ได้จากทดลองมีค่าใกล้เคียงกับค่าทางทฤษฎี
- วงจรสามารถรักษาระดับแรงดันเอาต์พุทคงที่ที่อัตราขยาย 5 เท่า ($V_{in} = 24V$ $V_o = 120V$) 7.5 เท่า ($V_{in} = 18V$ $V_o = 120V$) และ 10 เท่า ($V_{in} = 12V$ $V_o = 120V$) ได้
- ผลการวัดรูปคลื่นกระแสอินพุท กระแสสวิตช์ กระแสไดโอด D_1 D_2 และ D_3 พบว่ามีความ คล้ายคลึงกับรูปคลื่นทางทฤษฎีในรูปที่ 2.4 และผลการวัดค่ากระแส $I_{Lm,max}$ $I_{2,max}$ I_p $I_{SW,max}$ และ $I_{D1,max}$ พบว่ามีค่าสอดคล้องกับค่าทางทฤษฎีจากสมการที่ (3.31) (3.33) (3.36) (3.37) และ (3.39) ตามลำดับ
- ผลการวัดประสิทธิภาพของวงจรที่อัตราขยาย 5 เท่า 7.5 เท่าและ 10 เท่าพบว่า ประสิทธิภาพสูงสุดมีค่าใกล้เคียงกันประมาณ 92% ที่กระแสโหลดต่ำสุด แต่เมื่อ กระแสโหลดมีค่าเพิ่มขึ้น ประสิทธิภาพของวงจรจะลดลงเนื่องจากความสูญเสียใน การนำกระแสที่เพิ่มขึ้นของสวิตช์ และไดโอด D_1 D_2 และ D_3
- ผลการเปรียบเทียบสมรรถนะระหว่างวงจร NVCCBC กับวงจรเพิ่มแรงดันบวสท์-ฟลายแบคคอนเวอร์เตอร์ (Integrated Boost-Flyback Converter: IBFC) ที่สร้างขึ้นพบว่าวงจร NVCCBC มี อัตราขยายที่สูงกว่า เมื่อดีวีดีไอเคิลและอัตราส่วนจำนวนรอบ (n) มีค่าเท่ากัน มีรีปเปลแรงดัน

เอาท์พุทที่ต่ำกว่า และมีประสิทธิภาพสูงกว่า ในขณะที่ความเครียดของอุปกรณ์สวิตช์ของทั้งสอง วงจรมีค่าใกล้เคียงกัน สรุปว่าวงจร NVCCBC มีสมรรถนะโดยรวมดีกว่าวงจร IBFC ทุกด้าน

- เทคนิคการเพิ่มไดโอดและตัวเก็บประจุอย่างละหนึ่งตัว ยังได้ถูกนำมาใช้พัฒนางจรใหม่อีก 5 วงจรดังแสดงรายละเอียดในบทที่ 2 ได้แก่ วงจร NVCCBC type A – E ซึ่งทั้ง 5 วงจรนี้มี อัตราขยาย และแรงดันคร่อมสวิตช์เท่ากับวงจร NVCCBC ที่นำเสนอ จากการสำรวจ บทความความต่างๆที่เกี่ยวข้องพบว่าวงจร NVCCBC type B-E เป็นวงจรใหม่ที่ยังไม่มีการนำเสนอ มาก่อน
- งานวิจัยในวิทยานิพนธ์นี้ได้เน้นศึกษาเฉพาะส่วนของวงจรภาคกำลัง NVCCBC งานวิจัยที่สามารถทำต่อได้ในอนาคตคือการศึกษาการจำลองแบบและออกแบบตัวควบคุม

เอกสารอ้างอิง

- [1] S. M. Chen., T. J. Liang., L. S. Yang., J. F. Chen. "A cascaded high step-up dc-dc converter with single switch for microsource applications." **IEEE Trans. Power Electron.**, vol.26, no. 4, Apr. 2011. pp. 1146-1153
- [2] R.J. Wai, W.H. Wang, and C.Y. Lin, "High-Performance Stand-Alone Photovoltaic Generation System," **IEEE Trans. Ind. Electron**, vol. 55, no. 1, Jan. 2008. pp. 240-250
- [3] Q. Zhao and F.C. Lee, "High-Efficiency, High Step-Up DC-DC Converters," **IEEE Trans. Power Electron.**, vol. 18, no.1, Jan. 2003. pp. 65-73
- [4] D. W. Hart. **Power Electronics**. Mcgraw Hill, 2011.
- [5] R. W. Erickson and D. Maksimovic, **Fundamentals of Power Electronics**, 2nd ed., Kluwer Academic Publishers, 2001.
- [6] J. A. M. Saldana , E. E. C. Gutierrez, and J. L. Ramos, "Modelling of Switch-mode DC-DC Cascade Converters," **IEEE Trans. Aerosp. Electron. Syst**, vol. 38, no. 1, 2002. pp. 295-299
- [7] L. Huber., M. M. Jovanovic. "A design approach for server power supplies for networking." in **Proc. IEEE-APEC 2000 Ann.**, 2000. pp.1163-1169
- [8] F.L Luo., H. Ye. "Positive output cascade boost converters." **IEE Proceedings - Electric Power Applications.**, vol. 151, no. 5. 2004. pp. 590-606
- [9] J. Leyva Romos., M.G. Ortiz-Lopez., J. A. Morales-Saldana., L. H. Diaz-Saldierna. "Control of a Cascade Boost Converter with a Single Active Switch.", **Power Electronics Specialists Conference.**, June. 2008. pp.2383-2388
- [10] M. G. Ortiz-Lopez, J. Leyva-Ramos, E. E. Carbajal- Gutierrez, and J.A. Morales-Salda, "Modelling and Analysis of Switch-mode Cascade Converters with A Single Active Switch," **IET Power Electronics**, vol. 1, no. 4,2008. pp. 478-487
- [11] J.A. M. Saldana, R. G. Quirino, J. L. Ramos, E.E. C. Gutierrez, and M.G. O. Lopez, "Multiloop Controller Design for A Quadratic Boost Converter," **IET Electr. Power Appl**, vol.1, no. 3, 2007. pp. 362-367

เอกสารอ้างอิง (ต่อ)

- [12] M. G. Ortiz-Lopez, J. Leyva-Ramos, L. H. Diaz-Saldierna, J. M. Garcia-Ibarra, and E. E. Carbajal-Gutierrez, "Current-mode control for a quadratic boost converter with a single switch," **Power Electronics Specialists Conference**, June, 2007. pp.2652-2657
- [13] K. Tattiwong, and C. Bunlaksananusorn. "Analysis design and experimental verification of a quadratic boost converter," **IEEE TENCON 2014**, Bangkok, Thailand, 22-25, Oct, 2014.
- [14] K. C. Tseng. and T. J. Liang. "Novel high-efficiency step-up converter.", **IEE Proc.-Electr. Power Appl.**, vol. 151. no. 2. March. 2004. pp.182-190
- [15] T. J. Liang. and K. C. Tseng. "Analysis of integrated boost-flyback step-up converter.", **IEE Proc.-Electr. Power Appl.** vol. 152. no. 2. March. 2005. pp.217-225
- [16] G. Spiazzi, P. Mattavelli, J.R. Gazoli, R. Magalhaes, and G. Frattini, "Improved Integrated Boost-Flyback High Step-Up Converter," in **Proceeding of ICIT**, 2010. pp.1169-1174
- [17] K. Tattiwong and C. Bunlaksananusorn, "Design and Implementation of An Integrated Boost-Flyback Converter," in **Proceeding of IECON**, Yokohama, Nov, 2015. pp.3491-3496
- [18] Q. Zhao, F. Tao, and F. C. Lee, "A Front-End DC/DC Converter for Network Server Applications," in **Proceeding of PESC**, Vancouver, Jun 2003. pp.109-113
- [19] D. A.Grant, Y. Darroman, and J. Suter, "Synthesis of Tapped-Inductor Switched-Mode Converters," **IEEE Trans. On Power electronics**, vol. 22, no. 5, 2007. pp. 1964-1969
- [20] M.N. Gitau, F.M. Mwaniki, and I.W. Hofsajer, "Analysis and Design of Single-Phase Tapped-Coupled-Inductor Boost DC-DC Converter," **Journal of Power Electronics**, vol.13, no. 4, 2013. pp. 636-646
- [21] N. Vazquez, L. Estrada, C. Hernandez, and E. Rodriguez, "The Tapped-Inductor Boost Converter", **IEEE International Symposium on Industrial Electronics**. 2007. pp. 538-543.

เอกสารอ้างอิง (ต่อ)

- [22] D. M. Van de Sype, K. De Gusseme, B. Renders, A. R. Van den Bossche, and J. A. Melkebeek, "A Single Switch Boost Converter With a High Conversion Ratio," in *Proceeding of IEEE APEC*, Mar, 2005. pp. 1581- 1587
- [23] M.H. Keum, Y. Choi, S.-K. Han, and J. il Kang, "High efficiency voltage-clamped coupled-inductor boost converter," in *Industrial Electronics Society, IECON 2013 – 39th Annual Conference of the IEEE*, Nov, 2013. pp. 828–833
- [24] B. Axelrod, Y. Berkovich, and A. Ioinovici, "Switched Coupled-Inductor Cell for DC-DC Converters with Very Large Conversion Ratio," in *Proceeding of IECON*, Paris, Nov, 2006. pp.2366-2371
- [25] B. Axelrod., Y. Berkovich., A. Ioinovici. "Switched- Capacitor/ Switched-inductor Structures for Getting Transformerless Hybrid DC– DC PWM Converters," *IEEE Trans. Circuits and Systems.*, vol. 55, no.2, Mar. 2008. pp.687-696
- [26] I. Laird, D. D. C. Lu, and V. G. Agelidis, "High-Gain Switched-Coupled-Inductor Boost Converter," in *Proceeding of PEDS*, Taipei, Nov 2009. pp. 423-428
- [27] S. K. Changchien., T. J. Liang., J. F. Chen., L. S. Yang. "Step-up DC–DC converter by coupled inductor and voltage-lift technique." *IET Power Electron.*, vol.26, no. 3, 2010. pp. 369-378
- [28] T. J. Liang, S. M. Chen, L. S. Yang, J. F. Chen, and A. Ioinovici, "A Single Switch Boost-Flyback DC-DC Converter Integrated with Switched-Capacitor Cell," in *Proceeding of ICPE & ECCE*, Jeju, Jun 2011. pp.2782-2787
- [29] W. Li and X. He, "Review of nonisolated high-step-up dc/dc converters in photovoltaic grid-connected applications," *IEEE Transactions on Industrial Electronics*, Vol. 58, No. 4, April 2011. pp.1239-1250
- [30] เกศสุดา การเกษ, "การจำลองและออกแบบวงจรควอดเทรทิก ดีซี-ดีซีคอนเวอร์เตอร์.", วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2556.

เอกสารอ้างอิง (ต่อ)

- [31] สิริพรรณ ตระกูลดิษฐ์. “การศึกษาเปรียบเทียบการควบคุมวงจربัคคอนเวอร์เตอร์.” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาระบบควบคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2555.
- [32] กวีวัชร ทัตติวงศ์. “การวิเคราะห์ ออกแบบและทดสอบสมรรถนะวงจรมอเตอร์เพิ่มแรงดันดีซี-ดีซีคอนเวอร์เตอร์ที่มีอัตราขยายสูง.” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาระบบควบคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2556.

ภาคผนวก
ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่ ดังนี้

- [1] Kawewat Tattiwong, and Chanin Bunlaksananusorn. "A Novel Clamp-Mode Couple-Inductor Boost Converter with High Step-Up Voltage," **Journal of Electrical Engineering & Technolog (JEET)**, vol.12 n.2, March. 2017. pp. 809-819
- [2] K. Tattiwong, and C. Bunlaksananusorn. "Design and Implementation of an Integrated Boost-Flyback Converter," **41st Annual Conference of the IEEE Industrial Electronics Society (IECON)**, Yokohama, Japan, November. 9-12, 2015, pp. 3491-3496.
- [3] K. Tattiwong, and C. Bunlaksananusorn. "Analysis design and experimental verification of a quadratic boost converter," **IEEE TENCON 2014**, Bangkok, Thailand, Oct. 22-25, 2014. pp



www.jeet.or.kr

Vol.12, No.2 March 2017

ISSN(Print) 1975-0102 / ISSN(Online) : 2093-7423

Journal of Electrical Engineering & Technology

Electric Power Engineering

Methodology of Cyber Security Assessment in the Smart Grid	Pil Sung Woo and Balho H. Kim	495
New Coordination Approach to Minimize the Number of Re-adjusted Relays When Adding DGs in Interconnected Power Systems	Doaa Khalil Ibrahim, Essam El Din Abo El Zahab and Saadoun Abd El Aziz Mostafa	502
A Novel Procedure for Protection Setting in an HVDC System Based on Fault Quantities	Benfeng Gao, Ruixue Zhang and Xuewei Zhang	513
Fault Analysis Method for Power Distribution Grid with PCS-based Distributed Energy Resources	Dong-Eok Kim and Namhun Cho	522
Modified Transmission Line Protection Scheme in the Presence of SCC	Ehsan Mostaghimi Naeini, Behrouz Vaseghi and Mehdi Mahdavian	533
Short-term Reactive Power Reserve Optimization Based on Trajectory Sensitivity	Quancai Sun, Haozhong Cheng, Jian Zhang, Baiqing Li and Yue Song	541
Power Flow Study of Low-Voltage DC Micro-Grid and Control of Energy Storage System in the Grid	Dong-Eok Kim	549
Method Based on Sparse Signal Decomposition for Harmonic and Inter-harmonic Analysis of Power System	Lei Chen, Dezhong Zheng, Shuang Chen and Baoru Han	559
Utilization of Energy Storage System based on the Assessment of Area of Severity in Islanded Microgrid	Kyebyung Lee, Minhan Yoon, Chang-Hyun Park and Gilsoo Jang	569
New DTR Estimation Method Without Measured Solar and Wind Data	Zhan-Feng Yang, Yuan-Sheng Chen and Kai Feng	576
Applicability Comparison of Transmission Line Parameter Extraction Methods for Busbar Distribution Systems	Zeynep Hasirci, Ismail Hakkı Cavdar and Mehmet Ozturk	586
The Development of the ± 80 kV 60MW HVDC System in Korea	Kyoung-Ho Park, Seung-Taek Baek, Yong-Ho Chung and Gil-Soo Jang	594
Simultaneous Control of Frequency Fluctuation and Battery SOC in a Smart Grid using LFC and EV Controllers based on Optimal MIMO-MPC	Janglak Pahasa and Issarachai Ngamroo	601

THE KOREAN INSTITUTE OF ELECTRICAL ENGINEERS

A Novel Clamp-Mode Coupled-Inductor Boost Converter with High Step-Up Voltage Gain

Kaweewat Tattiwong* and Chanin Bunlaksananusorn†

Abstract – In this paper, a new coupled inductor DC-DC converter with a high step-up voltage gain is proposed. It is developed from a clamp-mode coupled-inductor boost converter by incorporating an additional capacitor and diode. The proposed converter is able to achieve the higher voltage gain, while still retaining the switch voltage clamp property of its predecessor. In the paper, operation and analysis of the proposed converter are described. Experimental results from a prototype converter are presented to verify the validity of the analysis. The prototype circuit attains the highest efficiency of 92.8%.

Keywords: High step-up gain DC-DC converters, Clamp-mode coupled-inductor boost converter, DC-DC converter analysis

1. Introduction

Nowadays, a DC-DC converter with a high step-up voltage gain has become an essential component in modern power electronics applications [1-3]. For example, in automobile head lamps, a DC-DC converter is required to increase a battery voltage of 12V into 100V to supply a high-frequency inverter that drives a High Intensity Discharge (HID) lamp. In telecommunication centers, a power supply for a server computer is capable of working with dual input sources from an AC main and a 48V back-up battery. The battery voltage is fed to the power supply via a front-end DC-DC converter. When the main power outage occurs, the front-end converter provides a back-up power by boosting the battery voltage into a 380V bus voltage to continually supply downstream converters in the power supply system. Therefore, the server computer can continue to function despite the main power failure. Lastly, in power generation by solar PV or fuel cells, a DC-DC converter is often used to boost a small DC voltage generated from these renewable sources to a suitable value for a grid connected inverter. The DC-DC converters used in the above applications have the following common characteristics: (1) high step-up voltage gain, (2) high efficiency, and (3) no electrical isolation between input and output. The conventional power electronic circuit used for stepping up a DC voltage is a boost converter. In theory, the boost converter can produce a high voltage gain when operated at an extreme duty cycle (i.e. the duty cycle approaching one). However, in practice, due to component non-idealities, such as the inductor resistance, the diode

forward voltage drop, the switch on-state resistance etc., losses and voltage drops in the circuit increase with the increasing duty cycle. As a result, the efficiency and voltage gain of the boost converter are degraded, when the duty cycle is large [4, 5]. Besides, operating the boost converter at the extreme duty cycle means its rectifier diode has less time to conduct. The diode current thus becomes a narrow pulse with high current amplitude, which is responsible for a severe reversed recovery loss and EMI problems.

A simple solution to increase the voltage gain without extending the duty cycle is to use a cascade boost converter, in which two or more boost converters are connected in series [6]. This method, however, requires more power switches, i.e. one power switch per one boost stage, and suffers from low overall efficiency when a number of the boost stage is increased. In [7-10], an N-stage cascade boost converter with one active switch is proposed. It uses only one power switch and has the same voltage gain as the N boost converters connected in series. The main drawbacks of this topology, nonetheless, are high current and voltage stresses associated with the power switch, and the low efficiency due to multi-stage power processing. High gain DC-DC converters based on a coupled inductor [11-21] can overcome the efficiency and voltage stress problems of the aforementioned cascade converter. The coupled inductor converters achieve the high voltage gain by utilizing the coupled inductor's turn ratio, instead of cascading multiple boost stages, hence leading to the improved efficiency. Moreover, unlike the cascade converter which subjects its power switch to the output voltage during turn-off, a power switch in the coupled inductor converters operates with less voltage stress as the turn-off voltage is usually considerably less than the output voltage. In this respect, the advantage of the coupled inductor converters over the cascade converter becomes

† Corresponding Author: Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand. (chanin.bu@kmitl.ac.th)

* Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand. (56601455@kmitl.ac.th)
 Received: July 25, 2016; Accepted: December 15, 2016

distinct when the output voltage is high. Among many coupled inductor converters, a clamp-mode coupled-inductor boost converter [12] is a very attractive topology. Its salient features include: (1) a simple circuit structure using only one power switch, (2) high voltage gain controlled by the coupled inductor's turn ratio, (3) a switch voltage clamp reducing the device voltage stress, and (4) high efficiency.

This paper proposes a new coupled inductor DC-DC converter with a high step-up voltage gain. It is developed from a clamp-mode coupled-inductor boost converter by incorporating an additional capacitor and diode. The proposed converter is able to achieve the higher voltage gain, while still retaining the switch voltage clamp property of its predecessor. Furthermore, the laboratory prototype demonstrates that the proposed converter operates with high efficiency. The remainder of this paper is organized as follows. Section 2 explains the evolution of the proposed converter. Section 3 describes the converter operation and analysis. Section 4 further simplifies the converter analysis via waveform approximation to facilitate the derivation of important current equations. Section 5 presents experimental results from the prototype converter. The results are used to verify validity of the analysis. Finally, conclusions are drawn in Section 6.

2. Evolution of Proposed Converter

The clamp-mode coupled-inductor boost converter is shown in Fig. 1(a). The coupled inductor has two windings, with N_1 and N_2 being a number of turns of primary and secondary windings. D_1 and C_1 constitute a clamp circuit. When SW is turned on, energy is stored in the coupled inductor, and the output capacitor C_3 is discharged to supply the load current. When SW is turned off, the stored energy is released to charge the output capacitor. Meanwhile, D_1 is turned on and the switch voltage is clamped to V_{C1} . During this turn-off interval, the output voltage is given by the sum of the input voltage and the induced voltages on the primary and secondary windings, which are additive. It is shown in [11, 12] that the voltage gain and clamp voltage of the clamp-mode coupled-inductor boost converter are given by

$$\frac{V_o}{V_{in}} = \frac{1+nD}{1-D}, \quad (1)$$

$$V_{C1} = \frac{V_{in}}{1-D}, \quad (2)$$

where $n=N_2/N_1$ is the coupled inductor's turn ratio and D is a duty cycle of SW . As seen in (1) and (2), the switch clamp voltage, V_{C1} , is lower than the output voltage, resulting in the low voltage stress on SW . Consequently, the switch can be implemented by an inexpensive low-voltage rated power MOSFET.

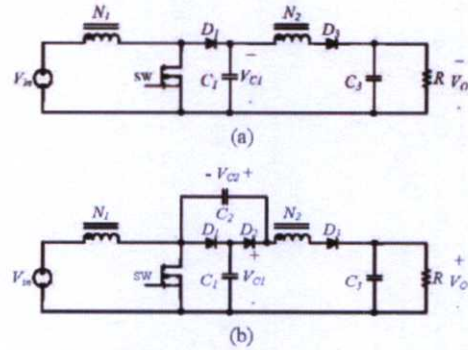


Fig. 1. (a) Clamp-mode coupled-inductor boost converter, and (b) the proposed converter

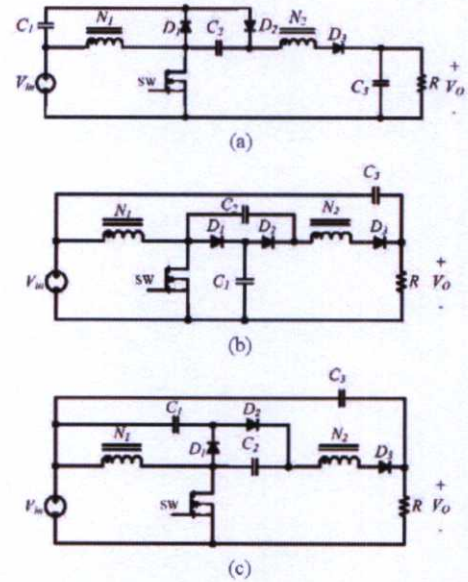


Fig. 2. Circuit variations of the proposed converter

The proposed converter in Fig. 1(b) is derived from the clamp-mode boost converter in Fig. 1(a) by the addition of C_2 - D_2 . Similar to its predecessor, the proposed converter stores energy in the coupled inductor during SW turn-on. When SW is turned off, the stored energy is released to charge the output capacitor and the switch voltage is clamped to V_{C1} via D_1 . During this turn-off interval, the output voltage is given by the sum of the input voltage, the induced voltages on the primary and secondary windings which are additive, and the voltage across C_2 (i.e. V_{C2}). The additional voltage provided by C_2 helps increase the

output voltage of the proposed converter, allowing it to achieve a higher voltage gain than the clamp-mode boost converter.

Other circuit variations of the proposed converter are depicted in Fig. 2. They are obtained by repositioning C_1 , D_1 , C_2 , D_2 , and C_3 of the circuit in Fig. 1(b). In these variant circuits, C_1 - D_1 serves to clamp the switch voltage and C_2 - D_2 serves to enhance the voltage gain. All the converters in Fig. 2 have the same voltage gain and switch clamp voltage as the proposed converter in Fig. 1(b). Operation and analysis of the proposed converter are described next.

3. Operation and Analysis of Proposed Converter

The converter operation is described and analyzed using the circuit shown in Fig. 3(a), where L_m is a magnetizing inductance of the coupled inductor. The primary and secondary voltages are related by: $v_2 = nv_1$, where $n = N_2/N_1$ is the coupled inductor's turn ratio. The primary and secondary currents are related by: $i_1 = ni_2$. To simplify the description and analysis, a leakage inductance of the coupled inductor is neglected. The input voltage, V_{in} , is constant. All the capacitor C_1 , C_2 and C_3 are assumed to be sufficiently large, so that V_{C1} , V_{C2} , and V_o are constant over one switching period. All the power semiconductor devices, i.e. SW , D_1 , D_2 , and D_3 , are assumed to be an ideal switch.

In Continuous Conduction Mode (CCM), where the magnetizing current, i_{Lm} , flows continuously and remains above zero throughout a switching period, the converter operation can be divided into three modes as follows.

Mode 1 (t_0 - t_1): The equivalent circuit is shown in Fig. 3(b). SW is turned on, D_2 is turned on, and D_1 and D_3 are turned off. The primary winding is supplied by V_{in} , causing i_{Lm} to increase linearly and energy being stored in L_m . Since D_3 is turned off, both primary and secondary currents, i_1 and i_2 , are zero. Meanwhile, C_1 is discharged by C_2 via D_2 and SW . At the output, C_3 is discharged by R , providing the load current, I_o .

From the equivalent circuit in Fig. 3(b), the following current relationships can be written:

$$i_{in} = i_{Lm}, \quad (3)$$

$$i_2 = 0, \quad (4)$$

$$i_{D1} = 0, \quad (5)$$

$$i_{SW} = i_{in} + i_{D2}, \quad (6)$$

where i_{in} is the input current, i_{SW} is the switch current, i_{D1} is a charging current from L_m to C_1 , and i_{D2} is a discharging current from C_1 to C_2 . This mode is ended at time t_1 when SW is turned off.

Mode 2 (t_1 - t_2): The equivalent circuit is shown in Fig. 3(c). SW is turned off, D_1 and D_3 are turned on, and D_2 is turned off. The primary voltage, v_1 , is equal to $V_{in} - V_{C1}$,

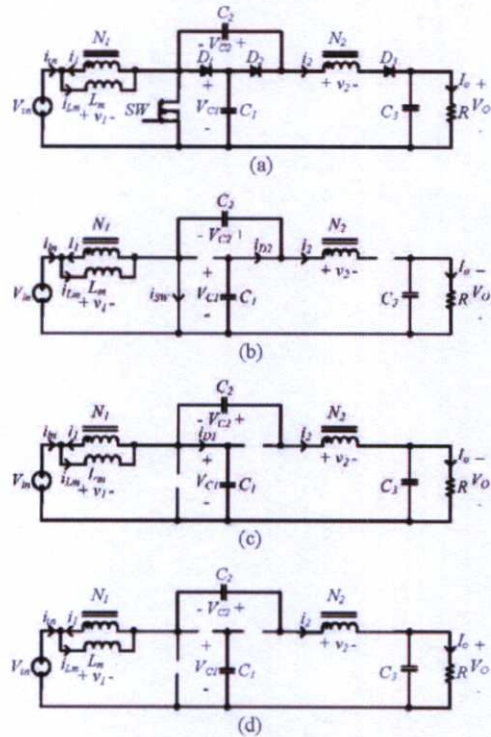


Fig. 3. Proposed converter: (a) circuit diagram; (b) operational mode 1; (c) operational mode 2, and (d) operational mode 3

which is negative because V_{C1} is greater than V_{in} . Alternatively, considering the outer loop of Fig. 3(c), v_1 can also be expressed as

$$v_1 = V_{in} + V_{C2} - v_2 - V_o = V_{in} + V_{C2} - nv_1 - V_o. \quad (7)$$

That is,

$$v_1 = \frac{V_{in} + V_{C2} - V_o}{(1+n)} = V_{in} - V_{C1}. \quad (8)$$

Since v_1 is negative, i_{Lm} decreases linearly and the energy stored in L_m is released to charge C_1 via D_1 and to charge C_3 via D_3 . The voltage across SW is clamped to V_{C1} . Meanwhile, C_2 is discharged by the current i_2 . Notice that C_2 is connected in series with the input voltage source and the primary and secondary windings of the coupled inductor; the sum of the voltages across these components is equal to the output voltage.

From the equivalent circuit in Fig. 2(c), the following current relationships can be written:

A Novel Clamp-Mode Coupled-Inductor Boost Converter with High Step-Up Voltage Gain

$$i_{in} = i_{Lm} - i_1 = i_{Lm} - ni_2, \quad (9)$$

$$i_{D1} = i_{in} - i_2 = i_{Lm} - (n+1)i_2, \quad (10)$$

$$i_{SW} = 0. \quad (11)$$

This mode is ended at time t_2 when $i_{D1} = 0$ (i.e. C_1 is fully charged).

Mode 3 (t_2 - t_3): The equivalent circuit is shown in Fig. 3(d). SW is turned off, D_1 and D_2 are turned off, and D_3 is turned on. The primary voltage, v_1 , is the same as in mode 2 given by (8). Since v_1 remains negative, i_{Lm} continues to decrease and the energy stored in L_m is released to charge C_3 via D_3 . Meanwhile, C_1 is floating. C_2 continues to be discharged by the current i_2 . Still, in this mode, C_2 is connected in series with the input voltage source and the primary and secondary windings of the coupled inductor; the sum of the voltages across these components is equal to the output voltage.

From the equivalent circuit in Fig. 3(d), the following current relationships can be written:

$$i_{in} = i_2, \quad (12)$$

$$i_2 = \frac{i_{Lm}}{n+1}, \quad (13)$$

$$i_{D1} = 0, \quad (14)$$

$$i_{SW} = 0. \quad (15)$$

This mode is ended at time t_3 when SW is turned on, thereby repeating mode 1 again.

Based on (3) to (15), key waveforms of the proposed converter can be drawn as shown in Fig. 4. The time duration when SW is turned on (i.e. mode 1) is DT , where D is the duty cycle of SW and T a switching period. The time duration when SW is turned off (i.e. mode 2 and 3) is $(1-D)T$. The current i_{D1} , which is a charging current from L_m to C_1 , has a triangle shape similar to that in the clamp-mode boost converter [12]. The current i_{D2} , which is a discharging current from C_1 to C_2 , is approximated by a pulse current with an amplitude I_p . The bottom two waveforms in Fig. 4 depict the currents i_{C1} and i_{C2} . C_1 is discharged by i_{D2} during the time duration DT and charged by i_{D1} during the time duration $(1-D)T$. C_2 is charged by i_{D2} during DT and discharged by i_2 during $(1-D)T$.

In steady state, the voltage v_1 in Fig. 4 averaged over one switching period must be zero, that is

$$\frac{V_{in}DT + (V_{in} - V_{C1})(1-D)T}{T} = 0. \quad (16)$$

The above equation yields

$$V_{C1} = V_{C2} = \frac{V_{in}}{1-D}. \quad (17)$$

Note that $V_{C1} = V_{C2}$ because C_1 and C_2 are connected in

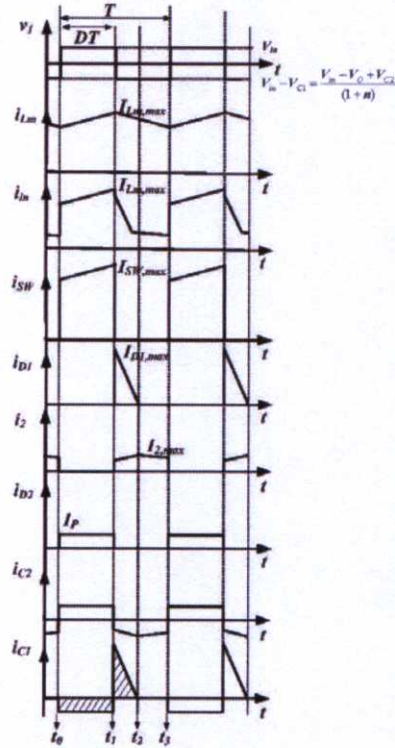


Fig. 4. Key waveforms of the proposed converter

parallel during the operational mode 1 (Fig. 3(b)) and, in this analysis, the capacitor voltages are assumed to be constant over one switching period. It can be seen from (17) that the switch clamp voltage, V_{C1} , of the proposed converter is identical to that in (2). This indicates that the proposed converter preserves the voltage clamping property of the clamp-mode coupled-inductor boost converter, despite the addition of C_2 - D_2 .

According to (8), Eq. (16) can be rewritten as

$$\frac{V_{in}DT + (V_{in} - V_o + V_{C2})(1-D)T}{T} = 0. \quad (18)$$

Solving (18), the voltage gain of the proposed converter is obtained as

$$\frac{V_o}{V_{in}} = \frac{2+nD}{1-D}. \quad (19)$$

Comparing (19) to (1), it is evident that the voltage gain of the proposed converter is greater than the clamp-mode

coupled-inductor boost converter. For example, if $n = 5$ and $D = 0.5$, the voltage gain of the proposed converter would be nine, whereas the clamp-mode boost converter would be seven. Fig. 5 plots the voltage gain in (19) as a function of the duty cycle, with the different coupled inductor's turn ratios. From the graph, it can be seen that, for a given duty cycle, the gain becomes larger as n is increased. Hence, by appropriately selecting n , the proposed converter can provide the high voltage gain, without operating at the extreme duty cycle.

By inspecting each operational mode in Fig. 3, the blocking voltages of power semiconductor devices in the proposed converter circuit can be determined as given below

$$V_{SW,max} = V_{C1} = V_o + nV_{i_n} - (n + 1)V_{C1}, \quad (20)$$

$$V_{D1,max} = V_{C2}, \quad (21)$$

$$V_{D2,max} = V_{C2}, \quad (22)$$

$$V_{D3,max} = V_o + nV_{i_n} - V_{C1}, \quad (23)$$

where $V_{SW,max}$, $V_{D1,max}$, $V_{D2,max}$, and $V_{D3,max}$ are the blocking voltages of SW , D_1 , D_2 , and D_3 respectively. These equations provide a basis for determining voltage ratings of the power semiconductor devices used in the proposed converter.

4. Waveform Approximation and Analysis

To derive the expressions for $I_{Lm,max}$, $I_{sw,max}$, $I_{D1,max}$, $I_{2,max}$, and I_p in Fig. 4, the proposed converter is assumed to be operating with the time interval in mode 2 relatively short compared with the time interval in mode 1 and 3. As a result, the operating mode 2 can be omitted from the converter operation and the waveforms in Fig. 4 can be approximated as shown in Fig. 6, where the time interval t_1-t_2 becomes zero and the operating mode 3 takes up the entire $(1-D)T$ interval. It should be noted that as the time interval t_1-t_2 approaches zero, i_{D1} becomes an impulse current which is represented by the vertical arrow in Fig. 6. In figure, I_{Lm} , $I_{Lm,max}$, and $I_{Lm,min}$ are the average, maximum, and minimum magnetizing currents respectively. $I_{sw,max}$ is the maximum switch current. I_2 , $I_{2,max}$, and $I_{2,min}$ are the average, maximum, and minimum secondary currents respectively. $I_{2,nom}$, which is an average value between $I_{2,max}$ and $I_{2,min}$ is referred to as the nominal secondary current. The expressions for these current quantities are derived as follows.

Beginning with the secondary current, since i_2 is feeding C_2 in parallel with R , the average secondary current, I_2 , is equal to the output current, I_o :

$$I_2 = I_o. \quad (24)$$

Given I_2 in (24), $I_{2,nom}$ can be determined from

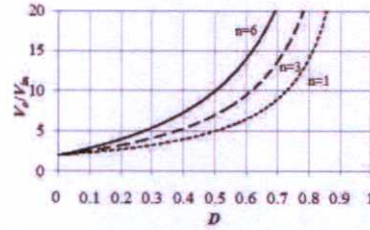


Fig. 5. Voltage gain vs duty cycle

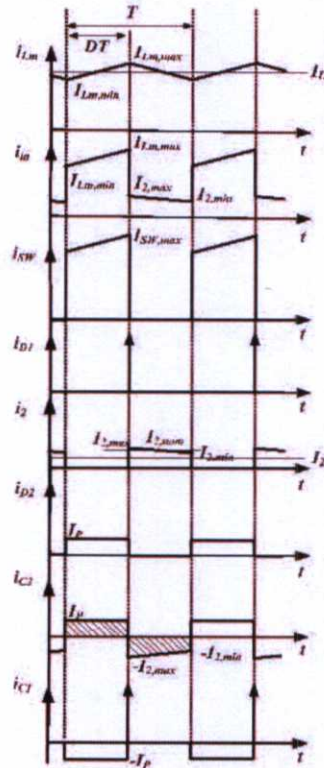


Fig. 6. Approximated waveforms of the proposed converter

$$I_{2,nom}(1 - D)T = I_2T. \quad (25)$$

The above equation gives

$$I_{2,nom} = \frac{I_o}{1 - D}. \quad (26)$$

The average input current, I_{in} , in Fig. 6 can be expressed as

$$I_{in} = \frac{I_{Lm}DT + I_{2,nom}(1-D)T}{T} = I_{Lm}D + I_o \quad (27)$$

For the lossless converter, the input power is equal to the output power, i.e.

$$I_{in} = \left(\frac{V_o}{V_{in}}\right) I_o \quad (28)$$

Substituting V_o/V_{in} in (19) and I_{in} in (27) into (28), I_{Lm} is obtained as

$$I_{Lm} = \left(\frac{2+nD}{1-D} - 1\right) \frac{I_o}{D} \quad (29)$$

Given I_{Lm} in (29), the maximum and minimum magnetizing currents can be found as

$$I_{Lm,max} = I_{Lm} + \frac{\Delta I_{Lm}}{2} = I_{Lm} + \frac{V_{in}DT}{2L_m} \quad (30)$$

$$I_{Lm,min} = I_{Lm} - \frac{\Delta I_{Lm}}{2} = I_{Lm} - \frac{V_{in}DT}{2L_m} \quad (31)$$

Since $i_2 = i_{Lm}/(n+1)$ during the time duration $(1-D)T$, the maximum and minimum secondary current can be expressed in terms of $I_{Lm,max}$ and $I_{Lm,min}$ as

$$I_{2,max} = \frac{I_{Lm,max}}{(n+1)} \quad (32)$$

$$I_{2,min} = \frac{I_{Lm,min}}{(n+1)} \quad (33)$$

In steady state, the positive and negative areas under the i_{C2} waveform in Fig. 6 must be equal, i.e.

$$I_pDT = I_{2,nom}(1-D)T \quad (34)$$

Substituting $I_{2,nom}$ in (26) into (34), I_p is obtained as

$$I_p = \frac{I_o}{D} \quad (35)$$

The maximum switch current, $I_{SW,max}$ in Fig. 6 is given by

$$I_{SW,max} = I_{Lm,max} + I_p \quad (36)$$

Finally, in steady state, the positive and negative areas under the i_{C1} waveform in Fig. 4 must be equal, i.e.

$$I_pDT = \frac{1}{2}t_{12}I_{D1,max} \quad (37)$$

The above equation yields

$$I_{D1,max} = \frac{2I_pDT}{t_{12}} \quad (38)$$

where t_{12} is the time interval t_1-t_2 . If t_{12} is known, $I_{D1,max}$ can be calculated. It should be emphasized that $I_{Lm,max}$ in (30), $I_{2,max}$ in (32), I_p in (35), $I_{SW,max}$ in (36), and $I_{D1,max}$ in (38) provide a basis for determining current ratings of the power semiconductor devices used in the proposed converter. The validity of these derived current expressions is verified in the next section.

5. Experimental Results

5.1 Step-up Gain of 10

The proposed converter in Fig. 3 is prototyped as shown in Fig. 7. The input voltage, V_{in} , is 12V, the output voltage, V_o , is 120V, and the switching frequency is 100kHz (the switching period $T = 10\mu s$). The load current, I_o , can vary from 0.3A to 0.9A, which is equivalent to the output power between 36W and 108W. Table 1 lists the devices and components used in the prototype converter.

Fig. 8 shows the output voltage and current waveforms measured from the prototype for the three loading conditions, i.e. $I_o = 0.3A$, $I_o = 0.6A$, and $I_o = 0.9A$. In each case, the input voltage is fixed at 12V and the duty cycle of the MOSFET gate drive signal is adjusted to give the constant

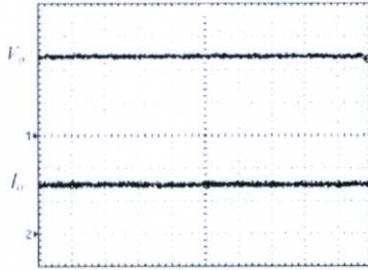
Table 1. Devices and components used in the prototype converter

Component/Devices	Description
Coupled inductor	$L_m = 60\mu H$, $n = 6$
	ETD59 ferrite core, gap = 0.3mm $N_1 = 11$ turns, copper strip (width: 22mm) $N_2 = 66$ turns, 4xAWG20 copper wire
Capacitors	Electrolytic capacitor
	$C_1 = 180\mu F$ (100V)
	$C_2 = 180\mu F$ (100V) $C_3 = 180\mu F$ (100V)
D_1 , D_2 , and D_3	MUR840 (400V, 8A) ultrafast diode
SW	IRF3710 (100V, 57A) power MOSFET

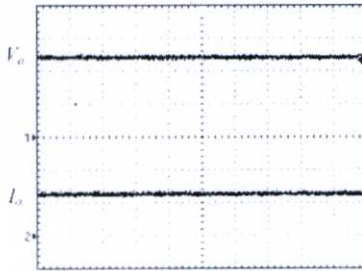


Fig. 7. Photo of the prototype converter

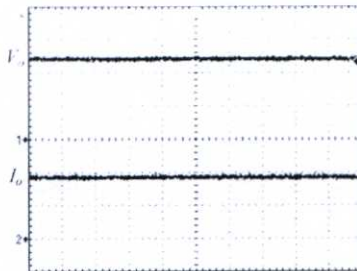
output voltage of 120V. The duty cycles used to achieve this tenfold voltage gain are recorded and shown in Table 2. The duty cycle is 0.5 when $I_o = 0.3\text{A}$, is 0.53 when $I_o = 0.6\text{A}$, and is 0.56 when $I_o = 0.9\text{A}$. The duty cycle increases



(a) x-scale: 2.5μs/div

Top trace V_o : 50V/div, Bottom trace I_o : 0.2A/div

(b) x-scale: 2.5μs/div

Top trace V_o : 50V/div, Bottom trace I_o : 0.5A/div

(c) x-scale: 2.5μs/div

Top trace V_o : 50V/div, Bottom trace I_o : 0.5A/div

Fig. 8. Output voltage and current waveforms at: (a) $I_o = 0.3\text{A}$, (b) $I_o = 0.6\text{A}$, and (c) $I_o = 0.9\text{A}$

Table 2. Duty cycle and efficiency measurement for step-up gain of 10

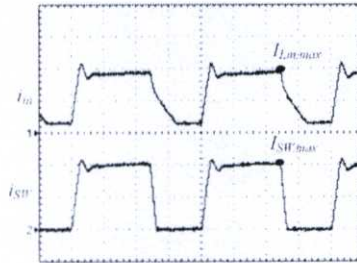
I_o	V_o	I_m	V_m	Efficiency	D
0.30	120.22	3.24	12	92.8%	0.50
0.62	120.22	7.28	12	85.3%	0.53
0.92	120.22	11.55	12	79.8%	0.56

at high load currents to compensate for the increased voltage drop caused by circuit non-idealities, such as the leakage inductance and winding resistance of the coupled inductor, the MOSFET's on-state resistance ($R_{ds(on)}$), the forward voltage drop of the diodes, etc. By substituting $V_m = 12\text{V}$, $V_o = 120\text{V}$, and $n = 6$ into (19), the theoretical duty cycle is calculated as $D = 0.5$. The actual duty cycles shown in Table 2 closely agree with the theoretical value.

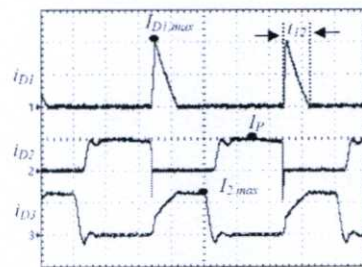
Also shown in Table 2 is the efficiency measurement result. The converter efficiency, defined as a product of the average output voltage (V_o) and current (I_o) divided by a product of the average input voltage (V_m) and current (I_m), has the maximum value of 92.8% at $I_o = 0.3\text{A}$. The efficiency is reduced as the load current is further increased.

The decrease in efficiency at high load currents is caused by the increase in conduction losses of SW , D_1 , D_2 and D_3 .

Fig. 9 shows the key current waveforms measured from the prototype, when $I_o = 0.9\text{A}$. It can be seen that the measured current waveforms are similar to the theoretical waveforms in Fig. 4. The important current quantities, which include $I_{m,max}$, $I_{2,max}$, I_p , and $I_{SW,max}$, are measured and compared with the calculation based on (30), (32), (35), and (36) respectively. The comparison results are given in Table 3. It is seen that the calculated currents closely



(a) x-scale: 2.5μs/div

Top trace i_m : 10A/div, Bottom trace i_{SW} : 10A/div

(b) x-scale: 2.5μs/div

Top trace i_{D1} : 5A/div, Middle trace i_{D2} : 2A/div
Bottom trace i_{D3} : 2A/div

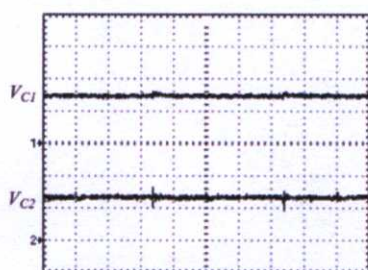
Fig. 9. Key current waveforms at $I_o = 0.9\text{A}$ for step-up gain of 10

Table 3. Comparison between calculated and measured currents

Quantity	$I_o = 0.3A$		$I_o = 0.6A$		$I_o = 0.9A$	
	Cal.	Mea.	Cal.	Mea.	Cal.	Mea.
$I_{D1,max}$	5.9	5.8	11.9	11.8	18.5	18
$I_{D2,max}$	0.8	0.7	1.7	1.6	2.6	2.6
I_p	0.6	0.6	1.1	1.2	1.6	2.0
$I_{D3,max}$	6.5	6	13	13	20.1	20

Table 4. Capacitor voltage measurement

Quantity	$I_o = 0.3A$		$I_o = 0.6A$		$I_o = 0.9A$	
	Cal.	Mea.	Cal.	Mea.	Cal.	Mea.
V_{C1}	24.2	24.8	25.4	26.7	27.0	28.8
V_{C2}	24.2	23.6	25.4	25	27.0	26.8

Top trace V_{C1} : 20V/div, Bottom trace V_{C2} : 20V/div**Fig. 10.** Voltage across capacitor C_1 and C_2 at $I_o = 0.9A$

agree with the measured currents for all loading conditions. Furthermore, from the i_{D1} waveform in Fig. 9(b), the time interval t_1 - t_2 is found to be $t_{12} = 2\mu s$. Given this time interval, $I_{D1,max}$ can be calculated from (38):

$$I_{D1,max} = \frac{2I_p DT}{t_{12}} = \frac{2 \times 1.6 \times 0.56 \times 10 \times 10^{-6}}{2 \times 10^{-6}} = 9A$$

The calculated $I_{D1,max}$ is consistent with the actual value in Fig. 9(b), where $I_{D1,max} \approx 10A$. The consistency between the calculated and measured results in all the above cases confirms the validity of the current expressions derived via waveform approximation in Section 4.

Fig. 10 shows the waveforms of V_{C1} and V_{C2} measured from the prototype, when $I_o = 0.9A$. Both capacitor voltages are relatively constant, with the amplitude $V_{C1} = 28.8V$ and $V_{C2} = 26.8V$. The capacitor voltage measurement for all loading conditions is summarized in Table 4. As seen in the table, the measured capacitor voltages conform with the calculation by (17). Note that V_{C1} is slightly higher than V_{C2} because, when C_1 is discharged to C_2 in mode 1 (Fig. 3b), there are some voltage drops across D_2 and SW .

Fig. 11 shows the voltage waveforms across the power semiconductor devices measured from the prototype, when $I_o = 0.9A$. As seen in the v_{sw} waveforms, there is an initial



(a) x-scale: 2.5μs/div

Top trace v_{SW} : 20V/div, Bottom trace v_{D1} : 20V/div

(b) x-scale: 2.5μs/div

Top trace v_{D2} : 20V/div, Bottom trace v_{D3} : 100V/div**Fig. 11.** Voltage waveforms across power semiconductor devices at $I_o = 0.9A$

voltage spike when SW is turned off caused by the leakage inductance of the coupled inductor. After the voltage spike has died out, the switch voltage is clamped to $V_{C1} = 28.8V$, corresponding with (20). Subsequently, as the converter operation enters mode 3, SW is no longer clamped by C_1 and the switch voltage is reduced to about 26V imposed by the input voltage and primary voltage of the couple inductor (see Fig. 3(d)). Similarly, the initial voltage spike and the subsequent voltage transition are also observed in the v_{D1} and v_{D2} waveforms. As seen in the bottom trace of Fig. 11, v_{D3} exhibits a high frequency ringing, when D_3 is turned off. This is caused by the resonance between a leakage inductance of the coupled inductor and a parasitic capacitance of D_3 . It should be noted that in the experimental prototype, there is an RC snubber ($R=150\Omega$ and $C=3nF$) connected across D_3 ; therefore the effect of the resonance has been somewhat attenuated. Without the snubber, the ringing would be more pronounced. After the ringing has subsided, v_{D3} in Fig. 11 is subjected to the blocking voltage of 150V, which is lower than $V_{D3,max} = 165V$ calculated by (23).

Finally, a comparison is made between the proposed converter and the Integrated Boost Flyback Converter (IBFC) [5, 15] with regard to the stress of a power switch and converter efficiency. The IBFC prototype used in this

study has the same circuit specifications and coupled inductor parameters as the proposed converter. Fig. 12 shows the voltage and current waveforms of the MOSFET switch measured from the two prototype circuits. It can be seen that the peak switch voltages and currents in both converters are similar; hence the devices are essentially subjected to the same level of stresses. Despite the equal voltage and current stresses on the power switches, the voltage gain of the proposed converter (19) nonetheless is higher than the IBFC, whose gain is identical to the clamp-mode boost converter in (1). Thus, as evident in Fig. 12, the MOSFET switch of the IBFC has to operate with the greater duty cycle (the longer conduction time) than the

(a) x-scale: 2.5 μ s/divTop trace v_{SW} : 20V/div, Bottom trace i_{SW} : 10A/div(b) x-scale: 2.5 μ s/divTop trace v_{SW} : 20V/div, Bottom trace i_{SW} : 10A/div

Fig. 12. Voltage and current waveforms of the MOSFET switch at $I_o = 0.9$ A: (a) proposed converter (b) IBFC

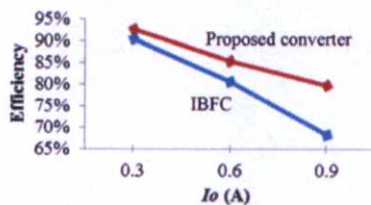


Fig. 13. Efficiency comparison between the proposed converter and IBFC

proposed converter in order to achieve the tenfold step-up gain. The greater duty cycle causes the average switch current of the IBFC to be higher than the proposed converter. The higher average currents yield the greater conduction losses, which are responsible for the efficiency of the IBFC being lower than the proposed converter for the entire load currents, as shown in Fig. 13.

5.2 Step-up Gain of 5

The prototype converter in Fig. 7 is also experimented at a step-up gain of 5 with $V_m = 24$ V, $V_o = 120$ V and $I_o = 0.3$ A to 1.8A (i.e. $P_o = 36$ W to 216W). The circuit parameters and components are the same as those listed in Table 1. The purpose of this experiment is to demonstrate that the

Table 5. Duty cycle and efficiency measurement for step-up gain of 5

I_o	V_o	I_m	V_m	Efficiency	D
0.32	120.22	1.73	24	92.7%	0.25
0.62	120.22	3.53	24	88.0%	0.27
0.92	120.22	5.24	24	87.9%	0.28
1.24	120.22	7.25	24	85.7%	0.29
1.54	120.22	9.21	24	83.8%	0.30
1.84	120.22	11.38	24	81.0%	0.32

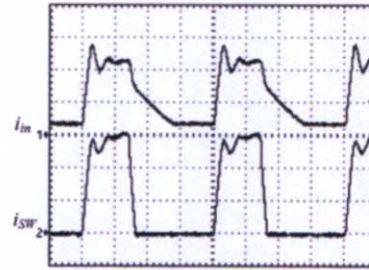
(a) x-scale: 2.5 μ s/divTop trace i_{in} : 10A/div, Bottom trace i_{SW} : 10A/div(b) x-scale: 2.5 μ s/divTop trace i_{D1} : 5A/div, Middle trace i_{D2} : 5A/divBottom trace i_{D3} : 2A/div

Fig. 14. Key current waveforms at $I_o = 1.8$ A for step-up gain of 5

proposed converter can work satisfactorily at a different step-up gain. The duty cycle and efficiency measurement are shown in Table 5. When the load current is increased from $I_o = 0.3\text{A}$ to 1.8A , the duty cycle required to maintain V_o at 120V has increased slightly from 0.25 to 0.32 , and the converter efficiency drops from 92.7% to 81% . As explained before, the higher duty cycle is needed to compensate for the increased voltage drop in the circuit at higher load power. Meanwhile, the efficiency decreases at higher load power due to the increase in conduction losses.

Fig. 14. shows the key current waveforms measured at the maximum load power ($P_o = 216\text{W}$). The waveforms generally resemble their counterparts in Fig. 9. The duty cycle of the MOSFET switch is evidently lowered for the step-up gain of 5 as can be seen by comparing the width of the i_{sw} waveforms in Fig. 9 and Fig. 14.

6. Conclusion

This paper has proposed a novel clamp-mode coupled inductor boost converter with a high step-up voltage gain. It was developed from the original clamp-mode converter in Fig. 1(a) by incorporating an additional capacitor (C_2) and diode (D_2). During a turn-off period of the main switch, C_2 is discharged in series with the input voltage source and the primary and secondary windings of the coupled inductor. As a result, the voltages across these components are added together to produce the output voltage. Due to the contribution by C_2 , the voltage gain of the proposed converter is higher than the clamp-mode boost converter. The operation of the proposed converter was described and analyzed, leading to the mathematical expressions for the voltage gain, switch clamp voltage, and various current quantities. The calculation by the derived expressions was found to be highly consistent with the measurement results from the prototype circuit, confirming the validity of the presented analysis. The experimental prototype converter was tested for step-up gain of 10 and 5. Both cases yield the similar value of maximum efficiency.

References

- [1] Q. Zhao and F.C. Lee, "High-Efficiency, High Step-Up DC-DC Converters," *IEEE Trans. Power Electron.*, vol. 18, no. 1, pp. 65-73, Jan. 2003.
- [2] B. Axelrod, Y. Berkovich, and A. Ioinovici, "Switched-Capacitor/Switched-inductor Structures for Getting Transformerless Hybrid DC-DC PWM Converters," *IEEE Trans. Circuits and Systems*, vol. 55, no. 2, pp. 687-696, Mar. 2008.
- [3] R.J. Wai, W.H. Wang, and C.Y. Lin, "High-Performance Stand-Alone Photovoltaic Generation System," *IEEE Trans. Ind. Electron.*, vol. 55, no. 1, pp. 272-280, Jan. 2008.
- [4] D. W. Hart, *Power Electronics*: Mcgraw Hill, 2011, p.211-220.
- [5] K. C. Tseng and T. J. Liang, "Novel high-efficiency step-up converter," *IEE Proc.-Electr. Power Appl.*, vol. 151, no. 2, pp.182-190, Mar. 2004.
- [6] L. Huber and M.M. Jovanovic, "A Design Approach for Server Power Supplies for Networking Applications," in *Proceeding of APEC*, pp. 1163-1169, Feb 2000.
- [7] J. A. M. Saldana, E. E. C. Gutierrez, and J. L. Ramos, "Modelling of Switch-mode DC-DC Cascade Converters," *IEEE Trans. Aerosp. Electron. Syst.*, vol. 38, no. 1, pp. 295-299, 2002
- [8] F.L. Luo and H. Ye, "Positive Output Cascade Boost Converters," *IEE Proc.-Electr. Power Appl.*, vol. 151, no.5, pp.590-606, 2004.
- [9] J.A. M. Saldana, R. G. Quirino, J. L. Ramos, E.E. C. Gutierrez, and M.G. O. Lopez, "Multiloop Controller Design for A Quadratic Boost Converter," *IET Electr. Power Appl.*, vol. 1, no. 3, pp. 362-367, 2007.
- [10] M. G. Ortiz-Lopez, J. Leyva-Ramos, E. E. Carbajal-Gutierrez, and J.A. Morales-Salda, "Modelling and Analysis of Switch-mode Cascade Converters with A Single Active Switch," *IET Power Electronics*, vol. 1, no. 4, pp. 478-487, 2008.
- [11] Q. Zhao, F. Tao, and F. C. Lee, "A Front-End DC/DC Converter for Network Server Applications," in *Proceeding of PESC*, pp. 109-113, Vancouver, Jun 2003.
- [12] D. M. Van de Sype, K. De Gussem, B. Renders, A. R. Van den Bossche, and J. A. Melkebeek, "A Single Switch Boost Converter With a High Conversion Ratio," in *Proceeding of IEEE APEC*, pp. 1581- 1587, Mar, 2005.
- [13] B. Axelrod, Y. Berkovich, and A.Ioinovici, "Switched Coupled-Inductor Cell for DC-DC Converters with Very Large Conversion Ratio," in *Proceeding of IECON*, pp. 2366-2371, Paris, Nov 2006.
- [14] T. J. Liang and K. C. Tseng, "Analysis of integrated boost-flyback step-up converter," *IEE Proc.-Electr. Power Appl.*, vol. 152, no. 2, March. 2005.
- [15] K. Tattiwong and C. Bunlaksananusorn, "Design and Implementation of An Integrated Boost-Flyback Converter," in *Proceeding of IECON*, pp. 3491-3496, Yokohama, Nov 2015.
- [16] G. Spiazzi, P. Mattavelli, J.R. Gazoli, R. Magalhaes, and G. Frattini, "Improved Integrated Boost-Flyback High Step-Up Converter," in *Proceeding of ICIT*, pp. 1169-1174, 2010.
- [17] T. J. Liang, S. M. Chen, L. S. Yang, J. F. Chen, and A. Ioinovici, "A Single Switch Boost-Flyback DC-DC Converter Integrated with Switched-Capacitor Cell," in *Proceeding of ICPE & ECCE*, pp. 2782-2787, Jeju, Jun 2011.
- [18] I. Laird, D. D. C. Lu, and V. G. Agelidis, "High-Gain Switched-Coupled-Inductor Boost Converter," in *Proceeding of PEDS*, pp. 423-428, Taipei, Nov

- 2009.
- [19] D. A. Grant, Y. Darroman, and J. Suter, "Synthesis of Tapped-Inductor Switched-Mode Converters," *IEEE Trans. On Power electronics*, vol. 22, no. 5, pp. 1964-1969, 2007.
- [20] N. Vazquez, L. Estrada, C. Hernandez, and E. Rodriguez, "The Tapped-Inductor Boost Converter," in *Proceeding of IEEE International Symposium on Industrial Electronics*, pp. 538-543, Jun 2007.
- [21] M. N. Gitau, F. M. Mwaniki, and I. W. Hofsjager, "Analysis and Design of Single-Phase Tapped-Coupled-Inductor Boost DC-DC Converter," *Journal of Power Electronics*, vol. 13, no. 4, pp. 636-646, 2013.



Kaweewat Tattiwong He received the B. Eng. degree in mechatronic engineering and M. Eng. degree in control engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Thailand, in 2011 and 2013 respectively. His research interest is power electronics.



Chanin Bunlaksananusorn He received a Ph.D. degree in electrical engineering from The University of Edinburgh, UK, in 1997. He is currently an associate professor with the Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL). His research interests are power electronics and energy conversion.

IECON2015 - Yokohama

41st Annual Conference of the IEEE Industrial Electronics Society

November 9 - 12, 2015

Pacifico Yokohama, Yokohama, Japan



 PROGRAM BOOK

Sponsored by



IEEE The Industrial Electronics Society (IES)

Design and Implementation of an Integrated Boost-Flyback Converter

K. Tattiwong and C. Bunlaksanusorn

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL)

Bangkok 10520, Thailand

E-mail: kbchanin@kmitl.ac.th

Abstract— This paper presents design and implementation of a Integrated boost-flyback converter (IBFC). Operation of the IBFC is described and its key voltage and current equations are given. The practical design of a 96W, 12V-to-48V, IBFC is demonstrated. Experiment on the prototype IBFC shows that it operates with good output voltage regulation and achieves the highest efficiency of 87%.

Keywords DC-DC converters, Integrated Boost-Flyback Converter.

I. INTRODUCTION

DC-DC converters with high voltage gain are sought after in many applications, e.g. the front-end stage in photovoltaic (PV) power generation, electronic ballasts for high intensity discharge (HID) lamps for automobile head lamps, and the dc back-up for an uninterruptible power supply (UPS) [1]. The DC-DC converters used in these applications have, in common, the following features: (1) high step-up voltage gain, (2) high efficiency, and (3) no electrical isolation between input and output. The conventional power electronic circuit used for stepping up a DC voltage is a boost converter. In theory, the ideal boost converter can attain a very high voltage gain if operated at extremely high duty cycles (i.e. D is approaching 1). In practice, component non-idealities, such as the inductor resistance and MOSFET's on-state resistance (R_{on}), cause the losses and voltage drops in the converter circuit, which become larger with the increasing duty cycle. As a result, the converter's efficiency will be degraded at high duty cycles and the converter's gain deviated significantly from its ideal property due to the voltage drops. Typically, the boost converter can achieve a maximum voltage gain of around five folds; further increasing the duty cycle will only cause the gain to drop [2]. Beside the impaired efficiency and limited voltage gain, operating the boost converter at extreme duty cycles also creates severed EMI problems.

To increase the voltage gain, many modified step-up converter topologies have been proposed [3–8]. The Integrated Boost-Flyback Converter (IBFC) [3,4] in Fig. 1 combines a boost and flyback converters by sharing the same inductor, i.e. a coupled inductor. The converter employs a few more components than the boost converter but can provide a much higher voltage gain. It is envisaged that the IBFC has good potential for practical applications. Previous research work on

the IBFC [3,4] has focused on the converter analysis. Emphasis on a practical aspect of the subject, this paper presents design and implementation of the IBFC.

II. OPERATING PRINCIPLE OF IBFC

The IBFC in Fig. 1 integrates a boost and flyback converters by sharing the power MOSFET switch, SW , and the inductor. In this case, the inductor used is the so called coupled inductor which consists of two windings wound on the same magnetic core. L_m is a magnetizing inductance of the coupled inductor. N_1 and N_2 are a number of turns of primary and secondary windings. The IBFC output is obtained by series connection of C_1 and C_2 .

In Continuous Conduction Mode (CCM), where the magnetizing current, i_{Lm} , flows continuously and remains above zero throughout a switching cycle, operation of the IBFC can be divided into two sub-intervals. Firstly, when SW is turned on (Fig. 2 (a)), D_1 and D_2 are reverse biased. The primary winding of the coupled inductor is supplied with V_{in} , i_{Lm} increases linearly, and the energy is being stored in L_m . Since D_2 is reverse biased, primary and secondary currents, i_1 and i_2 , of the coupled inductor are zero. During this interval, C_1 and C_2 are discharged by the load resistance, R , providing the load current. Secondly, when SW is turned off (Fig. 2 (b)), i_{Lm} attempts to flow in the same direction by forcing D_1 and D_2 to conduct. During this interval, i_{Lm} decreases linearly and the energy stored in L_m is released to charge C_1 and C_2 .

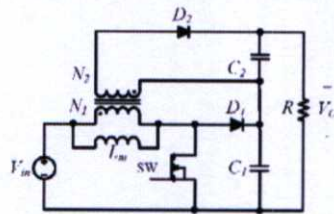


Fig. 1. Integrated Boost-Flyback Converter (IBFC).

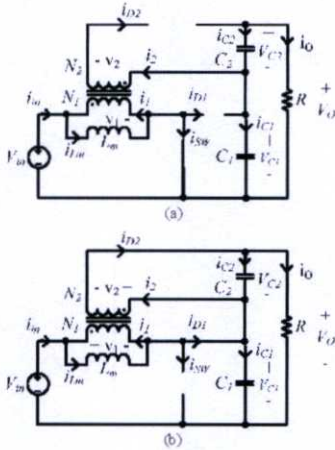


Fig. 2. Operation of IBFC: (a) SW is turned on, (b) SW is turned off

The voltage gain of the IBFC is given by

$$\frac{V_o}{V_m} = \frac{1+nD}{1-D} \quad (1)$$

where D is a duty cycle of SW and $n = N_2/N_1$ is a turn ratio of the coupled inductor. Notice that the voltage gain of the IBFC is equal to those of the boost and flyback converters combined. Fig. 3 depicts the voltage gain as a function of the duty cycle for the different values of turn ratios. It can be seen that the IBFC produces a higher voltage gain than the boost converter for the same duty cycle, and the gain becomes larger as n is increased.

Referring to Fig. 2(b), during SW turn-off period, i_{Lm} is expressed as a sum of two current components (i_{D1} and $n i_{D2}$):

$$i_{Lm} = i_{D1} + n i_{D2} \quad (2)$$

It was shown in [4] that i_{D1} and i_{D2} are the current pulses that exhibit an exponential fall and rise respectively. Such the behavior is caused by a winding resistance and leakage inductance of the coupled inductor which forms a first-order circuit. In this paper, i_{D1} and i_{D2} are respectively approximated by the ramp-down and flat-top current pulses as shown in Fig. 4, with the relationship between these two currents still satisfying (2). This approximation eases the current waveform analysis and facilitates the current ratings of the devices, e.g. SW , D_1 , and D_2 . With such the approximation, voltage and current waveforms of the IBFC can be drawn as shown in Fig. 4. Expressions for various voltages and currents shown in the figure can be derived from circuit analysis of Fig. 2, and are summarized as follows.

- Device blocking voltages

$$V_{SW,max} = V_{C1} = \frac{V_m}{1-D} \quad (3)$$

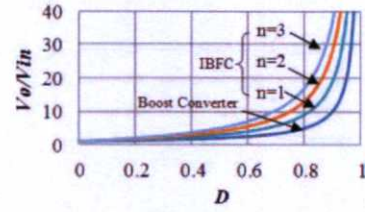


Fig. 3. Voltage gain vs duty cycle

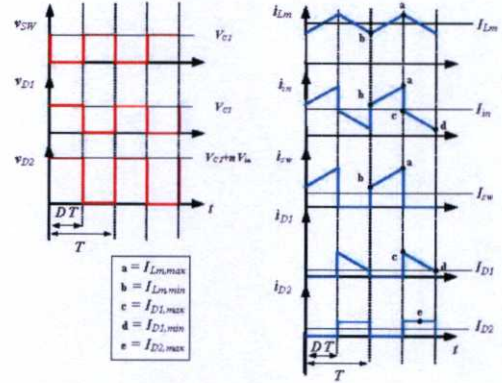


Fig. 4. Voltage and current waveforms of IBFC

$$V_{D1,max} = V_{C1} = \frac{V_m}{1-D} \quad (4)$$

$$V_{D2,max} = V_{C2} + nV_m = \left(\frac{D}{1-D} + 1\right)nV_m \quad (5)$$

where $V_{SW,max}$, $V_{D1,max}$, and $V_{D2,max}$ are the blocking voltage of SW , D_1 , and D_2 respectively.

- Magnetizing currents

$$I_{Lm} = \left(\frac{1+nD}{1-D} - 1\right) \frac{I_o}{D} \quad (6)$$

$$I_{Lm,max} = I_{Lm} + \frac{\Delta I_{Lm}}{2} = I_{Lm} + \frac{V_m D T}{2L_m} \quad (7)$$

$$I_{Lm,min} = I_{Lm} - \frac{\Delta I_{Lm}}{2} = I_{Lm} - \frac{V_m D T}{2L_m} \quad (8)$$

where I_{Lm} , $I_{Lm,max}$, and $I_{Lm,min}$ are the average, maximum, and minimum magnetizing currents respectively. $I_{Lm,max}$ and $I_{Lm,min}$ are denoted by points a and b in Fig. 4, with I_{Lm} located midway between these two points.

- Diode currents

$$I_{D1} = I_o \quad (9)$$

$$I_{D1,max} = \frac{I_o}{(1-D)} + \frac{V_o DT}{2L_m} \quad (10)$$

$$I_{D1,min} = \frac{I_o}{(1-D)} - \frac{V_o DT}{2L_m} \quad (11)$$

$$I_{D2} = I_o \quad (12)$$

$$I_{D2,max} = \frac{I_o}{(1-D)} \quad (13)$$

where I_{D1} , $I_{D1,max}$, and $I_{D1,min}$ are the average, maximum, and minimum currents of D_1 respectively. $I_{D1,max}$ and $I_{D1,min}$ are denoted by points c and d in Fig. 4. Meanwhile, I_{D2} and $I_{D2,max}$ are the average and maximum currents of D_2 respectively. $I_{D2,max}$ is denoted by point e in Fig. 4.

- Average input and switch currents

$$I_m = I_o \left(\frac{1+nD}{1-D} \right) \quad (14)$$

$$I_{sw} = DI_m \quad (15)$$

where I_m and I_{sw} are the average input and switch currents respectively. Note that the maximum input and switch currents are equal to $I_{Lm,max}$ in (7).

- Critical magnetizing inductance

$$L_{m,crit} = \frac{V_o D(1-D)^2 T}{2I_o(n+1)(1+nD)} \quad (16)$$

where $L_{m,crit}$ is the critical magnetizing inductance that causes i_{Lm} to operate at CCM/DCM boundary. For CCM, L_m must be greater than $L_{m,crit}$.

- Output capacitance

$$C = \frac{DI_m T}{\Delta v_o} \quad (17)$$

where $C = C_1 C_2 / (C_1 + C_2)$ is the total output capacitance, and Δv_o is the ripple output voltage.

III. DESIGN OF IBFC

This section illustrates design of the IBFC whose specifications are as follows: $V_{in} = 12V$, $V_o = 48V$, switching frequency $f = 100kHz$ (i.e. $T = 10\mu s$), $I_o = 0.5A-2A$, ripple output voltage $\Delta v_o \leq 2\% V_o$. The design basically involves selection of the coupled inductor, output capacitors, and power semiconductor devices as follows.

A. Coupled inductor

As seen in Fig. 3, a large value of n increases the voltage gain of the IBFC. This is, however, achieved at the expense of the rectifier C_2 and D_2 be working under higher voltage stress than C_1 and D_1 . To lower the voltage stress on the former

devices, n should be small. But, from (1), the small n implies a larger duty cycle for a given value of gain. Therefore, the turn ratio should be selected so that the converter has a moderate duty cycle and acceptable voltage stress on C_2 and D_2 . Hence, in this design, $n = 2$ is chosen. From (1), with $V_o/V_{in} = 4$, the duty cycle is calculated as $D = 0.5$. The critical magnetizing inductance, $L_{m,crit}$, of the IBFC is computed from (16). Substituting $V_o = 48V$, $I_o,max = 0.5A$, $n = 2$, $D = 0.5$, and $T = 10\mu s$ into the equation, $L_{m,crit} = 10\mu H$ is obtained. For CCM operation, the coupled inductor must have the magnetizing inductance larger than $L_{m,crit}$.

Wire sizes of the couple inductor can be specified based on the expected primary and secondary currents. From Fig. 1, it is seen that the primary current is equal to i_{in} and the secondary current equal to i_{D2} . The average values of i_{in} and i_{D2} are given in (14) and (12) respectively. With $I_o,max = 2A$, the equations give $I_m = 8A$ and $I_{D2} = 2A$. Thus, sizing of the primary and secondary windings can be performed based on these current values.

B. Output capacitors

The output capacitor can be calculated from (17). Substituting $\Delta v_o \leq 0.96V_o$, $I_o,max = 2A$, $D = 0.5$ and $T = 10\mu s$ into the equation, one gets $C \geq 10.4\mu F$. This is a minimum capacitance that satisfies the output ripple requirement. The output capacitors C_1 and C_2 combined must have the total capacitance larger than this minimum capacitance. In practice, an ESR of the output capacitor can also contribute considerably to the ripple output voltage. To reduce the ESR and its influence, C_1 and C_2 should be made of parallel capacitors.

C. Power semiconductor devices

Based on (3)-(5), (9), (12), and (15), the maximum blocking voltages and average currents of each device are calculated and summarized in Table I. These voltage and current values provide a basis for the device selection.

TABLE I. DEVICE BLOCKING VOLTAGE AND AVERAGE CURRENT

SW		D ₁		D ₂	
V _{DM,max}	I _{av}	V _{DM,max}	I _{av}	V _{DM,max}	I _{av}
24V	6A	24V	2A	48V	2A

D. Component and device selection

TABLE II. DEVICES AND COMPONENTS OF IBFC PROTOTYPE

Component/Devices	Description
Couple inductor	$L_m = 125\mu H$, $n=2$ ETD59 ferrite core, gap = 0.3mm $N_p = 15$ turns, 3xAWG20 copper wire $N_s = 30$ turns, 2xAWG20 copper wire
Output capacitors	Electrolytic capacitor $C_1 = 110\mu F$ (5x22 μF , 100V) $C_2 = 110\mu F$ (5x22 μF , 100V)
D ₁	MUR1520 (200V, 15A) ultra-fast diode
D ₂	MUR1520 (200V, 15A) ultra-fast diode
SW	IRF3710 (100V, 57A) power MOSFET

Based on the preceding design, component and device selection for the IBFC prototype are summarized in Table II. Each C_1 and C_2 has the capacitance of $110\mu\text{F}$ implemented by connecting five $22\mu\text{F}/100\text{V}$ electrolytic capacitors in parallel. The fabricated coupled inductor is measured to have $L_m = 125\mu\text{H}$, which is much higher than $L_{m,crif} = 10\mu\text{H}$. This ascertains that the IBFC would operate in CCM.

IV. EXPERIMENTAL RESULTS

The IBFC prototype is shown in Fig. 5. The prototype receives a DC input voltage of 12V and produces an output voltage of 48V , feeding a variable load resistor which can draw a current between 0.5A and 2A . To regulate the output voltage at 48V , a closed loop control scheme is implemented using a PWM control circuit UC3825.

Fig. 6 shows the output voltage and output current waveforms measured from the prototype. As seen in the figure, the output voltage remains constant at 48V for both minimum and maximum loading conditions. Since the feedback control is employed, the duty cycle is adjusted automatically to regulate the output voltage. By measuring the gate drive signal of the MOSFET switch, it is found that the duty cycle is 0.5 for $I_{o,min} = 0.5\text{A}$, and 0.56 for $I_{o,max} = 2\text{A}$. The measured duty cycles are close to the theoretical value of 0.5 . In this case, the duty cycle is increased at the high load current to compensate for the increased voltage drop caused by circuit non-idealities, such as the inductor resistance, the MOSFET's on-state resistance ($R_{ds(on)}$), etc.

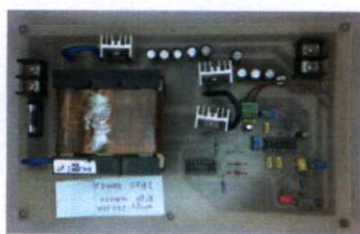
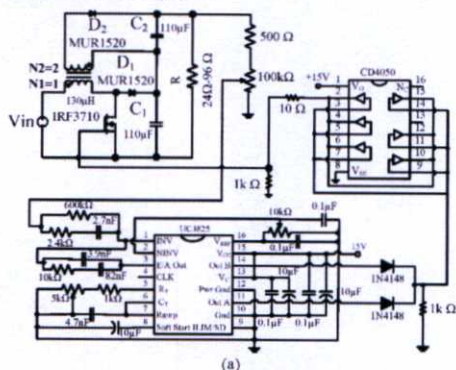
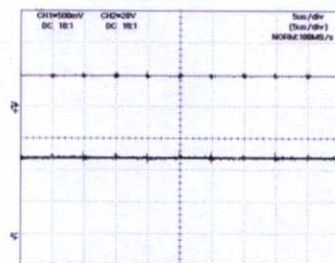
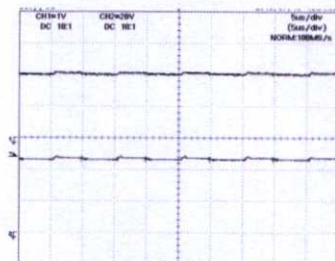


Fig. 5. A 12V-to-48V prototype: (a) Circuit schematic; (b) Photos.



(a) x-scale: $5\mu\text{s}/\text{div}$
Top trace, I_o : y-scale: $0.5\text{A}/\text{div}$
Bottom trace, V_o : y-scale: $20\text{V}/\text{div}$

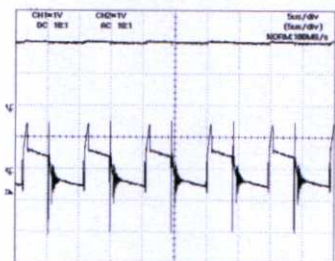


(b) x-scale: $5\mu\text{s}/\text{div}$
Top trace, I_o : y-scale: $1\text{A}/\text{div}$
Bottom trace, V_o : y-scale: $20\text{V}/\text{div}$

Fig. 6. Output voltage and current waveforms: (a) $I_o = 0.5\text{A}$; (b) $I_o = 2\text{A}$.



(a) x-scale: $5\mu\text{s}/\text{div}$
Top trace, I_o : y-scale: $0.5\text{A}/\text{div}$
Bottom trace, ΔV_o : y-scale: $1\text{V}/\text{div}$



(b) x-scale: $5\mu\text{s}/\text{div}$
Top trace, I_o : y-scale: $1\text{A}/\text{div}$
Bottom trace, ΔV_o : y-scale: $1\text{V}/\text{div}$

Fig. 7. Ripple output voltage: (a) $I_o = 0.5\text{A}$; (b) $I_o = 2\text{A}$.

Fig. 7 depicts the ripple component of the output voltage, i.e. Δv_o . The ripple output voltage apparently becomes greater at $I_{o,max} = 2A$. This is not surprising as, at higher load currents, C_1 and C_2 will be undergoing a more intense charge/discharge in each switching cycle. Excluded switching noises, the ripple voltage in Fig. 7 is measured with $\Delta v_o = 0.4V$ for $I_{o,min} = 0.5A$, and $\Delta v_o = 1.2V$ for $I_{o,max} = 2A$. The latter has slightly violated the specification which requires $\Delta v_o \leq 0.96V$. To bring the ripple voltage down to meet the specification, more parallel capacitors could be added to the C_1 and C_2 .

As a comparison to the theoretical waveforms in Fig. 4, waveforms of v_{SW} , v_{D1} , v_{D2} , i_{in} , i_{sw} , i_{D1} , and i_{D2} measured from the IBFC prototype are presented in Fig. 8. The measured waveforms generally resemble those in Fig. 4, except for v_{D2} , i_{D1} and i_{D2} . In Fig. 8(a), v_{D2} exhibits a high-frequency ringing at turn-off caused by resonance between a leakage inductance of the coupled inductor and a parasitic capacitance of D_2 [3,4]. After the ringing has died out, D_2 is subjected to the blocking voltage of 48V. Meanwhile, v_{SW} and v_{D1} exhibit a rather clean waveform. Each SW and D_1 is subjected to the blocking voltage of 24V. The measured device blocking voltages agree perfectly with the calculation from (3)-(5). In Fig. 8(b), the averaged input and switch currents, i_{in} and i_{sw} , are measured to be 10.7A and 7.7A respectively. These measurement correspond with the calculation from (14) and (15), in which $I_{in} = 9.6A$ and $I_{sw} = 7.6A$. Moreover, the maximum, minimum, and averaged magnetizing currents can be interpreted directly from the input or switch current waveform. Referring to Fig. 4, points a and b of i_{in} or i_{sw} waveform correspond to $I_{Lm,max}$ and $I_{Lm,min}$ respectively, and I_{Lm} lies midway in between. Calculation from (22)-(24) gives $I_{Lm} = 13.6A$, $I_{Lm,max} = 13.9A$, and $I_{Lm,min} = 13.3A$. These values closely match the similar points in Fig. 8(b). As shown in Fig. 8(c), i_{D1} and i_{D2} are exponential current pulses, not a ramp-down and flat-top current pulses as assumed in the analysis. The exponential response is caused by a winding resistance and leakage inductance of the coupled inductor [3,4]. Despite the difference between the assumed and the real current wave shapes, the expressions for the average currents of D_1 and D_2 in (9) and (12) remains valid. For example, the average currents of D_1 and D_2 in Fig. 8(c) are both measured to be about 2A, agreeing very well with prediction by (9) and (12).

The efficiency measurement is shown in Table III. The converter efficiency, defined as a product of V_o and I_o divided by a product of V_{in} and I_{in} , reaches a maximum of 87% at the minimum output current, and reduces thereafter when the output current is increased. The decreased efficiency at high output currents is caused by the increase in conduction losses of SW , D_1 , and D_2 .

The output voltage response due to a sudden load change from 0.5A to 2A is shown in Fig. 9. The converter exhibits a maximum voltage drop of 8V and settling time of 16ms.

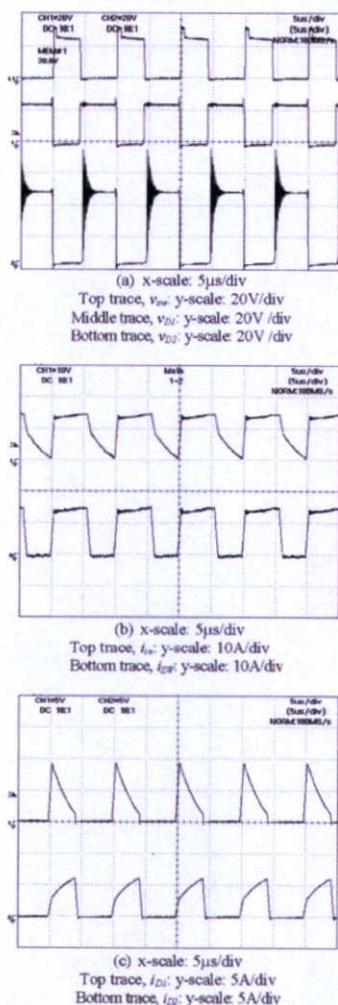


Fig. 8. Waveform measurement at $I_o = 2A$: (a) v_{sw} , v_{D1} , and v_{D2} ; (b) i_{in} and i_{sw} ; (c) i_{D1} and i_{D2} .

TABLE III. EFFICIENCY MEASUREMENT.

Output		D	Input		Efficiency
I_o	V_o		I_{in}	V_{in}	
0.5	48.02	0.5	2.3	12.02	87%
1	48.03	0.52	5.8	12.01	83%
1.5	48.01	0.54	7.4	12.01	81%
2	48.03	0.56	10.7	12.00	75%

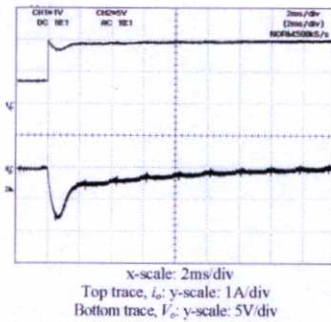


Fig 9. Output voltage response due to a step load of 1.5A.

Finally, the IBFC prototype with a step-up gain of 10 is also designed and constructed as shown in Fig. 10. The converter has the following specification: $V_m = 12V$, $V_o = 120V$, $f = 100kHz$, and $I_o = 0.3A-0.9A$. The converter design follows the same process as outlined in Section III, resulting in $L_m = 65.5\mu H$, $n = 6$, $C_1 = C_2 = 180\mu F$. The power devices used are listed in Table II, unchanged from the previous prototype. Fig. 11 shows the output voltage and current waveforms of the 12V-to-120V prototyped IBFC. By the action of the control circuit, the output voltage is regulated at 120V throughout its load current range ($I_o = 0.3A-0.9A$). The duty cycle is measured to be 0.56 at $I_{o,min} = 0.3A$ and 0.66 at $I_{o,max} = 0.9A$, compared with the theoretical duty cycle of 0.56 as per (1). The increased duty cycle at the high load current is due to component non-ideality as explained earlier. The converter efficiency is measured to be around 87.2%.

VI. CONCLUSION

This paper has presented design and implementation of an Integrated Boost-Flyback Converter (IBFC). The practical design of IBFC was demonstrated. Experimentation on the 12V-to-48V prototyped IBFC found that the converter has good output voltage regulation, and achieves the highest efficiency of 87%. Finally, the 12V-to-120V IBFC was also designed and implemented. The latter prototype performed as well as the former in terms of the output regulation and efficiency figure.

REFERENCES

- [1] Q. Zhao and F.C. Lee, "High-efficiency, high step-up dc-dc converters," *IEEE Trans. Power Electron.*, vol. 18, no. 1, pp. 65-73, Jan. 2003.
- [2] D. W. Hart, *Introduction to Power Electronics*, McGraw Hill, 2011, pp. 211-220.
- [3] K. C. Tseng and T. J. Liang, "Novel high-efficiency step-up converter," *IEE Proc.-Electr. Power Appl.*, vol. 151, no. 2, pp. 182-190, Mar. 2004.
- [4] T. J. Liang and K. C. Tseng, "Analysis of integrated boost-flyback step-up converter," *IEE Proc.-Electr. Power Appl.*, vol. 152, no. 2, pp. 217-225, Mar. 2005.
- [5] M. G. Ortiz-Lopez, J. Leyva-Ramos, E. E. Carbajal-Gutierrez, and J.A. Morales-Salda, "Modelling and analysis of switch-mode cascade converters with a single active switch," *IET Power Electronics*, vol. 1, no. 4, pp. 478-487, 2008.
- [6] D. A. Grant, Y. Darraman, and J. Suter, "Synthesis of tapped-inductor switched-mode converters," *IEEE Trans. Power Electron.*, vol. 22, no. 5, pp. 1964-1969, Sept. 2007.
- [7] N. Vazquez, L. Estrada, C. Hernandez, and E. Rodriguez, "The tapped-inductor boost converter," in *Proc. IEEE Int. Symp. Ind. Electron.*, pp. 295-299, 2007.
- [8] W. Li and X. He, "Review of nonisolated high-step-up dc/dc converters in photovoltaic grid-connected applications," *IEEE Trans. Ind. Electron.*, vol. 58, no. 4, pp. 1239-1250, Apr. 2011.

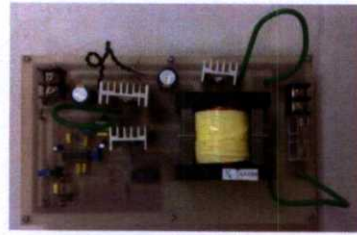


Fig 10. A 12V-to-48V prototype IBFC.

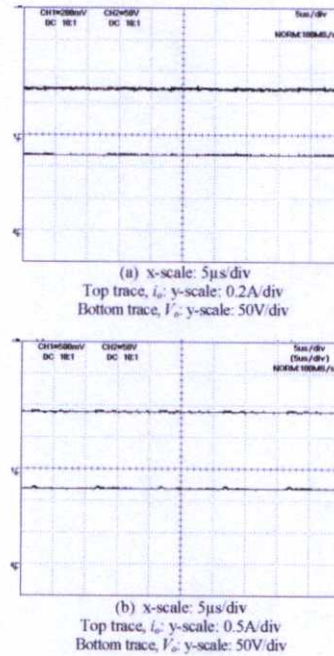


Fig. 11. Output voltage and current waveforms: (a) $I_o = 0.3A$; (b) $I_o = 0.9A$.

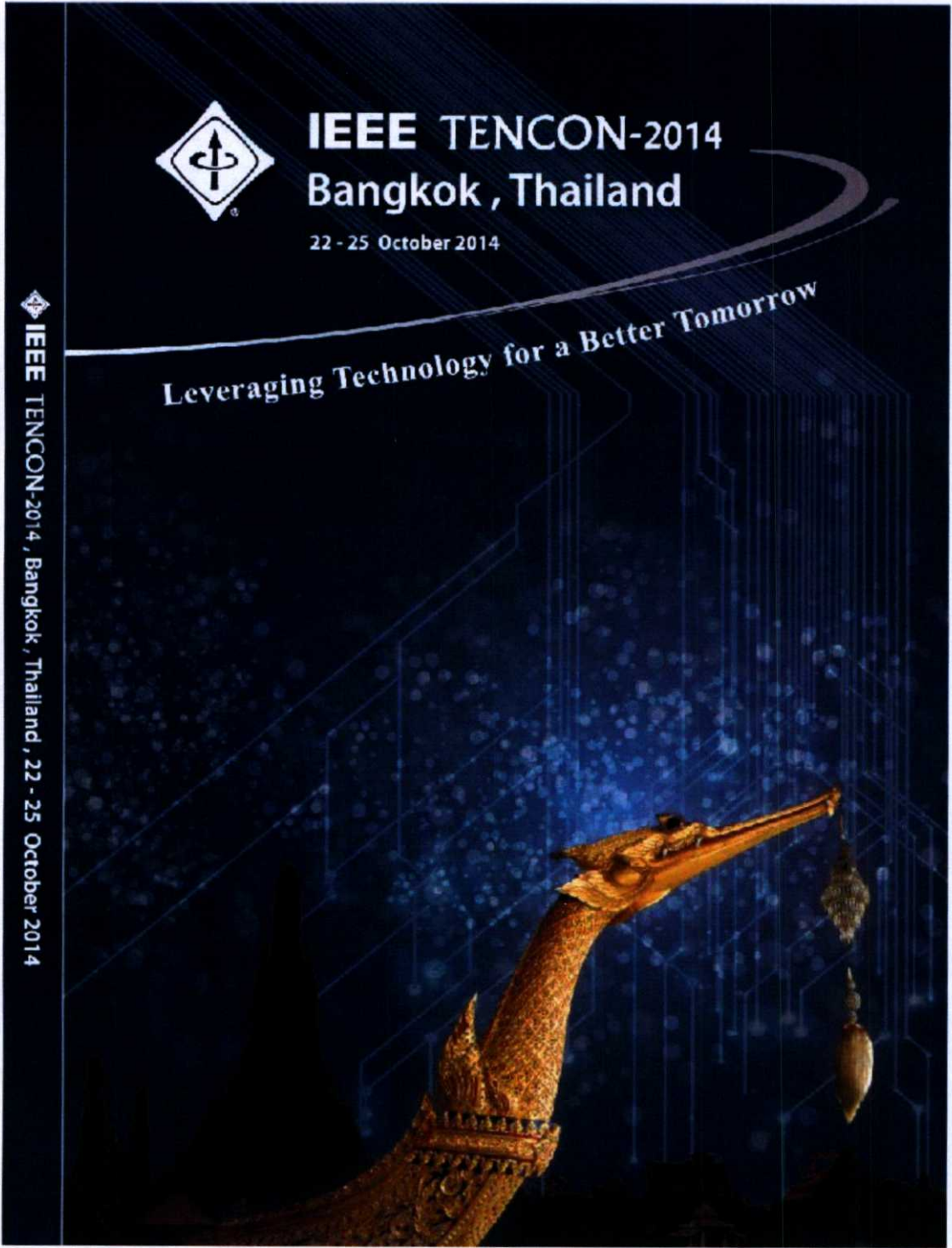


IEEE TENCON-2014 Bangkok , Thailand

22 - 25 October 2014

Leveraging Technology for a Better Tomorrow

IEEE TENCON-2014 , Bangkok , Thailand , 22 - 25 October 2014



Analysis Design and Experimental Verification of a Quadratic Boost Converter

K. Tattiwong and C. Bunlaksanusorn

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL)

Bangkok 10520, Thailand

E-mail: kbchanin@kmitl.ac.th

Abstract— This paper presents analysis, design and experimentation of a Quadratic Boost Converter (QBC). Operation of the QBC is analyzed, leading to mathematical expressions that can be used to design the converter. Based on the derived analytical expressions, a 100W, 12V-to-48V, QBC converter is designed and built. Experiment shows that the prototyped converter operates satisfactorily throughout its operating range and achieves the highest efficiency of 83%.

Keywords Analysis, Design, DC-DC converters

I. INTRODUCTION

A DC-DC converter with a high voltage gain is desirable in many modern applications, such as a front-end stage for fuel cell and solar cell, an HID lamp ballast for automobiles, and a power supply for computer servers in telecommunication industry [1]. Traditionally, when there is a need to step up a DC voltage, a boost converter is usually chosen. To achieve a high voltage gain, a duty cycle of the power switch of the boost converter must be large, resulting in high conduction losses and degrading the converter's efficiency [2]. The large duty cycle also means the diode has less time to conduct, therefore the diode current becomes a narrow pulse with a high instantaneous value. This high diode current subsequently causes severe reverse recovery loss and EMI problems [3]. Series connection of two or more boost converter stages can increase the voltage gain without extending the duty cycle [4]. This cascade technique, however, requires more power switches (i.e. one power switch per one boost stage) and suffers from low overall efficiency as a number of the cascaded stages increases. In [5], an N-stage cascade boost converter with one active switch is proposed. It has the same voltage gain as the series connection of N boost converter stages, but uses only one power switch. A Quadratic Boost Converter (QBC) shown in Fig. 1(a) is derived from the N-stage cascade boost converter with one active switch, where the number of cascading stage, N , is equal to two ($N=2$). Previous research work on the QBC [6]-[7] has been on the dynamic modeling and feedback controller design, where a transient-state behavior of the converter assumes its importance.

This paper presents an analysis of the QBC under steady state condition. The analysis leads to mathematical expressions

that can be used to design the converter. The step-by-step design of the QBC to meet the given specification is demonstrated. Finally, experimental results are given to validate the design.

II. ANALYSIS OF QBC

The QBC shown in Fig. 1 comprises of a single power MOSFET switch, SW , two diodes, D_1 and D_2 , two capacitors, C_1 and C_2 , two inductors, L_1 and L_2 , and a load resistor, R . In the following analysis, it is assumed that SW behaves as an ideal switch, and C_1 and C_2 are large enough so that the capacitor voltages V_{C1} and V_{C2} can be considered constant over a switching period. In Continuous Conduction Mode (CCM), operation of the QBC is divided into two sub-intervals. Firstly, when SW is turned on (Fig. 1(b)), D_2 is forward biased, whereas D_1 and D_3 reverse biased. Currents are supplied to L_1 and L_2 by V_{in} and C_1 respectively, while C_2 is discharged by the load resistance. During this state, i_{L1} and i_{L2} are increased by the amount defined by

$$(\Delta i_{L1})_{ON} = \frac{V_{in}DT}{L_1} \quad (1)$$

$$(\Delta i_{L2})_{ON} = \frac{V_{C1}DT}{L_2} \quad (2)$$

where $(\Delta i_{L1})_{ON}$ and $(\Delta i_{L2})_{ON}$ are the increment of i_{L1} and i_{L2} , D is a duty cycle of SW , and T is a switching period. Meanwhile, the capacitor currents are expressed by

$$i_{C1} = -i_{L2} \quad (3)$$

$$i_{C2} = -I_o \quad (4)$$

Secondly, when SW is turned off (Fig. 1(c)), D_1 and D_3 are forward biased, whereas D_2 reverse biased. L_1 and L_2 are charging C_1 and C_2 respectively. During this state, i_{L1} and i_{L2} are decreased by the amount defined by

$$(\Delta i_{L1})_{OFF} = \frac{(V_{in} - V_{C1})(1-D)T}{L_1} \quad (5)$$

$$(\Delta i_{L2})_{OFF} = \frac{(V_{C1} - V_o)(1-D)T}{L_2} \quad (6)$$

where $(\Delta i_{L1})_{OFF}$ and $(\Delta i_{L2})_{OFF}$ are the decrement of i_{L1} and i_{L2} , respectively. The capacitor currents for this state are given as

$$i_{C1} = i_{L1} - i_{L2} \quad (7)$$

$$i_{C2} = i_{L2} - I_o \quad (8)$$

A. Voltage Relationships

At steady state, the net change in the inductor current over one switching period must be zero, i.e.

$$(\Delta i_{L1})_{ON} + (\Delta i_{L1})_{OFF} = 0 \quad (9)$$

$$(\Delta i_{L2})_{ON} + (\Delta i_{L2})_{OFF} = 0 \quad (10)$$

Substituting (1) and (5) into (9), and (2) and (6) into (10), the expressions for V_{C1} and V_{C2} can be derived as

$$V_{C1} = \frac{V_m}{1-D} \quad (11)$$

$$V_{C2} = V_o = \frac{V_{C1}}{1-D} \quad (12)$$

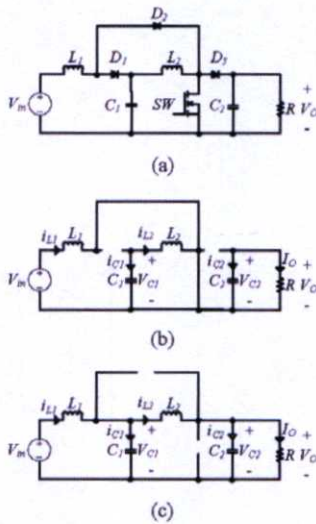


Fig.1 Quadratic Boost Converter: (a) Topology, (b) Topology when SW is turned on, and (c) Topology when SW is turned off.

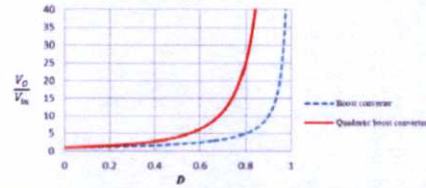


Fig. 2. Voltage conversion ratio of QBC vs boost converter.

Note that V_{C2} is equal to the output voltage, V_o . From (11) and (12), the relationship between the input and output voltages of the QBC can be formulated

$$\frac{V_o}{V_m} = \frac{1}{(1-D)^2} \quad (13)$$

It is seen from (13) that a voltage conversion ratio, V_o / V_m , of the QBC is equal to the square of that of the boost converter. Fig. 2 plots the conversion ratio of the two converters on the same scale. The QBC is capable of producing a higher output voltage than the boost converter, given the same input voltage and duty cycle.

B. Current Relationships

Based on (3), (4), (7) and (8), the capacitor current waveforms are constructed as shown in Fig. 3. In drawing the waveforms, ripples of the inductor current are assumed to be very small so that i_{L1} and i_{L2} are equal to their average (or DC) values, I_{L1} and I_{L2} . The area under the curve in Fig. 3 represents the capacitor charge. The positive and negative areas indicate the charging and discharging of the capacitors respectively.

At steady state, the net change in the capacitor charge over one switching period must be zero. In other words, the summation of the positive and negative areas must be zero

$$-I_{L2}DT + (I_{L1} - I_{L2})(1-D)T = 0 \quad (14)$$

$$-I_oDT + (I_{L2} - I_o)(1-D)T = 0 \quad (15)$$

From (14) and (15), the relationship between the average inductor current and output current are found

$$I_{L1} = \frac{I_o}{(1-D)^2} \quad (16)$$

$$I_{L2} = \frac{I_o}{(1-D)} \quad (17)$$

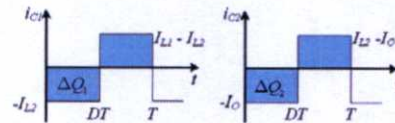


Fig. 3. Capacitor current waveforms.

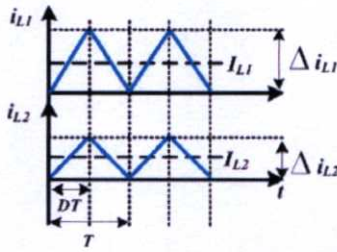


Fig. 4. Inductor current waveforms at CCM/DCM boundary.

C. Inductance Equations

Fig. 4 depicts the inductor current waveforms at the CCM/DCM boundary, where the minimum inductor current just reaches zero. This particular operating point is often referred to as critical conduction mode in the literature. In Fig. 4, the minimum inductor current can be written as

$$i_{L1,\min} = I_{L1} - \frac{\Delta i_{L1}}{2} = 0 \quad (18)$$

$$i_{L2,\min} = I_{L2} - \frac{\Delta i_{L2}}{2} = 0. \quad (19)$$

Substituting (1) and (16) into (18), and (2) and (17) into (19), the inductance equations of the QBC are obtained

$$L_1 = \frac{V_{in} D (1-D)^2}{2I_o f_s} \quad (20)$$

$$L_2 = \frac{V_{in} D}{2I_o f_s} \quad (21)$$

where $f_s = 1/T$ is a switching frequency.

D. Capacitance equations

For the entire discharging phase of the capacitors, i.e. the negative area in Fig. 3, charges are drawn from C_1 and C_2 and V_{C1} and V_{C2} decrease from their maximum to minimum values, the difference of which is the ripple voltage. From Fig. 3, the amount of charge drawn from C_1 and C_2 are

$$\Delta Q_1 = C_1 \Delta v_{C1} = I_{L2} DT \quad (22)$$

$$\Delta Q_2 = C_2 \Delta v_{C2} = I_o DT \quad (23)$$

where Δv_{C1} and Δv_{C2} are the ripple voltages of C_1 and C_2 . Transposition of (22) and (23) yields the capacitance equations

$$C_1 = \frac{I_o D}{(1-D) \Delta v_{C1} f_s} \quad (24)$$

$$C_2 = \frac{I_o D}{\Delta v_{C2} f_s} \quad (25)$$

As shown in Fig. 3, the capacitor current waveform is an AC square wave. The RMS current of C_1 and C_2 can be computed from [8]

$$I_{C1,rms} = \sqrt{DI_{L2}^2 + (1-D)(I_{L1} - I_{L2})^2} \quad (26)$$

$$I_{C2,rms} = \sqrt{DI_o^2 + (1-D)(I_{L2} - I_o)^2} \quad (27)$$

E. Voltages and currents of power semiconductor devices

Referring to Fig. 1, the device voltage and current during SW turn-on and turn-off intervals can be expressed as

$$v_{sw} = \begin{cases} 0, & 0 < t \leq DT \\ V_o, & DT < t \leq T \end{cases} \quad (28)$$

$$v_{D1} = \begin{cases} V_{C1}, & 0 < t \leq DT \\ 0, & DT < t \leq T \end{cases} \quad (29)$$

$$v_{D2} = \begin{cases} 0, & 0 < t \leq DT \\ V_o - V_{C1}, & DT < t \leq T \end{cases} \quad (30)$$

$$v_{D3} = \begin{cases} V_o, & 0 < t \leq DT \\ 0, & DT < t \leq T \end{cases} \quad (31)$$

$$i_{sw} = \begin{cases} i_{L1} + i_{L2}, & 0 < t \leq DT \\ 0, & DT < t \leq T \end{cases} \quad (32)$$

$$i_{D1} = \begin{cases} 0, & 0 < t \leq DT \\ i_{L1}, & DT < t \leq T \end{cases} \quad (33)$$

$$i_{D2} = \begin{cases} i_{L1}, & 0 < t \leq DT \\ 0, & DT < t \leq T \end{cases} \quad (34)$$

$$i_{D3} = \begin{cases} 0, & 0 < t \leq DT \\ i_{L2}, & DT < t \leq T \end{cases} \quad (35)$$

Based on (28) to (35), the device voltage and current waveform of the devices are constructed as shown in Fig. 5. To select the appropriate power devices, the maximum voltage and average current that the devices have to withstand must be identified. From Fig. 5, the maximum voltage and average current of SW , D_1 , D_2 and D_3 are V_o , V_{C1} , $V_o - V_{C1}$, V_o respectively, and the average current of the devices are $(I_{L1} + I_{L2})D$, $I_{L1}(1-D)$, $I_{L1}D$, $I_{L2}(1-D)$ respectively.

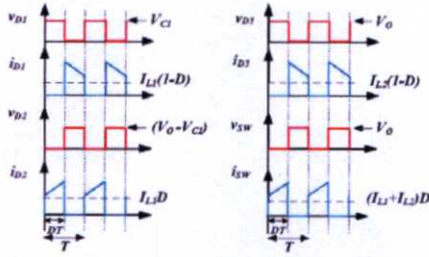


Fig. 5. Voltage and current waveforms of SW, D_1 , D_2 , and D_3 .

III. DESIGN OF QBC

Specifications of the QBC to be designed are as follows: $V_{in} = 12\text{V}$, $V_O = 48\text{V}$, $I_O = 0.5\text{A} - 2\text{A}$, $\Delta i_{L1} = 20\%I_{L1}$, $\Delta i_{L2} = 20\%I_{L2}$, $\Delta v_{C1} = 2\%V_{C1}$, $\Delta v_{C2} = 2\%V_{C2}$, and $f_s = 100\text{kHz}$. The design essentially involves selecting appropriate values of L and C to satisfy the ripple requirement, and specifying the ratings of power semiconductor devices. The following calculation steps demonstrate the design of the QBC.

Step 1: The duty cycle can be determined from (13)

$$D = 1 - \sqrt{\frac{V_{in}}{V_O}} = 1 - \sqrt{\frac{12}{48}} = 0.5.$$

Step 2: Given the duty cycle ($D = 0.5$), minimum load current ($I_{O,min} = 0.5\text{A}$) and maximum load current ($I_{O,max} = 2\text{A}$), the average inductor currents are calculated from (16) and (17).

$$I_{L1,min} = \frac{I_{O,min}}{(1-D)^2} = \frac{0.5}{(1-0.5)^2} = 2\text{A}$$

$$I_{L1,max} = \frac{I_{O,max}}{(1-D)^2} = \frac{2}{(1-0.5)^2} = 8\text{A}$$

$$I_{L2,min} = \frac{I_{O,min}}{(1-D)} = \frac{0.5}{(1-0.5)} = 1\text{A}$$

$$I_{L2,max} = \frac{I_{O,max}}{(1-D)} = \frac{2}{(1-0.5)} = 4\text{A}$$

Based on these average inductor currents and ripple current requirement (i.e. $\Delta i_{L1} < 20\%I_{L1}$, $\Delta i_{L2} < 20\%I_{L2}$), the values of L_1 and L_2 can be determined from (20) and (21)

$$L_{1,min} = \frac{V_{in}D}{\Delta i_{L1,max}f_s} = \frac{12 \times 0.5}{0.2 \times 8 \times 100 \times 10^3} = 37.5\mu\text{H}$$

$$L_{1,max} = \frac{V_{in}D}{\Delta i_{L1,min}f_s} = \frac{12 \times 0.5}{0.2 \times 2 \times 100 \times 10^3} = 0.15\text{mH}$$

$$L_{2,min} = \frac{V_{in}D}{\Delta i_{L2,max}f_s} = \frac{12 \times 0.5}{0.2 \times 4 \times 1-0.5 \times 100 \times 10^3} = 0.15\text{mH}$$

$$L_{2,max} = \frac{V_{in}D}{\Delta i_{L2,min}f_s} = \frac{12 \times 0.5}{0.2 \times 1 \times 1-0.5 \times 100 \times 10^3} = 0.6\text{mH}.$$

The maximum inductances are chosen to ensure the ripple current requirement will not be violated. Hence, $L_1 = 0.22\text{mH}$ and $L_2 = 0.6\text{mH}$ were selected. L_1 and L_2 must be able to handle the maximum currents $I_{L1,max} + \Delta i_{L1}/2 = 8.8\text{A}$ and $I_{L2,max} + \Delta i_{L2}/2 = 4.4\text{A}$ respectively without saturating the magnetic cores. The inductor L_1 is constructed using a 42 turn of 6 AWG20 copper wires wound on the gapped ferrite core ETD49, while the inductor L_2 a 69 turn of 3 AWG20 copper wires wound on the gapped ferrite core ETD44.

Step 3: The capacitor voltages are computed from (11) and (12)

$$V_{C1} = \frac{V_{in}}{1-D} = \frac{12}{1-0.5} = 24\text{V}$$

$$V_{C2} = V_O = \frac{V_{C1}}{1-D} = \frac{24}{1-0.5} = 48\text{V}.$$

Based on these average capacitor voltages and ripple voltage requirement (i.e. $\Delta v_{C1} = 5\%V_{C1}$, $\Delta v_{C2} = 5\%V_{C2}$), the values of C_1 and C_2 can be computed from (24) and (25).

$$C_{1,min} = \frac{I_{O,min}D}{\Delta v_{C1}1-Df_s} = \frac{0.5 \times 0.5}{24 \times 0.05 \times 1-0.5 \times 100 \times 10^3} = 4.2\mu\text{F}$$

$$C_{1,max} = \frac{I_{O,max}D}{\Delta v_{C1}1-Df_s} = \frac{2 \times 0.5}{24 \times 0.05 \times 1-0.5 \times 100 \times 10^3} = 16.7\mu\text{F}$$

$$C_{2,min} = \frac{I_{O,min}D}{\Delta v_{C2}f_s} = \frac{0.5 \times 0.5}{48 \times 0.05 \times 100 \times 10^3} = 1.04\mu\text{F}$$

$$C_{2,max} = \frac{I_{O,max}D}{\Delta v_{C2}f_s} = \frac{2 \times 0.5}{48 \times 0.05 \times 100 \times 10^3} = 4.2\mu\text{F}$$

Hence, $C_1 > 16.7\mu\text{F}$ and $C_2 > 4.2\mu\text{F}$ must be chosen to satisfy the ripple voltage requirement. In this case, a $100\mu\text{F}$ 50V electrolytic capacitor was chosen for C_1 , while the output capacitor, C_2 , is made of five $22\mu\text{F}$ 50V electrolytic capacitors connected in parallel, yielding the total capacitance of $110\mu\text{F}$. The parallel connection is employed to reduce the total ESR of the output capacitor and hence the ripple output voltage. The chosen C_1 and C_2 must be able to endure the RMS current in (26) and (27)

$$I_{C1,rms} = \sqrt{0.5 \times 4^2 + (1-0.5)(8-4)^2} = 4\text{A}$$

$$I_{C2,rms} = \sqrt{0.5 \times 2^2 + (1-0.5)(4-2)^2} = 2\text{A}$$

Step 4: Ratings of the power MOSFET and diodes D_1 , D_2 and D_3 can be specified based on the device voltage and current waveforms shown in Fig. 5. The maximum blocking voltages

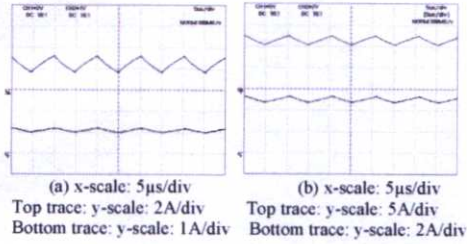


Fig 8. Waveforms of i_{L1} (top trace) and i_{L2} (bottom trace): (a) at $I_o = 0.5A$, and (b) at $I_o = 2A$.

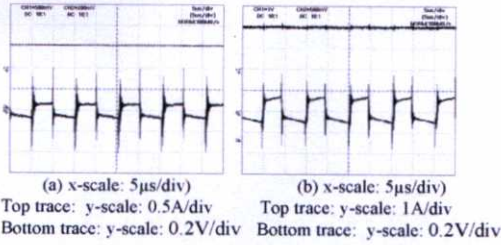


Fig 9. Waveforms of I_o (top trace) and Δv_o (bottom trace): (a) at $I_o = 0.5A$, and (b) at $I_o = 2A$.

TABLE II. MEASURED RIPPLE CURRENT AND VOLTAGE

$I_o(A)$	D	$\Delta i_{L1}(A)$	$\Delta i_{L2}(A)$	$\Delta v_o(V)$
0.5	0.51	1.6	0.2	0.14
1	0.52	1.65	0.3	0.25
1.5	0.54	1.8	0.4	0.50
2	0.56	2.2	0.72	0.68
Specification		$20\% \Delta i_{L1max}$ (1.6A)	$20\% \Delta i_{L2max}$ (0.8A)	$2\% V_{C2}$ (0.96V)

As shown in Table II, the ripple inductor currents, Δi_{L1} and Δi_{L2} , and the ripple output voltage, Δv_o , increase with the load current. Except Δi_{L1} , both Δi_{L2} and Δv_o conform to the specification for the entire load current. The reason for Δi_{L1} violating the specification is likely caused by L_1 is operating close to its saturation point.

TABLE III. MEASURED INPUT/OUTPUT VOLTAGES AND CURRENTS

Output		D	Input		Efficiency
I	V		I	V	
0.5	48.05	0.51	2.4	12.0	83%
1	48.03	0.52	4.9	12.2	80%
1.5	48.08	0.54	7.87	12.1	76%
2	48.05	0.56	11.4	12.03	70%

The measured input/output voltages and currents are given in Table III. It can be seen that the converter is able to regulate

its output voltage at 48V throughout the load current range. Also, the converter efficiency, which is a product of V_o and I_o divided by a product of V_{in} and I_{in} , i.e. $\eta = V_o I_o / V_{in} I_{in}$, is reduced when load current is increased. The decreased efficiency at high load current is caused by the increase in conduction losses of the power MOSFET switch and diodes (D_1 , D_2 and D_3) in the circuit.

The output voltage response due to a sudden load change from 0.5A to 2A is shown in Fig. 10. The converter exhibits a maximum voltage drop of 6.5V and settling time of 14ms.

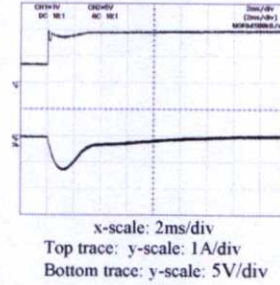


Fig. 10. Output voltage response due to a step load of 1.5A

V. CONCLUSION

This paper has presented analysis, design, and experimental verification of a Quadratic Boost Converter (QBC). Analysis of the QBC was carried out. Based on the analytical results, the practical converter design was demonstrated. Experiment has shown that the prototyped converter has good output voltage regulation at 48V, and achieves the highest efficiency of 83%.

REFERENCES

- [1] Q. Zhao and F.C. Lee, "High-efficiency, high step-up dc-dc converters," *IEEE Transactions on Power Electronics*, Vol. 18, No. 1, pp. 65-73, Jan. 2003.
- [2] D. W. Hart, Introduction to Power Electronics, McGraw Hill, 2011, pp. 211-220.
- [3] W. Li and X. He, "Review of nonisolated high-step-up dc/dc converters in photovoltaic grid-connected applications," *IEEE Transactions on Industrial Electronics*, Vol. 58, No. 4, pp. 1239-1250, April 2011.
- [4] L. Huber and M.M. Jovanovic, "A design approach for server power supplies for networking applications," *Applied Power Electronics Conference and Exposition*, Vol. 2, pp.1163-1169, 2000.
- [5] M. G. Ortiz-Lopez, J. Leyva-Ramos, E. E. Carbajal-Gutierrez, and J.A. Morales-Salda, "Modelling and analysis of switch-mode cascade converters with a single active switch," *IET Power Electronics*, Vol. 1, No. 4, pp. 478-487, 2008.
- [6] J.A. Morales-Saldana, R. Galarza-Qurino, J. Leyva-Ramos, E.E. Carbajal-Gutierrez, and M.G. Ortiz-Lopez, "Multiloop controller design for a quadratic boost converter," *Electric Power Applications*, Vol. 1, pp.362-367, May. 2007.
- [7] M. G. Ortiz-Lopez, J. Leyva-Ramos, L. H. Diaz-Saldierna, J. M. Garcia-Ibarra, and E. E. Carbajal-Gutierrez, "Current-mode control for a quadratic boost converter with a single switch," *Power Electronics Specialists Conference*, pp.2652-2657, June 2007.
- [8] R. W. Erickson and D. Maksimovic, Fundamentals of Power Electronics, 2nd ed., Kluwer Academic Publishers, 2001, pp.805-812.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายกีวีวัชร ทัดวงษ์
วัน เดือน ปีเกิด	1 กรกฎาคม พ.ศ. 2532 ที่กรุงเทพมหานคร
ที่อยู่	360 ถนนเฉลิมพระเกียรติ ร.9 แขวงหนองบอน เขตประเวศ กรุงเทพมหานคร 10250 โทร. 081-6296315
ประวัติการศึกษา	สำเร็จการศึกษาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมแมคคาทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2553 สำเร็จการศึกษาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรม ระบบควบคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2556
ปัจจุบัน	นักศึกษาปริญญาเอก คณะวิศวกรรมศาสตร์ สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง