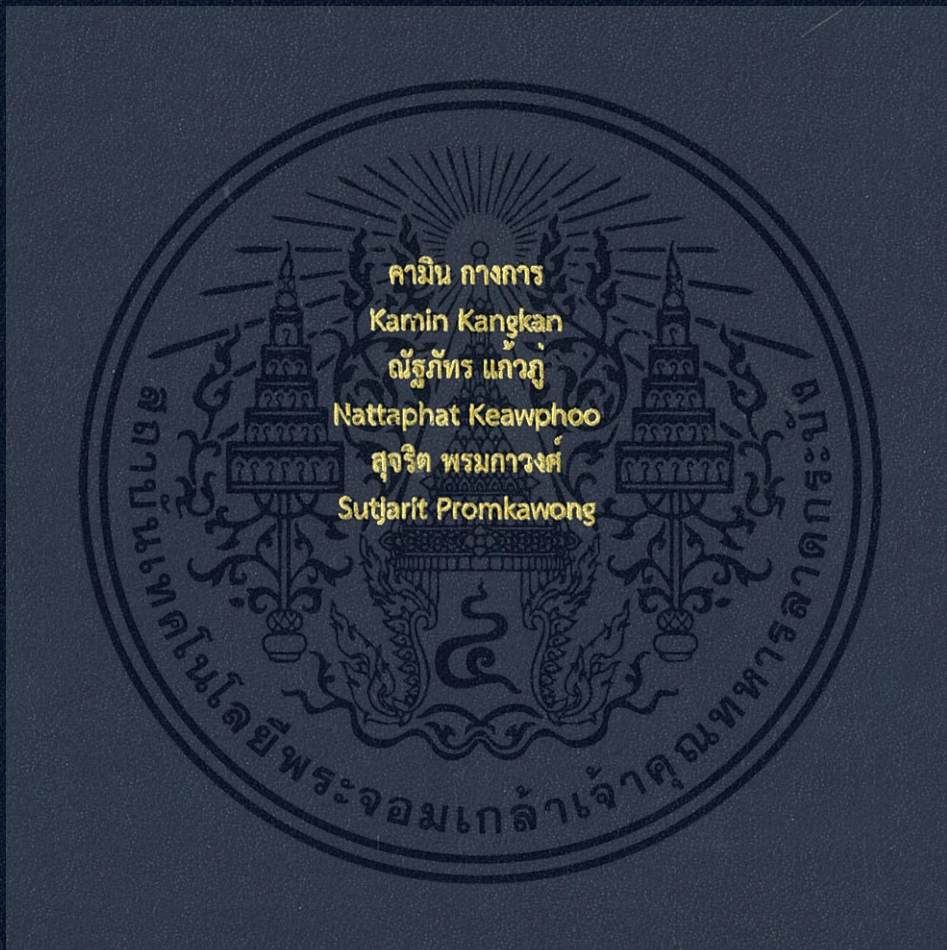


การศึกษา วงจรแปลงสัญญาณเสียงจากดิจิทัลเป็นอนาลอก

STUDY OF DIGITAL TO ANALOG CONVERTER FOR AUDIO SYSTEMS



ปริญญาานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2558

การศึกษา วงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอก

STUDY OF DIGITAL TO ANALOG CONVERTER FOR AUDIO SYSTEMS

โดย



T143932



คามิน กางการ

ณัฐภัทร แก้วภู

สุจิริต พรหมวงศ์

อาจารย์ที่ปรึกษา

รศ.ดร.สุรพันธ์ เอื้อไพบูลย์

เลขหมู่.....
เลขทะเบียน..... 143932
วัน,เดือน,ปี..... 04 ต.ค. 2559

b. 12810589
i.

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2558

ปริญญาานิพนธ์ปีการศึกษา 2558

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การศึกษา วงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอก

STUDY OF DIGITAL TO ANALOG CONVERTER FOR AUDIO SYSTEMS

ผู้จัดทำ นาย คามิน กางการ รหัสประจำตัว 55010129

นาย ญัฐภัทร แก้วภู่ รหัสประจำตัว 55010390

นาย สุจริต พรหมกาวงค์ รหัสประจำตัว 55011325

ปริญญาานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว



(รศ.ดร.สุรพันธ์ เอื้อไพบูลย์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวปริญญานิพนธ์	การศึกษา วงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอก
นักศึกษา	นาย คามิน กางการ รหัสนักศึกษา 55010129
	นาย ณิชฎภัทร แก้วภู รหัสนักศึกษา 55010390
	นาย สุจริต พรหมกาวงค์ รหัสนักศึกษา 55011325
ปริญญา	วิศวกรรมศาสตรบัณฑิต
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2558
อาจารย์ที่ปรึกษาปริญญานิพนธ์	รศ.ดร.สุรพันธ์ เอื้อไพบูลย์

บทคัดย่อ

วงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอก ทำหน้าที่แปลงสัญญาณเสียงดิจิตอลที่ได้จากชุดอ่านแผ่นซีดี ออกมาเป็นสัญญาณ อนาลอกที่ช่องเอาต์พุต คุณภาพเสียงที่ได้จะแตกต่างกันไปขึ้นอยู่กับรูปแบบของวงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอก ปัจจุบันวงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอกมีราคาสูง โครงการนี้จึงพัฒนางานแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอก ให้มีคุณภาพดีและราคาถูก โดยเพิ่มบอร์ดราสเบอร์รี่พายทำงานร่วมกับวงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอกที่ใช้ไอซี เบอร์ DSD1794 โดยส่วนของ วงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอกจะรับสัญญาณเสียงดิจิตอลจากบอร์ดราสเบอร์รี่พาย แปลงให้เป็นสัญญาณดิจิตอลเอาต์พุตในรูปแบบ I²S เข้าสู่การถอดรหัสสัญญาณและแปลงเป็นแรงดันนำไปใช้งาน วงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาลอกที่ได้จากโครงการนี้ สามารถเล่นไฟล์เพลงได้จาก USB และระบบ Steaming

Thesis Title	Study of Digital to Analog Converter for Audio Systems		
Student	Mr.Kamin	Kangkan	Student ID 55010129
	Mr.Nattaphat	Keawphoo	Student ID 55010390
	Mr.Sutjarit	Promkawong	Student ID 55011325
Degree	Bachelor of Engineering		
Department	Electronics Engineering		
Year	2015		
Thesis Advisor	Assoc. Prof. Dr. Surapan Airphaiboon		

ABSTRACT

Digital to Analog Converter for Audio Systems converts digital signals from a DSD (Direct Stream Digital) file format to analog signals at analog output channels. Sound quality will depend on brand of the IC digital to analog converter circuit. In the present, the digital to analog converter player has high prices. So this project is the development of the digital to analog converter circuit. To providing good quality and cheap. By increasing the board Raspberry Pie with the digital to analog converter circuit using the IC number DSD1794. Digital signal input come out from Raspberry Pie. It converted into a digital signal output in I²S to format decoding and converted into voltage applied. The digital to analog converter circuit can play music files from USB and streaming system.

กิตติกรรมประกาศ

การจัดทำโครงการฉบับนี้ลุล่วงไปด้วยดี เนื่องจากได้รับโอกาสพร้อมทั้งได้คำแนะนำและคำปรึกษาเป็นอย่างดีจาก รองศาสตราจารย์ ดร.สุรพันธ์ เอื้อไพบูลย์ ซึ่งเป็นอาจารย์ที่ปรึกษาโครงการ ให้ความรู้และประสบการณ์รวมถึงสร้างคุณธรรมและจริยธรรมที่เป็นตัวอย่างแก่ศิษย์เสมอมา ซึ่งเป็นแนวทางทำให้ปริญญานิพนธ์เรื่องนี้ สำเร็จลุล่วงตามวัตถุประสงค์

คณะผู้วิจัยขอขอบพระคุณ รองศาสตราจารย์ ดร.สุรพันธ์ เอื้อไพบูลย์ อาจารย์ประจำภาควิชาอิเล็กทรอนิกส์ทุกท่าน ที่ประสิทธิ์ประสาทวิชาความรู้แก่ศิษย์

ขอขอบพระคุณบิดามารดาที่คอยให้กำลังใจพร้อมทั้งสนับสนุนทุนทรัพย์

สุดท้ายนี้ ขอขอบพระคุณ พี่ๆ เพื่อนๆ ทุกคน รวมทั้งบุคคลอื่นที่มีได้กล่าวนามไว้ ณ ที่นี้ให้ความช่วยเหลือในทุกๆด้านด้วยดีมาโดยตลอดจนสำเร็จเป็นโครงการ ฉบับนี้ได้



คามิน การการ
ณัฐภัทร แก้วภู
สุจจริต พรมกวางค์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	VI
สารบัญตาราง	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของปัญหา	1
1.2 วัตถุประสงค์ของการศึกษา	1
1.3 ขอบเขตการศึกษา	1
1.4 ระยะเวลาการดำเนินการ	2
1.5 ผลที่คาดว่าจะได้รับ	2
บทที่ 2 ทฤษฎี	3
2.1 คุณสมบัติของ Digital to Analog Converter	3
2.2 Raspberry Pi	4
2.3 คุณสมบัติทางเทคนิคของบอร์ด Raspberry Pi	4
2.4 ส่วนประกอบของบอร์ด Raspberry Pi	4
2.5 PCM	7
2.6 วิธีการทำงานของ PCM	7
2.7 การเชื่อมต่ออุปกรณ์แบบ I2C	8
2.8 XMOS	11
2.9 เทคโนโลยี DLNA	11

สารบัญ (ต่อ)

บทที่ 3 การออกแบบ.....	14
3.1. การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ Digital to Analog Converter	14
3.2. การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ วงจรกรองแบบแอคทีฟ Active Filter	16
3.3. การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ Power Supply	18
3.4. การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ Regulator	21
3.5. การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ Relay	23
3.6. Arduino (UNO)	24
3.7. Volumio (ระบบปฏิบัติการบน Raspberry Pi)	25
บทที่ 4 ผลของการดำเนินงาน.....	27
บทที่ 5 สรุปผลและข้อเสนอแนะ.....	39
เอกสารอ้างอิง.....	40
ภาคผนวก.....	41

สารบัญรูป

รูปที่	หน้า
2.1 ระบบการแปลงสัญญาณดิจิทัลเป็นอนาล็อก	3
2.2 Raspberry Pi Model B	4
2.3 Connector	5
2.4 Connector P5	6
2.5 สัญญาณ PCM	7
2.6 I2S Data Input Formats	8
2.7 ลักษณะการเชื่อมต่ออุปกรณ์แบบ I2S BUS	9
2.8 รูปแบบการเขียน/อ่านข้อมูลแบบ I2S BUS	9
2.9 BUS START and STOP Conditions	10
2.10 I2S BUS (Control Byte).....	10
2.11 การรับส่งบิตข้อมูลของ I2S BUS	11
3.1 Signal Flow การทำงานของวงจร	13
3.2 วงจรการรับสัญญาณ Digital จาก Raspberry Pi โดยใช้ DSD1794.....	14
3.3 รูป PCB วงจร DAC	15
3.4 วงจร Active Filter แบบอันดับสี่ (Fourth Order).....	16
3.5.รูป PCB วงจร Active Filter	17
3.6 รูปวงจรชาร์จแบตเตอรี่ โดยใช้ BQ2057.....	18
3.7 รูปวงจรบูสต์คอนเวอร์เตอร์ โดยใช้ LM2700.....	19
3.8 รูป PCB วงจร Power Supply	20
3.9 รูปวงจรบูสต์คอนเวอร์เตอร์ โดยใช้ LM2660 และ LM1117.....	21
3.10 รูป PCB วงจร Regulator	22
3.11 รูปวงจร Relay	23
3.12 รูป PCB วงจร Relay	23
3.13 รูป Register 20	24
3.14 รูปโปรแกรม Volumio	25
3.15 รูปโปรแกรม Volumio	25
3.16 รูปโปรแกรม Volumio	26

เอกสารนี้เป็นทรัพย์สินของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านธุรกิจ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.17 รูปโปรแกรม Volumio	26
4.1 การลงอุปกรณ์ต่างๆ.....	27
4.2 รูปสัญญาณที่ขา LRCK ไฟล์เสียงที่ให้ทดสอบ 24 Bit , 44.1kHz , File .mp3	28
4.3 รูปสัญญาณ DATA ไฟล์เสียงที่ให้ทดสอบ 24 Bit , 44.1kHz , File .mp3.....	28
4.4 รูปสัญญาณ BCK ไฟล์เสียงที่ให้ทดสอบ 24 Bit , 44.1kHz , File .mp3	29
4.5 รูปสัญญาณ SCK ไฟล์เสียงที่ให้ทดสอบ 24 Bit , 44.1kHz , File .mp3.....	29
4.6 รูปสัญญาณที่ขา LRCK ไฟล์เสียงที่ให้ทดสอบ 24Bit , 192 kHz , File .flac	30
4.7 รูปสัญญาณ DATAไฟล์เสียงที่ให้ทดสอบ 24Bit , 192 kHz , File .flac	30
4.8 รูปสัญญาณ BCKไฟล์เสียงที่ให้ทดสอบ 24Bit , 192 kHz , File .flac	31
4.9 รูปสัญญาณ SCKไฟล์เสียงที่ให้ทดสอบ 24Bit , 192 kHz , File .flac	31
4.10 รูปสัญญาณที่ขา LRCK ไฟล์เสียงที่ให้ทดสอบ 24Bit , 96 kHz , File .flac	32
4.11 รูปสัญญาณ DATA ไฟล์เสียงที่ให้ทดสอบ 24Bit , 96 kHz , File .flac	32
4.12 รูปสัญญาณ BCK ไฟล์เสียงที่ให้ทดสอบ 24Bit , 96 kHz , File .flac	33
4.13 รูปสัญญาณ SCK ไฟล์เสียงที่ให้ทดสอบ 24Bit , 96 kHz , File .flac	33
4.14 การตอบสนองสัญญาณ Frequency Response	34
4.15 สัญญาณ Signal 63 dB ที่ Frequency = 1 kHz ,output 1.3 Vrms	35
4.16 สัญญาณ Noise 31 dB ที่ Frequency = 1 kHz ,output 1.3 Vrms	35
4.17 สัญญาณ Noise + Harmonic 65 dB ที่ Frequency = 1 kHz ,output 1.3 Vrms	36
4.18 สัญญาณ Signal 70 dB ที่ Frequency = 1 kHz , 1.3 Vrms	37
4.19 สัญญาณ Noise 45 dB ที่ Frequency = 1 kHz , 1.3 Vrms	37

สารบัญตาราง

ตารางที่	หน้า
1.1 ระยะเวลาการดำเนินโครงการ	2
4.1 Frequency Response	34



บทที่ 1

บทนำ

1.1 ความเป็นมาของปัญหา

ในปัจจุบันดนตรีมีมากมายหลากหลายประเภท และผู้ฟังแต่ละคนก็จะมีสไตล์การฟังเพลงแตกต่างกัน ซึ่งอุปกรณ์ที่เข้ามาช่วยให้การฟังเพลงให้มีรรถรสยิ่งขึ้น เรียกว่า DAC (Digital to Analog Converter) เป็นอุปกรณ์ซึ่งทำหน้าที่แปลงสัญญาณดิจิทัล ให้เป็นสัญญาณแบบอนาล็อก ไฟล์เพลงที่ใช้เปิดเล่น เปิดฟังกันอยู่ในปัจจุบัน จะอยู่ในรูปแบบของแผ่น CD, mp3, FLAC, WAV หรืออื่นๆ ไฟล์เหล่านี้ถูกบันทึกและเข้ารหัสในรูปแบบดิจิทัล ซึ่งมีเพียงแค่ข้อมูล "0" กับ "1" ซึ่งไม่สามารถฟังได้ DAC จะถูกใช้เพื่อแปลงข้อมูลที่ถูกเก็บในรูปแบบดิจิทัล ให้ออกมาเป็นสัญญาณแบบอนาล็อก ที่สามารถถ่ายทอดเป็นสัญญาณเสียงให้ได้ยิน

ในโครงการนี้ จะนำ Raspberry Pi และ XMOS เข้ามาใช้งานร่วมด้วย ซึ่ง Raspberry Pi จะสามารถเล่นไฟล์เพลงผ่านเครือข่าย LAN และ XMOS สามารถเล่นไฟล์เพลงจาก PC โดยผ่าน USB ได้ ซึ่ง Raspberry Pi รองรับไฟล์ PCM ได้ถึง 24 bit 192 kHz ส่วน XMOS รองรับไฟล์ PCM ได้ถึง 24 bit 192 kHz และ รองรับไฟล์ DSD formats 64,128

1.2 วัตถุประสงค์ของการศึกษา

1. เพื่อเป็นการประยุกต์ใช้ความรู้ทางด้านทฤษฎี มาปรับใช้กับการทำงานจริง เพื่อฝึกฝนทักษะการทำงานขั้นพื้นฐานในด้านอิเล็กทรอนิกส์
2. เพื่อฝึกฝนทักษะการทำงานขั้นพื้นฐานในด้านอิเล็กทรอนิกส์
3. เพื่อนำอุปกรณ์ที่ได้ออกแบบไปใช้งานได้ และสามารถนำไปประยุกต์หรือพัฒนาในระดับที่สูงขึ้น
4. ต่อยอดการใช้งานบอร์ด คอนโทรลเลอร์
5. ศึกษาการทำงานวงจร Digital to Analog Converter
6. ออกแบบ/สร้างวงจร Digital Audio Receiver
7. ออกแบบ/สร้างวงจร Current to Voltage Converter และ วงจร Buffer

1.3 ขอบเขตการศึกษา

1. สร้างวงจร Digital to Analog Converter ให้สามารถทำงานได้
2. ทดสอบคุณสมบัติของวงจร Digital to Analog Converter ในด้าน Frequency Response.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ระยะเวลาการดำเนินการ

ตารางที่ 1.1 ระยะเวลาการดำเนินโครงการ

ข้อ	งาน	ม.ค.				ก.พ.				มี.ค.				เม.ย.			
		1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
1	หาข้อมูล DAC Chip																
2	ศึกษาการทำงานของ Raspberry pi																
3	ศึกษา/หาข้อมูลของวงจร DAC																
4	ศึกษา/หาข้อมูลของวงจร I to V Converter และ Buffer																
5	สั่งซื้ออุปกรณ์ ออกแบบ/สร้าง - วงจร Digital to Analog Converter - วงจร I to V Converter																
6	ปรับปรุง แก้ปัญหาแก้ไขชิ้นงาน																
7	ทำรายงานผลโครงการ																

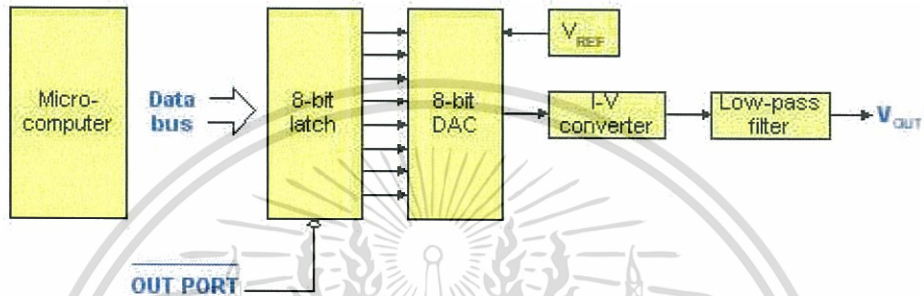
1.5 ผลที่คาดว่าจะได้รับ

1. ได้เรียนรู้หลักการทำงานของวงจร Digital to Analog Converter
2. ได้เรียนรู้การทำงานของ Raspberry Pi และการสร้างวงจร เพื่อให้ส่งข้อมูลเสียงแบบ Digital จาก Raspberry Pi มายัง Chip DAC ได้
3. วงจร Digital to Analog Converter สามารถทำงานได้
4. สามารถที่จะนำ วงจร Digital to Analog Converter นี้ไปใช้กับ Computer เพื่อขยายขีดความสามารถด้านระบบของเสียงให้มีคุณภาพสูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

2.1 คุณสมบัติของ Digital to Analog Converter



รูปที่ 2.1 ระบบการแปลงสัญญาณดิจิทัลเป็นอนาล็อก

จากรูปที่ 2.1 แสดงถึงส่วนประกอบหลักของระบบ DAC โดยทั่วไป ไมโครคอมพิวเตอร์จะมีเอาต์พุตเป็นค่าไบนารี วงจรแลทช์รับค่าไบนารีเข้ามาเพื่อส่งไปยัง DAC ในวงจรจะใช้แหล่งกำเนิดแรงดันหรือ กระแสคงที่เพื่ออ้างอิงในการแปลงข้อมูล ไบนารีเป็นระดับกระแส ต่อมาจะมีวงจรแปลง จากกระแสเป็นระดับแรงดัน (current-to-voltage converter) ซึ่ง ปกติจะใช้โอปแอมป์ท้ายสุด สัญญาณอนาล็อกที่ได้จะผ่าน วงจร low-pass filter

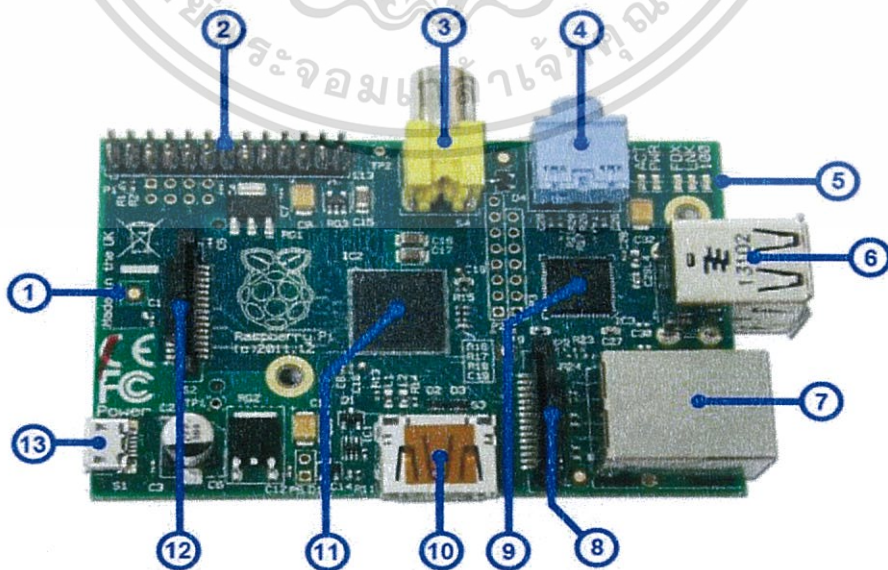
2.2 Raspberry Pi

บอร์ด Raspberry Pi เป็นบอร์ดคอมพิวเตอร์ 32 บิต ขนาดเล็กขนาดเท่ากับบัตรเครดิต รองรับระบบปฏิบัติการ Linux ที่พัฒนาโดย Raspberry Pi Foundation ที่ช่วงแรกหวังว่าจะใช้เป็นสื่อการเรียนการสอน การเขียนโปรแกรมคอมพิวเตอร์สำหรับเด็ก แต่ด้วยเป็นบอร์ดที่ราคาไม่แพงมาก ใช้งานง่ายเมื่อเทียบกับบอร์ดอื่นๆ เหมาะสำหรับผู้เริ่มต้น ทำให้เป็นที่นิยมแพร่หลาย สู้บุคคลทั่วไปอย่างรวดเร็ว

2.3 คุณสมบัติทางเทคนิคของบอร์ด Raspberry Pi

- ใช้ชิพ SoC Broadcom BCM2835 ซึ่งรวม CPU, GPU และ SDRAM ไว้ในตัวถึงเดียวกัน
- หน่วยประมวลผลกลาง (CPU) 700 MHz ARM11 ARM1176JZF-S core
- หน่วยประมวลผลภาพ (GPU) Broadcom VideoCore IV, OpenGL ES 2.0, OpenVG 1080p30 H.264 high-profile encode/decode
- หน่วยความจำ SDRAM 512 MB
- ขั้วต่อ USB 2.0 จำนวน 2 พอร์ต
- ขั้วต่อสัญญาณภาพทั้งแบบแจ๊ค RCA และ HDMI (เลือกใช้อย่างใดอย่างหนึ่ง)
- ขั้วต่อสัญญาณเสียงโดยใช้แจ๊ค 3.5 mm หรือ ผ่านทางขั้ว HDMI
- คอนเน็คเตอร์สำหรับเชื่อมต่ออินพุตเอาต์พุต (GPIO), SPI, I²C, I²S และ UART (GPIO ต่างๆ ไม่สามารถรับแรงดัน อินพุต 5 VDC ได้ สูงสุดแค่ 3.3 VDC เท่านั้น)
- ระบบปฏิบัติการของบอร์ดจะทำงานผ่าน SD CARD
- ขั้วต่อ LAN 10/100 Mbps
- ใช้ไฟเลี้ยงบอร์ด 5VDC กระแสอย่างน้อย 700 mA • ขนาดของบอร์ด 85.0 x 56.0 mm

2.4 ส่วนประกอบของบอร์ด Raspberry Pi



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ที่รูปที่ 2.2 Raspberry Pi Model B ญาติให้หน้าไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

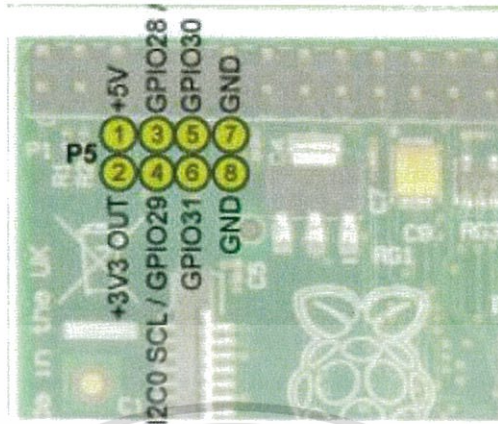
1. คอนเน็คเตอร์ SD CARD ซึ่งจะติดตั้งอยู่ที่บอร์ด
2. คอนเน็คเตอร์สำหรับเชื่อมต่ออินพุตเอาต์พุต (GPIO) ,SPI , I²C , I²S และ UART โดยตำแหน่งขาต่างๆ แสดงดังรูป



รูปที่ 2.3 Connector

3. คอนเน็คเตอร์ต่อสัญญาณภาพแบบ RCA สำหรับเชื่อมต่อกับจอภาพที่มีขั้วแบบ RCA เช่น โทรทัศน์
4. คอนเน็คเตอร์ต่อสัญญาณเสียงโดยใช้แจ๊ค 3.5 mm
5. LED แสดงสถานะต่างๆ ของบอร์ด Raspberry Pi
6. คอนเน็คเตอร์ USB 2.0 จำนวน 2 พอร์ต
7. คอนเน็คเตอร์ LAN 10/100 Mbps สำหรับเชื่อมต่อกับระบบเครือข่าย
8. คอนเน็คเตอร์ CSI สำหรับเชื่อมต่อกับโมดูลกล้อง
9. LAN Controller
10. คอนเน็คเตอร์ HDMI สำหรับเชื่อมต่อสัญญาณภาพและเสียง เพื่อเชื่อมต่อกับจอภาพที่มีขั้วแบบ HDMI เช่น โทรทัศน์ หรือ จอมอนิเตอร์
11. ชิพ SoC Broadcom BCM2835 ซึ่งรวม CPU, GPU และ SDRAM ไว้ในตัวถังเดียวกัน
12. คอนเน็คเตอร์ DSI สำหรับเชื่อมต่อกับจอภาพ
13. คอนเน็คเตอร์ Micro USB สำหรับจ่ายไฟเลี้ยงให้บอร์ด

Connector P5



รูปที่ 2.4 Connector P5

Pin1: Power 5 V.

Pin2: Power 3 V.

Pin3: PCM_CLK = BCK

Pin4: PCM_FS = LRCK

Pin5: PCM_DIN

Pin6: PCM_DOUT = DATA

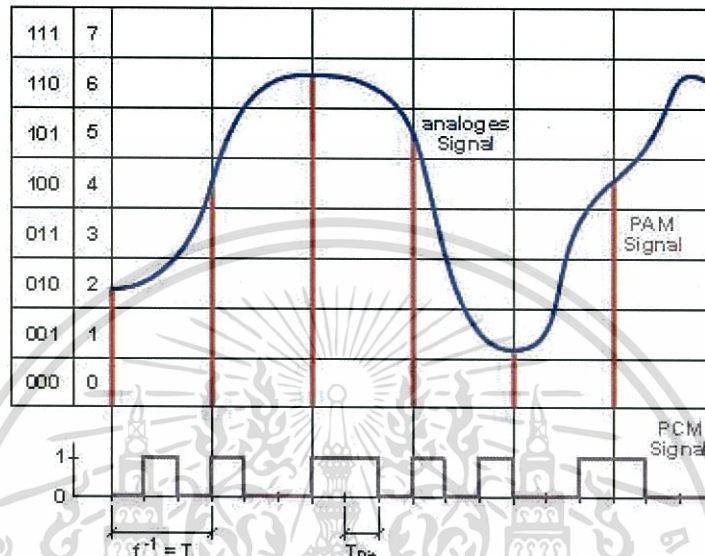
Pin7: GND

Pin8: GND

*Pin3-5 ใช้ในการสื่อสารรูปแบบ I2S

2.5 PCM

PCM ถูกคิดค้นขึ้นในปี 1937 โดย Alec Reeves นักวิทยาศาสตร์ชาวอังกฤษ แต่กว่าเทคโนโลยีจะถูกนำไปใช้งานจริง ก็ปาเข้าไป 28 ปีให้หลัง เมื่อ PCM ถูกนำไปใช้เข้าสู่สัญญาณภาพของยานอวกาศ Mariner IV จากดาวอังคารมายังโลก และที่ใช้เวลาอีกหลายปีจึงจะสามารถดึงเอาความสามารถของเทคโนโลยีออกมาได้อย่างเต็มที่



รูปที่ 2.5 สัญญาณ PCM

สำหรับการแปลงสัญญาณอนาล็อกเป็นดิจิทัลแบบ PCM จะประกอบไปด้วย 3 ขั้นตอน คือ การสุ่มตัวอย่าง (Sampling) การแบ่งนัย (Quantization) และการเข้ารหัส (Coding)

- Hz บอกถึง sample rate ของอุปกรณ์ มีความสัมพันธ์กับการตอบสนองความถี่ของอุปกรณ์ตัวนั้น
- Bit บอกถึงความละเอียดบิตในการ quantization ของอุปกรณ์ มีความสัมพันธ์กับ SNR และ Dynamic range ของอุปกรณ์ตัวนั้น

2.6 วิธีการทำงานของ PCM

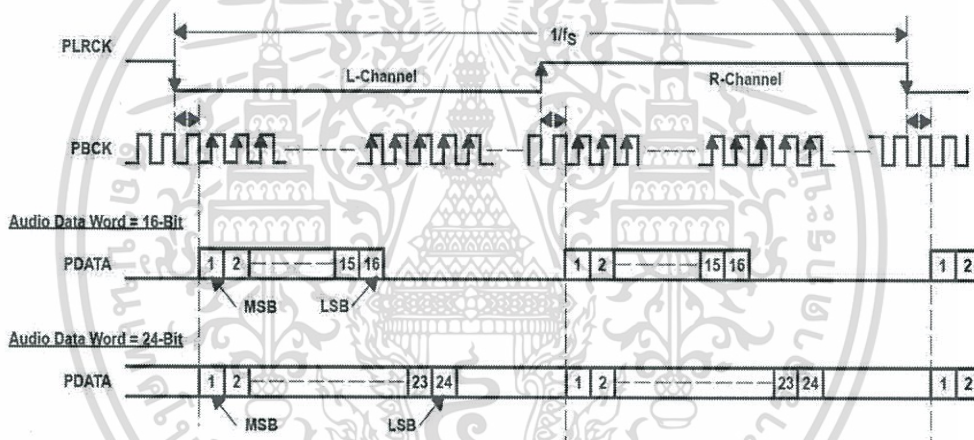
PCM ทำงาน โดยการนำตัวอย่างที่แยกกันในช่วงเวลาที่คู่ (เรียกว่าอัตราการสุ่มตัวอย่าง) ช่วงทั่วไปคือ กิโลเฮิร์ตซ์ 11, 22 กิโลเฮิร์ตซ์ และ 44 กิโลเฮิร์ตซ์ สุ่มตัวอย่างสูงอันดับ ดียิ่งที่การแสดงของคลื่นแบบอนาล็อกแบบดั้งเดิมและคุณภาพเสียงที่ดีขึ้น แต่ละอย่างเป็นจำนวนจริง ด้วยความละเอียดไม่จำกัดจาก +1.0 ของค่า full-scale -1.0 ของค่าแบบเต็มมาตราส่วน เนื่องจากสิ่งเหล่านี้ต้องถูกจัดเก็บเป็นตัวเลขดิจิทัลมีจำกัดความแม่นยำ ข้อมูลจะถูกปิดเศษเป็น PCM 16 บิตหรือ 8 บิต PCM ตัวอย่าง 8 และ 16 บิตที่เรียกกันโดยทั่วไป ข้อมูล 16 บิตมีความละเอียดเพิ่มเติม waveform แบบดิจิทัลเสียงที่ดีกว่า PCM 8 บิตมีความละเอียดน้อยกว่า ก่อให้เกิด hiss แบบมีเสียงในรูปแบบ นอกจากนี้ยังต้องใช้พื้นที่ดิสก์น้อยลง

2.7 การเชื่อมต่ออุปกรณ์แบบ I²C (I²C)

I2C ย่อมาจาก Inter-IC Sound, Integrated Interchip Sound, หรือ IIS เป็นการสื่อสารแบบอนุกรมที่ใช้สำหรับการเชื่อมต่ออุปกรณ์เสียงแบบดิจิทัลเข้าด้วยกัน ถูกใช้ในการสื่อสารข้อมูลเสียงแบบ PCM ระหว่าง IC ในอุปกรณ์อิเล็กทรอนิกส์ ซึ่ง I2S แยกสัญญาณClockและสัญญาณข้อมูลออกจากกัน ส่งผลให้มี Jitter ต่ำกว่าระบบการสื่อสารแบบอื่นๆ โดยทั่วไปจะส่งสัญญาณClockและสัญญาณข้อมูลไปในบัสเส้นเดียวกัน ซึ่งพบได้ใน I2C เป็นต้น

I2S ประกอบด้วยสัญญาณ 3 เส้น

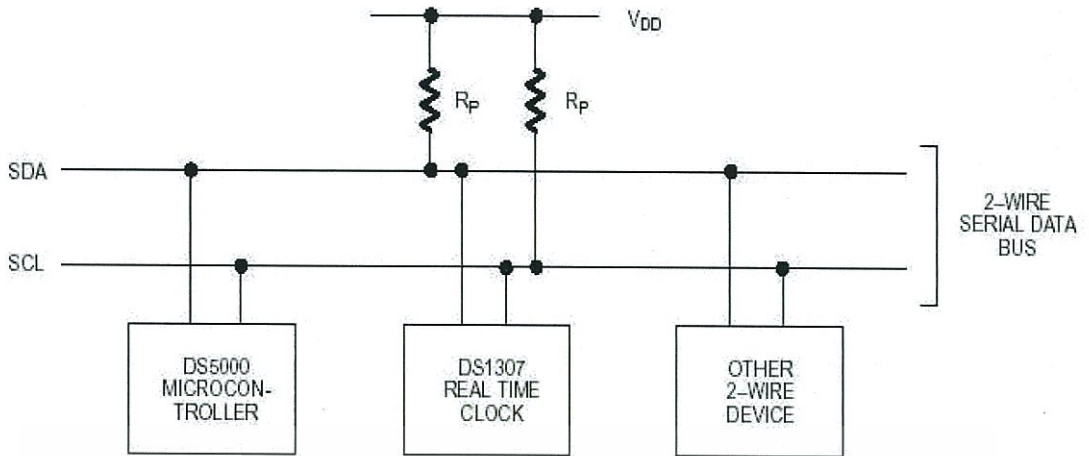
1. Bit Clock line (BCK)
2. Word Clock Line หรือ Word Select หรือ Left Right Clock (LRCK)
3. สายสัญญาณข้อมูล (DATA)



รูปที่ 2.6 I2S Data Input Formats

2.7.1 การเชื่อมต่ออุปกรณ์แบบ I²C BUS

I²C BUS ใช้สายสัญญาณ 2 เส้น คือ SCL และ SDA สำหรับติดกับอุปกรณ์แบบ 2 ทิศทาง โดยที่ขาสัญญาณทั้ง 2 จะต้องต่อกับตัวต้านทานแบบ pull up 2-10K เนื่องจากเอาต์พุตมีลักษณะเป็นแบบ Open Drain หรือเป็นแบบ Open Collector เพื่อให้เอาต์พุตเชื่อมต่อกันได้หลายตัว



รูปที่ 2.7 ลักษณะการการเชื่อมต่ออุปกรณ์แบบ I^2C BUS

2.7.2. การเขียน-อ่านข้อมูลกับอุปกรณ์แบบ I^2C BUS



รูปที่ 2.8 รูปแบบการเขียน/อ่านข้อมูลแบบ I^2C BUS

การรับ-ส่งข้อมูลแบบ I^2C BUS MCU จะเริ่มต้นการส่งข้อมูลด้วยการ

- ส่งสถานะเริ่มต้น (START Conditions) เพื่อแสดงการขอใช้บัส
- แล้วตามด้วย รหัสควบคุม (Control Byte) ซึ่งประกอบด้วย รหัส ประจำตัวอุปกรณ์ Device ID, Device Address และ Mode ในการเขียนหรืออ่านข้อมูล

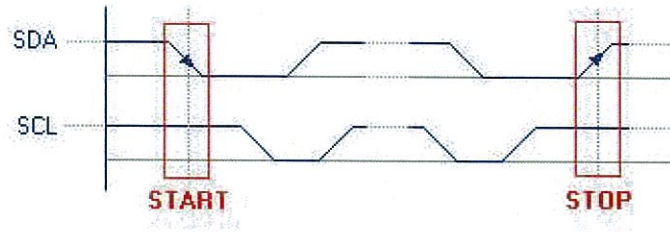
เมื่ออุปกรณ์ รับผิดชอบต่อ MCU ต้องการ จะติดต่อด้วยก็ต้องส่งสถานะรับรู้ (Acknowledge)

หรือแจ้งให้ MCU รับรู้ว่าข้อมูลที่ได้ส่งมามีความถูกต้อง

- และเมื่อสิ้นสุดการส่งข้อมูล MCU จะต้องส่ง สถานะสิ้นสุด (STOP Conditions) เพื่อบอกกับอุปกรณ์ว่า สิ้นสุดการใช้บัส

สถานะบัสว่าง คือเมื่อบัสไม่ได้ถูกใช้งาน ทั้ง SCL และ SDA จะเป็น 1 ทั้งคู่

การกำหนดสถานะเริ่มต้นและสถานะสิ้นสุดของ I^2C BUS (START and STOP Conditions)



รูปที่ 2.9 BUS START and STOP Conditions

ลักษณะการกำหนดสถานะเริ่มต้นและสถานะสิ้นสุดของ I^2C BUS

- เมื่อต้องการส่งข้อมูล MCU จะต้องส่งสถานะเริ่มต้น (START Conditions) คือให้ SDA เปลี่ยนจาก 1 มาเป็น 0 ในขณะที่ SCL มีค่าเป็น 1
- เมื่อสิ้นสุดการการใช้บัส MCU จะต้องส่งสถานะสิ้นสุด (STOP Conditions) คือให้ SDA เปลี่ยนจาก 0 มาเป็น 1 ในขณะที่ SCL มีค่าเป็น 1

2.7.3. รหัสควบคุมของ I^2C BUS (Control Byte)



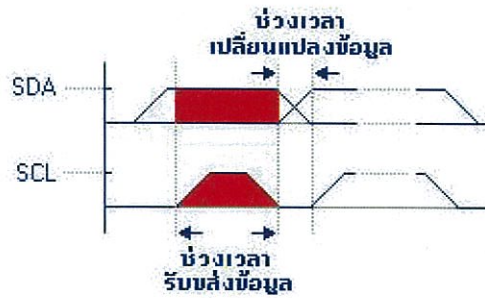
รูปที่ 2.10 I^2C BUS (Control Byte)

รหัสควบคุมของ I^2C BUS ประกอบด้วยรหัสประจำตัวของอุปกรณ์ (Device ID) ประกอบด้วย บิต 1-7 และบิต 0 เป็นบิตควบคุมการเขียนอ่าน

- รหัสประจำตัวของอุปกรณ์ ประกอบด้วยรหัสประจำตัวจากผู้ผลิต Product ID 4 บิต (บิต 4-7) ที่เปลี่ยนแปลงแก้ไขไม่ได้ และ Device Address 3 บิต (บิต 1-3) ซึ่งผู้ใช้ สามารถ กำหนดเองได้ รวมแล้วเป็นรหัส 7 บิต ใช้ระบุตัวอุปกรณ์ ที่ต่ออยู่บนบัส จะมีค่าซ้ำกันไม่ได้

- บิตควบคุมการเขียนอ่าน (Mode) บิต 0 เมื่อ MCU ต้องการเขียนข้อมูลไปยังอุปกรณ์ก็ กำหนดให้บิตนี้เป็น 0 และเมื่อต้องการ อ่านข้อมูล จากอุปกรณ์ ก็กำหนดให้บิตนี้เป็น 1

ช่วงเวลารับส่งบิตข้อมูลของ I2C BUS



รูปที่ 2.11 การรับส่งบิตข้อมูลของ I²C BUS

- สถานะการรับ-ส่งข้อมูล จะกระทำในขณะที่ขา SCL เป็น 1
- สถานะการเปลี่ยนแปลงข้อมูล จะกระทำในขณะที่ขา SCL เป็น 0

2.8 XMOS

XMOS เป็นบริษัทเซมิคอนดักเตอร์แบบที่ไม่มีโรงงานเป็นของตัวเองโดยพัฒนาไมโครคอนโทรลเลอร์อัจฉริยะแบบมัลติคอร์ไมโครคอนโทรลเลอร์ที่ดำเนินหลายงานแบบ real-time, DSP และการควบคุมการไหลของกระแสแบบควบคู่กันไป

ในระบบเสียงดิจิทัล XMOS multicore microcontrollers ถูกใช้อย่างกว้างขวางโดยบริษัท ข้ามชาติเช่น Audio Partnership, Cambridge Audio, Meridian Audio, Native Instruments, Oppo Digital, Sennheiser and Sony USB ที่จะใช้อินเตอร์เฟส Audio 2.0 ในผลิตภัณฑ์

2.9 เทคโนโลยี DLNA

DLNA มาจากคำว่า Digital Living Network Alliance ซึ่งถ้าจะให้แปลเป็นไทยแบบเข้าใจง่ายก็คือ "พันธมิตรเครือข่ายระบบดิจิทัลภายในที่พักอาศัย" โดยจะใช้งานได้นั้นอุปกรณ์จะต้องมีเครื่องหมาย DLNA ติดอยู่เพื่อระบุว่าสามารถใช้งานเทคโนโลยีนี้ได้

เทคโนโลยี DLNA นี้ เกิดขึ้นเมื่อปี 2003 ก่อตั้งโดยค่าย SONY นี้เอง ปัจจุบันนี้มีสมาชิก 245 รายรวมทั้งแบรนด์ดังหลายแบรนด์ เช่น ACCESS, AT&T Labs, Avox, Broadcom, Cisco Systems, Comcast, DIRECTV, Dolby Laboratories, Ericsson, Hewlett-Packard, Huawei, Intel, LG Electronics, Microsoft, Motorola, Nokia, Panasonic, Promise Technology, Qualcomm, Samsung Electronics, Sharp Corporation, Sony Electronics, Technicolor, and Verizon. และอีกหลายราย ซึ่งที่วิสัยใหม่และอุปกรณ์อื่นๆเช่น คอมพิวเตอร์ โทรศัพท์มือถือ กล้องดิจิทัล กล้องวิดีโอ ในสเปคกลางถึงสูง ก็จะมีเทคโนโลยีนี้ติดตัวมาด้วยทั้งนั้น ซึ่งก็รวมถึง Samsung ที่ใช้ชื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่า Allshare และ LG ก็ใช้อีกชื่อคือ Smart Share ซึ่งเป็นเทคโนโลยีเดียวกันกับมาตรฐานกลางคือ DLNA แม้จะคนละแบรนด์ แต่ก็ยังสามารถส่งถึงกันได้

ประโยชน์ของ DLNA นี้คือสามารถส่งภาพ ส่งวิดีโอขึ้นทีวีสำหรับการนำเสนอได้ง่ายๆผ่านทาง Wi-Fi ได้เลย ไม่ต้องต่อสายพวก VGA ติดกับคอม หรือสาย Analog เชื่อมกับตัวเครื่องเล่นให้วุ่นวาย และทำให้รกรุงรัง แน่แน่นอนว่าทำให้การสร้าง home network ทำได้ง่ายดาย หลายนคนก็นำมาทำเป็น media center โดยใช้คอมพิวเตอร์ส่งภาพ วิดีโอ หรือดูหนังได้บนจอทีวีใหญ่ๆ ผ่านทาง DLNA นี้ แต่ถ้าเราจะได้ใช้เทคโนโลยี DLNA smart TV และ มือถือ หรืออุปกรณ์ที่ต้องการจะส่งภาพ ส่งวิดีโอขึ้นทีวี แบบไร้สายนี้ จะต้องรองรับเทคโนโลยี DLNA ด้วยกัน โดยวิธีสังเกตอย่างง่ายๆ คือดูที่กล่องหรือตัวเครื่องว่ามีสัญลักษณ์ DLNA หรือไม่ และ ทั้ง smart TV และมือถือ หรือ Tablet หรือ คอมพิวเตอร์นั้นๆ จะต้องเชื่อมต่ออยู่ในวง Wi-Fi เดียวกันกับทีวีด้วย

อุปกรณ์ที่รองรับ DLNA มีสองโหมด คือ โหมดสำหรับเป็น Server ให้ อุปกรณ์ชิ้นอื่นๆ เล่นไฟล์จากตัวเรา กับอีกโหมดคือเอาอุปกรณ์ที่ถืออยู่เล่นไฟล์จากเครื่องอื่นๆ คือเป็นผู้เล่น หรือเป็นผู้แชร์นั่นเอง แฉมอีกอันที่ลึกซึ้งหน่อยคือ สามารถเป็นตัวควบคุมให้อุปกรณ์อีกตัวเล่นไฟล์ที่อยู่บนอุปกรณ์อื่นอีกที

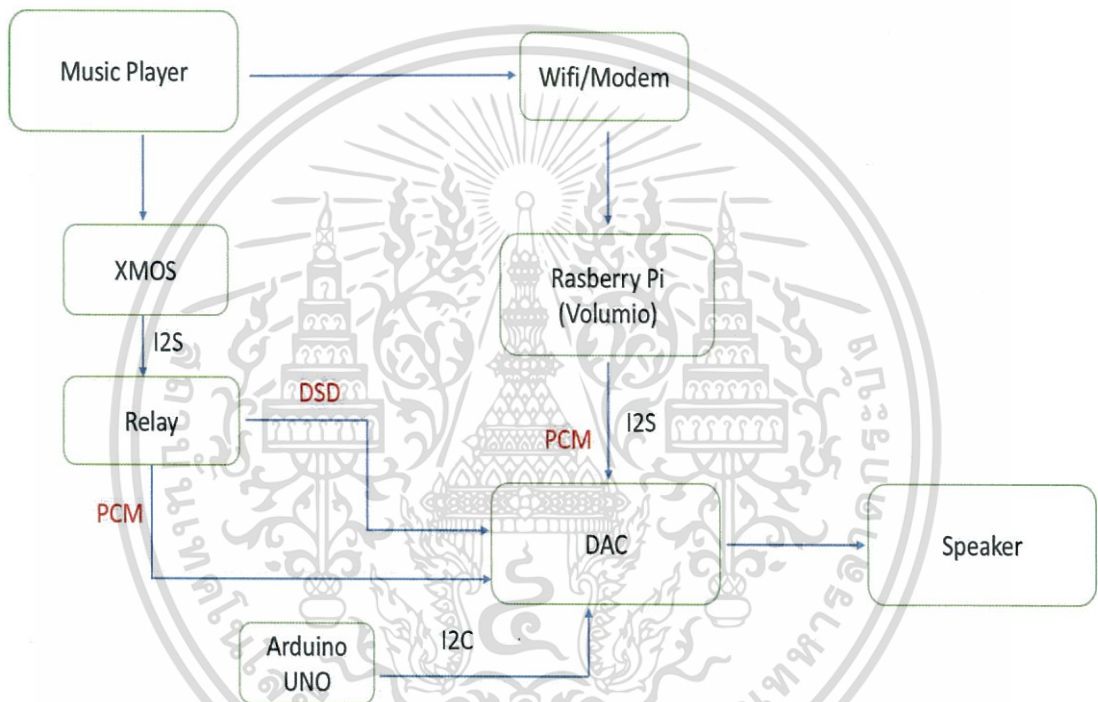
ซึ่งเท่าที่ลองมา พบว่าอุปกรณ์ส่วนใหญ่จะทำตัวเองเป็นได้ทั้งตัวเล่นไฟล์และตัวแชร์ไฟล์ เช่น TV สามารถเลือกไฟล์หนึ่งจาก Network Storage มาเล่นได้ ในขณะที่เดียวกัน TV เองก็สามารถแชร์ไฟล์รายการที่อัดไว้(ถ้ามี) ให้กับ Notebook หรือมือถือเอาไปเล่นต่อได้เช่นกัน

บทที่ 3

การออกแบบวงจรและอุปกรณ์ที่ใช้ในวงจร

ในการออกแบบวงจร Digital To Analog Converter นั้น จะมีการทำงานหลายส่วนประกอบกัน แสดงในรูปที่ 3.1

SIGNAL FLOW



รูปที่ 3.1 Signal Flow การทำงานของวงจร

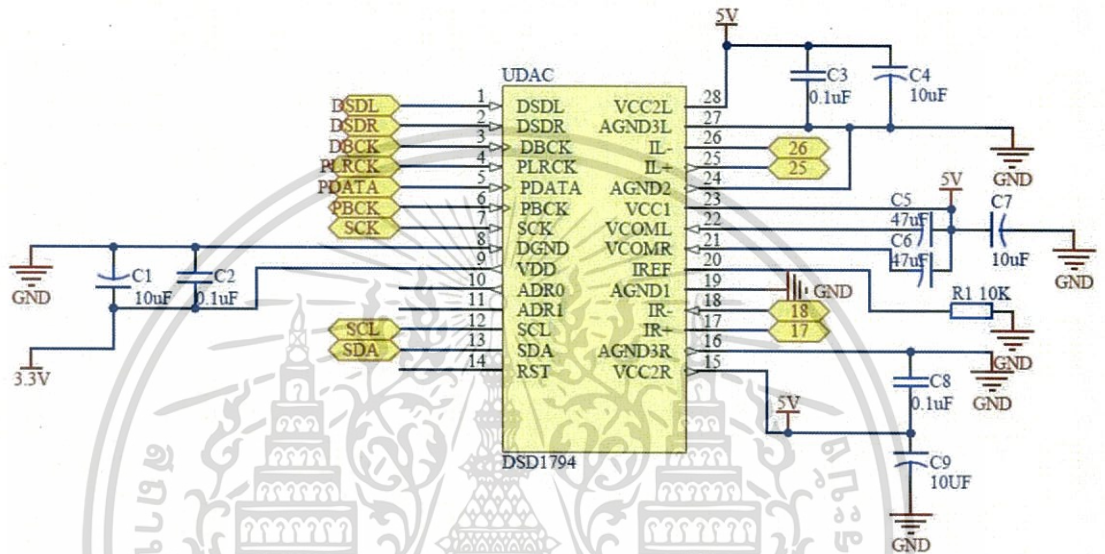
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ Digital to Analog Converter

3.1.1 การรับสัญญาณ Digital จาก Raspberry Pi

ใช้ Chip DSD1794 ของบริษัท Burr-Brown โดย DSD1794 มี Features เบื้องต้นดังนี้

- รองรับ PCM Data Format, I^2S และ Left-Justified
- ต้องการไฟเลี้ยงวงจร 3.3 V และ 5 V หรือจะใช้ไฟเลี้ยงจาก Raspberry Pi

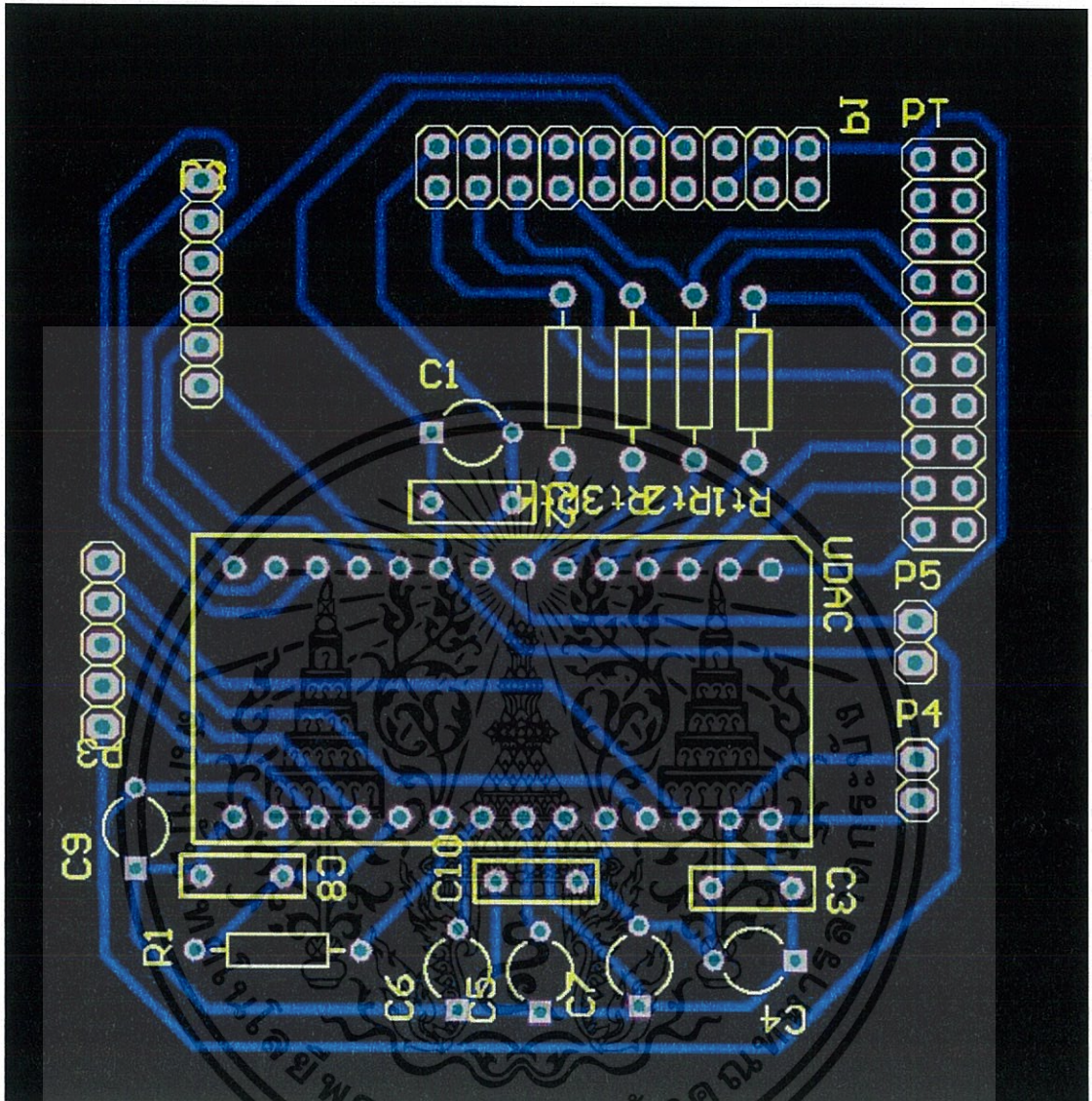


รูปที่ 3.2 วงจรการรับสัญญาณ Digital จาก Raspberry Pi โดยใช้ DSD1794

หลักการทำงาน

- รับสัญญาณ I2S จาก Rasberry Pi เข้าที่ Pin4(LRCK) ,5(DATA) ,6(BCK) ของ DSD1794
- Pin7(SCK) รับสัญญาณClock จาก P1(1707)
- รับสัญญาณ I2C จาก Rasberry Pi เข้าที่ Pin12(SCL) และ Pin13(SDA) เพื่อใช้ในการตั้งค่าการทำงานของ DSD1794

3.1.2 PCB Design



รูปที่ 3.3 รูป PCB วงจร DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ (Active Filter)

วงจรกรองแบบแอตทีฟ

3.2.1 การออกแบบ Active Filter

เป็นแบบอันดับสี่ (Fourth Order) ทำหน้าที่กรองความถี่สูง (Low Pass Filter) โดยใช้ OPA1652 มี Features เบื้องต้นดังนี้

- Low Noise: 4.5 nV/√Hz at 1 kHz
- Low Distortion: 0.00005% at 1 kHz
- Wide Gain Bandwidth: 18 MHz
- Slew Rate: 10 V/μs

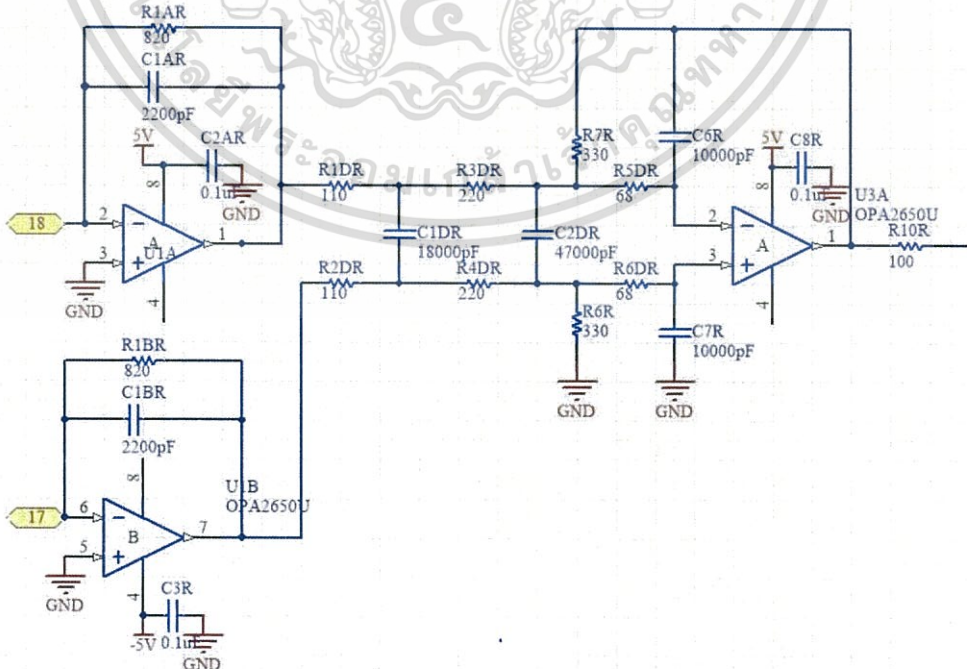
I/V Section

กระแสเอาต์พุตของ DSD1794 ในแต่ละขาเอาต์พุต (IOUTL + IOUTL-, IOUTR + IOUTR-) คือ 7.8 mA_{p-p} ที่ 0 dB (full scale) แรงดันเอาต์พุต ของส่วน I/V Converter (Vi) มีสมการดังนี้

$$V_i = 7.8 \text{ mA}(p - p) \times R_f \quad (3.1)$$

(R_f : feedback resistance ของ I/V Converter)

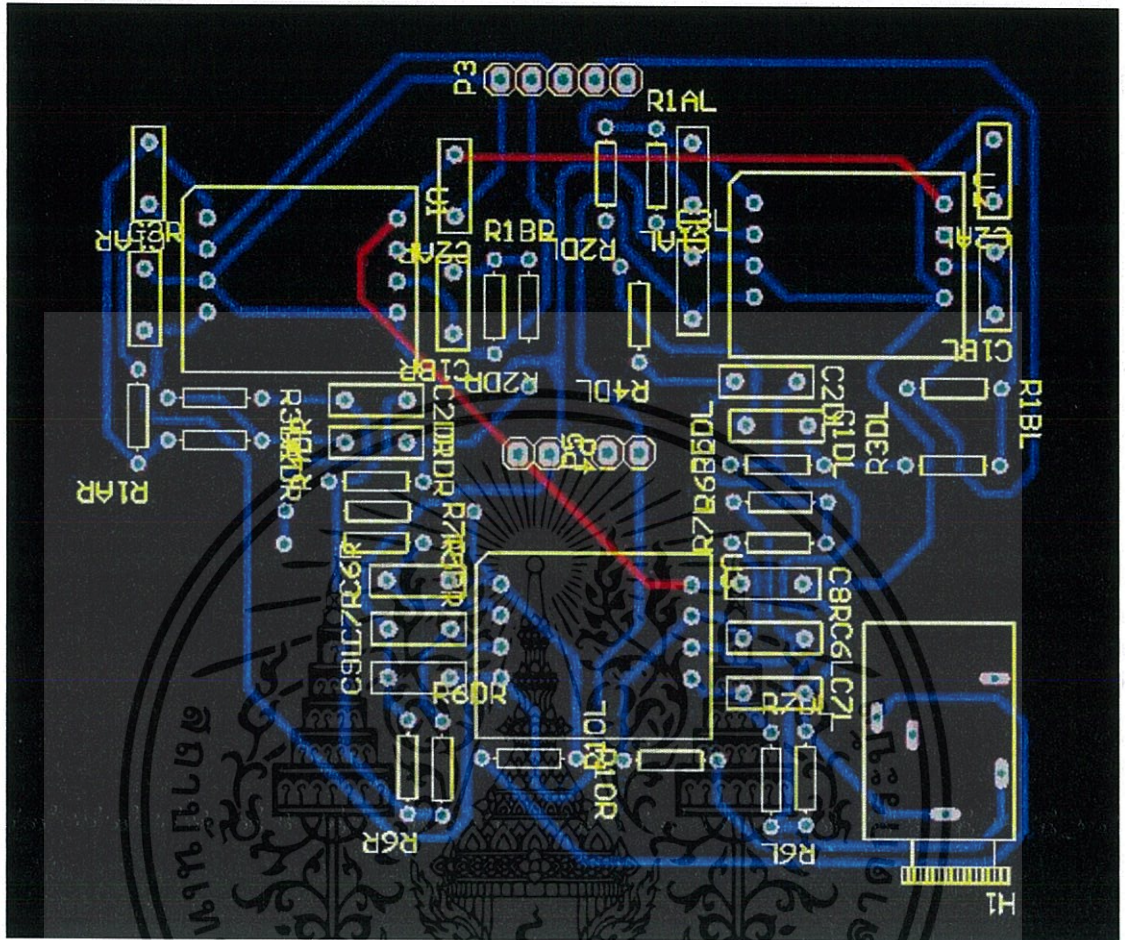
Operational Amplifier เบอร์ OPA1652 เป็นที่แนะนำสำหรับวงจร I/V เพื่อให้ได้ประสิทธิภาพ Dynamic performance ตามที่ระบุไว้ เช่น bandwidth, settling time, and slew rate ซึ่ง OPA1652 ทำให้มีผลที่ดีขึ้นจากส่วนของวงจร I/V



รูปที่ 3.4 วงจร Active Filter แบบอันดับสี่ (Fourth Order)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 PCB Design



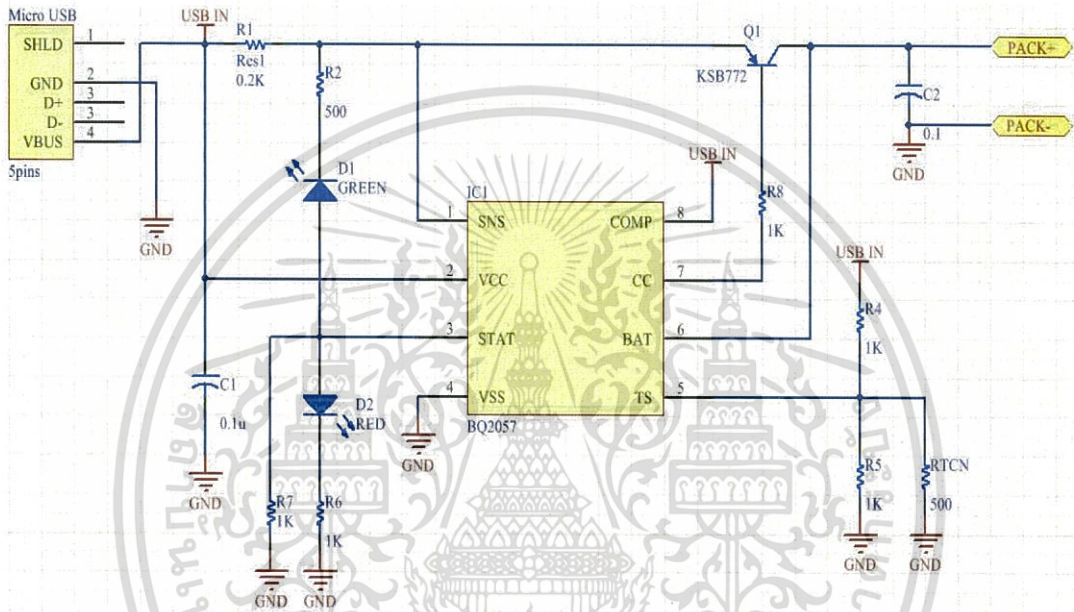
รูปที่ 3.5 รูป PCB วงจร Active Filter

3.3 การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ Power Supply

3.3.1 การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนชาร์จแบตเตอรี่ชนิดลิเทียมโพลิเมอร์

ส่วนของการชาร์จแบตเตอรี่ ออกแบบโดยใช้ Chip BQ2057 ทำหน้าที่ชาร์จแบตเตอรี่ชนิดลิเทียมโพลิเมอร์ ของบริษัท Texas Instruments มี Features เบื้องต้นดังนี้

- ชาร์จแบบเซลล์เดี่ยว Single (4.1 V or 4.2 V) และเซลล์คู่ Dual-Cell (8.2 V or 8.4 V)
- สูญเสียพลังงานต่ำ 0.3 Watt
- มีฟังก์ชันของการรีชาร์จอัตโนมัติ (Automatic Battery-Recharge)

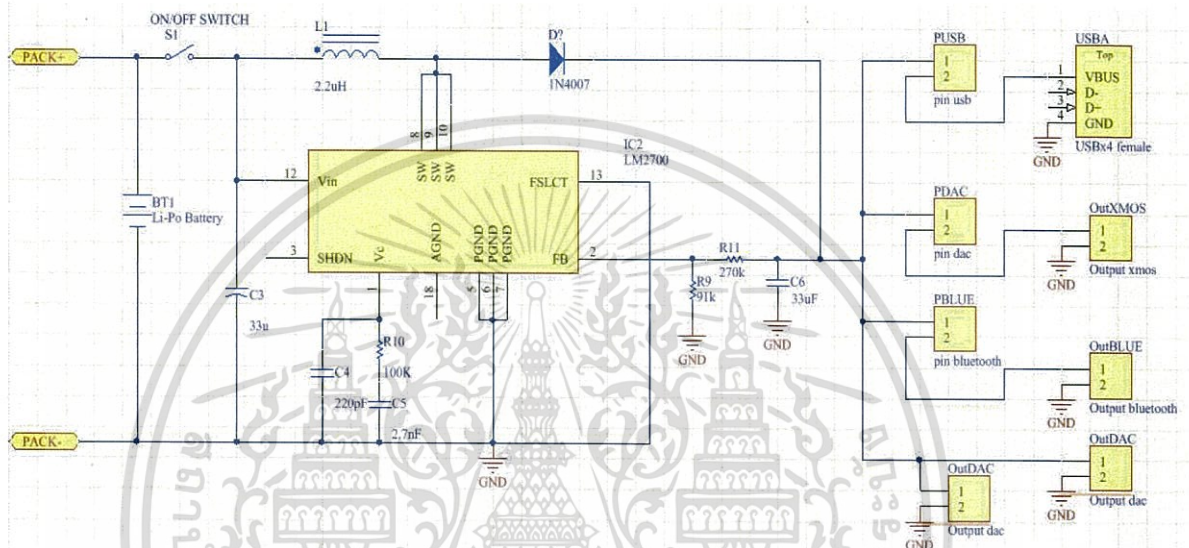


รูปที่ 3.6 รูปวงจรชาร์จแบตเตอรี่ โดยใช้ BQ2057

3.3.2 การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนเพิ่มแรงดัน (Boot Converter Circuit)

ส่วนของการเพิ่มแรงดันจากแบตเตอรี่ลิเธียมโพลีเมอร์ที่มีระดับ 3.7 V ให้เป็นแรงดันขนาด 5 V ออกแบบโดยใช้ LM2700 ของบริษัท Texas Instruments มี Features เบื้องต้นดังนี้

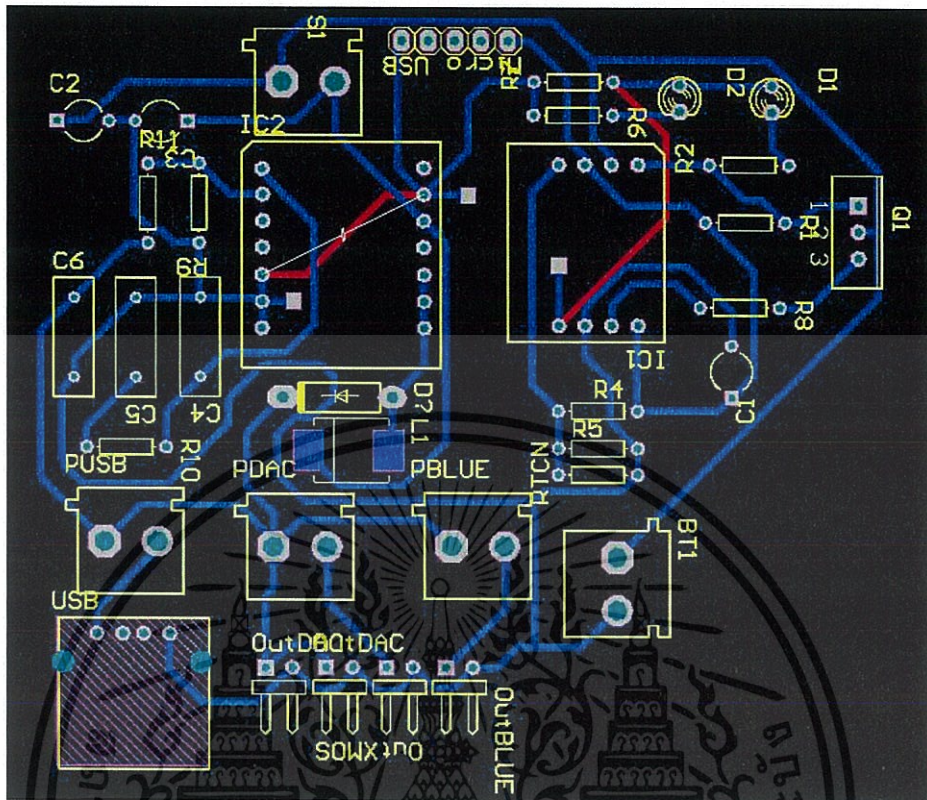
- Input Voltage Range of 2.2V ถึง 12V
- 600kHz/1.25MHz อัตราการสวิตช์ เลือกได้ที่ขา FSLCT
- Output สูงสุด 17.5 V



รูปที่ 3.7 รูปวงจรมอเตอร์คอนเวอร์เตอร์ โดยใช้ LM2700

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 PCB Design



รูปที่ 3.8 รูป PCB วงจร Power Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ Regulator

3.4.1 ส่วนของ Regulator ที่ทำหน้าที่สร้างแรงดันไฟลบ 5 V ให้กับวงจร

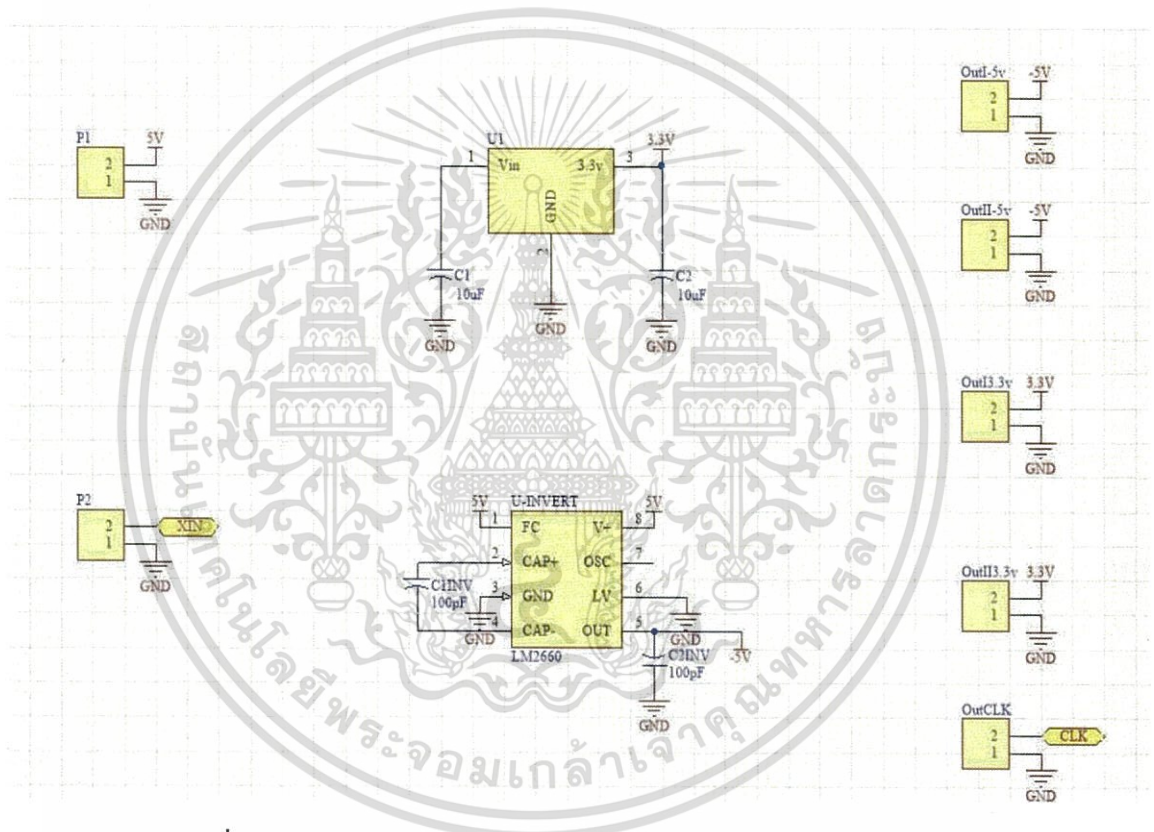
ออกแบบโดยใช้ LM2660 ของบริษัท Texas Instruments มี Features เบื้องต้นดังนี้

- แปลงหรือเพิ่มแรงดันเป็น 2 เท่าของ Input จาก Supply Voltage
- ความต้านทาน Output 6.5 โอห์ม

3.4.2 ส่วนของ Regulator ที่ทำหน้าที่รักษาแรงดันให้ได้ 3.3 V

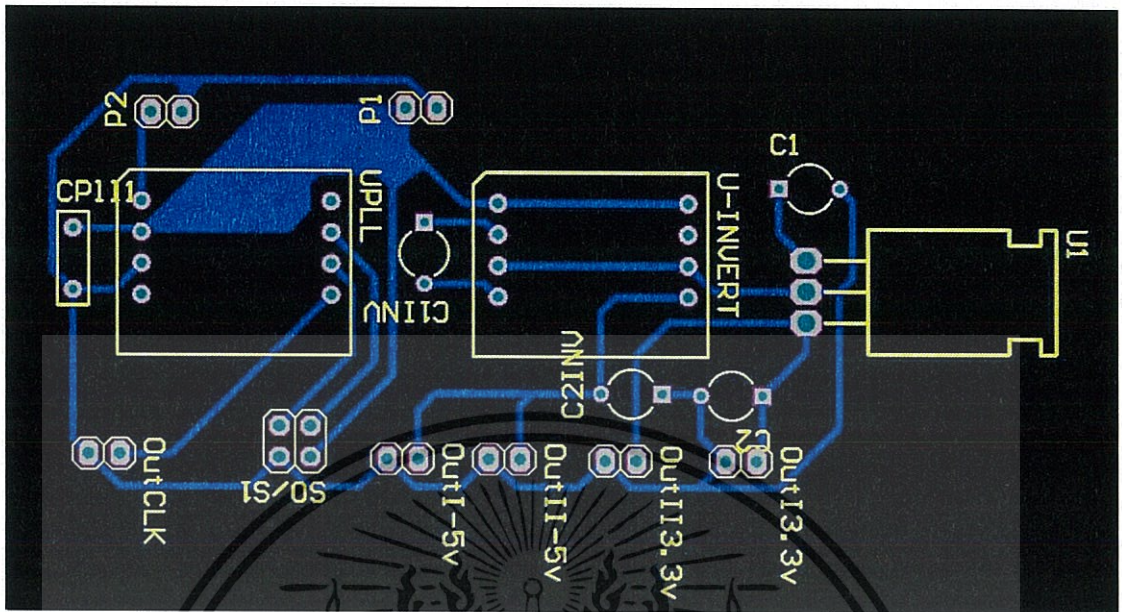
ออกแบบโดยใช้ LM1117ของบริษัท Texas Instruments มี Features เบื้องต้นดังนี้

- รองรับแรงดันไฟ 1.8 V, 2.5 V, 3.3 V, 5 V, และแบบสามารถปรับค่าได้
- กระแส Output 800mA



รูปที่ 3.9 รูปวงจรรูสเตอร์คอนเวอร์เตอร์ โดยใช้ LM2660 และ LM1117

3.4.3 PCB Design



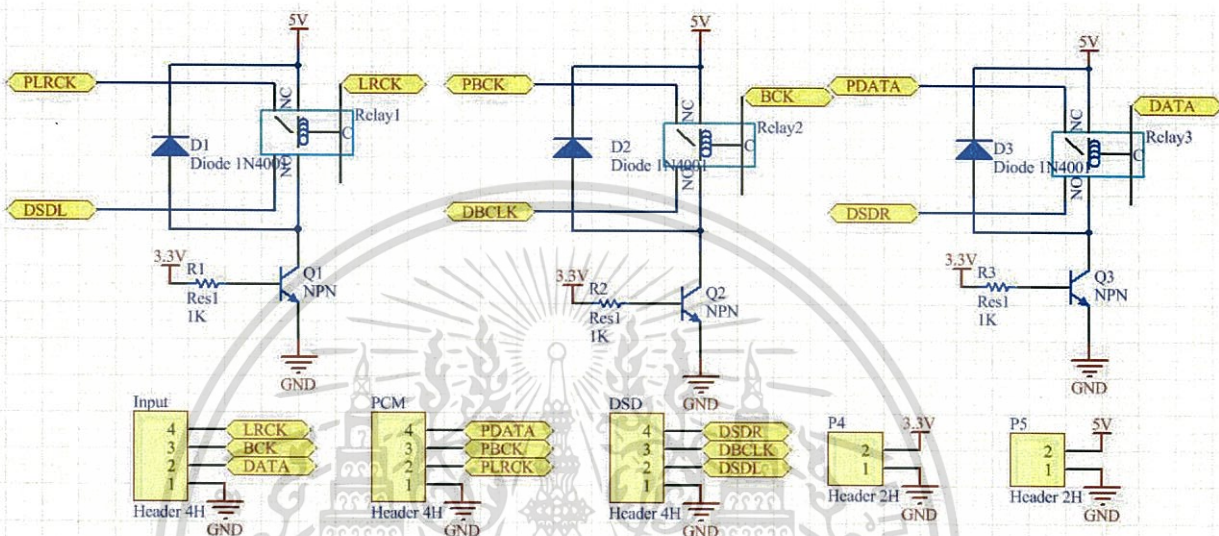
รูปที่ 3.10 รูป PCB วงจรบูสต์คอนเวอร์เตอร์ โดยใช้ LM2660 และ LM1117

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบวงจรและอุปกรณ์ที่ใช้ในส่วนของ Relay

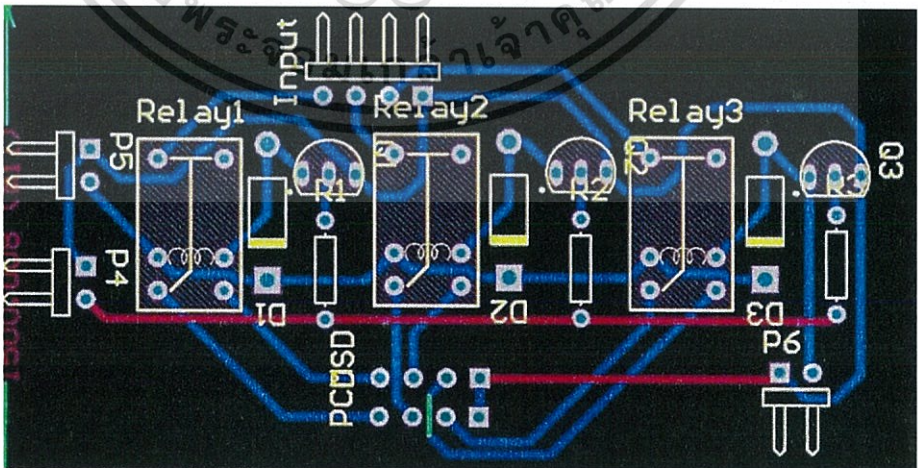
3.5.2 Schematics Design

ส่วนของ Relay ที่ทำหน้าที่ switch ระหว่าง PCM Mode และ DSD Mode โดยอุปกรณ์ที่ใช้เป็น Relay Signal 2 Channel ของบริษัท TAKAMISAWA JAPAN



รูปที่ 3.11 รูปวงจร Relay

3.5.2 PCB Design



รูปที่ 3.12 รูป PCB วงจร Relay

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 Arduino (UNO)

ในส่วนของการ Enable DSD Mode ใช้ Arduino (UNO) ในการสื่อสารเพื่อทำการ configuration ที่ Register 20 เป็นการสื่อสารแบบ I2C ระหว่าง Arduino (UNO) กับ Chip DAC โดยมี code เบื้องต้นดังนี้

```
Wire.beginTransmission(B1001100); -> Address DSD1794A (7-bit)
Wire.write(B00010100); -> ระบุ register 20 write mode (8-bit)
Wire.write(B00100000); -> Enable DSD Mode
write_return_value = Wire.endTransmission(); -> คืนค่ากลับเพื่อตรวจสอบสถานะ
Wire.beginTransmission(B1001100); -> Address DSD1794A (7-bit)
Wire.write(B10010100); -> ระบุ register 20 read mode (8-bit)
Wire.endTransmission(false); เริ่มการทำซ้ำโดยเปลี่ยนให้เป็น write mode
Wire.requestFrom(B1001100,1); -> ระบุ Address DSD1794A อีกครั้ง (7-bit)
register20_value = Wire.endTransmission(); -> คืนค่ากลับเพื่อตรวจสอบสถานะ
```

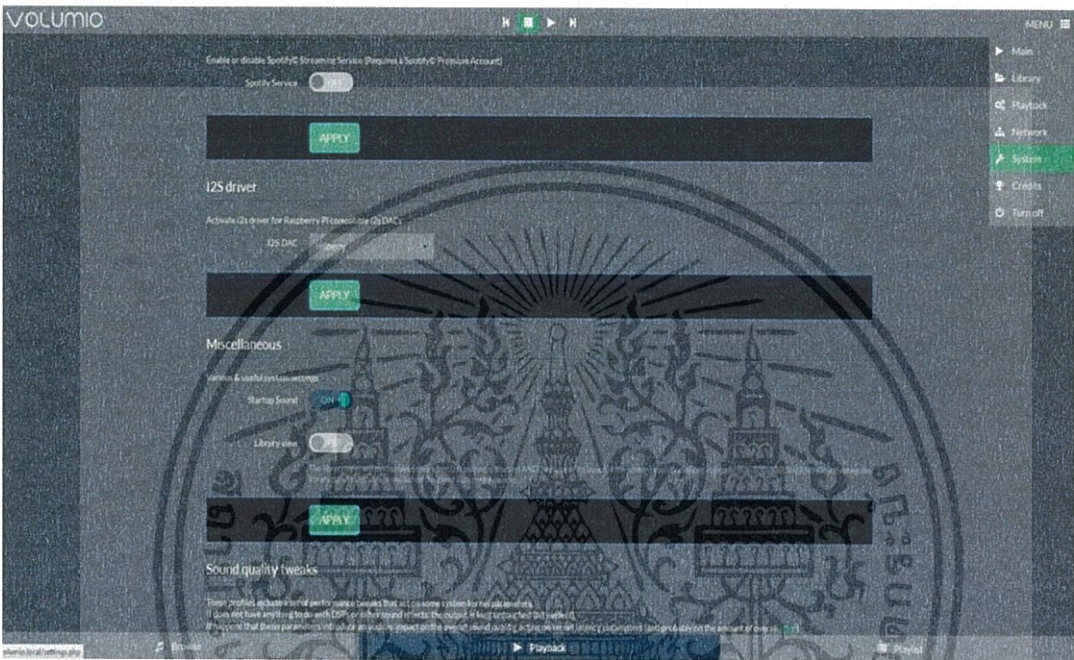
	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 20	R/W	0	0	1	0	1	0	0	RSV	SRST	DSD	DFTH	MONO	CHSL	OS1	OS0

รูปที่ 3.13 รูป Register 20

3.7 Volumio (ระบบปฏิบัติการบน Raspberry Pi)

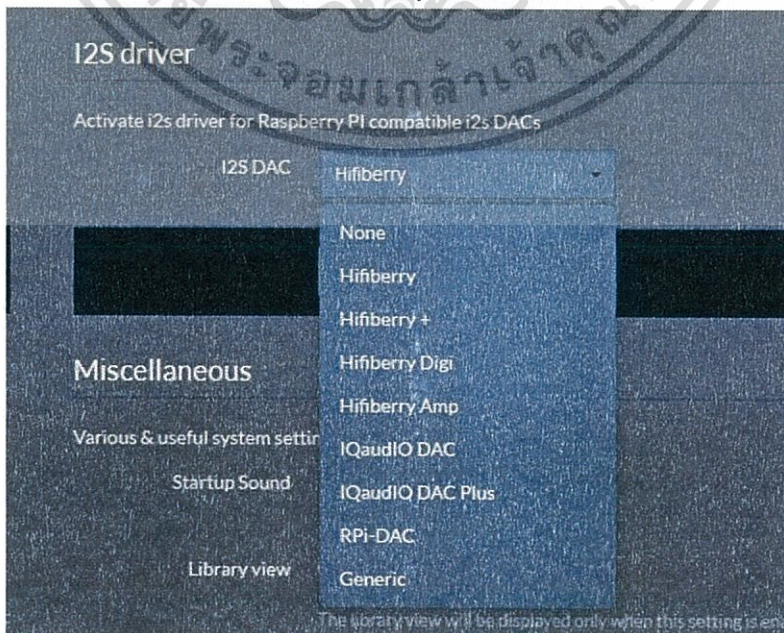
โปรแกรม Volumio เป็นระบบปฏิบัติการของ Raspberry Pi โดยจะต้องมีการตั้งค่าในการส่งรูปแบบสัญญาณ I2S เพื่อเป็นการสื่อสารกันระหว่าง Raspberry Pi และ DAC โดยมีขั้นตอนดังนี้

1.กดคำว่า Menu แล้วเลือก System



รูปที่ 3.14 รูปโปรแกรม Volumio

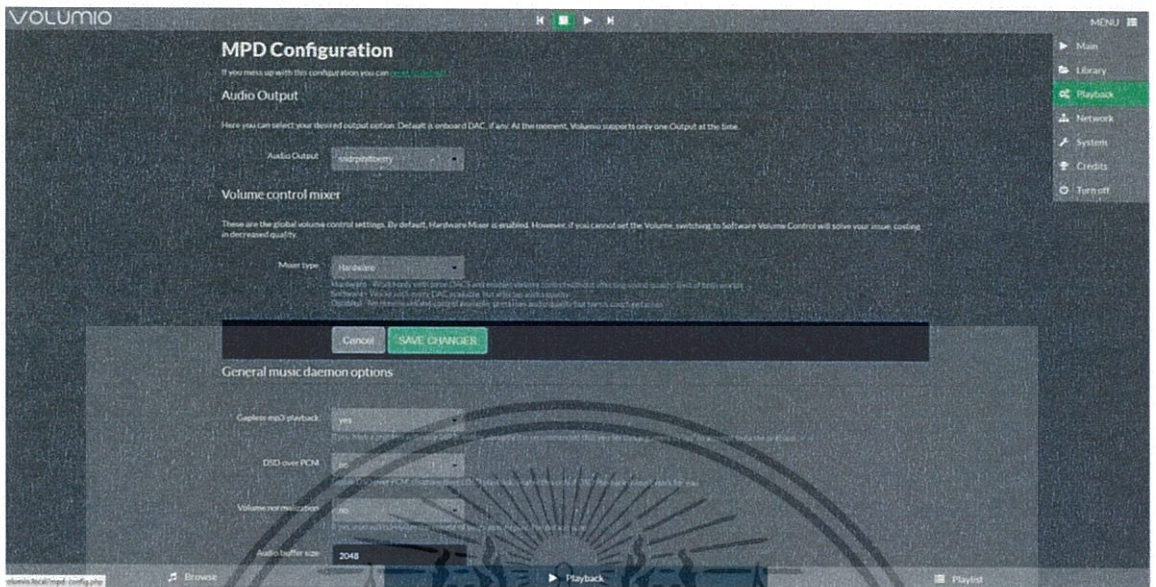
2.ในส่วนของ I2S driver ให้เลือกเป็น Hifiberry ที่ I2S DAC



รูปที่ 3.15 รูปโปรแกรม Volumio

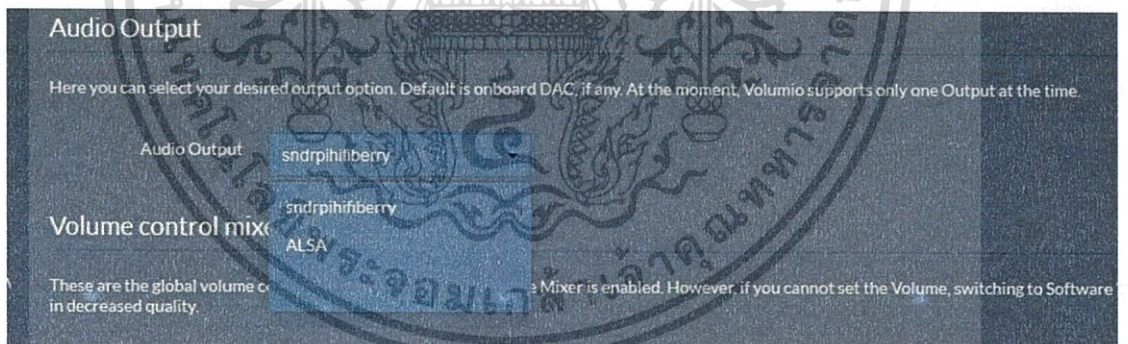
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรณีนุญาต์ให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.เลือกที่ Menu แล้วเลือก Playback แล้วกดคำว่า Playback



รูปที่ 3.16 รูปโปรแกรม Volumio

4.ในส่วนของ Audio Output ให้เลือกเป็น sndrpihifiberry



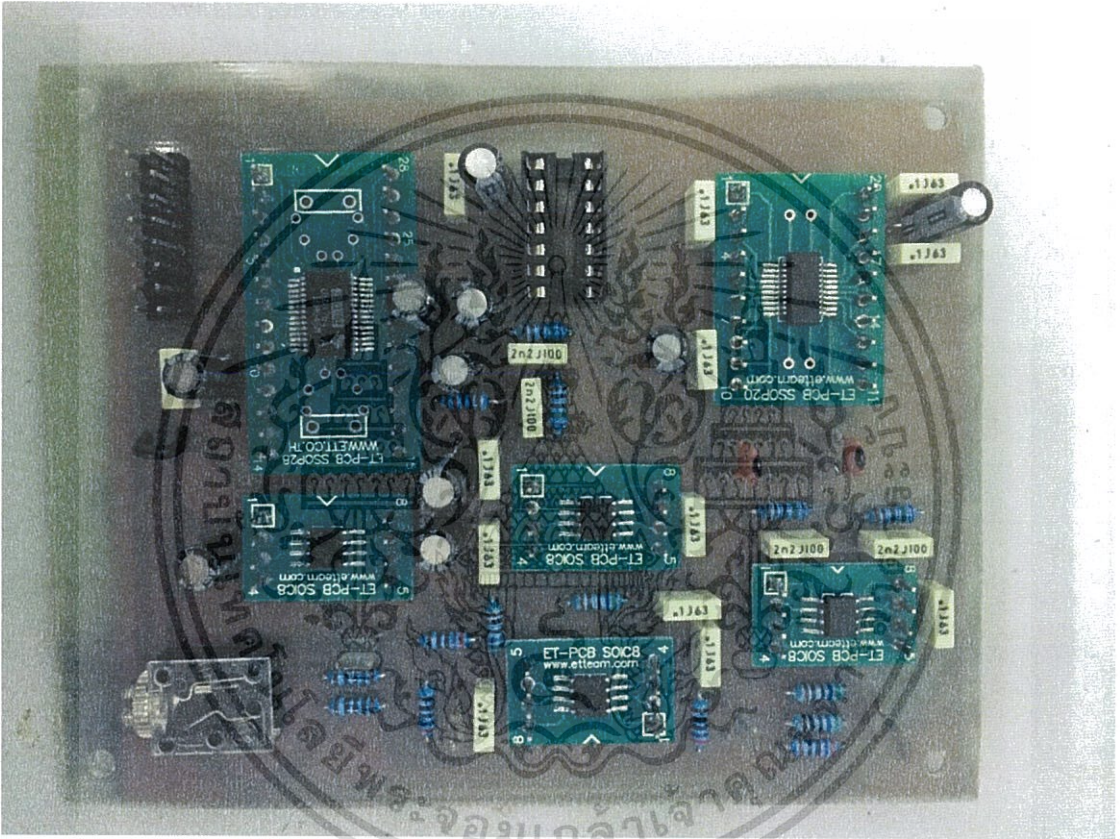
รูปที่ 3.17 รูปโปรแกรม Volumio

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลของการดำเนินงาน

4.1 การสร้างและทดสอบวงจร Digital to Analog Converter

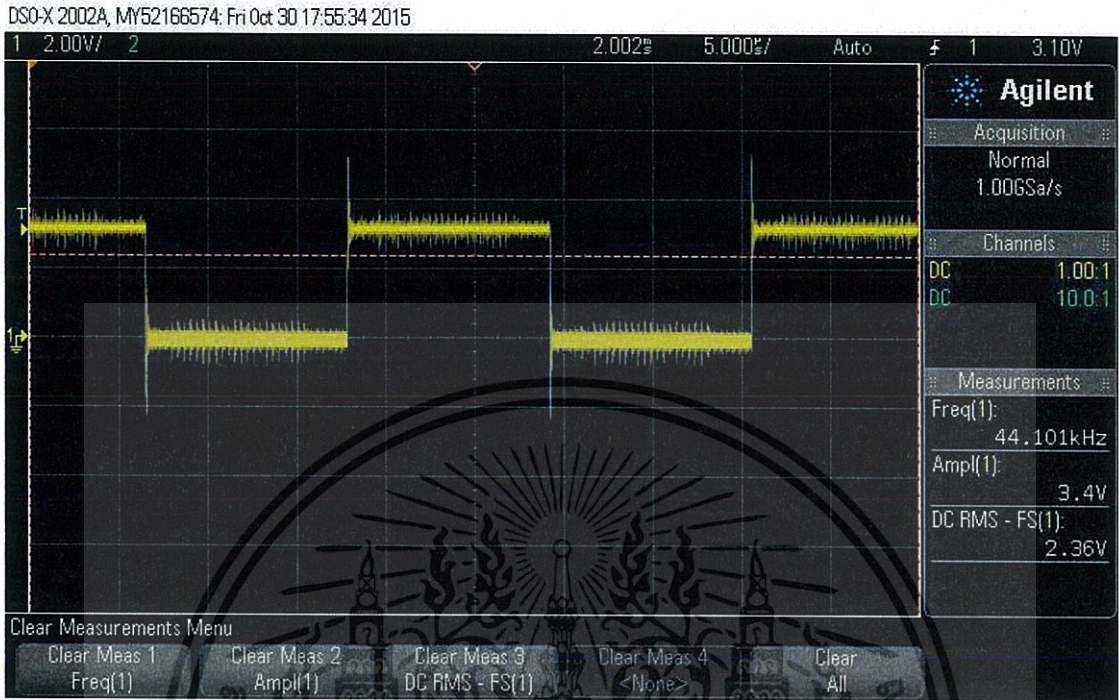


รูปที่ 4.1 การลงอุปกรณ์ต่างๆ

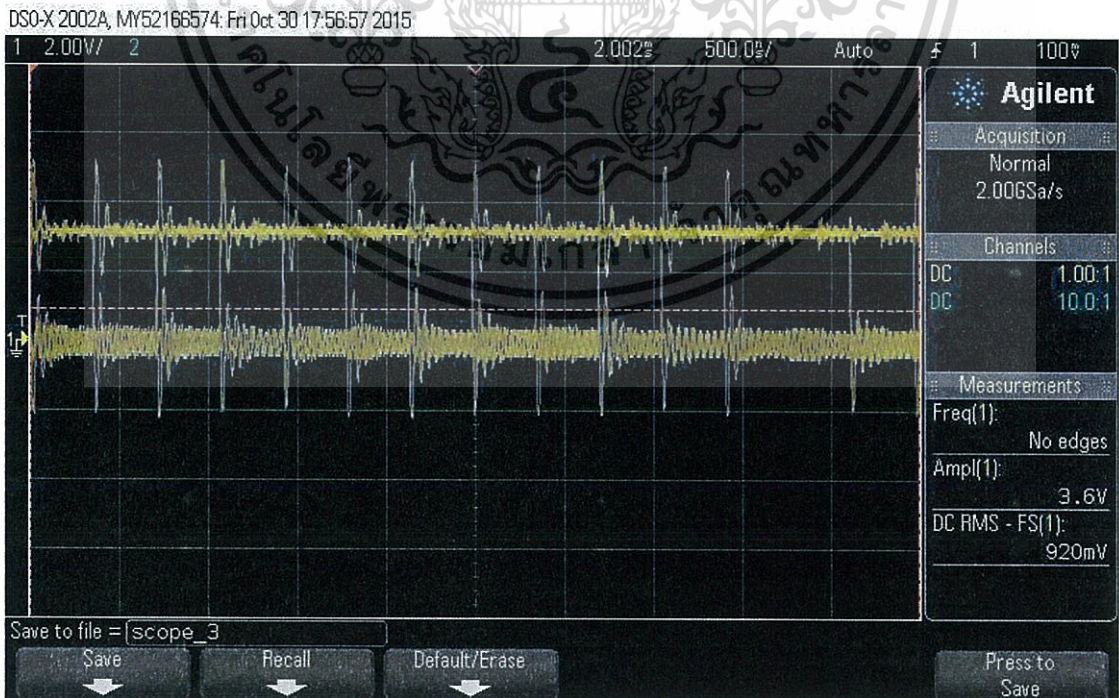
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การดูรูปสัญญาณ

ไฟล์เสียงที่ให้ทดสอบ 24 Bit , 44.1kHz , File .mp3



รูปที่ 4.2 รูปสัญญาณที่ขา LRCK ไฟล์เสียงที่ให้ทดสอบ 24 Bit , 44.1kHz , File .mp3



รูปที่ 4.3 รูปสัญญาณ DATA ไฟล์เสียงที่ให้ทดสอบ 24 Bit , 44.1kHz , File .mp3

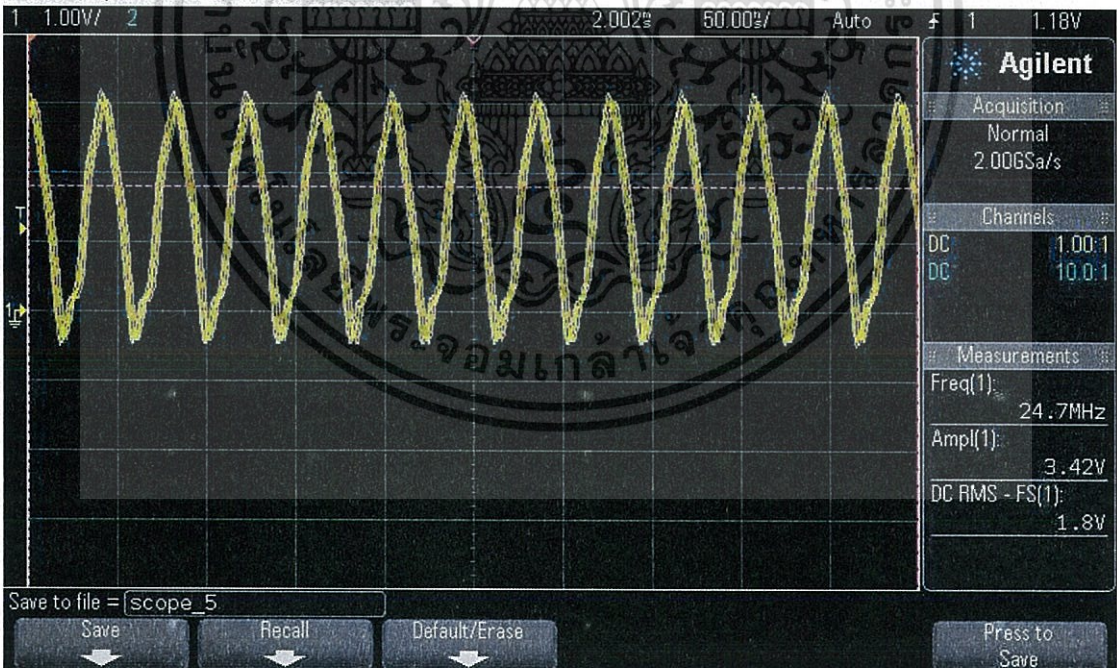
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DSO-X 2002A, MY52166574: Fri Oct 30 18:00:21 2015



รูปที่ 4.4 รูปสัญญาณ BCK ไฟล์เสียงที่ให้ทดสอบ 24 Bit , 44.1kHz , File .mp3

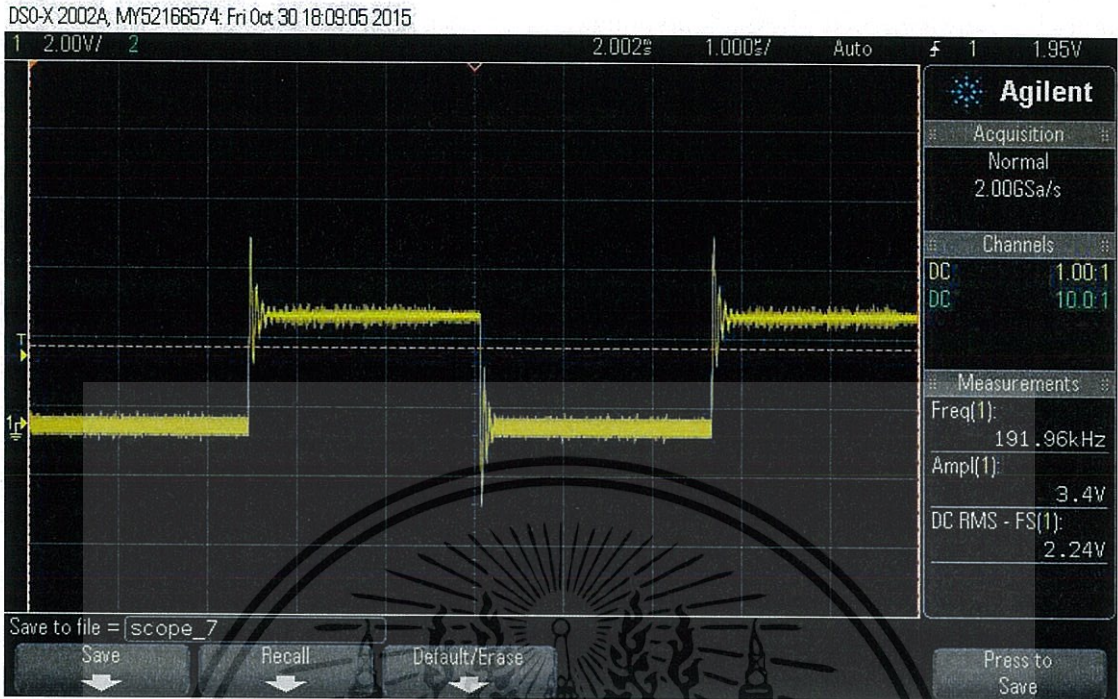
DSO-X 2002A, MY52166574: Fri Oct 30 18:01:20 2015



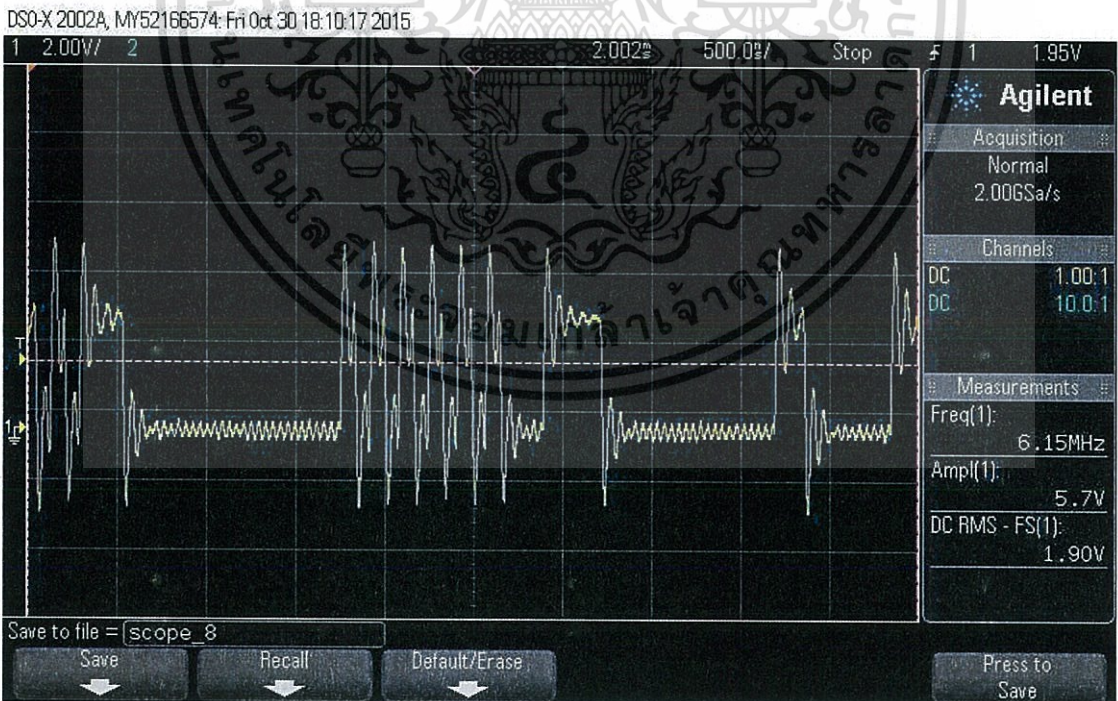
รูปที่ 4.5 รูปสัญญาณ SCK ไฟล์เสียงที่ให้ทดสอบ 24 Bit , 44.1kHz , File .mp3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไฟล์เสียงที่ให้ทดสอบ 24Bit , 192 kHz , File .flac



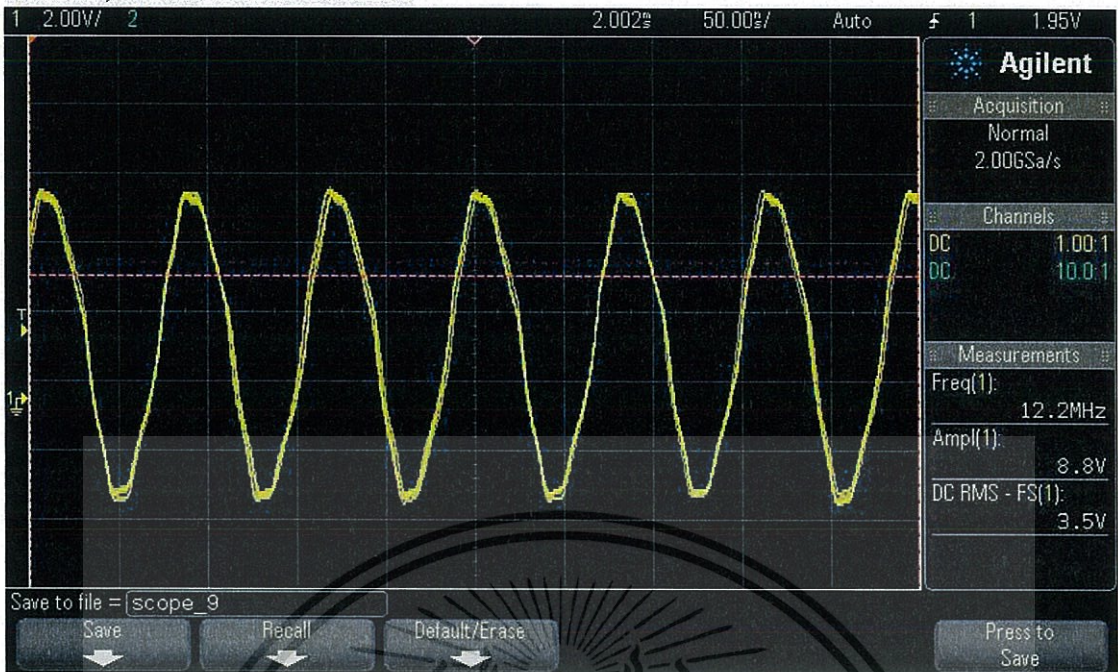
รูปที่ 4.6 รูปสัญญาณที่ขา LRCK 24Bit , 192 kHz , File .flac



รูปที่ 4.7 รูปสัญญาณ DATA 24Bit , 192 kHz , File .flac

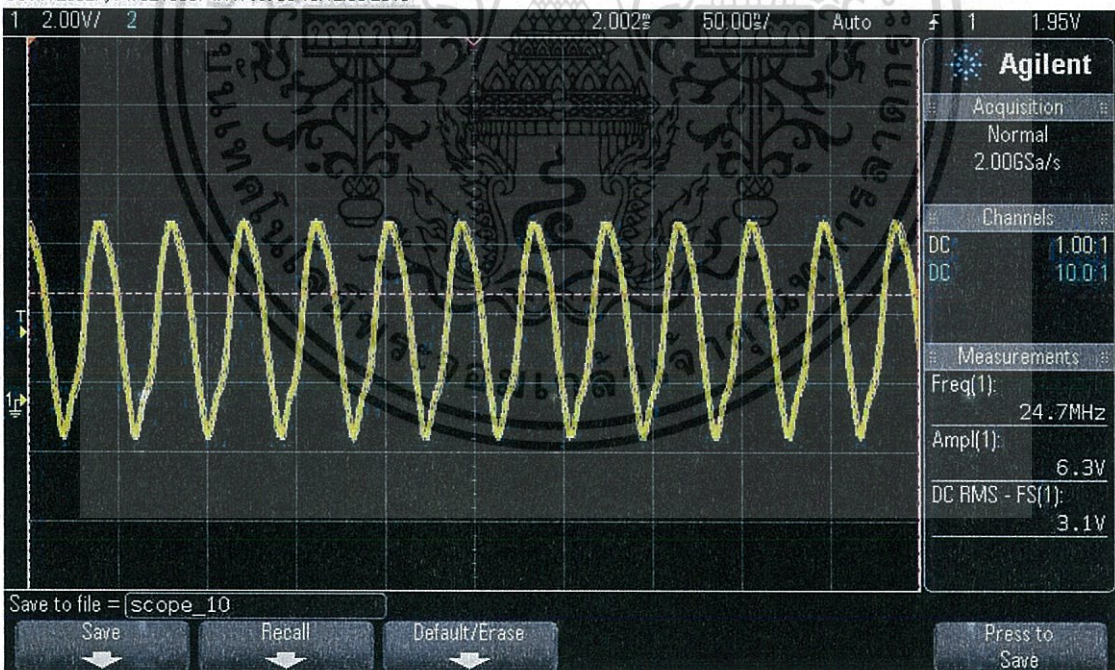
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DSO-X 2002A, MY52166574: Fri Oct 30 18:11:42 2015



รูปที่ 4.8 รูปสัญญาณ BCK 24Bit , 192 kHz , File .flac

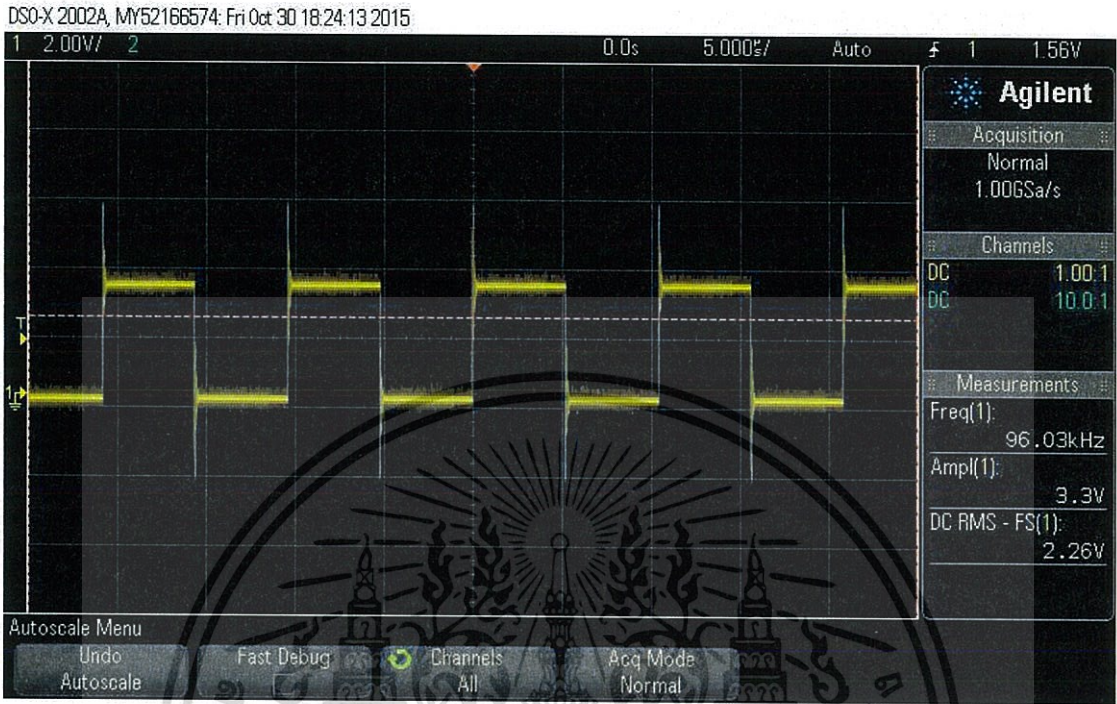
DSO-X 2002A, MY52166574: Fri Oct 30 18:12:03 2015



รูปที่ 4.9 รูปสัญญาณ SCK 24Bit , 192 kHz , File .flac

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไฟล์เสียงที่ให้ทดสอบ 24Bit , 96 kHz , File .flac



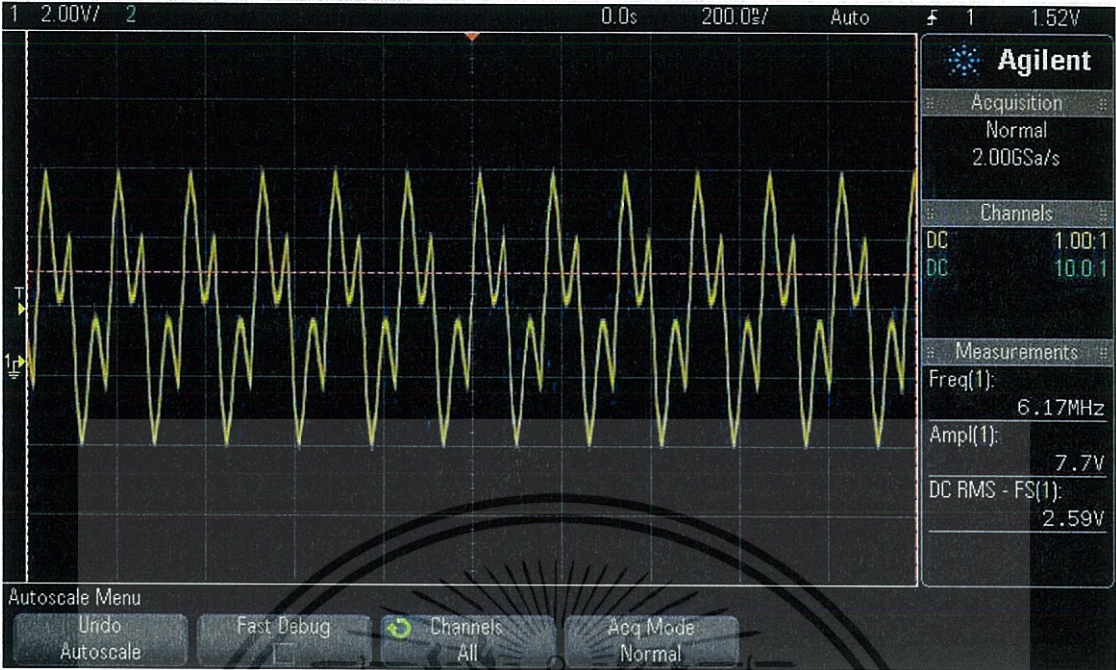
รูปที่ 4.10 รูปสัญญาณที่ขา LRCK ไฟล์เสียงที่ให้ทดสอบ 24Bit , 96 kHz , File .flac



รูปที่ 4.11 รูปสัญญาณ DATA ไฟล์เสียงที่ให้ทดสอบ 24Bit , 96 kHz , File .flac

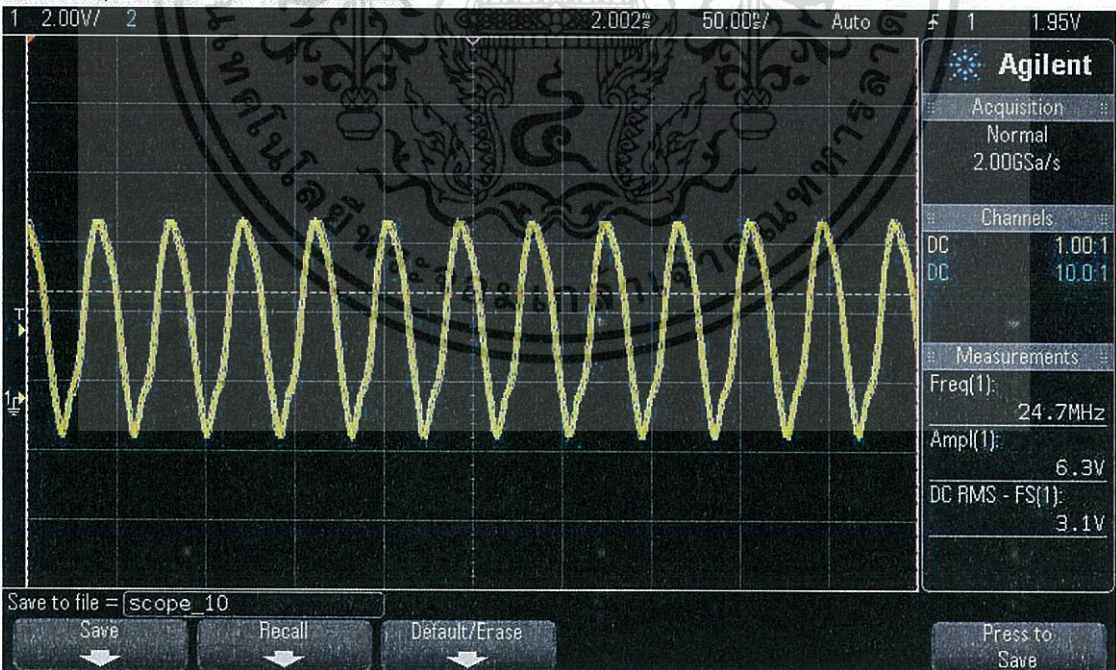
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DSO-X 2002A, MY52166574, Fri Oct 30 18:28:18 2015



รูปที่ 4.12 รูปสัญญาณ BCK ไฟล์เสียงที่ให้ทดสอบ 24Bit , 96 kHz , File .flac

DSO-X 2002A, MY52166574, Fri Oct 30 18:12:03 2015

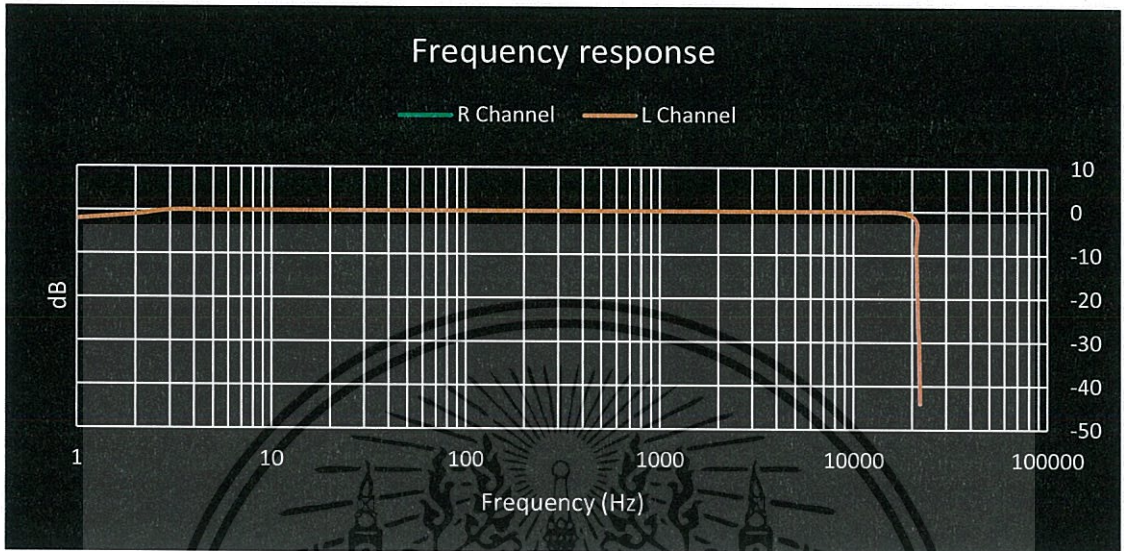


รูปที่ 4.13 รูปสัญญาณ SCK ไฟล์เสียงที่ให้ทดสอบ 24Bit , 96 kHz , File .flac

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3. Audio Performance

4.3.1. Frequency response



รูปที่ 4.14 – กาทอบสนองสัญญาณ Frequency Response

Sampling Frequency 44.1kHz

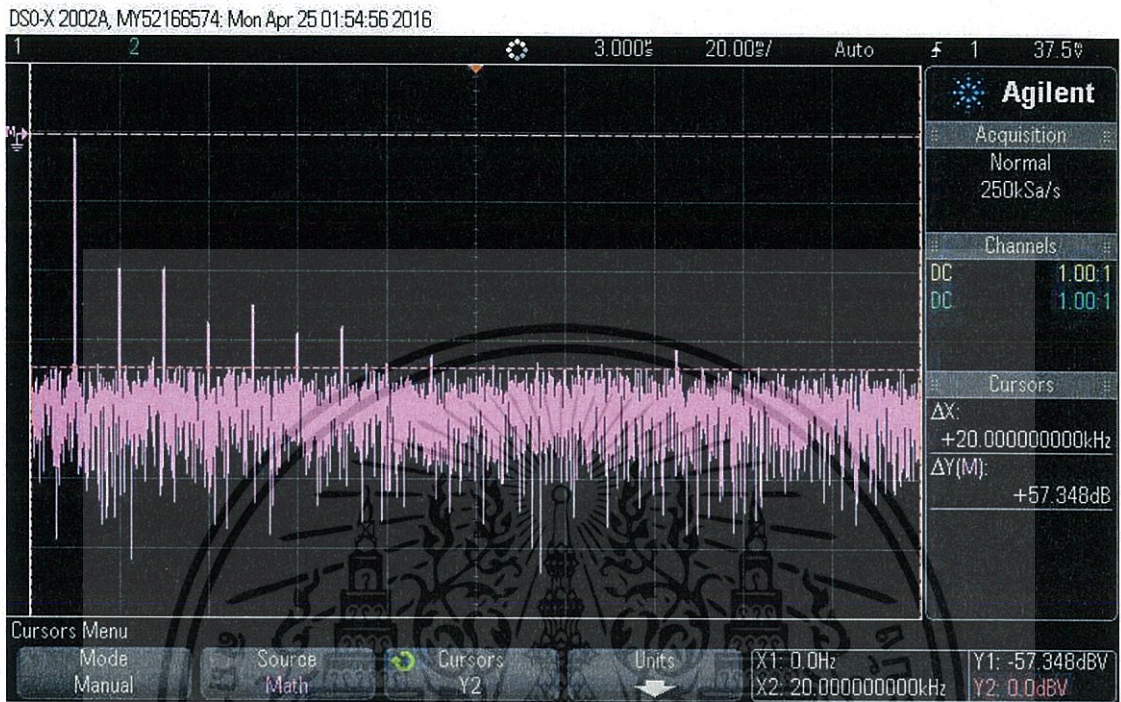
ตาราง 4.1 Frequency Response

Form 5 Hz to 21 kHz	Left	Right
	0 dB	0 dB

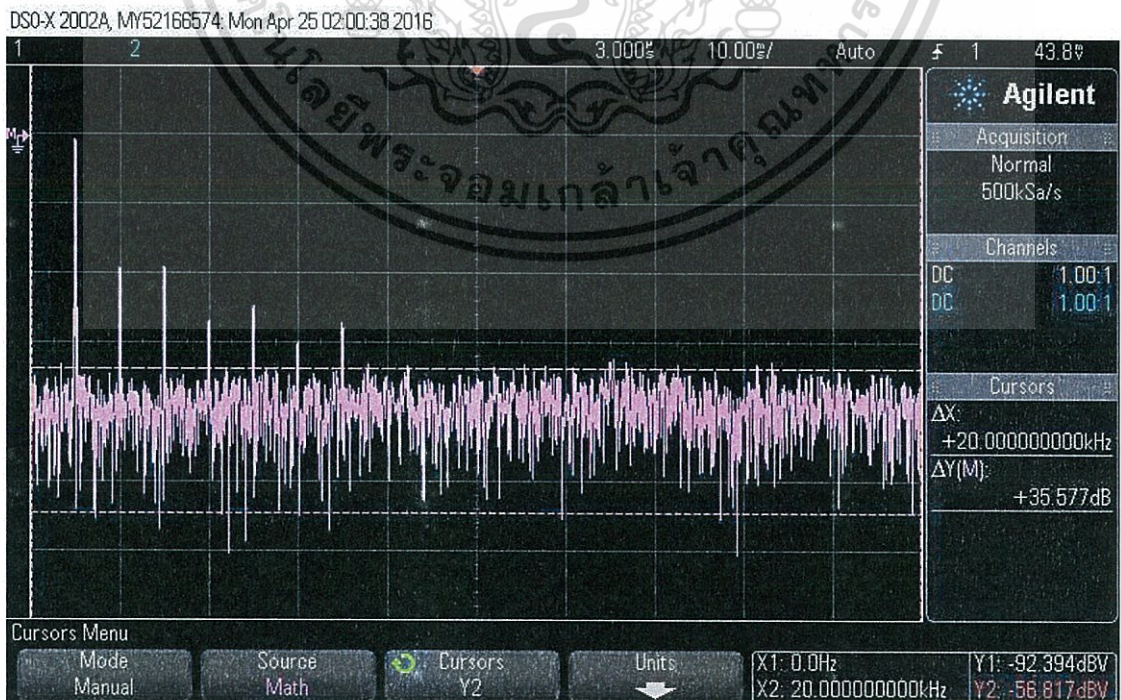
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1. Signal and Noise

กราฟแสดงผล เมื่อเล่นไฟล์เพลงดิจิทัลโดยผ่านวงจรแปลงสัญญาณเสียงจากดิจิทัลเป็นอนาลอก



รูปที่ 4.15 สัญญาณ Signal 57 dB ที่ Frequency = 1 kHz ,output 1.3 Vrms

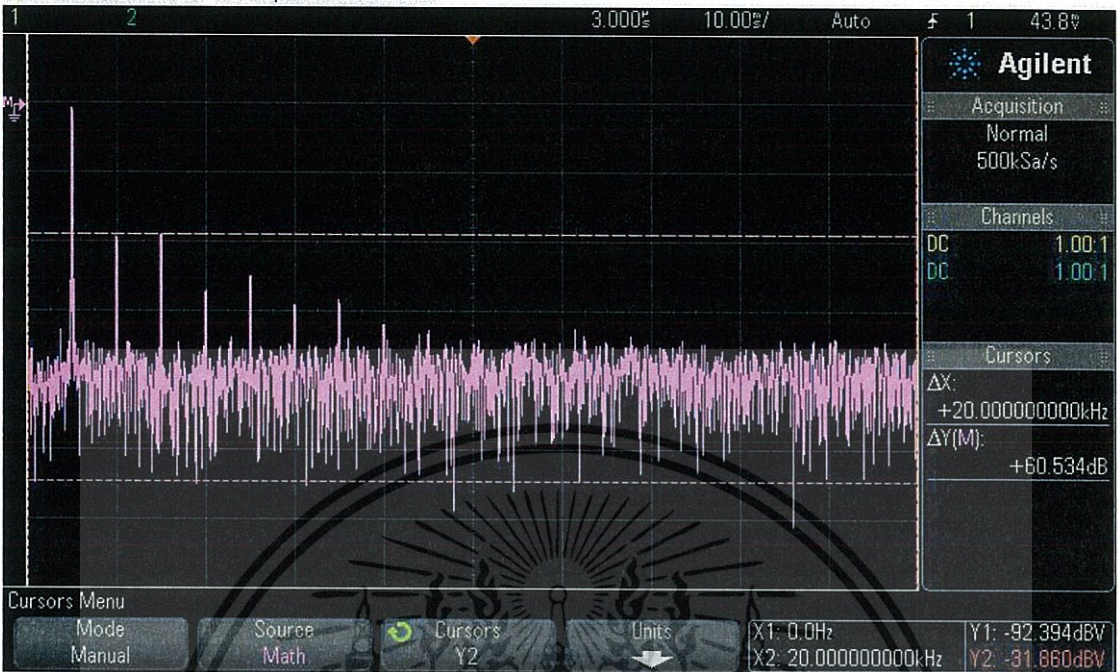


รูปที่ 4.16 สัญญาณ Noise 35 dB ที่ Frequency = 1 kHz ,output 1.3 Vrms

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ทางปัญญาของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ควรก๊อปปี้หรือเผยแพร่โดยไม่ได้รับอนุญาตจากทางมหาวิทยาลัยฯ หากมีข้อผิดพลาดประการใดขออภัยเป็นอย่างสูง

ไม่ว่าการณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DSO-X 2002A, MY52166574: Mon Apr 25 02:00:22 2016



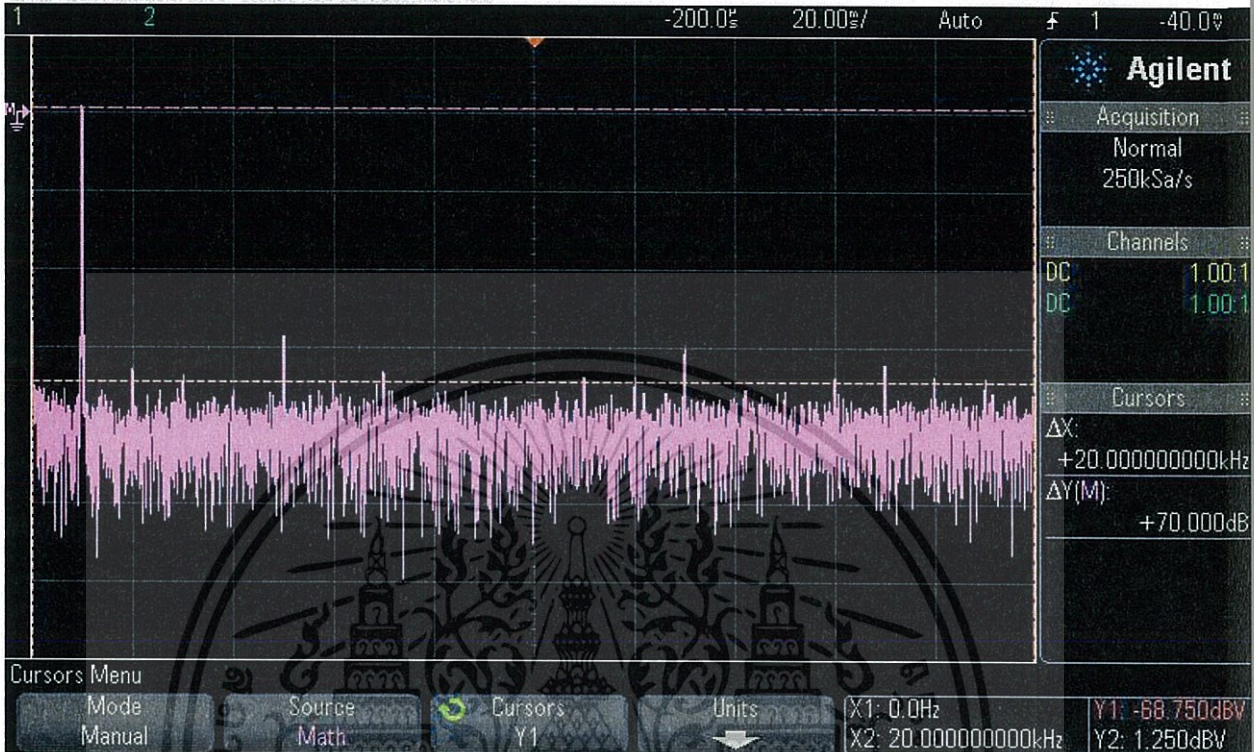
รูปที่ 4.17 สัญญาณ Noise + Harmonic 60 dB ที่ Frequency = 1 kHz ,output 1.3 Vrms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟแสดงผล เมื่อเล่นไฟล์เพลงดิจิทัลโดยไม่ผ่านวงจรแปลงสัญญาณเสียงจากดิจิทัลเป็น

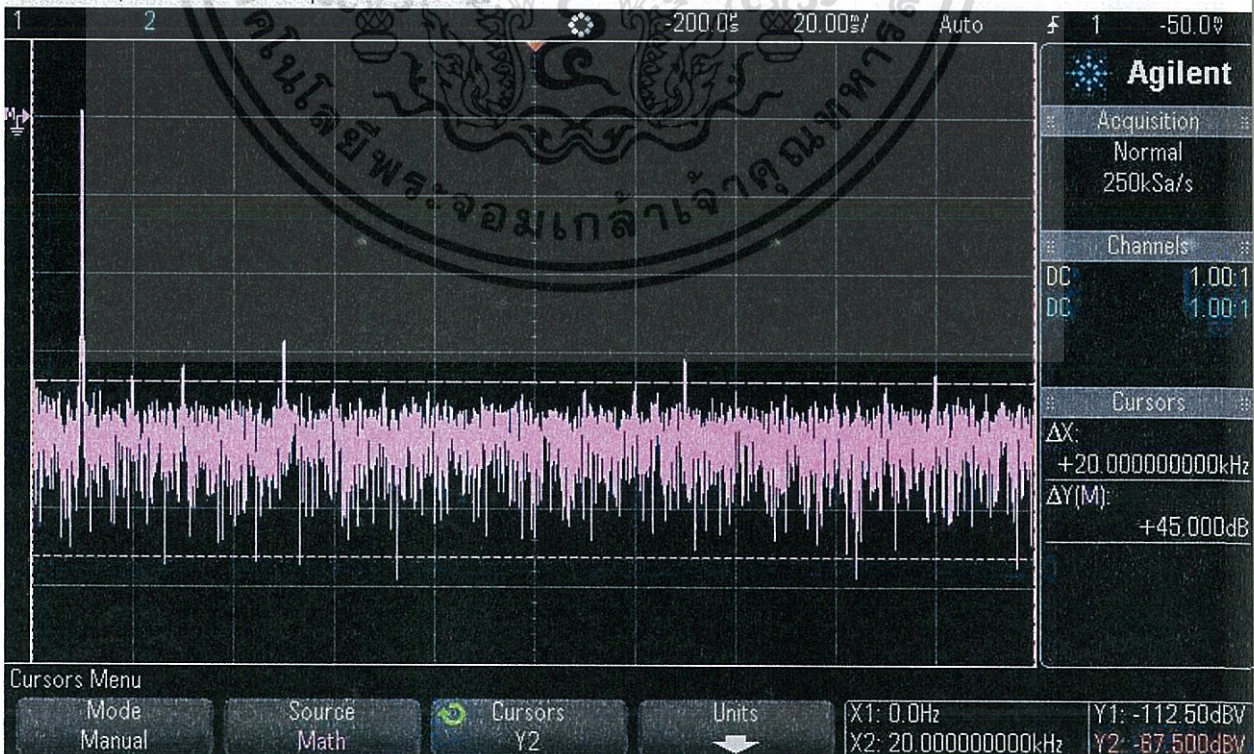
อนาลอก

DSO-X 2002A, MY52166574: Mon Apr 25 01:27:14 2016



รูปที่ 4.18 สัญญาณ Signal 70 dB ที่ Frequency = 1 kHz , 1.3 Vrms

DSO-X 2002A, MY52166574: Mon Apr 25 01:29:58 2016



เอกสารนี้เป็นเอกสารรูปที่ 4.19 สัญญาณ Noise 45 dB ที่ Frequency = 1 kHz , 1.3 Vrms ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลและข้อเสนอแนะ

5.1 สรุปผลการทดลอง

ปริญญานิพนธ์ฉบับนี้ได้กล่าวถึงการออกแบบ ระบบเสียงดิจิตอลโดยใช้รหัสเบอร์รี่พาย โดยบอร์ดรหัสเบอร์รี่พายทำงานร่วมกับวงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาล็อกที่ใช้ไอซี เบอร์ PCM5102 เพื่อเล่นไฟล์เสียงดิจิตอลผ่านทางระบบ LAN และ บอร์ดวงจร XMOS ทำงานร่วมกับวงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาล็อกที่ใช้ไอซี เบอร์ DSD1794 เพื่อเล่นไฟล์เสียงดิจิตอลผ่าน USB การทำงานของระบบเสียงดิจิตอลโดยใช้รหัสเบอร์รี่พาย วงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาล็อกที่ใช้ไอซี เบอร์ PCM5102 รับสัญญาณสัญญาณดิจิตอลเอาต์พุตในรูปแบบ I²S จากบอร์ดรหัสเบอร์รี่พาย เข้าสู่การถอดรหัสสัญญาณและแปลงเป็นแรงดันนำไปใช้งาน ส่วนวงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาล็อกที่ใช้ไอซี เบอร์ DSD1794 รับสัญญาณสัญญาณดิจิตอลเอาต์พุตในรูปแบบ I²S จากบอร์ดวงจร XMOS เข้าสู่การถอดรหัสสัญญาณและแปลงเป็นแรงดันนำไปใช้งาน

จากการทดสอบการเล่นไฟล์เสียงดิจิตอลผ่าน USB วงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาล็อกที่ใช้ไอซี เบอร์ DSD1794 สามารถเล่นไฟล์เสียงดิจิตอลรูปแบบ DSD และ PCM ได้ โดยมีการตอบสนองความถี่อยู่ที่ 5Hz – 21kHz ค่า SNR อยู่ที่ 57 dB

จากการทดสอบการเล่นไฟล์เสียงดิจิตอลผ่านรหัสเบอร์รี่พาย วงจรแปลงสัญญาณเสียงจากดิจิตอลเป็นอนาล็อกที่ใช้ไอซี เบอร์ DSD1794 สามารถเล่นไฟล์เสียงดิจิตอลรูปแบบ PCM ได้ ได้ โดยมีการตอบสนองความถี่อยู่ที่ 5Hz – 21kHz ค่า SNR อยู่ที่ 57 dB

5.2 สิ่งที่ได้จากโครงการ

1. ประยุกต์ใช้ความรู้ทางด้านทฤษฎี มาปรับใช้กับการทำงานจริง เพื่อฝึกฝนทักษะการทำงานขั้นพื้นฐานในด้านอิเล็กทรอนิกส์
2. ฝึกฝนทักษะการทำงานขั้นพื้นฐานในด้านอิเล็กทรอนิกส์
3. ได้นำอุปกรณ์ที่ได้ออกแบบไปใช้งานได้ และสามารถนำไปประยุกต์หรือพัฒนาในระดับที่สูงขึ้น
4. ต่อยอดการใช้งานบอร์ด คอนโทรลเลอร์
5. ศึกษาการทำงานวงจร Digital to Analog Converter
6. ออกแบบ/สร้างวงจร Digital Audio Receiver
7. ออกแบบ/สร้างวงจร Current to Voltage Converter และ วงจร Buffer

เอกสารอ้างอิง

- [1] DAC DSD1794 ค้นเมื่อ 2 กุมภาพันธ์ 2559 จาก <http://www.asahi-net.or.jp/~tx2h-itbs/>
- [2] Electronics Handbook. อิเล็กทรอนิกส์แฮนด์บุ๊ก ฉบับที่ 217 . กรุงเทพมหานคร : สถาบันอิเล็กทรอนิกส์กรุงเทพรังสิต และสำนักพิมพ์นาคร, 2557.
- [3] UNSOUND DAC ค้นเมื่อ 2 กุมภาพันธ์ 2559 จาก <http://www.unsound.com/board/index.php?topic=15883.0;wap2>
- [4] ช่างสร้างเครื่องขยายเสียงทรานซิสเตอร์และไอซี สายัณต์ ชื่นอารมย์. กรุงเทพฯ : สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น), 2549
- [5] เจาะลึกวงจรเครื่องขยายเสียง. สายัณต์ ชื่นอารมย์. กรุงเทพฯ : สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น), 2548.
- [6] เทคนิคการต่อวงจรเครื่องขยายเสียง. กฤษดา วิศวธีรานนท์. กรุงเทพฯ : ซีเอ็ดยูเคชั่น, 2538.
- [7] เทคโนโลยี DLNA ค้นเมื่อ 2 กุมภาพันธ์ 2559 จาก <http://droidsans.com/dlna-technology-in-review>



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Code ที่ใช้ในการ Enable โหมด DSD ภายใน ชิพ DSD 1794

```
#include<Wire.h>
byte register20_value ;
byte write_return_value ;
byte read_return_value ;
byte register20_value2 ;
byte write_return_value2 ;
byte read_return_value2 ;
int dsd=8;
int val;
int x=1;
void(*resetFunc)(void)=0;
void setup()
{
  Wire.begin();
  Serial.begin(9600);
  pinMode(dsd,INPUT);
}
void loop()
{
  if (digitalRead(dsd)!=HIGH){
    val=1;
    x=0;
    if (x==1){
      resetFunc();}
  }
  else {
    val=0;
    if(x==0){
      resetFunc();}
  }
  if(val==0){
    Wire.beginTransmission(B1001100);
    Wire.write(B00010100);
    Wire.write(B00100000);
    write_return_value = Wire.endTransmission();
    Wire.beginTransmission(B1001100);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Wire.write(B10010100);
Wire.endTransmission(false);
Wire.requestFrom(B1001100,1);
register20_value = Wire.endTransmission();
Serial.print(write_return_value);
Serial.print(":");
Serial.print(read_return_value);
Serial.print(":");
Serial.print(register20_value);
Serial.print(" ");
    delay(1000);
}
if(val==1){
Wire.beginTransmission(B1001100);
Wire.write(B00010100);
Wire.write(B00000000);
write_return_value2 = Wire.endTransmission();
Wire.beginTransmission(B1001100);
Wire.write(B10010100);
Wire.endTransmission(false);
Wire.requestFrom(B1001100,1);
register20_value2 = Wire.endTransmission();

Serial.print(write_return_value2);
Serial.print(":");
Serial.print(read_return_value2);
Serial.print(":");
Serial.print(register20_value2);
Serial.print(" ");
    delay(1000);
}
}

```



24-BIT, 192-kHz SAMPLING, ADVANCED SEGMENT, AUDIO STEREO DIGITAL-TO-ANALOG CONVERTER

FEATURES

- Supports Both DSD and PCM Formats
- 24-Bit Resolution
- Analog Performance:
 - Dynamic Range:
 - 132 dB (9 V RMS, Mono)
 - 129 dB (4.5 V RMS, Stereo)
 - 127 dB (2 V RMS, Stereo)
 - THD+N: 0.0004%
- Differential Current Output: 7.8 mA p-p
- 8× Oversampling Digital Filter:
 - Stop-Band Attenuation: –130 dB
 - Pass-Band Ripple: ±0.00001 dB
- Sampling Frequency: 10 kHz to 200 kHz
- System Clock: 128, 192, 256, 384, 512, or 768 f_S With Autodetect
- Accepts 16-, 20-, and 24-Bit Audio Data
- PCM Data Formats: Standard, I²S, and Left-Justified
- Optional Interface to External Digital Filter or DSP Available
- I²C-Compatible Serial Port
- User-Programmable Mode Controls:
 - Digital Attenuation: 0 dB to –120 dB, 0.5 dB/Step
 - Digital De-Emphasis
 - Digital Filter Rolloff: Sharp or Slow
 - Soft Mute

- Dual-Supply Operation:
 - 5-V Analog, 3.3-V Digital
- 5-V Tolerant Digital Inputs
- Small 28-Lead SSOP Package

APPLICATIONS

- A/V Receivers
- SACD Player
- DVD Players
- HDTV Receivers
- Car Audio Systems
- Digital Multitrack Recorders
- Other Applications Requiring 24-Bit Audio

DESCRIPTION

The DSD1794 is a monolithic CMOS integrated circuit that includes stereo digital-to-analog converters and support circuitry in a small 28-lead SSOP package. The data converters use TI's advanced-segment DAC architecture to achieve excellent dynamic performance and improved tolerance to clock jitter. The DSD1794 provides balanced current outputs, allowing the user to optimize analog performance externally. The DSD1794 accepts the PCM and DSD audio data formats, providing easy interfacing to audio DSP and decoder chips. The DSD1794 also interfaces with external digital filter devices (DF1704, DF1706, PMD200). Sampling rates up to 200 kHz are supported. A full set of user-programmable functions is accessible through an I²C-compatible serial port.



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

เอกสารนี้เป็นเอกสารทูลงวนเวสสำหรับการใช้งานเพื่อการศึกษเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ORDERING INFORMATION

PRODUCT	PACKAGE	PACKAGE CODE	OPERATION TEMPERATURE RANGE	PACKAGE MARKING	ORDERING NUMBER	TRANSPORT MEDIA
DSD1794DB	28-lead SSOP	28DB	-25°C to 85°C	DSD1794	DSD1794DB	Tube
					DSD1794DBR	Tape and reel

ABSOLUTE MAXIMUM RATINGS

over operating free-air temperature range unless otherwise noted⁽¹⁾

		DSD1794
Supply voltage	$V_{CC1}, V_{CC2L}, V_{CC2R}$	-0.3 V to 6.5 V
	V_{DD}	-0.3 V to 4 V
Supply voltage differences: $V_{CC1}, V_{CC2L}, V_{CC2R}$		±0.1 V
Ground voltage differences: AGND1, AGND2, AGND3L, AGND3R, DGND		±0.1 V
Digital input voltage	PLRCK, PDATA, PBCK, SCK, RST, SCL, SDA ⁽²⁾ , ADR0, ADR1, DSDL ⁽²⁾ , DSDR ⁽²⁾ , DBCK	-0.3 V to 6.5 V
	DSDL ⁽³⁾ , DSDR ⁽³⁾ , SDA ⁽³⁾	-0.3 V to $(V_{DD} + 0.3 V) < 4 V$
Analog input voltage		-0.3 V to $(V_{CC} + 0.3 V) < 6.5 V$
Input current (any pins except supplies)		±10 mA
Ambient temperature under bias		-40°C to 125°C
Storage temperature		-55°C to 150°C
Junction temperature		150°C
Lead temperature (soldering)		260°C, 5 s
Package temperature (IR reflow, peak)		250°C

(1) Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) Input mode

(3) Output mode

ELECTRICAL CHARACTERISTICS

all specifications at $T_A = 25^\circ\text{C}$, $V_{CC1} = V_{CC2L} = V_{CC2R} = 5\text{ V}$, $V_{DD} = 3.3\text{ V}$, $f_S = 44.1\text{ kHz}$, system clock = 256 f_S , and 24-bit data, unless otherwise noted

PARAMETER	TEST CONDITIONS	DSD1794DB			UNIT
		MIN	TYP	MAX	
RESOLUTION			24		Bits
DATA FORMAT (PCM Mode)					
Audio data interface format		Standard, I ² S, left justified			
Audio data bit length		16-, 20-, 24-bit selectable			
Audio data format		MSB first, 2s complement			
f_S Sampling frequency		10		200	kHz
System clock frequency		128, 192, 256, 384, 512, 768 f_S			
DATA FORMAT (DSD Mode)					
Audio data interface format		DSD (direct stream digital)			
Audio data bit length		1 bit			
f_S Sampling frequency			2.8224		MHz
System clock frequency		2.8224		11.2896	MHz

ELECTRICAL CHARACTERISTICS (Continued)

all specifications at $T_A = 25^\circ\text{C}$, $V_{CC1} = V_{CC2L} = V_{CC2R} = 5\text{ V}$, $V_{DD} = 3.3\text{ V}$, $f_S = 44.1\text{ kHz}$, system clock = $256 f_S$, and 24-bit data, unless otherwise noted

PARAMETER	TEST CONDITIONS	DSD1794DB			UNIT
		MIN	TYP	MAX	
DIGITAL INPUT/OUTPUT					
Logic family		TTL compatible			
V_{IH} V_{IL}	Input logic level	2			VDC
		0.8			
I_{IH} I_{IL}	Input logic current	$V_{IN} = V_{DD}$ $V_{IN} = 0\text{ V}$	10 -10		μA
V_{OH} V_{OL}	Output logic level	$I_{OH} = -2\text{ mA}$ $I_{OL} = 2\text{ mA}$	2.4		VDC
			0.4		
DYNAMIC PERFORMANCE (PCM MODE, 2-V RMS OUTPUT) (1)(2)					
THD+N at $V_{OUT} = 0\text{ dB}$	$f_S = 44.1\text{ kHz}$	0.0004% 0.0008%			
	$f_S = 96\text{ kHz}$	0.0008%			
	$f_S = 192\text{ kHz}$	0.0015%			
Dynamic range	EIAJ, A-weighted, $f_S = 44.1\text{ kHz}$	123	127		dB
	EIAJ, A-weighted, $f_S = 96\text{ kHz}$	127			
	EIAJ, A-weighted, $f_S = 192\text{ kHz}$	127			
Signal-to-noise ratio	EIAJ, A-weighted, $f_S = 44.1\text{ kHz}$	123	127		dB
	EIAJ, A-weighted, $f_S = 96\text{ kHz}$	127			
	EIAJ, A-weighted, $f_S = 192\text{ kHz}$	127			
Channel separation	$f_S = 44.1\text{ kHz}$	120	123		dB
	$f_S = 96\text{ kHz}$	122			
	$f_S = 192\text{ kHz}$	120			
Level linearity error	$V_{OUT} = -120\text{ dB}$	± 1			dB
DYNAMIC PERFORMANCE (PCM Mode, 4.5-V RMS Output) (1)(3)					
THD+N at $V_{OUT} = 0\text{ dB}$	$f_S = 44.1\text{ kHz}$	0.0004%			
	$f_S = 96\text{ kHz}$	0.0008%			
	$f_S = 192\text{ kHz}$	0.0015%			
Dynamic range	EIAJ, A-weighted, $f_S = 44.1\text{ kHz}$	129			dB
	EIAJ, A-weighted, $f_S = 96\text{ kHz}$	129			
	EIAJ, A-weighted, $f_S = 192\text{ kHz}$	129			
Signal-to-noise ratio	EIAJ, A-weighted, $f_S = 44.1\text{ kHz}$	129			dB
	EIAJ, A-weighted, $f_S = 96\text{ kHz}$	129			
	EIAJ, A-weighted, $f_S = 192\text{ kHz}$	129			
Channel separation	$f_S = 44.1\text{ kHz}$	124			dB
	$f_S = 96\text{ kHz}$	123			
	$f_S = 192\text{ kHz}$	121			

(1) Filter condition:

THD+N: 20-Hz HPF, 20-kHz apogee LPF

Dynamic range: 20-Hz HPF, 20-kHz AES17 LPF, A-weighted

Signal-to-noise ratio: 20-Hz HPF, 20-kHz AES17 LPF, A-weighted

Channel separation: 20-Hz HPF, 20-kHz AES17 LPF

Analog performance specifications are measured using the System Two™ Cascade audio measurement system by Audio Precision™ in the averaging mode.

(2) Dynamic performance and dc accuracy are specified at the output of the postamplifier as shown in Figure 33.

(3) Dynamic performance and dc accuracy are specified at the output of the postamplifier as shown in Figure 34.

ELECTRICAL CHARACTERISTICS (Continued)

all specifications at $T_A = 25^\circ\text{C}$, $V_{CC1} = V_{CC2L} = V_{CC2R} = 5\text{ V}$, $V_{DD} = 3.3\text{ V}$, $f_S = 44.1\text{ kHz}$, system clock = $256 f_S$, and 24-bit data, unless otherwise noted

PARAMETER	TEST CONDITIONS	DSD1794DB			UNIT
		MIN	TYP	MAX	
DYNAMIC PERFORMANCE (MONO MODE) (1)(2)					
THD+N at $V_{OUT} = 0\text{ dB}$	$f_S = 44.1\text{ kHz}$	0.0004%			
	$f_S = 96\text{ kHz}$	0.0008%			
	$f_S = 192\text{ kHz}$	0.0015%			
Dynamic range	EIAJ, A-weighted, $f_S = 44.1\text{ kHz}$	132			dB
	EIAJ, A-weighted, $f_S = 96\text{ kHz}$	132			
	EIAJ, A-weighted, $f_S = 192\text{ kHz}$	132			
Signal-to-noise ratio	EIAJ, A-weighted, $f_S = 44.1\text{ kHz}$	132			dB
	EIAJ, A-weighted, $f_S = 96\text{ kHz}$	132			
	EIAJ, A-weighted, $f_S = 192\text{ kHz}$	132			
DSD MODE DYNAMIC PERFORMANCE (1) (3) (44.1 kHz, 64 f_S)					
THD+N at FS	4.5 V rms	0.0005%			
Dynamic range	-60 dB, EIAJ, A-weighted	128			dB
Signal-to-noise ratio	EIAJ, A-weighted	128			dB
ANALOG OUTPUT					
Gain error		-6	± 2	6	% of FSR
Gain mismatch, channel-to-channel		-3	± 0.5	3	% of FSR
Bipolar zero error	At BPZ	-2	± 0.5	2	% of FSR
Output current	Full scale (0 dB)	7.8			mA p-p
Center current	At BPZ	-6.2			mA
DIGITAL FILTER PERFORMANCE					
De-emphasis error		± 0.004			dB
FILTER CHARACTERISTICS-1: SHARP ROLLOFF					
Pass band	$\pm 0.00001\text{ dB}$	0.454 f_S			
	-3 dB	0.49 f_S			
Stop band		0.546 f_S			
Pass-band ripple		± 0.00001			dB
Stop-band attenuation	Stop band = 0.546 f_S	-130			dB
Delay time		55/ f_S			s
FILTER CHARACTERISTICS-2: SLOW ROLLOFF					
Pass band	$\pm 0.04\text{ dB}$	0.254 f_S			
	-3 dB	0.46 f_S			
Stop band		0.732 f_S			
Pass-band ripple		± 0.001			dB
Stop-band attenuation	Stop band = 0.732 f_S	-100			dB
Delay time		18/ f_S			s

(1) Filter condition:

THD+N: 20-Hz HPF, 20-kHz apogee LPF

Dynamic range: 20-Hz HPF, 20-kHz AES17 LPF, A-weighted

Signal-to-noise ratio: 20-Hz HPF, 20-kHz AES17 LPF, A-weighted

Channel separation: 20-Hz HPF, 20-kHz AES17 LPF

Analog performance specifications are measured using the System Two Cascade audio measurement system by Audio Precision in the averaging mode.

(2) Dynamic performance and dc accuracy are specified at the output of the postamplifier as shown in Figure 34.

(3) Dynamic performance and dc accuracy are specified at the output of the postamplifier as shown in Figure 35.

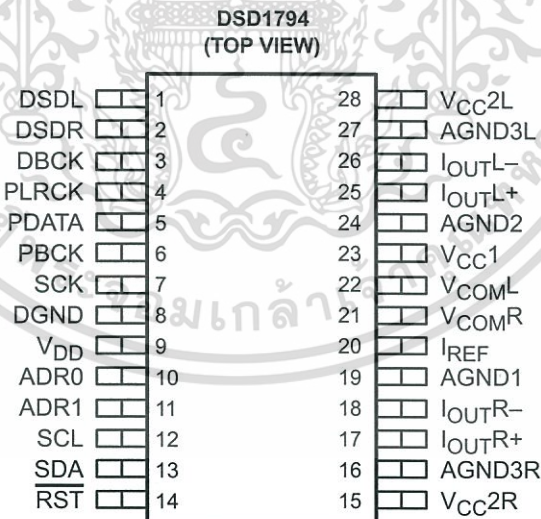
ELECTRICAL CHARACTERISTICS (Continued)

all specifications at $T_A = 25^\circ\text{C}$, $V_{CC1} = V_{CC2L} = V_{CC2R} = 5\text{ V}$, $V_{DD} = 3.3\text{ V}$, $f_S = 44.1\text{ kHz}$, system clock = 256 f_S , and 24-bit data, unless otherwise noted

PARAMETER	TEST CONDITIONS	DSD1794DB			UNIT
		MIN	TYP	MAX	
POWER SUPPLY REQUIREMENTS					
V_{DD}		3	3.3	3.6	VDC
V_{CC1}	Voltage range				
V_{CC2L}					
V_{CC2R}		4.75	5	5.25	VDC
I_{DD}	Supply current (1)	$f_S = 44.1\text{ kHz}$	12	15	mA
		$f_S = 96\text{ kHz}$	23		
		$f_S = 192\text{ kHz}$	45		
I_{CC}		$f_S = 44.1\text{ kHz}$	33	40	mA
		$f_S = 96\text{ kHz}$	35		
		$f_S = 192\text{ kHz}$	37		
Power dissipation (1)		$f_S = 44.1\text{ kHz}$	205	250	mW
		$f_S = 96\text{ kHz}$	250		
		$f_S = 192\text{ kHz}$	335		
TEMPERATURE RANGE					
Operation temperature		-25		85	$^\circ\text{C}$
θ_{JA} Thermal resistance	28-pin SSOP		100		$^\circ\text{C/W}$

(1) Input is BPZ data.

PIN ASSIGNMENTS



Terminal Functions

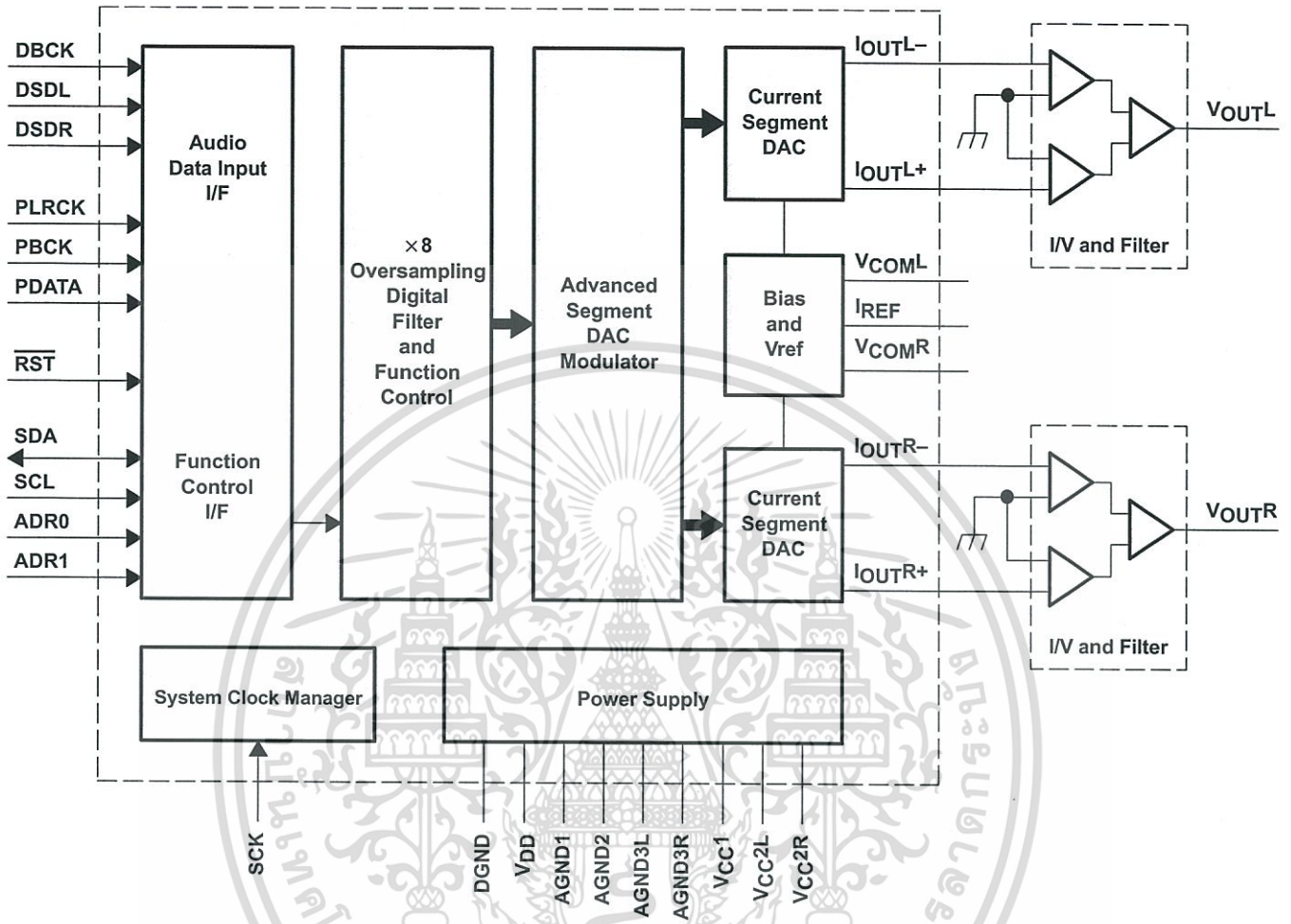
TERMINAL NAME		PIN	I/O	DESCRIPTIONS
ADR0	10	I	I ² C address 0 (1)	
ADR1	11	I	I ² C address 1 (1)	
AGND1	19	–	Analog ground (internal bias)	
AGND2	24	–	Analog ground (internal bias)	
AGND3L	27	–	Analog ground (L-channel DACFF)	
AGND3R	16	–	Analog ground (R-channel DACFF)	
DBCK	3	I	Bit clock input for DSD modes (1)	
DGND	8	–	Digital ground	
DSDL	1	I/O	L-channel audio data input when in DSD and external DF modes PCM-mode zero flag for L-channel when in zero-flag output mode (2)	
DSDR	2	I/O	R-channel audio data input when in DSD and external DF modes (2) PCM-mode zero flag for R-channel when in zero-flag output mode	
IOUTL+	25	O	L-channel analog current output +	
IOUTL–	26	O	L-channel analog current output –	
IOUTR+	17	O	R-channel analog current output +	
IOUTR–	18	O	R-channel analog current output –	
IREF	20	–	Output current reference bias pin	
PBCK	6	I	Bit clock input. Connected to GND in DSD mode (1)	
PDATA	5	I	Serial audio data input for PCM-format operation (1)	
PLRCK	4	I	Left and right clock (f _S) input for PCM-format operation. WDCK clock input for external DF mode. Connected to GND for DSD mode (1)	
$\overline{\text{RST}}$	14	I	Reset (1)	
SCL	12	I	I ² C clock (1)	
SCK	7	I	System clock input (1)	
SDA	13	I/O	I ² C data (3)	
VCC1	23	–	Analog power supply, 5 V	
VCC2L	28	–	Analog power supply (L-channel DACFF), 5 V	
VCC2R	15	–	Analog power supply (R-channel DACFF), 5 V	
VCOML	22	–	L-channel internal bias decoupling pin	
VCOMR	21	–	R-channel internal bias decoupling pin	
VDD	9	–	Digital power supply, 3.3 V	

(1) Schmitt-trigger input, 5-V tolerant

(2) Schmitt-trigger input and output. 5-V tolerant input, and CMOS output

(3) Schmitt-trigger 5-V tolerant input and open-drain/3-state output

FUNCTIONAL BLOCK DIAGRAM



MODE CONTROL REGISTERS

User-Programmable Mode Controls

The DSD1794 includes a number of user-programmable functions which are accessed via mode control registers. The registers are programmed using the serial control interface, discussed in the *SERIAL CONTROL INTERFACE (I²C)* section of this data sheet. Table 2 lists the available mode-control functions, along with their default reset conditions and associated register index.

Table 2. User-Programmable Function Controls

FUNCTION	DEFAULT	REGISTER	BIT	PCM	DSD	DF BYPASS
Digital attenuation control 0 dB to –120 dB and mute, 0.5 dB step	0 dB	Register 16 Register 17	ATL[7:0] (for L-ch) ATR[7:0] (for R-ch)	yes		
Attenuation load control—Disabled, enabled	Attenuation disabled	Register 18	ATLD	yes		
Input audio data format selection 16-, 20-, 24-bit standard (right-justified) format 24-bit MSB-first left-justified format 16-/24-bit I ² S format	24-bit I ² S format	Register 18	FMT[2:0]	yes		yes
Sampling rate selection for de-emphasis Disabled, 44.1 kHz, 48 kHz, 32 kHz	De-emphasis disabled	Register 18	DMF[1:0]	yes	yes ⁽¹⁾	
De-emphasis control—Disabled, enabled	De-emphasis disabled	Register 18	DME	yes		
Soft mute control—Mute disabled, enabled	Mute disabled	Register 18	MUTE	yes		
Output phase reversal—Normal, reverse	Normal	Register 19	REV	yes	yes	yes
Attenuation speed selection $\times 1 f_S$, $\times (1/2) f_S$, $\times (1/4) f_S$, $\times (1/8) f_S$	$\times 1 f_S$	Register 19	ATS[1:0]	yes		
DAC operation control—Enabled, disabled	DAC operation enabled	Register 19	OPE	yes	yes	yes
Zero flag pin operation control DSD data input, zero flag output	DSD data input	Register 19	ZOE	yes		yes
Stereo DF bypass mode select Monaural, stereo	Monaural	Register 19	DFMS			yes
Digital filter rolloff selection Sharp rolloff, slow rolloff	Sharp rolloff	Register 19	FLT	yes		
Infinite zero mute control Disabled, enabled	Disabled	Register 19	INZD	yes		yes
System reset control Reset operation, normal operation	Normal operation	Register 20	SRST	yes	yes	yes
DSD interface mode control DSD enabled, disabled	Disabled	Register 20	DSD		yes	
Digital-filter bypass control DF enabled, DF bypass	DF enabled	Register 20	DFTH			yes
Monaural mode selection Stereo, monaural	Stereo	Register 20	MONO	yes	yes	yes
Channel selection for monaural mode data L-channel, R-channel	L-channel	Register 20	CHSL	yes	yes	yes
Delta-sigma oversampling rate selection $\times 64 f_S$, $\times 128 f_S$, $\times 32 f_S$	$\times 64 f_S$	Register 20	OS[1:0]	yes	yes ⁽²⁾	yes
PCM zero output enable	Enabled	Register 21	PCMZ	yes		yes
DSD zero output enable	Disabled	Register 21	DZ[1:0]		yes	
Function available only for read						
Zero detection flag Not zero, zero detected	Not zero = 0 Zero detected = 1	Register 22	ZFGL (for L-ch) ZFGR (for R-ch)	yes	yes	yes

(1) When in DSD mode, DMF[1:0] is defined as DSD filter (analog FIR) performance selection.

(2) When in DSD mode, OS[1:0] is defined as DSD filter (analog FIR) operation rate selection.

Register Map

The mode control register map is shown in Table 3. Registers 16–21 include an R/\overline{W} bit, which determines whether a register read ($R/\overline{W} = 1$) or write ($R/\overline{W} = 0$) operation is performed. Register 22 is read-only.

Table 3. Mode Control Register Map

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 16	R/\overline{W}	0	0	1	0	0	0	0	ATL7	ATL6	ATL5	ATL4	ATL3	ATL2	ATL1	ATL0
Register 17	R/\overline{W}	0	0	1	0	0	0	1	ATR7	ATR6	ATR5	ATR4	ATR3	ATR2	ATR1	ATR0
Register 18	R/\overline{W}	0	0	1	0	0	1	0	ATLD	FMT2	FMT1	FMT0	DMF1	DMF0	DME	MUTE
Register 19	R/\overline{W}	0	0	1	0	0	1	1	REV	ATS1	ATS0	OPE	ZOE	DFMS	FLT	INZD
Register 20	R/\overline{W}	0	0	1	0	1	0	0	RSV	SRST	DSD	DFTH	MONO	CHSL	OS1	OS0
Register 21	R/\overline{W}	0	0	1	0	1	0	1	RSV	RSV	RSV	RSV	RSV	DZ1	DZ0	PCMZ
Register 22	R	0	0	1	0	1	1	0	RSV	RSV	RSV	RSV	RSV	RSV	ZFGR	ZFGL

Register Definitions

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 16	R/\overline{W}	0	0	1	0	0	0	0	ATL7	ATL6	ATL5	ATL4	ATL3	ATL2	ATL1	ATL0
Register 17	R/\overline{W}	0	0	1	0	0	0	1	ATR7	ATR6	ATR5	ATR4	ATR3	ATR2	ATR1	ATR0

R/\overline{W} : Read/Write Mode Select

When $R/\overline{W} = 0$, a write operation is performed.

When $R/\overline{W} = 1$, a read operation is performed.

Default value: 0

ATx[7:0]: Digital Attenuation Level Setting

These bits are available for read and write.

Default value: 1111 1111b

Each DAC output has a digital attenuator associated with it. The attenuator can be set from 0 dB to –120 dB, in 0.5-dB steps. Alternatively, the attenuator can be set to infinite attenuation (or mute).

The attenuation data for each channel can be set individually. However, the data load control (the ATLD bit of control register 18) is common to both attenuators. ATLD must be set to 1 in order to change an attenuator setting. The attenuation level can be set using the following formula:

$$\text{Attenuation level (dB)} = 0.5 \text{ dB} \cdot (\text{ATx}[7:0]_{\text{DEC}} - 255)$$

where $\text{ATx}[7:0]_{\text{DEC}} = 0$ through 255

For $\text{ATx}[7:0]_{\text{DEC}} = 0$ through 14, the attenuator is set to infinite attenuation. Table 4 shows attenuation levels for various settings.

Table 4. Digital Attenuation Levels

ATx[7:0]	Decimal Value	Attenuation Level Setting
1111 1111b	255	0 dB, no attenuation (default)
1111 1110b	254	–0.5 dB
1111 1101b	253	–1.0 dB
⋮	⋮	⋮
0001 0000b	16	–119.5 dB
0000 1111b	15	–120.0 dB
0000 1110b	14	Mute
⋮	⋮	⋮
0000 0000b	0	Mute

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 18	R/W	0	0	1	0	0	1	0	ATLD	FMT2	FMT1	FMT0	DMF1	DMF0	DME	MUTE

R/W: Read/Write Mode Select

When $R/\overline{W} = 0$, a write operation is performed.

When $R/\overline{W} = 1$, a read operation is performed.

Default value: 0

ATLD: Attenuation Load Control

This bit is available for read and write.

Default value: 0

ATLD = 0	Attenuation control disabled (default)
ATLD = 1	Attenuation control enabled

The ATLD bit is used to enable loading of the attenuation data contained in registers 16 and 17. When ATLD = 0, the attenuation settings remain at the previously programmed levels, ignoring new data loaded from registers 16 and 17. When ATLD = 1, attenuation data written to registers 16 and 17 is loaded normally.

FMT[2:0]: Audio Interface Data Format

These bits are available for read and write.

Default value: 101

For the external digital filter interface mode (DFTH mode), this register is operated as shown in the *Application for Interfacing With an External Digital Filter* section of this data sheet.

FMT[2:0]	Audio Data Format Selection
000	16-bit standard format, right-justified data
001	20-bit standard format, right-justified data
010	24-bit standard format, right-justified data
011	24-bit MSB-first, left-justified format data
100	16-bit I ² S-format data
101	24-bit I ² S-format data (default)
110	Reserved
111	Reserved

The FMT[2:0] bits are used to select the data format for the serial audio interface.

DMF[1:0]: Sampling Frequency Selection for the De-Emphasis Function

These bits are available for read and write.

Default value: 00

DMF[1:0]	De-Emphasis Sampling Frequency Selection
00	Disabled (default)
01	48 kHz
10	44.1 kHz
11	32 kHz

The DMF[1:0] bits are used to select the sampling frequency used by the digital de-emphasis function when it is enabled by setting the DME bit. The de-emphasis curves are shown in the *TYPICAL PERFORMANCE CURVES* section of this data sheet.

For the DSD mode, analog FIR filter performance can be selected using this register. A register map and filter response plots are shown in the *APPLICATION FOR DSD FORMAT (DSD MODE) INTERFACE* section of this data sheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DME: Digital De-Emphasis Control

This bit is available for read and write.

Default value: 0

DME = 0	De-emphasis disabled (default)
DME = 1	De-emphasis enabled

The DME bit is used to enable or disable the de-emphasis function for both channels.

MUTE: Soft Mute Control

This bit is available for read and write.

Default value: 0

MUTE = 0	MUTE disabled (default)
MUTE = 1	MUTE enabled

The MUTE bit is used to enable or disable the soft mute function for both channels.

Soft mute is operated as a 256-step attenuator. The speed for each step to $-\infty$ dB (mute) is determined by the attenuation rate selected in the ATS register.

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 19	R/W	0	0	1	0	0	1	1	REV	ATS1	ATS0	OPE	ZOE	DFMS	FLT	INZD

R/W: Read/Write Mode Select

When $R/\bar{W} = 0$, a write operation is performed.

When $R/\bar{W} = 1$, a read operation is performed.

Default value: 0

REV: Output Phase Reversal

This bit is available for read and write.

Default value: 0

REV = 0	Normal output (default)
REV = 1	Inverted output

The REV bit is used to invert the output phase for both channels.

ATS[1:0]: Attenuation Rate Select

These bits are available for read and write.

Default value: 00

ATS[1:0]	Attenuation Rate Selection
00	Every PLRCK (default)
01	PLRCK/2
10	PLRCK/4
11	PLRCK/8

The ATS[1:0] bits are used to select the rate at which the attenuator is decremented/incremented during level transitions.

OPE: DAC Operation Control

This bit is available for read and write.

Default value: 0

OPE = 0	DAC operation enabled (default)
OPE = 1	DAC operation disabled

The OPE bit is used to enable or disable the analog output for both channels. Disabling the analog outputs forces them to the bipolar zero level (BPZ) even if digital audio data is present on the input.

ZOE: Zero Flag Pin Operation Control

This bit is available for read and write.

Default value: 0

ZOE = 0	DSD data input (default)
ZOE = 1	Zero flag output

The ZOE bit is used to change the DSDL (pin 1) and DSDR (pin 2) pin assignments. When the ZOE bit is set to 0, DSDL and DSDR are inputs for L-channel and R-channel data. When the ZOE bit is set to 1, DSDL and DSDR become outputs for the L-channel and R-channel zero flags, respectively. See the PCMZ and DZ[1:0] bit descriptions of register 21.

DFMS: Stereo DF Bypass Mode Select

This bit is available for read and write.

Default value: 0

DFMS = 0	Monaural (default)
DFMS = 1	Stereo input enabled

The DFMS bit is used to enable stereo operation in DF bypass mode. In the DF bypass mode, when DFMS is set to 0, the pin for the input data is PDATA (pin 5) only, therefore the DSD1794 operates as a monaural DAC. When DFMS is set to 1, the DSD1794 can operate as a stereo DAC with inputs of L-channel and R-channel data on DSDL (pin 1) and DSDR (pin 2), respectively.

FLT: Digital Filter Rolloff Control

This bit is available for read and write.

Default value: 0

FLT = 0	Sharp rolloff (default)
FLT = 1	Slow rolloff

The FLT bit is used to select the digital filter rolloff characteristic. The filter responses for these selections are shown in the *TYPICAL PERFORMANCE CURVES* section of this data sheet.

INZD: Infinite Zero Detect Mute Control

This bit is available for read and write.

Default value: 0

INZD = 0	Infinite zero detect mute disabled (default)
INZD = 1	Infinite zero detect mute enabled

The INZD bit is used to enable or disable the zero detect mute function. Setting INZD to 1 forces muted analog outputs to hold a bipolar zero level when the DSD1794 detects zero data in both channels continuously for 1024 sampling periods ($1/f_s$). The infinite zero detect mute function does not work in the DSD mode.

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาดูงาน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 20	R/W	0	0	1	0	1	0	0	RSV	SRST	DSD	DFTH	MONO	CHSL	OS1	OS0

R/W: Read/Write Mode Select

When $R/\overline{W} = 0$, a write operation is performed.

When $R/\overline{W} = 1$, a read operation is performed.

Default value: 0

SRST: System Reset Control

This bit is available for write only.

Default value: 0

SRST = 0	Normal operation (default)
SRST = 1	System reset operation (generate one reset pulse)

The SRST bit is used to reset the DSD1794 to the initial system condition.

DSD: DSD Interface Mode Control

This bit is available for read and write.

Default value: 0

DSD = 0	DSD interface mode disabled (default)
DSD = 1	DSD interface mode enabled

The DSD bit is used to enable or disable the DSD interface mode.

DFTH: Digital Filter Bypass (or Through Mode) Control

This bit is available for read and write.

Default value: 0

DFTH = 0	Digital filter enabled (default)
DFTH = 1	Digital filter bypassed for external digital filter

The DFTH bit is used to enable or disable the external digital filter interface mode.

MONO: Monaural Mode Selection

This bit is available for read and write.

Default value: 0

MONO = 0	Stereo mode (default)
MONO = 1	Monaural mode

The MONO function is used to change the operation mode from the normal stereo mode to the monaural mode. When the monaural mode is selected, both DACs operate in a balanced mode for one channel of audio input data. Channel selection is available for L-channel or R-channel data, determined by the CHSL bit as described immediately following.

CHSL: Channel Selection for Monaural Mode

This bit is available for read and write.

Default value: 0

This bit is available when MONO = 1.

CHSL = 0	L-channel selected (default)
CHSL = 1	R-channel selected

The CHSL bit selects L-channel or R-channel data to be used in monaural mode.

OS[1:0]: Delta-Sigma Oversampling Rate Selection

These bits are available for read and write.

Default value: 00

OS[1:0]	Operation Speed Select
00	64 times f_S (default)
01	32 times f_S
10	128 times f_S
11	Reserved

The OS bits are used to change the oversampling rate of delta-sigma modulation. Use of this function enables the designer to stabilize the conditions at the post low-pass filter for different sampling rates. As an application example, programming to set 128 times in 44.1-kHz operation, 64 times in 96-kHz operation, and 32 times in 192-kHz operation allows the use of only a single type (cutoff frequency) of post low-pass filter. The 128- f_S oversampling rate is not available at sampling rates above 100 kHz. If the 128- f_S oversampling rate is selected, a system clock of more than 256 f_S is required.

In DSD mode, these bits are used to select the speed of the bit clock for DSD data coming into the analog FIR filter.

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 21	R/W	0	0	1	0	1	0	1	RSV	RSV	RSV	RSV	RSV	DZ1	DZ0	PCMZ

R/W: Read/Write Mode Select

When $R/\overline{W} = 0$, a write operation is performed.

When $R/\overline{W} = 1$, a read operation is performed.

Default value: 0

DZ[1:0]: DSD Zero Output Enable

These bits are available for read and write.

Default value: 00

DZ[1:0]	Zero Output Enable
00	Disabled (default)
01	Even pattern detect
1x	96 _H pattern detect

The DZ bits are used to enable or disable the output zero flags, and to select the zero pattern in the DSD mode. The DSD1794 sets zero flags when the number of 1s and 0s are equal in every 8 bits of DSD input data, or the DSD input data is 1001 0110 continuously for 200 ms.

PCMZ: PCM Zero Output Enable

These bits are available for read and write.

Default value: 1

PCMZ = 0	PCM zero output disabled
PCMZ = 1	PCM zero output enabled (default)

The PCMZ bit is used to enable or disable the output zero flags in the PCM mode and the external DF mode. The DSD1794 sets the zero flags when the input data is continuously zero for 1024 LRCKs in the PCM mode or 1024 WDCKs in the external filter mode.

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 22	R	0	0	1	0	1	1	0	RSV	RSV	RSV	RSV	RSV	RSV	ZFGR	ZFGL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับผู้ใช้เฉพาะเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำโดยไม่ขออนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้