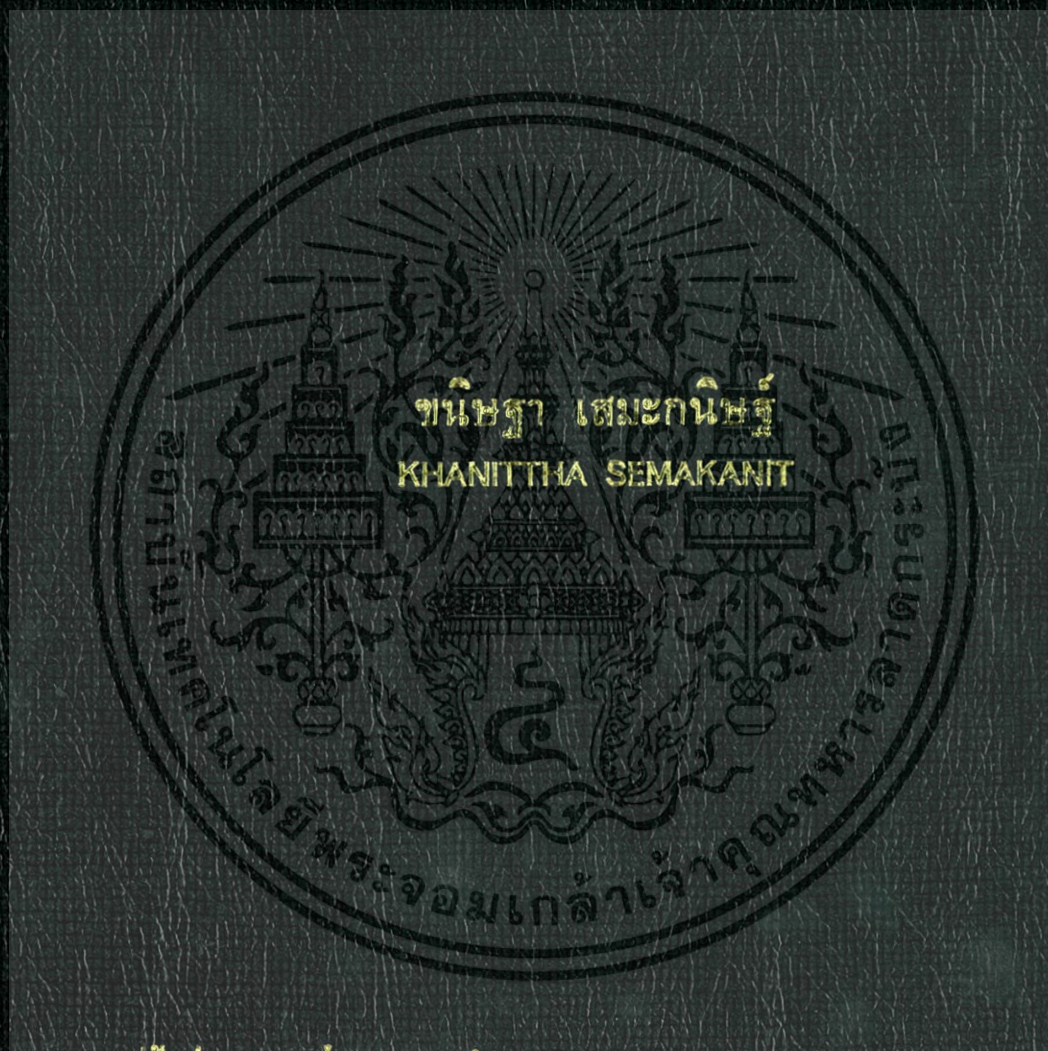


วงจรมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์

$\pm 1$  VOLT, HIGH-SWING, HIGH-FREQUENCY CMOS OTA



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาค้นคว้าหลักสูตรปริญญาโท สาขาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-324-958-3

วงจรมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์

$\pm 1$  VOLT, HIGH-SWING, HIGH-FREQUENCY CMOS OTA



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-324-958-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# $\pm 1$ VOLT, HIGH-SWING, HIGH-FREQUENCY CMOS OTA



A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING  
SCHOOL OF GRADUATE STUDIES  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2004

ISBN 974-324-958-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2004**

**SCHOOL OF GRADUATE STUDIES**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**บัณฑิตวิทยาลัย**  
**สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง**  
**ใบรับรองวิทยานิพนธ์**

-----

หัวข้อวิทยานิพนธ์      วงจรซีมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์  
 $\pm 1$  VOLT, HIGH-SWING , HIGH-FREQUENCY CMOS OTA

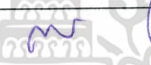




ชื่อนักศึกษา              นางสาวชนิษฐา      เสมะกนิษฐ์

รหัสประจำตัว              44611206

ปริญญา                      วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา                    วิศวกรรมโทรคมนาคม

อาจารย์ผู้ควบคุมวิทยานิพนธ์      รศ.ดร.กอบชัย      เฉชหาญ

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.สมยศ	จตุณณะปิยะ	
ดร.พิเชฐ	ม่วงนวล	
รศ.ดร.สุวิพล	สิทธิชีวกภาค	
รศ.ดร.ฟูศักดิ์	ชีวิสุวิทย์	
รศ.ดร.กอบชัย	เฉชหาญ	

วัน/เดือน/ปี ที่สอบ 26 ธันวาคม 2546 เวลา 10.30-12.30 น.

สถานที่สอบ ณ อาคาร 12 ชั้น ชั้น 4 (ห้อง E12-404)

บัณฑิตวิทยาลัยรับรองแล้ว

(รศ.ดร.บุญวัฒน์ อัทชู)

รักษาราชการแทนคณบดีบัณฑิตวิทยาลัย

วันที่.....เดือน.....พ.ศ.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรมือส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน $\pm 1$ โวลต์
นักศึกษา	นางสาวชนิษฐา เสมะกนิษฐ
รหัสนักศึกษา	44611206
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2547
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

### บทคัดย่อ

เนื้อหาของวิทยานิพนธ์ฉบับนี้ นำเสนอวงจรมือส OTA ที่มีการสวิงและความถี่สูง อินพุทปฏิบัติงานแบบ Rail-to-Rail วงจรใช้แหล่งจ่าย  $\pm 1$  โวลต์ และออกแบบโดยใช้เทคโนโลยีของมือส การสวิงของสัญญาณทางอินพุทและเอาพุทมีค่าสูง โดยใช้วงจรถิฟเฟอเรนเชียลแบบคอมพลิเมนทารีและวงจรถิฟเฟอเรนเชียลแบบคอมพลิเมนทารี โดยวงจรถิฟเฟอเรนเชียลจะนำเสนอมือสที่มีค่า DC gain สูงและมีความถี่สูงภายใต้เงื่อนไขเป็นวงจรถิฟเฟอเรนเชียลที่ใช้แรงดันและกำลังงานต่ำและใช้ขนาดของมอสทรานซิสเตอร์น้อยในการจำลองได้ใช้พารามิเตอร์มือส  $0.5\mu\text{m}$  AMI Level 3 ของ MOSIS ผลการจำลองการทำงานด้วยโปรแกรม PSPICE วงจรมือสมีค่า DC gain เท่ากับ 106 dB มีความถี่แบบ Unity-gain เท่ากับ 62 MHz และ Phase margin เท่ากับ  $56^\circ$

<b>Thesis Title</b>	$\pm 1$ Volt, High-Swing, High-Frequency CMOS OTA
<b>Student</b>	Miss Khanittha Semakanit
<b>Student ID.</b>	44611206
<b>Degree</b>	Master of Engineering
<b>Programme</b>	Telecommunications Engineering
<b>Year</b>	2004
<b>Thesis Advisor</b>	Assoc.Prof.Dr.Kobchai Dejhan

### ABSTRACT

This thesis proposes a CMOS OTA consists of high-gain, high-frequency and rail-to-rail input and output ranges. The circuit can be operated at  $\pm 1$  volt supply voltage based on CMOS technology design. The input stage is rail-to-rail operation with complementary differential pairs and provides high-gain and high-swing while keeping the input and output swing full by using folded Cascode stage. This proposes are high-gain and high-frequency under conditions low-voltage, low-power and minimum-size of MOS transistors. PSPICE simulation is performed by using 0.5 $\mu$ m AMI parameters level 3 of MOSIS. This CMOS OTA has 106 dB, 62 MHz unity-gain frequency and 56° phase margin.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้อย่างดี ด้วยคำแนะนำและคำปรึกษาในการแก้ปัญหาต่างๆ เกี่ยวกับงานวิจัยจาก รศ.ดร.กอบชัย เดชหาญ ซึ่งเป็นผู้ควบคุมวิทยานิพนธ์ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ผู้วิจัยขอกราบขอบพระคุณ บิดา-มารดา ของข้าพเจ้า ที่ให้โอกาสและให้กำลังใจแก่ข้าพเจ้ามาโดยตลอด

ขอขอบคุณ คุณมนตรี กำเงินและคุณทรงพล บุญชูช่วย ที่ช่วยให้คำปรึกษา คำแนะนำและให้ข้อมูลต่างๆ ในบางจุดที่ผู้วิจัยติดปัญหาบางอย่าง ซึ่งเป็นผู้มีส่วนช่วยเป็นอย่างมากทำให้ผู้วิจัยเข้าใจในปัญหานั้น คุณไพบูรณ์ ผู้ประกายที่กรุณาให้คำปรึกษาและแนะนำการเขียนวิทยานิพนธ์ และขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ทุกคนที่เป็นกำลังใจให้ด้วยดีเสมอมา ประโยชน์อันใดที่เกิดจากงานวิจัยนี้ย่อมเป็นผลมาจากความกรุณาของท่านดังกล่าวข้างต้น ผู้วิจัยรู้สึกซาบซึ้งเป็นอย่างยิ่งจึงใคร่ขอขอบพระคุณเป็นอย่างสูงไว้ ณ โอกาสนี้

ขนิษฐา เสมะกนิษฐ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมติฐานของการศึกษา.....	1
1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	2
1.6 ขั้นตอนของการศึกษา.....	2
บทที่ 2 ทฤษฎี.....	3
2.1 ทฤษฎีการทำงานของมอสเฟต.....	3
2.1.1 บทนำ.....	3
2.1.2 มอสเฟตชนิดเอ็นแชนซ์เมนต์.....	5
2.1.2.1 โครงสร้าง.....	5
2.1.2.2 คุณสมบัติการทำงาน.....	9
2.1.2.3 Complementary MOS.....	13
2.1.3 มอสเฟตชนิดดีพลีชัน.....	13
2.1.4 วงจรสมมูลของมอสเฟต.....	16
2.1.5 ผลตอบสนองความถี่.....	19
2.1.6 แบบจำลองของมอสเฟต.....	23
2.1.7 การเปรียบเทียบกับไบโพลาร์.....	28
2.2 ทฤษฎีการทำงานของไอทีเอ.....	29
2.2.1 หลักการทำงานของไอทีเอ.....	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
2.2.1.1 หลักการ โอทีเอเบื้องต้น.....	29
2.2.1.2 โอทีเอในทางอุดมคติ.....	30
2.2.1.3 โอทีเอในทางปฏิบัติ.....	31
2.2.2 หลักการทำงานของโอทีเอ.....	33
2.2.2.1 วงจรขยายสัญญาณผลต่างอินพุต.....	33
2.2.2.2 วงจรสะท้อนกระแส.....	36
2.2.3 การนำโอทีเอไปใช้งาน.....	45
2.3 บทสรุป.....	46
บทที่ 3 ทฤษฎีที่ใช้ในการออกแบบวงจร.....	47
3.1 กล่าวนำ.....	47
3.2 ภาคอินพุต.....	47
3.2.1 วงจรดิฟเฟอเรนเชียลปฏิบัติงานแบบ Rail – to Rail.....	47
3.3 ภาคเอาพุต.....	50
3.3.1 วงจร Folded - Cascode.....	50
3.3.1.1 Regulated Cascode.....	52
บทที่ 4 วงจรซีมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน $\pm 1$ โวลต์.....	54
4.1 บทนำ.....	54
4.2 วงจรซีมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน $\pm 1$ โวลต์ ที่นำเสนอ.....	54
4.3 การจำลองและผลการจำลองการทำงานของวงจร.....	56
4.3.1 การจำลองวัดช่วงแรงดันอินพุตคอมมอนโหมด.....	57
4.3.2 การจำลองการวัดการตอบสนองความถี่และการตอบสนองทางเฟสของวงจร.....	59
4.4 การจำลองวัดคุณสมบัติต่างๆ ของวงจร.....	61
4.4.1 การจำลองการวัดค่าการตอบสนอง CMRR.....	61
4.4.2 การจำลองการวัดค่าการตอบสนอง PSRR.....	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
4.4.3 การจำลองค่าการสวิงของแรงดันเข้าพุท.....	63
4.4.4 การจำลองค่าอัตราการสูญเสีย.....	64
4.4.5 การจำลองค่าความสัมพันธ์ระหว่างค่ากระแสเข้าพุทกับค่าแรงดันอินพุท.....	65
4.4 สรุป.....	66
บทที่ 5 สรุปและข้อเสนอแนะ.....	67
5.1 บทสรุป.....	67
5.2 ข้อเสนอแนะ.....	69
เอกสารอ้างอิง.....	70
ภาคผนวก.....	71
ก. ทฤษฎีการทำงานของมอส.....	72
ข. พารามิเตอร์ซีมอส 0.5 $\mu$ m AMI Level 3 ของ MOSIS.....	78
ค. การเผยแพร่งานวิจัย.....	80
ประวัติผู้เขียน.....	82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่	หน้า
2.1 แสดงพารามิเตอร์ของแบบจำลองมอสเฟตที่ใช้ใน โปรแกรม SPICE.....	26
4.1 แสดงขนาดของมอสทรานซิสเตอร์.....	57
5.1 แหล่งจ่ายแรงดัน $\pm 1$ โวลต์ที่นำเสนอในวิทยานิพนธ์นี้และงานวิจัยที่ [7] – [8].....	68



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป

รูปที่	หน้า
2.1 สัญลักษณ์ของมอสทรานซิสเตอร์.....	3
2.1 สัญลักษณ์ของมอสทรานซิสเตอร์(ต่อ).....	4
2.2 แสดงโครงสร้างของมอสเฟทแบบเอ็นฮานซ์เมนต์ชนิดเอ็นแซนแนล.....	5
2.3 แสดงการทำงานของมอสทรานซิสเตอร์ในช่วงต่างๆ.....	8
2.3 แสดงการทำงานของมอสทรานซิสเตอร์ในช่วงต่างๆ (ต่อ).....	8
2.4 แบบจำลองการทำงานของมอสเฟท (ก) NMOS (ข) PMOS.....	9
2.5 แสดงกราฟความสัมพันธ์ระหว่าง $I_D - V_{DS}$ ตามสมการ (2.4) ขณะที่ $\lambda = 0$ .....	11
2.6 แสดงคุณสมบัติที่ทางออก (output characteristics) ของมอสทรานซิสเตอร์.....	12
2.7 โครงสร้างของ CMOS.....	13
2.8 มอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแซนแนล (ก) โครงสร้าง (ข) สัญลักษณ์.....	14
2.9 แสดงคุณสมบัติ $I_D - V_{DS}$ ของมอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแซนแนล.....	15
2.10 แสดงคุณสมบัติ $I_D - V_{DS}$ ของมอสเฟททั้งหมด.....	15
2.11 แบบจำลองสัญญาณขนาดเล็กของมอสเฟท (ก) ไม่พิจารณาผลของ $\lambda$ ขณะทำงานในช่วงอิมิตัว (ข) พิจารณาผลของ $\lambda$ โดยเพิ่มความต้านทานที่ทางออก.....	16
2.12 แบบจำลองสัญญาณขนาดเล็กของมอสเฟทกรณีพื้นฐานรองไม่ต่ออยู่กับซอส.....	18
2.13 (ก) แบบจำลองวงจรมูลของมอสเฟทที่ความถี่สูง (ข) วงจรมูลสำหรับกรณีซอสต่อกับฐานรอง (ค) วงจรมูลตามรูป (ข) กรณี $C_{db}$ มีค่าน้อยมาก.....	20
2.14 แสดงการหาอัตราขยายกระแสขณะปิดวงจร.....	22
2.15 บล็อกไดอะแกรมโครงสร้างพื้นฐานของโอทีเอ.....	29
2.16 วงจรมูลของโอทีเอในทางอุดมคติ.....	30
2.17 (ก) สัญลักษณ์ของโอทีเอ (ข) สัญลักษณ์วงจรมูลของโอทีเอในทางอุดมคติ.....	30
2.18 วงจรมูลของโอทีเอในทางปฏิบัติ.....	32
2.19 ผลการตอบสนองทางความถี่ของโอทีเอ.....	33
2.20 วงจรขยายผลต่าง.....	33
2.21 ความสัมพันธ์กระแสเข้าพุทของโอทีเอเมื่อแปรค่าแรงดันอินพุท.....	34
2.22 สัญลักษณ์ของวงจระสะท้อนกระแส (ก) แบบบวก (ข) แบบลบ.....	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
2.23 วงจรสะท้อนกระแส (ก) แบบพื้นฐาน (ข) แบบวิลสัน.....	38
2.24 วงจรสมมูลของโอทีเอ.....	43
2.25 โครงสร้างพื้นฐานภายในของโอทีเอ.....	43
2.26 (ก) ความสัมพันธ์ระหว่างอัตราขยายค่าความนำกับกระแสไบอัสของโอทีเอ (ข) ความสัมพันธ์ระหว่างความต้านทานอินพุตและความต้านทานเอาพุตกับกระแส ไบอัสของโอทีเอ.....	44
2.27 การใช้งานโอทีเอเบอร์ LM13600.....	45
3.1 แสดงภาคอินพุตที่ใช้มอสทรานซิสเตอร์ชนิด P-Channel และ N-Channel.....	47
3.2 แสดงวงจรภาคอินพุตแบบคิฟเฟอเรนเชียลแบบคอมพลิเมนทารี.....	48
3.3 แสดงความสัมพันธ์โดยทั่วไประหว่างค่า gm และแรงดันอินพุตคอมมอนโหมด.....	49
3.4 (ก) วงจรแบบคาสโคดเบื้องต้น (ข) วงจรแบบคาสโคดใช้โหลดแบบแอกทีฟ (ค) วงจรแบบคาสโคดใช้โหลดแบบแอกทีฟต่อคาสโคด.....	51
3.5 วงจร Regulate Cascode.....	52
4.1 แสดงบล็อกไดอะแกรมของซีมอส OTA.....	54
4.2 แสดงวงจรซีมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน $\pm 1$ โวลต์ที่สั้นเสนอ.....	55
4.3 แสดงวงจรตามแรงดันที่ใช้วัดช่วงแรงดันอินพุตคอมมอนโหมดเป็นการจำลอง ในโหมด DC.....	58
4.4 แสดงผลการจำลองคุณสมบัติ Rail-to-Rail ของวงจรซีมอส OTA ที่ทำการจำลอง การทำงานวงจรแบบวงจรตามแรงดัน.....	58
4.5 แสดงวงจรรูปเปิดที่ใช้จำลองวงจรการวัดการตอบสนองความถี่และการตอบสนองทาง เฟสเป็นการจำลองในโหมด AC.....	59
4.6 แสดงผลการจำลองการตอบสนองความถี่ของวงจร.....	60
4.7 แสดงผลการจำลองการตอบสนองทางเฟสของวงจร.....	60
4.8 แสดงวงจรที่ใช้จำลองค่าการตอบสนอง CMRR เป็นการจำลองในโหมด AC.....	61
4.9 แสดงผลการจำลองการตอบสนองของ CMRR.....	61
4.10 แสดงวงจรที่ใช้จำลองค่าการตอบสนอง PSRR เป็นการจำลองในโหมด AC.....	62
4.11 แสดงผลการจำลองการตอบสนอง PSRR <sup>+</sup> .....	62
4.12 แสดงวงจรที่ใช้จำลองค่าการสวิงของแรงดันเอาพุต เป็นการจำลองในโหมด DC.....	63

เอกสารนี้เป็นทรัพย์สินทางปัญญาของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.13 แสดงผลการจำลองค่าการสวิงของแรงดันเข้าพุท	63
4.14 แสดงวงจรที่ใช้จำลองค่าอัตราการสลับเร็ว	64
4.15 แสดงค่าแรงดันอินพุทที่จ่ายให้กับวงจรในรูปที่ 4.14	64
4.16 แสดงผลการจำลองอัตราการสลับเร็ว	65
4.17 แสดงวงจรจำลองค่าความสัมพันธ์ระหว่างค่ากระแสเข้าพุทกับค่าแรงดันอินพุท	65
4.18 แสดงผลการจำลองค่าความสัมพันธ์ระหว่างค่ากระแสเข้าพุทกับค่าแรงดันอินพุท	66
ก.1 แสดงการไบอัสมอสเฟตแบบเอ็นฮานเม้นท์ชนิด N-Channel	73
ก.2 แสดงความสัมพันธ์ระหว่าง $I_D$ กับ $V_{DS}$ เมื่อเปลี่ยนค่า $V_{GS}$ ของมอสเฟตแบบเอ็นฮานเม้นท์ชนิด N-channel	74
ก.3 แสดงการไบอัสมอสเฟตแบบดีพลีชันชนิด N-Channel	75
ก.4 แสดงความสัมพันธ์ระหว่าง $I_D$ กับ $V_{DS}$ เมื่อเปลี่ยนค่า $V_{GS}$ ของมอสเฟตแบบดีพลีชันชนิด N-Channel	76
ก.5 คุณสมบัติการถ่ายโอน	77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์และโทรคมนาคมได้วิวัฒนาการไปอย่างรวดเร็วและต่อเนื่อง เทคโนโลยีในการออกแบบวงจรอิเล็กทรอนิกส์ก็เช่นกัน ดังนั้นเทคโนโลยีทางด้านชิปส์ซึ่งได้ถูกพัฒนาอย่างต่อเนื่องเช่นกันและยังสามารถนำไปใช้งานได้ทั้งทางวงจรร้านแอล็อกและด้านดิจิทัล แต่ในวงจรทั่วไปมีการใช้งานอยู่สองลักษณะคือการใช้งานทางด้านกระแสและการใช้งานทางด้านแรงดัน และในปัจจุบันนี้การใช้งานทางด้านแรงดันต่ำกับอุปกรณ์กำลังได้รับความนิยมเพิ่มมากขึ้น

ในวิทยานิพนธ์ฉบับนี้จึงเป็นการศึกษาเมื่อนำชิปส์มาออกแบบเป็นออปเปอร์ - เรชันแนลทรานส์คอนดักแตนซ์แอมพลิไฟเออร์ (Operational Transconductance Amplifier) หรือ OTA ต้องทำงานที่แรงดันต่ำ

### 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ปัจจุบันวงจรที่ออกแบบโดยใช้เทคโนโลยีชิปส์เป็นที่นิยมน้อย่างกว้างขวางในการออกแบบวงจรรวม (VLSI) ขนาดของวงจร แรงดันไฟเลี้ยงสูง สิ่งเหล่านี้เป็นปัญหาที่ต้องปรับปรุงในการออกแบบ เพื่อให้การทำงานของวงจรมีประสิทธิภาพเพิ่มมากขึ้น ไม่ว่าจะเป็นขนาดของวงจรที่ลดลง แรงดันไฟเลี้ยงต่ำลง ในการปรับปรุงนี้ทำให้สามารถพัฒนาอุปกรณ์ที่ใช้งานต่างๆ ให้มีขนาดเล็กและมีประสิทธิภาพเพิ่มมากขึ้น ดังนั้นจึงได้ทำการปรับปรุงการออกแบบวงจรให้สามารถใช้งานได้ดีที่แรงดันต่ำ การตอบสนองในการทำงานที่ดี มีขนาดเล็ก เหมาะที่จะนำไปใช้งานออกแบบวงจรรวม (VLSI) และกับอุปกรณ์ที่มีขนาดเล็กๆ ได้ต่อไปในอนาคต

### 1.3 สมมติฐานของการศึกษา

สมมติฐานของงานวิจัยที่นำเสนอเป็นการใช้อินพุตปฏิบัติงานแบบ Rail-to-Rail กับวงจรที่ออกแบบซึ่งสามารถช่วยให้อินพุตคอมมอน โหมดจะมีค่าที่สูงขึ้น วงจรที่ออกแบบน่าที่จะให้ค่า DC Gain ค่า Gain Bandwidth Product (GBW) สูงกว่าวงจรของหลักการเดิม [7-8] การสวิงทางเข้าพุทสูงและมีเข้าพุทอิมพีแดนซ์ค่าสูงมากจากการใช้วงจร Folded Cascode โดยให้อยู่ในขอบเขตการใช้แหล่งจ่ายแรงดันต่ำ โดยใช้ค่า W/L ที่มีค่าไม่มากและจำนวนของมอสทรานซิสเตอร์ที่น้อยที่สุดที่สามารถจะเป็นไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

ในวิทยานิพนธ์ฉบับนี้ศึกษาถึงเมื่อ OTA ต้องทำงานที่แรงดันต่ำผลก็คือช่วงแรงดันอินพุทคอมมอน โหมดจะถูกทดลองดังนั้นการออกแบบจะต้องให้อินพุทปฏิบัติงานแบบ Rail-to-Rail เพื่อให้อัตราส่วนสัญญาณต่อออสมีค่ามากเท่าที่จะเป็นไปได้ โดยวงจรซีมอส OTA ที่นำเสนอประกอบด้วยส่วนต่างๆ 2 ส่วนคือ ภาคอินพุทแบบคิฟเฟอเรนเชียลและภาค Folded Cascode โดยที่ภาคอินพุทแบบ คิฟเฟอเรนเชียลจะเป็นวงจรแบบคอมพลิเมนทารีที่ใช้มอสทรานซิสเตอร์ชนิด N-Channel และ P-Channel สองคู่ขนานกันโดยช่วงแรงดันคอมมอน โหมดด้านสูงคู่ มอสทรานซิสเตอร์ชนิด N-Channel จะทำงานส่วนช่วงแรงดันคอมมอน โหมดทางด้านต่ำคู่ มอสทรานซิสเตอร์ชนิด P-Channel ดังนั้นจึงทำให้วงจร OTA มีช่วงอินพุทกว้าง ส่วนภาควงจร Folded Cascode จะเป็นวงจรที่รวมสัญญาณอินพุทสองอินพุทเป็นเอาพุทเดียวโดย วงจรที่ใช้เป็นวงจรแบบ Folded Cascode จะช่วยให้ OTA มีอัตราขยายที่สูงและรักษาการสวิงที่สูงทางอินพุทเอาไว้ สำหรับวงจร Folded Cascode ที่ใช้เป็นวงจรสะท้อนกระแสแบบ Regulated Cascode (RGC) จะนำมาใช้เป็นโหลดดังนั้นจึงทำให้วงจร Folded Cascode นี้มีการสวิงและมีเอาพุทอิมพีแดนซ์ค่าสูงมากโดยไม่ต้องใช้ขนาด W/L ของมอสทรานซิสเตอร์ที่มีค่ามาก

## 1.5 ขอบเขตการวิจัย

ในวิทยานิพนธ์ฉบับนี้ศึกษาถึงการนำเอาซีมอสทรานซิสเตอร์มาออกแบบเป็นออปเปอร์เรชันแนลทรานส์คอนดักแตนซ์แอมพลิไฟเออร์โดยใช้แรงดันต่ำ โดยการจำลองวงจรได้ใช้พารามิเตอร์ของซีมอสทรานซิสเตอร์  $0.5\mu\text{m}$  AMI Level 3 ของ MOSIS ผลการจำลองการทำงานด้วยโปรแกรม PSPICE ผลการจำลองแสดงถึงค่าต่างๆ ที่เมื่อนำเอาหลักการ Rail-to-Rail เข้ามาช่วยทางด้านอินพุทและนำ Folded Cascode เข้ามาช่วยทางด้านเอาพุทเพื่อให้ผลของการจำลองดีขึ้นกว่าหลักการเดิม

## 1.6 ขั้นตอนของการศึกษา

ขั้นตอนของการศึกษาในวิทยานิพนธ์ฉบับนี้เริ่มจากผู้วิจัยศึกษาทฤษฎีและหลักการต่างๆ ที่ใช้เกี่ยวกับวิทยานิพนธ์ฉบับนี้ และเลือกใช้ค่าพารามิเตอร์ของมอสทรานซิสเตอร์ให้เหมาะสม หลังจากนั้นได้ทำการออกแบบวงจรและทำการจำลองวงจรที่ออกแบบ แล้วนำผลการจำลองมาเปรียบเทียบกับวงจรของหลักการเดิม

## บทที่ 2

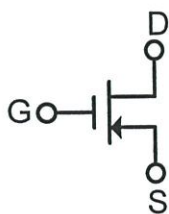
## ทฤษฎี

### 2.1 ทฤษฎีการทำงานของมอสเฟต

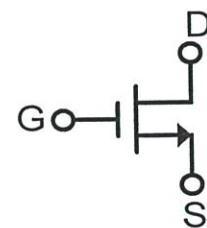
#### 2.1.1 บทนำ

มอสเฟต (Metal Oxide Semiconductor Field Effect Transistor หรือ MOSFET) หรือทรานซิสเตอร์ชนิดมอส หรือมอสทรานซิสเตอร์ จริงๆ แล้วแนวความคิดเกี่ยวกับมอส ได้มีการพัฒนามาก่อนการสร้างไบโพลาร์ทรานซิสเตอร์ (bipolar transistor) ในต้นทศวรรษ 1930 ได้มีหลักฐานแสดงถึงการจดสิทธิบัตรสำหรับอุปกรณ์ที่คล้ายกับซิลิกอนมอสเฟตสมัยใหม่ แต่ไม่ได้สร้างขึ้นจากซิลิกอน โดยในสมัยนั้นในกระบวนการสร้างยากที่จะควบคุมรอยสัมผัสหรือรอยต่อของฉนวนกับสารกึ่งตัวนำ (insulator-semiconductor interface) และขาดความเข้าใจในกระบวนการของฉนวนและสารกึ่งตัวนำ ทำให้อุปกรณ์ที่คล้ายมอสเฟตในสมัยนั้นไม่สามารถนำไปใช้งานจริงได้ จนกระทั่งมีการเกิดขึ้นของกระบวนการ silicon planer และเทคโนโลยีสมัยใหม่สามารถควบคุมรอยต่อระหว่างออกไซด์และซิลิกอนได้ดี ทำให้มอสเฟตสามารถนำมาใช้งานได้จริง และเป็นที่แพร่หลายในปลายทศวรรษ 1970

มอสเฟตเป็นทรานซิสเตอร์ที่ทำงานโดยผลของสนามไฟฟ้า สามารถถูกแบ่งออกเป็นประเภทต่างๆ ได้มากมายขึ้นอยู่กับเกณฑ์ที่ใช้ในการแบ่ง เช่นถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแส จะสามารถแบ่งได้เป็นสองชนิด คือ มอสเฟตชนิดช่องทางเดินกระแสชนิดเอ็น (n-channel MOSFET) เป็นทรานซิสเตอร์ที่ใช้อิเล็กตรอนในการนำกระแส และมอสเฟตชนิดช่องทางเดินกระแสชนิดพี (p-channel MOSFET) เป็นทรานซิสเตอร์ที่ใช้โฮลเป็นพาหะในการนำกระแส โดยสัญลักษณ์แสดงมอสทรานซิสเตอร์ชนิดพีและเอ็น ได้ดังแสดงดังรูปที่ 2.1 ถ้าแบ่งมอสทรานซิสเตอร์ตามลักษณะการทำงาน จะสามารถแบ่งได้สองลักษณะ คือ ทรานซิสเตอร์แบบเอนฮานซ์เมนต์ โหมด (Enhancement Mode Transistor) และทรานซิสเตอร์แบบดีพลีชัน โหมด (Depletion Mode Transistor)

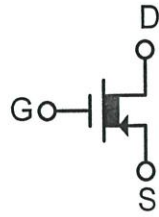


(ก)

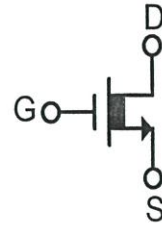


(ข)

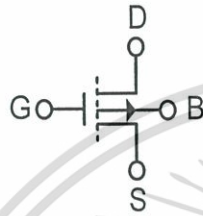
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



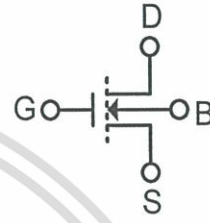
(ก)



(ง)



(จ)



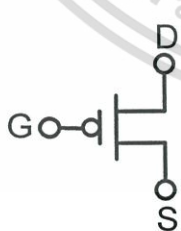
(ฉ)



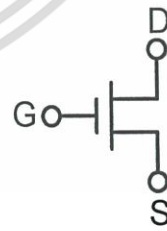
(ช)



(ซ)



(ณ)



(ญ)

รูปที่ 2.1 สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดพีแชนแนลจะแสดงได้ดังรูป ก, ค, จ, ช และ ณ

สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดเอ็นแชนแนลจะแสดงได้ดังรูป ข, ง, ฉ, ซ และ ญ

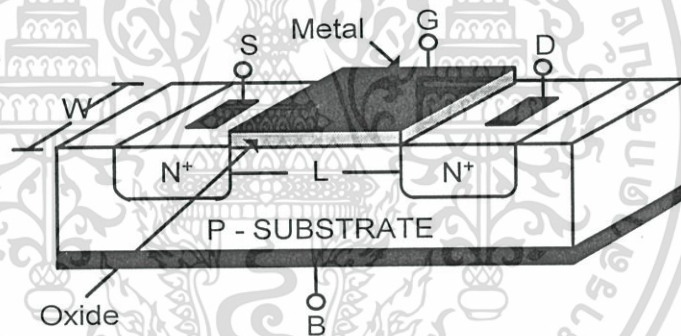
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.1.2 มอสเฟตชนิดเอ็นฮานซ์เมนต์

มอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ เป็นชนิดที่นิยมใช้กันอย่างแพร่หลายมากกว่าชนิดดีพีเอ็น โดยหัวข้อนี้จะได้กล่าวถึง โครงสร้างและคุณสมบัติในการทำงานของมอสชนิดเอ็นฮานซ์เมนต์ ในส่วนสุดท้ายของหัวข้อนี้จะอธิบายถึง CMOS

### 2.1.2.1 โครงสร้าง

รูปที่ 2.2 แสดงถึง โครงสร้างของมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิดเอ็นแซนแนล ซึ่งส่วนซอส (Source) และ เดรน (Drain) สร้างขึ้นจากการแพร่อะตอมของสารเจือชนิดเอ็น (n-type) ที่มีความหนาแน่นสูง ( $n^+$ ) เข้าไปในแผ่นผลึกฐานรอง (Body หรือ Substrate) ของสารกึ่งตัวนำ ชนิดพี (p-type) ซึ่งเป็นแผ่นผลึกซิลิกอนรูปเดี่ยว (single-crystal silicon wafer) และส่วนของเกต (Gate) จะเป็นโลหะ (Metal) หรือชั้นของโพลีซิลิกอนซึ่งซ้อนกันอยู่บนชั้นของออกไซด์ โดยมีโลหะอลูมิเนียมเป็นขั้วต่อไฟฟ้าของส่วนเกตจากโพลีซิลิกอน และเป็นขั้วต่อไฟฟ้าของทั้งซอสและเดรนด้วย



รูปที่ 2.2 แสดงโครงสร้างของมอสเฟตแบบเอ็นฮานซ์เมนต์ชนิดเอ็นแซนแนล

การทำงานของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ ซึ่งอธิบายเกี่ยวกับทรานซิสเตอร์ชนิดเอ็นแซนแนล สามารถพิจารณาได้ตามโครงสร้างรูปที่ 2.3 ซึ่งแสดงถึงการทำงานในช่วงต่างๆ ของ  $V_{DS}$  และ  $V_{GS}$  จากรูป 2.3 (ก) ซอส เดรน และฐานต่อลงกราวด์ ในกรณีนี้มีผลทำให้ทรานซิสเตอร์ทำงานคล้ายกับตัวเก็บประจุโดยเกตและผิวของซิลิกอนได้ฉนวนซิลิกอนไดออกไซด์ทำหน้าที่เสมือนแผ่นระนาบ (plate) ของตัวเก็บประจุ ซึ่งมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนคั่นระหว่างกลาง ถ้า  $V_{GS}$  มีค่าเป็นลบ ประจุพาหะชนิดบวกหรือโฮลจะถูกดูดเข้ามาสะสมบริเวณแซนแนล มีผลให้บริเวณแซนแนลกลายเป็น  $p^+$  และเรียกว่า แซนแนลสะสม (accumulate channel) บริเวณซอสและเดรนที่เป็น  $n^+$  ถูกแยกจากกันด้วยแซนแนล  $p^+$  เมื่อมองในลักษณะ

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้เพื่อใช้ในการศึกษาเท่านั้น มิได้อนุญาตให้เผยแพร่หรือใช้ซ้ำโดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นถ้าจะเกิดกระแสไหลได้ แรงดันที่ขอสครอนจะต้องมีค่ามากๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหล (leakage current) หรือกรณีที่แรงดันครอนขอสมีค่ามากจนทำให้ทรานซิสเตอร์เบรกควาน์

ในกรณีที่แรงดันเกตมีค่าเป็นบวกไม่มาก ประจุบวกข้างใต้เกตจะถูกผลักออกไป ทำให้แขนแนลเปลี่ยนไปเป็น  $p^-$  และเป็นบริเวณปลอดพาหะ (depletion region) ในที่สุด เมื่อแรงดันที่เกตเพิ่มมากขึ้น ประจุลบหรืออิเล็กตรอนจะถูกดึงดูดเข้ามาที่บริเวณแขนแนล และแขนแนลจะแปรสภาพเป็นบริเวณ  $n$  ตามรูป 2.3 (ข) ซึ่งเชื่อมต่อบริเวณขอสและครอนเข้าด้วยกัน และเรียกว่าแขนแนลกลับ (inverted channel) แรงดันเกตขอสที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกตมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรอน เป็นนิยามของแรงดันขีดเริ่มของทรานซิสเตอร์ (transistor threshold voltage) ใช้สัญลักษณ์  $V_T$  สำหรับค่าแรงดันเกตขอสมากกว่า  $V_T$  จะมีแขนแนลชนิดอื่นเกิดขึ้น และสามารถเกิดการนำไฟฟ้าระหว่างครอนและขอสได้ สำหรับกรณีค่าแรงดันที่เกต-ขอสน้อยกว่า  $V_T$  ปกติจะสมมุติว่าทรานซิสเตอร์ไม่ทำงาน (off) และไม่มีกระแสไหลระหว่างขอสและครอน อย่างไรก็ตามสมมุติว่าไม่มีกระแสไหลระหว่างขอสและครอนระหว่างที่ทรานซิสเตอร์ออฟนั้น เป็นเพียงการประมาณเท่านั้น ในความเป็นจริงสำหรับแรงดันที่เกตมีค่าใกล้เคียง  $V_T$  จะไม่ใช่ทำให้เกิดการเปลี่ยนแปลงของกระแสอย่างทันทีทันใด แต่จะเกิดกระแสขีดเริ่ม (subthreshold current) สามารถไหลได้ปริมาณเล็กน้อย

เมื่อแรงดันเกตขอส  $V_{GS}$  มีค่ามากกว่า  $V_T$  ทำให้แขนแนลเกิดขึ้น ดังนั้นเมื่อ  $V_{GS}$  เพิ่มขึ้น ความหนาแน่นของอิเล็กตรอนในแขนแนลก็จะเพิ่มขึ้นด้วย และสรุปได้ว่าความหนาแน่นของประจุพาหะจะแปรผันตาม  $V_{GS} - V_T$  ซึ่งนิยามเป็น แรงดันเกตขอสประสิทธิผล (effective gate-source voltage) ใช้สัญลักษณ์  $V_{eff}$  ดังนั้นค่าความหนาแน่นของประจุอิเล็กตรอน แสดงได้โดย

$$Q = C_{ox}(V_{GS} - V_T) = C_{ox}V_{eff} \quad (2.1)$$

โดย  $C_{ox}$  เป็นค่าความจุไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่

เมื่อแรงดันที่ครอนมีค่ามากกว่าศูนย์โวลต์เล็กน้อย ทำให้เกิดความต่างศักย์ที่ขอสครอน มีผลให้เกิดกระแสไหลจากครอนไปขอส ความสัมพันธ์ระหว่าง  $V_{DS}$  และกระแส  $I_D$  จะเหมือนกับกรณีของความต้านทาน โดยมีความสัมพันธ์ดังนี้

$$I_D = \mu Q \frac{W}{L} V_{DS} \quad (2.2)$$

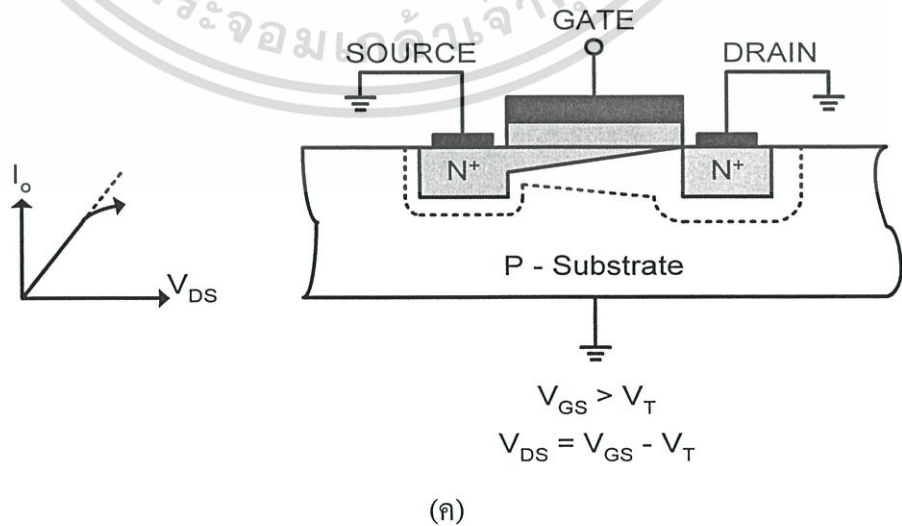
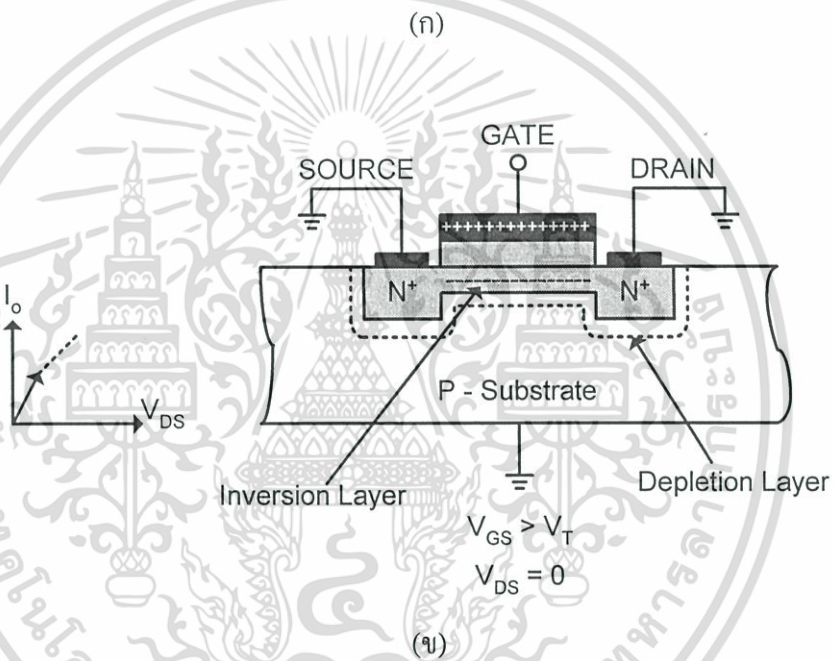
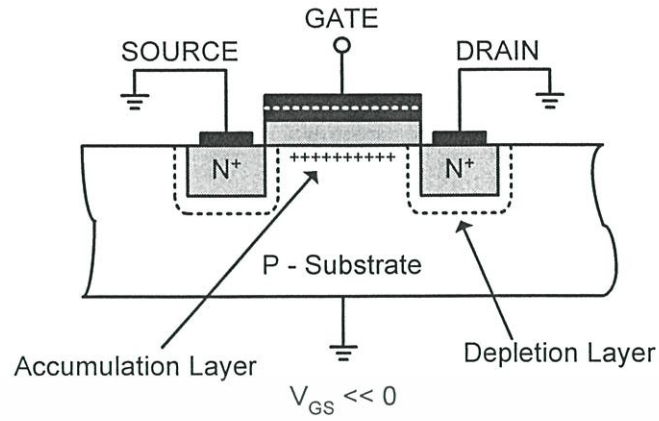
ขณะที่  $\mu$  เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอน และ  $Q$  เป็นค่าความหนาแน่นของประจุในแกนแนลต่อหนึ่งหน่วยพื้นที่ จากสมการ (2.1) และ (2.2) จะได้

$$I_D = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (2.3)$$

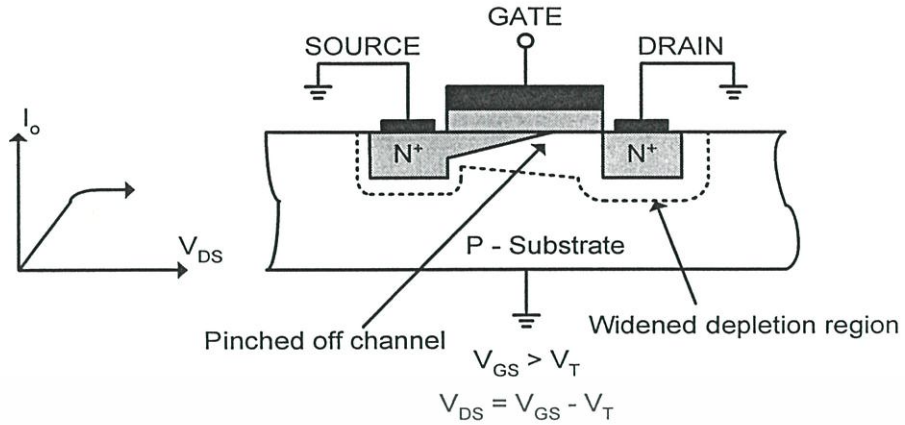
สมการ (2.3) นี้เป็นความสัมพันธ์ที่สามารถใช้ได้เพียง กรณีแรงดันเดรนขอสมีค่าเข้าใกล้ศูนย์

การทำงานของทรานซิสเตอร์ในเชิงโครงสร้างอธิบายได้ตามรูปที่ 2.3 (ข) โดยเมื่อ  $V_{GS}$  มากกว่า  $V_T$  และ  $V_{DS} = 0V$  ซึ่งขณะนี้แกนแนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหล เนื่องจากแรงดันระหว่างขอสและเดรนมีค่าเป็นศูนย์โวลต์ และเมื่อให้แรงดัน  $V_{DS}$  ค่าน้อยๆ ค่าหนึ่ง จะทำให้เกิดมีกระแสไหลผ่านแกนแนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้ เสมือนเป็นตัวต้านทาน มีความสัมพันธ์เป็นไปตามสมการ (2.3) และแสดงได้ด้วยกราฟในรูปที่ 2.3 (ข) และจะเห็นว่า  $I_D$  กับ  $V_{DS}$  สัมพันธ์กันอย่างสิ้นเชิง สำหรับค่า  $V_{DS}$  น้อยๆ

เมื่อแรงดันเดรนขอสเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่แกนแนลจะลดลงตามแนวแกนแนลจากขอสไปเดรน ตามรูปที่ 2.3 (ค) การลดลงของประจุพาหะในแกนแนลนี้มีผลให้เกิดแรงดันตกคร่อมแกนแนลที่ตำแหน่งต่างๆ ไม่เท่ากัน กล่าวคือ สมมุติว่าแรงดันที่เดรนมีค่ามากกว่าแรงดันที่ขอส จะมีการเพิ่มขึ้นของแรงดันจากขอสไปเดรนอย่างต่อเนื่องภายในแกนแนล มีผลทำให้แรงดันตกคร่อมระหว่างเกตและแกนแนลจะมีค่าสูงสุดเท่ากับ  $V_{GS}$  ที่ตำแหน่งด้านขอส และแรงดันเกตแกนแนลมีค่าต่ำสุดที่ตำแหน่งปลายด้านเดรน และแรงดันเกตที่ทำให้เกิดแกนแนลคือ  $V_G = V_{GS} - V_T$  (เมื่อ  $V_{GS} < V_T$  กระแสจะไม่ไหลและไม่มีแกนแนลเกิดขึ้น) เพื่อที่จะทำให้แกนแนลเกิดขึ้นได้เป็นแนวยาวไปจนถึงสุดปลายด้านเดรน แรงดันเกตจะต้องมีค่ามากกว่า  $V_{DS}$  นั่นคือ  $V_G > V_{DS}$  หรือ  $(V_{GS} - V_T) > V_{DS}$  ซึ่งหมายถึง แรงดันที่เกตเมื่อเปรียบเทียบกับทุกจุดในแนวแกนแนลจะต้องมีศักย์เป็นบวก จึงจะทำให้เกิดแกนแนล โดยในขณะนี้ทรานซิสเตอร์ทำงานและอยู่ในช่วงอิมิตัว กระแสเดรน  $I_D$  จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน  $V_{DS}$  อย่างไม่เป็นเชิงเส้นตามกราฟในรูปที่ 2.3 (ค) การทำงานของทรานซิสเตอร์ในช่วงนี้ ( $V_{DS} < V_{GS} - V_T$ ) เรียกว่า ช่วงไม่อิมิตัว (nonsaturation region) เมื่อ  $V_{DS}$  มีค่ามากขึ้น จนกระทั่งค่า  $V_{DS} = V_{GS} - V_T$  ทรานซิสเตอร์เริ่มเข้าสู่ภาวะอิมิตัว และลักษณะโครงสร้างของทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูป 2.3 (ค)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ง)

รูปที่ 2.3 แสดงการทำงานของมอสทรานซิสเตอร์ในช่วงต่างๆ

และเมื่อค่าของแรงดัน  $V_{DS}$  เพิ่มขึ้นไปอีกจนกระทั่ง  $V_{DS} > V_{DS} - V_T$  ในกรณีนี้แรงดันที่ตกคร่อมแซนแนลที่ปลายด้านเดรนมีค่าสูงกว่า  $V_{GS} - V_T$  ดังนั้นจะทำให้เกิดภาวะพินช์ออฟ (pinch off) กล่าวคือ แซนแนลซึ่งเป็นช่องทางเดินกระแสจะขาดออก เริ่มจากบริเวณด้านเดรน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าซึ่งจะมาเหนี่ยวนำให้มีการสะสมของประจุลบ เพื่อทำหน้าที่เป็นแซนแนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกัน แสดงดังรูป 2.3 (ง) และจะมีกระแสแพร่ (diffusion current) จากส่วนของซอสไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูง และคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (constant current source) กระแสเดรนในภาวะนี้จึงมีค่าคงที่ แม้ว่า  $V_{DS}$  จะมีค่าเพิ่มขึ้นก็ตามแสดงในกราฟตามรูปที่ 2.3 (ง) การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่าช่วงอิ่มตัว (saturation region หรือ active region)

2.1.2.2 คุณสมบัติการทำงาน

คุณสมบัติการทำงานของมอสทรานซิสเตอร์ จะพิจารณาได้จากแบบจำลองสัญญาณขนาดใหญ่ (large-signal model) ตามรูป 2.4



(ก)

(ข)

รูปที่ 2.4 แบบจำลองการทำงานของมอสเฟต (ก) NMOS (ข) PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการแสดงความสัมพันธ์ระหว่างกระแสและศักดา สำหรับมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัว แสดงได้ตามสมการ (2.4)

$$I_D = \beta \left[ (V_{GS} - V_T) - \left( \frac{V_{DS}}{2} \right) \right] V_{DS} (1 + \lambda V_{DS}) \quad (2.4)$$

โดย

$$\beta = \frac{K'W}{L}$$

$$K' = \mu_o C_{OX}$$

$\mu_o$  คือ ค่าความคล่องตัวของผิว (surface mobility) ของพาหะในช่องทางเดินกระแส (cm<sup>2</sup>/volt.second)

$C_{OX} = \epsilon_{OX} / t_{OX}$  คือ ค่าความจุไฟฟ้าต่อหนึ่งหน่วยพื้นที่ (capacitance per unit area) ของเกตออกไซด์ (F/cm<sup>2</sup>)

W คือ ความกว้างประสิทธิผลของแชนแนล (effective channel width)

L คือ ความยาวประสิทธิผลของแชนแนล (effective channel length)

$\lambda$  คือ channel length modulation parameter (volt<sup>-1</sup>)

$$V_T = V_{To} + \gamma \left[ \sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right] \quad (2.5)$$

$$V_{To} = V_T (V_{SB} = 0) = V_{FB} + 2|\phi_F| + \frac{\sqrt{2q\epsilon_{si}N_{SUB}2|\phi_F|}}{C_{OX}} \quad (2.6)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_{SUB}}}{C_{OX}} \quad \text{คือ bulk threshold parameter (volt}^{-1/2}\text{)} \quad (2.7)$$

$$\phi_F = \frac{kT}{q} \ln \left( \frac{N_{SUB}}{n_i} \right) \quad \text{คือ strong inversion surface potential (volts)} \quad (2.8)$$

$$V_{FB} = \phi_{GB} - \frac{Q_{SS}}{C_{OX}} \quad \text{คือ flatband voltage (volts)} \quad (2.9)$$

$$\phi_{GB} = \phi_F(\text{substrate}) - \phi_F(\text{gate})$$

$$\phi_F(\text{substrate}) = \frac{kT}{q} \ln \left( \frac{N_{SUB}}{n_i} \right) \quad \text{สำหรับกรณี NMOS ที่มีฐานรองเป็นพี}$$

$$\phi_F(\text{gate}) = \frac{kT}{q} \ln \left( \frac{n_i}{N_{GATE}} \right) \quad \text{สำหรับกรณี NMOS ที่มีเกตเป็น n}^+\text{ polysilicon}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$Q_{ss}$  คือ ค่าประจุออกไซด์ (oxide charge)

$k$  คือ ค่าคงที่ Boltzmann =  $1.381 \times 10^{-23}$  J/K =  $8.62 \times 10^{-5}$  eV/K

$T$  คือ อุณหภูมิ (K)

$n_i$  คือ ความหนาแน่นของพาหะชนิด intrinsic =  $1.45 \times 10^{10}$  cm<sup>-3</sup>

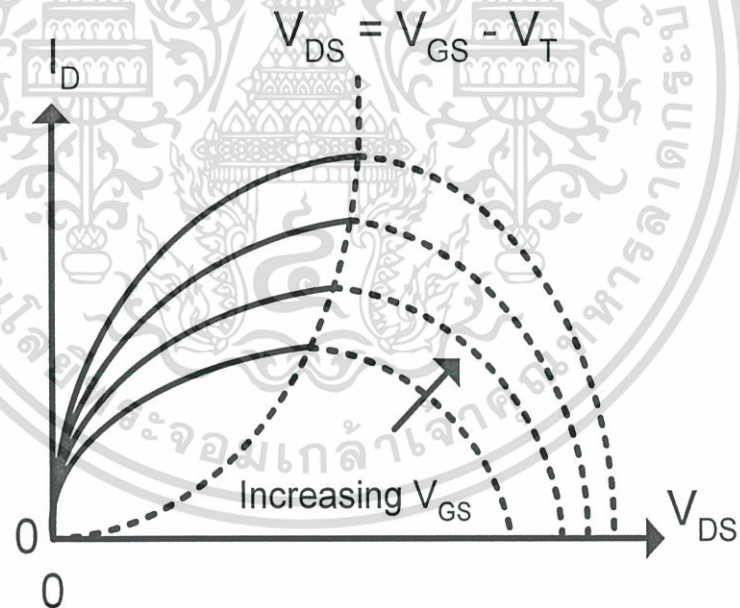
หรือสมการของมอดูลทรานซิสเตอร์ในช่วงไม่อิ่มตัว สามารถเขียนได้อีกรูปหนึ่งเป็น

$$I_D = F(V_D, V_g) - F(V_S, V_g) \quad (2.10)$$

โดยที่

$$F(V_X, V_G) = 2K(V_G - V_B - V_{FB} - \phi_F)V_X - K(V_X - V_B)^2 - \frac{4}{3}K\gamma(V_X - V_B + \phi_F)^2$$

$$K = \frac{W}{2L} \mu C_{ox}$$



รูป 2.5 แสดงกราฟความสัมพันธ์ระหว่าง  $I_D - V_{DS}$  ตามสมการ (2.4) ขณะที่  $\lambda = 0$

สมการ (2.4) และ (2.10) สามารถทำงานได้ในช่วงต่างๆ ขึ้นกับค่า  $(V_{GS} - V_T)$  ถ้าค่า  $V_{GS} - V_T$  เป็นศูนย์ หรือลบ มอดูลทรานซิสเตอร์จะอยู่ในช่วงคัทออฟ (cut off) ซึ่งเซนแนลจะมี

พฤติกรรมแบบเปิดวงจร (open circuit) โดยเขียนความสัมพันธ์ได้เป็น  
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ในการเรียนการสอน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_D = 0 \quad \text{for} \quad V_{GS} - V_T = 0 \quad (2.11)$$

จากสมการ (2.4) สมมติให้  $\lambda = 0$  นำมาเขียนกราฟได้ตามรูป 2.5 สำหรับค่า  $V_{GS} - V_T$  ค่าต่างๆ จุดสูงสุดของกราฟแต่ละเส้นเรียกว่า จุดอิ่มตัว (saturation) โดยค่าต่างๆ ของ  $V_{DS}$  ที่เกิดขึ้นที่ค่านี้เรียกว่า ศักคาอิ่มตัว (saturation voltage)

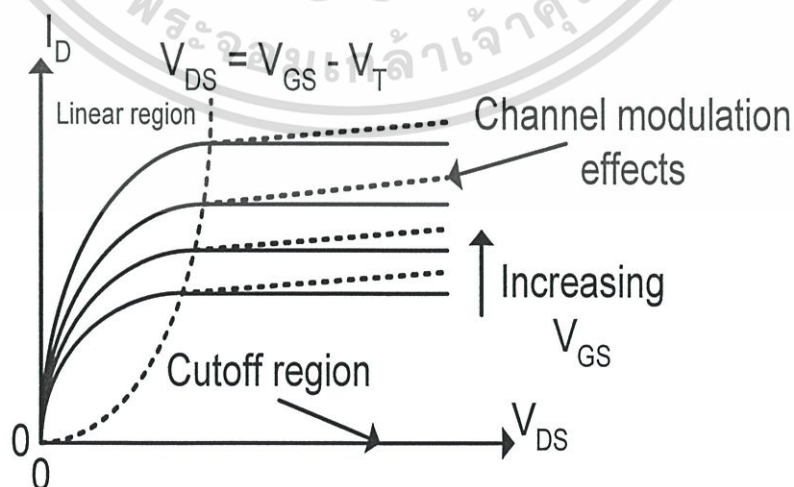
$$V_{DS}(sat) = V_{GS} - V_T \quad (2.12)$$

$V_{DS}(sat)$  เป็นค่าที่แบ่งขอบเขตการทำงาน โดยค่า  $V_{DS}$  น้อยกว่า  $V_{DS}(sat)$  แล้ว มอสทรานซิสเตอร์จะทำงานในช่วงไม่อิ่มตัว ตามสมการ (2.4) และมีเงื่อนไขว่า

$$0 < V_{DS} \leq (V_{GS} - V_T) \quad (2.13)$$

เมื่อ  $V_{DS}$  มีค่ามากกว่า  $V_{DS}(sat)$  ช่วงนี้เรียกว่า ช่วงอิ่มตัว (saturation region) ช่วงนี้กระแส  $I_D$  ไม่ขึ้นกับ  $V_{DS}$  ถ้าสมมติว่าไม่พิจารณาผลของ  $\lambda$  ดังนั้นจะได้ความสัมพันธ์ตามสมการ (2.14)

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}), \quad 0 < (V_{GS} - V_T) \leq V_{DS} \quad (2.14)$$



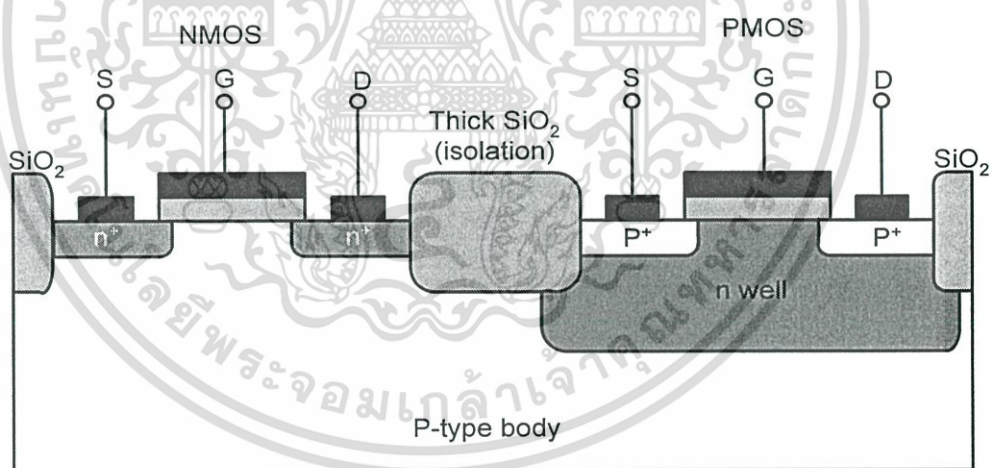
เอกสารนี้เป็นรูปที่ 2.6 แสดงคุณสมบัติที่ทางออก (Output characteristics) ของมอสทรานซิสเตอร์ในด้านกราดค่าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.6 แสดงถึงคุณสมบัติที่ทางออก (Output characteristics) ของมอสทรานซิสเตอร์ ซึ่งได้จากสมการ (2.4), (2.11), (2.13) และ (2.14) โดยที่เส้นทึบในรูปที่ 2.6 ไม่พิจารณาถึงผลของ  $\lambda(\lambda = 0)$  ส่วนเส้นประจะเป็นการพิจารณาผลของ  $\lambda(\lambda \neq 0)$

### 2.1.2.3 Complementary MOS (CMOS)

CMOS ย่อมาจาก Complementary MOS เป็นเทคโนโลยีที่ใช้มอสทรานซิสเตอร์ทั้งชนิดเอ็นแชนแนลและพีแชนแนล มาสร้างลงบนฐานรองเดียวกัน แม้ว่าวงจร CMOS จะสร้างได้ยุ่งยากกว่า NMOS แต่ก็มีข้อดีคือ สามารถทำให้ออกแบบวงจรได้อย่างมีประสิทธิภาพ ในปัจจุบัน CMOS มีบทบาทสำคัญมากในเทคโนโลยีวงจรรวมแบบมอส และสามารถใช้ได้ทั้งวงจรรวมเชิงอุปมาน (analog) และวงจรเชิงเลข (digital) เทคโนโลยี CMOS ได้เติบโตขึ้นอย่างรวดเร็ว และนักออกแบบวงจรได้ให้ความสนใจในการออกแบบวงจรโดยใช้ CMOS มากขึ้น และได้มีการแปลงวงจรประยุกต์ (application) จากเทคโนโลยีไบโพลาร์ ไปเป็นเทคโนโลยีแบบ CMOS มากมาย

รูปที่ 2.7 เป็นโครงสร้างแบบ CMOS และอธิบายถึงการสร้าง PMOS และ NMOS บนแผ่นฐานรองเดียวกัน ดังกล่าวขณะนี้ NMOS สามารถสร้างได้โดยตรง PMOS จะสร้างขึ้นได้โดยต้องสร้างบ่อเอ็น (n well) ขึ้นก่อน โดยที่มอสทั้งสองตัวถูกแยกจากกันโดยฉนวนออกไซด์



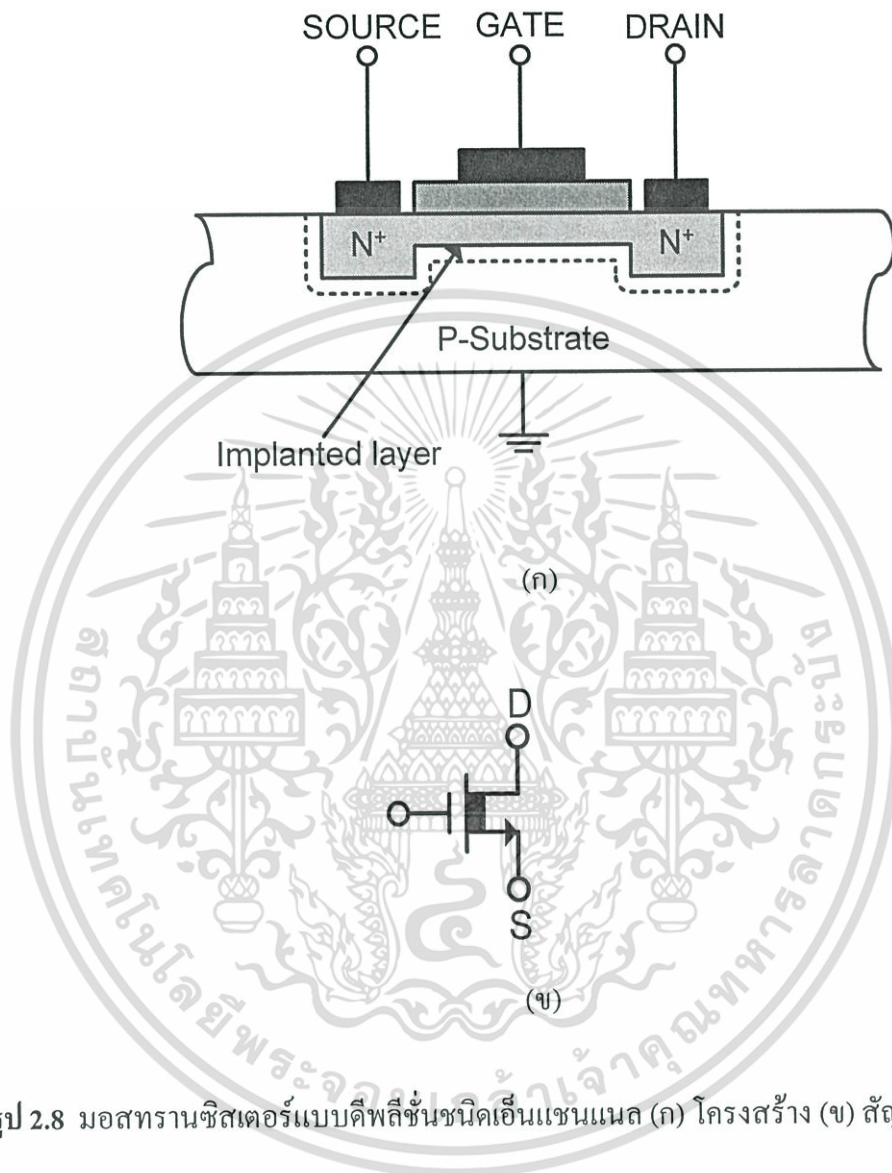
รูปที่ 2.7 โครงสร้างของ CMOS

### 2.1.3 มอสเฟทชนิดดีพลีชัน

ทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแชนแนล มีลักษณะโครงสร้างและสัญลักษณ์ แสดงตามรูป 2.8 โดยส่วนของซอสและเดรนจะถูกสร้างขึ้นโดยการแพร่ระดมของสารเจือชนิดเอ็น ซึ่งมีความหนาแน่นสูง เข้าไปในแผ่นผลึกฐานรองของสารกึ่งตัวนำชนิดพี หลังจากนั้นส่วนของแชนแนลจะถูกสร้างขึ้นด้วยวิธีการอิมพลานต์เซชัน ซึ่งเป็นวิธีการยิงอะตอมสารเจือเข้าไปในเนื้อสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับผูกพันไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิ่งตัวนำ ลักษณะ โครงสร้างอื่นๆ ของทรานซิสเตอร์แบบนี้จะเหมือนกับแบบเอ็นฮานซ์เมนต์ทุกประการ

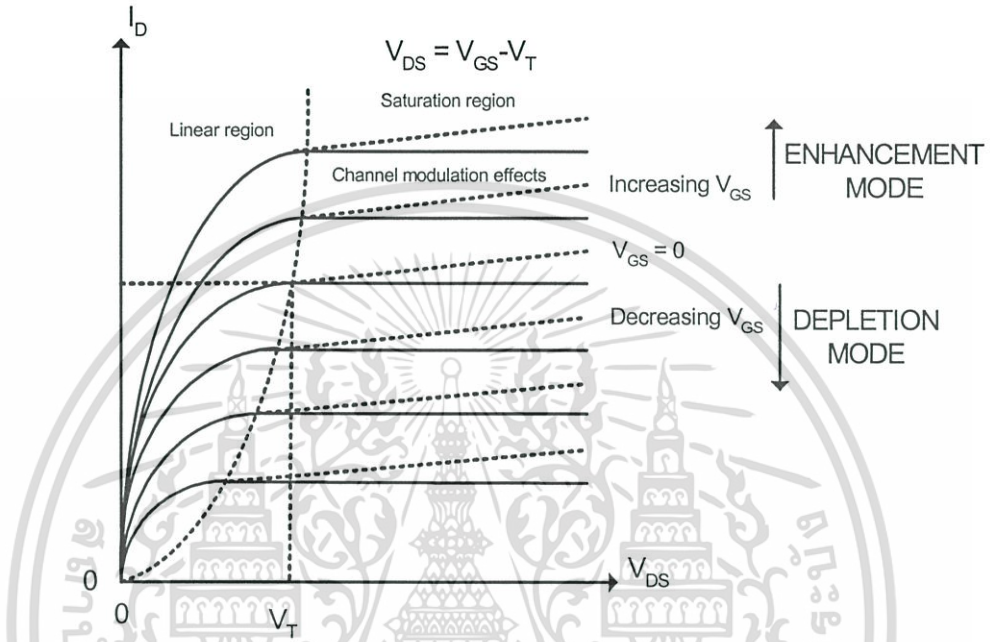


รูป 2.8 มอสทรานซิสเตอร์แบบดีฟิชั่นชนิดเอ็นแชนแนล (ก) โครงสร้าง (ข) สัญลักษณ์

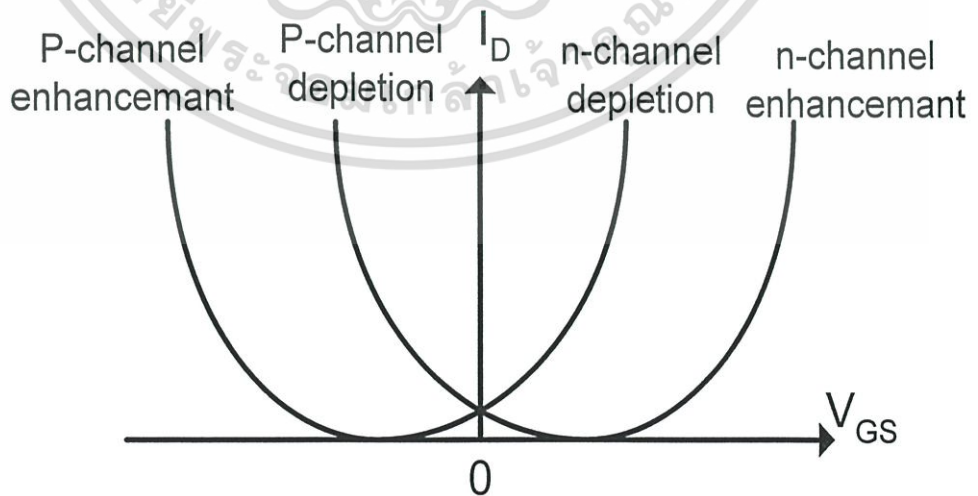
จากลักษณะ โครงสร้างในรูปที่ 2.8 (ก) จะเห็นว่าขณะที่แรงดันเกตเป็นศูนย์และแรงดันขอสครน  $V_{DS}$  มีค่าๆ หนึ่ง ก็จะมีกระแสเดรนเกิดขึ้น นั่นคือแม้ว่าไม่มีแรงดันที่เกต กระแสก็จะสามารถไหลผ่านแชนแนลได้ เนื่องจากแชนแนลได้ถูกสร้างขึ้นมาก่อนแล้ว ซึ่งต่างจากกรณีเอ็นฮานซ์เมนต์ที่จำเป็นต้องให้แรงดันที่เกตมีค่าๆ หนึ่งเพื่อเหนี่ยวนำให้เกิดแชนแนล

การนำไฟฟ้าและความลึกของแชนแนลจะถูกควบคุมด้วย  $V_{DS}$  เหมือนกับกรณีของเอ็นฮานซ์เมนต์ เมื่อให้ค่า  $V_{GS}$  เป็นบวกจะทำให้ความกว้างขึ้น โดยการดึงอิเล็กตรอนเข้ามาสะสมที่แชนแนล และทำให้การนำไฟฟ้าดีขึ้น เมื่อค่า  $V_{GS}$  เป็นลบอิเล็กตรอนจะถูกผลักออกจากแชนแนล ทำให้แชนแนลแคบลง และการนำไฟฟ้าลดลง ในการทำงานขณะที่  $V_{GS}$  เป็นลบนั้นเรียกว่า การ

ทำงานในช่วงดีพลีชันโหมด เมื่อ  $V_{GS}$  เป็นลบมากขึ้นจนถึงค่าหนึ่ง ซึ่งทำให้อิเล็กตรอนถูกผลักออกไปจากแชนแนลจนหมด (depleted) และแชนแนลหายไป ทำให้กระแส  $I_D$  มีค่าเป็นศูนย์ แม้ว่า  $V_{DS}$  ไม่เป็นศูนย์ก็ตาม โดยค่าที่เป็นลบของ  $V_{GS}$  ที่ทำให้แชนแนลหายไปนั้นก็คือ ค่าแรงดันขีดเริ่ม (threshold voltage) ของมอสเฟตแบบดีพลีชันชนิดเอ็นแชนแนล



รูปที่ 2.9 แสดงคุณสมบัติ  $I_D - V_{DS}$  ของมอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแชนแนล



รูปที่ 2.10 แสดงคุณสมบัติ  $I_D - V_{GS}$  ของมอสเฟตทั้งหมด

เอกสารนี้เป็นลิขสิทธิ์สงวนไว้สำหรับใช้ภายในเท่านั้น มิได้อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

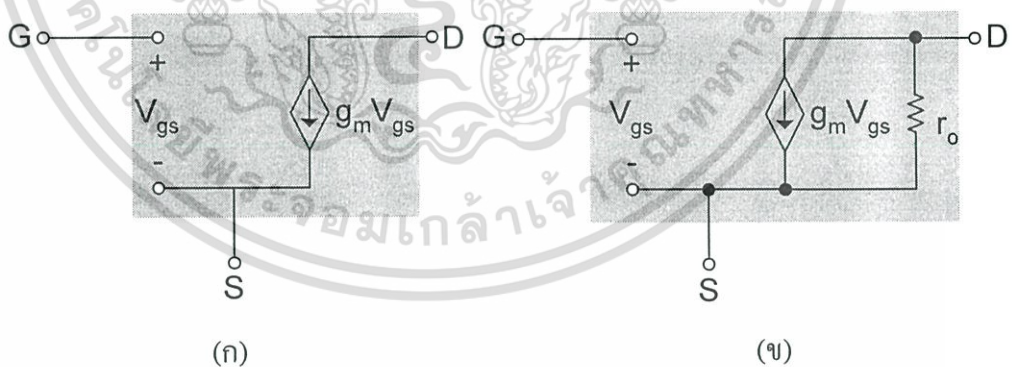
จากรูปที่ 2.9 ได้แสดงถึง [4] คุณสมบัติ  $I_D - V_{DS}$  ของมอสทรานซิสเตอร์แบบดีฟลิชันชนิดเอ็นแชนแนล ซึ่งคล้ายกับกรณีของเอ็นฮานซ์เมนต์ ยกเว้นค่า  $V_T$  มีค่าเป็นลบสำหรับ NMOS และเป็นบวกสำหรับ PMOS และสามารถทำงานเป็นแบบเอ็นฮานซ์เมนต์ได้ โดยการให้ค่า  $V_{GS}$  มีค่าเป็นบวก

กราฟ  $I_D - V_{GS}$  ตามรูปที่ 2.10 เป็นการสรุปรวมคุณสมบัติ  $I_D - V_{GS}$  ทั้งหมดของมอสเฟททั้งชนิดการทำงานแบบเอ็นฮานซ์เมนต์โหมดและดีฟลิชันโหมด และชนิดช่องทางเดินกระแสชนิดเอ็นและชนิดพี

#### 2.1.4 วงจรสมมูลของมอสเฟท

วงจรสมมูล (small-signal equivalent circuit models) ของมอสเฟท เป็นการแทนอุปกรณ์มอสเฟทด้วยวงจรไฟฟ้า เพื่อนำไปใช้การวิเคราะห์ผลตอบสนองหรือพฤติกรรมของสัญญาณขนาดเล็ก โดยพิจารณาแยกกับการวิเคราะห์สัญญาณขนาดใหญ่ ซึ่งพิจารณาเป็นปริมาณทางไฟตรง (dc quantities) ซึ่งได้กล่าวไปแล้วในหัวข้อ 2.2.2

มอสเฟทมีพฤติกรรมเป็น แรงดันควบคุมแหล่งกำเนิดกระแส (voltage – controlled current source) โดยเป็นการให้สัญญาณ  $v_{gs}$  และทำให้เกิดกระแส  $g_m v_{gs}$  ที่ปลายด้านแคบ ความต้านทานที่ทางเข้า (input resistance) มีค่าสูงมากในทางปฏิบัติ ซึ่งในทางอุดมคติถือว่ามีค่าเป็นอนันต์ ความต้านทานที่ทางออก (ความต้านทานที่มองเข้าไปที่ปลายด้านแคบ) มีค่าสูงด้วย ในการพิจารณาอย่างง่าย จะสมมุติว่ามีค่าเป็นอนันต์ ตามรูปที่ 2.11 (ก)



รูปที่ 2.11 แบบจำลองสัญญาณขนาดเล็กของมอสเฟท (ก) ไม่พิจารณาผลของ  $\lambda$  ขณะทำงาน ในช่วงอิมิตัว (ข) พิจารณาผลของ  $\lambda$  โดยเพิ่มความต้านทานที่ทางออก

ข้อเสียของแบบจำลองสัญญาณขนาดเล็กในรูป 2.11 (ก) คือ จะเป็นการสมมุติว่ากระแสแคบจะอยู่ในช่วงอิมิตัว และไม่ขึ้นกับแรงดันแคบ ซึ่งจากหัวข้อที่กล่าวมาข้างต้น พบว่าคุณสมบัติของมอสเฟทในช่วงอิมิตัวนั้นจริงๆ แล้วขึ้นอยู่กับ  $V_{DS}$  ในลักษณะเชิงเส้นตามสมการ (2.11) ทำให้

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการเรียนการสอน เมื่อผู้ผู้เห็นใช้เอกสารนี้โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบจำลองได้เปลี่ยนไปเป็นรูป 2.11 (ข) โดยมีตัวต้านทาน ( $r_o$ ) มาต่ออยู่ระหว่างเดรนและซอส ซึ่งมีค่าประมาณ

$$r_o \cong \frac{|V_A|}{I_D} \quad (2.15)$$

ขณะที่  $V_A = 1/\lambda$  โดยทั่วไปค่า ( $r_o$ ) อยู่ในช่วง 10 ถึง 1000 กิโลโอห์ม

ค่า ( $r_o$ ) ที่พิจารณาข้างต้น เป็นการพิจารณามอสทรานซิสเตอร์ที่ทำงานในช่วงอิ่มตัว ซึ่งให้ค่าความต้านทานที่ทางออกมีค่ามาก (แซนแนลขาดออกจากกันระหว่างซอสและเดรน) ขณะที่มอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัวนั้น ค่าความต้านทานที่ทางออกมีค่าเป็น

$$r_o = \frac{1}{g_{ds}} = \frac{\partial V_{ds}}{\partial I_D} \cong \frac{1}{\beta(V_{GS} - V_T - V_{DS})} \quad (2.16)$$

เราจะพิจารณาพารามิเตอร์ที่สำคัญอีกตัวหนึ่งในการวิเคราะห์สัญญาณขนาดเล็ก คือ ค่าทรานคอนดักแตนซ์  $g_m$  ซึ่งมีค่าแสดงตามสมการ (2.17)

$$g_m = \frac{\partial I_D}{\partial V_{gs}} \quad (2.17)$$

ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว จากสมการ (2.14) จะได้

$$g_m = \sqrt{\frac{2K'W}{L}} |I_D| (1 + \lambda V_{DS}) \cong \sqrt{\frac{2K'W}{L}} |I_D| \quad (2.18)$$

จากสมการ (2.18) พบว่าค่าของ  $g_m$  ซึ่งเป็นพารามิเตอร์ของสัญญาณขนาดเล็ก ขึ้นอยู่กับค่ากระแสเดรน  $I_D$  ซึ่งเป็นเงื่อนไขการทำงานของสัญญาณขนาดใหญ่ และในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวจากสมการที่ (2.4) และ (2.17) จะได้

$$g_m = \frac{K'W}{L} V_{DS} (1 + \lambda V_{DS}) \cong \frac{K'W}{L} V_{DS} \quad (2.19)$$

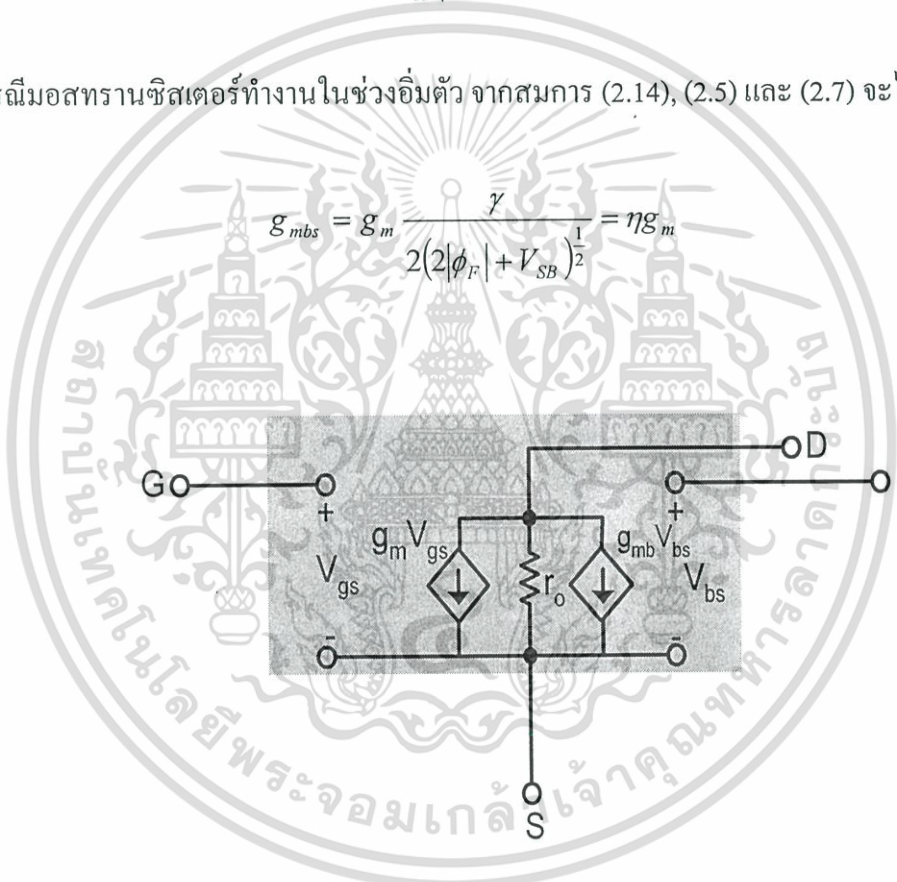
แบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวถึงข้างต้น เป็นแบบจำลองที่ยังไม่พิจารณาผลของฐานรอง (Body effect) ซึ่งเกิดขึ้นเมื่อฐานรองไม่ได้ต่อกับปลายด้านซอส และทำให้เกิด  $V_{bs}$  ขึ้น แสดงตามรูปที่ 2.12

สัญญาณ  $V_{bs}$  จะทำให้เกิดกระแสครน  $g_m v_{bs}$  โดย  $g_{mb}$  เป็นค่าทรานคอนดักแตนซ์ที่ฐานรอง (Body transconductance)

$$g_m = \frac{\partial I_D}{\partial V_{gs}} \Big|_{V_{ds} = \text{constant}} = \frac{\partial I_D}{\partial V_{sb}} \Big|_{V_{gs} = \text{constant}} \quad (2.20)$$

กรณีมอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว จากสมการ (2.14), (2.5) และ (2.7) จะได้

$$g_{mbs} = g_m \frac{\gamma}{2(2|\phi_F| + V_{SB})^{\frac{1}{2}}} = \eta g_m \quad (2.21)$$



รูปที่ 2.12 แบบจำลองสัญญาณขนาดเล็กของมอสเฟต กรณีที่ฐานรองไม่ต่อกับซอส

กรณีที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว จากสมการที่ (2.4), (2.5) และ (2.7) จะได้

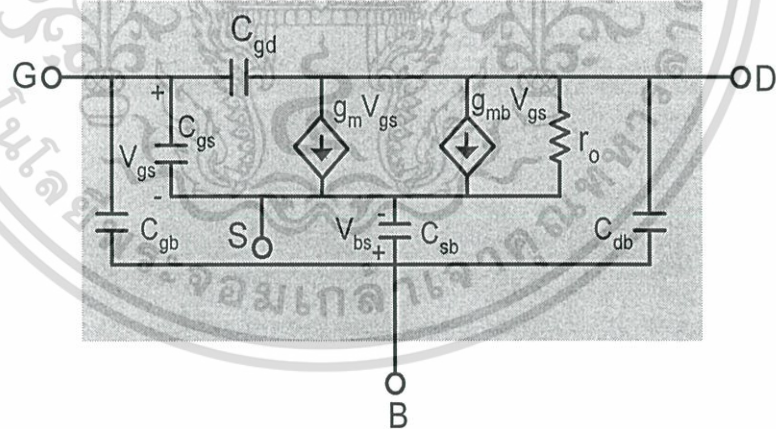
$$g_{mbs} = \frac{\beta \gamma V_{DS}}{2(2|\phi_F| + V_{SB})^{\frac{1}{2}}} \quad (2.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

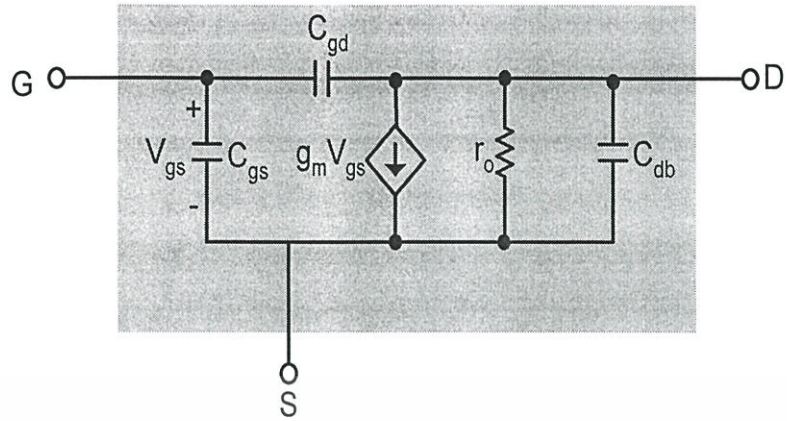
### 2.1.5 ผลตอบสนองความถี่

จากหัวข้อที่แล้วซึ่งได้กล่าวถึงวงจรสมมูล หรือแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ และในหัวข้อนี้ จะได้เสนอถึงแบบจำลองวงจรสมมูลของมอสเฟต ซึ่งได้รวมเอาค่าความเก็บประจุ (capacitance) มาพิจารณาด้วย จากรูป 2.13 (ก) ได้แสดงถึงแบบจำลองสัญญาณขนาดเล็กของมอสเฟต ซึ่งได้รวมถึงตัวเก็บประจุจำนวนห้าตัว คือ  $C_{gs}$ ,  $C_{gd}$ ,  $C_{gb}$ ,  $C_{sb}$  และ  $C_{db}$  อย่างไรก็ตามวงจรนี้ค่อนข้างยุ่งยากและซับซ้อนในการวิเคราะห์ด้วยมือ แต่เหมาะสำหรับในการวิเคราะห์โดยใช้การจำลองการทำงาน โดยใช้โปรแกรมคอมพิวเตอร์ และรูปที่ 2.13 (ข) ได้แสดงวงจรสมมูลกรณีทีซอสเชื่อมต่อกับฐานรอง ซึ่งวงจรที่ได้มีความสะดวกในการวิเคราะห์มากกว่าวงจรในรูป 2.13 (ก) มาก แต่อย่างไรก็ตามวงจรในรูป 2.13 (ค) เป็นวงจรที่เหมาะสมในการวิเคราะห์ด้วยมือมากที่สุด โดยพิจารณาค่าความจุ  $C_{db}$  มีค่าน้อยมาก ๆ ซึ่งจะทำให้วงจรที่วิเคราะห์ได้ง่ายมากขึ้น

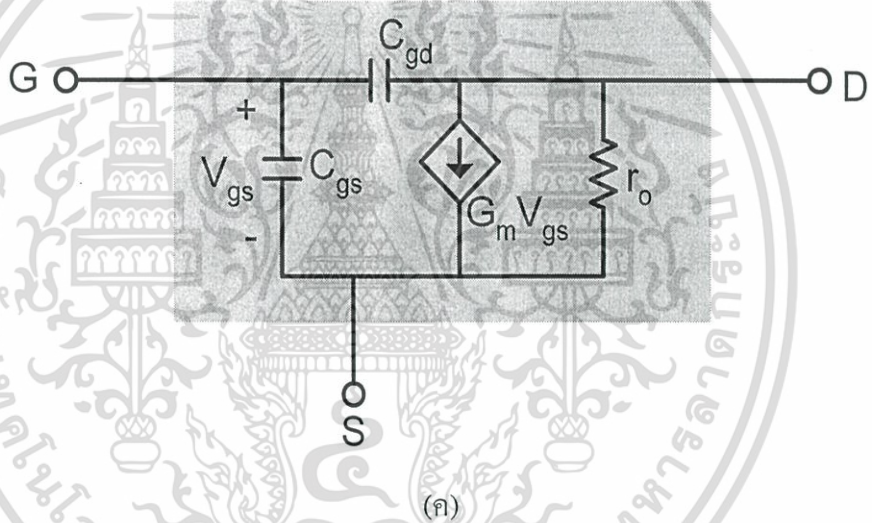
ค่าความจุทั้งห้าที่ได้กล่าวถึงข้างต้น มีเพียงค่าความจุที่เกทซอส  $C_{gs}$  เท่านั้นที่มีบทบาทสำคัญที่สุดในบรรดาค่าความจุทั้งห้า และเป็นพื้นฐานในการวิเคราะห์และพิจารณาที่ความถี่สูง ขณะที่ค่าความจุ  $C_{sb}$  และ  $C_{db}$  เป็นค่าความจุแฝง (Parasitic capacitance) ในย่านดีพลีชัน (depletion region) ระหว่างฐานรองกับซอส และฐานรองกับเดรนตามลำดับ และมีค่าเป็น



(ก)



(ข)



(ค)

รูปที่ 2.13 (ก) แบบจำลองวงจรสมมูลของมอสเฟตที่ความถี่สูง (ข) วงจรสมมูลสำหรับกรณีขอสต่อกับฐานรอง (ค) วงจรสมมูลตามรูป (ข) กรณี  $C_{db}$  มีค่าน้อยมาก

$$C_{sb} = \frac{A_s C_{sb0}}{\left(1 + \frac{V_{SB}}{\psi_0}\right)^{\frac{1}{n}}} \tag{2.23}$$

$$C_{db} = \frac{A_d C_{db0}}{\left(1 + \frac{V_{DB}}{\psi_0}\right)^{\frac{1}{n}}} \tag{2.24}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น (ยกเว้น  $\psi_0$ ) ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย

$n = 2$  กรณีรอยต่อพีเอ็นเป็นแบบขั้นบันได (step junction)

$n = 3$  กรณีรอยต่อพีเอ็นเป็นแบบทางลาด (graded junction)

$C_{sbo}$  และ  $C_{abo}$  เป็นค่าความจุไฟฟ้าการันตี  $V_{SB}$  และ  $V_{DB}$  มีค่าเป็นศูนย์ ตามลำดับ

$\psi_0$  เป็นแรงดันที่รอยต่อพีเอ็นขณะที่แรงดันภายนอกเป็นศูนย์ (built-in potential)

$A_s$  และ  $A_d$  เป็นพื้นที่ของซอสและเดรน รวมถึงพื้นที่ด้านข้าง (sidewall)

ค่าความจุไฟฟ้าระหว่างเกตและฐานรอง  $C_{gb}$  เป็นค่าความจุไฟฟ้าแฝงของออกไซด์ (Parasitic oxide capacitance) ซึ่งเกิดขึ้นระหว่างชั้นสารทางด้านเกต (โลหะหรือโพลีซิลิกอน) กับฐานรอง โดยค่าความจุไฟฟ้า  $C_{gb}$  มีค่าคงที่จริงๆ แล้วค่าความจุไฟฟ้าแฝงชนิดนี้ จะวางตัวตามแนวโพลีซิลิกอนและโลหะบนแผ่นชิพ และจะถูกพิจารณาเฉพาะการจำลองและการคำนวณของวงจร และคุณสมบัติของอุปกรณ์ที่มีความถี่สูง โดยใช้คอมพิวเตอร์ ค่าโดยทั่วไปจะขึ้นอยู่กับความหนาของออกไซด์ และมีค่าอยู่ในช่วง 0.04 ถึง 0.15 เฟมโตฟารัด ต่อตารางไมครอน ของรอยต่อที่เลื่อมล้ำกัน

ค่าความจุไฟฟ้า  $C_{gs}$  และ  $C_{gd}$  เกิดจากเกตกับซอสและเกตกับเดรน ตามลำดับ โดยที่  $C_{ox}$  เป็นค่าความจุออกไซด์ต่อหนึ่งหน่วยพื้นที่จากเกตถึงเซนแนล ทำให้ค่าความจุไฟฟ้าทั้งหมดข้างใต้เกตมีค่าเท่ากับ  $C_{ox} WL$  ซึ่งค่านี้เป็นค่าโดยแท้จริงของการทำงานของมอสเฟต และเป็นรูปแบบการใช้งานในการควบคุมให้เกิดการนำไฟฟ้าที่เซนแนล ขณะที่ช่วงที่มอสเฟตทำงานในช่วงไม่อิ่มตัว ค่าความจุไฟฟ้านี้จะแบ่งออกเป็นสองส่วนเท่าๆ กัน ระหว่างซอสและเดรน จะได้

$$C_{gs} = C_{gd} = \frac{1}{2} C_{ox} WL \quad (2.25)$$

ขณะที่มอสเฟตทำงานในช่วงอิ่มตัว เซนแนลจะหดแคบลงจนขาดออกที่ปลายด้านเดรน ซึ่งทำให้แรงดันเดรนมีผลเพียงเล็กน้อยต่อทั้งเซนแนลและประจุที่เกต ดังนั้นส่วนหนึ่งของค่า  $C_{gd}$  โดยทั่วไปแล้วมีค่าเป็นศูนย์ในช่วงการทำงานอิ่มตัว ขณะที่อีกส่วนซึ่งเกิดจากค่าความจุแฝงที่ออกไซด์ เนื่องจากบางส่วนของเกตซ้อนทับกับบางส่วนของเดรน โดยค่า  $C_{gd}$  มีค่าอยู่ในระดับ 1 ถึง 10 เฟมโตฟารัด

ในการคำนวณค่า  $C_{gs}$  ในช่วงอิ่มตัว เราจะต้องคำนวณค่าจำนวนประจุทั้งหมด  $Q_T$  ที่อยู่ในเซนแนล จะได้

$$Q_T = \frac{2}{3} WLC_{ox} (V_{GT} - V_T) \quad (2.26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเชิงการศึกษา เท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$C_{gs} = \frac{\partial Q_T}{\partial V_{gs}} = \frac{2}{3} WLC_{ox} \quad (2.27)$$

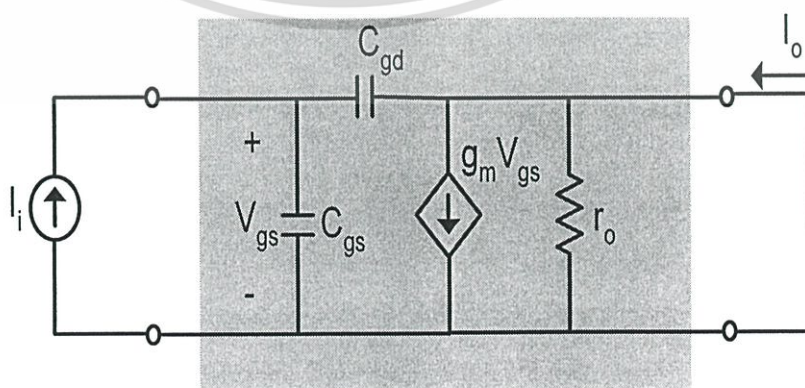
นอกจากนี้ ค่าความจุ  $C_{gs}$  ยังต้องการรวมกับส่วนที่เกิดจากค่าความจุออกไซด์ เนื่องจากพื้นที่บางส่วนของเกตซ้อนทับพื้นที่บางส่วนของซอส

คุณสมบัติที่สำคัญอีกประการหนึ่ง สำหรับการทำงานที่ความถี่สูงของมอสเฟต ที่ทำงานเป็นวงจรขยาย คือ ความถี่ที่มีอัตราขยายเป็นหนึ่ง (unity-gain frequency)  $f_T$  โดยมีนิยามว่าเป็นความถี่ที่อัตราขยายกระแสของมอสเฟตที่อยู่ในรูปแบบวงจรซอสร่วม (common source configuration) มีค่าเป็นหนึ่งขณะที่ปัดวงจร (short-circuit) จากรูปที่ 2.14 แสดงแบบจำลองไฮบริด-ไพล์ (hybrid- $\pi$ ) ของมอสเฟตในลักษณะซอสร่วมระหว่างอินพุตและเอาพุทพอร์ท ในการหาอัตราขยายกระแสขณะปัดวงจร จะต้องทำการปัดแหล่งกำเนิดกระแส  $I_i$  ที่อินพุตและที่เอาพุทปัดวงจร และทำการหากระแสที่เอาพุทได้

$$I_o = g_m V_{gs} - sC_{gd} V_{gs} \quad (2.28)$$

จากที่กล่าวข้างต้น  $C_{gd}$  ที่ค่าน้อยมาก มีผลให้พจน์สุดท้ายของสมการ (2.28) มีค่าเข้าใกล้ศูนย์ แล้วจะได้สมการใหม่ คือ

$$I_o \cong g_m V_{gs} \quad (2.29)$$



เอกสารนี้เป็นรูปที่ 2.14 แสดงการหาอัตราขยายกระแสขณะปัดวงจรอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.15 สามารถแสดง  $V_{gs}$  ในพจน์ของกระแสอินพุท  $I_i$  ได้

$$V_{gs} = \frac{I_i}{s(C_{gs} + C_{gd})} \quad (2.30)$$

จากสมการ (2.29) และ (2.30) จะได้อัตราขยายกระแสขณะปิดวงจร

$$\frac{I_o}{I_i} = \frac{g_m}{s(C_{gs} + C_{gd})} \quad (2.31)$$

โดยที่  $s = j\omega$  และจะได้ขนาดอัตราขยายกระแสมีค่าเป็นหนึ่งที่ความถี่

$$\omega_T = g_m / (C_{gs} + C_{gd}) \quad (2.32)$$

ดังนั้นความถี่ที่อัตราขยายเป็นหนึ่ง  $f_T = \omega_T / 2\pi$  คือ

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (2.33)$$

ซึ่งค่าของ  $f_T$  แปรผันตามค่า  $g_m$  และแปรผกผันกับค่าความจุไฟฟ้าภายในตัวมอสเฟต เมื่อแทนค่า  $g_m$  ลงในสมการ (2.18) จะพบว่าค่า  $f_T$  จะขึ้นอยู่กับค่ากระแสทรานซิสเตอร์  $I_D$  ซึ่งสามารถสรุปได้ว่า กระแสทรานซิสเตอร์มีส่วนในการทำงานของมอสเฟตที่ความถี่สูง ค่าโดยทั่วไปของ  $f_T$  จะมีค่าอยู่ในช่วงประมาณ 100 เมกะเฮิรตซ์ (MHz) สำหรับเทคโนโลยีแบบเก่า (เช่น เทคโนโลยีกระบวนการผลิต CMOS 5 ไมครอน) และมีค่าหลายๆ กิกะเฮิรตซ์ (GHz) สำหรับเทคโนโลยีความเร็วสูง (high-speed technology) ที่ใหม่กว่า (เช่น เทคโนโลยีกระบวนการผลิต CMOS 0.8 ไมครอน)

### 2.1.6 แบบจำลองของมอสเฟต

ปัจจุบันในการออกแบบวงจรรวม สามารถทำการออกแบบและทราบถึงผลการออกแบบได้โดยที่ยังไม่ได้ทำการผลิต หรือทำการสร้างวงจรเพื่อทดลองหาพารามิเตอร์ต่างๆ เนื่องจากมีโปรแกรมคอมพิวเตอร์เข้ามาช่วยในการออกแบบ สามารถจำลองการทำงานของวงจรได้ใกล้เคียงกับวงจรที่ได้รับการสร้างขึ้น ทำให้ทราบถึงผลการออกแบบทั้งที่ยังไม่ได้ทำการผลิตจริง ซึ่งโปรแกรมเหล่านี้ในปัจจุบันได้มีบทบาทสำคัญ ในอุตสาหกรรมกรออกแบบวงจรรวมอิเล็กทรอนิกส์

เป็นอย่างมาก ช่วยในการประหยัดเวลาและต้นทุนในการผลิตวงจรรวม โปรแกรมที่เป็นที่นิยมใช้กัน เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในปัจจุบันได้แก่ SPICE, HSPICE (ได้รับความนิยมอย่างแพร่หลายบนระบบปฏิบัติการ UNIX) และ PSPICE (นิยมใช้กับคอมพิวเตอร์ส่วนบุคคล PC) ซึ่งโปรแกรมเหล่านี้ได้รับการพัฒนาขึ้นจากมหาวิทยาลัย California Berkeley ที่ประเทศสหรัฐอเมริกา

มอสเฟตซึ่งเกิดขึ้นในช่วงใกล้เคียงกันกับ โปรแกรม SPICE ได้รับการพัฒนาควบคู่กันมา โดยตลอด และได้มีการแบ่งการพิจารณาแบบจำลอง (MODEL) ของมอสเฟตเป็นสามรูปแบบ ตามความละเอียดของการคำนวณและการพิจารณาผลกระทบ (effect) ต่างๆ ของกระบวนการสร้างมอสเฟต ซึ่งสามารถควบคุมความแตกต่างของแบบจำลองทั้งสามชนิดของมอสเฟต

โดยปกติแบบจำลอง LEVEL 1 ซึ่งได้อ้างอิงถึงแบบจำลอง Shicman-Hodges โดยใช้คณิตศาสตร์พื้นฐานในการคำนวณ ใช้สำหรับการจำลองวงจรอย่างคร่าวๆ ซึ่งไม่ต้องการค่าที่เที่ยงตรงมากนัก ใช้สำหรับมอสเฟตที่มีแชนแนลยาวและเกทออกไซด์หนา ไม่พิจารณาถึงพฤติกรรมแชนแนลที่สั้น (short channel behavior) ใช้แบบจำลองของมอสเฟตที่มีการประมาณจากทฤษฎีมาก อย่างไรก็ตามการประมาณค่าพารามิเตอร์ต่างๆ ตาม LEVEL 1 นี้ มีข้อดีคือ ใช้เวลาในการคำนวณ และประสิทธิภาพของเครื่องคอมพิวเตอร์ไม่มาก ในการจำลองหาประสิทธิภาพของวงจรอย่างคร่าวๆ

แบบจำลอง LEVEL 2 แตกต่างจาก LEVEL 1 ทั้งวิธีการคำนวณค่าความยาวของช่องทางเดินกระแสสัมพัทธ์ (ผลของ  $\lambda$ ) และการเปลี่ยนสถานะจากช่วงไม่อิ่มตัวไปอยู่ในช่วงอิ่มตัว มีประโยชน์สำหรับมอสเฟตที่มีความยาวแชนแนลสั้น ใช้จำนวนของพารามิเตอร์ในการคำนวณมากขึ้น อย่างไรก็ตามถ้าพารามิเตอร์ของ LEVEL 2 ถูกใช้หมด แบบจำลองนี้จะต้องใช้เวลาและประสิทธิภาพของ CPU (Central Processing Unit) อย่างมากในการคำนวณ และบ่อยครั้งประสบปัญหาเกี่ยวกับการ convergence ของ Newton-Raphson algorithm และไม่พิจารณาถึงการช้อนทับที่อาจเกิดขึ้นได้ของบริเวณปลดพาหะ (depletion region) ของซอสตรอนในอุปกรณ์ที่มีแชนแนลสั้นมากๆ ผลของสนามไฟฟ้าทางด้านข้าง (Lateral field effect) ที่มีต่อความคล่องตัวของพาหะ และ drain-induce barrier lowering (DIBL) และทำการพิจารณาผลของแชนแนลที่สั้น (short channel effect) เพียงบางส่วนเท่านั้น

แบบจำลอง LEVEL 3 เป็นแบบจำลองที่ได้แก้ไขข้อบกพร่องต่างๆ ที่ได้กล่าวถึงใน LEVEL 2 โดยพื้นฐานแล้วจะคล้ายคลึงกับ LEVEL 2 ในแง่โครงสร้าง พารามิเตอร์หลายตัวเหมือนกันหรือใกล้เคียงกันมาก แตกต่างกันที่ LEVEL 3 ใช้แบบจำลองกึ่งการทดลอง (semi-empirical model) ใช้แบบจำลองของแรงดันขีดเริ่มที่เพิ่มขึ้น เพิ่มพารามิเตอร์  $\eta$  ซึ่งใช้อธิบาย DIBL นอกจากนี้แบบจำลอง channel length modulation ที่ใช้ใน LEVEL 1 และ LEVEL 2 ซึ่งใช้  $\lambda$  จะถูกแทนที่ด้วยแบบจำลองที่ซับซ้อนขึ้นเล็กน้อย ซึ่งเกี่ยวกับพารามิเตอร์  $V_{max}$  และ พารามิเตอร์กึ่งทดลอง (semi-empirical parameter) อีกตัวหนึ่ง และสุดท้ายได้พิจารณาถึงการลดลงของค่าความคล่องตัวของพาหะเมื่อสนามไฟฟ้าด้านข้างมีค่ามาก แบบจำลองใน LEVEL 3 นี้ ใช้ในการจำลอง

การทำงานของวงจรในขั้นสุดท้าย เพื่อให้ได้ค่าประสิทธิภาพและคุณสมบัติต่างๆ ของวงจรให้ใกล้เคียงกับวงจรที่ได้รับการสร้างขึ้น ดังนั้นแบบจำลองใน LEVEL 3 นี้จะคิดทุกผลกระทบที่เกิดขึ้นกับมอสเฟตและพารามิเตอร์ทุกตัว เพื่อให้ได้ค่าต่างๆ ใกล้เคียงความจริงมากที่สุด เพราะฉะนั้นสามารถสรุปได้ว่า แบบจำลอง LEVEL 3 เป็นแบบจำลองที่ละเอียดที่สุด ใช้เวลาและประสิทธิภาพของ CPU มากที่สุด โดยพารามิเตอร์ของมอสเฟตที่ใช้ในโปรแกรม PSPICE ได้สรุปไว้ในตารางที่ 2.1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 แสดงพารามิเตอร์ของแบบจำลองมอสเฟตที่ใช้ในโปรแกรม PSPICE

Symbol	SPICE keyword	LEVEL	Parameter	Default Value	Typical value	Units
$V_{TO}$	VTO	1-3	Zero-bias threshold voltage	1.0	1.0	V
$K'$	KP	1-3	Transconductance parameter	$2 \times 10^{-5}$	$3 \times 10^{-5}$	$A/V^2$
$\gamma$	GAMMA	1-3	Body-effect parameter	0.0	0.35	$V^{1/2}$
$2\phi_F$	PHI	1-3	Surface inversion potential	0.6	0.65	V
$\lambda$	LAMDA	1-2	Channel-length modulation	0.0	0.02	$V^{-1}$
$t_{ox}$	TOX	1-3	Thin oxide thickness	$1 \times 10^{-7}$	$1 \times 10^{-7}$	m
$N_A$	NSUB	1-3	Substrate doping	0.0	$1 \times 10^{15}$	$cm^{-3}$
$N_{SS}$	NSS	1-3	3 Surface state density	0.0	$1 \times 10^{10}$	$cm^{-2}$
$N_{FS}$	NFS	2,3	Surface-fast state density	0.0	$1 \times 10^{10}$	$cm^{-2}$
$N_{eff}$	NEFF	2	Total channel charge coefficient	1	5	
$X_j$	XJ	2,3	Metallurgical junction depth	0.0	$1 \times 10^4$	m
$X_{jl}$	LD	1-3	Lateral diffusion	0.0	$0.8 \times 10^{-6}$	m
$T_{PG}$	TPG	1-3	Type of gate material	1	1	
$\mu_o$	UO	1-3	Surface mobility	600	700	$cm^2/(v.s)$
$U_c$	UCRIT	2	Critical electric field for mobility	$1 \times 10^{-4}$	$1 \times 10^{-4}$	V/cm
$U_e$	UEXP	2	Exponential coefficient for mobility	0.0	0.1	
$U_t$	UTRA	2	Transverse field coefficient	0.0	0.5	
$V_{max}$	VMAX	2,3	Maximum drift velocity of carrier	0.0	$5 \times 10^4$	m/s
$X_{QC}$	XQC	2,3	Coefficient of channel charge share	0.0	0.4	
$\delta$	DELTA	2,3	Width effect on threshold voltage	0.0	0.1	
K	KAPPA	3	Saturation field factor	0.2	1.0	
$\eta$	ETA	3	Static feedback on threshold voltage	0.0	1.0	
$\theta$	THETA	3	Mobility modulation	0.0	0.05	
$\alpha_F$	AF	1-3	Flicker-noise exponent	1.0	1.2	
$k_F$	KF	1-3	Flicker-noise coefficient	0.0	$1 \times 10^{-26}$	
$I_S$	IS	1-3	Bulk junction saturation current	$1 \times 10^{-14}$	$1 \times 10^{-15}$	A
$J_S$	JS	1-3	Bulk junction saturation current per square meter	0.0	$1 \times 10^{-3}$	A
$\psi_o$	PB	1-3	Bulk junction potential	0.80	0.75	V
$C_J$	CJ	1-3	Zero-bias bulk capacitance per square meter	0.0	$2 \times 10^{-4}$	$F/m^2$
$1/m$	MJ	1-3	Bulk junction grading coefficient	0.5	0.5	

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานในเชิงพาณิชย์ การนำเอกสารนี้ไปใช้โดยไม่ได้รับอนุญาตถือว่าผิดกฎหมาย

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1(ต่อ)

Symbol	SPICE keyword	LEVEL	Parameter	Default Value	Typical value	Units
$C_{JSW}$	CJSW	1-3	Zero-bias perimeter capacitance per meter	0.0	$1 \times 10^{-9}$	F/m
$M_{JSW}$	MJSW	1-3	Perimeter capacitance grading coefficient	0.33	0.33	
FC	FC	1-3	Forward-bias depletion capacitance coefficient	0.5	0.5	
$C_{GBO}$	CGBO	1-3	Gate-bulk overlap capacitance per meter	0.0	$2 \times 10^{-10}$	F/m
$C_{GDO}$	CGDO	1-3	Gate-drain overlap capacitance per meter	0.0	$4 \times 10^{-11}$	F/m
$C_{GSO}$	CGSO	1-3	Gate source overlap capacitance per meter	0.0	$4 \times 10^{-11}$	F/m
$r_D$	RD	1-3	drain ohmic resistance	0.0	10.0	$\Omega$
$r_S$	RS	1-3	Source ohmic resistance	0.0	10.0	$\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.1.7 การเปรียบเทียบกับไบโพลาร์

ในหัวข้อนี้เราจะได้ทำการเปรียบเทียบถึงความแตกต่างระหว่างอุปกรณ์มอสทรานซิสเตอร์กับไบโพลาร์ทรานซิสเตอร์ ซึ่งมีข้อแตกต่างที่ชัดเจน แสดงได้ดังนี้

- จำนวนชนิดพาหะในการนำกระแส โดยมอสเฟทจะใช้ในการนำกระแสเพียงชนิดเดียวคือ โฮล (hole) ใน PMOS หรือ อิเล็กตรอน (electron) ใน NMOS ดังนั้นจึงเรียกถึงประติสัมพันธ์ที่ตัวนำชนิดนี้ว่า ยูนิโพลาร์ทรานซิสเตอร์ (unipolar transistor) ซึ่งต่างไปจากกรณีไบโพลาร์ทรานซิสเตอร์ (bipolar transistor) จะใช้จำนวนพาหะในการนำกระแสสองชนิด แบ่งเป็นกระแสของพาหะส่วนใหญ่ (majority carrier) ซึ่งเป็นอิเล็กตรอนสำหรับกรณี npn และเป็นโฮล สำหรับกรณี pnp และกระแสของพาหะส่วนน้อย (minority carrier) ซึ่งเป็นโฮล สำหรับ npn และเป็นอิเล็กตรอนสำหรับกรณี pnp
- ลักษณะโครงสร้างของมอสเฟท จะมีลักษณะสมมาตรทั้งสองทาง (bilateral symmetry) ซึ่งตามโครงสร้างในรูปที่ 2.1 พบว่าที่ปลายเดรนและซอสมีความสมมาตรกันสามารถสลับที่กันได้โดยไม่มีผลต่อการทำงานของอุปกรณ์ ต่างกับไบโพลาร์ทรานซิสเตอร์ ซึ่งลักษณะของโครงสร้างไม่สมมาตร ปลายทางด้านอิมิตเตอร์ (emitter) ไม่สามารถสลับปลายด้านคอลเล็กเตอร์ได้ เพราะจะทำให้คุณสมบัติในการทำงานเปลี่ยนไป
- ขั้นตอนการผลิต มอสทรานซิสเตอร์สามารถถูกควบคุมการผลิตให้ได้คุณสมบัติที่ต้องการได้ง่ายกว่า ใช้ขั้นตอนในการผลิตน้อยกว่า ใช้เวลาในการผลิตน้อยกว่า และใช้ต้นทุนในการผลิตต่ำกว่า ซึ่งเป็นคุณสมบัติที่ดีกว่าของมอสเฟทในเชิงพาณิชย์ ขณะที่ไบโพลาร์ควบคุมได้ยากกว่าในเรื่องของความกว้างของเบส ซึ่งมีอิทธิพลที่ซับซ้อนมากกว่า ซึ่งมีผลต่อประสิทธิภาพในการผลิต (yield) ทำให้เกิดต้นทุนในการผลิตสูงกว่า
- ขนาดของอุปกรณ์ มอสทรานซิสเตอร์มีขนาดเล็กกว่าไบโพลาร์ทรานซิสเตอร์ มีผลให้ความหนาแน่นต่อแผ่นซิลิกอนของมอสมีมากกว่าไบโพลาร์ ซึ่งทำให้ลดต้นทุนในการผลิตจำนวนมาก และในปัจจุบันมอสทรานซิสเตอร์จัดเป็นอุปกรณ์สารกึ่งตัวนำที่ได้รับความนิยมมากที่สุด ในการนำมาสร้างเป็นวงจรรวมขนาดใหญ่มาก (VLSI) โดยใช้เทคโนโลยีของ CMOS
- การทำงาน มอสทรานซิสเตอร์ทำงานโดยใช้แรงดันไปควบคุมกระแสที่ทางออก และค่าความต้านทานที่ทางเข้า (input impedance) ของมอสเฟทมีค่ามากๆ เนื่องจากที่อินพุทขาเกตต่ออยู่กับจนวน (ซิลิกอนไดออกไซด์) ทำให้มีอัตราการสูญเสียกำลังต่ำมาก และสามารถขับมอสเฟทตัวอื่นๆ ได้จำนวนมาก ขณะที่ไบโพลาร์ทรานซิสเตอร์ทำงานโดยใช้กระแสทางเข้าควบคุมกระแสทางออก และความต้านทานที่ทางเข้าก็มีค่าน้อยกว่ากรณีของมอสเฟท ทำให้มีอัตราการสูญเสียกำลังมากกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ความเร็วในการทำงานหรือการตอบสนองความถี่ ไบโพลาร์ทรานซิสเตอร์สามารถทำงานได้เร็วกว่า ตอบสนองความถี่ได้สูงกว่า เนื่องจากมอสทรานซิสเตอร์มีค่าความจุไฟฟ้าทางด้านอินพุตสูง

## 2.2 ทฤษฎีการทำงานของโอทีเอ

### 2.2.1 หลักการทำงานของโอทีเอ

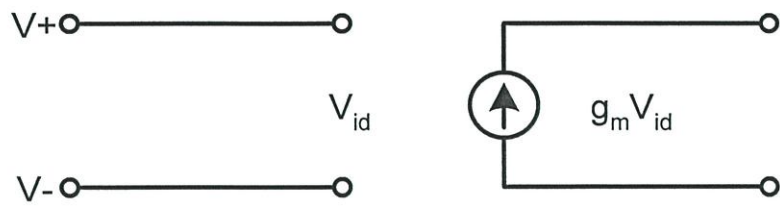
#### 2.2.1.1 หลักการโอทีเอเบื้องต้น

โอทีเอ(Operational Transconductance Amplifier) เป็นวงจรรขยายที่ทำหน้าที่เปลี่ยนค่าแรงดันไฟฟ้าให้เป็นกระแส จัดได้ว่าเป็นอุปกรณ์ประเภทแอกทิฟ ทำงานในลักษณะแหล่งจ่ายกระแสที่ควบคุมด้วยแรงดัน (Voltage Controlled Current Source) โดยมีสัญญาณอินพุตเป็นแรงดัน และสัญญาณเอาพุตออกเป็นกระแส ค่าทรานส์คอนดักแตนซ์ (transconductance) หรือ  $g_m$  ของโอทีเอสามารถควบคุมได้โดยกระแสไบอัสจากภายนอกและพัฒนาให้สามารถควบคุมได้ด้วยวิธีการทางอิเล็กทรอนิกส์



รูปที่ 2.15 บล็อกไดอะแกรมโครงสร้างพื้นฐานของ โอทีเอ

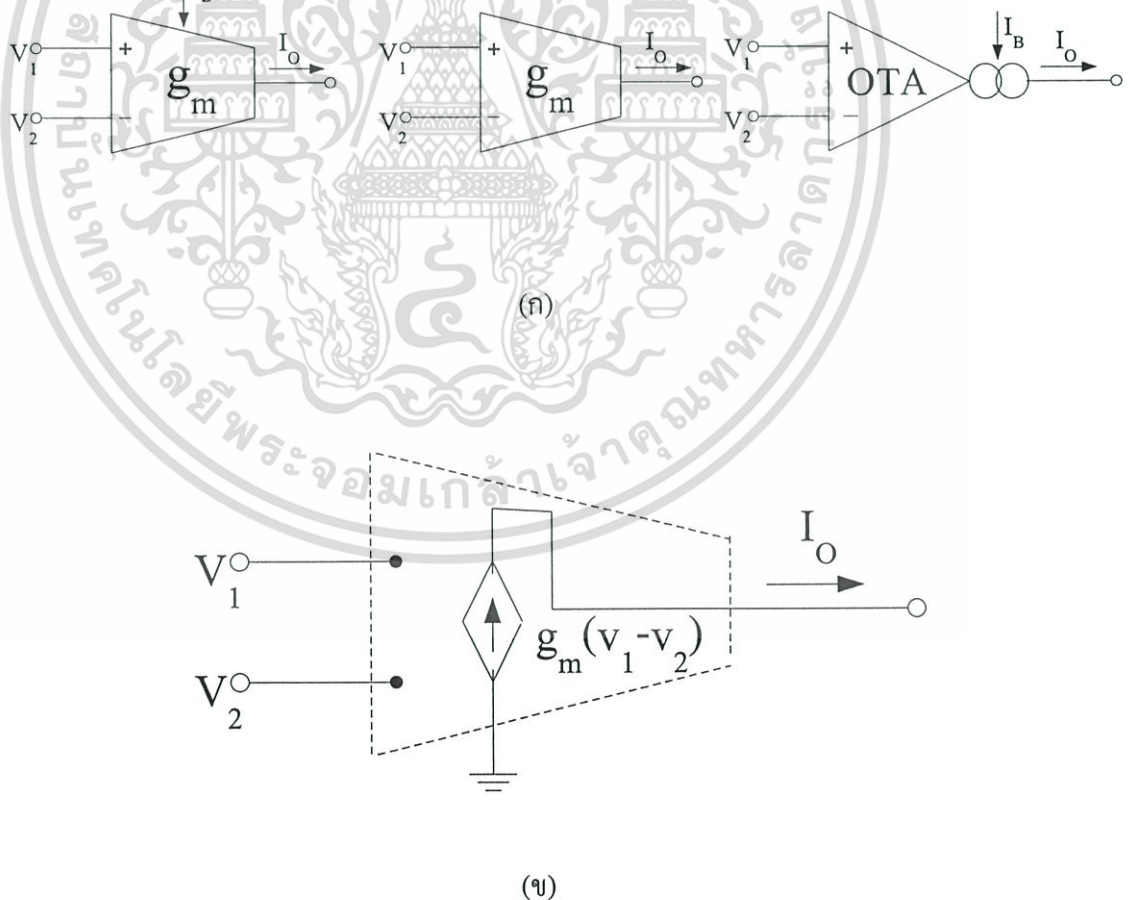
จากรูปที่ 2.15 แสดงบล็อกไดอะแกรมโครงสร้างอย่างง่าย ๆ ของโอทีเอโดยมีคุณสมบัติพื้นฐานคือมีอินพุตอิมพีแดนซ์และเอาพุตอิมพีแดนซ์สูงสำหรับวงจรสมมูลทางอุดมคติแสดงดังรูปที่ 2.16



รูปที่ 2.16 วงจรสมมูลของโอทีเอในทางอุดมคติ

### 2.2.1.2 โอทีเอในทางอุดมคติ

รูปที่ 2.17(ก) แสดงให้เห็นถึงสัญลักษณ์ของอุปกรณ์โอทีเอ ซึ่งประกอบด้วยส่วนรับแรงดันอินพุต ส่วนกระแสไบอัสและส่วนกระแสเอาพุต ส่วนรูปที่ 2.17(ข) แสดงให้เห็นถึงสัญลักษณ์วงจรมูลของโอทีเอในทางอุดมคติ



รูปที่ 2.17 (ก) สัญลักษณ์ของโอทีเอ (ข) สัญลักษณ์วงจรมูลของโอทีเอในทางอุดมคติ  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่ เป็น โททีเอ ในทางอุดมคติ ความสัมพันธ์ระหว่างแรงดันอินพุตและกระแสเข้าพุทสามารถเขียนอธิบายได้ดังนี้

$$I_{out} = g_m (V_1 - V_2) \quad (2.34)$$

เมื่อ  $g_m$  คืออัตราขยายค่าความนำของโททีเอ ส่วน  $V_1$  และ  $V_2$  คือค่าแรงดันอินพุตที่ขาบวกและขาลบของโททีเอตามลำดับ

อัตราค่าขยายความนำของโททีเอจะขึ้นอยู่กับกระแสไบอัส ( $I_{Bias}$ ) ของโททีเอ ในกรณีที่ ใช้โททีเอแบบไบโพลาร์ ความสัมพันธ์ของอัตราขยายค่าความนำและกระแสไบอัสจะได้เป็น

$$g_m = \frac{I_{bias}}{2V_T} \quad (2.35)$$

เมื่อ  $V_T$  คือแรงดันความร้อน (Thermal Voltage) ซึ่งมีค่าประมาณ 25 mV ที่อุณหภูมิห้อง 25 °C ดังนั้นสมการที่ (3.2) จึงเขียนได้ใหม่เป็น

$$g_m = \frac{I_{Bias}}{2 \times 25mV} \quad (2.36)$$

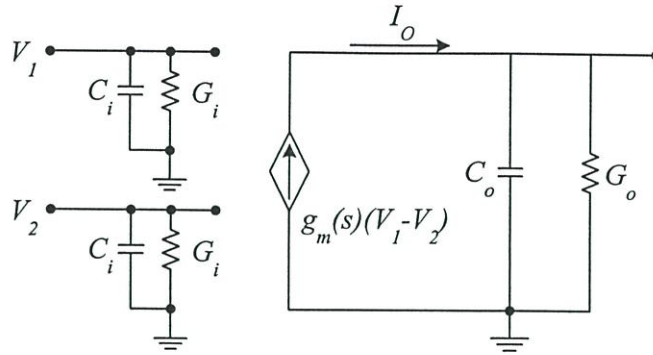
หรือ

$$g_m = 20 I_{Bias} \quad (2.37)$$

### 2.2.1.3 โททีเอในทางปฏิบัติ

จากที่กล่าวมาข้างต้นเป็นหลักการของโททีเอในทางอุดมคติ แต่โททีเอที่มีจำหน่ายโดยทั่วไป จะมีขีดจำกัดการทำงานซึ่งสามารถศึกษาได้จากข้อมูลของบริษัทผู้ผลิตนั้นๆ สำหรับค่าแรงดันอินพุต โททีเอโดยทั่วไปจะมีข้อจำกัดซึ่งสามารถปรับค่าได้เป็นเชิงเส้นในช่วงแรงดันไม่เกิน 25 mV และเนื่องจากวงจร โททีเอประกอบด้วยทรานซิสเตอร์จำนวนหนึ่งซึ่งมีผลของความต้านทานและความจุไฟฟ้าภายในของทรานซิสเตอร์เอง ทำให้กระแสเข้าพุทของโททีเอมีค่าขึ้นกับความถี่ของแรงดันอินพุต ส่วนอินพุตและเข้าพุทของวงจรสมมูลของโททีเอประกอบด้วยค่าความนำและความจุไฟฟ้าดังแสดงในรูปที่ 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 วงจรสมมูลของโอทีเอในทางปฏิบัติ

จากรูปที่ 2.18  $G_i$  และ  $C_i$  คือค่าความนำและค่าความจุแฝงไฟฟ้าทางด้านอินพุต ส่วน  $G_o$  และ  $C_o$  คือค่าความนำและค่าความจุแฝงไฟฟ้าทางด้านเอาพุต จากวงจรสมมูลไม่คิดรวมค่าความนำและค่าความจุไฟฟ้าทางด้านอินพุต ( $G_{ic}$  และ  $C_{ic}$ ) แบบโหมคร่วม (Common mode) เนื่องจากมีค่าน้อยมากและจากโครงสร้างของวงจรสมมูลที่ส่วนอินพุตเมื่อเทียบกราวด์สามารถเขียนแอดมิตแตนซ์อินพุตและเอาพุตได้เป็น

$$Y_i = G_i + sC_i \quad (2.38)$$

และ 
$$Y_o = G_o + sC_o \quad (2.39)$$

เมื่อพิจารณาผลตอบสนองความถี่ของอัตราขยายค่าความนำของโอทีเอจะมีรูปแบบทั่วไปดังนี้

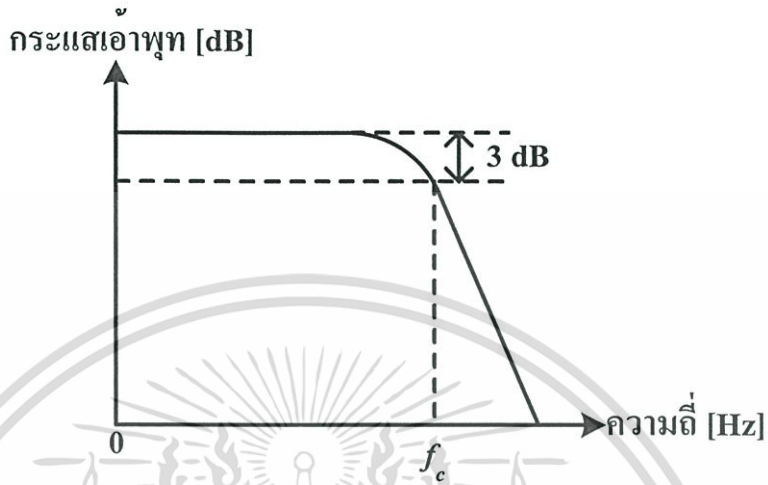
$$g_m = \frac{g_{m0}}{1 + \frac{s}{\omega_c}} \quad (2.40)$$

เมื่อ  $\omega_c$  คือตำแหน่งโพลภายในของโอทีเอ และ  $g_{m0}$  คืออัตราค่าขยายความนำที่ความถี่ต่ำของโอทีเอ จากสมการที่ (2.40) สามารถเขียนสมการความสัมพันธ์ระหว่างแรงดันอินพุตและกระแสเอาพุตได้ดังนี้

$$I_{out} = \frac{g_{m0}}{1 + s\tau_c} V_{in(s)} \quad (2.41)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา 1+ $s\tau_c$  เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $\tau_c = 1/\omega_c$  คือค่าคงที่ทางเวลา (Time constant) จากสมการที่ (2.41) ผลการตอบสนองทางความถี่ของโอทีเอสามารถแสดงได้ดังรูปที่ 2.19

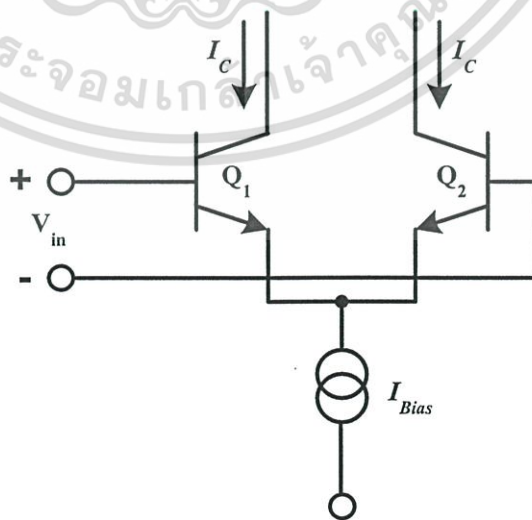


รูปที่ 2.19 ผลการตอบสนองทางความถี่ของโอทีเอ

2.2.2 หลักการทำงานของโอทีเอ

หลักการทำงานพื้นฐานของ โอทีเอโดยทั่วไปประกอบด้วยกลุ่มวงจรย่อยที่สำคัญสองส่วนคือวงจรขยายสัญญาณผลต่างอินพุทและวงจรสะท้อนกระแสซึ่งสามารถอธิบายหลักการทำงานของแต่ละวงจรได้ดังนี้

2.2.2.1 วงจรขยายสัญญาณผลต่างอินพุท



รูปที่ 2.20 วงจรขยายผลต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

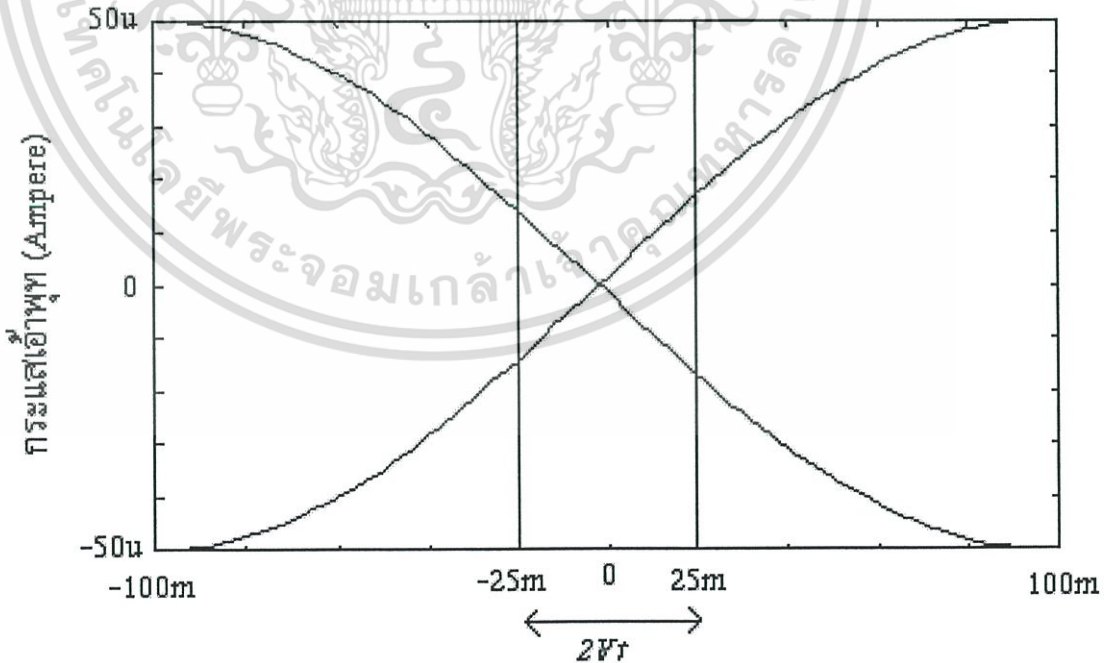
วงจรรายผลต่างของโอทีเอแสดงดังรูปที่ 2.27 ประกอบด้วยทรานซิสเตอร์  $Q_1$  และ  $Q_2$  ซึ่งทำหน้าที่เปลี่ยนแรงดันเป็นกระแส เมื่อกำหนดให้  $Q_1$  และ  $Q_2$  มีความสมพียงกันทุกประการและจ่ายกระแสไบอัสให้แก่วงจรจะเกิดกระแสคอลเลกเตอร์ของ  $Q_1$  และ  $Q_2$  มีค่าเท่ากับ  $I_{Bias} / 2$  ดังนั้นอัตราขยายค่าความนำของ  $Q_1$  และ  $Q_2$  จึงมีค่าเท่ากับ

$$g_m = I_C / V_T \tag{2.42}$$

แต่เนื่องจากกระแส  $I_C$  มีค่าเท่ากับ  $I_{Bias} / 2$  ทำให้

$$g_{m1} = g_{m2} = I_{Bias} / 2V_T \tag{2.43}$$

เมื่อ  $g_{m1}$  และ  $g_{m2}$  คืออัตราขยายค่าความนำ  $Q_1$  และ  $Q_2$  ตามลำดับ กราฟความสัมพันธ์ของกระแสเข้าพุทที่แรงดันอินพุทค่าต่างๆ แสดงในรูปที่ 2.21 ซึ่งจะเห็นได้ว่าอัตราขยายค่าความนำของโอทีเอที่จะมีความเป็นเชิงเส้นเมื่อแรงดันอินพุทอยู่ในช่วงไม่เกิน  $\pm V_T$  หรือประมาณ  $\pm 25$  mV ที่อุณหภูมิห้อง 25 °C



**รูปที่ 2.21** ความสัมพันธ์กระแสเข้าพุทของโอทีเอเมื่อแปรค่าแรงดันอินพุท

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับกิจการทางการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาผลเนื่องจากสัญญาณขนาดเล็กโดยกำหนดให้แรงดันอินพุทของวงจรขยายผลต่างของโอทีเอมีค่าเท่ากับ  $v_{id}$  ดังนั้นแรงดันระหว่างเบสกับอิมิตเตอร์  $v_{be}$  ของ  $Q_1$  และ  $Q_2$  มีค่าเป็น

$$v_{be1} = \frac{v_{id}}{2} \quad (2.44)$$

และ 
$$v_{be2} = -\frac{v_{id}}{2} \quad (2.45)$$

ทำให้กระแสคอลเลกเตอร์  $i_c$  ของทรานซิสเตอร์มีค่าเป็น

$$i_c = g_m v_{be} \quad (2.46)$$

ดังนั้นสมการที่ (2.44) ถึง (2.46) กระแสคอลเลกเตอร์ของ  $Q_1$  และ  $Q_2$  จึงมีค่าเท่ากับ

$$i_{c1} = g_m \frac{v_{id}}{2} \quad (2.47)$$

$$i_{c2} = -g_m \frac{v_{id}}{2} \quad (2.48)$$

เมื่อพิจารณาค่าความต้านทานอินพุทของวงจร  $R_{id}$  จะได้

$$R_{id} = \frac{v_{id}}{i_b} \quad (2.49)$$

เมื่อ  $i_b \cong i_{b1} \cong i_{b2}$  คือกระแสเบสของ  $Q_1$  และ  $Q_2$  มีค่าดังสมการ

$$i_b = \frac{i_e}{\beta + 1} \approx \frac{i_e}{\beta} \quad (2.50)$$

โดยที่  $i_e \cong i_{e1} \cong i_{e2}$  คือกระแสอิมิตเตอร์ของ  $Q_1$  และ  $Q_2$  แต่เนื่องจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_e = \frac{v_{id}}{2r_e} \quad (2.51)$$

ดังนั้น

$$i_b = \frac{v_{id}}{2r_e \beta} \approx \frac{v_{id}}{2r_\pi} \quad (2.52)$$

แทนค่า  $i_b$  จากสมการที่ (2.52) ลงในสมการที่ (2.49) จะได้ค่าความต้านทานอินพุตเป็น

$$R_{id} = 2r_\pi \approx 2\beta r_e \quad (2.53)$$

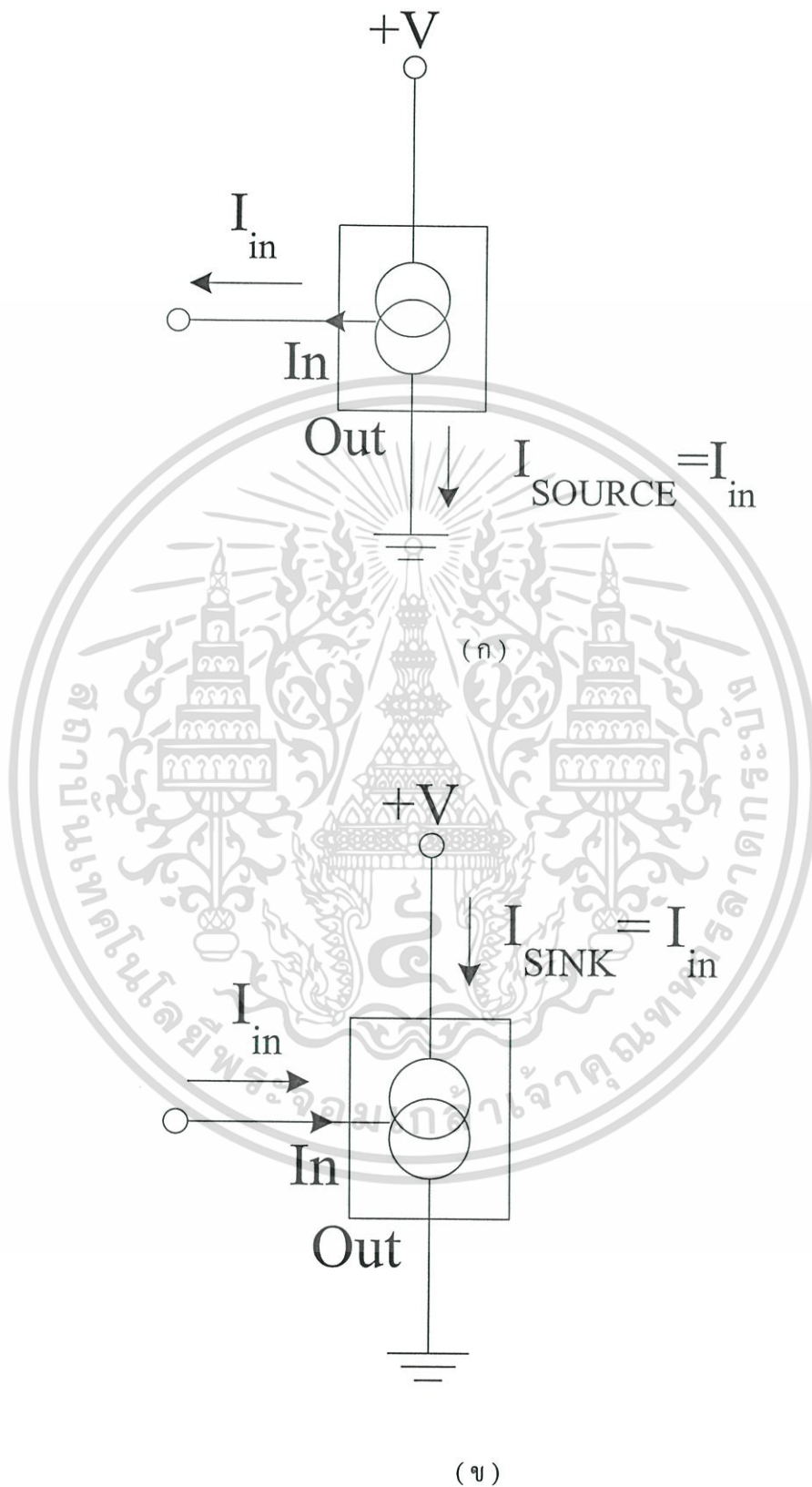
แต่เนื่องจาก  $r_e$  มีค่าเท่ากับ  $1/g_m$  หรือประมาณ  $I_C/V_T$  ดังนั้น

$$R_{id} \cong \frac{2\beta}{g_m} \quad (2.54)$$

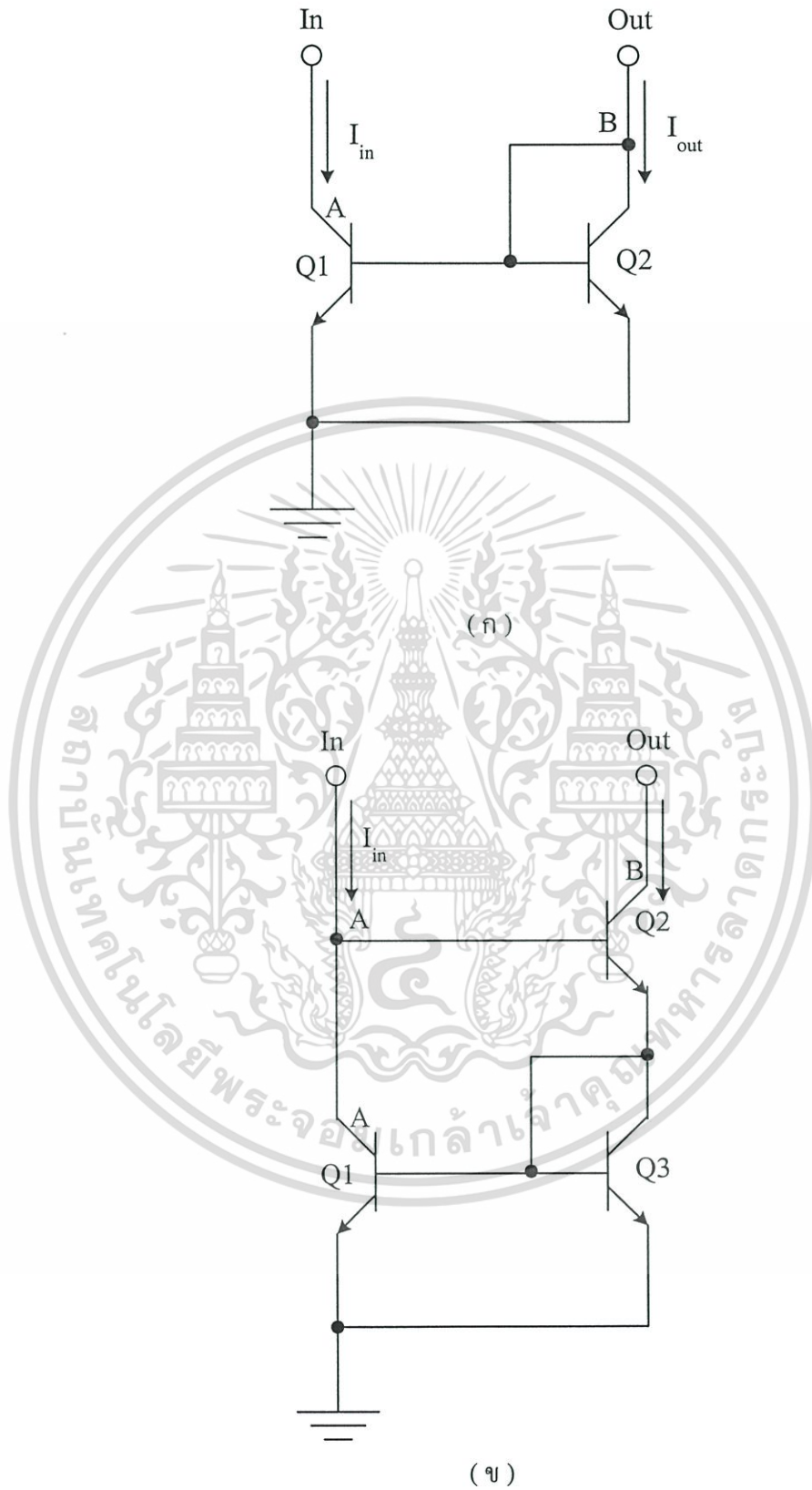
ซึ่งจะเห็นว่าความต้านทานอินพุตของวงจรมีขึ้นอยู่กับการขยายค่าความนำของโอทีเอหรือขึ้นอยู่กับการใส่ไบอัสนั่นเอง

### 2.2.2.2 วงจรสะท้อนกระแส

วงจรสะท้อนกระแสเป็นกลุ่มวงจรย่อยที่สำคัญอีกวงจรหนึ่งในโอทีเอ ทำหน้าที่ส่งผ่านกระแสอินพุตไปยังกระแสเอาพุต รูปที่ 2.22 แสดงสัญลักษณ์ของวงจรสะท้อนกระแส โดยในรูปที่ 2.22 (ก) แสดงสัญลักษณ์ของวงจรสะท้อนกระแสแบบบวกทำหน้าที่ในการจ่ายกระแส ส่วนรูป 2.22 (ข) แสดงสัญลักษณ์ของวงจรสะท้อนกระแสแบบบวกทำหน้าที่ในการดึงกระแส



รูปที่ 2.22 สัญลักษณ์ของวงจรสะท้อนกระแส (ก) แบบบวก (ข) แบบลบ  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นรูปที่ 2.23 สองจรสที่อันกระแสด (ก) แบบพื้นฐาน (ข) แบบวิลสัน ให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสะท้อนกระแสแบบพื้นฐานซึ่งเป็นส่วนประกอบในส่วนของวงจรไบอัสของโอทีเอ แสดงดังรูปที่ 2.23 (ก) เมื่อพิจารณาผลรวมกระแสที่จุด A เมื่อกำหนดให้กระแส  $I_{C1}$  และ  $I_{C2}$  อ กระแสคอลเลกเตอร์ของทรานซิสเตอร์  $Q_1$  และ  $Q_2$  ตามลำดับ จะได้ความสัมพันธ์ของกระแสดังนี้

$$I_{in} - I_{C1} - \frac{2I_{C1}}{\beta} = 0 \quad (2.55)$$

พิจารณาในกรณีที่  $Q_1$  และ  $Q_2$  มีความสมพียงกันทุกประการจากสมการที่ (2.55) กระแสเข้าพุทมีค่า ดังนี้

$$I_{out} = I_{C1} = I_{C2} = \frac{I_{in}}{1 + \frac{2}{\beta}} = \left[ 1 - \frac{2}{\beta + 2} \right] I_{in} \quad (2.56)$$

ค่าเปอร์เซ็นต์ความคลาดเคลื่อนของกระแสเข้าพุท (% error) เมื่อเทียบกับกระแสอินพุทกรณีนี้มีค่าเป็น

$$\% \text{ error} = \frac{2}{\beta + 2} \quad (2.57)$$

ในกรณีนี้เมื่อกำหนดให้  $\beta = 100$  ดังนั้น %error มีค่าเท่ากับ 1.96% แต่โดยทั่วไปแล้วเมื่อ กำหนดให้  $\beta \gg 1$  กระแสเข้าพุทจะมีค่าประมาณเท่ากับกระแสอินพุทดังนี้คือ

$$I_{out} \cong I_{in} \quad (2.58)$$

ความต้านทานอินพุทต่อสัญญาณขนาดเล็จะมีค่าประมาณเท่ากับค่าความต้านทานของ  $Q_1$  ที่ต่อในรูปของไดโอดซึ่งมีค่าเท่ากับ

$$r_{in} = \frac{V_T}{I_{in}} \quad (2.59)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทานเข้าพุทต่อสัญญาณขนาดเล็ก  $r_o$  มีค่าประมาณเท่ากับความต้านทานระหว่างขา  
คอลเลคเตอร์กับขาอีมีเตอร์ของ  $Q_2$  และกราวด์มีค่าประมาณ

$$r_o = \frac{V_A}{I_{in}} \quad (2.60)$$

เมื่อ  $V_A$  คือค่าแรงดันจุดเริ่ม (Early Voltage)

รูปที่ 2.23 (ข) แสดงวงจรสะท้อนกระแสแบบวิลสัน เมื่อพิจารณาที่ขาอีมีเตอร์ของ  $Q_2$   
สามารถเขียนความสัมพันธ์ของกระแสได้ดังนี้คือ

$$-I_{E2} = I_{C3} + I_{B1} + I_{B3} = I_{C3} \left( 1 + \frac{1}{\beta} \right) + \frac{I_{C1}}{\beta} \quad (2.61)$$

หรือ

$$-I_{E2} = I_{C3} \left( 1 + \frac{2}{\beta} \right) \quad (2.62)$$

เมื่อพิจารณาที่จุดเข้าพุทของวงจรหรือกระแสคอลเลคเตอร์ของ  $Q_2$  จะได้

$$I_{C2} = -I_{E2} \left( \frac{\beta}{\beta+1} \right) = I_{C3} \left( 1 + \frac{2}{\beta} \right) \left( \frac{\beta}{\beta+1} \right) \quad (2.63)$$

หรือ

$$I_{C3} = \frac{I_{C2}}{\left( 1 + \frac{2}{\beta} \right) \left( \frac{\beta}{\beta+1} \right)} \quad (2.64)$$

เมื่อกำหนดให้  $Q_1$  และ  $Q_3$  มีความสมพงษ์กันทุกประการกระแสคอลเลคเตอร์  $I_{C1}$  มีค่าเป็น

$$I_{C1} = I_{C3} \quad (2.65)$$

และที่จุดอินพุทของวงจร  $I_{C1}$  มีค่าเท่ากับ  
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{C1} = I_{in} - \frac{I_{C2}}{\beta} \quad (2.66)$$

จากสมการที่ (2.63) ถึงสมการที่ (2.66) กระแสเข้าพุท  $I_{out}$  ของวงจรเขียนได้เป็น

$$I_{out} = I_{C2} = I_{in} \left[ 1 - \frac{2}{\beta^2 + 2\beta + 2} \right] \quad (2.67)$$

จากสมการที่ (2.67) ค่าเปอร์เซ็นต์ความคลาดเคลื่อนของกระแสมีค่าเท่ากับ

$$\% \text{ error} = \frac{2}{\beta^2 + 2\beta + 2} \quad (2.68)$$

เมื่อกำหนดให้  $\beta = 100$  เปอร์เซ็นต์ความคลาดเคลื่อนจะมีค่าเท่ากับ 0.0196% ซึ่งจะเห็นได้ว่าในวงจรสะท้อนกระแสแบบวิลสันค่ากระแสเข้าพุทที่ได้รับนั้นมีค่าใกล้เคียงกับกระแสอินพุทมากกว่าในวงจรสะท้อนกระแสแบบพื้นฐาน

ความต้านทานเข้าพุทของวงจรมีค่าดังสมการ

$$r_o = \frac{\beta V_A}{2I_{out}} \quad (2.69)$$

ส่วนค่าความต้านทานอินพุท  $r_{in}$  ของวงจรสะท้อนกระแสแบบวิลสันมีค่าประมาณ 2 เท่าของความต้านทานอินพุทในวงจรสะท้อนกระแสแบบพื้นฐานดังนี้

$$r_{in} = \frac{2V_T}{I_{in}} \quad (2.70)$$

รูปที่ 2.24 แสดงให้เห็นถึงหลักการพื้นฐานของโอทีเอซึ่งประกอบด้วยวงจรขยายผลต่าง 1 วงจร และวงจรสะท้อนกระแส 4 วงจร ซึ่งเมื่อแทนที่วงจรสะท้อนกระแส C ในรูปที่ 2.23 ด้วยวงจรสะท้อนกระแสแบบพื้นฐานในรูปที่ 2.24 อัตราขยายค่าความนำของโอทีเอจะถูกควบคุมด้วยเอกสารนี้เป็น กระแสไบอัสภายนอก ( $I_{BIAS}$ ) ซึ่งมีค่าดังสมการนั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{BIAS} = I_A + I_B \quad (2.71)$$

ถ้าเพิ่มวงจรสะท้อนกระแส A B และ D ลงในวงจรจากรูปที่ 2.24 เมื่อแรงดันอินพุตทั้งสองของโอทีเอมีค่าไม่เท่ากันจะทำให้เกิดผลต่างระหว่างกระแส  $I_A$  และ  $I_B$  ซึ่งถูกส่งผ่านโดยวงจรสะท้อนกระแส A B และ D ไปยังโหลดภายนอก ดังนั้นเมื่อทำการแปรค่า  $I_{BIAS}$  ก็เสมือนกับการปรับค่ากระแสอิมิตเตอร์ของ  $Q_1$  และ  $Q_2$  นั่นเองจึงทำให้สามารถควบคุมอัตราขยายค่าความนำของวงจรขยายสัญญาณผลต่างได้ด้วยการปรับค่ากระแส  $I_{BIAS}$

จากรูปที่ 2.24 กระแสคอลเลคเตอร์ที่  $Q_1$  ถูกจ่ายเป็นกระแสอินพุตให้แก่วงจรสะท้อนกระแสแบบบวก A ทำให้เกิดกระแส  $I_a$  ดังนี้

$$I_a = I_A \quad (2.71)$$

จากนั้นกระแส  $I_a$  จะถูกส่งไปยังวงจรสะท้อนกระแสแบบลบ D ซึ่งทำให้ค่ากระแสเอาพุทของวงจรสะท้อนกระแส  $I_d$  ที่ได้รับมีค่าเป็น

$$I_d = I_A \quad (2.73)$$

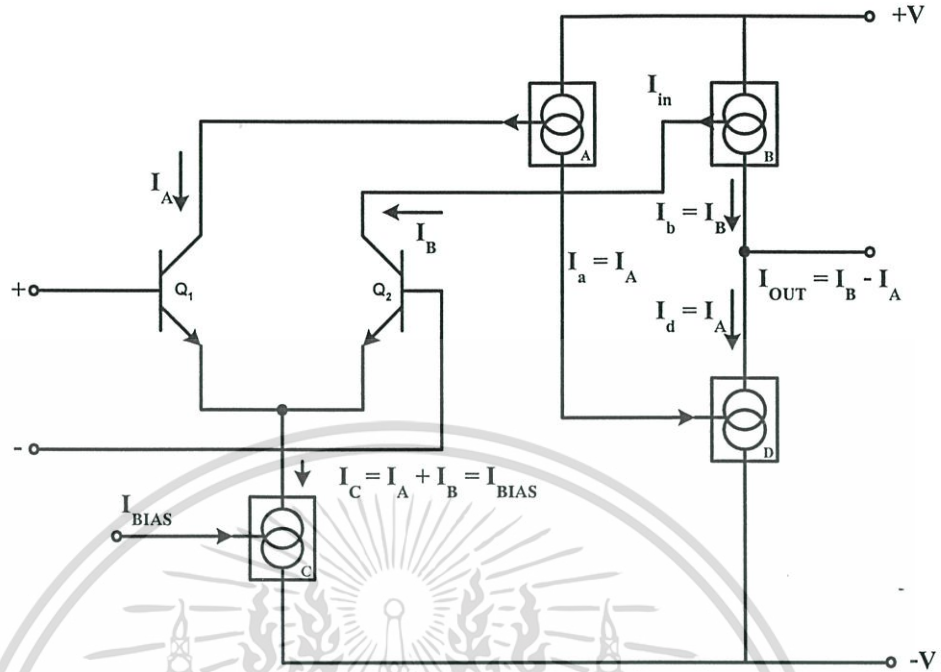
ในทำนองเดียวกันกระแสคอลเลคเตอร์ที่  $Q_2$  ถูกส่งผ่านวงจรสะท้อนกระแสแบบบวก B กระแสเอาพุทของวงจรสะท้อนกระแส  $I_b$  ที่ได้รับมีค่าดังสมการ

$$I_b = I_B \quad (2.74)$$

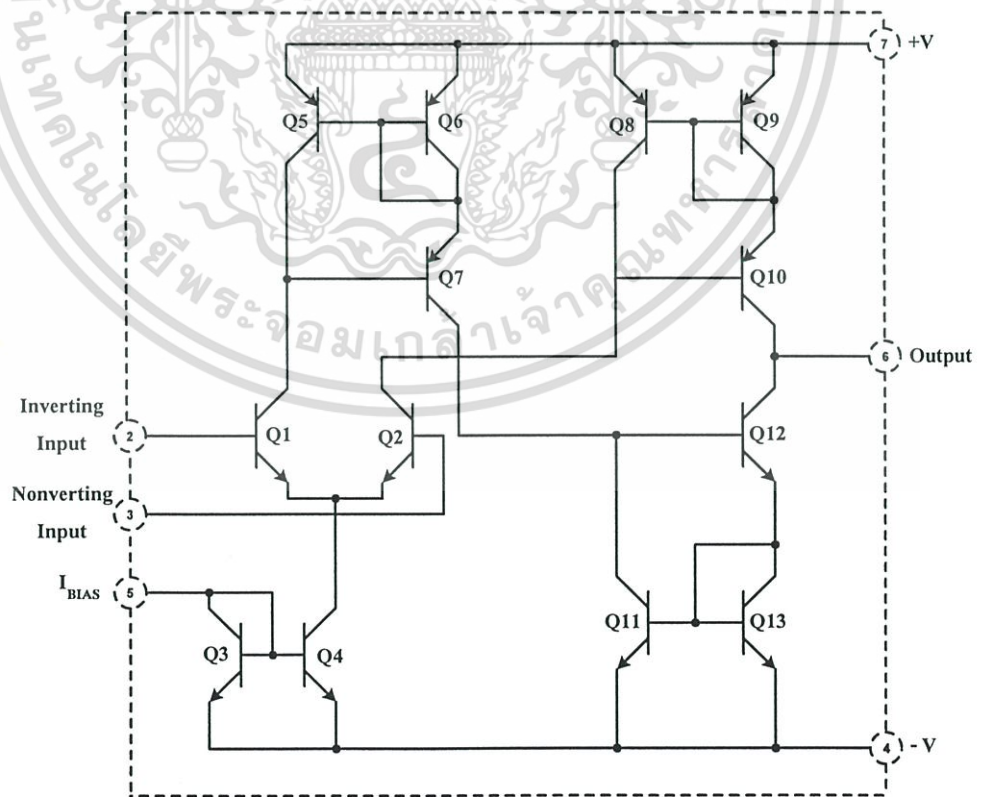
ดังนั้นกระแสเอาพุทจึงมีค่าเท่ากับ

$$I_{OUT} = I_B - I_A \quad (2.75)$$

จากหลักการดังกล่าวจะสามารถนำมาสร้างเป็นโอทีเอได้โดยมีรายละเอียดภายในของวงจรแสดงได้ดังรูปที่ 2.25

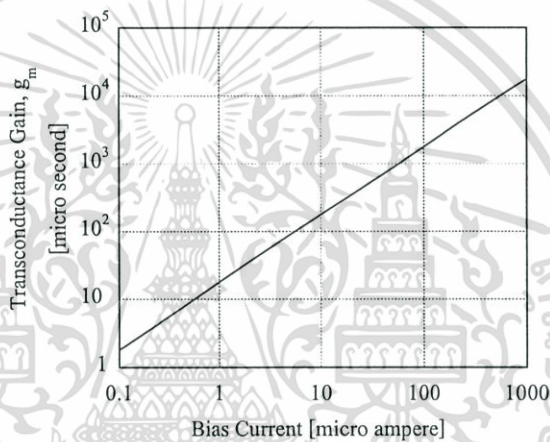


รูปที่ 2.24 วงจรสมมูลของโอทีเอ

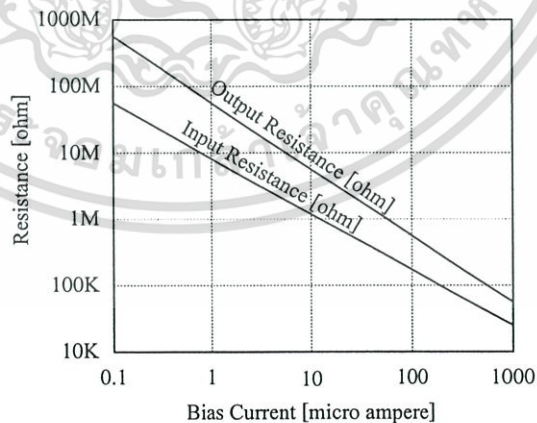


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
**รูปที่ 2.25** โครงสร้างพื้นฐานภายในของโอทีเอ  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.25 ทรานซิสเตอร์  $Q_3$  และ  $Q_4$  เป็นวงจรสะท้อนกระแสแบบพื้นฐานทำหน้าที่ควบคุมกระแสไบอัสจากภายนอกเพื่อช่วยให้แก่วจรขยายสัญญาณผลต่าง  $Q_1 - Q_2$  ที่ขาคอลเลกเตอร์ของ  $Q_4$  ซึ่งทำให้ผลบวกกระแสอิมิตเตอร์ของ  $Q_1 - Q_2$  มีค่าเท่ากับกระแสไบอัสกระแสคอลเลกเตอร์จากส่วนขยายผลต่าง  $Q_1 - Q_2$  ถูกจ่ายให้แก่วจรสะท้อนกระแสแบบวิลสัน  $Q_5 - Q_7$   $Q_{11} - Q_{13}$  และ  $Q_8 - Q_{10}$  เพื่อส่งผ่านไปเป็นกระแสเข้าพุทของวงจรที่มีค่าเท่ากับผลต่างของกระแสคอลเลกเตอร์ของ  $Q_1$  กับ  $Q_2$  และเนื่องจากวงจรสะท้อนกระแสแบบวิลสันทั้ง 3 วงจร ( $Q_5 - Q_7$   $Q_{11} - Q_{13}$  และ  $Q_8 - Q_{10}$ ) มีค่าเข้าพุทอิมพีแดนซ์ของวงจรสูงมากจึงทำให้ส่วนอิมพีแดนซ์เข้าพุทของโอทีเอมีค่าที่สูงมากเช่นกัน



(ก)



(ข)

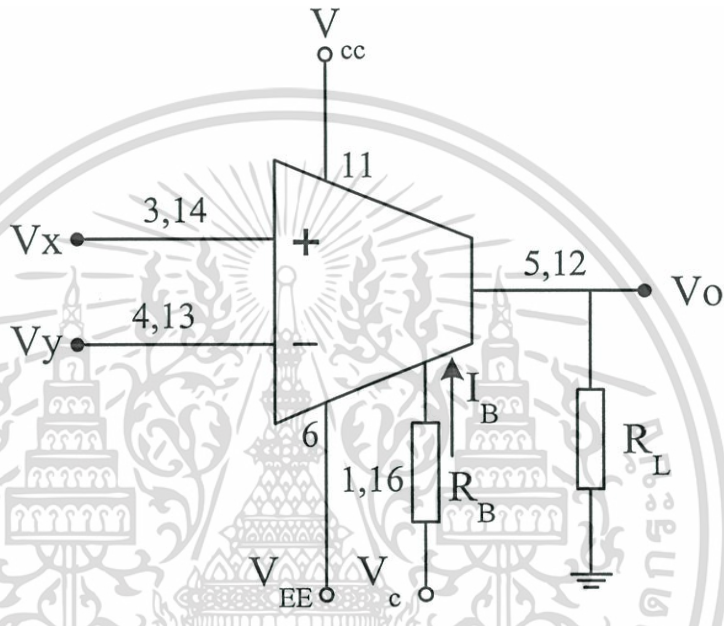
รูปที่ 2.26 (ก) ความสัมพันธ์ระหว่างอัตราขยายค่าความนำกับกระแสไบอัสของโอทีเอ

(ข) ความสัมพันธ์ระหว่างความต้านทานอินพุทและความต้านทานเข้าพุทกับกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟรูปที่ 2.26 แสดงให้เห็นว่าอัตราขยายค่าความนำของโอทีเอ ค่าความต้านทานอินพุทและความต้านทานเอาพุทของโอทีเอขึ้นอยู่กับกระแสไบอัสซึ่งคุณสมบัติเป็นเชิงเส้น โดยแปรค่ากระแสไบอัสจาก 0.1µA จนถึง 1000 µA

2.2.3 การนำโอทีเอไปใช้งาน



รูปที่ 2.27 การใช้งานโอทีเอเบอร์ LM13600

จากรูปที่ 2.27 เป็นการนำโอทีเอไปใช้งาน โดยในรูปที่ 2.27 เป็นโอทีเอเบอร์ LM13600 ซึ่งในทางปฏิบัตินั้นการป้อน  $I_B$  ในขาที่ 1,16 ได้ดังสมการ

$$I_B = \frac{V_{CC} - V_{EE} - 2V_d}{R_B} \tag{2.76}$$

$V_d$  คือแรงดันที่รอยต่อเบส - อิมิตเตอร์ ที่อยู่ภายในไอซีมีค่าประมาณ 0.6 – 0.7 โวลท์

สำหรับค่าทรานส์คอนดักแตนซ์  $g_m$  ของวงจรถูกควบคุมได้ด้วยค่ากระแส  $I_B$  โดยที่อุณหภูมิรอบข้าง จะกำหนดให้ค่าแรงดันความร้อน  $V_T = 26mV$  ซึ่งค่า  $g_m$  ของโอทีเอจะมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_m (mS) = \frac{I_B}{2V_T} \quad (2.77)$$

$$= 19.2 \times I_B (mA) \quad (2.78)$$

### 2.3 บทสรุป

ในบทนี้เป็นการกล่าวถึง ชนิดของมอสเฟต โดยแบ่งตามลักษณะการทำงาน ซึ่งแบ่งได้เป็น มอสเฟตชนิดเอ็นแชนซ์เม้นท์ โหมด และมอสเฟตชนิดดีพลีชัน โหมด อธิบายถึง โครงสร้างและ ลักษณะการทำงาน การเกิดช่องกระแส แบบจำลองสัญญาณขนาดใหญ่ แบบจำลองสัญญาณขนาดเล็ก เทคโนโลยี CMOS การตอบสนองทางความถี่ของมอสเฟต วงจรสมมูลของมอสทรานซิสเตอร์ ที่ความถี่สูง ซึ่งจะต้องทำการพิจารณาถึงค่าความจุไฟฟ้าต่างๆ ที่เกิดขึ้นจาก โครงสร้างของมอสเฟต อิทธิพลของอุณหภูมิที่มีต่อมอสเฟต แบบจำลองของมอสเฟตที่ใช้ใน โปรแกรม PSPICE ซึ่งใน วิทยานิพนธ์ฉบับนี้ได้ใช้โปรแกรม PSPICE ในการจำลองการทำงานของวงจรที่ได้ทำการออกแบบ โดยสิ่งที่ได้กล่าวถึงทั้งหมดนี้จะเป็นพื้นฐานของการออกแบบวงจร โดยใช้มอสเฟต ซึ่งจะได้ กล่าวถึงในบทต่อไป และยังได้กล่าวถึงการทำงานหลักการทำงานของ ไอทีเอ ไม่ว่าจะ เป็นหลักการ ไอทีเอเบื้องต้น การทำงานในทางอุดมคติและในทางปฏิบัติ อธิบายหลักการทำงานพื้นฐานของ ไอทีเอ โดยทั่วไปที่ประกอบด้วยกลุ่มวงจรย่อยที่สำคัญสองส่วนคือ วงจรขยายสัญญาณผลต่างอินพุต และวงจรสะท้อนกระแส แสดงโครงสร้างภายในของวงจร ไอทีเอ และการนำ ไอทีเอ ไปใช้งาน ซึ่ง แสดงตัวอย่างการใช้งาน ไอทีเอเบอร์ LM13600

### บทที่ 3

## ทฤษฎีที่นำมาใช้ในการออกแบบวงจร

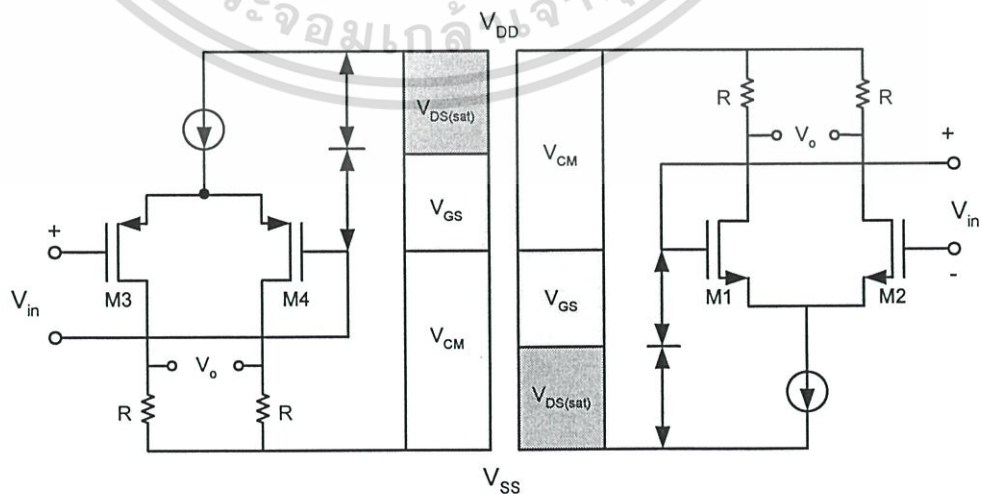
### 3.1 กล่าวนำ

ทฤษฎีการออกแบบวงจรซีมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์ในวิทยานิพนธ์ฉบับนี้จะประกอบไปด้วย วงจรดิฟเฟอเรนเชียลปฏิบัติการแบบ Rail - to Rail และวงจร Folded Cascode ดังนั้นเนื้อหาในบทนี้จะได้กล่าวถึงทฤษฎีของวงจรดังกล่าวที่นำไปใช้กับการออกแบบวงจรในบทต่อไป

### 3.2 ภาคอินพุต (Input Stage)

#### 3.2.1 วงจรดิฟเฟอเรนเชียลปฏิบัติการแบบ Rail - to Rail

ภาคอินพุตของวงจรขยายความแตกต่างโดยทั่วไปจะประกอบด้วยคู่ของดิฟเฟอเรนเชียลแอมพลิไฟเออร์ คู่ของดิฟเฟอเรนเชียลประกอบขึ้นจากมอสทรานซิสเตอร์ชนิด N-Channel (M1-M2) หรือใช้ชนิด P-Channel (M3-M4) ซึ่งแสดงดังในรูปที่ 3.1 ซึ่งคู่ดิฟเฟอเรนเชียลแอมพลิไฟเออร์นี้ สัญญาณอินพุตจะแตกต่างกันและไม่ยอมรับแรงดันอินพุตแบบคอมมอนโหมด ช่วงแรงดันอินพุตคอมมอนโหมดเป็นพารามิเตอร์ที่เป็นกุญแจสำคัญสำหรับภาคอินพุต ซึ่งจะเป็นตัวกำหนดแรงดันคอมมอนโหมดซึ่งเป็นช่วงที่ภาคอินพุตสามารถตอบสนองสัญญาณความแตกต่างของอินพุตได้เป็นอย่างดี สำหรับช่วงแรงดันอินพุตคอมมอนโหมดของโอทีเอควรรจะกว้างที่สุดเท่าที่จะเป็นไปได้



รูปที่ 3.1 แสดงภาคอินพุตที่ใช้มอสทรานซิสเตอร์ชนิด P-Channel และ N-Channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับงานวิจัยเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้แก้ไข ใด ๆ ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

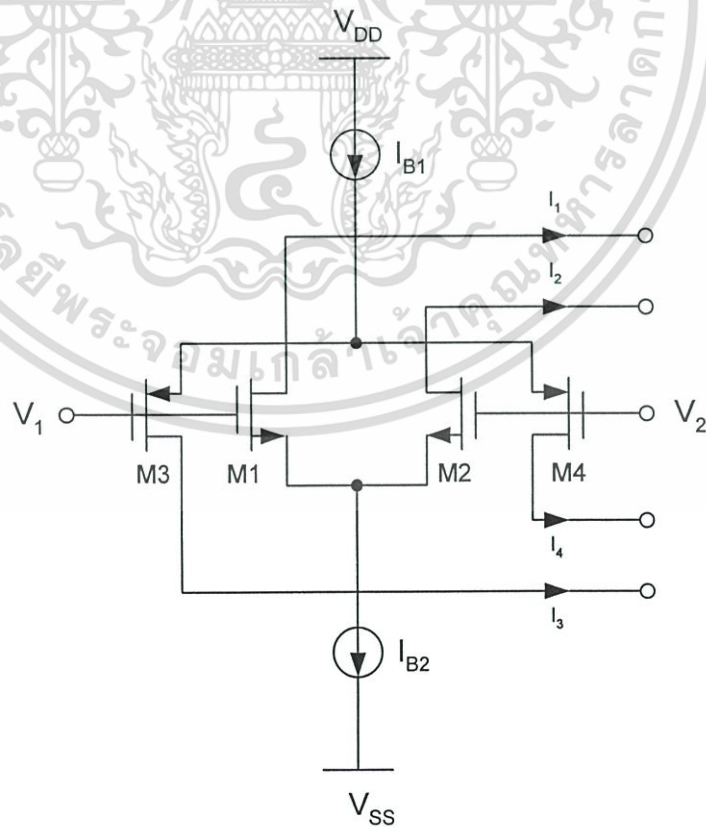
จากรูปที่ 3.1 สามารถเขียนช่วงแรงดันอินพุตคอมมอนใหม่คของมอสทรานซิสเตอร์ชนิด P-Channel ได้คือ

$$V_{SS} < V_{common} < V_{DD} - V_{DS(sat)} - V_{sgp} \tag{3.1}$$

- เมื่อ  $V_{sgp}$  คือค่าแรงดันระหว่างซอสและเกตของมอสทรานซิสเตอร์อินพุต
- $V_{DS}$  คือแรงดันที่ตกคร่อมแหล่งจ่ายกระแสส่วน  $V_{DD}$
- $V_{SS}$  คือแหล่งจ่ายแรงดัน

และช่วงแรงดันอินพุตคอมมอนใหม่คของอินพุตที่เป็นมอสทรานซิสเตอร์ชนิด N-Channel ในรูปที่ 3.1 สามารถแสดงให้เห็นดังนี้

$$V_{DD} - V_{DS(sat)} - V_{gsn} < V_{common} < V_{DD} \tag{3.2}$$

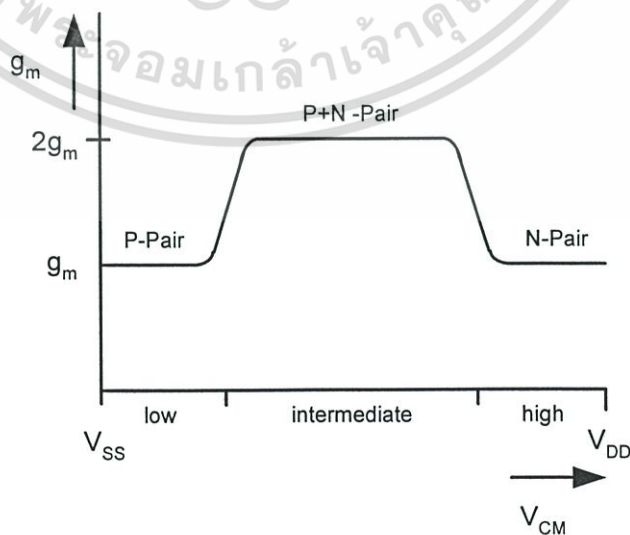


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
**รูปที่ 3.2** แสดงวงจรภาคอินพุตแบบดิฟเฟอเรนเชียลเฟอเรนเชียลแบบคอมพลิเมนทารี  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรประเภทที่ใช้แรงดันต่ำ ช่วงแรงดันอินพุตคอมมอนโหมคของกลุ่มดิฟเฟอเรนเชียลแบบเดี่ยว (Single Differential Pair) จะมีค่าน้อยมากเนื่องจากภาคอินพุตไม่สามารถมีแรงดันพอสำหรับแรงดันอินพุตคอมมอนโหมคที่มากได้ สำหรับการเพิ่มค่าช่วงแรงดันอินพุตคอมมอนโหมคจะใช้มอสทรานซิสเตอร์ชนิด N-Channel M1-M2 และชนิด P-Channel M3-M4 โดยวางคู่อินพุตทั้งสองขนานกันซึ่งแสดงให้เห็นดังรูปที่ 3.2 ลักษณะการต่อแบบนี้มักจะเรียกว่าภาคอินพุตดิฟเฟอเรนเชียลแบบคอมพลิเมนท์ารี (Differential Complementary Input Stage) ช่วงแรงดันอินพุตคอมมอนโหมคของภาคอินพุตแบบคอมพลิเมนท์ารีสามารถแบ่งการทำงานออกเป็น 3 ช่วงคือ

- แรงดันอินพุตคอมมอนโหมคด้านต่ำ มอสทรานซิสเตอร์ชนิด P-Channel เท่านั้นที่ทำงาน
- แรงดันอินพุตคอมมอนโหมคที่บริเวณช่วงกลาง มอสทรานซิสเตอร์ชนิด P-Channel และ N-Channel ทำงานทั้งคู่
- แรงดันอินพุตคอมมอนโหมคด้านสูง มอสทรานซิสเตอร์ชนิด N-Channel เท่านั้นที่ทำงาน

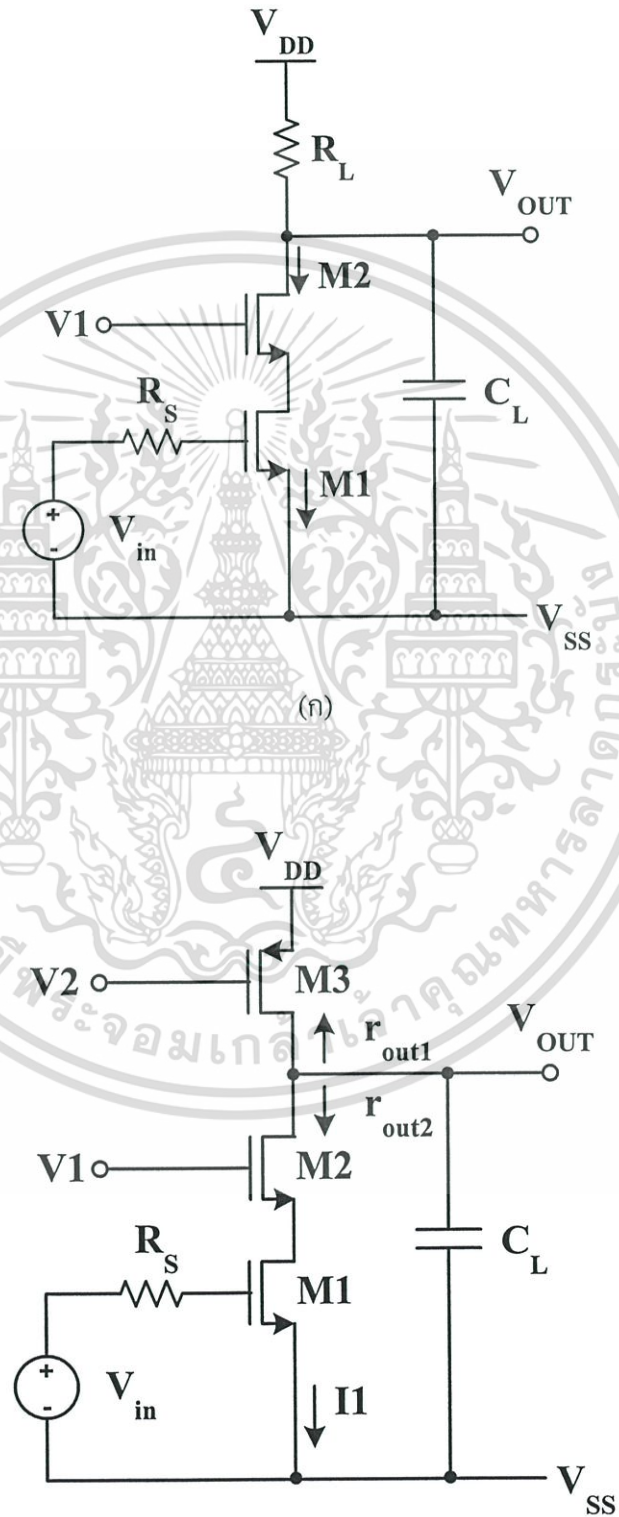
ในรูปที่ 3.2 ที่มีช่วงอินพุตคอมมอนโหมคปฏิบัติงานแบบ Rail-to-Rail ช่วงอินพุตคอมมอนโหมคสามารถมีช่วงกว้างเกือบจะถึงแหล่งจ่ายไฟในแต่ละด้านได้ในทางปฏิบัติแต่ข้อเสียของภาคอินพุตแบบดิฟเฟอเรนเชียลแบบคอมพลิเมนท์ารีคือค่าทรานส์คอนดักแตนซ์ ( $g_m$ ) จะมีการเปลี่ยนแปลงเป็นสองเท่าที่บริเวณช่วงกลางของอินพุตคอมมอนโหมคเนื่องจากมอสทรานซิสเตอร์ทั้งสองชนิดจะทำงานพร้อมกันซึ่งแสดงให้เห็นในรูปที่ 3.3 เมื่อสมมติว่าค่า  $g_m$  ของคู่มอสทรานซิสเตอร์ชนิด P-Channel และค่า  $g_m$  ของคู่มอสทรานซิสเตอร์ชนิด N-Channel เท่ากัน



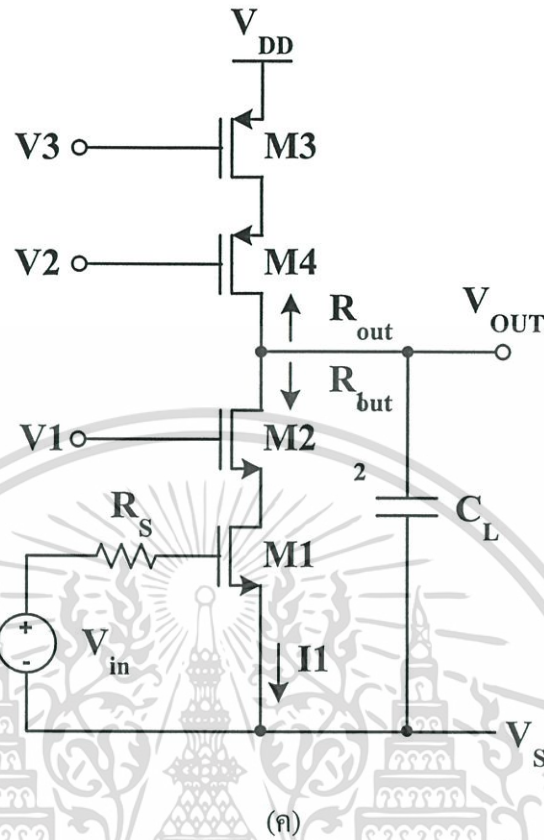
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูผู้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 3.3 แสดงความสัมพันธ์โดยทั่วไประหว่างค่า  $g_m$  และแรงดันอินพุตคอมมอนโหมค  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3 ภาคเข้าพุด (Output Stage)

#### 3.3.1 วงจร Folded - Cascode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 (ก) วงจรแบบคาสโคดเบื้องต้น (ข) วงจรแบบคาสโคดใช้โหลดแบบแอกทีฟ  
 (ค) วงจรแบบคาสโคดใช้โหลดแบบแอกทีฟต่อคาสโคด

รูปแบบของการต่อวงจรแบบ Cascode สามารถแสดงวงจรอย่างง่ายโดยใช้ มอสทรานซิสเตอร์ต่อแบบอนุกรมซึ่งแสดงได้ดังรูปที่ 3.4 (ก) มอสทรานซิสเตอร์ตัวล่าง (M1) จะทำหน้าที่เป็นตัวขยายสัญญาณ กระแสเข้าพุทกำหนดได้โดยแหล่งจ่ายแรงดันอินพุท กระแสเข้าพุท นี้เป็นกระแสที่ไหลผ่านมอสทรานซิสเตอร์ M2 ซึ่งไบอัสด้วย  $V_1$  มอสทรานซิสเตอร์ M2 จะต่อ cascode กับมอสทรานซิสเตอร์ M1 โดยจัดวงจรแบบเกทร่วม (common gate) เข้าพุทของวงจรจะ อยู่ที่ขาเกรนของมอสทรานซิสเตอร์ที่ต่อคาสโคด จากวงจรในรูปที่ 3.4 (ก) สามารถแทนตัวต้าน ด้วยโหลดที่เป็นมอสทรานซิสเตอร์เพื่อให้เหมาะกับการใช้งานในวงจรรวมมากยิ่งขึ้น โดย มอสทรานซิสเตอร์จะถูกต่อให้เป็นโหลดแบบแอกทีฟและสามารถแสดงได้ดังรูปที่ 3.4 (ข) และจากรูปสามารถกำหนดค่าอัตราขยายได้โดย

$$A_{VO} = g_{m1}(r_{out1} \parallel r_{out2}) \tag{3.3}$$

เมื่อเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$r_{out1} = r_{o3} \tag{3.4}$$

และ

$$r_{out2} = r_{o1} + r_{o2}(1 + g_{m2}r_{o1}) \approx r_{o2}(1 + g_{m2}r_{o1}) \tag{3.5}$$

จากรูปที่ 3.4 (ข) สามารถพัฒนาให้เหมาะสมกับการใช้งานมากขึ้น โดยทำให้วงจรมีความต้านทานเข้าพุทสูงขึ้นเพื่อวงจรจะได้มีอัตราขยายที่สูง โดยได้ต่อคาสเคดทรานซิสเตอร์เพิ่มเข้าไป ซึ่งแสดงได้ดังรูปที่ 3.4 (ค) ค่า  $r_{out1}$  จะกำหนดได้โดย

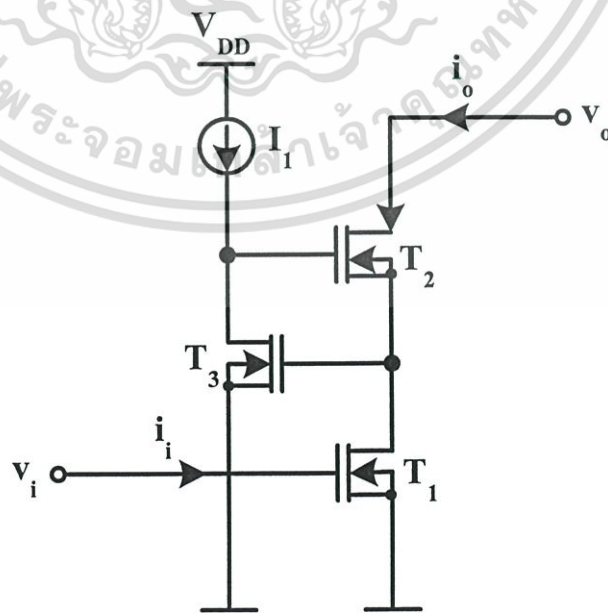
$$r_{out1} = r_{o3} + r_{o4}(1 + g_{m4}r_{o3}) \approx r_{o4}(1 + g_{m4}r_{o3}) \tag{3.6}$$

อัตราขยาย  $A_{VO}$  สามารถประมาณได้ (ถ้า  $g_m r_o \gg 1$ )

$$A_{VO} = \frac{1}{2} g_{m1} r_{o1} g_{m2} r_{o2} \tag{3.7}$$

ถ้า  $r_{out1}$  มีค่าใหญ่กว่า  $r_{out2}$  และ  $I_1 = I_2$  ค่า  $A_{VO}$  นี้สามารถมีค่าที่มากตามต้องการ

### 3.3.1.1 Regulated Cascode [6]



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
**รูปที่ 3.5** วงจร Regulate Cascode  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อแบบสิ่งเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 3.5 เป็นการปรับปรุงค่าคุณลักษณะซึ่งคือความต้านทานเอาพุตสูงขึ้น และมีช่วงการสวิงของสัญญาณเอาพุตโวลต์เดจที่ใหญ่ขึ้นเมื่อเปรียบเทียบกับ Simple Regulate

หลักการการทำงานของวงจร Regulate Cascode แสดงดังรูปที่ 3.5 สามารถอธิบายได้ดังนี้ ทรานซิสเตอร์  $T_1$  เปลี่ยนอินพุตโวลต์เดจ  $v_1$  เป็นกระแสเดรน  $i_o$  ไหลผ่านส่วนเดรน – ซอส ของ  $T_2$  สู่อเอาพุต ซึ่งถูกแสดงด้วยการมีความต้านทานเอาพุตที่สูงคือการจำกัดความยาวของช่องสัญญาณการมอดูเลชันของ  $T_1$  โวลต์เดจเดรน – ซอส จะต้องคงที่ ในวงจร Simple Regulate หรือ วงจร Nonregulate Cascode ที่ไม่เพิ่มเดรนด้วยความต้านทานอินพุตที่จ่ายด้วยแหล่งจ่ายค่าจำนวนมากของทรานซิสเตอร์  $T_2$  ใน Regulate Cascode จะทำงานได้ดีด้วยฟีดแบคแบบรูป ที่ประกอบด้วยตัวขยาย ( $T_3$  และ  $I_1$ ) และ  $T_2$  เป็นตัวตามกระแส ในที่นี้โวลต์เดจเดรน – ซอส ของ  $T_1$  คือ Regulated ที่เป็นค่าคงที่

หมายเหตุ กระบวนการฟีดแบคขึ้นอยู่กับค่าคงที่พื้นฐานถ้า  $T_2$  เป็นตัวขับเข้าสู่พื้นที่ทำงานซึ่งจะมีช่วงระยะการทำงานของสัญญาณเอาพุตที่ขยายออกมากขึ้น



## บทที่ 4

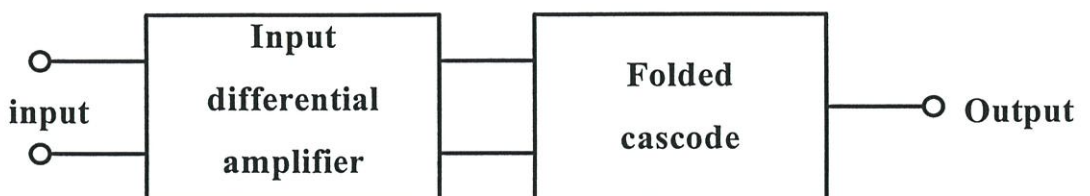
# วงจรมือ OTA มีการสวิงและความถี่สูงทำงาน ที่แหล่งจ่ายแรงดัน $\pm 1$ โวลต์

### 4.1 บทนำ

ในปัจจุบันเทคโนโลยีทางด้านซีมอสได้ถูกพัฒนาอย่างต่อเนื่องและสามารถนำไปใช้งานได้ทั้งทางวงจรร้านอนาล็อกและดิจิทัล และเมื่อนำซีมอสมาออกแบบเป็นออปเปอร์เรชันแนลทรานส์คอนดักแชนซ์แอมพลิไฟเออร์ (Operational Transconductance Amplifier) ซึ่งเป็นอุปกรณ์ที่สำคัญสำหรับวงจรถ่ายโอนสัญญาณที่มีการนำไปใช้งานสำหรับออกแบบเป็นวงจรต่างๆ ได้มากมาย เช่น วงจรกรองสัญญาณ เป็นต้น เมื่อเป็นวงจรมีความสำคัญจึงทำให้ได้รับความสนใจและพัฒนาอย่างต่อเนื่องแต่ในปัจจุบันอุปกรณ์ที่ใช้แรงดันต่ำกำลังได้รับความสนใจ [1]-[8] การออกแบบวงจรจึงเป็นที่ใช้แรงดันไฟเลี้ยงต่ำ และยังคงรับเทคโนโลยีวงจรรวมที่ใช้มอสทรานซิสเตอร์ (W/L) เล็ก การเพิ่มช่วงอินพุตปฏิบัติงานส่งผลให้เพิ่มค่าของอัตราส่วนของสัญญาณต่อสัญญาณรบกวน (S/N) ให้สูงขึ้น ส่วนในวิทยานิพนธ์ฉบับนี้นำเสนองจรมือ OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์ ที่มีอินพุตปฏิบัติงานแบบ Rail-to-Rail วงจรจะถูกตรวจสอบโดยใช้โปรแกรม PSPICE เพื่อยืนยันการทำงานของวงจร โดยการจำลองได้วัดคุณสมบัติการปฏิบัติงานแบบ Rail-to-Rail ของวงจร และคุณสมบัติต่างๆ ของวงจร

### 4.2 วงจรมือ OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน $\pm 1$ โวลต์ ที่นำเสนอ

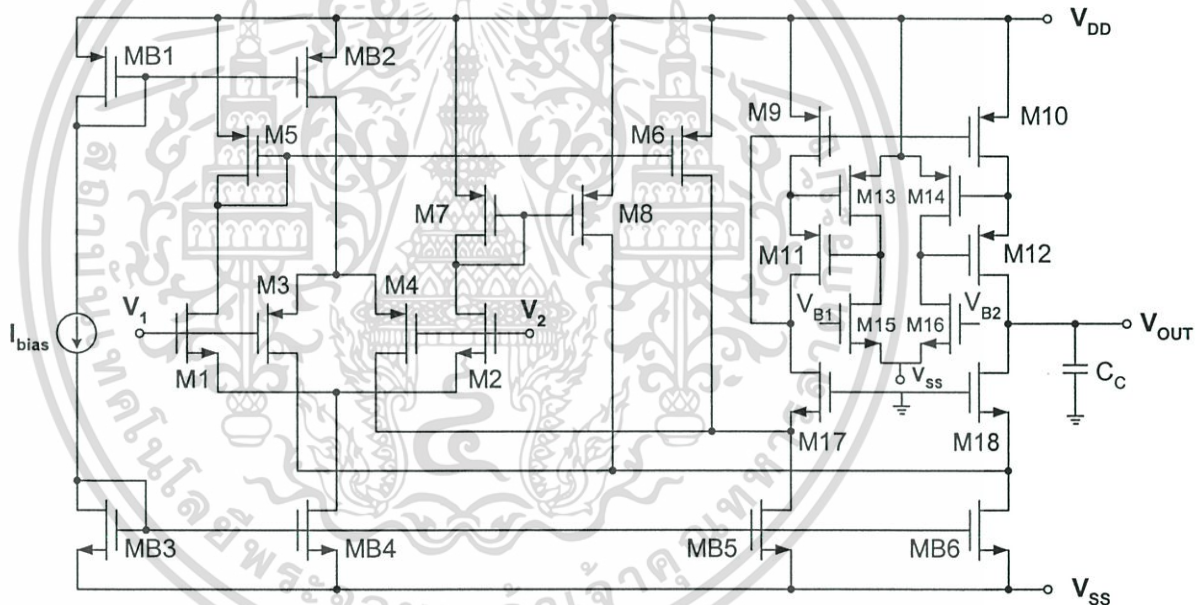
วงจรมือ OTA ที่นำเสนอในบทความนี้ประกอบด้วยส่วนต่าง ๆ 2 ส่วนคือ ภาคอินพุตแบบดิฟเฟอเรนเชียลและภาค Folded cascode ซึ่งโครงสร้างของวงจรมือ OTA แสดงได้ดังรูปที่ 4.1



รูปที่ 4.1 แสดงบล็อกไดอะแกรมของซีมอส OTA

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคอินพุทแบบดิฟเฟอเรนเชียลจะเป็นวงจรแบบคอมพลิเมนทารีที่ใช้มอสทรานซิสเตอร์ชนิด N-Channel และ P-Channel สองคู่ขนานกัน โดยช่วงแรงดันคอมมอนโหมคด้านสูงคู่ มอสทรานซิสเตอร์ชนิด N-Channel จะทำงานส่วนช่วงแรงดันคอมมอนโหมคทางด้านต่ำคู่ มอสทรานซิสเตอร์ชนิด P-Channel ดังนั้นจึงทำให้วงจร OTA มีช่วงอินพุทกว้าง ภาควงจร Folded cascode จะเป็นวงจรที่รวมสัญญาณอินพุทสองอินพุทเป็นเอาพุทเดียวโดย วงจรที่ใช้เป็นวงจรแบบ Folded cascode จะช่วยให้ OTA มีอัตราการขยายที่สูงและรักษาการสวิงที่สูงทางอินพุทเอาไว้ สำหรับวงจร Folded cascode ที่ใช้ในบทความนี้วงจรสะท้อนกระแสแบบ Regulated cascode (RGC) จะนำมาใช้เป็นโพลคั้งนั้นจึงทำให้วงจร Folded cascode นี้มีการสวิงและมีเอาพุทอิมพีแดนซ์ค่าสูงมากโดยไม่ต้องใช้ขนาด W/L ของมอสทรานซิสเตอร์ค่ามาก



รูปที่ 4.2 แสดงวงจรซีมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์ ที่นำเสนอ

รูปที่ 4.2 คือวงจรซีมอส OTA ที่นำเสนอโดยมอสทรานซิสเตอร์ M1 ถึง M4 ถูกต่อเป็นวงจรดิฟเฟอเรนเชียลที่ปฏิบัติงานได้ในแบบ Rail-to-Rail โดยใช้มอสทรานซิสเตอร์ MB1 ถึง MB4 ทำหน้าที่จ่ายกระแส  $20 \mu\text{A}$  ให้กับคู่วงจรดิฟเฟอเรนเชียลที่คู่ดิฟเฟอเรนเชียลชนิด N-Channel จะใช้มอสทรานซิสเตอร์ M5 ถึง M8 ต่อเป็นโพลคั้งเพื่อสะท้อนกระแสรวมกับสัญญาณจากดิฟเฟอเรนเชียลชนิด P-Channel การต่อวงจรลักษณะนี้จะช่วยลดจำนวนมอสทรานซิสเตอร์ที่นำมาต่อใน

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่สามารถนำข้อมูลไปใช้โดยไม่ได้รับอนุญาตจากภาควิชาฯ  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะแบบ Cascode ในภาค Folded cascode ลงได้ สัญญาณสองสัญญาณจะถูกนำมารวมเป็นสัญญาณเข้าพุทเดี่ยวโดยใช้วงจรแบบ Folded cascode และที่วงจร Folded cascode นี้

ในวิทยานิพนธ์ฉบับนี้จะใช้วงจรสะท้อนกระแสแบบ RGC (Regulated cascode) ซึ่งเป็นวงจรที่มีการสวิงและมีเข้าพุทอิมพีแดนซ์สูงมาก[6] โดยสามารถใช้นาฬิกาของมอสทรานซิสเตอร์น้อยได้จากวงจรได้ใช้มอสทรานซิสเตอร์ M9 ถึง M16 มาเป็นส่วนประกอบ โดยมอสทรานซิสเตอร์ M13 และ M14 จะทำงานในย่านต่ำกว่าแรงดันแทรชโฮล (Subthreshold region) โดยมีแรงดันระหว่างเกตและซอส ประมาณ 0.86 โวลต์ เพื่อไบอัสให้กับมอสทรานซิสเตอร์ M11 และ M12 ซึ่งมอสทรานซิสเตอร์ M15 และ M16 เป็นตัวกำหนดโดยใช้แรงดันที่ไบอัสให้กับ  $V_{B1}$  และ  $V_{B2}$  ส่วนเข้าพุทอิมพีแดนซ์ของวงจร Folded cascode เมื่อพิจารณาเป็นวงจรเทียบเท่าสัญญาณขนาดเล็กกำหนดได้

$$r_{out} = \frac{g_{m12} g_{m14}}{g_{o10} g_{o12} g_{o14}} \quad (4.1)$$

โดยที่  $g_{m12}$  และ  $g_{m14}$  คือค่าทรานส์คอนดักแตนซ์มอสทรานซิสเตอร์ M12 และ M14 และ  $g_{o10}$ ,  $g_{o12}$ ,  $g_{o14}$  คือค่าเข้าพุทคอนดักแตนซ์มอสทรานซิสเตอร์ M10, M12 และ M14 มอสทรานซิสเตอร์ M14 และ M16 จะเป็นลูปป้อนกลับ ถ้าสมมติว่า  $1/g_{o16}$  เท่ากับ  $1/g_{o14}$  อัตราการขยายของลูปจะเท่ากับ  $g_{m14} / 2g_{o14}$

#### 4.3 การจำลองและผลการจำลองการทำงานของวงจร

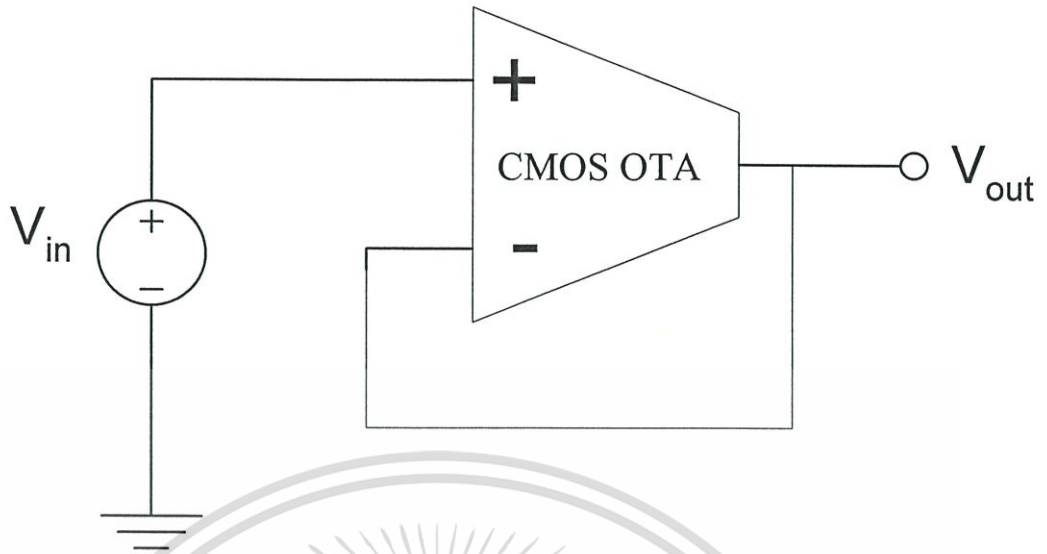
จากวงจรซิมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์ ที่นำเสนอในรูปแบบที่ 4.2 เมื่อนำมาจำลองการทำงานโดยใช้โปรแกรม PSPICE โดยใช้พารามิเตอร์ซิมอส  $0.5\mu\text{m}$  AMI Level 3 ของ MOSIS มีค่าแรงดันแทรชโฮล  $V_{TN}$  เท่ากับ 0.76 โวลต์ และ  $V_{TP}$  เท่ากับ  $-0.94$  โวลต์ วงจรใช้แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์ แหล่งจ่ายกระแส  $I_{bias}$  เท่ากับ  $20\mu\text{A}$  แรงดันไบอัส  $V_{B1}$  และ  $V_{B2}$  เท่ากับ 0.6 โวลต์ ตัวเก็บประจุชดเชยเฟส  $C_c$  เท่ากับ  $1\text{pF}$  ขนาดของมอสทรานซิสเตอร์แสดงได้ดังตารางที่ 4.1

ตารางที่ 4.1 แสดงขนาดของมอสทรานซิสเตอร์

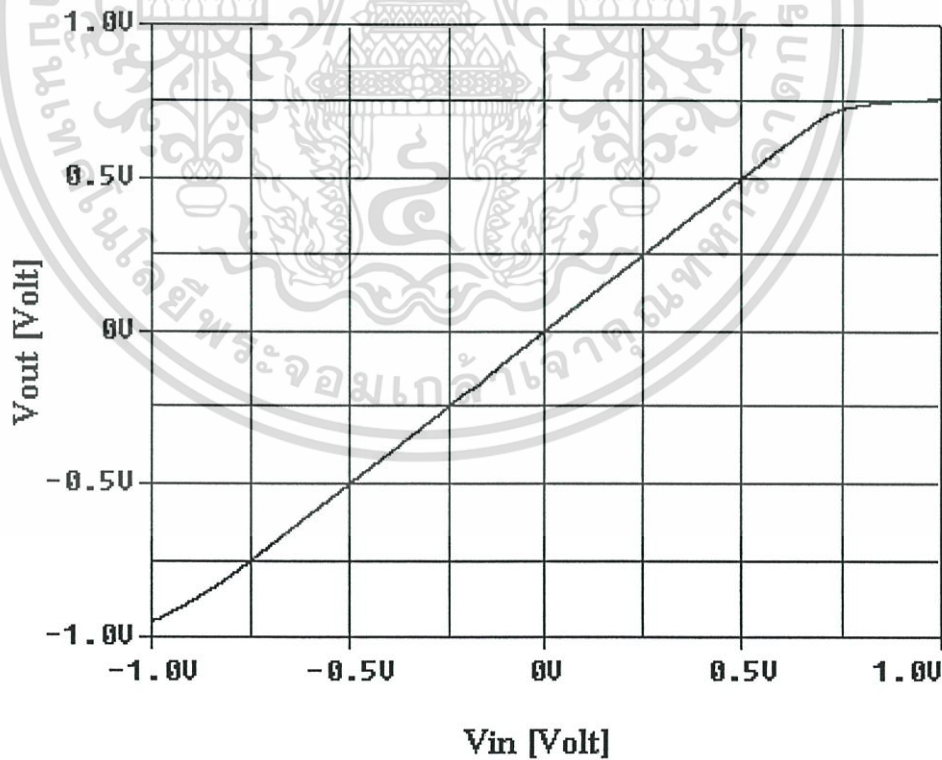
มอสทรานซิสเตอร์	ขนาด W/L ( $\mu\text{m}$ )
M1, M2	32/1
M3, M4	110/1
M5, M6, M7, M8	15/1
M9, M10	5/1
M11, M12	30/1
M13, M14	5/1
M15, M16	2/1
M17, M18	10/1
MB1, MB2	40/1
MB3, MB4, MB5, MB6	10/1

#### 4.3.1 การจำลองวัดช่วงแรงดันอินพุตคอมมอนโหมด

เป็นการจำลองการทำงานเพื่อแสดงคุณสมบัติอินพุตปฏิบัติงานแบบ Rail-to-Rail เป็นการจำลองในโหมด DC โดยการจำลองได้ต่อวงจรเป็นแบบวงจรตามแรงดัน (voltage follower) ดังแสดงในรูปที่ 4.3 โดยแรงดันที่ป้อนให้กับอินพุต ( $V_{in}$ ) คือแรงดันอินพุตคอมมอนโหมดโดยแรงดันจะเปลี่ยนจากค่าบวกของแหล่งจ่ายถึงค่าลบของแหล่งจ่ายแล้ววัดสัญญาณที่เอาพุต



รูปที่ 4.3 แสดงวงจรตามแรงดันที่ใช้วัดช่วงแรงดันอินพุตคอมมอนโหมดเป็นการจำลอง  
ในโหมด DC

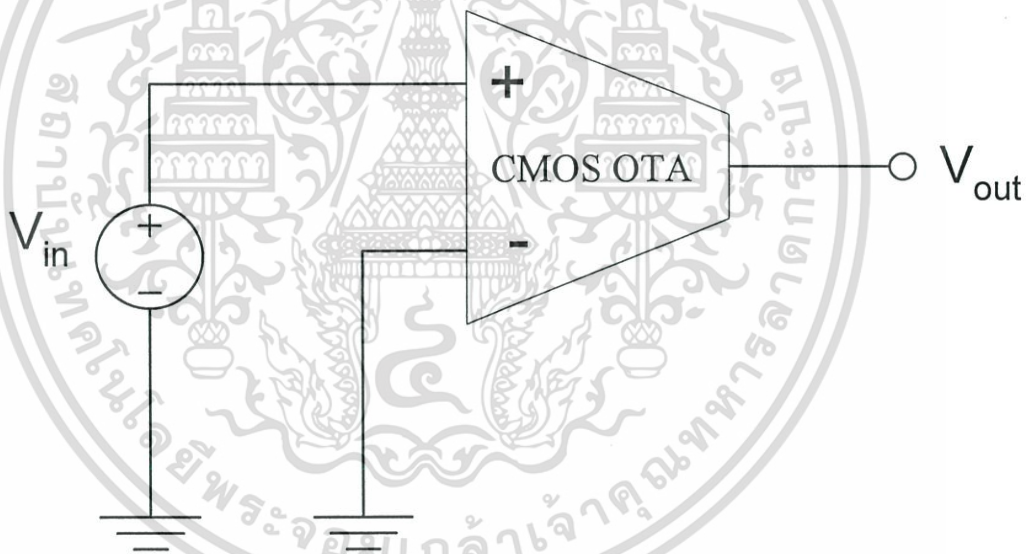


รูปที่ 4.4 แสดงผลการจำลองคุณสมบัติ Rail-to-Rail ของวงจรซีมอส OTA ที่ทำการจำลองการ  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เฉพาะเพื่อการศึกษาเท่านั้น ไม่นิยญาติให้นำไปใช้ประโยชน์ด้านการค้า  
ทำงานวงจรแบบวงจรตามแรงดัน  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

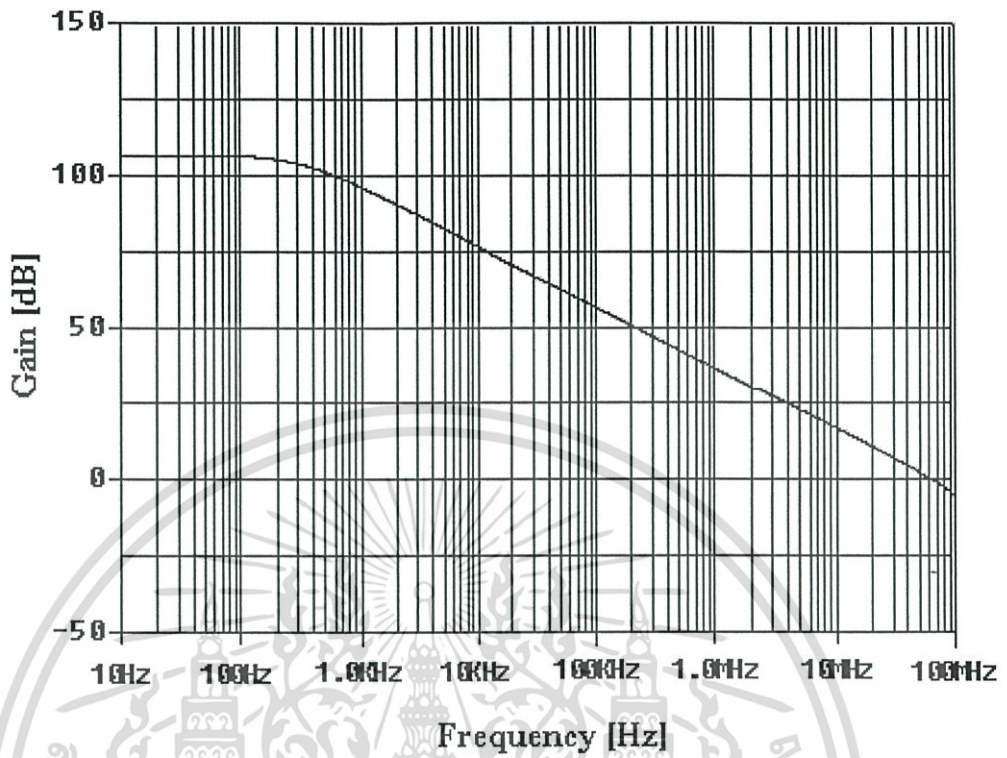
ผลการจำลองในรูปที่ 4.4 เป็นการจำลองการทำงานเพื่อแสดงคุณสมบัติการปฏิบัติงานแบบ Rail-to-Rail โดยได้ป้อนแรงดัน  $V_{in}$  จาก  $-1$  โวลต์ ถึง  $1$  โวลต์ ซึ่งแรงดันที่ป้อนเข้าไปนี้จะเรียกว่า แรงดันอินพุตคอมมอน โหมด ( $V_{CM}$ ) ซึ่งวงจรสามารถปฏิบัติงานแบบ Rail-to-Rail แรงดันเข้าพุทจะเปลี่ยนแปลงมีความสัมพันธ์เป็นเชิงเส้นกับเส้นกับแรงดัน  $V_{in}$  ซึ่งผลการจำลองวงจรในรูปที่ 4.4 วงจรมีช่วงอินพุตปฏิบัติงานจาก  $-0.90$  โวลต์ถึง  $0.71$  โวลต์

#### 4.3.2 การจำลองการวัดการตอบสนองความถี่และการตอบสนองทางเฟสของวงจร

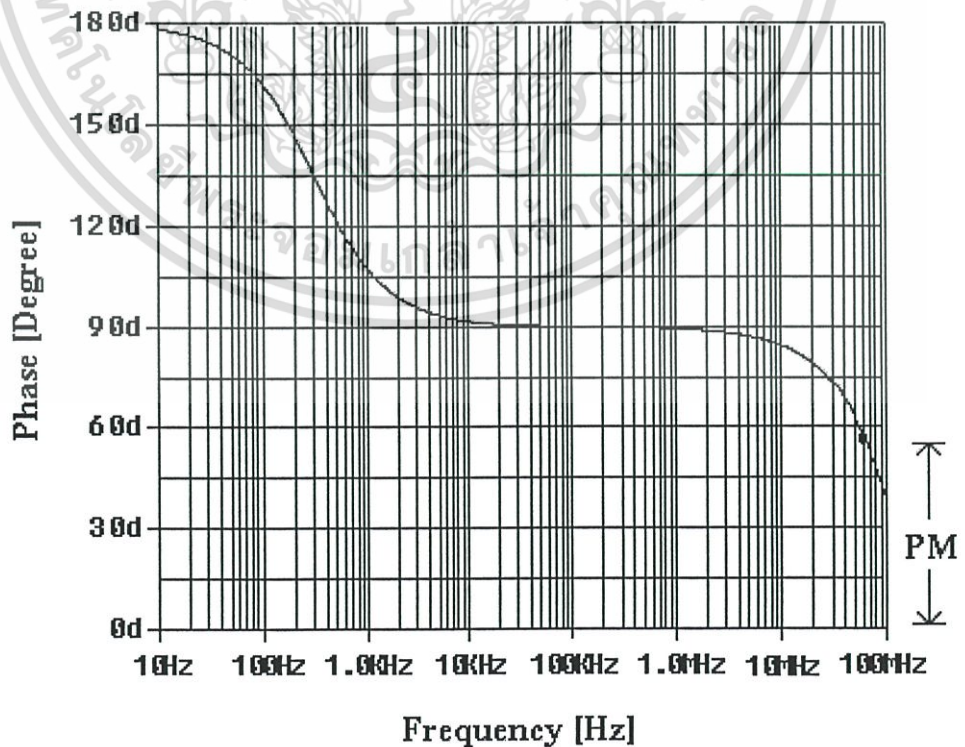
การจำลองวงจรการวัดการตอบสนองความถี่และการตอบสนองทางเฟสของวงจรโดยต่อวงจรเป็นวงจรแบบรูปเปิดดังรูปที่ 4.5 และป้อนค่าอินพุตคอมมอน โหมด ( $V_{CM}$ ) เท่ากับ  $1$  โวลต์ และมีโหลดเป็น  $C_L = 1\text{pF}$  ผลการจำลองวงจรแสดงดังรูปที่ 4.6 และ 4.7 จากการจำลองวงจรมีค่า อัตราขยาย  $106\text{ dB}$  ที่ความถี่  $50\text{ Hz}$  ค่า Unity gain frequency มีค่า  $62\text{ MHz}$  และ Phase Margin (PM) เท่ากับ  $56^\circ$



รูปที่ 4.5 แสดงวงจรรูปเปิดที่ใช้จำลองวงจรการวัดการตอบสนองความถี่และการตอบสนองทางเฟสเป็นการจำลองในโหมด AC



รูปที่ 4.6 แสดงผลการจำลองการตอบสนองความถี่ของวงจรถัดไป

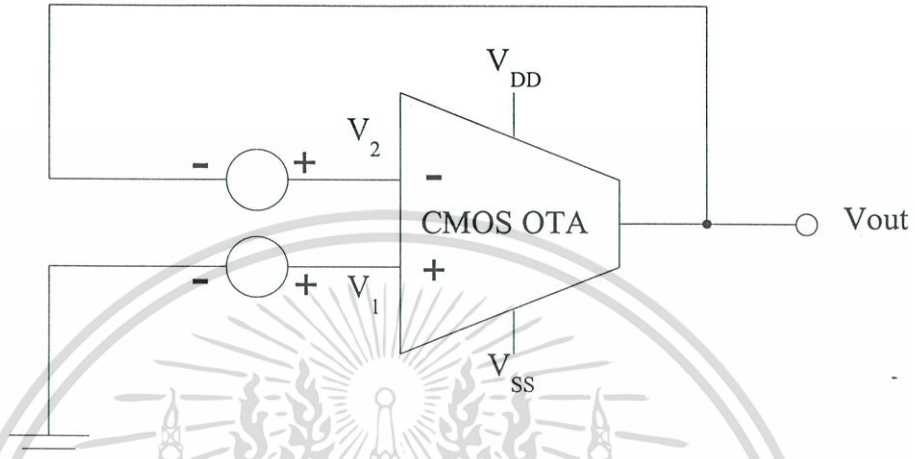


รูปที่ 4.7 แสดงผลการจำลองการตอบสนองทางเฟสของวงจรถัดไป

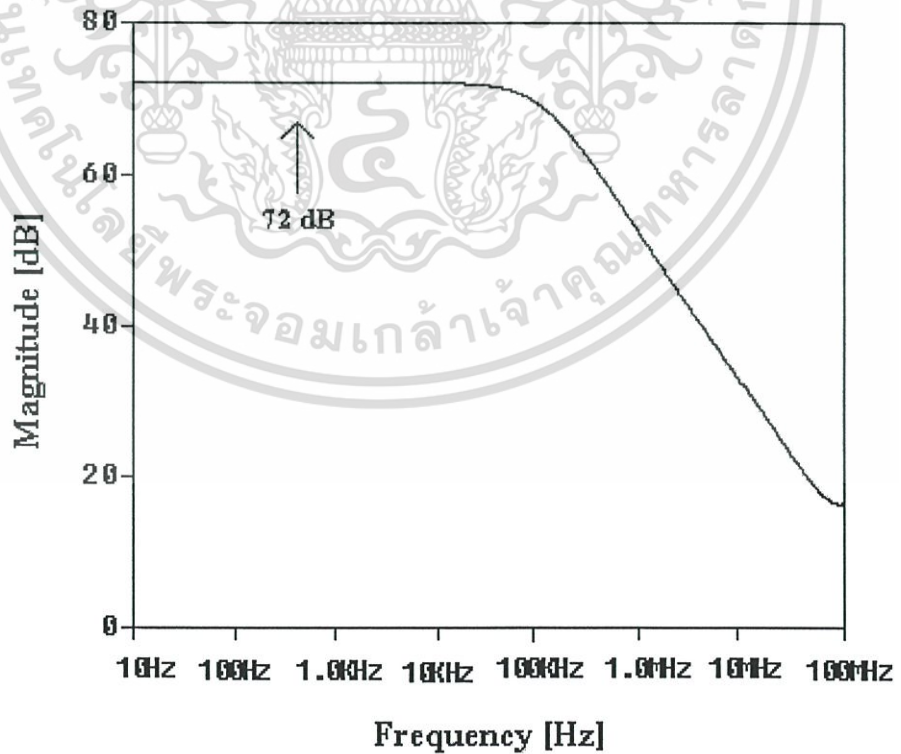
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับวงจรถัดไปเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.4 การจำลองวัดคุณสมบัติต่างๆ ของวงจร

##### 4.4.1 การจำลองการวัดค่าการตอบสนอง CMRR

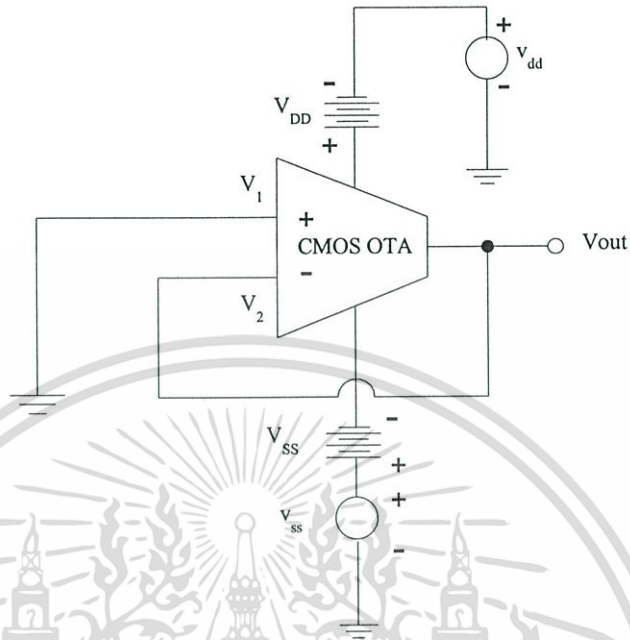


รูปที่ 4.8 แสดงวงจรที่ใช้จำลองค่าการตอบสนอง CMRR เป็นการจำลองในโหมด AC

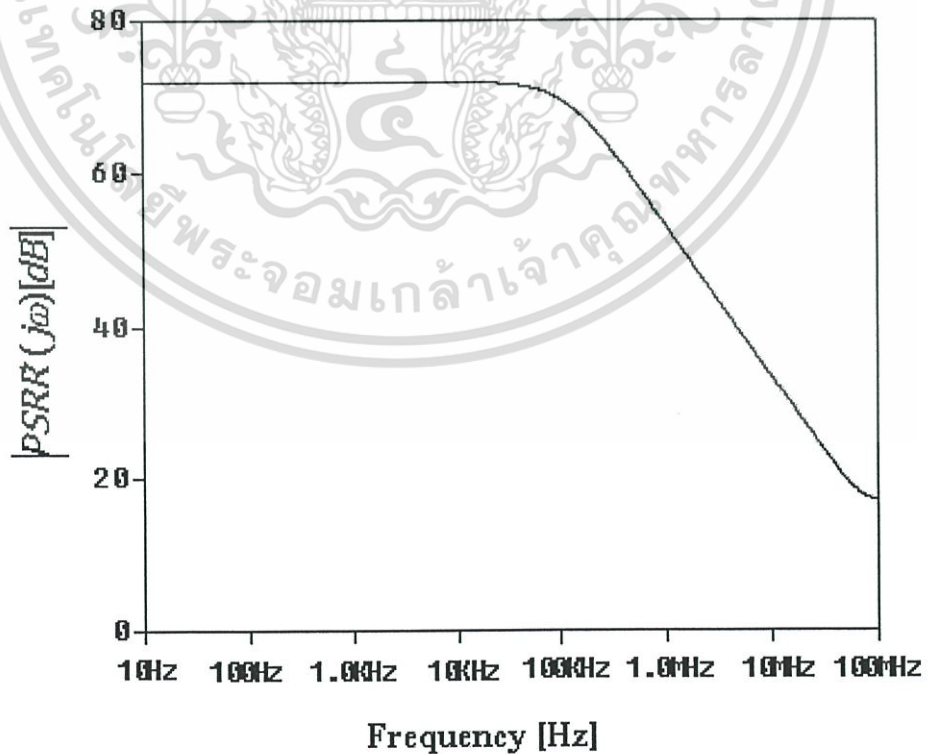


เอกสารนี้เป็นรูปที่ 4.9 ที่แสดงผลการจำลองการตอบสนองของ CMRR ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.4.2 การจำลองการวัดค่าการตอบสนอง PSRR

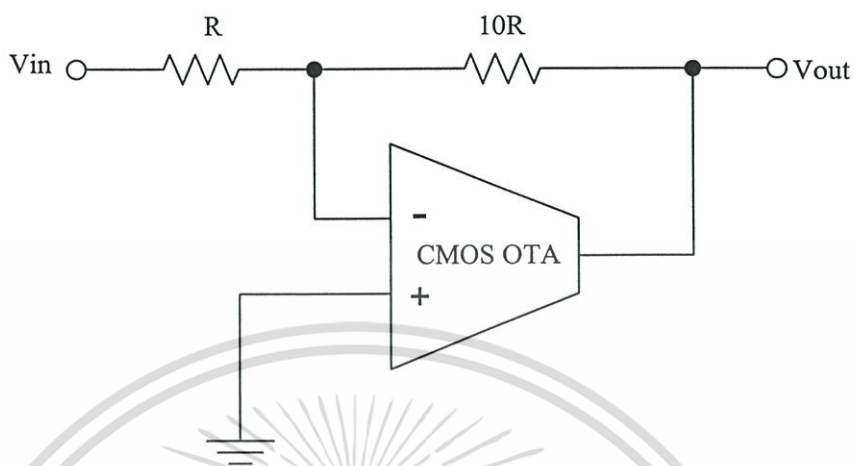


รูปที่ 4.10 แสดงวงจรที่ใช้จำลองค่าการตอบสนอง PSRR เป็นการจำลองในโหมด AC



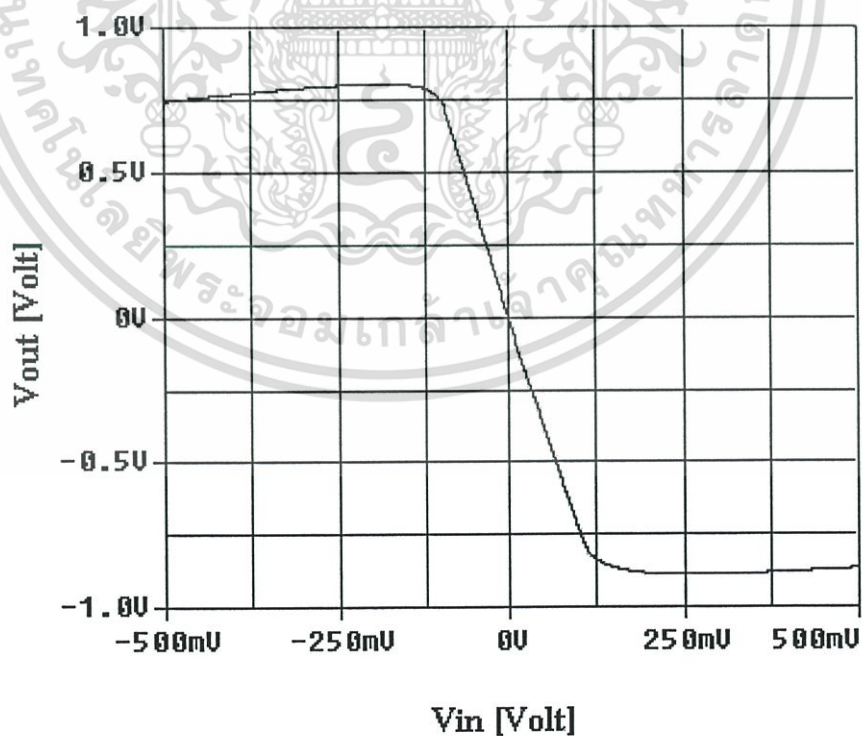
เอกสารนี้เป็นลิขสิทธิ์สงวนของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.4.3 การจำลองค่าการสวิงของแรงดันเข้าพุท



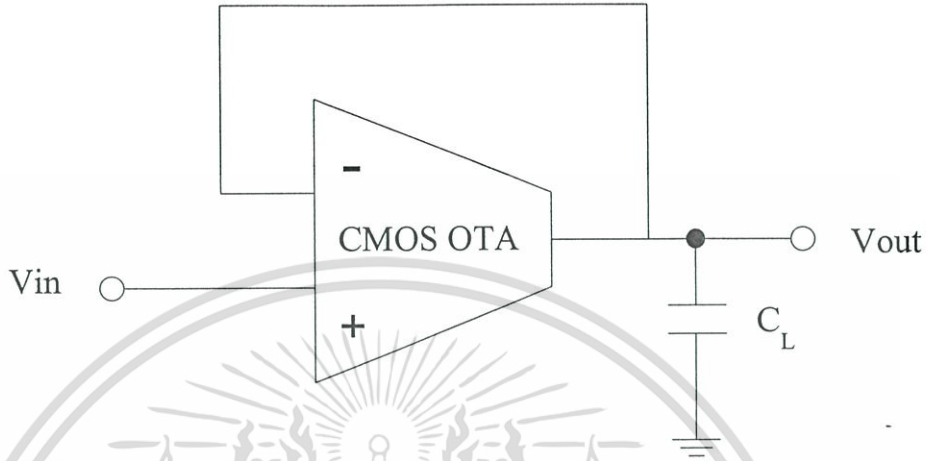
รูปที่ 4.12 แสดงวงจรที่ใช้จำลองค่าการสวิงของแรงดันเข้าพุท เป็นการจำลองในโหมด DC

ในการจำลองค่าการสวิงของแรงดันเข้าพุทนั้นกำหนดค่า  $R = 10K$  และ  $10R = 100K$

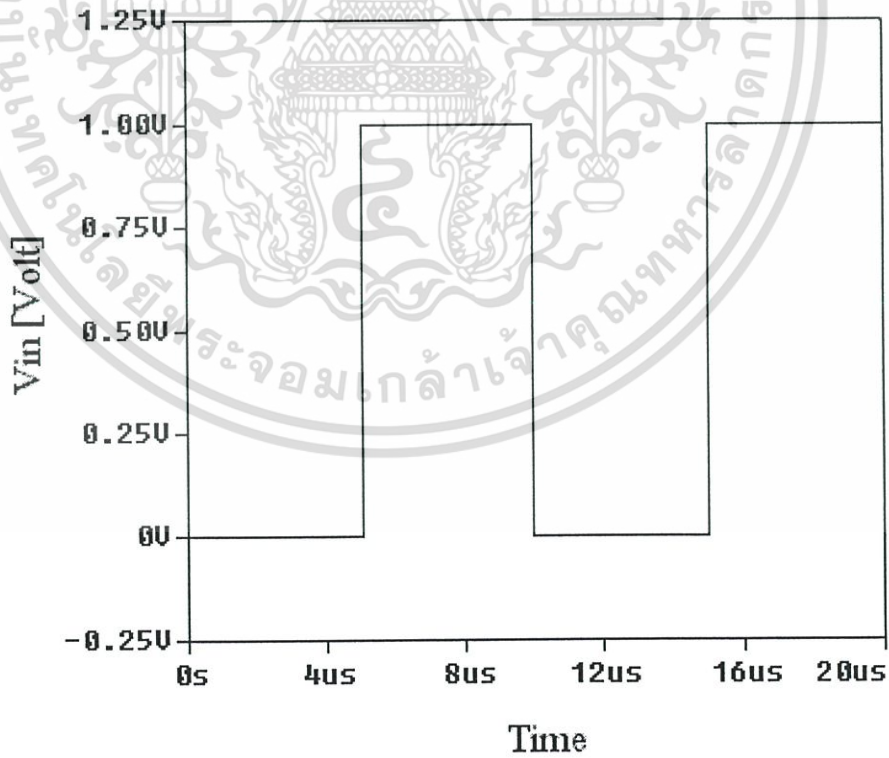


เอกสารนี้เป็นรูปที่ 4.13 แสดงผลการจำลองค่าการสวิงของแรงดันเข้าพุท กรุณาอย่าให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.4 การจำลองค่าอัตราการสลับเร็ว

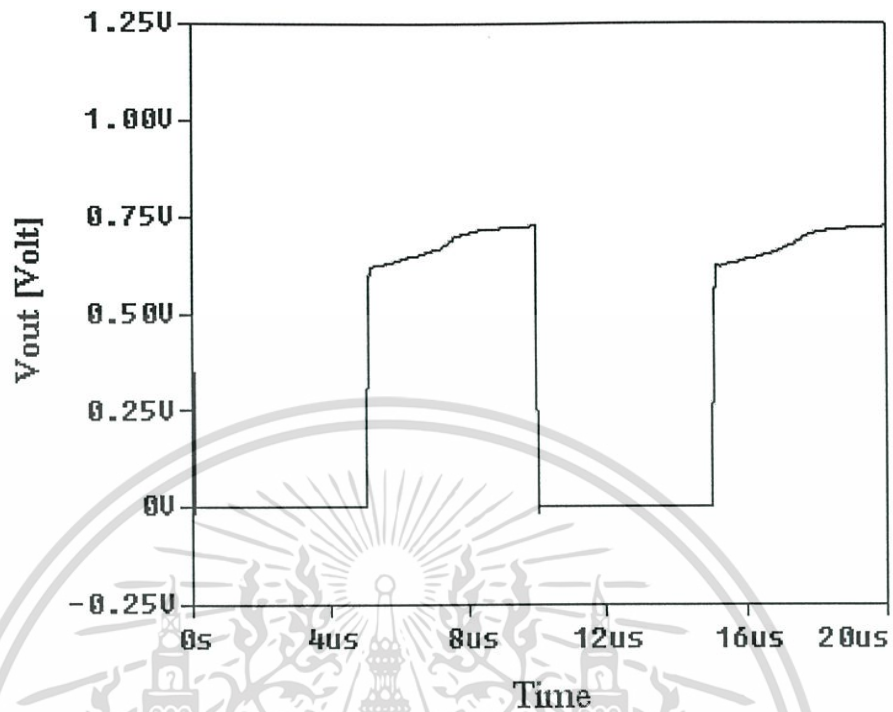


รูปที่ 4.14 แสดงวงจรที่ใช้จำลองค่าอัตราการสลับเร็ว



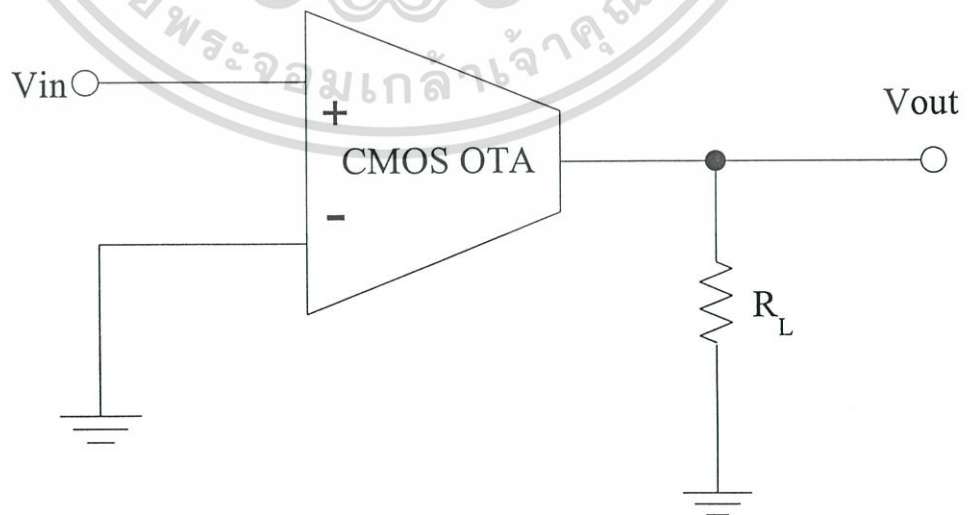
รูปที่ 4.15 แสดงค่าแรงดันอินพุตที่จ่ายให้กับวงจรในรูปที่ 4.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

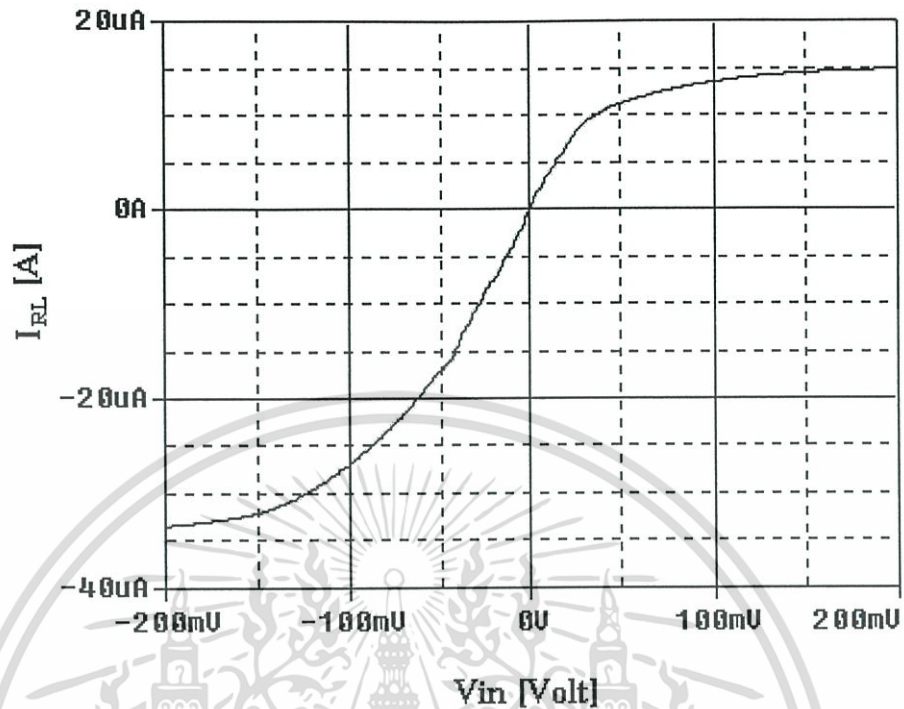


รูปที่ 4.16 แสดงผลการจำลองอัตราการสลับเร็ว

#### 4.4.5 การจำลองค่าความสัมพันธ์ระหว่างค่ากระแสเข้าพุทกับค่าแรงดันอินพุท



รูปที่ 4.17 แสดงวงจรจำลองค่าความสัมพันธ์ระหว่างค่ากระแสเข้าพุทกับค่าแรงดันอินพุท เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 แสดงผลการจำลองค่าความสัมพันธ์ระหว่างค่ากระแสเข้าพุทกับค่าแรงดันอินพุท

รูปที่ 4.9 แสดงผลการจำลองการตอบสนองของ CMRR วงจรซีมอส OTA ที่โหลด 1 pF จากการจำลองค่า CMRR มีค่า 72dB และมีที่ -3 dB ความถี่ 100 kHz ส่วนรูปที่ 4.11 แสดงค่าการตอบสนองทางขนาดของ PSRR<sup>+</sup> โดยวงจรซีมอส OTA มีค่า PSRR<sup>+</sup> ประมาณ 71 dB ที่ 50 Hz รูปที่ 4.13 แสดงผลการจำลองค่าการสวิงของแรงดันเข้าพุทโดยกำหนดค่า  $R = 10K$  และ  $10R = 100K$  รูปที่ 4.16 แสดงผลการจำลองอัตราการสลับเร็ว รูปที่ 4.17 แสดงวงจรถ่วงค่าความสัมพันธ์ระหว่างค่ากระแสเข้าพุทกับค่าแรงดันอินพุท สุดท้ายคือรูปที่ 4.18 แสดงผลการจำลองค่าความสัมพันธ์ระหว่างค่ากระแสเข้าพุทกับค่าแรงดันอินพุท โดยกำหนดค่า  $R_L = 1K$

#### 4.5 บทสรุป

ในบทนี้เป็นเรื่องเกี่ยวกับการนำซีมอสมาออกแบบเป็นออปเปอร์เรชันแนลทรานส์คอนดักแตนซ์แอมพลิไฟเออร์โดยวงจรต้องทำงานที่แหล่งจ่ายไฟเลี้ยง  $\pm 1$  โวลท์ ที่มีอินพุทปฏิบัติการแบบ Rail-to-Rail วงจรจะถูกตรวจสอบโดยใช้โปรแกรม PSPICE เพื่อตรวจสอบการทำงานของวงจร โดยการจำลองการทำงานได้ทำการวัดค่าต่างๆ ที่เป็นพารามิเตอร์หลักๆ เช่นคุณสมบัติการปฏิบัติการแบบ Rail-to-Rail ของวงจร การตอบสนองความถี่ของวงจร และการตอบสนองทางเฟสของวงจร เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### สรุปและข้อเสนอแนะ

#### 5.1 บทสรุป

จากวงจรซิมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์ มีอินพุทปฏิบัติงานแบบ Rail-to-Rail ที่ได้นำเสนอในวิทยานิพนธ์นี้ได้ออกแบบให้ภาคอินพุทแบบคิฟเฟอเรนเชียลจะเป็นวงจรแบบคอมพลิเมนทารีทำหน้าที่เป็นอินพุทปฏิบัติงานแบบ Rail-to-Rail ทำให้การสวิงของสัญญาณอินพุทกว้าง ส่วนทางเข้าพุทออกแบบโดยใช้วงจร Folded cascode ซึ่งวงจรนี้จะทำการรวมสัญญาณอินพุทสองอินพุทเป็นเข้าพุทเดียว โดย วงจรที่ใช้เป็นวงจรแบบ Folded cascode จะช่วยให้ OTA มีอัตราขยายที่สูงและรักษาการสวิงที่สูงทางอินพุทเอาไว้ โดยวงจรซิมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์ที่ได้นำเสนอในวิทยานิพนธ์นี้สามารถทำงานได้ที่แหล่งจ่ายแรงดันต่ำเพียง  $\pm 1$  โวลต์ ซึ่งสามารถใช้ได้กับแหล่งจ่ายพลังงานเทคโนโลยีแบตเตอรี่ประเภท NiCd และ NiMH ที่สามารถจ่ายแรงดันประมาณ  $\pm 1$  โวลต์ได้ ส่วนประสิทธิภาพของวงจรสามารถยืนยันผลการจำลองด้วยโปรแกรม PSpice โดยได้แสดงผลการจำลองคุณสมบัติ Rail-to-Rail ของซิมอส OTA ผลการจำลองแสดงการตอบสนองทางความถี่ของซิมอส OTA ผลการจำลองแสดงการตอบสนองทางเฟสของซิมอส OTA ผลการจำลองแสดงการตอบสนองความถี่ CMRR ผลการจำลองแสดงการตอบสนองความถี่ PSRR+ ผลการจำลองการสวิงของแรงดันเข้าพุท และผลการจำลองค่าอัตราการสลับเร็ว จากผลการจำลองการทำงานของวงจรมีช่วงอินพุทคอมมอน โหมดกว้างเป็นที่น่าพอใจ เพราะมีช่วงกว้างเกือบจะถึงแหล่งจ่ายทั้งซีกบวกและลบ และมีค่าพารามิเตอร์วงจรดังตารางที่ 5.1

ตารางที่ 5.1 แสดงค่าพารามิเตอร์ของวงจรซีมอส OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์ที่นำเสนอในวิทยานิพนธ์นี้และงานวิจัยที่ [7] – [8]

พารามิเตอร์	วิทยานิพนธ์นี้	งานวิจัยที่ [7]	งานวิจัยที่ [8]
Input Voltage	1 V	1V	2.5 V
Open loop gain (50Hz)	106 dB	70.5 dB	93 dB
3dB Frequency	320 Hz	-	-
Unity-gain frequency	62.45 MHz	2.1 MHz	194 MHz
Common mode input range	-0.949V to +0.759V	-	-
Phase Margin	56°	73°	95°
Output swing	-0.887 V to +0.800V	-	-
Slew Rate(+)	6V/ $\mu$ sec	0.9V/ $\mu$ sec	7V/ $\mu$ sec
Slew Rate (-)	12.5V/ $\mu$ sec	1.7V/ $\mu$ sec	-
Input offset voltage	-0.728 $\mu$ V	-	-
CMRR	72dB	58dB	47dB
PSRR			
50Hz	71dB	58dB	40dB
100kHz	69dB	-	-
1MHz	53dB	-	-
Power dissipation	158 $\mu$ W	-	7mW

โดยวงจรที่นำเสนอในวิทยานิพนธ์นี้มีคุณสมบัติที่ดีกว่างานวิจัยที่เคยนำเสนอมา [7] – [8]

โดยวงจรจะมีคุณสมบัติดังนี้

1. มีค่า DC Gain สูง
2. มีค่า Gain Bandwidth Product (GBW) สูง
3. ใช้แหล่งจ่ายแรงดันต่ำ
4. ใช้ค่า W/L ไม่มาก
5. มีการสวิงทางเข้าพุทสูง
6. อินพุทปฏิบัติการแบบ Rail-to-Rail

## 5.2 ข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรซีมอส OTA มีการสวิงและความถี่สูงทำงานที่สามารถทำงานได้ด้วยแหล่งจ่ายแรงดันต่ำเน้นการนำเสนอเพื่อเป็นอีกทางเลือกหนึ่งที่สามารถนำมาประยุกต์ใช้งานหรือออกแบบวงจรต่างๆ ที่ใช้ในงานด้านวิศวกรรมไฟฟ้าซึ่งมีคุณสมบัติดังที่กล่าวมาคือ มีค่า DC Gain สูงมีค่า Gain Bandwidth Product (GBW) สูง ใช้แหล่งจ่ายแรงดันต่ำ ใช้ค่า W/L ไม่มาก มีการสวิงทางเข้าพุทสูง และมีอินพุทปฏิบัติงานแบบ Rail-to-Rail และในปัจจุบันอุปกรณ์ที่ใช้แรงดันต่ำกำลังได้รับความสนใจ ดังนั้นวงจรนี้ยังสามารถพัฒนาให้มีประสิทธิภาพการทำงานให้ดีขึ้นได้ต่อไปอีก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เอกสารอ้างอิง

- [1] Baschiroto, and R. Castello, "A 1 - V 1.8 - MHz CMOS switched - opamp SC filter with rail - to - rail output swing," IEEE J. Solid - State Circuits, vol. 32, pp. 1979-1976, December 1997.
- [2] V. Peluso, P. Vancorenland, M. Steyaert and W. Sansen, "900mV differential class AB OTA for switched opamp applications," Electron. Lett., vol. 33, pp. 1455-1456, August 1997.
- [3] W. R. White, "A high bandwidth constant  $g_m$  and slew-rate rail - to - rail CMOS input Circuit and its application to analog cells for low voltage VLSI systems," IEEE J. Solid State Circuits, vol. 32, pp. 701-712, May 1997.
- [4] B. J. Blalock, P. E. Allen and G. A. Rincon-Mora, "Designing 1 - V op - amp using standard digital CMOS Technology," IEEE Trans. Circuits Syst. II, vol. 45, pp. 769-780, July 1998.
- [5] J. Ramirez - Angulo, R. G. Carvajal, J. Tombs and A. Torralba, "Low - Voltage CMOS Op - Amp with Rail - to - Rail Input and Output Signal Swing for Continuous - Time Signal Processing Using Multiple - Input Floating - Gate Transistors," IEEE Trans. Circuits Syst. II, vol. 48, pp. 111-116, January 2001
- [6] E. Sackinger and W. Guggenbuhl, "A High - Swing, High - Impedance MOS Cascode Circuit," IEEE J. Solid - State Circuits, vol. SC-22, pp. 289-298, February 1990.
- [7] J. Francisco Duque-Carrillo, José L. Ausín, Guido Torelli, José M. and Miguel A. Domínguez, "1 - V Rail - to - Rail Operational Amplifier in Standard CMOS Technology," IEEE J. Solid - State Circuits, vol. 35, pp. 33-44, January 2000.
- [8] L. Bouzerara, M.T. Belaroussi, "Low - Voltage, Low - Power and High gain CMOS Operation Transconductance Amplifier, "
- [9] P. E. Allen and D. R. Holberg, CMOS Analog Circuit Design, New York, NY : Holt, Rinehart and Winston, 1987.
- [10] K. R. Laker and W. M. C. Sansen, Design of Analog Intergrated Circuits, McGraw-Hill, 1987.
- [11] H. Traff, A CMOS current comparator, Report LiTH-ISY-1-1275, 1991.
- [12] [WWW.MOSIS.COM/TECHNICAL/TESTDATA](http://WWW.MOSIS.COM/TECHNICAL/TESTDATA)



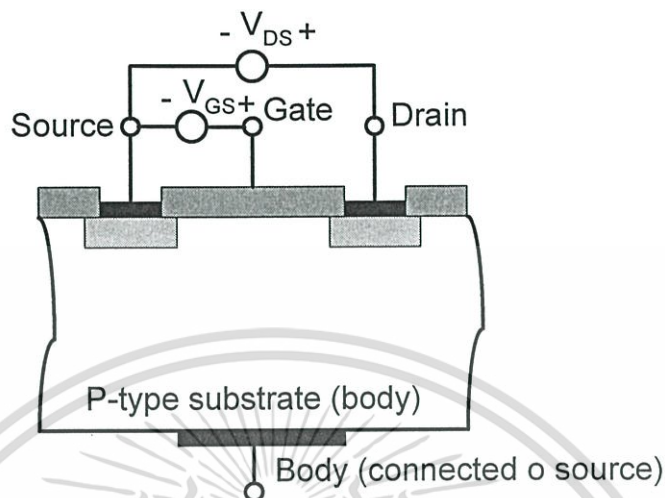
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.  
ทฤษฎีการทำงานของมอส



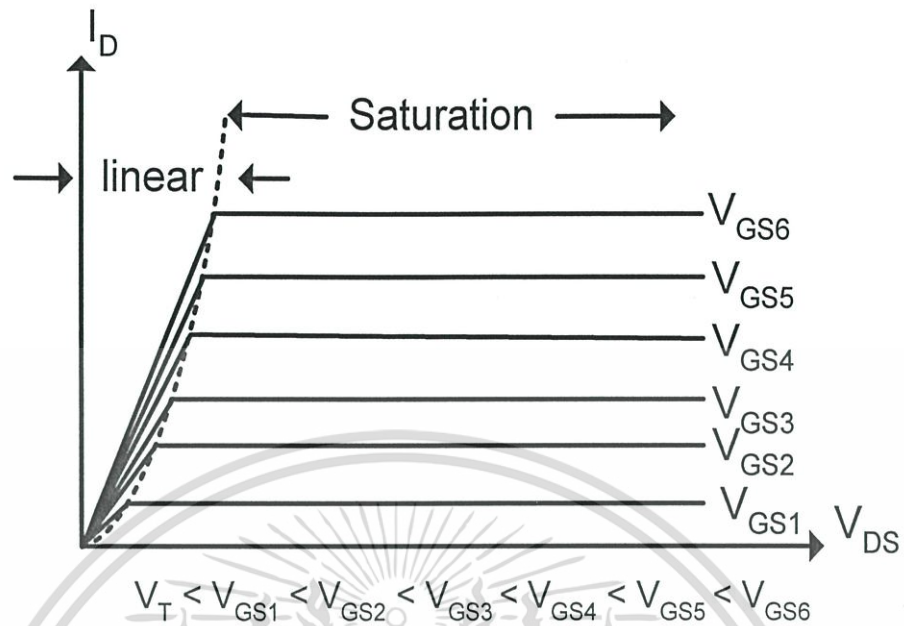
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของมอสเฟตทั้ง 2 ประเภทนั้นสามารถอธิบายได้โดยใช้ N-Channel ได้ดังนี้คือ



รูปที่ ก.1 แสดงการไบอัสมอสเฟตแบบเอ็นชานเมนท์ชนิด N-Channel

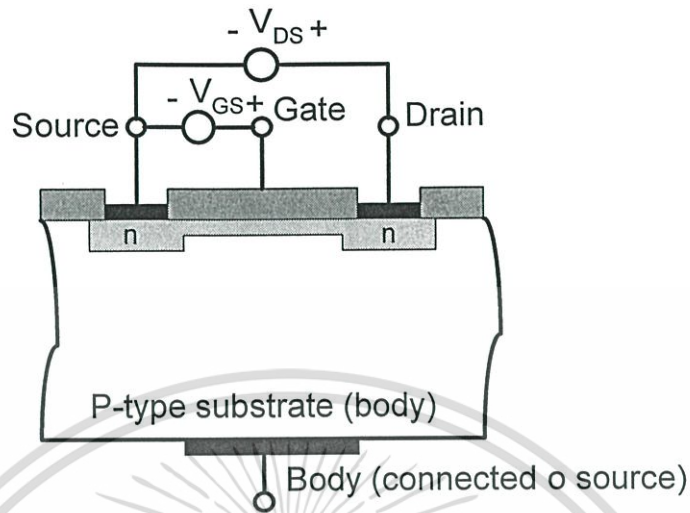
จากภาพที่ ก.1 แสดงการต่อแรงดันต่างๆ[11] ให้กับมอสเฟตแบบเอ็นชานเมนท์ชนิด N-Channel จากโครงสร้างภายในจะเห็นว่รอบๆ ส่วนของซอสและเดรนมีลักษณะเป็นรอยต่อพี-เอ็น (p-n junction) เกิดขั้วนปลอดพาหะ (depletion region) ขึ้น ถ้าเกตได้รับแรงดันค่าลบในขณะที่  $V_{DS} = 0$  จะเกิดสนามไฟฟ้า oxide มีทิศทางไปยัง gate electrode จะทำให้ holes ใน p-type substrate ถูกดูดมาบริเวณใกล้ผิวทำให้ majority carrier concentration (hole) บริเวณใกล้ผิวเพิ่มมากขึ้นกว่าใน substrate ขณะเดียวกัน minority carrier concentration (electron) บริเวณใกล้ผิวจะลดลงเนื่องจากอิเล็กตรอนจะถูกผลักลงไป substrate ต่อไปถ้าเกตได้รับแรงดันค่าบวกน้อย ( $V_{gs} > 0$ ) ในขณะที่  $V_{DS} = 0$  จะเกิดสนามไฟฟ้าในออกไซด์มีทิศทางไปยัง substrate ทำให้โฮล บริเวณใกล้ผิวของ substrate ภายใต้ gate oxide จะถูกผลักออกจาก fixed ionized acceptor ของมันกลับไป substrate ดังนั้นจะเกิด depletion region บริเวณใกล้ผิวขึ้น ต่อมาเมื่อเกตได้รับค่าแรงดันค่าบวกมากขึ้น จนกระทั่งมากกว่าแรงดันค่าบวกค่าหนึ่งเรียกว่า threshold voltage ( $V_{TO}$ ) นั่นคือ  $V_{gs} > V_{TO}$  จะทำให้ศักย์บวกที่เกตที่มากขึ้นจะดึงดูดอิเล็กตรอนจำนวนมากจาก p-type substrate มาใกล้ผิวสร้างเป็น n-type region ใกล้ผิวเรียกว่า inversion layer และสถานะนี้เรียกว่า surface inversion โดย inversion layer หรือ n-type conduction channel จะเกิดขึ้นระหว่าง source region และ drain region ทำหน้าที่เป็นช่องทาง (channel) เดินกระแสระหว่างซอสเป็นบวกเล็กน้อย ( $V_{DS} > 0$ ) จะเกิดกระแสไหลจากเดรนไปยังซอสได้ ถ้าเพิ่ม  $V_{DS}$  เป็นบวกมากขึ้น กระแสก็จะไหลมากขึ้นและถ้าเพิ่ม  $V_{DS} = V_{GS} - V_T$  กระแสเดรนจะไหลสูงสุดและจะคงที่ตลอดแม้จะมีการเพิ่ม  $V_{DS}$  มากขึ้นอีกก็ตาม เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำได้ประโยชน์ด้านการค้า ดังแสดงความสัมพันธ์ระหว่าง  $I_D$  และ  $V_{DS}$  เมื่อเปลี่ยนค่า  $V_{GS}$  ในรูปที่ ก.2 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.2 แสดงความสัมพันธ์ระหว่าง  $I_D$  กับ  $V_{DS}$  เมื่อเปลี่ยนค่า  $V_{GS}$  ของมอสเฟตแบบ เอ็นชานเมนท์ชนิด N-channel

จากรูปที่ ก.3 แสดงการต่อแรงดันต่างๆ ให้กับมอสเฟตแบบดีพลีชันชนิด N-channel จะเห็นว่า เมื่อไบอัสแรงดันเกตเป็นศูนย์เมื่อเทียบกับซอสและให้แรงดันเดรนเทียบกับซอสเป็นบวกค่าหนึ่ง จะมีกระแสเดรนไหลแล้วค่าหนึ่งเนื่องจากเซนแนลได้ถูกสร้างไว้แล้วและเมื่อไบอัสแรงดันเกตเป็นลบค่าน้อยเทียบกับซอสจะเกิดสนามไฟฟ้าในออกไซด์มีทิศทางไปยัง gate electrode ผลจะผลักอิเล็กตรอนบริเวณใกล้ผิวในเซนแนลให้ออกจาก fixed ionized donor (ประจุบวกอยู่กับที่) ลงมาเซนแนลส่วนล่าง ผลทำให้เกิด depletion region ใกล้ผิวภายในเซนแนลขึ้น ทำให้สภาพความนำไฟฟ้าของเซนแนลลดลง ผลกระแสเดรนไหลน้อยลงและถ้าเกตเป็นค่าลบมากขึ้นทำให้ depletion region แผ่กว้างเพิ่มขึ้นในเซนแนล จะทำให้สภาพความนำไฟฟ้าของเซนแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีกและถ้าเกตเป็นลบมากๆ ทำให้ depletion region แผ่กว้างเต็มเซนแนล เซนแนลจะไม่นำกระแส กระแสเดรนจะมีค่าเป็นศูนย์ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชันโหมด (depletion mode) ต่อมาเมื่อไบอัสกระแสแรงดันเกตเป็นบวกเมื่อเทียบกับซอสจะเกิดสนามไฟฟ้าในออกไซด์มีทิศทางไปยังเซนแนลจะดึงดูดอิเล็กตรอนจาก p-substrate มายังบริเวณเซนแนลมากขึ้น ทำให้สภาพความนำไฟฟ้าของเซนแนลเพิ่มมากขึ้น กระแสเดรนไหลเพิ่มขึ้นมีค่ามากกว่ากระแสเดรนขณะ  $V_{GS} = 0$  ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบเอ็นชานเมนท์โหมด (enhancement mode) ดังแสดงความสัมพันธ์ของ  $I_D$  และ  $V_{DS}$  เมื่อเปลี่ยนค่า  $V_{GS}$

เอกสารนี้เป็นรูปที่ ก.4 วนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.3 แสดงการไบอัสมอสเฟตแบบดีพลีชันชนิด N-Channel

จากการทำงานของมอสเฟตจะเห็นว่าเป็นการใช้แรงดันไฟฟ้าควบคุมปริมาณกระแสไฟฟ้าจะมีสมการความสัมพันธ์ของกระแสเดรน ( $I_D$ ) กับแรงดันเกต-ซอส ( $V_{GS}$ ) และค่าพารามิเตอร์ต่างๆ มอสเฟตแสดงได้ในสมการที่ (ก.1) โดยอ้างอิงการไบอัสของมอสเฟตแบบเอ็นฮานซ์ชนิด N-Channel ดังนี้

$$I_D = k' \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (\text{ก.1})$$

โดยที่  $K'$  = ค่าทรานคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ  $\mu C_{ox} \left[ \frac{W}{L} \right]$

$\mu$  = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface per Unit Area of the Gate Oxide)

$W$  = ความกว้างของแชนแนล (Channel Width)

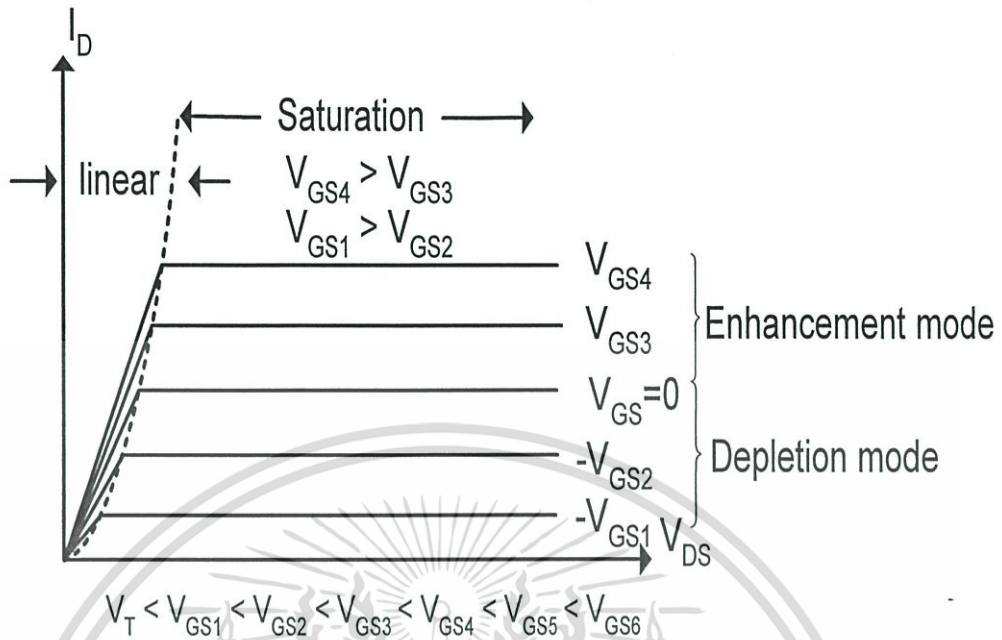
$L$  = ความยาวของแชนแนล (Channel Length)

$V_{GS}$  = แรงดันไฟฟ้าระหว่างเกตกับซอส (Gate-Source Voltage)

$V_{DS}$  = แรงดันไฟฟ้าระหว่างเดรนกับซอส (Drain-Source Voltage)

$V_T$  = แรงดันขีดเริ่ม (Threshold Voltage)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.4 แสดงความสัมพันธ์ระหว่าง  $I_D$  กับ  $V_{DS}$  เมื่อเปลี่ยนค่า  $V_{GS}$  ของมอสเฟตแบบดีฟิชั่นชนิด N-Channel

การจัดไบอัสการทำงานของมอสเฟตสามารถแบ่งออกได้เป็น 3 ช่วง ขึ้นอยู่กับการพิจารณา ค่า  $(V_{GS} - V_T)$  โดยสมการทั้งหมดจะอ้างอิงการไบอัสมอสเฟตชนิด N-Channel แบบเอ็นฮานเมนท์

1. ทำงานช่วงคัทออฟ (Cutoff Region) คือ ทำการไบอัสให้แรงดันไฟฟ้าที่เกตกับซอส ( $V_{GS}$ ) มีค่าน้อยกว่า  $V_T$  ผลทำให้ไม่มีกระแสเดรนไหลดังสมการที่ (ก.2)

$$I_D = 0, \quad V_{GS} < V_T \quad (\text{ก.2})$$

2. ทำงานช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region) คือเพื่อให้มอสเฟตทำงานในช่วงนี้ต้องทำการไบอัสให้แรงดันไฟฟ้าที่เกตกับซอส ( $V_{GS}$ ) มากกว่า  $V_T$  ขณะเดียวกันให้ค่าแรงดันไฟฟ้าที่เดรนกับซอส ( $V_{DS}$ ) มีค่าน้อยกว่า  $(V_{GS} - V_T)$  ดังนี้

$$I_D = K' \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right], \quad V_{GS} > V_T; \quad 0 < V_{DS} < (V_{GS} - V_T) \quad (\text{ก.3})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า  $V_{DS}$  มีค่าน้อยๆ หรือไบอัสให้  $0 < V_{DS} \ll (V_{GS} - V_T)$  จะสามารถตัดเทอม  $\frac{V_{DS}^2}{2}$  ในสมการที่ (ก.3) ได้สามารถประมาณสมการได้เป็น

$$I_D \cong K'[(V_{GS} - V_T)V_{DS}], \quad V_{GS} > V_T; \quad 0 < V_{DS} \ll (V_{GS} - V_T) \quad (\text{ก.4})$$

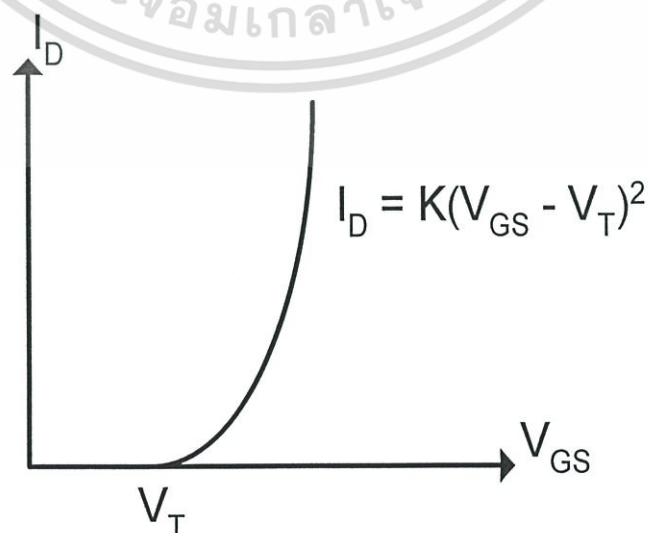
จากความสัมพันธ์อย่างเชิงเส้นในสมการที่ (ก.4) จะแสดงการทำงานของมอสเฟตเป็นค่าความต้านทานที่มีความเป็นเชิงเส้น ( $R_{DS}$ ) ถูกควบคุมด้วยค่าแรงดันไฟฟ้าของ  $V_{GS}$

$$R_{DS} = \frac{V_{DS}}{I_D} = [K'(V_{GS} - V_T)]^{-1} \quad (\text{ก.5})$$

3. ทำงานในช่วงอิ่มตัว (Saturation Region) คือช่วงนี้จะไบอัสให้แรงดันไฟฟ้าที่เดรนกับซอส ( $V_{DS}$ ) มากกว่าหรือเท่ากับ ( $V_{GS} - V_T$ ) ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็น

$$I_D = K'(V_{GS} - V_T)^2, \quad V_{GS} > V_T; \quad 0 < (V_{GS} - V_T) \leq V_{DS} \quad (\text{ก.6})$$

จะเห็นว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับแรงดันไฟฟ้าที่เดรนกับซอส ( $V_{DS}$ ) แต่จะขึ้นกับค่าแรงดัน ( $V_{GS} - V_T$ ) ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-law Equation) นั่นเอง โดยสามารถแสดงกราฟคุณสมบัติการถ่ายโอน (Transfer Characteristic) ในรูปที่ ก.5



ภาคผนวก ข.

## พารามิเตอร์ซีมอส $0.5\mu\text{m}$ AMI Level 3 ของ MOSIS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค.  
การเผยแพร่งานวิจัย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ศิริวัฒน์ ลิ้มไพบูรณ์, ขนิษฐา เสมะกนิษฐ, กอบชัย เคชหาญ, “วงจรบรูตสเตรปไปซีมอสนอนอินเวอร์เตอร์ที่สัปดาห์ไฟเลี้ยง 1 โวลต์”, วิศวกรรมลาดกระบัง, ปีที่ 18, ฉบับที่ 3, หน้า 111-116, กันยายน, 2544
2. มนตรี คำเงิน, ขนิษฐา เสมะกนิษฐ, กอบชัย เคชหาญ, สุรพล บุญจันทร์, ขรรค์ชัย ตูลละสกุล, “วงจร OTA มีการสวิงและความถี่สูงทำงานที่แหล่งจ่ายแรงดัน  $\pm 1$  โวลต์,” วิศวกรรมลาดกระบัง, ปีที่ 19, ฉบับที่ 4, หน้า 41-45, ธันวาคม, 2545.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้เขียน

นางสาวขนิษฐา เสมะกนิษฐ เกิดเมื่อวันที่ 23 มิถุนายน 2520 ที่จังหวัดนครราชสีมา สำเร็จการศึกษา ปีการศึกษา 2542 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ จากมหาวิทยาลัยวงษ์ชวลิตกุล จังหวัดนครราชสีมา การศึกษา 2537 สำเร็จการศึกษาระดับมัธยมศึกษาตอนปลายที่โรงเรียนมารีย์วิทยา จังหวัดนครราชสีมา



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้