การออกแบบโลว์จิทเตอร์ดีเลย์ล็อกลูป และเฟสล็อกลูป สำหรับประยุกต์ใช้ในไมโครโปรเซสเซอร์

LOW-JITTER PHASE-LOCKED LOOP AND DELAY-LOCKED LOOP FOR MICROPROCESSOR APPLICATION

นนทพัทธ์ ชาญณรงค์
NONTAPAT CHANNARONG
นรภัทร วงศ์นวชาต
NORRAPAT WONGNAVACHART

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
ภาควิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2558

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบโลว์จิทเตอร์ดีเลย์ล็อกลูป และเฟสล็อกลูป สำหรับประยุกต์ใช้ในไมโครโปรเซสเซอร์

LOW-JITTER PHASE-LOCKED LOOP AND DELAY-LOCKED LOOP FOR MICROPROCESSOR APPLICATION

T143921

โดย

นนทพัทธ์ ชาญณรงค์ รหัสนักศึกษา 55010602

นรภัทร วงศ์นวชาต รหัสนักศึกษา 55010622

อาจารย์ที่ปรึกษา

ผู้ช่วยศาสตราจารย์ ดร.กสิน วิเชียรชม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่ 143921
เลขทะเบียน
วัน.เดือน.ปี 04 ต.ค. 2559

b.12810472
i.

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2558

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ **ปีการศึกษา 2558**
ภาควิชา วิศวกรรมอิเล็กทรอนิกส์
คณะ วิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง การออกแบบโลว์จิทเตอร์ดีเลย์ล็อกลูป และเฟสล็อกลูป
สำหรับประยุกต์ใช้ในไมโครโปรเซสเซอร์
LOW-JITTER PHASE-LOCKED LOOP AND DELAY-LOCKED LOOP FOR MICROPROCESSOR APPLICATION
ผู้จัดทำ นายนนทพัทธ์ ชาญณรงค์ รหัสนักศึกษา 55010602
นายนรภัทร วงศ์นวชาต รหัสนักศึกษา 55010622

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ผู้ช่วยศาสตราจารย์ ดร.กสิน วิเชียรชม)
อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การออกแบบโลว์จิทเตอร์ดีเลย์ล็อกลูป และเฟสล็อกลูป สำหรับประยุกต์ใช้ในไมโครโปรเซสเซอร์
นักศึกษา	นาย นนทพัทธ์ ชาญณรงค์ รหัสประจำตัว 55010602
	นาย นรภัทร วงศ์นวชาต รหัสประจำตัว 55010622
ปริญญา	วิศวกรรมศาสตร์บัณฑิต
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2558
อาจารย์ที่ปรึกษาปริญญานิพนธ์	ผู้ช่วยศาสตราจารย์ ดร.กสิน วิเชียรชม

บทคัดย่อ

วิทยานิพนธ์นี้เล่มนี้ศึกษาเกี่ยวกับการออกแบบโลว์จิทเตอร์ดีเลย์ล็อกลูป และเฟสล็อกลูป สำหรับประยุกต์ใช้ในไมโครโปรเซสเซอร์ ซึ่งในการออกแบบระบบใช้เทคนิคไบอัสตัวเอง โดยเทคนิคการออกแบบนี้จะช่วยให้ลูปแบนด์วิดธ์ติมตามความถี่ใช้งาน ทำให้ดีเลย์ล็อกลูป และเฟสล็อกลูปมีประสิทธิภาพในการลดจิทเตอร์ และให้อัตราส่วนระหว่างค่าลูปแบนด์วิดธ์และความถี่ใช้งานที่เหมาะสม สำหรับการออกแบบทั้งสองวงจรนี้จะออกแบบอยู่ในรูปแบบของวงจรรวม โดยใช้เทคโนโลยีซีมอส 90 นาโนเมตร ในการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Low-Jitter Phase-Locked Loop and Delay-Locked Loop for Microprocessor Application
Student	Mr.Nontapat Channarong ID: 55010602
	Mr.Norrapat Wongnavachart ID: 55010622
Degree	Bachelor of Engineering
Department	Electronics Engineering
Year	2015
Thesis Advisor	Asst. Prof. Dr. Kasin Vichienchom

Abstract

This thesis describes the design of a low-jitter phase-locked loop (PLL) and delay-locked loop (DLL) for microprocessor application. In this design the self-biased technique [1] is employed. Instead of being constant, it allows loop bandwidth to track operation frequency. As a result, the DLL and PLL can achieve a low jitter performance and optimum loop response over its operating frequency. The DLL and PLL were designed and simulated using 90 nm standard CMOS process parameter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การออกแบบโลว์จิทเตอร์ดีเลย์ล็อกลูป และเฟสล็อกลูป สำหรับประยุกต์ใช้ในไมโครโปรเซสเซอร์ (Low-Jitter Phase-Locked Loop and Delay-Locked Loop for Microprocessor Application) ในครั้งนี้สามารถสำเร็จลุล่วงตามวัตถุประสงค์ ต้องขอขอบคุณผู้ช่วยศาสตราจารย์ ดร.กสิน วิเชียรชม อาจารย์ประจำภาควิชาวิศวกรรมอิเลคทรอนิกส์ ที่ได้แนะนำและช่วยเหลือจนทำให้เกิด โครงงานนี้ขึ้นมา ทำให้ได้ฝึกลองปฏิบัติในการทำวงจรทางอิเลคทรอนิกส์ ฝึกแก้ปัญหาในการทำงานจริง ขอขอบคุณอาจารย์ท่านอื่นๆและรุ่นพี่ที่ช่วยให้คำแนะนำในด้านการออกแบบวงจรรวม และ อุปกรณ์ต่างๆ รวมถึงการเสียสละเวลามาดูแลในการทำวงจร ขอขอบคุณเพื่อนๆที่ช่วยกันแนะนำ

สุดท้ายนี้ข้าพเจ้าซาบซึ้งในการช่วยเหลือของทุกคนที่ทำให้โครงงานนี้สำเร็จจนลุล่วงมาได้ หากผิดพลาดพลั้งประการใด ต้องขออภัยมา ณ ที่นี้ด้วย

นนทพัทธ์ ชาญณรงค์

นรภัทร วงศ์นวชาต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I
บทคัดย่อภาษาอังกฤษ II
กิตติกรรมประกาศ III
สารบัญ IV
สารบัญตาราง VI
สารบัญรูป VII
บทที่ 1 บทนำ 1
1.1 ความสำคัญและที่มาของโครงงาน 1
1.2 วัตถุประสงค์ของโครงงาน 1
1.3 ขอบเขตของโครงงาน 1

บทที่ 2 เฟสล็อกลูปและดีเลย์ล็อกลูป 2
2.1 เฟสล็อกลูป (Phase-locked loop : PLL) 2
2.2 การวิเคราะห์วงจร PLL ในขณะอยู่ในสถานะล็อก 3
2.2.1 ลูปแบบอันดับที่หนึ่ง (First-order loop filter) 5
2.2.2 ลูปแบบอันดับที่สอง (Second-order loop filter) 6
2.3 สัญญาณรบกวนในเฟสล็อกลูป (Noise) 12
2.3.1 สัญญาณรบกวนจากสัญญาณอินพุต 12
2.3.2 สัญญาณรบกวนทางเฟสของ VCO 14
2.3.3 สัญญาณรบกวนและสัญญาณรบกวน ณ จุดแรงดันควบคุมความถี่ของ VCO 16
2.4 วงจรวัดเฟสและความถี่ (Phase-frequency detector : PFD) 17
2.5 เฟสล็อกลูปแบบใช้วงจรอัดประจุ (Charge-pump PLL) 21
2.6 ดีเลย์ล็อกลูป (Delay-locked loop : DLL) 26

บทที่ 3 เฟสล็อกลูป และดีเลย์ล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง 27
3.1 วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ (Differential buffer) 27
3.2 ดีเลย์ล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง (Self-Biased Delay-Locked Loop) 30
3.3 เฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง (Self-Biased Phase-Locked Loop) 34
3.3.1 การสร้างตัวต้านทานของวงจรกรองสัญญาณของลูปด้วยการป้อนไปหน้า (Feed-Forward Zero) 37
3.4 พฤติกรรมการจับสัญญาณของเฟสล็อกลูป (PLL Capture Behavior) 40
3.5 วงจรอัดประจุ (Charge pump) 41
3.6 วงจรเปรียบเทียบเฟสและความถี่ (Phase-Frequency Comparator : PFC) 42
3.7 วงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว (Differential-to-Single-Ended Converter) 43
3.8 วงจรกลืนสัญญาณพัลส์ (Pulse-swallowing) 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

บทที่ 4 การออกแบบดีเลย์ล็อกลูป และเฟสล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง 45
4.1 วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric 45
4.2 วงจรกำเนิดไบอัส 49
4.3 วงจร VCDL และ VCO 52
4.4 การออกแบบระบบของดีเลย์ล็อกลูป 52
4.5 การออกแบบระบบของเฟสล็อกลูป 54
4.6 วงจรอัดประจุ และวงจรเปรียบเทียบเฟสและความถี่ 56
4.7 วงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว 57
4.8 วงจรสมบูรณ์ของดีเลย์ล็อกลูป และเฟสล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง 59
4.9 วงจรทางกายภาพ (Layout) 60

บทที่ 5 ผลการทดลอง 62
5.1 ผลการทดลองของดีเลย์ล็อกลูป 62
5.2 ผลการทดลองของเฟสล็อกลูป 63
5.2.1 การทดลองการตอบสนองของวงจรของเฟสล็อกลูป 63
5.2.2 การทดลองสัญญาณรบกวนจากแหล่งจ่าย 66
5.3 สรุป 67

บทที่ 6 สรุป และวิเคราะห์ผลการทดลอง 68
6.1 สรุปผลการทดลอง 68
6.2 วิเคราะห์ผลการทดลอง 68

เอกสารอ้างอิง 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า
4.1 ขนาดทรานซิสเตอร์ของวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ 49
4.2 ขนาดทรานซิสเตอร์บนวงจรไบอัส 51
4.3 ขนาดทรานซิสเตอร์บนวงจรอัดประจุ 57
4.4 ขนาดทรานซิสเตอร์บนวงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว 59
5.1 ผลทดลองสัญญาณรบกวนจากแหล่งจ่าย 67
5.2 คุณสมบัติของดีเลย์ล็อกลูป 67
5.3 คุณสมบัติของเฟสล็อกลูปจากการจำลองวงจรทางกายภาพ 67

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 บล็อกไดอะแกรมของระบบเฟสล็อกลูป 2
2.2 บล็อกไดอะแกรมของระบบเฟสล็อกลูปในโดเมนความถี่เชิงซ้อน 4
2.3 รูทโลกัส และลักษณะการตอบสนองความถี่ของ PLL แบบอันดับที่หนึ่ง 6
2.4 วงจรกรองสัญญาณของลูปแบบโพลเดียว 7
2.5 รูทโลกัสของโพล p_1, p_2 ในขณะลูปปิด และการตอบสนองความถี่ 8
2.6 วงจรกรองสัญญาณของลูปที่มีคุณสมบัติตามและนำเฟส 10
2.7 รูทโลกัสของระบบ และการตอบความถี่ 11
2.8 ระบบ PLL ที่มีสัญญาณอินพุตมีสัญญาณรบกวน 13
2.9 ระบบ PLL ที่สัญญาณจาก VCO มีสัญญาณรบกวนทางเฟส 15
2.10 ระบบ PLL ที่สัญญาณรบกวนจากส่วนต่างๆของวงจร โดยแรงดันสัญญาณรบกวนสมมูลที่ขั้วแรงดันควบคุม VCO 16
2.11 วงจรวัดเฟสแบบสามสถานะ และสัญญาณการทำงานของวงจร 18
2.12 แผนภาพสถานะของวงจรวัดเฟสแบบสามสถานะ 18
2.13 คุณลักษณะสัญญาณเอาต์พุตของวงจรวัดเฟสแบบสามสถานะ 20
2.14 การตอบสนองสัญญาณอินพุตของ PFD เมื่อ (a) $\omega_A > \omega_B$ หรือ (b) $\omega_A = \omega_B$, $\phi_A \neq \phi_B$ 21
2.15 วงจรอัดประจุ และวงจรวัดเฟสและความถี่ 21
2.16 การตอบสนองสัญญาณบันได (Step response) ของวงจรอัดประจุ 22
2.17 โมเดลเชิงเส้นของ PLL ที่ใช้วงจรอัดประจุ 24
2.18 วงจรอัดประจุที่ทำการเพิ่มค่าซีโรเข้าไปในระบบ 24
2.19 การตอบสนองความถี่ Open-loop transfer function ของเฟสล็อกลูปแบบใช้วงจรอัดประจุ เปรียบเทียบระหว่างมีซีโร และไม่มีซีโร 25
2.20 บล็อกไดอะแกรมของดีเลย์ล็อกลูป 26
3.1 วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric 28
3.2 วงจรกำเนิดไบอัสแบบ Replica-feedback 28
3.3 คุณลักษณะ IV ของ symmetric load 30
3.4 บล็อกไดอะแกรมของดีเลย์ล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง 31
3.5 วงจร VCDL ที่ประกอบด้วยวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric 32
3.6 คุณลักษณะดีเลย์ของดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric 33
3.7 บล็อกไดอะแกรมของเฟสล็อกลูปโดยทั่วไป 34
3.8 วงจร VCO ที่ประกอบด้วยวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric 37
3.9 คุณลักษณะความถี่ของ VCO เป็นฟังก์ชันกับแรงดัน V_{CTRL} 37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

3.10 การแปลงวงจรกรองสัญญาณของลูปเพื่อสร้างตัวต้านทาน R
(a) วงจรกรองสัญญาณของลูปทั่วไป
(b) วงจรสมมูลของวงจรกรองสัญญาณของลูป ซึ่งถูกแยก C และ R
(c) แทนแหล่งจ่ายแรงดัน V_1 และ R ของวงจรสมมูลด้วยวงจรกำเนิดไบอัส 37
3.11 วงจรเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง 38
3.12 บล็อกไดอะแกรมของเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองที่สมบูรณ์ 39
3.13 ความสัมพันธ์แรงดัน V_{CTRL} เป็นฟังก์ชันของเวลาในระหว่างการจับ 41
3.14 วงจรอัดประจุสำหรับดีเลย์ล็อกลูป และเฟสล็อกลูปโดยการไบอัสตัวเอง 42
3.15 วงจรเปรียบเทียบเฟสและความถี่ 43
3.16 วงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว 43
3.17 วงจรกลืนสัญญาณพัลส์ที่ใช้ในดีเลย์ล็อกลูป 44
3.18 แผนภาพเวลาของวงจรกลืนสัญญาณพัลส์ 44
4.1 โหลดแบบ symmetric 46
4.2 กราฟความสัมพันธ์ระหว่าง g_m และ V_{sg} ของทรานซิสเตอร์ขนาด W = 800 nm และ L = 400 nm 47
4.3 คุณลักษณะ IV ของโหลดแบบ symmetric ขนาด W = 800 nm และ L = 400 nm ที่แรงดัน V_{CTRL} 0.35 V ถึง 0.80 V 48
4.4 ความสัมพันธ์ของ $1/g_m$ กับแรงดัน V_{CTRL} ของโหลดแบบ symmetric ขนาด W = 800 nm และ L = 400 nm 48
4.5 วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric 49
4.6 วงจรกำเนิดไบอัสแบบ Replica-feedback 50
4.7 การตอบสนองความถี่ของวงจรกำเนิดไบอัสที่แรงดัน V_{CTRL} เท่ากับ 0.6 V 51
4.8 ความสัมพันธ์ของความถี่เอาต์พุตของ VCO กับแรงดัน V_{CTRL} 52
4.9 การตอบสนองสัญญาณขั้นบันไดหนึ่งหน่วยที่ความถี่ $F_{REF} = 640\ \text{MHz}$ เวลาเข้าที่ภายใน 2% เท่ากับ 25.5 ns 54
4.10 ความสัมพันธ์ของกระแสเฉลี่ยที่เอาต์พุตของวงจรอัดประจุ กับความคลาดเคลื่อนเฟส โดยทดสอบที่ความถี่ 100MHz 56
4.11 วงจรอัดประจุ 57
4.12 สัญญาณผลต่างที่ความถี่ 35 MHz ถูกแปลงเป็นสัญญาณเดี่ยว 58
4.13 สัญญาณผลต่างที่ความถี่ 800 MHz ถูกแปลงเป็นสัญญาณเดี่ยว 58
4.14 วงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว 59
4.15 วงจรสมบูรณ์ของดีเลย์ล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง 59
4.16 วงจรสมบูรณ์ของเฟสล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง 60
4.17 วงจรทางกายภาพเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง ขนาด 130 μm x 273 μm 61
4.18 ส่วนของวงจรในเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

5.1 การตอบสนองของดีเลย์ล็อกลูปที่ความถี่ 640 MHz โดยให้วงจรเริ่มทำงานที่เวลา 50 ns 62
5.2 สัญญาณอินพุต และเอาต์พุตที่ความถี่ 640 MHz 63
5.3 การตอบสนองของเฟสล็อกของเฟสล็อกลูป โดยเริ่มจากความถี่ 320 MHz แล้วเปลี่ยนความถี่ไปที่ 640 MHz 64
5.4 สัญญาณเอาต์พุตที่ 640 MHz 64
5.5 สัญญาณเอาต์พุตที่ 640 MHz โดยขยายรูปที่ขอบขาขึ้น 65
5.6 การตอบสนองของเฟสล็อกของเฟสล็อกลูปจากการจำลองการทำงานของแผนผังวงจรของเฟสล็อกลูป โดยเริ่มจากความถี่ 320 MHz แล้วเปลี่ยนความถี่ไปที่ 640 MHz 65
5.7 สัญญาณเอาต์พุตที่ 640 MHz จากการจำลองการทำงานของแผนผังวงจรของเฟสล็อกลูป 66
5.8 สัญญาณเอาต์พุตที่ 640 MHz จากการจำลองการทำงานของแผนผังวงจรของเฟสล็อกลูป โดยขยายรูปที่ขอบขาขึ้น 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

1.1 ความสำคัญและที่มาของโครงงาน

เฟสล็อกลูป (Phase-locked loop) และดีเลย์ล็อกลูป (Delay-locked loop) เป็นวงจรอิเล็กทรอนิกส์ที่มีการใช้งานอย่างกว้างขวางในงานด้านต่าง อาทิเช่น ใช้เป็นวงจรกำเนิดสัญญาณความถี่ (Frequency synthesizer) เป็นวงจรกำเนิดสัญญาณนาฬิกาในระบบดิจิตอล และวงจรกู้สัญญาณนาฬิกา (Clock recovery) ในระบบการสื่อสาร ในปัจจุบันนี้เฟสล็อกลูป และดีเลย์ล็อกลูปจะถูกสร้างในลักษณะของวงจรรวม และเป็นส่วนหนึ่งในอุปกรณ์อิเลคทรอนิกส์ เช่น โทรศัพท์มือถือ ไมโครโพรเซสเซอร์ (Microprocessor) วงจรส่งข้อมูลแบบอนุกรม ทำให้อุปกรณ์นั้นมีขนาดที่กะทัดรัดสะดวกในการใช้งาน และจะทำให้ประสิทธิภาพของการทำงานของแต่ละวงจรนั้นดียิ่งขึ้น ด้วยเหตุนี้การศึกษาทฤษฎีของเฟสล็อกลูป และดีเลย์ล็อกลูปอย่างลึกซึ้ง และสามารถออกแบบวงจรรวมเฟสล็อกลูป และดีเลย์ล็อกลูปที่มีสมรรถนะสูงจึงเป็นเรื่องที่สำคัญอย่างยิ่ง

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 ศึกษาการการทำงาน และการประยุกต์ใช้งานของของวงจรเฟสล็อกลูป และดีเลย์-ล็อกลูป

1.2.2 ศึกษาการออกแบบวงจร และเทคนิคการแก้ปัญหาต่างๆของวงจรเฟสล็อกลูป และดีเลย์ล็อกลูป

1.2.3 ออกแบบเฟสล็อกลูป และดีเลย์ล็อกลูป ในวงจรรวม (Integrated circuit) โดยใช้ความรู้จากการค้นคว้า เพื่อให้เฟสล็อกลูป และดีเลย์ล็อกลูป สามารถนำมาประยุกต์ใช้ในงานด้านไมโครโปรเซสเซอร์ได้จริง

1.3 ขอบเขตของโครงงาน

ขอบเขตของการศึกษาเกี่ยวกับเรื่อง การออกแบบดีเลย์ล็อกลูป และเฟสล็อกลูป สำหรับประยุกต์ใช้ในไมโครโปรเซสเซอร์นั้น จะศึกษาเทคนิคการออกแบบตามเอกสารวิชาการเรื่อง Low-jitter Process-Independent DLL and PLL Based on Self-Biased Techniques ของ John G. Maneatis [1] เป็นหลัก และนำความรู้จากการศึกษาค้นคว้าอื่นๆมาประยุกต์ใช้ เพื่อให้ดีเลย์ล็อกลูป และเฟสล็อกลูป มีคุณสมบัติตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

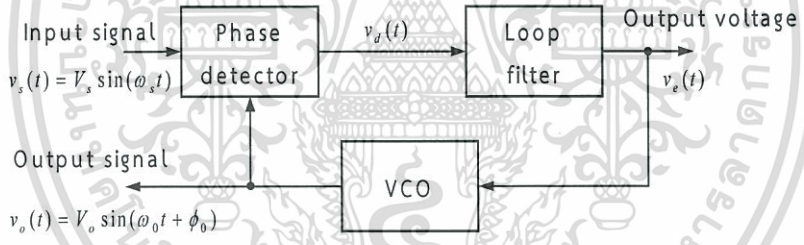
บทที่ 2
เฟสล็อกลูปและดีเลย์ล็อกลูป

เฟสล็อกลูปและดีเลย์ล็อกลูป มีการทำงาน และโครงสร้างที่คล้ายกัน โดยเฟสล็อกลูปนั้นจะเปรียบเทียบความต่างเฟสระหว่างสัญญาณอินพุต และเอาต์พุต เพื่อปรับความถี่เอาต์พุตให้เท่ากับความถี่อินพุต ซึ่งมี VCO ปรับความถี่เอาต์พุต แต่สำหรับดีเลย์ล็อกลูปนั้นจะเปรียบเทียบความต่างเฟสระหว่างสัญญาณอินพุต และเอาต์พุต เพื่อปรับการหน่วงเวลาของสัญญาณนาฬิกาของเอาต์พุตไปอีกคาบเวลาของอินพุต โดยส่วนที่หน่วงเวลาสัญญาณนาฬิกาจะใช้วงจร VCDL

ในบทนี้จะกล่าวถึงการทฤษฎีพื้นฐานของเฟสล็อกลูป และดีเลย์ล็อกลูปโดยทั่วไปตั้งแต่ส่วนประกอบของระบบ หลักการทำงานของระบบพื้นฐาน และการวิเคราะห์ความความสัมพันธ์ของสมการระบบ เพื่อใช้ในการออกแบบเฟสล็อกลูป และดีเลย์ล็อกลูป

2.1 เฟสล็อกลูป (Phase-locked loop : PLL) [2]

รูปที่ 2.1 แสดงระบบเฟสล็อกลูป ประกอบไปด้วยวงจรวัดเฟส (Phase detector), วงจรกรองสัญญาณของลูป (Loop Filter) และวงจรออสซิลเลเตอร์แบบเปลี่ยนความถี่ด้วยแรงดัน (Voltage controlled oscillator : VCO) ซึ่งต่อกันในลักษณะวงจรป้อนกลับ



รูปที่ 2.1 บล็อกไดอะแกรมของระบบเฟสล็อกลูป

สำหรับการทำงานของ PLL วงจรวัดเฟสจะเปรียบเทียบมุมเฟสของสัญญาณอินพุต $v_s(t)$ $v_s(t)$ กับสัญญาณสัญญาณเอาต์พุตจาก VCO หรือ $v_o(t)$ โดยกำหนดให้ $v_s(t)$ และ $v_o(t)$ เป็นสัญญาณรูปไซน์ที่มีความถี่เชิงมุมเท่ากับ ω_s และ ω_0 ตามลำดับ โดยให้ ω_0 มีค่าใกล้เคียงกับ ω_s วงจรวัดเฟสจะมีสัญญาณเอาต์พุตซึ่งเกิดจากการเปรียบเทียบค่าเฟสของ $v_s(t)$ และ $v_o(t)$ เท่ากับ $v_d(t)$ ซึ่งแรงดัน $v_d(t)$ จะผ่านวงจรกรองสัญญาณของลูป ซึ่งเป็นวงจรกรองความถี่ต่ำผ่าน และแรงดันเอาต์พุตของวงจรกรองสัญญาณของลูปเท่ากับ $v_e(t)$ หรือแรงดันความคลาดเคลื่อนของเฟส (Error voltage) โดยแรงดัน $v_e(t)$ จะทำหน้าที่ควบคุมเปลี่ยนแปลงความถี่ของ VCO

โดยทั่วไป เมื่อไม่มีสัญญาณเข้าสู่ PLL หรือ $v_s(t) = 0$ ค่าแรงดัน $v_e(t)$ จะเท่ากับศูนย์ด้วย เพราะแรงดัน $v_d(t)$ จะประกอบด้วยความถี่สูงเท่านั้น ซึ่งไม่สามารถผ่านวงจรกรองสัญญาณของลูปมาได้ ซึ่งเงื่อนไขดังกล่าว จะเรียกว่าเงื่อนไขทำงานอิสระ (Free-running condition) ของ PLL โดยที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VCO จะออสซิลเลตความถี่คงที่เท่ากับ $\omega_0 = 2\pi f_0$ ซึ่ง ω_0 คือความถี่ทำงานอิสระ (Free-running frequency) ของ VCO เมื่อสัญญาณอินพุตของ PLL ซึ่งเป็นสัญญาณแบบคาบ (Periodic signal) มีความถี่เท่ากับ $\omega_s = 2\pi f_s$ โดยที่ ω_s มีค่าใกล้เคียงกับ ω_0 ถูกป้อนเข้าสู่วงจร PLL ทำให้เกิดแรงดัน $v_d(t)$ และ $v_o(t)$ ตามลำดับ เนื่องจากวงจรต่อในลักษณะป้อนกลับลบทำให้ความถี่ ω_0 เคลื่อนเข้าหา ω_s จนกระทั่งความถี่ของ VCO อยู่ในลักษณะซิงโครไนซ์กับความถี่ของสัญญาณอินพุต นั่นคือ $\omega_0 = \omega_s$ พอดี ซึ่งสถานะดังกล่าวเรียกว่า สถานะล็อก (Locked condition)

ในขณะที่ PLL อยู่ในสถานะถูกล็อกนี้ แม้ความถี่ $\omega_0 = \omega_s$ แต่โดยทั่วไป สัญญาณ $v_s(t)$ และ $v_o(t)$ มักจะมีความต่างเฟสมีค่าคงที่เท่ากับ ϕ_0 ซึ่งเรียกว่า ค่าความคลาดเคลื่อนของเฟส (Phase error) ซึ่งต้องมีเพื่อบังคับให้ ω_0 ของ VCO เท่ากับ ω_s และสถานะถูกล็อกนี้ ถ้าความถี่ของสัญญาณอินพุตเปลี่ยนไปไม่มาก และในลักษณะช้าๆ PLL ก็ยังคงอยู่ในสถานะถูกล็อกได้ โดยสัญญาณเอาต์พุตของ VCO จะมีความถี่ติดตาม (Tracking) ความถี่ ω_s ได้ ซึ่งทำให้แรงดัน $v_e(t)$ จากวงจรกรองสัญญาณของลูปเปลี่ยนไป เพื่อบังคับให้วงจรอยู่ในสถานะถูกล็อก นั่นคือ แรงดัน $v_e(t)$ จะมีค่าแปรผันตามลักษณะการเปลี่ยนแปลงของ ω_s

ช่วงความถี่ที่ ω_s สามารถเปลี่ยนค่าไปจากค่าต่ำสุดถึงค่าสูงสุดโดย PLL ยังอยู่ในสถานะถูกล็อกเรียกว่า ช่วงความถี่รักษาสภาพล็อก (Locking range) ซึ่งช่วงความถี่ดังกล่าวจะไม่เท่ากับช่วงความถี่ที่ PLL สามารถจับสัญญาณอินพุตให้เข้าสู่สถานะล็อกได้ หรือเรียกว่า ช่วงความถี่ถูกจับล็อก (Capture range หรือ acquisition range) ของ PLL โดยทั่วไปช่วงความถี่ถูกจับล็อกมักจะแคบกว่าช่วงความถี่รักษาสภาพล็อก โดยความแตกต่างของช่วงความถี่ทั้งสองนี้ มักจะขึ้นกับคุณลักษณะของตัวกรองสัญญาณของลูป

สัญญาณเอาต์พุตของ PLL อาจจะอยู่ในลักษณะของ $v_o(t)$ และ $v_e(t)$ ก็ได้ แล้วแต่ลักษณะการใช้งานของ PLL เช่น ในกรณีที่ใช้ PLL เป็นวงจรวัดความต่างของความถี่ (Frequency discriminator) สัญญาณด้านออกจะเป็น $v_e(t)$ แต่ในการใช้งานกรณีการปรับรูปสัญญาณ (Signal conditioning), การสังเคราะห์ความถี่ (Frequency synthesis) หรือการสร้างสัญญาณนาฬิกากลับคืน (Clock recovery) เอาต์พุตของ PLL จะเป็น $v_o(t)$

2.2 การวิเคราะห์วงจร PLL ในขณะอยู่ในสถานะล็อก [2]

ในขณะที่วงจร PLL อยู่ในสถานะล็อก สัญญาณที่เกิดขึ้นในขณะเกิดกระบวนการถูกจับล็อก (Capture process) ซึ่งมีลักษณะไม่เป็นเชิงเส้น จะไม่ปรากฏ และ PLL จะมีสถานะภาพการทำงานในลักษณะเชิงเส้น โดยสามารถให้สัญญาณอินพุต คือมุมเฟสของ $v_s(t)$ และสัญญาณเอาต์พุตของแรง

สำหรับส่วน VCO สามารถเขียนสมการความสัมพันธ์ของความถี่เชิงมุมของแรงดันเอาต์พุตของ VCO ได้เท่ากับ

$$\omega_{OSC} = \omega_0 + K_0 V_e \tag{2.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $\omega_0 = 2\pi f_0$ คือความถี่เชิงมุมทำงานอิสระของ VCO และ ω_{OSC} จะแปรผันโดยตรงกับ V_e ส่วน K_0 คือสัมประสิทธิ์ของการเปลี่ยนแรงดันไปเป็นความถี่ หรืออัตราขยายแรงดันไปเป็นความถี่ (rad/sec/V)

สามารถเขียนสมการของมุมเฟสของสัญญาณรูปไซน์ที่มีความถี่บัดดลเท่ากับ ω_{OSC} ได้เท่ากับ

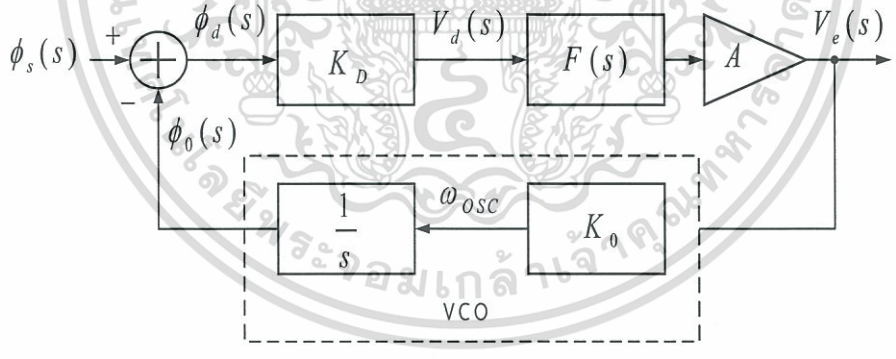
$$\phi_0(t) = \int_0^t \omega_{OSC}(t)dt = \phi_0\big|_{t=0} + \int_0^t \omega_{OSC}(t)dt \tag{2.2}$$

ถือได้ว่า วงจร VCO ทำหน้าที่เป็นวงจรอินทิเกรตความถี่เชิงมุมของสัญญาณเอาต์พุตของ VCO และสามารถเขียนสมการ (2.2) ในลักษณะของการแปลงลาปลาซได้เท่ากับ

$$\phi_0(s) = \frac{\omega_{OSC}}{s} = \frac{K_0 V_e}{s} \tag{2.3}$$

และให้ฟังก์ชันถ่ายโอน (Transfer function) ของวงจรกรองสัญญาณของลูป เท่ากับ $F(s)$

จากระบบเฟสล็อกลูปในรูปที่ 2.1 สามารถแทนระบบให้อยู่ในโดเมนของความถี่เชิงซ้อน หรือ s โดยที่ $s = \sigma + j\omega$ ได้ดังรูปที่ 2.2



รูปที่ 2.2 บล็อกไดอะแกรมของระบบเฟสล็อกลูปในโดเมนความถี่เชิงซ้อน

ดังนั้น สามารถเขียนฟังก์ชันถ่ายโอนระหว่าง $V_e(s)$ และ $\phi_s(s)$ ในลักษณะลูปปิดได้เท่ากับ

$$\frac{V_e(s)}{\phi_s(s)} = \frac{sK_D AF(s)}{s + K_D K_0 AF(s)} \tag{2.4}$$

และกำหนดให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_L = K_D K_0 A \tag{2.5}$$

จะได้

$$\frac{V_e(s)}{\phi_s(s)} = \left(\frac{K_L}{K_0}\right)\frac{sF(s)}{s + K_L F(s)} \tag{2.6}$$

ถ้าให้ความถี่ของสัญญาณอินพุตมีการเปลี่ยนแปลง แทนที่ค่าความถี่เฟสจะมีการเปลี่ยนแปลง ซึ่งจะเขียนค่าเปลี่ยนแปลงความถี่ $\Delta\omega_s$ ได้เท่ากับ

$$\Delta\omega_s = \frac{d\phi_s(t)}{dt} \tag{2.7}$$

ดังนั้น ในโดเมนของ s สามารถเขียนสมการ (2.7) ได้เท่ากับ

$$\Delta\omega_s(s) = s\phi_s(s) \tag{2.8}$$

และเขียนสมการ (2.6) ใหม่ได้เป็น

$$\frac{V_e(s)}{\Delta\omega_s(s)} = \frac{1}{s}\frac{V_e(s)}{s\phi_s(s)} = \left(\frac{K_L}{K_0}\right)\frac{F(s)}{s + K_L F(s)} \tag{2.9}$$

ซึ่งสมการ (2.9) เป็นสมการแสดงความสัมพันธ์ของลักษณะเฉพาะในการแปลงความถี่มาเป็นแรงดันของ PLL ที่อยู่ในสถานะถูกล็อก และสามารถนำไปวิเคราะห์ดูลักษณะการตอบสนองของ PLL ในขณะถูกล็อกได้ต่อไป

2.2.1 ลูปแบบอันดับที่หนึ่ง (First-order loop filter)

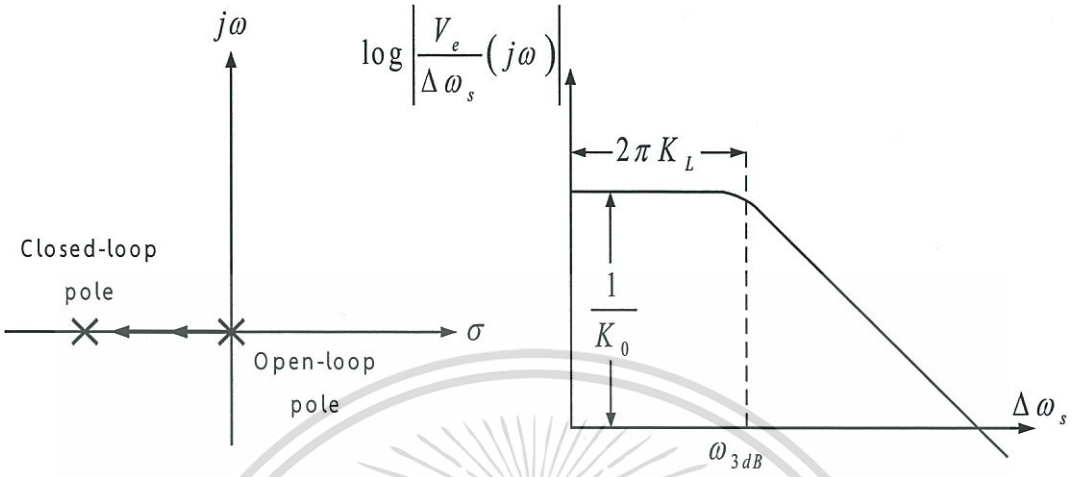
จากสมการ (2.9) พบว่า ลักษณะการตอบสนองชั่วขณะ (Transient response) ของ PLL ในขณะอยู่ในสถานะล็อกนี้ จะขึ้นอยู่กับค่าของ K_L และคุณลักษณะของ $F(s)$ โดยกรณีแรก จะพิจารณากรณีที่ $F(s) = 1$ ดังนั้น สมการ (2.9) เขียนได้เป็น

$$\frac{V_e(s)}{\Delta\omega_s(s)} = \left(\frac{1}{K_0}\right)\frac{1}{1 + \frac{s}{K_L})} \tag{2.10}$$

จะเห็นว่า ฟังก์ชันถ่ายโอนจะอยู่ในลักษณะของวงจรกรองความถี่ต่ำแบบอันดับที่หนึ่ง โดยรูปที่ 2.3 แสดงรูทโลกัส (Root locus) และลักษณะการตอบสนองความถี่ของ PLL แบบอันดับที่หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจะเห็นว่า ตำแหน่งของโพลในขณะลูปเปิด คือตำแหน่งของโพลของ VCO ซึ่งจะอยู่ ณ จุด $s = 0$ และเมื่อลูปปิด ตำแหน่งของโพลจะเคลื่อนที่มาทางซ้ายมือ



รูปที่ 2.3 รูทโลกัส และลักษณะการตอบสนองความถี่ของ PLL แบบอันดับที่หนึ่ง

ดังนั้น เมื่อความถี่ s มีค่าต่ำ หรือเท่ากับศูนย์ โดยที่ s เป็นความถี่ของการเปลี่ยนแปลงค่าเฟสสัมพัทธ์ระหว่าง ϕ_s และ ϕ_0 จะเขียนได้ว่า

$$\left.\frac{V_e}{\Delta\omega_s}\right|_{DC} = \frac{1}{K_0} \tag{2.11}$$

ส่วนค่าความถี่ $\Delta\omega_s$ เมื่อการตอบสนองลดค่าลงเท่ากับ 3dB จะเท่ากับ

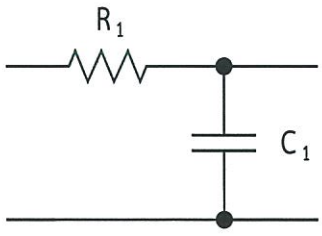
$$\omega_{3dB} = 2\pi \cdot K_L \tag{2.12}$$

ในทางปฏิบัติ PLL แบบลูปอันดับที่หนึ่งนี้ ไม่มีประโยชน์มากนัก เนื่องจากสัญญาณความถี่สูงจากวงจรวัดเฟสจะไม่ถูกกรองทิ้ง ทำให้มาปรากฏที่สัญญาณเอาต์พุต ดังนั้นวงจรจึงไม่สามารถกำจัดสัญญาณรบกวนที่ปนมากับสัญญาณอินพุตได้

2.2.2 ลูปแบบอันดับที่สอง (Second-order loop filter)

ในการใช้งานส่วนใหญ่ วงจรกรองสัญญาณของลูป มักจะเป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบโพลเดียว ดังรูปที่ 2.4 โดยเขียนฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณได้เป็นสมการ (2.13)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 วงจรกรองสัญญาณของลูปแบบโพลเดียว

$$F(s) = \frac{1}{(1 + s/\omega_1)} \tag{2.13}$$

โดย

$$\omega_1 = \frac{1}{R_1 C_1} \tag{2.14}$$

เมื่อแทนในสมการที่ (2.9) จะได้

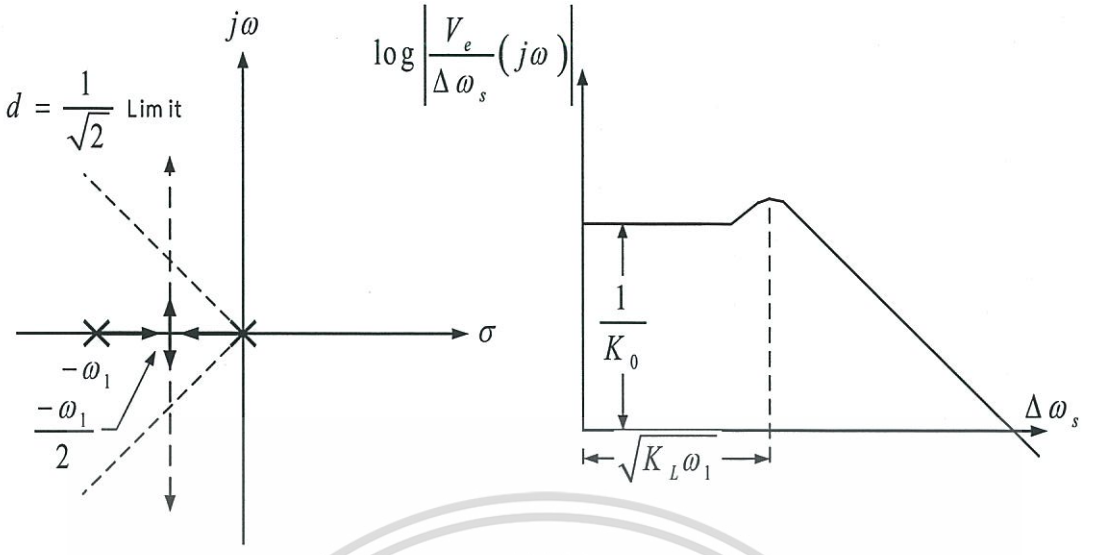
$$\frac{V_e(s)}{\Delta\omega_s(s)} = \left(\frac{1}{K_0}\right) \frac{1}{\frac{s^2}{\omega_1 K_L} + \frac{s}{K_L} + 1} \tag{2.15}$$

จะเห็นว่า PLL มีลักษณะการตอบสนองของฟังก์ชันถ่ายโอนแบบสองโพล ซึ่งสามารถหาตำแหน่งของโพลได้เท่ากับ

$$p_1, p_2 = -\left(\frac{\omega_1}{\omega_2}\right)\left[1 \pm \left(1 - \frac{4K_L}{\omega_1}\right)^{1/2}\right] \tag{2.16}$$

จากรูปที่ 2.5 แสดงรูทโลกัสของโพล p_1, p_2 ในขณะลูปปิด และการตอบสนองความถี่ เมื่อ K_L มีค่าเพิ่มขึ้นจากศูนย์ จะเห็นว่า เมื่อ $K_L = 0$ ตำแหน่งโพล p_1, p_2 อยู่ที่ $-\omega_1$ และ 0 และเมื่อ K_L มีค่าเพิ่มขึ้นโพลทั้งสองจะเคลื่อนมาบรรจบกัน ณ ความถี่ $-\frac{\omega_1}{2}$ และแยกออกเป็นคู่สังยุค-เชิงซ้อน ซึ่งมีผลทำให้ระบบมีการหน่วงค่าต่ำ (Under damped)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 รูทโลกัสของโพล p_1, p_2 ในขณะลูปปิด และการตอบสนองความถี่

นอกจากนี้ จากสมการ (2.13) จะเห็นว่า วงจรกรองสัญญาณแบบความถี่ต่ำผ่านแบบมีโพลเดียวนี้ ณ ความถี่สูง จะเกิดมุมเฟส $-\frac{\pi}{2}$ หรือเกิดมุมเฟสตาม (Phase-lag) เท่ากับ $\frac{\pi}{2}$ ดังนั้น จะเรียกวงจรกรองสัญญาณดังกล่าวว่า วงจรกรองสัญญาณแบบเฟสตาม (Lag filter) ถ้ากำหนดให้

$$\omega_n^2 = K_L\omega_1 \tag{2.17}$$

$$d = \frac{1}{2}\left(\frac{\omega_1}{K_L}\right)^{1/2} \tag{2.18}$$

สามารถเขียนสมการ (2.14) ใหม่ได้เป็น

$$\frac{V_e(s)}{\Delta\omega_s(s)} = \left(\frac{1}{K_0}\right)\cdot\frac{1}{\left[\frac{s^2}{\omega_n^2} + \left(\frac{2d}{\omega_n}\right)s + 1\right]} \tag{2.19}$$

โดย ω_n คือความถี่เชิงมุมธรรมชาติ (Natural frequency) ของระบบ และ d คือแฟคเตอร์ของการหน่วงของลูป (Loop damping factor)

ถ้าลดแบนด์วิดธ์ของวงจรกรองสัญญาณของลูป หรือ ω_1 ลง หรือเมื่อเพิ่มค่า K_L ขึ้น จะทำให้แฟคเตอร์ของการหน่วงลดลง และลักษณะการอบสนองต่อความถี่ของลูปจะแสดงการโด่ง (Peaking) และลักษณะการตอบสนองของลูปต่อสัญญาณอินพุตแบบทันทีทันใด จะแสดงอาการออสซิลเลตแบบชั่วขณะ (Transient oscillation)

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไป มักจะออกแบบวงจรเพื่อไม่ให้เกิดอาการโด่ง เพราะทำให้เกิดความเพี้ยน (Distortion) ในกรณีทีนำ PLL มาใช้งานเป็นวงจรวัดความต่างของความถี่ หรือในกรณีนำมาใช้เป็นวงจรดีมอดูเลตสัญญาณเอฟเอ็ม (FM demodulator) แต่ถ้าต้องการเวลาที่ใช้ในการตอบสนองมีค่าสั้นที่สุด มักจะออกแบบให้ระบบมีตำแหน่งโพลในกรณีลูปปิดอยู่ที่ $\pm \pi/4$ ซึ่งจะให้ค่า $d = 1/\sqrt{2}$ และการตอบสนองของวงจรต่อความถี่จะมีอาการโด่งประมาณ 10% ในการตอบสนองเมื่อสัญญาณอินพุตเปลี่ยนแปลงทันทีทันใด ซึ่ง d จะเรียกว่า แฟคเตอร์การหน่วงวิกฤต (Critical damping factor) และการตอบสนองดังกล่าวจะเรียกว่า การตอบสนองแบบแมกซิมอลลี่เฟลต (Maximally flat response) ซึ่งค่าแฟกเตอร์การหน่วงดังกล่าวจะเกิดขึ้นเมื่อกำหนดให้

$$\omega_1 = 2K_L \tag{2.20}$$

ส่วนแบนด์วิดธ์ของลูปจะเท่ากับ

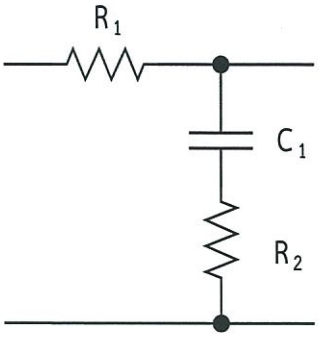
$$\omega_{3dB} = \omega_n = \sqrt{K_L \omega_1} = \sqrt{2}K_L \tag{2.21}$$

ซึ่งจากที่กล่าวมานี้ เห็นได้ว่า ไม่มีโอกาสที่จะออกแบบ PLL ให้มีคุณสมบัติพิเศษมากนัก เช่น ถ้าต้องการให้ช่วงความถี่รักษาสภาพล็อกมีค่าสูง เราจะต้องออกแบบให้ K_L มีค่าสูง ซึ่งจะมีผลทำให้ ω_1 มีค่าสูงตามไปด้วย ซึ่งจะมีผลทำให้การลดทอนสัญญาณที่ไม่ต้องการออกไปด้วย มีประสิทธิภาพลดลง เพราะแบนด์วิดธ์ของลูปจะมีค่าสูงตามค่า K_L ไปด้วย

แต่จะมีการใช้งานในหลายกรณี ที่ต้องการให้ PLL มีช่วงความถี่รักษาสภาพล็อกที่กว้าง แต่แบนด์วิดธ์ของลูปแคบไปพร้อมกัน ซึ่งในกรณีดังกล่าวนี้ สามารถแก้ปัญหาได้โดยการให้วงจรกรองสัญญาณของลูปเป็นแบบที่เรียกกว่า วงจรกรองสัญญาณแบบตาม และนำมุมเฟส (Lag-lead loop filter) ซึ่งวงจรกรองสัญญาณในลักษณะดังกล่าวนี้ จะมีฟังก์ชันถ่ายโอนดังนี้

$$F(s) = \frac{1 + \frac{s}{\omega_2}}{1 + \frac{s}{\omega_1}} \tag{2.22}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 วงจรกรองสัญญาณของลูปที่มีคุณสมบัติตามและนำเฟส

โดยวงจรแสดงดังรูปที่ 2.6 และมีตำแหน่งโพล และซีโร ดังนี้

$$\omega_1 = \frac{1}{(R_1 + R_2)C_1} \tag{2.23}$$

$$\omega_2 = \frac{1}{R_2 C_1} \tag{2.24}$$

และพบว่าตำแหน่งความถี่ของซีโร ω_2 จะมีค่าสูงกว่าตำแหน่งของความถี่ของโพล ω_1 เสมอ

เมื่อแทน $F(s)$ จากสมการ (2.22) ลงในสมการ (2.9) จะได้

$$\frac{V_e(s)}{\Delta\omega_s(s)} = \left(\frac{1}{K_0}\right) \cdot \frac{\left(1 + \frac{s}{\omega_2}\right)}{\left[\frac{s^2}{\omega_1^2 k_L} + \left(\frac{1}{K_L} + \frac{1}{\omega_2}\right)s + 1\right]} \tag{2.25}$$

ซึ่งจะเห็นว่า เมื่อ K_L เท่ากับศูนย์ โพลของสมการ (2.25) จะอยู่ที่จุดศูนย์ และ $-\omega_1$ ส่วนซีโรอยู่ที่จุด $-\omega_2$ และถ้ากำหนดให้

$$\omega_n^2 = \omega_1 K_L \tag{2.26}$$

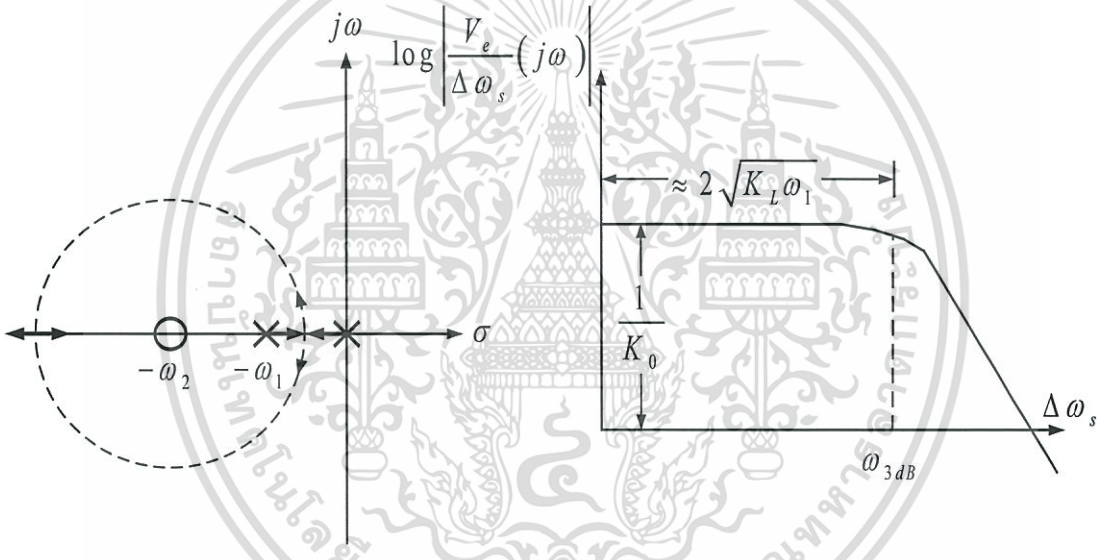
สามารถแสดงได้ว่า ตัวส่วนของสมการ (2.25) สามารถเขียนในลักษณะเดียวกับสมการ (2.19) โดยกำหนดให้แฟคเตอร์ของการหน่วงเท่ากับ

$$d = \frac{1}{2}\left(\frac{\omega_1}{K_L}\right)^{1/2} + \frac{1}{2}\left(\frac{K_L \omega_1}{\omega_2}\right)^{1/2} \tag{2.27}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.27) จะเห็นว่า เมื่อ K_L มีค่ามากขึ้นเทอมแรกของสมการจะมีค่าเข้าใกล้ศูนย์ ส่วนเทอมหลังจะมีค่าเพิ่มขึ้น ดังนั้น จะเห็นได้ว่า สามารถออกแบบระบบให้ K_L มีค่าสูง เพื่อให้ช่วงความถี่รักษาสภาพล็อกมีค่ากว้าง โดยไม่ต้องกังวลการตอบสนองของลูปจะเข้าสู่สภาวะการหน่วงมีค่าต่ำ ซึ่งจะทำให้เกิดการโด่งมาก

จากรูปที่ 2.7 แสดงรูทโลกัสของระบบ และการตอบความถี่ เมื่อ K_L มีค่าเพิ่มจากศูนย์ โพลที่ความถี่เท่ากับศูนย์จะเคลื่อนที่มาทางซ้าย ส่วนโพลที่ความถี่ ω_1 จะเคลื่อนมาทางขวา เมื่อบรรจบกัน จะแยกตัวเคลื่อนที่ไปด้านบน และล่างในลักษณะวงกลม โดยมีจุดศูนย์กลางอยู่ที่ซีโรซึ่งมีความถี่ ω_2 และเมื่อโพลทั้งสองเคลื่อนที่มาบรรจบกันอีกครั้ง โพลตัวหนึ่งจะแยกเข้าสู่ซีโร ส่วนโพลอีกตัวจะเคลื่อนที่เข้าสู่ $-\infty$ ซึ่งแสดงให้เห็นว่า เมื่อ K_L เพิ่มขึ้น โพลทั้งสองที่ความถี่สังยุคคู่เชิงซ้อน จะไม่เคลื่อนที่เข้าใกล้แกน $j\omega$ เลย ดังนั้นระบบจะเข้าสู่การหน่วงต่ำ (Underdamping) แต่ไม่ทำให้เกิดการโด่งมากเกินไป



รูปที่ 2.7 รูทโลกัสของระบบ และการตอบความถี่

เมื่อเปรียบเทียบสมการ (2.25) กับสมการ (2.19) จะได้ความถี่ธรรมชาติของระบบเท่ากับ

$$\omega_n^2 = K_L\omega_1 \tag{2.28}$$

โดย ω_1 กำหนดโดยสมการ (2.23) และจากสมการ (2.27) สามารถหาความสัมพันธ์ระหว่าง ω_1 และ ω_2 ได้ ถ้ากำหนดค่าแฟคเตอร์ของการหน่วง $d = 1/\sqrt{2}$ และสมมติให้ $K_L >> \omega_1$ จะได้ความถี่ซีโรเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_2 \cong \left(\frac{K_L\omega_1}{2}\right)^{1/2} = \frac{\omega_n}{\sqrt{2}} \tag{2.29}$$

ซึ่งในกรณี $d = 1/\sqrt{2}$ จะสามารถแสดงได้ว่า จากสมการ (2.25) จะได้แบนด์วิดธ์ของระบบประมาณเท่ากับ

$$\omega_{3dB} = 2\omega_n = 2(K_L\omega_1)^{1/2} \tag{2.30}$$

จากที่กล่าวมาทั้งหมด แสดงให้เห็นข้อได้เปรียบในการใช้วงจรกรองสัญญาณของลูปแบบตามและนำเฟสได้ คือสามารถออกแบบให้ K_L มีค่าสูง โดยที่แบนด์วิดธ์ของลูปมีค่าต่ำ โดยไม่ทำให้ระบบเข้าสู่สภาวะการหน่วงต่ำมากเกินไป

2.3 สัญญาณรบกวนในเฟสล็อกลูป (Noise) [2]

ประโยชน์หลักประการหนึ่งของการใช้งาน PLL คือสามารถลดสัญญาณรบกวนที่ปนมากกับสัญญาณอินพุตได้ ถ้ามีการออกแบบลูปของ PLL ให้ถูกต้อง นอกจากนี้จะต้องพิจารณาสัญญาณรบกวนจาก PLL เอง ซึ่งแบ่งออกเป็นสองประเภท คือสัญญาณรบกวนจากต่างๆของวงจรที่มาปรากฏที่แรงดันควบคุม VCO และสัญญาณรบกวนทางเฟส (Phase noise) จาก VCO เอง โดยเราจะพิจารณาถึงลักษณะการลดสัญญาณสัญญาณรบกวนซึ่งปนมากับสัญญาณอินพุตก่อน

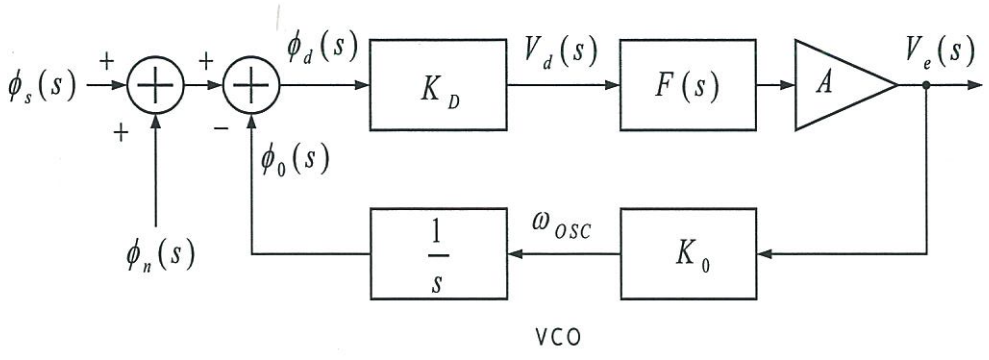
2.3.1 สัญญาณรบกวนจากสัญญาณอินพุต

สมมติให้ VCO มีสัญญาณรบกวนทางเฟสเป็นศูนย์ และสัญญาณรบกวนจากจากแหล่งอื่นๆ ในลูปของวงจร PLL ก็จะสมมติให้เป็นศูนย์ แต่สัญญาณด้านเข้าจะมีสัญญาณรบกวนปนมา ซึ่งอาจจะแสดงสัญญาณรบกวนเหล่านี้ให้อยู่ในลักษณะของเฟสเพิ่มเติม (Excess phase) ของสัญญาณอินพุต นั่นคือ จะเขียนได้ว่า

$$\phi_{in}(s) = \phi_s(s) + \phi_n(s) \tag{2.31}$$

โดย $\phi_n(s)$ คือส่วนเฟสเกินซึ่งเกิดจากสัญญาณรบกวนที่ปนมากับสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 ระบบ PLL ที่มีสัญญาณอินพุตมีสัญญาณรบกวน

จากรูปที่ 2.8 ระบบ PLL ที่มีสัญญาณอินพุตมีสัญญาณรบกวน จะได้

$$\phi_d(s) = \phi_s(s) + \phi_n(s) - \phi_0(s) \tag{2.32}$$

$$\phi_0(s) = \phi_d(s)\left[\frac{K_D K_0 A F(s)}{s}\right] = \phi_d(s)\left[\frac{K_L F(s)}{s}\right] \tag{2.33}$$

กำหนดให้ $K_L = K_D K_0 A$ ซึ่งเท่ากับลูปเกนที่ความถี่ต่ำของวงจร และสมมติว่า ω_s คงที่ ดังนั้น ในทางปฏิบัติ อาจจะสมมติให้ $\phi_s = 0$ ได้ และจากสมการ (2.32) และ (2.33) สามารถเขียนได้ว่า

$$\frac{\phi_0(s)}{\phi_n(s)} = \frac{K_L F(s)}{s + K_L F(s)} \tag{2.34}$$

ซึ่งสมการ (2.34) แสดงความสัมพันธ์ระหว่าง $\phi_0(s)$ กับ $\phi_n(s)$ โดย $\phi_n(s)$ จะทำให้เกิด $\phi_0(s)$ ในลักษณะอย่างไร นั่นคือ จะทำให้สัญญาณเอาต์พุตจาก VCO มีการเปลี่ยนแปลงไปตามสัญญาณรบกวนจากสัญญาณอินพุตอย่างไรบ้าง

เมื่อพิจารณาวงจรกรองสัญญาณของลูปมีลักษณะตาม และนำเฟส ซึ่งมีฟังก์ชันถ่ายโอนเป็น

$$F(s) = \frac{1 + \dfrac{s}{\omega_2}}{1 + \dfrac{s}{\omega_1}} \tag{2.35}$$

และแทนสมการ (2.35) ลงในสมการ (2.34) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\phi_0(s)}{\phi_n(s)} = \frac{\left(1+\frac{s}{\omega_2}\right)}{\left[\frac{s^2}{\omega_1 K_L} + s\left(\frac{1}{K_L}+\frac{1}{\omega_2}\right)+1\right]} \tag{2.36}$$

เมื่อกำหนดให้

$$\omega_n^2 = \omega_1 K_L \tag{2.37}$$

$$d = \frac{1}{2}\left(\frac{\omega_1}{K_L}\right)^{1/2} + \frac{1}{2}\left(\frac{K_L\omega_1}{\omega_2}\right)^{1/2} \tag{2.38}$$

จะได้

$$\frac{\phi_0(s)}{\phi_n(s)} = \frac{\left(1+\frac{s}{\omega_2}\right)}{\left[\frac{s^2}{\omega_n^2} + \left(\frac{2d}{\omega_n}\right)s+1\right]} \tag{2.39}$$

จากสมการ (2.39) พบว่า ฟังก์ชันถ่ายโอนเป็นการทับซ้อนระหว่างฟังก์ชันถ่ายโอนแบบความถี่ต่ำผ่าน และแบบแถบความถี่ผ่าน แต่ผลรวมการตอบสนองยังคงอยู่ในลักษณะของฟังก์ชันแบบความถี่ต่ำผ่าน โดยมีแบนด์วิดธ์เท่ากับ

$$\omega_{3dB} = 2\omega_n = 2(K_L\omega_1)^{1/2} \tag{2.40}$$

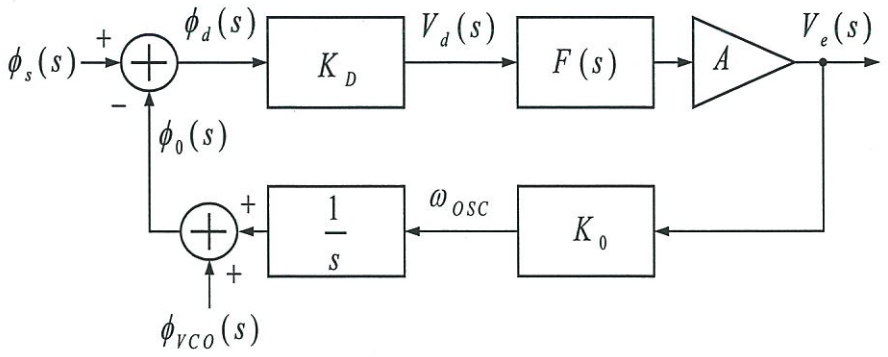
ซึ่งสมการ (2.40) จะเป็นจริงเมื่อ $d = 1/\sqrt{2}$ และ $K_L >> \omega_1$

ดังนั้น ถ้าต้องการให้ PLL มีการกำจัดสัญญาณรบกวนที่ปนมากับสัญญาณอินพุตให้มากที่สุด จะต้องออกแบบให้ระบบมีแบนด์วิดธ์ต่ำ แต่โดยทั่วไป ต้องการให้ค่า K_L มีค่าสูง ดังนั้น แบนด์วิดธ์ของลูปจะมีค่าต่ำได้ก็ต่อเมื่อ ω_1 มีค่าต่ำ

2.3.2 สัญญาณรบกวนทางเฟสของ VCO

การพิจารณาสัญญาณรบกวนทางเฟสของ VCO มีผลต่อการตอบสนองของ PLL อย่างไร ซึ่งการแสดงสัญญาณรบกวนทางเฟสของ VCO ได้โดยการบวกมุมเฟสซึ่งเกิดจากสัญญาณรบกวนดังกล่าวเข้ากับสัญญาณเอาต์พุตของ VCO ดังรูปที่ 2.9 แสดงระบบ PLL ที่สัญญาณจาก VCO มีสัญญาณรบกวนทางเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 ระบบ PLL ที่สัญญาณจาก VCO มีสัญญาณรบกวนทางเฟส

กำหนดให้ $K_L = K_D K_0 A$ และจากรูปที่ 2.9 ระบบ PLL ที่มีสัญญาณจาก VCO มีสัญญาณรบกวนทางเฟส จะได้

$$\phi_0(s) = \phi_{VCO}(s) + \phi_d(s)\left[\frac{K_L F(s)}{s}\right] \tag{2.41}$$

$$\phi_d(s) = \phi_s(s) - \phi_0(s) \tag{2.42}$$

โดย $\phi_{VCO}(s)$ คือมุมเฟสส่วนที่ทำให้เกิดสัญญาณรบกวนทางเฟส ณ สัญญาณเอาต์พุตของ VCO และเมื่อเรากำหนดให้ ω_s มีค่าคงที่ และ $\phi_s = 0$ จะได้

$$\frac{\phi_0(s)}{\phi_{VCO}(s)} = \frac{s}{s + K_L F(s)} \tag{2.43}$$

และโดยการกำหนดให้ $F(s)$ เป็นไปตามสมการ (2.35), ω_n^2 เป็นไปตามสมการ (2.37) และ d เป็นไปตามสมการ (2.38) จะได้

$$\frac{\phi_0(s)}{\phi_{VCO}(s)} = \left(\frac{K_L}{A}\right)\frac{\left(1+\frac{s^2}{\omega_1}\right)}{\left[\frac{s^2}{\omega_n^2} + \left(\frac{2d}{\omega_n}\right)s + 1\right]} \tag{2.44}$$

ซึ่งเราจะเห็นว่า สมการ (2.44) อยู่ในลักษณะการซ้อนทับของวงจรกรองสัญญาณแบบความถี่สูงผ่านและแบบแถบความถี่ผ่าน ซึ่งสามารถพิจารณาได้ว่า ในกรณีที่ $\phi_{VCO}(s)$ เปลี่ยนตามเวลาอย่างช้าๆ ซึ่งสัญญาณรบกวนทางเฟสมีความถี่ใกล้ f_0 จะมีผลทำให้ ϕ_0 เปลี่ยนแปลงอย่างช้าๆด้วย และผลการป้อนกลับแบบลบของลูปจะพยายามบังคับให้ ϕ_0 มีค่าคงที่ ดังนั้น ผลของสัญญาณรบกวนทางเฟสที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ใกล้ f_0 ในกรณี VCO ทำงานอิสระ เมื่อ PLL อยู่ในสภาวะถูกล็อก ผลของสัญญาณรบกวนทางเฟสดังกล่าวจะมีค่าลดลง แต่สำหรับสัญญาณรบกวนทางเฟสซึ่งมีความถี่ห่างจาก f_0 มาก ผลของการล็อกของ PLL จะไม่มีผลต่อการลดสัญญาณรบกวนทางเฟสลง ดังนั้น ในการออกแบบแบนด์-วิดธ์ของลูปเพื่อลดสัญญาณรบกวนทางเฟสของ VCO ให้มากที่สุด ควรออกแบบให้ลูปแบนด์วิดธ์กว้าง โดยสามารถสังเกตได้ว่า แบนด์วิดธ์ของลูป และตัวส่วนของฟังก์ชันถ่ายโอนของสมการที่ (2.44) เป็นสมการเดียวกัน ดังนั้น เมื่อลูปแบนด์วิดธ์มีค่ากว้าง จะทำให้ความถี่ 3 dB ของวงจรกรองสัญญาณแบบความถี่สูงผ่าน มีค่าสูงประมาณแบนด์วิดธ์ของลูปด้วย

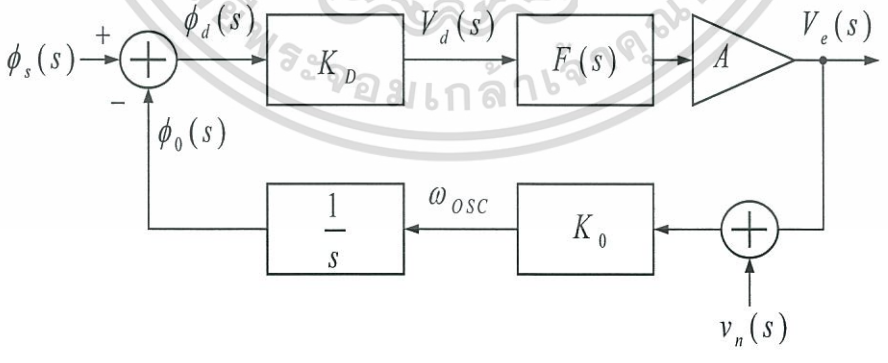
โดยทั่วไป ในการนำ PLL ไปใช้งาน มักจะต้องการให้แบนด์วิดธ์ของลูปต่ำ เพราะต้องการจำสัญญาณรบกวนที่ปนมากับสัญญาณอินพุตมากกว่า เพื่อให้ PLL มีประสิทธิภาพในการใช้งานได้ดี ส่วน VCO ควรจะมีสัญญาณรบกวนทางเฟสต่ำเพียงพอต่อการใช้งาน เพราะไม่สามารถนำเอาคุณสมบัติของ PLL ในขณะลูปอยู่ในสภาพล็อกมาลดผลของสัญญาณรบกวนทางเฟสของ VCO ได้

แต่ในการใช้งานบางกรณีที่เราทราบว่า ออสซิลเลเตอร์อ้างอิงมีสัญญาณรบกวนทางเฟสต่ำ และมีกำลังของสัญญาณเอาต์พุตต่ำ อาจใช้ PLL ไปล็อกกับสัญญาณออสซิลเลเตอร์อ้างอิง และอาศัยสัญญาณเอาต์พุตของ VCO ซึ่งมีกำลังสูงไปใช้งาน ซึ่งในกรณีนี้ สามารถออกแบบให้แบนด์วิดธ์ของลูปมีค่าสูงได้

2.3.3 สัญญาณรบกวน ณ จุดแรงดันควบคุมความถี่ของ VCO

แหล่งสัญญาณรบกวนอีกแหล่งหนึ่ง คือสัญญาณรบกวนที่เกิดขึ้นจากส่วนต่างๆของ PLL และมาปรากฏที่ขั้วแรงดันควบคุมความถี่ของ VCO ซึ่งแหล่งสัญญาณรบกวนเหล่านี้ อาจรวมไปถึงสัญญาณรบกวนจากแหล่งจ่ายไฟด้วย

โดยสามารถแสดงผลจากสัญญาณรบกวนเหล่านี้ได้ โดยการจ่ายค่าแรงดันสัญญาณรบกวนสมมูล ณ ขั้วแรงดันควบคุมความถี่ของ VCO v_n ได้ดังแสดงในรูปที่ 2.10



รูปที่ 2.10 ระบบ PLL ที่สัญญาณรบกวนจากส่วนต่างๆของวงจร โดยแรงดันสัญญาณรบกวนสมมูลที่ขั้วแรงดันควบคุม VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

จากรูปที่ 2.10 จะได้

$$\phi_0(s) = \left(\frac{K_0}{s}\right)\left[V_e(s) + v_n(s)\right] \tag{2.45}$$

$$V_e(s) = (AK_D)F(s)\phi_d(s) \tag{2.46}$$

$$\phi_d(s) = \phi_s(s) - \phi_0(s) \tag{2.47}$$

จากสมการ (2.45) ถึง (2.47) และสมมติให้ $\phi_s = 0$ จะได้

$$\frac{\phi_0(s)}{\phi_n(s)} = \left(\frac{K_0}{K_L}\right)\frac{\left(1+\frac{s}{\omega_1}\right)}{\left[\frac{s^2}{\omega_n^2} + \left(\frac{2d}{\omega_n}\right)s + 1\right]} \tag{2.48}$$

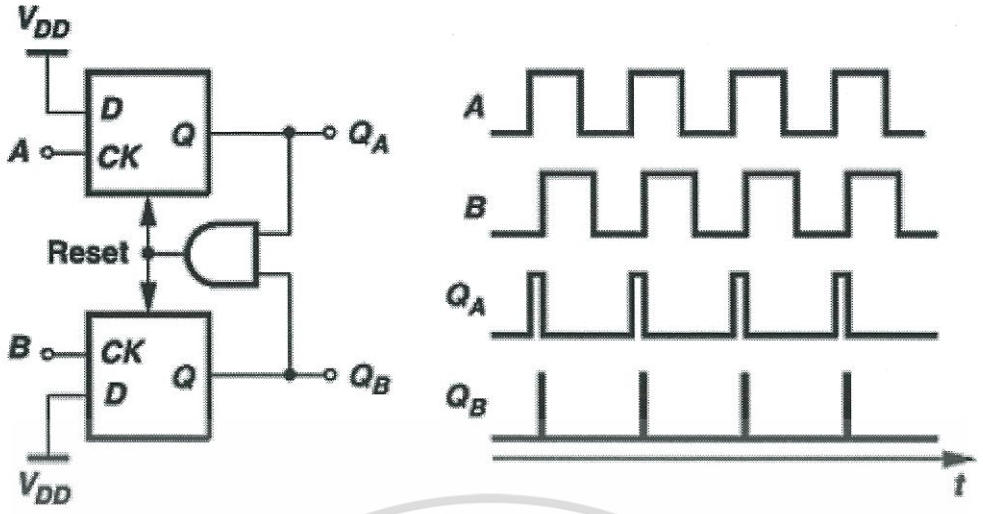
โดยการกำหนดให้ ω_n^2 เป็นไปตามสมการ (2.37) และ d เป็นไปตามสมการ (2.38)

ซึ่งจากสมการ (2.48) สามารถสรุปได้เช่นเดียวกับกรณีของสัญญาณรบกวนที่ปนมากับสัญญาณด้านเข้า ซึ่งสามารถลดผลของสัญญาณรบกวนได้โดยการออกแบบให้แบนด์วิดธ์แคบเช่นกัน

2.4 วงจรวัดเฟสและความถี่ (Phase-frequency detector : PFD) [2][3][4]

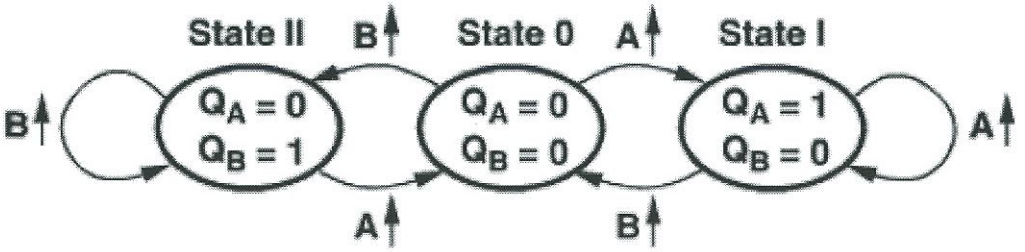
วงจรวัดเฟสและความถี่มีการทำงานลักษณะวงจรวัดเฟสแบบสามสถานะ (Tri-state phase detector) จะมีคุณสมบัติสำคัญ คือสามารถใช้วงจรวัดเฟสดังกล่าวในเฟสล็อกลูป ซึ่งเมื่อเฟสล็อกลูปอยู่ในสถานะล็อกแล้ว สัญญาณด้านเข้ากับสัญญาณจาก VCO จะมีค่าเฟสเท่ากันได้ นอกจากนี้ ช่วงของค่าเฟสที่วัดได้กว่างเป็นสองเท่าของกรณีใช้วงจรวัดเฟสแบบใช้อาร์เอสฟลิปฟล็อป (RS flip-flop) สำหรับสัญญาณเอาต์พุตจะมีสถานะได้เป็น $+V_{DD}$, 0 และ $-V_{DD}$ ดังนั้น จึงเรียกวงจรดังกล่าวว่าเป็นวงจรวัดเฟสแบบสามสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
143921



รูปที่ 2.11 วงจรวัดเฟสแบบสามสถานะ และสัญญาณการทำงานของวงจร [4]

วงจรวัดเฟสแบบสามสถานะ และสัญญาณอินพุตกับสัญญาณอินพุตเอาต์พุต แสดงดังรูปที่ 2.11 ประกอบด้วยดีฟลิปฟลอฟ (D flip-flop) สองตัว และแอนด์เกต (AND gate) ใช้เป็นตัวรีเซต สัญญาณ A อาจจะกำหนดให้เป็นสัญญาณอ้างอิง และสัญญาณ B จะกำหนดเป็นสัญญาณเอาต์พุตของ VCO สัญญาณทั้งสองจะจ่ายเข้าที่ขาสัญญาณนาฬิกาของฟลิปฟลอฟ โดยฟลิปฟลอฟดังกล่าวจะทำงาน ณ ขอบของสัญญาณนาฬิกาในขณะเปลี่ยนจากลอจิก “0” ไป “1” ทำให้สถานะของสัญญาณลอจิกที่ขา D ของดีฟลิปฟลอฟจะถูกส่งไปยังขา Q ก็คือสัญญาณ Q_A และ Q_B ดังนั้นจะมีแผนภาพสถานะวงจรวัดเฟสแบบสามสถานะ (State diagram) แสดงดังรูปที่ 2.12



รูปที่ 2.12 แผนภาพสถานะของวงจรวัดเฟสแบบสามสถานะ [4]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนสัญญาณเอาต์พุตจะกำหนดให้เป็นค่าแรงดัน Q_A ลบกับค่าแรงดัน Q_B ดังนั้น สามารถแสดงสถานะทั้งสามของวงจรได้ดังนี้

สถานะที่ 1; $Q_A = V_{DD}$, $Q_B = 0$; $(Q_A - Q_B) = V_{DD}$

สถานะที่ 2; $Q_A = V_{DD}$, $Q_B = V_{DD}$; $(Q_A - Q_B) = 0$

หรือ $Q_A = 0$, $Q_B = 0$; $(Q_A - Q_B) = 0$

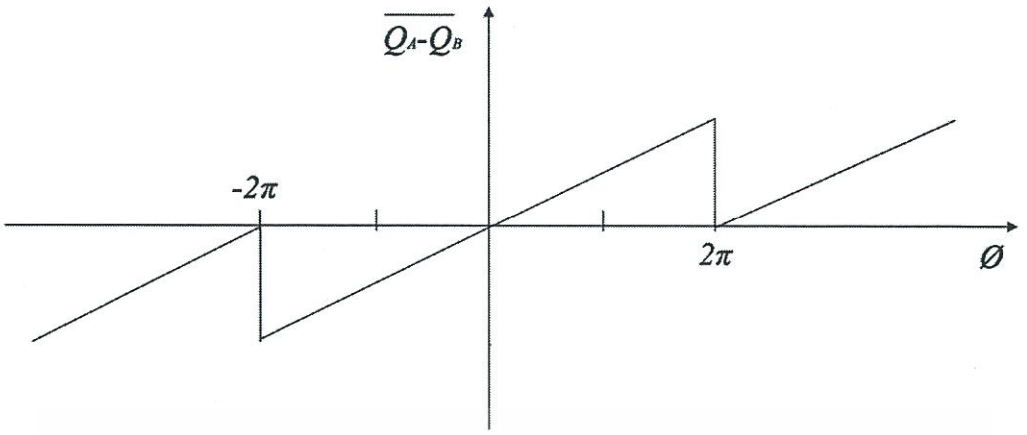
สถานะที่ 3; $Q_A = 0$, $Q_B = V_{DD}$; $(Q_A - Q_B) = -V_{DD}$ (2.49)

การทำงานของวงจรสามารถอธิบายได้โดยสมมติว่า เมื่อวงจรเริ่มทำงาน แรงดัน Q_A และ Q_B เท่ากับศูนย์ นั่นคือ สัญญาณเอาต์พุตอยู่ ณ สถานะที่ 2 เมื่อขอบขาขึ้นของสัญญาณ A แรงดัน Q_A จะมีค่าเป็น V_{DD} ดังนั้น สัญญาณเอาต์พุตจะอยู่ ณ สถานะที่ 1 และเมื่อขอบขาขึ้นของสัญญาณ B ค่าแรงดัน Q_B จะมีค่า V_{DD} ทำให้สัญญาณเอาต์พุตมีค่าเป็นศูนย์ นั่นคือ จะอยู่ในสถานะที่ 2 แต่สัญญาณรีเซตที่เอาต์พุตของแอนด์เกตเกตจะมีสถานะลอจิก “1” ซึ่งจะรีเซตให้แรงดัน Q_A และ Q_B กลับไปเท่ากับศูนย์อีก และสัญญาณเอาต์พุตยังคงมีค่าเป็นศูนย์ นั่นคือ ยังคงอยู่ ณ สถานะที่ 2 แต่ถ้ากรณีที่ขอบขาขึ้นของสัญญาณ B จะมีผลทำให้สัญญาณ Q_B มีค่าเป็น V_{DD} โดยขณะที่สัญญาณ Q_A ยังเป็นศูนย์ ดังนั้น สัญญาณเอาต์พุตจะมีค่าเป็น $-V_{DD}$ ซึ่งอยู่ในสถานะที่ 3 และเมื่อขอบขาขึ้นของสัญญา Q_A สัญญาณ A จะมีค่าเป็น V_{DD} ดังนั้น สัญญาณเอาต์พุตจะมีค่าเป็นศูนย์ นั่นคือ สัญญาณเอาต์พุตจะกลับไปสถานะที่ 2 อีกครั้ง

จากที่กล่าวมา สามารถแสดงได้ว่า วงจรสามารถวัดเฟสได้จาก -2π ถึง 2π โดยแรงดันเฉลี่ยที่เอาต์พุตจะเพิ่มจาก $-V_{DD}$ ถึง V_{DD} ในลักษณะเชิงเส้นกับค่าความแตกต่างของเฟส แสดงในรูปที่ 2.13 ดังนั้น อัตราขยายเฟสไปเป็นแรงดันจะได้เท่ากับ

$$KD = \frac{VDD}{2\pi}, \quad -2\pi \le \phi \le 2\pi \tag{2.50}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

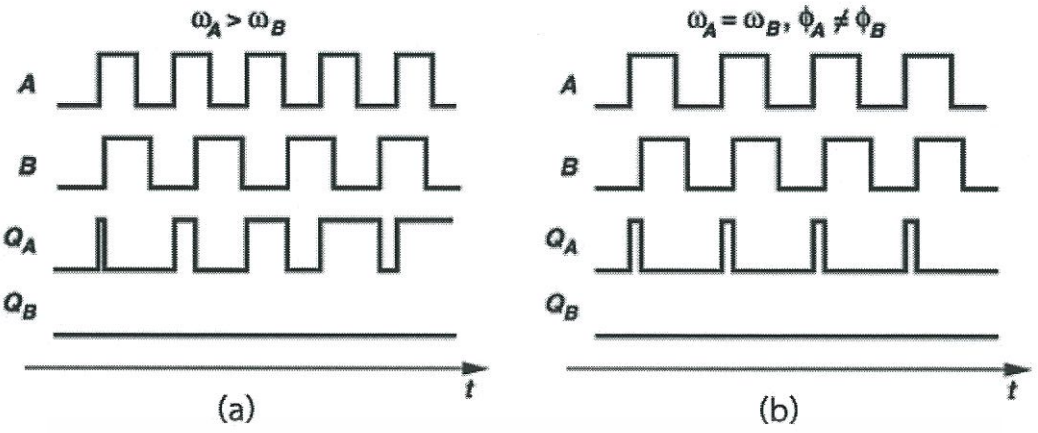


รูปที่ 2.13 คุณลักษณะสัญญาณเอาต์พุตของวงจรวัดเฟสแบบสามสถานะ

จากวงจรวัดเฟสแบบสามสถานะที่กล่าวมานี้จะมีคุณสมบัติสามารถวัดความแตกต่างระหว่างความถี่ที่อินพุต A และ B มีค่ามากกว่าหรือน้อยกว่ากัน ทำให้เวลาในเข้าสู่สภาพล็อกของเฟสล็อกลูปนั้นสั้นลงโดยเฉพาะในกรณีที่ความถี่ของสัญญาณอินพุต และความถี่ของ VCO มีค่าต่างกันมาก ซึ่งแสดงให้เห็นในรูป 2.14 (a) สัญญาณ Q_A จะมีค่ารอบการทำงาน (Duty cycle) สูง และรูป 2.14 (b) เมื่อสัญญาณอินพุตทั้งสองมีความถี่เท่ากันแต่มีเฟสที่ต่างกัน

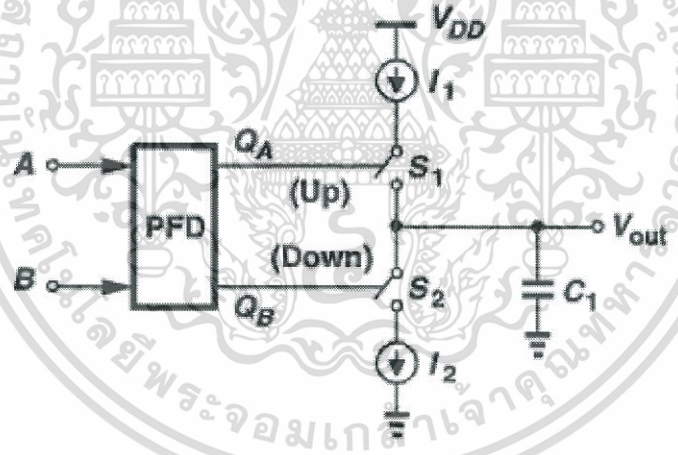
ส่วนความถี่สูงสุดของวงจรวัดเฟสจะทำงานได้ จะขึ้นอยู่กับเวลาดีเลย์ของเกตที่ใช้ในการรีเซตและเวลาตอบสนองของฟลิปฟลอฟก่อนจะเปลี่ยนสถานะ ซึ่งสามารถสังเกตได้จากสัญญาณในรูปที่ 2.12 ที่สัญญาณ Q_A และ Q_B จะมีช่วงที่สัญญาณทั้งสองมีสถานะลอจิก “1” ซ้อนทับกัน ซึ่งถ้าระยะเวลารีเซตเร็วเกินไปจะทำให้ความกว้างของสัญญาณ Q_A หรือ Q_B แคบ จนกระทั่งวงจรที่ต่อกับสัญญาณ Q_A และ Q_B ตอบสนองไม่ทัน ซึ่งจะเกิดในกรณีที่ความต่างเฟสของสัญญาณ A และ B มีค่าเกือบเป็นศูนย์ ซึ่งปัญหาดังกล่าวสามารถแก้ได้โดยการเพิ่มเวลาดีเลย์ของการรีเซต ซึ่งอาจจะทำได้โดยการทำให้เกตที่ควบคุมการรีเซตมีดีเลย์เพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 การตอบสนองสัญญาณอินพุตของ PFD เมื่อ (a) $\omega_A > \omega_B$ หรือ (b) $\omega_A = \omega_B$, $\phi_A \neq \phi_B$ [4]

2.5 เฟสล็อกลูปแบบใช้วงจรอัดประจุ (Charge-pump PLL) [4]



รูปที่ 2.15 วงจรอัดประจุ และวงจรวัดเฟสและความถี่ [4]

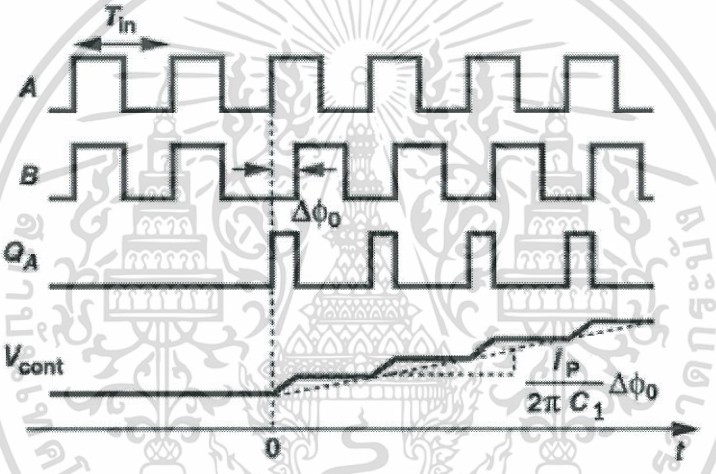
จากรูปที่ 2.15 แสดงวงจรอัดประจุ (Charge pump) ซึ่งความต่างเฟสที่ได้จาก PFD จะมาควบคุมการเปิดปิดสวิทช์ของวงจรอัดประจุ เพื่อจ่ายกระแสให้กับวงจรกรองสัญญาณของลูป สำหรับการทำงานของวงจรอัดประจุ จะรับอินพุตจาก PFD ซึ่งเป็นความต่างเฟสระหว่างสัญญาณ A และ B ถ้าสัญญาณ A มีเฟสนำสัญญาณ B สัญญาณความต่างเฟสจะออกทางเอาต์พุต Q_A (Up) ซึ่งจะควบคุมการเปิดสวิทช์ S_1 เพื่อจ่ายกระแส I_1 ให้กับวงจรกรองสัญญาณของลูป ในทางกลับกันถ้าสัญญาณ B มีเฟสนำสัญญาณ A สัญญาณความต่างเฟสจะออกทางเอาต์พุต Q_B (Down) ซึ่งจะควบคุมการเปิดสวิทช์ S_2 เพื่อดึงกระแสจากวงจรกรองสัญญาณของลูปด้วยปริมาณ I_2 ซึ่งระยะเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการจ่ายและดึงกระแสของวงจรอัดประจุจะเท่ากับความต่างของเฟส ซึ่งแรงดัน V_{cont} ที่วงจรกรองสัญญาณของลูปจะขึ้นอยู่กับกระแสเฉลี่ยของวงจรอัดประจุ

ในส่วนระบบของเฟสล็อกลูปที่ใช้วงจรอัดประจุนี้ จะให้ V_{cont} เป็นลักษณะดังรูป 2.16 โดยช่วงที่เกิดการประจุของตัวเก็บประจุโดยวงจรอัดประจุนั้น เอาต์พุตมีลักษณะแบบสัญญาณแรมพ์ ซึ่งในระบบนี้ถือว่ายังไม่เป็นเชิงเส้น แต่เมื่อพิจารณาความสัมพันธ์ระหว่าง V_{cont} กับ $\Delta\phi$ นี้จะมีความเป็นเชิงเส้น จึงทำให้เราสามารถประมาณระบบไม่ต่อเนื่องทางเวลา (Discrete-time) ได้ด้วยระบบต่อเนื่องทางเวลา (Continuous-time) เพราะเหตุนี้จึงทำให้ระบบของเฟสล็อกลูปที่ใช้วงจรอัดประจุนี้มีความเป็นเชิงเส้น

สำหรับฟังก์ชันถ่ายโอนที่ได้นี้จะอยู่ในรูปแบบ s-domain เพราะจากการวิเคราะห์ในรูปแบบ s-domain นี้จะสามารถวิเคราะห์ระบบได้ง่ายกว่าการวิเคราะห์รูปแบบโดเมนทางเวลา (Time-domain) ในส่วนของการวิเคราะห์ฟังก์ชันถ่ายโอนสามารถวิเคราะห์ได้ดังนี้



รูปที่ 2.16 การตอบสนองสัญญาณบันได (Step response) ของวงจรอัดประจุ [4]

การวิเคราะห์นั้นจะเริ่มจากสมมติคาบของอินพุตที่นำมาเทียบความต่างเฟสมีค่าเท่ากับ T_{in} และมีกระแสออกมาจากวงจรอัดประจุ เท่ากับ $\pm I_P$ จากนั้นจะเริ่มทำการวิเคราะห์โดยจะเริ่มต้นให้ $\Delta\phi$ มีค่าดังสมการ (2.51)

$$\Delta\phi = \phi_o u(t) \tag{2.51}$$

ซึ่งจะนำไปป้อนบนสัญญาณ B ดังรูปที่ 2.16 ซึ่งจะทำให้ PFD สร้างสัญญาณความต่างเฟสเป็นพัลส์กว้างเท่ากับ $\phi_o T_{in}/(2\pi)$ เมื่อสัญญาณเข้าไปยังวงจรอัดประจุไปทำการชาร์จตัวเก็บประจุของวงจรอัดประจุ แล้วทำให้ได้ค่าเอาต์พุตที่ได้นั้นเพิ่มขึ้นสเต็ปละ $(I_P/C_1)\phi_o T_{in}/(2\pi)$ ต่อ 1 คาบของสัญญาณ จากนั้นทำการประมาณค่า V_{out} ที่ได้มีลักษณะเป็นสัญญาณแรมพ์ ซึ่งจากการประมาณนี้จะทำให้ได้สมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{cont}(t) = \frac{I_P}{2\pi C_1} \cdot t \cdot \phi_o u(t) \tag{2.52}$$

มีการตอบสนองต่ออิมพัลส์ (Impulse response) เป็นไปตามสมการนี้

$$h(t) = \frac{I_P}{2\pi C_1} u(t) \tag{2.53}$$

จากสมการ (2.52) นำมาเขียนอยู่ในรูป s-domain จะได้

$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_P}{2\pi C_1} \cdot \frac{1}{s} \tag{2.54}$$

ซึ่งสมการ (2.54) นี้จะเห็นว่ามีโพลเกิดขึ้นที่จุดกำเนิด และมีค่าอัตราขยายของ PFD เท่ากับ $I_P/2\pi C_P$

จากรูปที่ 2.16 ซึ่งทำให้ได้ค่า Open-loop transfer function ดังนี้

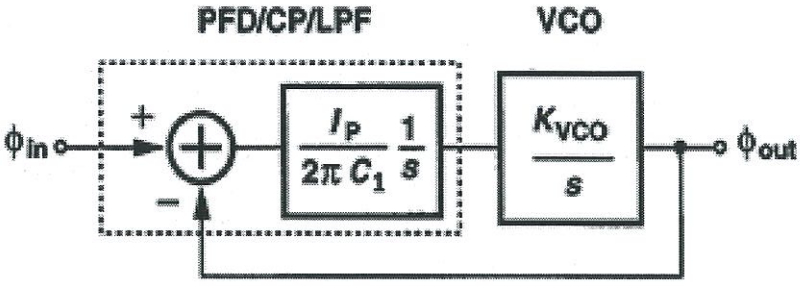
$$\left.\frac{\phi_{out}}{\phi_{in}}(s)\right|_{open} = \frac{I_P}{2\pi C_1} \cdot \frac{K_{VCO}}{s^2} \tag{2.55}$$

จากสมการ (2.55) จะเห็นว่าจะมีโพลที่จุดกำเนิดสองโพส ด้วยเหตุนี้เราจึงทำให้โครงสร้าง PLL นี้เรียกว่า รูปแบบที่ 2 (Type-II) จากรูปที่ 2.17 แสดงโมเดลเชิงเส้น (Linear model) ของ PLL ที่ใช้วงจรอัดประจุ ซึ่งจะมี Closed-loop transfer function ดังนี้

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_1}}{s^2 + \frac{I_P K_{VCO}}{2\pi C_1}} \tag{2.56}$$

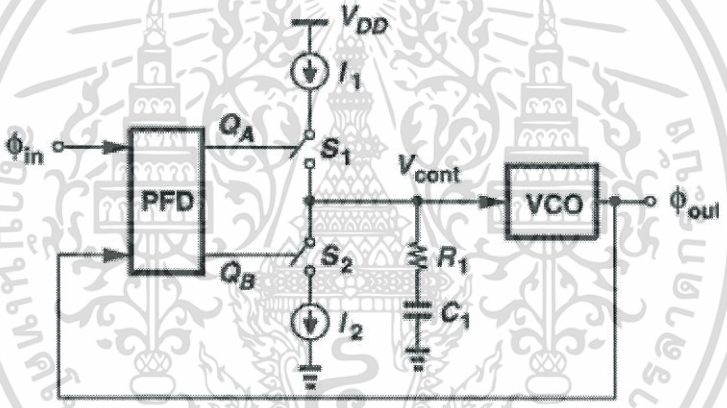
จาก Closed-loop transfer function นี้ ทำให้โพลอยู่ที่ $s_{1,2} = \pm\sqrt{I_P K_{VCO}/(2\pi C_1)}$ ซึ่งทำให้ระบบไม่มีเสถียรภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 โมเดลเชิงเส้นของ PLL ที่ใช้วงจรอัดประจุ [4]

เพื่อที่แก้ปัญหาด้านเสถียรภาพของระบบ ทำโดยการเพิ่มค่าซีโร (Zero) เข้าไปในระบบ ซึ่งสามารถทำได้โดยการนำตัวต้านทานมาต่ออนุกรมกับตัวเก็บประจุของวงจรกรองสัญญาณของลูปดังรูปที่ 2.18



รูปที่ 2.18 วงจรอัดประจุที่ทำการเพิ่มค่าซีโรเข้าไปในระบบ [4]

จากรูปที่ 2.18 ทำให้ได้สมการฟังก์ชันถ่ายโอนใหม่ดังนี้

$$\frac{V_{out}}{\Delta\phi}(s)=\frac{I_P}{2\pi}\left(R_1+\frac{1}{C_1 s}\right) \tag{2.57}$$

และมี Open-loop transfer function เป็น

$$\left.\frac{\phi_{out}}{\phi_{in}}(s)\right|_{open}=\frac{I_P}{2\pi}\left(R_1+\frac{1}{C_1 s}\right)\cdot\frac{K_{VCO}}{s} \tag{2.58}$$

จากสมการข้างต้นทำให้ได้ Closed-loop transfer function ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

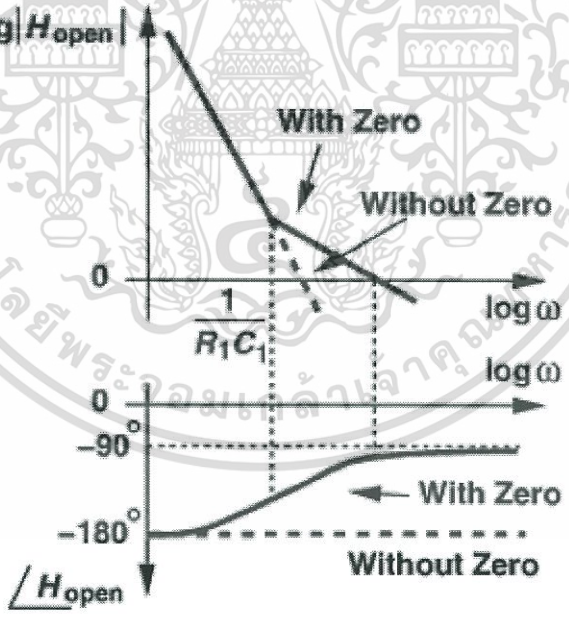
$$H(s)=\frac{\frac{I_P K_{VCO}}{2\pi C_1}(R_1 C_1 s+1)}{s^2+\frac{I_P}{2\pi}K_{VCO}R_1 s+\frac{I_P}{2\pi C_1}K_o} \tag{2.59}$$

จากสมการ Closed-loop system จะได้ซีโรเท่ากับ $s_z=-1/(R_1C_1)$ และทำให้ได้ค่า ω_n และ ζ ดังนี้

$$\omega_n=\sqrt{\frac{I_P K_{VCO}}{2\pi C_1}} \tag{2.60}$$

$$\zeta=\frac{R_1}{2}\sqrt{\frac{I_1 C_1 K_{VCO}}{2\pi}} \tag{2.61}$$

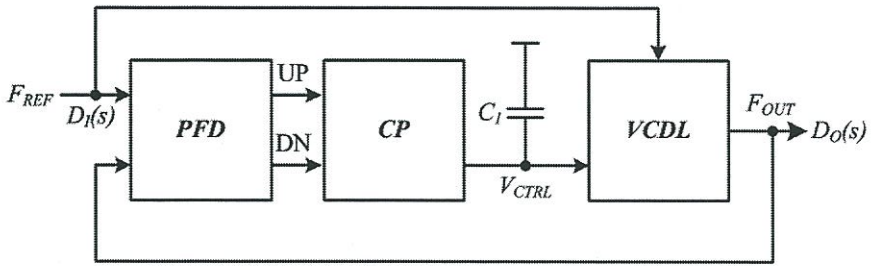
เมื่อนำ Open-loop transfer function มาพล็อตการตอบสนองความถี่ของเฟสล็อกลูปแบบใช้วงจรอัดประจุ แบบมีซีโร และไม่มีซีโร ผลเปรียบเทียบแสดงดังรูปที่ 2.19



รูปที่ 2.19 การตอบสนองความถี่ Open-loop transfer function ของเฟสล็อกลูปแบบใช้วงจรอัดประจุ เปรียบเทียบระหว่างมีซีโร และไม่มีซีโร [4]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ดีเลย์ล็อกลูป (Delay-locked loop : DLL)



รูปที่ 2.20 บล็อกไดอะแกรมของดีเลย์ล็อกลูป

สำหรับดีเลย์ล็อกลูปมีการทำงาน และโครงสร้างที่คล้ายกับเฟสล็อกลูป การทำงานของดีเลย์-ล็อกลูปนั้นจะเปรียบเทียบความต่างเฟสระหว่างสัญญาณอินพุต $D_I(s)$ และเอาต์พุต $D_O(s)$ ซึ่งจะถูกแปลงเป็นแรงดันควบคุม V_{CTRL} เพื่อปรับดีเลย์เวลาของสัญญาณนาฬิกาของเอาต์พุตไปอีกคาบเวลาของอินพุต โดยส่วนที่ดีเลย์สัญญาณนาฬิกานี้ จะใช้วงจรแรงดันควบคุมดีเลย์ (Voltage-controlled delay line : VCDL) รูปที่ 2.20 แสดงบล็อกไดอะแกรมของดีเลย์ล็อกลูป สำหรับการวิเคราะห์ความสัมพันธ์ของฟังก์ชันถ่ายโอน มีลักษณะเดียวกับเฟสล็อกลูป แต่สำหรับดีเลย์ล็อกลูปนั้นระบบจะมีความซับซ้อนน้อยกว่า เนื่องจากดีเลย์ล็อกลูปมีโพลจากวงจรกรองสัญญาณของลูปอย่างเดียว ทำให้การออกแบบให้มีเสถียรภาพทำได้ง่ายกว่า เนื่องจากดีเลย์ล็อกลูปโดยทั่วไปกับดีเลย์ล็อกลูปที่ใช้การไบอัสตัวเองที่จะศึกษาในโครงงานนี้มีโครงสร้างระบบ และฟังก์ชันถ่ายโอนที่เหมือนกัน แต่จะแตกต่างกันที่ลักษณะการควบคุมในวงจร ดังนั้นจะขอกล่าวถึงดีเลย์ล็อกลูปโดยละเอียดในบทที่ 3

สำหรับการเทคนิคในการออกแบบเฟสล็อกลูป และดีเลย์ล็อกลูปในโครงงานนี้จะใช้การไบอัสตัวเอง ซึ่งรายละเอียดต่างๆที่เกี่ยวข้องกับการออกแบบออกแบบเฟสล็อกลูป และดีเลย์ล็อกลูปโดยใช้เทคนิคไบอัสตัวเองจะกล่าวอย่างละเอียดในบทที่ 3 ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
เฟสล็อกลูป และดีเลย์ล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง

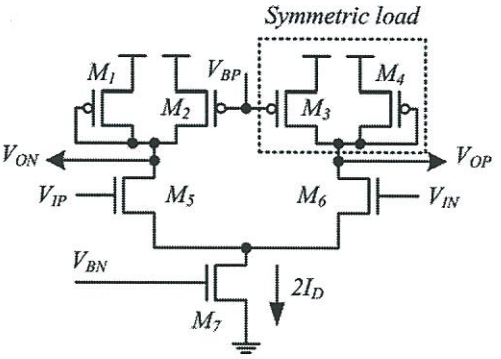
ดีเลย์ล็อกลูป (Delay-locked loop) และเฟสล็อกลูป (Phase-locked loop) โดยทั่วไปจะใช้งานทางด้านการเชื่อมต่อสื่อสารระหว่างอินพุต และเอาต์พุตที่เกี่ยวข้องกับสัญญาณนาฬิกาของวงจรรวมดิจิตอล เพื่อให้สัญญาณนาฬิกาที่กระจายไปในส่วนต่างๆของวงจรมีเวลาที่สอดคล้องกับสัญญาณอ้างอิง และปรับปรุงสัญญาณนาฬิกาของระบบ แต่อย่างไรก็ตาม ความต้องการที่จะเพิ่มความเร็วในการทำงานของอินพุต และเอาต์พุตนั้น ทำให้สร้างสัญญาณรบกวนขึ้นมา โดยทั่วไปสัญญาณรบกวนเหล่านี้มาจากแหล่งจ่าย และสัญญาณรบกวนซับสเตรท (Substrate noise) ซึ่งมีแนวโน้มให้เกิดจิทเตอร์ (Jitter) ของสัญญาณนาฬิกา การลดลงของคาบเวลาของสัญญาณนาฬิกาขาออกของดีเลย์ล็อกลูป และเฟสล็อกลูปจะทำให้จิทเตอร์มีผลกระทบต่อสัญญาณนาฬิกามากขึ้น ดังนั้นการออกแบบให้ดีเลย์ล็อกลูป และเฟสล็อกลูป จึงเป็นสิ่งที่ท้าทาย

สำหรับการออกแบบดีเลย์ล็อกลูป และเฟสล็อกลูปให้จิทเตอร์ต่ำนั้นเป็นไปได้ยากเนื่องจากค่าที่ได้จากการออกแบบมักจะไม่คงที่ หรือกล่าวอีกนัยหนึ่ง คือได้อีกค่าหนึ่งแต่อาจจะลดอีกค่าหนึ่ง หรือมีการแลกเปลี่ยนซึ่งกันและกัน ซึ่งเฟสล็อกลูปโดยทั่วไปประกอบด้วยวงจรแรงดันควบคุมความถี่ (Voltage controlled oscillator) ปริมาณการติดตามจิทเตอร์อินพุต (Input tracking jitter) เกิดขึ้นนี้เป็นผลมาจากแหล่งจ่าย และสัญญาณรบกวนซับสเตรทมีความสัมพันธ์โดยตรงต่อความสามารถล็อกสัญญาณได้รวดเร็วเพียงใด เพราะฉะนั้นการที่จะลดจิทเตอร์จะต้องมีลูปแบนด์วิดธ์ที่สูง แต่ลูปแบนด์วิดธ์จะแปรผันกับเทคโนโลยีที่ใช้ในการผลิตวงจรรวม และยังถูกจำกัดโดยลูปแบนด์-วิดธ์ต้องต่ำกว่าค่าความถี่ที่ทำงาน [5] เพื่อความเสถียรของระบบ ซึ่งข้อจำกัดนี้เป็นสาเหตุที่ทำให้เฟสล็อกลูปมีช่วงความถี่ที่ใช้งานนั้นแคบ และประสิทธิภาพการกำจัดจิทเตอร์ไม่ดี แม้ว่าดีเลย์ล็อกลูปโดยทั่วไปนั้นประกอบด้วยวงจรหน่วงเวลา แต่ดีเลย์ล็อกลูปมีช่วงหน่วงเวลาที่จำกัดเนื่องจากเสถียรภาพ ซึ่งปัญหานี้เป็นปัญหาที่เกิดลักษณะคล้ายกันกับเฟสล็อกลูป ดังนั้นเพื่อที่จะแก้ปัญหาที่ว่ามานี้จะใช้เทคนิคไบอัสตัวเอง ซึ่งการใช้เทคนิคไบอัสด้วยตัวเองนี้สามารถกำจัดสิ่งที่กระทบต่อการออกแบบเฟสล็อกลูป และดีเลย์ล็อกลูปในด้านการแปรผันที่ขึ้นกับเทคโนโลยีที่ใช้ผลิตวงจรรวม และความแปรปรวนของสิ่งแวดล้อม เทคนิคนี้ยังทำให้แบนด์วิดธ์สามารถติดตามความถี่ทำงานได้ ส่งผลให้ช่วงความถี่ทำงานได้กว้าง และสัญญาณรบกวนที่ทำให้เกิดจิทเตอร์นั้นต่ำ นอกจากนี้ในการออกแบบค่าปัจจัยหน่วง (Damping factor) ให้มีค่าคงที่สำหรับเฟสล็อกลูป และอัตราส่วนแบนด์วิดธ์ ต่อความถี่ทำงานถูกกำหนดโดยอัตราส่วนของค่าความจุของอุปกรณ์ในเทคโนโลยี สำหรับแนวคิดหลักของวิธีการไบอัสตัวเอง คือการสร้างแรงดัน และกระแสสำหรับไบอัสวงจร โดยระดับการไบอัสที่จุดทำงานนั้นจะถูกกำหนดโดยความถี่ทำงาน ซึ่งไม่จำเป็นต้องใช้การวงจรไบอัสจากภายนอก

3.1 วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ (Differential buffer)

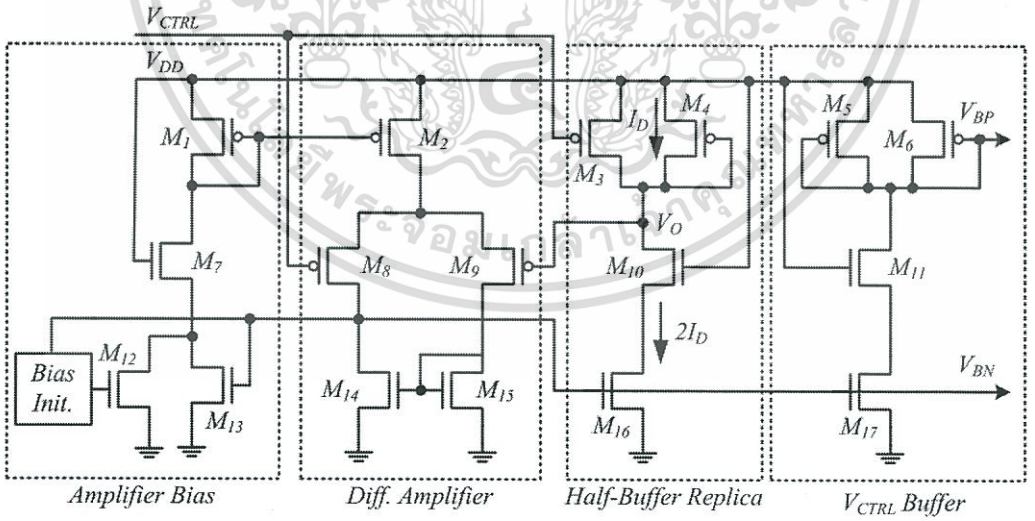
เพื่อให้เฟสล็อกลูป และดีเลย์ล็อกลูป มีจิทเตอร์ต่ำการออกแบบวงจรบัฟเฟอร์เพื่อนำไปใช้ใน VCDL และ VCO จะต้องมีความไวต่อสัญญาณรบกวนจากแหล่งจ่าย และซับสเตรทต่ำ ดังนั้นโครงสร้างที่ใช้จะเป็นวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric และใช้วงจรไบอัสแบบ replica-feedback biasing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric

วงจรดิฟเฟอเรนเชียลบัฟเฟอร์แสดงดังรูปที่ 3.1 ประกอบไปด้วย source coupled pair และ resistive load แบบ symmetric loads ซึ่งประกอบไปด้วยทรานซิสเตอร์ M_1 และ M_3 ต่อในลักษณะไดโอด ขนานกับทรานซิสเตอร์ M_2 และ M_4 ทำหน้าที่ไบอัส ซึ่งทั้งคู่มีขนาดเท่า โดย M_2 และ M_4 จะรับแรงดัน V_{BP} ซึ่งมีค่าเท่ากับแรงดันควบคุมที่เข้าสู่วงจรกำเนิดไบอัส V_{CTRL} เพื่อควบคุม effective resistance ของโหลด ทำให้ดีเลย์ของบัฟเฟอร์เปลี่ยนแปลงตามแรงดัน V_{CTRL} แรงดันเอาต์พุตสวิงต่ำของบัฟเฟอร์จะถูกจำกัดด้วยแรงดัน V_{CTRL} ส่วนทรานซิสเตอร์ M_7 เป็นแหล่งจ่ายกระแส ถูกไบอัสด้วยแรงดัน V_{BN} ซึ่งวงจรนี้สามารถให้การกำจัด static supply และสัญญาณรบกวนซับสเตรทสูง



รูปที่ 3.2 วงจรกำเนิดไบอัสแบบ Replica-feedback

วงจรกำเนิดไบอัส แสดงดังรูปที่ 3.2 แรงดันไบอัส V_{BN} และ V_{BP} ถูกสร้างจาก V_{CTRL} ซึ่งจะทำหน้าที่ปรับไบอัสกระแสของบัฟเฟอร์ให้เอาต์พุตสวิงต่ำสุดของบัฟเฟอร์อยู่ที่ V_{CTRL} เพื่อที่จะกำหนดคุณลักษณะของ symmetric loads วงจรกำเนิดสัญญาณไบอัสจะต้องสร้างกระแสคงที่ และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ทางการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นอิสระกับแหล่งจ่าย โดยโครงสร้างประกอบไปด้วยวงจรขยายผลต่าง (Differential amplifier) และ half-buffer replica วงจรขยายผลต่างจะปรับแรงดัน V_{BN} จนแรงดังที่เอาต์พุตของ half-buffer replica V_O เท่ากับแรงดัน V_{CTRL} ซึ่งเป็นจุดจำกัดเอาต์พุตสวิงต่ำของวงจรดิฟเฟอเรนเชียล-บัฟเฟอร์ ดังนั้นกระแสของ half-buffer replica $2 \cdot I_D$ ถูกสร้างโดยทรานซิสเตอร์ M_3 และ M_4 ซึ่งเป็น symmetric load ที่ถูกไบอัสด้วยแรงดัน V_{CTRL} ซึ่งมีความสัมพันธ์ดังสมการ (3.1) นอกจากนี้มีการเพิ่มส่วน V_{CTRL} *buffer* เพื่อแยก V_{CTRL} จาก capacitive coupling ในวงจรบัฟเฟอร์ และยังมีบทบาทสำคัญในการออกแบบเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองอีกด้วย นอกจากนี้กระแส $2 \cdot I_D$ จะใช้ไบอัสวงจรขยายผลต่าง และวงจรส่วนอื่นๆในเฟสล็อกลูปอีกด้วย

เนื่องจากทรานซิสเตอร์ M_3 และ M_4 ถูกไบอัสด้วยแรงดัน V_{CTRL} ดังนั้น $V_{SG} = V_{CTRL}$ จะได้

$$2 \cdot I_D = k \cdot (V_{CTRL} - V_T)^2 \tag{3.1}$$

Symmetric load และคุณลักษณะ IV แสดงดังรูปที่ 3.3 ซึ่งบัฟเฟอร์ถูกไบอัสด้วยวงจรกำเนิดไบอัสด้วยกระแสเดียวกับที่ไหลผ่าน symmetric load ที่ half-buffer replica จากรูปทรานซิสเตอร์ทั้งสองจะขนานกัน ซึ่งทรานซิสเตอร์ M_1 จะถูกไบอัสด้วยแรงดัน V_{CTRL} ส่วนทรานซิสเตอร์ M_2 จะต่อลักษณะไดโอด ขณะที่แรงดันเอาต์พุตของบัฟเฟอร์มีค่าสูงสุด หรือเท่ากับ V_{DD} แรงดัน V หรือแรงดัน V_{SD} ทรานซิสเตอร์ มีค่าเท่ากับ 0 ทำให้ทรานซิสเตอร์ M_1 และ M_2 ไม่นำกระแส เมื่อแรงดันเอาต์พุตของบัฟเฟอร์ลดต่ำลง ทำให้แรง V มีค่ามากกว่า 0 ทรานซิสเตอร์ M_1 จะเริ่มนำกระแสอยู่ในย่านเชิงเส้น ส่วนทรานซิสเตอร์ M_2 ยังคงไม่นำกระแส ซึ่งจากกราฟ IV จะเห็นว่าแสจะเพิ่มขึ้นจาก 0 ไป I_D เมื่อแรงดัน V เพิ่มขึ้น ซึ่งกระแสที่ไหลนี้เป็นกระแสของทรานซิสเตอร์ M_1 ที่ทำงานอยู่ในย่านเชิงเส้น เมื่อแรงดันเอาต์พุตของบัฟเฟอร์ลดต่ำลงจนทำให้แรง V มีค่ามากกว่า V_{DSAT} ของทรานซิสเตอร์จะทำให้กระแสของทรานซิสเตอร์ M_1 เริ่มเข้าสู่ย่านอิ่มตัว เท่ากับ I_D แต่ในขณะเดียวกัน แรงดัน V_{SG} ของทรานซิสเตอร์ M_2 ก็เริ่มมีค่าเพิ่มขึ้นถึงแรงดันขีดเริ่ม V_T ทำให้ทรานซิสเตอร์ M_2 ซึ่งต่อลักษณะไดโอดเริ่มนำกระแสในย่านอิ่มตัว ทำให้กระแสรวมของโหลด I เท่ากับกระแสรวมของทรานซิสเตอร์ ซึ่งกระแสจะเพิ่มขึ้นตามแรงดัน V_{SG} ของทรานซิสเตอร์ M_2 ไปจนแรงดัน V มีค่าเท่ากับ V_{CTRL} ซึ่งเป็นจุดเอาต์พุตสวิงต่ำสุดของบัฟเฟอร์

จากที่กล่าวมาทั้งหมดนี้ ทำสามารถอธิบายความสัมพันธ์ของความต้านทานเชิงสัญญาณขนาดเล็ก (Small signal resistance) ของโหลดได้ ว่าช่วงกระแสทรานซิสเตอร์ M_1 นำกระในย่านเชิงเส้น ความต้านทานเชิงสัญญาณขนาดเล็กจะประมาณ $1/g_m$ ส่วนช่วงที่ทรานซิสเตอร์ M_1 และ M_2 นำกระแสในย่านอิ่มตัว ความต้านทานเชิงสัญญาณขนาดเล็กของทรานซิสเตอร์ M_1 จะมีค่าเท่ากับ r_o ของทรานซิสเตอร์ซึ่งมีค่ามาก ส่วนทรานซิสเตอร์ M_2 จะมีความต้านทานเชิงสัญญาณขนาดเล็กประมาณ $1/g_m$ เนื่องจากการต่อในลักษณะไดโอด ซึ่งความต้านทานรวมจะประมาณ $1/g_m$ ดังนั้นตลอดช่วงการสวิงของแรงดันเอาต์พุตของบัฟเฟอร์ความต้านทานของโหลดมีค่าประมาณ $1/g_m$ ซึ่งสามารถแสดงให้เห็นว่า effective resistance ของ symmetric load R_{EFF}

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นสัดส่วนโดยตรงกับความต้านทานเชิงสัญญาณขนาดเล็ก หรือส่วนกลับของความนำ (Transconductance) $1/g_m$ ของทรานซิสเตอร์ M_1 หรือ M_2 ณ จุดปลายของกราฟ ทรานซิสเตอร์ทั้งสองจะถูกไบอัสด้วยแรงดัน V_{CTRL} ดังนั้นกระแสเดรนของทรานซิสเตอร์แต่ละตัวกำหนดโดยสมการ (3.2)

$$I_D = \frac{k}{2}(V_{CTRL} - V_T)^2 \tag{3.2}$$

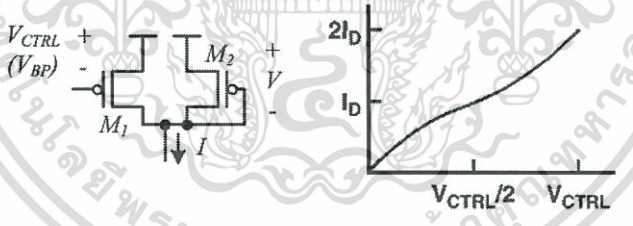
เมื่อหาอนุพันธ์สมการ (3.2) เทียบกับ V_{CTRL} จะได้ความนำดังสมการดังนี้

$$g_m = k \cdot (V_{CTRL} - V_T) = \sqrt{2 \cdot k \cdot I_D} \tag{3.3}$$

ดังนั้นบัฟเฟอร์ดีเลย์ถูกกำหนดโดยสมการ (3.4)

$$t = R_{EFF} \cdot C_{EFF} = \frac{1}{g_m} \cdot C_{EFF} \tag{3.4}$$

$$t = \frac{C_{EFF}}{k \cdot (V_{CTRL} - V_T)} \tag{3.5}$$

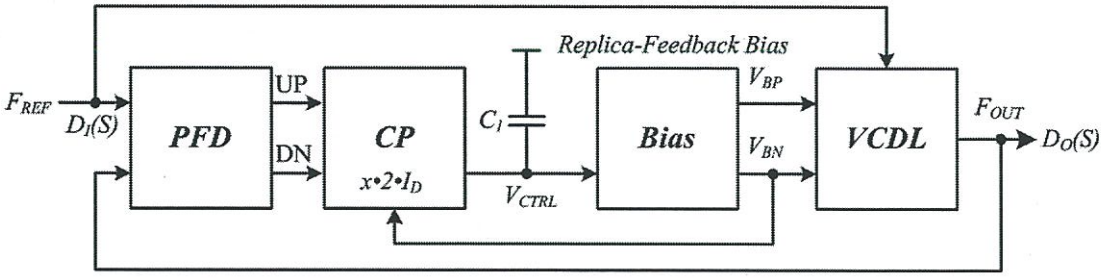


รูปที่ 3.3 คุณลักษณะ IV ของ symmetric load

3.2 ดีเลย์ล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง (Self-Biased Delay-Locked Loop)

ดีเลย์ล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง แสดงดังรูปที่ 3.4 ประกอบไปด้วย วงจรวัดเฟส และความถี่ วงจรอัดประจุ (Charge pump) วงจรกรองสัญญาณของลูป (Loop filter) วงจรกำเนิดไบอัส และ VCDL ระบบป้อนกลับลบในลูปจะปรับดีเลย์ผ่าน VCDL โดยการอินทิเกรตความคลาดเคลื่อน-เฟสระหว่างสัญญาณอินพุตอ้างอิง และ VCDL เอาต์พุต ในสถานะล็อก VCDL จะดีเลย์สัญญาณอินพุตอ้างอิงด้วยระยะเวลาคงที่สู่เอาต์พุต ในสถานะนี้จะไม่มีความคลาดเคลื่อนของเฟสระหว่างสัญญาณอินพุตอ้างอิง และสัญญาณเอาต์พุต ดีเลย์ล็อกลูปสามารถใช้เป็นบัฟเฟอร์สัญญาณนาฬิกาอินพุตโดยปราศจากผลกระทบของดีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 บล็อกไดอะแกรมของดีเลย์ล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง

การตอบสนองความถี่ (Frequency response) ของดีเลย์ล็อกลูปสามารถวิเคราะห์โดยประมาณแบบต่อเนื่องทางเวลา (Continuous time approximation) เมื่อความถี่ในการสุ่มของวงจรวัดเฟส และความถี่ หรือ ความถี่อินพุตอ้างอิงประมาณสิบเท่า หรือมากกว่าสิบเท่าของลูป-แบนด์วิดธ์ การจำกัดแบนด์วิดธ์นี้เพื่อเสถียรภาพ เนื่องจากลดส่วนเผื่อเฟสใกล้โพลอันดับที่สูง วงจรกรองสัญญาณของลูปอินทิเกรตความคลาดเคลื่อนเฟส ทำให้ดีเลย์ล็อกลูปเป็นระบบอันดับที่ 1 เอาต์พุตดีเลย์ $D_O(s)$ มีความสัมพันธ์กับอินพุตดีเลย์ $D_I(s)$ ดังนี้

$$D_O(s) = (D_I(s) - D_O(s)) \cdot F_{REF} \cdot \frac{I_{CH}}{sC_1} \cdot K_{DL} \tag{3.6}$$

โดย F_{REF} คือความถี่อินพุตอ้างอิง (Hz) I_{CH} คือการแสวงจรอัดประจุ (A) C_1 คือค่าความ-จุตัวเก็บประจุของวงจรกรองสัญญาณของลูป (F) และ K_{DL} คืออัตราขยายของ VCDL (s/V) ผลคูณของผลต่างดีเลย์ และความถี่อินพุตอ้างอิงมีค่าเป็นเศษส่วนของคาบเวลาสัญญาณอินพุตอ้างอิง กระตุ้นวงจรอัดประจุ เพื่อควบคุมกระแสเฉลี่ยที่เอาต์พุตของวงจรอัดประจุ ผลคูณของกระแสเฉลี่ยฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณของลูป และ อัตราขยายของ VCDL จะกำหนดเอาต์พุตดีเลย์ จากสมการ (3.6) จะได้ฟังก์ชั่นถ่ายโอนของดีเลย์ล็อกลูปดังนี้

$$\frac{D_o(s)}{D_I(s)} = \frac{1}{1 + s/\omega_N} \tag{3.7}$$

เมื่อ ω_n คือลูปแบนด์วิดธ์ (rad/s) กำหนดโดย

$$\omega_N = I_{CH} \cdot K_{DL} \cdot F_{REF} \cdot C_1 \tag{3.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (3.8) ถ้ากระแสวงจรอัดประจุ I_{CH} และ อัตราขยายของ VCDL K_{DL} คงที่ ลูป-แบนด์วิดธ์จะติดตามความถี่อินพุตอ้างอิงได้ อย่าไรก็ตาม ค่าพารามิเตอร์ I_{CH}, K_{DL} และ C_1 จะแปรผันตามเทคโนโลยีในการผลิตวงจรรวม ทำให้ลูปแบนด์วิดธ์นั้นแปรผันรอบๆค่าที่ออกแบบ

วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric ถูกนำมาใช้ใน VCDL แสดงดังรูปที่ 3.5 ถ้าต่อบัฟเฟอร์ดีเลย์ n ภาค จะได้ดีเลย์เป็นฟังก์ชันกับแรงดัน V_{CTRL} ดังสมการ (3.9) และมีคุณลักษณะดังรูปที่ 3.6

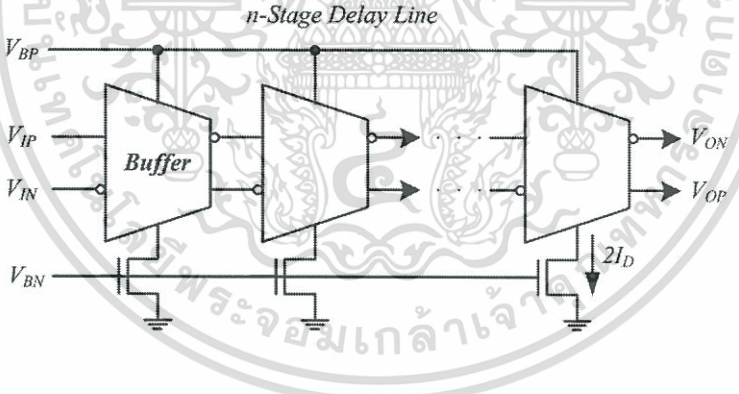
$$D = n \cdot t = \frac{C_B}{2 \cdot k \cdot (V_{CTRL} - V_T)} \tag{3.9}$$

กำหนดให้ C_B คือ $2 \cdot n \cdot C_{EFF}$

หาอนุพันธ์สมการ (3.9) เทียบกับ V_{CTRL} จะได้อัตราขยายของ VCDL กำหนดโดย

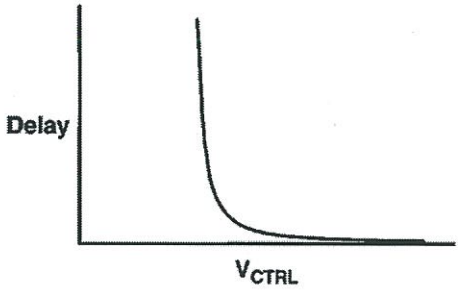
$$K_{DL} = \left| \frac{dD}{dV_{CTRL}} \right| = \frac{C_B}{2 \cdot k \cdot (V_{CTRL} - V_T)^2} = \frac{C_B}{4 \cdot I_D} \tag{3.10}$$

ดังนั้น K_{DL} แปรผันกับส่วนกลับของกระแสไบอัสบัฟเฟอร์



รูปที่ 3.5 วงจร VCDL ที่ประกอบด้วยวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 คุณลักษณะดีเลย์ของดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric [1]

ดีเลย์สามารถเปลี่ยนแปลงได้ตลอดช่วง แต่ไม่มีความเป็นเชิงเส้นเทียบกับแรงดัน V_{CTRL} ซึ่งดีเลย์มีความสัมพันธ์เป็นสัดส่วนกับ $1/(V_{CTRL}-V_T)$ และความชัน หรืออัตราขยายของ VCDL เป็นสัดส่วนกับ $1/(V_{CTRL}-V_T)^2$ หรือ $1/I_D$ ความถี่ทำงานจะถูกลด เนื่องจากดีเลย์ช่วงกว้าง K_{DL} มีค่ามากจะเพิ่มลูปแบนด์วิดธ์ต่อความถี่ทำงาน ทำให้มีผลกระทบต่อเสถียรภาพ เนื่องจากเสถียรภาพถูกกำหนดอยู่ที่ความถี่ต่ำ

ผลกระทบจากเสถียรภาพจากความไม่เป็นเชิงเส้นตลอดช่วงดีเลย์สามารถแก้ไขได้โดยใช้เทคนิคไบอัสตัวเอง โดยกำหนดให้กระแสวงจรอัดประจุ I_{CH} ถูกกำหนดโดยกระแสบัฟเฟอร์ไบอัส $2\cdot I_D$ ดังสมการ (3.11) ทำให้ $1/I_D$ ของ K_{DL} ถูกหักล้าง ส่งผลให้ลูปแบนด์วิดธ์ติดตามความถี่ทำงานโดยปราศจากการจำกัดช่วงความถี่ทำงาน

$$I_{CH} = x\cdot(2\cdot I_D) \tag{3.11}$$

โดย x คืออัตราส่วนสะท้อนกระแส

สำหรับที่กล่าวมาทั้งหมดนี้เราสามารถที่จะหาความสัมพันธ์อัตราส่วนของลูปแบนด์วิดธ์กับความถี่ทำงานได้ดังนี้

$$\frac{\omega_N}{\omega_{REF}} = \frac{1}{\omega_{REF}}\cdot I_{CH}\cdot K_{DL}\cdot F_{REF}\cdot\frac{1}{C_1} \tag{3.12}$$

$$= \frac{1}{2\pi}\cdot I_{CH}\cdot K_{DL}\cdot\frac{1}{C_1} \tag{3.13}$$

$$= \frac{1}{2\pi}\cdot x\cdot(2\cdot I_D)\cdot\frac{C_B}{4\cdot I_D}\cdot\frac{1}{C_1} \tag{3.14}$$

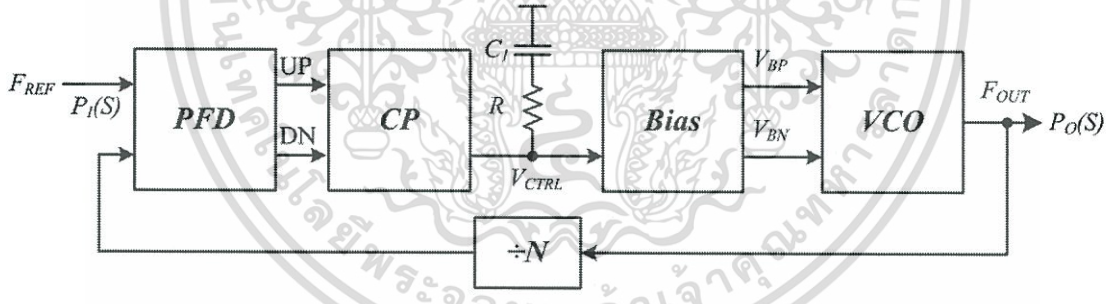
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{x}{4\pi} \cdot \frac{C_B}{C_1} \tag{3.15}$$

จากความสัมพันธ์ดังข้างต้นนี้จะเห็นว่าอัตราส่วนของลูปแบนด์วิดธ์ต่อความถี่ทำงานนั้นคงที่และขึ้นอยู่กับอัตราส่วนของค่าความจุเพียงอย่างเดียว ซึ่งสามารถลดความไวต่อการแปรผันของการผลิตได้

3.3 เฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง (Self-Biased Phase-Locked Loop)

เฟสล็อกลูปโดยใช้เทคนิคการไบอัสตัวลักษณะการควบคุมคล้ายกับดีเลย์ล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง แต่การไบอัสตัวเองในเฟสล็อกลูปมีความซับซ้อนมากกว่า ซึ่งจะนำเสนอโดยเฟส-ล็อกลูปทั่วแสดงดังรูปที่ 3.7 ประกอบไปด้วย วงจรวัดเฟส และความถี่ วงจรอัดประจุ วงจรกรองสัญญาณของลูป วงจรกำเนิดไบอัส และ VCO ส่วนที่แตกต่างจากดีเลย์ล็อกลูป คือในเฟสล็อกลูปจะใช้ VCO แทน VCDL และต้องการตัวต้านทานในลูปวงจรกรองสัญญาณของลูปเพื่อเสถียรภาพ ระบบป้อนกลับลบในลูปจะปรับความถี่ VCO ในสถานะล็อก VCO จะกำเนิดความถี่ N เท่าของความถี่อินพุตอ้างอิง ซึ่งในสถานะนี้จะไม่มีความคลาดเคลื่อนของเฟสระหว่าสัญญาณอินพุตอ้างอิง และสัญญาณเอาต์พุตที่ถูกหารด้วย N เฟสล็อกลูปจึงสามารถใช้คูณความถี่ และเป็นบัฟเฟอร์สัญญาณนาฬิกาอินพุตโดยปราศจากผลกระทบของดีเลย์



รูปที่ 3.7 บล็อกไดอะแกรมของเฟสล็อกลูปโดยทั่วไป

การตอบสนองความถี่ ของเฟสล็อกลูปสามารถวิเคราะห์โดยประมาณแบบต่อเนื่องทางเวลาเมื่อความถี่ในการสุ่มของวงจรวัดเฟส และความถี่ หรือ ความถี่อินพุตอ้างอิงประมาณสิบเท่า หรือมากกว่าสิบเท่าของลูปแบนด์วิดธ์ การจำกัดแบนด์วิดธ์นี้เพื่อเสถียรภาพ เนื่องจากลดส่วนเผื่อเฟสใกล้โพลอันดับที่สูง วงจรกรองสัญญาณของลูปอินทิเกรตประจุแสดงในรูปของความคลาดเคลื่อนเฟส และ VCO อินทิเกรตความถี่เอาต์พุตจากความคลาดเคลื่อนเฟส ทำให้ดีเลย์ล็อกลูปเป็นระบบอันดับที่ 2 เอาต์พุตเฟส $P_O(s)$ มีความสัมพันธ์กับอินพุตเฟส $P_I(s)$ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_O(s) = \left(P_I(s) - \frac{P_O(s)}{N} \right) \cdot I_{CH} \cdot \left(R + \frac{1}{sC_1} \right) \cdot K_V \cdot \frac{1}{s} \quad (3.16)$$

โดย I_{CH} คือ กระแสของวงจรอัดประจุ (A) R คือ ความต้านทานของตัวต้านทานของวงจรกรองสัญญาณของลูป (Ω) C_1 คือ ค่าตัวเก็บประจุของวงจรกรองสัญญาณของลูป (F) K_V คืออัตราขยายของ VCO (Hz/V)

จากสมการดังกล่าวนี้สามารถเขียนความสัมพันธ์ของ Closed-loop response ได้ดังนี้

$$\frac{P_O(s)}{P_I(s)} = \left(\frac{1}{N} + \frac{s}{I_{CH} \cdot (R + 1/(sC_1)) \cdot K_V} \right)^{-1} \quad (3.17)$$

$$= \frac{N \cdot (1 + s \cdot C_1 \cdot R)}{1 + s \cdot C_1 \cdot R + s^2 / (I_{CH} / C_1 \cdot K_V / N)} \quad (3.18)$$

หรือ

$$\frac{P_O(s)}{P_I(s)} = N \cdot \frac{1 + 2 \cdot \zeta \cdot (s/\omega_N)}{1 + 2 \cdot \zeta \cdot (s/\omega_N) + (s/\omega_N)^2} \quad (3.19)$$

โดย ζ คือ ปัจจัยหน่วง (Damping factor)

$$\zeta = \frac{1}{2} \sqrt{\frac{1}{N} \cdot I_{CH} \cdot K_V \cdot R^2 \cdot C_1} \quad (3.20)$$

และ ω_N คือ ลูปแบนด์วิดธ์ (rad/s)

$$\omega_N = \frac{2 \cdot \zeta}{R_1 \cdot C_1} \quad (3.21)$$

สำหรับเฟสล็อกลูปทั่วไปกระแสวงจรอัดประจุ I_{CH} อัตราขยายของ VCO K_V ความต้านทานวงจรกรองสัญญาณของลูป R มีค่าคงที่ ซึ่งเงื่อนไขเหล่านี้ทำให้ปัจจัยหน่วง และลูปแบนด์-วิดธ์มีค่าคงที่

ในเฟสล็อกลูปจะปรับความถี่เอาต์พุต ซึ่งไม่เหมือนในดีเลย์ล็อกลูปที่ปรับเฟสเอาต์พุตทำให้เกิดการสะสมความคลาดเคลื่อนเฟสในแต่ละรอบจนกว่าสามารถแก้ไขความคลาดเคลื่อนของความถี่ได้ ซึ่งความคลาดเคลื่อนจะถูกสะสมเป็นจำนวนรอบเป็นสัดส่วนกับความถี่ทำงานหารด้วยลูปแบนด์-วิดธ์ ดังนั้นควรเลือกลูปแบนด์วิดธ์ให้ใกล้ความถี่ทำงานมากที่สุด เพื่อลดความคลาดเคลื่อนเฟสรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปทั้ง ζ และ ω_N/ω_{REF} ควรมีค่าคงเพื่อไม่จำกัดความถี่ทำงาน และปรับปรุงประสิทธิภาพจิทเตอร์ ในเฟสล็อกลูปถ้ากำหนดให้ I_{CH} ถูกกำหนดโดยกระแสไบอัสบัฟเฟอร์ $2 \cdot I_D$ เหมือนกับในดีเลย์ล็อกลูป แต่ยังไม่เพียงพอสำหรับการแก้ปัญหา เนื่องจาก ζ จะเปลี่ยนแปลงตามความถี่ทำงาน เนื่องจาก $\sqrt{I_D}$ ดังนั้นเพื่อที่จะให้ ζ คงที่นั้นค่าพารามิเตอร์ I_{CH} และ R จะต้องเปลี่ยนแปลงได้ โดย I_{CH} สามารถถูกกำหนดโดยกระแสไบอัสบัฟเฟอร์ และ R ต้องเปลี่ยนแปลงผกผันกับรากที่สองของกระแสไบอัสบัฟเฟอร์ แต่ ω_N จะมีความสัมพันธ์เป็นสัดส่วนกับรากที่สองของกระแสไบอัสบัฟเฟอร์

$$I_{CH} = x \cdot (2 \cdot I_D) \tag{3.22}$$

โดย x คือ อัตราส่วนสะท้อนกระแส

เพื่อให้เกิดการติดตามแบนด์วิดธ์ ความถี่ของ VCO จะต้องขึ้นกับกระแสบัฟเฟอร์ไบอัสเหมือนกับลูปแบนด์วิดธ์ เนื่องจากวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric ถูกนำมาใช้ใน VCO ดังรูปที่ 3.8 ซึ่งจะได้ความถี่ออสซิลเลตเป็นฟังก์ชันกับแรงดัน V_{CTRL} ดังสมการ (3.23) และมีคุณลักษณะดังรูปที่ 3.9 ซึ่งความถี่มีความสัมพันธ์เป็นสัดส่วนกับ $V_{CTRL} - V_T$ หรือ $\sqrt{I_D}$ และมีความชันคงที่ ดังนั้น K_V มีค่าคงที่ และ ω_{REF} มีความสัมพันธ์เป็นสัดส่วนกับกับรากที่สองของกระแสไบอัสบัฟเฟอร์ เนื่องจากทั้ง ω_N และ ω_{REF} มีความสัมพันธ์เป็นสัดส่วนกับรากที่สองของกระแสไบอัสบัฟเฟอร์ ทำให้ลูปแบนด์วิดธ์จะติดตามความถี่ทำงานได้

จากวงจร VCO แบบแหวนที่ประกอบด้วยวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric จะได้ความถี่ออสซิลเลตดังนี้

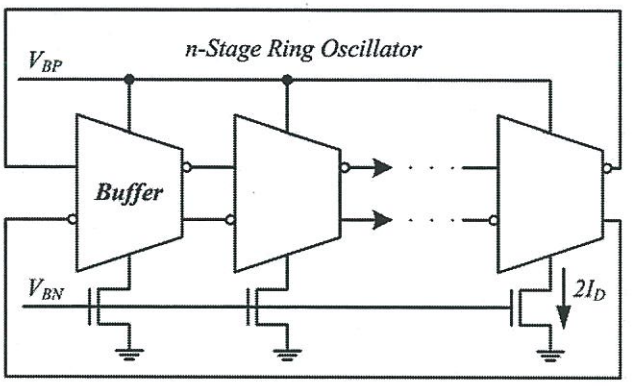
$$F = \frac{1}{2 \cdot n \cdot t} = \frac{k \cdot (V_{CTRL} - V_T)}{C_B} = \frac{\sqrt{2 \cdot k \cdot I_D}}{C_B} \tag{3.23}$$

กำหนดให้ C_B คือ $2 \cdot n \cdot C_{EFF}$ โดยที่ n จำนวนภาคของบัฟเฟอร์

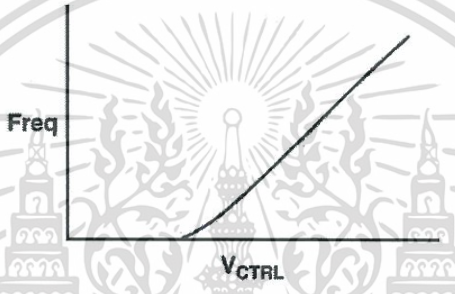
ดังนั้น ความถี่ออสซิลเลตมีความสัมพันธ์เป็นสัดส่วนกับรากที่สองของกระแสไบอัสบัฟเฟอร์ และอัตราขยายของ VCO K_V มีความสัมพันธ์ดังนี้

$$K_V = \left| \frac{\partial F}{\partial V_{CTRL}} \right| = \frac{k}{C_B} \tag{3.24}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



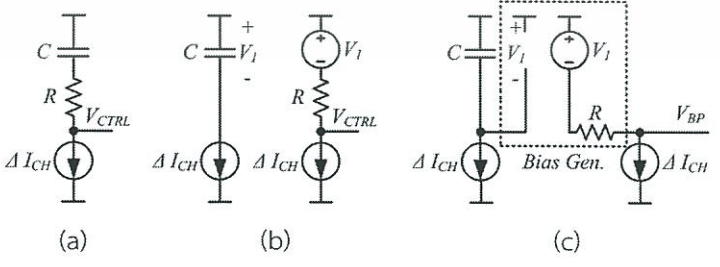
รูปที่ 3.8 วงจร VCO ที่ประกอบด้วยวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric



รูปที่ 3.9 คุณลักษณะความถี่ของ VCO เป็นฟังก์ชันกับแรงดัน V_{CTRL} [1]

3.3.1 การสร้างตัวต้านทานของวงจรกรองสัญญาณของลูปด้วยการป้อนไปหน้า (Feed-Forward Zero)

เนื่องจากต้องการตัวต้านทานสำหรับวงจรกรองสัญญาณของลูปที่สามารถเปลี่ยนแปลงผกผันกับรากที่สองของกระแสไบอัสบัฟเฟอร์ ซึ่งสามารถได้จากความต้านทานเชิงสัญญาณขนาดเล็ก $1/g_m$ ของมอสเฟสต่อในลักษณะไดโอด โดย g_m เป็นสัดส่วนกับรากที่สองของกระแสไบอัสบัฟเฟอร์



รูปที่ 3.10 การแปลงวงจรกรองสัญญาณของลูปเพื่อสร้างตัวต้านทาน R

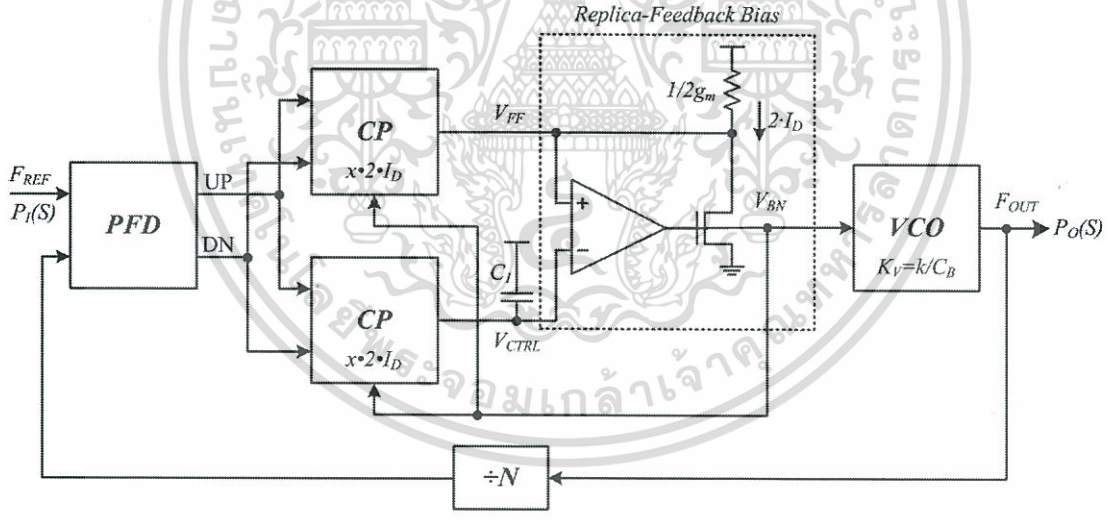
(a) วงจรกรองสัญญาณของลูปทั่วไป

(b) วงจรสมมูลของวงจรกรองสัญญาณของลูป ซึ่งถูกแยก C และ R

(c) แทนแหล่งจ่ายแรงดัน V_1 และ R ของวงจรสมมูลด้วยวงจรกำเนิดไบอัส

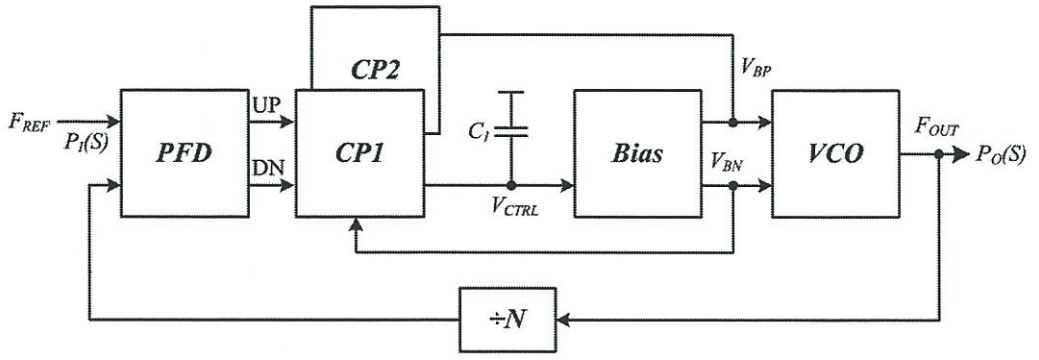
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.10 การแปลงวงจรกรองสัญญาณของลูปเพื่อสร้าง R สำหรับในเฟสล็อกลูปทั่วไปตัวเก็บประจุจะต่ออนุกรมกับตัวต้านทานดังรูปที่ 3.10 (a) ซึ่งถูกขับด้วยกระแสวงจรอัดประจุ ΔI_{CH} แรงดัน V_{CTRL} คือผลรวมของแรงดันตกคร่อมตัวเก็บประจุ และตัวต้านทาน ซึ่งสามารถแยกจากกันได้ตราบใดที่กระแสวงจรอัดประจุถูกป้อนด้วยค่าเดียวกัน สำหรับแหล่งจ่ายแรงดัน V_1 และตัวต้านทานสามารถแทนด้วยวงจรกำเนิดไบอัสได้ดังรูปที่ 3.10 (b) เนื่องจากส่วน V_{CTRL} *buffer* ของวงจรกำเนิดไบอัสที่จุด V_{BP} ให้แรงดัน V_{CTRL} และมีความต้านทานจาก PMOS ที่ต่อลักษณะไดโอด ซึ่งความต้านทานมีค่าเท่ากับ $1/g_m$ หรือแปรผกผันกับรากที่สองของกระแสไบอัสบัฟเฟอร์ แต่เนื่องจาก PMOS ต่อลักษณะขนานกันสองตัว ดังนั้นความต้านทานจะมีค่าเท่ากับ $1/2 \cdot g_m$ ซึ่งสามารถแสดงความสัมพันธ์ได้ดังสมการ (3.25) นอกจากนี้ที่จุด V_{BP} ต้องไบอัสกระแส ΔI_{CH} โดยต่อวงจรอัดประจุเพิ่มเข้าไป ซึ่งสามารถแสดงวงจรเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองได้ดังรูปที่ 3.8 และสามารถเขียนบล็อกไดอะแกรมของเฟสล็อกลูปใหม่จากเฟสล็อกลูปโดยทั่วได้ดังรูปที่ 3.9 จะเห็นว่าบล็อกไดอะแกรมของเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองนั้นมีการเพิ่มวงจรอัดประจุเข้าไปอีกหนึ่งวงจร ซึ่งบล็อกไดอะแกรมยังสมมูลกับบล็อกไดอะแกรมของเฟสล็อกลูปโดยทั่วไป ดังรูปที่ 3.6 ซึ่งการไบอัสตัวเองจะต่างจากเฟสล็อกลูปทั่วไปที่การควบคุมวงจร นั่นคือ ความสัมพันธ์ของจุดไบอัสวงจรจะแปรผันกับความถี่ทำงาน ดังนั้น ในส่วนฟังชันถ่ายโอนของเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองสามารถวิเคราะห์ และแสดงได้เหมือนกับเฟสล็อกลูปโดยทั่ว



รูปที่ 3.11 วงจรเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 บล็อกไดอะแกรมของเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองที่สมบูรณ์

จากวงจรกำเนิดไบอัสในรูปที่ 3.2 เราสามารถใช้ส่วนบัฟเฟอร์ V_{CTRL} ซึ่งมีทรานซิสเตอร์ M_5 และ M_6 ต่อลักษณะไดโอดขนานกันสองตัวมาสร้างตัวต้านทาน R วงจรกรองสัญญาณของลูปจะได้

$$R = \frac{y}{2 \cdot g_m} = \frac{y}{\sqrt{8 \cdot k \cdot I_D}} \tag{3.25}$$

โดย y คือ อัตราส่วนของขนาดทรานซิสเตอร์ที่ดิฟเฟอเรนเชียลบัฟเฟอร์ต่อขนาดทรานซิสเตอร์ที่บัฟเฟอร์ V_{CTRL}

จากที่กล่าวทั้งหมดสามารถแสดงให้เห็นว่า ζ ของเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองมีค่าคงที่ดังนี้

$$\zeta = \frac{1}{2}\sqrt{\frac{1}{N} \cdot I_{CH} \cdot K_V \cdot R^2 \cdot C_1} \tag{3.25}$$

$$= \frac{1}{2}\sqrt{\frac{1}{N} \cdot x \cdot (2 \cdot I_D) \cdot \frac{k}{C_B} \cdot \frac{y^2}{8 \cdot k \cdot I_D} \cdot C_1} \tag{3.26}$$

$$= \frac{y}{4} \cdot \sqrt{\frac{x}{N}} \cdot \sqrt{\frac{C_1}{C_B}} \tag{3.27}$$

และอัตราส่วนลูปแบนด์วิดธ์ต่อความถี่ทำงานถูกกำหนดโดย

$$\frac{\omega_N}{\omega_{REF}} = \frac{1}{2\pi \cdot F_{REF}} \cdot \frac{2 \cdot \zeta}{R \cdot C_1} \tag{3.28}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{1}{2\pi} \cdot \frac{N \cdot C_B}{\sqrt{2 \cdot k \cdot I_D}} \cdot \frac{y}{4} \cdot \sqrt{\frac{x}{N}} \cdot \sqrt{\frac{C_1}{C_B}} \cdot \frac{\sqrt{8 \cdot k \cdot I_D}}{y} \cdot \frac{2}{C_1} \tag{3.29}$$

$$= \frac{x \cdot N}{2\pi} \cdot \sqrt{\frac{C_B}{C_1}} \tag{3.30}$$

ดังนั้น ลูปแบนด์วิดธ์สามารถติดความถี่ทำงาน ทำให้เฟสล็อกลูปสามารถทำงานได้ตลอดช่วงความถี่ของ VCO และแปรผันกับเทคโนโลยีที่ใช้ผลิตวงจรรวมเฉพาะอัตราส่วนของตัวเก็บประจุ ซึ่งสามารถทำให้เข้าคู่กันได้โดยเทคนิคการวาดผังวงจร (Layout)

3.4 พฤติกรรมการจับสัญญาณของเฟสล็อกลูป (PLL Capture Behavior)

พฤติกรรมการจับสัญญาณของเฟสล็อกลูปโดยทั่วไปจะเข้าสู่เข้าความถี่เป้าหมายด้วยอัตราคงที่ ถ้าวงจรวัดเฟส และความถี่ ตรวจจับความคลาดเคลื่อนเฟสโดยเฉลี่ยครึ่งรอบสัญญาณ กระแสวงจรอัดประจุที่จ่ายออก หรือดึงกลับสู่วงจรกรองของลูปโดยเฉลี่ยจะเป็นครึ่งของกระแสวงจรอัดประจุ ทำให้แรงดัน V_{CTRL} เปลี่ยนแปลงดังสมการ (3.32)

เมื่อพิจารณาที่วงจรกรองสัญญาณของลูปจะได้ว่า

$$C_1 \left| \frac{\partial V_{CTRL}}{\partial t} \right| = \frac{I_{CH}}{2} \tag{3.31}$$

$$\left| \frac{\partial V_{CTRL}}{\partial t} \right| = \frac{I_{CH}}{2 \cdot C_1} \tag{3.32}$$

จากสมการ (3.32) ทำการอินทิเกรตจะได้

$$V_{CTRL}(t) = V_{CTRL}(0) \pm \frac{1}{2C_1} I_{CH} \cdot t \tag{3.33}$$

และ

$$t = \left| V_{CTRL}(t) - V_{CTRL}(0) \right| \cdot \frac{2 \cdot C_1}{I_{CH}} \tag{3.34}$$

สำหรับเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง กระแสอัดตัวเก็บประจุ ซึ่งเป็นสัดส่วนกับกระไบอัสบัฟเฟอร์ มีการเปลี่ยนไปตาม V_{CTRL} และความถี่เอาต์พุตของ VCO ดังนั้นอัตราการเปลี่ยนแปลงของแรงดัน V_{CTRL} หรือความถี่เอาต์พุตของ VCO จะเพิ่มขึ้นเมื่อเข้าใกล้ความถี่สูง และลดลงเมื่อเข้าใกล้ความถี่ต่ำ ทำให้แรงดัน V_{CTRL} เปลี่ยนแปลงดังสมการ (3.35)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left|\frac{dV_{CTRL}}{dt}\right| = \frac{1}{2}\cdot\frac{1}{C_1}\cdot I_{CH} = \frac{x\cdot k}{4\cdot C_1}\cdot\left(V_{CTRL}-V_T\right)^2 \qquad (3.35)$$

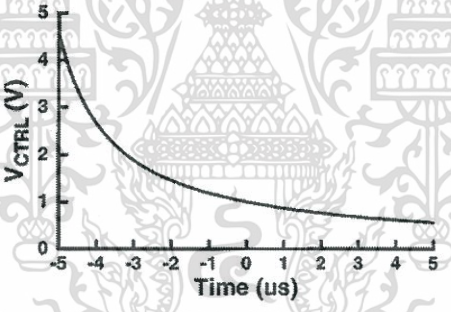
จะได้

$$V_{CTRL}(t) = \left(\frac{1}{V_{CTRL}(0)-V_T} \pm \frac{x\cdot k\cdot t}{4\cdot C_1}\right)^{-1} + V_T \qquad (3.36)$$

และ

$$t = \frac{4\cdot C_1}{x\cdot K}\cdot\left|\frac{1}{V_{CTRL}(0)-V_T} - \frac{1}{V_{CTRL}(t)-V_T}\right| \qquad (3.37)$$

จากรูปที่ 3.13 แสดงความสัมพันธ์แรงดัน V_{CTRL} เป็นฟังก์ชันของเวลาในระหว่างการจับ (capture) ของเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง



รูปที่ 3.13 ความสัมพันธ์แรงดัน V_{CTRL} เป็นฟังก์ชันของเวลาในระหว่างการจับ [1]

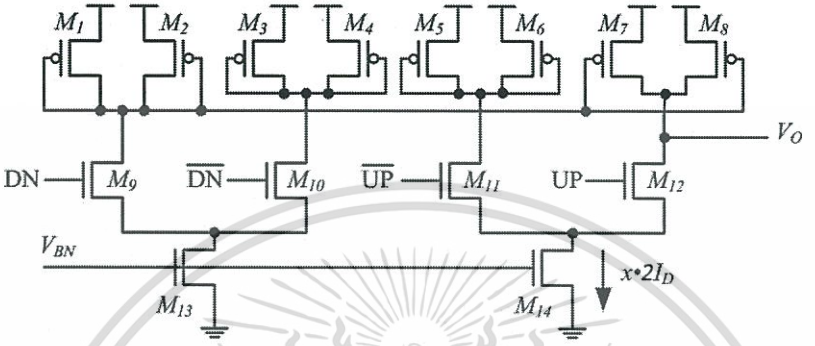
3.5 วงจรอัดประจุ (Charge pump)

สำหรับดีเลย์ล็อกลูป และเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง กระแสวงจรอัดประจุจะเปลี่ยนแปลงหลายสิบเท่าตลอดช่วงความถี่ทำงาน ที่กระแสต่ำๆประจุออฟเซ็ทเพียงเล็กน้อยสามารถนำไปสู่เฟสออฟเซ็ทอย่างมีนัยสำคัญ

โครงสร้างวงจรอัดประจุจะคล้ายวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ ซึ่งสามารถให้กระแส UP และ DN หักล้างกันอย่างสมบูรณ์ และไม่มีประจุสุทธิสู่วงจรกรองสัญญาณของลูป เมื่อสัญญาณอินพุตของ PFC มีเฟสตรงกัน รูปที่ 3.14 แสดงวงจรอัดประจุ ซึ่งวงจรส่วนทางซ้ายทรานซิสเตอร์ M_1 และ M_2 จะเหมือนโหลดของ half-buffer replica ในวงจรกำเนิดไบอัส ทำให้โนดสะท้อนกระแสมีแรงดันเท่ากับ V_{CTRL} ซึ่งจะสะท้อนกระแสไปยังทรานซิสเตอร์ M_7 และ M_8 ซึ่งอยู่ส่วนวงจรทางขวา ทรานซิสเตอร์ทั้งสองจะถูกไบอัสด้วยแรงดันอินพุต V_{CTRL} ที่เกต และเดรนซึ่งถูกเชื่อมต่อกับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองสัญญาณของลูป ซึ่งทำให้ทรานซิสเตอร์ M_7 และ M_8 สามารถจ่ายกระแสเหมือนกับกระแสไบอัสบัฟเฟอร์ หรือเป็นสัดส่วนกับ $2 \cdot I_D$ ซึ่งมีทรานซิสเตอร์ M_{13} และ M_{14} เป็นแหล่งจ่ายกระแสที่ถูกไบอัสด้วยแรงดัน V_{BN} จากวงจรกำเนิดไบอัส ในส่วนทรานซิสเตอร์ M_9 - M_{12} ทำหน้าที่เป็นสวิทช์ควบคุมกระแสเอาต์พุต ส่วนช่วงแรงดันเอาต์พุตที่สามารถใช้งานได้ของวงจรอัดประจุจะเป็นตัวจำกัดช่วงแรงดัน V_{CTRL} ด้วย

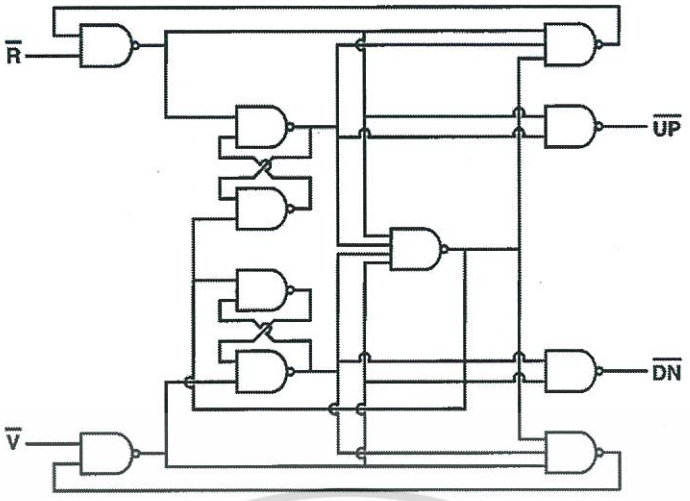


รูปที่ 3.14 วงจรอัดประจุสำหรับดีเลย์ล็อกลูป และเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง

3.6 วงจรเปรียบเทียบเฟสและความถี่ (Phase-Frequency Comparator : PFC)

เพื่อกำจัด dead-band มีความจำเป็นต้องสร้างพัลส์ (Pluses) ขนาดเล็กที่เอาต์พุต UP และ DN ของ PFC ซึ่ง dead-band นั้นนำไปสู่การเพิ่มของการติดตามจิทเตอร์อินพุต โดยทั่วไปจะเพิ่มดีเลย์เข้าไปที่ส่วนรีเซต อย่างไรก็ตามการเพิ่มดีเลย์ในส่วนรีเซตจะทำให้ความถี่ทำงานสูงสุดของ PFC นั้นลดลง ซึ่งความถี่ทำงานสูงสุดของ PFC ถูกกำหนดโดยช่วงเวลารีเซตจนถึง PFC พร้อมที่จะวัดการเปลี่ยนแปลงอินพุตถัดไป วงจรเปรียบเทียบเฟสและความถี่ แสดงดังรูปที่ 3.15 ซึ่งโครงสร้างมาจาก PFC ทั่วไป แต่เพิ่มดีเลย์เฉพาะส่วนรีเซตเอาต์พุต โดยให้เอาต์พุตจากแนนด์เกต (NAND gate) 2 อินพุต แทนแนนด์เกต 3 อินพุต ซึ่งอินพุตของแนนด์เกต 2 อินพุตจะปราศจากสัญญาณรีเซตจากแนนด์เกต 4 อินพุต ทำให้เอาต์พุตถูกรีเซตผ่านส่วนดีเลย์ของอาร์เอสแลตช์ (RS latch)

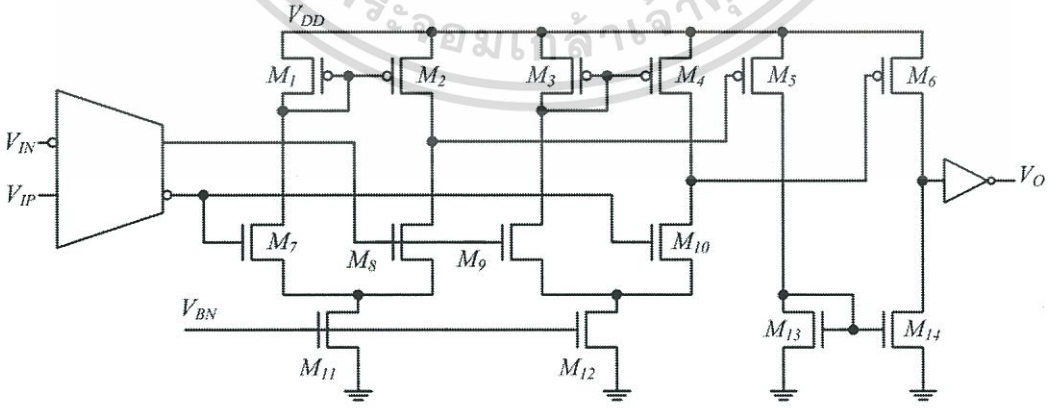
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 วงจรเปรียบเทียบเฟสและความถี่ [1]

3.7 วงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว (Differential-to-Single-Ended Converter)

จากรูปที่ 3.16 แสดงวงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว ซึ่งสามารถให้เอาต์พุตมีค่ารอบการทำงาน (Duty cycle) 50% ประกอบด้วยวงจร NMOS differential amplifier 2 วงจร ไปขับวงจร PMOS common-source amplifier โดย NMOS differential amplifier โครงสร้างมาจากวงจรบัฟเฟอร์มี symmetric load เป็นโหลด และใช้การไบอัสแบบเดียวกัน ซึ่งจะรับระดับแรงดันอินพุตโหมดร่วมเดียวกัน วงจร NMOS differential amplifier จะขยายสัญญาณ และกำหนดจุดดีซีไบอัสสำหรับวงจร PMOS common-source amplifier สำหรับวงจร PMOS common-source amplifier จะขยายสัญญาณ และแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว

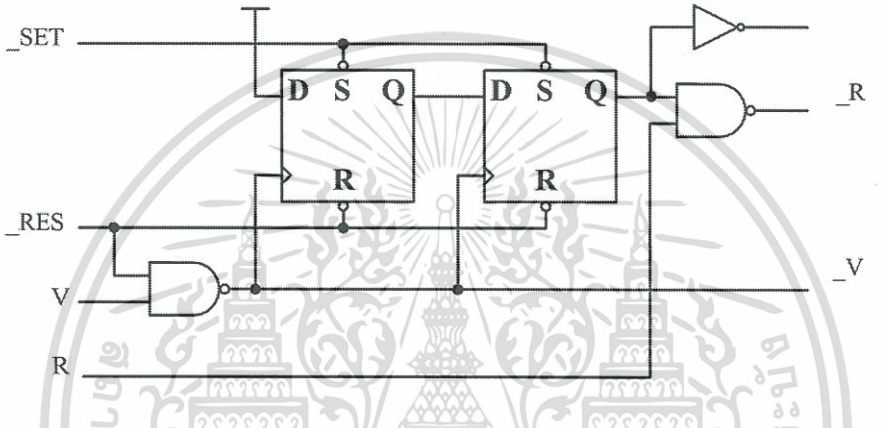


รูปที่ 3.16 วงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว

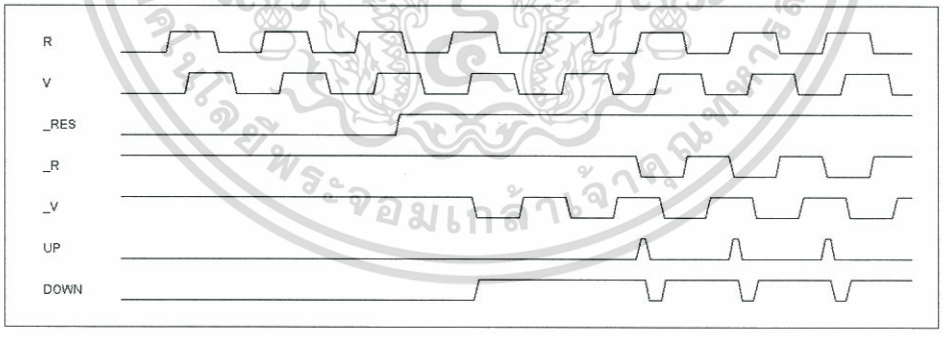
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 วงจรกลืนสัญญาณพัลส์ (Pulse-swallowing)

เพื่อให้แน่ใจว่าดีเลย์ล็อกลูปจะสามารถเข้าสู่สภาวะล็อกได้เมื่อเริ่มต้นการทำงาน จึงต้องมีส่วนวงจรที่จะทำให้วงจรเปรียบเทียบเฟสเห็นสัญญาณเอาต์พุตของดีเลย์ล็อกลูปมีเฟสนำสัญญาณอินพุตในสภาวะเริ่มต้น เพื่อให้เกิดการดีเลย์ไปอีกคาบของเวลา และเข้าสู่สภาวะล็อก จากรูปที่ 3.17 วงจรกลืนสัญญาณพัลส์ จะทำให้ตัวเปรียบเทียบเฟสเห็นสัญญาณ V นำสัญญาณ R อยู่สองลูกคลื่นในสภาวะเริ่มต้น ตัวเปรียบเทียบเฟสจะสร้างสัญญาณดาวน์ (Down) ก่อนในสภาวะเริ่มต้น ทำให้สัญญาณเอาต์พุตถูกดีเลย์ จนไปล็อกกับสัญญาณอินพุตอีกคาบเวลา แผนภาพเวลาของวงจรกลืนสัญญาณพัลส์ แสดงรูปที่ 3.18



รูปที่ 3.17 วงจรกลืนสัญญาณพัลส์ที่ใช้ในดีเลย์ล็อกลูป



รูปที่ 3.18 แผนภาพเวลาของวงจรกลืนสัญญาณพัลส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบวงจรดีเลย์ล็อกลูป และวงจรเฟสล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง

สำหรับบทนี้จะกล่าวถึงการออกแบบดีเลย์ล็อกลูป และเฟสล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง ทั้งการออกแบบระบบ และการออกแบบระดับวงจร โดยเฟสล็อกลูป และดีเลย์ล็อกลูปที่ใช้เทคนิคไบอัสตัวเองนั้น มีโครงสร้างบางอย่างที่ใช้ร่วมกันและ ใช้เทคนิคการควบคุมวงจรในลักษณะเดียวกัน ซึ่งได้แก่วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric วงจรกำเนิดไบอัส วงจรอัดประจุ วงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว และวงจรวัดเฟส และความถี่ ซึ่งการออกแบบจะเริ่มจากการออกแบบคุณลักษณะของโหลดแบบ symmetric ซึ่งใช้ในวงจรดิฟเฟอเรนเชียลบัฟเฟอร์เพื่อสร้างเป็น VCDL และ VCO เมื่อสามารถกำหนดคุณลักษณะของโหลดแบบ symmetric ได้แล้ว ทำให้เราสามารถกำหนดคุณลักษณะของวงจรกำเนิดไบอัสได้ เพื่อไบอัสวงจรดิฟเฟอเรนเชียล-บัฟเฟอร์ให้สามารถให้คุณลักษณะที่ต้องการ ซึ่งเมื่อสามารถกำหนดคุณลักษณะของวงจรดิฟเฟอเรน-เชียลบัฟเฟอร์ และวงจรกำเนิดไบอัสได้ ก็จะสามารถหาคุณลักษณะของวงจร VCDL และ VCO ได้เพื่อนำไปออกแบบระบบ เมื่อเราสามารถกำหนดคุณลักษณะของระบบได้ ขั้นตอนต่อไป จะเป็นการออกแบบวงจรส่วนที่เหลือ ได้แก่ วงจรอัดประจุ วงจรวัดเฟส และความถี่ และวงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว

4.1 วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric

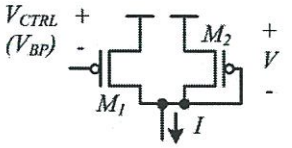
เนื่องจากวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric เป็นส่วนประกอบของ VCDL และVCO นอกจากนี้ยังเป็นส่วนกำเนิดไบอัสในวงจรกำเนิดไบอัส นั่นคือส่วน half-buffer replica ซึ่งมีลักษณะวงจรแบบเดียวกับวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric ดังนั้นการออกแบบวงจรจะต้องเริ่มจากการกำหนดคุณลักษณะของโหลดแบบ symmetric ในวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ ดังรูปที่ 4.1 ซึ่งการพิจารณาค่าความต้านทานของโหลดนั้น จะพิจารณาที่จุดเอาต์พุตสวิงต่ำสุดของวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ ณ แรงดัน V_{CTRL} ใดๆ โดยความสัมพันธ์ระหว่างกระแส และแรงดันของโหลดแบบ symmetric I จะได้

$$I = 2 \cdot I_D = k\left(V_{CTRL} - V_T\right)^2 \tag{4.1}$$

และค่าความต้านทานของโหลดจะเป็นสัดส่วนโดยตรงกับ $1/g_m$ โดย g_m มีค่าเป็น

$$g_m = k \cdot \left(V_{CTRL} - V_T\right) = \sqrt{2 \cdot k \cdot I_D} \tag{4.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 โหลดแบบ symmetric

ในส่วนดีเลย์ของวงจรดิฟเฟอเรนเชียลบัฟเฟอร์จะมีค่าเป็น

$$t = R_{EFF} \cdot C_{EFF} = \frac{1}{g_m} \cdot C_{EFF} \tag{4.3}$$

จากสมการ (4.3) จะเห็นว่าช่วงดีเลย์ของบัฟเฟอร์นั้นจะถูกกำหนดช่วงของ g_m ดังนั้นช่วงดีเลย์ของ VCDL และช่วงความถี่ของ VCO ก็จะถูกกำหนดโดยช่วงของ g_m ของทรานซิสเตอร์ที่เป็นโหลด นั่นคือ ทรานซิสเตอร์ $M_{1,2}$ ส่วนค่า k และ V_{CTRL} จะเป็นตัวกำหนดค่า g_m แต่เนื่องจากแรงดัน V_{CTRL} เป็นแรงดันที่มาจากตัวกรองของลูป ซึ่งเปลี่ยนแปลงตามความคลาดเคลื่อนเฟสไม่สามารถกำหนดได้ และแรงดัน V_{CTRL} เป็นแรงดันที่กำหนดไบอัสของทั้งระบบ โดยการใช้วงจรขยายผลต่าง (Differential amplifier) ปรับแรงดัน V_{BN} จนแรงดังที่เอาต์พุตของ half-buffer replica เท่ากับแรงดัน V_{CTRL} ซึ่งเป็นจุดจำกัดเอาต์พุตสวิงต่ำของวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ เพื่อให้ได้กระแสของ half-buffer replica $2 \cdot I_D$ ดังนั้นช่วงแรงดัน V_{CTRL} ถูกจำกัดโดยช่วงแรงดันอินพุตโหมดร่วม (Input common-mode range) ของวงจรขยายผลต่าง และแรงดันเอาต์พุตสวิงต่ำของวงจร half-buffer replica V_O ด้วย เพื่อให้วงจรขยายผลต่างทำงานอย่างเป็นเชิงเส้น และแบนด์-วิดธ์ของวงจรขยายผลต่างก็ยังจำกัดความถี่สูงสุดในการทำงานด้วย ดังนั้น ช่วงแรงดัน V_{CTRL} จะเป็นตัวกำหนดช่วงของ g_m และค่า k จะกำหนด g_m ให้มีค่ามากน้อยเพียงใด

จากการพิจารณาช่วงแรงดันอินพุตโหมดร่วมของวงจรขยายผลต่างในวงจรกำเนิดไบอัส และแรงดันเอาต์พุตของวงจร half-buffer replica โดยประมาณ ทำให้สามารถประมาณช่วงแรงดัน V_{CTRL} ได้อยู่ในช่วง 0.3 V ถึง 0.9 V เมื่อได้ช่วงแรงดัน V_{CTRL} แล้วเราสามารถประมาณช่วง g_m ของทรานซิสเตอร์ที่มีค่า k ใดๆได้ โดยการจำลองการทำงานเพื่อพล็อตกราฟความสัมพันธ์ระหว่าง g_m และ V_{sg} ดังรูปที่ 4.2 กราฟแสดงความสัมพันธ์ระหว่าง g_m และ V_{sg} ของทรานซิสเตอร์ขนาด W = 800 nm และ L = 400 nm ซึ่งจะได้ g_m ในช่วง 4 μS ถึง 80 μS รูปที่ 4.3 แสดงคุณลักษณะ IV ของโหลดแบบ symmetric และสามารถหาความสัมพันธ์ของ $1/g_m$ กับแรงดัน V_{CTRL} ได้ แสดงดังรูปที่ 4.4 เราอาจจะกำหนดค่า k โดยพิจารณาจากความถี่สูงสุดที่ต้องการ อย่างไรก็ตามการออกแบบอาจต้องใช้การทดลอง และจำลองการทำงานเพื่อหาค่าที่เหมาะสมดังนี้

จากความถี่ VCO เท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F = \frac{1}{2 \cdot n \cdot t} = \frac{g_m}{2 \cdot n \cdot C_{EFF}} \tag{4.4}$$

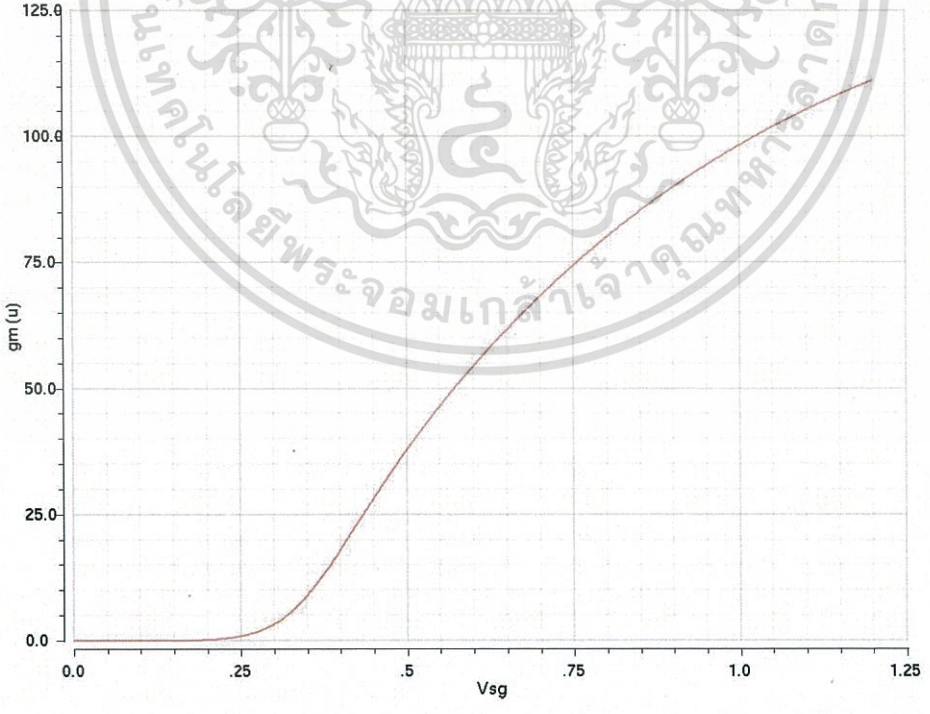
ถ้าต้องการความถี่ VCO ไม่น้อยกว่า 800 MHz และเลือกทรานซิสเตอร์ $M_{1,2}$ ขนาด W = 800 nm และ L = 400 nm ซึ่งให้ $g_m = 80\,\mu\text{S}$ และมี $C_{EFF} \approx 4\,\text{fF}$ (เนื่องจากเลือกทรานซิสเตอร์ $M_{1,2}$ ให้มีขนาดใหญ่ ทำให้ C_{EFF} ประมาณ C_{gate} ของทรานซิสเตอร์ $M_{1,2}$ โดย $C_{gate} = (2/3) \cdot W \cdot L \cdot C_{OX} + W \cdot C_{OV}$) จะได้

$$\frac{80 \times 10^{-6}}{2 \cdot n \cdot (4 \times 10^{-15})} > 800 \times 10^{6} \tag{4.5}$$

$$n < 12 \tag{4.6}$$

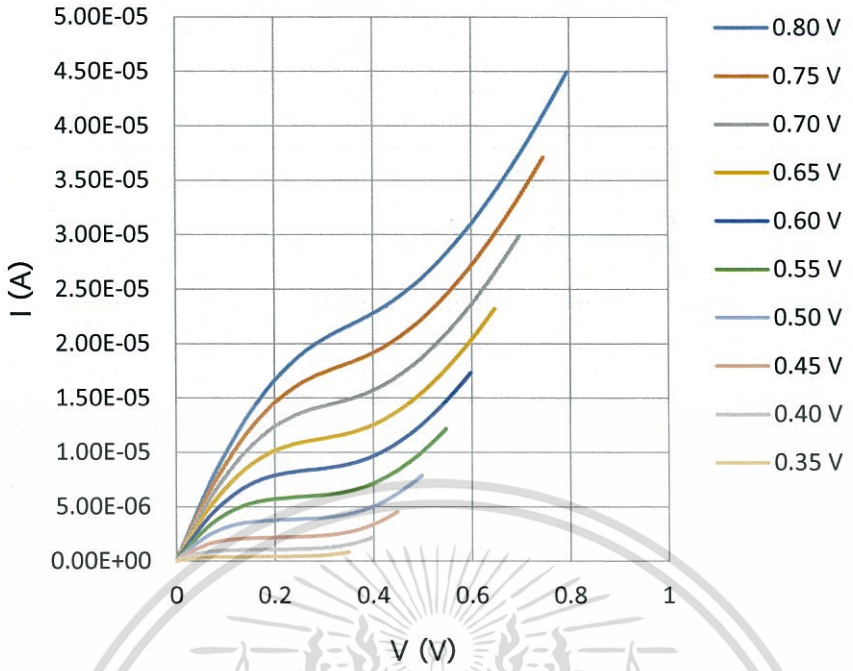
สำหรับความถี่ทำงานต่ำ และสูงสุดของ VCDL จะมากกว่าของ VCO ถ้าใช้โครงวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ และไบอัสแบบเดียวกัน เนื่องจากดีเลย์ล็อกลูปจะล็อกสัญญาณที่ดีเลย์ไปอีกคาบเวลา หรือ VCDL ต้องดีเลย์สัญญาณอินพุตไปอีกหนึ่งคาบเวลา แต่ใน VCO สัญญาณเอาต์พุตจะดีเลย์เพียงครึ่งคาบเวลาของสัญญาณออสซิลเลตเพื่อป้อนกลับไปยังอินพุต

สำหรับวงจรแสดงดังรูปที่ 4.5 และขนาดทรานซิสเตอร์แสดงดังตารางที่ 4.1

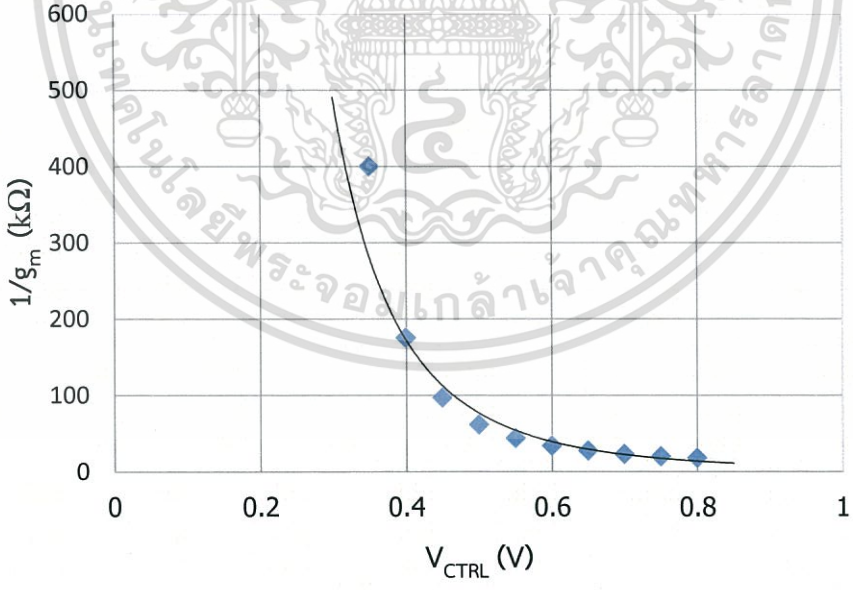


รูปที่ 4.2 กราฟความสัมพันธ์ระหว่าง g_m และ V_{sg} ของทรานซิสเตอร์ขนาด W = 800 nm และ L = 400 nm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

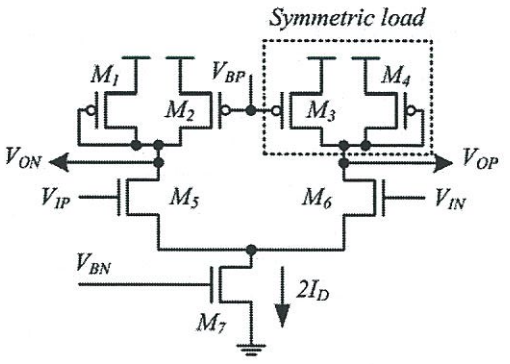


รูปที่ 4.3 คุณลักษณะ IV ของโหลดแบบ symmetric ขนาด W = 800 nm และ L = 400 nm ที่แรงดัน V_{CTRL} 0.35 V ถึง 0.80 V



รูปที่ 4.4 ความสัมพันธ์ของ $1/g_m$ กับแรงดัน V_{CTRL} ของโหลดแบบ symmetric ขนาด W = 800 nm และ L = 400 nm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric

ตารางที่ 4.1 ขนาดทรานซิสเตอร์ของวงจรดิฟเฟอเรนเชียลบัฟเฟอร์

ทรานซิสเตอร์	W/L
M_1-M_4	800n/400n
M_5,M_6	240n/120n
M_7	4.32μ/840n

4.2 วงจรกำเนิดไบอัส

เมื่อสามารถกำหนดคุณลักษณะของดิฟเฟอเรนเชียลบัฟเฟอร์ได้แล้ว ในหัวข้อนี้จะเป็นการออกแบบวงจรกำเนิดไบอัส โดยส่วน half-buffer replica นั้นเหมือนกับวงจรดิฟเฟอเรนเชียล-บัฟเฟอร์ หรือกระแสที่ไหลในส่วนนี้จะเท่ากับกระแสวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ ซึ่งในการออกแบบส่วนนี้จึงเพียงแค่กำหนดจุดไบอัสให้วงจรขยายผลต่างที่ควบคุม half-buffer replica จากที่กล่าวมาในหัวข้อที่แล้วว่าช่วงแรงดัน V_{CTRL} ถูกจำกัดโดยแรงดันอินพุตโหมดร่วมของวงจรขยาย-ผลต่าง และแรงดันเอาต์พุตสวิงต่ำของวงจร half-buffer replica V_O ดังนั้นในช่วง V_{CTRL} ที่เราเลือกนั้นต้องสัมพันธ์กับการไบอัสวงจรขยายผลต่างด้วย นอกจากนี้วงจรไบอัสนั้นจะต้องจ่ายไบอัสให้กับวงจรทุกวงจรทั้งในเฟสล็อกลูป หรือดีเลย์ล็อกลูป เพื่อให้ได้แบนด์วิดธ์ของวงจรขยายผลต่างที่เพียงพอ และมีพิกัดความเผื่อเฟสที่เหมาะสม จำเป็นต้องคำนึงถึงส่วนนี้ด้วย

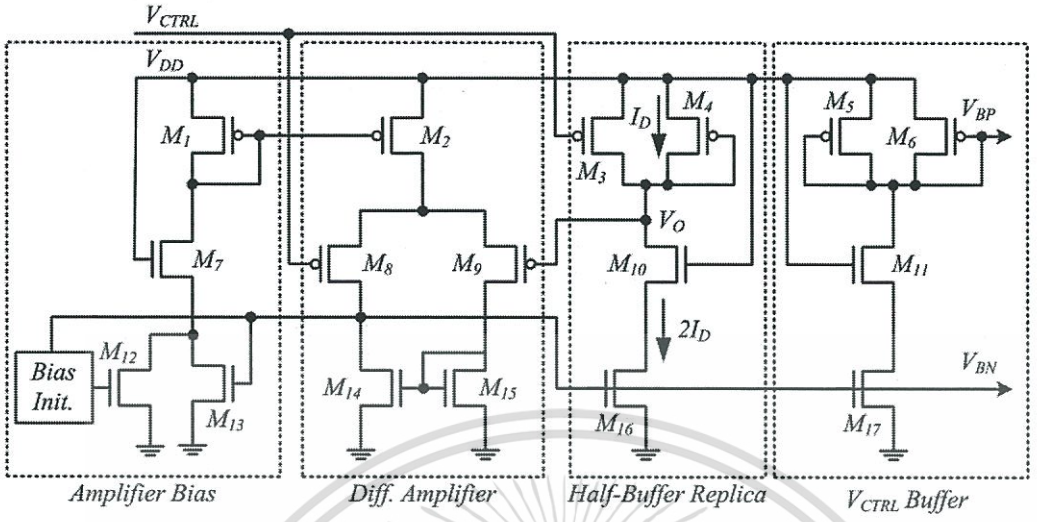
จากรูปที่ 4.6 วงจรกำเนิดไบอัส สามารถประมาณช่วงแรงดัน V_{CTRL} ที่ทำให้วงจรยังสามารถทำงานได้ โดยที่แรงดัน V_{CTRL} ต่ำสุดจะถูกกำหนดโดยแรงดันอินพุตโหมดร่วมสูงสุดของวงจรขยายผลต่าง ส่วนแรงดัน V_{CTRL} สูงสุดจะกำหนดโดยแรงดัน V_O ต่ำสุด จะได้

$$V_{DSAT2} + V_{SG8,9} < V_{CTRL} < V_{DD} - V_{DSAT16} \tag{4.7}$$

จากสมการ (4.7) สามารถประมาณแรงดัน V_{CTRL} โดยกำหนด $V_{DD} = 1.2\,\mathrm{V}$, $V_{DSAT2} = 0.1\,\mathrm{V}$, $V_{SG8,9} = 0.2\,\mathrm{V}$ และ $V_{DSAT16} = 0.3\,\mathrm{V}$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$0.3\,\mathrm{V} < V_{CTRL} < 0.9\,\mathrm{V} \tag{4.8}$$



รูปที่ 4.6 วงจรกำเนิดไบอัสแบบ Replica-feedback

เนื่องจากทรานซิสเตอร์ $M_{3,4}$ มีขนาดเท่ากับทรานซิสเตอร์ $M_{1,2}$ จะได้กระแส I_D เท่ากับ

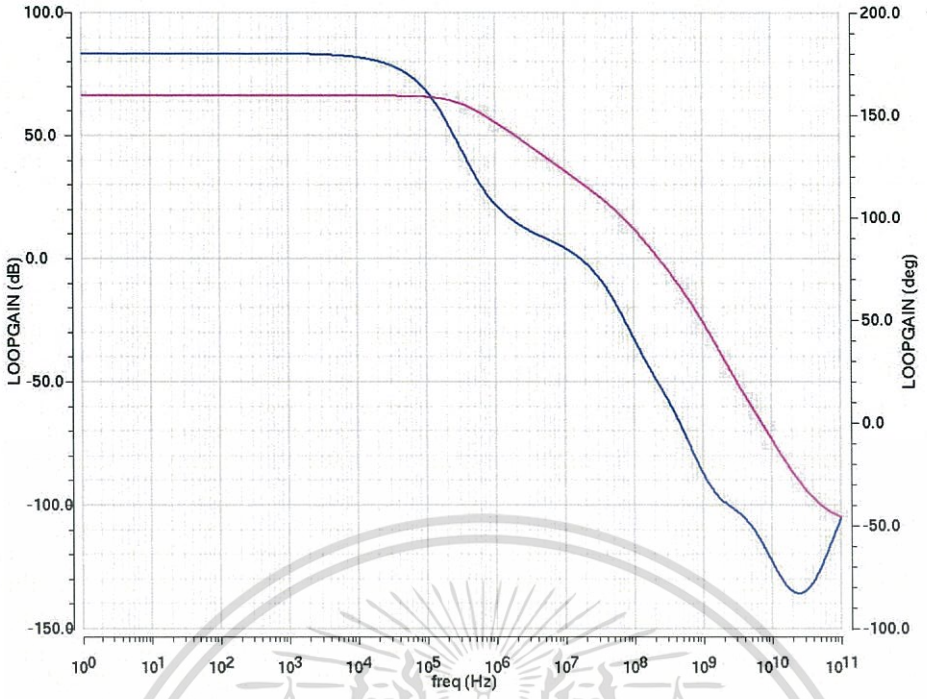
$$I_D = \frac{k}{2}\left(V_{CTRL} - V_T\right)^2 \tag{4.9}$$

เนื่องจากทรานซิสเตอร์ $M_{3,4}$ มีขนาด W/L = 2 จะได้ $k = 270\,\mu\mathrm{A/V}^2$, $V_T = 0.3\,\mathrm{V}$ และ $V_{CTRL} = 0.9\,\mathrm{V}$ จะได้

$$I_{D\max} = \frac{270\times10^{-6}}{2}\left(0.9-0.3\right)^2 = 48.6\,\mu\mathrm{A} \tag{4.10}$$

เมื่อได้กระแส I_D สูงสุดแล้ว จะสามารถกำหนดของขนาดที่เหมาะสมของทรานซิสเตอร์ที่เหลือได้ จากการออกแบบ และจำลองการทำงานในส่วนวงจรกำเนิดไบอัส เพื่อให้สามารถทำงานได้ในช่วงแรงดัน V_{CTRL} ตั้งแต่ 0.3 V ถึง 0.9 V และต่อโหลดซึ่งเป็นวงจรต่างๆในเฟสล็อกลูป หรือดีเลย์-ล็อกลูป แล้วมีแบนด์วิดธ์ของวงจรที่เพียงพอ และมีพิกัดความเผื่อเฟสที่เหมาะสม จึงเลือกกระแสไบอัสวงจรขยายผลต่างเป็น 2 เท่าของกระแสไบอัสวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ ทำให้ตลอดช่วงแรงดัน V_{CTRL} ได้อัตราขยายไม่ต่ำกว่า 55 dB แบนด์วิดธ์ประมาณ 10 MHz ถึง 350 MHz และ พิกัดความเผื่อเฟสตั้งแต่ที่ 20° ถึง 40° จากรูปที่ 4.7 แสดงการตอบสนองความถี่ของวงจรกำเนิดไบอัสที่แรงดัน V_{CTRL} เท่ากับ 0.6 V มีอัตราขยาย 66 dB แบนด์วิดธ์ 220 MHz และพิกัดความเผื่อเฟส 20° สำหรับในส่วนขนาดทรานซิสเตอร์แสดงดังตารางที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 การตอบสนองความถี่ของวงจรกำเนิดไบอัสที่แรงดัน V_{CTRL} เท่ากับ 0.6 V

ตารางที่ 4.2 ขนาดทรานซิสเตอร์บนวงจรไบอัส

ทรานซิสเตอร์	W/L
M_1,M_2	20µ/400n
M_3,M_4	800n/400n
M_5,M_6 (DLL)	800n/400n
M_5,M_6 (PLL)	1.2µ/400n
M_7	480n/240n
M_8,M_9	4µ/400n
M_{10}	240n/120n
M_{11} (DLL)	240n/120n
M_{11} (PLL)	360n/120n
M_{12},M_{13}	8.64µ/480n
M_{14},M_{15}	4.32µ/480n
M_{16},M_{17} (DLL)	4.32µ/480n
M_{16},M_{17} (PLL)	6.48µ/480n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจร VCDL และ VCO

สำหรับคุณลักษณะของ VCDL จะเป็นไปตามคุณลักษณะของวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ที่มีโหลดแบบ symmetric ที่ได้กล่าวมาแล้วในหัวข้อที่ 4.1 ถ้าวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ต่อกัน 8 ภาค จะได้

$$D = 8 \cdot t = \frac{8 \cdot C_{EFF}}{g_m} \tag{4.11}$$

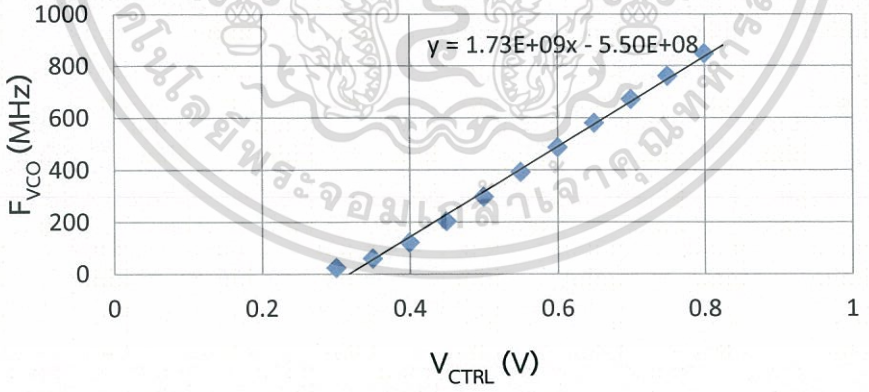
เนื่องจาก g_m มีค่าในช่วง 4 μS ถึง 80 μS และ $C_{EFF} \approx 4\,\text{fF}$ จะได้ D ในช่วง 0.4 ns ถึง 8 ns ถ้าดีเลย์ล็อกลูปสามารถทำงานได้ตลอดช่วงดีเลย์ของ VCDL ดังนั้น ดีเลย์ล็อกลูปสามารถทำงานได้ตั้งแต่ 125 MHz ถึง 2500 MHz

สำหรับ VCO จะนำ VCDL มาต่อป้อนกลับเพื่อให้เกิดการออสซิลเลต จะได้

$$F = \frac{1}{2 \cdot (8 \cdot t)} \tag{4.12}$$

ดังนั้น จะได้ความถี่ VCO ตั้งแต่ 62.5 MHz ถึง 1250 MHz

จากการจำลองการทำงานของ VCO ให้ความถี่ในช่วง 40 MHz ถึง 800 MHz แสดงความสัมพันธ์ของความถี่เอาต์พุตของ VCO กับแรงดัน V_{CTRL} ดังรูปที่ 4.8 ผลจากการจำลองการทำงานทำให้สามารถประมาณค่า C_{EFF} ใหม่ได้เท่ากับ 6 fF



รูปที่ 4.8 ความสัมพันธ์ระหว่างความถี่เอาต์พุตของ VCO และแรงดัน V_{CTRL}

4.4 การออกแบบระบบของดีเลย์ล็อกลูป

สำหรับการออกแบบระบบเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองนั้น จะพิจารณาจากเงื่อนไข

$$\frac{\omega_N}{\omega_{REF}} = \frac{x}{4\pi} \cdot \frac{C_B}{C_1} < \frac{1}{10} \tag{4.13}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ $x=1$ และ $C_B = 96\,\text{fF}$ จะได้ $C_1 > 77\,\text{fF}$ และเนื่องจากถ้ากำหนดลูปแบนด์-วิดธ์ ω_N มีค่ามากเกินไปจะทำให้การตอบสนองความถี่ของวงจรไบอัสมีผลต่อระบบของดีเลย์ล็อกลูป ดังนั้น กำหนดให้ $\omega_N/\omega_{REF} = 1/20$ จะได้

$$C_1 = \frac{20}{4\pi}\cdot 96\times 10^{-15} = 153\,\text{fF} \tag{4.14}$$

ดังนั้น เลือก $C_1 = 200\,\text{fF}$ จะได้

$$\frac{\omega_N}{\omega_{REF}} = \frac{1}{26} \tag{4.15}$$

เมื่อกำหนด ω_N/ω_{REF} แล้ว สามารถประมาณเวลาเข้าที่ (settling time) ภายใน 2 % ณ ความถี่ F_{REF} จะได้

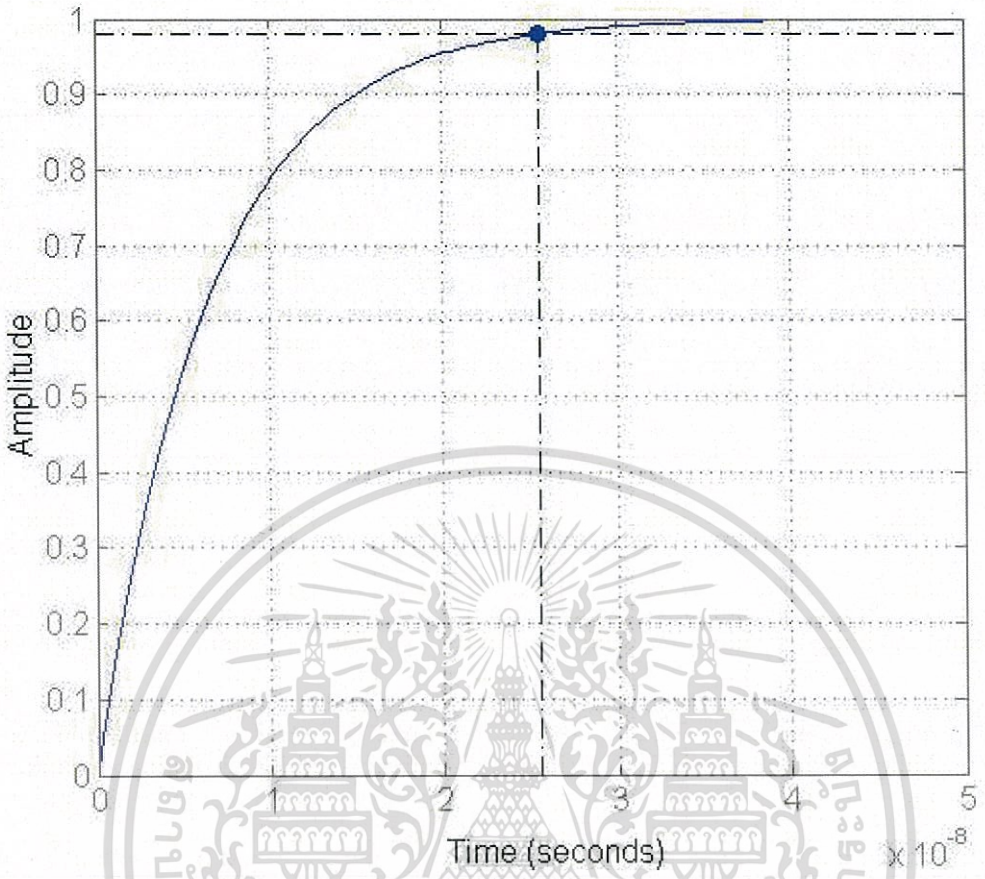
$$T_S = \frac{4}{\omega_N} \tag{4.16}$$

กำหนดให้ $F_{REF} = 640\,\text{MHz}$ ดังนั้น จะได้เวลาเข้าที่เท่ากับ

$$T_S = \frac{4\cdot(26)}{2\cdot\pi\cdot(640\times 10^6)} = 25.9\,\text{ns} \tag{4.17}$$

และสามารถจำลองการตอบสนองของระบบได้ แสดงดังรูปที่ 4.9 การตอบสนองสัญญาณขั้นบันไดหนึ่งหน่วย (Unit-step response) ที่ความถี่ $F_{REF} = 640\,\text{MHz}$ เวลาเข้าที่ภายใน 2% เท่ากับ 25.5 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 การตอบสนองสัญญาณขั้นบันไดหนึ่งหน่วยที่ความถี่ $F_{REF} = 640\,\text{MHz}$ เวลาเข้าที่ภายใน 2% เท่ากับ 25.5 ns

4.5 การออกแบบระบบของเฟสล็อกลูป

สำหรับเฟสล็อกลูป ถ้าแบนด์วิดธ์เพิ่มขึ้น สัญญาณรบกวนทางเฟสจาก VCO จะถูกลดทอนมาก ในขณะเดียวกันสัญญาณรบกวนทางเฟสอ้างอิงก็จะปรากฏที่เอาต์พุตในช่วงแบนด์วิดธ์ที่กว้าง แต่ในการออกแบบนี้เราจะพิจารณาสัญญาณรบกวนทางเฟสที่เกิดขึ้นจากวงจร VCO เป็นหลัก หรือให้สัญญาณอินพุตนั้นมีสัญญาณรบกวนทางเฟสต่ำ

จากการประมาณแบบต่อเนื่องทางเวลาระบบเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองนั้น จะพิจารณาเงื่อนไข

$$\frac{\omega_N}{\omega_{REF}} = \frac{x \cdot N}{2\pi} \cdot \sqrt{\frac{C_B}{C_1}} < \frac{1}{10} \tag{4.18}$$

กำหนดให้ระบบนี้ต้องการ N สูงสุดเท่ากับ 16, $C_B = 96\,\text{fF}$ และเลือก x เท่ากับ 0.5 จะได้ $C_1 > 16\,\text{pF}$ ดังนั้น เลือก $C_1 = 25\,\text{pF}$ จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\omega_N}{\omega_{REF}} = \frac{1}{12} \tag{4.19}$$

จากฟังก์ชันถ่ายโอนของเฟสล็อกลูป สามารถแสดงค่า ω_{-3dB} ได้โดยการหา ω ณ ขนาดของฟังก์ชันถ่ายโอนที่ขนาดเท่ากับ $1/\sqrt{2}$ จะได้

$$\frac{(2\cdot\zeta\cdot\omega_N\cdot\omega_{-3dB})^2+\omega_N{}^4}{(\omega_{-3dB}{}^2-\omega_N{}^2)^2+(2\cdot\zeta\cdot\omega_N\cdot\omega_{-3dB})^2} = \left(\frac{1}{\sqrt{2}}\right)^2 \tag{4.20}$$

จะได้

$$\omega_{-3dB}{}^2 = [1+2\cdot\zeta^2+\sqrt{(1+2\zeta^2)^2+1}]\cdot\omega_N{}^2 \tag{4.21}$$

จากสมการ (4.21) ถ้าต้องการ ζ อยู่ในช่วง $\sqrt{2}/2$ ถึง 1 ดังนั้น ω_{-3dB} จะอยู่ในช่วง $2.1\omega_N$ ถึง $2.5\omega_N$ ถ้า $2\zeta^2 >> 1$ ดังนั้น $\omega_{-3dB} \approx 2\cdot\zeta\cdot\omega_N$ ซึ่งในกรณี $\zeta = 1$ สัญญาณรบกวนทางเฟสนั้นมีค่าสูงที่ ω_N และจะลดลงเมื่อห่างจากความถี่ ω_N ส่วนกรณี $\zeta^2 >> 1$ นั้น จะทำให้สัญญาณรบกวนทางเฟสนั้นมีค่าสูงในช่วงกว้างระหว่าง $\omega_N/2\cdot\zeta$ ถึง $2\cdot\zeta\cdot\omega_N$ นอกจากนี้พฤติกรรมของเวลาเข้าที่สามารถประมาณโดยค่าเวลาคงที่ของลูป (Loop time constant) ซึ่งเปลี่ยนแปลงอยู่ในช่วง $1/(\zeta\cdot\omega_N)$ และ $1/(2\cdot\zeta\cdot\omega_N)$ เมื่อ $\zeta^2 >> 1$ ซึ่งแปรผันกับ ζ [5]

$$\zeta = \frac{y}{4}\cdot\sqrt{\frac{x}{N}}\cdot\sqrt{\frac{C_1}{C_B}} \tag{4.22}$$

ดังนั้น การออกแบบค่า ζ ควรให้อยู่ในช่วง $\sqrt{2}/2$ ถึง 1 โดยที่ N เปลี่ยนแปลงตั้งแต่ 1 ถึง 16

จากสมการ (4.22) และเลือก $y = 2/3$ จะได้ ζ อยู่ในช่วง 0.48 ถึง 1.90 และสามารถประมาณเวลาเข้าที่ภายใน 2 % โดยที่ $0 < \zeta < 1$ ได้จาก

$$T_S = \frac{4}{\zeta\cdot\omega_N} \tag{4.23}$$

กำหนดให้ $F_{REF} = 40\,\text{MHz}$ และ $N = 8$ จะได้ $\zeta = 0.67$ ดังนั้น ที่ความถี่ 320 MHz จะได้เวลาเข้าที่เท่ากับ

$$T_S = \frac{4\cdot(12)}{0.67\cdot(40\times10^6)} = 1.8\,\mu s \tag{4.24}$$

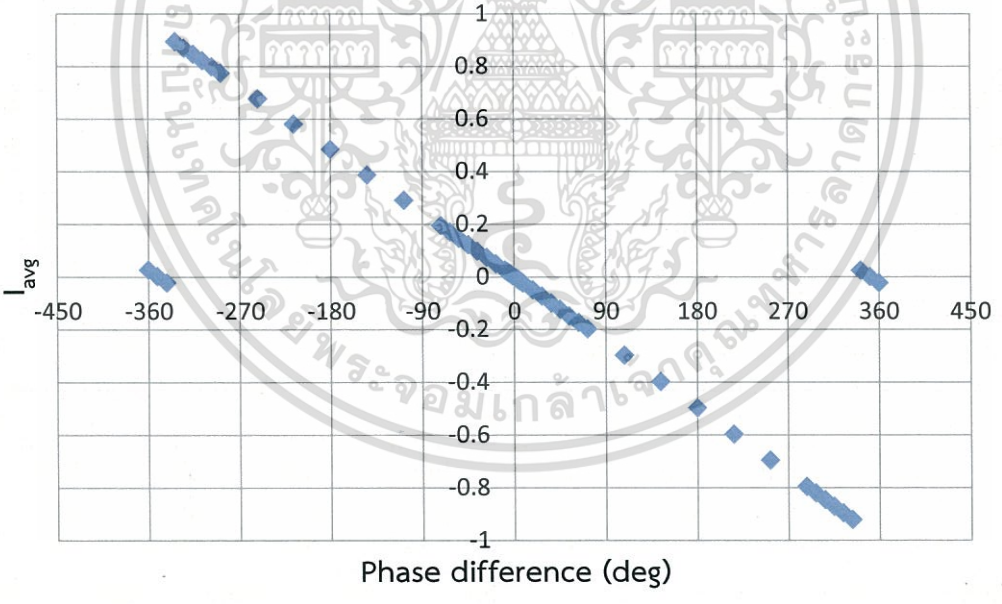
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และกำหนดให้ $F_{REF} = 40\,\text{MHz}$ และ $N = 16$ จะได้ $\zeta = 0.48$ ดังนั้น ที่ความถี่ 640 MHz จะได้เวลาเข้าที่เท่ากับ

$$T_S = \frac{4 \cdot (12)}{0.48 \cdot (40 \times 10^6)} = 2.5\,\mu\text{s} \tag{4.25}$$

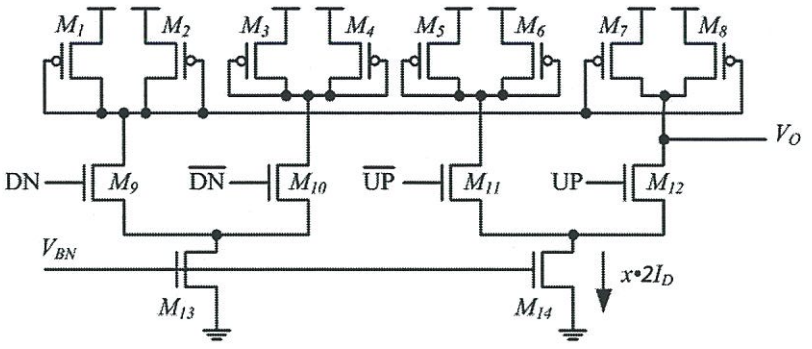
4.6 วงจรอัดประจุ และวงจรเปรียบเทียบเฟสและความถี่

เมื่อสามารถกำหนดคุณลักษณะของระบบได้แล้ว ขั้นตอนต่อไปคือออกแบบวงจรเปรียบเทียบเฟสและความถี่ และวงจรอัดประจุให้เหมาะสมกับความถี่ทำงาน สำหรับวงจรอัดประจุที่ออกแบบนั้น กระแสไบอัสวงจรจะเท่ากับกระแสวงจรกำเนิดไบอัสสำหรับดีเลย์ล็อกลูป และกำหนดกระแสไบอัสวงจรเท่ากับครึ่งหนึ่งของกระแสวงจรกำเนิดไบอัสสำหรับเฟสล็อกลูป ส่วนวงจรวัดเฟส และความถี่กำหนดดีเลย์ของสัญญาณรีเซตประมาณ 350 ps สำหรับใช้ในเฟสล็อกลูป เมื่อนำมาทดสอบการทำงานกับวงจรเปรียบเทียบเฟสและความถี่ จะได้คุณลักษณะของวงจรอัดประจุในตลอดช่วงแรงดัน V_{CTRL} แสดงดังรูปที่ 4.10 สำหรับวงจรแสดงดังรูปที่ 4.11 และขนาดทรานซิสเตอร์แสดงดังตารางที่ 4.3 จากรูปจะเห็นว่าจะเกิด blind zone ซึ่งเป็นผลมาจากการเพิ่มดีเลย์เพื่อลด dead zone จะทำให้ PFC เปรียบเทียบความต่างเฟสว่านำหรือตามกันผิดพลาด ทำให้เพิ่มเวลาในการเข้าสู่สถานะล็อก



รูปที่ 4.10 ความสัมพันธ์ของกระแสเฉลี่ยที่เอาต์พุตของวงจรอัดประจุ กับความคลาดเคลื่อนเฟส โดยทดสอบที่ความถี่ 100MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 วงจรอัดประจุ

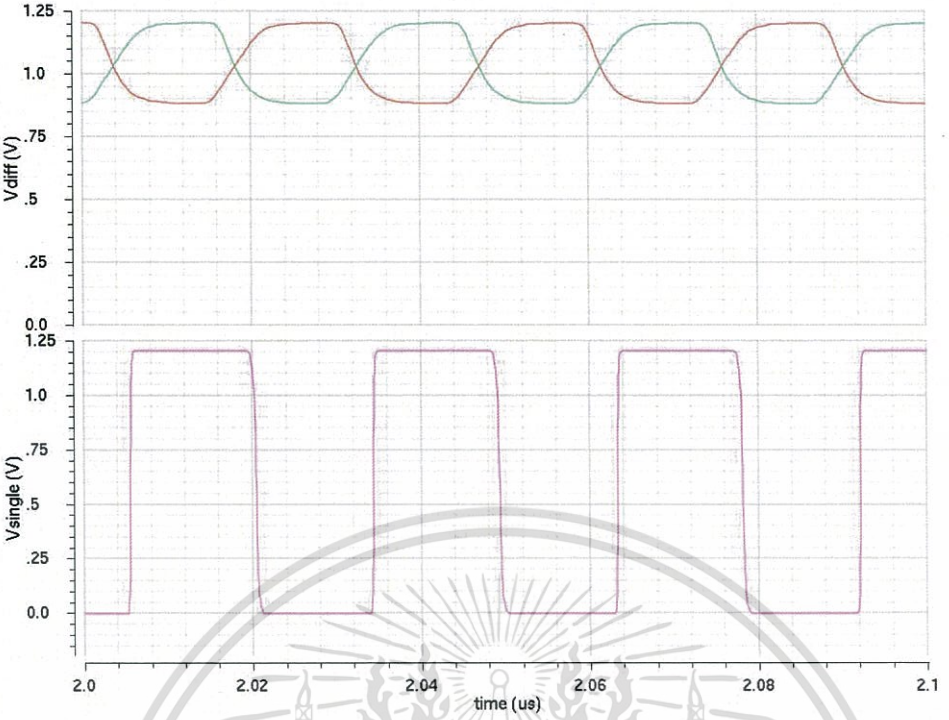
ตารางที่ 4.3 ขนาดทรานซิสเตอร์บนวงจรอัดประจุ

ทรานซิสเตอร์	W/L
M_1-M_8 (DLL)	400n/400n
M_1-M_8 (PLL)	200n/200n
M_9-M_{12} (DLL)	240n/120n
M_9-M_{12} (PLL)	120n/120n
M_{13}-M_{14} (DLL)	4.32µ/480n
M_{13}-M_{14} (PLL)	2.16µ/480n

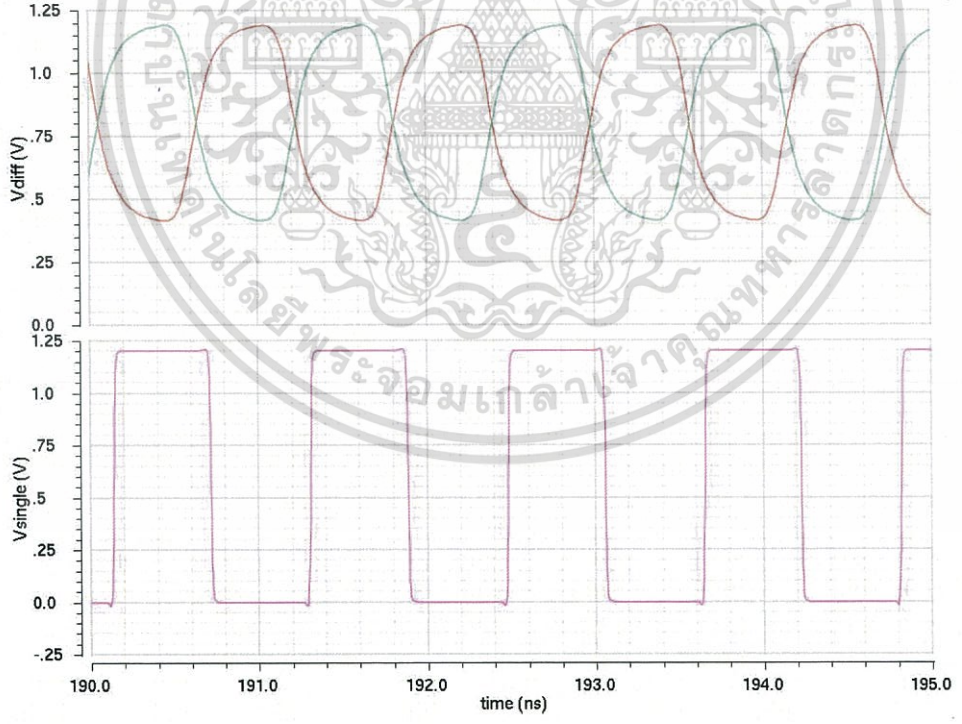
4.7 วงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว

การออกแบบวงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยวนั้น จะกำหนดอัตราส่วนของขนาดทรานซิสเตอร์ในวงจรขยายผลต่าง และกระแสไบอัสให้เป็นอัตราส่วนเดียวกับวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ เพื่อให้มีอินพุตโหมดร่วมที่เหมือนกันตลอดช่วงเอาต์พุตสวิงของวงจรดิฟเฟอเรนเชียลบัฟเฟอร์ ทำให้วงจรสามารถสัญญาณเอาต์พุตเป็นสัญญาณเดี่ยวที่มีรอบการทำงาน (Duty cycle) 50 % ตลอดช่วงความถี่ของ VCO จากการจำลองการทำงานของวงจรที่ออกแบบ โดยที่ $V_{CTRL} = 320\,\text{mV}$, $F_{VCO} = 35\,\text{MHz}$ ได้สัญญาณเอาต์พุตมีรอบการทำงาน 52% แสดงดังรูปที่ 4.12และที่ $V_{CTRL} = 800\,\text{mV}$, $F_{VCO} = 800\,\text{MHz}$ ได้สัญญาณเอาต์พุตมีรอบการทำงาน 49% แสดงดังรูปที่ 4.13 เหตุที่ทำให้รอบการทำงานเปลี่ยนแปลงตาม V_{CTRL} เนื่องมาจากความต้านทานเอาต์พุตของวงแปลงสัญญาณสูงทำให้ไวต่อดีซีออฟเซ็ท (DC offset) ซึ่งดีซีออฟเซ็ทเกิดจากความไม่สมดุลของกระแส M_6 กับ M_{14} เมื่อมีการเปลี่ยนแปลงจุดไบอัสในช่วงกว้าง วงจรแสดงดังรูปที่ 4.14 และขนาดทรานซิสเตอร์แสดงดังตารางที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

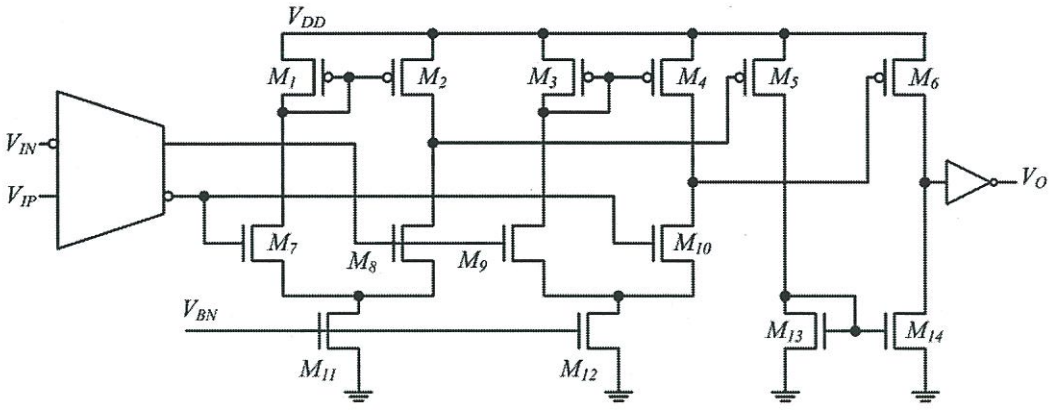


รูปที่ 4.12 สัญญาณผลต่างที่ความถี่ 35 MHz ถูกแปลงเป็นสัญญาณเดี่ยว



รูปที่ 4.13 สัญญาณผลต่างที่ความถี่ 800 MHz ถูกแปลงเป็นสัญญาณเดี่ยว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



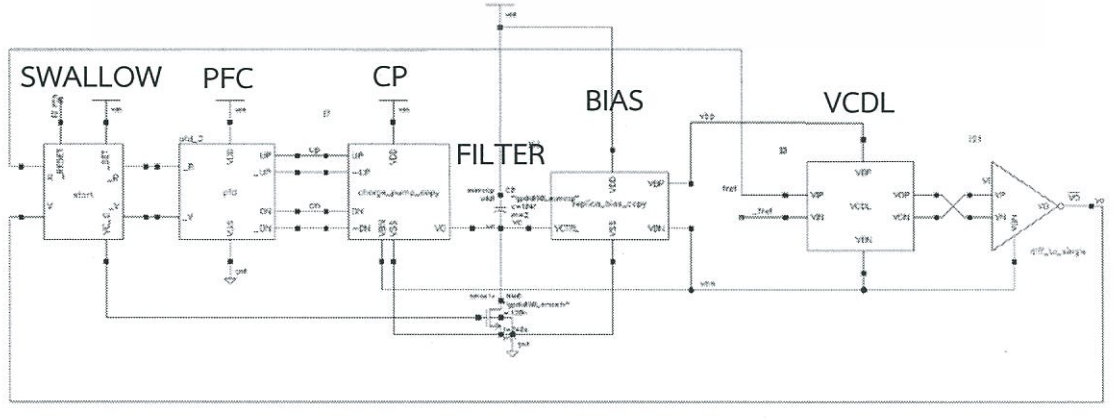
รูปที่ 4.14 วงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว

ตารางที่ 4.4 ขนาดทรานซิสเตอร์บนวงจรแปลงสัญญาณผลต่างเป็นสัญญาณเดี่ยว

ทรานซิสเตอร์	W/L
M_1-M_4	480n/120n
M_5,M_6	240n/120n
M_7-M_{10}	480n/120n
M_{11},M_{12}	4.32µ/480n
M_{13},M_{14}	240n/120n

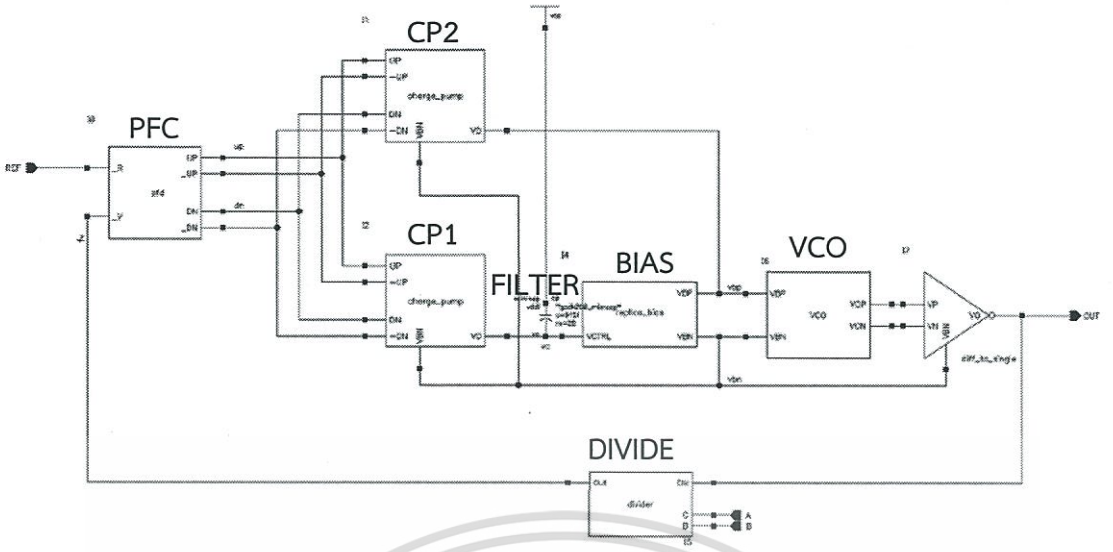
4.8 วงจรสมบูรณ์ของดีเลย์ล็อกลูป และเฟสล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง

วงจรที่สมบูรณ์ของดีเลย์ล็อกลูปแสดงดังรูปที่ 4.15 ประกอบไปด้วยวงจรกลืนสัญญาณพัลส์ วงจรวัดเฟส และความถี่ วงจรอัดประจุ วงจรกรองสัญญาณของลูป วงจรกำเนิดไบอัส และ VCDL ในส่วนวงจรเฟสล็อกลูปแสดงดังรูปที่ 4.16 ประกอบด้วยวงจรวัดเฟส และความถี่ วงจรอัดประจุ วงจรกรองสัญญาณของลูป วงจรกำเนิดไบอัส และ VCO



รูปที่ 4.15 วงจรสมบูรณ์ของดีเลย์ล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

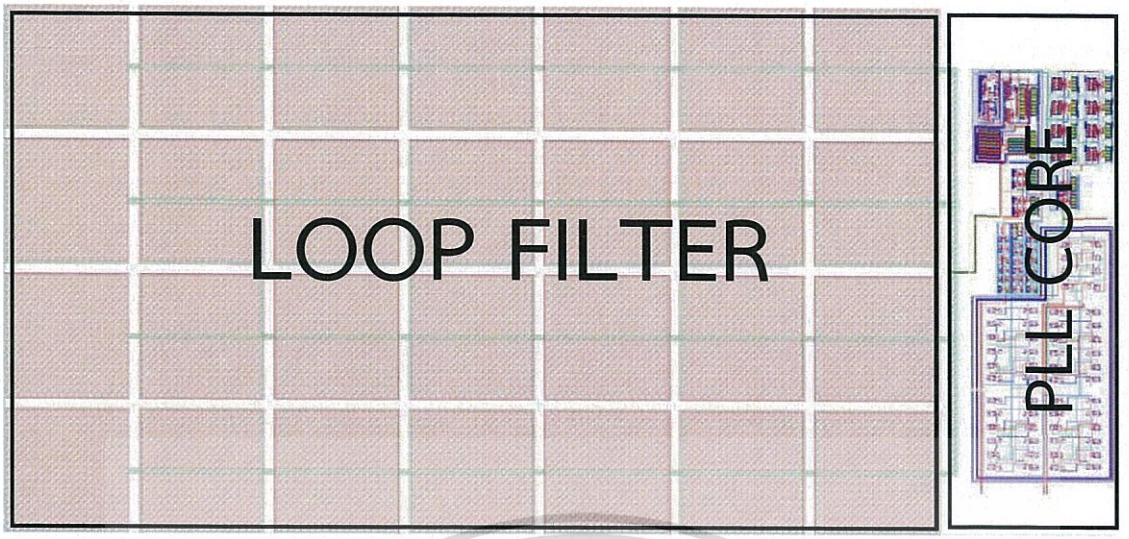


รูปที่ 4.16 วงจรสมบูรณ์ของเฟสล็อกลูป โดยใช้เทคนิคไบอัสตัวเอง

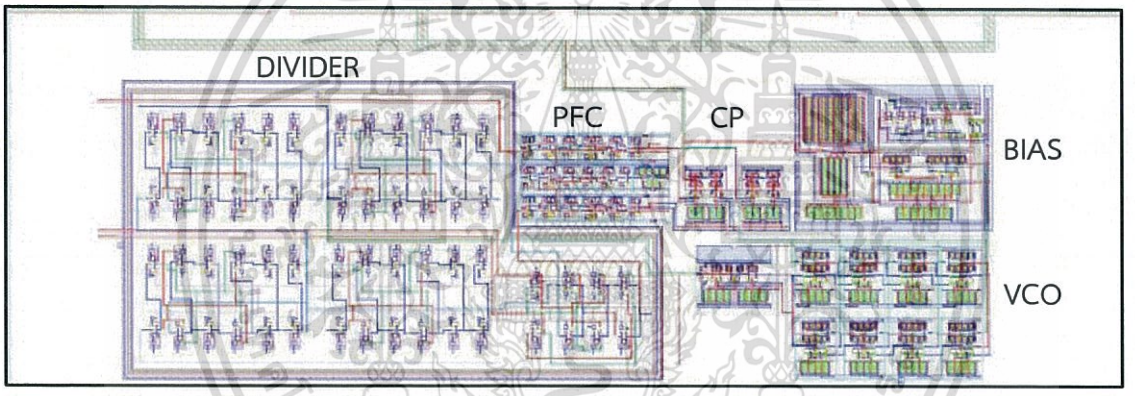
4.9 วงจรทางกายภาพ (Layout)

การออกแบบวงจรทางกายภาพนั้นจะเลือกออกแบบเฉพาะวงจรเฟสล็อกลูป เนื่องจากทั้งเฟสล็อกลูป และดีเลย์ล็อกลูปนั้นมีโครงสร้างที่คล้ายกัน ส่วนเทคโนโลยีที่ใช้ในการออกแบบวงจรนี้จะเป็นเทคโนโลยีซีมอส 90 nm ซึ่งมีข้อจำกัดในด้านกระแสรั่วไหลมีปริมาณสูงในระดับไมโครแอมป์ และเมื่อใช้มอสทรานซิสเตอร์ชนิดพีเป็นตัวเก็บประจุ ที่ไบอัสในช่วง accumulation ทำเป็นตัวเก็บประจุของวงจรกรองที่มีค่าในระดับพิโคฟารัด พบว่าจะมีกระแสรั่วรวมถึงระดับไมโครแอมป์ เพื่อลดผลของกระแสรั่วดังนั้นจึงเลือกที่จะสร้างตัวเก็บประจุแบบ Metal–insulator–metal (MIM) ซึ่งทำให้วงจรทางกายภาพนั้นมีขนาดใหญ่ รูปที่ 4.17 แสดงวงจรทางกายภาพเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง ขนาด 130 μm × 273 μm และรูปที่ 4.18 แสดงส่วนวงจรในเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 วงจรทางกายภาพเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง ขนาด 130 μm × 273 μm



รูปที่ 4.18 ส่วนวงจรในเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเอง

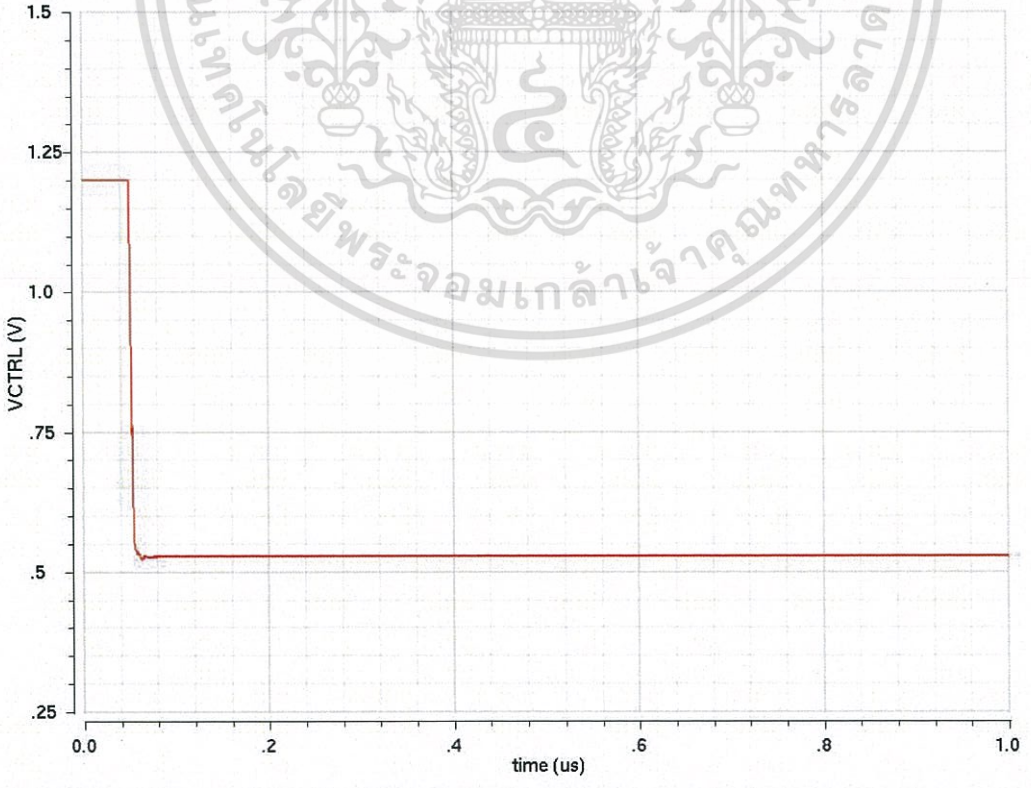
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลอง

การทดลองสำหรับดีเลย์ล็อกลูปนั้น จะทดสอบการล็อกที่สัญญาณความถี่ใดๆ เพื่อวิเคราะห์การตอบสนองของวงจร ในส่วนการทดลองของเฟสล็อกลูปนั้น จะแบ่งเป็นสองการทดลอง คือการทดสอบการล็อกที่ความถี่ใดๆ เพื่อวิเคราะห์การตอบสนองของวงจร และการทดสอบเกี่ยวกับสัญญาณรบกวนจากแหล่งจ่าย สำหรับการทดสอบการตอบสนองของวงจร จะเริ่มให้เฟสล็อกลูปเข้าล็อกในความถี่หนึ่งก่อนแล้วค่อยเปลี่ยนความถี่ไปอีกความถี่หนึ่งเพื่อดูการตอบสนองชั่วขณะของระบบ ส่วนการทดสอบสัญญาณรบกวนจากแหล่งจ่ายจะป้อนสัญญาณรบกวนที่แหล่งจ่ายที่มีความถี่ประมาณลูปแบนด์วิดธ์ที่ค่าหนึ่ง แล้วเปลี่ยนความถี่เอาต์พุต โดยให้อัตราส่วน ω_N / ω_{REF} มีค่าคงที่ ซึ่งสัญญาณรบกวนที่มีค่าใกล้ลูปแบนด์วิดธ์จะเป็นกรณีที่สามารถบอกถึงคุณสมบัติของเฟสล็อกลูปที่เกี่ยวกับจิทเตอร์ได้

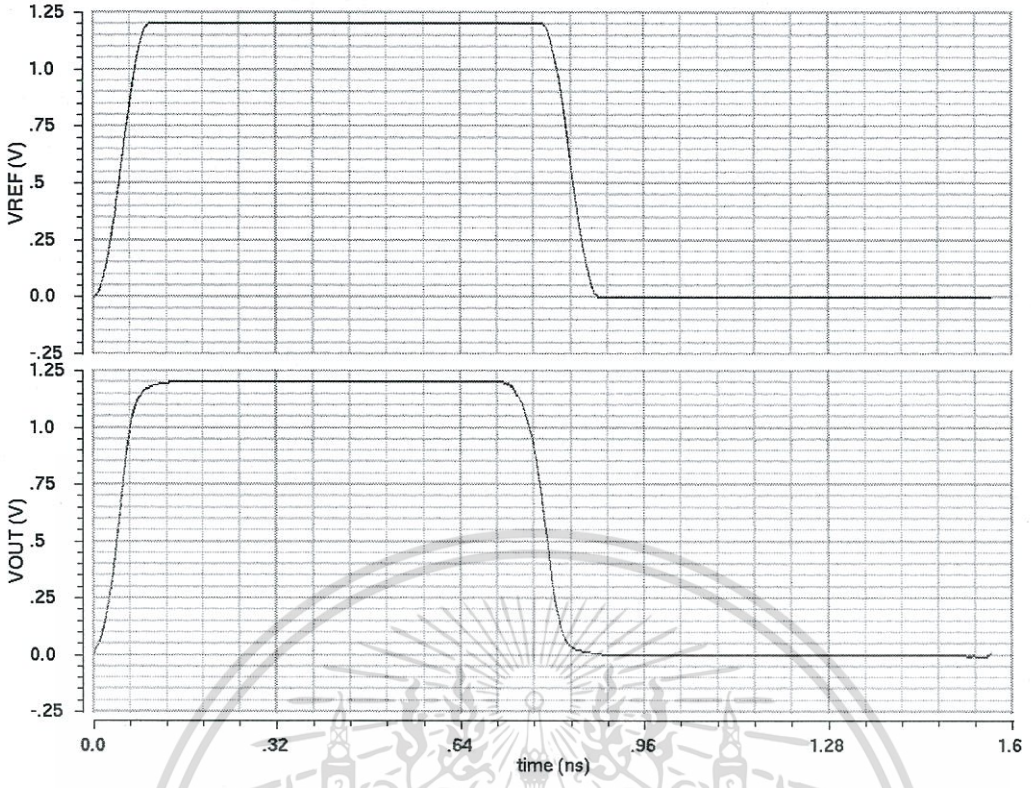
5.1 ผลการทดลองของดีเลย์ล็อกลูป

การทดลองของดีเลย์ล็อกลูป จะป้อนสัญญาณอ้างอิงความถี่ 640 MHz เพื่อวิเคราะห์การตอบสนองของวงจร จากรูปที่ 5.1 แสดงการตอบสนองของดีเลย์ล็อกลูปที่ความถี่ 640 MHz โดยให้วงจรเริ่มทำงานที่เวลา 50 ns เวลาเข้าที่ภายใน 2% เท่ากับ 10 ns และให้สัญญาณเอาต์พุต แสดงดังรูปที่ 5.2



รูปที่ 5.1 การตอบสนองของดีเลย์ล็อกลูปที่ความถี่ 640 MHz โดยให้วงจรเริ่มทำงานที่เวลา 50 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 สัญญาณอินพุต และเอาต์พุตที่ความถี่ 640 MHz

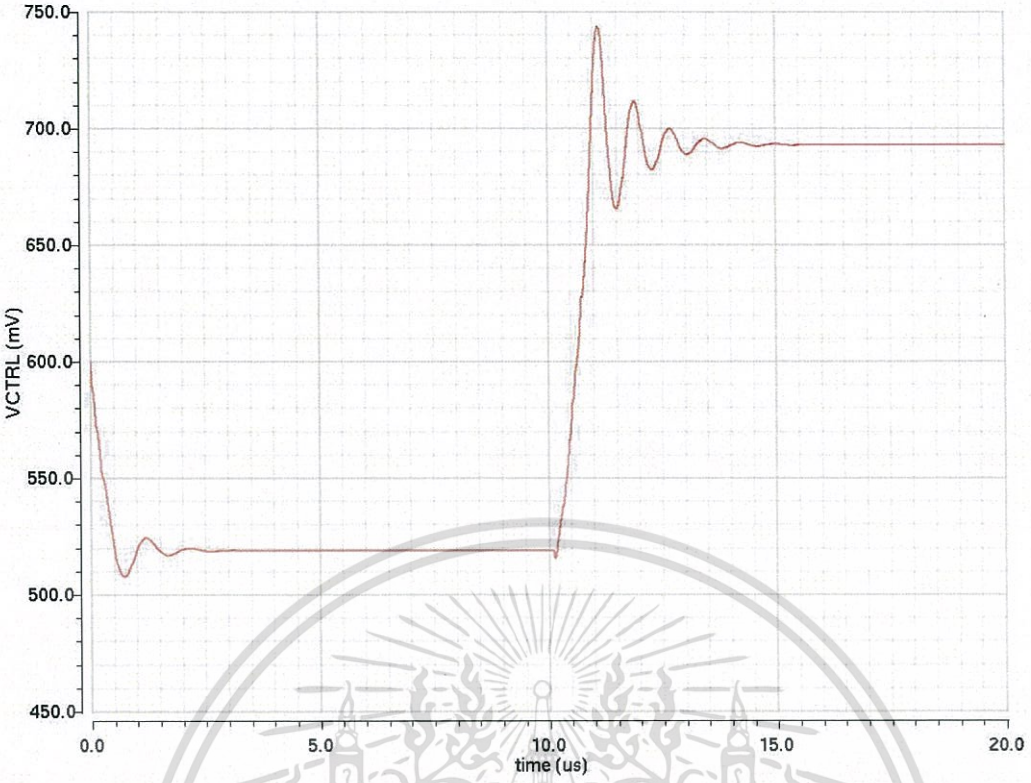
5.2 ผลการทดลองของเฟสล็อกลูป

5.2.1 การทดลองการตอบสนองของวงจรของเฟสล็อกลูป

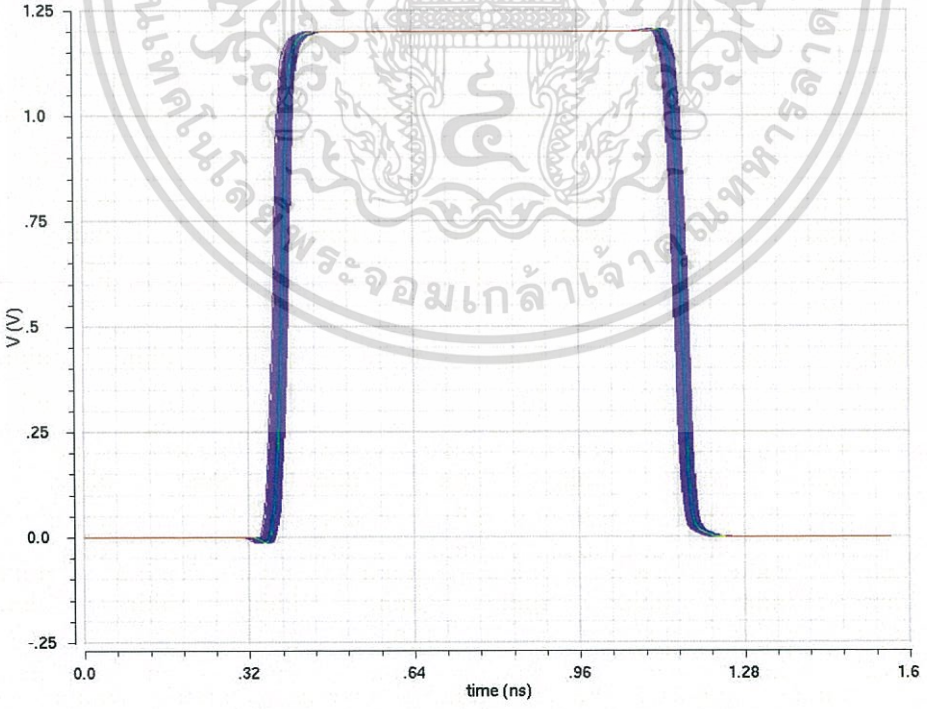
การทดลองการตอบสนองของเฟสล็อกลูปจะกำหนดความถี่อินพุตอ้างอิง 40MHz และเริ่มต้นให้ $N = 8$ ซึ่งเฟสล็อกลูปจะล็อกที่ความถี่ 320 MHz เมื่อเฟสล็อกลูปอยู่ในสภาวะล็อกที่ความถี่ 320 MHz แล้ว จะเปลี่ยนความถี่ไปที่ $N = 16$ ซึ่งเฟสล็อกลูปจะเปลี่ยนความถี่ไปล็อกที่ความถี่ 640 MHz ดังรูปที่ 5.3 จากรูป จะเห็นว่าต้องใช้เวลาประมาณ 3 μs เพื่อเข้าสู่สภาพล็อกที่ความถี่ 320 MHz และต้องใช้เวลาประมาณ 16 μs เพื่อเปลี่ยนจากความถี่ 320 MHz ไปสู่สภาพล็อกที่ความถี่ 640 MHz รูปที่ 5.4 แสดงสัญญาณเอาต์พุตที่ 640 MHz และเมื่อขยายรูปที่ขอบขาขึ้นของสัญญา จะได้ดังรูปที่ 5.5 ซึ่งมีค่า Tracking jitter เท่ากับ 32.4 ps peak-to-peak

สำหรับผลการจำลองการทำงานวงจรทางกายภาพ (Layout) ของเฟสล็อกลูป โดยใช้เงื่อนไขเดียวกับการจำลองการทำงานระดับวงจร ผลการตอบสนองที่ได้แสดงดังรูปที่ 5.6 จะเห็นว่าต้องใช้เวลาประมาณ 4 μs เพื่อเข้าสู่สภาพล็อกที่ความถี่ 320 MHz และต้องใช้เวลาประมาณ 17 μs เพื่อเปลี่ยนจากความถี่ 320 MHz ไปสู่สภาพล็อกที่ความถี่ 640 MHz นอกนี้ แรงดัน V_{CTRL} จากการจำลองการทำงานวงจรทางกายภาพมีค่าสูงกว่าการจำลองการทำงานระดับวงจร แสดงให้เห็นว่าความถี่สูงสุดของเฟสล็อกลูปที่ออกแบบได้จะลดลง จากรูปที่ 5.7 แสดงสัญญาณเอาต์พุตที่ 640 MHz จากรูป จะเห็นสัญญาณเอาต์พุตที่ได้นั้นมีขอบขาขึ้น และขอบขาลงที่ช้ากว่าการจำลองการทำงานระดับวงจร และเมื่อขยายรูปที่ขอบขาขึ้นของสัญญาณ จะได้ดังรูปที่ 5.8 ซึ่งมีค่า Tracking jitter เท่ากับ 38.2 ps peak-to-peak

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

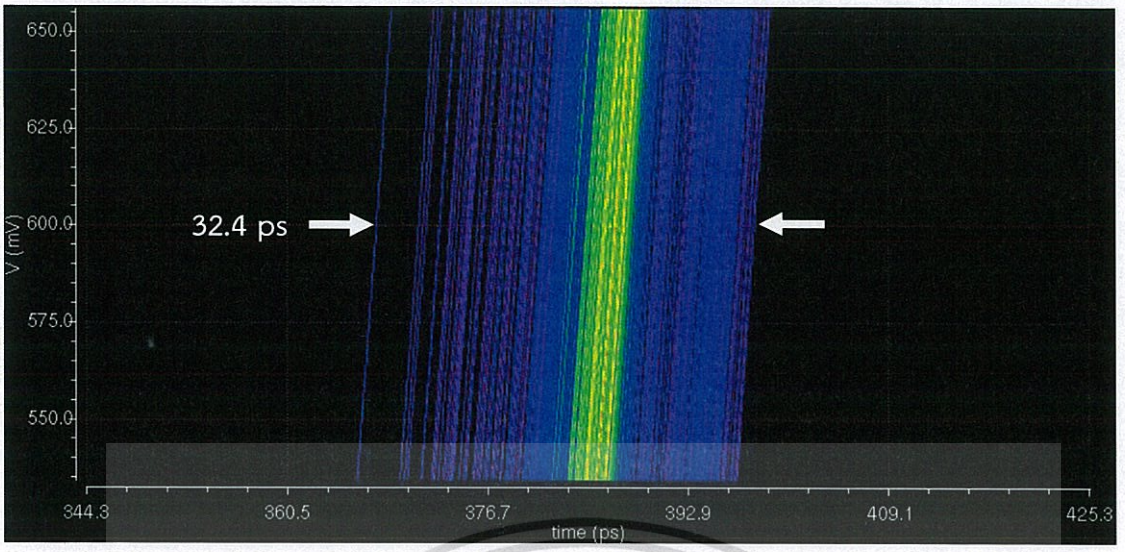


รูปที่ 5.3 การตอบสนองของเฟสล็อกของเฟสล็อกลูป โดยเริ่มจากความถี่ 320 MHz แล้วเปลี่ยนความถี่ไปที่ 640 MHz

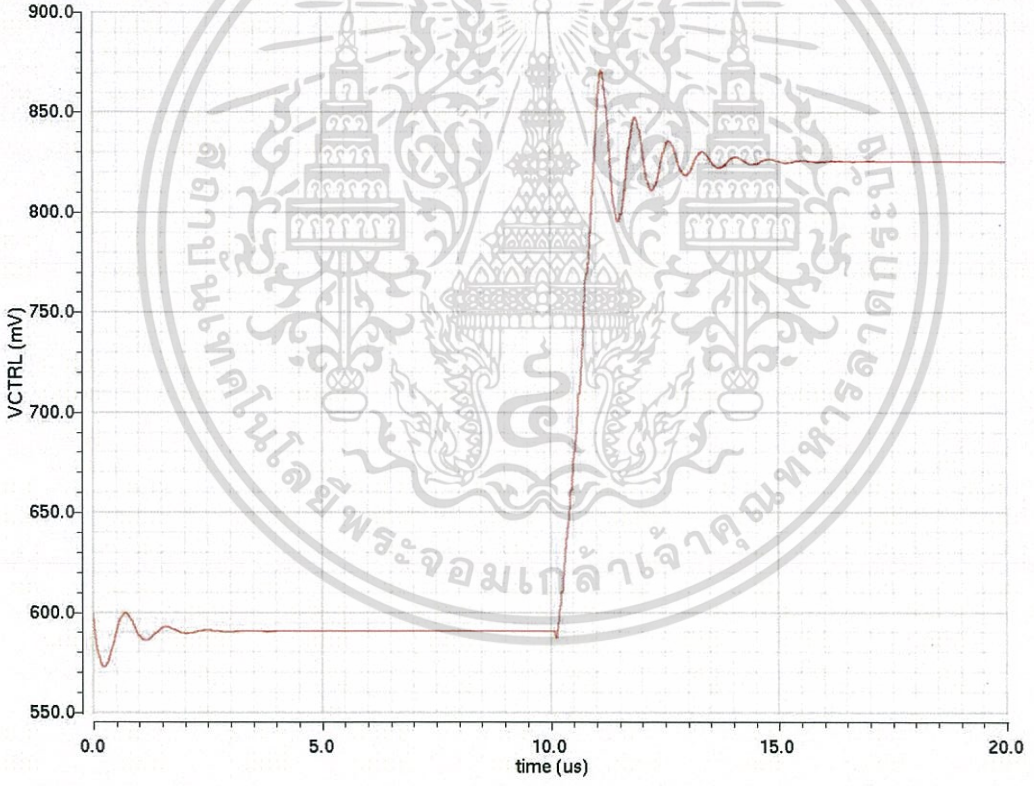


รูปที่ 5.4 สัญญาณเอาต์พุตที่ 640 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

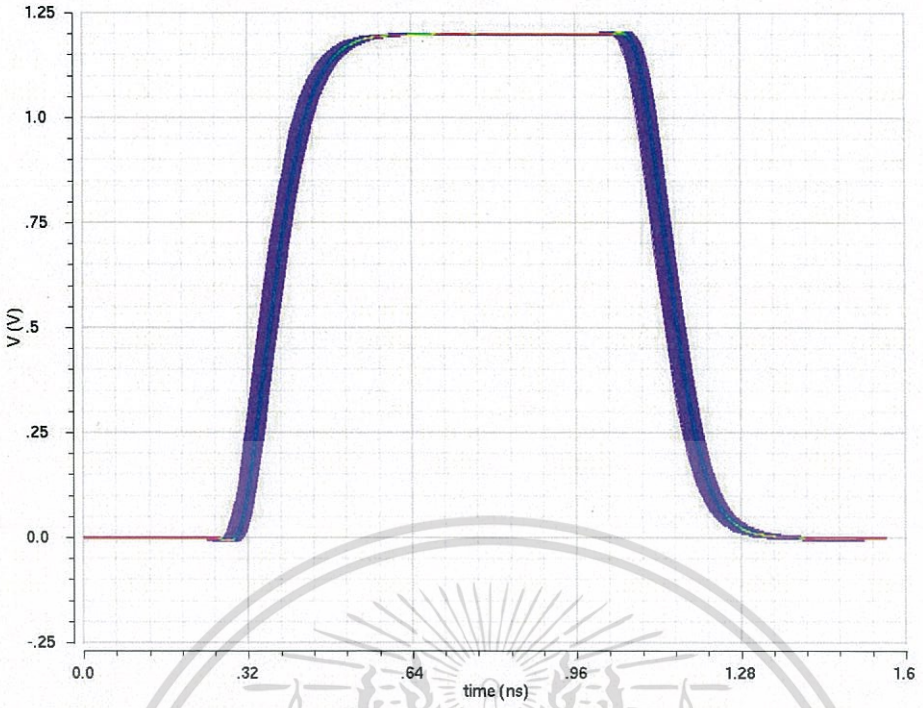


รูปที่ 5.5 สัญญาณเอาต์พุตที่ 640 MHz โดยขยายรูปที่ขอบขาขึ้น

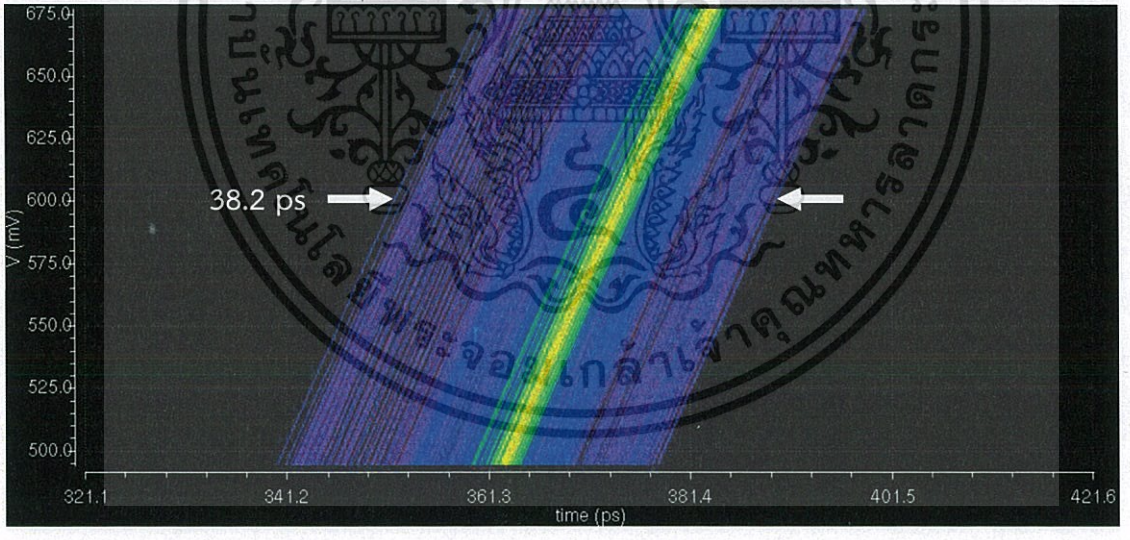


รูปที่ 5.6 การตอบสนองของเฟสล็อกของเฟสล็อกลูปจากการจำลองการทำงานของแผนผังวงจรของเฟสล็อกลูป โดยเริ่มจากความถี่ 320 MHz แล้วเปลี่ยนความถี่ไปที่ 640 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 สัญญาณเอาต์พุตที่ 640 MHz จากการจำลองการทำงานของวงจรทางกายภาพของเฟสล็อกลูป



รูปที่ 5.8 สัญญาณเอาต์พุตที่ 640 MHz จากการจำลองการทำงานของวงจรทางกายภาพของเฟสล็อกลูป โดยขยายรูปที่ขอบขาขึ้น

5.2.2 การทดลองสัญญาณรบกวนจากแหล่งจ่าย

สำหรับการทดลองนี้จะป้อนสัญญาณรบกวนที่แหล่งจ่าย โดย $V_{DD} = 1.2\,\mathrm{V}$ มีสัญญาณรบกวนรูปสี่เหลี่ยม 4 MHz ขนาด 100 mVp-p ซึ่งความถี่มีค่าประมาณลูปแบนด์วิดธ์ของระบบเมื่อให้ N=16 และ ความถี่อินพุตอ้างอิง 50 MHz ซึ่ง ω_N / ω_{REF} ประมาณ $1/12$ แล้วลดความถี่อินพุตอ้างอิงลงที่ละครึ่ง จะได้ผลการทดสอบดังตารางที่ 5.1

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 ผลทดลองของเฟสล็อกลูปเมื่อแหล่งจ่ายมีสัญญาณรบกวนกวนรูปสี่เหลี่ยม 4 MHz ขนาด 100 mVp-p

Operating frequency (MHz)	Tracking jitter (ps) Peak-to-peak	UI	%	Current (μA)
800	48	0.039	3.9	780
400	232	0.093	9.3	272
200	477	0.095	9.5	114
100	937	0.094	9.4	63
50	2690	0.14	14.0	33

จากตารางที่ 5.1 แสดงให้เห็นว่าเมื่อความถี่เอาต์พุตลดลง โดยการลดความถี่ของสัญญาณอินพุตอ้างอิง สัญญาณรบกวนจากแหล่งจ่ายไฟที่ถูกกำหนดโดยลูปแบนด์วิดธ์ของความถี่ 800 MHZ จะทำให้เกิดจิทเตอร์มากขึ้น เนื่องจากสัญญาณรบกวนเข้าใกล้ความถี่ VCO มากขึ้น แต่ ω_N กลับมีค่าลดลง

5.3 สรุป

จากการทดลองวงจรดีเลย์ล็อกลูป และเฟสล็อกลูป สามารถสรุปคุณสมบัติของวงจรได้ดังตารางที่ 5.1 และ 5.2

ตารางที่ 5.2 คุณสมบัติของดีเลย์ล็อกลูป

Technology	Standard CMOS 90 nm
Operating frequency range	60MHz - 1250MHz
Supply	1.2 V
Power consumption	100 μW - 996 μW

ตารางที่ 5.3 คุณสมบัติของเฟสล็อกลูปจากการจำลองวงจรทางกายภาพ

Technology	Standard CMOS 90 nm
Operating frequency range	32 MHz - 640 MHz
Supply	1.2 V
Power consumption	40 μW - 936 μW
Area	130 μm × 273 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุป และวิเคราะห์ผลการทดลอง

6.1 สรุปผลการทดลอง

ดีเลย์ล็อกลูป และเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองออกแบบโดยใช้เทคโนโลยีซีมอส 90 nm ต้องการแรงดันไฟเลี้ยง 1.2 V ผลการทดลองของดีเลย์ล็อกลูปจะเป็นผลการจำลองการทำงานของวงจร (Schematic) ส่วนเฟสล็อกลูปจะเป็นผลการจำลองการทำงานของวงจรทางกายภาพ (Layout)

ในส่วนดีเลย์ล็อกลูปที่ออกแบบสามารถทำงานได้ตลอดช่วงดีเลย์ของ VCDL ซึ่งมีความถี่ในช่วง 60MHz ถึง 1250MHz การกินพลังงาน 100 μW ถึง 996 μW

ส่วนเฟสล็อกลูปที่ออกแบบสามารถทำงานได้ตลอดช่วงความถี่ของ VCO ตั้งแต่ 32 MHz ถึง 640 MHz ค่า Tracking jitter เท่ากับ 38.2 ps ที่ความถี่ 640 MHz การกินพลังงาน 40 μW ถึง 936 μW และขนาดวงจรทางกายภาพ 130 μm × 273 μm

6.2 วิเคราะห์ผลการทดลอง

จากผลการทดลองของดีเลย์ล็อกลูป วงจรสามารถทำงานได้ตลอดช่วงดีเลย์ของ VCDL ที่ออกแบบ สำหรับข้อจำกัดของดีเลย์ที่ออกแบบนี้ คือไม่สามารถทวีคูณความถี่เหมือนเฟสล็อกลูปได้ทำให้ความถี่สูงสุดที่ออกแบบจะถูกกำหนดโดยความถี่สูงสุดที่วงจร PFC สามารถทำงานได้ และที่ความถี่สูงมากจะทำให้ลูปแบนด์วิดธ์มีค่าสูงทำให้ผลของการตอบสนองของวงจรไบอัสมีผลต่อระบบของดีเลย์ล็อกลูป อย่างไรก็ตาม ดีเลย์ล็อกลูปนั้นสามารถทำเป็นวงจรทวีคูณความถี่แบบเฟสล็อกลูปได้

จากผลการทดลองของเฟสล็อกลูป วงจรสามารถล็อกได้ และช่วงความถี่ทำงานของเฟสล็อก-ลูปสามารถทำงานได้ตลอดช่วงของความถี่ VCO คือ 40 MHz ถึง 800 MHz แต่เมื่อจำลองการทำงานของวงจรทางกายภาพ ความถี่ทำงานลดลง ซึ่งมีความถี่อยู่ในช่วง 32 MHz ถึง 640 MHz เนื่องจากความถี่ของ VCO มีค่าลดลงจากผลของความต้านทาน และความจุแฝงภายในวงจรทางกายภาพ อย่างไรก็ตาม การออกแบบเฟสล็อกลูปโดยใช้เทคนิคไบอัสตัวเองนั้น เพื่อแก้ปัญหาด้านการควบคุมเสถียรภาพของระบบ และควบคุมค่าปัจจัยหน่วง และอัตราส่วนแบนด์วิดธ์ต่อความถี่ทำงาน ซึ่งเกี่ยวข้องกับการตอบสนองของระบบ เพื่อให้วงจรสามารถทำงานได้ตลอดช่วงความถี่ของ VCO และมีประสิทธิภาพในการกำจัดสัญญาณรบกวนได้ตลอดช่วงความถี่ทำงาน

ในส่วนการตอบสนองของระบบนั้นเป็นไปตามการออกแบบ แต่ยังมีการแปรผันตามความถี่เอาต์พุต เนื่องจากตลอดช่วงความถี่ทำงานที่กว้าง แรงดัน V_{CTRL} จะต้องเปลี่ยนแปลงในช่วงกว้างเช่นกัน ทำให้ค่าพารามิเตอร์ x และ y ซึ่งเป็นอัตราส่วนของการสะท้อนกระแสเพื่อกำหนดไบอัสและเป็นตัวกำหนดคุณลักษณะของการตอบสนองของระบบเปลี่ยนแปลงตาม นอกจากนี้มีผลกระทบจากการตอบสนองวงจรไบอัส และความไม่เข้าคู่กันของตัวเก็บประจุที่ใช้ในวงจรกรองความถี่ของลูป C_1 กับ C_{EFF} เนื่องจากการเลือกใช้ C_1 เป็นแบบ MIM เพื่อแก้ปัญหาการรั่วไหลของกระแสในตัวเก็บประจุแบบมอสทรานซิสเตอร์ในเทคโนโลยีซีมอส 90 nm

ส่วนการออกแบบให้ระบบมีสัญญาณรบกวนต่ำ จะเน้นไปทางด้านการลดผลของสัญญาณรบกวนจากแหล่งจ่าย และสัญญาณรบกวนซับสเตรท ซึ่งจากผลทดลองการป้อนสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ประมาณลูปแบนด์วิดธ์เข้าที่แหล่งจ่ายแสดงให้เห็นว่า วงจรนั้นสามารถทำงาน และลดผลของสัญญาณรบกวนได้ตามทฤษฎีที่กล่าวไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] J. Meneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," IEEE J. Solid-State Circuits, Vol.31, No. 11, pp. 1723-1732, Nov. 1996.

[2] สิทธิชัย โภไคยอุดม, "วงจรป้อนกลับลบและออสซิลเลเตอร์," พิมพ์ครั้งที่ 2, มหาวิทยาลัยเทคโนโลยีมหานคร, กรุงเทพมหานคร, 2006.

[3] F. Gardner, "Phaselock Technique," John Wiley and Sons, 1979.

[4] B. Razavi, "RF Microelectronics," Prentice-Hall PRT, Upper Saddle River, N.J., 1998.

[5] F. Gardner, "Charge-pump phase-lock loops," IEEE Trans. Commun., vol. COM-28, no. 11, pp. 1849–1858, Nov. 1980.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้