วงจรซีมอสส่วนหน้าของภาครับสัญญาณคลื่นวิทยุความถี่ 2.4 GHz
2.4 GHz CMOS RF FRONT-END RECEIVER

นายนพรุจ ตั้งเจริญ
NOPAROOJ TUNGCHAROEN

นายปวีณ สิริอัคคานนท์
PAVEEN SIRIAKKANON

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2558

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรซีมอสส่วนหน้าของภาครับสัญญาณคลื่นวิทยุความถี่ 2.4 GHz

2.4 GHz CMOS RF FRONT-END RECEIVER

T143910

โดย

นพรุจ ตั้งเจริญ รหัส 55010610

ปวีณ สิริอัคคานนท์ รหัส 55010744

อาจารย์ที่ปรึกษา

รศ.ดร.อภินันท์ ธนชยานนท์

ดร.กฤษณ์พล ลีลาวัฒนานนท์

เลขหมู่.....
เลขทะเบียน 143910
วัน,เดือน,ปี 04 ต.ค. 2559

b 12810688
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร

สถาบันเทคโนโลยีพระจอมเกลาเจาคุณทหารลาดกระบัง

พ.ศ. 2558

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2558

สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรซีมอสส่วนหน้าของภาครับสัญญาณคลื่นวิทยุความถี่ 2.4 GHz

2.4 GHz CMOS RF Front-End Receiver

ผู้จัดทำ นายนพรุจ ตั้งเจริญ รหัสประจำตัว 55010610

นายปวีณ สิริอัคคานนท์ รหัสประจำตัว 55010744

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(รศ.ดร.อภินันท์ ธนชยานนท์)

อาจารย์ที่ปรึกษา

(ดร.กฤษณ์พล ลีลาวัฒนานนท์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	วงจรซีมอสส่วนหน้าของภาครับสัญญาณวิทยุความถี่ 2.4 GHz
นักศึกษา	นายนพรุจ ตั้งเจริญ รหัสประจำตัว 55010610
	นายปวีณ สิริอัคคานนท์ รหัสประจำตัว 55010744
ปริญญา	วิศวกรรมศาสตร์บัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2558
อาจารย์ที่ปรึกษาปริญญานิพนธ์	รศ. ดร. อภินันท์ ธนชยานนท์
	ดร. กฤษณ์พล ลีลาวัฒนานนท์

บทคัดย่อ

ปริญญานิพนธ์เล่มนี้อธิบายการออกแบบวงจรซีมอสส่วนหน้าของเครื่องรับสัญญาณวิทยุความถี่ 2.4 GHz ประกอบด้วย 3 ส่วน คือ วงจรขยายสัญญาณรบกวนต่ำ ทำหน้าที่ขยายสัญญาณที่รับเข้ามาจากเสาอากาศ มิกเซอร์ ทำหน้าที่มอดูเลชั่นทางความถี่จากความถี่วิทยุเป็นความถี่กลาง และวงจรสังเคราะห์ความถี่ ทำหน้าที่ผลิตความถี่ในช่วงที่ต้องการโดยใช้หลักการของเฟสล็อคลูปเพื่อนำไปใช้ในการมอดูเลชั่นทางความถี่ของมิกเซอร์ วงจรสังเคราะห์ความถี่สามารถผลิตความถี่ได้เพียงค่าเดียวแต่สามารถเลือกความถี่ได้หลายค่า โดยการออกแบบวงจรดังกล่าวใช้เทคโนโลยีซีมอส 0.35 ไมโครเมตร ด้วยแรงดันไฟเลี้ยง 3 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	2.4 GHz CMOS RF Front-End Receiver	
Student	Mr. Noparooj Tungcharoen	Student ID 55010610
	Mr. Paveen Siriakkanon	Student ID 55010744
Degree	Bachelor of Engineering	
Program	Electronics Engineering	
Year	2015	
Thesis Advisor	Assoc. Prof. Dr. Apinunt Thanachayanont	
	Dr. Kritsapon Leelavattananon	

ABSTRACT

This thesis describes the design of 2.4 GHz RF CMOS Front-End Receiver there are consist of 3 parts. A Low Noise Amplifier (LNA) is amplify a signal received from Antenna. Mixer is modulate a frequency from Radio frequency to Intermediate frequency and Frequency synthesizer is generate a range of frequency by use a method of phase locked loop. These Frequency use for frequency modulation of Mixer. Frequency synthesizer can generate only one frequency but it can select several frequency. The circuit was designed from a standard 0.35-μm CMOS technology and a 3-V single power supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานเล่มนี้ได้สำเร็จลุล่วงไปได้ด้วยดีเนื่องจากได้รับความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร. อภินันท์ ธนชยานนท์ และ ดร. กฤษณ์พล ลีลาวัฒนานนท์ ที่ได้ให้คำปรึษาทั้งในเรื่องแนวคิด และการดำเนินการทำโครงงาน ตลอดจนให้ความรู้ในการออกแบบวงจร

ขอขอบพระคุณคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้สนับสนุนอุปกรณ์และโปรแกรมสำหรับทำโครงงาน

และสุดท้ายนี้ขอขอบคุณ เพื่อนๆ และพี่ๆภายในห้องปฏิบัติการที่ได้ให้คำปรึกษาและความช่วยเหลือในด้านต่างๆตลอดการทำโครงงาน จนสำเร็จลุล่วงไปได้ด้วยดี

นพรุจ ตั้งเจริญ

ปวีณ สิริอัคคานนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญรูป IX

สารบัญตาราง XV

บทที่ 1 บทนำ 1

1.1 ที่มาและความสำคัญ 1

1.2 วัตถุประสงค์ของการศึกษา 1

1.3 สมมุติฐานของโครงงาน 1

1.4 ขอบเขตของโครงงาน 1

1.5 ประโยชน์ที่คาดว่าจะได้รับ 2

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง 3

2.1 ความเป็นเชิงเส้นของวงจร (Linearity) 3

2.1.1 Third order intercept point (IP_3) 3

2.1.2 การคำนวณความเป็นเชิงเส้นแบบคาสเคด (Cascade stage) 6

2.2 สัญญาณรบกวนในวงจร (Noise) 6

2.3 Sensitivity and dynamic range (DR) 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

2.4 โครงสร้างของวงจรรับสัญญาณ (Receiver architecture) 9

2.4.1 Basic heterodyne receiver 9

2.4.2 Direct conversion receiver 10

2.4.3 Low-IF receiver 11

2.5 วงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA) 12

2.5.1 ค่าพารามิเตอร์ที่สำคัญ 12

2.5.2 โครงสร้างของ LNA (LNA Topologies) 14

2.5.2.1 Common-source stage with inductive load 14

2.5.2.2 Common-source stage with resistive feedback 15

2.5.2.3 Cascode Common-Source stage with inductive degeneration 16

2.5.2.4 Common-Gate Stage with inductive load 18

2.5.2.5 Common-Gate Stage with inductive load 19

2.6 Mixer 20

2.6.1 Mixer Noise Figure 21

2.6.2 Active และ Passive mixer 22

2.6.3 Source degeneration 22

2.6.4 Active down-conversion mixer 23

2.6.5 Switch transconductance mixer 24

2.7 วงจรสังเคราะห์ความถี่ (Frequency synthesizer) 25

2.7.1 โครงสร้างและหลักการทำงานของวงจรเฟสล็อกลูป 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

2.7.2 ค่าพารามิเตอร์ที่สำคัญของวงจร 26

2.7.3 วงจรตรวจจับเฟสและความถี่ (Phase frequency detector : PFD) 27

2.7.4 วงจรอัดประจุ 28

2.7.5 Loop filter 30

2.7.6 วงจรกำเนิดสัญญาณ (Oscillator) 30

2.7.6.1 หลักการป้อนกลับของวงจรออสซิเลเตอร์ 30

2.7.6.2 One-port view oscillator 31

2.7.6.3 Cross couple oscillator 32

2.7.7 วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (Voltage-controlled oscillator : VCO) 34

2.7.7.1 Tuning Range Limitations 34

2.7.7.2 Discrete tuning 36

2.7.7.3 เฟสนอยด์ของวงจรควบคุมความถี่ด้วยแรงดัน (VCO Phase noise) 37

2.7.8 Transfer function ของวงจรเฟสล็อคลูป 38

2.7.9 วงจรหารความถี่ (Frequency divider) 41

2.7.9.1 Current mode logic (CML) 42

2.7.9.2 วงจรหารสอง 43

2.7.9.3 วงจรนับ (Counter) 43

2.7.9.4 Pulse swallow divider 45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

บทที่ 3 การคำนวณและการออกแบบวงจร 47

3.1 การคำนวณค่าพารามิเตอร์ที่สำคัญของระบบ 47

3.2 การออกแบบวงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA) 48

3.3 การออกแบบวงจร Active down-conversion mixer 51

3.4 การออกแบบวงจรสร้างแหล่งจ่ายกระแสอ้างอิง (Current reference) 53

3.5 การคำนวณค่าพารามิเตอร์วงจรสังเคราะห์ความถี่ 54

3.6 วงจรเปรียบความถี่และผลต่างเฟส (Phase frequency detector) 57

3.7 วงจรอัดประจุ (Charge pump) และลูปฟิลเตอร์ (Loop filter) 58

3.8 วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (Voltage-controlled oscillator : VCO) 59

3.9 วงจรกำเนิดสัญญาณแบบผลึก (Crystal oscillator) 61

3.10 วงจรหารความถี่ (Frequency Divider) 62

3.10.1 วงจรหารสอง 63

3.10.2 Differential to full swing converter 64

3.10.3 Pulse swallow divider 65

3.10.3.1 Dual-modulus divider 65

3.10.3.2 Swallow counter 65

3.10.3.3 Program counter 66

บทที่ 4 ผลการทดลอง 67

4.1 ผลการทดสอบวงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA) 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

4.2 ผลการทดสอบวงจร Active down-conversion mixer 71

4.3 ผลการทดสอบระบบรวม (LNA Mixer cascade) 73

4.4 ผลการทดสอบวงจรแหล่งจ่ายกระแสอ้างอิง (Current reference) 77

4.5 ผลการทดสอบวงจรเปรียบความถี่และผลต่างเฟส (Phase frequency detector) 78

4.6 ผลการทดสอบวงจรอัดประจุ (Charge pump) และลูปฟิลเตอร์ (Loop filter) 79

4.7 ผลการทดสอบวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (Voltage-controlled oscillator) 80

4.8 ผลการทดสอบวงจรกำเนิดสัญญาณแบบผลึก (Crystal oscillator) 84

4.9 ผลการทดสอบวงจรวงจรหารความถี่ (Frequency Divider) 86

4.9.1 ผลการทดสอบวงจรหารสองรูปแบบ CML 86

4.9.2 ผลการทดสอบวงจร 15/16 Dual modulus divider 87

4.9.3 ผลการทดสอบวงจร Swallow counter 88

4.9.4 ผลการทดสอบวงจร Program counter 88

4.9.5 ผลการทดสอบวงจร Pulse swallow divider 89

4.10 ผลการทดสอบวงจรสังเคราะห์ความถี่ (Frequency synthesizer) 90

บทที่ 5 สรุปผลการทดลองและข้อเสนอแนะ 94

5.1 สรุปผลการทดลอง 94

5.2 ข้อเสนอแนะ 94

บรรณานุกรม 95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 กราฟค่าฮาร์มอนิกที่เกิดตามความถี่ต่างๆ 4

2.2 กราฟจุดตัด IP2 และ IP3 5

2.3 กราฟจุด Third Order Intercept Point และจุด Gain Compression 5

2.4 ความสัมพันธ์ระหว่างสเปรกตรัมของสัญญาณเทียบกับ Third order intercept point 6

2.5 กราฟสเปรกตรัมของสัญญาณเพื่อบ่งบอกถึงความหมายของ DR และ SFDR 8

2.6 บล๊อคไดอะแกรมแสดงถึงรูปแบบ Basic heterodyne receiver 9

2.7 บล๊อคไดอะแกรมแสดงถึงโครงสร้างแบบ Direct conversion receiver 11

2.8 บล๊อคไดอะแกรมแสดงถึงโครงสร้างแบบ Low-IF receiver 11

2.9 Input-refer noise voltage และวงจร LNA โดยทั่วไป 12

2.10 ความสัมพันธ์ระหว่างอัตราขยายกับสัญญาณรบกวนและอัตราขยายกับความเป็นเชิงเส้น 13

2.11 เส้นกราฟค่า τ ในระนาบของความต้านทานอินพุต (Input impedance) 14

2.12 วงจรขยายซอร์สร่วมที่ใช้ตัวเหนี่ยวนำเป็นโหลด (Inductively-loaded) 15

2.13 วงจรขยายซอร์สร่วมป้อนกลับด้วยความต้านทานและวงจรในรูปอย่างง่าย 16

2.14 ผลกระทบของสัญญาณรบกวนจาก R_F และ M_1 ในวงจรขยายซอร์สร่วม 16

2.15 ค่าความต้านทานอินพุตของวงจร Inductively-degenerated 17

2.16 การคำนวณ Noise figure โดยวิเคราะห์จากวงจรสัญญาณขนาดเล็ก 17

2.17 วงจรขยายเกตร่วมและผลของสัญญาณรบกวนที่ M_1 19

2.18 ความสัมพันธ์ระหว่าง Down-conversion Mixer และ Up-conversion Mixer 20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

2.19 Single-sideband (SSB) noise figure 21

2.20 Double-sideband (DSB) noise figure 22

2.21 Source degeneration double balance gilbert cell mixer 23

2.22 บล๊อคไดอะแกรมแสดงถึงหลักการทำงานของ Active down-conversion mixer 23

2.23 Gilbert cell single balance mixer 24

2.24 บล๊อคไดอะแกรมของวงจรเฟสล๊อกลูป 25

2.25 การตอบสนองของวงจรตรวจจับเฟสและความถี่ 27

2.26 แผนผังการทำงานของวงจรตรวจจับเฟสและความถี่ 27

2.27 จุดเดทโซน (Dead zone) ของวงจรตรวจจับเฟสและความถี่ 28

2.28 วงจรอัดประจุ (Charge pump) 29

2.29 การตอบสนองทางเวลาของวงจรอัดประจุ 29

2.30 ระบบการป้อนกลับแบบลบ 31

2.31 การใช้ตัวต้านทาน –Rp เพื่อหักล้างการสูญเสียของ Rp 31

2.32 การใช้มอสเฟตเพื่อสร้างตัวต้านทานลบ 31

2.33 วงจรเมื่อต่อตัวเหนี่ยวนำเข้ากับวงจรสร้างตัวต้านทานลบ 32

2.34 วงจร LC-Tune amplifier 33

2.35 Cross-coupled oscillator 33

2.36 กราฟคุณลักษณะของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน 34

2.37 วงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่ใช้ Mos varactor ควบคุม 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

2.38 วงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่รูปแบบ Top Bias current 35

2.39 วงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่รูปแบบ NMOS และ PMOS Cross-couple pair 36

2.40 วงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่ใช้วิธี Discrete tuning 36

2.41 สัญญาณซายน์ในอุดมคติและสัญญาณซายน์ที่มีสัญญาณรบกวน 37

2.42 สเปรกตรัมของสัญญาณซายน์ในอุดมคติและสัญญาณซายน์ที่มีสัญญาณรบกวน 37

2.43 วงจรส่วนหน้าของภาครับสัญญาณ 38

2.44 วงจรเฟสล๊อคลูป Type I 38

2.45 วงจรเฟสล๊อคลูป Type II 40

2.46 วงจรเฟสล๊อคลูปที่เพิ่มตัวเก็บประจุ C2 เข้าไป 41

2.47 วงจร CML latch 42

2.48 วงจรหารสอง 43

2.49 วงจรนับ (Counter) 44

2.50 วงจร Pulse swallow divider 45

3.1 วงจรขยายซอร์สร่วมคาสโคดที่ต่อตัวเหนี่ยวนำลดทอน 48

3.2 วงจร Single-ended to differential 50

3.3 วงจรขยายสัญญาณรบกวนต่ำที่นำไปต่อเข้ากับวงจร Single-ended to differential 50

3.4 Gilbert cell double balance mixer 51

3.5 วงจรสร้างแหล่งจ่ายกระแสอ้างอิง (Current reference) 54

3.6 กราฟแสดงจุดโพล (Pole) และซีโร่ (Zero) ของระบบ 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

3.7 กราฟการตอบสนองทางความถี่ของระบบ (Frequency response) 56

3.8 กราฟการตอบสนองทางเวลาของระบบ (Transient response) 57

3.9 กราฟการตอบสนองทางเวลาของระบบเปิด (Open-loop response) 57

3.10 วงจร Phase frequency detector 58

3.11 วงจรอัดประจุ (Charge pump) 59

3.12 วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (Voltage controlled oscillator) 60

3.13 วงจรบัฟเฟอร์ในรูปแบบวงจรขยายผลต่าง 60

3.14 วงจรสมมูลของของ Quartz crystal 61

3.15 วงจรกำเนิดสัญญาณแบบผลึก (Crystal oscillator) 62

3.16 บล๊อคไดอะแกรมของวงจรหารความถี่ 62

3.17 วงจร CML 63

3.18 วงจร Differential to full swing converter 64

3.19 วงจร Dual modulus divider 65

3.20 วงจร Swallow counter 66

3.21 วงจร Program counter 66

4.1 อัตราขยายของวงจรขยายสัญญาณรบกวนต่ำที่ความถี่ต่างๆ 67

4.2 อัตราขยายของ LNA ที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยงต่างๆ 67

4.3 Noise figure ของ LNA ที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยงต่างๆ 68

4.4 IPN Curve ของ LNA ทำงานที่แรงดันไฟเลี้ยง 3 V 68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

4.5 ค่า IP3 ของวงจร LNA ที่แรงดันไฟเลี้ยงต่างที่อุณหภูมิ -40 ℃ ถึง 80 ℃ 69

4.6 Input matching ของ LNA 69

4.7 อัตราขยายของ Mixer ที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยงต่างๆ....70

4.8 Noise figure ของ Mixer ที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยงต่างๆ 71

4.9 ค่า IIP3 ของ Mixer ที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยงต่างๆ....72

4.10 อัตราขยายของวงจรรวมที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยงต่างๆ 74

4.11 Noise figure ของวงจรรวมที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยงต่างๆ 74

4.12 IP3 ของวงจรที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยง ต่างๆ 75

4.13 IPN Curves ของวงจรที่แรงดันไฟเลี้ยง 3 V 75

4.14 กราฟกระแสของวงจรที่อุณหภูมิ -40 □ ถึง 80 □ ทำงานที่แรงดันไฟเลี้ยง ต่างๆ....77

4.15 ผลการทดสอบวงจร PFD กรณีเฟสของสัญญาณ Ref นำหน้า Div 78

4.16 ผลการทดสอบวงจร PFD กรณีเฟสของสัญญาณ Div นำหน้า Ref 79

4.17 ผลการทดสอบวงจร PFD กรณีเฟสของสัญญาณ Div ตรงกับ Ref 79

4.18 ผลการทดสอบวงจรอัดประจุเมื่อเกิดการอัดประจุและคายประจุ....80

4.19 ผลการทดสอบอัตราขยายของวงจรอัดประจุที่อุณหภูมิ -40 ถึง 80 °C 80

4.20 สัญญาณเอาต์พุตของวงจรบัฟเฟอร์ที่ต่อถัดมาจากวงจรควบคุมความถี่ด้วยแรงดัน 81

4.21 กราฟความสัมพันธ์ระหว่าง KVCO และ VCON 81

4.22 กราฟความสัมพันธ์ระหว่างความถี่เอาต์พุตและค่าแรงดันควบคุมของแถวตัวเก็บประจุต่างกัน 82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

4.23 ความถี่เอาต์พุตของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน 82

4.24 กราฟความสัมพันธ์ระหว่างสัญญาณรบกวนเชิงเฟสกับความถี่ออฟเซต 83

4.25 กราฟความสัมพันธ์ระหว่างสัญญาณรบกวนเชิงเฟสกับอุณหภูมิ -40 ถึง 80°C 100KHz 83

4.26 กราฟความสัมพันธ์ระหว่างสัญญาณรบกวนเชิงเฟสกับอุณหภูมิ -40 ถึง 80°C 1 MHz 84

4.27 สัญญาณเอาต์พุตวงจรออสซิเลเตอร์แบบผลึก 84

4.28 ความถี่เอาต์พุตวงจรออสซิเลเตอร์แบบผลึกที่อุณหภูมิ -40 ถึง 80 °C ที่แรงดันไฟเลี้ยงต่างๆ 85

4.29 สัญญาณรบกวนเชิงเฟสของวงจรออสซิเลเตอร์แบบผลึก 85

4.30 สัญญาณรบกวนเชิงเฟสของวงจรออสซิเลเตอร์แบบผลึกที่ความถี่ออฟเซต 1 MHz 86

4.31 ตัวอย่างสัญญาณเอาต์พุตของวงจร CML แต่ละตัว 87

4.32 ผลการทดสอบวงจร 15/16 Dual modulus divider 87

4.33 ผลการทดสอบวงจร Swallow counter 88

4.34 ผลการทดสอบวงจร Program counter 89

4.35 ผลการทดสอบวงจร Pulse swallow divider 89

4.36 กราฟการตอบสนองทางเวลา (Transient response) ของวงจรสังเคราะห์ความถี่ 90

4.37 กราฟการตอบสนองทางเวลา เมื่อค่า k จากสมการที่ (3.16) มีค่าสูงสุด 91

4.38 กราฟการตอบสนองทางเวลาเมื่อค่า k จากสมการที่ (3.16) มีค่าต่ำสุด 91

4.39 สัญญาณรบกวนเชิงเฟส (Phase noise) ของระบบ 93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

3.1 ค่าพารามิเตอร์ต่างๆที่ใช้สำหรับวงจรขยายสัญญาณรบกวนต่ำ 48

3.2 ค่าพารามิเตอร์ต่างๆที่ใช้ในวงจร Active down-conversion mixer 52

3.3 ขนาดมอสเฟต ตัวต้านทานและกระแสที่ใช้ในวงจร CML 64

4.1 ค่าพารามิเตอร์ของ LNA ที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 2.7 V 70

4.2 ค่าพารามิเตอร์ของ LNA ที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.0 V 71

4.3 ค่าพารามิเตอร์ของ LNA ที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.3 V 71

4.4 ค่าพารามิเตอร์ของ Mixer ที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 2.7 V 73

4.5 ค่าพารามิเตอร์ของ Mixer ที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.0 V 73

4.6 ค่าพารามิเตอร์ของ Mixer ที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.3 V 73

4.7 ค่าพารามิเตอร์ของวงจรรวมที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 2.7 V 76

4.8 ค่าพารามิเตอร์ของวงจรรวมที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.0 V 76

4.9 ค่าพารามิเตอร์ของวงจรรวมที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.3 V 76

4.10 คุณสมบัติของวงจขยายสัญญาณรบกวนต่ำและวงจรมิกเซอร์ 77

4.11 ค่าพารามิเตอร์ของระบบที่ต่างกันจากการคำนวณเมื่ออุณหภูมิเปลี่ยนแปลง 92

4.12 คุณสมบัติของวงจรสังเคราะห์ความถี่ 93

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันระบบการสื่อสารด้วยคลื่นวิทยุได้มีการพัฒนาไปอย่างเร็วและมีอยู่ทั่วไปในอุปกรณ์อิเล็กทรอนิกส์ ในการติดต่อสื่อสารของระบบด้วยคลื่นวิทยุจำเป็นที่จะต้องมีวงจรสำหรับส่งสัญญาณ (Transceiver) และรับสัญญาณ (Receiver) เพื่อใช้ในการติดต่อสื่อสาร

วงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA) , Mixer และวงจรสังเคราะห์ความถี่ (Frequency synthesizer) เป็นวงจรที่อยู่ภายในวงจรรับสัญญาณและเป็นวงจรพื้นฐานที่สำคัญของวงจรในระบบสื่อสาร เช่น Bluetooth , Wi-Fi , GPS และอื่นๆ

1.2 จุดมุ่งหมายและวัตถุประสงค์ของการศึกษา

จุดมุ่งหมายของโครงงานนี้เพื่อนำเสนอการออกแบบวงจรขยายสัญญาณรบกวนต่ำ (Low Noise Amplifier), วงจร Mixer และวงจรสังเคราะห์ความถี่ (Frequency synthesizer) เน้นการศึกษาในเรื่องของพื้นฐานของระบบการสื่อสารในวงจรรวม การออกแบบและคำนวณวงจร รวมไปถึงค่าพารามิเตอร์ที่สำคัญสำหรับวงจร เพื่อให้วงจรสามารถทำงานได้ตามคุณลักษณะที่ได้กำหนดไว้

1.3 สมมุติฐานของโครงงาน

วงจรขยายสัญญาณรบกวนต่ำ (Low Noise Amplifier) สามารถทำงานที่ความถี่ 2.4 GHz และสามารถขยายสัญญาณได้ตามที่ได้กำหนดไว้โดยมีสัญญาณรบกวนต่ำ วงจร mixer สามารถเปลี่ยนแปลงความถี่หนึ่งไปยังอีกความถี่ได้ และวงจรสังเคราะห์ความถี่ (Frequency synthesizer) สามารถสังเคราะห์ความถี่ออกมาได้ตามความถี่ที่ต้องการ โดยสามารถนำวงจรทั้งหมดนี้ไปใช้งานในวงจรซีมอสส่วนหน้าของภาครับสัญญาณคลื่นวิทยุความถี่ 2.4 GHz (2.4 GHz CMOS RF Front end receiver)

1.4 ขอบเขตของโครงงาน

ออกแบบวงจรขยายสัญญาณรบกวนต่ำ (Low Noise Amplifier), วงจร mixer และวงจรสังเคราะห์ความถี่ (Frequency synthesizer) ให้สามารถนำไปใช้งานในวงจรซีมอสส่วนหน้าของภาครับสัญญาณคลื่นวิทยุความถี่ 2.4 GHz (2.4 GHz CMOS RF Front end receiver)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ประโยชน์ที่คาดว่าจะได้รับ

ได้รับความรู้ ความเข้าใจในพื้นฐานของการออกแบบวงจรส่วนหน้าของภาครับสัญญาณคลื่นวิทยุ มีทักษณะในการออกแบบวงจรเพิ่มมากขึ้น สามารถนำความรู้และประสบการณ์ที่ได้จากการออกแบบวงจรครั้งนี้ไปประยุกต์ใช้ให้ดีมากขึ้นกว่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

ในบทนี้จะกล่าวถึงทฤษฎีที่เกี่ยวข้องในพื้นฐานของการออกแบบวงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA), วงจร Mixer และวงจรสังเคราะห์ความถี่ (Frequency synthesizer) ซึ่งนำไปใช้สำหรับวงจรซีมอสภาครับสัญญาณคลื่นวิทยุความถี่ (CMOS RF Front End Receiver) รวมไปถึงค่าพารามิเตอร์ต่างๆที่บ่งบอกถึงคุณสมบัติของวงจร

ในวงจรรับสัญญาณต้องคอยรับสัญญาณที่ส่งมาจากเสาอากาศ (Antenna) สัญญาณที่จุดนี้จะเบาบางมากและมีสัญญาณรบกวนอยู่ จึงจำเป็นต้องใช้วงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA) เข้ามาช่วยในการขยายสัญญาณ จากนั้นนำสัญญาณไปเปลี่ยนแปลงความถี่ด้วย Mixer เนื่องจากที่ความถี่สูงการเลือกช่องสัญญาณเพื่อติดต่อสื่อสารจะทำได้ยากจึงต้องใช้ Mixer ในการเปลี่ยนแปลงจากความถี่สูงให้เป็นความถี่ต่ำเพื่อให้การเลือกช่องสัญญาณง่ายยิ่งขึ้น และในการเปลี่ยนแปลงความถี่ของ Mixer จำเป็นต้องใช้ค่าความถี่อินพุตสองค่า จึงต้องใช้วงจรสังเคราะห์ความถี่ (Frequency synthesizer) เพื่อสร้างความถี่ของสัญญาณที่เราต้องการออกมา ซึ่งวงจรสังเคราะห์ความถี่สามารถสร้างความถี่ของสัญญาณได้ทีละความถี่แต่สามารถเลือกความถี่ได้หลายค่า

2.1 ความเป็นเชิงเส้นของวงจร (Linearity)

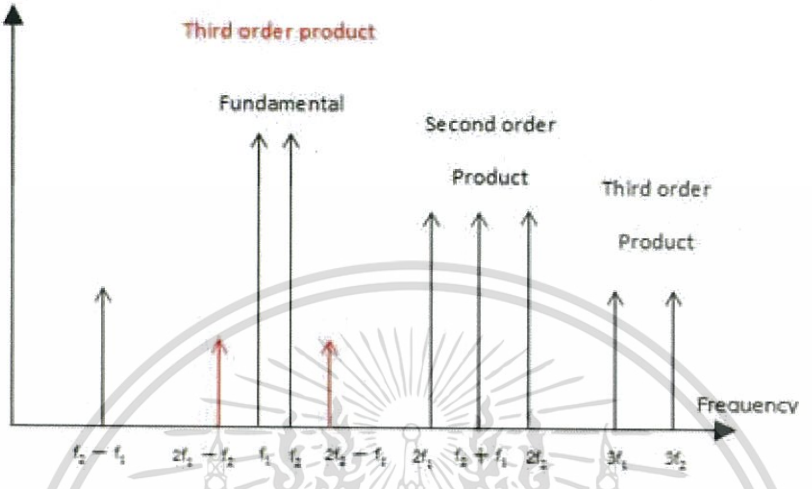
ความเป็นเชิงเส้นของวงจรเป็นตัวบ่งบอกถึงการทำงานของวงจรโดยดูจากค่าเอาต์พุตที่แปรผันตามสัดส่วนของอินพุตที่เข้ามาในวงจร วงจรโดยส่วนมากต้องการค่าความเป็นเชิงเส้นที่มาก เนื่องจากถ้าวงจรเกิดความไม่เป็นเชิงเส้นจะทำให้เกิดความเพี้ยนของสัญญาณฮาร์มอนิก (Harmonic distortion) , อัตราขยายมีค่าลดลง (Gain compression) และ อินเตอร์มอดดูเลชั่น (Intermodulation) โดยทั่วไปแล้วค่าพารามิเตอร์ที่ใช้บอกความเป็นเชิงเส้นของวงจรคือค่าจุดตัดระหว่างอนุพันธ์อันดับหนึ่ง (First order) และอนุพันธ์อันดับที่ 3 (Third order) หรือที่เรียกกันว่า **"Third order intercept point (IP_3)"** และค่า 1-dB compression point คือ จุดที่อัตราขยาย (Gain) มีค่าลดลง 1 dB

2.1.1 Third order intercept point (IP_3)

เป็นค่าพารามิเตอร์ที่ใช้สำหรับวัดความเป็นเชิงเส้น (Linearity) ของวงจรหรือระบบ เมื่อเกิดความไม่เป็นเชิงเส้นขึ้นกับวงจรมีผลทำให้เกิดฮาร์โมนิคขึ้นที่อินพุตไม่ว่าจะเป็นฮาร์โมนิคที่สอง ฮาร์โมนิคที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สาม หรือสูงกว่านั้นซึ่งฮาร์โมนิคสามารถใช้ฟิลเตอร์ในการกรองความถี่พวกนี้ออกไปได้ เนื่องจากอยู่ห่างจากค่าความถี่ที่เราต้องการอยู่มากแต่ฮาร์โมนิคบางจุดที่เกิดขึ้นอยู่ใกล้กับความถี่ที่เราต้องการจึงยากต่อการใช้ฟิลเตอร์ในการกรองความถี่ทำให้เกิดการรบกวนขึ้น

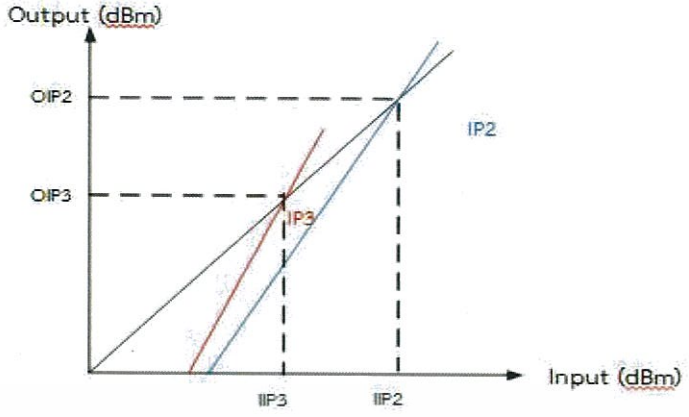


รูปที่ 2.1 ค่าฮาร์มอนิกที่เกิดตามความถี่ต่างๆ

ในรูปที่ 2.1 จะเห็นได้ว่าที่ความถี่ $2f_1 - f_2$ และ $2f_2 - f_1$ ที่เกิดขึ้นจากฮาร์มอนิกที่ 3 เกิดจากความไม่เป็นเชิงเส้นของวงจรซึ่งเรียกว่า **"Third-order intermodulation products (IM3)"** เป็นความถี่ที่มีค่าใกล้เคียงกับความถี่ Fundamental มากจึงทำให้ยากต่อการกรองด้วยฟิลเตอร์ (Filter) ด้วยเหตุนี้ฮาร์มอนิกที่ 3 จึงมีความสัมพันธ์กับความเป็นเชิงเส้นของวงจรอย่างมาก

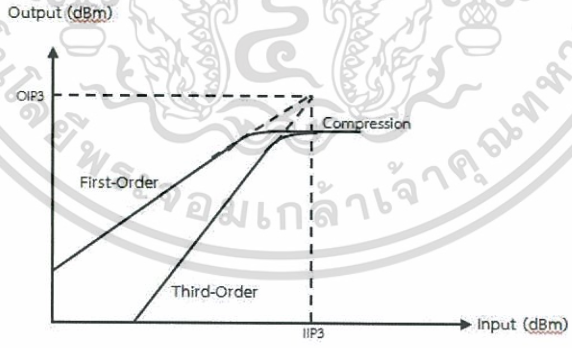
ในรูปที่ 2.2 เป็นกราฟแสดงความสัมพันธ์ระหว่างพลังงานอินพุต (Input power) และพลังงานเอาต์พุต (Output Power) แสดงถึงจุดตัดระหว่างเส้นอนุพันธ์อันดับที่หนึ่ง (First order) กับ อนุพันธ์อันดับที่สาม (Third order) และอนุพันธ์อันดับที่หนึ่ง (First Order) กับอนุพันธ์อันดับที่สอง (Second order) จะเห็นได้ว่าเส้น อนุพันธ์อันดับที่สองจะมีความชันมากว่าเส้นอนุพันธ์อันดับที่หนึ่ง 2 เท่า เส้นอนุพันธ์อันดับที่สามจะมีความชันมากกว่าเส้นอนุพันธ์อันดับที่หนึ่งอยู่ 3 เท่า ความชันจะมีค่าเพิ่มมากขึ้นตามอนุพันธ์ของอันดับ (Order) การประมาณค่าความเป็นเชิงเส้นของวงจรจะประมาณที่จุดตัดระหว่างอนุพันธ์อันดับที่หนึ่ง กับ อนุพันธ์อันดับที่สามหรือก็คือจุด Third Order Intercept Point (IP_3) ซึ่งถ้าจุดตัดมีค่ามากเท่าไหร่ความเป็นเชิงเส้นของวงจรก็จะมีค่ามากขึ้นตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 กราฟจุดตัด IP2 และ IP3

ในทางปฏิบัติเส้นกราฟของอนุพันธ์อันดับที่หนึ่ง (First order) และอนุพันธ์อันดับที่สาม (Third order) นั้นไม่สามารถตัดกันได้จริงตามแบบทฤษฎีเนื่องจากเมื่อวงจรมีค่าอินพุตเพิ่มขึ้นถึงจุดๆหนึ่งจะเกิดเอาต์พุตจะถูกจำกัดด้วยแรงดันไฟเลี้ยงหรือกระแสไบอัสทำให้ไม่ว่าจะเพิ่มอินพุตอีกเท่าไหร่เอาต์พุตจะไม่เพิ่มขึ้นอีกต่อไปซึ่งก็คือจุดที่อัตราขยายมีค่าลดลง เรียกจุดนี้ว่า “**Gain Compression**” แสดงในรูปที่ 2.3 ดังนั้นในการประมาณค่า IP3 เราจะประมาณด้วยการลากเส้นขึ้นตามความชันของเส้นกราฟ ถ้าเป็นจุดที่อัตราขยายลดลง 1 dB เราเรียกว่า “**1-dB Compression Point**” ตามทฤษฎีจุด 1-dB Compression Point จะมีค่าน้อยกว่า IP3 ประมาณ 9.6 dB

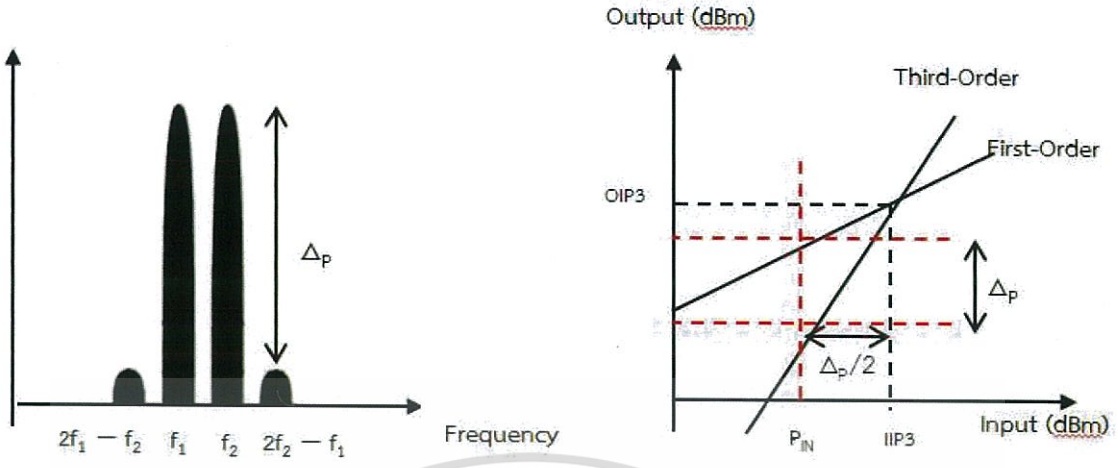


รูปที่ 2.3 กราฟจุด Third Order Intercept Point และจุด Gain Compression

ในการคำนวณค่า Third order intercept point (IP3) เราสามารถคำนวณได้จากการพลอตสเปรกตรัมของสัญญาณซึ่งจะทำให้เห็น Fundamental frequency และ Third-Order intermodulation products (IM3) ดังแสดงในรูปที่ 2.4 ซึ่งจะเห็นได้ว่าค่า IIP_3 มีค่าตามสมการที่ (2.1)

$$IIP_3 = \frac{\Delta_P}{2} + P_{IN} \qquad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 กราฟความสัมพันธ์ระหว่างสเปรกตรัมของสัญญาณเทียบกับ Third order intercept point

2.1.2 การคำนวณความเป็นเชิงเส้นแบบคาสเคด (Cascade stage)

ในการออกแบบวงจรในระบบสื่อสารจะมีวงจรภายในที่ต่อกันแบบอนุกรมจึงต้องหาความเป็นเชิงเส้นของแต่ละวงจรแล้วรวมกันแบบคาสเคดเพื่อให้ได้ความเป็นเชิงเส้นของระบบรวมตามสมการที่ (2.2)

$$\frac{1}{IIP3_{Total}} = \frac{1}{IIP3_1} + \frac{G_1}{IIP3_2} + \ldots + \frac{G_{n-1}}{IIP3_n} \tag{2.2}$$

ในการคำนวณค่า IIP3 จะไม่ใช้ในหน่วย dBm ส่วนค่าอัตราขยายจะใช้ในหน่วย V/V จึงต้องนำค่าไปแปลงตามสมการที่ (2.3)

$$IIP3_{dBm} = 10\log_{10} IIP3 \tag{2.3}$$

2.2 สัญญาณรบกวนในวงจร (Noise)

สัญญาณรบกวนในวงจรมีความสำคัญต่อการออกแบบวงจรที่ใช้ในระบบสื่อสารเนื่องจากเป็นตัวกำหนดคุณภาพของวงจรรับส่งสัญญาณวิทยุเนื่องจากสัญญาณรบกวนทำให้คุณภาพของสัญญาณแย่ลง

Input-Referred noise ในการหาค่าสัญญาณรบกวนของวงจรเราจะหาได้ที่เอาต์พุตของวงจรเท่านั้น แต่ทว่าสัญญาณรบกวนที่เอาต์พุต (Out-Referred noise) มีค่ามากเนื่องจากมีการคูณด้วยอัตราขยายของวงจร จึงทำให้เราไม่สามารถประมาณสัญญาณรบกวนของวงจรจากเอาต์พุตได้ จึงต้องประมาณค่าสัญญาณรบกวนของวงจรที่อินพุต (Input-Referred noise)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise figure (NF) โดยปกติในการออกแบบวงจรเราจะต้องคำนึงถึงค่า Signal to noise ratio (SNR) ซึ่งก็คือค่าสัญญาณหารด้วยสัญญาณรบกวน SNR จะเป็นตัวที่บ่งบอกว่าค่าสัญญาณรบกวนในวงจรมีเท่าไหร่โดยดูว่าค่า SNR ลดลงไปเท่าไหร่เมื่อสัญญาณได้ผ่านวงจรออกไป ถ้าวงจรไม่มีสัญญาณรบกวนอยู่เลยค่า SNR_{in} จะมีค่าเท่ากับ SNR_{out} ดังนั้นค่า Noise figure จึงมีค่าดังสมการ (2.4)

$$NF = \frac{SNR_{in}}{SNR_{out}} \tag{2.4}$$

ถ้าวงจรไม่มีสัญญาณรบกวนอยู่เลย Noise Figure (NF) จะมีค่าเท่ากับ 1 ซึ่งถ้าแปลงเป็นหน่วยเดซิเบล (dB) ตามสมการที่ (2.5) จะได้เท่ากับ 0

$$NF_{dB} = 10\log\frac{SNR_{in}}{SNR_{out}} \tag{2.5}$$

การคำนวณ Noise figure (NF) แบบคาสเคด (Cascade stage) ในการออกแบบวงจรสำหรับระบบสื่อสารภายในวงจรจะประกอบไปด้วยวงจรส่วนต่างๆมาต่อกันแบบอนุกรมจึงต้องมีการคำนวณ Noise figure (NF) ของแต่ละวงจรภายในและวงจรระบบรวมโดยการนำ Noise figure (NF) ของแต่ละวงจรมารวมกันแล้วหารด้วยอัตราขยาย (Gain) ของแต่ละวงจร สามารถคำนวณได้ตามสมการที่ (2.6)

$$F = F_1 + \frac{F_2\text{-}1}{G_1} + \frac{F_3\text{-}1}{G_1G_2} + \ldots + \frac{F_n\text{-}1}{G_1G_2G_{n\text{-}1}} \tag{2.6}$$

ในการคำนวณจะใช้ตัวแปร Noise factor (F) และอัตราขยาย (Gain)ในหน่วย (V/V) ตามปกติ Noise figure (NF) จะอยู่ในรูปของ dB สามารถเปลี่ยนให้อยู่ในรูปแบบของ Noise factor ได้ตามสมการที่ (2.7)

$$NF_{dB} = 10\log_{10}F \tag{2.7}$$

2.3 Sensitivity and dynamic range (DR)

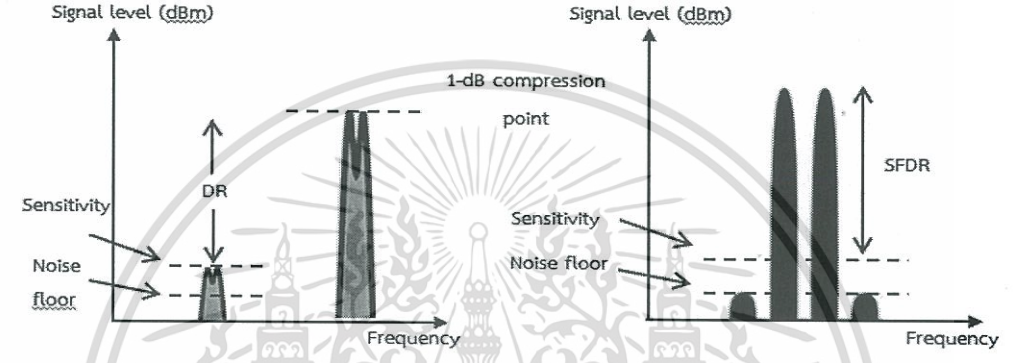
Sensitivity คือ ค่าสัญญาณที่ต่ำที่สุดที่วงจรสามารถตรวจจับได้โดยมีคุณภาพอยู่ในเกณฑ์ที่ยอมรับได้หรือมีค่าความผิดพลาดน้อยที่สุด ถ้ามีสัญญาณรบกวนอยู่มากการตรวจจับสัญญาณก็จะยากยิ่งขึ้น เราสามารถประเมินค่าคุณภาพของสัญญาณที่ยอมรับได้ด้วยการดูจากค่า Signal to noise ratio

Dynamic range คือ ค่าผลต่างระยะของสัญญาณที่มากที่สุดที่วงจรสามารถรับได้กับสัญญาณที่น้อยที่สุด (Sensitivity) ในหน่วย dBm หรืออัตราส่วนของสัญญาณที่มากที่สุดกับสัญญาณที่น้อยที่สุดที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรสามารถรับได้ (Sensitivity) [1] ซึ่งแสดงในรูปที่ 2.5 ค่าสัญญาณที่มากที่สุดจะถูกกำหนดด้วยค่าความเป็นเชิงเส้นของวงจรหรือจุดที่อัตราขยายลดลง 1 dB (1-dB compression point) ส่วนค่าที่น้อยที่สุดจะถูกกำหนดด้วยสัญญาณรบกวน (Noise)

Spurious free dynamic range (SFDR) เป็นการประมาณค่าของวงจรด้วยผลต่างของสัญญาณที่มากที่สุด กับค่าสัญญาณที่ต่ำที่สุด (Sensitivity) เมื่อพลอตสเปกตรัมของสัญญาณ Fundamental กับ Third order intermodulation [1] ซึ่งแสดงในรูปที่ 2.5



รูปที่ 2.5 กราฟสเปกตรัมของสัญญาณเพื่อบ่งบอกถึงความหมายของ DR และ SFDR

ในการออกแบบวงจรรับสัญญาณ RF จะต้องมีการกำหนดค่า Sensitivity และค่า Dynamic range เพื่อเป็นการกำหนดคุณภาพของวงจรว่าวงจรสามารถรับสัญญาณน้อยที่สุดและทนต่อสัญญาณมากที่สุดได้เท่าไหร่ ซึ่งสามารถประมาณได้จาก Noise figure , Third order intercept point , 1-dB compression point และ Bandwidth ของวงจร ดังสมการที่ ดังนั้นค่าพารามิเตอร์เหล่านี้จะเป็นตัวกำหนด Sensitivity และ Dynamic range ของวงจร หรือก็คือเป็นตัวกำหนดคุณภาพของวงจร

$$P_{sig,tot} = P_{RS} \cdot NF \cdot SNR_{out} \cdot B \tag{2.8}$$

จากสมการที่ (2.8) P_{RS} คือ พลังงานของสัญญาณรบกวนที่ความต้านทานที่จุดกำเนิดซึ่งมีค่าเท่ากับ -174 dBm/Hz P_{sig} คือสัญญาณอินพุตที่ต่ำที่สุดที่วงจรสามารถรับได้ หรือก็คือ Sensitivity ถ้าเขียนสมการให้อยู่ในรูปของหน่วย dBm หรือ dB เราจะได้สมการที่ (2.9)

$$P_{Sen}(\mathrm{dBm}) = P_{RS}\ (\mathrm{dBm/Hz}) + NF\ (\mathrm{dB}) + SNR_{min}\ (\mathrm{dB}) + 10\log B \tag{2.9}$$

ในการคำนวณค่า SFDR ของวงจรนั้นเราสามารถคำนวณโดยใช้สมการของ Third order intercept point (IP3) ตามสมการที่ (2.10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$P_{IIP3} = P_{in} + \frac{P_{out} - P_{IM,out}}{2} \quad (2.10)$$

เนื่องจากในหน่วย dB ค่า $P_{IM,in} = P_{IM,out} - G$ สมการที่ (2.10) จึงเขียนใหม่ได้เป็น

$$P_{IIP3} = P_{in} + \frac{P_{in} - P_{IM,in}}{2} \quad (2.11)$$

$$P_{in} = \frac{2P_{IIP3} + P_{IM,in}}{3} \quad (2.12)$$

เนื่องจากค่า SFDR คือ ผลต่างค่า P_{in} ที่มากที่สุดที่วงจรสามารถรับได้กับ Sensitivity ดังนั้น $P_{IM,in}$ จึงมีค่าเท่ากับผลรวมของสัญญาณรบกวนในระบบ ดังสมการที่ (2.13)

$$P_{in,max} = \frac{2P_{IIP3} + (-174\,dBm + NF + 10\log B)}{3} \quad (2.13)$$

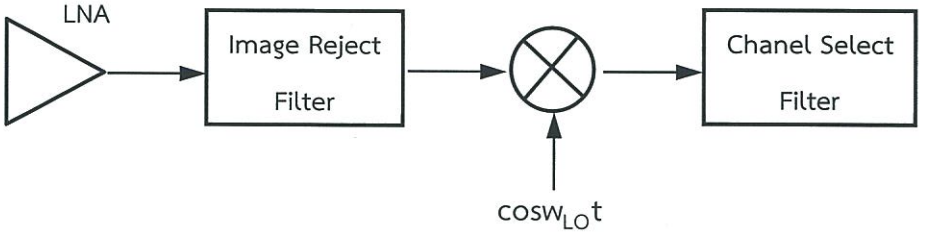
$$SFDR = \frac{2(P_{IIP3} + 174dBm - NF - 10\log B)}{3} - SNR_{min} \quad (2.14)$$

2.4 โครงสร้างของวงจรรับสัญญาณ (Receiver architecture)

ในหัวข้อนี้จะกล่าวถึงโครงสร้างของวงจรรับสัญญาณที่จะเป็นตัวกำหนดความซับซ้อนของวงจร (Complexity) , ราคา (Cost) และการสูญเสียกำลัง (Power dissipation)

2.4.1 Basic heterodyne receiver

ในการเลือกช่องสัญญาณ (Channel selection) เพื่อติดต่อสื่อสารนั้นสามารถทำได้ยากที่ความถี่สูง จึงต้องการเปลี่ยนแปลงความถี่ของช่องสัญญาณที่เราต้องการให้อยู่ในความถี่กลาง (Intermediate frequency) ที่ต่ำซึ่งเราจะใช้ Mixer ในการเปลี่ยนแปลงความถี่ แต่ในการใช้ Mixer ในการเปลี่ยนแปลงความถี่จะได้ค่าความถี่ออกมาทั้งความถี่สูงและความถี่ต่ำ ซึ่งเราต้องการค่าความถี่ต่ำจึงใช้วงจรกรองความถี่ต่ำ (Low pass filter) ในการกรองความถี่เพื่อใช้งานที่ความถี่ต่ำ



รูปที่ 2.6 บล๊อคไดอะแกรมรูปแบบ Basic heterodyne receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาของตัวรับสัญญาณ (Receiver) ในรูปแบบนี้ คือ Image desire signal ซึ่งจะเกิดที่ความถี่ $2(\omega_{LO}-\omega_{in})$ ซึ่งเมื่อทำการแปลงเป็นความถี่ IF แล้วจะได้ความถี่ IF ที่มีค่าเท่ากับความถี่ IF ที่แปลงจากความถี่ที่เราต้องการ ในรูปที่ 2.6 เป็นตัวรับสัญญาณรูปแบบ Heterodyne receiver จะเห็นว่า สัญญาณ RF เข้ามาที่ LNA หลังจาก LNA จะมีวงจร Image reject filter เพื่อกรอง Image signal ออกไปก่อนที่จะนำไปแปลงความถี่จากนั้นจะนำสัญญาณไปแปลงเป็นความถี่ IF ผ่าน Mixer ด้วยการคูณด้วย สัญญาณ LO เมื่อได้ความถี่ IF ออกมาแล้วจะต้องมีตัวกรองสัญญาณ IF เพื่อกำจัดสัญญาณแทรกแซง (Interferer) อื่นๆให้หมดไป

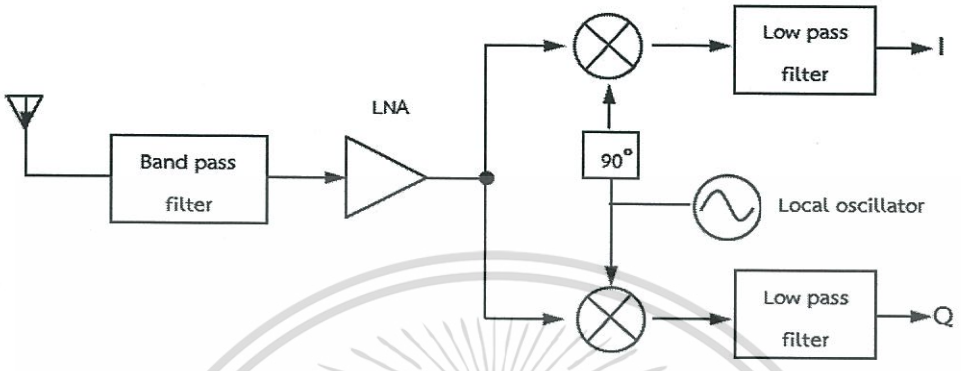
ปัญหาอีกอย่างหนึ่งของรูปแบบนี้คือ ปัญหาระหว่าง Image reject filter กับ Channel select filter ที่สามารถทำงานได้เพียงอย่างเดียว ถ้า IF มีความถี่สูง Image signal จะถูกกำจัดออกไปได้แต่จะมีปัญหาในเรื่องของสัญญาณที่เข้ามาแทรกแซง (Interferer) แต่ในขณะเดียวกันถ้า IF มีความถี่ต่ำ Image signal จะสามารถกำจัดออกไปได้เพียงเล็กน้อยแต่จะไม่มีปัญหาในเรื่องของสัญญาณแทรกแซง ซึ่งสามารถใช้การแปลงความถี่ IF สองครั้งในการแก้ปัญหานี้ครั้งแรกใช้เพื่อกรองสัญญาณอิมเมจ ส่วนครั้งที่สองใช้เพื่อเลือกช่องสัญญาณ แต่ยังมีปัญหาเกี่ยวกับ Image Signal ที่มากจากการแปลงความถี่ IF ครั้งที่ 2 เราจึงสามารถแก้ปัญหาโดยใช้วิธีการแปลงความถี่ IF ครั้งที่ 2 ให้มีค่าเป็น 0 (Zero IF) ซึ่ง ณ จุดนี้ความถี่ของ Image signal ก็มีค่าเป็น 0 เช่นกัน แต่วิธีนี้จำเป็นต้องใช้ความถี่จาก Local Oscillator ถึงสองค่าด้วยกัน

2.4.2 Direct conversion receiver

ในรูปที่ 2.7 เป็นโครงสร้างแบบ Direct conversion receiver หรือเรียกว่า Zero IF เป็นการแปลงสัญญาณ RF ให้ออกมาเป็น สัญญาณ IF ที่ความถี่ศูนย์ โดยการใช้ LO ที่มีเฟสต่างกัน 90 องศา ในการสร้าง LO ที่มีเฟสต่างกัน 90 องศา สามารถใช้วงจรหารสองในการสร้างขึ้นมาได้ ซึ่งข้อดีของรูปแบบนี้คือ ไม่มี Image signal เนื่องจากความถี่ IF เป็นศูนย์ สามารถใช้วงจรกรองสัญญาณความถี่ต่ำผ่าน (Low pass filter) ในการเลือกช่องสัญญาณ (Channel selection) LNA ไม่จำเป็นต้องใช้ความต้านทาน 50 โอห์ม เนื่องจากไม่มี Image reject filter และสามารถกำจัดผลของ Mixing spur ให้ลดลง ส่วนข้อเสียของรูปแบบนี้คือ มีปัญหาในเรื่องของ DC-offset ที่เกิดขึ้นเนื่องจากการรั่วไหลของ LO (LO leakage) เกิดขึ้นที่ baseband จากผลของ DC-offset ทำให้อัตราขยาย , Sensitivity และ Dynamic range แย่ลงกว่าเดิม และยังมีปัญหาเกี่ยวกับค่าฮาร์มอนิกที่เกิดจากอนุพันธ์อันดับที่สองซึ่งมีความถี่ที่ต่ำมาก มีค่าใกล้กับ DC-offset จึงอาจจะไปรบกวนสัญญาณที่เอาต์พุตทำให้แย่ลงได้ ส่วนปัญหาอีกอย่างหนึ่งคือ ปัญหาเกี่ยวกับ I/Q ที่ไม่แมทกัน (I/Q mismatch) เกิดจากการที่ต้องใช้ค่า LO ที่มีเฟสต่างกัน 90องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

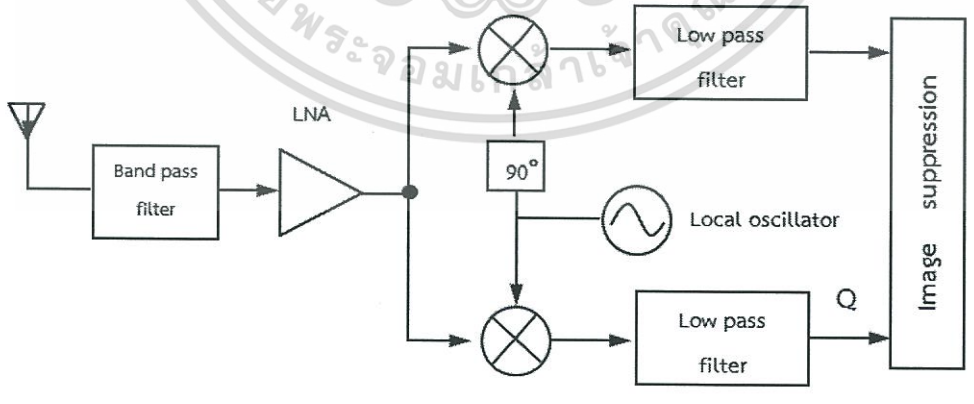
จึงอาจจะเกิดความผิดพลาดจากการเลื่อนเฟสหรือจากอัตราขยายของ LO หรืออาจจะเกิดจากความผิดพลาดการเปลี่ยนแปลงความถี่ของ Mixer ผลลัพธ์คือทำให้ค่า I และ Q มีอัตราขยายหรือเฟสไม่สมมาตรกัน



รูปที่ 2.7 บล๊อคไดอะแกรมโครงสร้างแบบ Direct conversion receiver

2.4.3 Low-IF receiver

ในรูปแบบนี้จะมีโครงสร้างคล้ายกับ Direct conversion receiver แต่แตกต่างกันตรงที่จะเปลี่ยนแปลงค่าความถี่เป็นความถี่ต่ำแทนเพื่อที่จะได้สามารถยกเลิกผลของ DC-offset ความถี่ที่เปลี่ยนแปลงได้จะต้องมีค่ามากพอที่จะสามารถยกเลิกผลของ DC-offset ได้ แต่ในขณะเดียวกันตัวรับสัญญาณในรูปแบบนี้ก็ยังไม่สามารถยกเลิกผลของ I กับ Q ที่ไม่แมทกันได้ และเนื่องจากความถี่ที่แปลงออกมานั้นไม่เป็นศูนย์จึงให้เกิด Image signal ขึ้นจึงต้องมีวงจรกำจัด แสดงในรูปที่ 2.8



รูปที่ 2.8 บล๊อคไดอะแกรมโครงสร้างแบบ Low-IF receiver

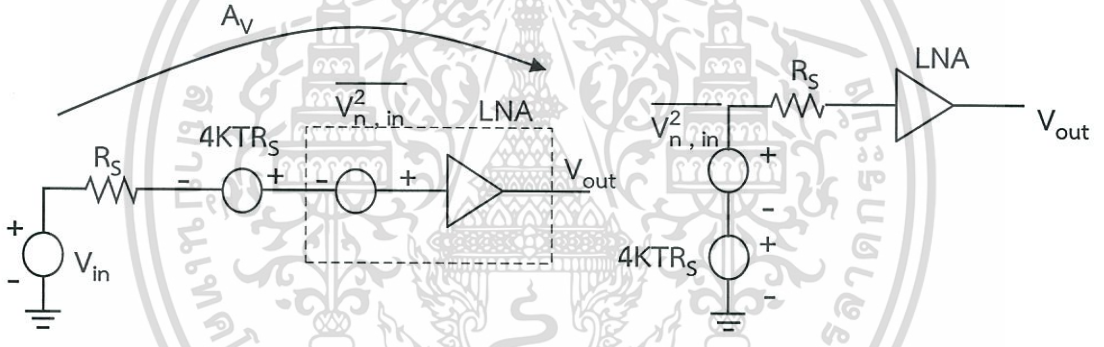
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA)

LNA จัดอยู่ในส่วน front end ของเครื่องรับสัญญาน ในวงจร RF Microelectronics จะทำหน้าที่ในการขยายสัญญาณให้ได้สัญญาณที่มีสัญญาณรบกวนน้อยมาก ค่าพารามิเตอร์ในวง LNA มีผลต่อระบบโดยรวมเป็นอย่างมากเนื่องจากเป็นตัวกำหนดค่าพารามิเตอร์วงจรส่วนถัดจาก LNA

2.5.1 ค่าพารามิเตอร์ที่สำคัญ

Noise figure Noise figure ของ LNA จะส่งผลต่อระบบของวงจรรับสัญญาณโดยตรงทำให้มีผลอย่างมากต่อระบบ และส่วนถัดไปของวงจรรับสัญญาณซึ่งแสดงดังรูปที่ 2.9 ในการออกแบบจึงต้องออกแบบในมีค่า Noise Figure น้อยหาก Noise Figure ในส่วนแรกของระบบมีค่าน้อยจะทำให้ระบบมีความยืดหยุ่นในการออกแบบให้ตรงตามประสิทธิภาพที่ต้องการได้ง่าย



รูปที่ 2.9 Input-refer noise voltage และวงจร LNA โดยทั่วไป

จากรูปที่ 2.9 Noise figure ของ LNA สามารถคำนวณได้จากสมการที่ (2.15) และ (2.16)

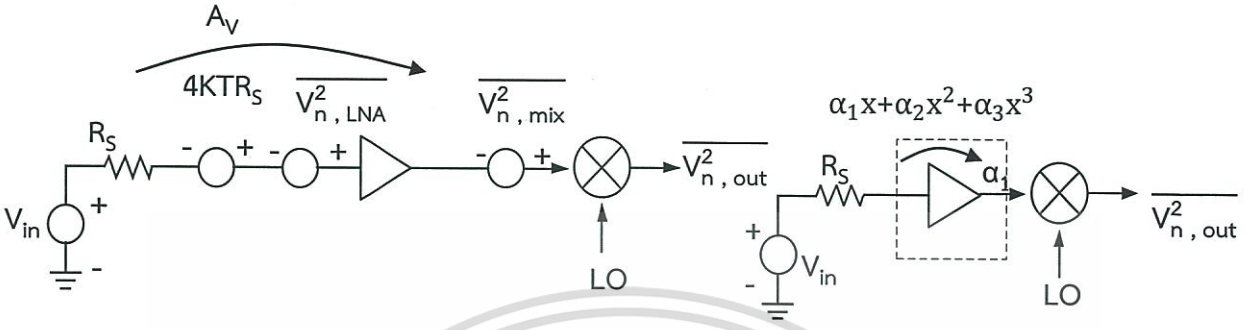
$$NF=\frac{\overline{V_{n,out}^2}}{A_{v1}^2}\cdot\frac{1}{4kTR_s} \tag{2.15}$$

$$NF=1+\frac{\overline{V_{n,in}^2}}{4kTR_s} \tag{2.16}$$

อัตราขยาย (Gain) อัตราขยายของวงจร LNA จะส่งผลต่อ Noise figure ของระบบ โดยเมื่ออัตราขยายมีค่าเพิ่มขึ้นจะส่งผลให้ Noise figure ของวงจรในส่วนถัดไปมีค่าลดลงแต่ในขณะเดียวกันการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพิ่มอัตราขยายขึ้นนั้นจะส่งผลให้ความเป็นเชิงเส้นของระบบลดลง ซึ่งเป็นการแลกเปลี่ยนระหว่างความเป็นเชิงเส้นของระบบกับ Noise figure



รูปที่ 2.10 ความสัมพันธ์ระหว่างอัตราขยายกับสัญญาณรบกวนและอัตราขยายกับความเป็นเชิงเส้น

จากรูปที่ 2.10 Noise figure ของระบบสามารถคำนวณได้จากสมการ

$$NF_{tot}=\frac{A_{v1}^2\left(\overline{V_{n,LNA}^2}+4kTR_s\right)+\overline{V_{n,mixer}^2}}{A_{v1}^2}\cdot\frac{1}{4kTR_s} \tag{2.17}$$

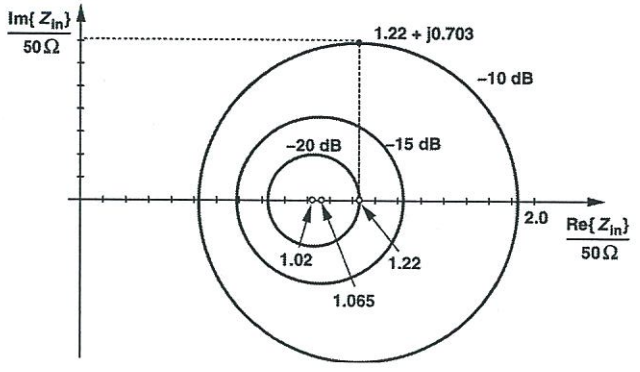
$$NF_{tot}=NF_{LNA}+\frac{\overline{V_{n,mixer}^2}}{A_{v1}^2}\cdot\frac{1}{4kTR_s} \tag{2.18}$$

จากรูปที่ 2.10 ความเป็นเชิงเส้นของระบบสามารถคำนวณได้จากสมการที่ (2.19)

$$\frac{1}{IP_{3,tot}^2}=\frac{1}{IP_{3,LNA}^2}+\frac{\alpha_1^2}{IP_{3,mixer}^2} \tag{2.19}$$

Input return loss ค่า input return loss ตรงจุดเชื่อมต่อระหว่างเสาอากาศกับ LNA นำมาซึ่งการสูญเสียพลังงานของสัญญาณ เกิดจากการสะท้อนหรือย้อนกลับ ที่จุดต่อที่เกิดความไม่ต่อเนื่องกัน เนื่องจากอิมพิแดนซ์ของเครื่องข่ายมีค่าไม่ตรงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 เส้นกราฟค่า τ ในระนาบของความต้านทานอินพุต (Input impedance)

จากรูปที่ 2.11 หากอิมพิแดนซ์ขาเข้าของ LNA ไม่เท่ากันกับเสาอากาศจะทำให้เกิด Return loss โดยมีสัมประสิทธิ์การสะท้อนและค่า Return loss [1] ดังสมการที่ (2.20)

$$\tau = \frac{\sqrt{(R_{in}-Z_s)^2+j_{in}^2}}{\sqrt{(R_{in}+Z_s)^2+j_{in}^2}} \tag{2.20}$$

$$\text{Return Loss} = -20 \log|\tau| \tag{2.21}$$

โดยที่ R_{in} คือ ความต้านทานจริงของอินพุต

j_{in} คือ ความต้านทานจินตภาพของอินพุต

Z_s คือ อิมพิแดนซ์ของจุดกำเนิด

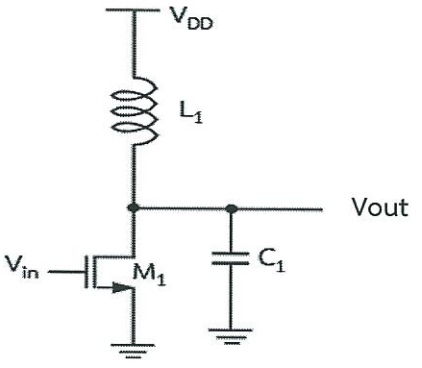
ความเป็นเชิงเส้น (Linearity) ความเป็นเชิงเส้นของ LNA นั้นส่งผลกระทบต่อระบบเครื่องรับสัญญาณน้อย แต่จะเพิ่มขึ้นในส่วนถัดไปเนื่องจากอัตราขยาย ซึ่งความเป็นเชิงเส้นนั้นไม่เป็นปัจจัยหลักในการออกแบบ LNA

2.5.2 โครงสร้างของ LNA (LNA Topologies)

2.5.2.1 Common-source stage with inductive load

จากรูปที่ 2.12 ในวงจรความถี่สูง การใช้ตัวเหนี่ยวนำแทนตัวต้านทานนั้นสามารถกำจัดปัญหาเรื่องการแลกเปลี่ยนระหว่างแรงดันไฟเลี้ยงกับอัตราขยายของวงจร เนื่องจากการใช้ตัวต้านทานนั้นค่าแรงดันที่ตกคร่อมจะถูกจำกัดด้วยแรงดันไฟเลี้ยง [1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 วงจรขยายซอร์สร่วมที่ใช้ตัวเหนี่ยวนำเป็นโหลด (Inductively-loaded)

ในการใช้ตัวต้านทานเป็นโหลดนั้น ความต่างศักย์ที่ตกคร่อมตัวต้านทานจะถูกจำกัดด้วยแรงดันไฟเลี้ยงตามสมการที่ (2.24) ทำให้อัตราขยายถูกจำกัดเช่นกัน ในทางกลับกันหากใช้งานที่ความถี่สูง การใช้ตัวเหนี่ยวนำเป็นโหลดภาระจะทำให้มีความต่างศักย์ตกคร่อมตัวเหนี่ยวนำมีค่าต่ำ (ตัวเหนี่ยวนำในอุดมคติ มีความต่างศักย์ที่ความถี่ไฟตรงคร่อมเป็นศูนย์) ทำให้สามารถใช้งานที่แรงดันไฟเลี้ยงต่ำได้ อีกทั้งยังสามารถเรโซแนนท์กับโหลดภาระที่เป็นตัวเก็บประจุที่ความถี่ที่ใช้งาน

$$|A_v| = g_m R_D \tag{2.22}$$

$$= \frac{2I_D}{V_{GS}-V_{TH}} \cdot \frac{V_{RD}}{I_D} \tag{2.23}$$

$$= \frac{2V_{RD}}{V_{GS}-V_{TH}} \tag{2.24}$$

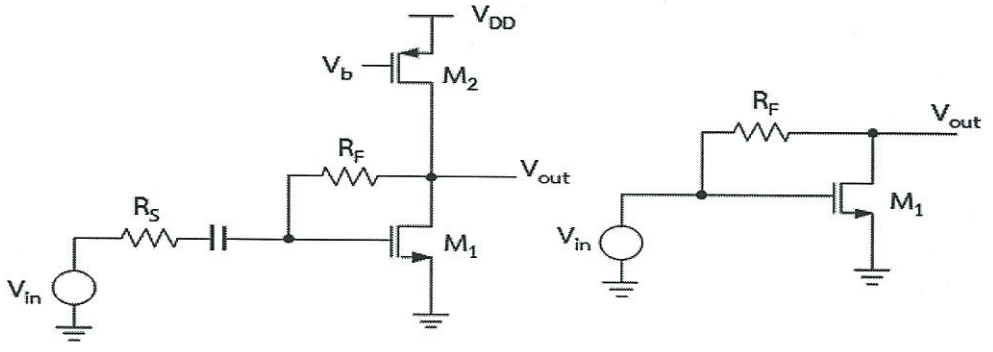
2.5.2.2 Common-source stage with resistive feedback

วงจรขยายซอร์สร่วมป้อนกลับด้วยความต้านทานดังแสดงในรูปที่ 2.13 มอสเฟต M_2 จะทำหน้าที่เป็นแหล่งจ่ายกระแส (Current source) และป้อนกลับด้วยความต้านทาน R_F หากละเลยผลของการปรับความยาวช่องสัญญาณ (Channel length modulation) จะได้ความต้านทานอินพุตและอัตราขยาย [1] ดังสมการที่ (2.25) และ (2.26)

$$R_{in} = \frac{1}{g_{m1}} \tag{2.25}$$

$$A_v = \frac{1}{2}\left(1-\frac{R_F}{R_s}\right) \tag{2.26}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 วงจรขยายซอร์สร่วมป้อนกลับด้วยความต้านทานและวงจรในรูปอย่างง่าย

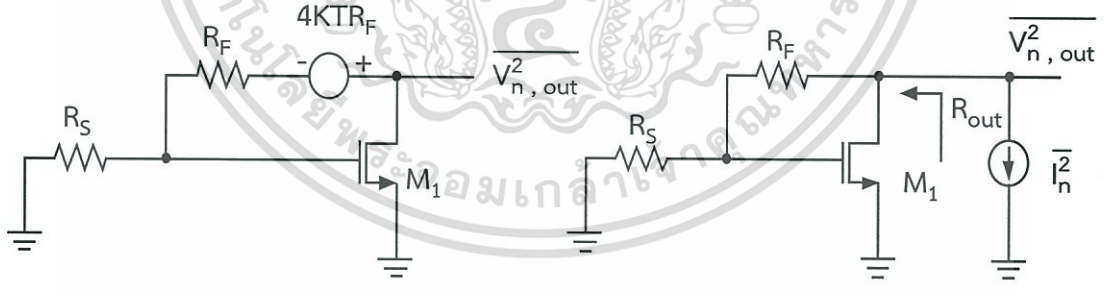
จากรูปที่ 2.14 สัญญาณรบกวนเกิดขึ้นจาก R_F , M_1 และ M_2 ปรากฏที่เอาท์พุตของวงจรเป็นตามสมการที่ (2.27)

$$\overline{V_{n,out}^2}\Big|_{M1,M2} = 4kT\gamma(g_{m1} + g_{m2})\frac{(R_F + R_S)^2}{4} \tag{2.27}$$

ดังนั้นจะได้ Noise figure ตามสมาการที่ (2.29)

$$NF = 1 + \frac{4R_F}{R_s\left(1 - \frac{R_F}{R_s}\right)^2} + \frac{\gamma(g_{m1} + g_{m2})(R_F + R_S)^2}{R_s\left(1 - \frac{R_F}{R_s}\right)^2} \tag{2.28}$$

$$= 1 + \frac{4R_S}{R_F} + \gamma + \gamma g_{m2} R_S \tag{2.29}$$



รูปที่ 2.14 ผลกระทบของสัญญาณรบกวนจาก R_F และ M_1 ในวงจรขยายซอร์สร่วม

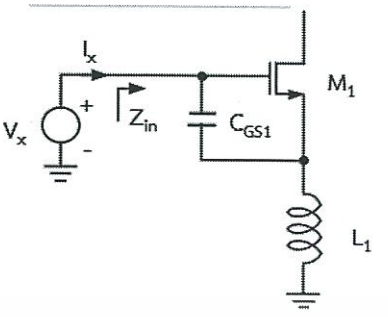
2.5.2.3 Cascode Common-Source stage with inductive degeneration

จากโครงสร้างของวงจรขยายซอร์สร่วมคาสโคดที่ต่อตัวเหนี่ยวนำ Degeneration ที่แสดงในรูปที่ 2.15 หากละเลยผลจาก C_{gd}และ C_{sb} จะได้ว่าความต้านทานอินพุตนั้นมีความเป็นอิสระกับความถี่ [1] ซึ่งพิจารณาได้จากสมการ (2.30)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

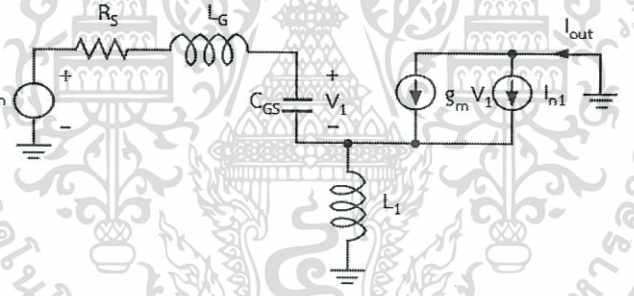
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$\frac{V_x}{I_x} = \frac{1}{C_{gs1}s} + L_1 s + \frac{g_m L_1}{C_{gs1}} \tag{2.30}$$



รูปที่ 2.15 ค่าความต้านทานอินพุตของวงจร Inductively-degenerated

พจน์ที่สามของสมการที่ (2.30) $g_m L_1/C_{gs1}$ สามารถประมาณได้เป็น ω_T จะได้ว่าความต้านทานอินพุตเท่ากับ $L_1\omega_T$ ซึ่งขึ้นกับ f_T ของมอสเฟต ถ้าหากละเลยผลจาก C_{GD} และ C_{SB} สัญญาณรบกวนของมอสเฟต M_1 แสดงได้เป็น I_{n1} การวิเคราะห์สัญญาณขนาดเล็กของวงจร [1] แสดงได้ดังรูปที่ 2.21



รูปที่ 2.16 การคำนวณ Noise figure โดยวิเคราะห์จากวงจรสัญญาณขนาดเล็ก

จากรูปที่ 2.16 จะได้สมการกระแสเอาท์พุตตามสมการที่ (2.31)

$$I_{out} = g_m V_1 + I_{n1} \tag{2.31}$$

และจากกฎของเคอร์ชอฟฟ์ จะได้สมการ V_{in} จากการวงลูปทางด้านอินพุตจามสมการที่ (2.32)

$$V_{in} = (R_s + L_G s)V_1 C_{GS1} s + V_1 + L_1 s(I_{out} + V_1 C_{GS1} s) \tag{2.32}$$

แทนค่า V_1 จากสมการ (2.31) ลงในสมการที่ (2.33)

$$V_{in} = I_{out} L_1 s + \frac{(L_1 + L_G)C_{GS1}s^2 + 1 + R_s C_{GS1} s}{g_m}\left(I_{out} - I_{n1}\right) \tag{2.33}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
143910

เนื่องจากระบบถูกออกแบบด้วยการเรโซแนนซ์ที่ความถี่ที่ใช้งาน ω_0 ดังนั้น $(L_1 + L_G)C_{GS1}s^2 + 1 = 0$

นำ $s=j\omega_0$ ไปแทนลงในสมการที่ (2.33) จะได้สมการที่ (2.34)

$$V_{in}=I_{out}\left(jL_1\omega_0+\frac{jR_sC_{GS1}\omega_0}{g_m}\right) - I_{n1}\left(\frac{jR_sC_{GS1}\omega_0}{g_m}\right) \quad (2.34)$$

สัมประสิทธิ์ของกระแสที่เอาท์พุตแสดงได้เป็นอัตราทรานส์คอนดักแตนซ์ของวงจรได้ตามสมการที่ (2.35)

$$\left|\frac{I_{out}}{V_{in}}\right| = \frac{1}{\omega_0\left(L_1+\frac{R_sC_{GS1}}{g_m}\right)} \quad (2.35)$$

จากสมการที่ (2.35) แทนค่า $V_{in}=0$ และคำนวณค่าสัญญาณรบกวนที่เอาท์พุตเนื่องมาจาก M_1 ได้จะได้ตามสมการที่ (2.36)

$$\left|I_{n,out}\right|_{M1} = |I_{n1}|\frac{R_sC_{GS1}}{g_mL_1 + R_sC_{GS1}} \quad (2.36)$$

เนื่องจาก $g_mL_1/C_{gs1} = R_s$ ดังนั้น $\left|I_{n,out}\right|_{M1}$ จึงได้ตามสมการที่ (2.37)

$$\left|I_{n,out}\right|_{M1} = \frac{|I_{n1}|}{2} \quad (2.37)$$

$$\overline{I_{n,out}^2}\Big|_{M1} = KT\gamma g_m \quad (2.38)$$

สัญญาณรบกวนจากกระแสที่เอาท์พุตถูกลดทอนด้วยอัตราขยายทรานซ์คอนดักแตนซ์ของวงจร และ $4kTR_s$ จะได้สมการ Noise figure ของวงจรเป็นตามสมการที่ (2.39)

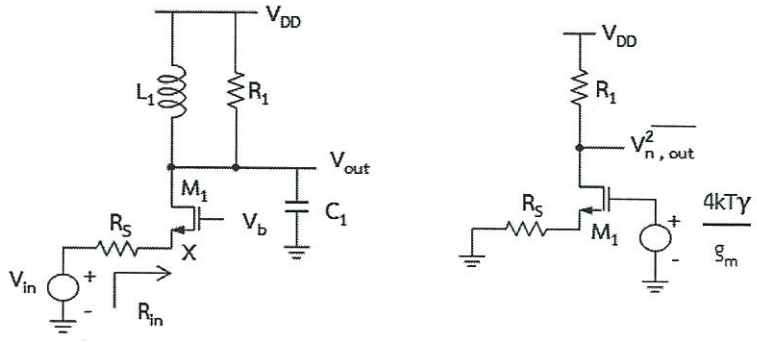
$$NF = 1 + \gamma g_m R_S\left(\frac{\omega_0}{\omega_T}\right)^2 \quad (2.39)$$

2.5.2.4 Common-Gate Stage with inductive load

อินพุตอิมพีแดนต์ที่มีค่าต่ำของวงจรขยายเกทร่วมนั้นข้อดีสำหรับการออกแบบ LNA อย่างหนึ่งจากรูปที่ 2.17 R_1 พิจารณาเป็นการสูญเสียที่ตัวเหนี่ยวนำ L_1 ในการออกแบบนั้นหากละเลยผลของการแปรผันความยาวของช่องสัญญาณ (Channel length modulation) $R_{in}=1/g_m$ ดังนั้นขนาดและแรงดันที่ป้อนให้แก่มอสเฟต M_1 นั้นควรเลือกค่าที่ทำให้ $1/g_m = R_S = 50$ ohm และจะได้ว่าอัตราขยายของวงจร [1] เป็นดังสมการที่ (2.40)

$$\frac{V_{out}}{V_{in}} = \frac{R_1}{2R_S} \quad (2.40)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 วงจรขยายเกตร่วมและผลของสัญญาณรบกวนที่ M_1

วงจรสมมูลสัญญาณรบกวนของความร้อน (Thermal noise) ของ M_1 แสดงได้ดังรูปที่ 2.17 จะได้สมการรบกวนที่เอาท์พุตของวงจรและมีค่า Noise figure ตามสมการที่ (2.44)

$$\overline{V_{n,out}^2}\Big|_{M1} = \frac{4kT\gamma}{g_m}\left(\frac{R_1}{R_S+\frac{1}{g_m}}\right)^2 \tag{2.41}$$

$$= kT\gamma\frac{{R_1}^2}{R_S} \tag{2.42}$$

$$NF = 1+\frac{\gamma}{g_m R_S}+\frac{R_S}{R_1}\left(1+\frac{1}{g_m R_S}\right)^2 \tag{2.43}$$

$$=1+\gamma+\frac{4R_S}{R_1} \tag{2.44}$$

2.5.2.5 Cascode Common-Gate Stage

การต่อวงจรแบบคาสโคด (Cascode) นั้นช่วยในการลดผลของความต้านทานโหลดที่ปรากฏที่ความต้านทานอินพุต ความต้านทานที่ปรากฏผ่านขาซอร์สของมอสเฟต M_2 ตามสมการที่ (2.45)

$$R_x=\frac{R_1+r_{o2}}{1+g_{m2}r_{o2}} \tag{2.45}$$

ซึ่งส่งผลต่อความต้านทานอินพุตทำให้ความต้านทานอินพุตมีค่าจามสมการที่ (2.46)

$$R_{in}=\frac{R_1+r_{o2}}{1+g_{m2}r_{o2}}+r_{o1} \tag{2.46}$$

ถ้าหากว่า $g_{m2}r_{o2} \gg 1$ ดังนั้น R_{in} มีค่าตามสมการที่ (2.47)

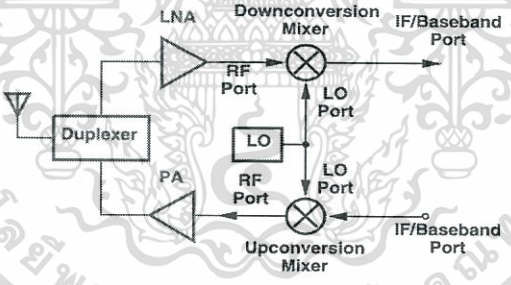
$$R_{in}\approx\frac{1}{g_{m1}}+\frac{R_1}{g_{m1}r_{o1}g_{m2}r_{o2}}+\frac{1}{g_{m1}r_{o1}g_{m2}} \tag{2.47}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.47) R_1 ถูกหารด้วยอัตราขยายที่อยู่ภายในทั้งสองซึ่งมีค่าน้อยมากจนสามารถละเลยได้ และพจน์ที่สามของสมการมีค่าน้อยกว่าพจน์แรกเนื่องจาก $g_{m1}r_{o1}$ ดังนั้นสามารถประมาณได้ว่า $R_{in}=1/g_{m1}$ แต่ในการต่อวงจรแบบคาสโคดส่งผลให้สัญญาณรบกวนเพิ่มเข้ามาในระบบมากขึ้นเนื่องจาก M_2 และแรงดันตกคร่อมถูกจำกัดเนื่องจากถูกแบ่งให้มอสเฟตสองตัว

2.6 Mixer

Mixer ใช้สำหรับเปลี่ยนแปลงความถี่ค่าหนึ่งไปยังอีกความถี่ ในเครื่องรับสัญญาณวิทยุ Mixer จะเปลี่ยนแปลงความถี่คลื่นวิทยุ (Radio frequency : RF) เป็นความถี่กลาง (Intermediate frequency : IF) ซึ่งเรียกว่า **"Down-conversion mixer"** ส่วนในเครื่องส่งสัญญาณวิทยุ Mixer จะเปลี่ยนแปลงความถี่กลาง (Intermediate Frequency : IF) เป็นความถี่คลื่นวิทยุ (Radio Frequency : RF) ซึ่งเรียกว่า **"Up-conversion mixer"** Mixer จะเปลี่ยนแปลงความถี่ด้วยหลักการนำสัญญาณที่มาจาก Local Oscillator เข้ามาคูณ ประกอบไปด้วย 2 Input และ 1 Output ถ้าเป็นแบบ Up-conversion Mixer จะเป็นการนำ IF คูณกับ LO ได้ output ออกมาเป็น RF ส่วน Down-conversion Mixer เป็นการนำ RF คูณกับ LO ได้ output ออกมาเป็น IF [1] แสดงในรูปที่ 2.18



รูปที่ 2.18 ความสัมพันธ์ระหว่าง Down-conversion Mixer และ Up-conversion Mixer

อัตราขยาย (Gain) อัตราขยายของ Mixer มีค่าเท่ากับอัตราส่วนระหว่างแรงดัน rms ของเอาต์พุตกับ แรงดัน rms ของอินพุต โดยปกติ Mixer จะต้องมีอัตราขยาย เพียงพอที่จะนำไปลดสัญญาณรบกวน (Noise) ที่ stage ด้านหลัง Mixer ถ้าแรงดันไฟเลี้ยง (Supply voltage) มีค่าน้อยเกินไปจะทำให้อัตราขยายมีค่าน้อยลงด้วยจึงทำให้สัญญาณรบกวน (Noise) มีค่าเพิ่มมากขึ้น

สัญญาณรบกวน (Noise) และ ความเป็นเชิงเส้น (Linearity) สัญญาณรบกวนที่อินพุตและความเป็นเชิงเส้นของ Mixer จะมีความสัมพันธ์กับค่าอัตราขยาย (Gain) ของวงจรขยายสัญญาณรบกวนต่ำ (LNA) โดยจะต้องนำสัญญาณรบกวน ของ Mixer ไปหารกับอัตราขยายของวงจรขยายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

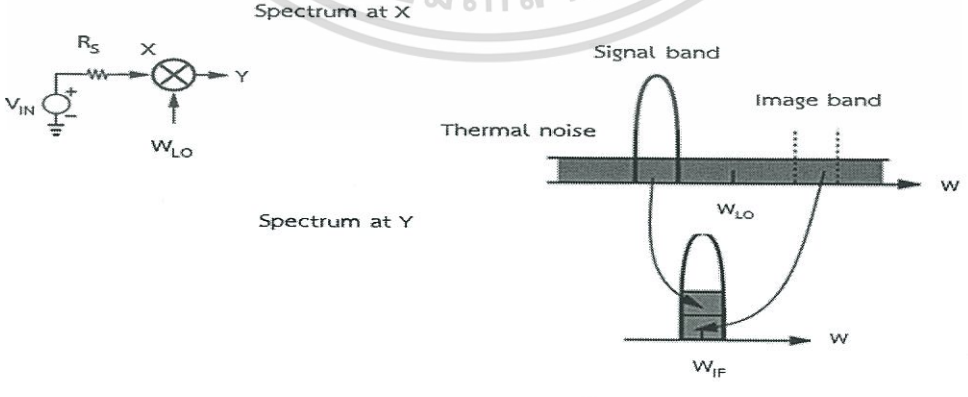
รบกวนต่ำ (LNA) ส่วนความเป็นเชิงเส้นของ Mixer จะต้องนำอัตราขยายของวงจรขยายสัญญาณรบกวนต่ำ (LNA) หารกับความเป็นเชิงเส้น โดยปกติในการออกแบบ Mixer จะต้องออกแบบให้ได้ความเป็นเชิงเส้นมากที่สุดโดยทำให้สัญญาณรบกวนมีค่าเพิ่มขึ้นน้อยที่สุด

ดังนั้นในการออกแบบวงจรทั้งสองวงจรนี้จะต้องออกแบบให้มีความสัมพันธ์เพื่อไม่ให้ค่าใดค่าหนึ่งมีค่าแย่จนเกินไปกันถ้าอัตราขยายของ LNA มีค่ามากเกินไปจะทำให้สัญญาณรบกวนมีค่าน้อยลงแต่ในขณะเดียวกันความเป็นเชิงเส้นก็มีค่าน้อยลงด้วย

2.6.1 Mixer Noise Figure

Noise Figure เป็นตัวแปรที่บ่งบอกว่าค่า Signal to noise ratio (SNR) ของสัญญาณลดลงไปเท่าไหร่เนื่องจากเมื่อสัญญาณผ่าน Mixer จะทำให้มี Noise มารบกวน ดังนั้นค่า Noise figure ของ Mixer จึงมีค่าเท่ากับค่า SNR_{in} หารด้วย SNR_{out}

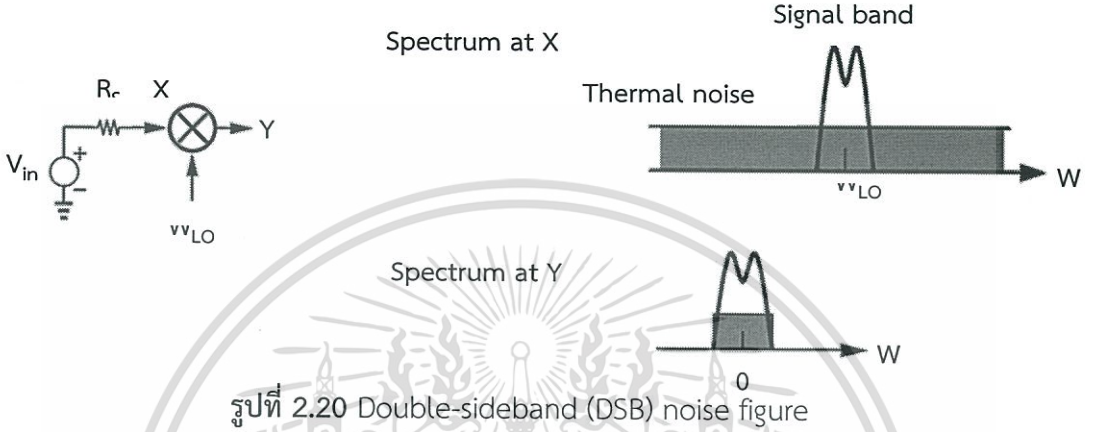
โดยทั่วไปแล้วปัญหาของ Image band จะเกิดขึ้นใน Down-conversion Mixer แต่จะไม่เกิดขึ้นใน Up-conversion Mixer เนื่องจากเป็นการผสมความถี่กันระหว่าง IF Frequency และ LO Frequency เมื่อเราพิจารณาในรูปที่ 2.19 จะเห็นว่าสเปกตรัมที่จุด X จะประกอบไปด้วย Thermal noise ของ R_s ทั้ง Signal band และ Image Band ซึ่ง Thermal noise ทั้งสองจุดนี้จะถูกเปลี่ยนแปลงเป็นสเปกตรัมที่จุด Y ดังนั้นในขณะที่ Mixer ไม่มีสัญญาณรบกวนอยู่เลยค่า SNR_{out} จึงมีค่าเป็นครึ่งนึงของ SNR_{in} เพราะว่าสัญญาณรบกวนที่เอาต์พุตมีค่าเป็นสองเท่าของอินพุต จึงสรุปได้ว่า Noise figure ในหน่วย dB ขณะที่ Mixer ไม่มีสัญญาณรบกวน (Noiseless mixer) อยู่เลยมีค่าเท่ากับ 3 dB ซึ่งเราเรียกว่า **"Single-sideband (SSB)"** [1]



รูปที่ 2.19 Single-sideband (SSB) noise figure

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราพิจารณา รูปที่ 2.20 ถ้า Mixer เป็นรูปแบบ Direct-conversion mixer เราจะเห็นว่ามีเพียง Thermal noise ที่ Signal band เท่านั้นที่ถูกแปลงเป็นสเปกตรัมที่จุด Y ดังนั้นในขณะที่ Mixer ไม่มีสัญญาณรบกวนอยู่เลยค่า SNR_{out} จึงมีค่าเท่ากับ SNR_{in} จึงสรุปได้ว่า Noise figure ในขณะที่ Mixer ไม่มีสัญญาณรบกวนอยู่เลยมีค่าเท่ากับ 0 dB ซึ่งเราเรียกว่า **"Double-sideband (DSB)" [1]**



รูปที่ 2.20 Double-sideband (DSB) noise figure

จากที่อธิบายในข้างต้นสรุปได้ว่า SSB Noise figure มีค่ามากกว่า DSB Noise figure อยู่ 3 dB

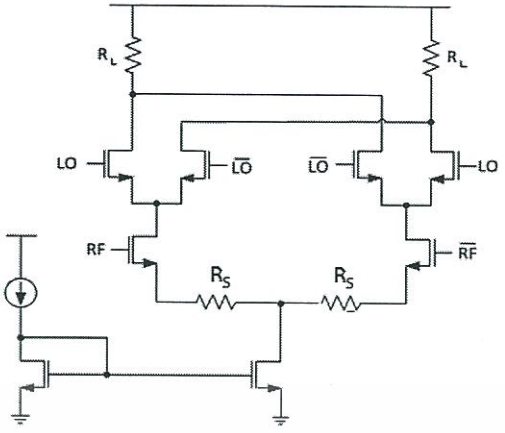
2.6.2 Active และ Passive mixer

โดยทั่วไปแล้ว Active mixer จะเป็นที่นิยมใช้มากกว่า Passive mixer เนื่องจากมีอัตราขยาย (Gain) ที่มากกว่าจึงสามารถลดสัญญาณรบกวน (Noise) ได้ดีกว่า แต่ในทางกลับกันจะมีความเป็นเชิงเส้น (Linearity) และความเร็วที่น้อยกว่าแบบ Passive mixer

2.6.3 Source degeneration

Mixer ส่วนมากต้องการความเป็นเชิงเส้น (Linearity) ที่มากพอ เพื่อทำให้เกิดข้อผิดพลาดในวงจรน้อยที่สุด ซึ่งมีอยู่หลายวิธีในการเพิ่มความเป็นเชิงเส้นของ Mixer เช่น เพิ่มแรงดันที่แหล่งจ่ายไฟ (Supply voltage) หรือ ลดอัตราขยาย (Gain) แต่วิธีที่ได้ประสิทธิภาพมากที่สุดคือการใช้ Source degeneration เป็นการเพิ่มตัวต้านทาน (Resistor) 2 ตัว เข้าไปในวงจรดังรูปที่ 2.21 ซึ่งเป็น Mixer รูปแบบ Gilbert cell double balance mixer ที่มีการใส่ Source degeneration เข้าไป การเพิ่มตัวต้านทานเข้าไปสามารถเพิ่มความเป็นเชิงเส้นได้ แต่ในขณะเดียวกันก็มีผลเสียอยู่หลายประการ คือ ทำให้อัตราขยายลดลง , Noise figure มีค่าเพิ่มขึ้น และมีผลต่อค่า Voltage headroom ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

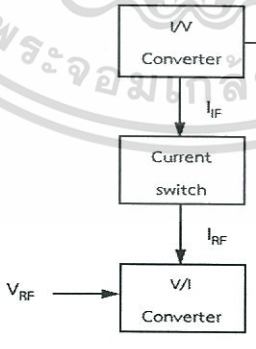


รูปที่ 2.21 Source degeneration double balance gilbert cell mixer

2.6.4 Active down-conversion mixer

เป็น Mixer ที่สามารถขยายสัญญาณได้ภายใน Stage เดียว จะมีโครงสร้างการทำงานหลักๆอยู่ 3 ส่วน มีหลักการทำงาน คือ เมื่อมีสัญญาณ RF เข้ามาจะทำการเปลี่ยนแปลงจากแรงดันเป็นกระแสดังสมการที่ (2.48) จากนั้นจะสับเปลี่ยนกระแสโดยใช้สัญญาณ LO และสุดท้ายจะเปลี่ยนจากกระแสเป็นค่าแรงดันที่เอาต์พุต ดังแสดงในรูปที่ 2.22 Mixer จะใช้การสับสวิตซ์เพื่อเปลี่ยนแปลงความถี่ โดยความถี่ที่เอาต์พุตของ Mixer จะเท่ากับผลบวกและผลต่างของความถี่ทั้งสองหรือก็คือ $\omega_{LO}+\omega_{RF}$ และ $\omega_{LO}-\omega_{RF}$ ซึ่งเราสามารถใช้วงจรกรองความถี่เพื่อเลือกความถี่ที่เราต้องการใช้งาน [1]

$$I_{RF}=g_m V_{RF} \tag{2.48}$$

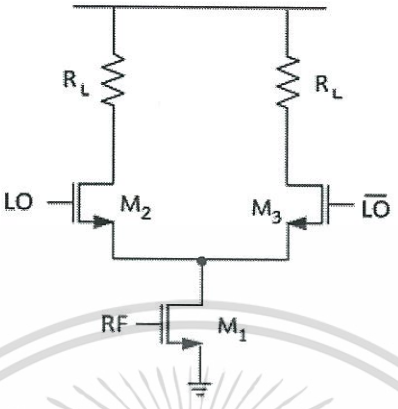


รูปที่ 2.22 บล๊อคไดอะแกรมหลักการทำงานของ Active down-conversion mixer

ในรูปที่ 2.23 เป็น Mixer แบบ Gilbert cell single balance จากรูป M_1 จะรับสัญญาณ RF เข้ามาจากนั้นก็จะเปลี่ยนค่าแรงดัน V_{RF} ให้เป็นกระแส เรียกว่า ทรานคอนดักเตอร์ (Transconductor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน M_2 และ M_3 เป็น Differential pair ที่รับสัญญาณ V_{LO} คอยทำหน้าที่เป็นสวิทต์สับเปลี่ยนกระแส และสุดท้าย R_L จะทำหน้าที่เปลี่ยนจากกระแสเป็นแรงดันที่เอาต์พุต



รูปที่ 2.23 Gilbert cell single balance mixer

Mixer แบบ Gilbert cell single balance มีจะสัญญาณ RF อยู่เพียงด้านเดียวและวงจรจะไม่มีความซับซ้อนมากนัก ซึ่งโดยปกติแล้ว Mixer ในรูปแบบนี้จะไม่ค่อยได้ถูกนำไปใช้งานเนื่องจากมีความเสี่ยงที่จะถูกสัญญาณรบกวน (Noise) ที่ LO และมีความเป็นเชิงเส้น (Linearity) น้อย โดยส่วนมากจึงนิยมใช้ Mixer ในรูปแบบ Gilbert cell double balance mixer ดังแสดงในรูปที่ ซึ่งเป็นรูปแบบที่ดีกว่าเนื่องจากมีความเป็นเชิงเส้นมากกว่า สามารถยกเลิกสัญญาณรบกวนที่เกิดจาก LO ได้ และยังสามารถยกเลิก Even order ที่เกิดจาก RF และ LO ได้ แต่ทว่า Mixer ในรูปแบบก็มีข้อเสียอยู่ คือ วงจรจะมีความซับซ้อนกว่า มีจำนวนมอสเฟตเยอะกว่า และต้องการแรงดัน LO ทีขนาดแรงดันยอดถึงยอด (Peak to peak) ที่มากกว่าแบบ Gilbert cell single balance Mixer

2.6.5 Switch transconductance mixer

จากที่ได้กล่าวมาในข้างต้น Mixer จะใช้สัญญาณ LO ในการสวิตซ์สับเปลี่ยนกระแสว่าจะให้ไหลไปในทิศทางใด ในความเป็นจริงสัญญาณ LO จะต้องเป็นสัญญาณพัลส์ (Square wave) เพื่อที่จะทำให้การสวิตซ์เพื่อสับเปลี่ยนกระแสมีความเร็วมากที่สุด แต่ว่าในทางปฏิบัตินั้นเราไม่สามารถทำให้ LO มีสัญญาณที่เป็นสัญญาณพัลส์ (Square Wave) ได้ อาจจะได้สัญญาณที่คล้ายๆกับสัญญาณซายน์ (Sine wave) ทำให้ความเร็วในการสวิตซ์ช้าลงเนื่องจากสัญญาณรูปซายน์จะค่อยๆเปลี่ยนแปลงแรงดันไม่เหมือนกันสัญญาณที่เป็นรูปพัลส์จะมีการเปลี่ยนแปลงแรงดันทันที

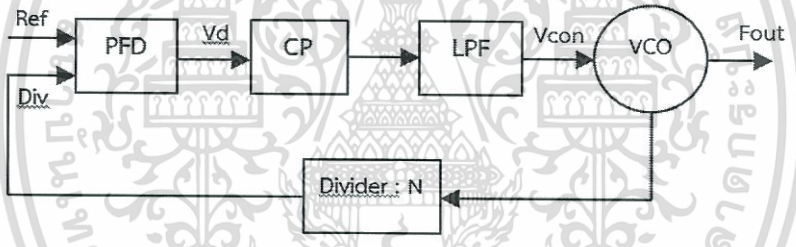
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่ใช้สัญญาณ LO ที่เป็นรูปซายน์ จะต้องการ LO ที่มีขนาดยอดถึงยอด (Peak to peak) มากเนื่องจากทำให้อัตราขยาย (Gain) มีค่าเพิ่มมากขึ้น และความเร็วในการสวิตช์เพิ่มมากขึ้นเพราะว่าสัญญาณซายน์ที่มีขนาดใหญ่จะทำให้สัญญาณมีความชันมาก ซึ่งสัญญาณยิ่งมีความชันมากความเร็วในการสวิตช์ก็จะยิ่งมากขึ้นตาม

2.7 วงจรสังเคราะห์ความถี่ (Frequency synthesizer)

วงจรสังเคราะห์ความถี่เป็นวงจรที่ใช้ในการสร้างความถี่ของสัญญาณ ซึ่งสามารถสร้างได้ทีละความถี่แต่สามารถสร้างได้หลายความถี่ (ในช่วงความถี่ใช้งาน) จึงนำไปใช้เป็นสัญญาณอินพุต LO ของมิกเซอร์เพื่อให้มิกเซอร์สามารถแปลงสัญญาณความถี่ RF เป็นความถี่ IF ที่ต้องการได้ โดยในการสังเคราะห์ความถี่จะใช้หลักการของวงจรเฟสล็อกลูป (Phase locked loop)

2.7.1 โครงสร้างและหลักการทำงานของวงจรเฟสล็อกลูป



รูปที่ 2.24 บล็อคไดอะแกรมของวงจรเฟสล็อกลูป

เฟสล็อกลูปเป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์มีความถี่หรือเฟสของเอาต์พุตเปลี่ยนแปลงไปตามความถี่หรือเฟสของสัญญาณอ้างอิงภายนอก ประกอบด้วยวงจรส่วนหลักๆ 5 ส่วนด้วยกัน คือ วงจรตรวจจับเฟสและความถี่ (Phase frequency detector : PFD) วงจรอัดประจุ (Charge pump) วงจรลูปฟิลเตอร์ (Loop filter) วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (Voltage controlled oscillator : VCO) และวงจรหารความถี่ (Frequency divider) แสดงในรูปที่ 2.24

หลักการทำงานของวงจร คือ เมื่อมีสัญญาณอินพุตเข้ามาตัวเปรียบเทียบเฟสจะทำหน้าที่เปรียบเทียบความต่างเฟสระหว่างสัญญาณอินพุตกับสัญญาณจากวงจรหารความถี่ที่ได้จากภาคกำเนิดสัญญาณที่ควบคุมด้วยแรงดัน VCO เอาต์พุตที่ได้ Vd คืออัตราส่วนความต่างเฟสของสัญญาณทั้งสอง ถ้าความถี่ของสัญญาณ Ref มีค่ามากว่าสัญญาณ Div จะมีผลทำให้วงจรอัดประจุเกิดการเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Charged) และถ้าสัญญาณ Div มีค่ามากว่าสัญญาณ Ref จะมีผลทำให้วงจรอัดประจุเกิดการคายประจุ (Discharged) ซึ่งผลจากการเก็บประจุและคายประจุนี้มีผลทำให้ Vcon มีการเปลี่ยนแปลงและมีผลทำให้วงจรควบคุมความถี่ด้วยแรงดันมีการเปลี่ยนแปลงความถี่เกิดขึ้นจนเมื่อความถี่ของสัญญาณ Ref และ Div มีค่าเท่ากันจะทำให้ Vcon มีค่าแรงดันคงที่ค่าหนึ่ง

โดยปกติวงจรควบคุมความถี่ด้วยแรงดันจะสามารถกำเนิดความถี่ได้ค่าหนึ่ง ซึ่งความถี่ของวงจรจะถูกกำหนดด้วยโครงสร้างของมันเอง โดยไม่มีการเปรียบสัญญาณ Ref และสัญญาณ Div เรียกสภาวะนี้ว่า ฟรีรันนิ่ง (Free running) ในขณะที่ความถี่ของวงจรควบคุมความถี่ด้วยแรงดันกำลังวิ่งเข้าหาความถี่อ้างอิง (Ref) เรียกสภาวะนี้ว่า แคปเจอร์ (Capture) และเมื่อความถี่ของสัญญาณอ้างอิง (Ref) และความถี่ที่มาจากวงจรหารความถี่ (Div) มีความถี่เท่ากัน Vcon มีค่าคงที่ เรียกสภาวะนี้ว่า เฟสล๊อก (Phase locked)

ในการสร้างความถี่ของวงจรสังเคราะห์ความถี่จะสามารถสร้างได้เพียงทีละค่าเดียวเนื่องจากความถี่อ้างอิงที่ใช้จะนิยมสร้างมาจาก คริสตัลออสซิลเลเตอร์ (Crystal oscillator) ซึ่งเป็นวงจรที่สามารถสร้างความถี่ได้เพียงค่าเดียวเท่านั้น ดังนั้นถ้าเราต้องการเปลี่ยนแปลงความถี่ของวงจรสังเคราะห์ความถี่เราจะเปลี่ยนโดยการเปลี่ยนแปลงค่าการหารของวงจรหารความถี่แทนเนื่องจากที่สภาวะเฟสล๊อกความถี่ Ref จะต้องมีค่าเท่ากับ Div ถ้าเพิ่มค่าการหารของวงจรหารความถี่ก็จะทำให้ความถี่เอาต์พุตมีค่าสูงขึ้นตามไปด้วย โดยค่าความถี่เอาต์พุตจะมีค่าตามสมการที่ (2.49)

$$F_{out}=N \times F_{ref} \tag{2.49}$$

2.7.2 ค่าพารามิเตอร์ที่สำคัญของวงจร

วงจรสังเคราะห์ความถี่นอกจากจะต้องผลิตความถี่ที่มีความถี่ในช่วงที่เราต้องการได้แล้วยังมีคุณสมบัติอื่นๆที่สำคัญต่อวงจรอีก ในขณะที่วงจรสังเคราะห์ความถี่เปลี่ยนแปลงความถี่จะมีช่วงเวลาที่ทำการเปลี่ยนเปลี่ยนแปลง ซึ่งก็คือช่วงเวลาล๊อก (Lock – up time) วงจรสังเคราะห์ความถี่ที่ดีจะต้องมีช่วงเวลาล๊อคสั้น หรือพูดอีกนัยนึงก็คือสามารถเปลี่ยนแปลงความถี่ได้ในเวลาอันรวดเร็ว ซึ่งค่าพารามิเตอร์นี้มีความสำคัญสำหรับเครื่องรับส่งสัญญาณวิทยุ

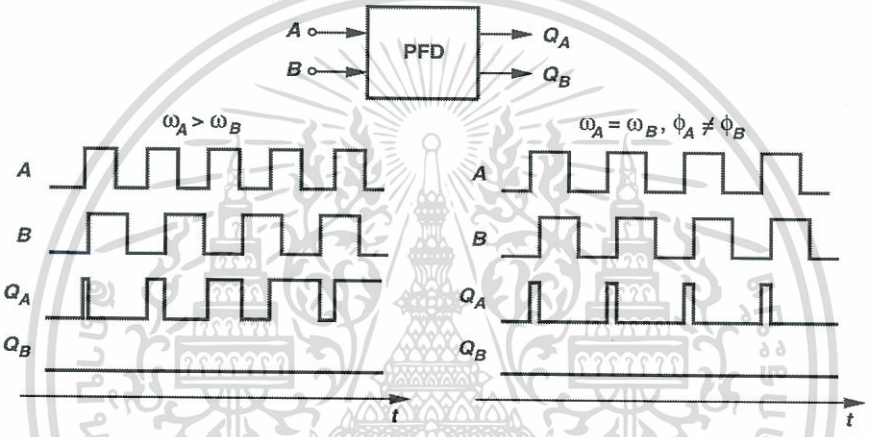
วงจรสังเคราะห์ความถี่ในอุดมคติจะต้องผลิตสัญญาณความถี่เดียวโดยปราศจากความถี่แปลกปลอม คุณสมบัตินี้ เรียกว่า ความบริสุทธิ์ของสเปกตรัม (Spectrum purity) นั่นคือความถี่ฮาร์โมนิกและสปริวเรียสต่างๆจะต้องไม่มีอยู่เลย แต่ในทางปฏิบัติจะต้องพยายามกำจัดให้เหลือน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้นอยส์ในวงจรออสซิเลเตอร์จะทำให้วงจรสังเคราะห์ความถี่ที่มีความถี่ไม่บริสุทธิ์ ไม่ใช่เพียงความถี่เดียวในช่วงใกล้เคียงกับความถี่ที่ต้องการ เรียกว่า สัญญาณรบกวนเชิงเฟส (Phase noise)

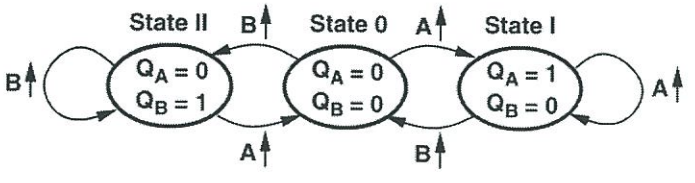
2.7.3 วงจรตรวจจับเฟสและความถี่ (Phase frequency detector : PFD)

วงจรตรวจจับเฟสและความถี่จะทำหน้าที่วัดความต่างเฟสที่เข้ามาทางอินพุตและค่าความต่างเฟสออกไปทางเอาต์พุตเพื่อนำไปใช้เป็นตัวควบคุมการทำงานของวงจรอัดประจุ โดยจะมีเอาต์พุตสองค่า ดังแสดงในรูปที่ 2.25



รูปที่ 2.25 กราฟการตอบสนองของวงจรตรวจจับเฟสและความถี่

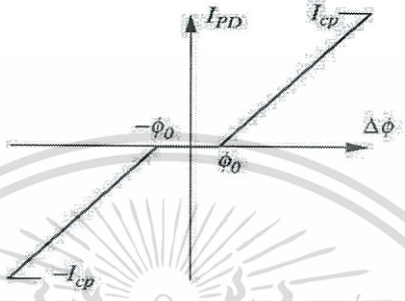
จากรูปที่ 2.25 กราฟ A และ B คือความถี่อินพุตของวงจร จะเห็นได้ว่าเมื่อความถี่และเฟสของอินพุตไม่เท่ากันโดยความถี่ A มีค่ามากกว่าความถี่ B จึงทำให้เกิดผลต่างเฟสออกมาที่เอาต์พุตดังแสดงในกราฟ Q_A แต่ถ้าความถี่ B มีค่ามากกว่าความถี่ A ผลต่างเฟสจะแสดงออกมาทางกราฟ Q_B ผลต่างเฟสจะถูกนำไปควบคุมการทำงานของวงจรอัดประจุ (Charge pump) ให้ปรับค่าแรงดันที่ควบคุมวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (VCO) เพื่อปรับค่าความถี่จนความถี่ A และ B มีค่าเท่ากันในที่สุด ผลต่างเฟสก็จะมีค่าเป็นศูนย์ [1]



รูปที่ 2.26 แผนผังการทำงานของวงจรตรวจจับเฟสและความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.26 แสดงแผนผังการทำงานของภายในของวงจรตรวจจับเฟสและความถี่ จากแผนผังคือเมื่อวงจรตรวจเจอความถี่ A ที่ขอบขาขึ้นก็จะทำให้ $Q_A = 1$ $Q_B = 0$ จนกระทั่งวงจรตรวจเจอความถี่ Bที่ขอบขาขึ้น จะทำให้วงจรถูกรีเซ็ตกลับมาให้ Q_A และ Q_B เท่ากับศูนย์ เช่นเดียวกันเมื่อวงจรตรวจเจอความถี่ B ที่ขอบขาขึ้นก็จะทำให้ $Q_A = 0$ และ $Q_B = 1$ จนกระทั่งวงจรตรวจเจอความถี่ A ที่ขอบขาขึ้น จะทำให้วงจรถูกรีเซ็ตกลับมาให้ Q_A และ Q_B เท่ากับศูนย์



รูปที่ 2.27 จุดเดทโซน (Dead zone) ของวงจรตรวจจับเฟสและความถี่

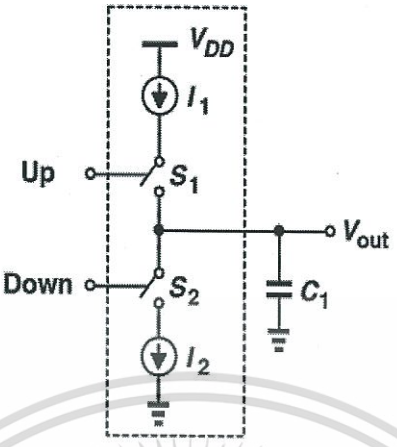
จากที่ได้กล่าวมาข้างต้นความต่างเฟสของสัญญาณอินพุตทั้งสองของวงจรตรวจจับเฟสและความถี่จะถูกนำไปควบคุมกระแสของวงจรอัดประจุ และเมื่อความต่างเฟสของสัญญาณมีค่าน้อยมากจะทำให้วงจรอัดประจุไม่สามารถตรวจจับได้ เรียกจุดนี้ว่า จุดเดทโซน (Dead zone) ณ จุดๆนี้อัตราขยายของวงจรอัดประจุจะเป็นศูนย์ ดังแสดงในรูปที่ ในการออกแบบวงจรเฟสล๊อกลูปถ้าความต่างเฟสอยู่ในจุดเดทโซนนี้พอดีจะทำให้ลูปเกนของวงจรเฟสล๊อกลูปทั้งหมดผิดพลาดทำให้เกิดความผิดพลาดขึ้นกับวงจรเฟสล๊อกลูป ในการแก้ปัญหาจุดเดทโซนนี้เราสามารถใส่ค่าดีเลย์เข้าไปให้วงจรมีค่าการหน่วงเวลาก่อนที่จะรีเซ็ตวงจรนานมากขึ้น แต่ในการใส่ดีเลย์เข้าไปในวงจรมากเกินไปจะส่งผลให้วงจรตรวจจับเฟสผิดพลาด ซึ่งก็คือค่าดีเลย์ของการรีเซ็ตสัญญาณอยู่ในช่วงที่ตรวจพบขอบขาขึ้นของสัญญาณอินพุตพอดี เรียกจุดนี้ว่า จุดบลายโซน (Blind zone)

2.7.4 วงจรอัดประจุ (charge pump)

ในวงจรอัดประจุจะประกอบไปด้วยสวิทซ์ S_1 และ S_2 แหล่งจ่ายกระแส I_1 และ I_2 และตัวเก็บประจุ C_1 ดังแสดงในรูปที่ 2.28 ช่วงเวลาในการเปิดปิดของสวิตซ์ S_1 และ S_2 จะถูกควบคุมด้วยความต่างเฟสที่มาจากวงจรตรวจจับเฟสและความถี่ เมื่อสวิตซ์ S_1 เปิด S_2 ปิด กระแส I_1 จะเกิดการอัดประจุเข้าไปที่ตัวเก็บประจุ C_1 เช่นเดียวกันเมื่อสวิตซ์ S_1 ปิด S_2 เปิด จะเกิดการคายประจุผ่านสวิตซ์ S_2 ลงกราวน์ ค่าแรงดัน V_{out} จะมีค่าตามสมการที่ (2.50) [1]

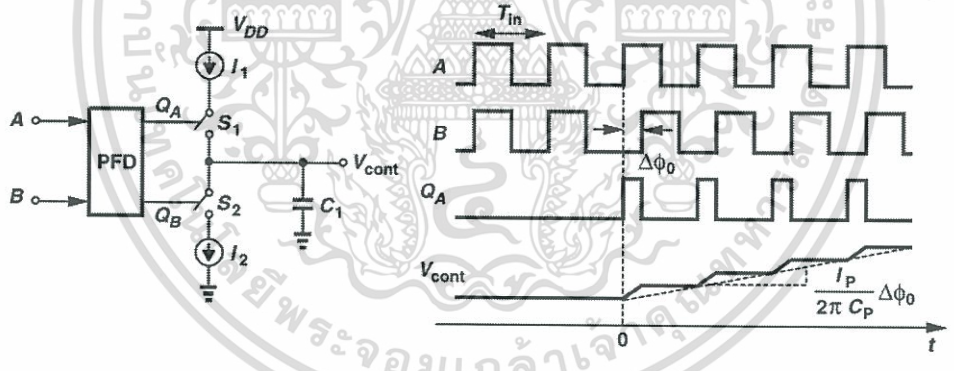
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{out}=\frac{\Delta T \cdot I}{C_1} \tag{2.50}$$



รูปที่ 2.28 วงจรอัดประจุ (Charge pump)

ในการคำนวณหา Transfer function ของวงจรอัดประจุ ทำได้โดยการป้อนสัญญาณอินพุตเป็นสเตปเพื่อหา time domain ของเอาต์พุต [1] ดังแสดงในรูปที่ 2.29



รูปที่ 2.29 การตอบสนองทางเวลาของวงจรอัดประจุ

จากรูปที่ 2.29 เมื่อวงจรตรวจจับเฟสและความถี่สร้างสัญญาณที่มีความต่างเฟสมีค่าเท่ากับ $\Phi_0 T_{in}/2\Pi$ ขึ้นมา และเข้าไปยังวงจรอัดประจุจะทำให้มีสัญญาณเอาต์พุตมีลักษณะเป็นสัญญาณแรมป์โดยแรงดันเอาต์พุตแต่ละคาบเวลาเท่ากับสมการที่ (2.51)

$$\Delta V_{con}=\frac{\Phi_0 T_{in} I_p}{2\Pi C_1} \tag{2.51}$$

เมื่อ $\phi_0 T_{in}/2\Pi$ แสดงความต่างเฟสของสัญญาณอินพุตและ $I_1 = I_2 = I_P$ ความชันของสัญญาณแรมป์แสดงโดย $\Delta V_{con}/T_{in}$ ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{con}=\frac{\phi_0 I_p}{2\Pi C_1}tu(t) \quad (2.52)$$

เมื่อเปลี่ยนสมการให้อยู่ในรูปแบบของลาปาส (Laplace Transform) จะได้

$$\frac{V_{con}}{\Delta V}(S)=\frac{I_p}{2\Pi C_1}\cdot\frac{1}{S} \quad (2.53)$$

2.7.5 Loop filter

วงจร Loop filter จะอยู่ในส่วนถัดจากวงจร Charge pump จะทำหน้าที่เป็นตัวกรององค์ประกอบที่ไม่ต้องการออกไปเพื่อที่จะให้ได้ค่าแรงดันที่จะนำไปใช้ในการควบคุมความถี่ของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน วงจรในส่วนนี้จะมีผลต่อลูปรวมของวงจรเฟสล็อกลูปทั้งหมด โดยเฉพาะลูปแบนด์วิธและสัญญาณรบกวนของวงจร ถ้าลูปฟิลเตอร์มีค่าอันดับ (order) ที่สูงจะทำให้สามารถกรองสัญญาณรบกวนออกไปได้มากแต่จะมีความซับซ้อนในการคำนวณและออกแบบมากขึ้น อันดับที่นิยมใช้กันมากที่สุดจึงเป็นอันดับที่สอง

2.7.6 วงจรกำเนิดสัญญาณ (Oscillator)

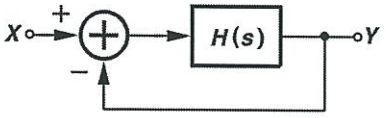
เป็นวงจรที่ถูกสร้างขึ้นเพื่อให้กำเนิดสัญญาณทั่วไปโดยไม่ต้องมีการป้อนอินพุตจึงเป็นวงจรที่มีลักษณะการทำงานที่ไม่เป็นเชิงเส้น การวิเคราะห์วงจรจะเป็นการวิเคราะห์เพื่อหาเงื่อนไขของการออสซิเลต วงจรออสซิเลเตอร์ประกอบด้วยวงจรแบบ RC , LC และแบบผลึก (Crystal) ซึ่งในบทนี้จะกล่าวถึงเพียงแบบ LC และแบบผลึกเนื่องจากวงจรสังเคราะห์ความถี่จำเป็นต้องใช้วงจรกำเนิดสัญญาณแบบ LC เนื่องจากมีค่า Quality factor สูงทำให้มี Phase noise ต่ำ

2.7.6.1 หลักการป้อนกลับของวงจรออสซิเลเตอร์

ในการออกแบบวงจรออสซิเลเตอร์จะเปรียบเสมือนการออกแบบวงจรขยายสัญญาณป้อนกลับแบบลบที่แย่มากจนทำให้เกิดการออสซิเลตหรือก็คือมีเฟสมาร์จินเป็นศูนย์หรือติดลบ โดยเมื่อเราพิจารณาวงจรป้อนกลับรูปที่ (2.30) จะได้สมการที่ (2.54)

$$\frac{Y}{X}(s)=\frac{H(s)}{1+H(s)} \quad (2.54)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.30 ระบบการป้อนกลับแบบลบ

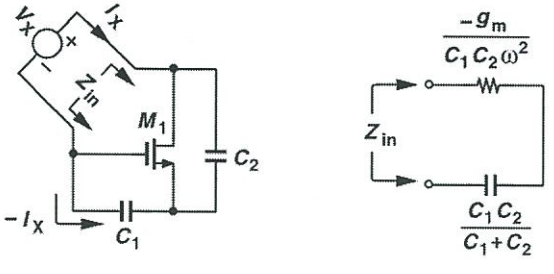
จากสมการที่ 2.54 จะเห็นว่าเมื่อ H(s) มีค่าเป็น -1 อัตราขยายของวงจรจะมีค่าเป็นอนันต์ วงจรจะสามารถกำเนิดสัญญาณได้แม้ไม่มีสัญญาณอินพุต โดยเงื่อนไขที่จะทำให้ H(s) มีค่าเป็น -1 คือ H(s) = 1 และ $\angle H(s) = 180^\circ$ โดยวงจรจะเริ่มออสซิเลตที่ค่าศูนย์และค่อยๆเพิ่มขึ้นเรื่อยจนถึงจุดอิ่มตัว เรียกเงื่อนไขการออสซิเลตนี้ว่า Barkhausen criterion [1]

2.7.6.2 One-port view oscillator

จากรูปที่ 2.31 จะเห็นได้ว่าเมื่อวงจรเกิดการสูญเสียจากตัวเหนี่ยวนำที่แทนด้วยตัวต้านทาน R_p จะทำให้สัญญาณเอาต์พุตของวงจรแย่ลง จึงต้องมีการสร้างตัวต้านทานติดลบขึ้นมาเพื่อหักล้างผลกระทบที่เกิดขึ้นจากตัวต้านทาน [1]

รูปที่ 2.31 การใช้ตัวต้านทาน $-R_p$ เพื่อหักล้างการสูญเสียของ R_p

ในการสร้างตัวต้านทานลบขึ้นมาเราจะใช้มอสเฟตเพื่อสร้าง โดยเมื่อเราพิจารณาจากรูปที่ 2.32 ตัวเก็บประจุ C_1 จะต่อเข้ากับขาเกตและซอส C_2 จะต่อเข้ากับเดรนและซอส โดยสมมุติว่ามีแหล่งจ่าย V_X เข้ามาเพื่อคำนวณความต้านทาน Z_X [1]



รูปที่ 2.32 การใช้มอสเฟตเพื่อสร้างตัวต้านทานลบ

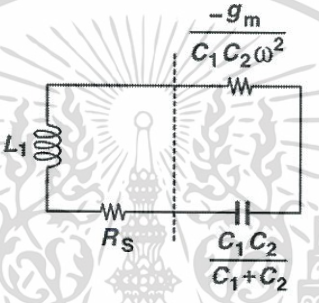
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อคำนวณค่าจากรูปที่ 2.32 จะได้ความต้านทานลบมีค่าเท่ากับ

$$\frac{V_x}{I_x}(j\omega)=\frac{1}{jC_1\omega}+\frac{1}{jC_2\omega}-\frac{g_m}{C_1C_2\omega^2} \quad (2.55)$$

จะเห็นว่าค่าความต้านทานอินพุตที่มีตัวเก็บประจุ C_1 และ C_2 ต่ออนุกรมกันมีค่าตามสมการที่ (2.55) ค่าตัวต้านทานลบมีค่าเท่ากับ $\frac{g_m}{C_1C_2\omega^2}$ ซึ่งจะแปรผันตามความถี่

เมื่อได้ค่าความต้านทานลบมาถ้านำไปใส่ในวงจรออสซิเลเตอร์เราจะได้วงจรดังรูปที่ 2.33 ซึ่งจะเห็นว่าถ้าต้องการให้วงจรออสซิเลตจะต้องกำหนดให้ R_S มีค่าตามสมการที่ (2.56) [1]



รูปที่ 2.33 วงจรเมื่อต่อตัวเหนี่ยวนำเข้ากับวงจรสร้างตัวต้านทานลบ

$$R_s=\frac{g_m}{C_1C_2\omega^2} \quad (2.56)$$

ถ้าพิจารณาตัวต้านทานสูญเสียจากตัวเหนี่ยวนำเป็นรูปแบบขนาน (R_p) จะได้ค่า R_p ที่ทำให้วงจรออสซิเลตเท่ากับสมการที่ (2.57)

$$g_mR_p=\frac{C_2}{C_1}+\frac{C_1}{C_2}+2 \quad (2.57)$$

จากวงจรดังกล่าวตัวเหนี่ยวนำ L_1 จะต่ออนุกรมกับตัวเก็บประจุ C_1 และ C_2 จึงแสดงความถี่ออสซิเลชั่นตามสมการที่ (2.58)

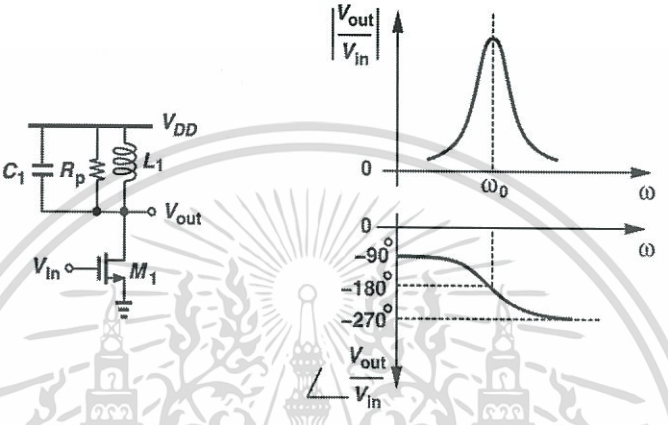
$$\omega_{osc}=\frac{1}{\sqrt{L_1\frac{C_1C_2}{C_1+C_2}}} \quad (2.58)$$

2.7.6.3 Cross couple oscillator

เป็นรูปแบบของวงจร LC ออสซิเลเตอร์ที่ใช้วงจร LC-Tune amplifier มาต่อกันโดยใช้หลักการของการป้อนกลับโดยถ้าเราพิจารณาวงจร LC-Tune amplifier ในรูปที่ 2.34 จะเห็นว่าจะเป็นวงจรใน

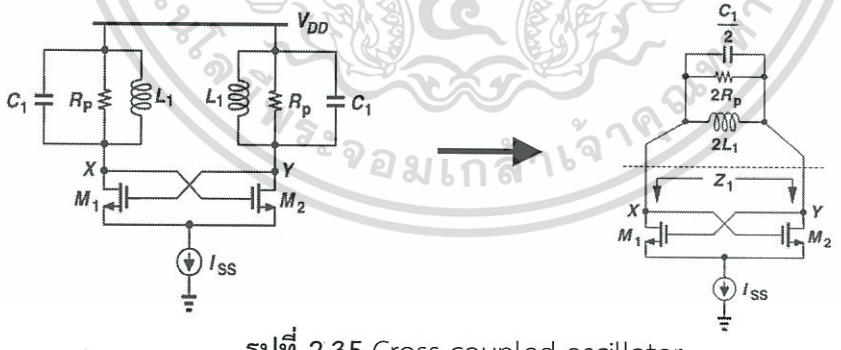
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะ LC tank ซึ่งเมื่อพิจารณาผลลัพธ์ในรูปที่ จะเห็นว่าที่ความถี่ต่ำตัวเหนี่ยวนำจะมีผลมากจึงทำให้อัตราขยายมีค่าต่ำ และมีเฟสเท่ากับ -90° ที่ความถี่เรโซแนนซ์ตัวเหนี่ยวนำและตัวเก็บประจุจะหักล้างกันเหลือเพียง R_P ซึ่งจุดนี้จะมีอัตราขยายมากและมีเฟสเท่ากับ -180° และที่ความถี่สูงตัวเก็บประจุจะมีผลมากทำให้อัตราขยายลดลงและมีเฟสเท่ากับ -270° ซึ่งทั้งหมดนี้ไม่มีเฟสที่เท่ากับ 360° จึงไม่สามารถทำให้วงจรออสซิเลตได้ [1]



รูปที่ 2.34 วงจร LC-Tune amplifier

เนื่องจากวงจร LC-Tune amplifier เพียงตัวเดียวไม่สามารถทำให้วงจรออสซิเลตได้จึงต้องเพิ่มเข้าไปอีกตัวนึงเพื่อให้เฟสมีค่าเท่ากับ 360° เรียกว่าวงจร Cross-couple oscillator แสดงในรูปที่ 2.35



รูปที่ 2.35 Cross-coupled oscillator

เมื่อพิจารณาที่จุด X จะเห็นว่ามีตัวเก็บประจุเพิ่มเข้ามาจากมอสเฟตด้วยความถี่ออสซิเลตจึงสามารถคำนวณได้ดังสมการที่ (2.60)

$$\omega_{osc} = \frac{1}{\sqrt{L_1(C_{GS2}+C_{DB1}+4C_{GD}+C_1}} \tag{2.60}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาค่าความต้านลบของมอสเฟต (Z_1) จะได้ว่า

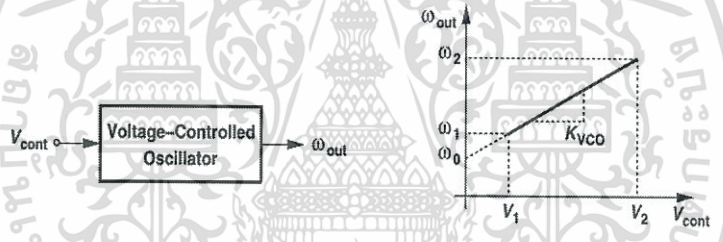
$$\frac{V_x}{I_x} = -\left(\frac{1}{g_{m1}}+\frac{1}{g_{m2}}\right)=-\frac{2}{g_m} \tag{2.61}$$

ความถี่ออสซิเลชั่นจะเกิดเมื่อความต้านทานลบไปหักล้างกับความต้านทานจากการสูญเสีย ดังนั้น ค่า $g_m R_p$ จึงมีค่าตามสมการที่ (2.62)

$$g_m R_p \geq 1 \tag{2.62}$$

2.7.7 วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (Voltage-controlled oscillator : VCO)

เป็นวงจรที่สามารถกำเนิดความถี่โดยควบคุมด้วยค่าแรงดัน ถ้าพิจารณาตามรูปที่ 2.36 ความถี่ ω_1 และ ω_2 จะแปรผันตามค่าแรงดัน V_{con} ความชันของ K_{VCO} จะเรียกว่า อัตราขยายของวงจร VCO มีหน่วยเป็น rad/Hz/V [1]



รูปที่ 2.36 คุณลักษณะของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน

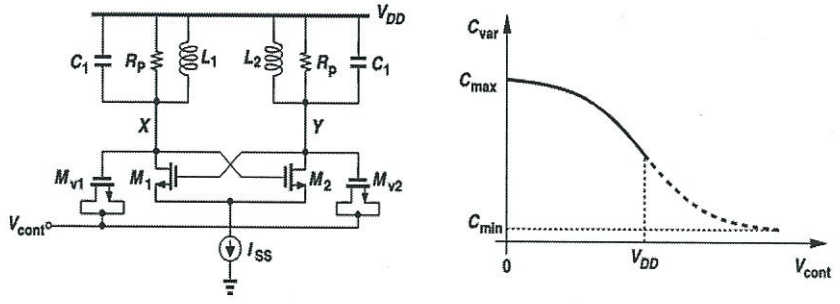
ในการใช้แรงดันเพื่อควบคุมความถี่ของวงจร ความถี่เรโซแนนท์จะเปลี่ยนแปลงตามไปด้วย ซึ่งในวงจรอิเล็กทรอนิกส์สามารถเปลี่ยนค่าของตัวเหนี่ยวนำได้ยากจึงต้องเปลี่ยนค่าของตัวเก็บประจุเท่านั้น ซึ่งเรียกว่า Varactor โดยต่อเข้าที่เอาต์พุตของวงจรเพื่อให้ความถี่ออสซิเลชั่นเปลี่ยงตามสมการที่ (2.63)

$$\omega_{osc}=\frac{1}{\sqrt{L(C_1+C_{var})}} \tag{2.63}$$

2.7.7.1 Tuning Range Limitations

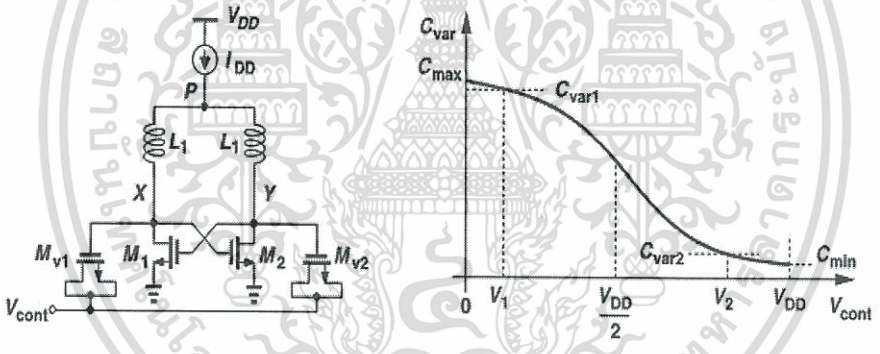
ในการจูนจะต้องป้อนแรงดัน V_{con} เข้าที่ขาเดรนและซอสของมอสเฟตแล้วนำขาเกตต่อเข้ากับเอาต์พุต ดังรูปที่ 2.37 วงจร Cross-couple oscillator บางทีอาจจะมีค่าของระยะการจูนที่น้อยเกินไป ทำให้ไม่สามารถปรับความถี่ให้ได้ทุกความถี่ตามที่ต้องการได้ จึงต้องมีการหาวิธีในการทำให้สามารถเพิ่มระยะการจูนของวงจรได้ [1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.37 วงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่ใช้ Mos varactor ควบคุม

จากรูปจะเห็นว่า แรงดัน V_{con} จะมีค่ามากสุดได้แค่แรงดันไฟเลี้ยงเนื่องจากแรงดัน V_{con} เป็นแรงดันที่มาจากวงจรอัดประจุ ซึ่งมีค่ามากที่สุดได้ถึงแค่แรงดันไฟเลี้ยงจึงมีผลทำให้ระยะการจูนของวงจรมีค่าลดลง จึงได้มีการคิดวิธีแก้ปัญหาโดยการนำแหล่งจ่ายกระแส I_{ss} ไปไว้ด้านบน เรียกว่า Top bias current ดังแสดงในรูปที่ 2.38 [1]

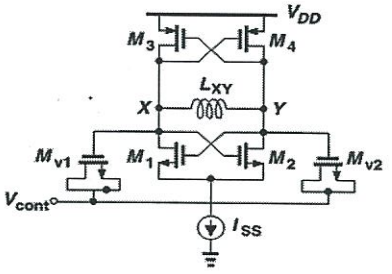


รูปที่ 2.38 วงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่รูปแบบ Top Bias current

จากรูปที่ 2.38 จะเห็นว่าสามารถจูนค่าได้มากขึ้นเนื่องจากสามารถใช้ Varactor ในช่วงที่ V_{gs} เป็นลบได้ทำให้ระยะการจูนมีค่าเพิ่มขึ้นโดยต้องเลือกขนาดมอสเฟตให้เอาต์พุตคอมมอนโหมดอยู่ที่ประมาน VDD/2 จะทำให้ได้ระยะการจูนมากที่สุด แต่ในขณะเดียวกันวงจรรูปแบบ Top Bias current จะมีผลเสียคือ มีเฟสนอยด์ที่มากกว่าแบบ Tail Bias current

วงจรอีกรูปแบบหนึ่งเป็นวงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่รูปแบบ NMOS และ PMOS Cross-couple pair เป็นอีกวงจรที่สามารถทำให้เอาต์พุตคอมมอนโหมดมีค่าเท่ากับ VDD/2 เพื่อให้ได้ระยะการจูนที่มากที่สุด ดังแสดงในรูปที่ 2.39 [1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

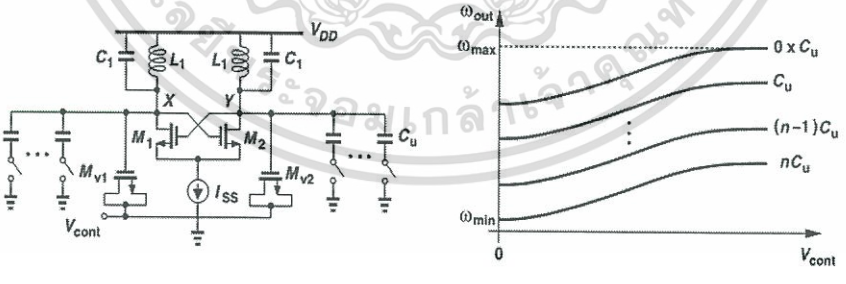


รูปที่ 2.39 วงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่รูปแบบ NMOS และ PMOS Cross-couple pair

วงจรรูปแบบนี้ยังมีข้อดีอีกอย่างคือให้แรงดันสวิงที่เอาต์พุตมีค่าเป็นสองเท่า แต่ก็มีข้อเสียคือ ต้องใช้ขนาดมอสเฟต PMOS ที่มีขนาดใหญ่ทำให้ขนาดตัวเก็บประจุมีค่ามากขึ้นตาม จึงมีผลกับวงจรเมื่อความถี่สูง เมื่อตัวเก็บประจุมีขนาดใหญ่ขึ้นขนาดตัวเหนี่ยวนำจะต้องมีค่าลดลงทำให้แรงดันสวิงที่เอาต์พุตมีค่าต่ำลงไปด้วย และยังมีผลของสัญญาณรบกวนที่มาพร้อมกับกระแสไบอัส I_{ss} ที่ทำให้เฟสนอยด์ของวงจรมีค่าเพิ่มมากขึ้น

2.7.7.2 Discrete tuning

เป็นวิธีการเพิ่มระยะการจูนของวงจรให้สามารถจูนความถี่เอาต์พุตได้ในระยะที่กว้างขึ้นโดยการต่อตัวเก็บประจุ C_U ขนานเข้าไปที่เอาต์พุตของวงจรและใช้ดิจิตอลอินพุทควบคุมสวิตช์จึงทำให้สามารถเพิ่มระยะการจูนได้ เหตุผลที่ต้องใช้วิธีนี้เนื่องมาจากการเพิ่มอัตราขยายของวงจร VCO สามารถทำให้ขนาดความกว้างของความถี่เอาต์พุตเพิ่มขึ้นได้แต่จะทำให้เฟสนอยด์ของวงจรขยายมากขึ้นตามไปด้วย



รูปที่ 2.40 วงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่ใช้วิธี Discrete tuning

จากรูปที่ 2.40 จะเห็นได้ว่า ความถี่ออสซิเลชั่นที่ต่ำที่สุดจะเกิดเมื่อตัวเก็บประจุทุกตัวถูกสวิทช์ให้เชื่อมต่อกับเอาต์พุต และความถี่ออสซิเลชั่นที่มากที่สุดจะเกิดเมื่อตัวเก็บประจุทุกตัวไม่ได้เชื่อมต่อกับเอาต์ต่อพุตของวงจร ดังแสดงในสมการที่ (2.64) และ (2.65) [1]

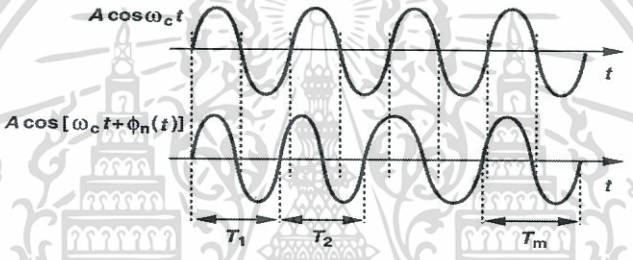
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_{min} = \frac{1}{\sqrt{L_1(C_1+C_{max}+nC_u)}} \quad (2.64)$$

$$\omega_{max} = \frac{1}{\sqrt{L_1(C_1+C_{min})}} \quad (2.65)$$

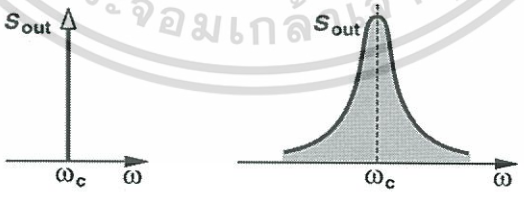
2.7.7.3 สัญญาณรบกวนเชิงเฟสของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (VCO Phase noise)

การออกแบบวงจรควบคุมความถี่ด้วยแรงดันปกติจะเป็นการ Trade-off ระหว่าง Tuning range Phase noise และ Power dissipation โดยในหัวข้อนี้จะกล่าวถึงสัญญาณรบกวนเชิงเฟสของวงจร โดยปกติถ้าสัญญาณซายน์เป็นสัญญาณในอุดมคติจะสามารถเขียนอยู่ในรูปแบบ $x(t) = A\cos w_c t$ แต่ถ้าสัญญาณซายน์มีสัญญาณรบกวนเกิดขึ้นจะอยู่ในรูปแบบ $x(t) = A\cos w_c t + \phi_n(t)$ ซึ่ง $\phi_n(t)$ คือสัญญาณรบกวนเชิงเฟสของสัญญาณ ดังแสดงในรูปที่ 2.41 [1]



รูปที่ 2.41 สัญญาณซายน์ในอุดมคติและสัญญาณซายน์ที่มีสัญญาณรบกวน

ถ้าเขียนสัญญาณซายน์ในอุดมคติและสัญญาณซายน์ที่มีสัญญาณรบกวนในรูปแบบของสเปรกตรัมของสัญญาณดังแสดงในรูปที่ 2.42 ซึ่งเฟสนอยด์จะแสดงในลักษณะที่เรียกว่า Skirts [1]

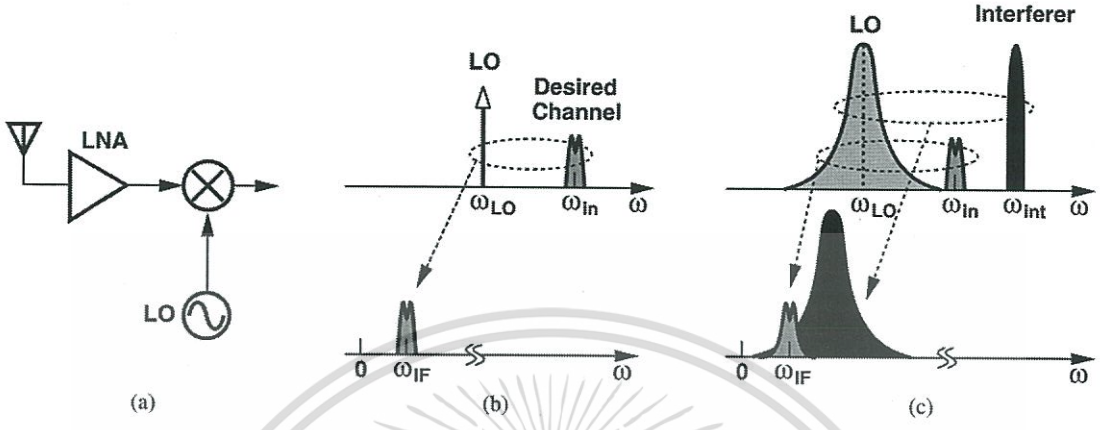


รูปที่ 2.42 สเปรกตรัมของสัญญาณซายน์ในอุดมคติและสัญญาณซายน์ที่มีสัญญาณรบกวน

ในการหาค่าของสัญญาณรบกวนเชิงเฟสจะหาจากจุดที่ห่างจากความถี่ f_c ว่ามีความถี่ห่างกันเท่าไหร่ ซึ่งเรียกว่า Frequency offset และที่จุดนั้นมี Power เท่าไหร่ ซึ่ง Power ที่ความถี่ f_c นี้เรียกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Carrier power ยกตัวอย่างเช่น สัญญาณรบกวนเชิงเฟสของวงจรมีค่าเท่ากับ -115 dBc/Hz ที่ 600 KHz offset หมายความว่าที่ความถี่ 600 KHz ห่างจากความถี่ f_c มี Power เท่ากับ -115 dBc/Hz

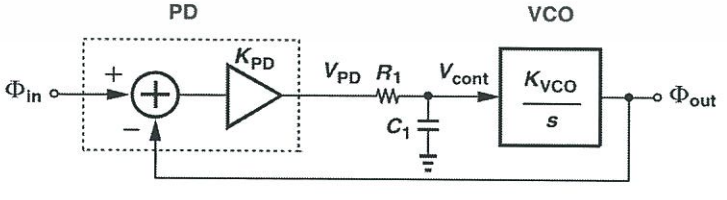


รูปที่ 2.43 (a) วงจรส่วนหน้าของภาครับสัญญาณ (b) Down conversion ด้วยสัญญาณ LO ในอุดมคติ (c) down conversion ด้วยสัญญาณ LO ที่มีเฟสนอยด์

จากรูปที่ 2.43 จะเห็นว่า ถ้าสัญญาณ LO มีสัญญาณรบกวนเชิงเฟสมากจะทำให้หลังจาก Down conversion สัญญาณมาแล้วจะมีสัญญาณสอดแทรก (Interferer) มีขนาดที่ใหญ่ตามไปด้วยทำให้เกิดการรบกวนสัญญาณ IF ซึ่งปรากฏการณ์นี้ เรียกว่า reciprocal ซึ่งโดยปกติจะต้องมีการคำนวณว่าขนาดสัญญาณรบกวนเชิงเฟสเท่าไหร่ที่วงจรส่วนหน้าของภาครับสัญญาณจะสามารถรับได้ [1]

2.7.8 Transfer function ของวงจรเฟสล็อคลูป

วงจรเฟสล็อคลูปจะต้องมีการวิเคราะห์ Transfer function ของแต่ละบล็อคเพื่อนำไปวิเคราะห์หาเสถียรภาพของลูปทั้งหมดและการตอบสนองทางความถี่ของวงจร (Frequency response)



รูปที่ 2.44 วงจรเฟสล็อคลูป Type I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.44 เป็นบล๊อคไดอะแกรมแสดงวงจรเฟสล๊อคลูป Type I โดยสามารถนำอัตราขยายของแต่ละบล๊อคมาคำนวณ Transfer function ของระบบเมื่อใช้วงจรลูปฟิลเตอร์เป็นวงจรกรองความถี่ต่ำผ่านอันดับที่ 1 ได้ดังสมการที่ (2.66) [1]

$$H(S)=\frac{Kpd\cdot L(s)\cdot\frac{Kv}{s}}{1+Kpd\cdot L(s)\cdot\frac{Kv}{s}} \tag{2.66}$$

เมื่อแทนค่า H(s) เข้าไปจะได้

$$H(S)=\frac{Kpd\cdot Kv}{R_1C_1s^2+s+Kpd\cdot Kv} \tag{2.67}$$

$$H(S)=\frac{\omega_n^2}{s^2+2\zeta\omega_n s+\omega_n^2} \tag{2.68}$$

ถ้าเรานำสมการที่ (2.67) ไปเทียบกับสมการที่ (2.68) เราจะได้ว่า

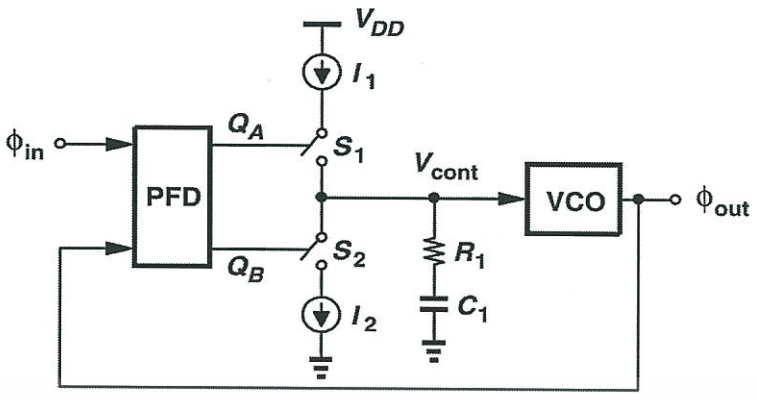
$$\zeta=\frac{1}{2}\sqrt{\frac{1/(R_1C_1)}{Kpd\cdot Kv}} \tag{2.69}$$

$$\omega_n=\sqrt{Kpd\cdot Kv\cdot 1/(R_1C_1)} \tag{2.70}$$

ζ คือ ค่า Damping factor, ω_n คือ ความถี่ธรรมชาติ (Natural frequency) ค่าพารามิเตอร์สองตัวนี้เป็นค่าพื้นฐานของวงจรอันดับสองที่ใช้ในระบบควบคุม จึงนำมาใช้เพื่อคำนวณหาเสถียรภาพของวงจรเฟสล๊อคลูป ค่า Damping factor ที่นิยมใช้กันจะอยู่ที่ 0.707 หรือมากกว่านั้นเพื่อให้ลูปมีการตอบสนองแบบ Critically damped หรือ Over damped

การคำนวณในข้างต้นเป็นการคำนวณของเฟสล๊อคลูปแบบ Type I ซึ่งเป็นรูปแบบที่ง่ายที่สุด แต่จะมีข้อเสียอยู่ เมื่อพิจารณาสมการที่ ค่า Ripple ของแรงดันควบคุมวงจรกำเนิกความถี่ด้วยแรงดันโดยการเลือก $1/(R_1C_1)$ ให้มีค่าน้อย แต่เมื่อ $1/(R_1C_1)$ มีค่าน้อยก็จะส่งผลต่อความเสถียรของลูป เฟสล๊อคลูปรูปแบบนี้จึงไม่นิยมใช้กัน แต่จะใช้วงจรเฟสล๊อคลูป Type II ดังแสดงในรูปที่ 2.45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.45 วงจรเฟสล็อคลูป Type II

จากรูปที่ 2.45 จะเห็นว่าเฟสล็อคลูปรูปแบบนี้จะใช้ตัวเปรียบเทียบเฟสเป็นวงจรที่ตรวจจับทั้งเฟสและความถี่และเพิ่มวงจรอัดประจุเข้าไป ลูปฟิลเตอร์ที่ใช้ก็จะมีลักษณะแตกต่างกัน เพื่อกำจัดข้อเสียของวงจรที่กล่าวมาข้างต้น โดยเมื่อพิจารณาแต่ละบล็อคของวงจรจะสามารถนำมาเขียนเป็น Transfer function ของวงจรได้ [1] ดังนี้

$$H(s)=\frac{I_pK_{vco}}{2\pi C_1 s^2+I_pK_{vco}} \tag{2.71}$$

สมการที่ (2.71) เป็น Transfer function ของวงจรลูปปิดในขณะที่ยังไม่มีตัวต้านทาน R1 จากสมการจะเห็นว่าวงจรมีโพลที่แกนจินตภาพจำนวนสองโพลซึ่งจะทำให้วงจรไม่เสถียรและเกิดการออสซิเลตขึ้น ดังนั้นจึงต้องใส่ตัวต้านทาน R_1 เพิ่มเข้าไปในวงจรดังรูปที่ 2.45 เพื่อเลื่อนตำแหน่งโพลและยังมีผลทำให้ Transfer function ของวงจรอัดประจุเกิดซีโร่ขึ้น เมื่อเกิดซีโร่ขึ้นจะทำให้เฟสมาร์จินของวงจรมีค่าเพิ่มขึ้นหรือก็คือวงจรมีเสถียรภาพมากขึ้น เมื่อใส่ตัวต้านทาน R_1 และนำมาคำนวณ Transfer function ใหม่จะได้ดังสมการที่ (2.72)

$$H(s)=\frac{\frac{I_pK_{vco}}{2\pi C_1}(R_1C_1s+1)}{s^2+\frac{I_pK_{vco}}{2\pi}R_1s+\frac{I_pK_{vco}}{2\pi C_1}} \tag{2.72}$$

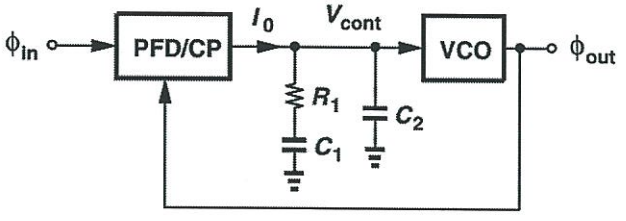
จากสมการที่ (2.72) จะสามารถหาค่า Damping factor และความถี่ธรรมชาติได้ดังสมการที่ (2.73)

$$\zeta=\frac{R_1}{2}\sqrt{\frac{I_pC_1K_{vco}}{2\pi}} \tag{2.73}$$

$$\omega_n=\sqrt{\frac{I_pK_{vco}}{2\pi C_1}} \tag{2.74}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.74) จะเห็นว่าเมื่อเพิ่ม C_1 เพื่อลด Ripple ค่า Damping factor ก็จะไม่ลดลง ดังนั้นข้อเสียของวงจรเฟสล็อคลูป Type I จะสามารถแก้ไขได้โดยใช้รูปแบบ Type II แทน



รูปที่ 2.46 วงจรเฟสล็อคลูปที่เพิ่มตัวเก็บประจุ C_2 เข้าไป

จากรูปที่ 2.46 จะเห็นว่ามีการใส่ C_2 เพิ่มเข้าไปในวงรเนื่องจากลูปฟิลเตอร์ที่มีแค่ R_1 กับ C_1 ไม่สามารถกรอง Ripple ออกไปได้เพียงพอจึงต้องมีการเพิ่ม C_2 เข้าไปเพื่อช่วยกรอง Ripple แต่การเพิ่ม C_2 เข้าไปจะมีผลกับเสถียรภาพของลูป ดังนั้นการจะเลือกขนาดจะต้องเลือกให้มีค่ามากพอที่จะกรอง Ripple ออกไปและต้องไม่ทำให้เสถียรภาพของลูปแย่จนเกินไป จึงต้องมีการคำนวณเฟสมาร์จินก่อนและหลังที่ใส่ตัวเก็บประจุ C_2 เข้าไป [1]

2.7.9 วงจรหารความถี่ (Frequency divider)

วงจรหารความถี่เป็นวงจรที่อยู่ถัดมาจากวงจรควบคุมความถี่ด้วยแรงดัน ทำหน้าที่หารความถี่ของเอาต์พุตเพื่อนำไปเปรียบเทียบกับความถี่อ้างอิง สำหรับวงจรสังเคราะห์ความถี่แบบจำนวนเต็ม (Integer N Frequency synthesizer) จำนวณค่าการหารจะเป็นจำนวณเต็มสามารถเลือกได้จากความถี่เอาต์พุตที่เราต้องการ ยกตัวอย่างเช่น กำหนดให้ความถี่อ้างอิงเท่ากับ 1 MHz ต้องการความถี่เอาต์พุตเท่ากับ 2.400 – 2.485 GHz สเตปละ 1 MHz จำนวณค่าการหาร (N) ที่ต้องใช้จะเท่ากับ 2400 -2485 ดังนั้นการออกแบบวงจรหารความถี่จะต้องมีการกำหนดความถี่อ้างอิง (Reference frequency) ระยะความถี่เอาต์พุตที่ต้องการ (Frequency range) และระยะห่างของแต่ละความถี่ (Step size) ของวงจรสังเคราะห์ความถี่เพื่อนำไปออกแบบจำนวณค่าการหารให้โปรแกรมได้ตามที่ต้องการ

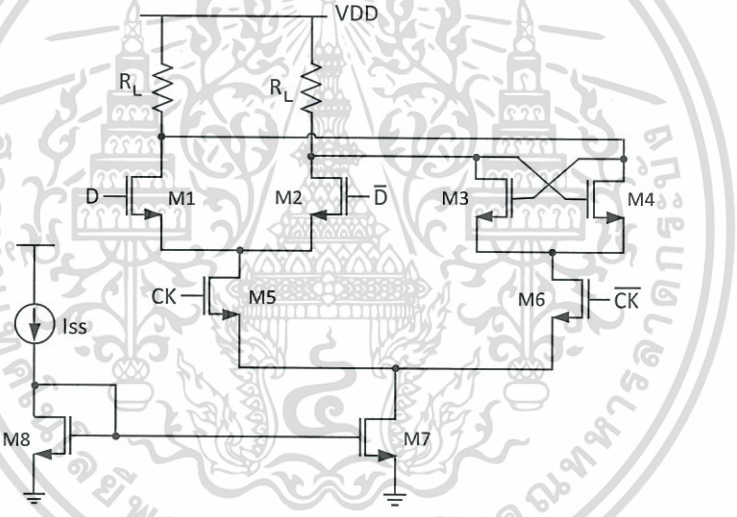
ในการออกแบบวงจรหารความถี่ที่สามารถโปรแกรมค่าการหารได้จะอยู่ในลักษณะของวงจรดิจิตอล (Digital circuit) ซึ่งก็คือ วงจรนับ (Counter) วงจรหารความถี่จะรับความถี่เอาต์พุตของวงจรสังเคราะห์ความถี่เข้ามาโดยตรง ซึ่งที่ความถี่เอาต์พุตของวงจรสังเคราะห์ความถี่ส่วนมากจะอยู่ในระดับ GHz ซึ่งมีความเร็วสูงมาก ทำให้วงจรนับไม่สามารถทำงานได้ทัน จึงต้องมีวงจรหารความถี่พรีสเกลเลอร์ (Prescaler divider) อยู่ด้านหน้าวงจรนับเพื่อหารความถี่ให้ต่ำลงก่อนที่จะมาเข้าวงจรนับ วงจรหาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่พรีสเกลเลอร์จะมีหลายรูปแบบให้เลือกใช้ เช่น Current mode logic (CML) และ True Single phase clocked (TSPC) ส่วนค่าพารามิเตอร์ที่ใช้การเลือกรูปแบบจะมีหลายอย่าง เช่น แรงดันสวิงอินพุท (Input swing) ขนาดตัวเก็บประจุอินพุต (Input capacitance) ความเร็วสูงสุดที่ (Maximum speed) ความเร็วต่ำสุด (Minimum speed)แรงดันสวิงเอาต์พุท (Output swing) และค่าค่าพลังงานที่ใช้ (Power dissipation) ซึ่งแต่ละรูปแบบจะมีค่าพารามิเตอร์ที่ไม่เหมือนกัน จึงต้องมีการพิจารณาความเหมาะสม

2.7.9.1 Current mode logic (CML)

CML เป็นวงจรที่มีความเร็วสูง โดยใช้หลักของการสับเปลี่ยนกระแส สามารถทำงานที่แรงดันสวิงอินพุตอยู่ในระดับปานกลาง และจะให้แรงดันสวิงเอาต์พุตอยู่ในระดับปานกลางเช่นกัน จำเป็นต้องใช้อินพุตที่อยู่ในรูปแบบ Differential



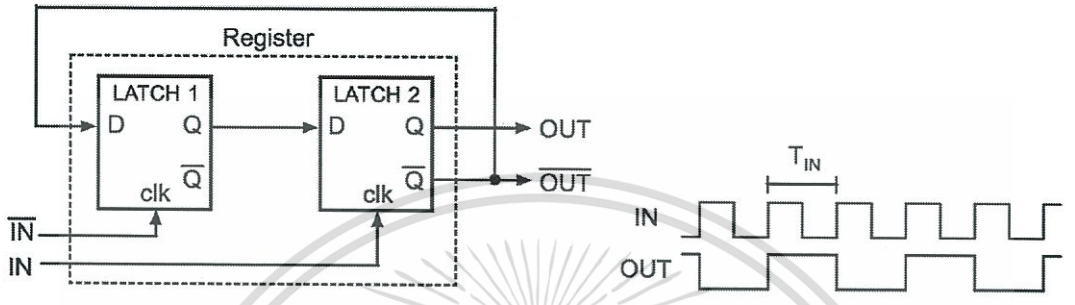
รูปที่ 2.47 วงจร CML latch

ในรูปที่ 2.47 เป็นตัวอย่างของวงจร CML latch มอสเฟต M_1 และ M_2 จะเป็นวงจรขยายผลต่าง มอสเฟต M_3 และ M_4 จะทำหน้าที่เป็นแลตช์ (latch) หรือ Regenerative pair ส่วน M_5 และ M_6 จะทำหน้าที่เป็นสวิตช์ที่คเลือกว่าวงจรจะทำงานในโหมดไหน ถ้า M_5 สวิทช์ on M_6 สวิตช์ off วงจรจะทำงานในโหมดขยายผลต่าง ถ้า M_6 สวิทช์ on M_5 สวิตช์ off วงจรจะทำงานในโหมดคงค่าให้เอาต์พุตมีค่าเท่าเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.9.2 วงจรหารสอง

วงจรหารสองจะใช้ในการหารความถี่ให้น้อยลง 2 เท่า โดยจะใช้ D Flip flop 1 ตัว ในการหารสอง 1 ครั้ง หรือก็คือ ใช้ D latch สองตัวต่อเข้าด้วยกันก็จะกลายเป็น D Flip flop โดยจะป้อนสัญญาณอินพุทเข้าที่ขา CLK ส่วนขา D จะใช้ขาเอาต์พุตป้อนกลับมา ดังแสดงในรูปที่ 2.48



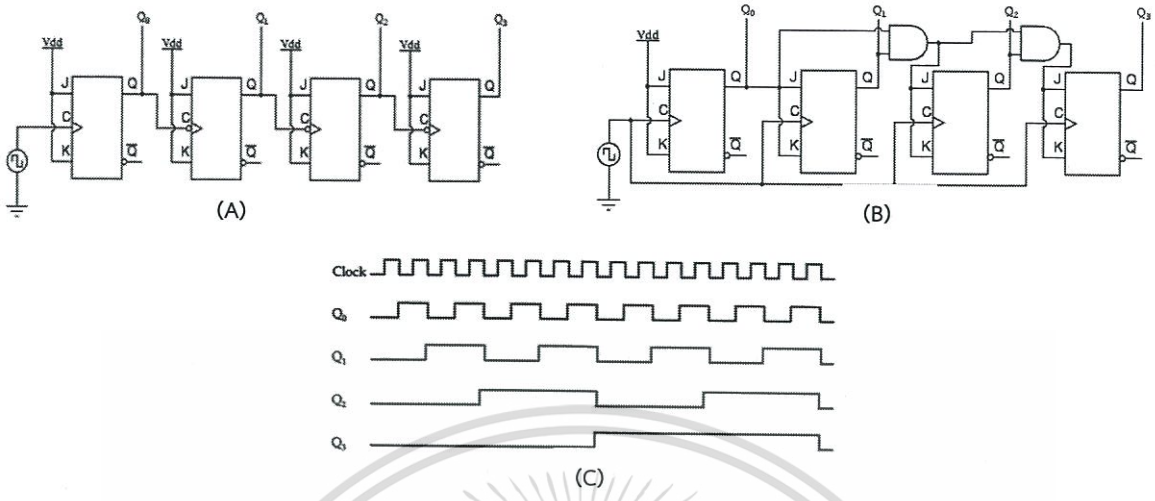
รูปที่ 2.48 วงจรหารสอง

จากที่ได้กล่าวมาวงจรหารสองจะต้องใช้ Latch สองตัวต่อเข้าด้วยกัน ซึ่ง CML ก็เปรียบเสมือน Latch หนึ่งตัว ดังนั้น ถ้าต้องการใช้ CML มาเป็นวงจรหารสองจะต้องนำ CML สองตัวมาต่อกันในลักษณะการป้อนกลับแบบบวก (Positive feedback)

2.7.9.3 วงจรนับ (Counter)

วงจรนับและรีจีสเตอร์เป็นการประยุกต์เอาฟลิปฟลอปมาใช้งาน วงจรนับเป็นวงจรที่เกิดจากการนำ ฟลิปฟลอปมาต่อรวมกันหลายตัว เพื่อทำหน้าที่นับจำนวน คล๊อก (Clock) หรือพัลซ์ (Pulse) ที่ป้อนเข้าทางอินพุต หรือบางครั้งอาจเรียกว่าวงจรหารความถี่ วงจรนับแบ่งได้เป็น 2 ชนิด ได้แก่ วงจรนับแบบไม่เข้าจังหวะ (Asynchronous) และวงจรนับแบบเข้าจังหวะ (Synchronous) ดังแสดงในรูปที่ 2.49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.49 (A) Asynchronous counter (B) Synchronous counter (C) ผลการทดสอบวงจร

วงจรนับแบบไม่เข้าจังหวะ โดยพื้นฐานจะใช้ J-K Flip Flop มาต่อเรียงกันดังวงจรในรูปข้างล่าง สถานะเอาท์พุตของ ฟลิปฟลอปแต่ละตัว (ฟลิปฟลอป 1 ตัว จะแทนเลขฐานสองได้ 1 บิท) ขึ้นอยู่กับสถานะเอาท์พุตของฟลิปฟลอปตัวก่อนหน้า คือ ฟลิปฟลอปตัวแรกจะส่งสัญญาณ (Pulse) จาก Q ไปกระตุ้น (Trigger) ที่ CLK ของฟลิปฟลอปตัวที่สอง และฟลิปฟลอปตัวที่สองจะส่งสัญญาณไปกระตุ้น (Trigger) ที่ CLK ของฟลิปฟลอปตัวที่สาม ไปเรื่อย ๆ วงจรนับชนิดนี้ใช้ได้ดีกับความถี่ต่ำๆ เนื่องจากปัญหาความล่าช้าของสัญญาณเอาท์พุตหรือเกิดเวลาหน่วงในการส่งข้อมูลจากอินพุตไปยังเอาท์พุตของฟลิปฟลอปแต่ละตัว (Propagation delay) ซึ่งโดยปกติจะอยู่ในระดับ ns โดยปกติฟลิบฟลอปแต่ละตัวจะมีดีเลย์และถ้านำมาต่อกันหลายๆตัวทำให้ดีเลย์มีค่าเพิ่มขึ้นตามจำนวณฟลิบฟลอปส่งผลให้วงจรอาจจะทำงานผิดพลาดได้ที่ความถี่สูง สำหรับการทำงานของวงจรนับที่ความถี่สูงๆ จำเป็นที่จะต้องให้ฟลิปฟลอปได้รับสัญญาณกระตุ้นไปพร้อมๆกันเพื่อหลีกเลี่ยงปัญหาที่เกิดจากการหน่วงเวลาของฟลิปฟลอป วงจรนับชนิดนี้เรียกว่า วงจรนับแบบเข้าจังหวะ (Synchronous Counter) แต่วงจรนับชนิดนี้ก็มีข้อเสียอยู่คือขนาดตัวเก็บประจุที่อินพุตมีค่ามากเนื่องจาก CLK จะต้องต่อเข้ากับฟลิบฟลอปทุกตัว และใช้กำลังงานมากกว่าแบบวงจรนับแบบไม่เข้าจังหวะ

วงจรนับที่กล่าวมาข้างต้นจะสามารถนับค่าได้เฉพาะ 2 4 8 16 32 ... แต่สามารถออกแบบวงจรนับให้สามารถนับค่าตามที่ต้องการได้ เรียกวงจรนี้ว่า **Modulus Counter** หมายถึงการสร้างวงจรนับให้สามารถกำหนดค่านับได้ เช่น ให้นับตั้งแต่ 0 - 9 แล้วเวียนกลับมาเริ่มต้น ที่ 0 ใหม่อีก หรืออาจจะกำหนดให้นับถึงเลขใดเลขหนึ่งแล้วเวียนกลับมาเริ่มต้นใหม่ วงจรนับแบบนี้ เมื่อนับถึงค่าที่กำหนดวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

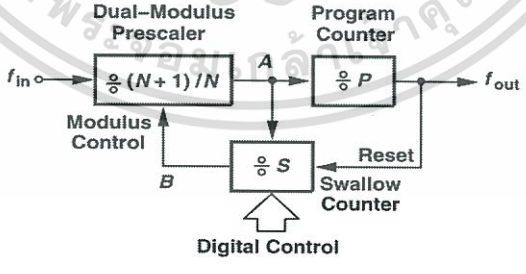
จะรีเซต (Reset) ตัวเองเริ่มต้นใหม่ ค่าสูงสุดที่กำหนดให้นับเรียกว่า มอด (MOD number) จึงเรียกวงจรนับเหล่านี้ว่า MOD-3, MOD-6, MOD-10 หมายถึงวงจรจะรีเซตค่าเมื่อนับถึง 3, 6 และ 10 ตามลำดับ

จากรูปที่ 2.49 จะเห็นว่าวงจรนับสามารถนำมาใช้หารความถี่ได้ จำนวณค่าการหาร (N) จะขึ้นอยู่กับค่าการนับ เช่น วงจรนับ 3 ก็คือวงจรหารความถี่ 3 วงจรนับ 5 ก็คือวงจรหารความถี่ 5 เป็นต้น วงจรนับจึงสามารถนำไปโปรแกรมค่าการหารได้โดยใช้เลขดิจิตอลเป็นตัวกำหนดค่าการหารได้ หรือก็คือใช้เลขฐานสองเป็นตัวกำหนดว่าวงจรจะรีเซ็ตเมื่อนับถึงค่าใด

2.7.9.4 Pulse swallow divider

Pulse swallow divider เป็นวงจรที่ใช้สำหรับหารความถี่ที่จำเป็นต้องโปรแกรมค่าการหารหลายค่า ดังแสดงในรูปที่ 2.50 วงจรจะประกอบด้วย 3 ส่วน คือ

- **Dual modulus prescaler** เป็นวงจรนับที่สามารถหารความถี่ได้ทั้งหมดสองค่า คือ N และ N+1 โดยใช้สัญญาณ clock เป็นตัวควบคุม
- **Swallow counter** เป็นวงจรนับที่สามารถโปรแกรมค่าได้ด้วยเลขดิจิตอลว่าจะให้วงจรนับถึงค่าเท่าไหร่ เมื่อนับถึงค่าที่โปรแกรมไว้แล้วจะต้องสร้างสัญญาณ clock เพื่อนำไปใช้ควบคุมวงจร Dual modulus prescaler ที่เรียกว่าสัญญาณ Modulus control
- **Program counter** เป็นวงจรนับที่สามารถความถี่ตามค่าที่โปรแกรมเข้าไปโดยเป็นค่าคงตัวตลอดไม่ต้องมีการเปลี่ยนค่า เมื่อวงจรนับจนครบค่าที่โปรแกรมไว้จะต้องส่งสัญญาณกลับไปรีเซ็ตวงจร Swallow counter



รูปที่ 2.50 วงจร Pulse swallow divider

วงจร Pulse swallow divider จะมีจำนวณค่าการหารทั้งหมด NP+S ซึ่งมีหลักการทำงานดังนี้ ในตอนแรกวงจรทั้งหมดจะเริ่มจากการถูกรีเซ็ต วงจร Dual modulus prescaler จะมีค่า Modulus control เท่ากับศูนย์วงจรจึงเริ่มนับที่จำนวณค่าเท่ากับ N+1 และมีสัญญาณเอาต์พุตออกมาที่จุด A เพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำไปเข้าวงจร Swallow counter และ Program counter จากนั้นวงจรทั้งสองจะเริ่มนับค่า วงจร Swallow counter จะนับค่าจนครบตามที่โปรแกรมไว้ เมื่อครบแล้วจะส่งสัญญาณไปควบคุมให้วงจร Dual modulus prescaler เปลี่ยนค่าการนับจาก N+1 เป็น N ที่จุดนี้เอาต์พุตของวงจรจะมีค่าเท่ากับ (N+1)S วงจร Swallow counter จะนับถึงค่าที่โปรแกรมไว้ก่อนวงจร Program counter เนื่องจากค่า P มีค่ามากกว่า S เสมอ ณ จุดนี้วงจร Program counter จะนับค่าไปแล้วเท่ากับ S ดังนั้นค่าที่ยังเหลืออยู่จะเท่ากับ P-S และเนื่องจากวงจร Dual modulus prescaler มีค่าการนับเท่ากับ N ดังนั้นในการทำงานโหมดนี้จึงได้ว่าเอาต์พุตเท่ากับ N(P-S) เมื่อนำไปรวมกับค่าก่อนหน้านี้เอาต์พุตจึงมีค่าเท่ากับ (N+1)S + N(P-S) = NP+S ดังนั้นจึงสรุปได้ว่าวงจร Pulse swallow divider นับค่าได้ NP+S พัลส์ จะให้เอาต์พุตออกมา 1 พัลส์ [1]

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการออกแบบวงจร

3.1 การคำนวณค่าพารามิเตอร์ที่สำคัญของระบบ

ในการออกแบบวงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA) และ Active down conversion mixer จำเป็นต้องทราบค่าพารามิเตอร์ของระบบก่อนว่าต้องการเท่าไหร่ ในวงจรรับสัญญาณนั้นต้องกำหนดคุณสมบัติของวงจรหรือก็คือค่าสัญญาณที่ต่ำที่สุดที่วงจรสามารถตรวจจับสัญญาณได้โดยมีคุณภาพอยู่ในเกณฑ์ที่รับได้หรือก็คือค่า Sensitivity ของระบบ ซึ่งในวงจรรับสัญญาณที่ความถี่ 2.4 GHz ที่ได้ออกแบบไว้ได้กำหนดค่า Sensitivity ไว้ที่ -75 dBm , ค่า Signal to noise ratio (SNR) เท่ากับ 16 dB และแบนวิธ (Bandwidth) เท่ากับ 1 MHz ตามลำดับดังนั้นเมื่อนำค่าที่ได้กล่าวมาไปคำนวณตามสมการที่ (3.1) จะได้ค่า Noise figure ของระบบเท่ากับ 23 dB

$$P_{Sen}(dBm) = P_{RS}\,(dBm/Hz) + NF\,(dB) + SNR_{min}\,(dB) + 10\log B \qquad (3.1)$$

จากคุณลักษณะ intermodulation ของ Bluetooth ด้วยเงื่อนไขของ BER (bit error rate) ที่ยอมรับ และ SNR เท่ากับ 16 dB สัญญาณรบกวนทั้งหมดในช่องสัญญาณ ที่ต้องการต้องมีค่าต่ำกว่า -85 dBm ซึ่งในการทดสอบสัญญาณแย่ลงเนื่อง จากสัญญาณรบกวนและ Intermodulation จากข้อกำหนดคุณลักษณะของเครื่องรับสัญญาณนั้นจะได้ว่า สัญญาณรบกวนจากเครื่องรับสัญญาณ RX noise ทั้งหมดที่ความถี่ 1 MHz เท่ากับ -91dBm โดยที่ ให้ Intermodulation สามารถส่งผลต่อสัญญาณรบกวนทั้งหมด ในช่องสัญญาณได้สูงสุด 3dB ดังนั้นจะได้ว่า IM ของสัญญาณรบกวน ทั้งสองมีขนาดเป็น -88 dBm ค่า IP3 ที่คำนวณจากสมการที่ (3.2) จึงมีค่าเท่ากับ -14.5 dBm

$$IP_3 = \frac{P_{in} - IM_{3\,in}}{2} - P_{in} \qquad (3.2)$$

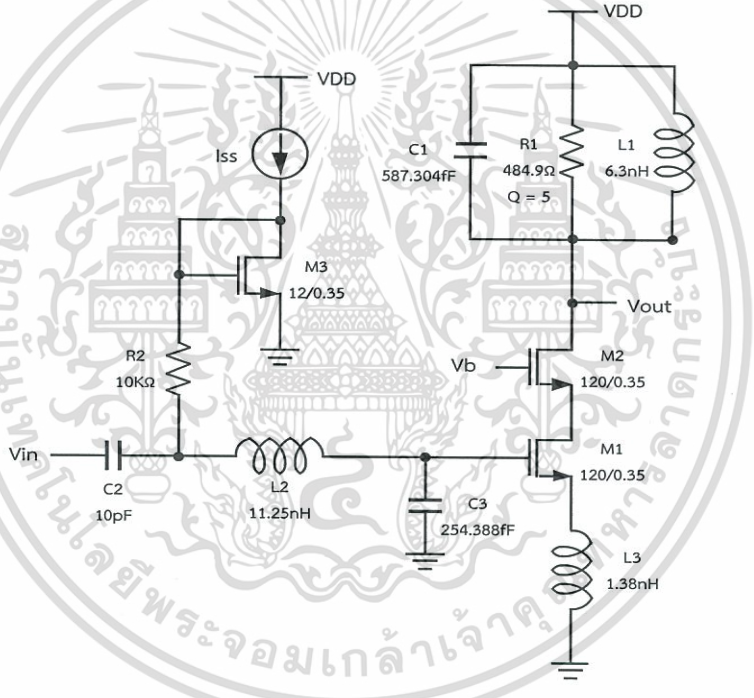
ในการคำนวณค่า Dynamic range (ผลต่างของสัญญาณที่มากที่สุดกับสัญญาณที่น้อยที่สุด) ของวงจรรับสัญญาณนั้นสามารถคำนวณได้จากค่า Spurious free dynamic range (SFDR) ซึ่งก็คือการคำนวณจากสัญญาณทรอดแทรกที่เราไม่ต้องการ (Undesired interferer) กับค่า Sensitivity ตามสมการที่ (3.3)

$$SFDR = \frac{2(P_{IIP3} + 174dBm - NF - 10\log B)}{3} - SNR_{min} \qquad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA)

ในการออกแบบวงจรขยายสัญญาณรบกวนต่ำปัจจัยที่สำคัญในการออกแบบได้แก่ อัตราขยาย , Noise figure และ Input matching โดยที่อัตราขยายจะส่งผลต่อ Noise figure และ IIP3 รวมของระบบเนื่องจากหากอัตราขยายมีค่ามากจะทำให้ความเป็นเชิงเส้นของระบบลดลงและหากมีค่าน้อยจะทำให้สัญญาณรบกวนของระบบมีค่ามากขึ้นซึ่งต้องคำนึงถึงผลที่ตามมาจากส่วนต่อไปจาก LNA ส่วน Input matching นั้นส่งผลต่อพลังงานที่รับมาจากเสาอากาศซึ่งทำให้เกิดการสูญเสียพลังงานมากหากออกแบบได้ไม่ดีพอ



รูปที่ 3.1 วงจรขยายซอร์สร่วมคาสโคดที่ต่อตัวเหนี่ยวนำลดทอน (Common-source stage with inductive degeneration)

ตารางที่ 3.1 ค่าพารามิเตอร์ต่างๆที่ใช้สำหรับวงจรขยายสัญญาณรบกวนต่ำ

I_b (mA)	1
V_{DD} (V)	3
V_b (V)	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรขยายสัญญาณรบกวนต่ำนี้เลือกใช้โครงสร้างแบบของวงจรขยายซอร์สร่วมคาสโคดที่ต่อตัวเหนี่ยวนำลดทอน (Common-source stage with inductive degeneration) ดังแสดงในรูปที่ 3.1 เนื่องจากการออกแบบความต้านทานค่าจริงของอินพุตขึ้นกับสมการที่ (3.4)

$$R_{in}=\frac{g_m L}{C_{gs}} \tag{3.4}$$

โดยที่ g_m ขึ้นกับกระแสและอัตราส่วนของความกว้างต่อความยาวของมอสเฟตและ C_{gs} ขึ้นกับอัตราส่วนของความกว้างต่อความยาวของมอสเฟตซึ่งมีค่าน้อยกว่าโครงสร้างรูปแบบอื่นที่กระแสและอัตราส่วนของความกว้างต่อความยาวเท่ากัน มอสเฟต M_2 ต่อคาสโคดเพื่อลดผลกระทบจากความต้านทานที่เกิดจากการสูญเสียที่ตัวเหนี่ยวนำ L_1 ต่อความต้านทานอินพุตและตัวเหนี่ยวนำ L_3 ทำให้ความต้านทานจินตภาพมีค่าใกล้เคียงศูนย์ที่ความถี่ใช้งาน

ในการวิเคราะห์อัตราขยายของวงจร LNA สามารถคำนวณได้จากสมการที่ (3.5) ซึ่งจะเห็นได้ว่าอัตราขยายมีค่ากว่าโครงสร้างรูปแบบอื่นเนื่องจาก ω_T/ω_0 และ R_1 คือความต้านทานสูญเสียของ L_1 โดยค่า Q ที่ใช้มีค่าประมาณ 5

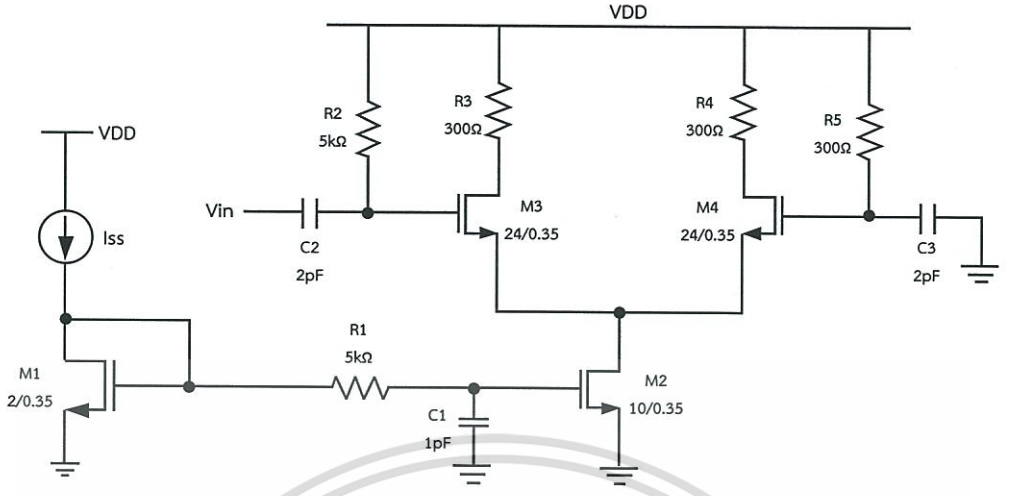
$$\frac{V_{out}}{V_{in}}=\frac{\omega_T R_1}{2\omega_0 R_S} \tag{3.5}$$

จากการวิเคราะห์สัญญาณรบกวนของวงจร Noise Figure สามารถคำนวณได้จากสมการ (3.6) ซึ่งเห็นได้ว่าสัญญาณรบกวนของวงจรเพิ่มตามอุปกรณ์ที่เพิ่มเข้าไปในวงจร

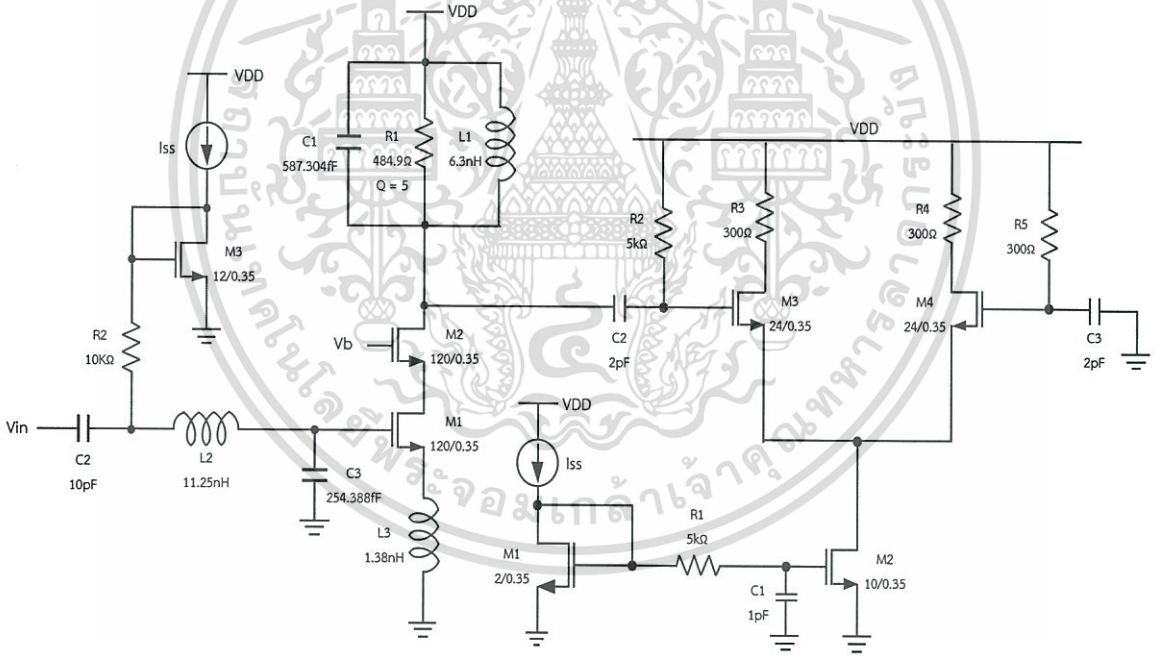
$$NF = 1 + g_m R_{s\gamma}(\frac{\omega_0}{\omega_T})^2+\frac{4R_S}{R_1}(\frac{\omega_0}{\omega_T})^2 \tag{3.6}$$

จากรูปที่ 3.2 วงจร Single-ended to differential อัตราส่วนของความกว้างต่อความยาวของมอสเฟตเลือกใช้ค่าที่ทำให้ Bandwidth ของวงจรมากกว่าความถี่ที่ใช้งาน และเลือกใช้ค่าความต้านทาน R และกระแสของวงจรที่ทำให้อัตราขยายมีค่าพอดีเพื่อให้ความเป็นเชิงเส้นมีค่าสูงและ Noise figure ของวงจรไม่มากเกินไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจร Single-ended to differential



รูปที่ 3.3 วงจรขยายสัญญาณรบกวนต่ำที่นำไปต่อเข้ากับวงจร Single-ended to differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

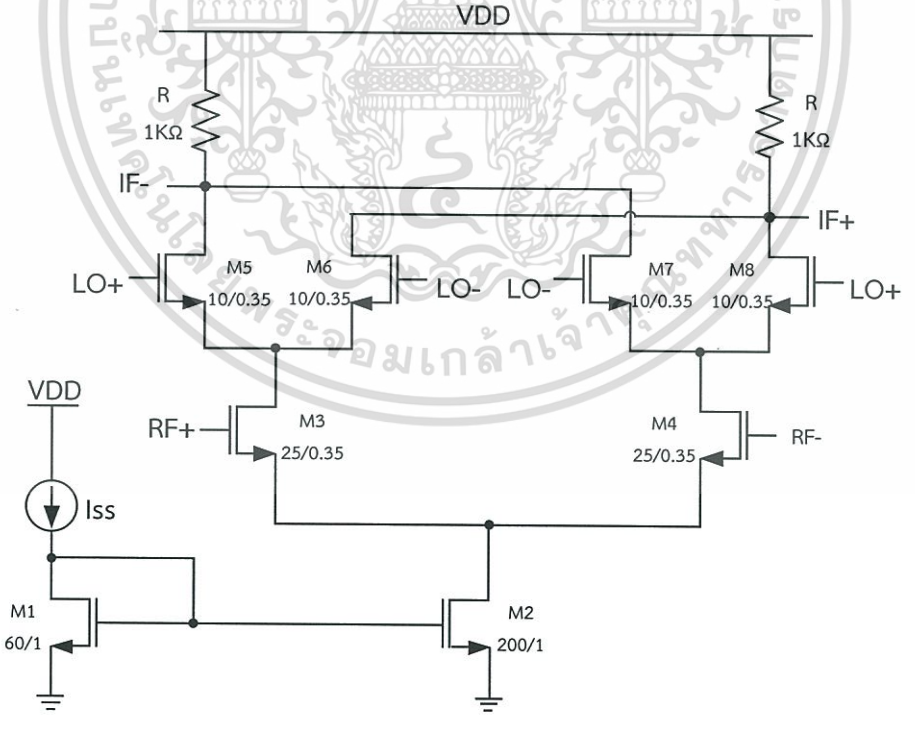
3.3 การออกแบบวงจร Active down conversion mixer

ในการออกแบบวงจร Active down-conversion mixer ในรูปแบบของ Gilbert cell Double balance mixer ดังแสดงในรูปที่ 3.4 นั้น ต้องคำนึงการนำไปใช้งานเพื่อกำหนดคุณลักษณะของวงจร ซึ่งเหตุผลในการเลือกใช้ Mixer ในรูปแบบนี้ เพราะว่ามีคุณลักษณะตรงกับที่ต้องการ คือต้องการความเป็นเชิงเส้นมากและมีข้อดีที่เยอะกว่าในรูปแบบ Single balance ซึ่งได้กล่าวในหัวข้อที่ผ่านมา

ในการกำหนดคุณลักษณะของ Active down-conversion mixer ต้องกำหนดคุณลักษณะของระบบโดยรวมก่อนซึ่งได้กำหนดในหัวข้อที่ 3.1 คือ Noise figure มีค่าต่ำกว่า 17 dB และมีค่า IIP3 มากกว่า –14.5 dBm เมื่อกำหนดคุณลักษณะของระบบโดยรวมได้จึงสามารถนำมาคำนวณเพื่อหาคุณลักษณะของ Mixer ตามสมการที่ (3.7) และ (3.8)

$$\frac{1}{IIP3_{Total}} = \frac{1}{IIP3_1} + \frac{G_1}{IIP3_2} \tag{3.7}$$

$$F = F_1 + \frac{F_2 - 1}{G_1} \tag{3.8}$$



รูปที่ 3.4 Gilbert cell double balance mixer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 ค่าพารามิเตอร์ต่างๆที่ใช้ในวงจร Active down-conversion mixer

V_{DD} (V)	3
I_b (mA)	1.2
แรงดันไบอัส RF (V)	1.4
แรงดันไบอัส LO (V)	2
แรงดันยอดถึงยอดของ LO (V_{PP})	2

ในสมการที่ (3.7) และ (3.8) เป็นการคำนวณ Noise figure และ IIP3 ของ Mixer ที่ทำให้ระบบสามารถทำงานตามคุณลักษณะที่ได้กำหนดไว้ ในโครงงานนี้ได้ทำเพียงวงจร LNA และ Mixer สมการของระบบจึงมีเพียงแค่สองวงจรนี้เท่านั้น ซึ่งจากสมการจะเห็นว่าค่าพารามิเตอร์ทั้งสองนั้นขึ้นอยู่กับวงจรของ LNA ด้วย ในการออกแบบจึงต้องออกแบบให้มีความสอดคล้องกัน ยกตัวอย่างเช่น ในกรณีที่ต้องการความเป็นเชิงเส้นของระบบมากเราสามารถเพิ่มด้วยการเพิ่มค่า R ที่ Source degenerate แต่ในขณะเดียวกัน Noise figure ก็จะมีค่าเพิ่มขึ้นตามไปด้วยแต่เราสามารถใช้ค่าอัตราขยายของ LNA เพื่อลดค่า Noise figure ของวงจรได้

ในการวิเคราะห์อัตราขยายของวงจร Mixer สามารถคำนวณได้จากสมการที่ (3.9) ซึ่งจะเห็นได้ว่าตัวแปรที่เป็นตัวกำหนดอัตราขยาย คือ ความต้านทานโหลดและค่าทรานคอนดักแตนซ์

$$\text{Conversion Gain} = \frac{2}{\pi} g_{m3} R_L \tag{3.9}$$

ในการออกแบบการใช้ความต้านทานโหลดและค่าทรานคอนดักแตนซ์ที่มีค่ามากจะทำให้อัตราขยายมีค่ามากตาม แต่ในขณะเดียวกันค่าความต้านทานที่โหลดจะถูกจำกัดด้วยค่าแรงดันที่เอาต์พุตของวงจรตามสมการที่ (3.10)

$$\frac{I_b}{2} = \frac{V_{DD} - V_{out}}{R_L} \tag{3.10}$$

ค่าแรงดันที่เอาต์พุตของวงจรก็คือแรงดันที่ขาเดรนของมอสเฟต หมายความว่าค่าความต้านทานโหลดเป็นตัวกำหนดค่าแรงดันที่ขาเดรนของมอสเฟตซึ่งก็คือเป็นตัวกำหนดว่ามอสเฟตจะทำงานในย่านอิ่มตัว (Saturation) หรือไม่ ในวงจร Mixer เราต้องการให้มอสเฟตทำงานอยู่ในย่านอิ่มตัว ดังนั้นการกำหนดค่า R_L ที่มากเกินไปจะทำให้มอสเฟตทำงานในย่านไตรโอด ส่วนค่าทรานคอนดักแตนซ์ของมอสเฟต (g_{m3}) จะถูกจำกัดด้วยค่า IIP3 ของวงจรเนื่องตัวแปรที่มีผลกับค่าทรานคอนดักแตนซ์ของมอสเฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตมากที่สุด คือค่า W/L ของมอสเฟต ในขณะที่กระแสคงที่การเพิ่มค่า W/L ของมอสเฟตสามารถทำให้ค่าทรานคอนดักแตนซ์เพิ่มมากขึ้นแต่ในขณะเดียวกันค่า V_{GS}ของมอสเฟตจะมีค่าลดลงตามสมการที่ (3.11)

$$I_{DS}= \frac{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2}{2} \quad (3.11)$$

ดังนั้นเมื่อค่า W/L ของมอสเฟตจะทำให้ค่า V_{GS} มีค่าลดลงส่งผลให้ IP3 ของวงจรมีค่าลดลง เนื่องจากค่า IP3 $\propto V_{GS}$-V_T จึงสรุปได้ว่าค่าอัตราขยายของ Mixer ไม่ควรมีค่ามากจนเกินไปเนื่องจากไปลดค่าความเป็นเชิงเส้นของวงจรลง ในการเพิ่มค่าอัตราขยายของวงจรสามารถทำได้โดยการเพิ่มกระแสไบอัสของวงจรเนื่องจากเป็นการเพิ่มค่าทรานคอนดักแตนซ์ของวงจรแต่ค่ากระแสไบอัสที่มากเกินไปจะทำให้มอสเฟตหลุดออกจากย่านอิ่มตัวถ้ากำหนดค่า W/L ไม่เหมาะสมและยังเป็นการสิ้นเปลืองพลังงาน

ในการกำหนดค่า V_{LO} นั้นควรเลือกใช้ที่มีค่าแรงดันยอดถึงยอด (Peak to peak) มากที่สุด เนื่องจากเป็นการทำให้สวิตช์มีความเร็วมากขึ้นซึ่งได้กล่าวไปในหัวข้อที่ผ่านมา แต่การกำหนดค่าแรงดันยอดถึงยอดที่มากเกินทำให้มอสเฟตหลุดออกจากย่านอิ่มตัว ซึ่งส่งผลให้มอสเฟตทำงานในย่านไตรโอดและเมื่อมอสเฟตที่ใช้เป็นสวิตช์ทำงานในย่านไตรโอดจะส่งผลให้ค่าความเป็นเชิงเส้นของวงจรมีค่าลดลง เนื่องจากค่าสัญญาณที่เอาต์พุตจะไม่สัมพันธ์กับสัญญาณ LO และกระแสไม่เป็นอิสระกับแรงดันที่ขาเดรนของมอสเฟต ดังนั้นการเลือกค่า V_{LO} ควรเลือกค่าที่ทำให้มอสเฟตทำงานในอิ่มตัวสลับกันกับการทำงานในโหมดคัตออฟ

Noise Figure ของวงจร Mixer จะขึ้นอยู่กับค่าอัตราขยายของวงจร ถ้าอัตราขยายของวงจรมีค่ามากจะทำให้ Noise Figure ลดลง แต่การเพิ่มอัตราขยายจะส่งผลต่อค่าความเป็นเชิงเส้นดังที่กล่าวไปในข้างต้นดังนั้นในการออกแบบ Mixer จึงต้องให้ความสำคัญกับค่าพารามิเตอร์ที่ต้องการเป็นอันดับแรก

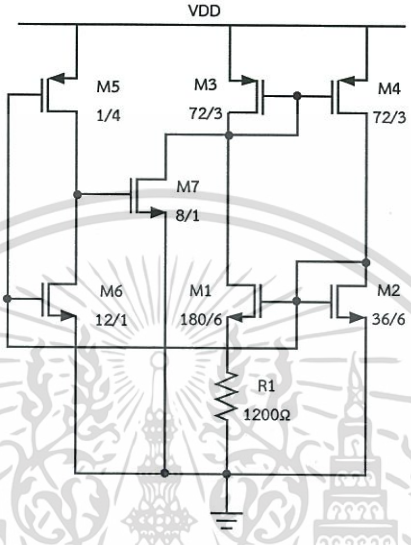
3.4 การออกแบบวงจรสร้างแหล่งจ่ายกระแสอ้างอิง (Current reference)

วงจรสร้างกระแสอ้างอิง (Current reference) เป็นวงจรที่ใช้สำหรับสร้างกระแสเพื่อนำไปใช้สำหรับไบอัสกระแสในวงจรต่างๆ โดยวงจรสร้างกระแสอ้างอิงที่ดีนั้นจะต้องจ่ายกระแสได้คงที่ไม่แปรปรวนตามค่าแรงดันไฟเลี้ยงและอุณหภูมิ

ในการลดความไวของกระแสเอาท์พุตกับแรงดันไฟเลี้ยงสามารถทำได้โดยการใช้เทคนิคบูตสแตรป (Bootstrap) ซึ่งทำได้โดยการสะท้อนกระแสที่เอาต์พุตมาเป็นกระแสที่อินพุตโดยใช้วงจรสะท้อนกระแสซึ่งจากรูปที่ 3.5 มอสเฟตที่ทำหน้าที่นี้ก็คือมอสเฟต M_3 และ M_4 ในการลดความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปรปรวนของกระแสเอาท์พุตกับแรงดันไฟเลี้ยงยังสามารถได้โดยการเพิ่มค่า L ของมอสเฟตเพื่อให้มีการสะท้อนกระแสที่แม่นยำมากขึ้น ในส่วนของวงจรเริ่มต้น (Start-up circuit) วงจรนี้จะทำให้วงจรสร้างกระแสอ้างอิงหลีกเลี่ยงจุดที่มีกระแสอินพุตและเอาท์พุตเป็นศูนย์หรือน้อยมาก ในช่วงเริ่มเปิดการทำงาน จึงต้องมีวงจรเริ่มต้นเพื่อหลีกเลี่ยงจุดนี้ จากรูปที่ 3.5 มอสเฟตที่ทำหน้าที่เป็นวงจรเริ่มต้นคือ M_5 – M_7



รูปที่ 3.5 วงจรสร้างแหล่งจ่ายกระแสอ้างอิง (Current reference)

ในวงจรรูปที่ 3.5 ถ้าให้ MOSFET ทุกตัวทำงานในย่านอิ่มตัว $(\frac{W}{L})_3 = (\frac{W}{L})_4$ กระแสที่มอสเฟตทั้งสองตัวจะมีค่าเท่ากัน

$$V_{s1} = I_1 R = V_{GS2} - V_{GS1} = \sqrt{\frac{2I_{10}}{K_n}}\left(\frac{1}{(\frac{W}{L}_2)} - \frac{1}{(\frac{W}{L}_1)}\right) \tag{3.12}$$

จากสมการที่ (3.12) ถ้า $(\frac{W}{L})_2 = N(\frac{W}{L})_1$ กระแส I_1 จะมีค่าเป็นตามสมการที่ (3.13)

$$I_1 = \frac{1}{R}\sqrt{\frac{2I_{10}}{K_n\frac{W}{L_2}}}\left(1 - \frac{1}{\sqrt{N}}\right) \tag{3.13}$$

3.5 การคำนวณค่าพารามิเตอร์วงจรสังเคราะห์ความถี่

ในการออกแบบระบบของวงจรสังเคราะห์ความถี่ จะมีค่าพารามิเตอร์ที่สำคัญที่มีความเกี่ยวข้องกับระบบ ได้แก่ ลูปแบนวิดท์ (Loop bandwidth) และค่า Damping ratio ซึ่งสามารถคำนวณค่าพารามิเตอร์ต่างๆได้จากอัตราส่วนส่วนระหว่างความสัมพันธ์เอาต์พุตต่ออินพุต (Transfer function)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของระบบ เนื่องจากต้องการความถี่เอาท์พุตอยู่ในช่วง 2.402 GHz - 2.480 GHz แต่เนื่องจากเครื่องรับสัญญาณ (Receiver) ที่ออกแบบเป็นรูปแบบ Quadrature ทำให้ต้องการสัญญาณ I/Q ที่มีเฟสต่างกันอยู่ 90 องศา ซึ่งสร้างขึ้นโดยการนำสัญญาณ 4.804 GHz-4.960 GHz มาผ่านวงจรหารสอง วงหารของระบบใช้รูปแบบจำนวนเต็ม (Integer-N) โดยผ่านวงจรหารสองรูปแบบ CMLที่สามารถทำงานที่ความถี่สูงก่อน เพื่อให้ส่วนที่เป็นวงจรดิจิตอลสามารถทำงานได้อย่างถูกต้อง เนื่องจากต้องการช่องสัญญาณ (Channel) ที่มีแบนวิดท์ (Bandwidth) เท่ากับ 1MHz ทำให้ความถี่อ้างอิงสามารถมีค่ามากที่สุดคือ 250 KHz ซึ่งจะได้ว่า N ของระบบคือ 19200 - 19840 วงจรกรองความถี่ (Loop filter) ที่นำมาใช้งานคือวงจรกรองความถี่ต่ำผ่านแบบพาสซีฟลำดับที่สอง และระบบเฟสล็อคลูป ที่ออกแบบเป็นรูปแบบ 2 โดยให้กระแสวงจรอัดประจุ (Charge pump) เท่ากับ 100 ไมโครแอมป์ ลูปแบนดวิดท์เท่ากับ 40 KHz และ Dampling Ratio มีค่าประมาณ 1 เพื่อให้ระบบมีช่วงเวลาล็อคความถี่ที่เหมาะสม ทำการจำลองระบบด้วยโปรแกรม PLL Design Assistant [4] เพื่อให้ได้ค่าพารามิเตอร์ตามออกแบบไว้ นำค่าพารามิเตอร์ที่ได้จากโปรแกรมไปคำนวณเพื่อหา C_1, C_2 และ R_1 ได้จากสมการที่ (3.14) และ (3.15)

$$K_{LP} = \frac{1+\frac{s}{\omega_z}}{s(1+\frac{s}{\omega_p})} \tag{3.14}$$

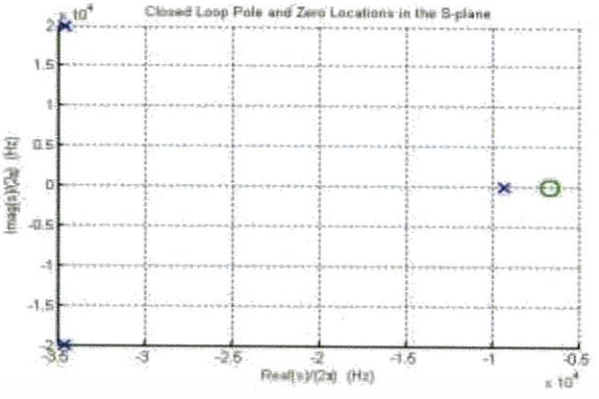
$$\frac{V_{out}}{I_{in}} = \frac{R_1C_1s+1}{R_1C_{eq}s+1} \cdot \frac{1}{(C_1+C_2)s} \tag{3.15}$$

เมื่อค่า K_{LP} มีค่าตามสมการที่ (3.16)

$$K_{LP} = K\frac{N_{nom}}{K_v I_{cp}\alpha} \tag{3.16}$$

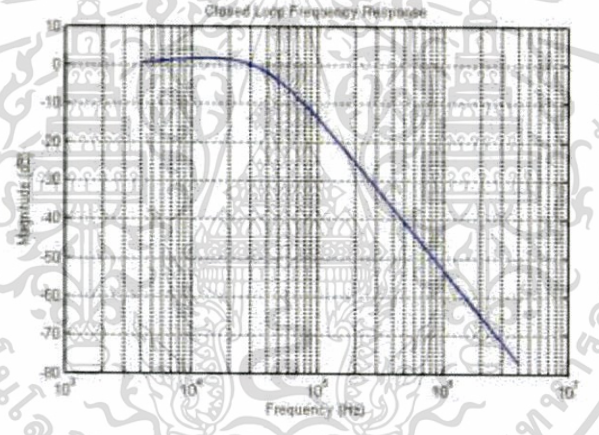
จะได้ค่า C_1, C_2 และ R_1 เท่ากับ 115.3 pF, 10.67 pF และ 207.056 kΩ ตามลำดับ โดยมีการส่วนเผื่อเฟส (Phase margin) ประมาณ 57 °จะได้ $k = 5.35x10^9$, $f_p = 7.87x10^4$ และ $f_z = 6.67x10^3$ และเมื่อนำไปพลอตเป็นกราฟแสดงจุดโพลและซีโร่จะได้กราฟดังรูปที่ 3.6 ซึ่งเป็นกราฟที่ผ่านการพลอตด้วยโปรแกรม PLL Design Assistant [4]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 จุดโพล (Pole) และซีโร่ (Zero) ของระบบ

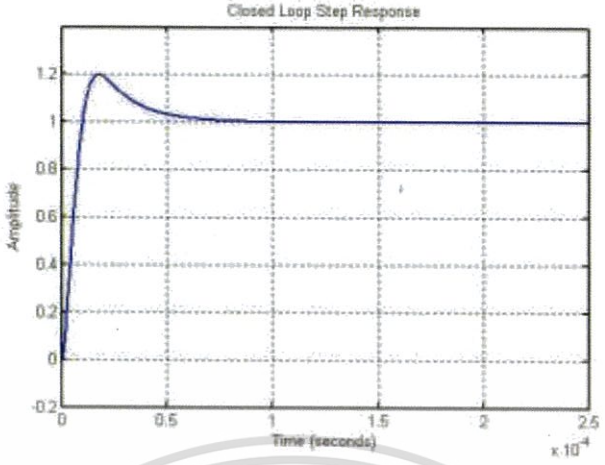
จากรูปที่ 3.7 เป็นกราฟแสดงการตอบสนองทางความถี่ของระบบปิดซึ่งจากรูปจะเห็นว่าความถี่คัตออฟ (Cut off frequency) จะอยู่ที่ 40 kHz เท่ากับลูปแบนวิธด์ (Loop bandwidth)



รูปที่ 3.7 กราฟการตอบสนองทางความถี่ของระบบปิด (Close loop Frequency response)

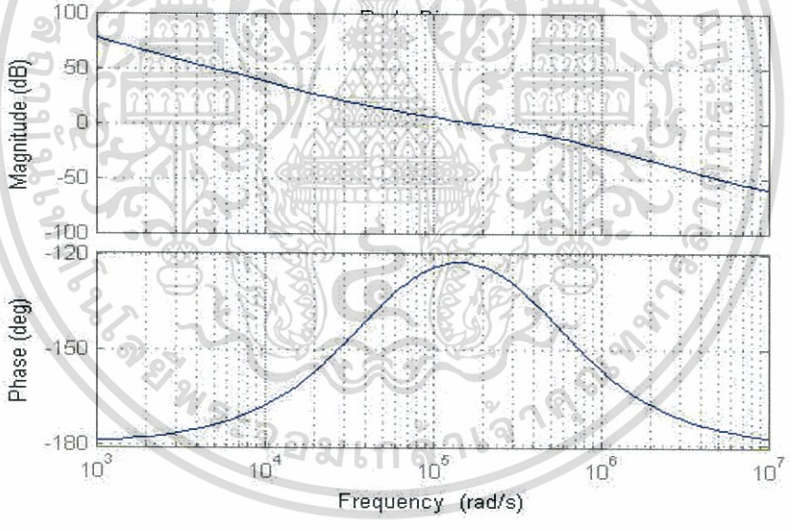
จากรูปที่ 3.8 เป็นกราฟแสดงการตอบสนองทางเวลาของระบบ จากกราฟสามารถวิเคราะห์เพื่อหาช่วงเวลาเข้าที่ (Settling time) ของระบบได้ ซึ่งก็คือช่วงเวลาก่อนที่ระบบจะเข้าสู่จุดที่เสถียรภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 กราฟการตอบสนองทางเวลาของระบบ (Transient response)

จากรูปที่ 3.9 เป็นกราฟแสดงการตอบสนองทางความถี่ของระบบเปิด จากกราฟสามารถวิเคราะห์เพื่อหาส่วนเผื่อเฟส (Phase margin) ของระบบได้



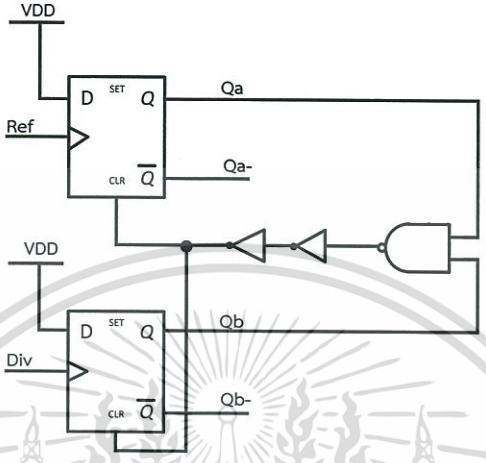
รูปที่ 3.9 กราฟการตอบสนองทางเวลาของระบบเปิด (Open loop frequency response)

3.6 วงจรเปรียบความถี่และผลต่างเฟส (Phase frequency detector)

วงจรเปรียบความถี่และความต่างเฟสจะใช้ดีฟลิบฟลอป (D-flip flop) สองตัวในการเปรียบเทียบผลต่างเฟสและความถี่ของสัญญาณ Ref และ Div และใช้ Nand gate ในการรีเซ็ตวงจร แสดงในรูปที่ 3.10 และหลักการเลือกค่าดีเลย์ของวงจรจะต้องเลือกให้มีค่ามากพอที่จะทำให้มอสเฟตในวงจรอัดประจุทำงานได้ทัน ถ้าผลต่างเฟสของวงจรมีค่าน้อยมากความกว้างของสัญญาณพัลส์ที่เอาต์พุตจะมีค่าน้อยมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามไปด้วยซึ่งอาจจะทำให้มอสเฟตในวงจรอัดประจุทำงานไม่ทัน จึงต้องมีการใส่ดีเลย์เพิ่มเข้าไปโดยใช้อินเวอเตอร์สองตัว เอาต์พุตแต่ละตัวจะถูกนำไปต่อเข้ากับวงจรอัดประจุเพื่อทำหน้าที่ในการควบคุมสวิตช์เปิดปิดของวงจร



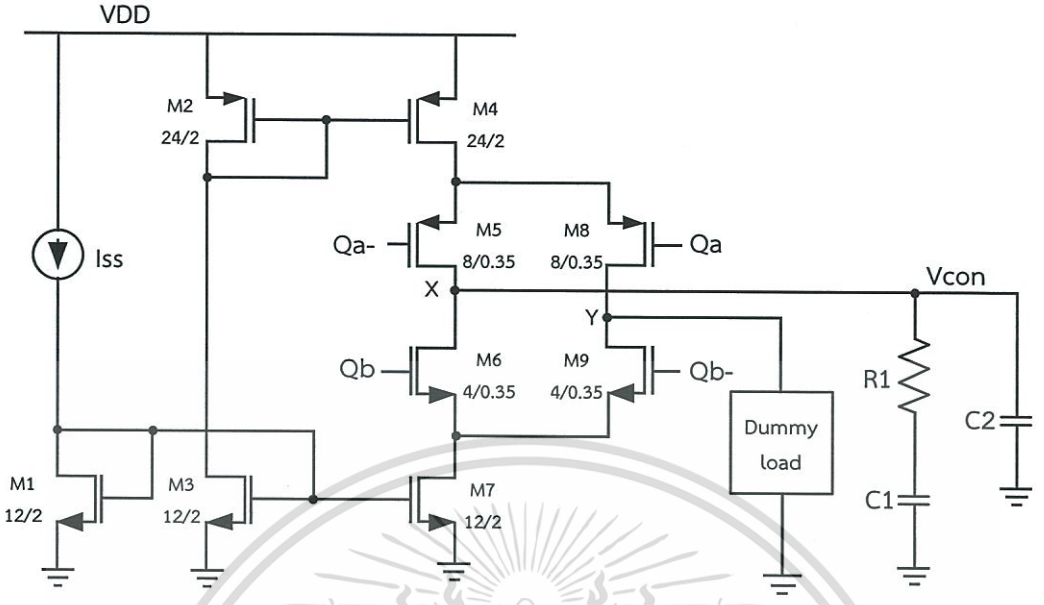
รูปที่ 3.10 วงจร Phase frequency detector

3.7 วงจรอัดประจุ (Charge pump) และลูปฟิลเตอร์ (Loop filter)

วงจรอัดประจุที่ใช้จะเป็นรูปแบบ Differential charge pump แสดงในรูปที่ 3.11 เพื่อให้วงจรมีความสมมาตรกันในช่วงอัดประจุและคายประจุ และมีความไวต่อสัญญาณรบกวนจากแหล่งจ่ายต่ำ แต่จะสิ้นแปลืองพลังงานกว่ารูปแบบ Single ended จากรูปที่ 3.11 มอสเฟต M_1 จะสะท้อนกระแสจากแหล่งจ่ายกระแส I_{SS} ไปยังมอสเฟต M_2 และ M_3 ให้มีกระแสไหลเท่ากัน และสะท้อนกระแสไปที่ M_4 และ M_7 ส่วนมอสเฟส $M_5 - M_9$ จะต่อกันแบบ Differential ทำหน้าที่เป็นสวิตช์ และมีลูปฟิลเตอร์เป็นโหลดของวงจร ส่วน Dummy load ก็คือลูปฟิลเตอร์ที่ทำให้โหนด X กับโหนด Y มีโหลดที่เหมือนกัน

ในกรณีที่สัญญาณ Qa เท่ากับแรงดันไฟเลี้ยง Qa- จะมีค่าเป็นศูนย์ สัญญาณ Qb เท่ากับศูนย์ Qb- จะเท่ากับแรงดันไฟเลี้ยง ส่งผลให้มอสเฟต M_5 และ M_9 อยู่ในสภาวะ ON มอสเฟต M_6 และ M_8 อยู่ในสภาวะ OFF ทำให้เกิดการอัดประจุที่โหนด X โดยกระแสจากมอสเฟตผ่านไปที่โหลด และเกิดการคายประจุที่โหนด Y ลงกราวด์ ในทางตรงกันข้ามถ้าสัญญาณ Qa เท่ากับศูนย์ Qa- จะมีค่าเท่ากับแรงดันไฟเลี้ยง สัญญาณ Qb เท่ากับแรงดันไฟเลี้ยง Qb- จะเท่ากับศูนย์ ส่งผลให้มอสเฟต M_5 และ M_9 อยู่ในสภาวะ OFF มอสเฟต M_6 และ M_8อยู่ในสภาวะ ON ทำให้เกิดการคายประจุที่โหนด X โดยกระแสจากโหลดไหลผ่านมอสเฟตลงกราวด์ และเกิดการอัดประจุที่โหนด Y

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

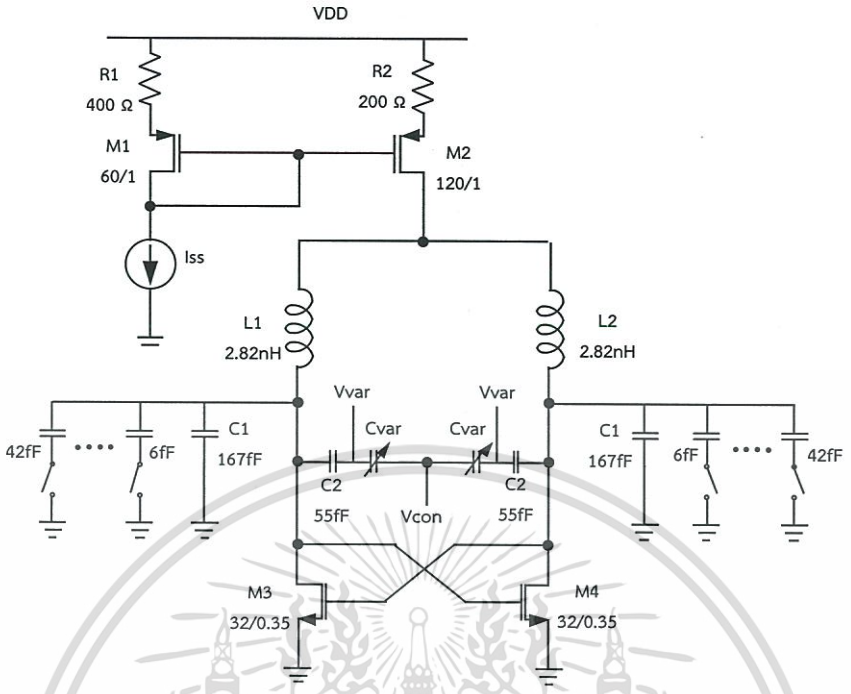


รูปที่ 3.11 วงจรอัดประจุ (Charge pump)

3.8 วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (Voltage-controlled oscillator : VCO)

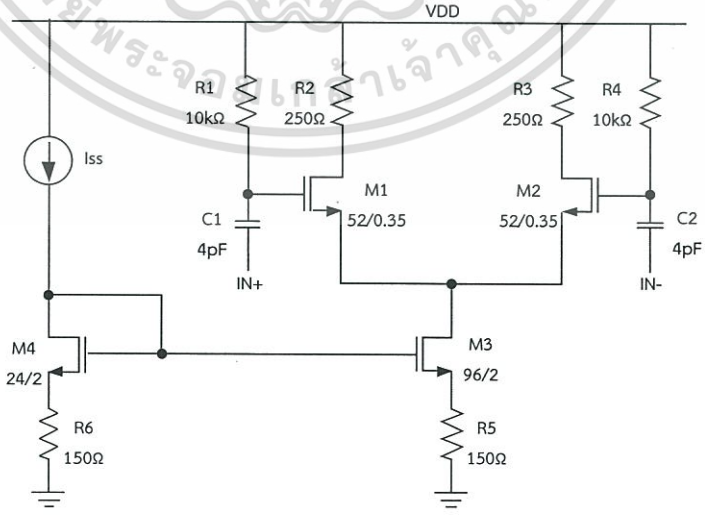
วงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่ใช้เป็นรูปแบบตัวเหนี่ยวนำและตัวเก็บประจุ (LC oscillator) แสดงในรูปที่ 3.12 เนื่องจากวงจรนี้มีค่า Quality factor สูงกว่ารูปแบบอื่น ซึ่งทำให้มีสัญญาณรบกวนเชิงเฟส (Phase noise) ต่ำกว่ารูปแบบอื่น ออกแบบโดยกำหนดให้ $g_m R_p > 2$ เพื่อความแน่นอนในการเกิดการออสซิลเลต โดยเลือกใช้ค่าตัวเหนี่ยวนำและตัวเก็บประจุให้ตรงกับความถี่ออสซิลเลตที่ต้องการ โดยปรับความถี่จาก ความต่างศักย์ที่ขา V_{con} ของวาแรกเตอร์ (Varactor) โดยออกแบบให้ K_{VCO} มีค่าประมาณ 180 MHz/V และเนื่องจากช่วงที่ K_{VCO} เปลี่ยนแปลง ± 20 เปอร์เซ็นต์ ความถี่เอาท์พุตที่ต้องการนั้นเปลี่ยนแปลงได้ไม่ครอบคลุมกับช่วงที่ต้องการ จึงต่อแถวตัวเก็บประจุ (Capacitor array) เพิ่มเพื่อให้ความถี่เอาท์พุตของวงจรกำเนิดความถี่สามารถเปลี่ยนแปลงได้คลอบคลุมช่วงที่ต้องการ โดยช่วงที่ต้องการคือ 4.804 GHz - 4.960 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (Voltage controlled oscillator)

ในการลดค่าตัวประเก็บประจุโหลดสามารถทำได้โดยนำวงจรบัฟเฟอร์ในรูปที่ 3.13 มาต่อที่เอาท์พุตของ VCO เพื่อให้โหลดที่เอาท์พุตส่งผลกระทบต่อวงจรกำเนิดสัญญาณความถี่ควบคุมด้วยแรงดันน้อยที่สุด วงจรบัฟเฟอร์ที่นำมาใช้งานจะเป็นลักษณะวงจรขยายผลต่าง วงจรจะต้องมีกระแสมากพอเพื่อให้แบนวิธด์ของวงจรมีค่าสูง และสามารถทำงานได้ที่ความถี่ 4.804 GHz - 4.960 GHz



รูปที่ 3.13 วงจรบัฟเฟอร์ในรูปแบบวงจรขยายผลต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

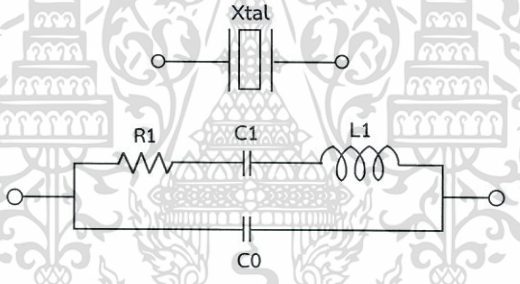
3.9 วงจรกำเนิดสัญญาณแบบผลึก (Crystal oscillator)

ในการสร้างสัญญาณความถี่อ้างอิง (Reference frequency) จำเป็นต้องเป็นสัญญาณที่มีความเสถียรมากจึงต้องใช้วงจรออสซิเลเตอร์ในรูปแบบผลึกที่มีตัวผลึกควอตซ์เป็นตัวกำเนิดความถี่ จึงเป็นรูปแบบที่มีความเสถียรสูงที่สุด

จากรูปที่ 3.14 เป็นวงจรสมมูลของของ Quartz crystal ซึ่งจะมีค่า Q อยู่ประมาณ 10^4 ถึง 10^5 สามารถคำนวณความถี่ออสซิเลตได้จากความถี่เรโซแนนต์อนุกรม (Series resonant) และความถี่เรโซแนนต์ขนาน (Parallel resonant) จากสมการที่ (3.17) และ (3.18)

$$f_s = \frac{1}{2\pi\sqrt{L_s C_s}} \tag{3.17}$$

$$f_p = \frac{1}{2\pi\sqrt{L_s\left(\frac{C_p C_s}{C_p + C_s}\right)}} \tag{3.18}$$

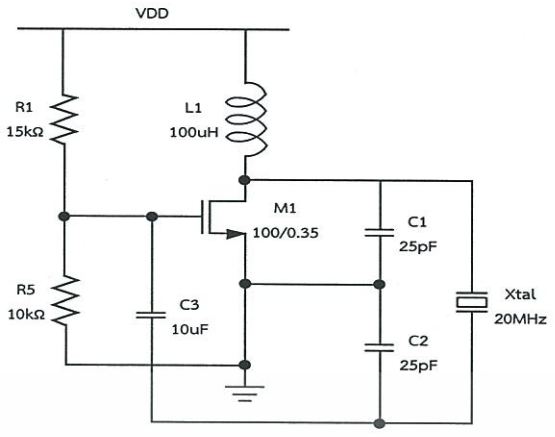


รูปที่ 3.14 วงจรสมมูลของของ Quartz crystal

จากรูปที่ 3.15 เป็นวงจรกำเนิดสัญญาณแบบผลึก (Crystal oscillator) ในรูปแบบของเพียซ (Pierce) โดย R_1 และ R_2 ทำหน้าที่เป็นตัวไบอัสขาเกตของมอสเฟต C_1 และ C_2 เปรียบเสมือนโหลดของตัวควอตซ์คริสตัลที่ทำหน้าที่เลื่อนเฟสและยังมีผลต่อลูปเกนของวงจร โดยทั่วไปโหลดของตัวควอตซ์คริสตัล จะประมาณ 18 – 20 pF ตามสเปคของตัวควอตซ์คริสตัล โดยการคำนวณ C load สามารถคำนวณได้ตามสมการที่ ส่วน C_3 จะทำหน้าที่คัปปลิ้งสัญญาณแรงดันไฟตรง

$$C_{load} = \frac{C_1 C_2}{C_1 + C_2} + \text{pcb stray (2-3pF)} \tag{3.19}$$

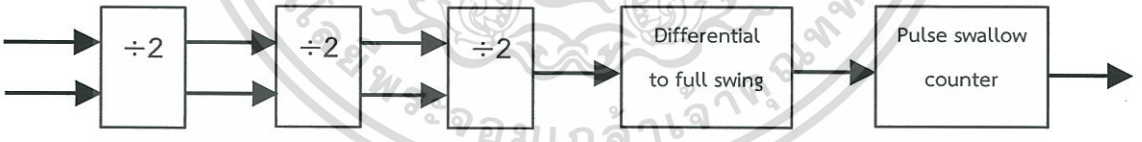
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 วงจรกำเนิดสัญญาณแบบผลึก (Crystal oscillator)

3.10 วงจรหารความถี่ (Frequency Divider)

การออกแบบวงจรหารความถี่จะต้องคำนึงถึงระยะความถี่เอาต์พุตที่ต้องการ (Frequency range) และแต่ละความถี่ห่างกันเท่าไหร่ (Step size) เพื่อจะได้ออกแบบค่าการหาร (N) ได้ถูกต้อง เนื่องจากวงจรสังเคราะห์ความถี่ที่ออกแบบไว้ต้องการเอาต์พุตที่ 2.402 – 2.480 GHz โดยเพิ่มทีละ 1 MHz จึงมีทั้งหมด 78 ความถี่ แต่เนื่องจากต้องการใช้เอาต์พุตมีการเลื่อนเฟส 90° ด้วยจึงต้องออกแบบให้เอาต์พุตของวงจรสังเคราะห์ความถี่เท่ากับ 4.804 – 4.960 GHz และใช้วงจรหารสองเพื่อให้เอาต์พุตมีการเลื่อนเฟสไป 90°



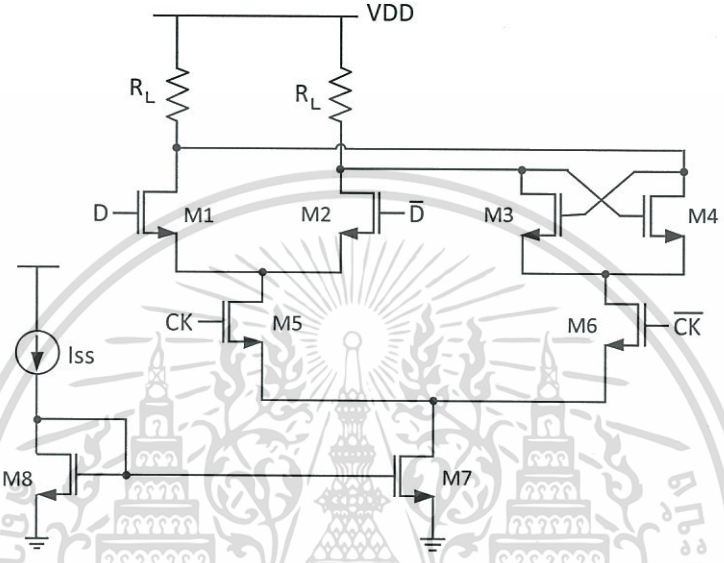
รูปที่ 3.16 บล๊อคไดอะแกรมของวงจรหารความถี่

จารูปที่ 3.16 จะเห็นว่าภายในบล๊อคของวงจรหารความถี่จะมีหลายบล๊อคเนื่องจากความถี่เอาต์พุตมีค่าสูงทำให้วงจร Pulse swallow counter ทำงานไม่ทันจึงต้องหารความถี่ให้มีค่าต่ำลงจนวงจรสามารถทำงานได้ทัน ซึ่งก็คือเอาต์พุตที่ออกมาจากวงจรหารสองตัวที่สาม เท่ากับ 600.5 – 620.0 MHz โดยเพิ่มที่ละ 250 KHz ดังนั้นจึงกำหนดความถี่อ้างอิงให้มีค่าเท่ากับ 250 KHz เพื่อให้สามารถสร้างความถี่ได้ครบตามที่ต้องการ และก่อนจะนำเอาต์พุตของวงจรหารสองไปป้อนเข้าวงจร Pulse swallow counter จะต้องมีวงจร Differential to full swing เพื่อแปลงแรงดันให้สวิงตั้งแต่ศูนย์ถึงแรงดันไฟเลี้ยงเพื่อให้วงจรสามารถทำงานได้ตามปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.1 วงจรหารสอง

วงจรหารสองที่ใช้ตัวแรกจะต้องมีความเร็วสูงที่สุดเนื่องจากต้องรับอินพุตที่ความถี่สูง จึงเลือกรูปแบบ CML เนื่องจากมีความเร็วสูงและสามารถทำงานที่แรงดันอินพุต Swing ที่ต่ำได้ การนำวงจร CML มาใช้สำหรับหารสองจะต้องใช้วงจร CML สองตัวต่อกันในลักษณะ Positive feedback



รูปที่ 3.17 วงจร CML

จากรูปที่ 3.17 เป็นวงจร CML ที่ใช้สำหรับหารสอง มีหลักการออกแบบคือ เลือกกระแสให้เพียงพอสำหรับแบนวิธของวงจร CML ตัวแรกจะใช้กระแสมากที่สุดเนื่องจากต้องรับความถี่อินพุตสูงที่สุดและค่อยๆลดลงมากตามลำดับ การเลือกขนาดมอสเฟส ต้องคำนึงถึงค่าตัวเก็บประจุภายในที่ขึ้นอยู่กับขนาดมอสเฟต มอสเฟต M_5 และ M_6 เลือกให้สามารถทำงานเป็นสวิตซ์ได้และมีค่าไม่มากจนเกินไปเพราะจะส่งผลกับตัวเก็บประจุโหลดของวงจรก่อนหน้า M_1 และ M_2 เลือกให้ทำงานเป็นวงจร Differential pair M_3 และ M_4 เลือกให้ทำงานเป็น Latch regenerative ส่วนตัวต้านทานต้องเลือกให้เหมาะสมเนื่องจากส่งผลต่อแบนด์วิธและอัตราขยายของวงจร

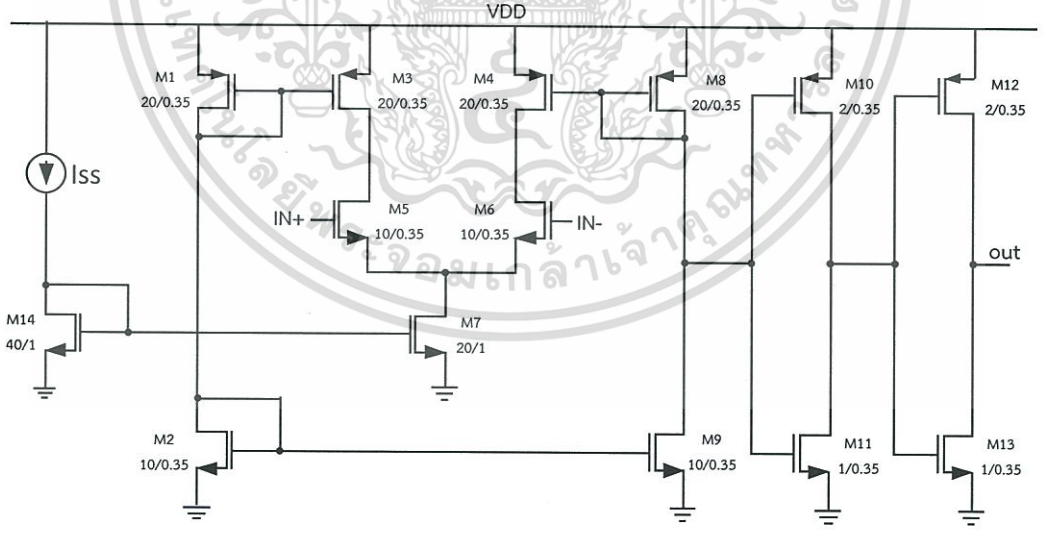
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 ขนาดมอสเฟต, ตัวต้านทานและกระแสที่ใช้ในวงจร CML

	CML ตัวที่ 1	CML ตัวที่ 2	CML ตัวที่ 3
M7	170/1	90/1	60/1
M5 , M6	20/0.35	10/0.35	20/0.35
M3 , M4	20/0.35	30/0.35	50/0.35
M1 , M2	40/0.35	30/0.35	50/0.35
R (Ω)	564.1026	692.3077	692.3077
I (mA)	1.5	0.8	0.5

3.10.2 Differential to full swing converter

เนื่องจากวงจร Digital จำเป็นต้องใช้สัญญาณอินพุตที่สวิงตั้งแต่ 0 ถึง VDD จึงต้องมีวงจรที่หน้าที่แปลงแรงดันให้สวิงตั้งแต่ 0 ถึง VDD ซึ่งเราจะใช้วงจรในลักษณะที่คล้ายกับ Op – amp เพื่อขยายสัญญาณและนำไปเข้าวงจรอินเวอเตอร์เพื่อให้เอาต์พุตเป็นสัญญาณสี่เหลี่ยมและสวิงตั้งแต่ 0 ถึง VDD



รูปที่ 3.18 วงจร Differential to full swing converter

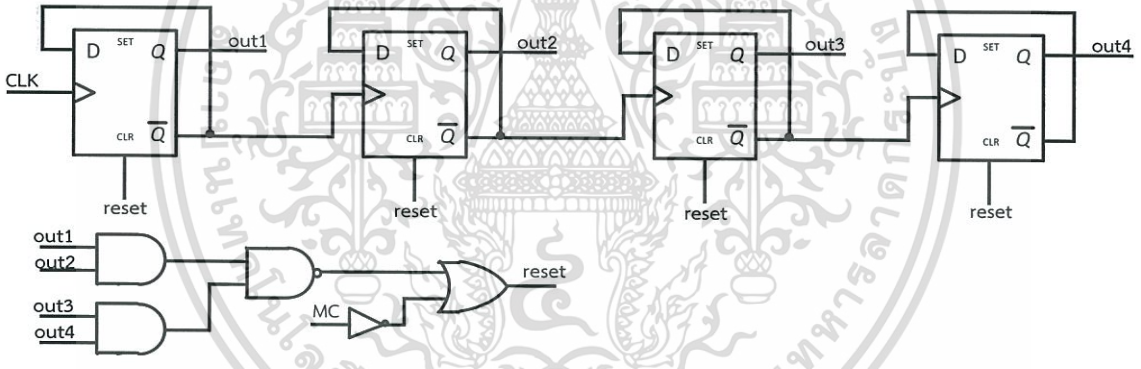
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.3 Pulse swallow divider

เนื่องจากความถี่ก่อนเข้าวงจร Pulse swallow divider มีค่าเท่ากับ 600.5 – 620.0 MHz และต้องหารให้มีค่าเท่ากับความถี่อ้างอิง คือ 250 KHz ดังนั้นวงจร Pulse swallow divider จะต้องสามารถโปรแกรมให้หารได้ตั้งแต่ 2402 – 2480 เมื่อนำมาคำนวณหาค่า N , P และ S จะได้ N เท่ากับ 15 P เท่ากับ 160 S เท่ากับ 2 – 80

3.10.3.1 Dual-modulus divider

วงจร Dual modulus divider ดังแสดงในรูปที่ 3.19 อินพุตจะเข้ามาที่ขา CLK และเอาต์พุตจะอยู่ที่ out4 โดยวงจรจะออกแบบให้หาร 15 (N) และหาร 16 (N+1) การเลือกค่าการหารถ้าความถี่อินพุตของวงจร Pulse swallow divider มีค่ามากควรจะเลือกค่าการหารที่มีค่ามากเพื่อให้วงจรส่วนหลังทำงานที่ความถี่ต่ำ หลักการทำงานของวงจรคือ D Flip flop ทั้ง 4 ตัว จะทำหน้าที่เป็นวงจรนับ ส่วนโลจิกเกตจะทำหน้าที่เป็นตัวควบคุมว่าวงจรจะหาร 15 หรือ 16

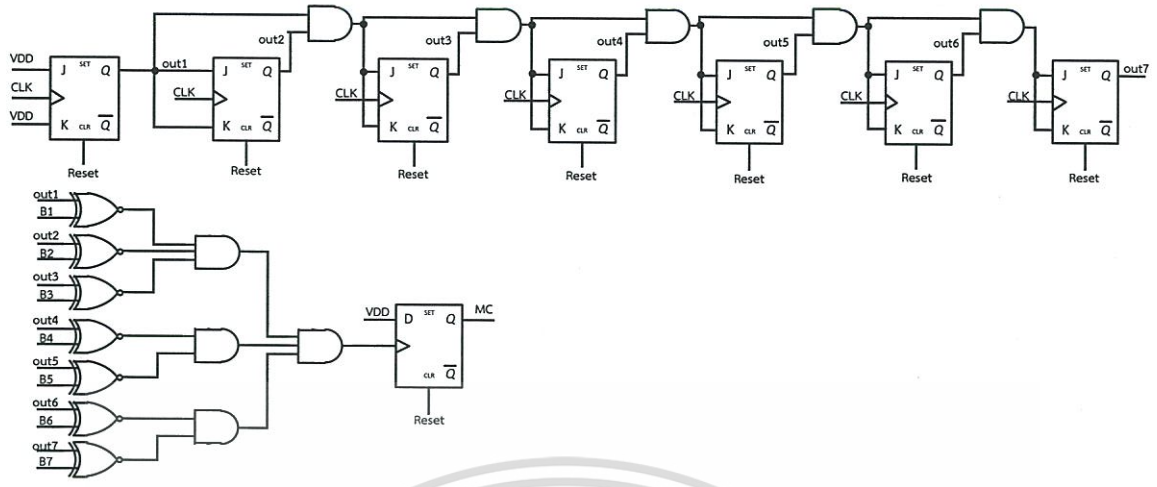


รูปที่ 3.19 วงจร Dual modulus divider

3.10.3.2 Swallow counter

วงจร Swallow counter ดังแสดงในรูปที่ 3.20 ออกแบบไว้ที่ 7 bit อินพุตจะเข้ามาที่ขา CLK และเอาต์พุตอยู่ที่ out7 โดยวงจรสามารถตั้งโปรแกรมหารได้ตั้งแต่ 1 – 128 แต่ในวงจรนี้จะใช้เพียงแค่ 2 - 80 เพื่อให้ได้เอาต์พุตตามที่ต้องการ และเมื่อนับถึงค่าโปรแกรมที่ตั้งไว้ค่า MC จะมีค่าเป็น 1 และวงจรทั้งหมดจะถูกรีเซ็ตโดยสัญญาณที่ถูกส่งมาจาก Program counter หลักการทำงานของวงจรคือ JK Flip flop ทั้ง 7 ตัว จะทำหน้าที่เป็นวงจรนับ ส่วนโลจิกเกตจะทำหน้าที่เป็นตัวควบคุมว่าถ้าวงจรนับถึงค่าที่ต้องการจะสั่งให้ MC เปลี่ยนจากค่า 0 เป็น 1

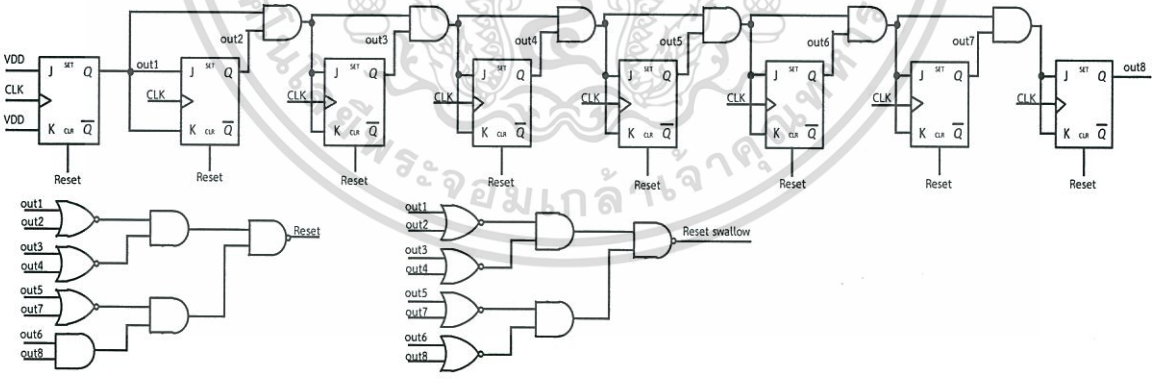
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 วงจร Swallow counter

3.10.3.3 Program counter

วงจร Program counter ดังแสดงในรูปที่ 3.21 ออกแบบไว้ที่ 8 bit อินพุตจะเข้ามาที่ขา CLK และเอาต์พุตอยู่ที่ out8 โดยวงจรสามารถเลือกค่าการหารได้ตั้งแต่ 1 – 256 แต่ในวงจรนี้จะเลือก 160 เพื่อให้ได้เอาต์พุตตามที่ต้องการ หลักการทำงานของวงจรคือ JK Flip flop ทั้ง 8 ตัว จะทำหน้าที่เป็นวงจรนับ ส่วนโลจิกเกตจะทำหน้าที่เป็นตัวควบคุมว่าถ้าวงจรนับถึง 160 จะไปรีเซ็ตวงจร



รูปที่ 3.21 วงจร Program counter

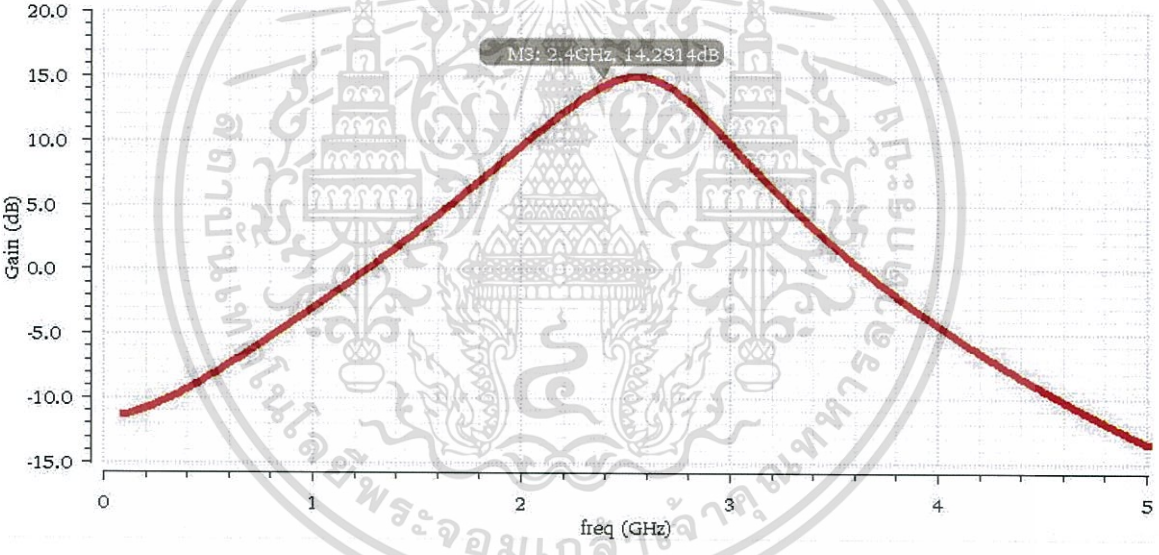
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

4.1 ผลการทดสอบวงจรขยายสัญญาณรบกวนต่ำ (LNA)

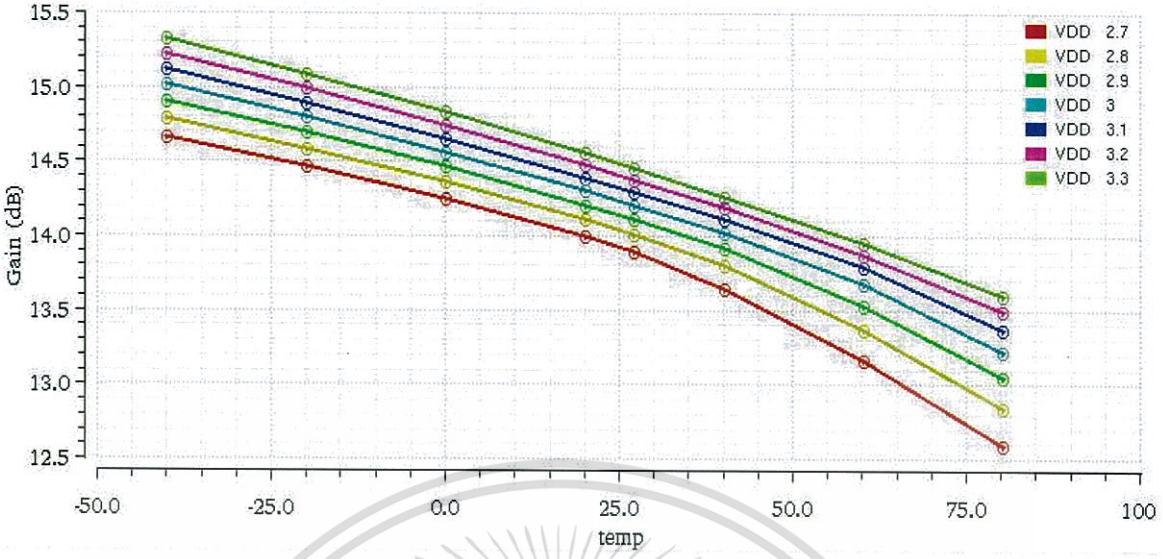
ในหัวข้อนี้จะแสดงกราฟของผลการทดลองวงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA) ที่นำมาต่อกับวงจร Single-ended to differential ในรูปที่ 3.3 โดยวัดค่าเอาต์พุตในรูปแบบ Single-ended ซึ่งประกอบไปด้วยกราฟแสดงค่าอัตราขยายของวงจร , กราฟแสดงค่า Noise figure ของวงจร , กราฟแสดงค่า IIP3 ของวงจร และ กราฟแสดงค่า Scatter parameter (S11) ที่บ่งบอกถึง Input impedance matching ของวงจร



รูปที่ 4.1 กราฟอัตราขยายของวงจรขยายสัญญาณรบกวนต่ำที่ความถี่ต่างๆ

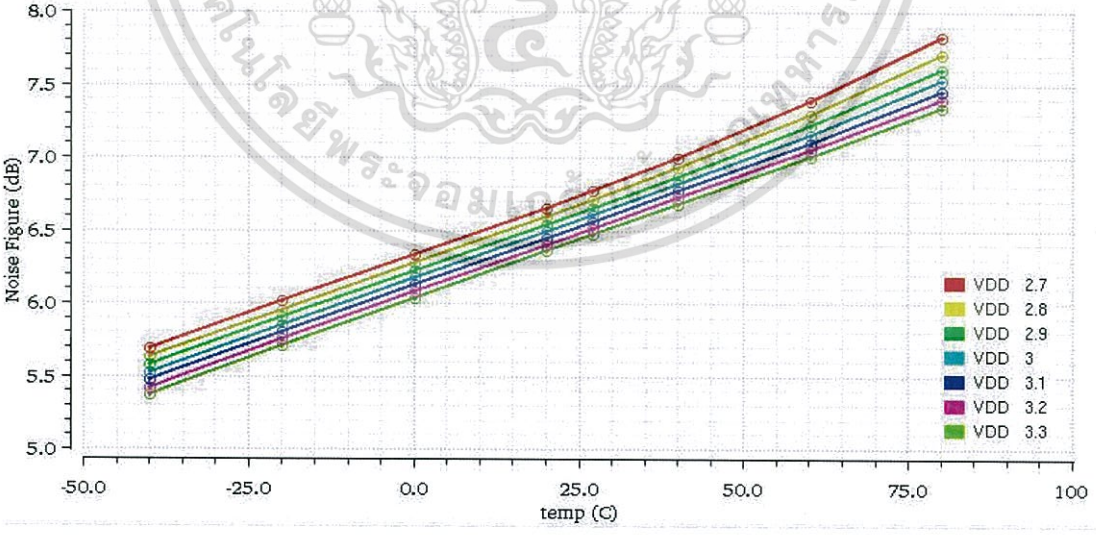
จากกราฟในรูปที่ 4.1 แสดงถึงค่าอัตราขยายของวงจรขยายสัญญาณรบกวนต่ำโดยพลอตเทียบกับความถี่ที่ 100 MHz ถึง 5 GHz โดยค่าอัตราขยายที่นำไปใช้งานคือที่ย่านความถี่ 2.4 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 กราฟอัตราขยายของ LNA ที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยงต่างๆ

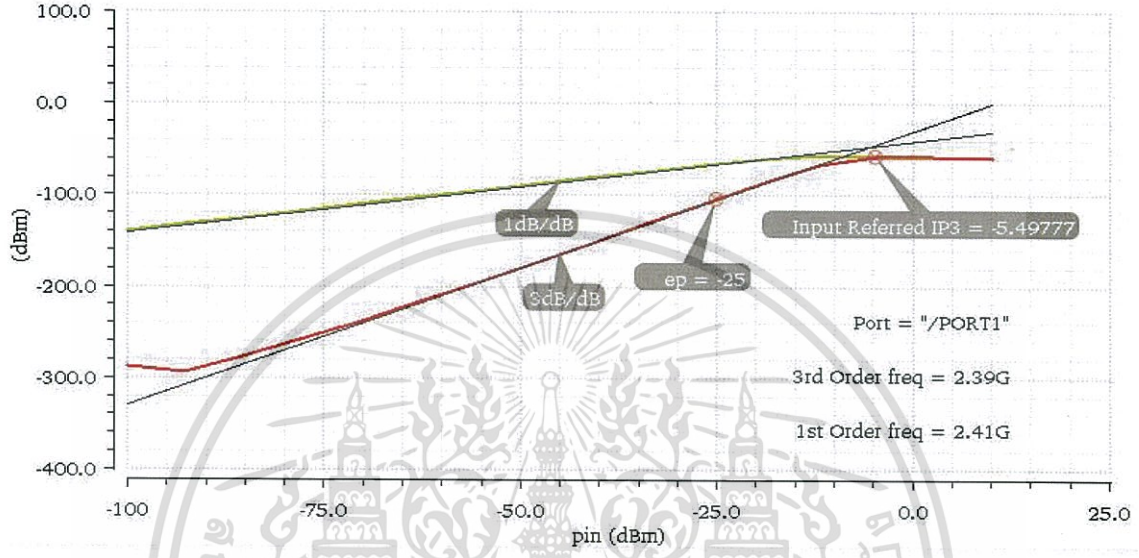
จากกราฟในรูปที่ 4.2 แสดงถึงค่าอัตราขยายของวงจร LNA ที่ทำการทดสอบที่อุณหภูมิ -40 ℃ ถึง 80 ℃ โดยทำงานที่แรงดันไฟเลี้ยง 2.7 V , 3.0 V และ 3.3 V จำลองการทำงานที่ความถี่ 2.4 GHz ซึ่งจากกราฟจะเห็นได้ว่าค่าอัตราขยายของวงจรจะมีค่ามากเมื่อแรงดันไฟเลี้ยงมีค่ามากและอุณหภูมิมีค่าน้อย อัตราขยายของวงจรจะมีค่าน้อยเมื่อแรงดันไฟเลี้ยงมีค่าน้อยและอุณหภูมิมีค่ามาก



รูปที่ 4.3 กราฟ Noise figure ของ LNA ที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยงต่างๆ

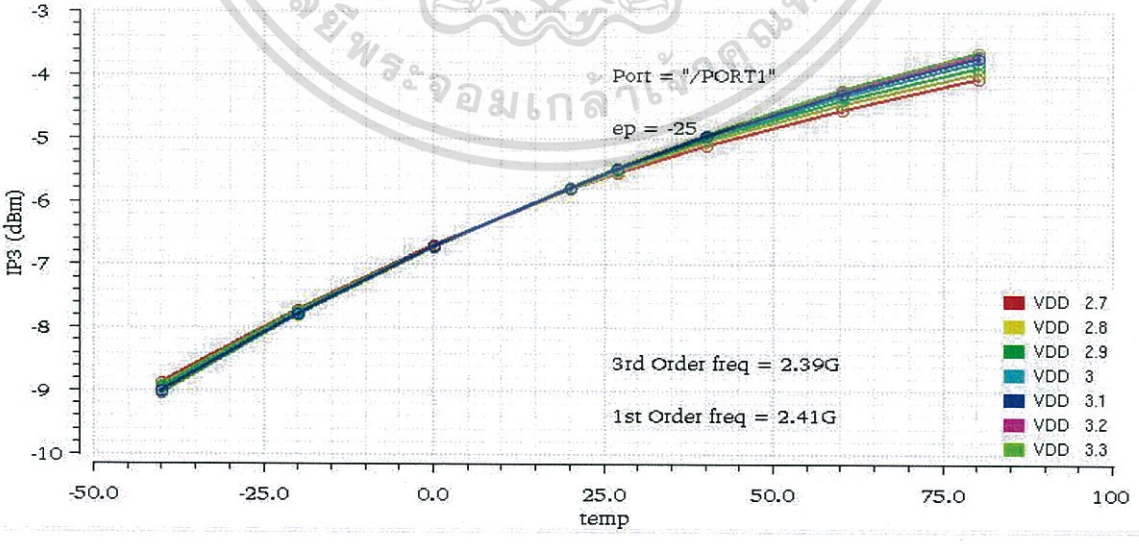
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟในรูปที่ 4.3 แสดงถึงค่า Noise figure ของวงจร LNA ที่ทำการทดสอบที่อุณหภูมิ -40 °C ถึง 80 °C โดยทำงานที่แรงดันไฟเลี้ยง 2.7 V , 3.0 V และ 3.3 V จำลองการทำงานที่ความถี่ 2.4 GHz ซึ่งจากกราฟจะเห็นได้ว่าค่า Noise figure ของวงจรจะมีค่าน้อยเมื่อแรงดันไฟเลี้ยงมีค่ามากและอุณหภูมิมีค่าน้อย Noise figure ของวงจรจะมีค่ามากเมื่อแรงดันไฟเลี้ยงมีค่าน้อยและอุณหภูมิมีค่ามาก



รูปที่ 4.4 กราฟ IPN Curve ของ LNA ทำงานที่แรงดันไฟเลี้ยง 3.0 V

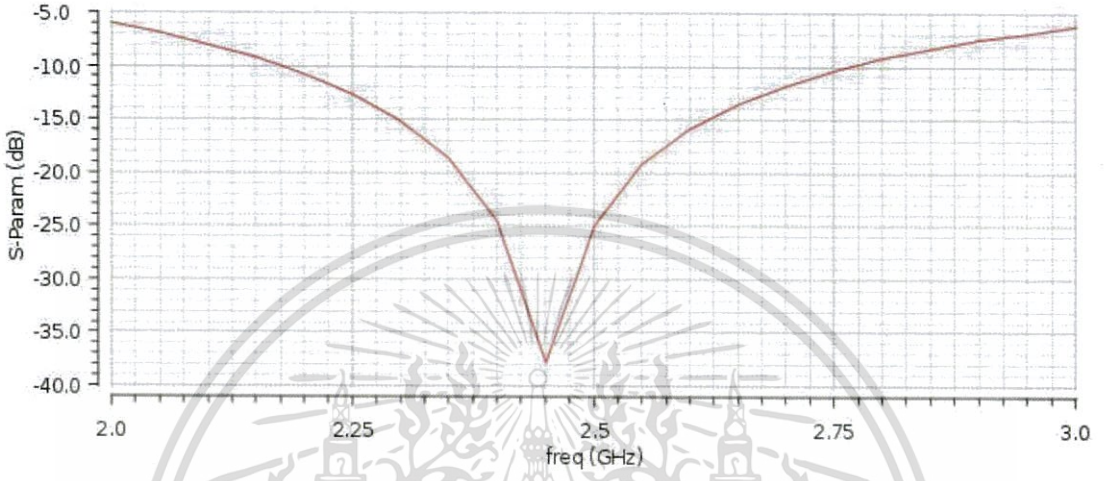
จากกราฟในรูปที่ 4.4 แสดงถึงค่า IIP3 ของวงจร LNA ที่ทำการทดสอบที่อุณหภูมิ 27 °C จากกราฟเป็นการแสดงค่าจุดตัดระหว่างอนุพันธ์อันดับที่ 1 (First order) และ อนุพันธ์อันดับที่ 3 (Third order) ซึ่งจุดตัดนี้ก็คือ ค่า IIP3 ของวงจร



รูปที่ 4.5 กราฟ IIP3 ของวงจร LNA ที่แรงดันไฟเลี้ยงต่างๆที่อุณหภูมิ -40 °C ถึง 80 °C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟในรูปที่ 4.5 แสดงถึงค่า IIP3 ของวงจร LNA ที่ทำการทดสอบที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ที่ความละเอียด 20 ℃ โดยทำงานที่แรงดันไฟ 2.7 V , 3.0 V และ 3.3 V ซึ่งจากกราฟจะเห็นได้ว่าค่า IIP3 ของวงจรจะมีค่าน้อยเมื่อแรงดันไฟเลี้ยงมีค่าน้อยและอุญหภูมิมีค่าน้อย IIP3 ของวงจรจะมีค่ามากเมื่อแรงดันไฟเลี้ยงมีค่ามากและอุญหภูมิมีค่ามาก



รูปที่ 4.6 กราฟ Input matching ของ LNA

จากกราฟในรูปที่ 4.6 แสดงถึงค่า Input impedance matching ของวงจร โดยดูจากกราฟ Scatter parameter (S11) ในวงจรที่ได้ออกแบบไว้ต้องการนำไปใช้งานที่ความถี่ 2.4 GHz ซึ่งเมื่อดูจากกราฟจะเห็นได้ว่าที่ความถี่ 2.4 GHz ค่า Scatter parameter ของวงจรมีค่าน้อย ซึ่งก็หมายถึงค่า Input return loss ของวงจรจะมีค่าน้อย

ตารางที่ 4.1 ค่าพารามิเตอร์ของ LNA ที่อุณหภูมิ -40℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยง 2.7 V

แรงดันไฟเลี้ยง (V)	อุณหภูมิ (℃)	อัตราขยาย (dB)	Noise figure (dB)	IIP3 (dBm)
2.7	-40	14.66	5.69	-8.86
	27	13.89	6.77	-5.56
	80	12.59	7.83	-4.06

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 ค่าพารามิเตอร์ของ LNA ที่อุณหภูมิ -40°C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.0 V

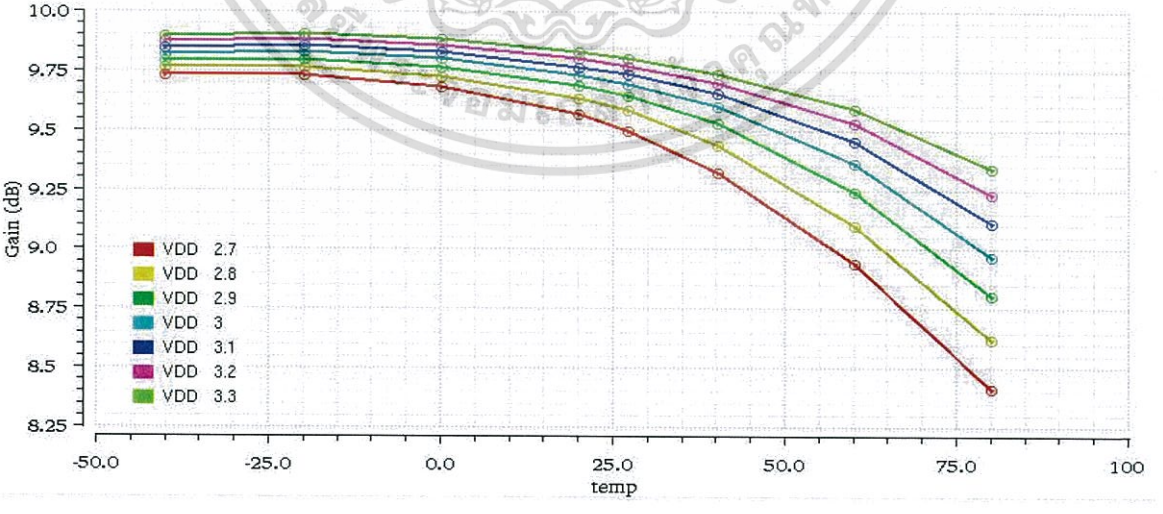
แรงดันไฟเลี้ยง (V)	อุณหภูมิ (°C)	อัตราขยาย (dB)	Noise figure (dB)	IIP3 (dBm)
3.0	-40	15.01	5.53	-8.95
	27	14.20	6.61	-5.50
	80	13.22	7.53	-3.80

ตารางที่ 4.3 ค่าพารามิเตอร์ของ LNA ที่อุณหภูมิ -40°C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.3 V

แรงดันไฟเลี้ยง (V)	อุณหภูมิ (°C)	อัตราขยาย (dB)	Noise figure (dB)	IIP3 (dBm)
3.3	-40	14.66	5.38	-9.03
	27	14.45	6.47	-5.47
	80	13.60	7.34	-3.63

4.2 ผลการทดสอบวงจรมิกเซอร์ (Active down-conversion mixer)

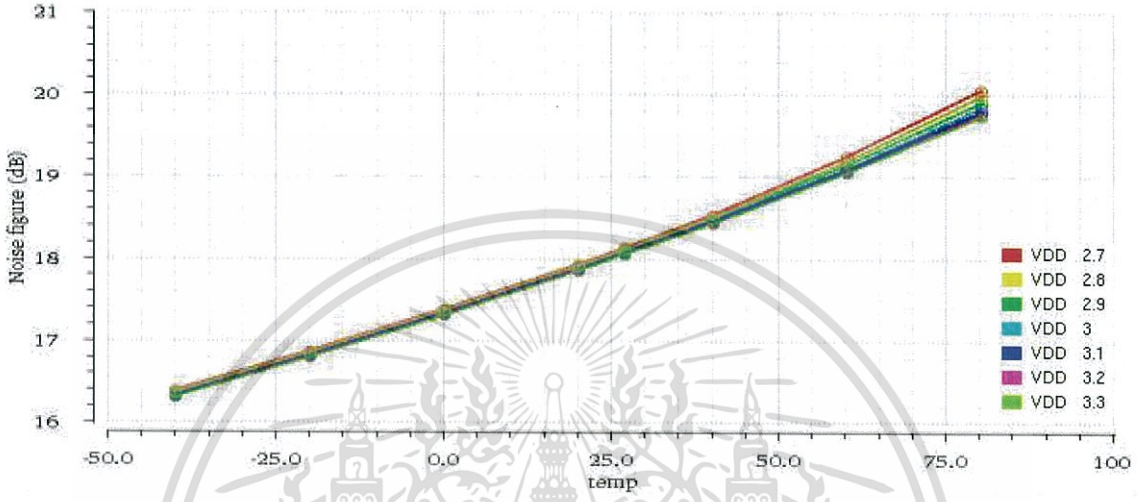
ในหัวข้อนี้จะแสดงกราฟของผลการทดลอง Active down-conversion mixer ในรูปที่ 3.4 โดยทำการวัดเอาต์พุตแบบ Differential ที่มีความถี่อินพุต 2.4 GHz และความถี่เอาต์พุต 1 MHz ประกอบไปด้วยกราฟแสดงอัตราขยายของวงจร , กราฟแสดง Noise figure ของวงจร และ กราฟแสดง IIP3 ของวงจร



รูปที่ 4.7 กราฟอัตราขยายของ Mixer ที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง ต่างๆ

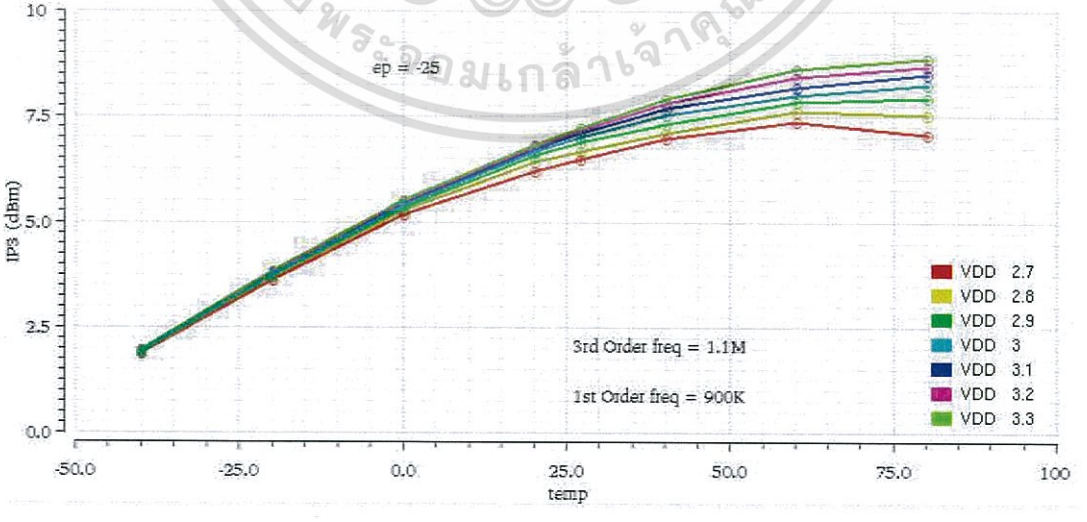
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟในรูปที่ 4.7 แสดงถึงค่าอัตราขยายของวงจร Mixer ที่ทำการทดสอบที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ที่ความละเอียด 20 ℃ โดยทำงานที่แรงดันไฟ 2.7 V , 3.0 V และ 3.3 V ซึ่งจากกราฟจะเห็นได้ว่าค่าอัตราขยายของวงจรจะมีค่ามากเมื่อแรงดันไฟเลี้ยงมีค่ามากและอุณหภูมิมีค่าน้อย อัตราขยายของวงจรจะมีค่าน้อยเมื่อแรงดันไฟเลี้ยงมีค่าน้อยและอุณหภูมิมีค่ามาก



รูปที่ 4.8 กราฟ Noise figure ของ Mixer ที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยง ต่างๆ

จากกราฟในรูปที่ 4.8 แสดงถึงค่า Noise figure ของวงจร Mixer ที่ทำการทดสอบที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ที่ความละเอียด 20 ℃ โดยทำงานที่แรงดันไฟ 2.7 V , 3.0 V และ 3.3 V ซึ่งจากกราฟจะเห็นได้ว่าค่า Noise figure ของวงจรจะมีค่าน้อยเมื่อแรงดันไฟเลี้ยงมีค่ามากและอุณหภูมิมีค่าน้อย Noise figure ของวงจรจะมีค่ามากเมื่อแรงดันไฟเลี้ยงมีค่าน้อยและอุณหภูมิมีค่ามาก



รูปที่ 4.9 กราฟ IIP3 ของ Mixer ที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยงต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟในรูปที่ 4.9 แสดงถึงค่า IIP3 ของวงจร LNA ที่ทำการทดสอบที่อุณหภูมิ -40 °C ถึง 80 °C ที่ความละเอียด 20 °C โดยทำงานที่แรงดันไฟ 2.7 V , 3.0 V และ 3.3 V ซึ่งจากกราฟจะเห็นได้ว่าค่า IIP3 ของวงจรจะเปลี่ยนแปลงตามค่าแรงดันไฟเลี้ยงและอุณหภูมิที่เปลี่ยงแปลงไป

ตารางที่ 4.4 ค่าพารามิเตอร์ของ Mixer อุณหภูมิ -40°C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 2.7 V

แรงดันไฟเลี้ยง (V)	อุณหภูมิ (°C)	อัตราขยาย (dB)	Noise figure (dB)	IIP3 (dBm)
2.7	-40	9.73	16.39	1.87
	27	9.50	18.13	6.47
	80	8.41	20.06	7.06

ตารางที่ 4.5 ค่าพารามิเตอร์ของ Mixer ที่อุณหภูมิ -40°C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.0 V

แรงดันไฟเลี้ยง (V)	อุณหภูมิ (°C)	อัตราขยาย (dB)	Noise figure (dB)	IIP3 (dBm)
3.0	-40	9.82	16.35	1.93
	27	9.69	18.09	7.00
	80	8.97	19.85	8.24

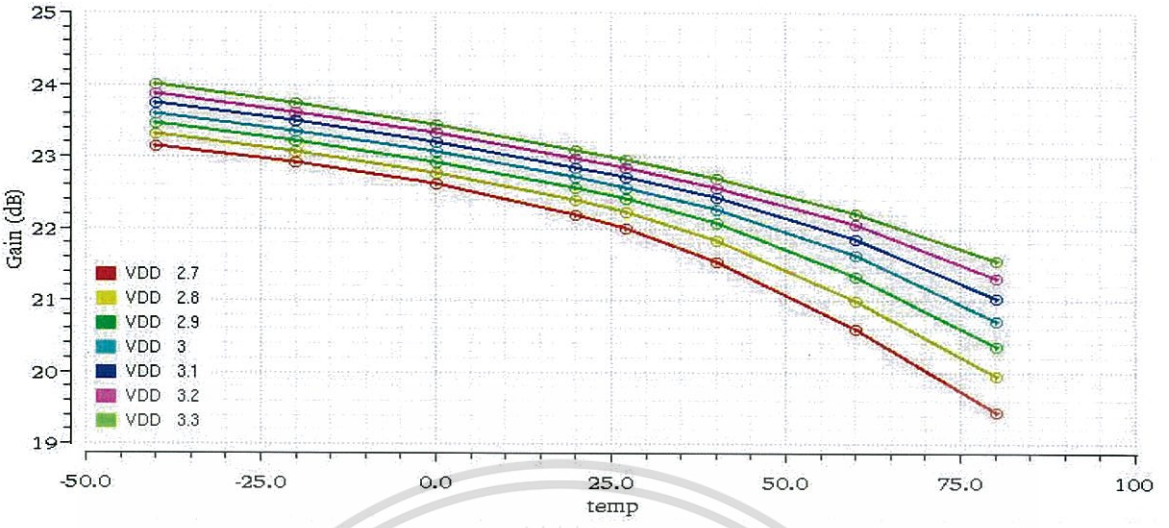
ตารางที่ 4.6 ค่าพารามิเตอร์ของ Mixer อุณหภูมิ -40°C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.3 V

แรงดันไฟเลี้ยง (V)	อุณหภูมิ (°C)	อัตราขยาย (dB)	Noise figure (dB)	IIP3 (dBm)
3.3	-40	9.89	16.31	1.97
	27	9.80	18.06	7.23
	80	9.34	19.73	8.88

4.3 ผลการทดสอบระบบรวม (Cascade LNA Mixer)

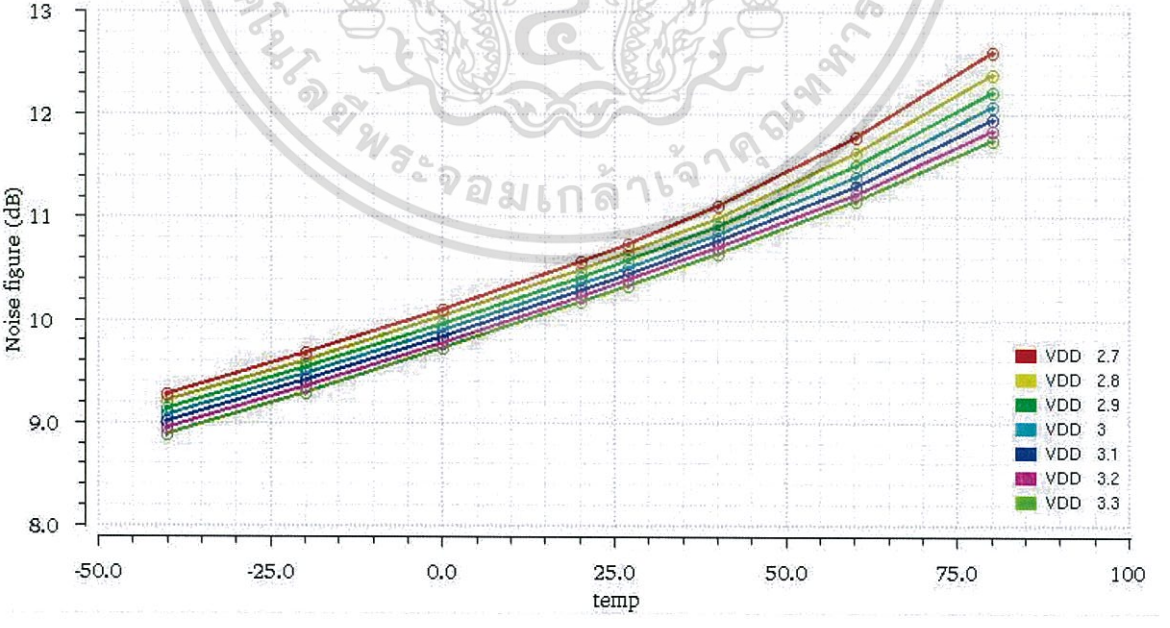
ในหัวข้อนี้จะแสดงกราฟของผลการทดลองของวงจร LNA และ Mixer ที่นำมาต่อกันอนุกรมกันแบบคาสเคด และทำการวัดเอาต์พุตแบบ Differential ที่วงจร Mixer ประกอบด้วยอัตราขยายของวงจร , Noise figure ของวงจร และ ค่า IIP3 ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 กราฟอัตราขยายของวงจรที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยงต่างๆ

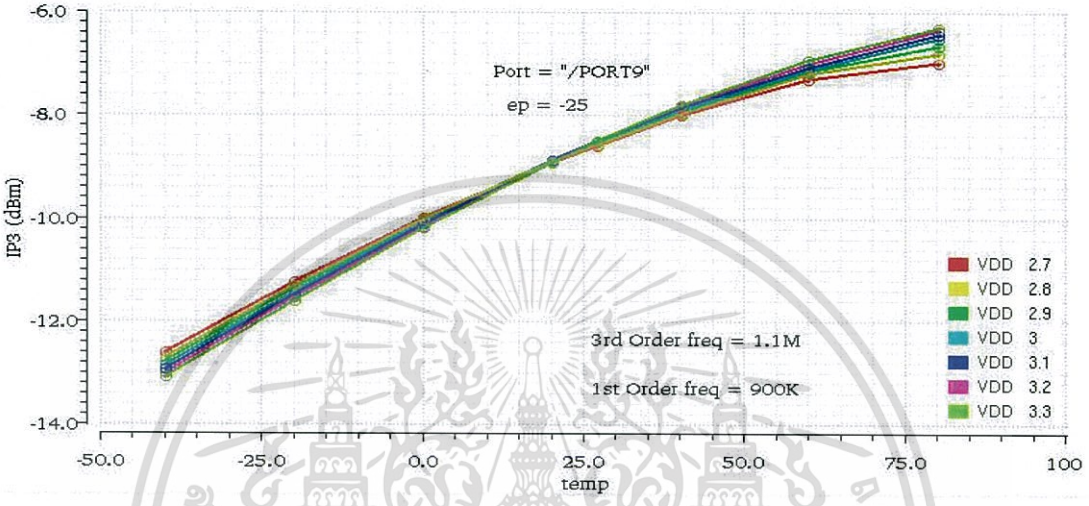
จากกราฟในรูปที่ 4.10 แสดงถึงค่าอัตราขยายของวงจร LNA และ Mixer ที่นำมาต่อกันอนุกรมกันแบบคาสเคด ที่ทำการทดสอบที่อุณหภูมิ -40 °C ถึง 80 °C ที่ความละเอียด 20 °C โดยทำงานที่แรงดันไฟ 2.7 V , 3.0 V และ 3.3 V ซึ่งจากกราฟจะเห็นได้ว่าค่าอัตราขยายของวงจรจะมีค่ามากเมื่อแรงดันไฟเลี้ยงมีค่ามากและอุณหภูมิมีค่าน้อย อัตราขยายของวงจรจะมีค่าน้อยเมื่อแรงดันไฟเลี้ยงมีค่าน้อยและอุณหภูมิมีค่ามาก



รูปที่ 4.11 กราฟ Noise figure ของวงจรที่อุณหภูมิ -40 °C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยงต่างๆ

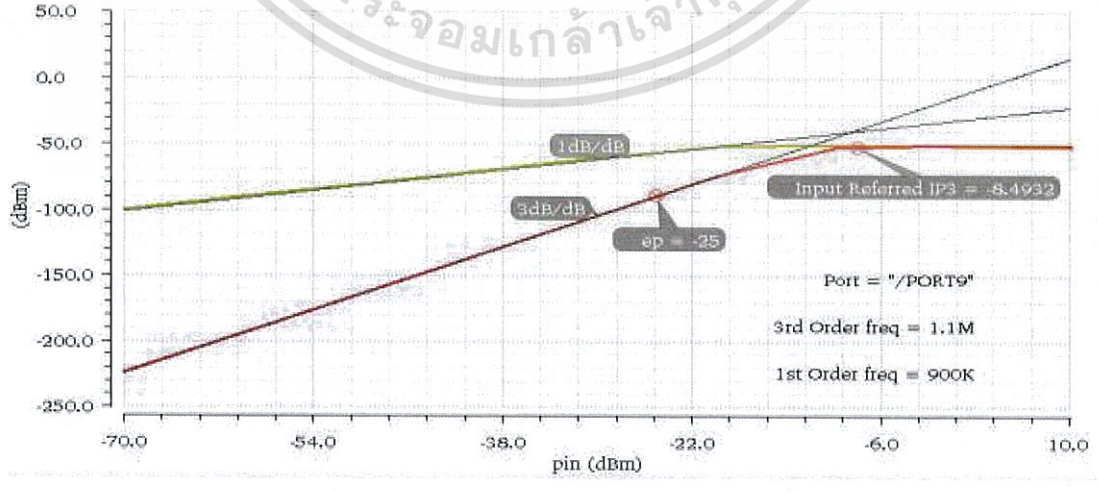
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟในรูปที่ 4.11 แสดงถึงค่า Noise figure ของวงจร LNA และ Mixer ที่นำมาต่ออนุกรมกันแบบคาสเคด ทดสอบที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ที่ความละเอียด 20 ℃ ทำงานที่แรงดันไฟ 2.7 V , 3.0 V และ 3.3 V จากกราฟจะเห็นได้ว่าค่า Noise figure จะมีค่าน้อยเมื่อแรงดันไฟเลี้ยงมีค่ามากและอุญหภูมิมีค่าน้อย Noise figure จะมีค่ามากเมื่อแรงดันไฟเลี้ยงมีค่าน้อยและอุญหภูมิมีค่ามาก



รูปที่ 4.12 กราฟ IIP3 ของวงจรที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยง ต่างๆ

จากกราฟในรูปที่ 4.12 แสดงถึงค่า IIP3 ของวงจร LNA และ Mixer ที่นำมาต่อกันอนุกรมกันแบบคาสเคด ที่ทำการทดสอบที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ที่ความละเอียด 20 ℃ โดยทำงานที่แรงดันไฟ 2.7 V , 3.0 V และ 3.3 V ซึ่งจากกราฟจะเห็นได้ว่าค่า IIP3 ของวงจรจะมีค่าเปลี่ยนแปลงตามค่าแรงดันไฟเลี้ยงและอุณหภูมิที่เปลี่ยนแปลงไป



รูปที่ 4.13 กราฟ IPN Curves ของวงจรที่แรงดันไฟเลี้ยง 3.0 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟในรูปที่ 4.13 แสดงถึงค่า IIP3 ของวงจร LNA และ Mixer ที่นำมาต่อกันอนุกรมกันแบบคาสเคด ที่ทำการทดสอบที่อุณหภูมิ 27 °C จากกราฟเป็นการแสดงค่าจุดตัดระหว่างอนุพันธ์อันดับที่ 1 (First order) และ อนุพันธ์อันดับที่ 3 (Third order) ซึ่งจุดตัดนี้ก็คือ ค่า IIP3 ของวงจร

ตารางที่ 4.7 ค่าพารามิเตอร์ของวงจรที่อุณหภูมิ -40°C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 2.7 V

แรงดันไฟเลี้ยง (V)	อุณหภูมิ (°C)	อัตราขยาย (dB)	Noise figure (dB)	IIP3 (dBm)
2.7	-40	23.14	9.28	-12.60
	27	22.00	10.74	-8.60
	80	19.46	12.60	-6.98

ตารางที่ 4.8 ค่าพารามิเตอร์ของวงจรที่อุณหภูมิ -40°C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.0 V

แรงดันไฟเลี้ยง (V)	อุณหภูมิ (°C)	อัตราขยาย (dB)	Noise figure (dB)	IIP3 (dBm)
3.0	-40	23.60	9.07	-12.85
	27	22.57	10.51	-8.49
	80	20.73	12.06	-6.52

ตารางที่ 4.9 ค่าพารามิเตอร์ของวงจรที่อุณหภูมิ -40°C ถึง 80 °C ทำงานที่แรงดันไฟเลี้ยง 3.3 V

แรงดันไฟเลี้ยง (V)	อุณหภูมิ (°C)	อัตราขยาย (dB)	Noise figure (dB)	IIP3 (dBm)
3.3	-40	24.00	8.90	-13.07
	27	22.96	10.33	-8.51
	80	21.56	11.75	-6.31

จากการผลทดลอง อัตราขยายของวงจร มีค่าลดลงเมื่ออุณหภูมิเพิ่มขึ้น และมีค่ามากสุดเมื่อแรงดันไฟเลี้ยงของวงจรเป็น 3.3 V และลดลงเมื่อแรงดันไฟเลี้ยงลดลง ซึ่งแสดงได้ดังรูปข้างต้น และ Noise figure มีค่าลดลงเนื่องจากอัตราขยายของวงจร มีค่าน้อยลงทำให้สัญญาณรบกวนที่ปรากฏที่เอาท์พุตมีค่าถูกลดทอนได้น้อยลง และค่า IIP3 ที่ได้มีค่ามากขึ้นเนื่องจากอัตราขยายของวงจรมีค่าลดลงทำให้เกิดความเป็นเชิงเส้นมากขึ้น และมีค่ามากเมื่อแรงดันไฟเลี้ยงมีค่าสูงเนื่องจาก วงจรมี Voltage headroom ที่เพิ่มขึ้น

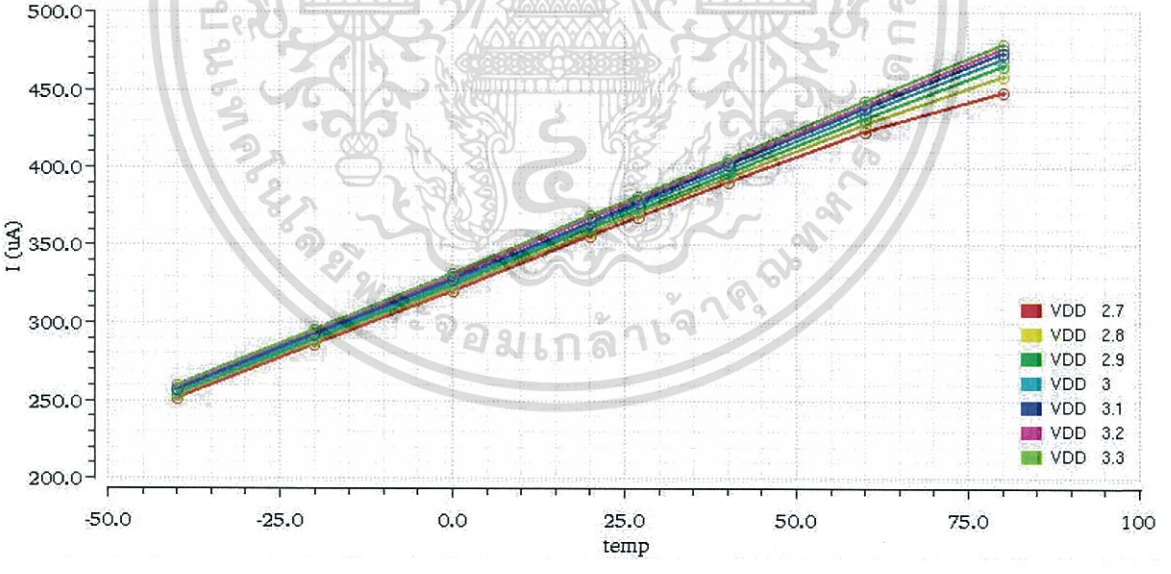
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.10 คุณสมบัติของวงจขยายสัญญาณรบกวนต่ำและวงจรมิกเซอร์

เทคโนโลยี (Process)	350 nm
แรงดันไฟเลี้ยง (Supply voltage)	3 V
อัตราขยาย (Gain)	22.57 dB
สัญญาณรบกวน (Noise figure)	10.51 dB
ความเป็นเชิงเส้น (IIP3)	-8.49 dBm
Input matching	-40 dB
การสูญเสียกำลัง (Power dissipation)	12.9 mW

4.4 ผลการทดสอบวงจรแหล่งจ่ายกระแสอ้างอิง (Current reference)

จากรูปที่ 4.14 เป็นกราฟแสดงกระแสของวงจรแหล่งจ่ายกระแสอ้างอิงในรูปที่ 3.5 โดยจำลองการทำงานที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยง 2.7 – 3.3 V จากกราฟจะเห็นว่าที่แรงดันไฟเลี้ยงมากและอุณหภูมิมากกระแสจะมีค่ามากแปรผันตามอุณหภูมิและแรงดันไฟเลี้ยง

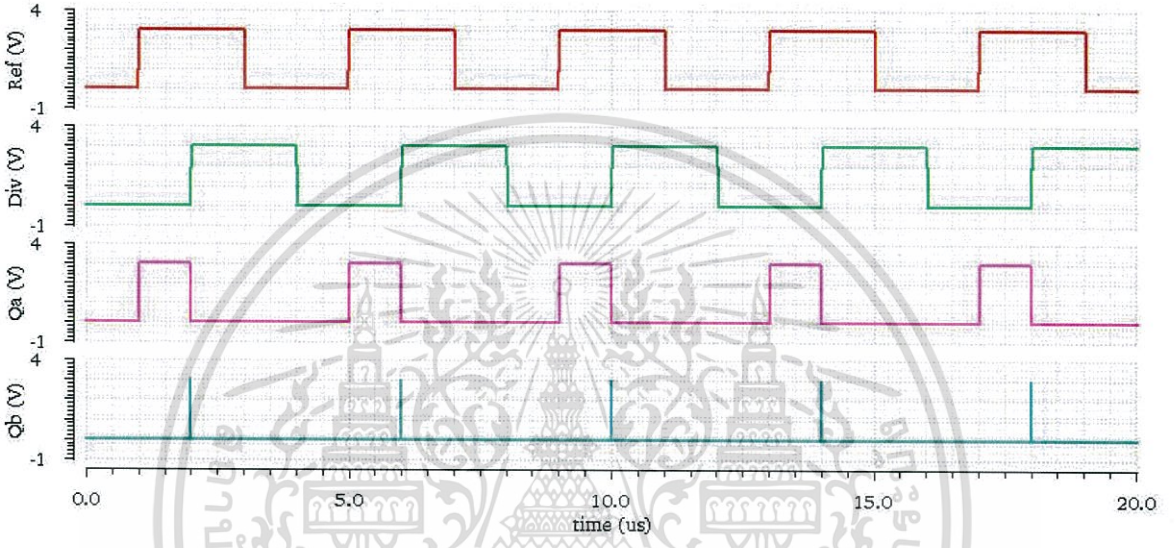


รูปที่ 4.14 กราฟกระแสของวงจรที่อุณหภูมิ -40 ℃ ถึง 80 ℃ ทำงานที่แรงดันไฟเลี้ยง ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ผลการทดสอบวงจรตรวจจับเฟสและความถี่ (Phase frequency detector)

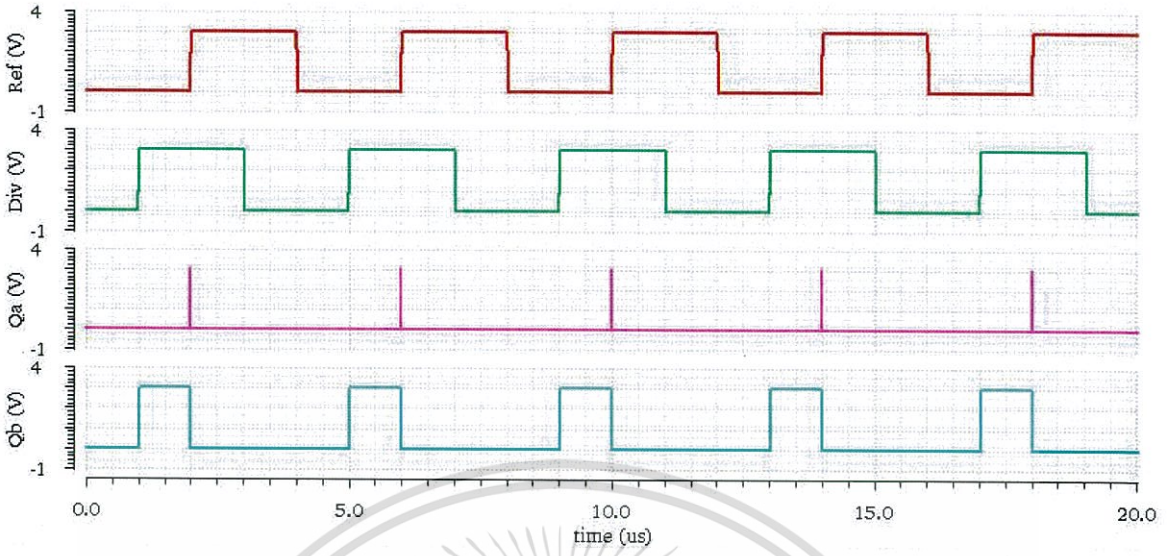
ในหัวข้อนี้จะแสดงผลการทดลองของวงจรตรวจจับเฟสและความถี่ในรูปที่ 3.10 ซึ่งผลการทดลอง จากรูปที่ 4.15 ในกรณีเฟสของสัญญาณ Ref นำหน้า Div สัญญาณ Qa จะเกิดเป็นพัลส์ขึ้นมาโดยขนาดความกว้างของพัลส์จะขึ้นอยู่กับเฟสของสัญญาณ Ref นำหน้า Div อยู่เท่าไหร่ ส่วนสัญญาณ Qb จะเกิดเป็นพัลส์ที่มีขนาดเล็กมาก ซึ่งก็คือค่าดีเลย์ของวงจร



รูปที่ 4.15 ผลการทดสอบวงจร PFD กรณีเฟสของสัญญาณ Ref นำหน้า Div

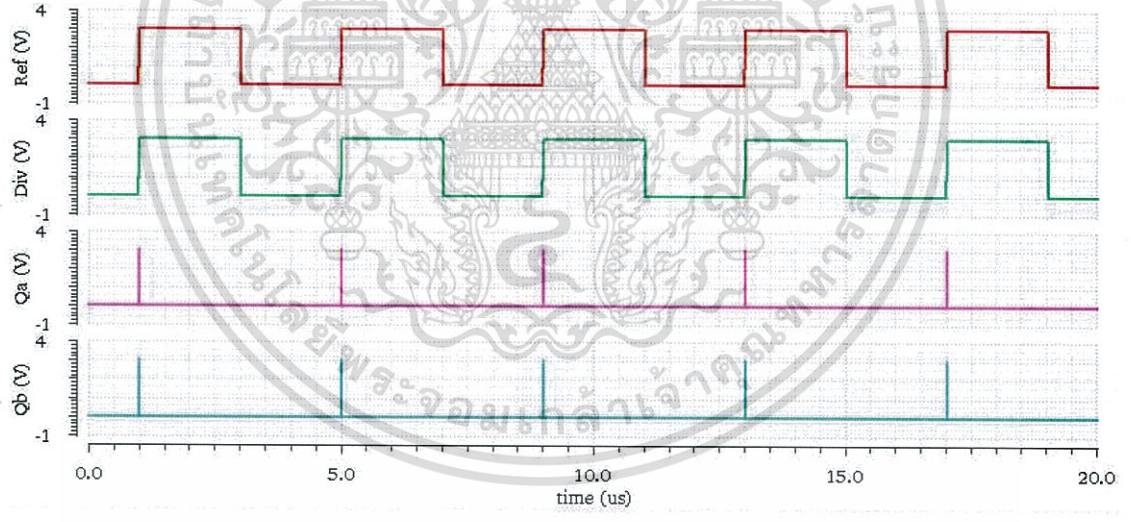
จากรูปที่ 4.16 ในกรณีเฟสของสัญญาณ Div นำหน้า Ref สัญญาณ Qb จะเกิดเป็นพัลส์ขึ้นมาโดยขนาดความกว้างของพัลส์จะขึ้นอยู่กับเฟสของสัญญาณ Div นำหน้า Ref อยู่เท่าไหร่ ส่วนสัญญาณ Qa จะเกิดเป็นพัลส์ที่มีขนาดเล็กมาก ซึ่งก็คือค่าดีเลย์ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 ผลการทดสอบวงจร PFD กรณีเฟสของสัญญาณ Div นำหน้า Ref

จากรูปที่ 4.17 ในกรณีเฟสของสัญญาณ Div เท่ากับ Ref สัญญาณ Qa และ Qb จะเกิดเป็นพัลส์ขนาดเล็กมากซึ่งก็คือจะมีเพียงค่าดีเลย์ของวงจร

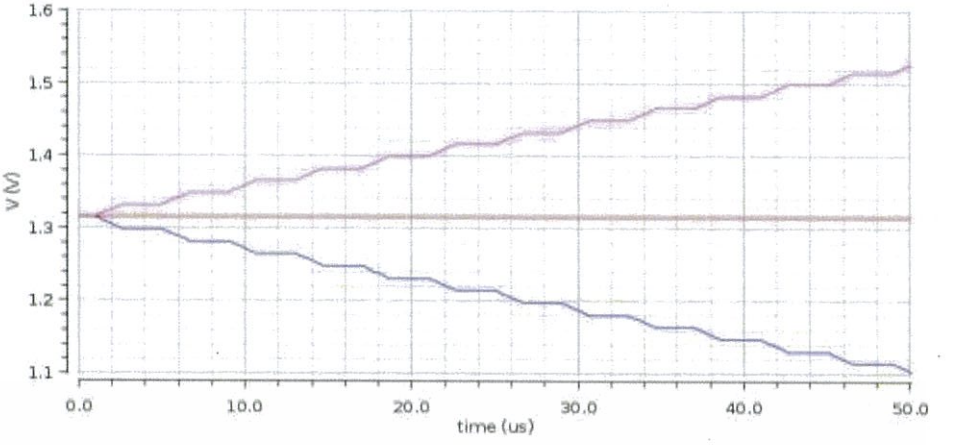


รูปที่ 4.17 ผลการทดสอบวงจร PFD กรณีเฟสของสัญญาณ Div ตรงกับ Ref

4.6 ผลการทดสอบวงจรอัดประจุ (Charge pump)

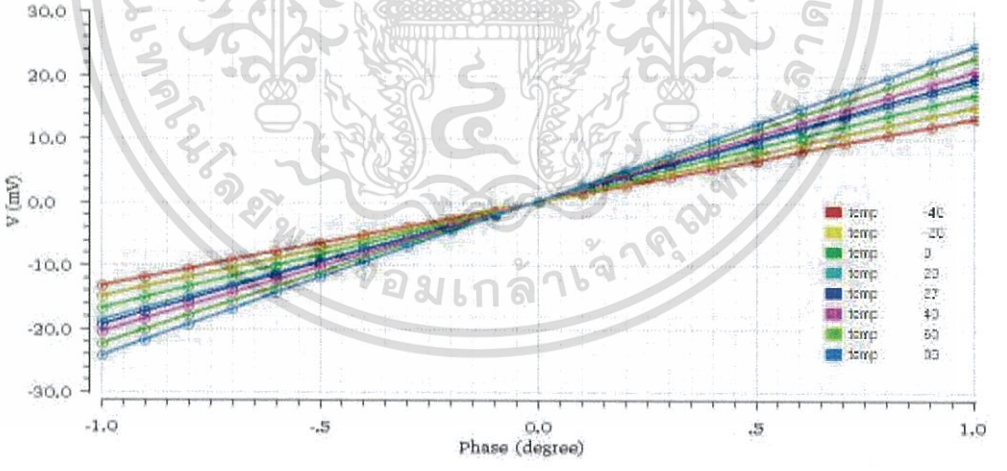
จากรูปที่ 4.18 เป็นผลการทดสอบวงจรอัดประจุในรูปที่ 3.11 โดยวงจรจะมีการอัดประจุเมื่อเฟสของสัญญาณ Ref นำหน้าสัญญาณ Div และจะคายประจุเมื่อเฟสของสัญญาณ Div นำหน้าสัญญาณ Ref

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 ผลการทดสอบวงจรอัดประจุเมื่อเกิดการอัดประจุและคายประจุ

จากรูปที่ 4.19 เป็นผลการทดสอบวงจรอัดประจุที่ต่อเข้ากับวงจรตรวจจับเฟสและความถี่ เป็นการทดสอบเพื่อหาเกนของวงจรทั้งสองและหาจุดเดทโซนของวงจร โดยได้ทดสอบที่อุณหภูมิ -40 ถึง 80 °C จะเห็นว่าที่อุณหภูมิสูงจะมีความชัน (Slope) สูงกว่าที่อุณหภูมิต่ำ เนื่องจากอุณหภูมิมีผลต่อกระแสของวงจรสร้างกระแสอ้างอิงค่อนข้างมากทำให้กระแสในวงจรอัดประจุเปลี่ยนไป ความชัน (Slope) จึงเปลี่ยนตาม ส่วนแรงดันไฟเลี้ยง 2.7 -3.3 V แต่ละค่าจะไม่ค่อยมีผลต่อวงจรเนื่องจากที่แรงดันไฟเลี้ยงที่ต่างกันมีผลต่อกระแสของวงจรไม่มากนัก



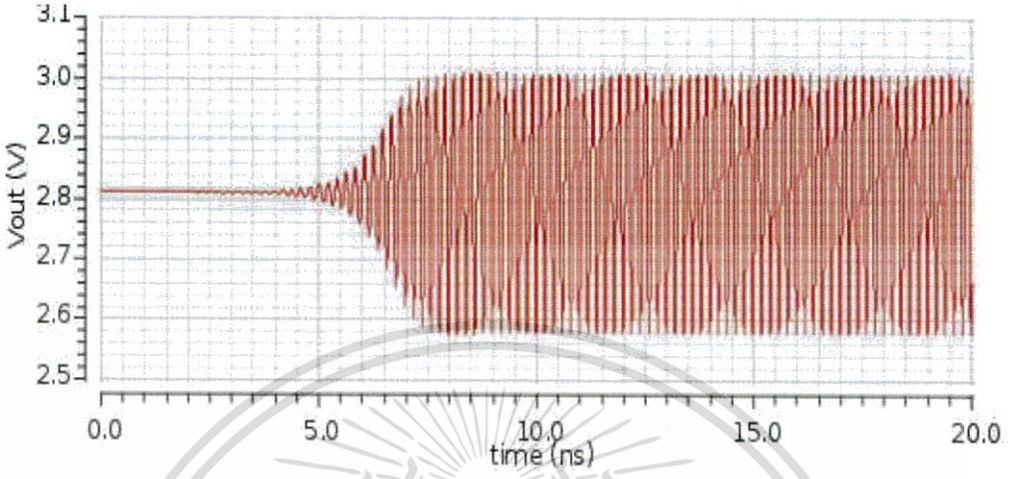
รูปที่ 4.19 ผลการทดสอบอัตราขยายของวงจรอัดประจุที่อุณหภูมิ -40 ถึง 80 °C

4.7 ผลการทดสอบวงจรกำเนิดความถี่ควบคุมด้วยด้วยแรงดัน (VCO)

ในหัวข้อนี้เป็นผลการทดลองของวงจรกำเนิดความถี่ควบคุมด้วยแรงดันในรูปที่ 3.13 จากรูปที่ 4.20 เป็นกราฟแสดงผลการทดลองของสัญญาณที่เอาต์พุตของวงจรบัฟเฟอร์ที่ต่อถัดมาจากวงจรควบคุม

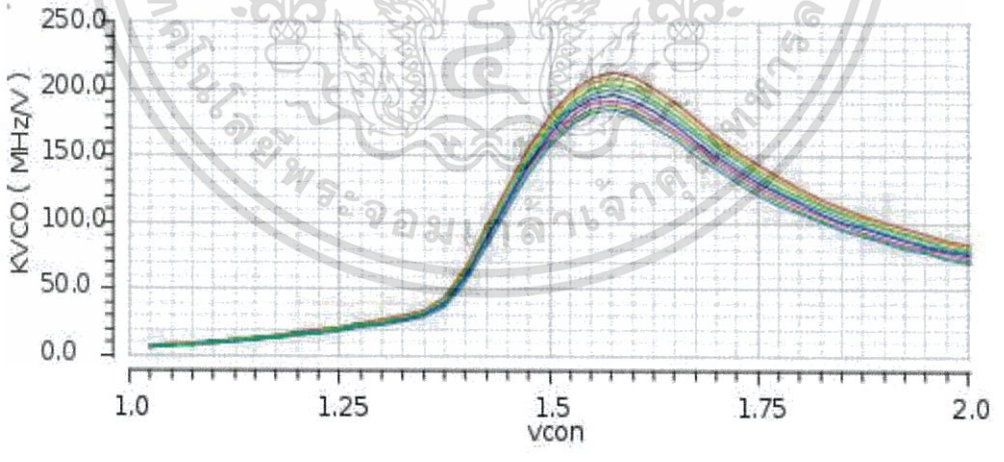
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ด้วยแรงดันในรูปที่ 3.12 และรูปที่ 3.13 สัญญาณที่ได้เป็นลักษณะรูปคลื่นซายน์ที่มีแรงดันยอดถึงยอดประมาณ 400 mVp-p (Peak to peak) และนำไปเป็นอินพุตของวงจรหารความถี่ CML



รูปที่ 4.20 สัญญาณเอาต์พุตของวงจรบัฟเฟอร์ที่ต่อถัดมาจากวงจรควบคุมความถี่ด้วยแรงดัน

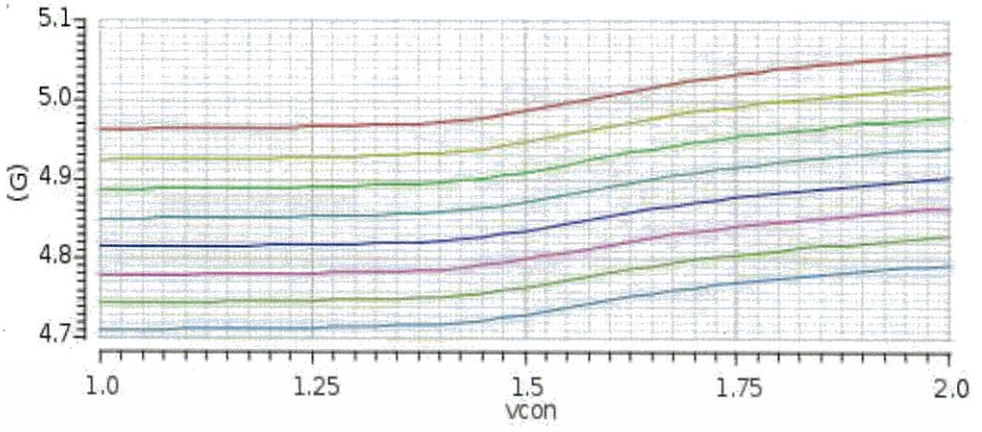
จากรูปที่ 4.21 เป็นกราฟแสดงความสัมพันธ์ระหว่าง K_{VCO} และ V_{CON} ที่แถวตัวเก็บประจุ (C_{array}) ที่ต่างกันเพื่อให้สามารถเลือกค่า K_{VCO} ที่จะนำไปใช้ในวงจร ซึ่งจากกราฟจะสามารถเลือกค่า K_{VCO} ได้ โดยจะเลือกในช่วงที่ K_{VCO} เปลี่ยนแปลง ± 15 เปอร์เซ็นต์ ไม่ให้เกิน 20 เปอร์เซ็นต์



รูปที่ 4.21 กราฟความสัมพันธ์ระหว่าง K_{VCO} และ V_{CON}

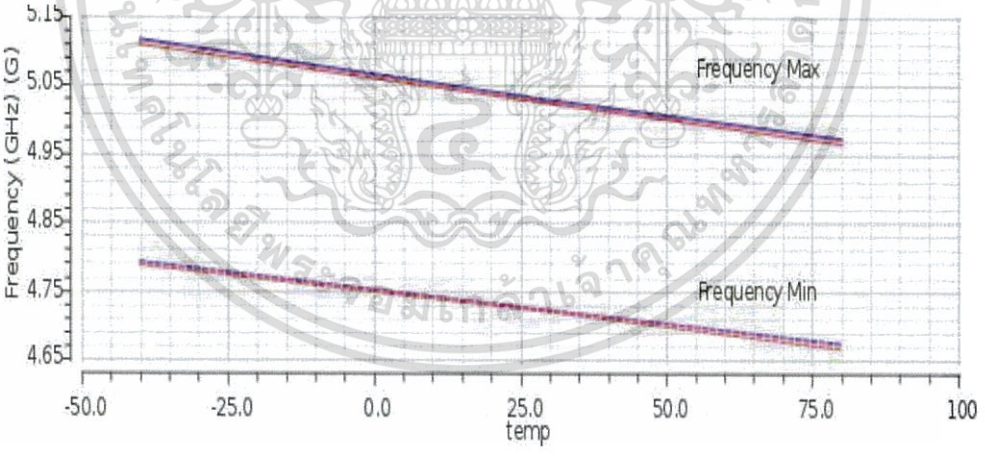
จากรูปที่ 4.22 เป็นกราฟแสดงความสัมพันธ์ระหว่างความถี่เอาต์พุตและค่าแรงดันควบคุม (V_{CON}) ของ ค่าแถวตัวเก็บประจุ (C_{array}) ที่ต่างกัน จากกราฟจะบ่งบอกถึงค่าความถี่ที่สามารถจูนได้ (Tuning range) ในค่าแถวตัวเก็บประจุที่ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.22 กราฟความสัมพันธ์ระหว่างความถี่เอาต์พุตและค่าแรงดันควบคุม (V_{CON}) ของแถวตัวเก็บประจุ (C_{array}) ที่ต่างกัน

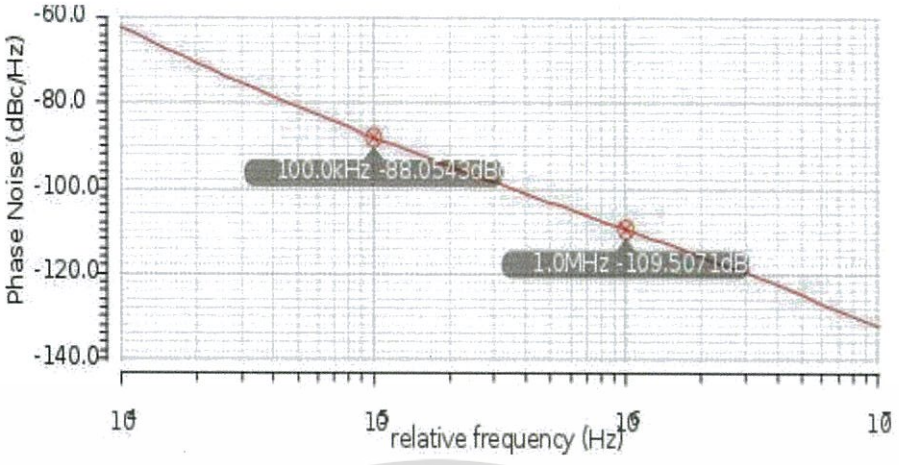
จากรูปที่ 4.23 เป็นกราฟแสดงค่าความถี่เอาต์พุตของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน ที่ใช้โปรแกรมคำนวณค่าจากสัญญาณ ซึ่งความถี่ที่ต้องการ คือ 4.804 - 4.960 GHz และจากกราฟจะเห็นว่าที่อุณหภูมิ -40 ถึง 80 °C และแรงดันไฟเลี้ยง 2.7 - 3.3 V วงจรกำเนิดความถี่ควบคุมด้วยแรงดันสามารถกำเนิดสัญญาณความถี่ตามที่ต้องการได้



รูปที่ 4.23 ความถี่เอาต์พุตของวงจรควบคุมความถี่ด้วยแรงดัน

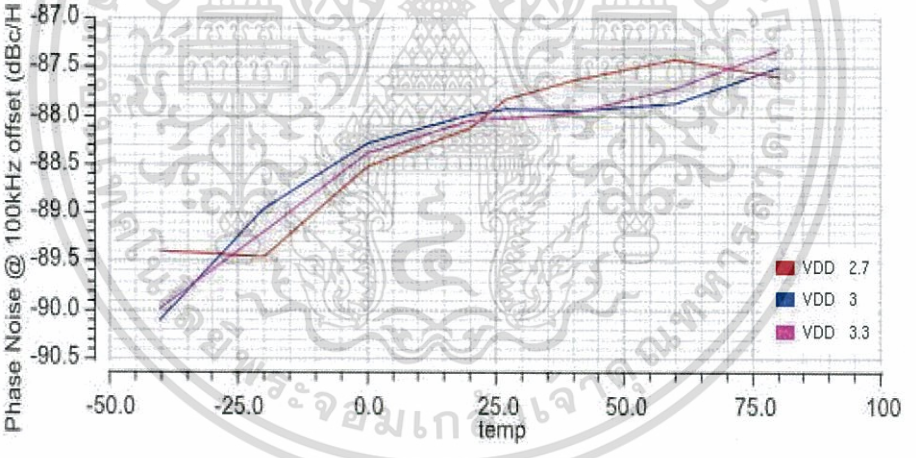
จากรูปที่ 4.24 เป็นกราฟแสดงความสัมพันธ์ระหว่างสัญญาณรบกวนเชิงเฟส (Phase noise) กับความถี่ออฟเซต ซึ่งสัญญาณรบกวนเชิงเฟสในรูป คือ อัตราส่วนระหว่างกำลังงานของสัญญารรบกวนใน 1 Hz แบนวิธด์ที่ความถี่ออฟเซตเทียบกับกำลังงานของสัญญาณที่ความถี่กลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 กราฟความสัมพันธ์ระหว่างสัญญาณรบกวนเชิงเฟสกับความถี่ออฟเซต

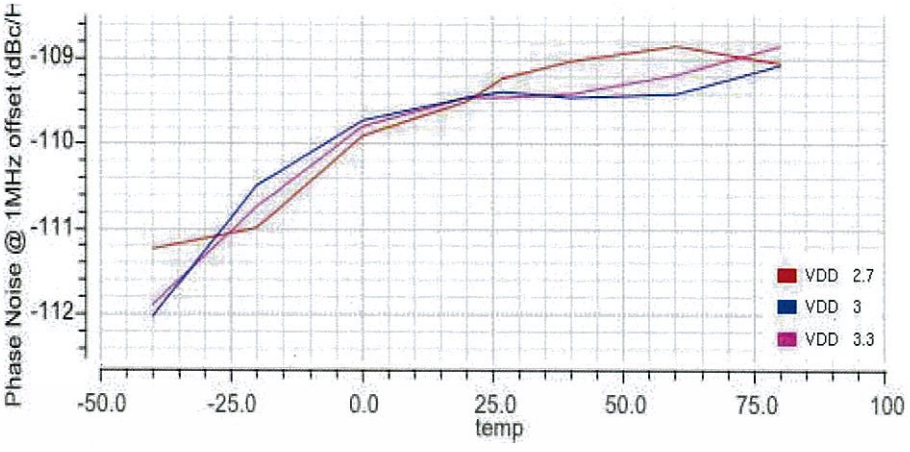
จากรูปที่ 4.25 เป็นการนำกราฟรูปที่ 4.23 ที่ความถี่ออฟเซต 100 KHz พลอตเทียบกับอุณภูมิ -40 ถึง 80°C และแรงดันไฟเลี้ยง 2.7 – 3.3 V เพื่อแสดงค่าสัญญาณรบกวนเชิงเฟสที่เปลี่ยนไปเมื่ออุณหภูมิและแรงดันไฟเลี้ยงเปลี่ยนแปลง



รูปที่ 4.25 กราฟความสัมพันธ์ระหว่างสัญญาณรบกวนเชิงเฟสกับอุณหภูมิ -40 ถึง 80°C แรงดันไฟเลี้ยง 2.7 – 3.3 V ที่ ความถี่ออฟเซต 100 KHz

จากรูปที่ 4.26 เป็นการนำกราฟรูปที่ 4.23 ที่ความถี่ออฟเซต 1 MHz พลอตเทียบกับอุณภูมิ -40 ถึง 80°C และแรงดันไฟเลี้ยง 2.7 – 3.3 V เพื่อแสดงค่าสัญญาณรบกวนเชิงเฟสที่เปลี่ยนไปเมื่ออุณหภูมิและแรงดันไฟเลี้ยงเปลี่ยนแปลง

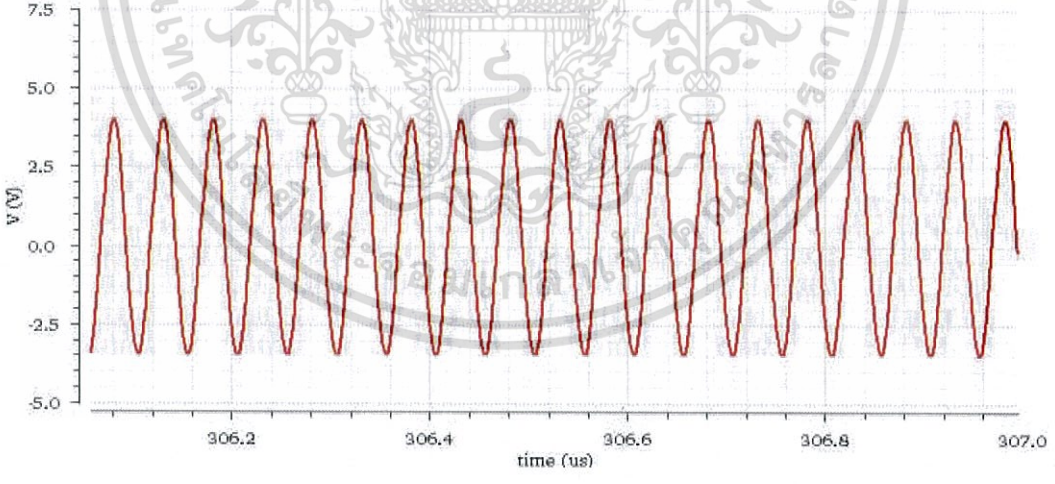
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 กราฟความสัมพันธ์ระหว่างสัญญาณรบกวนเชิงเฟสกับอุณหภูมิ -40 ถึง 80°C แรงดันไฟเลี้ยง 2.7 – 3.3 V ที่ ความถี่ออฟเซต 1 MHz

4.8 ผลการทดสอบวงจรออสซิเลเตอร์แบบผลึก (Crystal oscillator)

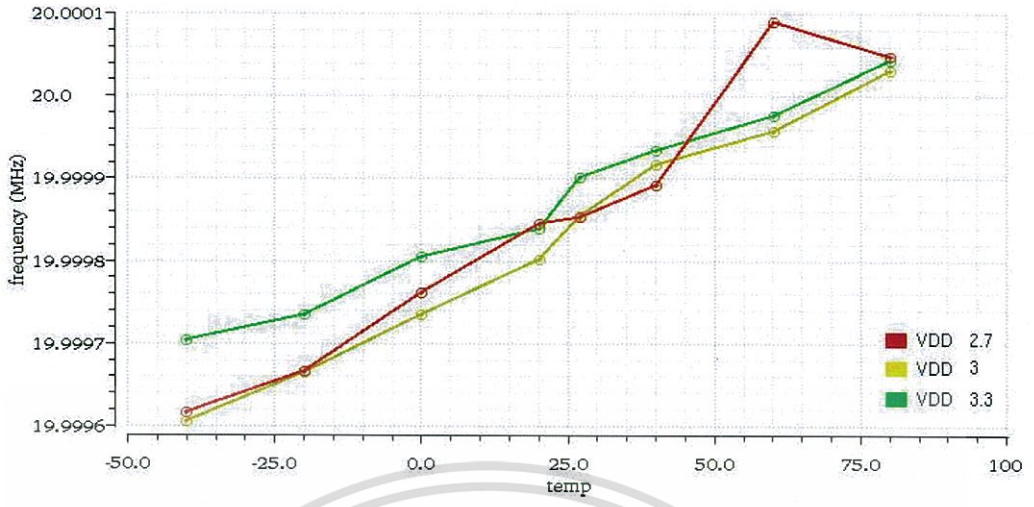
ในหัวข้อนี้เป็นผลการทดลองของวงจรออสซิเลเตอร์แบบผลึก ในรูปที่ 3.15 จากรูปที่ 4.27 เป็นผลการทดลองสัญญาณของเอาต์พุตวงจรออสซิเลเตอร์แบบผลึก (Crystal oscillator) 20 MHz จะเป็นสัญญาณในลักษณะคลื่นซายน์



รูปที่ 4.27 สัญญาณเอาต์พุตวงจรออสซิเลเตอร์แบบผลึก

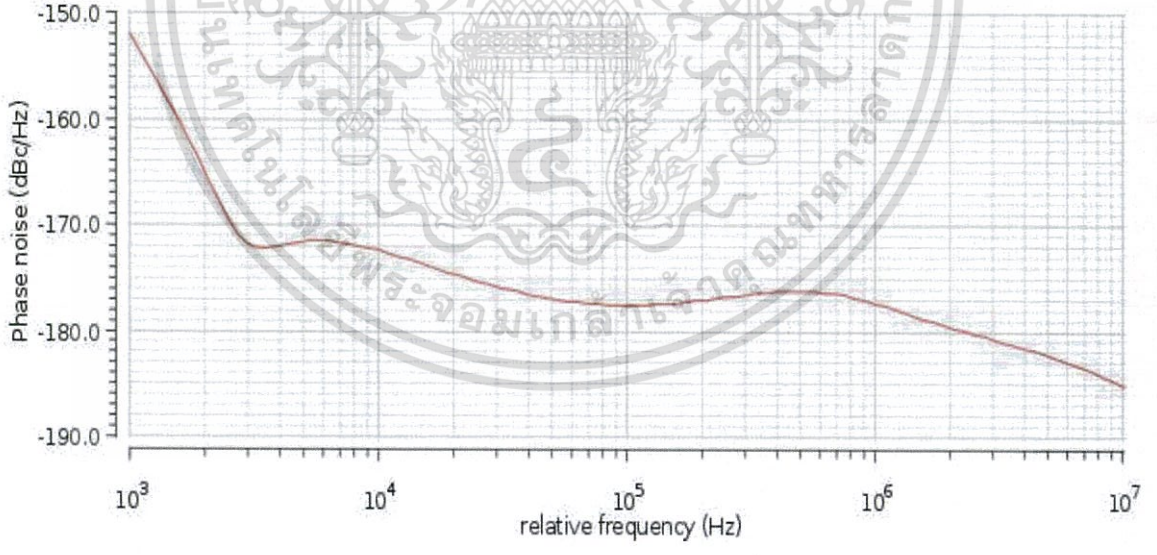
จากรูปที่ 4.28 เป็นกราฟแสดงความถี่เอาต์พุตวงจรออสซิเลเตอร์แบบผลึกที่อุณหภูมิ -40 ถึง 80 °C ที่แรงดันไฟเลี้ยง 2.7 – 3.3 V โดยใช้โปรแกรมคำนวณความถี่ออกมาจากสัญญาณ ซึ่งจากกราฟจะเห็นว่าความถี่ที่ผิดพลาดไปจากความถี่ 20 MHz จะอยู่ประมาณ ±10 ppm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.28 ความถี่เอาต์พุตวงจรออสซิเลเตอร์แบบผลึกที่อุณหภูมิ -40 ถึง 80 °C ที่แรงดันไฟเลี้ยงต่างๆ

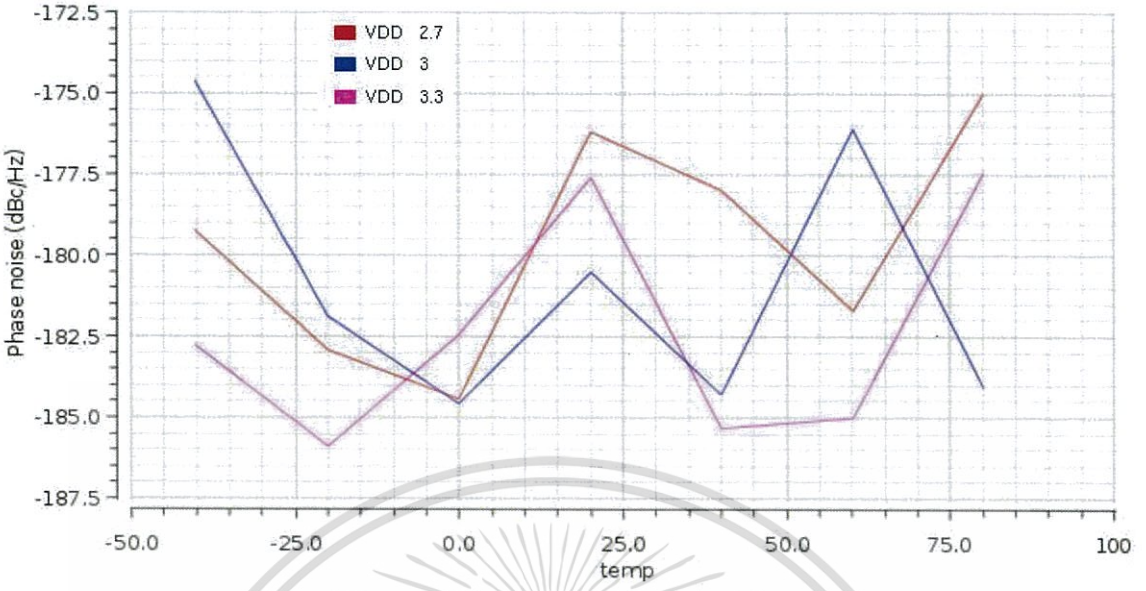
จากรูปที่ 4.29 แสดงตัวอย่างกราฟของสัญญาณรบกวนเชิงเฟส (Phase noise) ของวงจรที่ความถี่ออฟเซ็ต ในขณะที่วงจรทำงานที่แรงดันไฟเลี้ยง 3 V ที่อุณหภูมิ 27 °C ซึ่งสัญญาณรบกวนเชิงเฟสในรูป คือ อัตราส่วนระหว่างกำลังงานของสัญญาณรบกวนใน 1 Hz แบนวิธด์ที่ความถี่ออฟเซตเทียบกับกำลังงานของสัญญาณที่ความถี่กลาง



รูปที่ 4.29 สัญญาณรบกวนเชิงเฟสของวงจรออสซิเลเตอร์แบบผลึก (Crystal oscillator phase noise)

จากรูปที่ 4.30 แสดงผลสัญญาณรบกวนเชิงเฟส (Phase noise) ของวงจรออสซิเลเตอร์แบบผลึกที่แรงดันไฟเลี้ยง 2.7 – 3.3 V และอุณหภูมิ -40 ถึง 80 °C โดยพลอตที่ความถี่ออฟเซต 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.30 สัญญาณรบกวนเชิงเฟสของวงจรออสซิเลเตอร์แบบผลึกที่ความถี่ออฟเซต 1 MHz อุณหภูมิ -40 ถึง 80 °C แรงดันไฟเลี้ยง 2.7 -3.3 V

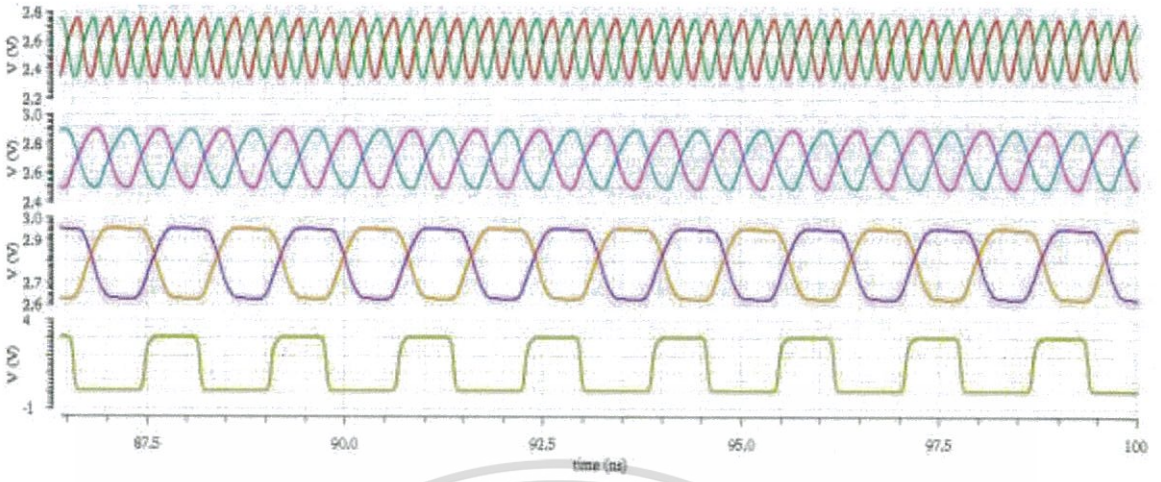
4.9 ผลการทดสอบวงจรหารความถี่ (Frequency divider)

วงจรหารความถี่ที่นำมาใช้งานจะออกแบบในลักษณะของการหารแบบจำนวนเต็ม (Integer N) โดยจะออกแบบให้สามารถโปรแกรมค่าได้ตั้งแต่ 2402 – 2480 โดยคำนวณจากความถี่อ้างอิงเพื่อให้ได้ความถี่เอาต์พุตที่ต้องการ

4.9.1 ผลการทดสอบวงจรหารสองรูปแบบ CML

ในหัวข้อนี้เป็นผลการทดลองของวงจรหารสองรูปแบบ CML ในรูปที่ 3.17 ที่ต่อกันในลักษณะการป้อนกลับแบบบวก จากผลการทดลองรูปที่ 4.31 เป็นการทดสอบวงจรหารสองที่ใช้รูปแบบ CML โดยกราฟด้านบนสุดเป็นผลจากวงจร CML ตัวแรกที่หารความถี่มากที่สุดและนำเอาต์พุตที่ได้ไปเข้า CML ตัวถัดไปเพื่อหารสองอีกสองครั้งจนได้เป็นกราฟที่สาม จากนั้นจะนำเอาต์พุตที่ได้ไปเข้าวงจร Differential to full swing เพื่อให้สัญญาณสวิงตั้งแต่ 0 – 3 V และเป็นสัญญาณรูปสี่เหลี่ยม แสดงในกราฟรูปสุดท้าย

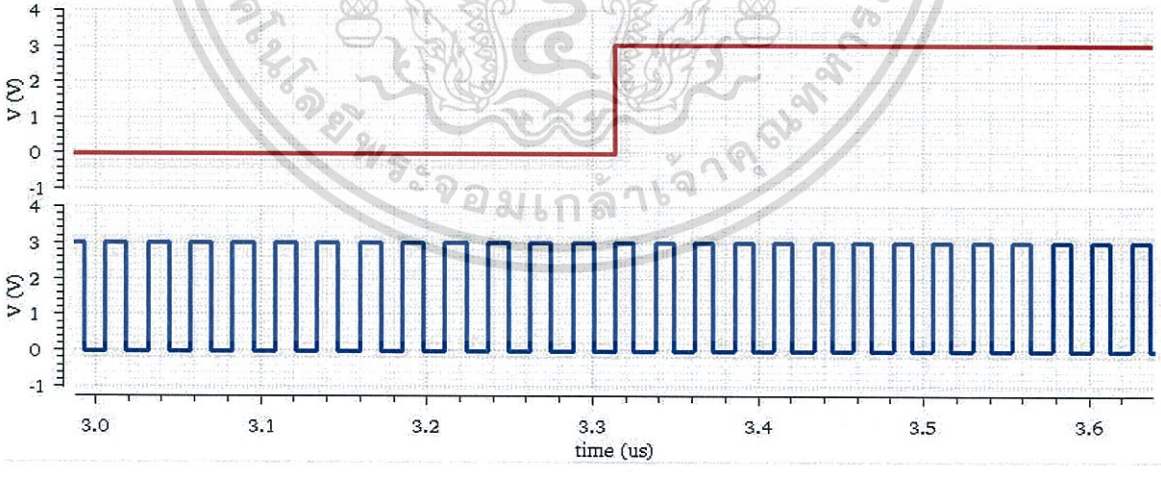
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.31 ตัวอย่างสัญญาณเอาต์พุตของวงจร CML แต่ละตัว

4.9.2 ผลการทดสอบวงจร 15/16 Dual modulus divider

ในหัวข้อนี้เป็นผลการทดลองของวงจร Dual modulus divider ในรูปที่ 3.19 จากผลการทดลองรูปที่ 4.32 เป็นผลการทดสอบวงจร 15/16 Dual modulus divider ซึ่งเป็นวงจรที่สามารถควบคุมค่าการหารได้จากสัญญาณควบคุม MC จากรูปจะเห็นว่าเมื่อสัญญาณควบคุม MC เปลี่ยนจาก Logic low เป็น Logic high ในกราฟด้านบน วงจรจะเปลี่ยนจากหาร 16 เป็นหาร 15 ทำให้ความถี่เอาต์พุตของวงจรเปลี่ยนตามกราฟรูปด้านล่าง

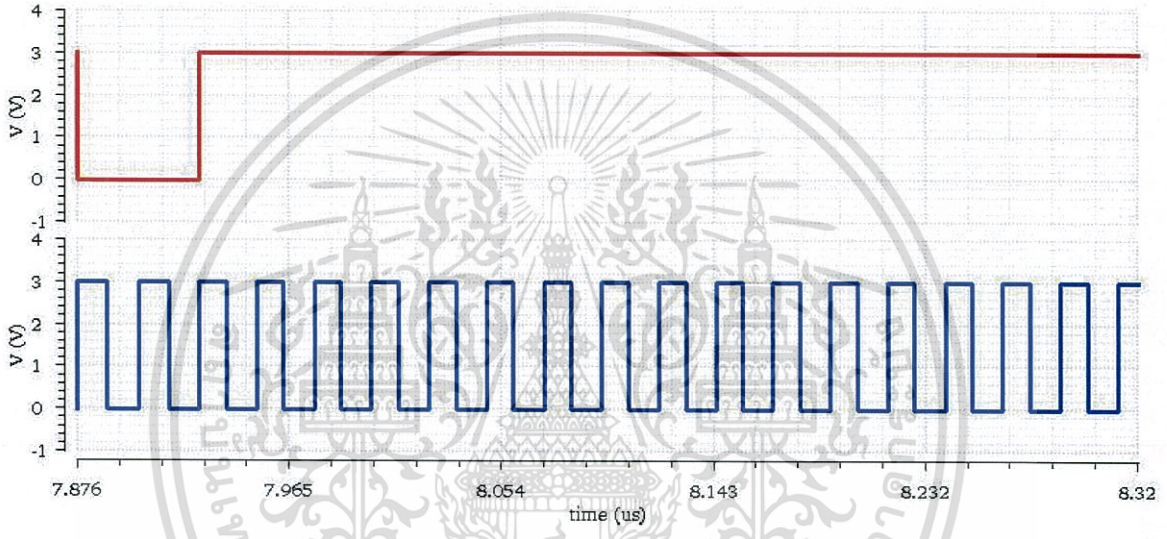


รูปที่ 4.32 ผลการทดสอบวงจร 15/16 Dual modulus divider

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9.3 ผลการทดสอบวงจร Swallow counter

จากผลการทดลองรูปที่ 4.33 เป็นผลการทดสอบวงจร Swallow counter ซึ่งเป็นวงจรที่ใช้สัญญาณ Digital ควบคุมค่าการนับ โดยเมื่อนับถึงค่าที่โปรแกรมเข้าไปวงจรจะสั่งให้สัญญาณควบคุม MC มีค่าเป็น Logic high เพื่อนำไปควบคุมวงจร 15/16 Dual modulus divider ยกตัวอย่างเช่น จากรูปที่ได้ป้อนสัญญาณ Digital ควบคุมเป็น 0000010 หรือก็คือวงจรจะสั่งให้สัญญาณควบคุม MC มีค่าเป็น Logic high เมื่อนับพัลส์สัญญาณอินพุตในกราฟด้านล่างครบตามที่ตั้งไว้ ซึ่งก็คือ 2 พัลส์ และเมื่อนับครบแล้วสัญญาณควบคุม MC จะเป็น Logic high ตามกราฟด้านบน

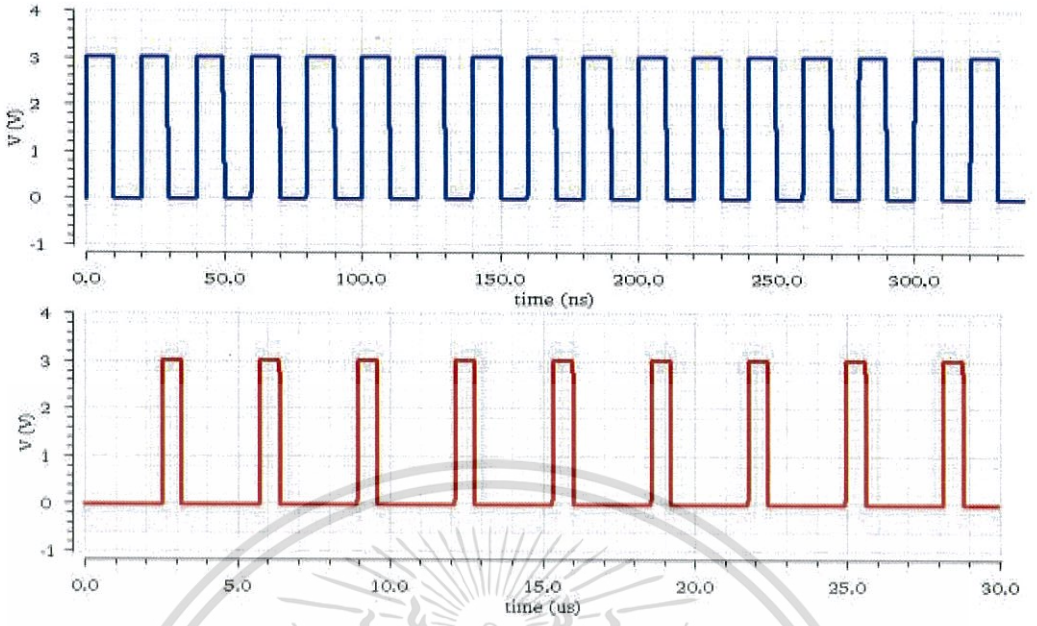


รูปที่ 4.33 ผลการทดสอบวงจร Swallow counter

4.9.4 ผลการทดสอบวงจร Program counter

จากผลการทดลองรูปที่ 4.34 เป็นผลการทดสอบวงจร Program counter ซึ่งเป็นวงจรสำหรับหารความถี่ตามค่าที่ตั้งไว้ โดยจะคงค่าที่หารนี้ไว้ตลอดเวลาไม่เปลี่ยนแปลงซึ่งวงจร Program counter ที่นำไปใช้งานได้ตั้งค่าการหารไว้ที่ 160 เพื่อให้ได้เอาต์พุตตามที่ต้องการ จากรูปกราฟด้านบนเป็นอินพุตของวงจรที่มีความถี่ 100 MHz และกราฟด้านล่างเป็นความถี่เอาต์พุตที่ถูกหารด้วยค่าของวงจรที่ตั้งไว้ คือ 160 จนเหลือความถี่เท่ากับ 625 KHz

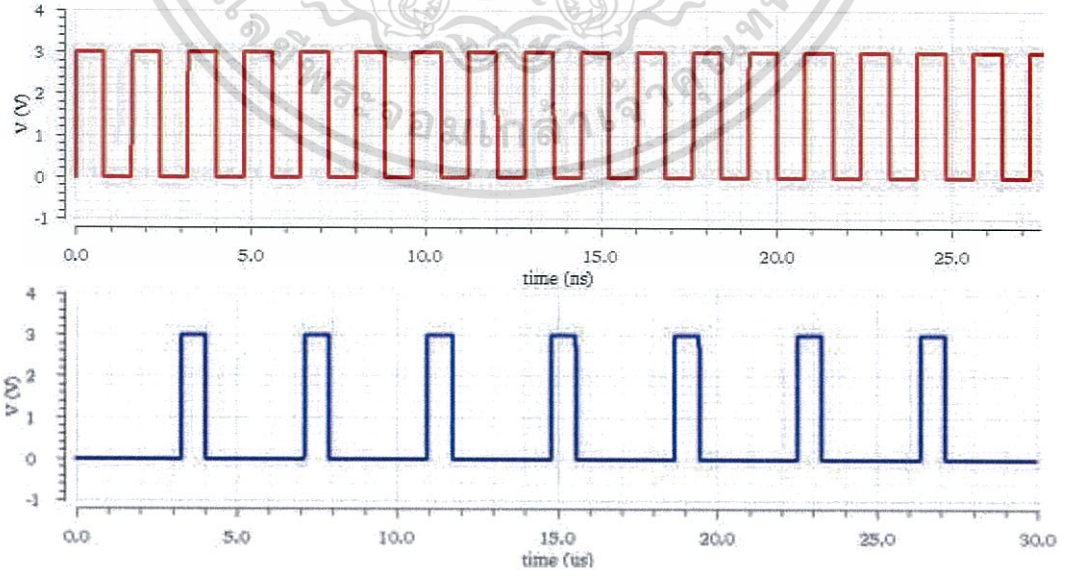
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.34 ผลการทดสอบวงจร Program counter

4.9.5 ผลการทดสอบวงจร Pulse swallow divider

จากผลการทดลองรูปที่ 4.35 เป็นผลการทดสอบวงจร Pulse swallow divider ซึ่งเป็นวงจรที่สามารถโปรแกรมค่าการหารได้ ซึ่งในรูปที่ 4.35 เป็นตัวอย่างผลของวงจรที่โปรแกรมค่าการหารไว้ที่ 2402 ด้วยดิจิตอลอินพุต 0000010 กราฟด้านบนเป็นสัญญาณอินพุตของวงจรที่มีความถี่ 625 MHz และกราฟด้านล่างเป็นสัญญาณเอาต์พุตของจรซึ่งเป็นความถี่ที่ถูกหารด้วย 2402 จนเหลือ 260.1998 KHz

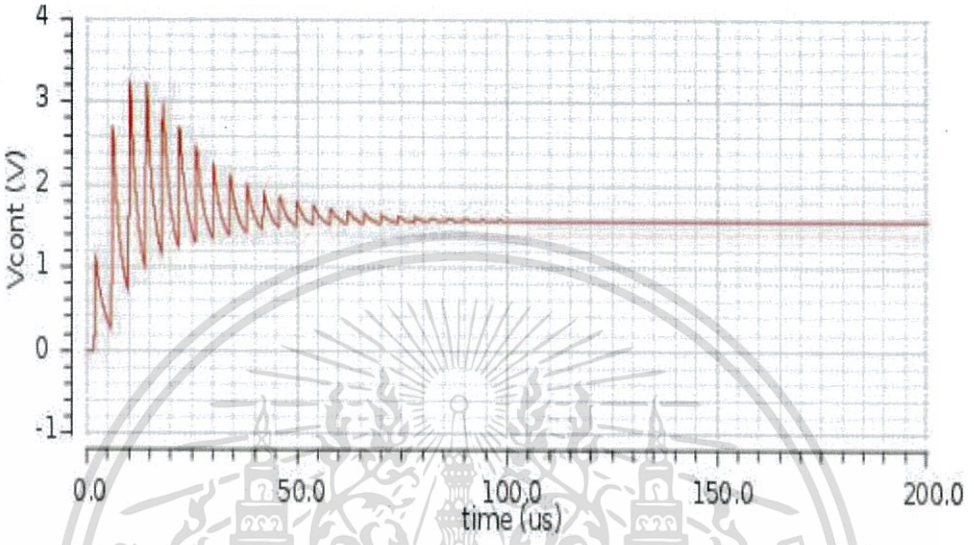


รูปที่ 4.35 ผลการทดสอบวงจร Pulse swallow divider

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.10 ผลการทดสอบวงจรสังเคราะห์ความถี่ (Frequency synthesizer)

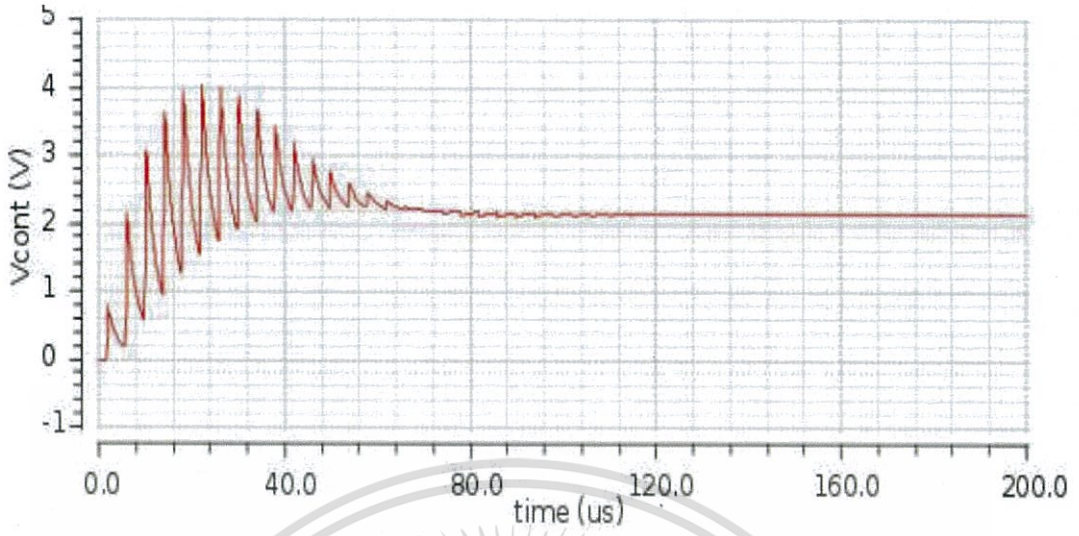
จากรูปที่ 4.36 เป็นกราฟแสดงการตอบสนองทางเวลา (Transient response) สามารถดูช่วงเวลาเข้าที่ (Settling time) ได้จากกราฟซึ่งก็คือช่วงเวลาที่ระบบเข้าสู่จุดเสถียรภาพ



รูปที่ 4.36 กราฟการตอบสนองทางเวลา (Transient response) ของวงจรสังเคราะห์ความถี่

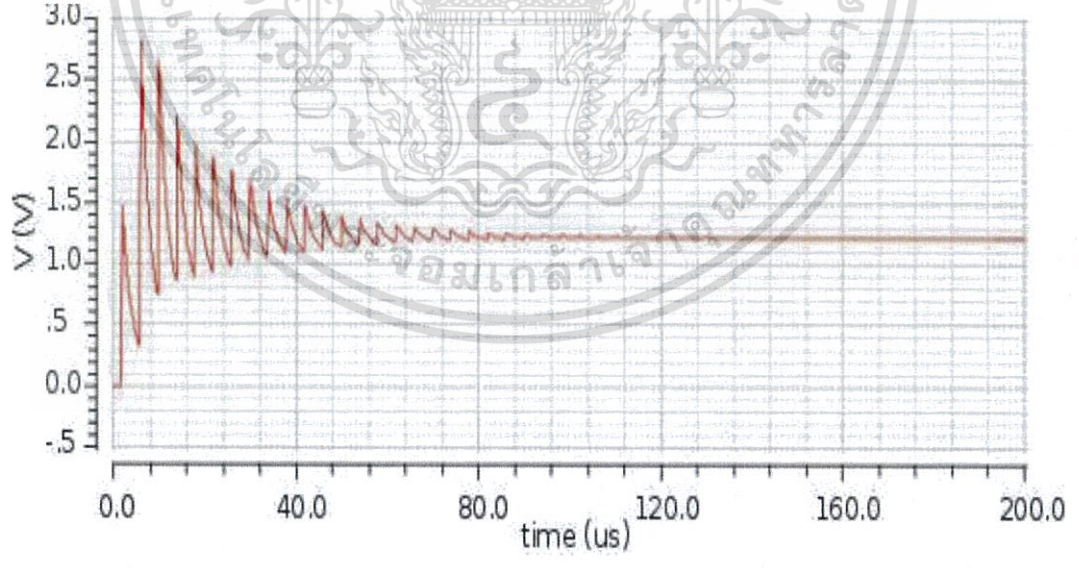
จากผลการจำลองการทำงานเมื่อแรงดันไฟเลี้ยงและอุณหภูมิเปลี่ยนแปลงไป ส่งผลกระทบต่อกระแสของวงจรอัดประจุและ K_{VCO} ของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (VCO) และเมื่อวงจรหารความถี่เปลี่ยนแปลงตัวหาร โดยค่าพารามิเตอร์เหล่านี้จะส่งผลกระทบ ต่อเสถียรภาพของระบบเฟสล็อคลูป จากสมการที่ (3.16) เมื่อวงจรหารความถี่มีตัวหาร N มีค่าสูงสุด, K_{VCO} มีค่าต่ำสุด และกระแสวงจรอัดประจุ I_{CP} ต่ำสุด จะทำให้ค่า k จากสมการที่ (3.16) มีค่าสูงสุดซึ่งส่งผลทำให้ ลูปแบนวิดต์และ Damping ratio มีค่าเพิ่มขึ้นสูงสุด ตามตารางที่ 4.11 ซึ่งจากรูปที่ 4.37 เป็นกราฟการตอบสนองทางเวลาขณะที่ ค่า K จากสมการที่ (3.16) มีค่าสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.37 กราฟการตอบสนองทางเวลา เมื่อค่า k จากสมการที่ (3.16) มีค่าสูงสุด

ในทางกลับกันเมื่อวงจรหารความถี่มีตัวหาร N มีค่าต่ำสุด, K_{VCO} มีค่าสูงสุด และกระแสวงจรอัดประจุ I_{CP} สูงสุด จะทำให้ค่า k จากสมการ มีค่าต่ำสุดซึ่งส่งผลทำให้ลูปแบนวิดต์และ Damping ratio มีค่าลดลงสูงสุด ตามตารางที่ 4.11 ซึ่งจากรูปที่ 4.38 เป็นกราฟแสดงการตอบสนองทางเวลา เมื่อค่า k จากสมการที่ (3.16) มีค่าต่ำสุด



รูปที่ 4.38 กราฟการตอบสนองทางเวลาเมื่อค่า k จากสมการที่ (3.16) มีค่าต่ำสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.11 ค่าพารามิเตอร์ของระบบจากการคำนวณเมื่ออุณหภูมิเปลี่ยนแปลง

Temperature (°C)	K_{VCO} (MHz/V)	I_{CP} (uA)	N	k	Loop Bandwidth (KHz)	Damping Ratio
-40	138	68	19840	3.86×10^9 (min)	21.62	0.77
27	180	100	19520	7.52×10^9 (design)	39.04	1.08
80	230	130	19200	12.71×10^9 (max)	52.74	1.40

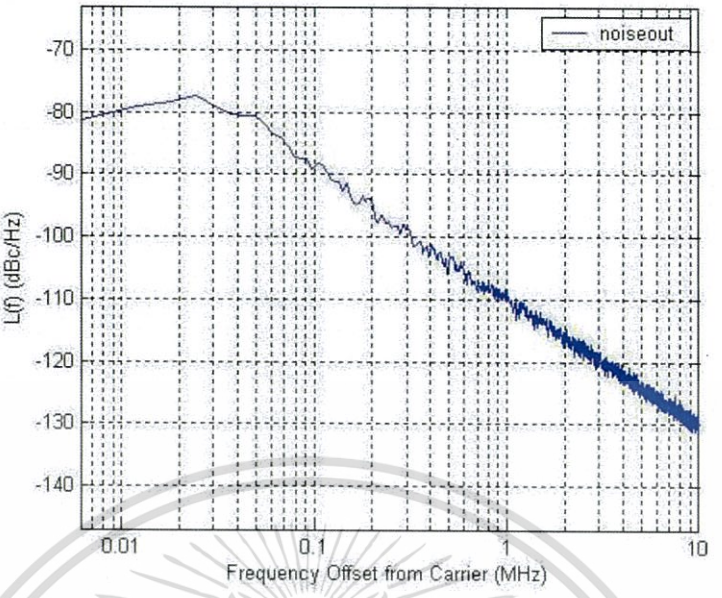
จากตารางที่ 4.11 เป็นตารางแสดงค่าพารามิเตอร์ของวงจรที่เปลี่ยนแปลงไปตามอุณหภูมิและแรงดันไฟเลี้ยงโดยจะแสดงเฉพาะอุณหภูมิที่ทำให้ค่าพารามิเตอร์เปลี่ยนแปลงมากที่สุด

จากการจำลองผลการทำงานระดับระบบ (System-level) ของวงจรสังเคราะห์ความถี่ด้วยโปรแกรม CppSim [4] โดยมีพารามิเตอร์หลักดังนี้

- สัญญาณรบกวนความร้อน (Thermal Noise) ของวงจรอัดประจุ = 20.24 fA /$\sqrt{(Hz)}$
- อัตราขยายของ Loop Filter (K_{LP}) = 8.16×10^9
- $f_p = 7.87 \times 10^4$
- $f_z = 6.67 \times 10^3$
- ความถี่ของวงจรกำเนิดความถี่ควบคุมด้วยแรงดันเท่ากับ 4.88 GHz
- สัญญาณรบกวนเชิงเฟส (Phase Noise) = -110 dBc/Hz @ 1MHz offset

จากพารามิเตอร์ที่กล่าวมาข้างต้นเมื่อนำไปพลอตกราฟด้วยโปรแกรม CppSim จะได้สัญญาณรบกวนเชิงเฟส (Phase noise) ของระบบแสดงในรูปที่ 4.39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.39 สัญญาณรบกวนเชิงเฟส (Phase noise) ของระบบ

ตารางที่ 4.12 คุณสมบัติของวงจรสังเคราะห์ความถี่

เทคโนโลยี (Process)	350 nm
แรงดันไฟเลี้ยง (Supply voltage)	3 V
ช่วงความถี่ (Frequency range)	4.804 – 4.960 GHz
ความถี่อ้างอิง (Reference frequency)	250 kHz
ลูปแบนวิธด์ (Loop bandwidth)	40 kHz
สัญญาณรบกวนเชิงเฟส (Phase noise)	-109.4 dBc/Hz @ 1MHz (VCO)
ช่วงเวลาเข้าที่ (Settling time)	86 us
ชนิดของตัวหาร (Divider type)	Integer N
การสูญเสียกำลัง (Power dissipation)	24.456 mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลองและข้อเสนอแนะ

5.1 สรุปผลการทดลอง

ในโครงงานเล่มนี้ได้เสนอวงจรขยายสัญญาณรบกวนต่ำ (Low noise amplifier : LNA) แบบวงจรขยายซอร์สร่วมคาสโคดที่ต่อตัวเหนี่ยวนำลดทอน วงจร Active down-conversion mixer แบบ Gilbert cell double-balance mixer ที่ทำงานในย่านความถี่ 2.4 GHz และค่าความถี่กลางเป็น 1 MHz และวงจรสังเคราะห์ความถี่ที่กำเนิดสัญญาณความถี่ 4.80 – 4.96 GHz เพื่อใช้การมอดูเลชั่นทางความถี่ของมิกเซอร์ โดยค่าพารามิเตอร์ที่เป็นตัวกำหนดคุณสมบัติของวงจรขยายสัญญาณรบกวนต่ำและวงจรมิกเซอร์ คือ อัตราขยาย (Gain), Noise figure และความเป็นเชิงเส้น (IIP3) ส่วนวงจรสังเคราะห์ความถี่จะมีค่าพารามิเตอร์ที่เป็นตัวกำหนดคุณสมบัติของวงจร คือ ช่วงเวลาล็อคความถี่ (Locked time) และสัญญาณรบกวนเชิงเฟส (Phase noise) ซึ่งจากค่าพารามิเตอร์ที่ได้จากผลการจำลองการทำงานอยู่ภายใต้ข้อกำหนดที่ได้ออกแบบไว้

5.2 ข้อเสนอแนะ

สำหรับการนำเสนอวงจรในโครงงานเล่มนี้เป็นเพียงการนำเสนอวงจรขยายสัญญาณรบกวนต่ำ, Active down-conversion mixer และวงจรสังเคราะห์ความถี่ (Frequency synthesizer) แบบพื้นฐานเท่านั้นเพื่อให้วงจรทำงานภายใต้ข้อกำหนดที่ต้องการ อาจจะสามารถนำเทคนิคการออกแบบวงจรต่างๆ เข้ามาใช้เพื่อเพิ่มประสิทธิภาพของวงจรได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Behzad Razavi, **"RF MICROELECTRONICS"**, Second edition, United States at Harmilton Printing Company in Castleton, New York , September 2011

[2] THOMAS H. LEE, **"The Design of CMOS Radio-Frequency Integrated Circuits"**, Second Edition, The University of Cambridge, 2004

[3] John Rogers, Calvin Plett, **"Radio frequency integrated circuit design"**, Boston , Artech House, 2003

[4] CppSim System Simulator. **PLL Design Assistant**. ค้นหาเมื่อ มกราคม 2559, จาก http://www.cppsim.com/download.html

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้