

การชดเชยกำลังไฟฟ้ารีแอกทีฟและฮาร์มอนิกส์ด้วยอินเวอร์เตอร์หลายระดับ
ชนิดฟลายอิงคาปาซิเตอร์

REACTIVE POWER AND HARMONICS COMPENSATION USING
A FLYING CAPACITOR MULTILEVEL INVERTER



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2558

KMITL-2015-EN-M-020-066

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REACTIVE POWER AND HARMONICS COMPENSATION USING
A FLYING CAPACITOR MULTILEVEL INVERTER



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2015

KMITL-2015-EN-M-020-066

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2015

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
เอกสารนี้เป็นเอกสารทรัพย์สินทางปัญญาของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การชดเชยกำลังไฟฟ้ารีแอคทีฟและฮาร์มอนิกส์ด้วยอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์
นักศึกษา	นาย ปฐมพงศ์ วิจิตร
รหัสประจำตัว	53610547
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2558
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ดร. สมภพ ผลไม้

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการชดเชยกำลังไฟฟ้ารีแอคทีฟและฮาร์มอนิกส์ด้วยอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ เพื่อให้อินเวอร์เตอร์ทำการชดเชยได้อย่างมีประสิทธิภาพระบบควบคุมกระแสย้อนกลับถูกออกแบบและนำมาใช้ อินเวอร์เตอร์ห้าระดับได้ถูกจำลองขึ้นและเทคนิค PSPWM (Phase-shifted pulse width modulation) ถูกเลือกมาใช้เพื่อแก้ปัญหาการรักษาสมดุลพลังงานที่ฟลายอิงคาปาซิเตอร์ที่เป็นปัญหาสำคัญของการเลือกใช้อินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์ ผลการจำลองการทำงานของอินเวอร์เตอร์บ่งชี้ว่าอินเวอร์เตอร์สามารถชดเชยกำลังไฟฟ้ารีแอคทีฟได้เป็นอย่างดี และสามารถลดกระแสฮาร์มอนิกส์ในระบบลงได้ เครื่องอินเวอร์เตอร์ต้นแบบประกอบด้วยวงจรสวิตช์กำลังและวงจรขับ และหน่วยประมวลผลที่ร่วมกันระหว่าง DSP และ FPGA ร่วมกับชุดเซ็นเซอร์ หน่วยประมวลผลรับค่าจากเซ็นเซอร์มาสร้างสัญญาณอ้างอิงให้กับระบบควบคุมเพื่อสร้างรูปคลื่นแรงดันของอินเวอร์เตอร์สำหรับการชดเชย แล้วจึงส่งให้ FPGA นำไปสร้างสัญญาณเกตขับนำสวิตช์กำลัง ผลการทดลองพบว่าอินเวอร์เตอร์ต้นแบบ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์สามารถชดเชยกำลังไฟฟ้าที่มีค่าตัวประกอบกำลังล่าช้า 0.8 ให้เป็นหนึ่งได้, สามารถสมดุลกระแสไหลได้และสามารถลดกระแสฮาร์มอนิกส์ในระบบลงได้สอดคล้องกับผลการจำลอง

Thesis Title	Reactive Power and Harmonics Compensation Using a Flying Capacitor Multilevel Inverter
Student	Mr. Pratompong Wijit
Student ID.	53610547
Degree	Master of Engineering
Program	Electrical Engineering
Year	2015
Thesis Advisor	Dr. Sompob Polmai

ABSTRACT

This thesis presents reactive power and harmonic compensation by using flying capacitor multilevel inverter. The closed-loop control is designed and applied for effective reactive power compensation and harmonics reduction. A five-level inverter is modeled and the phase-shifted pulse width modulation is adopted for output voltage control to maintain the energy balance of the flying capacitors. The simulation results show the compensated system current is in-phase with the system voltage and the harmonics current is well attenuated. The five-level flying capacitor inverter prototype consists of power switch with driver circuits, and the control unit consisting of digital signal processor, FPGA and sensor circuits. The digital signal processor calculates the reference currents from measured voltage and currents value and applies the reference currents to closed-loop control system to determine the desired inverter output voltage, and then sends it to FPGA for pulse-width modulation. The experimental results show that compensated system has unity power factor, balanced system current and reduce current harmonics. The experimental results agree well with the simulation results.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้คงไม่สำเร็จลุล่วงได้หากปราศจาก ดร. สมภพ ผลไม้ อาจารย์ควบคุมวิทยานิพนธ์ ผู้ให้คอยให้คำปรึกษาและชี้แนะแนวทางทั้งด้านการและการดำเนินชีวิต ข้าพเจ้าขอขอบพระคุณท่านอาจารย์เป็นอย่างยิ่งที่ดูแลเป็นอย่างดีเสมอมา

ขอกราบขอบพระคุณคณาจารย์ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกๆ ท่าน ที่ได้ประสิทธิ์ประสาทวิชาให้กับข้าพเจ้าตลอดการศึกษาในระดับปริญญาโท

ขอขอบพระคุณเพื่อนๆ พี่ๆ น้องๆ ใน ศูนย์นวัตกรรมระบบพลังงาน (Center of Excellence for Innovative Energy System : CInES) ในภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้คำแนะนำต่างๆ และคอยให้กำลังใจเสมอมา

ขอขอบพระคุณเพื่อนๆ พี่ๆ น้องๆ จากการประสานครหลวงเป็นอย่างยิ่งที่เข้าอกเข้าใจ ให้กำลังใจส่งข้าวส่งน้ำกัน ทั้งยังช่วยเหลือให้คำปรึกษาเมื่อเกิดเรื่องราวเดือดเนื้อร้อนใจ

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา และกำลังใจจากครอบครัวของข้าพเจ้า ที่ให้การสนับสนุนในทุกๆเรื่อง ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

คุณค่าและประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

ปฐมพงศ์ วิจิตร

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	11
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์.....	2
1.3 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....	3
1.4 ขอบเขตการวิจัย.....	3
1.5 ประโยชน์ที่ได้รับการวิจัย.....	3
1.6 โครงสร้างวิทยานิพนธ์.....	3
บทที่ 2 ทฤษฎีที่ใช้เป็นพื้นฐานในการวิจัย.....	5
2.1 อินเวอร์เตอร์หลายระดับ.....	5
2.2 อินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์.....	7
2.2.1 ตัวแปรที่สำคัญที่ใช้ในการวิจัย.....	7
2.2.2 โครงสร้างพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์และหลักการ ทำงานเบื้องต้น.....	7
2.2.3 ข้อดีและข้อเสียของวงจรอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์.....	13
2.3 เทคนิคพีดีบีลิวเอ็มสำหรับอินเวอร์เตอร์หลายระดับ.....	14
2.3.1 เทคนิคพีดีบีลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (Phase-shifted multi-carrier PWM scheme).....	15
2.4 ทฤษฎีและหลักการพื้นฐานของ DSTATCOM.....	17
2.5 ระบบควบคุม.....	19
บทที่ 3 การจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิงคาปาซิเตอร์ด้วยโปรแกรม PSCAD/EMTDC.....	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

3.1	บทนำ.....	25
3.2	แบบจำลองทางไฟฟ้าของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์	26
3.3	ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์	29
3.3.1	การออกแบบตัวควบคุม	30
3.3.2	ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ใน กรณีโหลดไม่สมดุล.....	33
3.3.3	ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ใน กรณีโหลดตัวต้านทานกับตัวเหนี่ยวนำ.....	35
3.3.4	ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ใน	38
3.3.5	ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์กรณี.... โหลดไม่เป็นเชิงเส้นร่วมโหลดไม่สมดุลและโหลดตัวต้านทานกับตัวเหนี่ยวนำ	41
3.3.6	ผลการจำลองการรักษาสมดุลพลังงานที่ฟลายอิงคาปาซิเตอร์ในขณะทำการชดเชย.. ของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์	44
3.4	สรุปผลการจำลอง	49
บทที่ 4	51
4.1	โครงสร้างระบบควบคุมอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์	51
4.2	การออกแบบอินเวอร์เตอร์	52
4.2.1	วงจรสวิตช์กำลัง.....	59
4.2.2	แหล่งจ่ายแรงดันไฟฟ้ากระแสตรง	53
4.2.3	วงจรขั้วนำเกท.....	54
4.3	การออกแบบส่วนตรวจวัดสัญญาณกระแสและแรงดัน	55
4.4	หน่วยประมวลผลของระบบควบคุม	57
4.4.1	ตัวประมวลผลสัญญาณดิจิทัล (Digital Signal Processing, DSP).....	57
4.4.2	FPGA.....	65
4.5	กระบวนการทำงานของระบบควบคุมอินเวอร์เตอร์	66
4.5.1	ขั้นตอนการสตาร์ทอัพ	66
4.5.2	ขั้นตอนการขับอินเวอร์เตอร์	68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
บทที่ 5.....	64
5.1 บทนำ.....	64
5.2 ผลการทดลอง.....	66
5.2.1 ผลการทดลองการชดเชยโหลดตัวต้านทาน 3 เฟสไม่สมดุล	66
5.2.2 ผลการทดลองการชดเชยโหลดตัวต้านทานกับตัวเหนี่ยวนำ	68
5.2.3 ผลการทดลองการชดเชยโหลดไม่เป็นเชิงเส้น.....	70
5.2.4 ผลการทดลองการชดเชยโหลดร่วมระหว่างโหลดไม่สมดุล โหลดตัวต้านทานกับตัว เหนี่ยวนำโหลดไม่เป็นเชิงเส้น.....	73
บทที่ 6.....	78
6.1 สรุปผล.....	78
6.2 ปัญหาและอุปสรรค.....	81
6.3 แนวทางแก้ไข	81
เอกสารอ้างอิง.....	82
ภาคผนวก ก.	83
ภาคผนวก ข.	116
ภาคผนวก ค.	119
ประวัติผู้เขียน.....	127

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้าที่
2.1 การทำงานของสวิตช์กำลังในอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิงคาปาซิเตอร์ (1 เฟส)	11
3.1 ค่าพารามิเตอร์ที่ใช้ในการจำลองการทำงาน.....	27
3.2 ค่าพารามิเตอร์ของ DSTATCOM	31
5.1 ค่าพารามิเตอร์ในการทดลองและรายละเอียดเครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์.....	65



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้าที่
1.1 โครงสร้างวงจรของอินเวอร์เตอร์หลายระดับชนิดแต่ละชนิด.....	2
2.1 แผนภาพของอินเวอร์เตอร์หลายระดับ.....	5
2.2 โครงสร้างวงจรของอินเวอร์เตอร์หลายระดับชนิดแต่ละชนิด.....	6
2.3 วงจรพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์แบบ 1 เฟส.....	9
2.4 วงจรพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์แบบ 3 เฟส.....	9
2.5 ตัวอย่างแรงดันขาออกของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์.....	10
2.6 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันขาออกเท่ากับ 3E ที่เกิดจาก 4E-1E.....	12
2.7 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันขาออกเท่ากับ 3E ที่เกิดจาก 4E-2E+1E.....	12
2.8 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันขาออกเท่ากับ 3E ที่เกิดจาก 4E-3E+2E.....	13
2.9 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันขาออกเท่ากับ 3E ที่เกิดจาก 3E.....	13
2.10 รูปแบบการสร้างสัญญาณควบคุมการสวิตช์.....	14
2.11 ตัวอย่างเทคนิคพีดับลิวเอ็มแบบเลื่อนเฟสแคเรียร์.....	15
2.12 วงจรสมมูลย์การเชื่อมต่อกับระบบของ D-STATCOM.....	17
2.13 โหมดการทำงานของ D-STATCOM.....	18
2.14 การเชื่อมต่อระหว่างอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์กับระบบไฟฟ้า.....	19
2.15 แกนอ้างอิงของ D-STATCOM และระบบไฟฟ้า.....	20
2.16 Complementary High-pass Filter ที่ใช้ในระบบ.....	22
2.17 ระบบควบคุมของ D-STATCOM.....	23
2.18 ฟังก์ชันถ่ายโอนของอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์.....	24
3.1 บล็อกไดอะแกรมการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์.....	25
3.2 บล็อกไดอะแกรมการทำงานของระบบควบคุมของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิง.....	26
3.3 แบบจำลองทางไฟฟ้าของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์.....	27
3.4 แบบจำลองที่ใช้สร้างสัญญาณ PWM ด้วยเทคนิค PSPWM.....	28
3.5 แบบจำลองของระบบควบคุมกระแสย้อนกลับ.....	29
3.6 แรงดันเฟสและแรงดันระหว่างสายของแบบจำลองอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ก่อนการเชื่อมต่อเพื่อทำการชดเชย.....	30
3.7 กราฟเส้นทางการเดินของรากเมื่อดำเนินการเปิดเท่ากับ -1000 ($K_p=14.3$; $K_i=14,300$).....	31
3.8 กราฟเส้นทางการเดินของรากเมื่อดำเนินการเปิดเท่ากับ -2000 ($K_p=30.2$; $K_i=30,200$).....	32
3.9 กราฟเส้นทางการเดินของรากเมื่อดำเนินการเปิดเท่ากับ -1000 ($K_p=46.7$; $K_i=46,700$).....	32
3.10 กระแสระบบทั้งสามเฟสในการชดเชยกรณีโหลดไม่สมดุล.....	33

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้าที่
3.11 รูปคลื่นเปรียบเทียบแรงดันระบบเฟส A กับกระแสระบบเฟส A ขยาย 100 เท่า.....	34
3.12 แรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ก่อนและหลังการชดเชย.....	34
3.13 รูปคลื่นแรงดันระบบ กระแสระบบ กระแสอินเวอร์เตอร์ กระแสอ้างอิงแกน dq กับกระแสอินเวอร์เตอร์แกน dq และสัญญาณอ้างอิงแรงดันอินเวอร์เตอร์เฟส A.....	35
3.14 แรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ก่อนและหลังการชดเชย.....	36
3.15 ผลการจำลองรูปคลื่นแรงดันระบบเปรียบเทียบกับกระแสระบบ.....	37
3.16 รูปคลื่นแรงดันระบบ กระแสระบบ กระแสอินเวอร์เตอร์ กระแสอ้างอิงแกน dqกับกระแสอินเวอร์เตอร์แกน dq และสัญญาณอ้างอิงแรงดันอินเวอร์เตอร์เฟส A.....	37
3.17 แรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ก่อนและหลังการชดเชย.....	39
3.18 ผลการจำลองรูปคลื่นแรงดันระบบเฟส A กับกระแสระบบเฟส A.....	39
3.19 รูปคลื่นกระแสระบบเฟส A,B,C ก่อนและหลังการชดเชย.....	40
3.20 รูปคลื่นแรงดันระบบ กระแสระบบ กระแสอินเวอร์เตอร์ กระแสอ้างอิงแกน dqกับกระแสอินเวอร์เตอร์แกน dq และสัญญาณอ้างอิงแรงดันอินเวอร์เตอร์เฟส A.....	40
3.21 สเปกตรัมของฮาร์มอนิกสของกระแสระบบก่อนและหลังการชดเชย.....	41
3.22 แรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ก่อนและหลังการชดเชย.....	42
3.23 ผลการจำลองรูปคลื่นแรงดันระบบเฟส A กับกระแสระบบเฟส A.....	42
3.24 รูปคลื่นกระแสระบบเฟส A,B,C ก่อนและหลังการชดเชย.....	43
3.25 รูปคลื่นแรงดันระบบ กระแสระบบ กระแสอินเวอร์เตอร์ กระแสอ้างอิงแกน dqกับกระแสอินเวอร์เตอร์แกน dqและสัญญาณอ้างอิงแรงดันอินเวอร์เตอร์เฟส A.....	43
3.26 สเปกตรัมของฮาร์มอนิกสของกระแสระบบก่อนและหลังการชดเชย.....	44
3.27 กระแสของฟลายอิงคาปาซิเตอร์ในสภาวะทำงานปกติ.....	45
3.28 แรงดันของฟลายอิงคาปาซิเตอร์ในสภาวะทำงานปกติ.....	45
3.29 กระแสของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหดไม่สมดุล.....	46
3.30 แรงดันของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหดไม่สมดุล.....	46
3.31 กระแสของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหดตัวต้านทานกับตัวเหนี่ยวนำ.....	47
3.32 แรงดันของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหดตัวต้านทานกับตัวเหนี่ยวนำ.....	47
3.33 กระแสของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหดไม่เป็นเชิงเส้น.....	48
3.34 แรงดันของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหดไม่เป็นเชิงเส้น.....	48
3.35 กระแสของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหดรวมทั้ง 3 แบบในเวลาเดียวกัน.....	49
3.36 แรงดันของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหดรวมทั้ง 3 แบบในเวลาเดียวกัน.....	49

สารบัญรูป(ต่อ)

รูปที่	หน้าที่
4.1 โครงสร้างเครื่องต้นแบบของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์	51
4.2 โครงสร้างของอินเวอร์เตอร์ 5 ระดับชนิดอิงคาปาซิเตอร์แบบ 3 เฟส	52
4.3 วงจรสวิตช์กำลังของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ 3 เฟส	53
4.4 แหล่งจ่ายแรงดันไฟฟ้ากระแสตรง ยี่ห้อ KIKUSUI.....	53
4.5 วงจรขับนำเกต.....	54
4.6 ชิ้นงานวงจรขับนำเกต	54
4.7 วงจรยกระดับและปรับขนาดสัญญาณก่อนเข้า DSP	55
4.8 เซนเซอร์ตรวจจับสัญญาณกระแส ACS712ELCTR-30A-T.....	56
4.9 ชิ้นงานวงจรยกระดับและปรับขนาด กับเซนเซอร์ตรวจจับสัญญาณแรงดันและกระแส.....	56
4.10 ไมโครคอนโทรลเลอร์ DSP F28335 Delfino	57
4.11 Altera ACEX series EP1K30TC144-3.....	58
4.12 สถานะสวิตช์ในขั้นตอนการสตาร์ทอัพของอินเวอร์เตอร์	59
4.13 วงจรอินเวอร์เตอร์แบบ 1 กิ่งพร้อมชุดเซ็นเซอร์ตรวจจับแรงดันเพื่อการสตาร์ทอัพ.....	60
4.14 ตัวอย่างสัญญาณแรงดันที่ฟลายอิงคาปาซิเตอร์ในขั้นตอนการสตาร์ทอัพ	60
4.15 โพลตชาร์ตการทำงานของ DSP	61
4.16 บล็อกไดอะแกรมวงจรมอดูเลตใน 1 กิ่งด้วยเทคนิค PSPWM บน FPGA.....	62
4.17 สัญญาณเกตของสวิตช์ชุดบนด้วยเทคนิค PSPWM ที่ค่ามอดูเลชันอินดิคเตอร์เท่ากับ 0.8.....	63
5.1 บล็อกไดอะแกรมการเชื่อมต่อระหว่างระบบไฟฟ้า โหลดและอินเวอร์เตอร์ต้นแบบ.....	64
5.2 รูปคลื่นของกระแสระบบกรณีโหลดตัวต้านทานไม่สมดุล ก่อนและหลังเครื่องอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์เชื่อมต่อ(Time per div = 5ms/div).....	66
5.3 รูปคลื่นของกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ ระหว่างที่เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ทำการชดเชย	67
5.4 รูปคลื่นของกระแสระบบกรณีโหลดตัวต้านทานไม่สมดุล ก่อนและหลังเครื่องอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์เชื่อมต่อ(Time per div = 5ms/div).....	68
5.5 รูปคลื่นของกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ ระหว่างที่เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ทำการชดเชย	69
5.6 รูปคลื่นของกระแสระบบกรณีโหลดตัวต้านทานไม่สมดุล ก่อนและหลังเครื่องอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์เชื่อมต่อ(Time per div = 5ms/div).....	70
5.7 รูปคลื่นของกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ ระหว่างที่เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ทำการชดเชย	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้าที่
5.8 สเปกตรัมของกระแสระบบก่อนและหลังการชดเชย.....	72
5.9 รูปคลื่นของกระแสระบบก่อนและหลังการชดเชยของเครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิด ฟลายอิงคาปาซิเตอร์	74
5.10 รูปคลื่นกระแสระบบก่อนและหลังเครื่องอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ เชื่อมต่อเข้าทำการชดเชย.....	75
5.11 รูปคลื่นของกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ ระหว่างที่เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ทำการชดเชย	76
5.12 สเปกตรัมของกระแสระบบก่อนและหลังการชดเชย	76
6.1 ผลการจำลองกระแสอ้างอิงกับกระแสป้อนกลับที่มีเฟสต่างเกิดขึ้น	79
6.2 กระแสอ้างอิงกับกระแสป้อนกลับจากการทดลอง.....	79
6.3 ผลการจำลองกระแสเฟส A, B, C เมื่อกระแสอ้างอิงและกระแสป้อนกลับมีเฟสต่าง	80
6.4 กระแสเฟส A, B, C ของการทดลองกรณีชดเชยโหลไม่เป็นเชิงเส้น.....	80
6.5 สเปกตรัมของผลการจำลองกระแสระบบก่อนและหลังการชดเชยเมื่อมีเฟสดีเลย์	80
6.6 สเปกตรัมของผลการทดลองกระแสระบบก่อนและหลังการชดเชย.....	81



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา[1-2]

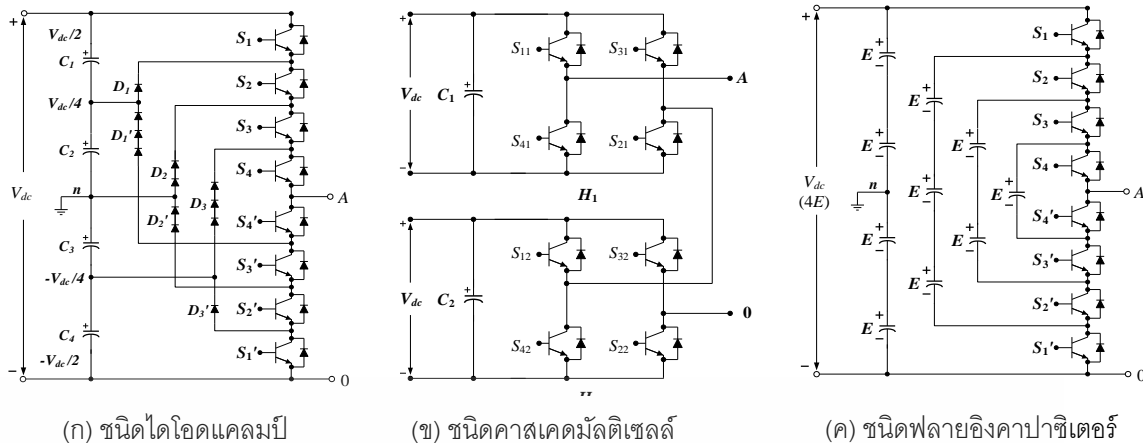
การเจริญเติบโตอย่างรวดเร็วของโหลดไฟฟ้าแบบไม่เป็นเชิงเส้นอย่างไซโคลนอินเวอร์เตอร์ ไอโอดคอนเวอร์เตอร์และอุปกรณ์อิเล็กทรอนิกส์ตามบ้านเรือนนั้น ก่อให้เกิดผลลัพธ์อันไม่พึงประสงค์ ตามมาหลายประการแก่ระบบไฟฟ้าในผลลัพธ์ทั้งหลายที่เกิดขึ้นตามมานั้น ฮาร์มอนิกส์การเพิ่มขึ้นของกำลังไฟฟ้ารีแอกทีฟและแรงดันไฟฟ้ากระเพื่อมถูกจัดว่ามีความสำคัญเป็นอย่างยิ่ง ที่เป็นเช่นนั้นก็เพราะว่าฮาร์มอนิกส์เป็นสาเหตุการเกิดร้อนเกินไปของหม้อแปลงและมอเตอร์ความสูญเสียในระบบสายส่งที่เพิ่มขึ้น ทั้งยังรบกวนระบบสื่อสารและทำให้เครื่องมือที่อ่อนไหวต่อการรบกวนทำงานผิดพลาดได้ ในขณะที่กำลังไฟฟ้ารีแอกทีฟที่เกิดขึ้นส่งผลให้ระบบมีค่าองค์ประกอบกำลังไฟฟ้าไม่เป็นหนึ่งและเป็นภาระเพิ่มให้กับระบบไฟฟ้า

อินเวอร์เตอร์หลายระดับได้รับความสนใจและมีการนำไปประยุกต์ใช้กันอย่างแพร่หลายกับระบบไฟฟ้ากำลังสูงที่เชื่อมต่อกับแรงดันไฟฟ้าระดับปานกลาง สาเหตุที่เป็นเช่นนั้นก็เพราะคุณสมบัติอันน่าดึงดูดเช่น การสูญเสียในการสวิตซ์ซึ่งที่น้อยกว่า รูปคลื่นแรงดันขาออกที่มีความคล้ายคลึงกับสัญญาณไซน์มากกว่าและประสิทธิภาพของอินเวอร์เตอร์หลายระดับที่ดีกว่าอินเวอร์เตอร์สองระดับแบบดั้งเดิม ดังนั้นอินเวอร์เตอร์หลายระดับจึงได้ถูกนำมาทดแทนอินเวอร์เตอร์ 2 ระดับแบบเดิมในการนำไปประยุกต์ใช้ในอุปกรณ์ที่มีอินเวอร์เตอร์เป็นส่วนประกอบ เช่น วงจรขับเคลื่อนมอเตอร์ไฟฟ้า วงจรอุปกรณ์ปรับปรุงคุณภาพไฟฟ้าอย่างวงจรกรองแอกทีฟกำลัง DSTATCOM เป็นต้น

อินเวอร์เตอร์หลายระดับที่ได้รับการวิจัยและศึกษากันมากมีอยู่ 3 ชนิด ดังแสดงในรูปที่ 1.1 คือ อินเวอร์เตอร์ชนิดไดโอดแคลคมป์ ชนิดคาสเคดมัลติเซลล์และชนิดฟลายอิงคาปาซิเตอร์

อินเวอร์เตอร์แต่ละชนิดต่างมีข้อเด่น-ด้อยต่างกันไปตามรูปแบบของวงจร[1-2] คือ

1. อินเวอร์เตอร์หลายระดับชนิดไดโอดแคลคมป์มีคอมมอนดีซีลิงค์แต่ไม่สามารถเลือกรูปแบบการสวิตซ์ได้และการรักษาพลังงานที่ตัวเก็บประจุทำได้ยาก
2. อินเวอร์เตอร์หลายระดับชนิดคาสเคดมัลติเซลล์ เลือกรูปแบบการสวิตซ์ได้แต่ต้องมีหลายแหล่งจ่ายและมีตัวเก็บประจุอิสระแยกในแต่ละเซลล์จึงสิ้นเปลืองแหล่งจ่ายอิสระ
3. อินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์มีคอมมอนดีซีลิงค์และสามารถเลือกรูปแบบการสวิตซ์ได้แต่ต้องสิ้นเปลืองตัวเก็บประจุและขนาดของตัวเก็บประจุมีขนาดใหญ่



รูปที่ 1.1 โครงสร้างวงจรของอินเวอร์เตอร์หลายระดับชนิดแต่ละชนิด

เมื่อพิจารณาในแง่ของการนำไปใช้งานแล้ว อินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์มีข้อเปรียบในเรื่องของคอมมอนดีซีลิงค์ ก็คือต้องการแหล่งจ่ายไฟฟ้ากระแสตรงเพียงแหล่งเดียวและสามารถรักษาพลังงานที่ตัวเก็บประจุได้โดยไม่ต้องใช้อุปกรณ์เพิ่มเติม

อินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์จึงถูกประยุกต์ใช้เป็น DSTATCOM เพื่อทำการชดเชยให้ระบบไฟฟ้า โดยเลือกใช้ Phase-Shifted Pulse Width Modulation (PSPWM) ในการควบคุมแรงดันขาออกของอินเวอร์เตอร์เพื่อแก้ปัญหาการสมดุลพลังงานที่ตัวเก็บประจุ อินเวอร์เตอร์จะถูกควบคุมด้วยระบบควบคุมป้อนกลับที่ออกแบบมาบังคับให้อินเวอร์เตอร์จ่ายชดเชยเฉพาะกระแสรีแอกทีฟและกระแสฮาร์มอนิกส์ที่เกิดจากโหลดไม่เป็นเชิงเส้นและโหลดที่ประกอบด้วยตัวต้านทานและตัวเหนี่ยวนำ เพื่อกำจัดฮาร์มอนิกส์ในระบบไฟฟ้าและปรับตัวประกอบกำลังไฟฟ้าให้มีค่าเป็นหนึ่ง

1.2 ความมุ่งหมายและวัตถุประสงค์

วิทยานิพนธ์นี้มุ่งหวังเพื่อศึกษาและสร้างอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์นำมาประยุกต์ใช้เชื่อมต่อนานกับระบบไฟฟ้าเพื่อปรับปรุงค่าองค์ประกอบกำลังไฟฟ้าให้เป็นหนึ่งและกำจัดฮาร์มอนิกส์ในระบบไฟฟ้า โดยอินเวอร์เตอร์จะถูกบังคับด้วยระบบควบคุมป้อนกลับที่ออกแบบมาเพื่อบังคับให้อินเวอร์เตอร์ฉีดกระแสรีแอกทีฟและกระแสฮาร์มอนิกส์เข้าสู่ระบบเพื่อทำการชดเชย

1.3 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

วิทยานิพนธ์นี้เป็นการศึกษานำอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ 5 ระดับมาประยุกต์ใช้เป็น DSTATCOM ที่ถูกควบคุมด้วยระบบป้อนกลับให้ชดเชยกำลังไฟฟ้ารีแอกทีฟและฮาร์มอนิกส์ที่เกิดจากโหลดไม่เป็นเชิงเส้นและโหลดตัวต้านทานกับตัวเหนี่ยวนำในระบบไฟฟ้าเพื่อกำจัดฮาร์มอนิกส์และปรับองค์ประกอบกำลังไฟฟ้าให้มีค่าเป็นหนึ่ง

1.4 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอการชดเชยกำลังไฟฟ้ารีแอกทีฟและฮาร์มอนิกส์ด้วยอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ซึ่งมีขอบเขตดังนี้

1. สร้างแบบจำลองของอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ เพื่อใช้ศึกษาการทำงานของระบบ โดยใช้โปรแกรม PSCAD/EMTDC
2. ออกแบบและจำลองระบบควบคุมป้อนกลับ เพื่อควบคุมการชดเชยของอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ โดยใช้โปรแกรม PSCAD/EMTDC
3. ออกแบบและสร้างอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์
4. ประยุกต์ระบบควบคุมป้อนกลับมาเป็นโปรแกรมควบคุมการทำงานของอินเวอร์เตอร์ โดยใช้ตัวประมวลผลสัญญาณดิจิทัล (DSP) เบอร์ TMS320F28335 และ FPGA รุ่น AP1K50TC144-3
5. ทดสอบการกำจัดฮาร์มอนิกส์และชดเชยกำลังไฟฟ้ารีแอกทีฟของเครื่องต้นแบบ

1.5 ประโยชน์ที่ได้รับการวิจัย

1. งานวิจัยนี้ทำให้เกิดความรู้ความเข้าใจเกี่ยวกับหลักการทำงานของอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ในการชดเชยกำลังไฟฟ้ารีแอกทีฟและฮาร์มอนิกส์
2. ความรู้เกี่ยวกับคุณภาพไฟฟ้า, การชดเชยกำลังไฟฟ้ารีแอกทีฟและฮาร์มอนิกส์
3. ความรู้เกี่ยวกับระบบควบคุมป้อนกลับและการออกแบบระบบควบคุม
4. ข้อมูลและความรู้ที่ได้จากงานวิจัยชิ้นนี้สามารถนำไปเป็นข้อมูลพื้นฐานให้แก่ผู้วิจัยอื่นๆ และสามารถนำไปต่อยอดพัฒนาเป็นองค์ความรู้ใหม่ได้

1.6 โครงสร้างวิทยานิพนธ์

วิทยานิพนธ์นี้ประกอบไปด้วยเนื้อหาภายในวิทยานิพนธ์ ทั้งหมด 6 บท แต่ละบทจะ

ประกอบไปด้วยเนื้อหา ดังนี้
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1 บทนำ กล่าวถึงความเป็นมาของงานวิจัย, ความมุ่งหมายและวัตถุประสงค์ สมมุติฐานและทฤษฎีที่ใช้, ขอบเขตของการวิจัยและประโยชน์ที่ได้จากการวิจัย

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง กล่าวถึงโครงสร้างและหลักการทำงานของอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ เทคนิคการมอดูเลตแบบเลื่อนเฟส โครงสร้างและหลักการทำงานของ DSTATCOM และการออกแบบระบบควบคุมแบบกระแสย้อนกลับ

บทที่ 3 การออกแบบทางซอร์ฟแวร์และส่วนฮาร์ดแวร์ เช่น แผนผังการทำงานของระบบขับอินเวอร์เตอร์ แผนผังการทำงานของระบบควบคุมย้อนกลับ วงจรตรวจจับแรงดัน วงจรตรวจจับกระแส เป็นต้น

บทที่ 4 กล่าวถึงแบบจำลองของอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์และการทำงานของอินเวอร์เตอร์ของอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ด้วยระบบควบคุมย้อนกลับ

บทที่ 5 กล่าวถึงขั้นตอนการทดลองอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ และผลการทดลองการชดเชยแรงดันไฟฟ้าไม่สมดุล กำลังไฟฟ้รีแอกทีฟและฮาร์มอนิกส์ด้วยอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

บทที่ 6 กล่าวถึงบทสรุปที่ได้จากการศึกษาค้นคว้าวิจัย สรุปผลการทดลองที่ได้ตลอดจนข้อเสนอแนะ และแนวทางการพัฒนาที่เกี่ยวข้องกับงานวิจัยนี้

ภาคผนวก ก. โปรแกรมบน DSP ใน Code Composer Studio ที่ใช้ในการควบคุมการทำงานของอินเวอร์เตอร์

ภาคผนวก ข. เครื่องมือวัดที่ใช้ในการทดลอง

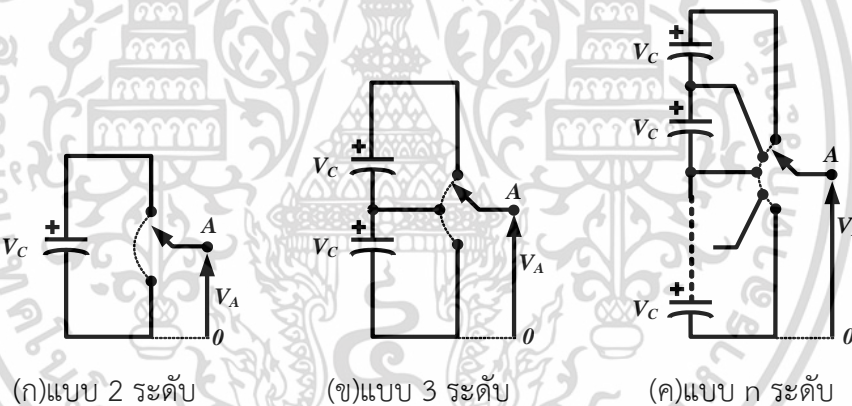
ภาคผนวก ค. ผลงานการวิจัยที่ได้รับการตีพิมพ์ ประวัติผู้เขียน

บทที่ 2

ทฤษฎีที่ใช้เป็นพื้นฐานในการวิจัย

2.1 อินเวอร์เตอร์หลายระดับ[1-2]

อินเวอร์เตอร์หลายระดับอาศัยหลักการต่ออนุกรมกันของอุปกรณ์สวิตช์กำลัง สำหรับใช้ในการแบ่งแรงดัน และเพิ่มจำนวนระดับของแรงดันด้านขาออกของอินเวอร์เตอร์ให้มากกว่า 2 ระดับ ทำให้อินเวอร์เตอร์มีความสามารถทำงานที่ระดับแรงดันได้สูงกว่า และมีรูปคลื่นแรงดันขาออกที่มีลักษณะใกล้เคียงสัญญาณไซน์มากกว่าอินเวอร์เตอร์ 2 ระดับแบบดั้งเดิม



รูปที่ 2.1 แผนภาพของอินเวอร์เตอร์หลายระดับ

จากรูปที่ 2.1 แสดงให้เห็นถึงโครงสร้างของอินเวอร์เตอร์หลายระดับ อินเวอร์เตอร์ 2 ระดับในรูป 2.1(ก) สามารถสร้างแรงดันขาออกได้ 2 ระดับเมื่อเทียบแรงดันกับจุดอ้างอิงหรือขาลบของตัวเก็บประจุ ส่วนอินเวอร์เตอร์ 3 ระดับในรูป 2.1(ข) สามารถสร้างระดับแรงดันออกมาได้ 3 ระดับ ดังนั้นเช่นเดียวกันอินเวอร์เตอร์ n ระดับ สามารถสร้างระดับแรงดันขาออกมาได้ n ระดับเช่นกัน

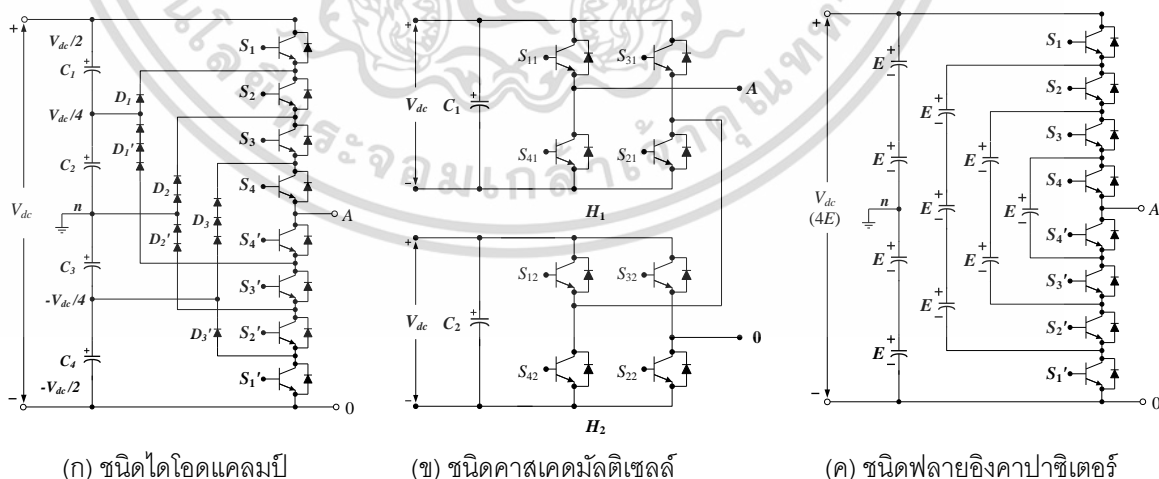
จำนวนระดับของอินเวอร์เตอร์ส่งผลให้รูปคลื่นสัญญาณแรงดันขาออกของอินเวอร์เตอร์ใกล้เคียงไซน์มากขึ้น และเปอร์เซ็นต์ฮาร์มอนิกส์ของแรงดันขาออกอินเวอร์เตอร์ลดลง แต่อย่างไรก็

ตามจำนวนระดับที่มากขึ้นของอินเวอร์เตอร์ก็ทำให้การควบคุมการทำงานของอินเวอร์เตอร์ยุ่งยากขึ้น เป็นเงาตามตัวด้วย

อินเวอร์เตอร์หลายระดับที่ได้รับการวิจัยและศึกษากันมากมีอยู่ 3 ชนิด คือ อินเวอร์เตอร์ชนิดไดโอดแคลมป์(Diode-clamped Inverter) อินเวอร์เตอร์ชนิดคาสเคดมีลติเซลล์(Cascaded Multi-cell Inverter)และอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์(Flying Capacitor Inverter) อินเวอร์เตอร์มีส่วนประกอบหลักคือ สวิตช์กำลังจำนวนมากและตัวเก็บประจุจำนวนมาก หรือแหล่งจ่ายอิสระจำนวนมาก แรงดันขาออกของอินเวอร์เตอร์หลายระดับมีลักษณะเป็นขั้นบันได อันเกิดจากผลรวมของค่าแรงดันที่ตัวเก็บประจุหรือแหล่งจ่ายอิสระ

อินเวอร์เตอร์แต่ละชนิดต่างมีข้อจำกัด ข้อเด่น-ด้อยต่างกันไปตามรูปแบบของวงจร คือ

1. อินเวอร์เตอร์หลายระดับชนิดไดโอดแคลมป์ ข้อดีคือ มีคอมมอนดีซีลิงค์ แต่มีข้อเสียคือ ไม่สามารถเลือกรูปแบบการสวิตช์ได้และการรักษาพลังงานที่ตัวเก็บประจุทำได้ยาก
2. อินเวอร์เตอร์หลายระดับชนิดคาสเคดมีลติเซลล์ ข้อดีคือ เลือกรูปแบบการสวิตช์ได้แต่มีข้อเสียคือ ไม่มีคอมมอนดีซีลิงค์และต้องมีตัวเก็บประจุอิสระแยกในแต่ละเซลล์ ทำให้สิ้นเปลืองแหล่งจ่ายอิสระและตัวเก็บประจุจำนวนมาก
3. อินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ ข้อดีคือมีคอมมอนดีซีลิงค์หรือก็คือให้แหล่งจ่ายกระแสตรงเพียงแหล่งเดียว และสามารถเลือกรูปแบบการสวิตช์ได้ ทำให้สามารถรักษาพลังงานที่ตัวเก็บประจุได้ แต่มีข้อเสียต้องใช้ตัวเก็บประจุจำนวนมาก



รูปที่ 2.2 โครงสร้างวงจรของอินเวอร์เตอร์หลายระดับชนิดแต่ละชนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์มีได้ข้อเปรียบในเรื่องของคอมมอนดีซีลิงค์ คือ ต้องการแหล่งจ่ายไฟฟ้ากระแสตรงเพียงแหล่งเดียวและรักษาลังงานที่ตัวเก็บประจุได้โดยไม่ต้องใช้อุปกรณ์เพิ่มเติม ในงานวิจัยนี้จึงเลือกอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์จึงมาประยุกต์ใช้เป็นอุปกรณ์ชดเชยกำลังไฟฟารีแอกทีฟและฮาร์มอนิกสกีให้กับระบบไฟฟ้า

2.2 อินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์[1-2]

2.2.1 ตัวแปรที่สำคัญที่ใช้ในการวิจัย

m	คือ จำนวนระดับของแรงดันเมื่อเทียบกับขั้วลบของดีซีลิงค์ (Voltage level)
SW	คือ จำนวนสวิตช์กำลัง
C	คือ จำนวนตัวเก็บประจุแบบฟลายอิง
k	คือ จำนวนระดับของแรงดันระหว่างสาย
p	คือ จำนวนระดับของแรงดันเฟสของภาระไฟฟ้า 3 เฟส
f_m	คือ ความถี่มูลฐาน
f_{cr}	คือ ความถี่แคเรียร์
$f_{sw,dev}$	คือ ความถี่ของการทำงานของอุปกรณ์สวิตซ์ซึ่ง
$f_{sw,inv}$	คือ ความถี่การสวิตซ์ของอินเวอร์เตอร์
m_f	คือ อัตราส่วนระหว่าง f_{cr}/f_m
m_a	คือ อัตราการมีอคติระหว่างสัญญาณมูลฐานและสัญญาณแคเรียร์
v_{cr}	คือ แรงดันสัญญาณแคเรียร์ หรือแรงดันสัญญาณแคเรียร์
v_m	คือ แรงดันสัญญาณมูลฐาน หรือแรงดันสัญญาณไซน์
\hat{V}_{cr}	คือ แอมพลิจูดแรงดันของสัญญาณแคเรียร์
\hat{V}_m	คือ แรงดันแอมพลิจูดของสัญญาณมูลฐาน หรือแรงดันแอมพลิจูดของสัญญาณไซน์

2.2.2 โครงสร้างพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์และหลักการทำงานเบื้องต้น[4]

อินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ หรืออาจเรียกได้อีกอย่างว่าอินเวอร์เตอร์หลายระดับชนิดคาปาซิเตอร์แคลมป์(Capacitor-Clamped Inverter) มีลักษณะโครงสร้างของอินเวอร์เตอร์ที่มีคาปาซิเตอร์คร่อมคู่สวิตช์กำลังอยู่เป็นลำดับชั้นส่วนประกอบของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์คือ คาปาซิเตอร์และสวิตช์กำลัง คาปาซิเตอร์ที่
 ชั้นระดับแรงดันสูงสุดและอยู่นอกสุดเรียกว่า คอมมอนดีซีลิงค์ เพราะว่าเป็นระดับชั้นที่สะสมพลังงาน
 และใช้ร่วมกัน ส่วนคาปาซิเตอร์ในระดับชั้นอื่นๆ ถูกเรียกว่าฟลายอิงคาปาซิเตอร์ กำหนดแรงดันที่
 ตกคร่อมคาปาซิเตอร์แต่ละตัวนั้นจะมีค่าเท่ากันคือ $1E$

งานวิจัยนี้ใช้อินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ที่มีโครงสร้างแบบ 1 เฟส
 ดังรูปที่ 2.3 และแบบ 3 เฟส แสดงดังรูปที่ 2.4

เมื่อทำการพิจารณาองค์ประกอบของวงจร 1 เฟสดังแสดงในรูปที่ 2.3

$$SW = (m-1) \times 2 \quad (2.1)$$

$$C = \frac{(m-1) \times (m-2)}{2} \quad (2.2)$$

$$m = \frac{SW}{2} + 1 \quad (2.3)$$

เมื่อทำการพิจารณาองค์ประกอบของวงจรในแบบ 3 เฟสดังแสดงในรูปที่ 2.4

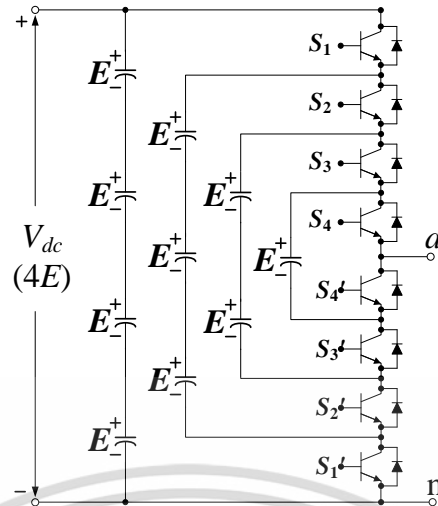
$$SW = ((m-1) \times 2) \times 3 \quad (2.4)$$

$$C = \left(\frac{(m-1) \times (m-2)}{2} \right) \times 3 \quad (2.5)$$

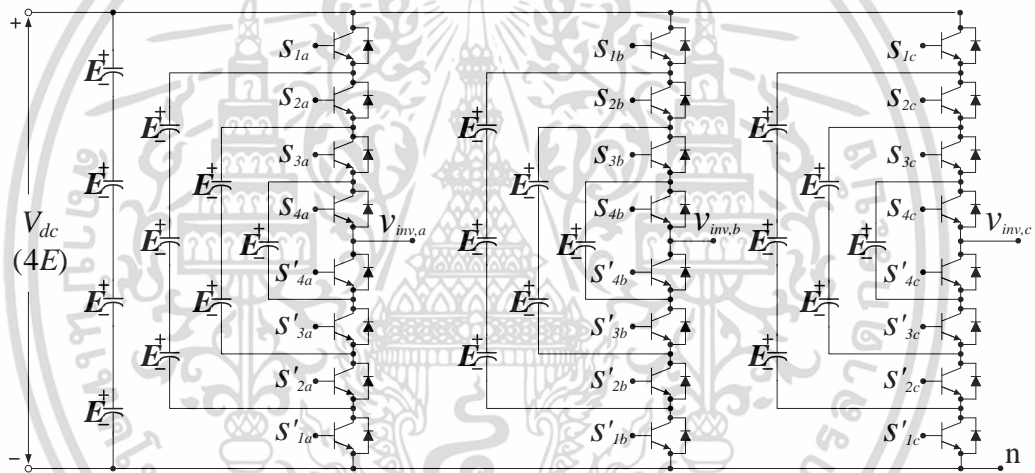
$$k = 2m - 1 \quad (2.6)$$

$$p = 2k - 1 \quad (2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 วงจรพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์แบบ 1 เฟส

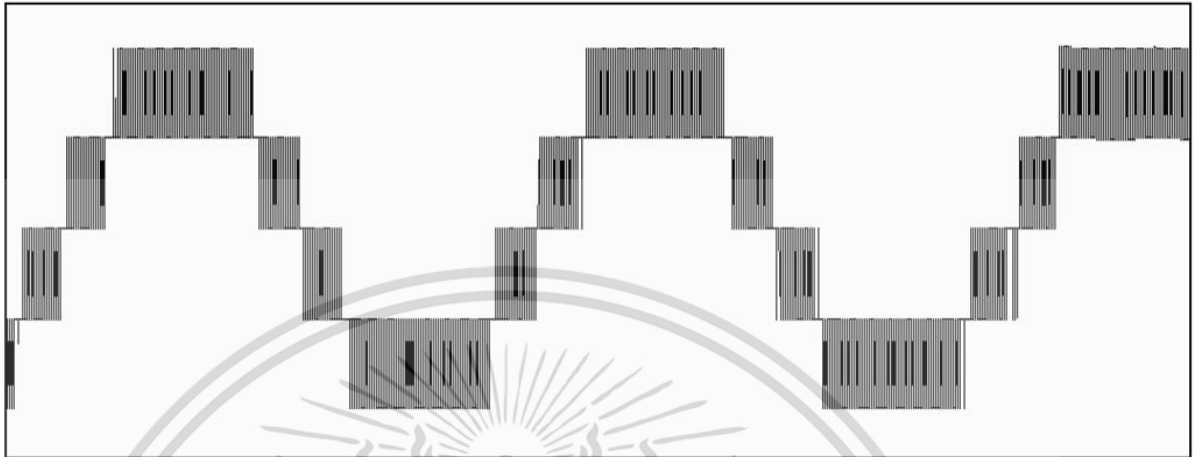


รูปที่ 2.4 วงจรพื้นฐานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์แบบ 3 เฟส

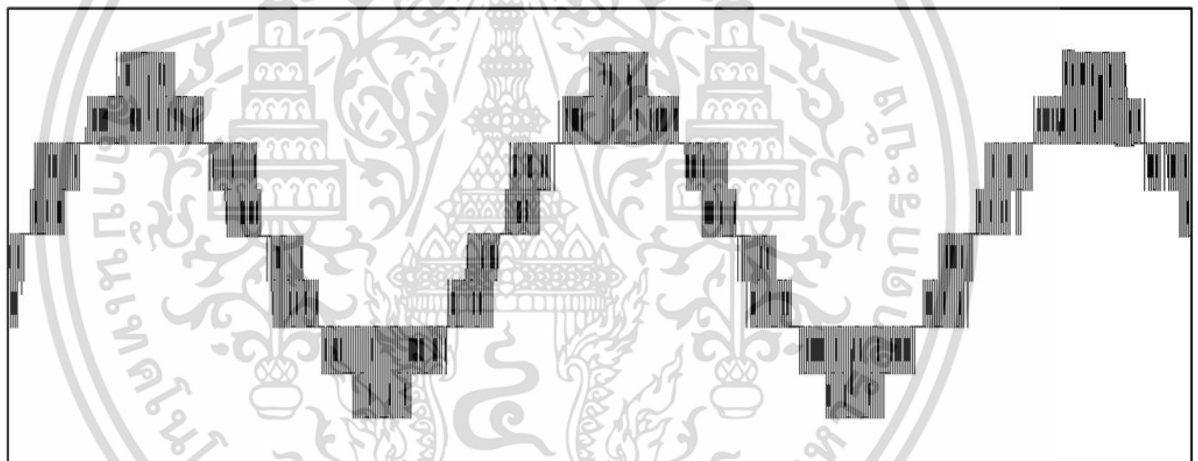
จากรูปที่ 2.4 เมื่อทำการกำหนดแหล่งจ่ายไฟกระแสตรงให้มีค่าเท่ากับ V_{dc} โดยตัวเก็บประจุฟลายอิงแต่ละตัวจะมีแรงดันตกคร่อมที่ตัวเก็บประจุเท่ากัน คือ $1E$ ดังนั้นแรงดันของตัวเก็บประจุนอกสุดจะมีระดับแรงดันเป็น $4E$, $3E$, $2E$ และวงในสุดมีระดับแรงดัน $1E$ ตามลำดับขึ้นอยู่กับ การสภาวะทำงานของสวิตช์กำลังแต่ละตัว โครงสร้างของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์จะมีสวิตช์อยู่ 4 คู่และสวิตช์แต่ละคู่จะไม่สามารถทำงานพร้อมกันได้อินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิงคาปาซิเตอร์นั้นสามารถสร้างแรงดันเฟสขาออกได้ 5 ระดับดังแสดงในรูปที่ 2.5 โดยที่ แรงดันขาออกเป็นอย่างไรนั้นขึ้นอยู่กับสวิตช์ที่ทำงานอยู่ในขณะนั้นนอกจากนั้นระดับแรงดันด้านขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกหนึ่งระดับยังสามารถสร้างได้หลายวิธี แต่มีผลการประจุและการคายประจุของตัวเก็บประจุแต่ละระดับชั้นต่างกัน สถานะการทำงานของสวิตช์และสถานะของคาปาซิเตอร์เป็นดังตารางที่ 2.1



ก.) แรงดันเฟสขาออกของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์



ข.) แรงดันเฟสขาออกของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

รูปที่ 2.5 ตัวอย่างแรงดันขาออกของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

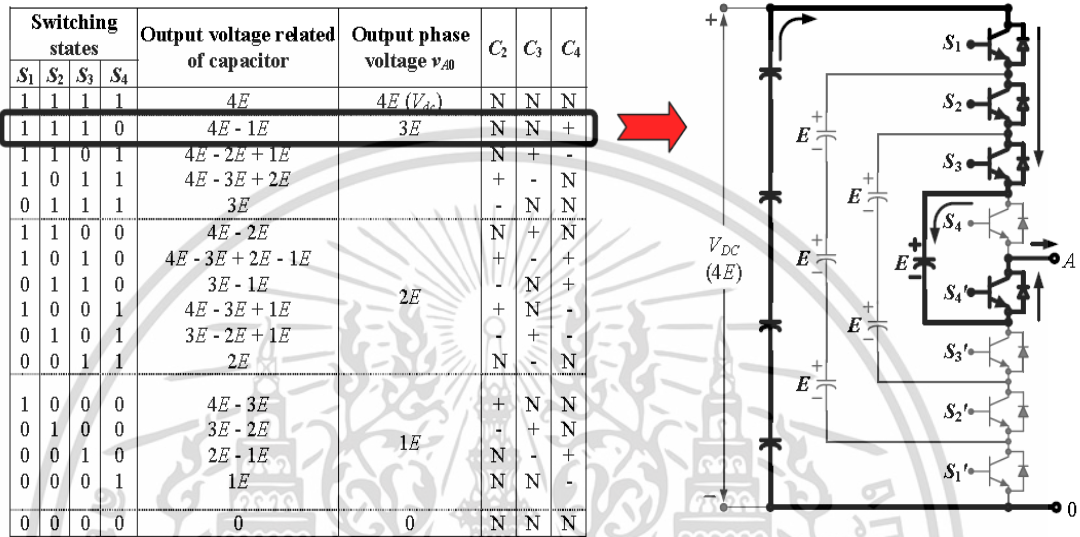
ตารางที่ 2.1 การทำงานของสวิตช์กำลังในอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิงคาปาซิเตอร์ (1 เฟส)

Switching states				Output voltage related of capacitor	Output phase voltage v_{A0}	C_2	C_3	C_4
S_1	S_2	S_3	S_4					
1	1	1	1	$4E$	$V_{dc} (4E)$	N	N	N
1	1	1	0	$4E - 1E$	$3E$	N	N	+
1	1	0	1	$4E - 2E + 1E$		N	+	-
1	0	1	1	$4E - 3E + 2E$		+	-	N
0	1	1	1	$3E$		-	N	N
1	1	0	0	$4E - 2E$	$2E$	N	+	N
1	0	1	0	$4E - 3E + 2E - 1E$		+	-	+
0	1	1	0	$3E - 1E$		-	N	+
1	0	0	1	$4E - 3E + 1E$		+	N	-
0	1	0	1	$3E - 2E + 1E$		-	+	-
0	0	1	1	$2E$		N	-	N
1	0	0	0	$4E - 3E$		+	N	N
0	1	0	0	$3E - 2E$	$1E$	-	+	N
0	0	1	0	$2E - 1E$		N	-	+
0	0	0	1	$1E$		N	N	-
0	0	0	0	0		0	N	N

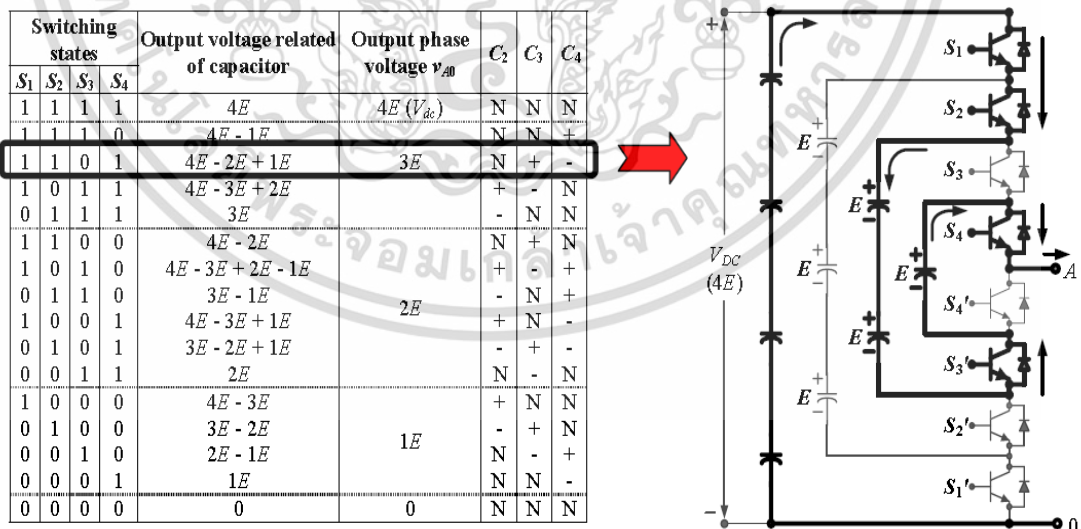
- กำหนดให้ 1 คือสถานะสวิตช์ ON
 0 คือ สถานะสวิตช์ OFF
 N คือ ไม่ใช้งาน
 + คือ สถานะ การอัดประจุ (Charging mode)
 - คือ สถานะ การคายประจุ (Discharge mode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 2.1 แสดงให้เห็นถึงข้อดีของอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์ คือมีสถานะสวิตช์เข้าซ้อนให้เลือกใช้ ทำให้มีคุณสมบัติที่สามารถรักษาสมดุลพลังงานที่คาปาซิเตอร์ได้โดยไม่ต้องพึ่งอุปกรณ์อื่นเพิ่มเติม ในรูปที่ 2.6-2.9 แสดงตัวสถานะของสวิตช์ที่มีความเข้าซ้อนบางสถานะ

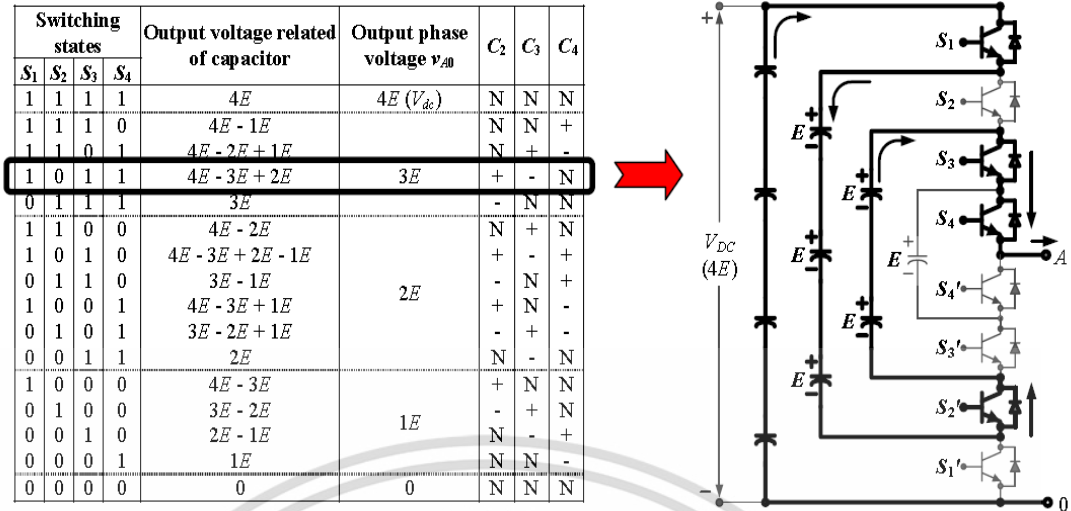


รูปที่ 2.6 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันขาออกเท่ากับ 3E ที่เกิดจาก 4E-1E

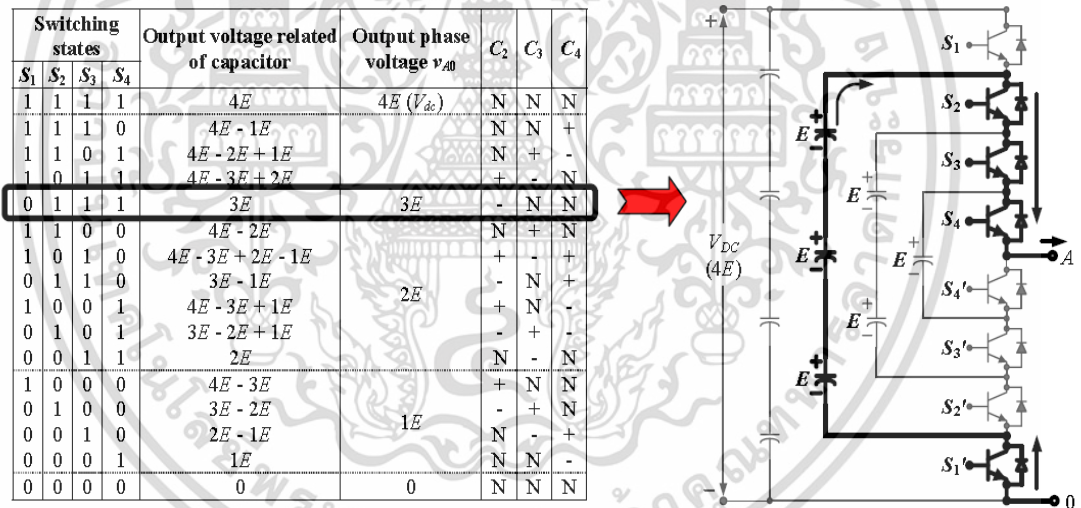


รูปที่ 2.7 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันขาออกเท่ากับ 3E ที่เกิดจาก 4E-2E+1E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันขาออกเท่ากับ 3E ที่เกิดจาก 4E-3E+2E



รูปที่ 2.9 ตัวอย่างสถานะของสวิตช์กำลังที่แรงดันขาออกเท่ากับ 3E ที่เกิดจาก 3E

2.2.3 ข้อดีและข้อเสียของวงจรอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์

ข้อดี

1. แรงดันตกคร่อมสวิตช์กำลังแต่ละตัวมีขนาดต่ำ จึงสามารถนำอุปกรณ์อิเล็กทรอนิกส์ที่ทนแรงดันต่ำมาสร้างแรงดันด้านขาออกที่สูงขึ้นได้
2. ให้คุณภาพรูปคลื่นของแรงดันด้านขาออกที่มีคุณภาพสูงมีความใกล้เคียงไซน์โดยที่สวิตช์กำลังแต่ละตัวทำงานที่สวิตช์ความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

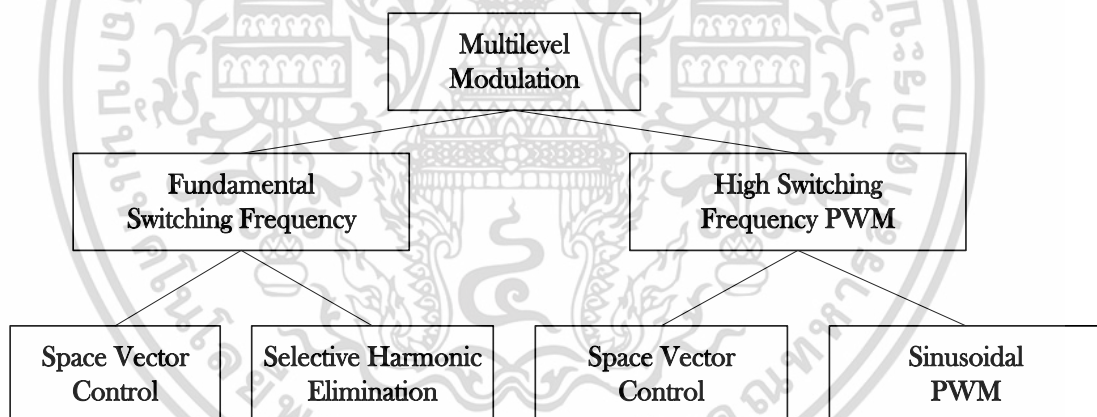
3. ด้านแรงดันไฟฟ้าด้านขาออกมีค่าความผิดพลาดต่ำ และมีผลของ dv/dt ต่ำ ช่วยลดปัญหาเกี่ยวกับ EMC

ข้อเสีย

1. ต้องใช้ตัวเก็บประจุในวงจรจำนวนมากและตัวเก็บประจุที่ใช้มีขนาดใหญ่
2. เนื่องจากใช้อุปกรณ์สวิตช์กำลังจำนวนมาก ทำให้ต้องใช้สัญญาณเกตจำนวนมากตามไปด้วย และส่งผลต่อความน่าเชื่อถือของวงจร

2.3 เทคนิคพีดับลิวเอ็มสำหรับอินเวอร์เตอร์หลายระดับ[9]

การสร้างสัญญาณเกตออกมาเพื่อควบคุมการทำงานของอุปกรณ์สวิตช์กำลังในอินเวอร์เตอร์หลายระดับนั้น สามารถเลือกใช้ได้จากเทคนิคการมอดดูเลททั่วไปที่ถูกพัฒนาและให้นำมาใช้ในกับอินเวอร์เตอร์โดยทั่วไป เทคนิคการมอดดูเลทแบ่งตามความถี่ของการสวิตช์กำลังได้ดังรูปที่ 2.9



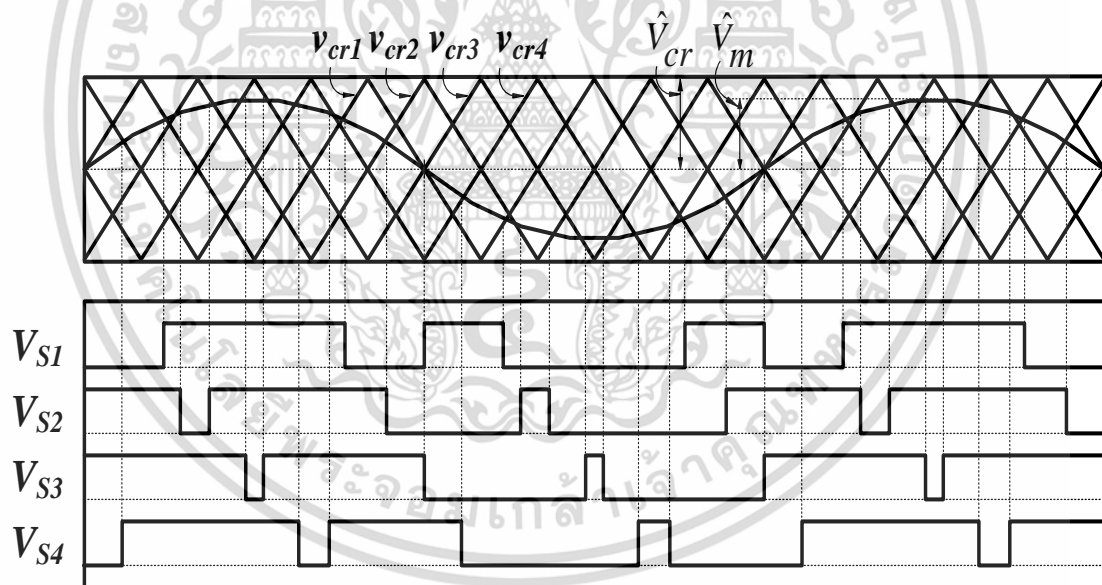
รูปที่ 2.10 รูปแบบการสร้างสัญญาณควบคุมการสวิตช์

จากข้างต้นเทคนิคการสร้างสัญญาณควบคุมสวิตช์กำลังที่นำมาใช้ในการสร้างแรงดันไฟฟ้าด้านขาออกของอินเวอร์เตอร์หลายระดับนั้น มีเทคนิคการมอดดูเลทให้เลือกใช้อยู่มากมาย แต่เทคนิคที่นิยมนำมาใช้ในการสร้างสัญญาณขับเคลื่อนมากที่สุดคือ วิธีการมอดดูเลทไซน์ซอชดอลพัลส์วีดท์มอดดูเลทซัน (Multilevel Sinusoidal Pulse Width Modulation, SPWM) ที่มีด้วยกัน 2 แบบ คือ เทคนิคพีดับลิวเอ็มแบบเลื่อนเฟสแคเรียร์ (Phase-shifted Pulse Width Modulation)หรือเรียกว่า PSPWM และเทคนิคพีดับลิวเอ็มแบบเลื่อนระดับแคเรียร์ (Level-shifted Pulse Width

Modulation) หรือเรียกว่า IPDPWM แต่ในงานวิจัยนี้ขอกล่าวถึงแต่ PSPWM ที่นำมาใช้ในงานวิจัยเพียงเท่านั้น

2.3.1 เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (Phase-shifted multi-carrier PWM scheme)[5], [9]

เทคนิคพีดับบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟส (Phase-shifted multi-carrier PWM scheme) ซึ่งต่อจากนี้จะเรียกว่า PSPWM มีลักษณะของการจัดเรียงสัญญาณพาหะแบบเลื่อนเฟสเป็นมุมเท่าๆ กันตามจำนวนของสัญญาณพาหะที่ใช้ โดยในรูปที่ 2.10 แสดงตัวอย่างของเทคนิค PSPWM ที่ใช้ในอินเวอร์เตอร์แบบ 5 ระดับ ($m = 5$) ดังนั้นจำนวนของสัญญาณพาหะที่ใช้จึงเท่ากับ $(m - 1) = 4$ สัญญาณ ซึ่งผลที่ได้จากการนำเทคนิค PSPWM ไปใช้งาน ทำให้ความถี่ของการทำงานของอุปกรณ์สวิตซ์กำลัง (Device switching frequency, $f_{sw,dev}$) มีค่าเท่ากับความถี่ของสัญญาณพาหะ (Carrier frequency, f_{cr})



รูปที่ 2.11 ตัวอย่างเทคนิคพีดับบลิวเอ็มแบบเลื่อนเฟสแคเรียร์

คุณสมบัติต่าง ๆ ที่ได้จากเทคนิค PSPWM

- อัตราการมีอดดูเลทชัน

$$m_a = \hat{V}_m / \hat{V}_{cr} \text{ เมื่อ } 0 \leq m_a \leq 1 \quad (2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- อัตราส่วนจำนวนเท่าระหว่างความถี่สัญญาณพาหะและความถี่สัญญาณมูลฐาน

$$m_f = f_{cr} / f_m \quad (2.9)$$

- ความถี่ของการทำงานของอุปกรณ์สวิตซ์กำลัง (Frequency Switching Device)

$$f_{sw.dev} = f_{cr} \quad (2.10)$$

- ความถี่การสวิตซ์ของอินเวอร์เตอร์ (Switching Frequency of Inverter)

$$f_{sw.inv} = (m-1) \times f_{sw.dev} \quad (2.11)$$

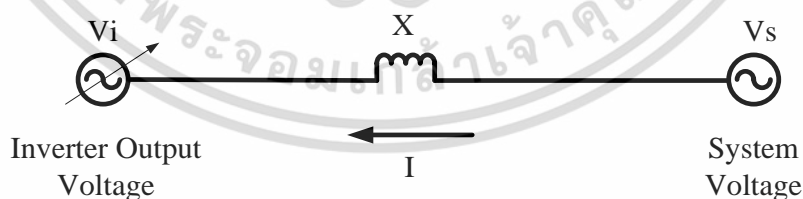
ค่าแรงดันด้านขาออกของอินเวอร์เตอร์ฟลายอิงคาปาซิเตอร์จะมีฮาร์มอนิกส์ปรากฏที่อันดับสูง คือ ปรากฏขึ้นบริเวณรอบๆ ฮาร์มอนิกส์อันดับที่ $(m-1)m_f = 4m_f$ จึงทำให้สามารถกรองฮาร์มอนิกส์ลำดับต่ำได้ง่าย โดยที่อินเวอร์เตอร์เป็นแบบ 3 เฟส มีสัญญาณอ้างอิงเป็นสัญญาณไซน์ นำมาเปรียบเทียบกับสัญญาณสามเหลี่ยมซึ่งก็คือสัญญาณพาหะแบบเลื่อนเฟสจำนวน 4 สัญญาณ แล้วนำผลของสัญญาณพัลส์ที่ได้ไปควบคุมการทำงานของอุปกรณ์สวิตซ์กำลังในแต่ละเฟส โดยเลือกใช้สัญญาณพาหะจำนวน $m-1 = 4$ สัญญาณ แต่ละสัญญาณมีมุมเลื่อนเฟสห่างกันเท่ากับ $\phi_{cr} = 360^\circ / (m-1) = 90^\circ$

ในงานวิจัยนี้ได้เลือกใช้พีดีบีบลิวเอ็มแบบหลายพาหะชนิดเลื่อนเฟสในการควบคุมแรงดันขาออกของอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์ เพราะคุณลักษณะเฉพาะที่เกิดจากการเปรียบเทียบสัญญาณแคร่เรียร์ที่มีเฟสเลื่อนห่างกันไปเท่ากับสัญญาณอ้างอิงที่เป็นสัญญาณไซน์นั้น ให้กำเนิดสัญญาณเกทที่มีรอบการทำงานในการได้รับและใช้พลังงานเท่าๆ กัน จึงมีความสามารถในเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสมดุลพลังงานของตัวเก็บประจุของอินเวอร์เตอร์ได้ เทคนิคพิชิตบลิวเอ็มนี้จะถูกเขียนขึ้นบน ไมโครคอนโทรลเลอร์และใช้งานเพื่อขับอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์ให้ทำงานเป็นอุปกรณ์ ชดเชยฮาร์มอนิกส์และกำลังไฟฟารีแอกทีฟในระบบไฟฟ้าอย่างมีประสิทธิภาพ และยังคงสามารถ รักษาสมดุลของพลังงานที่ตัวเก็บประจุเอาไว้ได้

2.4 ทฤษฎีและหลักการพื้นฐานของ DSTATCOM[3], [8]

Distribution static compensator หรือเรียกสั้นๆ ว่า DSTATCOM มีส่วนประกอบคือ อินเวอร์เตอร์ชนิดแหล่งจ่ายแรงดันกับตัวเหนี่ยวนำเชื่อมต่อ(Interface Reactor)หรือหม้อแปลงและ เชื่อมต่อขนานกับระบบเพื่อทำหน้าที่ป้อนกำลังไฟฟารีแอกทีฟเข้าสู่ระบบไฟฟ้า เช่นเดียวกับการ กำเนิดกำลังไฟฟารีแอกทีฟจากคาปาซิเตอร์แบงค์และมอเตอร์ซิงโครนัส แต่ข้อได้เปรียบของ DSTATCOM ที่เหนือกว่าคาปาซิเตอร์แบงค์และมอเตอร์ซิงโครนัส คือ การที่ไม่มีส่วนเคลื่อนไหวยังมีการ ตอบสนองที่รวดเร็วและสามารถควบคุมกำลังไฟฟารีแอกทีฟได้อย่างต่อเนื่อง DSTATCOM เป็นหนึ่งใน อุปกรณ์ชดเชยกำลังไฟฟารีแอกทีฟที่มีการเปลี่ยนแปลงได้อย่างมีประสิทธิภาพ และสามารถ แลกเปลี่ยนได้ทั้งกำลังไฟฟ้าและกำลังไฟฟารีแอกทีฟกับระบบได้ โดยการปรับเปลี่ยนขนาดกับมุม เฟสของแรงดันอินเวอร์เตอร์ตามแรงดันระบบที่ใช้อ้างอิง ทำให้ DSTATCOMสามารถนำไปใช้ แก้ปัญหาเกี่ยวกับคุณภาพไฟฟ้าได้หลากหลาย ยกตัวอย่างเช่น การควบคุมค่าองค์ประกอบ กำลังไฟฟ้า การแก้ปัญหาความไม่สมดุลของโหลด การแก้ปัญหาฮาร์มอนิกส์ การรักษาระดับ แรงดัน เป็นต้น

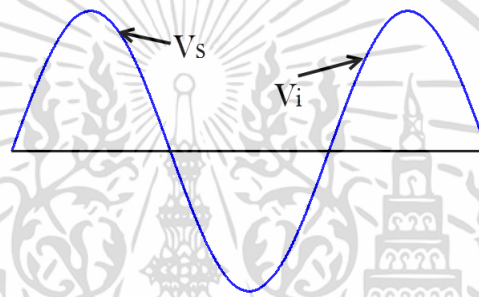


รูปที่ 2.12 วงจรสมมุติการเชื่อมต่อกับระบบของ DSTATCOM

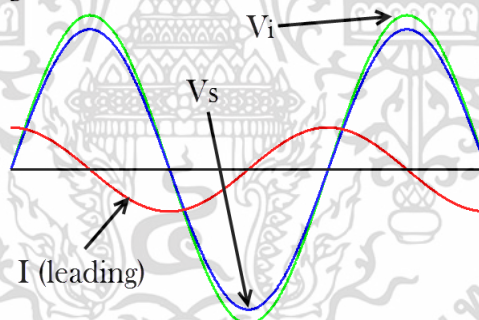
จากรูปที่ 2.11 แสดงวงจรสมมุติการเชื่อมต่อกับระบบของ DSTATCOM กับระบบไฟฟ้า ปัจจุบันที่ใช้ในการควบคุมการชดเชยกำลังไฟฟารีแอกทีฟของ DSTATCOM คือ แรงดันของ อินเวอร์เตอร์เทียบกับแรงดันของระบบ สามารถแบ่งออกได้เป็น 3 กรณีเช่นดังในรูปที่ 2.12 เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. แรงดันของระบบเท่ากับแรงดันของอินเวอร์เตอร์ ($V_i = V_s$) ในเงื่อนไขนี้จะไม่มีการสไลระหว่างอินเวอร์เตอร์และระบบไฟฟ้า เนื่องจากไม่มีความแตกต่างของระดับแรงดัน
2. แรงดันของระบบต่ำกว่าแรงดันของอินเวอร์เตอร์ ($V_i > V_s$) ในเงื่อนไขนี้อินเวอร์เตอร์ป้อนกำลังไฟฟารีแอกทีฟเข้าสู่ระบบไฟฟ้า ทำให้กระแสที่เกิดขึ้นเป็นกระแสที่มีมุมเฟสหน้า 90 องศา
3. แรงดันของระบบสูงกว่าแรงดันของอินเวอร์เตอร์ ($V_i < V_s$) ในเงื่อนไขนี้อินเวอร์เตอร์ดูดซับกำลังไฟฟารีแอกทีฟของระบบไฟฟ้า ทำให้กระแสที่เกิดขึ้นเป็นกระแสที่มีมุมเฟสตามหลัง 90 องศา

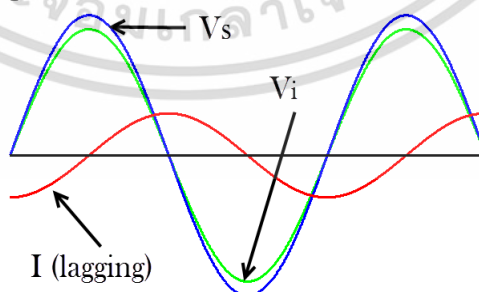
1.) $V_i = V_s$



2.) $V_i > V_s$



3.) $V_i < V_s$

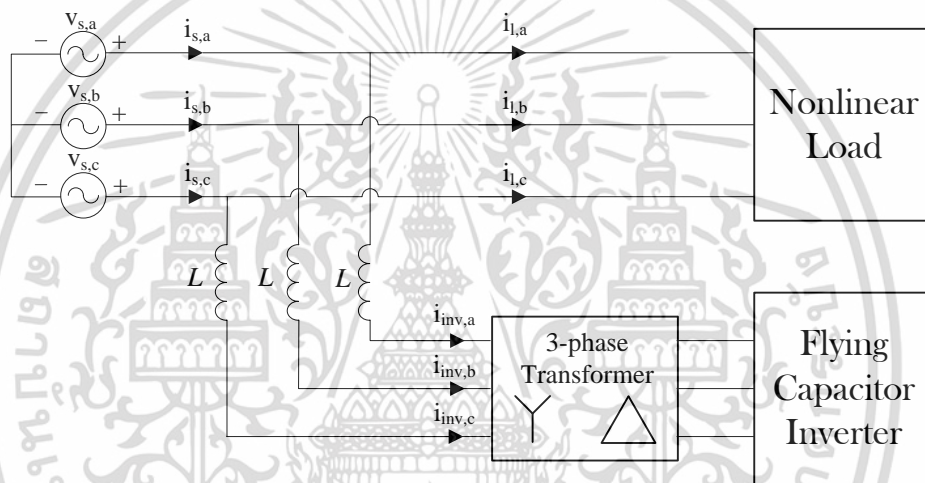


รูปที่ 2.13 โหมดการทำงานของ DSTATCOM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ระบบควบคุม[3], [6]

งานวิจัยนี้นำอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ควบคุมแรงดันขาออกด้วยเทคนิคพีดับลิวิตีแบบหลายพาหะชนิดเลื่อนเฟสหรือ PSPWM มาประยุกต์ใช้งานเป็น DSTATCOM เพื่อชดเชยกำลังไฟฟ้าและฮาร์มอนิกส์แก่ระบบไฟฟ้า ปัจจัยสำคัญที่ใช้ควบคุมการทำงานของ DSTATCOM นั้นคือกระบวนการควบคุมแรงดันขาออกของอินเวอร์เตอร์ ดังนั้นประสิทธิภาพการทำงานของ DSTATCOM จึงขึ้นอยู่กับอัลกอริทึมการควบคุมที่ใช้ เพื่อกำหนดกระแสอ้างอิงให้เป็นไปตามเป้าหมายการชดเชยที่ต้องการ ดังนั้นในงานวิจัยนี้จึงได้ออกแบบระบบควบคุมขึ้นมา เพื่อนำไปประยุกต์ใช้ในการควบคุมอินเวอร์เตอร์ให้มีการชดเชยอย่างมีประสิทธิภาพ



รูปที่ 2.14 การเชื่อมต่อระหว่างอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์กับระบบไฟฟ้า

อินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์เชื่อมต่อนานกับระบบไฟฟ้าที่ทำการชดเชยผ่านหม้อแปลงและตัวเหนี่ยวนำเชื่อมต่อแสดงในรูปที่ 2.14 หลักการชดเชยเบื้องต้นของอินเวอร์เตอร์ 3 เฟสที่เชื่อมต่อนานกับระบบไฟฟ้าดังรูปที่ 2.14 สามารถเขียนในรูปสมการได้

$$i_{inv} = i_s - i_L \quad (2.12)$$

เมื่อ i_{inv} , i_s , i_L คือ กระแสของอินเวอร์เตอร์ กระแสระบบและกระแสโหลดตามลำดับ

สมการแรงดันไฟฟ้าสามเฟสของระบบในกรอบอ้างอิง $a-b-c$ ทั่วไปเป็นดังนี้

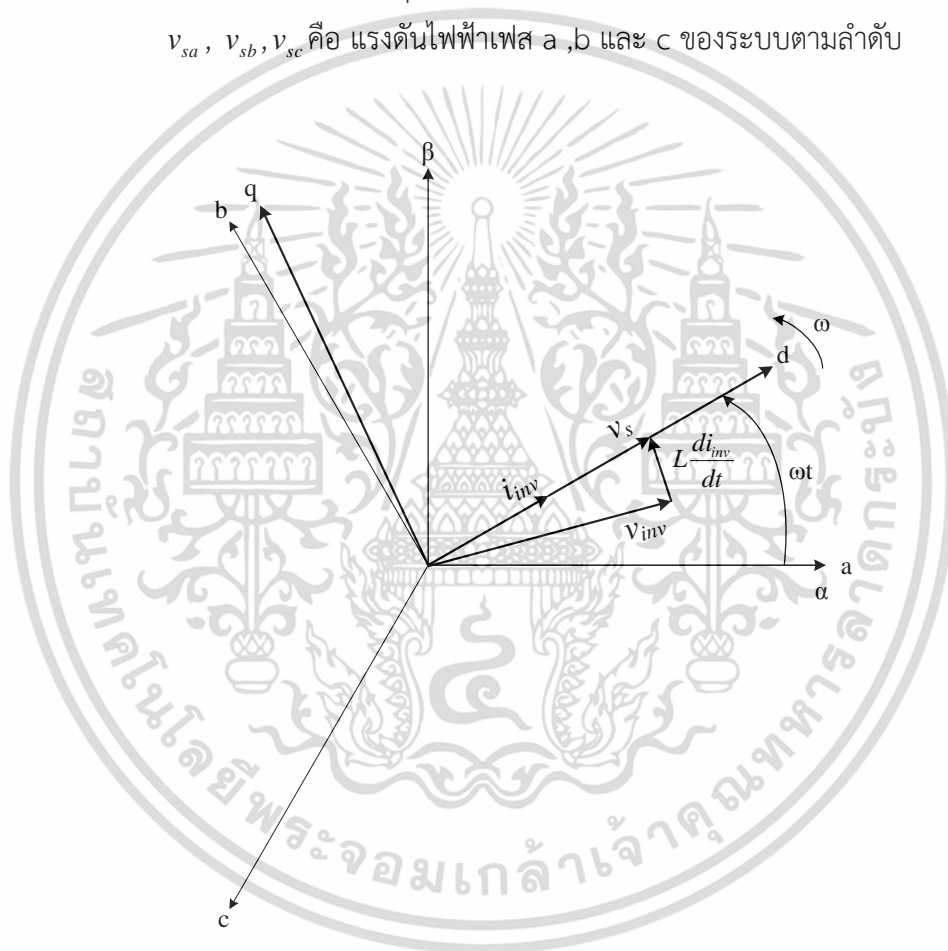
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 v_{sa} &= E \cos(\omega t) \\
 v_{sb} &= E \cos\left(\omega t - \frac{2}{3}\pi\right) \\
 v_{sc} &= E \cos\left(\omega t - \frac{4}{3}\pi\right)
 \end{aligned}
 \tag{2.13}$$

เมื่อ E คือ ค่าแรงดันเฟสสูงสุด

ω คือ ค่าความถี่เชิงมุมของแหล่งจ่าย

v_{sa}, v_{sb}, v_{sc} คือ แรงดันไฟฟ้าเฟส a, b และ c ของระบบตามลำดับ



รูปที่ 2.15 แกนอ้างอิงของ DSTATCOM และระบบไฟฟ้า

จากรูปที่ 2.15 แสดงแกนอ้างอิงของ DSTATCOM ซึ่งสามารถนำความสัมพันธ์ระหว่างแรงดันของอินเวอร์เตอร์และของระบบมาเขียนได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 v_{sa} &= L \frac{di_{inv,a}}{dt} + v_{inv,a} \\
 v_{sb} &= L \frac{di_{inv,b}}{dt} + v_{inv,b} \\
 v_{sc} &= L \frac{di_{inv,c}}{dt} + v_{inv,c}
 \end{aligned} \tag{2.14}$$

เมื่อ v_{sa}, v_{sb}, v_{sc} คือ แรงดันระบบเฟส a, b และ c เรียงตามลำดับ

$v_{inv,a}, v_{inv,b}, v_{inv,c}$ คือ แรงดันอินเวอร์เตอร์เฟส a, b และ c เรียงตามลำดับ

$i_{inv,a}, i_{inv,b}, i_{inv,c}$ คือ กระแสอินเวอร์เตอร์เฟส a, b และ c เรียงตามลำดับ

จากสมการ (2.12) จะเห็นว่ากระแสของระบบ $i_{s,a}, i_{s,b}$ และ $i_{s,c}$ คือ ผลรวมกระแสของอินเวอร์เตอร์กับกระแสของโหลดในแต่ละเฟสดังสมการด้านล่าง

$$\begin{aligned}
 i_{s,a} &= i_{inv,a} + i_{L,a} \\
 i_{s,b} &= i_{inv,b} + i_{L,b} \\
 i_{s,c} &= i_{inv,c} + i_{L,c}
 \end{aligned} \tag{2.15}$$

เมื่อ $i_{L,a}, i_{L,b}, i_{L,c}$ คือ กระแสโหลดเฟส a, b และ c ตามลำดับ และ $i_{inv,a}, i_{inv,b}, i_{inv,c}$ คือ กระแสของอินเวอร์เตอร์เฟส a, b และ c ตามลำดับ

นำสมการ (2.14) มาแปลงจากกรอบอ้างอิง a-b-c เป็นกรอบอ้างอิงซิงโครนัส d-q

$$\begin{aligned}
 v_{s,d} &= L \frac{di_{inv,d}}{dt} - \omega L i_{inv,q} + v_{inv,d} \\
 v_{s,q} &= L \frac{di_{inv,q}}{dt} + \omega L i_{inv,d} + v_{inv,q}
 \end{aligned} \tag{2.16}$$

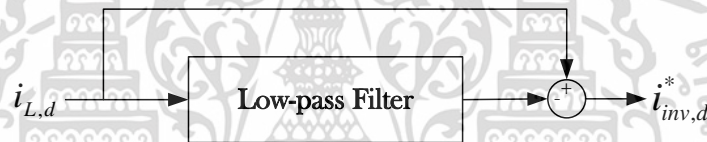
เมื่อนำแรงดันระบบในสมการ (2.13) มาแปลงจากกรอบอ้างอิง a-b-c เป็นกรอบอ้างอิง d-q จะได้ผลออกมาดังที่ปรากฏในสมการ (2.17) เนื่องจากฟังก์ชันของแรงดันเป็นฟังก์ชัน cosine ทำให้แรงดันในแนวแกน d มีค่าเท่ากับ E และแรงดันในแนวแกน q มีค่าเป็นศูนย์

$$\begin{aligned}
 v_{s,d} &= E \\
 v_{s,q} &= 0
 \end{aligned} \tag{2.17}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการควบคุมให้อินเวอร์เตอร์ชดเชยกำลังไฟฟ้ารีแอกทีฟทั้งหมด และทำให้ตัวประกอบกำลังให้มีค่าเป็นหนึ่ง ดังนั้นค่ากระแสในบนแกน q ต้องถูกควบคุมให้เป็นศูนย์ จึงกำหนดให้ค่ากระแสอ้างอิงของอินเวอร์เตอร์มีขนาดเท่ากับกระแสของโหลดแต่กลับทิศทาง ($i_{inv,q}^* = -i_{L,q}$) เพื่อบังคับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์จ่ายชดเชยกระแสบนแกน q ทั้งหมด

ส่วนกระแสในแนวแกน d โดยปกติประกอบด้วยส่วนที่เป็นค่าคงที่ที่เป็นกำลังไฟฟ้า กับส่วนประกอบที่มีความถี่ที่เป็นฮาร์โมนิกส์ เนื่องจากอินเวอร์เตอร์ 5 ระดับฟลายอิงคาปาซิเตอร์ต้องการชดเชยเฉพาะฮาร์โมนิกส์ให้กับระบบโดยไม่จ่ายกำลังไฟฟ้าเข้าสู่ระบบ ดังนั้นค่ากระแสโหลดบนแนวแกน d ที่นำมาใช้เป็นกระแสอ้างอิงต้องนำไปผ่านวงจรกรองความถี่สูงผ่านให้เหลือเฉพาะส่วนประกอบความถี่สูงที่เป็นฮาร์โมนิกส์ แต่การใช้วงจรกรองความถี่สูงผ่านแบบปกติก่อให้เกิดอาการเฟสเลื่อนและส่งผลกระทบต่อการทำงานของทั้งระบบ จึงแก้ไขด้วยการใช้ Complementary High-Pass filter ในรูปที่ 2.16 แทน ดังนั้นแรงดันอ้างอิงในแนวแกน d ($i_{inv,d}^*$) คือ องค์ประกอบความถี่สูงของกระแสโหลด ($i_{L,d}$)



รูปที่ 2.16 Complementary High-pass Filter ที่ใช้ในระบบ

จากสมการ (2.14) มาแปลงให้อยู่ในกรอบอ้างอิง $d-q$ และแทนสมการ (2.17) ลงไปได้

$$E = L \frac{di_{inv,d}}{dt} - \omega L i_{inv,q} + v_{inv,d} \quad (2.18)$$

$$0 = L \frac{di_{inv,q}}{dt} + \omega L i_{inv,d} + v_{inv,q}$$

เพื่อติดตามกระแสอ้างอิงตามที่ต้องการ จึงได้นำตัวควบคุม PI มาใช้ ถึงอย่างนั้นตามตัวควบคุม PI ยังไม่อาจตอบสนองได้รวดเร็วและทำงานได้ดีนักหากนำมาใช้กับสมการ (2.18) ที่มีลักษณะเป็น coupled system เพื่อหลีกเลี่ยงปัญหานั้นจึงนำตัวควบคุมกระแสดังต่อไปนี้มา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{inv,d} = \omega L i_{inv,q} + E - \Delta v_{inv,d} \quad (2.19)$$

$$v_{inv,q} = -\omega L i_{inv,d} - \Delta v_{inv,q}$$

เมื่อ $\Delta v_{inv,d}$ และ $\Delta v_{inv,q}$ คือ สัญญาณเอาต์พุตของคอนโทรลเลอร์

$$\Delta v_{inv,d} = k_p (i_{inv,d}^* - i_{inv,d}) + k_i \int (i_{inv,d}^* - i_{inv,d}) dt \quad (2.20)$$

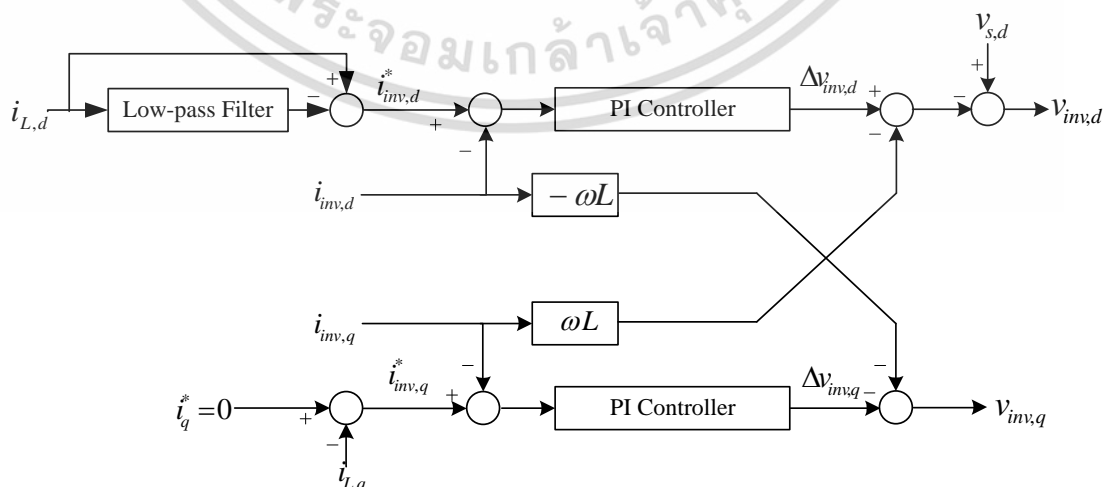
$$\Delta v_{inv,q} = k'_p (i_{inv,q}^* - i_{inv,q}) + k'_i \int (i_{inv,q}^* - i_{inv,q}) dt$$

ด้วยการเพิ่มสมการ (2.19) ที่เป็นตัวควบคุมกระแสรวมเข้ามาในระบบ คือ สมการ (2.18) ที่เดิมเป็น coupled system มีความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตเป็น first order decoupled linear system ที่ง่ายต่อการควบคุมและเป็นอิสระต่อกันมาแทน

$$0 = L \frac{di_{inv,d}}{dt} - \Delta v_{inv,d} \quad (2.21)$$

$$0 = L \frac{di_{inv,q}}{dt} - \Delta v_{inv,q}$$

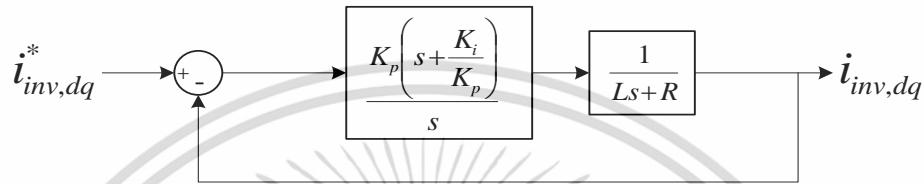
การเพิ่มตัวควบคุมกระแสรวมหรือสมการ (2.19) ซึ่งอยู่ในกรอบอ้างอิงซิงโครนัส $d-q$ จะช่วยลดภาระให้แก่ตัวควบคุม PI และช่วยปรับปรุงรูปสัญญาณกระแสขาเข้า ค่า $v_{inv,d}$ และ $v_{inv,q}$ ที่ได้จากระบบควบคุมของ DSTATCOM ที่แสดงไว้ดังรูปที่ 2.17 จะถูกแปลงจากกรอบอ้างอิงซิงโครนัส $d-q$ กลับเป็นกรอบอ้างอิง $a-b-c$ เพื่อนำไปใช้เป็นแรงดันอ้างอิงของอินเวอร์เตอร์ต่อไป



รูปที่ 2.17 ระบบควบคุมของ DSTATCOM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อทำการวิเคราะห์ระบบควบคุมที่ออกแบบมาข้างต้น จึงทำการศึกษาผลตอบสนองของระบบควบคุมให้ตรงกับความต้องการในการใช้งานและหาค่า K_p และ K_i โดยเลือกใช้กราฟเส้นทางเดินของรากมาช่วยในการวิเคราะห์ ผลที่ออกมาจะถูกนำไปแนวทางการออกแบบพารามิเตอร์และปรับแต่งระบบควบคุมของ DSTATCOM ฟังก์ชันถ่ายโอนของอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์เป็นดังรูปที่ 2.18 ด้านล่าง



รูปที่ 2.18 ฟังก์ชันถ่ายโอนของอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์

ในการวิเคราะห์หา K_p และ K_i ที่เหมาะสมด้วยกราฟเส้นทางเดินของราก ต้องใช้ฟังก์ชันถ่ายโอนลูบเปิดภายในกรอบสี่เหลี่ยมเส้นประจากฟังก์ชันลูบปิดในรูปที่ 2.18 มาวิเคราะห์หาผลตอบสนอง ฟังก์ชันลูบเปิดของอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์สามารถเขียนออกมาได้ดังนี้

$$G_f(s) = \frac{K_p \cdot \left(s + \frac{K_i}{K_p} \right)}{Ls^2 + Rs} \quad (2.22)$$

จากสมการฟังก์ชันถ่ายโอนใหม่ (2.22) จะระบุค่าซีโรลูบเปิดและโพลลูบเปิดได้

$$z = -\frac{K_i}{K_p} \quad (2.23)$$

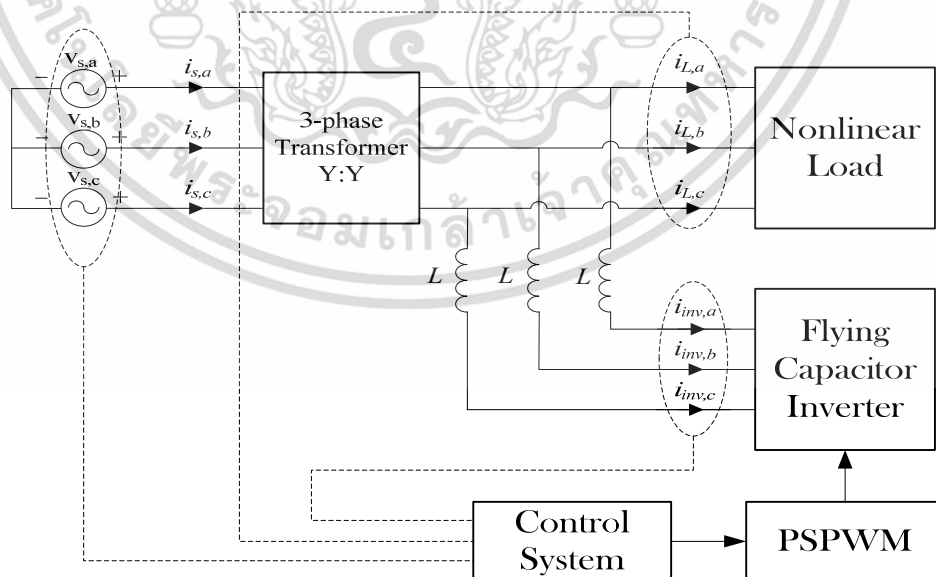
$$p = 0, -\frac{R}{L}$$

เนื่องจากพารามิเตอร์ของระบบ DSTATCOM ค่า R และ L เป็นค่าคงที่ จากค่าโพลลูบเปิด 0 และซีโรลูบเปิดในสมการ (2.23) โพลลูบเปิดจึงเป็นคงที่ไม่เปลี่ยนแปลง ส่วนที่มีผลต่อการเปลี่ยนแปลงระบบควบคุมคือซีโรลูบเปิด ซึ่งขึ้นอยู่กับค่า K_p และ K_i ของระบบควบคุมเท่านั้น

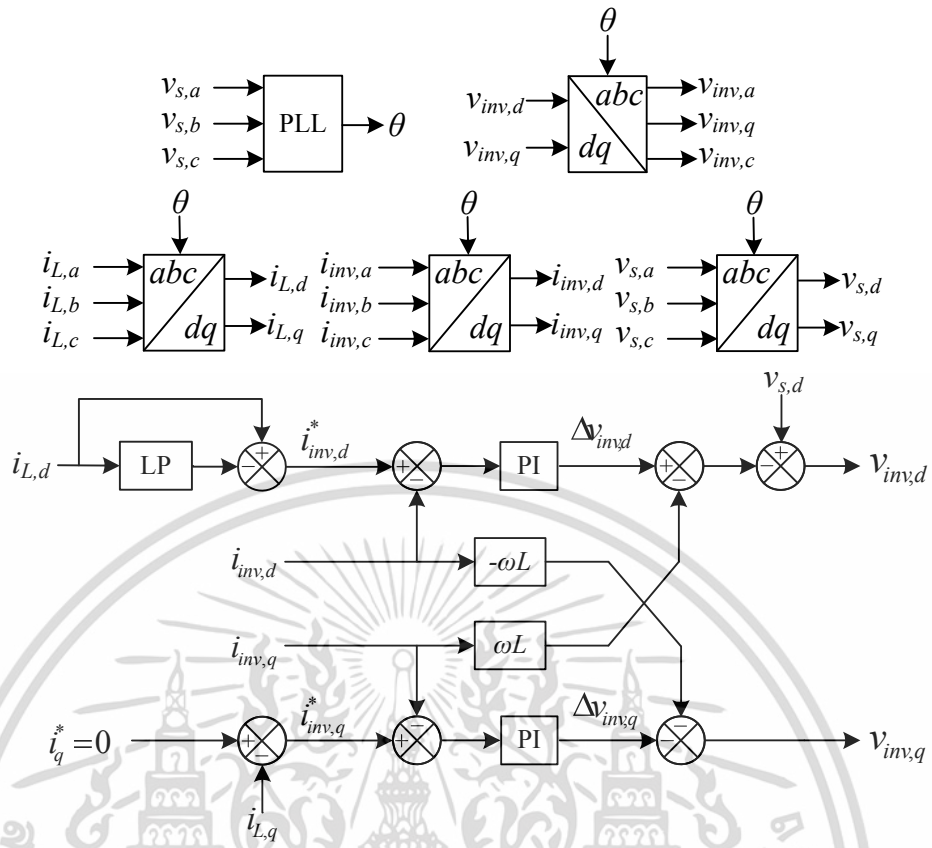
การจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิงคาปาซิเตอร์ด้วยโปรแกรม PSCAD/EMTDC

3.1 บทนำ

ในบทนี้กล่าวถึงการสร้างแบบจำลองของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ เพื่อทดสอบการทำงานของอินเวอร์เตอร์ด้วยการจำลองด้วยโปรแกรม PSCAD/EMTDC บล็อกไดอะแกรมการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์เป็นไปดังแสดงในรูปที่ 3.1 การทำงานของอินเวอร์เตอร์สามารถแบ่งออกเป็น 2 ส่วนหลัก คือ ส่วนวงจรกำลังที่ประกอบด้วย อุปกรณ์ไฟฟ้ากำลังอย่างสวิตช์กำลัง วงจรขับและคาปาซิเตอร์ และส่วนประมวลผลที่ประกอบด้วย เซ็นเซอร์กับระบบควบคุม ส่วนประมวลผลทำหน้าที่ตรวจวัดสัญญาณแรงดันระบบ กระแสโหลด และกระแสขาออกอินเวอร์เตอร์ นำมาสร้างกระแสอ้างอิงป้อนให้ระบบควบคุมเพื่อกำหนดแรงดันขาออกอินเวอร์เตอร์ที่ต้องการ ทั้งนี้การตรวจวัดแรงดันระบบเข้ามาก็เพื่อใช้อ้างอิงค่ามูฟเฟสและแรงดันขาออกของอินเวอร์เตอร์



รูปที่ 3.1 บล็อกไดอะแกรมการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์



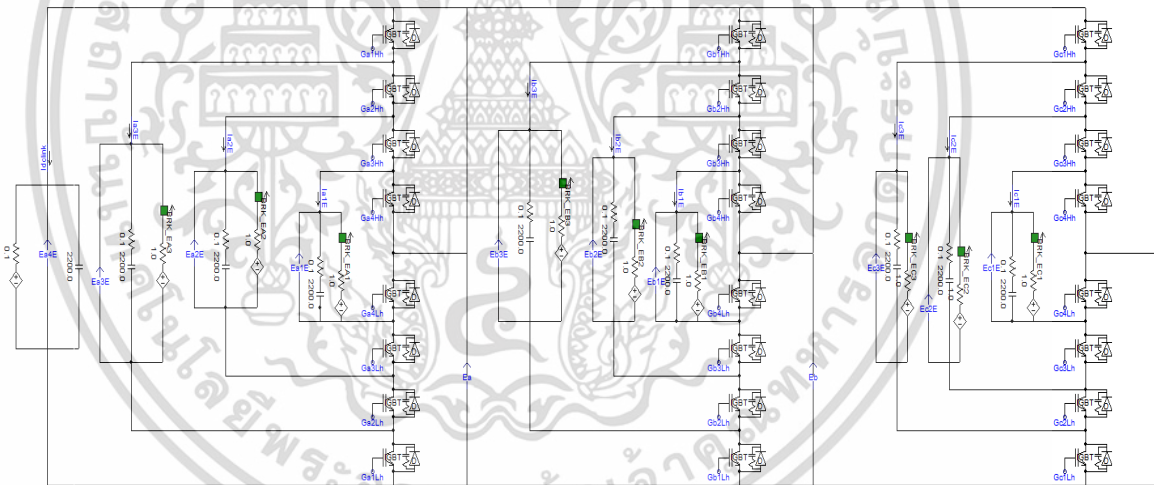
รูปที่ 3.2 บล็อกไดอะแกรมการทำงานของระบบควบคุมของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิง

3.2 แบบจำลองทางไฟฟ้าของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

การสร้างแบบจำลองของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ด้วยโปรแกรม PSCAD/EMTDC ดังแสดงในรูปที่ 3.3 แบบจำลองของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์แบบ 3 เฟส ประกอบด้วย สวิตช์กำลัง 24 ตัวและคาปาซิเตอร์ 10 ตัว ใช้แหล่งจ่ายเพียงแหล่งเดียวคือ ดีซีลิงค์ที่มีระดับแรงดันเท่ากับ $200 V_{dc}$ ค่าพารามิเตอร์ต่างๆ ในการจำลองเป็นไปตามตารางที่ 3.1

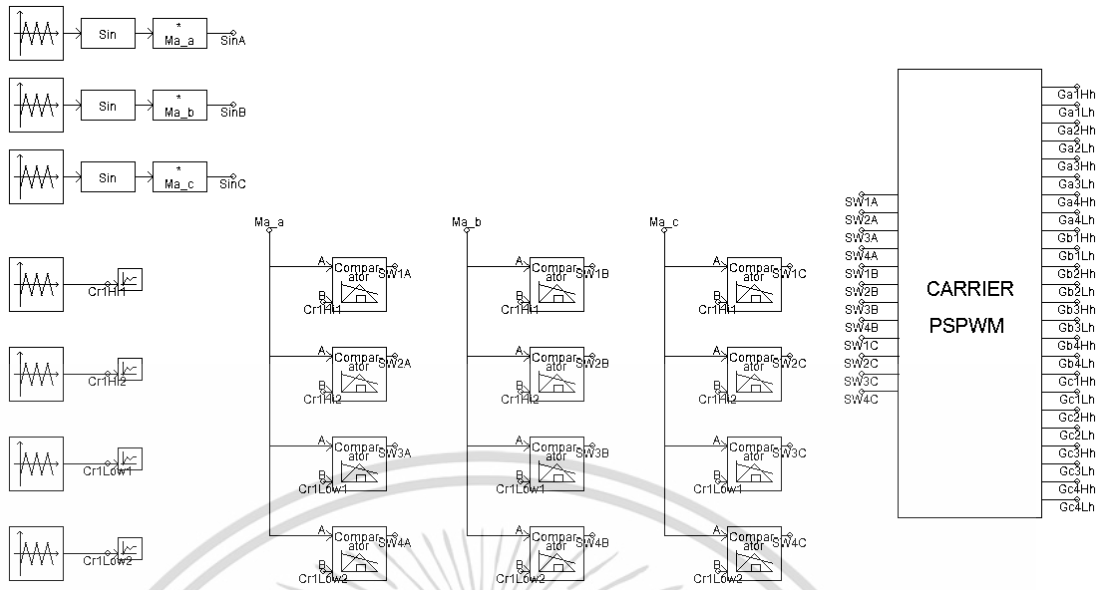
ตารางที่ 3.1 ค่าพารามิเตอร์ที่ใช้ในการจำลองการทำงาน

ค่าพารามิเตอร์	ขนาด
ระดับแรงดันไฟฟ้าของระบบ	380V _{rms}
ความถี่แรงดันไฟฟ้าของระบบ	50 Hz
แรงดันดีซีลิงค์ของอินเวอร์เตอร์	200 V _{dc}
จำนวนระดับขั้นของอินเวอร์เตอร์	5 ระดับ
ความถี่สวิตซ์ซิงของอินเวอร์เตอร์	12 kHz
ตัวเหนี่ยวนำเชื่อมต่อ	7mH
หม้อแปลงเชื่อมต่อ	0.8 Ω 0.1 mH
โหลดไม่เป็นเชิงเส้น	บริดจ์เรกติไฟเออร์ 3 เฟสกับ โหลด 95 Ω 9 mH
โหลดตัวต้านทานกับตัวเหนี่ยวนำ	95Ω 218 mH



รูปที่ 3.3 แบบจำลองทางไฟฟ้าของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



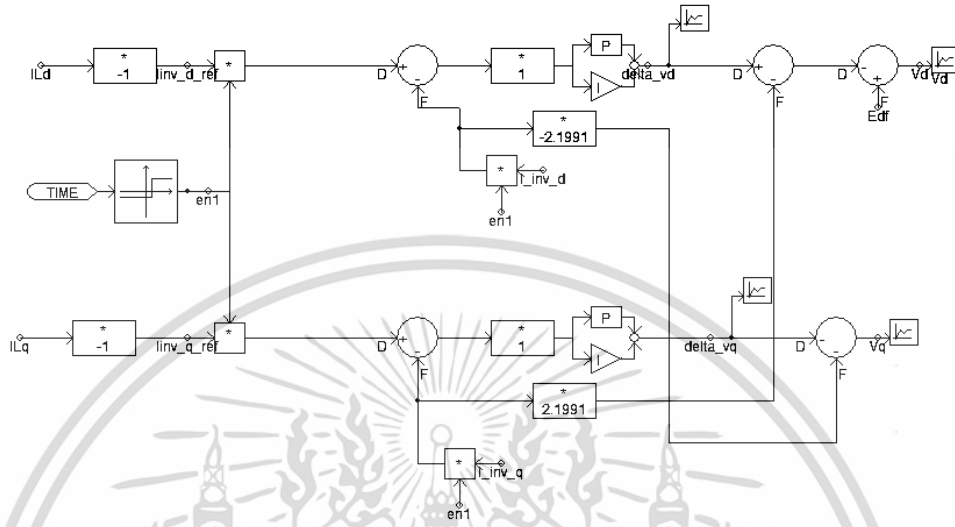
รูปที่ 3.4 แบบจำลองที่ใช้สร้างสัญญาณ PWM ด้วยเทคนิค PPSWM

รูปที่ 3.3 แสดงแบบจำลองของอินเวอร์เตอร์ 5 ระดับที่ในการจำลองออกแบบไว้ให้มีการสตาร์ทอัพเพื่อชาร์จแรงดันให้แก่ตัวเก็บประจุฟลายอิงแต่ละตัวเสียก่อน ส่วนตรงนี้ได้ใช้ตัวตั้งเวลาในโปรแกรมช่วยทำการชาร์จพลังงานเข้าสู่ฟลายอิงคาปาซิเตอร์ก่อนเริ่มใช้งาน โดยที่เมื่อสตาร์ทอัพเสร็จแล้วแรงดันที่ฟลายอิงคาปาซิเตอร์จะมีแรงดันเท่ากับ 150, 100 และ 50 โวลต์ตามลำดับ

รูปที่ 3.4 แสดงแบบจำลองของส่วนสร้างสัญญาณเกทด้วยเทคนิค PPSWM โดยเริ่มจากการได้รับสัญญาณมาจากระบบควบคุม แล้วนำมาเปรียบเทียบกับสัญญาณแคร์เรียร์ที่เป็นสัญญาณสามเหลี่ยมที่มีความถี่เท่ากับ 3000 เฮิร์ตจำนวน 4 สัญญาณต่อเฟสและแต่ละสัญญาณแคร์เรียร์มีเฟสต่างกันอยู่สัญญาณละ 90 องศา สัญญาณเกทที่ได้จึงถูกส่งไปยังวงจรขับสวิตช์กำลังแต่ละตัวตามลำดับ

รูปที่ 3.5 แสดงแบบจำลองของระบบควบคุมกระแสป้อนกลับ กระแสอ้างอิงของระบบควบคุมจะได้อาจจากการตรวจวัดสัญญาณกระแสของโหลดแล้วนำมาแปลงให้อยู่บนกรอบอ้างอิง dq ก่อน แล้วนำกระแสโหลดแกน d ผ่านวงจรกรองความถี่ต่ำ เพื่อใช้เฉพาะความถี่สูงที่เป็นฮาร์มอนิกส์ที่ต้องการให้อินเวอร์เตอร์ชดเชยมาสร้างสัญญาณอ้างอิงบนแกน d ส่วนกระแสอ้างอิงแกน q นั้นเนื่องจากต้องการให้อินเวอร์เตอร์ชดเชยกำลังไฟฟ้ารีแอกทีฟทั้งหมด กระแสอ้างอิงแกน q จึงกำหนดให้มีขนาดเท่ากับกระแสโหลดบนแกน d แต่มีทิศทางตรงกันข้ามกัน กระแสอ้างอิงทั้งสองแกนถูกควบคุมด้วยตัวควบคุมแบบ PI แล้วบวกเพิ่มแรงดันที่ตกคร่อมตัวเหนี่ยวนำเชื่อมต่อและแรงดันไฟฟ้าระบบเข้าไป ได้แรงดันไฟฟ้าที่อินเวอร์เตอร์ต้องสร้างเพื่อให้เกิดกระแสชดเชยตามที่กระแสอ้างอิงกำหนดมา จากนั้นแรงดันอินเวอร์เตอร์ที่ออกมาต้องถูกนำไปปรับขนาดเพื่อใช้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

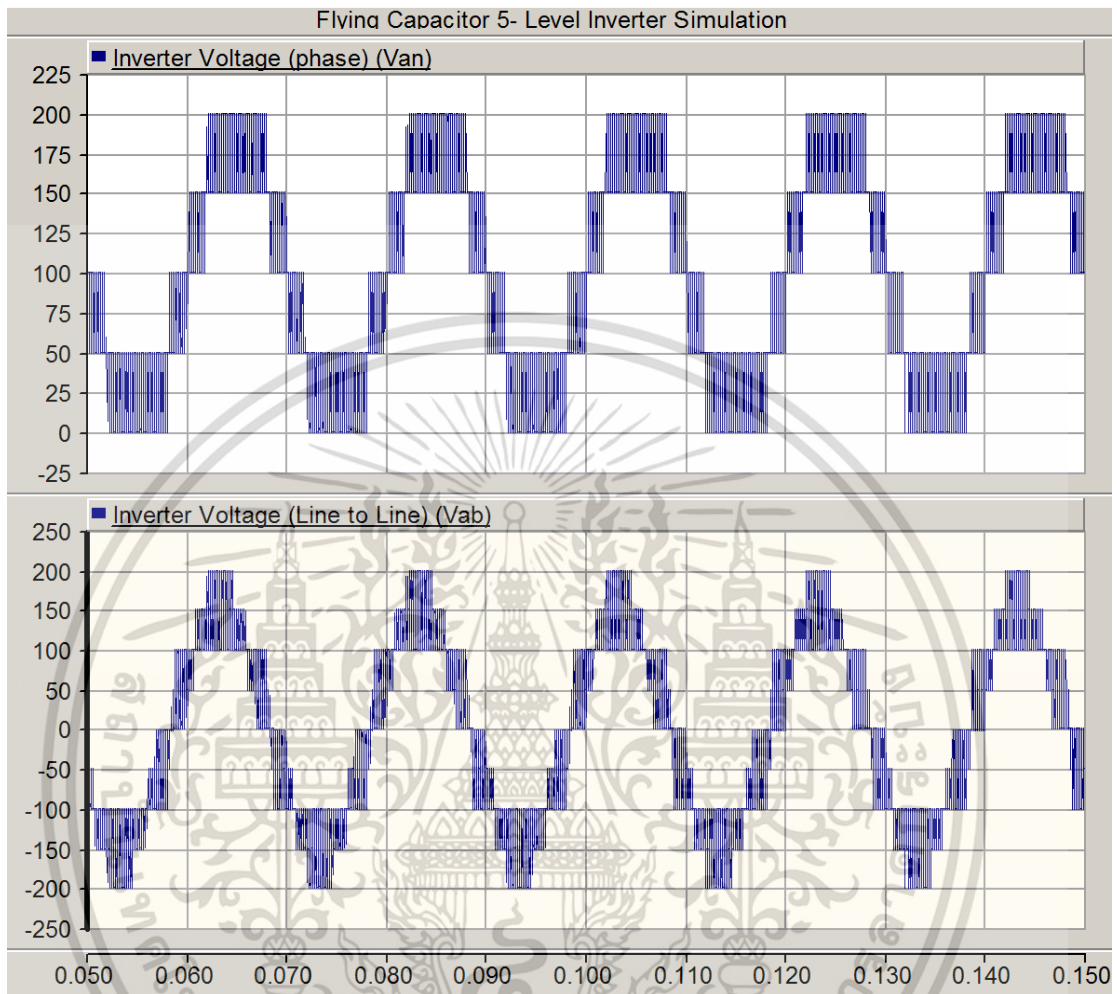


รูปที่ 3.5 แบบจำลองของระบบควบคุมกระแสย้อนกลับ

3.3 ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

ในการศึกษาการชดเชยกำลังไฟฟ้ารีแอกทีฟและฮาร์มอนิกส์ด้วยอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ที่ควบคุมแรงดันขาออกด้วยเทคนิค PSPWM นั้นต้องเชื่อมต่อกับระบบก่อนแล้วจึงทำการชดเชย โดยระหว่างทำการชดเชยนั้นต้องรักษาระดับแรงดันที่ฟลายอิงคาปาซิเตอร์ได้ด้วย อินเวอร์เตอร์ต้องทำการชดเชยทั้งหมด 3 แบบคือ โหลดตัวต้านทานที่ไม่สมดุล โหลดตัวต้านทานกับตัวเหนี่ยวนำและโหลดไม่เป็นเชิงเส้น เพื่อทดสอบว่าอินเวอร์เตอร์สามารถแก้ไขค่าตัวประกอบกำลังไฟฟ้าและกำจัดฮาร์มอนิกส์จากกระแสของระบบได้ การจำลองถูกกำหนดไว้ให้ระบบไฟฟ้าเชื่อมต่อกับโหลดตั้งแต่เริ่มต้น ส่วนอินเวอร์เตอร์จะถูกเชื่อมต่อเข้ามาเมื่อถึงวินาทีที่ 0.1 และเมื่ออินเวอร์เตอร์เชื่อมต่อกับระบบแล้ว ระบบควบคุมกระแสย้อนกลับจึงทำงานและควบคุมอินเวอร์เตอร์ให้ชดเชยตามกระแสอ้างอิงที่กำหนดไว้ รูปคลื่นแรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ขณะทำงานปกติก่อนการเชื่อมต่อกับระบบเพื่อทำการชดเชยแสดงดังรูปที่ 3.6 โหลดที่ใช้ทดสอบในการจำลองมีอยู่ 3 แบบคือ โหลดไม่สมดุล, โหลดตัวต้านทานกับตัวเหนี่ยวนำและโหลด

แบบไม่เป็นเชิงเส้นที่เป็นบริดจ์เรกติไฟเออร์ 3 เฟส แต่การทดสอบการทำงานด้วยการจำลองเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แรงดันเฟสและแรงดันระหว่างสายของแบบจำลองอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ก่อนการเชื่อมต่อเพื่อทำการชดเชย

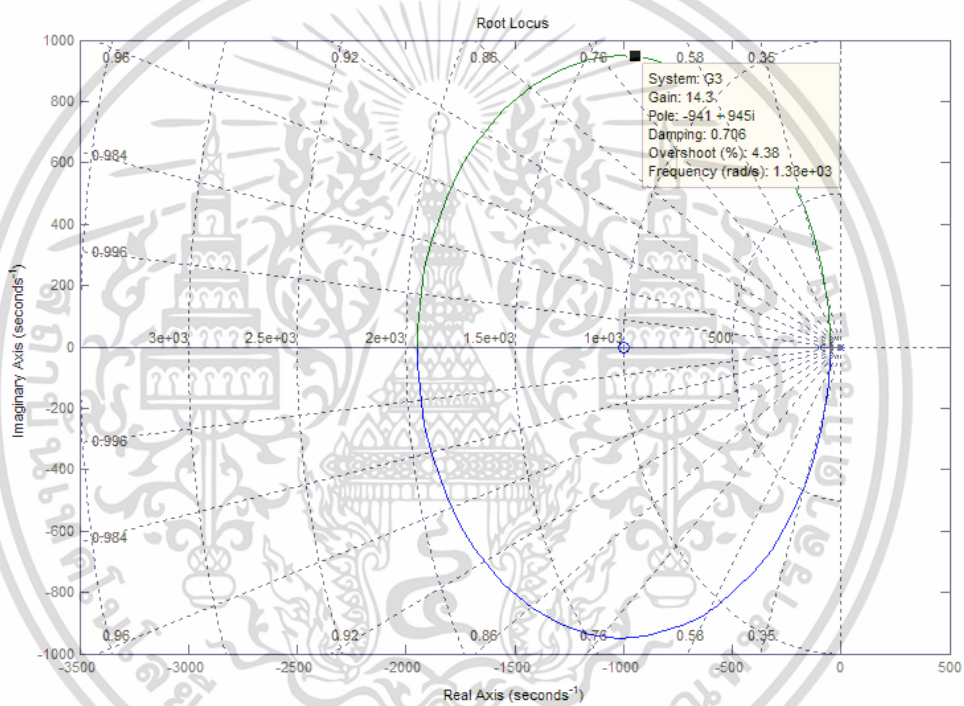
3.3.1 การออกแบบตัวควบคุม

ถ้าดูจากโพลลูบเปิดของระบบจะมีค่าประมาณ 0 และ -102.56 ดังนั้นระบบจะถูกแบ่งออกเป็น 2 กรณีคือเมื่อค่าซีโรลูบเปิดมีค่าระหว่าง 0 ถึง -102.56 และเมื่อมีค่าต่ำกว่า -102.56 แต่เนื่องจากต้องการคอนโทรลเลอร์ที่ทำงานได้ไวและตอบสนองได้รวดเร็ว เพื่อไล่ตามฮาร์มอนิกของระบบอัตราขยายในช่วงค่าซีโรลูบเปิดที่น้อยกว่า -102.56 ที่มีผลตอบสนองของระบบอันดับสองน่าจะเหมาะสมกับการนำมาใช้มากกว่า การจำลองเพื่อวิเคราะห์กราฟทางเดินของรากใช้ค่าพารามิเตอร์ดังตารางที่ 3.2 ค่าซีโรลูบเปิดที่เลือกคือ -1000,-2000และ -3000 ซึ่งจะได้ผลตอบสนองออกมาเป็นดัง

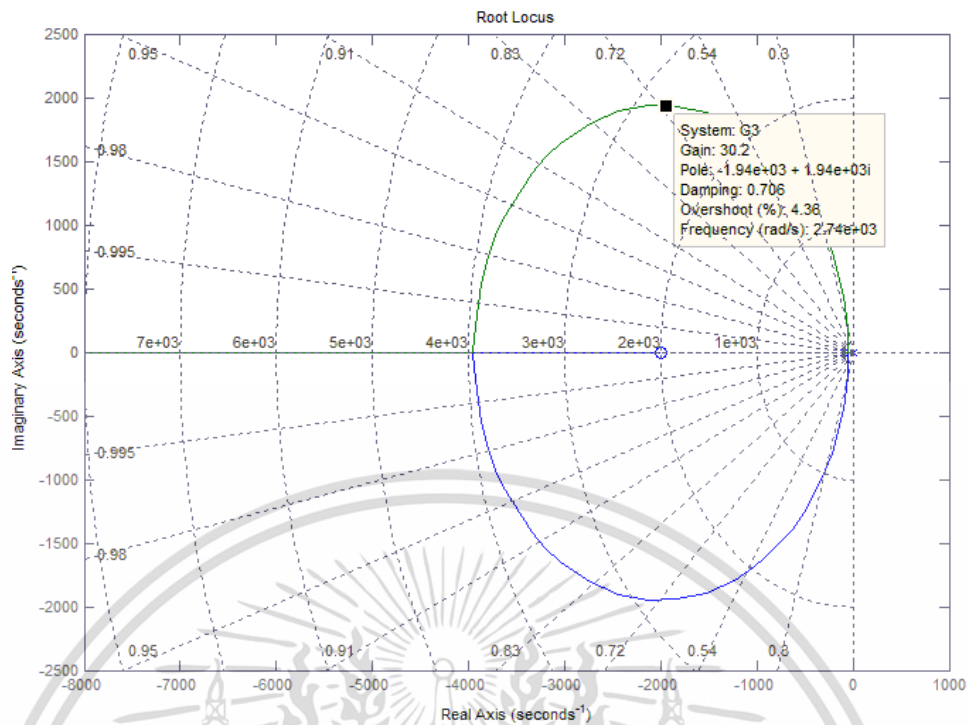
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 ค่าพารามิเตอร์ของ DSTATCOM

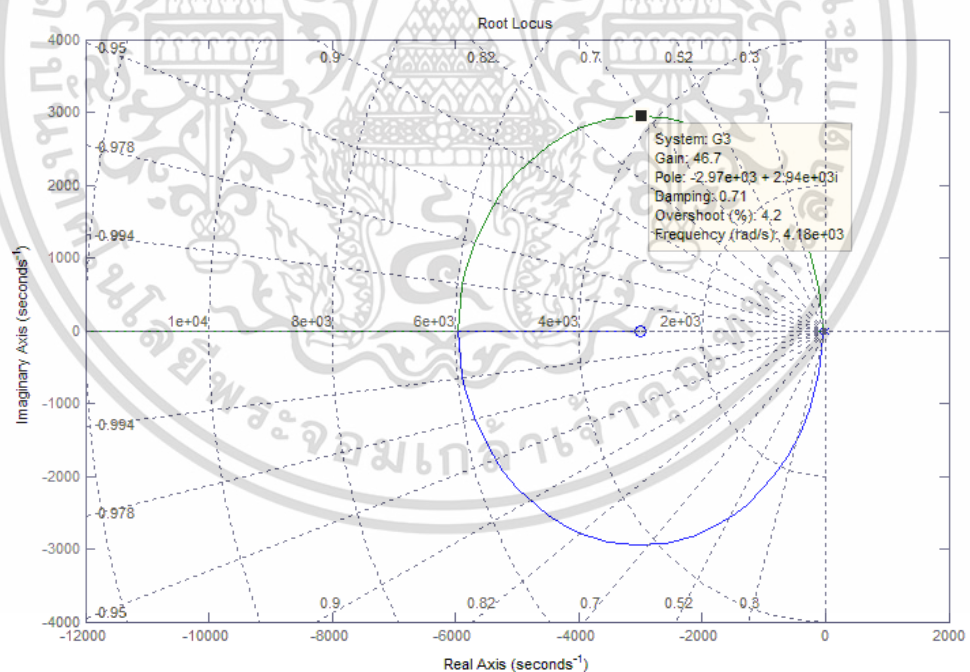
พารามิเตอร์ของระบบ DSTATCOM	
ตัวเหนี่ยวนำเชื่อมต่อ	7 mH
หม้อแปลงเชื่อมต่อ	0.8 Ω ; 0.8mH

รูปที่ 3.7 กราฟเส้นทางเดินของรากเมื่อค่าซีโรรูปเปิดเท่ากับ -1000 ($K_p=14.3$; $K_i=14,300$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 กราฟเส้นทางเดินของรากเมื่อกำหนดค่าซีโรรูปเปิดเท่ากับ -2000 ($K_p=30.2$; $K_i=30,200$)



รูปที่ 3.9 กราฟเส้นทางเดินของรากเมื่อกำหนดค่าซีโรรูปเปิดเท่ากับ -1000 ($K_p=46.7$; $K_i=46,700$)

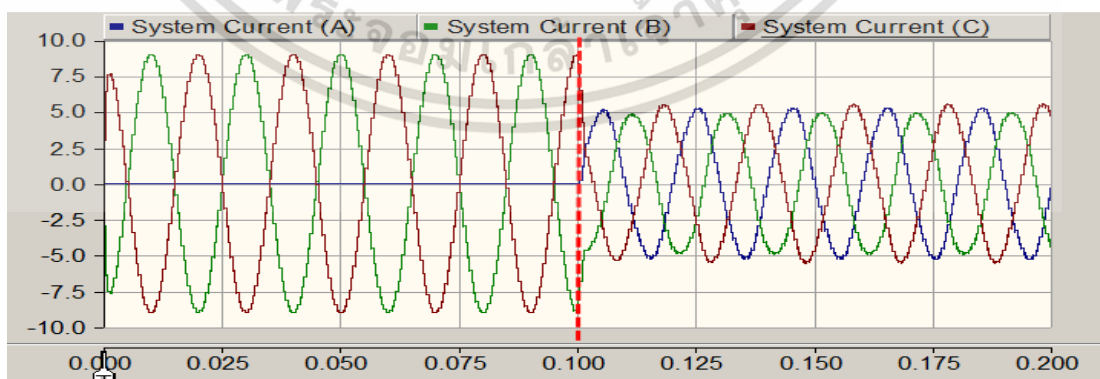
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟเส้นทางเดินรากลในรูปที่ 2.19-2.21 พบว่ามีทั้งส่วนที่อยู่บนแกนจริงที่เป็นลักษณะของระบบอันดับหนึ่ง และส่วนเส้นโค้งของรากที่ไม่อยู่บนแกนจริงที่เป็นลักษณะของระบบอันดับสองที่อาจจะมีการแกว่งก่อนที่จะเข้าสู่สภาวะเสถียรภาพ

3.3.2 ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์กรณีโหลดไม่สมดุล

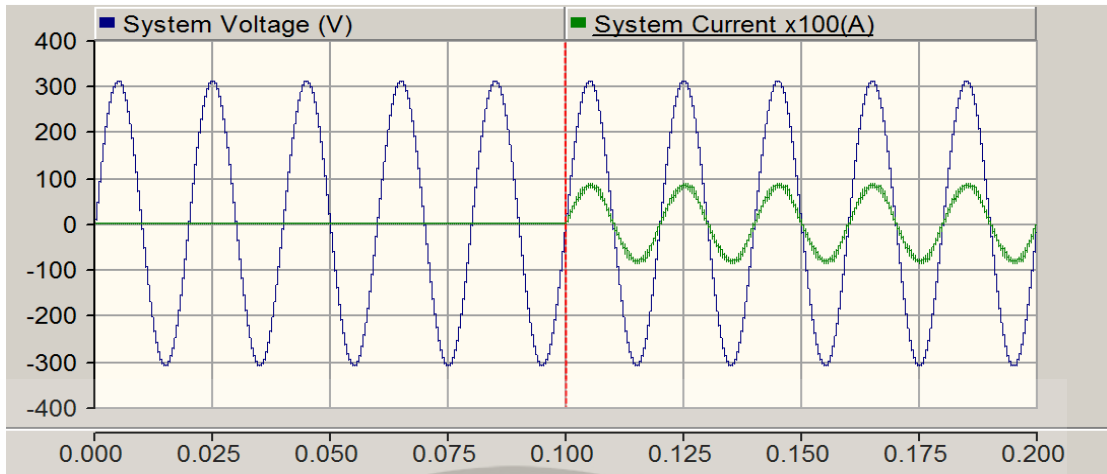
โหลดไม่สมดุลที่ใช้ในการจำลองการทดลองคือ โหลดต้านทานแบบ 3 เฟส แต่เพื่อให้เกิดความไม่สมดุลเกิดขึ้นจึงนำโหลดของเฟส A ออกเหลือแต่ของเฟส B กับ C ดังนั้นค่ากระแสระบบจึงเป็นรูปของกระแสดสามเฟสไม่สมดุลที่ไม่มีกระแสเฟส A ดังรูป 3.10 ในช่วงเวลา 0.0 - 0.1 วินาที หลังอินเวอร์เตอร์เชื่อมต่อเข้ามาเมื่อเวลา 0.1 วินาที อินเวอร์เตอร์จะทำการชดเชยด้วยการจ่ายกระแสเฟส A เข้าไปในระบบและสมดุลกระแสทั้งสามเฟสให้มีขนาดเท่าๆ กันดังในรูปที่ 3.10 ช่วงเวลาที่ 0.1 - 0.2 วินาที เห็นได้ชัดว่าเกิดการชดเชยขึ้นและกระแสของทั้งสามเฟสถูกปรับขนาดให้มีขนาดใกล้เคียงกันจนกระแสทั้ง 3 เฟสกลับมาสมดุลกัน

รูปที่ 3.11 แสดงรูปคลื่นของแรงดันระบบเฟส A เปรียบเทียบกับกระแสเฟส A ที่ถูกขยายขึ้น 100 เท่าเพื่อให้การง่ายต่อการเปรียบเทียบ แรงดันและกระแสเฟส A ของระบบหลังชดเชยมีเฟสตรงกันหลังการชดเชย พิจารณารูปที่ 3.13 กระแสอินเวอร์เตอร์แกน d นั้นไล่ตามกระแสอ้างอิงแกน d ได้อย่างรวดเร็วแต่มีการแกว่งอยู่เล็กน้อย ส่วนกระแสอินเวอร์เตอร์แกน q นั้นก็ตามกระแสอ้างอิงแกน q ได้เป็นอย่างดีและมีอาการแกว่งเล็กน้อยเช่นกัน กระแสอินเวอร์เตอร์สามารถไล่ตามกระแสอ้างอิงทั้งสองได้ดี ทำให้อินเวอร์เตอร์สามารถทำหน้าที่ชดเชยตามที่กำหนดด้วยกระแสอ้างอิงได้เป็นอย่างดี

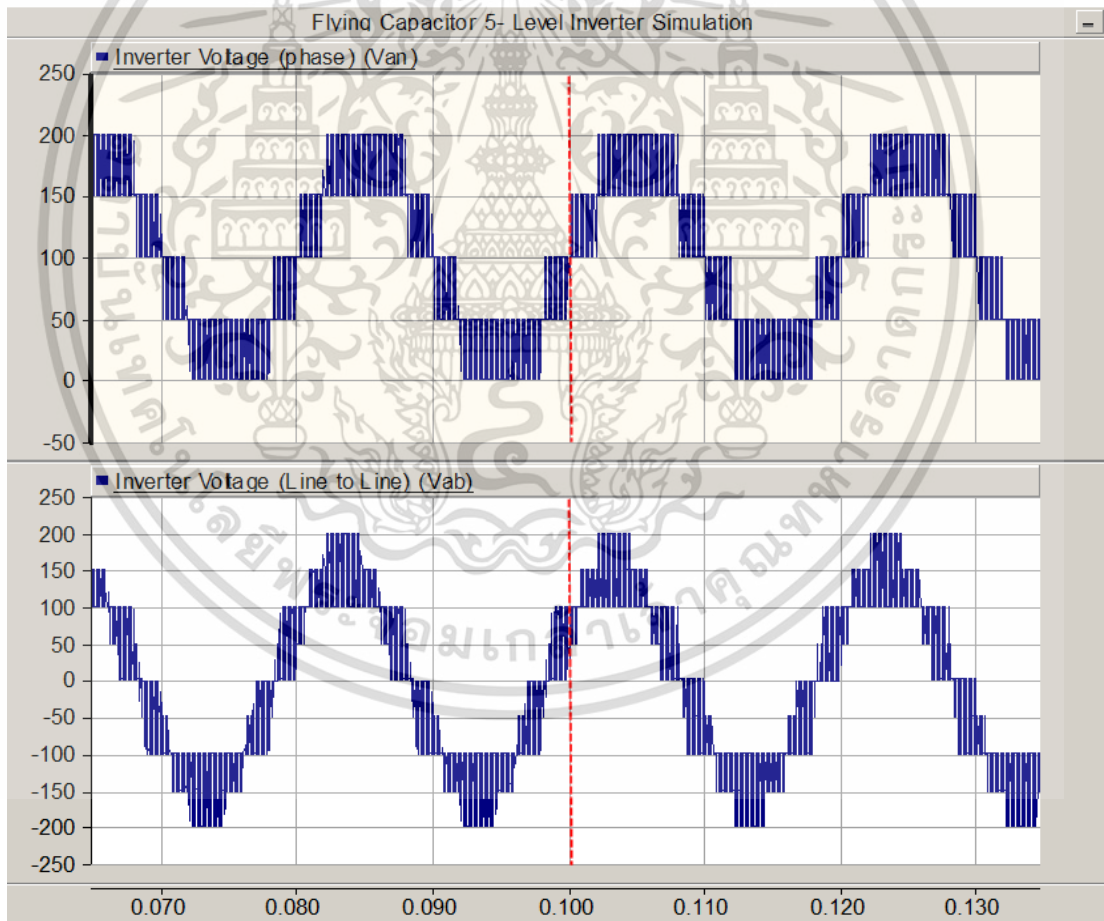


รูปที่ 3.10 กระแสระบบทั้งสามเฟสในการชดเชยกรณีโหลดไม่สมดุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

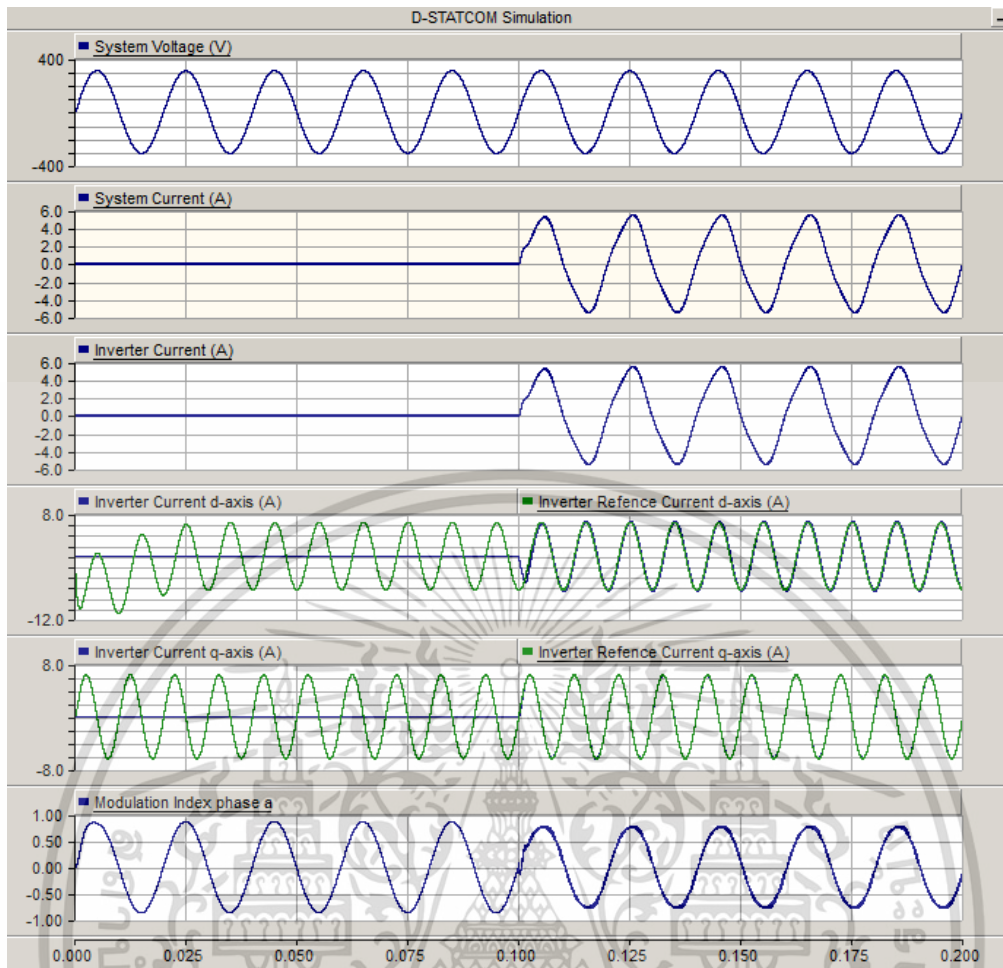


รูปที่ 3.11 รูปคลื่นเปรียบเทียบแรงดันระบบเฟส A กับกระแสระบบเฟส A ขยาย 100 เท่า



รูปที่ 3.12 แรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ก่อนและหลังการชดเชย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



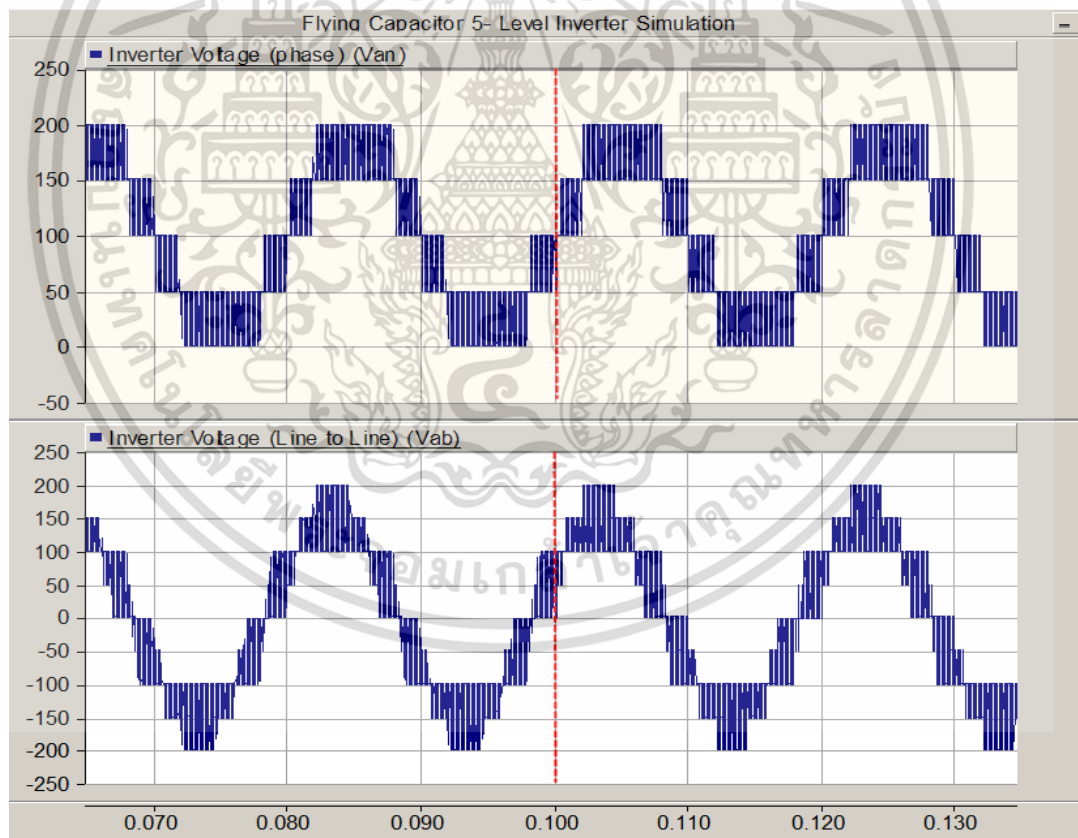
รูปที่ 3.13 รูปคลื่นแรงดันระบบ กระแสระบบ กระแสอินเวอร์เตอร์ กระแสอ้างอิงแกน dq กับ กระแสอินเวอร์เตอร์แกน dq และสัญญาณอ้างอิงแรงดันอินเวอร์เตอร์เฟส A

3.3.3 ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ กรณีโหลดตัวต้านทานกับตัวเหนี่ยวนำ

การจำลองทดสอบการทำงานของขดเซย์โหลดตัวต้านทานกับตัวเหนี่ยวนำของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ ในการจำลองระบบไฟฟ้าถูกเชื่อมต่อกับที่มีผลของตัวต้านทานกับตัวเหนี่ยวนำอยู่ ส่งผลให้กระแสระบบล้าหลังเมื่อเทียบกับแรงดันเฟสระบบและค่าตัวประกอบกำลังไฟฟ้าลดลงเป็น 0.8 ล้าหลังสังเกตได้จากรูปที่ 3.14 ช่วงเวลาที่ 0 - 0.1วินาทีรูปที่ 3.13 แสดงแรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ก่อนและหลังทำการชดเชยสังเกตเห็นได้ว่าหลังอินเวอร์เตอร์เข้าระบบและทำการชดเชยแล้ว แรงดันของอินเวอร์เตอร์ได้เลื่อนหน้าหน้าออกไปเพื่อทำการชดเชยกระแสล้าหลังที่เกิดขึ้นจากโหลด

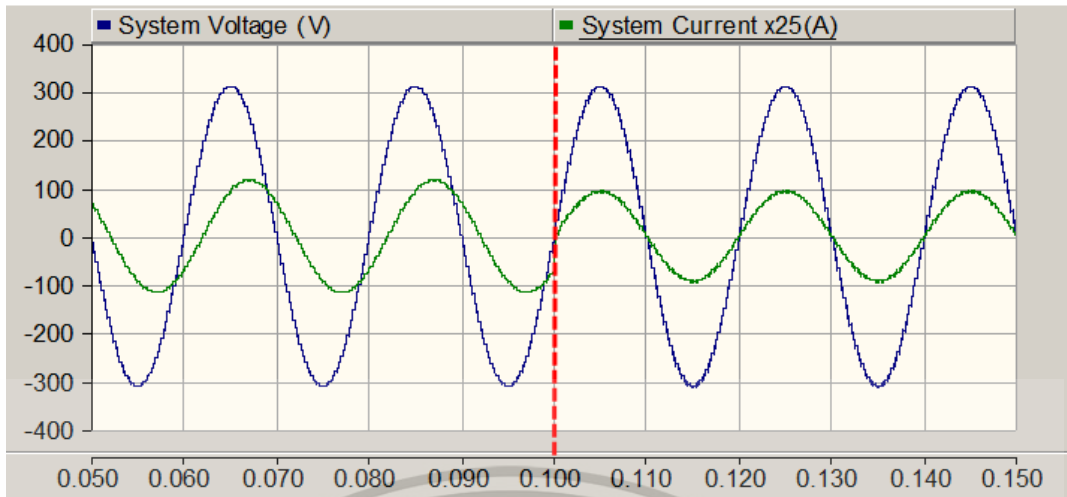
เมื่ออินเวอร์เตอร์เชื่อมต่อเข้าระบบหลังช่วง 0.1 วินาที สังเกตเห็นได้ทันทีว่ากระแสระบบกลับมาอินเฟสกันกับแรงดันระบบอีกครั้ง และมีค่าตัวประกอบกำลังไฟฟ้าเป็น 1.0 โดยไม่มีการล่าช้าแล้ว เพราะอินเวอร์เตอร์ที่เชื่อมต่อบนระบบเข้ามาทำการชดเชยโดยจ่ายกำลังไฟฟ้รีแอกทีฟชดเชยให้กับโหลดแทน ทำให้เหลือเพียงแค่กำลังไฟฟ้าจริงให้กับระบบจ่ายเฟสของกระแสและแรงดันระบบจึงกลับมาอินเฟสกัน และค่าตัวประกอบกำลังไฟฟ้าที่ล่าช้าจึงถูกชดเชยกลับเป็นหนึ่ง

ส่วนรูปที่ 3.15 แสดงให้เห็นว่าตัวควบคุมพีไอทำงานได้ดี เพราะกระแสอินเวอร์เตอร์บนแกน dq ที่ปรากฏในรูปสามารถไล่ตามกระแสอ้างอิงได้อย่างรวดเร็วและมีข้อผิดพลาดน้อย แต่มีการแกว่งอยู่บ้าง ส่วนแรงดันอ้างอิงที่ออกมาจากระบบควบคุมก็มีลักษณะเฟสเลื่อนไปข้างหน้าเพื่อการชดเชยกระแสล่าช้า อันเป็นผลมาจากโหลดตัวต้านทานและตัวเหนี่ยวนำที่ต่ออยู่กับระบบในเวลานี้

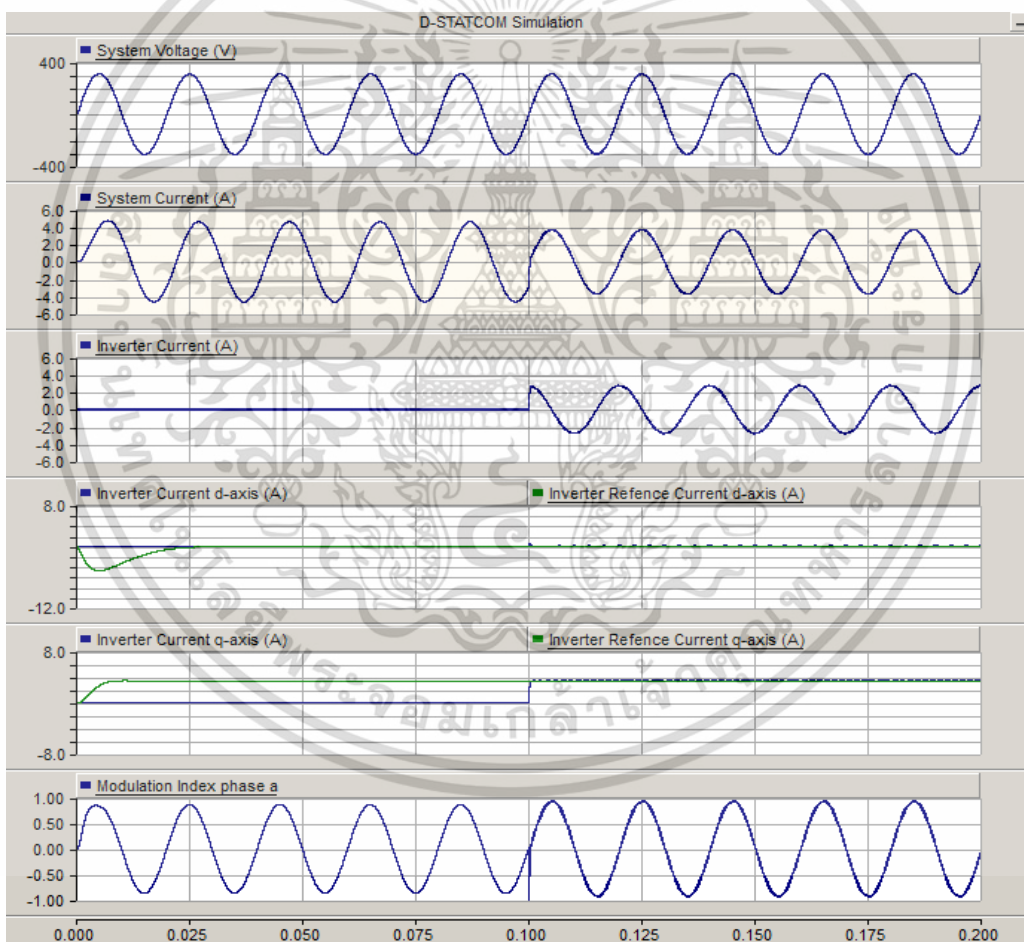


รูปที่ 3.14 แรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ก่อนและหลังการชดเชย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 ผลการจำลองรูปคลื่นแรงดันระบบเปรียบเทียบกับกระแสระบบ



รูปที่ 3.16 รูปคลื่นแรงดันระบบ กระแสระบบ กระแสอินเวอร์เตอร์ กระแสอ้างอิงแกน dq กับ กระแสอินเวอร์เตอร์แกน dq และสัญญาณอ้างอิงแรงดันอินเวอร์เตอร์เฟส A

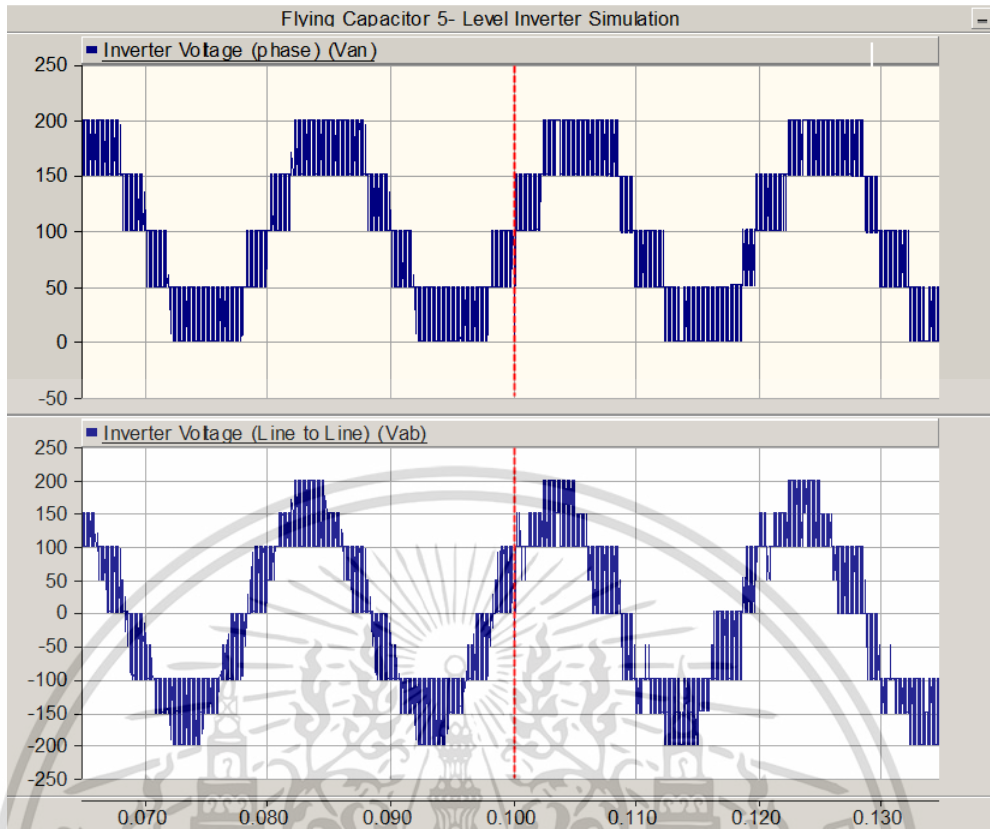
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ กรณีโหลดไม่เป็นเชิงเส้น

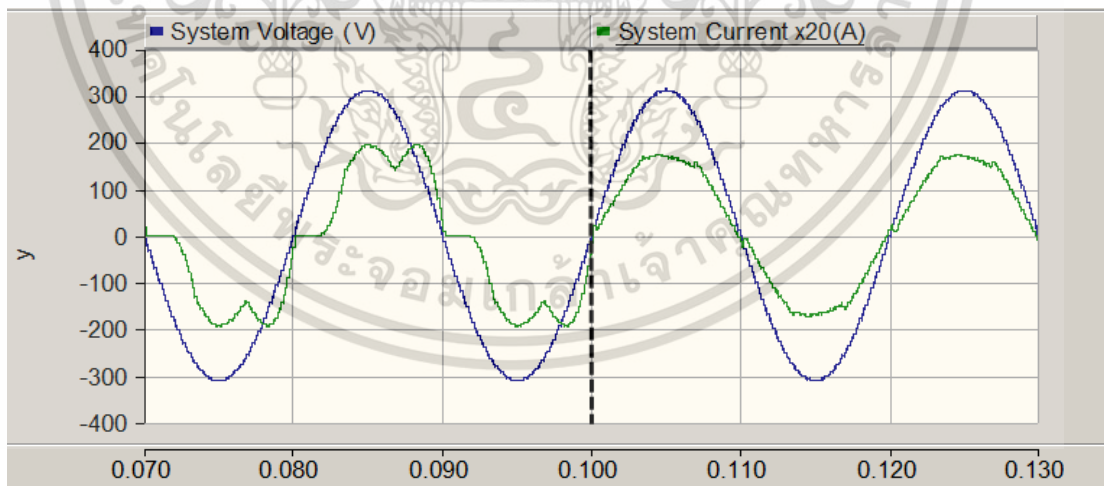
ในการจำลองการชดเชยของอินเวอร์เตอร์กับโหลดไม่เป็นเชิงเส้นนั้น อินเวอร์เตอร์จะถูกเชื่อมต่อเข้าระบบเมื่อเวลา 0.1 วินาที ส่วนโหลดไม่เป็นเชิงเส้นที่เป็นบริดจ์เรกติไฟเออร์ 3 เฟส ถูกเชื่อมต่อกับระบบอยู่ก่อน แรงดันของอินเวอร์เตอร์ก่อนและหลังการชดเชยแสดงดังรูปที่ 3.16 แรงดันของอินเวอร์เตอร์หลังเวลา 0.1 วินาทีไปมีรูปร่างเปลี่ยนไปเพื่อสร้างกระแสฮาร์มอนิกส์ชดเชยป้อนเข้าสู่ระบบ โดยเป้าหมายหลักในการชดเชยคือ ฮาร์มอนิกส์ลำดับที่ 5 และ 7 ที่เป็นฮาร์มอนิกส์ที่มีขนาดใหญ่และเป็นตัวปัญหาหลักที่เกิดจากโหลดไม่เป็นเชิงเส้นอย่างโหลดที่เป็นอุปกรณ์อิเล็กทรอนิกส์และอิเล็กทรอนิกส์กำลังอย่าง ไซโคลนอินเวอร์เตอร์ เป็นต้น

รูปที่ 3.17 เห็นได้ว่ารูปคลื่นของกระแสก่อนช่วงเวลา 0.1 วินาทีถูกรบกวนจากโหลดไม่เป็นเชิงเส้นจนมองเห็นเป็นลักษณะของรูปคลื่นที่ถูกฮาร์มอนิกส์รบกวนอย่างมากจนถูกคลื่นกระแสผิดเพี้ยนไปจากรูปคลื่นไซน์อย่างที่ควรจะเป็น รูปที่ 3.17 และ 3.18 แสดงให้เห็นว่าเมื่ออินเวอร์เตอร์เข้ามาชดเชยในช่วงเวลาหลังวินาทีที่ 0.1 กระแสระบบที่ถูกชดเชยกลับมาเป็นรูปคลื่นสัญญาณไซน์

รูปคลื่นกระแสขาออกของอินเวอร์เตอร์ในรูปที่ 3.19 ช่วงเวลาที่ 0.1 - 0.2 วินาทีเป็นกระแสชดเชยฮาร์มอนิกส์ที่อินเวอร์เตอร์ป้อนเข้าสู่ระบบเพื่อจ่ายชดเชยแทนระบบนั่นเอง รูปที่ 3.20 แสดงสเปกตรัมของกระแสระบบที่มีฮาร์มอนิกส์จำนวนมากก่อนการชดเชย และฮาร์มอนิกส์ที่ลดลงเป็นอย่างมากหลังการชดเชย สเปกตรัมของกระแสระบบได้จากการนำรูปคลื่นกระแสระบบก่อนและหลังการชดเชยไปวิเคราะห์ เมื่อคำนวณหาค่าความผิดเพี้ยนฮาร์มอนิกส์ทั้งหมด (THDi) โดยคำนวณถึงค่าฮาร์มอนิกส์ลำดับที่ 100 ปรากฏว่าก่อนการชดเชยกระแสระบบมี THDi เท่ากับ 21.94% และหลังการชดเชย THDi ลดลงเหลือ 5.72% สังเกตขนาดของฮาร์มอนิกส์ลำดับที่ 5 และ 7 ที่ลดลงเป็นอย่างมาก แสดงว่าอินเวอร์เตอร์ชดเชยฮาร์มอนิกส์ที่เกิดจากโหลดไม่เป็นเชิงเส้นได้

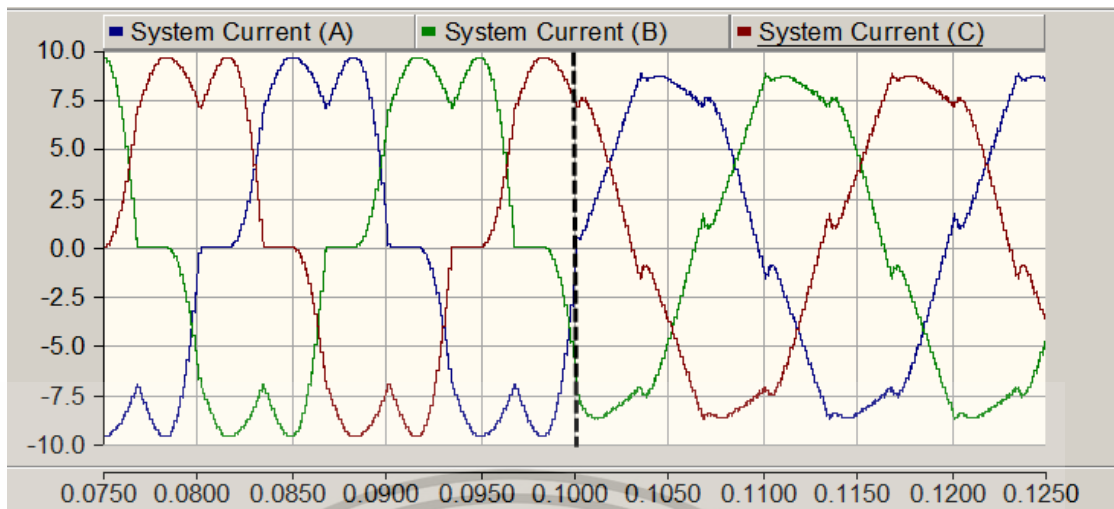


รูปที่ 3.17 แรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ก่อนและหลังการชดเชย

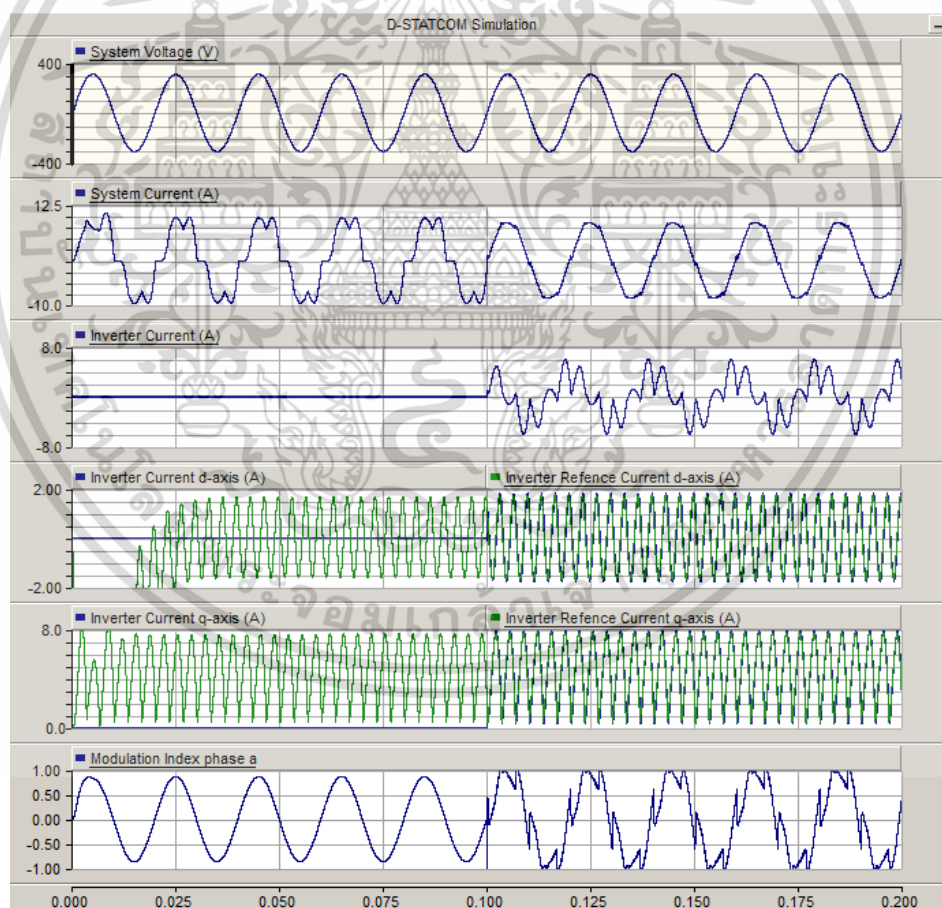


รูปที่ 3.18 ผลการจำลองรูปคลื่นแรงดันระบบเฟส A กับกระแสระบบเฟส A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

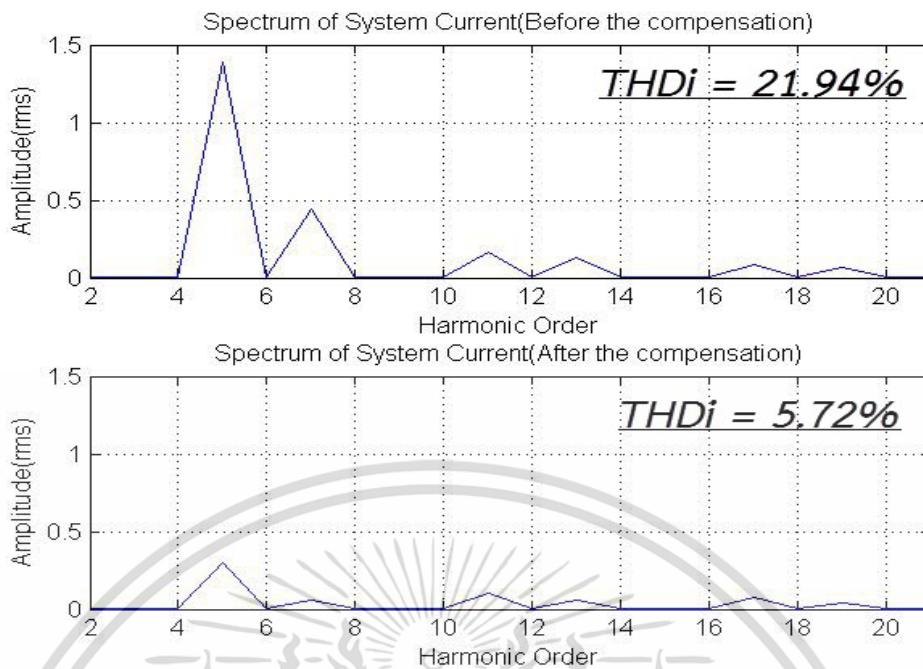


รูปที่ 3.19 รูปคลื่นกระแสระบบเฟส A,B,C ก่อนและหลังการชดเชย



รูปที่ 3.20 รูปคลื่นแรงดันระบบ กระแสระบบ กระแสอินเวอร์เตอร์ กระแสอ้างอิงแกน dq กับ กระแสอินเวอร์เตอร์แกน dq และสัญญาณอ้างอิงแรงดันอินเวอร์เตอร์เฟส A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



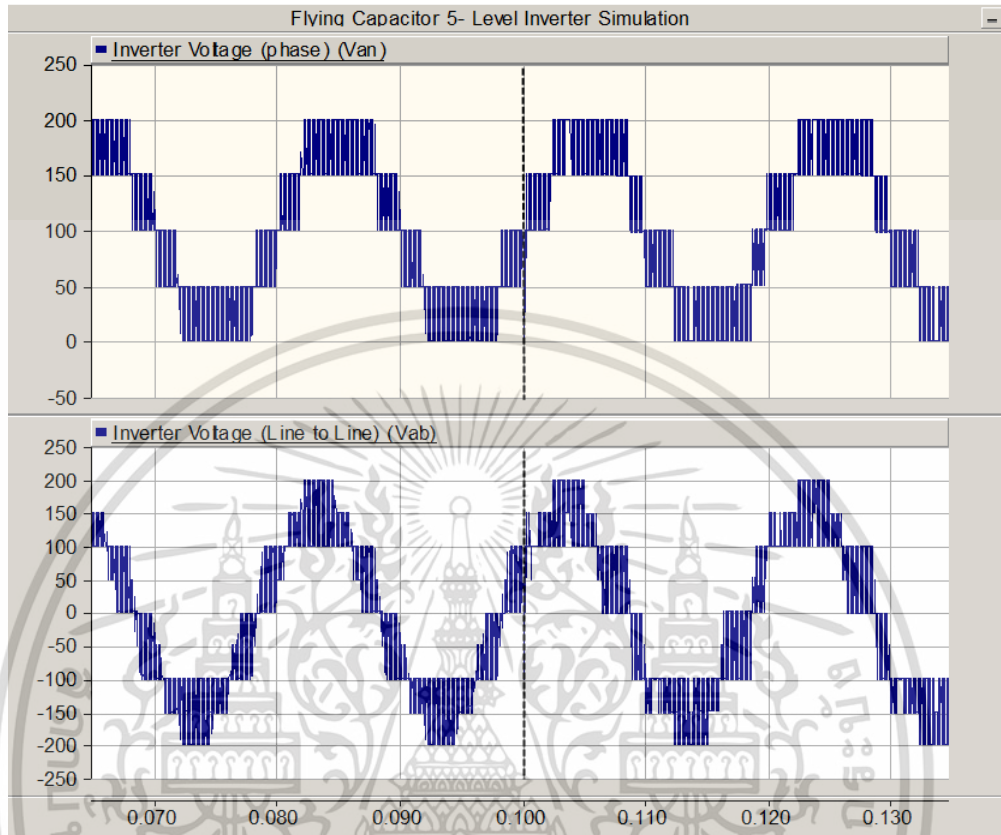
รูปที่ 3.21 สเปกตรัมของฮาร์มอนิกของกระแสระบบก่อนและหลังการชดเชย

3.3.5 ผลการจำลองการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

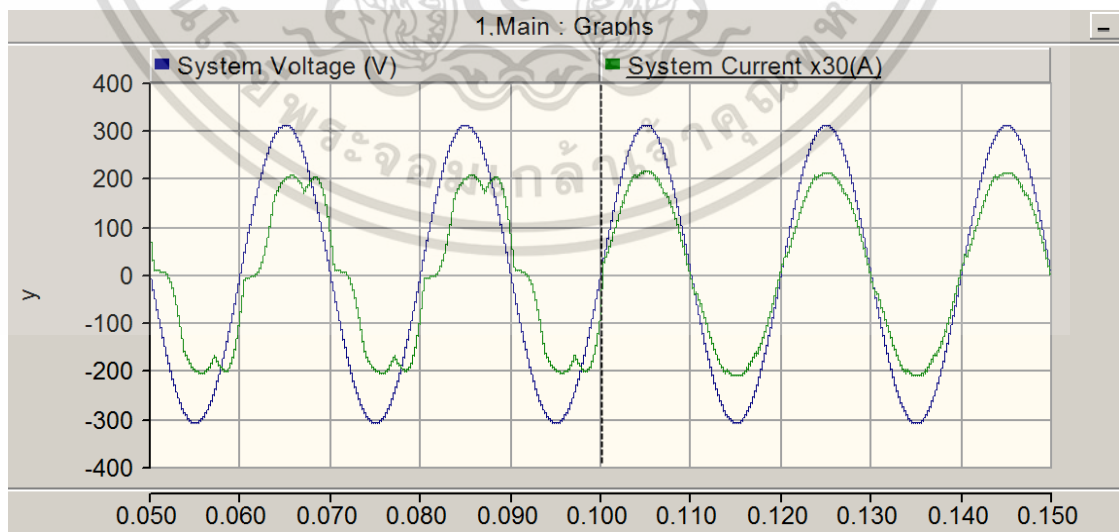
กรณีโหลดไม่เป็นเชิงเส้นร่วมกับโหลดไม่สมดุลและโหลดตัวต้านทานกับตัวเหนี่ยวนำ

การทดสอบการทำงานในกรณีนี้ประกอบด้วยโหลดทั้ง 3 แบบคือ โหลดตัวต้านทานกับตัวเหนี่ยวนำ โหลดตัวต้านทานที่ไม่สมดุล และโหลดไม่เป็นเชิงเส้น โหลดทั้ง 3 แบบถูกเชื่อมต่อกับระบบไฟฟ้าไว้ก่อนที่อินเวอร์เตอร์ถูกเชื่อมต่อเข้ามาภายหลังที่เวลา 0.1 วินาที เช่นเดียวกันกับการจำลองในกรณีก่อนหน้านี้ รูปที่ 3.22 แสดงรูปคลื่นแรงดันขาออกของอินเวอร์เตอร์ทั้งก่อนและหลังการชดเชย รูปที่ 3.23 แสดงให้เห็นถึงกระแสของระบบที่เมื่อเปรียบเทียบกับแรงดันระบบแล้วกระแสระบบล้าหลังอยู่ นอกจากนี้ยังถูกรบกวนด้วยฮาร์มอนิกส์จากโหลดไม่เป็นเชิงเส้นและมีขนาดของกระแสไม่เท่ากันทั้ง 3 เฟส อันเป็นผลที่เกิดจากโหลดตัวต้านทานที่ไม่สมดุล สังเกตได้จากขนาดของกระแสระบบทั้ง 3 เฟสในรูปที่ 3.24

ในรูปที่ 3.23 และ 3.24 เมื่ออินเวอร์เตอร์เชื่อมต่อเข้าสู่ระบบหลังวินาทีที่ 0.1 แล้วเห็นได้ชัดว่ากระแสระบบที่ถูกรบกวนจนผิดเพี้ยนและล้าหลังแรงดันระบบอยู่ ถูกชดเชยจนกระทั่งมีมุมเฟสตรงกับแรงดันระบบ หรือก็คือค่าตัวประกอบกำลังไฟฟ้าที่ล้าหลังอยู่ถูกชดเชยจนกลับมาเป็นหนึ่ง และมีรูปร่างคล้ายสัญญาณไซน์ เมื่อนำกระแสระบบไปวิเคราะห์หาสเปกตรัมออกมาเป็นดังรูป

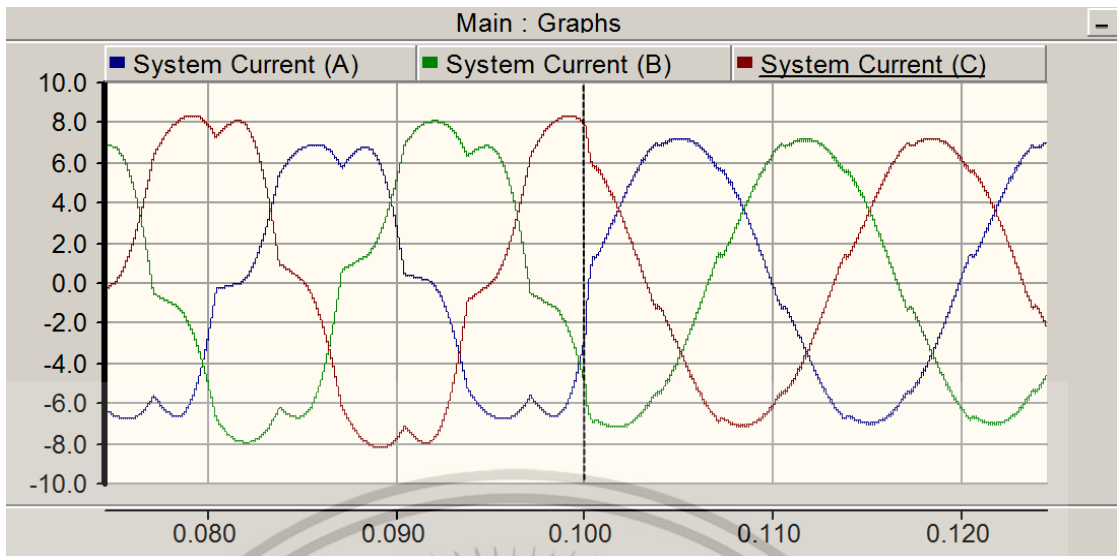


รูปที่ 3.22 แรงดันเฟสและแรงดันระหว่างสายของอินเวอร์เตอร์ก่อนและหลังการชดเชย

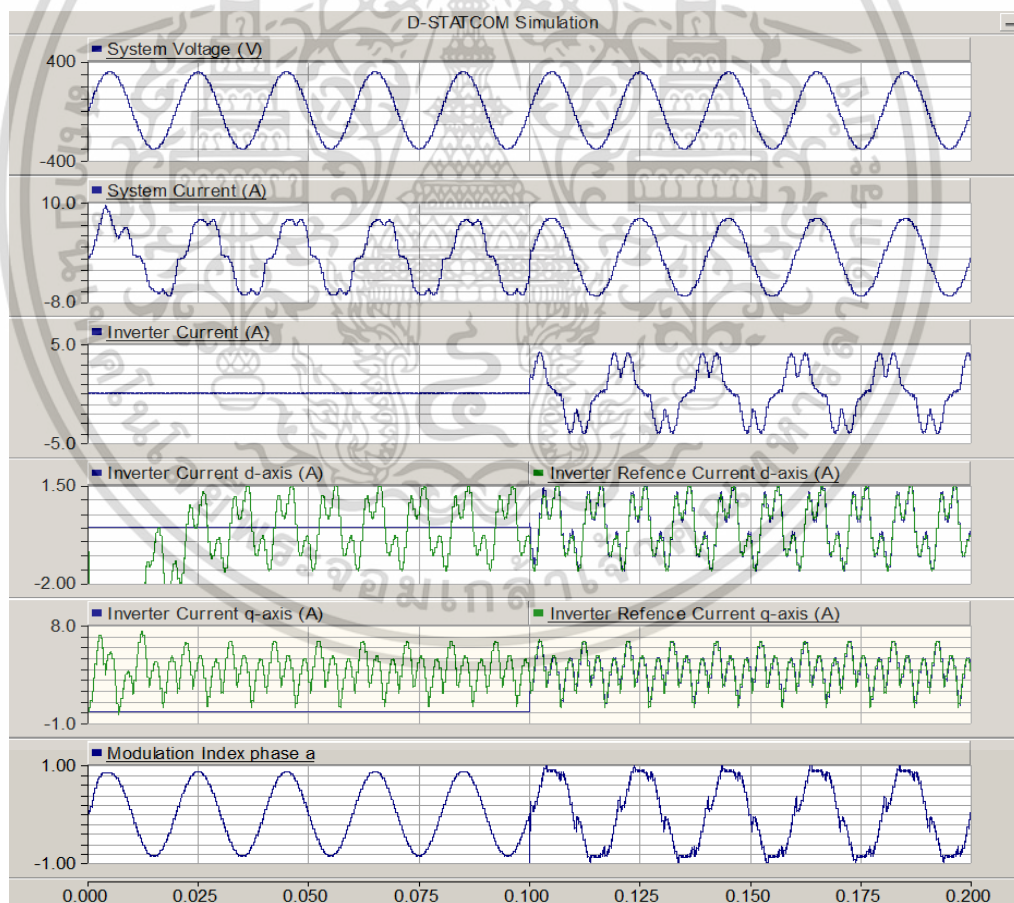


รูปที่ 3.23 ผลการจำลองรูปคลื่นแรงดันระบบเฟส A กับกระแสระบบเฟส A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

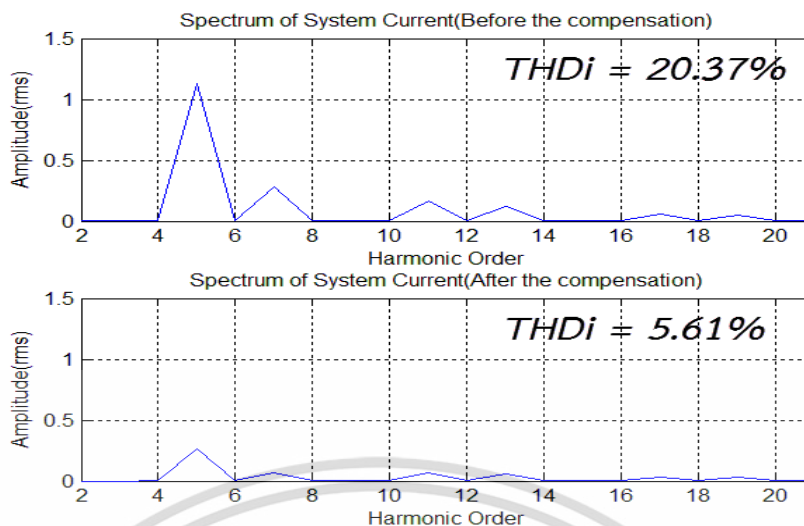


รูปที่ 3.24 รูปคลื่นกระแสระบบเฟส A,B,C ก่อนและหลังการชดเชย



รูปที่ 3.25 รูปคลื่นแรงดันระบบ กระแสระบบ กระแสอินเวอร์เตอร์ กระแสอ้างอิงแกน dq กับ กระแสอินเวอร์เตอร์แกน dq และสัญญาณอ้างอิงแรงดันอินเวอร์เตอร์เฟส A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

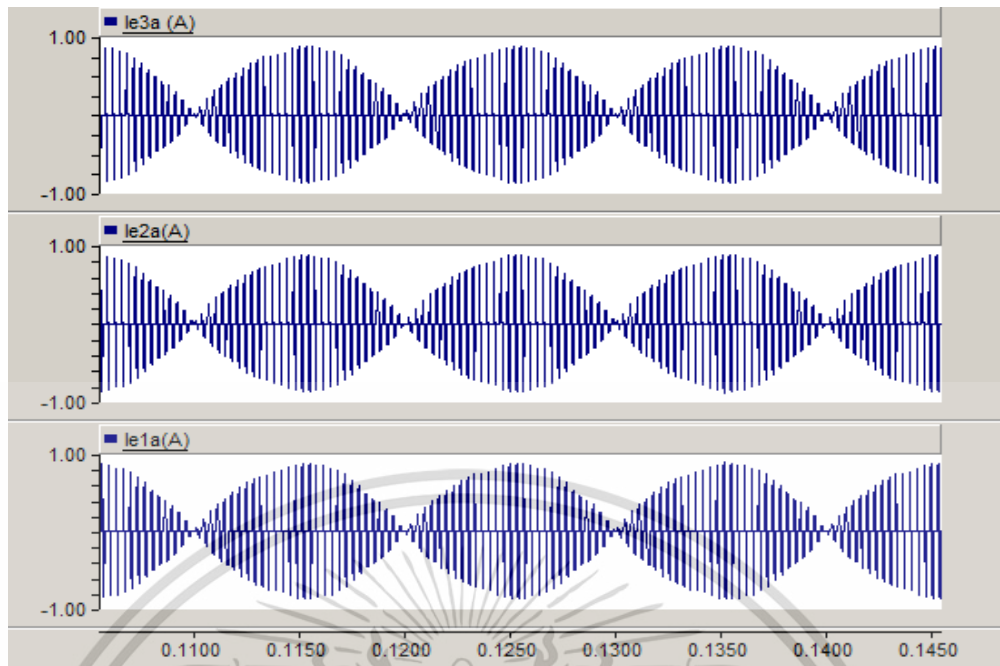


รูปที่ 3.26 สเปกตรัมของฮาร์มอนิกของกระแสระบบก่อนและหลังการชดเชย

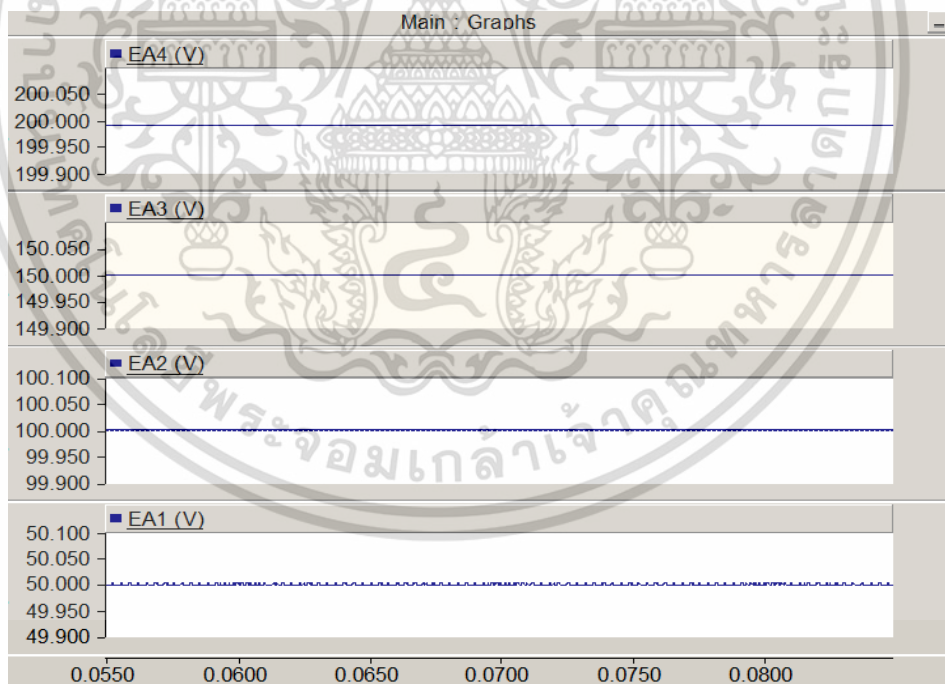
3.3.6 ผลการจำลองการรักษาสมดุลพลังงานที่ฟลายอิงคาปาซิเตอร์ในขณะทำการชดเชยของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

การรักษาสมดุลพลังงานที่ฟลายอิงคาปาซิเตอร์แต่ละตัวเป็นประเด็นสำคัญที่ควรระวังและให้ความสำคัญในใช้งานอินเวอร์เตอร์ชนิดฟลายอิงคาปาซิเตอร์ การที่ฟลายอิงคาปาซิเตอร์จะสามารถรักษาสมดุลพลังงานไว้ได้ ต้องมีรอบการประจุกับการคายประจุที่เท่ากันจึงสามารถตรวจสอบได้จากค่าเฉลี่ยของกระแสหรือแรงดันหรือความสมมาตรของการแกว่งก็ได้ แบ่งพิจารณาออกเป็น 5 กรณี คือ ขณะยังไม่ชดเชย ขณะชดเชยโหลดไม่สมดุล โหลดตัวด้านทานกับตัวเหนี่ยวนำ โหลดไม่เป็นเชิงเส้น และโหลดรวมทั้ง 3 แบบ

รูปคลื่นแรงดันและกระแสของอินเวอร์เตอร์ 5 ระดับฟลายอิงคาปาซิเตอร์ในขณะทำงานปกติก่อนการเชื่อมต่อคู่ได้ดังรูปที่ 3.27 และ 3.28 กระแสฟลายอิงคาปาซิเตอร์ในรูป 3.27 นั้นกระแสแกว่งอยู่รอบแกนศูนย์และเมื่อคำนวณแล้วพบว่ามีความเฉลี่ยเป็นศูนย์ ส่วนแรงดันเฉลี่ยในรูปที่ 3.28 นั้นมีลักษณะเดียวคือแกว่งเล็กน้อยและเมื่อนำไปคำนวณค่าเฉลี่ยเท่ากับระดับแรงดันของฟลายอิงคาปาซิเตอร์ตัวนั้นคือ 150, 100, 50 โวลต์ตามลำดับชั้นนอกสุดเข้าหาชั้นด้านในสุดตามโครงสร้างของอินเวอร์เตอร์



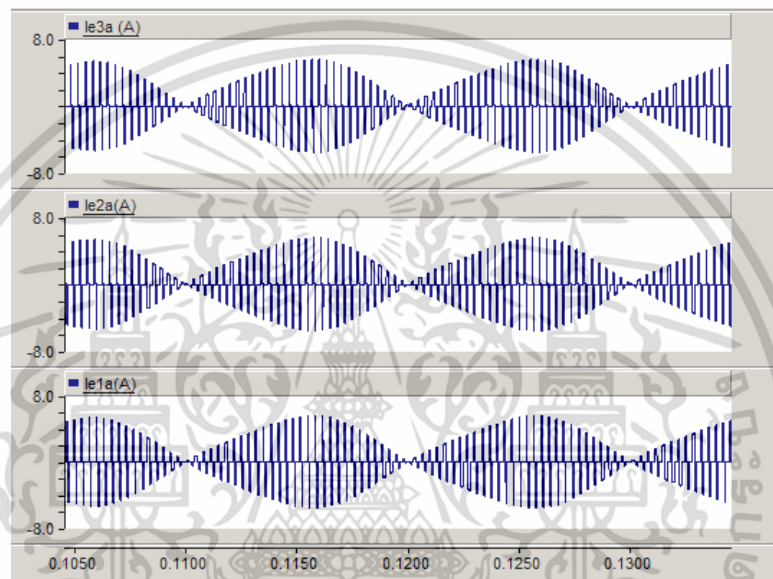
รูปที่ 3.27 กระแสของฟลายอิงคาปาซิเตอร์ในสภาวะทำงานปกติ



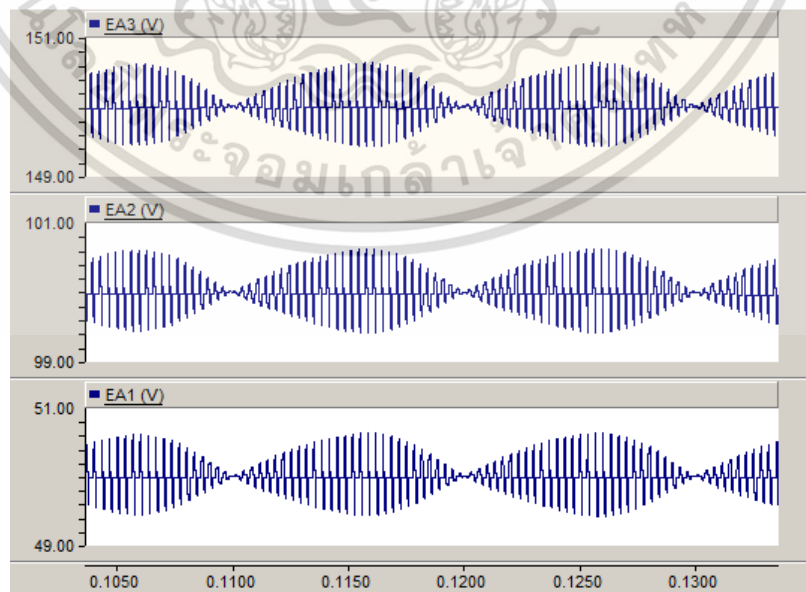
รูปที่ 3.28 แรงดันของฟลายอิงคาปาซิเตอร์ในสภาวะทำงานปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีโหลดตัวต้านทานไม่สมดุลนั้น รูปที่ 3.29 และ 3.30 เป็นรูปคลื่นแรงดันของอินเวอร์เตอร์ฟลายอิงคาปาซิเตอร์ขณะทำการชดเชยโหลดตัวต้านทานไม่สมดุล สังเกตเห็นได้ว่าทั้งกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์มีการแกว่งมากกว่าตอนยังไม่เชื่อมต่อ การแกว่งนั้นยังสมมาตรกันระหว่างด้านบนกับด้านล่างโดยมีแกนศูนย์หรือระดับแรงดันของฟลายอิงคาปาซิเตอร์นั้นเป็นเส้นกลาง ทำให้ยังคงรักษาระดับพลังงานที่ฟลายอิงแต่ละตัวไว้ได้ขณะทำการชดเชยโหลดตัวต้านทานไม่สมดุล



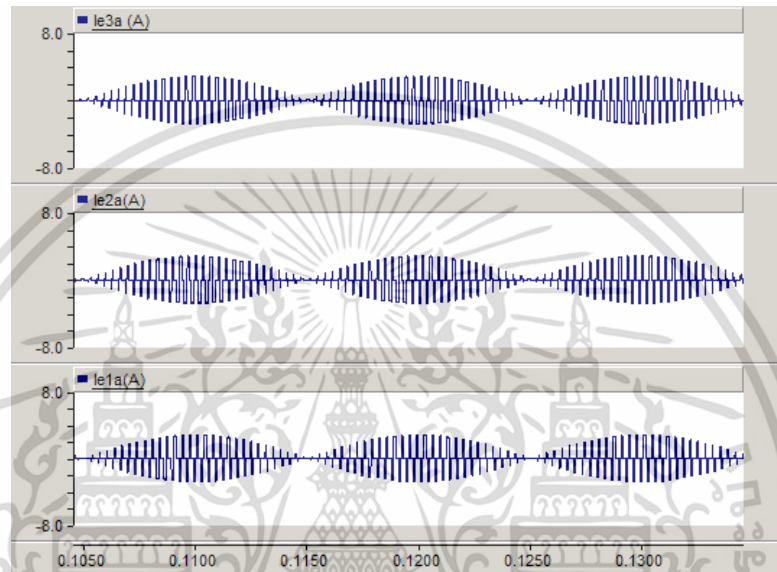
รูปที่ 3.29 กระแสของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหลดไม่สมดุล



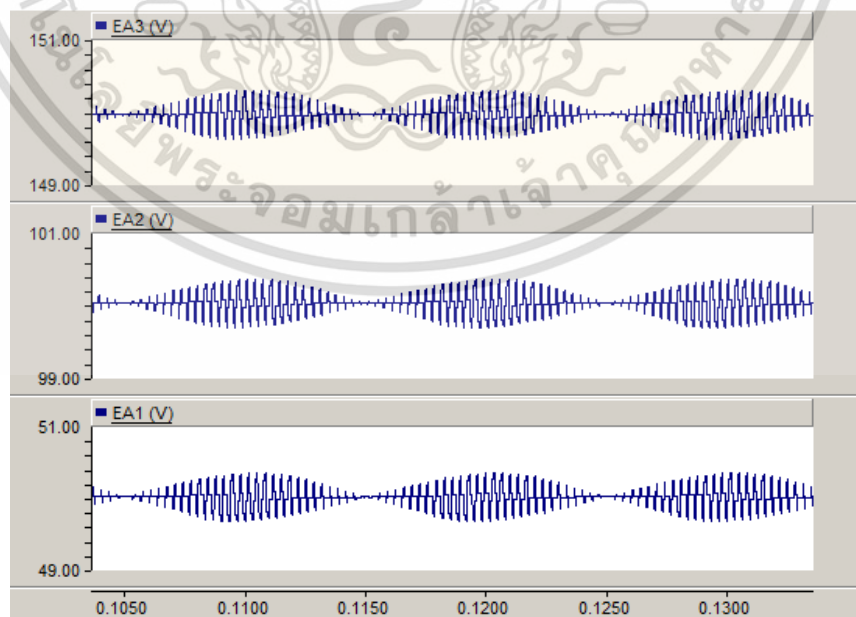
รูปที่ 3.30 แรงดันของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหลดไม่สมดุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.31 และ 3.32 แสดงกระแสและแรงดันของอินเวอร์เตอร์ฟลายอิงคาปาซิเตอร์ขณะชดเชยโหลดตัวต้านทานตัวเหนี่ยวนำ สังเกตได้ว่ารูปคลื่นกระแสยังแกว่งอย่างเป็นสมมาตรระหว่างด้านบนกับด้านล่าง ค่าเฉลี่ยของแรงดันและกระแสจึงนั้นยังคงมีค่าเข้าใกล้ศูนย์หรือเข้าใกล้แรงดันระดับชั้นของฟลายอิงคาปาซิเตอร์ตัวนั้น แสดงว่าอินเวอร์เตอร์ชนิดฟลายอิงยังคงรักษาสมดุลพลังงานเอาไว้ได้ในขณะที่ชดเชยโหลดตัวต้านทานกับตัวเหนี่ยวนำ



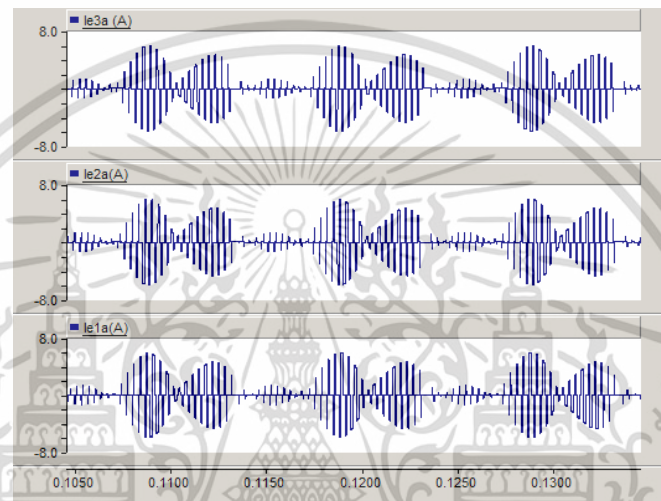
รูปที่ 3.31 กระแสของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหลดตัวต้านทานกับตัวเหนี่ยวนำ



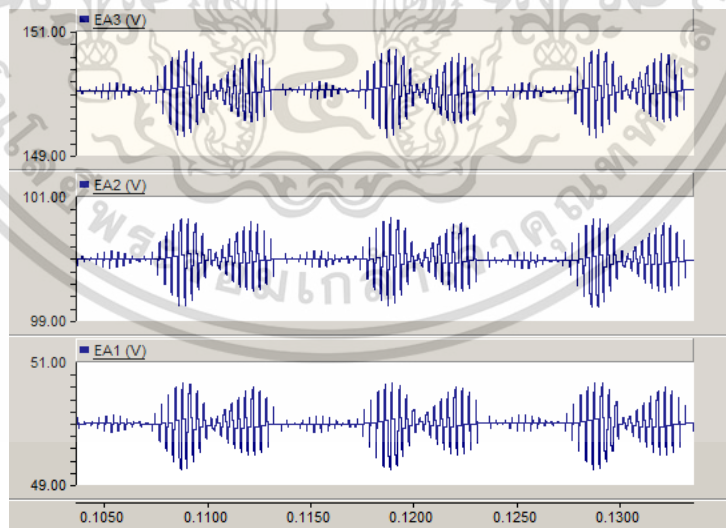
รูปที่ 3.32 แรงดันของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหลดตัวต้านทานกับตัวเหนี่ยวนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปร่างของรูปคลื่นกระแสในรูป 3.33 มีรูปร่างการแกว่งที่เปลี่ยนเพราะการชดเชยฮาร์มอนิกส์ของอินเวอร์เตอร์ แต่การแกว่งยังคงสมมาตรทำให้ยังรักษาระดับพลังงานที่คาชิตเตอร์เอาไว้ได้ขณะที่ทำการชดเชย ส่วนแรงดันที่ฟลายอิงคาปาซิเตอร์ในรูป 3.34 นั้นจะเห็นได้ว่าแรงดันที่ดีซีลิ่งก็มีการแกว่งด้วยความถี่สูง การแกว่งนั้นเป็นเรื่องปกติเนื่องจากอินเวอร์เตอร์ทำการชดเชยฮาร์มอนิกส์ของโหลดไม่เป็นเชิงเส้นอยู่ ส่วนการแกว่งนั้นยังคงสมมาตรและรักษาระดับแรงดันของฟลายอิงคาปาซิเตอร์แต่ระดับขึ้นไว้ได้



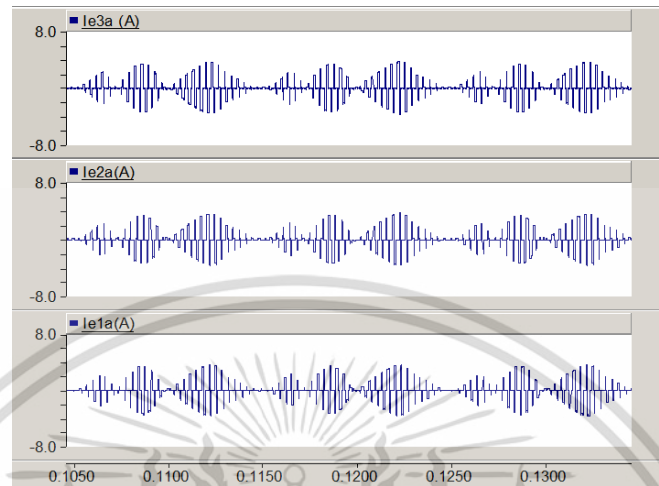
รูปที่ 3.33 กระแสของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหลดไม่เป็นเชิงเส้น



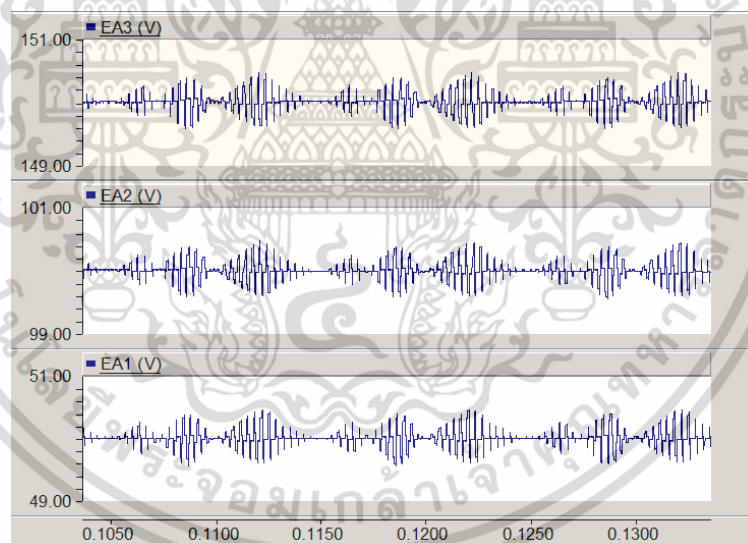
รูปที่ 3.34 แรงดันของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหลดไม่เป็นเชิงเส้น

กรณีโหลดร่วมกันทั้ง 3 แบบนั้นกระแสและแรงดันดังรูปที่ 3.35 และ 3.36 มี

ลักษณะคล้ายกับรูปร่างการแกว่งของกระแสและแรงดันของการชดเชยโหลดแต่ละแบบมารวมกัน เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.35 กระแสของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหลดรวมทั้ง 3 แบบในเวลาเดียวกัน



รูปที่ 3.36 แรงดันของฟลายอิงคาปาซิเตอร์ในขณะชดเชยโหลดรวมทั้ง 3 แบบในเวลาเดียวกัน

3.4 สรุปผลการจำลอง

จากผลการจำลองการชดเชยฮาร์มอนิกส์และกำลังไฟฟ้ารีแอกทีฟด้วยอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์กับโหลดทั้ง 3 แบบ เห็นได้ว่าอินเวอร์เตอร์สามารถชดเชยให้ระบบที่เชื่อมต่ออยู่กับโหลดทั้ง 3 แบบได้ คือ สามารถสมดุลกระแสระบบที่เกิดจากโหลดไม่สมดุลให้มีขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



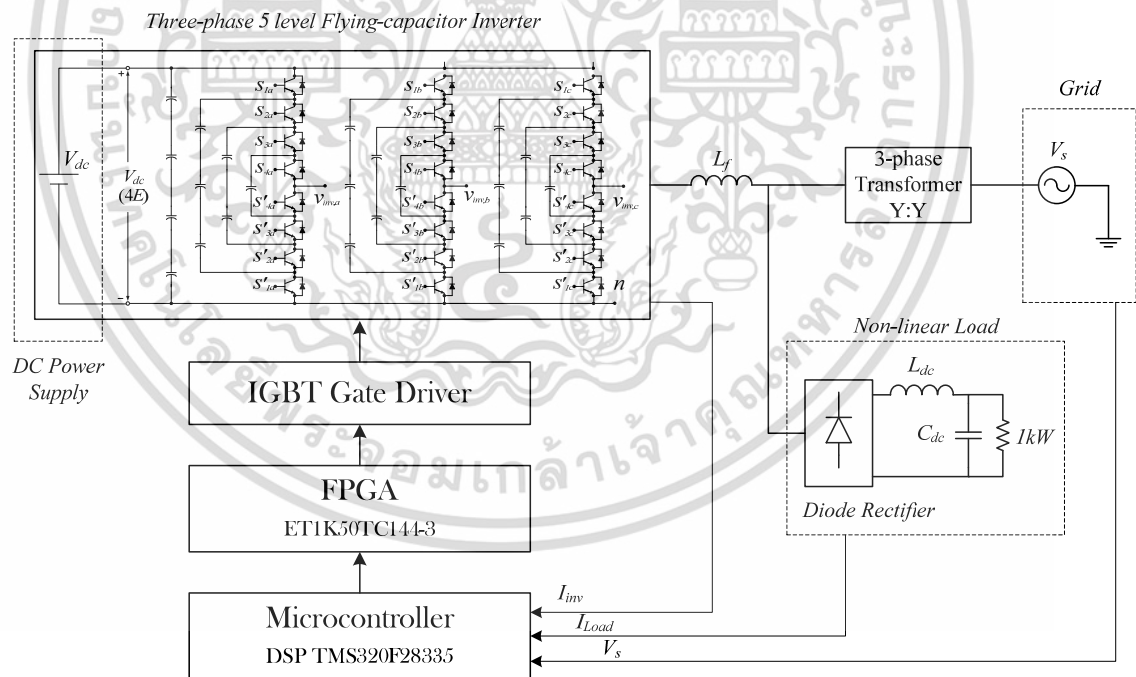
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

เครื่องต้นแบบและระบบควบคุม

4.1 โครงสร้างระบบควบคุมอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

บทนี้จะกล่าวถึงโครงสร้างของระบบควบคุมและวงจรกำลังของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ โดยเครื่องต้นแบบนี้ประกอบด้วย อินเวอร์เตอร์ ชุดวงจรตรวจจับสัญญาณแรงดันและกระแส วงจรขับเคลื่อนและตัวประมวลผลสัญญาณดิจิทัล (DSP) กับ FPGA ซึ่งมีโครงสร้างโดยรวมดังรูปที่ 4.1

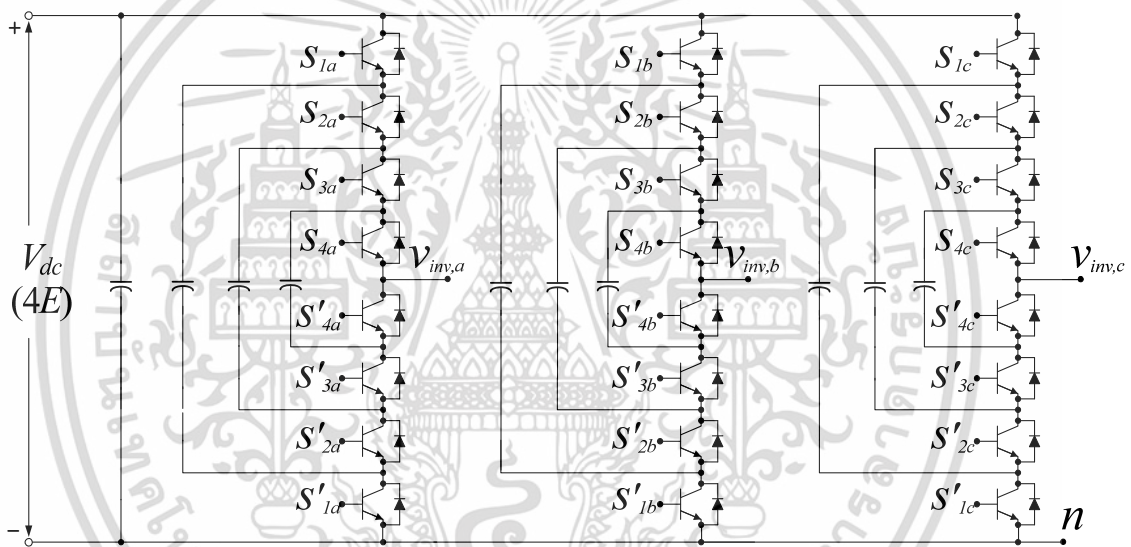


รูปที่ 4.1 โครงสร้างเครื่องต้นแบบของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

4.2 การออกแบบอินเวอร์เตอร์

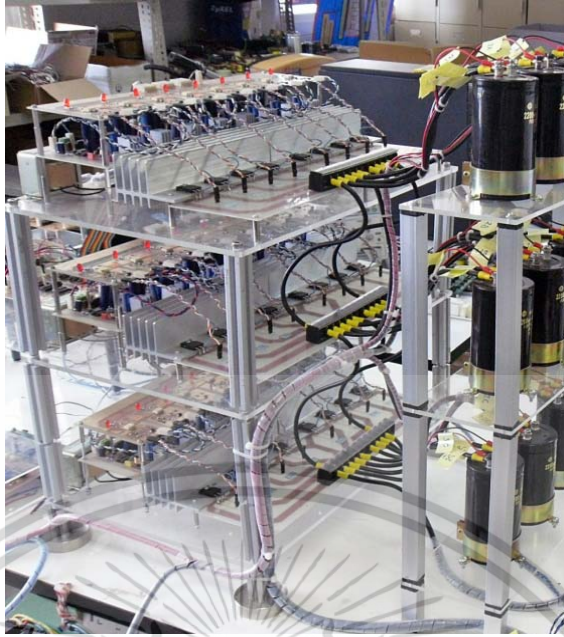
4.2.1 วงจรสวิตช์กำลัง

อินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ได้ออกแบบที่พิกัดกำลังไฟฟ้า 2 kW และพิกัดแรงดัน 200 V มีโครงสร้างแบบสามเฟสดังรูปที่ 4.2 โดยในหนึ่งเฟสจะมีสวิตช์กำลังทั้งหมด 4 คู่หรือ 8 ตัวกับฟลายอิงคาปาซิเตอร์ 3 ตัว ทำให้อินเวอร์เตอร์ 1 เฟสสามารถสร้างแรงดันขาออกได้ 5 ระดับ สวิตช์กำลังที่ใช้เป็น IGBT เบอร์ G20N60B3D ที่มีพิกัดกระแส 40 A และพิกัดแรงดัน 600V ซึ่งเป็นสเปคที่เพียงพอสำหรับแรงดันขาเข้าอย่างมากที่สุดเท่ากับ V_{dc} เพียงเท่านั้น



รูปที่ 4.2 โครงสร้างของอินเวอร์เตอร์ 5 ระดับชนิดอิงคาปาซิเตอร์แบบ 3 เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรสวิตช์กำลังของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ 3 เฟส

4.2.2 แหล่งจ่ายแรงดันไฟฟ้ากระแสตรง

ในการทดลองนี้ได้ใช้แหล่งจ่ายแรงดันไฟฟ้ากระแสตรงยี่ห้อ KIKUSUI ที่มีพิกัดกำลัง 2 kW พิกัดแรงดันกระแสตรงสูงสุด 270 V ซึ่งเพียงพอที่ใช้เป็นแหล่งจ่ายแรงดันไฟฟ้ากระแสตรงให้กับเครื่องต้นแบบของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

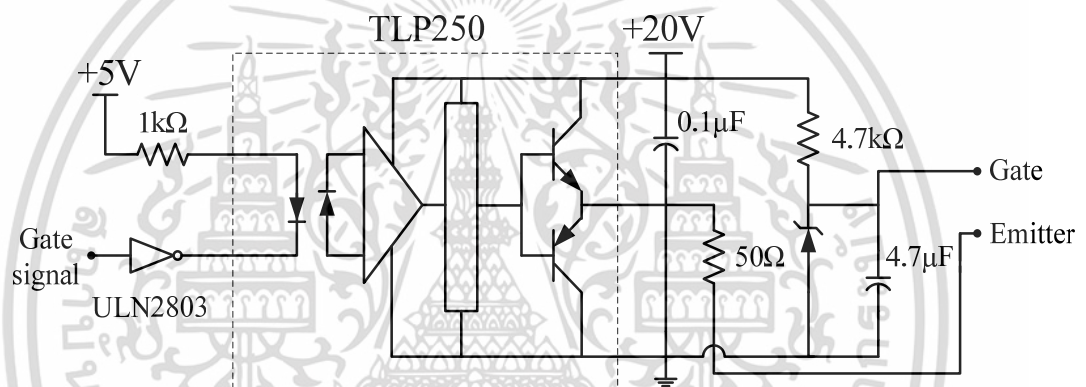


รูปที่ 4.4 แหล่งจ่ายแรงดันไฟฟ้ากระแสตรง ยี่ห้อ KIKUSUI

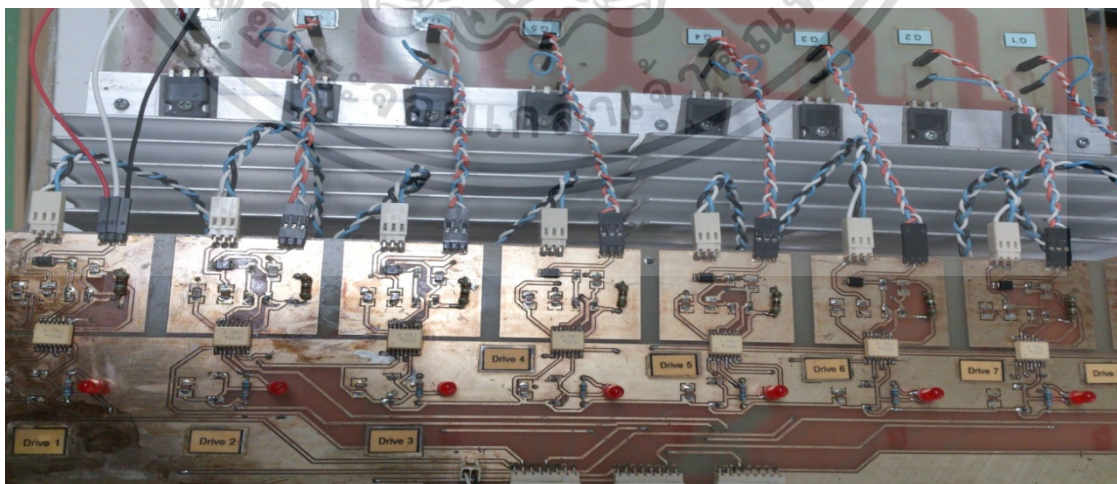
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 วงจรขับนำเกท

วงจรขับนำเกท แสดงดังรูปที่ 4.5 จะใช้ไอซีเบอร์ TLP250 ที่เป็นไอซีที่สามารถแยก โดตทางแสง เพื่อแยกกราวด์ระหว่างสัญญาณควบคุมกับสัญญาณขับสวิตซ์ได้ และสามารถทำงานได้ สูงสุดที่ 25 kHz ในส่วนของสัญญาณควบคุมนั้นได้รับมาจาก FPGA ซึ่งประมวลสัญญาณที่ได้รับมา จากตัวประมวลสัญญาณดิจิทัล(DSP) ในส่วนของสัญญาณขับสวิตซ์นั้นมีแหล่งจ่ายแยกออกไปและ ใช้แรงดันขนาด 20 V และมีการต่อซีเนอร์ไดโอด 5.1 V ไว้ที่ขาอิมิตเตอร์ของ IGBT เพื่อสร้างแรงดัน - 5 V ที่ขาเกตกับขาอิมิตเตอร์ขณะหยุดการทำงานและมีแรงดัน 15 V ที่ขาเกตกับขาอิมิตเตอร์ขณะ ทำงาน



รูปที่ 4.5 วงจรขับนำเกท



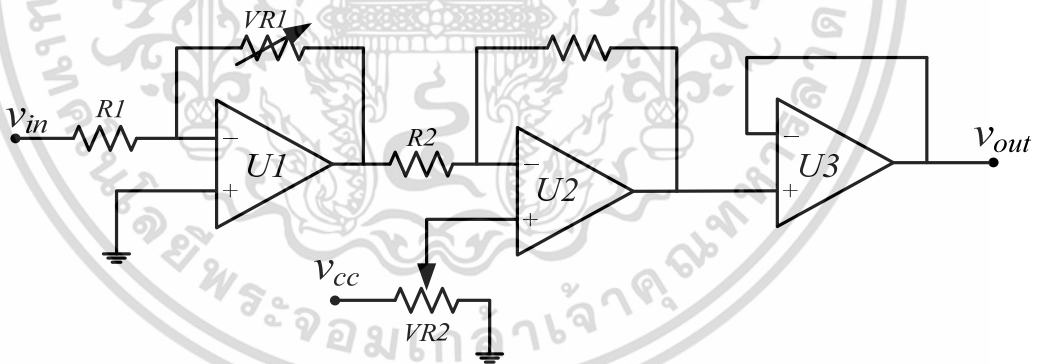
รูปที่ 4.6 ชิ้นงานวงจรขับนำเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การออกแบบส่วนตรวจวัดสัญญาณกระแสและแรงดัน

วงจรตรวจวัดสัญญาณกระแสและแรงดันมีไว้เพื่อรับสัญญาณกระแสและแรงดันเข้ามาป้อนให้กับโมดูลแปลงอนาล็อกเป็นดิจิทัล(Analog to Digital Converter, ADC) ที่อยู่บนตัวประมวลผลสัญญาณดิจิทัล DSP ซึ่งมีข้อจำกัดคือ สามารถรับแรงดันได้ตั้งแต่ 0 - 3 V เท่านั้นจึงต้องมีวงจรรักษาระดับสัญญาณและปรับขนาดสัญญาณให้สามารถป้อนให้กับโมดูล ADC ได้

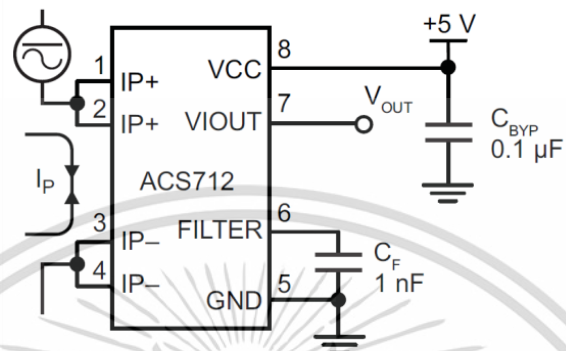
การตรวจวัดสัญญาณแรงดันในงานวิจัยนี้ใช้หม้อแปลงลดขนาดแรงดันลงมาเหลือ 3 V_{rms} แล้วจึงนำมาเข้าวงจรรักษาและปรับขนาดแรงดันในรูปที่ 4.7 วงจรปรับขนาดและรักษาระดับแรงดันประกอบด้วยออปแอมป์ 3 ชุด ชุดแรก(U1) เป็นอินเวิร์ตติงแอมป์ใช้ปรับลดขนาดสัญญาณให้อยู่ในช่วง +1.5 V ถึง -1.5 V โดยปรับเพิ่มลดการขยายได้ด้วยการปรับตัวต้านทานปรับค่าได้ที่ VR1 ชุดที่สอง(U2)เป็นวงจรขยายผลต่างที่ใช้รักษาระดับสัญญาณโดยใช้แหล่งจ่ายแรงดันกระแสตรงป้อนเข้าขาบวกผ่านขากลางของตัวต้านทานปรับค่าได้ VR2 ทำให้สามารถเลือกปรับได้ว่าจะรักษาระดับขึ้นลงมากแค่ไหน และชุดสุดท้าย(U3)คือ วงจรบัฟเฟอร์ที่ใช้แยกระหว่างวงจรรักษาสัญญาณวัดกับโมดูล ADC ของไมโครคอนโทรลเลอร์ DSP และป้องกันการเกิด Loading Effect



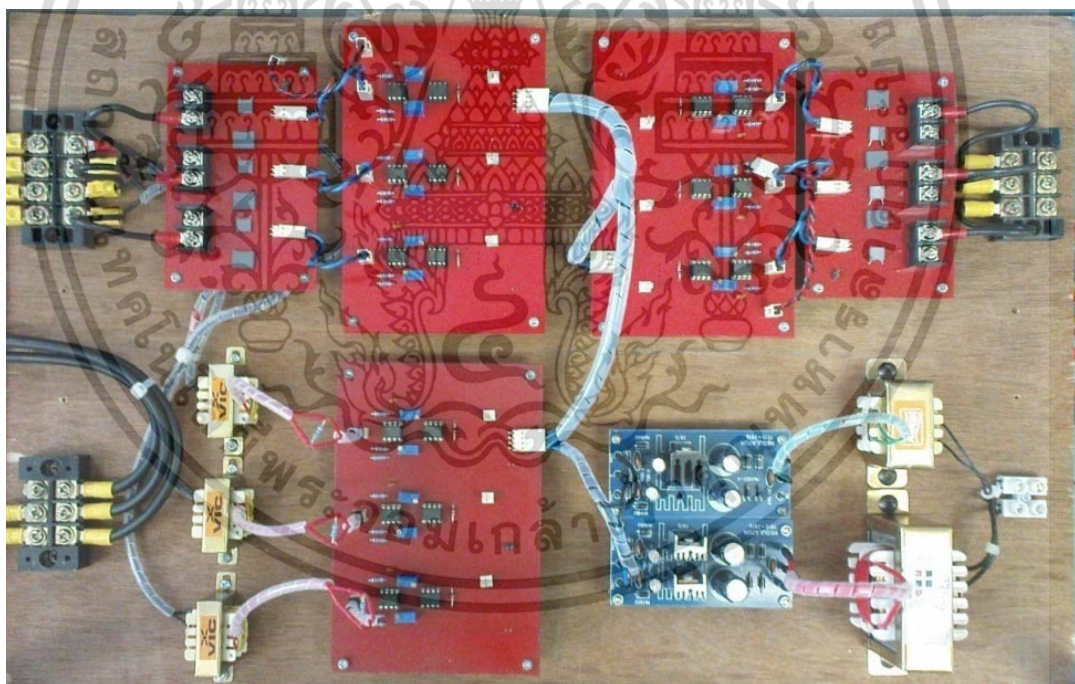
รูปที่ 4.7 วงจรรักษาและปรับขนาดสัญญาณก่อนเข้า DSP

วงจรตรวจวัดกระแสที่ใช้หลักการทำงานโดยอาศัยการเหนี่ยวนำของสนามแม่เหล็ก(Hall Effect) เป็นไอซีเบอร์ ACS712ELCTR-30A-T ของบริษัท Allegro MicroSystem, Inc. ที่มีย่านการวัดกระแสตั้ง -30 ถึง +30 A(peak) และใช้ไฟเลี้ยงได้ตั้งแต่ 5 - 8 V โดยแรงดันที่เป็นค่ากระแสที่ไอซีอ่านออกมาได้จะถูกยกระดับด้วยแรงดันกระแสตรงที่มีค่าเป็นครึ่งหนึ่งของแรงดันกระแสตรงที่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 เซนเซอร์ตรวจจับสัญญาณกระแส ACS712ELCTR-30A-T



รูปที่ 4.9 ชิ้นงานวงจรยกระดับและปรับขนาด กับเซนเซอร์ตรวจจับสัญญาณแรงดันและกระแส

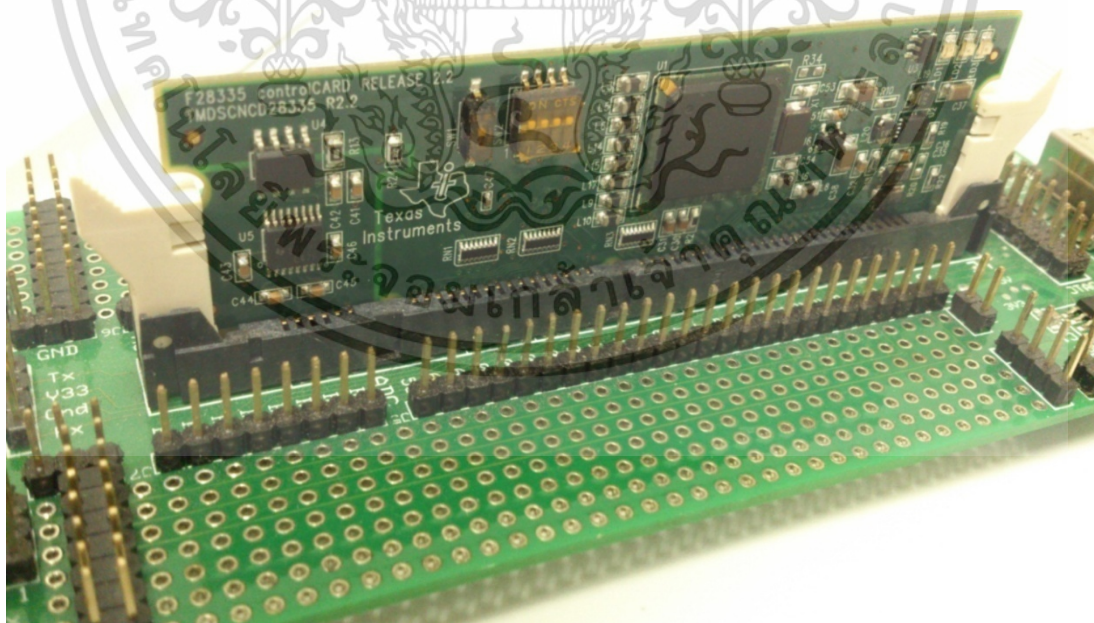
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 หน่วยประมวลผลของระบบควบคุม

4.4.1 ตัวประมวลผลสัญญาณดิจิทัล (Digital Signal Processing, DSP)

งานวิจัยนี้ได้เลือกใช้ตัวประมวลผลสัญญาณดิจิทัล (DSP) ของบริษัท Texas Instruments รุ่น F28335 Delfino โดยรุ่นที่เลือกมาอยู่ในตระกูล C2000 Experimenter's Kit ที่มีส่วนประกอบหลัก 2 ส่วน คือ ดอคกิงสเตชัน (docking station) และ คอนโทรล (control card) ตัวคอนโทรลการ์ดนี้จะเป็นส่วนที่มีชิปของ DSP และโมดูลสนับสนุนรวมกันอยู่บนการ์ดที่มีลักษณะคล้ายกับการ์ดแรมของคอมพิวเตอร์ ซึ่งคอนโทรลการ์ดนั้นมีรุ่นของ DSP ให้เลือกใช้มากมายจึงสะดวกต่อการปรับเปลี่ยนตามความต้องการของผู้ใช้ ส่วนดอคกิงสเตชันนั้นจะเป็นแท่นที่ประกอบด้วยขาอินพุตและเอาต์พุต ชิประบบตีบคิงและระบบไฟเลี้ยง สามารถรองรับคอนโทรลการ์ดได้ทุกชนิด

งานวิจัยนี้ใช้ DSP ในการประมวลผลระบบควบคุมอินเวอร์เตอร์ เฟสล็อกคลุ๊ปและอ่านค่าจากเซนเซอร์ตรวจจับกระแสและแรงดัน ก่อนส่งค่าสัญญาณแรงดันอ้างอิงต่อไปยัง FPGA เพื่อให้ FPGA ทำการมอดูเลตด้วยเทคนิค PSPWM และสร้างสัญญาณเกตไปป้อนให้วงจรขับสวิตช์กำลัง

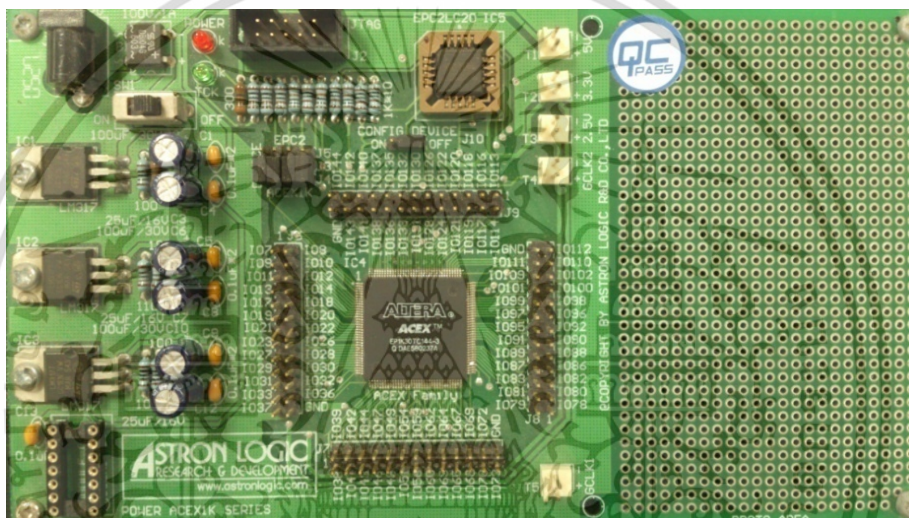


รูปที่ 4.10 ไมโครคอนโทรลเลอร์ DSP F28335 Delfino

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.2 FPGA

ไมโครคอนโทรลเลอร์อีกตัวที่งานวิจัยนี้ใช้รวมกันกับ DSP คือ FPGA หรือ Field-Programmable Gate Array เป็นไมโครคอนโทรลเลอร์ที่ถูกเลือกมาช่วยจัดการกับกระบวนการสร้างสัญญาณเกิดด้วยเทคนิค PSPWM รุ่นที่เลือกมาใช้งานคือ EP1K30TC144-3 ในตระกูล ACEX1K ของบริษัท Altera มีจำนวนเกต 30,000 เกต ซึ่งเพียงพอสำหรับการงานวิจัย ส่วนความถี่สัญญาณนาฬิกาที่ขึ้นอยู่กับผู้ใช้งานจะเลือกใช้เท่าไรหรือเลือกใช้ได้ในย่าน 33 - 66 MHz ในงานวิจัยใช้งานที่ 40 MHz



รูปที่ 4.11 Altera ACEX series EP1K30TC144-3

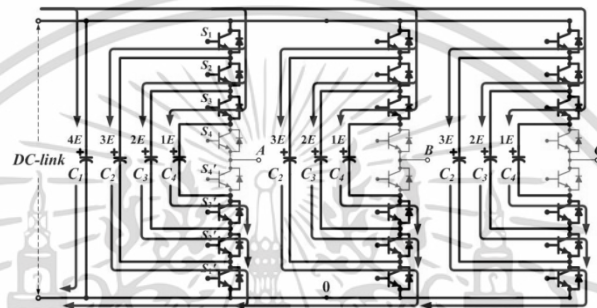
4.5 กระบวนการทำงานของระบบควบคุมอินเวอร์เตอร์

ในงานวิจัยนี้ได้เลือกใช้งานไมโครคอนโทรลเลอร์ DSP F28335 Delfino ร่วมกับ FPGA เพื่อควบคุมการทำงานของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ DSP ทำหน้าที่ตรวจสอบสถานะการชาร์ตของฟลายอิงคาปาซิเตอร์ในขั้นตอนสตาร์ทอัพ อ่านค่าสัญญาณกระแสและแรงดันประมวลผลระบบควบคุมป้อนกลับและป้อนสัญญาณแรงดันอ้างอิงให้กับ FPGA ส่วน FPGA ทำหน้าที่สั่งการเปิดปิดสวิตช์กำลังในขั้นตอนการสตาร์ทอัพและรับค่าแรงดันอ้างอิงจาก DSP มาสร้างสัญญาณเกตขับอินเวอร์เตอร์ด้วยเทคนิค PSPWM

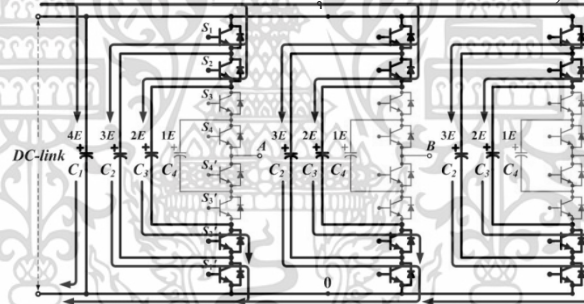
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.1 ขั้นตอนการสตาร์ทอัพ

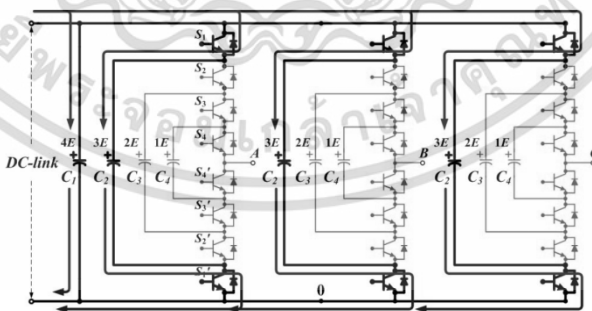
หากต้องการเริ่มใช้งานอินเวอร์เตอร์จะต้องทำการสตาร์ทอัพเสียก่อน การสตาร์ทอัพอินเวอร์เตอร์ คือการประจุพลังงานที่ฟลายอิงคาปาซิเตอร์แต่ละตัวจนได้ระดับตามระดับขั้นของฟลายอิงคาปาซิเตอร์ตัวนั้น ในขั้นตอนการสตาร์ทอัพ DSP เป็นตัวเริ่มกำหนดและเริ่มสั่งการให้ FPGA เข้าสู่โหมดสตาร์ทอัพ พร้อมกับให้ FPGA เปิดการทำงานของสวิตช์กำลังดังรูปที่ 4.12 (ก) เพื่อปล่อยให้กระแสเข้าไปชาร์จประจุฟลายอิงคาปาซิเตอร์ทุกตัว



(ก) สถานะสวิตช์เมื่อทำการประจุแรงดันที่ระดับขั้น 1E, 2E, 3E



(ข) สถานะสวิตช์เมื่อทำการประจุแรงดันที่ระดับขั้น 1E, 2E

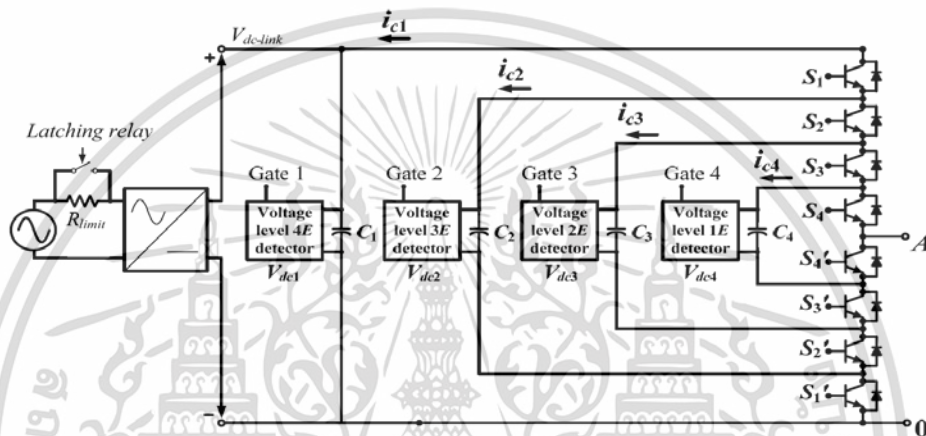


(ค) สถานะสวิตช์เมื่อทำการประจุแรงดันที่ระดับขั้น 1E

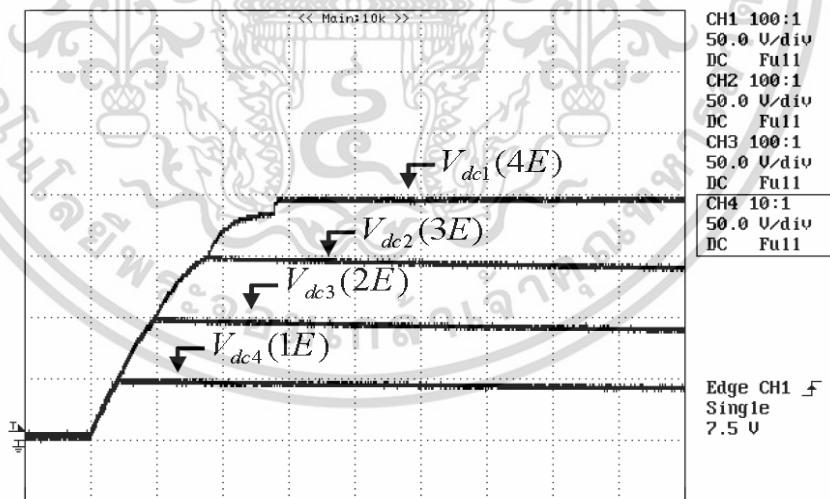
รูปที่ 4.12 สถานะสวิตช์ในขั้นตอนการสตาร์ทอัพของอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อตรวจสอบระดับแรงดันที่ฟลายอิงคาปาซิเตอร์ได้มีการติดเซนเซอร์ตรวจวัดแรงดันที่ฟลายคาปาซิเตอร์แต่ละตัวดังรูปที่ 4.13 เมื่อฟลายอิงคาปาซิเตอร์ระดับชั้น 1E ชาร์ตเสร็จแล้ว เซนเซอร์ตรวจวัดแรงดันจะส่งสัญญาณให้ DSP รับรู้และสั่งการหยุดการชาร์จประจุของฟลายอิงคาปาซิเตอร์ในระดับ 1E แล้วสถานะสวิทช์เป็นดังรูปที่ 4.12 (ข) เมื่อฟลายอิงคาปาซิเตอร์ระดับชั้น 2E ชาร์ตเสร็จแล้วสถานะสวิทช์กลายเป็นดังรูป 4.12(ค) แล้วเมื่อระดับ 3E ชาร์ตเสร็จจึงเข้าสู่โหมดทำงานต่อไป รูปที่ 4.14 แสดงตัวอย่างรูปคลื่นแรงดันในขั้นตอนการสตาร์ทอัพ



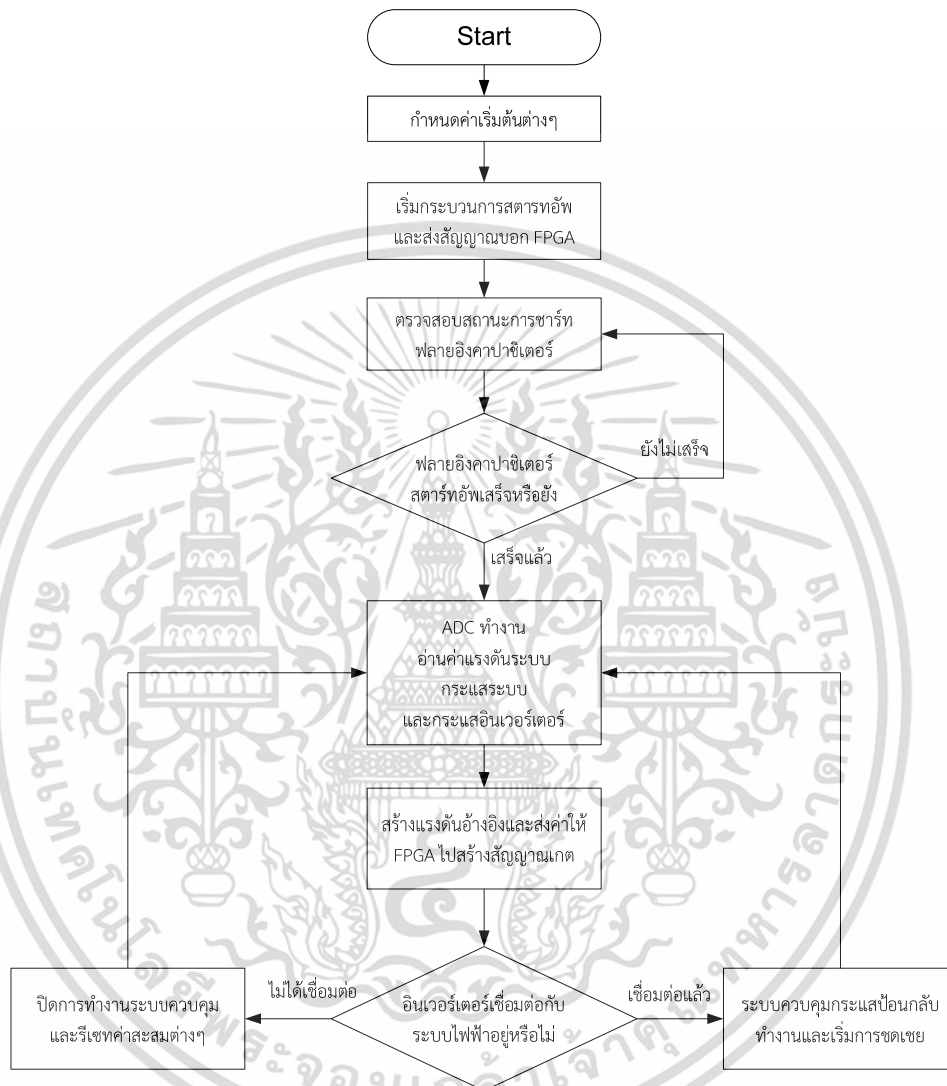
รูปที่ 4.13 วงจรอินเวอร์เตอร์แบบ 1 เฟสพร้อมชุดเซ็นเซอร์ตรวจจับแรงดันเพื่อการสตาร์ทอัพ



รูปที่ 4.14 ตัวอย่างสัญญาณแรงดันที่ฟลายอิงคาปาซิเตอร์ในขั้นตอนการสตาร์ทอัพ

4.5.2 ขั้นตอนการขับอินเวอร์เตอร์

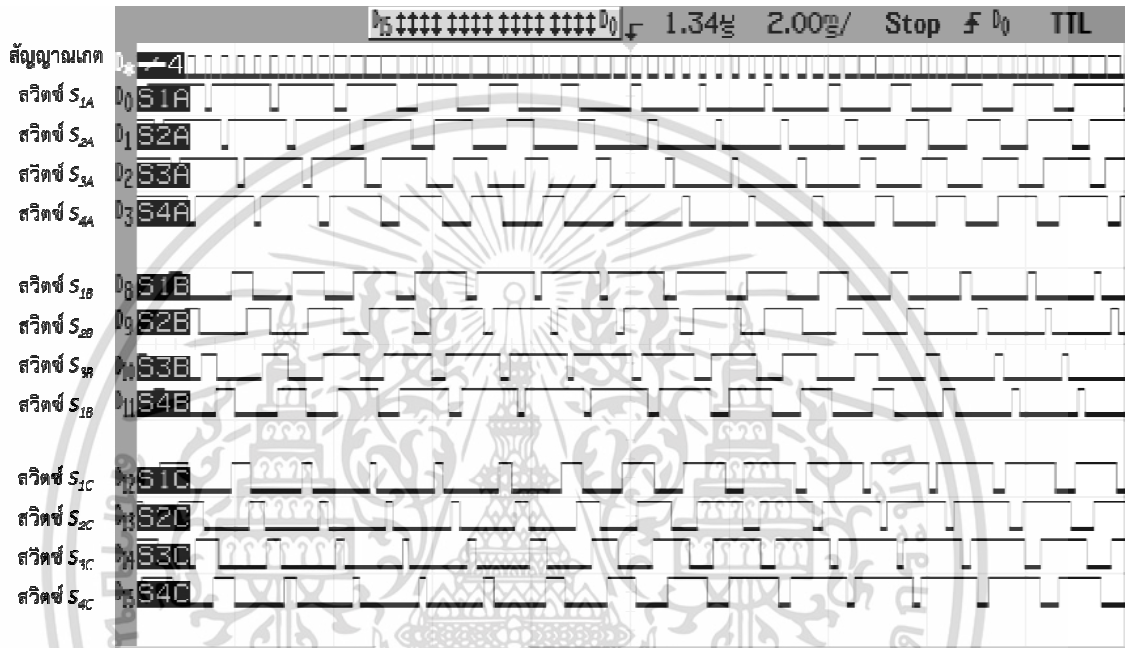
กระบวนการทำงานของ DSP เป็นไปดังรูปที่ 4.15 DSP ที่เริ่มทำงานและผ่านขั้นตอนการสตาร์ทอัพมาแล้ว จะทำรับค่าสัญญาณแรงดันจากเซนเซอร์กระแสและแรงดันเข้ามาแล้วเอกซารีนเป็นเอกซารีนทิสวินเวสท์หรือการเชิงานเพื่อการหักง่าเท่านั้น เมื่อสัญญาณเข้าเป็นเชิงประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 โฟลชาร์ตการทำงานของ DSP

เมื่ออินเวอร์เตอร์เชื่อมต่อกับระบบแล้ว DSP จะรับรู้ได้ด้วยสัญญาณตรวจสอบการเชื่อมต่อและเริ่มให้ตัวควบคุมกระแสทำงานเพื่อทำการชดเชยให้ระบบตามระบบควบคุมป้อนกลับที่ออกแบบมา เมื่ออินเวอร์เตอร์หยุดเชื่อมต่อกับระบบแล้ว DSP จะทำการหยุดการทำงานของตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 สัญญาณเกดของสวิตช์ชุดบนด้วยเทคนิค PSPWM ที่ค่ามอดดูเลขชั้นอินเด็กเท่ากับ 0.8

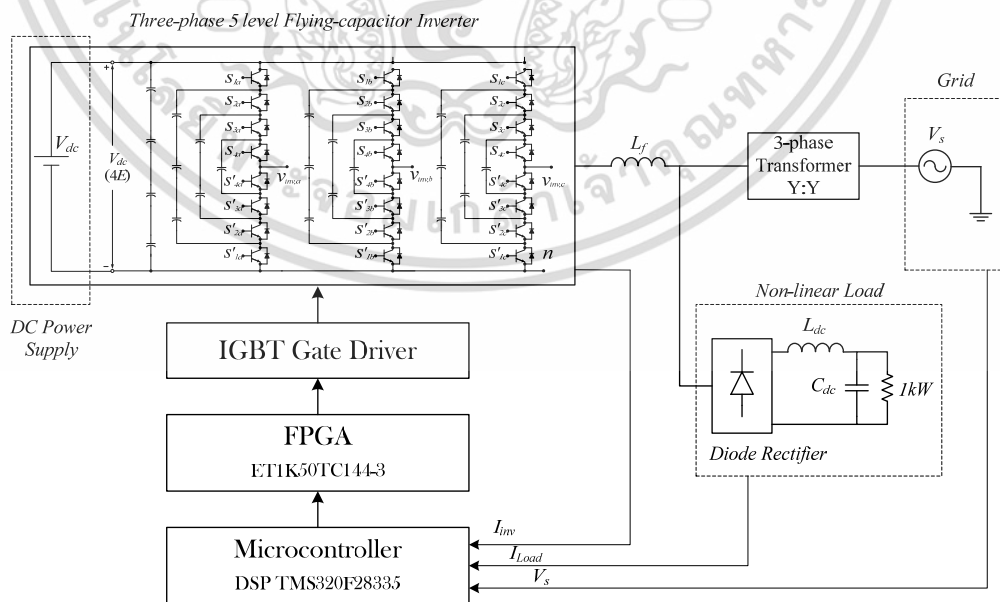
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

5.1 บทนำ

ในบทนี้เป็นขั้นตอนการทดลองและนำระบบควบคุมย้อนกลับที่ออกแบบมาประยุกต์ใช้กับอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ เพื่อทดสอบประสิทธิภาพการชดเชยโหลด โดยใช้เทคนิค PSPWM ควบคุมแรงดันขาออกของอินเวอร์เตอร์ การทดสอบแบ่งตามประเภทโหลดที่ชดเชย ได้แก่ โหลดตัวต้านทานกับตัวเหนี่ยวนำ โหลดตัวต้านทานไม่สมดุล โหลดไม่เป็นเชิงเส้นที่เป็นเรกติไฟเออร์และโหลดที่ผสมระหว่างโหลดทั้งสามแบบที่กล่าวไปข้างต้น หัวข้อการทดลองคือความสามารถในการรักษาสมดุลพลังงานที่คาปาซิเตอร์ระหว่างการชดเชย และความสามารถในการชดเชยโหลด ในแต่ละแบบ ในการทดลองกำหนดพารามิเตอร์ของอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ต้นแบบและโหลดแบบต่างๆ ไว้ดังตารางที่ 5.1 บล็อกไดอะแกรมการเชื่อมต่อระหว่างอินเวอร์เตอร์ ระบบไฟฟ้าและโหลดเป็นไปดังแสดงในรูปที่ 5.1



รูปที่ 5.1 บล็อกไดอะแกรมการเชื่อมต่อระหว่างระบบไฟฟ้า โหลดและอินเวอร์เตอร์ต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 ค่าพารามิเตอร์ในการทดลองและรายละเอียดเครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิงคาปาซิเตอร์

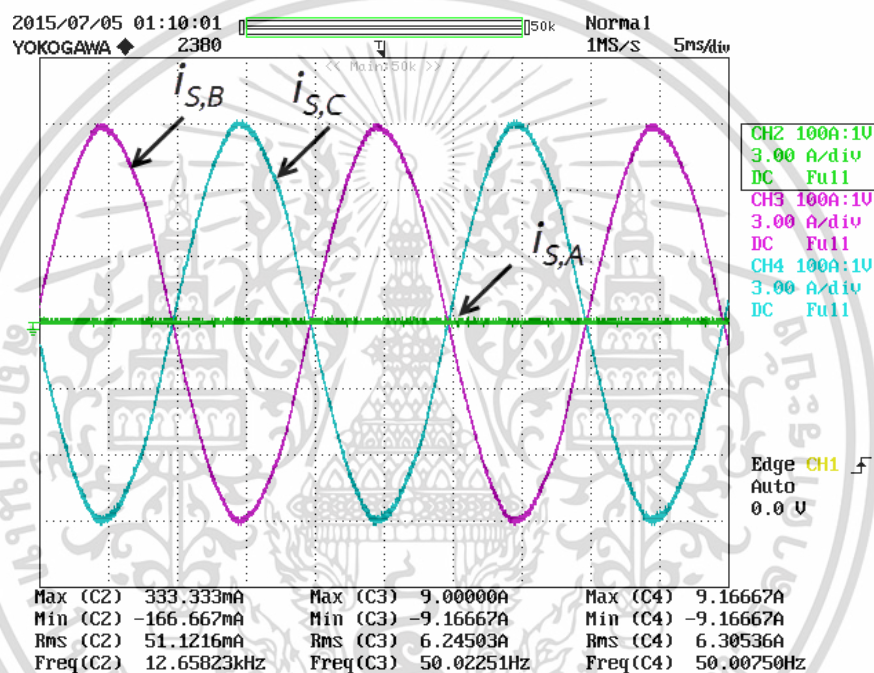
System Voltage	3-Phase 380V
Microcontroller(DSP)	C2000 Experimenter's kit F28335 Delfino
Microcontroller (FPGA)	ACEX1K EP1K30TC144-3
DC Power Supply	KIKUSUI PCR2000M
DC link Voltage	200 V _{DC}
Flying Capacitors	2200 μ F 450 V _{DC}
IGBT	G20N60B3D(600V, 40A)
Interface Transformer	3-Phase 145:520 Y:Y
Interface Reactor	7mH
Unbalanced R-Load	โหลดไฟ 100 W 10 หลอด (3 เฟสต่อแบบ Y)
RL-Load	โหลดไฟ 100 W 45 หลอดกับบัลลาตแกนเหล็ก ขนาด 40 W 54 ตัว (3 เฟสต่อแบบ Y)
Non-Linear Load	3-Phase Rectifier กับตัวเหนี่ยวนำ 9 mH และโหลดไฟ 100 W 22 หลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ผลการทดลอง

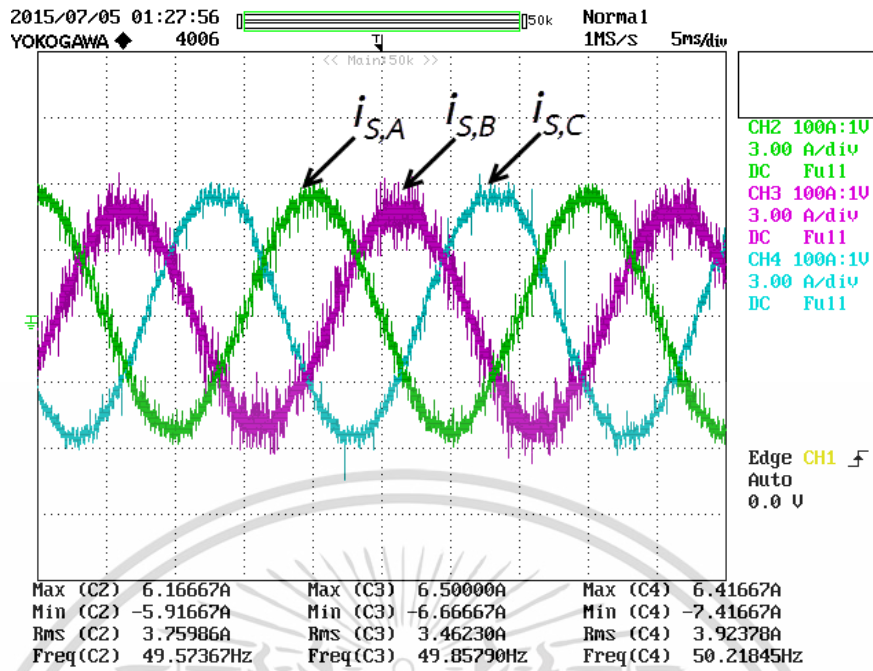
5.2.1 ผลการทดลองการชดเชยโหลดตัวต้านทาน 3 เฟสไม่สมดุล

ในการทดลองนี้เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายคาปาซิเตอร์จะเชื่อมต่อเข้ากับระบบไฟฟ้าที่จ่ายโหลดตัวต้านทาน 3 เฟสไม่สมดุลอยู่ เนื่องจากเฟส A ไม่มีโหลดทำให้กระแสระบบไม่สมดุล อินเวอร์เตอร์ 5 ระดับชนิดฟลายคาปาซิเตอร์ต้องทำหน้าที่รักษาสมดุลกระแสระบบให้มีขนาดกระแสทั้งสามเฟสใกล้เคียงกัน โดเมนการชดเชยกระแสระบบเฟส A เข้าสู่ระบบ



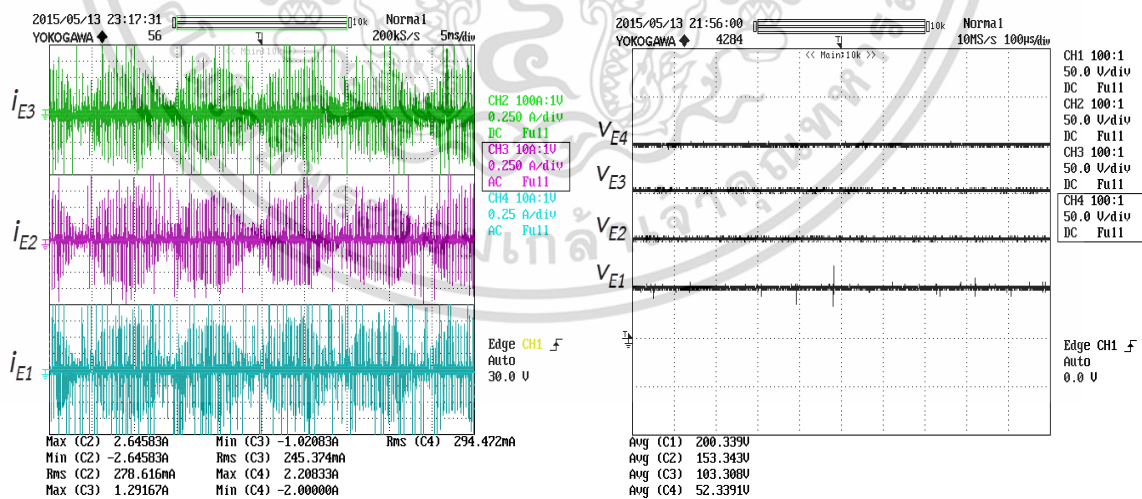
(ก) กระแสระบบเฟส A, B, C ($i_{s,A}$, $i_{s,B}$, $i_{s,C}$) ก่อนการชดเชย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) กระแสระบบเฟส A, B, C ($i_{s,A}$, $i_{s,B}$, $i_{s,C}$) หลังได้รับการชดเชย

รูปที่ 5.2 รูปคลื่นของกระแสระบบกรณิโหลดตัวต้านทานไม่สมดุล ก่อนและหลังเครื่องอินเวอร์เตอร์ 5 ระดับ ชนิดฟลายอิงคาปาซิเตอร์เชื่อมต่อ (Time per div = 5ms/div)



(ก) แรงดันที่ฟลายอิงคาปาซิเตอร์ขณะชดเชย ข) กระแสที่ฟลายอิงคาปาซิเตอร์ขณะชดเชย

รูปที่ 5.3 รูปคลื่นของกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ ระหว่างที่เครื่องต้นแบบ

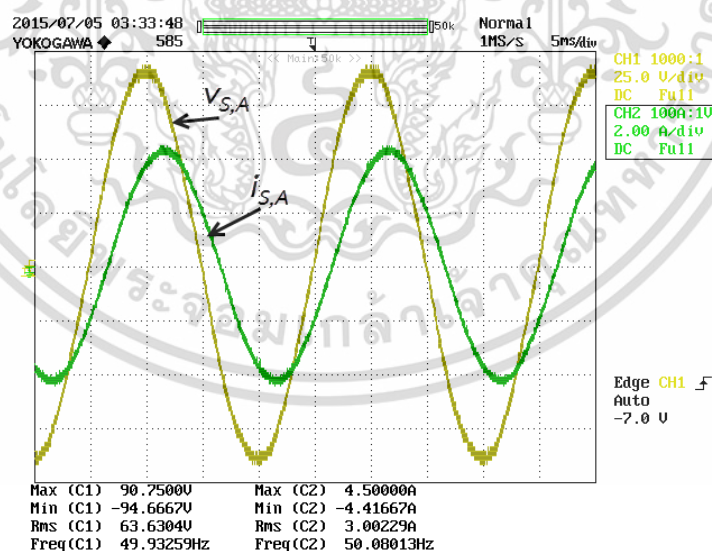
อินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ทำการชดเชย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ สำหรับการเขียนเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เข้าไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.3 (ก) เป็นรูปคลื่นกระแสระบบที่เชื่อมต่อกับโหลดตัวต้านทานไม่สมดุลที่เฟส A ไม่มี โหลดต่ออยู่ และรูปที่ 5.3 (ข) เป็นรูปคลื่นกระแสทั้ง 3 เฟสของระบบที่ถูกชดเชย พบว่า มีกระแส เฟส A เพิ่มขึ้นมา ช่วยให้กระแสระบบมีความสมดุลมากขึ้น และกระแสทั้งสามเฟสถูกเฉลี่ยให้มีค่า ใกล้เคียงกัน รูปที่ 5.4 แสดงรูปคลื่นของกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ระหว่างที่ เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์เชื่อมต่อกับระบบและทำการชดเชย โหลดไม่สมดุล รูปที่ 5.4 (ก) และ รูปที่ 5.4 (ข) แสดงรูปคลื่นกระแสของฟลายอิงคาปาซิเตอร์ที่ ระดับชั้น 1E, 2E, 3E ที่มีการแกว่งเกิดขึ้นระหว่างที่เครื่องอินเวอร์เตอร์ต้นแบบทำการชดเชย แต่ว่า ค่าเฉลี่ยของกระแสของฟลายอิงคาปาซิเตอร์ทุกระดับชั้นยังมีค่าเฉลี่ยใกล้เคียงศูนย์ และการแกว่ง ด้านบนและด้านล่างยังคงเป็นไปในลักษณะสมมาตรจากการแบ่งรอบการทำงานตามเทคนิค PSPWM และเห็นได้ว่าแรงดันที่ฟลายอิงคาปาซิเตอร์ที่ระดับ 1E, 2E, 3E ยังคงแรงดันของระดับชั้นตัวเองเอาไว้

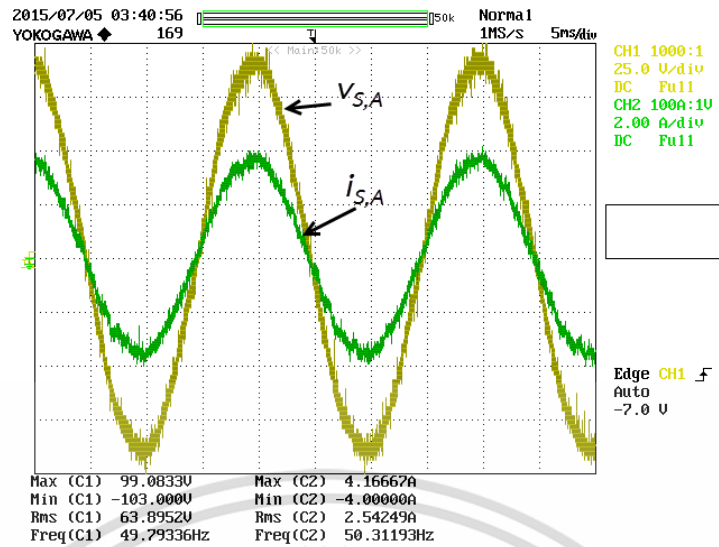
5.2.2 ผลการทดลองการชดเชยโหลดตัวต้านทานกับตัวเหนี่ยวนำ

ในการทดลองนี้เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ต้องทำ การเชื่อมต่อเพื่อชดเชยโหลด RL ที่เชื่อมต่ออยู่กับระบบ และทำให้เกิดกระแสระบบที่ล่าหลังและค่า องค์ประกอบกำลังไฟฟ้าเป็น 0.8 ล้าหลัง



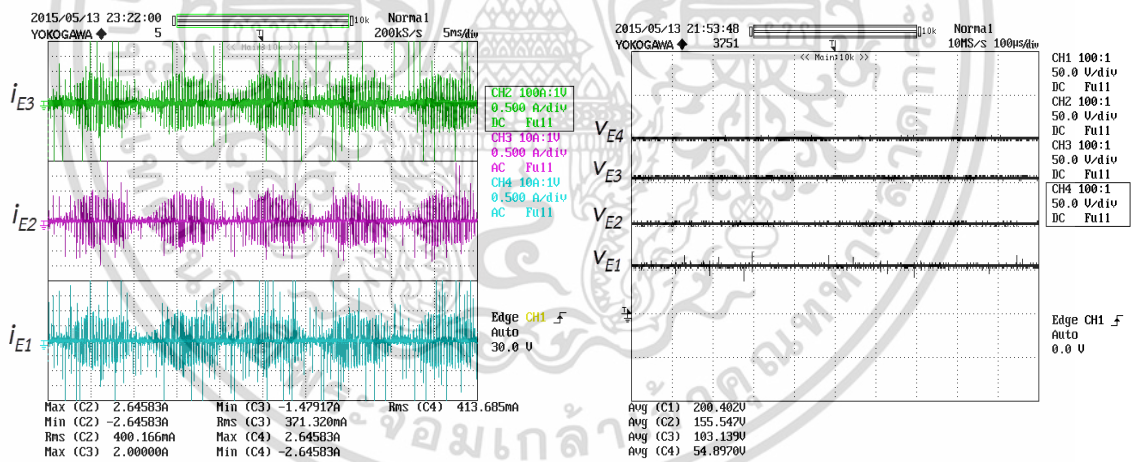
(ก) กระแสระบบเฟส A ($i_{s,A}$) กับแรงดันระบบเฟส ($v_{s,A}$) ก่อนการชดเชย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) กระแสระบบเฟส A ($i_{s,A}$) กับแรงดันระบบเฟส ($v_{s,A}$) หลังการชดเชย

รูปที่ 5.4 รูปคลื่นของกระแสระบบกรณีโหลดตัวต้านทานไม่สมดุล ก่อนและหลังเครื่องอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์เชื่อมต่อ (Time per div = 5ms/div)



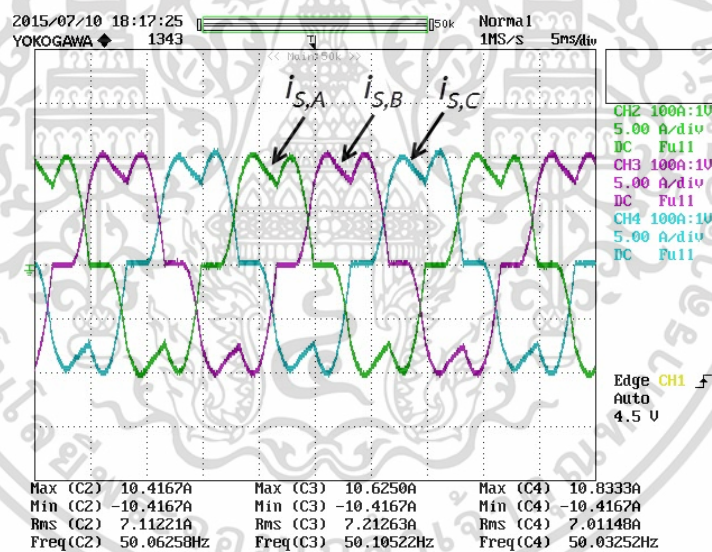
(ก) แรงดันที่ฟลายอิงคาปาซิเตอร์ขณะชดเชย (ข) กระแสที่ฟลายอิงคาปาซิเตอร์ขณะชดเชย

รูปที่ 5.5 รูปคลื่นของกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ ระหว่างที่เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ทำการชดเชย

เมื่อระบบเชื่อมต่อโหลด RL แล้วแรงดันและกระแสระบบเป็นดังรูปที่ 5.5 (ก) กระแสของระบบล้าหลังแรงดันระบบอยู่และมีค่าตัวประกอบกำลังไฟฟ้าเป็น 0.8 ล้าหลัง รูปที่ 5.5 (ข) แสดงรูปคลื่นกระแสและแรงดันระบบเมื่อเครื่องอินเวอร์เตอร์ต้นแบบเชื่อมต่อเข้ามาและทำการเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

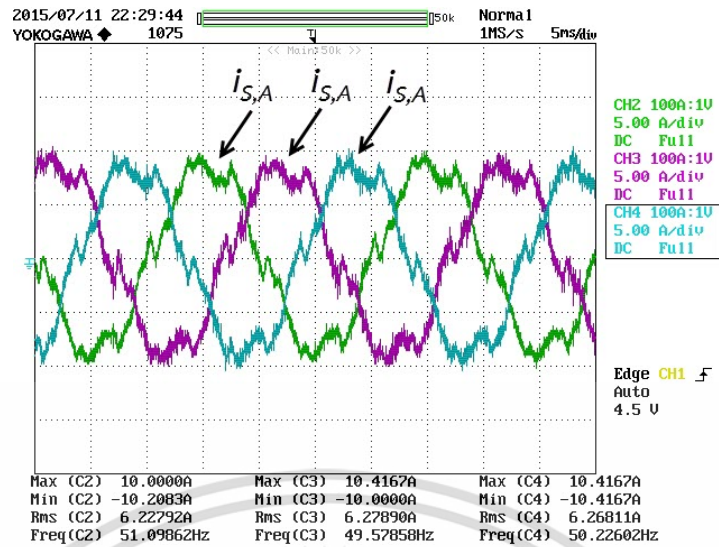
5.2.3 ผลการทดลองการชดเชยโหลดไม่เป็นเชิงเส้น

ในการทดลองนี้เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์จะเชื่อมต่อเข้ากับระบบไฟฟ้าที่ถูกรบกวนด้วยโหลดไม่เป็นเชิงเส้น เครื่องอินเวอร์เตอร์ต้นแบบต้องทำการชดเชยฮาร์มอนิกส์ลำดับที่เกิดขึ้นจากโหลดไม่เป็นเชิงเส้น



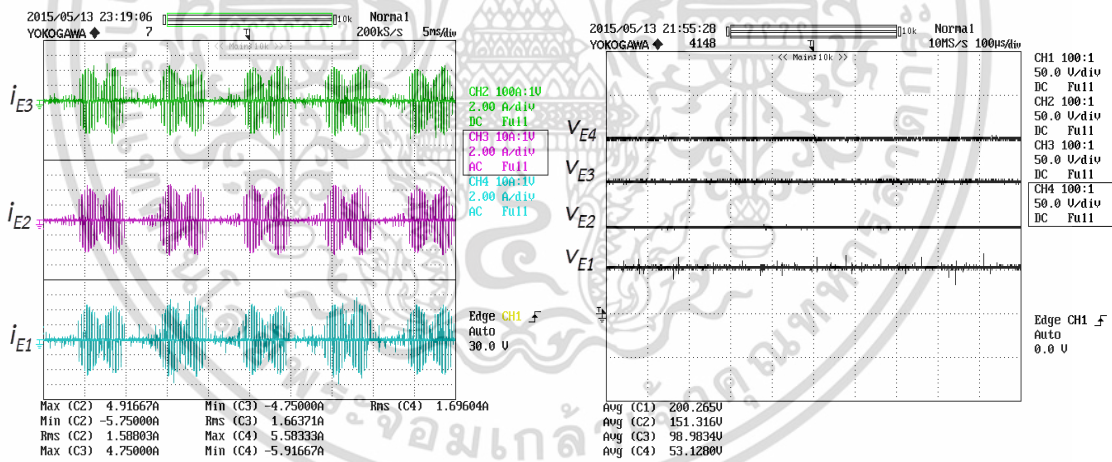
(ก) กระแสกระแสระบบเฟส A, B, C ($i_{s,A}$, $i_{s,B}$, $i_{s,C}$) ก่อนการชดเชย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) กระแสระบบเฟส A, B, C ($i_{s,A}$, $i_{s,B}$, $i_{s,C}$) หลังการชดเชย

รูปที่ 5.6 รูปคลื่นของกระแสระบบกรณีโหลดตัวต้านทานไม่สมดุล ก่อนและหลังเครื่องอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์เชื่อมต่อ (Time per div = 5ms/div)

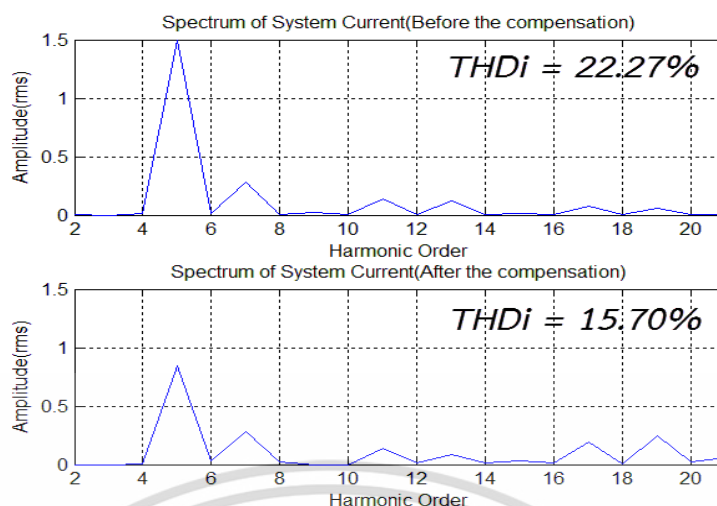


(ก) แรงดันที่ฟลายอิงคาปาซิเตอร์ขณะ

(ข) กระแสที่ฟลายอิงคาปาซิเตอร์ขณะชดเชยชดเชย

รูปที่ 5.7 รูปคลื่นของกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ ระหว่างที่เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ทำการชดเชย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 สเปกตรัมของกระแสระบบก่อนและหลังการชดเชย

รูปที่ 5.7 (ก) แสดงรูปคลื่นของกระแสระบบทั้งสามเฟสที่ถูกรบกวนด้วยฮาร์มอนิกส์ลำดับอนเกิดจากโหลดไม่เป็นเชิงเส้น เมื่อเครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์เชื่อมต่อและทำการชดเชยกระแสฮาร์มอนิกส์แล้วรูปคลื่นของกระแสระบบทั้งสามแบบจึงเป็นไปดังรูปที่ 5.7 (ข) รูปคลื่นกระแสของระบบถูกชดเชย แต่ชดเชยได้ไม่ดีนัก และมีการรบกวนของฮาร์มอนิกส์ลำดับที่สูงกว่าและมีขนาดเล็กกว่าเหลืออยู่ รูปที่ 5.8 (ก) และ (ข) แสดงกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์แต่ละระดับ พบว่ากระแสมีการแกว่งแต่ยังคงมีรอบการประจุและคายเท่าๆ กันจึงสามารถรักษาแรงดันแต่ละระดับขึ้นเอาไว้ได้ดังรูปที่ 5.8 (ข)

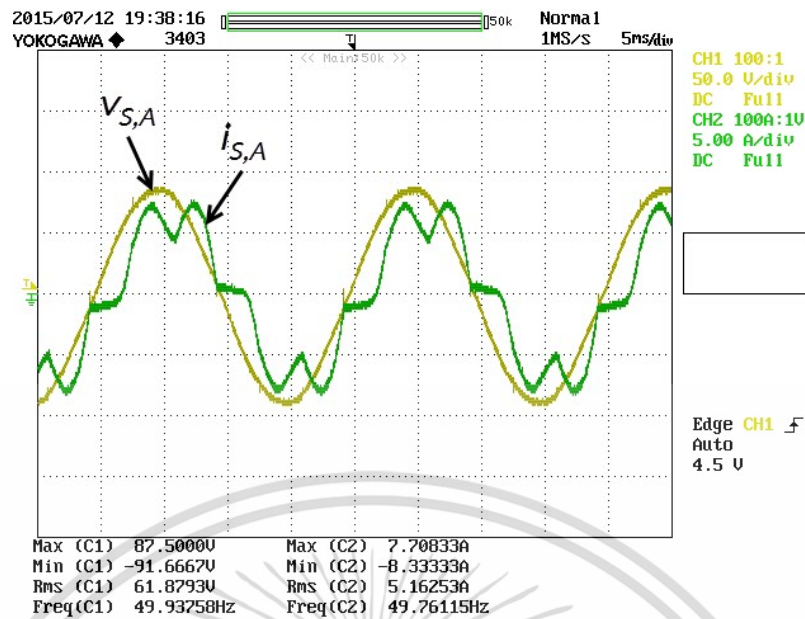
เมื่อนำรูปคลื่นกระแสในรูปที่ 5.7 (ก) และ (ข) ถูกนำไปวิเคราะห์ด้วยการแปลงฟาสต์ฟูริเยร์ (Fast Fourier transformation) เพื่อวิเคราะห์บนแกนความถี่และหาค่าความผิดพลาดรวมของฮาร์มอนิกส์ของกระแสระบบ (THD_i) มาเปรียบเทียบกับระหว่างช่วงที่ยังไม่ได้รับการชดเชยและหลังการชดเชย วิเคราะห์ออกมาเป็นกราฟสเปกตรัมดังรูปที่ 5.9 สังเกตได้ว่าสเปกตรัมของกระแสระบบก่อนการชดเชยมีฮาร์มอนิกส์ลำดับที่ 5 และ 7 มีขนาดใหญ่ที่สุดและลดหลั่นลงไป และฮาร์มอนิกส์ที่ 5 ลดลงเป็นบางส่วนหลังจากเครื่องอินเวอร์เตอร์ต้นแบบเชื่อมต่อเข้ามาชดเชยแล้ว ค่า THD_i ก่อนการชดเชยเท่ากับ 22.27 เปอร์เซ็นต์และลดลงเหลือ 15.70 เปอร์เซ็นต์

5.2.4 ผลการทดลองการชดเชยโพลตร่วมระหว่างโพลดไม่สมดุล โพลดตัวด้านทานกับตัวเหนี่ยวนำและโพลดไม่เป็นเชิงเส้น

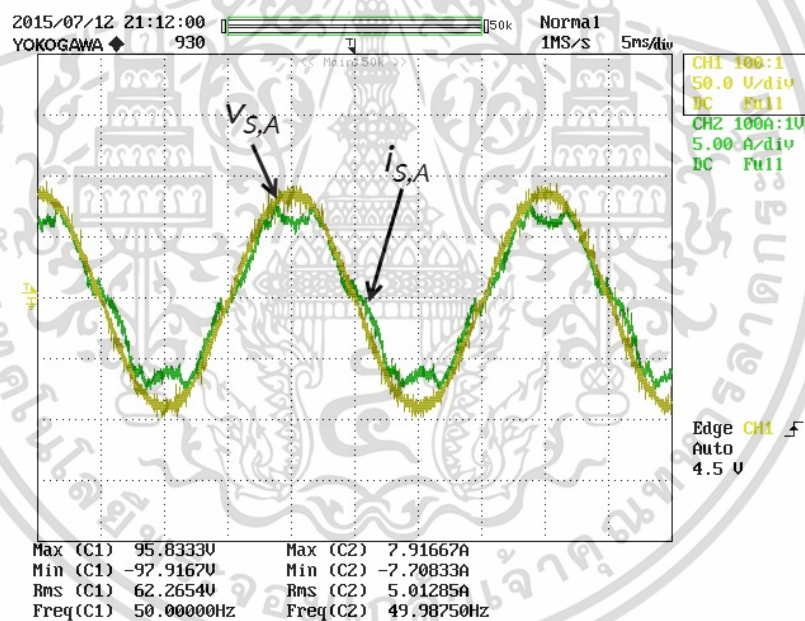
ในการทดลองนี้ระบบเชื่อมต่ออยู่กับโพลดที่ประกอบด้วย โพลด R ที่ไม่สมดุลเพราะเฟส A ไม่มีโพลด, โพลด RL และโพลดไม่เป็นเชิงเส้นที่เป็นบริดจ์เรกติไฟเออร์ 3 เฟส ทำให้กระแสระบบทั้ง 3 เฟสมีขนาดไม่เท่ากัน มีฮาร์มอนิกส์รบกวนและลำหลังแรงดันระบบอยู่ ทำให้ค่าตัวประกอบไฟฟ้าไม่เป็นหนึ่ง เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับต้องสมดุลกระแสทั้งสามเฟสให้มีค่าใกล้เคียงกัน ชดเชยกำลังไฟฟารีแอกทีฟให้ค่าตัวประกอบกำลังไฟฟ้ามีค่าเป็นหนึ่งและกำจัดฮาร์มอนิกส์ที่เกิดขึ้นจากโพลดไม่เป็นเชิงเส้น

รูปคลื่นกระแสระบบเฟส A ที่ลำหลังแรงดันระบบและปนเปื้อนไปด้วยฮาร์มอนิกส์แสดงในรูปที่ 5.10 (ก) เมื่อเครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงชิเตอร์เชื่อมต่อเข้ากับระบบเพื่อทำการชดเชยรูปคลื่นกระแสเป็นดังรูปที่ 5.10 (ข) รูปคลื่นกระแสกลับมาคล้ายคลึงสัญญาณไซน์และมีเฟสเท่ากับแรงดันของระบบ ทำให้มีค่าตัวประกอบกำลังไฟฟ้ากลับมาเป็นหนึ่ง

รูปที่ 5.11 (ก) แสดงรูปคลื่นกระแสทั้งสามเฟสก่อนการชดเชย สังเกตเห็นได้ชัดว่ากระแสของเฟส A มีขนาดเล็กกว่ากระแสระบบของเฟส B, C นอกจากนั้นกระแสทั้งสามเฟสยังปนเปื้อนด้วยฮาร์มอนิกส์จากโพลดไม่เป็นเชิงเส้น กระแสระบบที่ถูกชดเชยแสดงดังรูปที่ 5.11 (ข) เห็นได้ว่าขนาดกระแสแต่ละเฟสมีค่าใกล้เคียงกันมากขึ้น แต่ชดเชยฮาร์มอนิกส์ได้เพียงบางส่วน



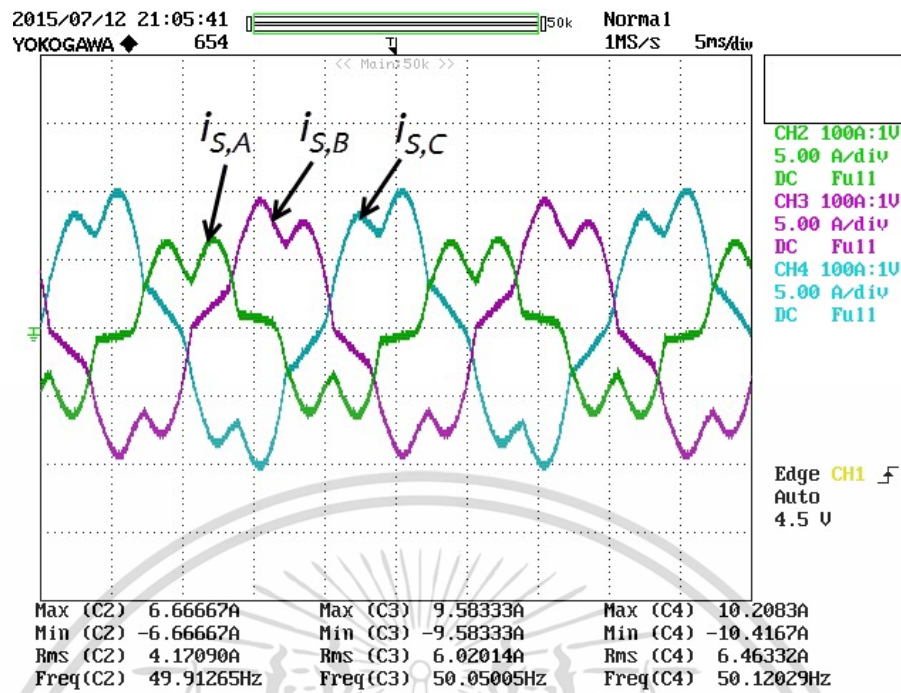
(ก) แรงดันระบบ($v_{s,A}$)กับกระแสระบบ($i_{s,A}$) ก่อนการชดเชย



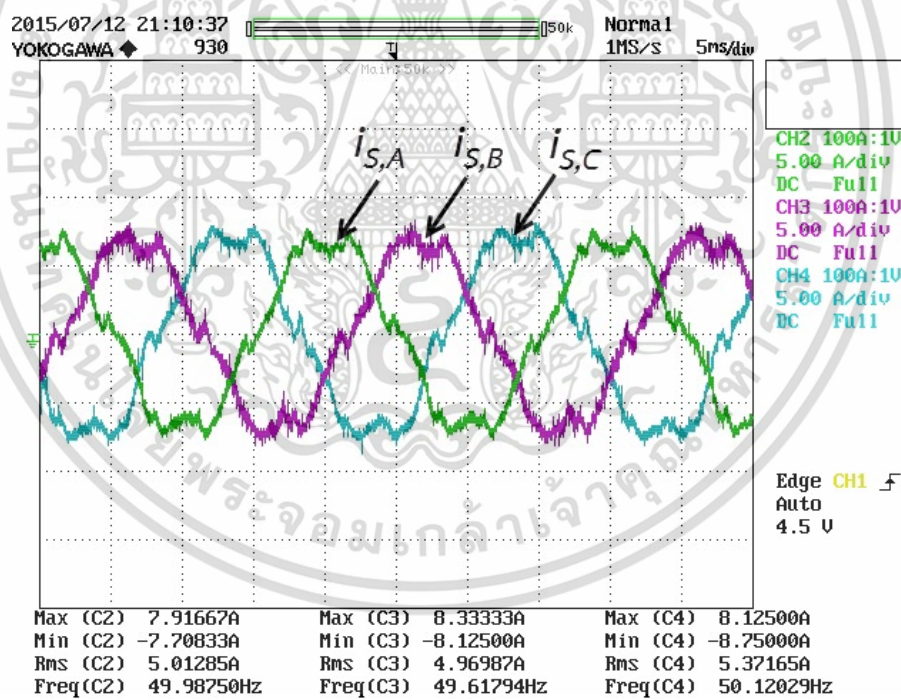
(ข) แรงดันระบบ($v_{s,A}$)กับกระแสระบบ($i_{s,A}$) หลังการชดเชย

รูปที่ 5.9 รูปคลื่นของกระแสระบบก่อนและหลังการชดเชยของเครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



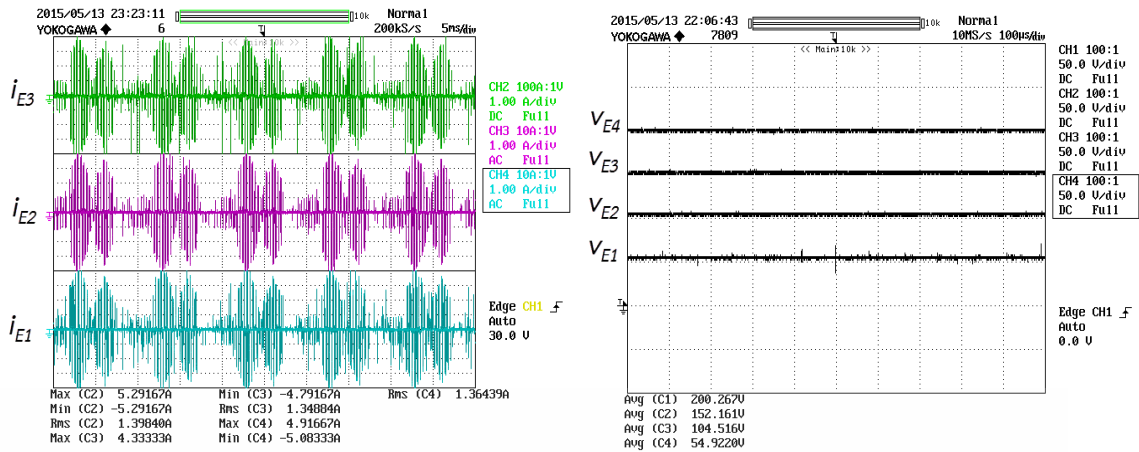
(ก) กระแสกระแสระบบเฟส A, B, C ($i_{s,A}$, $i_{s,B}$, $i_{s,C}$) ก่อนการชดเชย



(ข) กระแสกระแสระบบเฟส A, B, C ($i_{s,A}$, $i_{s,B}$, $i_{s,C}$) ก่อนการชดเชย

รูปที่ 5.10 รูปคลื่นกระแสระบบก่อนและหลังเครื่องอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์
เชื่อมต่อเข้าทำการชดเชย

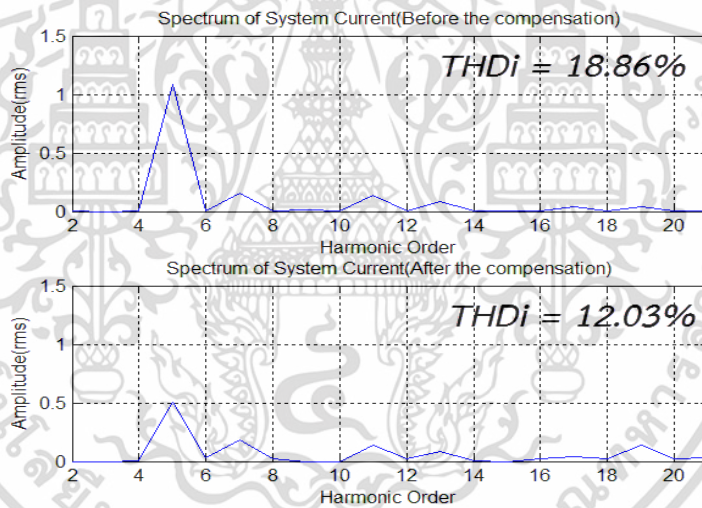
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) แรงดันที่ฟลายอิงคาปาซิเตอร์ขณะชดเชย (ข) กระแสที่ฟลายอิงคาปาซิเตอร์ขณะชดเชย

รูปที่ 5.11 รูปคลื่นของกระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ ระหว่างที่เครื่องต้นแบบ

อินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ทำการชดเชย



รูปที่ 5.12 สเปกตรัมของกระแสระบบก่อนและหลังการชดเชย

กระแสและแรงดันที่ฟลายอิงคาปาซิเตอร์ขณะเครื่องอินเวอร์เตอร์ต้นแบบทำการชดเชยเป็นไปดังรูปที่ 5.12 (ก) และ 5.12 (ข) กระแสที่ฟลายอิงคาปาซิเตอร์มีการแกว่งแต่ว่ามีด้านบนและด้านล่างที่สมมาตรกัน กล่าวคือมีรอบการทำงานในการประจุและคายเท่าๆ กันเนื่องมาจากการสร้างสัญญาณเกตด้วยเทคนิค PSPWM ดังนั้นแรงดันของฟลายอิงคาปาซิเตอร์จึงสามารถรักษาระดับแรงดันของแต่ละระดับเอาไว้ได้ดังในรูปที่ 5.12 (ข)

เมื่อนำค่ากระแสระบบก่อนและหลังชดเชยในรูป 5.11 (ก) และ 5.11 (ข) ไปวิเคราะห์

หาสเปกตรัมของกระแสระบบด้วย FFT เพื่อเปรียบเทียบฮาร์มอนิกส์ก่อนและหลังการชดเชยของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการวิจัยและข้อเสนอแนะ

6.1 สรุปผล

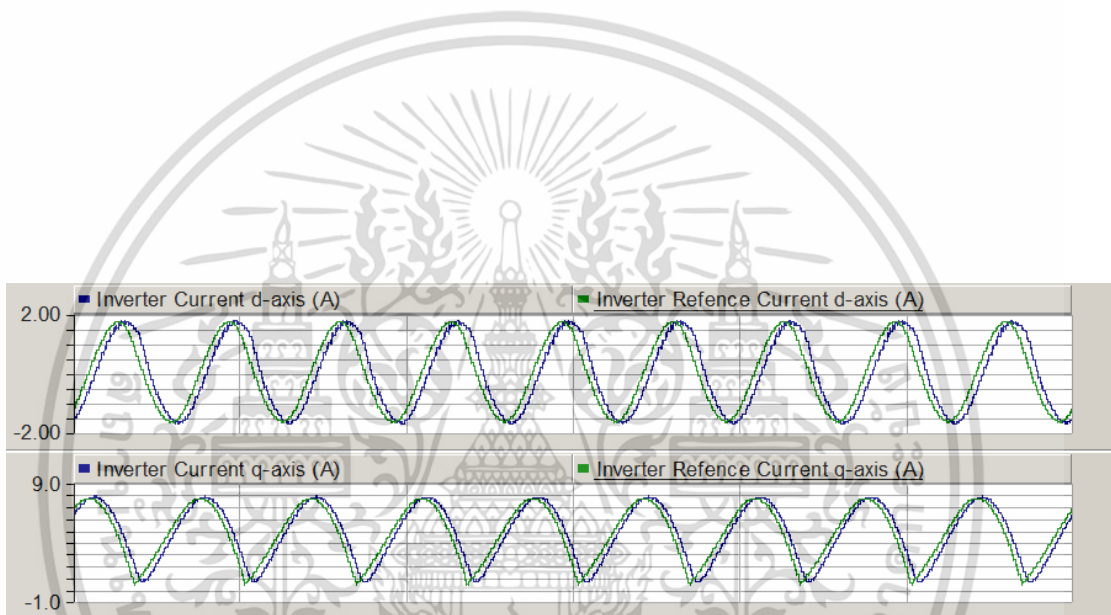
อินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์แบบ 3 เฟสถูกนำมาทดลองใช้เป็น D-STATCOM เพื่อชดเชยกำลังไฟฟ้ารีแอกทีฟและฮาร์มอนิกส์ โดยเลือกใช้เทคนิค PSPWM ควบคุมแรงดันขาออก เนื่องจากเทคนิค PSPWM สามารถรักษาสมดุลพลังงานที่ฟลายอิงคาปาซิเตอร์ได้ และเพื่อควบคุมการชดเชยของอินเวอร์เตอร์จึงมีการออกแบบระบบควบคุมป้อนกลับที่บังคับให้อินเวอร์เตอร์ทำการชดเชยตามกระแสอ้างอิงที่กำหนด กระแสอ้างอิงถูกกำหนดจากกระแสไหลของระบบ และเลือกมาป้อนให้ระบบควบคุมป้อนกลับเฉพาะองค์ประกอบที่ต้องการชดเชย

อินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ถูกจำลองเพื่อทดสอบการชดเชยด้วยโปรแกรม PSCAD/EMTDC ผลการจำลองการทำงานของอินเวอร์เตอร์บ่งชี้ว่า อินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์สามารถชดเชยกำลังไฟฟ้ารีแอกทีฟและปรับปรุงค่าตัวประกอบกำลังไฟฟ้าให้เป็นหนึ่งนอกจากนี้ยังสามารถชดเชยฮาร์มอนิกส์ลำดับที่ 5 และ 7 ที่เกิดจากโหลดไม่เป็นเชิงเส้นได้อย่างเป็นอย่างดี สังเกตได้จากรูปคลื่นกระแสของระบบมีลักษณะเป็นสัญญาณไซน์

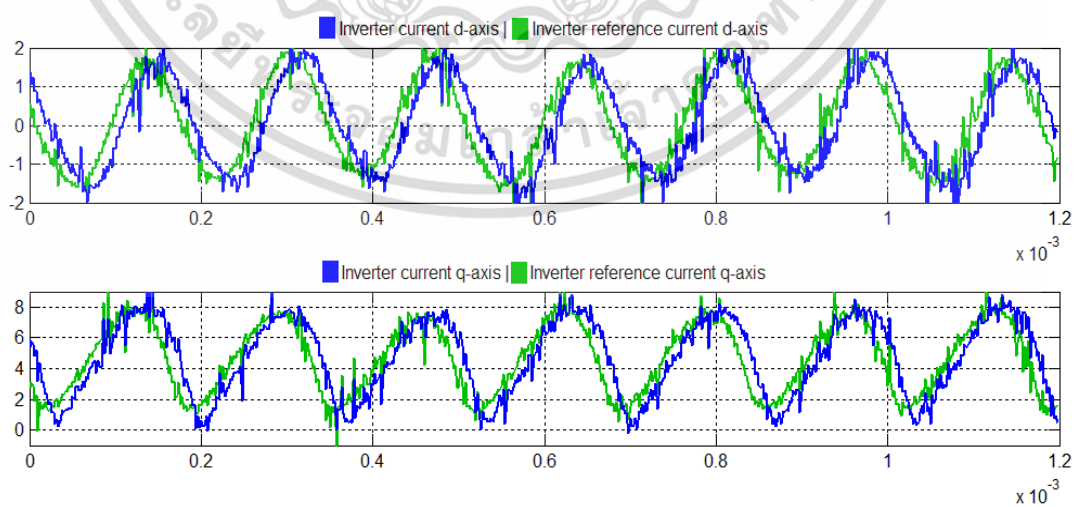
เครื่องต้นแบบอินเวอร์เตอร์ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์ถูกนำมาทดลองเพื่อทดสอบการชดเชยกำลังไฟฟ้ารีแอกทีฟและฮาร์มอนิกส์ เครื่องต้นแบบประกอบด้วยวงจรสวิตช์กำลังกับวงจรรีบ และส่วนประมวลผลกับเซ็นเซอร์ตรวจวัด ส่วนประมวลผลประกอบด้วย DSP F28335 Delfino ทำงานร่วมกับ FPGA Altera ACEX1K EP1K30TC144-3 โดย DSP รับค่าจากเซ็นเซอร์มาประมวลผลสร้างกระแสอ้างอิงป้อนระบบควบคุมป้อนกลับที่ออกแบบ เพื่อสร้างแรงดันอ้างอิงและส่งต่อให้ FPGA นำไปสร้างสัญญาณเกตจากการเปรียบเทียบกับสัญญาณแคร์เรียร์ตามเทคนิค PSPWM ชับ และนำไปขับวงจรสวิตช์กำลัง

ผลการทดสอบการชดเชยของเครื่องอินเวอร์เตอร์ต้นแบบ 5 ระดับชนิดฟลายอิงคาปาซิเตอร์กับโหลดไม่สมดุล โหลด RL และโหลดไม่เป็นเชิงเส้น สรุปได้ว่าเครื่องอินเวอร์เตอร์ต้นแบบสามารถสมดุลกระแสของโหลดไม่สมดุลให้มีค่าใกล้เคียงกันได้ และสามารถชดเชยกำลังไฟฟ้ารีแอกทีฟและปรับปรุงค่าตัวประกอบกำลังไฟฟ้าให้เป็นหนึ่งได้ แต่ไม่สามารถชดเชยกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

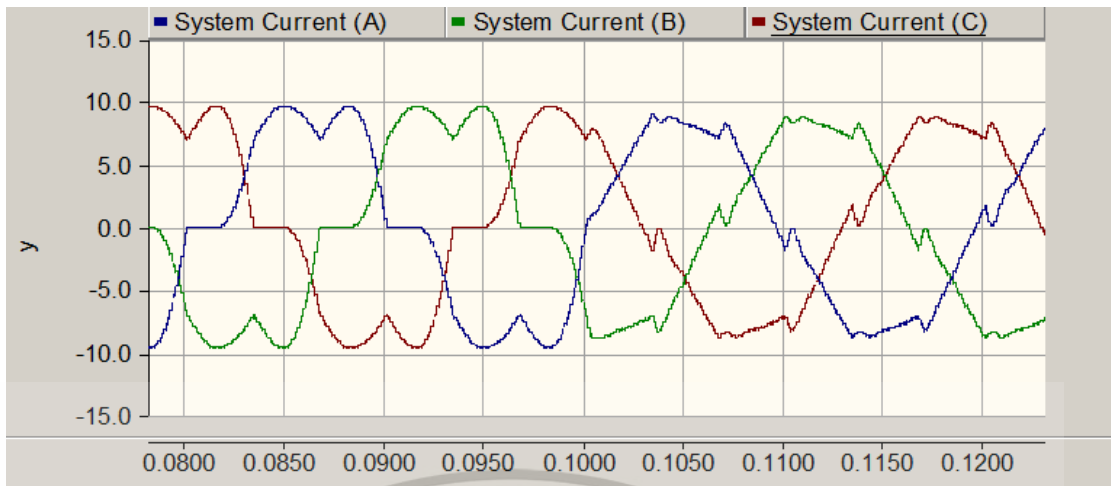


รูปที่ 6.1 ผลการจำลองกระแสอ้างอิงกับกระแสป้อนกลับที่มีเฟสต่างเกิดขึ้น

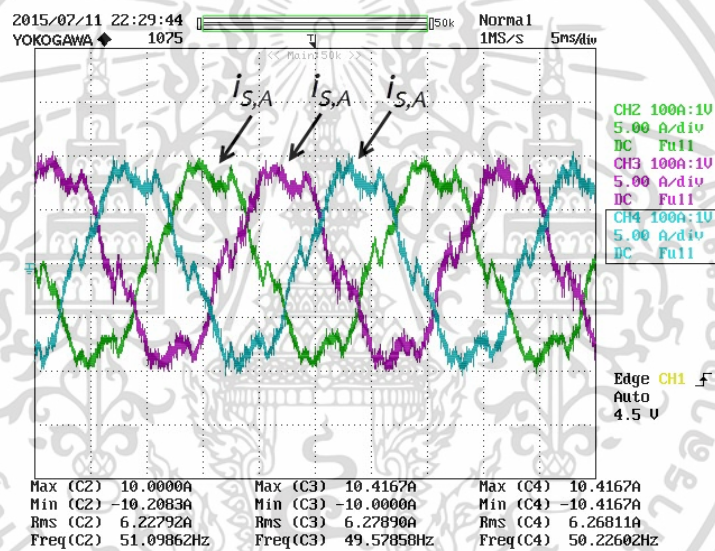


รูปที่ 6.2 กระแสอ้างอิงกับกระแสป้อนกลับจากการทดลอง

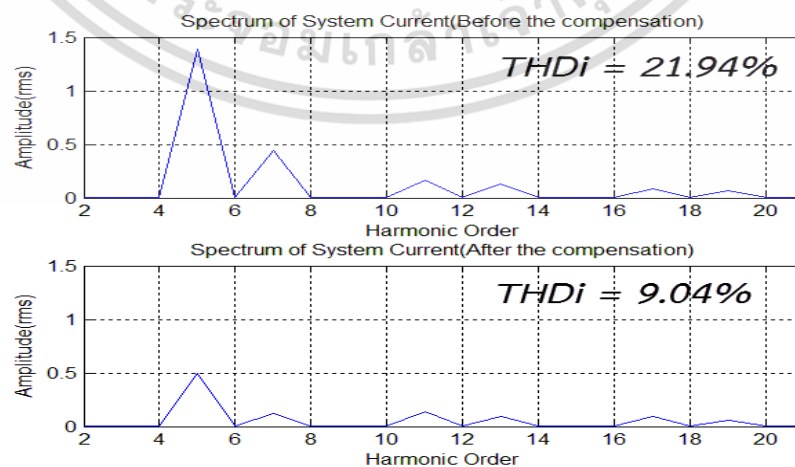
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 ผลการจำลองกระแสเฟส A, B, C เมื่อกระแสอ้างอิงและกระแสย้อนกลับมีเฟสต่าง

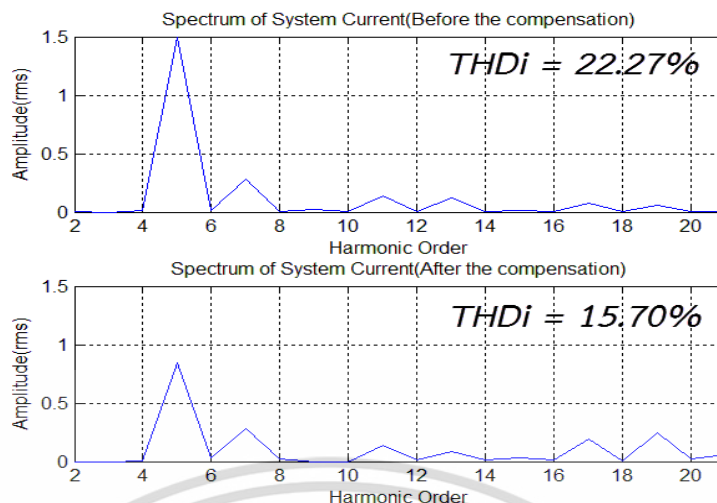


รูปที่ 6.4 กระแสเฟส A, B, C ของการทดลองกรณีชดเชยโหลไม่เป็นเชิงเส้น



รูปที่ 6.5 สเปกตรัมของผลการจำลองกระแสระบบก่อนและหลังการชดเชยเมื่อมีเฟสดีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.6 สเปกตรัมของผลการทดลองกระแสระบบก่อนและหลังการชดเชย

6.2 ปัญหาและอุปสรรค

6.2.1 วงจรตรวจจับกระแสและแรงดันถูกรบกวนอย่างมากขณะที่ใช้งาน

6.2.2 ระบบควบคุมของเครื่องต้นแบบมีดีเลย์ในการทำงาน ทำให้เกิดเฟสดีเลย์ระหว่างกระแสอ้างอิงกับกระแสป้อนกลับ ส่งผลกระทบต่อความสามารถในการชดเชยฮาร์มอนิกส์ของอินเวอร์เตอร์

6.3 แนวทางแก้ไข

6.2.1 ปรับเปลี่ยนสายสัญญาณทั้งหมดให้เป็นสายที่มีชิลด์หุ้ม และปรับปรุงระบบกราวด์ของวงจรตรวจวัด เพื่อลดการรบกวนที่เกิดขึ้น

6.2.2 ควรเปลี่ยนไปใช้ระบบควบคุมที่มีการแยกส่วนการชดเชยได้ เพราะเมื่อเกิดเฟสดีเลย์ขึ้น จะสามารถแยกชดเชยเฟสดีเลย์ที่เกิดขึ้นได้ ทำให้ยังคงสามารถชดเชยฮาร์มอนิกส์ได้ดี

เอกสารอ้างอิง

- [1] L. Tolbert, F.-Z. Peng, and Habetler, "Multilevel converters for large electric drivers," *IEEE Trans. Ind. Applicat.*, vol.35, pp 36-44, Jan./Feb.
- [2] F. Zheng Peng, J. Rodriguez. and J. Sheng Lai, "Multilevel inverter: A Survey of Topologies, Control and Applications," *IEEE Trans. Ind. Applicat.*, Vol. 49, No.4, August 2002.
- [3] H. Akagi, E.H. Watanabe, M. Aredes, "Instantaneous Power Theory and Applications to Power Conditioning," IEEE Press. 2007.
- [4] S. Ketsakoon, S. Polmai, "Comparison Between Phase- and Level-shifted PWM Schemes for Flying Capacitor Multilevel Inverter," *ECTI-CON 2007*, pp 105-108.
- [5] W. K. Lee, S. Y. Kim, J. S. Yoon, D. H. Baek, "A Comparison of the Carrier-based PWM techniques for Voltage Balance of Flying Capacitor in the Flying Capacitor Multilevel Inverter," *APEC 2006*, pp 1653-1658
- [6] Akagi, Hirofumi, *Instantaneous power theory and applications to power conditioning*, Hoboken, NJ, John Wiley, 2007.
- [7] Bin Wu, "High Power Converter and AC Drive" , The Institute of Electrical and Electronics Engineering, Inc., 2006, pp.127-136.
- [8] Arindam Ghosh, Gerard Ledwich, "POWER QUALITY ENHANCEMENT USING CUSTOM POWER DEVICES", KLUWER ACADEMIC PUBLISHERS.
- [9] สติชัยพร เกตุสกุล. "การเปรียบเทียบสมรรถนะระหว่างเทคนิคพีดีบีลิวเอ็มแบบหลายพหุหะชนิดเลื่อนเฟสและเลื่อนระดับสำหรับอินเวอร์เตอร์หลายระดับชนิดฟลายอิงคาปาซิเตอร์." วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2550.



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก.

โปรแกรมควบคุมการทำงานของเครื่องต้นแบบโดยใช้ DSP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

#include "DSP28x_Project.h" // Device Headerfile and Examples Include File
// #include "cmath"
#include "math.h"

#define CPU_RATE 6.667L // for a 150MHz CPU clock speed
#define div2by3      0.66666667
#define PLL_KP       2e-05
#define PLL_KI       5e-07
#define Plx2         6.2831853072
#define Plx2x50div12k 0.0261799
#define Plx2x250div12k 0.130900
#define Plx2x350div12k 0.183260
#define A11          -0.359470925752361
#define A12          -12906.9441641996
#define A21          2.66887114269850e-05
#define A22          0.462210659825019
#define B11          2.66887114269850e-05
#define B21          1.11202964279104e-09
#define C11_1        1300374.62454310
#define C12_1        -21608823016.0980
#define C11_2        6.4535e+3
#define C12_2        3.5357e+8
#define D_1          54.1822760226294
#define D_2          0.2689
#define WR_SET       GpioDataRegs.GPASET.bit.GPIO3
#define WR_CLR       GpioDataRegs.GPACLEAR.bit.GPIO3
#define CS_SET       GpioDataRegs.GPASET.bit.GPIO4
#define CS_CLR       GpioDataRegs.GPACLEAR.bit.GPIO4
#define RELAY1_ON_SET GpioDataRegs.GPASET.bit.GPIO5
#define RELAY1_ON_CLR GpioDataRegs.GPACLEAR.bit.GPIO5
#define RELAY1_OFF_SET GpioDataRegs.GPASET.bit.GPIO6
#define RELAY1_OFF_CLR GpioDataRegs.GPACLEAR.bit.GPIO6
#define RELAY2_ON_SET GpioDataRegs.GPASET.bit.GPIO7

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

#define RELAY2_ON_CLR   GpioDataRegs.GPACLEAR.bit.GPIO7
#define RELAY2_OFF_SET  GpioDataRegs.GPBSET.bit.GPIO62
#define RELAY2_OFF_CLR  GpioDataRegs.GPBCLEAR.bit.GPIO62
#define STUP0           GpioDataRegs.GPADAT.bit.GPIO22
#define STUP1           GpioDataRegs.GPADAT.bit.GPIO23
#define STUP2           GpioDataRegs.GPADAT.bit.GPIO24
#define STUP3           GpioDataRegs.GPADAT.bit.GPIO25
#define STUP4           GpioDataRegs.GPADAT.bit.GPIO26
#define STUP5           GpioDataRegs.GPADAT.bit.GPIO27
#define STUP6           GpioDataRegs.GPCDAT.bit.GPIO87
#define STUP7           GpioDataRegs.GPADAT.bit.GPIO29
#define STUP8           GpioDataRegs.GPADAT.bit.GPIO30
#define STUP9           GpioDataRegs.GPADAT.bit.GPIO28
#define SET_STUP_EN     GpioDataRegs.GPCSET.bit.GPIO84
#define CLR_STUP_EN     GpioDataRegs.GPCCLEAR.bit.GPIO84
#define SYNC_STAT       GpioDataRegs.GPBDAT.bit.GPIO60
#define SWITCH_2        GpioDataRegs.GPBDAT.bit.GPIO61
#define SET_SPI_0       GpioDataRegs.GPBSET.bit.GPIO48
#define CLR_SPI_0       GpioDataRegs.GPBCLEAR.bit.GPIO48
#define SET_SPI_1       GpioDataRegs.GPBSET.bit.GPIO49
#define CLR_SPI_1       GpioDataRegs.GPBCLEAR.bit.GPIO49
#define SET_SPI_2       GpioDataRegs.GPBSET.bit.GPIO58
#define CLR_SPI_2       GpioDataRegs.GPBCLEAR.bit.GPIO58

#define SET_63          GpioDataRegs.GPBSET.bit.GPIO63
#define CLR_63          GpioDataRegs.GPBCLEAR.bit.GPIO63
#define SET_10          GpioDataRegs.GPASET.bit.GPIO10
#define CLR_10          GpioDataRegs.GPACLEAR.bit.GPIO10
#define SET_11          GpioDataRegs.GPBSET.bit.GPIO59
#define CLR_11          GpioDataRegs.GPBCLEAR.bit.GPIO59
#define SET_12          GpioDataRegs.GPASET.bit.GPIO12
#define CLR_12          GpioDataRegs.GPACLEAR.bit.GPIO12
#define SET_13          GpioDataRegs.GPASET.bit.GPIO13
#define CLR_13          GpioDataRegs.GPACLEAR.bit.GPIO13

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

#define SET_14          GpioDataRegs.GPASET.bit.GPIO14
#define CLR_14          GpioDataRegs.GPACLEAR.bit.GPIO14
#define SET_15          GpioDataRegs.GPASET.bit.GPIO15
#define CLR_15          GpioDataRegs.GPACLEAR.bit.GPIO15
#define SET_16          GpioDataRegs.GPASET.bit.GPIO31      //
#define CLR_16          GpioDataRegs.GPACLEAR.bit.GPIO31
#define SET_17          GpioDataRegs.GPBSET.bit.GPIO32
#define CLR_17          GpioDataRegs.GPBCLEAR.bit.GPIO32
#define SET_18          GpioDataRegs.GPBSET.bit.GPIO33
#define CLR_18          GpioDataRegs.GPBCLEAR.bit.GPIO33
#define SET_19          GpioDataRegs.GPBSET.bit.GPIO34
#define CLR_19          GpioDataRegs.GPBCLEAR.bit.GPIO34
#define SET_20          GpioDataRegs.GPASET.bit.GPIO20
#define CLR_20          GpioDataRegs.GPACLEAR.bit.GPIO20
#define SET_21          GpioDataRegs.GPASET.bit.GPIO21
#define CLR_21          GpioDataRegs.GPACLEAR.bit.GPIO21
#define SET_CHK        GpioDataRegs.GPCSET.bit.GPIO86
#define CLR_CHK        GpioDataRegs.GPCCLEAR.bit.GPIO86
// Prototype statements for functions found within this file.
interrupt void adc_isr(void);
interrupt void xint1_isr(void);
interrupt void xint2_isr(void);
void write_to_FPGA(int data_in,int FPGA_mode);
void update_data_to_FPGA();
void startup();
void FCI_start();
void FCI_stop();
void send_out_delay();
void write_FPGA_mode(int A);
void write_sin_out(int A);
void read_startup();
//void read_sin_index();
void Init_FCI_drive();

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

void DELAY_MS(Uint16 MS);
void MYDELAY();
void read_my_adc();
void close_loop_cal();
void InitSpiaGpio();
void spi_init();
void spi_fifo_init();
void write_DAC();
void write_DAC2(int dataout1,int dataout2,int dataout3);
// Global variables used in this example:
float Picontroller_Kp = 45; //unbalance gain kp = 50
float Picontroller_Ki = 0.06;//0.0166666666666667; //ki*fsampling;
fsampling=12000
float Picontroller_Kp_2 = 40; // nonlinear kp = 40
float Picontroller_Ki_2 = 0.01;//0.0166666666666667;//1e-2;
float MAX_KP1 = 0;
float MAX_KP2 = 0;
int      startstop = 0, sync_status = 1, kp_add = 0;
int      finishstartup = 0;
int      LoopCount = 0;
int      chk=0;
int      DATA_STORE = 0x0777;
int      A50 = 0,A100 =0,A150 = 0, A200 = 0;
int      B50 = 0,B100 =0,B150 = 0;
int      C50 = 0,C100 =0,C150 = 0;
int      interrupt_count = 0,Cycle_count = 0;
float TEST_vd[512],TEST_vq[512];
Uint16      STUPstatus = 0,FPGA_MODE = 0;//sin_index = 0,
Uint16 SINEA = 0;
float  MOD_A = 0.80, MOD_B = 0.80, MOD_C = 0.80;
float  offsetA0 = 0.0,offsetA1 = 0.0,offsetA2 = 0.0,offsetA3 = 0.0,offsetA4 = 0.0;
float  offsetB0 = 0.0,offsetB1 = 0.0,offsetB2 = 0.0,offsetB3 = 0.0;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

float iinva=0.0,iinvb=0.0,iinvc=0.0,iloada=0.0,iloadb=0.0,iloadc=0.0,vsa = 0.0,
vsb = 0.0,vsc = 0.0;

float previous_q1_i=0.0,previous_q2_i=0.0;

float previouslow[10] = {0.0,0.0,0.0,0.0,0.0,0.0,0.0,0.0,0.0,0.0};

int firstloop = 0,TEST_collectcount=0,TEST_loopcount=0;

//debugging variable

int int1_count=0,int2count=0,adcint_count=0,debug_countt=0;

int D_out1 = 2048,D_out2 = 1000, D_out3 = 3000,rdata = 0;

float vsa2 = 0.0, vsb2 = 0.0, vsc2 = 0.0,vsd2 = 0.0, vsq2 = 0.0;

float theta_1 = 0.523598775598299, prev_Er_I = 0.0;

int ma_a = 0,ma_b= 0,ma_c = 0,loop_chk_trap=0;

float ma_a_sync_init=0.0,ma_b_sync_init=0.0,ma_c_sync_init=0.0;

//close loop cal variable

float iinv_d=0.0,
iinv_q=0.0,iload_d=0.0,id_ref_star=0.0,iload_q=0.0,iq_ref_star=0.0,vinv_d =
0.0,vinv_q = 0.0,id_filtered=0.0;

float iinv_df = 0.0, iinv_qf = 0.0;

float x1=0.0,x2=0.0 ,q1_p=0.0, q1_i= 0.0,q2_p=0.0,q2_i=0.0,delta_vd =
0.0,delta_vq = 0.0,vinv_a = 0.0, vinv_b = 0.0,vinv_c = 0.0;

float QQ1=0.0,QQ2=0.0,QQ3=0.0,YY1=0.0,YY2=0.0;

float prev1=0.0,prev2=0.0,prev3=0.0;

float QQ1_2=0.0,QQ2_2=0.0,QQ3_2=0.0,YY1_2=0.0,YY2_2=0.0;

float prev1_2=0.0,prev2_2=0.0,prev3_2=0.0;

float theta=0.0,vd=0.0,vq=0.0,ihd=0.0,ihq=0.0,vd_f=0.0,vq_f=0.0;

float Er_P = 0.0, Er_I = 0.0,omega = 0.0,theta_2=0.0,vdq_amp=0,iq_filtered=0.0;

float theta2 = 0.0, theta2_1 = 0.0, theta3 = 0.0, theta3_1 = 0.0, theta4 = 0.0,
theta4_1 = 0.0,initpll = 0,Vm = 0.0;

int n=0;

struct feed_forward{
    float il_d,il_q,iinv_d,iinv_q;
    float QQd,QQq,prvd,prvq;
    float il_d_filtered,il_q_filtered,il_d_f2,il_q_f2;
    float theta,theta_1,theta_2;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

float vinv_a,vinv_b,vinv_c;
float i_star,Qone_1,Qtwo_1,prv_Qone_1,prv_Qtwo_1,delta_va,i_aw,i_fb;
float Qone_2,Qtwo_2,prv_Qone_2,prv_Qtwo_2,Q_P,KP,KI,va_star;
float vd,vq,v_star_low,ma,er;
}FF1,FF2,FF3;
struct Complementary_Lowpass{
    float Q1,Y1,Prev_Q1;
    float Q2,Y2,Prev_Q2;
    float Q3,Y3,Prev_Q3;
}HP1,HP2,HP3;
main()
{
    // Step 1. Initialize System Control:
    // PLL, WatchDog, enable Peripheral Clocks
    // This example function is found in the DSP2833x_SysCtrl.c file.
    InitSysCtrl();
    EALLOW;
    #if (CPU_FRQ_150MHZ) // Default - 150 MHz SYSCLKOUT
    #define ADC_MODCLK 0x3 // HSPCLK = SYSCLKOUT/2*ADC_MODCLK2 =
    150/(2*3) = 25.0 MHz
    #endif
    #if (CPU_FRQ_100MHZ)
    #define ADC_MODCLK 0x2 // HSPCLK = SYSCLKOUT/2*ADC_MODCLK2 =
    100/(2*2) = 25.0 MHz
    #endif
    SysCtrlRegs.HISPCP.all = ADC_MODCLK;
    EDIS;
    // Step 2. Initialize GPIO:
    // This example function is found in the DSP2833x_Gpio.c file and
    // illustrates how to set the GPIO to it's default state.
    // InitGpio(); // Skipped for this example
    // Step 3. Clear all interrupts and initialize PIE vector table:
    // Disable CPU interrupts

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

DINT;
// Initialize the PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the DSP2833x_PieCtrl.c file.
InitPieCtrl();
// Disable CPU interrupts and clear all CPU interrupt flags:
IER = 0x0000;
IFR = 0x0000;
// Initialize the PIE vector table with pointers to the shell Interrupt
// Service Routines (ISR).
// This will populate the entire table, even if the interrupt
// is not used in this example. This is useful for debug purposes.
// The shell ISR routines are found in DSP2833x_DefaultIsr.c.
// This function is found in DSP2833x_PieVect.c.
InitPieVectTable();
// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.
EALLOW; // This is needed to write to EALLOW protected register
PieVectTable.ADCINT = &adc_isr; //Point it to adc_isr()
PieVectTable.XINT1 = &xint1_isr; //Point it to xint1_isr
PieVectTable.XINT2 = &xint2_isr; //Point it to xint2_isr
EDIS; // This is needed to disable write to EALLOW protected registers
// Step 4. Initialize all the Device Peripherals:
// This function is found in DSP2833x_InitPeripherals.c
// InitPeripherals(); // Not required for this example
spi_fifo_init(); // Initialize the Spi FIFO
spi_init(); // init SPI
InitAdc(); // For this example, initial the ADC
// Step 5. User specific code, enable interrupts:
PieCtrlRegs.PIECTRL.bit.ENPIE = 1;
PieCtrlRegs.PIEIER1.bit.INTx6 = 1; // Enable ADCINT in PIE
PieCtrlRegs.PIEIER1.bit.INTx4 = 1; // Enable XINT1

```

```

PieCtrlRegs.PIEIER1.bit.INTx5 = 1; // Enable XINT2
IER |= M_INT1; // Enable CPU Interrupt 1
EINT; // Enable Global interrupt INTM
//ERTM; // Enable Global real-time interrupt DBGM
Init_FCI_drive();
InitSpiaGpio();
// Configure ADC
AdcRegs.ADCTRL1.bit.SEQ_CASC = 0x01;
AdcRegs.ADCTRL1.bit.CPS = 0x01;
AdcRegs.ADCTRL1.bit.ACQ_PS = 0x00;
AdcRegs.ADCTRL3.bit.ADCCLKPS = 0x00;
AdcRegs.ADCTRL3.bit.SMODE_SEL = 0x01;
AdcRegs.ADCMAXCONV.all = 0x04; // Setup 2
conv's on SEQ1
AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x00; // Setup conv from
ADCINA0 & ADCINB0
AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x01; // Setup conv from
ADCINA1 & ADCINB1
AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x02; // Setup conv from
ADCINA2 & ADCINB2
AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x03; // Setup conv from
ADCINA3 & ADCINB3
AdcRegs.ADCCHSELSEQ2.bit.CONV04 = 0x04; // Setup conv from
ADCINA4 & ADCINB4
AdcRegs.ADCTRL1.bit.CONT_RUN = 0;
AdcRegs.ADCTRL2.bit.EPWM_SOCA_SEQ1 = 0; // Enable SOCA from ePWM
to start SEQ1
AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 0; // Enable SEQ1 interrupt
(every EOS)
// Wait for ADC interrupt
SET_STUP_EN = 1;
for(;;)
{

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    }
}
void close_loop_cal()
{
    if(SYNC_STAT==1 ){sync_status = 1;}
    else if(SYNC_STAT==0){sync_status=0;}
    //1.) DQ Transformation
    //load current
    iload_d = div2by3 * ( iloada*sin(theta_1) + iloadb*sin(theta_1-2.094395)
+ iloadc*sin(theta_1-4.188790) );
    iload_q = div2by3 * ( iloada*cos(theta_1) + iloadb*cos(theta_1-2.094395)
+ iloadc*cos(theta_1-4.188790) );
    //inverter current
    iinv_d = div2by3 * ( iinva*sin(theta_1) + iinvb*sin(theta_1-2.094395) +
iinvc*sin(theta_1-4.188790) );
    iinv_q = div2by3 * ( iinva*cos(theta_1) + iinvb*cos(theta_1-2.094395) +
iinvc*cos(theta_1-4.188790) );
    //System voltage
    vd = div2by3 * ( vsa*sin(theta_1) + vsb*sin(theta_1-2.094395) +
vsc*sin(theta_1-4.188790) );
    vq = div2by3 * ( vsa*cos(theta_1) + vsb*cos(theta_1-2.094395) +
vsc*cos(theta_1-4.188790) );
    HP1.Q1 = vd + (0.976 * HP1.Prev_Q1);
    HP1.Y1 = (0.976 * HP1.Q1) - (0.976 * HP1.Prev_Q1); HP1.Prev_Q1 =
HP1.Q1;
    HP1.Q2 = HP1.Y1 + (0.976 * HP1.Prev_Q2);
    HP1.Y2 = (0.976 * HP1.Q2) - (0.976 * HP1.Prev_Q2); HP1.Prev_Q2 =
HP1.Q2;
    HP1.Q3 = HP1.Y2 + (0.976 * HP1.Prev_Q3);
    HP1.Y3 = (0.976 * HP1.Q3) - (0.976 * HP1.Prev_Q3); HP1.Prev_Q3 =
HP1.Q3;
    vd_f = vd - HP1.Y3;
    HP2.Q1 = vq + (0.976 * HP2.Prev_Q1);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

HP2.Y1 = (0.976 * HP2.Q1) - (0.976 * HP2.Prev_Q1); HP2.Prev_Q1 =
HP2.Q1;
HP2.Q2 = HP2.Y1 + (0.976 * HP2.Prev_Q2);
HP2.Y2 = (0.976 * HP2.Q2) - (0.976 * HP2.Prev_Q2); HP2.Prev_Q2 =
HP2.Q2;
HP2.Q3 = HP2.Y2 + (0.976 * HP2.Prev_Q3);
HP2.Y3 = (0.976 * HP2.Q3) - (0.976 * HP2.Prev_Q3); HP2.Prev_Q3 =
HP2.Q3;
vq_f = vq - HP2.Y3;
//-----
//2.) Reference signals
QQ1 = iload_d + (0.9951*prev1);
YY1 = 0.002449*QQ1 + 0.002449*prev1;
prev1 = QQ1;
QQ2 = YY1 + (0.9951*prev2);
YY2 = 0.002449*QQ2 + 0.002449*prev2;
prev2 = QQ2;
QQ3 = YY2 + (0.9951*prev3);
id_filtered = 0.002449*QQ3 + (0.002449*prev3);
prev3 = QQ3;
id_ref_star = - (iload_d - id_filtered); // original signal - low frequency
component = high frequency component
iq_ref_star = - iload_q;
//-----
// id_ref_star = 0;
// iq_ref_star = 0;
//3.) Controller input
x1 = id_ref_star - iinv_d; //if(x1>=6){x1=6;}else if(x1<=-6){x1=-6;}
x2 = iq_ref_star - iinv_q; //if(x2>=6){x2=6;}else if(x2<=-6){x2=-6;}
//4.) PI Controllers
// PI Controller[P] will be enable when the inverter is connected
if( sync_status==1 ){ x1=0; q1_i=0; x2=0; q2_i=0;}
q1_p = Plcontroller_Kp * x1;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

q1_i = q1_i+Plcontroller_Ki * x1 ;
delta_vd = q1_p + q1_i;
q2_p = Plcontroller_Kp_2 * x2;
q2_i = q2_i+Plcontroller_Ki_2 * x2;
delta_vq = q2_p + q2_i;
//-----
//5.) Controller Output
vinv_d = (vd_f - delta_vd) + (iinv_q * 2.199114); // 2.199114 =
2*pi*50*7mH
vinv_q = (vq_f - delta_vq) + (iinv_d * -2.199114);// 9.110619 =
2*pi*50*29mH
//Phase shift compensation
theta_2 = theta_1+0.05497787;//
//6.)Transform back to A-B-C domain
vinv_a = ( (vinv_q*cos(theta_2)) + (vinv_d*sin(theta_2)) );
vinv_b = ( (vinv_q*cos(theta_2-2.094395)) + (vinv_d*sin(theta_2-
2.094395)) );
vinv_c = ( (vinv_q*cos(theta_2-4.188790)) + (vinv_d*sin(theta_2-
4.188790)) );
//7.)scaling to be modulation index for inverter
vinv_a *= 0.01 * 1.032258;//vinv_a *= 0.0028*1.045; // *84/300 *1/(dclink
voltage/2)
vinv_b *= 0.01 * 1.032258;//vinv_b *= 0.0028*1.045; // *84/300 *1/(200/2)
vinv_c *= 0.01 * 1.032258;//vinv_c *= 0.0028*1.045;
//Scaling to 12 bits[ 0-4095 ]
ma_a = ((vinv_a + 1) * 0.5) * 4095; if(ma_a > 4095){ ma_a = 4095;}else
if(ma_a < 0){ ma_a = 0;}
ma_b = ((vinv_b + 1) * 0.5) * 4095; if(ma_b > 4095){ ma_b = 4095;}else
if(ma_b < 0){ ma_b = 0;}
ma_c = ((vinv_c + 1) * 0.5) * 4095; if(ma_c > 4095){ ma_c = 4095;}else
if(ma_c < 0){ ma_c = 0;}
//8.)Phase Lock Loop

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Er_P = vq * PLL_KP;
Er_I = prev_Er_I + (vq * PLL_KI);
prev_Er_I = Er_I;
omega = Er_P + Er_I + Plx2x50div12k;//(Plx2x50div12k = 2*pi*50/12000)
theta = theta_1 + omega;
if(theta > Plx2)
{
    theta -= Plx2;
    if(sync_status==0 && Cycle_count <= 20000)
    {
        Cycle_count++;
        kp_add = 1;
    }
    else if(sync_status==1){
        Cycle_count=0;
        kp_add = 0;
    }
}
theta_1 = theta;
// -----
// // PLL for -theta
// FF1.theta = -theta;
// FF1.theta_1 = FF1.theta;
//// // PLL for -5*theta
// FF2.theta = theta*5;
// while(FF2.theta>Plx2){FF2.theta -= Plx2;}
// FF2.theta_1 = -FF2.theta;
//// // PLL for -7*theta
// FF3.theta = theta*7;
// while(FF3.theta>Plx2){FF3.theta -= Plx2;}
// FF3.theta_1 = FF3.theta;
//9.) DAC Debugging

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

//
write_DAC2((id_ref_star*0.4*2048)+2048,(iinv_d*0.4*2048)+2048,ma_a);
write_DAC2((id_ref_star*2048)+2048,(iinv_d*2048)+2048,ma_a);
}
void update_data_to_FPGA() //Used in XINT2 : Clock interrupt from FPGA, to ask
for sine value update
{
    //    int DataA = 0;
    write_FPGA_mode(0x0005);
    CS_SET = 1; asm(" NOP"); asm(" NOP"); asm(" NOP"); asm(" NOP");
    CS_CLR = 1; asm(" NOP"); asm(" NOP"); asm(" NOP"); asm(" NOP");
    //
    //    read_sin_index(); // get new sin_index
    //    D_out1 = ma_a;
    //    D_out2 = ma_b;
    //    D_out3 = ma_c;
    D_out1 = ma_a;
    D_out2 = ma_b;
    D_out3 = ma_c;
    write_to_FPGA(D_out1,0x0001); //Test init sync ma
    write_to_FPGA(D_out2,0x0002);
    write_to_FPGA(D_out3,0x0003);
    //*****//
    //    write_to_FPGA( (MOD_A*SIN_TABLE_A[sin_index]) + (2048*(1-
MOD_A)) ,0x0001);
    //    write_to_FPGA( (MOD_B*SIN_TABLE_B[sin_index]) + (2048*(1-
MOD_B)) ,0x0002);
    //    write_to_FPGA( (MOD_C*SIN_TABLE_C[sin_index]) + (2048*(1-
MOD_C)) ,0x0003);
}
void startup()
{

```

DATA_STORE = 0x0777;

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

write_FPGA_mode(0x0004);
CLR_STUP_EN = 1;

while( DATA_STORE != 0 )
{
    write_sin_out(DATA_STORE);
    send_out_delay();

    //DATA_STORE &= 0x0888; write_sin_out(DATA_STORE);
    send_out_delay();//TOGGLE this for bypass startup seq.
    read_startup();
    while( DATA_STORE != 0x0333 )
    {
        write_sin_out(DATA_STORE); send_out_delay();
        read_startup(); DELAY_MS(100);
        if( A50 == 1 ){ DATA_STORE &= 0x0FFB;
        write_sin_out(DATA_STORE); send_out_delay(); }
        if( B50 == 1 ){ DATA_STORE &= 0x0FBF;
        write_sin_out(DATA_STORE); send_out_delay(); }
        if( C50 == 1 ){ DATA_STORE &= 0x0BFF;
        write_sin_out(DATA_STORE); send_out_delay(); }
    }
    while( DATA_STORE != 0x0111 )
    {
        write_sin_out(DATA_STORE); send_out_delay();
        read_startup(); DELAY_US(100);
        if( A100 == 1 ){ DATA_STORE &= 0x0FFD;
        write_sin_out(DATA_STORE); send_out_delay(); }
        if( B100 == 1 ){ DATA_STORE &= 0x0FDF;
        write_sin_out(DATA_STORE); send_out_delay(); }
        if( C100 == 1 ){ DATA_STORE &= 0x0DFF;
        write_sin_out(DATA_STORE); send_out_delay(); }
    }
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

while( DATA_STORE != 0x0000 )
{
    write_sin_out(DATA_STORE); send_out_delay();
read_startup(); DELAY_US(100);
    if( A150 == 1 ){ DATA_STORE &= 0x0FFE;
write_sin_out(DATA_STORE); send_out_delay(); }
    if( B150 == 1 ){ DATA_STORE &= 0x0FEF;
write_sin_out(DATA_STORE); send_out_delay(); }
    if( C150 == 1 ){ DATA_STORE &= 0x0EFF;
write_sin_out(DATA_STORE); send_out_delay(); }
}
}
//
DELAY_MS(10000);DELAY_MS(10000);DELAY_MS(10000);DELAY_MS(10000);
DELAY_MS(10000);
//
DELAY_MS(10000);DELAY_MS(10000);DELAY_MS(10000);DELAY_MS(10000);
DELAY_MS(10000);
finishstartup = 1;
// while(1);
SET_STUP_EN = 1;
}
interrupt void adc_isr(void)
{
    //CLOSE LOOP WILL BE ADD HERE//
    //   adcint_count += 1;
    // Reinitialize for next ADC sequence
    AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1;    // Reset SEQ1
    AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1;  // Clear INT SEQ1 bit
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; // Acknowledge interrupt to
PIE

    return;
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

}
interrupt void xint1_isr(void) // GPIO9 -- CLOCK INTERRUPT
{
    //    SET_63 = 1;
    if (startstop == 1) {
        //            SET_CHK = 1;
        read_my_adc();
        update_data_to_FPGA();
        if(firstloop>239) {close_loop_cal();}
        //            if(SYNC_STAT==0){sync_status = 0;}
        //            else if(SYNC_STAT==1){sync_status=1;}
        //            CLR_CHK = 1;
    }
    // Acknowledge this interrupt to get more from group 1
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
    //    CLR_63 = 1;
}
interrupt void xint2_isr(void) // GPIO8 -- Start/Stop Button
{
    int2count += 1;
    if(startstop == 0 )
    {
        //FCL_start();
        WR_CLR = 1;
        CS_CLR = 1;
        RELAY1_OFF_CLR = 1; DELAY_MS(1); RELAY1_ON_SET = 1;
        DELAY_MS(500); RELAY1_ON_CLR = 1;
        RELAY2_ON_CLR = 1; DELAY_MS(1); RELAY2_OFF_SET = 1;
        DELAY_MS(500); RELAY2_OFF_CLR = 1;
        write_to_FPGA(0x0000,0x0000);
        write_to_FPGA(0x0010,0x0000);
        if( finishstartup == 0 ){ startup(); }

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        DELAY_MS(100);
        RELAY2_OFF_CLR = 1; DELAY_MS(1); RELAY2_ON_SET = 1;
    DELAY_MS(500); RELAY2_ON_CLR = 1;
        write_to_FPGA(0x0000,0x0000);
        write_to_FPGA(0x0001,0x0000);
        write_to_FPGA(0x0002,0x0000);
        write_to_FPGA(0x0004,0x0000);
        write_to_FPGA(0x000C,0x0000);
        write_to_FPGA(0x002C,0x0000);
        XIntruptRegs.XINT1CR.bit.ENABLE = 1; // Enable XINT1
        startstop = 1;
    }
    else if ( startstop == 1 )
    {
        //FCI_stop();
        //        RELAY1_ON_CLR = 1; DELAY_MS(1);
    RELAY1_OFF_SET = 1; DELAY_MS(500); RELAY1_OFF_CLR = 1;
        //        RELAY2_ON_CLR = 1; DELAY_MS(1);
    RELAY2_OFF_SET = 1; DELAY_MS(500); RELAY2_OFF_CLR = 1;
        //
        //        write_to_FPGA(0x0000,0x0000);
        //        write_to_FPGA(0x0004,0x0000);
        //        write_to_FPGA(0x0000,0x0001);
        //        write_to_FPGA(0x0000,0x0002);
        //        write_to_FPGA(0x0000,0x0003);
        //        write_to_FPGA(0x0000,0x0004);
        //
        //        XIntruptRegs.XINT1CR.bit.ENABLE = 0; // Disable
XINT1
        //        startstop = 0;
    }
}

```

// Acknowledge this interrupt to get more from group 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
}
void read_my_adc()
{
    AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1; // reset SEQ1
    AdcRegs.ADCTRL2.bit.SOC_SEQ1 = 1; // start S&H then conversions.
    while(AdcRegs.ADCASEQSR.bit.SEQ_CNTR!=0){} //wait for conversions

    if(firstloop<239){
        iloada = 7.326e-4*(AdcRegs.ADCRESULT0>>4);
        iinva = 7.326e-4*(AdcRegs.ADCRESULT1>>4);
        iloadb = 7.326e-4*(AdcRegs.ADCRESULT2>>4);
        iinvb = 7.326e-4*(AdcRegs.ADCRESULT3>>4);
        iloadc = 7.326e-4*(AdcRegs.ADCRESULT4>>4);
        iinvc = 7.326e-4*(AdcRegs.ADCRESULT5>>4);
        vsa = 7.326e-4*(AdcRegs.ADCRESULT6>>4);
        vsb = 7.326e-4*(AdcRegs.ADCRESULT7>>4);
        vsc = 7.326e-4*(AdcRegs.ADCRESULT8>>4);
        offsetA0 += 7.326e-4*(AdcRegs.ADCRESULT0>>4);
        offsetB0 += 7.326e-4*(AdcRegs.ADCRESULT1>>4);
        offsetA1 += 7.326e-4*(AdcRegs.ADCRESULT2>>4);
        offsetB1 += 7.326e-4*(AdcRegs.ADCRESULT3>>4);
        offsetA2 += 7.326e-4*(AdcRegs.ADCRESULT4>>4);
        offsetB2 += 7.326e-4*(AdcRegs.ADCRESULT5>>4);
        offsetA3 += 7.326e-4*(AdcRegs.ADCRESULT6>>4);
        offsetB3 += 7.326e-4*(AdcRegs.ADCRESULT7>>4);
        offsetA4 += 7.326e-4*(AdcRegs.ADCRESULT8>>4);
        firstloop++;
    }
    else if(firstloop==239){
        iloada = 7.326e-4*(AdcRegs.ADCRESULT0>>4);
        iinva = 7.326e-4*(AdcRegs.ADCRESULT1>>4);
        iloadb = 7.326e-4*(AdcRegs.ADCRESULT2>>4);

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

iinvb = 7.326e-4*(AdcRegs.ADCRESULT3>>4);
iloadc = 7.326e-4*(AdcRegs.ADCRESULT4>>4);
iinvc = 7.326e-4*(AdcRegs.ADCRESULT5>>4);
vsa    = 7.326e-4*(AdcRegs.ADCRESULT6>>4);
vsb    = 7.326e-4*(AdcRegs.ADCRESULT7>>4);
vsc    = 7.326e-4*(AdcRegs.ADCRESULT8>>4);

offsetA0 *= 0.004167;
offsetB0 *= 0.004167;
offsetA1 *= 0.004167;
offsetB1 *= 0.004167;
offsetA2 *= 0.004167;
offsetB2 *= 0.004167;
offsetA3 *= 0.004167;
offsetB3 *= 0.004167;
offsetA4 *= 0.004167;
firstloop++;
}
else if(firstloop>239){
    iloada = (7.326e-4*(AdcRegs.ADCRESULT0>>4)) - offsetA0;
    iinva = (7.326e-4*(AdcRegs.ADCRESULT1>>4)) - offsetB0;
    iloadb = (7.326e-4*(AdcRegs.ADCRESULT2>>4)) - offsetA1;
    iinvb = (7.326e-4*(AdcRegs.ADCRESULT3>>4)) - offsetB1;
    iloadc = (7.326e-4*(AdcRegs.ADCRESULT4>>4)) - offsetA2;
    iinvc = (7.326e-4*(AdcRegs.ADCRESULT5>>4)) - offsetB2;
    vsa    = (7.326e-4*(AdcRegs.ADCRESULT6>>4)) - offsetA3;
    vsb    = (7.326e-4*(AdcRegs.ADCRESULT7>>4)) - offsetB3;
    vsc    = (7.326e-4*(AdcRegs.ADCRESULT8>>4)) - offsetA4;

    //scaling back
    //          iloada *= 5.6677643098;
    //          iinva  *= 5.7746936708;
    //          iloadb *= 5.6677718668;
    //          iinvb  *= 5.6157747154;
    //          iloadc *= 5.4653519635;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

//          iinvc  *= 5.6677718668;
//          iloada *= 5.6677643098;

loada *= 6.5;
iinva  *= 6.5;
loadb *= 6.5;
iinvb  *= 6.5;
loadc *= 6.5;
iinvc  *= 6.5;

vsa    *= 233.08430778;
vsb    *= 231.57681994;
vsc    *= 233.08178416;
}
}
void write_to_FPGA(int data_in,int FPGA_mode)
{
    write_sin_out(data_in);
    write_FPGA_mode(FPGA_mode);
    send_out_delay();}
void read_startup()
{
    if( STUP0 == 0 ){ A50 = 0; }else if( STUP0 == 1 ){ A50 = 1; }
    if( STUP1 == 0 ){ A100 = 0; }else if( STUP1 == 1 ){ A100 = 1; }
    if( STUP2 == 0 ){ A150 = 0; }else if( STUP2 == 1 ){ A150 = 1; }
    if( STUP3 == 0 ){ B50 = 0; }else if( STUP3 == 1 ){ B50 = 1; }
    if( STUP4 == 0 ){ B100 = 0; }else if( STUP4 == 1 ){ B100 = 1; }
    if( STUP5 == 0 ){ B150 = 0; }else if( STUP5 == 1 ){ B150 = 1; }
    if( STUP6 == 0 ){ C50 = 0; }else if( STUP6 == 1 ){ C50 = 1; }
    if( STUP7 == 0 ){ C100 = 0; }else if( STUP7 == 1 ){ C100 = 1; }
    if( STUP8 == 0 ){ C150 = 0; }else if( STUP8 == 1 ){ C150 = 1; }
    if( STUP9 == 0 ){ A200 = 0; }else if( STUP9 == 1 ){ A200 = 1; }
    //    if( STUP0 == 0 ){ STUPstatus &= 0xFFFE; }else if( STUP0 == 1 ){
STUPstatus |= 1; }

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

//    if( STUP1 == 0 ){ STUPstatus &= 0xFFFD; }else if( STUP1 == 1 ){
STUPstatus |= 2; }
//    if( STUP2 == 0 ){ STUPstatus &= 0xFFB; }else if( STUP2 == 1 ){
STUPstatus |= 4; }
//    if( STUP3 == 0 ){ STUPstatus &= 0xFFF7; }else if( STUP3 == 1 ){
STUPstatus |= 8; }
//    if( STUP4 == 0 ){ STUPstatus &= 0xFFEF; }else if( STUP4 == 1 ){
STUPstatus |= 16; }
//    if( STUP5 == 0 ){ STUPstatus &= 0xFFDF; }else if( STUP5 == 1 ){
STUPstatus |= 32; }
//    if( STUP6 == 0 ){ STUPstatus &= 0xFFBF; }else if( STUP6 == 1 ){
STUPstatus |= 64; }
//    if( STUP7 == 0 ){ STUPstatus &= 0xFF7F; }else if( STUP7 == 1 ){
STUPstatus |= 128; }
//    if( STUP8 == 0 ){ STUPstatus &= 0xFEFF; }else if( STUP8 == 1 ){
STUPstatus |= 256; }
}
void send_out_delay()
{
    CS_SET = 1; asm(" NOP"); asm(" NOP"); asm(" NOP"); asm(" NOP");
    WR_SET = 1; asm(" NOP"); asm(" NOP"); asm(" NOP"); asm(" NOP");
    MYDELAY();
    WR_CLR = 1; asm(" NOP"); asm(" NOP"); asm(" NOP"); asm(" NOP");
    CS_CLR = 1; asm(" NOP"); asm(" NOP"); asm(" NOP"); asm(" NOP");
}
void MYDELAY()
{
    int A1 = 5;
    A1 *= 5;
}
void write_sin_out(int A)
{

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        if( (A & 1) == 1 ){ SET_10 = 1; SINEA |= 1; } else if( (A & 1) != 1
    ){ CLR_10 = 1; SINEA &= 0xFFFE;}
        if( (A & 2) == 2 ){ SET_11 = 1; SINEA |= 2; } else if( (A & 2) != 2
    ){ CLR_11 = 1; SINEA &= 0xFFFD;}
        if( (A & 4) == 4 ){ SET_12 = 1; SINEA |= 4; } else if( (A & 4) != 4
    ){ CLR_12 = 1; SINEA &= 0xFFFB;}
        if( (A & 8) == 8 ){ SET_13 = 1; SINEA |= 8; } else if( (A & 8) != 8
    ){ CLR_13 = 1; SINEA &= 0xFFF7;}
        if( (A & 16) == 16 ){ SET_14 = 1; SINEA |= 16; } else if( (A & 16) !=
    16 ){ CLR_14 = 1; SINEA &= 0xFFEF;}
        if( (A & 32) == 32 ){ SET_15 = 1; SINEA |= 32; } else if( (A & 32) !=
    32 ){ CLR_15 = 1; SINEA &= 0xFFDF;}
        if( (A & 64) == 64 ){ SET_16 = 1; SINEA |= 64; } else if( (A & 64) !=
    64 ){ CLR_16 = 1; SINEA &= 0xFFBF;}
        if( (A & 128) == 128 ){ SET_17 = 1; SINEA |= 128; } else if( (A & 128) !=
    128 ){ CLR_17 = 1; SINEA &= 0xFF7F;}
        if( (A & 256) == 256 ){ SET_18 = 1; SINEA |= 256; } else if( (A & 256) !=
    256 ){ CLR_18 = 1; SINEA &= 0xFEFF;}
        if( (A & 512) == 512 ){ SET_19 = 1; SINEA |= 512; } else if( (A & 512) !=
    512 ){ CLR_19 = 1; SINEA &= 0xFDFF;}
        if( (A & 1024) == 1024 ){ SET_20 = 1; SINEA |= 1024; } else if( (A & 1024)
    != 1024 ){ CLR_20 = 1; SINEA &= 0xFBFF;}
        if( (A & 2048) == 2048 ){ SET_21 = 1; SINEA |= 2048; } else if( (A & 2048)
    != 2048 ){ CLR_21 = 1; SINEA &= 0xF7FF;}
    }
    void write_FPGA_mode(int A)
    {
        if( (A & 0x0001) == 0x0001 ){ GpioDataRegs.GPASET.bit.GPIO0 = 1;
    FPGA_MODE |= 1;} else{ GpioDataRegs.GPACLEAR.bit.GPIO0 = 1; FPGA_MODE &=
    0xFFFE; }
        if( (A & 0x0002) == 0x0002 ){ GpioDataRegs.GPASET.bit.GPIO1 = 1;
    FPGA_MODE |= 2;} else{ GpioDataRegs.GPACLEAR.bit.GPIO1 = 1; FPGA_MODE &=
    0xFFFD; }

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    if( (A & 0x0004) == 0x0004 ){ GpioDataRegs.GPASET.bit.GPIO2 = 1;
FPGA_MODE |= 4;} else{ GpioDataRegs.GPACLEAR.bit.GPIO2 = 1; FPGA_MODE &=
0xFFFFB; }
}

```

```

void DELAY_MS(Uint16 MS)

```

```

{
    while(MS != 0)
    {
        DELAY_US(1000);
        MS--;
    }
}

```

```

void Init_FCI_drive()

```

```

{
    EALLOW;
    GpioCtrlRegs.GPAMUX1.all = 0x0000; // PIN 00 - 15 is GPIO
    GpioCtrlRegs.GPAMUX2.all = 0x0000; // PIN 16 - 31 is GPIO
    GpioCtrlRegs.GPBMUX1.bit.GPIO32 = 0; // PIN 32 is GPIO
    GpioCtrlRegs.GPBMUX1.bit.GPIO33 = 0; // PIN 33 is GPIO
    GpioCtrlRegs.GPBMUX1.bit.GPIO34 = 0; // PIN 34 is GPIO
    GpioCtrlRegs.GPBMUX2.bit.GPIO48 = 0; // PIN 48 is GPIO
    GpioCtrlRegs.GPBMUX2.bit.GPIO49 = 0; // PIN 49 is GPIO
    GpioCtrlRegs.GPBMUX2.bit.GPIO58 = 0; // PIN 58 is GPIO
    GpioCtrlRegs.GPBMUX2.bit.GPIO59 = 0; // PIN 59 is GPIO
    GpioCtrlRegs.GPBMUX2.bit.GPIO60 = 0; // PIN 60 is GPIO
    GpioCtrlRegs.GPBMUX2.bit.GPIO61 = 0; // PIN 61 is GPIO
    GpioCtrlRegs.GPBMUX2.bit.GPIO62 = 0; // PIN 62 is GPIO
    GpioCtrlRegs.GPBMUX2.bit.GPIO63 = 0; // PIN 63 is GPIO
    GpioCtrlRegs.GPCMUX2.bit.GPIO84 = 0; // PIN 84 is GPIO
    GpioCtrlRegs.GPCMUX2.bit.GPIO85 = 0; // PIN 85 is GPIO
    GpioCtrlRegs.GPCMUX2.bit.GPIO86 = 0; // PIN 86 is GPIO
    GpioCtrlRegs.GPCMUX2.bit.GPIO87 = 0; // PIN 87 is GPIO
}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

EDIS;

EALLOW;

//   GpioCtrlRegs.GPADIR.all           = 0x003FDFF;// 0000 0000 0011
1111 1111 1101 1111 1111
    GpioCtrlRegs.GPADIR.bit.GPIO0     = 1; // GPIO0 is Output --
FPGA_mode_0
    GpioCtrlRegs.GPADIR.bit.GPIO1     = 1; // GPIO1 is Output --
FPGA_mode_1
    GpioCtrlRegs.GPADIR.bit.GPIO2     = 1; // GPIO2 is Output --
FPGA_mode_2
    GpioCtrlRegs.GPADIR.bit.GPIO3     = 1; // GPIO3 is Output -- WR
    GpioCtrlRegs.GPADIR.bit.GPIO4     = 1; // GPIO4 is Output -- CS
    GpioCtrlRegs.GPADIR.bit.GPIO5     = 1; // GPIO5 is Output -- RELAY_1_ON
    GpioCtrlRegs.GPADIR.bit.GPIO6     = 1; // GPIO6 is Output --
RELAY_1_OFF
    GpioCtrlRegs.GPADIR.bit.GPIO7     = 1; // GPIO7 is Output -- RELAY_2_ON
    GpioCtrlRegs.GPADIR.bit.GPIO8     = 0; // GPIO8 is Input -- External
Interrupt ( Start/Stop Button )
    GpioCtrlRegs.GPADIR.bit.GPIO9     = 0; // GPIO9 is Input -- External
Interrupt ( FPGA Clock Interrupt )
    GpioCtrlRegs.GPADIR.bit.GPIO10    = 1; // GPIO10 is Output --
write_sin_out_0
    GpioCtrlRegs.GPADIR.bit.GPIO11    = 1; // GPIO11 is Output --
    GpioCtrlRegs.GPADIR.bit.GPIO12    = 1; // GPIO12 is Output --
write_sin_out_2
    GpioCtrlRegs.GPADIR.bit.GPIO13    = 1; // GPIO13 is Output --
write_sin_out_3
    GpioCtrlRegs.GPADIR.bit.GPIO14    = 1; // GPIO14 is Output --
write_sin_out_4
    GpioCtrlRegs.GPADIR.bit.GPIO15    = 1; // GPIO15 is Output --
write_sin_out_5

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

//      GpioCtrlRegs.GPADIR.bit.GPIO16      = 1; // GPIO16 is Output --
write_sin_out_6 moved
//      GpioCtrlRegs.GPADIR.bit.GPIO17      = 1; // GPIO17 is Output --
write_sin_out_7 moved
//      GpioCtrlRegs.GPADIR.bit.GPIO18      = 1; // GPIO18 is Output --
write_sin_out_8 moved
//      GpioCtrlRegs.GPADIR.bit.GPIO19      = 1; // GPIO19 is Output --
write_sin_out_9 moved
      GpioCtrlRegs.GPADIR.bit.GPIO20      = 1; // GPIO20 is Output --
write_sin_out_10
      GpioCtrlRegs.GPADIR.bit.GPIO21      = 1; // GPIO21 is Output --
write_sin_out_11
      GpioCtrlRegs.GPADIR.bit.GPIO22      = 0; // GPIO32 is Input -- STUP0
      GpioCtrlRegs.GPADIR.bit.GPIO23      = 0; // GPIO32 is Input -- STUP1
      GpioCtrlRegs.GPADIR.bit.GPIO24      = 0; // GPIO32 is Input -- STUP2
      GpioCtrlRegs.GPADIR.bit.GPIO25      = 0; // GPIO32 is Input -- STUP3
      GpioCtrlRegs.GPADIR.bit.GPIO26      = 0; // GPIO32 is Input -- STUP4
      GpioCtrlRegs.GPADIR.bit.GPIO27      = 0; // GPIO32 is Input -- STUP5
      GpioCtrlRegs.GPADIR.bit.GPIO28      = 0; // GPIO32 is Input -- STUP9
      GpioCtrlRegs.GPADIR.bit.GPIO29      = 0; // GPIO32 is Input -- STUP7
      GpioCtrlRegs.GPADIR.bit.GPIO30      = 0; // GPIO32 is Input -- STUP8
      GpioCtrlRegs.GPADIR.bit.GPIO31      = 1; // GPIO16 is Output --
write_sin_out_6
      GpioCtrlRegs.GPBDIR.bit.GPIO32      = 1; // GPIO32 is Output --
write_sin_out_7
      GpioCtrlRegs.GPBDIR.bit.GPIO33      = 1; // GPIO33 is Output --
write_sin_out_8
      GpioCtrlRegs.GPBDIR.bit.GPIO34      = 1; // GPIO34 is Output --
write_sin_out_9
      GpioCtrlRegs.GPBDIR.bit.GPIO48      = 1; // GPIO48 is Output -- EN_0
      GpioCtrlRegs.GPBDIR.bit.GPIO49      = 1; // GPIO49 is Output -- EN_1
      GpioCtrlRegs.GPBDIR.bit.GPIO58      = 1; // GPIO58 is Output -- EN_2

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        GpioCtrlRegs.GPBDIR.bit.GPIO59    = 1; // GPIO59 is Output --
write_sin_out_1
        //    GpioCtrlRegs.GPADIR.bit.GPIO31    = 0; // GPIO32 is Input --
sin_index0
        //    GpioCtrlRegs.GPBDIR.bit.GPIO32    = 0; // GPIO32 is Input --
sin_index1
        //    GpioCtrlRegs.GPBDIR.bit.GPIO33    = 0; // GPIO33 is Input --
sin_index2
        //    GpioCtrlRegs.GPBDIR.bit.GPIO34    = 0; // GPIO34 is Input --
sin_index3
        //    GpioCtrlRegs.GPBDIR.bit.GPIO48    = 0; // GPIO48 is Input --
sin_index4
        //    GpioCtrlRegs.GPBDIR.bit.GPIO49    = 0; // GPIO49 is Input --
sin_index5
        //    GpioCtrlRegs.GPBDIR.bit.GPIO58    = 0; // GPIO58 is Input --
sin_index6
        //    GpioCtrlRegs.GPBDIR.bit.GPIO59    = 0; // GPIO59 is Input --
sin_index7
        GpioCtrlRegs.GPBDIR.bit.GPIO60    = 0; // GPIO60 is Input --
SYNC_STATUS
        GpioCtrlRegs.GPBDIR.bit.GPIO61    = 0; // GPIO61 is Input -- SWITCH_2
        GpioCtrlRegs.GPBDIR.bit.GPIO62    = 0; // GPIO62 is Output --
RELAY_2_OFF
        //    GpioCtrlRegs.GPBDIR.bit.GPIO63    = 1; // GPIO63 is Output --
Closed loop calculation duration check
        GpioCtrlRegs.GPCDIR.bit.GPIO84    = 1; // GPIO84 is Output -- startup_EN
        GpioCtrlRegs.GPCDIR.bit.GPIO85    = 0; // GPIO85 is input -- STUP1
        GpioCtrlRegs.GPCDIR.bit.GPIO86    = 1; // GPIO86 is output -- CHK_Hz
        GpioCtrlRegs.GPCDIR.bit.GPIO87    = 0; // GPIO87 is input -- STUP6
        //    GpioCtrlRegs.GPBDIR.bit.GPIO63    = 0;

        GpioCtrlRegs.GPAQSEL1.bit.GPIO8    = 2; // XINT2 sync to

```

SYSCLOCKOUT only

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        GpioCtrlRegs.GPAQSEL1.bit.GPIO9          = 2;    // XINT1 qualification 3
samples
        GpioCtrlRegs.GPACTRL.bit.QUALPRD1       = 20;    // sampling
period is (2*20)*6.67ns =    us
        EDIS;
        EALLOW;
        GpioIntRegs.GPIOXINT1SEL.bit.GPIOSEL    = 9;    // Select GPIO9 as XINT1
source
        GpioIntRegs.GPIOXINT2SEL.bit.GPIOSEL    = 8;    // Select GPIO8 as XINT2
source
        EDIS;
        XIntruptRegs.XINT1CR.bit.POLARITY = 0; // Falling Edge Interrupt
        XIntruptRegs.XINT1CR.bit.ENABLE = 0; // 1 = Enable XINT1 / 0 = disable
        XIntruptRegs.XINT2CR.bit.POLARITY = 0; // Falling Edge Interrupt
        XIntruptRegs.XINT2CR.bit.ENABLE = 1; // 1 = Enable XINT2 / 0 = disable
        // initial relays
        RELAY1_ON_CLR = 1; DELAY_MS(1); RELAY1_OFF_SET = 1;
DELAY_MS(500); RELAY1_OFF_CLR = 1;
        RELAY2_ON_CLR = 1; DELAY_MS(1); RELAY2_OFF_SET = 1;
DELAY_MS(500); RELAY2_OFF_CLR = 1;
        write_to_FPGA(0x0000,0x0000);
    }
    //////////////////////////////////////
void InitSpiaGpio()
{
    EALLOW;
    /* Enable internal pull-up for the selected pins */
    // Pull-ups can be enabled or disabled by the user.
    // This will enable the pullups for the specified pins.
    // Comment out other unwanted lines.
    GpioCtrlRegs.GPAPUD.bit.GPIO16 = 0; // Enable pull-up on GPIO16
(SPISIMOA)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    GpioCtrlRegs.GPAPUD.bit.GPIO17 = 0; // Enable pull-up on GPIO17
(SPISOMIA)
    GpioCtrlRegs.GPAPUD.bit.GPIO18 = 0; // Enable pull-up on GPIO18
(SPICLKA)
    GpioCtrlRegs.GPAPUD.bit.GPIO19 = 0; // Enable pull-up on GPIO19
(SPISTEAE)
    // GpioCtrlRegs.GPBPUD.bit.GPIO54 = 0; // Enable pull-up on GPIO54
(SPISIMOA)
    // GpioCtrlRegs.GPBPUD.bit.GPIO55 = 0; // Enable pull-up on GPIO55
(SPISOMIA)
    // GpioCtrlRegs.GPBPUD.bit.GPIO56 = 0; // Enable pull-up on GPIO56
(SPICLKA)
    // GpioCtrlRegs.GPBPUD.bit.GPIO57 = 0; // Enable pull-up on GPIO57
(SPISTEAE)

/* Set qualification for selected pins to asynch only */
// This will select asynch (no qualification) for the selected pins.
// Comment out other unwanted lines.

GpioCtrlRegs.GPAQSEL2.bit.GPIO16 = 3; // Asynch input GPIO16
(SPISIMOA)
GpioCtrlRegs.GPAQSEL2.bit.GPIO17 = 3; // Asynch input GPIO17
(SPISOMIA)
GpioCtrlRegs.GPAQSEL2.bit.GPIO18 = 3; // Asynch input GPIO18 (SPICLKA)
GpioCtrlRegs.GPAQSEL2.bit.GPIO19 = 3; // Asynch input GPIO19 (SPISTEAE)
// GpioCtrlRegs.GPBQSEL2.bit.GPIO54 = 3; // Asynch input GPIO16
(SPISIMOA)
// GpioCtrlRegs.GPBQSEL2.bit.GPIO55 = 3; // Asynch input GPIO17
(SPISOMIA)
// GpioCtrlRegs.GPBQSEL2.bit.GPIO56 = 3; // Asynch input GPIO18
(SPICLKA)
// GpioCtrlRegs.GPBQSEL2.bit.GPIO57 = 3; // Asynch input GPIO19
(SPISTEAE)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

/* Configure SPI-A pins using GPIO regs*/
// This specifies which of the possible GPIO pins will be SPI functional
pins.

// Comment out other unwanted lines.
GpioCtrlRegs.GPAMUX2.bit.GPIO16 = 1; // Configure GPIO16 as SPISIMOA
GpioCtrlRegs.GPAMUX2.bit.GPIO17 = 1; // Configure GPIO17 as SPISOMIA
GpioCtrlRegs.GPAMUX2.bit.GPIO18 = 1; // Configure GPIO18 as SPICLKA
GpioCtrlRegs.GPAMUX2.bit.GPIO19 = 1; // Configure GPIO19 as SPISTEA
// GpioCtrlRegs.GPBMUX2.bit.GPIO54 = 1; // Configure GPIO54 as
SPISIMOA
// GpioCtrlRegs.GPBMUX2.bit.GPIO55 = 1; // Configure GPIO55 as
SPISOMIA
// GpioCtrlRegs.GPBMUX2.bit.GPIO56 = 1; // Configure GPIO56 as
SPICLKA
// GpioCtrlRegs.GPBMUX2.bit.GPIO57 = 1; // Configure GPIO57 as
SPISTEA
EDIS;
}
void spi_init()
{
    SpiaRegs.SPICCR.all = 0x000F; // Reset on, rising edge, 16-
bit char bits
    SpiaRegs.SPICTL.all = 0x0006; // Enable master mode,
normal phase,
// enable talk, and SPI int disabled.
    SpiaRegs.SPIBRR = 0x0000;
    SpiaRegs.SPICCR.all = 0x009F; // Relinquish SPI from
Reset
    SpiaRegs.SPIPRI.bit.FREE = 1; // Set so breakpoints don't disturb
xmission
}
void spi_fifo_init()

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

{
    // Initialize SPI FIFO registers
    SpiaRegs.SPIFFTX.all=0xE040;
    SpiaRegs.SPIFFRX.all=0x204f;
    SpiaRegs.SPIFFCT.all=0x0;
}

void write_DAC(){
    int rdata;
    // ==> DAC No.1
    SET_SPI_0 = 1; // Enable data line A
    SpiaRegs.SPITXBUF = D_out1; // Transmit data
    while(SpiaRegs.SPIFFRX.bit.RXFFST !=1) { } // Wait until data is received
    rdata = SpiaRegs.SPIRXBUF; // Check against sent data
    CLR_SPI_0 = 1; // Disable data line A
    // ==> DAC No.2
    SET_SPI_1 = 1; // Enable data line B
    SpiaRegs.SPITXBUF = D_out2; // Transmit data
    while(SpiaRegs.SPIFFRX.bit.RXFFST !=1) { } // Wait until data is received
    rdata = SpiaRegs.SPIRXBUF; // Check against sent data
    CLR_SPI_1 = 1; // Disable data line B
    // ==> DAC No.3
    SET_SPI_2 = 1; // Enable data line C
    SpiaRegs.SPITXBUF = D_out3; // Transmit data
    while(SpiaRegs.SPIFFRX.bit.RXFFST !=1) { } // Wait until data is received
    rdata = SpiaRegs.SPIRXBUF; // Check against sent data
    CLR_SPI_2 = 1; // Disable data line C
    //-----
}

void write_DAC2(int dataout1,int dataout2,int dataout3){
    int rdata;
    //    if(dataout1>4095){dataout1 = 4095;} else
    if(dataout1<=0){dataout1 = 0;}

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

//          if(dataout2>4095){dataout2 = 4095;} else
if(dataout2<=0){dataout2 = 0;}
//          if(dataout3>4095){dataout3 = 4095;} else
if(dataout3<=0){dataout3 = 0;}
// ==> DAC No.1
SET_SPI_0 = 1; // Enable data line A
SpiaRegs.SPITXBUF = dataout1;// Transmit data
while(SpiaRegs.SPIFFRX.bit.RXFFST !=1) { }// Wait until data is received
rdata = SpiaRegs.SPIRXBUF;// Check against sent data
CLR_SPI_0 = 1; //Disable data line A
// ==> DAC No.2
SET_SPI_1 = 1;// Enable data line B
SpiaRegs.SPITXBUF = dataout2;// Transmit data
while(SpiaRegs.SPIFFRX.bit.RXFFST !=1) { }// Wait until data is received
rdata = SpiaRegs.SPIRXBUF;// Check against sent data
CLR_SPI_1 = 1;//Disable data line B
// ==> DAC No.3
SET_SPI_2 = 1;// Enable data line C
SpiaRegs.SPITXBUF = dataout3;// Transmit data
while(SpiaRegs.SPIFFRX.bit.RXFFST !=1) { }// Wait until data is received
rdata = SpiaRegs.SPIRXBUF;// Check against sent data
CLR_SPI_2 = 1;//Disable data line C
//-----
}

```

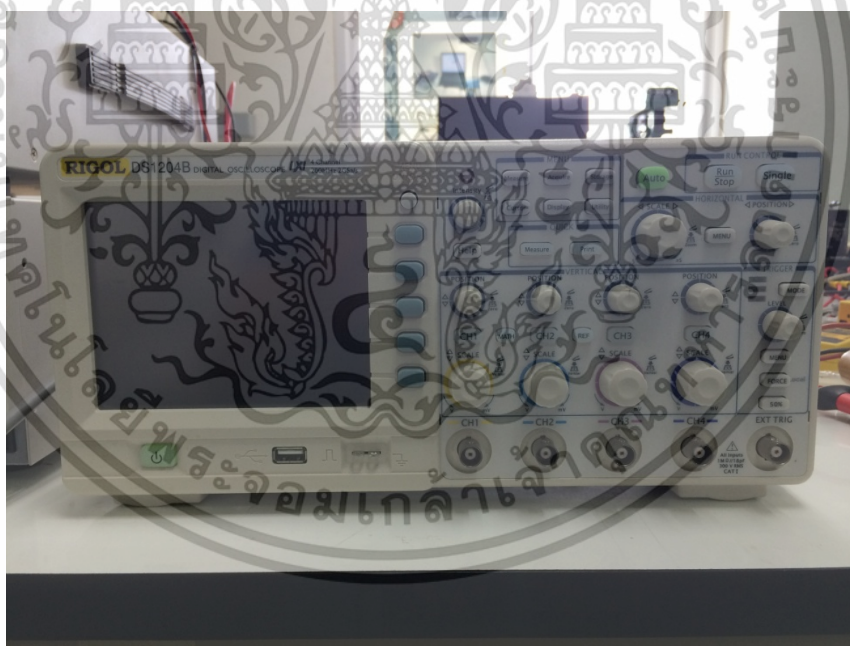
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.1 ดิจิตอลออสซิลโลสโคป YOKOGAWA รุ่น DL1740E



รูปที่ ข.2 ดิจิตอลออสซิลโลสโคป RIGOL รุ่น DS1204B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.3 Differential Probe YOKOGAWA รุ่น 700625



รูปที่ ข.4 Current Probe FLUKE

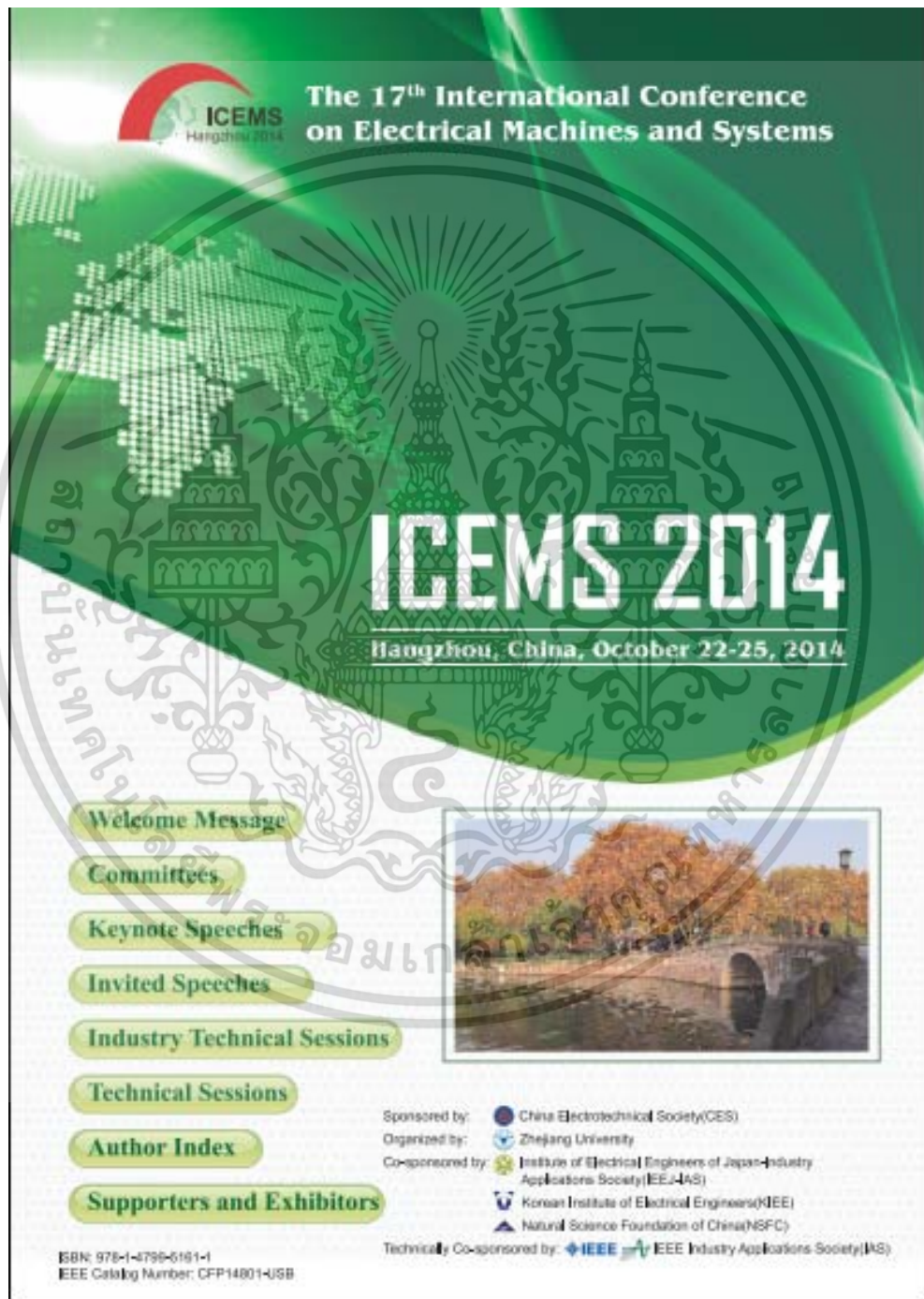
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลงานเกี่ยวกับวิทยานิพนธ์ที่ได้รับการตีพิมพ์เผยแพร่ (ICEMS 2014)

PRATOMPONG WIJIT, SOMPOB POLMAI, "REACTIVE POWER AND HARMONICS COMPENSATION USING A FLYING CAPACITOR MULTILEVEL INVERTER", ICEMS 2014, Hangzhou, CHINA, October 22-25, 2014, pp2426-2430.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



The 17th International Conference on Electrical Machines and Systems

ICEMS 2014

Hangzhou, China, October 22-25, 2014

Welcome Message

Committees

Keynote Speeches

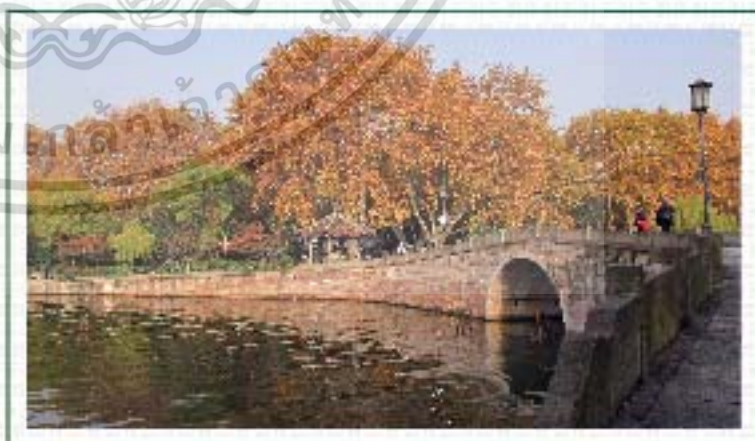
Invited Speeches

Industry Technical Sessions

Technical Sessions

Author Index

Supporters and Exhibitors



Sponsored by:  China Electrotechnical Society(CES)
Organized by:  Zhejiang University
Co-sponsored by:  Institute of Electrical Engineers of Japan-Industry Applications Society(IEEJ-IAS) ะโยชน์ด้านการค้า
 Korean Institute of Electrical Engineers(KIEE)
 Natural Science Foundation of China(NSFC)

Technically Co-sponsored by:  IEEE  IEEE Industry Applications Society(IAS)

ISBN: 978-1-4799-5161-1

IEEE Catalog Number: CFP14801-USB

Reactive Power and Harmonics Compensation Using A Flying Capacitor Multilevel Inverter

Pratompong Wijit¹, Sompob Polmai²

^{1,2}Department of Electrical Engineering, Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang(KMITL), THAILAND
E-mail: pratompong.w@gmail.com, kpsompob@gmail.com

Abstract — The closed-loop current control is designed and applied to force the inverter to inject the compensating reactive power and harmonics into the system. A five-level inverter is modeled and the phase-shifted pulse width modulation technique is adopted for output voltage control. The simulation results show the proposed flying capacitor inverter is capable of compensating for load reactive power and load harmonics.

I. INTRODUCTION

Multilevel inverter are widely used in high-power applications with medium voltage level due to their attractive properties, such as their lower switching loss and higher efficiency than the conventional two-level inverters [1-2]. The applications of multilevel inverters are include motor drive uses, static VAR compensator and power factor correction and harmonics elimination [1-2]. Among multilevel inverter structures, the flying capacitor inverter topologies are selected due to their attractive advantages, single dc link, redundant switching states and simplicity of control.

A variety of unwanted results in power systems are caused by the rapid growth of nonlinear loads such as cycloconverters and diode converters. Among these undesirable results, harmonic pollution, increased reactive power and voltage fluctuations are the most important. Harmonic pollution is causes of overheating of transformer and electrical motors, increased losses in AC power line, sensitive devices malfunction and interference with communication system. Reactive current is responsible for lagged power factor and therefore give rise reactive power burden to power system[3].

Reactive power and harmonics compensations by using flying capacitor multilevel inverter is investigated in this paper. The five-level flying capacitor prototype inverter is proposed, simulated and constructed. To eliminate capacitor balancing problems and control inverter output voltage, the phase-shift PWM technique is adopted [4]. The closed-loop current control is proposed and applied to perform the compensation of the nonlinear load reactive current and harmonics. The investigation focuses on capacitor voltage balancing and comparison between system current before and after the compensation.

II. FLYING CAPACITOR INVERTER

A. Flying Capacitor Inverter Circuit

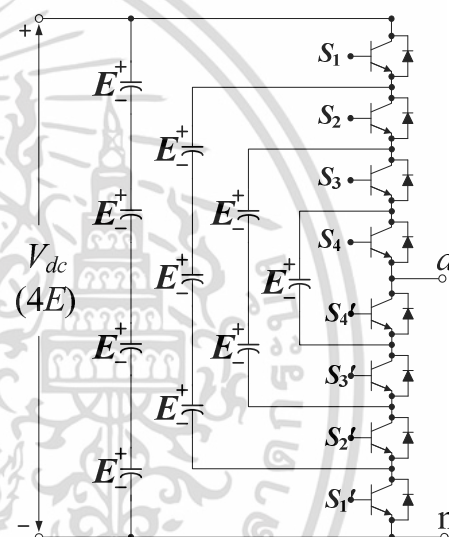


Fig. 1. Five-level flying capacitor inverter circuit.

The five-level flying capacitor inverter is showed in Fig.1. The outer capacitors called the dc link capacitors and the rests called flying capacitors. Each capacitor voltage is equals to E , or $V_{dc}/4$. There are 4 pairs of switching devices and each pair cannot be conduct simultaneously. The inverter can produces five voltage levels of an inverter phase voltage, depends on combination of the conducted switches. Fig.2 shows the inverter phase voltage and line to line voltage. Table I show a lists of all switching states and all the combinations of phase voltage levels that are possible for the five-level flying capacitor inverter. The redundancies of switching state provide a great flexibility for switching pattern design and available for capacitor voltage balancing.

TABLE I.
VOLTAGE LEVEL AND SWITCHING STATES OF A FIVE-LEVEL FLYING CAPACITOR INVERTER

Inverter Voltage v_{an}	Switching States							
	S_1	S_2	S_3	S_4	S_1'	S_2'	S_3'	S_4'
$V_{dc}(4E)$	1	1	1	1	0	0	0	0
3E	1	1	1	0	0	0	0	1
	1	1	0	1	0	0	1	0
	1	0	1	1	0	1	0	0
	0	1	1	1	1	0	0	0
2E	1	1	0	0	0	0	1	1
	1	0	1	0	0	1	0	1
	0	1	1	0	1	0	0	1
	1	0	0	1	0	1	1	0
1E	0	1	0	1	1	0	1	0
	0	0	1	1	1	1	0	0
	1	0	0	0	0	1	1	1
	0	1	0	0	1	0	1	1
0	0	1	0	1	1	0	1	
0	0	0	1	1	1	1	0	
0	0	0	0	0	0	0	0	

^a "1" = switch on, "0" = switch off

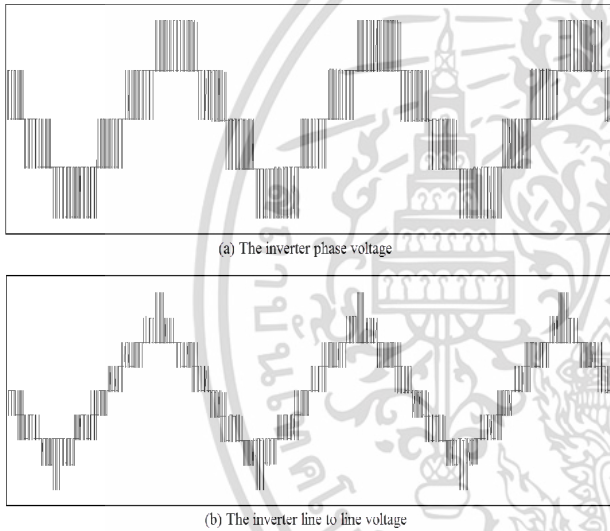


Fig. 2. The inverter phase voltage and line to line voltage.

B. Flying Capacitors Voltage Balancing

One of the most important concerns about flying capacitor inverter is the energy balance of the flying capacitors. The unbalanced charging and discharging of flying capacitors could lead to the uneven output voltage. There are many solutions for capacitor energy balancing problem using PWM techniques, such as Modified Carrier Redistribution PWM, Saw-Tooth Rotation PWM and Phase-shifted PWM [5]. Phase-shifted PWM is simply to implement and provides balanced charging and discharging duration, which leads to maintained flying capacitor voltages. Fig. 3 shows the current flow of each flying capacitor. The flying capacitors have an average current of zero each, which results in an energy balance over them.

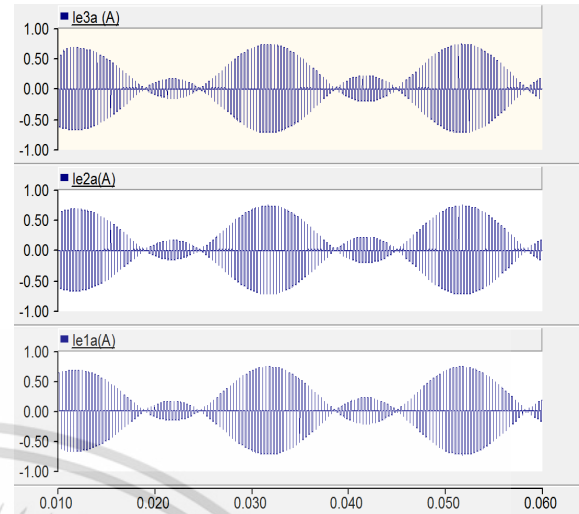


Fig. 3. Flying capacitor currents using phase-shifted PWM.

III. CONTROL SYSTEM DESIGN

The inverter circuits along with interface inductor or interface transformer is called a distribution static compensator (DSTATCOM). A DSTATCOM is one of the most effective ways to compensate reactive power dynamically and can exchange both active and reactive power with the distribution system, by varying the amplitude and phase angle of the inverter voltage with respect to the system voltage. The proposed DSTATCOM includes a flying capacitor inverter and is shunt connected to the distribution system. The DSTATCOM's performance depends on the control algorithm used to determine the reference currents. For this purpose, the closed-loop current control scheme is designed and applied to command the DSTATCOM to inject the compensating reactive current and harmonics current to the power system.

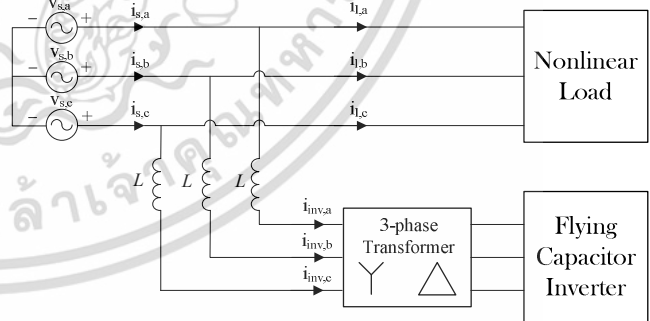


Fig. 4. Three-phase flying capacitor inverter is shunt connected to the system.

Fig. 4 shows the flying capacitor multilevel inverter is shunt connected to the power system through the interface transformer and interface reactors. The general compensation principle of the three-phase shunt inverter can be shown in Fig. 4 as

$$i_{inv} = i_s - i_L \quad (1)$$

where i_{inv} , i_s and i_L is the inverter current, the system current and the load current, respectively.

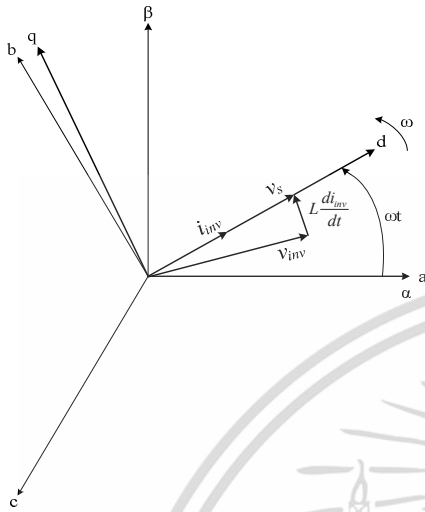


Fig. 5. The coordinates for the flying capacitor inverter

The three-phase supply voltage is expressed as

$$\begin{aligned} v_{s,a} &= V_m \cos(\omega t) \\ v_{s,b} &= V_m \cos\left(\omega t - \frac{2\pi}{3}\right) \\ v_{s,c} &= V_m \cos\left(\omega t - \frac{4\pi}{3}\right) \end{aligned} \quad (2)$$

where V_m and ω is the phase voltage amplitude and angular frequency, respectively. The coordinates of the relation between inverter voltage and system voltage on synchronous reference frame d-q are showed in Fig. 5. The voltage equations on the stationary reference frame a-b-c are

$$\begin{aligned} v_{s,a} &= L \frac{di_{inv,a}}{dt} + v_{inv,a} \\ v_{s,b} &= L \frac{di_{inv,b}}{dt} + v_{inv,b} \\ v_{s,c} &= L \frac{di_{inv,c}}{dt} + v_{inv,c} \end{aligned} \quad (3)$$

where $i_{inv,a}$, $i_{inv,b}$ and $i_{inv,c}$ are the inverter currents and $v_{inv,a}$, $v_{inv,b}$ and $v_{inv,c}$ are the inverter phase voltages. The voltage equations are transformed from the stationary frame a-b-c to the synchronous reference frame d-q as follow

$$\begin{aligned} v_{s,d} &= L \frac{di_{inv,d}}{dt} - \omega L i_{inv,q} + v_{inv,d} \\ v_{s,q} &= L \frac{di_{inv,q}}{dt} + \omega L i_{inv,d} + v_{inv,q} \end{aligned} \quad (4)$$

Equation (2), the supply voltage, on the stationary reference frame α - β are

$$\begin{aligned} v_{s,\alpha} &= V_m \cos(\omega t) \\ v_{s,\beta} &= V_m \sin(\omega t) \end{aligned} \quad (5)$$

and the supply voltage on the synchronous reference frame d-q are

$$\begin{aligned} v_{s,d} &= V_m \\ v_{s,q} &= 0 \end{aligned} \quad (6)$$

The q -axis inverter reference current ($i_{inv,q}^*$) is determined by the opposite of the q -axis load current ($i_{L,q}$), to direct the q -axis inverter current ($i_{inv,q}$) to zero reference for unity power factor. The d -axis reference current is derived from the proportional and integral (PI) voltage controller for the dc link regulation. The d -axis inverter reference current ($i_{inv,d}^*$) is determined by the difference between the d -axis reference current (i_d^*) and high frequency components of the d -axis load current ($i'_{L,d}$), for harmonic compensation without real power injection. From equation (4) and (6), the transformed voltage equations on the synchronous reference frame d-q are

$$\begin{aligned} V_m &= L \frac{di_{inv,d}}{dt} - \omega L i_{inv,q} + v_{inv,d} \\ 0 &= L \frac{di_{inv,q}}{dt} + \omega L i_{inv,d} + v_{inv,q} \end{aligned} \quad (7)$$

To tracks the reference currents, the PI controller is utilized. Equation (7) is the coupled system equation that doesn't work well with PI controller due to rapid changes. The following current controllers are added:

$$\begin{aligned} v_{inv,d} &= \omega L i_{inv,q} + v_{s,d} + \Delta v_{inv,d} \\ v_{inv,q} &= -\omega L i_{inv,d} + v_{s,q} + \Delta v_{inv,q} \end{aligned} \quad (8)$$

where $\Delta v_{inv,d}$ and $\Delta v_{inv,q}$ are the outputs of the current controllers.

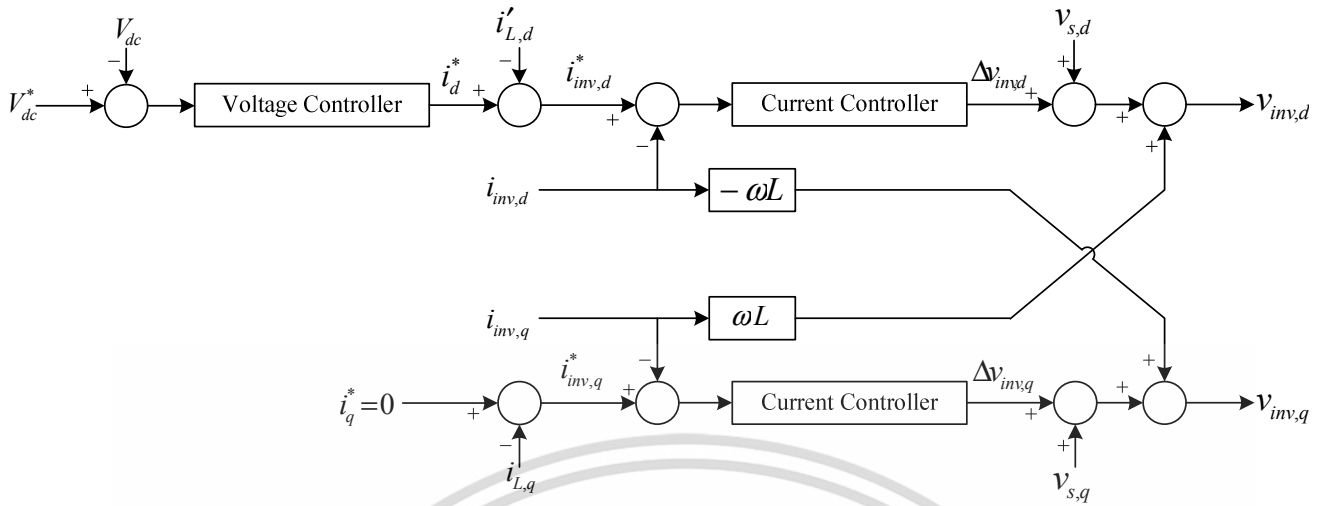


Fig. 6. The control diagram of the flying capacitor inverter.

$$\Delta v_{inv,d} = k_p (i_{inv,d}^* - i_{inv,d}) + k_i \int (i_{inv,d}^* - i_{inv,d}) dt \quad (9)$$

$$\Delta v_{inv,q} = k_p (i_{inv,q}^* - i_{inv,q}) + k_i \int (i_{inv,q}^* - i_{inv,q}) dt$$

With addition of (8), the coupled system becomes decoupled system that easy to control as follows:

$$0 = L \frac{di_{inv,d}}{dt} + \Delta v_{inv,d} \quad (10)$$

$$0 = L \frac{di_{inv,q}}{dt} + \Delta v_{inv,q}$$

The open-loop pole (p) and open-loop zeroes (z) are as follow

$$z = -\frac{k_i}{k_p} \quad (12)$$

$$p = 0, -\frac{R}{L}$$

TABLE II. THE FLYING CAPACITOR INVERTER PARAMETERS

The flying capacitor inverter's parameters	
Interface inductor	43.5 mH
Interface transformer	8.8Ω, 4.5 mH

Fig. 6 shows the control diagram of the flying capacitor inverter. To seek the proper the proportion gain (k_p) and integral gain (k_i) for the PI controllers, the open-loop transfer function of the inverter is calculated. Fig. 7 shows the transfer function of the flying capacitor.

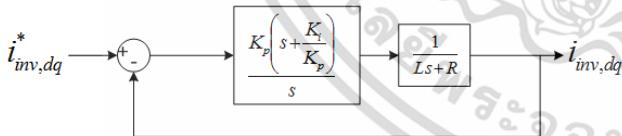


Fig. 7. Transfer function of the flying capacitor inverter

The open-loop transfer function of the flying capacitor ($G_f(s)$) is given by

$$G_f(s) = \frac{k_p \cdot \left(s + \frac{k_i}{k_p} \right)}{Ls^2 + Rs} \quad (11)$$

The open-loop poles have 2 poles, 0 and -183.33. When the open-loop zero is more than -183.33 is preferable due to the faster response of a second order system. Fig.8 shows the root locus plot of the system when zero is -1000. The proportional gain and integral gain is selected where the damping factor is about 0.7. The k_p and k_i are 83.1 and 83,100 respectively and these gains serve as guideline for controller tuning.

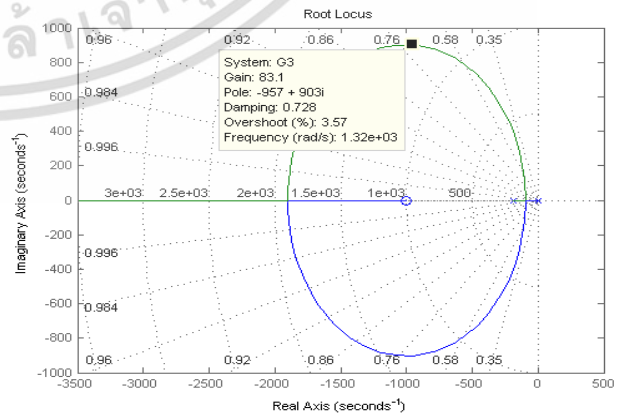


Fig. 8. The root locus plot when zero is -1000.

IV. THE SIMULATION RESULTS

In order to verify the performance of the proposed flying capacitor with designed control system, a simulation is provided. The proposed flying capacitor inverter is simulated by PSCAD/EMTDC software. The power system parameters and the proposed inverter parameters used in the simulation are given in Table III.

TABLE III.
THE POWER SYSTEM AND THE PROPOSED INVERTER PARAMETERS

Parameters	
System's nominal voltage	220 V _{rms}
Fundamental system	50 Hz
Resistive-Inductive Load	90Ω; 0.22mH
Nolinear Load (3-phase rectifier with resistive load)	95Ω; 9mH
Inverter switching frequency	12k Hz
DC link voltage	200 V _{dc}
DC link and flying capacitors	2200μf
Proportional gain of PI controller	140
Time constant of PI Controller	12.03μs
interface inductor	43.5mH
interface transformer	8.8Ω; 3.5mH
interface transformer's ratio	100:450

The power system is loaded with a resistive-inductive load and nonlinear load, 3-phase rectifier with resistive load. Fig.9 shows the system voltage and system current of the simulation result. Harmonics and reactive current of the loads are compensated after the inverter connected to the power system at 0.1 second. The system current is in-phase with the system voltage and harmonics current is suppressed. After compensation, the total harmonics distortion of the system current (THD_i) is decreased from 22.12% to 8.53%.

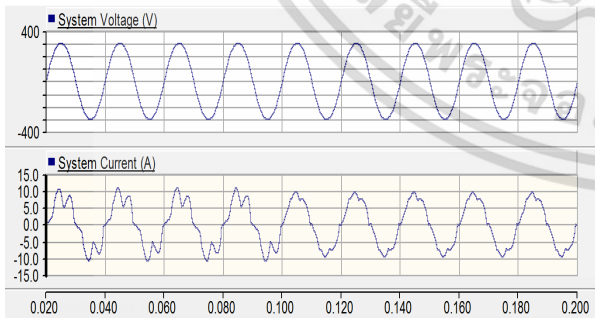


Fig. 9. Simulated system voltage and system current

Fig. 10 shows the dc link voltage and the internal flying capacitor voltage of the proposed inverter during the reactive power and harmonics compensation. Considering Fig. 10, it can be pointed out that the flying capacitor voltages as well as the dc link voltage are maintained at their desired voltages

levels. Fig. 11 shows spectrum of the system current harmonics and THD_i before and after applying the proposed flying capacitor inverter.

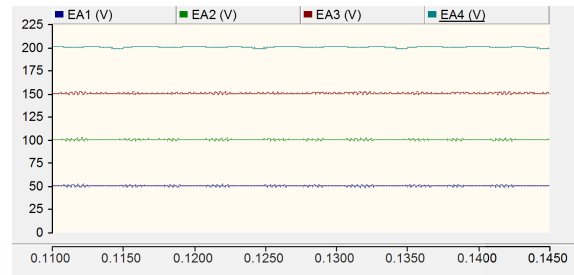


Fig. 10. the dc link voltage and the flying capacitor voltage of the proposed inverter during the reactive power and harmonics compensation.

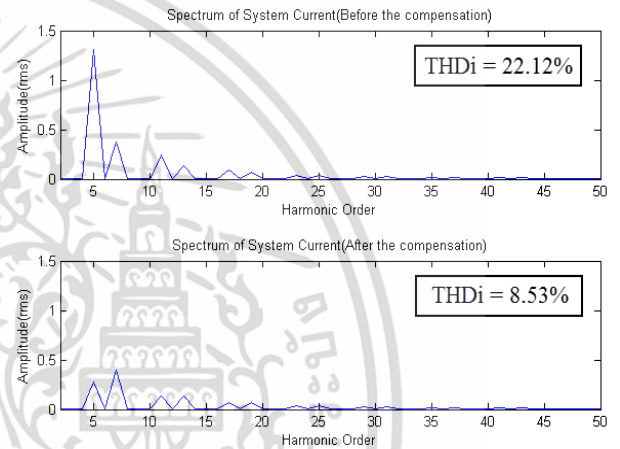


Fig. 11. Spectrum of system current harmonics and THD_i before and after compensation.

V. CONCLUSION

The closed-loop current control is presented and applied to the flying capacitor multilevel inverter for reactive power and harmonic compensation. The phase-shifted PWM is adopted to balance energy for each flying capacitor. The performance of the proposed closed-loop current control is shown through the simulation results. The compensated system current is in-phase with the system voltage and the harmonics current is well compensated.

REFERENCES

- [1] L. Tolbert, F.-Z. Peng, and Habetler, "Multilevel converters for large electric drivers," *IEEE Trans. Ind. Applicat.*, vol.35, pp 36-44, Jan./Feb.
- [2] F. Zheng Peng, J. Rodriguez, and J. Sheng Lai, "Multilevel inverter: A Survey of Topologies, Control and Applications," *IEEE Trans. Ind. Applicat.*, Vol. 49, No.4, August 2002.
- [3] H. Akagi, E.H. Watanabe, M. Aredes, "Instantaneous Power Theory and Applications to Power Conditioning," IEEE Press. 2007.
- [4] S. Ketsakoon, S. Polmai, "Comparison Between Phase- and Level-shifted PWM Schemes for Flying Capacitor Multilevel Inverter," *ECTI-CON 2007*, pp 105-108.
- [5] W. K. Lee, S. Y. Kim, J. S. Yoon, D. H. Baek, "A Comparison of the Carrier-based PWM techniques for Voltage Balance of Flying Capacitor in the Flying Capacitor Multilevel Inverter," *APEC 2006*, pp 1653-1658

ประวัติผู้เขียน

ชื่อ-นามสกุล นายปฐมพงศ์ วิจิตร
 วัน เดือน ปีเกิด 10 พฤศจิกายน 2529
 ที่อยู่ 718 หมู่ 18 ซ.กอสวรรณ ถ.ชยางกูร ต.ขามใหญ่ อ.เมือง จ.อุบลฯ 34000
 ประวัติการศึกษา 2552 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า

มหาวิทยาลัยอุบลราชธานี

ผลงานทางวิชาการ

- [1] Pratompong Wijit, Sompob Polmai, "Reactive Power and Harmonics Compensation Using a Flying Capacitor Multilevel Inverter", ICEMS 2014, Hangshou, China, October 22-24, 2014, p2426-2430.