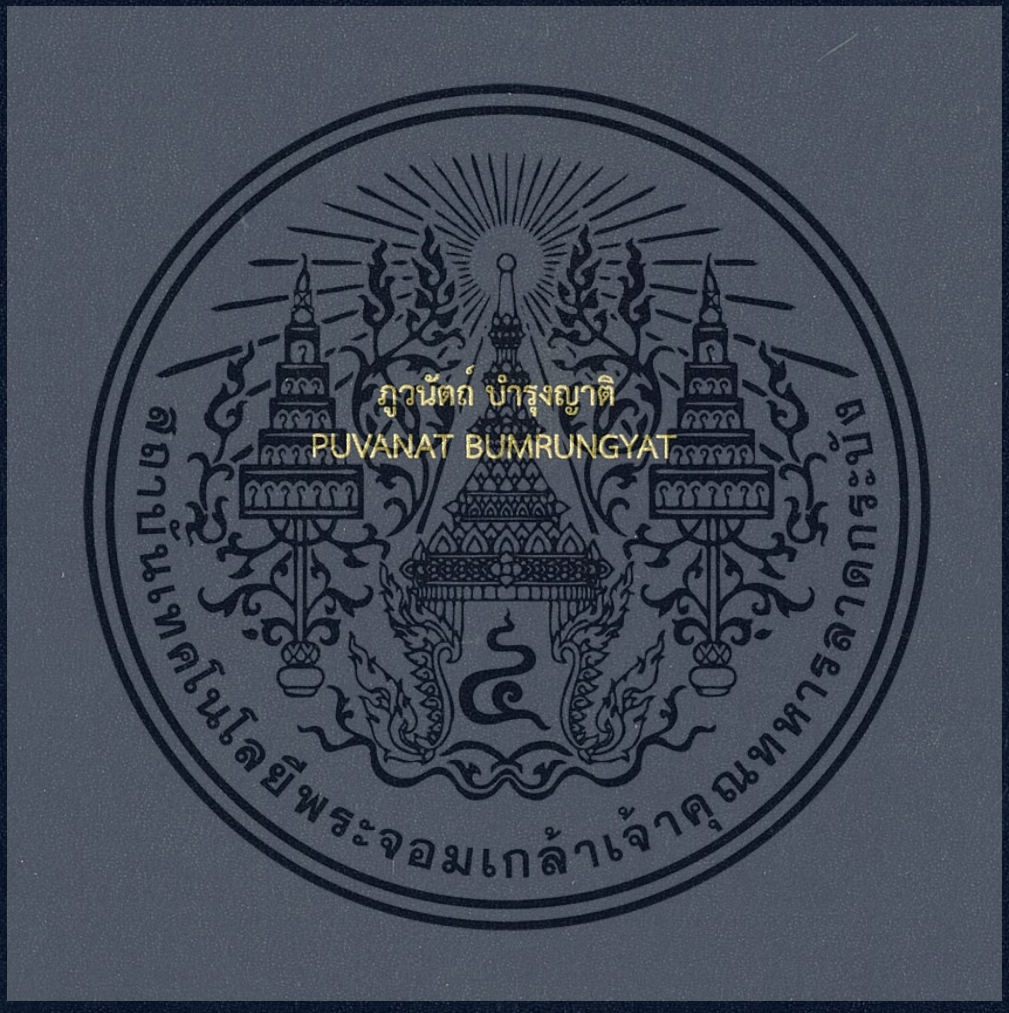
ออปแอมป์ที่ทำงานภายใต้แรงดันไฟเลี้ยงต่ำ

LOW-VOLTAGE OPERATIONAL AMPLIFIER



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2558

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ออปแอมป์ที่ทำงานภายใต้แรงดันไฟเลี้ยงต่ำ

LOW-VOLTAGE OPERATIONAL AMPLIFIER

โดย

ภูวนัตถ์ บำรุงญาติ

อาจารย์ที่ปรึกษา

ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

หมู่.....
เลขทะเบียน 143922
วัน.เดือน.ปี 04 มี.ค. 2559

b.1281011160
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2558

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2558
ภาควิชา วิศวกรรมอิเล็กทรอนิกส์
คณะ วิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง ออปแอมป์ที่ทำงานภายใต้แรงดันไฟเลี้ยงต่ำ
LOW-VOLTAGE OPERATIONAL AMPLIFIER
ผู้จัดทำ นายภูวนัตถ์ บำรุงญาติ รหัสนักศึกษา 55010972

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์)
อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ออปแอมป์ที่ทำงานภายใต้แรงดันไฟเลี้ยงต่ำ
นักศึกษา	นายภูวนัตถ์ บำรุงญาติ รหัสประจำตัว 55010972
ปริญญา	วิศวกรรมศาสตร์บัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2558
อาจารย์ที่ปรึกษาปริญญานิพนธ์	ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์

บทคัดย่อ

โครงงานนี้นำเสนอการออกแบบออปแอมป์ที่ทำงานภายใต้ไฟเลี้ยงเท่ากับ 0.5 V โดยใช้เทคโนโลยีแบบซีมอสที่มีขนาดเท่ากับ 0.18 um ออปแอมป์ที่ออกแบบมีโครงสร้างแบบ fully-differential ทั้งนี้ก็เพื่อให้ได้ช่วงการสวิงสัญญาณเอาต์พุตกว้างและทนทานต่อสัญญาณรบกวนต่างๆ ได้ดีขึ้น ในการอกกแบบออปแอมป์ เราได้ใช้วงจรขยายผลต่างแบบที่มีอินพุตต่อที่ขาบอร์ดี้ของทรานซิสเตอร์เพื่อให้ออปแอมป์ที่ได้สามารถทำงานภายใต้ไฟเลี้ยงต่ำและมีช่วงการสวิงสัญญาณอินพุตกว้าง (ตั้งแต่ไฟเลี้ยงถึงกราวด์) ออปแอมป์ย่อยจำนวน 3 ภาคถูกนำมาต่อกันในลักษณะอนุกรมกันเพื่อเพิ่มอัตราขยายแรงดันผลต่างและเทคนิคการชดเชยความถี่แบบตัวเก็บประจุมิลเลอร์เพียงแค่ตัวเดียวถูกใช้เพื่อลดขนาดตัวเก็บประจุรวมและในขณะเดียวกันก็ใช้เพิ่ม unity-gain bandwidth ออปแอมป์ที่ได้มีอัตราขยายแรงดันเท่ากับ 100 dB ส่วนเผื่อเฟสเท่ากับ 71° และ มี unity-gain bandwidth เท่ากับ 3.1 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Low-voltage operational amplifier
Student	Mr.Puvanat Bumroongyat ID : 55010972
Degree	Bachelor of Engineering
Department	Electronics Engineering
Year	2015
Thesis Advisor	Prof. Dr. Varakorn Kasemsuwan

ABSTRACT

This project discusses the design of a 0.5 V operational amplifier (op-amp) using a standard 0.18 um CMOS technology. The proposed design utilizes fully-differential topology so that wide output swing and interference immunity are obtained. Bulk-driven pseudo differential pair is used resulting in the op-amp with rail-to-rail input swing capability. Three stage amplifiers connected in cascade are used to enlarge the DC gain while a single miller capacitor feedforward frequency compensation (SMFFC) technique is used to enhance the unity gain bandwidth product. The op-amp has the DC gain , phase margin and unity gain bandwidth of 100 dB , 71° and 3.1 MHz respectively

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้สามารถสำเร็จลุล่วงได้ ผู้จัดทำต้องขอขอบพระคุณ อาจารย์ที่ปรึกษา ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์ ที่คอยให้คำปรึกษา , ความรู้ และ คอยตอบคำถามต่างๆมากมายในระหว่างที่ทำโครงงานนี้ ทำให้การทำโครงงานเป็นไปอย่างสนุกและน่าสนใจเป็นอย่างมาก สุดท้ายขอขอบคุณครอบครัวที่คอยเป็นกำลังใจในการทำงาน และ เพื่อนๆพี่ๆที่ช่วยให้คำแนะนำบางอย่างเพิ่มเติม

ภูวนัตถ์ บำรุงญาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญรูป VI

สารบัญตาราง VIII

บทที่ 1 บทนำ 1

1.1 ความสำคัญของอุปกรณ์ไฟเลี้ยงต่ำ 1

1.2 ความท้าทายในการออกแบบ 2

1.3 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา 4

1.4 ขอบเขตของการศึกษา 4

1.5 ประโยชน์ที่คาดว่าจะได้รับ 4

บทที่ 2 ทฤฎีที่เกี่ยวข้อง 5

2.1 วงจรขยายเชิงปฏิบัติการ 5

2.1.1 ความต้านทานอินพุตและความต้านทานเอาต์พุต 5

2.1.2 อัตราขยายแรงดันโหมดผลต่างและอัตราขยายแรงดันโหมดร่วม 6

2.1.3 อัตรากำจัดโหมดร่วม 7

2.1.4 อัตรากำจัดสัญญาณรบกวนจากแหล่งจ่ายไฟ 7

2.1.5 อัตราสลูว์ 7

2.2 การทำงานของ MOSFET ในโหมดต่ำกว่าแรงดันขีดเริ่ม 8

2.3 การต่ออินพุตเข้าที่บอดี้ 11

บทที่ 3 ตัวอย่างวงจรออปแอมป์ที่ไฟเลี้ยงต่ำ 15

3.1 A 0.5V Bulk-Input Operational Transconductance Amplifier 15

3.1.1 โครงสร้างของออปแอมป์ 15

3.1.2 วงจร Common-Mode Feedback 16

3.2 A Self Biased Operational Amplifier 17

3.3 0.5-V OTA for CMOS bandgap reference application 19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

บทที่ 4 การชดเชยความถี่ 21
4.1 เสถียรภาพของวงจร 21
4.2 วงจรขยายภาคเดียว 22
4.3 วงจรขยายสองภาค 22
4.3.1 Simple-Miller Compensation 23
4.3.2 Simple-Miller Compensation with nulling resistor 24
4.4 การชดเชยความถี่สำหรับออปแอมป์หลายภาค 24
4.4.1 Nested-Miller Compensation (NMC) 24
4.4.2 Feedforward Compensation (FFC) 25
4.4.3 Nested Gm-C compensation (NGCC) 27

บทที่ 5 การออกแบบและการชดเชยความถี่ของออปแอมป์ 30
5.1 การออกแบบวงจรออปแอมป์ 30
5.2 วงจรสร้างกระแสอ้างอิง 33
5.2.1 วงจรขยายความผิดพลาด 33
5.2.2 วงจรไบอัสสำหรับสร้างกระแส 34
5.3 การชดเชยความถี่ของวงจร 34

บทที่ 6 ผลการทดสอบวงจร 37
6.1 Layout ของออปแอมป์ 37
6.2 การตอบสนองทางความถี่ 38
6.3 การตอบสนองทางเวลา 43
6.4 Input referred noise 43
6.5 ตารางสรุปผลการทดสอบ 44

บทที่ 7 สรุปผลการทดสอบผลจรและข้อเสนอแนะ 45
7.1 สรุปผลการทดลอง 45
7.2 ข้อเสนอแนะ 45
เอกสารอ้างอิง 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

1.1 การสูญเสียพลังงานแบบไดนามิคของวงจรดิจิตอล 1

1.2 เปรียบเทียบการนำวงจรรวมมาต่อกันกับระบบบนชิป 1

1.3 ระบบบนชิป 2

1.4 วงจรคอมมอนซอร์สที่ไฟเลี้ยง 0.5 V 2

1.5 วงจรคอมมอนเดรนที่ไฟเลี้ยง 0.5 V 3

1.6 วงจรคอมมอนเกตที่ไฟเลี้ยง 0.5 V 3

1.7 วงจรออปแอมป์แบบ fully differential 0.5 V 4

2.1 โครงสร้างพื้นฐานของวงจร LDO 5

2.2 ออปแอมป์ในอุดมคติ 6

2.3 สัญญาณผลต่างและสัญญาณโหมดร่วมของออปแอมป์ 7

2.4 การเกิดอัตราสลูว์ 8

2.5 กราฟประจุของมอสเฟตในย่านต่างๆ 8

2.6 กราฟประจุของมอสเฟตในย่านต่างๆในแกน log 9

2.7 กราฟความสัมพันธ์ของ I_D กับ V_{DS} ในการทำงานย่าน weak inversion 10

2.8 กราฟแสดงแนวโน้มการพัฒนาของเทคโนโลยีซีมอส 12

2.9 การต่ออินพุตเข้าที่บอดี้และกราฟเปรียบเทียบการทำงานของมอสเฟต 12

2.10 เปรียบเทียบค่า G_m ของการต่ออินพุตที่เกตและการต่ออินพุตที่บอดี้ 13

2.11 การไบอัสที่ขาบอดี้และกราฟแสดงความสัมพันธ์ระหว่าง V_T และ V_{BS} 14

3.1 Bulk-Input Pseudo-Differential Gain Stage 15

3.2 วงจรที่นำเสนอในงานวิจัย[1] 16

3.3 Bulk-Mode Common-Mode Feedback Circuit 17

3.4 Self-Biased Complementary Folded Cascode Amplifier 18

3.5 A Rajput-Jamuar Level Shifted Current Mirror 18

3.6 OTA for CMOS bandgap reference 19

3.7 วงจรสร้างแรงดันอ้างอิงแบนด์แกป 20

4.1 การป้อนกลับแบบลบ 21

4.2 โบเดพล็อตอัตราขยายแรงดันของออปแอมป์ 22

4.3 การชดเชยความถี่แบบมิลเลอร์ 23

4.4 การชดเชยความถี่แบบมิลเลอร์แบบใช้ตัวต้านทาน 24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

4.5 โครงสร้างของการชดเชยความถี่แบบ nested-miller 25
4.6 โครงสร้างของการชดเชยความถี่แบบ feedforward 26
4.7 วงจรเสมือนสัญญาณขนาดเล็กของการชดเชยความถี่แบบ feedforward 26
4.8 การชดเชยความถี่แบบ feedforward ของวงจรขยาย n ภาค 27
4.9 การชดเชยความถี่แบบ nested Gm-C 28
4.10 วงจรเสมือนสัญญาณขนาดเล็กของการชดเชยความถี่แบบ nested Gm-C 28
4.11 การชดเชยความถี่แบบ nested Gm-C ของวงจรขยาย n ภาค 29
5.1 โครงสร้างของออปแอมป์ 30
5.2 วงจรเสมือนสัญญาณขนาดเล็กของออปแอมป์แบบต่ออินพุตที่บอดี้ 31
5.3 ออปแอมป์ 3 ภาค โดยมีการชดเชยความถี่แบบ SMFFC 32
5.4 วงจรไบอัสสำหรับรักษาVTของของวงจรขยายความผิดพลาด 33
5.5 วงจรขยายความผิดพลาด และ กราฟความสัมพันธ์ระหว่างอินพุต-เอาต์พุต 33
5.6 วงจรไบอัสสำหรับสร้างกระแสเลเวลชิป 34
5.7 การชดเชยความถี่แบบ SMFFC 35
5.8 ตำแหน่งโพล-ซีโร่ของวงจรที่ยังไม่ได้ชดเชยความถี่และวงจรที่ชดเชยความถี่แบบ SMFFC 35
5.9 ออปแอมป์ภาคที่สอง 36
6.1 Layout ของออปแอมป์ 37
6.2 การตอบสนองทางความถี่ของออปแอมป์ภาคเดียว 38
6.3 การตอบสนองทางความถี่ของออปแอมป์ 2 ภาค 39
6.4 การตอบสนองทางความถี่ของออปแอมป์ 3 ภาค 39
6.5 การตอบสนองทางความถี่ของออปแอมป์ 3 ภาค ด้วยวิธี SMC 40
6.6 SMC VS SMFFC 40
6.7 การตอบสนองทางความถี่ของออปแอมป์ 3 ภาค ด้วยวิธี SMFFC 41
6.8 ปัญหาที่สามารถเกิดขึ้นได้จากวิธี SMFFC 41
6.9 อัตราขยายสัญญาณคอมมอนโหมดของวงจร 42
6.10 อัตราขยายสัญญาณรบกวนจากแหล่งจ่ายไฟของวงจร 42
6.11 การตอบสนองทางเวลา 43
6.12 Input referred noise 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

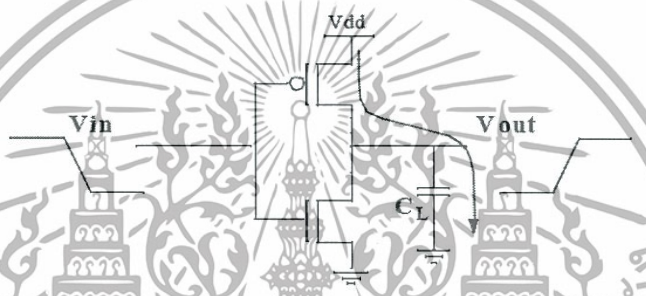
ตารางที่ หน้า
6.1 ตารางสรุปผลการทดสอบ 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

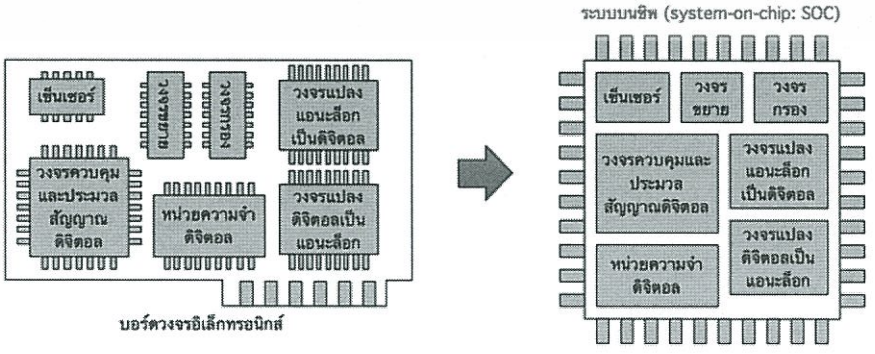
1.1 ความสำคัญของอุปกรณ์ไฟเลี้ยงต่ำ

ในวงจรรวมแบบดิจิตอลจะมีการสูญเสียพลังงานแบบไดนามิคในขณะที่ทรานซิสเตอร์มีการทำงานสลับกันดังรูปที่ 1.1 และเนื่องจากจำนวนทรานซิสเตอร์ในวงจรรวมเพิ่มจำนวนขึ้นเรื่อยๆตามกฎของมัวร์ หากว่าไฟเลี้ยงยังคงเท่าเดิมจะทำให้ยิ่งมีการสูญเสียพลังงานอย่างมากดังนั้นในการแก้ปัญหาดังกล่าวจึงทำให้มีการพยายามที่จะลดไฟเลี้ยงของวงจรดิจิตอลเพื่อที่จะลดการสูญเสียพลังงาน



รูปที่ 1.1 การสูญเสียพลังงานแบบไดนามิคของวงจรดิจิตอล

อย่างไรก็ตามการลดไฟเลี้ยงลงส่งผลเสียต่อวงจรอนาล็อก โดยทั่วไปวงจรอนาล็อกไม่สามารถลดไฟเลี้ยงให้ต่ำเท่าวงจรดิจิตอลได้เนื่องจากวงจรอนาล็อกนั้นต้องอาศัยการทำงานในโหมดอิ่มตัวของมอสเฟตเพื่อใช้เป็นวงจรขยาย การที่ไฟเลี้ยงต่ำลงส่งผลให้มอสเฟตบางตัวนั้นไม่สามารถที่จะทำงานในโหมดอิ่มตัวได้ และด้วยปัญหาดังกล่าวทำให้วงจรอนาล็อกกับวงจรดิจิตอลอาจจะไม่สามารถรวมอยู่บนชิปเดียวกันได้ ซึ่งการที่วงจรทั้งสองไม่สามารถรวมอยู่ด้วยกันได้นั้นส่งผลเสียต่อต้นทุนในการผลิตและ ขนาดของอุปกรณ์ เพื่อที่จะแก้ไขปัญหาดังกล่าวจึ้งต้องมีการออกแบบวงจรอนาล็อกที่ไฟเลี้ยงต่ำเพื่อที่จะได้นำวงจรอนาล็อกและวงจรดิจิตอลมารวมอยู่บนชิปเดียวกันดังรูปที่ 1.2

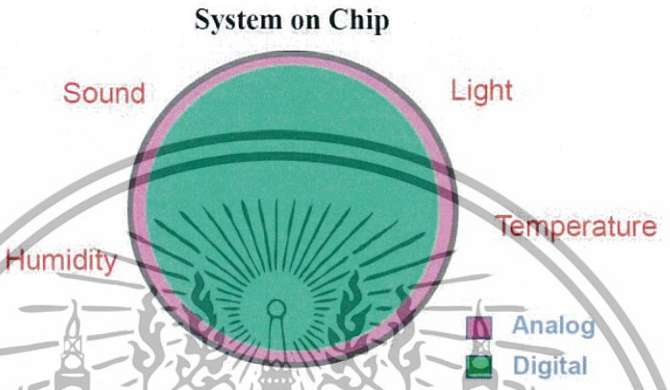


รูปที่ 1.2 เปรียบเทียบการนำวงจรรวมมาต่อกันกับระบบบนชิป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

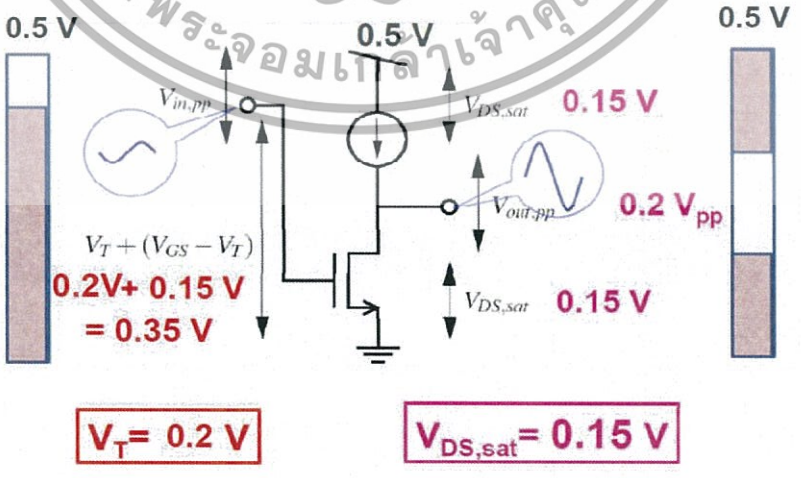
1.2 ความท้าทายในการออกแบบ

การลดลงของขนาดมอสเฟตนั้นจะถูกปรับเพื่อความเหมาะสมต่อวงจรดิจิตอลที่เป็นวงจรส่วนมากบนชิปดังรูปที่ 1.3 จึงทำให้พารามิเตอร์บางอย่างถูกออกแบบมาเพื่อเป็นผลดีต่อวงจรดิจิตอลแต่ไม่เป็นผลดีต่อวงจรอนาล็อก เช่น การลดลงของ V_T เป็นต้น ถึงแม้ว่าเทคโนโลยีจะมีขนาดเล็กลงแต่ V_T จะลดลงไม่มากนักจึงไม่เป็นผลดีต่อวงจรอนาล็อกเนื่องจาก V_{dsat} ของมอสเฟตก็จะลดลงไม่มากด้วยเช่นกันทำให้ที่ไฟเลี้ยงต่ำวงจรจะมีช่วงการสวิงสัญญาณที่ต่ำมาก



รูปที่ 1.3 ระบบบนชิป

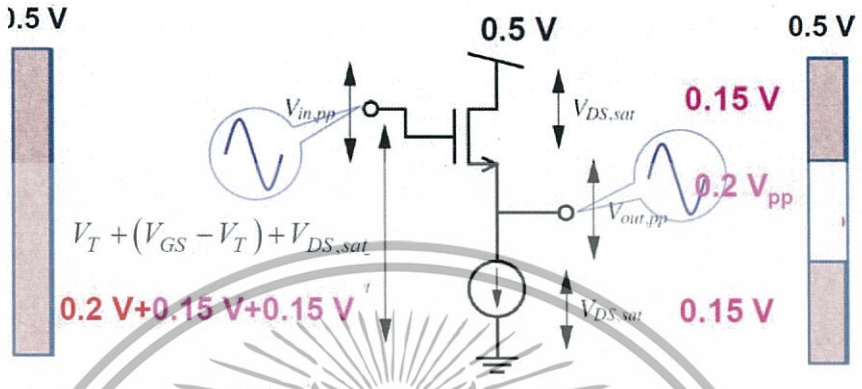
เมื่อนำปัญหาดังกล่าวมาพิจารณาวงจรขยายเบื้องต้นอย่าง คอมมอนซอร์ส , คอมมอนเดรน และ คอมมอนเกต ดังรูปที่ 1.4 - 1.6 โดยสมมติให้ V_T เพียงแค่ 0.2 V และ V_{dsat} เป็น 0.15 V เพื่อมอสจะได้ทำงานในย่าน moderate หรือ strong inversion จะเห็นว่าในวงจรคอมมอนซอร์สนั้นจะมีช่วงสวิงของสัญญาณเพียงแค่ 0.2 V หรือ 40% ของไฟเลี้ยงเท่านั้นอย่างไรก็ตามวงจรนี้สามารถที่จะสร้างมาใช้งานได้ถึงแม้ว่าช่วงสวิงสัญญาณจะไม่สูงมากก็ตาม



รูปที่ 1.4 วงจรคอมมอนซอร์สที่ไฟเลี้ยง 0.5 V [1]

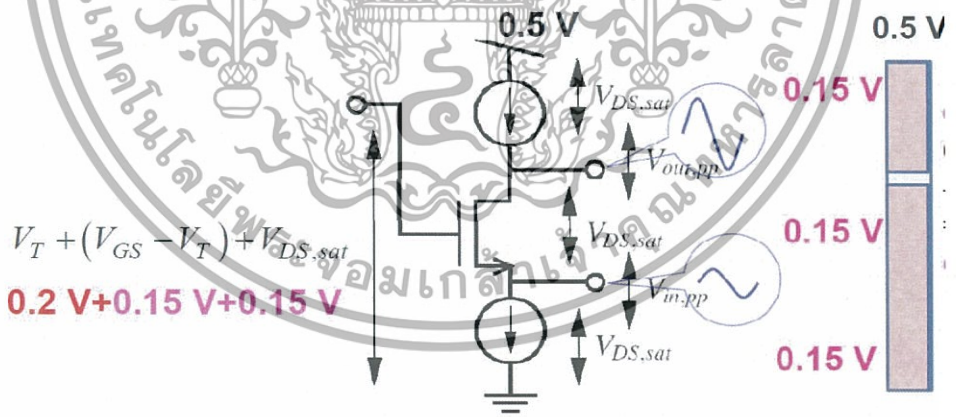
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาวงจรคอมมอนเดรนจากรูปที่ 1.5 จะเห็นว่าช่วงสวิงสัญญาณของวงจรคอมมอนเดรนนั้นเท่ากับวงจรคอมมอนซอร์ส แต่ไม่มีช่วงสวิงสำหรับสัญญาณอินพุตและวงจรคอมมอนเดรนเองก็ไม่ได้ที่อัตราขยายเลยดังนั้นเป็นไปไม่ได้ที่จะนำวงจรคอมมอนเดรนที่ไฟเลี้ยง 0.5 V ไปใช้งานจริง



รูปที่ 1.5 วงจรคอมมอนเดรนที่ไฟเลี้ยง 0.5 V [1]

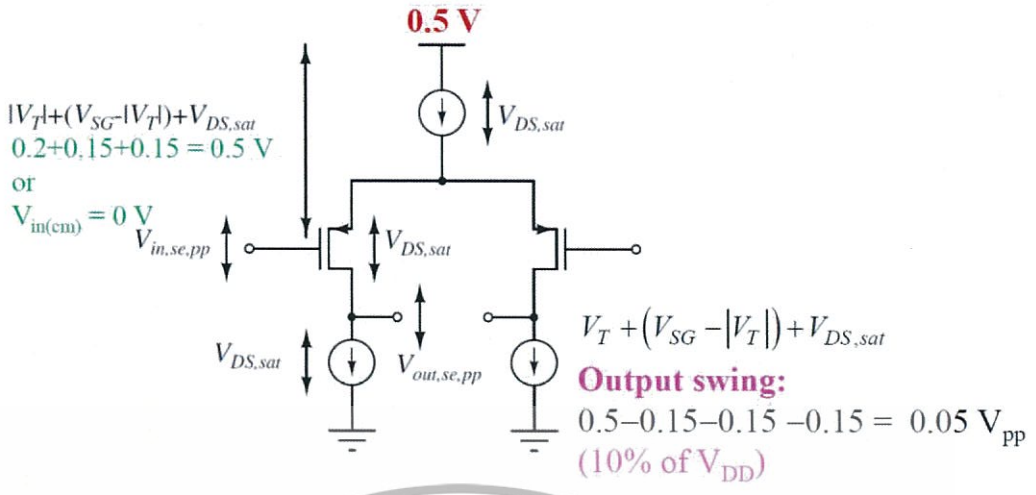
สำหรับวงจรคอมมอนเกตเมื่อพิจารณาจากรูปที่ 1.6 จะเหลือช่วงสวิงสำหรับสัญญาณเอาต์พุตเพียงแค่ 0.05 V หรือเพียงแค่ 10% ของไฟเลี้ยงเท่านั้นดังนั้นวงจรคอมมอนเกตจึงไม่เหมาะที่จะถูกนำมาใช้งานเช่นกัน จึงมีเพียงแค่วงจรคอมมอนซอร์สเท่านั้นที่พอจะสามารถนำไปใช้งานได้



รูปที่ 1.6 วงจรคอมมอนเกตที่ไฟเลี้ยง 0.5 V [1]

เนื่องจากปัญหาที่กล่าวมาข้างต้น เมื่อช่วงสวิงของสัญญาณต่ำจึงส่งผลให้ Signal to noise ratio ต่ำด้วยเช่นกัน เพื่อที่จะลดปัญหาดังกล่าวในการออกแบบออปแอมป์จึงใช้วงจรออปแอมป์แบบ fully differential ดังรูปที่ 1.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.7 วงจรออปแอมป์แบบ fully differential 0.5 V [1]

ในรูปที่ 1.7 แสดงรูปแบบทั่วไปของออปแอมป์แบบ fully differential เมื่อพิจารณาวงจรดังกล่าวจะพบว่าช่วงสวิงของสัญญาณนั้นต่ำมากเนื่องจากมีมอสเฟตซ้อนกัน 3 ตัว วงจรนี้จึงไม่สามารถนำมาใช้งานได้ที่ไฟเลี้ยง 0.5 V ดังนั้นในรายงานเล่มนี้จะกล่าวถึงวงจรออปแอมป์แบบ fully differential ที่สามารถทำงานได้ที่ไฟเลี้ยง 0.5 V

1.3 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

เพื่อศึกษาและพัฒนาการออกแบบวงจรออปแอมป์ที่ไฟเลี้ยงต่ำ

1.4 ขอบเขตของการศึกษา

ศึกษาการทำงานและเทคนิคการออกแบบวงจรออปแอมป์ที่ไฟเลี้ยง 0.5 V โดยทำการออกแบบในซอฟแวร์โครงงานนี้ยังไม่ครอบคลุมถึงการนำไปสร้างจริง

1.5 ประโยชน์ที่คาดว่าจะได้รับ

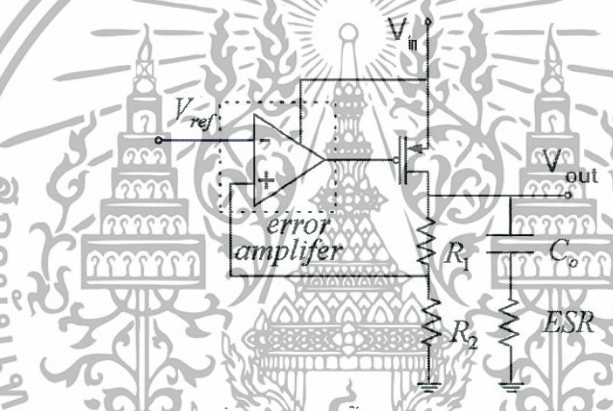
ได้รับความรู้และเทคนิคในการออกแบบวงจรออปแอมป์ที่ไฟเลี้ยงต่ำและสามารถพัฒนาวงจรดังกล่าวให้ดียิ่งขึ้นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 วงจรขยายเชิงปฏิบัติการ

วงจรขยายเชิงปฏิบัติการหรือออปแอมป์ (Operational amplifier) เป็นวงจรพื้นฐานที่สำคัญอย่างมากในวงจรอนาล็อกในการทำงานของวงจรอนาล็อกและวงจรมิกซ์ซิกแนลจะขึ้นอยู่กับความสามารถในการทำงานของออปแอมป์ ยกตัวอย่างเช่นในวงจรรักษาแรงดันแรงดันตกคร่อมต่ำ (Low drop out regulator, LDO) ดังแสดงในรูปที่ 2.1 การทำงานของ LDO นั้นจะทำงานได้ดีเพียงใดขึ้นอยู่กับคุณภาพของออปแอมป์ที่ใช้ในวงจร ยิ่งออปแอมป์มีอัตราขยายที่สูงก็จะยิ่งทำให้รักษาระดับแรงดันได้ดียิ่งขึ้นและยิ่งออปแอมป์มีอัตราสลูว์ที่สูงก็จะทำให้วงจร LDO มีการตอบสนองที่รวดเร็วเมื่อมีการเปลี่ยนกระแสที่จ่ายโหลด



รูปที่ 2.1 โครงสร้างพื้นฐานของวงจร LDO

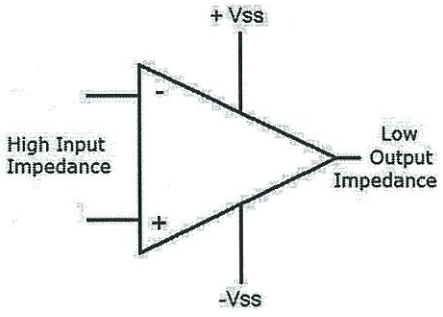
ในปัจจุบันวงจรอนาล็อกที่ได้รับความนิยมและทำงานภายใต้ไฟเลี้ยงต่ำจะเป็นวงจรขยายความนำ (Operational transconductance amplifier, OTA) ซึ่งอาจพิจารณาว่าเป็นออปแอมป์ที่มีเอาต์พุตอิมพีแดนซ์ที่สูงเนื่องจากการใช้งานออปแอมป์ในวงจรรวมแบบอนาล็อกนั้นออปแอมป์จะถูกออกแบบมาเพื่อให้ต่อกับโหลดประเภทใดประเภทหนึ่งซึ่งอาจจะไม่ต้องการเอาต์พุตอิมพีแดนซ์ที่ต่ำก็สามารถจะทำงานได้

<u>คุณสมบัติโดยทั่วไปที่สำคัญของออปแอมป์มีดังนี้</u>

2.1.1 ความต้านทานอินพุตและความต้านทานเอาต์พุต

ออมแอมป์ในอุดมคตินั้นควรจะมีความต้านทานอินพุตเป็นอนันต์เพื่อที่จะแน่ใจว่าสัญญาณที่เข้ามานั้นเข้ามาอย่างเต็มที่ตามกฎของโอห์ม V=IR จะเห็นว่ายิ่งมีค่า R มากเท่าไรค่าก็จะยิ่งมีค่าความต่างศักย์ตกคร่อมมากขึ้นเท่านั้นเพื่อให้แน่ใจว่าสัญญาณอินพุตที่เข้ามานั้นเข้ามาอย่างเต็มที่นอกจากนี้ยังทำให้ไม่มีกระแสไหลเข้าออปแอมป์ในอุดมคติและความต้านทานเอาต์พุตควรจะมีค่าเท่ากับศูนย์ในออปแอมป์อุดมคติเพื่อที่จะได้มีความสามารถในการจ่ายโหลดที่มีอิมพีแดนซ์ต่ำได้ ดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



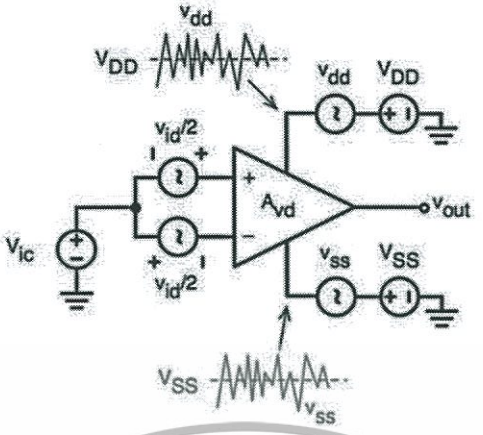
รูปที่ 2.2 ออปแอมป์ในอุดมคติ

ในทางปฏิบัตินั้นอุปกรณ์ที่ถูกนำมาเพื่อใช้สร้างออปแอมป์คือทรานซิสเตอร์ในที่นี้จะขอกล่าวถึงทรานซิสเตอร์ชนิดมอสเฟต (Metal oxide semiconductor field effect transistor, MOSFET) โดยการนำมอสเฟตมาใช้มีข้อดีอย่างมากในเรื่องของการมีอินพุตอิมพีแดนซ์ที่สูงมากซึ่งตรงกับออปแอมป์ในอุดมคติ แต่ในขณะเดียวกันมอสเฟตกลับมีเอาต์พุตอิมพีแดนซ์ที่สูง เนื่องมาจากว่าตัวของมอสเฟตนั้นไม่ได้มีคุณสมบัติในการขยายแรงดัน แต่มีคุณสมบัติในการเปลี่ยนแรงดันเป็นกระแสที่เอาต์พุต ซึ่งกระแสนั้นจะไหลผ่านเอาต์พุตอิมพีแดนซ์ที่สูงของมอสเฟตทำให้มีแรงดันเอาต์พุตที่สูงได้ ด้วยเหตุนี้อัตราขยายแรงดันของมอสเฟตขึ้นอยู่กับปัจจัยสำคัญ 2 อย่าง คือความสามารถในการเปลี่ยนแรงดันเป็นกระแสของมอสเฟต (Transconductance, G_m) และเอาต์พุตอิมพีแดนซ์ (R_{Out}) จากที่กล่าวมาข้างต้น ถ้าหากต้องการให้ออปแอมป์ที่สร้างโดยมอสเฟตนั้นมีความต้านทานเอาต์พุตอิมพีแดนซ์ที่ต่ำมากๆจะต้องทำการสร้างวงจรบัฟเฟอร์แรงดันมาต่อที่ภาคเอาต์พุตอีกวงจรหนึ่ง ซึ่งวงจรบัฟเฟอร์แรงดันแบบปกตินั้นจะมีปัญหาเรื่องของเอาต์พุตสวิงที่มีค่าค่อนข้างต่ำอันเนื่องมาจากใช้วงจรคอมมอนเดรนในการสร้าง การจะพัฒนาวงจรบัฟเฟอร์ที่มีเอาต์พุตสวิงมากจึงเป็นเรื่องที่ค่อนข้างยุ่งยากและโดยปกติแล้วออปแอมป์ในวงจรอนาล็อกจะถูกออกแบบมาเพื่อต่อกับโหลดที่มีอิมพีแดนซ์สูงอยู่แล้วจึงไม่จำเป็นจะต้องการเอาต์พุตอิมพีแดนซ์ที่ต่ำเสมอไป

2.1.2 อัตราขยายแรงดันโหมดผลต่างและอัตราขยายแรงดันโหมดร่วม

สัญญาณที่ถูกป้อนเขามาที่ออปแอมป์ที่ขาบวกหรือขาลบนั้นอาจจะเป็นสัญญาณอะไรก็ได้แต่ในการวิเคราะห์การทำงานของออปแอมป์นั้นจะใช้คณิตศาสตร์แบ่งสัญญาณออกเป็น 2 ประเภทคือ สัญญาณผลต่าง (Differentia-model, V_{id}) หรือสัญญาณที่ต้องการจะขยาย กับสัญญาณโหมดร่วม (Common-mode, V_{ic}) ซึ่งคือสัญญาณรบกวนดังรูปที่ 2.3 ออปแอมป์ในอุดมคติควรจะมีอัตราขยายแรงดันผลต่าง (Differential-mode voltage gain, $A_{vd} = V_{od}/V_{id}$) ที่สูงมากๆหรือสูงจนเป็นอนันต์เพื่อให้ขยายสัญญาณได้มาก ในขณะเดียวกันควรมีอัตราขยายแรงดันโหมดร่วม(Common-mode voltage gain, $A_{vc} = V_{oc}/V_{ic}$) ที่ต่ำมากๆหรือเป็นศูนย์ในอุดมคติเพื่อไม่ให้ขยายสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 สัญญาณผลต่างและสัญญาณโหมดร่วมของออปแอมป์

2.1.3 อัตรากำจัดโหมดร่วม (Common-mode rejection ratio, CMRR)

เป็นค่าที่บ่งบอกถึงความสามารถในการกำจัดแรงดันอินพุตโหมดร่วมหรือสัญญาณรบกวนของออปแอมป์ โดย

$$CMRR = \frac{|Avd|}{|Avc|} \tag{2.1}$$

ดังที่กล่าวไปในหัวข้อที่ 2.1.2 ออปแอมป์ที่ดีควรมีอัตราขยายผลต่าง (A_{vd}) ที่สูงและอัตราขยายโหมดร่วม (A_{vc}) ที่ต่ำ

2.1.4 อัตรากำจัดสัญญาณรบกวนจากแหล่งจ่ายไฟ (Power supply rejection ratio, PSRR)

เป็นค่าที่บอกถึงความสามารถในการกำจัดสัญญาณรบกวนที่มาจากแหล่งจ่ายไฟ เนื่องจากการนำแหล่งจ่ายไฟมาใช้งานในทางปฏิบัติจะมีสัญญาณรบกวนแฝงมากับแหล่งจ่ายไฟด้วยหรือในวงจรมิกซ์ซิกแนลที่รวมวงจรอนาล็อกกับวงจรดิจิตอลเข้าด้วยกัน การทำงานของวงจรดิจิตอลนั้นจะทำให้เกิดสัญญาณรบกวนมาที่ไฟเลี้ยงของวงจรอนาล็อกด้วย ดังนั้นออปแอมป์ที่ดีจึงควรมีความสามารถในการกำจัดสัญญาณรบกวนดังกล่าว

$$PSRR = \frac{V_{out}/V_{in}\left(V_{DD}-0\right)}{V_{out}/V_{DD}\left(V_{in}-0\right)} \tag{2.2}$$

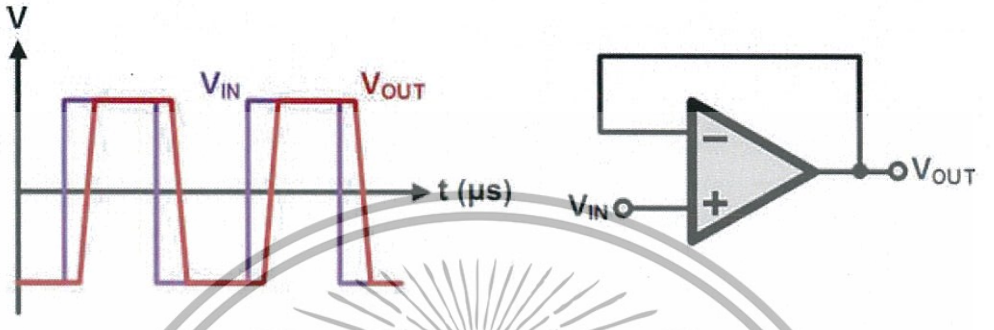
2.1.5 อัตราสลูว์ (Slew rate,SR)

เป็นค่าที่บอกถึงความสามารถในการเปลี่ยนสัญญาณเอาต์พุตสูงสุดต่อเวลา

$$SR = \frac{I_{out(\max)}}{C_L} \tag{2.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

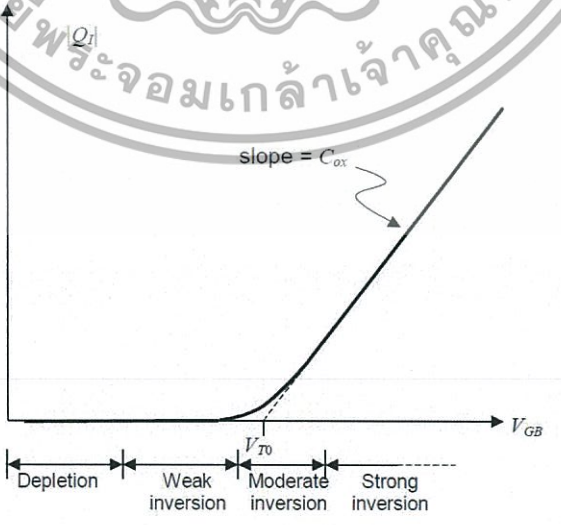
เมื่อวงจรมีการต่อแบบบัฟเฟอร์และมีสัญญาณอินพุตที่มีขนาดใหญ่มากถูกป้อนเข้ามาในสภาวะนี้จะทำให้มอสเฟตบางตัวในออปแอมป์ไม่ทำงานหรือคัทออฟไปดังนั้นออปแอมป์จึงไม่ได้ทำงานแบบเป็นเชิงเส้นอีก ทำให้สัญญาณที่เอาต์พุตของออปแอมป์ไม่สามารถที่จะตามสัญญาณอินพุตได้ทันดังรูปที่ 2.4 ดังนั้นในการออกแบบหรือเลือกใช้ออปแอมป์จึงต้องคำนึงถึงอัตราสลูว์ของออปแอมป์ว่าเพียงพอต่อการใช้งานหรือไม่



รูปที่ 2.4 การเกิดอัตราสลูว์

2.2 การทำงานของ MOSFET ในโหมดต่ำกว่าแรงดันขีดเริ่ม

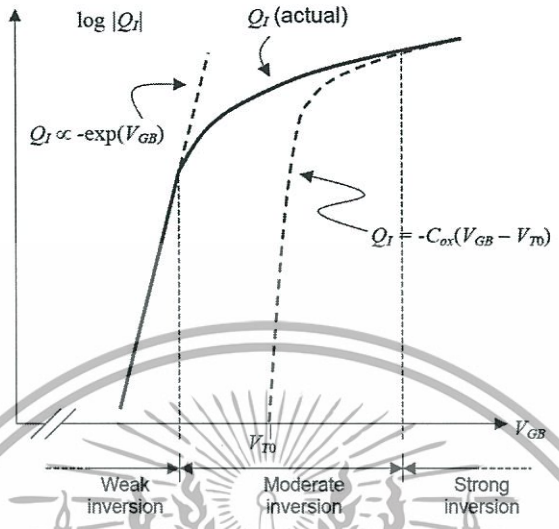
โดยปกติแล้วในวงจรอนาล็อกที่ไฟเลี้ยงสูงๆจะใช้การทำงานของมอสเฟตในย่าน strong inversion คือมีการสร้างชั้นกลับโดยสมบูรณ์แล้วโดยที่ $V_{GS}>V_T$ มอสเฟตจึงจะเริ่มนำกระแสได้แต่ในความเป็นจริงแล้วเมื่อ $V_{GS}<V_T$ ถึงแม้ว่าชั้นกลับจะยังไม่ถูกสร้างมาอย่างสมบูรณ์แต่มอสเฟตก็ยังคงนำกระแสได้เช่นกันเรียกว่าการทำงาน weak inversion หรือการทำงานในโหมดต่ำกว่าแรงดันขีดเริ่ม (Subthreshold operation) ซึ่งในการออกแบบวงจรอนาล็อกที่ไฟเลี้ยงต่ำมากๆเป็นเรื่องที่ไม่สามารถหลีกเลี่ยงได้ที่มอสเฟตจะทำงานในโหมดต่ำกว่าแรงดันขีดเริ่ม



รูปที่ 2.5 กราฟประจุของมอสเฟตในย่านต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.5 จะเห็นว่าแม้ $V_{GB} < V_T$ ยังคงมีประจุอยู่โดยประจุจะลดลงแบบเอ็กโพเน็นเชียลในขณะที่ V_{GB} ลดลง



รูปที่ 2.6 กราฟประจุของมอสเฟตในย่านต่างๆในแกน log

เมื่อนำกราฟในรูปที่ 2.5 มาพล็อตใหม่โดยเป็นฟังก์ชันลอการิทึมดังแสดงในรูปที่ 2.6 เราจะเห็นว่าในย่าน weak inversion จำนวนประจุในช่องทางเดินกระแสจะมีลักษณะเป็นเชิงเส้นกับ V_{GB} แต่ในย่าน strong inversion จำนวนประจุจะมีการเพิ่มขึ้นไม่มากนัก การเปลี่ยน mode การทำงานจาก weak inversion ไปเป็น strong inversion จะไม่เปลี่ยนได้ในทันทีโดยจะมีช่วงที่เรียกว่า moderate inversion ซึ่งเป็นช่วงที่กึ่งกระหว่าง weak inversion และ strong inversion

ในการทำงานในย่าน weak inversion นั้นสนามไฟฟ้าในช่องทางเดินกระแสมีค่าน้อยและประจุจะเคลื่อนที่โดยการแพร่

โดยที่สมการกระแสของ nMOS ในโหมดนี้คือ

$$I_D = \left[I_O \frac{W}{L} \exp\left(\frac{kV_G - V_S}{U_T} \right) \right] \left[1 - \exp\left(\frac{-V_{DS}}{U_T} \right) \right] \tag{2.4}$$

เมื่อ k คือค่า gate coupling coefficient มีค่าประมาณ 0.7, U_T คือ themal voltage มีค่าประมาณ 26 mV ที่อุณหภูมิห้อง และ I_o สำหรับ nMOS มีค่าดังสมการที่ 2.5

$$I_{on} = \left(\frac{2\mu_n C_{ox} U_T^2}{k} \right) \left[\exp\left(\frac{-kV_{Tn}}{U_T} \right) \right] \tag{2.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 2.4 ถ้า $V_{DS} > 4U_T$ เทอม $\exp\left(\frac{-V_{DS}}{U_T}\right)$ จะมีค่าประมาณ 0.018 ซึ่งน้อยกว่า 1 มากดังนั้นจึงสามารถที่จะละเทอมดังกล่าวได้ เมื่อนำสมการที่ 2.5 มาเขียนใหม่ได้ดังนี้

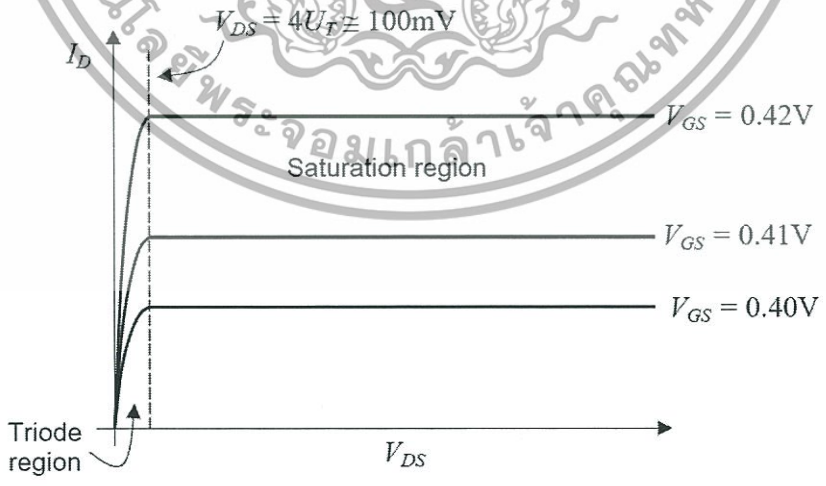
$$I_D = I_O \frac{W}{L} \exp\left(\frac{kV_G - V_S}{U_T}\right) \tag{2.6}$$

สมการที่ 2.6 คือสมการในโหมดอิ่มตัว (saturation) ของการทำงานในย่าน weak inversion โดย $4U_T$ มีค่าประมาณ 100 mV ที่อุณหภูมิห้องนั่นหมายความว่าในการทำงานในย่าน weak inversion ถ้า V_{DS} มีค่ามากกว่าหรือเท่ากับ 100 mV มอสเฟตจะทำงานในย่านอิ่มตัวโดยที่การทำงานในย่านอิ่มตัวของ weak inversion จะไม่ขึ้นกับ V_{GS} ของมอสเฟตดังแสดงในรูปที่ 2.7

$$I_D = \left[I_O \frac{W}{L} \exp\left(\frac{kV_B - V_G}{U_T}\right) \right] \left[\exp\left(\frac{-(V_W - V_S)}{U_T}\right) - \exp\left(\frac{-(V_W - V_D)}{U_T}\right) \right] \tag{2.7}$$

สมการที่ 2.7 แสดงกระแสของ pMOS โดย V_B คือ ศักย์ไฟฟ้าที่ขา Body ของ pMOS และ I_o สำหรับ pMOS มีค่าดังสมการที่ 2.8 เช่นเดียวกับกรณีของ nMOS เมื่อ ขนาดของ $V_{DS} > 4U_T$

$$I_{op} = \left(\frac{2\mu_p C_{ox} U_T^2}{k} \right) \left[\exp\left(\frac{-kV_{Tp}}{U_T}\right) \right] \tag{2.8}$$



รูปที่ 2.7 กราฟความสัมพันธ์ของ I_D กับ V_{DS} ในการทำงานย่าน weak inversion

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ ขนาดของ $V_{DS} > 4U_T$ จะสามารถเขียนสมการที่ 2.7 ได้ใหม่ดังนี้

$$I_D = I_O \frac{W}{L} \exp\left(\frac{kV_W - V_G}{U_T}\right) \quad (2.9)$$

ข้อแตกต่างของ nMOS และ pMOS คือ nMOS จะต่อขาบอดี้ลงกราวด์เสมอ (ยกเว้นบางกระบวนการผลิตที่สามารถแยกต่อขา nMOS ได้) แต่บอดี้ของ pMOS นั้นแยกเป็นอิสระจากกัน เนื่องจาก pMOS สร้างบนบ่อ n-well ทำให้ผลของบอดี้มีผลต่อการนำกระแสของ pMOS ดังสมการที่ 2.7 ดังนั้นการออกแบบวงจรแอนะล็อกที่ไฟเลี้ยงต่ำสามารถใช้เทคนิคโดยป้อนอินพุตเข้าที่ขาบอดี้ได้โดยจะกล่าวในหัวข้อถัดไป

ค่าความนำของมอสเฟตในการทำงานย่าน weak inversion จะมีค่าใกล้เคียงกับทรานซิสเตอร์แบบไบโพลาร์ ดังนี้

$$g_m = \frac{kI_D}{U_T} \quad (2.10)$$

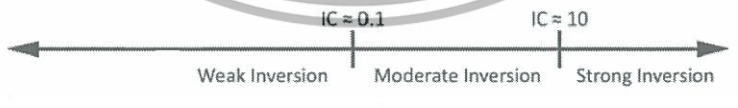
ค่า Inversion Coefficient , IC

เป็นค่าที่ใช้ในการบ่งบอกย่านการทำงานของมอสเฟตโดยค่าของ IC เป็นดังสมการที่ (2.11)

$$IC = \frac{I_D}{I_O(W/L)} = \frac{I_D}{2\mu C_{ox} U_T^2 (W/L)} \quad (2.11)$$

โดยมอสเฟตจะทำงานในย่านต่างๆเมื่อมีค่า IC เป็นดังนี้

ย่าน weak inversion	เมื่อ	IC < 0.1
ย่าน moderate inversion	เมื่อ	0.1 < IC < 10
ย่าน strong inversion	เมื่อ	IC > 10

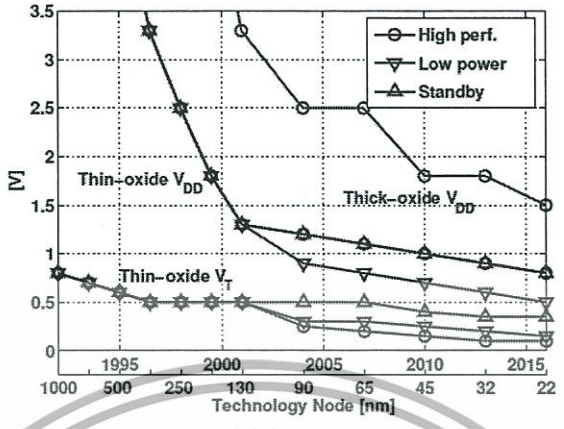


2.3 การต่ออินพุตเข้าที่บอดี้ (Bulk-driven technique)

ในวงจรอนาล็อกค่าแรงดันขีดเริ่ม (Threshold voltage, V_T) เป็นค่าที่สำคัญที่ต้องคำนึงถึงอย่างมากในการออกแบบวงจรที่มีไฟเลี้ยงต่ำ จากรูปที่ 2.8 แสดงถึงแนวโน้มการลดลงของเทคโนโลยีซีมอสจะเห็นว่ามอสเฟตนั้นจะมีขนาดเล็กลงเรื่อยๆและทำงานได้ที่ไฟเลี้ยงต่ำลง แต่เนื่องจากมอสเฟตจะถูกออกแบบมาโดยคำนึงถึงวงจรดิจิตอลซึ่งเป็นวงจรส่วนใหญ่บนชิปทำให้ขนาดของ V_T นั้นจะเปลี่ยนแปลงน้อยมากเพื่อที่ว่ามอสเฟตจะสามารถทำงานเป็นสวิตช์ได้อย่างดีซึ่งไม่เป็นผลดีต่อการ

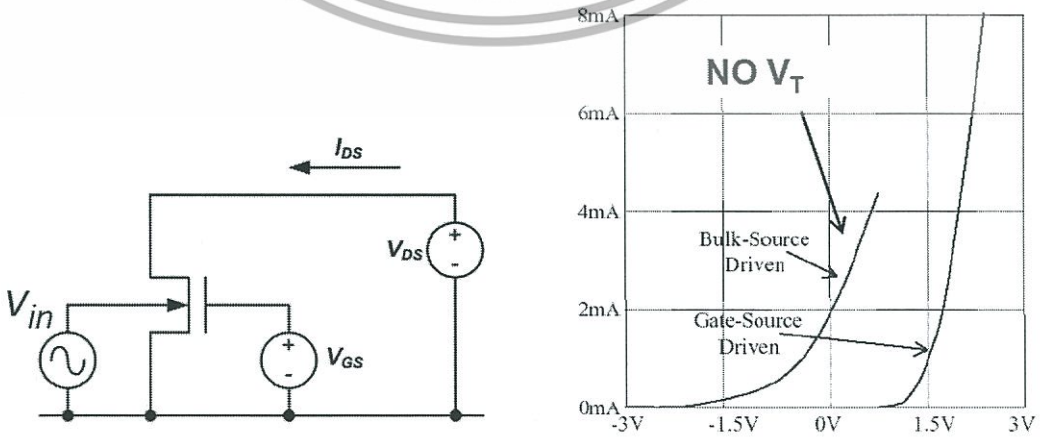
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบวงจรที่ไฟเลี้ยงต่ำของวงจรอนาล็อกเนื่องจากข้อจำกัดของช่วงสวิงสัญญาณอินพุตและทรานซิสเตอร์ไม่สามารถที่จะซ้อนกันได้มาก



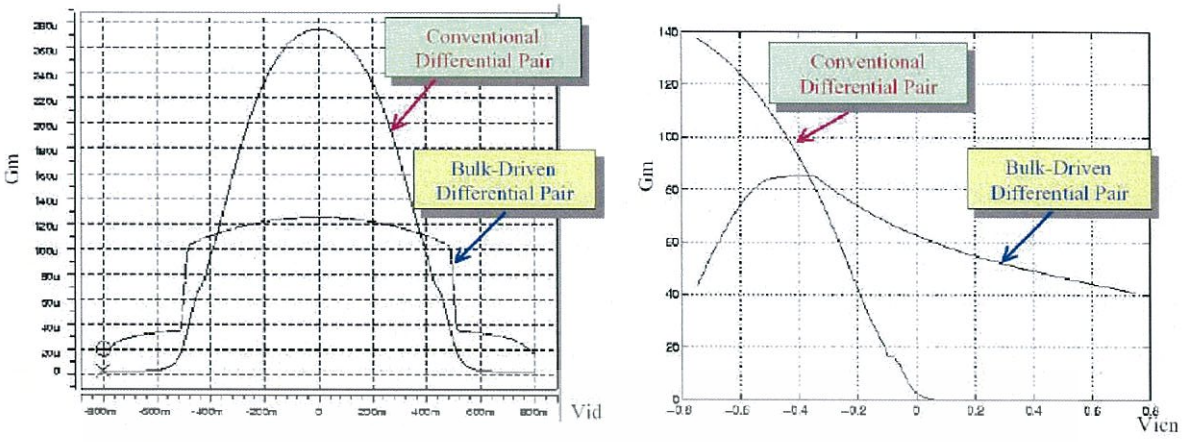
รูปที่ 2.8 กราฟแสดงแนวโน้มการพัฒนาของเทคโนโลยีซีมอส

เพื่อที่จะแก้ปัญหาที่ได้กล่าวมาข้างต้นทำให้มีการคิดวิธีที่จะเอาชนะ V_T ของมอสเฟตโดยการต่ออินพุตเข้าที่ขาบอดี้ของมอสเฟต (Bulk-driven) วิธีการดังกล่าวทำให้ข้อกำจัดในการป้อนสัญญาณอินพุตนั้นหมดไปดังแสดงในรูปที่ 2.9 จะเห็นว่ามอสเฟตสามารถทำงานได้ที่แรงดันบอดี้ต่ำกว่าศูนย์ , ศูนย์ , หรือมากว่าศูนย์ เนื่องจากการป้อนอินพุตเข้าที่บอดี้นั้นเป็นการเพิ่มหรือลดขนาดของบริเวณปลอดพาหะ (Depletion region) แต่ในขณะเดียวกันการต่ออินพุตเข้าที่ขาบอดี้ในช่วงที่สัญญาณสวิงขึ้นและลงนั้นเป็นการต่อ foward bias และ reverse bias ให้กับไดโอดแฝงดังนั้นถ้าสัญญาณที่บอดี้มากเกินไปอาจทำให้ไดโอดแฝงเกิดการทำงานได้ แต่ในโครงงานนี้ไอโอดแฝงจะไม่เกิดการทำงานเนื่องจากไอโอดจะทำงานก็ต่อเมื่อมีแรงดันตกคร่อม 0.7 V โดยประมาณในโครงงานนี้จะออกแบบออปแอมป์ที่ไฟเลี้ยง 0.5 V ดังนั้นจึงแน่ใจได้ว่าสัญญาณอินพุตสามารถสวิงได้ตั้งแต่ไฟเลี้ยงถึงกราวด์โดยที่ไม่ทำให้ไดโอดแฝงทำงาน



รูปที่ 2.9 การต่ออินพุตเข้าที่บอดี้และกราฟเปรียบเทียบการทำงานของมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 เปรียบเทียบค่า G_mของการต่ออินพุตที่เกตและการต่ออินพุตที่บอดี้

การต่ออินพุตเข้าที่ขาบอดี้นั้นนอกจาจะมีข้อดีในเรื่องของการสวิงสัญญาณที่อินพุตแล้วยังมีข้อดีมีเรื่องของการมีค่า G_m ที่ค่อนข้างคงที่เมื่อเทียบกับการต่ออินพุตเข้าที่เกตดังแสดงในรูปที่ 2.10

ค่า G_m ของบอดี้ (g_{mb}) กำหนดโดยสมการ 2.12

$$g_{mb} = \eta\, g_m \tag{2.12}$$

โดยที่ $$\eta = \frac{\gamma}{2\sqrt{2\phi_F - V_{BS}}}$$

แต่อย่างไรก็ตามนอกจากข้อดีที่ได้กล่าวไปข้างต้นแล้วการต่ออินพุตเข้าที่บอดี้ก็มีผลเสียที่สำคัญคือมีการตอบสนองทางความถี่ที่ไม่ดี (แบนด์วิชท์ลดลง) เมื่อเทียบกับการต่ออินพุตที่เกตดังสมการที่ (2.13)

$$f_T(Bulk\text{-}driven) \approx \frac{\eta}{3.8} f_T(Gate\text{-}driven) \tag{2.13}$$

นอกจากนั้นการต่ออินพุตเข้าที่บอดี้มีทำให้มีสัญญาณรบกวนสูงกว่าการต่ออินพุตเข้าที่เกต เนื่องจากว่ามีค่า G_m ที่ต่ำกว่า ดังสมการที่ (8)

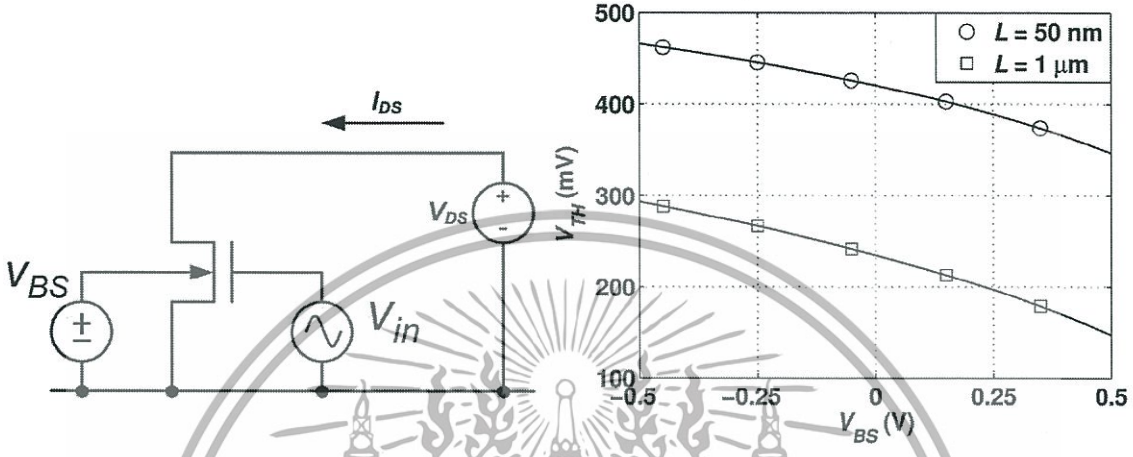
$$Noise(Bulk\text{-}driven) \approx \frac{Noise(Gate\text{-}driven)}{\eta^2} \tag{2.14}$$

ใช้เทคนิคต่ออินพุตเข้าที่บอดี้นั้นจะสามารถทำกับกับ pMOS เท่านั้นในเทคโนโลยีซีมอสทั่วๆไป เนื่องจาก pMOS สร้างบน n-well ซึ่งบอดี้ของ pMOS นั้นแยกเป็นอิสระจากกันแต่ในกรณีของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

nMOS ขาบอดี้ของ nMOS จะเชื่อมถึงกันเนื่องจากทรานซิสเตอร์ nMOS ทุกตัวถูกสร้างขึ้นบน substrate เดียวกัน

นอกจากรูปแบบที่กล่าวไปข้างต้นแล้วเทคนิคนี้ยังมีอีกรูปแบบหนึ่งดังรูปที่ 2.11 คือการต่ออินพุตเข้าที่เกตเหมือนเดิมแต่มีการไบอัสบอดี้เพื่อลด V_T ของมอสเฟต



รูปที่ 2.11 การไบอัสที่ขาบอดี้และกราฟแสดงความสัมพันธ์ระหว่าง V_T และ V_{BS}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

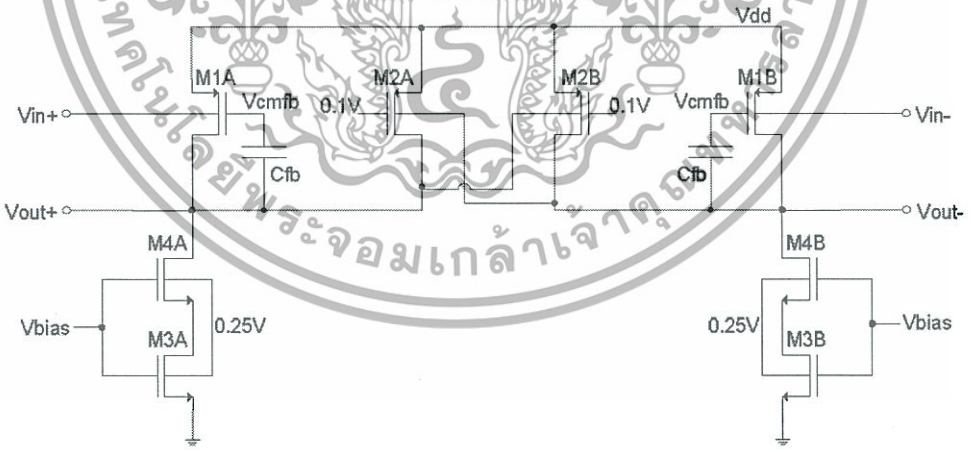
บทที่ 3
ตัวอย่างวงจรออปแอมป์ที่ไฟเลี้ยงต่ำ

3.1 A 0.5V Bulk-Input Operational Transconductance Amplifier [2]

งานวิจัยนี้เสนอวิธีการออกแบบออปแอมป์โดยใช้เทคนิคการต่ออินพุตเข้าที่ขาบอดี้เพื่อที่จะลดผลกระทบจาก V_T และนอกจากนี้ยังทำให้สัญญาณอินพุตสามารถสวิงได้ตั้งแต่กราวด์ถึงไฟเลี้ยงโดยใช้เทคโนโลยี CMOS 0.18 um triple well ในการออกแบบ

3.1.1 โครงสร้างของออปแอมป์

วงจรออปแอมป์มีโครงสร้างดังแสดงในรูปที่3.1 โดยมีหลักการทำงานดังนี้ ทรานซิสเตอร์M1A และ M1B ทำหน้าที่รับอินพุตผลต่างเข้ามาในวงจรโดยใช้เทคนิคการต่ออินพุตเข้าที่ขาบอดี้ซึ่งจะทำให้วงจรนี้มีค่าทรานส์คอนดักแตนซ์เท่ากับค่าทรานส์คอนดักแตนซ์จากผลของบอดี้ (g_{mb}) ซึ่งทำให้ค่าทรานส์คอนดักแตนซ์ของวงจรนี้มีค่าค่อนข้างต่ำ ดังนั้นเพื่อที่จะเพิ่มอัตราขยายแรงดันผลต่างของวงจรจึงมีการใช้เทคนิคการต่อโหลดแบบ cascade เพื่อเพิ่มเอาต์พุตอิมพีแดนซ์ แต่หากใช้การต่อ cascode แบบปกติจะเกิดผลเสียต่อวงจรโดยเอาต์พุตสวิงของวงจรนั้นจะลดลงเพื่อที่จะหลีกเลี่ยงปัญหาดังกล่าวจึงต้องใช้การต่อแบบ self-cascod อธิบายได้ดังนี้ M3 และ M4 มีการต่อแบบ self-cascode โดยการเชื่อมขาเกตเข้าด้วยกันและเชื่อมขาบอดี้เข้าด้วยกันเพื่อลด V_T โดย M4 นั้นจะทำงานในโหมด saturation ส่วน M3 จะทำงานในโหมด linear ตราบใดที่ $(W/L)_4 >> (W/L)_3$ วงจร self-cascode นี้จะมีพฤติกรรมเหมือนกันทรานซิสเตอร์ M3 ตัวเดียวซึ่งทำงานในโหมด saturation



รูปที่ 3.1 Bulk-Input Pseudo-Differential Gain Stage

นอกจากการใช้เทคนิค self-cascode เพื่อเพิ่มอัตราขยายของวงจรแล้วยังมีการใช้ทรานซิสเตอร์ M2A และ M2B ต่อในลักษณะของความต้านทานเชิงลบเพื่อเพิ่มอัตราขยายแรงดันของวงจรด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต่อวงจรความต้านทานเชิงลบเข้าไปจะได้ทรานเฟอร์ฟังก์ชันดังนี้

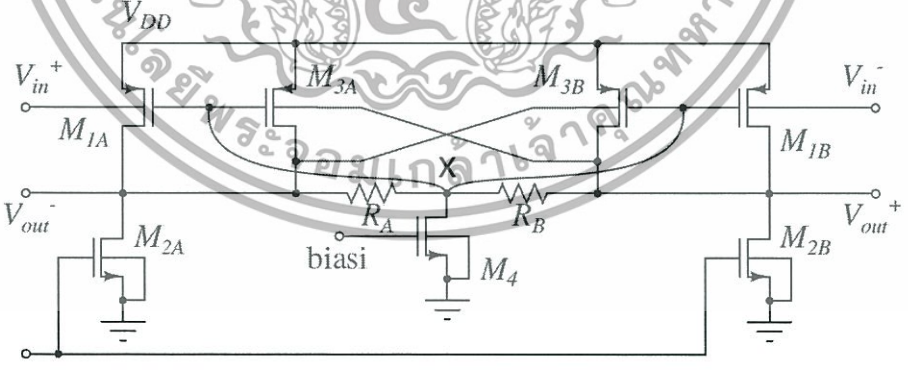
$$A_{diff} \approx \frac{g_{mb1}}{g_{ds1} + g_{ds2} + g_{ds3} - g_{mb2}} \tag{3.1}$$

จากทรานเฟอร์ฟังก์ชันจะเห็นว่ายิ่ง g_{mb2} มีค่ามากก็จะทำให้ตัวส่วนมีค่าน้อยทำให้อัตราขยายแรงดันผลต่างมีค่าเพิ่มขึ้นแต่โดยปกติ g_{mb2} จะถูกออกแบบให้หักล้างตัวส่วนเพียงแค่ 50% เท่านั้น โดย 50% เป็นการเผื่อไม่ให้ g_{mb2} มีค่าสูงมากเกินไปจนทำให้ตัวส่วนติดลบ (ต้องเผื่อ 50% เพราะการจากผลของอุณหภูมิหรือการคลาดเคลื่อนจากการผลิตอาจทำให้ g_{mb2} มากกว่า 50% แต่จะต้องไม่มากกว่า 100%) เอาต์พุตของวงจรออปแอมป์ในรูปที่ 3.1 นั้นจะถูกออกแบบไว้ที่ 50% ของไฟเลี้ยง หรือ 0.25V เพื่อที่จะได้มีเอาต์พุตสวิงมากที่สุด แต่อย่างไรก็ตามเนื่องจากโหนดเอาต์พุตเป็นโหนดที่มีอิมพีแดนซ์สูงทำให้ไม่สามารถออกแบบให้แรงดันไฟตรงที่เอาต์พุตมีค่าตามที่ต้องการได้ ดังนั้นจึงต้องใช้วงจร Common-mode feedback (CMFB) ในการช่วยเซตค่าเอาต์พุตให้ได้ค่าตามต้องการซึ่งจะกล่าวถึงในหัวข้อที่ 3.1.2

3.1.2 วงจร Common-Mode Feedback,CMFB

เป็นวงจรที่ช่วยให้วงจรออปแอมป์สามารถเซตค่าเอาต์พุตคอมมอนโหมดตามที่ต้องการได้ซึ่งในงานวิจัยนี้ต้องการให้ค่าเอาต์พุตคอมมอนโหมดอยู่ที่ 0.25Vเพื่อที่จะได้เอาต์พุตสวิงสูงที่สุด รูปที่ 3.2 แสดงวงจรออปแอมป์ในงานวิจัย [1] โดย R_A , R_B และ M_4 ทำหน้าที่เป็นวงจร CMFB โดยค่าของแรงดันเอาต์พุตคอมมอนโหมดจะเป็นดังสมการที่ (3.2)

$$V_{out} = \frac{I_{M4}\left(R_{(A,B)}\right)}{2} + V_x \tag{3.2}$$

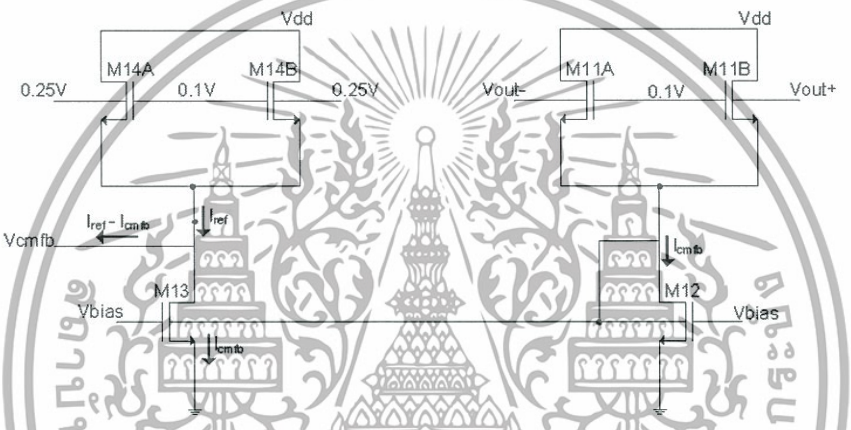


รูปที่ 3.2 วงจรที่นำเสนอในงานวิจัย [1]

วงจรคอมมอนโหมด feedback ในรูปที่ 3.2 นั้นสามารถเซตค่าเอาต์พุตตามที่ต้องการได้ แต่ว่าการช่วงการทำงานของสัญญาณผลต่าง ที่โหนด x จะเสมือนเป็นกราวด์ของสัญญาณ ac ดังนั้นเอาต์พุตอิมพีแดนซ์ของวงจรจะเป็น $r_{ds1}//r_{ds2}//R_{(A,B)}$ และเนื่องจาก $r_{ds1}, r_{ds2} >> R_{(A,B)}$ ดังนั้นค่าเอาต์พุตอิมพีแดนซ์จึงมีค่าลดลงส่งผลให้อัตราขยายแรงดันของวงจรลดลงด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อหลีกเลี่ยงปัญหาดังกล่าวในงานวิจัยนี้จึงเสนอวงจร CMFB อีกแบบดังรูปที่ 3.3 ซึ่งสามารถแก้ปัญหาดังที่กล่าวมาข้างต้นได้โดยวงจรมีหลักการทำงานดังนี้ขาบอดี้ของทรานซิสเตอร์ M14A และ M14B จะถูกต่อเข้ากับแรงดันอ้างอิง 0.25 V และจะให้แรงดับอ้างอิง I_{ref} ออกมาจากนั้น ทรานซิสเตอร์ M11A และ M11B จะทำหน้าที่รับค่าเอาต์พุตคอมมอนโหมดเดิมมาและเปลี่ยนเป็นกระแส I_{cmfb} จากนั้นจะถูกสะท้อนโดยทรานซิสเตอร์ M12 และ M13 ซึ่งทำหน้าที่เป็นวงจรสะท้อนกระแสโดยกระแส I_{cmfb} จะถูกสะท้อนและนำไปเปรียบเทียบกับ I_{ref} ผลต่างของ I_{cmfb} กับ I_{ref} จะทำให้ V_{cmfb} มีค่าที่จะสามารถทำให้วงจรรักษาเอาต์พุตคอมมอนโหมดที่ 0.25 V ได้และ V_{cmfb} จะถูก feedback กลับไปที่ทรานซิสเตอร์ M1A และ M1B ในรูปที่ 3.1 โดย C_{fb} จะมีหน้าที่รักษาเสถียรภาพของวงจร CMFB

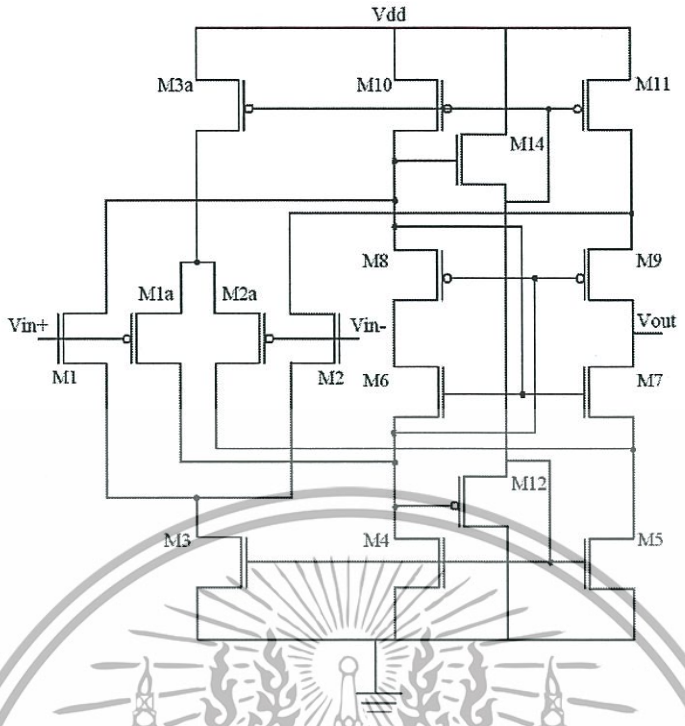


รูปที่ 3.3 Bulk-Mode Common-Mode Feedback Circuit

3.2 A Self Biased Operational Amplifier [3]

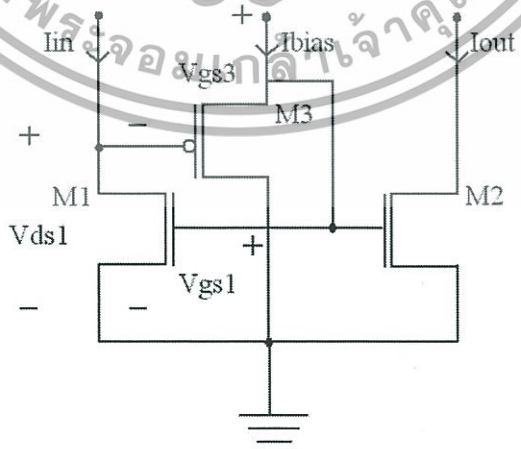
งานวิจัยนี้นำเสนอวงจรออปแอมป์ที่ไฟเลี้ยง 0.5 V วงจรแรกที่มีการใช้เทคนิค self-biasing โดยมีจุดประสงค์เพื่อต้องการลดการกินกำลังไฟฟ้าของวงจรโดยใช้เทคโนโลยี CMOS 90nm ในการออกแบบ โครงสร้างของวงจรเป็นดังรูปที่ 3.4 วงจรจะต่อในลักษณะของ cascade แบบพับ single-ended เอาต์พุต (ต่างจากวงจรในหัวข้อที่ 3.2 ซึ่งเป็นเอาต์พุตแบบผลต่าง) ทรานซิสเตอร์ M1 , M2 , M1a และ M2a ทำหน้าที่รับสัญญาณอินพุตโดยมีการต่อแบบ complementary differential pair และเพิ่มค่า L ของทรานซิสเตอร์แต่ละตัวเพื่อที่จะลด V_T ด้วยผลของ reverse short channel (ผลกระทบดังกล่าวจะเกิดขึ้นเมื่อเทคโนโลยีของมอสเฟตมีขนาดเล็กซึ่งด้วยผลกระทบดังกล่าวทำให้เมื่อเพิ่มค่า L , V_T ของทรานซิสเตอร์จะมีค่าลดลง) ด้วยเหตุนี้เองทำให้ช่วงสวิงของสัญญาณอินพุตวงจรออปแอมป์นี้สามารถสวิงได้ตั้งแต่กราวด์ถึงไฟเลี้ยง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
143922



รูปที่ 3.4 Self-Biased Complementary Folded Cascode Amplifier

ทรานซิสเตอร์ M4 , M12 และ M10 , M14 จะมีการต่อแบบวงจรสะท้อนกระแสของ Rajput-Jamuar ดังรูปที่ 3.5 โดยอธิบายหลักการทำงานของวงจรสะท้อนกระแสได้ดังนี้ทรานซิสเตอร์ M3 มีกระแสคงที่ I_{in} ไหลผ่านจึงทำให้ V_{gs1} มีขนาดค่าคงที่และเนื่องจากขาซอร์สของ M3 ต่ออยู่กับ V_{gs1} จึงทำให้ V_{s3} มีค่าคงที่เช่นกันและจะเกิดกระแส I_{bias} ไหลผ่าน M3 ประเด็นสำคัญก็คือเนื่องจาก V_{s3} มีค่าคงที่ดังนั้นถ้าหากทำการปรับขนาด $(W/L)_3$ เพื่อเพิ่มหรือลดกระแส I_{bias} จะส่งผลให้ V_{g3} หรือ V_{ds1} จะมีขนาดลดลงหรือเพิ่มขึ้นได้ (หรือก็คือสามารถที่จะเซตค่า V_{ds1} ได้)



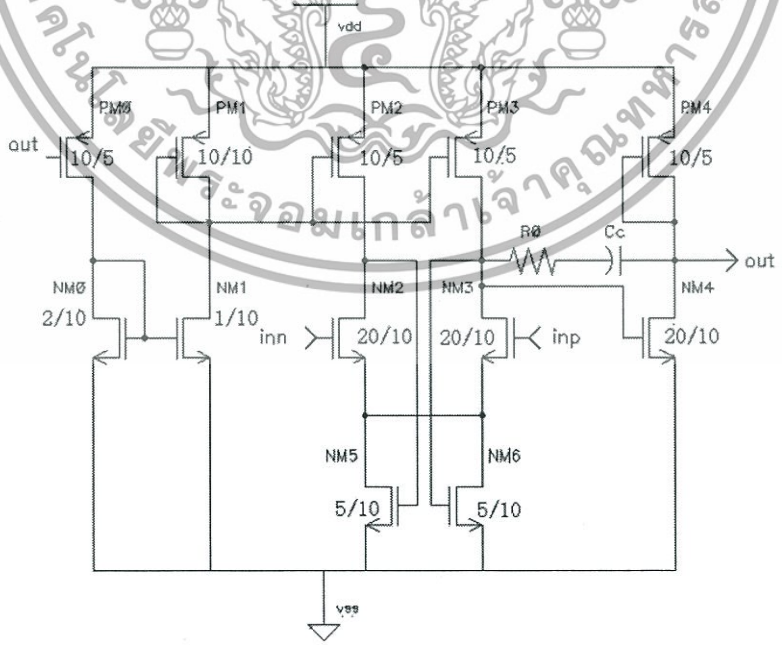
รูปที่ 3.5 A Rajput-Jamuar Level Shifted Current Mirror

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการทำงานของวงจรสะท้อนกระแสของ Rajput-Jamuar ที่ได้อธิบายไปข้างต้นได้ถูกนำมาใช้ในวงจรออปแอมป์ของงานวิจัยนี้ดังรูปที่ 3.4 ทรานซิสเตอร์ M4 , M12 และ M10 , M14 ต่อแบบวงจรสะท้อนกระแสของ Rajput-Jamuar เพื่อที่จะกำหนด V_{ds} ของ M4 และ M10 ซึ่งค่า V_{ds} ดังกล่าวจะถูกนำไปใช้ในการไบอัสทรานซิสเตอร์ M8 และ M6 ต่อไป จากที่ได้กล่าวมาจะเห็นว่าวงจร cascode แบบ self-bias นั้นไม่ต้องใช้วงจรไบอัสทรานซิสเตอร์จากภายนอกเลยจึงทำให้ช่วยประหยัดกำลังไฟฟ้าที่วงจรใช้ได้และนอกจากนี้การใช้เทคนิค self-bias จะทำให้วงจรค่อนข้างทนต่อความคลาดเคลื่อนการจากผลิตหรือผลกระทบจากอุณหภูมิ เพื่อที่จะได้เอาต์พุตสวิงที่กว้างที่สุด เอาต์พุตของวงจรจะถูกเซตค่าไว้ที่ 0.25 V เช่นเดียวกับวงจรในหัวข้อที่ 3.1 อย่างไรก็ตามวงจรนี้สามารถเซตค่าเอาต์พุตได้โดยที่ไม่ต้องใช้วงจร CMFB

3.3 0.5-V OTA for CMOS bandgap reference application [4]

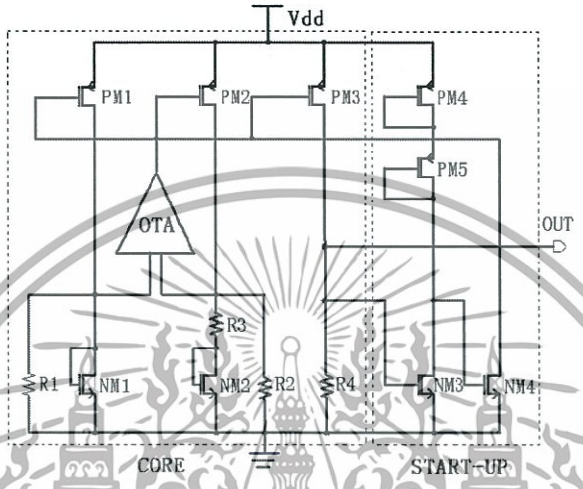
งานวิจัยนี้เสนอวงจรออปแอมป์ที่ถูกออกแบบมาเพื่อนำไปใช้ในวงจรสร้างแรงดันอ้างอิงแบบแบนด์แกปโดยใช้เทคโนโลยี CMOS 0.18 um ในการออกแบบ รูปที่ 3.6 แสดงโครงสร้างของวงจรออปแอมป์ดังกล่าวอินพุตคอมมอนโหมดของวงจรนั้นจะถูกออกแบบไว้ที่ 0.4 V เพื่อใช้ในวงจรสร้างแรงดันอ้างอิงแบบแบนด์แกปเนื่องจาก V_T ของทรานซิสเตอร์มีค่าประมาณ 0.5 V ดังนั้นทรานซิสเตอร์ NM2 และ NM3 จึงทำงานช่วง weak inversion และทรานซิสเตอร์ NM5 กับ NM6 มีการต่อในลักษณะของ self-bias โดยหน้าที่ของ NM5 และ NM6 คือการจำกัดสัญญาณอินพุตโหมดร่วม จุดที่น่าสนใจสำหรับวงจรนี้คือมันสามารถทำการไบอัสแหล่งจ่ายกระแสด้วยตัวมันเองได้ดังที่เห็นในรูปที่ 3.6 ทรานซิสเตอร์ PM0 จะถูกไบอัสด้วย V_{out} ในลักษณะของการป้อนกลับเชิงบวกซึ่งจะสามารถเพิ่มอัตราขยายแรงดันของออปแอมป์ได้



รูปที่ 3.6 OTA for CMOS bandgap reference

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามเนื่องจากวงจรออปแอมป์ที่งานวิจัยนี้เสนอเป็นออปแอมป์ที่ถูกออกแบบมาเพื่อใช้เฉพาะทาง (ในงานวิจัยนี้ต้องการนำมาสร้างวงจรสร้างแรงดันอ้างอิงแบนด์แกปดังรูปที่ 3.7) เอาต์พุตคอมมอนโหมดของวงจรจึงไม่จำเป็นที่จะต้องถูกเซตไว้ที่ 0.25 V และเมื่อพิจารณาโครงสร้างของวงจรจะเห็นว่าวงจรไม่ได้มีการใช้เทคนิคทำการลด V_T เพื่อเพิ่มช่วงสวิงของสัญญาณเอาต์พุตเลยนั่นเพราะออปแอมป์ตัวนี้ไม่ได้มีความจำเป็นที่จะต้องใช้ช่วงสวิงของสัญญาณเอาต์พุตที่กว้าง



รูปที่ 3.7 วงจรสร้างแรงดันอ้างอิงแบนด์แกป

จากตัวอย่างที่ได้กล่าวมาจะเห็นได้ว่าในการออกแบบวงจรออปแอมป์ที่ไฟเลี้ยงต่ำนั้นสามารถทำได้หลายวิธีทั้งการใช้เทคนิคการไบอัสบอดี้เพื่อลด V_T , การต่ออินพุตเข้าที่ขาบอดี้และการใช้เทคนิค self-bias เป็นต้น อย่างไรก็ตามเทคนิคที่ได้กล่าวมาในหัวข้อที่ 3.1 และ 3.2 เป็นเทคนิคสำหรับคุณสมบัติที่ออปแอมป์ทั่วไปพึงมีแต่ในทางปฏิบัติจริงอาจจะไม่ต้องใช้เทคนิคดังกล่าวก็ได้ขึ้นอยู่กับคุณสมบัติของออปแอมป์ที่ต้องหานำไปใช้ดังตัวอย่างที่ 3.3 ในโครงงานนี้จะทำการออกแบบออปแอมป์ซึ่งเป็นออปแอมป์ที่มีคุณสมบัติทั่วไปดังตัวอย่างที่ 3.1 และ 3.2 ซึ่งวงจรที่ใช้ในการทดสอบจะกล่าวถึงในบทถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การชดเชยความถี่

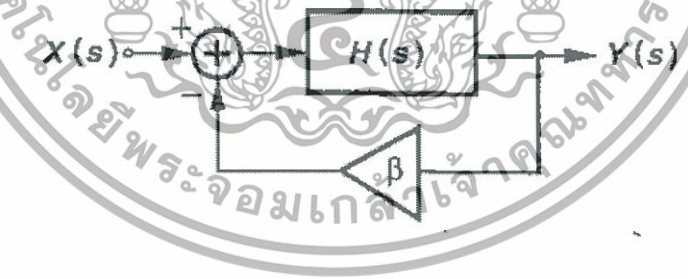
4.1 เสถียรภาพของวงจร

ในการนำออปแอมป์ไปใช้งานจริงโดยส่วนมากออปแอมป์จะถูกต่อในรูปแบบการป้อนกลับ โดยการป้อนกลับจะแบ่งออกเป็น 2 แบบ คือ การป้อนกลับแบบลบ และ การป้อนกลับแบบบวก

การป้อนกลับแบบบวก คือ สัญญาณเอาต์พุตบางส่วนถูกป้อนกลับมาที่อินพุตในลักษณะเสริมกัน มักถูกนำไปใช้ในวงจรกำเนิดสัญญาณ (Oscillator) ในทางตรงกันข้าม การป้อนกลับแบบลบคือสัญญาณเอาต์พุตบางส่วนถูกป้อนกลับมาที่สัญญาณอินพุตในลักษณะที่หักล้างกันดังรูปที่ 4.1

หากนำออปแอมป์รุ่นเดียวกันหลายๆตัวมาทดสอบหาอัตราขยายแรงดันโดยไม่มีการป้อนกลับ (Open-loop gain, A_{OP}) จะได้ A_{OP} ของออปแอมป์แต่ละตัวไม่เท่ากันเนื่องจากความคลาดเคลื่อนจากกระบวนการผลิต แต่เมื่อทำการต่อการป้อนกลับแบบลบจะได้ค่าอัตราขยายแรงดันค่าใหม่ (Close-loop gain, A_{CL}) ดังสมการที่ (4.1) ซึ่งมีค่าคงที่ ดังนั้นการป้อนกลับแบบลบจึงเป็นที่นิยมและถูกนำไปใช้ในงานต่างๆมากมาย

$$A_{CL}(s) = \frac{A_{op}(s)}{1 + A_{op}(s)\beta} \tag{4.1}$$



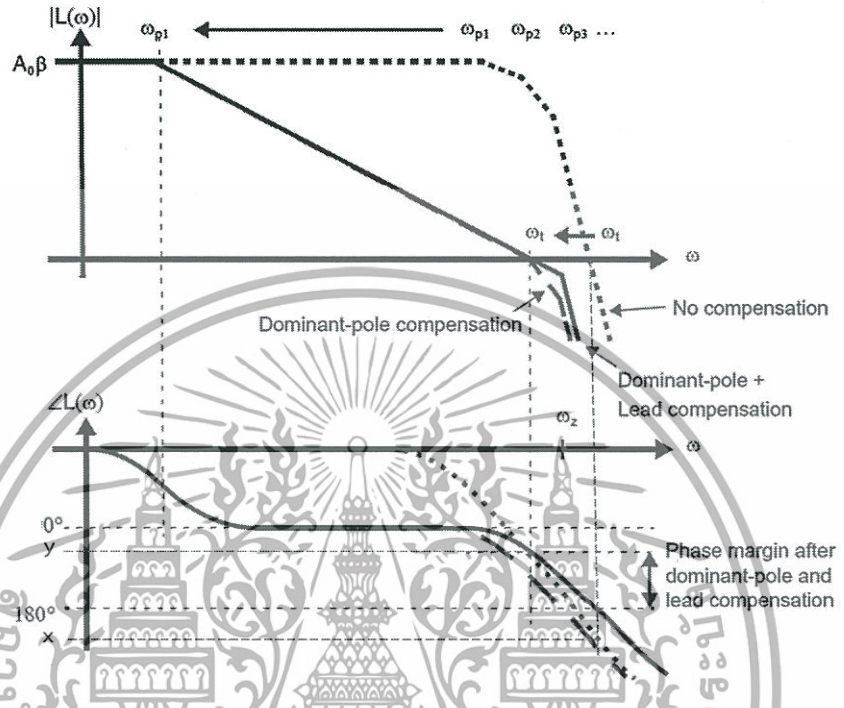
รูปที่ 4.1 การป้อนกลับแบบลบ

อย่างไรก็ตามในทางปฏิบัติสัญญาณจะมีการเลื่อนเฟสขึ้นเมื่อผ่านออปแอมป์ ถ้าหากเฟสของออปแอมป์ถูกเลื่อนไปถึง 180° สัญญาณเอาต์พุตบางส่วนที่ถูกป้อนกลับมาเพื่อหักล้างกับสัญญาณอินพุต เมื่อเฟสของมันถูกเลื่อนไป 180° จะกลายเป็นมาเสริมกับสัญญาณอินพุตทำให้ระบบกลายเป็นการป้อนกลับแบบบวก และ วงจรจะไม่มีเสถียรภาพโดยเกิดการออสซิเลตขึ้น

รูปที่ 4.2 แสดงโบเดพล็อตอัตราของออปแอมป์ ในการหาว่าเฟสมีการเลื่อนไปเท่าไรจะดูเฟสที่จุดตัดแกนความถี่ของโบเดพล็อตเนื่องจากที่จุดนั้นคือจุดที่ออปแอมป์ถูกนำไปใช้ต่อแบบบัฟเฟอร์ซึ่งเป็นจุดสุดท้ายแล้วที่ออปแอมป์ยังถูกนำไปใช้งานอยู่ จุดตัดแกนความถี่ของเส้นประจะเห็นว่าเฟสของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่จุด x เลื่อนไปเกิน 180° แต่เมื่อมีการชดเชยความถี่เฟสของสัญญาณคือ y วงจรมีเสถียรภาพเพราะเฟสยังเปลี่ยนไม่ถึง 180° โดยระยะห่างระหว่าง y ถึง 180° ก็คือ y - 180° เรียกว่าส่วนเผื่อเฟส (Phase margin, PM)



รูปที่ 4.2 โบเดพล็อตอัตราขยายแรงดันของออปแอมป์

4.2 วงจรขยายภาคเดียว

วงจรขยายภาคเดียวจะเป็นวงจรขยายที่สามารถมี GBW ได้สูงที่สุดในบรรดาวงจรขยายทั้งหมด เนื่องจากมีโพลหลักเพียงแค่ตัวเดียวจากคุณสมบัติของโพลทำให้เฟสของสัญญาณที่ผ่านวงจรขยายภาคเดียวจะมีเฟสเปลี่ยนไปได้มากที่สุดแค่ 90° (PM = 90°) วงจรขยายภาคเดียวจึงไม่มีความจำเป็นที่ต้องมีการชดเชยความถี่

ในทางปฏิบัติวงจรขยายภาคเดียวจะไม่ค่อยถูกนำไปใช้งานเพราะมีอัตราขยายแรงดันที่ต่ำ จากสมการที่ 4.1 เพื่อให้ A_{CL} เข้าใกล้ค่าคงที่ $1/\beta$ มากที่สุด A_{OP} ก็ควรจะมีค่ามาก การใช้การต่อแบบ cascode มาช่วยเพิ่มอัตราขยายแรงดันในวงจรขยายภาคเดียวนั้นไม่เป็นที่นิยมเพราะจะทำให้ช่วงสวิงสัญญาณเอาต์พุตที่ค่าน้อย สำหรับการออกแบบวงจรที่ช่วงไฟเลี้ยงต่ำยิ่งเป็นไปไม่ได้เลยที่จะใช้การต่อแบบ cascode ช่วยแก้ปัญหา

4.3 วงจรขยายสองภาค

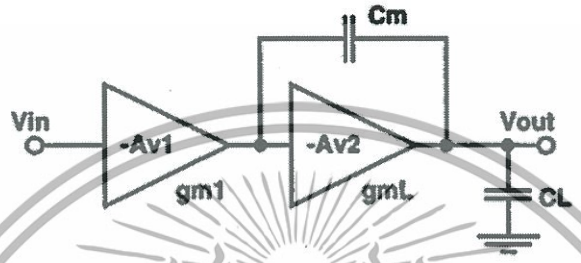
วงจรขยายสองภาคมีโพล 2 ตัวที่ส่งผลต่อสำคัญต่อเสถียรภาพของวงจร ทำให้เฟสของวงจรขยายสองภาคนั้นจะเปลี่ยนไปได้มากถึง 180° ที่ความถี่สูงมากๆ เป็นไปได้ที่วงจรจะมีเสถียรภาพโดยไม่ต้องมีการชดเชยความถี่ อย่างไรก็ตาม นอกจากการมีเสถียรภาพแล้วอีกสิ่งที่ต้องคำนึงถึงคือคุณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรทั้งการตอบสนองทางความถี่และการตอบสนองทางเวลา เพื่อให้การตอบสนองทางเวลาดี settling time มีค่าน้อย PM ควรมีค่าไม่ต่ำกว่า 60° ดังนั้นการชดเชยความถี่เพื่อให้ได้ PM ที่ดีขึ้นจึงเป็นสิ่งที่จำเป็นอย่างหลีกเลี่ยงไม่ได้

เทคนิคในการชดเชยความถี่จะแบ่งออกเป็น 2 เทคนิคใหญ่ๆ คือ การเลื่อนโพล (Pole splitting)และ การนำซีโร่มากำจัดโพล (Pole-zero cancellation) ในหัวข้อนี้จะกล่าวถึงเฉพาะเทคนิคแรก ส่วนเทคนิคที่ 2 จะถูกกล่าวในหัวข้อถัดไป

4.3.1 Simple-Miller Compensation



รูปที่ 4.3 การชดเชยความถี่แบบมิลเลอร์

การชดเชยความถี่แบบมิลเลอร์เป็นที่นิยมมากสำหรับวงจรขยาย 2 ภาค วิธีการในการชดเชยความถี่คือเลื่อนโพลตัวที่ 1 (โพลหลัก) เข้ามาถี่ความถี่ต่ำและผลักโพลตัวที่ 2 ขึ้นไปที่ความถี่สูงขึ้น อธิบายดังนี้ ในกรณีที่ไม่มีการชดเชยความถี่ $P_1 = -1/R_{o1}C_{P1}$ และ $P_L = -1/R_{oL}C_{PL}$ เมื่อ R_{oi} หมายถึงความต้านทานอินพุตของวงจรขยายภาค i และ C_{oi} หมายถึงตัวเก็บประจุแฝงของวงจรขยายภาค i จะเห็นว่าโพลทั้งสองตัวจะอยู่ที่ความถี่ค่อนข้างมากเพราะ C_{oi} มีค่าน้อยมาก นอกจากนั้นโพลทั้ง 2 จะอยู่ไม่ห่างกันมากทำให้ PM ของวงจรไม่ค่อยดี

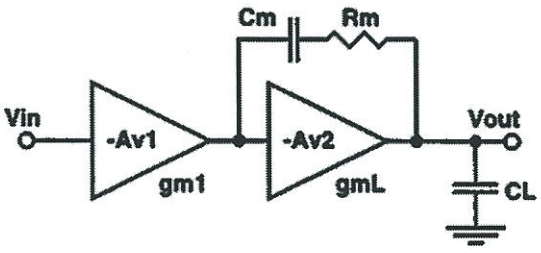
$$A_v(s) \approx \frac{g_{m1}g_{mL}R_{o1}R_{oL}\left(1-\frac{sC_m}{g_{mL}}\right)}{\left(1+sC_m g_{mL}R_{o1}R_{oL}\right)\left(1+\frac{sC_L}{g_{mL}}\right)} \qquad (4.2)$$

เมื่อวิเคราะห์ทรานเฟอร์ฟังก์ชันของระบบแสดงในสมการที่ (4.2) จะได้ตำแหน่งโพลทั้ง *2* ตัว หลังชดเชยความถี่เป็นตำแหน่งใหม่ โดย $P1 = -1/C_m g_{mL}R_{o1}R_{oL}$ และ $P2 = -g_{mL}/C_L$ จะเห็นว่าเนื่องจากผลของมิลเลอร์ทำให้เมื่อมองจากโหนด 1 จะเห็นตัวเก็บประจำที่มาค่ามาก โพลตัวที่ 1 จึงเลื่อนเข้ามาที่ความถี่ต่ำ ในขณะที่โพลตัวที่ 2 เลื่อนไปที่ความถี่สูงขึ้นทำให้วงจรมี PM ที่ดีมากขึ้น

นอกจากการเลื่อนโพลแล้ววิธีการนี้ยังทำให้เกิด RHP ซีโร่ขึ้น โดยทั่วไปซีโร่ตัวนี้อยู่ที่ความถี่สูงมากทำให้ไม่สร้างปัญหาให้กับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 Simple-Miller Compensation with nulling resistor



รูปที่ 4.4 การชดเชยความถี่แบบมิลเลอร์แบบใช้ตัวต้านทาน

จากวิธีการในหัวข้อที่ 4.3.1 พบว่าการต่อ C_m ทำให้เกิด RHP ซีโร่ขึ้น RHP ซีโร่ส่งผลเสียต่อเสถียรภาพของวงจรเนื่องจาก RHP ทำให้เฟสเปลี่ยนไปอีก 90° ในทางกลับกันถ้าหากเป็น LHP ซีโร่จะทำให้เฟสกลับไปเป็นเหมือนเดิม 90° เป็นผลดีต่อเสถียรภาพ ดังนั้นเราสามารถใช้ผลของ LHP ซีโร่ให้เป็นประโยชน์ในการเพิ่ม PM ได้

การจากวิเคราะห์เมื่อเพิ่มอิมพีแดนซ์ที่ path ของ C_m พบว่าสามารถเลื่อน RHP ซีโร่มาเป็น LHP ซีโร่ได้ อย่างไรก็ตามมีข้อควรระวังคือการเพิ่ม R_m เข้าไปส่งผลต่อตำแหน่งของโพลด้วยโดยทำให้โพลเลื่อนมาที่ความถี่ต่ำขึ้น [7] และในการเลือกค่า R_m ควรระวังเพราะถ้า R_m มากเกินไป path ของ C_m จะเปิดวงจรทำให้เสมือนว่าไม่ได้มีการชดเชยความถี่เกิดขึ้นเลยเพราะสัญญาณไม่สามารถเดินทางผ่านโหนดที่มีอิมพีแดนซ์สูงมากๆได้

4.4 การชดเชยความถี่สำหรับออปแอมป์หลายภาค

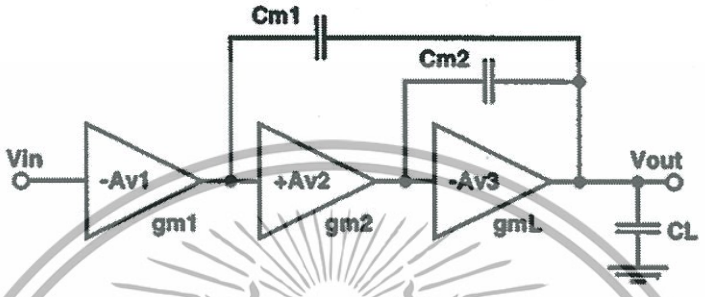
สำหรับการออกแบบออปแอมป์ในช่วงแรงดันไฟเลี้ยงต่ำมากๆ (Ultra-low voltage) เราไม่สามารถที่จะซ้อนทรานซิสเตอร์ได้มาก การต่อวงจรแบบ cascode จึงเป็นไปไม่ได้ ดังนั้นอัตราขยายแรงดันผลต่างของวงจรแต่ละภาคจึงมีค่าค่อนข้างต่ำ การต่อกันหลายภาค (Cascade) จึงเป็นสิ่งที่จำเป็นหากต้องการอัตราขยายที่สูง แต่ในขณะเดียวกันยิ่งวงจรมีการต่อกันหลายภาคความท้าทายในการชดเชยความถี่ก็ยิ่งมากขึ้นในทุกๆด้าน ไม่ว่าจะเป็น ด้านเสถียรภาพ , การตอบสนองทางความถี่ , การตอบสนองทางเวลา , พื้นที่ที่ต้องใช้ และ การใช้กำลังไฟฟ้าของวงจร เป็นต้น จึงมีงานวิจัยมากมายนำเสนอวิธีการชดเชยความถี่แบบต่างๆ ในหัวข้อนี้จึงจะนำเสนอตัวอย่างที่น่าสนใจของงานวิจัยเหล่านั้น ดังนี้

4.4.1 Nested-Miller Compensation (NMC)

เป็นวิธีการพื้นฐานที่ใช้โดยมีโครงสร้างดังรูปที่ 4.5 หลักการในการชดเชยความถี่นั้นไม่ต่างจากการชดเชยความถี่แบบมิลเลอร์ในออปแอมป์ 2 ภาค โดยวิธีการที่สำคัญคือการเลื่อนตำแหน่งของโพลดังนี้ เลื่อนโพลหลัก (Dominant pole) เข้ามาที่ความถี่ต่ำ ผลักโพลตัวที่ 2 และ 3 ไปที่ความถี่สูงขึ้นเพียงเท่านี้ระบบก็จะเสมือนกับมีเพียงแค่โพลเดียวทำให้วงจรมีเสถียรภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ 4.3 แสดงทรานเฟอร์ฟังก์ชันของออปแอมป์เมื่อมีการชดเชยความถี่แบบ NMC เมื่อพิจารณาเงื่อนไขจากสมการที่ 4.4 ซึ่งเป็นเงื่อนที่จะทำให้ได้ส่วนเผื่อเฟสที่ดีและได้ GBW มากที่สุด เมื่อแทนค่า p_2 และ p_3 จากสมการที่ 4.3 ลงในสมการที่ 4.4 จะได้ค่า C_{m1} และ C_{m2} ดังสมการที่ 4.5 และ 4.6 จะเห็นว่าหาก C_L มีค่ามาก C_{m1} และ C_{m2} ก็จะมีค่ามากเช่นกันหากต้องการลดขนาดของตัวเก็บประจุจำเป็นต้องเพิ่ม g_{mL} ซึ่งการเพิ่ม g_{mL} ก็จะทำให้ต้องใช้กำลังไฟฟ้ามากขึ้น สรุปคือการชดเชยความถี่แบบนี้ไม่เหมาะกับออปแอมป์ที่มี C_L ขนาดใหญ่



รูปที่ 4.5 โครงสร้างของการชดเชยความถี่แบบ nested-miller

$$A_v(s) \approx \frac{\left(\frac{g_{m1}g_{m2}g_{mL}}{g_{o1}g_{o2}g_{oL}}\right)}{\left(1+s\frac{C_{m1}g_{m2}g_{mL}}{g_{o1}g_{o2}g_{oL}}\right)\left(1+s\frac{C_{m2}}{g_{m2}}+s^2\frac{C_{mL}C_{m2}}{g_{m2}g_{mL}}\right)} \tag{4.3}$$

$$GBW \le \frac{1}{2}P_2 \le \frac{1}{4}P_3 \tag{4.4}$$

$$C_{m1} = 4\left(\frac{g_{m1}}{g_{mL}}\right)C_L \tag{4.5}$$

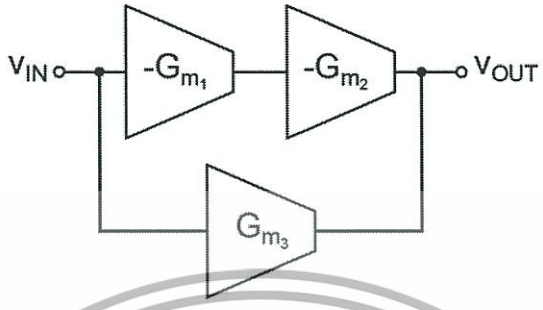
$$C_{m2} = 2\left(\frac{g_{m2}}{g_{mL}}\right)C_L \tag{4.6}$$

4.4.2 Feedforward Compensation (FFC)

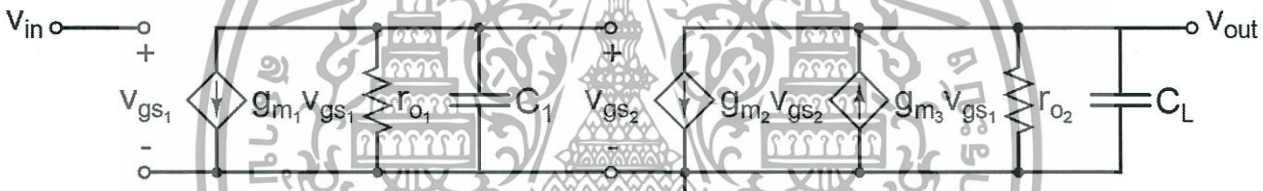
จากที่ได้กล่าวไปในหัวข้อที่ 4.3 เทคนิคในการชดเชยความถี่ที่เป็นที่นิยมมีด้วยกัน 2 วิธีได้แก่ การเลื่อนโพลและการนำซีโร่มาหักล้างกับโพล วิธีการนี้คือการใช้เทคนิคนำซีโร่มาหักล้างกับโพลในอุดมคติทำให้ระบบเหลือโพลเพียงแค่ตัวเดียวเท่านั้นเทคนิคนี้วงจรจะมีแบนวิชท์ที่กว้างกว่าการใช้วิธีเลื่อนโพล แต่ต้องระวังหากโพลและซีโร่หักล้างกันไม่พอดีจะทำให้เกิด Pole-zero doublet ขึ้น เป็นผลเสียต่อการตอบสนองทางเวลา

เอกสารนี้สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.6 แสดงโครงสร้างของการชดเชยความถี่แบบ feedforward โดยมี feedforward path ต่อจากอินพุตของวงจรขยายภาคแรกไปเอาต์พุตวงจรขยายภาคที่สองและรูปที่ 4.7 แสดงการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก



รูปที่ 4.6 โครงสร้างของการชดเชยความถี่แบบ feedforward



รูปที่ 4.7 วงจรเสมือนสัญญาณขนาดเล็กของการชดเชยความถี่แบบ feedforward

$$A_v(s) \approx \frac{g_{m1} g_{m2} R_{o1} R_{o2} \left(1 - s \dfrac{g_{m3} C_{o1}}{g_{m1} g_{m2}}\right)}{(1 + s C_{o1} R_{o1})(1 + s C_L R_{o2})} \tag{4.7}$$

สมการที่ 4.3 แสดงทรานส์เฟอร์ฟังก์ชันของวงจร เป็นที่น่าสังเกตว่าการต่อ feedforward path เข้าไปในวงจรจะทำให้เกิดซีโร่ขึ้นเช่นกันแต่จะเป็น LHP ซีโร่ จากคุณสมบัติของซีโร่ RHP ซีโร่จะทำให้เฟสของวงจรเปลี่ยนไป 90° ซึ่งไม่เป็นผลดี เสมือนกับว่ามีโพลอีกตัวนึง ในทางกลับกัน LHP ซีโร่ ทำให้เฟสของวงจรกลับไปเหมือนเดิมได้ 90° หรือกำจัดผลจากการเลื่อนเฟสของโพลได้ 1 ตัวถ้าหากนำไปวางไว้ที่ตำแหน่งเดียวกับโพลตัวนั้น

จากสมการที่ 4.3 กำหนดให้ $Z = P_2$

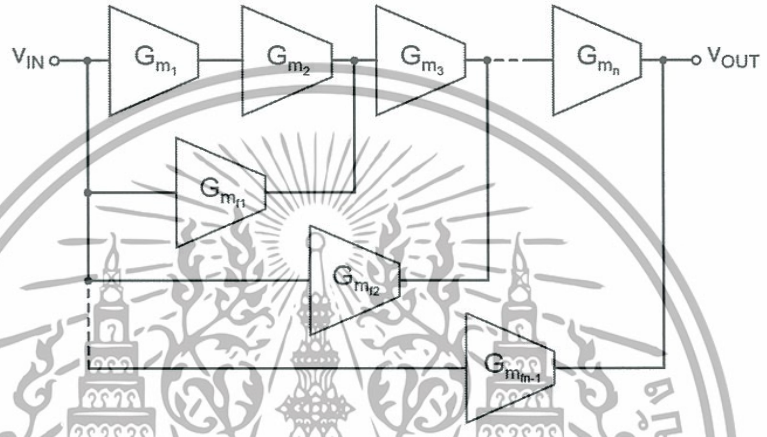
จะได้ $$\frac{1}{C_L R_{o2}} = \frac{g_{m1} g_{m2}}{g_{m3} C_{o1}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$g_{m3} = \frac{g_{m1} g_{m2} R_{o2} C_L}{C_{o1}} \quad (4.8)$$

ถ้าสามารถกำหนดค่า g_{m3} ให้เป็นดังสมการที่ 4.8 ได้ P_2 และ Z จะหักล้างกันทำให้ระบบนี้เสมือนว่ามีโพลเดียว นอกจากนี้แบนวิชท์ที่ได้ยังกว้างว่าแบบ NMC เนื่องจากโพลหลักไม่จำเป็นที่จำต้องถูกเลื่อนเข้ามาที่ความถี่ต่ำกว่าเดิม รูปที่ 4.8 แสดงการชดเชยความถี่ของวงจรขยาย n ภาค ด้วยวิธีการ feedforward



รูปที่ 4.8 การชดเชยความถี่แบบ feedforward ของวงจรขยาย n ภาค

จากที่กล่าวมาการชดเชยความถี่วิธีนี้ดูเหมือนจะเป็นวิธีที่ดีนอกจากได้แบนวิชท์ที่กว้างขึ้นแล้ว PM ของวงจรนี้ยังสามารถมีค่าได้ถึง 90° ในทางทฤษฎี อีกทั้งยังไม่ต้องใช้ตัวเก็บประจุในการชดเชยความถี่ เป็นการประหยัดพื้นที่ของวงจรอีกด้วย แต่ในทางปฏิบัตินั้นโอกาสที่ P_2 จะเท่ากับ Z นั้นแทบจะเป็นไปไม่ได้เนื่องจาก C_{o1} เป็นตัวเก็บประจุแฝงของวงจร การเกิดความคลาดเคลื่อนในกระบวนการผลิตนั้นจะทำให้มันมีค่าไม่เท่ากัน การที่เกิดความคลาดเคลื่อนแบบนี้ขึ้นมีโอกาสเสี่ยงสูงที่จะเกิด Pole-zero doublet นอกจากปัญหาที่กล่าวไปข้างต้นแล้ว จากสมการที่ 4.4 จะเห็นว่า gm ของ feedforward path นั้นต้องมีค่าสูงมาก วิธีชดเชยความถี่แบบนี้แทบจะเป็นไปไม่ได้ที่จะใช้ชดเชยความถี่ของวงจรขยายมากกว่า 3 ภาค

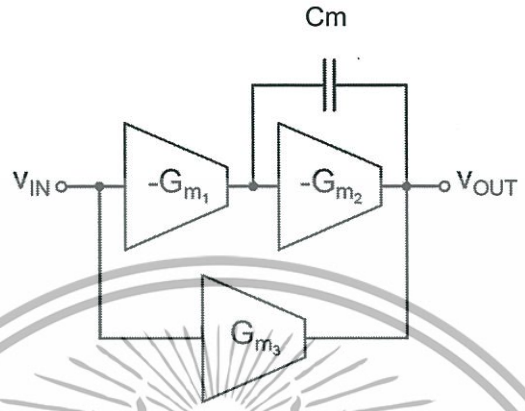
อย่างไรก็ตามแนวคิดการนำซีโร่มาหักล้างกับโพลเป็นแนวคิดที่ดีและได้รับความนิยมอย่างมาก จนมีงานวิจัยอื่นๆพยายามนำเสนอรูปแบบอื่นที่แก้ปัญหาต่างๆที่ได้กล่าวมา

4.4.3 Nested Gm-C compensation (NGCC)

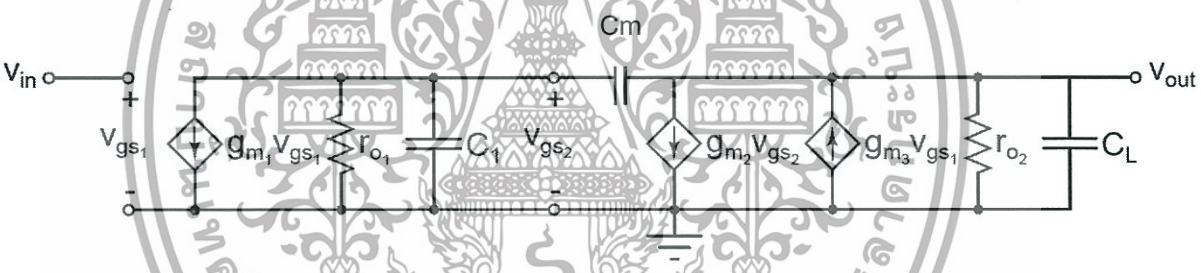
การชดเชยความถี่วิธีนี้เป็นการผสมผสานกันระหว่างวิธีการชดเชยความถี่แบบมิลเลอร์และวิธีการ feedforward รูปที่ 4.9 แสดงโครงสร้าง โดยมี feedforward path จากอินพุตของวงจรขยายภาคแรกไปยังเอาต์พุตของวงจรขยายภาคที่ 2 นอกจากนั้นยังมี C_m ต่อจากอินพุตของภาคที่ 2 ไปยังเอาต์พุตของภาคที่ 2 จุดประสงค์ที่ทำแบบนี้ส่วนหนึ่งเพื่อแก้ไขปัญหาจากวิธีการ feedforward โดยวิธีการ feedforward ธรรมดาการนำซีโร่ไปกำจัดโพลทำได้ยากมากเพราะ C ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างนั้นเป็น C แฝง มีความคลาดเคลื่อนจากกระบวนการผลิตมาก ดังนั้นในโครงสร้างนี้เราตึงใส่ C_m เข้าไปแทนที่ C แฝงทำให้ช่วยลดการคลาดเคลื่อนที่เกิดจากกระบวนการผลิตได้ (เราสามารถเลือก C_m ที่มีความแม่นยำสูงมาใช้ได้) รูปที่ 4.10 แสดงการวิเคราะห์แสดงการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก



รูปที่ 4.9 การชดเชยความถี่แบบ nested Gm-C



รูปที่ 4.10 วงจรเสมือนสัญญาณขนาดเล็กของการชดเชยความถี่แบบ nested Gm-C

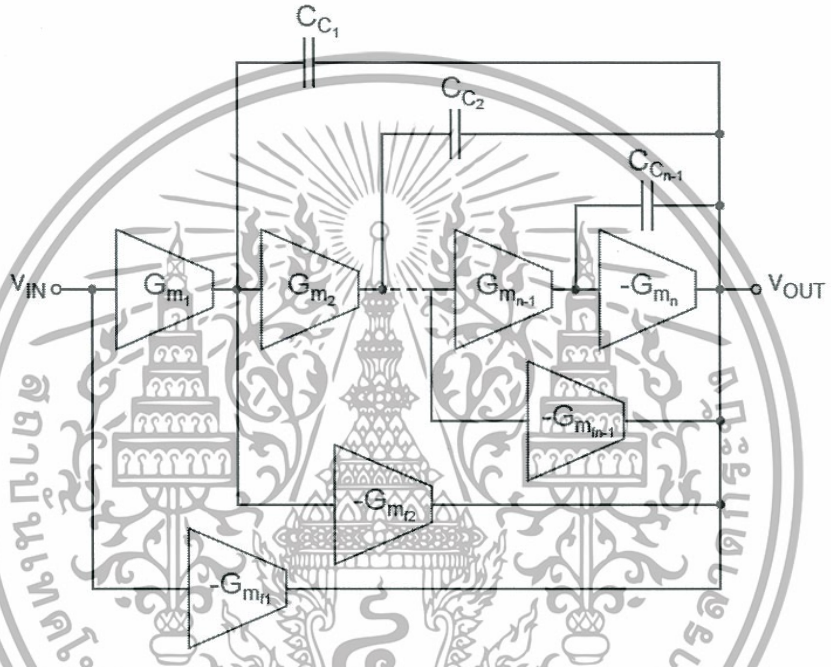
$$A_v(s) \approx \frac{g_{m1} g_{m2} R_{o1} R_{o2} \left[1 - s \dfrac{C_{o1}(g_{m1} - g_{m3})}{g_{m1} g_{m2}} \right]}{\left(1 + s\, C_m g_{m2} R_{o1} R_{o2}\right)\left(1 + s \dfrac{C_L}{g_{m2}}\right)} \qquad (4.9)$$

จากสมการที่ 4.5 มีข้อสังเกตคือ การต่อ C_m เข้าไปแทนที่ C แฝง ทำให้เกิด RHP ซีโร่ขึ้นแทนที่จะเป็น LHP แบบเดิมนอกจากนั้นยังทำให้ โพลตัวแรกเคลื่อนไปที่ความถี่ต่ำลง ที่น่าสนใจคือ จากสมการถ้าเซตค่าให้ $g_{m3} = g_{m1}$ ซีโร่จะถูกกำจัดทันที นอกจากนั้นถ้าหากกำหนดให้ $g_{m3} > g_{m1}$ ซีโร่จะกลับจาก RHP เป็น LHP ซีโร่ โดยส่วนมากในทางปฏิบัติจะออกแบบให้ $g_{m3} > g_{m1}$ เพราะการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ $g_{m3} = g_{m1}$ เป็นไปได้ยากนอกจากนี้หากเกิดความคลาดเคลื่อนขึ้นแล้ว $g_{m1} > g_{m3}$ ซีโร่ก็จะอยู่ที่ RHP เหมือนเดิม

จากที่กล่าวมาหากเราต้องการเพียงแค่ชดเชยความถี่โดยวิธีการเลื่อนโพลและต้องการ LHP ซีโร่นี่เป็นทางเลือกนึงที่การชดเชยแบบนี้สามารถทำได้ แต่ยังมีทางเลือกที่น่าสนในอีกทางคือ สามารถกำหนดให้ $Z = P_2$ ได้ โดย $g_{m3} = (C_l/C_m + 1)g_{m1} = kg_{m1}$ จะสามารถนำซีโร่ไปกำจัดโพลตัวที่ 2 ได้ โดยที่ความเสี่ยงจากความคลาดเคลื่อนในกระบวนการผลิตจะลดน้อยลง เนื่องจาก C_m มีความแม่นยำสูงกว่า C แผ่งมาก สิ่งสำคัญอีกอย่างที่ถูกปรับปรุงคือ g_{m3} น้อยลงเมื่อแทบกับแบบ feedforward



รูปที่ 4.11 การชดเชยความถี่แบบ nested Gm-C ของวงจรขยาย n ภาค

รูปที่ 4.11 แสดงการชดเชยความถี่แบบ nested Gm-C ของวงจรขยาย n ภาค เนื่องจาก g_m ของ feedforward path ที่ต้องใช้ในการนำซีโร่มากำจัดโพลมีค่าลดลงอย่างที่อธิบายไปข้างต้นทำให้มีความเป็นไปได้ที่จะใช้วิธีการชดเชยความถี่แบบนี้ในวงจรขยายที่มาหลายภาคมากขึ้น

เทคนิคในการชดเชยความถี่ที่นิยม มี 2 วิธี คือ วิธีเลื่อนโพล และ วิธีนำซีโร่มาหักล้างกับโพล โครงสร้างที่ยกตัวอย่างมานั้นเป็นโครงสร้างที่เป็นพื้นฐานสำหรับการศึกษาและถูกอ้างอิงถึงมากทั้งนี้ยังมีอีกวิธีการอีกมากมายที่ไม่ได้กล่าวถึงในรายงานเล่มนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบและการชดเชยความถี่ของออปแอมป์

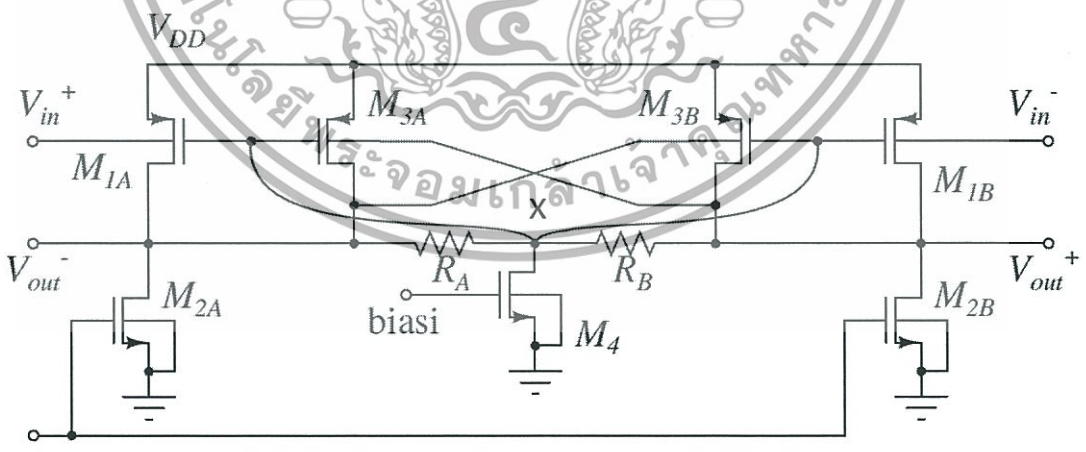
5.1 การออกแบบวงจรออปแอมป์

วงจรออปแอมป์ที่เสนอทำงานที่ไฟเลี้ยงต่ำมากเพียงแค่ 0.5 V ทรานซิสเตอร์จึงไม่สามารถจะซ้อนกันได้มากกว่า 2 ตัว ดังนั้นรูปแบบต่างๆของออปแอมป์ที่นิยมใช้กัน ได้แก่ การต่อแบบ cascode เพื่อเพิ่มอัตราขยายของวงจร หรือ การต่อแบบ cascade แบบพับ ไม่สามารถนำมาใช้ได้อีกต่อไป

วงจรที่ออกแบบจึงใช้ทรานซิสเตอร์ซ้อนกันแค่เพียงแค่ 2 ตัวเท่านั้นโดยต่อกันในโครงสร้างของออปแอมป์แบบ fully differential เพื่อวงจรจะได้ช่วงการสวิงของสัญญาณเอาต์พุตที่กว้างขึ้นและลดสัญญาณรบกวนที่เอาต์พุต

ออปแอมป์ที่ออกแบบมีโครงสร้างดังรูปที่ 5.1 ทรานซิสเตอร์ M1A และ M1B ทำหน้าที่รับสัญญาณอินพุตโดยการต่ออินพุตเข้าที่บอดี้ (Bulk-driven) เนื่องจากการต่ออินพุตเข้าที่บอดี้เหมาะกับการทำงานในช่วงแรงดันไฟเลี้ยงต่ำมากกว่าการต่อเข้าที่เกต ทรานซิสเตอร์ M2A และ M2B ทำหน้าที่เป็นโหลดแหล่งจ่ายกระแสของวงจร ตัวต้านทาน R_A , R_B และทรานซิสเตอร์ M4 ทำหน้าที่เป็นวงจรคอมมอนโหมดฟีดแบ็คเพื่อกำจัดสัญญาณอินพุตคอมมอนโหมดของวงจร นอกจากนี้ R_A และ R_B ยังทำหน้าที่เซต DC เอาต์พุตไว้ที่ $V_{DD}/2$ (0.25 V) เพื่อจะได้สัญญาณเอาต์พุตสวิงที่สูงที่สุดดังสมการที่ (5.1) โดยในการออกแบบ V_x จะเท่ากับ 0.1V

$$V_{out} = \frac{I_{M4}(R_{(A,B)})}{2} + V_x \tag{5.1}$$

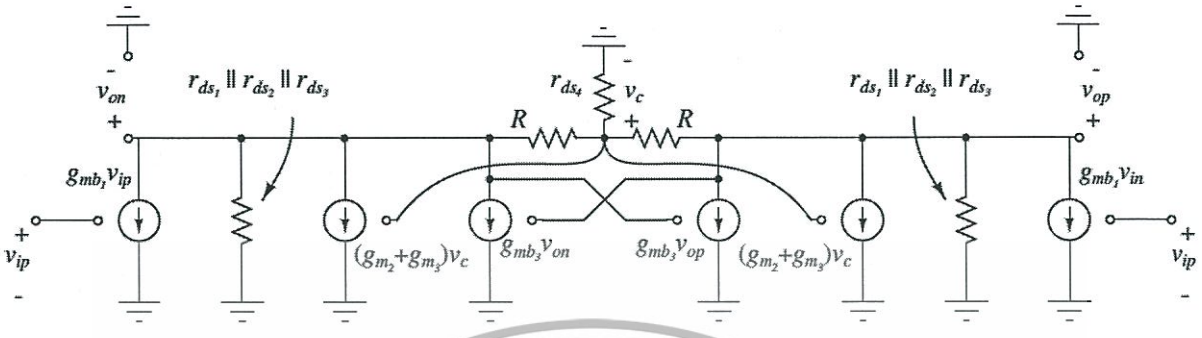


รูปที่ 5.1 โครงสร้างของออปแอมป์

จากที่กล่าวไปข้างต้นเทคนิคการต่อแบบ cascode ไม่สามารถนำมาใช้กับการออกแบบที่ไฟเลี้ยงต่ำมากได้ดังนั้นโครงสร้างของออปแอมป์แบบนี้จึงมีอัตราขยายแรงดันค่อนข้างต่ำในการออกแบบจึงมีการใช้วงจรความต้านทานเชิงลบเพื่อเพิ่มอัตราขยายแรงดันของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ M3A และ M3B ถูกใช้เป็นวงจรความต้านทานเชิงลบ ดังสมการที่ (5.2) และรูปที่ 5.2 แสดงการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กของวงจร



รูปที่ 5.2 วงจรเสมือนสัญญาณขนาดเล็กของออปแอมป์แบบต่ออินพุตที่ขอดี้

$$A_{diff} \approx \frac{g_{mb1}}{g_{ds1} + g_{ds2} + g_{ds3} + 1/R - g_{mb3}} \tag{5.2}$$

จากสมการที่ 5.2 จะเห็นว่ายิ่ง g_{m3} มีค่ามากจะทำให้อัตราขยายแรงดันผลต่างมีค่ามากขึ้นด้วย ในการออกแบบจะระวังไม่ให้ g_{mb3} มีค่ามากกว่า $g_{ds1}+g_{ds2}+g_{ds3}+1/R$ เพราะจะทำให้สัญญาณเอาต์พุตที่ออกมานั้นมีการกลับเฟสซึ่งจะส่งผลเสียต่อเสถียรภาพของวงจร

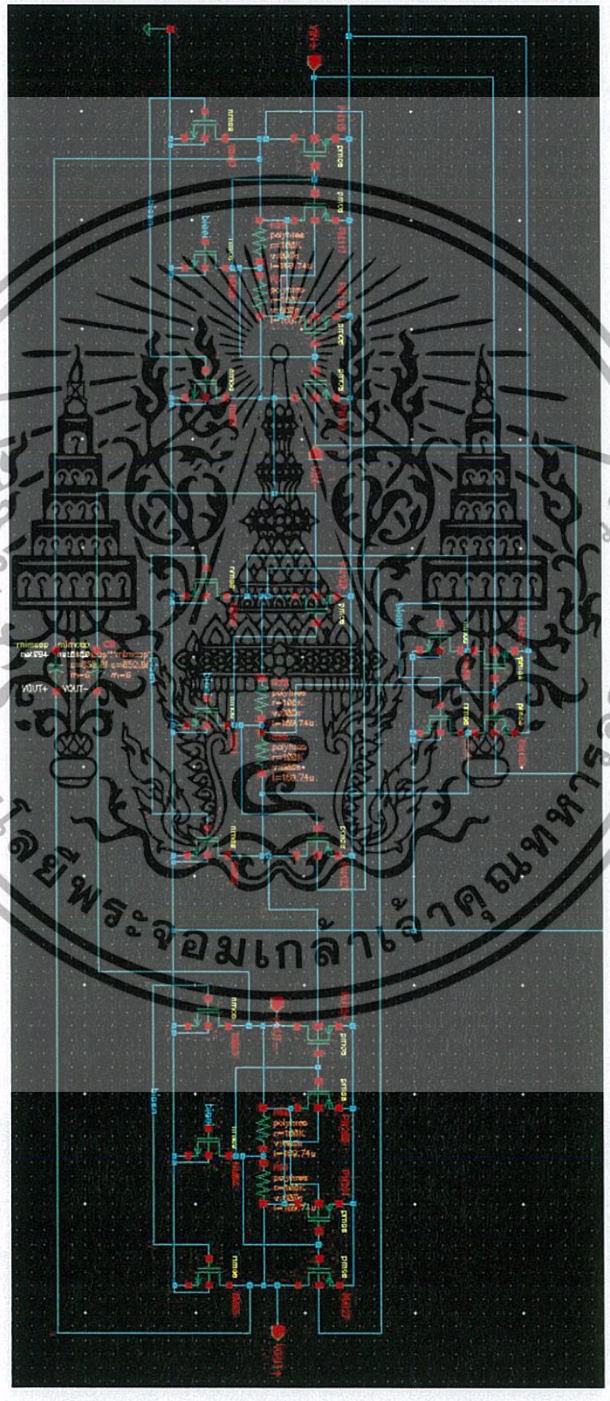
$$A_{cm} \approx \frac{g_{mb1}}{g_{ds1} + g_{ds2} + g_{ds3} + g_{mb3} + g_{m1} + g_{m3}} \tag{5.3}$$

ในสมการที่ (5.3) แสดงอัตราขยายแรงดันโหมดร่วมของวงจร โดยจะเห็นว่าในกรณีนี้อัตราขยายจะถูกลดลงด้วย g_{mb3} , g_{m1} และ g_{m3} ซึ่งเป็นผลมาจากในช่วงของสัญญาณคอมมอนโหมดนั้น V_x จะมีการเปลี่ยนแปลงทำให้จุดไบอัสที่ขาเกตของ M1 และ M3 เกิดการเปลี่ยนแปลงด้วยโดยการเปลี่ยนแปลงนั้นจะไปหักล้างการขยายสัญญาณ

อย่างไรก็ตามออปแอมป์ภาคเดียวในรูปที่ 5.1 นั้นยังคงให้อัตราขยายแรงดันที่ไม่สูงมากนัก เนื่องจากการต่อแบบ cascode ไม่สามารถนำมาใช้ได้ดังนั้นหากอยากเพิ่มอัตราขยายแรงดันของวงจรจึงต้องนำวงจรออปแอมป์มาต่อกันแบบ cascade ในบทความวิจัย [1] มีการนำออปแอมป์ในรูปที่ 5.1 มาต่อกันแบบคาสเคด 2 ภาค ได้อัตราขยายแรงดัน 52 dB ซึ่งถือว่าไม่น้อยแต่ก็ไม่ได้มากเช่นกัน (เพียงแค่ภาคเดียวในออปแอมป์ที่ไฟเลี้ยงปกติสามารถออกแบบให้ออปแอมป์มีอัตราขยายแรงดันได้มากกว่า 50 dB ด้วยเทคนิคการต่อแบบ cascode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงงานนี้เราต้องการออกแบบออปแอมป์ที่มีอัตราขยายแรงดันที่สูงกว่าในบทความวิจัย [1] ดังนั้นในโครงงานนี้จะทำการต่อออปแอมป์แบบ cascade 3 ภาคดังรูปที่ 5.3 อย่างไรก็ตามยิ่งจำนวนภาคที่ต่อมีมากขึ้นโอกาสที่ออปแอมป์จะมีปัญหาด้านเสถียรภาพก็ยิ่งมีมากขึ้นเช่นกัน การชดเชยความถี่จึงเป็นสิ่งที่สำคัญอย่างมาก โดยการชดเชยความถี่ของวงจรออปแอมป์นี้ใช้การชดเชยความถี่แบบ SMFFC ซึ่งจะถูกกล่าวถึงในหัวข้อที่ 5.3



รูปที่ 5.3 ออปแอมป์ 3 ภาค โดยมีการชดเชยความถี่แบบ SMFFC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

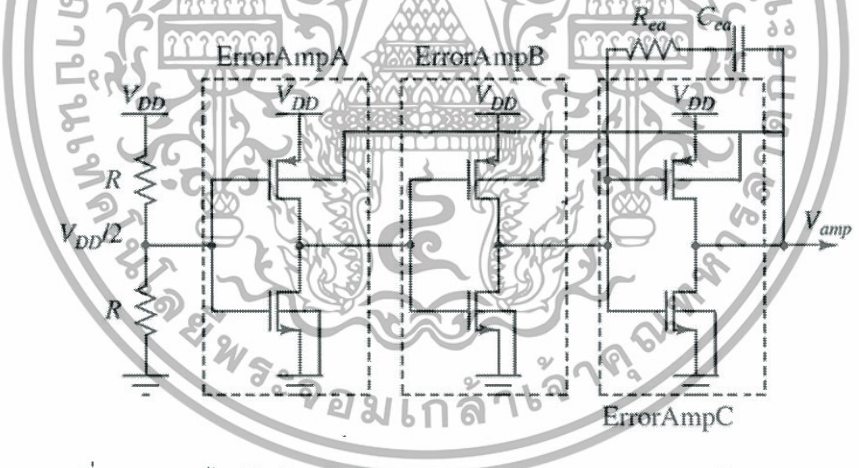
5.2 วงจรสร้างกระแสอ้างอิง

วงจรสร้างกระแสอ้างอิงเป็นวงจรที่สำคัญมากสำหรับการออกแบบออปแอมป์ในหัวข้อนี้จะนำเสนอการออกแบบวงจรสร้างกระแสอ้างอิง

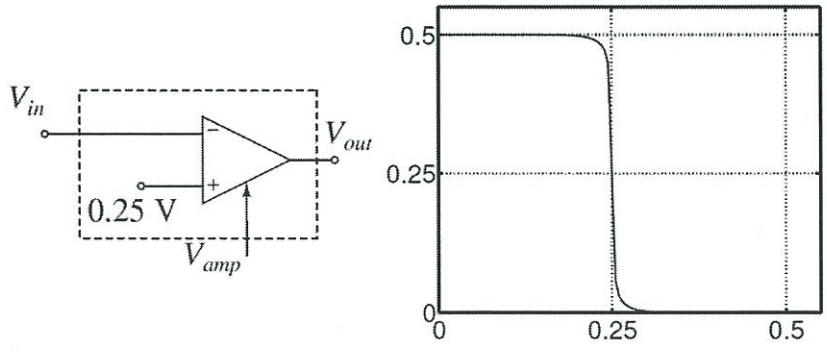
5.2.1 วงจรขยายความผิดพลาด (Error amplifier)

ในการสร้างวงจรสำหรับสร้างกระแสอ้างอิงนั้นวงจรขยายความผิดพลาดเป็นองค์ประกอบที่สำคัญ ในที่นี้จะใช้อินเวอร์เตอร์ทำหน้าที่เป็นวงจรขยายความผิดพลาดและใช้ V_T ของ pMOS เป็นจุดสวิตซ์ดังรูปที่ 5.4 เป็นการสร้างวงจรไบอัสสำหรับรักษา V_T ของของวงจรขยายความผิดพลาด โดยทำการเซตจุดสวิตซ์ที่ $V_{DD}/2$ หรือ 0.25 V และใช้การป้อนกลับแบบลบจากเอาต์พุตมาที่ขาบอดี้ของ pMOS แต่ละตัวเพื่อทำการเซตค่า V_T นอกจากนี้ยังทำให้วงจรนี้ทนต่อการคลาดเคลื่อนจากการผลิตและการเปลี่ยนแปลงอุณหภูมิ ดังนี้ หาก V_T ของ pMOS ใน ErrorAmpA น้อยกว่า $V_{DD}/2$ อินพุตของ ErrorAmpB จะลดลงทำให้เอาต์พุตของ ErrorAmpB มากขึ้นดังนั้นเอาต์พุตของ ErrorAmpC จะลดลงทำให้แรงดันไบอัสบอดี้ของ pMOS ทุกตัวมีค่าลดลง V_T จึงมีการปรับตัวโดยมีค่ามากขึ้นจนใกล้เคียง 0.25 V ในขณะเดียวกันหาก V_T มีค่ามากกว่า 0.25 V แรงดันไบอัสของ pMOS ทุกตัวก็จะมีค่าเพิ่มขึ้นทำให้ V_T ปรับตัวลดลง R_{ea} และ C_{ea} ถูกใช้เพื่อรักษาเสถียรภาพของวงจร

V_{amp} วงจรดังกล่าวจะถูกนำมาใช้ไบอัสให้ขาบอดี้ให้กับวงจรขยายความผิดพลาดซึ่งมีลักษณะแบบเดียวกันแต่ขาอินพุตไม่ได้ถูกเซตค่าเอาไว้ดังรูปที่ 5.5 และจากรูปจะเห็นว่าจุดสวิตซ์ของวงจรจะอยู่ที่ประมาณ 0.25 V ถึงแม้ว่า V_T เริ่มต้นของ pMOS แต่ละตัวจะเป็นเท่าไรก็ตาม



รูปที่ 5.4 วงจรไบอัสสำหรับรักษาV_Tของของวงจรขยายความผิดพลาด

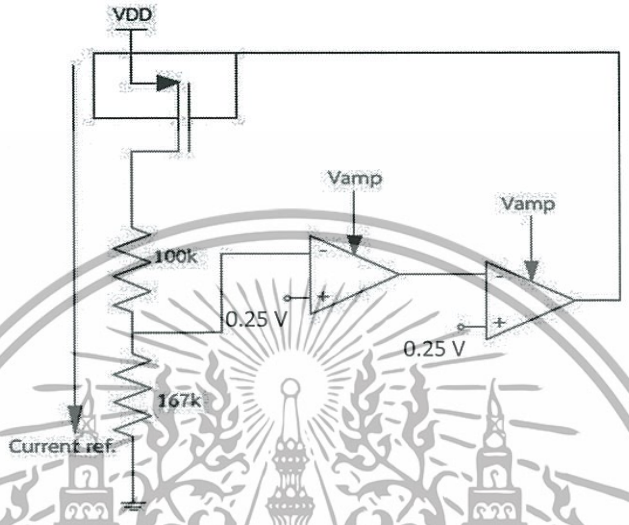


รูปที่ 5.5 วงจรขยายความผิดพลาด และ กราฟความสัมพันธ์ระหว่างอินพุต-เอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 วงจรไบอัสสำหรับสร้างกระแส

การสร้างวงจรสร้างกระแสอ้างอิงของออปแอมป์นั้นใช้วงจรดังรูปที่ 5.6 pMOS ทรานซิสเตอร์ถูกใช้เป็นแหล่งจ่ายกระแสของวงจรขาเกตและบอดี้จะถูกต่อเข้ากับ V_L เพื่อไบอัสทรานซิสเตอร์ โดยที่กระแส I_L คือกระแสอ้างอิงสามารถกำหนดได้โดยการปรับขนาดตัวต้านทานในที่นี้ใช้ขนาดตัวต้านทาน 167 kΩ และ 100 kΩ มี V_Y เท่ากับ 0.25 V และ V_{Rlc} 0.15 V



รูปที่ 5.6 วงจรไบอัสสำหรับสร้างกระแสเลเวลชิป

5.3 การชดเชยความถี่ของวงจร

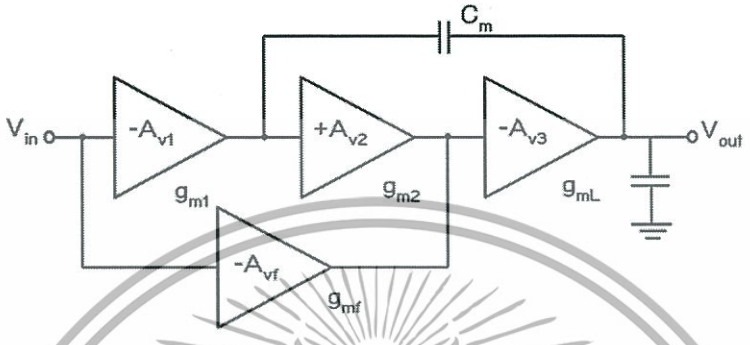
ในการออกแบบออปแอมป์ที่มีการต่อกันมากกว่า 1 ภาคนั้นการชดเชยความถี่เป็นสิ่งที่สำคัญมากเพราะเสถียรภาพของออปแอมป์จะขึ้นอยู่กับการชดเชยความถี่ ยิ่งจำนวนภาคของออปแอมป์ที่ทำการต่อคาสเคดกันมีจำนวนมากการชดเชยความถี่ก็จะยิ่งยากและซับซ้อนมากยิ่งขึ้น ในหัวข้อนี้จะอธิบายถึงการชดเชยความถี่ของออปแอมป์ 3 ภาค ที่ได้ทำการออกแบบ

การชดเชยความถี่สำหรับออปแอมป์นั้นมีหลายภาคนั้นมีด้วยกันหลายวิธีการดังที่ได้กล่าวถึงในบทที่ 4 วิธีการชดเชยความถี่แบบ NMC เป็นวิธีพื้นฐานในการชดเชยความถี่ อย่างไรก็ตามวิธีการนี้ยังต้องใช้ตัวเก็บประจุขนาดค่อนข้างใหญ่ถึง 2 ตัวในการชดเชยความถี่ทำให้เสียพื้นที่มากและหากอยากลดค่าตัวเก็บประจุลงก็ต้องยอมเสียกำลังไฟฟ้า ดังสมการที่ 4.5 และ 4.6

ดังนั้นในวิธีการชดเชยความถี่ที่ใช้ในการออกแบบออปแอมป์ในโครงงานนี้จะเป็นวิธีใหม่ซึ่งใช้ตัวเก็บประจุเพียงแค่ตัวเดียวในการชดเชยความถี่โดยวิธีการดังกล่าวมีชื่อว่า SMFFC (Single Miller capacitor feedforward frequency compensation) [8] โครงสร้างดังรูปที่ 5.7 การชดเชยความถี่แบบนี้ใช้ตัวเก็บประจุเพียงตัวเดียวต่อจากเอาต์พุตของออปแอมป์ภาคแรกไปยังเอาต์พุตของออปแอมป์ภาคสุดท้ายและมี g_{mf} จากอินพุตของภาคที่ 1 ไปยังเอาต์พุตของภาคที่ 2 และมีทรานเฟอร์ฟังก์ชันดังสมการที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

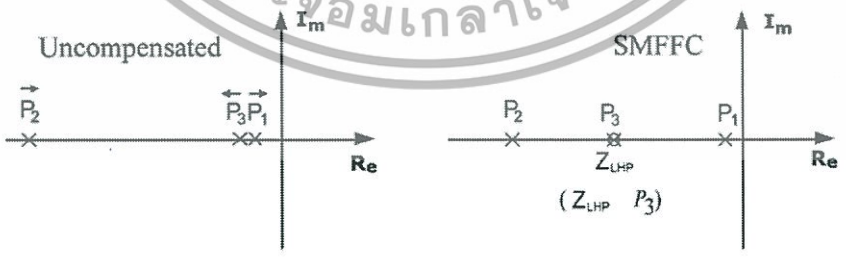
$$A_v(s) \approx \frac{A_{dc}\left(1+s\frac{C_m g_{mf}}{g_{m1}g_{m2}}-s^2\frac{C_m C_{p2}}{g_{m2}g_{mL}}\right)}{\left(1+\frac{s}{p-3dB}\right)\left(1+s\frac{C_L g_{o2}}{g_{m3}g_{mL}}+s\frac{C_{p2}C_L}{g_{m2}g_{mL}}\right)} \quad (5.4)$$



รูปที่ 5.7 การชดเชยความถี่แบบ SMFFC

เมื่อทำการวิเคราะห์สมการเพื่อหาค่าตัวเก็บประจุที่ต้องใช้ในการชดเชยความถี่จะได้สมการที่ 5.5 จะพบว่าขนาดของตัวเก็บประจุที่ต้องใช้ในการชดเชยความถี่จะมีขนาดเล็กลงอย่างเห็นได้ชัดเมื่อเทียบกับสมการที่ 4.5 และ 4.6 เนื่องจากในสมการที่ 5.5 มีอัตราขยายของออปแอมป์ภาคที่ 2 เป็นตัวหาร

$$C_m = \frac{1}{A_{v2}}\left(2\frac{g_{m1}}{g_{mL}}\right)C_L \quad (5.5)$$



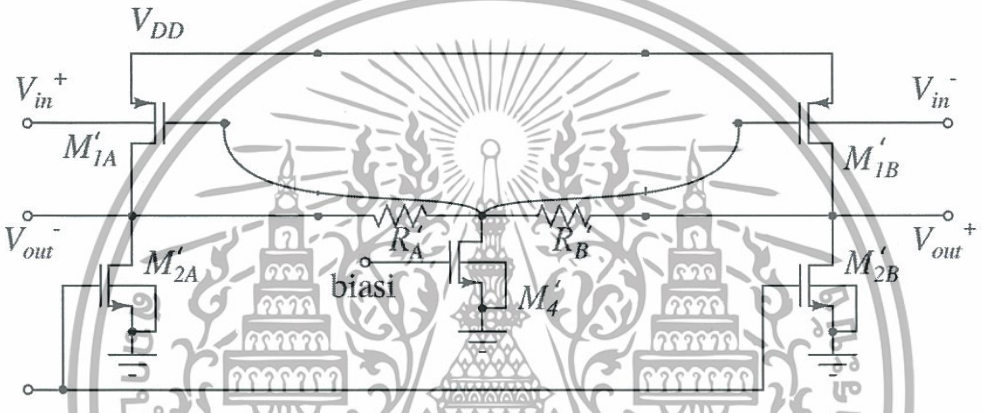
รูปที่ 5.8 ตำแหน่งโพล-ซีโร่ของวงจรที่ยังไม่ได้ชดเชยความถี่และวงจรที่ชดเชยความถี่แบบ SMFFC

จากรูปที่ 5.8 ตำแหน่งโพล-ซีโร่ดังกล่าวเป็นตำแหน่งสำหรับวงจรที่ต่อกับ C_L ที่มีขนาดมากเท่านั้น เช่นในโครงงานนี้ต่อกับ C_L ขนาด 20 pF ทำให้ตำแหน่งโพลของวงจรที่ยังไม่ได้ชดเชยความถี่เป็นดังรูป P_1 และ P_3 อยู่ที่ความถี่ต่ำ ในขณะที่ P_2 อยู่ที่ความถี่สูง ในการชดเชยความถี่แบบนี้จะทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลื่อน P_1 เข้ามาที่ความถี่ต่ำลงและผลัก P_3 ไปที่ความถี่สูงขึ้น จากนั้นนำซีโร่ที่เกิดจาก g_{mf} มาหักล้างกับ P_3 เพื่อเพิ่ม GBW และ ส่วนเผื่อเฟส

อย่างไรก็ตามหาก P_2 อยู่ที่ความถี่ไม่สูงมากนักและ P_3 ถูกผลักขึ้นไปที่ความถี่ใกล้กับ P_2 จะทำให้เกิดโพลเชิงซ้อนขึ้นซึ่งจะทำให้ระบบมีปัญหาด้านเสถียรภาพ ดังนั้นในการออกแบบจะออกแบบให้ P_2 อยู่ที่ความถี่สูงมากจน P_3 ไม่สามารถถูกผลักไปใกล้ P_2 ได้ วิธีการที่ใช้ในโครงงานนี้คือการนำวงจรความต้านทานเชิงลบออกจากออปแอมป์ภาคที่สอง ดังรูปที่ 5.9 เนื่องจากวงจรความต้านทานเชิงลบทำให้อิมพีแดนซ์ของออปแอมป์ภาคที่ 2 มีค่าสูงจน P_2 ลงมาอยู่ที่ความถี่ต่ำเกินไป จากปัญหาที่เกิดขึ้นจะเห็นว่าอัตราขยายแรงดันของออปแอมป์ภาคที่ 2 จะเป็นตัวกำหนดเสถียรภาพของวงจร ดังนั้นการออกแบบออปแอมป์ภาคที่ 2 จึงมีความสำคัญและควรระมัดระวังในการออกแบบ



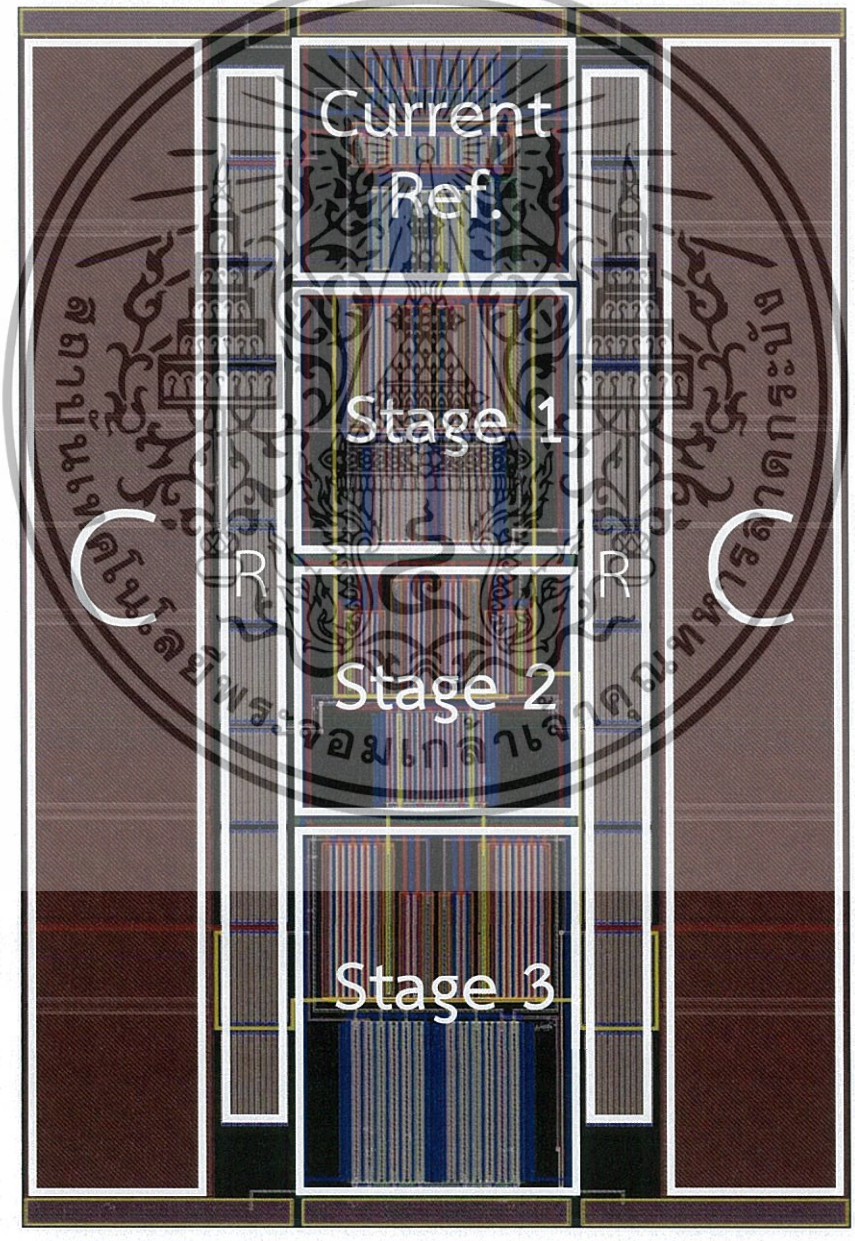
รูปที่ 5.9 ออปแอมป์ภาคที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
ผลการทดสอบวงจร

6.1 Layout ของออปแอมป์

หลังจากออกแบบและทดสอบในรูปแบบของ schematic เรียบร้อยแล้ว ได้มีการทำ layout ของวงจร (ดังรูปที่ 6.1) และทดสอบอีกครั้งเพื่อดูว่าการทำงานของวงจรเป็นอย่างไร เนื่องจากหลังทำ layout เสร็จจะมีค่า parasitic ต่างๆซึ่งส่งผลต่อการทำงานของวงจร โดย layout มีความกว้าง 130.24 um และความยาว 192.69 um

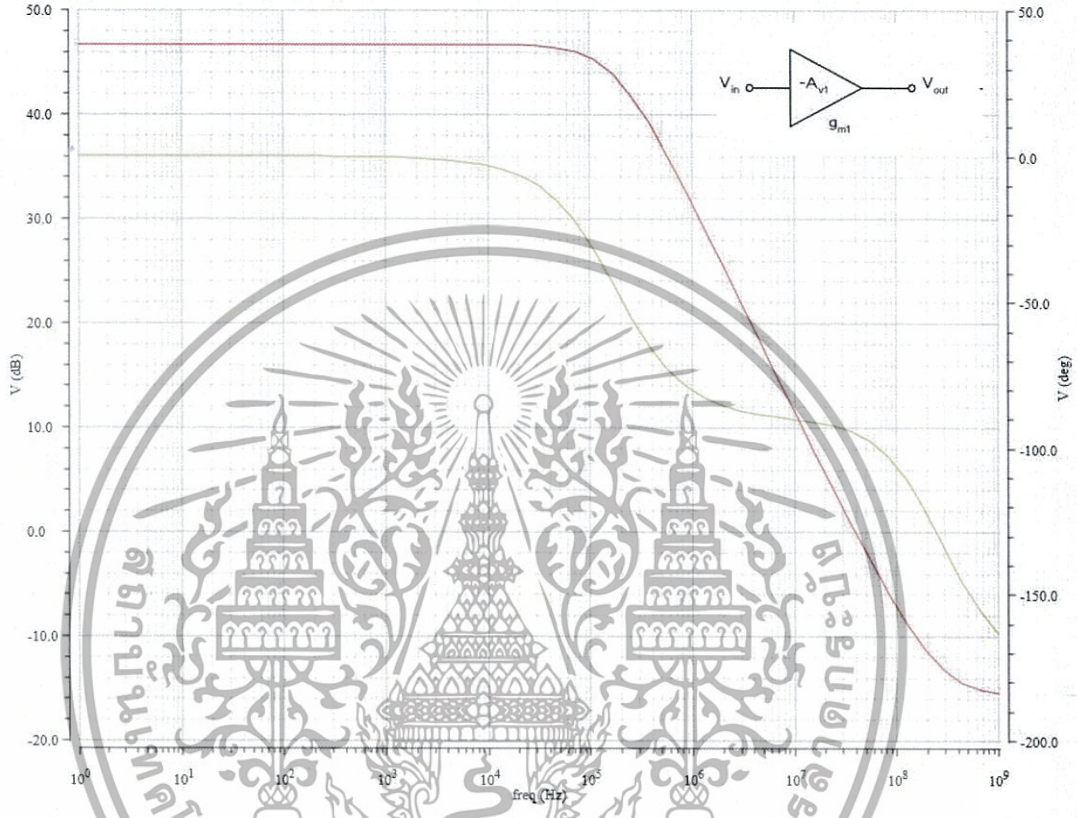


รูปที่ 6.1 Layout ของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การตอบสนองทางความถี่

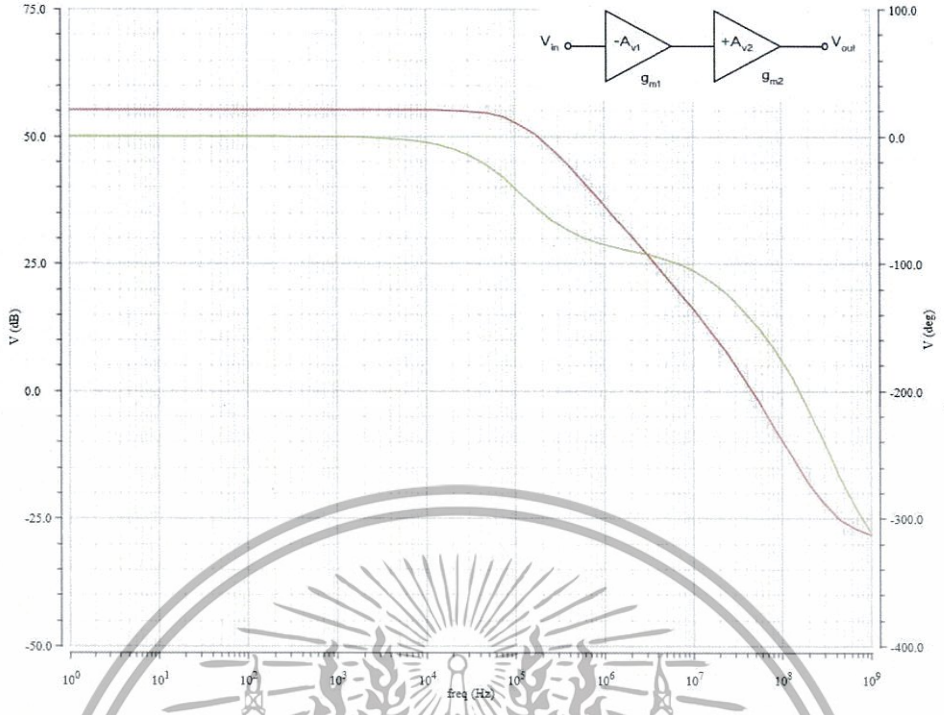
รูปที่ 6.2 แสดงค่าอัตราขยายและเฟสของออปแอมป์ภาคเดียวโดยออปแอมป์มีอัตราขยาย 45dB



รูปที่ 6.2 การตอบสนองทางความถี่ของออปแอมป์ภาคเดียว

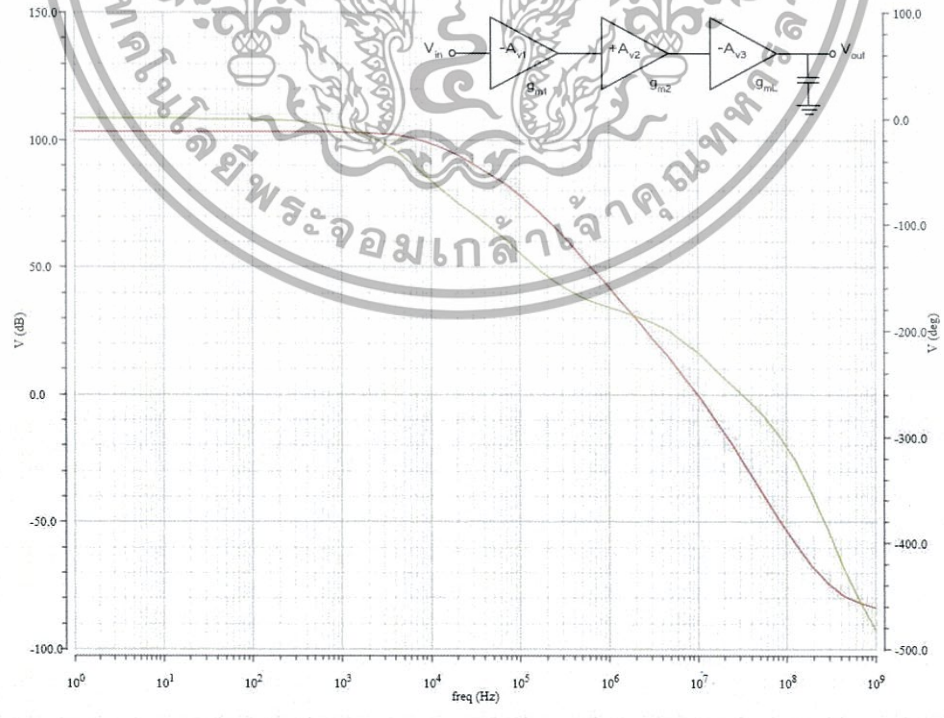
ต่อมารูปที่ 6.3 แสดงอัตราขยายและเฟสของออปแอมป์ 2 ภาค ขยายเพิ่มจาก 45 dB เป็น 55 dB โดยที่ภาคที่สองมีอัตราขยายเพียง 9 dB เท่านั้น สาเหตุเพราะมีการนำวงจรความต้านทานเชิงลบออกเพื่อลดความเสี่ยงในการเกิดปัญหาต่อเสถียรภาพดังที่ได้อธิบายในบทที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 การตอบสนองทางความถี่ของออปแอมป์ 2 ภาค

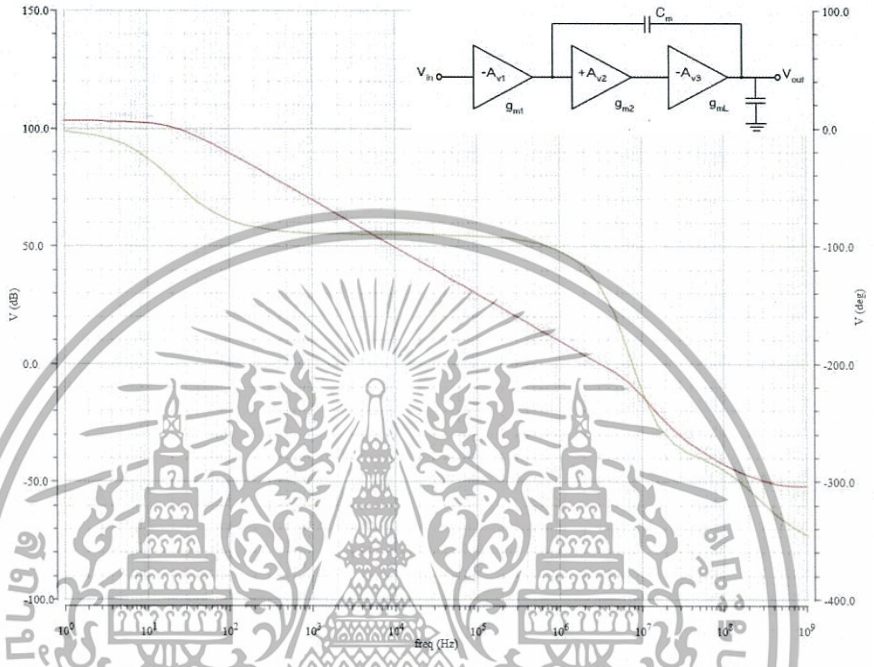
รูปที่ 6.4 แสดงออปแอมป์ที่ต่อกัน 3 ภาคมีอัตราขยาย 103 dB , GBW 10 MHz และ เฟสเปลี่ยนไป -220° จะพบว่าเฟสเปลี่ยนไปถึง -220° นั่นหมายความว่างจรนี้จะเกิดการออสซิเลต



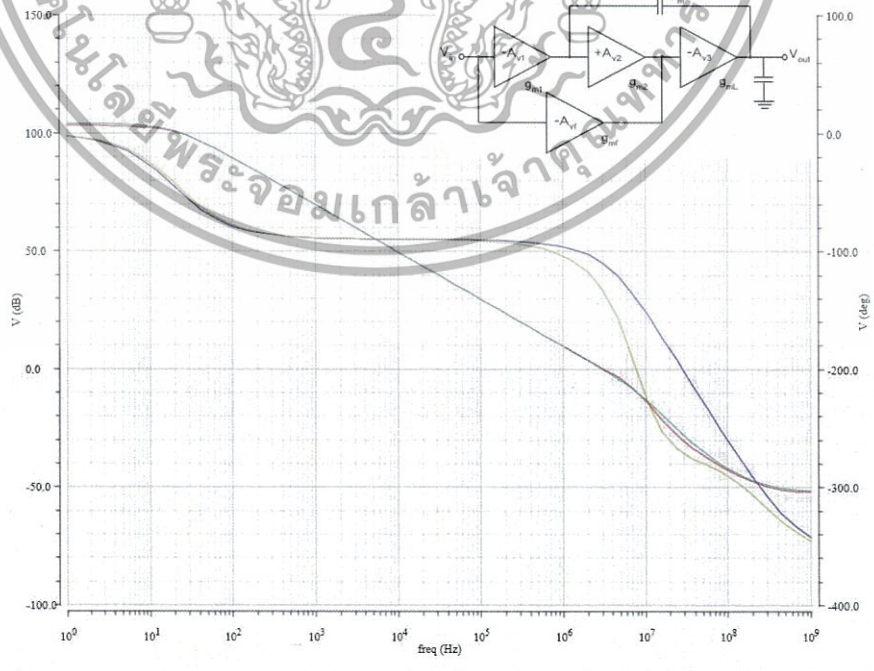
รูปที่ 6.4 การตอบสนองทางความถี่ของออปแอมป์ 3 ภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นตามที่ได้กล่าวไปในบทที่ 5 จึงต้องมีการชดเชยความถี่เพื่อให้วงจรมีเสถียรภาพ รูปที่ 6.5 แสดงออปแอมป์ 3 ภาคที่มีการชดเชยความถี่แบบ SMC พบว่าเฟสเปลี่ยนไป -130° หรือมีส่วนเผื่อเฟส 50° ในการออกแบบต้องการส่วนเผื่อเฟสที่มากกว่านี้จึงได้ทำการต่อ feedforward path เข้าไป หรือเรียกว่า SMFFC เพื่อปรับปรุงเฟส ซึ่งจะเห็นได้จากรูปที่ 6.6 ว่าวิธี SMFFC (เส้นสีน้ำเงิน) มีส่วนเฟสที่ดีกว่าวิธี SMC (เส้นสีเหลือง) อย่างเห็นได้ชัด



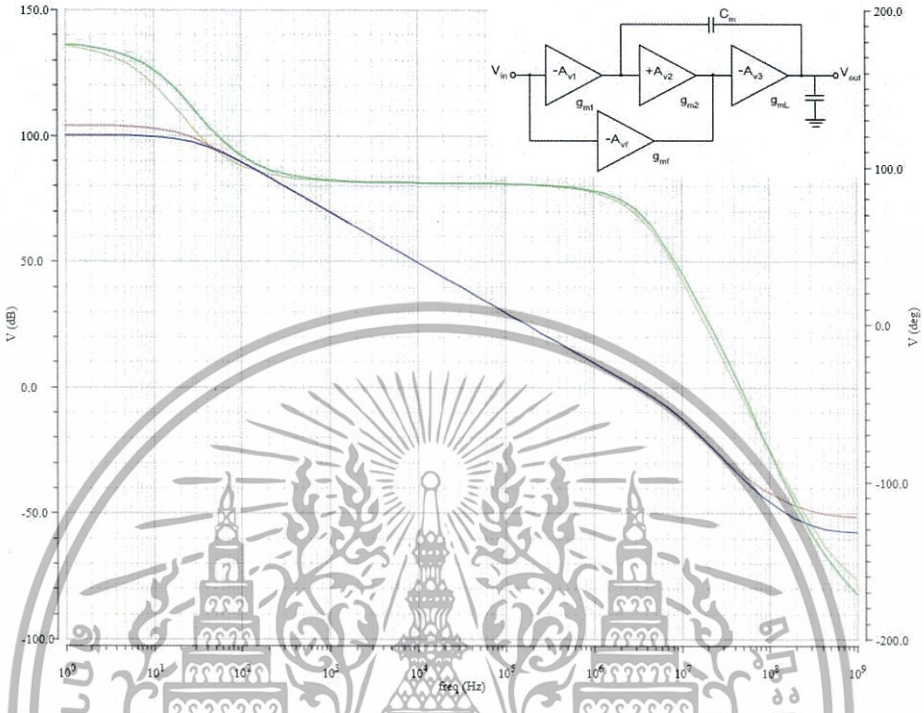
รูปที่ 6.5 การตอบสนองทางความถี่ของออปแอมป์ 3 ภาค ด้วยวิธี SMC



รูปที่ 6.6 SMC VS SMFFC

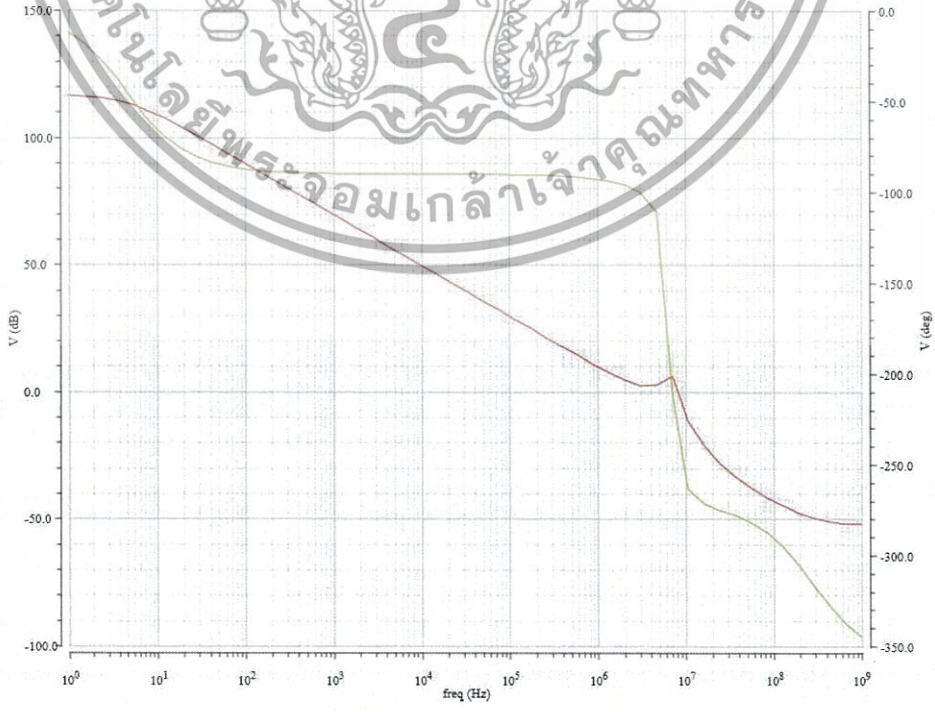
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.7 แสดงผลการตอบสนองทางความถี่ของวงจรที่สมบูรณ์แล้วโดยเทียบกันระหว่าง schematic และ ผลจาก Layout โดยผลสุดท้ายที่ออกมาออปแอมป์มีอัตราขยายแรงดัน 100 dB , GBW 3.1 MHz , และ ส่วนเผื่อเฟส 71°



รูปที่ 6.7 การตอบสนองทางความถี่ของออปแอมป์ 3 ภาค ด้วยวิธี SMFFC

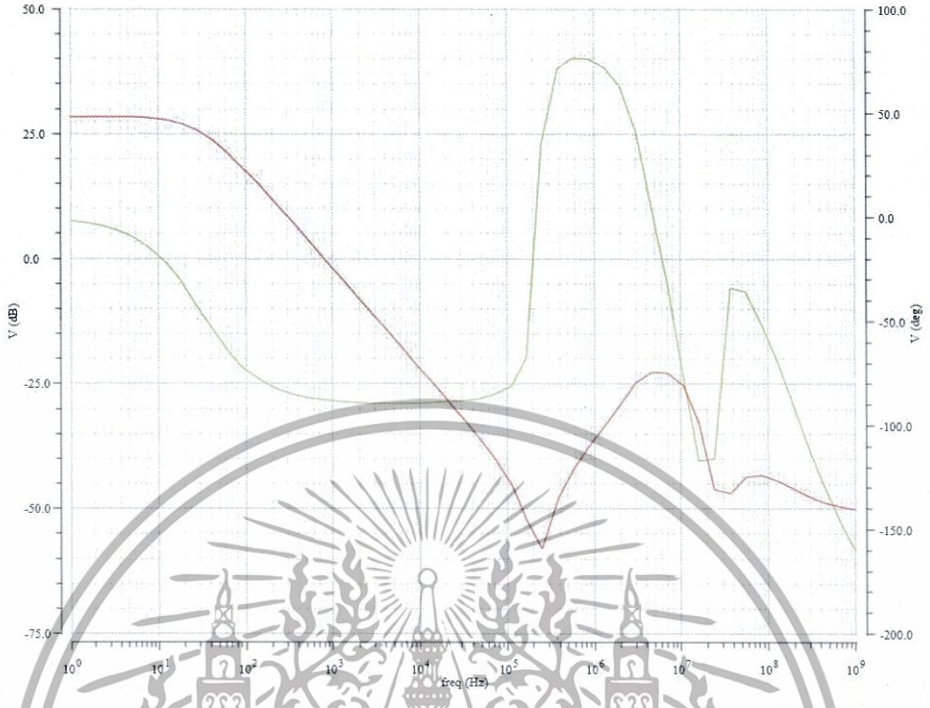
รูปที่ 6.8 แสดงถึงปัญหาที่อาจเกิดขึ้นหาก P_2 อยู่ที่ความถี่ที่ไม่สูงมากพอดังที่กล่าวถึงในบทที่ 5



รูปที่ 6.8 ปัญหาที่สามารถเกิดขึ้นได้จากวิธี SMFFC

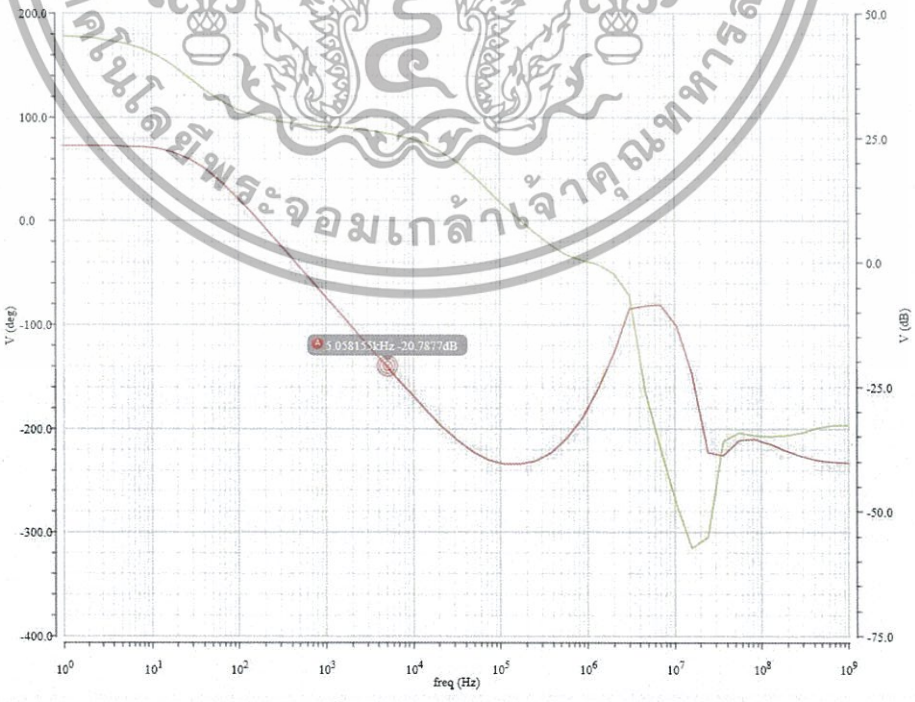
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 6.9 ที่ความถี่ 5 KHz เมื่อคิด CMRR จะได้ว่าวงจรมีค่า CMRR 70 dB



รูปที่ 6.9 อัตราขยายสัญญาณคอมมอนโหมดของวงจร

จากรูปที่ 6.10 ที่ความถี่ 5 KHz เมื่อคิด PSRR จะได้ว่าวงจรมีค่า PSRR 75 dB

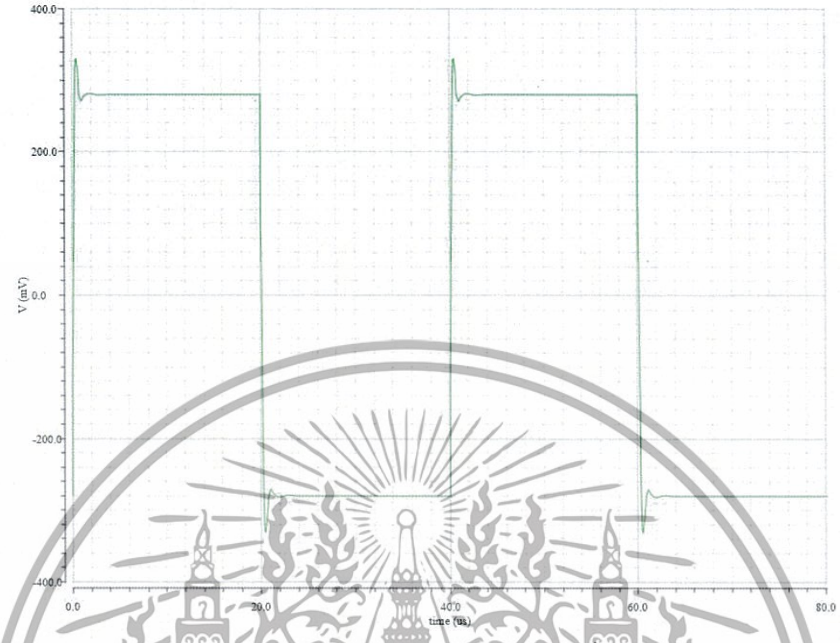


รูปที่ 6.10 อัตราขยายสัญญาณรบกวนจากแหล่งจ่ายไฟของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 การตอบสนองทางเวลา

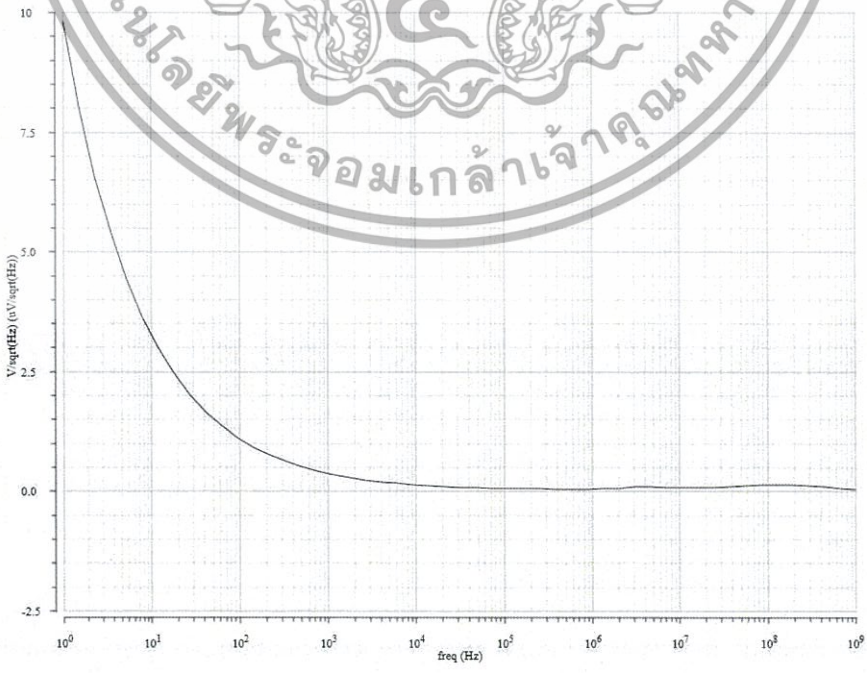
วงจรมีอัตราสลูว์ประมาณ 2.06 V/us



รูปที่ 6.11 การตอบสนองทางเวลา

6.4 Input referred noise

จากผลการวัดค่า input referred noise ที่ความถี่ 10kHz จะมีค่า 125nV/(Hz)1/2 และ ที่ความถี่ 1MHz จะมีค่า 59nV/(Hz)1/2



รูปที่ 6.12 Input referred noise

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.5 ตารางสรุปผลการทดสอบ

Parameter	[1]	Schematic	Post SM
Nominal supply voltage [V]	0.5	0.5	0.5
Power dissipation [μW]	110	140	140
Area [mm2]	0.026	NA	0.025
Open-loop DC gain [dB]	52	103	100
Open-loop unity-gain BW [MHz]	2.5	3.0	3.1
Phase margin [°]	NA	69	71
Slew rate [V/μs]	2.89	2.06	2.06
CMRR @ 5kHz [dB]	78	NA	70
PSRR @ 5kHz [dB]	76	NA	75
Input ref. @ 10kHz [$nV/(Hz)^{1/2}$]	280	141	141
Input ref. @ 1MHz [$nV/(Hz)^{1/2}$]	80	59	59
Load capacitance [pF]	20	20	20
Compensation capacitance [pF]	6	5	5
Technology	0.18 um	0.18 um	0.18 um

ตารางที่ 6.1 ตารางสรุปผลการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปผลการทดสอบผลวงจรและข้อเสนอแนะ

7.1 สรุปผลการทดสอบวงจร

ออปแอมป์ที่ได้เสนอในโครงงานนี้เป็นออปแอมป์ที่ไฟเลี้ยงต่ำ 0.5 V โดยมีการต่อกันแบบ cascade 3 ภาคเพื่อเพิ่มอัตราขยายแรงดันของวงจร ดังนั้นจึงมีการใช้วิธีชดเชยความถี่แบบ SMFFC ในการชดเชยความถี่ของวงจร ผลที่ออกมาพบว่าออปแอมป์มีอัตราขยายแรงดัน 100 dB , GBW 3.1 MHz และ ส่วนเผื่อเฟส 71°

7.2 ข้อเสนอแนะ

การนำวงจรความต้านทานเชิงลบมาใช้ส่งผลให้ระดับแรงดัน DC ที่ป้อนเข้าอินพุตของออปแอมป์แต่ละภาคนั้นจะต้องมีค่าที่เท่ากันหรือต่างจากกันได้ไม่มากเพราะวงจรความต้านทานเชิงลบจะขยายความต่างที่ว่านี้ ส่งผลให้วงจรเกิดความเสียหายได้ ดังนั้นหากอยากนำออปแอมป์ไปใช้งานจริงควรจะมีวงจรฟีดแบ็คเพื่อป้องกันปัญหาที่ว่านี้ซึ่งออปแอมป์ที่เสนอในโครงงานนี้ยังไม่มีวงจรดังกล่าวที่ช่วยป้องกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] P. Kinget, K.P. Pun, N. Stanic, Y. Tsividis and S. Chatterjee, analog circuit design techniques at 0.5V, p.1-45, 2007

[2] M. Trakimas and S. Sonkusale, A 0.5V Bulk-Input Operational transconductance amplifier with Improved common-mode feedback., Tufts University.

[3] S. Praneeth G A V and A.K. Saini, a self biased operational amplifier at ultra low power supply voltage, Pilani, India.

[4] H. Wang and Q. Ye, 0.5-V operational transconductance amplifier for CMOS bandgap reference application, Chinese Academy of Sciences, Beijing, China.

[5] L. H. C. Ferreira, and S. R. Sonkusale, a 0.25-V 28-nW 58-dB dynamic range asynchronous delta Sigma modulator in 130-nm digital CMOS processreference application, ieee transactions on very large scale integration (VLSI) system, vol. 23, no. 5, MAY 2015.

[6] C. Galup-Montoro, M. C. Schneider, and I. J. B. Loss, series-parallel association of FET's for high gain and high frequency applications IEEE JSSC, vol. 29, no. 9, SEP. 1994

[7] K. N. Leung and P. K. T. Mok, "Analysis of multistage amplifier-frequency compensation," IEEE Trans. Circuits Syst. I: Fund. Theory Appl., vol. 48, no. 9, pp. 1041–1056, Sep. 2001.

[8] X. Fan, C. Mishra and E. Sanchez-Sinencio, "Single miller capacitor frequency compensation technique for low-power multistage amplifier," IEEE J. Solid-State Circuits., vol. 40, no. 3, March. 2005.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้