

วงจรสังเคราะห์ความถี่เฟสล็อกด้วยโหมดการสับเปลี่ยนพลังงานต่ำ
สำหรับระบบสื่อสารไร้สาย

A LOW POWER PHASE LOCKED LOOP FREQUENCY SYNTHESIZER CIRCUIT
FOR WIRELESS SYSTEM



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2556

KMITL-2013-EN-M-040-046

วงจรสังเคราะห์ความถี่เฟสล็อกคูปที่มีอัตราการใช้พลังงานต่ำ
สำหรับระบบสื่อสารไร้สาย

A LOW POWER PHASE LOCKED LOOP FREQUENCY SYNTHESIZER CIRCUIT
FOR WIRELESS SYSTEM



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2556

KMITL-2013-EN-M-040-046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A LOW POWER PHASE LOCKED LOOP FREQUENCY SYNTHESIZER CIRCUIT
FOR WIRELESS SYSTEM



JAKRAWAT BUDBOONCHU

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRONIC ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2013
KMITL-2013-EN-M-040-046

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2013

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรสังเคราะห์ความถี่เฟสล็อกกลูปที่มีอัตราการสิ้นเปลืองพลังงานต่ำสำหรับ
ระบบสื่อสารไร้สาย

Thesis Title A Low Power Phase Locked Loop Frequency Synthesizer Circuit
for Wireless System

นักศึกษานี้ นายจักรวัฒน์ บุตรบุญชู

รหัสประจำตัว 51060403

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์

อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.อภิวัฒน์ ธนชยานนท์

หมายเลขวิทยานิพนธ์ KMITL-2013-EN-M-040-046

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ดร.กสิน	วิเชียรชม	
ผศ.ดร.พินิจ	กำหอม	
รศ.จิรววัฒน์	ปานกลาง	
รศ.ดร.อภิวัฒน์	ธนชยานนท์	

วัน / เดือน / ปี ที่สอบ วันศุกร์ที่ 3 พฤษภาคม พ.ศ. 2556 เวลา 16.00-18.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 4

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(ศาสตราจารย์ ดร.สุชัชวีร์ สุวรรณสวัสดิ์)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 3 พฤษภาคม พ.ศ. 2556

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรสังเคราะห์ความถี่เฟสล็อกกลุ่ที่มีอัตราการสลับเปลืองพลังงานต่ำสำหรับระบบสื่อสารไร้สาย
นักศึกษา	นายจักรวัฒน์ บุตรบุญชู
รหัสประจำตัว	51060403
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2556
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.อภิรักษ์ ธนชยานนท์

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรสังเคราะห์ความถี่เฟสล็อกกลุ่แบบการหารความถี่ด้วยจำนวนเต็มที่มีอัตราการสลับเปลืองพลังงานต่ำ เพื่อประยุกต์ใช้งานกับระบบสื่อสารไร้สาย วงจรสังเคราะห์ความถี่เฟสล็อกกลุ่ใช้วงจรถ่ายความถี่ควบคุมด้วยแรงดันแบบวงแหวนแบบโดยมีระดับการสวิตช์ของสัญญาณเข้าใกล้ระดับแรงดันแหล่งจ่ายไฟ มีช่วงในการล็อกความถี่ระหว่าง 2.4 ถึง 2.6 กิกะเฮิรท์ การจำลองการทำงานด้วยโปรแกรม Cadence Spectre โดยใช้เทคโนโลยีซีมอส 0.18 ไมโครเมตร มีอัตราการสลับเปลืองพลังงาน 1.9-2.2 มิลลิวัตต์ ภายใต้อุปกรณ์จ่ายแรงดันวงจรขนาด 1.8 โวลต์

Thesis Title	A low power phase locked loop frequency synthesizer circuit for wireless system
Student	Mr.Jakrawat Budboonchu
Student ID.	51060403
Degree	Master of Engineering
Program	Electronics Engineering
Year	2013
Thesis Advisor	Assoc.Prof.Dr.Apinunt Thanachayanont

ABSTRACT

This thesis describes the design and realization of a low power CMOS fully-integrated integer-N phase-locked loop (PLL) frequency synthesizer for wireless bio-telemetry systems. The PLL employs a ring voltage controlled oscillator using current-starved delay inverters with rail-to-rail voltage swing. The frequency synthesizer was designed to operate with 2.4-2.6 GHz frequency tuning range. Simulation results, with process parameters from a 0.18 μm CMOS technology, showed that the PLL dissipated 1.9-2.2 mW under a single 1.8 V power supply voltage.

กิตติกรรมประกาศ

ข้าพเจ้าขอกราบขอบพระคุณ รองศาสตราจารย์ ดร.อภิรักษ์ ธนชยานนท์ อาจารย์ที่ปรึกษา ที่ให้คำปรึกษาแนวทางการดำเนินงานและการแก้ปัญหาต่าง ๆ ตลอดจนการฝึกฝนให้ข้าพเจ้ามีความเข้าใจสามารถทำวิจัยได้อย่างมีประสิทธิภาพและทำให้วิทยานิพนธ์ฉบับนี้สำเร็จได้ด้วยดี ขอขอบคุณ รองศาสตราจารย์ ดร.วรากร เกษมสุวรรณ ดร.กสิน วิเชียรชม และอาจารย์ในภาควิชาวิศวกรรมอิเล็กทรอนิกส์ทุกท่าน ที่ให้ความรู้ อบรม สั่งสอน ข้าพเจ้า

ข้าพเจ้าขอขอบคุณภาควิชาวิศวกรรมอิเล็กทรอนิกส์ ที่ให้ความเอื้อเฟื้ออุปกรณ์และเครื่องมือในการทำวิจัย ตลอดจนอำนวยความสะดวกในด้านต่างๆ ให้แก่ข้าพเจ้าจนสามารถทำวิทยานิพนธ์ฉบับนี้จนเสร็จสมบูรณ์

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา อันเป็นที่รักและเคารพของข้าพเจ้า ที่อบรมสั่งสอนและสนับสนุนให้โอกาสแก่ข้าพเจ้าได้ศึกษาเล่าเรียน รวมทั้งพี่ๆ และน้องๆ ในห้องวิจัยทุกท่านที่ได้ให้คำปรึกษา แนะนำ และเป็นกำลังใจให้แก่ข้าพเจ้าด้วยดีเสมอมา ทำให้สามารถจัดทำวิทยานิพนธ์ฉบับนี้เสร็จสมบูรณ์

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ผู้เขียนขอมอบแด่ผู้มีพระคุณทุกท่าน

จักรวิวัฒน์ บุตรบุญชู

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมติฐานของการศึกษา.....	1
1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	2
1.6 ขั้นตอนของการศึกษา.....	2
บทที่ 2 ทฤษฎีพื้นฐานที่เกี่ยวข้อง.....	4
2.1 บทนำ.....	4
2.2 โครงสร้างวงจรเฟสล็อกกลูป.....	4
2.3 วงจรตรวจจับเฟสสัญญาณความถี่ (Phase Frequency Detector).....	6
2.4 วงจรอัดประจุ (Charge pump).....	9
2.5 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter: LPF).....	11
2.6 วงจรหารความถี่ (Frequency divider).....	14
2.7 วงจรกำเนิดความถี่ (Oscillator).....	16
2.7.1 ชนิดของวงจรถ่ายกำเนิดความถี่.....	16
2.7.2 เงื่อนไขการกำเนิดความถี่.....	16
2.8 สัญญาณรบกวน (Noise).....	18
2.8.1 สัญญาณรบกวนเชิงอุณหภูมิ (Thermal noise).....	19
2.8.2 สัญญาณรบกวนกระพริบ (Flicker Noise).....	21
2.8.3 จิตเตอร์ (Jitter) และ สัญญาณรบกวนเชิงเฟส (Phase noise).....	22
บทที่ 3 วงจรกำเนิดความถี่แบบวงแหวน.....	25
3.1 บทนำ.....	25
3.2 พื้นฐานของวงจรถ่ายกำเนิดความถี่แบบวงแหวน.....	25

สารบัญ(ต่อ)

	หน้า
3.3 โครงสร้างวงจรถูกกำเนิดความถี่แบบวงแหวน.....	31
3.3.1 โครงสร้างแบบซิงเกิลเอนด์ (Single-ended ring oscillator).....	31
3.3.2 โครงสร้างแบบดิฟเฟอเรนเชียล (True Differential ring oscillator).....	33
3.3.3 โครงสร้างแบบเสมือนดิฟเฟอเรนเชียล (Pseudo differential ring oscillator).....	35
3.4 วงจรถูกกำเนิดความถี่แบบวงแหวนควบคุมด้วยแรงดัน.....	37
3.5 การเปลี่ยนความถี่ของวงจรถูกกำเนิดความถี่แบบวงแหวนควบคุมด้วยแรงดัน.....	39
3.5.1 การปรับความถี่โดยการเพิ่มจำนวนวงจรถูกขยาย (Number of stages).....	39
3.5.2 การปรับความถี่โดยการเปลี่ยนค่าโหลด (Loading).....	40
3.5.3 การปรับความถี่โดยปรับไบอัสกระแส (Drive strength).....	41
3.5.4 การปรับความถี่โดยวิธีการปรับแรงดันไบอัส (Voltage) แหล่งจ่ายไฟ.....	42
3.6 วงจรถูกกำเนิดความถี่ควบคุมด้วยแรงดันที่นำเสนอ.....	43
บทที่ 4 ผลการจำลองการทำงานวงจรถูกสังเคราะห์ความถี่เฟสล็อกกลุ๊ป.....	50
4.1 บทนำ.....	50
4.2 ผลการจำลองการทำงานวงจรถูกจับเฟสความถี่ที่นำมาใช้งาน.....	50
4.3 ผลการจำลองการทำงานวงจรถูกอัดประจุและวงจรถูกความถี่ต่ำผ่านที่นำมาใช้งาน.....	55
4.3.1 วงจรถูกอัดและคายประจุที่นำมาใช้งาน.....	55
4.3.2 ผลการจำลองการทำงานวงจรถูกสร้างกระแสอ้างอิงที่นำมาใช้งาน.....	57
4.3.3 ผลการจำลองการทำงานวงจรถูกความถี่ต่ำผ่านที่นำมาใช้งาน.....	60
4.4 ผลการจำลองการทำงานวงจรถูกกำเนิดความถี่ควบคุมด้วยแรงดันที่นำเสนอ.....	62
4.5 ผลการจำลองการทำงานของวงจรถูกหารความถี่ที่นำมาใช้งาน.....	65
4.5.1 ผลการจำลองการทำงานวงจรถูกหารที่นำมาใช้งาน.....	68
4.5.2 ผลการจำลองการทำงานวงจรถูกหารความถี่ด้วย 4/5 ที่นำมาใช้งาน.....	69
4.5.3 ผลการจำลองการทำงานวงจรถูกสวอลโลว์เคาท์เตอร์ (Swallow counter) ที่นำมาใช้งาน.....	70
4.5.4 ผลการจำลองการทำงานวงจรถูกโปรแกรมเคาท์เตอร์ (Program counter) ที่นำมาใช้งาน.....	72
4.6 ผลการจำลองการทำงานของวงจรถูกสังเคราะห์ความถี่เฟสล็อกกลุ๊ปที่นำเสนอ.....	73
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะ.....	80
5.1 บทสรุปผลการวิจัย.....	80
5.2 ข้อเสนอแนะและแนวทางการพัฒนา.....	80

สารบัญ(ต่อ)

หน้า

เอกสารอ้างอิง.....	82
ภาคผนวก ก. แสดงการเลย์เอาต์วงจรต่างๆ ของวงจรสังเคราะห์ความถี่เฟสล็อกกลูบ.....	85
ภาคผนวก ข. คำนวณหาค่าความต้านทานและตัวเก็บประจุวงจรรองความถี่และวงจรกำเนิดความถี่.....	86
ภาคผนวก ค. ผลงานวิจัยที่ได้รับการตีพิมพ์.....	88
ประวัติผู้เขียน.....	99



สารบัญตาราง

ตารางที่	หน้า
4.1 แสดงอัตราส่วน(W/L) มอสหราชอาณาจักรของไดนามิกดีฟลิปฟلوب(UP).....	52
4.2 แสดงอัตราส่วน(W/L) มอสหราชอาณาจักรของไดนามิกดีฟลิปฟلوب(DN).....	52
4.3 แสดงผลคุณสมบัติของวงจรอัดประจุและคายประจุ.....	55
4.4 แสดงอัตราส่วน(W/L) มอสหราชอาณาจักรวงจรควบคุมการอัดประจุและคายประจุ.....	57
4.5 แสดงขนาดอัตราส่วนของมอสหราชอาณาจักรและค่าความต้านทาน.....	60
4.6 แสดงอัตราส่วนมอสหราชอาณาจักรกำเนิดความถี่ควบคุมด้วยแรงดันที่นำเสนอ.....	63
4.7 แสดงคุณสมบัติของวงจรกำเนิดความถี่แบบวงแหวนที่นำเสนอ.....	65
4.8 แสดงค่าการนับวงจร DMP.....	67
4.9 แสดงการกำหนดค่าหารความถี่.....	68
4.10 แสดงเปอร์เซ็นต์ผิดพลาดช่วงล็อกความถี่ของวงจรสังเคราะห์ความถี่เฟสล็อกที่นำเสนอ.....	78
4.11 แสดงการเปรียบเทียบคุณสมบัติของวงจรสังเคราะห์ความถี่เฟสล็อกที่นำเสนอกับงานวิจัยอื่นๆ.....	79



สารบัญรูป

รูปที่	หน้า
2.1 แสดงผังวงจรวงจรเฟสลือกกลุ่มพื้นฐาน.....	4
2.2 แสดงผังวงจรเฟสลือกกลุ่มที่มีการหารความถี่.....	4
2.3 วงจรตรวจจับเฟสความถี่.....	6
2.4 แสดงไดอะแกรมสภาวะการทำงานของวงจรตรวจจับเฟสความถี่.....	7
2.5 (ก) แสดงไดอะแกรมเวลาเมื่อสัญญาณอ้างอิงมีความถี่เท่ากับสัญญาณความถี่ทางด้านออก.....	7
(ข) แสดงไดอะแกรมเวลาเมื่อสัญญาณอ้างอิงมีความถี่มากกว่าสัญญาณความถี่ทางด้านออก.....	8
(ค) แสดงไดอะแกรมเวลาเมื่อสัญญาณอ้างอิงมีความถี่น้อยกว่าสัญญาณความถี่ทางด้านออก.....	8
2.6 (ก) แสดงแรงดันเฉลี่ยของวงจรตรวจจับเฟสความถี่.....	9
(ข) แสดงการเกิดเขตโชน(Dead zone).....	9
2.7 แสดงการเกิดเขตโชน(Blind zone).....	9
2.8 แสดงแนวคิดพื้นฐานของวงจรอัดประจุ.....	10
2.9 แสดงสัญญาณแรงดัน Vc เมื่ออยู่ในสภาวะอัดประจุ.....	10
2.10 แสดงสัญญาณแรงดัน Vc เมื่ออยู่ในสภาวะคายประจุ.....	11
2.11 แสดงวงจรกรองความถี่ต่ำผ่านลำดับที่สอง.....	12
2.12 แสดงฟังก์ชันการถ่ายโอนของวงจรเฟสลือกกลุ่ม.....	12
2.13 แสดงตัวหารความถี่ (ก) Fixed-N , (ข) Programmable.....	15
2.14 แสดงการหารความถี่แบบ Pulse Swallow.....	15
2.15 แสดงวงจรพื้นฐานของวงจรขยายป้อนกลับแบบบวก.....	17
2.16 แสดงสัญญาณรบกวน.....	18
2.17 สัญญาณรบกวนของมอสทรานซิสเตอร์.....	19
2.18 แสดงสเปกตรัมของสัญญาณรบกวนเชิงอนุกรม.....	20
2.19 สเปกตรัมกำลังงานเฉลี่ยของสัญญาณรบกวนกระพริบ.....	21
2.20 แสดงสัญญาณรบกวนกระพริบและสัญญาณรบกวนเชิงอนุกรม.....	22
2.21 (ก) แสดงสัญญาณนาฬิกาในทางอุดมคติ.....	23
(ข) แสดงการเกิดจิตเตอร์ของสัญญาณ.....	23
2.22 แสดงการเกิดสัญญาณรบกวนเชิงเฟส.....	24
3.1 (ก) แสดงวงจรกำเนิดความถี่แบบวงแหวนใช้อินเวอร์เตอร์ต่ออนุกรมห้าตัว.....	25
(ข) แสดงลักษณะของสัญญาณที่จุดต่างๆ.....	26

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.2 แสดงวงจรสมมูลของอินเวอร์เตอร์เกทโดยใช้มอสทรานซิสเตอร์ตัวเดียว.....	28
3.3 แสดงวงจรสมมูลของอินเวอร์เตอร์เกทต่ออนุกรมกัน 2 ตัว.....	29
3.4 แสดงวงจรสมมูลของอินเวอร์เตอร์เกทต่ออนุกรมกัน 3 ตัว.....	30
3.5 แสดงวงจรกำเนิดความถี่แบบวงแหวนแบบซิงเกิลเอนด์.....	31
3.6 แสดงการเปลี่ยนแปลงสัญญาณแรงดันทางด้านออก.....	32
3.7 แสดงการต่อใช้งานโครงสร้างแบบดิฟเฟอเรนเชียล	
(ก) จำนวนวงจรขยายเป็นเลขคู่.....	33
(ข) จำนวนขยายเป็นเลขคี่.....	33
3.8 แสดงโครงสร้างภายในวงจรกำเนิดความถี่แบบวงแหวนแบบดิฟเฟอเรนเชียล.....	34
3.9 แสดงความสัมพันธ์ของแรงดันระหว่าง V_x , V_y และ V_p	35
3.10 (ก) แสดงวงจรกำเนิดความถี่แบบวงแหวนแบบเสมือนดิฟเฟอเรนเชียล.....	36
(ข) แสดงโครงสร้างภายในพื้นฐานแบบเสมือนดิฟเฟอเรนเชียล.....	36
3.11 แสดงความแนวคิดพื้นฐานของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน.....	37
3.12 แสดงการเกิดความถี่ฟรีรันนิ่งของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน.....	37
3.13 แสดงการเกิดความถี่เมื่อมีแรงดันควบคุมทางด้านเข้า.....	37
3.14 แสดงช่วงการเปลี่ยนแปลงความถี่เมื่อปรับเปลี่ยนแรงดันควบคุมด้านเข้า.....	38
3.15 แสดงการปรับความถี่โดยการเพิ่มจำนวนวงจรขยาย.....	39
3.16 (ก) แสดงการเปลี่ยนความถี่โดยใช้วาร์แคเตอร์ไดโอด.....	40
(ข) แสดงควบคุมแบบดิจิทัลในการเปลี่ยนความถี่.....	40
3.17 แสดงการปรับเปลี่ยนความถี่โดยการเปลี่ยนโหลดค่าตัวต้านทาน.....	41
3.18 แสดงการปรับเปลี่ยนความถี่โดยการปรับกระแสไบอัส.....	42
3.19 แสดงการปรับความถี่โดยวิธีการปรับแรงดันไบอัสแหล่งจ่ายไฟ.....	43
3.20 (ก) แสดงวงจร Current starved VCO.....	44
(ข) แสดงวงจร Current starved with symmetric load VCO.....	44
(ค) แสดงวงจร Current starved using selector switch VCO.....	45
3.21 แสดงวงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่นำเสนอ.....	46
3.22 (ก) แสดงการสวิงของสัญญาณทางด้านออกเมื่อสัญญาณทางเข้าเป็นลบ.....	47
(ข) แสดงการสวิงของสัญญาณทางด้านออกเมื่อสัญญาณทางเข้าเป็นบวก.....	47
3.23 แสดงการเปรียบเทียบสัญญาณรบกวนเชิงเฟสในกรณีอัตราลิ้นเปลืองพลังงานเท่ากัน.....	48

สารบัญรูป(ต่อ)

รูปที่	หน้า
3.24 แสดงการเปรียบเทียบแรงดันสวิงทางด้านออก.....	48
3.25 แสดงการเปรียบเทียบการเปลี่ยนแปลงความถี่เมื่อปรับแรงดันควบคุม.....	49
4.1 แสดงวงจรตรวจจับเฟสความถี่ที่นำเสนอ.....	50
4.2 (ก) แสดงโครงสร้างภายในไดนามิกดีฟลิปฟลอปใช้ควบคุมการประจุ.....	51
(ข) แสดงโครงสร้างภายในไดนามิกดีฟลิปฟลอปใช้ควบคุมการคายประจุ.....	51
4.3 แสดงผลการจำลองการทำงานจากเลย์เอาต์ กรณีสัญญาณอินพุตอ้างอิง(Fref) มีเฟสนำหน้าสัญญาณความถี่ที่ได้จากวงจรหารความถี่(Fdiv).....	53
4.4 แสดงผลการจำลองการทำงานจากเลย์เอาต์ กรณีสัญญาณอินพุตอ้างอิง(Fref) มีเฟสล่าหลังสัญญาณความถี่ที่ได้จากวงจรหารความถี่(Fdiv).....	53
4.5 แสดงผลการจำลองการทำงานจากเลย์เอาต์ กรณีสัญญาณอินพุตอ้างอิง(Fref) มีเฟสเท่ากับสัญญาณความถี่ที่ได้จากวงจรหารความถี่(Fdiv).....	54
4.6 แสดงแรงดันเฉลี่ยทางเอาต์พุตของวงจรตรวจจับเฟสความถี่.....	54
4.7 แสดงวงจรอัดประจุที่นำเสนอ.....	56
4.8 แสดงการทำงานในช่วงอัดประจุและคายประจุ.....	57
4.9 แสดงวงจรแหล่งจ่ายกระแสอ้างอิงที่นำมาใช้งาน.....	58
4.10 แสดงกระแสเอาต์พุต เมื่อเปลี่ยนอุณหภูมิจาก -25 ถึง 120 องศาเซลเซียส.....	59
4.11 แสดงกระแสเอาต์พุต เมื่อเปลี่ยนแรงดันตั้งแต่ 0 ถึง 2 โวลต์.....	59
4.12 แสดงวงจรรองความถี่ต่ำผ่านลำดับที่สองที่นำมาใช้งาน.....	60
4.13 แสดงผลตอบสนองทางความถี่ลูปเปิด (Open loop frequency response).....	61
4.14 แสดงขอบเขตมุม(Phase margin) ลูปเปิด.....	61
4.15 แสดงผลตอบสนองทางความถี่ลูปปิด (Closed loop frequency response).....	62
4.16 แสดงวงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่นำเสนอ.....	62
4.17 แสดงการเกิดความถี่ทางด้านออกที่ความถี่ 2.45 GHz.....	63
4.18 แสดงช่วงการเกิดความถี่ของวงจรกำเนิดความถี่ที่นำเสนอ.....	64
4.19 แสดงการเกิดสัญญาณรบกวนเชิงเฟสของวงจรกำเนิดความถี่ที่นำเสนอ.....	64
4.20 แสดงผังการทำงานของวงจรดูอัลปริสกลเลออร์ (DMP).....	66
4.21 แสดงผังการทำงานของวงจรดูอัลปริสกลเลออร์ (DMP) ที่นำมาใช้งาน.....	66
4.22 แสดงวงจรหารความถี่ด้วยสี่.....	69
4.23 แสดงการจำลองการหารความถี่ด้วยสี่ เมื่อป้อนสัญญาณความถี่(CK) 3 GHz.....	69

สารบัญรูป(ต่อ)

รูปที่

หน้าที่

4.24 แสดงวงจรหารความถี่ 4/5.....	70
4.25 แสดงการจำลองการทำงานของวงจรหารความถี่ 4/5.....	70
4.26 แสดงวงจรสวอนโลวเคาน์เตอร์ S.....	71
4.27 แสดงผลการจำลองจากเลย์เอาต์วงจรสวอนโลวเคาน์เตอร์ S เมื่อตั้งค่าการนับเท่ากับ 13.....	71
4.28 แสดงวงจรโปรแกรมเคาน์เตอร์ P.....	72
4.29 แสดงผลการจำลองการทำงานโดยเริ่มนับตั้งแต่ค่า 150 จนถึง 0.....	72
4.30 แสดงผลการจำลองจากเลย์เอาต์ของวงจรหารความ.....	73
4.31 แสดงผลการจำลองจากเลย์เอาต์ของวงจรสังเคราะห์ความถี่เฟสล็อกที่ความถี่ 2.446 GHz.....	74
4.32 แสดงผลการจำลองจากเลย์เอาต์ของแรงดันควบคุมของวงจรถ่ายทอดที่ความถี่ 2.446 GHz.....	74
4.33 แสดงผลการจำลองจากเลย์เอาต์ของวงจรถ่ายทอดความถี่ที่ความถี่ 2.446 GHz.....	75
4.34 แสดงผลการจำลองจากเลย์เอาต์ของวงจรสังเคราะห์ความถี่เฟสล็อกที่ความถี่ 2.388 GHz.....	75
4.35 แสดงผลการจำลองจากเลย์เอาต์ของแรงดันควบคุมของวงจรถ่ายทอดที่ความถี่ 2.388 GHz.....	76
4.36 แสดงผลการจำลองจากเลย์เอาต์ของวงจรถ่ายทอดความถี่ที่ความถี่ 2.388 GHz.....	76
4.37 แสดงผลการจำลองจากเลย์เอาต์ของวงจรสังเคราะห์ความถี่เฟสล็อกที่ความถี่ 2.595 GHz.....	77
4.38 แสดงผลการจำลองจากเลย์เอาต์ของแรงดันควบคุมของวงจรถ่ายทอดที่ความถี่ 2.595 GHz.....	77
4.39 แสดงผลการจำลองจากเลย์เอาต์ของวงจรถ่ายทอดความถี่ที่ความถี่ 2.595 GHz.....	78

บทที่ 1

บทนำ

1.1 ที่มาและความเป็นมาของปัญหา

ปัจจุบันวงจรรีเลย์ทรานซิสเตอร์ได้เข้ามามีบทบาทในการดำรงชีวิตของมนุษย์เราเป็นอย่างมาก โดยนักออกแบบได้พัฒนาและออกแบบวงจรรีเลย์ทรานซิสเตอร์ขึ้นมาในรูปแบบของผลิตภัณฑ์ต่างๆ ทั้งนี้ก็เพื่ออำนวยความสะดวกและตอบสนองความต้องการในการดำรงชีวิตประจำวันของมนุษย์ โดยเฉพาะอย่างยิ่งระบบสื่อสารก็เป็นอีกปัจจัยหนึ่งที่มีความสำคัญในการดำรงชีวิตของมนุษย์ในปัจจุบัน โดยที่ระบบสื่อสารได้มีการปรับปรุงพัฒนาให้มีประสิทธิภาพในด้านต่างๆ มาอย่างต่อเนื่อง วงจรสังเคราะห์ความถี่เฟสล็อกลูป(Phased Lock Loop frequency synthesizer) เป็นวงจรรีเลย์ทรานซิสเตอร์วงจรหนึ่งที่มีความสำคัญเป็นอย่างยิ่งในระบบสื่อสารต่างๆ เช่น ในเครื่องรับโทรทัศน์(Television receiver) ในเครื่องรับเครื่องส่งวิทยุ (Radio transceiver) ในโทรศัพท์เคลื่อนที่ (Mobile phone)[1] หรือในระบบสื่อสารโครงข่ายไร้สาย (Wireless local area network : WLAN)[2] เป็นต้น

ในปัจจุบันมีการนำอุปกรณ์สารกึ่งตัวนำต่างๆ เช่น ทรานซิสเตอร์ชนิด 2 รอยต่อ (Bipolar junction transistor:BJT)ทรานซิสเตอร์ชนิดมอส (Complementary metal-oxide semiconductor: CMOS) มาพัฒนาให้อยู่ในรูปแบบของวงจรรวม(Integrated Circuits) เพื่อนำมาสร้างวงจรรีเลย์ทรานซิสเตอร์ต่างๆ โดยผลิตภัณฑ์รีเลย์ทรานซิสเตอร์ในปัจจุบันได้ถูกออกแบบให้อุปกรณ์มีประสิทธิภาพการทำงานสูง มีขนาดผลิตภัณฑ์เล็กและที่สำคัญอย่างยิ่งคือ ต้องมีอัตราสิ้นเปลืองพลังงานที่ต่ำ จากคุณสมบัติการออกแบบวงจรที่กล่าวมาข้างต้นทำให้ผลิตภัณฑ์ที่ออกมามีขนาดกะทัดรัดน้ำหนักเบาเหมาะสำหรับการพกพาสามารถใช้งานได้อย่างต่อเนื่องเป็นระยะเวลานานโดยไม่ต้องทำการเปลี่ยนหรือชาร์ตแหล่งจ่ายไฟบ่อยครั้งระหว่างการใช้งาน ทั้งนี้ทำให้สามารถยืดอายุการใช้งานของแบตเตอรี่ได้อีกด้วย

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้ได้ศึกษาและนำเสนอการออกแบบวงจรสังเคราะห์ความถี่เฟสล็อกลูป เพื่อประยุกต์ใช้งานกับระบบสื่อสารไร้สายระยะใกล้ โดยการออกแบบวงจรสังเคราะห์ความถี่เฟสล็อกลูป มุ่งเน้นให้วงจรมีอัตราการสิ้นเปลืองพลังงานที่ต่ำและวงจรมีขนาดเล็ก

1.3 สมมติฐานของการศึกษา

วงจรสังเคราะห์ความถี่เฟสล็อกลูปประกอบขึ้นด้วยวงจรต่าง ๆ หลายวงจร เช่น วงจรเปรียบเทียบสัญญาณเฟส(Phase frequency detector: PFD) วงจรอัดประจุ(Charge pump: CP) วงจรกำเนิดความถี่(Oscillator) และวงจรหารความถี่(Frequency divider) เป็นต้น วงจรกำเนิดความถี่เป็นวงจรหนึ่งที่มีความสำคัญ โดยทั่วไปวงจรกำเนิดความถี่จะมีอัตราการสิ้นเปลืองพลังงานค่อนข้างสูงเมื่อเทียบกับวงจรประกอบอื่นๆ ในวงจรสังเคราะห์ความถี่เฟสล็อกลูป ดังนั้นถ้าต้องการออกแบบวงจรให้มีอัตราการ

สิ้นเปลืองพลังงานที่ต่ำ วงจรกำเนิดความถี่จึงเป็นส่วนสำคัญที่จะต้องพิจารณาเลือกใช้และออกแบบเป็นลำดับแรก เพื่อให้วงจรสังเคราะห์ความถี่เฟสล็อกกลุ่มีคุณสมบัติที่เหมาะสมตามความต้องการในการใช้งาน วงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวน(Voltage Control Ring oscillator) จึงมีความเหมาะสมกับการนำมาสร้างเป็นตัวกำเนิดความถี่ สำหรับใช้งานกับวงจรที่มีอัตราการสิ้นเปลืองพลังงานที่ต่ำและมีสัญญาณรบกวนเชิงเฟส(Phase noise) ที่ไม่สูงมาก นอกจากนี้วงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวนยังสามารถสร้างขึ้นง่าย ใช้พื้นที่ในการสร้างชิพน้อยและมีราคาถูกกว่าเมื่อเทียบกับวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบตัวเหนี่ยวนำและคาปาซิเตอร์(LC Voltage Control Oscillator)[2]

1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

วงจรสังเคราะห์ความถี่เฟสล็อกกลุ่ เมื่อสร้างโดยใช้วงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวนเป็นตัวกำเนิดความถี่ นั้น มีข้อดีคือใช้พื้นที่ในการสร้างชิพน้อยและมีอัตราการสิ้นเปลืองพลังงานต่ำ คุณสมบัติโดยทั่วไปของวงจร คือมีค่าแฟกเตอร์คุณภาพ(Quality factor : Q) ที่ไม่สูงมาก นั่นคือวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวนจะเกิดสัญญาณรบกวนเชิงเฟสที่ต่ำกว่าเมื่อเทียบกับวงจรกำเนิดความถี่แบบตัวเหนี่ยวนำและตัวเก็บประจุ[2] ในปัจจุบันได้มีบทความที่นำเสนอการออกแบบให้วงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวน โดยได้มีการปรับปรุงออกแบบให้เกิดสัญญาณรบกวนเชิงเฟสที่ดีขึ้น โดยใช้เทคนิคการลดสัญญาณรบกวนแบบ $1/f$ นอยส์[3] แต่เทคนิคที่กล่าวมาเป็นการเพิ่มจำนวนทรานซิสเตอร์เข้าไปในวงจรเป็นจำนวนมาก และต้องออกแบบวงจรควบคุมการสัญญาณนาฬิกาในการควบคุมการทำงานส่งผลให้เพิ่มอัตราการสิ้นเปลืองพลังงานมากขึ้น

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรสังเคราะห์ความถี่เฟสล็อกกลุ่ โดยใช้วงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวนในการสร้างความถี่และปรับปรุงวงจรให้เกิดสัญญาณรบกวนเชิงเฟสของวงจรให้ดีขึ้น โดยการใช้เทคนิคการเพิ่มแรงดันสวิงทางด้านออก

1.5 ขอบเขตการวิจัย

วิทยานิพนธ์นี้นำเสนอการศึกษาและออกแบบวงจรสังเคราะห์ความถี่เฟสล็อกกลุ่ โดยมีช่วงในการเลือกความถี่ที่ความถี่ช่วง 2.4 ถึง 2.6 กิกะเฮิรท์ มีอัตราการสิ้นเปลืองพลังงานไม่เกิน 5 มิลลิวัตต์ ใช้แรงดันไฟเลี้ยงวงจรขนาด 1.8 โวลท์ โดยใช้คอมพิวเตอร์ในการจำลองการทำงานด้วยโปรแกรม Cadence Spectre ใช้เทคโนโลยีซีมอส 0.18 ไมโครเมตร

1.6 ขั้นตอนของการศึกษา

เนื้อหาภายในวิทยานิพนธ์ฉบับนี้ได้กล่าวถึงทฤษฎีลำดับขั้นตอนการออกแบบวงจรสังเคราะห์ความถี่เฟสล็อกกลุ่ และแสดงผลการจำลองการทำงานของวงจร โดยแบ่งเนื้อหาออกเป็นบทต่างๆ ดังต่อไปนี้

บทที่ 1 กล่าวถึงที่มาและความเป็นมาของปัญหา ความมุ่งหมายและวัตถุประสงค์ของการศึกษา สมมติฐานของการศึกษา ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย ขอบเขตการวิจัยและขั้นตอนการศึกษา

บทที่ 2 กล่าวถึงทฤษฎีที่เกี่ยวข้องในการออกแบบวงจรสังเคราะห์ความถี่เฟสล็อกกลูบ โดยประกอบด้วย การเกิดออสซิลเลต วงจรประกอบต่างๆ ในวงจรสังเคราะห์ความถี่เฟสล็อกกลูบ สัญญาณรบกวนเชิงเฟสและจิตเตอร์(Jitter)

บทที่ 3 กล่าวถึงวงจรกำเนิดความถี่แบบวงแหวนชนิดต่างๆ ข้อดีและข้อเสียของวงจร และวงจรกำเนิดความถี่แบบวงแหวนที่นำเสนอ

บทที่ 4 กล่าวถึงโครงสร้างของวงจรสังเคราะห์ความถี่เฟสล็อกกลูบที่นำเสนอและผลการจำลองการทำงานของวงจร

บทที่ 5 บทสรุปงานวิจัยและข้อเสนอแนะ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

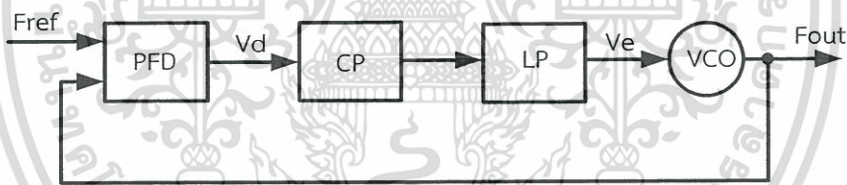
บทที่ 2 ทฤษฎีพื้นฐานที่เกี่ยวข้อง

2.1 บทนำ

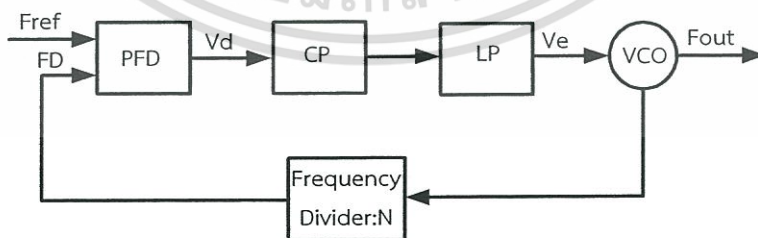
ในบทนี้จะกล่าวถึงวงจรประกอบต่างๆ ในวงจรเฟสล็อกกลุ่ ชนิดของวงจรกำเนิดความถี่แบบต่างๆ การเกิดการออสซิลเลต(Oscillate) เงื่อนไขของการออสซิลเลต(Oscillate Condition) สัญญาณรบกวนของมอสเฟต(MOSFET noise) จิตเตอร์(Jitter) และสัญญาณรบกวนเชิงเฟส (Phase noise) ที่เกิดขึ้นในวงจรกำเนิดความถี่

2.2 โครงสร้างวงจรเฟสล็อกกลุ่

โครงสร้างวงจรวงจรเฟสล็อกกลุ่พื้นฐานโดยทั่วไป ประกอบไปด้วยวงจรหลักๆ ที่สำคัญ ได้แก่ วงจรตรวจจับเฟสสัญญาณความถี่ (Phase Frequency detector : PFD) วงจรอัดประจุ (Charge pump : CP) วงจรกรองความถี่ต่ำผ่าน (Low pass filter : LP) วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน (Voltage controlled oscillator: VCO) ดังแสดงในรูปที่ 2.1 และวงจรวงจรเฟสล็อกกลุ่ที่มีการหารความถี่(Frequency Divider :FD) แสดงในรูปที่ 2.2



รูปที่ 2.1 แสดงผังวงจรวงจรเฟสล็อกกลุ่พื้นฐาน[7]



รูปที่ 2.2 แสดงผังวงจรวงจรเฟสล็อกกลุ่ที่มีการหารความถี่[7]

จากผังวงจรเฟสล็อกกลุ่มพื้นฐานในรูปที่ 2.1 มีหลักการทำงานดังนี้ วงจรตรวจจับเฟสสัญญาณความถี่(PFD) ทำหน้าที่เปรียบเทียบเฟสระหว่างสัญญาณอินพุทอ้างอิง(Fref) กับสัญญาณความถี่ทางด้านออก (Fout) และจะให้สัญญาณความแตกต่างของการเปรียบเทียบเป็นสัญญาณรูปคลื่นแรงดัน Vd โดยแรงดัน Vd จะเป็นอัตราส่วนของความต่างเฟสระหว่างสัญญาณอินพุทอ้างอิงกับสัญญาณความถี่ทางด้านออก โดยมีเงื่อนไขคือในกรณีที่หนึ่ง ความถี่ของสัญญาณอินพุทอ้างอิงมีค่ามากกว่าความถี่ของสัญญาณทางด้านออก มีผลทำให้วงจรอัตราส่วน(CP) เกิดการเก็บประจุ (Charged) ทำให้แรงดันไฟตรง Ve มีค่าเพิ่มขึ้น กรณีที่สอง ความถี่ของสัญญาณอินพุทอ้างอิงมีค่าน้อยกว่าความถี่ของสัญญาณความถี่ทางด้านออก จะทำให้วงจรอัตราส่วนเกิดการคายประจุ (Discharged) ทำให้แรงดันไฟตรง Ve มีค่าลดลง ในกรณีที่สาม ความถี่ของสัญญาณอินพุทอ้างอิงมีค่าเท่ากับความถี่ของสัญญาณทางด้านออก วงจรอัตราส่วนจะไม่มี การอัดหรือคายประจุ ซึ่งจะทำให้แรงดันไฟตรง Ve มีค่าแรงดันคงที่ค่า ๆ หนึ่ง

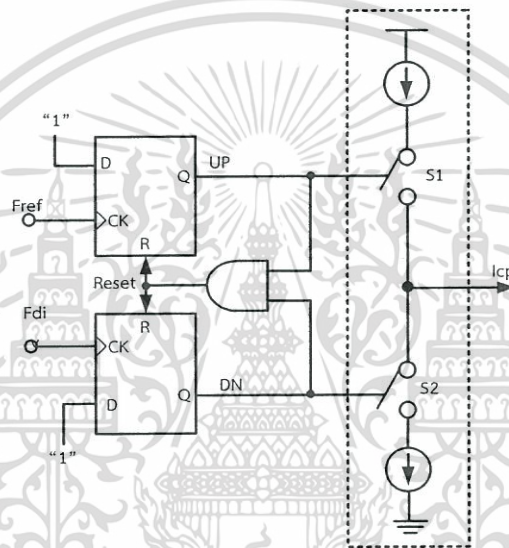
แรงดันที่ได้จากการอัดหรือคายประจุจะถูกกรองเอาองค์ประกอบของความถี่สูงออก โดยวงจรกรองความถี่ต่ำผ่าน(LPF) ซึ่งจะได้เฉพาะองค์ประกอบของแรงดันไฟตรง Ve แล้วถูกป้อนต่อให้กับวงจรกำเนิดสัญญาณความถี่ควบคุมด้วยแรงดัน ทำการเพิ่มความถี่กรณีที่แรงดันไฟตรง Ve มีค่าเพิ่มขึ้น และลดความถี่ลงในกรณีที่แรงดันไฟตรง Ve มีค่าน้อยลง ในกรณีที่แรงดันไฟตรง Ve มีค่าคงที่ ความถี่ทางด้านออก(Fout) จะไม่เปลี่ยนแปลง นั่นก็คือความถี่ทางด้านออกมีค่าเท่ากับความถี่อ้างอิงนั่นเอง

โดยปกติวงจรกำเนิดความถี่ควบคุมด้วยแรงดันจะสามารถให้กำเนิดความถี่ค่า ๆ หนึ่ง ซึ่งขึ้นอยู่กับค่าแรงดัน Ve ในขณะที่ไม่มีการเปรียบเทียบสัญญาณอินพุทอ้างอิงและสัญญาณจากวงจรหารความถี่เรียกสภาวะนี้ว่า ฟรีรันนิ่ง (Free running) กรณีที่แรงดัน Ve ควบคุมให้เกิดการเปลี่ยนแปลงสัญญาณความถี่ทางด้านออกของวงจรกำเนิดความถี่ควบคุมด้วยแรงดันเป็นไปในทิศทางที่ทำให้ผลต่างระหว่างสัญญาณอินพุทอ้างอิงและสัญญาณความถี่ทางด้านออกมีขนาดลดลง นั่นคือสัญญาณความถี่ทางด้านออกจะมีค่าเข้าไปใกล้สัญญาณอินพุทอ้างอิงมากขึ้น เราเรียกสภาวะของลูป (Loop) ในขณะที่วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน เริ่มมีการเปลี่ยนแปลงสัญญาณความถี่ทางด้านออก เรียกสภาวะนี้ว่า สภาวะแคปเจอร์ (Capture State) เมื่อสัญญาณความถี่ทางด้านออกมีค่าเท่ากับสัญญาณอินพุทอ้างอิง และการเปลี่ยนแปลงของสัญญาณความถี่ทางด้านออกไม่มีการเปลี่ยนแปลงความถี่ เราเรียกสภาวะนี้ว่า เฟสล็อก (Phase Locked) จากวงจรเฟสล็อกกลุ่มพื้นฐานในรูปที่ 2.1 พบว่าสามารถสร้างความถี่ทางด้านออกได้เพียงความถี่เดียวเท่านั้น เนื่องจากใช้แหล่งกำเนิดความถี่อ้างอิงนิยมใช้ผลึกคริสตัล (Quartz Crystal) เป็นตัวให้กำเนิดความถี่ ซึ่งจะกำเนิดความถี่เพียงค่าความถี่เดียว ถ้าต้องการให้วงจรเฟสล็อกสามารถสร้างความถี่ทางด้านออกได้หลายความถี่จะต้องเพิ่มวงจรหารความถี่ที่สามารถตั้งค่าอัตราส่วนในการหารความถี่ได้ ดังแสดงในรูปที่ 2.2 จากรูปที่ 2.2 เมื่ออยู่ในสภาวะล็อกความถี่ สามารถหาความถี่ทางด้านออกได้จากสมการที่ 2.1

$$Fout = N \times Fref \quad (2.1)$$

2.3 วงจรตรวจจับเฟสสัญญาณความถี่ (Phase Frequency Detector)

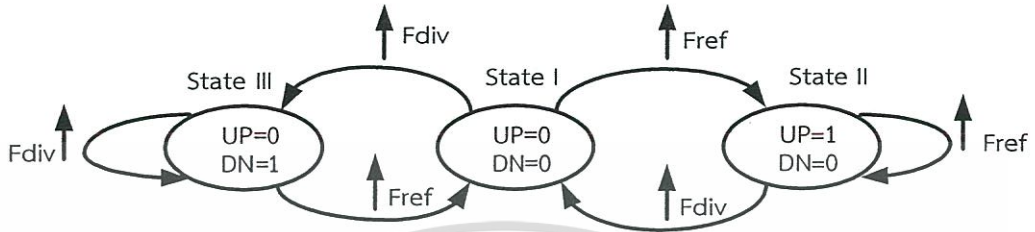
วงจรตรวจจับเฟสหรือเรียกอีกอย่างหนึ่งว่าวงจรตรวจจับเฟสแบบซีควเอนเชียล ทำหน้าที่ สร้างสัญญาณแรงดันความแตกต่างของเฟสความถี่ โดยสัญญาณแรงดันที่เกิดขึ้นจะเป็นสัดส่วนระหว่างสัญญาณอินพุตอ้างอิงกับสัญญาณความถี่ทางด้านออกของวงจรถ่ายความถี่ โดยทั่วไปสัญญาณอินพุตอ้างอิงจะถูกสร้างจากแร่คริสตัล ซึ่งจะให้การกำเนิดความถี่คงที่ ส่วนสัญญาณความถี่ทางด้านออกนั้นได้จากวงจรถ่ายความถี่โดยผ่านวงจรหารความถี่ซึ่งความถี่สามารถเปลี่ยนแปลงได้ วงจรตรวจจับเฟสความถี่ (Sequential phase detector) วงจรจะประกอบด้วย ดีฟลิป-ฟลอป 2 ตัวและแอนด์เกต 1 ตัว โดยที่ขาอินพุตของดีฟลิป-ฟลอปจะถูกป้อนด้วยลอจิก “1” แสดงในรูปที่ 2.3



รูปที่ 2.3 วงจรตรวจจับเฟสความถี่

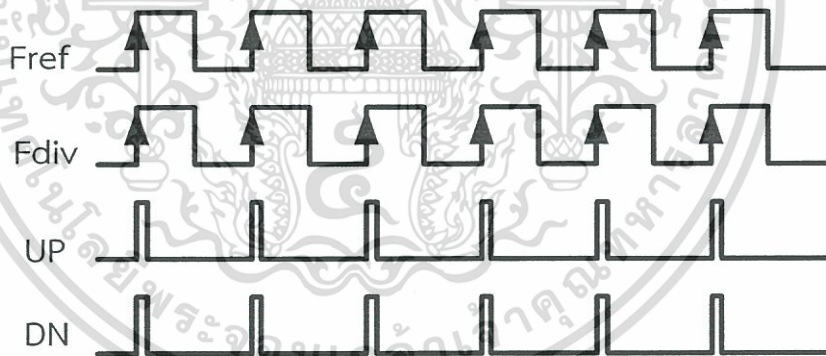
จากรูปที่ 2.3 มีการทำงานดังนี้ สัญญาณความถี่อินพุตอ้างอิง(Fref) และสัญญาณความถี่ที่จะนำมาเปรียบเทียบเฟส(Fdiv) จะถูกป้อนเข้าที่ขาสัญญาณนาฬิกาของดีฟลิปฟลอปทั้งสองตัว ในสถานะแรก สมมติว่าสถานะเริ่มต้นก่อนทำงานสัญญาณ UP และ DN เป็นลอจิก “0” เมื่อตรวจพบขอบขาขึ้นของสัญญาณความถี่อินพุตอ้างอิงจะทำให้สัญญาณทางด้านออก UP มีสถานะเป็นลอจิก “1” ตามสัญญาณอินพุตที่ป้อนเข้าขา D ของดีฟลิป-ฟลอป และจะยังคงสถานะเดิมไปเรื่อย ๆ ซึ่งจะส่งผลให้สัญญาณทางด้านออกของแอนด์เกตมีสถานะเป็นลอจิก “0” เมื่อตรวจพบขอบขาขึ้นของสัญญาณที่จะนำมาเปรียบเทียบเฟส(Fdiv) จะทำให้สัญญาณทางด้านออก DN มีสถานะเป็นลอจิก “1” ซึ่งจะส่งผลให้อินพุตของแอนด์เกตทั้งสองได้รับลอจิก “1” ทั้งคู่ เป็นผลให้สัญญาณทางด้านออกของแอนด์เกตมีสถานะเป็นลอจิก “1” ทำให้ขาเรชของดีฟลิปฟลอปทั้งสองตัวทำงาน ส่งผลให้เอาต์พุตทางด้านออกของดีฟลิปฟลอปทั้งสองถูกรีเซท กลับมาเป็นสถานะลอจิก “0” อีกครั้ง สัญญาณในการรีเซทดีฟลิปฟลอป ที่ได้จากเอาต์พุตของแอนด์เกตจะมีช่วงระยะเวลาสั้น ๆ โดยปกติทั่วไปจะมีค่าเป็นนาโนวินาที เพื่อที่จะให้วงจรตรวจจับเฟส

ความถี่สามารถทำงานได้อย่างต่อเนื่อง ข้อดีของวงจรตรวจจับเฟสความถี่แบบซีควเอนเชียล คือ สามารถตรวจจับความแตกต่างของเฟสได้ตั้งแต่ 0 ถึง 360 องศา เพื่อให้ง่ายต่อความเข้าใจการทำงานของวงจรตรวจจับเฟสความถี่สามารถแสดงการทำงานเป็นไดอะแกรมสภาวะ (State Diagram) ได้ดังรูปที่ 2.4

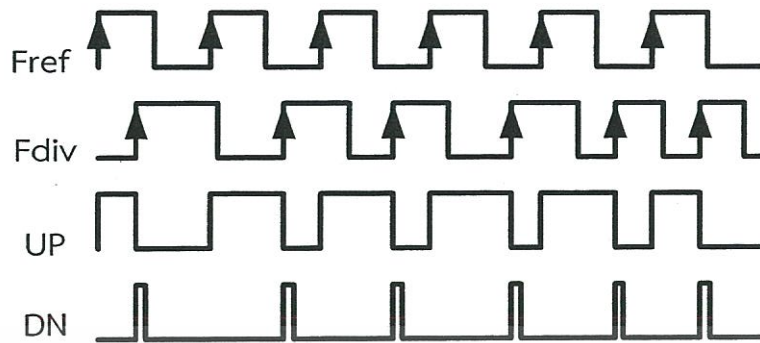


รูปที่ 2.4 แสดงไดอะแกรมสภาวะการทำงานของวงจรตรวจจับเฟสความถี่

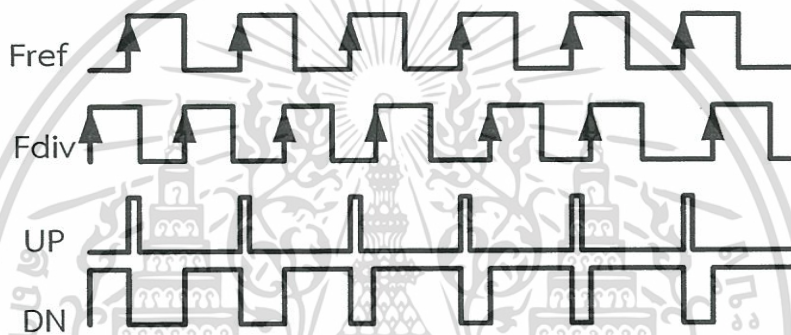
จากการทำงานของวงจรตรวจจับเฟสความถี่ สามารถแสดงไดอะแกรมเวลา (Timing Diagram) ได้ทั้งหมด 3 เงื่อนไข ได้แก่ เมื่อสัญญาณอ้างอิงมีความถี่เท่ากับสัญญาณความถี่ทางด้านออก แสดงในรูปที่ 2.5 (ก) เมื่อสัญญาณอ้างอิงมีความถี่มากกว่าสัญญาณความถี่ทางด้านออก แสดงในรูปที่ 2.5 (ข) และเงื่อนไขเมื่อสัญญาณอ้างอิงมีความถี่น้อยกว่าสัญญาณความถี่ทางด้านออก แสดงในรูปที่ 2.5 (ค)



รูปที่ 2.5 (ก) แสดงไดอะแกรมเวลาเมื่อสัญญาณอ้างอิงมีความถี่เท่ากับสัญญาณความถี่ทางด้านออก

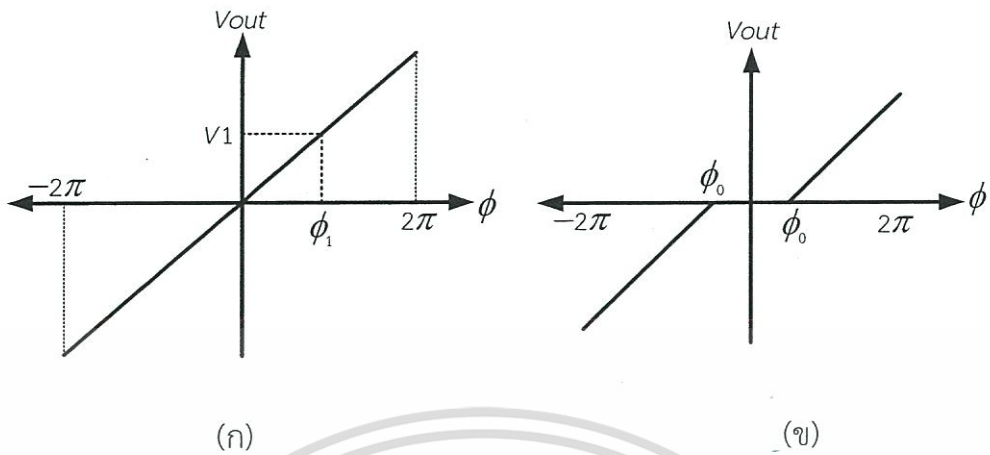


รูปที่ 2.5 (ข) แสดงไต่อะแกรมเวลาเมื่อสัญญาณอ้างอิงมีความถี่มากกว่าสัญญาณความถี่ทางด้านออก

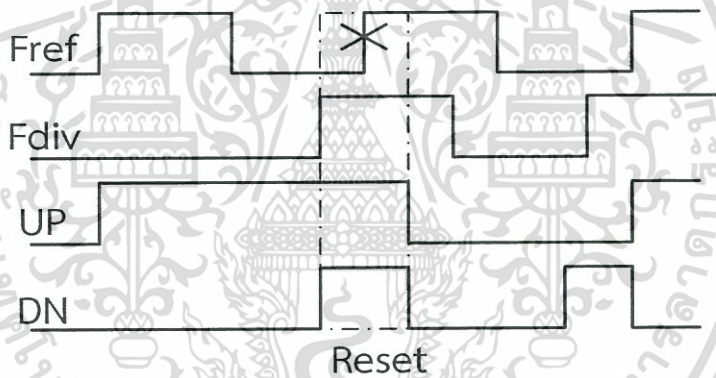


รูปที่ 2.5 (ค) แสดงไต่อะแกรมเวลาเมื่อสัญญาณอ้างอิงมีความถี่น้อยกว่าสัญญาณความถี่ทางด้านออก

แรงดันเฉลี่ยทางด้านออกจะเป็นสัดส่วนระหว่างสัญญาณความถี่อินพุตอ้างอิงและสัญญาณความถี่ที่นำมาเปรียบเทียบเฟส และจะมีความเป็นเชิงเส้นดังแสดงในรูปที่ 2.6 (ก) สัญญาณที่เกิดจากการตรวจจับเฟส UP และ DN จะถูกส่งต่อไปควบคุมสวิทซ์ในการอัดประจุและคายประจุ ในกรณีที่สัญญาณที่ตรวจจับเฟสมีความต่างเฟสกันน้อยก็จะส่งผลให้สัญญาณ UP หรือ DN เกิดพัลส์แรงดันที่แคบทำให้ค่าแรงดันเฉลี่ยน้อยจนไม่สามารถที่จะทำให้มอเตอร์ควบคุมการสวิทซ์ในการอัดประจุและคายประจุได้ บริเวณที่มีเฟสต่างกันน้อยกว่า ϕ_0 นี้ เราเรียกว่า เดทโซน(Dead zone) ผลของการเกิดเดทโซนคือ ไม่สามารถตรวจจับเฟสในช่วงที่มีความแตกต่างของเฟสน้อย ดังแสดงในรูปที่ 2.6 (ข) ในกรณีที่เฟสของสัญญาณความถี่อ้างอิงและสัญญาณความถี่ที่นำมาเปรียบเทียบมีเฟสนำหน้าหรือล่าหลังมาก ๆ หรือเข้าใกล้ 360 องศา ถ้าช่วงเวลาของสัญญาณในการรีเซ็ตของดี ฟลิป-ฟลอปมีค่าความหน่วงเวลามากจนเกินไปจะมีผลทำให้วงจรเกิดการตรวจจับเฟสผิดพลาด นั่นก็คือการรีเซ็ตสัญญาณในช่วงที่ตรวจพบขอบขาขึ้นของสัญญาณอินพุตอ้างอิงหรือสัญญาณความถี่ที่นำมา เปรียบ เทียบพอดี เราเรียกสภาวะการทำงานช่วงนี้ว่า บลายโซน (Blind zone) ดังแสดงใน รูปที่ 2.7 จากปัญหาเดทโซนและบลายโซน เป็นปัญหาหนึ่งที่จะส่งผลให้เกิดสัญญาณรบกวนเชิงเฟสในวงจรเฟสล็อกลูปนั่นเอง



รูปที่ 2.6 (ก) แสดงแรงดันเฉลี่ย (ข) แสดงการเกิดเดดโซน(Dead zone)

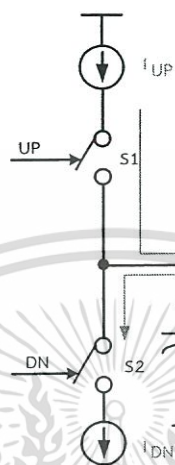


รูปที่ 2.7 แสดงการเกิดบไลนด์โซน(Blind zone)[7]

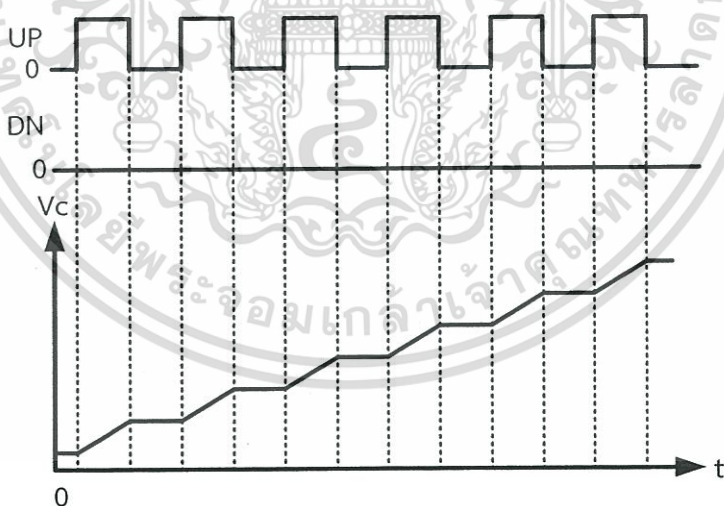
2.4 วงจรอัดประจุ (Charge pump)

แนวคิดพื้นฐานของวงจรอัดประจุแสดงในรูปที่ 2.8 ซึ่งวงจรประกอบด้วยสวิตช์ S1 และ S2 และแหล่งจ่ายกระแส I_{UP} และ I_{DN} สวิตช์ S1 และ S2 ทำหน้าที่เป็นสวิตช์ควบคุมการอัดประจุหรือคายประจุ โดยสัญญาณ UP และ DN จากวงจรตรวจจับเฟสความถี่จะเป็นตัวควบคุมจังหวะการทำงานของสวิตช์ทั้ง 2 เมื่อสวิตช์ S1 ปิด สวิตช์ S2 เปิด จะเกิดการอัดประจุ ผ่านสวิตช์ S1 ไปเก็บไว้ที่ตัวเก็บประจุโหลด C ซึ่งมีค่ากระแสในช่วงอัดประจุเท่ากับ I_{UP} และเมื่อสวิตช์ S1 เปิด สวิตช์ S2 ปิด จะเกิดการคายประจุจากตัวเก็บประจุ C ผ่านสวิตช์ S2 ลงกราวด์ โดยมีค่ากระแสในช่วงคายประจุเท่ากับ I_{DN} ทางทฤษฎีกระแสในช่วงการอัดประจุและคายประจุจะต้องเท่ากัน นั่นคือ $I_{UP} = I_{DN} = I_{CP}$ กระแส I_{out} จะเปลี่ยนเป็นแรงดันไฟตรงโดยตัวเก็บประจุโหลด C เพื่อป้อนให้กับวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน ในขณะที่เกิด

การเลือกความถี่แรงดันควบคุมวงจรถูกกำหนดความถี่จะต้องมีค่าคงที่ หรือมีเฉพาะสัญญาณรบกวน(Noise) ที่เกิดขึ้นในวงจร แต่ในทางปฏิบัติแรงดันควบคุมวงจรถูกกำหนดความถี่ที่จะเกิดริบเบิล(Ripple) ขึ้นด้วย

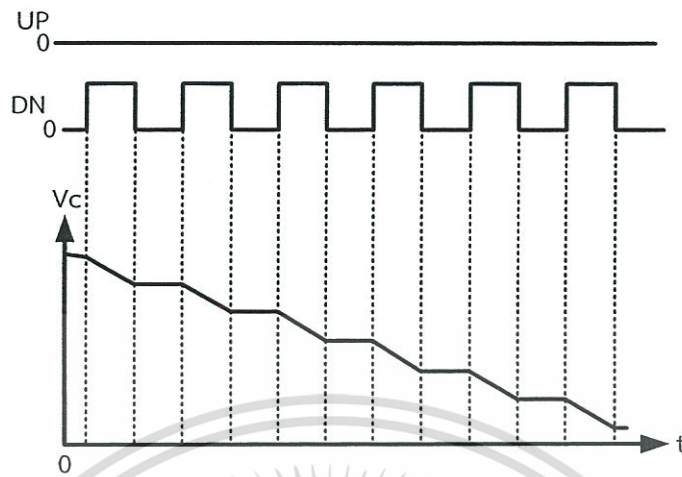


รูปที่ 2.8 แสดงแนวคิดพื้นฐานของวงจรอัดประจุ[8]



รูปที่ 2.9 แสดงสัญญาณแรงดัน V_c เมื่ออยู่ในสภาวะอัดประจุ

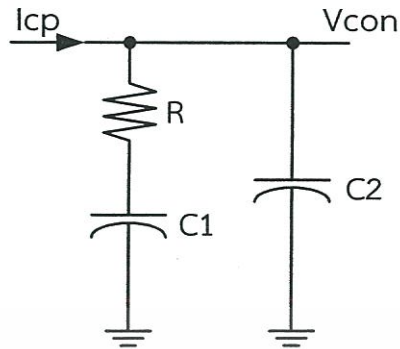
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงสัญญาณแรงดัน V_c เมื่ออยู่ในสภาวะคายประจุ

2.5 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter: LPF)

วงจรกรองความถี่ต่ำผ่านเป็นอีกวงจรหนึ่งที่มีความสำคัญในวงจรเฟสล็อกกลูบ โดยวงจรกรองความถี่ต่ำผ่านมีสองหน้าที่คือกรองเอาองค์ประกอบของความถี่สูงออก ซึ่งจะได้เฉพาะองค์ประกอบของแรงดันไฟตรงและกำหนดรูปแบบดิวิทของระบบ วงจรกรองความถี่ต่ำผ่านสามารถแบ่งออกได้เป็น 2 แบบคือ แบบพาสซีฟ(Passive) คือวงจรที่ประกอบขึ้นด้วยอุปกรณ์แบบพาสซีฟ ซึ่งหมายถึงอุปกรณ์ที่สามารถทำงานได้โดยไม่ต้องมีการกระตุ้นด้วยไฟฟ้าเพื่อให้ทำงานได้แก่ อุปกรณ์ประเภท ตัวต้านทาน(R) ตัวเก็บประจุ(C) และขดลวดเหนี่ยวนำ (L) ส่วนอีกแบบหนึ่งคือแบบแอคทีฟ(Active) เป็นวงจรที่ประกอบขึ้นด้วยอุปกรณ์ที่ต้องการแหล่งจ่ายไฟฟ้าเพื่อกระตุ้นการทำงานของตัวอุปกรณ์ ได้แก่ อุปกรณ์ประเภททรานซิสเตอร์ หรือ ไอซี วงจรกรองความถี่ต่ำผ่านแบบพาสซีฟ(Passive Low Pass Filter) นิยมใช้งานอย่างกว้างขวางสำหรับใช้กรองความถี่ในวงจรเฟสล็อกกลูบเนื่องจากสร้างง่าย วงจรกรองความถี่ต่ำผ่านแบบพาสซีฟลำดับที่สอง แสดงในรูปที่ 2.11 โดยวงจรประกอบด้วยตัวต้านทาน R ต่ออนุกรมกับตัวเก็บประจุ C1 และมีตัวเก็บประจุ C2 ต่อขนานกับตัวต้านทาน R และ C1 ตัวต้านทาน R จะทำหน้าที่รักษาเสถียรภาพของรูปและตัวเก็บประจุ C2 ทำหน้าที่ลดแรงดันกระเพื่อม(Ripple)ของสัญญาณแรงดัน เพื่อนำไปควบคุมวงจรกำเนิดความถี่ต่อไป

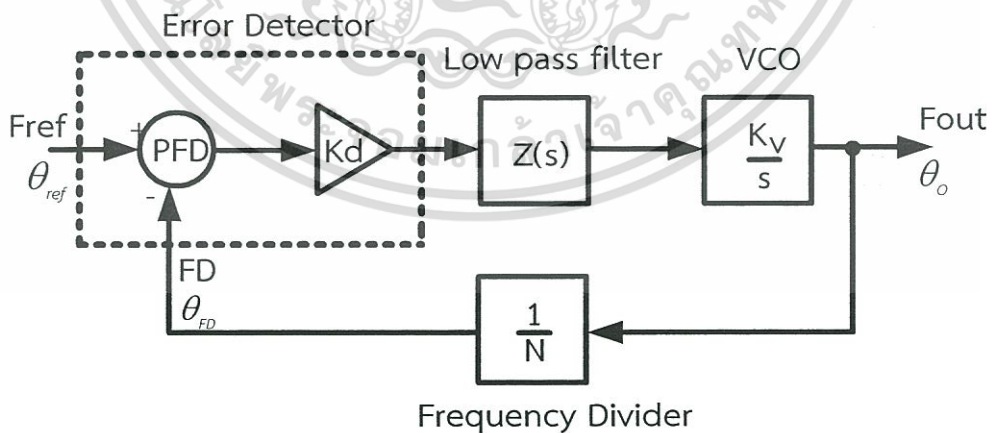


รูปที่ 2.11 แสดงวงจรกรองความถี่ต่ำผ่านลำดับที่สอง[27]

จากวงจรกรองความถี่ต่ำผ่านลำดับที่สองในรูปที่ 2.11 สามารถเขียนฟังก์ชันการถ่ายได้ดังสมการที่ 2.2

$$\frac{V_{con}}{I_{cp}} = Z(s) = \frac{(s\tau_2 + 1)(sC_1R + 1)}{s\tau_1(s\tau_3 + 1) \left(s(C_1 + C_2) \left(\frac{sC_1C_2R}{C_1 + C_2} + 1 \right) \right)} \quad (2.2)$$

จากฟังก์ชันการทำงานของวงจรเฟสล็อกในรูปที่ 2.2 สามารถเขียนอยู่ในรูปฟังก์ชันการถ่ายโอน (Transfer function) ได้ดังแสดงในรูปที่ 2.12



รูปที่ 2.12 แสดงฟังก์ชันการถ่ายโอนของวงจรเฟสล็อก[6]

จากฟังก์ชันการถ่ายโอนในรูปที่ 2.12 สามารถเขียนให้อยู่ในรูปฟังก์ชันการถ่ายโอนแบบลูปปิด (Closed Loop Transfer Function) ได้ดังแสดงในสมการที่ 2.3

$$H(s) = \frac{\theta_o}{\theta_{ref}} = N \frac{T(s)}{1+T(s)} \quad (2.3)$$

เมื่อ $T(s)$ คือเกณฑ์การขยายลูป (Loop Gain) มีค่าเท่ากับ

$$T(s) = K_d Z(s) \frac{K_v}{s} \frac{1}{N} \quad (2.4)$$

ฟังก์ชันการถ่ายโอนแบบลูปเปิด (Open Loop Transfer Function) ในรูปที่ 2.12 แสดงดังสมการที่ 2.5

$$T(s) = K_d Z(s) \frac{K_v}{s} \quad (2.5)$$

เมื่อแทนค่า $Z(s)$ จากสมการที่ 2.1 ในสมการที่ 2.5 จะได้ฟังก์ชันการถ่ายโอนแบบลูปเปิดดังแสดงในสมการที่ 2.5

$$T(s) = \frac{K_d K_v}{s} \frac{(sC_1 R + 1)}{s(C_1 + C_2) \left(\frac{sC_1 C_2 R}{C_1 + C_2} + 1 \right)} \quad (2.6)$$

จากสมการที่ 2.6 สามารถหาฟังก์ชันถ่ายโอนลูปปิด ได้ดังแสดงในสมการที่ 2.7

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ธรรมชาติของระบบ (Natural frequency: ω_n) หาได้จากสมการที่ 2.8

$$\omega_n = \sqrt{\frac{K_d K_v}{NC_1}} \quad (2.8)$$

จุดตัดความถี่ (Crossover frequency : ω_c) หาได้จากสมการที่ 2.9

$$\omega_c = 2\zeta\omega_n \quad (2.9)$$

ค่าแดมป์ (Damping factor : ζ) หาได้จากสมการที่ 2.10

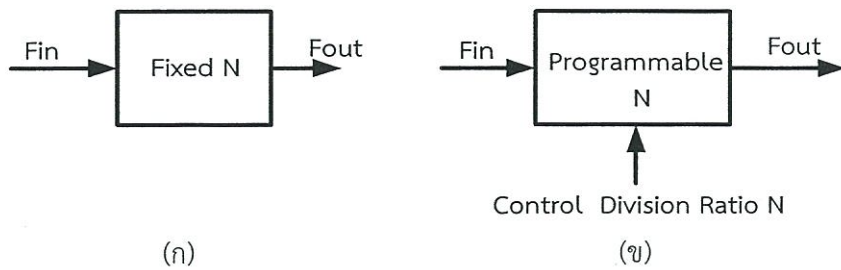
$$\zeta = \frac{1}{2} \sqrt{\frac{K_d K_v R^2 C_1}{N}} \quad (2.10)$$

ความถี่คัตออฟ -3dB (Cutoff frequency: ω_{-3dB}) ของวงจรรองความถี่ลำดับที่สองหาได้จากสมการที่ 2.11

$$\omega_{-3dB} = \omega_n \sqrt{2\zeta^2 + 1 + \sqrt{(2\zeta^2 + 1)^2 + 1}} \quad (2.11)$$

2.6 วงจรหารความถี่(Frequency divider)[7]

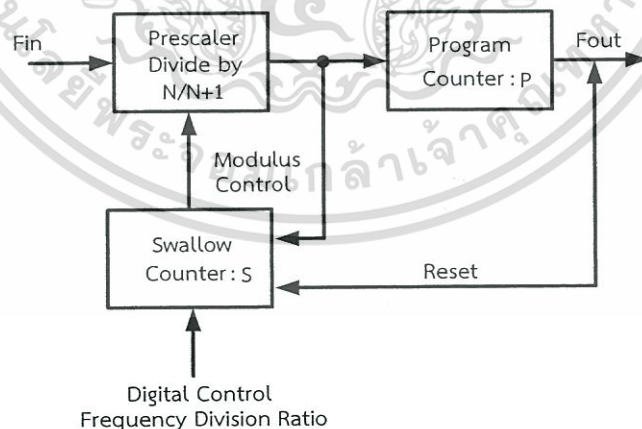
วงจรหารความถี่ทำหน้าที่ลดทอนความถี่สูงที่ได้จากวงจรรำเนิดความถี่ควบคุมด้วยแรงดันให้มีค่าความถี่ต่ำลง เพื่อจะนำไปเปรียบเทียบกับสัญญาณความถี่อินพุตอ้างอิงที่รับเข้ามา กับที่วงจรตรวจจับเฟส วงจรหารความถี่สามารถแบ่งออกได้เป็นแบบปรับอัตราส่วนการหารไม่ได้ (Fixed-N) และแบบปรับอัตราส่วนการหารความถี่ได้(Tunable) ดังแสดงในรูปที่ 2.13



รูปที่ 2.13 แสดงตัวหารความถี่ (ก) Fixed-N (ข) Programmable

การหารความถี่แบบปรับอัตราส่วนการหารไม่ได้หรือแบบมีอัตราการหารคงที่มีจุดเด่นคือ มีโครงสร้างง่าย ไม่ซับซ้อน วงจรมีขนาดเล็ก อัตราการสูญเสียพลังงานต่ำ แต่มีจุดด้อยคือมีอัตราการหารคงที่ไม่สามารถปรับอัตราส่วนการหารได้ ทำให้สามารถสร้างควมถี่ทางด้านออกเพียงความถี่เดียวเท่านั้น ส่วนการหารความถี่แบบโปรแกรมอัตราส่วนการหารความถี่ได้ วงจรจะมีโครงสร้างที่มีความซับซ้อนมากกว่าแบบปรับอัตราส่วนการหารไม่ได้ แต่จะมีจุดเด่นคือ สามารถปรับอัตราส่วนในการหารความถี่ได้ ทำให้สามารถสร้างสัญญาณความถี่ทางด้านออกได้หลายความถี่

วงจรถหารความถี่แบบโปรแกรมอัตราส่วนการหารความถี่ได้สามารถแบ่งออกเป็นโครงสร้างแบบ Pulse Swallow และโครงสร้างแบบ Sigma Delta Pulse Swallow โครงสร้างแบบ Pulse swallow จะมีโครงสร้างที่ง่ายกว่าแบบ Sigma delta แต่ข้อจำกัดโครงสร้างแบบ Pulse swallow คือ การเปลี่ยนค่าการหารทำได้เฉพาะค่าจำนวนเต็มเท่านั้น ส่วนโครงสร้างแบบ Sigma delta นั้น มีโครงสร้างที่ซับซ้อนกว่าแต่การเปลี่ยนค่าในการหารความถี่สามารถทำได้ละเอียดกว่า วงจรถหารความถี่แบบ Pulse Swallow แสดงในรูปที่ 2.14



รูปที่ 2.14 แสดงการหารความถี่แบบ Pulse Swallow

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหารความถี่แบบ Pulse Swallow มีหลักการทำงานดังนี้ ในสถานะเริ่มต้น Program Counter: P และ Pulse Swallow : S จะถูกรีเซ็ตค่าให้อยู่ในสถานะเริ่มต้น ในการออกแบบค่าของ P จะต้องมากกว่า S เสมอ เมื่อวงจรเริ่มต้นทำงาน Program Counter: P และ Pulse Swallow : S จะเริ่มนับ โดยที่วงจร Prescaler จะหารความถี่ด้วยอัตราส่วน N+1 เมื่อวงจร Pulse Swallow : S นับถึงค่าสูงสุดที่ได้ออกแบบไว้ วงจร Prescaler จะหารความถี่ด้วยอัตราส่วน N Program Counter: P จะนับต่อไปเรื่อยๆ จนถึงค่าสูงสุดที่ออกแบบและวงจรนับทั้งหมดจะถูกรีเซ็ต เพื่อเริ่มต้นทำงานใหม่ จำนวนพัลส์รวมสามารถหาได้จากสมการที่ 2.12

$$Total\ pulse = (N + 1)S + (P - S)N \quad (2.12)$$

จากสมการที่ 2.1 เมื่อใช้การหารความถี่แบบ Pulse Swallow สัญญาณความถี่ทางด้านเอาต์พุตสามารถหาได้จากสมการที่ 2.13

$$F_{out} = (N \cdot P + S) \cdot F_{ref} \quad (2.13)$$

2.7 วงจรกำเนิดความถี่ (Oscillator)

วงจรที่ถูกสร้างขึ้นมาเพื่อทำหน้าที่ให้กำเนิดสัญญาณความถี่รูปไซน์ หรือเรียกอีกอย่างหนึ่งว่าวงจรออสซิลเลเตอร์ (Oscillator) เป็นวงจรอิเล็กทรอนิกส์ซึ่งมีความจำเป็นอย่างยิ่งอยู่ในอุปกรณ์สื่อสาร ระบบโทรคมนาคม เครื่องมือวัดและอุปกรณ์อื่น ๆ เกือบทุกชนิด วงจรสังเคราะห์ความถี่เฟสล็อกถูกใช้เป็นวงจรหนึ่งที่มีวงจรถูกกำเนิดสัญญาณความถี่เป็นส่วนประกอบที่สำคัญยิ่ง ดังนั้นจึงจำเป็นต้องศึกษาการทำงานพื้นฐานของวงจรถูกกำเนิดสัญญาณความถี่และผลกระทบต่างๆ ที่เกิดจากวงจรถูกกำเนิดสัญญาณความถี่ [4]

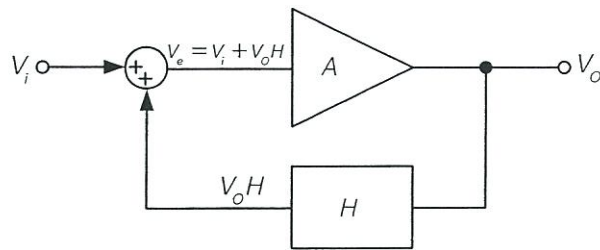
2.7.1 ชนิดของวงจรถูกกำเนิดความถี่

วงจรถูกกำเนิดสัญญาณความถี่สามารถจำแนกออกเป็น 2 ชนิด คือ วงจรถูกกำเนิดสัญญาณความถี่ที่เป็นรูปคลื่นไซน์และวงจรถูกกำเนิดสัญญาณความถี่ไม่เป็นรูปคลื่นไซน์

วงจรถูกกำเนิดสัญญาณความถี่รูปไซน์ที่นิยมสร้างได้แก่ วงจรถูกกำเนิดสัญญาณแบบตัวเหนี่ยวนำและตัวเก็บประจุ (LC oscillator) และแบบวงแหวน (Ring oscillator)

2.7.2 เงื่อนไขการกำเนิดความถี่[5]

วงจรถูกกำเนิดความถี่จะเกิดความถี่ได้โดยอาศัยคุณสมบัติความไม่เป็นเชิงเส้นของวงจรขยายที่มีการป้อนกลับแบบบวก(Positive feedback) ในรูปที่ 2.15 แสดงหลักการพื้นฐานของวงจรขยายที่มีการป้อนกลับแบบบวก



รูปที่ 2.15 แสดงวงจรพื้นฐานของวงจรขยายป้อนกลับแบบบวก

จากรูปที่ 2.15 เกณฑ์การขยายของวงจรมีค่าเท่ากับ A และมีเกณฑ์การขยายป้อนกลับเท่ากับ H ในกรณีลูปเปิด (Open loop) สัญญาณอินพุต V_i จะมีค่าเท่ากับ V_e สามารถหาค่าเกณฑ์ขยายลูปเปิดได้จากสมการที่ 2.14

$$V_o = AV_e \quad (2.14)$$

ในกรณีลูปปิด (Close loop) สัญญาณ V_e จะเกิดจากการบวกกันของสัญญาณอินพุตและสัญญาณป้อนกลับทางเอาต์พุตดังแสดงในสมการที่ 2.15

$$V_e = V_i + V_o H \quad (2.15)$$

เมื่อแทนค่าสมการที่ 2.15 ลงในสมการที่ 2.14 จะได้สมการที่ 2.16

$$V_o = A(V_i + V_o H) \quad (2.16)$$

จากสมการที่ 2.14 สามารถหาฟังก์ชันการถ่ายโอน (Transfer function) ของอัตราขยายลูปปิด A_c ได้ดังแสดงในสมการที่ 2.17

$$A_c = \frac{A}{1 - AH} \quad (2.17)$$

จากสมการที่ 2.17 ถ้าเกณฑ์การขยายป้อนกลับ AH มีค่ามากกว่าหรือเท่ากับ 1 จะมีผลทำให้ตัวหารมีค่าเท่ากับศูนย์ ซึ่งจะส่งผลให้เกณฑ์การขยายลูปปิดมีค่าเป็นอนันต์ ($A_c = \infty$) ซึ่งถือว่าหาค่าไม่ได้ จะมีผลทำให้วงจรมีค่าสัญญาณทางเอาต์พุตไม่เท่ากับศูนย์ แม้ไม่มีการป้อนสัญญาณอินพุต V_i โดยเรียกสภาวะนี้ว่า วงจรเกิดการออสซิลเลต นั่นก็คือวงจรสามารถสร้างสัญญาณความถี่ได้ด้วยตัวของมันเอง โดยวงจรจะเริ่มออสซิลเลตจากค่าแอมพลิจูดเป็นศูนย์และค่อยๆ เพิ่มค่าขึ้นไปเรื่อยๆ จนถึงจุดอิ่มตัว ซึ่ง

จุดอิมตัวจะถูกกำหนดโดยแหล่งจ่ายที่ป้อนให้กับวงจรและจะยังคงสภาพนี้ตลอดไป เงื่อนไขการออสซิลเลตนี้เรียกว่า บาร์เฮาเซนไครทีเรีย (Barkhausen criterion) ในกรณีที่เกณฑ์การขยายป้อนกลับ AH มีค่าน้อยกว่าหนึ่ง จะส่งผลให้วงจรไม่เกิดการออสซิลเลต

โดยทั่วไปเกณฑ์การขยาย AH จะอยู่ในรูปจำนวนเชิงซ้อนซึ่งประกอบด้วยขนาดของสัญญาณและมุมเฟสของสัญญาณเนื่องจากวงจรออสซิลเลเตอร์ประกอบด้วยตัวเก็บประจุ ตัวเหนี่ยวนำและตัวต้านทาน โดยสามารถแยกเงื่อนไขการออสซิลเลตได้ดังสมการที่ 2.18 และ 2.19

$$\operatorname{Re}[AH] \geq 1 \quad (2.18)$$

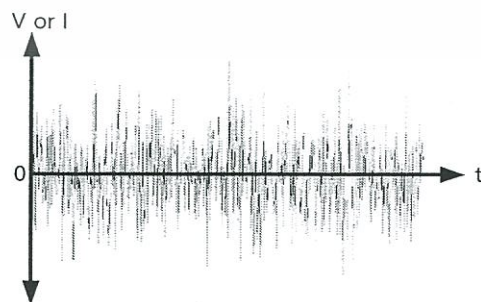
$$\operatorname{Im}[AH] = 0 \quad (2.19)$$

จากสมการที่ 2.18 เป็นเงื่อนไขการออสซิลเลตด้านอัตราการขยายซึ่งจะต้องมีค่ามากกว่าหรือเท่ากับหนึ่ง สมการที่ 2.19 เป็นเงื่อนไขด้านมุมเฟสของสัญญาณป้อนกลับจะต้องมีมุมเฟสของสัญญาณเท่ากับศูนย์หรือมีการเลื่อนเฟสสัญญาณไป 360 องศานั่นเอง ในการต่อใช้งานจริงจำเป็นจะต้องนำวงจรบัฟเฟอร์ซึ่งมีค่าเกณฑ์การขยายเท่ากับหนึ่งมาต่อที่เอาต์พุตของวงจรกำเนิดสัญญาณความถี่ ทั้งที่เพื่อทำให้ไหลลื่นที่มากต่อ ณ จุดทางออกจะได้ไม่มีผลกระทบใดๆ กับวงจรกำเนิดสัญญาณความถี่

2.8 สัญญาณรบกวน (Noise) [9,10]

สัญญาณรบกวนคือ สัญญาณที่เราไม่ต้องการที่เกิดขึ้นในระบบหรือวงจร ซึ่งมีผลกระทบทำให้ประสิทธิภาพการทำงานของวงจรลดลง เช่น ความเร็วในการทำงานลดลง หรือสัญญาณเกิดความผิดเพี้ยน เป็นต้น

สัญญาณรบกวนจะอยู่ในรูปสัญญาณแบบสุ่ม (Random Signal) แสดงในรูปที่ 2.13 โดยทั่วไปค่าแรงดันหรือกระแสของสัญญาณรบกวนตลอดช่วงคาบเวลา สามารถหาได้จากค่าเฉลี่ยและจะมีค่าเท่ากับศูนย์ ดังนั้นในการวัดสัญญาณรบกวนจะวัดในรูปของค่าเฉลี่ยเชิงราก (Root Mean Square : RMS) สามารถหาค่าเฉลี่ยเชิงรากของสัญญาณรบกวนในรูปแรงดันและกระแสได้ดังแสดงในสมการที่ 2.20 และ 2.21



รูปที่ 2.16 แสดงสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{n(RMS)} = \sqrt{\lim_{T \rightarrow \infty} \frac{1}{T} \int_{-T/2}^{T/2} v_n^2(t) dt} \quad (2.20)$$

$$i_{n(RMS)} = \sqrt{\lim_{T \rightarrow \infty} \frac{1}{T} \int_{-T/2}^{T/2} i_n^2(t) dt} \quad (2.21)$$

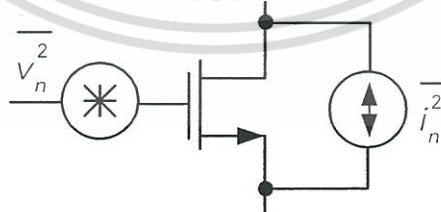
โดยที่ T คือ คาบเวลาของ $v_n(t)$ และ $i_n(t)$

ในวงจรอิเล็กทรอนิกส์โดยทั่วไป จะพบว่าค่าเฉลี่ยเชิงรากของสัญญาณรบกวนมีขนาดที่น้อยมากอยู่ในช่วงหน่วย นาโน(nano) หรือ พิโค(pico) เท่านั้น

วงจรอิเล็กทรอนิกส์ที่สร้างจากมอสทรานซิสเตอร์โดยทั่วไป จะพบว่าเกิดสัญญาณรบกวน อยู่ 2 ชนิด คือ สัญญาณรบกวนเชิงอุณหภูมิ(Thermal Noise)หรือเรียกอีกอย่างหนึ่งว่า สัญญาณรบกวนขาว (White Noise) และสัญญาณรบกวนกระพริบ(Flicker Noise) สัญญาณรบกวนที่เกิดขึ้นนี้มีสาเหตุมาจากคุณสมบัติของสารกึ่งตัวนำที่นำมาสร้างอุปกรณ์อิเล็กทรอนิกส์นั่นเอง เราสามารถที่จะจำกัดสัญญาณรบกวนในวงจรให้ลดลงได้ แต่ไม่สามารถกำจัดให้หมดไปได้ โดยใช้เทคนิคการออกแบบวงจรหรือเทคนิคการเลย์เอาต์วงจร (Layout Circuit)

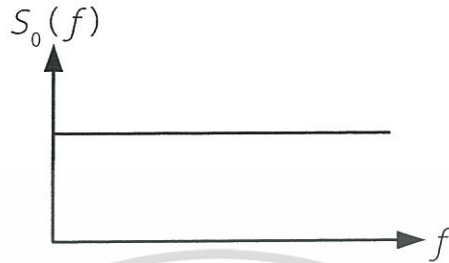
2.8.1 สัญญาณรบกวนเชิงอุณหภูมิ(Thermal noise)

สัญญาณรบกวนเชิงอุณหภูมิหรือสัญญาณรบกวนขาว เกิดจากการเคลื่อนที่แบบสุ่มหรือเคลื่อนที่แบบไม่เป็นระเบียบของอิเล็กตรอน (Carriers) ในสารกึ่งตัวนำ ซึ่งจะส่งผลให้เกิดสัญญาณรบกวนกระแสภายในช่องทางเดินของกระแสของมอสทรานซิสเตอร์ สัญญาณรบกวนเชิงอุณหภูมิที่เกิดจากมอสทรานซิสเตอร์มักถูกจำลองด้วยแหล่งจ่ายกระแสที่ต่อระหว่างขาเดรนและขาซอสของมอสทรานซิสเตอร์ ดังแสดงในรูปที่ 2.17



รูปที่ 2.17 สัญญาณรบกวนของมอสทรานซิสเตอร์

สเปกตรัมความหนาแน่นกำลังงานของสัญญาณรบกวน (Power spectrum density: PSD) ของสัญญาณรบกวนเชิงอุณหภูมิจะมีลักษณะของสัญญาณคงที่ตลอดทุกย่านความถี่ แสดงดังรูปที่ 2.18



รูปที่ 2.18 แสดงสเปกตรัมของสัญญาณรบกวนเชิงอุณหภูมิ

สเปกตรัมกำลังงานของสัญญาณรบกวนเชิงอุณหภูมิของมอสทรานซิสเตอร์สามารถหาได้จากสมการที่ 2.22

$$\frac{\overline{i_n^2}}{\Delta f} = 4kT\alpha\gamma g_m \quad (2.22)$$

เมื่อ k คือ ค่าคงที่ของโบลท์มาน (Boltzmann Constant) มีค่าเท่ากับ $1.38 \times 10^{-23} \text{ JK}^{-1}$

T คือ อุณหภูมิมีหน่วยเป็น องศาเคลวิน

g_m คือ ค่าความนำกระแสของมอสทรานซิสเตอร์ (Transconductance)

α คือ ค่า $\frac{g_{sd}}{g_m}$, g_{sd} คือ ค่าความนำของชาเดรน-ซอส เมื่อ $V_{ds} = 0V$

γ คือ ตัวประกอบของสัญญาณรบกวนส่วนเกิน

Δf คือ แบนด์วิธ (Bandwidth)

จากสมการที่ 2.22 จะเห็นว่ากำลังเฉลี่ยของสัญญาณเชิงอุณหภูมิจะมีค่าแปรผันตรงกับอุณหภูมิโดยที่ไม่เปลี่ยนแปลงเมื่อความถี่เปลี่ยนแปลง จึงทำให้สัญญาณรบกวนเชิงอุณหภูมิจะมีลักษณะของสัญญาณคงที่ตลอดทุกย่านความถี่ ซึ่งมีลักษณะเป็นสัญญาณขาว

ค่าตัวแปร γ เป็นค่าตัวแปรที่มีค่าขึ้นกับความยาวของช่องทางเดินกระแส (L) ของมอสทรานซิสเตอร์ ซึ่งจะมีค่าประมาณ 2/3 เมื่อความยาวของช่องทางเดินกระแสมีค่ามากกว่า 1 ไมโครเมตร หรืออาจจะมีค่า 2-5 เมื่อช่องความยาวของทางเดินกระแสมีค่าน้อยกว่า 1 ไมโครเมตร

2.8.2 สัญญาณรบกวนกระพริบ (Flicker Noise)

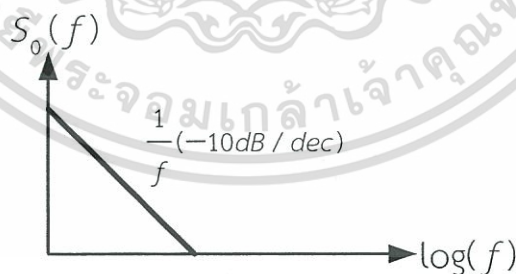
สัญญาณรบกวนกระพริบ(Flicker noise) ในมอสทรานซิสเตอร์เกิดจากประจุพาหะบางส่วนเคลื่อนที่ผ่านพันธะที่ไม่สมบูรณ์ที่บริเวณรอยต่อของชั้นสารซิลิคอน (ช่องทางเดินของกระแส)และชั้นซิลิคอนออกไซด์(ชั้นเกตของมอสทรานซิสเตอร์) ทำให้ประจุพาหะถูกยึดตัวไว้(Trapped) และบางส่วนถูกปล่อยออกมา(Released) แบบสุ่มจากบริเวณรอยต่อ การยึดตัวและปล่อยตัวของประจุพาหะแบบสุ่มส่งผลให้เกิดสัญญาณรบกวนกระพริบในช่องทางเดินของกระแส สัญญาณรบกวนกระพริบมักถูกจำลองด้วยแหล่งจ่ายแรงดันที่ต่ออนุกรมกับขากเกตของมอสทรานซิสเตอร์ ดังแสดงในรูปที่ 2.17

สเปกตรัมกำลังงานเฉลี่ยของสัญญาณรบกวนกระพริบของมอสทรานซิสเตอร์แสดงดังสมการที่ 2.23

$$\frac{\overline{V_n^2}}{\Delta f} = \frac{K_f}{C_{ox}WL} \cdot \frac{1}{f} \quad (2.23)$$

เมื่อ K_f คือ ค่าคงที่และมีค่าขึ้นอยู่กับกระบวนการผลิต

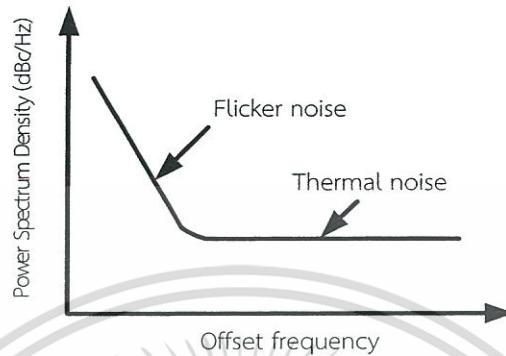
จากสมการที่ 2.23 จะพบว่าสเปกตรัมกำลังงานเฉลี่ยของสัญญาณรบกวนกระพริบของมอสทรานซิสเตอร์มีค่าแปรผกผันกับความถี่ ดังนั้นสัญญาณรบกวนกระพริบจึงมักถูกเรียกว่า สัญญาณรบกวนแบบ $1/f$ (หนึ่งส่วนเอฟ) สัญญาณรบกวนหลักของมอสทรานซิสเตอร์เมื่อใช้งานที่ความถี่ต่ำมักเกิดจากสัญญาณรบกวนกระพริบและยังพบว่าสเปกตรัมกำลังงานเฉลี่ยของสัญญาณรบกวนกระพริบจะแปรผกผันกับพื้นที่หน้าตัด (W/L) ของมอสทรานซิสเตอร์ และขนาดของตัวเก็บประจุต่อหนึ่งหน่วยพื้นที่ (C_{ox}) ของมอสทรานซิสเตอร์ นั่นก็คือ เมื่อมอสทรานซิสเตอร์มีขนาดใหญ่ มักจะเกิดสัญญาณรบกวนกระพริบต่ำ สเปกตรัมกำลังงานเฉลี่ยของสัญญาณรบกวนกระพริบ แสดงดังรูปที่ 2.19



รูปที่ 2.19 สเปกตรัมกำลังงานเฉลี่ยของสัญญาณรบกวนกระพริบ

สเปกตรัมของสัญญาณรบกวนเชิงอนุกรมและสัญญาณรบกวนกระพริบที่เกิดขึ้นในมอสทรานซิสเตอร์ แสดงในรูปที่ 2.20 ซึ่งจะพบว่าที่ความถี่ต่ำ (ต่ำกว่าความถี่มุม (Corner frequency))

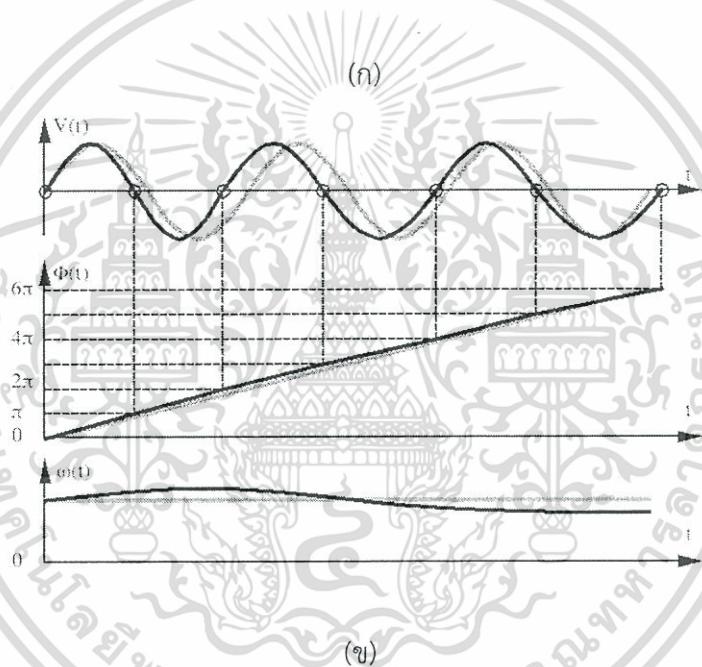
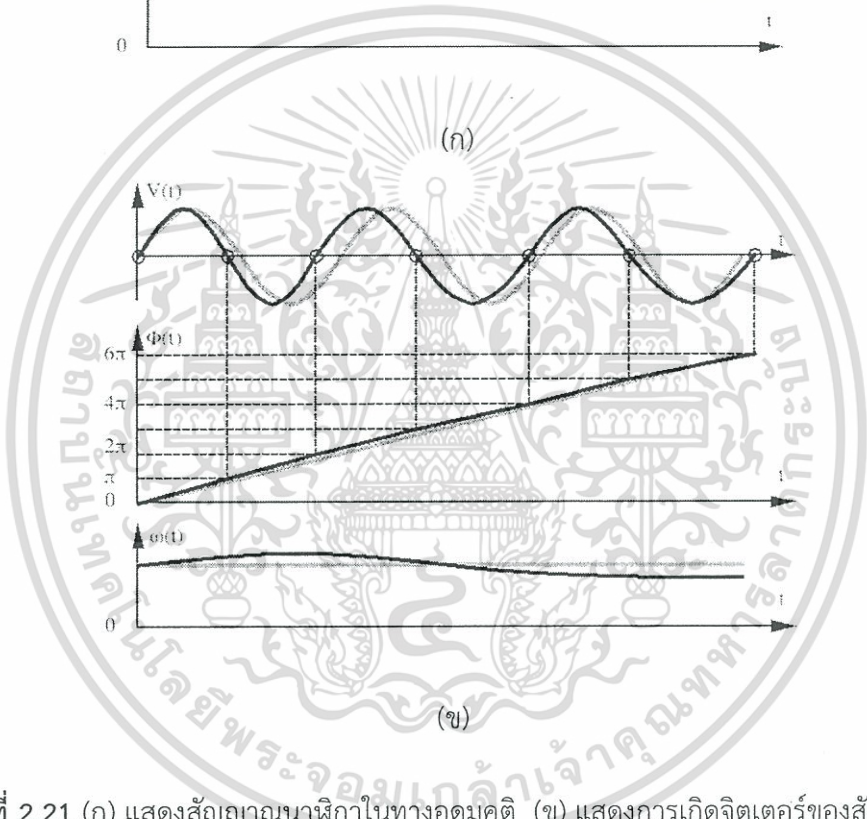
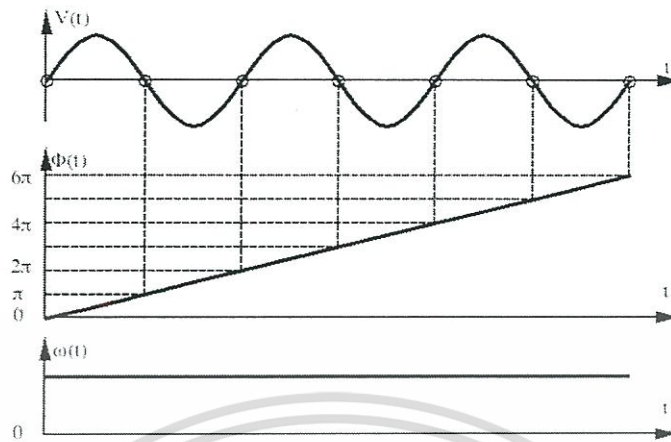
สัญญาณรบกวนกระพริบจะมีค่ามากกว่าสัญญาณรบกวนเชิงอุณหภูมิ แต่ที่ความถี่สูง (สูงกว่าความถี่มุม) สัญญาณรบกวนเชิงอุณหภูมิจะมีค่ามากกว่าสัญญาณรบกวนกระพริบ



รูปที่ 2.20 แสดงสัญญาณรบกวนกระพริบและสัญญาณรบกวนเชิงอุณหภูมิ

2.8.3 จิตเตอร์ (Jitter) และ สัญญาณรบกวนเชิงเฟส (Phase noise)[6]

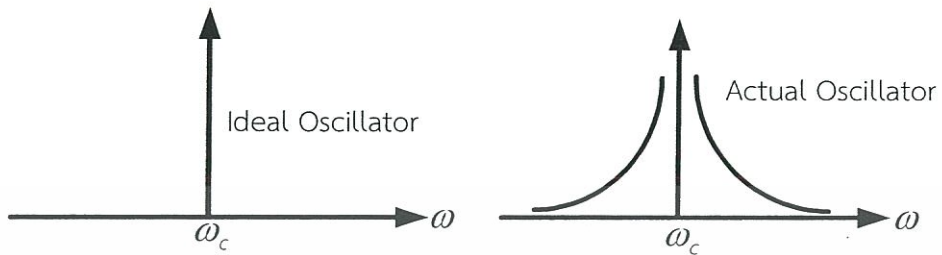
จิตเตอร์และสัญญาณรบกวนเชิงเฟสเป็นตัวบ่งชี้ชนิดหนึ่งที่ยกถึงประสิทธิภาพการทำงานของวงจรกำเนิดความถี่หรือวงจรสังเคราะห์ความถี่เฟสล็อกกลุ๊ป ในวงจรกำเนิดความถี่ที่สร้างจากตัวเหนี่ยวนำกับตัวเก็บประจุ (LC Oscillator) หรือ วงจรกำเนิดความถี่แบบวงแหวน(Ring Oscillator) โดยทั่วไปจะให้กำเนิดความถี่ไม่คงที่อันเป็นผลเนื่องจากการเกิดสัญญาณรบกวนต่างๆ ดังที่กล่าวมาแล้วข้างต้น การเกิดความถี่ที่ไม่คงที่ของวงจรกำเนิดความถี่ เรียกว่า “จิตเตอร์” โดยสัญญาณจิตเตอร์จะแสดงอยู่ในรูปของโดเมนเวลา(Time Domain) ในรูปที่ 2.21(ก) แสดงสัญญาณนาฬิกาในทางอุดมคติ(Ideal Clock) จะสังเกตเห็นว่าสัญญาณนาฬิกาในอุดมคตินั้นจะมีคาบเวลา(Time Period) ที่คงที่ตลอดช่วงเวลา นั้นก็หมายความว่า การเกิดคาบเวลาของสัญญาณนาฬิกาจะต้องเท่ากันตลอดช่วงเวลา แต่ในทางปฏิบัติสัญญาณนาฬิกาจะเกิดคาบเวลาไม่เท่ากัน ซึ่งคาบเวลาอาจจะเพิ่มขึ้นหรือลดลงก็ได้ นั่นก็คือเกิดจิตเตอร์ขึ้นในวงจรกำเนิดสัญญาณนาฬิกานั้นเอง แสดงในรูปที่ 2.21 (ข)



รูปที่ 2.21 (ก) แสดงสัญญาณนาฬิกาในทางอุดมคติ (ข) แสดงการเกิดจิตเตอร์ของสัญญาณ

ในรูปที่ 2.21 (ก) แสดงการเกิดความถี่ของวงจรถ้าเนิตความถี่ ในกรณีที่ไม่เกิดสัญญาณรบกวนหรือไม่เกิดจิตเตอร์ขึ้นจะพบว่าวงจรถ้าเนิตความถี่จะให้กำเนิดความถี่เพียงความถี่เดียวเท่านั้น ในกรณีที่เกิดสัญญาณรบกวนหรือเกิดจิตเตอร์ขึ้นแสดงในรูปที่ 2.21 (ข) จะพบว่าในแต่ละช่วงเวลาวงจรถ้าเนิตความถี่จะกำเนิดความถี่หลายความถี่ซึ่งมีค่าใกล้เคียงกับความถี่หลักที่สร้างขึ้น สัญญาณรบกวนเชิงเฟสก็มีความหมายเดียวกันกับการเกิดจิตเตอร์ของสัญญาณ นั่นคือเกิดจากคาบเวลาของสัญญาณไม่คงที่เนื่องจากสัญญาณรบกวนต่างๆ สัญญาณรบกวนเชิงเฟสจะแสดงอยู่ในรูปของโดเมนความถี่(Frequency Domain) โดยจะแสดงอยู่ในรูปของสเปกตรัมกำลังและความถี่กลาง (Center Frequency) ในทางอุดมคติจะเกิดสเปกตรัมกำลังเพียงความถี่เดียวเท่านั้น แต่ในทางปฏิบัติการเกิดสัญญาณรบกวนต่างๆ ทำให้

ความถี่ที่ได้จากวงจรกำเนิดความถี่ไม่คงที่ เป็นผลให้สเปกตรัมกำลังเกิดไซด์แบนด์(Sideband) ขึ้น ดังแสดงในรูปที่ 2.22



รูปที่ 2.22 แสดงการเกิดสัญญาณรบกวนรอบความถี่เชิงเฟส



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

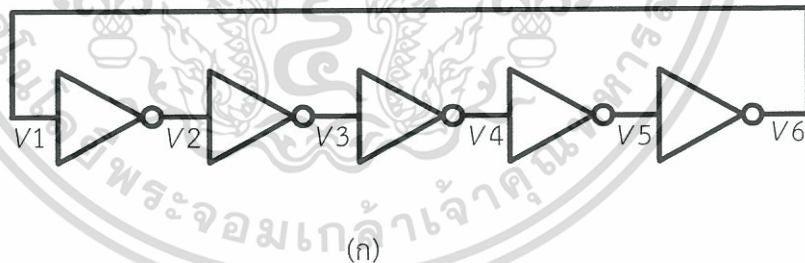
วงจรถ้าเนิดความถี่แบบวงแหวน

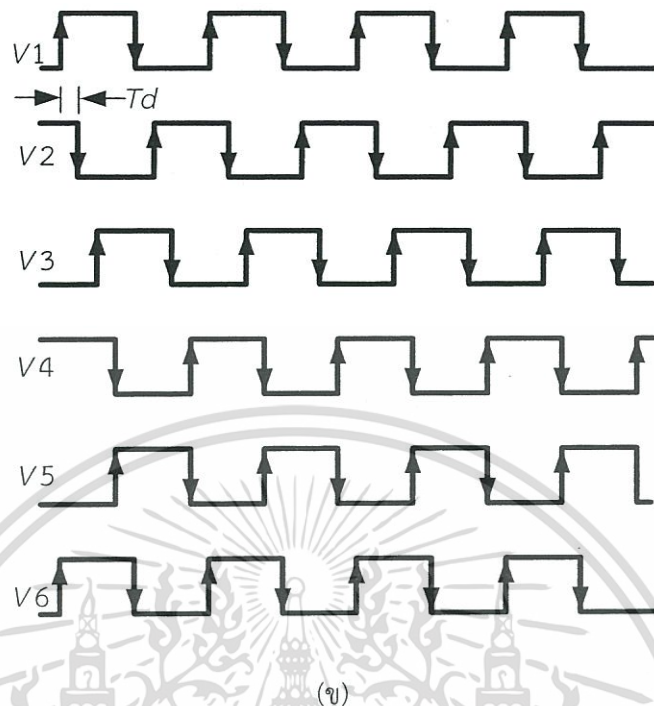
3.1 บทนำ

ในบทนี้จะกล่าวถึงวงจรถ้าเนิดความถี่แบบวงแหวนพื้นฐาน เงื่อนไขการกำเนิดความถี่ของวงจรถ้าเนิดความถี่แบบวงแหวน โครงสร้างของวงจรถ้าเนิดความถี่แบบวงแหวนแบบซิงเกิลเอนด์ (Single-ended ring oscillator) โครงสร้างแบบดิฟเฟอเรนเชียล (True Differential ring oscillator) และโครงสร้างแบบเสมือนดิฟเฟอเรนเชียล (Pseudo differential ring oscillator) จุดเด่นและจุดด้อยของวงจรถ้าเนิดความถี่แบบวงแหวนแต่ละโครงสร้าง วงจรถ้าเนิดความถี่แบบวงแหวนควบคุมด้วยแรงดัน โครงสร้างต่างๆ วิธีการปรับความถี่ของวงจรถ้าเนิดความถี่แบบวงแหวน และวงจรถ้าเนิดความถี่วงแหวนควบคุมด้วยแรงดันที่นำเสนอ

3.2 พื้นฐานของวงจรถ้าเนิดความถี่แบบวงแหวน[4]

วงจรถ้าเนิดความถี่แบบวงแหวนสร้างขึ้นจากการนำเอาวงจรถ้าขยายมาต่ออนุกรมกันเป็นจำนวนเลขคี่ โดยนำสัญญาณทางด้านออกของวงจรถ้าขยายตัวสุดท้ายมาป้อนเป็นอินพุตให้กับวงจรถ้าขยายสัญญาณตัวแรก วงจรถ้าขยายพื้นฐานที่นำมาสร้างเป็นวงจรถ้าเนิดความถี่แบบวงแหวนสร้างโดยการนำอินเวอร์เตอร์เกท (Inverter) มาต่ออนุกรมกันเป็นจำนวนเลขคี่ดังแสดงในรูปที่ 3.1(ก) ลักษณะของสัญญาณที่จุดต่างๆ ของวงจรถ้าอินเวอร์เตอร์เกทแสดงในรูปที่ 3.1 (ข)





รูปที่ 3.1 (ก) แสดงวงจรกำเนิดความถี่แบบวงแหวนใช้อินเวอร์เตอร์ต่ออนุกรมห้าตัว
(ข) แสดงลักษณะของสัญญาณที่จุดต่างๆ

จากรูปที่ 3.1 (ก) แสดงการนำเอาอินเวอร์เตอร์เกทจำนวน 5 ตัว มาต่ออนุกรมกัน สัญญาณแรงดันเอาต์พุต V_2 เกิดจากการป้อนสัญญาณแรงดันอินพุต V_1 ซึ่งสัญญาณแรงดัน V_2 จะถูกหน่วงสัญญาณเป็นเวลา T_d โดยค่าของการหน่วงเวลา T_d นั้น จะขึ้นอยู่กับลักษณะโครงสร้างภายในของอินเวอร์เตอร์ โดยที่สัญญาณแรงดัน V_2 จะมีสัญญาณสลับกับกับสัญญาณแรงดัน V_1 สัญญาณเอาต์พุตที่เกิดขึ้นกับกับอินเวอร์เตอร์ทุกตัวจะมีการกลับสถานะเช่นนี้ไปเรื่อยๆ จนมาปรากฏที่สัญญาณแรงดัน V_6 โดยจะมีเวลาการหน่วงของสัญญาณ เท่ากับ $5T_d$ เนื่องจากการนำเอาอินเวอร์เตอร์เกทมาต่อเป็นจำนวนเลขคี่ สัญญาณแรงดันเอาต์พุต V_6 จึงมีสถานะตรงกันข้ามกับสัญญาณแรงดัน V_1 ซึ่งจะสังเกตเห็นว่าสัญญาณแรงดัน V_1 จะมีระดับสัญญาณเริ่มที่ขอบขาขึ้น แต่สัญญาณแรงดัน V_6 จะมีระดับสัญญาณที่ขอบขาลง และเมื่อป้อนสัญญาณแรงดัน V_6 กลับไปเป็นสัญญาณอินพุตของอินเวอร์เตอร์ตัวแรก ก็จะมีระดับสัญญาณแรงดัน V_1 ลดระดับลงการเคลื่อนที่ของสัญญาณจะมีลักษณะวนลูปไปเรื่อยๆ

การต่ออินเวอร์เตอร์เกทอนุกรมกันเป็นจำนวนเลขคี่ จะมีผลทำให้เกิดการเลื่อนเฟสเท่ากับ π และสัญญาณป้อนกลับจะเกิดขึ้นที่เวลาครึ่งคาบของสัญญาณออสซิลเลตพอดี นั่นคือ สัญญาณป้อนกลับจะมีการเลื่อนเฟสตามอยู่ π พอดีนั่นเอง ดังนั้นผลรวมสัญญาณแรงดัน V_6 และ V_1 จะมีมมเฟสเท่ากับ 2π ซึ่งทำให้เกิดการออสซิลเลตเกิดขึ้นอย่างต่อเนื่อง พิจารณาจากลักษณะของสัญญาณในรูปที่ 3.1(ข) ถ้า

กำหนดให้ N เป็นจำนวนอินเวอร์เตอร์ซึ่งมีจำนวนเลขคู่ จะพบว่าเวลาในการกำเนิดความถี่จะมีค่าดังแสดงในสมการที่ 3.1

$$T_{osc} = 2NT_d \quad (3.1)$$

จากเวลาในการกำเนิดความถี่ในสมการที่ 3.1 สามารถหาความถี่ในการออสซิลเลตได้จากสมการที่ 3.2

$$f_{osc} = \frac{1}{T_{osc}} = \frac{1}{2 \cdot N \cdot T_d} \quad (3.2)$$

เมื่อ T_d คือเวลาในการหน่วงสัญญาณของอินเวอร์เตอร์เกทแต่ละตัว จากสมการที่ 3.2 เวลาหรือความถี่ของวงจรกำเนิดความถี่คือเวลาในการอัดประจุและคายประจุที่โหลดตัวเก็บประจุของอินเวอร์เตอร์ ค่าเวลาในการหน่วงสัญญาณของอินเวอร์เตอร์เกทแต่ละตัวหาได้จากสมการที่ 3.3

$$T_d = \frac{C_L \cdot V_{sw}}{I_d} \quad (3.3)$$

เมื่อ C_L คือ โหลดตัวเก็บประจุที่โนดเอาต์พุต

V_{sw} คือ แรงดันสวิงทางด้านเอาต์พุตของอินเวอร์เตอร์

I_d คือ กระแสที่ไหลผ่านอินเวอร์เตอร์

อัตราสิ้นเปลืองพลังงานของวงจรกำเนิดความถี่แบบวงแหวนยังขึ้นอยู่กับจำนวนอินเวอร์เตอร์เกทดังแสดงในสมการที่ 3.4

$$P = N \cdot I_d \cdot V_d \quad (3.4)$$

เมื่อ P คือ อัตราสิ้นเปลืองพลังงาน

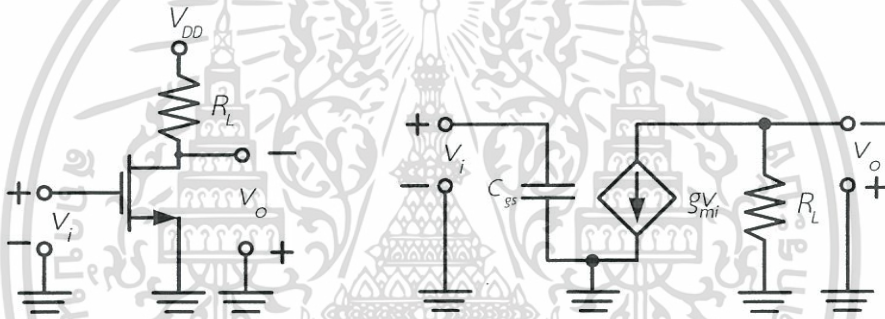
V_d คือ แรงดันไฟฟ้าที่จ่ายให้วงจรกำเนิดความถี่แบบวงแหวน

ในกรณีที่ N เป็นจำนวนเลขคู่จะไม่เกิดการออสซิลเลตขึ้น แต่จะเกิดปรากฏการเกิดสัญญาณค้าง (Latch up) นั่นคือสัญญาณแรงดันที่จุดต่างๆ จะค้างอยู่ ณ ระดับสัญญาณนั้นๆ เป็นผลให้ออสซิลเลเตอร์ไม่ทำงาน จากสมการที่ 3.2 สามารถเปลี่ยนความถี่ในการออสซิลเลตได้ด้วยการเปลี่ยนเวลาในการหน่วงสัญญาณของอินเวอร์เตอร์ T_d ของแต่ละตัว

จากรูปที่ 3.2 แสดงวงจรสมมูลของวงจรอินเวอร์เตอร์เกทในขณะทำงานในย่านเชิงเส้น (Linear region) โดยค่า C_{gs} คือ ค่าความจุไฟฟ้าระหว่างขาเกตกับขาซอสของมอสทรานซิสเตอร์ สมมติว่าแรงดัน v_{gs} เท่ากับแรงดัน v_i และค่าความต้านทานทางด้านเอาต์พุตมีค่าสูงกว่าค่าความต้านทานโหลด R_L ค่าทรานส์คอนดักแตนซ์ หรือ ค่า g_m ในกรณีที่มอสทรานซิสเตอร์ทำงานอยู่ในย่านอิ่มตัว (Saturation region) หาได้จากสมการที่ 3.5[13]

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{2I_D}{V_{GS} - V_{TH}} \quad (3.5)$$

เมื่อค่าแรงดัน V_{TH} คือ ค่าแรงดันขีดเริ่ม (Threshold voltage) ของมอสทรานซิสเตอร์



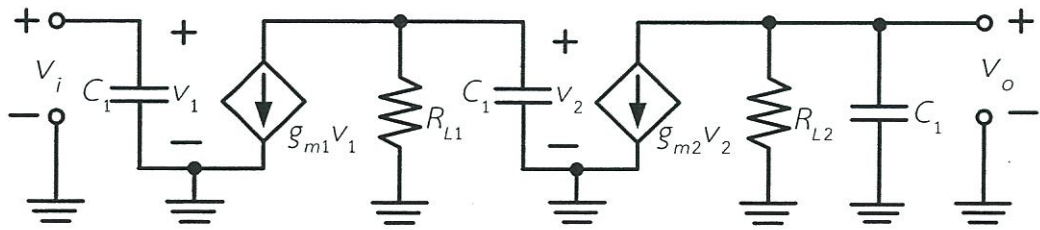
รูปที่ 3.2 แสดงวงจรสมมูลของอินเวอร์เตอร์เกทโดยใช้มอสทรานซิสเตอร์ตัวเดียว

เมื่อนำอินเวอร์เตอร์เกทมาต่ออนุกรมกันสองตัว สามารถแสดงวงจรสมมูลได้ดังรูปที่ 3.3 โดยแทน C_{gs} ด้วย C_1 และค่า R_L ด้วยค่า R_{L1} และสมมติว่า $C_1 = C_2$, $R_{L1} = R_{L2}$ และ $g_{m1} = g_{m2}$ สามารถหาฟังก์ชันการถ่ายโอนของแรงดันด้านเอาต์พุตต่อแรงดันด้านอินพุตได้ดังสมการที่ 3.6

$$\frac{v_o}{v_i} = \left[\frac{-g_m R_1}{1 + s\tau_1} \right] \left[\frac{-g_m R_1}{1 + s\tau_1} \right] = \frac{(g_m R_1)^2}{(1 + s\tau_1)^2} \quad (3.6)$$

เมื่อกำหนดให้ $\tau_1 = R_1 C_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 แสดงวงจรสมมูลของอินเวอร์เตอร์เกทต่ออนุกรมกัน 2 ตัว

จากสมการที่ 3.6 จะพบว่าฟังก์ชันการถ่ายโอนของวงจรอินเวอร์เตอร์เกทแต่ละตัวจะมีลักษณะการตอบสนองทางความถี่แบบวงจรกรองความถี่ต่ำผ่านโดยมีความเร็วเชิงมุมที่ค่าขยายสัญญาณ -3 dB แสดงในสมการที่ 3.7

$$\omega_{-3\text{dB}} = \frac{1}{\tau_1} = \frac{1}{R_1 C_1} \tag{3.7}$$

จากสมการที่ 3.7 ความถี่ที่ค่า $\omega_{-3\text{dB}}$ ของวงจรอินเวอร์เตอร์เกทแต่ละตัวจะมีมุมเฟสเท่ากับ -90 องศา หรือ $-\frac{\pi}{2}$ นั่นก็คือ มุมเฟสจะมีค่าต่ำกว่า $-\pi$ เสมอ ดังนั้น เมื่อนำวงจรอินเวอร์เตอร์เกทสองตัวต่ออนุกรมกันมุมเฟสจึงมีค่าต่ำกว่า -2π เสมอ ซึ่งจะสรุปได้ว่า เมื่อนำวงจรอินเวอร์เตอร์เกทสองตัวมาต่ออนุกรมกันวงจรจะไม่ทำงานหรือไม่สามารถเกิดการออสซิลเลตได้ เนื่องจากมุมเฟสของสัญญาณทางด้านอินพุตและทางด้านเอาต์พุตมีค่าไม่เท่ากับ $\pm 2\pi$ หรือ ± 360 นั่นเอง

ถ้านำวงจรอินเวอร์เตอร์เกทสามตัวมาต่ออนุกรมกัน ดังแสดงวงจรสมมูลในรูปที่ 3.4 จากสมการที่ 3.6 สามารถหาฟังก์ชันการถ่ายโอนได้ดังสมการที่ 3.8

$$\frac{V_o}{V_i} = \frac{(g_m R_1)^3}{(1 + s\tau_1)^3} \tag{3.8}$$

เมื่อนำวงจรอินเวอร์เตอร์เกทสามตัวมาต่ออนุกรมกันจะพบว่า มุมเฟสของแต่ละวงจรจะมีค่าเท่ากับ -60 องศา หรือ $-\frac{\pi}{3}$ และจะได้มุมเฟสรวมเท่ากับ -2π ความถี่ในการออสซิลเลตหาได้จากสมการที่ 3.9

$$\tan^{-1}\left(\frac{\omega_0}{\omega_{3\text{dB}}}\right) = \frac{\pi}{3} \tag{3.9}$$

จากสมการที่ 3.9 สามารถหาความถี่เชิงมุมของการออสซิลเลต ω_0 ได้จากสมการที่ 3.10

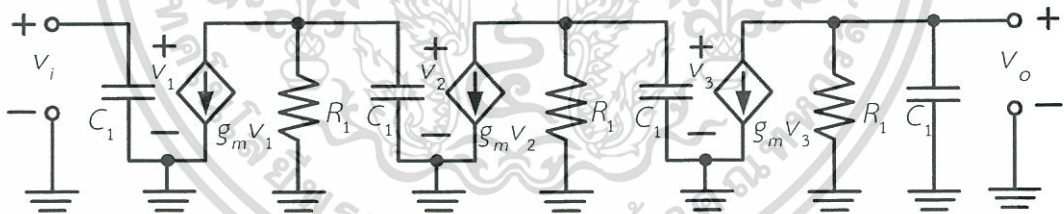
$$\omega_0 = \sqrt{3}\omega_{3dB} = \frac{\sqrt{3}}{R_1 C_1} \quad (3.10)$$

จากเงื่อนไขการออสซิลเลตของบาร์เฮาเซน ที่ความถี่เชิงมุมของการออสซิลเลต ω_0 ค่าอัตราขยายรูปจะต้องมีค่ามากกว่าหรือเท่ากับหนึ่ง วงจรจึงจะสามารถออสซิลเลต แสดงดังสมการที่ 3.11

$$\frac{(g_m R_1)^3}{\sqrt{1^2 + \left(\frac{\omega_{osc}}{\omega_{-3dB}}\right)^2}} \geq 1 \quad (3.11)$$

จากสมการที่ 3.11 ค่าอัตราขยายต่ำสุดที่วงจรจะสามารถออสซิลเลตได้มีค่าเท่ากับ 2 ดังแสดงในสมการที่ 3.12

$$g_m R_1 = 2 \quad (3.12)$$



รูปที่ 3.4 แสดงวงจรสมมูลของอินเวอร์เตอร์เกทต่ออนุกรมกัน 3 ตัว

วงจรกำเนิดความถี่แบบวงแหวน เมื่อวงจรเริ่มออสซิลเลตในขณะที่สัญญาณแรงดันมีระดับต่ำ จะมีค่าความถี่เท่ากับ ω_0 และเมื่อระดับสัญญาณแรงดันมีค่าเพิ่มขึ้น ความถี่ในการออสซิลเลตจะลดลงเรื่อยๆ จนกระทั่งถึงสภาวะคงตัว และเมื่อระดับสัญญาณแรงดันอยู่ในสภาวะอิ่มตัว ค่าความถี่ของการออสซิลเลตที่สภาวะอิ่มตัวจะมีค่าเท่ากับ $f_0 = \frac{1}{3T_d}$ แต่ถ้านำอินเวอร์เตอร์เกทมาต่อกันเป็นจำนวนเลขคู่มากกว่า 2 เกทขึ้นไป จะพบว่าไม่มีมุมเฟสในการออสซิลเลตเพียงพอ แต่วงจรจะไม่สามารถออสซิลเลตได้เนื่องจากวงจรจะ

เกิดสภาวะค้าง ดังนั้นการที่จะทำให้วงจรถูกกำเนิดความถี่แบบวงแหวนเกิดการออสซิลเลตได้ก็ต่อเมื่อต่ออินเวอร์เตอร์เกทเป็นเลขคี่จำนวน 3 ตัวขึ้นไปเสมอ

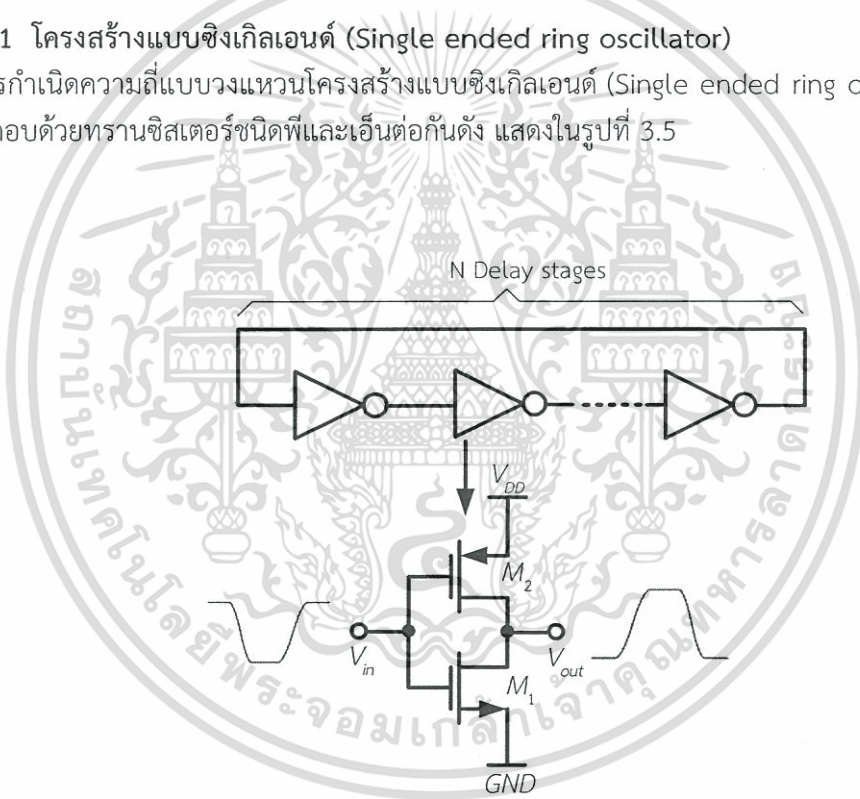
3.3 โครงสร้างวงจรถูกกำเนิดความถี่แบบวงแหวน[6]

โครงสร้างของวงจรถูกกำเนิดความถี่แบบวงแหวนสามารถแบ่งตามชนิดของการเกิดสัญญาณได้ดังต่อไปนี้

1. โครงสร้างแบบซิงเกิลเอนด์ (Single ended ring oscillator)
2. โครงสร้างแบบดิฟเฟอเรนเชียล (True Differential ring oscillator)
3. โครงสร้างแบบเสมือนดิฟเฟอเรนเชียล (Pseudo differential ring oscillator)

3.3.1 โครงสร้างแบบซิงเกิลเอนด์ (Single ended ring oscillator)

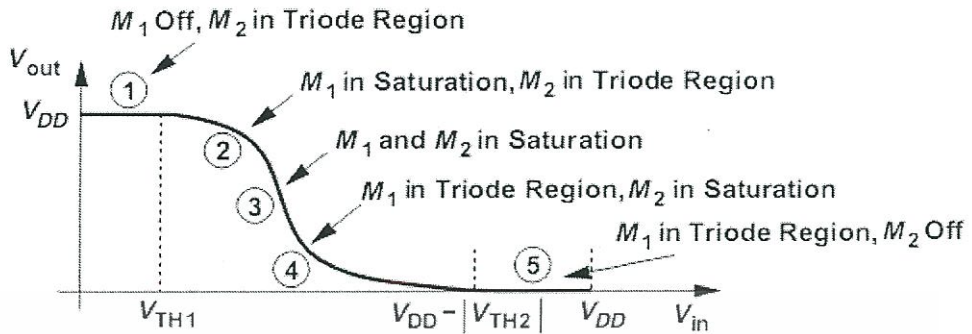
วงจรถูกกำเนิดความถี่แบบวงแหวนโครงสร้างแบบซิงเกิลเอนด์ (Single ended ring oscillator) โดยวงจรถูกประกอบด้วยทรานซิสเตอร์ชนิดพีและเอ็นต่อกันดัง แสดงในรูปที่ 3.5



รูปที่ 3.5 แสดงวงจรถูกกำเนิดความถี่แบบวงแหวนแบบซิงเกิลเอนด์

การทำงานของวงจรถูกกำเนิดความถี่แบบวงแหวนแบบซิงเกิลเอนด์สามารถในแต่ละภาคสามารถอธิบาย โดยแบ่งการทำงานออกเป็นช่วงๆ โดยการเปลี่ยนแปลงของสัญญาณแรงดันทางด้านออกเมื่อมีสัญญาณแรงดันทางด้านเข้าแสดงในรูปที่ 3.6[13]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงการเปลี่ยนแปลงสัญญาณแรงดันทางด้านออก

จากรูปที่ 3.6 สัญญาณแรงดันทางด้านเข้า V_{in} จะเปลี่ยนแปลงโดยเริ่มจากระดับแรงดันศูนย์โวลต์จนถึงระดับแรงดันไฟเลี้ยง V_{DD} ช่วงที่ 1 เริ่มต้นการทำงานเมื่อสัญญาณแรงดัน V_{in} หรือแรงดัน V_{GS} ของมอสทรานซิสเตอร์ M_1 มีค่าน้อยกว่าแรงดันขีดเริ่ม (V_{TH1}) ทำให้มอสทรานซิสเตอร์ M_1 ไม่ทำงาน (Cut off) แรงดัน V_{out} จะมีค่าเท่ากับแรงดันไฟเลี้ยง V_{DD} และในขณะเดียวกันมอสทรานซิสเตอร์ M_2 จะทำงานในย่านเชิงเส้นหรือย่านไตรโอด (Triode region) แต่จะไม่มีกระแสไหลผ่าน ในช่วงที่ 2 เมื่อแรงดัน V_{in} มีค่าเพิ่มขึ้นจนมากกว่าค่าแรงดันขีดเริ่มของมอสทรานซิสเตอร์ M_1 ทำให้มอสทรานซิสเตอร์ M_1 เริ่มทำงานอยู่ในย่านอิ่มตัว (Saturation region) เนื่องจากแรงดัน V_{DS} มีค่ามาก และมอสทรานซิสเตอร์ M_2 จะยังคงทำงานในย่านเชิงเส้นเหมือนเดิมแต่จะมีกระแสไหลจากแหล่งจ่ายไฟเลี้ยง V_{DD} ไปยังกราวด์ ในช่วงที่ 3 เมื่อแรงดัน V_{in} มีค่าเพิ่มขึ้นจนกระทั่งทำให้มอสทรานซิสเตอร์ M_1 และมอสทรานซิสเตอร์ M_2 ทำงานในย่านอิ่มตัวโดยในช่วงนี้จะมีกระแสไหลสูงสุดแต่จะเป็นเวลาช่วงสั้นๆ ในช่วงที่ 4 เมื่อแรงดัน V_{in} มีค่าเพิ่มขึ้นจนกระทั่งมอสทรานซิสเตอร์ M_1 ทำงานในย่านเชิงเส้น และมอสทรานซิสเตอร์ M_2 ทำงานในย่านอิ่มตัว จะมีผลทำให้กระแสไหลในวงจรลดลง โดยเสมือนว่ามอสทรานซิสเตอร์ M_1 ทำหน้าที่เป็นภาระ (Load) ให้กับมอสทรานซิสเตอร์ M_2 ในช่วงที่ 5 เมื่อแรงดัน V_{in} มีค่ามากกว่าแรงดัน $V_{DD} - |V_{TH2}|$ มอสทรานซิสเตอร์ M_2 จะไม่ทำงานและมอสทรานซิสเตอร์ M_1 จะทำงานในย่านเชิงเส้น ทำให้แรงดัน V_{out} มีค่าเท่ากับศูนย์โวลต์

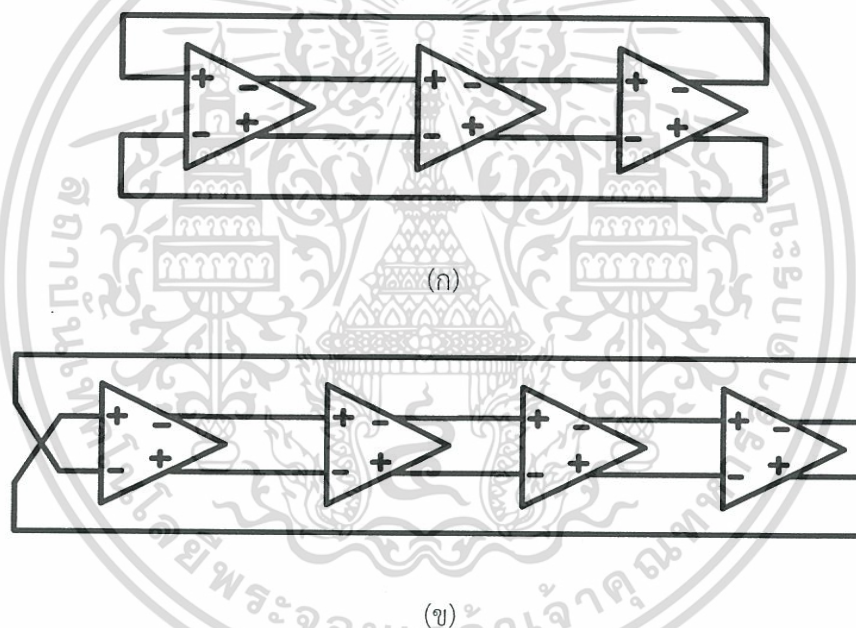
วงจรกำเนิดความถี่แบบวงแหวนแบบซิงเกิลเอนด์ มีจุดเด่นและจุดด้อยของวงจรดังนี้

1. อัตราสิ้นเปลืองพลังงานต่ำ เนื่องจากวงจรจะใช้พลังงานในช่วงที่มอสทรานซิสเตอร์ทั้งสองตัวทำงานเท่านั้นซึ่งในกรณีโครงสร้างแบบดิฟเฟอเรนเชียลวงจรถ่ายพลังงานตลอดเวลาไม่ว่ามอสทรานซิสเตอร์จะทำงานหรือไม่ทำงานก็ตาม ทั้งนี้เนื่องจากมีแหล่งจ่ายกระแสอยู่ในวงจรมันเอง

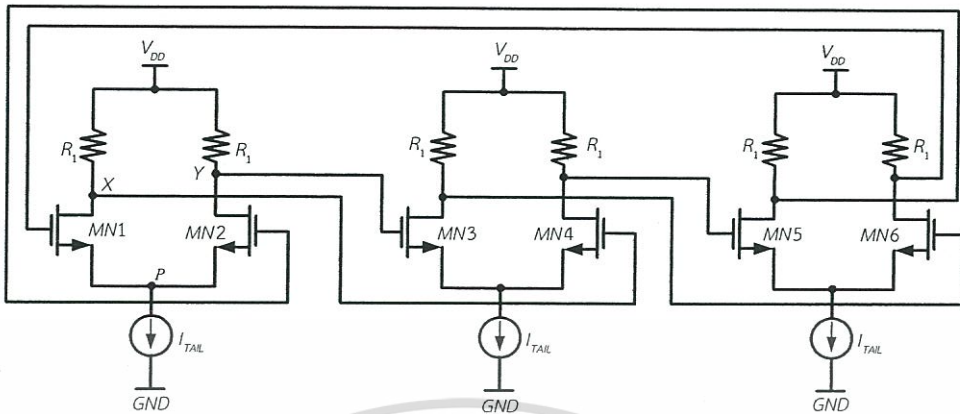
2. วงจรมีสัญญาณแรงดันทางด้านออกเท่ากับแหล่งจ่ายไฟ(Rail to rail output voltage signal swing) ซึ่งจะช่วยให้เกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสลดลง
3. วงจรมีความไวต่อสัญญาณรบกวนจากแหล่งจ่าย(Supply noise) และสัญญาณรบกวนจากฐานรอง (Substrate noise) จะมีผลทำให้เกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสได้
4. วงจรต้องใช้อินเวอร์เตอร์เกทเป็นจำนวนเลขคี่เท่านั้น ดังนั้นสัญญาณทางด้านออกจะมีเพียงสัญญาณเดียว แต่บางกรณีมีความต้องการใช้งานสัญญาณทางด้านออกโดยมีสัญญาณแบบเฟสเดียวกันและเฟสต่างกัน

3.3.2 โครงสร้างแบบดิฟเฟอเรนเชียล (True Differential ring oscillator)

วงจรถูกนำมาใช้เพื่อสร้างความถี่แบบวงแหวนโครงสร้างแบบดิฟเฟอเรนเชียล (True Differential Ring Oscillator) สร้างโดยนำเอาวงจรถายมาต่ออนุกรมกันเป็นจำนวนเลขคี่หรือคู่แสดงในรูปที่ 3.7



รูปที่ 3.7 แสดงการต่อใช้งานโครงสร้างแบบดิฟเฟอเรนเชียล
 (ก) จำนวนวงจรถายเป็นเลขคี่
 (ข) จำนวนขายเป็นเลขคู่

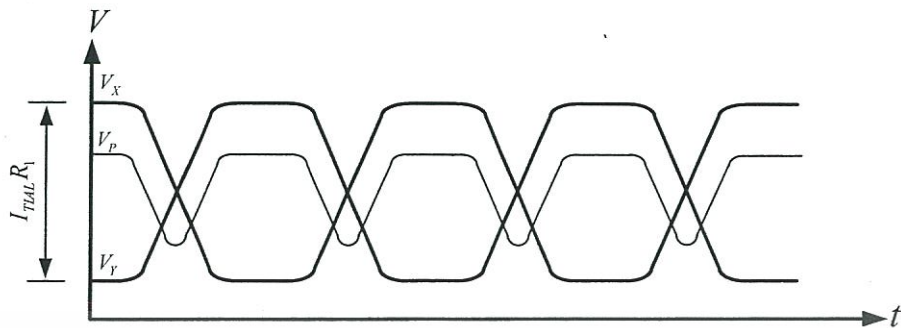


รูปที่ 3.8 แสดงโครงสร้างภายในวงจรกำเนิดความถี่แบบวงแหวนแบบดิฟเฟอเรนเชียล[4]

จากรูปที่ 3.8 แสดงโครงสร้างภายในพื้นฐานแบบดิฟเฟอเรนเชียล วงจรจะประกอบด้วย มอสทรานซิสเตอร์ชนิดเอ็นสองตัว ความต้านทานโหลดสองตัวและแหล่งจ่ายกระแส โดยสามารถอธิบาย การทำงานของวงจรได้ดังนี้ ในสภาวะเริ่มต้นที่วงจรขยายตัวแรก ถ้ากำหนดให้มอสทรานซิสเตอร์ MN_1 นำกระแส และมอสทรานซิสเตอร์ MN_2 อยู่ในสภาวะไม่นำกระแส จะส่งผลให้มอสทรานซิสเตอร์ MN_3 ของวงจรขยายตัวที่สองนำกระแสและมอสทรานซิสเตอร์ MN_4 อยู่ในสภาวะไม่นำกระแส เช่นเดียวกันใน วงจรขยายลำดับสุดท้ายมอสทรานซิสเตอร์ MN_5 จะนำกระแสและมอสทรานซิสเตอร์ MN_6 จะอยู่ใน สภาวะไม่นำกระแส ดังนั้นแรงดันที่ขาเกทของมอสทรานซิสเตอร์ MN_1 จะมีค่าเท่ากับแรงดันของ แหล่งจ่ายไฟ V_{DD} และแรงดันที่ขาเดรนของมอสทรานซิสเตอร์ MN_1 จะมีค่าเท่ากับ $V_{DD} - I_{TAIL} R_1$ เพื่อให้ มอสทรานซิสเตอร์ MN_1 ทำงานในย่านอิ่มตัว แรงดันที่ตกคร่อมตัวต้านทาน R_1 จะต้องมีค่าต่ำกว่าแรงดัน ซีตเริ่มของมอสทรานซิสเตอร์ MN_1

แรงดัน V_X และ V_Y จะมีค่าสลับกันระหว่างระดับแรงดัน V_{DD} กับ $V_{DD} - I_{TAIL} R_1$ แสดงในรูปที่ 3.9 จะสังเกตว่าแรงดัน V_X และ V_Y มีค่าต่างกันสูงสุดเท่ากับ $I_{TAIL} R_1$ ในขณะที่มอสทรานซิสเตอร์ MN_1 นำกระแสและมอสทรานซิสเตอร์ MN_2 อยู่ในสภาวะไม่นำกระแสนั้น แรงดัน V_P จะเปลี่ยนระดับของ แรงดันตามแรงดัน V_X เนื่องจากมอสทรานซิสเตอร์ MN_1 ทำงานในลักษณะของวงจรตามแรงดัน (Voltage Follower) แรงดัน V_P จะมีค่าต่ำสุดเมื่อ แรงดัน V_X มีค่าเท่ากับแรงดัน V_Y นั่นก็คือมีค่า เท่ากับ $V_{DD} - \frac{I_{TAIL} R_1}{2}$ ซึ่งมอสทรานซิสเตอร์ MN_1 และ MN_2 จะนำกระแสพร้อมกัน หลังจากนั้น มอสทรานซิสเตอร์ MN_1 จะหยุดนำกระแส และมอสทรานซิสเตอร์ MN_2 จะนำกระแส ระดับแรงดัน V_P จะมีค่าสูงขึ้นตามระดับแรงดัน V_Y แทน ความถี่ของแรงดัน V_P จะมีค่าเป็นสองเท่าของความถี่สัญญาณ แรงดัน V_X และ V_Y ในทางปฏิบัติค่าความต้านทาน R_1 จะใช้มอสทรานซิสเตอร์ชนิดพี (PMOS) โดยจะให้ มอสทรานซิสเตอร์ทำงานในย่านเชิงเส้น นั่นก็คือมอสทรานซิสเตอร์จะมีคุณสมบัติเป็นตัวต้านทานนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 แสดงความสัมพันธ์ของแรงดันระหว่าง V_x , V_y และ V_p [4]

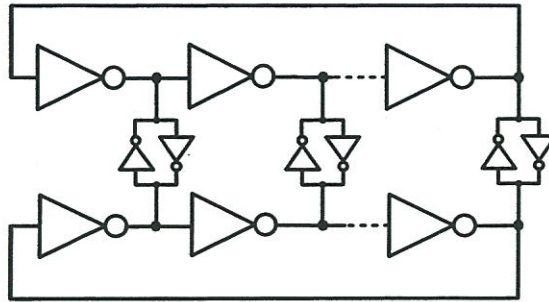
วงจรกำเนิดความถี่แบบวงแหวนแบบดิฟเฟอเรนเชียลมีจุดเด่นและจุดด้อยดังนี้[6]
วงจรกำเนิดความถี่แบบวงแหวนโครงสร้างแบบดิฟเฟอเรนเชียลสามารถสร้างโดยใช้จำนวนวงจรถายเป็นจำนวนเลขคู่หรือเลขคี่

1. กำจัดสัญญาณรบกวนโหมดร่วม (Common mode rejection) ได้ดี มีความไวต่อสัญญาณรบกวนจากแหล่งจ่าย (Supply noise) และสัญญาณรบกวนจากฐานรอง (Substrate noise) น้อย
2. สัญญาณแรงดันทางด้านออก (Signal output swing) มีค่าน้อยกว่าแรงดันแหล่งจ่าย V_{DD} ทำให้มีความไวสัญญาณรบกวน เช่น สัญญาณรบกวนเชิงอุณหภูมิ ส่งผลให้เกิด jitter ในวงจรเพิ่มขึ้น
3. มีอัตราสิ้นเปลืองพลังงานสูงเนื่องจากวงจรใช้พลังงานตลอดเวลาไม่ว่ามอสทรานซิสเตอร์จะทำงานหรือไม่ทำงานก็ตามเนื่องจากมีแหล่งจ่ายกระแสอยู่ในวงจร

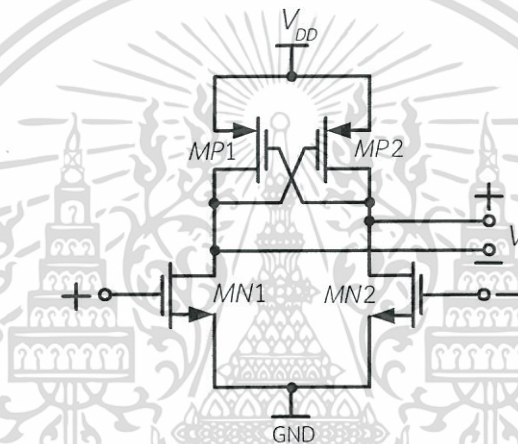
3.3.3 โครงสร้างแบบเสมือนดิฟเฟอเรนเชียล (Pseudo differential ring oscillator) [6]

วงจรกำเนิดความถี่แบบวงแหวนแบบเสมือนดิฟเฟอเรนเชียล (Pseudo Differential Ring Oscillator) แสดงในรูปที่ 3.10 (ก) และ (ข) สามารถอธิบายการทำงานได้ดังนี้

จากรูปที่ 3.10 (ข) เมื่อสัญญาณที่ขาเกทของ MN1 เป็นบวกและสัญญาณที่ขาเกทของ MN2 เป็นลบ มีผลทำให้มอสทรานซิสเตอร์ MN1 ทำงานและมอสทรานซิสเตอร์ MN2 ไม่ทำงาน แรงดันที่ขาเดรนของ MN1 จะมีค่าเข้าใกล้ศูนย์ทำให้มอสทรานซิสเตอร์ MP2 ทำงาน กระแสไฟฟ้าจะไหลผ่านมอสทรานซิสเตอร์ MP2 ไปประจุที่คาปาซิเตอร์โหลดทำให้แรงดันบวก V_o มีค่าเข้าใกล้แหล่งจ่ายไฟ ในทางตรงกันข้ามกัน เมื่อสัญญาณที่ขาเกทของ MN1 เป็นลบและสัญญาณที่ขาเกทของ MN2 เป็นบวก มีผลทำให้มอสทรานซิสเตอร์ MN1 ไม่ทำงานและมอสทรานซิสเตอร์ MN2 ทำงาน แรงดันที่ขาเดรนของ MN2 จะมีค่าเข้าใกล้ศูนย์ทำให้มอสทรานซิสเตอร์ MP1 ทำงาน กระแสไฟฟ้าจะไหลผ่านทรานซิสเตอร์ MP1 ไปประจุที่คาปาซิเตอร์โหลดทำให้แรงดันลบ V_o มีค่าเข้าใกล้แหล่งจ่ายไฟ



(ก)



(ข)

รูปที่ 3.10 (ก) แสดงวงจรกำเนิดความถี่แบบวงแหวนแบบเสมือนดิฟเฟอเรนเชียล
(ข) แสดงโครงสร้างภายในพื้นฐานแบบเสมือนดิฟเฟอเรนเชียล

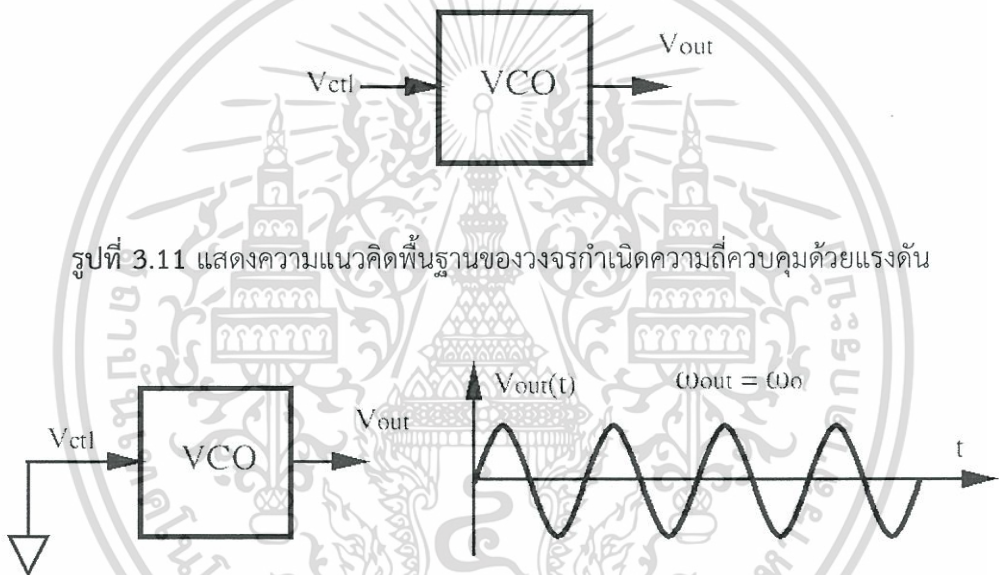
วงจรมีสัญญาณแรงดันทางด้านออกเท่ากับแหล่งจ่ายไฟ(Rail to rail output voltage signal swing) ซึ่งจะช่วยให้เกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสลดลง

1. วงจรมีสัญญาณแรงดันทางด้านออกเท่ากับแหล่งจ่ายไฟ(Rail to rail output voltage signal swing) ซึ่งจะช่วยให้เกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสลดลง
2. ในการออกแบบถ้าออกแบบให้คูดิฟเฟอเรนเชียลมีความสมพงศ์กันทั้งสองด้านจะทำให้ลดการเกิดการคับปลิ่งสัญญาณรบกวนจากภายนอกได้
3. วงจรมีความไวต่อสัญญาณรบกวนจากฐานรอง(Substrate noise) จะมีผลทำให้เกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

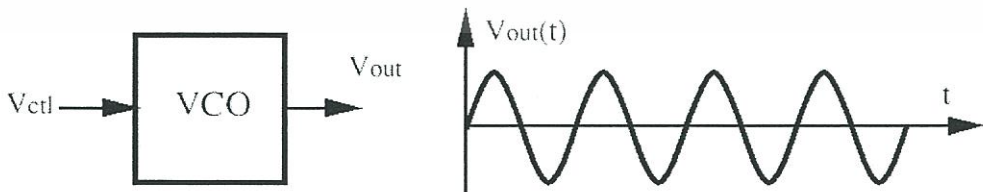
3.4 วงจรกำเนิดความถี่แบบวงแหวนควบคุมด้วยแรงดัน[6]

วงจรถูกกำเนิดความถี่โดยทั่วไปเมื่อนำไปใช้งานผู้ออกแบบมักออกแบบให้สามารถกำเนิดความถี่ได้หลายความถี่ โดยการเปลี่ยนแปลงความถี่ทางด้านออกของวงจรถูกกำเนิดความถี่จะเป็นฟังก์ชันของการควบคุมทางด้านเข้า ซึ่งสัญญาณควบคุมทางด้านเข้าจะอยู่ในรูปของสัญญาณแรงดัน รูปที่ 3.11 แสดงความแนวคิดพื้นฐานของวงจรถูกกำเนิดความถี่ควบคุมด้วยแรงดันโดยเมื่อปรับเปลี่ยนแรงดัน V_{ctl} ทางด้านเข้าจะทำให้สัญญาณทางด้านออก V_{out} เปลี่ยนแปลงความถี่โดยมีความถี่เพิ่มขึ้นหรือลดลง ในรูปที่ 3.12 แสดงการเกิดความถี่ของวงจรถูกกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวน ในกรณีที่ไม่มีสัญญาณควบคุมทางด้านเข้าจะมีความถี่ทางด้านออก ω_{out} เท่ากับ ω_0 หรือเรียกว่าความถี่ฟรีรันนิ่ง (Free running)



รูปที่ 3.11 แสดงความแนวคิดพื้นฐานของวงจรถูกกำเนิดความถี่ควบคุมด้วยแรงดัน

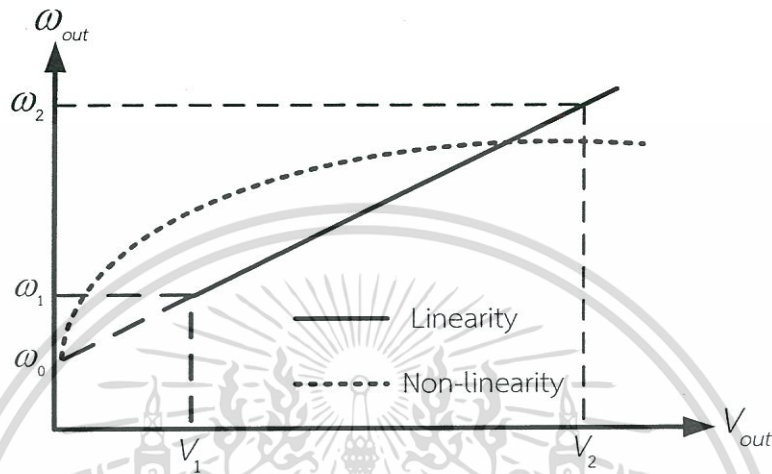
รูปที่ 3.12 แสดงการเกิดความถี่ฟรีรันนิ่งของวงจรถูกกำเนิดความถี่ควบคุมด้วยแรงดัน



รูปที่ 3.13 แสดงการเกิดความถี่เมื่อมีแรงดันควบคุมทางด้านเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 3.13 แสดงการเกิดความถี่ทางด้านออกของวงจรกำเนิดความถี่ควบคุมด้วยแรงดันเมื่อมีแรงดันควบคุมทางด้านเข้าโดยความถี่จะเปลี่ยนแปลงเป็นอัตราส่วนกับแรงดันควบคุมด้านเข้า อัตราการเปลี่ยนแปลงความถี่เมื่อปรับเปลี่ยนแรงดันทางด้านเข้าแสดงในรูปที่ 3.14



รูปที่ 3.14 แสดงช่วงการเปลี่ยนแปลงความถี่เมื่อปรับเปลี่ยนแรงดันควบคุมด้านเข้า

จากรูปที่ 3.14 สามารถหาความสัมพันธ์ของความถี่เมื่อปรับเปลี่ยนแรงดันควบคุมได้จากสมการที่ 3.13

$$\omega_{out} = \omega_0 + K_{VCO} V_{ctl} \tag{3.13}$$

- เมื่อ ω_{out} คือ ความถี่ทางด้านออกของวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน
- ω_0 คือ ความถี่ฟรีรันนิ่ง (Free running VCO)
- K_{VCO} คือ เกณฑ์การเปลี่ยนแปลงความถี่เมื่อปรับเปลี่ยนแรงดันควบคุมด้านเข้า
- V_{ctl} คือ แรงดันควบคุมทางด้านเข้า

จากสมการที่ 3.11 จะพบว่าเมื่อไม่มีแรงดันควบคุมทางด้านเข้าหรือมีค่าแรงดันเป็นศูนย์ จะทำให้ความถี่ทางด้านออก ω_{out} เท่ากับ ω_0 โดยความถี่ ω_0 คือ ความถี่ฟรีรันนิ่ง ส่วนค่า K_{VCO} สามารถหาได้จากสมการที่ 3.14

$$K_{VCO} = 2\pi \cdot \frac{\omega_2 - \omega_1}{V_2 - V_1} \quad \left(\frac{rad}{s} \cdot V \right) \tag{3.14}$$

วงจรถูกกำเนิดความถี่ควบคุมด้วยแรงดันที่ดีจะต้องมีย่านการเปลี่ยนแปลงความถี่ที่กว้าง(Wide tuning range) เมื่อเปลี่ยนแปลงแรงดันควบคุมทางด้านเข้า จะต้องมีความถี่สัญญาณแรงดันสวิงทางด้านออกที่สูง(High swing voltage) ทั้งนี้เพื่อทำให้การเกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสลดลง และควรมีช่วงการเปลี่ยนแปลงความถี่คงที่ (Tuning linearity) ซึ่งความเป็นเชิงเส้นในขณะที่เปลี่ยนแปลงความถี่จะมีผลต่อการเข้าสู่สภาวะล็อกความถี่ของวงจรถูกกำเนิดความถี่ จากรูปที่ 3.14 สัญญาณเส้นทึบ แสดงการเปลี่ยนแปลงความถี่ที่เป็นเชิงเส้นโดยอัตราการเปลี่ยนแปลงความถี่จะเป็นอัตราส่วนกับแรงดันควบคุมทางด้านเข้า สัญญาณเส้นประแสดงการเปลี่ยนแปลงความถี่ที่ไม่เป็นเชิงเส้น(Non-Linearity) ซึ่งในทางทฤษฎีเป็นคุณสมบัติที่ไม่ต้องการให้เกิดขึ้นในวงจรถูกกำเนิดความถี่ควบคุมด้วยแรงดัน

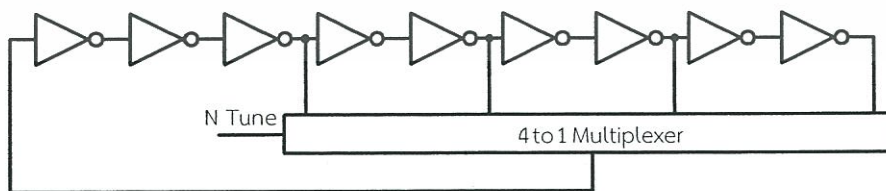
3.5 การเปลี่ยนความถี่ของวงจรถูกกำเนิดความถี่แบบวงแหวนควบคุมด้วยแรงดัน[6]

การปรับเปลี่ยนความถี่ของวงจรถูกกำเนิดความถี่แบบวงแหวนควบคุมด้วยแรงดันสามารถแบ่งออกได้เป็น 2 วิธี ได้แก่ การปรับเปลี่ยนแบบอนาล็อก(Continuous tuning) และการปรับเปลี่ยนแบบดิจิตอล (Discrete tuning) โดยวิธีการปรับเปลี่ยนความถี่ที่กล่าวมาข้างต้นสามารถจำแนกออกได้เป็นหัวข้อดังต่อไปนี้

1. การปรับความถี่โดยวิธีการเพิ่มวงจรถาย (Number of stages)
2. การปรับความถี่โดยวิธีการเปลี่ยนค่าโหลด (Loading)
3. การปรับความถี่โดยวิธีปรับไป้อสกระแส (Drive strength)
4. การปรับความถี่โดยการปรับแรงดันไบอัส (Voltage) แหล่งจ่ายไฟ

3.5.1 การปรับความถี่โดยการเพิ่มจำนวนวงจรถาย (Number of stages)

จากสมการที่ 3.2 จะพบว่าในการปรับเปลี่ยนความถี่สามารถทำได้โดยการเพิ่มจำนวนวงจรถายหรือการเพิ่มตัวแปร N นั้นเอง และอีกวิธีหนึ่งคือการปรับเปลี่ยนค่า T_d หรือค่าเวลาหน่วงของวงจรถายหรืออินเวอร์เตอร์เกทแต่ละตัว ในกรณีใช้วิธีการปรับความถี่โดยการเพิ่มจำนวนสามารถใช้วิธีการปรับแบบดิจิตอล(Discrete tuning) เท่านั้น โดยใช้วงจรมัลติเพล็กซ์มาช่วยในการเลือกจำนวนของวงจรถาย ดังแสดงในรูปที่ 3.15

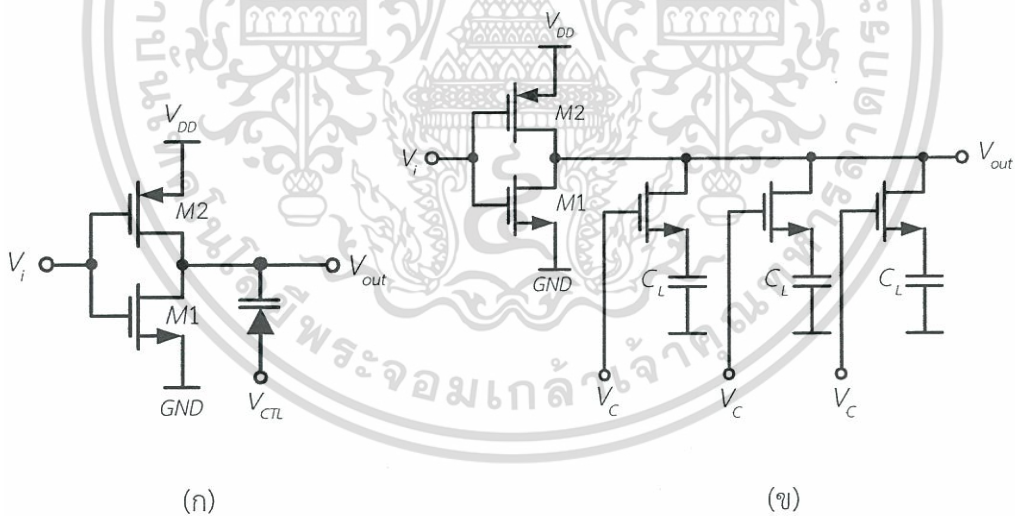


รูปที่ 3.15 แสดงการปรับความถี่โดยการเพิ่มจำนวนวงจรถาย

จากรูปที่ 3.15 เป็นการปรับเปลี่ยนความถี่แบบดิจิตอลโดยใช้วงจรมัลติเพล็กซ์มาเป็นตัวเพิ่มจำนวนของวงจรรขยายหรืออินเวอร์เตอร์เกท ในการเพิ่มต้องเพิ่มจำนวนวงจรรขยายหรืออินเวอร์เตอร์เกทครั้งละ 2 ตัว เมื่อรวมกับวงจรรขยายหรืออินเวอร์เตอร์เกทเดิมแล้วจะต้องเป็นจำนวนเลขคี่เท่านั้นตามเงื่อนไขการออสซิลเลตดังที่กล่าวมาในบทที่ 2 วิธีการปรับความถี่แบบเพิ่มจำนวนวงจรรขยายมีจุดเด่นคือ มี्यानการเปลี่ยนแปลงความถี่ที่กว้างและควบคุมการเพิ่มความถี่สามารถทำได้ง่าย เนื่องจากการควบคุมแบบดิจิตอล ส่วนจุดด้อยก็คือการเพิ่มวงจรรขยายหรืออินเวอร์เตอร์เกทจะทำให้สิ้นเปลืองพลังงานเพิ่มขึ้นและที่สำคัญคือการปรับความถี่แบบดิจิตอลจะทำให้เกิดจitterหรือสัญญาณรบกวนเชิงเฟสมากขึ้น

3.5.2 การปรับความถี่โดยการเปลี่ยนค่าโหลด (Loading)

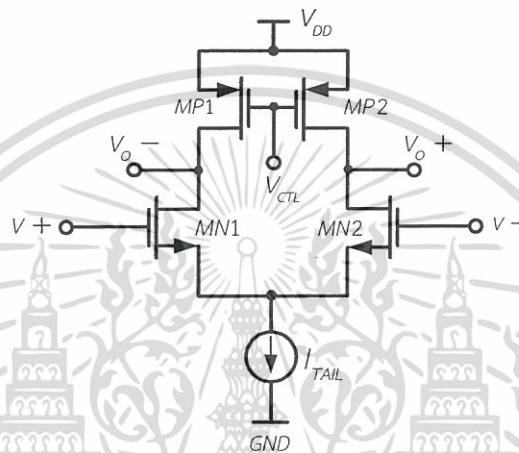
การปรับความถี่โดยการเปลี่ยนค่าโหลดสามารถทำได้โดยการควบคุมแบบอนาล็อกและแบบดิจิตอล การปรับค่าความต้านทานโหลดใช้ในกรณีออกแบบโดยโครงสร้างแบบดิฟเฟอเรนเชียลหรือวิธีการปรับค่าตัวเก็บประจุโหลดเมื่อออกแบบโดยโครงสร้างแบบซิงเกิลเอนด์ ในรูปที่ 3.16 (ก) แสดงการควบคุมแบบอนาล็อกของวงจรรกำเนิดความถี่แบบวงแหวนโครงสร้างแบบซิงเกิลเอนด์โดยวิธีการปรับเปลี่ยนวาร์แวกเตอร์ไดโอด (Varactor diode) ซึ่งค่าความจุจะเปลี่ยนแปลงตามแรงดันความคุม ในรูปที่ 3.16 (ข) แสดงการควบคุมแบบดิจิตอลในการปรับเปลี่ยนความถี่โดยการเปลี่ยนค่าตัวเก็บประจุโหลด ในรูปที่ 3.17 แสดงวงจรรกำเนิดความถี่แบบวงแหวนโครงสร้างแบบดิฟเฟอเรนเชียลใช้วิธีการเปลี่ยนค่าตัวต้านทานโหลด



รูปที่ 3.16 (ก) แสดงการเปลี่ยนความถี่โดยใช้วาร์แวกเตอร์ไดโอด
(ข) แสดงควบคุมแบบดิจิตอลในการเปลี่ยนความถี่

จากรูปที่ 3.16(ก) แสดงการปรับเปลี่ยนความถี่โดยการเปลี่ยนค่าตัวเก็บประจุโหลด โดยใช้วาร์แวกเตอร์ไดโอดเป็นโหลดตัวเก็บประจุ จุดเด่นของวิธีการปรับความถี่โดยการเปลี่ยนค่าความจุโหลดคือสามารถปรับความถี่ได้ละเอียด ข้อดีอีกประการหนึ่งคือมีเกณฑ์การเปลี่ยนแปลงความถี่เมื่อปรับเปลี่ยน

แรงดันควบคุมด้านเข้าต่ำ ซึ่งจะส่งผลให้ช่วยลดการเกิดจิตเตอร์ในระบบ ส่วนข้อด้อยคือมีช่วงในการเปลี่ยนแปลงความถี่ที่แคบเนื่องจากข้อจำกัดของค่าตัวเก็บประจุจากวาแรกเตอร์ไดโอด ในกรณีที่ต้องการช่วงในการปรับความถี่กว้างขึ้นสามารถทำได้โดยวิธีการควบคุมแบบดิจิทัล กล่าวคือใช้โหนดตัวเก็บประจุหลายๆค่าโดยใช้มอสทรานซิสเตอร์เป็นสวิตช์ในการเลือกค่าตัวเก็บประจุดังแสดงในรูปที่ 3.16 (ข) ในทางปฏิบัตินิยมใช้มอสทรานซิสเตอร์ต่อใช้งานแบบมอสคาปาซิเตอร์ (MOS Capacitor) [14] โดยต่อขาซอสเข้ากับขาเดรน เพื่อทำหน้าที่เป็นตัวเก็บประจุแบบปรับค่าได้ด้วยการไบอัสแรงดันแทนโหนดตัวเก็บประจุ



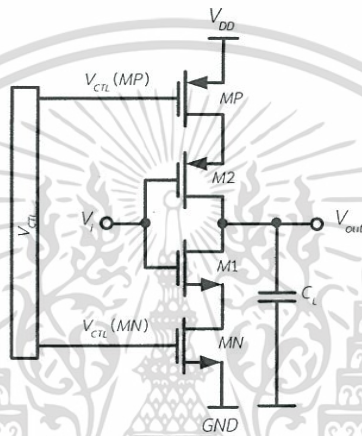
รูปที่ 3.17 แสดงการปรับเปลี่ยนความถี่โดยการเปลี่ยนโหนดค่าตัวต้านทาน

จากรูปที่ 3.17 มอสทรานซิสเตอร์ $MP1$ และ $MP2$ ทำหน้าที่เสมือนโหนดความต้านทานโดยเมื่อลดค่าแรงดันควบคุม V_{CTL} ลงจะมีผลทำให้ค่าความต้านทาน $r_{DS(on)}$ ของมอสทรานซิสเตอร์ $MP1$ และ $MP2$ ลดลง ส่งผลให้ค่าหน่วงเวลาลดลงทำให้ความถี่สูงขึ้น จุดเด่นของวิธีการปรับความถี่โดยปรับค่าความต้านทานโหนด คือมีย่านการปรับความถี่ที่กว้าง และมีจุดด้อยคือแรงดันสวิงทางด้านออกจะมีค่าไม่คงที่เนื่องจากการเปลี่ยนแปลงค่าความต้านทานโหนด และจะมีแรงดันสวิงทางด้านออกต่ำเนื่องจากมีแหล่งจ่ายกระแสแบบอิสระ (Independent current source) ต่อในวงจร

3.5.3 การปรับความถี่โดยปรับไบอัสกระแส (Drive strength)

การปรับความถี่โดยการปรับไบอัสกระแสเมื่อนำมาใช้กับโครงสร้างแบบซิงเกิลเอนด์หรือเรียกอีกอย่างหนึ่งว่า วงจรจำกัดกระแส (Current starved) ดังแสดงในรูปที่ 3.18 การปรับความถี่สามารถทำได้โดยเพิ่มมอสทรานซิสเตอร์ชนิดพีและเอ็นเข้าไปในวงจรอินเวอร์เตอร์เกทและควบคุมกระแสไหลผ่านโดยใช้แรงดันควบคุมที่ขาเกตของมอสทรานซิสเตอร์ทั้งสอง โดยที่มอสทรานซิสเตอร์ชนิดพีจะทำหน้าที่จ่ายกระแสไปประจุที่ตัวคาปาซิเตอร์โหนด C_L ส่วนมอสทรานซิสเตอร์ชนิดเอ็นทำหน้าที่บังคับกระแสช่วงคายประจุจากคาปาซิเตอร์โหนดลงกราวด์ การไบอัสมอสทรานซิสเตอร์ที่ทำหน้าที่จำกัดกระแสทั้งสองตัวจะแยกเป็นอิสระต่อกัน ผู้ออกแบบจะต้องออกแบบให้ขนาดของมอสทรานซิสเตอร์ชนิดพีและเอ็นสัมพันธ์กัน

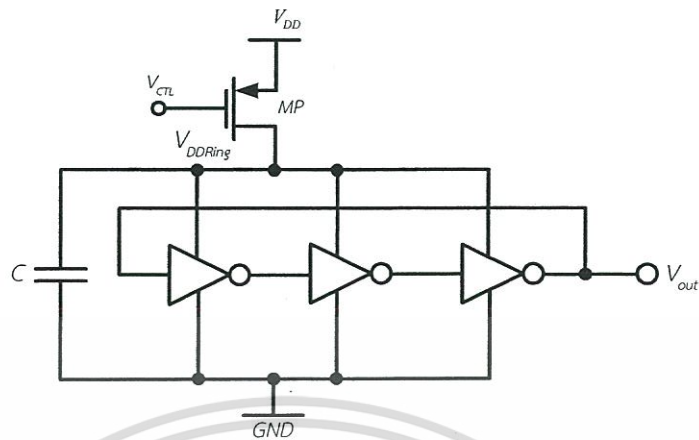
ทั้งนี้เพื่อจะให้กระแสในช่วงประจุและคายประจุมีค่าใกล้เคียงกันหรือเท่ากัน (Charge and Discharge match) โดยถ้ากระแสช่วงประจุและคายประจุไม่เท่ากันจะทำให้ช่วงการหน่วงเวลาขาขึ้นและขาลงของสัญญาณไม่เท่ากัน (Rising/Falling mismatch) แต่ในทางปฏิบัติไม่สามารถทำให้กระแสช่วงประจุและคายประจุเท่ากันได้ จุดเด่นของการปรับเปลี่ยนความถี่ด้วยวิธีการจำกัดกระแสช่วงประจุและคายประจุผ่านโหลดคาปาซิเตอร์คือมี्यानการปรับความถี่ที่กว้าง แต่การออสซิลเลตจะเกิดจิตเตอร์เพิ่มขึ้นในช่วงที่มีกระแสต่ำและมอสทรานซิสเตอร์ MP และ MN โดยจะมีความไวต่อสัญญาณจากแหล่งจ่ายและฐานรอง นอกจากนี้มอสทรานซิสเตอร์ MP และ MN ยังทำให้แรงดันสวิงทางด้านออกมีไม่ถึงแรงดันแหล่งจ่ายไฟ V_{DD}



รูปที่ 3.18 แสดงการปรับเปลี่ยนความถี่โดยการปรับกระแสไบอัส

3.5.4 การปรับความถี่โดยวิธีการปรับแรงดันไบอัส (Voltage) แหล่งจ่ายไฟ

การปรับความถี่ออสซิลเลตด้วยวิธีการปรับแรงดันไบอัสวงจรถูกแสดงในรูปที่ 3.19 มอสทรานซิสเตอร์จะทำหน้าที่เสมือนเป็นตัวต้านทาน โดยค่าความต้านทานจะขึ้นอยู่กับแรงดันควบคุม V_{ctl} แรงดันส่วนหนึ่งจะตกคร่อมมอสทรานซิสเตอร์และแรงดันอีกส่วนหนึ่งจะตกคร่อมวงจรรออสซิลเลตอร์นั่นก็คือแรงดัน V_{DDRing} เมื่อมอสทรานซิสเตอร์ MP มีค่าความต้านทานลดลงจะทำให้กระแสไหลผ่านวงจรมีเพิ่มขึ้นส่งผลให้วงจรรออสซิลเลตอร์มีความถี่สูงขึ้น สำหรับจุดเด่นของวิธีการปรับความถี่โดยวิธีการปรับแรงดันไบอัสคือ มี्यानการปรับความถี่ที่กว้างและจะสามารถกำเนิดความถี่ที่สูง คาปาซิเตอร์ C มีหน้าที่ลดแรงดันกระเพื่อมที่จ่ายให้วงจรรออสซิลเลตอร์ซึ่งจะช่วยลดการรบกวนของสัญญาณรบกวนจากแหล่งจ่ายและสัญญาณรบกวนจากฐานรอง แต่ก็มิจุดด้อยคือมีแรงดันสวิงทางด้านออกต่ำซึ่งจะทำให้เกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสได้



รูปที่ 3.19 แสดงการปรับความถี่โดยวิธีการปรับแรงดันไบอัสแหล่งจ่ายไฟ

จากโครงสร้างของวงจรถ่ายความถี่แบบวงแหวนและวิธีการปรับความถี่แบบต่างๆ ที่กล่าวมาข้างต้นจะพบว่าในแต่ละโครงสร้างจะมีจุดเด่นและจุดด้อยแตกต่างกัน ขึ้นอยู่กับความเหมาะสมที่จะนำไปประยุกต์ใช้งาน การให้กำเนิดความถี่ของวงจรถ่ายความถี่แบบวงแหวนจะเกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสค่อนข้างสูงเมื่อเทียบกับวงจรถ่ายความถี่แบบตัวเหนี่ยวนำและตัวเก็บประจุ

ดังนั้นในการออกแบบวงจรถ่ายความถี่ ถ้าออกแบบให้วงจรถ่ายความถี่มีแรงดันสวิงทางด้านออกสูงและมีค่าคงที่จะช่วยลดการเกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสในวงจรถ่ายความถี่แบบวงแหวนควบคุมด้วยแรงดันได้

3.6 วงจรถ่ายความถี่ควบคุมด้วยแรงดันที่นำเสนอ

ในวิทยานิพนธ์เล่มนี้ผู้จัดทำได้เลือกใช้วงจรถ่ายความถี่ควบคุมด้วยแรงดันแบบซิงเกิลเอนด์ ปรับความถี่โดยการปรับไบอัสกระแส (Current staved voltage controlled oscillator) เนื่องจากวงจรมิต้องการสัญญาณรบกวนเชิงเฟสที่สูงแต่เน้นที่วงจรมีอัตราการสิ้นเปลืองพลังงานต่ำ และพบว่าวงจรถ่ายความถี่ควบคุมด้วยแรงดันแบบซิงเกิลเอนด์จะมีจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสน้อยกว่าโครงสร้างแบบดิฟเฟอเรนเชียล[15]

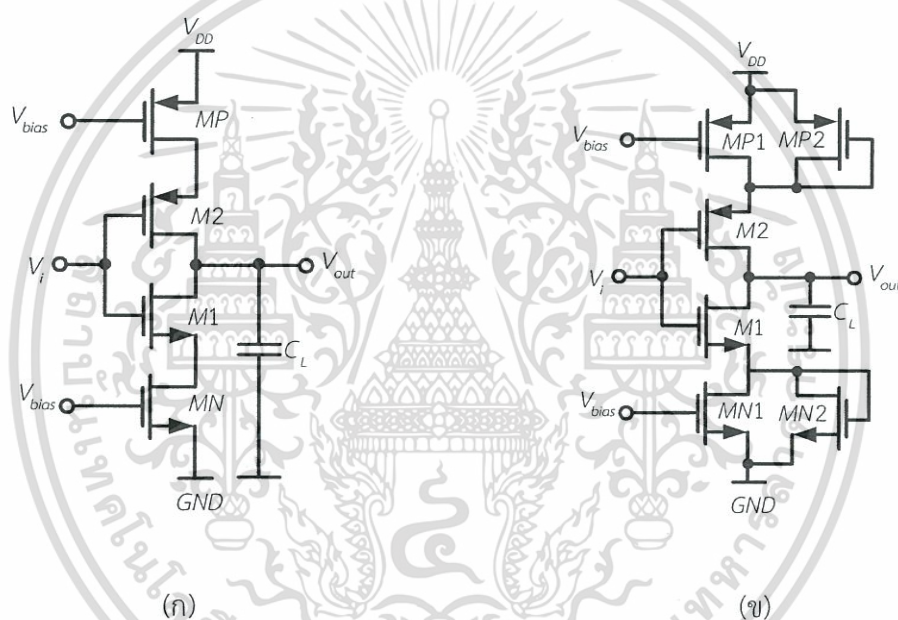
เทคนิคการออกแบบวงจรถ่ายความถี่ควบคุมด้วยแรงดันแบบวงแหวน โดยการปรับปรุงทำให้เกิดจิตเตอร์หรือสัญญาณรบกวนเชิงเฟสดีขึ้นนั้น มีด้วยกันหลายวิธีซึ่งพอจะสรุปได้ดังนี้

1. เพิ่มกระแสในการประจุหรือคายประจุ นั่นก็คือการเพิ่มอัตราสิ้นเปลืองพลังงาน
2. เพิ่มแรงดันสวิงทางด้านออก ซึ่งจะทำให้อัตราส่วนระหว่างสัญญาณและสัญญาณรบกวน (Signal to noise ratio:SNR) ดีขึ้น
3. เพิ่มโหลดตัวเก็บประจุในแต่ละสเตจของวงจรถ่ายความถี่แบบวงแหวน[21]

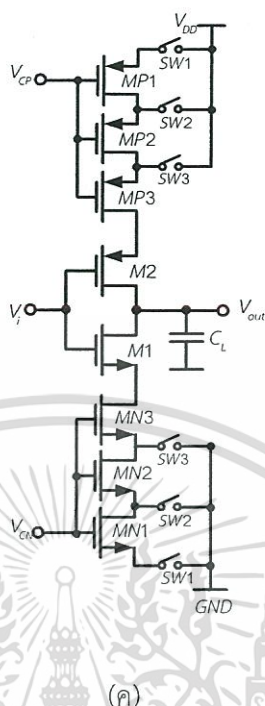
ความสัมพันธ์ของสัญญาณรบกวนเชิงเฟสแสดงได้จากสมการที่ 3.15 ซึ่งเราสามารถที่จะลดการเกิดสัญญาณรบกวนเชิงเฟสได้ด้วยการเพิ่มแรงดันสวิงทางด้านออกหรือการเพิ่มกระแส

$$\text{Relative Phase noise} \propto \left(\frac{\omega_o}{\Delta\omega} \right)^2 \frac{1}{V_{swing}^2} \frac{1}{I_{DD}} \quad (3.15)$$

โครงสร้างแบบแบบซิงเกิลเอนด์ปรับความถี่โดยการปรับไบอัสกระแส ได้มีผู้วิจัยนำเสนอหลายบทความ[17-19] เพื่อที่จะปรับปรุงจุดด้อยในด้านต่างๆ ของวงจร โดยโครงสร้างที่พบแสดงในรูปที่ 3.20 (ก) ,(ข) และ (ค) ตามลำดับ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



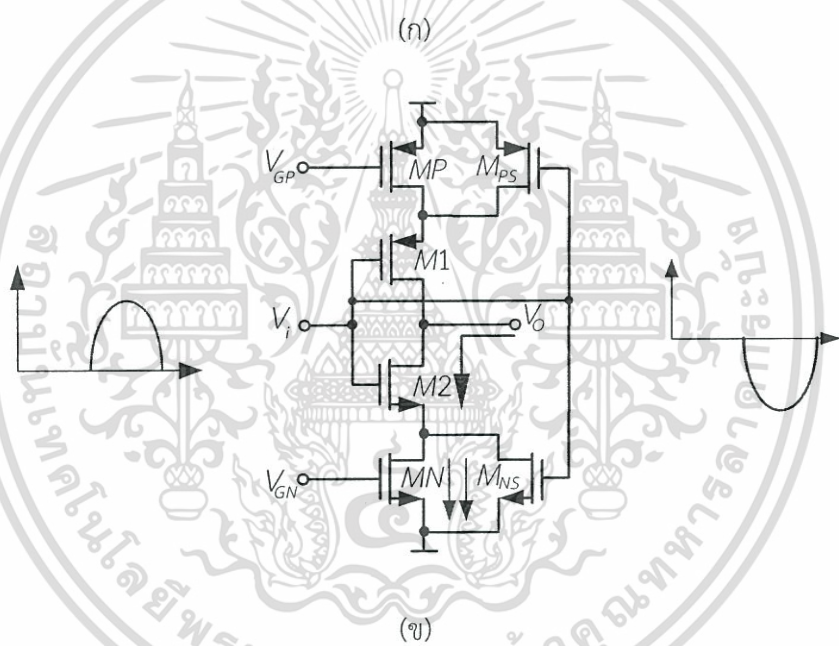
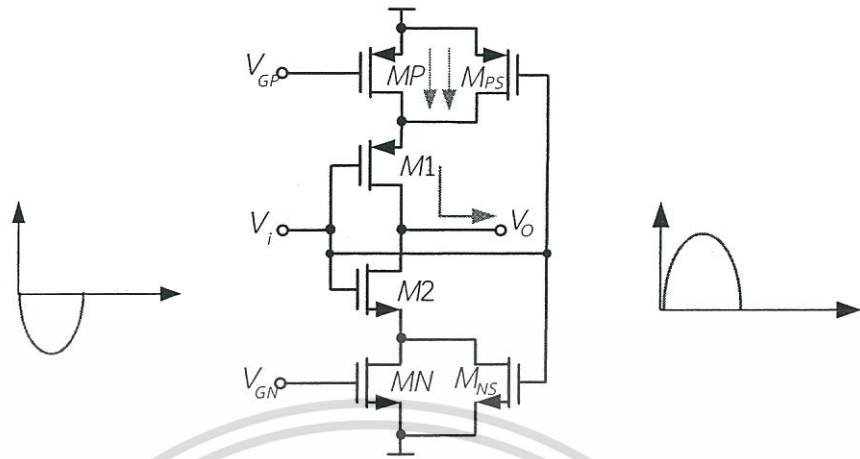
รูปที่ 3.20 (ก) แสดงวงจร Current starved VCO
 (ข) แสดงวงจร Current starved with symmetric load VCO
 (ค) แสดงวงจร Current starved using selector switch VCO

จากรูปที่ 3.20 (ก) แสดงวงจรถ้าเน็ดความถี่ควบคุมด้วยแรงดันแบบซิงเกิลเอนด์ ปรับความถี่โดยการปรับไบอัสกระแสแบบดั้งเดิม

รูปที่ 3.20 (ข) แสดงวงจรถ้าเน็ดความถี่ควบคุมด้วยแรงดันแบบซิงเกิลเอนด์ ปรับความถี่โดยการปรับไบอัสกระแส โดยต่อมอสทรานซิสเตอร์ $MP2$ ขนานกับมอสทรานซิสเตอร์ $MP1$ และ $MN2$ ต่อขนาดกับ $MN1$ มอสทรานซิสเตอร์ที่ต่อขนานจะถูกต่อในแบบไดโอด โดยขนาดของมอสทรานซิสเตอร์ $MP2$ จะมีอัตราส่วน W/L เท่ากับ $MP1$ และในทำนองเดียวกันขนาดของมอสทรานซิสเตอร์ $MN2$ จะมีอัตราส่วน W/L เท่ากับ $MN1$ วงจรจะมีจุดเด่นคือ ความสัมพันธ์ของกระแสและแรงดันจะมีความเป็นเชิงเส้นมากกว่าวงจรในรูปที่ 3.20 (ก) [20]

รูปที่ 3.20 (ค) แสดงวงจรถ้าเน็ดความถี่ควบคุมด้วยแรงดันแบบซิงเกิลเอนด์ ปรับความถี่โดยการปรับไบอัสกระแส วงจรมีจุดเด่นคือใช้เทคนิคเลือกสวิตช์มอสทรานซิสเตอร์เพื่อทำการลดสัญญาณรบกวน $1/f$ ที่เกิดขึ้นในวงจร จุดด้อยของวงจรคือต้องออกแบบวงจรสร้างสัญญาณนาฬิกาเพื่อควบคุมจังหวะการสวิตช์ของมอสทรานซิสเตอร์

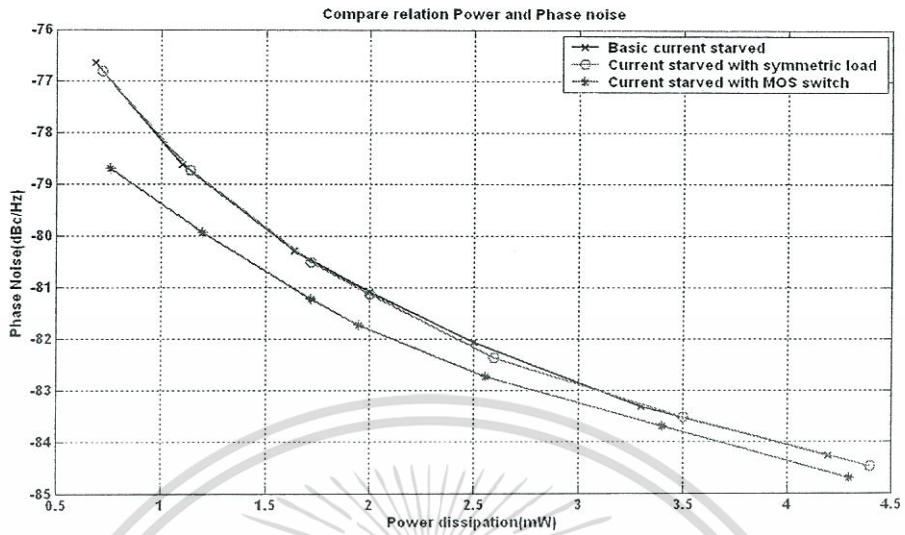
วงจรถ้าเน็ดความถี่แบบวงแหวนควบคุมด้วยแรงดันที่น่าเสนอจึงเลือกใช้โครงสร้างแบบซิงเกิลเอนด์ โดยใช้เทคนิคการเพิ่มแรงดันสวิงทางด้านออก เนื่องจากโครงสร้างแบบซิงเกิลเอนด์มีอัตราการสิ้นเปลือง



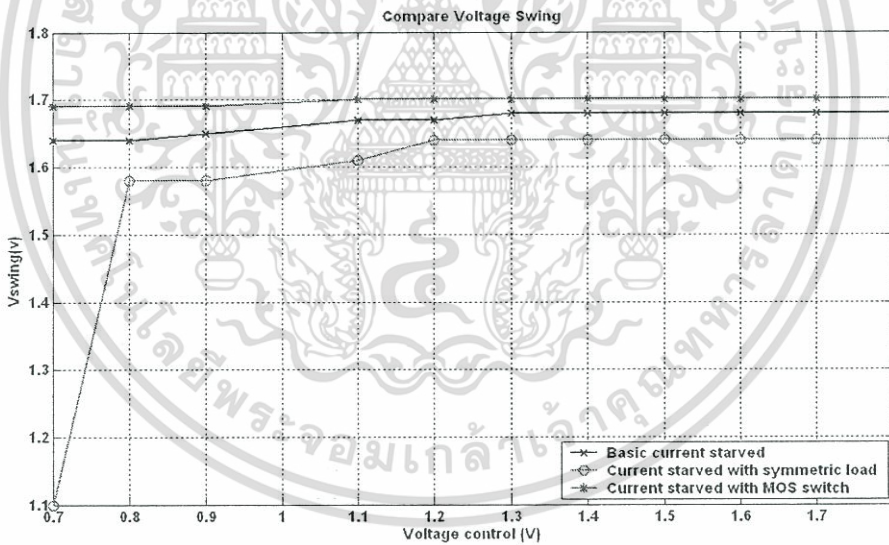
รูปที่ 3.22 (ก) แสดงการสวิงของสัญญาณทางด้านออกเมื่อสัญญาณทางเข้าเป็นลบ
 (ข) แสดงการสวิงของสัญญาณทางด้านออกเมื่อสัญญาณทางเข้าเป็นบวก

จากผลการจำลองการทำงานของวงจรถูกกำหนดความถี่ควบคุมด้วยแรงดันแบบวงแหวน ในรูปที่ 3.20 (ก),(ข) และวงจรถูกนำเสนอในรูปที่ 3.21 แสดงให้เห็นว่า วงจรถูกนำเสนอเกิดสัญญาณรบกวนเชิงเฟสน้อยกว่าวงจรถูกนำเสนอในรูปที่ 3.20 (ก) ,(ข) มีค่าประมาณ 1-2 dB ในเงื่อนไขที่มีอัตราการใช้พลังงานเท่ากันและมีความถี่เท่ากัน รูปที่ 3.23 และรูปที่ 3.24 แสดงการเปรียบเทียบแรงดันสวิงทางด้านออกซึ่งพบว่าวงจรถูกนำเสนอมีแรงดันสวิงทางด้านออกคงที่และมีค่ามากกว่าเมื่อเทียบกับวงจรถูกนำเสนอในรูปที่ 3.20 (ก) ,(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

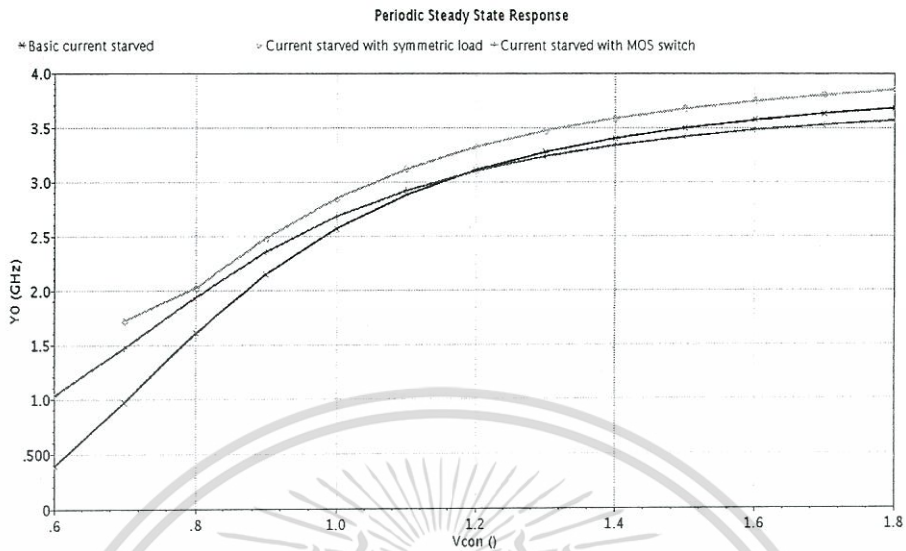


รูปที่ 3.23 แสดงการเปรียบเทียบสัญญาณรบกวนเชิงเฟสในกรณีอัตราสิ้นเปลืองพลังงานเท่ากัน



รูปที่ 3.24 แสดงการเปรียบเทียบแรงดันสวิงทางด้านออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 แสดงการเปรียบเทียบการเปลี่ยนแปลงความถี่เมื่อปรับแรงดันควบคุม

ในรูปที่ 3.25 แสดงการเปรียบเทียบการเปลี่ยนแปลงความถี่เมื่อปรับแรงดันควบคุมพบว่าแบบวงจร Current starved VCO จะมีย่านในการปรับความถี่กว้างกว่า วงจร Current starved with symmetric load VCO และ Current starved using selector switch VCO แต่ทั้ง 3 วงจรจะมีค่าเกณฑ์ในการเปลี่ยนความถี่เมื่อปรับแรงดันใกล้เคียงกันและมีค่าความเป็นเชิงเส้นใกล้เคียงกัน

บทที่ 4

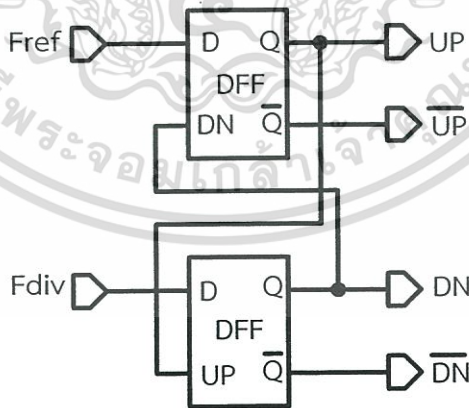
ผลการจำลองการทำงานวงจรสังเคราะห์ความถี่เฟสล็อกกลุ๊ป

4.1 บทนำ

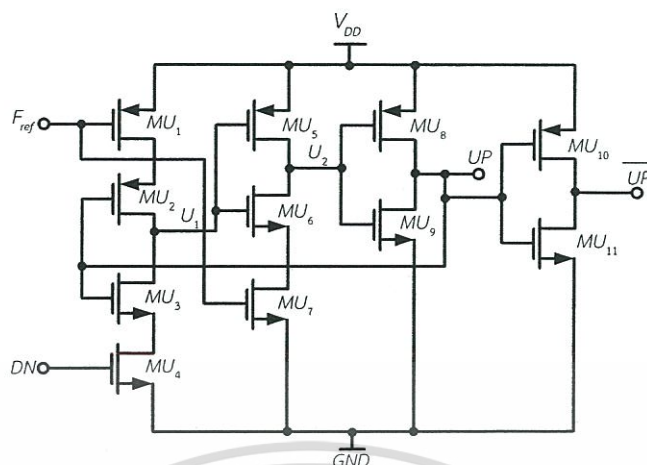
ในบทนี้จะกล่าวถึงวงจรสังเคราะห์ความถี่เฟสล็อกกลุ๊ปที่นำเสนอโดยจะแสดงผลการจำลองการทำงานของแต่ละวงจรได้แก่ วงจรตรวจจับเฟสความถี่ วงจรอัตราประจุและคายประจุ วงจรรองความถี่ต่ำ ผ่าน วงจรกำเนิดความถี่แบบวงแหวนควบคุมด้วยแรงดันที่นำเสนอ วงจรหารความถี่ และแสดงผลการจำลองการทำงานของวงจรสังเคราะห์ความถี่เฟสล็อกกลุ๊ป

4.2 ผลการจำลองการทำงานวงจรตรวจจับเฟสความถี่ที่นำมาใช้งาน

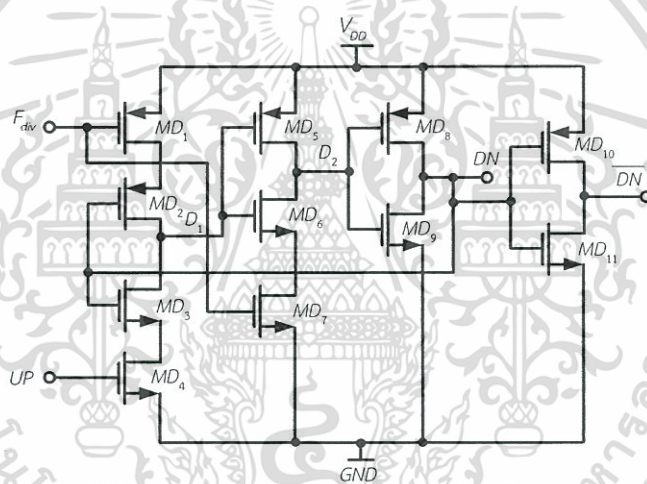
ในการออกแบบวงจรสังเคราะห์ความถี่เฟสล็อกกลุ๊ปเลือกใช้วงจรตรวจจับเฟสความถี่แบบสามสถานะ (Tri state) เนื่องจากใช้วงจรหารความถี่แบบจำนวนเต็ม(Integer N) ซึ่งไม่ต้องการความเป็นเชิงเส้นสูง และวงจรตรวจจับเฟสความถี่แบบสามสถานะมีอัตราสิ้นเปลืองพลังงานที่ต่ำ เนื่องจากจะมีการสูญเสียพลังงานเฉพาะในช่วงที่วงจรอัตราประจุและคายประจุทำงานเท่านั้นและยังมีช่วงเวลาการหน่วงของสัญญาณรีเซทที่ต่ำ วงจรตรวจจับเฟสความถี่แบบสามสถานะที่นำมาใช้เลือกใช้โครงสร้างภายในของดีฟลิปฟلوبแบบ True single phase clock (TSPC) มีข้อดีคือใช้สัญญาณนาฬิกาควบคุมเพียงชุดเดียว และวงจรประกอบด้วยมอสทรานซิสเตอร์ภายในวงจรเพียง 11 ตัว ทำให้มีอัตราสิ้นเปลืองพลังงานที่ต่ำอีกทั้งมีพื้นที่การทำเลย์เอาท์ของวงจรมีน้อย วงจรตรวจจับเฟสความถี่แบบสามสถานะแสดงในรูปที่ 4.1



รูปที่ 4.1 แสดงวงจรตรวจจับเฟสความถี่ที่นำมาใช้งาน[22]



(ก)



(ข)

รูปที่ 4.2 (ก) แสดงโครงสร้างภายในไดนามิกดีฟลิปฟล็อปใช้ควบคุมการอัดประจุ
(ข) แสดงโครงสร้างภายในไดนามิกดีฟลิปฟล็อปใช้ควบคุมการคายประจุ

จากรูปที่ 4.2 (ก) และ (ข) แสดงโครงสร้างภายในของไดนามิกดีฟลิปฟล็อปใช้ควบคุมการอัดประจุ และคายประจุโดยมีหลักการทำงานดังนี้ สมมุติว่าสถานะเริ่มต้นเอาต์พุต UP และ DN มีสถานะเป็นลอจิก 0 ทั้งคู่ เมื่อสัญญาณ F_{REF} และ F_{DIV} เป็น 0 จะทำให้มอสทรานซิสเตอร์ MU_1 , MU_2 และ MD_1, MD_2 ทำงาน ทำให้มีกระแสไหลผ่านมาเก็บประจุที่โหนด U1 และ D1 (อยู่ในสถานะ Pre-charge) ทำให้โหนด U1, D1 มีศักย์เท่ากับแหล่งจ่ายที่ป้อนให้กับวงจร ส่งผลให้มอสทรานซิสเตอร์ MU_6 , MD_6 ทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อตรวจพบขอบขาขึ้นของสัญญาณ F_{REF} ส่งผลให้มอสทรานซิสเตอร์ MU_7 ทำงาน ทำให้โนด U2 มีค่าเป็นเป็นลอจิก 0 ทำให้ มอสทรานซิสเตอร์ MU_8 ทำงาน ส่งผลให้เอาต์พุต UP จะมีค่าเท่ากับแหล่งจ่ายไฟ หรือเป็นลอจิก 1 ซึ่งจะทำให้มอสทรานซิสเตอร์ MU_4 และ MD_3 ทำงาน เมื่อพบขอบขาขึ้นของสัญญาณ F_{DIV} จะทำให้ MOS MD_7 ทำงาน ส่งผลให้โนด D2 มีค่าเท่ากับ 0 จะทำให้มอสทรานซิสเตอร์ MD_8 ทำงาน ส่งผลให้ผลให้เอาต์พุต DN มีค่าเท่ากับ 1 ทำให้มอสทรานซิสเตอร์ MU_4 ทำงาน โหนด U1 มีค่าเท่ากับ 0 ส่งผลให้เอาต์พุต UP เกิดการรีเซ็ตเป็น 0

ตารางที่ 4.1 และตารางที่ 4.2 แสดงอัตราส่วนของมอสทรานซิสเตอร์ภายในไดนามิกดีฟลิปฟลอป ใช้ควบคุมการอัดและประจุ

อัตราส่วน(W/L) มอสทรานซิสเตอร์ของไดนามิกดีฟลิปฟลอป(UP)			
$MU1=(5/0.18) (\mu m)$	$MU5=(12/0.18) (\mu m)$	$MU8=(12/0.18) (\mu m)$	$MU10=(12/0.18) (\mu m)$
$MU2=(12/0.18) (\mu m)$	$MU6=(6/0.18) (\mu m)$	$MU9=(6/0.18) (\mu m)$	$MU11=(6/0.18) (\mu m)$
$MU3=(6/0.18) (\mu m)$	$MU7=(1/0.18) (\mu m)$		
$MU4=(1/0.18) (\mu m)$			

ตารางที่ 4.1 แสดงอัตราส่วน(W/L) มอสทรานซิสเตอร์ของไดนามิกดีฟลิปฟลอป(UP)

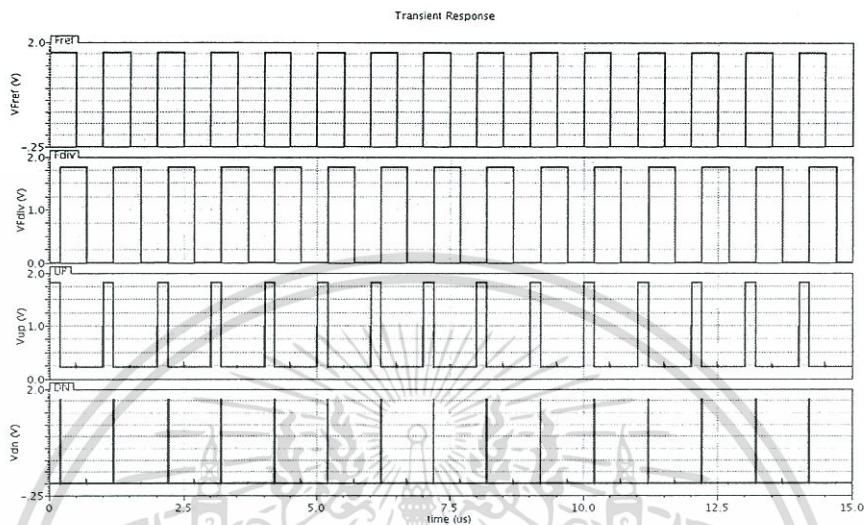
อัตราส่วน(W/L) มอสทรานซิสเตอร์ของไดนามิกดีฟลิปฟลอป(DN)			
$MD1=(5/0.18) (\mu m)$	$MD5=(12/0.18) (\mu m)$	$MD8=(12/0.18) (\mu m)$	$MD10=(12/0.18) (\mu m)$
$MD2=(12/0.18) (\mu m)$	$MD6=(6/0.18) (\mu m)$	$MD9=(6/0.18) (\mu m)$	$MD11=(6/0.18) (\mu m)$
$MD3=(6/0.18) (\mu m)$	$MD7=(1/0.18) (\mu m)$		
$MD4=(1/0.18) (\mu m)$			

ตารางที่ 4.2 แสดงอัตราส่วน(W/L) มอสทรานซิสเตอร์ของไดนามิกดีฟลิปฟลอป(DN)

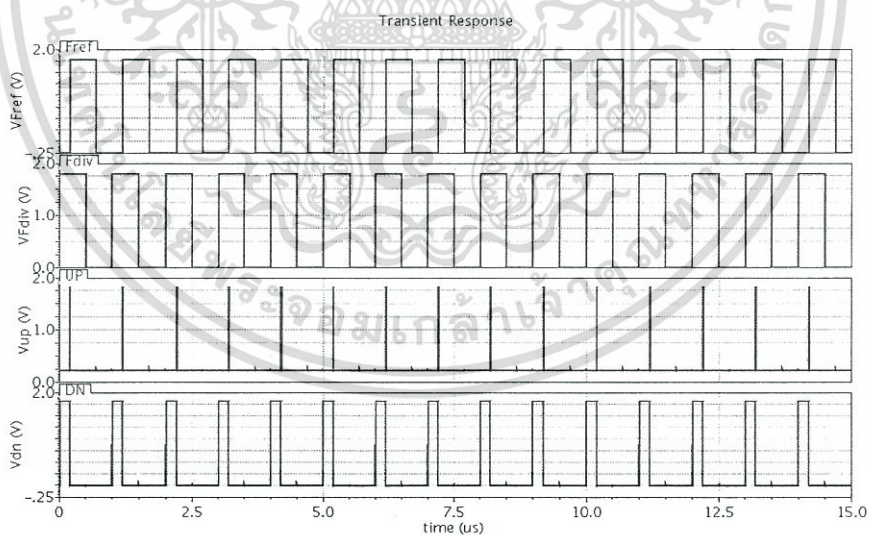
จากรูปที่ 4.3 แสดงผลการจำลองการทำงานของวงจรตรวจจับเฟสความถี่(layout) กรณีสัญญาณ อินพุตอ้างอิง(F_{ref}) มีเฟสนำหน้าสัญญาณความถี่ที่ได้จากวงจรหารความถี่(F_{div}) จากผลการจำลองการทำงานจะพบว่าเกิดพัลส์ของสัญญาณ UP ขึ้น ซึ่งขนาดความกว้างของพัลส์ จะขึ้นอยู่กับอัตราส่วนของเฟสโดยถ้าเฟสสัญญาณอินพุตอ้างอิงนำหน้าเฟสสัญญาณความถี่ที่ได้จากวงจรหารความถี่มาก ก็จะทำให้มีขนาดความกว้างของพัลส์มาก และสัญญาณ UP จะทำให้เกิดการอัดประจุ

จากรูปที่ 4.4 แสดงผลการจำลองการทำงานของวงจรตรวจจับเฟสความถี่(layout) กรณีสัญญาณ อินพุตอ้างอิง(F_{ref}) มีเฟสล้าหลังสัญญาณความถี่ที่ได้จากวงจรหารความถี่(F_{div}) จากผลการจำลองการทำงานจะพบว่าเกิดพัลส์ของสัญญาณ DN ขึ้น ซึ่งขนาดความกว้างของพัลส์ จะขึ้นอยู่กับอัตราส่วนของ

เฟสโดยถ้าเฟสสัญญาณอินพุตอ้างอิงนำหน้าเฟสสัญญาณความถี่ที่ได้จากวงจรหารความถี่มาก ก็จะทำให้มีขนาดความกว้างของพัลส์มาก และสัญญาณ DN จะทำให้เกิดการคายประจุ

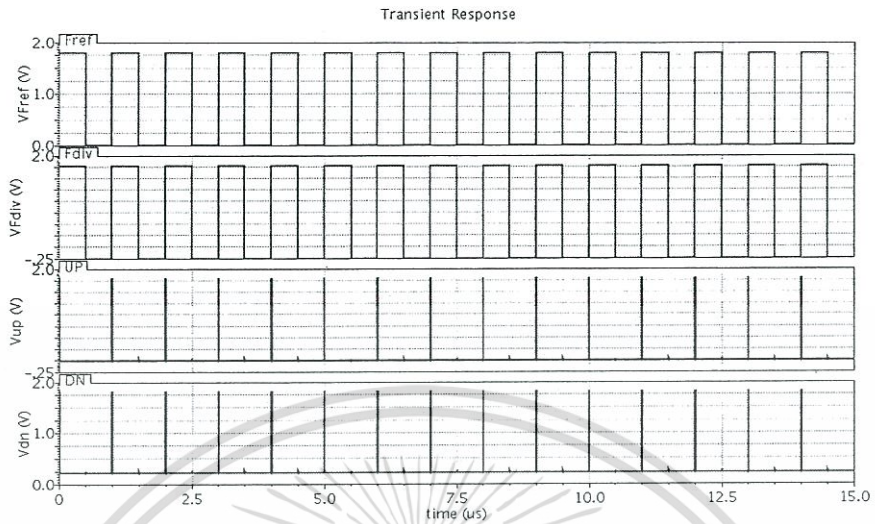


รูปที่ 4.3 แสดงผลการจำลองการทำงานจากเลย์เอาต์ กรณีสัญญาณอินพุตอ้างอิง(Fref)มีเฟสนำหน้าสัญญาณความถี่ที่ได้จากวงจรหารความถี่(Fdiv)

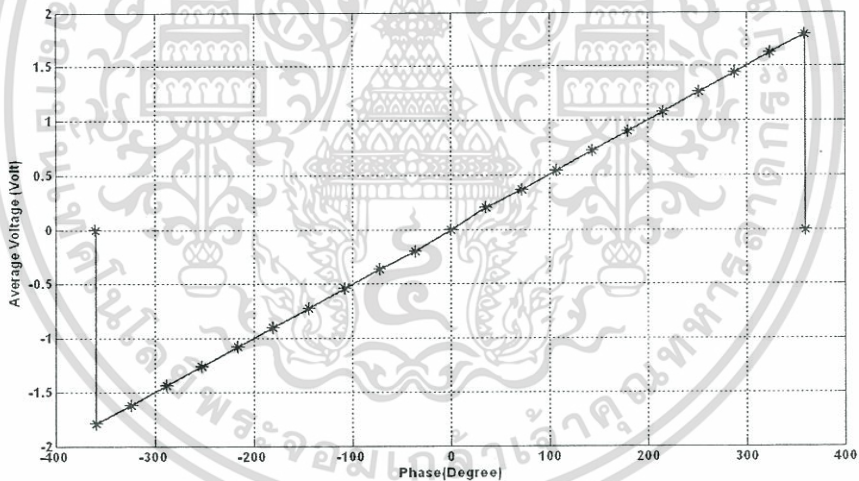


รูปที่ 4.4 แสดงผลการจำลองการทำงานจากเลย์เอาต์ กรณีสัญญาณอินพุตอ้างอิง(Fref)มีเฟสล้าหลังสัญญาณความถี่ที่ได้จากวงจรหารความถี่(Fdiv)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 แสดงผลการจำลองการทำงานจากเลย์เอาต์ กรณีสัญญาณอินพุตอ้างอิง(Fref)มีเฟสเท่ากับสัญญาณความถี่ที่ได้จากวงจรหารความถี่(Fdiv)



รูปที่ 4.6 แสดงแรงดันเฉลี่ยทางเอาต์พุตของวงจรตรวจจับเฟสความถี่

จากรูปที่ 4.5 แสดงผลการจำลองการทำงานของวงจรตรวจจับเฟสความถี่จากวงจรเลย์เอาต์ กรณีสัญญาณอินพุตอ้างอิง(Fref) มีเฟสเท่ากับสัญญาณความถี่ที่ได้จากวงจรหารความถี่(Fdiv) จากผลการจำลองการทำงานจะพบว่าจะไม่เกิดพัลส์ของสัญญาณ UP และ DN ขึ้น นั่นคือไม่มีการอัดและคายประจุ

จากรูปที่ 4.6 แสดงแรงดันเฉลี่ยทางเอาต์พุตของสัญญาณ เมื่อมีการเลื่อนเฟสหน้าและล่าหลังพบว่าสามารถตรวจสอบความแตกต่างเฟสได้ตั้งแต่ 0 – 354 องศา โดยมีช่วง Blind zone ตั้งแต่ 355-360 องศา

ตารางที่ 4.3 แสดงคุณสมบัติของวงจรตรวจจับเฟสความถี่ที่นำมาใช้งานโดยจะพบว่าวงจรตรวจจับเฟสความถี่สามารถตรวจจับเฟสได้ระหว่าง 0-355 องศา มีอัตราสิ้นเปลืองพลังงานที่ต่ำมีค่าระหว่าง 19.4-525.1 μW

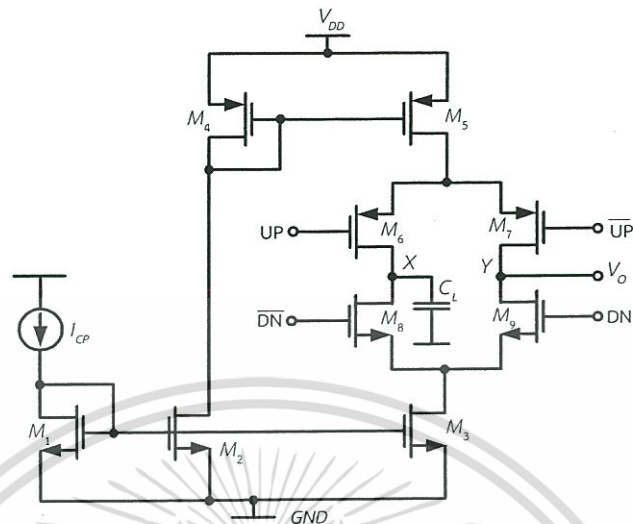
พารามิเตอร์	ค่า
เทคโนโลยี	0.18 μm
แรงดัน(V_{DD})	1.8 V
ช่วงในการตรวจจับความต่างเฟส	ในช่วง $\pm 2\pi$
Blind zone	355 องศา
อัตราสิ้นเปลืองพลังงาน	19.4-525.1 μW
พื้นที่ชิป	20 \times 22 μm

ตารางที่ 4.3 แสดงผลการคุณสมบัติวงจรตรวจจับและคายประจุ

4.3 ผลการจำลองการทำงานวงจรตรวจจับและวงจรรองความถี่ต่ำนำมาใช้งาน

4.3.1 วงจรตรวจจับและคายประจุที่นำมาใช้งาน

วงจรตรวจจับสามารถแบ่งออกได้เป็น 2 ชนิด คือ วงจรตรวจจับแบบซิงเกิลเอนด์(Single ended charge pump) และแบบดิฟเฟอเรนเชียล (Differential charge pump)[25] วงจรตรวจจับแบบซิงเกิลเอนด์ มีข้อดีคือจะมีอัตราการสิ้นเปลืองพลังงานที่ต่ำเมื่อใช้วงจรตรวจจับเฟสแบบสามสถานะเป็นตัวควบคุมการอัดประจุ(Charge)และคายประจุ(Discharge) แต่จะมีจุดด้อยในเรื่องความไม่สมมาตรกันในช่วงอัดและคายประจุ(Charge and Discharge mismatch) และมีความไวต่อสัญญาณรบกวนจากแหล่งจ่ายไฟ แบบดิฟเฟอเรนเชียล มีจุดเด่นคือมีความสมมาตรกันในช่วงอัดและคายประจุ และมีความไวต่อสัญญาณรบกวนจากแหล่งจ่ายที่ต่ำ แต่จะมีจุดด้อยคือมีอัตราสิ้นเปลืองพลังงานค่อนข้างสูง ในวิทยานิพนธ์เล่มนี้ได้เลือกใช้วงจรตรวจจับและคายประจุแบบดิฟเฟอเรนเชียล นั่นก็เพื่อต้องการให้มีความสมมาตรกันของการอัดและคายประจุ และลดความไวต่อสัญญาณรบกวนจากแหล่งจ่าย ซึ่งจะทำให้เกิดสัญญาณรบกวนเชิงเฟสลดลง วงจรตรวจจับและคายประจุแบบดิฟเฟอเรนเชียลที่นำมาใช้งาน แสดงในรูปที่ 4.7



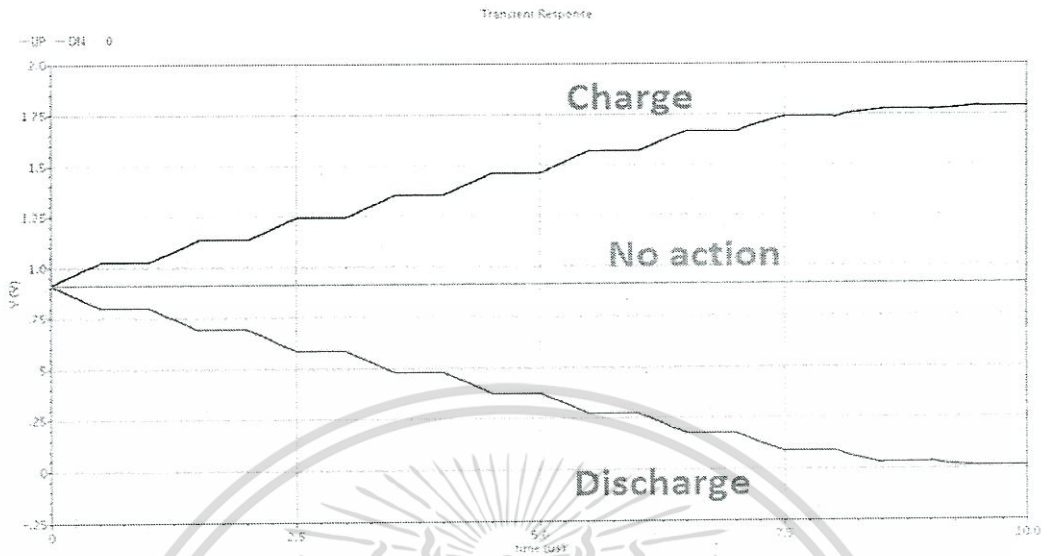
รูปที่ 4.7 แสดงวงจรอัดประจุที่นำมาใช้งาน

จากรูปที่ 4.7 มอสทรานซิสเตอร์ M_1 จะเป็นตัวสะท้อนกระแสจากแหล่งจ่ายกระแส I_{cp} ไปยังมอสทรานซิสเตอร์ M_2 และ M_3 กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_2 และ M_4 จะมีค่าเท่ากันคือมีค่าเท่ากับ I_{cp} มอสทรานซิสเตอร์ M_4 จะสะท้อนกระแสไปยังมอสทรานซิสเตอร์ M_5 มอสทรานซิสเตอร์ M_6 - M_9 ต่อกันแบบดิฟเฟอเรนเชียล

กรณีสัญญาณ UP เท่ากับ 1 และสัญญาณ \overline{UP} มีค่าเท่ากับ 0 และสัญญาณ DN มีค่าเท่ากับ 0 สัญญาณ \overline{DN} เท่ากับ 1 จะทำให้มอสทรานซิสเตอร์ M_7 และ M_8 ทำงาน มอสทรานซิสเตอร์ M_6 และ M_9 ไม่ทำงาน ที่โหนด X จะเกิดการคายประจุผ่านมอสทรานซิสเตอร์ M_8 และ M_3 ลงกราวด์ โหนด Y จะเกิดการอัดประจุโดยกระแสจะไหลผ่านมอสทรานซิสเตอร์ M_7 ไปประจุที่คาปาซิเตอร์โหลด

กรณีสัญญาณ UP เท่ากับ 0 และสัญญาณ \overline{UP} มีค่าเท่ากับ 1 และสัญญาณ DN มีค่าเท่ากับ 1 สัญญาณ \overline{DN} เท่ากับ 0 จะทำให้มอสทรานซิสเตอร์ M_6 และ M_9 ทำงาน มอสทรานซิสเตอร์ M_7 และ M_8 ไม่ทำงาน ที่โหนด X จะเกิดการอัดประจุผ่านมอสทรานซิสเตอร์ M_6 ไปยังคาปาซิเตอร์โหลด C_L โหนด Y จะเกิดการคายประจุโดยกระแสจะไหลผ่านมอสทรานซิสเตอร์ M_9 และ M_3 ลงกราวด์ กรณีสัญญาณ UP และ DN เท่ากับ 0 และสัญญาณ \overline{UP} และ \overline{DN} มีค่าเท่ากับ 1 จะทำให้มอสทรานซิสเตอร์ M_6 , M_7 , M_8 และ M_9 ไม่ทำงาน นั่นก็คือไม่มีการอัดหรือคายประจุ หรืออยู่ในสภาวะล็อกความถี่นั่นเอง

จากรูปที่ 4.8 แสดงการจำลองการทำงานช่วงสัญญาณ UP และ DN เมื่อสัญญาณ UP ทำงานจะเกิดการอัดประจุ และเมื่อสัญญาณ DN ทำงานจะเกิดการคายประจุ และกรณีที่สัญญาณ UN และ DN ทั้งสองไม่ทำงานจะไม่มีการอัดหรือคายประจุเกิดขึ้น



รูปที่ 4.8 แสดงการทำงานในช่วงอัดและคายประจุของวงจรถูกอัดประจุ

อัตราส่วน(W/L) มอสทรานซิสเตอร์วงจรควบคุมการอัดและคายประจุ			
M1=(5/0.18) (μm)	M4=(10/0.18) (μm)	M5=(10/0.18) (μm)	M7=(12/0.18) (μm)
	M2=(5/0.18) (μm)	M6=(12/0.18) (μm)	M9=(6/0.18) (μm)
		M8=(6/0.18) (μm)	
		M3=(5/0.18) (μm)	

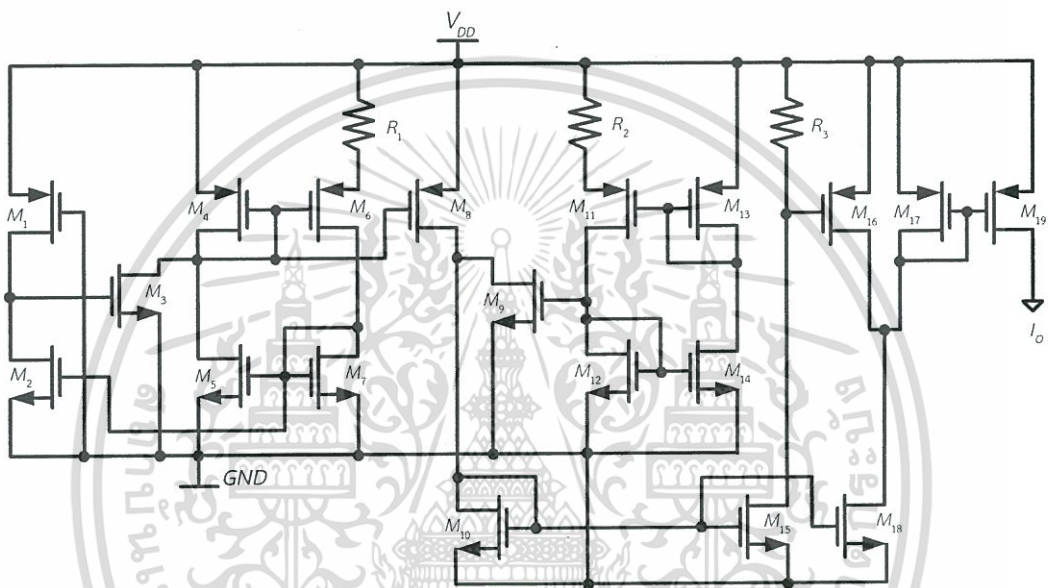
ตารางที่ 4.4 แสดงอัตราส่วน(W/L) มอสทรานซิสเตอร์วงจรควบคุมการอัดและคายประจุ

4.3.2 ผลการจำลองการทำงานวงจรสร้างกระแสอ้างอิงที่นำมาใช้งาน [26,27]

ในรูปที่ 4.9 แสดงวงจรสร้างกระแสอ้างอิง (Current reference) โดยมีหลักการทำงานของวงจรดังนี้ วงจรกระแสอ้างอิงจะประกอบด้วยวงจรวจรสร้างกระแสอ้างอิงแบบไบอัสตัวเองสองวงจรถูกสร้างกระแสออกมามีขนาดไม่เท่ากัน หลังจากนั้นนำกระแสทั้งสองมาหักล้างกันเพื่อเป็นการชดเชยแรงดันและอุณหภูมิ โดยมอสทรานซิสเตอร์ M_4 - M_7 และตัวต้านทาน R_1 เป็นวงจรถูกสร้างกระแสอ้างอิงตัวแรก และวงจรถูกสร้างกระแสอ้างอิงตัวที่สองมีมอสทรานซิสเตอร์ M_{11} - M_{14} และตัวต้านทาน R_2 โดยกระแสของวงจรถูกแรกจะถูกสะท้อนด้วยมอสทรานซิสเตอร์ M_8 และกระแสของวงจรถูกที่สองจะถูกสะท้อนโดยมอสทรานซิสเตอร์ M_9 กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_{10} คือกระแสที่หักล้างกันระหว่างกระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_8 และ M_9 เมื่อแรงดันของแหล่งจ่ายเปลี่ยนแปลงจะมีผลทำให้กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_8 และ M_9 เปลี่ยนแปลงโดยจะมีอัตราเปลี่ยนแปลงในอัตราส่วนที่เท่ากันส่งผลให้กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_{10} มีค่าคงที่ กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_{10} จะ

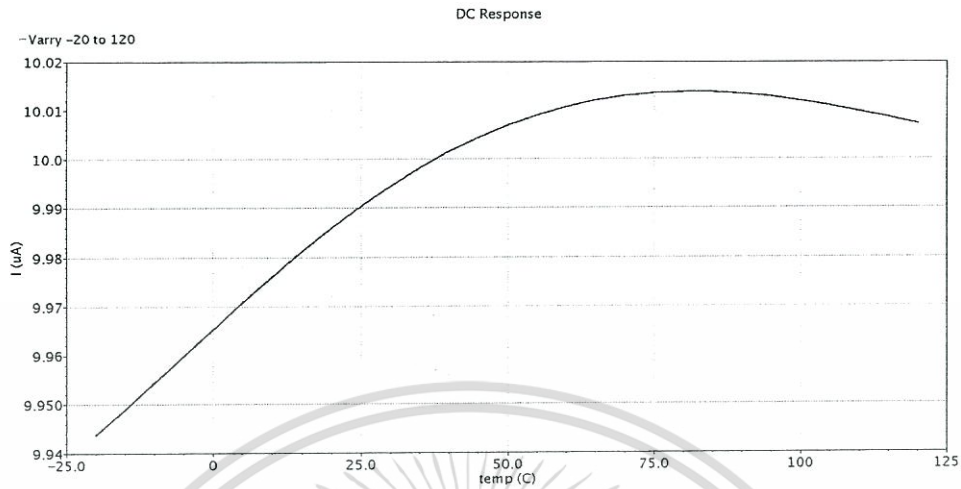
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สะท้อนโดยมอสทรานซิสเตอร์ M_{15} และ M_{18} ตัวต้านทาน R_3 และมอสทรานซิสเตอร์ M_{15} เป็นตัวสร้างแรงดันไบอัสที่ขาเกตของมอสทรานซิสเตอร์ M_{16} กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_{16} และ M_{17} จะมีค่าเท่ากับกระแสที่สะท้อนโดยมอสทรานซิสเตอร์ M_{18} เมื่ออุณหภูมิเปลี่ยนแปลงกระแสที่ไหลผ่านทรานซิสเตอร์ M_{15} และ M_{18} ก็จะเปลี่ยนแปลงทำให้กระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_{16} มีการเปลี่ยนแปลงในอัตราส่วนที่เท่ากับการเปลี่ยนแปลงของกระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_{18} ดังนั้นกระแสที่ไหลผ่านมอสทรานซิสเตอร์ M_{17} จึงไม่เปลี่ยนแปลง



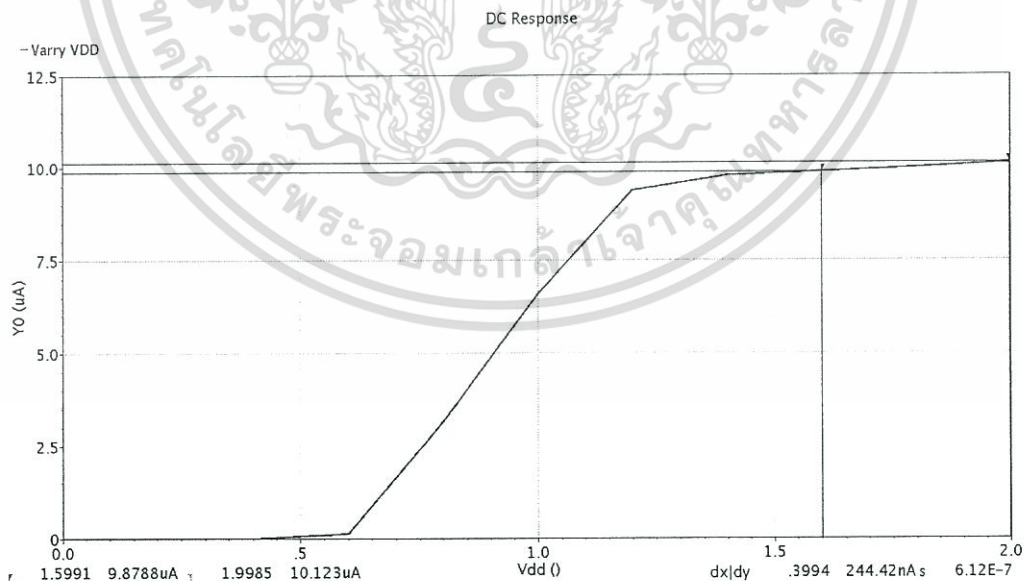
รูปที่ 4.9 แสดงวงจรแหล่งจ่ายกระแสอ้างอิงที่นำมาใช้งาน[26]

ในรูปที่ 4.10 แสดงการสร้างกระแสอิงพุทอ้างอิงขนาด 10 ไมโครแอมป์ เมื่อป้อนแรงดันขนาด 1.8 โวลต์ โดยปรับเปลี่ยนอุณหภูมิตั้งแต่ -20 ถึง 120 องศาเซลเซียส จะพบว่าที่อุณหภูมิ -20 องศาเซลเซียส มีค่าผิดพลาดของกระแสเท่ากับ 5.8 เปอร์เซ็นต์ และที่อุณหภูมิ 27 องศาเซลเซียส มีค่าผิดพลาดของกระแส 0.8 เปอร์เซ็นต์ และที่อุณหภูมิ 50 องศาเซลเซียส มีค่าผิดพลาดของกระแสเท่ากับ 1 เปอร์เซ็นต์



รูปที่ 4.10 แสดงกระแสเอาต์พุต เมื่อเปลี่ยนอุณหภูมิจาก -25 ถึง 120 องศาเซลเซียส

ในรูปที่ 4.11 แสดงกระแสอินพุตอ้างอิงขนาด 10 ไมโครแอมป์ โดยป้อนแรงดันแหล่งจ่ายไฟขนาด 1.6 โวลต์ หรือต่ำกว่าแรงดันปกติ 0.2 โวลต์ หรือมีค่าผิดพลาดของแหล่งจ่ายแรงดันเท่ากับลบ 20 เปอร์เซ็นต์ จากผลการจำลองการทำงานพบว่ามีความผิดพลาดของกระแสเท่ากับ 12 เปอร์เซ็นต์ และเมื่อป้อนแรงดันแหล่งจ่ายไฟขนาด 2.0 โวลต์ หรือสูงกว่าแรงดันปกติ 0.2 โวลต์ หรือมีค่าผิดพลาดของแหล่งจ่ายแรงดันเท่ากับบวก 20 เปอร์เซ็นต์ พบว่ามีความผิดพลาดของกระแสเท่ากับ 12.3 เปอร์เซ็นต์



รูปที่ 4.11 แสดงกระแสเอาต์พุต เมื่อเปลี่ยนแรงดันตั้งแต่ 0 ถึง 2 โวลต์

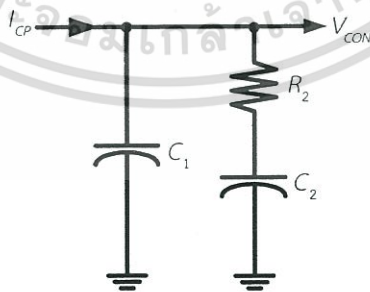
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสทรานซิสเตอร์	อัตราส่วน(W/L)	มอสทรานซิสเตอร์	อัตราส่วน(W/L)
M ₁	1/0.18 μm	M ₁₁	15/1 μm
M ₂	0.5/0.18 μm	M ₁₂ ,M ₁₄ ,M ₁₇	5/1 μm
M ₃ ,M ₄ ,M ₅ ,M ₆ ,M ₇ ,M ₁₃	10/1 μm	M ₁₅	15/5 μm
M ₈	60/5 μm	M ₁₈	10/5 μm
M ₉	20/1 μm	M ₁₉	20/1 μm
M ₁₀ ,M ₁₆	5/5 μm		
ตัวต้านทาน		ค่าความต้านทาน	
R ₁ ,R ₂		10 KΩ	
R ₃		40 KΩ	

ตารางที่ 4.5 แสดงขนาดอัตราส่วนของมอสทรานซิสเตอร์และค่าความต้านทาน

4.3.3 ผลการจำลองการทำงานวงจรกรองความถี่ต่ำผ่านที่นำมาใช้งาน

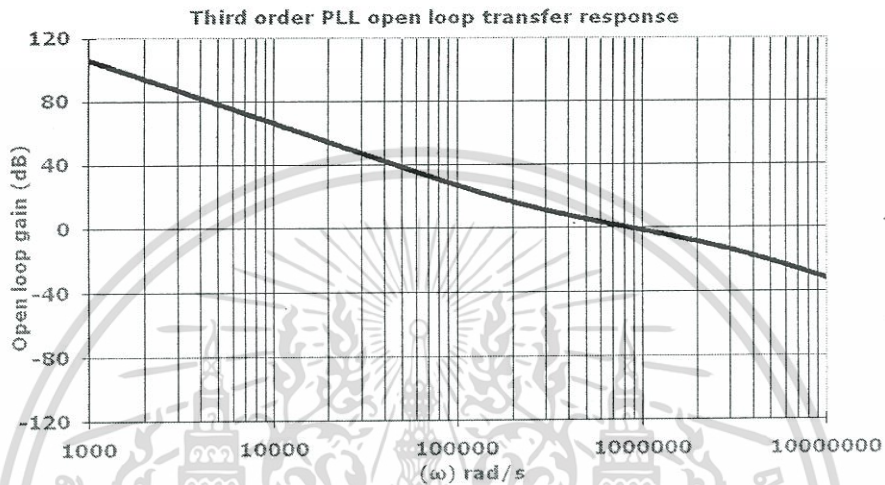
เนื่องจากวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวนที่ใช้มีเกณฑ์การเปลี่ยนแปลงความถี่เมื่อเปลี่ยนแปลงแรงดันค่อนข้างสูง ในวิทยานิพนธ์นี้จึงเลือกใช้วงจรกรองความถี่ต่ำผ่านแบบพาสซีฟลำดับที่สองเนื่องจากสามารถลดแรงดันกระเพื่อมได้ซึ่งจะส่งผลให้ลดการเกิดสัญญาณรบกวนเชิงเฟสวงจรถองความถี่ต่ำผ่านแบบพาสซีฟลำดับที่สองแสดงในรูปที่ 4.12 โดยวงจรประกอบด้วยตัวต้านทาน R₂ ต่ออนุกรมกับตัวเก็บประจุ C₂ และมีตัวเก็บประจุ C₁ ต่อขนานกับตัวต้านทาน R₂ และ C₂ ตัวต้านทาน R₂ จะทำหน้าที่รักษาเสถียรภาพของลูปและตัวเก็บประจุ C₁ ทำหน้าที่ลดแรงดันกระเพื่อม(Ripple)ของสัญญาณแรงดัน เพื่อจะนำไปควบคุมวงจรมกำเนิดความถี่ต่อไป ซึ่งโดยทั่วไปค่าความจุของตัวเก็บประจุ C₁ จะมีค่าน้อยตัวเก็บประจุ C₂ ประมาณ 5-10 เท่า[23]



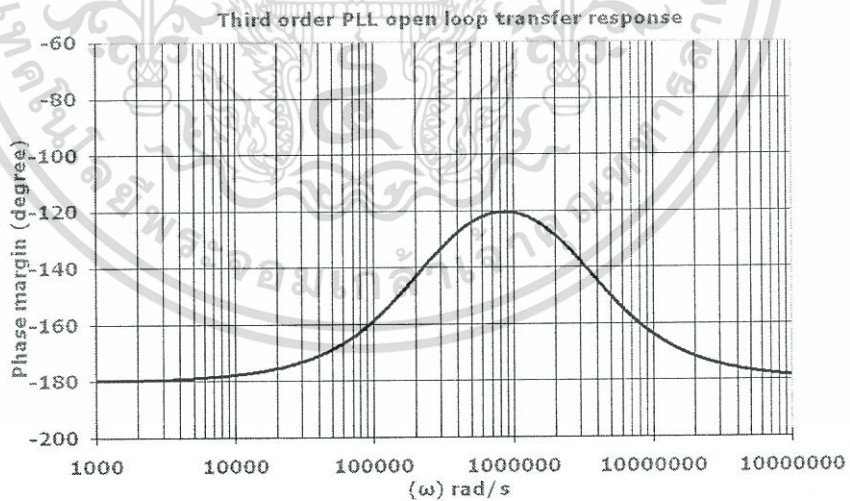
รูปที่ 4.12 แสดงวงจรกรองความถี่ต่ำผ่านลำดับที่สองที่นำมาใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.12 สามารถคำนวณหาค่าความต้านทานและตัวเก็บประจุ ได้ดังนี้ ค่าความจุ $C_1 = 6 \text{ pF}$ ค่าความจุ $C_2 = 60 \text{ pF}$ และค่าความต้านทาน $R_2 = 58 \text{ K}\Omega$ โดยวิธีการคำนวณหาค่าความต้านทานและค่าตัวเก็บประจุแสดงไว้ในภาคผนวก ข

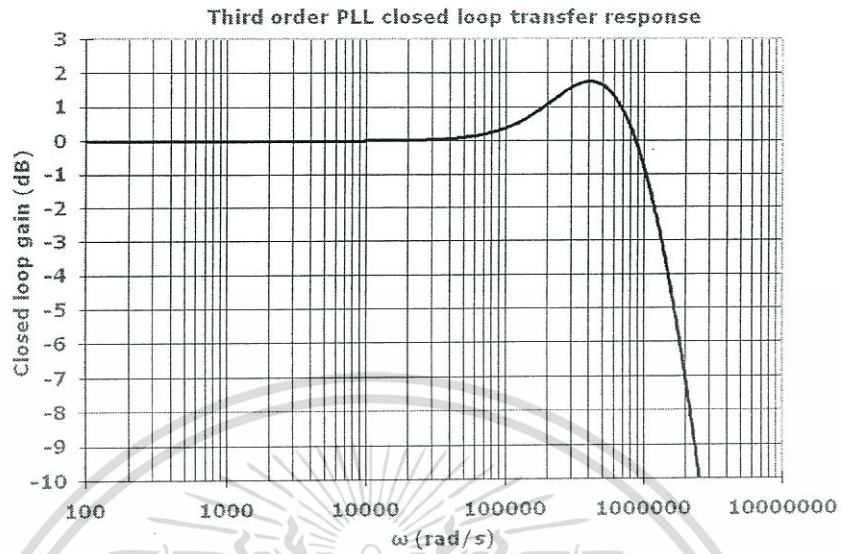


รูปที่ 4.13 แสดงผลตอบสนองทางความถี่ลูปเปิด (Open loop frequency response)



รูปที่ 4.14 แสดงขอบเขตมุม(Phase margin) ลูปเปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

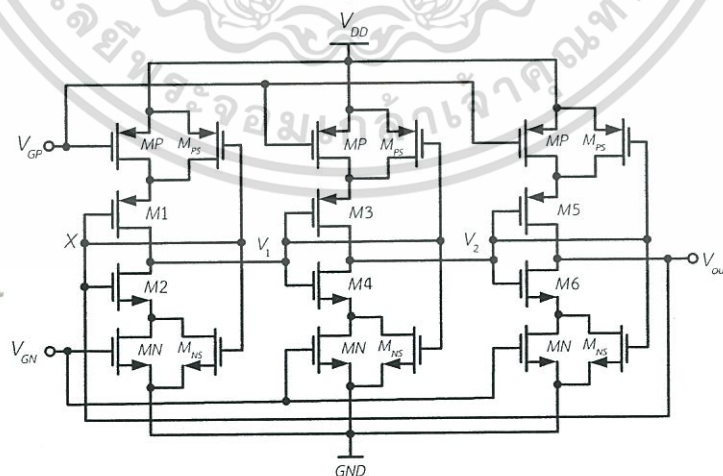


รูปที่ 4.15 แสดงผลตอบสนองทางความถี่ลูปปิด (Closed loop frequency response)

จากรูปที่ 4.13 และ 4.14 แสดงผลตอบสนองทางความถี่ลูปเปิด และแสดงขอบเขตมุลูปเปิด พบว่าผลตอบสนองทางความถี่ลูปเปิดหรือจุดตัดความถี่ (Crossover frequency) มีค่าเท่ากับ 152 กิโลเฮิร์ตซ์ และมีขอบเขตมุลูปเปิดเท่ากับ 59.43 องศา จากรูปที่ 4.15 แสดงผลตอบสนองทางความถี่ลูปปิดพบว่าผลตอบสนองทางความถี่ลูปปิดมีค่าเท่ากับ 161 กิโลเฮิร์ตซ์

4.4 ผลการจำลองการทำงานวงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่นำเสนอ

จากรูปที่ 4.16 แสดงวงจรกำเนิดความถี่ควบคุมด้วยแรงดันโดยการทำงานได้กล่าวถึงไว้ในบทที่ 3

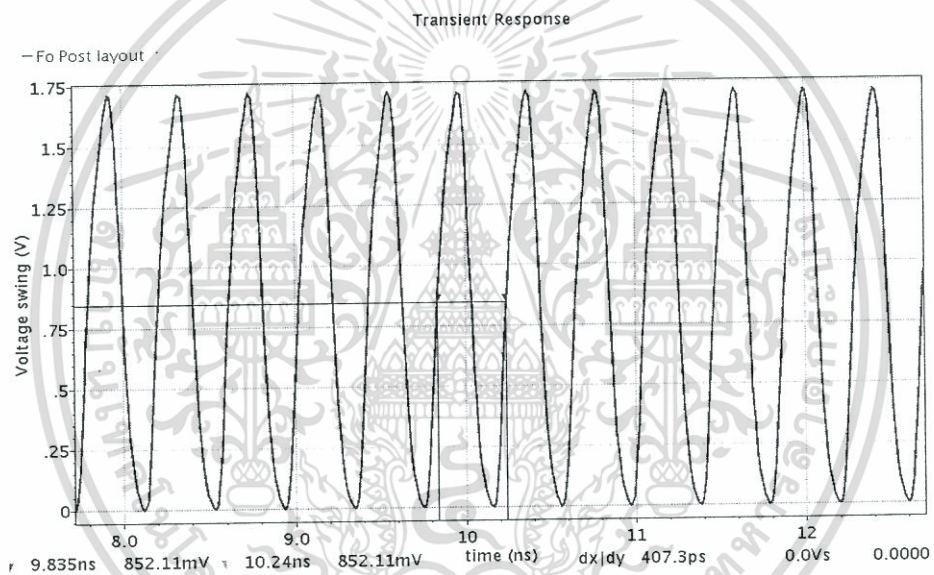


รูปที่ 4.16 แสดงวงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสทรานซิสเตอร์	อัตราส่วน(W/L)
Mp	(3.5/0.18) μm
M1,M3,M5	(4/0.18) μm
M2,M4,M6	(2/0.18) μm
Mn	(1.75/0.18) μm
Mps	(0.48/0.18) μm
Mns	(0.24/0.18) μm

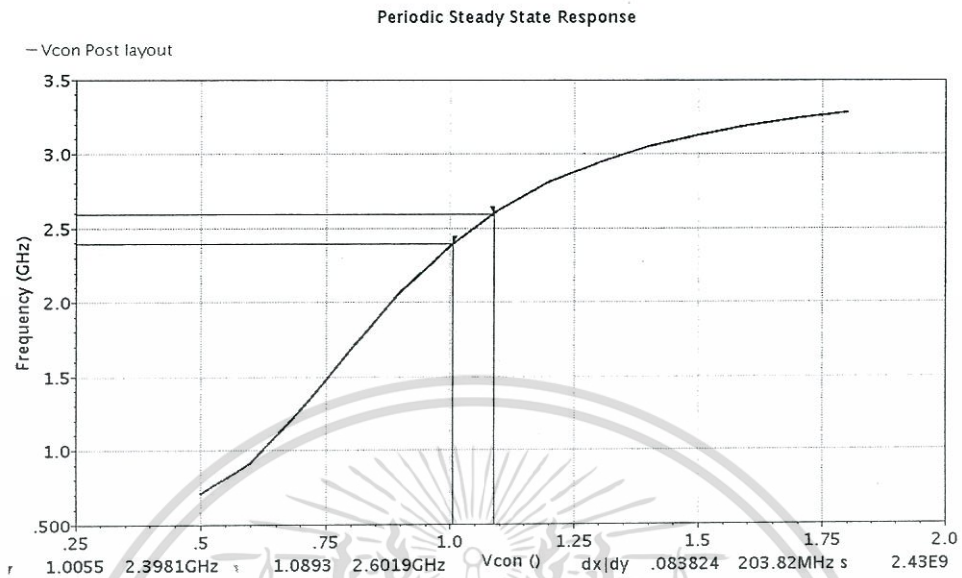
ตารางที่ 4.6 แสดงอัตราส่วนมอสทรานซิสเตอร์วงจรกำเนิดความถี่ควบคุมด้วยแรงดัน



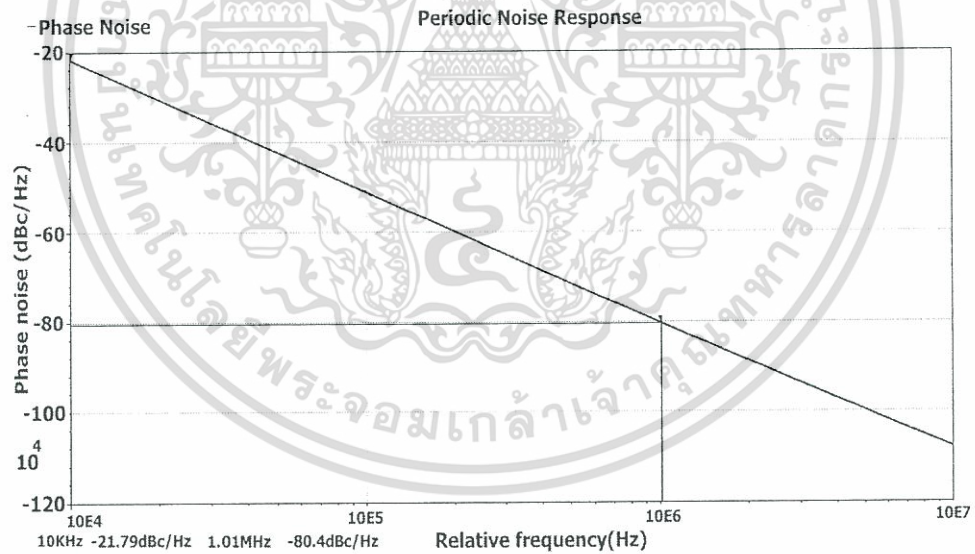
รูปที่ 4.17 แสดงการเกิดความถี่ทางด้านออกที่ความถี่ 2.45 GHz

จากตารางที่ 6.4 แสดงอัตราส่วนของมอสทรานซิสเตอร์ที่ใช้ออกแบบวงจรกำเนิดความถี่ควบคุมด้วยแรงดันที่นำเสนอ

จากรูปที่ 4.17 แสดงการจำลองการทำงานของวงจรกำเนิดความถี่ที่นำเสนอจากเลย์เอาต์ ซึ่งให้กำเนิดความถี่ 2.45GHz จะพบว่าแรงดันสวิงจะมีค่าประมาณ 1.7 โวลต์ ซึ่งมีค่าใกล้เคียงกับแหล่งจ่ายขนาด 1.8 โวลต์



รูปที่ 4.18 แสดงช่วงการเกิดความถี่ของวงจรถ่ายความถี่ที่นำเสนอ



รูปที่ 4.19 แสดงการเกิดสัญญาณรบกวนเชิงเฟสของวงจรถ่ายความถี่ที่นำเสนอ

จากรูปที่ 4.18 แสดงช่วงการเกิดความถี่ของวงจรถ่ายความถี่ที่นำเสนอ โดยกำเนิดความถี่ต่ำสุดเท่ากับ 766.6เมกกะเฮิรตซ์ ที่แรงดันควบคุม 0.5 โวลต์ และกำเนิดความถี่สูงสุดเท่ากับ 3.39 GHz ที่แรงดันควบคุมเท่ากับ 1.8 โวลต์ โดยมีเปอร์เซ็นต์ช่วงการปรับความถี่เท่ากับบวก 31 เปอร์เซ็นต์ และลบ

71 เปอร์เซ็นต์ ช่วงความถี่ที่ใช้งานตั้งแต่ 2.4-2.6 กิโลเฮิรตซ์ โดยมีค่าอัตราส่วนการเปลี่ยนแปลงของความถี่ต่อแรงดันหรือ K_{VCO} เท่ากับ 2.66 กิโลเฮิรตซ์

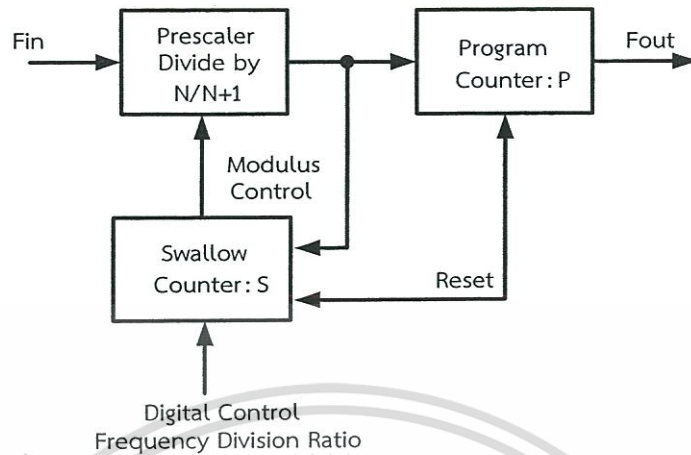
จากรูปที่ 4.19 แสดงการเกิดสัญญาณรบกวนเชิงเฟสที่เกิดจากวงจรถ่ายความถี่แบบวงแหวนที่ความถี่ 2.45 กิโลเฮิรตซ์และมีอัตราสิ้นเปลืองพลังงานที่ 1 มิลลิวัตต์ โดยมีสัญญาณรบกวนเชิงเฟสเท่ากับ -21.79 dBc/Hz ที่ความถี่ออฟเซต 10 KHz และ -80.4 dBc/Hz ที่ความถี่ออฟเซต 1 เมกะเฮิรตซ์

พารามิเตอร์	ค่า
แรงดัน(V_{DD})	1.8 V
ช่วงการกำเนิดความถี่	0.7-3.3GHz
สัญญาณรบกวนเชิงเฟส	-80.4dBc/Hz@1MHz
อัตราการสิ้นเปลืองพลังงาน	1mW@2.45GHz
พื้นที่ชิป	11 × 22 μ m

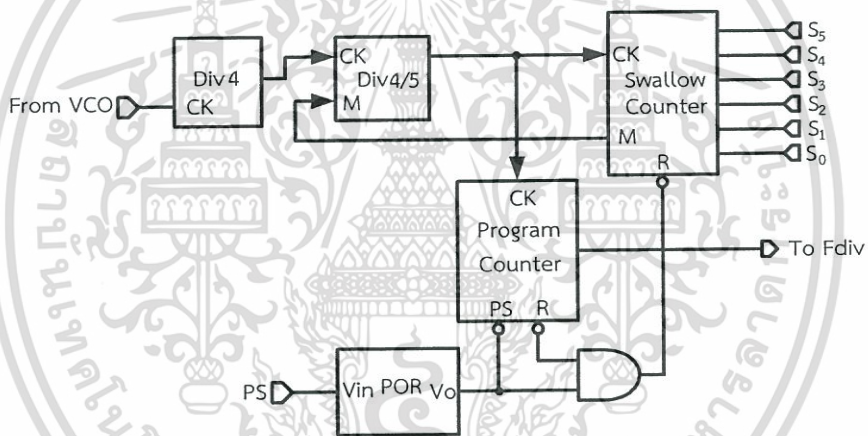
ตารางที่ 4.7 แสดงคุณสมบัติของวงจรถ่ายความถี่แบบวงแหวนที่นำเสนอ

4.5 ผลการจำลองการทำงานของวงจรถ่ายความถี่ที่นำมาใช้งาน

วงจรถ่ายความถี่ที่นำเสนอเป็นวงจรถ่ายความถี่แบบจำนวนเต็ม(Integer N) ซึ่งสามารถโปรแกรมอัตราส่วนการหารความถี่ได้แบบมอดูโลดิวีสปีเรสเกลเลอร์ (Dual modulus prescaler:DMP) ดังแสดงในรูปที่ 4.20 โดยวงจรถ่ายความถี่ประกอบไปด้วย วงจรถ่ายด้วยสี่(Division by four) ทำหน้าที่หารความถี่จากวงจรถ่ายความถี่ควบคุมด้วยแรงดันให้ต่ำลงทั้งนี้ก็เพื่อช่วยลดค่าอัตราการสูญเสียพลังงานในส่วนของวงจรถ่ายความถี่และช่วยให้การออกแบบวงจรมีความซับซ้อนน้อยลง วงจรถ่ายความถี่แบบปีเรสเกลเลอร์(Prescaler divide $N/N+1$) โปรแกรมเคาท์เตอร์ (Program counter:P) และสวอลโลวเคาท์เตอร์(Swallow counter:S)



รูปที่ 4.20 แสดงผังการทำงานของวงจรถู้อัลปีรสเกลเลอร์ (DMP)



รูปที่ 4.21 แสดงผังการทำงานของวงจรถู้อัลปีรสเกลเลอร์ (DMP) ที่นำเสนอ

จากรูปที่ 4.21 แสดงวงจรถู้อัลปีรสเกลเลอร์ (DMP) ที่นำเสนอ โดยมีหลักการทำงานของวงจรถู้อัลปีรสเกลเลอร์ S ซึ่งสามารถโปรแกรมให้นับค่าได้จากค่า 0 ถึง 50 โดยจะมีรูปแบบการนับแบบนับขึ้น (Count up) และโปรแกรมเคาท์เตอร์ P ถูกออกแบบให้มีการนับแบบนับลง (Count down) จาก 150 ถึง 0 ถูกออกแบบให้ไม่สามารถโปรแกรมค่าการนับได้ ในสภาวะเริ่มต้นการทำงาน สวอลโลวเคาท์เตอร์ S ซึ่งจะเริ่มนับค่าจากค่า 1 ถึง ค่าที่โปรแกรมไว้ โดยสัญญาณควบคุม M จะมีค่าเป็น 0 ซึ่งจะไปสั่งให้วงจรถู้อัลปีรสเกลเลอร์หารความถี่ $N/N+1$ หารความถี่ด้วยด้วย $N+1$ ขณะเดียวกันโปรแกรมเคาท์เตอร์ P ก็จะทำการนับจากค่า 150 ลงมา เมื่อสวอลโลวเคาท์เตอร์ S นับถึงค่าที่โปรแกรมไว้ก็จะหยุดนับ และทำให้สัญญาณควบคุม M มีค่าเป็น 1 สั่งให้เปลี่ยนอัตราส่วนการหารเป็นหารด้วย N จนกว่าโปรแกรมเคาท์เตอร์ P จะนับถึงค่า 0 หลังจากนั้นก็จะเริ่มรีเซ็ต ค่าการนับใหม่และทำงานในลักษณะเดิม โดยอัตราส่วนในการหารความถี่แบบถู้อัลปีรสเกลเลอร์คำนวณได้จากสมการที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$M = (S \times (N + 1)) + (P - S) \times N = S \times PN \quad (4.1)$$

วงจรถู้อัลพรีสเกลเลอร์ (DMP) ที่นำเสนอ ออกแบบให้มีช่วงการหารความถี่ระหว่าง 2.4 ถึง 2.6 กิโลเฮิรตซ์ โดยใช้ความถี่อ้างอิงที่ความถี่ 1 เมกะเฮิรตซ์ โดยจะมีการหารความถี่ด้วย 4 ก่อนเพื่อให้ความถี่ต่ำลงทั้งนี้จะมีผลทำให้การออกแบบวงจรถู้อัลพรีสเกลเลอร์ส่วนอื่นๆ มีความซับซ้อนน้อยลง ซึ่งจะทำให้ความถี่ที่ถูกหารมีค่าระหว่าง 600 ถึง 650 เมกะเฮิรตซ์ และโดยมีช่องความถี่ทั้งหมด 50 ช่องความถี่ในการออกแบบเลือกอัตราส่วนหารความถี่ $N/N+1$ คือ 4/5 สวอลโลวเคาท์เตอร์ S จะนับตั้งแต่ 0 จนถึง 50 สามารถคำนวณหาค่าโปรแกรมเคาท์เตอร์ P ได้ดังนี้

จากสมการ $F_{out} = M \times F_{ref}$ จะได้ค่า M ที่ความถี่ต่ำสุดและสูงสุดดังนี้

$$M_{Low} = \frac{600\text{MHz}}{1\text{MHz}} = 600$$

$$M_{High} = \frac{650\text{MHz}}{1\text{MHz}} = 650$$

จากสมการที่ 4.1 เมื่อ $S = 0$

$$600 = (0 \times 5) + (P - 0) \times 4$$

$$P = 150$$

จากสมการที่ 4.1 เมื่อ $S = 50$

$$650 = (50 \times 5) + (P - 50) \times 4$$

$$P = 150$$

Dual modulus prescaler : DMP	$N/N+1 = 4/5$
Swallow counter : S	0 ถึง 50
Program counter : P	150 ถึง 0

ตารางที่ 4.8 แสดงค่าการนับวงจรถู้อัลพรีสเกลเลอร์ DMP

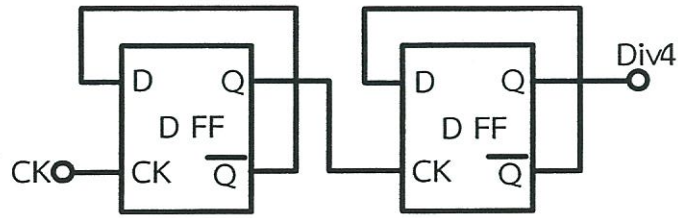
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Decimal	Swallow counter S						Frequency (GHz)
	S5	S4	S3	S2	S1	S0	
0	0	0	0	0	0	0	2.400
2	0	0	0	0	1	0	2.408
4	0	0	0	0	1	1	2.416
6	0	0	0	0	0	1	2.424
8	0	0	0	0	0	1	2.432
10	0	0	0	0	0	1	2.440
12	0	0	0	0	0	1	2.448
14	0	0	0	0	0	1	2.456
16	0	0	0	0	0	1	2.464
18	0	0	0	0	0	1	2.472
20	0	0	0	0	0	1	2.480
22	0	0	0	0	0	1	2.488
24	0	0	0	0	0	1	2.496
26	0	0	0	0	0	1	2.504
28	0	0	0	0	0	1	2.512
50	0	0	0	0	0	1	2.600

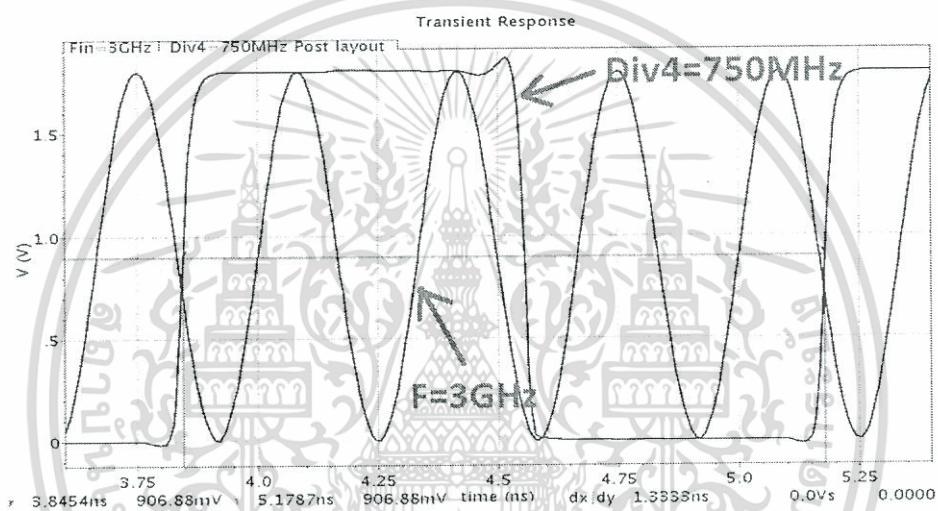
ตารางที่ 4.9 แสดงการกำหนดค่าหารความถี่

4.5.1 ผลการจำลองการทำงานวงจรหารสี่ที่นำมาใช้งาน

รูปที่ 4.22 แสดงวงจรหารสี่ประกอบไปด้วย ที ฟลิปฟลอป 2 ตัว สร้างจาก ที ฟลิปฟลอป โดยนำมาสร้างเป็นวงจรรีปเปิล (Asynchronous counter) หรือเรียกอีกอย่างหนึ่งว่า วงจรรีปเปิล (Ripple counter) โดยการนำสัญญาณทางด้านออก (Q) ของ ที ฟลิปฟลอป ตัวแรกนำไปป้อนเป็นสัญญาณนาฬิกาให้กับ ที ฟลิปฟลอป ตัวที่สอง สัญญาณความถี่ที่ป้อนเข้าที่ขาสัญญาณนาฬิกา (CK) ของ ที ฟลิปฟลอป ตัวแรก ได้มาจากสัญญาณความถี่ที่ได้จากวงจรกำเนิดความถี่ควบคุมด้วยแรงดัน โดยเมื่อสัญญาณความถี่ผ่าน ที ฟลิปฟลอป ตัวแรก จะทำให้สัญญาณความถี่ที่ขา Q ลดลงครึ่งหนึ่งหรือถูกหารความถี่ด้วยสองนั่นเอง และเมื่อนำสัญญาณที่ถูกหารความถี่ด้วยสองมาป้อนเป็นสัญญาณนาฬิกาให้ ที ฟลิปฟลอป ตัวที่สอง ผลก็คือสัญญาณความถี่ที่ได้จากขา Q ของ ที ฟลิปฟลอป ตัวที่สองจะถูกหารด้วยสี่



รูปที่ 4.22 แสดงวงจรหารความถี่ด้วยสี่ที่นำมาใช้งาน



รูปที่ 4.23 แสดงการจำลองการทำงานหารความถี่ด้วยสี่ เมื่อป้อนสัญญาณความถี่(CK) 3 GHz

จากรูปที่ 4.23 แสดงการจำลองการทำงานของวงจรหารความถี่ด้วยสี่โดยป้อนสัญญาณรูปไซน์ความถี่ 3 GHz เมื่อถูกหารความถี่ด้วยสี่จะทำให้สัญญาณความถี่เหลือเท่ากับ 750 MHz

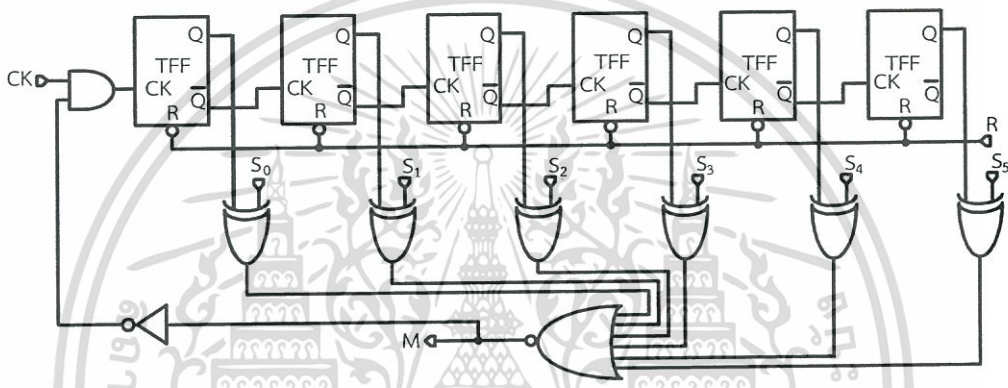
4.5.2 ผลการจำลองการทำงานของวงจรหารความถี่ด้วย 4/5 ที่นำมาใช้งาน[28]

วงจรหารความถี่ด้วย 4/5 ประกอบด้วยลอจิก ออร์เกต(OR Gate) และ ดี ฟลิปฟลอป เป็นหน่วยความจำ โดยนำมาต่อเป็นวงจรรนับแบบเข้าจังหวะ(Synchronous counter) ซึ่งมีสัญญาณควบคุม M เป็นตัวควบคุมอัตราส่วนการหาร โดยมีเงื่อนไขคือ ถ้าสัญญาณควบคุม M มีสถานะเป็นลอจิก 0 วงจรจะหารความถี่ด้วย 5 และเมื่อสัญญาณควบคุม M มีสถานะเป็นลอจิก 1 วงจรจะหารความถี่ด้วย 4 วงจรหารความถี่ด้วย 4/5 แสดงในรูปที่ 4.24

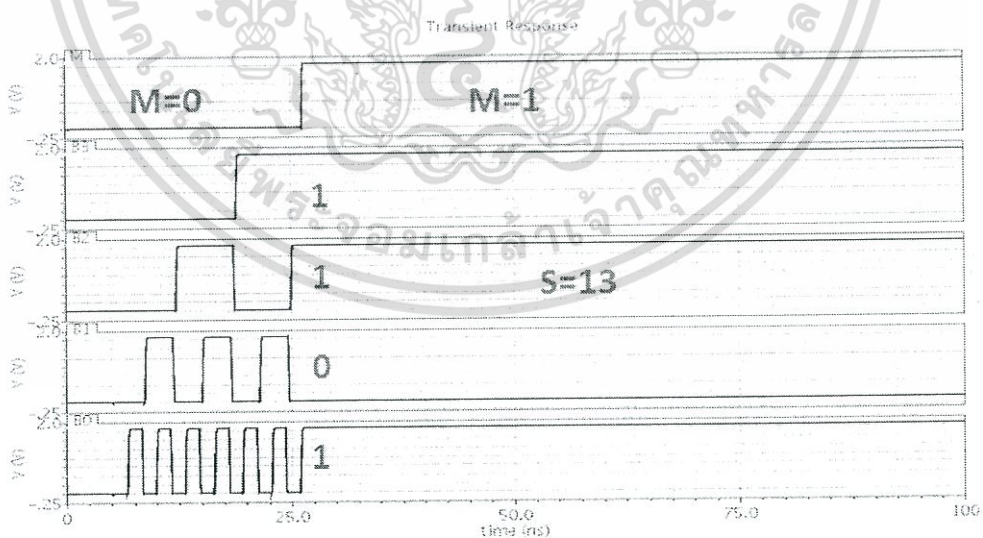
จากรูปที่ 4.25 แสดงการจำลองการทำงานของวงจรด้วย 4/5 เมื่อสัญญาณควบคุม M สถานะเป็นลอจิก 1 สัญญาณทางออก Q จะถูกหารด้วยอัตรา 4 หรือถูกหารด้วยจำนวนเลขคู่ โดยสังเกตได้จากสัญญาณ Q จะค่าดิวตีไซเคิล(Duty cycle) เท่ากับ 50 เปอร์เซ็นต์ หรือมีความสมมาตรของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณความถี่เข้ามาที่ขา CK จะทำให้สัญญาณความถี่สามารถผ่านลอจิกเกตแอนด์เกตเข้าไปที่ขา CK ของ ที ฟลิปฟลอปตัวแรก ทำให้เริ่มต้นการนับโดยเริ่มนับจากค่า 000000 เพิ่มขึ้นเรื่อยๆ จนสภาวะลอจิกทางออกของทีฟลิปฟลอปเป็น 001101 ส่งผลให้สัญญาณควบคุม M มีสภาวะลอจิกเป็น 1 ซึ่งจะส่งผลให้เกิดสภาวะลอจิกเป็น 0 เมื่อผ่านนอทเกต ทำให้สัญญาณความถี่ CK ไม่สามารถผ่านแอนด์เกตเข้าไปที่ขา CK ของ ที ฟลิปฟลอปตัวแรกได้ ทำให้วงจรหยุดนับที่ค่า 001100 และเมื่อต้องการให้วงจรเริ่มต้นนับใหม่อีกครั้งจะต้องทำการรีเซ็ตค่าการนับโดยป้อนลอจิก 0 เข้าที่ขา R ของ ทีฟลิปฟลอปทุก ๆ ตัว ผลการจำลองการทำงานของวงจрсวอนโลวเคาน์เตอร์เมื่อตั้งค่าการนับตั้งแต่ 0 จนถึง 13 แสดงในรูปแบบที่ 4.27



รูปที่ 4.26 แสดงวงจрсวอนโลวเคาน์เตอร์ S

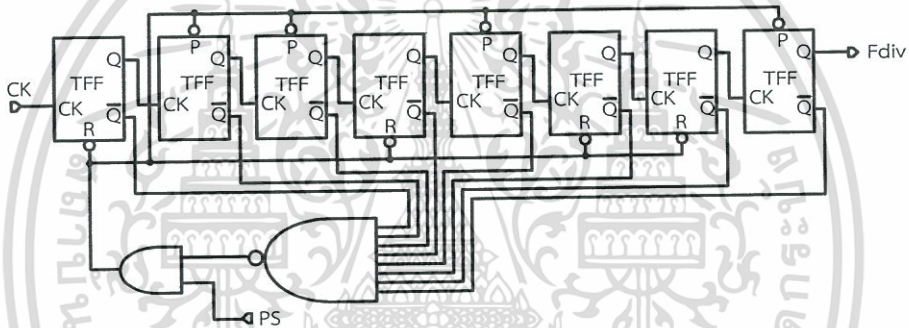


รูปที่ 4.27 แสดงผลการจำลองจากเลย์เอาท่วงจрсวอนโลวเคาน์เตอร์ S เมื่อตั้งค่าการนับเท่ากับ 13

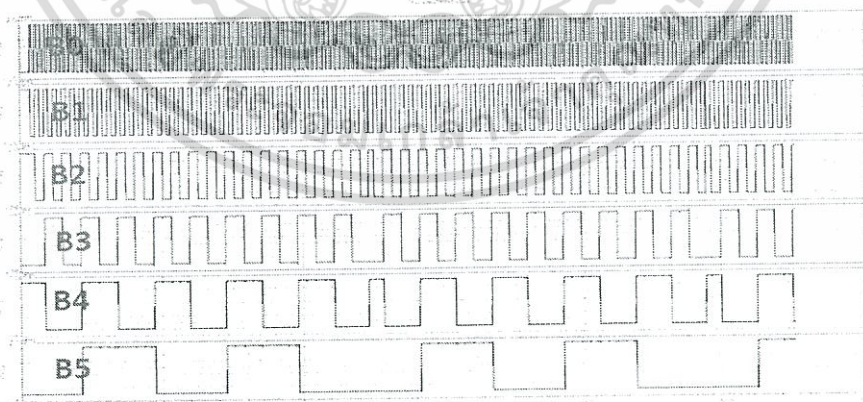
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.4 ผลการจำลองการทำงานของวงจรโปรแกรมเคาท์เตอร์(Program counter:P) ที่นำมาใช้งาน

ในรูปที่ 4.28 แสดงวงจรโปรแกรมเคาท์เตอร์ประกอบด้วย ฟลิปฟลอป 8 ตัว โดยออกแบบวงจรนับแบบไม่เข้าจังหวะ มีลักษณะการนับแบบนับลง(Count down) การทำงานของวงจรคือ เมื่อสัญญาณ PS มีสถานะลอจิกเป็น 0 จะทำให้วงจรมับเริ่มต้นสภาวะการนับที่เลข 150 แสดงในเลขฐานสิบ หรือ 10010110 แสดงในของเลขฐานสอง มีผลทำให้สัญญาณทางด้านออกของแชนแนลเกทมีสถานะลอจิกเป็นลอจิก 1 และเมื่อต้องการให้วงจรมับเริ่มนับ สภาวะของสัญญาณ PS จะต้องได้รับลอจิก 1 เมื่อมีสัญญาณความถี่เข้ามาที่ขา CK ของ ฟลิปฟลอปตัวแรก จะทำให้วงจรมับเริ่มนับลงจากค่า 10010110 จนกระทั่งวงจรมับแสดงสภาวะลอจิกเป็น 00000000 ส่งผลให้สัญญาณทางด้านออกของแชนแนลเกท มีสถานะลอจิกเป็น 0 ทำให้วงจรมับเริ่มต้นกลับมาที่สภาวะลอจิกเป็น 10010110 ใหม่อีกครั้ง ผลการจำลองการทำงานของวงจรโปรแกรมเคาท์เตอร์แสดงในรูปที่ 4.29

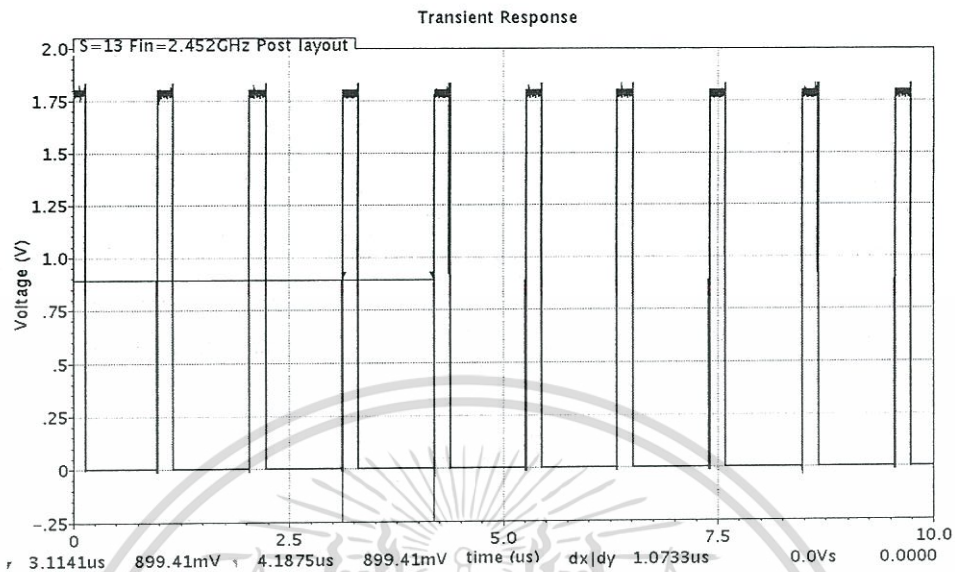


รูปที่ 4.28 แสดงวงจรโปรแกรมเคาน์เตอร์ P



รูปที่ 4.29 แสดงผลการจำลองการทำงานโดยเริ่มนับตั้งแต่ค่า 150 จนถึง 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



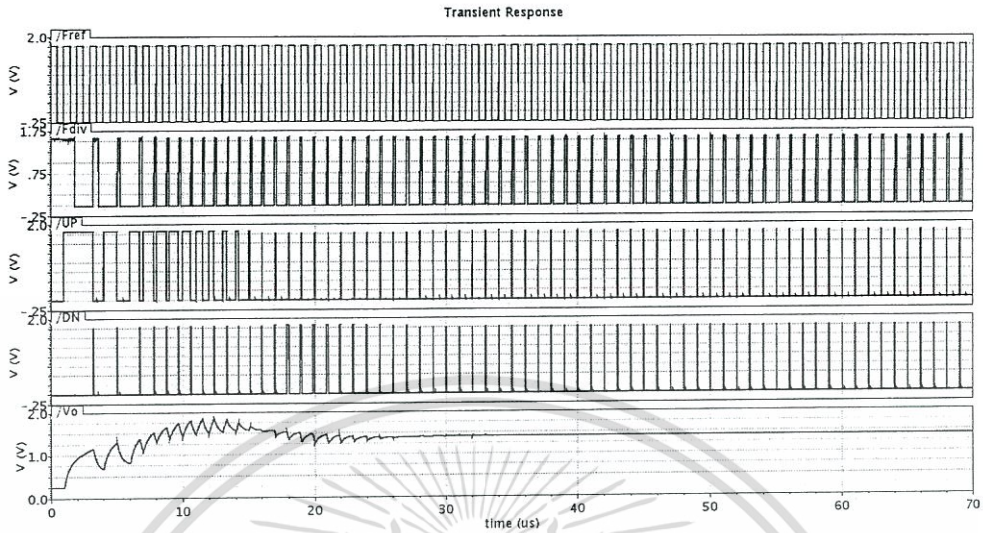
รูปที่ 4.30 แสดงผลการจำลองจากเลย์เอาต์ของวงจรความถี่

จากรูปที่ 4.30 แสดงผลการจำลองการทำงานของวงจรความถี่ ที่ความถี่ออสซิลเลตทางออกเท่ากับ 2.452 กิโลเฮิรตซ์ เมื่อผ่านวงจรความถี่เพื่อจะให้ความถี่มีค่าเท่ากับความถี่อ้างอิง 1 เมกกะเฮิรตซ์ ผลการจำลองจากเลย์เอาต์ของวงจรความถี่มีความถี่เท่ากับ 0.93 เมกกะเฮิรตซ์

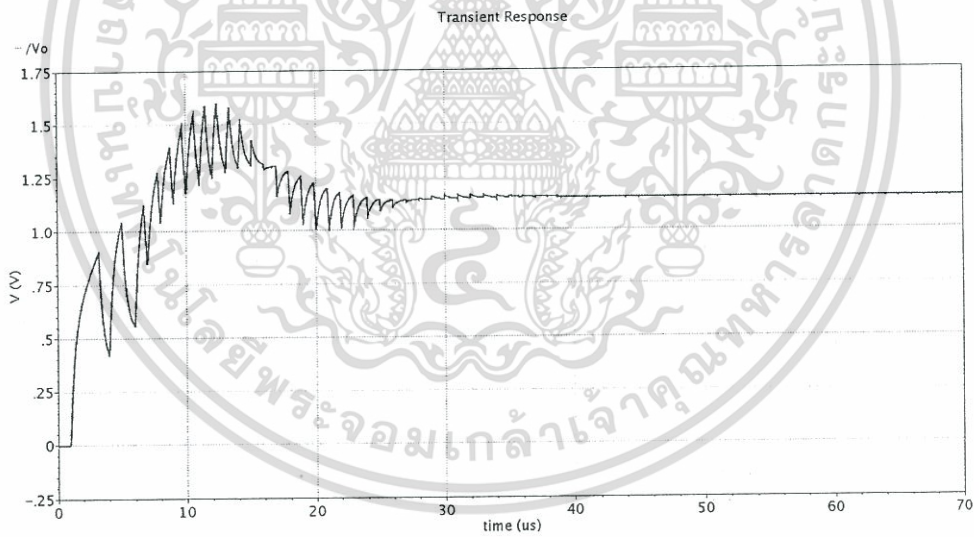
4.6 ผลการจำลองการทำงานของวงจรสังเคราะห์ความถี่เฟสล็อกกลุ่ที่นำเสนอ

จากรูปที่ 4.31 แสดงผลการจำลองการทำงานของวงจรสังเคราะห์ความถี่เฟสล็อกกลุ่โดยโปรแกรมให้ล็อกความถี่ทางด้านออกที่ความถี่ 2.452 กิโลเฮิรตซ์ จะมีการล็อกความถี่ที่เวลา 36 ไมโครวินาทีและแรงดันควบคุมวงจรถัดความถี่จะมีค่าคงที่ดังแสดงในรูปที่ 4.32 มีค่าประมาณ 1.15 โวลต์

จากรูปที่ 4.33 แสดงความถี่ทางด้านออกเมื่อเกิดการล็อกความถี่จากผลการจำลองการทำงานจะมีความถี่ทางด้านออกเท่ากับ 2.446 กิโลเฮิรตซ์ โดยมีความถี่ผิดพลาดเท่ากับ 6 เมกกะเฮิรตซ์ คิดเป็นเปอร์เซ็นต์ผิดพลาดเท่ากับ -0.245 เปอร์เซ็นต์

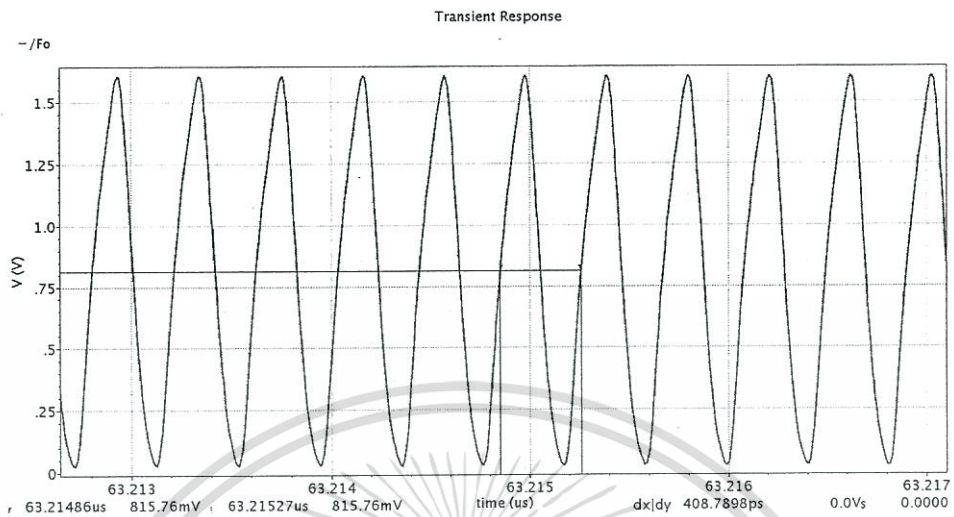


รูปที่ 4.31 แสดงผลการจำลองจากเลย์เอาต์ของวงจรสังเคราะห์ความถี่เฟสล็อกที่ความถี่ 2.446 GHz

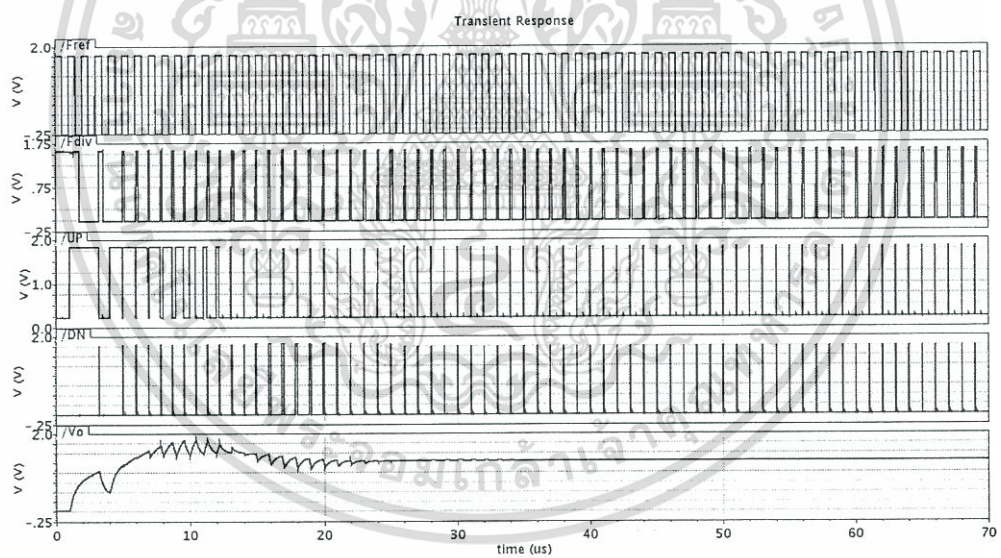


รูปที่ 4.32 แสดงผลการจำลองจากเลย์เอาต์ของแรงดันควบคุมของวงจรกำเนิดที่ความถี่ 2.446 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

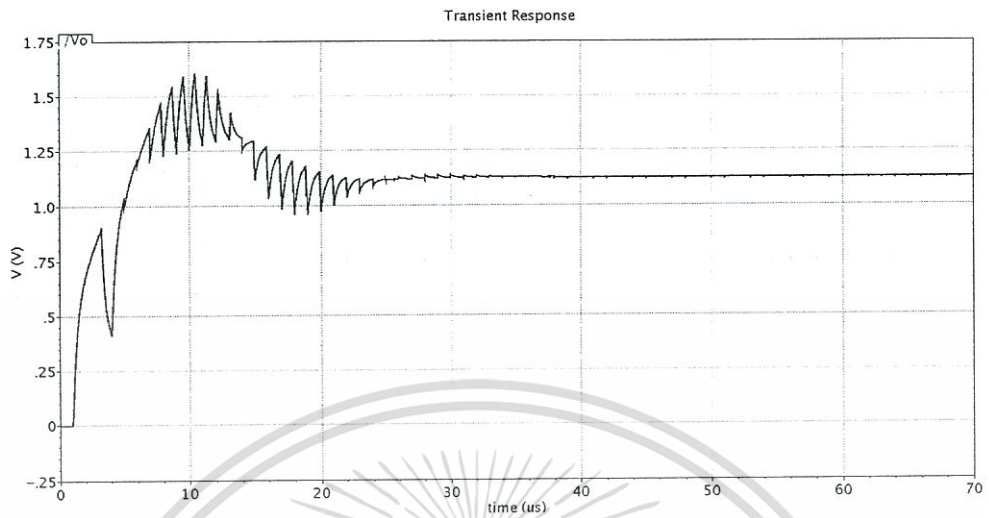


รูปที่ 4.33 แสดงผลการจำลองความถี่ทางด้านออกเมื่อเกิดการล๊อคความถี่ที่ความถี่ 2.446 GHz

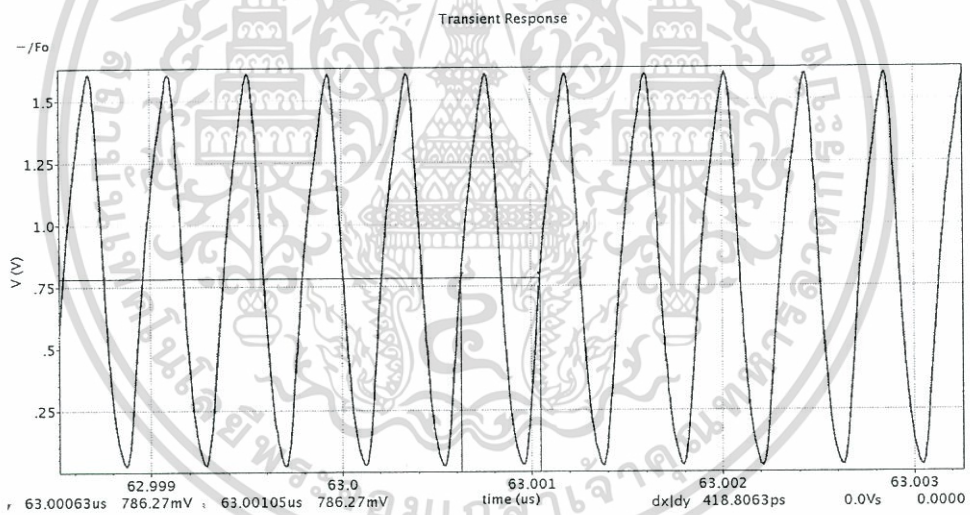


รูปที่ 4.34 แสดงผลการจำลองจากเลย์เอาท์ของวงจรสังเคราะห์ความถี่เฟสล๊อคที่ความถี่ 2.388 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.35 แสดงผลการจำลองจากเลย์เอาท์ของแรงดันควบคุมของวงจรถ้าเนตที่ความถี่ 2.388 GHz

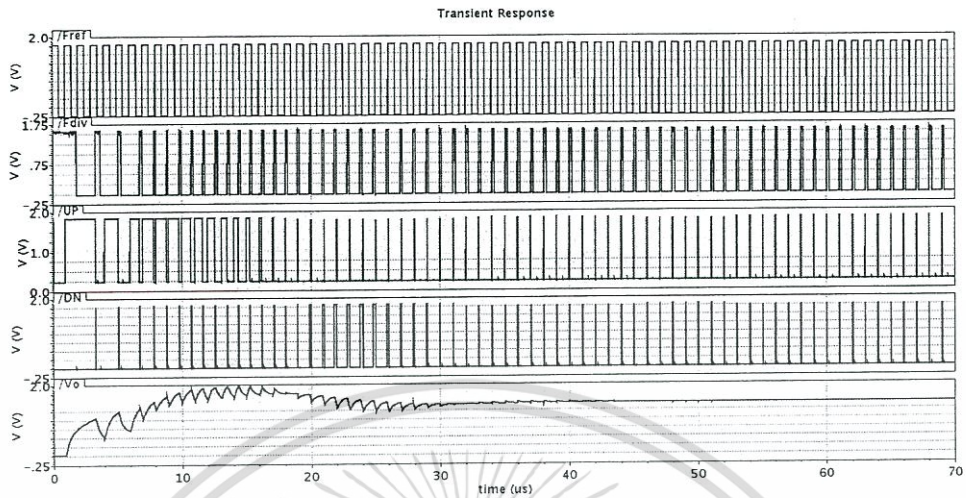


รูปที่ 4.36 แสดงผลการจำลองความถี่ทางด้านออกเมื่อเกิดการล็อกความถี่ที่ความถี่ 2.388 GHz

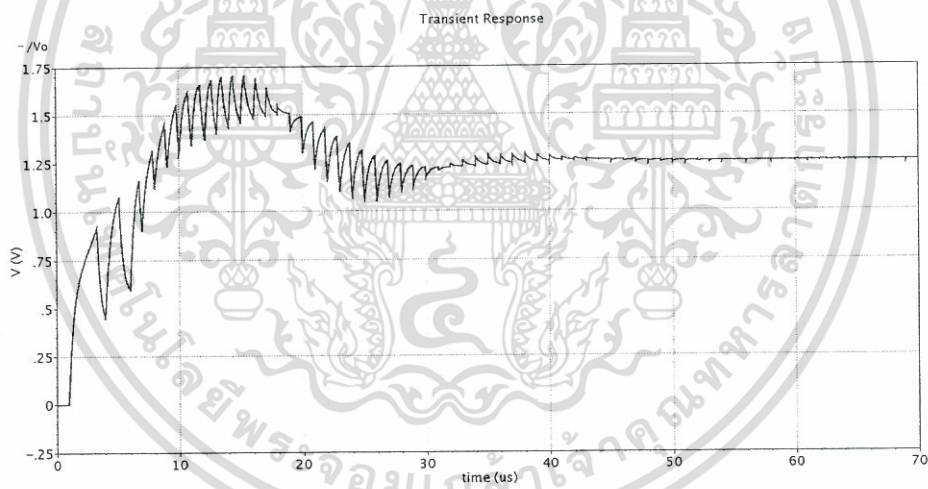
จากรูปที่ 4.34 แสดงผลการจำลองการทำงานของวงจรถ้าเนตที่ความถี่เฟสล็อกโดยโปรแกรมให้ล็อกความถี่ทางด้านออกที่ความถี่ 2.388 GHz ก็กะเฮิร์ตซ์ จะมีการล็อกความถี่ที่เวลา 32 ไมโครวินาทีและแรงดันควบคุมวงจรถ้าเนตความถี่จะมีค่าคงที่ดังแสดงในรูปที่ 4.35 มีค่าประมาณ 1.125 โวลต์

จากรูปที่ 4.36 แสดงความถี่ทางด้านออกเมื่อเกิดการล็อกความถี่จากผลการจำลองการทำงานจะมีความถี่ทางด้านออกเท่ากับ 2.388 GHz ก็กะเฮิร์ตซ์ โดยมีความถี่ผิดพลาดเท่ากับ 12 เม็กกะเฮิร์ตซ์ คิดเป็นเปอร์เซ็นต์ผิดพลาดเท่ากับ -0.5 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

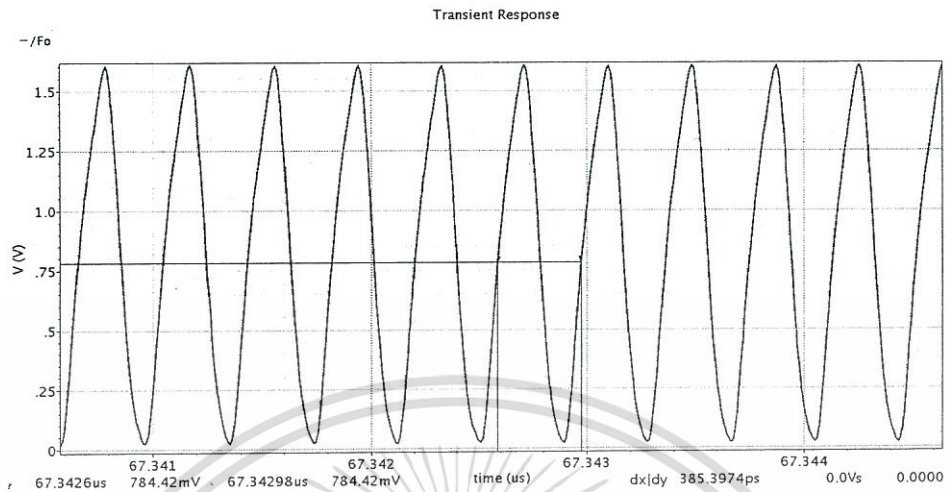


รูปที่ 4.37 แสดงผลการจำลองจากเลย์เอาต์ของวงจรสังเคราะห์ความถี่เฟสล็อกที่ความถี่ 2.595 GHz



รูปที่ 4.38 แสดงผลการจำลองจากเลย์เอาต์ของแรงดันควบคุมของวงจรถ่ายความถี่ที่ความถี่ 2.595 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.39 แสดงผลการจำลองความถี่ทางด้านออกเมื่อเกิดการล๊อคความถี่ที่ความถี่ 2.595 GHz

จากรูปที่ 4.37 แสดงผลการจำลองการทำงานของวงจรสังเคราะห์ความถี่เฟสล๊อคโดยโปรแกรมให้ล๊อคความถี่ทางด้านออกที่ความถี่ 2.388 กิโลเฮิรตซ์ จะมีการล๊อคความถี่ที่เวลา 50 ไมโครวินาทีและแรงดันควบคุมวงจรมีค่าคงที่ดังแสดงในรูปที่ 4.38 มีค่าประมาณ 1.25 โวลต์

จากรูปที่ 4.39 แสดงความถี่ทางด้านออกเมื่อเกิดการล๊อคความถี่จากผลการจำลองการทำงานจะมีความถี่ทางด้านออกเท่ากับ 2.595 กิโลเฮิรตซ์ โดยมีความถี่ผิดพลาดเท่ากับ 5 เม็กเฮิรตซ์ คิดเป็นเปอร์เซ็นต์ผิดพลาดเท่ากับ -0.21 เปอร์เซ็นต์

ตารางที่ 4.10 แสดงค่าเปอร์เซ็นต์ความถี่ทางด้านออกผิดพลาดจากผลการจำลองทำงานของ Post layout ของวงจรสังเคราะห์ความถี่เฟสล๊อคที่ความถี่ต่าง ๆ โดยที่ความถี่ 2.4 กิโลเฮิรตซ์ มีค่าความถี่ผิดพลาดเท่ากับ -0.5% ที่ความถี่ 2.452 กิโลเฮิรตซ์ มีค่าความถี่ผิดพลาดเท่ากับ -0.25% และที่ความถี่ 2.6 กิโลเฮิรตซ์ มีค่าความถี่ผิดพลาดเท่ากับ -0.21% ตามลำดับ

Frequency (command)	Pre layout	Post layout	Frequency output (Error)	
			Pre layout	Post layout
2.4GHz	2.397GHz	2.388GHz	- 0.125%	-0.5%
2.452GHz	2.448GHz	2.466GHz	-0.167%	-0.25%
2.6GHz	2.597GHz	2.595GHz	-0.21%	-0.21%

ตารางที่ 4.10 แสดงเปอร์เซ็นต์ผิดพลาดของวงจรสังเคราะห์ความถี่เฟสล๊อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวนที่นำเสนอสามารถหาค่า Figure of merit (FOM) ได้ดังสมการที่ 4.1

$$FOM = L + 10 \log \left[\left(\frac{\Delta f}{f_{osc}} \right)^2 \left(\frac{P}{1mW} \right) \right] \left(\frac{dBc}{Hz} \right) \quad (4.1)$$

เมื่อ L คือ สัญญาณรบกวนเชิงเฟสวงจรถูกกำเนิดความถี่ (Phase noise)

f_{osc} คือ ความถี่ในการออสซิลเลต (Oscillation frequency)

Δf คือ ความถี่ออฟเซต (Offset frequency)

P คือ อัตราสิ้นเปลืองกำลังงาน

แสดงการเปรียบเทียบคุณสมบัติของวงจรถูกเสนอที่นำเสนอเกี่ยวกับงานวิจัยที่เกี่ยวข้อง ด้วยการเปรียบเทียบค่า figure of merit (FOM) ซึ่งแสดงความสัมพันธ์ดังสมการที่ 4.1 และคุณสมบัติต่างๆ ที่เกี่ยวข้องดังแสดงในตารางที่ 4.11

	[33]	[34]	งานที่นำเสนอ
Supply voltage(V)	1.8	3.3	1.8
Process(μm)	0.18	0.13	0.18
Frequency referency(MHz)	-	-	1
Loop bandwidth(KHz)	50	-	200
VCO type	LC	Ring	Ring
Frequency range(GHz)	2.1-2.4	2.24-4.48	2.4-2.6
Divider type	Integer N	Integer N	Integer N
Phase noise(dBc/Hz)	-76@100KHz	-100@1MHz	-80.4@1MHz(VCO)
	-	NA	-110@10MHz(VCO)
Setting time(μs)	50	NA	36
Power(mW)	8	132	1
FOM(dBc/Hz)	-	-146	-148.18

ตารางที่ 4.11 ตารางเปรียบเทียบคุณสมบัติของวงจรถูกเสนอเกี่ยวกับงานวิจัยอื่นๆ

บทที่ 5

สรุปผลการวิจัยและข้อเสนอแนะ

5.1 บทสรุปผลการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรสังเคราะห์ความถี่เฟสล็อกกลุ๊ป เพื่อประยุกต์การใช้งานกับระบบการสื่อสารไร้สาย ในการออกแบบผู้วิจัยได้มุ่งเน้นออกแบบให้วงจรสังเคราะห์ความถี่เฟสล็อกกลุ๊ป มีอัตราการสิ้นเปลืองพลังงานที่ต่ำ และตัวชิปมีขนาดเล็ก วงจรกำเนิดความถี่ควบคุมด้วยแรงดันเป็นวงจรหนึ่งที่มีความสำคัญในวงจรสังเคราะห์ความถี่เฟสล็อกกลุ๊ป โดยวงจรที่นิยมนำมาออกแบบวงจรกำเนิดความถี่ควบคุมด้วยแรงดันได้แก่ วงจรกำเนิดความถี่แบบวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบตัวเหนี่ยวนำและคาปาซิเตอร์ และวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวน โดยในวงจรกำเนิดความถี่แบบแรกจะมีอัตราสิ้นเปลืองพลังงานที่สูงและใช้พื้นที่ในการออกแบบชิปมากแต่มีข้อดีคือมีสัญญาณรบกวนเชิงเฟสดี ในวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวน จะมีอัตราการสิ้นเปลืองพลังงานที่ต่ำและมีพื้นที่ชิปน้อย เมื่อเทียบกับแบบแรกแต่มีข้อด้อยคือมีสัญญาณรบกวนเชิงเฟสที่ด้อยกว่า ผู้วิจัยจึงได้นำเสนอวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวนโดยใช้โครงสร้างแบบซิงเกิลเอนด์ โดยออกแบบให้มีการปรับปรุงสัญญาณรบกวนเชิงเฟสที่ดีขึ้นโดยการใช้เทคนิคการเพิ่มแรงดันสวิงทางด้านออก

จากผลการจำลองการทำงานของวงจรกำเนิดความถี่แบบวงแหวนใช้โครงสร้างแบบซิงเกิลเอนด์ โดยการใช้เทคนิคการเพิ่มแรงดันสวิงทางด้านออกพบว่าสามารถปรับปรุงสัญญาณรบกวนเชิงเฟสให้ดีขึ้นเมื่อเทียบกับโครงสร้างเดิม[29] ประมาณ 1-2 dB ส่วนประกอบของวงจรอื่นๆ เลือกใช้วงจรตรวจจับเฟสความถี่แบบสามสถานะ เนื่องจากใช้วงจรหารความถี่แบบจำนวนเต็ม(Integer-N) ซึ่งไม่ต้องการความเป็นเชิงเส้นสูงและเลือกใช้โครงสร้างของดีฟลิปฟلوبแบบ TSPC เนื่องจากใช้มอสทรานซิสเตอร์น้อยทำให้มีอัตราการสิ้นเปลืองพลังงานที่ต่ำและมีพื้นที่ของชิปน้อยเมื่อเทียบกับโครงสร้างของดีฟลิปฟلوبแบบดั้งเดิม ในส่วนของวงจรอัดและคายประจุได้ออกแบบโดยใช้โครงสร้างแบบดิฟเฟอร์เรนเชียลทั้งนี้ก็เพื่อต้องการความสมมาตรกันในช่วงอัดและคายประจุ และลดความไวต่อสัญญาณรบกวนจากแหล่งจ่าย ในส่วนวงจรรองความถี่ต่ำผ่านได้เลือกใช้แบบพาสซีฟลำดับที่สองเนื่องจากวงจรกำเนิดความถี่ควบคุมด้วยแรงดันแบบวงแหวนที่ใช้มีเกณฑ์การเปลี่ยนแปลงความถี่เมื่อปรับแรงดันค่อนข้างสูงวงจรรองความถี่แบบพาสซีฟลำดับที่สองจะช่วยลดการเกิดริปเปิล(Ripple) ขององค์ประกอบสัญญาณไฟตรงได้ดีและทำให้ช่วงเวลาการล็อกความถี่สั้น ในส่วนวงจรหารความถี่ได้ออกแบบให้สามารถปรับอัตราส่วนการหารความถี่ได้โดยใช้โครงสร้างแบบพัลส์สวอลโลว์เนื่องจากเป็นโครงสร้างที่ง่ายไม่ซับซ้อน

5.2 ข้อเสนอแนะและแนวทางพัฒนา

ในการออกแบบวงจรสังเคราะห์ความถี่เฟสล็อกกลุ๊ปที่นำเสนอขึ้น ในส่วนของวงจรหารความถี่การออกแบบยังไม่มีประสิทธิภาพสูงพอ โดยเฉพาะอย่างยิ่งในส่วนของวงจรสวอลโลว์เคาท์เตอร์และวงจร

โปรแกรมเคาท์เตอร์ซึ่งผู้ออกแบบใช้การออกแบบวงจรนับแบบไม่เข้าจังหวะซึ่งมีจุดด้อยคือจะเกิดการหน่วงสัญญาณ(Propagation delay time) ค่อนข้างสูงโดยเฉพาะยิ่งถ้าใช้จำนวนบิตของฟลิปฟลอปมากซึ่งจะมีผลการทบคือทำให้วงจรหารความถี่ทำได้ช้าซึ่งจะมีผลต่อการทำงานของวงจรทั้งระบบ

วงจรสวอโลวเคาท์เตอร์และวงจรโปรแกรมเคาท์เตอร์ควรออกแบบวงจรนับแบบเข้าจังหวะซึ่งจะมีปัญหาเรื่องการหน่วงสัญญาณน้อยลง จะทำให้การทำงานของวงจรสังเคราะห์ความถี่เฟสล็อกปฏิบัติงานได้อย่างมีประสิทธิภาพยิ่งขึ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

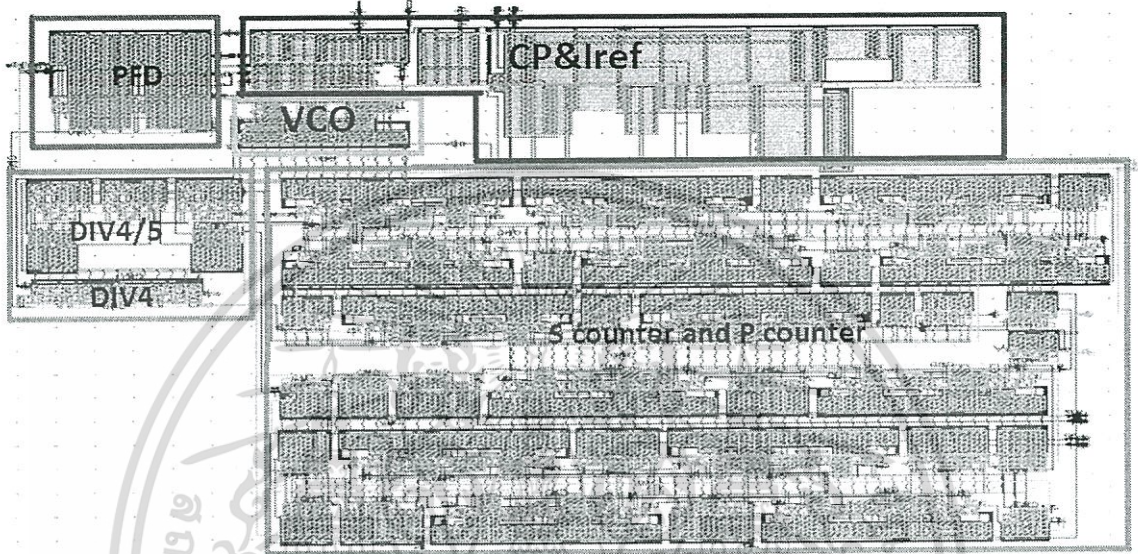
เอกสารอ้างอิง

- [1] R.M.Kodkani and L.E.Larson, "A 25 GHz Quadrature Voltage Controlled Ring Oscillator in 0.12 μ m SiGe HBT", SiRF 2006, pp.383-386.
- [2] Debashis Mandal, T.K.Bhattacharyya, "Implementation of CMOS Low-power Integer-N Frequency Synthesizer for SOC Design", Journal of computers, April 2008, Vol.3, No.4, pp.31-38
- [3] Takeshi Yoshida, Naoya Ishida, Mamuro Sasaki and Atsushi Iwata, "Low-voltage, Low-Phase-Noise Ring Voltage-Controlled Oscillator Using 1/f Noise Reduction Techniques", Japanese Journal of Applied Physics, Vol.46, No.4B, 2007, pp.2257-2260.
- [4] ศ.ดร.สิทธิชัย โกโคยอุดม. "วงจรรีโอบนกลับแบบลบและออสซิลเลเตอร์" มหาวิทยาลัยเทคโนโลยีมหานคร, 2549
- [5] รศ.ดร.กิติ ลิขิตอนุรักษ์. "วิศวกรรมอิเล็กทรอนิกส์" ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเชียงใหม่, 2549
- [6] John A.McNeill, David S, "The Designer's Guide to Jitter in Ring Oscillators," Ricketts, Springer
- [7] Carlos Quemada, Guillermo Bistue, Inigo Adin, "Design Methodology for RF CMOS Phased Locked Loops", ARTECH HOUSE, 2009
- [8] Keliu Shu, Edgar Sanchez Sinencio, "CMOS PLL SYNTHESIZERS Analysis and Design" Springer, 2005
- [9] วรากร เกษมสุวรรณ. "การวิเคราะห์วงจรรวมซีมอสแบบแอนาล็อก". พิมพ์ครั้งที่ 1. กรุงเทพฯ : มินเซอร์วิส ซัพพลาย. 2552
- [10] สกาวรัตน์ วังทะพันธ์. "วงจรรขยายผลต่างที่มีการกำจัดสัญญาณรบกวนเชิงอนุกรมบนพื้นฐานของวงจรรขยายทรานส์อิมพีแดนซ์โดยใช้ไฟเลี้ยง 1.2 โวลต์" วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2553
- [11] Tekeshi YOSHIDA, Naoya ISHIDA, Mamoru SASAKI and Atsushi IWATA, "Low- Voltage, Low-Phase-Noise Ring Voltage-Controlled Oscillator Using 1/f-Noise Reduction Techniques," Japanese Journal of Applied Physics, Vol.46, No.4B, pp.2257-2260, 2007
- [12] Liang Dai and Ramesh Harjani, "Design of Low-Phase-Noise CMOS Ring Oscillators," IEEE TRANSACTIONS ON CIRCUITS AND SYSTEM-II: ANALOG AND DIGITAL SIGNAL PROCESSING, Vol.49, No.5, MAY 2005.
- [13] Behzad Razavi "Fundamentals of microelectronics," John Wiley & Sons, 2008.

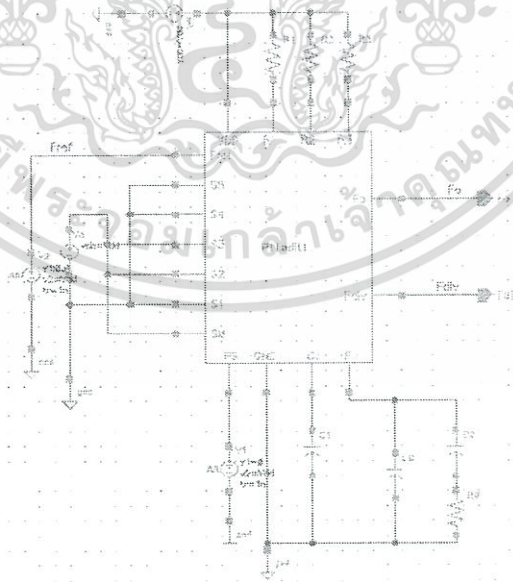
- [14] P.Andreani and S.Mattisson, "A 2.4-GHz CMOS monolithic VCO with an MOS varactor," Analog Integrated Circuits and Signal Processing, vol.22,no.1,pp.17-24, 2000.
- [15] Harikrishna Parthasarathy "Dependence of VCO Jitter on Coupled Noise," Department of electrical engineering college of engineering Rochester institute of technology Rochester,New York ,May 2002
- [16] Markus Grozing ,Bernd Philioo,Manfred Berroth, "CMOS Ring Oscillator with Quagrate Outputs and 100 MHz to 3.5 GHZ Tuning Range," 29th European Solid State Circuits Conference 2003(esscirc 2003),Estoril Portugal,Sept.16-18 ,2003.
- [17] Dean A.Badillo and Sayfe Kiaei, "A Low phase noise 2.0V 900 MHz CMOS voltage controlled ring oscillator,"ISCAS 2004, pp.IV-533-IV-536.
- [18] G.S.Jovanovic and M.K.Stojcev, "Current starved delay element with symmetric Load,"International Journal of Electronics, Vol.93,No.3,March 2006, pp.167-175.
- [19] Takeshi Yoshida,Naoya Ishida,Mamuro Sasaki and Atsushi Iwata,"Low-voltage,Low-Phase-Noise Ring Voltage-Controlled Oscilltor Using 1/f Noise Reduction Techiques," Japanese Journal of Applied Physic, Vol.46,No.4B,2007,pp.2257-2260.
- [20] J.G.Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased Techniques," IEEE JSSC,Vol.31,pp.1723-1732,Nov.1969.
- [21] A.Fakhfakh, N.Milet-Lewis, Y.Deval, H.Levi,"Study and Behavioral Simulations of Phase Noise and Jitter in Oscillators"
- [22] Oliman, F.Yuan ,and K.Raahemifar, "An Overview of design techniques for CMOS phase detectors,"IEEE,2002.pp.V-457-V-460.
- [23] Michael H.Perrott, "PLL Design Using the PLL Design Assistant Program," <http://www.cpsim.com>.July 2008.
- [24] Tord Johnson,Ali Fard ,Denny Aberg,"An Improved Low Phase-Frequency Detector with Extended Frequency Capability,"The 47th IEEE International Midwest Symposium on Circuits and System.2004.pp.I-181-I-184.
- [25] Wooguen Rhee,"Design of high performance CMOS charge pump in phase locked Loops,"IEEE.1999.pp.II-545-II548.
- [26] C Yoo and J.Park,"CMOS current reference with supply and temperature compensation,"ELECTRONICS VOL.43 No.25,Dec.2007.
- [27] ศิลา ศิริมหาสกุล."วงจรเชื่อมต่อเซ็นเซอร์ ISFET ใช้กำลังงานต่ำแบบซีมอส." วิทยานิพนธ์ วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ บัณฑิตวิทยาลัย,สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.2553.

- [28] H. Yong, Z. Jianping, X. Haiqing, and Y. Min, "The Design of High Performance Dual Modulus Divider-by Prescaler," 2006 IET International Conference on Wireless, Mobile and Multimedia Networks, 2006, pp.1-3
- [29] R.J.Baker, H.W.Li, and D.E.Boyce, "CMOS Circuit Design, Layout, and Simulation", IEEE Press Series on Microelectronics Systems, 2002.
- [30] Behzad Razavi, "A Study of Phase Noise in CMOS Oscillators," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 31, NO.3, MARCH 1996.
- [31] Ni Xu, Woogeun Rhee, and Zhihua Wang, "Semidigital PLL Design for Low-Cost Low-Power Clock Generation," Journal of Electrical and Computer Engineering, Vol.2011.
- [32] Tsung-Hsien, Yu-Jen Lai, Ruei-Lin Syu Lin, "FAST VCO FREQUENCY CALIBRATION TECHNIQUES FOR PLL APPLICATIONS," Bulletin of the College of Engineering, N.T.U., No. 93, February 2005, pp.31-38
- [33] YanDan Lei, "A Low Power CMOS 2.4-GHz Monolithic Integer N Synthesizer For wireless sensor", IEEE RFIT Workshop Pro., Nov 2005, pp 219-222.
Generation for 2.4 GHz Zigbee Transceiver Applications," IEEE, 2007
- [34] A. Maxim, R. Poorfard and J. Kao, "A sub-1.5°rms Phase Noise Ring-Oscillator-Based Frequency Synthesizer for Low-IF Single-Chip DBS Satellite Tuner-Demodulator SoC," ISSCC Dig. Tech. Papers, pp.618-619, Feb.2006.

ภาคผนวก ก
แสดงการเลย์เอาต์วงจรต่างๆ ของวงจรสังเคราะห์ความถี่เฟสล็อกกลุ่บ



รูปที่ ก.1 แสดงเลย์เอาต์ของวงจรสังเคราะห์ความถี่เฟสล็อกกลุ่บ



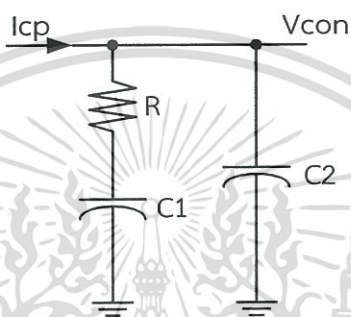
รูปที่ ก.2 แสดงวงจรสังเคราะห์ความถี่เฟสล็อกกลุ่บที่ใช้จำลองการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

คำนวณหาค่าความต้านทานและตัวเก็บประจุวงจรรองความถี่และวงจรถ้าเนตความถี่

การหาค่าความต้านทานและค่าตัวเก็บประจุวงจรรองความถี่ต่ำผ่านวงจรถ้าเนตความถี่ต่ำผ่านลำดับที่สองดังรูปที่ ข.1 สามารถหาได้จากสมการดังต่อไปนี้



รูปที่ ข.1 แสดงวงจรถ้าเนตความถี่ต่ำผ่านลำดับที่สองที่นำมาใช้งาน สามารถหาฟังก์ชันการถ่ายโอนได้ดังนี้

$$Z(s) = \frac{V_{con}}{I_{cp}} = \frac{s(C_1 R) + 1}{s^2(C_1 \cdot C_2 \cdot R) + sC_1 + sC_2} \quad (\text{ข.1})$$

จากค่าโพลและซีโรสมการ (ข.1) สามารถคำนวณหาเวลาคงตัวได้ดังแสดงในสมการ (ข.2) และ (ข.3)

$$T_1 = R \cdot \frac{C_1 \cdot C_2}{C_1 + C_2} \quad (\text{ข.2})$$

$$T_2 = R \cdot C_2 \quad (\text{ข.3})$$

ฟังก์ชันถ่ายโอนลูบเปิดของวงจรถ้าเนตในรูปที่ 2.2 แสดงในสมการ (ข.4)

$$G(s) \cdot H(s) = \frac{K_d \cdot K_v (1 + sT_2)}{\omega^2 C_1 \cdot N (1 + sT_1)} \cdot \frac{T_1}{T_2} \quad (\text{ข.4})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบเขตมุม(Phase margin) หาได้จากสมการ (ข.5)

$$\phi(\omega) = \tan^{-1}(\omega \cdot T_2) - \tan^{-1}(\omega \cdot T_1) + 180^\circ \quad (\text{ข.5})$$

ความสัมพันธ์ของลูบแบนด์วิท(Loop band width) และเวลาคงตัว แสดงในสมการที่ (ข.6)

$$\omega_c = \frac{1}{\sqrt{T_2 \cdot T_1}} \quad (\text{ข.6})$$

สามารถหาค่า T_1, T_2 ได้ดังแสดงในสมการ (ข.7) และ (ข.8)

$$T_1 = \frac{\sec \phi_c - \tan \phi_c}{\omega_c} \quad (\text{ข.7})$$

$$T_2 = \frac{1}{\omega_c^2 \cdot T_1} \quad (\text{ข.8})$$

เมื่อ ϕ_c คือ Phased margin (โดยปกติมีค่าประมาณ 30-70 องศา)

ω_c คือ ลูบแบนด์วิท

สามารถหาค่าตัวต้านทานและตัวเก็บประจุได้ดังสมการ (ข.9), (ข.10) และ (ข.11)

$$C_1 = \frac{T_1 \cdot K_d \cdot K_v}{T_2 \cdot \omega_c^2 \cdot N} \sqrt{\frac{1 + (\omega_c \cdot T_2)^2}{1 + (\omega_c \cdot T_1)^2}} \quad (\text{ข.9})$$

$$C_2 = C_1 \cdot \left(\frac{T_2}{T_1} - 1 \right) \quad (\text{ข.10})$$

$$R = \frac{T_2}{C_2} \quad (\text{ข.11})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารต่างประเทศในวิทยานิพนธ์นี้มี 2 บทความ ดังต่อไปนี้

1. Jakrawat Budboonchu and Apinunt Thanachayanont, "Phase noise reduction of CMOS oscillator using rail-to-rail current starved delay cell," The 25th International Technical Conference on Circuit/System, Computer and Communication (ITC-CSCC 2010), pp. 807-810.
2. Jakrawat Budboonchu and Apinunt Thanachayanont, "A 2-mW 2.5-GHz CMOS PhaseLocked Loop Frequency Synthesizer for Wireless Sensor Network," Joint International Conference on Information & Communication Technology, Electronic and Electrical Engineering (JICTEE 2010), pp.20-23.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE NOISE REDUCTION OF CMOS RING OSCILLATOR USING RAIL-TO-RAIL CURRENT-STARVED DELAY CELL

^{1,2}Jakrawat Budboonchu and ²Apinunt Thanachayanont

¹Faculty of Engineering, Rajamangala University of Technology Isan, Khon-Kaen Campus, Khon-Kaen, Thailand 40000

²Faculty of Engineering King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand 10520
E-mail: jakrawat_bud@hotmail.com, ktapinun@kmitl.ac.th

ABSTRACT

In this paper, a new current-starved delay cell with enhanced rail-to-rail voltage swing is proposed to improve phase noise performance of a CMOS ring oscillator. A 3-stage ring oscillator was designed as a test vehicle of the proposed delay cell. Simulation results with process parameters from a 0.18 μm CMOS technology showed that the ring oscillator realized with the proposed delay cell exhibited 2-3 dB phase noise improvement with no extra power dissipation.

Index Terms—voltage controlled oscillator (VCO), starved inverter

1. INTRODUCTION

Voltage-controlled oscillator (VCO) is a critical building block in high-speed phase-locked loops used for many communication systems. VCO can be implemented by using LC resonant circuit, ring structures or relaxation circuit. LC VCO inherently has the best phase noise performance due to high quality factor of the LC resonant circuit. However, fully-integrated LC VCO is costly and difficult to implement due to the complexity of on-chip inductor realization and its frequency tuning range is relatively narrow. In contrast, ring oscillator can have wider frequency tuning range and smaller die area, at the expense of higher phase noise. Thus ring oscillator is often used in applications where phase noise requirement is less stringent.

It has been demonstrated that phase noise of a ring oscillator can be reduced by either ensuring rising and falling edges symmetry or increasing signal swing [1]. A practical approach to achieve the waveform symmetry is to employ linear loads such as passive resistors or linearized MOS active resistors [2]. It has also been analyzed that differential ring oscillator will have higher phase noise than its singled-end counterpart [3] under identical number of stages, power dissipation and oscillator frequency. Single-ended ring oscillator is not necessarily worse than its fully-

differential counterpart in terms of substrate and supply rejection [3]. Thus single-ended ring oscillator is preferred in our work.

This paper proposes a new current-starved delay inverter with enhanced rail-to-rail voltage swing to reduce phase noise of a ring oscillator. Section 2 describes the circuit of proposed delay cell and section 3 reports the simulated results of a 3-stage CMOS ring oscillator realized with the proposed delay cell. Conclusion is given in section 4.

2. PROPOSED CURRENT-STARVED DELAY CELL

The basic current-starved delay cell is shown in Fig. 1(a), where transistors M1 and M2 form a CMOS inverter and transistors Mn and Mp realize the current-limiting devices. Both Mn and Mp can be designed to operate in either the saturation or the triode region. If Mn and Mp are biased to operate in the saturation region, they act as current sources to limit the current available to charge or discharge the output capacitor. If Mn and Mp are biased in the triode region, they act as voltage-controlled resistor and the available charging and discharging currents are decided by their gate overdrive voltages and aspect ratios. In this case, signal swing is limited by their gate overdrive voltage and it can be quite small at high frequencies. Biasing Mn and Mp in the saturation region, rather than in the triode region, can achieve larger signal swing and better phase noise. In both biasing conditions, signal swing of the basic current-starved delay is limited by the gate overdrive voltage of the current-limiting transistors. It has been pointed out in [3] that, for a given bias current and oscillation frequency, the phase noise can only be reduced by improving the current switching efficiency, which can only be achieved by increasing the signal swing.

This paper proposes a new current-starved delay cell as shown in Fig. 1(c) with enhanced signal swing to improve phase noise performance of ring oscillator. The proposed circuit is simply the basic current-starved delay cell with two additional pull-up and pull-down transistors, Mps and Mns.

The gates of M_{ps} and M_{ns} are connected to the input of the inverter. When V_{in} is high and the output voltage is being pulled down by M_1 , M_{ns} is turned on to short the source of M_1 to ground. This eliminates the headroom voltage required by M_n . The same explanation can be offered when V_{in} is low and the output voltage is pulled up. Therefore the signal swing is enhanced and exhibits a rail-to-rail characteristic, similar to a simple CMOS inverter delay cell.

Fig. 1(b) shows a current-starved delay cell with symmetric load transistors, M_3 and M_4 , to provide a more linear load and achieve better waveform symmetry. Signal swing of the circuit in Fig. 1(b) is also somewhat limited by the headroom voltages required by M_3 and M_4 .

Fig. 2 shows the simulated time delay of the circuits in Fig. 1. It can be seen that the time delay tuning characteristic of the proposed delay cell in Fig. 1(c) is relatively more linear than those of the circuits in Fig. 1(a) and Fig. 1(b). However, the circuit in Fig. 1(a) exhibited the widest time delay tuning range.

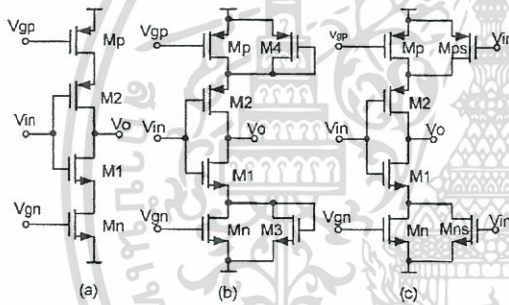


Fig. 1: (a) Basic current-starved delay cell (b) Current-starved delay cell with symmetric load and (c) Proposed current-starved delay cell with enhanced signal swing.

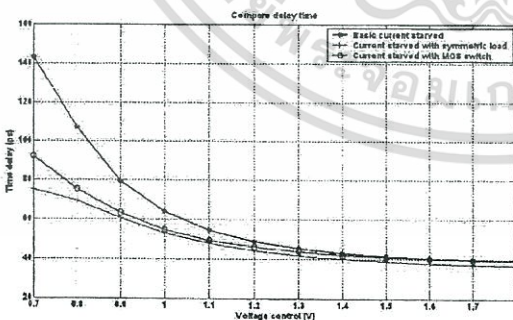


Fig. 2 Simulated time delay tuning characteristic of the delay cells in Fig. 1.(a) ,Fig(b) and Fig(c).

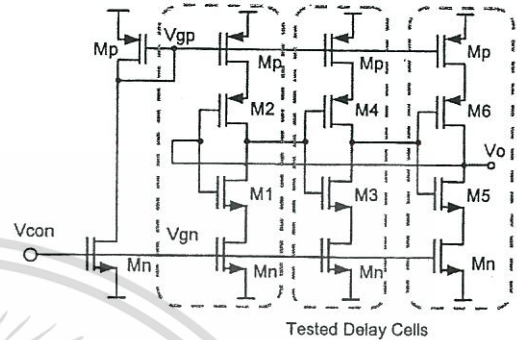


Fig. 3 Three-stage voltage-controlled ring oscillator

3. SIMULATION RESULTS

A 3-stage ring oscillator, shown in Fig. 3, was used as a test vehicle to demonstrate the performance of the delay cells in Fig. 1. The oscillator circuits were designed to oscillate at a nominal center frequency of 2.5 GHz and identical power dissipation. All circuits were designed to operate with a single 1.8-V power supply voltage and all simulation results were obtained by using Cadence Spectre with process parameters from a standard 0.18- μm CMOS technology.

Fig. 4 shows the simulated frequency tuning characteristics of the oscillators, under the same power dissipation. The oscillator with the basic current-starved delay cell (Fig. 1(a)) exhibited a frequency tuning range from 391 MHz to 3.29 GHz when the control voltage was varied from 0.6 V to 1.8 V. The oscillator with the delay cell in Fig. 1(b) showed a tuning range from 1.72 GHz to 3.85 GHz when the control voltage was varied from 0.7 V to 1.8 V. Using the delay cell in Fig. 1(c), the oscillator showed a tuning range from 1 GHz to 3.6 GHz when the control voltage was varied from 0.6 V to 1.8 V. It could be seen that the oscillator with the basic current-starved delay cell exhibited the widest frequency tuning range.

Fig. 5 shows the signal swing of the oscillators when the control voltage is varied from 0.7 V to 1.8V (i.e. tuning the oscillation frequencies). It can be seen that the signal swing of the oscillator using the proposed delay cell in Fig. 1(c) was virtually constant at 1.7 V while the other oscillators showed variable signal swings.

Fig. 6 showed the simulated phase noise of the oscillators at 1-MHz offset from 2.5-GHz carrier frequency. The phase noise of the oscillator using the proposed delay cell showed 2-3 dB improvement over the other oscillators, under the same power dissipation. Table 1 summarizes and compares the simulated performance of the 3-stage oscillator realized with different delay cells.

Fig. 7 compares the phase noise of the three oscillator at 1-MHz offset from the carrier frequency. It can be seen that the oscillator with the proposed delay cell can achieve better phase noise over a wide range of carrier frequencies. Table 1 summarizes and compares the simulated performance of the 3-stage oscillator realized with different delay cells.

Table 1: Simulated performance of the 3-stage ring oscillator realized with the delay cells in Fig. 1.

Performance	VCO with Fig. 1(a)	VCO with Fig. 1(b)	VCO with Fig. 1(c)
Pdiss (mW)	0.2-2	0.4-2	0.2-2
Frequency tuning range (GHz)	0.39-3.68	1.7-3.85	0.7-3.57
KVCO (GHz/V)	3.1	2.7	2.5
Phase noise (dBc/Hz @ 1MHz offset from 2.5 GHz carrier)	-76.5	-76.7	-78.8

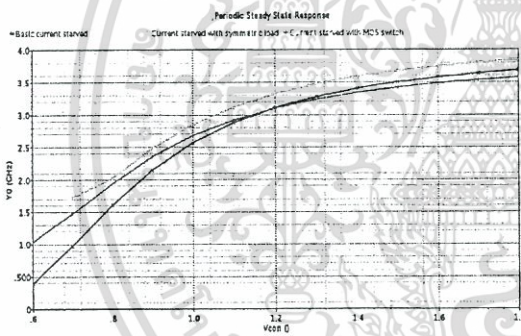


Fig. 4 Simulated frequency tuning characteristics of the oscillators using the delay cells in Fig.1(a), Fig.1(b) and Fig.1(c).

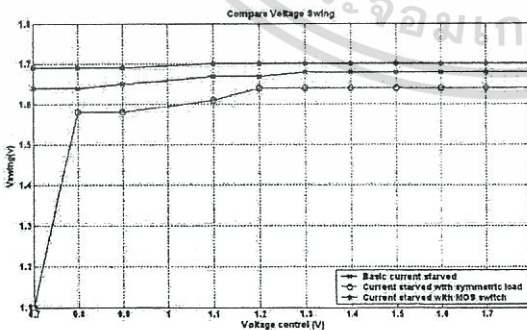


Fig. 5 Simulated signal swings of the oscillators in Fig. 1(a), Fig.1(b) and Fig.1(c).

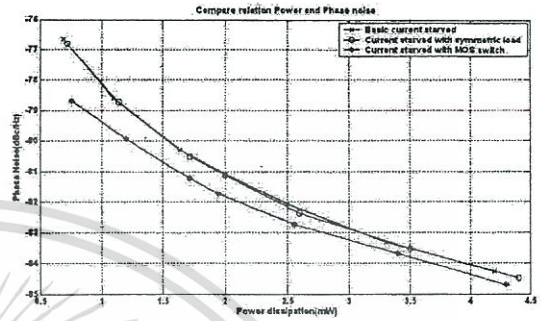


Fig. 6 Simulated Phase noise of the ring oscillators in Fig. 1.(a), Fig.1(b) and Fig.1(c).

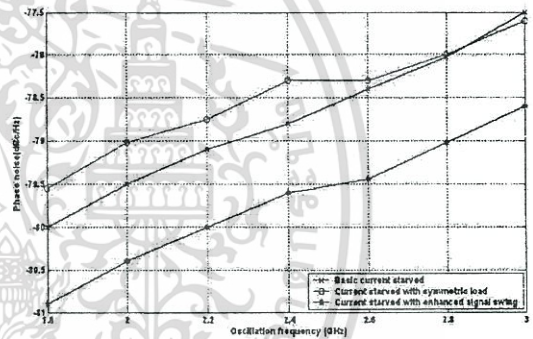


Fig. 7 Comparison of phase noise values at 1-MHz offset from the carrier.

4. CONCLUSION

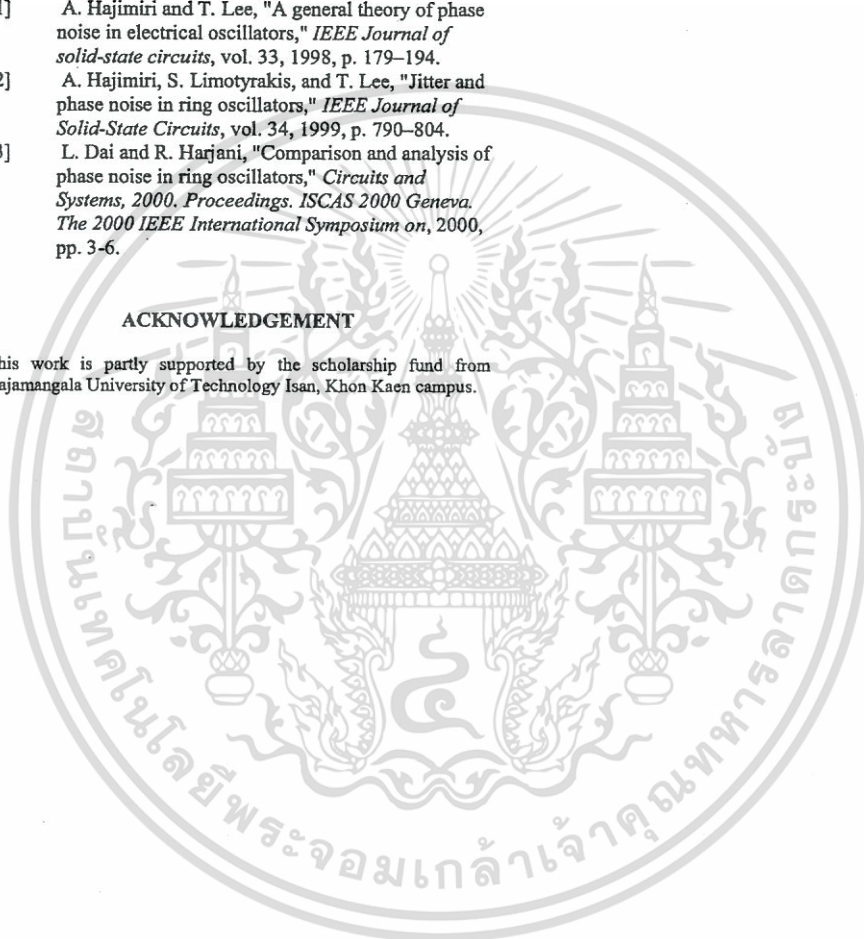
A new current-starved delay cell is proposed to enhance signal swing and phase noise performance of a ring oscillator. A 3-stage ring oscillator was designed to test the performance of the proposed delay cell, compared with two existing delay cells. Simulation results of a 2.5-GHz oscillator showed that the proposed delay cell was able to provide a larger and more constant signal swing over the frequency tuning range. A 2-3 dB phase noise improvement was achieved with the oscillator using the proposed delay cell, under the same power dissipation and oscillation frequency. Therefore the proposed delay cell can be used to improve phase noise performance with no extra cost.

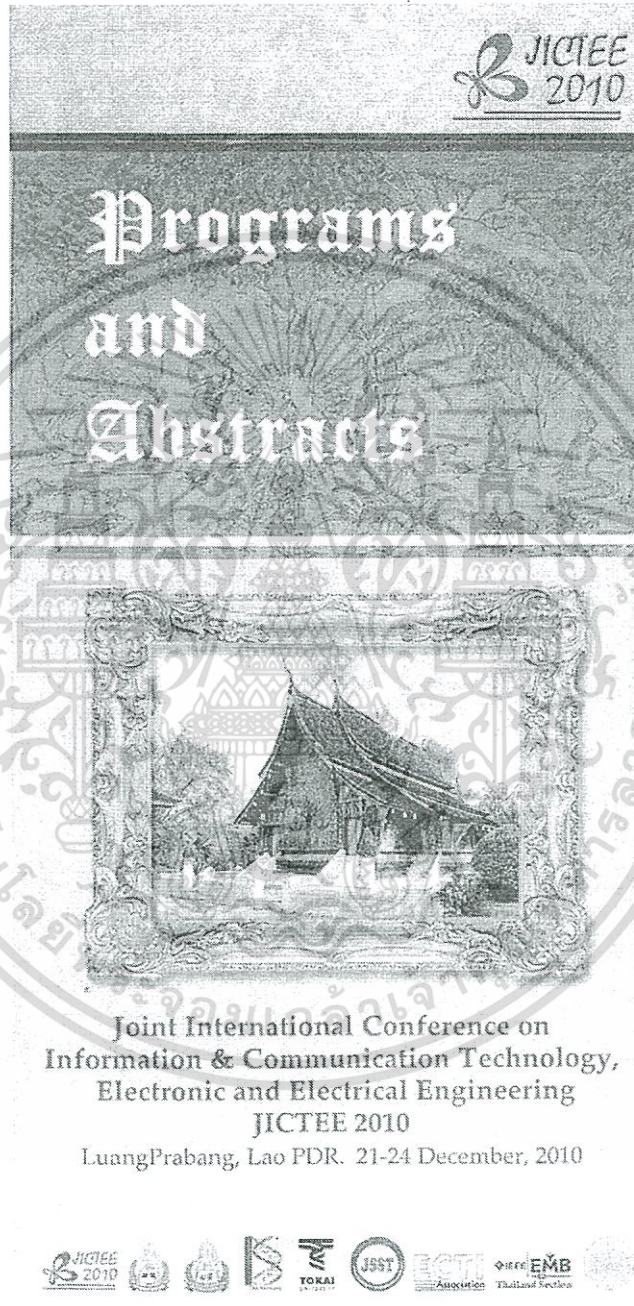
5. REFERENCES

- [1] A. Hajimiri and T. Lee, "A general theory of phase noise in electrical oscillators," *IEEE Journal of solid-state circuits*, vol. 33, 1998, p. 179–194.
- [2] A. Hajimiri, S. Limotyrakis, and T. Lee, "Jitter and phase noise in ring oscillators," *IEEE Journal of Solid-State Circuits*, vol. 34, 1999, p. 790–804.
- [3] L. Dai and R. Harjani, "Comparison and analysis of phase noise in ring oscillators," *Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on*, 2000, pp. 3-6.

ACKNOWLEDGEMENT

This work is partly supported by the scholarship fund from Rajamangala University of Technology Isan, Khon Kaen campus.





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A 2-mW 2.5-GHz CMOS Phase-Locked Loop Frequency Synthesizer for Wireless Sensor Network

Jakrawat Budboonchu^{1,2} and Apinunt Thanachayanont²

¹Faculty of Engineering, Rajamangala University of Technology Isan, Khon-Kaen Campus, Khon-Kaen, Thailand 40000
¹jakrawat_bud@hotmail.com

²Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand 10520
²ktapinun@kmitl.ac.th

Abstract—This paper describes the design and realization of a low-power CMOS fully-integrated integer-N phase-locked loop (PLL) frequency synthesizer for wireless bio-telemetry systems. The PLL employs a ring voltage-controlled oscillator using current-starved delay inverters with rail-to-rail voltage swing. The frequency synthesizer was designed to operate with 2.4-2.6 GHz frequency tuning range. Simulation results, with process parameters from a 0.18- μm CMOS technology, showed that the PLL dissipated 2-mW under a single 1.8-V power supply voltage.

Keywords—phase-locked loop, frequency synthesizer, voltage-controlled oscillator

I. INTRODUCTION

The emerging of wireless sensor and telemetry network systems, such as ZigBee, demands for low-power low-cost wireless radio-frequency transceivers, in order to achieve long operation time. Technical requirements, e.g. phase noise and channel spacing, for short-range, low data rate wireless communication systems are much relaxed. Therefore power dissipation is the most important requirement. Frequency synthesizer is one of the most critical and power-hungry components in wireless transceiver, therefore there has been a vast effort in designing low-power fully-integrated frequency synthesizers. Recently, low-power frequency synthesizers for wireless sensor network have been reported [1]-[4]. Wide channel spacing and relaxed phase noise requirements of wireless sensor network system enable the use of the simple integer-N PLL architecture for implementation of low-cost low-power frequency synthesizers.

This paper describes the design and realization of a 2-mW fully-integrated PLL frequency synthesizer for low data rate and short-range wireless communication systems. A ring voltage-controlled oscillator using enhanced current-starved inverters is used to improve phase noise without increased power dissipation. The paper is organized as follows. Section II describes the design and implementation of all building block circuits. Simulation results and conclusion are given in sections III and IV, respectively.

II. CIRCUIT DESCRIPTION

The integer-N PLL frequency synthesizer, shown in Fig. 1, is suitable for wireless sensor and telemetry applications, such as Zigbee, due to much less stringent requirements such as wide channel spacing and relaxed phase noise. The PLL consists of a phase-frequency detector (PFD), a charge pump

(CP) circuit, a loop filter (LF), a voltage-controlled oscillator (VCO), and fixed (divide-by-4) and programmable frequency dividers. The fixed divide-by-4 divider, realized by a cascade of two divide-by-2 circuit, is used to reduce the operating frequency of the programmable divider. Under the locked condition, the output frequency (f_{OUT}) is a multiple of $4N$ times the reference frequency (f_{REF}) or the output frequency resolution is $4N \cdot f_{\text{REF}}$. For example, the channel spacing for ZigBee standard is 5 MHz therefore the required f_{REF} is equal to 1.25 MHz.

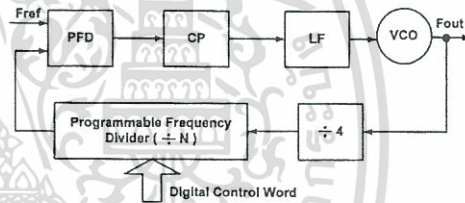
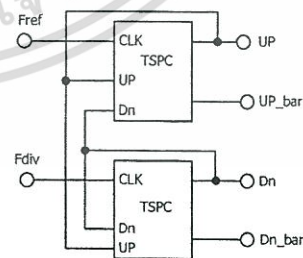


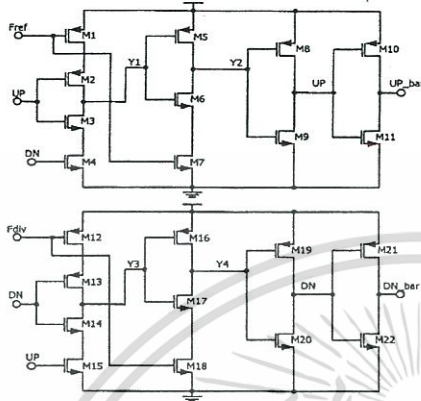
Fig. 1. Integer-N Phase Locked Loop Frequency Synthesizer

A. Phase-Frequency Detector

The dynamic logic phase-frequency detector [5], shown in Fig. 2(a), is used to eliminate the dead zone. The PFD output signals are used to reset the PFD without any intermediate logic. True single phase logic (TSPC) flip-flops are used to achieve high speed operation. Fig. 2(b) shows the circuit diagram of the PFD.



(a) Block diagram



(b) Circuit implementation
Fig. 2. Dynamic logic PFD.

B. Charge pump

Fig. 3 shows the current-steering charge pump. The outputs of the PFD control the differential switches (M_6 - M_9) to pass the charge pump current (I_{CP}) to the output node, which is connected to the subsequent loop filter. The differential circuit topology reduces the current mismatches. The charge pump current (I_{CP}) is 10 μ A.

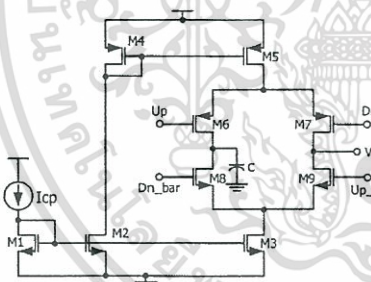


Fig. 3. Current-steering charge pump circuit.

C. Loop filter

The conventional 2nd-order passive lead-lag filter, shown in Fig. 4, is used as the loop filter. The bandwidth of the loop filter is 200 kHz. The resistor and capacitor values are as follows: $C_1 = 5.78$ pF, $C_2 = 57.8$ pF, $R_2 = 57.8$ k Ω .

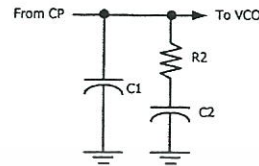


Fig. 4. Loop filter

D. Voltage-controlled oscillator

The VCO is realized by using a 3-stage ring oscillator as shown in Fig. 5. Each delay stage is realized with the recently proposed current-starved inverter [6]. The inverter is simply the basic current-starved delay cell with two additional pull-up and pull-down transistors, M_{ps} and M_{ns} . The gates of M_{ps} and M_{ns} are connected to the input of the inverter. When the input voltage of the inverter is high and the output voltage is pulled down by M_{ns} , the transistor M_{ns} is turned on to short the source of M_{ni} to ground. This eliminates the headroom voltage required by M_{ni} . The same explanation can be offered when the inverter's input voltage is low and the output voltage is pulled up. Therefore the inverter's signal swing is enhanced and exhibits a rail-to-rail characteristic, similar to a simple CMOS inverter delay cell. The oscillation frequency can be tuned by adjusting the time delay of the inverters. This is obtained by varying the bias currents of the inverters, which is done by tuning the control voltage V_{con} .

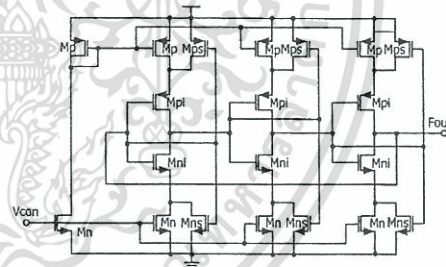


Fig. 5 Three-stage voltage-controlled ring oscillator

E. Programmable frequency divider

The programmable frequency divider is realized by using the dual modulus prescaler, shown in Fig. 6. The circuit consists of a program counter (P), a dual-modulus prescaler (divide-by-N/N+1) and a swallow counter (S). A dual-modulus prescaler is a counter whose division ratio can be switched from one value to another by an external control signal. The dual modulus prescaler divides the input frequency by N or N+1 depending on the modulus control.

The program counter and the swallow counter divide the input frequency of the prescaler by P and S, respectively. The digital control word of the swallow counter (S) selects the desired output frequency channel and it should be set such that $S \leq P$. In this work, the swallow counter was designed to count up with from 0 to 50 and the program counter was designed to count down from 150 to 0. The prescaler divides the input frequency by N+1 until the swallow counter overflows after which the overflow bit sets the prescaler to divide-by-N mode until the program counter overflows. The effective frequency division ratio is equal to NP+S.

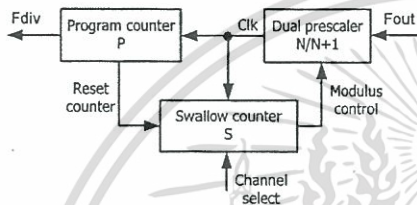


Fig. 6. The dual modulus prescaler.

The dual-modulus prescaler is realized by a divide-by-4/5 circuit as shown in Fig. 7 [7]. It consists of three true single phase clock (TSPC) D flip-flops and two OR gates. The frequency division ratio is set to 4 and 5 when the modulus control (MC) is "HIGH" and "LOW", respectively. The TSPC D flip-flop circuit, shown in Fig. 8 [8], is used for high speed operation.

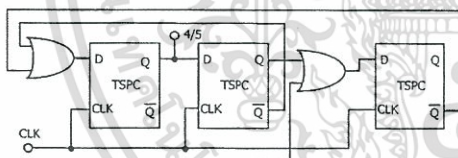


Fig. 7 Synchronous counter divide-by-4/5.

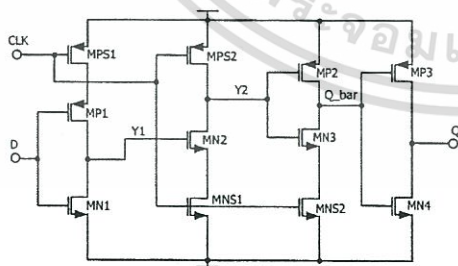


Fig. 8 TSPC D flip-flop circuit.

III. SIMULATION RESULTS

The PLL frequency synthesizer was designed and simulated with process parameters from a 0.18- μm CMOS technology. The circuit dissipates 2 mW from a single 1.8-V power supply voltage. Fig. 9 shows the simulated frequency tuning characteristic of the VCO. The oscillation frequency could be tuned from 744 MHz to 3.1 GHz as the control voltage was varied from 0.5 V to 1.8 V, respectively. The VCO gain is about 1.89 GHz/V. Fig. 10 shows the simulated VCO's phase noise at 2.45-GHz carrier frequency. The phase noise values are -21.7 dBc/Hz and -80.4 dBc/Hz at 10-kHz and 1-MHz offset frequencies, respectively.

Fig.11 shows the transient waveforms of the synchronous counter divide-by-4/5 with the input frequency of 625 MHz (i.e. $f_{out}/4$). Fig. 12 shows the lock-in transient waveforms of the PLL, including the f_{REF} , f_{DIV} , UP, DN, and V_{CON} . The setting time of PLL is less than 45 μs . Fig. 13 shows the discrete Fourier transform of the steady-state PLL output voltage at 2.45 GHz.

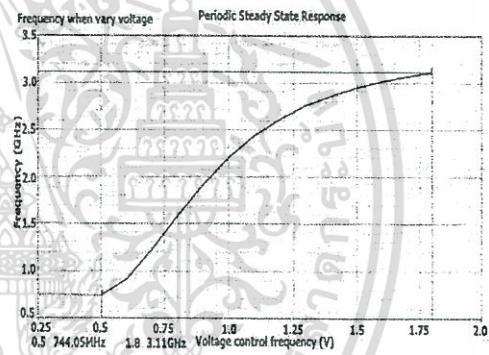


Fig. 9 Tuning characteristic of the ring VCO.

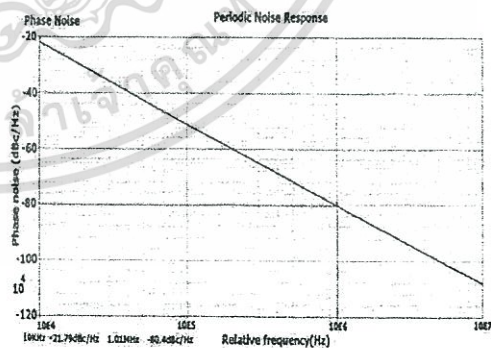


Fig. 10 Phase noise of the VCO at 2.45 GHz carrier frequency.

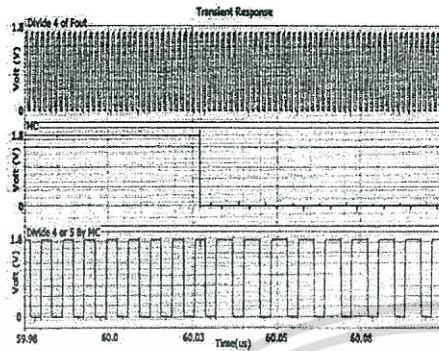


Fig. 11 Transient waveforms of the divide-by-4/5 circuit.

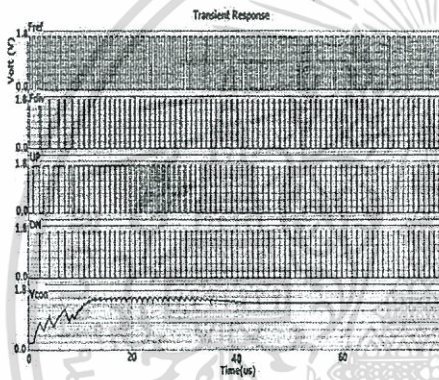


Fig. 12 Waveforms of the PLL's lock-in process.

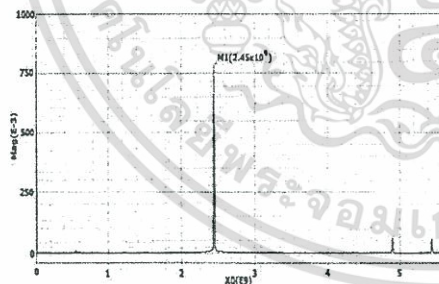


Fig. 13 Discrete Fourier Transform of the PLL's output voltage.

Table I: Performance Summary

Parameters	This work	[2]	[3]
Technology (μm)	0.18	0.18	0.18
Supply voltage (V)	1.8	1.8	1.8
Power dissipation (mW)	2	4.86	3.2
f_{out} range (GHz)	2.4-2.6	2.4-2.48	2.4-2.48
Freq. resolution (MHz)	5	1	5
VCO Phase noise @1MHz offset (dBc/Hz)	-80.4	-119	-113
Lock-in time (μs)	45	35	27

IV. CONCLUSIONS

A low-power PLL frequency synthesizer for short-range, low data rate wireless communication systems is described. The PLL employs a 3-stage voltage-controlled ring oscillator, which is realized by enhanced current-starved delay inverters with rail-to-rail voltage swing. Dynamic logic PFD and TSPC flip-flops are used to achieve high speed operation with low power dissipation. Simulation results suggested that the PLL could be used for wireless sensor systems like ZigBee.

V. ACKNOWLEDGMENT

This work is supported by the Thailand research fund (RSA5180015) and the scholarship fund from Rajamangala University of Technology Isan KhonKaen.

VI. REFERENCES

- [1] D. Mandal and T. Bhattacharyya, "7.95mW 2.4GHz Fully-Integrated CMOS Integer-N Frequency Synthesizer," 20th International Conference on VLSI Design & 6th International Conference on Embedded Systems (VLSID'07), 2007, pp. 156-164.
- [2] M. V. Krishna, J. Xie, W. M. Lim, M. A. Do, K. S. Yeo, and C. C. Boon, "A Low Power Fully Programmable 1MHz Resolution 2.4 GHz CMOS PLL Frequency Synthesizer," 2007 IEEE Biomedical Circuits and Systems Conference (BIOCAS 2007), 2007, pp. 187-190.
- [3] N. Mahmoud, H. Ismail, and M. Othman, "Low Power Phase Locked Loop Frequency Synthesizer for 2.4 GHz Band Zigbee," American J. Engineering and Applied Sciences, vol. 2, 2009, pp. 337-343.
- [4] A. Timar, A. Vamos, and G. Bognar, "Comprehensive design of a high frequency PLL synthesizer for ZigBee application," 2006 IEEE Design and Diagnostics of Electronic Circuits and systems, 2006, pp. 37-41.
- [5] T. Johnson, A. Fard, and D. Aberg, "An Improved Low Voltage Phase-Frequency Detector with Extended Frequency Capability", 47th IEEE International Midwest Symposium on Circuits and Systems, 2004, pp. 181-184.
- [6] J. Budboonchu and A. Thanachayanont, "Phase noise reduction of CMOS ring oscillator using rail-to-rail current starved delay cell", Proc. of 2010 International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC 2010), pp. 807-810, July 2010.
- [7] H. Yong, Z. Jianping, X. Haiqing, and Y. Min, "The Design of High Performance Dual Modulus Divider-by Prescaler," 2006 IET International Conference on Wireless, Mobile and Multimedia Networks, 2006, pp. 1-3.
- [8] Q. Huang and R. Rogenmoser, "Speed Optimization of Edge-Triggered CMOS Circuits for Gigahertz Single-Phase Clocks", IEEE J. Solid-State Circuits, Vol. 31, No. 3, March 1996.

ประวัติผู้เขียน

นายจักรวัฒน์ บุตรบุญชู เกิดเมื่อวันที่ 13 กันยายน พ.ศ. 2514 ที่อำเภอประทาย จังหวัดนครราชสีมา สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีราชมงคลธัญบุรี ในปีการศึกษา 2537 ในปีการศึกษา 2551 ได้เข้าศึกษาต่อในระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้