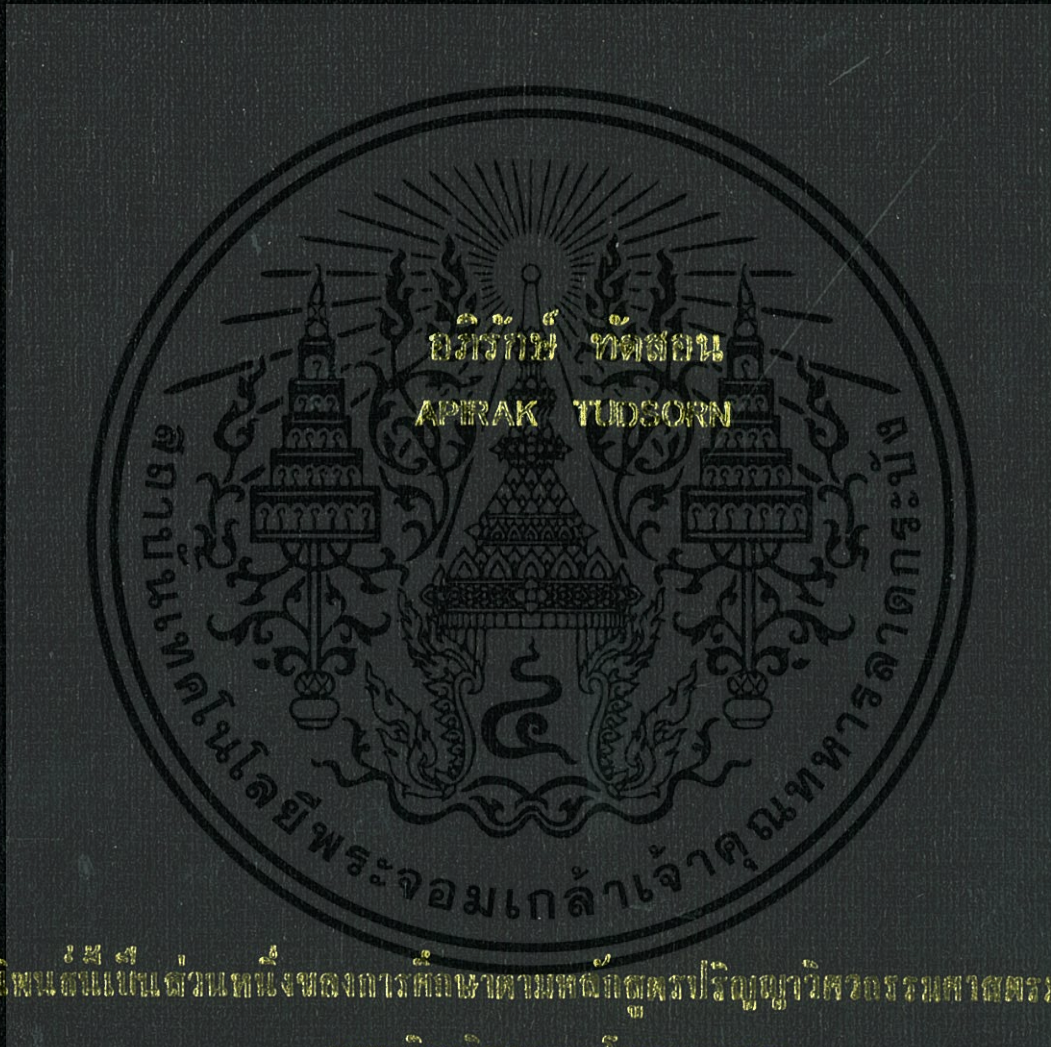


วงจรถ่ายความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก

LOW-POWER TRUE SINGLE-PHASE CLOCK 2/3 PRESCALERS.



วิทยานิพนธ์นี้เป็นต้นแบบของงานที่ส่งของคณาจารย์และนักศึกษาตามหลักที่ศูนย์วิจัยวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สาขาวิชาวิศวกรรมโยธา

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2556

KMITL-2013-EN-M-010-027

วงจรถ่ายความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก

LOW-POWER TRUE SINGLE-PHASE CLOCK 2/3 PRESCALERS



อภิรักษ์ ทัดสอน
APIRAK TUDSORN

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2556

KMITL-2013-EN-M-010-027

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW-POWER TRUE SINGLE-PHASE CLOCK 2/3 PRESCALERS



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2013

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับคนที่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2013

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรหารความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก
Thesis Title Low-Power True Single-phase Clock 2/3 Prescalers
นักศึกษา นายอภิรักษ์ ทัดสอน
รหัสประจำตัว 53611417
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ดร.สิรภพ ตู้ประกาย
หมายเลขวิทยานิพนธ์ KMITL-2013-EN-M-010-027

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.กอบชัย	เดชหาญ	
รศ.ดร.พิพัฒน์	พรหมมี	
ผศ.ดร.กฤษณ์	อ่างแก้ว	
ผศ.ดร.มนตรี	คำเงิน	
ดร.สิรภพ	ตู้ประกาย	

วัน / เดือน / ปี ที่สอบ วันพุธที่ 1 พฤษภาคม พ.ศ. 2556 เวลา 10.00-12.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 3

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(ศาสตราจารย์ ดร.สุขขีวีร์ สุวรรณสวัสดิ์)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 1 พฤษภาคม พ.ศ. 2556

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรรหาความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก
นักศึกษา	นายอภิรักษ์ ทัดสอน
รหัสประจำตัว	53611417
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2556
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ดร. สิริภพ ตูประกาย

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรรหาความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก ที่แรงดันแหล่งจ่าย 1.2 V โดยใช้เทคนิคการหาความถี่แบบทรูซิงเกิลเฟสคล็อกทำให้วงจรรหาความถี่ใช้กำลังงานต่ำและความเร็วสูง ผลการจำลองการทำงานด้วยโปรแกรม HSpice โดยใช้เทคโนโลยี CMOS 130nm ซึ่งกำลังงานที่ใช้ในวงจรที่ได้นำเสนอนี้จะมีประสิทธิภาพมากกว่าวงจรรหาความถี่ที่ได้นำเสนอมาก่อนนี้ และวงจรรหาความถี่สามารถทำงานได้ตั้งแต่ 0.5 ถึง 9 GHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis	Low-Power True Single-phase Clock 2/3 Prescalers
Student	Mr. Apirak Tudsorn
Student ID.	53611417
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2013
Thesis Advisor	Dr. Siraphop Tooprakai

ABSTRACT

This paper presents a low-power true single-phase clock 2/3 prescalers at 1.2 V supply voltage. The true-single-phase clock divider is developed to achieve the low power and high-speed performance. All simulation results have been carried out by using HSpice program simulator based on 130nm. CMOS technology. The proposed circuit is more efficiency than the previous circuits. The prescaler is capable to operate from 0.5 to 9 GHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอกราบขอบพระคุณบิดา มารดา ที่ให้การสนับสนุนและให้กำลังใจตลอดการศึกษา ผู้วิจัยขอขอบพระคุณ ดร. สิริภพ ตู้ประกาย ที่ให้คำแนะนำและช่วยเหลือสนับสนุนที่เป็นประโยชน์ต่อการทำวิจัยและทำให้วิทยานิพนธ์นี้สำเร็จลุล่วงได้ ขอขอบพระคุณพี่ๆ น้องๆ และเพื่อนๆ ที่ให้การช่วยเหลือ ให้คำปรึกษาต่างๆที่เกี่ยวกับการทำวิทยานิพนธ์ฉบับนี้ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

อภิรักษ์ ทัดสอน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	i
บทคัดย่อภาษาอังกฤษ	ii
กิตติกรรมประกาศ	iii
สารบัญ	iv
สารบัญรูป	v
สารบัญตาราง	ix
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 ที่มาของงานวิจัย	1
1.3 วัตถุประสงค์ของการทำวิจัย	1
1.4 รายละเอียดในวิทยานิพนธ์	2
บทที่ 2 ทฤษฎีซีมอสลอจิกเกท	3
2.1 ลอจิกมอสเทียม (Pseudo MOS Logic)	3
2.2 วงจร 3 สถานะ (Tri-state Circuit)	5
2.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา (Clocked CMOS Logic, C2MOS)	6
2.4 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic)	7
2.4.1 ปัญหาของไดนามิกซีมอส	8
2.5 ซีมอสโดมิโนลอจิก (CMOS Domino Logic)	9
2.6 ลอจิกเส้นทางคู่ (Dual-rail logic)	10
2.7 ลอจิกแบบวงจรเงาสะท้อน (Mirror Circuit logic)	12
บทที่ 3 วงจรแลทซ์และฟลิป-ฟลอปแบบซิงเกิลคล็อก	14
3.1 บทนำ	14
3.2 วงจรแลทซ์และฟลิป-ฟลอปแบบทรูซิงเกิลเฟสคล็อก	14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.3 ระบบไปไลน์ของวงจรถูชิงเกิลเฟสคล็อก	17
บทที่ 4 วงจรหารความถี่ 2/3 โดยใช้กำลังงานต่ำแบบถูชิงเกิลเฟสคล็อก	19
4.1 วงจรวงจรถูชิงเกิลเฟสคล็อกแบบความเร็วสูงกำลังต่ำ [14]	19
4.1.1 การทำงานของวงจร	20
4.2 วงจร Low-Power True Single-phase Clock 2/3 Prescalers ที่เสนอ.....	21
4.2.1 การทำงานของวงจร	22
4.3 ผลการจำลองการทำงาน	27
บทที่ 5 การประยุกต์ใช้งานวงจรถูชิงเกิลเฟสคล็อก 2/3 โดยใช้กำลังงานต่ำแบบถูชิงเกิลเฟสคล็อก	37
5.1 วงจรหารความถี่ 4 เท่าที่ความถี่ต่างๆ	37
5.2 วงจรหารความถี่ 6 เท่าที่ความถี่ต่างๆ	38
5.3 วงจรหารความถี่ 9 เท่าที่ความถี่ต่างๆ	40
บทที่ 6 สรุปผลการวิจัย	43
บรรณานุกรม	45
ภาคผนวก	47
ภาคผนวก ก. ค่าพารามิเตอร์ของ 130 nm CMOS	48
ภาคผนวก ข. โปรแกรม HSpice ที่ใช้ในการวิเคราะห์วิทยานิพนธ์	50
ภาคผนวก ค. การหาค่าหน่วงเวลาและกำลังที่สูญเสียของวงจรถูชิงเกิลเฟสคล็อก	60
ภาคผนวก ง. ผลงานทางวิชาการที่ได้รับการตีพิมพ์	68
ผลงานที่ได้รับตีพิมพ์	69
ประวัติผู้เขียน	76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
รูปที่ 2.1 วงจรซีมอสลอจิกเทียม.....	3
รูปที่ 2.2 วงจรนอร์เกต.....	4
รูปที่ 2.3 AOI เกท.....	5
รูปที่ 2.4 วงจร 3 สถานะแบบกลับสัญญาณ (Tri-state Inverter).....	6
รูปที่ 2.5 หลักการของวงจรซีมอสที่ใช้สัญญาณนาฬิกา.....	6
รูปที่ 2.6 ตัวอย่างวงจรแอนด์เกตที่ใช้สัญญาณนาฬิกา.....	7
รูปที่ 2.7 หลักการของวงจรไดนามิกซีมอส.....	8
รูปที่ 2.8 ตัวอย่างวงจรไดนามิกซีมอส.....	8
รูปที่ 2.9 วงจรพื้นฐานของโดมิโนซีมอสลอจิก.....	9
รูปที่ 2.10 วงจรพื้นฐานของ CVSL.....	11
รูปที่ 2.11 วงจร CVSL ของวงจรแอนด์/แอนด์.....	11
รูปที่ 2.12 วงจร CVSL ของวงจร ออร์/นอร์.....	12
รูปที่ 2.13 วงจร XOR เกท.....	13
รูปที่ 3.1 รูปแบบพื้นฐานของวงจรทรูซิงเกิลเฟสคล็อก.....	14
รูปที่ 3.2 วงจร Non-Precharged TSPC latches.....	15
รูปที่ 3.3 วงจร Precharged TSPC latches.....	15
รูปที่ 3.4 วงจรแลทช์ TSPC แบบ split-output.....	16
รูปที่ 3.5 วงจรดี-ฟลิปฟล็อปแบบทรูซิงเกิลเฟสคล็อก.....	16
รูปที่ 3.6 ผลจำลองการทำงานของวงจรดี-ฟลิปฟล็อปแบบทรูซิงเกิลเฟสคล็อก.....	17
รูปที่ 3.7 ระบบไปไลน์ของวงจรซีมอสทรูซิงเกิลเฟสคล็อก.....	18
รูปที่ 4.1 วงจรหารความถี่แบบทรูซิงเกิลเฟสคล็อกแบบความเร็วสูงกำลังต่ำ [14].....	19
รูปที่ 4.2 วงจรวงจรถหารความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อกที่เสนอ.....	21
รูปที่ 4.3 รูปแบบสัญญาณที่โหนดต่างในวงจรถหาร 2 ที่นำเสนอ แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz.....	25
รูปที่ 4.4 รูปแบบสัญญาณที่โหนดต่างในวงจรถหาร 3 ที่นำเสนอ แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz.....	26
รูปที่ 4.5 รูปสัญญาณของวงจรที่นำเสนอในโหมดหารสองที่โหลด 10fF ที่แหล่งจ่ายไฟ 1.2 Volts ความถี่ 1 GHz.....	27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
รูปที่ 4.6 รูปสัญญาณของวงจรที่หารความถี่ [14] ในโหมดหารสองที่โหลด 10fF ที่แหล่งจ่ายไฟ 1.2 Volts ความถี่ 1 GHz.....	28
รูปที่ 4.7 รูปสัญญาณของวงจรที่นำเสนอในโหมดหารสามที่โหลด 10fF ที่แหล่งจ่ายไฟ 1.2 Volts ความถี่ 1 GHz.....	28
รูปที่ 4.8 รูปสัญญาณของวงจรหารความถี่ [14] ในโหมดหารสามที่โหลด 10fF ที่แหล่งจ่ายไฟ 1.2 Volts ความถี่ 1 GHz.....	29
รูปที่ 4.9 รูปสัญญาณของวงจรที่นำเสนอที่โหมดหารสามความถี่อินพุต 9GHz	29
รูปที่ 4.10 รูปสัญญาณของวงจรหารความถี่ [14] ที่โหมดหารสามความถี่อินพุต 9GHz.....	30
รูปที่ 4.11 รูปคลื่นสัญญาณเอาต์พุตของวงจรที่นำเสนอในโหมดหารสอง ความถี่อินพุต 1 GHz.....	31
รูปที่ 4.12 รูปคลื่นสัญญาณเอาต์พุตของวงจรที่นำเสนอในโหมดหารสาม ความถี่อินพุต 1 GHz.....	31
รูปที่ 4.13 การเปรียบเทียบค่าหน่วงเวลากับโหลดคาปาซิแตนซ์ที่แหล่งจ่ายไฟ 1.2 Volt.....	32
รูปที่ 4.14 การเปรียบเทียบค่ากำลังงานที่สูญเสียกับโหลดคาปาซิแตนซ์ ที่แหล่งจ่ายไฟ 1.2 Volt.	32
รูปที่ 4.15 การเปรียบเทียบค่าหน่วงเวลากับแหล่งจ่ายไฟ.....	33
รูปที่ 4.16 การเปรียบเทียบค่ากำลังงานที่สูญเสียกับแหล่งจ่ายไฟ.....	33
รูปที่ 4.17 การเปรียบเทียบค่าหน่วงเวลากับเทคโนโลยี.....	34
รูปที่ 4.18 การเปรียบเทียบค่ากำลังงานที่สูญเสียกับเทคโนโลยี.....	34
รูปที่ 4.19 การเปรียบเทียบค่าหน่วงเวลากับความถี่.....	35
รูปที่ 4.20 การเปรียบเทียบค่ากำลังงานที่สูญเสียกับความถี่.....	35
รูปที่ 5.1 Block Diagram ของวงจรหารความถี่ 4 เท่า.....	37
รูปที่ 5.2 วงจรหารความถี่ 4 เท่า ที่ความถี่ 1 GHz.....	38
รูปที่ 5.3 วงจรหารความถี่ 4 เท่า ที่ความถี่ 4 GHz.....	38
รูปที่ 5.4 Block Diagram ของวงจรหารความถี่ 6 เท่า.....	38
รูปที่ 5.5 วงจรหารความถี่ 6 เท่า ที่ความถี่ 1 GHz.....	39
รูปที่ 5.6 วงจรหารความถี่ 6 เท่า ที่ความถี่ 4 GHz.....	39
รูปที่ 5.7 วงจรหารความถี่ 6 เท่า ที่ความถี่ 9 GHz.....	40
รูปที่ 5.8 Block Diagram ของวงจรหารความถี่ 9 เท่า.....	40

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด การค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
รูปที่ 5.9 วงจรหารความถี่ 9 เท่า ที่ความถี่ 1 GHz.....	41
รูปที่ 5.10 วงจรหารความถี่ 9 เท่า ที่ความถี่ 4 GHz.....	41
รูปที่ 5.11 วงจรหารความถี่ 9 เท่า ที่ความถี่ 9 GHz.....	42
รูปที่ ค.1 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรมอดูเลเตอร์ และนิยามค่าหน่วยเวลา ต่างๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี	60
รูปที่ ค.2 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต.....	62
รูปที่ ค.3 วงจรซิมอสอินเวอร์เตอร์ ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation	62
รูปที่ ค.4 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ ระหว่างการสวิตช์ของวงจรมอดูเลเตอร์	64
รูปที่ ค.5 วงจรซิมอส Logic โดยทั่วไป.....	65
รูปที่ ค.6 วงจรวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจรถัดไป.....	66



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
ตารางที่ ก 1 ค่าพารามิเตอร์ของ 130n CMOS.....	46
ตารางที่ ก 2 แสดงค่า W/L ของวงจรถูกใช้งานในบทที่ 4.....	47



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีทางด้านวงจรรวม มีวิวัฒนาการไปอย่างรวดเร็ว และมีความความต้องการในด้านประสิทธิภาพที่สูงขึ้น จึงทำให้เทคโนโลยีทางการออกแบบวงจรรวมมีการพัฒนาตามไปด้วย ในการออกแบบวงจรรวมทางดิจิทัลนิยมทำเป็นแบบวงจรรวม (IC: Integrated Circuit) [1-2] และการใช้เทคโนโลยี VLSI (Very Large Scale Integration) [3] ในปัจจุบันจะใช้ชิพที่มีขนาดเล็กลงเป็นอย่างมาก และการออกแบบวงจรรวมโดยใช้เทคโนโลยีซีมอสเป็นที่นิยมเป็นอย่างมากเพราะจะทำให้วงจรที่ออกแบบมีการสูญเสียของกำลังงานต่ำ มีอินพุตอิมพีแดนซ์ที่สูงและสามารถทำงานได้ที่ระดับคิกคาไฟเลี้ยงวงจรต่ำ ขนาดของอุปกรณ์และความง่ายในการออกแบบ

1.2 ที่มาของงานวิจัย

วงจรรวมความถี่เป็นวงจรรวมที่สำคัญในการสังเคราะห์ความถี่ (frequency synthesis) ซึ่งปัจจุบันมีความต้องการให้วงจรรวมสามารถทำงานได้เร็วขึ้น จึงเป็นสิ่งที่ท้าทายในการออกแบบวงจรรวมความถี่ให้ทำงานได้ในความถี่ที่สูงขึ้นและใช้กำลังงานที่ต่ำ วงจรรวมความถี่มีหลายรูปแบบด้วยกัน เช่น วงจรแบบ current-mode logic (CML) [4], วงจรแบบทรูซิงเกิลเฟสคล็อก (TSPC) [5] และแบบ extended TSPC (E-TSPC) [6-7] ซึ่งวงจรแบบ CML นั้นทำงานได้ในความถี่สูงแต่มีกำลังงานที่สูญเสียมาก ส่วนวงจรแบบ TSPC จะใช้กำลังงานต่ำ แต่ทำงานได้ในความถี่ต่ำไปด้วย และวงจรแบบ E-TSPC จะเหมือนกับวงจรแบบ TSPC แต่จะมีความแตกต่างที่วงจร E-TSPC ใช้ทรานซิสเตอร์น้อยกว่าหนึ่งตัวในแต่ละส่วน แต่วงจรที่นำเสนอจะพิจารณาที่วงจรแบบ TSPC ก่อนเนื่องจากความง่ายในการออกแบบ และการใช้กำลังงานต่ำให้สามารถทำงานได้ในความถี่ที่สูงขึ้นได้

1.3 วัตถุประสงค์ของการทำวิจัย

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบวงจรรวมความถี่โดยใช้วงจรซีมอสแบบทรูซิงเกิลเฟสคล็อก ซึ่งมีข้อดีคือมีความซับซ้อนน้อยง่ายในการออกแบบสามารถนำมาประยุกต์ใช้ได้หลากหลาย วงจรที่นำเสนอได้ปรับปรุงให้วงจรรวมความถี่สามารถปรับโหมตการทำงานให้สามารถลดความถี่เอาพุตลงได้สองรูปแบบโดยไม่จำเป็นต้องเปลี่ยนแปลงวงจรรวมเพียงส่งสัญญาณควบคุมโหมตการทำงานเท่านั้น และปรับปรุงวงจรรวมให้สามารถทำงานที่ความถี่สูงและใช้กำลังต่ำได้

1.4 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้แบ่งออกเป็น 6 บทโดยในบทที่ 1 จะเป็นการกล่าวนำ ที่มาของงานวิจัย วัตถุประสงค์และรายละเอียดในวิทยานิพนธ์

บทที่ 2 จะกล่าวถึงทฤษฎีซีมอสลอจิกเกต วงจรซีมอสแบบต่างๆ

บทที่ 3 จะกล่าวถึง หลักการของวงจรแบบซิงเกิลคล็อกแลทช์และฟลิป-ฟลอป การออกแบบ และทำความเข้าใจกับวงจรแบบทรูซิงเกิลเฟสคล็อก

บทที่ 4 จะกล่าวถึง วงจรหารความถี่โดยใช้หลักการของทรูซิงเกิลเฟสคล็อกที่เสนอและผล การทดสอบเปรียบเทียบคุณสมบัติต่างๆของวงจรที่นำเสนอ

บทที่ 5 จะกล่าวถึง การประยุกต์ใช้งานของวงจรหารความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก

บทที่ 6 เป็นการสรุปผลการวิจัย

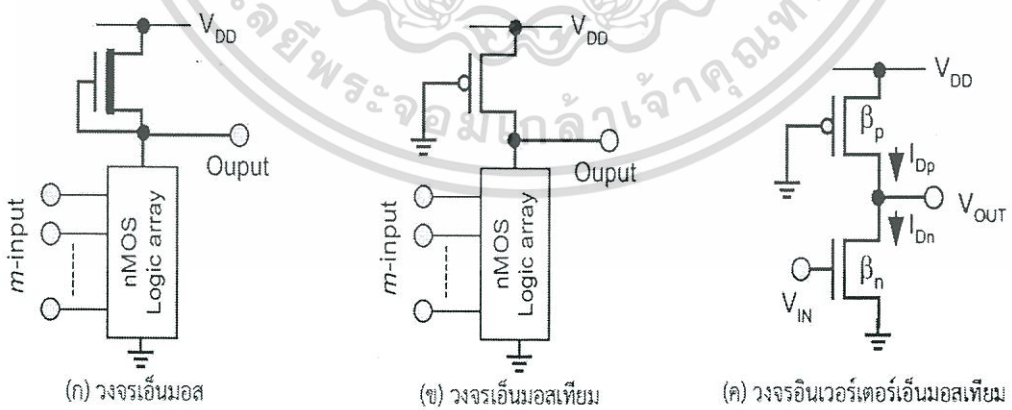


ทฤษฎีซีมอสลอจิกเกต

วงจรถอดจิกแบบซีมอสแบ่งเป็น 2 ประเภท คือวงจรถอดจิกแบบสแตติกและแบบไดนามิก แต่เนื่องจากว่าสแตติกเกต มีข้อด้อยหลายประการ จึงมีเกตอื่น ๆ อีกหลายชนิดที่ได้รับการยอมรับใช้งานอย่างแพร่หลายเช่นกัน ในการเลือกใช้ลอจิกประเภทต่าง ๆ เรามักจะยึดเอาความสิ้นเปลืองพื้นที่ ความประหยัดพลังงาน ความรวดเร็วในการทำงาน เป็นหลัก ปกติแล้วการใช้พื้นที่ซิลิกอนของวงจรถอดจิกเป็นส่วนโดยตรงกับจำนวนของทรานซิสเตอร์อยู่แล้ว แต่ทั้งนี้ขึ้นอยู่กับความยุ่งยากในการออกแบบ ลวดลาย ซึ่งขึ้นอยู่กับประเภทของเกตด้วย และปกติแล้วซีมอสจะสิ้นเปลืองพื้นที่มากกว่าเอ็นมอส ประมาณ 20-30% และโดยปกติแล้วลอจิกบล็อคล็กเล็ก ๆ มักจะออกแบบในรูปของสแตติกซีมอส แต่ถ้าหากเป็นวงจรถอดจิกขนาดใหญ่ที่อนุกรมกันก็ควรปรับปรุงเป็นไดนามิกลอจิกหรือไดมิโนลอจิก

2.1 ลอจิกมอสเทียม

วงจรถอดจิกมอสเทียม (Pseudo MOS Logic) [8] นี้สามารถสร้างขึ้นได้จากทรานซิสเตอร์เพียงชนิดเดียว ฟิมอสทรานซิสเตอร์ หรือเอ็นทรานซิสเตอร์ก็ได้ และจะใช้ทรานซิสเตอร์ชนิดตรงกันข้ามมาทำเป็นโหลด เอ็นมอสเทียม (Pseudo-nMOS) จะได้รับความนิยมสูงกว่าฟิมอสเทียม ทั้งนี้เพราะ วงจรเอ็นมอสทรานซิสเตอร์ล้วนๆ ได้รับความนิยมมาก่อนวงจรถอดจิกฟิมอสทรานซิสเตอร์ แต่วงจรถอดจิกเอ็นมอสจะใช้ดีพลีชันมอสเป็นโหลด แสดงดังรูปที่ 2.1ก ทำให้สิ้นเปลืองพลังงานมาก และขนาดของตัวอุปกรณ์จะต้องคำนวณให้สอดคล้องกับระดับแรงดันของลอจิก



รูปที่ 2.1 วงจรถอดจิกซีมอสเทียม

วงจรถอดจิกเอ็นมอสเทียมมีฟิมอสทรานซิสเตอร์ที่เกตลงกราวด์ ทำหน้าที่เป็นโหลดให้กับวงจรถอดจิกดังรูปที่ 2.1ข ซึ่งถ้าหากเอ็นมอสทรานซิสเตอร์ตัวใดตัวหนึ่งหรือหลายตัว นำกระแส ปริมาณกระแสระหว่าง V_{DD} กับกราวด์จะกำหนดได้โดยฟิมอสทรานซิสเตอร์เท่านั้น ในกลุ่มของ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น มิใช่เพื่อเผยแพร่ไปใช้ประโยชน์ในการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอ็นมอสทรานซิสเตอร์อาจต่อกันอย่างไรก็ได้ขึ้นกับฟังก์ชันลอจิกที่ต้องการ การต่ออนุกรมกันหลายตัว จะส่งผลกับแรงดันสถานะลอจิกต่ำทางเอาต์พุต ลองพิจารณาตัวอย่างง่าย ๆ เช่น อินเวอร์เตอร์แสดง ในรูปที่ 2.1ค เนื่องจาก $V_{GSp} = V_{DD}$ พีมอสทรานซิสเตอร์จึงทำงานในย่านอิ่มตัว เมื่อให้ลอจิกสูงที่ อินพุตจะถือว่าเอ็นมอสทรานซิสเตอร์ทำงานในช่วงเชิงเส้นและแรงดันทางเอาต์พุตเป็นแรงดันลอจิก ต่ำตังนั้น

$$\frac{\beta_p}{2}(V_{DD} - |V_{Tp}|)^2 = \frac{\beta_n}{2}\{2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2\} \quad (2.1)$$

ซึ่งเป็นสมการกำลังสอง แก้สมการหาค่า V_{OL}

$$V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n}(V_{DD} - |V_{Tp}|)^2} \quad (2.2)$$

β_p = ค่า transient rise time

β_n = ค่า transient fall time

V_{Tp} = ศักดาเริ่มต้นของพีมอส (pMOS Threshold Voltage)

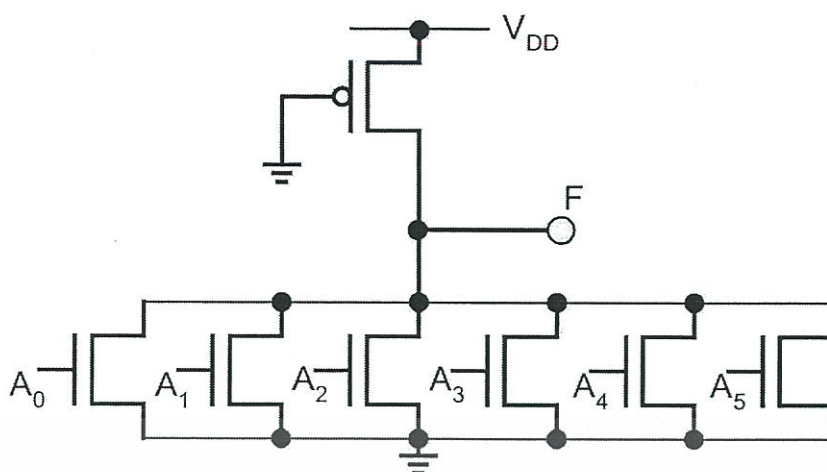
V_{Tn} = ศักดาเริ่มต้นของเอ็นมอส (nMOS Threshold Voltage)

V_{DD} = แรงดันที่แหล่งจ่าย

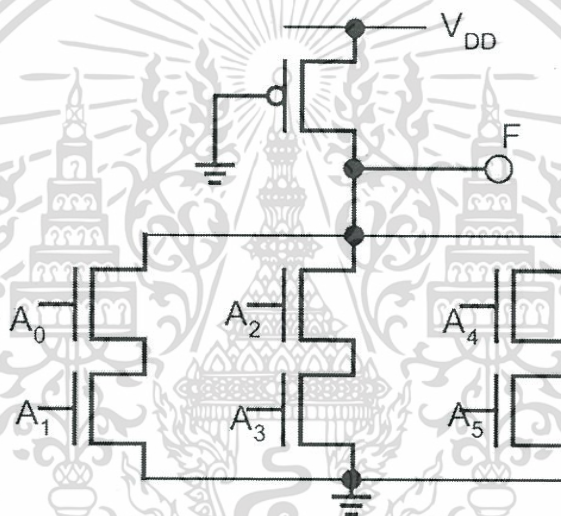
V_{OL} = แรงดันเอาต์พุตที่ระดับต่ำ

V_{OH} = แรงดันเอาต์พุตที่ระดับสูง

การสร้างลอจิกฟังก์ชันที่ซับซ้อนก็พิจารณาเฉพาะเน็ตเวิร์คของเอ็นมอสทรานซิสเตอร์เท่านั้น เช่นนอร์เกท 6 อินพุตแสดงในรูปที่ 2.2 และวงจร AOI [9] ในรูปที่ 2.3 ที่มีฟังก์ชัน $F = A_0 + A_1 + A_2 + A_3 + A_4 + A_5$ และ $F = A_0A_1 + A_2A_3 + A_4A_5$



รูปที่ 2.2 วงจรนอร์เกต



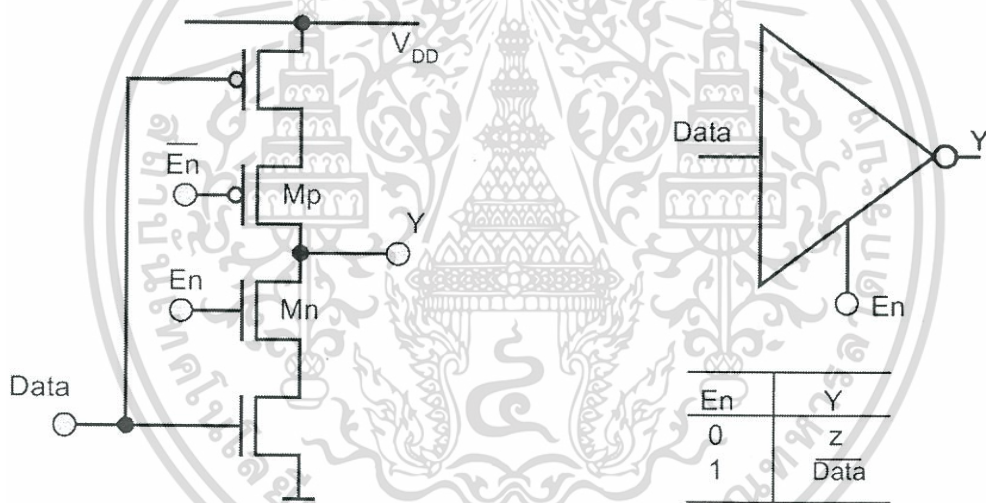
รูปที่ 2.3 AOI เกท [2]

วงจรมอสเทียมมีลักษณะเหมือนวงจรมอสปกติทุกประการ แตกต่างกันว่าตัวโหลดแทนที่จะเป็นเอ็นมอสทรานซิสเตอร์ ก็จะเป็นพีมอสทรานซิสเตอร์เพียงตัวเดียว ที่ต่อเกตลงกราวด์จะทำหน้าที่ให้กั่วงจรมอส วงจรของพีมอสเทียมจะมีลักษณะที่ตรงกันข้ามกับวงจรมอสเทียม วงจรแบบนี้จะต้องคำนวณขนาดของตัวอุปกรณ์ เพื่อให้ระดับลอจิกที่ถูกต้อง (สแตติกซีมอสไม่จำเป็นต้องคำนึงในข้อนี้) ปัญหาหลักของวงจรมอสเทียมคือการสูญเสียพลังงานมากเพราะอุปกรณ์ที่เป็นโหลดจะนำกระแสตลอดเวลา ทั้งยังเป็นสาเหตุให้แรงดันเอาต์พุตลอจิก “0” ไม่สามารถที่จะเป็นศูนย์โวลต์ได้ (แรงดันเอาต์พุตลอจิก “1” สามารถมีค่าสูงได้ถึง V_{DD}) ข้อดีของเกตแบบนี้ก็คือสามารถประหยัดพื้นที่ได้มากกว่าสแตติกเกตซึ่งเป็นคอมพลิเมนทารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจร 3 สถานะ

วงจรถอดจิกปกติจะมีแค่ 2 สถานะคือสถานะแรงดันสูงหรือลอจิก "1" และสถานะแรงดันต่ำหรือลอจิก "0" แต่วงจรถอดจิก 3 สถานะ (Tri-state Circuit) [10] จะมีสถานะ "ความต้านทานสูง" หรือ "High impedance" หรือ "High Z" เพิ่มขึ้นมาอีก 1 สถานะ สถานะดังกล่าวไม่สามารถที่จ่ายหรือรับกระแสใดๆได้ ทำให้เหมาะสมในการแยกวงจรออกจากวงจรส่วนอื่นๆขณะทำงาน วงจรถอดจิก 3 สถานะนิยมใช้สำหรับปล่อยสัญญาณลงสู่บัสที่มีสถานะภาพเป็นทั้งอินพุตและเอาต์พุต ส่วนใหญ่ก็จะ เป็นวงจรบัฟเฟอร์ด้วย (จ่ายกระแสได้มาก) มีทั้งแบบกลับสัญญาณ (Inverting) และไม่กลับสัญญาณ (Non-inverting) รูปที่ 2.4 แสดงวงจร 3 สถานะแบบกลับสัญญาณโดยที่สัญญาณ En (Enable) จะทำหน้าที่เป็นสัญญาณควบคุม หากสัญญาณ En เป็น High วงอินเวอร์เตอร์ก็จะทำงานเหมือนวงจรอินเวอร์เตอร์ปกติ หากสัญญาณ En เป็น Low ทางเอาต์พุตก็จะปรากฏค่าเป็นความต้านทานสูง โดยไม่ขึ้นกับสถานะทางอินพุตเลย ทั้งนี้เพราะที่มอสทรานซิสเตอร์ (Mp) และเอ็นมอสทรานซิสเตอร์ (Mn) อยู่ในสภาวะ "off" หรือไม่นำกระแส

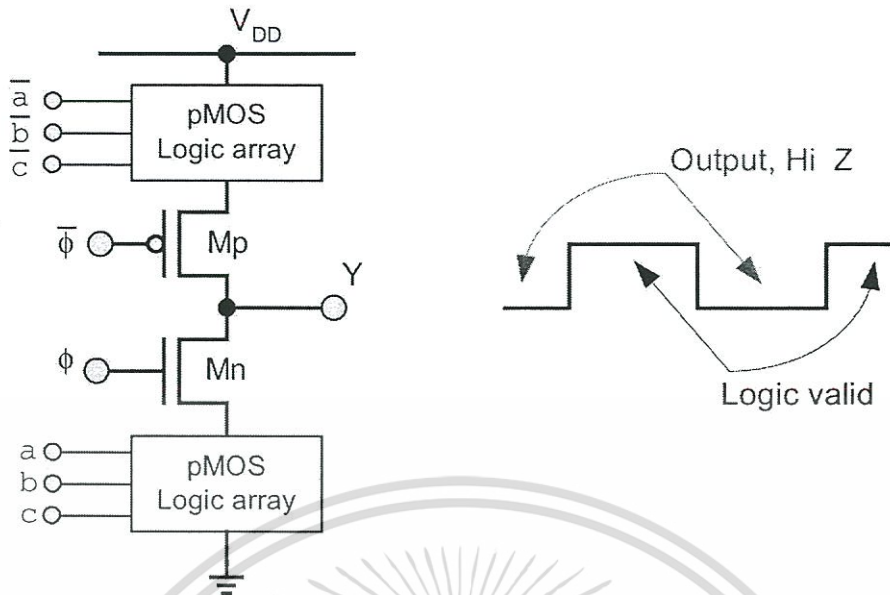


รูปที่ 2.4 วงจร 3 สถานะแบบกลับสัญญาณ

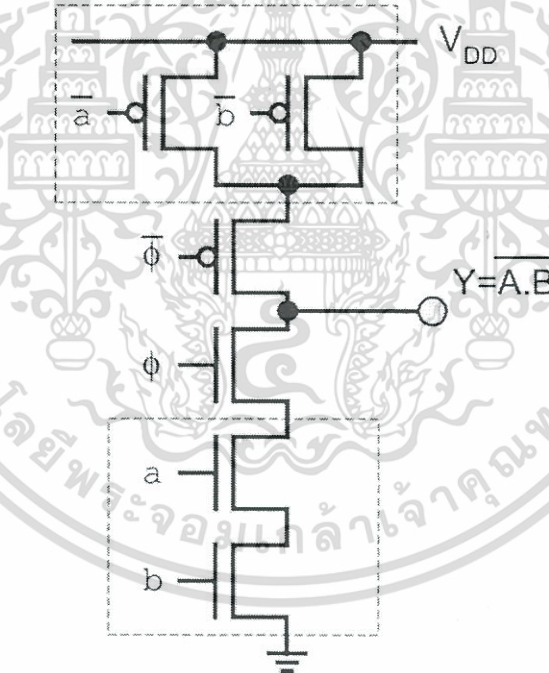
2.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา

วงจรถอดจิกที่ใช้สัญญาณนาฬิกา (Clocked CMOS Logic, C2MOS) [11] เป็นแนวคิดผสมกันระหว่างลอจิกมาตรฐานกับการอ่านผลลัพธ์แบบซิงโครนัส วงจรจะมีช่วงการเปลี่ยนแปลงอินพุต เฉพาะเมื่อสัญญาณนาฬิกามีสถานะเป็น "0" เท่านั้น ในขณะที่ทางเอาต์พุตจะมีสถานะเป็นความต้านทานสูง และเมื่อสัญญาณนาฬิกามีสถานะเป็น "1" (อินพุตไม่ควรมีการเปลี่ยนแปลงในช่วงนี้) ผลลัพธ์ของลอจิกทางด้านเอาต์พุตสามารถจะถูกอ่านหรือส่งต่อไปได้ เนื่องจากวงจรถอดจิกยังคงเป็นลักษณะคอมพลิเมนต์จำนวนทรานซิสเตอร์ที่ใช้จึงได้ลดน้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 หลักการของวงจรมอสที่ใช้สัญญาณนาฬิกา



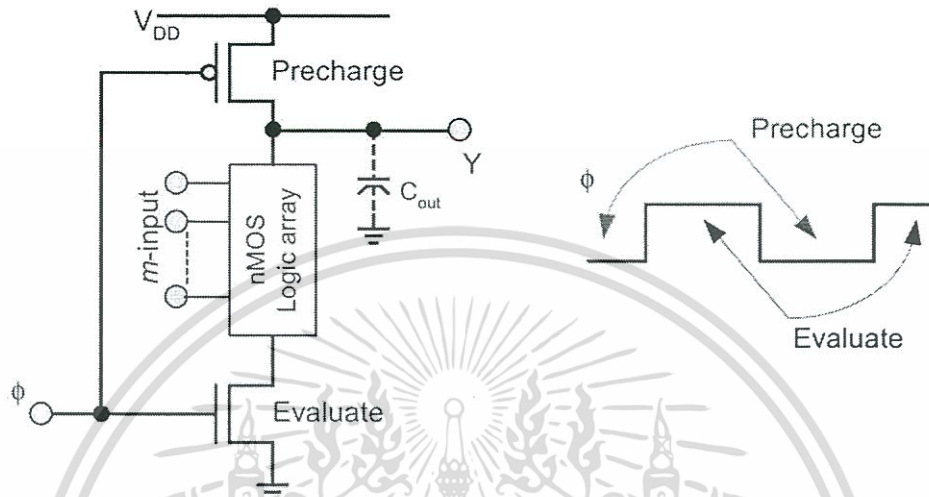
รูปที่ 2.6 ตัวอย่างวงจรรแนนด์เกตซึ่งใช้สัญญาณนาฬิกา

2.4 ไดนามิกซีมอสลอจิก

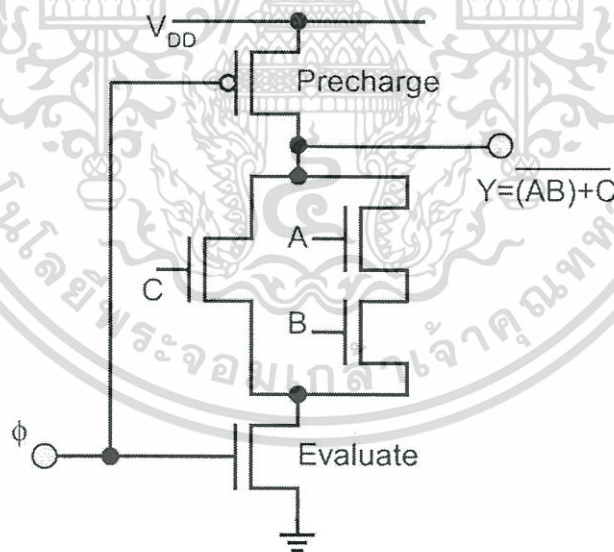
ลักษณะของวงจรรลอจิกแบบไดนามิก [12] นี้ต้องการการซิงโครไนส์ ในการอ่านสถานะเอาต์พุต วงจรจะมีช่วงการเปลี่ยนแปลงอินพุต เฉพาะเมื่อสัญญาณนาฬิกามีสถานะเป็น “0” เท่านั้น ช่วงนี้จะเรียกว่า Precharge และเมื่อสัญญาณนาฬิกามีสถานะเป็น “1” ก็จะส่งผลของลอจิกออกจากเอาต์พุตช่วงนี้จะเรียกว่าช่วง Evaluate ลักษณะวงจรพื้นฐานของไดนามิกซีมอส จะประกอบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบริการวิชาการเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ไปใช้ประโยชน์ในการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรของเอ็นมอสทรานซิสเตอร์ที่จะให้ลอจิกฟังก์ชันโดยเอาต์พุตโหนดจะถูก Precharge สู่ V_{DD} โดยพีมอสทรานซิสเตอร์ ในขณะที่เดียวกันเอ็นมอสทรานซิสเตอร์จะทำหน้าที่ Evaluate แสดงในรูปที่ 2.7 สัญญาณนาฬิกาที่ใช้เป็นเฟสเดียว ในช่วง Precharge $\phi = "0"$ และอยู่ในช่วง Evaluate เมื่อ $\phi = "1"$



รูปที่ 2.7 หลักการของวงจรไดนามิกซีมอส



รูปที่ 2.8 ตัวอย่างวงจรไดนามิกซีมอส

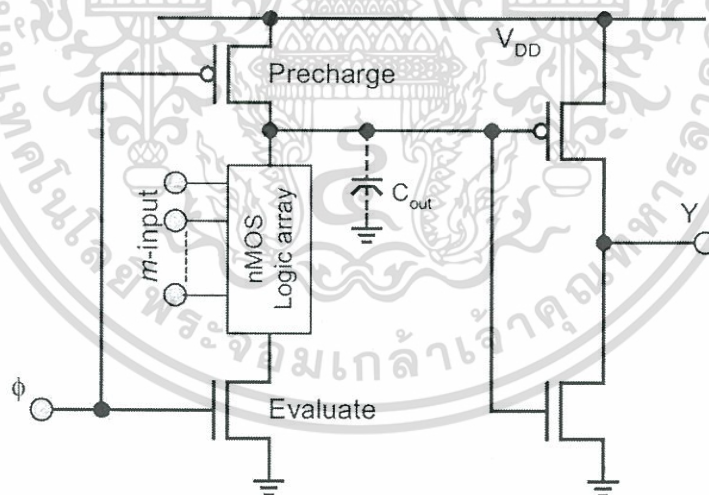
2.4.1 ปัญหาของไดนามิกซีมอส

สัญญาณอินพุตจะเปลี่ยนแปลงได้เฉพาะในช่วง Precharge เท่านั้น มิฉะนั้นแล้วเอาต์พุตอาจจะผิดพลาดได้ ปัญหาที่เกิดขึ้นอีกประการหนึ่งก็คือ การต่ออนุกรมกันของไดนามิกเกตหลาย ๆ ชุด เมื่อถูก Precharge สัญญาณที่โหนดเอาต์พุตจะถูก Precharge สู่ V_{DD} แต่ในช่วง Evaluate เอาต์พุตของเกตชุดแรกจะเปลี่ยนแปลงตามเงื่อนไขของอินพุต ถ้าหากว่ามีการดีเลย์ในช่วงนี้ (ซึ่งจะเอาจริงเป็นเอกสารที่ส่งมอบให้สำหรับบริการเชิงพาณิชย์เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต) ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นอินพุตของเกทชุดที่ 2) จะทำให้เกทชุดที่ 2 ประเมินค่าผิดพลาด การแก้ปัญหาดังกล่าวอาจจำเป็นต้องใช้สัญญาณนาฬิกาหลายเฟส (ปกติ 4 เฟส) คาบเวลาของสัญญาณนาฬิกา จะต้องมีความยาวเพียงพอที่จะให้การประเมินค่าของเกทชุดที่ช้าที่สุดเป็นไปอย่างสมบูรณ์เสียก่อน ลักษณะของวงจรบางแบบจะทำให้เกิดปัญหาเรื่องค่าความจุไฟฟ้าแอบแฝงทำให้แรงดันลอคจิกคลาดเคลื่อนได้ (Charge sharing problem) ปกติแล้วจะต้องให้ค่าตัวเก็บประจุ C_{out} มีค่ามากกว่าตัวเก็บประจุอื่นในวงจร

2.5 ซิมอสโตมิโนลจิก

โครงสร้างพื้นฐานของโตมิโนลจิก [13] จะประกอบด้วยวงจร 2 ส่วนคือ ส่วนแรกจะเป็นไดนามิคซิมอสที่ทำงานด้วยสัญญาณนาฬิกาชุดเดียว คือ Precharge และ Evaluate และวงจรส่วนที่ 2 จะเป็นซิมอสอินเวอร์เตอร์ดังแสดงในรูปที่ 2.7 ในช่วง Precharge สัญญาณเอาต์พุตของวงจรไดนามิคจะ Precharge สู่ V_{DD} และที่สัญญาณเอาต์พุตของอินเวอร์เตอร์มีสถานะเป็น “0” เมื่อสัญญาณนาฬิกาเปลี่ยนจาก “0” เป็น “1” (ช่วงนี้จะประเมินค่า) Precharge ทรานซิสเตอร์จะหยุดทำงาน และทรานซิสเตอร์ Evaluate จะทำงานแทน ในช่วง Evaluate โตมิโนลจิกจะเปลี่ยนค่าเฉพาะเมื่อมีการเปลี่ยนสถานะจาก “0” เป็น “1” เท่านั้น



รูปที่ 2.9 วงจรพื้นฐานของโตมิโนซิมอสลจิก

โตมิโนลจิก จะประกอบด้วยส่วนของวงจรซึ่งเป็นอินพุต Precharge ทรานซิสเตอร์ Evaluate ทรานซิสเตอร์ และเอาต์พุตอินเวอร์เตอร์อีก 1 ชุด ดังนั้นโตมิโนลจิก m อินพุตจะมีทรานซิสเตอร์ $m + 4$ ตัวเป็นวงจรที่มีการสูญเสียต่ำ เพราะจะไม่มีกระแสเฉื่อยในวงจรเลย ปกติแล้วพีมอสทรานซิสเตอร์ จะเสียพื้นที่มากกว่าเอ็นมอสทรานซิสเตอร์ โตมิโนลจิกมีทรานซิสเตอร์ส่วนใหญ่

เป็นเอ็นมอสทรานซิสเตอร์ จึงให้ความจุของอุปกรณ์ต่อพื้นที่ที่ดีขึ้น ในขณะที่เดียวกันความยุ่งยากในการออกแบบลวดลายก็ลดลง

2.6 ลอจิกเส้นทางคู่

วงจรที่ผ่านมาแล้วนั้น นับว่าเป็นวงจรซิมอสเส้นทางเดี่ยว (Single rail) ซึ่งหมายถึงตัวแปรทางอินพุตมีค่าเพียง "0" หรือ "1" เท่านั้น วงจรลอจิกเส้นทางคู่ (Dual-rail logic) [14] จะใช้ทั้ง x และ \bar{x} ร่วมกันในรูปแบบที่เป็นเชิงอนุพันธ์ โดยจุดประสงค์หลักก็เพื่อเพิ่มความเร็วในการทำงาน พิจารณาฟังก์ชัน

$$f_x = x - \bar{x} \quad (2.3)$$

ดังนั้น

$$\frac{df_x}{dt} = \frac{dx}{dt} - \frac{d\bar{x}}{dt} \quad (2.4)$$

เมื่อ

$$\frac{d\bar{x}}{dt} = - \left| \frac{dx}{dt} \right| \quad (2.5)$$

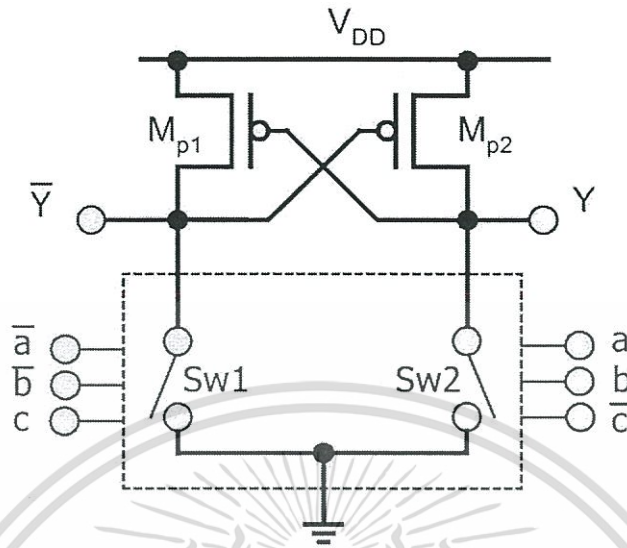
เมื่อ x มีค่าเพิ่มขึ้น \bar{x} ลดลง หรือในทางกลับกัน ดังนั้น

$$\frac{df_x}{dt} = 2 \left| \frac{dx}{dt} \right| \quad (2.6)$$

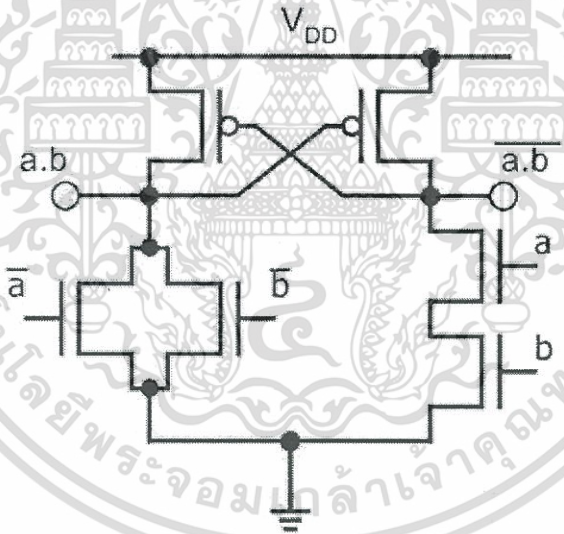
วงจรลอจิกเส้นทางคู่สามารถที่มีความเร็วประมาณ 2 เท่าของวงจรเส้นทางเดี่ยว แต่ในทางกลับกันเส้นทางการเชื่อมโยงวงจรจะต้องเพิ่มมากขึ้น เพราะจำนวนอินพุตที่ต้องเพิ่มมากขึ้น วงจรลอจิกเส้นทางคู่ที่แพร่หลายก็คือ Differential Cascade Voltage Switching Logic (DCVS) หรือ อีกชื่อหนึ่งก็คือ differential CVSL โครงสร้างพื้นฐานของวงจร CVSL แสดงได้ดังในรูปที่ 2.10 อินพุตจะประกอบด้วยส่วนที่เป็นทางตรง (เช่น a b c) และส่วนที่เป็นคอมพลิเมนต์ (เช่น \bar{a} \bar{b} \bar{c}) ซึ่งทั้งหมดประกอบด้วยเอ็นมอสทรานซิสเตอร์เท่านั้น วงจรคอมพลิเมนต์นี้จะอยู่ด้านละชุดของวงจรแลทซ์ที่ประกอบจากพีมอสทรานซิสเตอร์ทำให้ได้สัญญาณเอาต์พุตที่โหนด Y และ \bar{Y} สมมุติว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุตลอจิกทำให้สวิตช์ Sw1 ทำงาน แรงดันที่โหนดเอาต์พุต \bar{Y} มีค่าลดลงเป็นแรงดันต่ำ เป็นการบังคับให้พินออสทรานซิสเตอร์ Mp2 นำกระแสโดยเร็วขับให้เอาต์พุตที่โหนด Y เป็นแรงดันสูง

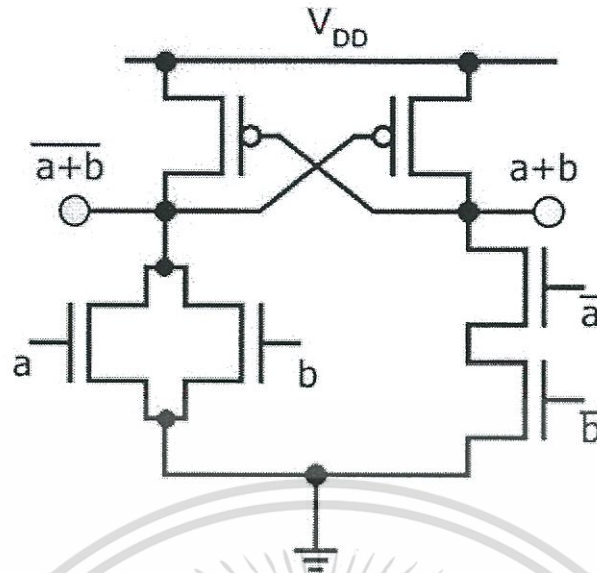


รูปที่ 2.10 วงจรพื้นฐานของ CVSL



รูปที่ 2.11 วงจร CVSL ของวงจรแอนด์/แนนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 วงจร CVSL ของวงจร ออร์/นอร์

การออกแบบในส่วนของวงจรมอสทรานซิสเตอร์ซึ่งสองด้านเป็นคอมพลิเมนต์กันนั้น วิธีหนึ่งที่ย่าง ๆ ค่อนข้างจะตรงไปตรงมาอย่างวงจร AND/NAND ในรูปที่ 2.11 และวงจร OR/NOR ในรูปที่ 2.12 ซึ่งจะเห็นว่าเมื่อสัญญาณอินพุตเป็นคอมพลิเมนต์กันแล้ว สัญญาณเอาต์พุตก็ยังเป็นคอมพลิเมนต์กันอีกด้วย อาศัยทฤษฎีของ DeMorgan

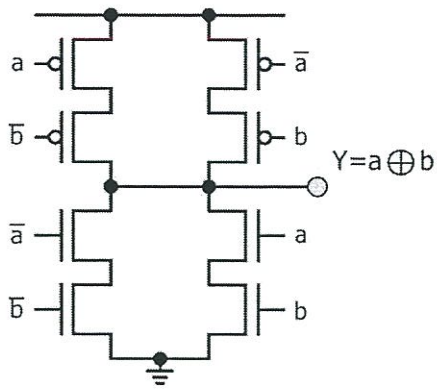
$$\overline{a \cdot b} = \overline{a} + \overline{b} \quad (2.7)$$

จะเห็นว่าวงจร AND/NAND และวงจร OR/NOR มีโครงสร้างเดียวกัน ต่างกันเฉพาะตำแหน่งของสัญญาณอินพุตเท่านั้น

2.7 ลอจิกแบบวงจรเงาสสะท้อน

วงจรลอจิกแบบเงาสสะท้อน (Mirror Circuit logic) [15] มีรูปแบบคล้ายวงจรซีมอสคอมพลิเมนต์มาตรฐาน คือมีส่วนของพีมอสทรานซิสเตอร์และเอ็นมอสทรานซิสเตอร์แต่วงจรมีสองด้านซ้ายและขวาเหมือนวงจรเส้นทางคู่ วงจรด้านซ้ายและขวานี้สะท้อนซึ่งกันและกันในรูปแบบของคอมพลิเมนต์ ลักษณะเช่นนี้สองพิจารณาวงจรของ XOR ซึ่ง $Y = a \oplus b = \overline{a}b + a\overline{b}$ จากคณิตศาสตร์บูลีน เราจะเห็นว่า $\overline{a}b + a\overline{b} = \overline{ab} + \overline{a\overline{b}}$ ซึ่งสามารถเขียนเป็นวงจรได้ดังรูปที่ 2.13 จะสังเกตเห็นว่า เอ็นมอสทรานซิสเตอร์จะทำงานเพื่อให้สัญญาณเอาต์พุตมีสถานะเป็น "0" ในขณะที่พีมอสทรานซิสเตอร์จะทำงานเพื่อให้สัญญาณเอาต์พุตมีสถานะเป็น "1" จำนวนทรานซิสเตอร์ที่ใช้ในวงจรแม้จะเท่ากับวงจรคอมพลิเมนต์ซีมอส แต่ลักษณะเส้นทางวงจรจะง่ายกว่า และวงจร XNOR ก็สามารถที่จะออกแบบได้ในลักษณะเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



a	b	Y
0	0	0
0	1	1
1	0	1
1	1	0

$$Y = \bar{a}b + a\bar{b}$$

รูปที่ 2.13 วงจร XOR เกท



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรแลตซ์และฟลิป-ฟลอปแบบซิงเกิลคล็อก

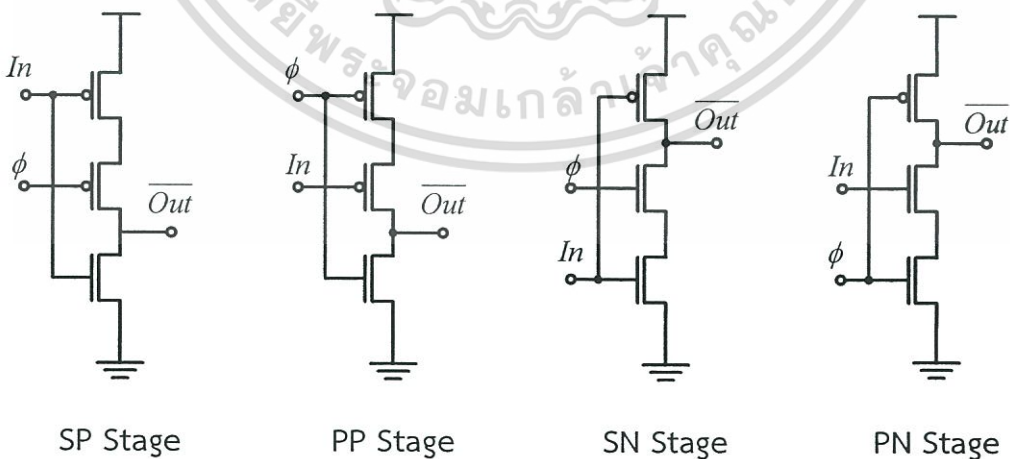
3.1 บทนำ

วงจรแลตซ์และฟลิป-ฟลอป ที่ควบคุมด้วยสัญญาณนาฬิกาเป็นรูปแบบพื้นฐานของระบบซิงโครนัส ซึ่งเป็นที่รู้จักกันว่า $P_D = C_L V_{DD}^2 f_C$ โดยที่ P_D เป็นกำลังงานที่สูญเสียแบบไดนามิก C_L คือค่าโหลดคาปาซิแตนซ์ V_{DD} คือค่าแรงดันที่แหล่งจ่าย f_C คือความถี่ของสัญญาณนาฬิกา

ซึ่งการใช้กำลังงานแบบไดนามิกเมื่อมีการใช้จำนวน clock wires และ clock device น้อยมีแนวโน้มที่จะส่งผลให้เกิดการกระจายพลังงานต่ำ ด้วยพื้นฐานของหลักการนี้จึงต้องการให้มีอุปกรณ์ที่ใช้สัญญาณนาฬิกาน้อยที่สุดและใช้สัญญาณนาฬิกาเดียว (single clock)

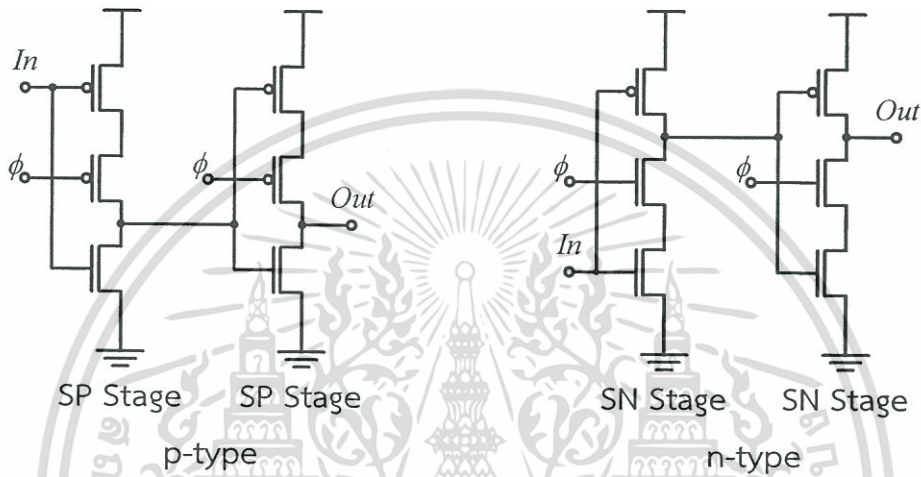
3.2 วงจรแลตซ์และฟลิป-ฟลอปแบบทรูซิงเกิลเฟสคล็อก

เทคนิคของวงจรทรูซิงเกิลเฟสคล็อก (True Single Phase Clock) [16-20] ใช้เพียงสัญญาณนาฬิกาเดียวโดยทรานซิสเตอร์ที่มีสัญญาณอินพุตเข้ามาเป็นสัญญาณนาฬิกาในวงจรแลตซ์จะใช้สัญญาณเพียงเฟสเดียวไม่มีการกลับเฟสของสัญญาณที่เข้ามาในวงจร วงจรแบบทรูซิงเกิลเฟสคล็อก (TSPC) มีรูปแบบพื้นฐานอยู่ 4 แบบคือ SP Stage (Non-Precharged P), PP Stage (Precharged P), SN Stage (Non-Precharged N) และ PN Stage (Precharged N) แสดงในรูปที่ 3.1 โดยที่ S คือ Non-Precharged และ P คือ Precharged ในวงจรแบบ SP Stage และ PP Stage จะมีรูปแบบวงจรเหมือนกันแต่จะแตกต่างกันที่สัญญาณอินพุตและสัญญาณนาฬิกาเช่นเดียวกับวงจรแบบ SN Stage และ PN Stage

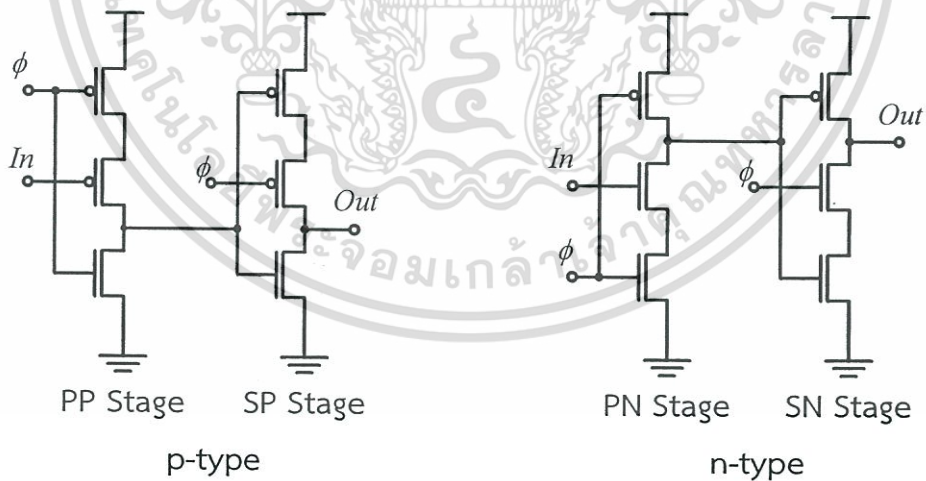


รูปที่ 3.1 รูปแบบพื้นฐานของวงจรทรูซิงเกิลเฟสคล็อก

จากรูปที่ 3.2 เมื่อทำการนำวงจรแบบ SP Stage มาต่อкасцепกันจะทำให้วงจรไม่ส่งผ่านข้อมูลเมื่อสัญญาณนาฬิกาเป็น 1 และเมื่อนำวงจรแบบ SN Stage มาต่อкасцепกันจะทำให้วงจรไม่ส่งผ่านข้อมูลเมื่อสัญญาณนาฬิกามีสถานะเป็น “0” เรียกววงจรสองวงจรมีชื่อว่าวงจร Non-Precharged TSPC latch ชนิด p และ n ตามลำดับ จากรูปที่ 3.3 เมื่อนำวงจรแบบ PP Stage มาต่อกับวงจรแบบ SP Stage จะทำให้ได้วงจร Precharged TSPC latch ชนิด p และเมื่อนำวงจรแบบ PN Stage มาต่อกับวงจรแบบ SN Stage ทำให้ได้วงจร Precharged TSPC latch ชนิด n



รูปที่ 3.2 วงจร Non-Precharged TSPC latches

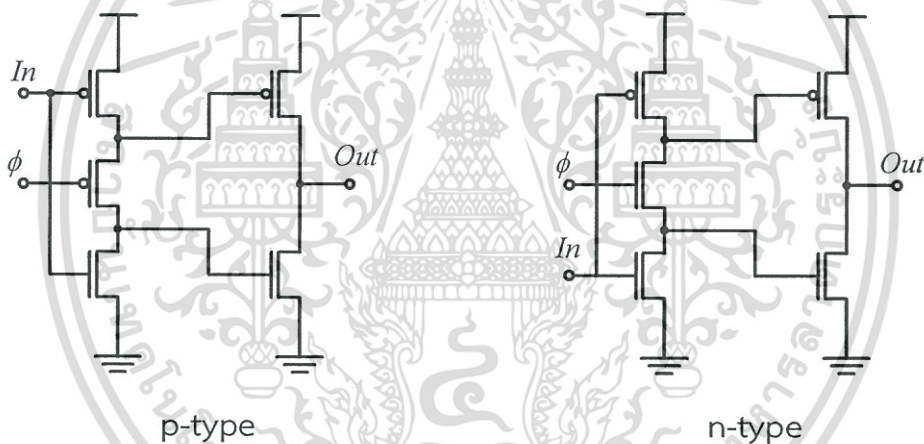


รูปที่ 3.3 วงจร Precharged TSPC latches

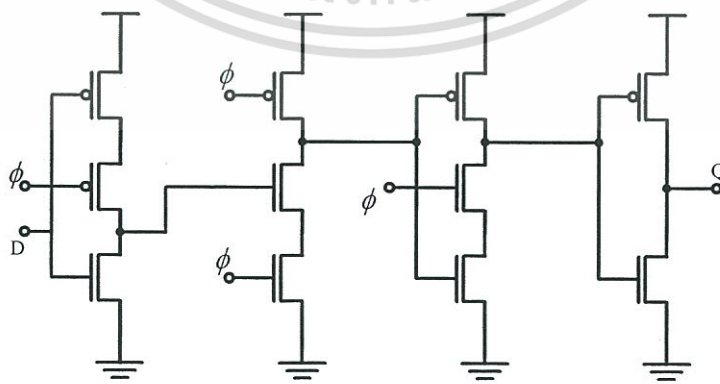
เมื่อทำการต่อวงจรแลตช์แบบ Non-Precharged สองชนิดเข้าด้วยกันจะได้วงจรฟลิป-ฟลอปแบบ Non-Precharged TSPC และเป็นวงจรฟลิป-ฟลอปที่ทำงานที่ขอบขาขึ้นเมื่อต่อวงจรชนิด p แล้วตามด้วยวงจรชนิด n เป็นวงจรที่ฟลิป-ฟลอปที่ทำงานที่ขอบขาลงเมื่อต่อวงจรชนิด n แล้วตาม

ด้วยวงจรถนิต p ส่วนวงจรถนิต-ฟลอปแบบ Precharged ออกแบบโดยให้วงจรถนิต TSPC แบบ Non-Precharged ตามด้วยวงจรถนิต TSPC แบบ Precharged ต่างชนิดกันโดยที่วงจรถนิต-ฟลอป จะทำงานที่ขอบขาขึ้นเมื่อวงจรถนิต Non-Precharged เป็นชนิด p และจะทำงานที่ขอบขาลงเมื่อ เป็นวงจรถนิต n

จากรูปที่ 3.4 มีวงจรถนิตแบบทรูซิงเกิลเฟสคล็อกที่แตกต่างจากวงจรถนิตที่กล่าวไปก่อนหน้านี้ โดยที่เป็นวงจรถนิตที่ใช้พีมอสหรือเอ็นมอสทรานซิสเตอร์เพียงตัวเดียวในการรับสัญญาณนาฬิกาซึ่งวงจรถนิตนี้ เรียกว่าวงจรถนิต TSPC แบบ split-output โดยแบ่งประเภทของวงจรถนิตเป็นแบบ p และ n ตามชนิด ของทรานซิสเตอร์ที่รับสัญญาณนาฬิกา ซึ่งวงจรถนิตแบบ split-output นี้สัญญาณเอาต์พุตของวงจรถนิต ในสแตตที่หนึ่งจะทำการแบ่งเป็นสองทาง ซึ่งจำนวนของทรานซิสเตอร์ที่รับสัญญาณนาฬิกาที่มีจำนวนน้อย ทำให้กำลังที่จ่ายให้โหนดของสัญญาณนาฬิกามีค่าต่ำ เพราะทรานซิสเตอร์ที่รับสัญญาณนาฬิกาทำ การส่งสัญญาณทั้งช่วงสูงและต่ำ แต่วงจรถนิตแบบ split-output นี้บางช่วงวงจรถนิตจะไม่ทำงานเต็มคาบ (full swing) ดังนั้นจึงต้องกำหนดขนาดของทรานซิสเตอร์ที่รับสัญญาณนาฬิกาให้มีความเหมาะสม เมื่อมีแรงดันแหล่งจ่ายต่ำ



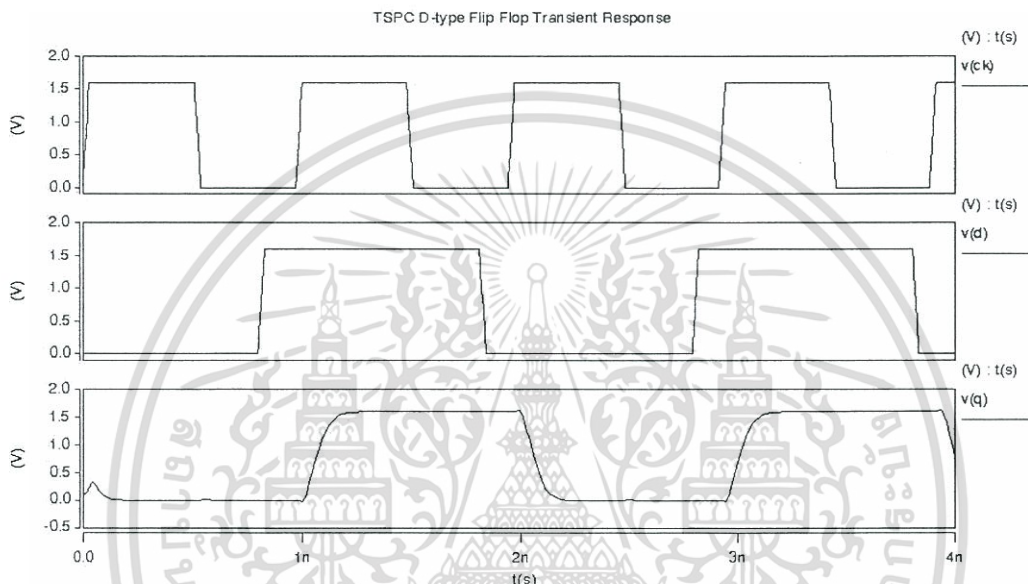
รูปที่ 3.4 วงจรถนิต TSPC แบบ split-output



รูปที่ 3.5 วงจรถนิต-ฟลอปแบบทรูซิงเกิลเฟสคล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.5 แสดงวงจรดี-ฟลิปฟล็อปแบบทรูซิงเกิลเฟสคล็อกที่ทำงานที่ขอบขาขึ้น โดยมีโครงสร้างพื้นฐานของวงจรทรูซิงเกิลเฟสคล็อกนี้ประกอบด้วยทรานซิสเตอร์ 11 ตัวแบ่งเป็นสี่สเตจ เมื่อสัญญาณนาฬิกาที่เข้ามามีสถานะเป็น “0” ในสเตจแรกจะทำการส่งข้อมูลที่รับมาจากสัญญาณอินพุต ขณะที่โหนดเอาต์พุตของสเตจที่สองจะอยู่ในช่วง Precharge และในสเตจที่สามและสี่จะเก็บสัญญาณเอาต์พุตในช่วงก่อนหน้านี้นี้ เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “0” เป็น “1” สเตจที่หนึ่งจะทำการหยุดส่งข้อมูลและสเตจที่สองจะเริ่ม evaluation ในเวลาเดียวกันสเตจที่สามจะทำงานโดยที่สเตจเป็นวงจรอินเวอร์เตอร์ที่กลับเฟสสัญญาณเท่านั้น



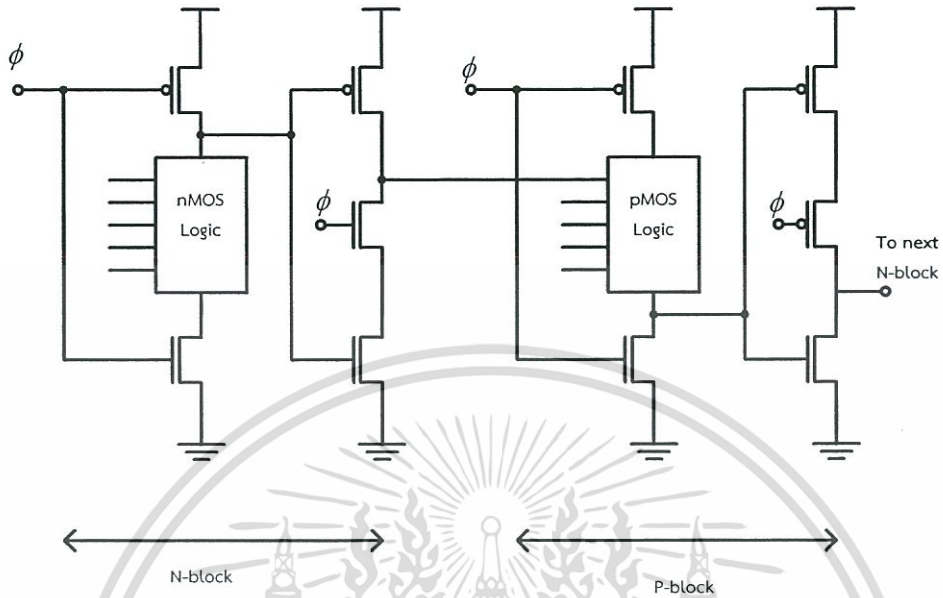
รูปที่ 3.6 ผลจำลองการทำงานของวงจรดี-ฟลิปฟล็อปแบบทรูซิงเกิลเฟสคล็อก

3.3 ระบบไปไลน์ของวงจรทรูซิงเกิลเฟสคล็อก

ระบบไปไลน์ของวงจรทรูซิงเกิลเฟสคล็อกแสดงในรูปที่ 3.7 ประกอบไปด้วยส่วนที่เรียกว่า n-block และ p-block ต่อสลับกันโดยในแต่ละส่วนจะทำงานโดยใช้สัญญาณนาฬิกาเดียวกัน n-block จะมีโครงสร้างคือวงจรไดนามิก nmos ต่อแบบคาสเคดกับวงจรไดนามิกแลทซ์และ p-block มีโครงสร้างคือวงจรไดนามิก pmos และวงจรไดนามิกแลทซ์

เมื่อสัญญาณนาฬิกาเป็นสถานะเป็น “0” สัญญาณที่โหนดเอาต์พุตของ n-block จะเริ่ม Precharge ไปจนถึง V_{DD} โดยมีพีมอสทรานซิสเตอร์เป็นตัว Precharge เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “0” เป็น “1” สัญญาณเอาต์พุตในสเตจของลอจิกจะอยู่ในช่วง evaluate และวงจรแลทซ์จะทำงาน นอกจากนี้ในส่วนของ p-block จะอยู่ในช่วง pre-discharge เมื่อสัญญาณนาฬิกาเป็นสถานะเป็น “1” และอยู่ในช่วง evaluate เมื่อสัญญาณนาฬิกาเป็นสถานะเป็น “0” การทำงานของระบบไปไลน์ของวงจรทรูซิงเกิลเฟสคล็อกนี้จะใช้เพียงสัญญาณนาฬิกาเดียว และเมื่อเทียบกับวงจรซิมอส NORA จะเห็นว่าวงจรนี้ต้องมีการเพิ่มทรานซิสเตอร์เข้ามาในแต่ละช่วงของวงจรแต่

ความสามารถของสัญญาณในวงจรทรานซิสเตอร์เชิงเกิลเฟสคล็อกที่นำเสนอมีความน่าสนใจสำหรับการออกแบบระบบ



รูปที่ 3.7 ระบบไปไลน์ของวงจรซีมอสทรานซิสเตอร์เชิงเกิลเฟสคล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

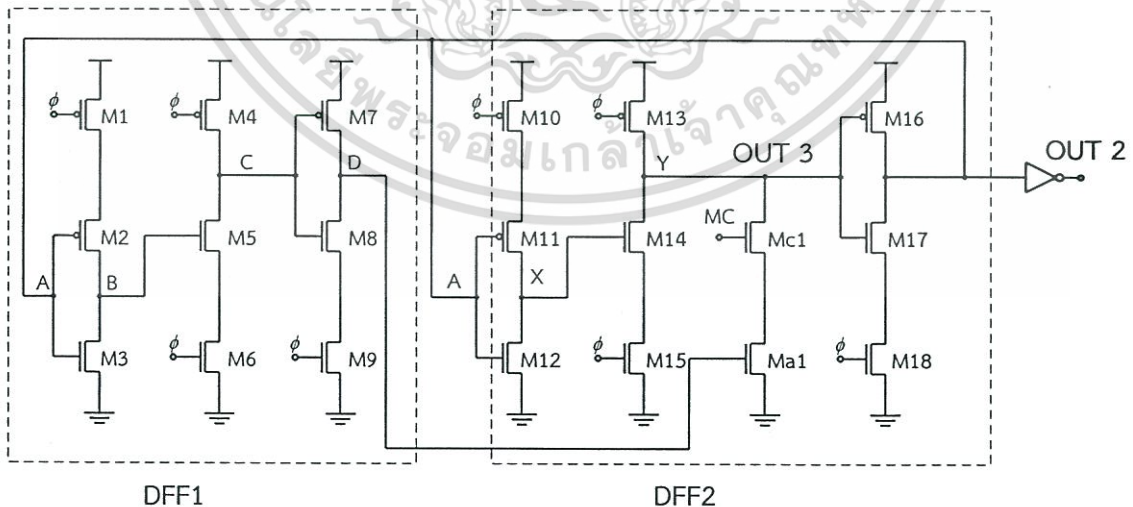
บทที่ 4

วงจรรักษาความถี่ 2/3 โดยใช้กำลังงานต่ำ

แบบทรูซิงเกิลเฟสคล็อก

4.1 วงจรรักษาความถี่แบบทรูซิงเกิลเฟสคล็อกแบบความเร็วสูงกำลังต่ำ [21]

วงจรรักษาความถี่แบบทรูซิงเกิลเฟสคล็อกแบบความเร็วสูงกำลังต่ำ (High-Speed Low-Power True Single-Phase Clock Dual-Modulus Prescaler) [21] แสดงในรูปที่ 4.1 ออกแบบโดยนำวงจรฟลิป-ฟล็อปแบบทรูซิงเกิลเฟสคล็อกสองวงจรมาต่อкасцепกันโดยมีเอ็นมอสทรานซิสเตอร์เป็นตัวเชื่อมระหว่างสองวงจรเมื่อสัญญาณที่โหนด D มีสถานะเป็น “1” ทำให้ มอสทรานซิสเตอร์ Ma1 ทำงานสัญญาณตั้งนั้นที่โหนด Y จะถูกบังคับให้สัญญาณมีสถานะเป็น “0” ทันทีและสัญญาณ Y มีความถี่ลดลงสามเท่าของความถี่อินพุต วงจรนี้สามารถปรับโหมดการทำงานได้สองโหมดโดยการส่งสัญญาณ MC ไปควบคุมการทำงานของวงจรเมื่อสัญญาณ MC มีสถานะเป็น “0” ทำให้เอ็นมอสทรานซิสเตอร์ MC1 ไม่ทำงานสัญญาณจากโหนด D ไม่สามารถส่งไปยัง DFF2 ได้ทำให้ วงจรเป็นวงจรรักษาสองแต่เมื่อสัญญาณ MC มีสถานะเป็น “1” ทำให้เอ็นมอสทรานซิสเตอร์ MC1 ทำงานและเมื่อสัญญาณจากโหนด D มีสถานะเป็น “1” เอ็นมอสทรานซิสเตอร์ Ma1 ทำงานทำให้ สัญญาณที่โหนด Y ถูกบังคับให้มีสถานะเป็น “0” เมื่อวงจรทำงานครบสามคาบของสัญญาณนาฬิกา ความถี่ของโหนด Y จะมีค่าลดลงสามเท่าจากความถี่อินพุต



รูปที่ 4.1 วงจรรักษาความถี่แบบทรูซิงเกิลเฟสคล็อกแบบความเร็วสูงกำลังต่ำ [21]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

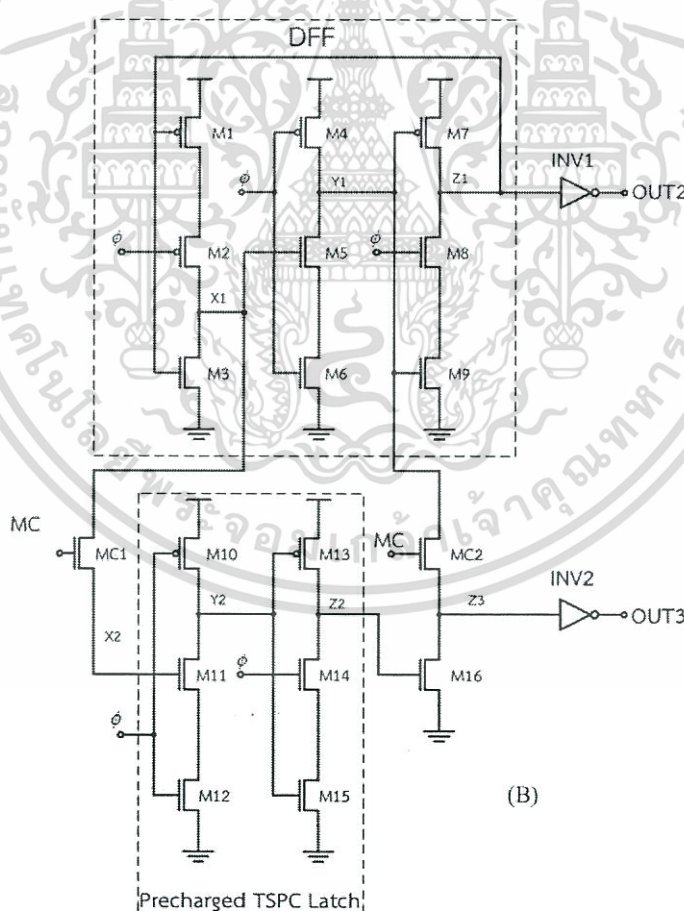
4.1.1 การทำงานของวงจร

การทำงานของไมโครคอนโทรลเลอร์ เมื่อสัญญาณอินพุต MC มีสถานะเป็น “0” ทำให้เอ็นมอสทรานซิสเตอร์ MC1 ไม่ทำงานสัญญาณเอาต์พุตจาก DFF1 ไม่สามารถส่งไปที่ DFF2 ได้ จึงพิจารณาที่วงจร DFF2 เพียงวงจรเดียว เมื่อสัญญาณนาฬิกามีสถานะเป็น “1” พีมอสทรานซิสเตอร์ M10 ไม่ทำงานสัญญาณที่โหนด X จะคงสถานะก่อนหน้าไว้ และเอ็นมอสทรานซิสเตอร์ M15 ทำงานดังนั้นก็โหนด Y จะมีสถานะเป็น “0” เมื่อสัญญาณที่โหนด X มีสถานะเป็น “1” ในเวลาเดียวกันเอ็นมอสทรานซิสเตอร์ M18 ทำงานทำให้สัญญาณที่โหนด A มีสถานะตรงข้ามกับสัญญาณที่โหนด Y และเมื่อทำการเปลี่ยนสัญญาณนาฬิกาจาก “1” เป็น “0” ทำให้พีมอสทรานซิสเตอร์ M10 ทำงานสัญญาณที่โหนด X มีสถานะตรงข้ามกับสัญญาณที่โหนด A สัญญาณที่โหนด Y มีสถานะเป็น “1” เนื่องจากพีมอสทรานซิสเตอร์ M13 ทำงาน และสัญญาณที่โหนด A จะมีสถานะเหมือนเดิมเนื่องจากพีมอสทรานซิสเตอร์ M16 และเอ็นมอสทรานซิสเตอร์ M18 ไม่ทำงาน

การทำงานของไมโครคอนโทรลเลอร์ วงจรนี้สามารถทำงานในไมโครคอนโทรลเลอร์ได้โดยการเปลี่ยนสัญญาณอินพุต MC ให้มีสถานะเป็น “1” ทำให้เอ็นมอสทรานซิสเตอร์ MC1 ทำงานดังนั้นก็สัญญาณเอาต์พุตจาก DFF1 สามารถส่งไปยัง DFF2 ได้เมื่อสัญญาณนาฬิกามีสถานะเป็น “1” พีมอสทรานซิสเตอร์ M10 และ M1 ไม่ทำงานสัญญาณที่โหนด X และ B จะคงสถานะเดิมไว้แต่จะมีสถานะเป็น “0” เมื่อสัญญาณอินพุตที่โหนด A มีสถานะเป็น “1” พิจารณาในสแตจที่สองของอินพุตและฟลิปฟลอปเอ็นมอสทรานซิสเตอร์ M15 และ M6 ทำงานทำให้สัญญาณ Y และ C มีสถานะเป็น “0” เมื่อสัญญาณที่โหนด X และ B มีสถานะเป็น “1” ในเวลาเดียวกันสแตจที่สามของฟลิปฟลอปทรานซิสเตอร์ M9 และ M18 ทำงานทำให้สัญญาณที่โหนด A และ D มีสถานะตรงข้ามกับโหนด Y และโหนด C ตามลำดับ เมื่อสัญญาณนาฬิกามีสถานะเป็น “0” ในสแตจแรกของฟลิปฟลอปนั้นคือพีมอสทรานซิสเตอร์ M1 และ M10 ทำงานสัญญาณที่โหนด X และโหนด B จะมีสถานะตรงข้ามกับสัญญาณอินพุตที่โหนด A สัญญาณที่โหนด Y และ C มีสถานะเป็น “1” เมื่อพีมอสทรานซิสเตอร์ M4 และ M13 ทำงานแต่สถานะที่โหนด Y จะเปลี่ยนสถานะเป็น “0” เมื่อโหนด D มีสถานะเป็น “1” ทำให้เอ็นมอสทรานซิสเตอร์ Ma1 ทำงานและในสแตจที่สามของวงจรถานซิสเตอร์ M9 และ M18 จะไม่ทำงานแต่สถานะที่โหนด A และ D จะเปลี่ยนสถานะเป็น “1” เมื่อสัญญาณที่โหนด Y มีสถานะเป็น “0”

4.2 วงจร Low-Power True Single-phase Clock 2/3 Prescalers ที่เสนอ

จากวงจรหารความถี่ที่ผ่านมา ได้มีการพัฒนาปรับปรุงแก้ไขเพื่อให้มีประสิทธิภาพที่ดีขึ้นสามารถทำงานได้ในความถี่ที่สูงและปรับปรุงวงจรเมื่อมีการปรับโหมดไปเป็นวงจรหารสองให้มีการใช้กำลังงานลดลงเมื่อเทียบกับวงจรหารความถี่แบบทริงจิลเฟสคล็อกแบบความเร็วสูงกำลังต่ำ [21] สามารถปรับโหมดการทำงานเป็นโหมดหารสองหรือสามได้ทันทีในขณะที่วงจรถหารความถี่ [21] ไม่สามารถเปลี่ยนได้ทันทีที่ต้องตัดวงจรอินเวอร์เตอร์ที่โหนด A ออกเมื่อทำงานในโหมดหารสามและทำการเพิ่มวงจรอินเวอร์เตอร์ไปที่โหนด Y เพื่อให้วงจรทำงานได้เต็มประสิทธิภาพ วงจรที่นำเสนอได้แสดงในรูปที่ 4.2 ประกอบด้วยวงจร Precharged TSPC Latch แบบ n-type กับวงจรดี-ฟลิปฟล็อปแบบทริงจิลเฟสคล็อก และเอ็นมอสทรานซิสเตอร์เป็นตัวเชื่อมวงจรทั้งสองวงจร เอ็นมอสทรานซิสเตอร์ MC1 และ MC2 ทำหน้าที่ปรับโหมดการทำงานเมื่อสัญญาณอินพุต MC มีสถานะเป็น “1” วงจรจะทำงานในโหมดหารสามและเมื่อสัญญาณอินพุต MC มีสถานะเป็น “0” วงจรจะทำงานในโหมดหารสอง โดยวงจรที่นำเสนอมีรายละเอียดดังนี้



รูปที่ 4.2 วงจรวงจรถหารความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทริงจิลเฟสคล็อกที่เสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 การทำงานของวงจร

การทำงานในโหมดหารสองจะทำงานเมื่อสัญญาณ MC มีสถานะเป็น “0” ทำให้เอ็นมอสทรานซิสเตอร์ MC1 และ MC2 ไม่ทำงานทำให้สัญญาณเอาต์พุต OUT2 ได้มาจากการทำงานของ DFF เท่านั้น แสดงรายละเอียดการทำงานของวงจรในโหมดหารสองดังนี้

เมื่อสัญญาณนาฬิกามีสถานะเป็น “1” ทำให้ในสแตจแรกของ DFF พีมอสทรานซิสเตอร์ M2 ไม่ทำงานทำให้สัญญาณที่โหนด X1 คงสถานะเป็น “1” ไว้และในสแตจที่สองของ DFF เอ็นมอสทรานซิสเตอร์ M5 และ M6 ทำงานทำให้สัญญาณที่โหนด Y1 มีสถานะเป็น “0” ทำให้พีมอสทรานซิสเตอร์ M7 ในสแตจที่สามของ DFF ทำงานสัญญาณที่โหนด Z1 มีสถานะเป็น “1” ทำให้สัญญาณเอาต์พุต OUT2 มีสถานะเป็น “0”

เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “1” เป็น “0” ทำให้ในสแตจแรกของ DFF พีมอสทรานซิสเตอร์ M1 และ M2 ไม่ทำงานและเอ็นมอสทรานซิสเตอร์ M3 ทำงานเนื่องจากสัญญาณเอาต์พุตจากโหนด Z1 มีสถานะเป็น “1” ทำให้สัญญาณที่โหนด X1 มีสถานะเป็น “0” ดังนั้นในสแตจที่สองพีมอสทรานซิสเตอร์ M4 ทำงานสัญญาณที่โหนด Y1 จึงมีสถานะเป็น “1” ทำให้ในสแตจที่สามของวงจร DFF พีมอสทรานซิสเตอร์ M7 และเอ็นมอสทรานซิสเตอร์ M8 ไม่ทำงาน ดังนั้นสัญญาณที่โหนด Z1 จึงคงสถานะเป็น “1” สัญญาณเอาต์พุต OUT2 จึงมีสถานะเป็น “0”

เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “0” เป็น “1” อีกครั้งในสแตจแรกของ DFF พีมอสทรานซิสเตอร์ M2 ไม่ทำงานสัญญาณที่โหนด X1 ยังคงมีสถานะเป็น “0” ทำให้ในสแตจที่สองของ DFF พีมอสทรานซิสเตอร์ M4 และเอ็นมอสทรานซิสเตอร์ M5 ไม่ทำงานสัญญาณที่โหนด Y1 จึงไม่เปลี่ยนแปลงทำให้ในสแตจที่สามของ DFF เอ็นมอสทรานซิสเตอร์ M8 และ M9 ทำงานสัญญาณที่โหนด Z1 จึงเปลี่ยนสถานะจาก “1” เป็น “0” ทำให้สัญญาณเอาต์พุต OUT2 มีสถานะเป็น “1”

เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “1” เป็น “0” อีกครั้งทำให้ในสแตจแรกของ DFF พีมอสทรานซิสเตอร์ M1 และ M2 ทำงานสัญญาณที่โหนด X1 จึงเปลี่ยนสถานะจาก “0” เป็น “1” ทำให้ในสแตจที่สองของ DFF พีมอสทรานซิสเตอร์ M4 และเอ็นมอสทรานซิสเตอร์ M5 ทำงานสัญญาณที่โหนด Y1 จึงมีสถานะเป็น “1” ในสแตจที่สามของ DFF พีมอสทรานซิสเตอร์ M7 และเอ็นมอสทรานซิสเตอร์ M8 ไม่ทำงานทำให้สัญญาณที่โหนด Z1 มีสถานะเป็น “0” สัญญาณเอาต์พุต OUT2 จึงมีสถานะเป็น “1”

เมื่อทำการพิจารณาสัญญาณนาฬิกาที่เปลี่ยนแปลงไปสี่ไซเคิลจะเห็นได้ว่าสัญญาณเอาต์พุต OUT2 ที่ได้มีการเปลี่ยนแปลงหนึ่งคาบสัญญาณทำให้สัญญาณที่ได้มีความถี่ลดลงสองเท่าจากความถี่ของสัญญาณอินพุต

วงจรในโหมดหารสามทำงานโดยปรับสัญญาณอินพุต MC ให้มีสถานะเป็น “1” ทำให้เอ็นมอสทรานซิสเตอร์ MC1 และ MC2 ทำงานสัญญาณจากโหนด X1 ส่งไปยังวงจร Precharged TSPC Latch เพื่อให้สัญญาณเอาต์พุตที่ได้มีความถี่ลดลงสามเท่าจากความถี่อินพุต แสดงรายละเอียดการทำงานของวงจร ดังนี้

เมื่อสัญญาณนาฬิกา มีสถานะเป็น “1” ทำให้ในสแตจแรกของ DFF ฟิมอสทรานซิสเตอร์ M2 ไม่ทำงาน ดังนั้นสัญญาณที่โหนด X1 จึงคงสถานะเป็น “1” เหมือนเดิม ในสแตจที่สองของ DFF เอ็นมอสทรานซิสเตอร์ M5 และ M6 ทำงานสัญญาณที่โหนด Y1 จึงมีสถานะเป็น “0” และในสแตจที่สามของ DFF ฟิมอสทรานซิสเตอร์ M7 ทำงานสัญญาณที่โหนด Z1 จึงเปลี่ยนสถานะจาก “0” เป็น “1” ทำให้เอ็นมอสทรานซิสเตอร์ M3 ทำงานสัญญาณที่โหนด X1 และ X2 จึงเปลี่ยนสถานะเป็น “0” ในขณะเดียวกันสแตจแรกของวงจรถ่ายเอ็นมอสทรานซิสเตอร์ M10 และ M11 ไม่ทำงาน ทำให้สัญญาณที่โหนด Y2 คงสถานะเป็น “1” วั้ดนั้นในสแตจที่สองของวงจรถ่ายเอ็นมอสทรานซิสเตอร์ M14 และ M15 จะทำงานทำให้สัญญาณที่โหนด Z2 มีสถานะเป็น “0” เอ็นมอสทรานซิสเตอร์ M16 จึงไม่ทำงานด้วย สัญญาณที่โหนด Z3 จึงมีสถานะเป็น “0” ดังนั้นสัญญาณเอาต์พุต OUT3 จึงมีสถานะเป็น “1”

เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “1” เป็น “0” ในสแตจแรกของ DFF ฟิมอสทรานซิสเตอร์ M2 และเอ็นมอสทรานซิสเตอร์ M3 ทำงาน ดังนั้นสัญญาณที่โหนด X1 จึงมีสถานะเป็น “0” ในสแตจที่สองของ DFF ฟิมอสทรานซิสเตอร์ M4 ทำงานทำให้สัญญาณที่โหนด Y1 มีสถานะเป็น “1” ในขณะเดียวกันในสแตจแรกของวงจรถ่ายฟิมอสทรานซิสเตอร์ M10 ทำงาน ทำให้สัญญาณที่โหนด Y2 มีสถานะเป็น “1” แต่ในสแตจที่สองของวงจรถ่ายฟิมอสทรานซิสเตอร์ M13 และเอ็นมอสทรานซิสเตอร์ M14 ไม่ทำงานทำให้สัญญาณที่โหนด Z1 คงสถานะเดิมไว้ เอ็นมอสทรานซิสเตอร์ M16 จึงไม่ทำงาน ทำให้สัญญาณที่โหนด Z3 เปลี่ยนสถานะจาก “0” เป็น “1” ตามสถานะของโหนด Y1 ดังนั้นสัญญาณเอาต์พุต OUT3 จึงมีสถานะเป็น “0”

เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “0” เป็น “1” ในสแตจแรกของ DFF ฟิมอสทรานซิสเตอร์ M2 ไม่ทำงานสัญญาณที่โหนด X1 จึงคงสถานะเป็น “0” ในสแตจที่สองของ DFF ฟิมอสทรานซิสเตอร์ M4 และเอ็นมอสทรานซิสเตอร์ M5 ไม่ทำงานสถานะที่โหนด Y1 จึงคงสถานะเป็น “1” เหมือนเดิม ทำให้ในสแตจที่สามของ DFF เอ็นมอสทรานซิสเตอร์ M8 และ M9 ทำงานสัญญาณที่โหนด Z1 จึงเปลี่ยนสถานะจาก “1” เป็น “0” และเมื่อสัญญาณที่โหนด X1 มีสถานะเป็น “0” ทำให้ในสแตจแรกของวงจรถ่ายฟิมอสทรานซิสเตอร์ M10 และเอ็นมอสทรานซิสเตอร์ M11 ไม่ทำงานสัญญาณที่โหนด Y2 จึงมีสถานะเป็น “1” ทำให้ในสแตจที่สองของวงจรถ่ายเอ็นมอสทรานซิสเตอร์ M14 และ M15 ไม่ทำงานสัญญาณที่โหนด Z2 จึงมีสถานะเปลี่ยนเป็น “0” เอ็นมอสทรานซิสเตอร์ M16 จึงไม่ทำงาน ทำให้สัญญาณที่โหนด Z3 มีสถานะเป็น “1” ดังนั้นสัญญาณเอาต์พุต OUT3 จึงมีสถานะเป็น “0”

เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “1” เป็น “0” ทำให้ในสแตจแรกของวงจรถ่ายฟิมอสทรานซิสเตอร์ M1 และ M2 ทำงานสัญญาณที่โหนด X1 มีสถานะเป็น “1” ทำให้ในสแตจที่สองของวงจรถ่ายฟิมอสทรานซิสเตอร์ M4 และเอ็นมอสทรานซิสเตอร์ M5 ทำงานสัญญาณที่โหนด Y1 จึงมีสถานะเป็น 1 ทำให้ในสแตจที่สามฟิมอสทรานซิสเตอร์ M7 และเอ็นมอสทรานซิสเตอร์ M8 ไม่ทำงานทำให้สัญญาณที่โหนด Z1 คงสถานะเป็น “0” เหมือนเดิม

และในขณะเดียวกันเมื่อสัญญาณที่โหนด X2 มีสถานะเปลี่ยนเป็น “1” ทำให้ในสแตจแรกของวงจรแลตช์พีมอสทรานซิสเตอร์ M10 และเอ็นมอสทรานซิสเตอร์ M11 ทำงานทำให้สัญญาณที่โหนด Y2 มีสถานะเป็น “1” ทำให้ในสแตจที่สองของวงจรแลตช์พีมอสทรานซิสเตอร์ M11 และเอ็นมอสทรานซิสเตอร์ M14 ไม่ทำงานทำให้สัญญาณที่โหนด Z2 มีสถานะเป็น “0” เอ็นมอสทรานซิสเตอร์ M16 จึงไม่ทำงาน สัญญาณที่โหนด Z3 จึงมีสถานะเป็น “1” เหมือนเดิม ดังนั้นสัญญาณเอาต์พุต OUT3 มีสถานะเป็น “0”

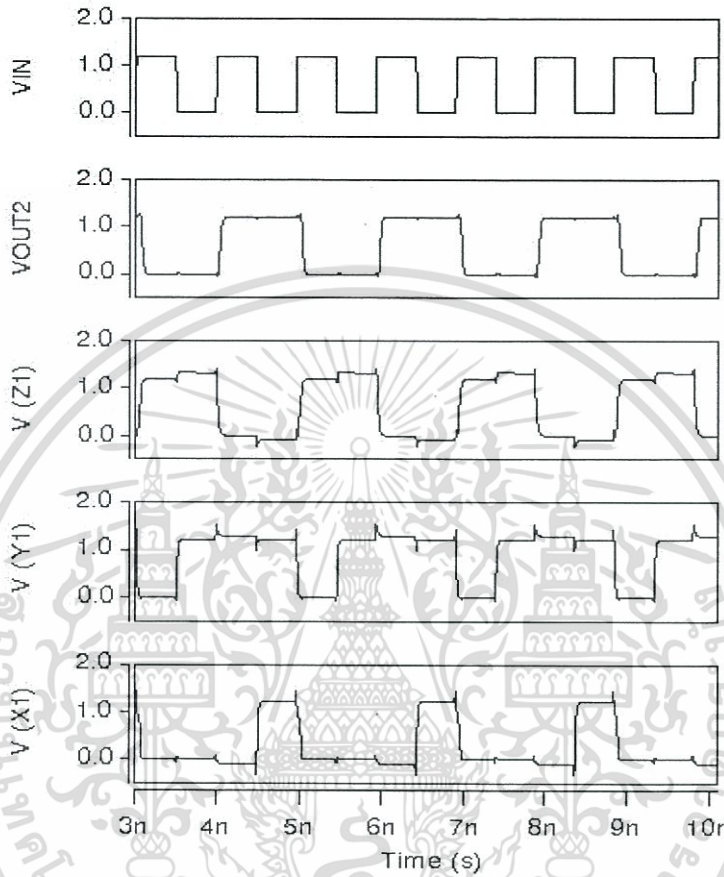
เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “0” เป็น “1” ทำให้ในสแตจแรกของวงจร DFF พีมอสทรานซิสเตอร์ M2 ไม่ทำงานสัญญาณที่โหนด X1 ยังคงมีสถานะเป็น “1” ทำให้ในสแตจที่สองของ DFF เอ็นมอสทรานซิสเตอร์ M5 และ M6 ทำงานทำให้สัญญาณที่โหนด Y1 มีสถานะเป็น “0” ในเวลาเดียวกันที่สแตจแรกของวงจรแลตช์พีมอสทรานซิสเตอร์ M11 และ M12 ทำงานทำให้สัญญาณที่โหนด Y2 มีสถานะเป็น “0” ทำให้ในสแตจที่สองของวงจรแลตช์พีมอสทรานซิสเตอร์ M13 ทำงาน สัญญาณที่โหนด Z2 จึงเปลี่ยนสถานะจาก “0” เป็น “1” ทำให้เอ็นมอสทรานซิสเตอร์ M16 ทำงาน และเมื่อสัญญาณที่โหนด Y1 มีสถานะเป็น “0” ในสแตจที่สามของ DFF พีมอสทรานซิสเตอร์ M7 ทำงานทำให้สัญญาณที่โหนด Z1 เปลี่ยนสถานะจาก “0” เป็น “1” ทำให้ทรานซิสเตอร์ M3 ทำงานดังนั้นสัญญาณที่โหนด X1 และ X2 จึงเปลี่ยนสถานะจาก “1” เป็น “0” ดังนั้นสัญญาณเอาต์พุต OUT3 จึงมีสถานะเป็น “1”

เมื่อสัญญาณนาฬิกาเปลี่ยนสถานะจาก “1” เป็น “0” ทำให้ในสแตจแรกของวงจร DFF พีมอสทรานซิสเตอร์ M2 และเอ็นมอสทรานซิสเตอร์ M3 ทำงานดังนั้นสัญญาณที่โหนด X1 จึงมีสถานะเป็น “0” ทำให้ในสแตจที่สองของ DFF พีมอสทรานซิสเตอร์ M4 ทำงานสัญญาณที่โหนด Y1 จึงมีสถานะเป็น “1” และในเวลาเดียวกันในสแตจแรกของวงจรแลตช์พีมอสทรานซิสเตอร์ M10 ทำงานทำให้สัญญาณที่โหนด Y2 เปลี่ยนสถานะจาก “0” เป็น “1” ทำให้ในสแตจที่สองของวงจรแลตช์พีมอสทรานซิสเตอร์ M13 และเอ็นมอสทรานซิสเตอร์ M14 ไม่ทำงานทำให้สัญญาณที่โหนด Z2 คงสถานะเป็น “1” เหมือนเดิมทำให้เอ็นมอสทรานซิสเตอร์ M16 ทำงาน สัญญาณที่โหนด Y1 และโหนด Z3 ซึ่งมีสถานะเป็น “1” จึงเปลี่ยนสถานะเป็น “0” ทำให้สัญญาณเอาต์พุต OUT3 มีสถานะเป็น “1”

เมื่อสัญญาณนาฬิกาที่เป็นสัญญาณอินพุตทำงานครบหกไซเคิลจะเห็นได้ว่าสัญญาณเอาต์พุตที่ได้ครบหนึ่งคาบของสัญญาณทำให้สัญญาณเอาต์พุต OUT3 ที่ได้มีความถี่ลดลง 3 เท่าจากความถี่สัญญาณอินพุต

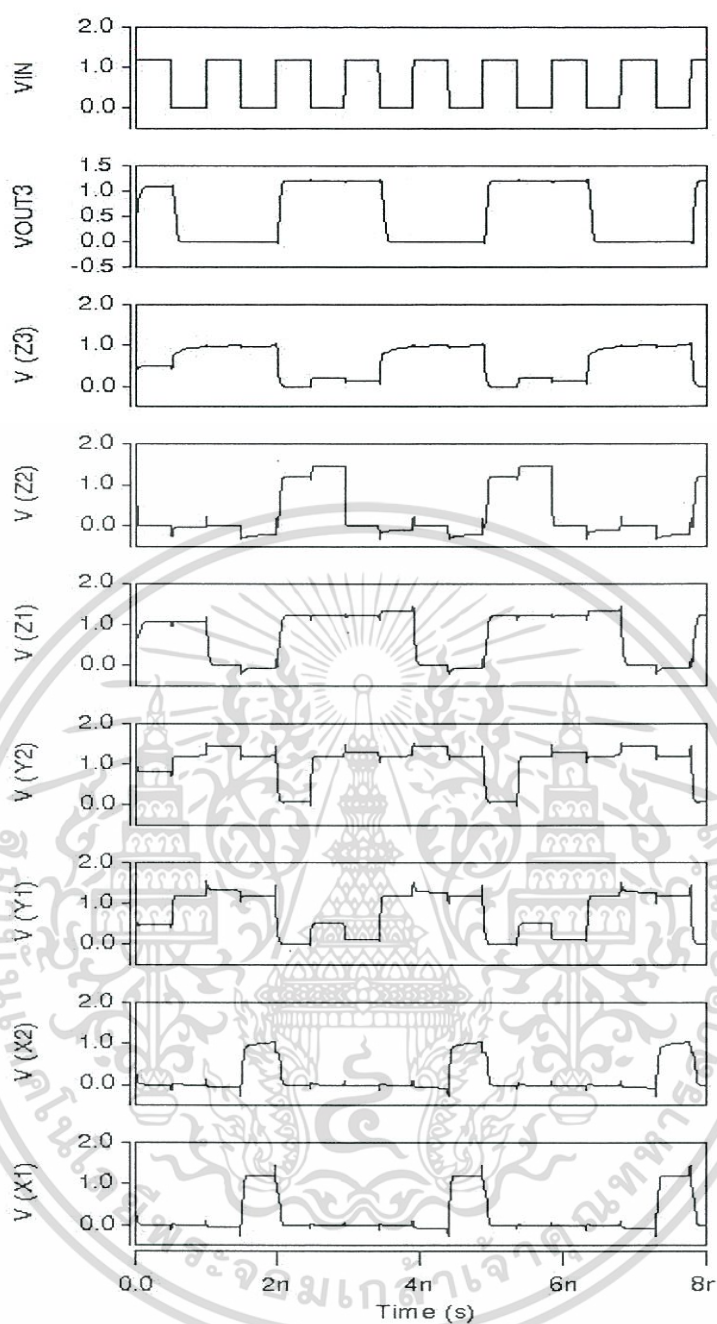
รูปที่ 4.3 แสดงรูปแบบสัญญาณที่โหนดต่างๆของวงจรที่นำเสนอในโหมดทารสอง โดยมีแรงดันแหล่งจ่าย 1.2V ความถี่อินพุต 1 GHz โดยจะเห็นได้ว่าสัญญาณเอาต์พุตของวงจรมีความถี่ลดลงเป็นสองเท่าเมื่อเทียบกับสัญญาณอินพุต

รูปที่ 4.4 แสดงรูปแบบสัญญาณที่โหนดต่างๆของวงจรที่นำเสนอในโหมดหารสามโดยมีแรงดันแหล่งจ่าย 1.2V ความถี่อินพุต 1GHz สัญญาณเอาต์พุตมีความถี่ลดลงสามเท่าเมื่อเทียบกับสัญญาณอินพุต และเมื่อโหนด 11 มีสถานะเป็น “1” จะทำให้โหนด 4 มีสถานะเป็น “0”



รูปที่ 4.3 รูปแบบสัญญาณที่โหนดต่างในวงจรหาร 2 ที่นำเสนอ แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

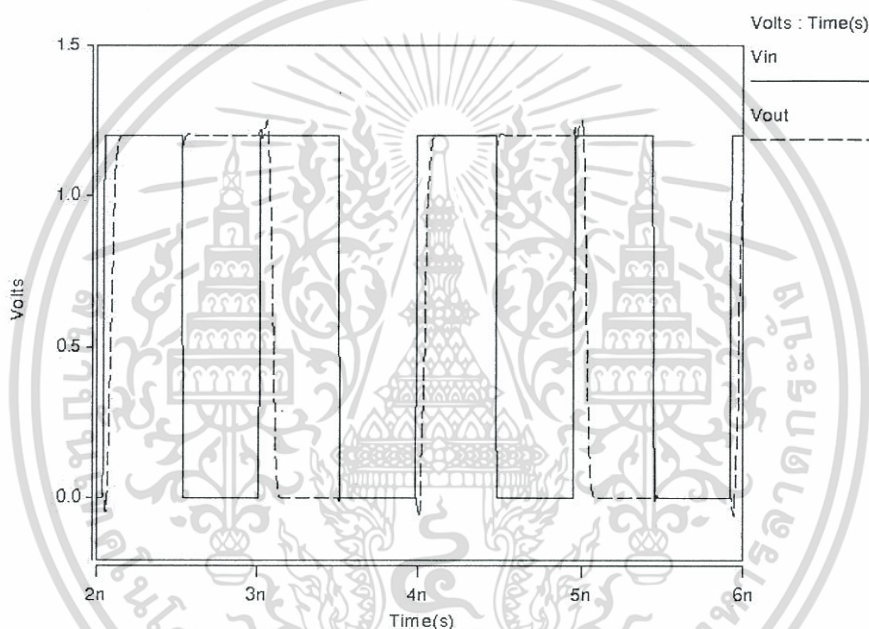


รูปที่ 4.4 รูปแบบสัญญาณที่โหนดต่างในวงจรหาร 3 ที่นำเสนอ แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz

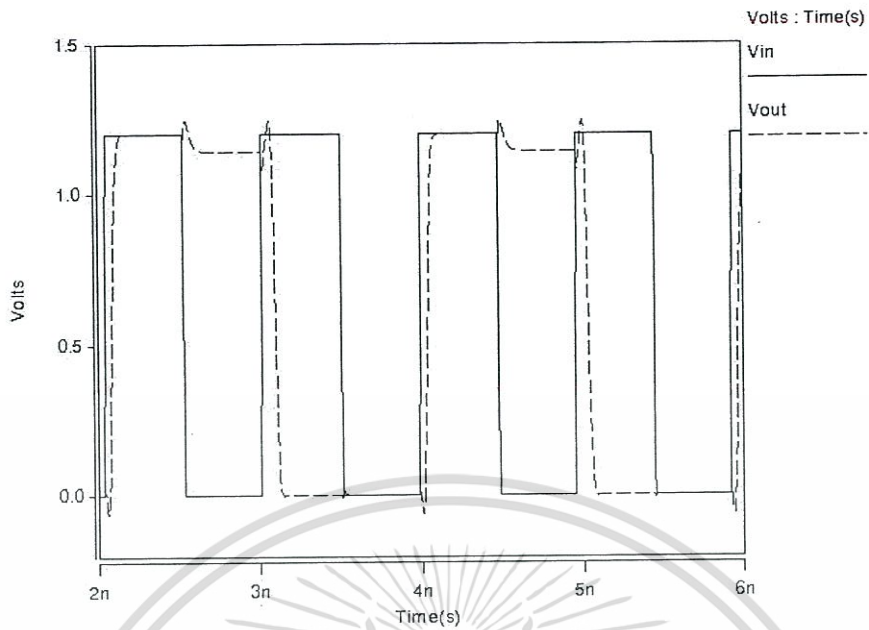
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ผลการจำลองการทำงาน

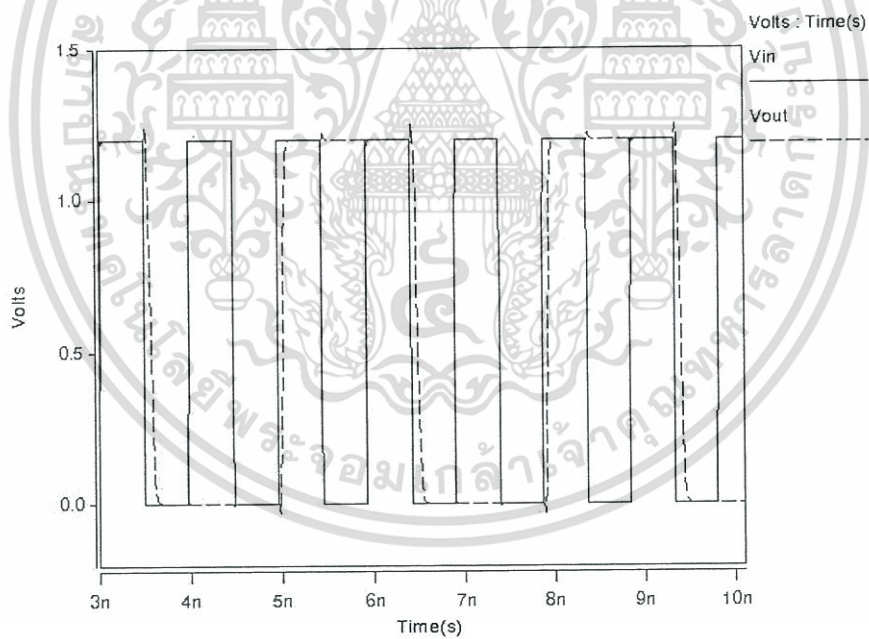
สำหรับการทดสอบเพื่อศึกษาการทำงานของวงจรรหาคความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อกที่นำเสนอ นั้นจะใช้โปรแกรม Hspice ในการจำลองเพื่อศึกษาการทำงานของวงจรรวมเปรียบเทียบกับวงจรรหาคความถี่แบบทรูซิงเกิลเฟสคล็อกแบบความเร็วสูงกำลังต่ำ [21] ซึ่งแสดงรูปแบบสัญญาณในโหมดการสองในรูปที่ 4.5 สำหรับวงจรถูกนำเสนอและรูปที่ 4.6 สำหรับวงจรรหาคความถี่ [21] รูปที่ 4.7 และรูปที่ 4.8 แสดงรูปแบบของสัญญาณในโหมดการสามสำหรับวงจรถูกนำเสนอและวงจรรหาคความถี่ [21] ตามลำดับ จะเห็นว่าสัญญาณเอาต์พุตของวงจรรหาคความถี่ [21] จะมีแรงดันไม่ถึง V_{DD} ในบางช่วงของสัญญาณ วงจรถูกนำเสนอจะไม่มีปัญหานี้



รูปที่ 4.5 รูปสัญญาณของวงจรถูกนำเสนอในโหมดการสองที่โหลด 10fF ที่แหล่งจ่ายไฟ 1.2 Volts ความถี่ 1 GHz

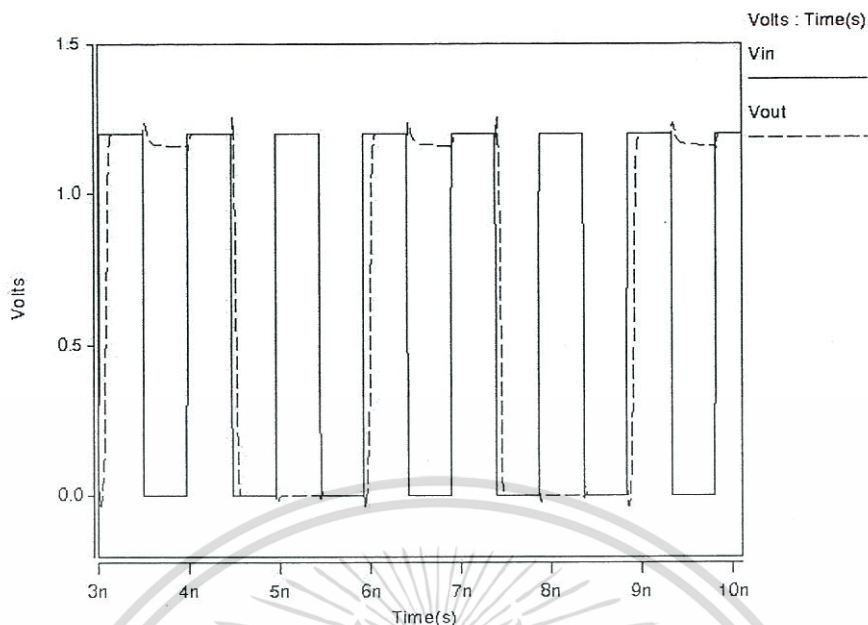


รูปที่ 4.6 รูปสัญญาณของวงจรที่หารความถี่ [21] ในโหมดหารสองที่โหลด 10fF ที่แหล่งจ่ายไฟ 1.2 Volts ความถี่ 1 GHz

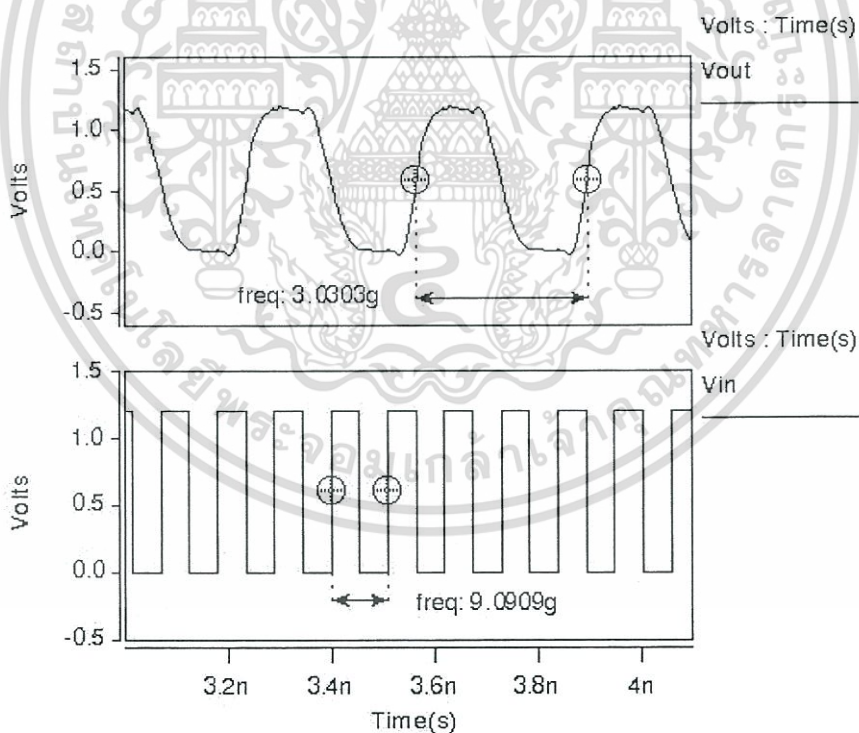


รูปที่ 4.7 รูปสัญญาณของวงจรที่นำเสนอนิโหมตหารสามที่โหลด 10fF ที่แหล่งจ่ายไฟ 1.2 Volts ความถี่ 1 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

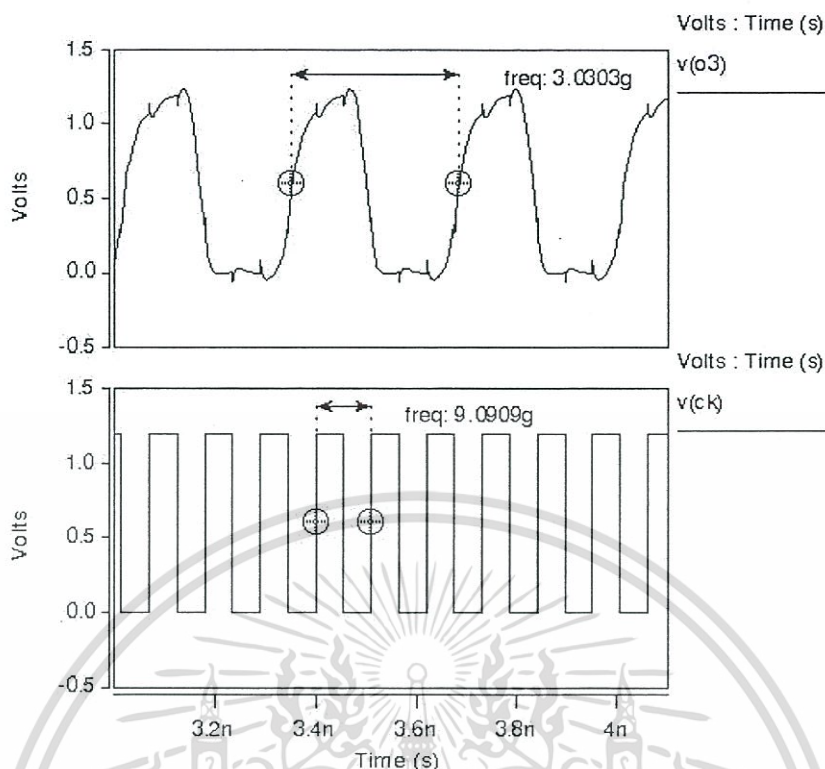


รูปที่ 4.8 รูปสัญญาณของวงจรความถี่ [21] ในโหมดทรานส์มิทเตอร์ที่โหลด 10fF ที่แหล่งจ่ายไฟ 1.2 Volts ความถี่ 1 GHz



รูปที่ 4.9 รูปสัญญาณของวงจรที่นำเสนอนที่โหมดทรานส์มิทเตอร์ความถี่อินพุต 9GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

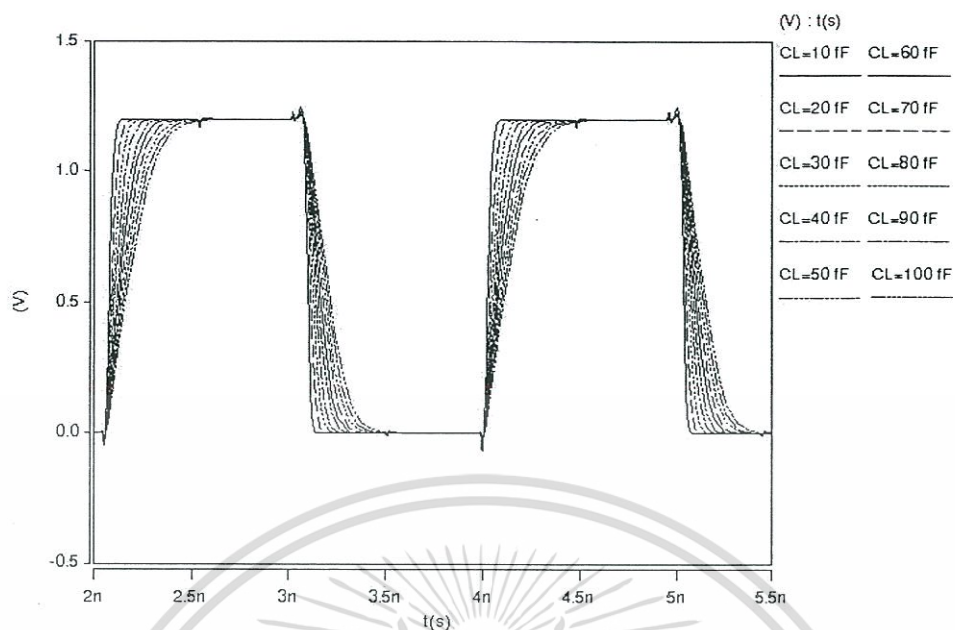


รูปที่ 4.10 รูปสัญญาณของวงจรความถี่ [21] ที่โหมดการสามความถี่อินพุต 9GHz

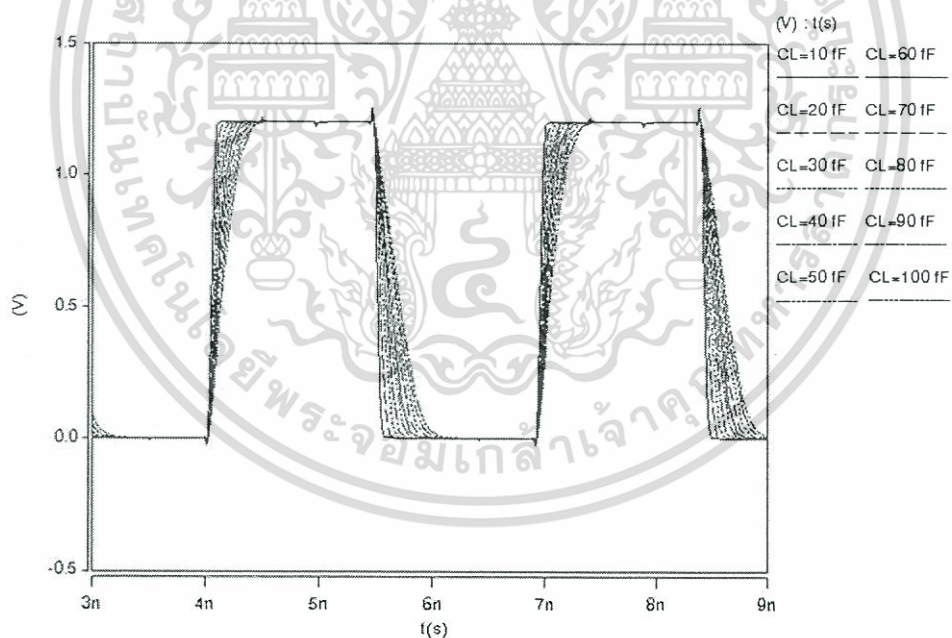
จากรูปที่ 4.9 แสดงการเปรียบเทียบรูปคลื่นสัญญาณอินพุตกับเอาต์พุตของวงจรที่นำเสนอ ที่การทำงานในโหมดการสามที่ความถี่ 9 GHz แรงดันแหล่งจ่าย 1.2 V ที่โหลดคาปาซิแตนซ์ที่ 10 fF ซึ่งแสดงให้เห็นว่าวงจรสามารถทำงานได้ที่ความถี่สูงและสามารถลดความถี่ของสัญญาณเอาต์พุตลงได้สามเท่าจากความถี่อินพุต แต่จากรูปที่ 4.10 ซึ่งแสดงการเปรียบเทียบรูปคลื่นสัญญาณอินพุตกับเอาต์พุตของวงจรความถี่ [21] ที่ความถี่ 9 GHz แรงดันแหล่งจ่าย 1.2 V ที่โหลดคาปาซิแตนซ์ที่ 10 fF วงจรนี้สามารถลดความถี่ลงได้สามเท่าแต่รูปสัญญาณเอาต์พุตในช่วงขาขึ้นไม่สามารถไปถึง V_{DD} ได้ในช่วงแรกของสัญญาณ

จากรูปที่ 4.11 และรูปที่ 4.12 แสดงรูปคลื่นสัญญาณเอาต์พุตของวงจรในโหมดการสองและสาม ตามลำดับเมื่อปรับค่าโหลดคาปาซิเตอร์ตั้งแต่ 10 fF ถึง 100 fF ที่ความถี่ 1 GHz ที่แหล่งจ่ายไฟ 1.2 Volts

จากรูปที่ 4.13 แสดงการเปรียบเทียบค่าหน่วงเวลาของวงจรที่เสนอ จะเห็นได้ว่าวงจรที่นำเสนอในโหมดการสามมีค่าหน่วงเวลามากกว่าวงจรความถี่ [21] 25% ที่โหลดคาปาซิแตนซ์ที่ 100 fF ซึ่งเกิดจากการปรับค่าความกว้างของวงจรซิมอสและการออกแบบเพื่อเน้นให้วงจรลดค่าลิ้นเปลืองกำลังงานมากกว่าแต่วงจรที่เสนอในโหมดการสองมีค่าหน่วงเวลาใกล้เคียงกับวงจรความถี่ [21]

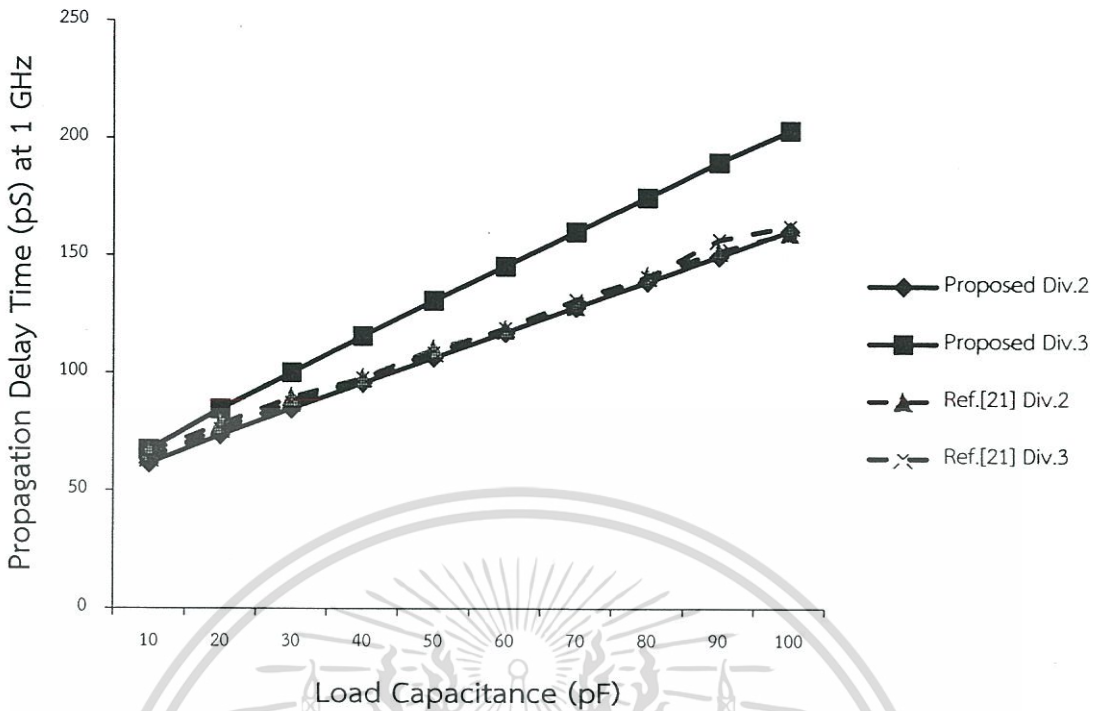


รูปที่ 4.11 รูปคลื่นสัญญาณเอาต์พุตของวงจรที่นำเสนอในโหมดการสองความถี่อินพุต
1 GHz



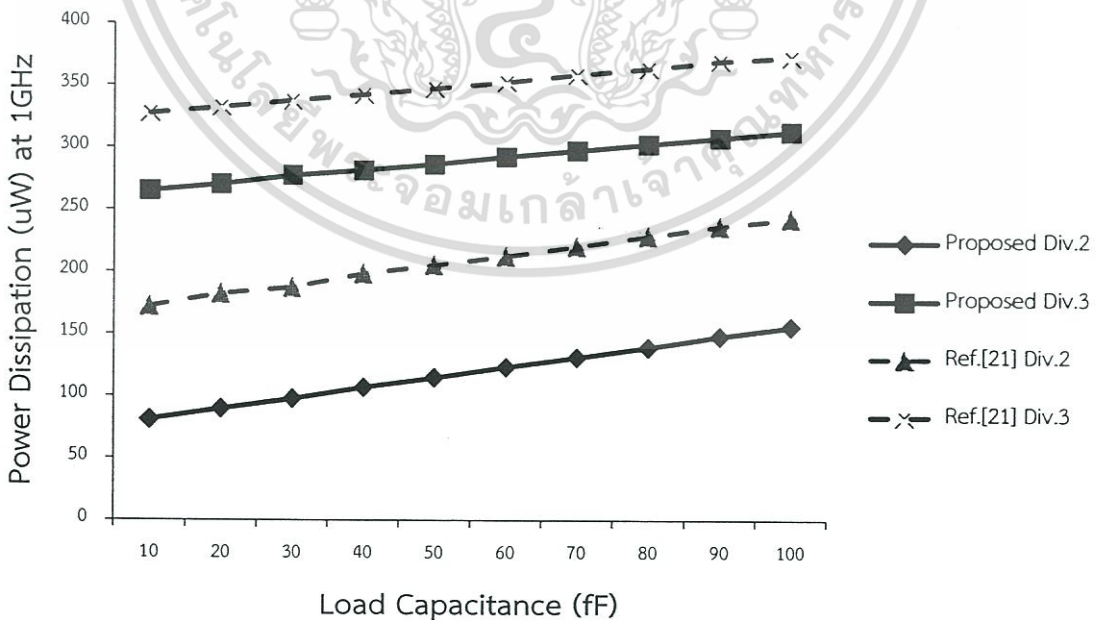
รูปที่ 4.12 รูปคลื่นสัญญาณเอาต์พุตของวงจรที่นำเสนอในโหมดการสามความถี่อินพุต
1 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 การเปรียบเทียบค่าหน่วงเวลากับโหลดคาปาซิแตนซ์ที่แหล่งจ่ายไฟ 1.2 Volt

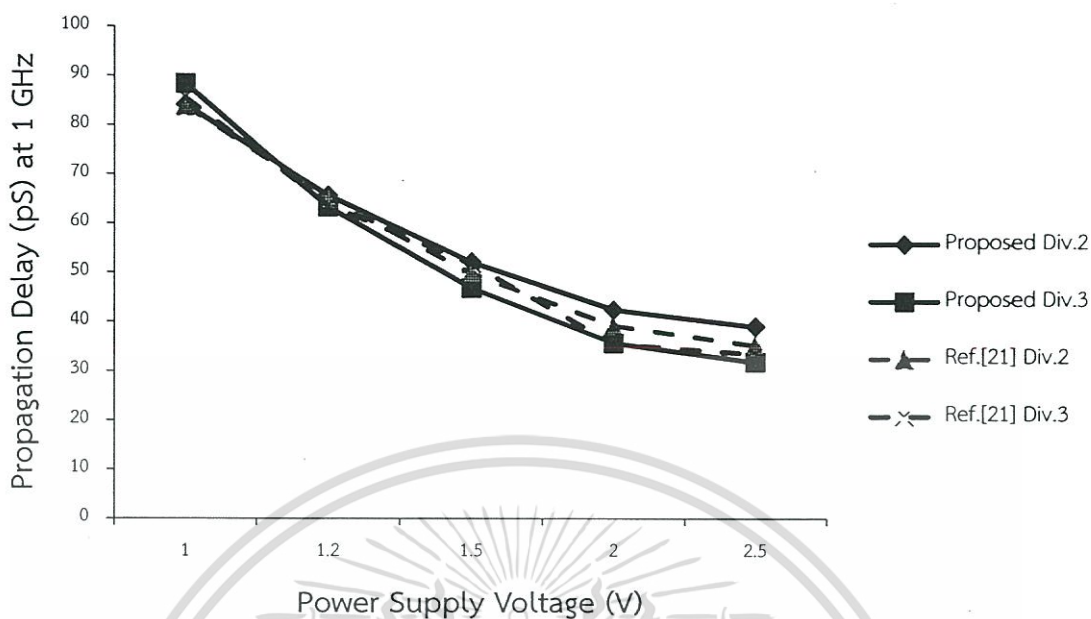
และจากรูปที่ 4.14 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียกับโหลดคาปาซิเตอร์ที่แหล่งจ่ายไฟ 1.2 Volt ซึ่งจะพบว่าวงจรที่นำเสนอใช้กำลังงานที่สูญเสียในโหมดทหารสองน้อยกว่า วงจรทหารความถี่ [21] 36% และในโหมดทหารสาม 16% ที่โหลดคาปาซิแตนซ์ 100 fF



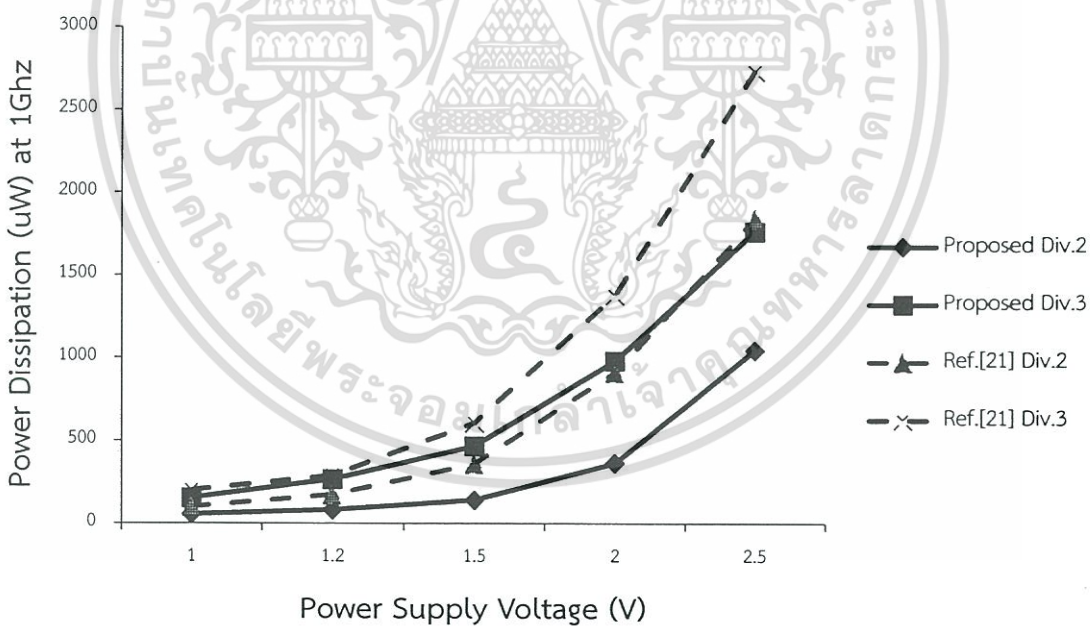
รูปที่ 4.14 การเปรียบเทียบค่ากำลังงานที่สูญเสียกับโหลดคาปาซิแตนซ์ที่แหล่งจ่ายไฟ

1.2 Volt.

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

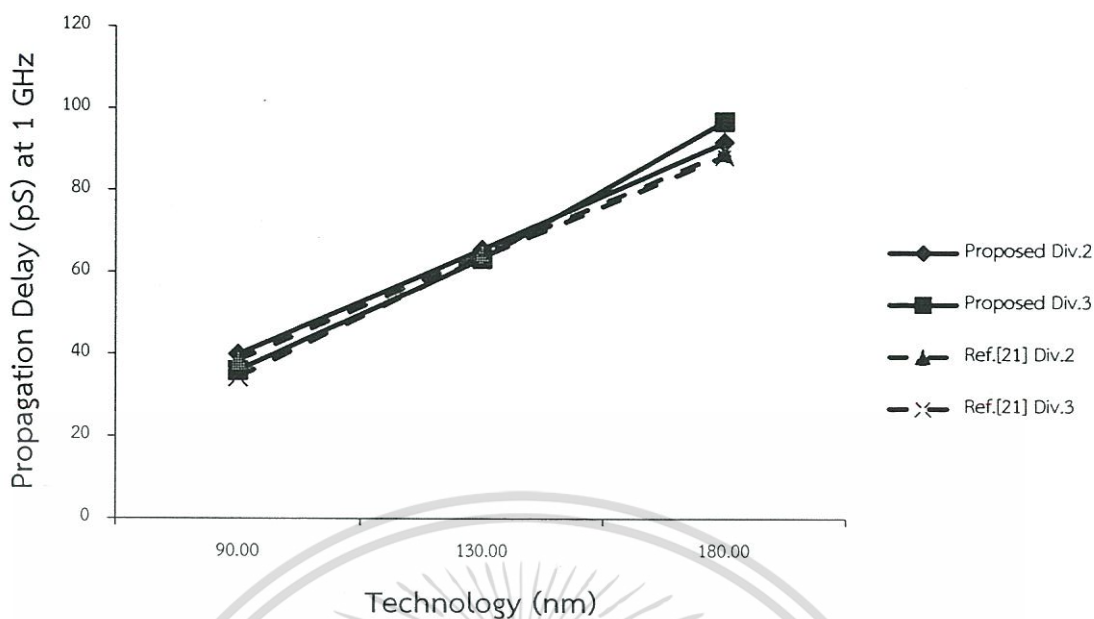


รูปที่ 4.15 การเปรียบเทียบค่าหน่วงเวลากับแหล่งจ่ายไฟ

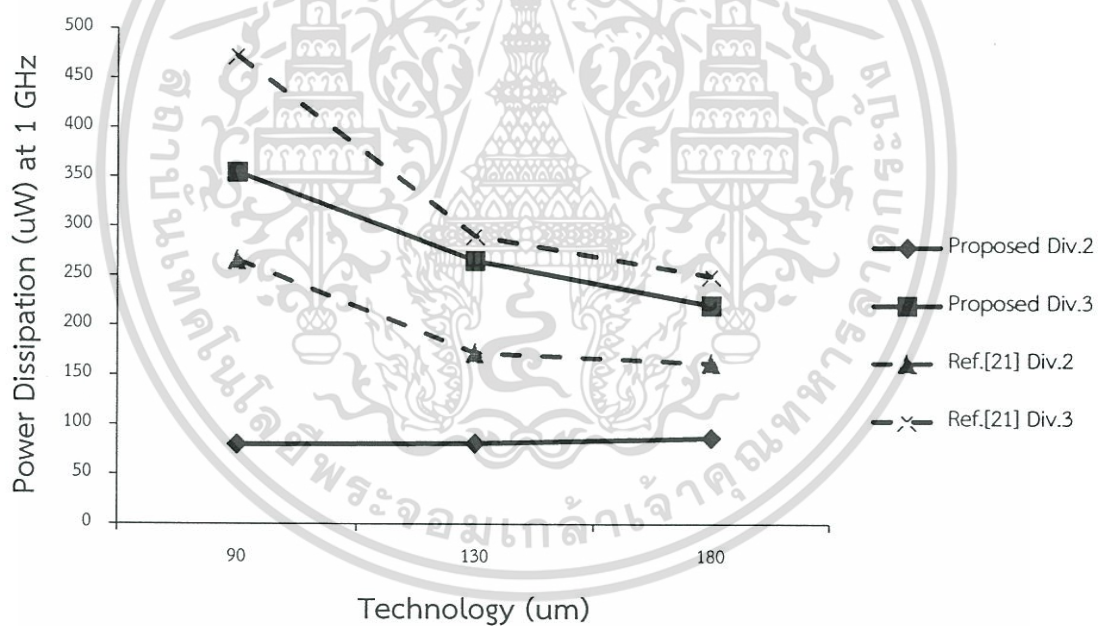


รูปที่ 4.16 การเปรียบเทียบค่ากำลังงานที่สูญเสียกับแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

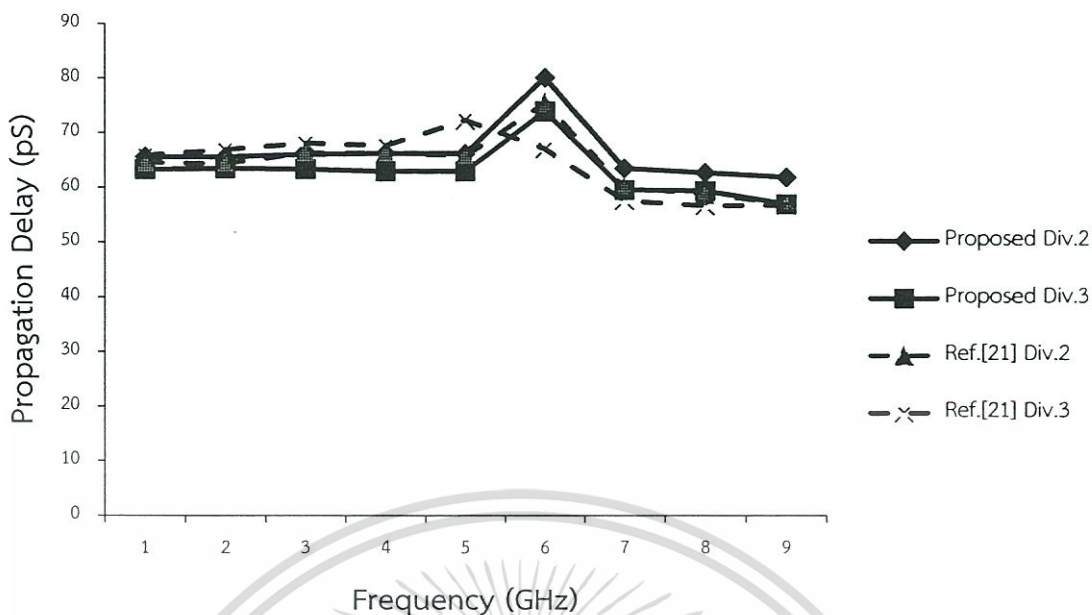


รูปที่ 4.17 การเปรียบเทียบค่าหน่วงเวลากับเทคโนโลยี

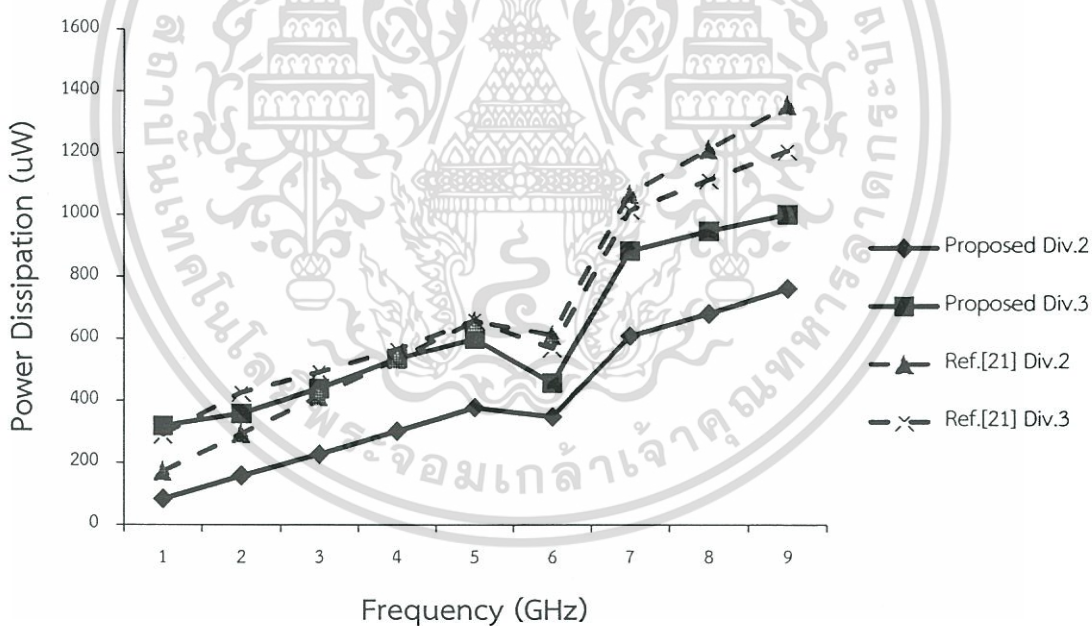


รูปที่ 4.18 การเปรียบเทียบค่ากำลังงานที่สูญเสียกับเทคโนโลยี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 การเปรียบเทียบค่าหน่วงเวลากับความถี่



รูปที่ 4.20 การเปรียบเทียบค่ากำลังงานที่สูญเสียกับความถี่

จากรูปที่ 4.15 และรูปที่ 4.16 แสดงการเปรียบเทียบค่าหน่วงเวลาและค่ากำลังงานที่สูญเสียแบบไดนามิกกับแหล่งจ่ายไฟ ตามลำดับ ที่ความถี่ 1 GHz และที่โหลดคาปาซิเตอร์ 10 fF ซึ่งวงจรที่เสนอมีการสูญเสียที่น้อยกว่าวงจรความถี่ [21] ในโหมดการสอง 43% และในโหมดการสาม 35% ที่แรงดันแหล่งจ่าย 2.5V แต่ค่าหน่วงเวลาของวงจรที่เสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโหมดการสองมีค่ามากกว่าวงจรรหาคความถี่ [21] 11% และในโหมดการสาม 17% ที่แรงดันแหล่งจ่ายเท่ากับ 2.5 Volts

รูปที่ 4.17 และรูปที่ 4.18 แสดงการเปรียบเทียบค่าหนึ่งเวลาและค่ากำลังงานที่สูญเสียแบบไดนามิกกับเทคโนโลยี ตามลำดับ โดยใช้โพลคาปาซิเตอร์ที่ 10 fF ซึ่งวงจรถที่เสนอมีค่ากำลังงานที่สูญเสียน้อยกว่าเมื่อมีการเปลี่ยนเทคโนโลยีโดยที่ในเทคโนโลยี 180n วงจรถที่เสนอจะมีกำลังงานที่สูญเสียในโหมดการสองน้อยกว่าวงจรรหาคความถี่ [21] ถึง 46% และในโหมดการสามมีค่าน้อยกว่า 12% แต่ค่าหนึ่งเวลาของวงจรถที่เสนอมีค่ามากกว่าวงจรรหาคความถี่ [21] ในโหมดการสอง 2.86% และในโหมดการสาม 10% จึงแสดงให้เห็นว่าค่าหนึ่งเวลาของวงจรถที่เสนอมีค่าใกล้เคียงกับวงจรถที่ใช้เปรียบเทียบเมื่อทำงานในโหมดการสอง

รูปที่ 4.19 และรูปที่ 4.20 แสดงการเปรียบเทียบค่าหนึ่งเวลาและค่ากำลังงานที่สูญเสียแบบไดนามิก เมื่อเปลี่ยนความถี่สัญญาณอินพุต ตามลำดับ โดยใช้โพลคาปาซิเตอร์ที่ 10 fF ซึ่งวงจรถที่เสนอมีค่ากำลังงานที่สูญเสียน้อยกว่า ที่ความถี่ 9 GHz วงจรถที่เสนอจะมีกำลังงานที่สูญเสียในโหมดการสองน้อยกว่าวงจรรหาคความถี่ [21] ถึง 43.82% ในโหมดการสาม 17.08% และค่าหนึ่งเวลาของวงจรถที่ใช้เปรียบเทียบเมื่อความถี่เพิ่มขึ้นค่าหนึ่งเวลาของวงจรถที่เสนอและวงจรรหาคความถี่ [21] มีค่าใกล้เคียงกัน

การประยุกต์ใช้งานวงจรหารความถี่ 2/3 โดยใช้กำลังงานต่ำแบบ บทรูชิงเกิลเฟสคล็อก

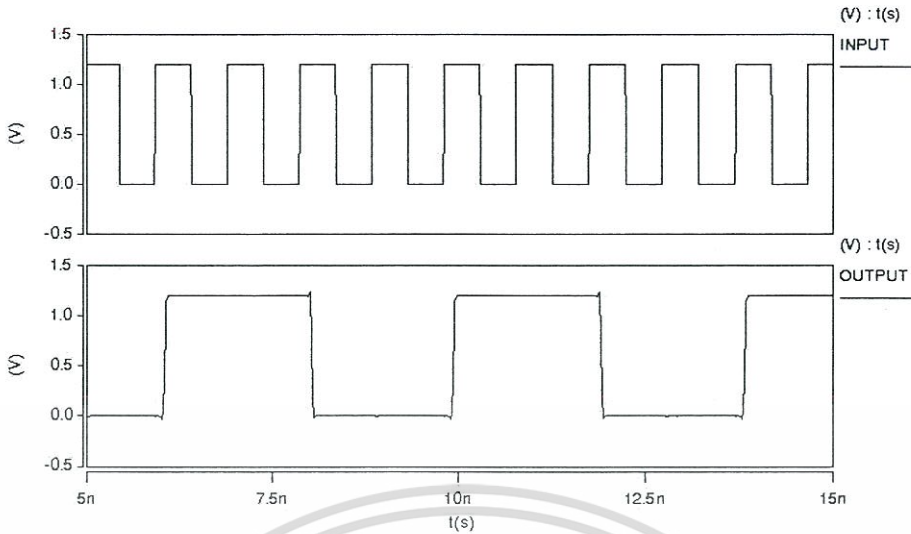
วงจรหารความถี่ที่นำเสนอมีโหมดการทำงานอยู่ 2 โหมดคือ หารสอง และหารสามแต่สามารถนำวงจรที่ออกแบบมาประยุกต์ใช้ให้ลดความถี่อินพุตลงได้อีกโดยการใช้วงจรที่นำเสนอมาต่อแบบคาสเคดเพื่อให้สามารถได้ความถี่ที่ต้องการได้หลากหลายขึ้น

5.1 วงจรหารความถี่ 4 เท่าที่ความถี่ต่างๆ

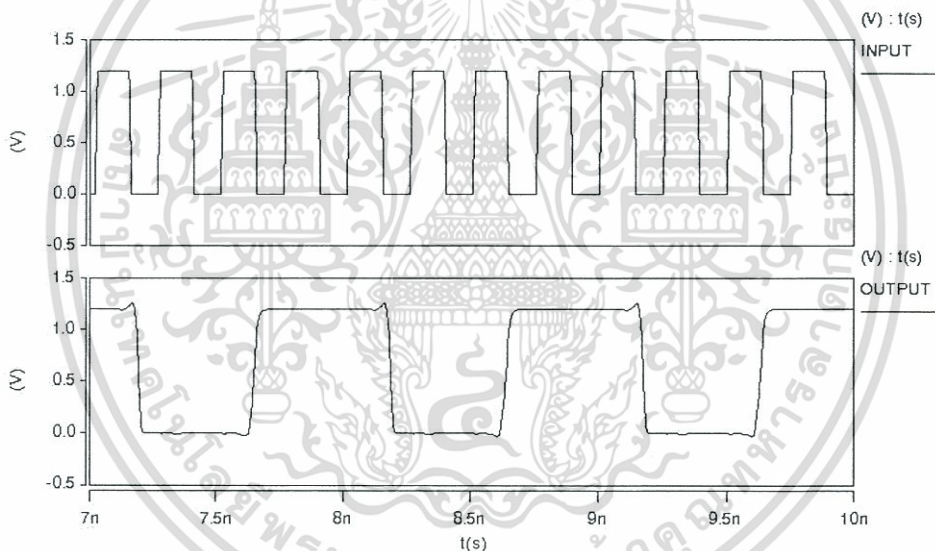


รูปที่ 5.1 Block Diagram ของวงจรหารความถี่ 4 เท่า

จากรูปที่ 5.1 เป็นการประยุกต์ใช้งานวงจรหารความถี่ 2/3 โดยใช้กำลังงานต่ำแบบบทรูชิงเกิลเฟสคล็อกในโหมดหารสองมาต่อกันแบบคาสเคดเพื่อให้ความถี่เอาต์พุตที่ได้ลดลงในอัตราส่วน 4 เท่าของความถี่อินพุตรูปที่ 5.2 แสดงการเปรียบเทียบสัญญาณอินพุตและเอาต์พุตวงจรหาร 4 โดยสัญญาณอินพุตมีความถี่ 1GHz และรูปที่ 5.3 แสดงการเปรียบเทียบสัญญาณอินพุตและเอาต์พุตของวงจรหาร 4 ที่ความถี่ 4 GHz

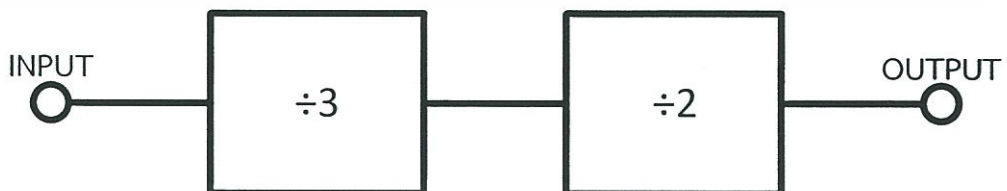


รูปที่ 5.2 วงจรหารความถี่ 4 เท้า ที่ความถี่ 1 GHz



รูปที่ 5.3 วงจรหารความถี่ 4 เท้า ที่ความถี่ 4 GHz

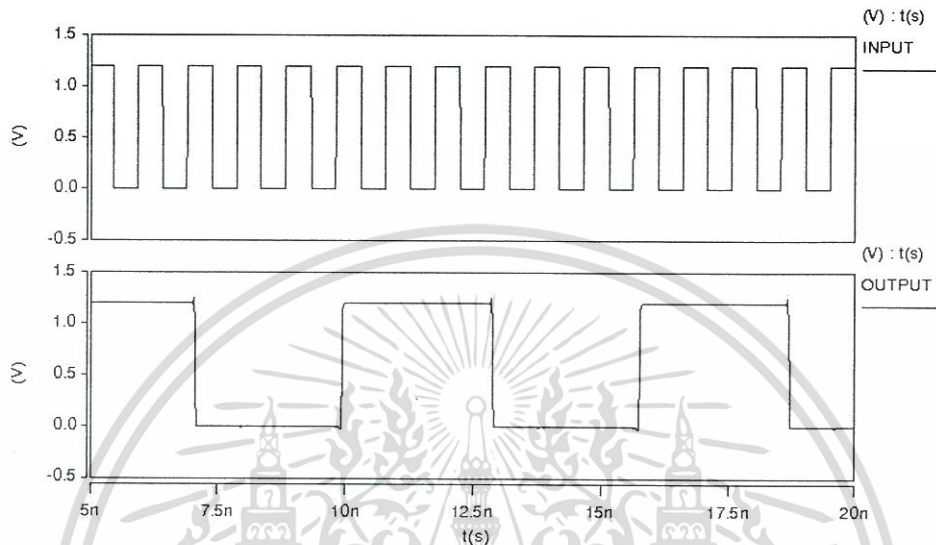
5.2 วงจรหารความถี่ 6 เท้าที่ความถี่ต่างๆ



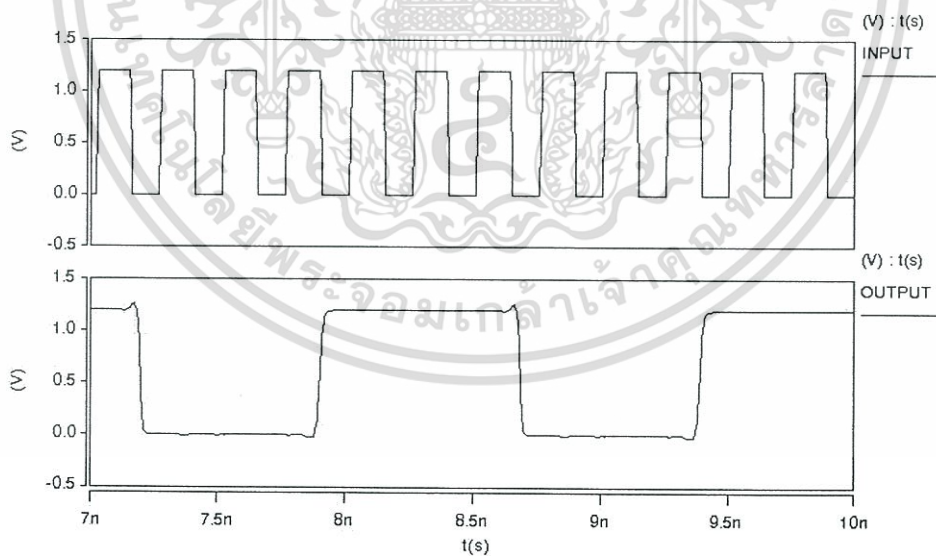
รูปที่ 5.4 Block Diagram ของวงจรหารความถี่ 6 เท้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.4 เป็นการประยุกต์ใช้งานวงจรถรรหาความถี่ $2/3$ โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อกในโหมดทรานซิมิเตอร์สามต่อกับวงจรในโหมดทรานซิมิเตอร์สองแบบคาสเคดเพื่อให้ความถี่เอาต์พุตที่ได้ลดลงในอัตราส่วน 6 เท่าของความถี่อินพุต รูปที่ 5.5, รูปที่ 5.6 และรูปที่ 5.7 เป็นการเปรียบเทียบสัญญาณอินพุตและเอาต์พุตของวงจรถรรหาความถี่อินพุต 1 GHz, 4 GHz และ 9 GHz ตามลำดับ

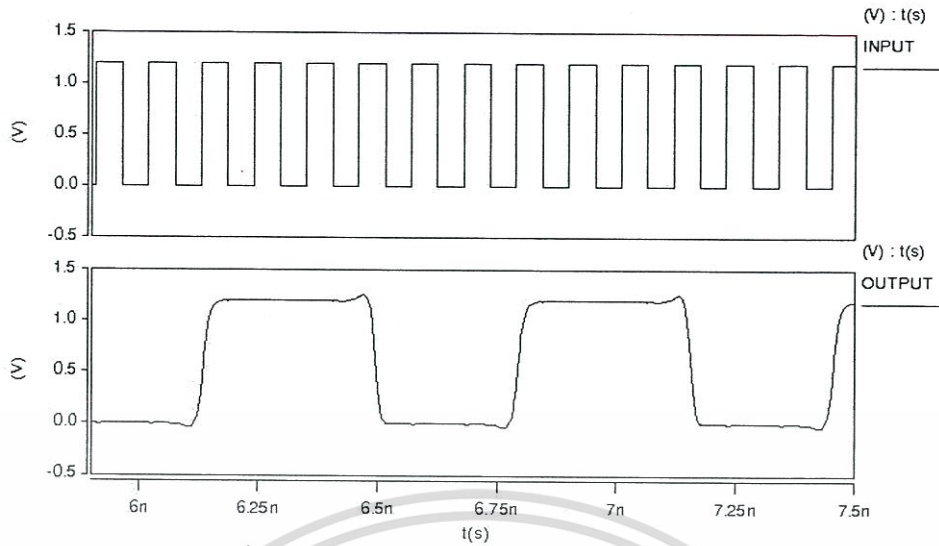


รูปที่ 5.5 วงจรถรรหาความถี่ 6 เท่า ที่ความถี่ 1 GHz



รูปที่ 5.6 วงจรถรรหาความถี่ 6 เท่า ที่ความถี่ 4 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



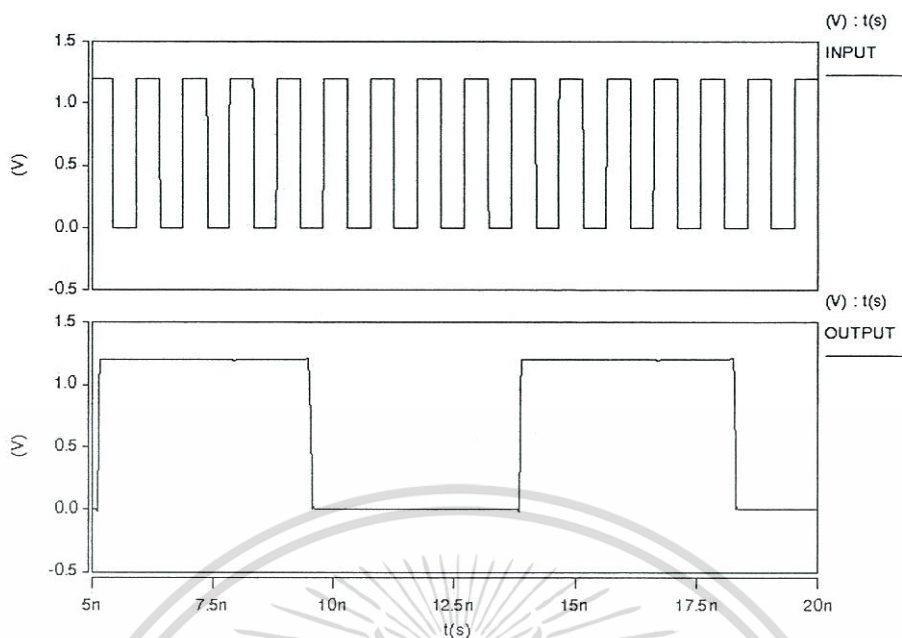
รูปที่ 5.7 วงจรหารความถี่ 6 เท่า ที่ความถี่ 9 GHz

5.3 วงจรหารความถี่ 9 เท่าที่ความถี่ต่างๆ

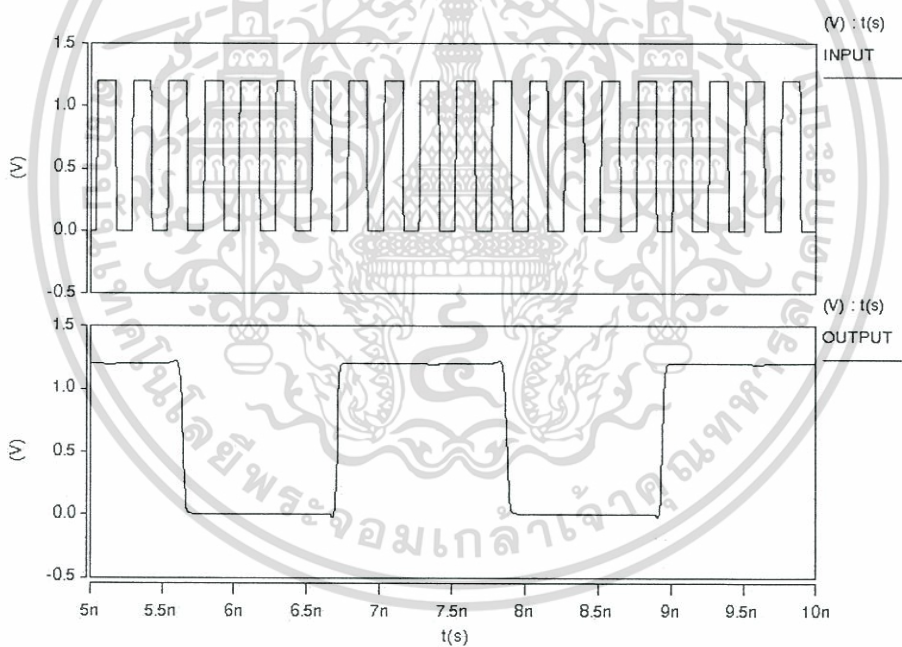


รูปที่ 5.8 Block Diagram ของวงจรหารความถี่ 9 เท่า

จากรูปที่ 5.8 เป็นการประยุกต์ใช้งานวงจรหารความถี่ $2/3$ โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อกในโหมดหารสามต่อกับวงจรในโหมดหารสามแบบคาสเคดเพื่อให้ความถี่เอาต์พุตที่ได้ลดลงในอัตราส่วน 9 เท่าของความถี่อินพุต รูปที่ 5.9, รูปที่ 5.10 และรูปที่ 5.11เป็นการเปรียบเทียบสัญญาณอินพุตและเอาต์พุตวงจรหารความถี่อินพุต 1 GHz, 4 GHz และ 9 GHz ตามลำดับ

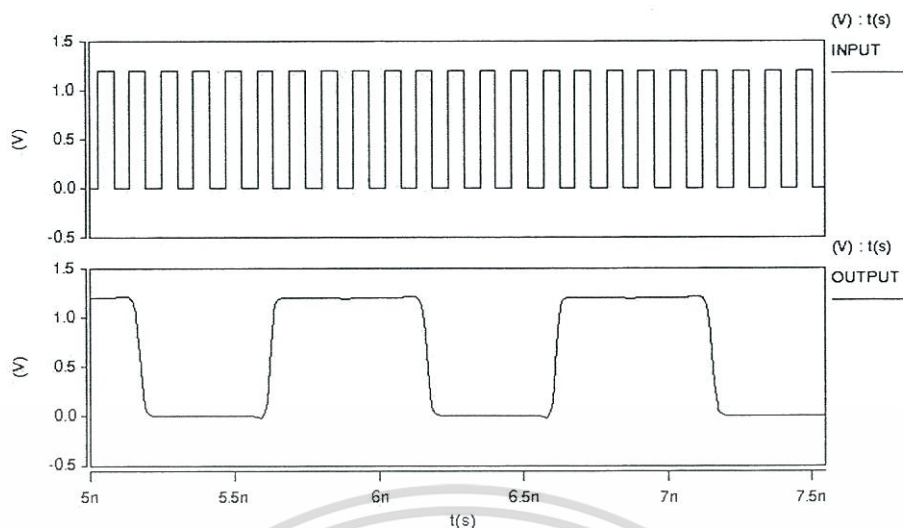


รูปที่ 5.9 วงจรทราควมถึ 9 เทำ ที่ควมถึ 1 GHz



รูปที่ 5.10 วงจรทราควมถึ 9 เทำ ที่ควมถึ 4 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 วงจรหารความถี่ 9 เท่า ที่ความถี่ 9 GHz



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการวิจัย

จากการทดสอบการเปรียบเทียบคุณสมบัติต่างๆของวงจรรหาคความถี่แบบทรูซิงเกิลเฟสคล็อกที่ออกแบบใหม่กับวงจรรหาคความถี่ [21] โดยใช้โปรแกรม HSpice เป็นโปรแกรมในการจำลองการทำงานของวงจรรทั้งหมด โดยผลการจำลองการทำงานสามารถสรุปได้ดังนี้

ในการทดสอบสัญญาณเอาต์พุตของวงจรรที่เสนอสามารถทำงานได้ที่ระดับแรงดันแหล่งจ่าย 1.2 V และวงจรรนี้ยังสามารถทำงานได้ที่ความถี่ 9 GHz และวงจรรที่นำเสนอนี้ยังมีการแกว่งของสัญญาณเต็มช่วง

จากการจำลองการทำงานของวงจรรหาคความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อกที่เสนอเพื่อเปรียบเทียบกับวงจรรหาคความถี่ [21] เมื่อโหลดที่ใช้มีการเปลี่ยนแปลงไปซึ่งผลที่ได้นั้นจะเห็นว่ากำลังงานที่สูญเสียของวงจรรที่เสนอนี้น้อยกว่าวงจรรหาคความถี่ [21] เมื่อทำงานในโหมดหารสองถึง 36% และในโหมดหารสาม 16% ที่โหลดคาปาซิแตนซ์ 100fF แต่ค่าหน่วงเวลาของวงจรรที่เสนอในโหมดหารสามยังมีค่ามากกว่าแต่ในโหมดหารสองจะมีค่าใกล้เคียงกันซึ่งมีค่าหน่วงเวลาแตกต่างกันเพียง 0.5%

จากการจำลองการทำงานของวงจรรหาคความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อกที่เสนอเพื่อเปรียบเทียบกับวงจรรหาคความถี่ [21] เมื่อแรงดันแหล่งจ่ายที่ใช้มีการเปลี่ยนแปลงจะเห็นว่ากำลังงานที่สูญเสียของวงจรรที่เสนอนี้น้อยกว่าวงจรรหาคความถี่ [21] เมื่อทำงานในโหมดหารสองถึง 43% และในโหมดหารสาม 35% ที่แรงดันแหล่งจ่าย 2.5V แต่ค่าหน่วงเวลาของวงจรรที่เสนอยังมีค่ามากกว่าวงจรรที่ใช้ทำการเปรียบเทียบ

จากการจำลองการทำงานของวงจรรหาคความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลซิงเกิลเฟสคล็อกที่เสนอเพื่อเปรียบเทียบกับวงจรรหาคความถี่ [21] เมื่อมีการเปลี่ยนเทคโนโลยีจะเห็นว่าค่ากำลังงานที่สูญเสียของวงจรรที่เสนอนี้น้อยกว่าวงจรรหาคความถี่ [21] เมื่อทำงานในโหมดหารสอง 46% และในโหมดหารสาม 12% ที่เทคโนโลยี 180nm แต่ค่าหน่วงเวลาของวงจรรที่เสนอนี้น้อยกว่าวงจรรหาคความถี่ [21] เมื่อทำงานในโหมดหารสองอยู่ 2.86% และเมื่อวงจรรทำงานในโหมดหารสาม 10%

จากการจำลองการทำงานของวงจรรหาคความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อกที่เสนอเพื่อเปรียบเทียบกับวงจรรหาคความถี่ [21] เมื่อมีการเปลี่ยนความถี่จะเห็นว่าค่ากำลังงานที่สูญเสียของวงจรรที่เสนอนี้น้อยกว่าวงจรรหาคความถี่ [21] เมื่อทำงานในโหมดหารสอง 43.82% และในโหมดหารสาม 17.08% ที่ความถี่ 9GHz และค่าหน่วงเวลาของวงจรรที่เสนอนี้น้อยกว่าวงจรรหาคความถี่ [21] เมื่อความถี่สูงขึ้น

ผลจากการจำลองการทำงานของวงจรหาความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อกที่เสนอเปรียบเทียบกับวงจรหาความถี่ [21] จะเห็นได้ว่าเมื่อวงจรมีการเปลี่ยนแปลงโหลดแรงดันแหล่งจ่าย เทคโนโลยี และความถี่ วงจรที่เสนอยังมีค่ากำลังงานที่สูญเสียน้อยกว่าวงจรหาความถี่ [21] แต่ค่าหน่วยเวลาของวงจรที่เสนอเมื่อทำงานในโหมดหารสามจะมีค่ามากกว่า ในขณะที่เมื่อวงจรที่เสนอทำงานในโหมดหารสองค่าหน่วยเวลาของวงจรจะมีค่ามากกว่าเล็กน้อยหรือใกล้เคียงกับวงจรหาความถี่ [21]



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- [1] S. M. Kang and Y. Leblebici, "CMOS Digital Integrated Circuits," 3rd ed, McGraw-Hill, 2003.
- [2] N. H.E. Weste and D. Harris, "CMOS VLSI design : a circuits and systems perspective," 3rd ed, Boston : Pearson, 2005.
- [3] P. Christian, "Low-Power CMOS Circuits : technology logic design and CAD tools," Taylor and Francis Group, 2006.
- [4] M. Alioto, R. Mita, and G. Palumbo, "Design of high-speed power efficient MOS current-mode logic frequency dividers," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 53, no. 11, pp. 1165–1169, Nov. 2006.
- [5] Y. Ji-Ren, I. Karlsson, and C. Svensson, "A true single-phase-clock dynamic CMOS circuit technique," IEEE J. Solid-State Circuits, vol. 22, no. 5, pp. 899-901, Oct 1987.
- [6] J., Jr. Navarro Soares, W.A.M. Van Noije, "A 1.6-GHz dual modulus prescaler using the extended true-single-phase-clock CMOS circuit technique (E-TSPC)," IEEE J Solid-State Circuits, vol. 34, no. 1, pp.97-102, Jan 1999.
- [7] X. P. Yu, M. A. Do, W. M. Lim, K. S. Yeo, and J.-G. Ma, "Design and optimization of the extended true single-phase clock-based prescaler," IEEE Trans. Microw. Theory Tech., vol. 54, no. 11, pp. 3838-3835, Nov. 2006.
- [8] H. M. David and H. L. Sarah, "Digital Design and Computer Architecture," 3rd ed, Morgan Kaufmann, 2007.
- [9] A. A. Raj and T. Latha, "VLSI Design," PHI Learning Private Limited, 2008.
- [10] J. D. William and R H. Curtis, "Digital Design A Systems Approach," Cambridge University Press, 2012.
- [11] K. L. Parag, " Principles Of Modern Digital Design," John Wiley & Sons, 2007.
- [12] A. P. Godse and D. A. Godse, "Digital Techniques," 2nd ed, Technical Publications Pune, 2008.
- [13] M. B. Lin, "Introduction to VLSI Systems A logic, Circuit, and System Perspective," CRC Press Taylor & Francis Group, 2012.

- [14] B. Kerry, M. C. Keith, M.D. Christopher, R. H. Patrick, H. David, J. N. Edward and J.R. Norman, "High Speed Cmos Design Styles," Kluwer Academic Publishers, 2002.
- [15] U. P. John, "CMOS Logic Circuit Design," Kluwer Academic Publishers, 2002.
- [16] Y. Jiren, C. Svensson, "New single-clock CMOS latches and flipflops with improved speed and power savings," IEEE J. Solid-State Circuits, vol. 32, no. 1, pp. 62-69, Jan 1997.
- [17] S. Pellerano, S. Levantino, C. Samori, and A. Lacaita, "A 13.5-mW 5 GHz frequency synthesizer with dynamic-logic frequency divider," IEEE J. Solid-State Circuits, vol. 39, no. 2, pp. 378-383, Feb. 2004.
- [18] Q. Huang and R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks," IEEE J. Solid-State Circuits, vol. 31, no. 3, pp. 456-465, Mar. 1996.
- [19] L. Jerry, P. Calvin, "Modified TSPC Clock Dividers for higher frequency division by 3 and lower power operation," IEEE 10th International New Circuits and Systems Conference (NEWCAS), pp.437-440, June 2012.
- [20] M. Krishna, M. A. Do, K. S. Yeo, C. C. Boon, and W. M. Lim, "Design and analysis of ultra low power true single phase clock CMOS 2/3 prescaler," IEEE Tran. Circuits Syst. I, Reg. Papers, vol. 57, no. 1, pp. 72-82, Jan. 2010.
- [21] C. Wu-Hsin, J. Byunghoo, "High-Speed Low-Power True Single-Phase Clock Dual-Modulus Prescalers," IEEE Trans. Circuits Syst. II, Express Briefs, vol. 58, no. 3, pp. 144-148, March 2011.



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

ค่าพารามิเตอร์ของ 130 nm CMOS

ตารางที่ ก.1 ค่าพารามิเตอร์ของ 130 nm CMOS

Mos transistor model parameter			
Name of value	PMOS	NMOS	Unit
V_{th0}	-0.321	0.3782	V
V_{off}	-0.126	--0.13	V
V_{fb}	0.55	-0.55	V
T_{nom}	27	27	$^{\circ}C$
T_{oxe}	2.35	2.25	nm
T_{oxp}	1.6	1.6	nm
T_{oxm}	2.35	2.25	nm
T_{oxeref}	2.35	2.25	nm
D_{tox}	0.75	0.65	nm
n Factor	1.5	1.5	
E_{ta0}	0.0038	0.0092	cm^2 / Vs
U_0	0.0095	0.05928	Ω / m
R_{sh}	5	5	
R_{sw}	120	100	Ω / m
R_{dsw}	240	200	Ω / m
R_{dw}	120	100	Ω / m
C_{gso}	240	240	pF / m
C_{gdo}	240	240	pF / m
C_{gbo}	25.6	25.6	pF / m
C_{gd}	265.3	265.3	pF / m
C_{gsl}	265.3	265.3	pF / m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ก.2 แสดงค่า W/L ของวงจรถ่ายงานในบทที่ 4

MOS Transistor [um]	CMOS	Proposed Circuit
M1	3.8	5
M2	4	4
M3	1.8	2
M4	5.6	6
M5	5.2	4
M6	4.8	4
M7	3.6	5
M8	2.4	3
M9	4	2
M10	5.2	5
M11	4	3
M12	1.8	4
M13	5.6	4
M14	3.8	3
M15	4.8	4
M16	6.9	3
MC1	4	4
MC2	-	4
Ma1	4	-
MI1	3	3
MI2	1.2	1
MI3	3	3
MI4	1.2	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

โปรแกรม HSpice ที่ใช้ในการวิเคราะห์วิทยานิพนธ์

High Speed Low Power True Single Phase Clock Dual Modulus Prescalers

.OPTION LIST NODE POST

.OP

.PARAM V1=1.2V V2=0V TD=0.1nS TR=0.01nS TF=0.01nS PW=0.48nS PER=0.97nS

M1 4 CK 1 1	PMOS	L=0.13u W=5.2u
M2 S1 Qn1 4 4	PMOS	L=0.13u W=4u
M3 S1 Qn1 0 0	NMOS	L=0.13u W=1.8u
M4 T1 CK 1 1	PMOS	L=0.13u W=5.6u
M5 T1 S1 7 7	NMOS	L=0.13u W=3.8u
M6 7 CK 0 0	NMOS	L=0.13u W=4.8u
M7 Qn1 T1 1 1	PMOS	L=0.13u W=6.9u
M8 Qn1 T1 8 8	NMOS	L=0.13u W=4u
M9 8 CK 0 0	NMOS	L=0.13u W=4u
M10 b4 CK 1 1	PMOS	L=0.13u W=3.8u
M11 S2 Qn1 b4 b4	PMOS	L=0.13u W=4u
M12 S2 Qn1 0 0	NMOS	L=0.13u W=1.8u
M13 T2 CK 1 1	PMOS	L=0.13u W=5.6u
M14 T2 S2 b7 b7	NMOS	L=0.13u W=5.2u
M15 b7 CK 0 0	NMOS	L=0.13u W=4.8u
M16 Qn2 T2 1 1	PMOS	L=0.13u W=3.6u
M17 Qn2 T2 b8 b8	NMOS	L=0.13u W=2.4u
M18 b8 CK 0 0	NMOS	L=0.13u W=4u
MC1 T1 1 X X	NMOS	L=0.13u W=4u
MA1 X Qn2 0 0	NMOS	L=0.13u W=4u
*M11 O2 Qn1 1 1	PMOS	L=0.13u W=3u
*M12 O2 Qn1 0 0	NMOS	L=0.13u W=1.2u
MI3 O3 T1 1 1	PMOS	L=0.13u W=3u
MI3 O3 T1 0 0	NMOS	L=0.13u W=1.2u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

.model nmos nmos level = 54
+version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
+capmod = 2            igcmod = 1          igbmod = 1          geomod = 1
+diomod = 1           rdsmod = 0          rbodymod = 1        rgatemod= 1
+permod = 1           acnqsmod= 0        trnqsmod= 0

+tnom = 27            toxex = 2.25e-9      toxp = 1.6e-9       toxm = 2.25e-9
+dtox = 0.65e-9      epsrox = 3.9        wint = 5e-9         lint = 10.5e-9
+ll = 0              wl = 0              lln = 1             wln = 1
+lw = 0              ww = 0              lwn = 1             wwn = 1
+lwl = 0            wwl = 0            xpart = 0           toxref = 2.25e-9
+xl = -60e-9

+vth0 = 0.3782       k1 = 0.4            k2 = 0.01           k3 = 0
+k3b = 0              w0 = 2.5e-6         dvt0 = 1            dvt1 = 2
+dvt2 = -0.032      dvt0w = 0           dvt1w = 0           dvt2w = 0
+dsub = 0.1          minv = 0.05         vofft = 0           dvtp0= 1.2e-10
+dvtp1 = 0.1         lpe0 = 0            lpeb = 0            xj= 3.92e-008
+ngate = 2e+020      ndep = 1.54e+018    nsd = 2e+020        phin= 0
+cdsc = 0.0002      cdsch = 0           cdschd = 0          cit= 0
+voff = -0.13        nfactor = 1.5       eta0 = 0.0092       etab = 0
+vfb = -0.55         u0 = 0.05928        ua = 6e-010         ub = 1.2e-018
+uc = 0              vsat = 100370       a0 = 1              ags = 1e-020
+a1 = 0              a2 = 1              b0 = 0              b1 = 0
+keta = 0.04         dwg = 0             dwb = 0             pclm = 0.06
+pdiblc1 = 0.001    pdiblc2 = 0.001     pdiblc3 = -0.005    drout = 0.5
+pvag = 1e-020      delta = 0.01        pscbe1 = 8.14e+8    pscbe2 = 1e-7
+fprout = 0.2       pdits = 0.08        pditsd = 0.23       pditsl =2.3e+6
+rsh = 5            rdsw = 200          rsw = 100           rdw = 100
+rdswmin = 0        rdwmin = 0          rswmin = 0          prwg = 0
+prwb = 6.8e-011    wr = 1              alpha0 = 0.074       alpha1 = 0.005
+beta0 = 30         agidl = 0.0002      bgidl = 2.1e+009     cgidl = 0.0002
+egidl = 0.8

+aigbacc = 0.012     bigbacc = 0.0028     cigbacc = 0.002
+nigbacc = 1         aigbinv = 0.014     bigbinv = 0.004     cigbinv = 0.004

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+eigbinv = 1.1      nigbinv = 3      aigc = 0.012      bigc = 0.0028
+cigc = 0.002      aigsd = 0.012    bigsd = 0.0028    cigsd = 0.002
+nigc = 1          poxedge = 1      pigcd = 1         ntox = 1
+xrcrg1 = 12       xrcrg2 = 5
+cgso = 2.4e-010   cgdo = 2.4e-010  cgbo = 2.56e-011  cgdl = 2.653e-10
+cgsl = 2.653e-10  ckappas = 0.03   ckappad = 0.03    acde = 1
+moin = 15         noff = 0.9       voffcv = 0.02
+kt1 = -0.11       kt1l = 0         kt2 = 0.022       ute = -1.5
+ua1 = 4.31e-009   ub1 = 7.61e-018  uc1 = -5.6e-011   prt = 0
+at = 33000
+fnoimod = 1       tnoimod = 0
+jss = 0.0001      jsws = 1e-011    jswgs = 1e-010    njs = 1
+ijthsfwd= 0.01    ijthsrrev= 0.001  bvs = 10          xjbvs = 1
+jsd = 0.0001      jswd = 1e-011    jswgd = 1e-010    njd = 1
+ijthdfwd= 0.01    ijthdrev= 0.001  bvd = 10          xjbvd = 1
+pbs = 1           cjs = 0.0005     mjs = 0.5         pbsws = 1
+cjsws = 5e-010    mjsws = 0.33     pbswgs = 1        cjswgs = 3e-010
+mjswgs = 0.33     pbd = 1          cjd = 0.0005     mjd = 0.5
+pbswd = 1         cjswd = 5e-010   jswd = 0.33      pbswgd = 1
+cjswgd = 5e-010  mjswgd = 0.33    tpb = 0.005      tcj = 0.001
+tpbsw = 0.005    tcjsw = 0.001    tpbswg = 0.005   tcjswg = 0.001
+xtis = 3          xtid = 3
+dmcg = 0e-006     dmci = 0e-006    dmdg = 0e-006    dmcgt = 0e-007
+dwj = 0.0e-008    xgw = 0e-007     xgl = 0e-008
+rshg = 0.4        gbmin = 1e-010   rpbp = 5          rbpd = 15
+rbps = 15         rbdb = 15        rbsb = 15         ngcon = 1

.model pmos pmos level = 54
+version = 4.0      binunit = 1       paramchk= 1       mobmod = 0
+capmod = 2        igcmod = 1        igbmod = 1        geomod = 1
+diomod = 1        rdsmod = 0        rbodymod= 1       rgatemod= 1
+permod = 1        acnqsmo= 0        trnqsmo= 0
+tnom = 27         toxo = 2.35e-9    toxp = 1.6e-9     toxm = 2.35e-9
+dtom = 0.75e-9    epsrox = 3.9      wint = 5e-9       lint = 10.5e-9

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+ll = 0	wl = 0	lln = 1	wln = 1
+lw = 0	ww = 0	lwn = 1	wwn = 1
+lwl = 0	wwl = 0	xpart = 0	toxref = 2.35e-9
+xl = -60e-9			
+vth0 = -0.321	k1 = 0.4	k2 = -0.01	k3 = 0
+k3b = 0	w0 = 2.5e-006	dvt0 = 1	dvt1 = 2
+dvt2 = -0.032	dvt0w = 0	dvt1w = 0	dvt2w = 0
+dsub = 0.1	minv = 0.05	voffl = 0	dvtp0 = 1e-009
+dvtp1 = 0.05	lpe0 = 0	lpeb = 0	xj = 3.92e-008
+ngate = 2e+020	ndep = 1.14e+018	nsd = 2e+020	phin = 0
+cdsc = 0.000258	cdscb = 0	cdscd = 6.1e-008	cit = 0
+voff = -0.126	nfactor = 1.5	eta0 = 0.0092	etab = 0
+vfb = 0.55	u0 = 0.00835	ua = 2.0e-009	ub = 0.5e-018
+uc = -3e-011	vsat = 70000	a0 = 1.0	ags = 1e-020
+a1 = 0	a2 = 1	b0 = -1e-020	b1 = 0
+keta = -0.047	dwg = 0	dwb = 0	pclm = 0.12
+pdiblc1 = 0.001	pdiblc2 = 0.001	pdiblc3 = 3.4e-8	drout = 0.56
+pvag = 1e-020	delta = 0.01	pscbe1 = 8.14e+8	pscbe2 = 9.58e-7
+fprout = 0.2	pdits = 0.08	pditsd = 0.23	pditsl = 2.3e+6
+rsh = 5	rdswh = 240	rsw = 120	rdw = 120
+rdswhmin = 0	rdwhmin = 0	rswmin = 0	prwg = 3.22e-8
+prwb = 6.8e-011	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8			
+aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002	
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.69	bigc = 0.0012
+cigc = 0.0008	aigsd = 0.0087	bigsd = 0.0012	cigsd = 0.0008
+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 2.4e-010	cgdo = 2.4e-010	cgbo = 2.56e-011	cgdl = 2.653e-10
+cgsl = 2.653e-10	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.11	kt1l = 0	kt2 = 0.022	ute = -1.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+ua1 = 4.31e-9   ub1 = 7.61e-018   uc1 = -5.6e-011   prt = 0
+at = 33000
+fnoimod = 1     tnoimod = 0
+jss = 0.0001    jsws = 1e-011     jswgs = 1e-010    njs = 1
+ijthsfwd= 0.01  ijthsrev= 0.001   bvs = 10          xjbvs = 1
+jsd = 0.0001    jswd = 1e-011     jswgd = 1e-010   njd = 1
+ijthdfwd= 0.01  ijthdrev= 0.001   bvd = 10          xjbvd = 1
+pbs = 1         cjs = 0.0005      mjs = 0.5         pbsws = 1
+cjsws = 5e-010  mjsws = 0.33      pbswgs = 1        cjswgs = 3e-010
+mjswgs = 0.33   pbd = 1           cjd = 0.0005      mjd = 0.5
+pbswd = 1       cjswd = 5e-010    mjswd = 0.33      pbswgd = 1
+cjswgd = 5e-010  mjswgd = 0.33     tpb = 0.005       tcj = 0.001
+tpbsw = 0.005   tcjsw = 0.001     tpbswg = 0.005    tcjswg = 0.001
+xtis = 3        xtis = 3
+dmcg = 0e-6     dmcg = 0e-006    dmdg = 0e-006     dmcgt = 0e-007
+dwj = 0.0e-8    xgw = 0e-007     xgl = 0e-008
+rshg = 0.4      gbmin = 1e-010   rbpb = 5           rbpd = 15
+rbps = 15       rbdb = 15        rbsb = 15         ngcon = 1

CL3 O3 0 10f
VDD 1 0 V1
Vin CK 0 PULSE (V2 V1 TD TR TF PW PER)
*.MEAS TRAN avgpow AVG POWER FROM=4n TO=14n
.TRAN 0.001nS 14nS UIC
.END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROPOSED Low Power True Single-phase Clock 2/3 Prescalers

.OPTION LIST NODE POST

.OP

.PARAM V1=1.2V V2=0V TD=0.01nS TR=0.01nS TF=0.01nS PW=0.48nS PER=0.97Ns

M1 2 Z1 1 1	PMOS	L=0.13u W=5u	
M2 X1 CK 2 2	PMOS	L=0.13u W=4u	
M3 X1 Z1 0 0	NMOS	L=0.13u W=2u	
M4 Y1 CK 1 1	PMOS	L=0.13u W=6u	
M5 Y1 X1 3 3	NMOS	L=0.13u W=4u	
M6 3 CK 0 0	NMOS	L=0.13u W=4u	
M7 Z1 Y1 1 1	PMOS	L=0.13u W=5u	
M8 Z1 CK 4 4	NMOS	L=0.13u W=3u	
M9 4 Y1 0 0	NMOS	L=0.13u W=2u	
M10 Y2 CK 1 1	PMOS	L=0.13u W=5u	
M11 Y2 X2 5 5	NMOS	L=0.13u W=3u	
M12 5 CK 0 0	NMOS	L=0.13u W=4u	
M13 Z2 Y2 1 1	PMOS	L=0.13u W=4u	
M14 Z2 CK 6 6	NMOS	L=0.13u W=3u	
M15 6 Y2 0 0	NMOS	L=0.13u W=4u	
M16 7 Z2 0 0	NMOS	L=0.13u W=3u	
MC1 X1 1 X2 X2	NMOS	L=0.13u W=4u	
MC2 Y1 1 7 7	NMOS	L=0.13u W=4u	
MI1 O2 Z1 1 1	PMOS	L=0.13u W=3u	
MI2 O2 Z1 0 0	NMOS	L=0.13u W=1u	
MI3 O3 7 1 1	PMOS	L=0.13u W=3u	
MI4 O3 7 0 0	NMOS	L=0.13u W=1u	
.model nmos nmos level = 54			
+version = 4.0	binunit = 1	paramchk= 1	mobmod = 0
+capmod = 2	igcmmod = 1	igbmod = 1	geomod = 1
+diomod = 1	rdsmod = 0	rbodymod = 1	rgatemod= 1
+permod = 1	acnqsmmod= 0	trnqsmmod= 0	
+tnom = 27	toxe = 2.25e-9	toxp = 1.6e-9	toxm = 2.25e-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+dtox = 0.65e-9	epsrox = 3.9	wint = 5e-9	lint = 10.5e-9
+ll = 0	wl = 0	lln = 1	wln = 1
+lw = 0	ww = 0	lwn = 1	wwn = 1
+lwl = 0	wwl = 0	xpart = 0	toxref = 2.25e-9
+xl = -60e-9			
+vth0 = 0.3782	k1 = 0.4	k2 = 0.01	k3 = 0
+k3b = 0	w0 = 2.5e-6	dvt0 = 1	dvt1 = 2
+dvt2 = -0.032	dvt0w = 0	dvt1w = 0	dvt2w = 0
+dsub = 0.1	minv = 0.05	voffl = 0	dvtp0 = 1.2e-10
+dvtp1 = 0.1	lpe0 = 0	lpeb = 0	xj = 3.92e-008
+ngate = 2e+020	ndep = 1.54e+018	nsd = 2e+020	phin = 0
+cdsc = 0.0002	cdscb = 0	cdscd = 0	cit = 0
+voff = -0.13	nfactor = 1.5	eta0 = 0.0092	etab = 0
+vfb = -0.55	u0 = 0.05928	ua = 6e-010	ub = 1.2e-018
+uc = 0	vsat = 100370	a0 = 1	ags = 1e-020
+a1 = 0	a2 = 1	b0 = 0	b1 = 0
+keta = 0.04	dwg = 0	dwb = 0	pclm = 0.06
+pdiblc1 = 0.001	pdiblc2 = 0.001	pdiblc3 = -0.005	dROUT = 0.5
+pvag = 1e-020	delta = 0.01	pscbe1 = 8.14e+8	pscbe2 = 1e-7
+fprout = 0.2	pdits = 0.08	pditsd = 0.23	pditsl = 2.3e+6
+rsh = 5	rdsW = 200	rsw = 100	rdw = 100
+rdsWmin = 0	rdWmin = 0	rswmin = 0	prwg = 0
+prwb = 6.8e-011	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8			
+aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002	
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.012	bigc = 0.0028
+cigc = 0.002	aigsd = 0.012	bigsd = 0.0028	cigsd = 0.002
+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 2.4e-010	cgdo = 2.4e-010	cgbo = 2.56e-011	cgdl = 2.653e-10
+cgsl = 2.653e-10	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+kt1 = -0.11      kt1l = 0          kt2 = 0.022      ute = -1.5
+ua1 = 4.31e-009  ub1 = 7.61e-018   uc1 = -5.6e-011  prt = 0
+at = 33000
+fnoimod = 1      tnoimod = 0
+jss = 0.0001     jsws  = 1e-011    jswgs = 1e-010   njs  = 1
+ijthsfwd= 0.01   ijthsrev= 0.001   bvs  = 10         xjbvs = 1
+jsd = 0.0001     jswd  = 1e-011    jswgd = 1e-010   njd  = 1
+ijthdfwd= 0.01   ijthdrev= 0.001   bvd  = 10         xjbvd = 1
+pbs = 1          cjs  = 0.0005     mjs  = 0.5        pbsws = 1
+cjsws = 5e-010   mjsws = 0.33      pbswgs = 1        cjswgs = 3e-010
+mjswgs = 0.33    pbd  = 1          cjd  = 0.0005     mjd  = 0.5
+pbswd = 1        cjswd = 5e-010    jswd = 0.33      pbswgd = 1
+cjswgd = 5e-010  mjswgd = 0.33     tpb  = 0.005      tcj  = 0.001
+tpbsw = 0.005    tcjsw = 0.001     tpbswg = 0.005    tcjswg = 0.001
+xtis  = 3        xtid  = 3
+dmcg  = 0e-006   dmci  = 0e-006    dmdg  = 0e-006    dmcgt = 0e-007
+dwj   = 0.0e-008  xgw   = 0e-007    xgl   = 0e-008
+rshg  = 0.4      gbmin  = 1e-010   rbpb  = 5         rbpd  = 15
+rbps  = 15      rbdb  = 15       rbsb  = 15        ngcon = 1

.model pmos pmos level = 54
+version = 4.0    binunit = 1      paramchk= 1      mobmod = 0
+capmod = 2      igcmmod = 1     igbmod = 1       geomod = 1
+diomod = 1     rdsmod = 0      rbodymod= 1     rgatemod= 1
+permod = 1     acnqsmod= 0    trnqsmod= 0
+tnom  = 27     toxe  = 2.35e-009  toxp = 1.6e-009  toxm = 2.35e-9
+dtox  = 0.75e-9  epsrox = 3.9     wint  = 5e-009   lint  = 10.5e-9
+ll    = 0       wl    = 0        lln   = 1         wln   = 1
+lw    = 0       ww    = 0        lwn   = 1         wwn   = 1
+lwL   = 0       wwL   = 0        xpart = 0         toxref = 2.35e-9
+xl    = -60e-9
+vth0  = -0.321   k1    = 0.4      k2    = -0.01     k3    = 0
+k3b   = 0       w0    = 2.5e-006  dvt0  = 1         dvt1  = 2
+dvt2  = -0.032   dvt0w = 0        dvt1w = 0         dvt2w = 0

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+dsub = 0.1	minv = 0.05	voffl = 0	dvtp0 = 1e-009
+dvtp1 = 0.05	lpe0 = 0	lpeb = 0	xj = 3.92e-008
+ngate = 2e+020	ndep = 1.14e+018	nsd = 2e+020	phin = 0
+cdsc = 0.000258	cdscb = 0	cdscd = 6.1e-008	cit = 0
+voff = -0.126	nfactor = 1.5	eta0 = 0.0092	etab = 0
+vfb = 0.55	u0 = 0.00835	ua = 2.0e-009	ub = 0.5e-018
+uc = -3e-011	vsat = 70000	a0 = 1.0	ags = 1e-020
+a1 = 0	a2 = 1	b0 = -1e-020	b1 = 0
+keta = -0.047	dwg = 0	dwb = 0	pclm = 0.12
+pdiblc1 = 0.001	pdiblc2 = 0.001	pdiblc3 = 3.4e-8	drout = 0.56
+pvag = 1e-020	delta = 0.01	pscbe1 = 8.14e+8	pscbe2 = 9.58e-7
+fprout = 0.2	pdits = 0.08	pditsd = 0.23	pditsl = 2.3e+6
+rsh = 5	rds = 240	rsw = 120	rdw = 120
+rdsmin = 0	rdwmin = 0	rswmin = 0	prwg = 3.22e-8
+prwb = 6.8e-011	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8			
+aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002	
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.69	bigc = 0.0012
+cigc = 0.0008	aigsd = 0.0087	bigsd = 0.0012	cigsd = 0.0008
+nigc = 1	poxedg = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 2.4e-010	cgdo = 2.4e-010	cgbo = 2.56e-011	cgdl = 2.653e-10
+cgsl = 2.653e-10	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.11	kt1l = 0	kt2 = 0.022	ute = -1.5
+ua1 = 4.31e-9	ub1 = 7.61e-018	uc1 = -5.6e-011	prr = 0
+at = 33000			
+fnoimod = 1	tnoimod = 0		
+jss = 0.0001	jsws = 1e-011	jswgs = 1e-010	njs = 1
+ijthsfwd = 0.01	ijthsrev = 0.001	bvs = 10	xjbvs = 1
+jsd = 0.0001	jswd = 1e-011	jswgd = 1e-010	njd = 1
+ijthdfwd = 0.01	ijthdrev = 0.001	bvd = 10	xjbvd = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+pbs = 1          cjs = 0.0005      mjs = 0.5        pbsws = 1
+cjsws = 5e-010  mjsws = 0.33      pbswgs = 1      cjswgs = 3e-010
+mjswgs = 0.33   pbd = 1           cjd = 0.0005    mjd = 0.5
+pbswd = 1       cjswd = 5e-010   mjswd = 0.33    pbswgd = 1
+cjswgd = 5e-010 mjswgd = 0.33    tpb = 0.005     tcj = 0.001
+tpbsw = 0.005   tcjsw = 0.001    tpbswg = 0.005  tcjswg = 0.001
+xtis = 3        xtid = 3
+dmcg = 0e-6     dmci = 0e-006    dmdg = 0e-006   dmcgt = 0e-007
+dwj = 0.0e-8    xgw = 0e-007     xgl = 0e-008
+rshg = 0.4      gbmin = 1e-010   rbpb = 5         rbpd = 15
+rbps = 15       rbdb = 15        rbsb = 15       ngcon = 1

```

```
CL3 O3 0 10f
```

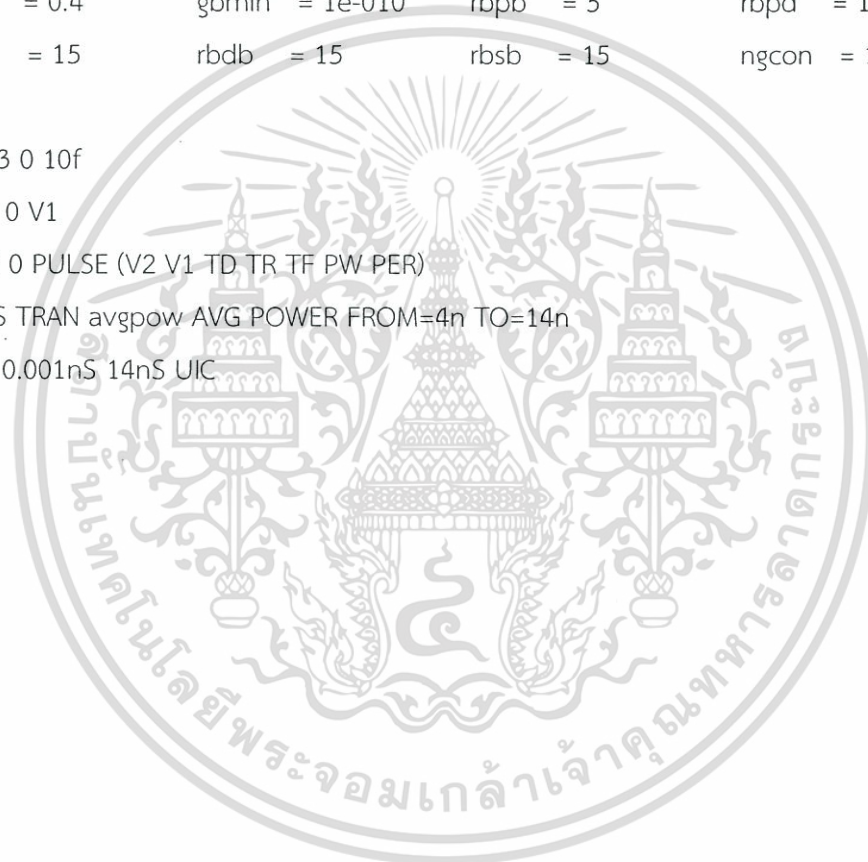
```
VDD 1 0 V1
```

```
Vin CK 0 PULSE (V2 V1 TD TR TF PW PER)
```

```
*.MEAS TRAN avgpow AVG POWER FROM=4n TO=14n
```

```
.TRAN 0.001nS 14nS UIC
```

```
.END
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

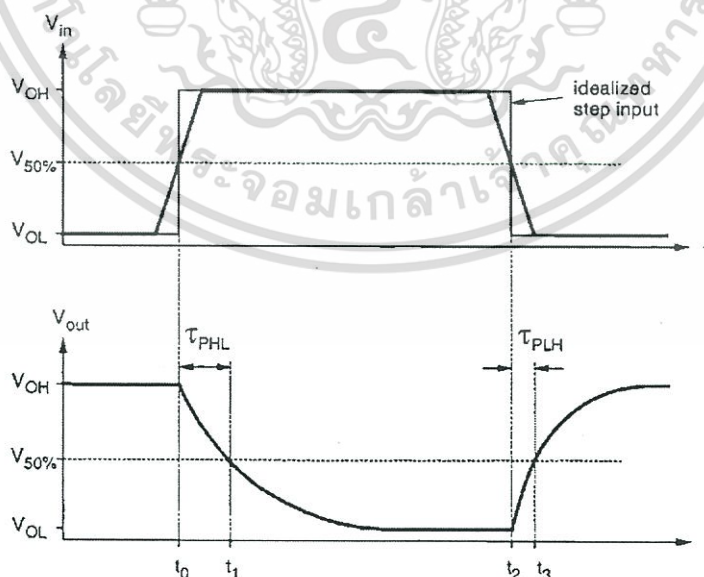
การหาค่าหน่วยเวลาและกำลังที่สูญเสียของวงจรถ

ค.1 การหาค่าหน่วยเวลา

วิธีการหาค่าหน่วยเวลาที่ใช้กันอย่างแพร่หลาย คือรูปคลื่นสัญญาณทางด้านอินพุตและเอาต์พุตของวงจรถอินเวอร์เตอร์ ดังแสดงในรูปที่ ค.1 การหาค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} เป็นค่าหน่วยเวลาที่เปรียบเทียบระหว่างสัญญาณทางด้านอินพุตและเอาต์พุตที่สภาวะเปลี่ยนแปลงจาก High เป็น Low และ Low เป็น High ตามลำดับ โดยมีนิยามดังนี้ τ_{PHL} เป็นค่าหน่วยเวลาเปรียบเทียบระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาขึ้นทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาลงทางเอาต์พุต เหมือนกันกับ τ_{PLH} เป็นนิยามค่าหน่วยเวลาเปรียบเทียบระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาลงทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาขึ้นทางเอาต์พุต

เพื่อให้ง่ายขึ้นแก่การวิเคราะห์และเขียนสมการค่าการหน่วยเวลา สัญญาณรูปคลื่นทางอินพุตจะถูกสมมติเป็นรูปคลื่นสี่เหลี่ยม ทางทฤษฎีมีค่าหน่วยเวลาขาขึ้นและขาลงเป็นศูนย์ ภายใต้ข้อสมมติฐาน τ_{PHL} เป็นค่าหน่วยเวลาที่ได้จากแรงดันทางเอาต์พุตที่ลดลงจาก V_{OH} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงขาขึ้นของสัญญาณอินพุต และ τ_{PLH} เป็นค่าหน่วยเวลาที่ได้จากแรงดันทางเอาต์พุตที่เริ่มเพิ่มขึ้นจาก V_{OL} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงขาลงของสัญญาณอินพุต จากนั้นสามารถเขียนสมการของค่าแรงดันที่จุด $V_{50\%}$ ได้ดังนี้

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \quad (\text{ค.1})$$



รูปที่ ค.1 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรถอินเวอร์เตอร์ และนิยามค่าหน่วยเวลาต่างๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี

ดังนั้นค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} จากรูปที่ ค.1 แสดงได้ดังนี้

$$\begin{aligned}\tau_{PHL} &= t_1 - t_0 \\ \tau_{PLH} &= t_3 - t_2\end{aligned}\quad (ค.2)$$

วิธีการคำนวณค่า τ_{PHL} และ τ_{PLH} นั้น จะใช้การประมาณค่าเฉลี่ยกระแสของตัวเก็บประจุ ในขณะที่เก็บประจุและคายประจุ โดยถ้าให้กระแสเฉลี่ยเป็นค่าคงที่ จะได้ดังนี้

$$\tau_{PHL} = \frac{C_{load} \cdot \Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load} \cdot (V_{OH} - V_{50\%})}{I_{avg,HL}} \quad (ค.3)$$

$$\tau_{PLH} = \frac{C_{load} \cdot \Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load} \cdot (V_{50\%} - V_{OL})}{I_{avg,LH}} \quad (ค.4)$$

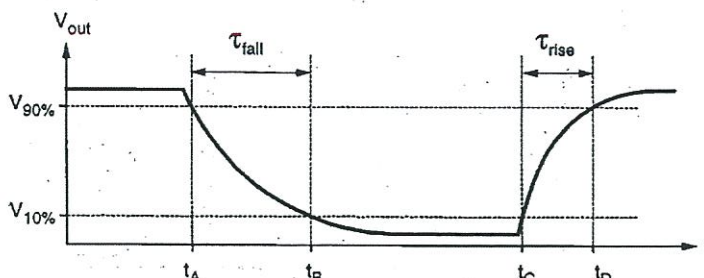
และค่าเฉลี่ยของค่าหน่วยเวลา (Propagation Delay Time) τ_p สำหรับสัญญาณทางอินพุตโดยผ่านวงจรรีเลย์อินเวอร์เตอร์จะได้ดังสมการ

$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (ค.5)$$

ในรูปที่ ค.2 เป็นการให้นิยามค่าหน่วยเวลาทั้งทางขาลงและทางขาขึ้นของแรงดันทางเอาต์พุต ซึ่งค่าหน่วยเวลาขาขึ้น τ_{rise} เป็นช่วงเวลาของแรงดันทางอินพุตที่เพิ่มจากระดับแรงดันทางเอาต์พุตที่ระดับแรงดันตั้งแต่ $V_{10\%}$ จนถึงระดับแรงดัน $V_{90\%}$ เหมือนกันกับค่าหน่วยเวลาขาลง τ_{fall} เป็นช่วงเวลาของแรงดันทางเอาต์พุตที่ลดลงจากระดับ $V_{90\%}$ จนถึงระดับแรงดัน $V_{10\%}$ และระดับแรงดัน $V_{10\%}$ และ $V_{90\%}$ มีสมการดังนี้

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \quad (ค.6)$$

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \quad (ค.7)$$



รูปที่ ค.2 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต

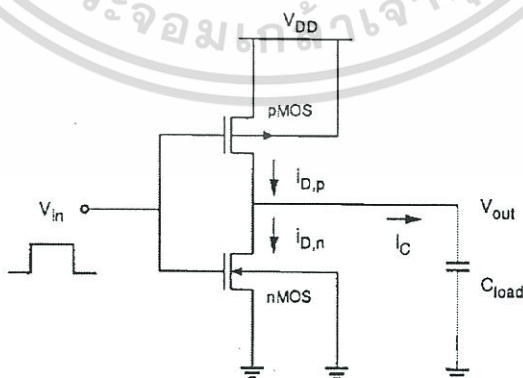
ดังนั้นช่วงขาลงและขาขึ้นของแรงดันเอาต์พุตสามารถหาได้จากรูปที่ ค.2 ดังนี้

$$\begin{aligned} \tau_{rise} &= t_B - t_A \\ \tau_{fall} &= t_D - t_C \end{aligned} \tag{ค.8}$$

หมายเหตุ : สามารถใช้นิยามเกี่ยวกับค่าช่วงเวลาในระดับ 20% และ 80% ก็ได้

ค.2 การหาค่ากำลังงานที่สูญเสีย

ในวงจรซีมอสจะแบ่งกำลังงานที่สูญเสียออกเป็น 2 ชนิดคือ Static Power Dissipation และ แบบ Dynamic Power Dissipation ซึ่ง Static Power Dissipation หรือ DC Power dissipation จะเกิดขึ้นเมื่อวงจรซีมอสอินเวอร์เตอร์ทำงานในช่วง Steady-State ($V_{out} = V_{OH}$) และ ($V_{out} = V_{OL}$) แต่วงจรซีมอสจะไม่ดึงกระแสจากแหล่งจ่ายไฟเลี้ยง ดังนั้นค่า DC Power Dissipation จึงไม่จำเป็นต้องคำนึงถึงเพราะมันมีค่าน้อยมากๆ ส่วนค่า Dynamic Power Dissipation ในวงจรซีมอสอินเวอร์เตอร์เกิดขึ้นในระหว่างสภาวะการสวิตช์ของโหลดคาปาซิเตอร์ทางเอาต์พุตในการเก็บประจุและคายประจุ



รูปที่ ค.3 วงจรซีมอสอินเวอร์เตอร์ ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาวงจรซีมอสอินเวอร์เตอร์ในรูปที่ ค.3 สมมติแรงดันทางอินพุตเป็นรูปสี่เหลี่ยม ในทางทฤษฎี โดยที่ไม่คำนึงถึงค่าหนึ่งช่วงเวลาทั้งขาขึ้นและขาลง โดยทั่วไปรูปสัญญาณทางด้านอินพุต และเอาต์พุตและรูปคลื่นกระแสของโหลดคาปาซิแตนซ์ ที่แสดงในรูปที่ ค.3 เมื่อแรงดันทางด้าน อินพุตสวิตช์จาก Low เป็น High พีมอสทรานซิสเตอร์ ในวงจรจะไม่ทำงานแต่เอ็น มอสทรานซิสเตอร์จะเริ่มนำกระแสในระหว่างเฟสนี้ โหลดคาปาซิแตนซ์ C_{load} จะคายประจุโดยผ่าน เอ็นมอสทรานซิสเตอร์ ดังนั้นกระแสโหลดคาปาซิแตนซ์จึงเท่ากับกระแสเดรนของเอ็น มอสทรานซิสเตอร์ เมื่อแรงดันทางด้านอินพุตสวิตช์จาก High ไป Low เอ็นมอสทรานซิสเตอร์จะ หยุดทำงาน แต่พีมอสทรานซิสเตอร์จะเริ่มนำกระแส ในระหว่างเฟสนี้ โหลดคาปาซิแตนซ์ C_{load} ก็ เริ่มเก็บประจุโดยผ่านพีมอสทรานซิสเตอร์ ดังนั้นกระแสของโหลดคาปาซิเตอร์เท่ากับกระแสเดรน ของพีมอสทรานซิสเตอร์

สมมติว่า t เป็นคาบเวลาหนึ่งคาบของรูปสี่เหลี่ยมสัญญาณทางอินพุตและเอาต์พุต ดังนั้น ค่าเฉลี่ย Power Dissipation ของวงจรในหนึ่งคาบเวลาสามารถหาได้ดังนี้

$$P_{avg} = \frac{1}{T} \int_0^T V(t)i(t)dt \quad (ค.9)$$

โดยที่

T คือ ช่วงเวลาหนึ่งคาบของสัญญาณนาฬิกา

t คือ ช่วงเวลาหนึ่งคาบของสัญญาณทางอินพุตและเอาต์พุต

V คือ แรงดัน

I คือ กระแส

ในระหว่างที่มอสทรานซิสเตอร์ทำการสวิตช์นั้นทั้งเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ในวงจรซีมอสอินเวอร์เตอร์จะนำกระแสทุกๆครั้งหนึ่งของคาบเวลา ดังนั้นค่าเฉลี่ย Power Dissipation ของวงจรซีมอสอินเวอร์เตอร์ สามารถคำนวณหาค่า Power ที่ต้องการได้จากการเก็บประจุและคายประจุของโหลดคาปาซิเตอร์

$$P_{avg} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} V_{out} - \left(C_{load} \frac{dV_{out}}{dt} \right) dt + \int_{\frac{T}{2}}^T (V_{DD} - V_{out}) \left(C_{load} \frac{dV_{out}}{dt} \right) dt \right] \quad (ค.10)$$

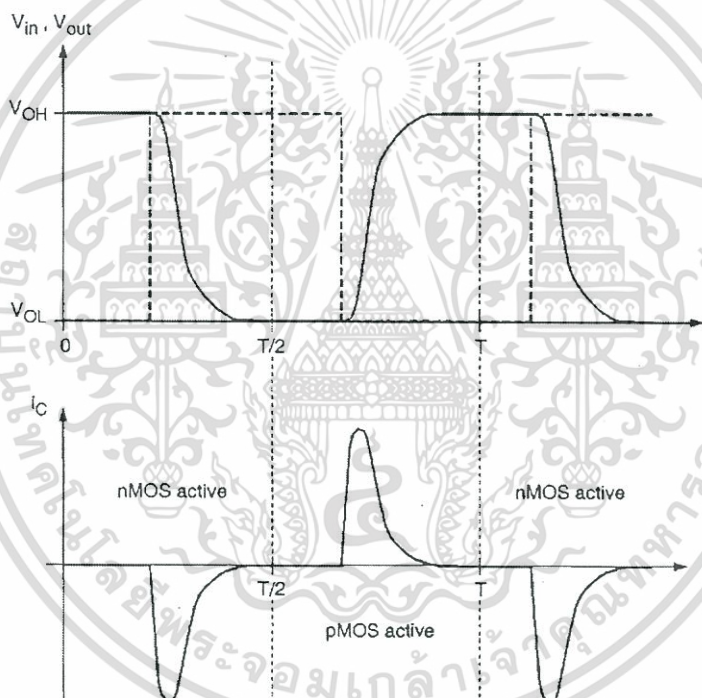
เมื่อนำสมการที่ ค.10 มาคำนวณ จะได้

$$P_{avg} = \frac{1}{T} \left[\left(-C_{load} \frac{V_{out}^2}{2} \right) \Big|_0^{T/2} + \left(V_{DD} V_{out} C_{load} - \frac{1}{2} C_{load} V_{out}^2 \right) \Big|_{T/2}^T \right] \quad (\text{ค.11})$$

$$P_{avg} = \frac{1}{T} C_{load} V_{DD}^2 \quad (\text{ค.12})$$

ซึ่ง $f = \frac{1}{T}$ ดังนั้นสามารถเขียนสมการได้เป็น

$$P_{avg} = C_{load} V_{DD}^2 f \quad (\text{ค.13})$$

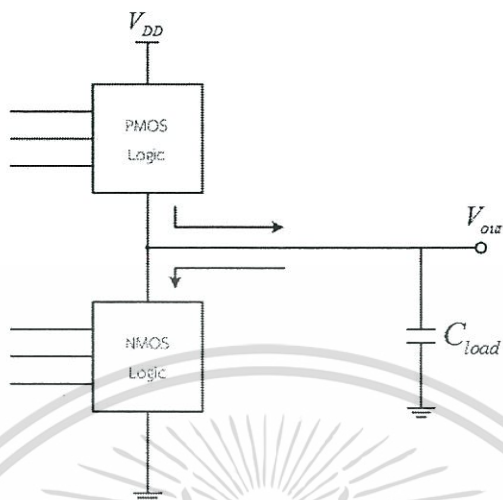


รูปที่ ค.4 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรมอสอินเวอร์เตอร์

ค่าเฉลี่ยกำลังงานที่สูญเสียของวงจรมอสอินเวอร์เตอร์ในสมการที่ ค.13 จะมีองค์ประกอบของกำลังงานที่จะต้องสูญเสียไปในขั้นตอนของการสวิตช์ที่ตัวเก็บประจุทางด้านเอาต์พุตจากค่า V_{OL} ไปหาค่า V_{OH} ตลอดจนแรงดันกับความถี่ที่ทำงานอยู่ในขณะนั้น และถ้าพิจารณาที่ความถี่ในการทำงาน (f) ก็จะเห็นว่าเป็นอัตราส่วนกับความถี่ในการสวิตช์ (f) เพราะฉะนั้นข้อดีของวงจรมอสที่ใช้กำลังงานต่ำในการทำงาน จึงเป็นจุดเด่นในการนำไปใช้งานทางด้านความเร็วสูง ซึ่งส่วนมากแล้ววงจรมอสทางด้านความเร็วสูงก็ต้องใช้ความถี่ในการสวิตช์ที่สูงด้วย และนอกเหนือจากที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวมาแล้ว ค่าเฉลี่ย Power Dissipation จะขึ้นอยู่กับลักษณะและขนาดของทรานซิสเตอร์ตลอดจนค่าหนึ่งเวลาในระหว่างการสวิตช์ที่จะเกิดขึ้นในวงจรด้วย



รูปที่ ค.5 วงจรซีมอส Logic โดยทั่วไป

จากสมการกำลังงานที่เกิดจากการสวิตช์ของวงจรซีมอสอินเวอร์เตอร์ เราสามารถแสดงให้เห็นในรูปแบบของวงจรซีมอสลอจิก โดยทั่วไปได้ดังในรูปที่ ค.5 ซึ่งวงจรซีมอสลอจิก (CMOS Logic) จะประกอบด้วย NMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับกราวด์และ PMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับแรงดันไฟเลี้ยง V_{DD}

ในกรณีวงจรซีมอสอินเวอร์เตอร์ทั่วไปนั้น ทั้งส่วน PMOS Block หรือ NMOS Block สามารถนำกระแสโดยขึ้นอยู่กับสัญญาณทางอินพุต แต่ไม่ใช่ในเวลาเดียวกัน ดังนั้นกำลังงานที่สูญเสียที่เกิดจากการสวิตช์ เป็นการสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์ทางเอาต์พุต

ดังนั้น ถ้าค่าคาปาซิเตอร์ทั้งหมดที่อยู่ภายในวงจรมีค่ามากที่โหนดเอาต์พุต จะทำให้เกิดผลกระทบกับประสิทธิภาพโดยรวมของวงจรด้วย ถ้าแรงดันเอาต์พุตแกว่งในช่วง 0 ถึง V_{DD} และถ้ารูปคลื่นสัญญาณอินพุตเป็นรูปคลื่นสี่เหลี่ยม ในทางทฤษฎีค่าเฉลี่ยของ Switching Power Dissipation สามารถแสดงได้ในสมการที่ ค.13 จะใช้ได้ในทุกๆวงจรซีมอสลอจิก

ภายใต้เงื่อนไขที่เป็นจริงเมื่อรูปคลื่นสัญญาณทางอินพุต Step Input ไม่เป็นอย่างทฤษฎีและค่าหนึ่งเวลาทั้งขาขึ้นและขาลงไม่เป็น 0 สำหรับตัวอย่างเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์จะนำกระแสพร้อมกัน ซึ่งเป็นผลรวมของกระแสที่เกิดขึ้นระหว่างการสวิตช์นี้เรียกว่า กระแสลัดวงจร ซึ่งในกรณีทรานซิสเตอร์ จะนำกระแสจากไฟเลี้ยง V_{DD} ไปหากกราวด์ ดังนั้นค่ากำลังงานที่สูญเสียที่เกิดขึ้นในเวลาที่ยังจร Short Circuit ไม่สามารถคำนวณได้ตามสมการที่ ค.13 ได้ ซึ่งกระแสที่เกิดจากการ Short Circuit ไม่ทำให้เกิดการเก็บประจุหรือคายประจุของคาปาซิเตอร์ทางเอาต์พุต จึงจำเป็นต้องรู้ค่ากำลังงานที่สูญเสียในส่วนนี้ด้วย เพราะจะสามารถอธิบายลักษณะที่ไม่เป็นไปตามเงื่อนไขทางทฤษฎี ถ้าโหลดคาปาซิเตอร์มีค่ามากขึ้น ในทางตรงกันข้ามค่า

กำลังงานที่สูญเสียที่เกิดจากการ Short Circuit นี้ไม่จำเป็นต้องคำนึงถึง เพราะจะมีค่าน้อยมากๆ ถ้าเปรียบเทียบกับกำลังงานที่สูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์

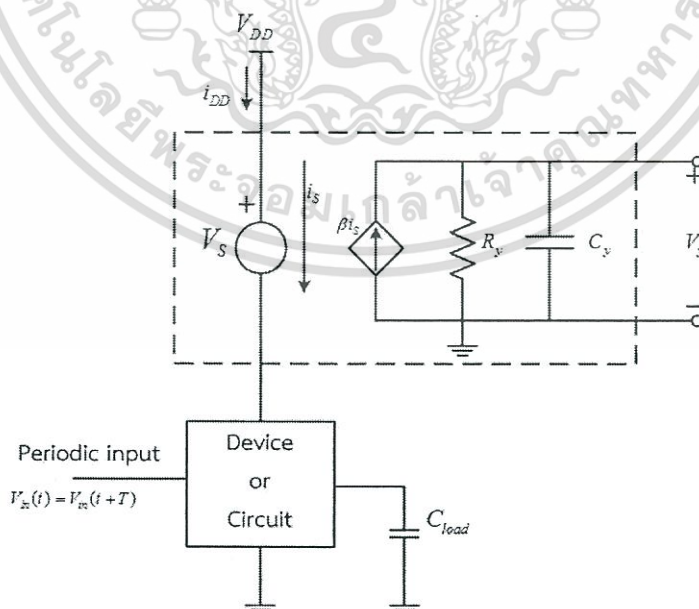
การจำลองวิธีการวัดกำลังงานที่สูญเสียของวงจร

การจำลองการทำงานของวงจร เพื่อหาค่าเฉลี่ยกำลังงานที่สูญเสีย ภายใต้เงื่อนไขการทำงานจริง อ้างอิงตามสมการที่ ค.13 ค่ากำลังงานที่สูญเสียของทุกอุปกรณ์หรือวงจรที่ป้อนด้วยรูปคลื่นสัญญาณอินพุตสามารถหาได้จากแรงดันตามเวลา t และกระแสตามเวลา t ที่อยู่ในหนึ่งช่วงรูปคลื่นสัญญาณ ถ้าเราจำต้องหาค่าเฉลี่ย P_{avg} ที่ดึงจากแหล่งจ่ายไฟเลี้ยงที่เป็นค่าคงที่

การใช้รูปแบบการจำลองการทำงาน [1] ที่เรียกว่า Power Meter เราสามารถแสดงค่ากำลังงานที่สูญเสียเฉลี่ยของอุปกรณ์หรือวงจรที่เรากำหนดเองที่มีสัญญาณอินพุต 1 คาบเวลา ด้วยวิธี Transient Circuit เพื่อจำลองการทำงาน โดยพิจารณาตามโครงสร้างดังแสดงในรูปที่ xx ซึ่งในที่นี้แรงดัน Zero-Volt ไม่ขึ้นกับแหล่งจ่ายที่ถูกต่ออนุกรมเข้ากับแหล่งจ่ายไฟเลี้ยง V_{DD} ของอุปกรณ์ เพราะฉะนั้นกระแสจากแรงดันแหล่งจ่ายไฟที่เปลี่ยนแปลงตามเวลา $i_{DD}(t)$ จะเป็นการดึงกระแสจากวงจรโดยผ่านแหล่งจ่าย Zero-Volt จึงมีค่า $i_s(t) = i_{DD}(t)$

วิธีการวัดกำลังงานของวงจรประกอบด้วย 3 ส่วนคือ กระแสควบคุมแหล่งจ่ายกระแสที่เป็นแบบเส้นตรง คาปาซิเตอร์และตัวต้านทาน ทั้งหมดถูกต่อขนานกัน สมการกระแสสำหรับจุดรวมของวงจรที่ใช้ในการวัดกำลังงานสามารถเขียนได้ดังนี้

$$C_y \frac{dV_y}{dt} = \beta i_s - \frac{V_y}{R_y} \quad (\text{ค.14})$$



รูปที่ ค.6 วงจรวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขเริ่มต้นของจุดวัตต์แรงดัน V_y จะถูกตั้งไว้ที่ $V_y(0) = 0$ จากนั้นก็สามารถหาค่า $V_y(t)$ ตามค่าเวลาด้วยการ Integrate สมการที่ ค.15

$$V_y(t) = \frac{\beta}{V_y} \int_0^t e^{-\frac{1}{R_y C_y}(t-\tau)} i_{DD}(\tau) d\tau \quad (\text{ค.16})$$

สมมติว่า $R_y C_y \gg T$ ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งช่วงคาบเวลา สามารถที่จะประมาณค่าได้ดังนี้

$$V_y(T) = \frac{\beta}{C_y} \int_0^T i_{DD}(\tau) d\tau \quad (\text{ค.17})$$

ถ้าค่าสัมประสิทธิ์คงที่ แหล่งจ่ายกระแสควบคุมจะสามารถควบคุมการจ่ายกระแสได้ดังนี้

$$\beta = V_{DD} \frac{C_y}{T} \quad (\text{ค.18})$$

ค่าแรงดัน $V_y(t)$ ที่จุดสิ้นสุดของ 1 คาบเวลาจะหาค่า Transient จำลองการทำงานได้ดังนี้

$$V_y(t) = V_{DD} \frac{1}{T} \int_0^T i_{DD}(\tau) d\tau \quad (\text{ค.19})$$

จากสมการที่ ค.18 ทางด้านขวาเป็นผลของค่ากำลังงานเฉลี่ยที่ดึงจากแหล่งจ่ายไฟเลี้ยงใน 1 คาบเวลา ดังนั้นค่าแรงดันโหนด $V_y(T)$ ที่ $t = T$ เป็นค่ากำลังงานที่สูญเสียเฉลี่ยของวงจรวิธีการวัดกำลังงาน แสดงในรูปที่ ค.6 สามารถนำมาใช้ในการจำลองการทำงานของวงจรทั่วไปได้ด้วย โปรแกรมการจำลองการทำงาน เช่น HSpice หรือ PSpice และเพื่อประเมินค่ากำลังงานที่สูญเสียของวงจรที่มีความซับซ้อนให้ได้อย่างแม่นยำ อีกส่วนหนึ่งที่ต้องให้ความสำคัญคือ วงจรวิธีวัดค่ากำลังงานจะต้องนำเอาผลลัพธ์มารวมกับค่ากำลังงานที่สูญเสียที่เกิดจากกระแส Short Circuit ที่เกิดขึ้นด้วย ซึ่งมันจะเกิดขึ้นเมื่อสัญญาณทางอินพุตไม่เป็นไปตามทฤษฎี

ภาคผนวก ง.

ผลงานทางวิชาการที่ได้รับการตีพิมพ์

อภิรักษ์ ทัดสอน และ สิริภพ ตู้ประกาย “วงจรรหาความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก” วิศวกรรมลาดกระบัง ปีที่ 29 ฉบับที่ 3 กันยายน 2555



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วิศวกรรมลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang

ปีที่ 29 ฉบับที่ 3

กันยายน 2555

บทความวิชาการ

- 1. เทคโนโลยีการประยุกต์พลังงานสำหรับเรือ 1
ยอศราย เทียนเนิน
- 2. Membrane Application as an Advanced Wastewater Treatment 7
Maneerat Tiranuntakul
- 3. Importance of Extracellular Polymeric Substances on Fouling in Membrane Bioreactor 13
Maneerat Tiranuntakul

บทความวิจัย

- 4. จรรยาบรรณที่ดี 2/3 โดยใช้กำลังงานต่ำแบบทรูจิงเกิลฟลอคลือก 19
อภิรักษ์ หัตถสอน สิริภาพ สุวีระภาว
- 5. เพรทเมทที่ปรับเปลี่ยนได้และการเลือกเฟรมอัดในมิติภายในบัพเพอร์บนเครื่องแม่ข่ายสำหรับ 25
ผลานตู้ดีไอ *กฤษณิ์ณิก ศรีอินสาร สุวิพัชร์ สิทธิชีวภาค*
- 6. การวิเคราะห์ปัจจัยที่มีผลต่อค่าสีในระบบการวัดคุณภาพน้ำโดยใช้ภาพถ่าย 31
ศิยาภรณ์ มาตย์วิเศษ ชุมพล ชวงโย
- 7. โปรแกรมตรวจสอบและวิเคราะห์ลักษณะของซีรฟเวอร์ซิลิโคน 37
พรชฎา นักรบ อุดิพนธ์ ศรีธรรมิกุล ภักทพงศ์ ชิงชัย
- 8. การพัฒนาฟิล์มอิงค์ออกไซด์เจือโบรมโดยวิธี MOCVD เพื่อประยุกต์ใช้ในเซลล์แสงอาทิตย์ 43
ชนิดฟิล์มบางซิลิคอน *ปฏิภาณ กฤษณาค ศศิวัฒน์ ทรงไธโร ทวีวัฒน์ อระจ่างสังข์ อมรรัตน์ สัมมนิ*
จริญ ศรีธรรมาธิคุณ กอบศักดิ์ ศรีประภา
- 9. การเพิ่มพลังงานไฟฟ้าของแผงเซลล์แสงอาทิตย์ ชนิด อะมอร์ฟัส/ไมโครคริสตัลไลน์ซิลิคอน 49
ด้วยการลดอุณหภูมิแผงในสภาพทดสอบกลางแจ้ง *ทรงเกียรติ กิตติสนธิรักษ์ วิษิต แสงสุวรรณ จริญ ศรีธรรมาธิคุณ อมรรัตน์ สัมมนิ*
กอบศักดิ์ ศรีประภา
- 10. การเปลี่ยนแปลงของระดับน้ำทะเลในประเทศไทย 55
กิตติพันธ์ พงษ์พิชิตกร สมปราชญ์กุล อุดิพนธ์
- 11. การเตรียมคาร์บอนแอโรเจลไมโครสเฟียร์โดยการเจืออิมัลชันผ่านการจัดอย่างง่าย 61
กรนิศ คงเจริญ จันทวัฒน์ ไชยชนวงค์ สุรัตน์ อารีรัตน์
- 12. การเร่งปฏิกิริยาเอสเทอร์ฟิเคชันกรดไขมันปาล์มกับเอทานอลโดยซัลเฟต-เซอร์โคเนียที่ผ่านการ 67
การปรับสมบัติ *รัตนากร ยางสวัสดิ์ ชยกร บวรชนยศ สุรางคนา ฉายชวงษ์ สุภวรรณ นิยะ*
ดวงกมล ณ ระนอง
- 13. Effects of Temperature on Properties of Synthesized CNIs Using Ni Without Supporter 73
Chatchawan Sookman

<http://www.kmitl.ac.th/iej>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรหารความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก

Low-Power True Single-phase Clock 2/3 Prescalers

อภิรักษ์ ทัดสอน ศิริภพ ผู้ประกาย

สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรรหารความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก ที่แรงดันแหล่งจ่าย 1.2 V โดยใช้เทคนิคการหารความถี่แบบทรูซิงเกิลเฟสคล็อกทำให้วงจรรู้กำลังงานต่ำและความเร็วสูง ผลการจำลองการทำงานด้วยโปรแกรม HSpice โดยใช้เทคโนโลยี CMOS 0.13 μm ซึ่งกำลังงานที่ใช้ในวงจรถ้าได้นำเสนอนี้จะมีประสิทธิภาพมากกว่าวงจรถ้าได้นำเสนอมาก่อนนี้ และวงจรรหารความถี่สามารถทำงานได้ตั้งแต่ 0.5 ถึง 9.7 GHz

คำสำคัญ : ซีมอส วงจรรหาร วงจรทรูซิงเกิลเฟสคล็อก กำลังงานต่ำ

Abstract

This paper presents low-power true single-phase clock 2/3 prescalers at 1.2 V supply voltage. The true-single-phase clock divider is developed to help achieve low power and high-speed performance. All simulation results have been carried out by using HSpice program simulator based on 0.13 μm CMOS technology. The power consumption of the proposed circuit is more efficiency than the previous circuits. The prescaler is capable of operating from 0.5 to 9.7 GHz.

Keywords : CMOS, divider circuit, true single phase clock circuit (TSPC), low power

1. บทนำ

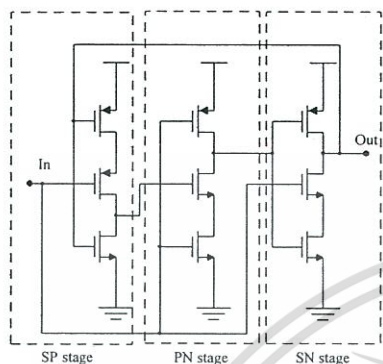
วงจรรหารความถี่เป็นวงจรถ้าสำคัญในการสังเคราะห์ความถี่ (frequency synthesis) [1] ซึ่งในปัจจุบันมีความต้องการให้วงจรรู้สามารถทำงานได้เร็วขึ้น จึงเป็นสิ่งที่ท้าทายในการออกแบบวงจรรหารความถี่ให้ทำงานได้ในความถี่ที่สูงขึ้นและใช้กำลังงานที่ต่ำ วงจรรหารความถี่มีหลายรูปแบบด้วยกัน เช่น วงจรแบบ current-mode logic (CML) [2], วงจรแบบทรูซิงเกิลเฟสคล็อก (TSPC) [3] และแบบ extended TSPC (E-TSPC) [4] ซึ่งวงจรรู้แบบ CML นั้นทำงานได้ในความถี่สูงแต่มีกำลังงานที่สูญเสียมาก ส่วนวงจรรู้แบบ TSPC จะใช้กำลังงานต่ำแต่ทำงานได้ในความถี่ต่ำไปด้วย และวงจรรู้แบบ E-TSPC จะเหมือนกับ

วงจรรู้แบบ TSPC แต่จะมีความแตกต่างที่วงจรรู้ E-TSPC ใช้ทรานซิสเตอร์น้อยกว่าหนึ่งตัวในแต่ละส่วน แต่วงจรรู้ที่นำเสนอจะพิจารณาที่วงจรรู้แบบ TSPC ก่อนเนื่องจากความง่ายในการออกแบบ และการใช้กำลังงานต่ำให้สามารถทำงานได้ในความถี่ที่สูงขึ้นได้

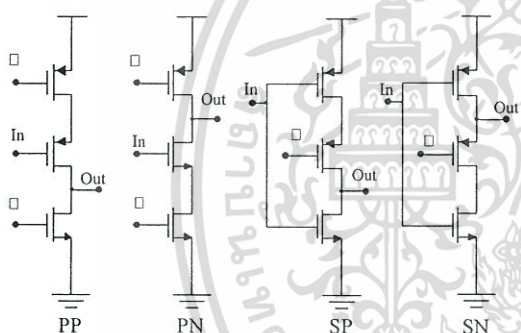
วงจรรหารความถี่ซิมอสแบบ TSPC แสดงในรูปที่ 1 ซึ่งรูปแบบของวงจรรหารความถี่ TSPC เรียกว่า positive triggered D flip-flop และมีวงจรรู้พื้นฐานของวงจรรู้ TSPC [5] อยู่ด้วยกัน 4 แบบคือ แบบพรีชาจพี (PP) แบบ พรีชาจเอ็น (PN) นีออน พรีชาจพี (SP) และนีออนพรีชาจเอ็น (SN) ซึ่งแสดงในรูปที่ 2 โดยสามารถนำแต่ละวงจรรู้มารวมกันเพื่อต่อเป็นวงจรรหารได้ โดยนำส่วนของ SP+PN+SN มา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รวมกันได้วงจร TSPC D flip-flop โดยสัญญาณอินพุตจะเปลี่ยนตามสัญญาณนาฬิกาโดยในส่วน SP-สแตจ ซึ่งจะเริ่มทำงานเมื่ออินพุตมีค่าระดับสัญญาณเป็น 0 และ SN-สแตจ จะเริ่มทำงานเมื่ออินพุตมีค่าระดับสัญญาณเป็น 1 และส่วนของ PN-สแตจ จะทำงานเมื่ออินพุตมีระดับสัญญาณเป็น 1



รูปที่ 1 วงจรหารความถี่ซิมอสแบบ TSPC



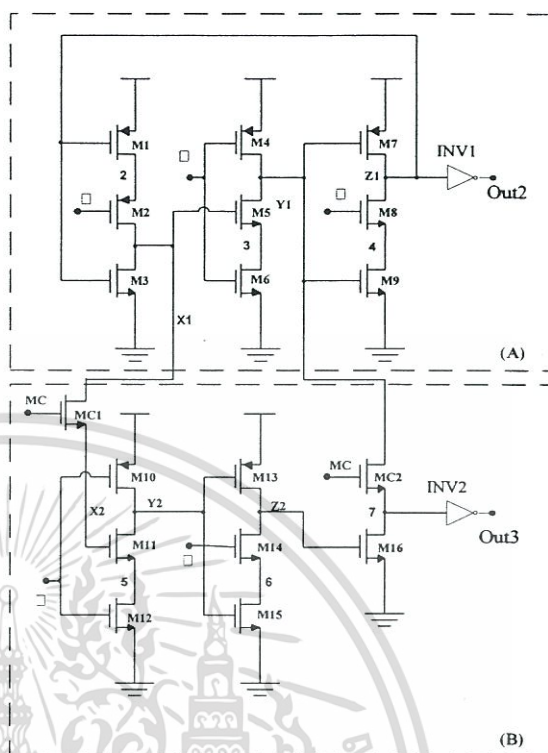
รูปที่ 2 วงจรพื้นฐานของวงจร TSPC

เมื่อออกแบบและจำลองการทำงานด้วย โปรแกรม HSpice ผลการจำลองการทำงานของวงจรทำให้เอาต์พุตมีความถี่ที่น้อยลง 2 หรือ 3 เท่าตามความถี่ที่ต้องการ ซึ่งวงจรหารความถี่ที่นำเสนอนี้ถูกออกแบบโดยใช้เทคนิคของทรูซิงเกิลเฟสคล็อกและออกแบบโดยใช้เทคโนโลยีซิมอส 0.13 μm

2. วงจรที่นำเสนอ

วงจรที่ได้นำเสนอแสดงในรูปที่ 3 สามารถแบ่งได้เป็น 2 ส่วนโดยส่วนแรก (A) เป็นวงจรหารสอง TSPC และส่วนที่สอง (B) เป็นวงจรหารสาม ซึ่งประกอบไปด้วย PN-สแตจ SN-สแตจ และทรานซิสเตอร์แบบเอ็นมอสจำนวน

สองตัว เพื่อต่อกับส่วนแรก (A) โดยการทำงานของวงจรที่นำเสนอมีรายละเอียดดังนี้



รูปที่ 3 วงจร Low-Power True Single-Phase Clock 2/3 Prescalers ที่นำเสนอ

ในส่วนแรก (A) เป็นวงจรหารสอง TSPC เมื่อสัญญาณอินพุตมีระดับสัญญาณเป็น 1 ทำให้ใน ทรานซิสเตอร์ M2 ไม่ทำงานและแรงดันที่โหนด X1 จะมีระดับสัญญาณเป็น 0 ซึ่งทรานซิสเตอร์ M4 และ M5 ไม่ทำงาน ทำให้แรงดันที่โหนด Y1 จะคงสถานะไว้เหมือนเดิม ดังนั้นค่าเอาต์พุตที่โหนด Z1 จะมีค่าตรงข้ามกับโหนด Y1 เพราะว่าโหนด Z1 ต่อกับอินเวอร์เตอร์ INV1 ดังนั้นค่าของสัญญาณเอาต์พุตที่โหนด Out2 จะมีระดับสัญญาณเป็น 0

เมื่อสัญญาณอินพุตมีระดับสัญญาณเป็น 0 ทรานซิสเตอร์ M1 และ M2 จะทำงานทำให้ระดับแรงดันที่โหนด X1 เปลี่ยนระดับสัญญาณจาก 0 เป็น 1 ซึ่งทรานซิสเตอร์ M4 และ M5 จึงทำงาน ดังนั้นแรงดันที่โหนด Y1 จึงเปลี่ยนระดับสัญญาณเป็น 1 แต่โหนด Z1 จะไม่เปลี่ยนแปลงและคงค่าระดับสัญญาณ 1 ไว้เนื่องจากทรานซิสเตอร์ M7 และ M8 ไม่ทำงาน

เมื่อสัญญาณอินพุตมีเปลี่ยนระดับสัญญาณเป็น 1 อีก

ครั้ง ระดับแรงดันที่โหนด X1 และ Y1 จะไม่เปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่โหนด Z1 จะเปลี่ยน เนื่องจากโหนด Y1 จะมีระดับสัญญาณ 1 เพราะฉะนั้นทรานซิสเตอร์ M8 และ M9 จะทำงาน

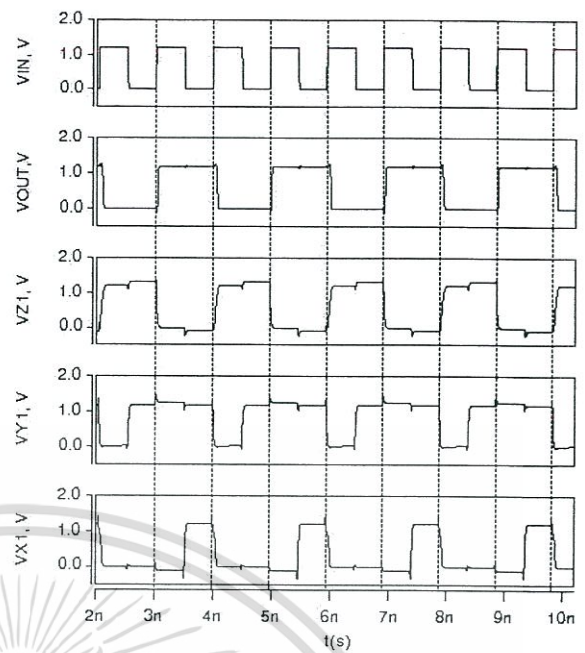
เมื่อสัญญาณอินพุตเปลี่ยนระดับสัญญาณจาก 1 เป็น 0 อีกครั้ง ทำให้โหนด X1 เปลี่ยนค่าระดับสัญญาณเป็น 1 แต่โหนด Y1 และ Z1 จะมีค่าแรงดันเท่าเดิม เนื่องจากแรงดันที่โหนด Y1 มีระดับสัญญาณเป็น 1 ซึ่งทำให้ทรานซิสเตอร์ M4 ทำงาน ส่วนทรานซิสเตอร์ M7 และ M8 จะไม่ทำงาน

ในส่วนที่สอง(B) เมื่อสัญญาณอินพุต MC มีระดับสัญญาณเป็น 0 ค่าของเอาต์พุตที่โหนด Out2 จะเป็นการหารสองและส่วนที่สอง (B) จะไม่ทำงาน ถ้าสัญญาณอินพุต MC มีระดับสัญญาณเป็น 1 จะทำให้เอาต์พุตที่โหนด Out3 เป็นการหารสามจากสัญญาณความถี่อินพุต

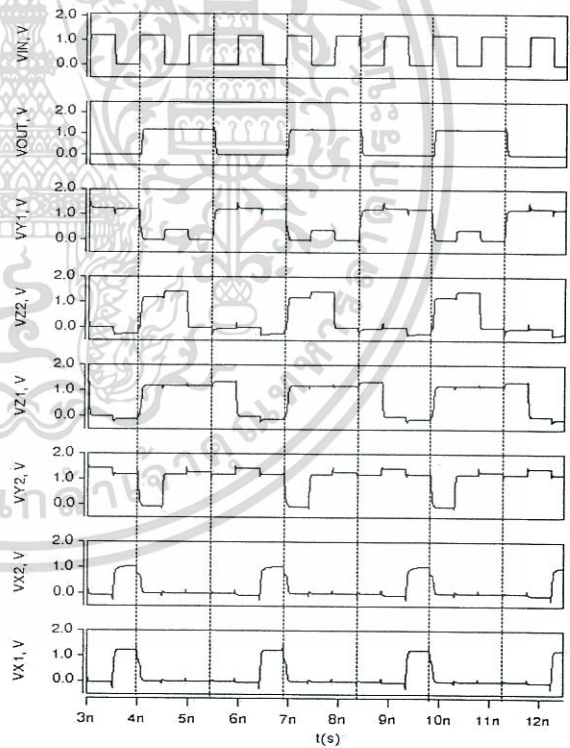
เนื่องจากทรานซิสเตอร์ MC เป็นตัวควบคุมการทำงาน ทั้งสองโหนดถ้าโหนดใดโหนดหนึ่งทำงานอีกโหนดหนึ่งจะไม่ทำงาน ดังนั้นเมื่อโหนดหารสองทำงาน โหนดหารสามจะไม่ทำงานทำให้ไม่มีกระแสไหลในส่วนที่สอง (B) ซึ่งวงจร [6] มีทรานซิสเตอร์ MC ควบคุมโหนดการทำงานเหมือนกันแต่ในโหนดหารสองจะมีกระแสไหลเข้าไปในโหนดหารสามด้วย วงจรที่นำเสนอจึงสิ้นเปลืองพลังงานน้อยกว่า โดยใช้เทคนิคทรูซิงเกิลเฟสไดโอดนี้ ทำให้วงจรสามารถทำงานที่ความถี่สูงขึ้น

3. ผลการทดลอง

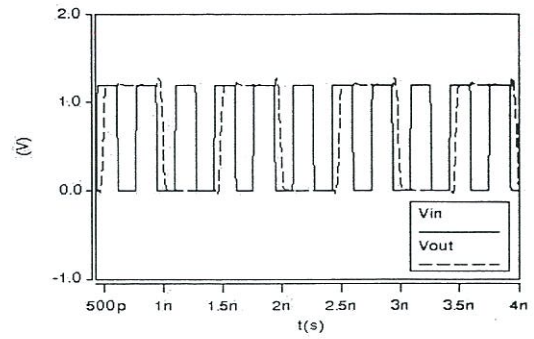
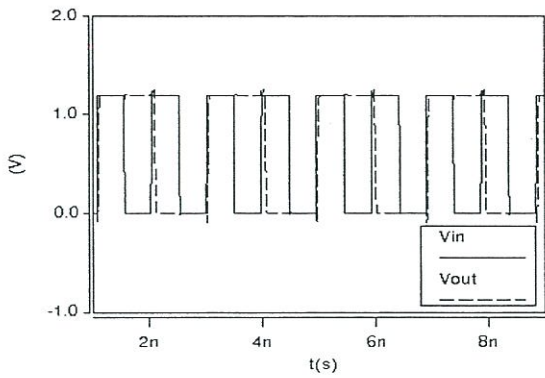
จากวงจรที่นำเสนอในรูปที่ 3 ทำการจำลองการทำงาน ด้วยความถี่อินพุต 1 GHz แรงดันแหล่งจ่าย 1.2 V จากรูปที่ 4 แสดงรูปแบบของสัญญาณที่โหนดต่างๆ เมื่อสัญญาณอินพุต MC เป็น 0 ทำให้วงจรทำงานในโหนดหารสอง จากรูปที่ 5 แสดงรูปแบบของสัญญาณที่โหนดต่างๆ เมื่อเปลี่ยนสัญญาณอินพุต MC จาก 0 เป็น 1 ทำให้วงจรทำงานในโหนดหารสาม



รูปที่ 4 รูปแบบสัญญาณที่โหนดต่างในวงจรหาร 2 ที่นำเสนอ แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz



รูปที่ 5 รูปแบบสัญญาณที่โหนดต่างในวงจรหาร 3 ที่นำเสนอ แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz



รูปที่ 6 สัญญาณอินพุตและเอาต์พุตของวงจรหาร 2 ที่ นำเสนอโดยใช้แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz

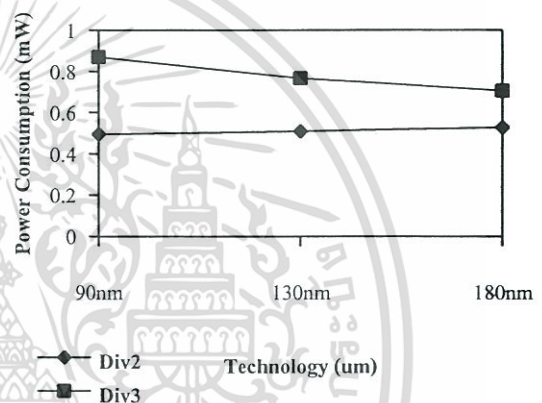
รูปที่ 7 สัญญาณอินพุตและเอาต์พุตของวงจรหาร 3 ที่ นำเสนอ โดยใช้แรงดันแหล่งจ่าย 1.2 V ที่ความถี่อินพุต 3 GHz

จากรูปที่ 6 แสดงการเปรียบเทียบสัญญาณอินพุตกับ เอาต์พุต Out2 ของวงจรในโหมดหารสองที่ความถี่อินพุต 1GHz ได้ความถี่เอาต์พุต 0.5 GHz

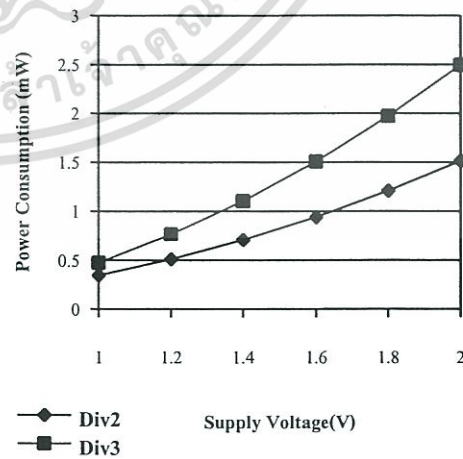
จากรูปที่ 7 เมื่อเปลี่ยนสัญญาณอินพุต MC เพื่อให้ วงจรทำงานในโหมดหารสามโดยมีความถี่อินพุตเท่ากับ 3 GHz และเปรียบเทียบสัญญาณอินพุตกับเอาต์พุต Out3 ได้ ความถี่เอาต์พุตเท่ากับ 1 GHz

จากรูปที่ 8 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสีย ของวงจรเมื่อมีการเปลี่ยนเทคโนโลยี โดยใช้ความถี่อินพุต 6 GHz แรงดันแหล่งจ่าย 1.2 V

จากรูปที่ 9 แสดงทำการเปรียบเทียบค่ากำลังงานที่ สูญเสียของวงจรเมื่อมีการเปลี่ยนแหล่งจ่ายแรงดันอินพุต ที่ความถี่อินพุต 6 GHz ที่แรงดันแหล่งจ่าย 1 V ค่ากำลัง งานที่สูญเสียของวงจรในโหมดหารสองและหารสามจะยัง ใกล้เคียงกันแต่เมื่อเพิ่มแรงดันแหล่งจ่ายเข้าไป วงจรที่ ทำงานในโหมดหารสามจะสูญเสียกำลังงานเพิ่มมากขึ้น เมื่อเทียบกับวงจรที่ทำงานในโหมดหารสอง

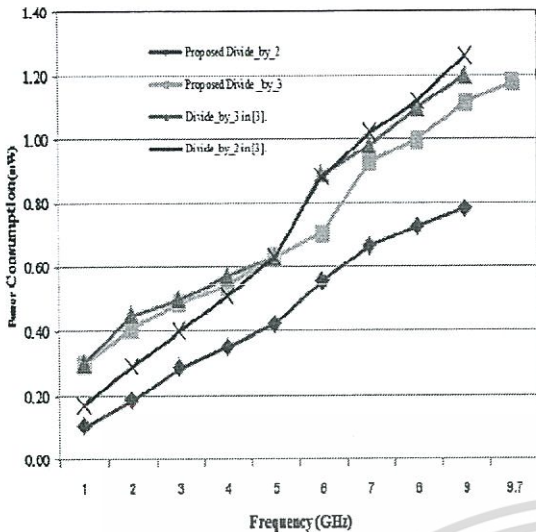


รูปที่ 8 เปรียบเทียบค่ากำลังงานที่สูญเสียของวงจรที่ นำเสนอ เมื่อเปลี่ยนเทคโนโลยีที่ใช้ ที่ความถี่อินพุต 6 GHz



รูปที่ 9 เปรียบเทียบกำลังงานที่สูญเสียของวงจรที่นำเสนอ เมื่อมีการเปลี่ยนแหล่งจ่ายแรงดันอินพุต ที่ความถี่อินพุต 6 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 10 กราฟเปรียบเทียบกำลังงานที่สูญเสียของวงจรถู้นำเสนอกับวงจรรหารความถี่ [6]

จากรูปที่ 10 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียเมื่อมีการเปลี่ยนความถี่อินพุต โดยเปรียบเทียบกับวงจรถู High-Speed Low-Power True Single-Phase Clock Dual-Modulus Prescalers [6] วงจรถูนำเสนอจะมีกำลังงานที่สูญเสียน้อยกว่ามากเมื่อทำงานในโหมดหารสอง และในโหมดหารสามจะสามารถทำงานได้ที่ความถี่สูงกว่า

ตารางที่ 1 เปรียบเทียบการทำงานของวงจรรหารความถี่

Design Parameters	REF. [6]	วงจรถูนำเสนอ
Process (μm)	0.13	0.13
Supply voltage (V)	1.2	1.2
Max. Frequency (GHz)	9	9.7
Power (mW) Divide-by-2 mode	0.34	0.22
Power (mW) Divide-by-3 mode	0.45	0.43

จากตารางที่ 1 แสดงการเปรียบเทียบการทำงานของวงจรถูนำเสนอกับวงจรถู [6] ซึ่งวงจรถูนำเสนอสามารถทำงานได้ที่ความถี่สูงกว่าและเมื่อเปรียบเทียบการใช้กำลังงานในโหมดของวงจรถูหารสอง วงจรถูนำเสนอจะใช้กำลังงานน้อยกว่า 36.36% และมีกำลังงานที่สูญเสียน้อยกว่า 21.35% ในโหมดของวงจรถูหารสามที่ความถี่อินพุต 6 GHz และวงจรถูนำเสนอจะใช้กำลังงานเพียง 0.78mW ในโหมดของวงจรถูหาร 2 และ 1.18mW ในโหมดของวงจรถูหาร 3 ที่ความถี่อินพุต 9 GHz

4. สรุป

วงจรถูหารความถี่ 2/3 ที่นำเสนอใช้เทคนิคแบบทรูซิงเกิลเฟสคล็อก สามารถทำงานในช่วงความถี่ 0.5 – 9.7 GHz โดยที่วงจรถูหารสองนั้น วงจรถูนำเสนอจะใช้กำลังงานที่สูญเสียน้อยกว่า 36.36% และ 21.35% ของวงจรถูหารสามที่ความถี่อินพุต 6 GHz เมื่อเทียบกับวงจรถู [6]

5. เอกสารอ้างอิง

- [1] Neil H.E. Weste, D. Harris, CMOS VLSI design : a circuits and systems perspective, Boston : Pearson, 2005.
- [2] M. Alioto, R. Mita, and G. Palumbo, "Design of high-speed power efficient MOS current-mode logic frequency dividers," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 53, no. 11, pp. 1165–1169, Nov. 2006.
- [3] Y. Ji-Ren, I. Karlsson, and C. Svensson, "A true single-phase-clock dynamic CMOS circuit technique," IEEE J. Solid-State Circuits, vol. 22, no. 5, pp. 899- 901, Oct 1987.
- [4] J., Jr. Navarro Soares, W.A.M. Van Noije, "A 1.6-GHz dual modulus prescaler using the extended true-single-phase-clock CMOS,"

ประวัติผู้เขียน

นายอภิรักษ์ ทัดสอน เกิดเมื่อวันที่ 13 กรกฎาคม พ.ศ.2529 ที่จังหวัดเพชรบูรณ์ สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม จากภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังในปีการศึกษา 2552



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้