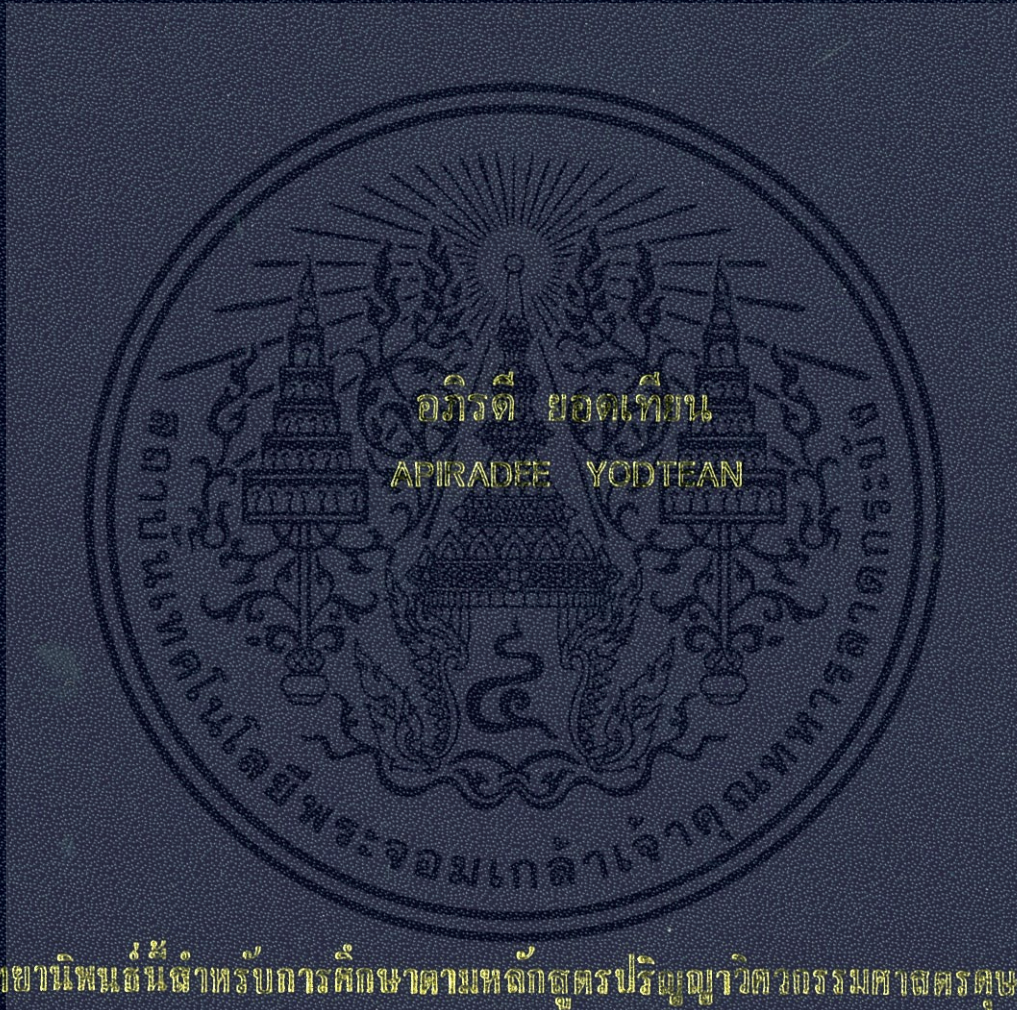


วงจรรานส์คอนดักเตอร์ซีเอ็มโอสกำลังงานต่ำ  
ประยุกต์ใช้งานทางการแพทย์

LOW-POWER CMOS TRANSCONDUCTOR  
FOR BIOMEDICAL APPLICATIONS



วิทยานิพนธ์นี้จัดทำขึ้นเพื่อการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2556

KMITL-2013-EN-D-018-063

ห้องสมุดคณะวิศวกรรมศาสตร์ พระจอมเกล้าลาดกระบัง

วงจรรานส์คอนดักเตอร์ซีมอสกำลังงานต่ำ  
ประยุกต์ใช้งานทางการแพทย์

LOW-POWER CMOS TRANSCONDUCTOR  
FOR BIOMEDICAL APPLICATIONS



อภิรดี ยอดเทียน  
APIRADEE YODTEAN

เลขหมู่..... 55297  
เลขทะเบียน.....  
วัน, เดือน, ปี 29 ต.ค. 2556

ศรี ma  
b. 12553516  
i. ....

วิทยานิพนธ์นี้สำหรับการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต  
สาขาวิชาวิศวกรรมไฟฟ้า  
คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
KMUTL-2013-EN-D-018-063  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW-POWER CMOS TRANSCONDUCTOR  
FOR BIOMEDICAL APPLICATIONS



A THESIS SUBMITTED IN FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING  
FACULTY OF ENGINEERING  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG  
2013  
KMITL-2013-EN-D-018-063

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2013

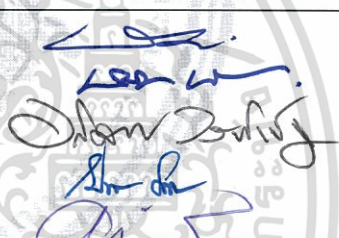
FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรทรานส์คอนดักเตอร์ซีมอสกำลังงานต่ำประยุกต์ใช้งานทางการแพทย์  
Thesis Title Low-Power CMOS Transconductor for Biomedical Applications  
นักศึกษา นางสาวอภิรดี ยอดเทียน  
รหัสประจำตัว 48060005  
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต  
สาขาวิชา วิศวกรรมไฟฟ้า  
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.อภิรักษ์ ธนชยานนท์  
อาจารย์ที่ปรึกษาวิทยานิพนธ์ (ร่วม) ดร.พศิน อิศรเสนา ณ อยุธยา  
หมายเลขวิทยานิพนธ์ KMITL-2013-EN-D-018-063

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.วรวงศ์	ตั้งศรีรัตน์	
รศ.ดร.พิพัฒน์	พรหมมี	
ศ.ดร.อภิศักดิ์	วรพิเชฐ	
ผศ.ดร.มนตรี	คำเงิน	
รศ.ดร.อภิรักษ์	ธนชยานนท์	

วัน / เดือน / ปี ที่สอบ วันพุธที่ 8 พฤษภาคม พ.ศ. 2556 เวลา 10.00-12.00 น.  
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 3

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(ศาสตราจารย์ ดร.สุชัยวีร์ สุวรรณสวัสดิ์)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 8 พฤษภาคม พ.ศ. 2556

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรถานส์คอนดักเตอร์ซีมอสกำลังงานต่ำประยุกต์ใช้งานทางการแพทย์
นักศึกษา	นางสาวกริณี ยอดเทียน
รหัสนักศึกษา	48060005
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2556
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ. ดร. อภินันท์ ธนชยานนท์
อาจารย์ที่ปรึกษาวิทยานิพนธ์(ร่วม)	ดร. พศิน อิศรเสนา ณ อยุธยา

### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรถานส์คอนดักเตอร์ซีมอสปรับแต่งสัญญาณได้ (class-AB bulk-driven tunable linear transconductor) ให้ความเป็นเชิงเส้นสูงภายใต้แหล่งจ่ายแรงดันต่ำกว่า 1 V ออกแบบที่เทคโนโลยีซีมอส 0.18  $\mu\text{m}$  วงจรถานส์คอนดักเตอร์ที่นำเสนอ อาศัยเทคนิคการกระตุ้นสัญญาณแรงดันอินพุตเข้าที่ขั้วบัลค์ บนโครงสร้างวงจรถานส์คอนดักเตอร์ที่มีการทำงานเป็นแบบคลาสเอบี นอกจากนี้ยังอาศัยเทคนิคการออกแบบวงจรถานส์คอนดักเตอร์ที่ให้ความเป็นเชิงเส้นสูงจากการใช้โครงสร้างความต้านทานซอร์สดีเจเนอเรชัน (Passive resistive source degeneration) สำหรับการเปลี่ยนแรงดันอินพุตเป็นกระแสเอาต์พุต

วงจรถานส์คอนดักเตอร์ซีมอสปรับแต่งสัญญาณได้โดยการปรับแต่งกระแสผลต่างเอาต์พุตที่ได้จากวงจรถานส์คอนดักเตอร์หลัก (core transconductor) โดยอาศัยวงจร gain-adjustable current mirrors ที่ถูกสร้างภายใต้โครงสร้างวงจรถานส์คอนดักเตอร์กระแส ผลการจำลองการทำงานของวงจรถานส์คอนดักเตอร์ซีมอสปรับแต่งสัญญาณได้ มีการใช้กำลังงานทั้งสิ้น 10.4  $\mu\text{W}$  ภายใต้แหล่งจ่ายแรงดันเดียว 0.8 V ค่าความผิดเพี้ยนฮาร์โมนิกรวม (total harmonic distortion: THD)  $\text{THD} < -40$  dB ของผลต่างสัญญาณแรงดันอินพุตกว้าง  $\pm 800$  mV ทดสอบที่ความถี่ 10 KHz ผลการจำลองสัญญาณรบกวนแรงดันอินพุต (input-referred noise voltage) มีค่าเท่ากับ 100  $\mu\text{V}$  วัดที่ช่วงความถี่ไม่เกิน 10 KHz ช่วงปฏิบัติการงานแรงดันอินพุตกว้าง (input signal dynamic range) เท่ากับ 75 dB สำหรับ  $\text{THD} < -40$  dB

ประยุกต์ใช้งานวงจรถานส์คอนดักเตอร์ที่นำเสนอสำหรับวงจรถานส์คอนดักเตอร์หลายหน้าที่แบบไบควอดราติก (Fully-differential biquadratic  $G_m$ -C filter) ทดสอบที่ความถี่คutoff 10 KHz ใช้กำลังงานทั้งสิ้น 34.4  $\mu\text{W}$  ภายใต้แหล่งจ่ายแรงดันเดียว 0.8 V ให้ช่วงปฏิบัติการงานแรงดันอินพุตกว้าง 67.4 dB สำหรับ HD3 น้อยกว่า -40 dB

Thesis Title	Low-Power CMOS Transconductor for Biomedical Applications
Student	Miss. Apiradee Yodtean
Student ID.	48060005
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2013
Thesis Advisor	Assoc. Prof. Dr. Apinunt Thanachayanont
Thesis Co-Advisor	Dr. Pasin Israsena

## ABSTRACT

This thesis describes the design and realization of a sub 1 V low power class-AB bulk-driven tunable linear transconductor using a 0.18  $\mu\text{m}$  CMOS technology. The proposed transconductor employs a class-AB bulk-driven differential input voltage follower and a passive resistor to achieve highly linear voltage-to-current conversion. Transconductance tuning is achieved by tuning the differential output current of the core transconductor with gain-adjustable current mirrors. With 10.4  $\mu\text{A}$  current consumption from a 0.8 V single power supply voltage, simulation results show that the proposed transconductor achieves the total harmonic distortion (THD) of less than -40 dB for a peak differential input voltage range of 800 mV at frequencies up to 10 KHz. The simulated input-referred noise voltage integrated over 10 KHz bandwidth is 100  $\mu\text{V}$ , resulting to an input signal dynamic range of 75 dB for THD < -40 dB. A biquadratic  $G_m$ -C filter is designed to demonstrated the performance of the proposed transconductor. At the nominal 10 KHz cut-off frequency, the filter dissipates 34.4  $\mu\text{W}$  from a 0.8 V supply voltage and it achieves an input signal dynamic range of 67.4 dB for the third-order intermodulation distortion of less than -40 dB.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยคำสอนและการถ่ายทอดวิชาความรู้ ตลอดจนคำแนะนำ และช่วยเหลือต่างๆจาก รศ. ดร. อภินันท์ ธนชยานนท์ อาจารย์ผู้ควบคุมวิทยานิพนธ์และขอขอบคุณ อาจารย์ร่วมควบคุมวิทยานิพนธ์ ดร. พศิน อิศรเสนา ณ อยุธยา ที่ให้การสนับสนุนในด้านเงินทุนวิจัย และเครื่องมือการทดลอง ข้าพเจ้าขอขอบคุณในความอนุเคราะห์จากท่านอาจารย์ทั้งสองเป็นอย่างสูง

ขอขอบพระคุณคณาจารย์ภาควิชาวิศวกรรมอิเล็กทรอนิกส์คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้ต่างๆ โดยเฉพาะขอขอบคุณอาจารย์ ศ. ดร. วัลลภ สุระกำพลธร รศ. ดร. วรากร เกษมสุวรรณ และ ดร. กสิน วิเชียรชม ที่ให้คำแนะนำ ทิ ชม เพื่อก่อให้เกิดการเรียนรู้อย่างต่อเนื่องตลอดมา ตลอดจนเพื่อนๆ พี่ๆ น้องๆ ที่ภาควิชาอิเล็กทรอนิกส์

ขอขอบคุณทุนสนับสนุนการทำงานวิจัยนี้ จากสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ Thailand Graduate Institute of Science and Technology (TGIST)

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา และครอบครัวของข้าพเจ้าที่เป็นกำลังใจ และให้การสนับสนุนในทุกเรื่อง ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี คุณค่าและประโยชน์อันพึงมีพึงได้จากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

อภิรดี ยอดเทียน

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย .....	I
บทคัดย่อภาษาอังกฤษ .....	II
กิตติกรรมประกาศ .....	III
สารบัญ .....	IV
สารบัญตาราง .....	VI
สารบัญรูป .....	VII
บทที่ 1 บทนำ .....	1
1.1 ความเป็นมาและความสำคัญของปัญหา .....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา .....	1
1.3 สมมติฐานของการศึกษา .....	1
1.3.1 โครงสร้างภายในของมนุษย์ .....	2
1.3.2 ระบบประสาทหูเทียม .....	4
1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย .....	7
1.5 ขอบเขตการวิจัย .....	8
1.6 รายละเอียดของวิทยานิพนธ์ .....	8
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง .....	9
2.1 เทคนิคการออกแบบวงจรที่ใช้กำลังงานต่ำ .....	9
2.1.1 เทคโนโลยีซีมอสทรานซิสเตอร์ .....	9
2.1.2 คุณสมบัติการทำงานของซั้วบัลค์ (Bulk-Driven Characteristics) .....	18
2.1.3 วงจรตามแรงดันแบบ Flipped-Voltage Follower .....	22
2.1.4 วงจรขยายคลาสเอบี (Class AB amplifier) .....	23
2.2 วงจรขยายสัญญาณทรานส์คอนดักเตอร์ .....	24
2.2.1 หลักการทำงานของวงจรทรานส์คอนดักเตอร์ .....	24
2.2.2 เทคนิคการเพิ่มความเป็นเชิงเส้นของสัญญาณ (Linearization Techniques) ....	28
2.3 วงจรกรองความถี่ .....	32
2.3.1 ประเภทของวงจรกรองความถี่ .....	32
2.3.2 การประยุกต์ใช้วงจรทรานส์คอนดักเตอร์ในการกรองสัญญาณ .....	35
2.4 สรุป .....	38
บทที่ 3 วงจรทรานส์คอนดักเตอร์ที่นำเสนอ .....	39
3.1 บทนำ .....	39
3.2 วงจรขยายทรานส์คอนดักเตอร์ที่นำเสนอ .....	39
3.3 วงจรขยายทรานส์คอนดักเตอร์แบบทั่วไป .....	41

## สารบัญ (ต่อ)

	หน้า
3.4 วงจรขยายทรานส์คอนดักเตอร์แบบคลาเซอ-กระตุ้นสัญญาณอินพุตที่ขั้วบัลค์บนวงจรตามแรงดันแบบ Flipped-Voltage Follower .....	43
3.5 วงจรทรานส์คอนดักเตอร์ที่นำเสนอ .....	44
3.6 วงจรปรับแต่งสัญญาณที่นำเสนอ .....	47
3.7 สรุป .....	49
บทที่ 4 ผลการจำลองการทำงานเปรียบเทียบวงจรที่นำเสนอ .....	51
4.1 ผลการจำลองการเปรียบเทียบวงจรทรานส์คอนดักต์แทนซ์ .....	52
4.2 ผลการปรับแต่งวงจรทรานส์คอนดักเตอร์ที่นำเสนอ .....	57
4.3 สรุป .....	61
บทที่ 5 การประยุกต์วงจรที่นำเสนอสำหรับใช้งานทางการแพทย์ .....	62
5.1 บทนำ .....	62
5.2 ข้อกำหนดในการออกแบบวงจร .....	62
5.3 วงจรกรองความถี่ทรานส์คอนดักเตอร์คาปาซิเตอร์ (Gm-C Filter) ที่นำเสนอแบบที่ 1 .....	62
5.4 วงจรกรองความถี่ทรานส์คอนดักเตอร์คาปาซิเตอร์ (Gm-C Filter) ที่นำเสนอแบบที่ 2 .....	66
5.5 สรุป .....	76
บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ .....	79
6.1 บทสรุป .....	79
6.2 ข้อเสนอแนะ .....	80
6.3 แนวทางการทำวิจัยต่อ .....	81
บรรณานุกรม .....	82
ภาคผนวก .....	88
ก. ขั้นตอนการออกแบบวงจรรวมและเทคโนโลยีที่นำมาใช้งาน .....	88
ข. ผลงานที่ได้รับการตีพิมพ์ .....	90
ประวัติผู้เขียน .....	120

# สารบัญตาราง

ตารางที่	หน้า
2.1	สรุปคุณสมบัติของโครงสร้างในรูป 2.17 เปรียบเทียบกันเมื่อทรานซิสเตอร์ทุกตัวทำงานย่านอิมิตัว ..... 29
4.1	เงื่อนไขและข้อกำหนดการทำงานของวงจรในรูปที่ 4.9..... 57
5.1	อัตราส่วนของทรานซิสเตอร์ทุกตัวและค่าอุปกรณ์ต่างๆ ที่นำมาออกแบบในวงจร ทรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 1 ..... 63
5.2	ข้อกำหนดในการออกแบบวงจรรองความถี่ทรานส์คอนดักเตอร์คาปาซิเตอร์ที่นำเสนอแบบที่ 1 ..... 65
5.3	สรุปผลการจำลองคุณสมบัติของวงจรทรานส์คอนดักเตอร์ที่นำเสนอเปรียบเทียบกับงานวิจัยอื่น ..... 66
5.4	อัตราส่วนของทรานซิสเตอร์ทุกตัวและค่าอุปกรณ์ต่างๆ ที่นำมาออกแบบในวงจร ทรานส์คอนดักเตอร์ที่นำเสนอ ..... 68
5.5	สรุปผลการจำลองคุณสมบัติของวงจรทรานส์คอนดักเตอร์ที่นำเสนอเปรียบเทียบกับงานวิจัยอื่น ..... 72
5.6	การเปรียบเทียบคุณสมบัติของวงจรรองสัญญาณไบควอดราติกแบบ Differential biquadratic Gm-C ที่นำเสนอกับงานวิจัยอื่นๆ..... 76

# สารบัญรูป

รูปที่	หน้า
1.1	(ก) โครงสร้างภายในของหูมนุษย์ (ข) สัญลักษณ์ของคลอเคลีย ..... 4
1.2	การใช้งานของอุปกรณ์ระบบประสาทหูเทียม (Bionic Ear หรือ Cochlear Implant) ที่กระตุ้นเซลล์รับเสียงให้สามารถส่งสัญญาณสู่เซลล์สมอง..... 5
1.3	โครงสร้างทั้งหมดของระบบประมวลผลประสาทหูเทียม ..... 6
2.1	โครงสร้างของเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ในเทคโนโลยี n-well ..... 9
2.2	สัญลักษณ์ทางไฟฟ้าของ NMOS และ PMOS ..... 10
2.3	ความสัมพันธ์ของแรงดันกับช่วงการทำงานต่างๆ ของมอสทรานซิสเตอร์ เชิงความสัมพันธ์ระหว่าง $I_D$ และ $V_{DS}$ เมื่อเปลี่ยนค่า $V_{GS}$ ของมอสทรานซิสเตอร์..... 12
2.4	วงจรมุมลสำหรับมอสทรานซิสเตอร์ ..... 14
2.5	(ก) แบบจำลองวงจรมุมลของมอสทรานซิสเตอร์ (ข) วงจรมุมลกรณีขั้วซอร์สต่อกับฐานรอง โดยมีผลกระทบจากขั้วฐานรองเข้ามาเกี่ยวข้อง ..... 15
2.6	คุณสมบัติกระแสเดรนซอร์สและแรงดันเกตซอร์ส เมื่อพล็อตในสเกลแบบล็อกกาลีทิม ..... 16
2.7	สัญญาณรบกวน $1/f$ และ white noise ในมอสทรานซิสเตอร์..... 18
2.8	ภาพตัดขวางของมอสทรานซิสเตอร์ใน P-well CMOS technology และสัญลักษณ์ของ Bulk-driven MOS Transistor..... 18
2.9	กราฟความสัมพันธ์ระหว่างกระแสเดรน ( $I_D$ ) ต่อแรงดันระหว่างขั้วเกตและขั้วซอร์ส ( $V_{GS}$ ) จากการกระตุ้นที่ขั้วเกตของทรานซิสเตอร์ เปรียบเทียบกับกราฟความสัมพันธ์ระหว่างกระแสเดรน ( $I_D$ ) ต่อแรงดันระหว่างขั้วบัลค์และขั้วซอร์ส ( $V_{BS}$ ) จากการกระตุ้นที่ขั้วบัลค์..... 19
2.10	วงจรมุมลของการวิเคราะห์สัญญาณขนาดเล็กสำหรับมอสทรานซิสเตอร์ที่กระตุ้นสัญญาณที่ขั้วบัลค์..... 20
2.11	โครงสร้าง (ก) วงจรตามแรงดันแบบเดรนร่วม (Conventional Voltage follower) (ข) วงจรตามแรงดันแบบ Flipped-Voltage Follower (FVF) (ค) BD-FVF ..... 22
2.12	(ก) วงจรขยายซีมอสอินเวอร์ตึงพุช-พูล (Push-pull inverting CMOS amplifier) (ข) วงจรขยายซีมอสแบบคลาสเอบีโดยมีการออกแบบวงจรแทนแหล่งจ่ายแรงดันไบอัส ..... 23
2.13	โครงสร้างวงจขยายสัญญาณทรานส์คอนดักแตนท์แบบ single amplifier ประเภทต่างๆ .. 24
2.14	(ก) สัญลักษณ์วงจทรานส์คอนดักเตอร์(ข) วงจรมุมลของวงจทรานส์คอนดักเตอร์ทางอุดมคติ (ค) วงจรขยายความต่างหรือวงจขยายดิฟเฟอเรนเชียลโดยใช้อมอสทรานซิสเตอร์..... 25
2.15	โครงสร้างของวงจรผลต่างวงจทรานส์คอนดักเตอร์(ก) วงจทรานส์คอนดักเตอร์แบบสมมาตร (ข) วงจทรานส์คอนดักเตอร์แบบขยายสัญญาณผลต่างเอาต์พุตแบบทั่วไป โดยไม่มีวงจร CMFF (ค) วงจทรานส์คอนดักเตอร์แบบขยายสัญญาณผลต่างเอาต์พุตแบบทั่วไป โดยมีวงจร CMFF (ง) วงจทรานส์คอนดักเตอร์แบบ Pseudo differential ..... 27
2.16	การประยุกต์ใช้งานอย่างง่าย (ก) หลักการทำงาน (ข) สำหรับอุปกรณ์ที่สร้างวงจทรานส์คอนดักเตอร์ (ค) เทคนิคการใช้ Floating gate (ง) เทคนิค Bulk-driven (จ) Active attenuation ..... 28

## สารบัญรูป (ต่อ)

รูปที่	หน้า
2.17	โครงสร้างวงจรมหาสัญญาณทรานส์คอนดักต์แบบ single amplifier แบบต่างๆ (ก) Negative simple transconductor (ข) Cascode transconductor (ค) Enhanced transconductor (ง) Folded-cascode transconductor ..... 29
2.18	โครงสร้างวงจรมหาสัญญาณผลต่างเอาต์พุตทรานส์คอนดักต์เตอร์ (ก) แบบทั่วไป (ข) โครงสร้างแบบการใช้ความต้านทานร่วมกับโครงสร้างวงจรมหาสัญญาณแบบซอร์สดีเจเนอเรชัน (resistive source degeneration) (ค) โครงสร้างแบบใช้วงจรมหาสัญญาณที่สร้างจากมอสทรานซิสเตอร์ MOS transistor แทนตัวต้านทาน ..... 30
2.19	โครงสร้างวงจรมหาสัญญาณคอนดักต์เตอร์ด้วยเทคนิคการไบอัสอะแดปทีฟ (adaptive biasing)..... 31
2.20	โครงสร้างวงจรมหาสัญญาณคอนดักต์เตอร์ด้วยเทคนิคการใช้แรงดัน $V_{DS}$ คงที่..... 31
2.21	การทำงานของวงจรมหาสัญญาณแบบต่างๆ ระหว่างการตอบสนองความถี่ทางอุดมคติ เปรียบเทียบกับการตอบสนองความถี่ที่เกิดขึ้นจริง..... 32
2.22	บล็อกไดอะแกรมทรานส์เฟอ์ฟังก์ชันวงจรมหาสัญญาณ ..... 32
2.23	คุณสมบัติการทำงานของวงจรมหาสัญญาณแสดงการออกแบบวงจรมหาสัญญาณแบบพาสซีฟ (passive) และวงจรมหาสัญญาณที่ออกแบบด้วยการนำวงจรมหาสัญญาณมาประยุกต์ใช้งาน (Opamp-RC active filter) ของ (ก) วงจรมหาสัญญาณต่ำผ่าน (ข) วงจรมหาสัญญาณสูงผ่าน (ค) วงจรมหาสัญญาณทั่วไปผ่าน (General pass filter) และ (ง) วงจรมหาสัญญาณทุกความถี่ผ่าน ..... 34
2.24	โครงสร้างวงจรมหาสัญญาณ Gm-C filter (ก) Low Pass OTA (ข) High Pass OTA..... 36
2.25	วงจรมหาสัญญาณแบบแอกทีฟแบบไบควอด (Biquad Filter)..... 37
3.1	โครงสร้างของวงจรมหาสัญญาณคอนดักต์เตอร์ที่นำเสนอ ..... 40
3.2	(ก) โครงสร้างวงจรมหาสัญญาณคอนดักต์เตอร์แบบทั่วไป Simple resistive source-degeneration Bulk-Driven differential transconductance (S-BD) (ข) แบบจำลองวงจรมหาสัญญาณ ..... 41
3.3	(ก) โครงสร้างวงจรมหาสัญญาณ Class-A BD-FVF (ข) แบบจำลองวงจรมหาสัญญาณ ..... 43
3.4	(ก) โครงสร้างวงจรมหาสัญญาณคอนดักต์เตอร์ที่นำเสนอ Class-AB Bulk-Driven Flipped-Voltage Follower (ข) แบบจำลองวงจรมหาสัญญาณ ..... 45
3.5	(ก) โครงสร้างของวงจรมหาสัญญาณกระแสปรับแต่งสัญญาณได้ (gain-adjustable current mirror) (ข) วงจรมหาสัญญาณแบบจำลองวงจรมหาสัญญาณ $V_A$ ..... 47
3.6	วงจรมหาสัญญาณคอนดักต์เตอร์แบบคลาสเอบีที่นำเสนอที่ปรับแต่งสัญญาณได้ ..... 49
4.1	โครงสร้างของวงจรมหาสัญญาณคอนดักต์เตอร์ 3 โครงสร้าง (ก) โครงสร้างวงจรมหาสัญญาณคอนดักต์เตอร์แบบ S-BD, (ข) โครงสร้างวงจรมหาสัญญาณคอนดักต์เตอร์แบบ Class-A BD-FVF, (ค) โครงสร้างวงจรมหาสัญญาณคอนดักต์เตอร์ที่นำเสนอ Class-AB BD-FVF ..... 51
4.2	ผลการจำลองของผลต่างกระแสเอาต์พุตในช่วงแรงดันอินพุตเปลี่ยนแปลง (Differential output current vs. $V_{id}$ ) ของวงจรมหาสัญญาณรูปที่ 4.1 (ก) แสดงด้วยเส้นสีเขียว, (ข) แสดงด้วยเส้นสีแดง, และ (ค) แสดงด้วยเส้นสีน้ำเงินตามลำดับ..... 52

## สารบัญญรูป (ต่อ)

รูปที่	หน้า
4.3	กระแสผลต่างเอาต์พุตที่เกิดขึ้นจริง ( $I_{real}$ ) เทียบกับกระแสอุดมคติ ( $I_{ideal}$ ) ของวงจรรูปที่ 4.1(ก), (ข), และ (ค) ตามลำดับ ..... 53
4.4	ผลการจำลองค่าความผิดพลาดของกระแสเอาต์พุตที่เกิดขึ้น (linearity error) ในวงจรรูปที่ 4.1(ก), (ข), และ (ค) ตามลำดับ ..... 54
4.5	(ก) ผลการจำลองค่าความผิดพลาดคิดเป็นเปอร์เซ็นต์ของความต่อเนื่องของสัญญาณกระแสผลต่างเอาต์พุต เทียบกับแรงดันอินพุตที่เปลี่ยนไปในวงจรรูปที่ 4.1 (ก), (ข), และ (ค) ตามลำดับ เปรียบเทียบกัน (ข) ผลการจำลองค่าความผิดพลาดที่ 1 % ..... 55
4.6	ความสัมพันธ์ทรานส์คอนดักแตนซ์ที่เป็นบรรทัดฐานเมื่อแรงดันอินพุตเปลี่ยนจาก -0.8 V ถึง 0.8 V ของวงจรรูปที่ 4.1 (ก) เส้นสีเขียว, (ข) เส้นสีแดง, และ (ค) เส้นสีน้ำเงิน ..... 56
4.7	กราฟความสัมพันธ์ระหว่างค่าความต้านทาน $R_s$ และค่าทรานส์คอนดักแตนซ์ ( $g_m$ ) ..... 56
4.8	กราฟความสัมพันธ์ระหว่างค่าความผิดพลาด 1 % ของสัญญาณอินพุต $V_{id}$ สูงสุด ที่ค่าทรานส์คอนดักแตนซ์ต่างๆ สำหรับโครงสร้างของวงจรรูปที่ 4.1(ก) เส้นสีน้ำเงิน, รูปที่ 4.1 (ข) เส้นสีแดง และรูปที่ 4.1 (ค) เส้นสีเขียว ..... 57
4.9	วงจรรานส์คอนดักเตอร์แบบคลาสเอบีที่นำเสนอที่ปรับแต่งสัญญาณได้ ..... 58
4.10	ผลต่างกระแสเอาต์พุตที่เปลี่ยนแปลงเมื่อมีการปรับแต่งวงจรรานส์คอนดักแตนซ์ที่นำเสนอด้วยการปรับกระแส $I_1$ ที่ 150 nA ถึง 750 nA ..... 58
4.11	ค่าทรานส์คอนดักแตนซ์ที่เปลี่ยนแปลงเมื่อมีการปรับแต่งวงจรรานส์คอนดักเตอร์ที่นำเสนอด้วยการปรับกระแส $I_1$ ..... 59
4.12	กราฟเปรียบเทียบค่าความผิดพลาดเพี้ยนฮาร์โมนิกรวมเปรียบเทียบกับสัญญาณผลต่างแอมพลิฟิไคอินพุต ตั้งแต่ 100 mV ถึง 800 mV ของวงจรรานส์คอนดักแตนซ์ที่นำเสนอที่ความถี่ 10KHz เมื่อมีการปรับกระแส $I_1$ ตั้งแต่ (150 nA ถึง 750 nA) ..... 59
4.13	แสดงผลการจำลอง DFT ของสัญญาณผลต่างกระแสเอาต์พุตที่ความถี่ 10 KHz ที่สัญญาณผลต่างแอมพลิฟิไคอินพุต (ก) 50 mV และ (ข) 800 mV ..... 60
5.1	โครงสร้างวงจรรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 1 ..... 63
5.2	วงจรรองความถี่ทรานส์คอนดักเตอร์คาปาซิเตอร์ที่นำเสนอแบบที่ 1 ..... 63
5.3	ผลการตอบสนองความถี่และเฟสมาจิ้นสำหรับวงจรรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 1 ... 64
5.4	ผลการตอบสนองความถี่ของ CMRR, $\pm$ PSRR สำหรับวงจรรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 1 ..... 64
5.5	ผลการตอบสนองทางความถี่ต่ำผ่าน, ความถี่สูงผ่าน, แลบความถี่เลือกผ่าน และเลือกตัดแถบความถี่ไม่ให้ผ่าน ..... 65
5.6	โครงสร้างวงจรรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 2 ..... 67
5.7	วงจรรูป common-mode feedback (CMFB) ..... 67
5.8	โครงสร้างของวงจรรองสัญญาณไบควอดราติกแบบ Differential biquadratic Gm-C ..... 69
5.9	ผลการจำลอง output THD ของวงจรรานส์คอนดักเตอร์ที่นำเสนอ ..... 70

## สารบัญรูป (ต่อ)

รูปที่	หน้า
5.10 กราฟฮิสโตแกรมโดยวิธีการจำลองแบบ Monte Carlo ของค่า THD (dB) ที่สัญญาณเอาต์พุต .....	71
5.11 การจำลองการตอบสนองความถี่แบบเปิดลูปของวงจรทรานส์คอนดักเตอร์ที่นำเสนอด้วยค่า 20 pF ของ $C_L$ .....	71
5.12 การตอบสนองความถี่ของวงจรกรองใต้อัตราความถี่ต่ำผ่าน .....	73
5.13 การตอบสนองความถี่ของวงจรกรองใต้อัตราความถี่แบบกรองแถบความถี่ต่ำผ่าน .....	73
5.14 ผลการจำลองค่าความผิดพลาดที่แรงดันเอาต์พุตผลต่างที่วงจรกรองความถี่ต่ำผ่าน .....	74
5.15 กราฟฮิสโตแกรมโดยวิธีการจำลองแบบ Monte Carlo ของค่า THD ที่แรงดันเอาต์พุตวงจรกรองความถี่ต่ำผ่านที่นำเสนอ.....	75
5.16 รายงานผลการวัดสัญญาณรบกวนของอุปกรณ์ในวงจรรูปที่ 5.6 และรูปที่ 5.7 .....	77
6.1 ผลการจำลองสัญญาณรบกวนของวงจรรูปที่ 3.4 (ก).....	80
6.2 รายงานผลการวัดสัญญาณรบกวนของอุปกรณ์ในวงจรรูปที่ 3.4 (ก).....	81



# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรรขยายสัญญาณทรานส์คอนดักเตอร์ (Operational Transconductor Amplifier: OTA) หรือวงจรอทีเอ เป็นวงจรมีความสำคัญอย่างมากในงานออกแบบวงจรรวมประเภทยอนาล็อก [1] - [7] เนื่องจากวงจรรานส์คอนดักเตอร์สามารถนำมาประยุกต์ใช้งานได้อย่างกว้างขวางในงานอิเล็กทรอนิกส์ จึงได้รับความสนใจและพัฒนาอย่างต่อเนื่องจากนักวิจัยตั้งแต่อดีตจนถึงปัจจุบัน เมื่อถูกนำมาประยุกต์ใช้สำหรับอุปกรณ์อิเล็กทรอนิกส์แบบพกพา สิ่งที่ต้องคำนึงถึงเป็นอันดับแรก คือการลดแรงดันไฟเลี้ยง ส่งผลให้วงจรมีกำลังงานน้อยลง ในขณะที่เดียวกันก็ยังสามารถรักษาประสิทธิภาพการทำงานโดยรวมของวงจรมีได้

โดยทั่วไปวงจรรานส์คอนดักเตอร์ใช้กำลังงานประมาณ 70-80% ของกำลังงานทั้งหมดของระบบ [6] - [7] ดังนั้นถ้าเราสามารถลดการใช้กำลังงานของวงจรรานส์คอนดักเตอร์โดยรวมลงได้ จะส่งผลกระทบต่อการใช้กำลังงานของระบบทั้งหมด แต่ปัญหาของการลดแหล่งจ่ายแรงดันของวงจรรานส์คอนดักเตอร์ คือประสิทธิภาพในการทำงานของวงจรมีลดลงไปด้วย เช่น มีสัญญาณรบกวนสูง มีความถี่หรือความถี่เชิงเส้นต่ำลง ช่วงความถี่การทำงานของวงจรมีแคบลง อัตราขยายสัญญาณน้อยลง เป็นต้น

งานวิจัยนี้เน้นความต้องการพัฒนางจรรานส์คอนดักเตอร์พื้นฐาน ที่เป็นส่วนประกอบหลักของวงจรมีต่างๆ ในระบบให้มีคุณสมบัติเหมาะสมสำหรับอุปกรณ์แบบพกพาทางการแพทย์ โดยวงจรมีสามารถทำงานได้ที่แหล่งจ่ายแรงดันต่ำและมีการสูญเสียกำลังงานต่ำ ในขณะที่ยังรักษาคุณภาพในการทำงานของสัญญาณไว้ได้ [8]

### 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

จุดมุ่งหมายของงานวิจัยนี้ เพื่อนำเสนอโครงสร้างวงจรรานส์คอนดักเตอร์กินกำลังงานต่ำ คุณภาพดีเพื่อประยุกต์ใช้งานย่านความถี่ต่ำ สำหรับพัฒนาอุปกรณ์พกพาทางการแพทย์ โดยกำหนดคุณสมบัติของวงจรมีไว้ดังต่อไปนี้

1. ทำงานด้วยแหล่งจ่ายแรงดันต่ำ
2. มีช่วงปฏิบัติแรงดันอินพุตกว้าง
3. มีความเป็นเชิงเส้นสูง
4. สัญญาณรบกวนต่ำ

### 1.3 สมมติฐานของการศึกษา

อุปกรณ์อิเล็กทรอนิกส์ที่ถูกนำมาประยุกต์ใช้สำหรับวงการแพทย์ มีความต้องการในเรื่องการลดการใช้กำลังงาน เพื่อให้มีอายุการใช้งานที่ยาวนานขึ้น อุปกรณ์ดังกล่าวมีวงจรรขยายสัญญาณแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นส่วนประกอบหลัก โดยมีการนำมาประยุกต์ใช้งานเป็นวงจรต่างๆ ของระบบ เพื่อให้สอดคล้องกับระบบที่ต้องการออกแบบสำหรับการประยุกต์ใช้งานนั้นๆ

ในการออกแบบวงจรขยายสัญญาณสำหรับงานวิจัยอุปกรณ์พกพาทางการแพทย์ เพื่อใช้งานภายใต้แหล่งจ่ายแรงดันต่ำ มีการใช้อุปกรณ์น้อย นำมาซึ่งการใช้กำลังงานต่ำ และส่งผลให้มีขนาดเล็ก มักประสบปัญหาเรื่องสัญญาณรบกวนสูง และมีความเป็นเชิงเส้นต่ำ ดังนั้นการพัฒนางจรขยายสัญญาณให้มีประสิทธิภาพสูง จะส่งผลกระทบต่อการพัฒนากระบวนการให้มีคุณภาพสูงตามมา

ยกตัวอย่างของอุปกรณ์ทางการแพทย์ที่งานวิจัยนี้นำมาพิจารณาคืออุปกรณ์ช่วยฟังเสียง จากการศึกษาแนวทางการวิจัยทางด้านการศึกษาช่วยฟังเสียง [5] – [9] พบว่าเทคโนโลยีที่ถูกนำมาใช้ในงานช่วยเหลือคนพิการทางการได้ยินมีอยู่ 2 ประเภทใหญ่ๆ คือ เครื่องช่วยฟัง (Hearing Aid device) และระบบประสาทหูเทียม (Cochlear Implant หรือ Bionic Ear) ซึ่งทั้งสองระบบมีวงจรแอนะล็อกเป็นส่วนประกอบที่สำคัญ ถ้าสามารถลดการใช้พลังงานของวงจรแอนะล็อกลงได้ จะส่งผลให้ระบบดังกล่าวมีอายุการทำงานได้นานขึ้น จากใช้แบตเตอรี่เป็นแหล่งจ่ายพลังงาน

โดยงานวิจัยนี้ เริ่มต้นจากการศึกษาปัญหาเชิงกายภาพของโครงสร้างมนุษย์และความบกพร่องของการได้ยิน ที่นำไปสู่การกำหนดคุณสมบัติความต้องการออกแบบไมโครชิปสำหรับอุปกรณ์พกพาทางการได้ยินเสียงระบบประสาทหูเทียม (Cochlear Implant หรือ Bionic Ear)

### 1.3.1 โครงสร้างภายในของมนุษย์ [10]

หูของมนุษย์สามารถได้ยินเสียงที่มีช่วงคลื่นความถี่ ตั้งแต่ 20-20,000 เฮิทซ์ (Hz) เมื่ออายุสูงขึ้นความสามารถในการได้ยินจะลดลง ช่วงความถี่ที่มีประโยชน์สำหรับการพูดและการได้ยินอยู่ระหว่าง 300 – 4,500 Hz หน่วยที่ใช้วัดความดังของเสียงกำหนดให้เป็นเดซิเบล (dB) เนื่องจากเสียงที่เกิดในธรรมชาติและในภาวะแวดล้อมมีความดังแตกต่างกันได้มากมายคือ ตั้งแต่เสียงที่มีความดังน้อยเช่น เสียงกระซิบ จนถึงเสียงที่ดังที่สุดเช่นเสียงฟ้าผ่า หรือเสียงเครื่องบินไอพ่น ซึ่งมีความดังต่างกันถึงล้านๆ เท่า ( $10^{12}$ ) แต่เสียงที่มนุษย์สามารถแยกได้มีเพียงประมาณ 1,000 ขึ้นเท่านั้น ดังนั้นระดับความดังเสียงในทางฟิสิกส์จึงถูกบีบ โดยกลไกการรับเสียงของมนุษย์ให้แคบและบอกได้หายบายด้วยหน่วยเดซิเบลโดยจะรายงานค่าความดังเป็นค่า log ของความดังจริงๆ คือ ความดังที่เพิ่มขึ้น 10 เท่าเรียกว่า 1 เบล (bel) และ 1/10 เบลคือ 1 dB

หูของมนุษย์มีโครงสร้างที่ซับซ้อน ทำหน้าที่รับและปรับปรุงคลื่นเสียงให้มีความดันและความแรงที่เหมาะสม แล้วจึงเปลี่ยนพลังงานคลื่นเสียงเป็นพลังงานประสาทโดยรีเซปเตอร์ซึ่งอยู่ในหูตามลักษณะโครงสร้างของหู โครงสร้างของหูแบ่งออกเป็น 3 ส่วนคือ หูชั้นนอก หูชั้นกลาง หูชั้นใน

หน้าที่ของหูชั้นนอก เนื่องจากหูชั้นนอกเป็นท่อยาว ดังนั้นความดันของเสียงที่บริเวณปลายท่อข้างในที่ปิดอยู่จึงมากกว่าที่ปากท่อข้างนอก เช่นความดันที่เพิ่มขึ้นจะเกิดขึ้นเมื่อความยาวของคลื่นเสียงยาวกว่าความยาวของท่อ 4 เท่า คือ เมื่อความดังผ่านช่องหูชั้นนอกแล้วจะเพิ่มประมาณ 12 dB เสียงจะผ่านเข้าไปพบกับเยื่อแก้วหู ซึ่งอยู่ระหว่างหูชั้นนอกกับหูชั้นกลาง หน้าที่ของเยื่อแก้วหูคือเป็นตัวรีเซปเตอร์รับความดัน คือจะมีความไวต่อการเปลี่ยนแปลงความดัน แต่จะไม่ไวต่อการเปลี่ยนแปลงความเร็ว คุณสมบัตินี้เปลี่ยนแปลงไปตามความถี่ต่างๆ เมื่อมีเสียงค่อยพอทำให้เริ่มได้ยิน มากกระทบเยื่อแก้วหูจะเคลื่อนไปเพียงเล็กน้อยประมาณ  $10^{-5}$  cm (สำหรับความถี่ต่ำ) และที่ความถี่ 3,000 Hz จะเคลื่อนไปประมาณ  $10^{-9}$  cm

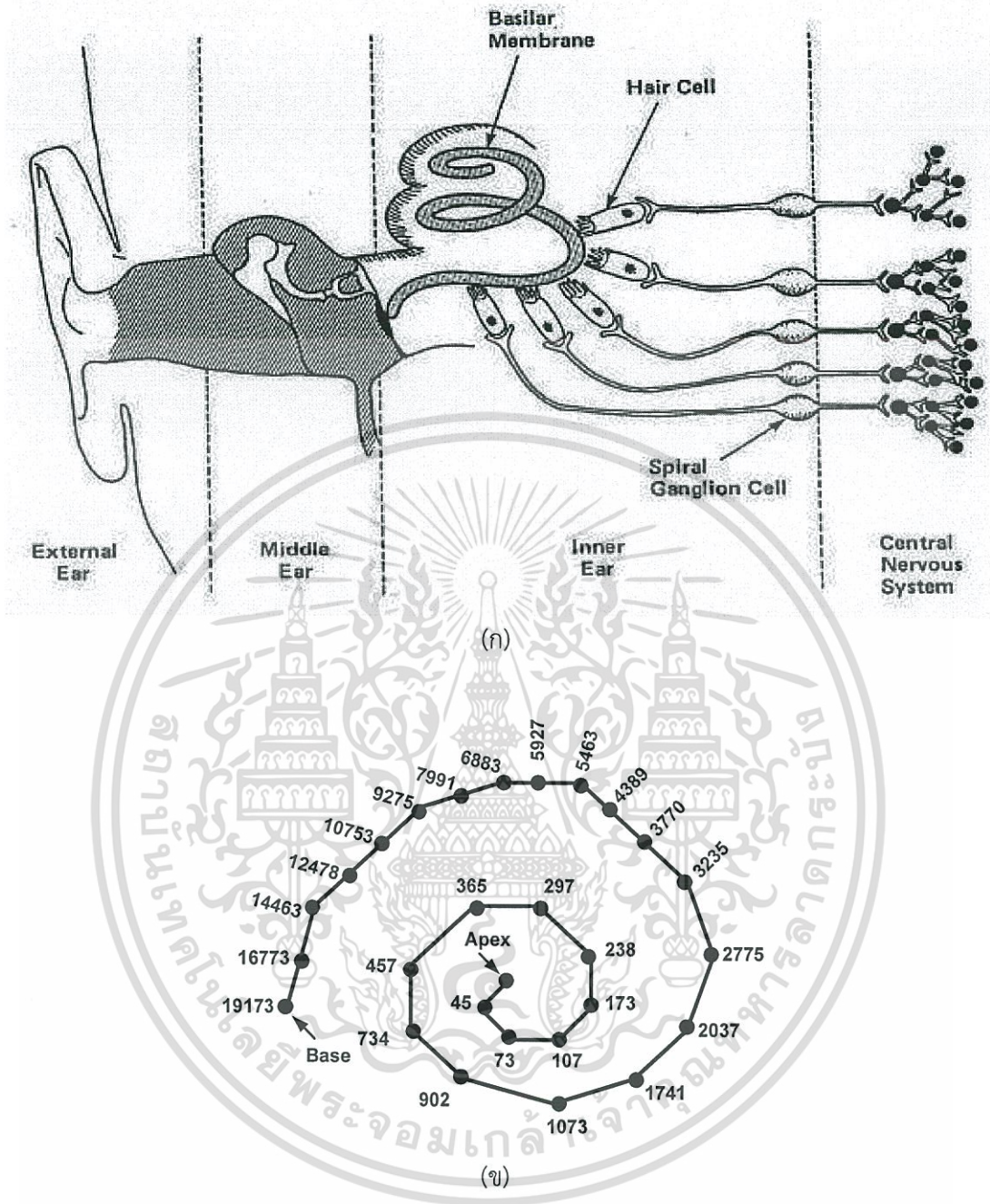
หน้าที่ของหูชั้นกลาง คือเปลี่ยนพลังงานเสียงจากอากาศที่ผ่านมาให้เป็นการสั่นสะเทือนของของเหลว ซึ่งอยู่ในหูชั้นในโดยให้มีพลังงานเพียงพอ การทำงานในลักษณะนี้จะอาศัยกลไกการทำงานของระบบฮัยดรอลิกส์ (hydraulic press action) และแรงเคลื่อนไหลผ่านระบบคาน (lever system) ของกระดูกค้อน ทั้ง โกลน ร่วมกับกล้ามเนื้อที่ยึดต่อกันอยู่นั่นเอง กลไกในหูชั้นนี้จะช่วยปรับหูต่อเสียงที่มีความดังต่างๆ กัน และยังช่วยป้องกันอันตรายให้กับหูชั้นในเมื่อมีเสียงดังมากเกินไป โดยเฉพาะที่ความถี่ต่างๆ ที่ดังมากๆ อาจทำอันตรายต่อเยื่อบาซิลาร์ (basilar membrane) ของคลอเคลียได้

หน้าที่ของหูชั้นใน ในช่องหูชั้นในจะมีอวัยวะที่เรียกว่าคลอเคลีย (cochlear) ซึ่งเป็นอวัยวะที่สำคัญต่อการได้ยินเสียง ลักษณะของคลอเคลียจะเป็นท่อที่ขดม้วนเป็นรูปก้นหอยสองรอบครึ่ง ภายในมีสามท่อแยกจากกันคือ scala vestibule, scala media และ scala tympani โดยที่ scala vestibuli กับ scala media ถูกแยกจากกันโดย vestibular membrane ส่วน scala tympani และ scala media แยกจากกันโดยเยื่อบาซิลาร์บนพื้นหน้าของเยื่อบาซิลาร์มี organ of corti ซึ่งมีเซลล์ขน (hair cell) เรียงอยู่เซลล์ขนนี้เองที่เป็นตัวรับเสียง เยื่อบาซิลาร์จะมีอยู่ประมาณ 20,000 โยที่ยื่นจากส่วนกระดูก ซึ่งอยู่ใจกลางคลอเคลีย โยนี้มีลักษณะแข็งเหนียว และรอบนอกถูกยึดอยู่กับเยื่อบางๆ ที่ไม่มีติดแน่น ดังนั้นโยในส่วนนี้จึงเคลื่อนไหวไปมาได้ ความยาวของโยนี้สูงจากฐานคลอเคลียประมาณ 0.04 mm. และยาวขึ้นเรื่อยๆ ไปจนถึงยอดโดยมีความยาวเพิ่มขึ้นถึง 12 เท่า (0.5 mm) ความยาวของเส้นโยที่แตกต่างกันนี้เป็นรากฐานของการรับคลื่นเสียงที่ความถี่ต่างๆ กัน คือที่ฐานของคลอเคลียจะมีเส้นโยสั้นสำหรับรับคลื่นเสียงที่ความถี่สูง ส่วนที่ปลายเส้นโยจะยาวกว่าใช้สำหรับรับคลื่นเสียงที่ความถี่ต่ำ โดยเส้นโยนี้ยังทำงานประสานกับความแตกต่างของแรงดันที่ได้รับจากของเหลวในคลอเคลียด้วย

ความสำคัญของศักย์ไฟฟ้าในคลอเคลียคือ ส่วนบนของเซลล์ขนที่ยื่นเข้าไปใน endolymph ของ scala media แต่ส่วนล่างของเซลล์ขนอยู่ใน perilymph เซลล์ขนมีประจุภายในเซลล์มีค่าเป็นลบประมาณ -70 mV เมื่อเทียบกับ perilymph ซึ่งมีศักย์ไฟฟ้าประมาณ 80 mV ที่เกิดขึ้นตลอดเวลา ระหว่าง endolymph และ perilymph ดังนั้นเยื่อประจุระหว่าง endolymph และสารน้ำภายในเซลล์มีถึง 150 mV เชื่อกันว่าศักย์ไฟฟ้าที่สูงมากตรงขอบของเซลล์นี้จะช่วยเพิ่มความไวในการตอบสนองของเซลล์ต่อการเคลื่อนไหวของขน เพื่อช่วยในการส่งสัญญาณเสียงไปสู่เซลล์ประสาทต่อไป

คนปกติจะมีความเข้มในหน่วยเดซิเบลที่วัดได้อยู่ระหว่าง 0 - 25 dB เมื่ออายุเพิ่มขึ้นการสูญเสียสมรรถภาพการได้ยินก็จะเพิ่มขึ้น ผู้ที่มีระดับการสูญเสียการได้ยินที่มากกว่า 40 - 70 dB ควรจะใช้เครื่องช่วยฟัง ถ้าระดับการสูญเสียการได้ยินสูงกว่า 70 dB ควรได้รับการผ่าตัดฝังระบบประสาทหูเทียมเพื่อช่วยการได้ยินเสียง

รูปที่ 1.1 (ก) สรุปรูปโครงสร้างภายในของหูมนุษย์ แบ่งออกเป็น 3 ส่วน หูชั้นนอก หูชั้นกลาง และหูชั้นใน โดยหูชั้นนอกทำหน้าที่นำเสียงเข้าสู่หูชั้นกลาง จากนั้นหูชั้นกลางมีหน้าที่เปลี่ยนสัญญาณเสียงเป็นสัญญาณทางกล โดยมีอวัยวะคล้ายรูปก้นหอยที่เรียกว่าคลอเคลียเป็นอวัยวะที่อยู่ในหูชั้นใน ทำหน้าที่เปลี่ยนสัญญาณกลเป็นสัญญาณไฟฟ้าอย่างอ่อนๆ เพื่อไปกระตุ้นเซลล์ประสาทในการรับเสียงเพื่อส่งสัญญาณไปยังสมอง โดยทั่วไปมนุษย์สามารถได้ยินเสียงในช่วงความถี่ 20 Hz ถึง 20 KHz และถ้าพิจารณาช่วงความถี่ของเสียงพูดที่ใช้ในระบบสื่อสารจะอยู่ในช่วงความถี่ตั้งแต่ 300 Hz ถึงประมาณ 4.5 KHz รูปที่ 1.1 (ข) แสดงโมเดลการตอบสนองความถี่ต่างๆของอวัยวะคลอเคลีย [10] - [12]



รูปที่ 1.1 (ก) โครงสร้างภายในของหูมนุษย์ (ข) สัญลักษณ์ของคลอเคลีย  
(Lakshmi Narayan Mishra : 2000)

### 1.3.2 ระบบประสาทหูเทียม

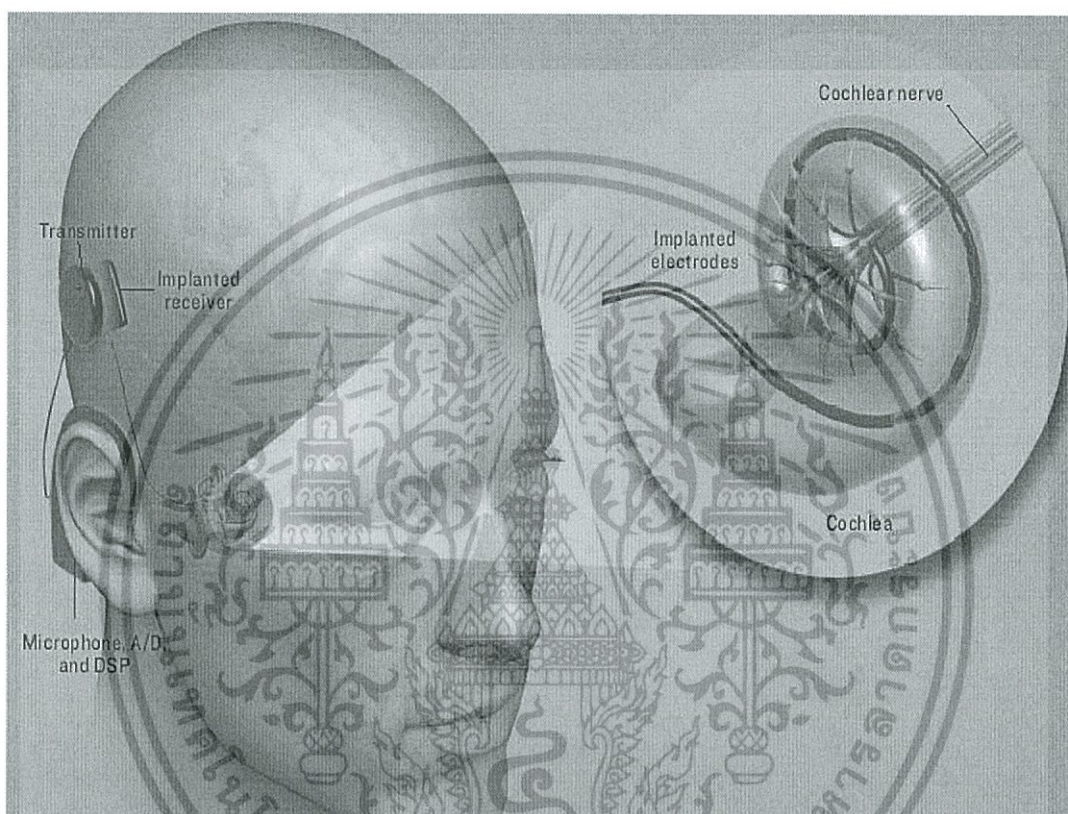
เมื่อพิจารณาที่ระบบประสาทหูเทียม (Cochlear Implant หรือ Bionic Ear) ที่นิยมใช้กันอยู่ในปัจจุบันเป็นอุปกรณ์ที่ประกอบด้วย 2 ส่วนหลักๆ [13] ดังรูปที่ 1.2

- ส่วนแรกเป็นส่วนที่อยู่ภายนอกร่างกายมนุษย์ประกอบด้วยไมโครโฟนขนาดเล็กและระบบประมวลผลสัญญาณเสียง โดยวงจรทั้งหมดได้รับพลังงานจากแบตเตอรี่ เมื่อทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประมวลผลแล้วข้อมูลจะถูกผสมเข้ากับสัญญาณวิทยุความถี่สูง (RF) ซึ่งเป็นสัญญาณที่มีความถี่และขนาดคงที่ เพื่อส่งไปยังส่วนที่สอง

- ส่วนที่สองเป็นส่วนที่อยู่ภายในร่างกายมนุษย์ประกอบด้วยวงจรรับสัญญาณและวงจรจัดการพลังงาน เพื่อแปลงข้อมูลที่ได้รับมาส่งต่อไปยังอิเล็กโทรด อุปกรณ์ดังกล่าวจะแปลงสัญญาณเสียงให้เป็นสัญญาณไฟฟ้าในระดับที่ไม่เป็นอันตรายต่อมนุษย์แต่สามารถกระตุ้นเซลล์รับเสียงให้สามารถส่งสัญญาณสู่เซลล์สมองได้



รูปที่ 1.2 การใช้งานของอุปกรณ์ระบบประสาทหูเทียม (Bionic Ear หรือ Cochlear Implant) [13] ที่กระตุ้นเซลล์รับเสียงให้สามารถส่งสัญญาณสู่เซลล์สมอง (bryanchristiedesign.com : 2007)

เนื่องจากอุปกรณ์ดังกล่าวเป็นแบบพกพาทำให้วงจรต้องทำงานในแหล่งจ่ายแรงดันที่จำกัด ดังนั้นการออกแบบให้วงจรสามารถใช้กำลังงานน้อยๆ จะเป็นการยืดอายุแหล่งจ่ายพลังงานหรือแบตเตอรี่ให้สามารถทำงานได้นาน และจากความต้องการความกะทัดรัดในการใช้งาน ปัจจุบันจึงมีการพัฒนาให้รวมเอาระบบ Speech processor, Continuous Interleaved Sampling (CIS) และ Simulator เข้าไว้ด้วยกันภายในร่างกายมนุษย์ [6] – [7], [11] – [13] โดยมีการส่งผ่านพลังงานหรือมีการชาร์จแบตเตอรี่ที่ฝังอยู่ภายในร่างกายซึ่งเราเรียกว่าระบบจัดการพลังงาน เพื่อให้อุปกรณ์ดังกล่าวสามารถทำงานได้ ส่งผลให้ระบบโดยรวม มีขนาดอุปกรณ์เล็กลงและลดการใช้พลังงานของระบบ ตลอดจนลดการสูญเสียพลังงานสูญเสียเปล่าที่จะเกิดจากการส่งผ่านพลังงานและข้อมูลเข้ามาให้ร่างกายมนุษย์

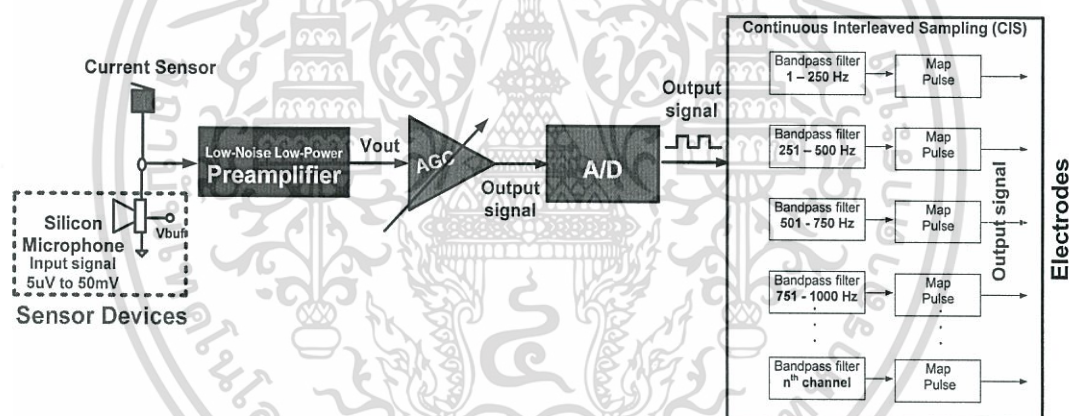
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พบว่าที่มาของปัญหาสำหรับอุปกรณ์การแพทย์แบบพกพาส่วนใหญ่ขึ้นอยู่กับ แหล่งจ่ายพลังงาน และอุปกรณ์เซ็นเซอร์ที่นำสัญญาณ

- **แบตเตอรี่ (Battery)** ที่ใช้สำหรับอุปกรณ์การแพทย์แบบพกพา มีความต้องการในเรื่องระยะเวลาการใช้งานที่ยาวนาน ถ้าสามารถออกแบบให้วงจรกินกำลังงานต่ำๆ ได้ จะเป็นการช่วยลดค่าใช้จ่ายของผู้บริโภคได้

- **ไมโครโฟน (Microphone)** เป็นเซ็นเซอร์ประเภทหนึ่ง สิ่งที่จะต้องคำนึงถึงคือความไวในการตอบสนอง (sensitivity) ซึ่งเซ็นเซอร์ที่คืนั้นควรจะมีการตอบสนองต่อสัญญาณอินพุตที่มากกระทำด้วยความไวสูงและคงที่ คุณสมบัติของไมโครโฟนที่ดีคือเปลี่ยนพลังงานเสียงที่มากกระทบเป็นแรงดันไฟฟ้าได้ไวและให้สัญญาณเอาต์พุตเหมือนกับคลื่นเสียงทุกประการ

ตัวอย่างคุณสมบัติของไมโครโฟน FG-3329A [16] จะทำงานเมื่อมีแรงดันที่ขั้วเดรนอยู่ระหว่าง 0.9 - 1.6 V ซึ่งจะให้กระแสเอาต์พุตประมาณ 15  $\mu$ A ถึง 30  $\mu$ A จากแหล่งจ่ายแรงดันค่าความต้านทาน ( $R_s$ ) มีค่าประมาณ 20 K $\Omega$  ค่าความจุที่ขั้วเกตและซอร์ส (gate-to-source) และค่าความจุที่เกตและเดรน (gate-to-drain) มีค่าประมาณ 160 pF และ 120 pF ตามลำดับและวัดค่าความจุที่ขั้วเกตได้  $C_T \sim 1$  nF วัดค่า power-supply rejection ได้เท่ากับ 22 dB มีสัญญาณรบกวนทั้งหมดน้อยกว่า 4  $\mu$ Vrms ที่โหนดเอาต์พุต ( $V_{out}$ ) คิดที่ช่วงความถี่ 100 - 10 KHz



รูปที่ 1.3 โครงสร้างทั้งหมดของระบบประมวลผลประสาทหูเทียม

รูปที่ 1.3 แสดงบล็อกไดอะแกรมของระบบประสาทหูเทียมจากงานวิจัย [6] โดยระบบดังกล่าวจะเริ่มต้นจากการที่เสียงผ่านไมโครโฟนซึ่งเรียกว่าซิลิกอนเซ็นเซอร์ (Silicon Sensor) ประเภทหนึ่งที่ทำหน้ารับสัญญาณเสียง แล้วเปลี่ยนเป็นแรงดันไฟฟ้าที่มีขนาดเล็กมาก ดังนั้นวงจรขยายภาคต้นหรือ Microphone pre-amplifier หรือ Audio Front End (AFE) ถูกนำมาใช้ขยายสัญญาณที่ได้ให้มีขนาดใหญ่ขึ้นเพื่อสะดวกต่อการนำไปประมวลผลในส่วนถัดไป ระบบดังกล่าวมีการควบคุมอัตราขยายของสัญญาณที่ได้ด้วยวงจรปรับอัตราขยายแบบอัตโนมัติที่เรียกว่า Automatic Gain Control (AGC) เพื่อให้ได้สัญญาณเอาต์พุตที่มีขนาดเหมาะสมที่ไม่เป็นอันตรายต่อมนุษย์ จากข้อกำหนดคือต้องการสัญญาณที่มีขนาด 500 mV ก่อนที่จะส่งสัญญาณแอนะล็อกไปแปลงเป็นสัญญาณดิจิทัลด้วยวงจร A-to-D จากนั้นสัญญาณจะผ่านเข้าสู่วงจรภาค Continuous Interleaved Sampling (CIS) เพื่อทำการแยกความถี่เสียงในระดับต่างๆ โดยเราเรียกแต่ละช่วงความถี่ในส่วนนี้ว่า channel ปัจจุบันนิยมแยก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนช่วงความถี่เสียง 22 channel ซึ่งสอดคล้องกับจำนวนตำแหน่งของอิเล็กโทรด ยิ่งเพิ่มจำนวน channel มากเท่าใด นั้นหมายถึงยิ่งเพิ่มความละเอียดของสัญญาณเสียงที่ได้ยินมากยิ่งขึ้น ปัจจุบันมีงานวิจัยในส่วนนี้เพื่อให้ได้มาซึ่ง High Density Electrode [14] – [15]

ในแต่ละ Channel ประกอบด้วยวงจรกรองแถบความถี่ผ่าน (Band pass Filter) เพื่อแยกความถี่ที่ต้องการออกมาส่งให้วงจร Envelop Detector เพื่อทำการปรับแต่งสัญญาณแอนะล็อกให้มีความคมชัดมากยิ่งขึ้น

ก่อนที่จะส่งสัญญาณแอนะล็อกไปแปลงเป็นสัญญาณดิจิทัลด้วยวงจร Log-A-to-D ในส่วนของวงจร Scanner ทำการตรวจสอบความถูกต้องของเอาต์พุตของระบบก่อนส่งข้อมูลไปยัง Electrodes เมื่อสัญญาณถูกแยกเป็นแต่ละช่วงความถี่แล้วจะถูกทำให้อยู่ในรูปแบบที่เหมาะสมหรือคมชัดอีกครั้งด้วยวงจร Map Pulse ก่อนที่สัญญาณเอาต์พุตจะเปลี่ยนเป็นสัญญาณไฟฟ้าที่มีขนาดต่างๆ เพื่อส่งไปกระตุ้นเซลล์ประสาทรับเสียง ระบบที่นำเสนอในงานวิจัย [6] และ [16] พบว่าวงจรขยายสัญญาณภาคต้น AFE ใช้กำลังงานเป็นครึ่งหนึ่งของระบบทั้งหมด จากงานวิจัย [1] - [9], [16] – [17] พบว่าการพัฒนางจรขยายสัญญาณพื้นฐานที่เป็นองค์ประกอบหลัก ก่อนที่จะถูกประยุกต์ใช้งานเป็นวงจรประเภทต่างๆ เช่น วงจรปรับอัตราขยาย วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล วงจรกรองสัญญาณ เป็นต้น จะส่งผลกระทบต่อระบบที่ออกแบบในด้านต่างๆ เช่น การใช้พลังงาน คุณภาพ ขนาดของเนื้อที่ใช้ออกแบบไมโครชิป เป็นต้น

ตั้งแต่อดีตจนถึงปัจจุบันมีงานวิจัยพัฒนาคุณภาพวงจรถ่ายสัญญาณพื้นฐานประเภทต่างๆ เพื่อให้มีคุณภาพเหมาะสมสำหรับงานด้านอุปกรณ์ทางการแพทย์ ที่นิยมมากที่สุดคือวงจรถ่ายทรานส์คอนดักเตอร์ [1], [17] – [22] ดังนั้นในวิทยานิพนธ์ฉบับนี้ ขอนำเสนอการพัฒนาโครงสร้างวงจรถ่ายทรานส์คอนดักเตอร์ที่มีคุณสมบัติในการทำงานที่แหล่งจ่ายแรงดันต่ำ กินกำลังต่ำ มีความต่อเนื่องของสัญญาณที่ 1% THD ที่ช่วงแรงดันอินพุตกว้างมาก มีสัญญาณรบกวนต่ำ

#### 1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

การออกแบบวงจรถ่ายทรานส์คอนดักเตอร์ที่ใช้แหล่งจ่ายแรงดันต่ำ เพื่อให้ได้มาซึ่งการใช้พลังงานน้อยๆ แต่ยังคงรักษาประสิทธิภาพการทำงานของวงจรถ่ายสัญญาณเอาต์พุตไว้ได้ ต้องอาศัยการใช้เทคนิคการออกแบบต่างๆ รวมกัน โดยวงจรที่นำเสนอถูกออกแบบด้วยเทคนิคดังต่อไปนี้

1. ออกแบบวงจรด้วยเทคโนโลยีซีมอส (CMOS technology) เพื่อลดการใช้กำลังงาน
2. กำหนดให้แรงดันอินพุตเข้าทางซั้วบัลค์ (Bulk-driven input) ของทรานซิสเตอร์พีมอส (PMOS) เมื่อแรงดัน  $V_{SB}$  เพิ่มขึ้นค่าของแรงดัน  $V_{TH}$  จะมีค่าเป็นลบเพิ่มขึ้น ส่งผลให้สามารถใส่แรงดันแหล่งจ่ายน้อยลงได้
3. ออกแบบวงจรด้วยโครงสร้าง Flipped-Voltage Follower (FVF) มีผลต่อการใช้แหล่งจ่ายแรงดันต่ำ
4. ความเป็นเชิงเส้นมีค่าเพิ่มขึ้นโดยใช้โครงสร้างความต้านทานซอร์สดีเจเนอเรชัน (Passive Resistor Source Degeneration) ร่วมกับการทำงานของวงจรแบบคลาสเอบี
5. ลดการใช้วงจรแหล่งจ่ายกระแสและแรงดันจากภายนอก ด้วยการสร้างแหล่งจ่ายกระแสคงที่ จากการต่อเอ็นมอส (NMOS) แบบไดโอดคอนเน็คทีฟ (Diode-connected) บนโครงสร้าง Flipped-Voltage Follower รวมเข้าด้วยกัน ทำให่วงจรมีการทำงานแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลาสเอบี โดยโครงสร้างดังกล่าวถูกสร้างอยู่บนโครงสร้างที่มีความสมมาตร ขนาดของแหล่งจ่ายกระแสที่ถูกจำกัดด้วยขนาดของทรานซิสเตอร์

### 1.5 ขอบเขตการวิจัย

1. ศึกษาคุณสมบัติของอุปกรณ์เครื่องช่วยฟังเสียง 2 ประเภท คือ เครื่องช่วยฟัง (Hearing Aid device) และระบบประสาทหูเทียม (Cochlear Implant or Bionic Ear) และเลือกศึกษาการออกแบบวงจรของระบบประสาทหูเทียม เพื่อกำหนดคุณสมบัติของวงจรที่จะออกแบบ
2. ศึกษาการออกแบบวงจรแอนะล็อก และวิธีวัดตรวจสอบ
3. ศึกษางานวิจัยที่นำเสนอการพัฒนาคุณสมบัติของวงจรทรานส์คอนดักเตอร์แบบต่างๆ สำหรับงานย่านความถี่ต่ำ (ไม่เกิน 20 KHz)
4. ศึกษาเทคนิคการออกแบบวงจรที่ใช้แหล่งจ่ายแรงดันต่ำ และเทคนิคการรักษาคุณสมบัติความเป็นเชิงเส้นของงานออกแบบวงจรสำหรับย่านความถี่ต่ำ
5. ศึกษาการประยุกต์ใช้งานวงจรทรานส์คอนดักเตอร์ เช่น วงจรขยายสัญญาณภาคต้น (Pre-amplifier for silicon microphone) วงจรขยายสัญญาณอย่างต่อเนือง (Variable Gain Amplifier) วงจรปรับอัตราขยายสัญญาณแบบอัตโนมัติ (Automatic Gain Control) วงจรกรองแบบแอคทีฟ (Active Filter) เป็นต้น
6. ศึกษาวิธีการตรวจสอบคุณสมบัติวงจรต่างๆ จากการใช้งานซอฟต์แวร์ Cadence Tools
7. ศึกษาเทคโนโลยีที่นำมาให้ในงานวิจัยนี้ (เทคโนโลยี UMC's 0.18- $\mu\text{m}$  และ AMS's 0.35  $\mu\text{m}$ )

### 1.6 รายละเอียดของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 6 บท โดยในบทที่ 1 กล่าวถึงความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของการศึกษานี้ เพื่อนำมาตั้งสมมติฐาน ทฤษฎีหรือแนวคิด ขอบเขตของงานวิจัยนี้ เนื้อหาในบทถัดไปมีรายละเอียดดังต่อไปนี้

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

บทที่ 3 วงจรทรานส์คอนดักเตอร์ที่นำเสนอ

บทที่ 4 ผลการจำลองการทำงานเปรียบเทียบกับวงจรทรานส์คอนดักเตอร์ที่นำเสนอ

บทที่ 5 การประยุกต์วงจรที่นำเสนอสำหรับใช้งานทางการแพทย์

บทที่ 6 สรุปผลการวิจัยและข้อเสนอแนะ

## บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

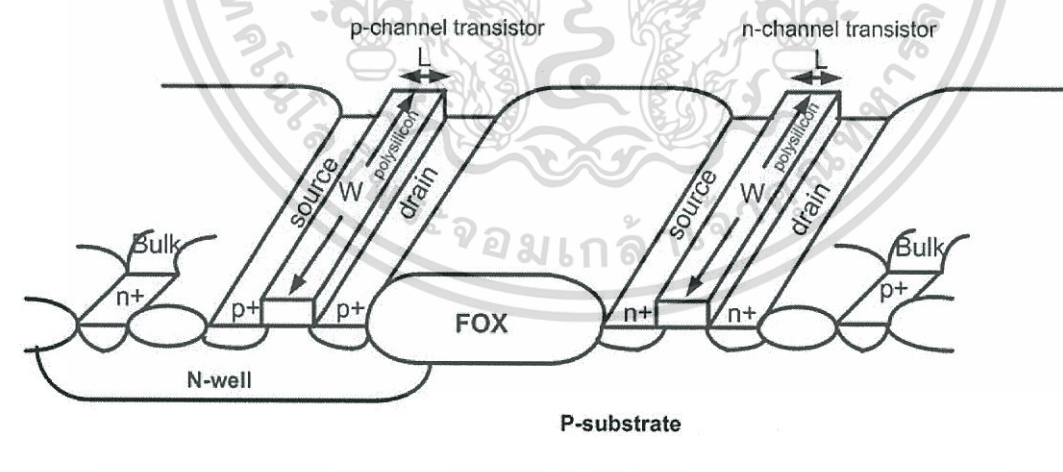
### 2.1 เทคนิคการออกแบบวงจรที่ใช้กำลังงานต่ำ

เทคนิคการออกแบบวงจรที่ใช้กำลังงานต่ำที่นำมาใช้ในงานวิจัยนี้ประกอบไปด้วยเทคนิคดังต่อไปนี้

- 2.1.1 เทคโนโลยีซีมอสทรานซิสเตอร์ (CMOS technology)
- 2.1.2 คุณสมบัติการทำงานของขั้วบัลค์ (Bulk-Driven characteristics)
- 2.1.3 วงจรตามแรงดันแบบ Flipped-Voltage Follower (FVF)
- 2.1.4 วงจรขยายคลาสเอบี (class AB amplifier)

#### 2.1.1 เทคโนโลยีซีมอสทรานซิสเตอร์

ปัจจุบันการออกแบบวงจรรวมสำหรับอุปกรณ์ทางการแพทย์แบบพกพามีความต้องการในเรื่องการประหยัดพลังงาน (Low-Power Low-Voltage) เทคโนโลยีซีมอสจึงเป็นทางเลือกหลักสำหรับงานออกแบบวงจรที่ต้องการใช้พลังงานน้อย มีอินพุตอิมพีแดนซ์สูง ใช้พื้นที่น้อย ทำงานได้เร็ว เป็นต้น ยิ่งถ้าใช้เทคโนโลยีที่มีขนาดเล็กลงในระดับนาโนเทคโนโลยี ก็ยิ่งทำให้สามารถลดการใช้แรงดันจากแหล่งจ่ายแรงดันน้อยลงไปอีก แถมยังส่งผลให้ขนาดของวงจรรวมที่ออกแบบมีขนาดเล็กตามไปด้วย [23] นอกจากนี้การใช้เทคโนโลยีซีมอสยังสามารถประยุกต์ใช้สร้างอุปกรณ์ R (ตัวต้านทาน) L (ตัวขดลวด) C (ตัวความจุ) ได้ ส่งผลให้สามารถเพิ่มความยืดหยุ่นในการออกแบบวงจรรวมได้หลากหลายยิ่งขึ้น นับเป็นจุดเด่นของเทคโนโลยีซีมอส



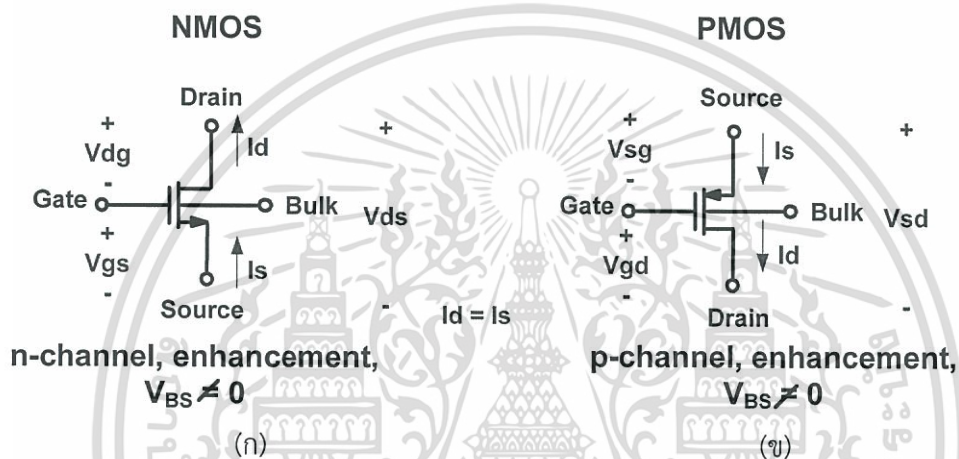
รูปที่ 2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ในเทคโนโลยี n-well

จากกระบวนการผลิตวงจรรวมซีมอส (Complementary Metal-Oxide-Semiconductor Process: CMOS) ประกอบไปด้วยทรานซิสเตอร์ชนิดเอ็นมอส (n-channel transistor: NMOS) และทรานซิสเตอร์ชนิดพีมอส (p-channel transistor: PMOS) ทั้งสองถูกสร้างอยู่บนฐานรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดียวกัน โดยจะสร้างทรานซิสเตอร์ชนิดใดชนิดหนึ่งขึ้นก่อนในฐานรองตั้งต้น (substrate) จากนั้นถึงสร้างทรานซิสเตอร์อีกชนิดในบ่อเวลล์ (well) จากรูปที่ 2.1 แสดงวงจรรวมซีมอสที่ถูกสร้างบนฐานรอง p-substrate เพื่อให้เกิดผลลัพธ์ทางไฟฟ้าแตกต่างกัน ทรานซิสเตอร์ชนิดเอ็นมอสสามารถสร้างได้บนฐานรองนี้ ในขณะที่ทรานซิสเตอร์ชนิดพีมอสสร้างได้บนบ่อเอ็นเวลล์ (n-well)

โดยในรูปที่ 2.2 แสดงสัญลักษณ์ของทรานซิสเตอร์ประเภทเอ็นมอสและพีมอสประกอบด้วย ขั้วเดรน (Drain:D), ขั้วเกต (Gate:G), ขั้วซอร์ส (Source:S) , และขั้วบัลค์ (Bulk:B) หลักการทำงานของทรานซิสเตอร์ทั้งสองเหมือนกัน โดยปกติขั้วบัลค์จะถูกต่อเข้ากับขั้วซอร์สที่แรงดันสูงสุดของ PMOS และต่อกับแรงดันต่ำสุดของ NMOS แต่ในปัจจุบันมีการประยุกต์ใช้งานขั้วบัลค์เป็นขั้วอินพุตของวงจรแทนการใช้ขั้วเกตกันมากขึ้น



รูปที่ 2.2 สัญลักษณ์ทางไฟฟ้าของ NMOS และ PMOS

คุณสมบัติการทำงานของมอสทรานซิสเตอร์ [23] - [26] ลักษณะการจ่ายไฟเลี้ยงให้ทรานซิสเตอร์ NMOS และ PMOS แตกต่างกันในเรื่องขั้วขั้วทางและเครื่องหมาย เมื่อพิจารณาการเริ่มนำกระแสของมอสทรานซิสเตอร์ พบว่ายังสามารถแบ่งมอสทรานซิสเตอร์ได้ออกเป็นอีก 2 ชนิด คือแบบอุปกรณ์เอ็นฮานซ์เมนต์ (Enhancement Mode Device) และแบบอุปกรณ์ดีพลีชัน (Depletion Mode Device) ในที่นี้จะขอกกล่าวถึงการใช้งานซีมอสเกิดจากการใช้ทรานซิสเตอร์ชนิด NMOS ร่วมกับ PMOS ในอุปกรณ์แบบเอ็นฮานซ์เมนต์เท่านั้น โดยอุปกรณ์ประเภทนี้จะมีกระแสเกิดขึ้นเมื่อค่าความต่างศักย์ของแรงดันระหว่างขั้วเกตและซอร์ส มีขนาดถึงค่าแรงดันขีดเริ่ม (Threshold Voltage:  $V_{th}$ ) หรือเรียกว่า “แรงดันขีดเริ่ม” จากสมการที่ (2.1) เรากำหนดกระแสที่เกิดขึ้นในช่องทางเดินนี้ว่ากระแสเดรน ( $I_D$ )

$$V_{th} = V_{To} + \gamma \sqrt{2|\phi_f| + |V_{BS}|} - \gamma \sqrt{2|\phi_f|} \quad (2.1)$$

เทคโนโลยีซีมอสมีข้อดีในเรื่องการประหยัดพลังงาน และทำงานได้เร็วเนื่องจากขนาดของความยาวช่องนำกระแสแคบ และช่องนำกระแสนี้เองที่ถูกพัฒนาจากนักวิจัยทั่วโลกให้มีขนาดเล็กลงเรื่อยๆ ทำให้เทคโนโลยีซีมอสเป็นที่นิยมใช้งานในงานออกแบบวงจรรวมมากยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติการทำงานของทรานซิสเตอร์เป็นการใช้แรงดันไฟฟ้าควบคุมปริมาณกระแส จากโครงสร้างทรานซิสเตอร์ชนิดเอ็นมอสที่อยู่บนฐานชนิดพี (P-Substrate) เมื่อเราให้แรงดันไบอัสที่ขั้วเกต โดยให้  $V_{GS} > 0$  ในขณะที่  $V_{DS} > 0$  จะเกิดสนามไฟฟ้าที่มีทิศทางไปยังฐานทำให้โฮล บริเวณใกล้ผิวของฐานได้เกิดถูกผลักออก เกิดย่านปลอดพาหะขึ้นได้ผิว และถ้าให้แรงดันที่ขั้วเกตเพิ่มขึ้นจนมากกว่าค่าแรงดันแทรชโฮล ( $V_{th}$ ) จะพบว่าช่องว่างระหว่างขั้วซอร์สและเดรนก็จะกว้างมากขึ้น ทำให้อิเล็กตรอนสามารถเคลื่อนที่ผ่านช่องว่างนี้ เกิดกระแสไหลจากเดรนมายังซอร์สนั่นเอง ถ้าเพิ่ม  $V_{DS} = V_{GS} - V_{th}$  กระแสเดรนจะไหลสูงสุดและจะคงที่ตลอดแม้จะเพิ่ม  $V_{DS}$  มากขึ้น สามารถสรุปเป็นสมการของกระแสแบบทั่วๆ ไปได้ดังสมการที่ (2.2)

$$I_D = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right) (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (2.2)$$

ดังนั้นการทำงานของมอสทรานซิสเตอร์ถูกจัดแบ่งออกตามย่านการทำงานต่างๆ ของกระแสดังรูปที่ 2.3 โดยยกตัวอย่างของมอสทรานซิสเตอร์ชนิดเอ็น

โดยที่ความหมายของค่าพารามิเตอร์ต่างๆ ประกอบด้วย

$K'$  มีค่าเท่ากับ  $\mu_n C_{ox}$  (process parameter) คือค่าความนำ (transconductance parameter) ( $A/V^2$ )

$\mu_n$  = ค่าความคล่องตัวของโฮลหรืออิเล็กตรอน (surface mobility of the channel for the n-channel or p-channel device) ( $cm^2/V\cdot s$ )

$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$  ค่าความจุต่อพื้นที่ของเกตออกไซด์ (oxid capacitance) ( $F/cm^2$ )

$W$  = ความกว้างของแชนแนล (effective channel width) (m)

$L$  = ความยาวของแชนแนล (effective channel length) (m)

$V_{GS}$  = ค่าความต่างศักย์ระหว่างเกตกับซอร์ส (gate-source voltage) (V)

$V_{DS}$  = ความต่างศักย์ระหว่างเดรนกับซอร์ส (drain-source voltage) (V)

$V_{BS}$  = ความต่างศักย์ระหว่างบัลค์กับซอร์ส (bulk-source voltage) (V)

$V_{To}$  = แรงดันขีดเริ่ม (Threshold Voltage) หรือแรงดันแทรชโฮลเมื่อ  $V_{BS} = 0$  (V)

$I_D$  = กระแสเดรน (drain current) (A)

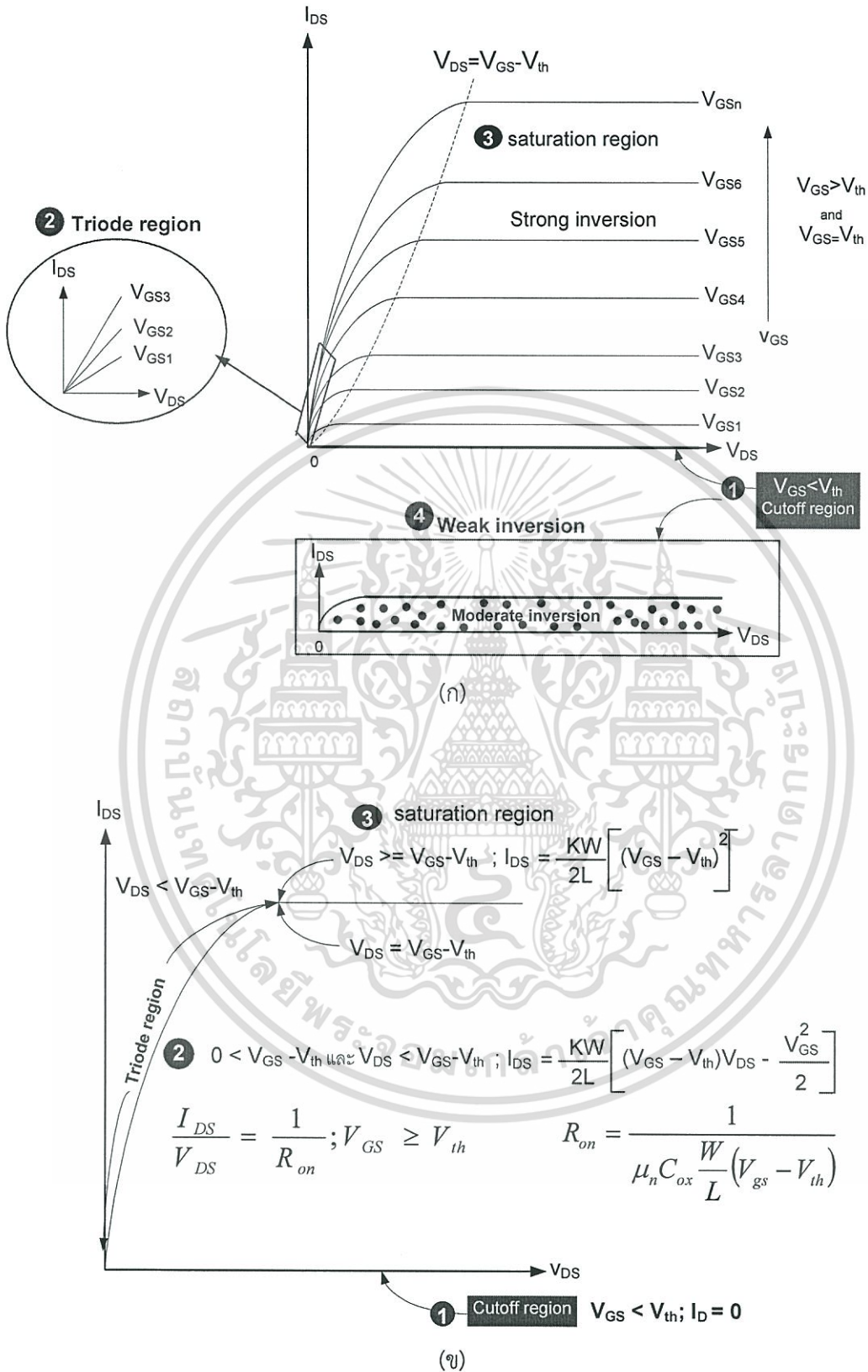
$g_d$  = ค่าความนำที่ขั้วเดรน (drain conductance) ( $A/V$ )

$g_m$  = ค่าความนำของมอสทรานซิสเตอร์ (transconductance) ( $A/V$ )

$\lambda$  = ความยาวของแชนแนลโมดูเลชัน (Channel Length modulation) ( $V^{-1}$ )

$\phi_f$  = ศักดิ์ไฟฟ้าที่พื้นผิวซิลิกอน

$\gamma$  = ค่าคงที่ที่เกิดจากขั้วบัลค์ (Body-Effect voltage)



รูปที่ 2.3 ความสัมพันธ์ของแรงดันกับช่วงการทำงานต่างๆ ของมอสทรานซิสเตอร์ เชิงความสัมพันธ์ระหว่าง  $I_D$  และ  $V_{DS}$  เมื่อเปลี่ยนค่า  $V_{GS}$  ของมอสทรานซิสเตอร์ [26]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.1.1.1 Cutoff region ย่านนี้ทรานซิสเตอร์ไม่ทำงาน

เมื่อ  $V_{GS} = 0$  บริเวณขั้วซอร์สและเดรนจะถูกแยกออกจากกัน โดยรอยต่อพีเอ็น (pn) ที่ต่อแบบหันหลังชนกันทำให้มีความต้านทานสูงมาก ทรานซิสเตอร์จึงไม่นำกระแส นั่นคือ  $V_{GS} < V_{th}$ ;  $I_D = 0$

### 2.1.1.2 Triode region

ย่านนี้มอสทรานซิสเตอร์จะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Non-Saturation region) หรือย่านไตรโอด (Triode Region) โดยมีเงื่อนไขคือ  $V_{GS} > V_{th}$  และ  $V_{DS} < (V_{GS} - V_{th})$  จะเห็นได้ว่าแรงดันระหว่างเดรนและซอร์ส ( $V_{DS}$ ) มีค่าน้อยๆ ทำให้ค่ากระแสเดรนมีความเป็นเชิงเส้นเมื่อเทียบกับแรงดันระหว่างเกตและซอร์ส ( $V_{GS}$ ) ดังนั้นสมการกระแสสำหรับการทำงานในช่วงนี้หาได้จากสมการ (2.3)

$$I_D = \frac{K'W}{2L} \left[ (V_{GS} - V_{th})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.3)$$

เมื่อ  $V_{DS} \ll 2(V_{GS} - V_{th})$ ;  $I_D = K' \left( \frac{W}{L} \right) [(V_{GS} - V_{th})V_{DS}] \quad (2.4)$

จะสังเกตได้ว่ากระแสในย่านนี้ขึ้นกับแรงดัน  $V_{GS}$  และแรงดัน  $V_{DS}$

ค่าความต้านทานหาได้จากสมการ  $R_{ON} = \frac{1}{K' \frac{W}{L} (V_{GS} - V_{th})} \quad (2.5)$

การทำงานของมอสทรานซิสเตอร์ในย่านนี้นิยมนำมาใช้เป็นตัวต้านทานที่ปรับค่าได้ โดยใช้กระแสหรือแรงดันควบคุม

### 2.1.1.3. Saturation region

การทำงานของทรานซิสเตอร์ในย่านอิ่มตัวนี้มักใช้ขยายสัญญาณอินพุตที่มีขนาดเล็กๆ ให้มีขนาดใหญ่โดยกำหนด  $V_{DS} \geq (V_{GS} - V_{th})$

- ในกรณีที่ละเลยค่า channel length modulation ( $\lambda$ ) สมการกระแสหาได้จาก

$$I_D = \frac{K'W}{2L} (V_{GS} - V_{th})^2 \quad (2.6)$$

- ในกรณีที่คิด channel length modulation ( $\lambda$ ) สมการกระแสหาได้จากสมการ (2.2) หรือ

$$I_D = \frac{K'W}{2L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (2.7)$$

โดยที่  $K' = \mu_o C_{ox}$  หาได้จากเทคโนโลยีที่นำมาใช้งาน

แรงดันระหว่างเกต-ซอร์ส หาได้จาก  $V_{GS} = \sqrt{\frac{2I_D}{K'(W/L)}} + V_{th} \quad (2.8)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พบว่าแรงดัน  $V_{DS(sat)} = \sqrt{\frac{2I_D}{K'(W/L)}} \tag{2.9}$

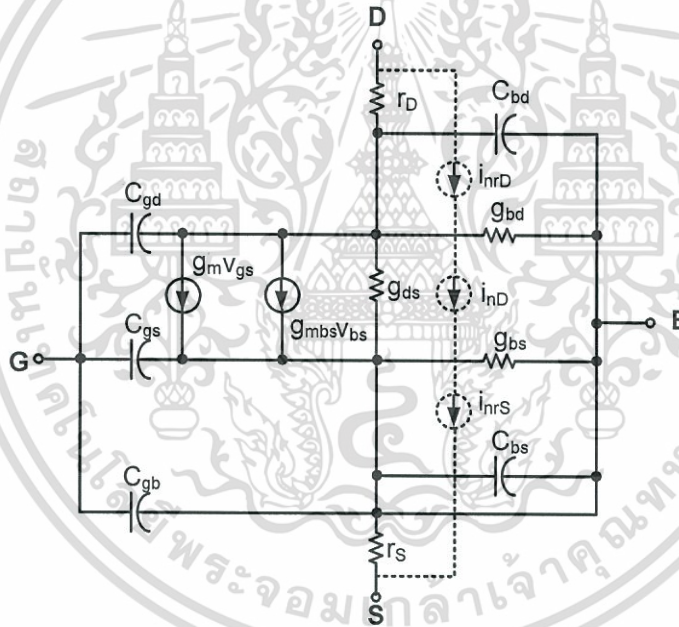
และ  $I_{D(sat)} = \frac{K'W}{2L} V_{DS(sat)}^2 \tag{2.10}$

จากการแสดงความสัมพันธ์ระหว่างกระแส  $I_D$  และแรงดัน  $V_{GS}$  สามารถพิจารณาคุณสมบัติค่าทรานส์คอนดักเตอร์ (Transconductor) และค่าความนำ (Transconductance)

เมื่อวิเคราะห์สัญญาณขนาดเล็กในรูปที่ 2.4 ขณะที่ทรานซิสเตอร์ทำงานในช่วงอิมิต์วและไม่อิมิต์ว ค่าทรานส์คอนดักแทนซ์และความนำของมอสทรานซิสเตอร์พิจารณาได้ดังต่อไปนี้

ที่ย่านอิมิต์วกำหนดโดย  $g_m = \frac{\partial i_D}{\partial v_{GS}}$ ,  $g_{mbs} = \frac{\partial i_D}{\partial v_{BS}}$  และ  $g_{ds} = \frac{\partial i_D}{\partial v_{DS}}$

โดยที่  $g_{bd} = \frac{\partial i_{BD}}{\partial v_{BD}} \cong 0$  และ  $g_{bs} = \frac{\partial i_{BS}}{\partial v_{BS}} \cong 0$



รูปที่ 2.4 วงจรสมมูลสำหรับมอสทรานซิสเตอร์ [23]

สรุปความสัมพันธ์ของการวิเคราะห์ห้วงจรสมมูลสำหรับมอสทรานซิสเตอร์ ขึ้นกับค่าแรงดัน DC และกระแสในย่าน Non-saturation ของค่าทรานส์คอนดักแทนซ์ได้จากสมการ (2.1) ถึง (2.13)

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = \beta V_{DS} \tag{2.11}$$

$$g_{mbs} = \frac{\partial i_D}{\partial v_{BS}} = \frac{\beta \gamma V_{DS}}{2(2|\phi_F| + V_{SB})^{1/2}} \tag{2.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_{ds} = \beta(V_{GS} - V_{th} - V_{DS}) \tag{2.13}$$

และเมื่อพิจารณาที่ย่านอิมิตัวค่าทรานส์คอนดักแตนซ์หาได้จากสมการ (2.14) ถึง (2.17) จากความสัมพันธ์ของการวิเคราะห์วงจรสมมูลสำหรับมอสทรานซิสเตอร์ขึ้นกับค่าแรงดันดีซี และกระแสในย่านอิมิตัว

$$g_m = \sqrt{(2K'(W/L))I_D(1 + \lambda V_{DS})} \cong \sqrt{(2K'(W/L))I_D} \tag{2.14}$$

$$g_{mbs} = \frac{-\partial i_D}{\partial v_{SB}} = -\left(\frac{\partial i_D}{\partial V_{th}}\right)\left(\frac{\partial V_{th}}{\partial v_{SB}}\right) \tag{2.15}$$

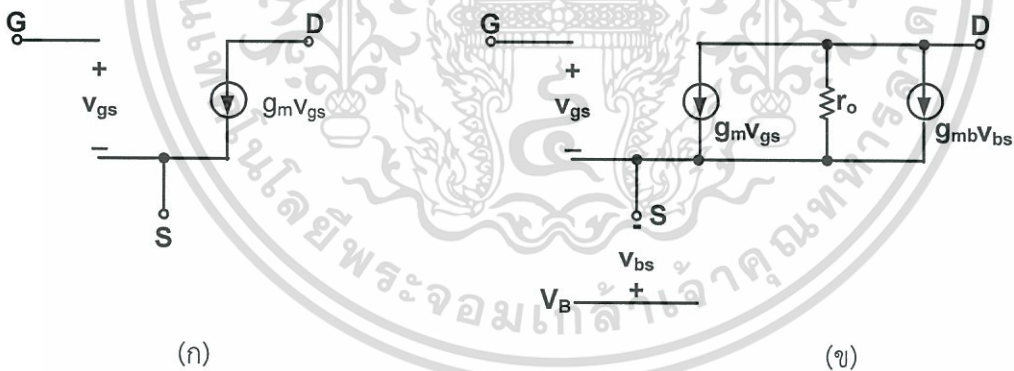
ถ้า  $\frac{\partial i_D}{\partial V_{th}} = \frac{-\partial i_D}{\partial v_{GS}}$

เราจะได้ว่า

$$g_{mbs} = g_m \frac{\gamma}{2(|\phi_F| + V_{SB})^{1/2}} = \eta g_m \tag{2.16}$$

$$g_{ds} = g_o = \frac{I_D \lambda}{1 + \lambda V_{DS}} \cong I_D \lambda \tag{2.17}$$

ถ้า  $\lambda V_{DS} \ll 1$  ค่าความนำจะเป็นรากที่สองของกระแสเดรน จากความสัมพันธ์ดังกล่าวนำไปสู่การหาค่าความต้านทานเอาต์พุตได้จาก



รูปที่ 2.5 (ก) แบบจำลองวงจรสมมูลของมอสทรานซิสเตอร์ (ข) วงจรสมมูลกรณีขั้วซอร์สต่อกับฐานรองโดยมีผลกระทบจากขั้วฐานรองเข้ามาเกี่ยวข้อง

$$g_o = \frac{1}{r_o} = \begin{cases} K' \frac{W}{L} (V_{GS} - V_{th} - V_{DS}) & ; V_{DS} < V_{GS} - V_{th} \\ I_D \lambda & ; V_{DS} \geq V_{GS} - V_{th} \end{cases} \tag{2.18}$$

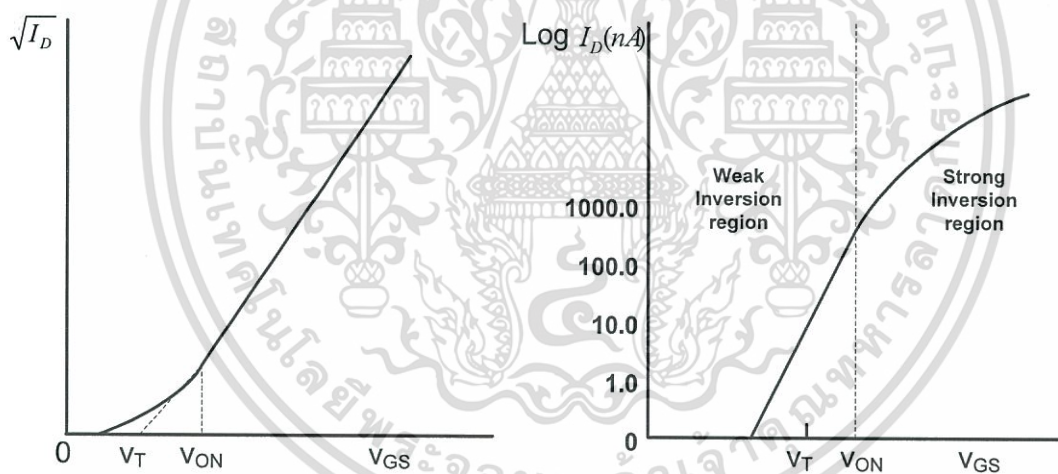
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.18) พบว่าค่าความยาวของแชนแนล (L) มีผลต่อขนาดของวงจรถูกออกแบบและความเร็วในการทำงานโดยตรง

จากรูปที่ 2.4 พบว่าโครงสร้างของมอสทรานซิสเตอร์ประกอบไปด้วยค่าความจุ 5 ตัวคือ  $C_{gs}$ ,  $C_{gd}$ ,  $C_{gb}$ ,  $C_{sb}$  และ  $C_{db}$  แต่มีเพียงค่าความจุเดียวที่มีบทบาทสำคัญที่สุดคือ  $C_{gs}$  ซึ่งจะมีผลกระทบต่อ การออกแบบวงจรร่านความถี่สูง โครงสร้างดังกล่าวเป็นโครงสร้างที่มีความละเอียดเกินกว่าที่จะวิเคราะห์ด้วยมือ มักจะถูกกำหนดไว้สำหรับวิเคราะห์ด้วยซอฟต์แวร์ ดังนั้นถ้าจะวิเคราะห์ด้วยมือก็จะใช้โครงสร้างในรูป 2.5 ซึ่งเป็นที่นิยมใช้กันอย่างกว้างขวางโดยทั่วไป

#### 2.1.1.4 Subthreshold region

คือย่านที่มีการใช้งานมอสทรานซิสเตอร์ต่ำกว่าแรงกั้นแตรซโสล ในทางทฤษฎีแล้วจะพบว่า มอสไม่ทำงานเพราะไม่มีกระแสไหลแต่ในความเป็นจริงแล้วพบว่าเมื่อลดระดับแรงดันไบอัส  $V_{GS}$  ลงต่ำกว่าหรือเข้าใกล้  $V_{th}$  กระแสเปลี่ยนจากย่านร่ากที่สอง (Square-Law) เข้าสู่ย่านเอ็กซ์โพเนนเชียล (Exponential) เราเรียกกานการทำงานนี้ของมอสทรานซิสเตอร์ว่า ย่านผันกลับอย่างอ่อน (Weak-inversion) หรือย่านซับแตรซโสล (Subthreshold region) ในรูปที่ 2.7 [23] แสดงคุณสมบัติของ  $I_D$  เทียบกับ  $V_{GS}$  โดยการพล็อตกราฟของกระแสแบบล็อกกาลีทิม สังเกตได้ว่าเมื่อให้  $V_{GS}$  ต่ำกว่า  $V_{th}$  ลงเรื่อยๆ กระแสที่เป็นเอ็กซ์โพเนนเชียลจะลดลงจนเท่ากับศูนย์ สมการกระแสหาได้จาก (2.19)



รูปที่ 2.6 คุณสมบัติกระแสเดรนซอร์สและแรงดันเกตซอร์ส เมื่อพล็อตในสเกลแบบล็อกกาลีทิม

$$I_D = \frac{W}{L} I_{D0} \exp\left(\frac{V_{GS}}{nU_T}\right) \quad (2.19)$$

เมื่อไบอัสมอสทรานซิสเตอร์ให้ทำงานในย่านซับแตรซโสล ขณะที่มอสทรานซิสเตอร์ทำงานในสภาวะอิ่มตัว แรงดันเดรน-ซอร์ส  $V_{DS} \geq 3U_T$  ต่อขาซอร์สและฐานรองเข้าด้วยกัน แรงดัน  $V_{GS}$  มีค่า  $(\frac{1}{2}\phi_{FB} \leq V_{GS} \leq \phi_{FB})$  หรือ  $V_{GS} < V_T + n\frac{kT}{q}$

$I_{D0}$  คือกระแสรั่วไหลเมื่อ  $V_{GS} = V_{BS} = 0$  หาได้จาก  $I_{D0} = I_S \exp\left(\frac{-V_{th}}{nU_t}\right)$  (2.20)

โดยที่  $I_S = 2n\mu C_{ox} U_T^2 \frac{W}{L}$

$n = 1 + \frac{C_{js}}{C_{ox}} \approx 1.5$  คือความชันของกราฟในย่านแรงดันต่ำกว่าแรงดันแทรชโฮล ขึ้นอยู่กับ

แรงดันตกคร่อมความจุไฟฟ้าที่เปลี่ยนแปลงไปที่แบ่งมาจากแรงดันที่เกต  $V_G$  และ surface potential

$\phi_{FB}$  คือแรงดัน Flat-band

$U_T = \frac{kT}{q}$  คือแรงดันอุณหภูมิต

$K = 1.381 \times 10^{-23}$  J/K คือค่าคงที่ Boltzmann

T คืออุณหภูมิห้อง 300°K หรือ 27°C

q คือประจุไฟฟ้า ( $1.602 \times 10^{-19}$ )

ในงานวิจัยนี้ใช้ขานมอสทรานซิสเตอร์ทำงานในย่านต่ำกว่าแรงดันแทรชโฮล เพื่อต้องการให้ วงจรใช้กำลังงานต่ำ โดยใช้กระแสไบอัสที่เดรนในปริมาณน้อยๆ กำหนดให้แรงดันไบอัส  $V_{GS}$  อยู่ใน ช่วง  $\frac{1}{2}\phi_{FB} \leq V_{GS} \leq \phi_{FB}$  มอสทรานซิสเตอร์มีการอิมิตัวอย่างรวดเร็วโดยเริ่มจาก  $V_{DS} = 3U_T$  ถึง  $6U_T$  ส่งผลให้มีค่าทรานส์คอนดักแตนซ์มีค่าน้อยๆ ทำให้การตอบสนองของวงจรมีข้อจำกัด [23], [27]

$$g_m = \frac{I_D}{nU_t} \quad (2.21)$$

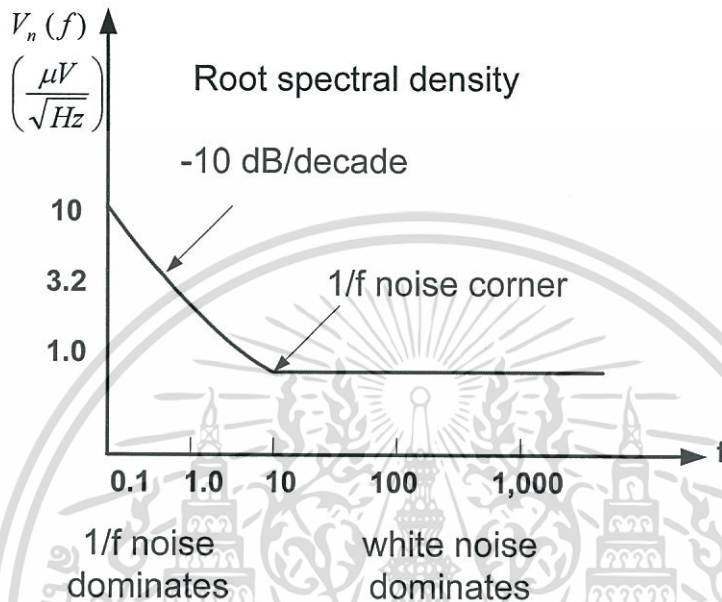
เมื่อพิจารณาจากสมการ (2.22) พบว่าการตอบสนองความถี่แคบลง

$$f_T = \frac{1}{2\pi} \frac{g_m}{(C_{gs} + C_{gb} + C_{gd})} \approx \frac{1}{2\pi} \frac{g_m}{C_{gb}} = \frac{1}{2\pi} \frac{\frac{I_D}{U_t} \frac{C_{ox}}{C_{js} + C_{ox}}}{WL \left( \frac{C_{ox} C_{js}}{C_{ox} + C_{js}} \right)} \quad (2.22)$$

### 2.1.1.5 สัญญาณรบกวน

สัญญาณรบกวนที่ต้องคำนึงถึงในงานวิจัยสำหรับอุปกรณ์ทางการแพทย์ที่ทำงานในย่านความถี่ ต่ำๆ มีด้วยกันอยู่ 2 ประเภทหลักๆ คือสัญญาณรบกวนจากแหล่งจ่ายแรงดันซึ่งหมายถึงแหล่งจ่าย แรงดันจากแบตเตอรี่ เราทราบดีว่าแบตเตอรี่ไม่สร้างสัญญาณรบกวน แต่เรามักจะพบสัญญาณ รบกวนที่ส่งผ่านมาระหว่างการเชื่อมต่อระหว่างแบตเตอรี่ถึงวงจรที่ออกแบบ สามารถวัดค่าได้จาก คุณสมบัติการขยายสัญญาณจากอัตราส่วนขจัดแรงดันไฟเลี้ยง (Power-Supply Rejection Ratio: PSRR) [23], [26] – [27]

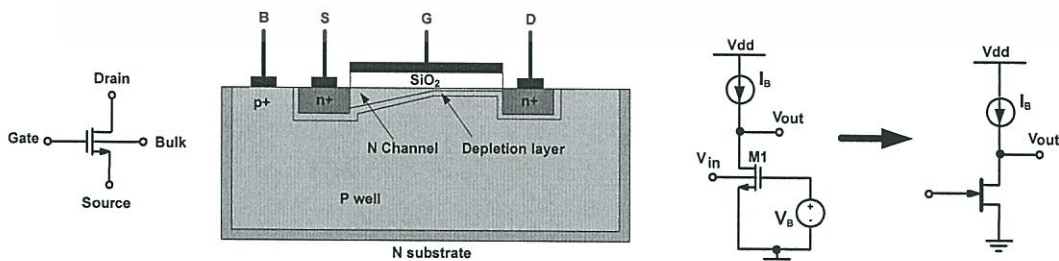
อีกประเภทหนึ่งคือสัญญาณรบกวนที่เกิดขึ้นในมอสทรานซิสเตอร์ [28] - [29] จากรูปที่ 2.7 แสดงสัญญาณรบกวน  $1/f$  ซึ่งมีผลกระทบโดยตรงต่อการทำงานของวงจรในช่วงความถี่ต่ำๆ และ white noise เป็นสัญญาณรบกวนที่มีผลกระทบต่องานความถี่สูงกว่า งานวิจัยนี้พิจารณาสัญญาณรบกวนที่ความถี่ต่ำกว่า 10-KHz



รูปที่ 2.7 สัญญาณรบกวน  $1/f$  และ white noise ในมอสทรานซิสเตอร์ [28] - [29]

### 2.1.2 คุณสมบัติการทำงานของขั้วบัลค์ (Bulk-Driven characteristics)

จากการค้นคว้าวิจัยถึงเทคนิคต่างๆ เพื่อลดการใช้กำลังงานจากการออกแบบวงจรรวมซีมอส (Low power CMOS circuit design techniques) [30] - [31] เช่น การใช้เทคนิคการป้อนแรงดันอินพุตที่ขั้วบัลค์ (Bulk-driven MOSFETs) การใช้เทคนิค Floating-gate MOSFETs, หรือ Self-cascode MOSFETs เป็นต้น แต่จะต้องแลกกับข้อจำกัดในเรื่องของแรงดันจากแหล่งจ่าย และช่วงปฏิบัติงานของสัญญาณอินพุตที่แคบลง ในวิทยานิพนธ์ฉบับนี้เลือกใช้เทคนิคการกระตุ้นสัญญาณเข้าที่ขั้วบัลค์



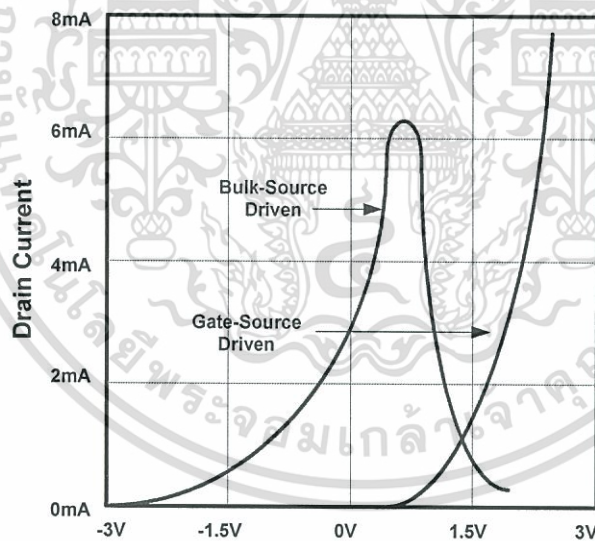
รูปที่ 2.8 ภาพตัดขวางของมอสทรานซิสเตอร์ใน P-well CMOS technology และสัญลักษณ์ของ Bulk-driven MOS Transistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ปัจจุบันมีการประยุกต์ใช้งานขั้วบัสต์ส่งผ่านสัญญาณอินพุตแทนการใช้งานขั้วเกต แต่มีข้อจำกัดในการใช้งานเฉพาะการขยายสัญญาณที่มีขนาดเล็กๆ ส่วนของอินพุตจะถูกสร้างอยู่ในชั้นของเอ็นเวลล์ (N-well) หรือพีเวลล์ (P-well) เท่านั้น จากรูปที่ 2.8 แสดงภาพตัดขวางของมอสทรานซิสเตอร์ใน P-well CMOS technology และแสดงสัญลักษณ์ของ Bulk-driven MOS Transistor การใช้งานมอสทรานซิสเตอร์แบบนี้จะแสดงคุณสมบัติเสมือนเจเฟท (JFETs)

รูปที่ 2.9 แสดงผลการป้อนแรงดันเข้าที่ขั้วเกตเปรียบเทียบกับผลการป้อนแรงดันเข้าที่ขั้วบัสต์ จากการกระตุ้นแรงดันที่ขั้วเกตซึ่งต้องมีการป้อนแรงดันมากกว่า  $V_{th}$  มอสทรานซิสเตอร์ถึงจะทำงาน ซึ่งต่างจากการป้อนแรงดันเข้าที่ขั้วบัสต์ พบว่าถึงแม้ไม่มีแรงดันป้อนให้ที่ขั้วบัสต์ ทรานซิสเตอร์ยังให้กระแสออกมาค่าหนึ่ง ดังนั้นการไบอัสแรงดันที่ขั้วบัสต์สามารถป้อนได้ทั้งแรงดันค่า บวก ศูนย์ และค่าติดลบ มอสทรานซิสเตอร์ก็สามารถทำงานได้ แต่มีข้อจำกัดของการป้อนแรงดันขั้วบัสต์ ( $V_{bs}$ ) ที่เป็นค่าบวกจะต้องไม่เกินแรงดัน  $V_{th}$  ดังนั้นการใช้งานมอสทรานซิสเตอร์ในลักษณะกระตุ้นที่ขั้วบัสต์จึงเหมาะสำหรับงานที่ต้องการใช้แหล่งจ่ายแรงดันต่ำ จากสมการที่ (2.1) ทราบว่าแรงดันขั้วบัสต์กับซอร์ส ( $V_{bs}$ ) จะเป็นฟังก์ชันของแรงดัน  $V_{th}$  ดังนั้นค่าของกระแสเดรนที่ทำงานในช่วงอิมัวในย่าน weak inversion หาได้จากสมการที่ (2.23)

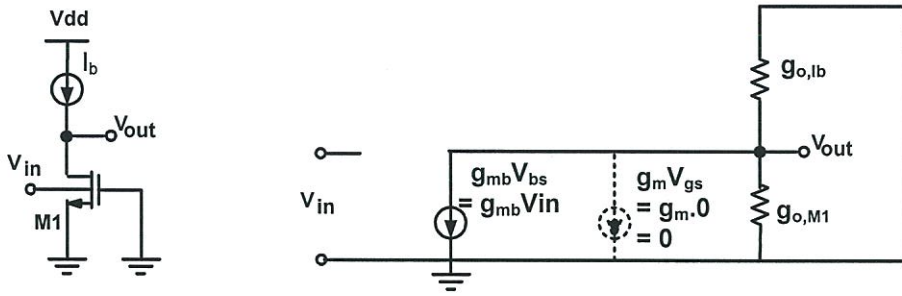
$$i_D = \frac{1}{2} K' \frac{W}{L} \left( V_{GS} - V_{To} - \gamma \sqrt{2|\phi_f|} - |V_{BS}| + \gamma \sqrt{2|\phi_f|} \right)^2 (1 + \lambda V_{DS}) \quad (2.23)$$



รูปที่ 2.9 กราฟความสัมพันธ์ระหว่างกระแสเดรน ( $I_D$ ) ต่อแรงดันระหว่างขั้วเกตและขั้วซอร์ส ( $V_{gs}$ ) จากการกระตุ้นที่ขั้วเกตของทรานซิสเตอร์ เปรียบเทียบกับกราฟความสัมพันธ์ระหว่างกระแสเดรน ( $I_D$ ) ต่อแรงดันระหว่างขั้วบัสต์และขั้วซอร์ส ( $V_{bs}$ ) จากการกระตุ้นที่ขั้วบัสต์ [31]

การวิเคราะห์สัญญาณขนาดเล็กรูปที่ 2.10 เมื่อมีการกระตุ้นสัญญาณเข้าที่ขั้วบัสต์ สามารถหาฟังก์ชันการทำงานของกระแส อัตราขยาย ค่าทรานส์คอนดักแตนซ์ และค่าความนำของมอสทรานซิสเตอร์จากสมการ (2.27) ถึง (2.30) [30] – [33]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 วงจรสมมูลของการวิเคราะห์สัญญาณขนาดเล็กสำหรับมอสทรานซิสเตอร์ที่กระตุ้นสัญญาณที่ขั้วบัลค์

อัตราขยายสัญญาณหาได้จาก

$$A_v = \frac{v_{out}}{v_{in}} = \frac{g_{mb}}{g_{o,lb} + g_{o,M1}} \quad (2.27)$$

ค่าทรานส์คอนดักแตนซ์ของขั้วบัลค์หาได้จาก

$$g_{mb} = \frac{\partial i_D}{\partial v_{BS}} = \frac{\gamma \cdot g_m}{2\sqrt{2\phi_F - V_{BS}}} \quad (2.28)$$

$$\eta = \frac{\gamma}{2\sqrt{2\phi_F - V_{BS}}} \quad (2.29)$$

โดยที่  $\eta$  เป็นค่าอัตราส่วนของ  $g_{mb}$  ต่อ  $g_m$  โดยทั่วไปมีค่าอยู่ระหว่าง 0.2 ถึง 0.4

ค่าความนำหาได้จาก

$$g_o = g_{o,lb} + g_{o,M1} \quad (2.30)$$

เมื่อพิจารณาผลกระทบต่อความถี่ โดยพิจารณาจากสมการเปรียบเทียบระหว่างค่าทรานส์คอนดักแตนซ์แบบกระตุ้นสัญญาณผ่านขั้วเกต (Gate-driven) (2.31) เทียบกับการกระตุ้นสัญญาณผ่านขั้วบัลค์ (Bulk-driven) สมการ (2.32) เห็นได้ว่าค่าทรานส์คอนดักแตนซ์ที่มีขนาดเล็กกว่าส่งผลให้การตอบสนองความถี่ที่ได้จากการกระตุ้นสัญญาณผ่านขั้วบัลค์ได้แคบลง

$$f_{T, \text{gate-driven}} = \frac{g_m}{2\pi C_{gs}} \quad (2.31)$$

$$f_{T, \text{bulk-driven}} = \frac{\eta g_m}{2\pi(C_{bs} + C_{bsub})} \approx \frac{\eta}{3.8} f_{T, \text{gate-driven}} \quad (2.32)$$

เมื่อพิจารณาสัญญาณรบกวนที่มีผลกระทบต่อการใช้งานขั้วบัลค์มี 2 ประเภทใหญ่คือ thermal noise และ flicker (1/f) noise เมื่อพิจารณาสมการที่ (2.33) [31] - [32] สัญญาณรบกวนมีผลกระทบสูงกว่าการทำงานแบบกระตุ้นสัญญาณเข้าที่ขั้วเกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Noise_{bulk-driven} = \frac{Noise_{gate-driven}}{\eta^2} \quad (2.33)$$

สัญญาณรบกวน noise current สำหรับการกระตุ้นสัญญาณที่ชั่วเกิดและชั่วบัลค์หาได้จากสมการที่ (2.34)

$$\overline{di_{DS}^2} = \frac{8kT}{3} g_m df \quad (2.34)$$

และสัญญาณรบกวน noise voltage สำหรับการกระตุ้นสัญญาณที่ชั่วบัลค์หาได้จากสมการ (2.35)

$$\begin{aligned} \overline{dv_{ieq,bulk-driven}^2} &= \frac{8kT}{3} \frac{g_m}{g_{mb}^2} df \\ &= \frac{8kT}{3} \frac{1}{\eta^2 g_m} df \\ &= \frac{1}{\eta^2} \overline{dv_{ieq,gate-driven}^2} \end{aligned} \quad (2.35)$$

โดยที่แรงดันสัญญาณรบกวนอินพุตของชั่วเกิดหาได้จาก

$$\overline{dv_{ieq,gate-driven}^2} = \frac{8kT}{3} \frac{1}{g_m} df \quad (2.36)$$

และ  $\frac{1}{\eta^2}$  มีค่ามากกว่าสัญญาณรบกวนอินพุตที่ได้จากการทำงานเมื่อกระตุ้นสัญญาณเข้าที่ชั่วเกิด พบว่าสัญญาณรบกวนส่งผลกระทบมากขึ้นเนื่องมาจากอัตราขยายสัญญาณลดต่ำลง เพราะค่าทรานส์คอนดักแตนซ์ที่มีขนาดเล็กลง

ในงานวิจัยนี้ใช้เทคโนโลยีเอ็นเวลล์ (n-well) ดังนั้นการใช้เทคนิค Bulk-driven จึงนำมาประยุกต์ได้เฉพาะทรานซิสเตอร์ชนิดพีมอสเท่านั้น และเมื่อกำหนดให้มอสทรานซิสเตอร์ทำงานในย่านผันกลับอย่างอ่อน (weak inversion) เมื่อแรงดัน  $V_{GS}$  ต่ำกว่าแรงดัน  $V_{th}$  สามารถหาสมการกระแสเดรน  $I_D$  ได้จากสมการ (2.37)

$$I_D = 2K_p \frac{W}{L} \left( \frac{nKT}{qe} \right)^2 \exp\left( \frac{q(V_{GS} - V_{th})}{nKT} \right) \quad (2.37)$$

เมื่อ  $V_{th}$  มีค่าดังสมการ (2.1),  $n$  เป็นค่า subthreshold slope factor มีค่าเป็น  $1 < n < 3$  สรุปรข้อดีและข้อดี้อยจากการกระตุ้นสัญญาณเข้าที่ชั่วบัลค์

- อัตราขยายสัญญาณต่ำ (Low transconductance)
- อัตราขยายแบนด์วิดท์ต่ำ (Low gain bandwidth)
- การตอบสนองทางความถี่ที่แคบลง (Poor frequency response)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

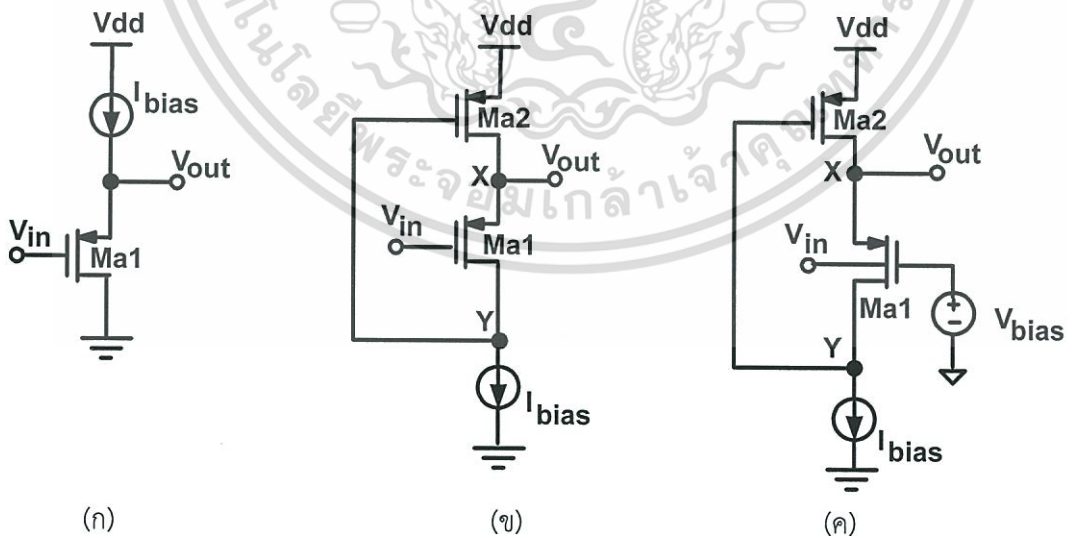
- สัญญาณรบกวนมีผลต่อระบบมากขึ้น เนื่องจากอัตราขยายสัญญาณมีค่าต่ำเข้าใกล้สัญญาณรบกวนมากขึ้น
- เพิ่มแรงดันสวิงสำหรับแหล่งจ่ายแรงดันต่ำ (Increased voltage swing) การสวิงของแรงดันเร็วขึ้น นิยมนำไปประยุกต์ใช้กับงาน digital gate library
- การออกแบบวงจรรวมทางกายภาพทำได้ยากขึ้นต้องอาศัยเทคนิคการเลเอาต์ที่ให้ความสมพงษ์ (matching) ที่ดี
- ชิปที่ออกแบบใช้เนื้อที่มาก

### 2.1.3 วงจรตามแรงดันแบบ Flipped-Voltage Follower

รูปที่ 2.11 (ก) แสดงวงจรตามแรงดันแบบเดรนร่วมแบบทั่วไป (Conventional Voltage follower) [34] รับกระแสจากโหนดได้มากแต่จ่ายกระแสได้จำกัด โดยจ่ายกระแสได้น้อยกว่าหรือเท่ากับกระแสไบอัส ( $I_{bias}$ ) แรงดันเอาต์พุตหาได้จาก  $V_{out} = V_{in} + V_{gs(Ma1)}$  โดย  $V_{gs(Ma1)}$  เป็นแรงดันขอร์ส-เกตของทรานซิสเตอร์  $M_{a1}$  พบว่ากระแสที่ไหลผ่านทรานซิสเตอร์  $M_{a1}$  ไม่คงที่จะขึ้นอยู่กับกระแสเอาต์พุต ดังนั้นแรงดัน  $V_{gs(Ma1)}$  มีค่าไม่คงที่โดยจะเปลี่ยนตามกระแสโหนด ข้อด้อยของโครงสร้างนี้ คือแรงดันเอาต์พุตจะขึ้นอยู่กับค่าความต้านทานโหนดเอาต์พุต ทำให้แรงดันเอาต์พุตมีความเป็นเชิงเส้นต่ำ ถ้าค่าความต้านทานโหนดน้อย อัตราขยายแรงดันน้อยกว่าหนึ่ง สามารถหาค่าความต้านทานเอาต์พุตได้จากสมการ (2.38)

$$R_{out} = \frac{1}{g_m} // r_{bias} \quad (2.38)$$

$r_{bias}$  คือค่าความต้านทานของแหล่งจ่ายกระแสไบอัส ( $I_{bias}$ )



รูปที่ 2.11 โครงสร้าง (ก) วงจรตามแรงดันแบบเดรนร่วม (Conventional Voltage follower)  
(ข) วงจรตามแรงดันแบบ Flipped-Voltage Follower (FVF) [34] (ค) BD-FVF [35]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.11 (ข) แสดงโครงสร้างวงจร Flipped-Voltage Follower (FVF) เป็นวงจรตามแรงดันที่นิยมใช้กันมากในปัจจุบันสำหรับงานออกแบบวงจรรวมที่ใช้แหล่งจ่ายแรงดันต่ำ เทคนิคนี้วงจรสามารถจ่ายกระแสได้มากแต่รับกระแสได้จำกัด โดยรับกระแสได้เท่ากับกระแสไบอัส จากหลักการทำงานคือ เมื่อมีการดึงกระแสออกจากโหนดเอาต์พุตหรือที่โหนด x แรงดันที่โหนด y จะต่ำลง ทำให้  $M_{a2}$  ที่ต่อแบบแรงดันป้อนกลับ (shunt feedback) จ่ายกระแสไปยังโหนดเพิ่มขึ้น ส่งผลให้กระแสที่ไหลผ่าน  $M_{a1}$  มีค่าคงที่ ถ้าไม่คิดผลกระทบจาก body effect แล้วแรงดันที่  $V_{gs}(M_{a1})$  จะคงที่ด้วย ดังนั้นที่โหนดเอาต์พุตจะมีแรงดันค่อนข้างคงที่ เสมือนค่าความต้านทานที่ชั่วขณะของทรานซิสเตอร์  $M_{a1}$  มีค่าต่ำ (Low output impedance) นั่นคือ  $r_{out} = \frac{1}{(g_{m1}g_{m2}r_{o1})}$  หรือประมาณ 20-100  $\Omega$

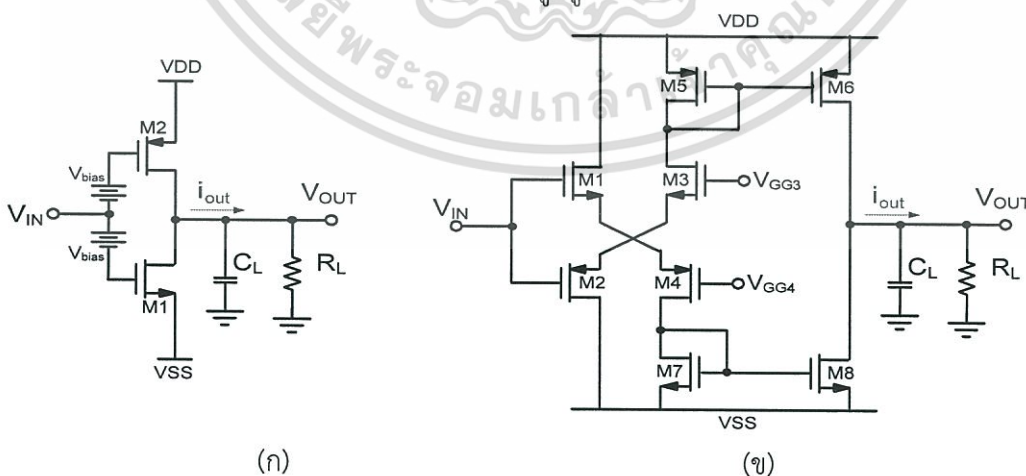
รูปที่ 2.11 (ค) แสดงโครงสร้างวงจรตามแรงดันแบบ FVF โดยที่มีการกระตุ้นสัญญาณอินพุตเข้าที่ขั้วบัลค์ และกำหนดแรงดันไบอัสคงที่ที่ขั้วเกต โดยส่วนมากมักจะกำหนดให้มีค่าแรงดันต่ำสุดหรือสูงสุด จากความสามารถในการทำงานได้ดีที่แรงดันแหล่งจ่ายต่ำ [30] โดยอาศัยหลักการทำงานเดียวกันกับโครงสร้างในรูปที่ 2.11 (ข) อัตราขยายสัญญาณหาได้จาก (2.39)

$$A_v = \frac{V_{out}}{V_{in}} = -g_{mb1} \left( \frac{r_{bias} \cdot r_{ds\_Ma1}}{r_{bias} + r_{ds\_Ma1}} \right) \quad (2.39)$$

ค่าความต้านทานที่ชั่วขณะของทรานซิสเตอร์  $M_{a1}$  มีค่าเป็น  $r_{out} = \frac{1}{(g_{m1}g_{mb1}g_{m2}r_{o1})}$

#### 2.2.4 วงจรขยายคลาสเอบี (class AB amplifier) [23]

วงจรขยายซีมอสอินเวอร์ตึงพุช-พูล (Push-pull inverting CMOS amplifier) แสดงในรูปที่ 2.12 (ก) อาศัยโครงสร้างวงจรอินเวอร์เตอร์ร่วมกับการกำหนดแรงดันไบอัสให้ที่ขั้วเกตของทรานซิสเตอร์  $M_1$  และ  $M_2$  ทรานซิสเตอร์ชนิดเอ็นมอสและชนิดพีมอสมีการทำงานสลับกันอยู่ตลอดเวลาทำให้เกิดกระแสไหลผ่านทรานซิสเตอร์ทั้งคู่อยู่ตลอดเวลา



รูปที่ 2.12 (ก) วงจรขยายซีมอสอินเวอร์ตึงพุช-พูล (Push-pull inverting CMOS amplifier)

(ข) วงจรขยายซีมอสแบบคลาสเอบีโดยมีการออกแบบวงจรแทนแหล่งจ่ายแรงดันไบอัส [23]

รูปที่ 2.12 (ข) วงจรขยายซีมอสแบบคลาสเอบีโดยมีการออกแบบวงจรแทนแหล่งจ่ายแรงดันไบอัสคงที่  $V_{bias}$  เพื่อให้มีกระแสไหลผ่าน  $M1$  และ  $M2$  อยู่ตลอดเวลา เมื่อป้อนแรงดันสัญญาณอินพุตเข้าไป วงจรจะมีการตอบสนองสัญญาณทันทีอย่างต่อเนื่อง

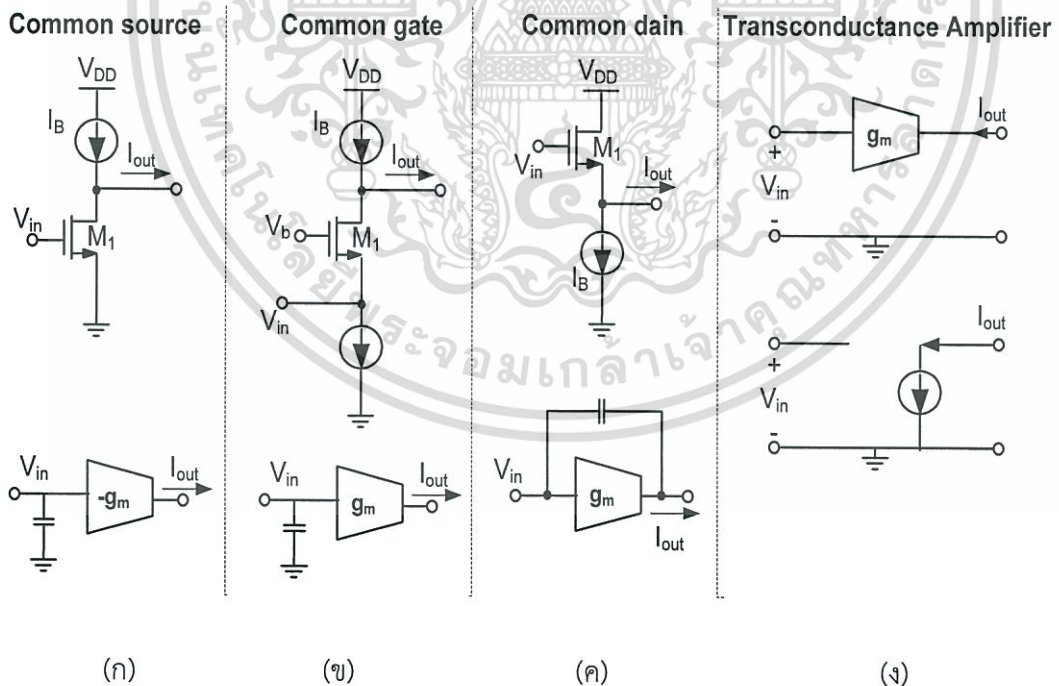
## 2.2 วงจรขยายสัญญาณทรานส์คอนดักเตอร์

วงจรทรานส์คอนดักเตอร์จัดได้ว่าเป็นอุปกรณ์ประเภทแอกทิฟ ที่มีลักษณะเป็นแหล่งจ่ายกระแสที่ถูกควบคุมด้วยแรงดัน ค่าทรานส์คอนดักแตนซ์ (transconductance:  $g_m$ ) สามารถพัฒนาให้ถูกควบคุมได้ด้วยวิธีการทางอิเล็กทรอนิกส์จากการปรับค่ากระแสหรือแรงดันควบคุม

### 2.2.1 หลักการทำงานของวงจรทรานส์คอนดักเตอร์

พิจารณาองค์ประกอบพื้นฐานที่ใช้ขยายสัญญาณทรานส์คอนดักแตนซ์แบบใช้ทรานซิสเตอร์เพียงตัวเดียว (Single amplifier) เช่น common source, common gate, common drain ดังรูปที่ 2.12 (ก), (ข), (ค) ตามลำดับ รูปที่ 2.12 (ง) แสดงสัญลักษณ์ของวงจรทรานส์คอนดักเตอร์ด้านบนและสัญลักษณ์สัญญาณขนาดเล็กในภาพด้านล่าง สมการกระแสหาได้จาก (2.40) แสดงให้เห็นว่าความเป็นเชิงเส้นจะขึ้นอยู่กับค่าทรานส์คอนดักแตนซ์

$$I_{out} = g_m V_{in} \tag{2.40}$$



รูปที่ 2.13 โครงสร้างวงจรขยายสัญญาณทรานส์คอนดักแตนซ์แบบ single amplifier ประเภทต่างๆ

รูปที่ 2.14 แสดง (ก) สัญลักษณ์วงจรถานส์คอนดักเตอร์ โครงสร้างของวงจรถานส์คอนดักเตอร์ทางอุดมคติแสดงในรูปที่ 2.14 (ข) มีคุณสมบัติทางอุดมคติพื้นฐานคืออินพุตอิมพีแดนซ์ (input impedance) และเอาต์พุตอิมพีแดนซ์ (output impedance) สูง โดยมีหลักการทำงานคือ สัญญาณอินพุตเป็นแรงดันจ่ายให้วงจรถานส์คอนดักเตอร์คือวงจรถานส์คอนดักเตอร์ต่างจากนั้นสัญญาณถูกส่งผ่านเข้าสู่วงจรถานส์คอนดักเตอร์เป็นกระแสเอาต์พุต สามารถเขียนความสัมพันธ์ระหว่างแรงดันอินพุตและกระแสเอาต์พุตได้ดังสมการ (2.41)

$$I_{out} = g_m V_{id} = g_m (V_{in}^+ - V_{in}^-) \quad (2.41)$$

แต่ในความเป็นจริงวงจรถานส์คอนดักเตอร์มีข้อจำกัดในการปรับค่าได้เป็นเชิงเส้นในช่วงแรงดันอินพุตต่ำๆ ไม่เกิน 25 mV และเนื่องจากวงจรถานส์คอนดักเตอร์มีการใช้ทรานซิสเตอร์หลายตัว ดังนั้นความต้านทานและความจุไฟฟ้าแฝงจะส่งผลกระทบต่อความถี่ที่ลดลง ความสัมพันธ์ระหว่างแรงดันอินพุตและกระแสเอาต์พุตในทางปฏิบัติจึงหาได้ดังสมการ (2.42)

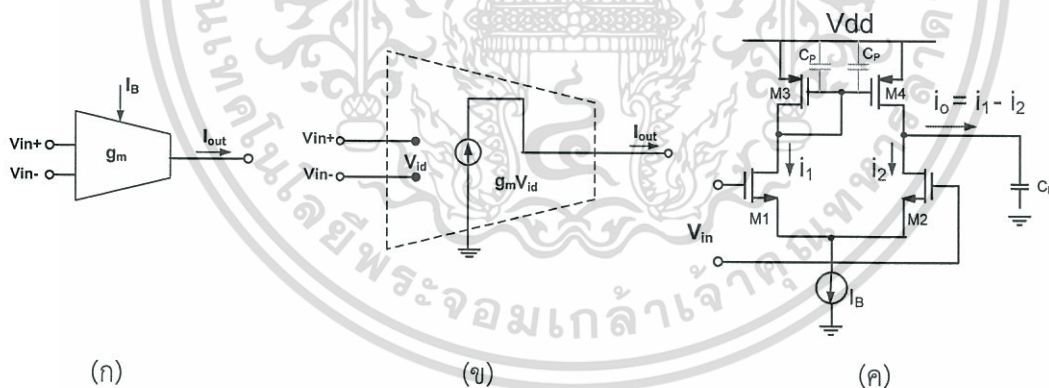
$$I_{out} = \frac{g_{m0}}{(1 + s\tau_c)} V_{in}(s) \quad (2.42)$$

โดย  $s = j\omega$

$g_m$  คือค่าอัตราขยายความนำของทรานส์คอนดักเตอร์

$g_{m0}$  คือค่าอัตราขยายความนำที่ความถี่ต่ำของทรานส์คอนดักเตอร์

$\tau_c = \frac{1}{\omega_c}$  คือค่าคงที่ทางเวลา



รูปที่ 2.14 (ก) สัญลักษณ์วงจรถานส์คอนดักเตอร์

(ข) วงจรสมมูลของทรานส์คอนดักเตอร์ทางอุดมคติ

(ค) วงจรถานส์คอนดักเตอร์หรือวงจรถานส์คอนดักเตอร์เฟิร์เรนเซียลโดยใช้มอสทรานซิสเตอร์

ปัจจุบันวงจรถานส์คอนดักเตอร์ ถูกนำมาประยุกต์ใช้งานอย่างหลากหลาย จากหลักการวงจรถานส์คอนดักเตอร์แบบดิฟเฟอเรนเชียล (Differential amplifier: DA) จากรูป 2.14 (ค) เมื่อป้อนแรงดัน  $V_{in}$  มอสทรานซิสเตอร์ M1 และ M2 เป็นวงจรถานส์คอนดักเตอร์ทางอินพุต กระแส  $i_1$  จะไหลเข้าสู่วงจรถานส์คอนดักเตอร์ที่ทรานซิสเตอร์ M3 และ M4 ไปหักลบกับกระแส  $i_2$  สามารถหา

ความสัมพันธ์ระหว่างกระแส  $i_o$  กับแรงดัน  $V_{in}$  จากสมการ (2.43) ค่าอัตราขยายสัญญาณหาได้จากสมการ (2.44) โดยมีกระแส  $I_B$  เป็นแหล่งจ่ายกระแสไบอัสคงที่ให้กับวงจร

$$i_o = G_m V_{in} = \left( \sqrt{\mu_n C_{ox} I_B \left( \frac{W}{L} \right)_1} \right) V_{in} \quad (2.43)$$

$$\frac{V_o}{V_{in}} = \frac{G_m}{g_{o2} + g_{o4}} \quad (2.44)$$

การประมาณค่า Zero-value time constant maximum ของวงจรหาได้จากสมการ (2.45)

$$t_{zer} \cong \frac{2C_p}{g_{mP}} \quad (2.45)$$

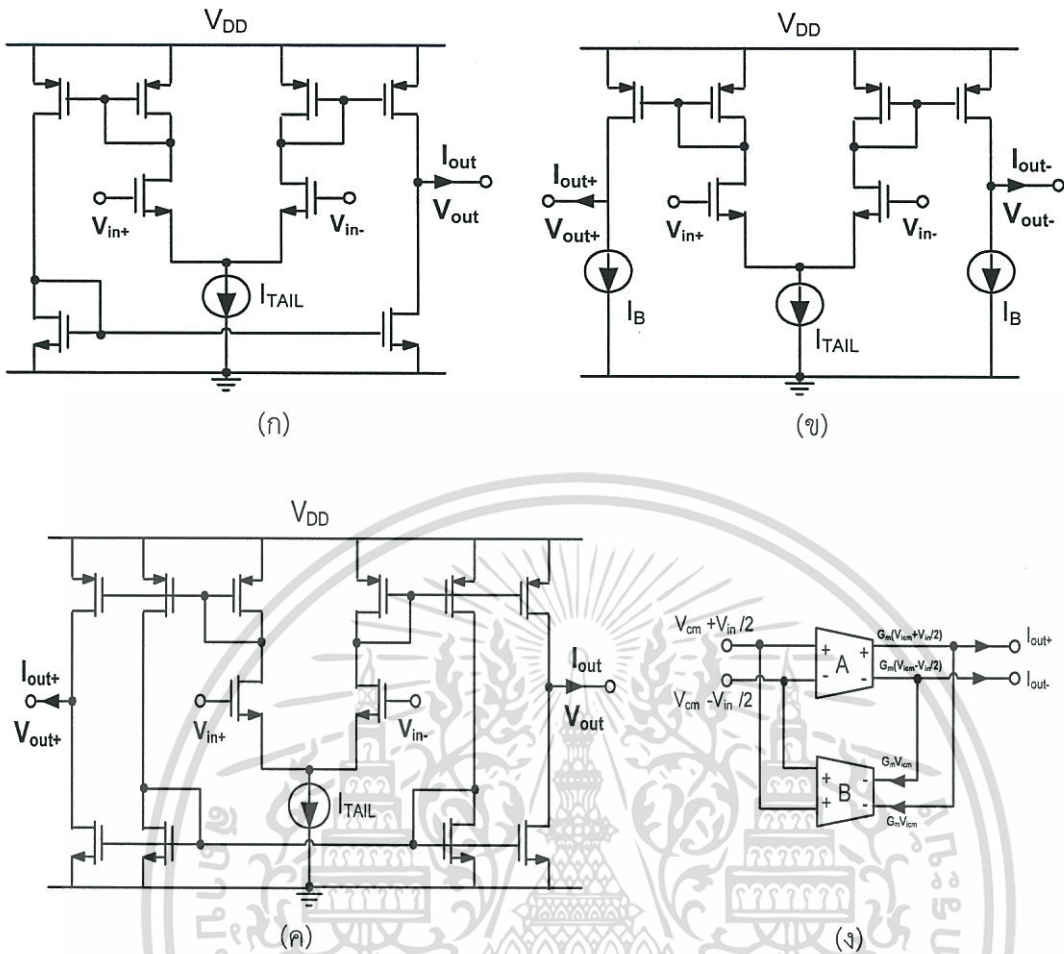
โพลที่ (Dominant pole) กรณีไม่มีโพลที่เอาต์พุตหาได้จาก  $p_1 \cong \frac{g_{mP}}{2C_p}$  (2.46)

กรณีทั่วไปมีโพลของตัวเก็บประจุ  $C_L$  ค่าโพลที่น้อยที่สุดหาได้จาก  $p_2 \cong \frac{g_{o2} + g_{o4}}{C_L}$  (2.47)

กำหนดให้  $g_{mN}$ ,  $g_{mP}$  เป็นค่าความนำของทรานซิสเตอร์ชนิดเอ็นและพี ตามลำดับ  $C_N$ ,  $C_P$  เป็นประจุระหว่างขั้วเกตและซอร์สของทรานซิสเตอร์ชนิดเอ็นและพี ตามลำดับ  $g_{o2}$ ,  $g_{o4}$  เป็นค่านำระหว่างขั้วเดรนและซอร์สของทรานซิสเตอร์ชนิดเอ็นและพีตามลำดับ

จากสมการ (2.43) พบว่าค่า  $G_m$  ของวงจรทรานส์คอนดักเตอร์สามารถเปลี่ยนแปลงค่าทรานส์คอนดักแตนซ์ได้ด้วยวิธีการทางอิเล็กทรอนิกส์จากการปรับค่ากระแสไบอัส  $I_B$  จากคุณสมบัติดังกล่าวถูกนำมาประยุกต์ใช้งานร่วมกับวงจรอื่นๆ มากมาย สำหรับใช้งานด้าน วงจรแอนะล็อกนิรอลเนทเวอร์ค [38] – [39] เป็นต้น

ในรูปที่ 2.15 (ก) แสดงโครงสร้างวงจรทรานส์คอนดักเตอร์แบบสมมาตร (Balanced OTA) มีวงจรสะท้อนกระแส 3 คู่ พัฒนาไปสู่โครงสร้างวงจรทรานส์คอนดักเตอร์แบบแสดงผลต่างสัญญาณทางเอาต์พุตในรูป 2.15 (ข) โดยไม่มีวงจร CMFF วงจรในรูป 2.15 (ค) มีวงจร Common-Mode Feedforward (CMFF) วงจรในรูป 2.15 (ง) แสดงโครงสร้างของวงจรทรานส์คอนดักเตอร์แบบ Pseudo Differential โดยสร้างจากวงจรทรานส์คอนดักเตอร์ 2 ตัวที่  $G_{mA}$  เท่ากับ  $G_{mB}$  โครงสร้างวงจรทรานส์คอนดักเตอร์ที่มีความซับซ้อนล้วนถูกออกแบบมาเพื่อลดแรงดันออฟเซต สำหรับงานที่ความถี่สูง จากรูปที่ 2.15 พบว่าโครงสร้างที่กล่าวมาให้ค่าเอาต์พุตอิมพีแดนซ์ต่ำ



รูปที่ 2.15 โครงสร้างของวงจรผลต่างทรานส์คอนดักเตอร์ [36]

- (ก) วงจรทรานส์คอนดักเตอร์แบบสมมาตร
- (ข) วงจรทรานส์คอนดักเตอร์แบบขยายสัญญาณผลต่างเอาต์พุตแบบทั่วไป โดยไม่มีวงจร CMFB
- (ค) วงจรทรานส์คอนดักเตอร์แบบขยายสัญญาณผลต่างเอาต์พุตแบบทั่วไป โดยมีวงจร CMFB
- (ง) วงจรทรานส์คอนดักเตอร์แบบ Pseudo differential

สรุปคุณสมบัติหลักๆของวงจรทรานส์คอนดักเตอร์ที่ต้องพบเจอและควรคำนึงถึงในทางปฏิบัติ ประกอบด้วย

- ข้อจำกัดในช่วงการปฏิบัติงานของสัญญาณอินพุต (input/output range)
- จำกัดช่วงแบนด์วิด (bandwidth)
- ข้อจำกัดของ signal to noise ratio (S/N) และเอาต์พุตอิมพีแดนซ์ แต่ในทางอุดมคติแล้วเอาต์พุตอิมพีแดนซ์เป็นอินฟินิตี้
- ค่าอัตราขยายสัญญาณมีขนาดเล็ก เนื่องจากค่าทรานส์คอนดักแทนซ์ต่ำ
- ค่าความต้านทานอินพุตและเอาต์พุต (Input/Output resistance)
- การลดหรือรักษาสัญญาณรบกวนไม่ให้มีผลกระทบต่อสัญญาณ
- ลดค่าความจุแฝงที่อินพุตและเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ลดค่าแรงดันอินพุตออฟเซต
- รักษาแรงดันที่ตกคร่อมระหว่างทรานซิสเตอร์ให้คงที่ (Voltage Mismatch Contribution)

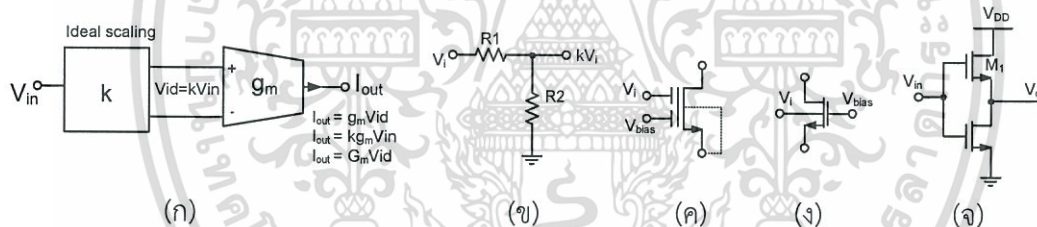
วงจรถานส์คอนดักเตอร์นิยมใช้ทั้งแบบขยายสัญญาณเอาต์พุตเดี่ยว (Single end) และแบบวงจรถานส์คอนดักเตอร์ผลต่างเอาต์พุต (differential-end) ขึ้นอยู่กับความต้องการของวงจรที่ประยุกต์ใช้งาน (Circuit Specification)

## 2.2.2 เทคนิคการเพิ่มความเป็นเชิงเส้นของสัญญาณ (Linearization Techniques)

จากสมการที่ (2.41) วงจรถานส์คอนดักเตอร์ที่ออกแบบโดยใช้ทรานซิสเตอร์เป็นอุปกรณ์ที่มีความไม่เป็นเชิงเส้น (nonlinear) พื้นฐานความเป็นเชิงเส้นในอุดมคติถูกทำให้ลดน้อยลงเริ่มจากสัญญาณอินพุต โดยค่าคงที่  $k$  เป็นตัวแปรหลัก ดังนั้นสมการทั่วไปหาได้จาก (2.48)

$$I_{out}(V_{in}^+, V_{in}^-) \cong k g_m (V_{in}^+ - V_{in}^-) \quad (2.48)$$

มีเทคนิคที่เหมาะสมถูกนำมาประยุกต์ใช้งานเพื่อลดค่า  $k$  จากรูปที่ 2.16 (ก) แสดงหลักการทางจรรยาบรรณทรานส์คอนดักเตอร์ รูปที่ 2.16 (ข) เป็นเทคนิคที่นิยมใช้ทั่วไปในงานอุตสาหกรรม รูปที่ 2.16 (ค) ถึง รูปที่ 2.16 (จ) จะเป็นเทคนิคที่นิยมนำมาใช้ในงานในโครงสร้างที่เป็นแรงดันผลต่างอินพุต



รูปที่ 2.16 การประยุกต์ใช้งานอย่างง่าย [36]

(ก) หลักการทำงาน;  $i_o = a_1(kV) + a_2(kV)^2 + a_3(kV)^3 + \dots$

(ข) สำหรับอุปกรณ์ที่สร้างทรานส์คอนดักเตอร์;  $k = R_2 / (R_1 + R_2)$

(ค) เทคนิคการใช้ Floating gate;  $k \approx (C_i / C_i + C_{bias})$

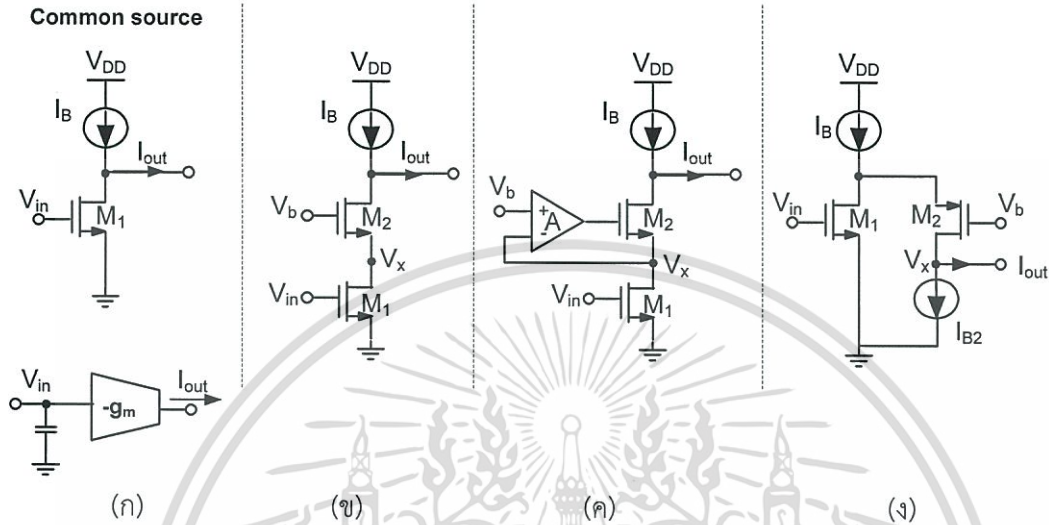
(ง) เทคนิค Bulk-driven;  $k = y, 0.2 < y < 0.4$

(จ) Active attenuation  $k = 1 - 1 / \sqrt{1 + (W_1 L_2 / W_2 L_1)}$  สำหรับ  $V_{T1} = V_{T2}$

เทคนิค Floating gate ที่แสดงในรูป 2.16 (ค) วงจรขึ้นกับค่าความจุแฝงที่เป็นสัดส่วนกันระหว่าง  $C_i$  และ  $C_{bias}$  ที่เกิดจากการป้อนแรงดันขาอินพุต  $V_i$  และแรงดันไบอัส  $V_{bias}$  รูปที่ 2.16 (ง) เทคนิค Bulk-driven เหมาะสำหรับงานความถี่ต่ำถึงปานกลาง รูปที่ 2.16 (จ) Active attenuation เป็นวิธีที่ให้ความเป็นเชิงเส้นที่ดีที่สุด วงจรถานส์คอนดักเตอร์ส่วนมากนิยมใช้วิธีนี้สำหรับส่วนอินพุตค่า  $k$  มีผลต่อการเพิ่มอัตราขยายของวงจร ตามมาด้วยการเพิ่มการใช้กำลังงานและพื้นที่ สัญญาณรบกวนเพิ่มขึ้นจาก  $\sqrt{k}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.17 (ก) common source หรือ Negative simple transconductor เป็นทรานส์คอนดักเตอร์ที่สร้างจากมอสทรานส์ซิสเตอร์ที่ทำงานในย่านอิมิตัว โครงสร้างนี้เป็นโครงสร้างแบบทั่วไป มีข้อเสียอยู่ที่เอาต์พุตมีพีแดนซ์ต่ำ มีการค้นคว้าวิจัยเพื่อปรับปรุงประสิทธิภาพของวงจรทรานส์คอนดักต์แทนซ์อินพุตเดี่ยวให้มีความเป็นเชิงเส้นสูงขึ้น [36] – [37]



รูปที่ 2.17 โครงสร้างวงจรมอสทรานส์ซิสเตอร์คอนดักต์แบบ single amplifier แบบต่างๆ

- (ก) Negative simple transconductor
- (ข) Cascode transconductor
- (ค) Enhanced transconductor
- (ง) Folded-cascode transconductor

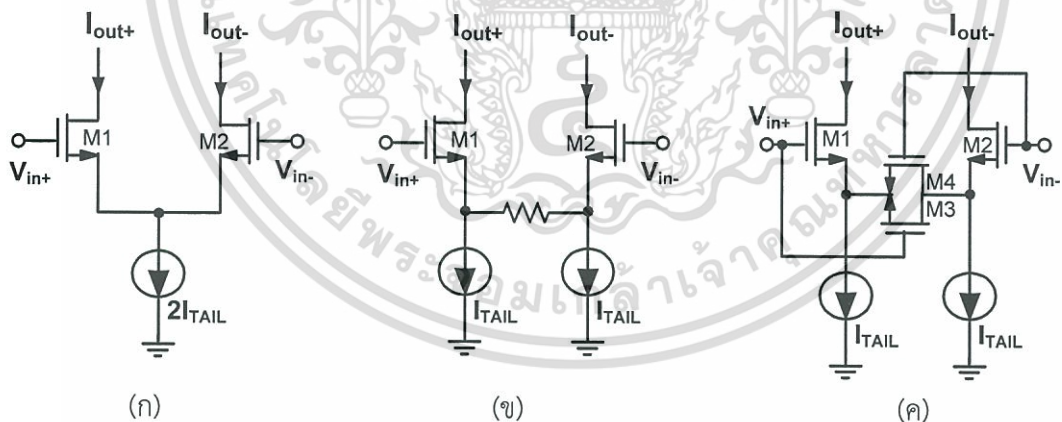
ตารางที่ 2.1 สรุปคุณสมบัติของโครงสร้างในรูป 2.17 เปรียบเทียบกันเมื่อทรานซิสเตอร์ทุกตัวทำงานในย่านอิมิตัว

วงจรรูปที่ 2.17	$R_{out}$	Min $V_{DD}$
(ก) Simple	$\frac{1}{g_{ds1}}$	$\sqrt{\frac{2I_B}{k(W/L)}} + V_{Tn} + V_{sat,IB}$
(ข) Cascode	$\frac{g_{m2}}{g_{ds1}g_{ds2}}$	$\sqrt{\frac{2I_B}{k(W/L)}} + V_{Tn} + V_{sat,IB}$
(ค) Enhanced	$\frac{Ag_{m2}}{g_{ds1}g_{ds2}}$	$\sqrt{\frac{2I_B}{k(W/L)}} + V_{Tn} + V_{sat,IB}$
(ง) Folded	$\frac{g_{m2}}{g_{ds1}g_{ds2}}$	$(1+m)\sqrt{\frac{2I_B}{k(W/L)}} + V_{Tn} + V_{sat,IB}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.17 (ข) Cascode transconductor และ (ค) Enhanced transconductor ที่ทรานซิสเตอร์อินพุตทำงานย่านไตรโอด ทำให้ความเป็นเชิงเส้นของสัญญาณดีขึ้น แต่ค่าทรานส์คอนดักเตอร์ลดลง ให้อัตราขยายสูงเนื่องจากใช้วงจรรอบแอมป์เข้ามาช่วยเพิ่มค่าความต้านทานเอาต์พุต รูปที่ 2.17 (ง) Folded-cascode transconductor มีคุณสมบัติคล้ายกับวงจร Cascode transconductor ตารางที่ 2.1 สรุปคุณสมบัติของโครงสร้างในรูป 2.17 เปรียบเทียบกันเมื่อทรานซิสเตอร์ทุกตัวทำงานย่านอิมิต์ว เมื่ออัตราส่วนของขนาดทรานซิสเตอร์ที่ต่อคาสโคดกันด้านล่างของวงจร  $(W/L)_1 / (W/L)_2 = m^2$  และค่า  $k$  คือพารามิเตอร์เทคโนโลยี วงจรทรานส์คอนดักเตอร์นิยมใช้ทั้งแบบขยายสัญญาณเอาต์พุตเดี่ยว (Single end) และแบบวงจรขยายสัญญาณผลต่างเอาต์พุต (differential-end) ขึ้นอยู่กับความต้องการของวงจรที่ประยุกต์ใช้งาน

ความยากของการออกแบบวงจรทรานส์คอนดักเตอร์ด้วยการใช้มอสทรานซิสเตอร์ (MOS transconductors) แสดงในรูปที่ 2.18 (ก) ภายใต้แหล่งจ่ายแรงดันต่ำ คือการรักษาความเป็นเชิงเส้นที่ดีพร้อมกับให้ช่วงการทำงานของสัญญาณอินพุตกว้าง เทคนิคที่นิยมใช้เพื่อเพิ่มความเป็นเชิงเส้นของสัญญาณให้กับวงจรทรานส์คอนดักเตอร์มีมากมาย [36], [42] ที่นิยมมากคือการใช้ความต้านทานร่วมกับโครงสร้างวงจรแบบซอร์สดีเจเนอเรชัน (Passive resistor source degeneration) หรือวงจรแทนตัวต้านทานที่สร้างจากมอสทรานซิสเตอร์ (MOS transistor) [43] แสดงในรูปที่ 2.18 (ข) ความเป็นเชิงเส้นขึ้นกับขนาดความต้านทาน ถ้าให้ค่าความต้านทานสูงก็จะมีความเป็นเชิงเส้นสูง ในการตอบสนองสัญญาณอินพุตกว้าง (wide linear input range) ในอีกแง่หนึ่งเมื่อใช้มอสทรานซิสเตอร์แทนตัวความต้านทานดังรูป 2.18 (ค) มีข้อดีคือให้ความยืดหยุ่นในการปรับค่าทรานส์คอนดักเตอร์ และสามารถประยุกต์ใช้งานได้หลากหลาย แต่ข้อเสียคือความเป็นเชิงเส้นลดลง และอุณหภูมิมีผลกระทบต่อการทำงานของวงจรโดยตรง



รูปที่ 2.18 โครงสร้างวงจรขยายสัญญาณผลต่างเอาต์พุตทรานส์คอนดักเตอร์ (ก) แบบทั่วไป (ข) โครงสร้างแบบการใช้ความต้านทานร่วมกับโครงสร้างวงจรแบบซอร์สดีเจเนอเรชัน (resistive source degeneration) (ค) โครงสร้างแบบใช้วงจรแทนตัวต้านทานที่สร้างจากมอสทรานซิสเตอร์

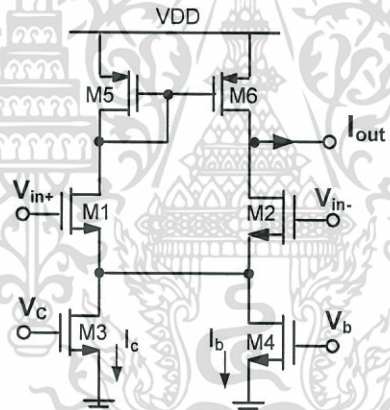
เทคนิคครอสซิง-คัปปลิง (crossing-coupling) [44] – [45] เป็นการนำทรานซิสเตอร์มาจับวางเพื่อให้เกิดการเข้าคู่ (device matching) กับทรานซิสเตอร์ที่อินพุตของวงจรขยายสัญญาณผลต่างเท่านั้น วิธีนี้สามารถช่วยเพิ่มความเป็นเชิงเส้นของสัญญาณได้ วิธีกำหนดโครงสร้างการทำงานแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

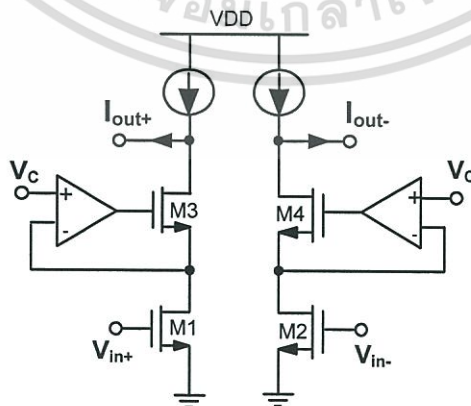
คลาสเอบี (Class-AB configuration) [46] – [47] เป็นเทคนิคที่นิยมนำมาใช้กับงานออกแบบวงจรที่ต้องการใช้กำลังงานต่ำ (Low-Voltage Low-Power) แต่มีข้อด้อยในเรื่องความเป็นเชิงเส้นที่แย่ง วิธีนี้มักนิยมนำใช้ร่วมกับเทคนิคการใช้ความต้านทานร่วมกับโครงสร้างวงจรแบบซอร์สดีเจนเนอเรชั่น

เทคนิคการไบอัสอะแดปทีฟ (Adaptive biasing) [42], [48] – [49] เป็นเทคนิคที่นิยมนำมาใช้กับงานออกแบบวงจรที่ต้องการกินกำลังงานต่ำ วิธีนี้ถูกนำมาใช้ในส่วนแหล่งรับกระแส (tail current source) ของวงจรขยายแรงดันผลต่างอินพุตเพื่อชดเชยความผิดเพี้ยนของสัญญาณที่เกิดขึ้นจากทรานซิสเตอร์อินพุต แสดงในรูป 2.19

รูปที่ 2.20 แสดงเทคนิคการใช้แรงดัน  $V_{DS}$  คงที่ (Constant drain-source voltage) [42] มักออกแบบในส่วนที่เป็นอินพุตของวงจร และเป็นอีกวิธีหนึ่งที่นิยมเนื่องจากให้ค่าความต่อเนื่องของสัญญาณที่ดีสำหรับความสามารถในการปรับแต่งสัญญาณของวงจร โดยวิธีนี้มีจุดสำคัญคือต้องรักษาแรงดัน  $V_{DS}$  ให้คงที่ในส่วนอินพุตของวงจร นั้นหมายถึงวิธีนี้เป็นวิธีที่สร้างขึ้นได้ยากอีกวิธีหนึ่ง สำหรับงานออกแบบวงจรที่ต้องการแหล่งจ่ายแรงดันต่ำ หรือวงจรที่ทำงานในย่านไมโครโวลต์เป็นต้น ปัจจุบันมีการค้นคว้าวิจัยเทคนิคเพิ่มความเป็นเชิงเส้นใหม่ๆ มากมาย สำหรับงานออกแบบวงจรที่ต้องการใช้กำลังงานต่ำ ในปัจจุบันได้มีงานวิจัยมากมายเพื่อสร้างตัวต้านทานปรับค่าได้ โดยเน้นพัฒนาประสิทธิภาพความเป็นเชิงเส้นสูง [50] เป็นต้น



รูปที่ 2.19 โครงสร้างวงจรทรานส์คอนดักเตอร์ด้วยเทคนิคการไบอัสอะแดปทีฟ (adaptive biasing)



รูปที่ 2.20 โครงสร้างวงจรทรานส์คอนดักเตอร์ด้วยเทคนิคการใช้แรงดัน  $V_{DS}$  คงที่

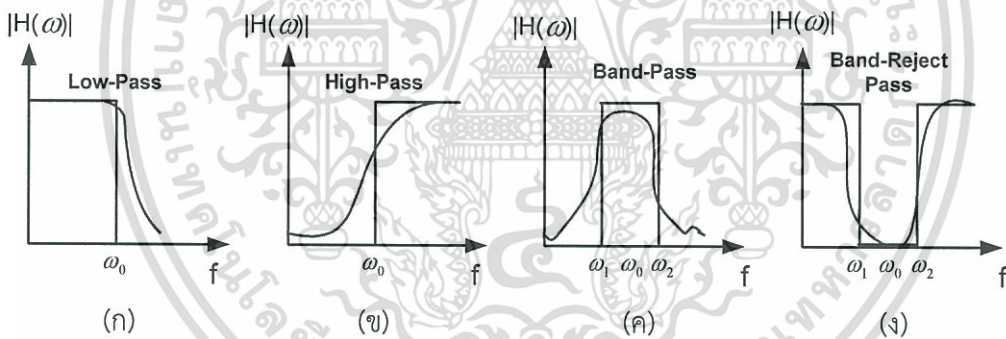
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.3 วงจรกรองความถี่

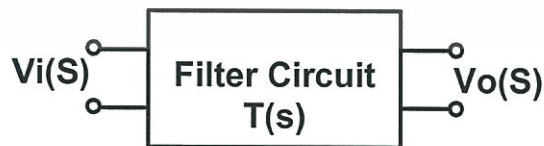
วงจรกรองความถี่คือวงจรเลือกสัญญาณช่วงความถี่ที่ต้องการนำมาใช้งาน และ/หรือจำกัดความถี่ที่ไม่ต้องการ แบ่งออกเป็น 2 ประเภทใหญ่ๆ คือ วงจรกรองความถี่แบบพาสซีฟ (Passive Filters) และวงจรกรองความถี่แบบแอคทีฟ (Active Filters) [24] – [26] วงจรกรองความถี่แบบพาสซีฟประกอบด้วยตัวเก็บประจุ ตัวต้านทานและขดลวดเหนี่ยวนำ ออกแบบใช้งานกับสัญญาณไฟตรงนิยมใช้งานในย่านความถี่สูง วงจรกรองความถี่แบบแอคทีฟประกอบด้วยวงจรรขยายสัญญาณทำงานร่วมกับตัวต้านทาน และ/หรือ ตัวเก็บประจุ วงจรกรองประเภทนี้เหมาะสำหรับงานที่ใช้แหล่งจ่ายแรงดันต่ำ ที่ทำงานในช่วงความถี่ต่ำ

### 2.3.1 ประเภทของวงจรกรองสัญญาณ

จากคุณสมบัติในการตอบสนองความถี่สามารถแบ่งลักษณะของวงจรกรองออกได้เป็น 5 แบบ วงจรกรองย่านความถี่ต่ำผ่าน (Low pass filter; LPF), วงจรกรองย่านความถี่สูงผ่าน (High pass filter; HPF), วงจรกรองแถบความถี่ผ่าน (Band pass filter; BPF), วงจรกรองตัดแถบความถี่ไม่ให้ผ่าน (Band Reject filter; BRF), วงจรกรองทุกความถี่ผ่าน (All pass filter; APF) รูปที่ 2.21 แสดงการตอบสนองความถี่ของวงจรกรองความถี่ 4 มีประเภทที่นิยมใช้งาน ที่มีการตอบสนองความถี่ทางอุดมคติ เปรียบเทียบกับการตอบสนองความถี่ที่เกิดขึ้นจริง จากคุณสมบัติของวงจรกรองประเภทต่างๆ ที่กล่าวมานั้น ทำให้เกิดการประยุกต์ใช้งานวงจรกรองความถี่อย่างมากมายเช่น ใช้ในการกรองสัญญาณรบกวน หรือกรองเอาสัญญาณข่าวสารออกมาจากคลื่นพาห์ เป็นต้น



รูปที่ 2.21 การทำงานของวงจรกรองความถี่แบบต่างๆ ระหว่างการตอบสนองความถี่ทางอุดมคติ เปรียบเทียบกับการตอบสนองความถี่ที่เกิดขึ้นจริง



รูปที่ 2.22 บล็อกไดอะแกรมทรานส์เฟอร์ฟังก์ชันวงจรกรองความถี่

รูปที่ 2.22 แสดงบล็อกไดอะแกรมทรานส์เฟอร์ฟังก์ชันวงจรกรองความถี่ เมื่อกำหนดแรงดันอินพุต ( $V_i$ ) แหล่งจ่ายป้อนให้วงจรกรองความถี่ จะได้แรงดันเอาต์พุต ( $V_o$ ) พร้อมเฟส ( $\theta$ ) ที่ขึ้นกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่อินพุต ( $\omega$ ) เมื่อแปลงด้วยลาปลาซ อัตราส่วนแรงดันเอาต์พุตต่อแรงดันอินพุตเป็นค่าทรานส์เฟอร์ฟังก์ชัน  $T(s)$  (voltage transfer function) ดังสมการที่ 2.49

$$T(s) = \frac{V_o(s)}{V_i(s)} \quad (2.49)$$

โดย  $s = j\omega$  สามารถเขียนอยู่ในรูปสมการโพลิโนเมียลได้ (2.50)

$$T(s) = \frac{a_m s^m + \dots + a_2 s^2 + a_1 s + a_0}{s^n + \dots + b_2 s^2 + b_1 s + b_0} \quad n \geq m \quad (2.50)$$

$N$  เป็นจำนวนอันดับ (order) ของวงจรรอง  $a$  และ  $b$  เป็นจำนวนจริง การศึกษาการออกแบบวงจรรองเป็นเรื่องที่มีความสลับซับซ้อนมาก วิทยานิพนธ์ฉบับนี้ขอกล่าวเพียงหลักการเบื้องต้น สำหรับการประยุกต์ใช้งานร่วมกับวงจรรานส์คอนดักต์แดนซ์ที่น่าเสนอเท่านั้น

สำหรับวงจรรองที่มี  $n > 2$  ทำให้สมการฟังก์ชันถ่ายโอนอันดับสองหรือ Biquadratic Function หาได้จากสมการ (2.51)

$$T(s) = K \frac{a_2 s^2 + a_1 s + a_0}{s^2 + (\omega_0 / Q)s + \omega_0^2} \quad (2.51)$$

$$\text{โดยที่ } Q = \frac{\omega_0}{BW} = \frac{\omega_0}{\omega_2 - \omega_1}$$

$Q$  = ตัวประกอบคุณภาพ (quality factor) สัมพันธ์กับแบนด์วิดท์และความถี่เรโซแนนซ์

$\omega_0$  = ความถี่ธรรมชาติไม่หน่วง (undamped natural frequency) หรือความถี่เรโซแนนซ์

$$\omega_1, \omega_2 = \omega_0 \sqrt{1 + (1/4Q^2)} \pm \frac{\omega_0}{2Q}$$

$K$  = อัตราขยายแรงดันตรง (Dc gain)

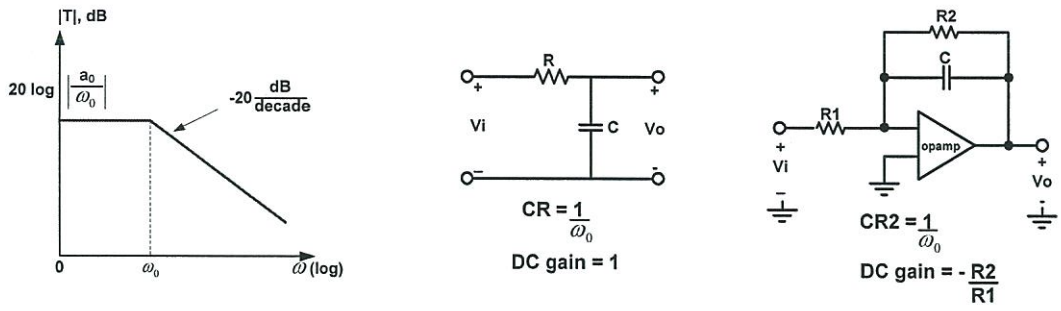
$a_1, a_2$ .. ค่าคงที่  $a_0 = +/- 1$  โดยที่ชนิดของวงจรรองขึ้นกับค่านี้

$$\text{และหาโพลจาก } p_1, p_2 = -\frac{\omega_0}{2Q} \pm j\omega_0 \sqrt{1 - (1/4Q^2)}$$

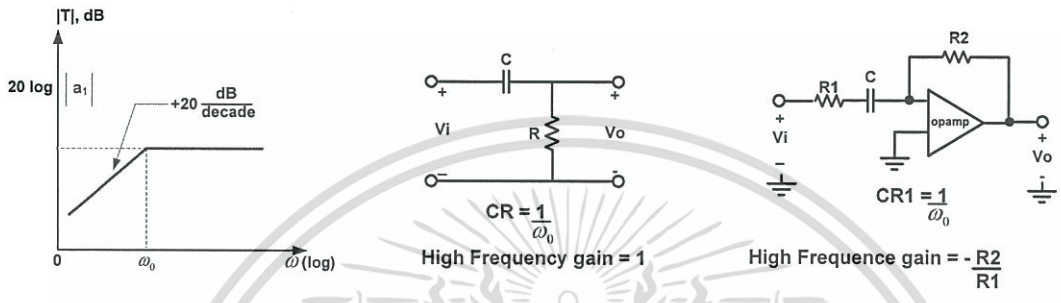
ในงานวิจัยปัจจุบันนิยมออกแบบวงจรรองความถี่แบบแอกทีฟ ด้วยเหตุผลที่ว่าวงจรรองความถี่แบบแอกทีฟ ไม่มีการสูญเสียของสัญญาณ เนื่องจากนำวงจรรขยายสัญญาณออปแอมป์มาใช้ ซึ่งออปแอมป์สามารถทำการขยายสัญญาณเพื่อชดเชยการลดทอนของสัญญาณได้ และราคาถูกกว่า นอกจากนี้การแยกระหว่างอินพุตและเอาต์พุตไม่มีผลการรบกวนกันระหว่างสัญญาณทั้งสอง เนื่องจากวงจรรออปแอมป์ให้ค่าอินพุตอิมพีแดนซ์สูงและเอาต์พุตอิมพีแดนซ์ต่ำ แต่ข้อเสียคือการตอบสนองความถี่ของวงจรรองแบบแอกทีฟแคบกว่าวงจรรองแบบพาสซีฟ เพราะขีดจำกัดของออปแอมป์ ในขณะที่วงจรรองความถี่แบบพาสซีฟมีข้อดีน้อยกว่าในเรื่องการสร้างที่ยากและมีราคาแพงกว่า ทรานส์เฟอร์ฟังก์ชันของวงจรรองความถี่อันดับที่ 1 (First order Filters) จากสมการที่ (2.52)

$$T(s) = \frac{a_1 s + a_0}{s + \omega_0} \quad (2.52)$$

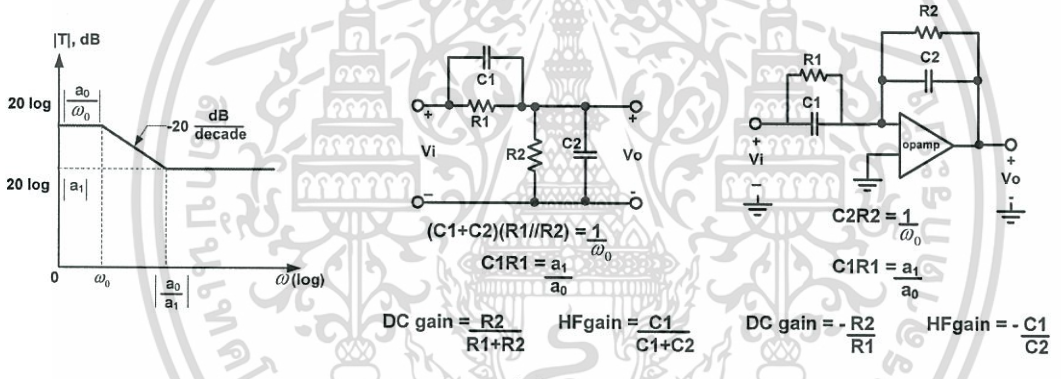
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



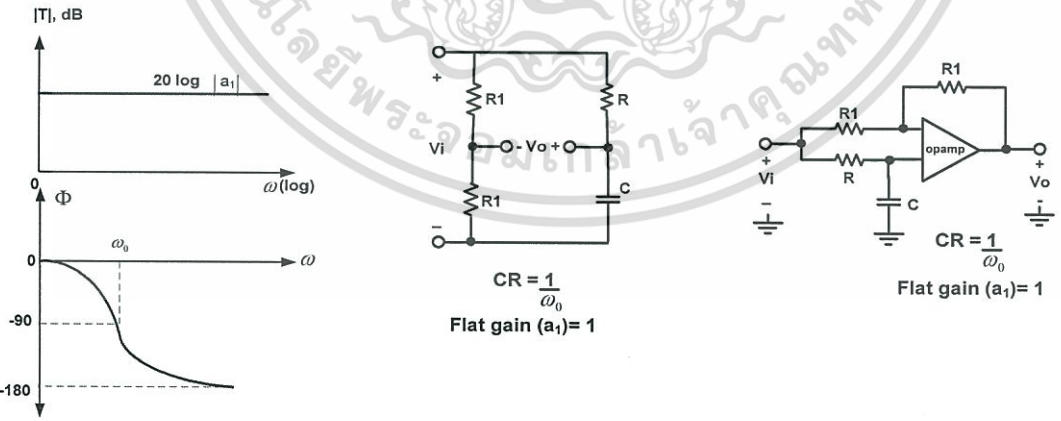
(ก)



(ข)



(ค)



(ง)

รูปที่ 2.23 คุณสมบัติการทำงานของวงจรกรอง การออกแบบวงจรกรองแบบพาสซีฟ (passive) และวงจรกรองความถี่ที่ออกแบบด้วยการนำวงจรออปแอมป์มาประยุกต์ใช้งาน (Opamp-RC active filter) ของ (ก) วงจรกรองความถี่ต่ำผ่าน (ข) วงจรกรองความถี่สูงผ่าน (ค) วงจรกรองความถี่ทั่วไปผ่าน (General pass filter) และ (ง) วงจรกรองทุกความถี่ผ่าน [26]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.23 ทางซ้ายสุดแสดงการตอบสนองความถี่ของวงจรกรองแบบต่างๆ ภาพที่อยู่ตรงกลางรูปแสดงโครงสร้างวงจรกรองความถี่แบบพาสซีฟ และภาพที่อยู่ทางขวาสุดแสดงวงจรกรองความถี่ที่ออกแบบด้วยการนำวงจรออปแอมป์มาประยุกต์ใช้งาน (Opamp-RC active filter) [26]

รูปที่ 2.23 (ก) วงจรกรองความถี่ต่ำผ่าน (Low pass filter) สมการทรานส์เฟอร์ฟังก์ชันของวงจรกรองความถี่หาได้จาก

$$T(s) = \frac{a_0}{s + \omega_0} \quad (2.53)$$

รูปที่ 2.23 (ข) วงจรกรองความถี่สูงผ่าน (High pass filter) สมการทรานส์เฟอร์ฟังก์ชันของวงจรกรองความถี่หาได้จาก

$$T(s) = \frac{a_1 s}{s + \omega_0} \quad (2.54)$$

รูปที่ 2.23 (ค) วงจรกรองความถี่ทั่วไปผ่าน (General pass filter) สมการทรานส์เฟอร์ฟังก์ชันของวงจรกรองความถี่หาได้จาก

$$T(s) = \frac{a_1 s + a_0}{s + \omega_0} \quad (2.55)$$

รูปที่ 2.23 (ง) วงจรกรองทุกความถี่ผ่าน (All pass filter) สมการทรานส์เฟอร์ฟังก์ชันของวงจรกรองความถี่หาได้จาก

$$T(s) = -a_1 \frac{s - \omega_0}{s + \omega_0} \quad ; a_1 > 0 \quad (2.56)$$

ค่าความไวเป็นคุณสมบัติที่สำคัญของการออกแบบวงจรกรองเชิงเส้น เนื่องจากเป็นตัวบอกว่าเมื่อค่าอุปกรณ์มีการเปลี่ยนแปลง คุณสมบัติของวงจรกรองความถี่มีการเปลี่ยนแปลงไปเล็กน้อยเพียงใด ถ้าค่าความไวน้อยแสดงว่าวงจรกรองมีคุณสมบัติเปลี่ยนแปลงน้อย วงจรมีเสถียรภาพสูง สมการความไวแบบทั่วไป หาได้จาก (2.57)

$$S_x^y = \frac{x}{y} \frac{dy}{dx} \quad (2.57)$$

เมื่อ  $y$  คือ  $\omega_0$  หรือ  $Q$  ในวงจร

$x$  คือตัวที่อุปกรณ์พาสซีฟ ตัวความต้านทาน  $R$ , ขดลวด  $L$  และตัวเก็บประจุ  $C$  ที่ใช้งานร่วมกันในวงจร

### 2.3.2 การประยุกต์ใช้วงจรทรานส์คอนดักเตอร์ในการกรองสัญญาณ

การประยุกต์ใช้วงจรทรานส์คอนดักเตอร์เป็นวงจรกรองความถี่แบบต่อเนื่องที่ใช้อุปกรณ์ประเภทแอททีฟ เช่น วงจรกรอง Active RC, วงจรกรองความถี่แบบ Gm-C และวงจรกรองตัวเก็บประจุสวิตช์ (Switched Capacitor) ในวิทยานิพนธ์ฉบับนี้ขอก้าวถึงเฉพาะที่นำวงจรทรานส์คอนดักเตอร์มาประยุกต์ใช้งานเป็นวงจรกรองความถี่แบบ Gm-C เท่านั้น

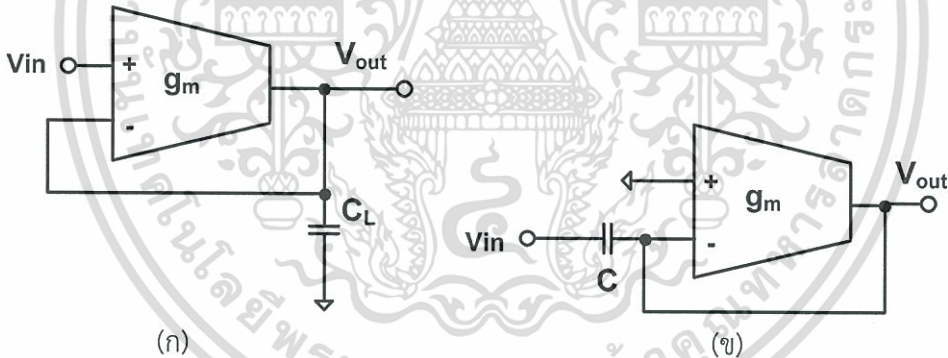
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยกำหนดคุณสมบัติไว้ดังนี้ ต้องการอัตราขยายแรงดันสูง สัญญาณรบกวนต่ำ แบนด์วิดท์กว้าง ที่สัมพันธ์กับการใช้ค่าโพลต์ด้วยค่าความจุ วงจรทำงานได้ที่แหล่งจ่ายแรงดันต่ำ พร้อมกับความเร็วในการทำงานสูง แต่มักจะพบว่าจะถูกจำกัดอยู่ภายใต้ช่วงสัญญาณอินพุต (Dynamic range) ที่ต่ำกว่าปกติ และมีความต่อเนื่องของสัญญาณที่ต่ำ ดังนั้นการออกแบบวงจรในลักษณะการใช้แหล่งจ่ายแรงดันต่ำๆ แต่ยังคงรักษาความเป็นเชิงเส้นของสัญญาณได้ดี ในช่วงปฏิบัติงานอินพุตกว้าง จึงเป็นปัจจัยที่ทำให้หายสำหรับนักออกแบบวงจร [51] – [52]

เมื่อนำวงจรทรานส์คอนดักเตอร์ประยุกต์ใช้งานเป็นวงจรกรองความถี่แบบ Gm-C ดังรูปที่ 2.24 (ก) วงจรกรองความถี่ต่ำผ่าน (Low Pass OTA) และรูปที่ 2.24 (ข) วงจรกรองความถี่สูงผ่าน (High Pass OTA) โดยในรูป 2.24 (ก) มีฟังก์ชันการส่งผ่านแรงดันเอาต์พุตต่อแรงดันอินพุตดังสมการ (2.58)

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + j\omega \left( C_L \cdot \frac{1}{g_m} \right)} \quad (2.58)$$

โดยที่  $i_{out} = g_m (v_{in} - v_{out})$  และ  $V_{out} = i_{out} \cdot \frac{1}{j\omega C} = \frac{g_m}{j\omega C_L} (v_{in} - v_{out})$  ถูกนำมาประยุกต์ใช้เป็นวงจรกรองความถี่ต่ำผ่านด้วยค่า  $C_L$  และค่าความต้านทานแบบ  $1/g_m$  จุดเด่นของวงจรคือที่  $V_{in}$  มีอินพุตอิมพีแดนซ์ที่ได้จากวงจรทรานส์คอนดักเตอร์เป็นอินฟินิตี้ เราสามารถวิเคราะห์หาโพลของวงจรได้จากสมการ (2.59)



รูปที่ 2.24 โครงสร้างวงจร Gm-C filter (ก) Low Pass OTA (ข) High Pass OTA

$$f = \frac{1}{2\pi \cdot C_L \left( \frac{1}{g_m} \right)} \quad (2.59)$$

รูปที่ 2.24 (ข) แสดงวงจรกรองความถี่สูงผ่าน มีฟังก์ชันการส่งผ่านแรงดันเอาต์พุตต่อแรงดันอินพุตดังสมการ (2.60)

$$\frac{V_{out}}{V_{in}} = \frac{j\omega \left( C_L \cdot \frac{1}{g_m} \right)}{1 + j\omega \left( C_L \cdot \frac{1}{g_m} \right)} \quad (2.60)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

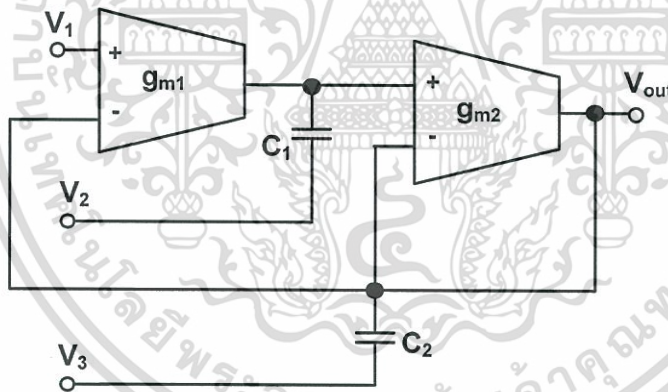
การออกแบบวงจรทรานส์คอนดักเตอร์สำหรับประยุกต์ใช้กรองสัญญาณนั้นมี 2 จุดที่ควรคำนึงถึงคือสัญญาณอินพุตแอมพลิฟายด์ เนื่องจากสัญญาณอินพุตแอมพลิฟายด์ที่มีขนาดใหญ่จะส่งผลให้อัตราขยายสัญญาณขาดความเป็นเชิงเส้นได้ และสิ่งที่ต้องคำนึงถึงอีกอย่างหนึ่งคือค่าความจุแฝงที่อินพุตและเอาต์พุตที่เกิดขึ้น (parasitic input/out capacitances) ดังนั้นค่าความจุโหลดควรมีขนาดใหญ่กว่าค่าความจุแฝง นอกจากนั้นการใช้วงจรทรานส์คอนดักเตอร์ออกแบบวงจรกรองยังส่งผลให้ค่าความถี่ถูกจำกัด และเป็นสาเหตุให้อุปกรณ์และเฟสเอาต์พุตผิดเพี้ยนไป ซึ่งสาเหตุมักจะเกิดจากการปรับแต่งสัญญาณของวงจรด้วยกระแสไบอัส ( $I_{Bias}$ )

รูปที่ 2.25 แสดงวงจรกรองความถี่แบบไบควอดริค ที่ถูกนำมาใช้งานสำหรับกรองความถี่หลายหน้าที่แบบเลือกได้ ถ้ากำหนดค่าทรานส์คอนดักเตอร์ของแต่วามีค่าเท่ากัน ความถี่พื้นฐานของวงจรกรองหาได้จากฟังก์ชันการทำงานจากสมการ (2.61) ถ้ากำหนดให้  $g_{m1}=g_{m2}=g_m$

$$\omega_0 = g_m / \sqrt{C_1 C_2} \quad (2.61)$$

โดยมีค่า  $Q = \sqrt{\frac{g_{m1} C_2}{g_{m2} C_1}}$  อัตราขยายในอุดมคติ ความต้านทานอินพุตและเอาต์พุตเป็นอินฟินิตี้

สมการความสัมพันธ์ความถี่ตัดของวงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter: LPF), กรองความถี่สูงผ่าน (Low-Pass Filter: HPF), วงจรกรองแถบความถี่ผ่าน (Band-Pass Filter: BPF), วงจรกรองตัดแถบความถี่ไม่ให้อ่าน (Band Reject Filter: BRF) หาได้จากสมการดังต่อไปนี้ตามลำดับ



รูปที่ 2.25 วงจรกรองความถี่แบบแควดริคแบบไบควอด (Biquad Filter)

สำหรับวงจรกรองความถี่ต่ำผ่าน (LPF) กำหนดให้  $V_{in} = V_1$  และกำหนด  $V_2$  และ  $V_3$  ต่อลงกราวด์  $V_{o\_lpf}$  หาได้จากสมการ (2.62)

$$V_{o\_lpf} = \frac{g_m^2}{s^2 C_1 C_2 + s C_1 g_m + g_m^2} \quad (2.62)$$

สำหรับ HPF กำหนดให้  $V_{in} = V_3$  และกำหนด  $V_1$  และ  $V_2$  ต่อลงกราวด์  $V_{o\_hpf}$  หาได้จากสมการ (2.63)

$$V_{o\_hpf} = \frac{s^2 C_1 C_2}{s^2 C_1 C_2 + s C_1 g_m + g_m^2} \quad (2.63)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ BPF กำหนดให้  $V_{in} = V_2$  และกำหนด  $V_1$  และ  $V_3$  ต่อลงกราวด์  $V_{o\_bpf}$  หาได้จากสมการ (2.64)

$$V_{o\_bpf} = \frac{sC_1g_m}{s^2C_1C_2 + sC_1g_m + g_m^2} \quad (2.64)$$

สำหรับ BRF กำหนดให้  $V_{in} = V_1 = V_3$  และกำหนด  $V_2$  ต่อลงกราวด์  $V_{o\_brf}$  หาได้จากสมการ (2.65)

$$V_{o\_brf} = \frac{s^2C_1C_2 + g_m^2}{s^2C_1C_2 + sC_1g_m + g_m^2} \quad (2.65)$$

## 2.4 สรุป

จากทฤษฎีพื้นฐานวงจรรวมขิมอส ร่วมกับเทคนิคการออกแบบวงจรรวมสำหรับงานแรงดันแหล่งจ่ายต่ำ จะส่งผลกระทบต่อตรงต่อการลดประสิทธิภาพของสัญญาณเอาต์พุตที่ได้ ในเรื่องของความต่อเนื่องของสัญญาณที่มีคุณภาพต่ำ ช่วงการทำงานของสัญญาณอินพุตแคบลง และเนื่องจากการออกแบบวงจรรวมประเภทนี้ มักถูกนำมาใช้กับการขยายสัญญาณที่มีขนาดเล็กมากๆ สำหรับงานออกแบบวงจรทางด้านการแพทย์ (biomedical) และนิวรอนเน็ตเวิร์ก (neural network) ดังนั้นสัญญาณรบกวนจะส่งผลกระทบต่อการออกแบบวงจรรวมที่ใช้แหล่งจ่ายแรงดันต่ำมากขึ้น

## บทที่ 3

### วงจรถรทรานส์คอนดักเตอร์ที่นำเสนอ

#### 3.1 บทนำ

งานวิจัยนี้ขอนำเสนอการปรับปรุงโครงสร้างวงจรถรทรานส์คอนดักเตอร์พื้นฐาน (Basic building blocks OTA circuit) สามารถทำงานภายใต้แหล่งจ่ายแรงดันต่ำ ในขณะที่ยังรักษาความต่อเนื่องของสัญญาณที่มีประสิทธิภาพสูง ช่วงปฏิบัติการอินพุตกว้าง และกินกำลังงานต่ำ

วงจรถรทรานส์คอนดักเตอร์กินกำลังงานต่ำที่นำเสนอ ออกแบบด้วยเทคโนโลยีซีมอสจากโครงสร้างวงจรถรตามแรงดันแบบ Flipped-Voltage Follower (FVF) ร่วมกับเทคนิคการกระตุ้นสัญญาณแรงดันอินพุตเข้าที่ขับเคลื่อน (Bulk-driven input stage) และวงจรมีการทำงานแบบคลาสเอบี

วงจรถรทรานส์คอนดักเตอร์ซีมอสกำลังงานต่ำที่นำเสนอ มีความเป็นเชิงเส้นสูงจากการอาศัยเทคนิคการป้องกันของความต้านทานซอร์สดีเจเนอเรชัน (Passive Resistive Source Degeneration) ร่วมกับการทำงานของวงจรถรแบบคลาสเอบี ที่จัดอยู่บนโครงสร้างของวงจรถรทรานส์คอนดักเตอร์แบบสมมาตร ส่งผลให้วงจรถรที่นำเสนอมีความเป็นเชิงเส้นสูงสำหรับช่วงปฏิบัติการอินพุตกว้าง

#### 3.2 วงจรถรขยายทรานส์คอนดักเตอร์ที่นำเสนอ

รูปที่ 3.1 แสดงโครงสร้างของวงจรถรทรานส์คอนดักเตอร์ที่นำเสนอ เป็นโครงสร้างวงจรถรที่มีความสมมาตรกัน วงจรถรในเส้นปะของรูปที่ 3.1 เรียกว่าวงจรถรแปลงแรงดันอินพุตเป็นกระแสเอาต์พุตหลัก (core transconductor) สร้างจาก 2 วงจรถรตามแรงดัน (Voltage Followers: VF) และตัวต้านทาน ( $R_S$ ) มาใช้งานร่วมกันเพื่อให้แรงดันผลต่างอินพุต ( $v_{id} = v_{in+} - v_{in-}$ ) ผ่านค่าความต้านทาน  $R_S$  แล้วเปลี่ยนเป็นกระแสเอาต์พุต การกำหนดค่าความต้านทาน  $R_S$  คงที่นำมาซึ่งความเป็นเชิงเส้นสูง [53] – [56] ดังนั้นกระแสที่ไหลผ่านค่า  $R_S$  หาได้จากสมการ (3.1)

$$i_R = \frac{A_v V_{id}}{R_S} \quad (3.1)$$

โดยที่  $A_v$  เป็นค่าอัตราขยายแรงดันของโครงสร้างวงจรถร VF

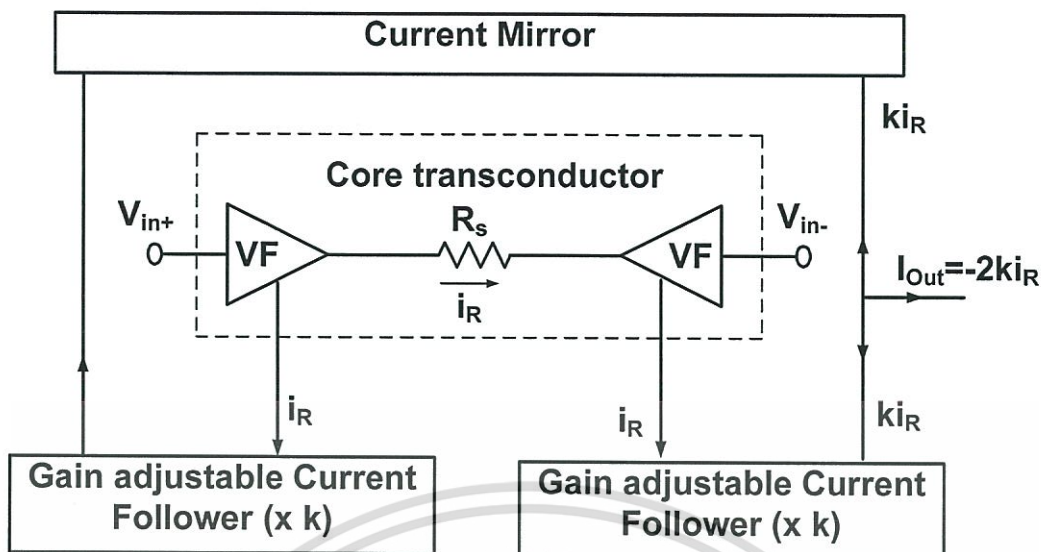
โครงสร้างวงจรถรปรับอัตราขยายกระแส (Gain-adjustable Current Followers: CF) มีหน้าที่ปรับกระแสที่สะท้อนจากวงจรถร core transconductor ด้วยอัตราส่วน  $k$  เท่า

วงจรถรปรับแต่งอัตราขยายกระแสสร้างอยู่ภายใต้โครงสร้างวงจรถรสะท้อนกระแส เพื่อนำมาใช้รับส่งกระแส  $i_R$  ไปที่โหนดเอาต์พุต ในเวลาเดียวกันวงจรถรสะท้อนกระแสที่นำเสนอนี้ก็มีหน้าที่ปรับแต่งค่าทรานส์คอนดักแตนซ์ โดยการปรับกระแส  $i_R$  ด้วยอัตราส่วน  $k$  เท่า

กระแสเอาต์พุต  $i_{out}$  กำหนดได้จาก  $-2ki_R$  ดังนั้นค่าทรานส์คอนดักแตนซ์หาได้จากสมการ (3.2) วิธีนี้ถูกกล่าวถึงในงานวิจัย [57]

$$G_{md} = \frac{i_{out}}{v_{id}} = \frac{-2A_v k}{R_S} \quad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 โครงสร้างของวงจรทรานส์คอนดักเตอร์ที่นำเสนอ

ดังนั้นความเป็นเชิงเส้นของวงจรทรานส์คอนดักเตอร์ที่นำเสนอจากรูปที่ 3.1 ขึ้นกับ

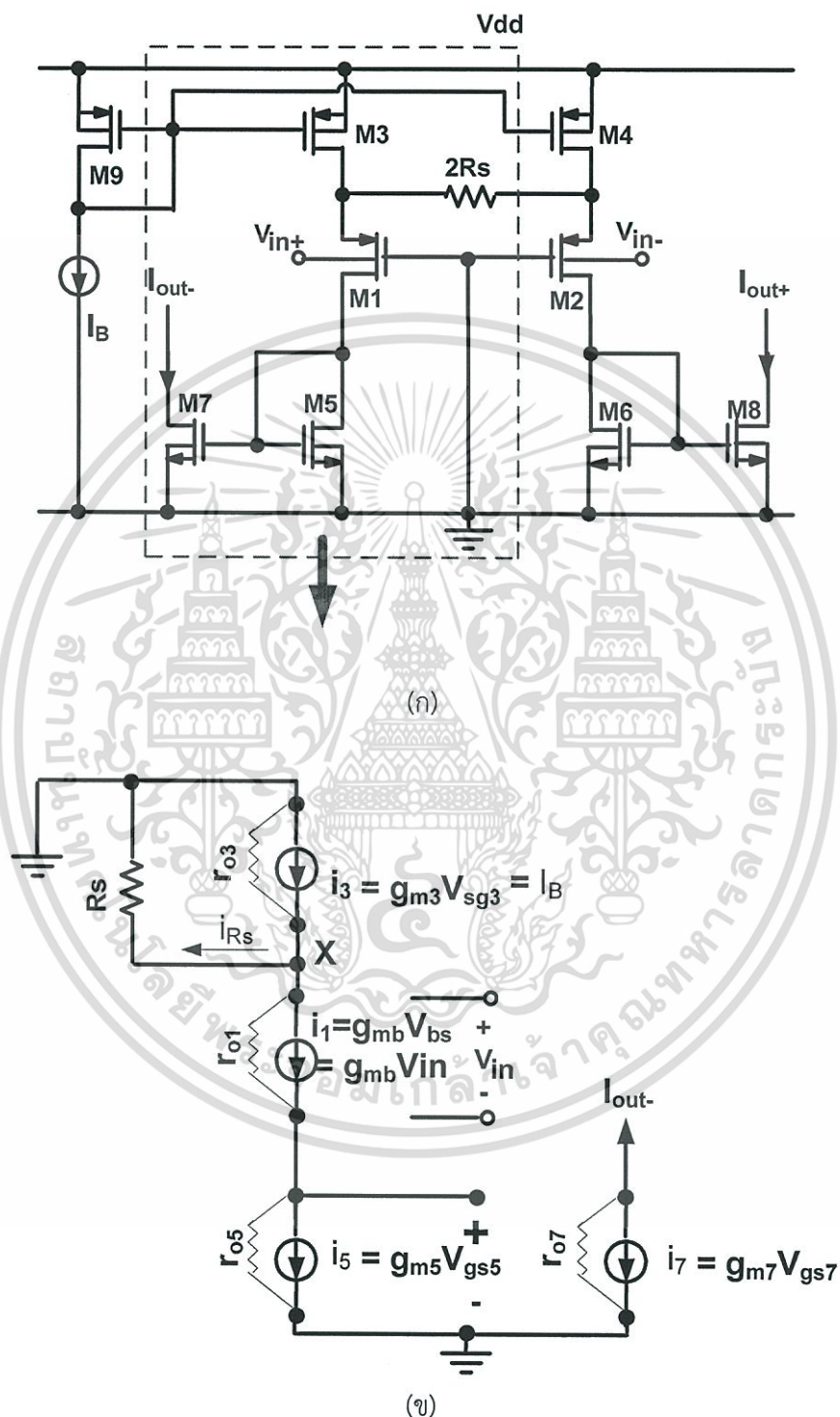
1. วงจรแปลงแรงดันอินพุตเป็นกระแสเอาต์พุตหลัก (core transconductor) ผ่านตัวต้านทานคงที่  $R_s$  ที่มีการป้อนกลับแบบลบ
2. ความแม่นยำในการสะท้อนกระแส  $i_R$  ออกจากวงจร VF ผ่านวงจรปรับแต่งอัตราขยายกระแส CF เป็นสำคัญ จากคุณสมบัติสำคัญของวงจร VF คือต้องการค่าอินพุตอิมพีแดนซ์สูงๆ ค่าเอาต์พุตอิมพีแดนซ์ต่ำ และวงจรแทนแหล่งจ่ายแรงดัน (voltage replication) ที่มีความแม่นยำสูง

จุดเด่นของโครงสร้างนี้คือ วิธีการปรับค่าทรานส์คอนดักต์แทนซ์ไม่ส่งผลกระทบต่อความเป็นเชิงเส้นของสัญญาณที่ได้จากวงจร core transconductor โดยวิธีการปรับค่าทรานส์คอนดักต์ด้วยวงจร CF สามารถทำได้อย่างอิสระไม่ขึ้นกับวงจร core transconductor

งานวิจัยนี้ได้ทำการทดสอบเปรียบเทียบวงจรขยายทรานส์คอนดักเตอร์ที่นำเสนอ กับโครงสร้างวงจขยายทรานส์คอนดักเตอร์จากงานวิจัยอื่น 2 โครงสร้าง ด้วยข้อกำหนดเดียวกันทั้ง 3 โครงสร้าง ดังนี้

1. ทุกโครงสร้างวงจรมีการกระตุ้นสัญญาณอินพุตแรงดันผลต่างเข้าที่ขั้วบัลค์ แรงดันที่ขั้วเกตของทรานซิสเตอร์อินพุตกำหนดให้มีค่าเป็นศูนย์
2. กำหนดแหล่งจ่ายแรงดันเดียวที่มีค่าเท่ากัน
3. แรงดันดีซีอินพุตเป็นครึ่งหนึ่งของแรงดันแหล่งจ่าย
4. กำหนดขนาดของค่าอัตราส่วน  $W/L$  ของทรานซิสเตอร์ทุกตัวเท่ากัน
5. กำหนดค่าความต้านทาน  $R_s$  ที่ให้ใช้ค่า  $g_m$  เท่ากันทั้ง 3 โครงสร้าง

### 3.3 วงจรขยายทรานส์คอนดักเตอร์แบบทั่วไป (Simple resistive source-degeneration Bulk-Driven differential transconductance: S-BD)



รูปที่ 3.2 (ก) โครงสร้างวงจรถ่ายทรานส์คอนดักเตอร์แบบทั่วไป Simple resistive source-degeneration Bulk-Driven differential transconductance (S-BD) (ข) แบบจำลองวงจรถ่ายสมมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2 (ก) แสดงวงจรรขยายทรานส์คอนดักเตอร์พื้นฐาน เมื่อแรงดันผลต่างถูกกระตุ้นเข้าที่ขั้วบัสค์ของทรานซิสเตอร์  $M_1$  และ  $M_2$  ที่ต่อเป็นโครงสร้างแบบ Bulk-driven Voltage Follower สัญญาณแรงดันอินพุตผลต่างไหลผ่านตัวต้านทาน  $R_s$  แล้วเปลี่ยนเป็นกระแสเอาต์พุตผลต่าง ทรานซิสเตอร์  $M_3$ ,  $M_4$  และ  $M_9$  ร่วมกับแหล่งจ่ายกระแส  $I_b$  มีหน้าที่กำหนดกระแสไบอัสคงที่ให้กับวงจร กระแสเอาต์พุตที่ขั้วเดรนของทรานซิสเตอร์  $M_1$  และ  $M_2$  ถูกสะท้อนไปยังโหนดเอาต์พุตโดยการใช้อัจฉริยะสะท้อนกระแสแบบทั่วไปจากการเชื่อมต่อของทรานซิสเตอร์  $M_5$  ถึง  $M_8$

อัตราขยายสัญญาณของวงจรถูกหาได้จากสมการที่ (3.3) โดยที่  $g_{m1}$  เป็นค่าวงจรรานส์คอนดักต์แดนซ์ที่ขั้วเกต (small-signal gate transconductance) และ  $g_{mb1}$  เป็นค่าทรานส์คอนดักต์แดนซ์ที่ขั้วบัสค์ (small-signal body transconductance) ของทรานซิสเตอร์  $M_1$

$$A_v \approx \frac{g_{mb1}}{g_{m1} + g_{mb1} + (1/R_s)} \quad (3.3)$$

สมการที่ (3.4) สามารถหาค่าทรานส์คอนดักต์แดนซ์ใหม่ได้เป็น

$$G_{md} = \frac{i_{out}}{V_{id}} = -\frac{A_v k}{R_s} \quad (3.4)$$

ถ้า  $g_m \gg g_{ds}$  จะได้ค่าทรานส์คอนดักต์แดนซ์ใหม่ได้จากสมการ (3.5)

$$G_{md} \approx \frac{g_{mb1}}{g_{m1} + g_{mb1} + (1/R_s)} \cdot \frac{k}{R_s} \quad (3.5)$$

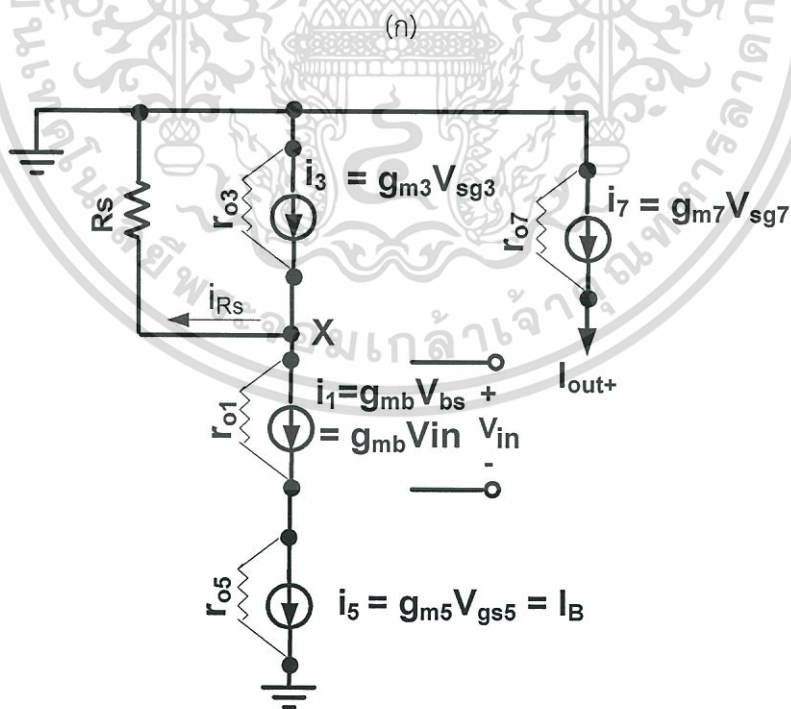
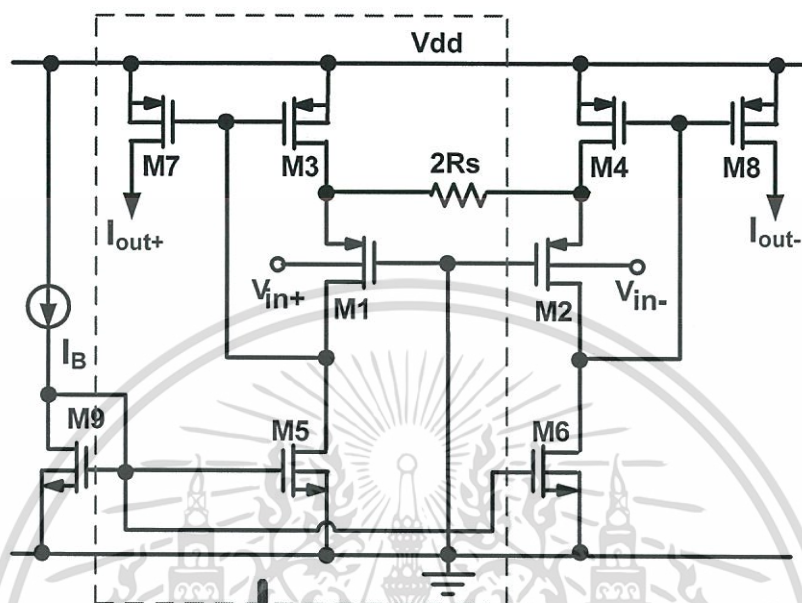
ถ้าต้องการความเป็นเชิงเส้นที่ดี ค่าความต้านทานเอาต์พุตของวงจร VF ควรน้อยกว่าค่าความต้านทานโหลดมากๆ นั่นคือให้  $R_s \gg 1/(g_{m1} + g_{mb1})$  ส่งผลให้ค่าทรานส์คอนดักต์แดนซ์ลดลงดังสมการ (3.6)

$$G_{md} \approx \frac{g_{mb1}}{g_{m1} + g_{mb1}} \cdot \frac{k}{R_s} = \frac{\eta}{\eta + 1} \cdot \frac{k}{R_s} \quad (3.6)$$

ที่  $g_{mb} = \eta g_m$  ( $\eta = 0.1$  ถึง  $0.3$ ) ดังนั้นค่า  $g_{mb}$  ขึ้นกับค่า  $\eta$  ที่คิดเป็นกึ่งเท่าของค่าทรานส์คอนดักต์แดนซ์  $g_m$

สังเกตได้ว่าถ้าต้องการความเป็นเชิงเส้นสูง ค่าความต้านทานเอาต์พุตของ  $M_1$  และ  $M_2$  ควร มีค่าน้อยๆ และค่าความต้านทาน  $R_s \gg 1/(g_{m1} + g_{mb1})$  ถ้าต้องการให้ค่า  $g_{m1}$  มีค่ามากๆ นั่นคือต้องเพิ่มขนาดของทรานซิสเตอร์ กระแสไบอัสสูงขึ้นตาม ทำให้วงจรต้องให้กำลังงานเพิ่มขึ้น สรุปได้ว่าถ้าต้องการความเป็นเชิงเส้นสูง ต้องใช้กำลังงานมากนั่นเอง

3.4 วงจรขยายทรานส์คอนดักเตอร์แบบคลาสเอ-กระตุ้นสัญญาณอินพุตที่ขั้วบัลคบน  
 วงจรตามแรงดันแบบ Flipped-Voltage Follower (Class-A Bulk-Driven  
 Flipped-Voltage Follower: Class-A BDFVF)



(ข)

รูปที่ 3.3 (ก) โครงสร้างวงจร Class-A BD-FVF (ข) แบบจำลองวงจรสมมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาความเป็นเชิงเส้นของวงจรถยายทรานส์คอนดักเตอร์พื้นฐาน (S-BD) สามารถแก้ไขได้โดยการลดค่าความต้านทานเอาต์พุตให้มีค่าน้อยๆ โดยอาศัยการป้อนกลับแบบลบที่มีค่าคงที่จากรูปที่ 3.3 (ก) แสดงวงจรถยายทรานส์คอนดักเตอร์แบบ Class-A Bulk-driven Flipped-Voltage Follower: Class-A BDFVF) สัญญาณผลต่างอินพุตกระตุ้นที่ขั้วบัลคบนโครงสร้างที่มีการป้อนกลับแบบลบด้วยตัวต้านทานคงที่ของวงจรถายตามแรงดันแบบ FVF

ทรานซิสเตอร์ M1 ถึง M6 ถูกจัดให้อยู่ในรูปแบบของวงจรถายตามแรงดันแบบ FVF ทรานซิสเตอร์ M<sub>3</sub>, M<sub>4</sub> มีหน้าที่กำหนดอัตราขยายในรูปที่มีการป้อนกลับแบบลบ ส่งผลให้ค่าอิมพีแดนซ์ที่ขั้วซอร์สของทรานซิสเตอร์ M<sub>1</sub>, M<sub>2</sub>, มีค่าน้อยลง สามารถหาค่าความต้านทานเอาต์พุตได้จากสมการ (3.7) ในขณะที่ทรานซิสเตอร์ M<sub>5</sub>, M<sub>6</sub> และ M<sub>9</sub> ร่วมกับแหล่งจ่ายกระแส I<sub>b</sub> ถูกจัดให้มีหน้าที่จ่ายกระแสคงที่ให้กับวงจรถาย ในขณะที่ทรานซิสเตอร์ M<sub>3</sub> และ M<sub>4</sub> จะทำหน้าที่สะท้อนกระแสผลต่างอินพุตไปเป็นกระแสผลต่างเอาต์พุตที่มี M<sub>7</sub> และ M<sub>8</sub>

$$r_{out} \approx \frac{g_{ds1}}{g_{m1}g_{m3}} \quad (3.7)$$

จากการวิเคราะห์แบบจำลองวงจรถายสมมูลสามารถหาอัตราขยายแรงดันได้จากสมการที่ (3.3) ถ้าให้ค่าความต้านทานเอาต์พุตที่ได้จากโครงสร้าง Class-A BDFVF มีค่าน้อยกว่าความต้านทานโหลดมากๆ ( $r_{out} \ll R_L$ ) ค่าผลต่างวงจรถายทรานส์คอนดักเตอร์ของวงจรถาย Class-A BDFVF จะประมาณได้จากสมการที่ (3.6)

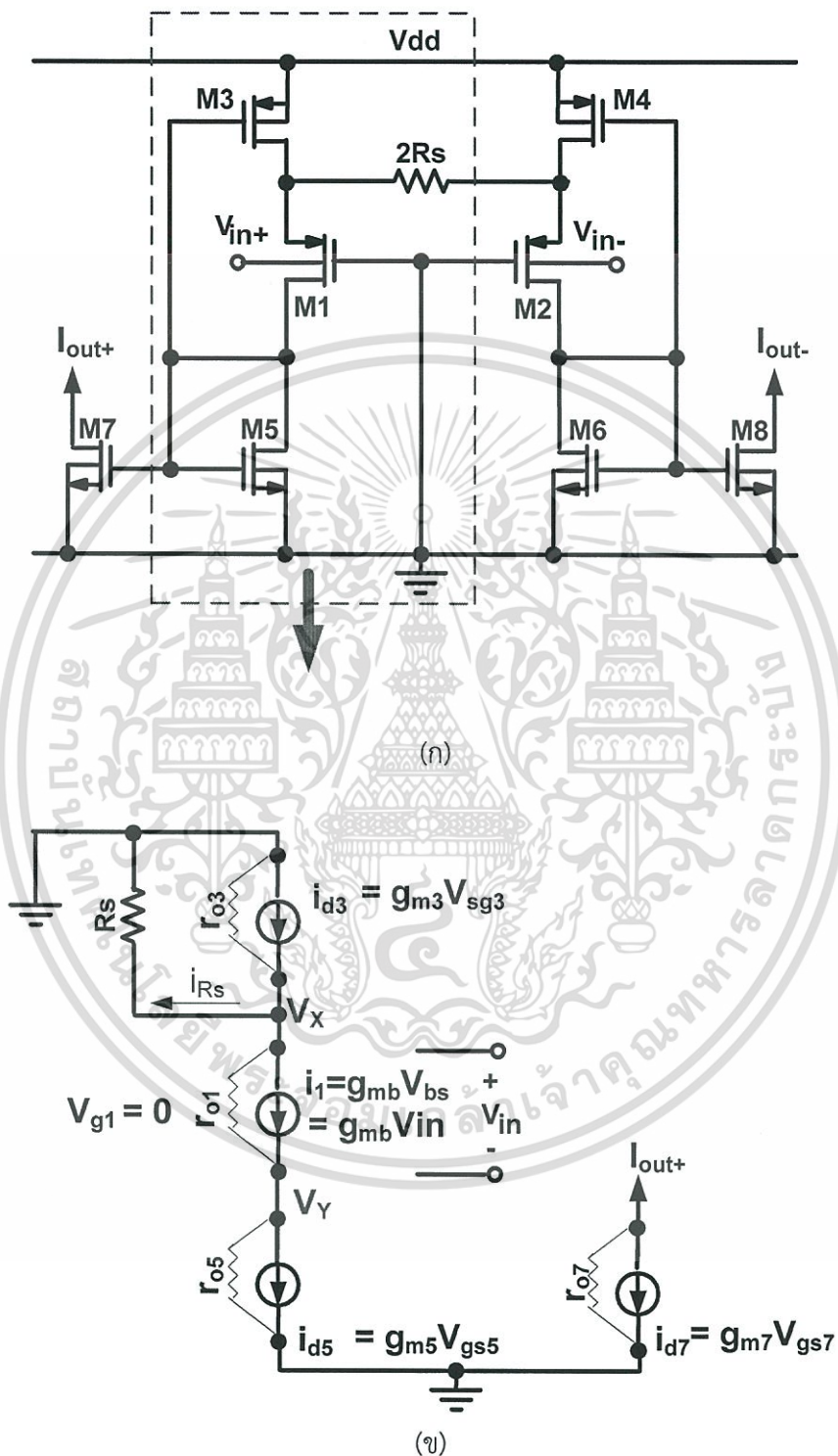
ข้อดีของโครงสร้างวงจรถายนี้คือช่วยเพิ่มความเป็นเชิงเส้นของวงจรถายให้สูงขึ้นจากการใช้โครงสร้างที่มีการป้อนกลับแบบลบ ส่งผลให้ความต้านทานเอาต์พุตลดลงโดยปราศจากการเพิ่มกระแสไบอัส ทำให้ความเป็นเชิงเส้นดีขึ้นโดยใช้กำลังงานของวงจรถายเท่าเดิม ข้อด้อยของวงจรถาย Class-A BDFVF คือวงจรถายทำงานแบบคลาสเอ ดังนั้นผลต่างกระแสเอาต์พุตถูกจำกัดด้วยกระแสไบอัส (2I<sub>b</sub>)

### 3.5 วงจรถายทรานส์คอนดักเตอร์ที่นำเสนอ (Class-AB Bulk-Driven Flipped-Voltage Follower: Class-AB BDFVF)

จากความสามารถในการขับกระแสเอาต์พุตที่จำกัดของวงจรถายในรูปที่ 3.3 ถูกแก้ไขปรับปรุงให้ดีขึ้นด้วยการที่วงจรถายมีการทำงานแบบคลาสเอบี ดังนั้นงานวิจัยนี้ขอนำเสนองจรถายทรานส์คอนดักเตอร์แบบ Class-AB Bulk-Driven Flipped-Voltage Follower: Class-AB BDFVF แบบใหม่แสดงในรูป 3.4 (ก) มีหลักการทำงานดังต่อไปนี้

ทรานซิสเตอร์ M1 ถึง M6 ถูกจัดให้วงจรถายทำงานแบบคลาสเอบี [58] แหล่งจ่ายกระแสคงที่ของโครงสร้างที่นำเสนอนี้ เกิดจากการกำหนดอัตราส่วนของขนาด W/L ของคู่ทรานซิสเตอร์ [M1, M2], [M3, M4] และ [M5, M6] สัญญาณแรงดันผลต่างอินพุต ( $v_{id} = v_{in+} - v_{in-}$ ) กระตุ้นเข้าที่ขั้วบัลคเปลี่ยนเป็นกระแสเอาต์พุต ผ่านค่าความต้านทาน R<sub>S</sub> คงที่ที่มีการป้อนกลับแบบลบ แล้วเปลี่ยนเป็นกระแสเอาต์พุต ที่ทรานซิสเตอร์ M5 และ M6 มีการต่อแบบไดโอดคอนเน็คเท็ด (Diode-connected) เชื่อมต่อกับโครงสร้างของวงจรถายตามแรงดันแบบ FVF ทำให้วงจรถายที่นำเสนอมีการทำงานแบบคลาสเอบี มีกระแสไหลผ่านทรานซิสเตอร์ M1 และ M2 ตลอดเวลา สัญญาณเอาต์พุตเกิดความต่อเนื่องอยู่

ตลอดเวลา ส่งผลให้วงจรที่นำเสนอมีความเป็นเชิงเส้นสูง ในช่วงปฏิบัติงานแรงดันอินพุตผลต่างกว้างมาก



รูปที่ 3.4 (ก) โครงสร้างวงจรทรานส์คอนดักเตอร์นำเสนอสื่อ Class-AB Bulk-Driven Flipped-Voltage Follower (ข) แบบจำลองวงจรสมมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการวิเคราะห์แบบจำลองวงจรสมมูลในรูป 3.4 (ข) สามารถประมาณค่าอัตราขยายแรงดันได้จากสมการที่ (3.8)

$$A_V \approx \frac{g_{mb1}}{(g_{m1} + g_{mb1})(1 + g_{m3}/g_{m5}) + (1/R_S)} \quad (3.8)$$

เมื่อพิจารณาสมการที่ (3.4) วิเคราะห์ห้วงจรสมมูล ผลต่างทรานส์คอนดักแตนซ์ของโครงสร้างที่นำเสนอนี้ได้จากสมการที่ (3.9)

$$G_{md} \approx \frac{g_{mb1}}{(g_{m1} + g_{mb1})(1 + g_{m3}/g_{m5}) + (1/R_S)} \cdot \frac{k}{R_S} \quad (3.9)$$

ถ้าต้องการความเป็นเชิงเส้นสูง ความต้านทานเอาต์พุตต้องมีค่าน้อยกว่าความต้านทานโหลดมากๆ ดังนั้นกำหนดได้จากสมการที่ (3.10)

$$R_S \gg \frac{1}{(g_{m1} + g_{mb1})(1 + g_{m3}/g_{m5})} \quad (3.10)$$

ดังนั้นสามารถประมาณค่าทรานส์คอนดักแตนซ์ได้ จากสมการที่ (3.11)

$$\begin{aligned} G_{md} &\approx \frac{g_{mb1}}{(g_{m1} + g_{mb1})(1 + g_{m3}/g_{m5})} \cdot \frac{k}{R_S} \\ &= \frac{\eta}{\eta + 1} \cdot \frac{1}{(1 + g_{m3}/g_{m5})} \cdot \frac{k}{R_S} \end{aligned} \quad (3.11)$$

สังเกตได้ว่าเมื่อ  $g_{m3}/g_{m5} \ll 1$  ค่าทรานส์คอนดักแตนซ์หาได้จากสมการ (3.6) ซึ่งเป็นค่าประมาณค่าทรานส์คอนดักแตนซ์ที่ได้จากโครงสร้างในรูปที่ 3.2 (S-BD) และรูปที่ 3.3 (Class-A BDFVF)

เมื่อพิจารณารูปที่ 3.5 (ข) จากคุณสมบัติทางกายภาพของทรานซิสเตอร์ชนิดเอ็นมอสของทรานซิสเตอร์  $M_5$  ที่มีจำนวนอิเล็กตรอนที่เกิดขึ้นมีขนาดมากเป็น 2-3 เท่าของจำนวนโฮลในทรานซิสเตอร์พีมอสของ  $M_3$  ดังนั้นคุณสมบัติดังกล่าวทำให้กระแสเอาต์พุตผลต่างที่ได้มีค่ามากกว่ากระแสไบอัส  $2I_B$

จุดสำคัญของการพัฒนางจรทรานส์คอนดักเตอร์ที่นำเสนอนี้คือ ความสามารถในการจัดการกระแสเอาต์พุตผลต่างที่เกิดขึ้นได้มากกว่ากระแสไบอัส  $2I_B$  ด้วยการทำงานของวงจรตามแรงดันแบบ VVF ที่เป็นคลาสเอบีนั่นเอง

จากความสัมพันธ์ระหว่างช่วงความถี่และสัญญาณรบกวนที่เกิดขึ้นในทรานซิสเตอร์ เมื่อพิจารณาสัญญาณรบกวนในย่านความถี่ต่ำ สัญญาณรบกวน Flicker noise หาได้จากสมการทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_c = \frac{1/f}{C_{ox}WL} g_{mb} \frac{3}{8KT} \quad (3.12)$$

โดยที่  $f_c$  เป็นความถี่ตัดของสัญญาณรบกวน (Corner of noise frequency)

$1/f$  เป็นค่า Flicker noise

K เป็นค่าคงที่ Boltzman's constant

T เป็นอุณหภูมิ (T=300°K)

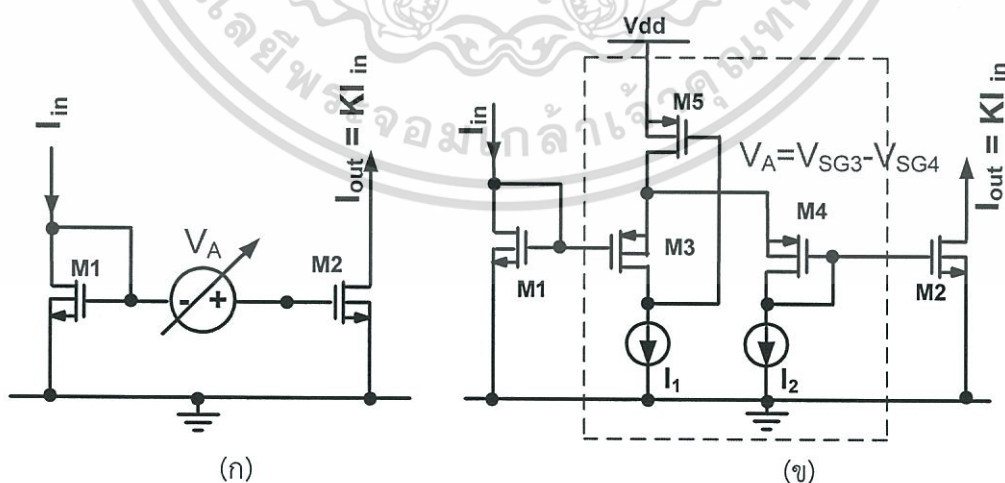
พบว่าสัญญาณรบกวนอินพุตขึ้นอยู่กับค่า W, L และ  $g_{mb}$

การทดสอบการทำงานโดยผลการจำลองการเปรียบเทียบของวงจรทั้ง 3 โครงสร้าง แสดงในบทที่ 4 พบว่าคุณสมบัติพื้นฐานของวงจรถานส์คอนดักเตอร์ที่นำเสนอมีคุณภาพสูง ในเรื่องของมีพลวัตพิสัยอินพุตกว้างมาก (Wide input linear range) ความเป็นเชิงเส้นของสัญญาณสูง (High linearity) สัญญาณรบกวนต่ำ ทำงานภายใต้แหล่งจ่ายแรงดันต่ำ กินกำลังน้อย

### 3.6 วงจรปรับแต่งสัญญาณที่นำเสนอ

การปรับแต่งค่าทรานส์คอนดักเตอร์ที่มีความต้องการ สำหรับการประยุกต์ใช้งานวงจรถานส์คอนดักเตอร์เพื่อกรองสัญญาณ จากการประยุกต์ใช้งานวงจรถองความถี่แบบแอกทิฟในบทที่ 5 พิจารณาเรื่องการปรับแต่งความถี่และค่า Q จากเทคนิคการปรับค่าความต้านทานของวงจรถอง resistive source degeneration transconductor [36] วิธีดังกล่าวนี้มักใช้แรงดันไปควบคุมการทำงานของทรานส์ซิสเตอร์ให้ทำงานในย่านไตรโอด (voltage controlled MOSFET resistor) วิธีนี้ทำให้ความเป็นเชิงเส้นและประสิทธิภาพของวงจรถองทรานส์คอนดักเตอร์ลดลง

ในทางตรงข้ามการปรับอัตราส่วนของกระแสเอาต์พุต [59] - [60] โดยไม่ต้องไปปรับค่ากระแสที่ได้วงจรถอง core transconductor จะสามารถรักษาความเป็นเชิงเส้นและคุณภาพของวงจรถองไว้ได้ดีกว่า



รูปที่ 3.5 (ก) โครงสร้างของวงจรถองกระแสปรับแต่งสัญญาณได้ (gain-adjustable current mirror) (ข) วงจรแทนแบบจำลองวงจรถอง  $V_A$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในงานวิจัยนี้เราใช้วิธีปรับอัตราขยายกระแส จากวงจรถ่อนกระแสปรับแต่งสัญญาณได้ (gain-adjustable current mirror) แสดงในรูปที่ 3.5 (ก) โครงสร้างวงจรถ่อนกระแสปรับแต่งกระแส  $V_A$  (adjustable floating voltage source) ถูกแทนด้วยวงจรถ่อนกระแสในเส้นปะของรูปที่ 3.5 (ข) เป็นวงจรถ่อนที่เพิ่มเข้ามาระหว่างขั้วเกตของอินพุตและเอาต์พุตของทรานซิสเตอร์  $M_1$  และ  $M_2$  ที่จัดอยู่ในรูปแบบของวงจรถ่อนกระแสแบบทั่วไป การปรับแรงดันที่ขั้วเกตของทรานซิสเตอร์ที่เอาต์พุตจะส่งผลกระทบต่อค่ากระแสเอาต์พุตด้วย

วงจรถ่อน  $V_A$  ออกแบบด้วยโครงสร้างวงจรถ่อนแรงดันแบบ FVF เพื่อให้สามารถทำงานที่แหล่งจ่ายแรงดันต่ำได้ ประกอบด้วยทรานซิสเตอร์พีโมส  $M_3$ ,  $M_5$  และกระแสไบอัส  $I_1$  ทำงานร่วมกัน และทรานซิสเตอร์พีโมส  $M_4$  ที่ต่อวงจรถ่อนแบบไดโอดคอนเน็คทีด (Diode-connected) ที่ขั้วเกตและเดรนของทรานซิสเตอร์  $M_4$  กำหนดให้มีแรงดันจากกระแสไบอัสที่  $I_2$  คงที่ และจากการใช้ทรานซิสเตอร์พีโมสออกแบบในบ่อเวลล์ ทำให้ละผลกระทบจากฐานรองได้ (eliminate the non-linear body effects) ได้ [59], [61]

แรงดัน  $V_A$  ถูกกำหนดจากความแตกต่างของแรงดัน  $V_{GS}$  ของทรานซิสเตอร์  $M_3$  และ  $M_4$  จากสมการ (3.13)

$$V_A = V_{SG3} - V_{SG4} \quad (3.13)$$

กำหนดเงื่อนไขการปรับแต่งกระแสจากกระแสไบอัสที่  $I_1$  และ  $I_2$  ดังต่อไปนี้

- เมื่อ  $I_1 = I_2$  พบว่า  $V_{SG3} = V_{SG4}$  และ  $V_A = 0$  ทำให้  $V_{GS1} = V_{GS2}$  และอัตราขยายกระแสเป็นหนึ่งเท่า
- เมื่อ  $I_1 > I_2$  พบว่า  $V_{SG3} > V_{SG4}$  และ  $V_A > 0$  ทำให้  $V_{GS1} < V_{GS2}$  และอัตราขยายกระแสมากกว่าหนึ่ง
- เมื่อ  $I_1 < I_2$  พบว่า  $V_{SG3} < V_{SG4}$  และ  $V_A < 0$  ทำให้  $V_{GS1} > V_{GS2}$  และอัตราขยายกระแสต่ำกว่าหนึ่ง

สรุปได้ว่ากระแสเอาต์พุตของวงจรถ่อน core transconductor ที่นำเสนอสามารถปรับอัตราขยายกระแสได้จากการปรับค่ากระแสไบอัส  $I_1$  และ  $I_2$  สำหรับงานวิจัยนี้กำหนดให้  $M_1$  ถึง  $M_4$  ทำงานในย่านผิวนกกลับอย่างอ่อน (weak inversion) กระแสเอาต์พุตหาได้จาก  $I_{out} = (I_1/I_2)I_{in}$  ดังนั้นอัตราขยายกระแส  $k = I_1/I_2$  เกิดจากการปรับกระแส  $I_1$  หรือ  $I_2$

จากรูปที่ 3.6 (ข) ทรานซิสเตอร์  $M_5$  ถูกไบอัสให้ทำงานในย่านต่ำกว่าแรงดันเทรชโฮลด์ นั่นคือแรงดัน  $V_{GS} \leq V_{TH}$  เพื่อให้วงจรถ่อนสามารถทำงานได้เมื่อใช้แหล่งจ่ายแรงดันต่ำสุด หาได้จากสมการที่ (3.14)

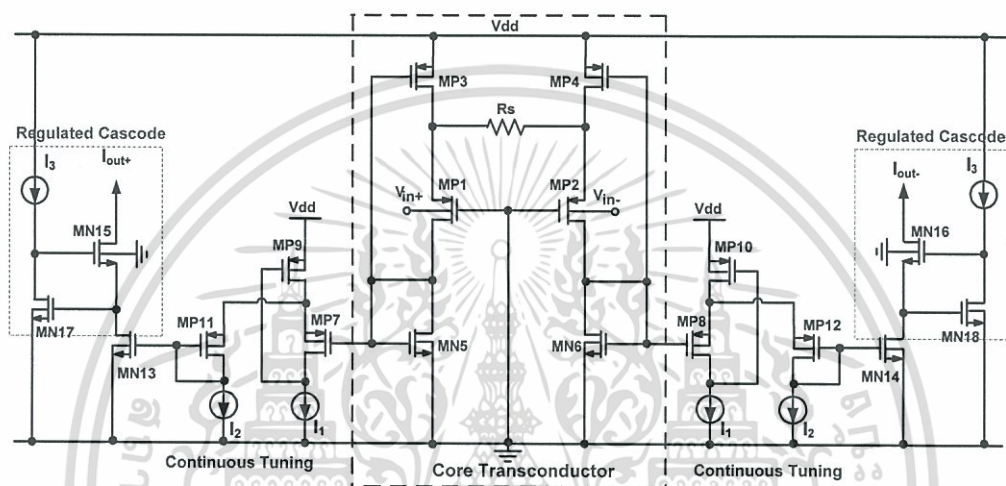
$$V_{dd(min)} < V_{THN,M1} + |V_{THP,M3}| + V_{DS5(SAT)} \quad (3.14)$$

จากงานวิจัยนี้ให้เทคโนโลยี  $0.18 \mu\text{m}$  มีค่าแรงดันเทรชโฮลด์  $V_{THN} = +0.48 \text{ V}$ ,  $V_{THP} = -0.55 \text{ V}$  เมื่อวงจรถ่อนทำงานในสภาวะปกติ กำหนด  $I_1 = I_2 = 750 \text{ nA}$  แรงดันเกตซอร์ส ( $V_{GS}$ ) ของทรานซิสเตอร์  $M1$  และ  $M2$  มีค่าประมาณ  $0.3 \text{ V}$  แรงดันเกตซอร์ส ( $V_{GS}$ ) ของทรานซิสเตอร์  $M3$  และ  $M4$  มีค่าประมาณ  $0.4 \text{ V}$  แรงดันเกตซอร์ส ( $V_{GS}$ ) และแรงดันเดรนซอร์ส ( $V_{DS}$ ) ของทรานซิสเตอร์  $M5$  มี

ค่าประมาณ 0.5 V และ 0.1 V ตามลำดับ สามารถคำนวณหาค่าแรงดันแหล่งจ่ายต่ำสุดได้เท่ากับ 0.8 V

ดังนั้นต้องระวังขนาดของทรานซิสเตอร์และการปรับระดับกระแส ที่จะไม่ให้ส่งผลกระทบต่อวงจรทำงานในย่านอิมิต์วได้ ซึ่งจะเป็นสาเหตุให้สัญญาณเอาต์พุตมีความเป็นเชิงเส้นต่ำลง ความต้องการให้มอสทรานซิสเตอร์ทำงานในย่านต่ำกว่าแรงดันแทรซโฮด นำมาซึ่งความเป็นเชิงเส้นที่ดีของสัญญาณเอาต์พุต

ในงานวิจัยนี้วงจรทรานส์คอนดักเตอร์ที่นำเสนอ มีโครงสร้างการปรับแต่งสัญญาณผลต่างสัญญาณอินพุต-เอาต์พุตแบบสมมาตร (fully-balanced fully-differential circuit) แสดงดังรูปที่ 3.6



รูปที่ 3.6 วงจรทรานส์คอนดักเตอร์แบบคลาสเอบีที่นำเสนอที่ปรับแต่งสัญญาณได้

รูปที่ 3.6 แสดงวงจรทรานส์คอนดักเตอร์แบบคลาสเอบีที่นำเสนอที่ปรับแต่งสัญญาณได้ วงจรมีโครงสร้างผลต่างสัญญาณอินพุต-เอาต์พุตแบบสมมาตร (fully-balanced fully-differential circuit) ประยุกต์ปรับแต่งสัญญาณด้วยวงจรสะท้อนกระแสทั้งสองข้างที่สมมาตรกัน มีการใช้เทคนิคเพิ่มความต้านทานเอาต์พุตให้กับวงจรที่นำเสนอทั้งสองข้าง ด้วยการใช้วงจร regulated cascode จากการออกแบบทรานซิสเตอร์ MN15 ถึง MN18 รวมถึงแหล่งจ่ายกระแสคงที่  $I_3$  ผลการจำลองทดสอบการปรับแต่งอัตราขยายกระแสของวงจรในรูปที่ 3.6 แสดงในบทที่ 4

### 3.7 สรุป

สรุปได้ว่าวงจรทรานส์คอนดักเตอร์ที่นำเสนอ ประกอบการนำเทคนิคการออกแบบวงจรสำหรับงานใช้แหล่งจ่ายแรงดันต่ำ กินกำลังต่ำ มาใช้งานร่วมกันด้วย 4 เทคนิค คือ

1. วงจรออกแบบด้วยการใช้เทคโนโลยีซิมอส ที่ทำงานต่ำกว่าแรงดันแทรซโฮด
2. กระตุ้นสัญญาณเข้าที่ซั้วบ์คัล ทำให้แรงดัน  $V_{th}$  ลดลงได้อีก ส่งผลให้วงจรสามารถทำงานด้วยแหล่งจ่ายแรงดันที่ต่ำลงไปได้
3. ใช้โครงสร้างวงจรตามแรงดันแบบ FVF ซึ่งเป็นโครงสร้างที่นิยมสำหรับงานที่ต้องการใช้แหล่งจ่ายแรงดันต่ำ ที่มีคุณสมบัติการรับกระแสที่คงที่ แต่จ่ายกระแสได้มากกว่า
4. วงจรทำงานแบบคลาสเอบี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้วงจรที่นำเสนอมีการนำเทคนิคการเพิ่มความเป็นเชิงเส้นมาใช้งานเพื่อการรักษาความต่อเนื่องของสัญญาณที่ดี โดยใช้เทคนิค

1. เทคนิคการป้อนกลับของความต้านทานซอร์สดีเจเนอเรชัน (Passive Resistor Source Degeneration) มาใช้งานร่วมกับโครงสร้างที่เป็นการป้อนกลับแบบลบ ส่งผลให้เกิดความเป็นเชิงเส้นที่ดีในการแปลงสัญญาณจากแรงดันเป็นกระแสเอาต์พุต จากการใช้ค่าความต้านทานคงที่
2. วงจรทำงานแบบคลาสเอบี กระแสเอาต์พุตมีการทำงานอย่างต่อเนื่องตลอดเวลาทำให้ได้มาซึ่งความเป็นเชิงเส้นที่ดี
3. วิธีการสเกลค่ากระแสเอาต์พุต ปรับแต่งอัตราขยาย ด้วยการใช้วงจรปรับแต่งกระแสจากโครงสร้างวงจรสะท้อนกระแส โดยไม่ต้องไปปรับค่ากระแสที่ได้จากวงจรแปลงแรงดันอินพุตเป็นกระแสเอาต์พุตหลักส่งผลให้สามารถรักษาความเป็นเชิงเส้นและคุณภาพของวงจรไว้ได้ดีกว่า

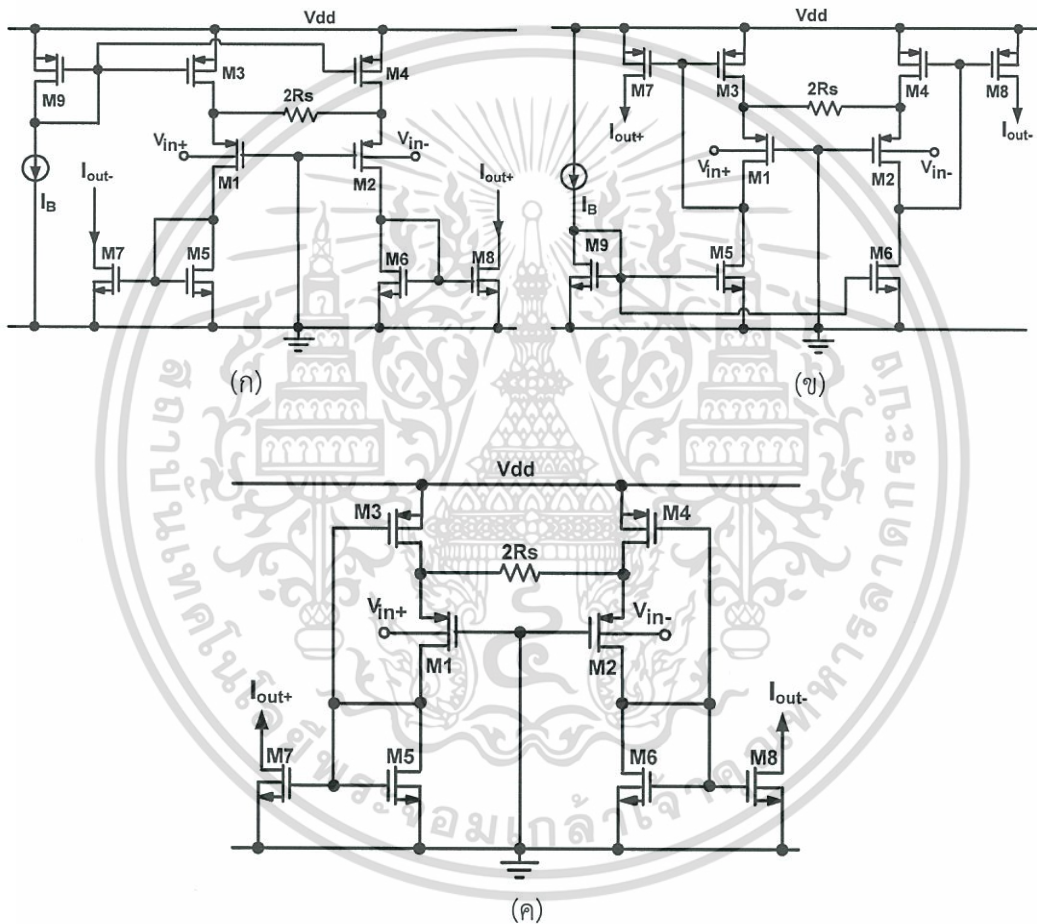
นอกเหนือจากเทคนิคต่างๆที่กล่าวมา ความต้องการในเรื่องของความสมมาตรและสมพงษ์ของตัวอุปกรณ์ (Device matching) เป็นคุณสมบัติที่สำคัญอีกประการหนึ่งสำหรับการกำจัดความไม่เป็นเชิงเส้นของวงจรทรานส์คอนดักเตอร์



## บทที่ 4

### ผลการจำลองการทำงานเปรียบเทียบวงจรที่นำเสนอ

ในบทนี้เป็นการแสดงผลการจำลองการทำงานของวงจรทรานส์คอนดักเตอร์ที่กล่าวมาแล้วในบทที่ 3 ทั้ง 3 โครงสร้างเปรียบเทียบกัน โดยกำหนดรูปที่ 4.1 (ก) เป็นวงจรทรานส์คอนดักเตอร์ทั่วไป (S-BD) รูปที่ 4.1 (ข) เป็นวงจรทรานส์คอนดักเตอร์แบบ Class-A BDFVF และรูปที่ 4.1 (ค) เป็นวงจรทรานส์คอนดักเตอร์ที่นำเสนอ Class-AB BDFVF ตามลำดับ



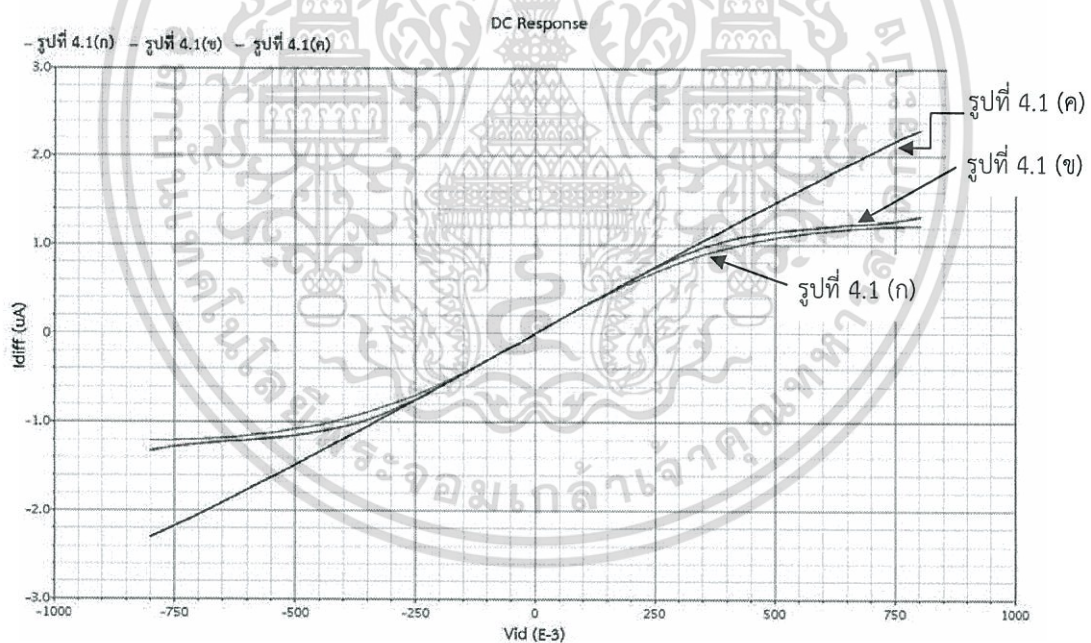
รูปที่ 4.1 โครงสร้างของวงจรทรานส์คอนดักเตอร์ 3 โครงสร้าง  
 (ก) โครงสร้างวงจรทรานส์คอนดักเตอร์แบบ S-BD  
 (ข) โครงสร้างวงจรทรานส์คอนดักเตอร์แบบ Class-A BD-FVF  
 (ค) โครงสร้างวงจรทรานส์คอนดักเตอร์ที่นำเสนอ Class-AB BD-FVF

การจำลองผลการปฏิบัติงานของทั้ง 3 โครงสร้างในรูปที่ 4.1 อยู่ภายใต้ข้อกำหนดเดียวกัน ด้วยเทคโนโลยี UMC's 0.18- $\mu\text{m}$  CMOS technology Standard มีค่าแรงดันแตรซโวลของ NMOS และ PMOS ประมาณ +0.48 V และ -0.55 V ตามลำดับ ทุกวงจรถูกออกแบบด้วยเอกสารทรานซิสเตอร์ขนาดเดียวกันทุกตัวด้วยค่า  $W/L$  เท่ากับ  $10/1 \mu\text{m}$  ที่แรงดันแหล่งจ่ายแรงดันเดียวที่ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

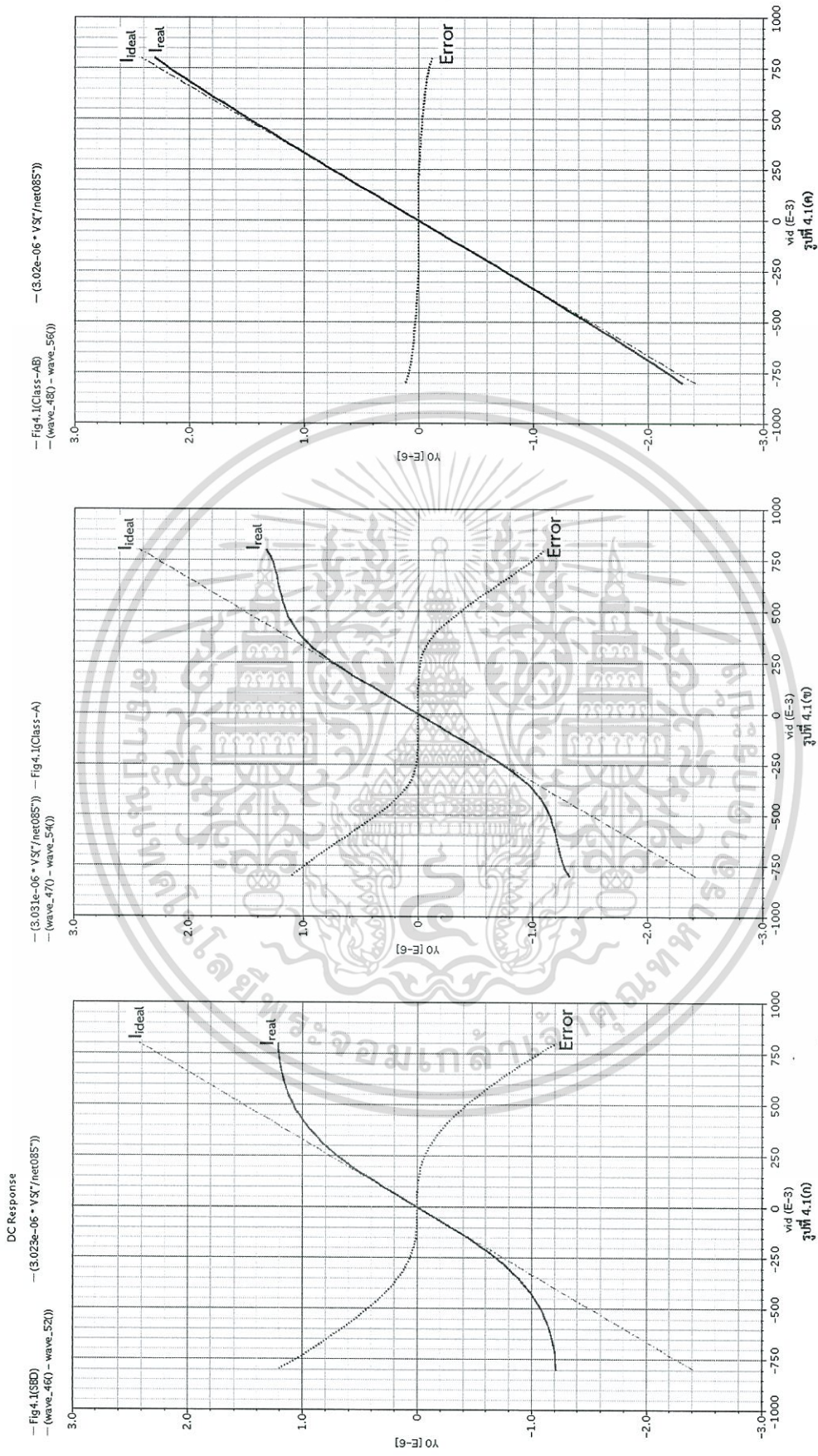
0.8 V ทรานซิสเตอร์ไบอัสให้ทำงานย่าน subthreshold region โดยมีการกำหนดกระแสคงที่เท่ากันที่ 640 nA ใช้ค่าความต้านทานขั้วซอร์สที่สร้างค่าทรานส์คอนดักแตนซ์ประมาณ 3  $\mu\text{A/V}$  โดยการกำหนดค่า  $R_S$  ของวงจรทั้ง 3 โครงสร้างแตกต่างกันคือ 22 K $\Omega$  , 140 K $\Omega$  และ 13 K $\Omega$  ตามลำดับ ให้แรงดันคงที่อินพุตมีค่าเป็นครึ่งหนึ่งของแรงดันแหล่งจ่าย กำหนดอินพุตแอมพลิจูดเท่ากับ 50 mV ที่ความถี่ 10 KHz (ทดสอบด้วยค่าแอมพลิจูดและความถี่สูงสุดสำหรับงานวิจัยนี้)

#### 4.1 ผลการจำลองการเปรียบเทียบวงจรทรานส์คอนดักแตนซ์

รูปที่ 4.2 แสดงความสัมพันธ์เชิงเส้นของวงจรในรูป 4.1 ทั้ง 3 โครงสร้างเปรียบเทียบกัน จากคุณสมบัติของผลต่างกระแสเอาต์พุต (Differential output current) เปรียบเทียบกับแรงดันอินพุตคอมมอนโหมด ( $V_{CM}$ ) ที่มีการเปลี่ยนแปลงค่าจาก -0.8 V ถึง 0.8 V ผลการจำลองของกระแสผลต่างเอาต์พุต จากกราฟเส้นตรงสีเขียวแสดงผลของวงจรในรูปที่ 4.1 (ก) ในขณะที่กราฟเส้นสีแดงแสดงผลของวงจรในรูปที่ 4.1 (ข) และเส้นสีน้ำเงินแสดงผลของวงจรในรูปที่ 4.1 (ค) สรุปได้ว่าโครงสร้างวงจรในรูปที่ 4.1 (ค) ให้ความต่อเนื่องของสัญญาณในช่วงอินพุตปฏิบัติงานกว้างที่สุดคือกว้างถึง 800 mV (เท่ากับแรงดันแหล่งจ่าย) ในขณะที่วงจรในรูปที่ 4.1 (ก) ให้ความต่อเนื่องของสัญญาณดีที่สุดในช่วงปฏิบัติงานแคบที่สุดประมาณ 200 mV

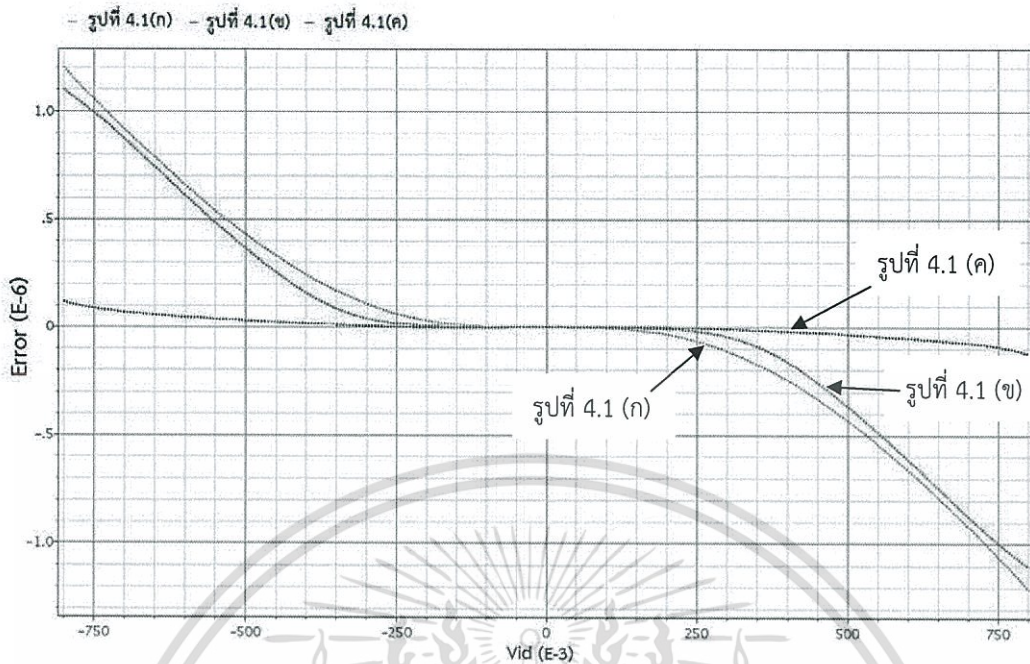


รูปที่ 4.2 ผลการจำลองของผลต่างกระแสเอาต์พุตในช่วงแรงดันอินพุตเปลี่ยนแปลง (Differential output current vs.  $V_{id}$ ) ของวงจรในรูปที่ 4.1 (ก) แสดงด้วยเส้นสีเขียว, (ข) แสดงด้วยเส้นสีแดง, และ (ค) แสดงด้วยเส้นสีน้ำเงินตามลำดับ



รูปที่ 4.3 กระแสผลต่างเอาต์พุตที่เกิดขึ้นจริง (Ireal) เทียบกับกระแสอุดมคติ (Iideal) ของวงจร ในรูปที่ 4.1 (ก), (ข) และ (ค) ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ผลการจำลองค่าความผิดพลาดของกระแสเอาต์พุตที่เกิดขึ้น (linearity error) ในวงจรรูปที่ 4.1(ก), (ข), และ (ค) ตามลำดับ

รูปที่ 4.3 แสดงกระแสผลต่างเอาต์พุตที่เกิดขึ้นจริง ( $I_{real}$ ) เทียบกับกระแสอุดมคติ  $I_{ideal}$  เพื่อหาค่าความผิดพลาดของกระแสผลต่างที่เกิดขึ้นของวงจรทั้ง 3 โครงสร้างที่นำมาเปรียบเทียบกัน เทียบกับผลต่างแรงดันอินพุตที่เปลี่ยนแปลงจาก  $-0.8\text{ V}$  ถึง  $0.8\text{ V}$

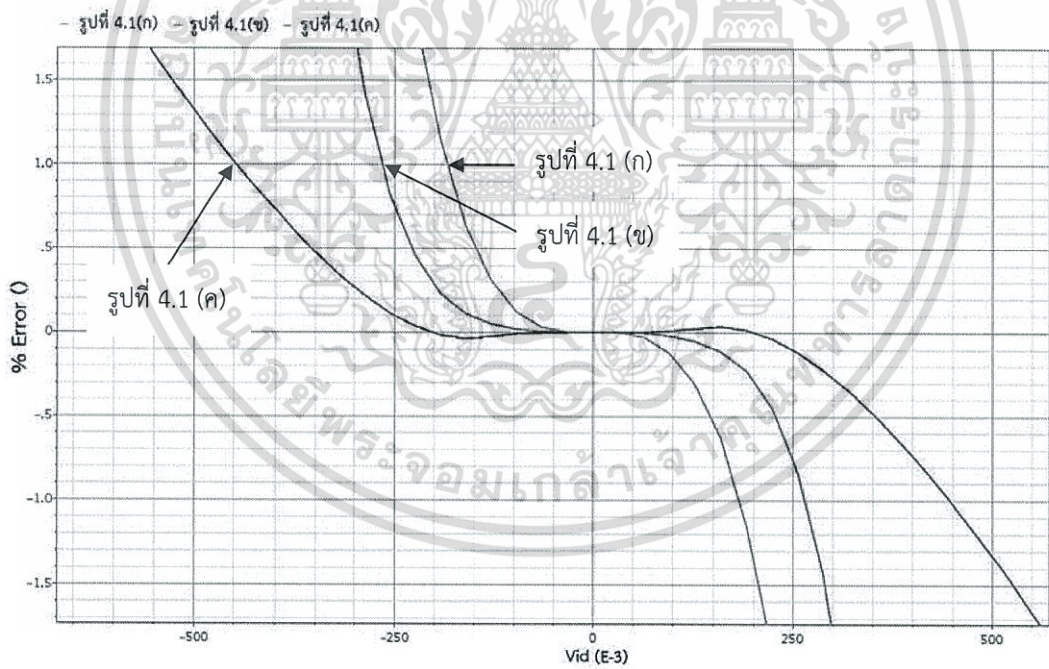
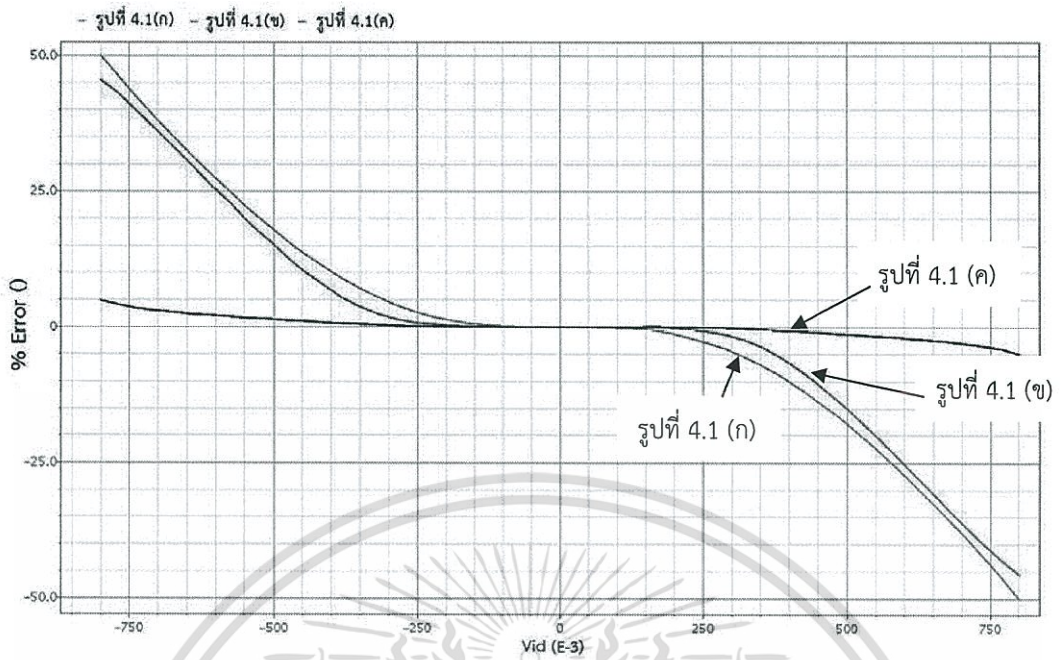
รูปที่ 4.4 แสดงผลการจำลองค่าความผิดพลาดของกระแสเอาต์พุตที่เกิดขึ้นในวงจรรูปที่ 4.1 (ก), (ข), และ (ค) ตามลำดับ เปรียบเทียบกับผลต่างแรงดันอินพุตเปลี่ยนแปลงจาก  $-0.8\text{ V}$  ถึง  $0.8\text{ V}$

รูปที่ 4.5 (ก) แสดงผลการจำลองค่าความผิดพลาดคิดเป็นเปอร์เซ็นต์ของความต่อเนื่องของสัญญาณผลต่างกระแสเอาต์พุต (% linearity error of differential output current) เปรียบเทียบกับผลต่างแรงดันอินพุตเปลี่ยนแปลงจาก  $-0.8\text{ V}$  ถึง  $0.8\text{ V}$  ของวงจรทั้ง 3 โครงสร้าง พบว่าค่าความผิดพลาดของสัญญาณสำหรับโครงสร้างที่นำเสนอในรูปที่ 4.1 (ค) มีค่าต่ำสุดประมาณ  $\pm 5\%$  ในช่วงปฏิบัติการอินพุตกว้าง  $0.8\text{ V}$

รูปที่ 4.5 (ข) แสดงผลการจำลองเปรียบเทียบค่าความผิดพลาดที่ 1% เมื่อป้อนแรงดันอินพุต ตั้งแต่  $-0.8\text{ V}$  ถึง  $+0.8\text{ V}$  พบว่าโครงสร้างที่นำเสนอในรูปที่ 4.1 (ค) ให้ค่าความผิดพลาดที่ 1% ของสัญญาณอินพุตสูงสุด (maximum wide differential input voltage (1% error)) เท่ากับ  $\pm 450\text{ mV}$  ในขณะที่โครงสร้าง 4.1(ก) และ 4.1(ข) มีค่าความผิดพลาดที่ 1% ของสัญญาณอินพุตสูงสุดอยู่ที่  $\pm 183\text{ mV}$  และ  $\pm 265\text{ mV}$  ตามลำดับ

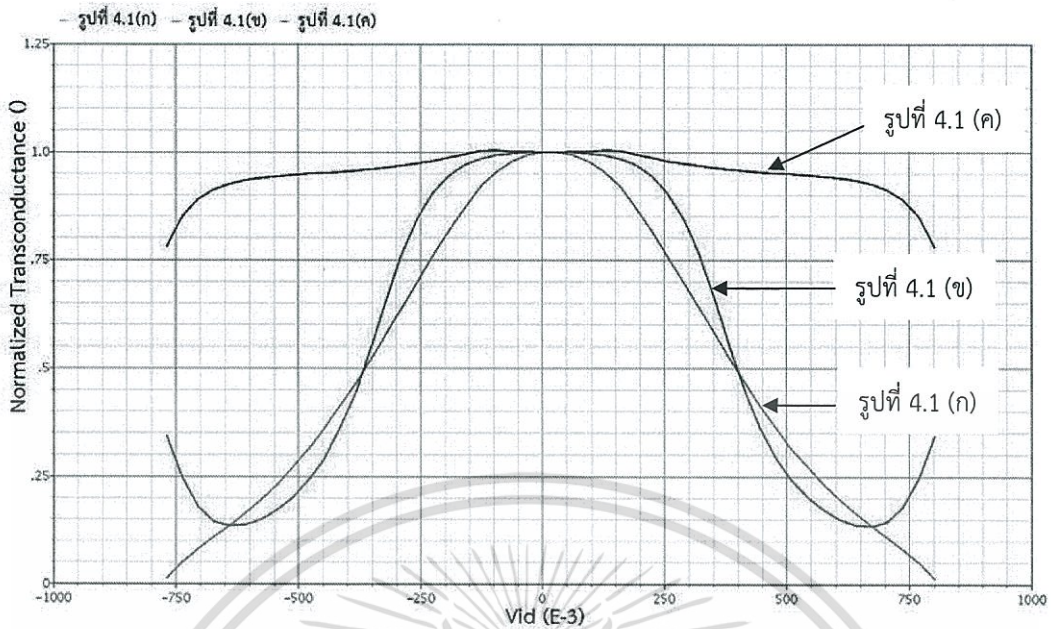
รูปที่ 4.6 แสดงความสัมพันธ์ทรานส์คอนดักแตนซ์ที่เป็นบรรทัดฐาน (normalized transconductance) เมื่อแรงดันอินพุตเปลี่ยนแปลงจาก  $-0.8\text{ V}$  ถึง  $0.8\text{ V}$  ของวงจรทั้ง 3 โครงสร้างในรูปที่ 4.1 เปรียบเทียบกัน พบว่าค่าทรานส์คอนดักแตนซ์ที่ได้จากวงจรที่นำเสนอในรูปที่ 4.1 (ค) มีการเปลี่ยนแปลงน้อยที่สุดเมื่อแรงดันอินพุตเปลี่ยนแปลง  $\pm 0.8\text{ V}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

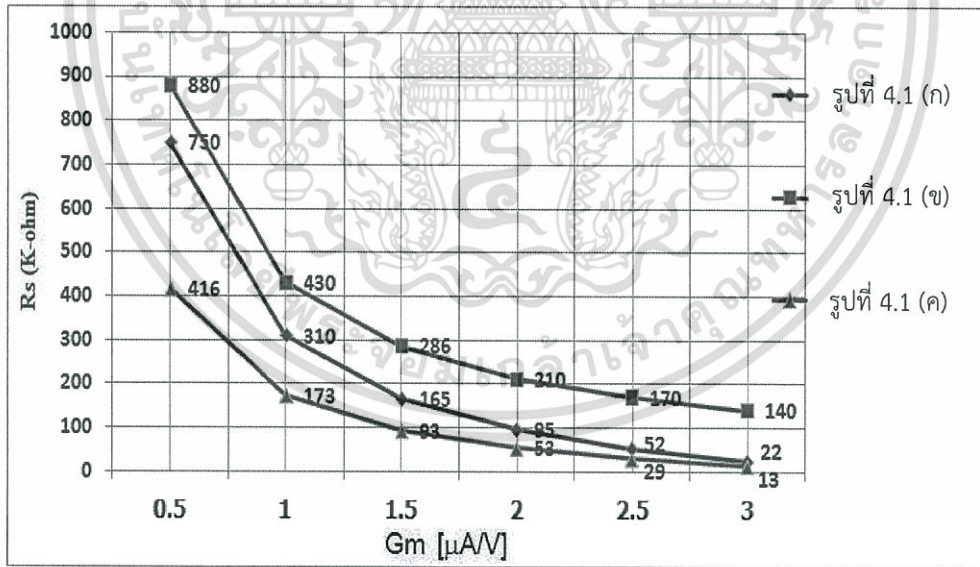


(ข)

รูปที่ 4.5 (ก) ผลการจำลองค่าความผิดพลาดคิดเป็นเปอร์เซ็นต์ของความต่อเนื่องของสัญญาณ กระแสผลต่างเอาต์พุต เทียบกับแรงดันอินพุตที่เปลี่ยนไปในวงจรรูปที่ 4.1 (ก), (ข), และ (ค) ตามลำดับ เปรียบเทียบกัน (ข) ผลการจำลองค่าความผิดพลาดที่ 1 %

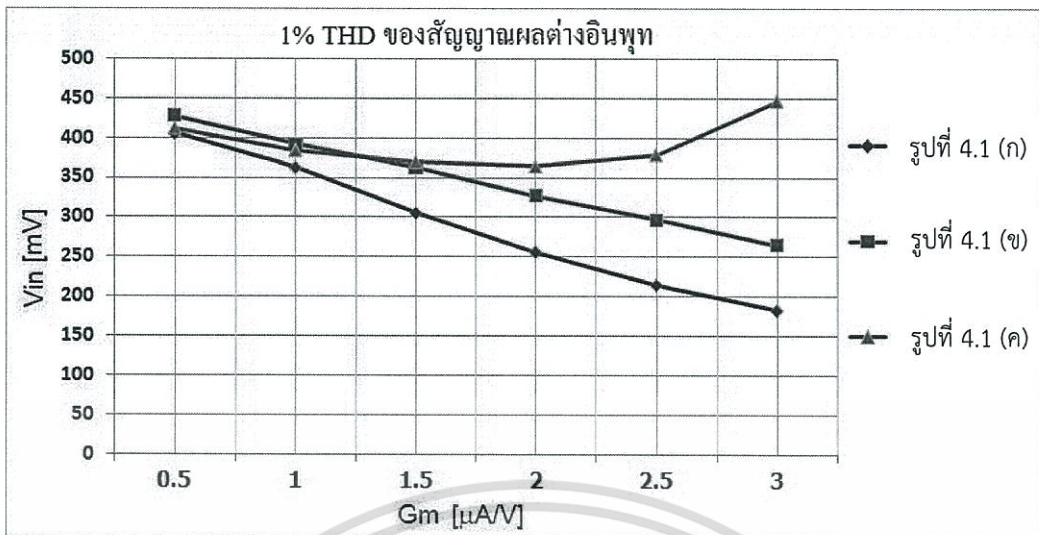


รูปที่ 4.6 ความสัมพันธ์ทรานส์คอนดักแตนซ์ที่เป็นบรรทัดฐานเมื่อแรงดันอินพุตเปลี่ยนจาก -0.8 V ถึง 0.8 V ของวงจรในรูปที่ 4.1 (ก) เส้นสีเขียว, (ข) เส้นสีแดง, และ (ค) เส้นสีน้ำเงิน



รูปที่ 4.7 กราฟความสัมพันธ์ระหว่างค่าความต้านทาน Rs และค่าทรานส์คอนดักแตนซ์ (gm)

รูปที่ 4.7 กราฟแสดงความสัมพันธ์ระหว่างค่าความต้านทาน Rs และค่าทรานส์คอนดักแตนซ์ที่เกิดขึ้นของวงจรทั้ง 3 โครงสร้างในรูปที่ 4.1 เมื่อมีการเปลี่ยนค่าความต้านทาน Rs ที่ความถี่ 10 KHz สัญญาณอินพุตแอมพลิจูดที่ 50 mV พบว่าโครงสร้างที่นำเสนอใช้ค่าความต้านทาน Rs น้อยที่สุดเมื่อเปรียบเทียบกับโครงสร้างอื่น ในความต้องการค่าทรานส์คอนดักแตนซ์ระหว่าง 0.5 µAV เอกสารถึง 3 µAV ปรที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 กราฟความสัมพันธ์ระหว่างค่าความผิดพลาด 1 % ของสัญญาณอินพุท  $V_{id}$  สูงสุดที่ค่าทรานส์คอนดักแตนซ์ต่างๆ สำหรับโครงสร้างของวงจรในรูปที่ 4.1(ก) เส้นสีน้ำเงิน, รูปที่ 4.1 (ข) เส้นสีแดง และรูปที่ 4.1 (ค) เส้นสีเขียว

รูปที่ 4.8 แสดงกราฟความสัมพันธ์ระหว่างสัญญาณผลต่างอินพุท  $V_{id}$  สูงสุดที่เกิดค่าความผิดพลาดที่ 1% THD ที่ค่าทรานส์คอนดักแตนซ์ต่างๆ ของทั้ง 3 โครงสร้างวงจรที่นำเสนอในรูปที่ 4.1 โดยโครงสร้างรูปที่ 4.1(ก) แสดงด้วยเส้นสีฟ้า, รูปที่ 4.1(ข) แสดงด้วยเส้นสีแดง และรูปที่ 4.1 (ค) แสดงด้วยเส้นสีเขียว ตามลำดับ สรุปได้ว่าวงจรที่นำเสนอในรูปที่ 4.1 (ค) ให้ค่าความผิดพลาด 1% ด้วยสัญญาณอินพุทกว้างกว่าโครงสร้างอื่น สำหรับทุกค่าทรานส์คอนดักแตนซ์ระหว่าง 0.5  $\mu\text{A/V}$  ถึง 3  $\mu\text{A/V}$

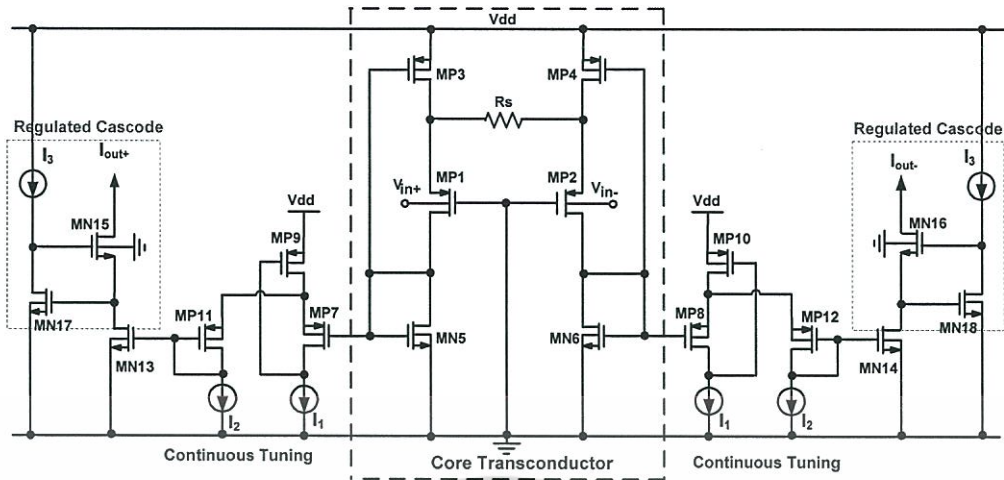
#### 4.2 ผลการปรับแต่งวงจรทรานส์คอนดักเตอร์ที่นำเสนอ

รูปที่ 4.9 แสดงวงจรปรับแต่งค่าทรานส์คอนดักแตนซ์ด้วยกระแสภายนอก  $I_1$  โดยกำหนดให้กระแส  $I_2$  และกระแส  $I_3$  มีค่าคงที่ การทดสอบการทำงานของวงจรปรับแต่งค่าทรานส์คอนดักแตนซ์ด้วยการปรับค่ากระแส  $I_1$  อย่างต่อเนื่องจาก 150 nA ถึง 750 nA โดยการปรับกระแส  $I_1$  ครั้งละ 150 nA สำหรับย่านความถี่ต่ำ 10 KHz ในตารางที่ 4.1 แสดงเงื่อนไขและข้อกำหนดการทำงานของวงจรในรูปที่ 4.9

ตารางที่ 4.1 เงื่อนไขและข้อกำหนดการทำงานของวงจรในรูปที่ 4.9

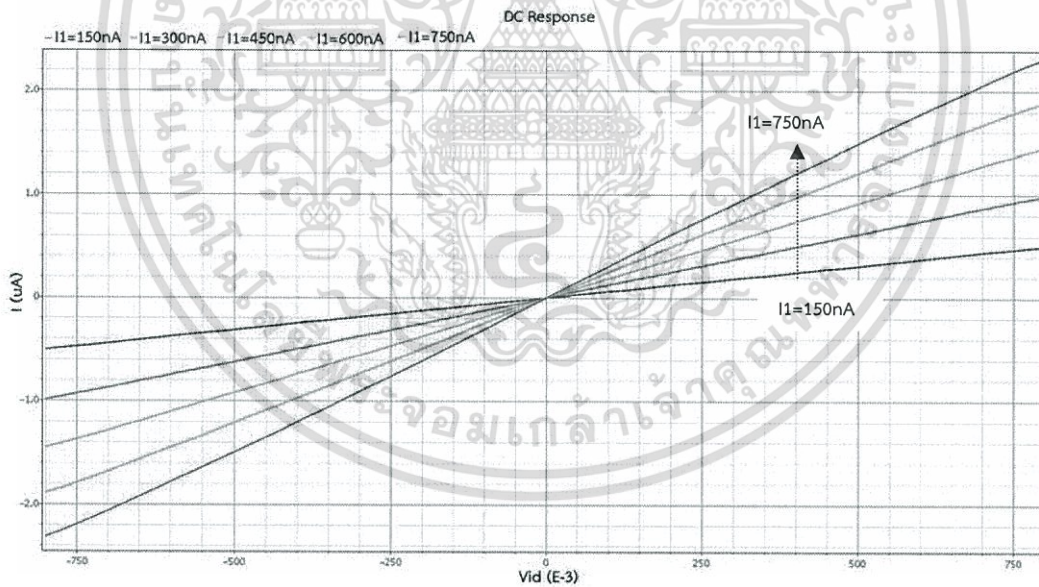
ทรานซิสเตอร์	ขนาดของ W/L ( $\mu\text{m}/\mu\text{m}$ )	ข้อกำหนดในการทำงานของวงจร	
MP1-4, MP9-10	10/1	$V_{dd} = 0.8 \text{ V}$	$I_1 = 750 \text{ nA}$
MP7-8, MP11-12	100/1	$R_s = 13 \text{ K}\Omega$	$I_2 = 750 \text{ nA}$
MN5-6, MN13-16	10/1	$V_{ic} = 400 \text{ mV}$	$I_3 = 100 \text{ nA}$
MN17-18	2/1		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



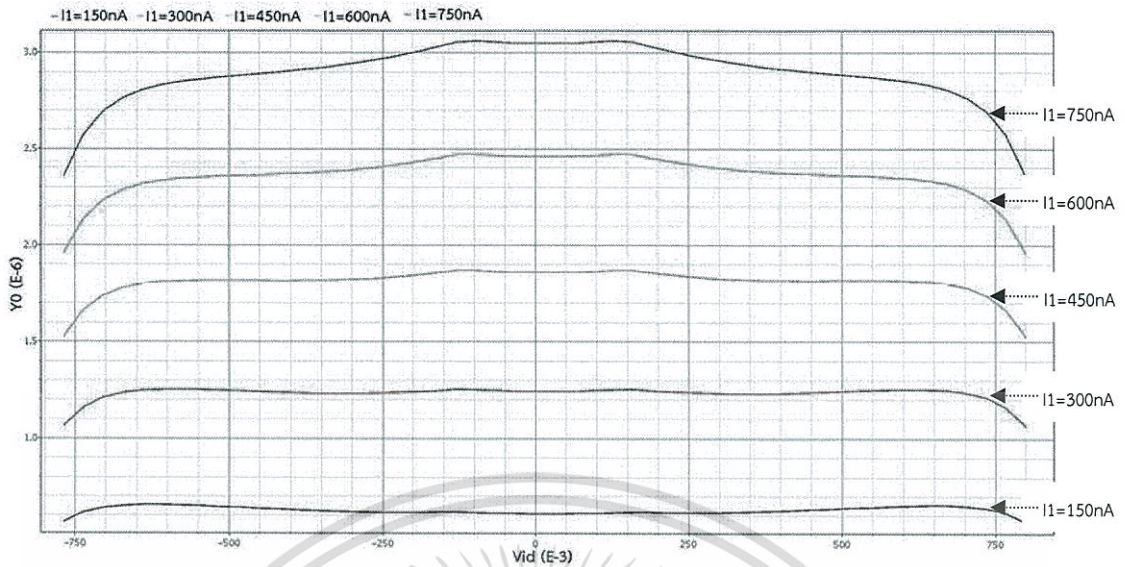
รูปที่ 4.9 วงจรทรานส์คอนดักเตอร์แบบคลาสเอบีที่นำเสนอสื่อที่ปรับแต่งสัญญาณได้

รูปที่ 4.10 แสดงผลต่างกระแสเอาต์พุตที่เปลี่ยนแปลงเมื่อมีการปรับแต่งวงจรทรานส์คอนดักต์แดนซ์ และในรูปที่ 4.11 แสดงความสามารถในการปรับแต่งค่าทรานส์คอนดักต์แดนซ์จากผลต่างกระแสเอาต์พุตที่เปลี่ยนแปลง เมื่อมีการปรับแต่งวงจรทรานส์คอนดักต์แดนซ์ที่นำเสนอด้วยกระแส  $I_1$  ด้วยเงื่อนไขเดียวกัน

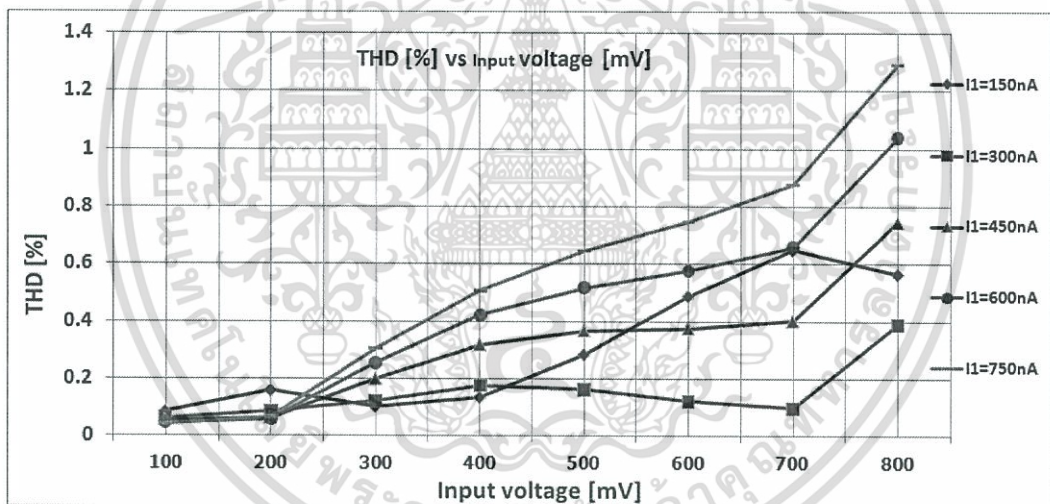


รูปที่ 4.10 ผลต่างกระแสเอาต์พุตที่เปลี่ยนแปลงเมื่อมีการปรับแต่งวงจรทรานส์คอนดักต์แดนซ์ ที่นำเสนอด้วยการปรับกระแส  $I_1$  ที่ 150 nA ถึง 750 nA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 ค่าทรานส์คอนดักแตนซ์ที่เปลี่ยนแปลงเมื่อมีการปรับแต่ง วงจรทรานส์คอนดักเตอร์ที่นำเสนอด้วยการปรับกระแส  $I_1$



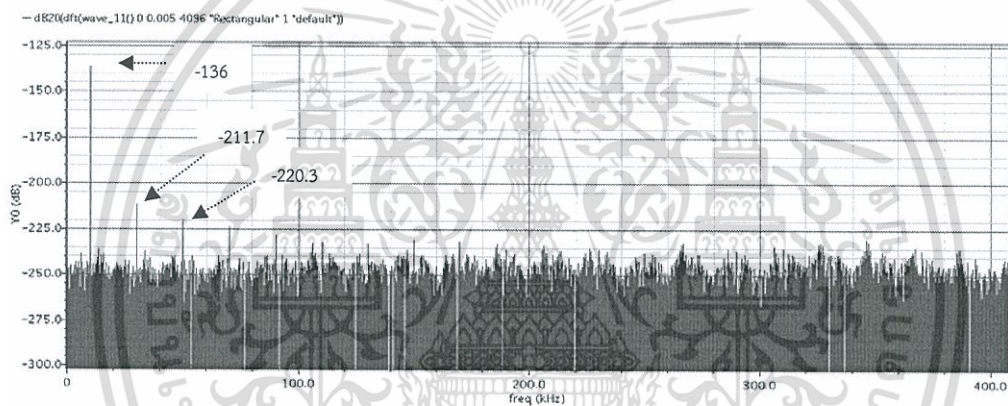
รูปที่ 4.12 กราฟเปรียบเทียบค่าความผิดเพี้ยนฮาร์โมนิกรวมเปรียบเทียบกับสัญญาณผลต่างแอมพลิฟายด์อินพุต ตั้งแต่ 100 mV ถึง 800 mV ของวงจรทรานส์คอนดักแตนซ์ที่นำเสนอที่ความถี่ 10 KHz เมื่อมีการปรับกระแส  $I_1$  ตั้งแต่ (150 nA ถึง 750 nA)

รูปที่ 4.12 แสดงกราฟค่าความผิดเพี้ยนฮาร์โมนิกรวม THD (%) เปรียบเทียบกับสัญญาณผลต่างแอมพลิฟายด์อินพุตที่เปลี่ยนแปลงตั้งแต่ 100 mV ถึง 800 mV ของวงจรทรานส์คอนดักเตอร์ที่นำเสนอที่ความถี่ 10 KHz เมื่อมีการปรับกระแส  $I_1$  ตั้งแต่ (150 nA ถึง 750 nA) เมื่อคิดความผิดเพี้ยน Distortion attenuation เป็นหน่วย -dB คำนวณได้จาก  $-20\log\left(\frac{\%THD}{100}\right)$  (dB) จากรูปที่ 4.12 เมื่อไบอัส  $I_1 = 750$  nA สัญญาณผลต่างแอมพลิฟายด์อินพุตที่ 730 mV มีค่า THD = 1% คิดเป็นความผิดเพี้ยนฮาร์โมนิกรวม THD (dB) เท่ากับ -40dB พบว่าวงจรรักษาความเป็นเชิงเส้นได้ดี ในย่านความถี่ไม่เกิน 10 KHz

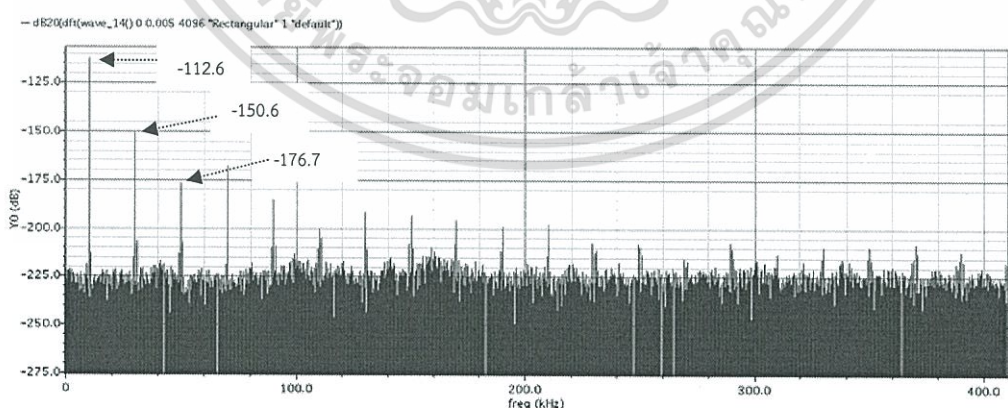
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์บริการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิเคราะห์สัญญาณรบกวน (small-signal noise) ที่ความถี่ 10 KHz ผลการจำลองค่าแรงดันสัญญาณรบกวนที่อินพุตมีค่าเท่ากับ  $357 \mu\text{V}/\text{VHz}$  สามารถคำนวณค่าพิสัยพลวัตกว้าง (wide dynamic range) จาก  $DR = 20 \log\left(\frac{V_{id@1\%THD}}{V_n}\right)$  มีค่าประมาณ 66.2-dB

ทฤษฎีการวิเคราะห์สเปกตรัมเป็นการนำกระแสแอมวิเคราะห์โดยตรง จากการทดสอบการจำลองผล DFT (Discrete Fourier Transform) หรือ FFT (Fast Fourier Transform) รูปที่ 4.13 แสดงผลการจำลอง DFT ของสัญญาณผลต่างกระแสเอาต์พุตที่ความถี่ 10 KHz เมื่อรูปที่ 4.13 (ก) ทดสอบที่สัญญาณผลต่างแอมพลิจูดอินพุต 50 mV และรูปที่ 4.13 (ข) ทดสอบที่สัญญาณผลต่างแอมพลิจูดอินพุต 800 mV พบว่า HD3 ของสัญญาณผลต่างแอมพลิจูดอินพุต 50 mV มีค่าประมาณ -84 dB ในขณะที่ HD3 ของสัญญาณผลต่างแอมพลิจูดอินพุต 800 mV มีค่าประมาณ -64 dB



(ก)



(ข)

รูปที่ 4.13 แสดงผลการจำลอง DFT ของสัญญาณผลต่างกระแสเอาต์พุตที่ความถี่ 10 KHz ที่สัญญาณผลต่างแอมพลิจูดอินพุต (ก) 50 mV และ (ข) 800 mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.3 สรุป

ผลการจำลองการทำงานของวงจรถรานส์คอนดักเตอร์ที่นำเสนอนี้ มีจุดเด่นในเรื่องของการกินกำลังต่ำ ในช่วงแบนด์วิดท์ต่ำถึงปานกลาง ความเป็นเชิงเส้นของสัญญาณสูงในช่วงปฏิบัติการอินพุตกว้างมาก เมื่อกำหนดแรงดันแหล่งจ่ายต่ำ วงจรสามารถปรับแต่งอัตราขยายกระแสได้ในขณะเดียวที่สามารถรักษาความเป็นเชิงเส้นไว้ได้ดี วงจรถรานส์คอนดักเตอร์ที่นำเสนอเหมาะสำหรับการนำมาประยุกต์ใช้งานทางการแพทย์ หรืออุปกรณ์แบบพกพาต่างๆ ที่ใช้กำลังงานต่ำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

# การประยุกต์วงจรถ่านสัญญาณสำหรับใช้งานทางการแพทย์

### 5.1 บทนำ

ในวิทยานิพนธ์ฉบับนี้ได้ประยุกต์ใช้งานวงจรถ่านสัญญาณคอนตักเตอร์ที่นำเสนอสําหรับงานย่านความถี่ต่ำไม่เกิน 20 KHz จากการออกแบบวงจรถ่านสัญญาณทรานส์คอนตักเตอร์ที่ปรับแต่งสัญญาณได้ วงจรถ่านสัญญาณไบควอดราติก (Biquadratic Gm-C filter) แบบปรับแต่งสัญญาณได้ แสดงผลการจำลองการทำงานการประยุกต์ใช้งานวงจรถ่านสัญญาณเทียบกับงานวิจัยอื่นด้วยซอฟต์แวร์ Cadence Tools สำหรับเทคโนโลยี UMC's 0.18- $\mu\text{m}$

### 5.2 ข้อกำหนดในการออกแบบวงจรถ่านสัญญาณ (Specification)

ประยุกต์ใช้งานวงจรถ่านสัญญาณคอนตักเตอร์ที่นำเสนอนี้เป็นวงจรถ่านสัญญาณหลายหน้าที่ (Universal Filter) แบบทรานส์คอนตักเตอร์แกนซ์คาปาซิเตอร์ (Gm-C Filter) จำนวน 2 โครงสร้าง ดังมีรายละเอียดข้อกำหนดในการออกแบบวงจรถ่านสัญญาณต่อไปนี้

- แหล่งจ่ายแรงดันเดี่ยว 0.8 V
- ช่วงทำงานย่านความถี่ครอบคลุม 10 Hz ถึง 10 KHz
- สามารถเลือกความถี่ต่ำผ่าน หรือความถี่สูงผ่าน หรือกรองแถบความถี่ผ่าน หรือกรองตัดแถบความถี่ไม่ให้ผ่าน
- สามารถปรับช่วงความถี่ต่ำผ่าน และแถบความถี่เลือกผ่าน ได้อย่างต่อเนื่อง
- กำลังงานสูญเสียต่ำสุด

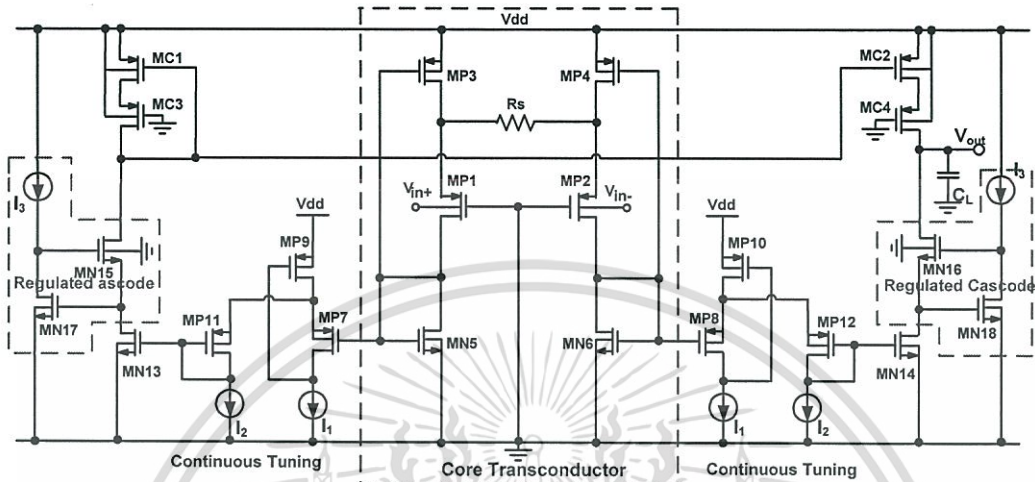
### 5.3 วงจรถ่านสัญญาณทรานส์คอนตักเตอร์คาปาซิเตอร์ (Gm-C Filter) ที่นำเสนอบทที่ 1

รูปที่ 5.1 แสดงโครงสร้างวงจรถ่านสัญญาณทรานส์คอนตักเตอร์แบบ single-end output กำหนดค่าพารามิเตอร์ของวงจรถ่านสัญญาณที่ 5.1 วงจรหลักที่แปลงแรงดันเป็นกระแสอย่างเป็นเชิงเส้น (core transconductor) ประกอบด้วยทรานซิสเตอร์  $M1_{(p,n)}$  ถึง  $M6_{(p,n)}$  และความต้านทาน  $R_5$  ถัดมาเป็นส่วนประกอบของวงจรถ่านสัญญาณที่มีหน้าที่ปรับแต่งอัตราขยาย (gain-adjustable current mirrors) ด้วยกระแสประกอบด้วยทรานซิสเตอร์  $M5_{(p,n)}$  ถึง  $M14_{(p,n)}$  มีหน้าที่ส่งผ่านสัญญาณและปรับระดับกระแสเอาต์พุตต่างด้วยกระแสไบอัส  $I_1$  และ  $I_2$  กระแสเอาต์พุตที่ได้ผ่านเข้าสู่วงจรเรกกูเลเตดคาสโคด (Regulated Cascode) เพื่อเพิ่มค่าความต้านทานเอาต์พุต ประกอบด้วยทรานซิสเตอร์  $MN_{15}$  ถึง  $MN_{18}$  และกระแสไบอัส  $I_3$  ผลต่างกระแสเอาต์พุตถูกนำมารวมกันด้วยวงจรถ่านสัญญาณแบบคาสโคดที่สร้างจากทรานซิสเตอร์  $MC1$  ถึง  $MC4$

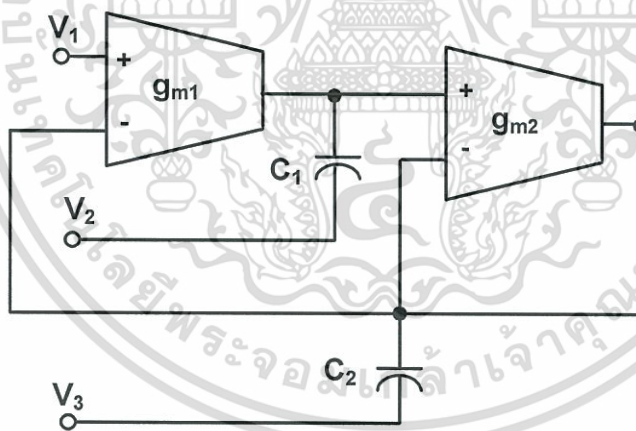
กำหนดแรงดันแหล่งจ่าย 0.8 V สำหรับวงจรถ่านสัญญาณในรูปที่ 5.3 ผลการจำลองการตอบสนองความถี่อัตราขยายแรงดันแบบเปิดลูปมีค่าเท่ากับ 76 dB และเฟสมาจนวนอยู่ที่  $86^\circ$  ที่ 423 KHz ของความถี่ Unit GBP รูปที่ 5.4 แสดงผลการจำลองการตอบสนองความถี่ของ CMRR

(dB) เท่ากับ 143 dB ค่า  $\pm$ PSRR +83/-81 dB อัตราสลูเรต +0.35/-0.6 V/ $\mu$ s สัญญาณรบกวนที่อินพุต 112  $\mu$ V/VHz วัดที่ความถี่ 10 KHz ใช้กำลังงานทั้งสิ้น 4.6  $\mu$ W

รูปที่ 5.2 แสดงการประยุกต์ใช้งานวงจรทรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 1 เป็นวงจรกรองความถี่แบบทรานส์คอนดักเตอร์คาปาซิเตอร์พื้นฐาน



รูปที่ 5.1 โครงสร้างวงจรทรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 1

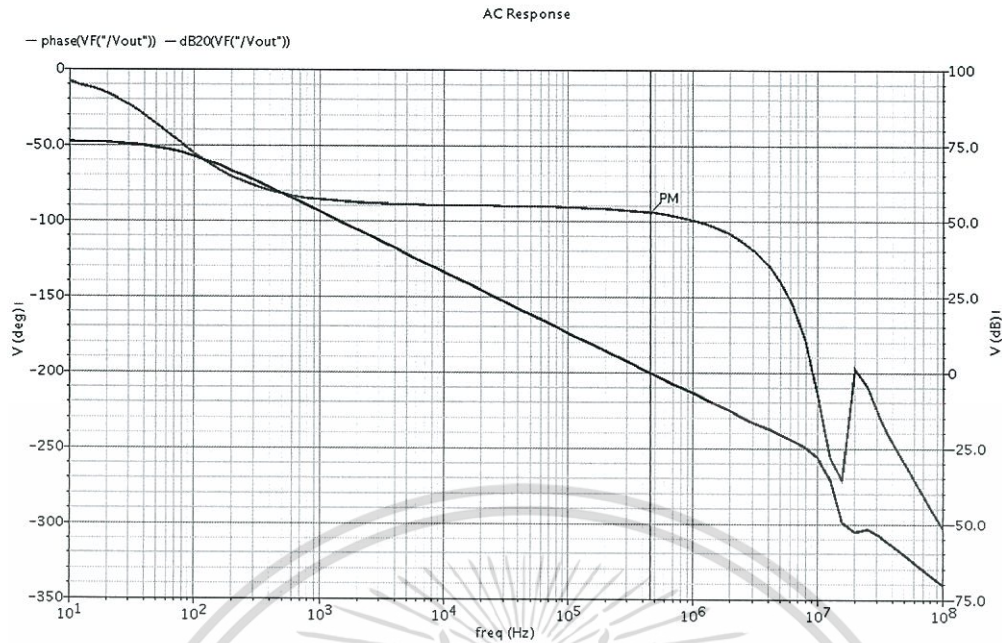


รูปที่ 5.2 วงจรกรองความถี่ทรานส์คอนดักเตอร์คาปาซิเตอร์ที่นำเสนอแบบที่ 1

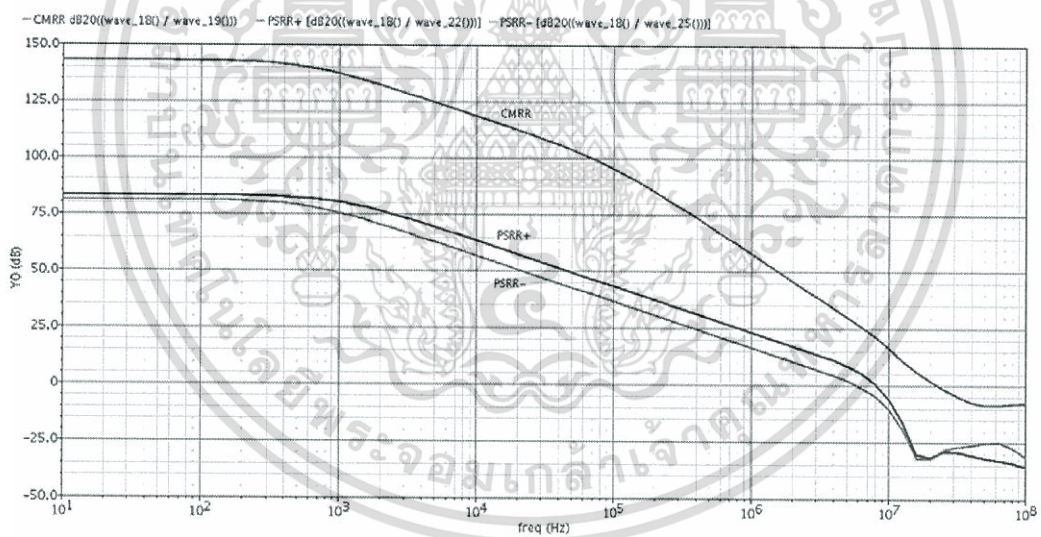
ตารางที่ 5.1 อัตราส่วนของทรานซิสเตอร์ทุกตัวและค่าอุปกรณ์ต่างๆ ที่นำมาออกแบบในวงจรทรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 1

ทรานซิสเตอร์	W/L ( $\mu$ m/ $\mu$ m)	อุปกรณ์อื่นๆ	
MP 1- 6, MN 13 - 18	10/1	$R_s=14 \text{ K}\Omega$	$C_L = 1 \text{ pF}$
MP 7 - 8, MP 11 - 12	100/1	$I_1 = I_2 = 750 \text{ nA}$	$C_1 = 50 \text{ pF}$
MC 1-4	10/1	$I_3 = 500 \text{ nA}$	$C_2 = 200 \text{ pF}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 ผลการตอบสนองความถี่และเฟสสำหรับวงจรทรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 1



รูปที่ 5.4 ผลการตอบสนองความถี่ของ CMRR,  $\pm$ PSRR สำหรับวงจรทรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 1

เมื่อวงจรขยายสัญญาณทรานส์คอนดักเตอร์แบบ single-end output ที่นำเสนอถูกนำมาประยุกต์เป็นวงจรกรองแบบไบควอดพื้นฐานดังรูปที่ 5.2 โดยสามารถหาสมการความสัมพันธ์ความถี่ตัดของวงจร LPF, HPF, BPF, BRF ได้จากตารางที่ 5.2 ผลการจำลองการทำงานของวงจรที่นำเสนอแสดงในรูปที่ 5.5 วงจรสามารถเลือกปรับผลการตอบสนองทางความถี่ได้ 4 แบบ คือ ตอบสนองทางความถี่ต่ำผ่าน (LPF) ตอบสนองทางความถี่สูงผ่าน (HPF) ตอบสนองทางความถี่เลือกแถบความถี่ผ่าน (BPF) และตอบสนองทางความถี่เลือกตัดแถบความถี่ไม่ให้ผ่าน (BRF) โดยวงจรใช้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.3 สรุปผลการจำลองคุณสมบัติของวงจรถานส์คอนดักเตอร์ที่นำเสนอเปรียบเทียบกับงานวิจัยอื่น

	[63]	[64]	[65]	[66]	วงจรถานส์คอนดักเตอร์ที่นำเสนอ
Vdd (V)	1	0.8	0.9	0.5	0.8
Cload (pF)	-	20	2.5	20	1
อัตราขยายแรงดันเปิดลูป (dB)	-	56	62	48	76
Unit GBP (Hz)	20.9 K	3.2 M	540 K	2.4 M	423-kHz
เฟสมาจิ้น (degree)	-	45	52	45	86
CMRR (dB)	-	100 @5kHz	129	78 @5kHz	143 @10kHz
$\pm$ PSRR (dB)	-	+88	-	-	83/81
อัตราสโลว์เรต (V/ $\mu$ s)	-	-	-	2.92	+0.35/-0.6
สัญญาณรบกวนที่อินพุต	345 ( $\mu$ V/ $\sqrt$ Hz) at 18 kHz	408 (nV/ $\sqrt$ Hz) at 10-kHz	-	220 (nV/ $\sqrt$ Hz) at 10-kHz	357 ( $\mu$ V/ $\sqrt$ Hz) at 10 kHz
THD (dB)	-63.7	-	-	-	-
กำลังงาน ( $\mu$ W)	44.3	100	9.9	100	4.58
เทคโนโลยี ( $\mu$ m)	0.35	0.18	0.35	0.18	0.18

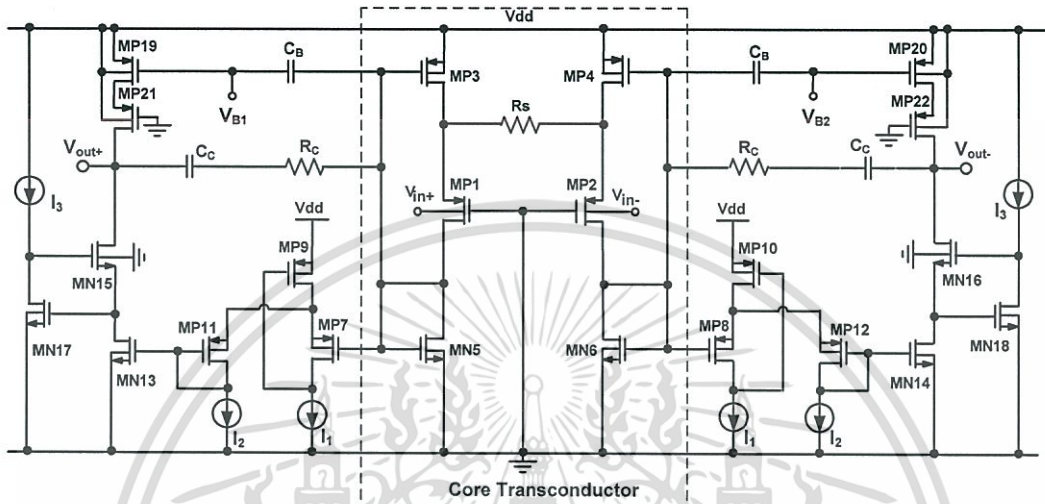
#### 5.4 วงจรถานส์คอนดักเตอร์คาปาซิเตอร์ (Gm-C Filter) ที่นำเสนอแบบที่ 2

วงจรถานส์คอนดักเตอร์คาปาซิเตอร์ที่นำเสนอแบบที่ 2 ประกอบด้วยวงจรถานส์คอนดักเตอร์หลักมีโครงสร้างเป็น Class-AB fully-differential transconductor แสดงในรูปที่ 5.6 และวงจรถานส์คอนดักเตอร์ common-mode feedback (CMFB) แสดงในรูปที่ 5.7

รูปที่ 5.6 แสดงโครงสร้างวงจรถานส์คอนดักเตอร์ที่แปลงแรงดันเป็นกระแสอย่างเป็นเชิงเส้น (core transconductor) ประกอบด้วยทรานซิสเตอร์  $M1_{(P,N)}$  ถึง  $M6_{(P,N)}$  และความต้านทาน  $R_S$  ถัดมาเป็นส่วนประกอบของวงจรถานส์คอนดักเตอร์ที่มีหน้าที่ปรับแต่งอัตราขยาย (gain-adjustable current mirrors) ด้วยกระแสประกอบด้วยทรานซิสเตอร์  $M5_{(P,N)}$  ถึง  $M14_{(P,N)}$  มีหน้าที่ส่งผ่านสัญญาณและปรับระดับกระแสเอาต์พุตผลต่างด้วยกระแสไบอัส  $I_1$  และ  $I_2$  โครงสร้างวงจรถานส์คอนดักเตอร์ที่ปรับระดับ (Regulated Cascode) เพื่อเพิ่มค่าความต้านทานเอาต์พุตของอัตราขยายกระแสที่ได้รับมาจากโครงสร้างวงจรถานส์คอนดักเตอร์

Gain-adjustable current mirrors ประกอบด้วยทรานซิสเตอร์  $MN_{15}$  ถึง  $MN_{18}$  และกระแสไบอัสการคำนวณค่าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

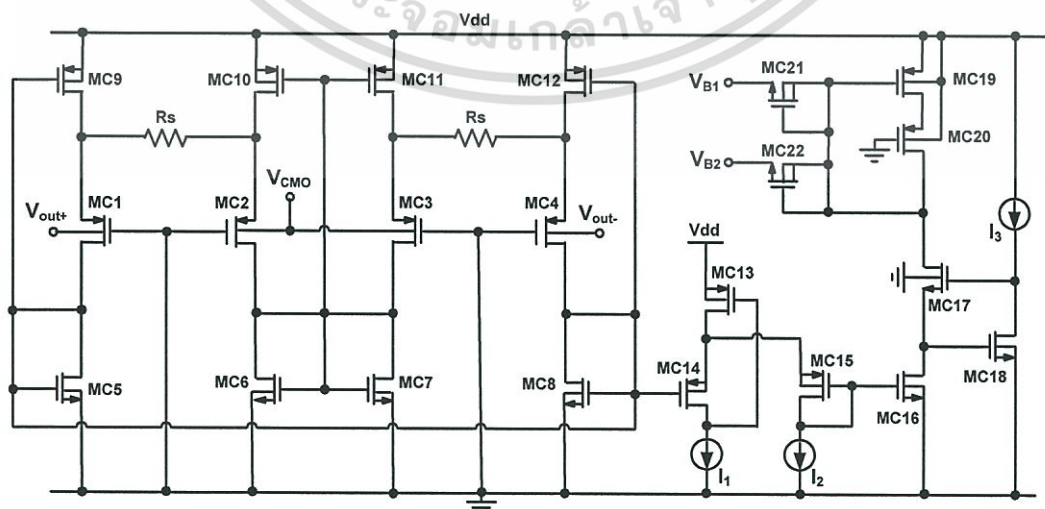
$I_3$  ความสามารถในการขับกระแสเอาต์พุตของทรานส์คอนดักเตอร์ สามารถเพิ่มขึ้นได้จากใช้งาน โครงสร้างแบบ Class-AB push-pull ที่วงจรถอดเอาต์พุต โดยการเชื่อมต่ออย่างง่าย ๆ ด้วยการใช้อ ac-coupling ที่ขั้วเกตของทรานซิสเตอร์  $MP_{19}$  และ  $MP_{20}$  ผ่านไปที่  $MP_3$  และ  $MP_4$  สัญญาณ แรงดันที่ขั้วเกตของทรานซิสเตอร์  $MP_{19}$  และ  $MN_{13}$  มีเฟสเดียวกัน เช่นเดียวกับเฟสของ ทรานซิสเตอร์  $MP_{20}$  และ  $MN_{14}$



รูปที่ 5.6 โครงสร้างวงจรถอดเอาต์พุตของทรานส์คอนดักเตอร์ที่นำเสนอแบบที่ 2

โครงสร้างวงจรถอดเอาต์พุต common-mode feedback (CMFB) แสดงในรูปที่ 5.7 มีหน้าที่ควบคุม แรงดันไบอัส ( $V_{B1}$  และ  $V_{B2}$ ) ให้กับทรานซิสเตอร์  $MP_{19}$ ,  $MP_{20}$  และแรงดันเอาต์พุตคอมมอนโหมด (output common-mode voltage) จากการส่งผ่านตัวต้านทานแบบแอคทีฟที่มีขนาดใหญ่ เหมือนทรานซิสเตอร์  $MP_{19}$  และ  $MP_{20}$  มีการทำงานแบบ quasi-floating gate (QFG) [67] ทรานซิสเตอร์  $MP_{21}$  และ  $MP_{22}$  ต่อแบบคาสโคดเพื่อช่วยเพิ่มค่าความต้านทานเอาต์พุต

เทคนิคการชดเชยการสะท้อน (Miller compensation technique) เกิดจากการนำความ ต้านทาน  $R_C$  และความจุ  $C_C$  มาใช้งานที่ภาคเอาต์พุตช่วยรักษาความมีเสถียรภาพให้กับวงจรถอดเอาต์ พุตของทรานส์คอนดักเตอร์ภายใต้การป้อนกลับแบบลบ



รูปที่ 5.7 วงจรถอดเอาต์พุต common-mode feedback (CMFB)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร CMFB ออกแบบบนพื้นฐานโครงสร้างวงจรขยายความแตกต่าง differential difference amplifier [68] ที่มีการไบอัสด้วยตัวเอง (replica biasing) เมื่อสัญญาณแรงดันเอาต์พุตของวงจรทรานส์คอนดักเตอร์ที่นำเสนอในรูปที่ 5.6 มีการสวิตช์เป็นครึ่งหนึ่งของแรงดันแหล่งจ่าย สองโครงสร้างวงจร differential difference amplifier ที่เกิดจากการนำวงจร core transconductor จำนวน 2 วงจรมาต่อให้ทำงานร่วมกัน ดังนั้นการสวิตช์ของสัญญาณเอาต์พุตสามารถปรับเปลี่ยนได้อย่างง่ายดายและไม่ถูกจำกัดด้วยวงจร CMFB

แรงดันเอาต์พุตผลต่าง ( $V_{out-}$  และ  $V_{out+}$ ) ถูกนำมาเปรียบเทียบกับแรงดัน  $V_{CM0}$  ซึ่งมีค่าเป็นครึ่งหนึ่งของแรงดันแหล่งจ่าย กระแสเอาต์พุตที่ได้จากทรานซิสเตอร์  $MC_2$  และ  $MC_3$  ถูกนำมารวมกันที่ทรานซิสเตอร์คัมมี  $MC_6$  และ  $MC_7$  ขณะที่กระแสเอาต์พุตที่ได้จากทรานซิสเตอร์  $MC_1$  และ  $MC_4$  ถูกนำมารวมกันด้วยทรานซิสเตอร์  $MC_5$  และ  $MC_8$  การทำงานวงจร CMFB อธิบายได้ดังนี้

- เมื่อแรงดันมีการสวิตช์ด้วยแรงดันผลต่าง  $V_{out-}$  และ  $V_{out+}$  ทำให้กระแสเอาต์พุตที่  $MC_1$  และ  $MC_4$  มีการชดเชยกันและรวมกันเป็นกระแสคงที่
- เมื่อแรงดันสวิตช์เป็นคอมมอนโหมด  $V_{out-}$  และ  $V_{out+}$  ทำให้กระแสเอาต์พุตที่  $MC_1$  และ  $MC_4$  เพิ่มขึ้นและกระแสรวมนี้ถูกนำไปเปลี่ยนแรงดันคอมมอนโหมด

กระแสรวมของ  $MC_5$  และ  $MC_8$  ถูกส่งไปที่เอาต์พุตของวงจร CMFB โดยผ่านวงจรสะท้อนกระแสปรับแต่งสัญญาณได้ (gain-adjustable current mirror) กระแสเอาต์พุตที่ได้ถูกส่งต่อไปยังวงจรคาสโคดและวงจรเร็กกูเลเต็ดคาสโคด ที่ออกแบบด้วยทรานซิสเตอร์  $MC_{17}$  ถึง  $MC_{20}$  เพื่อทำให้เกิดความเข้าสู่ของวงจร CMFB และวงจรทรานส์คอนดักเตอร์ในรูปที่ 5.6

ทรานซิสเตอร์  $MC_{19}$  มีการต่อแบบไดโอดคอนเน็คเตด (diode-connected) เพื่อนำมาสร้างแรงดันควบคุม  $V_{B1}$  และ  $V_{B2}$  ให้กับวงจรทรานส์คอนดักเตอร์ในรูปที่ 5.6 ผ่านความต้านทานแบบแอคทีฟที่มีขนาดใหญ่ที่สร้างจากทรานซิสเตอร์พีมอส  $MC_{21}$  และ  $MC_{22}$  โดยควบคุมให้ทรานซิสเตอร์พีมอสทำงานย่านคัตออฟ สังเกตได้ว่า  $MC_{19}$  และ  $MC_{20}$  ถูกจัดให้อยู่ในรูปแบบวงจรสะท้อนกระแสที่ต่อแบบ QFG cascode ให้กับทรานซิสเตอร์  $MP_{19}$  ถึง  $MP_{22}$  ของวงจรทรานส์คอนดักเตอร์ในรูปที่ 5.6 ดังนั้นวงจร CMFB ช่วยควบคุมให้กระแสเอาต์พุตของวงจร ทรานส์คอนดักเตอร์ที่นำเสนอในรูปที่ 5.6 คงที่นั่นเอง

ตารางที่ 5.4 อัตราส่วนของทรานซิสเตอร์ทุกตัวและค่าอุปกรณ์ต่างๆ ที่นำมาออกแบบในวงจรทรานส์คอนดักเตอร์ที่นำเสนอ

		ทรานซิสเตอร์	อุปกรณ์อื่นๆ	
		W/L ( $\mu\text{m}/\mu\text{m}$ )		
รูปที่ 5.6	$M_1$ - $M_6$ , $M_9$ - $M_{10}$ , $M_{13}$ - $M_{16}$ , $M_{19}$ - $M_{22}$	10/1	$I_1$	750 nA
	$M_7$ - $M_8$ , $M_{11}$ - $M_{12}$	100/1	$I_3$	100 nA
	$M_{17}$ - $M_{18}$	2/1	$R_5$	10 K $\Omega$
รูปที่ 5.7	$MC_1$ - $MC_{13}$ , $MC_{16}$ - $MC_{17}$ , $MC_{19}$ - $MC_{22}$	10/1	$R_C$	100 K $\Omega$
	$MC_{14}$ - $MC_{15}$	100/1	$C_C$	6 pF
	$MC_{18}$	2/1	$C_B$	1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการปรับแต่งสัญญาณของวงจรทรานส์คอนดักเตอร์ที่นำเสนอ คือการที่กระแสเอาต์พุตสงบนิ่งคงที่ได้ขึ้นอยู่กับปรับระดับการปรับแต่งสัญญาณ ของวงจรสะท้อนกระแสปรับแต่งอัตราขยาย (gain-adjustable current mirrors) และการปรับแต่งกระแสเอาต์พุตของวงจร CMFB ต้องสามารถปรับแต่งสัญญาณได้ตามฟังก์ชันเดียวกัน

ตารางที่ 5.4 แสดงขนาดของทรานซิสเตอร์และอุปกรณ์อื่นๆ ตลอดจนเงื่อนไขและข้อกำหนดของวงจรที่นำเสนอในรูปที่ 5.6 และรูปที่ 5.7

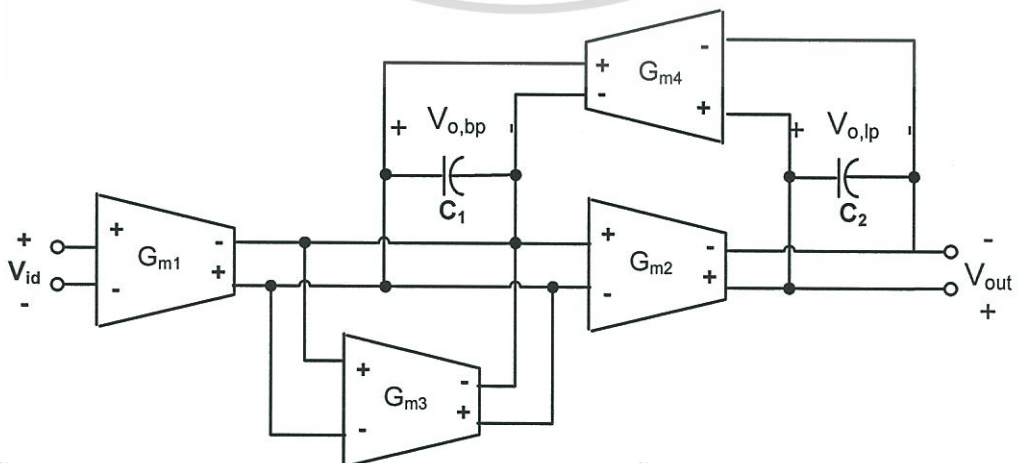
วงจรทรานส์คอนดักเตอร์ที่นำเสนอในรูปที่ 5.6 และ 5.7 ถูกนำมาประยุกต์เป็นวงจรกรองสัญญาณความถี่หลายหน้าที่แบบไบควอดราติกแบบที่ 2 มีสมการทรานส์เฟอร์ฟังก์ชันโดยจัดเป็นสมการของวงจรกรองความถี่ต่ำผ่าน (LPF) และวงจรกรองผ่านแถบความถี่ (BPF) ดังรูปที่ 5.8 ผลการออกแบบและการทดสอบวงจรทำงานภายใต้ความถี่คัตออฟ 10 KHz สูญเสียกำลังงานทั้งหมด 34.4  $\mu$ W ทำงานภายใต้แหล่งจ่ายแรงดันเดียว 0.8 V คำนวณค่า input signal dynamic range กว้างเท่ากับ 67.4 dB ด้วยค่า -40 dB ของ third-order intermodulation distortion สมการทรานส์เฟอร์ฟังก์ชันของวงจรกรองความถี่ไบควอดราติกที่นำเสนอนี้กำหนดเป็น LPF ( $V_{o,lp}$ ) และวงจร BPF ( $V_{o,bp}$ ) แสดงในสมการที่ (5.1) และ (5.2) ตามลำดับ การคำนวณความถี่คัตออฟหาได้จากสมการที่ 5.3 และองค์ประกอบคุณภาพ (quality factor) ของวงจรกรองที่นำเสนอหาได้จากสมการที่ 5.4

$$H_{lp}(S) = \frac{V_{o,lp}}{V_{in}} = \frac{G_{m1}G_{m2} / C_1C_2}{s^2 + s \cdot G_{m3}/C_1 + G_{m2}G_{m4}/C_1C_2} \tag{5.1}$$

$$H_{bfp}(S) = \frac{V_{o,bp}}{V_{in}} = \frac{s \cdot G_{m1} / C_1}{s^2 + s \cdot G_{m3}/C_1 + G_{m2}G_{m4}/C_1C_2} \tag{5.2}$$

$$f_o = 1/2\pi \cdot \sqrt{G_{m2}G_{m4} / C_1C_2} \tag{5.3}$$

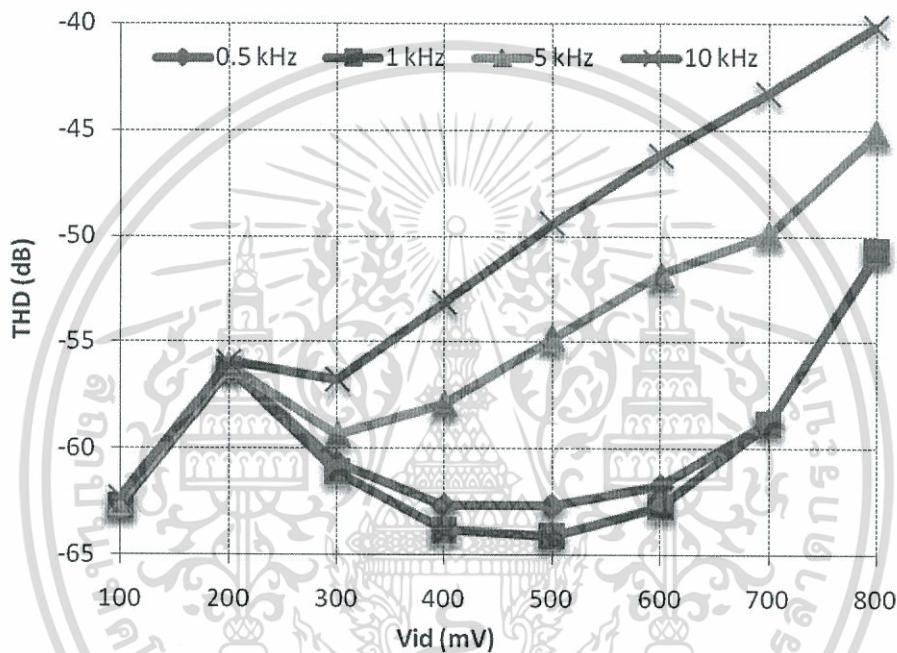
$$Q = \sqrt{G_{m2}G_{m4} / G_{m3}^2 \cdot C_1 / C_2} \tag{5.4}$$



รูปที่ 5.8 โครงสร้างของวงจรกรองสัญญาณไบควอดราติกแบบ Differential biquadratic Gm-C

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับงานวิจัยของภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่ควรแจกจ่ายให้วงในได้โดยไม่ขออนุญาตจากภาควิชา

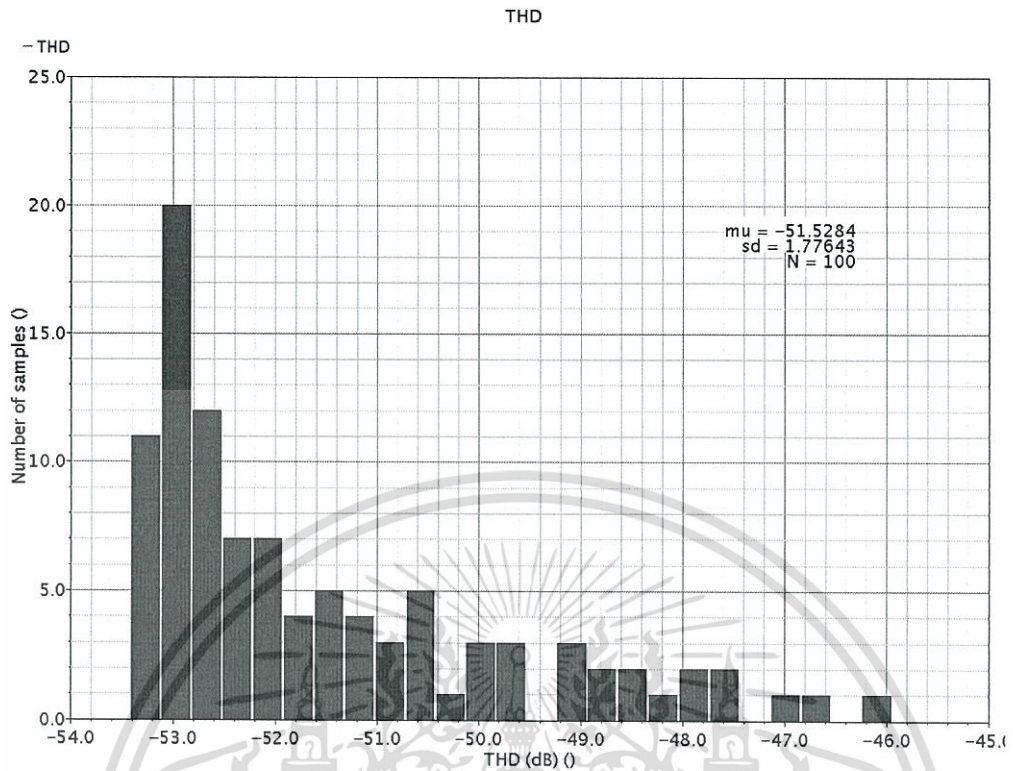
รูปที่ 5.9 แสดงกราฟเปรียบเทียบค่า THD (total harmonic distortion) ในหน่วยของ (dB) ของวงจรทรานส์คอนดักเตอร์ที่นำเสนอในรูปที่ 5.6 และ 5.7 ด้วยค่าทรานส์คอนดักต์แดนซ์คงที่ที่  $3 \mu\text{S}$  ทดสอบที่ความถี่ 500 Hz, 1 KHz, 5 KHz, และ 10 KHz โดยมีการปรับสัญญาณผลต่างของแอมพลิจูดอินพุตตั้งแต่ 100 mV ถึง 800 mV พิจารณาที่กราฟของความถี่ 10 KHz สัญญาณผลต่างแอมพลิจูดอินพุตที่ 800 mV<sub>pp</sub> พบว่าให้ค่า THD เท่ากับ -40 dB เมื่อทำการจำลองผลการวิเคราะห์สัญญาณรบกวนที่ความถี่ไม่เกิน 10 KHz หาค่าแรงดันรบกวนที่อินพุตรวม (total integrated input-referred noise voltage) ได้เท่ากับ 100  $\mu\text{V}$  แสดงในตารางที่ 5.5 นำผลมาคำนวณหาช่วงพิสัยพลวัตอินพุตกว้าง (input signal dynamic range) ประมาณ 75 dB (คิดที่ความถี่สูงสุดที่นำมาใช้งานของงานวิจัยนี้)



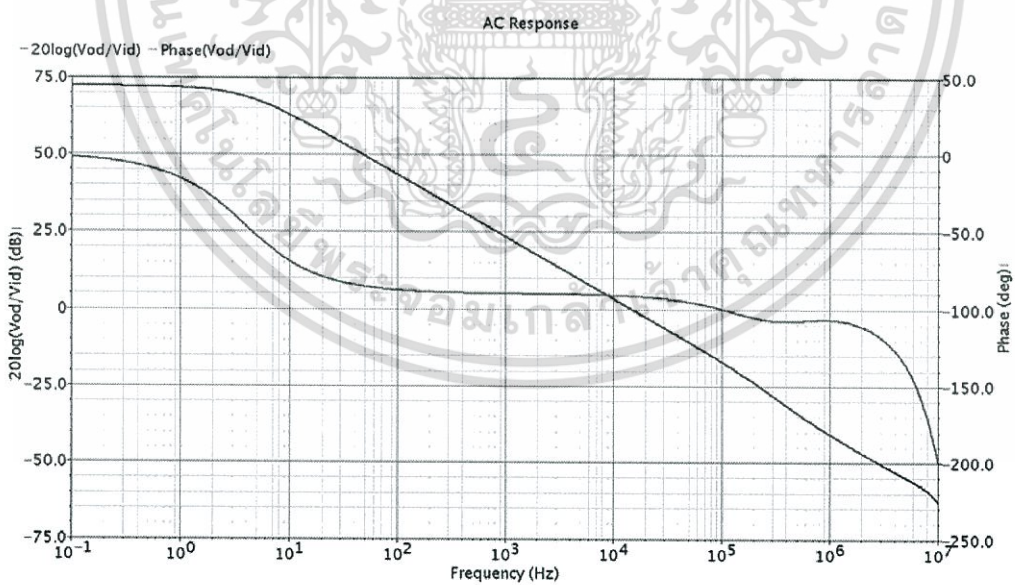
รูปที่ 5.9 ผลการจำลอง output THD ของวงจรทรานส์คอนดักเตอร์ที่นำเสนอ

การจำลองวงจรด้วยวิธี Monte Carlo เป็นการทดสอบถึงการจับคู่อุปกรณ์ต่างๆ ที่นำมาใช้ในการออกแบบวงจรทรานส์คอนดักเตอร์ที่นำเสนอ ให้เห็นถึงผลกระทบต่อคุณภาพของวงจรว่าสามารถทำงานได้ก็เปอร์เซ็นต์เมื่อมีการเปลี่ยนแปลงที่เกิดจากขบวนการผลิตที่ไม่แน่นอน (process variations)

รูปที่ 5.10 แสดงกราฟฮิสโตแกรมโดยวิธีการจำลองแบบ Monte Carlo ของค่า THD (dB) ที่สัญญาณเอาต์พุต กำหนดจำนวนการสุ่มตัวอย่างการทำงาน 100 ครั้งและค่าเบี่ยงเบนเชิงมา (sigma) เท่ากับ 3 เนื่องจากพิจารณาหาความผิดพลาดฮาร์โมนิกรวม 1% THD ของสัญญาณเอาต์พุต ดังนั้นจึงทำการวิเคราะห์ด้วย transient analysis ทดสอบที่สัญญาณแรงดันอินพุต 300 mV ที่ความถี่ 10 KHz ค่าความผิดพลาดฮาร์โมนิกรวม 1% THD ของสัญญาณเอาต์พุตมีค่าเฉลี่ย  $\mu$  เท่ากับ -51.5 dB (เมื่อพิจารณาจากรูปที่ 5.9 ค่า 1% THD ของสัญญาณเอาต์พุตมีค่าประมาณ -57 dB มีค่าเบี่ยงเบนจากมาตรฐาน 1.78 (standard deviation: sd) สรุปได้ว่าความเข้าคู่ของทรานซิสเตอร์สำหรับวงจรที่นำเสนอ ทำงานตามกลางการความแปรเปลี่ยนของขบวนการผลิตมีความผิดพลาดต่ำ นั่นคือการจับคู่ตัวอุปกรณ์ต่างๆ มีความสมพงษ์กันเป็นอย่างดี



รูปที่ 5.10 กราฟฮิสโตแกรมโดยวิธีการจำลองแบบ Monte Carlo ของค่า THD (dB) ที่สัญญาณเอาต์พุต



รูปที่ 5.11 การจำลองการตอบสนองความถี่แบบเปิดลูปของวงจรทรานส์คอนดักเตอร์ที่นำเสนอด้วยค่า 20 pF ของ  $C_L$

รูปที่ 5.11 ผลการจำลองการตอบสนองความถี่ของวงจรทรานส์คอนดักเตอร์ที่นำเสนอนี้  
 รูปที่ 5.6 และรูปที่ 5.7 เมื่อกำหนดให้ค่าความจุโหลดเท่ากับ 20 pF พบว่าค่าอัตราขยายแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเฉพาะเท่านั้น เมื่ออนุญาตให้เผยแพร่หรือใช้งานนอกเหนือจากการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

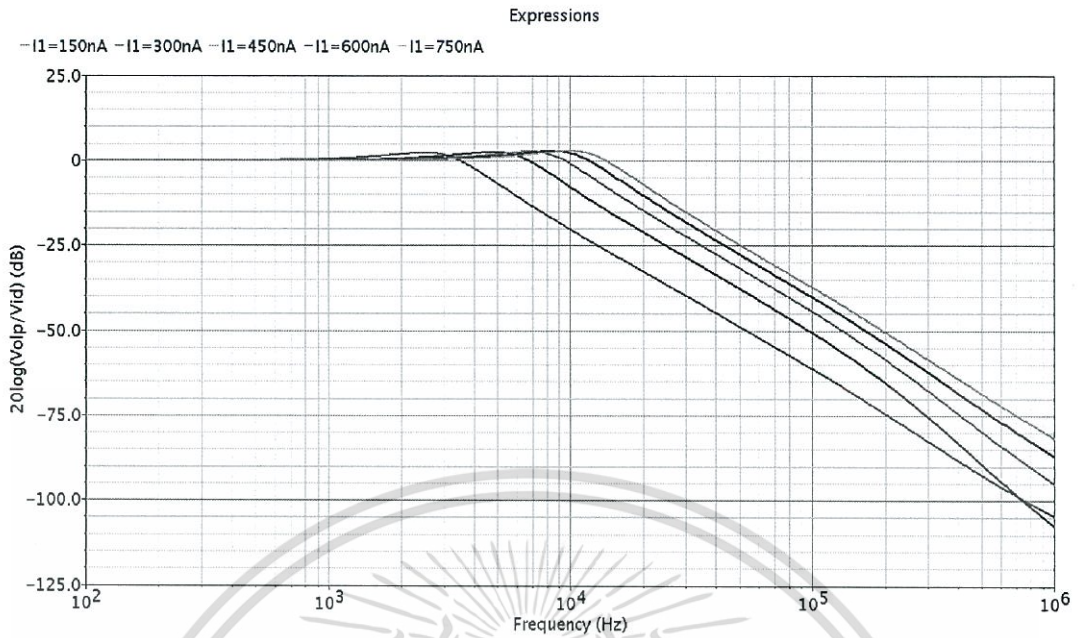
แบบรูปเปิดเท่ากับ 72.2 dB และค่าเฟสมาจिनเท่ากับ 89.8° สรุปผลการจำลองคุณสมบัติต่างๆ ของ วงจรทรานส์คอนดักเตอร์กึ่งกำลังต่ำที่นำเสนอเปรียบเทียบกับงานวิจัยอื่นๆ ในตารางที่ 5.5

ตารางที่ 5.5 สรุปผลการจำลองคุณสมบัติของวงจรทรานส์คอนดักเตอร์กึ่งกำลังต่ำที่นำเสนอเปรียบเทียบกับ งานวิจัยอื่น

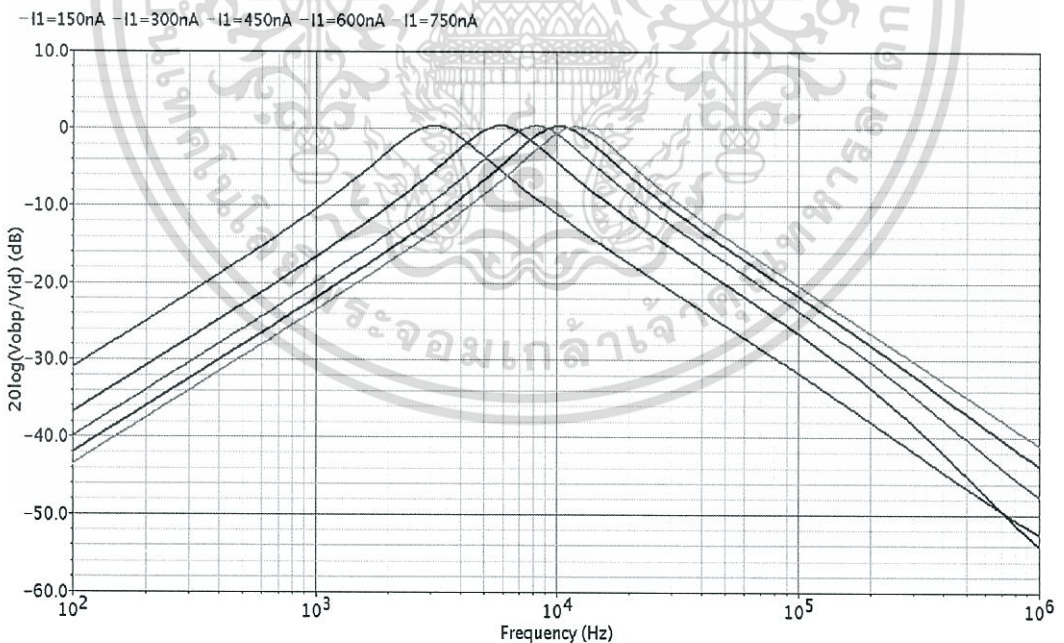
พารามิเตอร์	[69]	[70]	[71]	[72]	[63]	[64]	วงจรที่นำเสนอ
	Simulated	Simulated	Measured	Measured	Simulated	Simulated	Simulated
ปี	2011	2007	2011	2008	2008	2010	2012
เทคโนโลยี	0.35 $\mu\text{m}$	0.18 $\mu\text{m}$	0.35 $\mu\text{m}$	0.18 $\mu\text{m}$	0.35 $\mu\text{m}$	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$
แรงดันแหล่ง (V)	1.0	1.0	0.8	0.5	1.0	0.8	0.8
กำลังงานสูญเสีย ( $\mu\text{W}$ )	62	120	0.04	28	44.3	100	8.3
$G_m$ ( $\mu\text{S}$ )	267.3	1000	66	71	-	-	0.03-3
THD (dB)	-40	-65	-40	-57.7	-	-	-40
@ peak Vid (V)	0.44	0.35	0.05	0.25	-	-	0.8
@frequency (KHz)	10	1000	0.01	1.0	1800	1000	10
สัญญาณรบกวนอินพุต ( $\text{nV}/\sqrt{\text{Hz}}$ )	297.4	32	5.7	432	345 ( $\mu\text{V}/\sqrt{\text{Hz}}$ )	408	1000
DR (dB)	90.4	77.7	52.9	82.2	-	-	75

วงจรกรองสัญญาณไบควอดราติกที่นำเสนอในรูปที่ 5.8 ออกแบบที่ความถี่คัตออฟ  $f_0 = 10$  KHz และ  $Q = 1$  กำหนดให้ค่าทรานส์คอนดักเตอร์ทุกตัวเท่ากัน ใช้ค่าความจุ  $C_1$  และ  $C_2$  เท่ากันที่ 20 pF แสดงผลการจำลองการตอบสนองทางความถี่ของสัญญาณเอาต์พุตที่ปรับแต่งความถี่ต่ำผ่านอย่างต่อเนื่อง และปรับแต่งแถบความถี่ผ่านอย่างต่อเนื่อง (BPF) โดยการปรับค่ากระแสไบอัส  $I_1$  ตั้งแต่ 150 nA ถึง 750 nA โดยปรับกระแสไบอัสที่ละ 150 nA ในขณะที่ยังรักษากระแสไบอัส  $I_2$  ให้คงที่ที่ 750 nA จากรูปที่ 5.12 และ 5.13 แสดงการตอบสนองความถี่ที่สามารถปรับแต่งค่าความถี่คัตออฟได้จาก 2.5 KHz ถึง 12.5 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

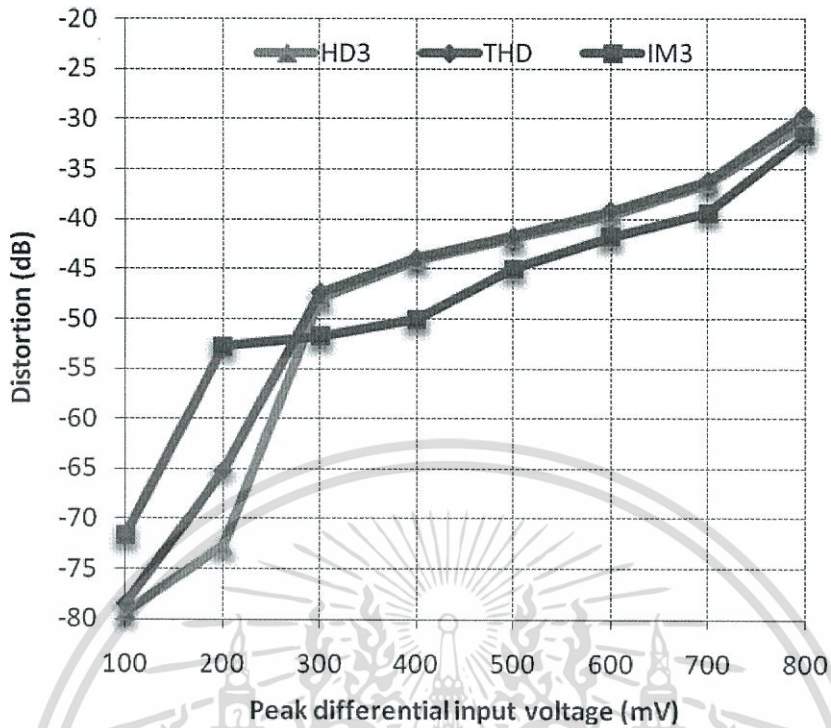


รูปที่ 5.12 การตอบสนองความถี่ของวงจรโวลติคความถี่ต่ำผ่าน



รูปที่ 5.13 การตอบสนองความถี่ของวงจรโวลติคแบบกรองแถบความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 ผลการจำลองค่าความผิดพลาดที่แรงดันเอาต์พุตผลต่างที่วงจรกรองความถี่ต่ำผ่าน

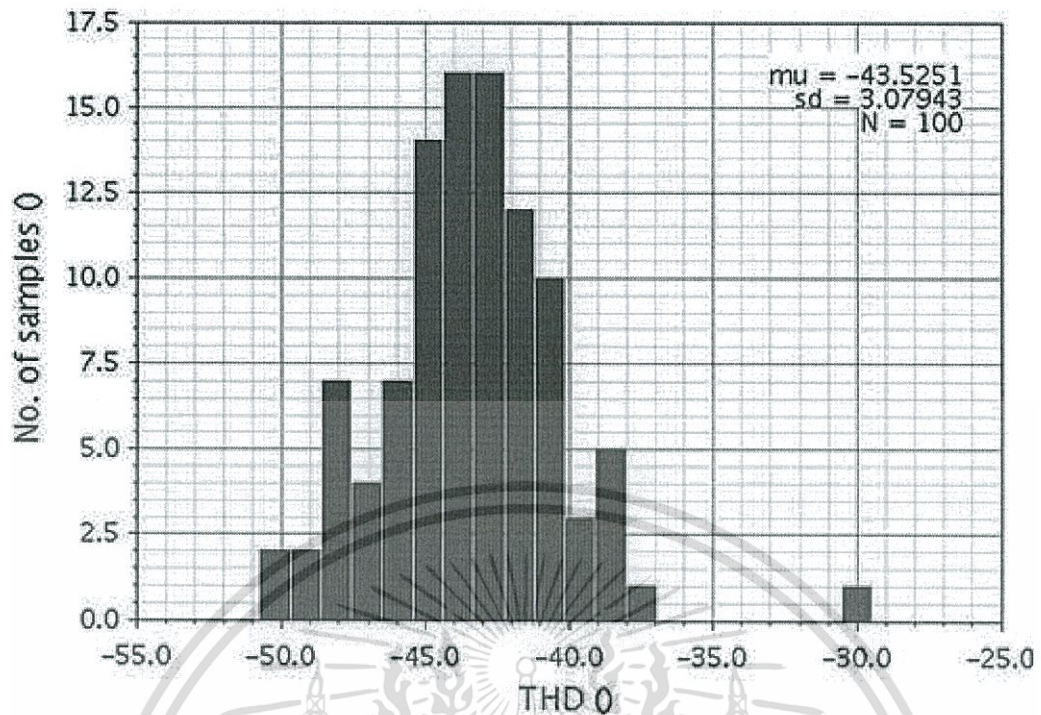
รูปที่ 5.14 แสดงผลการจำลองค่าความผิดพลาดที่ผลต่างแรงดันเอาต์พุตของวงจรกรองความถี่ต่ำผ่านด้วย  $f_0 = 10$  KHz และ  $Q = 1$  กราฟแสดงผลการจำลองค่า THD และ HD3 ที่สัญญาณอินพุตความถี่ 1 KHz ในขณะที่ค่า IM3 วัดที่สัญญาณอินพุตทุโทน (two-tone input signal) 4 KHz และ 5 KHz ของวงจรกรองที่นำเสนอ ที่ผลต่างแรงดันอินพุตสูงสุดของ 570 mV และ 670 mV สำหรับค่า THD และ IM3 อยู่ที่ -40 dB ตามลำดับ

สัญญาณรบกวนแรงดันอินพุตช่วงแบนด์วิด 10 KHz มีค่าเท่ากับ  $202 \mu V_{rms}$  ดังนั้นวงจรกรองความถี่ที่นำเสนอให้ช่วงพิสัยพลวัตอินพุตกว้าง (input signal dynamic range) 66 dB และ 67.4 dB สำหรับค่า THD ที่ -40 dB และค่า IM3 ที่ -40 dB ตามลำดับ

สมการที่ (5.5) เป็นสมการที่บอกถึงการแลกเปลี่ยนคุณสมบัติต่างๆ หรือการแลกเปลี่ยนคุณสมบัติอย่างหนึ่งเพื่อให้ได้มาซึ่งคุณสมบัติอีกอย่างหนึ่ง โดยนิยามค่านี้ว่าค่า figure-of-merit (FoM) [73]  $P_{diss}$  เป็นค่าการสูญเสียกำลังงาน  $V_{DD}$  ค่าแรงดันแหล่งจ่าย,  $N$  คือจำนวนลำดับของวงจรกรอง,  $f_0$  คือความถี่ตัด และ DR เป็นค่าช่วงความถี่ไครโตนามิกวัตในหน่วย dB ของวงจรกรองสัญญาณไบควอดราติกแบบ Differential biquadratic Gm-C ที่นำเสนอคำนวณค่า FoM ได้เท่ากับ  $4.9 \cdot 10^{-12}$  ซึ่งมีค่าน้อยมากแสดงให้เห็นว่าวงจรมีเสถียรภาพดี

$$FoM = \frac{P_{diss} \cdot V_{DD}}{N \cdot f_0 \cdot DR} \quad (5.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.15 กราฟฮิสโตแกรมโดยวิธีการจำลองแบบ Monte Carlo ของค่า THD ที่แรงดันเอาต์พุต วงจรกรองความถี่ต่ำผ่านที่นำเสนอ

รูปที่ 5.15 แสดงกราฟฮิสโตแกรมโดยวิธีการจำลองแบบ Monte Carlo ของค่า THD (dB) ที่แรงดันเอาต์พุตของวงจรกรองความถี่ต่ำผ่านที่นำเสนอ กำหนดจำนวนการสุ่มตัวอย่างการทำงาน 100 ครั้งและค่าเบี่ยงเบนเชิงมา (sigma) เท่ากับ 3 เนื่องจากพิจารณาหาความผิดเพี้ยนฮาร์โมนิก รวม 1% THD ของแรงดันเอาต์พุต ดังนั้นจึงทำการวิเคราะห์ด้วย transient analysis ทดสอบที่ สัญญาณแรงดันอินพุต 300 mV ที่ความถี่ 1 KHz ค่าความผิดเพี้ยนฮาร์โมนิกรวม 1% THD ของแรงดันเอาต์พุตมีค่าเฉลี่ย  $\mu$  เท่ากับ -43.5 dB (เมื่อพิจารณาจากรูปที่ 5.14 ค่า 1% THD ของสัญญาณเอาต์พุตมีค่าประมาณ -47dB) มีค่าเบี่ยงเบนจากมาตรฐาน 3.1 (standard deviation: sd) สรุปได้ว่าความเข้าคู่ของอุปกรณ์สำหรับวงจรกรองความถี่ที่นำเสนอทำงานทามกลางการความแปรเปลี่ยนของขบวนการผลิตมีความผิดพลาดน้อย ตารางที่ 5.6 แสดงผลการจำลองคุณสมบัติของวงจรกรองที่นำเสนอเปรียบเทียบกับงานวิจัยอื่น

ตารางที่ 5.6 การเปรียบเทียบคุณสมบัติของวงจรกรองสัญญาณไบควอดราติกแบบ Differential biquadratic Gm-C ที่นำเสนอกับงานวิจัยอื่นๆ

พารามิเตอร์	[63]	[74]	[66]	[75]	วงจรที่นำเสนอ
	Simulated	Measured	Measured	Simulated	Simulated
ปีที่นำเสนอ	2008	2009	2005	2012	2012
เทคนิค	Bulk-driven	Current-mode	Bulk-driven	Bulk-driven	Bulk-driven
$V_{DD}$ (V)	1.0	0.6	0.5	0.5	0.8
$f_o$ (KHz)	1.8-36.5	100	135	200	2.5-12.5
จำนวน Order ของวงจรกรอง	2	5	5	3	2
$\overline{v_m}$ ( $\mu V_{rms}$ )	345	-	74	88	215
Peak $V_{id}$ (V)	0.44	-	0.11	0.07	0.67
DR (dB)	59.1	94	57	55.1	67.4
กำลังงานสูญเสีย ( $\mu W$ )	44.3	443	1,100	202.7	34.4
ซีมอสเทคโนโลยี	0.35- $\mu m$	0.18- $\mu m$	0.18- $\mu m$	0.18- $\mu m$	0.18- $\mu m$
FoM	1e-11	5.7e-12	1.4e-11	3.1e-12	4.9e-12

#### 5.4 สรุป

จากการประยุกต์ใช้งานวงจรทรานส์คอนดักเตอร์ที่นำเสนอสำหรับงานย่านความถี่ต่ำ ด้วยวงจรกรองความถี่ทรานส์คอนดักเตอร์คาปาซิเตอร์ที่นำเสนอแบบที่ 1 และแบบที่ 2 ด้วยเทคโนโลยีซีมอส 0.18  $\mu m$

สรุปผลการประยุกต์ใช้งานวงจรทรานส์คอนดักเตอร์ที่นำเสนอ สำหรับวงจรกรองความถี่แบบที่ 1 มีคุณสมบัติสามารถเลือกเป็นวงจรกรองความถี่ผ่านได้ 4 แบบ คือวงจรกรองความถี่ต่ำผ่าน (LPF), วงจรกรองความถี่สูงผ่าน (HPF), วงจรกรองแถบความถี่เฉพาะช่วงไม่ให้อ่าน (BRF) และวงจรกรองแถบความถี่ผ่าน (BPF) วงจรกรองที่นำเสนอทำงานภายใต้แหล่งจ่ายแรงดันเดียวที่ 0.8 V ที่ความถี่สูงสุด 10 KHz ใช้กำลังงานสูงสุด 10.4  $\mu W$

สรุปผลการประยุกต์ใช้งานวงจรทรานส์คอนดักเตอร์ที่นำเสนอ สำหรับวงจรกรองความถี่แบบที่ 2 ผลการจำลองการทำงานสามารถปรับจูนความถี่ได้อย่างต่อเนื่อง โดยมีความเป็นเชิงเส้นสูงภายใต้แหล่งจ่ายแรงดันเดียวที่ 0.8 V ให้ค่าพิสัยพลวัตกว้าง (dynamic range) 67.4 dB ที่ความถี่สูงสุด 10 KHz ใช้กำลังงานสูงสุด 34.4  $\mu W$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Results Display Window			
Window Expressions Info Help			cadence
Device	Param	Noise Contribution	% Of Total
/I1/MN6	fn	2.99867e-09	5.17
/I1/MN5	fn	2.99867e-09	5.17
/I1/M21	id	2.67846e-09	4.62
/I1/M20	id	2.67846e-09	4.62
/I0/M21	id	2.66828e-09	4.60
/I2/M21	id	2.66828e-09	4.60
/I3/M21	id	2.66828e-09	4.60
/I0/M20	id	2.66828e-09	4.60
/I2/M20	id	2.66828e-09	4.60
/I3/M20	id	2.66828e-09	4.60
/I0/MN6	fn	2.6264e-09	4.53
/I0/MN5	fn	2.6264e-09	4.53
/I2/MN6	fn	2.62638e-09	4.53
/I2/MN5	fn	2.62638e-09	4.53
/I3/MN6	fn	2.62637e-09	4.53
/I3/MN5	fn	2.62637e-09	4.53
/I1/MN14	fn	1.25067e-09	2.16
/I1/MN13	fn	1.25067e-09	2.16
/I2/MN14	fn	1.10164e-09	1.90
/I3/MN14	fn	1.10164e-09	1.90
/I2/MN13	fn	1.10164e-09	1.90
/I3/MN13	fn	1.10164e-09	1.90
/I0/MN14	fn	1.10164e-09	1.90
/I0/MN13	fn	1.10164e-09	1.90
/I1/MP2	id	1.89482e-10	0.33
/I1/MP1	id	1.89482e-10	0.33
/I1/MP2	fn	1.42635e-10	0.25
/I1/MP1	fn	1.42635e-10	0.25
/I2/MP2	fn	1.32647e-10	0.23
/I2/MP1	fn	1.32647e-10	0.23
/I3/MP2	fn	1.32647e-10	0.23
/I3/MP1	fn	1.32647e-10	0.23
/I0/MP1	fn	1.32646e-10	0.23
/I0/MP2	fn	1.32646e-10	0.23
/I2/MP2	id	1.31182e-10	0.23
/I2/MP1	id	1.31182e-10	0.23
/I3/MP1	id	1.3118e-10	0.23
/I3/MP2	id	1.3118e-10	0.23
/I0/MP1	id	1.31176e-10	0.23
/I0/MP2	id	1.31176e-10	0.23
/I1/MN6	id	1.23425e-10	0.21
/I1/MN5	id	1.23425e-10	0.21
/I1/R3	rn	9.66087e-11	0.17
/I1/MC1	id	8.94256e-11	0.15
/I1/MC2	id	8.94256e-11	0.15
/I0/MN6	id	8.54502e-11	0.15
/I0/MN5	id	8.54502e-11	0.15
/I2/MN6	id	8.54497e-11	0.15
/I2/MN5	id	8.54497e-11	0.15
/I3/MN6	id	8.54481e-11	0.15
/I3/MN5	id	8.54481e-11	0.15
/I1/MC1	fn	7.64851e-11	0.13
/I1/MC2	fn	7.64851e-11	0.13
/I2/MC1	fn	7.15532e-11	0.12
/I3/MC1	fn	7.15532e-11	0.12

Integrated Noise Summary (in V<sup>2</sup>) Sorted By Noise Contributors  
Total Summarized Noise = 5.79701e-08  
Total Input Referred Noise = 5.38117e-08  
The above noise summary info is for noise data.

เอกสารนี้เป็นเอกสารรูปที่ 5.16 รายงานผลการวัดสัญญาณรบกวนของอุปกรณ์ในวงจรรูปที่ 5.8 ซึ่งประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรทรานส์คอนดักเตอร์ประยุกต์ใช้งานเป็นวงจรกรองสัญญาณไบควอดราติครูปที่ 5.8 พบว่ามีข้อด้อยในเรื่องของสัญญาณรบกวน ที่จะมีผลกระทบต่อการใช้งานกับสัญญาณทางการแพทย์ รูปที่ 5.16 แสดงรายงานผลการวัดสัญญาณรบกวนของอุปกรณ์ในวงจรรูปที่ 5.8 ที่ความถี่ประมาณ 10 KHz พบว่าทรานซิสเตอร์ที่เป็นแหล่งกำเนิดสัญญาณรบกวนสูงสุดให้กับวงจร 6 ตัวแรก คือ MN5, MN6, MN13, และ MN14 แสดงจากวงจรในรูปที่ 5.6

และทรานซิสเตอร์ M20 และ M21 ในรูปที่ 5.16 แสดงตำแหน่งของทรานซิสเตอร์จากวงจรในรูปที่ 5.7 คือ MC21 และ MC22 (ความต้านทานแบบแอคทีฟที่มีขนาดใหญ่) ดังนั้นสิ่งที่น่าจะทำเพิ่มเติมอีกประการหนึ่งก่อนที่ให้นำวงจรที่นำเสนอนี้ไปใช้ประยุกต์ใช้งานทางการแพทย์ คือหาทางกำจัดสัญญาณรบกวนนั่นเอง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

# สรุปผลการวิจัยและข้อเสนอแนะ

### 6.1 บทสรุป

งานวิจัยนี้เสนอวงจรขยายสัญญาณทรานส์คอนดักเตอร์กินกำลังงานต่ำ ที่เหมาะสำหรับประยุกต์ใช้กับสัญญาณทางการแพทย์ ซึ่งมีความต้องการในเรื่องอุปกรณ์ที่มีขนาดเล็ก และกินกำลังงานต่ำ โดยคุณสมบัติของวงจรที่นำเสนอประกอบด้วย

1. ความสามารถในการทำงานด้วยแรงดันแหล่งจ่ายต่ำ
2. มีช่วงอินพุตปฏิบัติกว้าง
3. มีความเป็นเชิงเส้นสูง
4. สัญญาณรบกวนต่ำ

โครงสร้างของวงจรทรานส์คอนดักเตอร์ที่นำเสนอเป็นแบบซีมอส มีการกระตุ้นสัญญาณผลต่างอินพุตที่ขั้วบัลค์ของทรานซิสเตอร์พีมอสบนโครงสร้างวงจรตามแรงดันแบบ Flipped-Voltage Follower ร่วมกับการทำงานของวงจรแบบคลาสเอบี สรุปลักษณะประกอบของโครงสร้างวงจรที่นำเสนอนี้ เกิดจากการนำเทคนิคของโครงสร้างวงจรหลายอย่างมาออกแบบร่วมกัน ดังนี้

1. ออกแบบวงจรด้วยเทคโนโลยีซีมอส เพื่อลดการใช้กำลังงานของวงจร
2. อาศัยเทคนิคการออกแบบวงจรจากการใช้โครงสร้าง Flipped-Voltage Follower ซึ่งเป็นโครงสร้างที่นิยมนำมาใช้งานสำหรับการใช้แหล่งจ่ายแรงดันต่ำ
3. กำหนดให้แรงดันอินพุตเข้าทางขั้วบัลค์ (Bulk-driven input) ของทรานซิสเตอร์พีมอส (PMOS)
4. ลดการใช้วงจรแหล่งจ่ายกระแสและแรงดันจากภายนอกด้วยการสร้างแหล่งจ่ายกระแสคงที่ จากการต่อเอ็นมอส (NMOS) แบบไดโอดคอนเน็คทีฟแทนแหล่งรับกระแสของโครงสร้างวงจรตามแรงดัน FVF รวมเข้าด้วยกัน ทำให้วงจรทำงานแบบคลาสเอบี
5. เพิ่มความเป็นเชิงเส้นจากการอาศัยเทคนิคการป้อนกลับของความต้านทานซอร์สดีเจเนอเรชัน (Passive Resistive Source Degeneration) ร่วมกับการทำงานของวงจรแบบคลาสเอบี บนโครงสร้างที่มีความสมมาตร
6. การปรับแต่งสัญญาณสามารถทำได้โดยแยกจากวงจรแปลงแรงดันอินพุตเป็นกระแสเอาต์พุตหลัก (core transconductor) ที่นำเสนอ โดยใช้การปรับกระแสของวงจรปรับอัตราขยายกระแส (Gain-adjustable Current Followers) จุดเด่นของโครงสร้างนี้คือความสามารถในการปรับค่าทรานส์คอนดักแทนซ์โดยปราศจากผลกระทบต่อสัญญาณที่ได้จากวงจรแปลงแรงดันอินพุตเป็นกระแสเอาต์พุตหลัก นอกจากนั้นความเป็นเชิงเส้นของค่าทรานส์คอนดักแทนซ์และการปรับแต่งสัญญาณมีคุณภาพดี จากการออกแบบวงจรที่เป็นอิสระต่อกัน โดยไม่ส่งผลกระทบต่อกันและกัน

ผลการทดสอบประสิทธิภาพของวงจรแปลงแรงดันอินพุตเป็นกระแสเอาต์พุตหลัก (core transconductor) ที่นำเสนอ เมื่อเปรียบเทียบกับวงจรอื่นๆ ด้วยโปรแกรม SPECTER Cadence ไม่พบว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tools ให้ความเป็นเชิงเส้นสูงในช่วงสัญญาณอินพุตกว้างมาก ภายใต้การใช้แรงดันแหล่งจ่ายต่ำ (Wide linear differential input voltage range) เมื่อทดสอบผลการจำลองการทำงานตามคุณสมบัติทั่วไปต่างๆ พบว่าวงจรมีคุณสมบัติต่างๆ ในเกณฑ์มาตรฐาน สำหรับย่านความถี่ต่ำเหมาะสมกับสัญญาณทางการแพทย์

ผลการจำลองการทำงานของวงจรที่ประยุกต์ใช้งาน เป็นวงจรกรองสัญญาณไบควอดราติก (Biquadratic Gm-C filter) ที่นำเสนอ 2 โครงสร้าง ด้วยเทคโนโลยี UMC 0.18  $\mu\text{m}$  พบว่าวงจรถูกนำมาประยุกต์ใช้งานได้ตามข้อกำหนดที่ตั้งไว้ จากการปรับแต่งสัญญาณความถี่ ณ ตำแหน่งของแบบจำลองคลอเคลีย จากรูปที่ 1.1 (ข) ได้

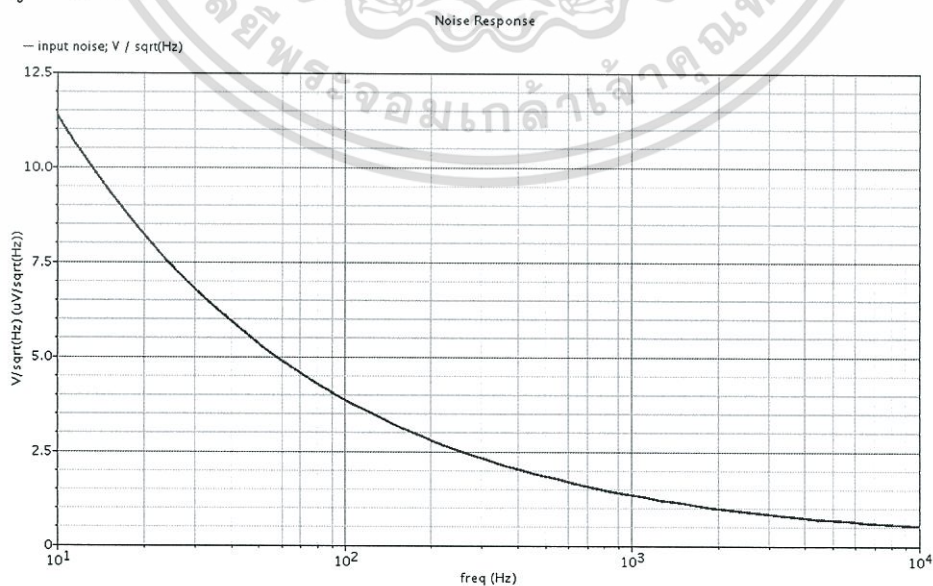
สรุปได้ว่าคุณสมบัติพื้นฐานของวงจรทรานส์คอนดักเตอร์ที่นำเสนอ มีประสิทธิภาพดีในเรื่องของมีพลวัตพิสัยอินพุตกว้างมาก (Wide input linear range) ความเป็นเชิงเส้นสูง (High linearity) สัญญาณรบกวนต่ำ ทำงานภายใต้แหล่งจ่ายแรงดันต่ำ กินกำลังน้อย มีความสามารถในการปรับแต่งค่าทรานส์คอนดักแทนซ์ได้

## 6.2 ข้อเสนอแนะ

สำหรับวิธีการที่นำเสนอในวิทยานิพนธ์ฉบับนี้เป็นเพียงวิธีการนำเทคนิคการออกแบบวงจรแบบพื้นฐานต่างๆ มาใช้งานร่วมกัน เพื่อให้วงจรทำงานภายใต้ข้อกำหนดที่ต้องการ และรักษาประสิทธิภาพของวงจรไว้ได้ วงจรที่นำเสนอเหมาะสำหรับงานออกแบบวงจรที่ต้องการใช้พลังงานต่ำๆ ในย่านความถี่ต่ำถึงปานกลาง

เทคนิคดังกล่าวยังมีข้อด้อยในเรื่องของสัญญาณรบกวนสำหรับการใช้งานที่ความถี่ต่ำมากๆ และเมื่อนำไปประยุกต์ใช้งานเป็นวงจรพื้นฐานที่สำคัญๆ ต่างๆ ยังต้องอาศัยเทคนิคหรือการออกแบบวงจรอื่นๆ ช่วยเสริมหรือแก้ไขข้อด้อยที่เกิดขึ้น เพื่อรักษาประสิทธิภาพคุณสมบัติที่ดีของวงจรที่ต้องการไว้ หรือให้ได้มาซึ่งข้อกำหนดของการประยุกต์ใช้งานวงจรเป้าหมายที่ตั้งไว้

รูปที่ 6.1 แสดงผลการจำลองสัญญาณรบกวน (small-signal noise) ที่ความถี่ 10 KHz ของวงจรรูปที่ 3.4 (ก)



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การจำลองสัญญาณรบกวนของวงจรรูปที่ 3.4 (ก) ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device	Param	Noise Contribution	% Of Total
/M8	fn	4.80446e-07	24.68
/M7	fn	4.63983e-07	23.83
/M6	fn	3.89473e-07	20.00
/M5	fn	3.81276e-07	19.58
/M10	fn	3.16177e-08	1.62
/M9	fn	3.05342e-08	1.57
/M10	id	2.24546e-08	1.15
/M9	id	2.16852e-08	1.11
/M2	fn	2.03559e-08	1.05
/M1	fn	2.03545e-08	1.05
/M2	id	1.54913e-08	0.80
/M1	id	1.54902e-08	0.80
/M8	id	1.25791e-08	0.65
/M7	id	1.2148e-08	0.62
/M6	id	1.01985e-08	0.52
/M5	id	9.98384e-09	0.51
/R3	rn	7.89911e-09	0.41
/M4	fn	3.15925e-10	0.02
/M3	fn	2.5874e-10	0.01
/M4	id	2.27169e-10	0.01
/M3	id	1.86049e-10	0.01
/M8	rs	2.56558e-13	0.00
/M7	rs	2.47767e-13	0.00
/M6	rs	2.07975e-13	0.00

Integrated Noise Summary (in V<sup>2</sup>) Sorted By Noise Contributors  
Total Summarized Noise = 1.94696e-06  
Total Input Referred Noise = 1.20925e-08  
The above noise summary info is for noise data

Device	Param	Noise Contribution	% Of Total
/M8	fn	4.80446e-07	24.68
/M7	fn	4.63983e-07	23.83
/M6	fn	3.89473e-07	20.00
/M5	fn	3.81276e-07	19.58

Integrated Noise Summary (in V<sup>2</sup>) Sorted By Noise Contributors  
Total Summarized Noise = 1.94696e-06  
Total Input Referred Noise = 1.20925e-08  
The above noise summary info is for noise data

รูปที่ 6.2 รายงานผลการวัดสัญญาณรบกวนของอุปกรณ์ในวงจรรูปที่ 3.4 (ก)

รูปที่ 6.2 แสดงรายงานผลการวัดสัญญาณรบกวนของอุปกรณ์ในวงจรรูปที่ 3.4 (ก) เมื่อกำหนดทรานซิสเตอร์ M9 และ M10 ต่อเป็นวงจรสะท้อนกระแสสำหรับภาคเอาต์พุต พบว่าทรานซิสเตอร์ที่เป็นแหล่งกำเนิดสัญญาณรบกวนสูงสุดให้กับวงจร 4 ตัวแรก คือ M5, M6, M7 และ M8 ผลการจำลองค่าแรงดันสัญญาณรบกวนที่อินพุตมีค่าเท่ากับ 110  $\mu\text{V}/\text{VHz}$

### 6.3 แนวทางการทำวิจัยต่อ

1. ประยุกต์ใช้วงจรทรานส์คอนดักเตอร์ที่นำเสนอเพื่อเชื่อมต่อกับอุปกรณ์เซ็นเซอร์ต่างๆ จาก silicon sensor (อุปกรณ์จากศูนย์ไมโครอิเล็กทรอนิกส์ TMEC) สำหรับงานที่ต้องการแหล่งจ่ายแรงดันต่ำ ย่านความถี่ต่ำ
2. ออกแบบวงจรรวมทางกายภาพจากการวางจากรองความถี่ที่นำเสนอ เพื่อส่งทำต้นแบบระดับห้องปฏิบัติการและส่งผลงานตีพิมพ์การประชุมวิชาการต่อไป
3. ทำวิจัยต่อเพื่อหาทางลดสัญญาณรบกวนจากวงจรทรานส์คอนดักเตอร์ที่นำเสนอ

## บรรณานุกรม

- [1] R. Sarpeshkar, R. F. Lyon, and C. Mead, **A low-power wide-linear-range transconductance amplifier**, Analog Integrated Circuits and Signal Processing, vol. 13, 1997, pp. 123-151.
- [2] J. Silva-Martinez, S. Solis-bustos, J. Salcedo-suner, R. Rojas-hernandez and M. Schellenberg, **A CMOS Hearing Aid Devices**, Analog Integrated Circuit and Signal Processing, vol. 21, 1999, pp. 163-172.
- [3] S. Solís-Bustos, J. Silva-Martínez, F. Maloberti and E. Sánchez-Sinencio, **A 60-dB Dynamic-Range CMOS Sixth-Order 2.4-Hz Low-Pass Filter for Medical Applications**, IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 47, No. 12, December 2000, pp. 1391-1398.
- [4] C. H. Chan, J. Wills, J. LaCoss, J. J. Granacki, and J. Choma, **A Micro-Power Low-Noise Auto-Zeroing CMOS Amplifier for Cortical Neural Prostheses**, Proc. IEEE Biomedical Circuits and Systems Conference, London, United Kingdom, November 29-December 1, 2006, pp. 214-217.
- [5] S. Kim, J. Y. Lee, S. J. Song, N. Cho, and H. J. Yoo, **An Energy-Efficient Analog Front-End Circuit for a Sub-1-V Digital Hearing Aid Chip**, IEEE Journal of Solid-State Circuits, Vol. 41, No. 4, April 2006, pp. 876-882.
- [6] R. Sarpeshkar, C. Salthouse, J. J. Sit, M. W. Baker, S. M. Zhak, T. K.-T. Lu, L. Turicchia and S. Balster, **An Ultra-Low-Power Programmable Analog Bionic Ear Process**, IEEE Transactions on Biomedical Engineering, vol. 52, no.4, April 2005, pp. 711-727.
- [7] J. Georgiou, and C. Toumazou, **A 126- $\mu$ W Cochlear Chip for a Totally Implantable System**, IEEE Journal of Solid State Circuits, vol. 40, no. 2, February 2005, pp. 430-443.
- [8] Y. Li, C. C. Y. Poon, and Y. T. Zhang, **Analog Integrated Circuits Design for Processing Physiological Signals**, IEEE Reviews in Biomedical Engineering, vol. 3, 2010, pp. 93-105.
- [9] D. G. Gata, W. Sjurson, J. R. Hochschild, J. W. Fattaruso, L. Fang, G. R. Iannelli, Z. Jiang, C. M. Branch, J. A. Holmes, M. L. Skorczy, E. M. Petilli, S. Chen, G. Wakeman, D. A. Preves, W. A. Severin, **A 1.1-V 270- $\mu$ A Mixed-Signal Hearing Aid Chip**, IEEE Journal of Solid-State Circuits, vol. 37, no. 12, December 2002, pp. 1670-1678.
- [10] ศ.นพ. ชูศักดิ์ เวชแพศย์ , สรีรวิทยาของมนุษย์, มิถุนายน 2538.
- [11] P. C. Loizou, **Mimicking the Human Ear**, IEEE Signal Processing Magazine, September 1998, pp. 101-130.

- [12] P. C. Loizou, **Introduction to Cochlear Implants**, Department of Applied Science, University of Arkansas at Little Rock, IEEE Engineering In Medicine and Biology, January/February 1999.
- [13] R. Sarpeshkar, **“Brain Power Computing”**, [www.spectrum.ieee.org](http://www.spectrum.ieee.org), IEEE Spectrum, May 2006, pp. 25-29.
- [14] M. Bachman, F. G. Zeng, T. Xu, G. P. Li, **“Micromechanical Resonator Array for an Implantable Bionic Ear”**, *Audiology Neurotology* 2006, pp. 95-103.
- [15] J. D. Falcone, **“Validation of High Density Electrode Arrays for Cochlear Implants: A Computational and Structural Approach”**, Master Thesis in the School of Electrical and Computer Engineering, May 2011, pp. 1-41.
- [16] M. W. Baker and R. Sarpeshkar, **“A Low Power High-PSRR Current-Mode Microphone Preamplifier”**, *IEEE Journal of Solid-State Circuits*, vol. 38, no.10, October 2003, pp. 1671-1678.
- [17] P. Likittanapong, A. Worapishet and C. Toumazou, **“Linear CMOS triode or for Low-Voltage Applications”**, *Electronics Letters*, 11<sup>th</sup> vol. 34, no. 12, pp. 1224-1225.
- [18] L. Acosta, R. G. Carvajal, M. Jimenez, J. Ramirez-Angulo, A. Lopez-Martin, **A CMOS Transconductor with 90 dB SFDR and Low Sensitivity to Mismatch**, *ISCAS 2006*, pp. 69-72.
- [19] A. Veeravalli, E. Sanchez-Sinencio, and J. Silva-Martinez, **Transconductance Amplifier Structures with Very Small Transconductances: A Comparative Design Approach**, *IEEE Journal of Solid-State Circuits*, vol. 37, no. 6, 2002, pp. 770-775.
- [20] K. R. Ajaya, N. Bhat, **Linear Transconductor with Flipped Voltage Follower in 130 nm CMOS**, *Analog Integrated Circuits and Signal Processing*, 2010, pp. 321-327.
- [21] N. Gupta, S. Singh, M. Suthar and P. Soni, **Low Power Low Voltage Bulk Driven Balanced OTA**, *International Journal of VLSI Design & Communication Systems (VLSICS)*, vol. 2, no. 4, December 2011, pp. 131-141.
- [22] H. Rytky, H. Rapakko and J. Kostamovaara, **Wide Bandwidth Transconductor with Current Mode Feedback**, *IEEE International Symposium on Integrated Circuits (ISIC-2007)*, pp. 275-278.
- [23] P. E. Allen and D. R. Holberg, **CMOS Analog Circuit Design**, Oxford University Press Inc., 2002.
- [24] B. Razavi, **Fundamentals of Microelectronics**, John Wiley&Sons Inc., 2008.
- [25] L. P. Huelsman, **Active and Passive Analog Filter Design an Introduction**, McGraw-Hill, 1993.
- [26] A. S. Sedra, K. C. Smith, **Microelectronic Circuits**, 6<sup>th</sup> edition, 2010.

- [27] P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, **Analysis and Design of Analog Integrated Circuits**, 4<sup>th</sup> edition, 2001.
- [28] D. A. Johns and K. Martin, **Analog Integrated Circuit Design**, 1997.
- [29] T. Ytterdal, Y. Cheng and T. A. Fjeldly, **Device Modeling for Analog and RF CMOS Circuit Design**, 2003.
- [30] S. Yan and E. Sanchez-Sinencio, **Low Voltage Analog Circuit Design Techniques: A Tutorial**, IEICE Trans. Analog Integrated Circuits and Analog Circuits and systems, vol. Eoo-A, no. 2, February 2000, pp. 1-17.
- [31] E. Sánchez-Sinencio, **Bulk-Driven Transistors**, Edgar Sánchez-Sinencio, Analog and Mixed-Signal Center, Department of Electrical Engineering, Texas A&M University, <http://amsc.tamu.edu/>
- [32] M. Gordon, **Bulk-Driven Circuits**, University of Toronto, December 2003.
- [33] B. J. Blalock, P. E. Allen and G. A. Rincon-Mora, **Designing I-V Op Amps Using Standard Digital CMOS Technology**, IEEE Transactions on Circuits and Systems-II, vol. 45, no. 7, July 1998, pp. 769-780.
- [34] R. Gonzalea Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. Antonio Gomez Galan, A. Carlosena, F. Munoz Chavero, **The Flipped Votage Follower: A Useful Cell for Low-Voltage Low-Power Circuit Design**, IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 52, no. 7, July 2005, pp. 1276-1291.
- [35] Y. Haga, I. Kale, **Bulk-Driven Flipped Voltage Follower**, ISCAS-2009, pp. 2717-2720.
- [36] E. Sanchez-Sinencio and J. Silva-Martinez, **CMOS Transconductance Amplifiers, Architectures and Active Filters: a tutorial**, IEEE Proceedings-Circuits Devices and Systems, vol. 147, no. 1, February 2000, pp. 3-12.
- [37] D. Stefanovic and M. Kayal, **Structured Analog CMOS Design**, 2008.
- [38] B. J. Sheu, and J. Choi, **Neural information processing and VLSI**, 1995.
- [39] M. Ismail and T. Fiez, **Analog VLSI signal and Information processing**, 1994.
- [40] B. Gilbert, **Translinear Circuit: a proposed classification**, Electronics Letters, vol.11, no.1, 9<sup>th</sup> January 1975, pp.14-16.
- [41] E. Seevinck, R. J. Wiegink, **Generalized Translinear Circuit Principle**, IEEE Journal of Solid-State Circuits, vol. 26, no. 8, August 1991, pp. 1098-1102.
- [42] K. C. Kuo, **Transconductor**, Advance in Solid State Circuits Technologies, April 2010.
- [43] K. C Kuo, and A. Leuciuc, **A Linear MOS Transconductor Using Source Degeneration and Adaptive Biasing**, IEEE Transactions on Circuits and System-II: analog and digital processing, vol. 48, no. 10, October 2001, pp. 937-943.

- [44] A. Nedungadi, and T. R. Viswanathan, **Design of Linear CMOS Transconductance Elements**, IEEE Transactions on Circuits and Systems, vol. CAS-31, no. 10, October 1984, pp. 891-894.
- [45] T. S. Kim, S. K. Kim, J. S. Park, and B. S. Kim, **Post-Linearization of Differential CMOS Low-Noise Amplifier Using Cross-Coupled FETs**, Journal of Semiconductor Technology and Science, vol. 8, no. 4, December 2008, pp. 283-288.
- [46] C. H. Lin, M. Ismail, and T. Pimenta, **A 1.2 V Micropower CMOS Class-AB V-I Converter for VLSI Cells Library Design**, Circuits and Systems, Midwest-1998, pp. 364-367.
- [47] T. K. Nguyen, and S. G. Lee, **Low-Voltage, Low-Power CMOS Operation Transconductance Amplifier with Rail-to-Rail Differential Input Range**, ISCAS-2006, pp. 1639-1642.
- [48] M. G. Degrauwe, J. Rijmenants, E. A. Vittoz, and H. J. De Man, **Adaptive Biasing CMOS Amplifiers**, IEEE Journal of Solid-State Circuits, vol. SC-17, no. 3, June 1982, pp. 522-528.
- [49] S. Baswa, A. J Lopez-Martin, R. G. Carvajal, and J. Ramirez-Angulo, **Low-Voltage Power-Efficient Adaptive Biasing for CMOS Amplifiers and Buffers**, Electronics Letters, 19<sup>th</sup> February 2004, vol. 40, no. 4.
- [50] M. Ismail and T. Fiez, **Analog VLSI Signal and Information Processing**, 1994.
- [51] D. A. Johns, and K. Martin, **Analog integrated circuit design**, University of Toronto, 1997.
- [52] R. Jacob Baker, H. W. Li, D. E. Boyce, **CMOS circuit design, layout and simulation**, 1998.
- [53] U. Chilakapati, T. S. Fiez, and A. Eshraghi, **A CMOS transconductor with 80-dB SFDR up to 10 MHz**, IEEE Journal of Solid-State Circuits, vol. 37, no. 3, March 2002, pp. 365-370.
- [54] M. Jiménez-Fuentes, R. G. Carvajal, L. Acosta, C. Rubia-Marcos, A. López-Martín, and J. Ramirez-Angulo, **A Tunable Highly Linear CMOS Transconductor with 80 dB of SFDR**, Integration, the VLSI Journal, vol. 42, no. 3, 2009, pp. 277-285.
- [55] S. D. Willingham, K. W. Martin, and A. Ganesan, **A BiCMOS Low-Distortion 8-MHz Low-Pass Filter**, IEEE Journal of Solid-State Circuits, vol. 28, no. 12, December. 1993, pp. 1234-1245.
- [56] Z. Yuan Chang, D. Haspeslagh, and J. Verfaillie, **A highly linear CMOS G/sub m/C bandpass filter with on-chip frequency tuning**, IEEE Journal of Solid-State Circuits, vol. 32, no. 3, March 1997, pp. 388-397.
- [57] L. Acosta, M. Jimenez, R. G. Carvajal, A. J. Lopez-Martim, and J. Ramirez-Angulo, **Highly Linear Tunable CMOS Gm-C Low-pass filter**, IEEE Transactions on

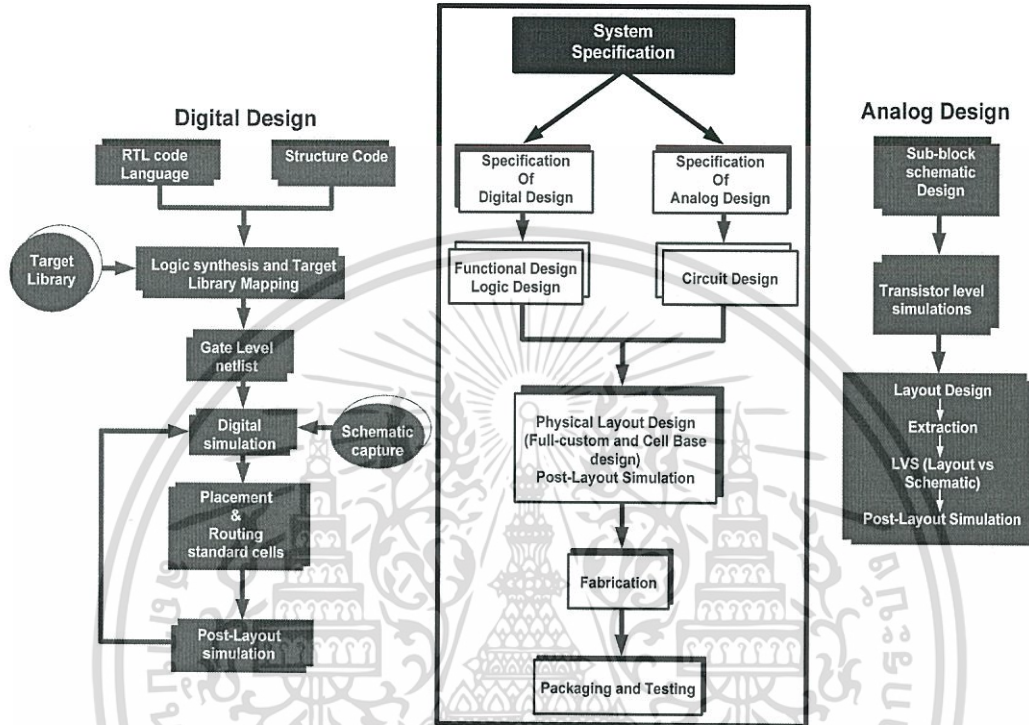
- Circuits and Systems-I: Regular Papers, vol. 56, no. 10, October 2009, pp. 2145–2158.
- [58] A. Yodtean, P. Israsena, A. Thanachayanont, **0.8- $\mu$ W CMOS Bulk-Driven Linear Operational Transconductance Amplifier in 0.35- $\mu$ m Technology**, 2010 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS-2010), Kuala Lumpur, Malaysia, pp. 784-787.
- [59] A. J. Lopez-Martin, J. Ramirez-Angulo, C. Durbha, and R. G. Carvajal, **A CMOS Transconductor with Multidecade Tuning Using Bbalanced Current Scaling in Moderate Inversion**, IEEE Journal of Solid-State Circuits, vol. 40, no. 5, May 2005, pp. 1078–1083.
- [60] A. J. Lopez-Martin, J. Ramirez-Angulo, R. G. Carvajal, and L. Acosta, **CMOS Transconductors With Continuous Tuning Using FG MOS Balanced Output Current Scaling**, IEEE Journal of Solid-State Circuits, vol. 43, no. 5, May 2008, pp. 1313–1323.
- [61] A. J. Lopez-Martin, J. Ramirez-Angulo, C. Durbha, and R. G. Carvajal, **Highly Linear Programmable Balanced Current Scaling Technique in Moderate Inversion**, IEEE Transactions on Circuits and Systems-I: Express Briefs, vol. 53, no. 4, April. 2006, pp. 283–285.
- [62] E. A. M. Klumperink and B. Nauta, **Systematic Comparison of HF CMOS Transconductors**, IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, vol. 50, no. 10, October 2003, pp. 728–741.
- [63] J. M. Carrillo, J. F. Duque-Carrillo, and G. Torelli, **1-V Continuously Tunable CMOS Bulk-Driven Transconductor for Gm-C Filters**, 2008 IEEE International Symposium on Circuits and Systems, pp. 896-899.
- [64] G. Raikos, S. Vlassis, **0.8 V bulk-driven Operational Amplifier**, Analog Integrated Circuits and Signal processing, 2010, pp. 425-432.
- [65] S.-W. Pan, C.-C. Chuang, C.-H. Yang, Y.-S. Lai, **A Novel OTA with Dual Bulk-Driven Input Stage**, ISCAS-2009, pp. 2721-2724.
- [66] S. Chatterjee, Y. Tsvividis, and P. Kinget, **0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design**, IEEE Journal of Solid-State Circuits, vol. 40, no. 12, December 2005, pp. 2373–2387.
- [67] J. Ramirez-Angulo, A. J. Lopez-Martin, R. G. Carvajal, and F. M. Chavero, **Very Low-Voltage Analog Signal Processing Based on Quasi-Floating Gate Transistors**, IEEE Journal of Solid-State Circuits, vol. 39, no. 3, March 2004, pp. 434–442.
- [68] J. F. Duque-Carrillo, **Control of The Common-mode Component in CMOS Continuous-time Fully Differential Signal Processing**, Analog Integrated Circuits and Signal Processing, vol. 4, no. 2, 1993, pp. 131-140.

- [69] J. M. Carrillo, G. Torelli, and J. F. Duque-Carrillo, **Transconductance Enhancement in Bulk Driven Input Stages and Its Applications**, *Analog Integrated Circuits and Signal Processing*, vol. 68, no. 2, Feb. 2011, pp. 207–217.
- [70] T.-Y. Lo and C.-C. Hung, **1-V Linear CMOS Transconductor with -65 dB THD in Nano-Scale CMOS Technology**, *IEEE International Symposium on Circuits and Systems, ISCAS 2007*, pp. 3792–3795.
- [71] E. D. Calderaro Cotrim and L. H. de C. Ferreira, **An Ultra-Low-Power CMOS Symmetrical OTA for Low-Frequency Gm-C Applications**, *Analog Integrated Circuits and Signal Processing*, vol. 71, no. 2, 2012, pp. 275–282.
- [72] M. Trakimas and S. Sonkusale, **A 0.5 V Bulk-Input OTA with Improved Common-Mode Feedback for Low-Frequency Filtering Applications**, *Analog Integrated Circuits and Signal Processing*, vol. 59, no. 1, 2009, pp. 83–89.
- [73] P. Corbishley, and E. Rodriguez-Villegas, **A nanopower bandpass filter for detection of an acoustic signal in a wearable breathing detector**, *IEEE Transactions on Biomedical Circuits and Systems*, vol. 1, no. 3, September 2007, pp. 163-171.
- [74] I. Akita, K. Wada, and Y. Tadokoro, **A 0.6-V Dynamic Biasing Filter With 89-dB Dynamic Range in 0.18- $\mu\text{m}$  CMOS**, *IEEE Journal of Solid-State Circuits*, vol. 44, no. 10, October 2009, pp. 2790–2799.
- [75] G. Raikos, S. Vlassis, and C. Psychalinos, **0.5 V bulk-driven analog building blocks**, *AEU - International Journal of Electronics and Communications*, vol. 66, no. 11, 2012, pp. 920–927.

## ภาคผนวก ก.

### ขั้นตอนการออกแบบวงจรรวมและเทคโนโลยีที่นำมาใช้งาน

#### ก.1 การออกแบบวงจรรวม



รูปที่ ก.1 ขั้นตอนการออกแบบวงจรรวม (IC design flow)

การผลิตวงจรรวมเฉพาะกิจ (ASIC : Application Specification Integrated Circuit) แบ่งเป็น 2 ขั้นตอนคือ การออกแบบและการเจือสาร ปัจจุบันการออกแบบใช้คอมพิวเตอร์เข้ามาช่วยทำให้มีความสะดวกรวดเร็ว ตลอดจนการพัฒนาซอฟต์แวร์ช่วยออกแบบในระดับกายวงจรรวมบนเครื่อง PC ส่งผลให้การออกแบบจรรวมทำได้อย่างง่ายดายและมีค่าใช้จ่ายลดลง ในการออกแบบวงจรรวมต้องผ่านขั้นตอนต่างๆ โดยเริ่มต้นจากการกำหนดการทำงานของระบบใหญ่ของวงจรรวม (System Specification) ซึ่งประกอบไปด้วยส่วนย่อยๆ ของระบบในแต่ละส่วนย่อยจะถูกกำหนดคุณสมบัติเป็นฟังก์ชัน (Functional Design) จากนั้นนำมาทำการออกแบบ วงจรตรรก (Logic Design), การออกแบบวงจร (Circuit Design), การออกแบบทางกายภาพ (Physical IC Layout Design) ไปสู่ขบวนการเจือสาร (Fabrication) ตามลำดับ เมื่อไอซีหรือชิปได้ถูกนำกลับมาแล้วก็จะทำการทดสอบการทำงานของชิปว่าตรงกับที่ได้ออกแบบหรือไม่ (Packaging and Testing)

รูปที่ ก.1 แสดงขั้นตอนการออกแบบวงจรรวม โดยไดอะแกรมทางด้านซ้ายของรูป แสดงลำดับขั้นตอนการออกแบบวงจรทางด้านดิจิทัล ในขณะที่ทางด้านขวาของรูปแสดงลำดับขั้นตอนการออกแบบวงจรทางด้านแอนะล็อก ผู้สนใจสามารถศึกษาขั้นตอนออกแบบได้อย่างละเอียดจากอุปกรณ์เครื่องมือที่ใช้งานนั่นเอง ตัวอย่างเช่น Tanner Tools หรือ Cadence Tools หรือซอฟต์แวร์ตัวอื่นๆ เป็นต้น


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ก.2 เทคโนโลยีการออกแบบวงจรรวม

เมื่อทำงานมาถึงขั้นตอนที่ต้องออกแบบเลเอาท์ก็จะพิจารณา Design Rule Checking (DRC) เพิ่มเติมต่อไป ซึ่งเอกสารเหล่านี้จะได้รับจากทางผู้ผลิตเทคโนโลยี โดยปกติจะไม่มีเปิดเผยข้อมูลนี้ ในงานวิจัยนี้ใช้ 2 เทคโนโลยีสำหรับงานการออกแบบวงจรรวม เพื่อศึกษาถึงความแตกต่าง และเรียนรู้ทำความเข้าใจกับเทคโนโลยีต่างๆ

- AMS 0.35- $\mu\text{m}$  Technology
- เทคโนโลยี UMC 0.18- $\mu\text{m}$  Technology

การวิเคราะห์เทคโนโลยีก่อนตัดสินใจออกแบบวงจรรวมเพื่อส่งเอกสาร พิจารณาจากแหล่งข้อมูล และสามารถ Download ข้อมูลได้ที่ [www.europractice-ic.com](http://www.europractice-ic.com)



### 2012 General Europractice MPW runs Schedule and Prices

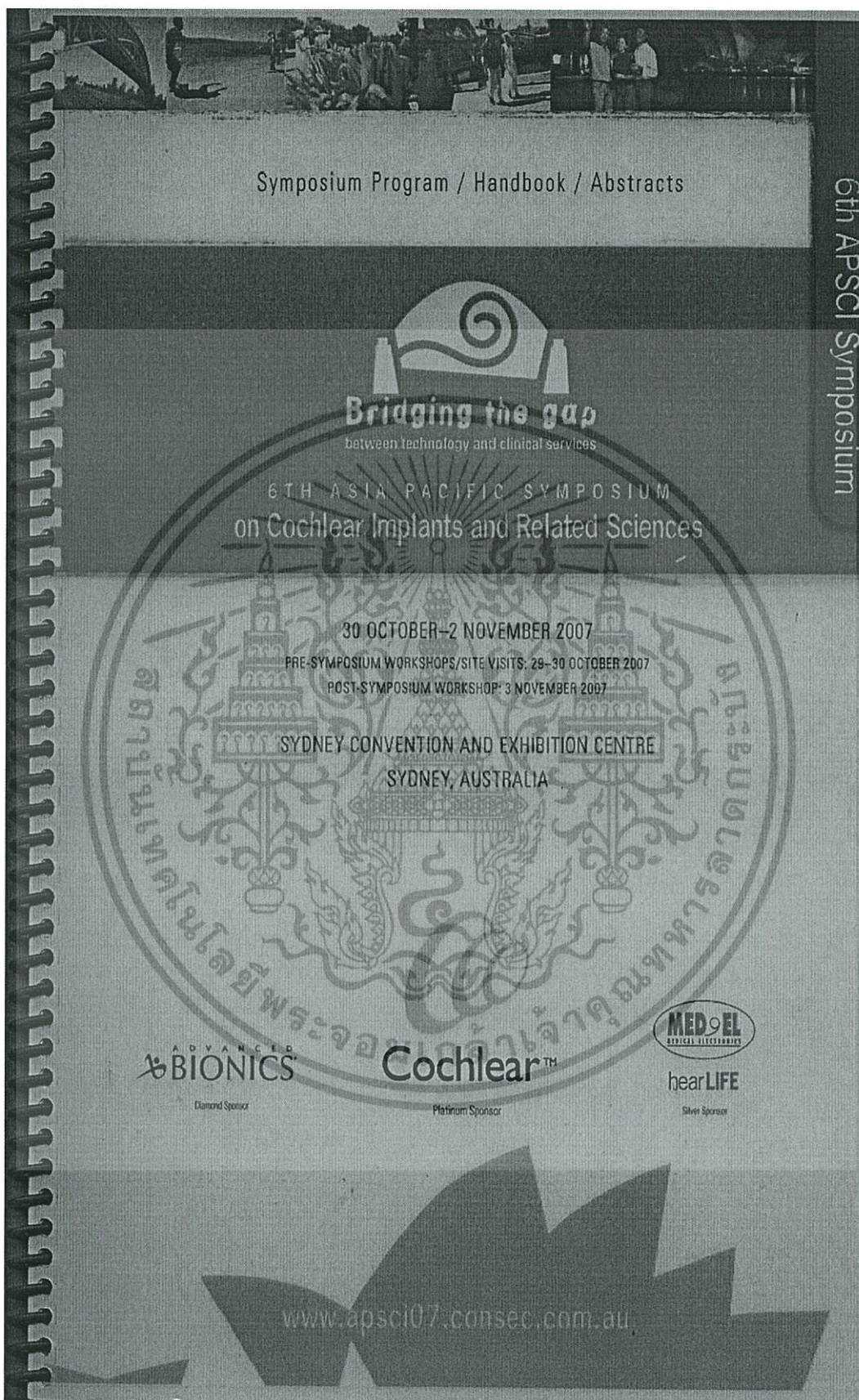
Accessible for universities, research institutes and companies  
Version 121001 - v7  
[www.europractice-ic.com](http://www.europractice-ic.com)

	J	F	M	A	M	J	J	A	S	O	N	D
<b>ON Semiconductor (formerly AMIS)</b>												
AMIS 0.7 $\mu$ C07M-D 2M/1P & AMIS 0.7 $\mu$ C07M-A 2M/1P/Pdffc/HR	30			2		11		27			5	
AMIS 0.5 $\mu$ C05M-D 3M/1P & AMIS 0.5 $\mu$ C05M-A 3M/2P/HR			12		21					1		21
AMIS 0.5 $\mu$ CMOS EEPROM CSF & CSN	4				7		9		10			
AMIS 0.35 $\mu$ C035M-D 5M/1P & AMIS 0.35 $\mu$ C035M-A 5M/2P/HR					21					1		
AMIS 0.35 $\mu$ C035U 4M (3M & 5M optional) only thick top metal		13		10		18		17				3
AMIS 0.7 $\mu$ C07M-I2T100 100 V - 2M & 3M options	30			2		11		27			5	
AMIS 0.7 $\mu$ C07M-I2T30 & I2T30E 30 V - 2M & 3M options	30			2		11		27			5	
AMIS 0.35 $\mu$ C035 - I3T80U 80 V 4M - 3M optional (3M on special request)	9			2		2				8		
AMIS 0.35 $\mu$ C035 - I3T90 90 V 4M - 3M optional (3M on special request)		20			14			13			19	
AMIS 0.35 $\mu$ C035 - I3T25 3.3/25 V 4M (3M & 5M optional) only thick top metal		13		10		18		17				3
<b>austriamicrosystems</b>												
austriamicrosystems 0.35 $\mu$ CMOS C35B3C3 3M/2P/HR/5V IO		6	21		21		16	27		29		3
austriamicrosystems 0.35 $\mu$ CMOS C35B4G3 4M/2P/HR/5V IO		6	21		21		16	27		29		3
austriamicrosystems 0.35 $\mu$ CMOS C35OPTO 4M/2P/5V IO			21							29		
austriamicrosystems 0.35 $\mu$ HV CMOS H35 50V 3M & 4M		13		24				13			5	
austriamicrosystems 0.35 $\mu$ SiGe-BiCMOS S35 4M/4P		27				4		3			19	
austriamicrosystems 0.18 $\mu$ CMOS C18 6M or 4M/1P/MIM/1.8V/5V				10				6		1	26	
austriamicrosystems 0.18 $\mu$ HV CMOS H18 6M or 4M/5OV/20V/5V/1.8V/MIM				3			30			1	26	
<b>IHP</b>												
IHP SGB25V 0.25 $\mu$ SiGe:C Ft=75GHz@BVCEO 2.4V	2				23			27		29		
IHP SGB25VGD 0.25 $\mu$ SiGe:C Ft=75GHz@BVCEO 2.4V + RF HT-LDMOS GOD-Module 22V				23				27		29		
IHP SG25H1 0.25 $\mu$ SiGe:C Ft/Fmax=190GHz/220GHz 5M/MIM	2			23				27		29		
IHP SG25H3P 0.25 $\mu$ Complementary SiGe:C Ft/Fmax (npn)110/180GHz / (pnp)90/120GHz 5M/MIM	2			23				27		29		
IHP SG25H3 0.25 $\mu$ SiGe:C Ft/Fmax= 110/180GHz 5M/MIM	2			23				27		29		
IHP SG13S SiGe:C Bipolar/Analog/CMOS Ft/Fmax= 250/300GHz 7M/MIM				10			23					3
IHP SG13C SiGe:C CMOS 7M/MIM				10			23					3
IHP SG13G2 SiGe:C Bipolar/Analog Ft/Fmax= 300/500GHz 7M/MIM							23					3
BEOL SG25 (M1 and Metal Layers Above)			5									
BEOL SG13 (M1 and Metal Layers Above)											5	
Bumping available for all IHP technologies with extra charge, limited to 200 bumps												
<b>LFoundry</b>												
Lfoundry LF150 0.15 $\mu$ CMOS MS Standard & Low Leakage 1P6M 1.8V/3.3V/5V				2			9		28		26	
Lfoundry LF150 0.15 $\mu$ CMOS RF Standard & Low Leakage 1P6M + Thick Metal 1.8V/3.3V MIM							9		28		26	

เอกสารนี้เป็นรูปที่ ก.2 ตัวอย่างกำหนดการจราจรชิปของข้อมูลเทคโนโลยีต่างๆ จาก europractice-ic ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ภาคผนวก ข.**  
**ผลงานวิจัยที่ได้รับการตีพิมพ์**

1. A. Yodtean, P. Israsena, A. Thanachayanont, “On Low-Power Microphone Preamplifier for Cochlear Implant Systems”, 6<sup>th</sup> ASIA PACIFIC Symposium on Cochlear Implants and Related Sciences, Sydney, Australia, pp. 149-150, 2007.
2. A. Yodtean, A. Thanachayanont, “A Micropower CMOS Preamplifier for Cochlear Implant System”, The 23<sup>rd</sup> International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2008), Kaikyo Messe Shimonoseki City, Japan, pp. 997-1000, 2008.
3. A. Yodtean, P. Israsena, A. Thanachayanont, “0.8- $\mu$ W CMOS Bulk-Driven Linear Operational Transconductance Amplifier in 0.35- $\mu$ m Technology”, 2010 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS-2010), Kuala Lumpur, Malaysia, pp. 784-787, 2010.
4. A. Yodtean, A. Thanachayanont, “Sub 1-V Highly-Linear Low-power Class-AB Bulk-driven Tunable CMOS Transconductor”, Analog Integrated Circuits and Signal Processing (AICS), Volume 75, Issue 3, pp. 383-397, 2013.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Abstract Index

**P13-21 ON LOW-POWER MICROPHONE PREAMPLIFIER FOR COCHLEAR IMPLANT SYSTEMS**

A Yodtean<sup>1</sup>, P Israsena<sup>2\*</sup>, A Thanachayanont<sup>1</sup>

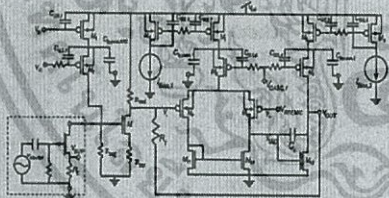
<sup>1</sup> King Mongkut's Institute of Technology, Thailand

<sup>2</sup> National Electronics and Computer Technology Center (NECTEC), Thailand

**Abstract**

**Background:** The microphones used in cochlear implants systems need to be supported by pre-amplifiers specially designed for low-power, wide dynamic range and good power-supply rejection ratio (PSRR) [1-5]. When designing an integrated circuit, the ways to reduce its power consumption or improve its speed are either by designing new structures or re-implementing existing design using a more advanced, deeper submicron CMOS technology. A positive result obtained from the latter method is not always guaranteed, as it requires complete re-calculations of the design parameters. This work discusses the design and evaluation of a low-power current-mode microphone implemented using 0.35 CMOS technology. The structure of the design is based on the on the work in [1], with all parameters recalculated and re-optimized for the process used. The result shows a better gain and a slight decrease in power consumption. Future work to improve the performance further is also discussed. **Methods:** The pre-amplifier circuit is as shown in Figure 1. Essentially the circuit is a current mode device that is designed for a JFET-buffered microphone. The circuit consists of a sense-amplifier employing split-frequency feedback and a power-supply decoupling mechanism. The structure is built using industrial standard Cadence Design Suite and SPICE simulated for optimizing design parameters such as transistor's sizing.

Figure 1. Microphone pre-amplifier circuit



**Results:** Examples of simulated results are shown in Figure 2 to Figure 4. Its performance is summarized and compared to the ones obtained in [1] as in Table 1. It can be seen that the new circuit give a better gain while consumes slightly less power. The improvement however, is not as such as one might expect given a deeper submicron implementation with lower supply voltage. It is noted also that the results obtained is from circuit-level simulation as opposed to physical chip measurements in [1]. The next stage is therefore to incorporate new design features to improve the design performance, which is our current work.

Figure 2. Close-loop gain-frequency response

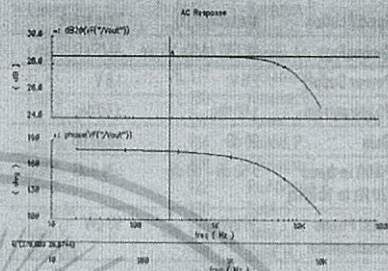


Figure 3. PSRR results (from 20 Hz to 10 kHz)

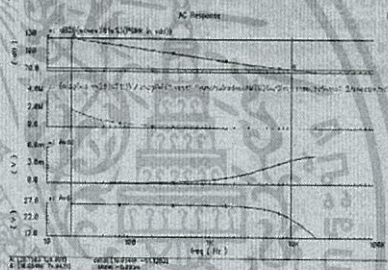
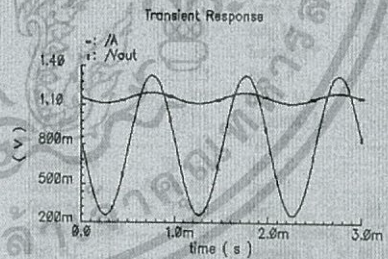


Figure 4. Example transient response

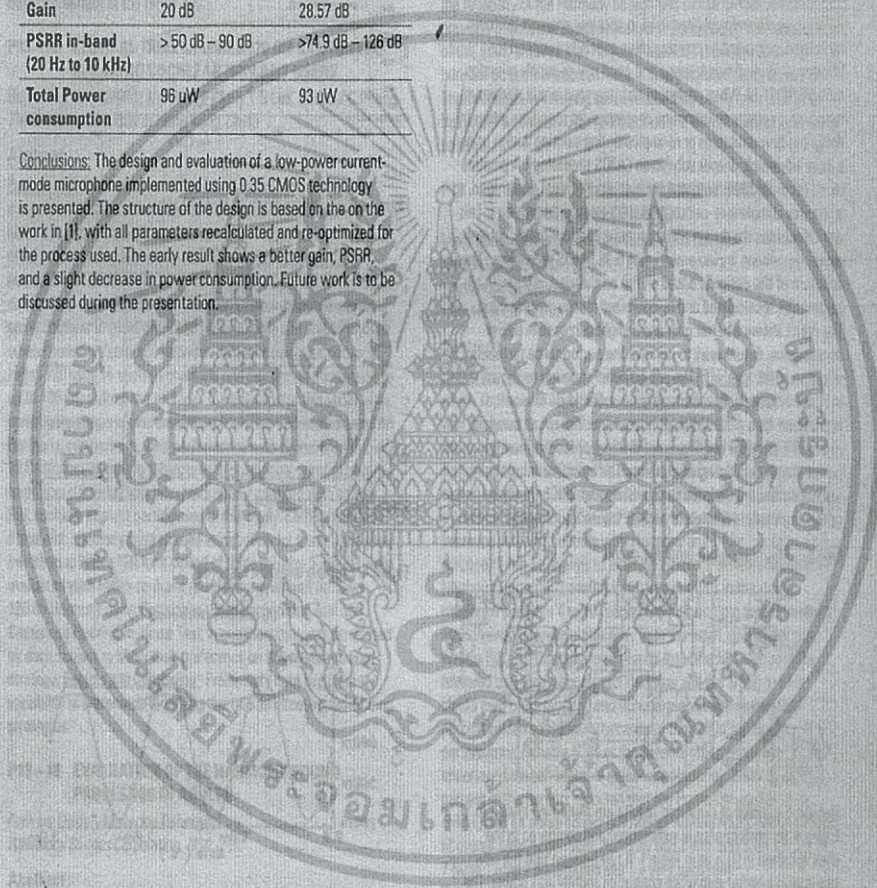


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1: Comparisons between the amplifier designed and that in [1]

Specification	Measured [1]	This work
Technology	MOSIS AMI's 1.5 $\mu\text{m}$	AMS's 0.35 $\mu\text{m}$
Power Supply	2.8 V	1.8 V
Phase margin	> 60 deg	> 60 deg
Gain	20 dB	28.57 dB
PSRR in-band (20 Hz to 10 kHz)	> 50 dB - 90 dB	>74.9 dB - 126 dB
Total Power consumption	96 $\mu\text{W}$	93 $\mu\text{W}$

**Conclusions:** The design and evaluation of a low-power current-mode microphone implemented using 0.35 CMOS technology is presented. The structure of the design is based on the on the work in [1], with all parameters recalculated and re-optimized for the process used. The early result shows a better gain, PSRR, and a slight decrease in power consumption. Future work is to be discussed during the presentation.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ITC-CSCC2008

The 23rd International Technical Conference on  
Circuits/Systems, Computers and Communications

## Conference Abstracts

**Kaikyou Messe  
Shimonoseki,  
Yamaguchi, Japan  
July 6-9, 2008**



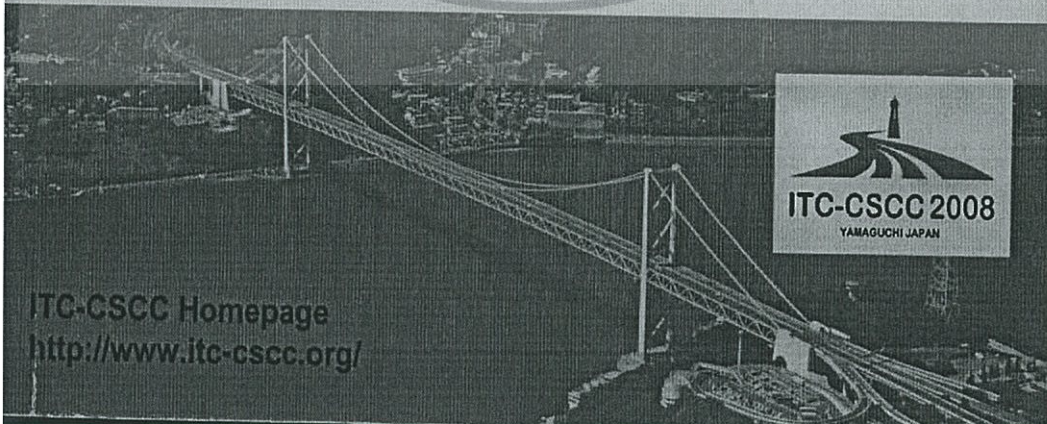
Kaikyo Messe Shimonoseki

Sponsored by

- \* The Institute of Electronics, Information and Communication Engineers (IEICE), the Engineering Sciences Society
- \* The Institute of Electronics Engineers of Korea (IEEK)
- \* The Electrical Engineering/Electronics, Computer, Telecommunications and Information Association, Thailand

Cosponsored by

- \* Yamaguchi University, Japan



ITC-CSCC Homepage  
<http://www.itc-csc.org/>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## A Micropower CMOS Preamplifier for Cochlear Implant System

Apiradee Yodtean and Apinunt Thanachayanont

Faculty of Engineering & Research Center of Communications and Information Technology

King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand.

E-mail: s8060005@kmitl.ac.th, ktapinun@kmitl.ac.th.

**Abstract:** This paper proposes a CMOS low-power low-voltage microphone preamplifier for a cochlear implant system. The proposed preamplifier using the Flipped Voltage Follower Current Sensing (FVFC) technique to achieve low voltage, low power consumption. The proposed circuit was designed and simulated using a  $0.35\ \mu\text{m}$  CMOS process. Simulation results showed that the preamplifier can achieve 22-dB voltage gain while dissipating only  $5.2\ \mu\text{W}$  from 1.4-V power supply voltage.

**Keywords:** Cochlear Implant System, Transimpedance Amplifier, Microphone Preamplifier, Low-power CMOS.

### 1. Introduction

Cochlear Implant (CI) can restore partial hearing to deaf people by stimulating the auditory nerve in response to sound in a manner similar to that of the real human ear [1] - [3]. Fig.1 shows an example of a cochlear implant system. A microphone picks up sound and converts it to an electrical signal, which is processed by a speech signal processor. The processor normally consists of preamplifier, automatic gain control (AGC), bandpass filters, envelope detectors and analog-to-digital converters (ADC). The outputs of ADCs are scanned and sent to the electrodes for nerve stimulation.

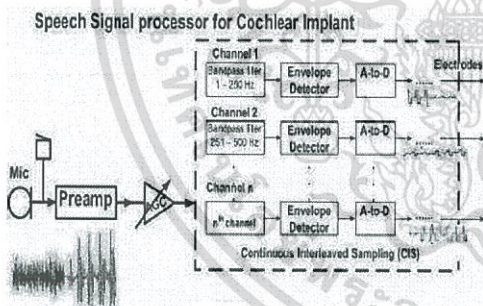


Fig.1. Block diagram of a Cochlear Implant System.

A low-power, wide dynamic range microphone preamplifier with good wide-band rejection of power supply noise is required for CI systems. Traditionally, the buffered voltage output of an electret capacitor with a built-in JFET source follower is used as the input of the preamplifier. Recently, a low-power high-PSRR current-mode preamplifier has been proposed [4], by sensing the JFET microphone buffer current output rather than its voltage

output. The circuit in [4] operated with 2.8-V power supply voltage and dissipated  $36\ \mu\text{W}$ . This paper aims to propose a simple low-voltage micropower preamplifier based on the same current-sensing strategy as in [4]. The proposed circuit has been designed and simulated by using Cadence Spectre with process parameters a  $0.35\text{-}\mu\text{m}$  CMOS technology.

The organization of this paper is as follows. In section 2, we discuss in transimpedance amplifier design base on the FVFC technique, we shall present possible low voltage transimpedance amplifiers that uses a current mode amplifier. In section 3, we present simulation results. Finally, conclusions are made in section 4.

### 2. Circuit Description

Fig. 2 shows a simplified diagram of the current-sensing topology proposed in [4]. The supply current of a self-biased JFET microphone, rather than its buffered output voltage, is sensed and used as the input of the preamplifier. The sensed current converted to an output voltage by a transimpedance amplifier, with a gain determined by the feedback resistor  $R_f$ . The key advantage of this topology is the voltage regulation of the drain node of JFET which leads to better power supply noise rejection.

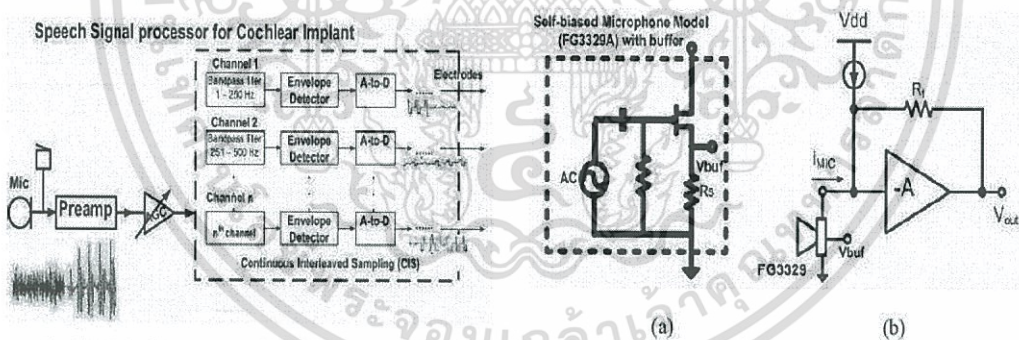


Fig.2 (a) Self-biased Microphone Model with FET buffer.  
(b) Block diagram of Microphone Preamplifier.

#### 2.1 Transimpedance Amplifier

The transimpedance amplifier is implemented as shown in Fig. 3 [5]. Transimpedance amplifier is realized with a current amplifier with a feedback resistor  $R_f$ . The current amplifier is simply realized by using a scaled cascode current mirror, with a mirror ratio of  $\alpha$ . The input current

flows into  $M_2$  and is copied to  $M_3$  and the output, with a current gain of  $\alpha$ .

With the feedback resistor  $R_f$  the DC transimpedance gain is approximately given by (1), assuming that  $R_f \gg 1/g_{m3}$ .

$$R_m = \frac{v_{out}}{i_{in}} = \frac{\left(\frac{1}{g_{m3}} - R_f\right)}{\left(1 + \frac{1}{\alpha}\right)} \approx -\frac{R_f}{\left(1 + \frac{1}{\alpha}\right)} \quad (1)$$

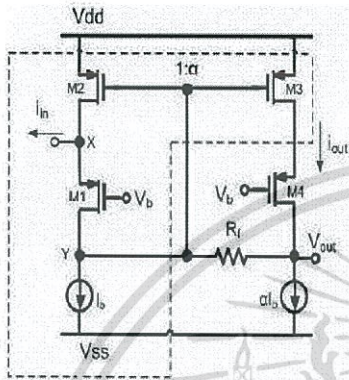


Fig.3 Transimpedance Amplifier.

In the dashed box of Fig.3 is FVFCs technique, base on FVF [6]. The FVF can provide a current sensing cell. The impedance at node X is very low, thus the voltage at the input is nearly constant. Large current can be sourced at the input node. The large sourcing capability is due to the low impedance at the output node.

2.2 Proposed Preamplifier

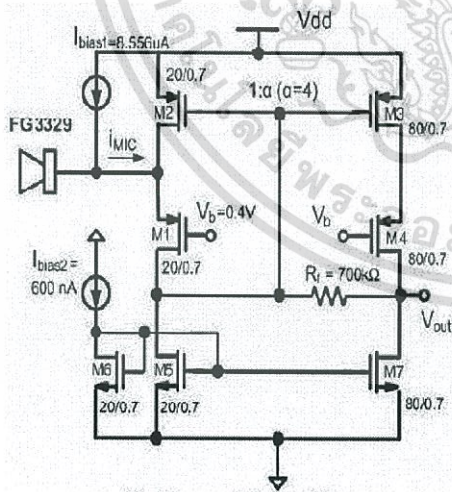


Fig.4 Proposed Preamplifier.

The proposed preamplifier, rather than the conventional two-stage operational amplifier as in [4], can be employed to reduce power supply voltage and power dissipation further. A simple transimpedance amplifier is realized with a current amplifier with a feedback resistor  $R_f$ , as shown in Fig. 4 [5].

2.3 Noise Analysis

Considering thermal noise sources only, the input-referred noise of the transimpedance amplifier cell can be calculated as given by (2), where,  $i_{ni}^2 \approx 4kTg_{m1}\Delta f$ ,  $v_{n,Rf}^2 \approx 4kTR_f\Delta f$ , and  $A_{vo}$  is the voltage gain. Assuming that  $g_{m2}R_f \gg 1$  and  $g_{m3} = g_{m2}$ , the input referred noise is estimated by (3). Thus the input-referred noise can be reduced by increasing  $g_{m1}$  and the voltage gain.

$$v_{ni}^2 = \frac{1}{g_{m1}^2} (i_{n1}^2 + i_{n2}^2) + v_{n,Rf}^2 \left| \frac{1}{A_{vo}} \right|^2 + i_{n3}^2 \left| \frac{1 + g_{m1}(1 + g_{m2}R_f)}{g_{m1}(-1 + g_{m3}R_f)} \right|^2 \quad (2)$$

$$v_{ni}^2 \approx \frac{1}{g_{m1}^2} (i_{n1}^2 + i_{n2}^2) + i_{n3}^2 + v_{n,Rf}^2 \left| \frac{1}{A_{vo}} \right|^2 \quad (3)$$

3. Simulation Results

The proposed preamplifier has been designed and simulated with Cadence Spectre with process parameters from a 0.35- $\mu$ m CMOS technology. The circuit was designed to operate under a 1.4 V power supply voltage. The total power consumption is 17.1  $\mu$ W, which includes 11.9  $\mu$ W for the microphone built-in buffer and 5.2  $\mu$ W for proposed preamplifier. Transistors sizes and bias currents are shown in Fig. 4. Table 1 summarizes the simulated performance of the proposed circuit. Simulation results in Fig. 5 showed that the circuit could achieve an overall gain of 22 dB, 77-kHz gain-bandwidth product and 74° phase margin with 5-pF load capacitor. Fig. 6 shows the simulated input-referred noise spectral density over 10-kHz bandwidth. The total integrated input-referred noise is

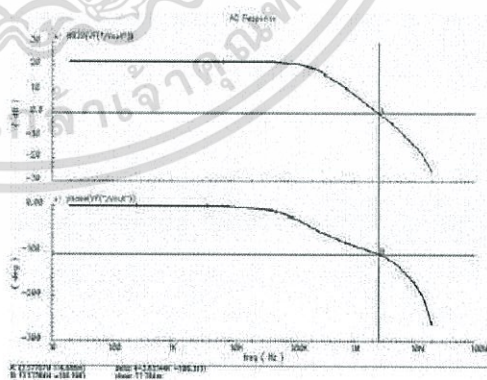


Fig.5. Simulated frequency response of the amplifier.

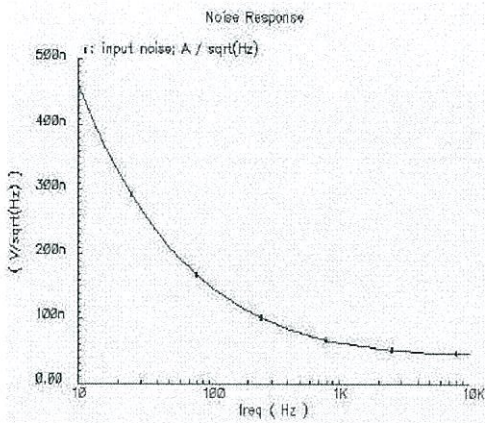


Fig.6. Noise spectral density.

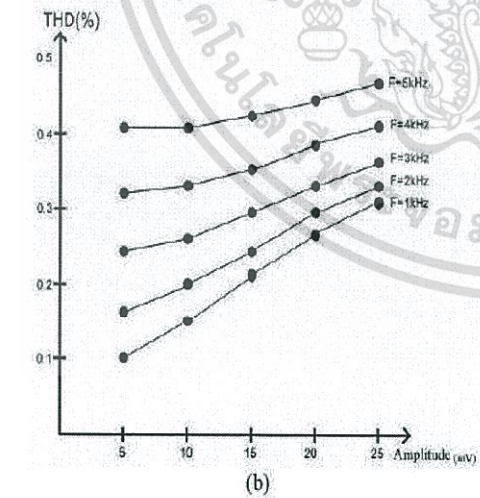
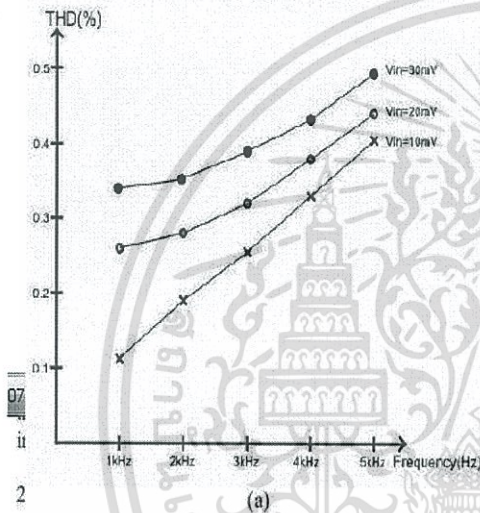


Fig.7. Total Harmonic Distortion: THD (%)

Fig. 7 shows the simulated total harmonic distortion (THD) of the amplifier at different input frequencies and amplitudes. It can be seen that the output THD can be kept below 0.5% throughout the expected operating range of input frequencies and amplitudes of the preamplifier.

Table I. Summary of the simulated performance of the proposed amplifier

Parameters	Ref. [4]	Ref. [7]	This work
CMOS Technology	1.5 $\mu\text{m}$	1.2 $\mu\text{m}$	0.35 $\mu\text{m}$
Power Supply	2.8 V	+/-1.5 V	1.4 V
Phase margin	>60 deg	-	74 deg
DC Gain (dB)	20 dB	20 dB	22 dB
Unity-gain frequency (Hz)	-	-	77 kHz
Power consumption	36 $\mu\text{W}$	24 $\mu\text{W}$	5.2 $\mu\text{W}$
Total input-referred noise (10-10kHz)	-	30 $\mu\text{V}$	5.7 $\mu\text{V}$

#### 4. Conclusion

This paper describes the design and realisation of a new CMOS microphone preamplifier a cochlear implant system. The proposed circuit employed shunt-feedback and current-sensing topology to achieve low-voltage and low-power operation. Simulation results showed that the preamplifier could achieve competitive performance with previously reported work, while operating with lower power dissipation and supply voltage. The authors believe that the proposed amplifier has a strong potential for biomedical applications.

#### Acknowledgements

Financial support from the Thailand Graduate Institute of Science and Technology (TG-44-22-49-091D) is gratefully acknowledged.

#### References

- [1] P. C. Loizou, "Introduction to Cochlear Implants", Department of Applied Science, University of Arkansas at Little Rock, IEEE Engineering In Medicine and Biology, January/February 1999, pp. 32-42.
- [2] R. Sarpeshkar, C. Salhouse, J. Sit, M. W. Baker, S. M. Zhak, T.K.-T. Lu, L. Turicchia and S. Balster, "An Ultra-Low-Power Programmable Analog Bionic Ear Processor", IEEE Trans. on biomedical engineering, Vol. 52, No. 4, Apr. 2005, pp. 711-727.
- [3] J. Georgiou and C. Toumazou, "A 126- $\mu\text{W}$  Cochlear Chip for a Totally Implantable System", IEEE J. Solid-State Circuits, vol. 40, No.2, Feb. 2005, pp. 430-443.
- [4] M. W. Baker and R. Sarpeshkar, "A Low-Power High-PSRR Current-Mode Microphone Preamplifier", IEEE J.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

solid-state circuits, Vol. 38, No. 10, Oct. 2003, pp.1671-1678.

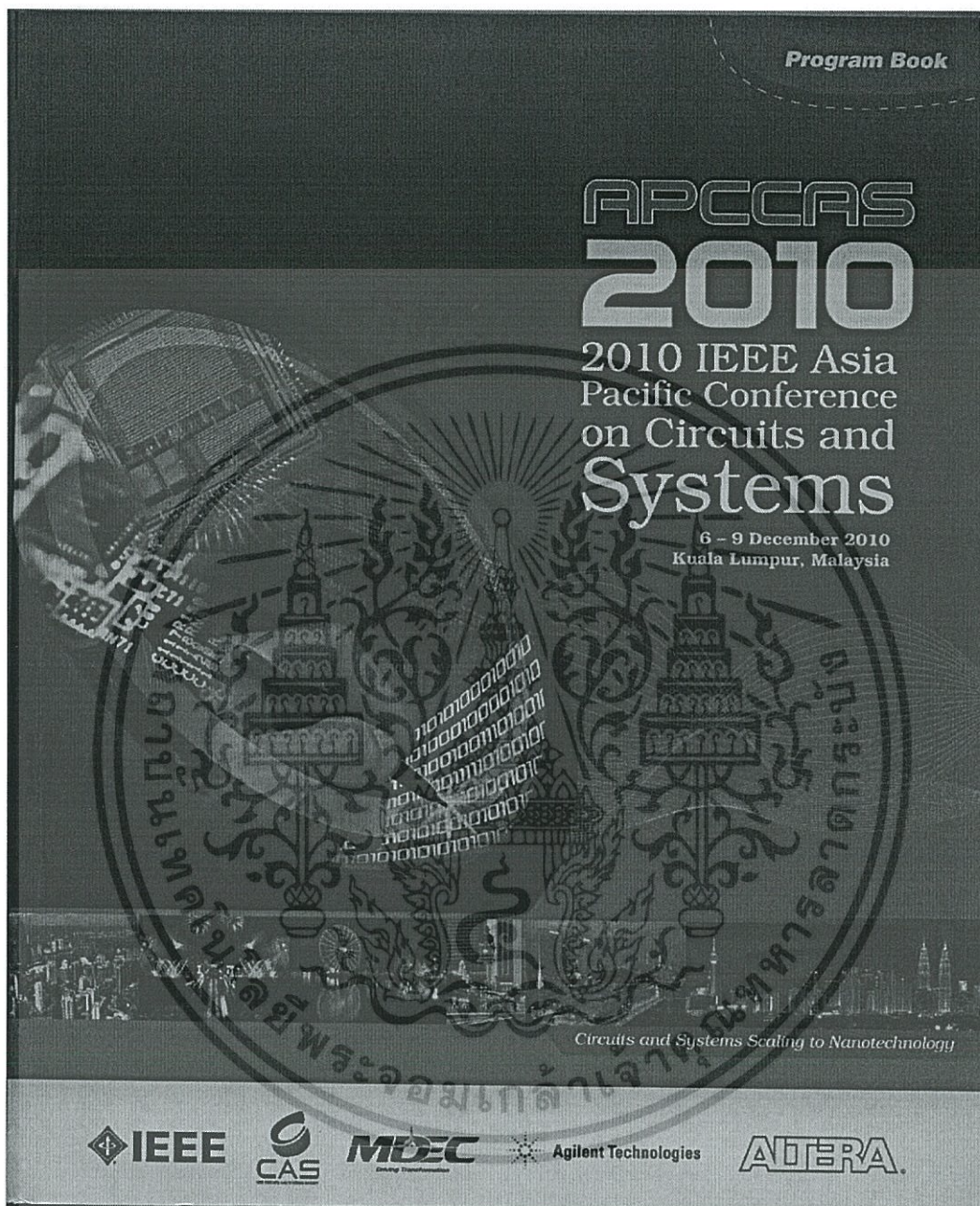
[5] A. Thanachayanont, "Low-Voltage compact CMOS variable gain amplifier", Int. J. Electron. Commun (AEU), vol. 62, no. 8, May 2008, pp. 413-420.

[6] J. Ramirez-Anglo, R. G. Carvajal, A. torralba, and C. Nieva, "The Flipped Voltage Follower: A useful cell for low-voltage low-power circuit design", ISCAS'02, vol. III, pp.615-618.

[7] J. Sila-Martinez and J. Sorge-Suner, "A CMOS preamplifier for electret microphones", in Proc.38th Midwest Symp. Circuits and Systems, vol. 2, 1996, pp. 1018-1021.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 0.8- $\mu$ W CMOS Bulk-Driven Linear Operational Transconductance Amplifier in 0.35- $\mu$ m Technology

Apiradee Yodtean<sup>#1,\*</sup>, Pasin Isarasena<sup>#</sup> and Apinunt Thanachayanont<sup>#2</sup>

<sup>#</sup>National Electronics and Computer Technology Center, National Science and Technology Development Agency, Thailand

<sup>1</sup>apiradee.yodtean@nectec.or.th

<sup>\*</sup>Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang Bangkok 10520, Thailand

<sup>2</sup>ktapinun@kmitl.ac.th

**Abstract**—This paper proposes a low-voltage linear operational transconductance amplifier (OTA) in a 0.35- $\mu$ m CMOS process. The proposed OTA employs a bulk-driven differential input stage with resistive source degeneration and the flipped-voltage follower topology to achieve high linearity under low power supply voltage. The proposed OTA dissipates 0.8  $\mu$ W from a single 0.8-V power supply voltage. Simulation results with showed that a linear differential input voltage range of 470 mV was achieved with less than 1% total harmonic distortion.

**Keywords**—operational transconductance amplifier, bulk-driven, flipped voltage follower, source degeneration

## I. INTRODUCTION

Low-power linear operational transconductance amplifier (OTA) with small transconductance values is demanded for biomedical and neural network integrated circuits and systems [1]. To allow low-cost and full integration with digital circuits, OTA should be realized with modern CMOS technologies and thus it should be capable of operating under low power supply voltage as mandated by modern deep sub-micron CMOS technologies. Like other analog integrated circuits, realizing a low-power OTA with high linearity and wide signal swing under low power supply voltage is a real challenge.

Low power, low voltage OTA with small transconductance can be achieved by using subthreshold MOSFETs [2], bulk-driven [3], [4] and current-division techniques [5]. To improve the input linear range of OTA under low power supply voltage, several circuit techniques, such as source degeneration [5]-[7], adaptive biasing [6], triode MOSFETs [8], input level shifting [9], can be used. Among the abovementioned techniques, bulk-driven and subthreshold MOSFETs are probably the simplest and most effective solution for realisation of low-voltage and low-power OTA [9].

Bulk-driven differential pair has successfully been used as the input stage of transconductance amplifier to allow a wide input linear range under low power supply voltage operation. In contrast to the conventional gate-driven counterpart, the bulk-driven input stage allows the DC input common-mode

voltage to be in the middle of the supply voltage and a larger input voltage range at the cost of lower transconductance value and higher input-referred noise [9]. Linearity of bulk-driven input OTA has been improved by using resistive source degeneration [7], gate degeneration [2], bump linearization, and parallel connection of input differential pairs [10].

This paper proposes a new low-voltage low-power CMOS OTA with wide input linear range. The proposed OTA employs the bulk-driven flipped voltage follower [11] with resistive source degeneration as the input differential stage to achieve high linearity under low power supply voltage. This paper is organized as follows. Section II describes the circuit implementation of the proposed OTA. Simulation results and conclusion are given in sections III and IV, respectively.

## II. CIRCUIT IMPLEMENTATION OF THE PROPOSED OTA

Fig. 1(a) shows the basic source-degenerated OTA with bulk-driven differential input transistors. The differential input voltage is applied to the bulk terminals of  $M_1$  and  $M_2$ . This allows the input DC common-mode voltage to be set to the middle of the power supply voltage. The differential transconductance of the circuit can be written as in (1), where  $g_{m1}$  and  $g_{mb1}$  are the small-signal gate transconductance and body transconductance of  $M_1$ , respectively. For good linearity, (2) should be applied and the effective transconductance is reduced to (3), where  $g_{mb1} = \eta g_{m1}$  and  $\eta$  is about 0.1 to 0.3. Therefore the effective transconductance of the bulk-driven source-degenerated amplifier is  $\eta$  times smaller than its gate-driven counterpart.

$$G_{md} \approx \frac{g_{mb1}}{1 + (g_{m1} + g_{mb1})R_S} \quad (1)$$

$$R_S \gg \frac{1}{g_{m1} + g_{mb1}} \quad (2)$$

$$G_{md} \approx \frac{g_{mb1}}{g_{m1} + g_{mb1}} \cdot \frac{1}{R_S} = \frac{\eta}{\eta + 1} \cdot \frac{1}{R_S} \quad (3)$$

Fig 1(b) shows the source-degenerated OTA with bulk-driven flipped voltage follower input differential pair. Transistors  $M_3$  and  $M_4$  realize the flipped voltage follower structure which provides a negative feedback to lower the impedance at the source terminals of  $M_1$  and  $M_2$ . Neglecting the drain-to-source conductance ( $g_{ds}$ ) of  $M_5$  and  $M_6$ , the differential transconductance of the circuit in Fig. 1(b) is also approximately given by (3). However, there is no restricted condition for  $R_S$  as for the circuit in Fig. 1(a).

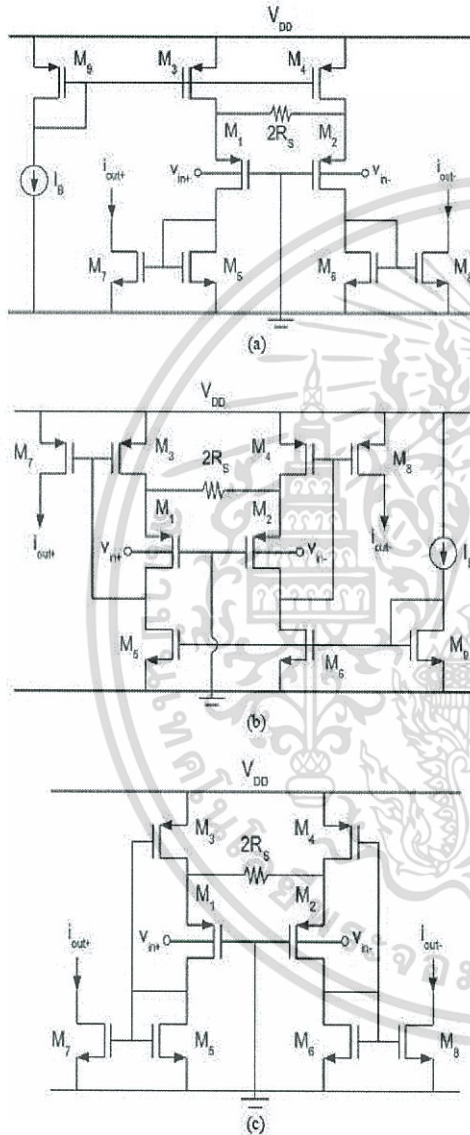


Fig. 1 (a) Basic source-degenerated bulk-driven OTA, (b) Source-degenerated OTA with bulk-driven flipped-voltage follower input stage, (c) the proposed OTA.

Fig. 1(c) shows the simplified circuit diagram of the proposed OTA. The circuit is similar to that of Fig. 1(b) except that, instead of providing a DC current source, the transistors  $M_5$  and  $M_6$  are connected in the diode-connected configuration to provide an active resistive load of  $1/g_{m5,6}$ . Therefore the DC quiescent current of the circuit is determined by the aspect ratios of  $M_3$  ( $M_4$ ) and  $M_5$  ( $M_6$ ). In this work, all transistors were biased in the subthreshold region. The small-signal differential transconductance of the circuit in Fig. 1(c) can be derived as shown in (4). Assuming that (5) is applied, the transconductance can be simplified as given by (6).

$$G_{md} \approx \frac{g_{mb1}}{1 + (g_{m1} + g_{mb1})R_S(1 + g_{m3}/g_{m5})} \tag{4}$$

$$R_S \gg \frac{1}{(g_{m1} + g_{mb1})(1 + g_{m3}/g_{m5})} \tag{5}$$

$$G_{md} \approx \frac{g_{mb1}}{(g_{m1} + g_{mb1})R_S(1 + g_{m3}/g_{m5})} = \frac{\eta}{\eta + 1} \cdot \frac{1}{R_S(1 + g_{m3}/g_{m5})} \tag{6}$$

III. SIMULATION RESULTS

The circuits in Fig. 1(a)-(c) have been designed and simulated using Cadence Spectre with process parameters from a standard 0.35- $\mu\text{m}$  CMOS technology. The nominal threshold voltages of NMOS and PMOS transistors are approximately +0.6V and -0.7V, respectively. For a fair comparison, all circuits have been designed to have identical sizes of transistors and operate with a 0.8-V power supply voltage. All transistors were biased to operate in the subthreshold region with identical quiescent bias current of 200 nA, yielding the total power supply current of 1- $\mu\text{A}$ . All transistors have equal width and length of 940  $\mu\text{m}$  and 1  $\mu\text{m}$ , respectively. Unless stated otherwise, the circuits were simulated with  $R_S = 200 \text{ K}\Omega$ . The DC common-mode input voltage of the circuits was set to the middle of the power supply voltage. The bulk-source junctions of the input transistors were weakly forward-biased with about 60 mV to reduce the threshold voltages slightly.

Fig. 2 shows the simulated differential output currents of the amplifiers in Fig. 1(a)-(c) when the differential input voltage was varied from -0.8 V to +0.8 V. Linearity errors of the output currents are plotted in Fig. 3. It can be seen that the proposed OTA in Fig. 1(c) exhibits the best linearity with the smallest maximum error of +/- 22.5 nA, while the circuits in Fig. 1(a) and Fig. 1(b) have the maximum current errors of +/- 118 nA and +/- 368 nA, respectively. (The linearity error of

the proposed OTA in Fig. 1(c) is less than  $\pm 0.24$  nA (i.e. about  $\pm 1\%$ ) for the differential input voltage of  $\pm 0.3$  V.

varied linearly from  $50\text{ K}\Omega$  to  $500\text{ K}\Omega$ . It can be seen that the transconductance could be tuned from  $0.1\ \mu\text{A/V}$  to  $0.9\ \mu\text{A/V}$  without noticeable changes in the input linear range.

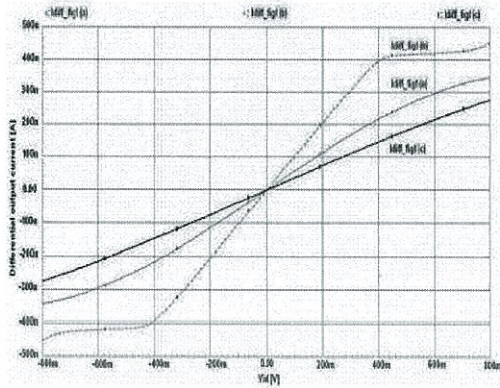


Fig. 2 Simulated differential Iout vs. Vid of the circuits in Fig. 1(a) (green dotted line), Fig. 1(b) (red dashed line), and Fig. 1(c) (blue solid line).

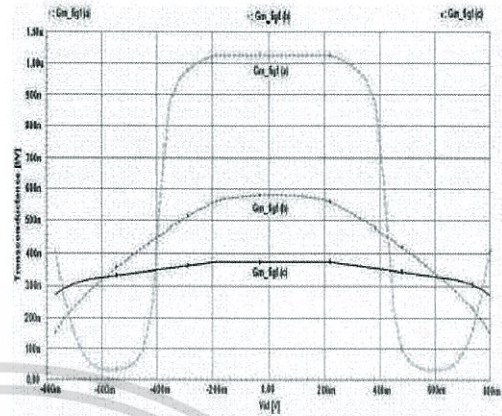


Fig. 4 Simulated transconductance of the circuits in Fig. 1(a) (green dotted line), Fig. 1(b) (red dashed line), and Fig. 1(c) (blue solid line).

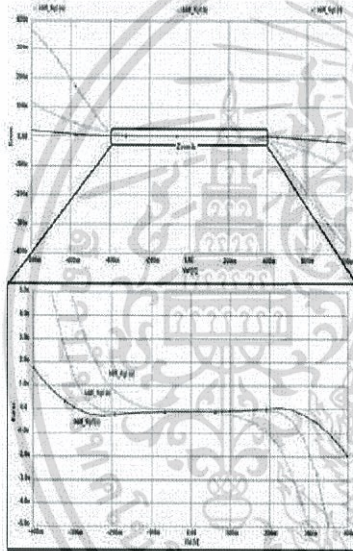


Fig. 3 Simulated linearity error of the differential output current of the circuits in Fig. 1(a) (green dotted line), Fig. 1(b) (red dashed line), and Fig. 1(c) (blue solid line).

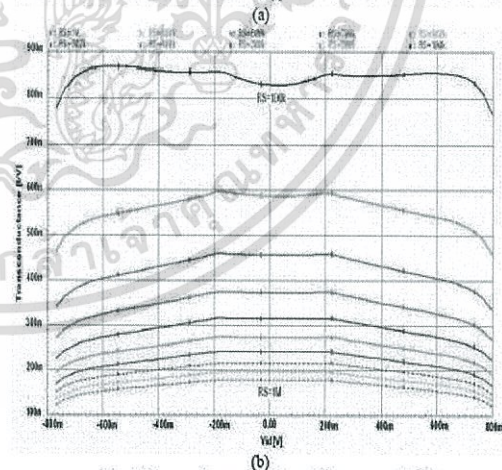
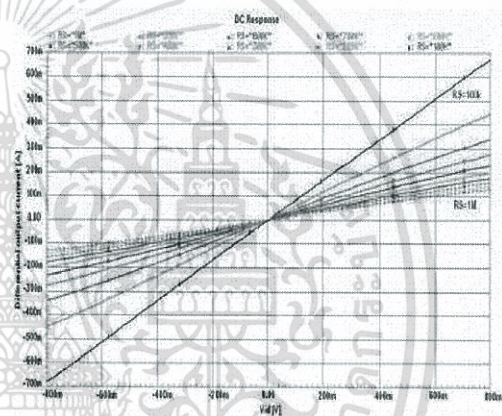


Fig. 5 Transconductance tuning of the proposed OTA.

Fig. 4 shows the simulated transconductance values of the three OTAs against the differential input voltage. The quiescent transconductance values of the circuits in Fig. 1(a)-(c) are  $0.578\ \mu\text{A/V}$ ,  $1\ \mu\text{A/V}$ , and  $0.373\ \mu\text{A/V}$ , respectively. It can be seen that the proposed OTA in achieves the smallest variation of transconductance value over a wide range of differential input amplitude. However, this is achieved at the cost of transconductance reduction. Fig. 5(a) and fig. 5(b), respectively, show the differential output currents and the transconductance values of the proposed OTA when  $R_s$  is

Fig. 6 plots the simulated output total harmonic distortion (THD) versus the amplitude of the differential input voltage at different input frequencies. For input frequencies up to 10 kHz, the maximum differential input amplitude of 470 mV can be applied while keeping the output THD below 1%. Fig. 7 show a small-signal noise analysis with 10-kHz bandwidth showed the total integrated input-referred noise voltage of 148  $\mu$ V. Therefore the calculated input signal dynamic range is about 70 dB.

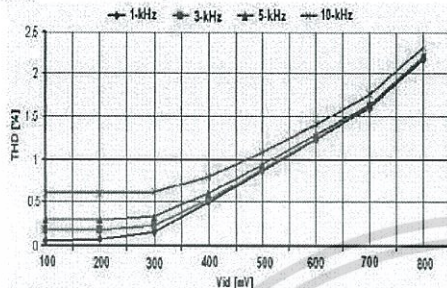


Fig. 6 Output total harmonic distortion vs. Differential input voltage at different signal frequencies

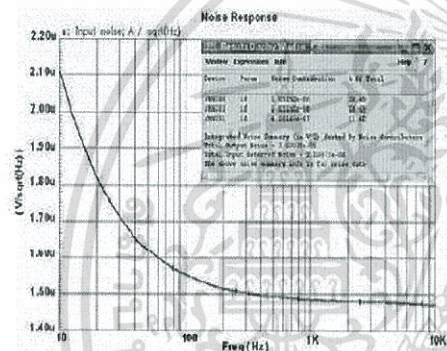


Fig. 7 Noise Response simulation

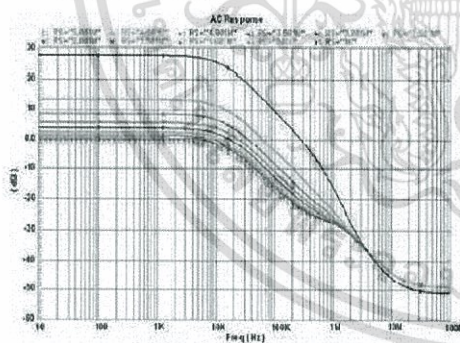


Fig. 8 Frequency Response simulation expressed in dB gain

The circuit of Fig. 1(c) was applied for VGA circuit with bandwidth less than 10-KHz frequency, when  $R_s$  was varied linearly from 1  $K\Omega$  to 5  $M\Omega$ . It can be seen that the circuit

could be tuned from 1.5 dB to 27 dB in Fig. 8. Using transistors were optimized sizes of M1 and M2 with 100/0.35  $\mu$ m, while M3 and M4 with 1000/0.35  $\mu$ m ratios for constant current source. M5, M6, M7 and M8 were design for current mirror with sizes 400/1 $\mu$ m. M9 and M10 were added for the single output signal with 400/1 $\mu$ m. The proposed VGA dissipates 0.951  $\mu$ W from a single 0.8-V power supply voltage.

#### IV. CONCLUSIONS

A low-power low-voltage CMOS linear OTA was proposed. The proposed OTA employs bulk-driven input stage with source-degeneration and flipped-voltage follower techniques to achieve wide linear range under low power supply voltage. The proposed is suitable for implementation of low-frequency integrated filters and variable gain amplifiers for biomedical and neural network applications.

#### ACKNOWLEDGMENT

Financial support from the Thailand Graduate Institute of Science and Technology (TG-44-22-49-091D) is gratefully acknowledged.

#### REFERENCES

- [1] A. Veeravalli, E. Sanchez-Sinencio, and J. Silva-Martinez, "Transconductance amplifier structures with very small transconductances: a comparative design approach," *IEEE Journal of Solid-State Circuits*, vol. 37, 2002, pp. 770-775.
- [2] R. Sarpeshkar, R.F. Lyon, and C. Mead, "A low-power wide-linear-range transconductance amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 13, 1997, pp. 123-151.
- [3] I. Grech, J. Micallef, G. Azzopardi, and C.J. Debono, "A low-voltage wide-input-range bulk-input CMOS OTA," *Analog Integrated Circuits and Signal Processing*, vol. 2005, pp.127-136.
- [4] S. Chatterjee, Y. Tsividis, and P. Kinget, "0.5-V analog circuit techniques and their application in OTA and filter design," *IEEE Journal of Solid-State Circuits*, vol. 40, 2005, pp. 2373-2387.
- [5] A. Arnaud and C. Galup-Montoro, "Pico-AV range CMOS transconductors using series-parallel current division," *Electronics Letters*, vol. 39, 2003, p. 18.
- [6] K. Kuo and A. Leucine, "A linear MOS transconductor using source degeneration and adaptive biasing," *IEEE Transactions on Circuits and Systems II*, vol. 48, 2001, pp. 937-943.
- [7] J.M. Carrillo, J.F. Duque-Carrillo, and G. Terelli, "1-V continuously tunable CMOS bulk-driven transconductor for Gm-C filters," *2008 IEEE International Symposium on Circuits and Systems*, 2008, pp. 896-899.
- [8] L. Zhang, "A Low-Voltage High Linear Body-Driven Operational Transconductance Amplifier and Its Applications," *2007 Canadian Conference on Electrical and Computer Engineering*, 2007, pp. 534-537.
- [9] C.J. Fayomi, M. Sawan, and G.W. Roberts, "Reliable Circuit Techniques for Low-Voltage Analog Design in Deep Submicron Standard CMOS: A Tutorial," *Analog Integrated Circuits and Signal Processing*, Vol. 39, No., vol. 1, pp. 21-38.
- [10] C. Popa and D. Coadă, "A new linearization technique for a CMOS differential amplifier using bulk-driven weak inversion MOS transistors," *2003 IEEE Int. Symp. in Circuits and Systems, (ISCAS 2003)*, 2003, pp. 589-592.
- [11] Y. Haga and I. Kale, "Bulk-driven flipped voltage follower," *2009 IEEE Int. Symp. in Circuits and Systems, (ISCAS 2009)*, 2009, pp. pp. 434-442.

You have been redirected to our new and improved site.

More Info I'm good, don't tell me again

Sign up / Log in English Academic edition

Springer Link

Search

Home Contact Us

Download PDF (1,481 KB) View Article

Analog Integrated Circuits and Signal Processing June 2013, Volume 75, Issue 3, pp 383-397

# Sub 1-V highly-linear low-power class-AB bulk-driven tunable CMOS transconductor

A. Yodtean, A. Thanachayanont

Download PDF (1,481 KB) View Article



## Abstract

This paper describes the design and realization of a sub 1-V low power class-AB bulk-driven tunable linear transconductor using a 0.18-μm CMOS technology. The proposed transconductor employs a class-AB bulk-driven differential input voltage follower and a passive resistor to achieve highly linear voltage-to-current conversion. Transconductance tuning is achieved by tuning the differential output current of the core transconductor with gain-adjustable current mirrors. With 10.4-μA current consumption from a 0.8-V single power supply voltage, simulation results show that the proposed transconductor achieves the total harmonic distortion (THD) of <math>\leq -40\text{ dB}</math> for a peak differential input voltage range of 800 mV at frequencies up to 10 kHz. The simulated input-referred noise voltage integrated over 10-kHz bandwidth is 100 μV, resulting to an input signal dynamic range of 75 dB for THD <math>\leq -40\text{ dB}</math>. A biquadratic G<sub>m</sub>-C filter is designed to demonstrate the performance of the proposed transconductor. At the nominal 10-kHz cut-off frequency, the filter dissipates 34.4 μW from a 0.8-V supply voltage and it achieves an input signal dynamic range of 67.4 dB for the third-order intermodulation distortion of <math>\leq -40\text{ dB}</math>.

## Share



## Within this Article

- Introduction
- Structure of the proposed transconductor
- Transconductor circuit design and implementation
- Simulation results
- Conclusion
- References
- References

## Other actions

- Export citations
- Register for Journal Updates
- About This Journal
- Reprints and Permissions

## Related Content

Supplementary Material (0)

References (30)

## About this Article

**Title**  
Sub 1-V highly-linear low-power class-AB bulk-driven tunable CMOS transconductor

**Journal**  
Analog Integrated Circuits and Signal Processing  
Volume 75, Issue 3, pp 383-397

**Cover Date**  
2013-06-01

**DOI**  
10.1007/s10470-013-0044-8

**Print ISSN**  
0925-1030

**Online ISSN**  
1573-1979

**Publisher**  
Springer US

- Additional Links**
- Register for Journal Updates
  - Editorial Board
  - About This Journal
  - Manuscript Submission

- Topics**
- Circuits and Systems
  - Electrical Engineering
  - Signal, Image and Speech Processing

- Keywords**
- Linear transconductor
  - Bulk-driven
  - Class-AB
  - Operational transconductance amplifier

- Industry Sectors**
- IT & Software
  - Electronics
  - Engineering
  - Aerospace
  - Telecommunications
  - Automotive

**Authors**  
A. Yodtean  
A. Thanachayanont

- Author Affiliations**
- Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, 1 Chalokkrung 1, Ladkrabang, Bangkok, 10520, Thailand
  - National Electronics and Computer Technology Center, National Science and Technology Development Agency, Bangkok, Thailand

7,631,174 scientific documents at your fingertips

Browse by Discipline

## Our Content

- Journals
- Books
- Book Series
- Protocols
- Reference Works

## Other Sites

- Springer.com
- SpringerImages
- SpringerProtocols
- SpringerMaterials
- SpringerReference

## Help & Contacts

- Contact Us
- Feedback Community
- Imprint



เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่สามารถนำออกนอกระบบได้  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Sub 1-V highly-linear low-power class-AB bulk-driven tunable CMOS transconductor

A. Yodtean · A. Thanachayanont

Received: 29 September 2012/Revised: 21 January 2013/Accepted: 6 February 2013  
© Springer Science+Business Media New York 2013

**Abstract** This paper describes the design and realization of a sub 1-V low power class-AB bulk-driven tunable linear transconductor using a 0.18- $\mu\text{m}$  CMOS technology. The proposed transconductor employs a class-AB bulk-driven differential input voltage follower and a passive resistor to achieve highly linear voltage-to-current conversion. Transconductance tuning is achieved by tuning the differential output current of the core transconductor with gain-adjustable current mirrors. With 10.4- $\mu\text{A}$  current consumption from a 0.8-V single power supply voltage, simulation results show that the proposed transconductor achieves the total harmonic distortion (THD) of  $<-40$  dB for a peak differential input voltage range of 800 mV at frequencies up to 10 kHz. The simulated input-referred noise voltage integrated over 10-kHz bandwidth is 100  $\mu\text{V}$ , resulting to an input signal dynamic range of 75 dB for THD  $<-40$  dB. A biquadratic  $G_m$ -C filter is designed to demonstrate the performance of the proposed transconductor. At the nominal 10-kHz cut-off frequency, the filter dissipates 34.4  $\mu\text{W}$  from a 0.8-V supply voltage and it achieves an input signal dynamic range of 67.4 dB for the third-order intermodulation distortion of  $<-40$  dB.

**Keywords** Linear transconductor · Bulk-driven · Class-AB · Operational transconductance amplifier

### 1 Introduction

Low-power tunable linear transconductor with small transconductance is required for the realization of low-frequency integrated circuits for biomedical and neural network applications [1], [2]. To allow low-cost and full integration with digital circuits in deep sub-micron CMOS technologies, transconductor is required to operate under power supply voltage  $<1$ -V while maintaining sufficiently large signal dynamic range. Linear transconductor with small transconductance can be realized by using linearization and transconductance reduction techniques. Typical linearization techniques [3] can be classified into three approaches, including non-linear terms cancellation, input signal attenuation, and source degeneration. Transconductance reduction techniques [4] include the use of current-division, source degeneration, subthreshold, bulk-driven and floating-gate MOSFETs.

Under low power supply voltages, rail-to-rail voltage swing is strongly desirable in order to maximize the signal dynamic range. This usually requires the input and output DC common-mode voltage level in the middle of the supply voltage. With a power supply voltage in the order of  $2V_{\text{DS(sat)}} + V_{\text{TH}}$ , it is not possible for the conventional gate-driven input transconductor to have the input common-mode voltage in the middle of the power supply voltage. This can be alleviated by using the bulk-driven [5–7] and floating-gate techniques [8], which probably emerge as the most effective solutions for realization of linear transconductors under low supply voltages.

A. Yodtean · A. Thanachayanont (✉)  
Faculty of Engineering, King Mongkut's Institute of Technology  
Ladkrabang, 1 Chalokkrung 1, Ladkrabang, Bangkok 10520,  
Thailand  
e-mail: ktapinun@kmitl.ac.th

A. Yodtean  
e-mail: apiradee.yodtean@necet.or.th

A. Yodtean  
National Electronics and Computer Technology Center, National  
Science and Technology Development Agency, Bangkok,  
Thailand

Published online: 23 February 2013

 Springer

In contrast to its gate-driven counterpart, the bulk-driven input stage allows rail-to-rail input voltage swing at the cost of lower transconductance and higher input-referred noise. The bulk transconductance is typically 2–5 times smaller than the gate transconductance. This limits the gain and gain-bandwidth product, which is troublesome for high-frequency applications. For low-frequency applications, it is much less problematic, as small transconductance is desired. On the other hand, the bulk-driven technique provides inherent input signal attenuation and it can improve linearity of transconductor without extra power dissipation. However, the issue of larger input-referred noise may still limit the useful signal dynamic range and thus careful design considerations should be considered.

Recently, low-voltage bulk-driven linear transconductors have successfully been demonstrated, e.g. in [5–7]. A 1-V tunable linear bulk-driven CMOS transconductor was proposed in [5]. The circuit employed a class-A bulk-driven input flipped voltage follower with passive resistor source degeneration to achieve highly linear voltage-to-current (V–I) conversion, while transconductance tuning was obtained by using programmable current mirrors. The circuit, implemented in a 0.35- $\mu\text{m}$  CMOS technology, exhibits rail-to-rail input swing with about 60-dB dynamic range, while dissipating 7.2  $\mu\text{W}$ . In [6], a bulk-driven input pseudo-differential pair operating in the triode region was employed to realize linear V–I conversion and transconductance tuning was achieved by varying the drain-source voltages of the triode input differential pair. The transconductor, realized in a 0.18- $\mu\text{m}$  technology, exhibits  $\pm 0.27$  V input linear range, while dissipating 0.59  $\mu\text{W}$  under 1-V power supply voltage. Therefore, the bulk-driven technique can offer an attractive solution for realization of low-voltage linear transconductor.

All bulk-driven linear transconductors, reported in the literature, operates in class-A thus the maximum output current is limited by the DC quiescent current. This obviously limits the slew rate when driving large capacitive loads. Furthermore, at large transconductance values, the amplitude of the resulting output current signal is bounded by the bias current and thus limiting the input linear range. Therefore, there are trade-offs between input linear range, slew rate and power consumption. Class-AB linear transconductors can be used to mitigate the abovementioned issues and allowing low-voltage and low-power operation with high linearity.

Recently, the authors have proposed a low-voltage bulk-driven class-AB linear transconductor in [9]. This paper describes the design of a fully-differential realization of the proposed class-AB transconductor with common-mode feedback control. A biquadratic  $G_m$ -C filter is designed to test the performance of the proposed transconductor. The

paper is organized as follows. Section 2 describes the structure of the proposed transconductor and its circuit implementation is described in Sect. 3. Simulation results and conclusion are given in Sect. 4 and 5, respectively.

## 2 Structure of the proposed transconductor

CMOS linear transconductors can be realized by using one or more linearization techniques [3], including non-linear terms cancellation, input signal attenuation, and source degeneration. The input attenuation can be achieved by using the floating-gate, bulk-driven and active attenuator techniques. Non-linear terms cancellation techniques are usually implemented by connecting several transconductors to cancel out non-linearity in their V–I conversion characteristic. In practice, the non-linear cancellation methods require accurate device matching and their performances are sensitive to mismatches and process variations. The source degeneration technique employs a resistor in a negative feedback loop to achieve highly linear V–I conversion. However, in practice, a voltage-controlled MOSFET resistor is generally employed to achieve the required transconductance tuning, and therefore linearity is usually compromised.

Instead, using a fixed passive resistor source degeneration and some methods of current scaling can achieve very high linearity [10–13], with signal dynamic range in the order of 80 dB. The circuit structure of this approach is shown in Fig. 1, where the linear V–I conversion is realized by using two voltage followers (VF) and a passive resistor ( $R_S$ ). The VFs are used to provide an accurate copy of the differential input voltage ( $v_{id} = v_{in+} - v_{in-}$ ) across the  $R_S$ , which performs the required V–I conversion. Therefore the resistor current is given by  $i_R = A_v v_{id}/R_S$ , where  $A_v$  is the voltage gain of the VFs. Gain-adjustable current followers (CF) and current mirror are used to convey the current,  $i_R$ , to the output node and simultaneously achieve transconductance tuning by scaling the current  $i_R$  by a factor of  $k$ . The output current,  $i_{out}$  is given by  $-2ki_R$ . Therefore the transconductance of the circuit is given by (1). This approach can also be viewed as using a second-generation current conveyor (CCII) and a passive resistor [14]. In this paper, this approach is chosen to realize the class-AB transconductor because of its ability to achieve high linearity.

$$G_{md} = i_{out}/v_{id} = -2A_v k/R_S \quad (1)$$

In Fig. 1, the core linear V–I conversion is performed by a fixed passive resistor therefore linearity of the transconductor depends on the compliance of the voltage and current copy of the VFs and CFs. The advantage of this structure is that tuning of transconductance does not affect

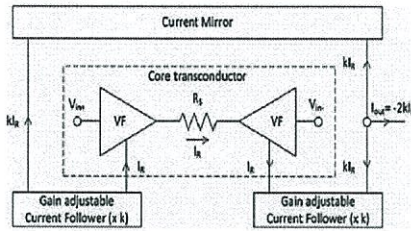


Fig. 1 Structure of the proposed transconductor

the core linear V–I conversion, and thus transconductance linearization and tuning can be optimized independently. The key requirements of the VFs are high input impedance, low output impedance and accurate voltage replication, whereas the main requirements of the CFs are low input impedance, high output impedance and accurate and linear current replication.

3 Transconductor circuit design and implementation

Based on the structure in Fig. 1, this section describes the design of linear transconductors with bulk-driven differential input to achieve wide input linear range operation under low supply voltage. Bulk-driven voltage followers are used to replicate the differential input voltage across a passive resistor. Bulk-driven technique permits the input DC common-mode voltage to be set to the middle of the power supply voltage, thus allowing rail-to-rail input voltage signal swing. A class-AB bulk-driven linear transconductor is proposed and compared with two class-A bulk-driven counterparts.

3.1 Using simple bulk-driven voltage follower

Using the basic source follower circuit with bulk-driven input, the transconductor in Fig. 1 can be realized as shown in Fig. 2. The differential input voltage is applied to the bulk terminals of  $M_1$  and  $M_2$ . Transistors  $M_1$  and  $M_2$  form a simple bulk-driven voltage follower to deliver a copy of the differential input voltage across the passive resistor, which performs the voltage-to-current conversion.  $M_3, M_4$  and  $M_9$  provide fixed DC bias currents for the voltage followers. The differential output currents are sensed at the drains of  $M_1$  and  $M_2$  and are copied to the output nodes by using two simple current mirrors ( $M_5$ – $M_8$ ). The voltage gain of the VF is given by (2), where  $g_{m1}$  and  $g_{mb1}$  are the small-signal gate transconductance and body transconductance of  $M_1$ , respectively, and  $g_m \gg g_{ds}$  is assumed. According to (1), the differential transconductance of the circuit can be written as in (3). For good linearity, the

output resistance of the VF should be much smaller than its load resistance as described by (4). If the condition in (4) is valid and the effective transconductance is reduced to (5), where  $g_{mb} = \eta g_m$  and  $\eta$  is about 0.1–0.3. The effective transconductance of the basic bulk-driven transconductor is about  $\eta$  times smaller than its gate-driven counterpart. Note that, for high linearity, the VFs should have small output resistance and (4) must be valid, which requires a large  $g_{m1}$  and thus large transistor size and bias current. Therefore, there is a trade-off between linearity and power dissipation.

$$A_V \approx \frac{g_{mb1}}{g_{m1} + g_{mb1} + (2/R_S)} \tag{2}$$

$$G_{mid} \approx \frac{g_{mb1}}{g_{m1} + g_{mb1} + (2/R_S)} \times \frac{2}{R_S} \times k \tag{3}$$

$$\frac{1}{g_{m1} + g_{mb1}} \ll \frac{R_S}{2} \tag{4}$$

$$G_{mid} \approx \frac{g_{mb1}}{g_{m1} + g_{mb1}} \times \frac{2}{R_S} \times k = \frac{\eta}{\eta + 1} \times \frac{2}{R_S} \times k \tag{5}$$

3.2 Using class-A bulk-driven flipped-voltage follower

Linearity of the circuit in Fig. 2 can be improved by using VFs with lower output resistance, which can be achieved by using a local negative feedback servo loop. The negative feedback is realized by the bulk-driven flipped-voltage follower (FVF) [15], formed by  $M_1$ – $M_6$  as shown in Fig. 3. Transistors  $M_3$  and  $M_4$  provide gain to the negative feedback loop to lower the impedance at the source terminals of  $M_1$  and  $M_2$ , while  $M_5$  and  $M_6$  provide constant DC bias currents. Transistors  $M_3$  and  $M_4$  are simultaneously the input stage of the current mirrors which sense the differential output currents. The differential output current can be tapped from  $M_7$  to  $M_8$ . Using the same analysis, it can be shown easily that the small-signal voltage gain of the circuit in Fig. 2 is also approximately given by (2). The

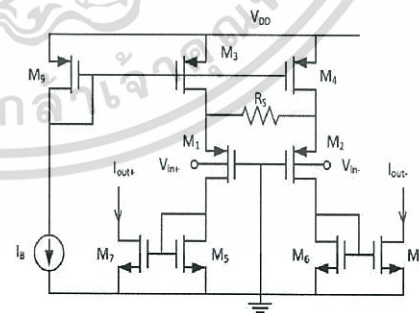


Fig. 2 Simple resistive source-degeneration bulk-driven differential transconductor

negative feedback reduces the output resistance of the bulk-driven FVF to  $r_{out} \approx \frac{g_{mb1}}{g_{m1}g_{m5}}$  approximately. If the output resistance of the bulk-driven FVF is much smaller than its load resistance (i.e.  $r_{out} \ll 0.5R_S$ ), the effective transconductance is also approximately given by (5). The output resistance of the FVF is reduced without additional supply current, therefore the transconductor in Fig. 3 can achieve higher linearity without increasing power dissipation. One limitation of the transconductor in Fig. 3 is that the FVF operates in Class-A and the maximum differential output current is limited to about twice the bias current, i.e.  $2I_B$ . This can be a disadvantage for low power applications.

3.3 Proposed linear transconductor using a class-AB FVF

The output current driving capacity of the circuit in Fig. 3 can be improved by using a class-AB FVF. The proposed class-AB bulk-driven transconductor is shown in Fig. 4.  $M_1$  ( $M_2$ ),  $M_3$  ( $M_4$ ) and  $M_5$  ( $M_6$ ) form a class-AB FVF [15]. The DC quiescent current of the class-AB FVF is determined by the aspect ratios of  $M_3$  ( $M_4$ ) and  $M_5$  ( $M_6$ ). It can be shown easily that the small-signal voltage gain of the class-AB FVF in Fig. 4 is roughly given by (6). According to (1), the small-signal differential transconductance of the proposed transconductor in Fig. 4 is given by (7). For high linearity, the output resistance of the class-AB FVF should be much smaller than its load resistance, i.e. (8) should be applied; and the transconductance is simplified as given by (9). Note that, when  $g_{m3}/g_{m5} \ll 1$ , the effective transconductance is approximately equal to those of the circuits in Figs. 2 and 3. This condition is inherently favourable for the circuit in Fig. 4 because the surface mobility of electrons in NMOS ( $M_5$ ) is about 2-3 times greater than the mobility of holes in PMOS ( $M_3$ ). The key advantage of the transconductor in Fig. 4 is the ability to provide the differential output current greater than  $2I_B$  because the FVF operates in a class-AB manner.

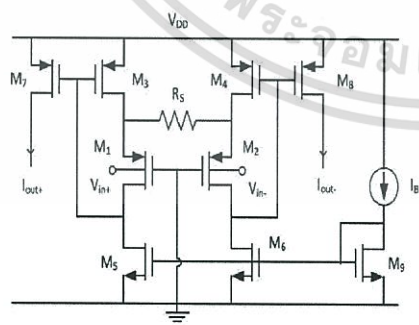


Fig. 3 Improved transconductor using the class-A bulk-driven flipped-voltage follower

$$A_v \approx \frac{g_{mb1}}{(g_{m1} + g_{mb1})(1 + g_{m3}/g_{m5}) + (2/R_S)} \tag{6}$$

$$G_{md} \approx \frac{g_{mb1}}{(g_{m1} + g_{mb1})(1 + g_{m3}/g_{m5}) + (2/R_S)} \times \frac{2}{R_S} \times k \tag{7}$$

$$\frac{1}{(g_{m1} + g_{mb1})(1 + g_{m3}/g_{m5})} \ll \frac{R_S}{2} \tag{8}$$

$$G_{md} \approx \frac{g_{mb1}}{(g_{m1} + g_{mb1})(1 + g_{m3}/g_{m5})} \times \frac{2}{R_S} \times k$$

$$= \frac{\eta}{\eta + 1} \times \frac{1}{(1 + g_{m3}/g_{m5})} \times \frac{2}{R_S} \times k \tag{9}$$

Figure 5 shows the simulated DC characteristics of the transconductors in Figs. 2, 3, and 4.

All MOSFETs are biased in the moderated inversion and all circuits were designed to have equal transconductance and power dissipation for a fair comparison. It can be seen that the proposed transconductor in Fig. 4 exhibits better linearity and wider input linear range due to its class-AB operation. Detailed simulation results of the proposed transconductor will be described and discussed in Sect. 4.

3.4 Transconductance tuning circuit

Tuning of transconductance is required in practical applications of transconductor, e.g. frequency and Q tuning of filters. For resistive source degeneration transconductors, tuning can be performed either by varying the degeneration resistor (e.g. in [3]) or scaling the output current (e.g. in [16], [17]). Tuning the degeneration resistor, which is usually achieved by a voltage-controlled MOSFET resistor, can degrade linearity and the performance of the transconductor. On the other hand, scaling of the output current does not alter the main voltage-to-current conversion

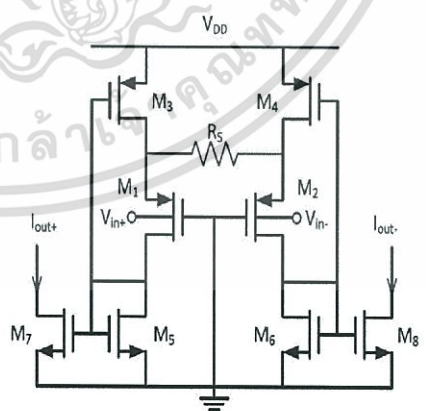


Fig. 4 The proposed transconductor using a class-AB bulk-driven flipped-voltage follower

In contrast to its gate-driven counterpart, the bulk-driven input stage allows rail-to-rail input voltage swing at the cost of lower transconductance and higher input-referred noise. The bulk transconductance is typically 2–5 times smaller than the gate transconductance. This limits the gain and gain-bandwidth product, which is troublesome for high-frequency applications. For low-frequency applications, it is much less problematic, as small transconductance is desired. On the other hand, the bulk-driven technique provides inherent input signal attenuation and it can improve linearity of transconductor without extra power dissipation. However, the issue of larger input-referred noise may still limit the useful signal dynamic range and thus careful design considerations should be considered.

Recently, low-voltage bulk-driven linear transconductors have successfully been demonstrated, e.g. in [5–7]. A 1-V tunable linear bulk-driven CMOS transconductor was proposed in [5]. The circuit employed a class-A bulk-driven input flipped voltage follower with passive resistor source degeneration to achieve highly linear voltage-to-current (V–I) conversion, while transconductance tuning was obtained by using programmable current mirrors. The circuit, implemented in a 0.35- $\mu\text{m}$  CMOS technology, exhibits rail-to-rail input swing with about 60-dB dynamic range, while dissipating 7.2  $\mu\text{W}$ . In [6], a bulk-driven input pseudo-differential pair operating in the triode region was employed to realize linear V–I conversion and transconductance tuning was achieved by varying the drain-source voltages of the triode input differential pair. The transconductor, realized in a 0.18- $\mu\text{m}$  technology, exhibits  $\pm 0.27$  V input linear range, while dissipating 0.59  $\mu\text{W}$  under 1-V power supply voltage. Therefore, the bulk-driven technique can offer an attractive solution for realization of low-voltage linear transconductor.

All bulk-driven linear transconductors, reported in the literature, operates in class-A thus the maximum output current is limited by the DC quiescent current. This obviously limits the slew rate when driving large capacitive loads. Furthermore, at large transconductance values, the amplitude of the resulting output current signal is bounded by the bias current and thus limiting the input linear range. Therefore, there are trade-offs between input linear range, slew rate and power consumption. Class-AB linear transconductors can be used to mitigate the abovementioned issues and allowing low-voltage and low-power operation with high linearity.

Recently, the authors have proposed a low-voltage bulk-driven class-AB linear transconductor in [9]. This paper describes the design of a fully-differential realization of the proposed class-AB transconductor with common-mode feedback control. A biquadratic  $G_m$ -C filter is designed to test the performance of the proposed transconductor. The

paper is organized as follows. Section 2 describes the structure of the proposed transconductor and its circuit implementation is described in Sect. 3. Simulation results and conclusion are given in Sect. 4 and 5, respectively.

## 2 Structure of the proposed transconductor

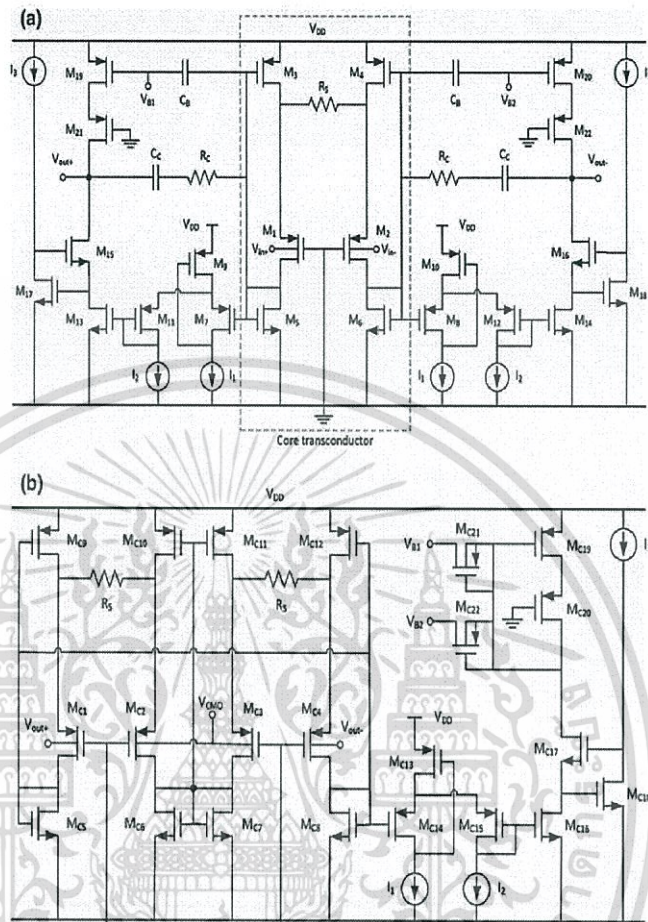
CMOS linear transconductors can be realized by using one or more linearization techniques [3], including non-linear terms cancellation, input signal attenuation, and source degeneration. The input attenuation can be achieved by using the floating-gate, bulk-driven and active attenuator techniques. Non-linear terms cancellation techniques are usually implemented by connecting several transconductors to cancel out non-linearity in their V–I conversion characteristic. In practice, the non-linear cancellation methods require accurate device matching and their performances are sensitive to mismatches and process variations. The source degeneration technique employs a resistor in a negative feedback loop to achieve highly linear V–I conversion. However, in practice, a voltage-controlled MOSFET resistor is generally employed to achieve the required transconductance tuning, and therefore linearity is usually compromised.

Instead, using a fixed passive resistor source degeneration and some methods of current scaling can achieve very high linearity [10–13], with signal dynamic range in the order of 80 dB. The circuit structure of this approach is shown in Fig. 1, where the linear V–I conversion is realized by using two voltage followers (VF) and a passive resistor ( $R_S$ ). The VFs are used to provide an accurate copy of the differential input voltage ( $v_{id} = v_{in+} - v_{in-}$ ) across the  $R_S$ , which performs the required V–I conversion. Therefore the resistor current is given by  $i_R = A_v v_{id}/R_S$ , where  $A_v$  is the voltage gain of the VFs. Gain-adjustable current followers (CF) and current mirror are used to convey the current,  $i_R$ , to the output node and simultaneously achieve transconductance tuning by scaling the current  $i_R$  by a factor of  $k$ . The output current,  $i_{out}$  is given by  $-2ki_R$ . Therefore the transconductance of the circuit is given by (1). This approach can also be viewed as using a second-generation current conveyor (CCII) and a passive resistor [14]. In this paper, this approach is chosen to realize the class-AB transconductor because of its ability to achieve high linearity.

$$G_{md} = i_{out}/v_{id} = -2A_v k/R_S \quad (1)$$

In Fig. 1, the core linear V–I conversion is performed by a fixed passive resistor therefore linearity of the transconductor depends on the compliance of the voltage and current copy of the VFs and CFs. The advantage of this structure is that tuning of transconductance does not affect

**Fig. 7** Complete circuit realization of the proposed class-AB transconductor: **a** the main differential input-output transconductor and **b** the common-mode feedback circuit



inversion because of significant output distortion. In weak and moderate inversions, the total harmonic distortion (THD) of the output current is dominated by the second-order harmonic distortion (HD2), which can be significantly reduced by using a balanced circuit configuration [16]. Therefore the third-order harmonic distortion (HD3) will be the dominant component of the THD in a balanced circuit structure. In this work, a fully-balanced fully-differential circuit implementation of the gain-adjustable current mirror is used.

### 3.5 Complete fully-differential transconductor with common-mode feedback

Figure 7(a), (b) show the schematic diagram of the proposed class-AB fully-differential transconductor and its

common-mode feedback (CMFB) circuit. In Fig. 7(a), MOSFETs  $M_1$ – $M_6$  and the resistor  $R_5$  form the transconductor core which performs the linear V–I conversion. Transistors  $M_5$ – $M_{14}$  and current sources  $I_1$  and  $I_2$  realize two gain-adjustable current mirrors, which are used to convey and scale the differential output currents. The regulated cascode structure, realized with  $M_{15}$ – $M_{18}$  and  $I_3$ , is used to increase the output resistance of the gain-adjustable current mirrors. The output current driving ability of the transconductor is enhanced by using a class-AB push–pull output configuration, which is easily realized by ac-coupling the gates of  $M_{19}$  and  $M_{20}$  to the gates of  $M_3$  and  $M_4$ , respectively. The voltage signals at the gates of  $M_{19}$  and  $M_{13}$  are in-phase, and the same is true for  $M_{20}$  and  $M_{14}$ . The CMFB circuit in Fig. 7(b) controls the DC bias voltages (i.e.  $V_{B1}$  and  $V_{B2}$ ) of  $M_{19}$  and  $M_{20}$  and the output

**Table 1** Aspect ratios of MOSFETs and component values of the proposed transconductor

MOSFETs	W/L ( $\mu\text{m}/\mu\text{m}$ )	$I_1$	750 nA
Fig. 7(a) $M_{1-}M_{5}, M_{9-}M_{10}, M_{13-}M_{16}, M_{19-}M_{22}$	10/1	$I_2$	750 nA
$M_{7-}M_{8}, M_{11-}M_{12}$	100/1	$I_3$	100 nA
$M_{17-}M_{18}$	2/1	$R_S$	10 k $\Omega$
Fig. 7(b) $M_{C1-}M_{C13}, M_{C16-}M_{C17}, M_{C19-}M_{C22}$	10/1	$R_C$	100 k $\Omega$
$M_{C14-}M_{C15}$	100/1	$C_C$	6 pF
$M_{C18}$	2/1	$C_B$	1 pF

common-mode voltage, via large active resistors. Therefore  $M_{19}$  and  $M_{20}$  are effectively quasi-floating gate (QFG) transistors [20]. Cascode transistors  $M_{21}$  and  $M_{22}$  are used to increase the output resistance. In Fig. 7(a), node A and A' create high-frequency poles around  $(g_{m3,4} + g_{m5,6}) / (C_{gs3,4} + C_{gs5,6})$  therefore the Miller compensation technique, realized with  $R_C$  and  $C_C$ , is used to assure the stability of the transconductor when used under negative feedback.

The structure of the CMFB circuit in Fig. 7(b) is based on the use of a differential difference amplifier [21] and replica biasing. Since the output voltage signals of the main transconductor swing around the middle of the power supply voltage, two of the proposed class-AB bulk-driven transconductor core circuits are employed to realize the differential difference amplifier. Therefore the output signal swings can be handled easily and not limited by the CMFB circuit. The differential output voltages ( $V_{out-}$  and  $V_{out+}$ ) are compared with the desired output common-mode voltage ( $V_{CMO}$ ), which is equal to half of the power supply voltage. The output currents of  $M_{C2}$  and  $M_{C3}$  are summed into dummy transistors  $M_{C6}$  and  $M_{C7}$ , while the output currents of  $M_{C1}$  and  $M_{C4}$  are summed into  $M_{C5}$  and  $M_{C8}$ . The operation of the CMFB circuit can be explained as follow. For differential-mode voltage swing of  $V_{out-}$  and  $V_{out+}$ , the output currents of  $M_{C1}$  and  $M_{C4}$  are cancelled out and the sum current is constant. For common-mode voltage swing of  $V_{out-}$  and  $V_{out+}$ , the output currents of  $M_{C1}$  and  $M_{C4}$  add up and the sum current is changed with the common-mode variation. The sum current of  $M_{C5}$  and  $M_{C8}$  are conveyed to the output of the CMFB circuit via a gain-adjustable current mirror. Cascode and regulated cascode structures ( $M_{C17-}M_{C20}$ ) are used at the output of the CMFB circuit to match the output structure of the main transconductor. A diode-connected p-channel MOSFET,  $M_{C19}$ , is used to generate the common-mode control voltages ( $V_{B1}$  and  $V_{B2}$ ), which are applied to the main transconductor via two large active resistors. The active resistors are realized by using the large

non-linear resistance of reverse-biased p-n junctions of p-channel MOSFETs ( $M_{C21}$  and  $M_{C22}$ ) operating in cut-off region. Note that  $M_{C19}$  and  $M_{C20}$  form QFG cascode current mirrors with  $M_{19-}M_{22}$  of the main transconductor, thus the CMFB circuit controls the quiescent output current of the transconductor.

In the main transconductor, the quiescent output current is dependent on the tuning level of the gain-adjustable current mirrors therefore the output current of the CMFB circuit must also be adjusted as a function of the tuning level. This is achieved with a gain-adjustable current mirror embedded in the CMFB circuit. Note that the CMFB circuit essentially provides both common-mode control and replica biasing to the main transconductor to retain robust performance under process variations. In this work, all MOSFETs are biased to operate in the moderate inversion region. All DC current sources are realized by using simple current mirrors. Table 1 summarizes the aspect ratios of MOSFETs and component values for the proposed transconductor.

#### 4 Simulation results

The transconductor circuits in Figs. 2, 3, and 7 were designed and simulated by using process parameters from a standard n-well CMOS 0.18- $\mu\text{m}$  technology. The threshold voltages of NMOS and PMOS transistors are +0.48 and -0.55 V, respectively. For a fair comparison, the core transconductor of the three circuits were designed to have identical MOSFET aspect ratios and DC quiescent current of 640 nA. All circuits were designed to operate with a 0.8-V single power supply voltage. All MOSFETs were biased to operate in the moderate inversion region. Unless stated otherwise, all three transconductors were designed to have the same nominal transconductance of 3  $\mu\text{A}/\text{V}$  by using  $R_S$  equal to 22, 140 and 14 k $\Omega$ , respectively. The DC common-mode input voltage of the three circuits was set to the middle of the power supply voltage. The bulk-source junctions of the input MOSFETs were weakly forward-biased with about 65 mV to reduce the threshold voltage slightly.

Figure 5 plots the simulated DC differential output currents of the three transconductors when the differential input voltage was varied from -0.8 to +0.8 V. It can be seen that the circuits in Figs. 2 and 3 exhibit class-A operation and the maximum differential output currents are limited to twice the bias current (i.e. about 1.2  $\mu\text{A}$ ). Meanwhile, the proposed transconductor in Fig. 7 exhibit a linear class-AB operation and it can provide the maximum differential output current of more than twice the DC bias current.

Fig. 8 Simulated percentage linearity error of the differential output current of the transconductors in Fig. 2 (green line), Fig. 3 (red line), and Fig. 7 (blue line) (Color figure online)

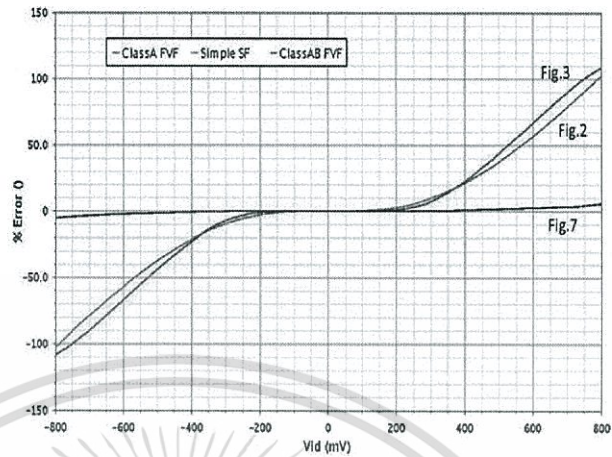


Fig. 9 Simulated linear input voltage range of the transconductors in Fig. 2 (green line), Fig. 3 (red line), and Fig. 7 (blue line) (Color figure online)

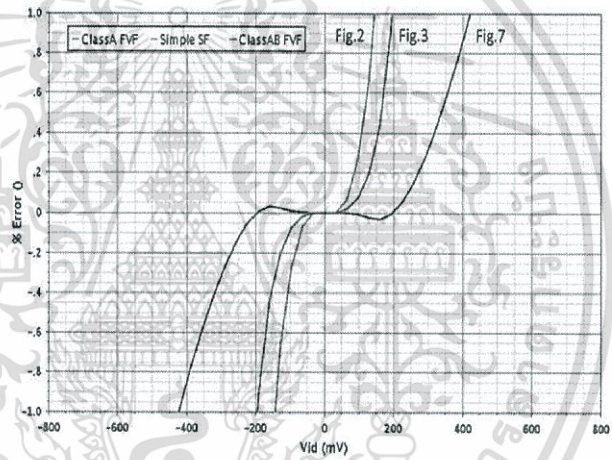
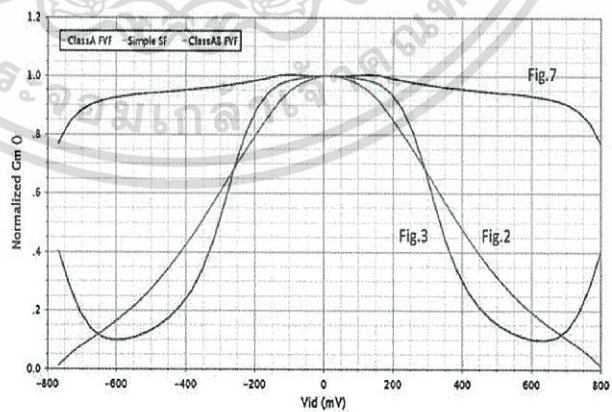


Fig. 10 Simulated normalized transconductance of the transconductors in Fig. 2 (green line), Fig. 3 (red line), and Fig. 7 (blue line) (Color figure online)



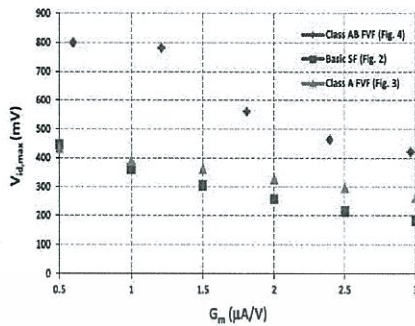


Fig. 11 Simulated linear input voltage range (for the maximum 1 % current error) as a function of transconductance

Figure 8 plots the calculated percentage linearity error of the differential output currents of the three transconductors with the same transconductance of  $3 \mu\text{A/V}$ . Over the input voltage range of  $\pm 0.8 \text{ V}$ , the proposed transconductor exhibits the least maximum error of  $\pm 5 \%$ , while both circuits in Figs. 2 and 3 have the maximum errors of over  $\pm 100 \%$ . Figure 9 plots the maximum linear input voltage range of the circuits for a maximum tolerable error of  $\pm 1 \%$ . The proposed transconductor exhibits the largest linear input voltage range of  $\pm 425 \text{ mV}$ , while the circuits in Figs. 2 and 3 exhibit  $\pm 150$  and  $\pm 200 \text{ mV}$ , respectively. Figure 10 shows the simulated normalized transconductance against the differential input voltage of the three transconductor. Thus the proposed class-AB transconductor in Fig. 7 shows the smallest transconductance variation over a wide range of differential input voltage.

Figure 11 plots the simulated linear differential input voltage range as a function of the transconductance of the three transconductors. The transconductance was varied

from  $0.5$  to  $3.0 \mu\text{A/V}$ . The linear differential input voltage range is defined as by the maximum allowable input voltage for the maximum current error of  $\pm 1 \%$ . The transconductance of the circuits in Figs. 2 and 3 was varied by changing  $R_S$ , while the transconductance of the proposed transconductor in Fig. 7 was changed by varying  $I_1$  from  $150$  to  $750 \text{ nA}$  in steps of  $150 \text{ nA}$ . Figure 11 shows that the input linear range of the proposed class-AB transconductor is about 1.6–2.0 times larger than those of the circuits in Figs. 2 and 3. At  $0.5\text{-}\mu\text{S}$  transconductance, the input linear range of the proposed transconductor is almost rail-to-rail, while those of the circuits in Figs. 2 and 3 are about half of the supply voltage. Therefore, the proposed class-AB transconductor exhibits a larger input linear range and superior linearity when compared with the class-A circuits in Figs. 2 and 3.

The transconductance tuning of the proposed transconductor is demonstrated by fixing  $I_2$  at  $750 \text{ nA}$  and decreasing  $I_1$  from  $750$  to  $150 \text{ nA}$  in steps of  $150 \text{ nA}$ . This reduces the current gain of the gain-adjustable current mirrors from 1 to 0.2 in steps of 0.2. The simulated differential output currents and the transconductances are plotted against the differential input voltages in Figs. 12 and 13, respectively. The transconductance was tuned from  $3.1 \mu\text{A/V}$  to  $600 \text{ nA/V}$  as  $I_1$  was decreased from  $750$  to  $150 \text{ nA}$  in steps of  $150 \text{ nA}$ . It can be seen that the input linear range is virtually unaffected as the transconductance is tuned.

Figure 14 plots the simulated output THD of the differential output current of the proposed transconductor with  $3\text{-}\mu\text{S}$  transconductance at input frequencies of  $0.5$ ,  $1$ ,  $5$  and  $10 \text{ kHz}$ . For input frequencies up to  $10 \text{ kHz}$ , the THD is below  $-40 \text{ dB}$  for peak differential input voltages up to  $800 \text{ mV}$  and the simulated total integrated input-referred noise voltage with  $10\text{-kHz}$  bandwidth is  $100 \mu\text{V}$ . Therefore,

Fig. 12 Simulated differential output current as the transconductance is tuned by varying  $I_1$

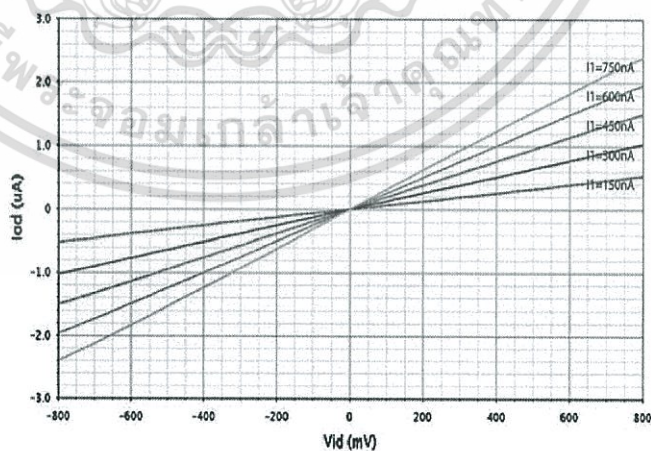


Fig. 13 Transconductance tuning by decreasing  $I_1$  from 750 to 150 nA with fixed  $I_2$  at 750 nA

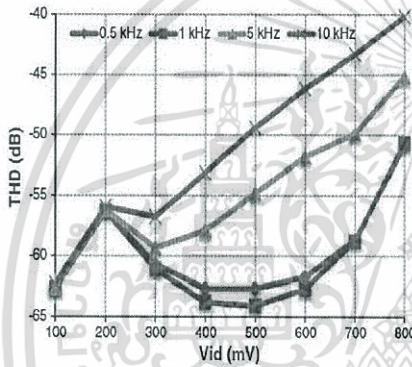
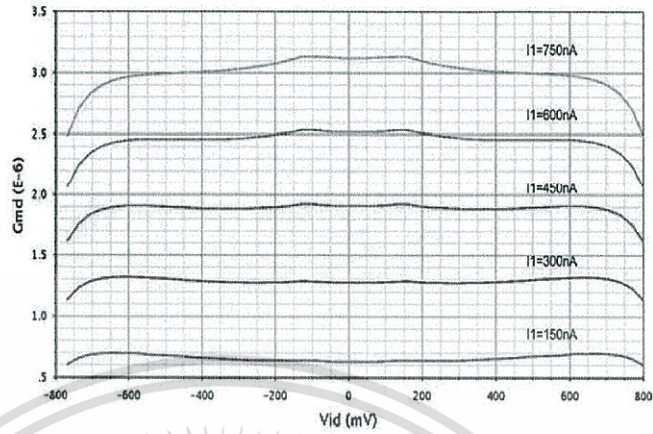


Fig. 14 Simulated output THD of the proposed transconductor

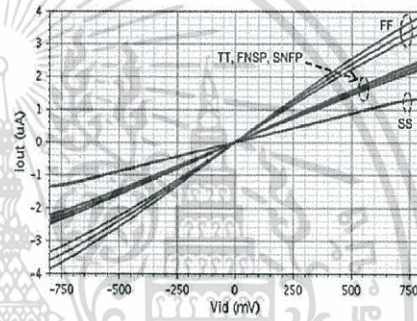


Fig. 15 Effect of process variations on the DC transfer characteristic and transconductance of the proposed transconductor

the calculated input signal dynamic range is 75 dB for the maximum tolerable  $-40$  dB THD.

Monte Carlo and corner simulations were performed to investigate the effects of device mismatches and process variations on the performance of the proposed transconductor. Figure 15 plots the simulated DC transfer characteristic of the circuit under 5 cases of process variations (typical-typical (TT), fast-fast (FF), slow-slow (SS), fast-NMOS-slow-PMOS (FNFP), and Slow-NMOS-fast-PMOS (SNFP)) and 3 cases of resistance variations (typical, minimum, and maximum). The transconductance is fairly retained in all cases except for the cases of FF and SS where it is increased and decreased, respectively. As demonstrated in Fig. 12,  $I_1$  can be used to tune the transconductance back to the nominal value. The input linear range of the circuit is fairly maintained over the process variations. Figure 16 plots the simulated histogram of the output THD when applying a 300-mV and 10-kHz sinusoidal input voltage to the circuit. With the number of

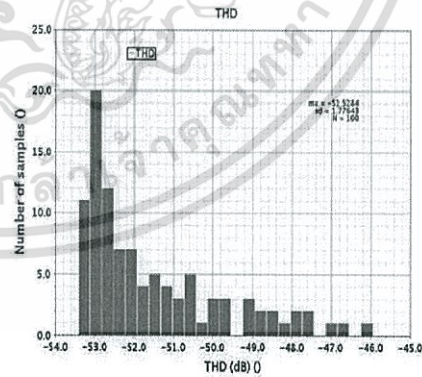


Fig. 16 Simulated histogram of the output THD obtained by using a Monte Carlo simulation with the number of samples of 100 and  $\sigma = 3$

Fig. 17 Simulated open-loop AC frequency response of the proposed transconductor with 20-pF load capacitor

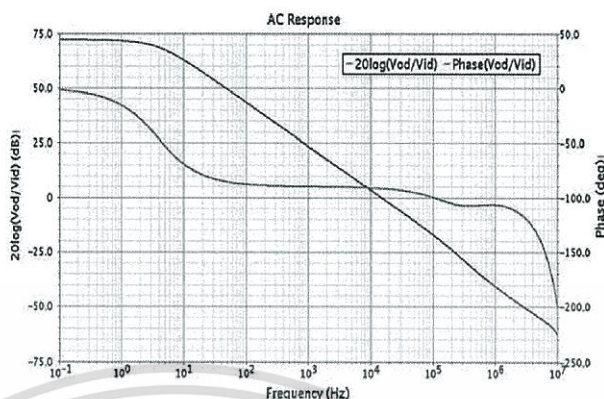


Table 2 Performance summary of the proposed transconductor

Parameters	This work Simulated	[23] Simulated	[24] Simulated	[25] Measured	[26] Measured
Year	2012	2011	2007	2011	2008
CMOS technology ( $\mu\text{m}$ )	0.18	0.35	0.18	0.35	0.18
$V_{DD}$ (V)	0.8	1.0	1.0	0.8	0.5
$P_{diss}$ ( $\mu\text{W}$ )	8.3	62	120	0.04	28
$G_m$ ( $\mu\text{S}$ )	0.03–3	267.3	1,000	66	71
THD (dB)	-40	-40	-65	-40	-57.7
At peak $V_{id}$ (V)	0.8	0.44	0.35	0.05	0.25
At frequency (kHz)	10	10	1,000	0.01	1.0
$i_p$ noise ( $\text{nV}/\sqrt{\text{Hz}}$ )	1,000	297.4	32	5.7	432
DR (dB)	75	90.4	77.7	52.9	82.2
NSNR (dB)	135.8	132.5	159.5	119.9	136.6

samples of 100 and sigma of 3, the output THD shows a standard deviation of 1.78. This demonstrates good robustness of the proposed transconductor against transistor mismatch.

Figure 17 plots the simulated AC frequency response of the transconductor with 20-pF load capacitor. The open-loop DC voltage gain is 72.2 dB, the unity-gain frequency is 15 kHz, and the phase margin is 89.8°. Table 2 summarizes the performance of the proposed transconductor comparing with other reported low voltage transconductors. The normalized signal-to-noise ratio (NSNR), proposed in [22], is used as a figure of merit to compare the performance of the proposed transconductor against others. The calculated NSNRs are normalized with 1% THD, 1-Hz bandwidth, and 1-mW power dissipation. The proposed transconductor achieves a NSNR of 135.8, which implies a competitive performance against others.

A fully-differential  $G_m$ -C biquadratic filter, shown in Fig. 18, was designed and simulated to evaluate the performance of the proposed transconductor. The filter

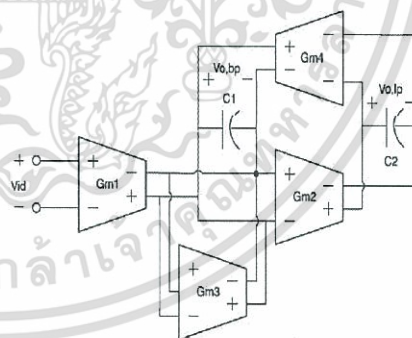


Fig. 18 Differential biquadratic  $G_m$ -C filter

provides lowpass ( $V_{o,lp}$ ) and bandpass ( $V_{o,bp}$ ) outputs. The lowpass and bandpass transfer functions of the filter are given by (12) and (13), respectively. The cut-off frequency (or the center frequency) and the quality factor of the filter are given by (14) and (15), respectively.

Fig. 19 Simulated AC frequency responses of the low pass output of the biquadratic filter

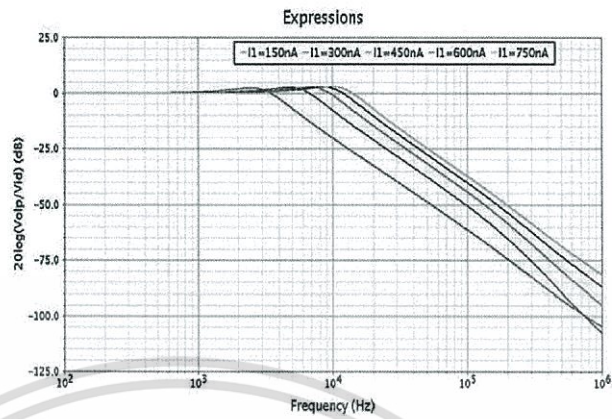
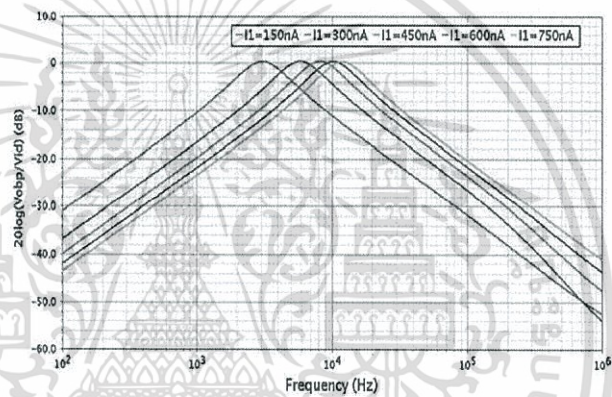


Fig. 20 Simulated AC frequency response of the bandpass output of the biquadratic filter



$$H_{lp}(s) = \frac{v_{o,lp}}{v_{in}} = \frac{G_{m1}G_{m2}/C_1C_2}{s^2 + s \times G_{m3}/C_1 + G_{m2}G_{m4}/C_1C_2} \quad (12)$$

$$H_{bp}(s) = \frac{v_{o,bp}}{v_{in}} = \frac{s \times G_{m1}/C_1}{s^2 + s \times G_{m3}/C_1 + G_{m2}G_{m4}/C_1C_2} \quad (13)$$

$$f_o = 1/2\pi \times \sqrt{G_{m2}G_{m4}/C_1C_2} \quad (14)$$

$$Q = \sqrt{G_{m2}G_{m4}/G_{m3}^2 \times C_1/C_2} \quad (15)$$

The biquadratic filter was designed to have the nominal  $f_o = 10$  kHz and  $Q = 1$ . All transconductors have equal nominal transconductances and both  $C_1$  and  $C_2$  are 20 pF. The total power dissipation of the filter at the nominal  $f_o$  and  $Q$  is 33.4  $\mu$ W. Figures 19 and 20 plot the simulated AC frequency responses of the lowpass and bandpass outputs of the filter, respectively. In both figures, all transconductances were tuned from 0.5 to 3.0  $\mu$ A/V by varying  $I_1$  from 150 to 750 nA in steps of 150 nA, while keeping  $I_2$  constant at 750 nA. As a result, the cut-off or the centre frequency was tuned from 2.5 to 12.5 kHz. Figure 21 plots

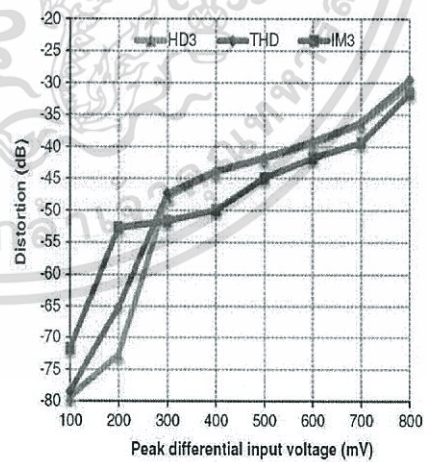


Fig. 21 Simulated output distortions of the lowpass differential output voltage

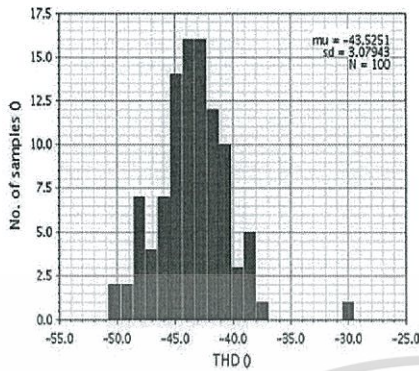


Fig. 22 Histogram of the simulated THD of the low-pass differential output of the  $G_m$ -C filter

the simulated output distortions of the lowpass differential output voltage of the filter with  $f_o = 10$  kHz and  $Q = 1$ . The THD and HD3 were tested with 1-kHz input signal, while the IM3 was evaluated with a two-tone input signal of 4 and 5 kHz. The filter achieves the maximum peak differential input voltages of 570 and 670 mV for the maximum tolerable THD and IM3 of  $-40$  dB, respectively. The total input-referred noise voltage integrated over 10-kHz bandwidth is  $202 \mu\text{V}_{\text{rms}}$ . Therefore the filter achieves input signal dynamic ranges of 66 and 67.4 dB for the maximum tolerable  $-40$  dB THD and  $-40$  dB IM3, respectively. Figure 22 plots the histogram of the simulated THD of the low-pass differential output voltage when applying a 300-mV and 1-kHz sinusoidal input voltage to the filter. With the number of samples of 100 and sigma of 3, the THD exhibits a standard deviation of 1.78. This demonstrates good robustness of the filter against transistor mismatches and process variations.

Table 3 compares the simulated performance of the proposed filter with other sub-1-V continuous-time filters using the figure-of-merit (FoM) in (16) [27], where  $P_{\text{diss}}$  is the power dissipation,  $V_{\text{DD}}$  is the power supply voltage,  $N$  is the filter order,  $f_o$  is the cut-off frequency and  $DR$  is the dynamic range in dB. The proposed filter achieves a FoM of  $4.9\text{e}-12$ , which is among the lowest and implies a competitive performance against other sub-1-V filters.

$$FoM = \frac{P_{\text{diss}} \times V_{\text{DD}}}{N \times f_o \times DR} \quad (16)$$

## 5 Conclusion

A sub-1-V CMOS Class-AB bulk-driven tunable linear fully-differential transconductor was designed and simulated by using a  $0.18\text{-}\mu\text{m}$  CMOS technology. The proposed circuit employs a class-AB differential bulk-driven flipped-voltage follower and a passive resistor to achieve highly linear voltage-to-current conversion. Gain-adjustable current mirrors were used to convey the resultant differential current to the output node and simultaneously achieved transconductance tuning. Simulation results showed that the proposed transconductor exhibited rail-to-rail input linear range, while dissipating a few microwatts under a sub-1-V power supply voltage. The proposed transconductor achieves an input signal dynamic range of 75 dB. A fully-differential biquadratic  $G_m$ -C filter was realized to demonstrate the performance of the proposed transconductor. The filter achieves 67.4-dB dynamic range at 10-kHz bandwidth, while dissipating  $34.4 \mu\text{W}$  under a 0.8-V supply voltage. Therefore the proposed transconductor exhibits good performance suitable for low-frequency biomedical applications.

Table 3 Performance summary of the proposed biquadratic  $G_m$ -C filter

Parameters	This work Simulated	[5] Simulated	[28] Measured	[29] Measured	[30] Simulated
Year	2012	2008	2009	2005	2012
Technique	Bulk-driven	Bulk-driven	Current-mode	Bulk-driven	Bulk-driven
$V_{\text{DD}}$ (V)	0.8	1.0	0.6	0.5	0.5
CMOS technology ( $\mu\text{m}$ )	0.18	0.35	0.18	0.18	0.18
$f_o$ (kHz)	2.5–12.5	1.8–36.5	100	135	200
Order of filter	2	2	5	5	3
$\bar{v}_{\text{ni}}$ ( $\mu\text{V}_{\text{rms}}$ )	215	345	–	74	88
Peak $V_{\text{ni}}$ (V)	0.67	0.44	–	0.11	0.07
DR (dB)	67.4	59.1	94	57	55.1
$P_{\text{diss}}$ ( $\mu\text{W}$ )	34.4	44.3	443	1,100	202.7
FoM	$4.9\text{e}-12$	$1\text{e}-11$	$5.7\text{e}-12$	$1.4\text{e}-11$	$3.1\text{e}-12$

**Acknowledgments** Financial support from the Thailand Graduate Institute of Science and Technology (TG-44-22-49-09ID) is gratefully acknowledged.

## References

1. Sarpehtkar, R., Saldhouse, C., Sit, J.-J., Baker, M. W., Zlask, S. M., Lu, T. K.-T., et al. (2005). An ultra-low-power programmable analog bionic ear processor. *IEEE Transactions on Biomedical Engineering*, 52(4), 711–727.
2. Solis-Bustos, S., Silva-Martinez, J., Maloberti, F., & Sanchez-Sinencio, E. (2000). A 60-dB dynamic-range CMOS sixth-order 2.4-Hz low-pass filter for medical applications. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 47(12), 1391–1398.
3. Sanchez-Sinencio, E., & Silva-Martinez, J. (2000). CMOS transconductance amplifiers, architectures and active filters: a tutorial. *Circuits, Devices and Systems, IEE Proceedings*, 147(1), 3–12.
4. Veeravalli, A., Sanchez-Sinencio, E., & Silva-Martinez, J. (2002). Transconductance amplifier structures with very small transconductances: a comparative design approach. *IEEE Journal of Solid-State Circuits*, 37(6), 770–775.
5. Carrillo, J. M., Duque-Carrillo, J. F., & Torelli, G. (2008). “1-V continuously tunable CMOS bulk-driven transconductor for  $G_m$ -C filters”, in IEEE International Symposium on Circuits and Systems, 2008. *ISCAS, 2008*, 896–899.
6. Zhang, L., Zhang, X., & El-Masry, E. (2008). A highly linear bulk-driven CMOS OTA for continuous-time filters. *Analog Integrated Circuits and Signal Processing*, 54(3), 229–236.
7. T. Sanchez-Rodriguez, R. G. Carvajal, S. Penarisi, and J. Galan, 0.13- $\mu$ m CMOS tunable transconductor based on the body-driven gain boosting technique with application in  $G_m$ -C filters, in 2011 20th European Conference on Circuit Theory and Design (ECCTD), 2011, pp. 146–149.
8. Miguel, J. M. A., Lopez-Martin, A. J., Acosta, L., Ramirez-Angulo, J., & Carvajal, R. G. (2011). Using floating gate and quasi-floating gate techniques for rail-to-rail Tunable CMOS transconductor design. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 58(7), 1604–1614.
9. A. Yodtean, P. Isarasena, and A. Thanachayanont, “0.8- $\mu$ W CMOS bulk-driven linear operational transconductance amplifier in 0.35- $\mu$ m technology,” in 2010 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 2010, pp. 784–787.
10. Chilakapati, U., Fiez, T. S., & Esluraghi, A. (2002). A CMOS transconductor with 80-dB SFDR up to 10 MHz. *IEEE Journal of Solid-State Circuits*, 37(3), 365–370.
11. Jiménez-Fuentes, M., Carvajal, R. G., Acosta, L., Rubia-Marcos, C., López-Martín, A., & Ramírez-Angulo, J. (2009). A tunable highly linear CMOS transconductor with 80 dB of SFDR. *Integration, The VLSI Journal*, 42(3), 277–285.
12. Willingham, S. D., Martin, K. W., & Ganesan, A. (1993). A BiCMOS low-distortion 8-MHz low-pass filter. *IEEE Journal of Solid-State Circuits*, 28(12), 1234–1245.
13. Chang, Z. Y., Haspelagh, D., & Verfaillie, J. (1997). A highly linear CMOS G/sub m/C bandpass filter with on-chip frequency tuning. *IEEE Journal of Solid-State Circuits*, 32(3), 388–397.
14. Acosta, L., Jimenez, M., Carvajal, R. G., Lopez-Martin, A. J., & Ramirez-Angulo, J. (2009). Highly linear tunable CMOS  $G_m$ -C low-pass filter. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 56(10), 2145–2158.
15. Haga, Y., & Kale, I. (2009). “Bulk-driven flipped voltage follower”, in IEEE International Symposium on Circuits and Systems, 2009. *ISCAS, 2009*, 2717–2720.
16. Lopez-Martin, A. J., Ramirez-Angulo, J., Durbha, C., & Carvajal, R. G. (2005). A CMOS transconductor with multidecade tuning using balanced current scaling in moderate inversion. *IEEE Journal of Solid-State Circuits*, 40(5), 1078–1083.
17. Lopez-Martin, A. J., Ramirez-Angulo, J., Carvajal, R. G., & Acosta, L. (2008). CMOS transconductors with continuous tuning using FG MOS balanced output current scaling. *IEEE Journal of Solid-State Circuits*, 43(5), 1313–1323.
18. Lopez-Martin, A. J., Ramirez-Angulo, J., Durbha, C., & Carvajal, R. G. (2006). Highly linear programmable balanced current scaling technique in moderate inversion. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 53(4), 283–285.
19. Serrano-Gotarredona, T., Linares-Barranco, B., & Andreou, A. G. (1999). A general translinear principle for subthreshold MOS transistors. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 46(5), 607–616.
20. Ramirez-Angulo, J., Lopez-Martin, A. J., Carvajal, R. G., & Chavero, F. M. (2004). Very low-voltage analog signal processing based on quasi-floating gate transistors. *IEEE Journal of Solid-State Circuits*, 39(3), 434–442.
21. Duque-Carrillo, J. F. (1993). Control of the common-mode component in CMOS continuous-time fully differential signal processing. *Analog Integrated Circuits and Signal Processing*, 4(2), 131–140.
22. Klumperink, E. A. M., & Nauta, B. (2003). Systematic comparison of HF CMOS transconductors. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 50(10), 728–741.
23. Carrillo, J. M., Torelli, G., & Duque-Carrillo, J. F. (2011). Transconductance enhancement in bulk-driven input stages and its applications. *Analog Integrated Circuits and Signal Processing*, 68(2), 207–217.
24. Lo, T.-Y., & Hung, C.-C. (2007). “1-V linear CMOS transconductor with  $-65$  dB THD in nano-scale CMOS Technology”, in IEEE International Symposium on Circuits and Systems, 2007. *ISCAS, 2007*, 3792–3795.
25. Cotrim, E. D. C., & de Ferreira, L. H. C. (2011). An ultra-low-power CMOS symmetrical OTA for low-frequency  $G_m$ -C applications. *Analog Integrated Circuits and Signal Processing*, 71(2), 275–282.
26. Trakimas, M., & Sonkusale, S. (2008). A 0.5 V bulk-input OTA with improved common-mode feedback for low-frequency filtering applications. *Analog Integrated Circuits and Signal Processing*, 59(1), 83–89.
27. Corbishley, P., & Rodriguez-Villegas, E. (2007). A nanopower bandpass filter for detection of an acoustic signal in a wearable breathing detector. *IEEE Transactions on Biomedical Circuits and Systems*, 1(3), 163–171.
28. Akita, I., Wada, K., & Tadokoro, Y. (2009). A 0.6-V dynamic biasing filter with 89-dB dynamic range in 0.18- $\mu$ m CMOS. *IEEE Journal of Solid-State Circuits*, 44(10), 2790–2799.
29. Chatterjee, S., Tsvividis, Y., & Kinget, P. (2005). 0.5-V analog circuit techniques and their application in OTA and filter design. *IEEE Journal of Solid-State Circuits*, 40(12), 2373–2387.
30. Raikos, G., Vlassis, S., & Psychalinos, C. (2012). 0.5 V bulk-driven analog building blocks. *AEU International Journal of Electronics and Communications*, 66(11), 920–927.



Apiradee Yodtean received the B.S. degree in Science from Srinakharinwirot University, Thailand in 1993. She received the M. Eng. degree in Electrical Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Thailand, in 2001. She is currently studying for a Ph.D. degree in Electrical Engineering at KMITL. She is currently a research assistant at National Electronics and Computer Technology Center (NECTEC), National Science and

Technology Development Agency, Thailand. Her research interests include low-power CMOS analog integrated circuits and systems for biomedical applications.



Apinunt Thanachayanont is an associate professor at the department of Electronic Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL). He received the M. Eng. degree (with first-class honour) and the Ph.D. degree in Electrical and Electronic Engineering from Imperial College London, UK, in 1995 and 1999, respectively. Since July 1999, he has been with the faculty of engineering at KMITL. His current research

interests are in the area of low-voltage low-power analog, mixed-signal and RF integrated circuits and systems for biomedical, wireless telemetry and sensor applications.



## ประวัติผู้เขียน

ชื่อ-นามสกุล	นางสาวอภิรดี ยอดเทียน
วัน เดือน ปีเกิด	22 มกราคม 2512 ที่ รพ. ศิริราช กรุงเทพมหานคร
ที่อยู่	43/037 หมู่บ้านปากเกร็ดวิลเลจ ถ. ดิวนนท์ แขวงบางพูด เขตปากเกร็ด นนทบุรี 11120
ประวัติการศึกษา	2536 สำเร็จการศึกษาปริญญาตรีคณะวิทยาศาสตร์ มหาวิทยาลัยศรีนครินทรวิโรฒ 2544 วิศวกรรมศาสตรมหาบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

### ความชำนาญเฉพาะด้าน

- 1.) ออกแบบวงจรรวมทางกายภาพ IC Layout Design (custom design และ cell-base design) ด้วยซอฟต์แวร์ Cadence Tools, Tanner Tools, และอื่นๆ สำหรับงานออกแบบวงจรรวมเฉพาะทาง
- 2.) Low-power CMOS circuit design สำหรับงานความถี่ต่ำ

### ประสบการณ์การทำงานและผลงานวิจัย

พ.ศ 2536-2538 เริ่มงานที่กรมพัฒนาที่ดิน ในตำแหน่งลูกจ้างชั่วคราว ลักษณะงานที่ทำเป็นการศึกษาและใช้งานซอฟต์แวร์เพื่อเก็บข้อมูลทางภูมิศาสตร์ของประเทศไทย บนระบบปฏิบัติการ Sun OS รับงานพิเศษด้านออกแบบซอฟต์แวร์เฉพาะทาง (โปรแกรมเมอร์) จากนั้นได้เริ่มเข้ารับการศึกษาคณะวิทยาศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ผลงานที่ได้รับการตีพิมพ์

- อภิรดี ยอดเทียน และ ดร. สมศักดิ์ ชุมช่วย “การแยกเลเยอร์ของวงจรรวมแบบอัตโนมัติ จาก CIF”, วารสารคอมพิวเตอร์, ตุลาคม 2538.

พ.ศ 2539-2544 เข้าศึกษาในระดับปริญญาโทที่ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ผลงานที่ได้รับการตีพิมพ์

- Apiradee Yodtean and Somsak Choomchuay, “An Efficient Algorithm for circuit partitioning”, ISIC-99: 8<sup>th</sup> International Symposium on Integrated Circuits, Devices & Systems, 8-10 September 1999, pp. 359-362.
- A. Yodtean, S. Choomchuay, and Yasoji Suzuki, “An Improved Simulated Annealing for Circuit Partitioning”, ISPACS’99, December 8-10, 1999, pp. 473-476.

พ.ศ. 2543 ได้เข้าทำงานในตำแหน่งผู้ช่วยนักวิจัยประจำห้องปฏิบัติการออกแบบวงจรรวม ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) รับผิดชอบงานด้านการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบวงจรทางกายภาพ (IC Layout Design) ด้วยซอฟต์แวร์ Tanner Tools, Cadence Tools, และอื่นๆ ผลงานที่ได้รับการตีพิมพ์

- Chumnarn Punyasai, Janwit Sriharuksa, and Apiradee yodtean, “A Low Cost PC-base ASIC Design Methodology”, 1<sup>st</sup> VLSI colloquium on Design and Implementation for communication”, ReCCIT KMITL, September 29, 2000, pp. 6-1 to 6-4.
- อภิรดี ยอดเทียน, เจนวิทย์ ศรีหารักษา, ชำนาญ ปัญญาใส, “การออกแบบวงจรรวมไมโครคอนโทรลเลอร์ MEL8051”, ECTI-21, 2543, pp.123-133.
- N. Panitantum, A. Yordthein, W. Noothong, A. Worapishet, and M. Thamsiriantum, “A CMOS RFID Transponder”, ISCIT-2002, October 23-25, 2002.
- Apiradee Yodtean and Peerasak Chantngarm, “Hybrid Algorithm for bisection circuit Partitioning” TENCON-2004, pp. 324-327.
- Watcharakon Noothong, Janwit Sriharuksa, Apiradee Yodtean and Anukool Noymai "On Design of A Multi-protocol Baseband Processor for Handheld RF-ID Readers" The 2006 ECTI International Conference (ECTI-CON2006), May 10-13, 2006 at Ubon Ratchathani, Thailand.

ปัจจุบันสนใจงานวิจัยด้านการออกแบบวงจรรวมทางด้านแอนะล็อกอินกำลังงานต่ำสำหรับอุปกรณ์อิเล็กทรอนิกส์แบบพกพาที่ประยุกต์ใช้งานทางการแพทย์ และเทคนิคต่างๆ สำหรับการออกแบบวงจรรวมทางกายภาพ