

วงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทาน  
และการประยุกต์ใช้งาน

RESISTORLESS FIRST-ORDER ALL-PASS FILTER AND ITS APPLICATION



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2556

KMITL-2013-EN-M-010-162

วงจรรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทาน  
และการประยุกต์ใช้งาน  
RESISTORLESS FIRST-ORDER ALL-PASS FILTER AND ITS APPLICATION



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชาวิศวกรรมโทรคมนาคม  
คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
พ.ศ.2556

KMITL-2013-EN-M-010-162

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# RESISTORLESS FIRST-ORDER ALL-PASS FILTER AND ITS APPLICATION



A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING  
FACULTY OF ENGINEERING  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG  
2013

KMITL-2013-EN-M-010-162

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2013

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์    วงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทานและการประยุกต์ใช้งาน  
Thesis Title        Resistorless First-Order All-pass Filter and its Application  
นักศึกษา                นางสาวนพพร ไตรรัตน์วรารักษ์  
รหัสประจำตัว        52611210  
ปริญญา                วิศวกรรมศาสตรมหาบัณฑิต  
สาขาวิชา            วิศวกรรมโทรคมนาคม  
อาจารย์ที่ปรึกษาวิทยานิพนธ์    รศ.ดร.พิพัฒน์ พรหมมี  
หมายเลขวิทยานิพนธ์        KMITL-2013-EN-M-010-162

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.กอบชัย	เดชหาญ	
ผศ.ดร.ศรววัฒน์	ชีวปรีชา	
ผศ.ดร.กฤษณ์	อ่างแก้ว	
ผศ.ดร.มนตรี	คำเงิน	
รศ.ดร.พิพัฒน์	พรหมมี	

วัน / เดือน / ปี    ที่สอบ    วันพุธที่ 7 มิถุนายน พ.ศ. 2556    เวลา 13.00-15.00 น.  
สถานที่สอบ        ณ อาคาร A ชั้น 5 ห้องประชุม 4

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(ศาสตราจารย์ ดร.สุชัชวีร์ สุวรรณสวัสดิ์)

คณบดี คณะวิศวกรรมศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อวันที่ 7 มิถุนายน พ.ศ. 2556 ขอสงวนสิทธิ์ในการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทานและการประยุกต์ใช้งาน
นักศึกษา	นางสาวนพกร ไตรรัตน์วารภรณ์
รหัสนักศึกษา	52611210
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ..	2556
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร. พิพัฒน์ พรหมมี

### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรกรองผ่านทุกความถี่อันดับหนึ่งในรูปแบบกระแส โดยวงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทานนั้น สืบเคราะห์มาจากวงจรสายพานกระแสหลายเอาต์พุตแบบซีมอส (MO-CCCIIs) จำนวน 3 ชุด และเนื่องจากเป็นการใช้ตัวเก็บประจุแบบต่อกราวด์และไม่ใช้ตัวต้านทานจึงทำให้เหมาะกับการนำไปสร้างเป็นวงจรรวม วงจรกำเนิดสัญญาณหลายเฟสนำมาใช้ประยุกต์ใช้งานเพื่อยืนยันการใช้งานของวงจรกรองผ่านทุกความถี่อันดับหนึ่งที่นำเสนอ วงจรกำเนิดสัญญาณที่นำเสนอสามารถให้สัญญาณเอาต์พุตเป็นรูปคลื่นไซน์สองสัญญาณที่มีเฟสต่างกัน 90 องศา โดยค่าความถี่ของการออสซิลเลตและเงื่อนไขของการออสซิลเลตสามารถควบคุมได้โดยทางอิเล็กทรอนิกส์ จากการปรับค่ากระแสไบอัสหรือตัวเก็บประจุ คุณสมบัตินี้ และ ประสิทธิภาพของวงจรถูกจำลองการทำงานได้ด้วยโปรแกรม PSpice และพบว่ามีความสมบัติน่าสนใจสอดคล้องเป็นไปตามหลักการที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Resistorless First-Order All-pass Filter and its Application  
Student Miss Napakorn Trairattanawaraporn  
Student ID. 52611210  
Degree Master of Engineering  
Program Telecommunications Engineering  
Year 2013  
Thesis Advisor Assoc. Prof. Dr.Pipat Prommee

## ABSTRACT

This thesis proposes a current-mode resistorless first-order all-pass filter. The proposed all-pass filter is synthesized by three CMOS multi-output current-controlled current conveyors (CCCII) and a ground capacitor. Stage gain and natural frequency can be independently tuned through the bias currents. It is suitable for further integrated circuits. Current-mode multiphase sinusoidal oscillator (MSO) circuit is provided for insistence the use of proposed all-pass filters. MSO application provides the two output sinusoidal signals which equally spaced in phase (90 degree) and amplitude. The oscillation frequency and oscillation condition can be independently tuned through the bias currents. The simulation results of performance and characteristic using PSpice are included which are in agreement with the theoretical expectation.

## กิตติกรรมประกาศ

ผู้เขียนขอกราบขอบพระคุณ รศ.ดร. พิพัฒน์ พรหมมี อาจารย์ผู้ควบคุมวิทยานิพนธ์ฉบับนี้ ซึ่งอาจารย์ท่านมีพระคุณอย่างสูงทั้งให้คำปรึกษา แนะนำรวมถึง ให้นำแนวทางในการแก้ปัญหาทั้งในเรื่องการดำเนินชีวิต เรื่องหน้าที่การงาน สอนให้เรียนรู้การแบ่งเวลา และทำให้ผู้เขียนมีความสามารถในการคิดริเริ่มวงจรใหม่ๆ ไม่ว่าผู้เขียนจะท้อใจ ล้มเลิกไปก็ครั้ง ท่านยังคงให้กำลังใจ และพร้อมที่จะช่วยให้ผู้เขียนเริ่มต้นใหม่ได้เสมอ และที่สำคัญที่สุดคือ เป็นผู้ควบคุมการทำวิทยานิพนธ์ฉบับนี้ ทำให้ผู้เขียนสามารถจัดทำจนสำเร็จได้อย่างดี

ขอกราบขอบพระคุณคุณวิโรจน์ และคุณจิตตรา ไตรรัตน์วรารักษ์ ซึ่งเป็นบิดา และมารดาของผู้เขียน ที่ให้กำเนิดและเลี้ยงดู อีกทั้งยังให้ทุนในการศึกษาและ สนับสนุนผู้เขียนในทุกด้าน ไม่ว่าจะผิดพลาดกี่ครั้งก็ยังสนับสนุนให้เริ่มใหม่เสมอ ซึ่งเป็นกำลังใจที่ยิ่งใหญ่ที่สุดของผู้เขียน รวมถึงเป็นผู้สนับสนุนรายใหญ่ที่ทำให้วิทยานิพนธ์ฉบับนี้เสร็จสมบูรณ์

สุดท้ายนี้ผู้เขียนหวังเป็นอย่างยิ่งว่าวิทยานิพนธ์ฉบับนี้จะเป็นประโยชน์ต่อผู้อ่านไม่มากนักน้อย หากมีข้อผิดพลาดประการใดผู้เขียนต้องขออภัยมา ณ ที่นี้ด้วย

นพกร ไตรรัตน์วรารักษ์

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VII
สารบัญรูป	VIII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ของการศึกษา	2
1.3 หลักการที่นำเสนอในวิทยานิพนธ์	2
1.4 ขอบเขตของวิทยานิพนธ์	3
1.5 รายละเอียดของวิทยานิพนธ์	3
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	4
2.1 เทคโนโลยีการมอส	4
2.2 ชนิดของ MOS Transistor	5
2.2.1 PMOS หรือ P-channel MOSFET	5
2.2.2 NMOS หรือ N-channel MOSFET	6
2.2.3 มอสเฟตชนิดตีฟลิชั่น	6
2.2.4 มอสเฟตชนิดเอนฮานซ์เมนต์	7
2.2.4.1 โครงสร้างรูปที่ 2.5 แสดงโครงสร้างมอสเฟตแบบเอนฮานซ์เมนต์	7
2.2.4.2 Complementary MOS (CMOS)	11
2.3 คุณสมบัติการทำงานของมอสทรานซิสเตอร์	13
2.4 วงจรสมมูลมอสทรานซิสเตอร์	16
2.5 แบบจำลองมอสทรานซิสเตอร์	19
2.6 ทฤษฎีของวงจรสายพานกระแส (Current conveyor)	20
2.6.1 วงจรสายพานกระแสรุ่นที่ 1	21
2.6.2 วงจรสายพานกระแสรุ่นที่ 2	22
2.7 วงจรสายพานกระแสหลายเอาต์พุตแบบซีมอส(MO-CMOS)	24
2.8 วงจรกรองผ่านทุกความถี่โดยใช้สายพานกระแส	25
2.9 ทฤษฎีการทำงานของวงจรกรองความถี่	26
2.10 หลักการพื้นฐานของวงจรกรองความถี่	27

## สารบัญ(ต่อ)

	หน้า
2.11 ทฤษฎีของออสซิลเลเตอร์	29
2.12 องค์ประกอบของออสซิลเลเตอร์	29
2.12.1 ตัวกำเนิดพลังงาน (Energy Source)	29
2.12.2 วงจรกำเนิดความถี่ (Frequency-Determining Circuit)	29
2.12.3 วงจรขยาย (Amplifier Circuit)	29
2.12.4 วงจรป้อนกลับแบบบวก (Positive Feedback Circuit)	30
2.13 เงื่อนไขของการกำเนิดสัญญาณของวงจร	30
2.14 หลักการทำงานของวงจรออสซิลเลเตอร์	33
2.14.1 สภาวะเริ่มต้นการทำงานของวงจร (First Turn-On)	33
2.14.2 สภาวะการสร้างสัญญาณ (Signal Build-up)	33
2.14.3 สภาวะรักษาการสร้างสัญญาณ (Sustained Oscillation)	33
2.14.4 หน้าที่สำคัญของวงจรออสซิลเลเตอร์	33
2.14.5 เงื่อนไขที่วงจรจะทำการออสซิลเลทสัญญาณออกมาได้	33
2.15 ลักษณะการทำงานของวงจรออสซิลเลเตอร์	34
2.15.1 มีความเพี้ยนของรูปคลื่นต่ำ (Low Distortion)	34
2.15.2 มีเสถียรภาพทางความถี่ (Frequency Stability)	35
2.15.3 มีเสถียรภาพทางขนาดของสัญญาณ (Amplitude Stability)	35
บทที่ 3 หลักการที่เคยนำเสนอในอดีต	36
3.1 บทนำ	36
3.2 การออกแบบวงจรกรองสัญญาณผ่านทุกความถี่โดยใช้โอปแอมป์	37
3.2.1 วงจรกรองสัญญาณความถี่ชนิดมีมุมมององศาตาม (Phase-Lag All-Pass Filter)	37
3.2.2 วงจรกรองสัญญาณความถี่ชนิดมีมุมมององศาหน้า (Phase-Lead All-Pass Filter)	38
3.3 วงจรกรองสัญญาณผ่านทุกความถี่โดยใช้สายพานกระแส	40
3.3.1 วงจรสายพานกระแสรุ่นที่ 1	40
3.3.2 วงจรสายพานกระแสรุ่นที่ 2	41
3.4 วงจรออสซิลเลเตอร์ที่ใช้โอทีเอ [10]	44
3.5 วงจรออสซิลเลเตอร์ที่ใช้วงจรสายพานกระแสรุ่นที่สอง	45
3.6 วงจรออสซิลเลเตอร์ที่ใช้วงจรสายพานกระแสรุ่นที่สองควบคุมด้วยกระแส	51

## สารบัญ(ต่อ)

	หน้า
บทที่ 4 วงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทานและการประยุกต์ใช้งาน	53
4.1 (ก) วงจรสายพานกระแสหลายเอาต์พุตแบบซิมอส	53
4.2 โคจรข่ายผ่านทุกความถี่รูปแบบกระแสที่ใช้ CCCIs	55
4.3 โคจรข่ายผ่านทุกความถี่อันดับหนึ่งที่นำเสนอ	56
4.4 การประยุกต์ใช้งาน	57
4.4.1 ออสซิลเลเตอร์แบบควอดราเจอร์ (Quadrature Oscillator)	57
4.4.2 ภาคส่งของวงจร Quadrature Phase Shift Keying (QPSK)	59
4.5 การวิเคราะห์เชิงไม่เป็นอุดมคติของ CCCIs	61
4.6 ค่าความไวของโคจรข่ายต่ออุปกรณ์	63
4.7 ผลการจำลองการทำงาน	63
4.8 ผลการจำลองการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์	68
บทที่ 5 สรุปผลและข้อเสนอแนะ	71
5.1 สรุปผล	71
5.2 ข้อเสนอแนะ	72
เอกสารอ้างอิง	73
ภาคผนวก	75
ภาคผนวก ก. การวิเคราะห์วงจร	76
ก.1 การวิเคราะห์หลักการกำเนิดสัญญาณไซน์ด้วยตัวกรองผ่านทุกความถี่	77
ก.2 วิเคราะห์หาสมการส่งผ่านของวงจรโคจรข่ายผ่านทุกความถี่ที่ใช้ CCCI	77
ภาคผนวก ข. ตัวอย่างโปรแกรม PSpice	80
ข.1 ตัวอย่างโปรแกรม PSpice กรณีการปรับค่ากระแสไบอัส	81
ข.2 ตัวอย่างโปรแกรม PSpice กรณีวงจรกำเนิดสัญญาณควอดเรเจอร์	85
ข.3 แบบจำลองและค่าทรานซิสเตอร์	89
ภาคผนวก ค. บทความวิจัยที่ได้รับการตีพิมพ์	90
ประวัติผู้เขียน	98

## สารบัญตาราง

	หน้า
4.1 ค่า Aspect Ratio ของทรานซิสเตอร์ที่ใช้สำหรับ (CMOS MO-CCCIIs)	63
4.2 ค่าการปรับกระแสไบอัส ( $I_B$ ) ที่แปรตามค่าความถี่ ( $f$ )	70
ข.1 โมเดล TSMC MOSIS 0.25 $\mu\text{m}$	89



## สารบัญรูป

รูปที่	หน้า
2.1 แสดงสัญลักษณ์ทางวงจรและลักษณะโครงสร้างของ MOS Transistor ชนิด N-channel	4
2.2 แสดงมอสทรานซิสเตอร์ชนิด PMOS	5
2.3 แสดงมอสทรานซิสเตอร์ชนิด NMOS	6
2.4 มอสทรานซิสเตอร์แบบดีฟลิชัน ชนิด N-channel	7
2.5 โครงสร้างมอสเฟตแบบเอนฮานซ์เมนต์ชนิด N-channel	8
2.6 การทำงานของ MOS Transistor ในช่วงต่างๆ	10
2.7 โครงสร้าง CMOS	11
2.8 เส้นคุณสมบัติระหว่าง $I_D - V_{GS}$ ของมอสทรานซิสเตอร์แบบดีฟลิชันชนิดเอ็นแชนแนล	12
2.9 เส้นคุณสมบัติระหว่าง $I_D - V_{GS}$ ของมอสเฟตทั้งชนิดเอนฮานซ์เมนต์และดีฟลิชัน	12
2.10 แบบจำลองการทำงานของมอสทรานซิสเตอร์ (ก) NMOS (ข) PMOS	13
2.11 กราฟความสัมพันธ์ระหว่าง $I_D - V_{DS}$ ตามสมการที่ (2.4) เมื่อ $\lambda = 0$	15
2.12 คุณสมบัติทางเอาต์พุต (Output Characteristics) ของมอสทรานซิสเตอร์	16
2.13 (ก) วงจรสมมูลมอสทรานซิสเตอร์ กรณีไม่พิจารณาผลของ $\lambda$ ขณะทำงานในช่วงอิ่มตัว	17
2.13 (ข) วงจรสมมูลมอสทรานซิสเตอร์ กรณีพิจารณาผลของ $\lambda$ โดยเพิ่ม ความต้านทานที่เอาต์พุต	17
2.14 วงจรสมมูลของมอสทรานซิสเตอร์กรณีฐานรองไม่ต่อกับชาซอร์ส	19
2.15 สัญลักษณ์ของวงจรสายพานกระแส	21
2.16 สัญลักษณ์ของวงจรสายพานกระแสรุ่นที่หนึ่ง (CCI)	22
2.17 บล็อกไดอะแกรมของวงจร CCII	23
2.18 (ก) วงจรสายพานกระแสควบคุมด้วยกระแสแบบซีมอส	24
2.18 (ข) สัญลักษณ์	24
2.19 วงจรกรองผ่านทุกความถี่โดยใช้สายพานกระแส	26
2.20 ระบบของวงจรกรองความถี่	27
2.21 บล็อกไดอะแกรมแสดงองค์ประกอบของออสซิลเลเตอร์	30
2.22 บล็อกไดอะแกรมของวงจรที่มีการป้อนกลับแบบบวก	30
2.23 ลักษณะคลื่นในทฤษฎีเทียบกับคลื่นที่มีความผิดเพี้ยน	34
3.1 วงจรกรองสัญญาณผ่านทุกความถี่ชนิดมีมุมมองคาตาม	37
3.2 วงจรกรองสัญญาณผ่านทุกความถี่ชนิดมีมุมมองคาน่า	38
3.3 สัญลักษณ์ของวงจรสายพานกระแสรุ่นที่หนึ่ง (CCI)	40
3.4 บล็อกไดอะแกรมของวงจร CCII	41
3.5 วงจรกรองผ่านทุกความถี่ [22]	43
3.6 วงจรกรองผ่านทุกความถี่ [23]	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป

รูปที่	หน้า
3.7 วงจรกำเนิดสัญญาณไซน์สามเฟสแบบปรับค่าด้วยวิธีทางอิเล็กทรอนิกส์ [10]	44
3.8 วงจร OTA-C ที่พัฒนามาจากวงจรกำเนิดสัญญาณไซน์สามเฟสแบบปรับค่าด้วยวิธีทางอิเล็กทรอนิกส์ในรูปที่ 3.1 [10]	45
3.9 วงจรกำเนิดสัญญาณไซน์แบบหกเฟส [12]	46
3.10 วงจรกำเนิดสัญญาณไซน์แบบสามเฟส [12]	46
3.11 วงจรออสซิลเลเตอร์ที่นำเสนอโดย J.W. Horng. ในปี ค.ศ. 2001[16]	47
3.12 วงจรกำเนิดสัญญาณแบบควอดเรเจอร์ 2 แบบแรกที่ J.W. Horng นำเสนอ [6]	48
3.13 วงจรกำเนิดสัญญาณควอดเรเจอร์ที่ J.W. Horng นำเสนออีก 4 แบบ [6]	49
3.14 วงจรออสซิลเลเตอร์ที่นำเสนอโดย S. Turkoz และ S. Minaei [15]	51
3.15 วงจรออสซิลเลเตอร์ที่ใช้แทนวงจรในรูปที่ 3.9 ที่นำเสนอโดย J.W. Horng [16]	52
4.1 (ก) วงจรสายพาราสแตคควบคุมด้วยกระแสแบบซิมอส, (ข) สัญลักษณ์	54
4.2 วงจรทรานส์ (ก) อิมพีแดนซ์, (ข) คอนดัคแตนซ์	55
4.3 โครงข่ายผ่านทุกความถี่ที่ใช้ CMOS MO-CCCLs	56
4.4 วงจรออสซิลเลเตอร์แบบควอดราเจอร์	57
4.5 บล็อกไดอะแกรมแสดงหลักการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์	59
4.6 บล็อกไดอะแกรมแสดงหลักการทำงานของวงจร Quadrature Phase Shift Keying (QPSK)	60
4.7 โครงสร้างของวงจร CCCILs ในเชิงไม่เป็นอุดมคติ	61
4.8 วิเคราะห์โครงข่ายของวงจร CCCILs ในเชิงไม่เป็นอุดมคติ	62
4.9 การปรับค่าการตอบสนองทางเฟส จากการปรับค่ากระแสไบอัส ( $I_B$ )	64
4.10 การปรับค่าเกน จากการปรับค่ากระแสไบอัส ( $I_{B1}$ )	65
4.11 เอาต์พุตของวงจรองความถี่ ตามการปรับค่ากระแสไบอัส ( $I_{B1}$ )	66
(ก) ที่กระแสไบอัส $I_{B1} = 2\mu A$	66
(ข) ที่กระแสไบอัส $I_{B1} = 10\mu A$	66
(ค) ที่กระแสไบอัส $I_{B1} = 100\mu A$	67
4.12 เอาต์พุตของวงจรออสซิลเลเตอร์แบบควอดราเจอร์	68
4.13 สเปกตรัมความถี่ของสัญญาณชายน์	69
4.14 รูปแสดงการปรับค่ากระแสไบอัส ( $I_B$ )	69
ก.1 วงจรโครงข่ายผ่านทุกความถี่ที่ใช้ CCCIL	73
ก.2 วงจรที่ใช้วิเคราะห์	73

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันวงจรถ้าจะกล่าวถึงวงจรกรองความถี่นั้นนับเป็นวงจรรีเล็กทรอนิกส์ที่มีความสำคัญมาก โดยมีการนำไปใช้งานในด้านต่างๆ อย่างแพร่หลาย เช่นทางด้านอิเล็กทรอนิกส์, การสื่อสาร, การควบคุมและทางด้านเครื่องมือแพทย์ โดยในทุกวันนี้วงจรกรองความถี่สามารถแบ่งออกเป็นสองรูปแบบคือ วงจรกรองความถี่แบบแอนาล็อก (Analog Filter) กับวงจรกรองความถี่แบบดิจิทัล (Digital Filter) วงจรกรองความถี่ทำหน้าที่จำแนกความถี่ตามความต้องการของผู้ใช้แบ่งตามคุณลักษณะของผลตอบสนองความถี่ (Frequency Response) ได้ 4 ชนิดด้วยกันคือ วงจรกรองความถี่ต่ำผ่าน (Low-pass Filter: LPF), วงจรกรองความถี่สูงผ่าน (High-pass Filter: HPF), วงจรกรองแถบความถี่ผ่าน (Band-pass Filter: BPF) และวงจรกรองแถบความถี่หยุดผ่าน (Band-stop Filter: BSF) วงจรกรองความถี่ที่ใช้งานกันอยู่ทั่วไป มักนิยมใช้วงจรกรองความถี่แบบแอนาล็อก ซึ่งประกอบไปด้วย ตัวความต้านทาน, ตัวเก็บประจุ, ตัวเหนี่ยวนำ และอุปกรณ์กึ่งตัวนำเช่นออปแอมป์ ข้อดีคือออกแบบได้ง่ายและราคาถูก แต่มีข้อเสียที่ทำงานในรูปแบบแรงดัน ต้องใช้ไฟเลี้ยงสูง ทำงานที่ความถี่สูงได้ไม่ดี ไม่สามารถปรับค่าความถี่ทางอิเล็กทรอนิกส์ได้อย่างอิสระ ส่วนวงจรกรองความถี่แบบดิจิทัลมีเสถียรภาพที่ดีกว่าและความถี่ที่ต้องการมีความคลาดเคลื่อนน้อยกว่า แต่มีข้อเสียคือ ทำงานในความถี่สูงได้ไม่ดี ไม่สามารถปรับค่าความถี่ทางอิเล็กทรอนิกส์ได้ การออกแบบทำได้ยากกว่าและมีราคาสูงกว่า ซึ่งในวิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรกรองผ่านทุกความถี่แอนาล็อกรูปแบบกระแสโดยใช้วงจรสายพานกระแสรุ่นที่สองปรับค่าได้ด้วยกระแส (CCCII) ซึ่งวงจรที่นำเสนอมีลักษณะเด่น คือ

- ออกแบบวงจรด้วยโครงสร้างที่ง่ายและไม่ซับซ้อน เมื่อเทียบกับบทความในอดีต
- ใช้ตัวเก็บประจุแบบต่อกราวด์โดยไม่ใช้ความต้านทานจากภายนอก
- ประยุกต์ใช้เป็นวงจรเลื่อนเฟสแบบนำหน้าและล่าหลังได้ในวงจรเดียวกัน
- สามารถปรับค่าความถี่ตอบสนอง และเกณฑ์การขยาย ได้ทางอิเล็กทรอนิกส์โดยปรับจากกระแสไบอัสของ CCCII อย่างเป็นอิสระ
- ไม่มีการใช้ตัวต้านทาน ทำให้เหมาะกับการนำไปสร้างเป็นวงจรรวมต่อไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการทำวิทยานิพนธ์ฉบับนี้ได้นำวงจรกรองผ่านทุกความถี่อันดับหนึ่งในรูปแบบกระแส และตัวเก็บประจุแบบต่อลงกราวด์โดยที่ไม่ใช้ตัวต้านทาน ไปประยุกต์ใช้เป็นเครื่องกำเนิดสัญญาณไซน์ (Oscillator) เพื่อยืนยันผลการใช้งานว่าทำได้จริงตามหลักการและลดข้อเสียต่างๆที่เคยเกิดขึ้นในอดีต โดยมีการใช้โปรแกรม PSpice ในการแสดงผลการทดลอง

## 1.2 วัตถุประสงค์ของวิทยานิพนธ์

ปัจจุบันวงจรที่ออกแบบโดยใช้เทคโนโลยีซีมอสเป็นที่นิยมอย่างกว้างขวางในการออกแบบวงจรรวม (VLSI) มีการพัฒนาอุปกรณ์แอกทีฟต่างๆเพื่อปรับปรุงวงจรให้มีประสิทธิภาพเพิ่มมากขึ้น ไม่ว่าจะเป็นความสามารถในการปรับค่าด้วยวิธีทางอิเล็กทรอนิกส์ แรงดันไฟเลี้ยงต่ำลง หรือสามารถปรับค่าเกณฑ์ได้ ทั้งนี้หนึ่งในอุปกรณ์แอกทีฟนั้น คือ วงจรสายพานกระแสหลายเอาต์พุตแบบซีมอส (MO-CCII<sub>s</sub>) โดยในบทความนี้ได้นำตัวเก็บประจุแบบต่อกราวด์และไม่ใช้ตัวต้านทาน ซึ่งค่าความถี่ของการออสซิลเลต และเงื่อนไขของการออสซิลเลตสามารถควบคุมได้โดยทางอิเล็กทรอนิกส์ จากการปรับค่ากระแสไบอัสหรือตัวเก็บประจุ อีกทั้งวงจรที่นำเสนอมีโครงสร้างไม่ซับซ้อน ใช้แรงดันไฟเลี้ยงต่ำ เนื่องจากใช้เทคโนโลยีซีมอส จึงมีความเหมาะสมในการนำไปสร้างเป็นวงจรรวมต่อไป ซึ่งในวิทยานิพนธ์ฉบับนี้ ได้นำวงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทานและตัวเก็บประจุต่อลงกราวด์ที่เสนอ ไปประยุกต์ใช้เป็นวงจรถูกกำเนิดสัญญาณไซน์ เพื่อแสดงให้เห็นว่า สามารถใช้งานได้ถูกต้องตามวัตถุประสงค์

## 1.3 หลักการที่นำเสนอในวิทยานิพนธ์

จากการติดตามงานวิจัยที่เกี่ยวข้องกับการออกแบบวงจรรองผ่านทุกความถี่ที่เคยมีการนำเสนอขึ้นในอดีต พบว่าวงจรส่วนใหญ่ยังใช้อุปกรณ์พาสซีฟแบบลอยตัวหรือต่อกราวด์มากเกินไป [1]-[3], [5], [9]-[10], [13-14] ในขณะที่ [4], [6]-[8] ใช้อุปกรณ์แอกทีฟมากเกินไปและบางวงจรถูกปรับค่าความถี่ออสซิลเลตยังไม่อิสระจากเงื่อนไขของการออสซิลเลต [3]-[4] โดยวิทยานิพนธ์ฉบับนี้ขอนำเสนอวงจรรองผ่านทุกความถี่อันดับหนึ่ง โดยวงจรรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทานนั้น สังเคราะห์มาจากวงจรสายพานกระแสหลายเอาต์พุตแบบซีมอส จำนวน 3 ชุด และเนื่องจากการใช้ตัวเก็บประจุแบบต่อกราวด์และไม่ใช้ตัวต้านทานจึงทำให้เหมาะกับการนำไปสร้างเป็นวงจรรวม วงจรถูกกำเนิดสัญญาณหลายเฟสนำมาใช้ประยุกต์ใช้งานเพื่อยืนยันการใช้งานของวงจรรองผ่านทุกความถี่อันดับหนึ่งที่นำเสนอ วงจรถูกกำเนิดสัญญาณที่นำเสนอสามารถให้สัญญาณเอาต์พุตเป็นรูปคลื่นไซน์สองสัญญาณที่มีเฟสต่างกัน 90 องศา โดยค่าความถี่ของการออสซิลเลตและเงื่อนไขของการออสซิลเลตสามารถควบคุมได้โดยทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิเล็กทรอนิกส์ จากการปรับค่ากระแสไบอัสหรือตัวเก็บประจุ คุณสมบัติและผลการจำลองจะใช้โปรแกรม PSpice มาช่วยตรวจสอบคุณสมบัติของวงจรและช่วยยืนยันลักษณะการทำงานของวงจร

#### 1.4 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ศึกษาถึงการนำเสนอวงจรกรองผ่านทุกความถี่อันดับหนึ่งและการประยุกต์ใช้งาน โดยวงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ตัวเก็บประจุแบบต่อลงกราวด์ และไม่ใช้ตัวต้านทานนั้น สืบเคราะห์มาจากวงจรสายพานกระแสหลายเอาต์พุตแบบซิมอส (MO-CCCs) จำนวน 3 ชุด โดยการประยุกต์ใช้งานได้นำเสนอวงจรกำเนิดสัญญาณไซน์ โดยสัญญาณเอาต์พุตรูปคลื่นไซน์สองสัญญาณที่ได้จะมีเฟสต่างกัน 90 องศา โดยค่าความถี่ของการออสซิลเลตและเงื่อนไขของการออสซิลเลตสามารถควบคุมได้โดยทางอิเล็กทรอนิกส์ จากการปรับค่ากระแสไบอัสหรือตัวเก็บประจุ ซึ่งจะเป็นอิสระจากการออสซิลเลต คุณสมบัติ และ ประสิทธิภาพของวงจร สามารถยืนยันคุณสมบัติและประสิทธิภาพได้ด้วยโปรแกรม PSpice

#### 1.5 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บท ดังต่อไปนี้

บทที่ 1 กล่าวถึง ความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ของวิทยานิพนธ์ หลักการที่นำเสนอในวิทยานิพนธ์ ขอบเขตของวิทยานิพนธ์

บทที่ 2 กล่าวถึง ทฤษฎีที่เกี่ยวข้อง ประกอบด้วย บทนำ ทฤษฎีของวงจรสายพานกระแส วงจรสายพานกระแสรุ่นที่หนึ่ง และรุ่นที่สอง พร้อมโครงสร้างของวงจรสายพานกระแสทั้งสองรุ่นตามลำดับ, ทฤษฎีของวงจรสายพานกระแสหลายเอาต์พุตแบบซิมอส, โครงสร้างของวงจรกรองผ่านทุกความถี่รูปแบบกระแสที่ใช้ CCCII, โครงสร้างวงจรกรองผ่านทุกความถี่อันดับหนึ่งที่นำเสนอ, การวิเคราะห์เชิงไม่เป็นอุมคติของ CCCII, ทฤษฎีการทำงานของวงจรกรองความถี่ และทฤษฎีของออสซิลเลเตอร์

บทที่ 3 กล่าวถึง หลักการที่เคยนำเสนอในอดีต

บทที่ 4 กล่าวถึง วงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทานและการประยุกต์ใช้งาน

บทที่ 5 กล่าวถึง บทสรุปและข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

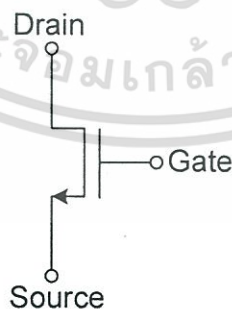
## บทที่ 2

# ทฤษฎีที่เกี่ยวข้อง

### 2.1 เทคโนโลยีการมอส

มอสเฟต (Metal Oxide Semiconductor Field Effect Transistor หรือ MOSFET) หรือเรียกว่า มอสทรานซิสเตอร์ (MOS Transistor) โดยแนวความคิดในการสร้างมอสทรานซิสเตอร์นั้นมีมาก่อนการสร้าง ไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistor) ซึ่งในสมัยก่อนนั้นการควบคุมกระบวนการสร้างรอยต่อของฉนวนกึ่งตัวนำ (Insulator-Semiconductor Interface) นั้นทำได้ยาก จนกระทั่งได้มีการคิดค้นกระบวนการ Silicon planer และเทคโนโลยีสมัยใหม่ที่สามารถควบคุมรอยต่อระหว่างออกไซด์และซิลิกอนได้ทำให้มอสเฟตสามารถนำมาใช้งานได้จริง มอสเฟตหรือมอสทรานซิสเตอร์นั้นเป็นสิ่งประดิษฐ์สารกึ่งตัวนำชนิดหนึ่งในตระกูลสารกึ่งตัวนำประเภทผลของสนามไฟฟ้า (Field Effect Devices) ซึ่งมีลักษณะเด่นคือมีความต้องการพลังงานในขณะใช้งานต่ำ แต่มีประสิทธิภาพในการทำงานสูงเมื่อเทียบกับสิ่งประดิษฐ์สารกึ่งตัวนำประเภทอื่นๆ ที่มีลักษณะการใช้งานแบบเดียวกัน จึงทำให้มอสทรานซิสเตอร์เป็นที่นิยมใช้กันทั่วไป โดยเฉพาะในวงจรที่ต้องการใช้พลังงานต่ำๆ หรือในโครงสร้างของวงจรรวม (Integrated Circuit) ที่มีจำนวนตัวประกอบ (Component) มากๆ เช่น ไอซี ระดับ LSI และ VLSI ทั่วไป เป็นต้น

มอสทรานซิสเตอร์ต่างๆไป ประกอบด้วย 3 ส่วนคือ ส่วนเดรน (Drain region: D) ส่วนเกต (Gate region: G) และซอร์ส (Source region: S) ตามรูปที่ 2.1



รูปที่ 2.1 แสดงสัญลักษณ์ทางวงจรและลักษณะโครงสร้างของ MOS Transistor ชนิด N-channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ที่ส่วนซอร์ส (Source) เป็นบริเวณของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง (Substrate) ทำหน้าที่เป็นแหล่งจ่ายประจุพาหะที่ทำให้เกิดกระแสไฟฟ้าของมอส ( $I_{ds}$ )

- ส่วนเดรน (Drain) เป็นอีกบริเวณหนึ่งของสารกึ่งตัวนำที่ต่างชนิดกับฐานรอง (Substrate) แต่เป็นสารกึ่งตัวนำชนิดเดียวกับส่วนซอร์ส ทำหน้าที่เป็นทางออกไปสู่วงจรภายนอกของประจุพาหะที่มาจากส่วนซอร์ส

- ส่วนเกต (Gate) เป็นบริเวณที่เชื่อมอยู่ระหว่างเดรนกับซอร์สมีโครงสร้างทั่วไปประกอบด้วยชั้นบนสุดเป็นโลหะ (Metal) ตัวนำ ชั้นรองลงมาเป็นพวกฉนวนได้แก่ออกไซด์ (Oxide) ของสารกึ่งตัวนำที่ใช้ และชั้นล่างสุดเป็นสารกึ่งตัวนำ (Semiconductor) ซึ่งใช้เป็นฐานรองด้วย ส่วนเกตนี้จะเป็นส่วนควบคุมปริมาณประจุพาหะที่เคลื่อนที่จากซอร์ส ไปเดรน

จากลักษณะโครงสร้างดังกล่าวซึ่งบริเวณส่วนเกตประกอบด้วย Metal-Oxide Semiconductor จึงเรียกว่อมอสทรานซิสเตอร์และจะเป็นได้ว่ากระแสไหลผ่านส่วนเกตนี้ไปได้น้อยมากๆ เนื่องจากมีชั้นฉนวน ป้องกันอยู่นั่นเอง

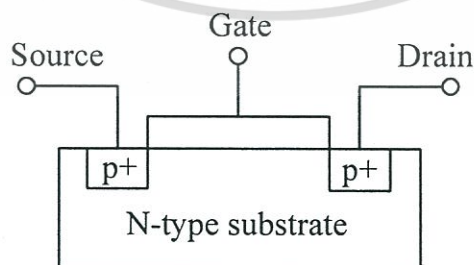
ดังนั้นในขณะที่ใช้งานส่วนเกตต้องการเพียงแหล่งจ่ายความต่างศักย์เท่านั้น ไม่ต้องการแหล่งจ่ายกระแสเลย จึงทำให่อมอสทรานซิสเตอร์ มีความต้องการพลังงานในขณะที่ใช้งาน (Power Consumption) ต่ำนั่นเอง สำหรับส่วนเดรนและ ส่วนซอร์ส นั้นโดยปกติแล้วจะมีโครงสร้างเหมือนกันทุกประการ ซึ่งสามารถใช้สลับกันได้อันเป็นคุณสมบัติพิเศษอีกประเภท หนึ่งของมอสทรานซิสเตอร์ตัวเดียวกันนั้น เพื่อความสะดวกในการใช้งานจึงสร้างให้ส่วนซอร์สเชื่อมต่อกับส่วนของฐานรอง เชื่อมต่อกับขาซอร์สหรือละเว้นไม่เขียนขาของฐานรองโดยให้เข้าใจเองว่าส่วนของฐานรองต่ออยู่กับส่วนซอร์ส

## 2.2 ชนิดของ MOS Transistor

ถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแส สามารถแบ่งเป็น 2 ชนิด คือ

### 2.2.1 PMOS หรือ P-channel MOSFET

ซึ่งมีการเคลื่อนที่ของประจุบวกหรือโฮล (hole) (ใช้โฮลเป็นพาหะในการนำกระแส) จึงกำหนดให้ส่วน Drain และ Source เป็นสาร กึ่งตัวนำชนิดพี (p-type semiconductor) ดังนั้นถ้ากระแสจะเคลื่อนที่ระหว่าง Drain และ Source ได้นั้นบริเวณ ช่องทางเดินกระแสจะต้องมีสภาพเป็นสารกึ่งตัวนำชนิด N (N-type substrate)

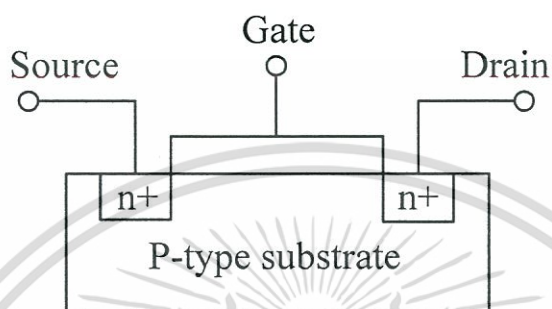


รูปที่ 2.2 แสดงมอสทรานซิสเตอร์ชนิด PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.2.2 NMOS หรือ N-channel MOSFET

ซึ่งมีการเคลื่อนที่ของประจุลบหรืออิเล็กตรอน (electron) (ใช้อิเล็กตรอนเป็นพาหะในการนำกระแส) จึงกำหนดให้ส่วน Drain และ Source เป็นสารกึ่งตัวนำชนิดเอ็น (n-type semiconductor) ดังนั้นถ้ากระแสจะเคลื่อนที่ระหว่าง Drain และ Source ได้บริเวณ ช่องทางเดินกระแสจะต้องมีสภาพเป็นสารกึ่งตัวนำชนิด P (P-type substrate)



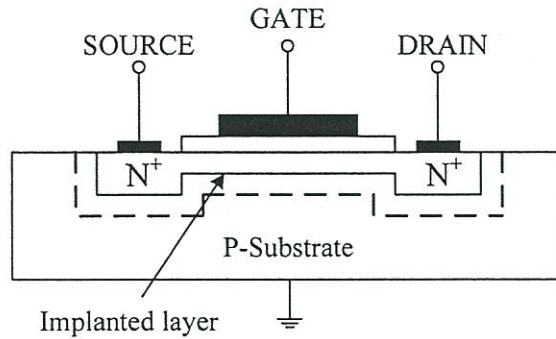
รูปที่ 2.3 แสดงมอสทรานซิสเตอร์ชนิด NMOS

ถ้าแบ่งตามลักษณะการทำงาน จะสามารถแบ่งได้เป็น 2 ลักษณะคือ ทรานซิสเตอร์แบบเอนฮานซ์เมนต์รูปแบบ (Enhancement Mode Transistor) และทรานซิสเตอร์แบบดีพลีเคชันรูปแบบ (Depletion Mode Transistor)

## 2.2.3 มอสเฟตชนิดดีพลีเคชัน

มีลักษณะโครงสร้างและสัญลักษณ์แสดงดังรูปที่ 2.4 โดยที่ส่วนของซอร์สและเดรนถูกสร้างขึ้นโดยการแพร่อะตอมของสารเจือปนชนิดเอ็นซึ่งมีความหนาแน่นสูงเข้าไปในฐานรองของสารกึ่งตัวนำชนิดพี หลังจากนั้นส่วนของแชนแนลถูกสร้างขึ้นด้วยวิธีอิมพลานเตชัน ซึ่งเป็นการยิงอะตอมของสารเจือปนเข้าไปในเนื้อสารกึ่งตัวนำ ส่วนโครงสร้างอื่นๆจะมีลักษณะเหมือนแบบชนิดเอนฮานซ์เมนต์ทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 มอสทรานซิสเตอร์แบบดีฟลิชัน ชนิด N-channel

จากลักษณะโครงสร้างดังรูป 2.4 จะเห็นว่าแรงดันเกตเป็นศูนย์และแรงดันซอร์สเดรนมีค่าๆหนึ่งจะมีกระแสเกิดขึ้นได้ กล่าวคือ แม้ว่าจะไม่มีแรงดันที่เกตกระแสก็สามารถไหลผ่านแชนแนลได้ เนื่องจากแชนแนลได้ถูกสร้างขึ้นมาก่อน แล้วต่างจากชนิดเอนฮานซ์เมนต์ที่จำเป็นต้องมีแรงดันที่เกตมีค่าๆหนึ่ง เพื่อที่จะเหนี่ยวนำให้เกิดแชนแนลได้ การนำไฟฟ้าและความลึกของแชนแนลถูกควบคุมโดย  $V_{DS}$  เหมือนกรณีเอนฮานซ์เมนต์ เมื่อค่า  $V_{GS}$  เป็นบวกทำให้แชนแนลกว้างขึ้น เนื่องจากการดึงอิเล็กตรอนมาสะสมที่แชนแนลและทำให้การนำไฟฟ้าดีขึ้น และเมื่อ  $V_{GS}$  มีค่าเป็นลบ อิเล็กตรอนจะถูกผลักออกไปจากแชนแนล ทำให้แชนแนลแคบลงและการนำไฟฟ้าลดลง ในการทำงานขณะที่  $V_{GS}$  มีค่าเป็นลบนั้นเรียกว่า “การทำงานในช่วงดีฟลิชันรูปแบบ” ซึ่งเมื่อ  $V_{GS}$  มีค่าเป็นลบมากขึ้น อิเล็กตรอนจะถูกผลักออกไปจากแชนแนลจนหมด (Depleted) และแชนแนลจะหายไป ทำให้กระแส  $I_D$  เป็นศูนย์ ถึงแม้ว่า  $V_{GS}$  จะไม่เป็นศูนย์ก็ตาม โดยค่า  $V_{GS}$  ที่เป็นลบที่ทำให้แชนแนลหายไปในันเรียกว่า ค่าแรงดันขีดเริ่ม (Threshold Voltage) ของมอสเฟตแบบดีฟลิชันชนิด N-channel

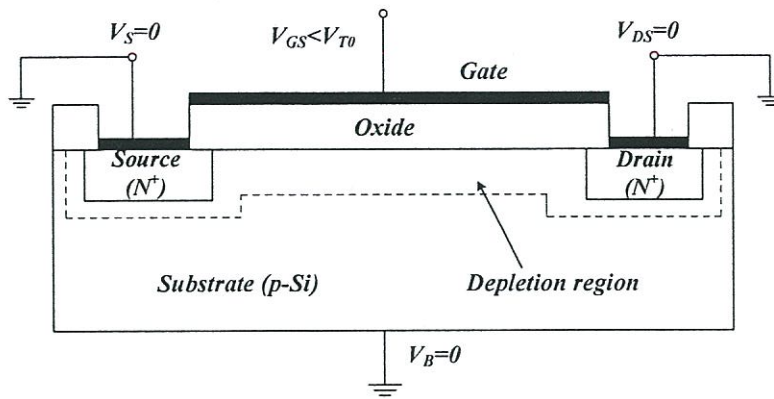
#### 2.2.4 มอสเฟตชนิดเอนฮานซ์เมนต์

ถูกใช้กันอย่างแพร่หลายมากกว่าชนิดดีฟลิชัน โดยหัวข้อนี้จะกล่าวถึงโครงสร้างและคุณสมบัติในการทำงานของมอสเฟตชนิดเอนฮานซ์เมนต์รวมถึงจะอธิบายถึงซีมอส (CMOS) ด้วย

##### 2.2.4.1 โครงสร้าง รูปที่ 2.5 แสดงโครงสร้างมอสเฟตแบบเอนฮานซ์เมนต์ชนิด N-channel

ซึ่งส่วนของ ซอร์ส (Source) และ (Drain) สร้างจากการแพร่อะตอมของสารเจือปนชนิด N (N-type) ที่มีความหนาแน่นสูง ( $n^+$ ) เข้าไปในผลึกฐานรอง (Substrate) ของสารกึ่งตัวนำชนิด P (P-type) ซึ่งเป็นผลึกซิลิกอนรูปเดี่ยว (Single-Crystal Silicon Wafer) ส่วนเกต (gate) จะเป็นโลหะ (metal) หรือชั้นของโพลีซิลิกอน ซึ่งซ้อนอยู่บนชั้นของออกไซด์ โดยมีโลหะอลูมิเนียมเป็นขั้วต่อไฟฟ้าของ gate กับโลหะหรือชั้นของโพลีซิลิกอนและเป็นขั้วต่อไฟฟ้าของซอร์สและเดรนด้วย  $V_{GS} < V_{T0}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 โครงสร้างมอสเฟตแบบเอนฮานซ์เมนต์ชนิด N-channel

การทำงานของมอสเฟตชนิดเอนฮานซ์เมนต์นั้น สามารถพิจารณาได้ตามรูปที่ 2.6 ซึ่งแสดงถึงการทำงานในช่วงต่างๆของ  $V_{DS}$  และ  $V_{GS}$  จากรูป 2.6 (ก) ขาซอร์ส ขาเดรน และฐานรอง ถูกต่อลงกราวด์ มีผลทำให้ทรานซิสเตอร์ทำงานคล้ายตัวเก็บประจุ โดยที่เกตและผิวของซิลิกอนใต้ฉนวนซิลิกอนไดออกไซด์จะทำหน้าที่เหมือนแผ่นระนาบ (Plate) ของตัวเก็บประจุ ซึ่งจะมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนคั่นอยู่ระหว่างกลาง ถ้า  $V_{GS}$  มีค่าเป็นลบ ประจุบวกหรือโฮลจะถูกดูดมาสะสมบริเวณแกนแนล มีผลทำให้บริเวณแกนแนลกลายเป็น  $P^+$  เรียกว่า แกนแนลสะสม (Accumulate Channel)

ส่วนบริเวณซอร์สและเดรนจะกลายเป็น  $N^+$  จะถูกแยกจากกันด้วยแกนแนล  $P^+$  เมื่อมองในลักษณะวงจรมุมแล้วจะเหมือนกับไดโอดสองตัวหันหลังชนกัน (Back-to-Back Diode) ดังนั้นถ้ากระแสจไหลได้ แรงดันที่ซอร์สและเดรนต้องมีค่ามากๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหล (Leakage Current)

ในกรณีที่แรงดันเกตมีค่าเป็นบวกเล็กน้อย ประจุบวกใต้เกตจะถูกขับออกไป ทำให้แกนแนลเปลี่ยนไปเป็น  $P^-$  กลายเป็นบริเวณปลอดพาหะ (Depletion Region) แต่เมื่อแรงดันที่เกตเพิ่มมากขึ้น อิเล็กตรอนจะถูกดูดมาบริเวณแกนแนลและแกนแนลจะกลายเป็น  $N^-$  ตามรูปที่ 2.6 (ข) ซึ่งจะเชื่อมซอร์สและเดรนเข้าด้วยกัน เรียกว่า แกนแนลกลับ (Inverted Channel) ค่าแรงดันเกตซอร์ส ( $V_{GS}$ ) ที่มีผลให้ความหนาแน่นอิเล็กตรอนใต้เกตมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรอง เรียกว่าแรงดันขีดเริ่มของทรานซิสเตอร์ (Transistor Threshold Voltage) สัญลักษณ์เป็น ( $V_T$ ) สำหรับ  $V_{GS} > V_T$  นั้นจะมีแกนแนล  $N^-$  เกิดขึ้น และเกิดการนำไฟฟ้าระหว่างเดรนและซอร์สได้

สำหรับกรณี  $V_{GS} < V_T$  โดยปกติแล้วจะสมมติให้ทรานซิสเตอร์ไม่ทำงานและไม่มีกระแสไหลระหว่างซอร์สและเดรน แต่เป็นเพียงการประมาณเท่านั้น โดยอย่างที่กล่าวไว้ว่าเมื่อ  $V_{GS} > V_T$  จะมีแกนแนล  $N^-$  เกิดขึ้น ดังนั้นเมื่อ  $V_{GS}$  เพิ่มขึ้นความหนาแน่นของอิเล็กตรอนในแกนแนลก็จะเพิ่มขึ้นด้วย จึงสรุปได้ว่าความหนาแน่น

ของประจุพาหะจะแปรผันตาม  $V_{GS} - V_T$  ซึ่งสามารถนิยามได้เป็นแรงดันเกตซอร์สประสิทธิผล (Effective Gate-Source Voltage) สัญลักษณ์เป็น  $(V_{eff})$  ดังนั้นค่าความหนาแน่นของประจุอิเล็กตรอนแสดงได้ดังสมการที่ (2.1)

$$Q = C_{ox}(V_{GS} - V_T) = C_{ox}V_{eff} \quad (2.1)$$

โดยที่  $C_{ox}$  เป็นค่าความจุทางไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่

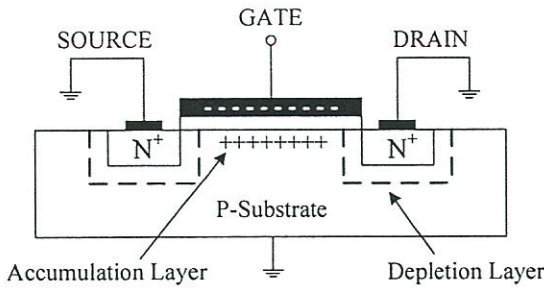
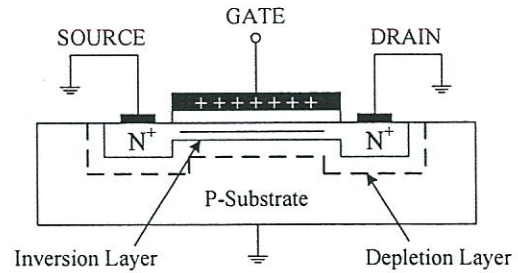
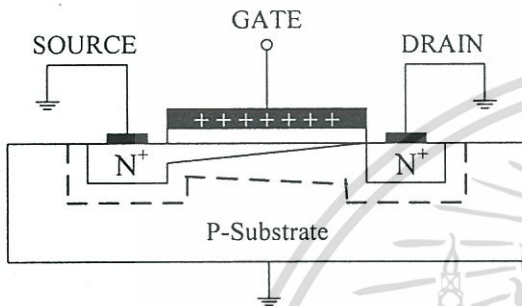
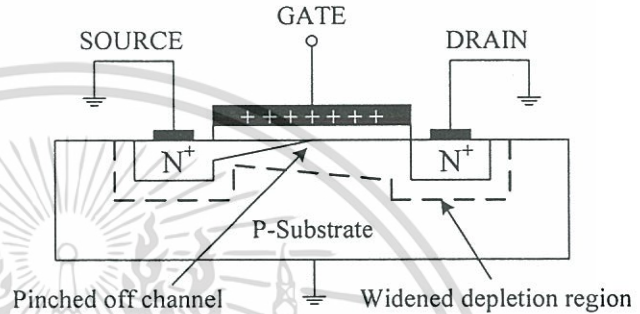
เมื่อแรงดันที่เดรนมีค่ามากกว่าศูนย์เล็กน้อยจะทำให้เกิดค่าความต่างศักย์ที่ซอร์สเดรน มีผลทำให้กระแสไหลจากซอร์สไปเดรนได้ ความสัมพันธ์ระหว่าง  $V_{DS}$  และ  $I_D$  จะเหมือนกรณีของความต้านทานโดยจะมีความสัมพันธ์ดังนี้

$$I_D = \mu Q \frac{W}{L} V_{DS} \quad (2.2)$$

โดยที่  $\mu$  เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอนและ  $Q$  เป็นค่าความหนาแน่นของประจุในแชนแนลต่อหนึ่งหน่วยพื้นที่ จากสมการ (2.1) และ (2.2) จะได้

$$I_D = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (2.3)$$

การทำงานของทรานซิสเตอร์ในเชิงโครงสร้างสามารถอธิบายได้ดังรูป 2.6 (ข) โดยเมื่อ  $V_{GS} > V_T$  และ  $V_{DS} = 0$  ซึ่งถ้า  $V_{GS} > V_T$  นั้นจะมีผลทำให้เกิดแชนแนลขึ้นแต่จะไม่มีกระแสไหล เพราะแรงดัน  $V_{DS} = 0$  แต่ถ้าให้  $V_{DS}$  มีค่าน้อยๆจนถึงค่าๆหนึ่ง จะทำให้เกิดมีกระแสไหลผ่านแชนแนลได้ ซึ่งการทำงานของ MOS Transistor ในช่วงนี้จะเหมือนตัวต้านทาน โดยมีความสัมพันธ์เป็นไปตามสมการ (2.3) ซึ่งจะเห็นได้ว่า  $I_D$  และ  $V_{DS}$  มีความสัมพันธ์กันเส้นเชิงสำหรับค่า  $V_{DS}$  น้อยๆ

(ก)  $V_{GS} \ll 0$ (ข)  $V_{GS} > V_T$  และ  $V_{DS} = 0$ (ค)  $V_{GS} > V_T$  และ  $V_{DS} = V_{GS} - V_T$ (ง)  $V_{GS} > V_T$  และ  $V_{DS} > V_{GS} - V_T$ 

## รูปที่ 2.6 การทำงานของ MOS Transistor ในช่วงต่างๆ

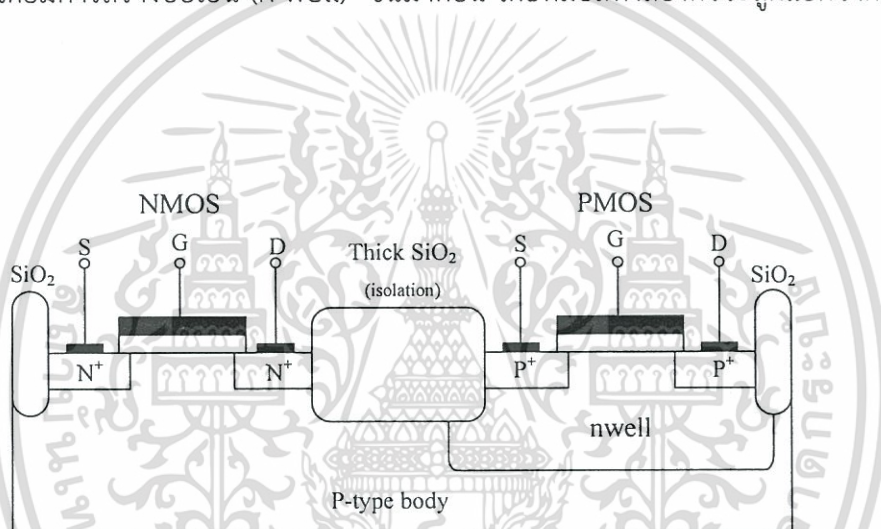
เมื่อ  $V_{DS}$  เพิ่มมากขึ้นความหนาแน่นของประจุพาหะที่แชนแนลจะลดลงตามแนวแชนแนลจากฝั่งซอร์สไปฝั่งเดรน ตามรูปที่ 2.6 (ค) ซึ่งการลดลงนี้มีผลทำให้เกิดแรงดันตกคร่อมแชนแนลที่ตำแหน่งต่างๆไม่เท่ากัน เช่นแรงดันที่ขาเดรนมากกว่าแรงดันที่ขาซอร์ส จะมีการเพิ่มขึ้นของแรงดันอย่างต่อเนื่องจากซอร์สไปเดรน มีผลทำให้แรงดันตกคร่อมระหว่างเกตและแชนแนลจะมีค่าสูงสุดเท่ากับ  $V_{GS}$  ที่ตำแหน่งขาด้านซอร์สและจะมีค่าต่ำสุดที่ตำแหน่งขาด้านเดรน และแรงดันเกตที่ทำให้เกิดแชนแนลคือ  $V_G = V_{GS} - V_T$  (เมื่อ  $V_{GS} < V_T$  กระแสจะไม่ไหล ปลายไม่มีแชนแนลเกิดขึ้น) เพื่อให้แชนแนลยาวสุดไปจนถึงปลายด้านเดรน แรงดันเกตต้องมากกว่า  $V_{DS}$  คือ  $V_G > V_{DS}$  หรือ  $V_{GS} - V_T > V_{DS}$  ซึ่งการทำงานของทรานซิสเตอร์ในช่วงนี้ ( $V_{DS} < V_{GS} - V_T$ ) จะเรียกว่า ช่วงไม่อิ่มตัว เมื่อ  $V_{DS}$  เพิ่มขึ้นจนกระทั่ง ( $V_{DS} = V_{GS} - V_T$ ) ทรานซิสเตอร์จะเริ่มเข้าสู่ภาวะอิ่มตัว และลักษณะของช่วงอิ่มตัวแสดงได้ดังรูป 2.6 (ค) ต่อมาเมื่อค่าแรงดัน  $V_{DS}$  เพิ่มขึ้นจนกระทั่ง  $V_{DS} > V_{GS} - V_T$  ในกรณีนี้จะทำให้เกิดสภาวะออฟ (Pinch Off) คือ แชนแนลที่เป็นช่องทางเดินกระแสจะขาดออก โดยเริ่มจากด้านเดรน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้ามาเหนี่ยวนำ ทำให้ไม่มีการสะสมของประจุลบเพื่อทำหน้าที่เป็นแชนแนล ดังนั้นช่องทางเดินจึงขาดออกจากกัน ดังรูปที่ 2.6 (ง) และจะมีกระแสแพร่ (Diffusion Current) จากซอร์สไปยังเดรนรวมทั้งช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูงและคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (Constant

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Current Source) การทำงานของทรานซิสเตอร์ในช่วงนี้เรียกว่า ช่วงอิ่มตัว (Saturation Region หรือ Active Region)

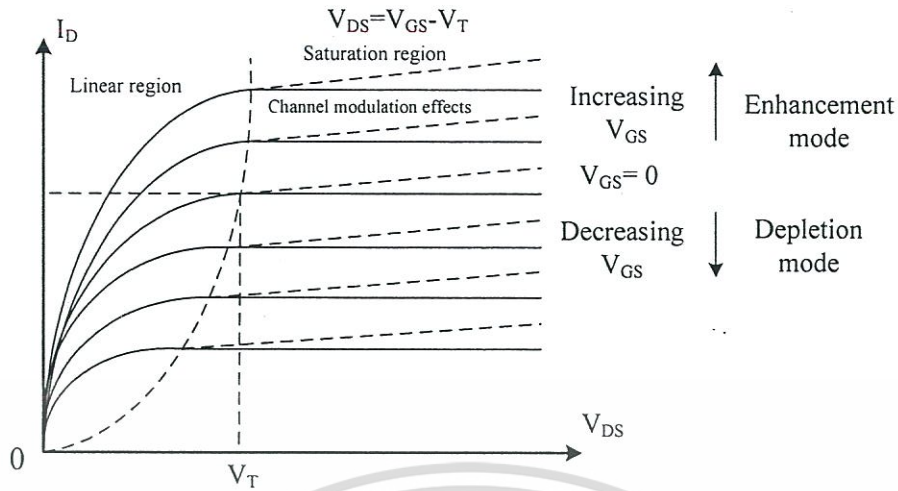
### 2.2.4.2 Complementary MOS (CMOS)

CMOS เป็นเทคโนโลยีที่ใช้ทรานซิสเตอร์ทั้ง ชนิด N - channel และ P-channel มาสร้างบนฐานรองเดียวกัน แม้ว่าจะสร้างได้ยากแต่มีข้อดี คือ สามารถที่จะออกแบบวงจรที่มีประสิทธิภาพมากกว่าได้ ในปัจจุบันซีมอสมีบทบาทสำคัญมากในเทคโนโลยีวงจรรวมแบบมอส และสามารถใช้ได้กับวงจรรวมแบบอนาล็อกและดิจิตอล และได้มีการนำไปประยุกต์ใช้เพื่อทดแทนเทคโนโลยีไบโพลาร์อย่างมากมาย รูปที่ 2.7 เป็นโครงสร้างซีมอสและอธิบายถึงการสร้าง NMOS และ PMOS บนแผ่นฐานรองเดียวกัน สังเกตว่า NMOS สร้างได้โดยตรง แต่ PMOS จะสร้างขึ้นโดยมีการสร้างบ่อเอ็น (n-well) ขึ้นมาก่อน โดยที่มอสทั้งสองตัวจะถูกแยกจากกันโดยฉนวนออกไซด์



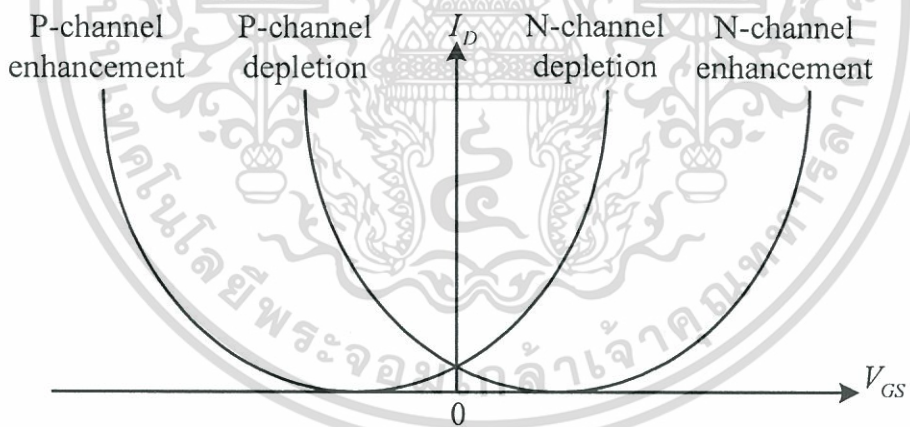
รูปที่ 2.7 โครงสร้าง CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 เส้นคุณสมบัติระหว่าง  $I_D - V_{GS}$  ของมอสทรานซิสเตอร์แบบดีฟลีชันชนิดเอ็นแชนแนล

จากรูปที่ 2.8 แสดงถึงคุณสมบัติระหว่าง  $I_D - V_{GS}$  ของมอสทรานซิสเตอร์แบบดีฟลีชันชนิดเอ็นแชนแนล ซึ่งคล้ายกับเอนฮานซ์เมนต์ ยกเว้นเพียงค่า  $V_T$  จะมีค่าเป็นลบสำหรับ NMOS และจะมีค่าเป็นบวกสำหรับ PMOS และสามารถเปลี่ยนเป็นการทำงานแบบเอนฮานซ์เมนต์ได้ โดยการให้  $V_{GS}$  มีค่าเป็นบวก ตามกราฟ  $I_D - V_{GS}$



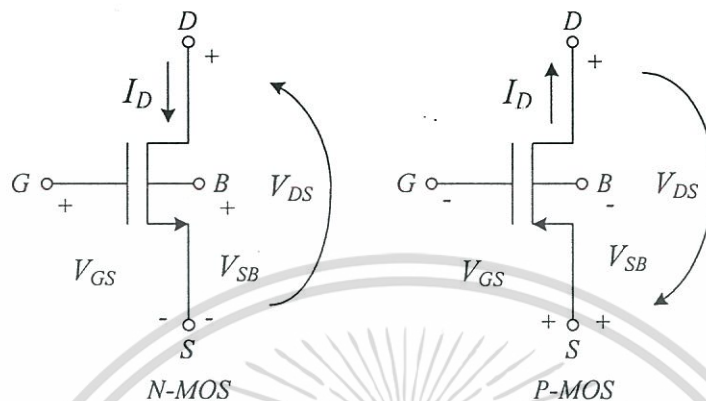
รูปที่ 2.9 เส้นคุณสมบัติระหว่าง  $I_D - V_{GS}$  ของมอสเฟตทั้งชนิดเอนฮานซ์เมนต์และดีฟลีชัน

จากรูปที่ 2.9 เป็นการสรุปคุณสมบัติ  $I_D - V_{GS}$  ทั้งหมดของมอสเฟตทั้งชนิดการทำงานแบบเอนฮานซ์เมนต์โหมด ดีฟลีชันโหมด ชนิดช่องทางเดินกระแสชนิด N และชนิด P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.3 คุณสมบัติการทำงานของมอสทรานซิสเตอร์

คุณสมบัติในการทำงานของมอสทรานซิสเตอร์นั้น พิจารณาได้จากแบบจำลองสัญญาณขนาดใหญ่ (Large-Signal Model) ตามรูปที่ 2.10



รูปที่ 2.10 แบบจำลองการทำงานของมอสทรานซิสเตอร์ (ก) NMOS (ข) PMOS

ซึ่งสมการแสดงความสัมพันธ์ระหว่างกระแสและความต่างศักย์ สำหรับมอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิ่มตัวแสดงได้ดังสมการ (2.4)

$$I_D = \beta \left[ (V_{GS} - V_T) - \left( \frac{V_{DS}}{2} \right) \right] V_{DS} (1 + \lambda V_{DS}) \quad (2.4)$$

โดย

$$\beta = \frac{K'W}{L} \quad \text{และ} \quad K' = \mu_0 C_{OX}$$

$\mu_0$  คือ ค่าความคล่องตัวที่ผิว (Surface Mobility) ของพาหะในช่องทางเดินกระแส (cm<sup>2</sup>/volt.second)

$C_{OX} = \epsilon_{OX} / t_{OX}$  คือค่าความจุไฟฟ้าต่อหนึ่งหน่วยพื้นที่ (Capacitance per Unit Area) ของเกตออกไซด์ (F/cm<sup>2</sup>)

$W$  คือ ความกว้างประสิทธิผลของแชนแนล (Effective Channel Width)

$L$  คือ ความยาวประสิทธิผลของแชนแนล (Effective Channel Length)

$\lambda$  คือ Channel Length Modulation Parameter (volt<sup>-1</sup>)

$$V_T = V_{T0} + \gamma \left[ \sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right] \quad (2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{T0} = V_T(V_{SB} = 0) = V_{FB} + 2|\phi_F| + \frac{\sqrt{2q\epsilon_{si}N_{SUB}2|\phi_F|}}{C_{OX}} \quad (2.6)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_{SUB}}}{C_{OX}} \text{ คือ Bulk Threshold Parameter (volt}^{1/2}\text{)} \quad (2.7)$$

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_{SUB}}{n_i}\right) \text{ คือ Strong Inversion Surface Potential (volts)} \quad (2.8)$$

$$V_{FB} = \phi_{GB} - \frac{Q_{SS}}{C_{OX}} \text{ คือ Flatband Voltage (volts)} \quad (2.9)$$

$$\phi_{GB} = \phi_F(\text{substrate}) - \phi_F(\text{gate}) \quad (2.10)$$

$$\phi_F(\text{substrate}) = \frac{kT}{q} \ln\left(\frac{N_{SUB}}{n_i}\right) \text{ สำหรับกรณี NMOS ที่เป็น P-substrate}$$

$$\phi_F(\text{gate}) = \frac{kT}{q} \ln\left(\frac{n_i}{N_{GATE}}\right) \text{ สำหรับกรณี NMOS ที่มีเกตเป็น } n^+ \text{ polysilicon}$$

$Q_{SS}$  คือ ค่าประจุออกไซด์ (Oxide charge)

$k$  คือ ค่าคงที่ Boltzman =  $1.381 \times 10^{-23}$  J/K =  $8.62 \times 10^{-5}$  eV/K

$T$  คือ ค่า อุณหภูมิ มีหน่วยเป็นองศาเคลวิน (K)

$n_i$  คือ ความหนาแน่นของพาหะชนิดอินทรินสิค =  $1.45 \times 10^{-10}$  cm<sup>-3</sup>

สมการของมอดูลีสทรานซิสเตอร์ในช่วงไม่อิ่มตัว สามารถเขียนได้อีกรูปแบบ คือ

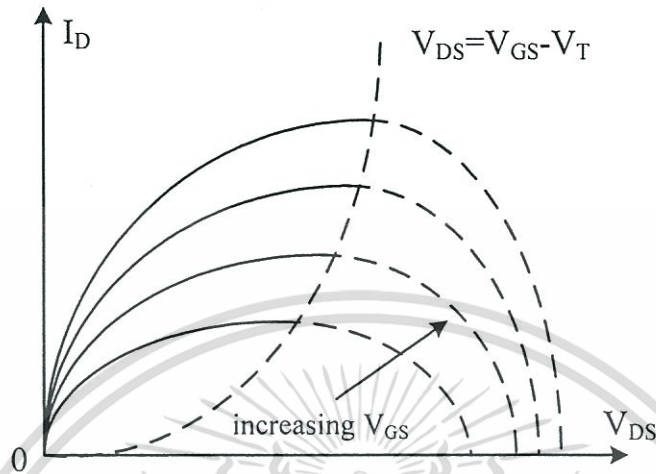
$$I_D = F(V_D, V_g) - F(V_s, V_G) \quad (2.11)$$

$$\text{โดยที่ } F(V_x, V_G) = 2K(V_G - V_B - V_{FB} - \phi_F)V_x - K(V_x - V_B)^2 - \frac{4}{3}K\gamma(V_x - V_B + \phi_F)^{3/2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$K = \frac{W}{2L} \mu C_{ox}$$



รูปที่ 2.11 กราฟความสัมพันธ์ระหว่าง  $I_D - V_{DS}$  ตามสมการที่ (2.4) เมื่อ  $\lambda = 0$

จากสมการ (2.4) และ (2.11) มอสทรานซิสเตอร์ได้ในช่วงต่างๆขึ้นอยู่กับค่า  $(V_{GS} - V_T)$  ถ้าค่าเป็นศูนย์หรือค่าเป็นลบ มอสทรานซิสเตอร์จะอยู่ในช่วงคัท-ออฟ (Cut-Off Region) ซึ่งแชนแนลจะอยู่ในลักษณะ Open Circuit โดนสามารถเขียนเป็นความสัมพันธ์ได้ดังนี้

$$I_D = 0 \text{ เมื่อ } V_{GS} - V_T = 0 \quad (2.12)$$

จากสมการ (2.4) สมมติให้  $\lambda = 0$  เมื่อนำมาเขียนเป็นกราฟได้ดังรูปที่ 2.17 ที่  $V_{GS} - V_T$  ค่าต่างๆโดยจุดสูงสุดของกราฟแต่ละเส้นจะเรียกว่า จุดอิ่มตัว (Saturation) และค่าต่างๆของ  $V_{DS} = 0$  เรียกว่า ศักดาอิ่มตัว (Saturation Voltage)

$$V_{DS}(sat) = V_{GS} - V_T \quad (2.13)$$

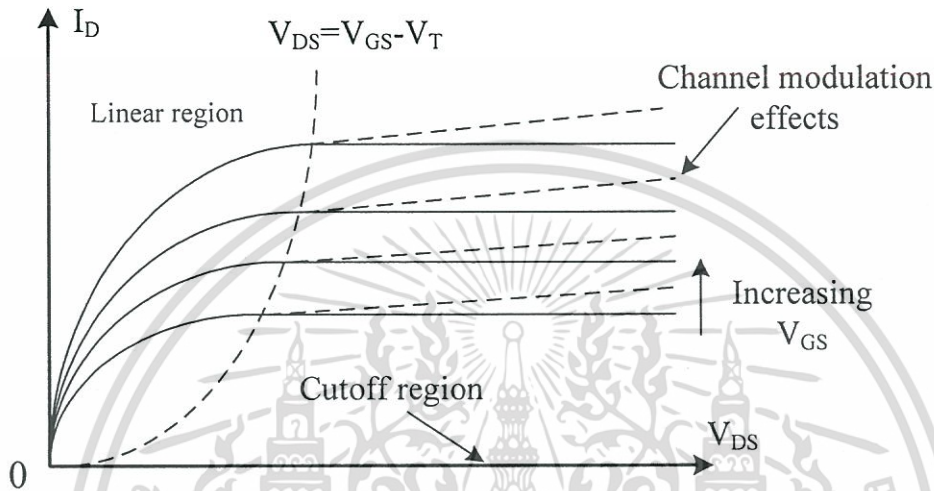
$V_{DS}(sat)$  เป็นค่าที่แบ่งขอบเขตการทำงานของมอสทรานซิสเตอร์ โดยเมื่อ  $V_{DS} < V_{DS}(sat)$  แล้วมอสทรานซิสเตอร์จะทำงานในช่วงไม่อิ่มตัวตามสมการที่ (2.4) โดยมีเงื่อนไขว่า

$$0 < V_{DS} \leq (V_{GS} - V_T) \quad (2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ถ้า  $V_{DS} > V_{DS}(sat)$  จะเรียกช่วงนี้ว่า ซาวงอิมตัว (Saturation Region) ในช่วงนี้กระแสเดรน  $I_D$  จะไม่ขึ้นกับ  $V_{DS}$  ถ้าสมมติว่าไม่พิจารณาผลของ  $\lambda$  ดังนั้นจะได้ความสัมพันธ์ดังนี้

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2(1 + \lambda V_{DS}), 0 < (V_{GS} - V_T) \leq V_{DS} \quad (2.15)$$



รูปที่ 2.12 คุณสมบัติทางเอาต์พุต (Output Characteristics) ของมอสทรานซิสเตอร์

จากรูป 2.12 แสดงถึงคุณสมบัติที่เอาต์พุต (Output Characteristics) ที่ได้จากสมการ (2.4), (2.9), (2.14) และ (2.15) โดยเส้นทึบในรูป 2.12 จะไม่พิจารณาผลของ  $\lambda$  ( $\lambda = 0$ ) ส่วนเส้นประเป็นการพิจารณาผลของ  $\lambda$  ( $\lambda \neq 0$ )

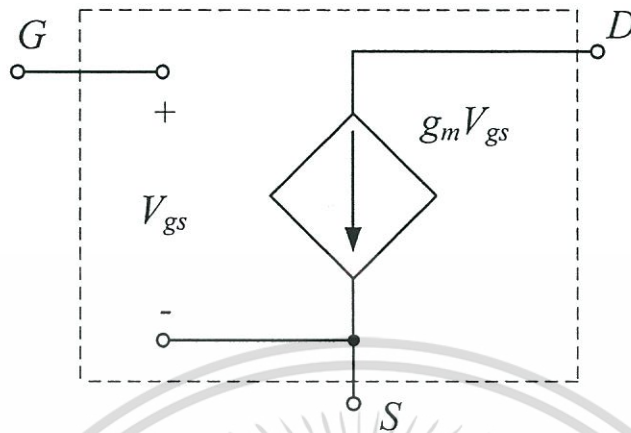
## 2.4 วงจรสมมูลมอสทรานซิสเตอร์

วงจรสมมูล (Small-signal equation circuit models) ของมอสทรานซิสเตอร์ เป็นการแทนอุปกรณ์มอสทรานซิสเตอร์ด้วยวงจรไฟฟ้า เพื่อนำไปใช้ในการวิเคราะห์ผลตอบสนองและพฤติกรรมของสัญญาณขนาดเล็ก โดยจะพิจารณาแยกจากการวิเคราะห์สัญญาณขนาดใหญ่ ซึ่งจะพิจารณาเป็นปริมาณไฟตรง (DC Quantities)

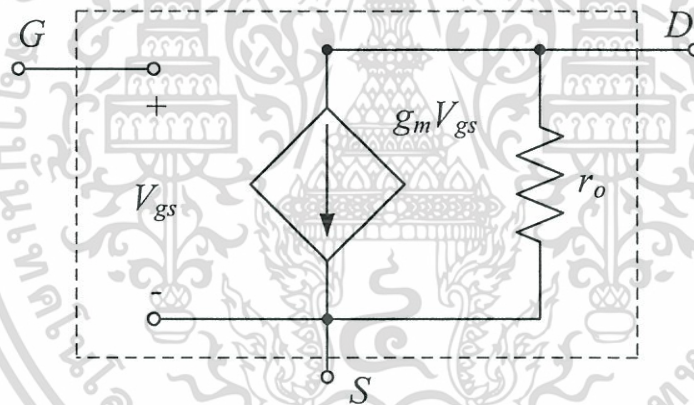
มอสทรานซิสเตอร์มีพฤติกรรมเป็นแรงดันควบคุมแหล่งกำเนิดกระแส (Voltage-controlled current source) โดยเป็นการให้สัญญาณ  $V_{gs}$  และทำให้เกิดกระแส  $g_m V_{gs}$  ที่ปลายด้านเดรน ความต้านทานที่อินพุต (Input resistance) มีค่าที่สูงมากในทางปฏิบัติ ซึ่งในทางอุดมคติถือเป็นค่าอนันต์ และความต้านทานที่เอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ความต้านทานที่มองเข้าไปที่ปลายด้านเดรน) จะมีค่าสูงด้วย ในการพิจารณาอย่างง่ายจะสมมติให้เป็นค่าอนันต์ ตามรูปที่ 2.13 (ก)



รูปที่ 2.13 (ก) วงจรสมมูลมอสทรานซิสเตอร์ กรณีไม่พิจารณาผลของ  $\lambda$  ขณะทำงานในช่วงอิมิตัว



รูปที่ 2.13 (ข) วงจรสมมูลมอสทรานซิสเตอร์ กรณีพิจารณาผลของ  $\lambda$  โดยเพิ่ม ความต้านทานที่เอาท์พุท

ข้อเสียของแบบจำลองสัญญาณขนาดเล็กในรูปที่ 2.13 คือ เป็นการสมมติว่ากระแสเดรน อยู่ในช่วงอิมิตัว และไม่ขึ้นอยู่กับแรงดันเดรน ซึ่งจากหัวข้อที่กล่าวมาข้างต้นพบว่าคุณสมบัติของมอสทรานซิสเตอร์ในช่วงอิมิตัว จริงๆนั้นจะต้องขึ้นอยู่กับ  $V_{DS}$  ในลักษณะเชิงเส้นตามสมการ (2.4) ซึ่งทำให้แบบจำลองต้องเปลี่ยนไปดังรูป 2.13 (ข) โดยมีตัวต้านทาน ( $r_o$ ) มาต่ออยู่ระหว่างเดรนและซอร์ส ซึ่งมีค่าประมาณ

$$r_o \cong \frac{|V_A|}{I_D} \quad (2.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขณะที่  $V_A = \frac{1}{\lambda}$  โดยทั่วไปค่า ( $r_0$ ) จะอยู่ในช่วง 10 ถึง 1,000 กิโลโอห์ม

ค่า ( $r_0$ ) ที่พิจารณาข้างต้นเป็นการพิจารณามอสทรานซิสเตอร์ที่ทำงานในช่วงอิมิตัว ซึ่งให้ค่าความต้านทานที่เอาท์พุทมีค่ามาก (แขนแนลขาดออกจากกันระหว่างซอร์สและเดรน) ขณะที่มอสทรานซิสเตอร์ที่ทำงานในช่วงไม่อิมิตัวนั้น ค่าความต้านทานที่เอาท์พุทมีค่าเป็น

$$r_0 = \frac{1}{g_{ds}} = \frac{\partial V_{ab}}{\partial V_{gs}} \cong \frac{1}{\beta(V_{GS} - V_T - V_{DS})} \quad (2.17)$$

เราจะพิจารณาพารามิเตอร์ที่สำคัญอีกตัวหนึ่งในการวิเคราะห์สัญญาณขนาดเล็ก คือ ค่า ทรานคอนดักแตนซ์  $g_m$  ซึ่งมีค่าตามสมการดังนี้

$$g_m = \frac{\partial I_D}{\partial V_{gs}} \quad (2.18)$$

ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิมิตัว จากสมการ (2.14) จะได้เป็น

$$g_m = \sqrt{\frac{2K'W}{L} |I_D| (1 + \lambda V_{DS})} \cong \sqrt{\frac{2K'W}{L} |I_D|} \quad (2.19)$$

จากสมการ (2.19) พบว่าค่าของ  $g_m$  ซึ่งเป็นค่าพารามิเตอร์ของสัญญาณขนาดเล็ก ขึ้นอยู่กับค่ากระแสเดรน ซึ่งเป็นเงื่อนไขการทำงานของสัญญาณขนาดใหญ่ และในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิมิตัว จากสมการ (2.4) และ (2.14) จะได้

$$g_m = \frac{K'W}{L} V_{DS} (1 + \lambda V_{DS}) \cong \frac{K'W}{L} V_{DS} \quad (2.20)$$

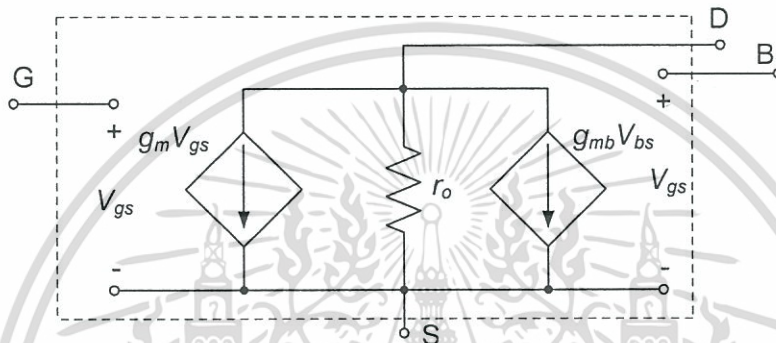
แบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวข้างต้น เป็นแบบจำลองที่ยังไม่พิจารณาผลของฐานรอง (Substrate effect) ซึ่งจะเกิดขึ้นก็ต่อเมื่อฐานรองไม่ได้ต่อกับปลายด้านซอร์ส และเมื่อพิจารณาฐานรองส่งผลให้เกิด  $V_{bs}$  ขึ้น ดังแสดงตามรูปที่ 2.13 กรณีมอสทรานซิสเตอร์ทำงานในช่วงอิมิตัว จากสมการ (2.4), (2.14) และ (2.15) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_m = g_m \frac{\gamma}{2(|\phi_F| + V_{SB})^{1/2}} = \eta g_m \quad (2.21)$$

กรณีมอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว จากสมการ (2.4), (2.14) และ (2.15) จะได้

$$g_{mbs} = \frac{\beta \gamma V_{DS}}{2(2|\phi| + V_{SB})^{1/2}} \quad (2.22)$$



รูปที่ 2.14 วงจรสมมูลของมอสทรานซิสเตอร์กรณีฐานรองไม่ต่อกับชาเซอร์ส

## 2.5 แบบจำลองมอสทรานซิสเตอร์

ปัจจุบันในการออกแบบวงจรรวม สามารถออกแบบและทราบถึงผลการออกแบบได้โดยที่ยังไม่ได้ผลิตหรือสร้างวงจรเพื่อทดลองหาค่าพารามิเตอร์ต่างๆ เนื่องจากมีโปรแกรมคอมพิวเตอร์เข้ามาในช่วยในการออกแบบสามารถจำลองการทำงานได้ใกล้เคียงกับวงจรที่ได้สร้างขึ้น ซึ่งโปรแกรมเหล่านี้ในปัจจุบันได้มีบทบาทในอุตสาหกรรมการผลิตวงจรรีเลย์ทรอนิกส์เป็นอย่างมาก ช่วยประหยัดทั้งเวลาและต้นทุนในการผลิตวงจรรวม โดยโปรแกรมที่นิยมใช้ได้แก่ Pspice, HSpice (ใช้บนระบบปฏิบัติการยูนิกซ์) และ PSpice (นิยมใช้กับคอมพิวเตอร์ส่วนบุคคล) ซึ่งโปรแกรมเหล่านี้ได้รับการพัฒนาจาก University of California, Berkeley ที่สหรัฐอเมริกา โดยมอสทรานซิสเตอร์ได้เกิดขึ้นในช่วงเวลาใกล้เคียงกับโปรแกรม Spice ได้รับการพัฒนาควบคุมกันมาโดยตลอด และได้มีการแบ่งแบบจำลอง (model) ของมอสทรานซิสเตอร์ออกเป็น 3 รูปแบบตามความละเอียดของการคำนวณและการพิจารณาผลกระทบต่างๆของกระบวนการสร้างมอสทรานซิสเตอร์

โดยปกติแบบจำลอง LEVEL 1 ซึ่งได้อ้างอิงแบบจำลอง Shichman-Hodges โดยใช้คณิตศาสตร์พื้นฐานในการคำนวณ ใช้สำหรับวงจรจำลองอย่างคร่าวๆ ซึ่งไม่ต้องการค่าที่เที่ยงตรงมากนัก ใช้สำหรับมอสทรานซิสเตอร์ที่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แขนแนลยาวและเกทออกไซด์หนา ไม่พิจารณาถึงออกไซด์ที่สั้น (Short Channel Behavior) อย่างไรก็ตามการประมาณค่าพารามิเตอร์ต่างๆตาม LEVEL1 นี้มีข้อดีคือ ใช้เวลาในการคำนวณน้อย และประสิทธิภาพของเครื่องคอมพิวเตอร์ไม่สูงมากในการจำลองหาประสิทธิภาพของวงจรรายอย่างคร่าวๆ แบบจำลอง LEVEL2 จะแตกต่างกับ LEVEL1 ทั้งวิธีการคำนวณ ค่าความยาวของช่องทางเดินกระแสสัมพันธ์ และการเปลี่ยนสถานะจากช่วงไม่อิ่มตัวไปในช่วงไม่อิ่มตัว มีประโยชน์สำหรับมอสทรานซิสเตอร์ที่มีความยาวแขนแนลสั้น ใช้จำนวนพารามิเตอร์ในการคำนวณมากขึ้น อย่างไรก็ตามถ้าพารามิเตอร์ของ LEVEL2 ถูกใช้จนหมด แบบจำลองนี้จะใช้เวลาในการคำนวณมากกว่ารวมถึงประสิทธิภาพของซีพียูของคอมพิวเตอร์ต้องสูงมาก และบางครั้งประสบปัญหาไม่พิจารณาถึงการทับซ้อนที่อาจจะเกิดขึ้นในบริเวณปลดพาหะ (Depletion Region) ของซอร์สเตรนในอุปกรณ์ที่มีแขนแนลสั้นมากๆ ผลของสนามไฟฟ้าด้านข้าง (Lateral Field Effect) ที่มีผลต่อความคล่องตัวของพาหะรวมถึงพิจารณาผลของแขนแนลที่สั้น (Short Channel Effect) เพียงบางส่วนเท่านั้น แบบจำลอง LEVEL3 โดยพื้นฐานแล้วจะมีความคล้ายคลึงกับ LEVEL 2 ในแง่ของโครงสร้างพารามิเตอร์หลายตัวเหมือนกันหรือใกล้เคียงกันมาก แตกต่างกันที่ LEVEL3 จะใช้แบบจำลองกึ่งการทดลอง (Semi-Empirical Model) ใช้แบบจำลองของแรงดันขีดเริ่มที่เพิ่มขึ้นเพิ่มพารามิเตอร์  $\eta$  ซึ่งใช้อธิบาย DIBL นอกจากนี้แบบจำลอง Channel Length Modulation ที่ใช้ใน LEVEL 1 และ 2 ซึ่งจะใช้  $\lambda$  จะถูกแทนที่ด้วยแบบจำลองที่ซับซ้อนขึ้นอีกเล็กน้อย ซึ่งเกี่ยวกับพารามิเตอร์  $V_{max}$  และพารามิเตอร์กึ่งทดลอง (Semi-Empirical Parameter) อีกตัวหนึ่ง และสุดท้ายได้พิจารณาถึงการลดลงของค่าความคล่องตัวพาหะเมื่อสนามไฟฟ้าด้านข้างมีค่ามาก แบบจำลอง LEVEL 3 นี้ใช้ในการทดลองการทำงานของวงจรรายในขั้นสุดท้าย ดังนั้นแบบจำลอง LEVEL 3 นี้จะคิดทุกผลกระทบที่เกิดขึ้นกับมอสทรานซิสเตอร์และพารามิเตอร์ทุกตัว เพื่อให้ได้ค่าต่างๆใกล้เคียงความจริงมากที่สุด เพราะฉะนั้นสามารถสรุปได้ว่าแบบจำลอง LEVEL 3 เป็นแบบจำลองที่มีความละเอียดมากที่สุด แต่ก็ใช้เวลาและประสิทธิภาพของซีพียูมากที่สุดด้วยเช่นกัน โดยค่าพารามิเตอร์ต่างๆที่ใช้ในโปรแกรม PSpice ได้สรุปไว้ในภาคผนวก

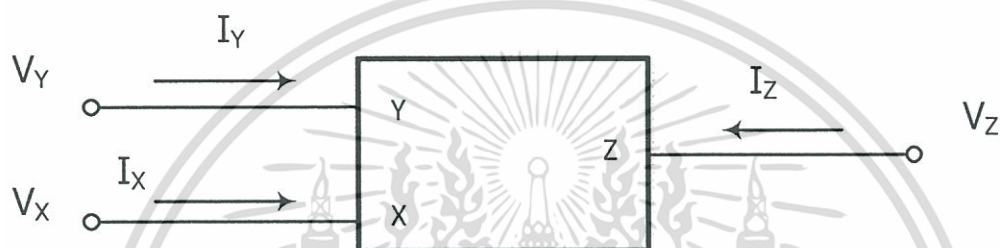
## 2.6 ทฤษฎีของวงจรรายพานกระแส (Current conveyor)

วงจรรายพานกระแส (Current Conveyor) เป็นวงจรปฏิบัติการเกี่ยวกับสัญญาณทางด้านอนาลอกที่สามารถประยุกต์ใช้งานร่วมกับวงจรอิเล็กทรอนิกส์อื่นๆ เพื่อสร้างวงจรที่ประมวลผลสัญญาณแบบอนาลอกในรูปแบบกระแสที่เป็นประโยชน์ได้อีกมากมาย ลักษณะของวงจรรายพานกระแสจะมีความคล้ายคลึงกับวงจรออปแอมป์ ซึ่งเป็นที่รู้จักกันโดยทั่วไปในด้านมุมมองที่เป็นวงจรที่ถูกสร้างขึ้นเป็นวงจรสำเร็จแบบวงจรรวม ข้อแตกต่างระหว่างวงจรรายพานกระแสและวงจรออปแอมป์ที่มีความเด่นชัดก็คือ วงจรออปแอมป์เป็นวงจรทางด้านอนาลอกที่ทำงานในรูปแบบแรงดัน ซึ่งเป็นรูปแบบการทำงานของวงจรที่คุ้นเคยกันดีและใช้งานกันอย่างแพร่หลายอยู่โดยทั่วไป สำหรับวงจรรายพานกระแสเป็นวงจรปฏิบัติการแบบอนาลอกที่ทำงานในรูปแบบกระแส ซึ่งวงจรที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานในรูปแบบกระแสมีข้อดีคือ ให้ความถูกต้องและแม่นยำของค่าอัตราขยายสัญญาณของวงจร และมีย่านความถี่ในการทำงานของวงจรที่กว้างกว่าเมื่อเปรียบเทียบกับวงจรประเภทเดียวกันที่ทำงานในรูปแบบแรงดัน อย่างไรก็ตามวงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ได้นำเสนอในวิทยานิพนธ์ฉบับนี้มีพื้นฐานอยู่บนการใช้วงจรสายพานกระแสรุ่นที่สอง (CCII) จึงขอกล่าวถึงวงจร CCII เป็นประเด็นหลักเพื่อประกอบความเข้าใจในหลักการของวิทยานิพนธ์นี้

วงจรสายพานกระแสเป็นวงจรประเภท 3 พอร์ตคือมีพอร์ต  $x$ ,  $y$  เป็นพอร์ตอินพุตและพอร์ต  $z$  เป็นพอร์ตเอาต์พุต ดังที่แสดงในรูปที่ 2.15 วงจรสายพานกระแส เป็นวงจรที่มีพัฒนาการมาเป็นลำดับ วงจรสายพานกระแสรุ่นที่สอง (CCII) และวงจรสายพานกระแสรุ่นที่สองที่ควบคุมด้วยกระแส (CCCII)

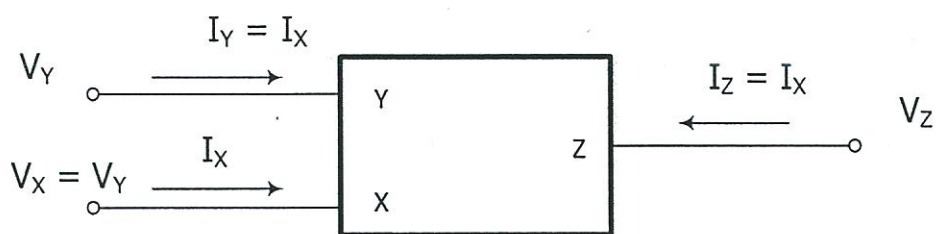


รูปที่ 2.15 สัญลักษณ์ของวงจรสายพานกระแส

### 2.6.1 วงจรสายพานกระแสรุ่นที่ 1 (First Generation Current Conveyor: CCI)

วงจรสายพานกระแสรุ่นที่หนึ่ง เป็นวงจรที่ได้ถูกนำเสนอขึ้นเป็นครั้งแรกในปี ค.ศ. 1968 โดย K.C. Smith และ A.S. Sedra [1] วงจร CCI จัดเป็นวงจรประเภท 3 ขั้ว (Port) คือมีขั้ว  $x$ ,  $y$  เป็นขั้วของจุดสัญญาณทางด้านขาเข้าและขั้ว  $z$  เป็นขั้วของจุดสัญญาณทางด้านขาออกตามลำดับแสดงได้ดังรูปที่ 2.3 ซึ่งโดยหลักการทำงานพื้นฐานของ วงจร CCI คือ ถ้ามีศักดาไฟฟ้า ( $v$ ) ตกคร่อมจุดสัญญาณทางด้านขาเข้าที่ขั้ว  $y$  แล้วจะปรากฏให้มีศักดาไฟฟ้าค่าเท่ากันขึ้นที่ขั้ว  $x$  และในขณะเดียวกันถ้ามีกระแสไฟฟ้า ( $i_x$ ) ไหลผ่านจุดสัญญาณทางด้านขาเข้าที่ขั้ว  $x$  ก็ จะปรากฏให้มีกระแสค่าเท่ากันไหลผ่านที่ขั้ว  $y$  และกระแสค่าเดียวกันนี้จะถูกนำพา (Convey) ไปเป็นกระแส ณ จุดสัญญาณขาออกที่ขั้ว  $z$  ซึ่งเป็นขั้วของอุปกรณ์ที่มีค่าอิมพีแดนซ์ (Impedance) สูงด้วย นอกจากนี้ค่าศักดาไฟฟ้าที่ปรากฏขึ้นที่ขั้ว  $x$  (ซึ่งถูกกำหนดโดยเกี่ยวข้องกับค่าศักดาไฟฟ้าทางด้านขั้ว  $y$ ) นั้นจะไม่ขึ้นอยู่ กับค่ากระแสไฟฟ้าที่ไหลผ่านขั้ว  $x$  และค่ากระแสไฟฟ้าที่ไหลผ่านขั้ว  $y$  (ซึ่งถูกกำหนดโดยเกี่ยวข้องกับค่าศักดาไฟฟ้าทางด้านขั้ว  $x$ ) นั้นจะไม่ขึ้นกับค่าศักดาไฟฟ้าที่ตกคร่อมที่ขั้ว  $y$  เช่นเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 สัญลักษณ์ของวงจรสายพานกระแสรุ่นที่หนึ่ง (CCI)

จากความสัมพันธ์ของตัวแปรทางไฟฟ้าต่างๆดังกล่าวสามารถแสดงในรูปของความสัมพันธ์ทางเมตริกซ์ ได้ดังสมการเมตริกซ์ต่อไปนี้

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.23)$$

จากคุณสมบัติตามสมการที่ (2.23) นี้สามารถที่จะนำไปเขียนเป็นวงจรสมมูลในรูปของบล็อกไดอะแกรมของวงจร CCI ได้ดังแสดงในรูปที่ 2.16 หลังจากวงจรสายพานกระแสรุ่นที่หนึ่งเกิดขึ้นได้ไม่นานนั้น บุคคลทั้งสองก็ได้มีการคิดค้นและทำการพัฒนางจรสายพานกระแสรุ่นที่หนึ่งและได้นำเสนอเป็นวงจรสายพานกระแสรุ่นที่สองขึ้น

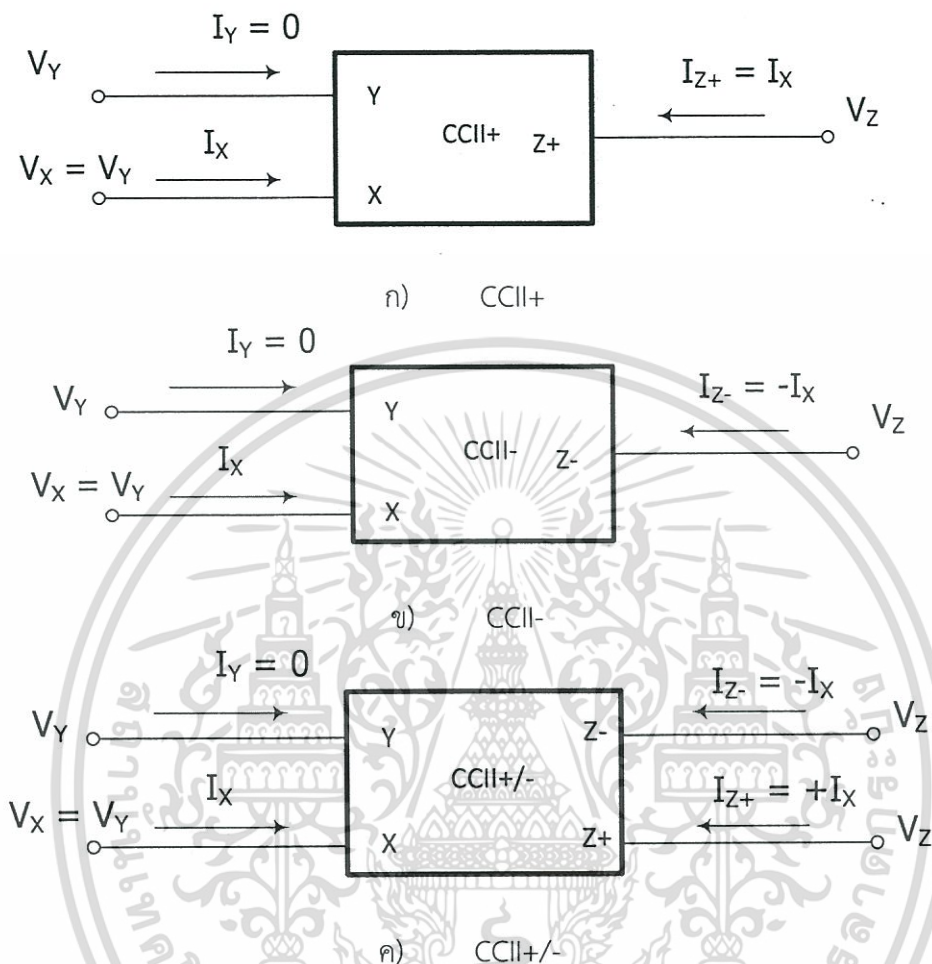
## 2.6.2 วงจรสายพานกระแสรุ่นที่สอง (Second Generation Current Conveyor: CCII)

ในปี ค.ศ. 1970 ซึ่งเป็นระยะเวลา 2 ปีต่อมาหลังจากที่ K.C. Smith และ A.S. Sedra ได้นำเสนอแนวความคิดของวงจร CCI บุคคลทั้งสองได้ทำการปรับปรุงวงจรและได้นำเสนอแนวความคิดของหลักการวงจรสายพานกระแสแบบขั้นใหม่ ซึ่งมีคุณสมบัติที่แตกต่างและสามารถประยุกต์ใช้งานได้หลากหลายมากกว่าแนวความคิดของวงจร CCI เดิม [2] เรียกว่าวงจรสายพานกระแสรุ่นที่สองวงจรสายพานกระแสรุ่นที่สองนี้ใช้สัญลักษณ์ตัวอักษรแทนด้วย CCII โดยคุณสมบัติของวงจร CCII สามารถแสดงได้ตามความสัมพันธ์เชิงเมตริกซ์ของตัวแปรทางไฟฟ้าต่างๆ ดังต่อไปนี้

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.24)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.24) สามารถนำไปเขียนเป็นวงจรสมมูลย์ และกำหนดใช้สัญลักษณ์เป็นบล็อกไดอะแกรม ได้ดังแสดงในรูปที่ 2.17



รูปที่ 2.17 บล็อกไดอะแกรมของวงจร CCII

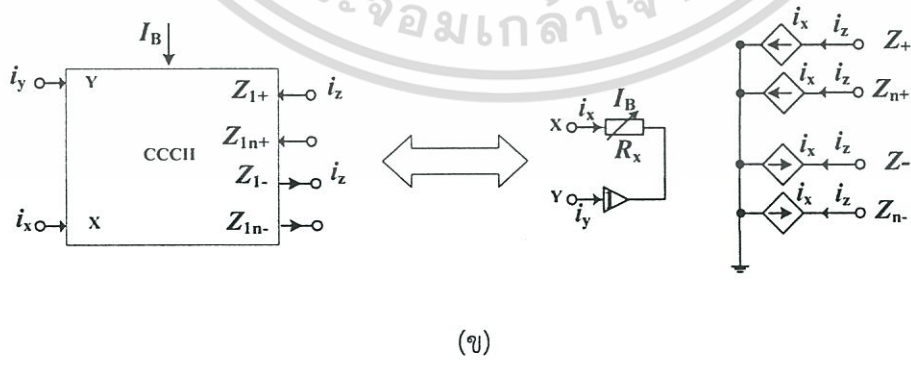
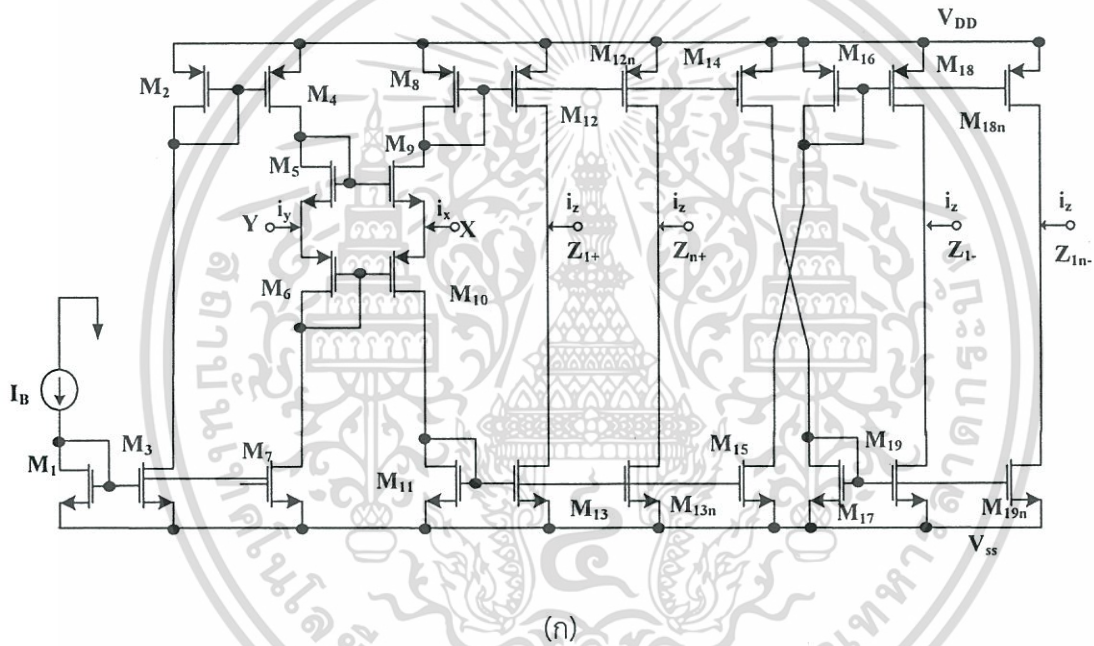
วงจร CCII นี้ประกอบด้วยพอร์ต  $x$  ที่มีค่าอินพุตอิมพีแดนซ์อยู่ที่ค่าหนึ่ง พอร์ต  $y$  จะมีอินพุตอิมพีแดนซ์สูงและไม่มีกระแสไหลเข้าหรือไหลออก และพอร์ต  $z$  เป็นพอร์ตที่มีความต้านทานเอาต์พุตสูง วงจร CCII ที่มีกระแส  $I_z$  ที่พอร์ต  $z$  ไหลเข้าหรือไหลออกในทิศทางเดียวกันกับกระแส  $I_x$  ที่พอร์ต  $x$  เรียกว่าเป็นวงจร CCII แบบบวก (CCII+) ดังที่แสดงไว้ในรูปที่ 2.17 (ก) และหากกระแส  $I_z$  และ  $I_x$  ที่ทิศทางกระแสตรงกันข้ามกันเรียกว่าเป็นวงจร CCII แบบลบ (CCII-) ดังแสดงในรูปที่ 2.17 (ข) นอกจากนั้นยังมีการนำวงจร CCII ทั้งแบบบวกและแบบลบรวมเข้าเป็นวงจรเดียวกันโดยเรียกว่าวงจร CCII+/- ดังแสดงในรูปที่ 2.17 (ค) กล่าวคือ วงจร CCII+/- จะมีพอร์ต  $z$  จำนวน 2 พอร์ต พอร์ตหนึ่งจะมีทิศทางกระแสเหมือนกระแสที่พอร์ต  $x$  เรียกว่ากระแส  $I_{z+}$  และอีกพอร์ตหนึ่งมีทิศทางกระแสตรงกันข้ามกับพอร์ต  $x$  เรียกว่ากระแส  $I_{z-}$  จากแนวคิดของวงจร CCII นี้ ได้มีผู้นำไปสร้างเป็นวงจรประมวลสัญญาณขึ้นหลายรูปแบบ ดังจะเห็นตัวอย่างได้จากบทความที่ [2] ต่อมาได้มีการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัฒนาวงจร CCII ที่สามารถปรับค่าอินพุตอิมพีแดนซ์พอร์ต  $x$  ได้โดยใช้กระแสจากภายนอกเป็นตัวปรับที่เรียกว่า วงจรสายพานกระแสร่นที่สองที่ควบคุมได้ด้วยกระแส (CCCI)

### 2.7 วงจรสายพานกระแสหลายเอาต์พุตแบบซีมอส (MO-CMOS)

วงจรสายพานกระแสควบคุมด้วยกระแสแบบซีมอส [14] CMOS Multiple-Output Current-Controlled Current Conveyors: CMOS MO-CCCIIs ดังรูปที่ 2.18 (ก) และสัญลักษณ์ ดังรูปที่ 2.18 (ข) ส่วนใหญ่นิยมมาประยุกต์ใช้งานทางด้านวงจรรอนาลอกได้มากมาย โดยคุณสมบัติของวงจรสามารถเขียนในรูปของสมการเมตริกได้ดังสมการที่ (2.25)



รูปที่ 2.18 (ก) วงจรสายพานกระแสควบคุมด้วยกระแสแบบซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ข) สัญลักษณ์

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_x & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.25)$$

โดย  $R_x$  เป็นค่าความต้านทานภายในที่ขั้ว  $x$  ของวงจรมหาสามารถหาค่าของ  $R_x$  ได้ดังสมการที่ (2.26)

$$R_x \approx \frac{1}{g_{m9} + g_{m10}} \quad (2.26)$$

$g_m$  คือ ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ และสมมติให้ทรานซิสเตอร์  $M_9$  และ  $M_{10}$  มีค่าเท่ากัน ทำให้  $g_{m9} = g_{m10}$  เช่นกันดังนั้นค่าของ  $R_x$  ใหม่จะมีค่าดังนี้

$$R_x \approx \frac{1}{\sqrt{8\mu C_{ox}} (W/L) I_B} \quad (2.27)$$

เมื่อ  $\mu$  คือ ค่าความคล่องพื้นผิวออกไซด์ที่แชนแนล  $C$  คือ ค่าประจุที่ไม่มีออกไซด์ที่แชนแนล  $W$  คือ ความกว้างของแชนแนล และ  $L$  คือความยาวของแชนแนลของมอสทรานซิสเตอร์  $M_9$  และ  $M_{10}$  ตามลำดับ โดยสามารถปรับค่าความต้านทานได้ทางอิเล็กทรอนิกส์ด้วยกระแส  $I_B$

## 2.8 วงจรกรองผ่านทุกความถี่โดยใช้สายพานกระแส

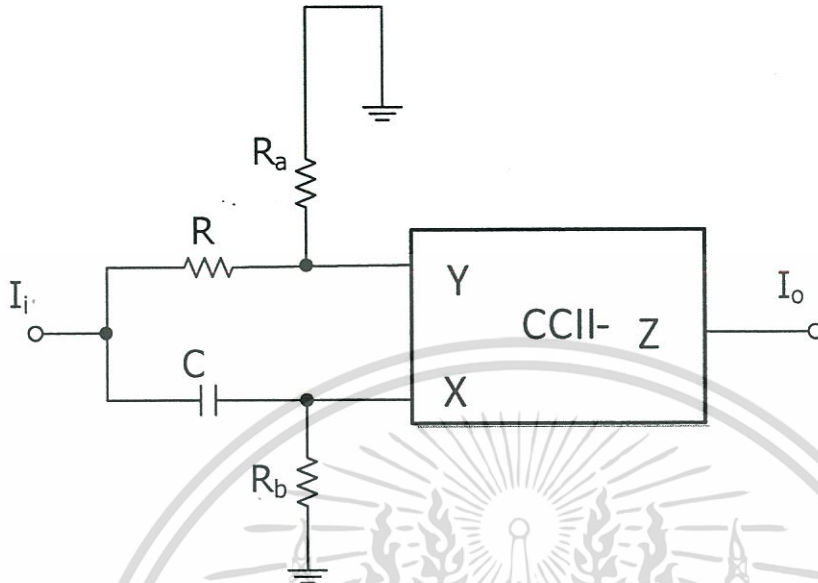
วงจรกรองผ่านทุกความถี่โดยใช้วงจรสายพานกระแสรุ่นที่สอง จะมีฟังก์ชันการถ่ายโอนเป็นไปตามสมการดังนี้

$$H(s) = \frac{I_o(s)}{I_i(s)} = K \left( \frac{-s + \sigma_1}{s + \sigma_1} \right) \quad (2.28)$$

โดยที่  $I_o(s)$  และ  $I_i(s)$  เป็นกระแสเอาต์พุต และกระแสอินพุตของวงจรตามลำดับ วงจรกรองผ่านทุกความถี่รูปแบบนี้ถูกพัฒนาขึ้นมาเนื่องจากในปัจจุบันนี้ ได้มีการพัฒนางจรในโหมดกระแสกันมากขึ้น ซึ่งในปี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1990 วงจรนี้ได้ถูกนำเสนอโดย M<sup>u</sup> Higashimura และ Y. Fukui มีวงจรแสดงดังรูปที่ 2.19 [21] และมีฟังก์ชันการถ่ายโอนดังสมการที่ (2.29)



รูปที่ 2.19 วงจรกรองผ่านทุกความถี่โดยใช้สายพานกระแส

จากสมการที่ (2.29) โดย  $\alpha = \frac{R_a}{R_b}$  ดังนั้นในกรณีที่  $\alpha = 1$  เท่านั้นจึงจะได้ฟังก์ชันการถ่ายโอนของวงจรที่

ให้รูปแบบของฟังก์ชันอยู่ในรูปแบบของวงจรกรองผ่านทุกความถี่ วงจรในรูปที่ 2.19 มีข้อดีคือ มีย่านความถี่ใช้งานที่กว้าง และเอาต์พุตมีค่าอิมพีแดนซ์สูง ทำให้สามารถนำไปต่อคาสเคดรวมกับวงจรอื่นได้

$$H(s) = \frac{I_o(s)}{I_i(s)} = \frac{1 - s\alpha RC}{1 + s\alpha RC} \quad (2.29)$$

## 2.9 ทฤษฎีการทำงานของวงจรกรองความถี่

วงจรกรองความถี่คือ วงจรเลือกความถี่ซึ่งยอมให้ความถี่ที่กำหนดผ่านได้เท่านั้นและลดทอนความถี่ นอกเหนือจากความถี่ที่กำหนด สำหรับวงจรกรองความถี่ที่สังเคราะห์และออกแบบโดยใช้อุปกรณ์พาสซีฟเป็นหลัก เช่น ตัวเก็บประจุ ตัวนำ และ ตัวต้านทาน เรียกว่า วงจรกรองความถี่แบบพาสซีฟ (Passive Filter) ส่วนวงจรกรองความถี่ที่ใช้อุปกรณ์แอคทีฟ เช่น ทรานซิสเตอร์หรือออปแอมป์ ต่อร่วมกับตัวเก็บประจุ ตัวต้านทาน เรียกว่า วงจรกรองความถี่แบบแอคทีฟ (Active Filter)

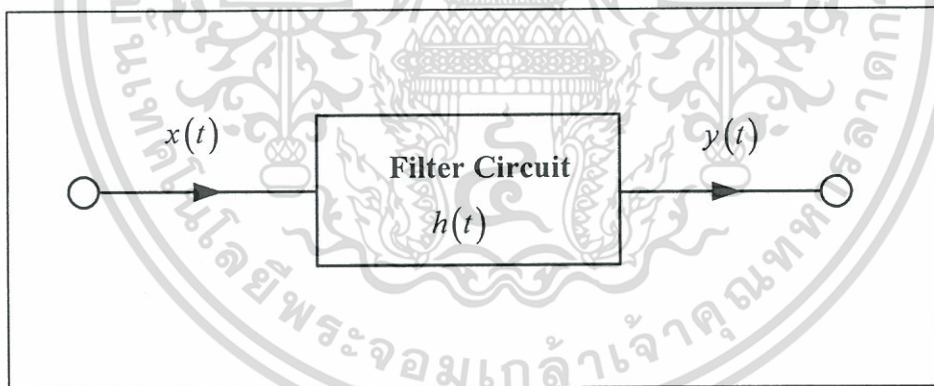
เปรียบเทียบข้อดี ข้อเสียระหว่าง วงจรกรองความถี่แบบพาสซีฟเทียบกับวงจรกรองความถี่แบบแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. วงจรกรองความถี่แบบแอกทีฟปราศจากผลกระทบเนื่องจากการดึงกระแส (No Loading Effects) ของวงจรที่ต่อкасцепกัน
2. การปรับแต่งอัตราขยายดีซีและความถี่คัทออฟ สามารถทำได้สะดวกและมีความยืดหยุ่นกว่าวงจรกรองความถี่แบบพาสซีฟ
3. การออกแบบวงจรกรองความถี่โดยใช้อุปกรณ์แอกทีฟเพื่อสังเคราะห์ฟังก์ชันกรองความถี่ (Filtering Function) สามารถกระทำได้ง่ายกว่าการออกแบบด้วยอุปกรณ์พาสซีฟ
4. วงจรกรองความถี่แบบแอกทีฟ มีขนาดเล็กและราคาถูก เนื่องจากปัจจุบันอุปกรณ์จำพวกแอกทีฟ (Active Elements) นิยมสร้างอยู่ในรูปแบบของวงจรรวม (Integrated Circuit)

## 2.10 หลักการพื้นฐานของวงจรกรองความถี่

ระบบของวงจรกรองความถี่แสดงดังรูปที่ 2.20 โดยที่  $x(t)$  คือ สัญญาณอินพุต และ  $y(t)$  คือสัญญาณเอาต์พุต และ  $h(t)$  คือ สัญญาณตอบสนองต่อเวลาของระบบ ถ้าพิจารณาวงจรกรองความถี่ที่มีคุณสมบัติเป็นเชิงเส้น (linear) และระบบที่ไม่เปลี่ยนแปลงตามเวลา (time-invariant)



รูปที่ 2.20 วงจรกรองความถี่

ซึ่งสามารถเขียนความสัมพันธ์ให้อยู่ในรูปสมการของระบบได้ดังนี้

$$y(t) = \int_0^t h(t-\tau)x(\tau)d\tau \quad (2.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการแปลงลาปลาซในสมการที่ (2.30) จะได้ผลดังนี้

$$Y(s) = H(s)X(s) \quad (2.31)$$

โดยที่  $Y(s)$ ,  $X(s)$  และ  $H(s)$  คือ ผลการแปลงลาปลาซของ  $y(t)$ ,  $x(t)$  และ  $h(t)$  ตามลำดับ เมื่อพิจารณาบนแกนความถี่  $s = j\omega$  สมการที่ (2.31) สามารถเขียนแสดงในรูปของขนาดและเฟสได้ดังนี้

$$|Y(j\omega)| = |H(j\omega)||X(j\omega)| \quad (2.32)$$

และ

$$\phi_Y(j\omega) = \phi_H(j\omega) + \phi_X(j\omega) \quad (2.33)$$

โดยที่  $\phi_Y(j\omega)$  คือค่าเฟสของ  $Y(j\omega)$ ,  $\phi_H(j\omega)$  คือค่าเฟสของ  $H(j\omega)$  และ  $\phi_X(j\omega)$  คือค่าเฟสของ  $X(j\omega)$  ซึ่งหลักการโดยทั่วไปของวงจรกรองความถี่คือ ทำหน้าที่ในการแยกสัญญาณที่ไม่ต้องการออกจากสัญญาณที่ต้องการและลดทอนสัญญาณที่มีความถี่นอกเหนือจากที่กำหนด เมื่อพิจารณาสมการที่ (2.32) เห็นได้ว่าขนาดของสัญญาณเอาต์พุตนั้นเป็นผลคูณของค่าขนาดของสัญญาณอินพุตกับค่าขนาดของฟังก์ชันการตอบสนองในเชิงความถี่ (Frequency Response Function) ของวงจรกรองความถี่ ถ้าฟังก์ชันขนาด (Magnitude Function) ของ  $H(j\omega)$  มีค่าเท่ากับศูนย์ในช่วงแถบความถี่นั้นจะเรียกว่า ช่วงแถบหยุด (Stopband) และในทำนองเดียวกันเมื่อค่าฟังก์ชันขนาดของ  $H(j\omega)$  มีค่าไม่เท่ากับศูนย์ในช่วงแถบความถี่นั้นเรียกว่า ช่วงแถบผ่าน (Passband) จากผลการตอบสนองของฟังก์ชันขนาด  $H(j\omega)$  ในช่วงของความถี่ที่แตกต่างกันตามคุณลักษณะของช่วงแถบหยุดและช่วงแถบผ่าน จึงสามารถจำแนกชนิดของวงจรกรองความถี่ได้ห้า แบบดังนี้

1. วงจรกรองความถี่แบบกรองผ่านความถี่ต่ำ (Low-pass Filter, LP)
2. วงจรกรองความถี่แบบกรองผ่านความถี่สูง (High-pass Filter, HP)
3. วงจรกรองความถี่แบบกรองผ่านแถบความถี่ (Band-pass Filter, BP)
4. วงจรกรองความถี่แบบตัดแถบความถี่ (Band-reject Filter หรือ Band-stop Filter, BR)
5. วงจรกรองความถี่แบบกรองผ่านทุกความถี่ (All-pass Filter, AP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.11 ทฤษฎีของออสซิลเลเตอร์

วงจรออสซิลเลเตอร์ (Oscillator) เป็นวงจรไฟฟ้าที่สามารถให้กำเนิดสัญญาณได้ในตัวเอง โดยจะให้สัญญาณทางขาออก (Output Signal) มีรูปแบบสัญญาณเป็นรายคาบ (Periodic Signal) โดยที่ไม่จำเป็นต้องมีสัญญาณด้านขาเข้า (Input Signal) วงจรออสซิลเลเตอร์นั้นเป็นวงจรพื้นฐานอย่างหนึ่งที่มีเข้ามามีบทบาทในด้านวิศวกรรม โดยในแวดวงโทรคมนาคมออสซิลเลเตอร์สามารถถูกใช้เป็นวงจรสร้างสัญญาณคลื่นพาห์ (Carrier Signal) เพื่อใช้ในการมอดูเลต (Modulation) หรือเพื่อสร้างสัญญาณนาฬิกาอ้างอิง (Reference Clock Signal) ให้แก่ระบบ เป็นต้น

วงจรออสซิลเลเตอร์ที่เป็นที่รู้จักมีอยู่หลายชนิดด้วยกันได้แก่ วงจรออสซิลเลเตอร์แบบเลื่อนเฟส (Phase Shift Oscillator) วงจรออสซิลเลเตอร์แบบวินบริดจ์ (Wien-Bridge Oscillator), วงจรออสซิลเลเตอร์แบบโคลพิทซ์ (Colpits Oscillator) หรือว่าจะเป็นวงจรออสซิลเลเตอร์แบบฮาร์เลย์ (Harley Oscillator) เป็นต้น ซึ่งรูปแบบของสัญญาณที่ได้จากวงจรออสซิลเลเตอร์แบบต่าง ๆ นั้นก็มีอยู่หลายรูปแบบด้วยกัน เช่น สัญญาณไซน์, สัญญาณพัลส์สี่เหลี่ยม และสัญญาณฟันเลื่อย อย่างไรก็ตามในที่นี่จะกล่าวถึงหลักการของวงจรออสซิลเลเตอร์ที่กำเนิดสัญญาณไซน์ซึ่งเกี่ยวข้องกับเนื้อหาในวิทยานิพนธ์ฉบับนี้เท่านั้น

## 2.12 องค์ประกอบของออสซิลเลเตอร์

### 2.12.1 ตัวกำเนิดพลังงาน (Energy Source)

ได้แก่ แหล่งจ่ายไฟหรือแบตเตอรี่ โดยในที่นี้มุ่งเน้นไปที่แหล่งจ่ายไฟกระแสตรงที่มีแรงดันคงที่จ่ายให้กับอุปกรณ์ต่างๆ

### 2.12.2 วงจรกำเนิดความถี่ (Frequency-Determining Circuit)

วงจรถูกกำหนดความถี่ที่ว่าจะต้องสามารถเลือกความถี่ได้ ในลักษณะที่เป็นวงจรกรองแบบความถี่ผ่านได้แก่ วงจร RC, วงจร LC หรือแบบคริสตัล เป็นต้น

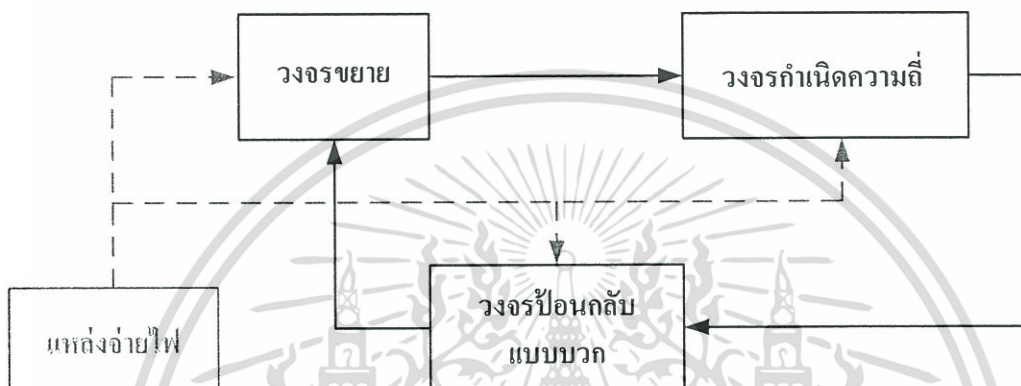
### 2.12.3 วงจรขยาย (Amplifier Circuit)

เป็นวงจรประเภทแอกทิฟซึ่งอาจเป็นวงจรขยายแบบทรานซิสเตอร์ (Transistor), แบบเฟต (FET) หรือวงจรขยายที่อยู่ในรูปของไอซีอย่างใดอย่างหนึ่ง ซึ่งจะทำหน้าที่คงการกำเนิดสัญญาณไว้ด้วยการชดเชยพลังงานส่วนที่สูญเสียไปในออสซิลเลเตอร์ให้มีค่าคงตัวอยู่เช่นเดิมโดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.12.4 วงจรป้อนกลับแบบบวก (Positive Feedback Circuit)

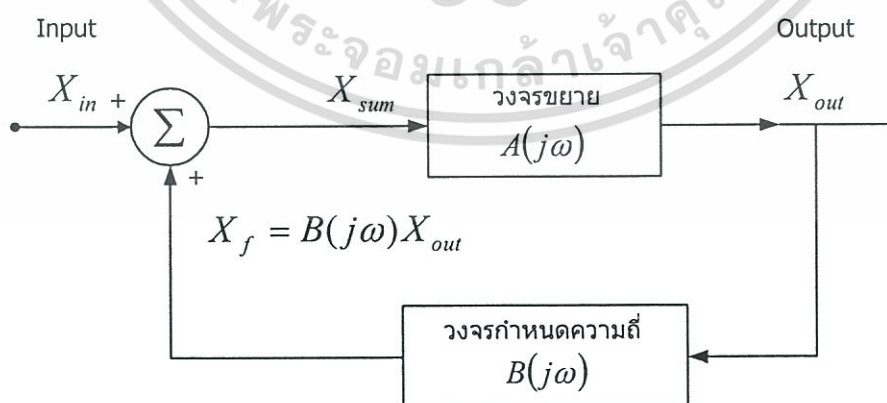
เป็นวงจรที่จะนำสัญญาณจากด้านขาออกของออสซิลเลเตอร์กลับไปยังด้านขาเข้าของวงจร โดยสัญญาณด้านด้านขาออกที่จะป้อนกลับเข้าไปสู่ด้านขาเข้านั้นจะต้องให้มีเฟส (Phase) ตรงกันกับเฟสของสัญญาณทางด้านขาเข้าเพื่อให้เกิดการเสริมกันของสัญญาณเพื่อให้สัญญาณไม่ตก ซึ่งองค์ประกอบทั้ง 4 นี้ จะแสดงได้ดังบล็อกไดอะแกรมตามรูปที่ 2.21



รูปที่ 2.21 บล็อกไดอะแกรมแสดงองค์ประกอบของออสซิลเลเตอร์

### 2.13 เงื่อนไขของการกำเนิดสัญญาณของวงจร

วงจรออสซิลเลเตอร์นั้นจัดเป็นวงจรโครงข่ายแบบป้อนกลับ (Feedback Network) แบบหนึ่ง ซึ่งมีการป้อนกลับแบบบวก สามารถแสดงบล็อกไดอะแกรมองค์ประกอบการไหลวนของสัญญาณได้ดังรูป 2.22



รูปที่ 2.22 บล็อกไดอะแกรมของวงจรที่มีการป้อนกลับแบบบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์ต่างๆ ที่ใช้ในวงจรรูปที่ 2.22 มีดังต่อไปนี้

$X_{in}$  คือ สัญญาณด้านขาเข้าของวงจร

$X_{out}$  คือ สัญญาณด้านขาออกของวงจร

$X_{sum}$  คือ สัญญาณผลรวมระหว่าง  $X_{in}$  และ  $X_{out}$

$X_f$  คือ สัญญาณป้อนกลับ

$A(j\omega)$  คือ ค่าเกนของวงจรขยาย

$B(j\omega)$  คือ ค่าเกนของวงจรกำหนดความถี่

จากรูปที่ 2.22 จะได้สมการดังนี้

$$X_{sum} = X_{in} + X_f \quad (2.34)$$

$$X_f = B(j\omega)X_{out} \quad (2.35)$$

$$X_{out} = A(j\omega)X_{sum} \quad (2.36)$$

เมื่อแทนค่าสมการที่ (2.35) และ (2.36) ลงใน (2.34) จะได้รูปสมการใหม่เป็น

$$\frac{X_{out}}{X_{in}} = \frac{A(j\omega)}{1 - A(j\omega)B(j\omega)} \quad (2.37)$$

ซึ่งการกำเนิดสัญญาณนั้น วงจรจะต้องสร้างสัญญาณได้ขาออกได้โดยที่ไม่มีสัญญาณด้านขาเข้า ซึ่งเงื่อนไขดังกล่าวจะเป็นจริงได้ก็คือ ค่าเกนขยายต้องมีค่าอนันต์ (Infinity) คือ ตัวส่วนของสมการที่ (2.37) จะต้องมีค่าเป็น 0 กล่าวคือ

$$1 - A(j\omega)B(j\omega) = 0 \quad (2.38)$$

โดยเมื่อเงื่อนไขเป็นไปตามสมการที่ (2.38) ณ ความถี่ค่าหนึ่ง (สมมติว่าเป็น  $\omega_0$ ) แสดงว่ามีการกำเนิดสัญญาณที่ความถี่ค่านี้ ณ เกณฑ์การตรวจสอบสำคัญที่รู้จักกันดี คือ “เกณฑ์บาร์คเฮาเซน (Barkhausen

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Criterion)” เกณฑ์ดังกล่าวมีนัยที่สำคัญสรุปได้ง่ายๆคือ “วงจรรออสซิลเลเตอร์ที่สามารถกำเนิดสัญญาณได้อย่างต่อเนื่องนั้น ต้องมีอัตราขยายในลูป (Loop Gain) เป็นค่าจริงเท่ากับหนึ่ง” เราจึงได้เงื่อนไขการกำเนิดสัญญาณแยกเป็นสองเงื่อนไข ที่จะต้องเกิดพร้อมกันกับสมการที่ (2.38) คือ

$$|A(j\omega_0)B(j\omega_0)| = 1 \quad (2.39)$$

และมีค่าเฟส  $\arctan\{A(j\omega_0)B(j\omega_0)\} = 0$  หรือ  $2n\pi$  ( $n =$  เลขจำนวนเต็ม)

ซึ่งในการรักษาค่าอัตราขยายในลูป ของวงจรให้มีค่าเท่ากับหนึ่งนั้น ก็เพื่อเป็นการรักษาการกำเนิดสัญญาณให้คงที่อยู่ตลอดนั่นเอง โดยการการป้อนกลับแบบบวกจะทำให้เกนแบบปิดลูป (Closed Loop Gain) ของวงจรมีค่ามากขึ้น และ ถ้าอัตราขยายในลูป (Loop Gain) ของวงจรมีค่าเป็นหนึ่งก็จะทำให้อัตราขยายของระบบมีค่าเป็นอนันต์ ซึ่งจะเห็นได้โดยแทนสมการที่ (2.39) ลงในสมการ (2.37)

$$\frac{X_{out}}{X_{in}} = \frac{A(j\omega_0)}{1-1} = \infty \quad (2.40)$$

จากสมการที่ (2.40) อธิบายความหมายได้ว่าแม้ไม่มีสัญญาณทางด้านขาเข้า ( $X_{in} = 0$ ) วงจรนี้ก็สามารถสร้างสัญญาณขาออกได้ คือ วงจรสามารถกำเนิดสัญญาณขึ้นมาได้เอง อย่างไรก็ตามในทางปฏิบัติแล้ววงจรดังกล่าวจะอาศัยสัญญาณรบกวน (Noise Signal) เป็นสัญญาณเริ่มต้นทางด้านขาเข้าให้กับวงจร ซึ่งสัญญาณรบกวนนี้อาจจะมาจากแหล่งกำเนิดใดๆ เช่น สัญญาณรบกวนที่เกิดขึ้นมาจากแหล่งจ่ายไฟเลี้ยงของวงจรเอง เป็นต้น อย่างไรก็ตามจากการพิจารณาโดยธรรมชาติแล้วนั้น วงจรรออสซิลเลเตอร์โดยทั่วไปนั้นจะเป็นวงจรประเภทไม่เป็นเชิงเส้น (Non-linear Circuit) หากแต่การวิเคราะห์วงจรนั้นได้ใช้หลักการวิเคราะห์แบบเชิงเส้นตามตัวอย่างข้างต้น ดังนั้นจึงสามารถกำหนดเงื่อนไขได้เพียงความถี่ของสัญญาณเท่านั้นแต่ไม่สามารถกำหนดขนาดของสัญญาณได้ ดังจะเห็นได้จากเกณฑ์การตรวจสอบของบาร์คูลูเชนที่กล่าวไว้ว่า ๖ ความถี่ของการกำเนิดสัญญาณจะมีค่าเฟสของสัญญาณเท่ากับ  $2n\pi$  ( $n =$  เลขจำนวนเต็ม)

- ทำได้โดยการเพิ่มวงจรในส่วนที่จะทำให้รักษาอัตราขยายของสัญญาณ
- ใช้หลักการของการจำกัดขนาดของตัวเอง (Self-Limiting) ของอุปกรณ์ภายใน เช่น ออสซิลเลเตอร์ที่สร้างขึ้นจากทรานซิสเตอร์ (Transistor) ในขณะเริ่มต้นนั้น สัญญาณจะมีค่าต่ำ ทรานซิสเตอร์จะมีค่าเกนสูง ทำให้ค่าลูปเกนของวงจรมีค่ามากกว่า 1 ณ ตำแหน่งที่มีความถี่เท่ากับ  $2n\pi$  ( $n =$  เลขจำนวนเต็ม) แต่เมื่อขนาดของสัญญาณเพิ่มขึ้นจะทำให้ทรานซิสเตอร์เริ่มอิ่มตัว (Saturate) ทำให้ทรานซิสเตอร์มีเกนลดลง ซึ่งจะทำให้ลูปเกนของวงจรลดลงจนกระทั่งทำให้สัญญาณมีขนาดที่คงที่ในที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.14 หลักการทำงานของวงจรรอสซิลเลเตอร์

### 2.14.1 สภาวะเริ่มต้นการทำงานของวงจร (First Turn-On)

สภาวะเริ่มต้นการทำงานของวงจรจะเกิดขึ้นเมื่อมีการจ่ายกำลังงานให้แก่วงจร ซึ่งการจ่ายกำลังงานจากแหล่งพลังงานภายนอกให้แก่วงจรอย่างทันทีทันใดนี้ จะทำให้เกิดสภาวะการเคลื่อนย้าย (Transition) ขึ้น ทำให้สเปคตรัมของสัญญาณเกิดการกระจายขึ้นอย่างมากมาย แต่อย่างไรก็ตามวงจรรอสซิลเลเตอร์นั้นจะมีวงจรถูกกำหนดความถี่อยู่ภายใน ดังนั้นจึงมีความถี่เพียงความถี่เดียวเท่านั้นที่เด่นที่สุดและจะถูกเลือกให้ป้อนกลับ ทำให้เกิดเป็นความถี่สัญญาณที่ปรากฏเป็นสัญญาณขาออกของวงจร

2.14.2 สภาวะการสร้างสัญญาณ (Signal Build-up) เมื่อความถี่ของสัญญาณที่กำเนิดขึ้นถูกกำหนดโดยวงจรถูกกำหนดความถี่ สัญญาณขาออกจะถูกนำกลับไปยังขาเข้าของวงจร ซึ่งสัญญาณจะถูกวงจรถูกกำหนดให้มีเฟสตรงกันเพื่อเป็นการเสริมให้สัญญาณมีกำลังมากขึ้น

### 2.14.3 สภาวะรักษาการสร้างสัญญาณ (Sustained Oscillation)

การรักษาการกำเนิดสัญญาณให้คงอยู่นั้นจะเป็นไปตามเงื่อนไขของบาร์คฮูเซ็น คือ ผลคูณค่าเกนของวงจรรขยายและวงจรถูกป้อนกลับจะต้องมีค่าเท่ากับหนึ่งในทางทฤษฎี แต่ในทางปฏิบัติค่าเกนรวมของระบบต้องมีค่ามากกว่าหนึ่งเล็กน้อยในสถานะเริ่มแรก ทั้งนี้ก็เพื่อเป็นการชดเชยการลดทอนสัญญาณที่อาจจะเกิดขึ้นได้ในวงจร และจะใช้ลักษณะความไม่เป็นเชิงเส้นของวงจรที่เกิดขึ้นเมื่อสัญญาณมีค่ามากมาเป็นตัวรักษาอุปเกนให้เท่ากับหนึ่งเพื่อเป็นตัวมาจำกัดขนาดของสัญญาณที่ออกมา

### 2.14.4 หน้าที่สำคัญของวงจรรอสซิลเลเตอร์

- สร้างสัญญาณทางไฟฟ้าที่ใช้ในการควบคุมการทำงานของระบบอิเล็กทรอนิกส์
- เป็นตัวให้จังหวะและค่าเวลาที่ถูกต้อง แน่นนอนแก่วงจรอิเล็กทรอนิกส์
- ให้สัญญาณความถี่ในย่านต่างๆ เพื่อใช้ในการทำงานของวงจรรวมโดยรวม

### 2.14.5 เงื่อนไขที่วงจรรอสซิลเลเตอร์จะทำการอสซิลเลสัญญาณออกมาได้

- ต้องมีแหล่งจ่ายไฟให้แก่วงจรรอสซิลเลเตอร์
- ต้องมีวงจรถูกกำหนดความถี่ที่แน่นอนในการอสซิลเลท เช่น อาจจะเป็น Hz หรือ MHz
- วงจรนั้นต้องมีกำลังขยายแรงดันที่มากพอที่จะให้สัญญาณเอาต์พุตออกมาตามที่กำหนด

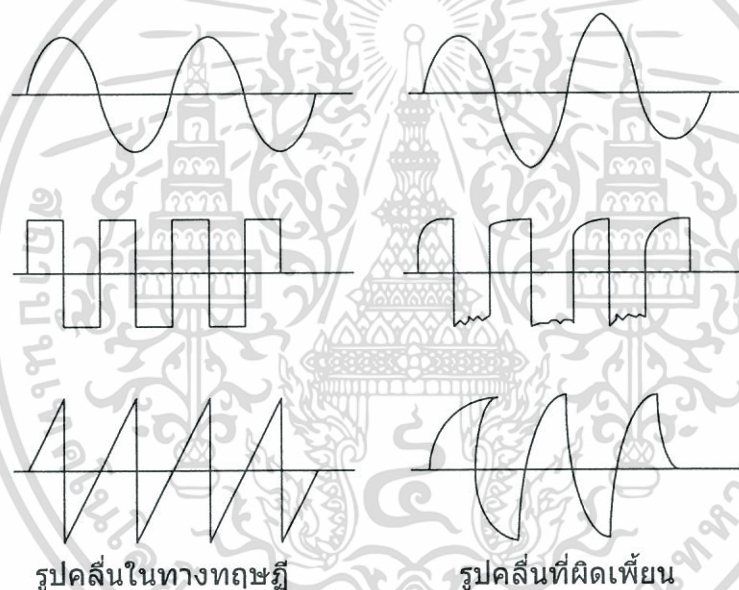
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ต้องมีส่วนของวงจรป้อนกลับหรือวงจรฟีดแบค (Feedback Circuit) จากเอาต์พุทกลับเข้ามาที่อินพุท เป็นแบบบวกหรือที่เรียกกันว่า โฟสซีทีฟฟีดแบค (Positive Feedback)

## 2.15 คุณสมบัติของวงจรออสซิลเลเตอร์

### 2.15.1 มีความเพี้ยนของรูปคลื่นต่ำ (Low Distortion)

ลักษณะของความเพี้ยนมีด้วยกันหลายลักษณะ คือ จากรูปที่ 2.23 ถ้ามีลักษณะเป็นรูปคลื่นไซน์จะเรียกว่าเป็นความเพี้ยนของฮาร์โมนิกส์ (Harmonic Distortion) คือ ลักษณะจะเป็นสัญญาณรูปไซน์ที่บิดเบี้ยวตามความเพี้ยนแล้วแต่ว่ามากหรือน้อย สาเหตุเกิดจากลักษณะความไม่เป็นเชิงเส้นของวงจรขยาย (Nonlinear) หรือถ้าหากตัวคาปาซิเตอร์หรืออินดักเตอร์ทำงานผิดพลาด



รูปที่ 2.23 ลักษณะคลื่นในทฤษฎีเทียบกับคลื่นที่มีความผิดเพี้ยน

จากรูปที่ 2.23 จะเห็นว่ากรณีของคลื่นรูปสี่เหลี่ยม ความเพี้ยนจะเกิดขึ้นบริเวณที่มีการเปลี่ยนแปลงแรงดันไฟฟ้า ทำให้เกิดการไม่เรียบขึ้นหรือทำให้เกิดโอเวอร์ชูต (Over Shoot) หรือบางทีทำให้ความห่างของแต่ละลูกคลื่นไม่สม่ำเสมอ นั่นคือเกิดการผิดเพี้ยนทางเวลาขึ้น ส่วนในรูปคลื่นฟันเลื่อย จะเพี้ยนในลักษณะที่ไม่เป็นเชิงเส้น (Non-Linear Distortion) และเวลาในการลดระดับสัญญาณลงมานั้นไม่ตั้งฉากแต่จะเกิดเวลาหน่วง (Delay Time) ของสัญญาณอยู่บ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.15.2 มีเสถียรภาพทางความถี่ (Frequency Stability)

ในการใช้งานวงจรออสซิลเลเตอร์ร่วมกับวงจรอื่นๆนั้นจำเป็นต้องให้ค่าความถี่ของสัญญาณมีค่าคงที่แน่นอน แต่องค์ประกอบหลายประการที่ประกอบกันขึ้นเป็นวงจรรวมนั้นมีผลทำให้ความถี่ของสัญญาณคลาดเคลื่อนไปอย่างมาก เช่น

- แรงดันของแหล่งจ่ายไฟเปลี่ยนแปลง เช่น ไฟตก เป็นต้น
- โหลดของวงจรเปลี่ยนแปลงไป
- ค่าของอุปกรณ์ที่มีผลต่อการกำหนดความถี่ เช่น อุปกรณ์ R, L, C มีคุณภาพไม่ดี มีค่าไม่ตรงกับที่กำหนด หรือหลังจากใช้งานไปแล้วเสื่อมสภาพ เป็นต้น

ดังนั้นในการออกแบบจึงต้องพยายามนำเอาแหล่งจ่ายที่มีการปรับระดับแรงดันเอาท์พุทหรือเรกกูเลท (Regulated) มาใช้ ซึ่งค่าสัญญาณเอาท์พุทไม่ขึ้นกับคุณสมบัติของวงจรขยายมากนัก หรืออาจจะเพิ่มเติมวงจรบัฟเฟอร์เข้าไประหว่างวงจรออสซิลเลเตอร์กับโหลด หรือใช้อุปกรณ์ที่มีความเที่ยงตรงสูงและทนทาน มีอายุการใช้งานได้นานในส่วนที่เกี่ยวข้องกับความถี่ เช่น การไม่เปลี่ยนตามอุณหภูมิ เป็นต้น หรือจะเปลี่ยนมาใช้วงจรออสซิลเลเตอร์ที่ใช้ผลึกคริสตัลเป็นตัวกำหนดความถี่ซึ่งจะได้ความเที่ยงตรงสูง

### 2.15.3 มีเสถียรภาพทางขนาดของสัญญาณ (Amplitude Stability)

คือ ขนาดหรือแอมพลิจูดของสัญญาณจะต้องไม่ขึ้นๆลงๆ คือค่อนข้างจะคงที่ ทำได้โดยออกแบบให้มีวงจรปรับอัตราขยายหรือเกนให้คงที่ด้วยวิธีต่างๆ

## บทที่ 3

### หลักการที่แนะนำเสนอในอดีต

#### 3.1 บทนำ

ในอดีตได้มีการนำเสนอวงจรกำเนิดสัญญาณรูปแบบแรงดันและกระแสไว้มากมาย [1-2], [5-7], [9], [12], [15-19], [23] ในรูปแบบแรงดันนั้นได้มีการใช้วงจรขยายสัญญาณแบบ Unity-gain ต่อร่วมกับอุปกรณ์แพสซีฟ RC [1] และโอทีเอปรับค่าความถี่ด้วยแรงดัน [2] แต่ด้วยข้อจำกัดของวงจรรูปแบบแรงดัน ได้มีการพัฒนาวงจรที่ทำงานในรูปแบบกระแสโดยใช้วงจรตามกระแส (Current Follower: CF) ต่อร่วมกับอุปกรณ์แพสซีฟ RC [3] หรือใช้ค่าโพลมาชตเซย (Compensate Pole) ในออปแอมป์มาออกแบบ [4] และยังมีอุปกรณ์ที่ทำงานในรูปแบบกระแสตัวอื่นเช่น CCII (2<sup>nd</sup> Generation Current Conveyors) ก็เป็นอุปกรณ์ที่น่าสนใจที่มีผู้นำมาออกแบบเป็นวงจรกำเนิดสัญญาณ ทั้งแบบต่อร่วมกับอุปกรณ์พาสซีฟ RC [5] และใช้เพียงตัวเก็บประจุเท่านั้น [6] สามารถปรับค่าความถี่ได้จากค่าความต้านทานแปรด้วยวิธีทางอิเล็กทรอนิกส์ อีกทั้งยังมีการใช้วงจรสายพานกระแสรุ่นที่สอง มาทำวงจรกรองผ่านทุกความถี่ โดยมีการพัฒนาปรับลดตัวต้านทานต่างๆ และชดเชยข้อด้อยไป ซึ่งในการออกแบบสร้างวงจรต่างๆที่ผ่านมานั้นได้เป็นแนวทางในการพัฒนาการออกแบบโครงข่ายผ่านทุกความถี่อันดับหนึ่ง รูปแบบกระแสที่ไม่ใช้ตัวต้านทาน โดยอาศัยหลักการของวงจรทรานส์อิมพีแดนซ์ และทรานส์คอนดัคแตนซ์ ดังวงจรที่นำเสนอในวิทยานิพนธ์ฉบับนี้

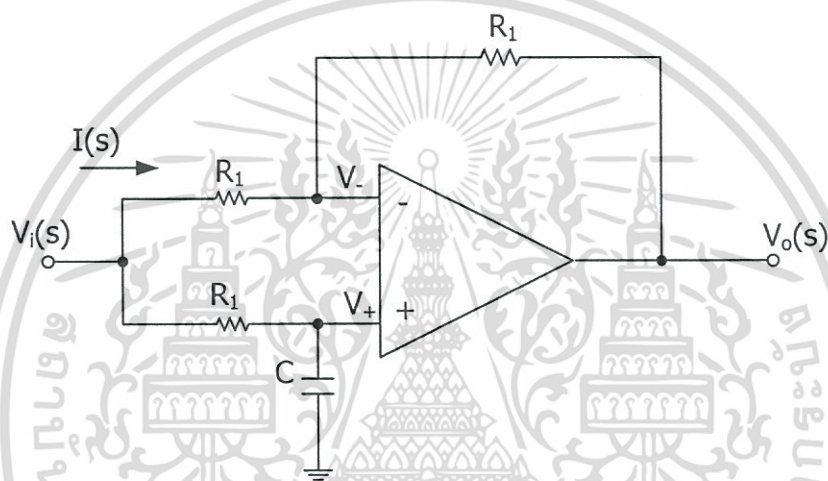
โดยในบทนี้จะกล่าวถึงหลักการของวงจรที่นำเสนอไว้ในวารสารในอดีตซึ่งประกอบด้วยวงจรกรองสัญญาณผ่านทุกความถี่ใช้ออปแอมป์ วงจรกรองผ่านทุกความถี่โดยใช้สายพานกระแส วงจรกรองสัญญาณผ่านทุกความถี่ใช้ออปแอมป์ วงจรกรองสัญญาณผ่านทุกความถี่โดยใช้สายพานกระแส วงจรออสซิลเลเตอร์ที่ใช้โอทีเอ [10], วงจรออสซิลเลเตอร์ที่ใช้วงจรสายพานกระแสรุ่นที่สอง [12] และวงจรออสซิลเลเตอร์แบบใช้วงจรสายพานกระแสรุ่นที่สองควบคุมด้วยกระแส [15] รวมไปถึงการประยุกต์ใช้งานของออสซิลเลเตอร์และวงจรต่างๆที่เกี่ยวข้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2 การออกแบบวงจรกรองสัญญาณผ่านทุกความถี่โดยใช้ออปแอมป์

ในอดีตได้มีการออกแบบวงจรกรองสัญญาณผ่านทุกความถี่ที่สร้างมาจากออปแอมป์ [29] วงจรกรองผ่านทุกความถี่มี 2 แบบ คือ วงจรกรองสัญญาณผ่านทุกความถี่ชนิดมีมุมองศาตาม และวงจรกรองสัญญาณผ่านทุกความถี่ชนิดมีมุมองศาหน้า วงจรเหล่านี้เป็นการออกแบบโดยใช้ออปแอมป์เพื่อหาฟังก์ชันถ่ายโอนมุมองศาและขนาด เพื่อนำไปเป็นพื้นฐานในการนำไปออกแบบวงจรกรองสัญญาณผ่านทุกความถี่

#### 3.2.1 วงจรกรองสัญญาณผ่านทุกความถี่ชนิดมีมุมองศาตาม (Phase-Lag All-Pass Filter)



รูปที่ 3.1 วงจรกรองสัญญาณผ่านทุกความถี่ชนิดมีมุมองศาตาม

จากรูปที่ 3.1 สามารถหาฟังก์ชันการถ่ายโอนได้จาก  $V_+$  หาได้จาก

$$v_+ = \frac{v_i}{1 + s\tau}; \quad (3.1)$$

โดยที่  $\tau = R_1 C$   
และสามารถหา  $V_-$

$$v_- = \frac{R_1}{R_1 + R_1} (v_i + v_o) = \frac{v_i + v_o}{2} \quad (3.2)$$

จากคุณสมบัติออปแอมป์จะได้

$$V_- = V_+ \quad (3.3)$$

จากสมการ (3.1) และ (3.2) จะได้

$$\left( \frac{v_i}{1 + s\tau} \right) = \frac{v_i + v_o}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_i \left( \frac{1}{1+s\tau} - \frac{1}{2} \right) = \frac{v_o}{2} \quad (3.4)$$

ดังนั้นฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณผ่านทุกความถี่ชนิดนี้มีมุมมองศาตามคือ

$$\frac{v_o}{v_i} = + \left( \frac{1-s\tau}{1+s\tau} \right) \quad (3.5)$$

จากสมการของฟังก์ชันการถ่ายโอนสามารถนำไปหาค่าขนาดและมุมมองศาได้จาก

$$\text{magnitude} = 20 \log \left| \frac{v_o}{v_i} \right| \quad (3.6)$$

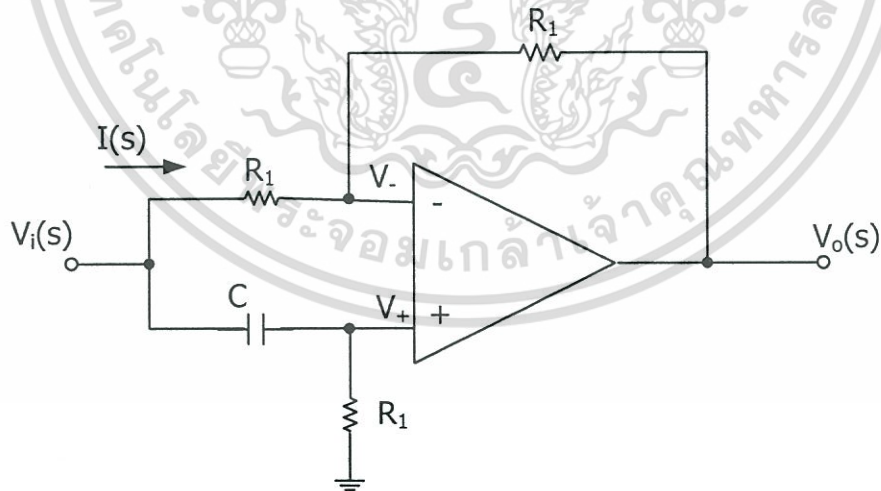
จากสมการที่ (3.6) จะได้

$$\text{magnitude} = 20 \log \sqrt{1+\omega^2\tau^2} - 20 \log \sqrt{1+\omega^2\tau^2} = 0 \text{dB} \quad (3.7)$$

มุมมองศาสามารถหาได้จาก

$$\theta = -2 \tan^{-1} \omega\tau = -90^\circ; \omega = \frac{1}{\tau} \quad (3.8)$$

### 3.2.2 วงจรกรองสัญญาณผ่านทุกความถี่ชนิดนี้มีมุมมองศาหน้า (Phase-Lead All-Pass Filter)



รูปที่ 3.2 วงจรกรองสัญญาณผ่านทุกความถี่ชนิดนี้มีมุมมองศาหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 วงจรกรองสัญญาณผ่านทุกความถี่ชนิดมีมูมองคาน่า จากวงจรจะพบว่ามีกรสลบตำแหน่งของตัวเก็บประจุกับตัวต้านทานจากรูปที่ 3.2 สามารถหาฟังก์ชันการถ่ายโอนได้จาก

$$I(s) = \frac{V_i(s) - V_+}{R_1} = \frac{V_i - \left[ \frac{R}{R + \frac{1}{sC}} V_i \right]}{R_1} \quad (3.9)$$

และ

$$I(s) = \frac{V_i(s)}{R_1} \left\{ 1 - \frac{R}{R + \frac{1}{sC}} \right\} = \frac{V_i(s)}{R_1} \left\{ \frac{\frac{1}{sC}}{R + \frac{1}{sC}} \right\} \quad (3.10)$$

จากวงจรใช้กฎของเคอร์ชอฟจะได้

$$V_o = IR_1 - V_- = 0 \quad (3.11)$$

ค่าแรงดันที่สัญญาณเอาต์พุต คือ

$$V_o(s) = -I(s)R_1 + V_- \\ V_o(s) = -\frac{V_i(s)}{R_1} \frac{\frac{1}{sC}}{R + \frac{1}{sC}} R_1 + \frac{R}{R + \frac{1}{sC}} V_- \quad (3.12)$$

ดังนั้นฟังก์ชันถ่ายโอนของวงจรคือ

$$\frac{V_o(s)}{V_i(s)} = -\left( \frac{1 - s\tau}{1 + s\tau} \right) \quad (3.13)$$

โดยที่  $s = j\omega$  และ  $\tau = RC$

จากสมการของฟังก์ชันการถ่ายโอนสมการที่ (3.13) สามารถนำไปหาค่าขนาด และมูมองศาได้จาก

$$\text{magnitude} = 20 \log \left| \frac{v_o}{v_i} \right| = 20 \log \frac{\sqrt{\omega^2 + \left( \frac{1}{RC} \right)^2}}{\sqrt{\omega^2 + \left( \frac{1}{RC} \right)^2}} = 0 \text{dB} \quad (3.14)$$

มูมองศาสามารถหาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta = 180^\circ - (\tan^{-1} \omega\tau) - (\tan^{-1} \omega\tau) = 180^\circ - 90^\circ = 90^\circ; \omega = \frac{1}{\tau} \quad (3.15)$$

### 3.3 วงจรกรองสัญญาณผ่านทุกความถี่โดยใช้สายพานกระแส

วงจรสายพานกระแสเป็นอุปกรณ์แอคทีฟชนิดหนึ่งที่สามารถนำไปประยุกต์เป็นวงจรนาลอกรูปแบบต่างๆ ได้หลายรูปแบบ วงจรสายพานกระแสรุ่นแรกอาศัยหลักการสำคัญคือการจัดให้มีการส่งผ่านกระแสระหว่างพอร์ตที่มีระดับค่าอิมพีแดนซ์ที่ต่างกันมากๆ

#### 3.3.1 วงจรสายพานกระแสรุ่นที่ 1 (First Generation Current Conveyor: CCI)

วงจรสายพานกระแสรุ่นที่หนึ่ง เป็นวงจรที่ได้ถูกนำเสนอขึ้นเป็นครั้งแรกในปี ค.ศ. 1968 โดย K.C. Smith และ A.S. Sedra [1] วงจร CCI จัดเป็นวงจรประเภท 3 ขั้ว (Port) คือมีขั้ว x, y เป็นขั้วของจุดสัญญาณทางด้านขาเข้าและขั้ว z เป็นขั้วของจุดสัญญาณทางด้านขาออกตามลำดับแสดงได้ดังรูปที่ 3.3 ซึ่งโดยหลักการทำงานของ พื้นฐานของ วงจร CCI คือ ถ้ามีศักดาไฟฟ้า ( $v$ ) ตกคร่อมจุดสัญญาณทางด้านขาเข้าที่ขั้ว y แล้วจะปรากฏให้มี ศักดาไฟฟ้าค่าเท่ากันขึ้นที่ขั้ว x และในขณะเดียวกันถ้ามีกระแสไฟฟ้า ( $i_x$ ) ไหลผ่านจุดสัญญาณทางด้านขาเข้าที่ขั้ว x ก็ จะปรากฏให้มีกระแสค่าเท่ากันไหลผ่านที่ขั้ว y และกระแสค่าเดียวกันนี้จะถูกนำพา (Convey) ไปเป็นกระแส แล่น จุดสัญญาณขาออกที่ขั้ว z ซึ่งเป็นขั้วของอุปกรณ์ที่มีค่าอิมพีแดนซ์ (Impedance) สูงด้วย นอกจากนี้ค่า ศักดาไฟฟ้าที่ปรากฏขึ้นที่ขั้ว x (ซึ่งถูกกำหนดโดยเกี่ยวกับค่าศักดาไฟฟ้าทางด้านขั้ว y) นั้นจะไม่ขึ้นอยู่กั บค่า กระแสไฟฟ้าที่ไหลผ่านขั้ว x และค่ากระแสไฟฟ้าที่ไหลผ่านขั้ว y (ซึ่งถูกกำหนดโดยเกี่ยวกับค่าศักดาไฟฟ้า ทางด้านขั้ว x) นั้นจะไม่ขึ้นกับค่าศักดาไฟฟ้าที่ตกคร่อมที่ขั้ว y เช่นเดียวกัน



รูปที่ 3.3 สัญลักษณ์ของวงจรสายพานกระแสรุ่นที่หนึ่ง (CCI)

จากความสัมพันธ์ของตัวแปรทางไฟฟ้าต่างๆดังกล่าวสามารถแสดงในรูปของความสัมพันธ์ทางเมตริกซ์ ได้ ดังสมการเมตริกซ์ต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (3.16)$$

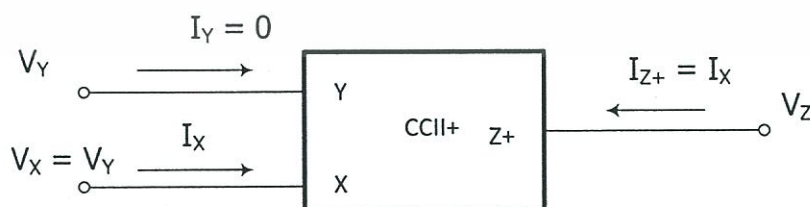
จากคุณสมบัติตามสมการที่ (3.16) นี้สามารถที่จะนำไปเขียนเป็นวงจรสมมูลย์ในรูปของบล็อกไดอะแกรมของวงจร CCI ได้ดังแสดงในรูปที่ 3.3 หลังจากวงจรสายพานกระแสรุ่นที่หนึ่งนี้เกิดขึ้นได้ไม่นานนั้น บุคคลทั้งสองก็ได้มีการคิดค้นและทำการพัฒนาวงจรสายพานกระแสรุ่นที่หนึ่งและได้นำเสนอเป็นวงจรสายพานกระแสรุ่นที่สองขึ้น

### 3.3.2 วงจรสายพานกระแสรุ่นที่สอง (Second Generation Current Conveyor: CCII)

ในปี ค.ศ. 1970 ซึ่งเป็นระยะเวลา 2 ปีต่อมาหลังจากที่ K.C. Smith และ A.S. Sedra ได้นำเสนอแนวความคิดของวงจร CCI บุคคลทั้งสองได้ทำการปรับปรุงวงจรและได้นำเสนอแนวความคิดของหลักการวงจรสายพานกระแสแบบขึ้นใหม่ ซึ่งมีคุณสมบัติที่แตกต่างและสามารถประยุกต์ใช้งานได้หลากหลายมากกว่าแนวความคิดของวงจร CCI เดิม [2] เรียกว่าวงจรสายพานกระแสรุ่นที่สองวงจรสายพานกระแสรุ่นที่สองนี้ใช้สัญลักษณ์ตัวอักษรแทนด้วย CCII โดยคุณสมบัติของวงจร CCII สามารถแสดงได้ตามความสัมพันธ์เชิงเมตริกซ์ของตัวแปรทางไฟฟ้าต่างๆ ดังต่อไปนี้

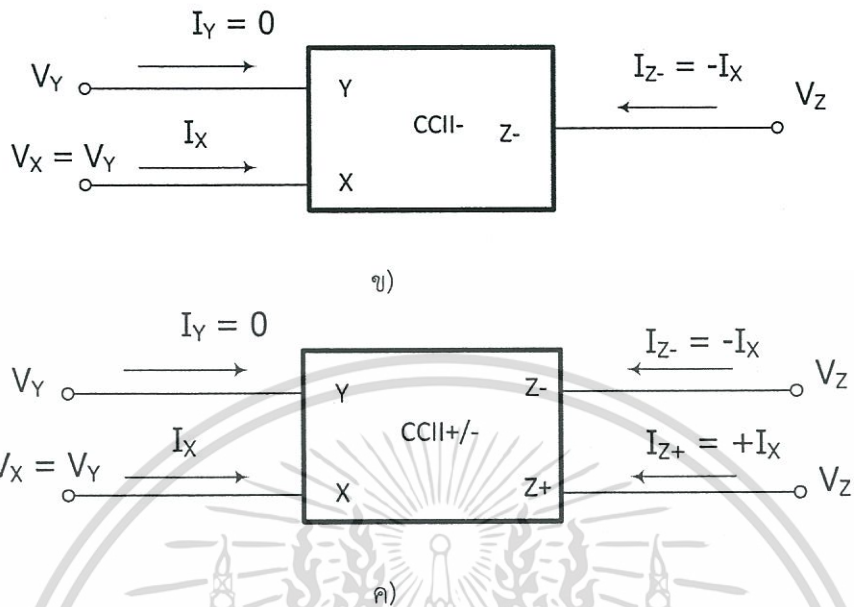
$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (3.17)$$

จากสมการ (3.17) สามารถนำไปเขียนเป็นวงจรสมมูลย์ และกำหนดใช้สัญลักษณ์เป็นบล็อกไดอะแกรมได้ดังแสดงในรูปที่ 3.5



ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



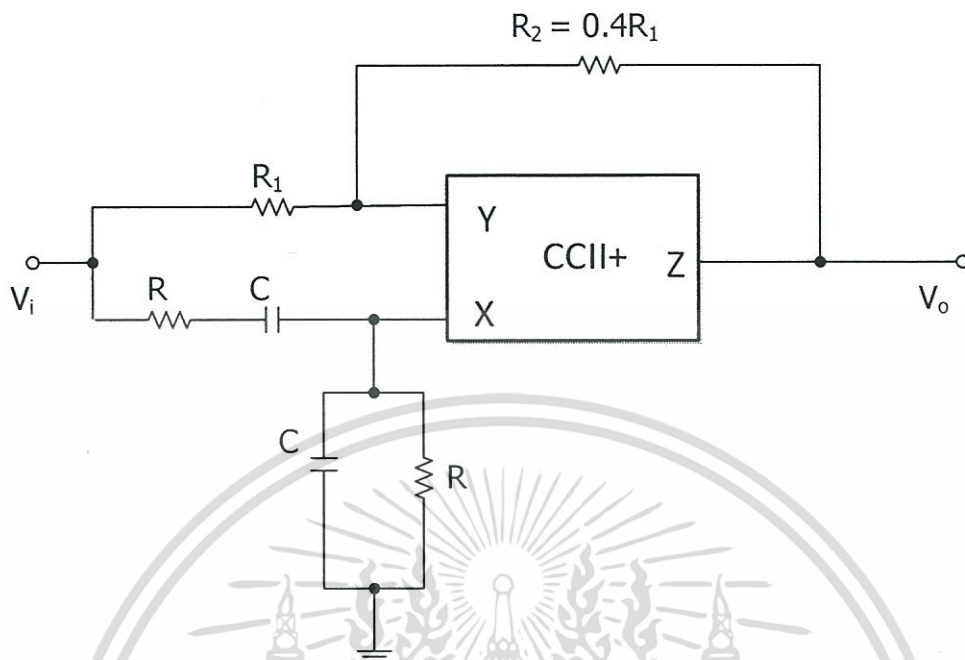
รูปที่ 3.4 บล็อกไดอะแกรมของวงจร CCII (ก) CCII+ , (ข) CCII- , (ค) CCII+/-

วงจร CCII นี้ประกอบด้วยพอร์ต x ที่มีค่าอินพุตอิมพีแดนซ์อยู่ที่ค่าๆหนึ่ง พอร์ต y จะมีอินพุตอิมพีแดนซ์สูงและไม่มีกระแสไหลเข้าหรือไหลออก และพอร์ต z เป็นพอร์ตที่มีความต้านทานเอาต์พุตสูง วงจร CCII ที่มีกระแส  $I_z$  ที่พอร์ต z ไหลเข้าหรือไหลออกในทิศทางเดียวกันกับกระแส  $I_x$  ที่พอร์ต x เรียกว่าเป็นวงจร CCII แบบบวก (CCII+) ดังที่แสดงไว้ในรูปที่ 3.4 (ก) และหากกระแส  $I_z$  และ  $I_x$  ที่ทิศทางการไหลตรงกันข้ามกันเรียกว่าเป็นวงจร CCII แบบลบ (CCII-) ดังแสดงในรูปที่ 3.4 (ข) นอกจากนั้นยังมีการนำวงจร CCII ทั้งแบบบวกและแบบลบ รวมเข้าเป็นวงจรเดียวกันโดยเรียกว่าวงจร CCII+/- ดังแสดงในรูปที่ 3.4 (ค) กล่าวคือ วงจร CCII+/- จะมีพอร์ต z จำนวน 2 พอร์ต พอร์ตหนึ่งจะมีทิศทางการไหลของกระแสเหมือนกับกระแสที่พอร์ต x เรียกว่ากระแส  $I_{z+}$  และอีกพอร์ตหนึ่งมีทิศทางการไหลของกระแสตรงกันข้ามกับพอร์ต x เรียกว่ากระแส  $I_{z-}$  จากแนวคิดของวงจร CCII นี้ ได้มีผู้นำไปสร้างเป็นวงจรประมวลสัญญาณขึ้นหลายรูปแบบ ดังจะเห็นตัวอย่างได้จากบทความที่[2] ต่อมาได้มีการพัฒนาวงจร CCII ที่สามารถปรับค่าอินพุตอิมพีแดนซ์พอร์ต x ได้โดยใช้กระแสจากภายนอกเป็นตัวปรับที่เรียกว่า วงจรสายพานกระแสรุ่นที่สองที่ควบคุมได้ด้วยกระแส (CCCII)

ในปี 1972 [22] ได้มีการนำเสนอวงจรกรองผ่านทุกความถี่อีกรูปแบบหนึ่ง โดยใช้วงจรสายพานกระแสรุ่นที่สอง ดังรูปที่ 3.5 ซึ่งมีฟังก์ชันการถ่ายโอนดังสมการที่ (3.11)

$$H(s) = \frac{V_o(\omega)}{V_i(\omega)} = \frac{1}{5} \left( \frac{1 - j\frac{x}{3}}{1 + j\frac{x}{3}} \right) \tag{3.18}$$

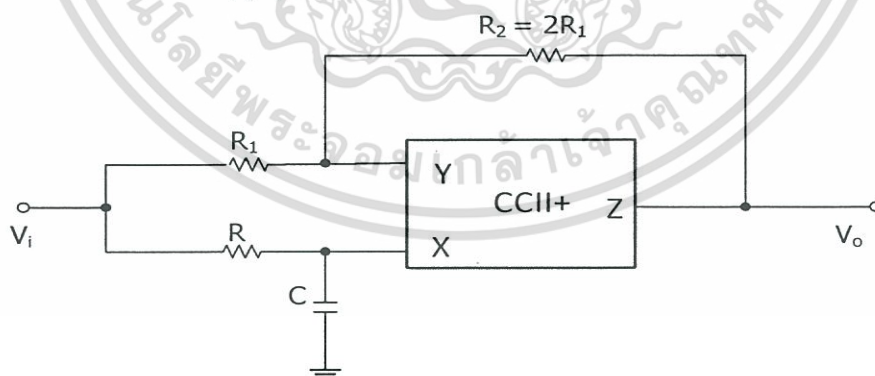
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรกรองผ่านทุกความถี่ [22]

จากวงจรในรูปที่ 3.5 มีความยุ่งยากในการปรับค่าการเลื่อนเฟสแต่มีย่านความถี่การใช้งานที่สูงขึ้น ต่อมาในปี 1980 [23] ได้มีการนำเสนอวงจรกรองผ่านทุกความถี่ดังแสดงในรูปที่ 3.6 ซึ่งมีฟังก์ชันการถ่ายโอนดังสมการที่ (3.19)

$$\frac{V_o(\omega)}{V_i(\omega)} = \frac{1 - j\omega RC}{1 + j\omega RC} \tag{3.19}$$



รูปที่ 3.6 วงจรกรองผ่านทุกความถี่ [23]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

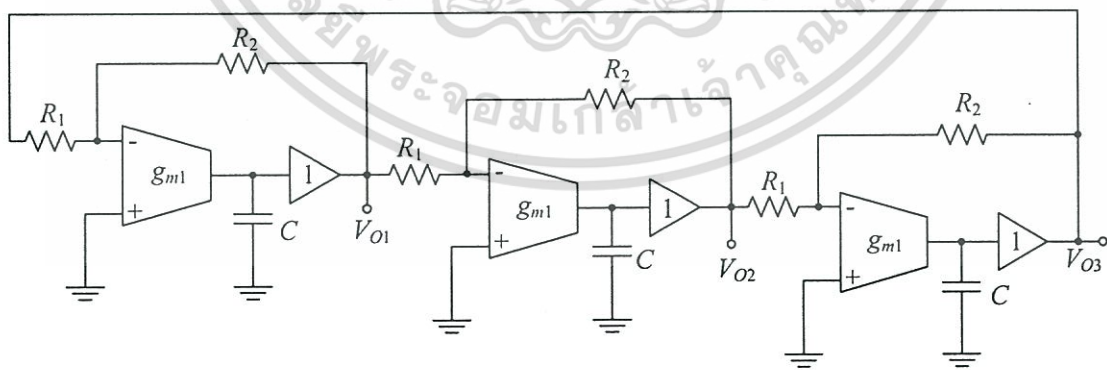
จากรูปที่ 3.6 จะเห็นว่ามีกรลดจำนวนอุปกรณ์แพสซีฟลงเหลือเพียง 4 ตัว และสามารถปรับค่าการเลื่อนเฟสได้โดยการปรับค่า R เพียงตัวเดียว และมีฟังก์ชันการถ่ายโอนมีค่าสูงขึ้น วงจรกรองผ่านทุกความถี่ทั้งหมดที่กล่าวมา ยังคงมีค่าอิมพีแดนซ์ที่อินพุตค่อนข้างต่ำ ซึ่งจะทำให้เกิดความยุ่งยากในการนำไปต่อร่วมกับวงจรอื่น

จากวงจรกรองผ่านทุกความถี่แบบแอกทีฟที่กล่าวมา จะเห็นได้ว่าวงจรที่ใช้ตัว CCII เป็นอุปกรณ์ที่เหนือกว่าวงจรที่ใช้โอปแอมป์เป็นอุปกรณ์หลัก อนุ้งะไรก็ตาม วงจรเหล่านี้ยังต้องใช้อุปกรณ์แบบแพสซีฟต่อรวมด้วยอย่างน้อย 4 ตัว และมีเงื่อนไขในการกำหนดค่าอัตราส่วนของอุปกรณ์แพสซีฟเป็นเงื่อนไขที่ทำให้เกิดข้อจำกัดของวงจร ไม่สามารถปรับค่าการเลื่อนเฟสได้ด้วยวิธีการทางอิเล็กทรอนิกส์ได้ และไม่สามารถปรับอัตราขยายได้

### 3.4 วงจรออสซิลเลเตอร์ที่ใช้โอทีเอ [10]

วงจรรขยายความนำหรือโอทีเอ (Operation Transconductance Amplifiers: OTAs) เป็นอุปกรณ์แอกทีฟที่ใช้ในการออกแบบวงจรรนาลอก วงจรโอทีเอนั้นมีความเป็นเชิงเส้นสูงซึ่งสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยโอทีเอจะมีวงจรผลต่างของแหล่งจ่ายกระแสที่ควบคุมด้วยแรงดัน (Differential Voltage Control Current Source: DVCCS)

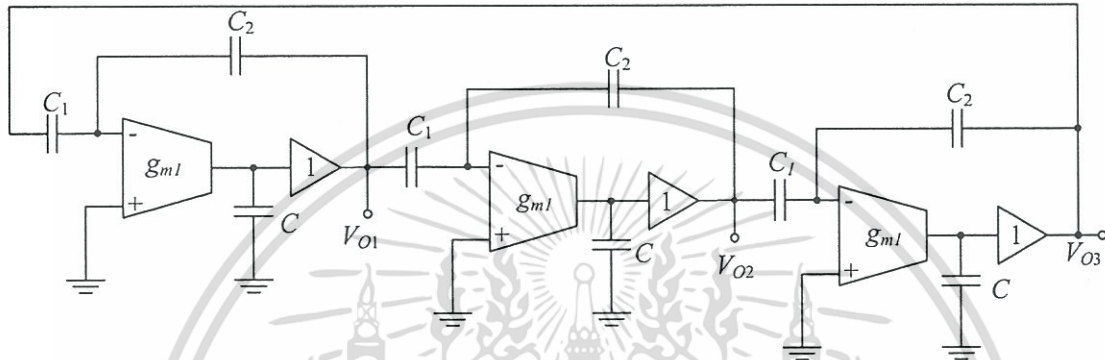
วงจรรออสซิลเลเตอร์ที่ใช้โอทีเอ [7] ซึ่งมีโครงสร้างที่ไม่ซับซ้อนคือใช้วงจรรออสซิลเลเตอร์แบบเฟสคีย์ที่ใช้โอทีเอ ตัวต้านทานและตัวเก็บประจุภายในวงจร ส่วนวงจรรออสซิลเลเตอร์แบบสามเฟส ได้มีการศึกษาและนำมาใช้งานจริง ซึ่งเอาท์พุทจะมีโครงสร้างที่สมมาตรกัน เช่น มีแอมพลิจูดและช่วงของความถี่ในการออสซิลเลทเท่ากัน [11] โดยโครงสร้างของเอาท์พุทนั้นมีประโยชน์สำหรับการกำเนิดสัญญาณสามเฟส ( $n = 3$ )



รูปที่ 3.7 วงจรกำเนิดสัญญาณไซน์สามเฟสแบบปรับค่าด้วยวิธีทางอิเล็กทรอนิกส์ [10]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.7 วงจรกำเนิดสัญญาณไซน์แบบสามเฟสประกอบด้วยโอทีเอ ตัวเก็บประจุ ตัวต้านทานและวงจรจะเกิดการออสซิลเลทของความถี่ที่เป็นสัดส่วนโดยตรงกับค่าความนำ (Transconductance:  $g_m$ ) ของโอทีเอ การปรับค่าทางอิเล็กทรอนิกส์ของออสซิลเลเตอร์ขึ้นอยู่กับค่าความคุมกระแสไบอัสและแรงดันไบอัสในตัวโอทีเอเอง เมื่อเกิดการออสซิลเลท ค่า Phase Shift ระหว่างเอาต์พุตทั้งสองในการป้อนกลับแบบบวกในส่วนของวงจรองความถี่ต่ำอันดับที่หนึ่งนั้นมีค่า  $\phi = 120^\circ$



รูปที่ 3.8 วงจร OTA-C ที่พัฒนามาจากวงจรถ่ายกำเนิดสัญญาณไซน์สามเฟสแบบปรับค่าด้วยวิธีทางอิเล็กทรอนิกส์ในรูปที่ 3.1 [10]

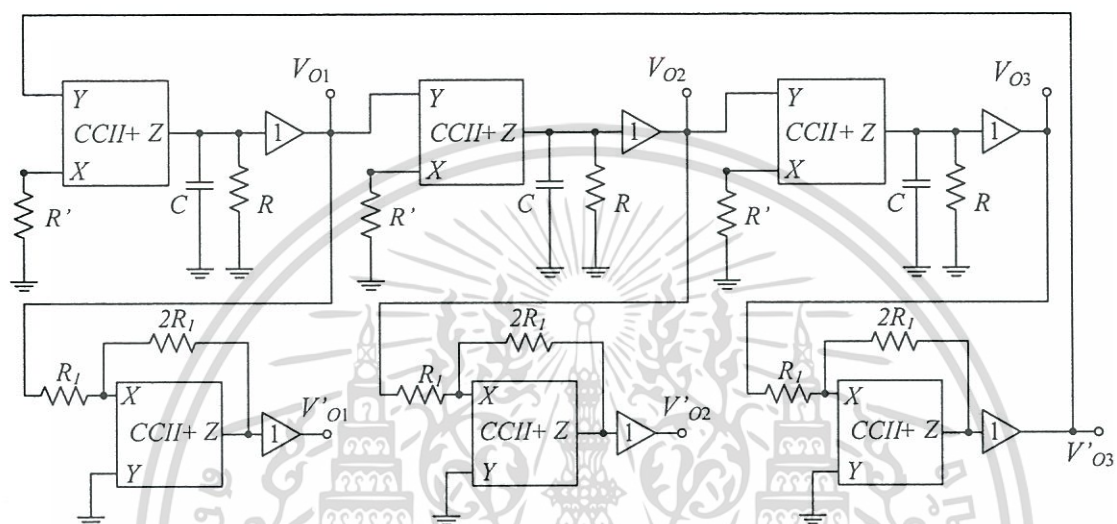
จากวงจรในรูป 3.7 จะมีความต้านทาน  $R_1$  และ  $R_2$  ส่วนในรูปที่ 3.8 จะเป็นตัวเก็บประจุ  $C_1$  และ  $C_2$  ตามลำดับ ซึ่งทั้งสองวงจรที่กล่าวมาสิ่งที่เชื่อถือได้คือความถี่ของการออสซิลเลทเมื่อ มีค่าเกินเป็นหนึ่ง โดยการกำเนิดสัญญาณไซน์แบบสามเฟสนั้นใช้ โอทีเอเบอร์ CA3080 ความผิดพลาด 5% ได้ความถี่ในการออสซิลเลทเท่ากับ 1kHz ที่อุณหภูมิห้อง  $27^\circ C$  วงจรที่ได้อยู่ในช่วงความถี่ 7 Hz-7kHz และกระแสไบอัสอยู่ในช่วง  $1\mu A - 1000\mu A$  การกำเนิดสัญญาณไซน์แบบหลายเฟส โดยใช้โอทีเอที่ได้กล่าวไปข้างต้นมีโครงสร้างไม่ซับซ้อนสามารถให้กำเนิดสัญญาณไซน์จำนวน  $n$  เฟส ( $n$  เป็นจำนวนคี่) ในแต่ละช่วงของเฟสมีแอมพลิจูด โดยจะเห็นได้ว่าตัววงจรใช้อุปกรณ์น้อยและสามารถปรับค่าได้ทางอิเล็กทรอนิกส์

### 3.5 วงจรออสซิลเลเตอร์ที่ใช้วงจรสายพานกระแสรุ่นที่สอง

วงจร MSOs มีขอบเขตการทำงานเกี่ยวกับการประยุกต์ใช้ในระบบกำลัง การประมวลผลสัญญาณและการติดต่อสื่อสาร ซึ่งวงจรสายพานกระแสรุ่นที่สอง [12] มีวงจร MSOs อยู่ด้วยกันสองส่วนโดยมีโครงสร้างง่าย ๆ ซึ่งจะทำให้เกิดการออสซิลเลทที่เป็นจำนวนเฟสคู่และคี่ ในปี ค.ศ. 1995 Hou และ Shen Wu [12] ได้นำเสนอวงจรกำเนิดสัญญาณไซน์แบบหลายเฟส (Multiphase Sinusoidal Oscillator: MSO) ที่ใช้วงจรสายพานกระแสรุ่นที่

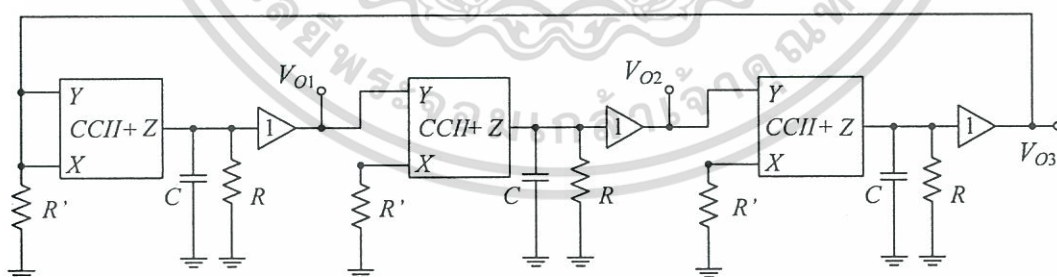
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สอง (Second Generation Current Conveyors: CCII) โดยมีตัวเก็บประจุและตัวต้านทานต่อลงกราวด์ การปรับค่าทางอิเล็กทรอนิกส์สามารถทำได้โดยใช้ทรานซิสเตอร์แบบเจฟเฟท (Junction Field-Effect Transistor: JFET) แต่อย่างไรก็ตามการปรับค่าแบบนี้ยังคงมีข้อบกพร่องอยู่



รูปที่ 3.9 วงจรกำเนิดสัญญาณไซน์แบบหกเฟส [12]

ในรูปที่ 3.9 เอาท์พุทในแต่ละส่วนมีค่าเกินเท่ากับหนึ่ง ดังนั้นจะมีเอาท์พุทที่  $2n$  เท่ากันเมื่อ  $n > 2$  โดยแต่ละส่วนจะเป็นวงจรกรองความถี่ต่ำผ่านลำดับที่หนึ่ง



รูปที่ 3.10 วงจรกำเนิดสัญญาณไซน์แบบสามเฟส [12]

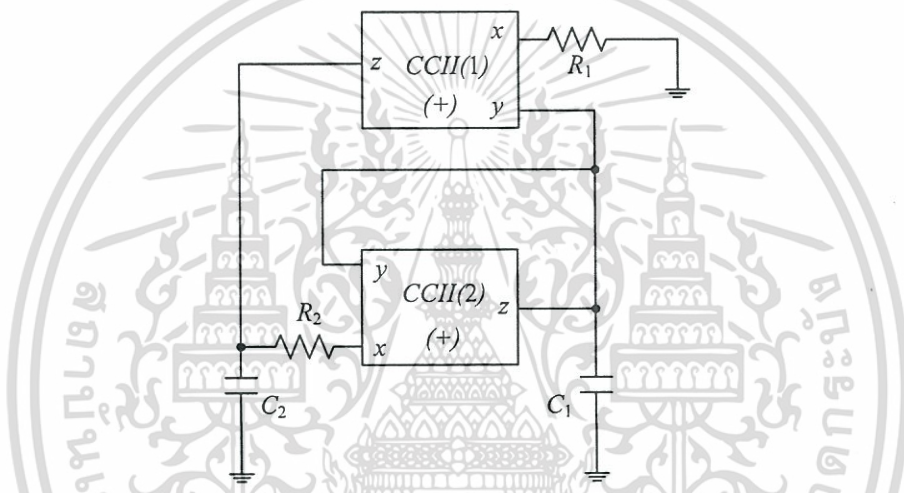
ในรูปที่ 3.10 พื้นฐานของวงจรกำเนิดสัญญาณไซน์แบบสามเฟสซึ่งใช้วงจร CCII+ และ AD844 หกตัว มีตัวเก็บประจุสามตัวและมีตัวต้านทานหกตัวต่ออยู่กับกราวด์โดยค่าของ  $R' = 10k\Omega$ ,  $R = 20k\Omega$ ,  $C = 1.2nF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปคลื่นมีความถี่  $10.5\text{kHz}$  ความคาดเคลื่อนระหว่างความถี่และค่าต่างๆเป็นผลมาจาก CCII ทางอุดมคติและข้อบกพร่องที่เกิดจากส่วนประกอบพาสซีฟ

ดังนั้นจะเห็นได้ว่า MSOs [12] มีโครงสร้างที่ไม่ซับซ้อนโดยใช้วงจร CCII ที่เป็นอุปกรณ์แอกทีฟ โดยวงจรสามารถสร้างสัญญาณได้จำนวน  $n$  เฟส (จำนวนคือ  $n \geq 2$  จำนวนคู่  $n \geq 6$ ) โดยตัววงจรมันจะใช้อุปกรณ์น้อยจึงง่ายสำหรับการนำไปประยุกต์ใช้สร้างไอซี

ต่อมาในปี ค.ศ. 2001 J.W. Horng [16] ได้นำเสนอวงจรกำเนิดสัญญาณแบบควอดเรเจอร์โดยใช้ CCII ขึ้นมาอีก 1 ตามรูปที่ 3.12 โดยอยู่บนพื้นฐานว่าใช้จำนวนอุปกรณ์พาสซีฟน้อยที่สุด



รูปที่ 3.11 วงจรออสซิลเลเตอร์ที่นำเสนอโดย J.W. Horng. ในปี ค.ศ. 2001[16]

จากวงจรในรูปที่ 3.11 จะได้สมการแสดงลักษณะเฉพาะเป็น

$$s^2 C_1 C_2 R_1 R_2 + s(C_1 - C_2)R_1 + 1 = 0 \quad (3.20)$$

เงื่อนไขของการออสซิลเลทที่จำทำให้ง่ายต่อการทดสอบคือ

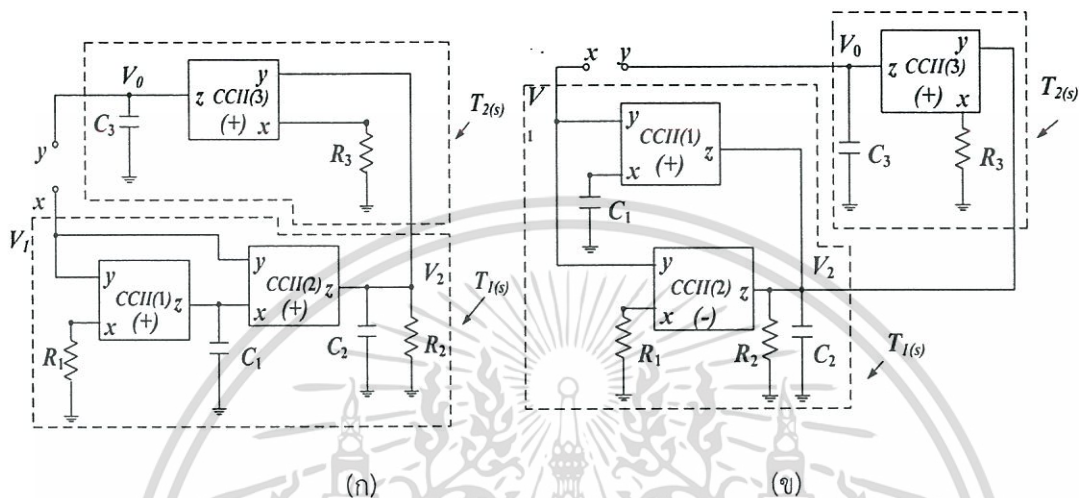
$$C_1 = C_2 \quad (3.21)$$

และความถี่เชิงมุมของการออสซิลเลท คือ

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}} \quad (3.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และในปี ค.ศ. 2005 J.W. Horng [6] ได้นำเสนอวงจรกำเนิดสัญญาณแบบควอดเรเจอร์ ทั้งหมด 6 แบบ ซึ่งถูกสร้างโดยใช้วงจรสายพานกระแสรุ่นที่สอง (CCII) ซึ่งวงจรทั้งหมดนี้ถูกใช้เฉพาะตัวเก็บประจุและตัวต้านทานที่ต่อลงกราวด์เท่านั้น แสดงได้ดังรูปที่ 3.12 และ 3.13 ตามลำดับ



รูปที่ 3.12 วงจรกำเนิดสัญญาณแบบควอดเรเจอร์ [6] นำเสนอ 2 แบบ

1. แบบ (ก) และ 2. แบบ (ข)

วงจรกำเนิดสัญญาณแบบควอดเรเจอร์ ในรูปที่ 3.12 (ก) และ 3.12 (ข) จะใช้งานเพียงตัวเก็บประจุและตัวต้านทานที่ต่อกับกราวด์เท่านั้น ทำให้วงจรรวมสามารถใช้งานได้จริง นอกจากนั้นขั้ว z ของ CCIIs ทั้ง 3 แบบในแต่ละวงจร ในรูปที่ 3.12 จะถูกเชื่อมต่อไปยังตัวเก็บประจุที่ต่อกับกราวด์ การออกแบบนี้เป็นการนำเสนอคุณลักษณะเฉพาะของการรวมกันของค่าตัวเก็บประจุที่ถูกนำมาจัดเขยซึ่งถือเป็นส่วนหนึ่งของค่าตัวเก็บประจุหลัก วงจรในรูปที่ 3.12 สามารถที่จะสร้างเป็นกระบวนการสร้างสัญญาณไซน์พร้อมทั้งเงื่อนไขของการออสซิลเลทได้เป็น

$$C_1 R_3 = C_3 R_3 \tag{3.23}$$

และความถี่ของการออสซิลเลทจะแสดงได้เป็น

$$\omega_o = \sqrt{\frac{1}{C_2 C_3 R_1 R_3}} \tag{3.24}$$

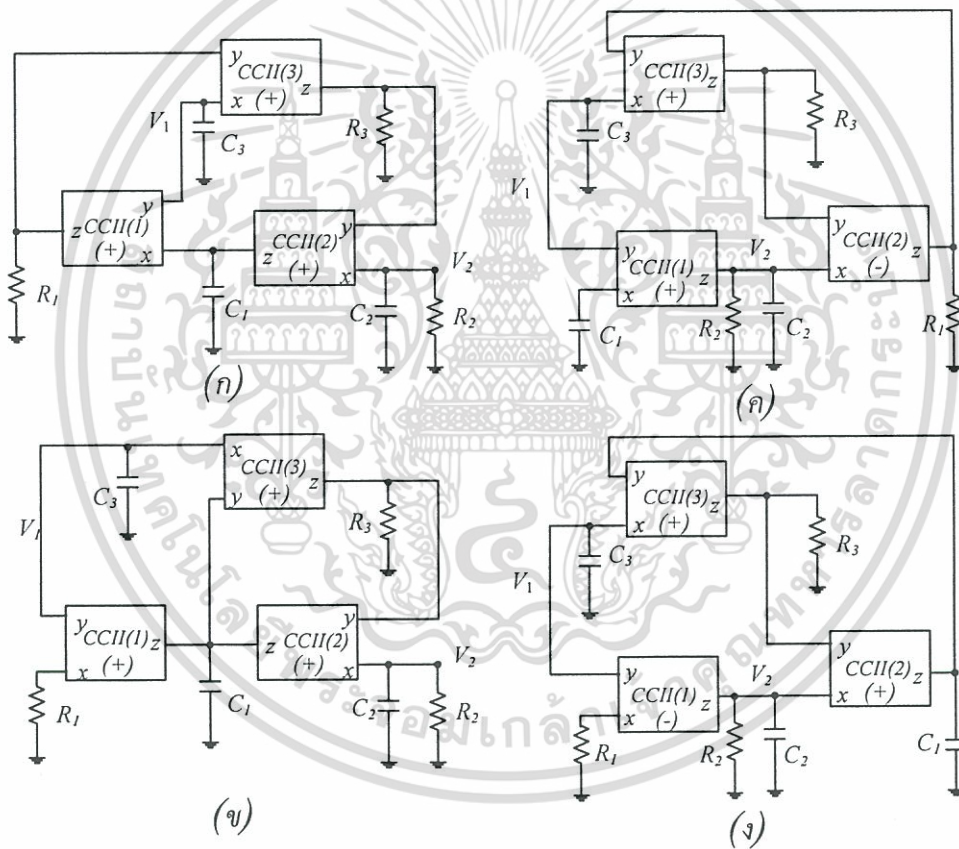
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเงื่อนไขของการออสซิลเลทตามรูปที่ 3.12 (ก) และ 3.12 (ข) นั้นสามารถปรับค่าได้โดยใช้ความต้านทานที่ต่อลงกราวด์  $R_2$  และ ความถี่ของการออสซิลเลท สามารถปรับค่าได้โดยใช้ความต้านทานที่ต่อลงกราวด์  $R_1$  ความต่างเฟส  $\phi$  ระหว่าง  $V_1$  และ  $V_2$  จะได้จากสมการ

$$\phi = -\tan^{-1} \omega C_1 R_1 - \tan^{-1} \omega C_2 R_2 \tag{3.25}$$

ภายใต้เงื่อนไขการออสซิลเลทของ  $C_1 = \frac{C_3 R_3}{R_2}$  , จากสมการที่ (3.25) สามารถลดรูปได้เป็น

$$\phi = -\tan^{-1} \left( \sqrt{\frac{C_3 R_1 R_3}{C_2}} \frac{1}{R_2} \right) - \tan^{-1} \left( \sqrt{\frac{C_2}{C_3 R_1 R_3}} \right) = -\frac{\pi}{2} \tag{3.26}$$



รูปที่ 3.13 วงจรกำเนิดสัญญาณควอเดรเจอร์ [6] นำเสนออีก 4 แบบ

1. แบบ (ก), 2. แบบ(ข), 3. แบบ (ค) และ 4. แบบ (ง)

เงื่อนไขในการแก้ไขกระบวนการออสซิลเลท และความถี่ของการออสซิลเลทตามรูปที่ 3.13 (ก) คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_1 R_2 \beta_1 = C_3 R_3 \alpha_2 \alpha_3 \beta_2 \quad (3.27)$$

$$\omega_0 = \sqrt{\frac{1}{C_2 C_3 R_1 R_3 \alpha_1 \alpha_2 \alpha_3 \beta_2 \beta_3}} \quad (3.28)$$

เงื่อนไขในการแก้ไขกระบวนการออสซิลเลท และความถี่ของการออสซิลเลทตามรูปที่ 3.13 (ข) คือ

$$C_1 R_2 = C_3 R_3 \alpha_2 \alpha_3 \beta_2 \beta_3 \quad (3.29)$$

$$\omega_0 = \sqrt{\frac{\alpha_1 \beta_1}{C_2 C_3 R_1 R_3 \alpha_2 \alpha_3 \beta_2}} \quad (3.30)$$

เงื่อนไขในการแก้ไขกระบวนการออสซิลเลท และความถี่ของการออสซิลเลทตามรูปที่ 3.13 (ค) คือ

$$C_1 R_2 \alpha_1 \beta_1 = C_3 R_3 \alpha_3 \beta_2 \quad (3.31)$$

$$\omega_0 = \sqrt{\frac{1}{C_2 C_3 R_1 R_3 \alpha_2 \alpha_3 \beta_2 \beta_3}} \quad (3.32)$$

เงื่อนไขในการแก้ไขกระบวนการออสซิลเลท และความถี่ของการออสซิลเลทตามรูปที่ 3.14 (ง) คือ

$$C_1 R_2 = C_3 R_3 \alpha_2 \alpha_3 \beta_2 \beta_3 \quad (3.33)$$

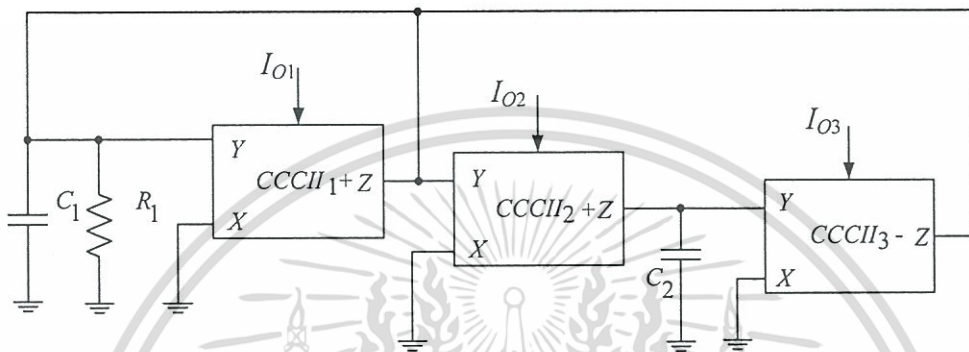
$$\omega_0 = \sqrt{\frac{\alpha_1 \beta_1}{C_2 C_3 R_1 R_3 \alpha_3 \beta_2}} \quad (3.34)$$

จากวงจรในรูปที่ 3.13 นั้นถ้าหากเกิดความผิดพลาดในการกำหนดค่าเพียงเล็กน้อยอาจจะเปลี่ยนแปลงเงื่อนไขและความถี่ในการออสซิลเลทของวงจรกำเนิดสัญญาณได้ ซึ่งข้อเสียของออสซิลเลเตอร์ที่ใช้วงจรสายพานกระแสน้ำที่สอง (CCII) คือ ความคาดเคลื่อนในตัววงจรสายพานกระแส ที่มีผลทำให้ความถี่มีความผิดพลาด 5% [13] และเกิดความเพี้ยนทางฮาร์โมนิกมากกว่า 2% [14] ดังนั้นในการนำไปพัฒนาจึงต้องปรับปรุงในส่วนนี้ให้ดีขึ้นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.6 วงจรออสซิลเลเตอร์แบบใช้วงจรสายพานกระแสรุ่นที่สองควบคุมด้วยกระแส

ในปี ค.ศ. 2000 S. Turkoz และ S. Minaei [15] ได้นำเสนอวงจรรออสซิลเลเตอร์ที่สามารถควบคุมความถี่ได้ในเชิงอิเล็กทรอนิกส์ที่ปรับค่าความถี่โดยกระแสไบอัสในรูปแบบใหม่โดยใช้วงจรสายพานกระแสควบคุมด้วยกระแสรุ่นที่สองจำนวนสามตัว กับตัวต้านทานหนึ่งตัว ดังแสดงในรูปที่ 3.14



รูปที่ 3.14 วงจรรออสซิลเลเตอร์ที่นำเสนอโดย S. Turkoz และ S. Minaei [15]

สมการแสดงลักษณะเฉพาะของวงจรรูปที่ 3.14 จะได้เป็น

$$s^2 C_1 C_2 R_{X2} R_{X3} + s C_2 \frac{R_{X2} R_{X3}}{R_1 R_{X1}} (R_{X1} - R_1) + 1 = 0 \quad (3.35)$$

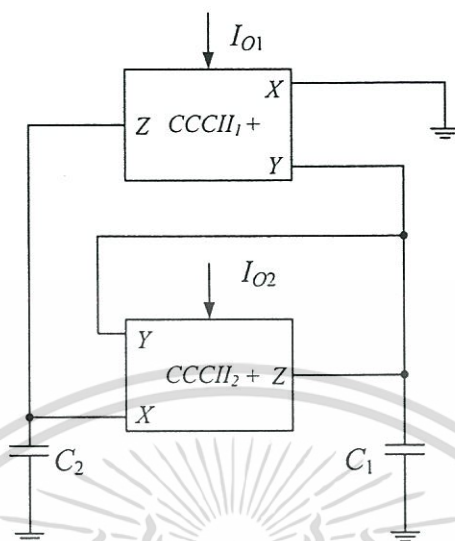
ซึ่งจะได้เงื่อนไขของการออสซิลเลท คือ

$$R_{X1} = R_1 \quad (3.36)$$

ความถี่ของการออสซิลเลทจะมีค่าเป็น

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_{X2} R_{X3}}} \quad (3.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 วงจรออสซิลเลเตอร์ที่ใช้แทนวงจรในรูปที่ 3.9 ที่นำเสนอโดย J.W. Horng [16]

ในปี ค.ศ.2001 นั้น นอกจาก J.W. Horng [16] จะได้นำเสนอวงจรออสซิลเลเตอร์ที่สามารถควบคุมความถี่ได้โดยใช้วงจรสายพานกระแสรุ่นที่สองกับจำนวนอุปกรณ์พาสซีฟน้อยที่สุดแล้ว ยังได้นำเสนอวงจรใหม่ด้วย โดยจากรูปที่ 3.9 ถ้ามีตัวต้านทานต่ออยู่ที่พอร์ท X ของวงจรสายพานกระแสรุ่นที่สอง (CCII) แล้ว จะสามารถทดแทนได้โดยใช้วงจรสายพานกระแสควบคุมด้วยกระแสรุ่นที่สอง (CCCII) ซึ่งจะได้วงจรออสซิลเลเตอร์ที่สามารถควบคุมความถี่ได้ในเชิงอิเล็กทรอนิกส์โดยการปรับกระแสไบอัส ซึ่งใช้ CCCII สองตัว แสดงในรูปที่ 3.15 จะได้สมการแสดงลักษณะเฉพาะดังต่อไปนี้

$$s^2 C_1 C_2 R_{X1} R_{X2} + s(C_1 - C_2) R_{X1} + 1 = 0 \quad (3.38)$$

ซึ่งจะได้เงื่อนไขของการออสซิลเลท คือ  $C_1 = C_2$  โดย ความถี่ในการออสซิลเลทจะมีค่าเป็น

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_{X1} R_{X2}}} \quad (3.39)$$

โดยโครงสร้างวงจรที่กล่าวมานั้นจะประกอบด้วยวงจรสายพานกระแสควบคุมด้วยกระแสรุ่นที่สอง (CCCII) โดยวงจรเหล่านี้มีข้อดีที่แตกต่างจากอุปกรณ์อื่นคือจะใช้ความต้านทานแฝงที่อยู่ภายในตัวของ CCCII มาใช้งานและสามารถปรับความถี่ของการออสซิลเลทได้โดยการปรับกระแสไบอัสของ CCCII ซึ่งวงจรจะใช้เพียงตัวเก็บประจุต่อกับกราวด์ซึ่งสามารถนำไปสร้างเป็นวงจรรวมได้ง่าย

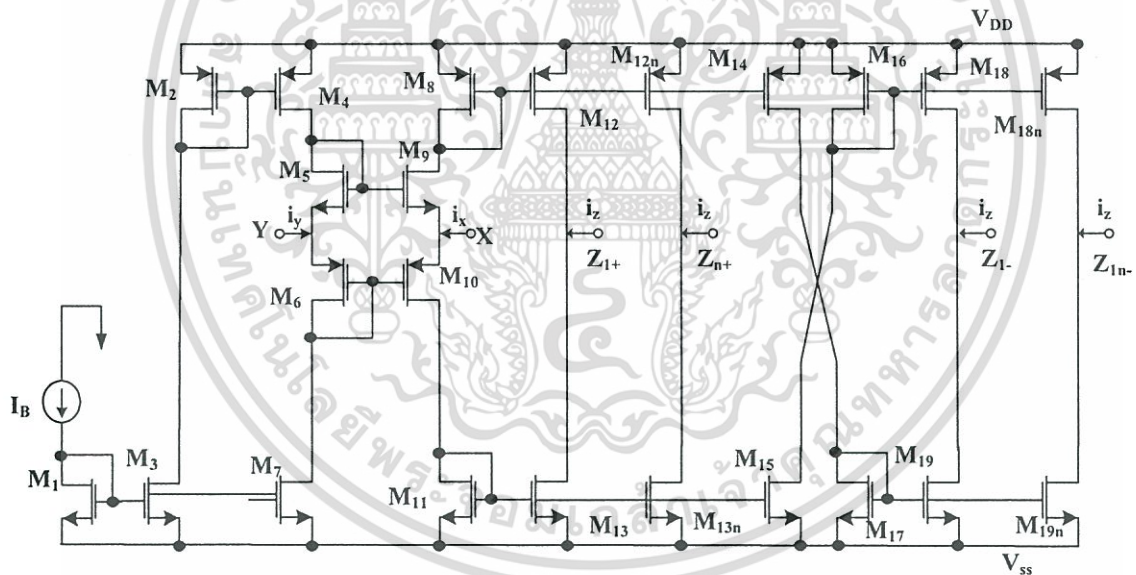
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

## วงจรกรองผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทานและการ ประยุกต์ใช้งาน

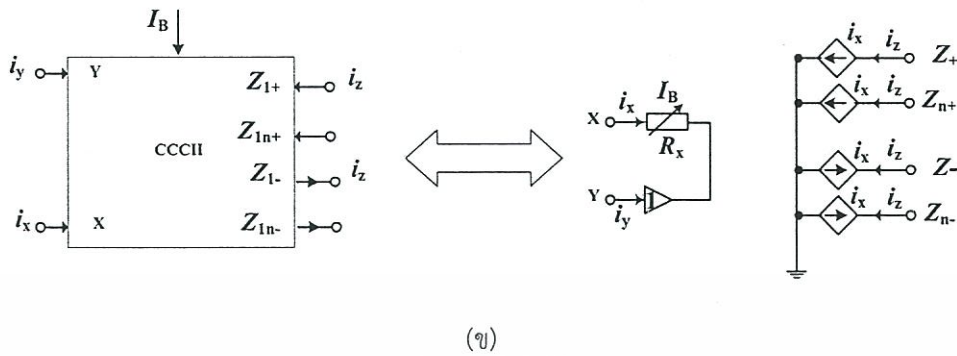
### 4.1 วงจรสายพานกระแสหลายเอาต์พุตแบบซีมอส

วงจรสายพานกระแสควบคุมด้วยกระแส แบบซีมอส [14] (CMOS Multiple-Output Current-Controlled Current Conveyors: CMOS MO-CCCLIs) ดังรูปที่ 4.1 (ก) และสัญลักษณ์ ดังรูปที่ 4.1 (ข) ส่วนใหญ่นิยมมาประยุกต์ใช้งานทางด้านวงจรรอนาลอกได้มากมาย โดยคุณสมบัติของวงจรสามารถเขียนในรูปของสมการเมตริกซ์ได้ดังสมการที่ 4.1



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 (ก) วงจรสายพานกระแสควบคุมด้วยกระแสแบบซีมอส, (ข) สัญลักษณ์

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_x & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (4.1)$$

โดย  $R_x$  เป็นค่าความต้านทานภายในที่ขั้ว x ของวงจรมหาหาค่าของ  $R_x$  ได้ดังสมการที่ 4.2

$$R_x \approx \frac{1}{g_{m9} + g_{m10}} \quad (4.2)$$

$g_m$  คือ ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ และสมมติให้ทรานซิสเตอร์  $M_9$  และ  $M_{10}$  มีค่าเท่ากัน ทำให้  $g_{m9} = g_{m10}$  เช่นกันดังนั้นค่าของ  $R_x$  ใหม่จะมีค่าดังนี้

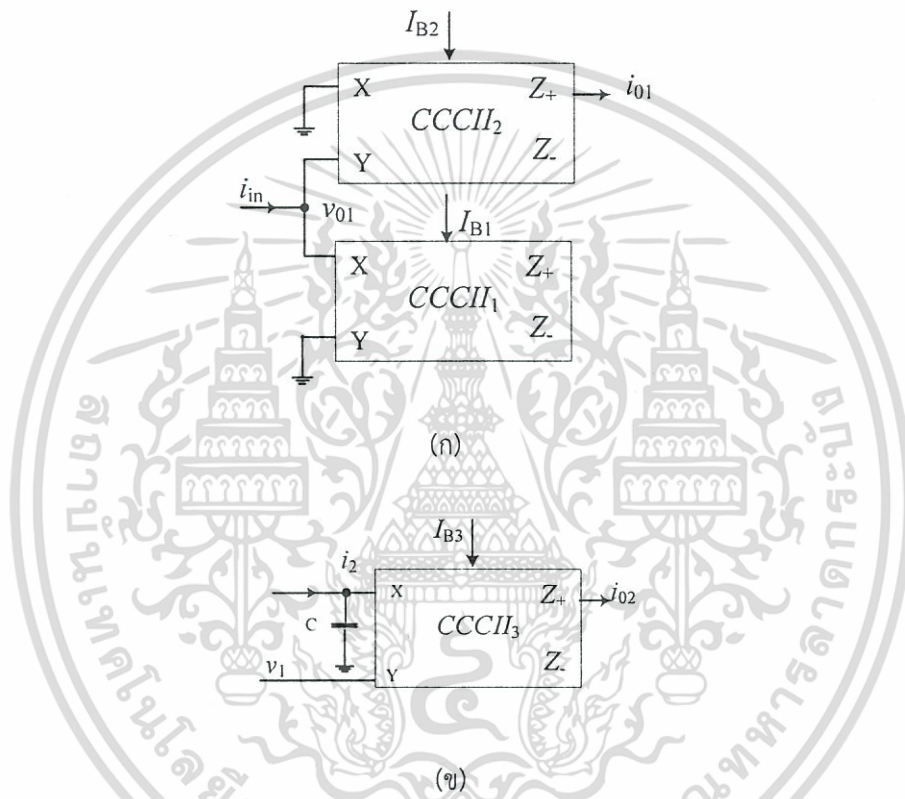
$$R_x \approx \frac{1}{\sqrt{8\mu C_{ox}(W/L)I_B}} \quad (4.3)$$

เมื่อ  $\mu$  คือ ค่าความคล่องพื้นผิวออกไซด์ที่เซนแนล,  $C$  คือ ค่าประจุที่ไม่มีออกไซด์ที่เซนแนล,  $W$  คือ ความกว้างของเซนแนล และ  $L$  คือ ความยาวของเซนแนลของมอสทรานซิสเตอร์  $M_9$  และ  $M_{10}$  ตามลำดับ โดยสามารถปรับค่าทรานสคอนดักแตนซ์ ( $g_m$ ) ได้ทางอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.2 โครงข่ายผ่านทุกความถี่รูปแบบกระแสที่ใช้ CCCIIs

โครงข่ายผ่านทุกความถี่ (All-pass Network: APN) รูปแบบกระแสถูกสังเคราะห์จากวงจร CMOS MO-CCCIIs รูปที่ 4.1 ซึ่งต่อเป็นวงจรทรานส์อิมพีแดนซ์ ที่ออกแบบด้วยวงจร CMOS MO-CCCIIs สองวงจรแสดงดังรูปที่ 4.2(ก) โดยมีสมการส่งผ่านเป็นดังสมการที่ 4.4 และวงจรทรานส์คอนดัคแตนซ์ ที่ออกแบบด้วยวงจร CMOS MO-CCCIIs หนึ่งวงจรและตัวเก็บประจุแบบต่อกราวด์หนึ่งตัว แสดงดังรูปที่ 4.2(ข)



รูปที่ 4.2 (ก) วงจรทรานส์อิมพีแดนซ์, (ข) วงจรทรานส์คอนดัคแตนซ์

จากรูปมีสมการส่งผ่านเป็นดังสมการที่ 4.5

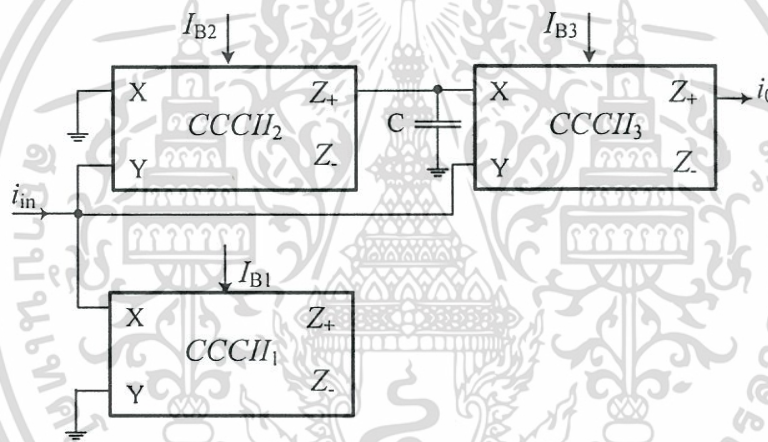
$$v_{o1} = i_{in} R_{x1} \quad \text{และ} \quad i_{o1} = i_{in} \frac{R_{x1}}{R_{x2}} \quad (4.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{o1} = \frac{s \frac{v_1}{R_{x3}} - \frac{i_2}{CR_{x3}}}{s + \frac{1}{CR_{x3}}} \quad (4.5)$$

#### 4.3 โครงข่ายผ่านทุกความถี่อันดับหนึ่งที่น่าเสนอ

โครงข่ายผ่านทุกความถี่ (All-pass Network: APN) อันดับหนึ่งที่ไม่ใช้ตัวต้านทานที่น่าเสนอนั้น ถูกสังเคราะห์จากวงจร CMOS MO-CCCIIs จำนวน 3 ชุด ที่ออกแบบมาจากวงจรในรูปที่ 4.2 (ก) และ (ข) ซึ่งนำวงจรทั้งสองมาต่อแบบคาสเคดกันดังรูปที่ 4.3 โดยมีสมการส่งผ่านกระแสในรูปของฟังก์ชันโครงข่ายผ่านทุกความถี่อันดับหนึ่ง เป็นดังสมการที่ 4.6



รูปที่ 4.3 โครงข่ายผ่านทุกความถี่ที่ใช้ CMOS MO-CCCIIs

$$T_A(s) = \frac{i_o}{i_{in}} = -k \frac{(1 - sCR_{x2})}{(1 - sCR_{x3})} \quad ; \quad k = \frac{R_{x1}}{R_x} \quad (4.6)$$

จากสมการที่ 4.6 เมื่อกำหนดให้  $R_{x2} = R_{x3} = R_x$  สามารถหาค่าสมการส่งผ่านกระแส ในรูปแบบฟังก์ชันโครงข่ายผ่านทุกความถี่อันดับหนึ่งใหม่ได้ดังสมการที่ 4.7 และค่าความถี่ตอบสนองมีค่าดังสมการที่ 4.8

$$T_A(s) = \frac{i_o}{i_{in}} = -k \frac{(1 - sCR_x)}{(1 - sCR_x)} \quad ; \quad k = \frac{R_{x1}}{R_x} \quad (4.7)$$

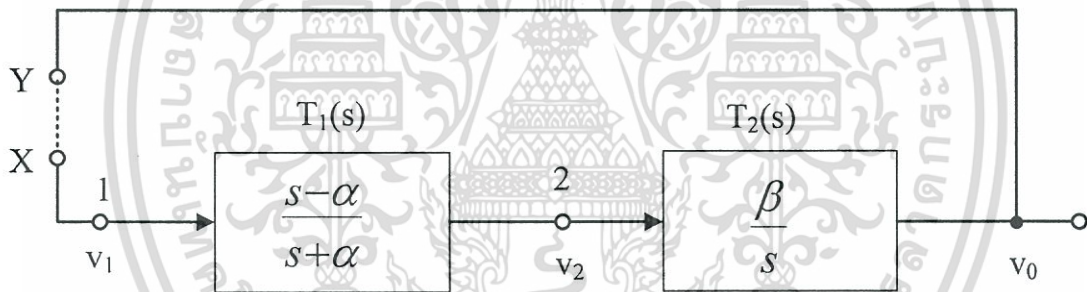
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_p = \frac{1}{CR_x} \quad (4.8)$$

## 4.4 การประยุกต์ใช้งาน

### 4.4.1 ออสซิลเลเตอร์แบบควอดราเจอร์ (Quadrature Oscillator)

เพื่อเป็นการยืนยันว่าวงจรที่ได้นำเสนอสามารถใช้งานได้จริง โดยการนำมาประยุกต์ใช้เป็นออสซิลเลเตอร์แบบควอดราเจอร์ (Quadrature Oscillator) ซึ่งนับว่าเป็นวงจรที่สำคัญวงจรหนึ่ง ในระบบการประมวลผลสัญญาณอนาล็อก, ระบบสื่อสาร และระบบควบคุม ประกอบด้วยวงจรกรองผ่านทุกความถี่ (All-pass Filter,  $T_1(s)$ ) และวงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย (Lossless Integrator Circuit,  $T_2(s)$ ) ดังแสดงเป็นบล็อกไดอะแกรมได้ดังรูปที่ 4.4



รูปที่ 4.4 บล็อกไดอะแกรมแสดงหลักการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์

ซึ่งสามารถเขียนอธิบายฟังก์ชันการถ่ายโอนแรงดัน (Voltage Transfer Function) ของวงจรทั้งสองได้ดังนี้

$$T_1(s) = \frac{v_2}{v_1} = \frac{(s-\alpha)}{(s+\alpha)} \quad (4.9)$$

และ

$$T_2(s) = \frac{v_0}{v_2} = \frac{\beta}{s} \quad (4.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย  $s = j\omega, \alpha$  คือตำแหน่งซีโร่ (Zero) หรือตำแหน่งโพล (Pole) ของวงจรกรองสัญญาณผ่านทุกความถี่ และ  $\beta$  คือค่าคงที่ของวงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย ดังนั้นเมื่อพิจารณาฟังก์ชันถ่ายโอนแรงดันระหว่างจุด X และจุด Y จะได้ความสัมพันธ์ดังนี้

$$\frac{v_o}{v_i} = T_1(s)T_2(s) = \left(\frac{s-\alpha}{s+\alpha}\right)\left(\frac{\beta}{s}\right) \quad (4.11)$$

จากสมการที่ 4.11 จะพบว่าวงจรสามารถออสซิลเลตสัญญาณเอาต์พุตได้ต่อเมื่อ ฟังก์ชันถ่ายโอนแรงดันระหว่างจุด X และจุด Y มีค่าเท่ากับหนึ่ง (unity gain) จะทำให้อัตราขยายลูปปิดมีค่าเป็นอนันต์ ซึ่งมีความหมายว่าถึงแม้ไม่มีสัญญาณอินพุต วงจรก็สามารถให้กำเนิดสัญญาณเอาต์พุตขึ้นมาเองได้ จากสมการที่ 4.11 สามารถนำมาเขียนใหม่ได้ดังนี้

$$T(s) = \left(\frac{s-\alpha}{s+\alpha}\right)\left(\frac{\beta}{s}\right) = 1 \quad (4.12)$$

หรือ

$$s^2 + s(\alpha - \beta) + \alpha\beta = 0 \quad (4.13)$$

จากสมการที่ 4.13 เงื่อนไขและค่าความถี่จากการออสซิลเลตมีค่าเท่ากับ  $\alpha = \beta$  และ

$$\omega_0 = (\alpha\beta)^{\frac{1}{2}} = \alpha \quad (4.14)$$

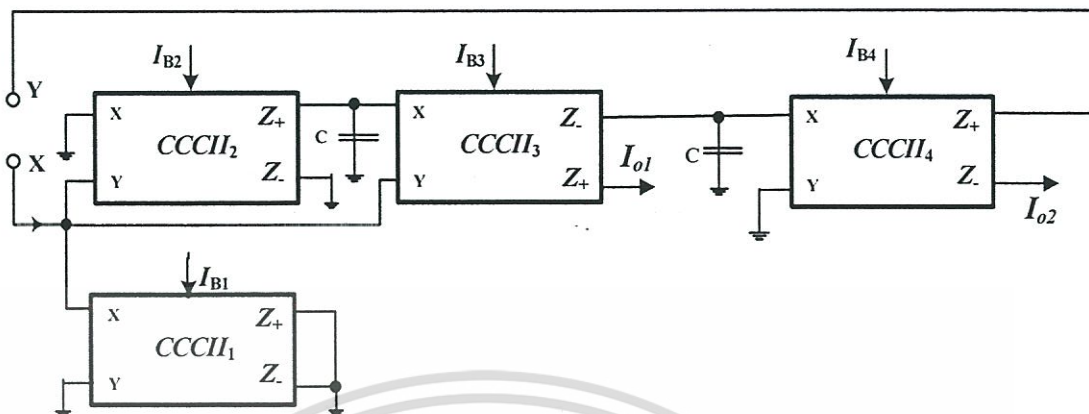
มุมต่างเฟส  $\phi$  ระหว่างโหนด  $v_1$  และโหนด  $v_2$  มีค่าเท่ากับ

$$\phi = \pi - \tan^{-1}\left(\frac{\omega}{\beta}\right) \quad (4.15)$$

จากสมการที่ 4.15 ค่าความถี่ในการออสซิลเลตและมุมเฟสมีค่าเท่ากับ  $\alpha = \beta = \omega_0$  และ  $\frac{\pi}{2}$  ตามลำดับ ดังนั้นจึงสรุปได้ว่า แรงดันที่โหนดเอาต์พุต  $v_1$  และ  $v_2$  มีคุณสมบัติเป็นวงจรออสซิลเลเตอร์แบบควอดราเจอร์

วงจรออสซิลเลเตอร์ที่นำมาประยุกต์ใช้งานนี้สร้างมาจากวงจร CCCII ซึ่งนำมาเป็นอุปกรณ์แอกทีฟหลัก ประกอบด้วยวงจรสำคัญ 2 วงจร คือวงจรกรองผ่านทุกความถี่ (All-pass Filter,  $T_1(s)$ ) และวงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย (Lossless Integrator Circuit,  $T_2(s)$ ) ดังรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

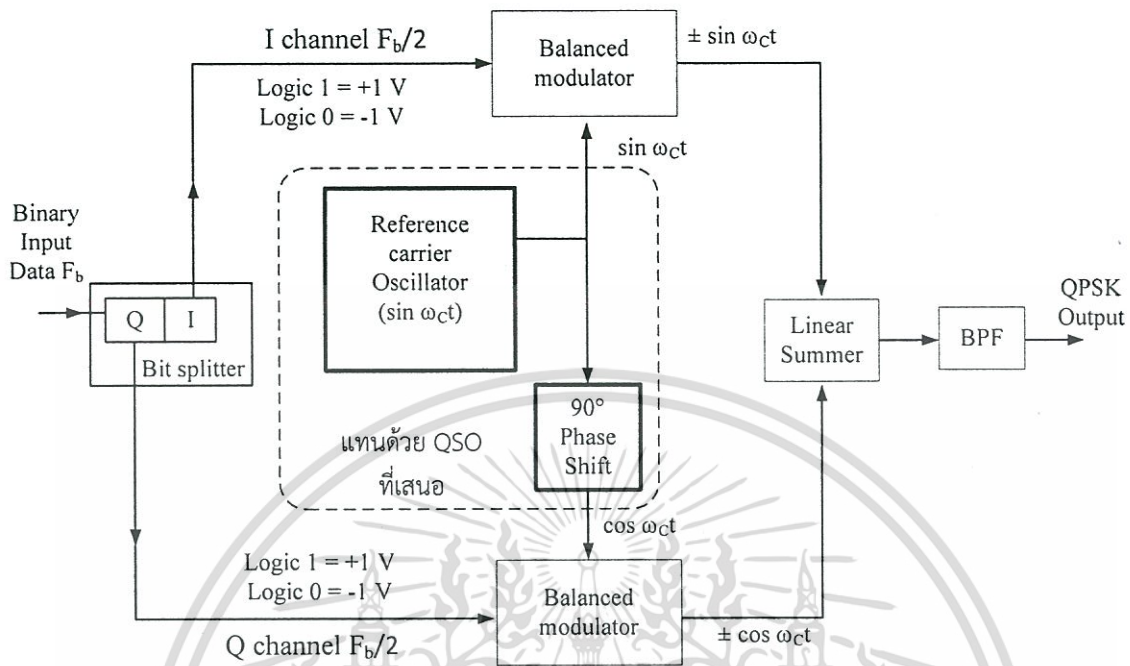


รูปที่ 4.5 วงจรออสซิลเลเตอร์แบบควอดราเจอร์

โดยวงจรที่นำมาเสนอในบทความการประยุกต์ใช้นี้ มีหลักการพื้นฐานในการสังเคราะห์วงจรตั้งบล็อกไดอะแกรมในรูปที่ 4.5 ซึ่งสามารถสังเคราะห์แรงดันเอาต์พุตที่มีมุมเฟสต่างกันเท่ากับ  $90^\circ$  องศา จำนวน 2 ชุด และเนื่องจากข้อจำกัดของเอาต์พุตทั้งสองชุดของวงจรมีคุณสมบัติค่าความต้านทานที่สูงมาก (High-Output Resistance) จึงทำให้สามารถนำไปต่อคาสเคด (Cascade) กับวงจรรูปแบบกระแสน้ำอื่น ๆ ได้อีก

#### 4.4.2 การประยุกต์ใช้งานเป็นภาคส่งของวงจร Quadrature Phase Shift Keying (QPSK Transmitter)[26]

อีกหนึ่งการประยุกต์ใช้ของวงจรกรองผ่านทุกความถี่ที่ไม่ใช้ตัวต้านทานที่นำเสนอนี้ ก็คือวงจร Quadrature Phase Shift Keying (QPSK) โดยใช้หลักการของการเลื่อนเฟส โดยการส่งสัญญาณในแบบ QPSK จะให้สัญญาณที่มี 4 เฟส โดยแต่ละครั้งเฟสจะเลื่อนครั้งละ  $90^\circ$  องศา และในการแปลงสัญญาณดังกล่าวจัดว่าเป็นการแปลงสัญญาณในรูปแบบอนาล็อก โดยมีหลักการทำงานดังรูปที่ 4.6 บล็อกไดอะแกรมของ QPSK Modulator ซึ่งใช้หลักการของวงจรเลื่อนเฟส (Phase Shifting Circuit) เป็นวงจรกรองความถี่ที่ยอมให้ทุกความถี่ผ่าน โดยขนาดของสัญญาณอินพุตกับเอาต์พุตจะมีขนาดเท่ากัน แต่สามารถที่จะเลื่อนเฟสให้สัญญาณเอาต์พุตกับอินพุตต่างกันได้  $90^\circ$  องศา จากหลักการดังรูปที่ 4.6 จะสามารถทดแทนวงจร Local Oscillator และ Phase Shifter ได้ด้วยวงจรถ่ายสัญญาณแบบควอดเรเจอร์ที่นำเสนอ ซึ่งจะช่วยให้วงจรลดความซับซ้อนลงไปได้มาก



รูปที่ 4.6 QPSK Modulator Block Diagram

จากรูปที่ 4.6 แสดงภาพการทำงานของวงจร QPSK Modulator โดยมีการใส่สัญญาณอินพุตทั้ง 2 บิต เข้าไปที่ Bit splitter และ หลังจากนั้นจะได้สัญญาณ I และ Q ออกมาพร้อมกันจาก Bit splitter โดยบิตแรกจะ ตรงไปทาง I channel และ บิตที่ 2 จะตรงไปทาง Q channel จากนั้นสัญญาณ 1 บิตจะทำการมอดูเลชันกับ สัญญาณพาหะที่เฟสตรงกัน (สัญญาณ  $\sin \omega_c t$ ) ซึ่งมาจากเครื่องกำเนิดสัญญาณ (Reference Carrier Oscillator) ดังนั้นสัญญาณ I ที่ได้ออกมาจึงมีค่าเฟสเท่ากัน ส่วนสัญญาณ Q จะทำการมอดูเลตกับสัญญาณ  $\cos \omega_c t$  ที่มาจาก วงจรเลื่อนเฟสไป  $90^\circ$  ดังนั้นสัญญาณที่ได้ออกมาจะได้มาในรูปแบบ สี่เหลี่ยมจัตุรัส

จากรูปจะเห็นได้ว่าสัญญาณ Clock ที่ใส่เข้าไปจะแยกออกมาได้ 2 สัญญาณคือ I และ Q ซึ่งจะเหมือน หลักการขั้นพื้นฐานของ BPSK Modulator หรือก็คือ QPSK Modulator มาจาก BPSK Modulator 2 ชุด ขนาด กัน สำหรับสัญญาณเอาพุตที่ได้จากสัญญาณ 1 บิต จะมีด้วยกัน 2 ค่าคือ Logic 1 = +1V และ Logic 0 = -1V โดยค่าเอาพุตทั้งสองค่านี้ สามารถแทนได้ด้วยสมการดังนี้  $+\sin \omega_c t$  และ  $-\sin \omega_c t$  และสัญญาณเอาพุตที่ได้จาก สัญญาณ Q บิต จะมีด้วยกัน 2 ค่าเช่นกันและ สามารถแทนได้ด้วยสมการดังนี้  $+\cos \omega_c t$  และ  $-\cos \omega_c t$  เมื่อ สัญญาณ I และสัญญาณ Q (ซึ่งมีเฟสต่างกัน  $90^\circ$ ) มารวมกันความเป็นไปได้ของสัญญาณเอาพุตจึงมีทั้งหมด สี่ สัญญาณดังนี้  $+\sin \omega_c t + \cos \omega_c t$ ,  $+\sin \omega_c t - \cos \omega_c t$ ,  $-\sin \omega_c t + \cos \omega_c t$  และ  $-\sin \omega_c t - \cos \omega_c t$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ตัวอย่างเช่น

สำหรับรูปที่ 4.6 แสดงภาพการทำงานของวงจร QPSK Modulator จะสามารถสร้างตารางค่าความจริงของเฟสในแต่ละสัญญาณได้

**Solution** ถ้าให้สัญญาณอินพุต Binary data Q และ I = 0 และสัญญาณ I ผ่านเข้าสู่ I balanced modulator จะได้ออกมาเป็น  $-1$  และ  $\sin \omega_c t$  และสัญญาณ Q ผ่านเข้าสู่ Q balanced modulator จะได้ออกมาเป็น  $-1$  และ  $\cos \omega_c t$  เอาต์พุตที่ได้ออกมาจะเป็นดังนี้

$$I \text{ balanced modulator} = (-1)(\sin \omega_c t) = -\sin \omega_c t$$

$$Q \text{ balanced modulator} = (-1)(\cos \omega_c t) = -\cos \omega_c t$$

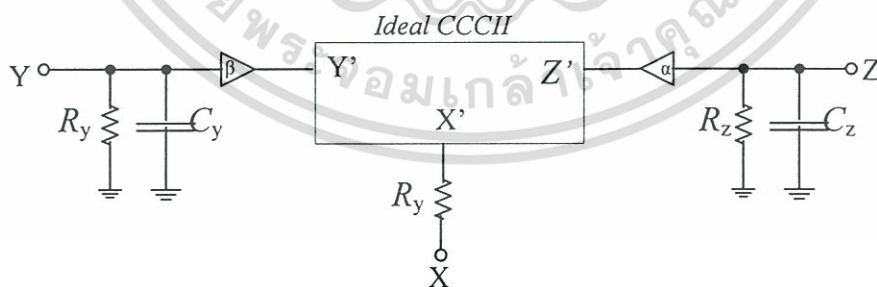
และเมื่อนำสัญญาณทั้งสองรวมกันจะได้

$$-\sin \omega_c t - \cos \omega_c t = 1.414 \sin \omega_c t - 135^\circ$$

สำหรับเอาต์พุตที่เหลืออีก 3 ค่า (01, 10 และ 11) จะมีค่าแอมพลิจูดที่เท่ากัน ต่างกันแค่เฟส ซึ่งจะเห็นได้ว่า วงจร QPSK นั้นจะให้เอาต์พุตได้ทั้งหมด 4 ค่า โดยเอาต์พุตทั้งหมดจะมีขนาดเท่ากัน ต่างกันแค่เฟสเท่านั้น

### 4.5 การวิเคราะห์เชิงไม่เป็นอุดมคติของ CCCII's

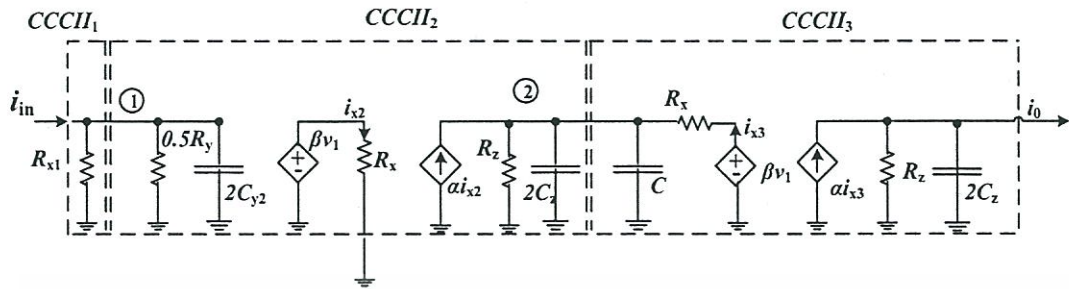
สมการส่งผ่านของวงจรที่กล่าวมา สมมติให้ CCCII's มีคุณสมบัติทางอุดมคติ แต่ความจริงในทางปฏิบัติ สมการส่งผ่านจะมีค่าความผิดพลาดเกิดขึ้น ถ้ารวมค่าพารามิเตอร์ที่ไม่เป็นอุดมคติดังรูปที่ 4.7 เมื่อกำหนดให้  $\alpha = 1 - \varepsilon; |\varepsilon| \ll 1$  แสดงค่า Voltage tracking error ของขั้ว Y ต่อขั้ว X และ  $\beta = 1 - \delta; |\delta| \ll 1$  แสดงค่า Current tracking error ของขั้ว Z ต่อขั้ว X ของวงจร CCCII's



รูปที่ 4.7 โครงสร้างของวงจร CCCII's ในเชิงไม่เป็นอุดมคติ

จากรูปที่ 4.3 วิเคราะห์โครงข่ายที่นำเสนอด้วยสัญญาณขนาดเล็ก (Small Signal) ดังรูปที่ 4.7 และค่าสมการส่งผ่านของโครงข่ายที่นำเสนอในเชิงไม่เป็นอุดมคติเป็นดังสมการที่ 4.16 โดยไม่คิดค่า tracking error

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 วิเคราะห์โครงข่ายของวงจร CCCII ในเชิงไม่เป็นอุดมคติ

$$\frac{i_o}{i_{in}} = \frac{R_{x1}\alpha\beta(R_yR_z - R_xR_y) - s(R_xR_yR_zC_z + R_xR_yR_zC)}{D(s)} \quad (4.16)$$

เมื่อ

$$D(s) = (R_yR_z + 2R_{x1}R_z + 2R_xR_y) + s(R_xR_yR_zC_z + R_xR_yR_zC + 2R_{x1}R_yR_zC_y + 2R_{x1}R_xR_zC_x + 2R_{x1}R_xR_zC + 2R_{x1}R_xR_yC_y) + s^2(2R_{x1}R_xR_yR_zC_y(C + C_x))$$

จากสมการที่ 4.16 กำหนดให้ CCCII มีค่ากระแสไบอัสและค่าความต้านทานของแต่ละพอร์ท มีค่าเท่ากัน และตัวเก็บประจุที่พอร์ท Y และ Z มีค่าน้อยมาก ดังนั้นสามารถเขียนสมการส่งผ่านขึ้นใหม่ได้เป็น

$$\frac{i_o}{i_{in}} = \frac{1 - sR_xC}{1 + sR_xC + s^2 2R_x^2C_yC} \quad (4.17)$$

ค่าพารามิเตอร์แฝงในเชิงไม่เป็นอุดมคติบางตัว จะมีผลกระทบต่อค่าความถี่ตอบสนองในช่วงความถี่สูง ( $\omega_1$ ) และในช่วงของความถี่ต่ำ ( $\omega_p$ ) แสดงได้ดังสมการที่ 4.18 และ 4.19 ตามลำดับ

$$\omega_1 = \frac{1}{R_x} \sqrt{\frac{1}{2C_yC}} \quad (4.18)$$

และ

$$\omega_p = \frac{1}{CR_x} \quad (4.19)$$

เงื่อนไขในการกำหนดค่าความถี่ตอบสนอง ในเชิงไม่เป็นอุดมคติของวงจรโครงข่ายที่นำเสนอ สามารถกำหนดได้ดังสมการที่ 4.20

$$\omega_p \ll 0.1\omega_1 \quad (4.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะโดยวิธีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.6 ค่าความไวของโครงข่ายต่ออุปกรณ์

โครงข่ายผ่านทุกความถี่อันดับหนึ่งรูปแบบกระแสที่ไม่ใช้ตัวต้านทานที่นำเสนอสมาชิกโครงสร้างของ CCCIIs ซึ่งมีสมการส่งผ่านของโครงข่ายผ่านทุกความถี่ดังสมการที่ 4.17 และสามารถยืนยันประสิทธิภาพของโครงข่ายที่นำเสนอมือคือค่าความไวต่ออุปกรณ์แอกทีฟหรือแพสซีฟที่มีผลต่อความถี่ตอบของ  $s_C^{\omega}$  เมื่อ X คือ อุปกรณ์แอกทีฟหรือแพสซีฟแต่ละตัวสรุปได้เป็น  $s_{Y_{R_{x1}}}^{\omega} = 0$  (ไม่มีผลกระทบ),  $s_{Y_{R_{x2}}, Y_{R_{x3}}}^{\omega} = -1$  และ  $s_C^{\omega} = -1$

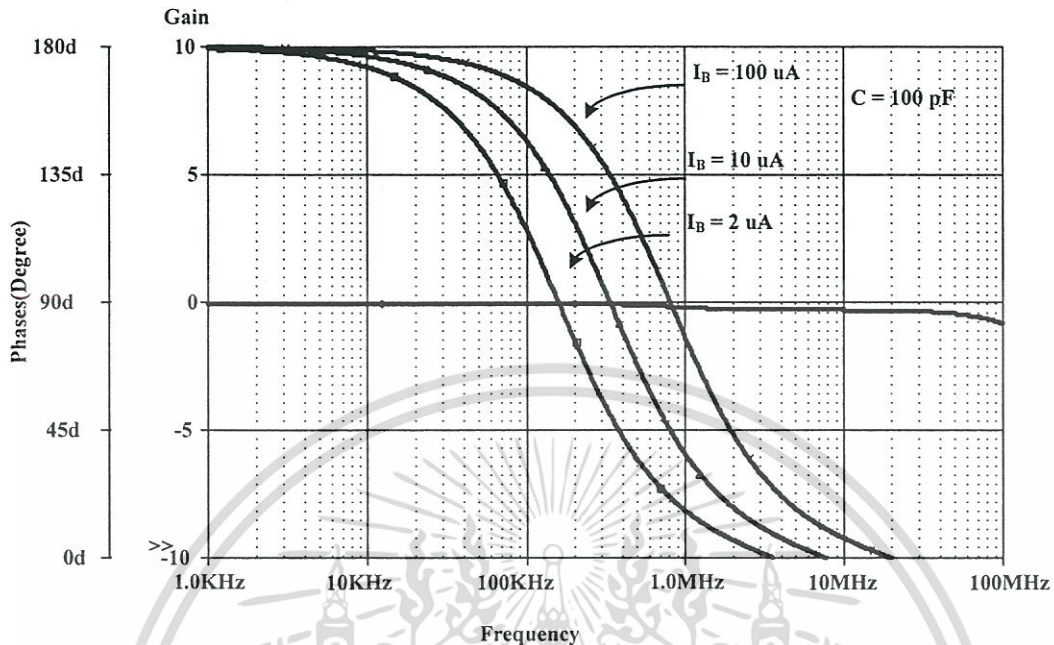
#### 4.7 ผลการจำลองการทำงาน

โครงข่ายผ่านทุกความถี่อันดับหนึ่งรูปแบบกระแสที่ไม่ใช้ตัวต้านทานที่นำเสนอสมาชิกยืนยันคุณสมบัติและประสิทธิภาพได้ด้วยโปรแกรม PSpice ซึ่งขนาดของทรานซิสเตอร์ที่ใช้ดังตารางที่ 4.1 โดยใช้แบบจำลอง (Model) ของ TSMC MOSIS 0.25  $\mu\text{m}$  Level 3 ซึ่งออกแบบวงจร CMOS MO-CCCIIs ตามรูปที่ 4.1 โดยป้อนแรงดันไฟเลี้ยงของวงจรที่  $\pm 2\text{ V}$

ตารางที่ 4.1 ค่า Aspect Ratio ของทรานซิสเตอร์ที่ใช้สำหรับ (CMOS MO-CCCIIs)

Transistor	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )
$M_1, M_3, M_7, M_{11}, M_{13}, M_{15}, M_{17}, M_{19}$	5	0.25
$M_2, M_4, M_8, M_{12}, M_{14}, M_{16}, M_{18}$	15	0.25
$M_5, M_9$	2	0.25
$M_6, M_{10}$	4	0.25

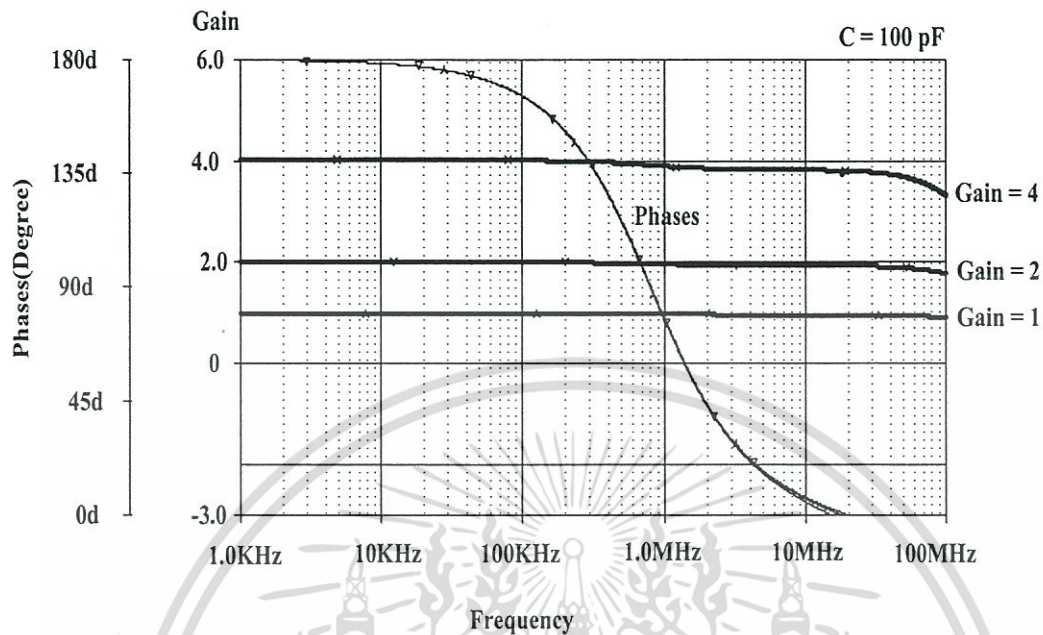
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 การปรับค่าการตอบสนองทางเฟส จากการปรับค่ากระแสไบอัส ( $I_B$ )

จากรูปที่ 4.9 ผลการจำลองหาคคุณสมบัติ โคร่งข่ายผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทานจากการหาค่าของผลตอบสนองทางเฟส โดยการปรับค่าทางอิเล็กทรอนิกส์จากการปรับค่าของกระแสไบอัส ( $I_{B1} = I_{B2} = I_{B3} = 100 \mu A, 10 \mu A$  และ  $2 \mu A$ ) ตามลำดับ เมื่อตัวเก็บประจุขนาด 100 pF

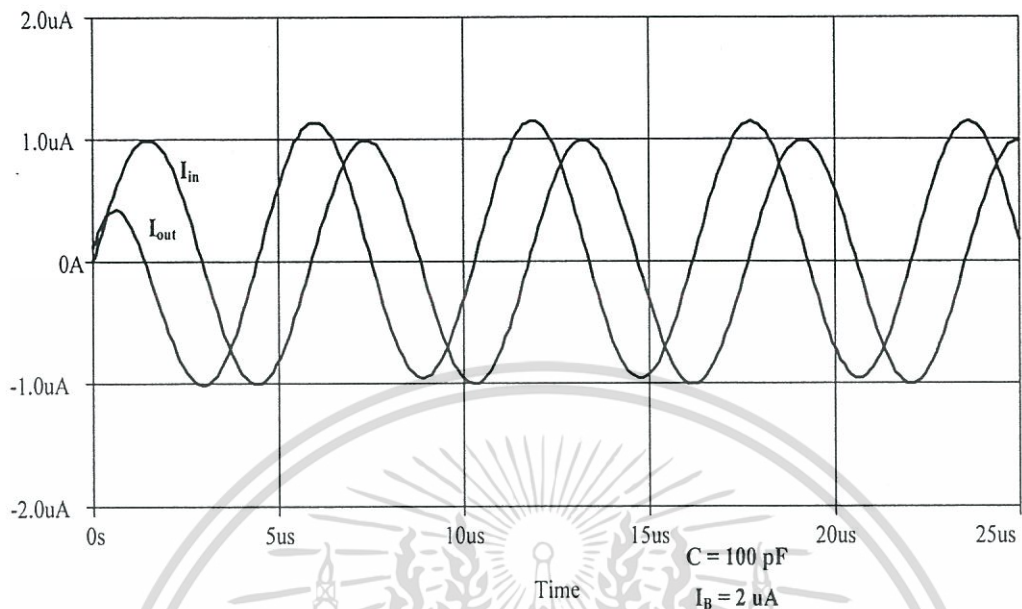
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



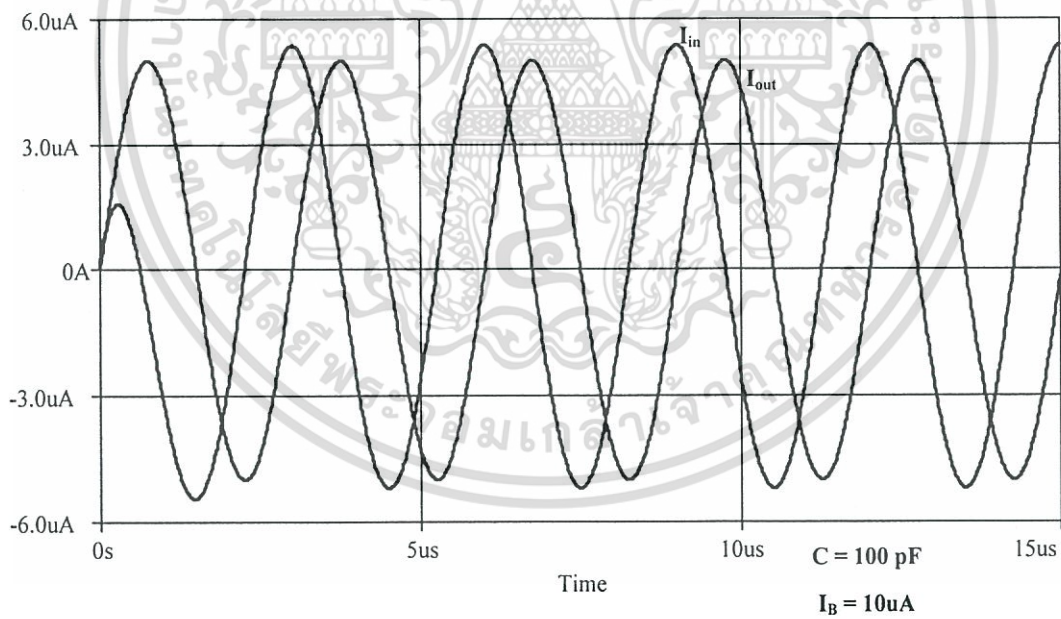
รูปที่ 4.10 การปรับค่าเกน จากการปรับค่ากระแสไบอัส ( $I_{B1}$ )

จากรูปที่ 4.10 จำลองหาคุณสมบัติของโครงข่ายผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทาน ซึ่งเป็นการปรับค่าเกนการขยายทางอิเล็กทรอนิกส์ ทำได้โดยการปรับค่ากระแสไบอัสของ CCCIs ตัวที่ 1 เมื่อกำหนดให้ ( $I_{B2} = I_{B3} = 100 \mu A$ ) และ ( $I_{B1} = 100 \mu A, 17.8 \mu A$  และ  $6.2 \mu A$ ) ตัวเก็บประจุที่ใช้ขนาด 100 pF ซึ่งเกนการขยายที่ปรับได้มีค่าเป็น 1, 2 และ 4 ตามลำดับ ซึ่งแสดงให้เห็นว่าในการปรับค่าเกนการขยายทางอิเล็กทรอนิกส์ จะไม่มีผลกระทบต่อค่าการตอบสนองทางเฟสของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

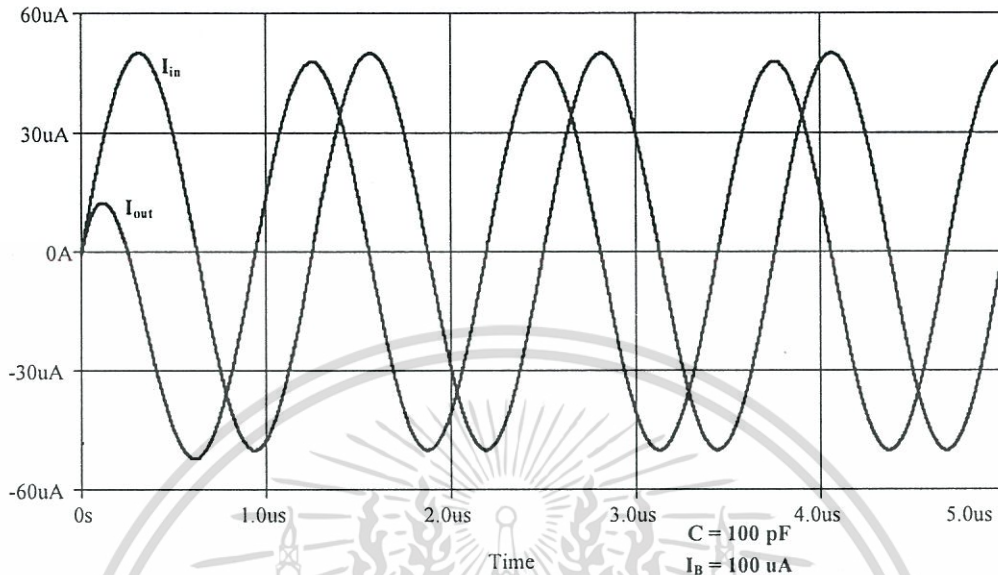


(ก) ที่กระแสไบอัส  $I_{B1} = 2 \mu A$



(ข) ที่กระแสไบอัส  $I_{B1} = 10 \mu A$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค) ที่กระแสไบอัส  $I_{B1} = 100\mu A$   
รูปที่ 4.11 เอาต์พุตของวงจรรองความถี่ ตามการปรับค่ากระแสไบอัส ( $I_{B1}$ )

(ก) ที่กระแสไบอัส  $I_{B1} = 2\mu A$

(ข) ที่กระแสไบอัส  $I_{B1} = 10\mu A$

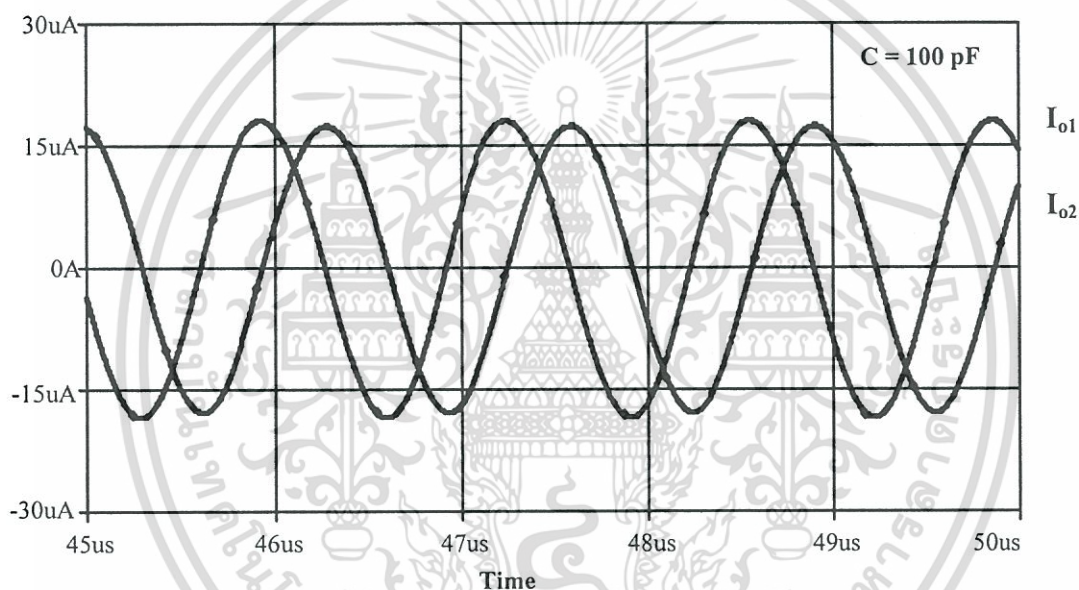
(ค) ที่กระแสไบอัส  $I_{B1} = 100\mu A$

จากรูปที่ 4.11 เป็นการจำลองหาคุณสมบัติของโครงข่ายผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทาน ซึ่งเป็นการวัดค่าสัญญาณเอาต์พุตที่ได้ออกมาจากวงจรรองความถี่ โดยสัญญาณที่ได้ทั้ง 2 สัญญาณจะมีเฟสต่างกันที่  $90^\circ$  องศา โดยทำการปรับค่ากระแสไบอัสของ CCCIs ตัวที่ 1 เมื่อกำหนดให้ ( $I_{B2} = I_{B3} = 100\mu A$ ) และ ( $I_{B1} = 2\mu A, 10\mu A$  และ  $100\mu A$ ) ตัวเก็บประจุที่ใช้ขนาด  $100\text{ pF}$  ซึ่งแสดงให้เห็นว่าในการปรับค่าเกณฑ์การขยายทางอิเล็กทรอนิกส์จะไม่มีผลกระทบต่อค่าการตอบสนองทางเฟสของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.8 ผลการจำลองการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์

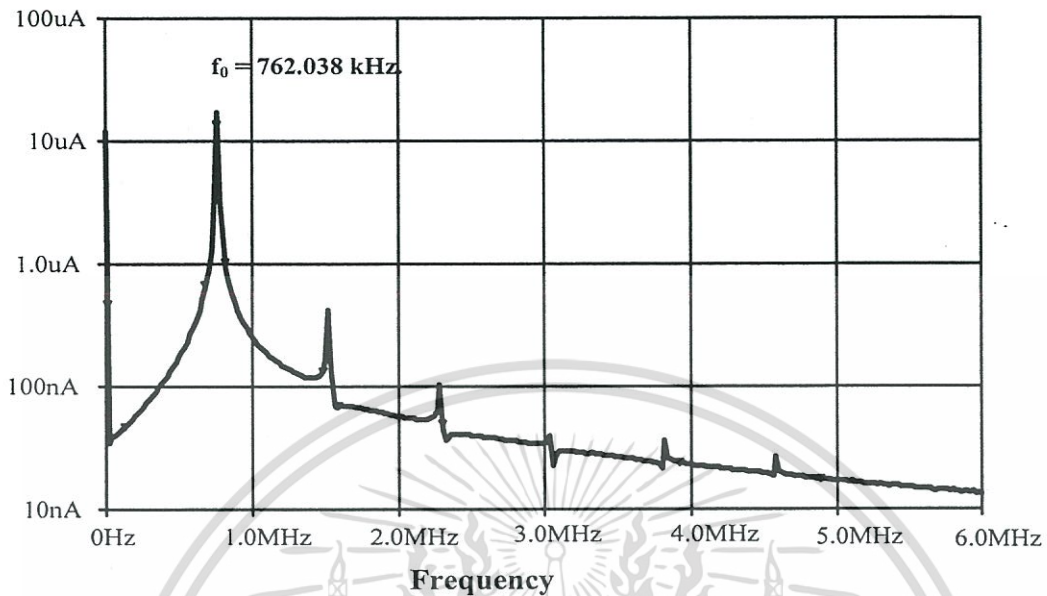
ในที่นี้ได้ตรวจสอบความถูกต้องของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่นำมาประยุกต์ใช้ โดยผลการจำลองการทำงานด้วยโปรแกรม Pspice โดยแหล่งจ่ายไฟเลี้ยงที่ใช้มีค่าเท่ากับ  $\pm 1.5$  V จากวงจรในรูปที่ 4.4 นำวงจรที่ออกแบบไปจำลองการทำงานด้วยโปรแกรม Pspice โดยแม้ว่าในทางทฤษฎีวงจรจะออสซิลเลตสัญญาณได้ก็ต่อเมื่อ  $R_2C_1 = R_3C_3$  ต้องมีค่าเท่ากัน แต่ในทางปฏิบัตินั้นจะต้องเลือกใช้ค่าความต้านทาน  $R_2$  ที่มีค่าสูงกว่าค่าความต้านทาน  $R_3$  เล็กน้อย ทั้งนี้ก็เพื่อเป็นการทำให้วงจรออสซิลเลเตอร์สามารถดำรงสัญญาณให้คงตัวอยู่ได้



รูปที่ 4.12 เอาต์พุตของวงจรออสซิลเลเตอร์แบบควอดราเจอร์

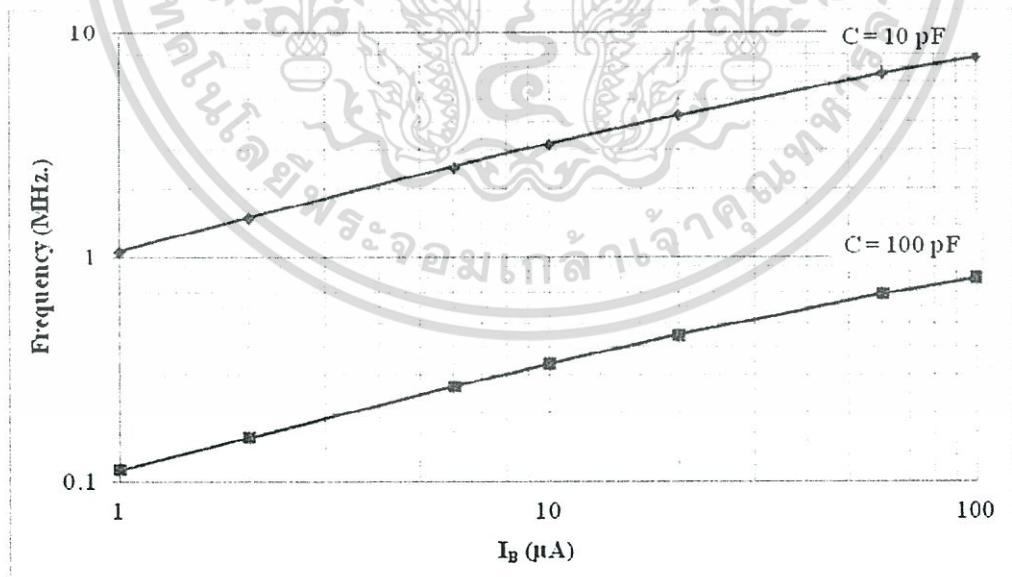
จากรูปที่ 4.12 เป็นผลการจำลองการทดลองจากวงจรในรูปที่ 4.4 โดยกำหนดให้กระแสไบอัสของ CCCIs ทั้งสี่มีค่าเท่ากันคือ  $I_{B2} = I_{B3} = I_{B4} = I_{B5} = 80 \mu A$  และ  $I_{B1} = 72 \mu A$  ตัวเก็บประจุใช้ขนาด 100 pF ผลการจำลองพบว่า เอาต์พุตของวงจรยังคงให้สัญญาณไซน์เฟสหน้าอินพุตประมาณ  $90^\circ$  องศา ทั้งนี้การที่เฟสจะนำหน้า (leading) หรือล่าหลัง (lagging) ขึ้นอยู่กับการกำหนดขั้วของเอาต์พุตที่ CCCIs ในตัวที่สาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 สเปกตรัมความถี่ของสัญญาณชานัน

จากรูปที่ 4.13 คือ สเปกตรัมความถี่ ที่ได้จากวงจรจากรูปที่ 4.5 สัญญาณเอาต์พุตที่ได้มีลักษณะเป็นสัญญาณรูปชานันที่มีความถี่สภาวะคงตัวที่ 762.038kHz



รูปที่ 4.14 รูปแสดงการปรับค่ากระแสไบอัส ( $I_B$ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.14 เป็นผลการจำลองการทดลองจากวงจรในรูปที่ 4.5 โดยกำหนดให้กระแสไบอัสของ CCCIs ทั้ง 7 ตัวมีค่าคือ  $I_B = 1, 2, 6, 10, 20, 60, 100 \mu A$  และ ตัวเก็บประจุใช้ขนาด 10 และ 100 pF ผลการจำลองมีค่าดังตารางที่ 4.2

ตารางที่ 4.2 แสดงค่าการปรับกระแสไบอัส ( $I_B$ ) ที่แปรตามค่าความถี่ ( $f$ )

ค่ากระแสไบอัส ( $I_B$ ), $\mu A$	ค่าความถี่ ( $f$ ) เมื่อ C = 10 pF	ค่าความถี่ ( $f$ ) เมื่อ C = 100 pF
1	1.0637	0.11269
2	1.5025	0.15732
6	2.5299	0.264684
10	3.1868	0.333198
20	4.2919	0.447655
60	6.5419	0.681339
100	7.726	0.804749

จากรูปที่ 4.14 จะเห็นว่าค่ากระแสไบอัส ( $I_B$ ) จะแปรผันตามค่าความถี่ ( $f$ ) แต่ในทางกลับกัน ที่ค่าตัวเก็บประจุ (C) 10 pF จะมีค่า กระแสไบอัสที่สูงกว่าเมื่อค่าตัวเก็บประจุ 100 pF สรุปคือ ค่า  $I_B$  และค่า  $f$  แต่ C จะแปรผกผัน และจากรูปที่ 4.4 ที่ค่ากระแสไบอัสสูง (ที่ความถี่สูง) ค่าความถี่ที่กำหนดได้ จะคาดเคลื่อนไปจากทฤษฎีเล็กน้อย ซึ่งเกิดจากผลกระทบของตัวเก็บประจุแฝง หรือเรียกว่าค่าพารามิเตอร์แฝงดังสมการ (4.18)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

### สรุปผลและข้อเสนอแนะ

#### 5.1 สรุปผล

ในวิทยานิพนธ์นี้ได้นำเสนอ โครงข่ายผ่านทุกความถี่อันดับหนึ่งรูปแบบกระแสที่ไม่ใช้ตัวต้านทาน อาศัยหลักการของวงจรทรานส์อิมพีแดนซ์ และทรานส์คอนดัคแตนซ์ สำหรับผลลัพธ์การตอบสนองแบบผ่านทุกความถี่ ซึ่งใช้ CCCIs เป็นอุปกรณ์หลักของบทความ ทำให้ง่ายต่อการออกแบบโครงข่ายสามารถปรับ ค่าอัตราขยายทางอิเล็กทรอนิกส์ จากการปรับค่ากระแสไบอัสของ CCCIs ซึ่งไม่มีผลกระทบต่อค่าความถี่ตอบสนอง จากการใช้ตัวเก็บประจุแบบต่อลงกราวด์และไม่ใช้ตัวต้านทาน จึงทำให้โครงข่ายที่นำเสนอเหมาะสมกับการนำไปสร้างเป็นวงจรรวมได้เป็นอย่างดี วงจรที่นำเสนอในวิทยานิพนธ์นี้ โครงข่ายผ่านทุกความถี่อันดับหนึ่งรูปแบบกระแสที่ไม่ใช้ตัวต้านทาน และนำไปประยุกต์ใช้งานโดยการนำไปสร้างเป็นวงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์รูปแบบกระแสบทประยุกต์ใช้งานนี้ได้กล่าวถึงหลักการออกแบบการกำเนตสัญญาณไซน์แบบควอดเรเจอร์ (Quadrature Sinusoidal Oscillator; QSO) โดยใช้วงจรสายพานกระแสควบคุมด้วยกระแสชนิดหลายเอาต์พุตแบบซีมอส (CMOS Multiple Output-CCCII; MO-CCCII) ซึ่งเมื่อเทียบกับวงจรจากบทความในอดีตแล้ว [1-8] วงจรที่นำเสนอในวิทยานิพนธ์นี้สามารถปรับค่าความถี่ด้วยวิธีทางอิเล็กทรอนิกส์โดยไม่มีผลต่อเงื่อนไขของการกำเนตสัญญาณ สามารถกำเนตสัญญาณได้เสถียรมากกว่าเมื่อความถี่สูงขึ้นและที่ความถี่มูลฐานที่ 1 MHz มีค่าความเพี้ยนรวมทางฮาร์โมนิก (THD) อยู่ที่ 1.08%

อีกทั้งสามารถกำเนตสัญญาณรูปแบบกระแสและแรงดันได้ในตัวเดียวกัน สามารถปรับอัตราขยายได้ เพื่อประโยชน์สำหรับเงื่อนไขการออสซิลเลท สามารถปรับเงื่อนไขการออสซิลเลทและค่าความถี่ได้โดยการปรับค่าทางอิเล็กทรอนิกส์จากกระแสไบอัส ( $I_b$ ) อีกทั้งวงจรมีใช้ตัวเก็บประจุแบบต่อลงกราวด์ และไม่ใช้ตัวต้านทาน จึงเหมาะสำหรับการนำไปสร้างเป็นวงจรรวม

จากผลการจำลองการทำงานด้วยโปรแกรม PSpice ผลการทดลองนั้นสอดคล้องกับทฤษฎี วงจรสามารถออสซิลเลทสัญญาณเอาต์พุตออกมาได้เป็นคลื่นรูปไซน์ มีค่าแอมพลิจูดเท่ากันตลอดทุกเฟส ทั้งแบบกระแสและแรงดัน และเอาต์พุตแต่ละเฟสต่างกัน 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.2 ข้อเสนอแนะ

แม้วงจรที่นำเสนอในวิทยานิพนธ์นี้จะปรับความถี่ในการออสซิลเลตได้ง่ายโดยการปรับค่ากระแสไบอัส ( $I_B$ ) และใช้เพียงตัวเก็บประจุต่อกราวด์ทำให้ง่ายต่อการสร้างวงจรรวม แล้วยังสามารถสร้างเป็นวงจรกำเนิดสัญญาณที่นอกเหนือจากแบบควอดเรเจอร์เป็นวงจรกำเนิดสัญญาณแบบมัลติเฟส (Multiphase) ได้อีกด้วย แต่ข้อด้อยคือยังใช้อุปกรณ์ active component เป็นจำนวนมาก เพราะต้องใช้ถึง 3 ตัวต่อการกำเนิดสัญญาณ 1 เฟส ดังนั้นควรจะมีการปรับปรุงในส่วนนี้ด้วย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เอกสารอ้างอิง

- [1] Chen J. J., Chen C. C., Tsao H.W. and Liu S.I. "Current-mode oscillator using single current follower." *Electron. Lett.* vol. 27, 1991. pp. 2056-2059.
- [2] Vazquez A R., Barranco B L., Huertas J.L. and Sinencio E S. "On the design of voltage- controlled sinusoidal oscillators using OTA's." *IEEE Transactions on Circuits and Systems.* vol.37, 1990. pp. 198-211.
- [3] Boutin N. "Synthesis of oscillator circuits employing only one unity-gain amplifier." *Electron. Lett.* vol.22, 1986. pp. 22-23.
- [4] Senani R. "Simple sinusoidal oscillator using op-amp compensation poles." *Electron. Lett.* vol. 29, 1993. pp. 452-453.
- [5] Maheshwari S. "A new current mode current controlled all-pass section." *Journal of Circuits Systems and Computers.* vol.16 (2), 2007. pp. 181-189.
- [6] Horng J.W. "Current conveyors based all-pass filters and quadrature oscillators employing grounded capacitors and resistors." *Computer and Electrical Engineering.* vol.31, 2005. pp. 81-92.
- [7] Bhaskar D.R. and Senani R. "New current- conveyor based single resistance-controlled voltage- controlled oscillator employing grounded capacitors." *Electron. Lett.* vol.29, 1993. pp. 612-614.
- [8] Horng W., Hou C. L., Chang C. M., Chou H.P., Lin C. T. and Wen Y. H. "Quadrature Oscillators with Grounded Capacitors and Resistors Using FDCCIs." *ETRI Journal.* vol.28 (4).
- [9] Brunn E. "CMOS high speed, high precision current conveyor and current-feedback amplifier structures." *Int. J. Electron.* vol.74, 1993. pp. 93-100.
- [10] Khan I.A., Ahmed M.T. and Minhaj N. "Tunable OTA-based multiphase sinusoidal oscillator." *International Journal of Electronics.* vol.72, 1992. pp. 443-450.
- [11] Abuelmaatti M.T. and Almansoury W.A. "Active-R multiphase oscillator." *Proceeding of the Institution of Electrical Engineers.* vol.134, 1987. pp. 292-293.
- [12] Hou C. and Shen B. "Second-generation current conveyor-based multiphase sinusoidal oscillators." *International Journal of Electronics.* vol.78, 1995. pp. 317-325.
- [13] Mikhael W.B. and S.Tu. "Continuous and switched-capacitor multiphase oscillators." *IEEE Transactions on Circuits and Systems.* vol.31, 1984. pp. 280-293.
- [14] Prommee P. and Dejhan K. "An integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier." *International Journal of Electronics.* vol. 89, 2002. pp. 365-379.
- [15] Turkoz S. and Minaei S. "A New Current-Controlled Sinusoidal Oscillator using the Current Controlled Conveyor." *Frequenz.* vol.54, 2000. pp. 132-133.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [16] Horng J.W. "A Sinusoidal Oscillator Using Current-Controlled Current Conveyors." *Int.J.Electron.* vol.88, 2001. pp. 659-664.
- [17] Fabre A., Saaid O., Wiest F. and Boucheron C. "Current Controlled Bandpass Filter Based on Translinear Conveyors." *Electron. Lett.* vol.31, 1995. pp. 1727-1728.
- [18] Fabre A., Saaid O. and Barthelemy H. "On the Frequency Limitation of the Circuits Based on Second Generation Current Conveyors." *Analog Integrated Circuits and signal Processing.* vol.7, 1995. pp.113-129.
- [19] Fabre A., Saaid O., Wiest F. and Boucheron C. "High Frequency Applications Based on a New Current Controlled Conveyor." *IEEE Transactions on Circuits and Systems.* vol.43, 1996. pp.
- [20] สิทธิชัย โกโคยอุดม. วงจรป้อนกลับแบบลบและออสซิลเลเตอร์. กรุงเทพมหานคร :มหาวิทยาลัยเทคโนโลยีมหานคร. 2549.  
Kang S.M. and Ledledici Y. *CMOS Digital Integrated Circuits Analysis and Design.* Third Edition. New York : Mcgraw-Hill. 2003.
- [21] Muhammad H. Rashid. *Microelectronic Circuits Analysis and Design.* Buston: PSW Publishing Company 1999.
- [22] Soliman A. M., "Inductorless Realization of an All-Pass Transfer Function Using the Current Conveyor." *IEEE Trans. Circuit Theory.* Vol. CT-19, 1972. Pp. 80-81.
- [23] Higashimura M., Fukui Y., "Realization of Current Mode All-Pass network using a current conveyor." *IEEE Trans. Circuit Theory.* Vol. 37, no.5, 1990. Pp. 660-661
- [24] L. W. Couch II.1997, "Digital and analog communication system," 5th ed., New York. Prentice hall, Chapter 5.
- [25] K. Bult and H. Wallinga, "A CMOS analog continuous-time delay line with adaptive delay-time control," *IEEE Journal of solid-state circuits,* vol. 23, no. 3, June 1988.
- [26] Wayne Tomasai Mesa Community College 1988 "Electronic Communications Systems Fundamentals Through Advanced" Chapters 1 through 12 are published

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก  
การวิเคราะห์ห่วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ก.1 การวิเคราะห์หลักการกำเนิดสัญญาณไซน์ด้วยตัวกรองผ่านทุกความถี่

หลักการสร้างคือ นำวงจรกำเนิดสัญญาณแบบ All-pass มาต่อกัน  $n$  ตัวโดยกรณี  $n$  Order จะได้สมการเป็น

$$T(s) = \left[ -k \frac{(sT-1)}{(sT+1)} \right]^n = \left[ -k \frac{(j\omega T-1)}{(j\omega T+1)} \right]^n \quad (\text{ก.1})$$

ซึ่ง  $|T(j\omega)| = 1$  จึงจะเกิดการออสซิลเลทได้ และทำให้สามารถหาค่าเฟส ( $\phi$ ) ได้เป็น

$$\angle T(j\omega) = 2n \left( -\tan^{-1} \frac{\omega T}{1} - \tan^{-1} \frac{\omega T}{1} \right) = -2\pi n \quad (\text{ก.2})$$

$$-2\pi n = -4 \tan^{-1} \omega T \quad (\text{ก.3})$$

$$-\frac{\pi}{2n} = -\tan^{-1} \omega T \quad (\text{ก.4})$$

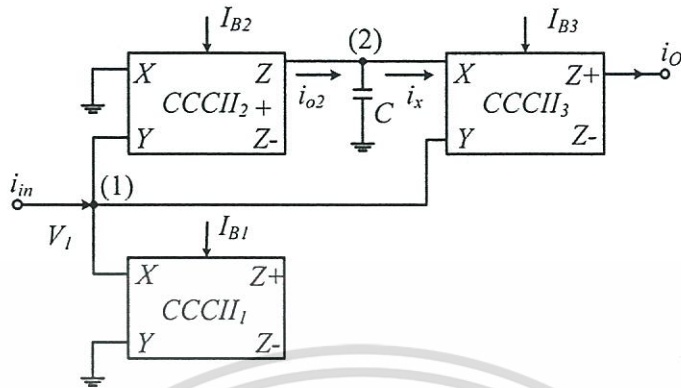
$$\omega = \frac{1}{T} \tan \frac{\pi}{2n} \quad (\text{ก.5})$$

โดยตามสมการที่ (ก.5) นั้นค่า  $n$  ต้องมีค่า  $n \geq 2$  สมการจึงจะเป็นจริงได้ ดังนั้นจึงเป็นการยืนยันได้ว่า ออสซิลเลเตอร์นั้นจะสามารถทำการออสซิลเลทได้ ต้องใช้วงจรโครงข่ายผ่านทุกความถี่มาต่อกันเป็นจำนวน  $n \geq 2$  ตัว ซึ่งในวิทยานิพนธ์นี้  $|T(j\omega)|$  ต้องเท่ากับ 1 เพราะจากสมการ (ก.1) ถ้าหาก  $|T(j\omega)| \neq 1$  แล้วก็จะไม่เกิดค่าเฟสในสมการที่ ก.2 ดังนั้นในวิทยานิพนธ์นี้ กรณี ที่  $n = 2$  เราจะใช้โครงสร้างของโครงข่ายผ่านทุกความถี่ที่มีค่าเกิน เป็น  $k = 1$  และ  $k = -1$  อย่างละตัว ตามรูปที่ 4.6 ในวิทยานิพนธ์ เพื่อให้  $|T(j\omega)|$  มีค่าเท่ากับ 1

### ก.2 วิเคราะห์หาสมการส่งผ่านของวงจรโครงข่ายผ่านทุกความถี่ที่ใช้ CCCII

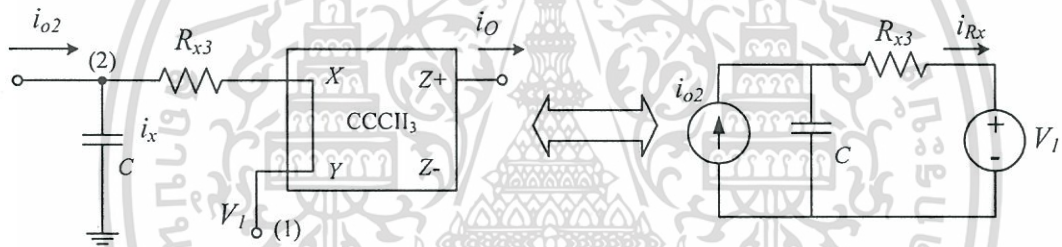
วิเคราะห์วงจรโครงข่ายผ่านทุกความถี่ที่ใช้ CCCII เพื่อทำการหาสมการส่งผ่าน (Transfer function) โดย  $R_X$  หมายถึงความต้านทานภายในของ CCCII ที่อยู่ระหว่างพอร์ท X และ Y ตามที่ได้กล่าวไว้ในส่วนของเนื้อหาไปแล้ว เช่น  $R_{X1}$  หมายถึง ความต้านทานภายในของ CCCII<sub>1</sub>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.1 วงจรโครงข่ายผ่านทุกความถี่ที่ใช้ CCCII

โดยจะพิจารณาจาก CCCII<sub>3</sub> ซึ่งจะสามารถเขียนเป็นวงจรเสมือนได้ดังรูปที่ ก.2



รูปที่ ก.2 วงจรที่ใช้วิเคราะห์

พิจารณา  $i_{RX}$  กรณีเมื่อ  $V_1 = 0$

$$\frac{i_{RX}}{i_{o2}} = \frac{1/R_{X3}C}{s + \frac{1}{R_{X3}C}} \tag{ก.1}$$

พิจารณา  $i_{RX}$  กรณีเมื่อ  $i_{o2} = 0$

$$i_{RX} = \frac{-V_1}{R_{X3} + \frac{1}{sC}} \tag{ก.2}$$

โดย  $i_o = i_{RX}$  กรณีเมื่อ  $V_1 = 0 + i_{RX}$  กรณีเมื่อ  $i_{o2} = 0$  ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_o = \left[ \frac{1/R_{X3}C}{(s + \frac{1}{R_{X3}C})} \right] (i_{o2}) + \left[ \frac{-V}{(R_{X3} + \frac{1}{SC})} \right] \quad (ก.3)$$

$$i_o = \frac{i_{o2}}{(sCR_{X3} + 1)} - \frac{V_1 sC}{(sCR_{X3} + 1)} \quad (ก.4)$$

โดยที่จากรูป ก.1  $V_1 = i_{in} R_{X1}$  และ  $i_{o2} = \frac{V_1}{R_{X2}}$  ดังนั้นจะได้เป็น

$$i_o = \frac{\frac{i_{in} R_{X1}}{R_{X2}}}{(sCR_{X3} + 1)} - \frac{i_{in} R_{X1} sC}{(sCR_{X3} + 1)} \quad (ก.5)$$

$$i_o = \frac{\frac{i_{in} R_{X1} (1 - sCR_{X2})}{R_{X2}}}{(sCR_{X3} + 1)} = \frac{i_{in} R_{X1} (1 - sCR_{X2})}{R_{X2} (sCR_{X3} + 1)} \quad (ก.6)$$

$$\frac{i_o}{i_{in}} = \frac{R_{X1} (1 - sCR_{X2})}{R_{X2} (sCR_{X3} + 1)} \quad (ก.7)$$

โดยกำหนดให้  $R_X = R_{X2} = R_{X3}$  และ  $k = R_{X1} / R_X$  ;  $T = CR_X$  ดังนั้น

$$T(s) = \frac{i_o}{i_{in}} = k \frac{(1 - sT)}{(1 + sT)} \quad (ก.8)$$

โดยที่  $k$  ในที่นี้คือค่าเกน (Gain) ซึ่งถ้าเราต้องการสมการส่งผ่าน  $T(s)$  ที่เป็นค่าบวกก็นำค่ากระแสเอาต์พุตที่เป็นบวก ( $k = 1$ ) ตามตามอย่างการวิเคราะห์ห้วงจรข้างต้นมาใช้ แต่ถ้าต้องการสมการส่งผ่าน  $T(s)$  ที่เป็นลบ ก็นำค่ากระแสเอาต์พุตที่เป็นลบ ( $k = -1$ ) มาใช้ เพื่อให้เกิดเงื่อนไขการออสซิลเลทตามที่ต้องการ ( $n \geq 2$ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข  
ตัวอย่างโปรแกรม PSpice ของวงจรกำเนิดสัญญาณควอเตรเจอร์ ด้วย  
โครงสร้างตัวกรองผ่านทุกความถี่โดยใช้ CCCII  
รวมทั้งแบบจำลองและค่าพารามิเตอร์

### ข.1 ตัวอย่างโปรแกรม PSpice กรณีการปรับค่ากระแสไบอัส $I_B = 100\mu A$

CCII current mode all-pass filter and Oscillator

\*\*\*\*\*

```
.Subckt CCII1 8 5 10 13 16 17 18 19
*Pinouts      X  Y  Z+  Z-  Z+  Z-  Z+  Z-
VDD  1      0      dc      2
VSS  14     0      dc     -2
IB   0      2      dc    100u
M1   2      2      14     14     NMOS1 W=5u L=.5u
M2   3      3      1       1     PMOS1 W=15u L=.5u
M3   3      2      14     14     NMOS1 W=5u L=.5u
M4   4      3      1       1     PMOS1 W=15u L=.5u
M5   4      4      5       5     NMOS1 W=2u L=.5u
M6   6      6      5       5     PMOS1 W=4u L=.5u
M7   6      2      14     14     NMOS1 W=5u L=.5u
M8   7      7      1       1     PMOS1 W=15u L=.5u
M9   7      4      8       8     NMOS1 W=2u L=.5u
M10  9      6      8       8     PMOS1 W=4u L=.5u
M11  9      9      14     14     NMOS1 W=5u L=.5u
M12  10     7      1       1     PMOS1 W=15u L=.5u
M13  10     9      14     14     NMOS1 W=5u L=.5u
M14  11     7      1       1     PMOS1 W=15u L=.5u
M15  12     9      14     14     NMOS1 W=5u L=.5u
M16  12     12     1       1     PMOS1 W=15u L=.5u
M17  11     11     14     14     NMOS1 W=5u L=.5u
M18  13     12     1       1     PMOS1 W=15u L=.5u
M19  13     11     14     14     NMOS1 W=5u L=.5u
M20  16     7      1       1     PMOS1 W=15u L=.5u
M21  16     9      14     14     NMOS1 W=5u L=.5u
M22  17     12     1       1     PMOS1 W=15u L=.5u
M23  17     11     14     14     NMOS1 W=5u L=.5u
M24  18     7      1       1     PMOS1 W=15u L=.5u
M25  18     9      14     14     NMOS1 W=5u L=.5u
M26  19     12     1       1     PMOS1 W=15u L=.5u
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M27 19 11 14 14 NMOS1 W=5u L=.5u

\*\*\*\*\*0.25um\*\*\*\*\*

\* LOT: T14Y MOSIS WAF: 03

\* DIE: N\_Area\_Fring DEV: N3740/10

\* Temp= 27

```
.MODEL NMOS1 NMOS (
LEVEL = 3
+ TOX = 5.7E-9 NSUB = 1E17 GAMMA = 0.4317311
+ PHI = 0.7 VTO = 0.4238252 DELTA = 0
+ UO = 425.6466519 ETA = 0 THETA = 0.1754054
+ KP = 2.501048E-4 VMAX = 8.287851E4 KAPPA = 0.1686779
+ RSH = 4.062439E-3 NFS = 1E12 TPG = 1
+ XJ = 3E-7 LD = 3.162278E-11 WD = 1.232881E-8
+ CGDO = 6.2E-10 CGSO = 6.2E-10 CGBO = 1E-10
+ CJ = 1.81211E-3 PB = 0.5 MJ = 0.3282553
+ CJSW = 5.341337E-10 MJSW = 0.5 )
```

```
.MODEL PMOS1 PMOS (
LEVEL = 3
+ TOX = 5.7E-9 NSUB = 1E17 GAMMA = 0.6348369
+ PHI = 0.7 VTO = -0.5536085 DELTA = 0
+ UO = 250 ETA = 0 THETA = 0.1573195
+ KP = 5.194153E-5 VMAX = 2.295325E5 KAPPA = 0.7448494
+ RSH = 30.0776952 NFS = 1E12 TPG = -1
+ XJ = 2E-7 LD = 9.968346E-13 WD = 5.475113E-9
+ CGDO = 6.66E-10 CGSO = 6.66E-10 CGBO = 1E-10
+ CJ = 1.893569E-3 PB = 0.9906013 MJ = 0.4664287
+ CJSW = 3.625544E-10 MJSW = 0.5 )
```

\*\*\*\*\*0.25um\*\*\*\*\*

.Ends CCI1

. Subckt CCI1 8 5 10 13 16 17 18 19

\*Pinouts X Y Z+ Z- Z+ Z- Z+ Z-

VDD 1 0 dc 2

VSS 14 0 dc -2

IB 0 2 dc 100u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M1	2	2	14	14	NMOS1 W=5u L=.5u
M2	3	3	1	1	PMOS1 W=15u L=.5u
M3	3	2	14	14	NMOS1 W=5u L=.5u
M4	4	3	1	1	PMOS1 W=15u L=.5u
M5	4	4	5	5	NMOS1 W=2u L=.5u
M6	6	6	5	5	PMOS1 W=4u L=.5u
M7	6	2	14	14	NMOS1 W=5u L=.5u
M8	7	7	1	1	PMOS1 W=15u L=.5u
M9	7	4	8	8	NMOS1 W=2u L=.5u
M10	9	6	8	8	PMOS1 W=4u L=.5u
M11	9	9	14	14	NMOS1 W=5u L=.5u
M12	10	7	1	1	PMOS1 W=15u L=.5u
M13	10	9	14	14	NMOS1 W=5u L=.5u
M14	11	7	1	1	PMOS1 W=15u L=.5u
M15	12	9	14	14	NMOS1 W=5u L=.5u
M16	12	12	1	1	PMOS1 W=15u L=.5u
M17	11	11	14	14	NMOS1 W=5u L=.5u
M18	13	12	1	1	PMOS1 W=15u L=.5u
M19	13	11	14	14	NMOS1 W=5u L=.5u
M20	16	7	1	1	PMOS1 W=15u L=.5u
M21	16	9	14	14	NMOS1 W=5u L=.5u
M22	17	12	1	1	PMOS1 W=15u L=.5u
M23	17	11	14	14	NMOS1 W=5u L=.5u
M24	18	7	1	1	PMOS1 W=15u L=.5u
M25	18	9	14	14	NMOS1 W=5u L=.5u
M26	19	12	1	1	PMOS1 W=15u L=.5u
M27	19	11	14	14	NMOS1 W=5u L=.5u

\*\*\*\*\*0.25um\*\*\*\*\*

\* LOT: T14Y MOSIS           WAF: 03

\* DIE: N\_Area\_Fring       DEV: N3740/10

\* Temp= 27

.MODEL NMOS1 NMOS (                    LEVEL = 3  
+ TOX = 5.7E-9       NSUB = 1E17        GAMMA = 0.4317311  
+ PHI = 0.7         VTO = 0.4238252   DELTA = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+ UO = 425.6466519  ETA = 0          THETA = 0.1754054
+ KP = 2.501048E-4  VMAX = 8.287851E4  KAPPA = 0.1686779
+ RSH = 4.062439E-3  NFS = 1E12          TPG = 1
+ XJ = 3E-7         LD = 3.162278E-11  WD = 1.232881E-8
+ CGDO = 6.2E-10    CGSO = 6.2E-10    CGBO = 1E-10
+ CJ = 1.81211E-3   PB = 0.5          MJ = 0.3282553
+ CJSW = 5.341337E-10  MJSW = 0.5          )
.MODEL PMOS1 PMOS (                LEVEL = 3
+ TOX = 5.7E-9      NSUB = 1E17          GAMMA = 0.6348369
+ PHI = 0.7         VTO = -0.5536085  DELTA = 0
+ UO = 250         ETA = 0          THETA = 0.1573195
+ KP = 5.194153E-5  VMAX = 2.295325E5  KAPPA = 0.7448494
+ RSH = 30.0776952  NFS = 1E12          TPG = -1
+ XJ = 2E-7         LD = 9.968346E-13  WD = 5.475113E-9
+ CGDO = 6.66E-10  CGSO = 6.66E-10    CGBO = 1E-10
+ CJ = 1.893569E-3  PB = 0.9906013    MJ = 0.4664287
+ CJSW = 3.625544E-10  MJSW = 0.5          )
*****0.25um*****
.ENDS CCI2
*lin1 0 1 sin(0 10u 2Meg)
lin1 0 1 ac 1
x1 1 0 0 0 0 0 0 0 CCI1
x2 0 1 2 0 0 0 0 0 CCI2
x3 2 1 3 0 0 0 0 0 CCI2
c1 2 0 100p
Ro1 3 0 1
*Ro2 6 0 1
*Ro3 7 0 1
*Ro4 8 0 1
*ix 0 1 PULSE(80u 0 0 0 .001n)
*.tran 100n 10u 0.001u
.ac dec 200 1000 100Meg
*.tran 100n 200u 0.01u
.PROBE
.END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ข.2 ตัวอย่างโปรแกรม PSpice กรณีวงจรกำเนิดสัญญาณควอดเรเจอร์

CCII current mode all-pass filter and Oscillator

\*\*\*\*\*

```
.Subckt CCII1          8 5 10 13 16 17 18 19
*Pinouts              X Y Z+ Z- Z+ Z- Z+ Z-
VDD                   1  0  dc 1.5
VSS                   14 0  dc -1.5
IB                    0  2  dc 72u
M1  2  2  14  14  NMOS1 W=5u L=.5u
M2  3  3  1  1  PMOS1 W=15u L=.5u
M3  3  2  14  14  NMOS1 W=5u L=.5u
M4  4  3  1  1  PMOS1 W=15u L=.5u
M5  4  4  5  5  NMOS1 W=2u L=.5u
M6  6  6  5  5  PMOS1 W=4u L=.5u
M7  6  2  14  14  NMOS1 W=5u L=.5u
M8  7  7  1  1  PMOS1 W=15u L=.5u
M9  7  4  8  8  NMOS1 W=2u L=.5u
M10 9  6  8  8  PMOS1 W=4u L=.5u
M11 9  9  14 14  NMOS1 W=5u L=.5u
M12 10 7  1  1  PMOS1 W=15u L=.5u
M13 10 9  14 14  NMOS1 W=5u L=.5u
M14 11 7  1  1  PMOS1 W=15u L=.5u
M15 12 9  14 14  NMOS1 W=5u L=.5u
M16 12 12 1  1  PMOS1 W=15u L=.5u
M17 11 11 14 14  NMOS1 W=5u L=.5u
M18 13 12 1  1  PMOS1 W=15u L=.5u
M19 13 11 14 14  NMOS1 W=5u L=.5u
M20 16 7  1  1  PMOS1 W=15u L=.5u
M21 16 9  14 14  NMOS1 W=5u L=.5u
M22 17 12 1  1  PMOS1 W=15u L=.5u
M23 17 11 14 14  NMOS1 W=5u L=.5u
M24 18 7  1  1  PMOS1 W=15u L=.5u
M25 18 9  14 14  NMOS1 W=5u L=.5u
M26 19 12 1  1  PMOS1 W=15u L=.5u
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M27 19 11 14 14 NMOS1 W=5u L=.5u

\*\*\*\*\*0.25um\*\*\*\*\*

\* LOT: T14Y MOSIS WAF: 03  
 \* DIE: N\_Area\_Fring DEV: N3740/10  
 \* Temp= 27

.MODEL NMOS1 NMOS ( LEVEL = 3  
 + TOX = 5.7E-9 NSUB = 1E17 GAMMA = 0.4317311  
 + PHI = 0.7 VTO = 0.4238252 DELTA = 0  
 + UO = 425.6466519 ETA = 0 THETA = 0.1754054  
 + KP = 2.501048E-4 VMAX = 8.287851E4 KAPPA = 0.1686779  
 + RSH = 4.062439E-3 NFS = 1E12 TPG = 1  
 + XJ = 3E-7 LD = 3.162278E-11 WD = 1.232881E-8  
 + CGDO = 6.2E-10 CGSO = 6.2E-10 CGBO = 1E-10  
 + CJ = 1.81211E-3 PB = 0.5 MJ = 0.3282553  
 + CJSW = 5.341337E-10 MJSW = 0.5 )

.MODEL PMOS1 PMOS ( LEVEL = 3  
 + TOX = 5.7E-9 NSUB = 1E17 GAMMA = 0.6348369  
 + PHI = 0.7 VTO = -0.5536085 DELTA = 0  
 + UO = 250 ETA = 0 THETA = 0.1573195  
 + KP = 5.194153E-5 VMAX = 2.295325E5 KAPPA = 0.7448494  
 + RSH = 30.0776952 NFS = 1E12 TPG = -1  
 + XJ = 2E-7 LD = 9.968346E-13 WD = 5.475113E-9  
 + CGDO = 6.66E-10 CGSO = 6.66E-10 CGBO = 1E-10  
 + CJ = 1.893569E-3 PB = 0.9906013 MJ = 0.4664287  
 + CJSW = 3.625544E-10 MJSW = 0.5 )

\*\*\*\*\*0.25um\*\*\*\*\*

.Ends CCII1

.Subckt CCII2 8 5 10 13 16 17 18 19

\*Pinouts X Y Z+ Z- Z+ Z- Z+ Z-

VDD 1 0 dc 1.5

VSS 14 0 dc -1.5

IB 0 2 dc 80u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M1	2	2	14	14	NMOS1 W=5u L=.5u
M2	3	3	1	1	PMOS1 W=15u L=.5u
M3	3	2	14	14	NMOS1 W=5u L=.5u
M4	4	3	1	1	PMOS1 W=15u L=.5u
M5	4	4	5	5	NMOS1 W=2u L=.5u
M6	6	6	5	5	PMOS1 W=4u L=.5u
M7	6	2	14	14	NMOS1 W=5u L=.5u
M8	7	7	1	1	PMOS1 W=15u L=.5u
M9	7	4	8	8	NMOS1 W=2u L=.5u
M10	9	6	8	8	PMOS1 W=4u L=.5u
M11	9	9	14	14	NMOS1 W=5u L=.5u
M12	10	7	1	1	PMOS1 W=15u L=.5u
M13	10	9	14	14	NMOS1 W=5u L=.5u
M14	11	7	1	1	PMOS1 W=15u L=.5u
M15	12	9	14	14	NMOS1 W=5u L=.5u
M16	12	12	1	1	PMOS1 W=15u L=.5u
M17	11	11	14	14	NMOS1 W=5u L=.5u
M18	13	12	1	1	PMOS1 W=15u L=.5u
M19	13	11	14	14	NMOS1 W=5u L=.5u
M20	16	7	1	1	PMOS1 W=15u L=.5u
M21	16	9	14	14	NMOS1 W=5u L=.5u
M22	17	12	1	1	PMOS1 W=15u L=.5u
M23	17	11	14	14	NMOS1 W=5u L=.5u
M24	18	7	1	1	PMOS1 W=15u L=.5u
M25	18	9	14	14	NMOS1 W=5u L=.5u
M26	19	12	1	1	PMOS1 W=15u L=.5u
M27	19	11	14	14	NMOS1 W=5u L=.5u

\*\*\*\*\*0.25um\*\*\*\*\*

\* LOT: T14Y MOSIS WAF: 03

\* DIE: N\_Area\_Fring DEV: N3740/10

\* Temp= 27

```
.MODEL NMOS1 NMOS (
LEVEL = 3
+ TOX = 5.7E-9 NSUB = 1E17 GAMMA = 0.4317311
+ PHI = 0.7 VTO = 0.4238252 DELTA = 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+ UO = 425.6466519   ETA = 0           THETA = 0.1754054
+ KP = 2.501048E-4   VMAX = 8.287851E4   KAPPA = 0.1686779
+ RSH = 4.062439E-3   NFS = 1E12         TPG = 1
+ XJ = 3E-7          LD = 3.162278E-11   WD = 1.232881E-8
+ CGDO = 6.2E-10     CGSO = 6.2E-10     CGBO = 1E-10
+ CJ = 1.81211E-3    PB = 0.5           MJ = 0.3282553
+ CJSW = 5.341337E-10 MJSW = 0.5         )
.MODEL PMOS1 PMOS (                               LEVEL = 3
+ TOX = 5.7E-9        NSUB = 1E17         GAMMA = 0.6348369
+ PHI = 0.7           VTO = -0.5536085    DELTA = 0
+ UO = 250            ETA = 0           THETA = 0.1573195
+ KP = 5.194153E-5    VMAX = 2.295325E5   KAPPA = 0.7448494
+ RSH = 30.0776952    NFS = 1E12         TPG = -1
+ XJ = 2E-7           LD = 9.968346E-13   WD = 5.475113E-9
+ CGDO = 6.66E-10     CGSO = 6.66E-10     CGBO = 1E-10
+ CJ = 1.893569E-3    PB = 0.9906013     MJ = 0.4664287
+ CJSW = 3.625544E-10 MJSW = 0.5         )
*****0.25um*****
.ENDS CCI2
*lin1 0 1 ac 1
x1 0 1 2 0 0 0 0 CCI2
x2 2 1 5 3 0 0 0 CCI2
x2a 1 0 0 0 0 0 0 CCI1
x3 3 0 4 0 0 0 0 CCI2
x4 0 4 1 6 0 0 0 CCI2
c1 2 0 100p
c2 4 0 100p
Ro1 5 0 1
Ro2 6 0 1
lx 0 2 PULSE(20u 0 0 0 .001n)
.tran 100n 50u 0 .005u
*.ac dec 200 100 100Meg
*.tran 100n 200u 0 .01u
.PROBE
.END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ข.3 แบบจำลองและค่าพารามิเตอร์

---

```
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.4317311 PHI=0.7 VTO=0.4238252 DELTA=0
+UO=425.6466519 ETA=0 THETA=0.1754054 KP=2.501048E-4
+VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8
+CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10 CJ=1.81211E-3
+PB=0.5 MJ=0.3282553 CJSW=5.341337E-10 MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.6348369 PHI=0.7 VTO=-0.5536085 DELTA=0
+UO=250 ETA=0 THETA=0.1573195 KP=5.194153E-5
+VMAX=2.295325E5 KAPPA=0.7448494 RSH=30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13 WD=5.475113E-9
+CGDO=6.66E-10 CGSO=6.66E-10 CGBO=1E-10 CJ=1.893569E-3
+PB=0.9906013 MJ=0.4664287 CJSW=3.625544E-10 MJSW=0.5)
```

---

ตารางที่ ข.1 โมเดล TSMC MOSIS 0.25  $\mu\text{m}$

Transistor	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
ALL PMOS	5	0.25
ALL NMOS	3	0.25
M <sub>5</sub> , M <sub>9</sub>	10	0.25
M <sub>6</sub> , M <sub>10</sub>	15	0.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค  
บทความที่ได้รับการตีพิมพ์  
“โครงข่ายผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช่ตัวต้นทางด้วยโครงสร้างของ CCCIs”  
วิศวกรรมลาดกระบัง ปีที่ 26 ฉบับที่ 2, มิถุนายน 2552

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# วิศวกรรมลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีที่ 26 ฉบับที่ 2

เดือนกุมภาพันธ์ 2552

**วิศวกรรมโทรคมนาคม**

1. โครงข่ายผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช่ตัวต้านทานด้วยโครงสร้างของ CCCIs  
นพทร ไตรรัตน์วรารักษ์ มนตรี สมุดกยภก พิพัฒน์ พรหมมี 1
2. การพัฒนาประสิทธิภาพของระบบ RFID ที่มีการสื่อสารแบบ Frame ALOHA  
สุรียุทธ มิ่งมี สุวิพล สิริวิภาห 7

**อิเล็กทรอนิกส์**

3. การลดเวลาในการทดสอบหน่วยความจำประเภท EEPROM ที่กระบวนการทดสอบขั้นสุดท้าย  
วิระสา นนทฤทธิ์ อธิติชัย อรุณศรีในสงไชย 13

**วิศวกรรมคอมพิวเตอร์**

4. การพัฒนาโครงข่ายประสาทเทียมด้วยวิธีระบบอานานิคมมต  
นิกร โภคอุดม เอื้อน ปิ่นเงิน บุญวัฒน์ อัครุ 19

**วิศวกรรมเครื่องกล**

5. สมรรถนะของเครื่องยนต์ดีเซลและเบนซินที่ใช้เชื้อเพลิงก๊าซปิโตรเลียมเหลว และก๊าซธรรมชาติอัด  
โกศล บุญเปี่ยม จินดา เจริญพรพาณิชย์ 25

**วิศวกรรมเคมี**

6. แบบจำลองแบบบูรณาการเพื่อศึกษาความเป็นไปของมลพิษทางอากาศจากไฟฟ้าในภูมิภาคเอเชีย  
ตะวันออกเฉียงใต้  
วาศิตา วัฒนุญไทยศาล นริศรา ทองบุญชู 31
7. การตกผลึกร่วมแวกซ์/ตำร่ดานอลในน้ำมันจากเปลือกเมล็ดมะม่วงหิมพานต์ปรับสภาพ  
เศรษฐการ พรมศิริ สุรัตน์ อารีรัตน์ 37
8. Kinetics Study of Sucrose Inversion Using Ion Exchange Resin as a Catalyst  
Walairat Suksamai Chalida Teerasaksakulchal Chonlasek Chankhaniithiran  
Santi Wattananusom Duangkamol Na-Ranong 43

**วิศวกรรมการวัดคุม**

9. การประยุกต์ใช้งานสมองกลฝังตัวสำหรับการออกแบบ PLC บนเครือข่ายอีเธอร์เน็ต  
สามารถ เลิศเสรี สุพรรณ กุลหาณิษฐ์ 49

**วิศวกรรมอุตสาหกรรม**

10. แรงกตที่ผนังด้านข้างภาชนะของระบบวัลคัมเบ็ดกลมเชิง 2 มิติภายใต้การลั่นแนวตั้ง  
สกนธ์ คล่องบุญจิต 55
11. การศึกษาความเป็นไปได้ของการจัดตั้งสถานีบริการก๊าซธรรมชาติบนถนนลาดกรุง  
สินชัย เหมมพุทธ สิทธิพร หิมพัลกุล 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ด้วยโครงสร้างของ CCCIs

## Resistorless First-Order All-pass Networks with CCCIs

### Structure

นพกร ไตรรัตน์วารกรณ์ \* มนตรี สมดุลยกนก \*\* พิพัฒน์ พรหมมี \*

\* ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

\*\* ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสยาม

#### บทคัดย่อ

บทความนี้นำเสนอ โครงข่ายผ่านทุกความถี่อันดับหนึ่งรูปแบบกระแสที่ไม่ใช้ตัวต้านทาน โดยผลลัพธ์ที่ได้ยังคงบรรลุข้อดีเช่นเดียวกับการใช้วงจรสายพานกระแสควบคุมด้วยกระแสและตัวเก็บประจุแบบต่อลงกราวด์ ที่ต่อเป็นโครงข่ายผ่านทุกความถี่อันดับหนึ่ง สำหรับผลลัพธ์ของการตอบสนองแบบผ่านทุกความถี่ เพื่อทำให้ง่ายต่อการประยุกต์ใช้งานของวงจรที่ต่อคาสเคดกัน ซึ่งการใช้ตัวเก็บประจุแบบต่อกราวด์และไม่ใช้ตัวต้านทาน ทำให้โครงข่ายที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมได้ ทฤษฎีที่มีการนำเสนอถูกจำลองการทำงานได้ด้วยโปรแกรม PSpice

**คำสำคัญ:** โครงข่ายผ่านทุกความถี่, ไม่ใช้ตัวต้านทาน, วงจรสายพานกระแสควบคุมด้วยกระแส

#### Abstract

This paper presents new current-mode resistorless first-order all-pass networks which result still achieves the advantages employing CCCIs and grounded capacitors. For simply application, this is good in cascading of current mode circuits. The use of only grounded capacitor without resistor connection that suitable for integrated circuit implementation. The characteristics of the proposed network are simulated using PSpice and its results are in agreement with the theory.

**Keywords:** All-pass Networks; Resistorless, CCCIs

#### 1. บทนำ

วงจรกรองผ่านทุกความถี่เป็นวงจรที่สามารถนำมาประยุกต์ใช้งานได้มากมาย เช่น วงจรกำเนิดสัญญาณ และวงจรเฟสมอดูเลเตอร์ที่ใช้ในระบบโทรคมนาคม วงจรกรองแถบความถี่ผ่านที่มีค่าคุณภาพสูงเป็นต้น ปัจจุบันการประมวลผลสัญญาณที่ทำงานในรูปแบบกระแสกำลังได้รับ

ความสนใจอย่างแพร่หลายเพราะมีข้อดี คือ มีช่วงปฏิบัติงานกว้าง ค่าพิสัยพลวัต และความเป็นเชิงเส้นดี มีความเที่ยงตรง และใช้กำลังงานน้อยกว่า เมื่อเทียบกับวงจรในรูปแบบแรงดัน [1-2] ที่ผ่านมา มีการออกแบบวงจรกรองความถี่รูปแบบกระแสโดยใช้อุปกรณ์แอคทีฟ เช่น วงจรตามกระแส (Current Follower: CF) [3] วงจรสายพาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแส (CCIIIs) [4] และวงจรถ่ายความนำ (Operational Transconductance Amplifier: OTA) [5-10]

อดีตที่ผ่านมา [6-9] มีการออกแบบด้วยโครงสร้างของวงจรถ่ายความนำที่ต่ำผ่านเป็นหลัก ทำให้อัตราขยายเชิงความถี่สูงมักไม่เสถียร โดยในช่วงความถี่สูงอัตราขยายจะลดลงและเมื่อนำมาสร้างเป็นวงจรถ่ายความนำ มีผลทำให้อัตราขยายลดลงที่ความถี่สูงขึ้น อีกทั้งแบนด์วิธของอุปกรณ์แอกทีฟที่ใช้ มีคุณสมบัติคล้ายวงจรถ่ายความนำที่ต่ำผ่าน ซึ่งมีผลทำให้อัตราขยายมักไม่เสถียรในช่วงความถี่สูง สำหรับโครงข่ายผ่านทุกความถี่ จะทำงานได้ทุกช่วงความถี่ มีผลทำให้อัตราขยายสูงขึ้นที่ช่วงความถี่สูง เพื่อชดเชยการตอบสนองทางความถี่ของอุปกรณ์ที่ใช้ อีกทั้งโครงข่ายที่นำเสนอนี้จะไม่ใช้ความต้านทานต่อรวมในวงจร รวมทั้งยังสามารถปรับเกนการขยายได้อย่างเป็นอิสระ จากค่าความถี่ตอบสนอง เมื่อเทียบกับบทความในอดีต [10-13] ทำให้มีความเหมาะสมกับการนำไปสร้างเป็นวงจรรวมได้ต่อไป

บทความนี้ นำเสนอ โครงข่ายผ่านทุกความถี่อันดับหนึ่งรูปแบบกระแสที่ไม่ใช้ตัวต้านทาน ด้วยโครงสร้างของวงจรถ่ายความนำกระแสควบคุมด้วยกระแส (CCCIIIs) และตัวเก็บประจุแบบต่อกราวด์เป็นอุปกรณ์หลัก ซึ่งไม่ใช่อุปกรณ์จากภายนอก สำหรับผลการตอบสนองแบบผ่านทุกความถี่ นอกจากนี้โครงข่ายที่นำเสนอสามารถปรับค่าเกนการขยายได้ทางอิเล็กทรอนิกส์ จากการปรับค่ากระแสไบอัสของ CCCIIIs โดยไม่มีผลกระทบต่อความถี่ตอบสนอง ทำให้ง่ายต่อการประยุกต์วงจรถ่ายความนำต่อภาคเช่น วงจรกำเนิดสัญญาณที่มีการปรับรูปเกนการขยายได้ โดยไม่กระทบต่อความถี่ในการออกซิงเกิล จากการใช้ตัวเก็บประจุแบบต่อกราวด์และไม่ใช้ตัวต้านทาน ดังนั้นโครงข่ายที่นำเสนอจึงเหมาะกับการนำไปสร้างเป็นวงจรรวม ดังนั้นโครงข่ายที่นำเสนอจึงมีลักษณะเด่น คือ

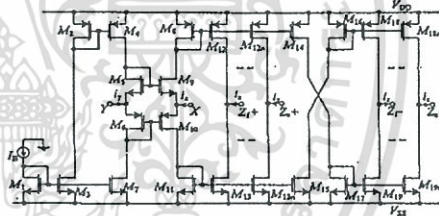
- โครงข่ายที่นำเสนอ ออกแบบวงจรด้วยโครงสร้างที่ง่ายและไม่ซับซ้อน เมื่อเทียบกับบทความในอดีต
- โครงข่ายที่นำเสนอ ใช้ตัวเก็บประจุแบบต่อกราวด์ โดยไม่ใช่อุปกรณ์ใด ๆ จากภายนอก

- โครงข่ายที่นำเสนอ ประยุกต์ใช้เป็นวงจรถ่ายเฟสแบบนำหน้าและล่าหลังได้ในวงจรเดียวกัน
- โครงข่ายที่นำเสนอ สามารถปรับค่าความถี่ตอบสนอง และเกนการขยาย ได้ทางอิเล็กทรอนิกส์โดยปรับจากกระแสไบอัสของ CCCIIIs อย่างเป็นอิสระ
- โครงข่ายที่นำเสนอ ไม่ใช้ตัวต้านทาน ทำให้เหมาะกับกรนำไปสร้างเป็นวงจรรวมต่อไปได้

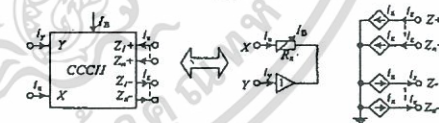
## 2. ทฤษฎีและหลักการ

### 2.1 วงจรสายพานกระแสหลายเอาต์พุตแบบซิมมอส

วงจรถ่ายความนำกระแสควบคุมด้วยกระแส แบบซิมมอส [14] (CMOS Multiple-Output Current-Controlled Current Conveyors: CMOS MO-CCCIIIs) ดังรูปที่ 1 (ก) และสัญลักษณ์ ดังรูปที่ 1 (ข) ส่วนใหญ่นิยมมาประยุกต์ใช้งานทางด้านวงจรรวมได้มากมาย โดยคุณสมบัติของวงจรถ่ายความนำสามารถเขียนในรูปของสมการเมตริกซ์ได้ดังสมการที่ (1)



(ก)



(ข)

รูปที่ 1 (ก) วงจรถ่ายความนำกระแสควบคุมด้วยกระแสแบบซิมมอส (ข) สัญลักษณ์

$$\begin{bmatrix} i_y \\ v_x \\ i_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_x & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_y \\ v_x \end{bmatrix} \quad (1)$$

โดย  $R_x$  เป็นค่าความต้านทานภายในที่ขั้ว  $x$  ของวงจรถ่ายความนำสามารถหาค่าของ  $R_x$  ได้ดังสมการที่ (2)

$$R_x \approx \frac{1}{g_{m9} + g_{m10}} \quad (2)$$

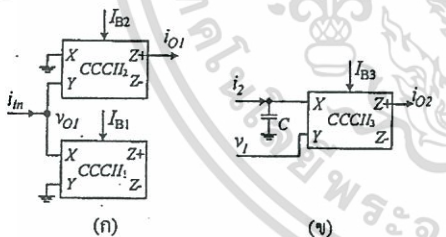
$g_{m1}$  คือ ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ 1 และสมมติให้ทรานซิสเตอร์  $M_1$  และ  $M_{10}$  มีค่าเท่ากัน ทำให้  $g_{m3} = g_{m10}$  เช่นกัน ดังนั้นค่าของ  $R_x$  ใหม่จะมีค่าดังนี้

$$R_x \approx \frac{1}{\sqrt{8\mu C_{ox}(W/L)I_B}} \quad (3)$$

เมื่อ  $\mu$  คือ ค่าความคล่องตัวของอิเล็กตรอนในแชนแนล  $C_{ox}$  คือ ค่าประจุที่ไม่มีออกไซด์ที่แชนแนล  $W$  คือ ความกว้างของแชนแนล และ  $L$  คือ ความยาวของแชนแนล ของทรานซิสเตอร์  $M_1$  และ  $M_{10}$  ตามลำดับ โดยสามารถปรับค่าทรานสคอนดักแตนซ์ ( $g_m$ ) ได้ทางอิเล็กทรอนิกส์

2.2 โครงข่ายผ่านทุกความถี่รูปแบบกระแสที่ใช้ CCCII's

โครงข่ายผ่านทุกความถี่ (All-pass Network: APN) รูปแบบกระแสที่ถูกสังเคราะห์จากวงจร CMOS MO-CCII's รูปที่ 1 ซึ่งถือเป็นวงจรทรานส์อิมพีแดนซ์ ที่ออกแบบด้วยวงจร CMOS MO-CCII's สองวงจรแสดงดังรูปที่ 2 (ก) โดยมีสมการส่งผ่านเป็นดังสมการที่ (4) และวงจรทรานส์คอนดักแตนซ์ ที่ออกแบบด้วยวงจร CMOS MO-CCII's หนึ่งวงจรและตัวประกอบแบบต่อกราวด์หนึ่งตัว แสดงดังรูปที่ 2 (ข) โดยมีสมการส่งผ่านเป็นดังสมการที่ (5)



รูปที่ 2 วงจรทรานส์ (ก) อิมพีแดนซ์ (ข) คอนดักแตนซ์

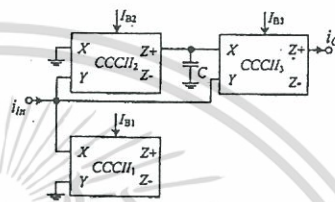
$$v_{o1} = i_{in} R_{x1} \quad \text{และ} \quad i_{o1} = i_{in} \frac{R_{x1}}{R_{x2}} \quad (4)$$

$$i_{o2} = \frac{s \frac{v_1}{R_{x2}} - \frac{i_1}{CR_{x2}}}{s + \frac{1}{CR_{x1}}} \quad (5)$$

3. โครงข่ายผ่านทุกความถี่อันดับหนึ่งที่น่าเสนอ

โครงข่ายผ่านทุกความถี่ (All-pass Network; APN) อันดับหนึ่งที่ไม่ใช้ตัวต้านทานที่น่าเสนอนั้น ถูกสังเคราะห์

จากวงจร MO-CCII's จำนวน 3 ชุด ที่ออกแบบจากวงจรในรูปที่ 2 (ก) และ (ข) ซึ่งนำวงจรทั้งสองมาต่อสลับกันดังรูปที่ 3 โดยมีสมการส่งผ่านกระแสในรูปของฟังก์ชันโครงข่ายผ่านทุกความถี่อันดับหนึ่ง เป็นดังสมการที่ (6)



รูปที่ 3 โครงข่ายผ่านทุกความถี่ที่ใช้ CMOS MO-CCII's

$$T_A(s) = \frac{i_o}{i_{in}} = -k \frac{(1-sCR_{x2})}{(1+sCR_{x1})}; \quad k = \frac{R_{x1}}{R_x} \quad (6)$$

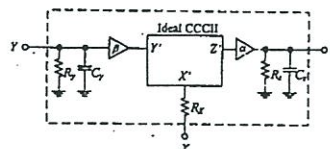
จากสมการที่ (6) เมื่อกำหนดให้  $R_{x2} = R_{x3} = R_x$  สามารถหาค่าสมการส่งผ่านกระแส ในรูปของฟังก์ชันโครงข่ายผ่านทุกความถี่อันดับหนึ่งใหม่ได้ดังสมการที่ (7) และค่าความถี่คutoffของใหม่มีค่าดังสมการที่ (8)

$$T_A(s) = \frac{i_o}{i_{in}} = -k \frac{(1-sCR_x)}{(1+sCR_x)}; \quad k = \frac{R_{x1}}{R_x} \quad (7)$$

และ  $\omega_p = \frac{1}{CR_x} \quad (8)$

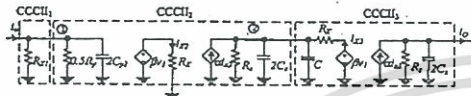
4. การวิเคราะห์เชิงไม่เป็นอุดมคติของ CCCII's

สมการส่งผ่านของวงจรที่กล่าวมา สมมติให้ CCCII's มีคุณสมบัติทางอุดมคติ แต่ความจริงในทางปฏิบัติสมการส่งผ่านจะมีความผิดพลาดเกิดขึ้นถ้ารวมค่าพารามิเตอร์ที่ไม่เป็นอุดมคติดังรูปที่ 4 เมื่อกำหนดให้  $\alpha = 1 - \epsilon$ ;  $|\epsilon| \ll 1$  แสดงค่า Voltage tracking error ของขั้ว Y ต่อขั้ว X และ  $\beta = 1 - \delta$ ;  $|\delta| \ll 1$  แสดงค่า Current tracking error ของขั้ว Z ต่อขั้ว X ของวงจร CCCII's



รูปที่ 4 โครงสร้างของวงจร CCCII's ในเชิงไม่เป็นอุดมคติ

จากรูปที่ 3 วิเคราะห์โครงข่ายที่นำเสนอด้วยสัญญาณขนาดเล็ก (Small signal) ดังรูปที่ 5 และค่าสมการส่งผ่านของโครงข่ายที่นำเสนอนี้ในเชิงไม่เป็นอุดมคติเป็นดังสมการที่ (9) โดยไม่คิดค่า tracking error



รูปที่ 5 โครงสร้างของวงจร CCCII2s ในเชิงไม่เป็นอุดมคติ

$$\frac{i_o}{i_{in}} = \frac{R_1 \alpha \beta (R_7 R_8 - R_9 R_{10}) - s(R_1 R_2 R_3 R_4 + R_1 R_2 R_3 C)}{D(s)} \quad (9)$$

เมื่อ

$$D(s) = (R_1 R_2 + 2R_1 R_3 + 2R_1 R_4) + s(R_1 R_2 R_3 C_1 + R_1 R_2 R_3 C_2 + 2R_1 R_2 R_3 C_3 + 2R_1 R_2 R_3 C_4 + 2R_1 R_2 R_3 C_5 + 2R_1 R_2 R_3 C_6) + s^2 2R_1 R_2 R_3 C_7 (C_8 + C_9)$$

จากสมการที่ (9) กำหนดให้ CCCII2s มีค่ากระแสไบอัสและค่าความต้านทานของแต่ละพอร์ท มีค่าเท่ากัน และตัวเก็บประจุที่พอร์ท Y และ Z มีค่าน้อยมาก ดังนั้นสามารถเขียนสมการส่งผ่านใหม่ได้เป็น

$$\frac{i_o}{i_{in}} \approx \frac{1 - sR_1 C}{1 + sR_1 C + s^2 2R_1^2 C^2} \quad (10)$$

ค่าพารามิเตอร์แฝงในเชิงไม่เป็นอุดมคติบางตัว จะมีผลกระทบต่อค่าความถี่ตอบสนองในช่วงความถี่สูง ( $\omega$ ) และในช่วงของความถี่ต่ำ ( $\omega_p$ ) แสดงได้ดังสมการที่ (11) และ (12) ตามลำดับ

$$\omega_1 = \frac{1}{R_1} \sqrt{\frac{1}{2C_1 C_2}} \quad (11)$$

และ

$$\omega_p = \frac{1}{CR_1} \quad (12)$$

เงื่อนไขในการกำหนดค่าความถี่ตอบสนอง ในเชิงไม่เป็นอุดมคติของวงจรโครงข่ายที่นำเสนอนี้ สามารถกำหนดได้ดังสมการที่ (13)

$$\omega_p \ll 0.1\omega_1 \quad (13)$$

5. ค่าความไวของโครงข่ายต่ออุปกรณ์

โครงข่ายผ่านทุกความถี่อันดับหนึ่งรูปแบบกระแสที่ไม่ใช้ตัวต้านทานที่นำเสนอนี้ อาศัยโครงสร้างของ CCCII2s

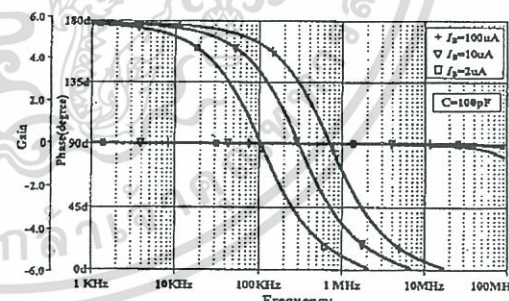
ซึ่งมีสมการส่งผ่านของโครงข่ายผ่านทุกความถี่ดังสมการที่ (8) และสามารถยืนยันประสิทธิภาพของโครงข่าย ที่นำเสนอนี้ คือ ค่าความไวต่ออุปกรณ์แอคทีฟหรือแพสซีฟที่มีผลต่อความถี่ตอบสนอง  $S_{V_{R_{i,j}}}$  เมื่อ  $x$  คือ อุปกรณ์แอคทีฟหรือแพสซีฟแต่ละตัวสรุปได้เป็น  $S_{V_{R_{i,j}}} = 0$  (ไม่มีผลกระทบ),

$$S_{V_{R_{1,2}}, V_{R_{1,3}}} = -1 \text{ และ } S_{C_1} = -1$$

6. ผลการจำลองการทำงาน

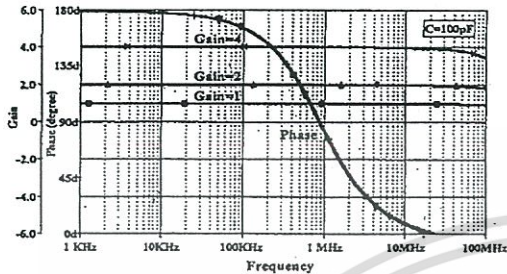
โครงข่ายผ่านทุกความถี่อันดับหนึ่งรูปแบบกระแสที่ไม่ใช้ตัวต้านทานที่นำเสนอนี้ สามารถยืนยันคุณสมบัติและประสิทธิภาพได้ด้วยโปรแกรม PSpice ซึ่งขนาดของทรานซิสเตอร์ที่ใช้ดังตารางที่ 1 โดยใช้แบบจำลอง (Model) ของ TSMC MOSIS 0.25  $\mu\text{m}$  Level 3 ซึ่งออกแบบวงจร CMOS MO-CCII2s ตามรูปที่ 1 แรงดันไฟเลี้ยงของวงจรที่  $\pm 2\text{V}$  ตารางที่ 1 ค่า Aspect Ratio ของทรานซิสเตอร์ที่ใช้สำหรับ (CMOS MO-CCII2s)

Transistor	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M <sub>1</sub> , M <sub>2</sub> , M <sub>7</sub> , M <sub>11</sub> , M <sub>13</sub> , M <sub>15</sub> , M <sub>17</sub> , M <sub>19</sub>	5	0.5
M <sub>2</sub> , M <sub>4</sub> , M <sub>8</sub> , M <sub>12</sub> , M <sub>14</sub> , M <sub>16</sub> , M <sub>18</sub>	15	0.3
M <sub>5</sub> , M <sub>9</sub>	2	0.5
M <sub>6</sub> , M <sub>10</sub>	4	0.5



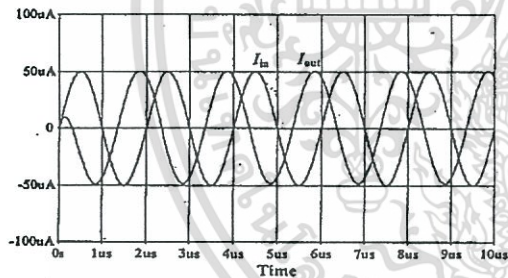
รูปที่ 6 การปรับค่าการตอบสนองทางเฟส จากการปรับค่ากระแสไบอัส ( $I_B$ )

จากรูปที่ 6 ผลการจำลองหาคุณสมบัติ โครงข่ายผ่านทุกความถี่อันดับหนึ่งที่ไม่ตัวต้านทานจากการหาค่าของผลตอบสนองทางเฟส โดยการปรับค่าทางอิมพีแดนซ์จากการปรับค่าของกระแสไบอัส ( $I_{B1} = I_{B2} = I_{B3} = 100\mu\text{A}$ ,  $10\mu\text{A}$  และ  $2\mu\text{A}$ ) ตามลำดับ เมื่อตัวเก็บประจุขนาด  $100\text{pF}$



รูปที่ 7 การปรับค่าเกน จากการปรับค่ากระแสไบอัส ( $I_{B1}$ )

จากรูปที่ 7 จำลองหาคุณสมบัติของโครงข่ายผ่านทุกความถี่อันดับหนึ่งที่ไม่ใช้ตัวต้านทาน ซึ่งเป็นการปรับค่าเกนการขยายทางอิเล็กทรอนิกส์ ทำได้โดยการปรับค่ากระแสไบอัสของ CCCII's เมื่อกำหนดให้ ( $I_{B2} = I_{B3} = 100\mu A$ ) และ ( $I_{B1} = 100\mu A, 17.8\mu A$  และ  $6.2\mu A$ ) ตัวเก็บประจุที่ใช้ขนาด 100 pF ซึ่งเกนการขยายที่ปรับได้มีค่าเป็น 1, 2 และ 4 ตามลำดับ ในการปรับค่าเกนการขยายทางอิเล็กทรอนิกส์ จะไม่มีผลกระทบต่อค่าการตอบสนองทางเฟสของวงจร

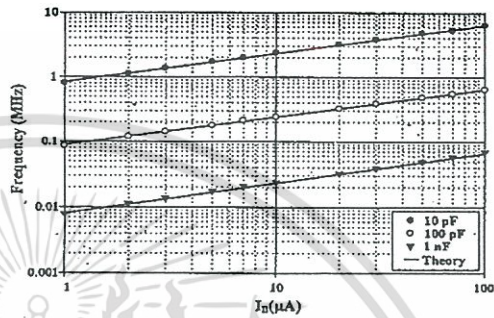


รูปที่ 8 เอาต์พุตของโครงข่าย เมื่อป้อนอินพุตเป็นรูปไซน์

จากรูปที่ 8 ป้อนสัญญาณอินพุตรูปไซน์ความถี่ 500 kHz  $50\mu A_{pp}$  เข้าสู่โครงข่ายที่นำเสนอในรูปที่ 3 และกำหนดให้กระแสไบอัสของ CCCII's ทั้งสามมีค่าเป็น  $100\mu A$  ตัวเก็บประจุใช้ขนาด 100 pF ผลของการจำลองพบว่า เอาต์พุตของวงจรยังคงให้สัญญาณไซน์ความถี่ 500 kHz เช่นเดิม และมีเฟสนำหน้าอินพุตประมาณ 120 องศา ทั้งนี้การที่เฟสจะนำหน้า (leading) หรือล้าหลัง (lagging) ขึ้นอยู่กับการกำหนดขั้วของเอาต์พุตที่ CCCII's ในตัวที่สาม

ในรูปที่ 9 เปลี่ยนค่าตัวเก็บประจุจาก 10pF จนถึง 1000pF พบว่าโครงข่ายที่นำเสนอ ยังสามารถให้ค่าความถี่

ตอบสนองได้เป็นอย่างดีและสอดคล้องกับทฤษฎี ตามหลักการที่ตั้งกล่าวมาแล้วในข้างต้นของบทความ



รูปที่ 9 ความถี่ตอบสนองเมื่อเปลี่ยนค่า C และ  $I_B$  ใหม่

### 7. บทสรุป

บทความนี้นำเสนอ โครงข่ายผ่านทุกความถี่อันดับหนึ่งรูปแบบกระแสที่ไม่ใช้ตัวต้านทาน อาศัยหลักการของวงจรทรานส์อิมพีแดนซ์และทรานส์คอนดักแตนซ์ สำหรับผลลัพธ์การตอบสนองแบบผ่านทุกความถี่ ซึ่งใช้ CCCII's เป็นอุปกรณ์หลักของบทความ ทำให้ง่ายต่อการออกแบบโครงข่ายสามารถปรับ ค่าเกนการขยายทางอิเล็กทรอนิกส์จากการปรับกระแสไบอัสของ CCCII's ซึ่งไม่มีผลกระทบต่อค่าความถี่ตอบสนอง จากการใช้ตัวเก็บประจุแบบต่อกราวด์และไม่ใช้ตัวต้านทาน จึงทำให้โครงข่ายที่นำเสนอเหมาะสมกับการนำไปสร้างเป็นวงจรรวมได้เป็นอย่างดี

### 8. เอกสารอ้างอิง

- [1] J. J. Chen, C. C. Chen, H. W. Tsao and S.I. Liu, "Current-mode oscillator using single current follower," Electron. Lett., Vol. 27, pp. 2056 - 2059, 1991.
- [2] A. R. Vazquez, B. L. Barranco, J. L. Huertas and E. S. Sinencio, "On the design of voltage-controlled sinusoidal oscillators using OTA's," IEEE Trans Circuits Syst., Vol. 37, pp. 198-211, 1990.
- [3] N. Boutin, "Synthesis of oscillator circuits employing only one unity-gain amplifier," Electron. Lett., Vol. 22, pp. 22-23, 1986.

- [4] R. Senani, "Simple sinusoidal oscillator using opamp compensation poles," *Electron. Lett.*, Vol. 29, pp. 452-453, 1993.
- [5] S. Maheshwari, "A new current mode current controlled all-pass section," *Journal of Circuits Systems and Computers*, Vol. 16(2), pp. 181-189, 2007.
- [6] J.W. Horng, "Current conveyors based all-pass filters and quadrature oscillators employing grounded capacitors and resistors," *Computer and Electrical Engineering*, Vol. 31, pp. 81-92, 2005.
- [7] D.R. Bhaskar and R.Senani, "New current-conveyor based single resistance-controlled voltage-controlled oscillator employing grounded capacitors," *Electron. Lett.*, Vol. 29, pp. 612-614, 1993.
- [8] A. Toker, S. Ozoguz, O. Cicekoglu, C. Acar, "Current-mode all-pass filters using current differencing buffered amplifier and a new high-Q bandpass filter configuration," *IEEE Trans. Circuit and systems II*, Vol. 47, pp. 949-54, 2000.
- [9] M.A. Ibrahim, H. Kuntman, O. Cicekoglu, "First-order all-pass filter canonical in the number of resistors and capacitors employing a single DDCC," *Journal of Circuits Syst. Signal Process.*, Vol. 22, pp. 525-36, 2003.
- [10] S. Maheshwari and I.A. KHAN, "Novel first-order current-mode all-pass sections using CCIII," *Active and Passive Elec.Comp.*, Vol. 27, pp. 111-117, 2004.
- [11] U. CAM, "A new transadmittance type first-order allpass filter employing single third generation current conveyor," *Analog Integrated Circuits and Signal Processing*, Vol. 43, pp. 97-99, 2005.
- [12] M.A. Ibrahim, H. Kuntman, S. Ozcan, O. Suvak and O. Cicekoglu, "New first-order inverting-type second-generation current conveyor-based all-pass sections including canonical forms," *Electrical Engineering*, Vol. 86, pp. 299-301, 2004
- [13] P. Prommee, K. Angkeaw, J. Chanwutitum and K. Dejhan, "Dual input all-pass networks using MO-OTA and its application," *Proc. of ECTI-CON.*, pp. 129-132, 2007.
- [14] E. Brunn, "CMOS high speed, high precision current conveyor and current-feedback amplifier structures," *Int. J. Electron.*, Vol. 74, pp. 93-100, 1993.

## ประวัติผู้เขียน

ชื่อ-นามสกุล	นางสาวนพกร ไตรรัตน์วารกรณ์
วัน เดือน ปีเกิด	2 ธันวาคม พ.ศ.2528 ที่จังหวัดกรุงเทพฯ
ที่อยู่	56/178-181 หมู่ 3 ศูนย์อะไหล่รังสิต ต.คลองหนึ่ง อ.คลองหลวง จ.ปทุมธานี 12120
ประวัติการศึกษา	2551 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ประสบการณ์การทำงาน	
พ.ศ.2551 - 2552	ตำแหน่งวิศวกร ส่วนวางแผนงานโครงการ 3G บริษัท สามารถคอร์ปอเรชั่น จำกัด (มหาชน)
พ.ศ.2552 - ปัจจุบัน	ตำแหน่ง วิศวกร ส่วนวางแผนระบบบริการเสริม (VAS) บริษัท กสท โทรคมนาคม จำกัด (มหาชน)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้