

วงจรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซิมอสที่มอดูมพีแอนด์เอ็นซีดี
และการประยุกต์ใช้งาน

LOW INPUT IMPEDANCE CMOS MULTIPLE-OUTPUTS CDTA
AND ITS APPLICATION



วิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2556

KMITL-2013-EN-M-010-089

วงจรรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ
และการประยุกต์ใช้งาน
LOW INPUT IMPEDANCE CMOS MULTIPLE-OUTPUTS CDTA
AND ITS APPLICATION



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2556
KMITL-2013-EN-M-010-089

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW INPUT IMPEDANCE CMOS MULTIPLE-OUTPUTS CDTA
AND ITS APPLICATION



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2013
KMITL-2013-EN-M-010-089

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2013

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำและการประยุกต์ใช้งาน

Thesis Title Low Input Impedance CMOS Multiple-Outputs CDTA and its Application

นักศึกษา นายณัฐ ปิ่นเงิน


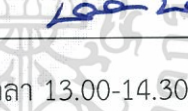


รหัสประจำตัว 53611415

ปริญญา วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา วิศวกรรมโทรคมนาคม

อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.พิพัฒน์ พรหมมี

หมายเลขวิทยานิพนธ์ KMITL-2013-EN-M-010-089

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.กอบชัย	เดชหาญ	
รศ.สมยศ	จุนณะปิยะ	
รศ.ดร.จิระศักดิ์	ชาญวุฒิธรรม	
ผศ.ดร.มนตรี	คำเงิน	
รศ.ดร.พิพัฒน์	พรหมมี	

วัน / เดือน / ปี ที่สอบ วันพฤหัสบดีที่ 23 พฤษภาคม พ.ศ. 2556 เวลา 13.00-14.30 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 3

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(ศาสตราจารย์ ดร.สุชัชวีร์ สุวรรณสวัสดิ์)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 23 พฤษภาคม พ.ศ. 2556

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรรีโอทีเออินพุตกระแสแตกต่างกันชนิดหลายเอาต์พุตแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำและการประยุกต์ใช้งาน
นักศึกษา	นายณัฐ ปิ่นเงิน
รหัสประจำตัว	53611415
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2556
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.พิพัฒน์ พรหมมี

บทคัดย่อ

บทความวิจัยนี้นำเสนอวงจรรีโอทีเออินพุตกระแสแตกต่างกันชนิดหลายเอาต์พุตแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ (CMOS MO-CDTA) ที่สร้างขึ้นโดยการต่อวงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำแบบคาสเคดเข้ากับด้านหน้าของวงจรรีโอทีเอแบบพื้นฐาน วงจรที่นำเสนอได้ถูกจำลองแบบการทำงานโดยใช้โปรแกรม PSpice ผลของการจำลองแบบพบว่า อิมพีแดนซ์ของวงจรมีค่าต่ำมากสอดคล้องกับอินพุตอิมพีแดนซ์ทางอุดมคติของแหล่งกำเนิดกระแสที่ต้องมีค่าต่ำมากๆ สามารถทำงานได้ดีในช่วงของสัญญาณอินพุตและเอาต์พุตที่มีความละเอียดสูง รวมทั้งมีย่านความถี่ปฏิบัติการสูงอย่างมีนัยสำคัญ วงจรกรองความถี่หลายหน้าที่ที่สร้างขึ้นโดยใช้วงจรรีโอทีเอ CMOS MO-CDTA จำนวนสองตัวได้ถูกนำเสนอไว้ในบทความวิจัยนี้ด้วยเช่นกัน เพื่อเป็นตัวอย่างของการประยุกต์ใช้งาน

Thesis	Low Input Impedance CMOS Multiple-Outputs CDTA and Its Application
Student	Mr. Nut Pinngoen
Student ID.	53611415
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2013
Thesis Advisor	Assoc.Prof.Dr.Pipat Prommee

ABSTRACT

This paper proposes a low input impedance CMOS Multiple Outputs Current Differencing Transconductance Amplifier (CMOS MO-CDTA) which is realized by cascading a low input impedance CMOS current follower in front of a basic OTA circuit. The proposed circuit is simulated by the PSpice program and it demonstrates valuable results that its circuit input impedance is very low, as is desirable for an ideal current source input impedance, it is capable of working effectively for an input and output current in a high precision mode, and its operation bandwidth is significantly wide. A universal filter implemented by two of the proposed CMOS MO-CDTAs is also presented as an example of its applications in this paper.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงได้ ผู้เขียนขอกราบขอบพระคุณอาจารย์ บุคคลและองค์กรที่มี
รายนามดังนี้

ขอขอบพระคุณอาจารย์ที่ปรึกษา รศ.ดร.พิพัฒน์ พรหมมี ที่ให้ความช่วยเหลือ ให้คำชี้แนะ
ช่วยแก้ปัญหา ให้โอกาส ตลอดจนให้ความรู้และประสบการณ์ที่ดีทั้งด้านการทำงาน การเรียน และ
การใช้ชีวิตแก่ข้าพเจ้าตลอดมา

ขอขอบพระคุณ ดร.มนตรี สมดุลยภนิก ที่ได้กรุณาให้คำแนะนำตลอดจนข้อชี้แนะ ในจุดที่มี
ปัญหาบางอย่าง จนทำให้เข้าใจและแก้ไขปัญหานั้น

บิดา มารดา ผู้อบรมเลี้ยงดู ให้การสนับสนุนการศึกษา ประพฤติตนเป็นตัวอย่างที่ดี และยังเป็น
เป็นกำลังใจต่อผู้เขียนเสมอมา

สุดท้ายนี้ผู้เขียนหวังเป็นอย่างยิ่งว่าวิทยานิพนธ์ฉบับนี้จะเป็นประโยชน์ต่อท่านผู้อ่านไม่มากนัก
น้อย หากมีข้อผิดพลาดประการใด ขออภัยไว้ ณ ที่นี้ด้วย

นายณัฐ ปิ่นเงิน

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูปภาพ.....	VII
บทที่ 1 บทนำ	
1.1 ความเป็นมาและความสำคัญของการทำวิจัย	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการทำวิจัย.....	1
1.3 สมมุติฐานของการศึกษาและวิจัย.....	2
1.4 ขอบเขตและขั้นตอนการศึกษาวิจัย.....	2
1.5 รายละเอียดในวิทยานิพนธ์.....	2
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	
2.1 เทคโนโลยีของซีมอสและทฤษฎีของมอสเฟต.....	3
2.2 วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ.....	16
2.3 โครงสร้างและหลักการทำงานของวงจรขยายความแตกต่าง	17
2.4 วงจรสะท้อนกระแสแบบมอส.....	19
2.5 วงจรตัวกรองความถี่	23
2.6 ค่าความไวต่อวงจร	27
บทที่ 3 งานวิจัยที่เกี่ยวข้อง	
3.1 ผลงานวิจัยที่เกี่ยวข้อง.....	30
3.2 บทสรุป.....	35
บทที่ 4 วงจรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ และการประยุกต์ใช้งาน	
4.1 บทนำ.....	35
4.2 วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ.....	37
4.3 วงจรอินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส.....	38
4.4 ผลจำลองการทำงานของวงจร CMOS MO-CDTA.....	39
4.5 การประยุกต์ใช้งานเป็นวงจรกรองความถี่หลายหน้าที่.....	43
4.6 บทสรุป.....	45

สารบัญ (ต่อ)

	หน้า
บทที่ 5 บทสรุปและข้อเสนอแนะ	
5.1 บทสรุปการวิจัย.....	46
5.2 ข้อเสนอแนะ.....	46
เอกสารอ้างอิง	47
ภาคผนวก.....	48
ภาคผนวก ก โปรแกรม PSpice ที่ใช้วิเคราะห์.....	49
ภาคผนวก ข บทความที่ได้รับการตีพิมพ์.....	52
ประวัติผู้เขียน	58



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่

หน้า

4.1 ขนาดของทรานซิสเตอร์ที่ใช้ในวงจรที่นำเสนอ.....39



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1	แผนผังของเทคโนโลยีวงจรรวม.....4
2.2	โครงสร้างมอส (Metal Oxide Semiconductor : MOS).....5
2.3	ความสัมพันธ์ระหว่างค่าความจุ (C) กับแรงดัน (V).....5
2.4	โครงสร้างของมอสเฟท.....6
2.5	มอสเฟทในกรณีที่อิ่มตัว (Saturation : Pinch-off).....9
2.6	ความสัมพันธ์ของกระแสเดรนกับแรงดันที่ขาเกต.....9
2.7	ความสัมพันธ์ของกระแสเดรนและแรงดันขาเดรนกับขอส.....10
2.8	สัญลักษณ์ของมอสเฟทชนิดต่างๆ.....12
2.9	โครงสร้างของมอสเฟทแบบ D-MOSFET13
2.10	โครงสร้างของมอสเฟทแบบ E-MOSFET
	(ก) ชนิด N-Channel
	(ข) ชนิด P-Channel.....14
2.11	กราฟแสดงความสัมพันธ์ระหว่าง I_D กับ V_{DS}
	(ก) E-MOSFET
	(ข) D-MOSFET.....15
2.12	วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ.....16
2.13	วงจรคูตีเฟอร์เรนเซียล.....17
2.14	กราฟแสดงความสัมพันธ์ระหว่างแรงดันอินพุตกับผลต่างของกระแส.....18
2.15	วงจรสะท้อนกระแสแบบพื้นฐานสร้างจากมอสทรานซิสเตอร์.....20
2.16	วงจรสะท้อนกระแสแบบคาสโคด.....21
2.17	วงจรสะท้อนกระแสแบบ Wilson.....21
2.18	วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง.....22
2.19	วงจรตัวกรองความถี่ในรูปของ Two-Port Network.....23
2.20	คุณสมบัติของตัวกรองความถี่ในอุดมคติทั้ง 4 ประเภท
	(ก) ตัวกรองความถี่ต่ำผ่าน
	(ข) ตัวกรองความถี่สูงผ่าน
	(ค) ตัวกรองความถี่ต้องการผ่าน
	(ง) ตัวกรองความถี่ต้องการออก.....24
2.21	รูปแบบ Pole และ Zero ของวงจรตัวกรองความถี่ต่ำผ่านลำดับที่ 5.....25
2.22	ค่าโพลของตัวกรองความถี่ลำดับที่ 2.....26
3.1	รูปวงจร CDTA [7] ที่นำเสนอ.....30
3.2	ค่าความต้านทานที่พอร์ต p และ n เมื่อเปลี่ยนค่าความถี่ของอินพุตของวงจร CDTA [7].....30
3.3	วงจรประยุกต์เป็นตัวกรองความถี่หลายหน้าที่ของ CDTA [7].....31
3.4	ผลการจำลองการทำงานเป็นวงจรกรองความถี่หลายหน้าที่ของ CDTA [7].....32

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.5 ผลการจำลองการทำงานเป็นวงจรผ่านทุกความถี่ของ CDTA [7].....	32
3.6 วงจร CMOS CDTA [9]... ..	33
3.7 ค่าความต้านทานที่พอร์ต p และ n เมื่อเปลี่ยนค่าความถี่ของอินพุตของ CDTA [9].....	33
3.8 วงจรประยุกต์เป็นตัวกรองความถี่หลายหน้าที่ของ CMOS CDTA [9].....	34
3.9 ผลการจำลองการทำงานเป็นวงจรกรองความถี่หลายหน้าที่ของ CDTA [9].....	35
4.1 วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ.....	37
4.2 วงจร CDTA ชนิดหลายเอาต์พุต	
(ก) สัญลักษณ์	38
(ข) วงจรสมมูล	38
4.3 วงจร CMOS MO-CDTA ที่นำเสนอ.....	38
4.4 ค่าความต้านทานอินพุตที่พอร์ต p และ n	39
4.5 ค่าความต้านทานอินพุตที่พอร์ต p และ n เมื่อเปลี่ยนความถี่อินพุต.....	40
4.6 ค่าความแตกต่างของกระแสอินพุตที่พอร์ต z	40
4.7 กระแสที่พอร์ต x เมื่อทำการปรับค่ากระแสไบอัส I_B	41
4.8 การตอบสนองทางความถี่ที่พอร์ต x เมื่ออินพุตเป็น I_p และ I_n	41
4.9 ผลตอบสนองทางความถี่ที่พอร์ต x เมื่อป้อนสัญญาณสี่เหลี่ยมที่พอร์ต p และพอร์ต n	42
4.10 ค่าความเพี้ยนรวมฮาร์โมนิกเมื่อป้อนสัญญาณไซน์ที่พอร์ต n	42
4.11 การประยุกต์ใช้งานเป็นวงจรกรองความถี่หลายหน้าที่.....	43
4.12 คุณสมบัติของการประยุกต์เป็นวงจรกรองความถี่หลายหน้าที่.....	44
4.13 คุณสมบัติของการประยุกต์เป็นวงจรกรองผ่านทุกความถี่.....	44

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของการทำวิจัย

ปัจจุบันการประมวลสัญญาณที่ทำงานในรูปแบบกระแสกำลังได้รับความสนใจอย่างแพร่หลายเพราะมีข้อดีดังนี้

1. มีช่วงปฏิบัติงานกว้าง
2. ค่าพิสัยพลวัตและความเป็นเชิงเส้นดี
3. มีความเที่ยงตรงและใช้แรงดันไฟเลี้ยงต่ำ

เมื่อเปรียบเทียบกับวงจรที่ทำงานในรูปแบบแรงดันในอดีตได้มีการออกแบบวงจรของ

ความถี่รูปแบบกระแสจากอุปกรณ์แอกทีฟ เช่น วงจรตามกระแส (Current Follower: CF) วงจรสายพานกระแส (CCII) และวงจรรขยายความนำ (Operational Transconductance Amplifier: OTA)

ในอดีตได้มีอุปกรณ์รูปแบบกระแสตัวหนึ่งถูกนำเสนอขึ้น จากการพัฒนามาจากโอทีเอเดิมที่ดัดแปลง อินพุตให้มีกระแสแตกต่าง ซึ่งใช้ชื่อว่าวงจรโอทีเออินพุตกระแสแตกต่าง (CDTA) และมีการพัฒนาอย่างต่อเนื่องในทางทฤษฎี ค่าความต้านทานอินพุตและเอาต์พุตจะต้องมีค่าเป็นศูนย์หรือเป็นอนันต์ตามลำดับ เพื่อนำผลต่างกระแสมาเป็นอินพุตให้โอทีเอที่พอร์ต z ซึ่งมีอุปกรณ์พาสซีฟต่อรวมอยู่ และสามารถปรับค่ากระแสได้ทางอิเล็กทรอนิกส์จากการปรับกระแสไบอัสที่โอทีเอ ต่อมาวงจรซึ่งทำหน้าที่เป็นอินพุตกระแสที่ออกแบบมาไม่สามารถทำคุณสมบัติของค่าความต้านทานอินพุตให้ต่ำได้ ทำให้มีความผิดพลาดสูง อีกทั้งค่าตัวเก็บประจุแฝงที่พอร์ตอินพุตกระแส มีผลทำให้ช่วงความถี่สูงไม่เสถียรตามไปด้วย และอุปกรณ์ที่ใช้มากและมีแรงดันไฟเลี้ยงสูง ทำให้การใช้พลังงานสูงตามไปด้วย ซึ่งต่างกับวิธานิพนธ์ที่นำเสนอ ถูกออกแบบวงจรให้อินพุตมีค่าอิมพีแดนซ์ต่ำ โครงสร้างง่ายไม่ซับซ้อน ใช้แรงดันไฟเลี้ยงต่ำ ใช้ทรานซิสเตอร์น้อยซึ่งหมายถึงจะใช้กำลังไฟน้อยกว่า จึงทำให้การทำงานในช่วงความถี่สูงกว้างกว่าวิธานิพนธ์ที่ผ่านมา

1.2 ความมุ่งหมายและวัตถุประสงค์ของการทำวิจัย

วิธานิพนธ์นี้นำเสนอ วงจรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส (CMOS MO-CDTA) ใช้แรงดันไฟเลี้ยงต่ำ ย่านการทำงานของกระแสกว้าง โดยอินพุตของกระแสมีค่าความต้านทานต่ำแต่มีความแม่นยำสูง และ ทำงานได้ดีที่ย่านความถี่สูงได้ดี อีกทั้งทรานซิสเตอร์ที่ใช้มีจำนวนน้อยทำให้มีการใช้กำลังไฟต่ำ เพื่อยืนยันการใช้งานได้จริง ได้นำเสนอการประยุกต์เป็นวงจรรองความถี่หลายหน้าที่ แบบสามอินพุตหนึ่งเอาต์พุต ที่กำหนดฟังก์ชันการถ่ายโอนได้หารูปแบบในวงจรเดียวกัน จากการใช้ตัวเก็บประจุแบบต่อกราวด์และไม่ใช้ตัวต้านทาน ทำให้วงจรที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมได้ต่อไป

1.3 สมมุติฐานของการศึกษาและวิจัย

ดังที่กล่าวมาแล้วว่าวงจรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส (CMOS MO-CDTA) มีการใช้ค่าแรงดันไฟฟ้าและพลังงานต่ำ ใช้ทรานซิสเตอร์น้อยกว่าวิทยานิพนธ์ในอดีต และสามารถนำไปประยุกต์ใช้งานได้ ซึ่งในวิทยานิพนธ์นี้พูดถึงการทำเป็นวงจรตัวกรองความถี่หลายหน้าที่ (LPF, HPF, BPF, BRF, APF) อย่างครบถ้วน มีการทำงานในย่านความถี่สูงได้อย่างมีประสิทธิภาพ ทำให้วงจรที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมได้ต่อไป

1.4 ขอบเขตและขั้นตอนการศึกษาวิจัย

วิทยานิพนธ์นี้เป็นการนำเสนอวงจรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส (CMOS MO-CDTA) โดยอาศัยหลักการของวงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ ต่อเข้ากับวงจรอินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส (CMOS Multiple Outputs Current Differencing Transconductance Amplifier: CMOS MO-CDTA และนำมาประยุกต์ใช้งานเป็นตัวกรองความถี่หลายหน้าที่

1.5 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์นี้ได้ศึกษาวิจัยเพื่อออกแบบวงจรตรวจจับค่าแรงดันสูงสุด โดยเนื้อหาในวิทยานิพนธ์นี้จะแบ่งออกเป็น 5 บท โดยเนื้อหาในบทต่อไปมีดังนี้

- บทที่ 1 จะกล่าวถึงที่มาของงานวิจัย วัตถุประสงค์ของงานวิจัยและขอบเขตของงานวิจัย
- บทที่ 2 จะกล่าวถึงทฤษฎีของเทคโนโลยีมอส ประเภทของมอสและค่าพารามิเตอร์ต่างๆ วงจรทรานสคอนดักแตนซ์ วงจรตัวกรองความถี่ สมการการส่งผ่าน และค่าความไวต่อวงจร
- บทที่ 3 จะกล่าวถึงงานวิจัยที่เกี่ยวข้องกับ CDTA และนำมาเปรียบเทียบกับวิทยานิพนธ์นี้
- บทที่ 4 จะกล่าวถึงวงจรวงจรรวมอินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ และการประยุกต์ใช้งาน การจำลองและผลการจำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรม PSpice
- บทที่ 5 จะเป็นบทสรุปและข้อเสนอแนะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

2.1 เทคโนโลยีของซีมอสและทฤษฎีของมอสเฟต

วงจรรวม (Integrated Circuit) ซึ่งเราเรียกย่อๆ ว่า IC ที่กล่าวถึงในที่นี้จะอยู่ในลักษณะที่เป็นโมโนลิทิก (Monolithic) กล่าวคือ วงจรทั้งหมดซึ่งประกอบด้วย ส่วนประกอบ (Component) ต่างๆ ทั้งแบบแอคทีฟ และแบบพาสซีฟ อยู่บนสารกึ่งตัวนำเดียวกัน วงจรรวมนี้โดยทั่วๆ ไปจะแบ่งเป็น 2 พวกใหญ่ๆ คือ พวกลิเนียร์ และ ดิจิตอล ซึ่งในวิทยานิพนธ์นี้จะเน้นไปในการออกแบบวงจรรีเลย์

2.1.1 ข้อเปรียบเทียบระหว่างวงจรรวมกับวงจรรีเลย์

ในปัจจุบันการลงทุนเกี่ยวกับทางด้านอุปกรณ์สารกึ่งตัวนำ ส่วนใหญ่มักจะเน้นหนักไปในการผลิต IC มากกว่าการผลิตส่วนประกอบแบบรีเลย์ ทั้งนี้เพราะ IC มีข้อดีที่วงจรรีเลย์ กล่าวคือ

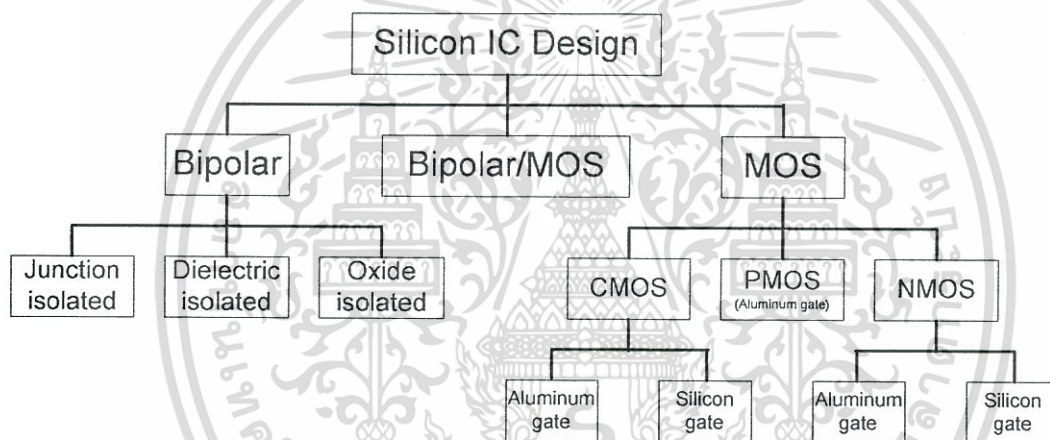
- 1) ทางด้าน IC นั้นเราสามารถผลิตวงจรต่างๆ ได้ที่ละหลายๆ วงจรต่อการผลิต 1 ครั้งได้ ดังนั้นจึงทำให้ต้นทุนการผลิต IC มีราคาถูก
- 2) เนื่องจากส่วนประกอบภายใน IC เช่น ทรานซิสเตอร์ ซึ่งจะถูกผลิตขึ้นมาพร้อมๆ กันในกระบวนการผลิต ดังนั้นค่าพารามิเตอร์ของส่วนประกอบต่างๆ นั้น มีค่าเท่ากันและคุณสมบัติ (Characteristics) ของส่วนประกอบเหล่านั้นมีความสมพงษ์กัน (Match) และนอกจากนั้นส่วนประกอบเหล่านั้นยังมีคุณสมบัติ ต่อภาวะแวดล้อมต่างๆ เช่นการเปลี่ยนแปลงทางอุณหภูมิเหมือนๆ กันด้วย (Thermal Tracking) ซึ่งข้อดีดังกล่าว ทำให้ IC มีขีดความสามารถและความเชื่อมั่นในการใช้งานสูง (High Performance and High Reliability) โดยที่เราอาจจะสร้างวงจรที่มีความยุ่งยาก และสลับซับซ้อนมากๆ ขึ้นมาได้ โดยที่อาจจะเป็นไปได้โดยง่ายสำหรับวงจรรีเลย์
- 3) เนื่องจากใน IC จะไม่มีรอยบัดกรี ดังนั้นจึงสามารถลดผลต่างๆ อันจะเกิดเนื่องจากสิ่งที่แอบแฝงอยู่ในรอยบัดกรีนั้นลงไปได้โดยสิ้นเชิง จึงทำให้วงจรใน IC สามารถทำงานได้ดีกว่าวงจรรีเลย์ทั่วไป
- 4) IC แต่ละตัวอาจจะทำงานได้เท่ากับบล็อกแต่ละบล็อกของระบบ (System) ทั่วๆ ไป ดังนั้นในการศึกษาหรือออกแบบวงจรอิเล็กทรอนิกส์ในปัจจุบัน จึงมักจะเน้นหนักไปทางด้านบล็อกไดอะแกรมเป็นส่วนใหญ่ จึงจะช่วยให้เกิดความสะดวกขึ้นอีกมาก เพราะสามารถใช้ IC แทนลงในบล็อกไดอะแกรมนั้นได้เลย โดยที่เราไม่จำเป็นต้องไปสร้างวงจรในแต่ละบล็อกนั้นอีก ซึ่งจะทำให้ลดความยุ่งยากของวงจรทั้งหมดลงไปได้มากทีเดียว
- 5) IC มีขนาดเล็กและเบา

อย่างไรก็ตามเมื่อ IC มีข้อดี ก็ย่อมจะมีข้อเสียคู่กันไปเป็นธรรมดา ซึ่งข้อเสียข้อหนึ่งของ IC คือ เราไม่สามารถปรับแต่งค่าต่างๆ เช่น ค่าความต้านทานใน IC ได้โดยง่าย เหมือนกับในวงจรรีเลย์ แต่ถ้าจำเป็นจริงๆ

ก็สามารถปรับแต่งได้โดยใช้แสงเลเซอร์ แต่จะทำให้ต้นทุนในการผลิตสูงขึ้นมาก ส่วนข้อเสียอีกข้อหนึ่งของ IC ก็คือการออกแบบวงจรมักจะยุ่งยาก สลับซับซ้อนและใช้เวลามากกว่าการออกแบบวงจรตีสกรีน ซึ่งทำงานอย่างเดียวกัน แต่ข้อเสียดังกล่าวจะไม่มีผลมากเท่าใดนัก เมื่อเราจะผลิต IC เหล่านั้นในจำนวนมากๆ

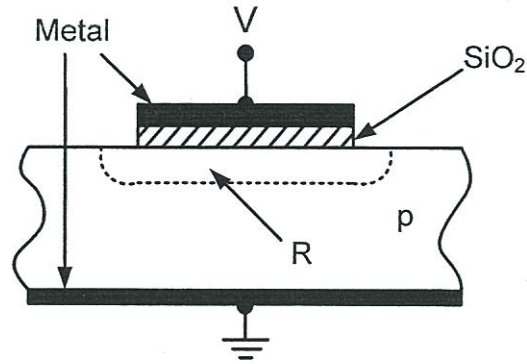
2.1.2 เทคโนโลยีของมอส

ในการพัฒนาของเทคโนโลยี VLSI (Very Large Scale Integration) เป็นการผลิตวงจรรวมที่เป็นเทคโนโลยีที่นิยมกันมาก เพราะมีข้อดีกว่าเทคโนโลยีแบบอื่นๆ หลายประการ เช่น การสูญเสียของพลังงานต่ำกว่า มีอินพุตอิมพีแดนซ์สูงมาก การออกแบบง่าย ฯลฯ ซึ่งมีความต้องการมากของงานด้านการประมวลผลสัญญาณ (Signal Processing) แบบเป็นวงจรรวมอยู่บนชิปเดียว (Single Chip) การทำงานจะมีประสิทธิภาพมากที่สุด ซึ่งในวงจรรวมก็จะเป็นบทบาทสำคัญของการผลิต IC โดยการออกแบบเป็น VLSI ในการออกแบบ VLSI ในระบบที่เป็นอนาล็อก (Analog Circuit) ส่วนใหญ่ที่เรารู้จักก็คือ วงจรตัวกรองความถี่ วงจรแปลงอนาล็อกเป็นดิจิทัล และดิจิทัลเป็นอนาล็อก วงจรเปรียบเทียบแรงดัน (Voltage Comparator) วงจรควบคุมอัตราขยายอัตโนมัติ (Automatic Gain Control) ฯลฯ



รูปที่ 2.1 แผนผังของเทคโนโลยีวงจรรวม

วิธีการออกแบบ IC จะนิยมใช้เทคโนโลยีอยู่ 2 แบบ คือแบบไบโพลาร์ (BJT) และแบบมอส (MOS) โดยจะแบ่งเป็นส่วนย่อยๆ ดังรูปที่ 2.1 โดยทั้งหมด จะอยู่บนรากฐานของเทคโนโลยีวงจรรวมซิลิกอน (Silicon Integrate Circuit Technology) โดยเมื่อก่อนการออกแบบวงจรรวมนั้น จะใช้เทคโนโลยีของไบโพลาร์ แต่ในสมัยนี้เทคโนโลยีของมอสได้เจริญเติบโตขึ้นอย่างมาก ซึ่งในส่วนของเทคโนโลยีของมอส ทำให้สามารถบรรจุวงจรรวมที่ถูกรวมออกแบบไว้ มีความหนาแน่นมากขึ้น เช่น หน่วยความจำ (Memory) หน่วยประมวลผล (Microprocessor)

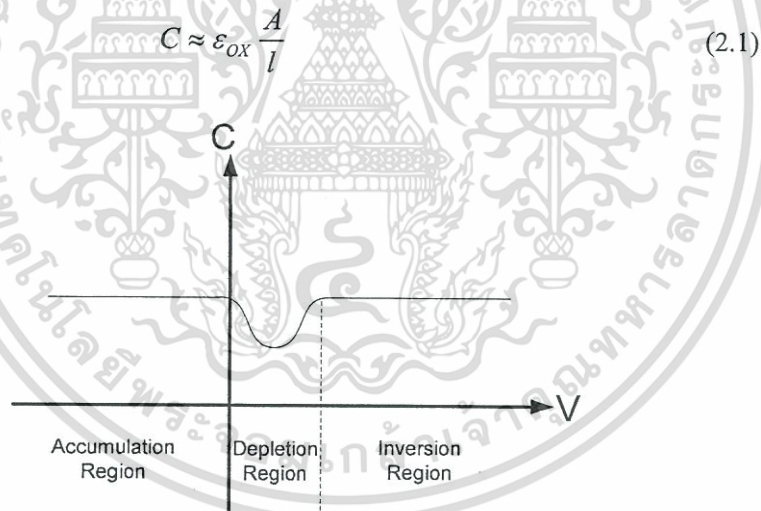


รูปที่ 2.2 โครงสร้างมอส (Metal Oxide Semiconductor : MOS)

2.1.3 โครงสร้างของมอสเฟต

จากรูปที่ 2.2 เป็นการประกอบของชั้นต่างๆ ของโครงสร้างแบบมอส ประกอบด้วยโลหะชั้นบน ซิลิกอนไดออกไซด์ (SiO₂) ซึ่งเป็นฉนวนที่สมบูรณ์ ซิลิกอนชนิดพี และโลหะชั้นล่างที่ซึ่งต่อกับกราวด์

สมมติให้ V เป็นลบจะมีสนามไฟฟ้าคร่อมชั้นของซิลิกอน (โฮล) ไปที่บริเวณ R ได้โลหะชั้นล่าง ประจุลบจะรวมตัวอยู่กับแผ่นโลหะ (Electrode) ด้านบน และประจุบวกจะรวมตัวอยู่ที่บริเวณ R ซึ่งในกรณีนี้ อุปกรณ์นี้จะแสดงตัวเป็นตัวเก็บประจุมีค่าของขนาดความจุไฟฟ้า เป็นดังสมการ



รูปที่ 2.3 ความสัมพันธ์ระหว่างค่าความจุ (C) กับแรงดัน (V)

จากสมการที่ (2.1) ϵ_{ox} เป็นค่าการยอมให้กระแสไฟฟ้าผ่านของซิลิกอนไดออกไซด์ โดย $\epsilon_{ox} = \epsilon_o k_{ox}$ มีค่า $\approx 3.5 \text{ pF/cm}$ โดยที่ k_{ox} คือค่าความเป็นฉนวนของ SiO₂ ($k_{ox} = 3.9$), ϵ_o คือ ค่าการยอมให้กระแสไฟฟ้าผ่านของบรรยากาศ ($\epsilon_o \approx 8.854 \times 10^{-14} \text{ F/cm}$) สำหรับ A คือ พื้นที่หน้าตัดของขั้วโลหะด้านบน และ I เป็นความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระยะระหว่างสารกึ่งตัวนำที่เป็น ซอส และเดรนเรียกว่า ความยาวแชนแนล (Channel Length : L) และความกว้างของช่องระหว่างซอสและเดรน เรียกว่า ความกว้างแชนแนล (Channel Width : W)

2.1.4 ทฤษฎีการทำงานของมอสเฟต

มอสทรานซิสเตอร์ หรือมอสเฟต (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transistor และมีอีกชื่อหนึ่งว่า อินซูลเกตเทตเกตเฟต (Insulated Gate FET) หรือ IGFET เป็นสารกึ่งตัวนำชนิดหนึ่ง ซึ่งใช้สนามไฟฟ้าควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ในปัจจุบันมอสเฟตได้เข้ามาแทนที่ทรานซิสเตอร์ชนิดไบโพลาร์ เนื่องจากโครงสร้างง่าย มีขั้นตอนการผลิตไม่ยุ่งยาก มีขนาดเล็กทำให้ผลิตได้ปริมาณมากๆ ต่อผลึกสารกึ่งตัวนำหนึ่งชิ้น มีความต้านทานอินพุตสูง (High Input Impedance) การสูญเสียต่ำ (Low Dissipation) สัญญาณรบกวนต่ำ แต่มอสเฟตก็ยังมิชอบเสีย เมื่อเปรียบเทียบกับทรานซิสเตอร์แบบไบโพลาร์ คือการทำงานที่พลังงานต่ำ และอัตราการขยายต่ำ

จากรูปที่ 2.4 สมมติให้ ซอส เป็นกราวด์ ($V_S = 0$) และ V_D เป็นบวกน้อยๆ ประมาณ 0.5 โวลต์ เมื่อพิจารณากระแสเดรน (I_D) โดยให้ V_G เพิ่มขึ้นจาก 0 ไปเรื่อยๆ ในทางบวก เห็นได้ว่าที่เกทจะมีฉนวนกัน โดยชั้นของออกไซด์ จะไม่มีกระแส I_G ที่ n^+ ของซาเดรน และรอบๆ คือ ซับสเตอร์ชนิด P จากทฤษฎีสารกึ่งตัวนำ P-N Junction เมื่อซับสเตอร์เป็นกราวด์ และ $V_D > 0$ จะเป็น Reverse Bias ขณะที่ $V_G = 0$, $I_D = 0$

ให้ V_G เพิ่มขึ้น บริเวณ R ก็จางเปล่า และเมื่อ R ว่างเปล่า ทำให้ $I_D = 0$ เนื่องจากยังเป็น Reverse Bias เช่นเดียวกัน ในทางตรงกันข้าม ถ้า V_G เปลี่ยนไปเป็นขั้วตรงกันข้าม จะทำให้บริเวณ R มีอิเล็กตรอนเข้ามาในชั้นที่มีอิเล็กตรอนเคลื่อนที่อยู่จะเรียกว่า Inversion Layer หรือ แชนแนล (Channel) ซึ่งจะทำการเชื่อมซาเดรนกับซาซอส และเมื่อเดรนเป็นบวกเมื่อเทียบกับซอส อิเล็กตรอนจะไหลจากซอสไปหาเดรน ซึ่งเป็นผลทำให้กระแส $I_D > 0$ ซึ่งขณะเดียวกันจะต้องมีแรงดันค่าเล็กๆ ที่ซาเกต V_G ในการสร้างแชนแนล เรียกว่า Threshold Voltage ซึ่งใช้สัญลักษณ์ว่า V_T

อิเล็กตรอนในแชนแนลนั้น ส่วนน้อยจะเกิดจากผลของความร้อนจากรูปร่าง แต่ส่วนมากเกิดจากสนามไฟฟ้า โดยแรงดัน V_G อิเล็กตรอนออกจากซาซอส และอิเล็กตรอนบางตัวจะเกิดจากซาเดรน แต่เมื่อ $V_G > 0$ ซาเดรนและรูปร่างจะอยู่ในสภาวะ Reverse Bias ซึ่งอิเล็กตรอนจะเคลื่อนที่ออกได้ยากจากซาเดรน

เมื่อเกิดค่าความต่างศักย์ขึ้นระหว่างปลายสองข้างของแชนแนล อิเล็กตรอนในแชนแนลจะถูกดึงดูดไปที่ซาเดรน จึงเป็นการเพิ่มอิเล็กตรอนความร้อนเคลื่อนที่แบบไม่มีทิศทาง การเคลื่อนที่อย่างไม่สม่ำเสมอ เป็นเหตุมาจากกระแสไหลเมื่อค่า V_G น้อยๆ ทำให้แชนแนล แสดงตัวเป็นความต้านทาน จากค่า $I_D \approx \frac{V_D}{R}$ โดยที่ความต้านทานของแชนแนล R มีค่าเป็น

$$R = \frac{L}{W \mu_n |Q_n|} \quad (2.2)$$

โดยที่ μ_n คือ ค่าความคล่องของอิเล็กตรอน, Q_n คือค่าความเข้มข้นของประจุของอิเล็กตรอนในแชนแนล และ V_G เป็นแรงดันที่ซาเกต มีสองเทอมเป็น $(V_G - V_T)$ ได้เป็น

$$Q = -C_{ox}(V_G - V_T) \quad (2.3)$$

โดยที่ $C_{ox} = \frac{\epsilon_{ox}}{l}$ คือค่าความจุ(ต่อหนึ่งหน่วยพื้นที่) ของชั้นออกไซด์ที่กั้นระหว่างเกตกับแชนแนล ใช้ในกรณีของ V_D มีค่าน้อยๆ ($V_D \ll (V_G - V_T)$) ได้เป็น

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T) V_D \quad (2.4)$$

ซึ่งทรานซิสเตอร์แสดงตัวเป็นความต้านทานโดยควบคุมด้วย V_G มีสมการเป็น

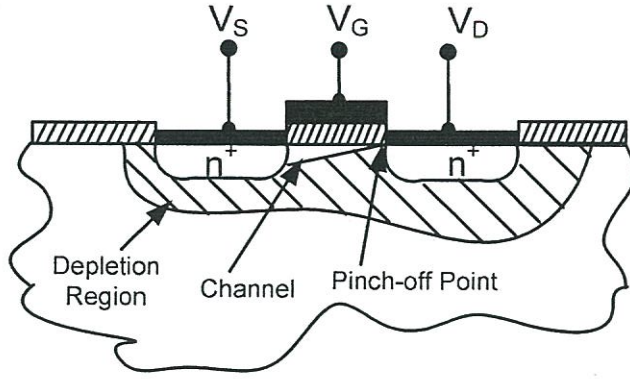
$$R = \left[\mu_n C_{ox} \frac{W}{L} (V_G - V_T) \right]^{-1} \quad (2.5)$$

เมื่อ V_D เพิ่มขึ้น และจะไม่สามารถพิจารณา V_G แต่เพียงอย่างเดียวได้ ดังนั้นสมการที่ (2.5) จึงไม่สามารถที่จะใช้ได้ ศักดาของแชนแนลที่ขอสมีค่าเป็น 0 และขณะเดียวกันที่เดรนมีค่าเป็น V_D โดยสามารถสมมุติค่าแรงดันเฉลี่ยในแชนแนล มีค่าเท่ากับ $V_D/2$ เป็นผลให้ค่าแรงดันเฉลี่ยระหว่างเกต กับแชนแนล มีค่าเป็น $(V_G - V_D/2)$ แล้วนำไปแทน V_G ในสมการที่ (2.4) ได้เป็น

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T - \frac{V_D}{2}) V_D \quad (2.6)$$

ซึ่งในสมการที่ (2.6) เป็นการประมาณที่ใช้ได้ดีในกรณีที่ $V_D < (V_G - V_T)$ ซึ่งเรียกช่วงการทำงานของมอสเฟตช่วงนี้ว่า ช่วง Linear Region หรือ Ohmic Region หรือ Triode Region

เมื่อ $V_D < (V_G - V_T)$ จะเกิดปรากฏการณ์อีกอย่างหนึ่งขึ้น พิจารณาจากรูปที่ 2.5 แสดงถึงค่าศักดาที่แปรเปลี่ยนไปภายในแชนแนล และปริมาณความเข้มข้นของประจุที่ Q_n ที่ค่อยๆ ลดลงเมื่อใกล้กับชาเดรน ถ้าที่ชาเดรนมีแรงดันเท่ากับ $V_D = V_G - V_T$ ทำให้แรงดันระหว่างเกต กับแชนแนลมีค่าไม่เพียงพอที่จะรักษาสภาพของแชนแนล Depletion Region จะแผ่ไปรอบๆ ชาซอส แชนแนล และชาเดรน ในบางที่อาจจะเรียกปรากฏการณ์นี้ว่า Pinch-off ในรูปที่ 2.5 จะเห็นจุด Pinch-off ซึ่งจะเคลื่อนที่ไปทางชาซอส เมื่อแรงดันที่ชาเดรนเพิ่มขึ้น ในขณะที่แชนแนลได้แผ่จากชาซอสไปถึงจุด Pinch-off ที่ใดที่หนึ่งได้ชาเกต ช่วงระหว่างจุด Pinch-off จะเป็น Depletion Region อิเล็กตรอนจากแชนแนล และถูกฉีดออกไปที่จุด Pinch-off ไปที่ Depletion Region และจะถูกดูดไปที่ชาเดรน โดยสนามไฟฟ้าที่เกิดจากความต่างศักย์ที่ชาเดรนกับจุด Pinch-off

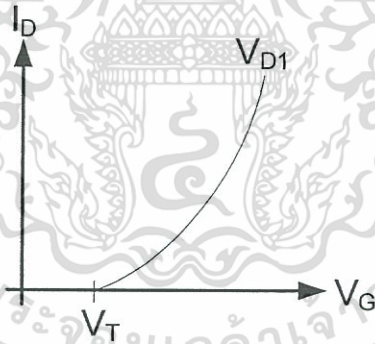


รูปที่ 2.5 มอสเฟตในกรณีอิ่มตัว (Saturation : Pinch-off)

โดยที่แรงดัน $V_{DS} = (V_D - V_S)$ จะถูกแบ่งเป็นสองส่วนคือที่แกนแนลระหว่างขาซอสกับจุด Pinch-off และที่ Depletion Region ระหว่างจุด Pinch-off กับขาเดรน ซึ่งจุดนี้จะมีค่าความต้านทานสูงกว่า และค่า V_{DS} ส่วนใหญ่จะอยู่ที่ส่วนนี้ และเมื่อเพิ่มค่า I_D ขึ้นไป ก็เป็นการประมาณค่าที่ใช้ได้ดี ผลที่ได้เมื่อแรงดันที่ Depletion Region เพิ่มขึ้น จะทำให้กระแส I_D เพิ่ม เมื่อ $V_D > (V_G - V_T)$ ดังสมการที่ (2.7)

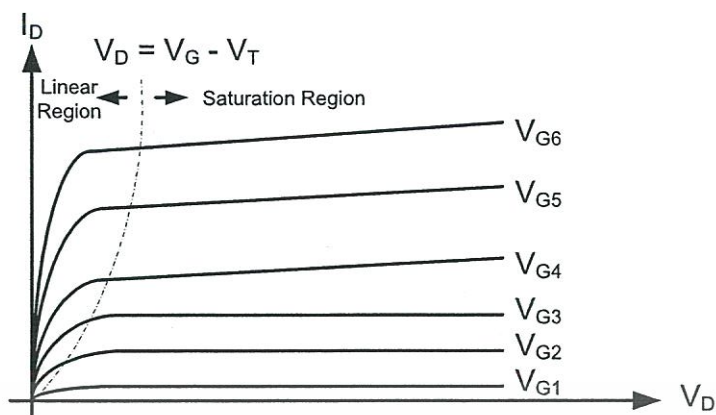
$$I_D(V_D) \approx I_{D_{SAT}} = I_D(V_{D_{SAT}}) \tag{2.7}$$

$$I_D = \frac{\mu_n C_{OX} W}{2 L} (V_G - V_T)^2 \tag{2.8}$$



รูปที่ 2.6 ความสัมพันธ์ของกระแสเดรนกับแรงดันที่ขาเกต

จากสมการที่ (2.8) เห็นได้ว่ากระแส I_D จะเพิ่มขึ้นเมื่อ L ลดลง มีผลกระทบอีกอย่างหนึ่งของค่า L ที่เกิดขึ้น เรียกว่า Channel Length Modulation โดยจะคูณสมการที่ (2.8) ด้วย $(1 + \lambda V_D)$ โดยที่ค่าของ λ จะเป็นค่าคงที่แปรผกผันกับค่า L โดยทั่วไป เช่น $L = 10\mu m$ ค่า λ มีค่าเท่ากับ $0.03 V^{-1}$ หรือ $\lambda \propto 1/L$



รูปที่ 2.7 ความสัมพันธ์ของกระแสเดรนและแรงดันขาคาเดรนกับขอส

ซึ่งความสัมพันธ์ของแรงดัน V_G กับกระแส I_D ในขณะที่แรงดันที่ขาคาเดรนคงที่และมอสเฟตทำงานในย่านอิ่มตัว สามารถเขียนเป็นกราฟได้ดังรูปที่ 2.6 และรูปที่ 2.7 แสดงความสัมพันธ์ระหว่างกระแสเดรน และแรงดันที่ขาคาเดรนกับขอส โดยเปลี่ยนค่า V_G โดยที่ $V_{G1} < V_{G2} < V_{G3} < V_{G4} \dots$

การทำงานของมอสเฟตเป็นลักษณะของการใช้แรงดันไฟฟ้าควบคุมปริมาณของกระแส สมการกระแสเดรนของมอสเฟต เป็นไปตามสมการที่ (2.9) ซึ่งแสดงคุณสมบัติการทำงานของมอสเฟต

$$I_D = K' \frac{W}{L} (V_{GS} - V_T - \frac{V_{DS}}{2}) V_{DS} \quad ; \quad V_{GS} > V_T \quad (2.9)$$

โดยที่

- K' = ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_o C_{ox}$
- μ_o = ค่าความคล่องของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
- C_{ox} = ค่าความจุต่อพื้นที่ของเกตออกไซด์ (Capacitance per Unit Area of the Gate Oxide)
- W = ความกว้างของแชนแนล (Channel Width)
- L = ความยาวของแชนแนล (Channel Length)
- V_{GS} = แรงดันระหว่างขาคาเดรนกับขอส
- V_T = แรงดันขีดเริ่ม (Threshold Voltage)
- V_{DS} = แรงดันระหว่างขาคาเดรนกับขอส
- I_D = กระแสเดรน

มอสเฟตมีการทำงานแบ่งเป็น 3 ช่วง โดยแต่ละช่วงการทำงาน ขึ้นอยู่กับค่า $V_{GS} - V_T$ และค่า V_{DS} ถ้าค่า $V_{GS} - V_T$ เป็นศูนย์ หรือเป็นค่าลบ มอสเฟตจะอยู่ในช่วงไม่นำกระแส (Cut-Off Region)

$$I_b = 0 \quad ; \quad |V_{GS}| - |V_T| < 0 \quad (2.10)$$

ในช่วงไม่นำกระแสนี้ ช่องนำกระแสจะทำตัวเหมือนวงจรเปิด ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $0 < |V_{DS}| < |V_{GS}| - |V_T|$ แล้วมอสเฟทจะอยู่ในช่วงของการนำกระแสไม่อิ่มตัว (Triode Region)

$$I_D = K' \frac{W}{L} (V_{GS} - V_T - \frac{V_{DS}}{2}) V_{DS} \quad (2.11)$$

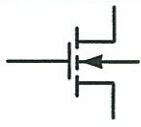
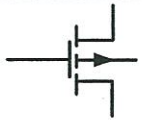
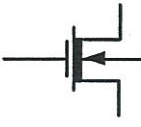
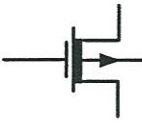




ถ้าค่า $|V_{GS}| - |V_T| > 0$ และ $|V_{DS}| > |V_{GS}| - |V_T|$ แล้วมอสเฟทจะทำงานอยู่ในช่วงของการกระแสอิ่มตัว (Saturation Region)

$$I_D = K' \frac{W}{2L} (V_{GS} - V_T)^2 \quad (2.12)$$

2.1.5 สัญลักษณ์ของมอสเฟท

สัญลักษณ์ของมอสเฟทสามารถบอกได้ว่าเป็น มอสเฟทชนิด N หรือ P โดยดูที่หัวลูกศรที่ขาซอส ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น PMOS แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น NMOS หรือดูที่ทิศทางของหัวลูกศรที่ขาบอดี (Body) หรือฐานรอง (Substrate) หรือบางทีอาจจะเรียกว่า Bulk โดยถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น NMOS แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น PMOS และสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสเฟทเป็นเอ็นฮานซ์เม้นท์มอส หรือ ดีพลีชันมอสอีกด้วย ดังรูปที่ 2.5

มอสเฟทแบ่งตามชนิดของการทำงานได้ 2 ชนิด คือ เอ็นฮานซ์เม้นท์มอส (Enhancement MOSFET) และ ดีพลีชันมอส (Depletion MOSFET) ซึ่งแต่ละชนิดจะแบ่งออกได้อีกเป็น N-Channel หรือ NMOS และ P-Channel หรือ PMOS ซึ่งโครงสร้างของ NMOS และ PMOS จะมีโครงสร้างตรงข้ามกัน

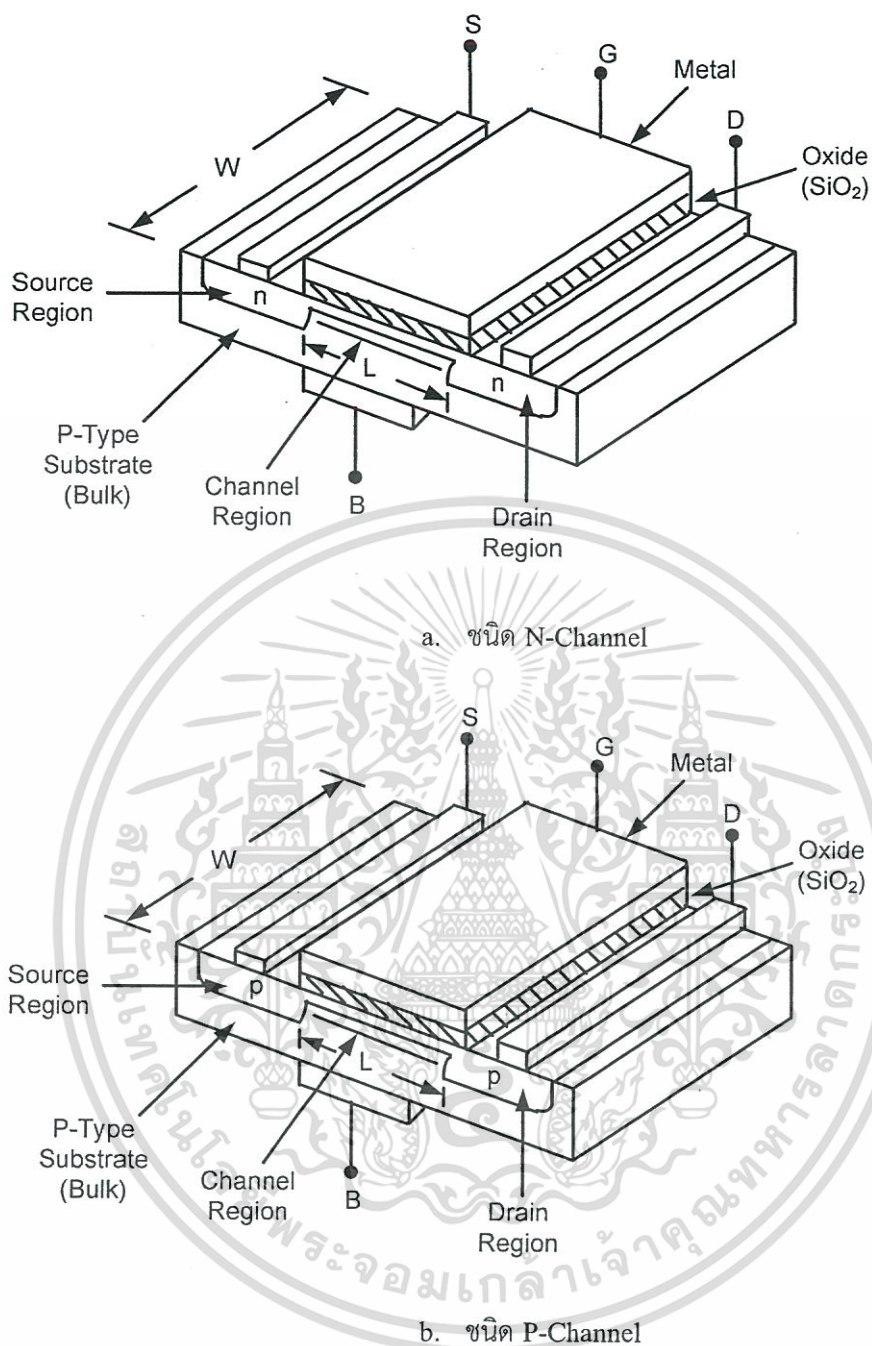
NMOS	PMOS	MODE
		Enhancement
(ก)	(ข)	
		Depletion
(ค)	(ง)	
		Enhancement
(จ)	(ฉ)	
		Depletion
(ช)	(ซ)	

รูปที่ 2.8 สัญลักษณ์ของมอสเฟตชนิดต่างๆ

2.1.6 ชนิดของมอสเฟต

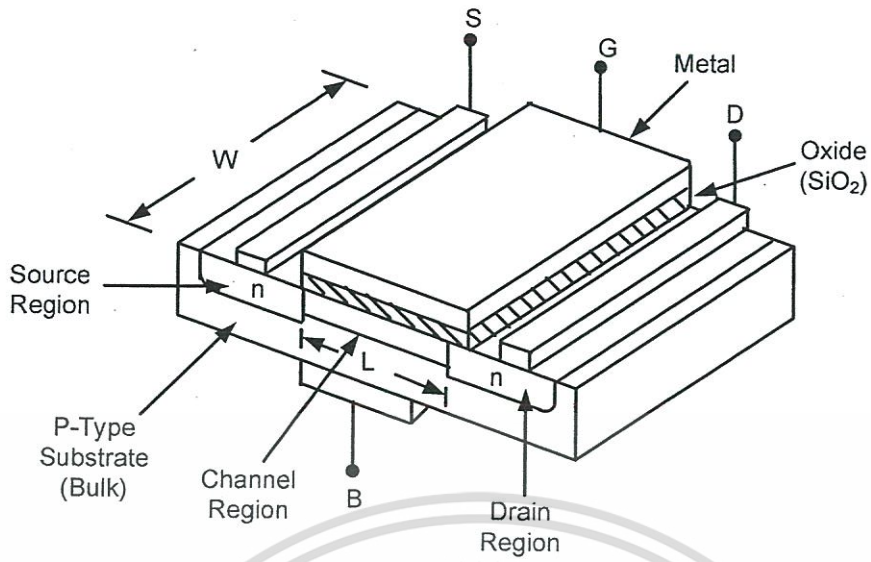
มอสเฟตแบ่งได้เป็น 2 ชนิด คือ เอ็นฮานซ์เมนต์มอสเฟต (Enhancement MOSFET) หรือ เรียกอีกอย่างหนึ่งว่า E-MOSFET และดีพลีชันมอสเฟต (Depletion MOSFET) หรือเรียกอีกอย่างหนึ่งว่า D-MOSFET ดังรูปที่ 2.6 และ 2.7 แสดงโครงสร้างของมอสเฟตชนิด N และ P ทั้ง 2 แบบตามลำดับ

จากรูปที่ 2.6 จะเห็นว่า โครงสร้างของ D-MOSFET จะคล้ายกับ E-MOSFET จะแตกต่างกันตรงที่ช่องระหว่างซอสและเดรนของ D-MOSFET จะมีการแพร่สารเอ็นอยู่ ดังนั้นจึงมีกระแสไหลระหว่างเดรนกับซอส เมื่อแรงดันที่เดรนเป็นบวก เมื่อเปรียบเทียบกับซอส และแรงดันระหว่างเกตกับซอสเป็นศูนย์ ($V_{GS} = 0$) เมื่อ V_{GS} มีค่าเป็นลบ กระแสเดรนจะลดลง ถ้า V_{GS} มีค่าเป็นบวก กระแสเดรนจะเพิ่มขึ้น ส่วนการทำงานของ E-MOSFET จะไม่มีกระแสไหลระหว่างเดรนกับซอส เมื่อแรงดันที่เดรนเป็นบวก เมื่อเทียบกับซอส และแรงดันระหว่างเกตกับซอส เป็นศูนย์ เมื่อ V_{GS} มีค่าเป็นบวก จะทำให้กระแสเดรนไหล และเมื่อ V_{GS} มีค่าเป็นบวกมากขึ้น จะทำให้กระแสเดรนไหลเพิ่มขึ้น ดังรูปที่ 2.8

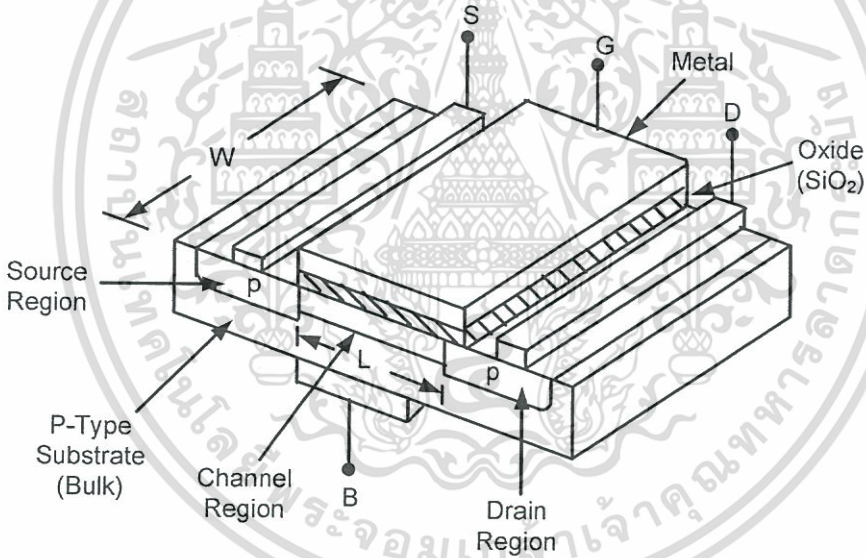


รูปที่ 2.9 โครงสร้างของมอสเฟตแบบ D-MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



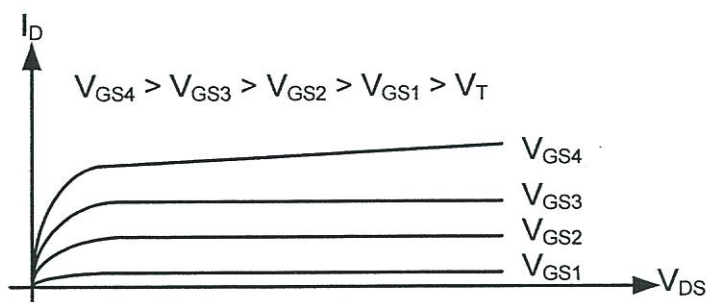
(ก) ชนิด N-Channel



(ข) ชนิด P-Channel

รูปที่ 2.10 โครงสร้างของมอสเฟตแบบ E-MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) E-MOSFET



(ข) D-MOSFET

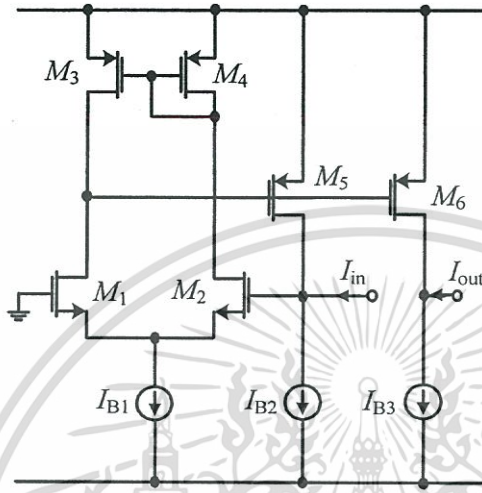
รูปที่ 2.11 กราฟแสดงความสัมพันธ์ระหว่าง I_D กับ V_{DS}

ในบทนี้กล่าวถึง กระบวนการประดิษฐ์สารกึ่งตัวนำแบบมอส อย่างพอสังเขป และการทำงานในย่านการทำงานแบบต่างๆ ซึ่งทำให้ทราบได้ว่าการทำงานในย่านต่างๆ เกิดขึ้นได้อย่างไร และมีสมการที่เกี่ยวข้องเพื่อช่วยในการคำนวณในวงจรต่างๆ ที่ประกอบขึ้นจากมอสเฟต ซึ่งมอสเฟตเป็นอุปกรณ์ทางอิเล็กทรอนิกส์ชนิดหนึ่งที่สามารถควบคุมปริมาณของกระแสเดรนได้ด้วยสนามไฟฟ้าที่เกิดขึ้นจากแรงดันที่ขาเกต สามารถแบ่งตามชนิดของมอสเฟตได้เป็น เอ็นฮานซ์มีนท่อมอสเฟต และดีพลีชันมอสเฟต ซึ่งแต่ละชนิดจะแบ่งออกเป็น NMOS และ PMOS ซึ่งการไบอัสจะมีลักษณะตรงกันข้ามกัน เมื่อพิจารณาจากสมการกระแสเดรนของมอสเฟตนั้นๆ จะแบ่งเป็น 3 ย่านการทำงาน ขึ้นอยู่กับค่าของ $(V_{GS} - V_T)$ ที่ป้อนเป็นอินพุตให้กับมอสเฟต โดยจะต้องมีค่ามากกว่าค่าแรงดันเทรชโฮลต์ (V_T) จึงจะสามารถควบคุมกระแสเอาท์พุทได้ แรงดันเทรชโฮลต์นั้นสามารถเปลี่ยนแปลงได้ด้วยแรงดันระหว่างขาซอส และฐานรอง (Substrate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ

วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ แสดงดังรูปที่ 2.13 โดยใช้ทรานซิสเตอร์จำนวน 6 ตัว แหล่งจ่ายกระแส 3 ชุด ค่าอัตราขยายทางกระแสของวงจรแสดงดังสมการที่ (2.13) และค่าอินพุตทางกระแสมีค่าอิมพีแดนซ์ต่ำแสดงดังสมการที่ (2.14) ตามลำดับ



รูปที่ 2.12 วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ

$$I_{out} = \alpha I_{in} \tag{2.13}$$

$$Z_{in} = \frac{(g_{ds1} + g_{ds3})(g_{ds2} + g_{m4} + g_{ds4})}{A} \tag{2.14}$$

เมื่อ
$$\alpha = \frac{g_{m2}g_{m3}g_{m6}}{A} \tag{2.15}$$

และ
$$A = (g_{ds1} + g_{ds3})[g_{ds5}(g_{ds2} + g_{m4} + g_{ds4})] + g_{m2}g_{m3}g_{m5}$$

เมื่อ g_{ds1} คือ ค่าทรานสคอนดักแตนซ์ระหว่างขาเดรน-ซอสของทรานซิสเตอร์ตัวที่ i_{th} ส่วน g_{msi} คือ ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ i_{th} และ α คือ Current Tracking Error เมื่อพิจารณาสมการที่ (2.14) และ (2.15) พบว่าอัตราขยายทางกระแสมีค่าประมาณ 1 ส่วนค่าอินพุตอิมพีแดนซ์จะมีค่าต่ำ เท่ากับ $g_{ds1} \ll g_{msi}$

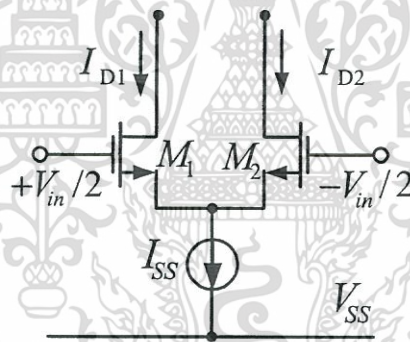
2.3 โครงสร้างและหลักการทำงานของวงจรรขยายความแตกต่าง (Different Amplifier)

วงจรรทรานสคอนดัคแตนซ์ (Transconductance Circuit) หรือเรียกอีกอย่างหนึ่งว่า วงจรเปลี่ยนแรงดันเป็นกระแส (Voltage-Current Circuit) ซึ่งเป็นวงจรรย่อยในหน่วยประมวลสัญญาณทางอนาล็อก (Analog Signal Processing Units) เช่น วงจรคูณสัญญาณ วงจรตรวจจับการต่างเฟสของสัญญาณ ฯลฯ และยังเป็นส่วนหน้าของวงจรรขยายสัญญาณต่างๆ ไป เช่น ออปแอมป์ วงจรรทรานสคอนดัคแตนซ์ที่ใช้งานกันอย่างแพร่หลายนั้นมีมากมายหลายแบบ เช่น วงจรคูตีฟเฟอร์เรนเชียล (Differential Pair) ซึ่งเป็นวงจรรคอนดัคแตนซ์แบบง่ายที่สุด และยังมีอีกมากมายหลายแบบ ซึ่งในวิทยานิพนธ์นี้จะเน้นหนักไปทางด้านของมอสทรานซิสเตอร์

2.3.1 วงจรรทรานสคอนดัคแตนซ์แบบคูตีฟเฟอร์เรนเชียล

วงจรรทรานสคอนดัคแตนซ์แบบพื้นฐานที่สุด เห็นจะเป็นวงจรรคูตีฟเฟอร์เรนเชียล ซึ่งมีทรานซิสเตอร์ 2 ตัว ต่อเป็นวงจรรคูตีฟเฟอร์เรนเชียลแอมพลิฟายเออร์ หรือเรียกสั้นๆ ว่าดิฟแอมป์ (Diff. amp.) เป็นวงจรรชั้นพื้นฐานที่สำคัญมากวงจรรหนึ่ง

วงจรรนี้มีทั้งข้อดีและข้อเสีย กล่าวคือ เป็นวงจรรที่มีโครงสร้างที่ง่าย และมีหลักการทำงานที่ง่าย แต่มีความเป็นเชิงเส้นต่ำ โดยจะพิจารณาได้ดังรูปที่ 2.13 โดยวงจรรจัดรูปจะแสดงโดยใช้ทรานซิสเตอร์แบบซีมอส โดยที่ M_1 และ M_2 เป็นวงจรรคูตีฟเฟอร์เรนเชียล, I_{SS} คือ แหล่งจ่ายกระแสคงที่



รูปที่ 2.13 วงจรรคูตีฟเฟอร์เรนเชียล

2.3.2 วงจรรดิฟแอมป์ในกรณีที่มีสัญญาณเข้ามีระดับสูง (Large-Signal)

ในกรณีที่วงจรรดิฟแอมป์มีสัญญาณเข้าในระดับสูงนั้น ทรานซิสเตอร์ M_1 และ M_2 ได้ต่อกันแบบคูตีฟเฟอร์เรนเชียล ซึ่งจะทำงานในย่านอิ่มตัว (Saturation Region) โดยจะไม่พิจารณาในส่วนของ Channel Modulation และทรานซิสเตอร์ทั้ง 2 ตัว สมมุติว่าผลิตขึ้นมาพร้อมๆ กัน ทำให้ค่าพารามิเตอร์ภายในเท่ากัน ทุกประการ จากคุณสมบัติเหล่านี้ สามารถเขียนเป็นสมการแรงดันอินพุทในเทอมของกระแสเดรนได้เป็น

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \quad (2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{ID} = V_{GS1} - V_{GS2} = \left(\frac{2I_{D1}}{\beta_1} \right)^{1/2} - \left(\frac{2I_{D2}}{\beta_2} \right)^{1/2} \quad (2.15)$$

$$I_{SS} = I_{D1} + I_{D2} \quad (2.16)$$

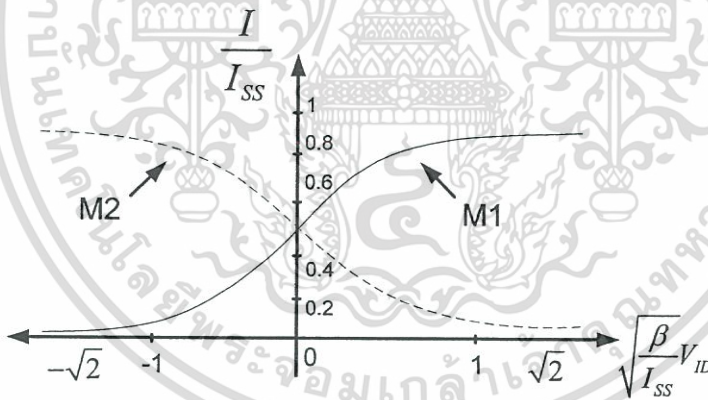
โดยที่ $\beta = K'(W/L)$ และ $\beta_1 = \beta_2 = \beta$ และแทนสมการที่ (2.16) ในสมการที่ (2.15) จะได้สมการ I_{D1} และ I_{D2} ในรูปสมการกำลังสอง (Quadratic) ได้เป็น

$$I_{D1} = \frac{I_{SS}}{2} + \frac{I_{SS}}{2} \left[\frac{\beta V_{ID}^2}{I_{SS}} - \frac{\beta^2 V_{ID}^4}{4I_{SS}^2} \right]^{1/2} \quad (2.17)$$

$$I_{D2} = \frac{I_{SS}}{2} - \frac{I_{SS}}{2} \left[\frac{\beta V_{ID}^2}{I_{SS}} - \frac{\beta^2 V_{ID}^4}{4I_{SS}^2} \right]^{1/2} \quad (2.18)$$

จากสมการที่ (2.17) และ (2.18) สามารถนำมาเขียนกราฟแสดงความสัมพันธ์ระหว่าง การ Normalized กระแสเดรน กับ การ Normalized ความแตกต่างแรงดันอินพุต ได้ดังรูปที่ 2.14

จากสมการที่ (2.17) ค่าของสมการ Differential Amplifier ของรูปที่ 2.13 นั้น I_{D1} จะอยู่ในเทอมของ V_{ID} โดยดิฟเฟอเรนเชียล ค่าของ I_{D1} เทียบกับค่าของ V_{ID} ขณะที่เรากำหนดให้ค่าความนิ่ง (Quiescent Value) ของ V_{ID} มีค่าเท่ากับ 0 จะได้ค่า ดิฟเฟอเรนเชียลทรานสคอนดักแตนซ์ ของรูปที่ 2.14 เป็นดังสมการที่ (2.19)



รูปที่ 2.14 กราฟแสดงความสัมพันธ์ระหว่างแรงดันอินพุตกับผลต่างของกระแส

$$g_m = \left. \frac{\partial I_{D1}}{\partial V_{ID}} \right|_{V_{ID}=0} = \left(\frac{\beta_1 I_{SS}}{4} \right)^{1/2} = \left(\frac{K' I_{SS} W_1}{4L_1} \right)^{1/2} \quad (2.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.19) ค่าทรานส์คอนดักแตนซ์ที่ได้นั้นจะเป็นค่า Single-end Output Transconductance ซึ่งอยู่ในรูปที่ 2.14 สามารถที่จะหาค่าสมการที่จะบอกเป็นค่า Differential Transconductance (g_{md}) ได้จากคุณสมบัตินี้

$$I_{OD} = I_{D1} - I_{D2} \quad (2.20)$$

และในกรณีเดียวกัน จึงสามารถเขียนสมการ g_{md} ได้เป็น

$$g_{md} = \left. \frac{\partial I_{OD}}{\partial V_{ID}} \right|_{V_{ID}=0} = \left(\frac{K' I_{SS} W_1}{L_1} \right)^{1/2} \quad (2.21)$$

2.4 วงจรสะท้อนกระแสแบบมอส (Current mirror)

วงจรสะท้อนกระแสเป็นวงจรที่สำคัญวงจรหนึ่งสำหรับการออกแบบวงจรประเภทอนาล็อกที่ออกแบบโดยใช้หลักการของวงจรรวม วงจรสะท้อนกระแสที่นิยมใช้งานจะมีอยู่ประมาณ 4 วงจร แต่อย่างไรก็ตามที่ผ่านมา วงจรสะท้อนกระแสยังได้รับการพัฒนาและเผยแพร่อย่างต่อเนื่องจนถึงปัจจุบัน

แต่ในบทนี้จะขอกล่าวถึงเพียง 4 แบบเท่านั้นคือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบคาสโคด วงจรสะท้อนกระแสแบบ Wilson และวงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

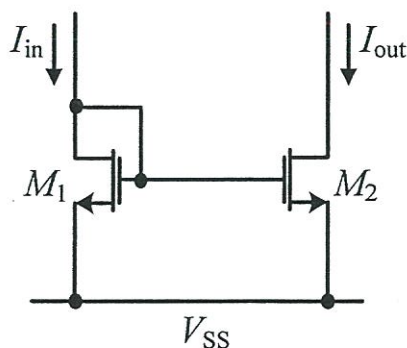
2.4.1 วงจรสะท้อนกระแสแบบพื้นฐาน

วงจรสะท้อนกระแสอย่างง่ายแสดงได้ดังรูปที่ 2.15 วงจรสะท้อนกระแสแบบพื้นฐานจะใช้ทรานซิสเตอร์เพียงสองตัวเท่านั้น ความสัมพันธ์ระหว่างกระแส I_{out} และกระแส I_{in} สามารถแสดงได้คือ

$$I_{out} = \frac{g_{m2}}{g_{m1}} I_{in} \quad (2.22)$$

โดย g_{m1} และ g_{m2} คือค่าทรานส์คอนดักแตนซ์ของมอสทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ ค่าความต้านทานทางเอาต์พุตของวงจรสามารถกำหนดได้คือ

$$r_{out} = \frac{1}{g_{ds2}} \quad (2.23)$$



รูปที่ 2.15 วงจรสะท้อนกระแสแบบพื้นฐานสร้างจากมอสทรานซิสเตอร์

เมื่อ g_{ds2} คือค่าความนำระหว่างขาเดรนและขาซอร์สของทรานซิสเตอร์ M_2 จากสมการที่ (2.23) จะเห็นว่าความต้านทานทางเอาต์พุตของวงจรในรูปที่ 2.15 จะขึ้นอยู่กับค่าความนำทางเอาต์พุต (g_{ds2}) ของ M_2 ซึ่งค่าความต้านทานทางเอาต์พุตในทางอุดมคติควรจะมีค่าเข้าใกล้อนันต์ ดังนั้นจึงได้มีการพัฒนาวงจรสะท้อนกระแสในแบบต่างๆ เพื่อเพิ่มเติมค่าความต้านทานทางเอาต์พุตซึ่งจะมีผลที่ดีต่ออาร์สะท้อนกระแสของวงจรด้วย

2.4.2 วงจรสะท้อนกระแสแบบคาสโคด

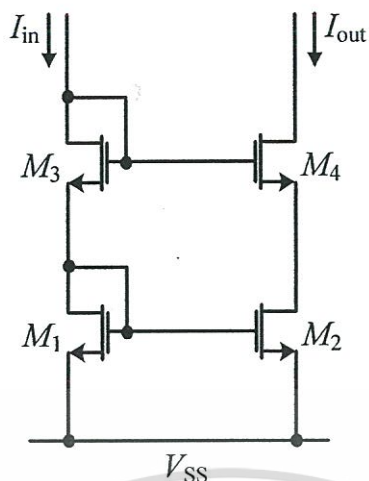
วงจรสะท้อนกระแสแบบคาสโคดสามารถแสดงได้ดังรูปที่ 2.16 วงจรนี้จะใช้ทรานซิสเตอร์ 4 ตัว ซึ่งจะเห็นได้ว่าวงจรสะท้อนกระแสแบบคาสโคดจะใช้วงจรสะท้อนกระแสแบบพื้นฐานสองวงจรต่อกันขึ้นไป ความสัมพันธ์ระหว่างกระแส I_{out} และกระแส I_{in} สามารถหาได้คือ

$$I_{out} = \frac{g_{m2}g_{m3}}{g_{m1}g_{m4}} I_{in} \quad (2.24)$$

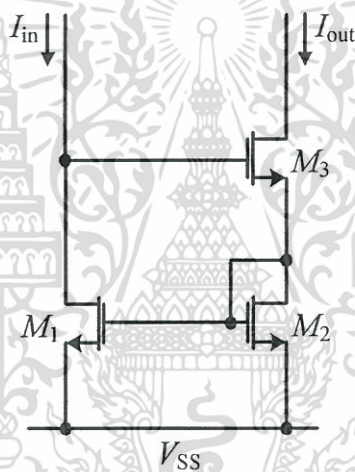
เมื่อพิจารณาวงจรในรูปที่ 2.16 ในวงจรเสมือนสัญญาณขนาดเล็ก ค่าความต้านทานทางเอาต์พุตเมื่อพิจารณาที่ขาเดรนของทรานซิสเตอร์ M_4 จะมีค่าเท่ากับ

$$r_{out} = r_{ds2} + r_{ds3} + r_{ds2}r_{ds3}g_{m3} \approx r_{ds2}r_{ds3}g_{m3} \quad (2.25)$$

เมื่อ r_{ds2} และ r_{ds3} คือค่าความนำระหว่างขาเดรนและซอร์สของมอสทรานซิสเตอร์ M_2 และ M_3 วงจรสะท้อนกระแสแบบคาสโคดจะมีความต้านทานทางเอาต์พุตเพิ่มมากขึ้น ซึ่งจะส่งผลทำให้คุณสมบัติการสะท้อนของสัญญาณกระแสดีขึ้น ซึ่งคุณสมบัติในทางอุดมคติเราจะต้องการความต้านทานทางเอาต์พุตเข้าใกล้อนันต์ ขณะเดียวกันความต้านทานทางอินพุตต้องเข้าใกล้ศูนย์



รูปที่ 2.16 วงจรสะท้อนกระแสแบบคาสโคด



รูปที่ 2.17 วงจรสะท้อนกระแสแบบ Wilson

จากวงจรจะเห็นว่าเมื่อความต้านทานทางเอาต์พุตสูงขึ้นความต้านทานทางอินพุตก็จะเพิ่มขึ้นด้วย ดังนั้นจึงได้หาวิธีลดความต้านทานทางอินพุตนี้

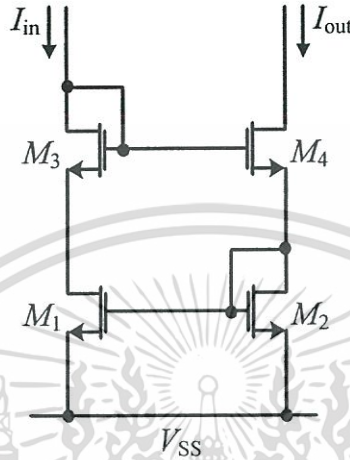
2.4.3 วงจรสะท้อนกระแสแบบ Wilson

รูปที่ 2.17 แสดงวงจรสะท้อนกระแสแบบ Wilson ที่สร้างด้วยมอสทรานซิสเตอร์ จากวงจรในรูปที่ 2.17 ความสัมพันธ์ระหว่างกระแส I_{in} และกระแส I_{out} สามารถกำหนดได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{out} = \frac{g_{m2}}{g_{m1}} I_{in} \quad (2.26)$$

จากสมการที่ (2.26) จะเห็นว่าความสัมพันธ์ระหว่างกระแสอินพุตและกระแสเอาต์พุตจะเหมือนกับวงจรสะท้อนกระแสแบบพื้นฐาน ส่วนค่าความต้านทานทางเอาต์พุตหาได้คือ



รูปที่ 2.18 วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

$$r_{out} = r_{ds2} + r_{ds3} + \left(\frac{1 + g_{m3}r_{ds3} + g_{m1}g_{m3}r_{ds1}r_{ds3}}{1 + g_{m2}r_{ds2}} \right) \quad (2.27)$$

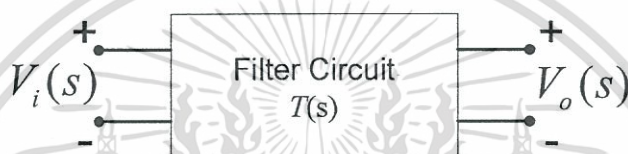
วงจรสะท้อนกระแสแบบ Wilson คือวงจรที่พัฒนาเพื่อลดความต้านทานทางอินพุตให้น้อยลง ในขณะที่เดียวกันจะยังคงให้มีความต้านทานทางเอาต์พุตที่สูงเช่นเดียวกับวงจรสะท้อนกระแสแบบคลาสสิกเอาไว้ ดังนั้นวงจรนี้จึงได้รับความนิยมค่อนข้างมาก

2.4.4 วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง

วงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุงจะเป็นวงจรที่มีเสถียรภาพทางด้านการสะท้อนกระแส ดีกว่าวงจรสะท้อนกระแสแบบ Wilson ธรรมดา แต่คุณสมบัติต่างๆ เช่น ความสัมพันธ์ระหว่างอินพุตและเอาต์พุต สามารถหาได้เหมือนสมการที่ (2.27) ค่าความต้านทานทางเอาต์พุตสามารถหาได้เหมือนสมการที่ (2.27)

2.5 วงจรตัวกรองความถี่ (Filter)

ในบทนี้เราจะกล่าวถึงวงจรที่มีสำคัญมากวงจรมุ่งที่ใช้งานในระบบสื่อสารในปัจจุบัน ซึ่งก็คือวงจรกรองความถี่ (Filter) วงจรกรองความถี่แบบอนาล็อกได้มีการพัฒนาทั้งทางเทคนิคและการสร้างมาอย่างต่อเนื่องนับจากอดีต ซึ่งปัจจัยหลักที่ต้องการก็คือ คุณภาพการใช้งานที่สูง และราคาต่ำ โดยวงจรกรองความถี่ส่วนมากจะสร้างจากออปแอม (Operational Amplifier) แต่ข้อจำกัดคือไม่สามารถทำงานได้ในย่านความถี่สูงได้ ภายหลังจึงมีการคิดค้น สร้างวงจรกรองความถี่ด้วยอุปกรณ์ที่เรียกว่า โอทีเอ (Operational Transconductance Amplifier : OTA) ซึ่งสามารถทำให้วงจรกรองความถี่ทำงานได้ในความถี่สูงได้ เกนเป็นตัวแปรสำคัญที่ใช้ในวงจรกรองความถี่ ซึ่งตัวที่จะกำหนดค่าเกนของวงจรกรองความถี่นั้นๆ ก็คือ ออปแอมหรือโอทีเอนั่นเอง ซึ่งในการเลือกอุปกรณ์มาใช้ในการสร้างวงจรกรองความถี่ ไม่ควรมีอุปกรณ์พาสซีฟ (Passive Component) หรือควรมีให้น้อยที่สุด เพื่อเพิ่มความยืดหยุ่นในการทำงานของวงจรตัวกรองความถี่



รูปที่ 2.19 วงจรตัวกรองความถี่ในรูปของ Two-Port Network

จากรูปที่ 2.19 จะได้ตั้งสมการที่ (2.28)

$$T(s) \equiv \frac{V_o(s)}{V_i(s)} \quad (2.28)$$

ให้ค่า $s = j\omega$ จะสามารถเขียนสมการให้อยู่ในรูป magnitude-phase ได้เป็น

$$T(j\omega) = |T(j\omega)| e^{j\phi(\omega)} \quad (2.29)$$

เมื่อแปลงสมการให้อยู่ในรูปของค่าเกนที่มีหน่วยเป็นเดซิเบล (dB) จะได้

$$T(j\omega) = 20 \log |T(j\omega)| e^{j\phi(\omega)} \text{ dB} \quad (2.30)$$

เมื่อนำสัญญาณอินพุตมาผ่านวงจรตัวกรองความถี่จะได้เป็น

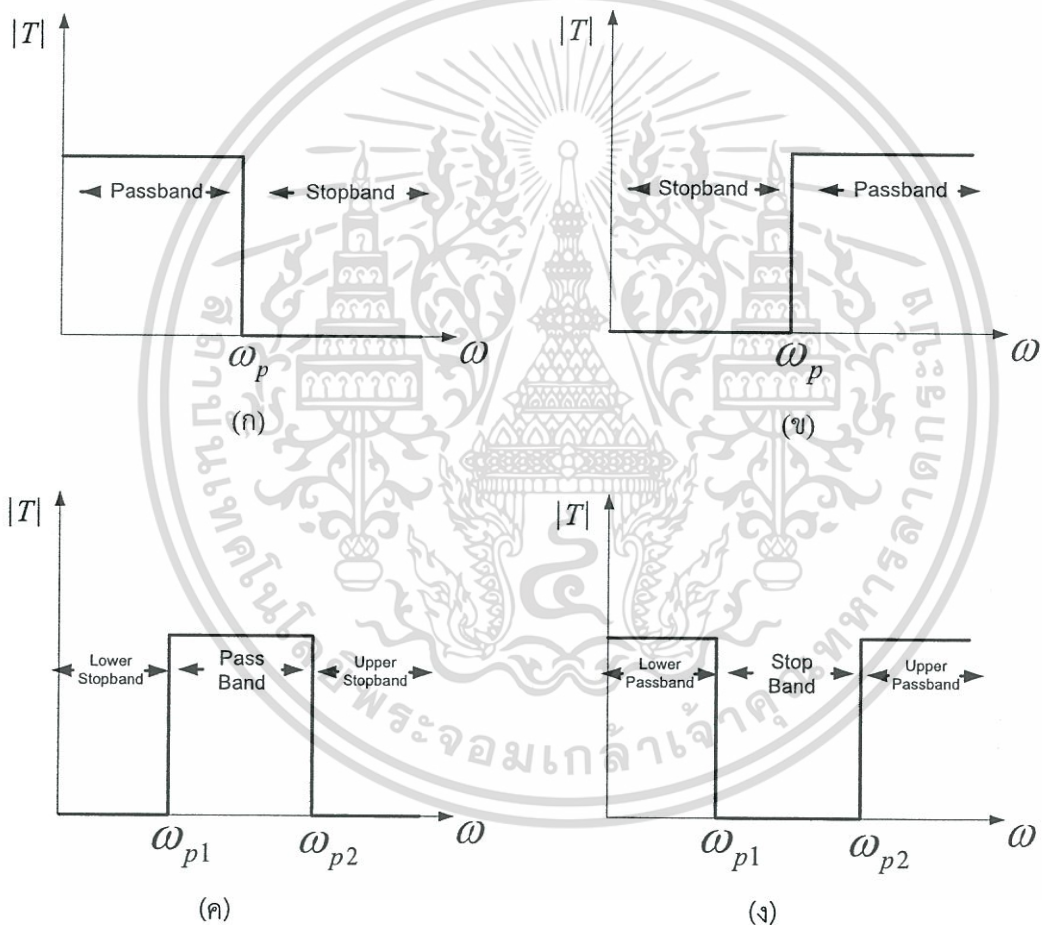
$$|V_o(j\omega)| = |T(j\omega)| |V_i(j\omega)| \quad (2.31)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติของวงจรตัวกรองความถี่ ค่าความถี่สัญญาณเอาต์พุตจะต้องอยู่ในช่วงที่กำหนดไว้ในวงจรตัวกรองความถี่ ส่วนค่าความถี่ที่เหลือจะต้องถูกกีดสัญญาณ ซึ่งย่านความถี่ที่สามารถผ่านวงจรตัวกรองความถี่ไปได้ เราเรียกว่า Pass Band ส่วนย่านความถี่สัญญาณที่ถูกกีดเราจะเรียกว่า Stop Band โดยเราจะแบ่งประเภทของวงจรตัวกรองความถี่ได้เป็น 4 ประเภทหลักๆ คือ

1. ตัวกรองความถี่ต่ำผ่าน (Low Pass Filter)
2. ตัวกรองความถี่สูงผ่าน (High Pass Filter)
3. ตัวกรองความถี่ต้องการผ่าน (Band Pass Filter)
4. ตัวกรองความถี่ต้องการออก (Band Reject Filter)

ซึ่งวงจรตัวกรองความถี่แต่ละประเภท มีลักษณะการทำงานที่แตกต่างกันออกไป ดังแสดงในรูปที่ 2.20



รูปที่ 2.20 คุณสมบัติของตัวกรองความถี่ในอุดมคติทั้ง 4 ประเภท

(ก) ตัวกรองความถี่ต่ำผ่าน

(ข) ตัวกรองความถี่สูงผ่าน

(ค) ตัวกรองความถี่ต้องการผ่าน

(ง) ตัวกรองความถี่ต้องการออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 สมการการส่งผ่าน

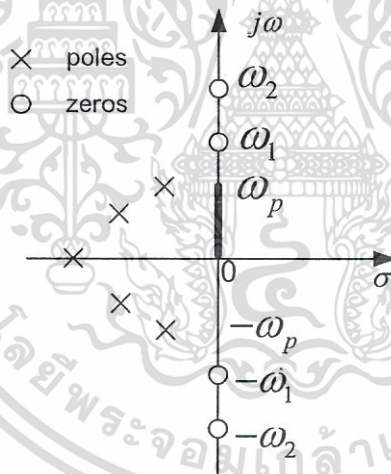
สมการการส่งผ่านของวงจรกรองความถี่ สามารถเขียนให้อยู่ในรูปของสมการพหุนาม (Polynomials) ได้ดังสมการที่ (2.32)

$$T(s) = \frac{a_M s^M + a_{M-1} s^{M-1} + \dots + a_0}{s^N + b_{N-1} s^{N-1} + \dots + b_0} \quad (2.32)$$

โดยที่ N จะเป็นตัวกำหนดลำดับของตัวกรองความถี่ (Filter Order) และค่าของ M จะน้อยกว่าหรือเท่ากับค่า N จากสมการที่ (2.32) เราสามารถแยกตัวประกอบได้เป็น

$$T(s) = \frac{a_M (s - z_1)(s - z_2) \dots (s - z_M)}{(s - p_1)(s - p_2) \dots (s - p_N)} \quad (2.33)$$

เราจะเรียกค่า z_1, z_2, \dots, z_M ว่าค่าซีโร่ (Zero) และเรียกค่า p_1, p_2, \dots, p_N ว่าค่าโพล (Pole) โดยที่ค่าโพลและซีโร่ สามารถเป็นได้ทั้งจำนวนเต็มและจำนวนจินตภาพ แต่จะอยู่ในรูปของคู่คอนจูเกต (Conjugate) ตัวอย่างเช่น $1 + 2j$ เป็นซีโร่ของสมการการส่งผ่าน ค่า $1 - 2j$ ซึ่งเป็นคู่คอนจูเกต ก็จะเป็นซีโร่ของสมการการส่งผ่านเช่นเดียวกัน ดังตัวอย่าง



รูปที่ 2.21 รูปแบบ Pole และ Zero ของวงจรกรองความถี่ต่ำผ่านลำดับที่ 5

จากรูปที่ 2.21 จะเห็นได้ว่า ในย่านความถี่ Stop Band ค่าซีโร่จะอยู่บนแกน $j\omega$ เสมอ จะได้ค่าเศษของสมการที่ (10) เป็น $(s + j\omega_1)(s - j\omega_1)(s + j\omega_2)(s - j\omega_2)$ ซึ่งอาจเขียนให้อยู่ในรูป $(s^2 + \omega_1^2)(s^2 + \omega_2^2)$ และเมื่อแทนค่า $s = j\omega$ จะได้เป็น $(-\omega^2 + \omega_1^2)(-\omega^2 + \omega_2^2)$ ส่วนค่าโพล จะสังเกตได้ว่าจะอยู่ทางซ้ายของ s -plane เสมอ ซึ่งหมายถึงค่าโพลจะมีค่าเป็นจำนวนจริงติดลบเสมอ นั่นเอง จากนั้นทำค่าที่ได้มาแทนในสมการที่ (2.33) จะได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

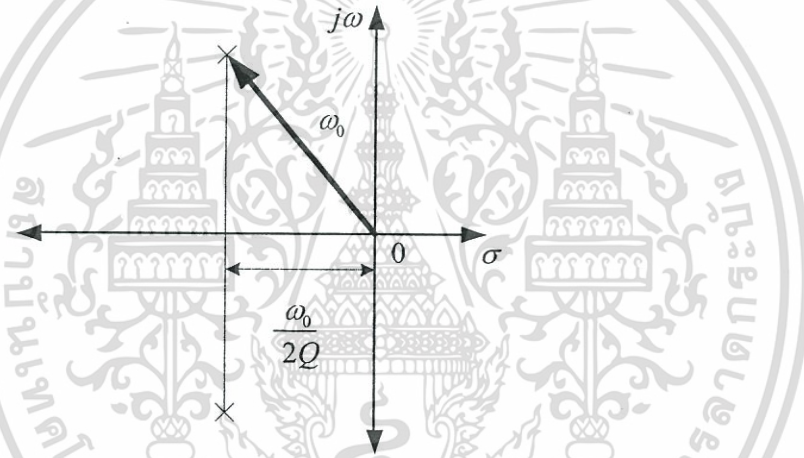
$$T(s) = \frac{a_4(s^2 + \omega_1^2)(s^2 + \omega_2^2)}{s^2 + b_4s^4 + b_3s^3 + b_2s^2 + b_1s^1 + b_0} \quad (2.34)$$

2.5.2 ฟังก์ชันตัวกรองความถี่ลำดับที่ 2 (Second-Order Filter Function)

รูปแบบทั่วไปของฟังก์ชันตัวกรองความถี่ลำดับที่ 2 ในรูปของสมการไบควอดเรติก เป็นดังสมการ

$$T(s) = \frac{a_2s^2 + a_1s^1 + a_0}{s^2 + s\left(\frac{\omega_0}{Q}\right) + \omega_0^2} \quad (2.35)$$

ได้
$$p_1, p_2 = -\frac{\omega_0}{2Q} \pm j\omega_0\sqrt{1 - (1/4Q^2)} \quad (2.36)$$



รูปที่ 2.22 ค่าโพลของตัวกรองความถี่ลำดับที่ 2

ส่วนค่าที่จะเป็นตัวบอกว่าเป็นตัวกรองความถี่ประเภทใด คือค่าสัมประสิทธิ์ a_0 , a_1 และ a_2 ซึ่งตัวกรองความถี่แต่ละชนิด จะมีสมการการส่งผ่านที่แตกต่างกันไป ดังสมการ

$$T_{BR} = \frac{s^2 + \omega^2}{s^2 + s\frac{\omega}{Q} + \omega^2} \quad (2.37)$$

$$T_{BP} = \frac{s\frac{\omega}{Q}}{s^2 + s\frac{\omega}{Q} + \omega^2} \quad (2.38)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_{LP} = \frac{\omega^2}{s^2 + s \frac{\omega}{Q} + \omega^2} \quad (2.39)$$

และ

$$T_{HP} = \frac{s^2}{s^2 + s \frac{\omega}{Q} + \omega^2} \quad (2.40)$$

ตัวกรองความถี่สามารถทำงานได้ทั้งในโหมดแรงดันและในโหมดกระแส โดยเอาท์พุทที่ออกมาจะเป็นแรงดันและกระแสตามลำดับ โดยในงานวิจัยนี้เลือกเอาตัวกรองความถี่ที่ทำงานในโหมดกระแสมาใช้ เนื่องจากไม่ supply จะมีค่าน้อยหรือมาก ก็จะไม่ผลต่อกระแสเอาท์พุทเลย ซึ่งต่างจากตัวกรองความถี่ที่ทำงานในโหมดแรงดันที่แรงดันเอาท์พุทจะแกว่งได้สูงสุดตาม supply และข้อดีอีกหนึ่งของการทำงานในโหมดกระแสคือ โหลดของวงจรมีผลต่อกระแสเอาท์พุทน้อย

2.6 ค่าความไวต่อวงจร (Sensitivity)

วิธีหนึ่งที่ใช้ในการบอกว่าตัวกรองที่ออกแบบมานั้น มีประสิทธิภาพดีหรือไม่นั้นก็คืออุปกรณ์ (Components) ที่ใช้ในวงจร ซึ่งอุปกรณ์ที่ใช้ในตัวกรองนั้น โดยปกติแล้วจะมีความผิดพลาดเปลี่ยนแปลงตามองค์ประกอบต่างๆ เช่น อุณหภูมิ ความชื้น หรือความผิดพลาดของอุปกรณ์เอง ซึ่งการออกแบบนั้น ถ้าต้องการให้วงจรมีประสิทธิภาพสูง องค์ประกอบของวงจรจะต้องไม่เปลี่ยนแปลงเลย แต่ในทางปฏิบัติไม่เป็นเช่นนั้น จะเกิดความเปลี่ยนแปลงเสมอ ซึ่งเรามีความจำเป็นต้องรู้ถึงค่าความเปลี่ยนแปลงที่มีผลต่อวงจร ซึ่งเราจะเรียกวิธีนี้ว่าการวิเคราะห์ค่าความไว ซึ่งถ้าใช้การออกแบบที่ดีแล้วจะสามารถประหยัวงจรได้มากที่สุดทีเดียว เนื่องจากไม่จำเป็นต้องใช้อุปกรณ์ที่แพงเกินความจำเป็นนั่นเอง

2.6.1 ความไวของ ω และ Q

ความไวของโครงข่าย เป็นการวัดค่าความเปลี่ยนแปลงของประสิทธิภาพของโครงข่าย เนื่องมาจากการเปลี่ยนแปลงของตัวอุปกรณ์ในโครงข่าย ตัวกรองชนิดฟังก์ชันโบควอเดรติกสามารถเขียนให้อยู่ในรูปมาตรฐานได้ดังนี้

$$T(s) = k \frac{s^2 + \frac{\omega_z}{Q_z} s + \omega_z^2}{s^2 + \frac{\omega_p}{Q_p} s + \omega_p^2} \quad (2.41)$$

ความไวตัวแรกที่เราจะพิจารณา คือ ความไวของความถี่โพล ω_p เปลี่ยนไป เมื่อค่าความต้านทาน R เปลี่ยนไป โดยความเปลี่ยนแปลงของความถี่โพลต่อหน่วย $\frac{\Delta\omega_p}{\omega_p}$ ต่อการเปลี่ยนแปลงต่อหน่วย $\frac{\Delta R}{R}$ ในรูปคณิตศาสตร์เขียนได้เป็น

$$S_R^{\omega_p} = \lim_{\Delta R \rightarrow 0} \frac{\frac{\Delta \omega_p}{\omega_p}}{\frac{\Delta R}{R}} \quad (2.42)$$

$$= \frac{R}{\omega_p} \frac{\partial \omega_p}{\partial R} \quad (2.43)$$

ซึ่งมีความหมายเดียวกันกับ

$$S_R^{\omega_p} = \frac{\partial(\ln \omega_p)}{\partial(\ln R)} \quad (2.44)$$

เมื่อทราบดีแล้วว่าราคาของการผลิตอุปกรณ์ขึ้นอยู่กับเปอร์เซ็นต์ (%) ของความผิดพลาดเปลี่ยนแปลง $100 \times \frac{\Delta R}{R}$ ซึ่งเราก็สามารถหาได้จากสมการที่ (2.42) ส่วนในกรณีของความไวของตัวแปรอื่น เช่น ω_x , Q_p , Q_x และ k ต่ออุปกรณ์อื่นๆ ของโครงข่ายก็คิดโดยวิธีเดียวกันเช่น

$$S_c^{\omega_p} = \frac{c}{\omega_p} \frac{\partial \omega_p}{\partial c} \quad S_R^{Q_p} = \frac{R}{\omega_p} \frac{\partial Q_p}{\partial R} \quad S_R^k = \frac{R}{k} \frac{\partial k}{\partial R} \quad (2.45)$$

ดังนั้นจากสมการที่ (2.44) เราจึงสามารถสรุปเป็นสมการที่เป็นมาตรฐาน โดยใช้ตัวแปรความไว p ต่ออุปกรณ์ x ได้เป็น

$$S_x^p = \frac{x}{p} \frac{\partial p}{\partial x} = \frac{\partial(\ln p)}{\partial(\ln x)} \quad (2.46)$$

ถ้า p ไม่เป็นฟังก์ชันของ x (เช่น $p = \text{ค่าคงที่}$) ดังนั้น

$$S_x^p = 0 \quad (2.47)$$

ถ้า $p = cx$ โดยที่ c เป็นค่าคงที่

$$S_x^{cx} = \frac{\partial(\ln cx)}{\partial(\ln x)} = \frac{\partial(\ln c)}{\partial(\ln x)} + \frac{\partial(\ln x)}{\partial(\ln x)} = 1 \quad (2.48)$$

และความสัมพันธ์อื่นๆ ที่ควรรู้เช่น

$$S_x^p = -S_x^{1/p} \quad (2.49)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งถ้าพิจารณาจากสมการที่ (2.46) ก็พิจารณาได้เช่นกัน คือ

$$-S_x^{1/p} = -\frac{\partial(\ln 1/p)}{\partial(\ln x)} = -\frac{\partial(-\ln p)}{\partial(\ln x)} = S_x^p \quad (2.50)$$

และในลักษณะเดียวกัน

$$S_x^p = -S_{1/x}^p$$

ความสัมพันธ์อื่นๆ อีกที่น่าสนใจ และพิสูจน์ได้เช่น

$$S_x^{p_1 p_2} = S_x^{p_1} + S_x^{p_2} \quad (2.51 ก)$$

$$S_x^{p_1/p_2} = S_x^{p_1} - S_x^{p_2} \quad (2.51 ข)$$

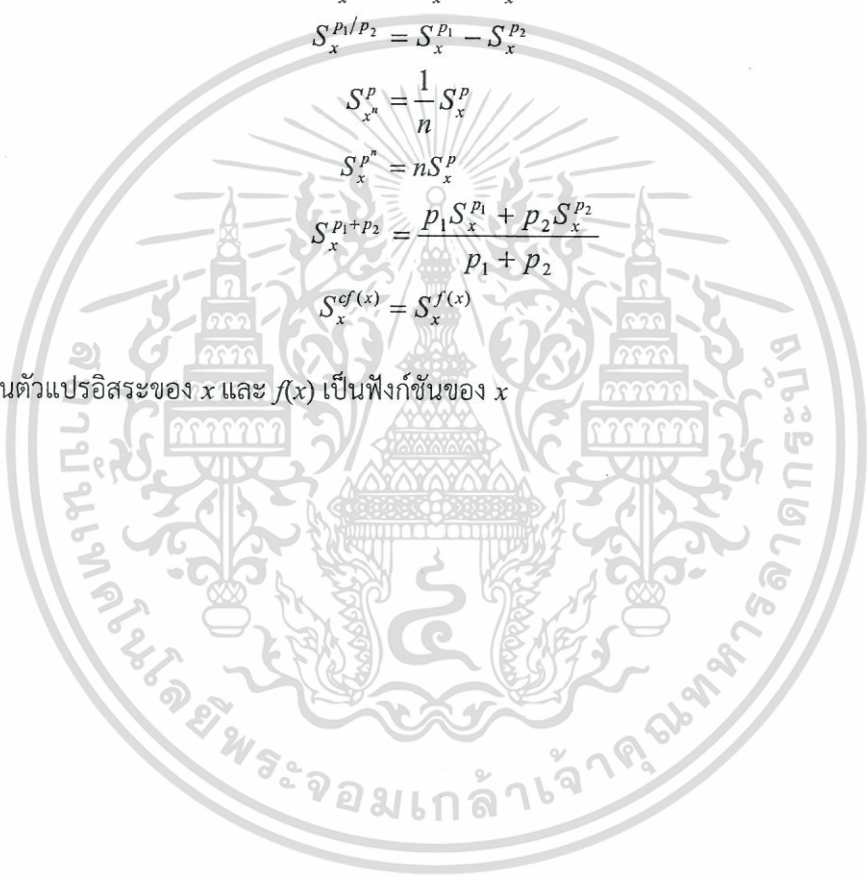
$$S_{x^n}^p = \frac{1}{n} S_x^p \quad (2.51 ค)$$

$$S_x^{p^n} = n S_x^p \quad (2.51 ง)$$

$$S_x^{p_1+p_2} = \frac{p_1 S_x^{p_1} + p_2 S_x^{p_2}}{p_1 + p_2} \quad (2.51 จ)$$

$$S_x^{cf(x)} = S_x^{f(x)} \quad (2.51 ฉ)$$

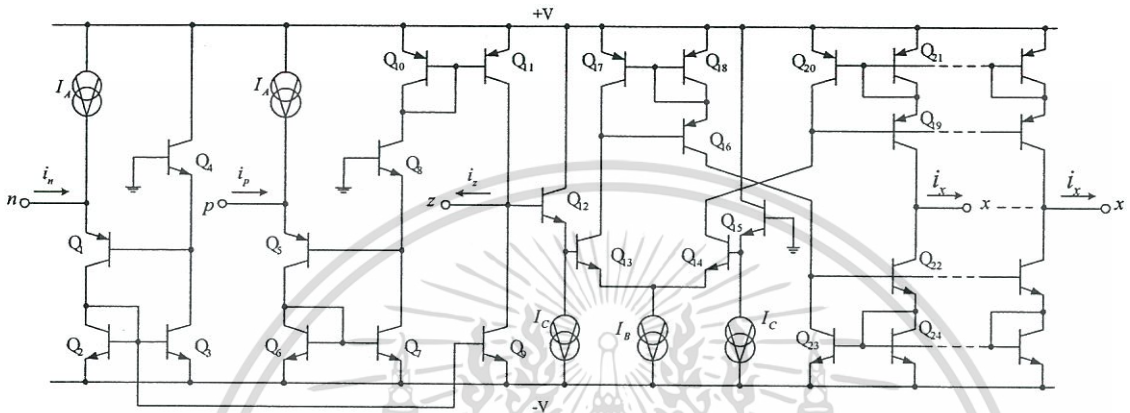
โดยที่ c เป็นตัวแปรอิสระของ x และ $f(x)$ เป็นฟังก์ชันของ x



บทที่ 3 งานวิจัยที่เกี่ยวข้อง

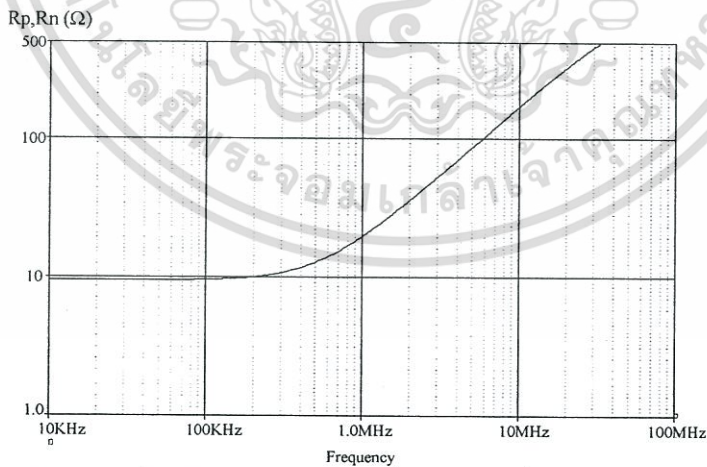
3.1 ผลงานวิจัยที่เกี่ยวข้อง

ในบทนี้จะทำการเปรียบเทียบงานวิจัยที่ได้เคยนำเสนอกับงานวิจัยที่เคยมีผู้ตีพิมพ์มาแล้ว โดยจะนำเอางานวิจัยของ Worapong Tangsrirat [7] ซึ่งได้ทำการตีพิมพ์ไว้เมื่อ พฤษภาคม ปี ค.ศ. 2007



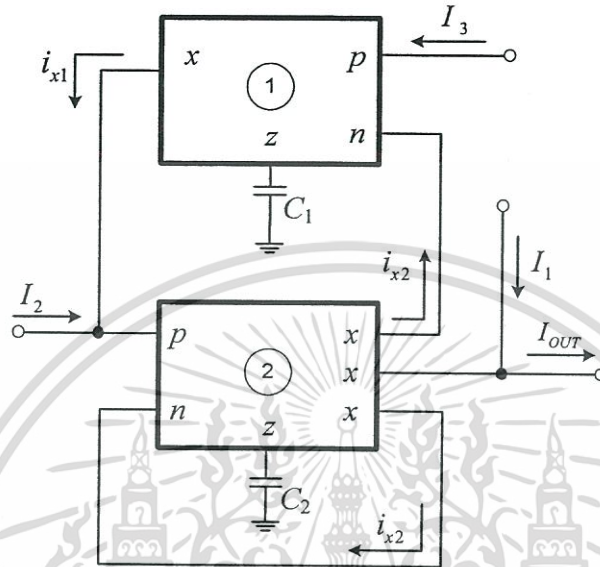
รูปที่ 3.1 วงจร CDTA [7] ที่นำเสนอ

จากวงจร CDTA [7] ในรูปที่ 3.1 ได้นำหลักการ Translinear Loop มาใช้ที่ขาอินพุต ของคู่ทรานซิสเตอร์ Q_1 กับ Q_4 และ Q_5 กับ Q_8 ตามลำดับ เพื่อให้ได้แรงดันตกคร่อมที่ขา B-E ของทรานซิสเตอร์มีค่าเท่ากัน เปรียบเสมือนค่าความต้านทานระหว่างจุดสองจุดเป็นศูนย์ แต่เนื่องจากความไม่สมมาตรของทรานซิสเตอร์ NPN และ PNP ส่งผลให้แรงดันตกคร่อมที่ขา B-E มีค่าไม่เท่ากัน จึงเป็นผลให้ค่าอิมพีแดนซ์ไม่ต่ำพอ ไม่สามารถทำงานที่ความถี่สูงได้



รูปที่ 3.2 ค่าความต้านทานที่พอร์ต p และ n เมื่อเปลี่ยนค่าความถี่ของอินพุตของวงจร CDTA [7]

จากรูปที่ 3.2 เนื่องด้วยวงจร CDTA [7] ได้สร้างมาจากทรานซิสเตอร์ชนิด BJT ซึ่งมีอัตราขยายกระแสที่มากกว่า แต่มีขนาดที่ใหญ่กว่าทรานซิสเตอร์ชนิด MOS มาก จึงส่งผลให้ค่าอิมพีแดนซ์ที่พอร์ต p และ n นั้นมีค่าต่ำ ยากต่อการนำมาเปรียบเทียบกับกันได้ และเมื่อเปลี่ยนความถี่อินพุตให้สูงขึ้น ค่าความต้านทานก็ปรับตัวสูงขึ้นมากตามไปด้วยที่ความถี่ตั้งแต่ 500 kHz



รูปที่ 3.3 วงจรประยุกต์เป็นตัวกรองความถี่หลายหน้าที่ของ CDTA [7]

จากสมการของ CDTA คือ $I_x = g_m Z_z (I_p - I_n)$ สามารถอธิบายได้ดังนี้

$$i_{x1} = \left(\frac{g_{m1}}{sC_1} \right) (I_3 - i_{x2}) \quad (3.1)$$

และ

$$i_{x2} = \left(\frac{g_{m2}}{g_{m2} + sC_2} \right) (I_2 + i_{x1}) \quad (3.2)$$

จะได้

$$i_{x2} = \frac{\left(\frac{sC_1}{g_{m1}} \right) I_2 + I_3}{\left(\frac{s^2 C_1 C_2}{g_{m1} g_{m2}} + \frac{sC_1}{g_{m1}} + 1 \right)} \quad (3.3)$$

จากรูปที่ 3.2 จะได้ $I_{OUT} = I_1 + i_{x2}$

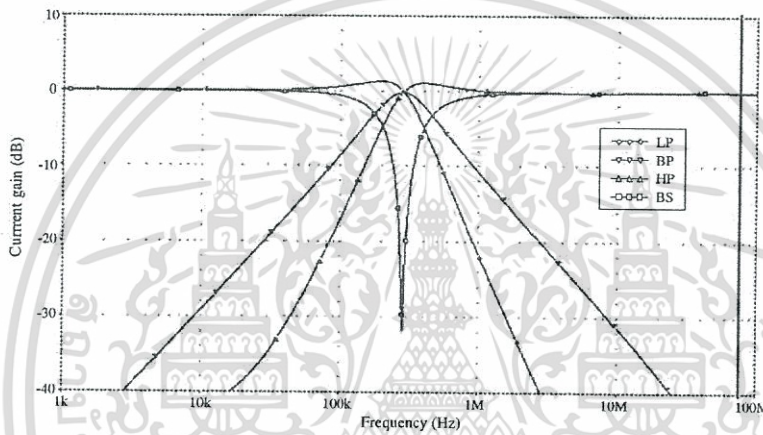
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้น

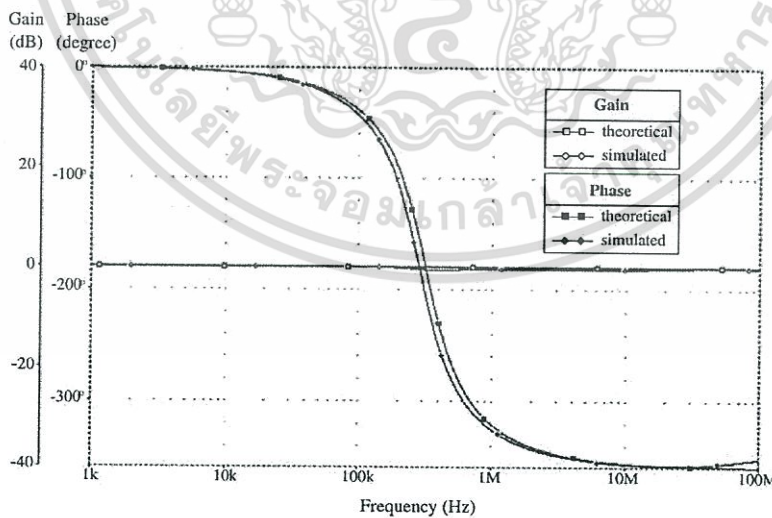
$$\frac{\left(s^2 + \frac{g_{m2}}{C_2} s + \frac{g_{m1}g_{m2}}{C_1C_2}\right) I_1 + \left(\frac{g_{m2}}{C_2} s\right) I_2 + \left(\frac{g_{m1}g_{m2}}{C_1C_2}\right) I_3}{\left(s^2 + \frac{g_{m2}}{C_2} s + \frac{g_{m1}g_{m2}}{C_1C_2}\right)} \quad (3.4)$$

จะได้ $\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}}$ (3.5)

และ $\frac{\omega_0}{Q} = \frac{g_{m2}}{C_2}$ (3.6)



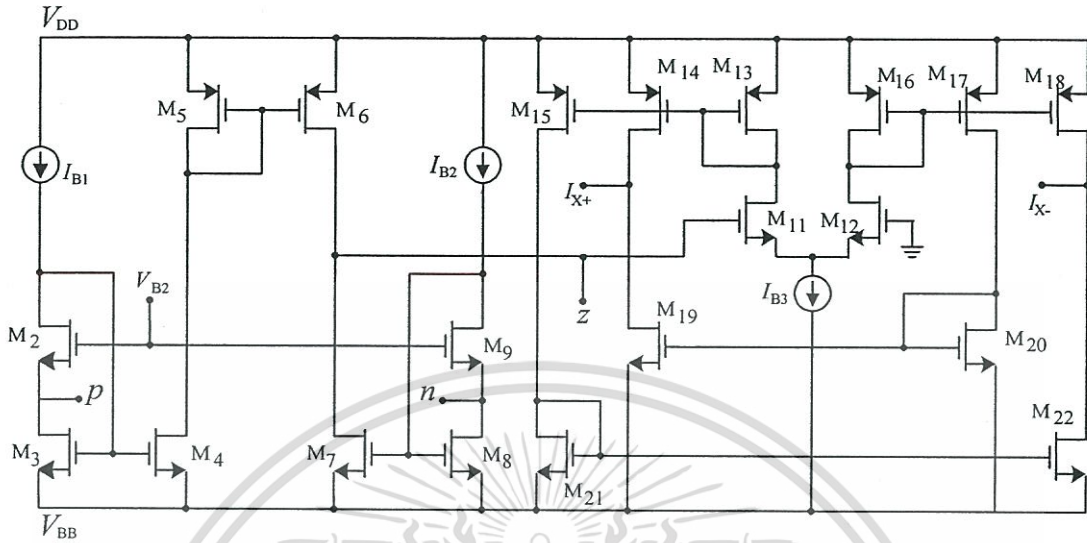
รูปที่ 3.4 ผลการจำลองการทำงานเป็นวงจรกรองความถี่หลายหน้าที่ของ CDTA [7]



รูปที่ 3.5 ผลการจำลองการทำงานเป็นวงจรผ่านทุกความถี่ของ CDTA [7]

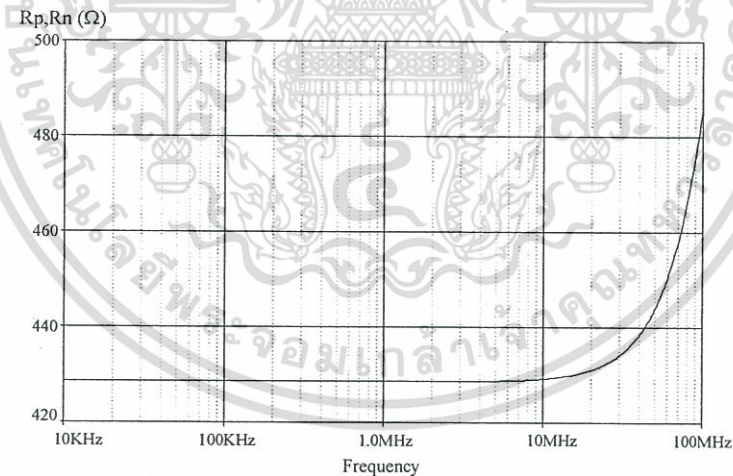
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

งานวิจัยของ Dinesh Prasad [9] ซึ่งได้ทำการตีพิมพ์ไว้เมื่อ กุมภาพันธ์ ปี ค.ศ. 2008 ได้นำเสนอวงจร CDTA ด้วยการใช้ CMOS



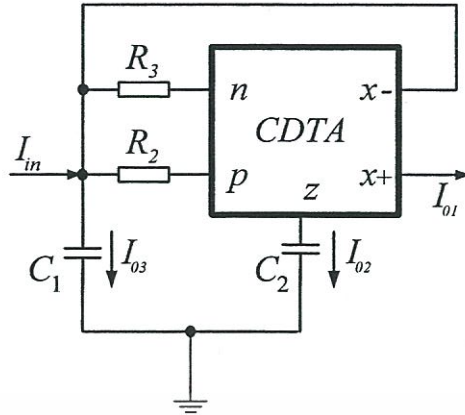
รูปที่ 3.6 วงจร CMOS CDTA [9]

วงจร CMOS CDTA [9] ที่นำเสนอ ดังรูปที่ 3.6 ได้ใช้หลักการ Flip Voltage ที่พอร์ต p และ n เพื่อทำให้ค่าอิมพีแดนซ์ต่ำ แต่ในทางปฏิบัติจะมีช่วงพลีพลวัต (Dynamic range) ที่แคบ เมื่อทำงานที่ความถี่สูง จะมีความต้านทานแฝง ทำให้อิมพีแดนซ์ที่พอร์ตยังไม่ต่ำมาก ส่งผลให้ไม่สามารถทำงานที่ความถี่สูงได้



รูปที่ 3.7 ค่าความต้านทานที่พอร์ต p และ n เมื่อเปลี่ยนค่าความถี่ของอินพุตของ CDTA [9]

จากรูปที่ 3.7 จะเห็นว่าค่าอิมพีแดนซ์ที่พอร์ต p และ n มีค่าเริ่มตั้งแต่ 430 โอห์ม และมีค่ามากขึ้นเมื่อเปลี่ยนความถี่อินพุตที่มีค่าสูงขึ้น



รูปที่ 3.8 วงจรประยุกต์เป็นตัวกรองความถี่หลายหน้าที่ของ CMOS CDTA [9]

จากรูปที่ 3.8 พิจารณาฟังก์ชันการถ่ายโอนทางกระแสเอาต์พุตจากวงจรกรองความถี่หลายหน้าที่ดังกล่าวมีค่าดังสมการที่ (3.7) ถึง (3.10) ตามลำดับ

$$T_1(s) = \frac{I_{o1}}{I_{in}} = \frac{g_m(1/R_2 - 1/R_3)}{C_1 C_2 D(s)} \quad (3.7)$$

$$T_2(s) = \frac{I_{o2}}{I_{in}} = \frac{s(1/R_2 - 1/R_3)}{C_1 D(s)} \quad (3.8)$$

$$T_3(s) = \frac{I_{o3}}{I_{in}} = \frac{s^2}{D(s)} \quad (3.9)$$

$$T_4(s) = \frac{I_{o4}}{I_{in}} = \frac{I_{o1} + I_{o3}}{I_{in}} = \frac{s^2 + g_m(1/R_2 - 1/R_3)}{C_1 C_2 D(s)} \quad (3.10)$$

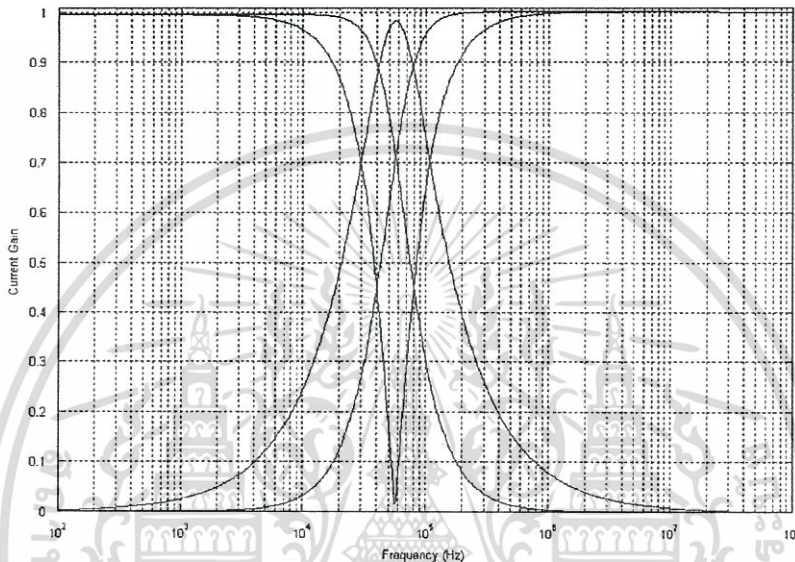
โดยที่ค่า
$$D(s) = s^2 + s \frac{(1/R_2 + 1/R_3)}{C_1} = \frac{g_m(1/R_2 - 1/R_3)}{C_1 C_2} \quad (3.11)$$

ดังนั้นจะได้
$$\omega_0 = \sqrt{\frac{g_m(1/R_2 - 1/R_3)}{C_1 C_2}} \quad (3.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{และ } Q_0 = \frac{\sqrt{g_m \frac{C_1}{C_2} \left(\frac{1}{R_2} - \frac{1}{R_3} \right)}}{\left(\frac{1}{R_2} + \frac{1}{R_3} \right)} \quad (3.13)$$

จากสมการที่ 3.12 และ 3.13 สังเกตได้ว่าค่า ω_0 และ Q_0 ไม่สามารถปรับได้อิสระต่อกันได้ และ วงจรกรองความถี่ที่ใช้อย่างน้อยความต้านทานต่อจากภายนอก ดังนั้นจึงไม่สามารถทำงานที่ความถี่สูงได้



รูปที่ 3.9 ผลการจำลองการทำงานเป็นวงจรกรองความถี่หลายหน้าที่ของ CDTA [9]

3.2 บทสรุป

จากการศึกษาวิจัยจากผู้ที่เคยนำเสนอเกี่ยวกับ CDTA พบว่ายังมีปัญหาในจุดที่ค่าความต้านทานที่พอร์ต p และ n ยังไม่ต่ำมากพอ ซึ่งรูปแบบของวงจร และค่าพารามิเตอร์ของทรานซิสเตอร์ที่ใช้ในวิทยานิพนธ์นี้ จะสามารถทำให้ CDTA มีค่าความต้านทานที่พอร์ต p และ n ต่ำมาก จนใกล้เคียงค่าอุดมคติ สามารถส่งผ่านกระแสและทำงานที่ความถี่สูงได้อย่างมีประสิทธิภาพยิ่งขึ้น

วงจรรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอสที่มีอินพุต อิมพีแดนซ์ต่ำและการประยุกต์ใช้งาน

4.1 บทนำ

ปัจจุบันการประมวลสัญญาณที่ทำงานในรูปแบบกระแสกำลังได้รับความสนใจอย่างแพร่หลายเพราะมีข้อดี คือ มีช่วงปฏิบัติการกว้าง ค่าพิสัยพลวัตและความเป็นเชิงเส้นดี มีความเที่ยงตรงและใช้แรงดันไฟเลี้ยงต่ำ เมื่อเปรียบเทียบกับวงจรรโอทีเอที่ทำงานในรูปแบบแรงดัน [1-2] ในอดีตได้มีการออกแบบวงจรรองความถี่รูปแบบกระแสจากอุปกรณ์แอคทีฟ เช่น วงจรตามกระแส (Current Follower: CF) [3] วงจรสายพานกระแส (CCII) [4] และวงจรรขยายความนำ (Operational Transconductance Amplifier: OTA) [5]

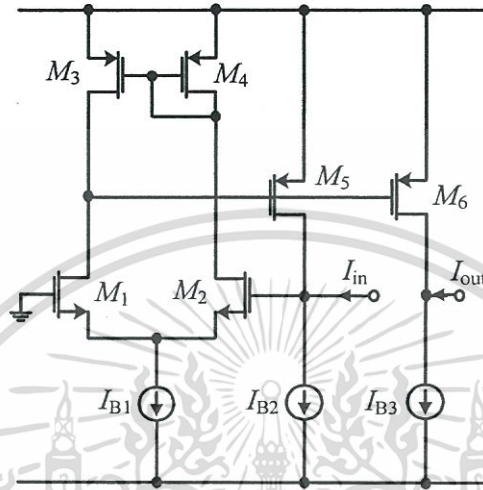
เป็นต้น

ในอดีตได้มีอุปกรณ์รูปแบบกระแสตัวหนึ่งถูกนำเสนอขึ้น จากการพัฒนามาจากโอทีเอเดิมที่ดัดแปลงอินพุตให้มีกระแสแตกต่าง ซึ่งใช้ชื่อว่าวงจรรโอทีเออินพุตกระแสแตกต่าง (CDTA) [6] และมีการพัฒนาอย่างต่อเนื่อง [7-10] ในทางทฤษฎีค่าความต้านทานอินพุตและเอาต์พุตจะต้องมีค่าเป็นศูนย์หรือเป็นอนันต์ตามลำดับเพื่อนำผลต่างกระแสมาเป็นอินพุตให้โอทีเอที่พอร์ต z ซึ่งมีอุปกรณ์พาสซีฟต่อรวมอยู่ และสามารถปรับค่ากระแสได้ทางอิเล็กทรอนิกส์จากการปรับกระแสไบอัสที่โอทีเอ ต่อมาวงจรรซึ่งทำหน้าที่เป็นอินพุตกระแส [6-10] ที่ออกแบบมาไม่สามารถทำคุณสมบัติของค่าความต้านทานอินพุตให้ต่ำได้ ทำให้มีความผิดพลาดสูง อีกทั้งค่าตัวเก็บประจุแฝงที่พอร์ตอินพุตกระแส มีผลทำให้ช่วงความถี่สูงไม่เสถียรตามไปด้วย และอุปกรณ์ที่ใช้มากและมีแรงดันไฟเลี้ยงสูง ทำให้การใช้พลังงานสูงตามไปด้วย ซึ่งต่างกับบทความที่นำเสนอ ถูกออกแบบวงจรรให้อินพุตมีค่าอิมพีแดนซ์ต่ำ โครงสร้างง่ายไม่ซับซ้อน ใช้แรงดันไฟเลี้ยงต่ำ ใช้ทรานซิสเตอร์น้อยซึ่งหมายถึงจะใช้กำลังไฟน้อยกว่า จึงทำให้การทำงานในช่วงความถี่สูงกว้างกว่าบทความที่ผ่านมา

บทความนี้นำเสนอ วงจรรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส (CMOS MO-CDTA) ใช้แรงดันไฟเลี้ยงต่ำ ย่านการทำงานของกระแสกว้าง โดยอินพุตของกระแสมีค่าความต้านทานต่ำแต่มีความแม่นยำสูง และ ทำงานได้ดีที่ย่านความถี่สูงได้ดี อีกทั้งทรานซิสเตอร์ที่ใช้มีจำนวนน้อยทำให้มีการใช้กำลังไฟต่ำ เพื่อยืนยันการใช้งานได้จริง ได้นำเสนอการประยุกต์เป็นวงจรรองความถี่หลายหน้าที่ แบบสามอินพุตหนึ่งเอาต์พุต ที่กำหนดฟังก์ชันการถ่ายโอนได้ห้ารูปแบบในวงจรรเดียวกัน จากการใช้ตัวเก็บประจุแบบต่อกราวด์และไม่ใช้ตัวต้านทาน ทำให้วงจรรที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมได้ต่อไป

4.2 วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ

วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ แสดงดังรูปที่ 4.1 โดยใช้ทรานซิสเตอร์จำนวน 6 ตัว แหล่งจ่ายกระแส 3 ชุด ค่าอัตราขยายทางกระแสของวงจรแสดงดังสมการที่ (4.1) และค่าอินพุตทางกระแสมีค่าอิมพีแดนซ์ต่ำแสดงดังสมการที่ (4.2) ตามลำดับ



รูปที่ 4.1 วงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ

$$I_{out} = \alpha I_{in} \quad (4.1)$$

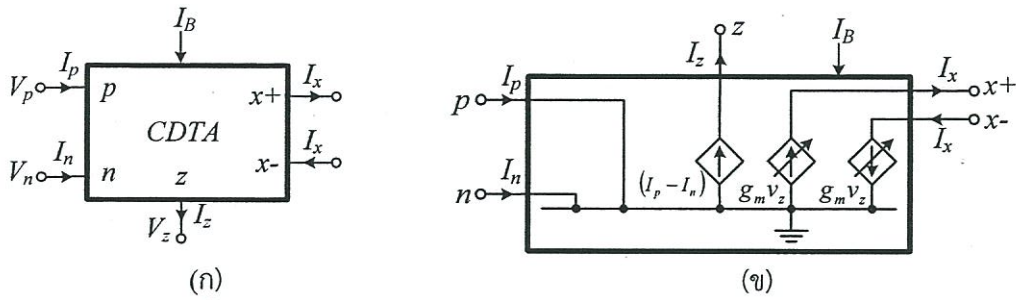
$$Z_{in} = \frac{(g_{ds1} + g_{ds3})(g_{ds2} + g_{m4} + g_{ds4})}{A} \quad (4.2)$$

$$\text{เมื่อ } \alpha = \frac{g_{m2}g_{m3}g_{m6}}{A} \quad (4.3)$$

$$\text{และ } A = (g_{ds1} + g_{ds3})[g_{ds5}(g_{ds2} + g_{m4} + g_{ds4})] + g_{m2}g_{m3}g_{m5}$$

เมื่อ g_{ds1} คือ ค่าทรานสคอนดักแตนซ์ระหว่างขาคาเดรน-ซอสของทรานซิสเตอร์ตัวที่ i_h ส่วน g_{msi} คือ ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ i_h และ α คือ Current Tracking Error เมื่อพิจารณาสมการที่ (4.1) และ (4.2) พบว่าอัตราขยายทางกระแสมีค่าประมาณ 1 ส่วนค่าอินพุตอิมพีแดนซ์จะมีค่าต่ำ เท่ากับ $g_{ds1} \ll g_{msi}$

4.3 วงจรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส

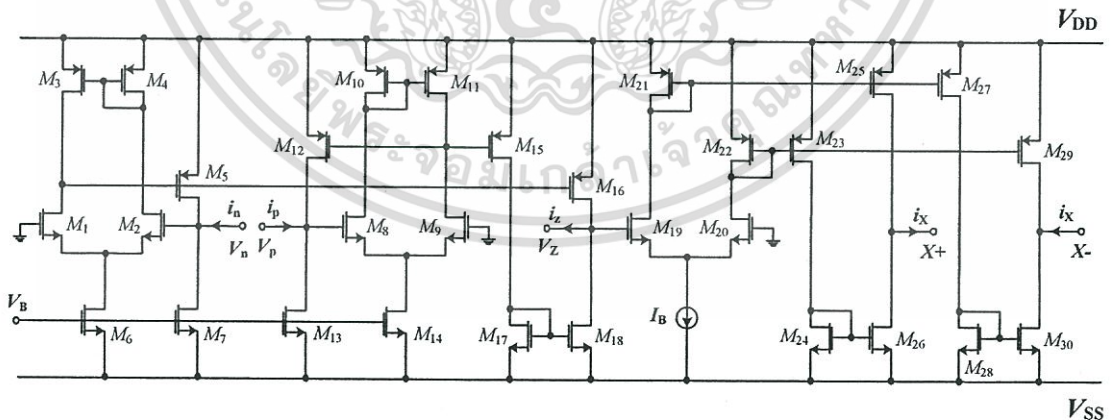


รูปที่ 4.2 วงจร CDTA ชนิดหลายเอาต์พุต (ก) สัญลักษณ์ (ข) วงจรสมมูล

วงจรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส(CMOS Multiple Outputs Current Differencing Transconductance Amplifier: CMOS MO-CDTA) ในทางอุดมคติที่นำเสนอในบทความนี้ แสดงดังรูปที่ 4.2 (ก) และ (ข) คือ สัญลักษณ์และวงจรสมมูล ตามลำดับ ซึ่งคุณสมบัติโดยทั่วไปของวงจรหาได้จากสมการเมตริกดังสมการที่ (4.4) ในบทนี้จะกล่าวถึงรายละเอียดของ 2 หลักการพื้นฐานที่จะทำให้เข้าใจถึงจุดประสงค์ในการทำ MSO ในโมเดลกระแส การใช้ CDTA เป็นอินทิเกรเตอร์ชนิดสูญเสีย และเป็นวงจรขยายกระแส ดังจะกล่าวต่อไปดังนี้

$$\begin{bmatrix} V_p \\ V_n \\ I_z \\ I_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & \pm g_m \end{bmatrix} \begin{bmatrix} I_p \\ I_n \\ V_x \\ V_z \end{bmatrix} \tag{4.4}$$

วงจรโอทีเออินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส (CMOS MO-CDTA) ที่นำเสนอในบทความนี้อาศัยวงจรตามกระแสในรูปที่ 4.1 ต่อкасสดอกกับวงจรโอทีเอแบบพื้นฐานแสดงดังรูปที่ 4.3 โดยค่าของกระแสเอาต์พุตที่ได้เป็นดังสมการที่ (4.6) และขนาดของทรานซิสเตอร์ที่ใช้แสดงดังตารางที่ 4.1



รูปที่ 4.3 วงจร CMOS MO-CDTA ที่นำเสนอ

$$I_x = g_m Z_s (I_p - I_n) \quad (4.5)$$

และ
$$g_m = \sqrt{(I_B) \mu_0 C_{ox} (W/L)_{1,2}} \quad (4.6)$$

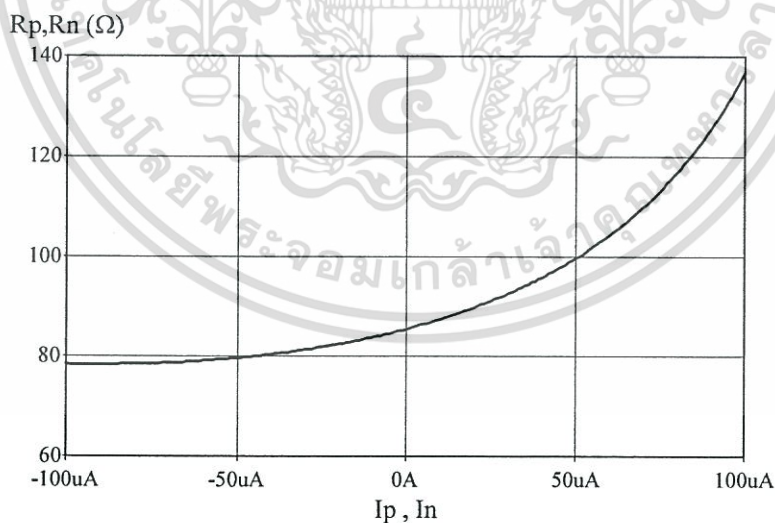
สมการที่ (4.6) แสดงค่าทรานสคอนดักแตนซ์ (g_m) ของพื้นฐานของวงจรวอร์ทีเอ เมื่อ μ_0 , C_{ox} , W และ L แสดงค่าความคล่องตัวพื้นผิว ออกไซด์แซนแนล ความกว้าง และความยาวของแซนแนล ของทรานซิสเตอร์ตามลำดับ โดยที่ค่าของ (g_m) สามารถปรับค่าได้ทางอิเล็กทรอนิกส์จากการปรับค่าของกระแสไบอัส (I_B)

Transistors	W(μm)	L(μm)
M1,M2,M8,M9	1	0.25
M6,M7,M13,M14,M17,M18,M2	3	0.25
4,M26,M28,M30		
M3-M5,M10-	5	0.25
M12,M15,M16,M21-M23,M25,		
M27,M29		
M19,M20	10	0.25

ตารางที่ 4.1 ขนาดของทรานซิสเตอร์ที่ใช้ในวงจรมอนิเตอร์

4.4 ผลจำลองการทำงานของวงจรมอนิเตอร์ CMOS MO-CDTA

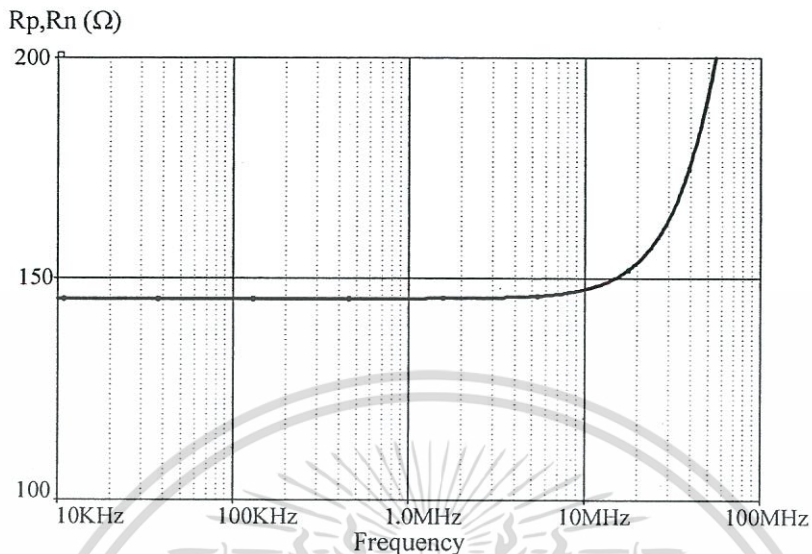
วงจรมอนิเตอร์ CMOS MO-CDTA ที่นำเสนอสมาสามารถยืนยันคุณสมบัติและประสิทธิภาพของวงจรมอนิเตอร์ด้วยโปรแกรม PSpice โดยใช้แบบจำลองของ MOSIS TSMC 0.25 μm ใช้แรงดันไฟเลี้ยงเท่ากับ ± 1.2 V และค่ากระแสไบอัสคงที่ (I_B) เท่ากับ 100 μA แรงดันไบอัส (V_B) เท่ากับ -0.55 V



รูปที่ 4.4 ค่าความต้านทานอินพุตที่พอร์ต p และ n เมื่อเปลี่ยนกระแสอินพุต

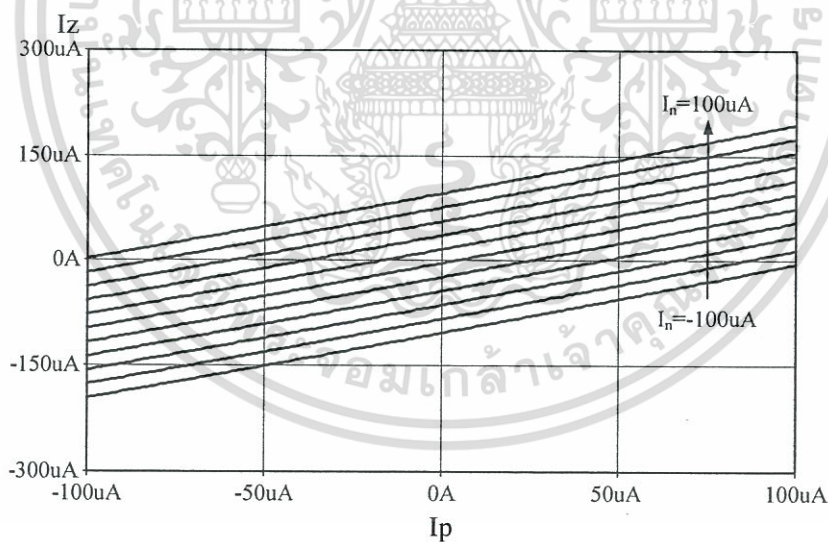
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 4.4 แสดงค่าความต้านทานอินพุตที่พอร์ต p และ n เมื่อป้อนกระแสตั้งแต่ $-100 \mu\text{A}$ ถึง $100 \mu\text{A}$ พบว่าค่าความต้านทานอินพุตที่ได้มีค่าต่ำประมาณ $80\text{-}140 \Omega$



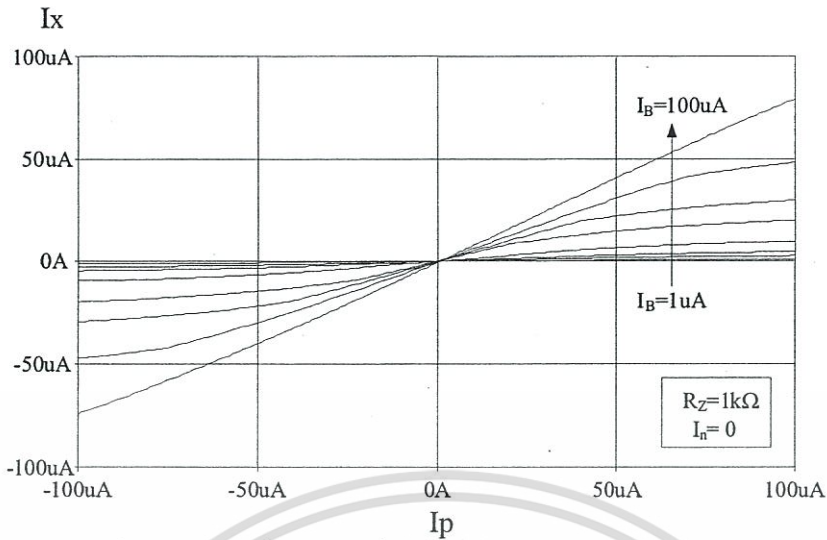
รูปที่ 4.5 ค่าความต้านทานอินพุตที่พอร์ต p และ n เมื่อเปลี่ยนความถี่อินพุต

ในรูปที่ 4.5 แสดงค่าความต้านทานเมื่อเปลี่ยนค่าความถี่อินพุตตั้งแต่ 10 kHz ถึง 100 MHz จะเห็นว่าค่าความต้านทานเริ่มสูงขึ้นเมื่อความถี่มากกว่า 10 MHz ขึ้นไป



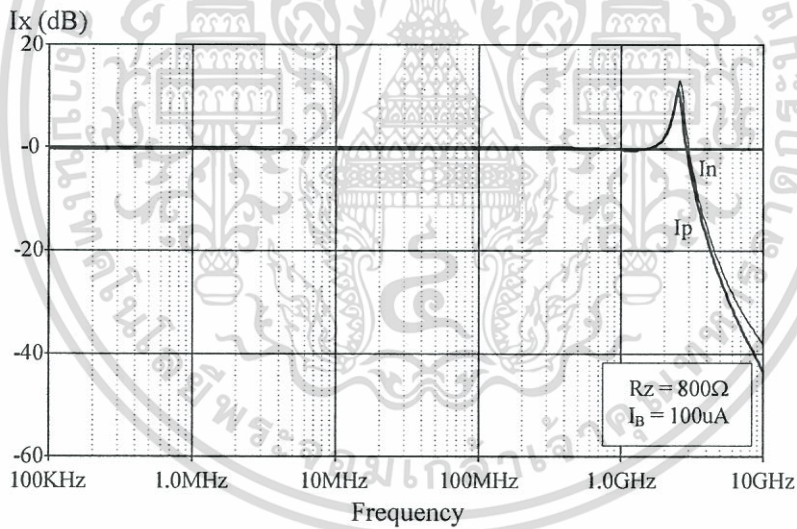
รูปที่ 4.6 ค่าความแตกต่างของกระแสอินพุตที่พอร์ต z

ในรูปที่ 4.6 แสดงค่ากระแสที่พอร์ต z เมื่อป้อนกระแสอินพุต I_p และ I_n ตั้งแต่ $-100 \mu\text{A}$ ถึง $100 \mu\text{A}$ ซึ่งจะเห็นว่าค่าของกระแสเอาต์พุตที่พอร์ต z มีค่าเป็นไปตามสมการ $I_z = I_p - I_n$



รูปที่ 4.7 กระแสที่พอร์ต x เมื่อทำการปรับค่ากระแสไบอัส I_B

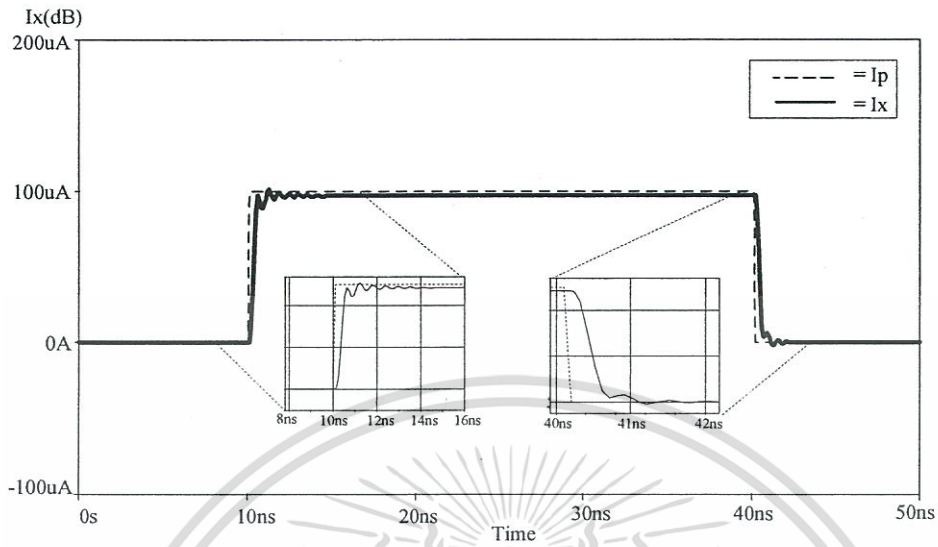
ในรูปที่ 4.7 แสดงค่ากระแสเอาต์พุต I_x เมื่อกำหนดให้ความต้านทาน $R_z = 1 \text{ k}\Omega$ ต่ออยู่ที่พอร์ต z ขณะที่แปรค่าอินพุต I_p จาก $-100 \text{ }\mu\text{A}$ ถึง $100 \text{ }\mu\text{A}$ โดยที่ $I_n = 0$ และทำการปรับค่า I_B ตั้งแต่ $1 \text{ }\mu\text{A} - 100 \text{ }\mu\text{A}$ พบว่ากระแสเอาต์พุตมีความสอดคล้องกันกับสมการที่ (4.1)



รูปที่ 4.8 การตอบสนองทางความถี่ที่พอร์ต x เมื่ออินพุตเป็น I_p และ I_n

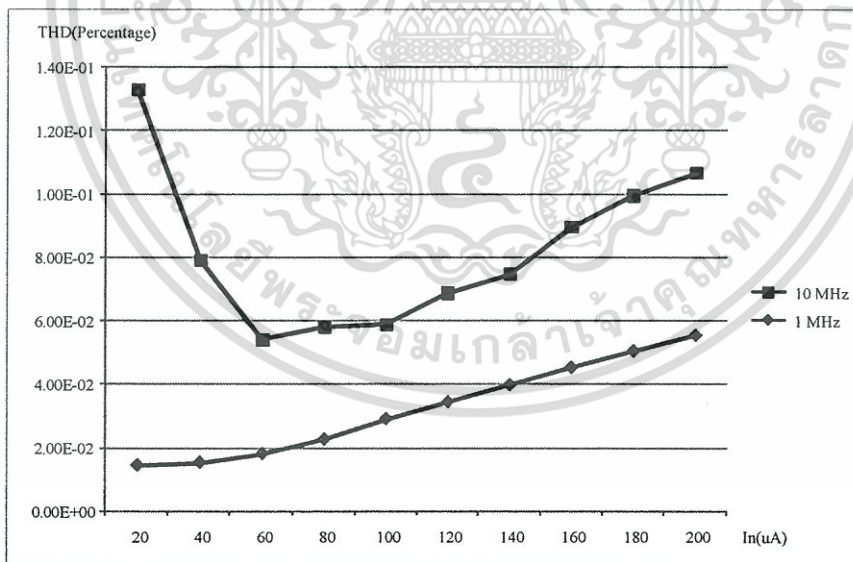
ในรูปที่ 4.8 แสดงผลตอบสนองทางความถี่ที่พอร์ต x เมื่อป้อนอินพุตที่พอร์ต p และ n มีค่าความต้านทานประมาณ $3 \text{ k}\Omega$ (เพื่อให้เกนมีค่าประมาณ 1) พบว่าที่พอร์ต x ผลตอบสนองความถี่อยู่ที่ 2.8 GHz และ 3.3 GHz ตามลำดับ

เมื่อทดลองป้อนสัญญาณสี่เหลี่ยมขนาด 100 μA โดยมีความถี่ 250 MHz ที่พอร์ต p และ n ตามลำดับ จะได้ผลของสัญญาณเอาพุตที่พอร์ต x ตามรูปที่ 4.9



รูปที่ 4.9 คุณสมบัติการตามกระแสที่พอร์ต x เมื่อป้อนสัญญาณสี่เหลี่ยมที่พอร์ต p และพอร์ต n

จากรูปที่ 4.9 แสดงผลของการป้อนสัญญาณรูปสี่เหลี่ยมโดยมีช่วงเวลาสัญญาณกลับตัวเท่ากับ 4 ns ที่ช่วงเวลาไต่ขึ้น (Rise Time) และ 2 ns ที่ช่วงเวลาตก (Fall Time)

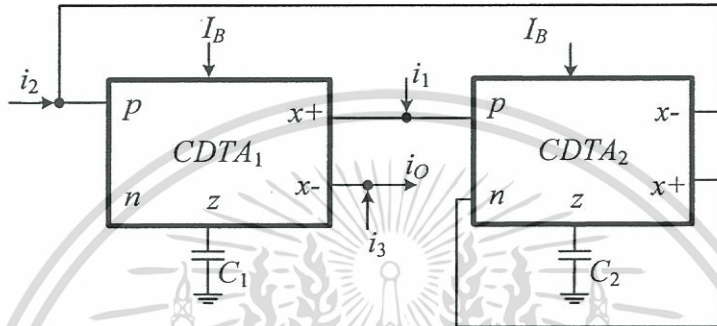


รูปที่ 4.10 ค่าความเพี้ยนรวมฮาร์โมนิกเมื่อป้อนสัญญาณไซน์ที่พอร์ต p และพอร์ต n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.10 ทดลองป้อนสัญญาณไซน์ขนาด 20 μA ถึง 200 μA โดยใช้ความถี่ 1 MHz และ 10 MHz ป้อนเข้าที่พอร์ต p และพอร์ต n เพื่อคำนวณหาค่าความเพี้ยนรวมฮาร์โมนิก (Total Harmonic distortion : THD) พบว่าผลลัพธ์ที่ได้มีค่า THD ที่ 10 MHz สูงสุดเท่ากับ 0.14% โดยจะมีผลมาจากสัญญาณรบกวนในช่วงที่สัญญาณอินพุตมีแอมพลิจูดต่ำและที่ 1 MHz มีค่าสูงสุดเท่ากับ 0.06% ทั้งนี้ทั้งนั้น ค่า THD ที่ได้ก็ยังคงถือว่ามีความต่ำกว่า 1%

4.5 การประยุกต์ใช้งานเป็นวงจรกรองความถี่หลายหน้าที่



รูปที่ 4.11 การประยุกต์ใช้งานเป็นวงจรกรองความถี่หลายหน้าที่

เพื่อยืนยันการทำงานของวงจร CMOS MO-CDTA ที่นำเสนอจากการประยุกต์ใช้งานโดยออกแบบเป็นวงจรกรองความถี่หลายหน้าที่ (Universal Filter) ชนิดสามอินพุตหนึ่งเอาต์พุตรูปแบบกระแส แสดงดังรูปที่ 4.11 และฟังก์ชันการถ่ายโอนทางกระแสเอาต์พุตจากวงจรกรองความถี่หลายหน้าที่ดังกล่าวมีค่าดังสมการที่ (4.7) และ (4.8) ตามลำดับ

$$i_o = \frac{\left(\frac{g_{m1}g_{m2}}{C_1C_2}\right)i_1 - \left(\frac{g_{m2}}{C_2} + \frac{g_{m1}g_{m2}}{C_1C_2}\right)i_2 + \left(s^2 + s\frac{g_{m2}}{C_2} + \frac{g_{m1}g_{m2}}{C_1C_2}\right)i_3}{D(s)} \tag{4.7}$$

$$\text{เมื่อ } D(s) = s^2 + s\frac{g_{m2}}{C_2} + \frac{g_{m1}g_{m2}}{C_1C_2} \tag{4.8}$$

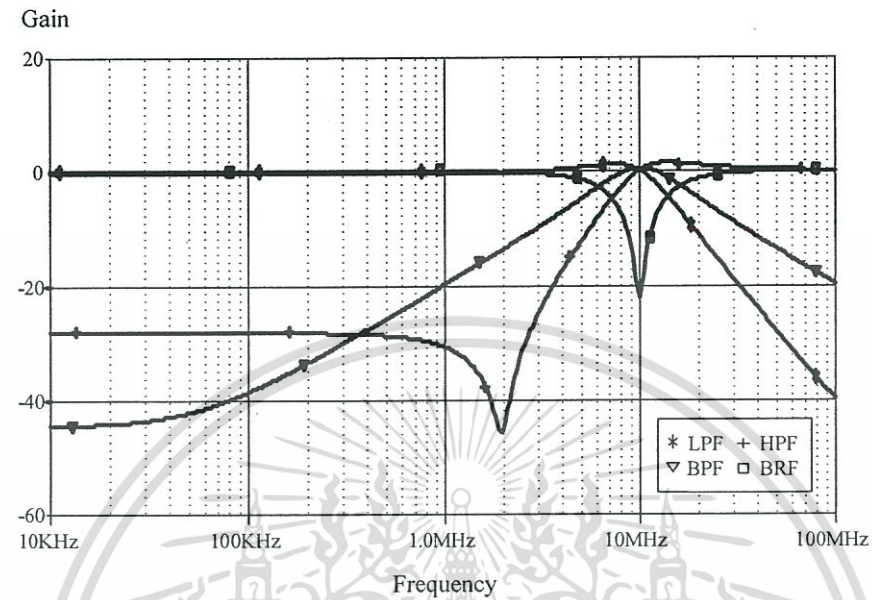
จากสมการที่ (4.8) เมื่อกำหนดให้ $g_{m1} = g_{m2} = g_m$ และ $C_1 = C_2 = C$ เงื่อนไขการเกิดฟังก์ชันการถ่ายโอน ของวงจรกรองความถี่ทั้งห้ารูปแบบ สามารถกำหนดได้โดยให้ค่าของอินพุต (I_{in}) เป็นดังนี้ กรณีของ LPF คือ $i_1 = I_{in}$ และ $i_2 = i_3 = 0$ กรณีของ HPF คือ $i_1 = 0$ และ $i_2 = i_3 = i_{in}$ กรณีของ BRF คือ $i_1 = i_2 = i_3 = i_{in}$ กรณีของ BPF คือ $i_1 = i_2 = i_{in}$ และ $i_3 = 0$ สดท้ายกรณีของ APF คือ $i_1 = 0$ และ $i_2 = i_3 = 2i_{in}$

จากสมการที่ (4.7) พิจารณาเทียบกับสมการไปควอดเดรตริก $D(s) = s^2 + s\frac{\omega_p}{Q_p} + \omega_p^2$ ถ้ากำหนดให้ค่า

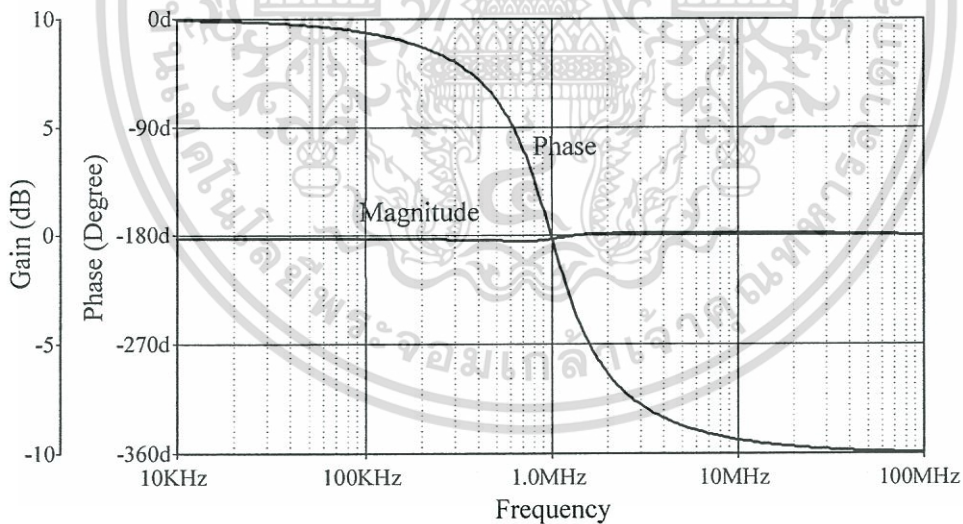
ทรานสคอนดักแตนซ์ ($g_{m1}=g_{m2} =g_m$) และค่าตัวเก็บประจุ ($C_1=C_2=C$) ซึ่งสามารถหาค่าความถี่ตอบสนองและค่าตัวประกอบคุณภาพของวงจรในรูปที่ 4.12 ได้จาก ($\omega_p = g_m/C$) และ ($Q_p = 1$) อีกทั้งยังสามารถยืนยันคุณสมบัติของการประยุกต์ใช้งานดังกล่าวด้วยโปรแกรม PSpice ใช้แบบจำลอง MOSIS TSMC 0.25 μm เมื่อกำหนดให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแส $I_B = 50 \mu A$ และตัวเก็บประจุมีค่า $C_1 = C_2 = 12 pF$ ผลจำลองการทำงานแสดงดังรูปที่ 4.11 โดยค่าความถี่ตอบสนอง (ω_p) ที่ได้มีค่าอยู่ประมาณ 10 MHz ส่วนรูปที่ 4.13 แสดงคุณสมบัติของวงจรกรองผ่านทุกความถี่จากการประยุกต์ใช้งานที่ความถี่ตอบสนอง 1 MHz



รูปที่ 4.12 คุณสมบัติของการประยุกต์เป็นวงจรกรองความถี่หลายหน้าที่



รูปที่ 4.13 คุณสมบัติของการประยุกต์เป็นวงจรกรองผ่านทุกความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 บทสรุป

จากการจำลองการทำงานของวงจร CMOS MO-CDTA พบว่าได้ค่าอินพุตอิมพีแดนซ์ที่ต่ำ เนื่องมาจากวงจรตามกระแสแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำที่พอร์ต p และ n ตามลำดับ สามารถปรับกระแสไบอัสได้ตั้งแต่ $1 \mu\text{A} - 100 \mu\text{A}$ โดยผลลัพธ์ที่ได้สอดคล้องกับสมการของวงจร เมื่อป้อนสัญญาณความถี่สูงพบว่าสามารถทำงานได้ถึงความถี่ประมาณ 1GHz และเมื่อป้อนสัญญาณสี่เหลี่ยมสัญญาณเอาต์พุตที่ได้มีค่าการส่งผ่านกระแสที่แม่นยำกับสัญญาณอินพุตโดยสามารถสังเกตจากช่วงเวลาสัญญาณกลับตัวน้อยกว่า 4 nS และผลลัพธ์จากการคำนวณค่าความเพี้ยนรวมฮาร์โมนิกมีค่าน้อยกว่า 1% จึงส่งผลให้ค่าความถี่ตอบสนองที่ได้มีค่าสูง สามารถนำไปประยุกต์ใช้งานได้ที่ความถี่สูงอย่างมีประสิทธิภาพ

จากการประยุกต์ใช้งานเป็นวงจรกรองความถี่หลายหน้าที่พบว่าค่าความถี่ตอบสนอง (ω_p) ที่ได้มีค่าอยู่ประมาณ 10 MHz และใช้ตัวเก็บประจุต่อลงกราวด์เพียง 2 ตัว จึงทำให้สามารถนำไปประยุกต์ใช้ในวงจรรวมได้ต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปและข้อเสนอแนะ

5.1 บทสรุปการวิจัย

วิทยานิพนธ์นี้นำเสนอวงจรโอทีเออินพุตกระแสแตกต่างหลายเอาต์พุตแบบซิมอสที่มีอินพุต อิมพีแดนซ์ต่ำใกล้เคียงอุดมคติ มีการออกแบบจากวงจรตามกระแสที่ออกแบบให้มีความต้านทาน อินพุตต่ำต่อคาสเดคกับวงจรโอทีเอแบบพื้นฐาน ทำให้บทความที่นำเสนอมีโครงสร้างง่าย ไม่ซับซ้อน ใช้ทรานซิสเตอร์น้อยกว่าบทความในอดีต แรงดันไฟเลี้ยง และ พลังงานที่ใช้เพียง ± 1.2 V และ 1.2 mW ตามลำดับ เพื่อยืนยันการใช้งานได้จริงจึงได้ทำการประยุกต์ใช้งานของวงจร CDTA ที่นำเสนอ เป็นวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสชนิดสามอินพุตหนึ่งเอาต์พุต ผลลัพธ์ที่ได้จะแสดงถึง คุณสมบัติของวงจร (LPF, HPF, BPF, BRF, APF) อย่างครบถ้วน มีการทำงานในย่านความถี่สูงได้ อย่างมีประสิทธิภาพ ทำให้วงจรที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมได้ต่อไป

5.2 ข้อเสนอแนะ

แม้ว่าวงจร CDTA ที่นำเสนอจะมีประสิทธิภาพดีแล้วก็ตาม แต่ในด้านของความต้านทาน อินพุตที่ออกแบบนั้นยังไม่ต่ำมากที่สุด เนื่องจากต้องการให้วงจรมีการขนาดของทรานซิสเตอร์เล็ก และ ใช้พลังงานต่ำ จึงกำหนดขนาดของทรานซิสเตอร์ และ กระแสไบอัสวงจรตามกระแส ให้มีค่าไม่ สูงมากนัก

แต่อย่างไรก็ตาม จากสมการที่ (4.2) หากต้องการให้ค่าความต้านทานที่จุดอินพุตมีค่าต่ำกว่า นี้ พบว่าสามารถทำได้โดยเพิ่มกระแสไบอัส I_{B2} , I_{B3} หรือ ปรับขนาดของทรานซิสเตอร์ M_5 และ M_6 ให้มีขนาดใหญ่ขึ้นนั่นเอง


อีกส่วนหนึ่งคือด้านความเป็นเชิงเส้นของโอทีเอ เนื่องจากยังต้องต่อร่วมกับ OTA แบบ พื้นฐาน ซึ่งมีข้อจำกัดในการใช้งานและ การปรับแต่งค่าทรานสคอนดักแตนซ์ จึงทำให้การนำไปใช้งาน ไม่สามารถปรับค่าได้เป็นเชิงเส้น และ ปรับได้ในช่วงแคบ จึงควรใช้ OTA ที่มีประสิทธิภาพดีกว่านี้ ซึ่ง เคยมีนักวิจัยค้นคิดไว้หลายท่าน โดยจะทำให้ปรับค่าได้อย่างเป็นเชิงเส้น และสามารถปรับได้กว้าง อย่างมีประสิทธิภาพ

เอกสารอ้างอิง

- [1] H. O. Elwan, A. M. Soliman, "Novel CMOS differential voltage current conveyor and its applications," IEE Proc., Circuits Devices Syst., Vol. 144, pp. 195-200, 1997.
- [2] A. Fabre and M. Alami, "A Precise Macromodel for Second Generation Current Conveyors," IEEE Trans Circuits and Syst I, Vol. 44, No.7, pp. 639-642, July, 1997.
- [3] J. Ramirez-Angulo, R.G. Carvajal, J. Martinez-Heredia, "1.4 V supply, wide swing, high frequency CMOS analogue multiplier with high current efficiency," Proc. of ISCAS 2000., Geneva, Switzerland, pp. 533-536, May., 2000.
- [4] E. Brun, "CMOS high speed, high precision current conveyor and current-feedback amplifier structures," Int. J. Electron., Vol. 74, No.1, pp.93-100, 1993.
- [5] E. Sanchez-sinencio, R. L. Geiger and H. Nevarez-Lozano, "Generation of Continuous - Time Two Integrator Loop OTA filter structures," IEEE Trans. Circuits and Syst., Vol. 35, pp. 936-946, 1988.
- [6] D. Biolk, "CDTA building block for current-mode analog signal processing," Proc. of the ECCTD'03., Vol. III, Krakow, Poland, pp. 397-400, 2003.
- [7] W. Tangsrirat, T. Dumawipata and W. Surakamponorn, "Multiple - input single-output current-mode multifunction filter using current differencing transconductance amplifiers," Int. J. Electron. Commun. (AEU), Vol. 61, pp. 209-214, 2007.
- [8] M. Siripruchyanun, W. Jaikla., "CMOS current- controlled current differencing transconductance amplifier and applications to analog signal processing," Int. J. Electron. Commun. (AEU), Vol. 62, pp. 277-287, 2008.
- [9] D. Prasad, D. R. Bhaskar, A. K. Singh, "Universal current-mode biquad filter using dual output current differencing transconductance amplifier" Int. J. Electron. Commun. (AEU), Vol. 63, pp. 497-501, 2009.
- [10] A. Keskin, D. Biolk, E. Hancioglu, V. Biolkov, "Current-mode KHN filter employing current differencing transconductance amplifiers," Int. J. Electron. Commun. (AEU), Vol. 60, pp. 443-446, 2006.
- [11] พิพัฒน์ พรหมมี, "หลักการตัวกรองความถี่นาลอก", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2553
- [12] P. Prommee, K. Chattrakun, "CMOS WTA maximum and minimum circuits with their applications to analog switch and rectifiers." Microelectronics Journal Volume 42, pp. 52-62, January 2011.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก
ตัวอย่างโปรแกรม PSpice ของวงจรอินพุตกระแสแตกต่างชนิด
หลายเอาต์พุตแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ
และการประยุกต์ใช้งาน
รวมทั้งแบบจำลองและค่าพารามิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม PSpice สำหรับวิเคราะห์วงจรอินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบ
ซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำและการประยุกต์ใช้งาน

```

CDTA Universal Filter
.subckt CDTA 22 7 5 12 17 20 18 21
*Pinouts IB p n z x+ x- x+ x-
*Very low-Input Impedance Current Differencing Transconductance Amplifier Circuit
VDD 1 0 dc 1.25
VSS 2 0 dc -1.25
***Current Differential****
M1 3 0 6 6 NMOS1 W=1u L=.25u
M2 4 5 6 6 NMOS1 W=1u L=.25u
M3 3 4 1 1 PMOS1 W=5u L=.25u
M4 4 4 1 1 PMOS1 W=5u L=.25u
M5 5 3 1 1 PMOS1 W=5u L=.25u
M6 6 100 2 2 NMOS1 W=3u L=.25u
M7 5 100 2 2 NMOS1 W=3u L=.25u
M8 8 7 10 10 NMOS1 W=1u L=.25u
M9 9 0 10 10 NMOS1 W=1u L=.25u
M10 8 8 1 1 PMOS1 W=5u L=.25u
M11 9 8 1 1 PMOS1 W=5u L=.25u
M12 7 9 1 1 PMOS1 W=5u L=.25u
M13 7 100 2 2 NMOS1 W=3u L=.25u
M14 10 100 2 2 NMOS1 W=3u L=.25u
M15 11 9 1 1 PMOS1 W=5u L=.25u
M16 12 3 1 1 PMOS1 W=5u L=.25u
M17 11 11 2 2 NMOS1 W=3u L=.25u
M18 12 11 2 2 NMOS1 W=2.7u L=.25u
VB1 100 0 dc -.55
****OTA****
M19 13 12 15 15 NMOS1 W=10u L=.25u
M20 14 0 15 15 NMOS1 W=10u L=.25u
M21 13 13 1 1 PMOS1 W=5u L=.25u
M22 14 14 1 1 PMOS1 W=5u L=.25u
M23 16 14 1 1 PMOS1 W=5u L=.25u
M24 16 16 2 2 NMOS1 W=3u L=.25u
M25 17 13 1 1 PMOS1 W=5u L=.25u
M26 17 16 2 2 NMOS1 W=3u L=.25u
M27 18 13 1 1 PMOS1 W=5u L=.25u
M28 18 16 2 2 NMOS1 W=3u L=.25u
M29 19 13 1 1 PMOS1 W=5u L=.25u
M30 19 19 2 2 NMOS1 W=3u L=.25u
M31 20 14 1 1 PMOS1 W=5u L=.25u
M32 20 19 2 2 NMOS1 W=3u L=.25u
M33 21 14 1 1 PMOS1 W=5u L=.25u
M34 21 19 2 2 NMOS1 W=3u L=.25u
Mb1 22 22 2 2 NMOS1 W=5u L=.25u
Mb2 15 22 2 2 NMOS1 W=5u L=.25u
*****0.25um*****
* LOT: T14Y MOSIS WAF: 03
* DIE: N_Area_Fring DEV: N3740/10
* Temp = 27
.MODEL NMOS1 NMOS (LEVEL = 3

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+ TOX = 5.7 E-9 NSUB = 1E17 GAMMA = 0.4317311
+ PHI = 0.7 VTO = 0.4238252 DELTA = 0
+ UO = 425.6466519 ETA = 0 THETA = 0.1754054
+ KP = 2.501048E-4 VMAX = 8.287851E4 KAPPA = 0.1686779
+ RSH = 4.062439E-3 NFS = 1E12 TPG = 1
+ XJ = 3E-7 LD = 3.162278E-11 WD = 1.232881E-8
+ CGDO = 6.2E-10 CGSO = 6.2E-10 CGBO = 1E-10
+ CJ = 1.81211E-3 PB = 0.5 MJ = 0.3282553
+ CJSW = 5.341337E-10 MJSW = 0.5)
.MODEL PMOS1 PMOS (LEVEL = 3
+ TOX = 5.7E-9 NSUB = 1E17 GAMMA = 0.6348369
+ PHI = 0.7 VTO = -0.5536085 DELTA = 0
+ UO = 250 ETA = 0 THETA = 0.1573195
+ KP = 5.194153E-5 VMAX = 2.295325E5 KAPPA = 0.7448494
+ RSH = 30.0776952 NFS = 1E12 TPG = -1
+ XJ = 2E-7 LD = 9.968346E-13 WD = 5.475113E-9
+ CGDO = 6.66E-10 CGSO = 6.66E-10 CGBO = 1E-10
+ CJ = 1.893569E-3 PB = 0.9906013 MJ = 0.4664287
+ CJSW = 3.625544E-10 MJSW = 0.5)

```

```

*****0.25um*****
.ends CDTA

```

```

I1 0 3 ac 0
I2 0 8 ac 1
I3 0 4 ac 1
Ib1 0 200 dc 50u
Ib2 0 300 dc 50u
x1 200 8 100 9 3 4 0 0 CDTA
x2 300 3 6 7 6 8 0 0 CDTA
C1 9 0 12p
C2 7 0 12p
Ro 4 0 1
.ac dec 100 10k 100meg
.probe
.end

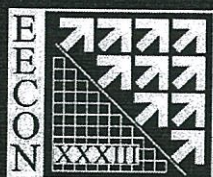
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การประชุมวิชาการ ทางวิศวกรรมไฟฟ้า ครั้งที่ ๓๓

33rd Electrical Engineering Conference (EECON-33)

คำนำ

Keynote Speakers

บทความรับเชิญ

บทความดีเด่น

ดัชนีผู้เขียนบทความ Vol.1 (Author Index Vol.1)

ดัชนีผู้เขียนบทความ Vol.2 (Author Index Vol.2)

ดัชนีคำสำคัญ Vol.1 (Keyword Index Vol.1)

ดัชนีคำสำคัญ Vol.2 (Keyword Index Vol.2)

กำหนดการ

Sponsor

หน้าปก Proceedings

Proceeding Vol.1

Proceeding Vol.2

Abstract Program

บทความทางวิศวกรรมไฟฟ้า

ไฟฟ้ากำลัง (PW)

อิเล็กทรอนิกส์กำลัง (PE)

ไฟฟ้าสื่อสาร (CM)

อิเล็กทรอนิกส์ (EL)

การประมวลผลสัญญาณดิจิทัล (DS)

ระบบควบคุมและการวัดคุม (CT)

งานวิจัยที่เกี่ยวข้องกับวิศวกรรมไฟฟ้า (GN)

ไฟโตนิกส์ (PH)

คอมพิวเตอร์และเทคโนโลยีสารสนเทศ (CP)

วิศวกรรมชีวการแพทย์ (BE)

ร่วมจัดโดย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

มหาวิทยาลัยเชียงใหม่

มหาวิทยาลัยเทคโนโลยีมหิดล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำและการประยุกต์ใช้งาน Low Input Impedance CMOS Multiple-Outputs CDTA and Its Application

ฉัฐ ปิ่นเงิน² มนตรี สมดุลกนก¹ และ พิพัฒน์ พรหมมี²

¹ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสยาม

เลขที่ 38 ถนนเพชรเกษม แขวงบางหว้า เขตภาษีเจริญ กรุงเทพฯ 10160 โทรศัพท์: 0-2457-0068 E-mail: mousom@siamu.com

²สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขที่ 1 ลาดกระบัง เขตลาดกระบัง กรุงเทพฯ 10520 โทรศัพท์: 0-2326-4550 E-mail: kppipat@kmitl.ac.th

บทคัดย่อ

บทความวิจัยนี้นำเสนอวงจรอินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอสที่มีอินพุตอิมพีแดนซ์ต่ำ (CMOS MO-CDTA) ที่สร้างขึ้นโดยการต่อวงจรกระแสแตกต่างที่มีอินพุตอิมพีแดนซ์ต่ำแบบคาชเช็กซ์กับด้านหน้าของวงจรถือเอาต์พุตพื้นฐาน วงจรที่นำเสนอได้ถูกจำลองแบบการทำงานโดยใช้โปรแกรม PSpice ผลของการจำลองแบบพบว่า อิมพีแดนซ์ของวงจรมีค่าต่ำมากสอดคล้องกับอินพุตอิมพีแดนซ์ทางอุดมคติของแอมพลิฟายเออร์กระแสที่ด้อยค่ามากสามารถทำงานได้ดีในช่วงของสัญญาณอินพุตและเอาต์พุตที่มีความละเอียดสูง รวมทั้งมีย่านความถี่ปฏิบัติการสูงอย่างมีนัยสำคัญ วงจรรวมความถี่หลายหน้าที่ที่สร้างขึ้นโดยใช้วงจร CMOS MO-CDTA จำนวนสองตัวได้ถูกนำเสนอไว้ในบทความวิจัยนี้ด้วยเช่นกัน เพื่อเป็นตัวอย่างของการประยุกต์ใช้งาน

คำสำคัญ: วงจรอินพุตกระแสแตกต่าง, อินพุตอิมพีแดนซ์ต่ำ, วงจรรวมความถี่หลายหน้าที่

Abstract

This paper proposes a low input impedance CMOS Multiple Outputs Current Differencing Transconductance Amplifier (CMOS MO-CDTA) which is realized by cascading a low input impedance CMOS current follower in front of a basic OTA circuit. The proposed circuit is simulated by the PSpice program and it demonstrates valuable results that its circuit input impedance is very low, as is desirable for an ideal current source input impedance, it is capable of working effectively for an input and output current in a high precision mode, and its operation bandwidth is significantly wide. A universal filter implemented by two of the proposed CMOS MO-CDTAs is also presented as an example of its applications in this paper.

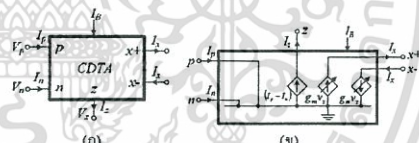
Keywords: CDTA, Low Input Impedance, Universal filter

1. บทนำ

ปัจจุบันการประมวลสัญญาณที่ทำงานในรูปแบบกระแสกำลังได้รับความนิยมอย่างแพร่หลายเพราะมีข้อดีคือ มีช่วงปฏิบัติการกว้าง ค่าที่สืบทอดและความเป็นเชิงเส้นดี มีความเที่ยงตรงและใช้ไฟเลี้ยงต่ำ

เมื่อเปรียบเทียบกับวงจรที่ทำงานในรูปแบบแรงดัน [1-2] ในอดีตได้มีการออกแบบวงจรกระแสที่รูปแบบกระแสแตกต่างประเภทที่ 1 เช่น วงจรตามกระแส (Current Follower: CF) [3] วงจรสายพานกระแส (CCII) [4] และวงจรถ่ายความนำ (Operational Transconductance Amplifier: OTA) [5] เป็นต้น

ในอดีตได้มีอุปกรณ์รูปแบบกระแสต่างชนิดนำเสนอขึ้นจากการพัฒนาจากโอทีเอซีเอ็มทีที่ดัดแปลงอินพุตให้มีกระแสแตกต่าง ซึ่งใช้ชื่อว่าวงจรถือเอาต์พุตกระแสแตกต่าง (CDTA) [6] และมีการพัฒนาอย่างต่อเนื่อง [7-10] ในทางทฤษฎีค่าความต้านทานอินพุตและเอาต์พุตจะด้อยค่าเป็นศูนย์หรือเป็นอนันต์ตามลำดับ เพื่อนำมาต่อกระแสตามเป็นอินพุตโอทีเอซีเอ็มที 2 ซึ่งมีอุปกรณ์หลายตัวรวมอยู่และสามารถปรับค่ากระแสได้ทางอิเล็กทรอนิกส์จากการปรับกระแสไบอัสที่โอทีเอซีเอ็มที ต่อมาวงจรซึ่งทำหน้าที่เป็นอินพุตกระแส [6-10] ที่ออกแบบมาไม่สามารถหาค่าสมบัติของค่าความต้านทานอินพุตให้ต่ำได้ ทำให้มีความผิดพลาดสูง อีกทั้งค่าที่เกี่ยวกับประจุแฝงที่พอรับอินพุตกระแสมีผลทำให้ช่วงความถี่สูงไม่เสถียรตามไปด้วย และอุปกรณ์ที่ใช้มากและมีแรงดันไฟเลี้ยงสูง ทำให้การใช้พลังงานสูงตามไปด้วย ซึ่งต่างกับบทความที่นำเสนอ ออกแบบให้อินพุตอิมพีแดนซ์ต่ำ มีโครงสร้างง่าย ไม่ซับซ้อน ไฟเลี้ยงต่ำ ใช้ทรานซิสเตอร์น้อยซึ่งหมายถึงใช้กำลังไฟน้อยกว่า จึงทำให้การทำงานในช่วงความถี่สูงกว้างกว่าบทความที่ผ่านมา



รูปที่ 1 วงจร CDTA ชนิดหลายเอาต์พุต (ก) สัญลักษณ์ (ข) วงจรสมมูล

บทความนี้นำเสนอ วงจรถือเอาต์พุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซีมอส (CMOS MO-CDTA) ใช้แรงดันไฟเลี้ยงต่ำ ง่ายต่อการดำเนินงานของกระแสต่าง โดยอินพุตของกระแสมีค่าความต้านทานต่ำ แต่มีความแม่นยำสูง ทำงานได้ดีที่่านความถี่สูง อีกทั้งทรานซิสเตอร์ที่ใช้มีจำนวนน้อยทำให้มีการใช้กำลังไฟต่ำ เพื่อเป็นการใช้งานได้จริง ได้

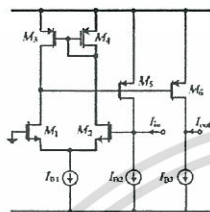
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำเสนอการประยุกต์เป็นวงจรความถี่หลายหน้าที่แบบสามอินพุตหนึ่งเอาต์พุต ที่กำหนดฟังก์ชันการถ่ายโอนได้ทำรูปแบบในวงจรเดียวกัน การใช้ตัวเก็บประจุแบบต่อกราวด์และไม่ใช้ตัวต้านทาน ทำให้วงจรที่นำเสนอเหมาะกับการนำไปสร้างเป็นวงจรรวมได้ต่อไป

2. ทฤษฎีและหลักการ

2.1 วงจรตามกระแสแบบซิมอสที่มีอินพุตอิมพีแดนซ์ต่ำ

วงจรถามกระแสแบบซิมอสที่มีอินพุตอิมพีแดนซ์ต่ำ แสดงดังรูปที่ 2 โดยใช้ทรานซิสเตอร์จำนวน 6 ตัว แบ่งจ่ายกระแส 3 ชุด ค่าอัตราขยายทางกระแสของวงจรแสดงดังสมการที่ (1) และค่าอินพุตทางกระแสมีค่าอิมพีแดนซ์ต่ำแสดงดังสมการที่ (2) ตามลำดับ



รูปที่ 2 วงจรตามกระแสแบบซิมอสที่มีอินพุตอิมพีแดนซ์ต่ำ

$$I_{out} = \alpha I_{in} \tag{1}$$

$$Z_{in} = \frac{(g_{ds1} + g_{ds3})(g_{ds2} + g_{m4} + g_{ds4})}{A} \tag{2}$$

เมื่อ $\alpha = \frac{g_{m2}g_{m3}g_{m6}}{A} \tag{3}$

และ $A = (g_{ds1} + g_{ds3})[g_{ds2}(g_{ds2} + g_{m4} + g_{ds4}) + g_{m2}g_{m3}g_{m5}]$

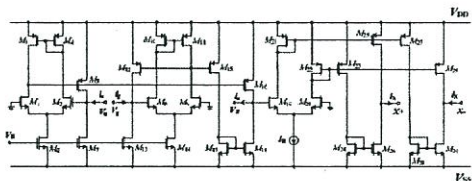
เมื่อ g_{ds} คือ ค่าทรานสคอนดักแตนซ์ระหว่างขาคอน-ซอสของทรานซิสเตอร์ตัวที่ n ส่วน g_{mi} คือ ค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ตัวที่ i และ α คือ Current Tracking Error เมื่อพิจารณาสมการที่ (2) และ (3) พบว่าอัตราขยายทางกระแสมีค่าประมาณ 1 ส่วนค่าอินพุตอิมพีแดนซ์จะมีค่าเท่ากับ $g_{ds} \ll g_{mi}$

2.2 วงจรอินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซิมอส

วงจรรินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซิมอส (CMOS Multiple Outputs Current Differencing Transconductance Amplifier: CMOS MO-CDTA) ในทางอุดมคติที่นำเสนอในบทความนี้ แสดงดังรูปที่ 1 (ก) และ (ข) คือ สัญลักษณ์และวงจรมุมุม ตามลำดับ ซึ่งคุณสมบัติโดยทั่วไปของวงจรมหาได้จากสมการเมทริกดังสมการที่ (4)

$$\begin{bmatrix} V_p \\ V_n \\ I_z \\ I_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & \pm g_m \end{bmatrix} \begin{bmatrix} I_p \\ I_n \\ V_x \\ V_z \end{bmatrix} \tag{4}$$

วงจรรินพุตกระแสแตกต่างชนิดหลายเอาต์พุตแบบซิมอส (CMOS MO-CDTA) ที่นำเสนออาศัยวงจรถามกระแสในรูปที่ 2 ต่อจากเซลล์กับวงจโร้อิโธแบบพื้นฐานโดยแสดงไว้ดังรูปที่ 3 ซึ่งค่าของกระแสเอาต์พุตที่ได้เป็นดังสมการที่ (5) โดยขนาดของทรานซิสเตอร์ที่ใช้แสดงไว้ดังตารางที่ 1



รูปที่ 3 วงจร CMOS MO-CDTA ที่นำเสนอ

$$I_x = g_m Z_c (I_p - I_n) \tag{5}$$

และ $g_m = \sqrt{(I_B) \mu_0 C_{ox} (W/L)_{1,2}} \tag{6}$

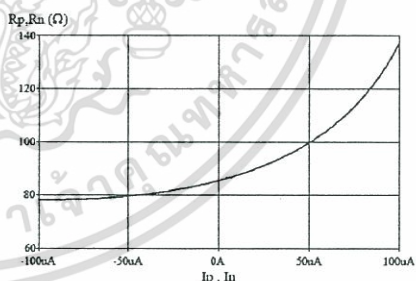
สมการที่ (6) แสดงค่าทรานสคอนดักแตนซ์ (g_m) ของพื้นฐานของวงจโร้อิโธ เมื่อ μ_0 , C_{ox} , W และ L แสดง ค่าความถ่วงตัวที่ขึ้นผิวออกไซด์ชั้นเหนืง ความกว้าง และความยาวของแชนแนล ของทรานซิสเตอร์ตามลำดับ โดยที่ค่าของ (g_m) สามารถปรับค่าได้ทางอ้อมที่ทรานซิสเตอร์ปรับค่าของกระแสไบอัส (I_B)

ตารางที่ 1 ขนาดของทรานซิสเตอร์ที่ใช้ในวงจรมานำเสนอ

Transistor	$W(\mu m)$	$L(\mu m)$
M_1, M_2, M_3, M_6	1	0.25
$M_0, M_7, M_{13}, M_{14}, M_{17}, M_{18}, M_{24}, M_{26}, M_{27}, M_{30}$	3	0.25
$M_5, M_8, M_{10}, M_{12}, M_{15}, M_{16}, M_{21}, M_{23}, M_{25}, M_{27}, M_{29}$	5	0.25
M_{19}, M_{20}	10	0.25

3. ผลการแสดงการทำงานของวงจรรินพุต CMOS MO-CDTA

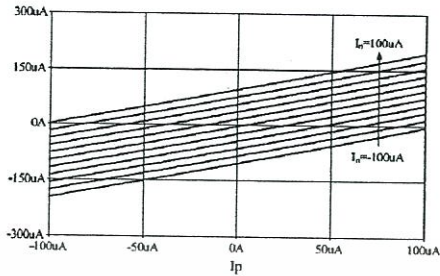
วงจรรินพุต CMOS MO-CDTA ที่นำเสนอ สามารถขึ้นคุณสมบัติและประสิทธิภาพของวงจรมหาได้โปรแกรม PSpice โดยใช้แบบจำลองของ MOSIS TSMC 0.25 μm ใช้แรงดันไฟฟ้าเท่ากับ ± 1.2 V และค่ากระแสไบอัสคงที่ (I_B) เท่ากับ 100 μA



รูปที่ 4 ค่าความต้านทานอินพุตที่พอร์ต p และ n

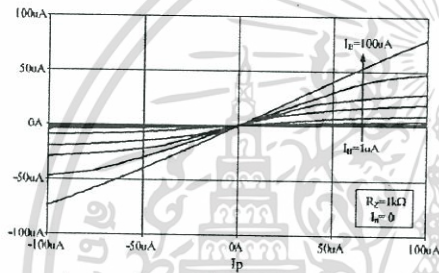


จากรูปที่ 4 แสดงค่าความต้านทานของอินพุตที่พอร์ต p และ n เมื่อป้อนกระแสตั้งแต่ $-100 \mu\text{A}$ ถึง $100 \mu\text{A}$ พบว่าค่าความต้านทานของอินพุตที่ได้มีค่าต่ำอยู่ประมาณ $80\text{-}140 \Omega$



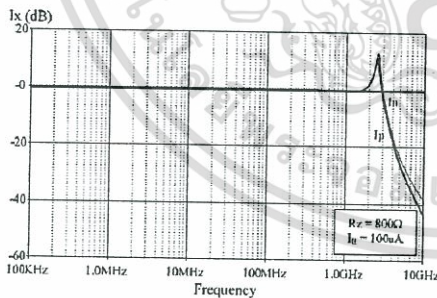
รูปที่ 5 ค่าความแตกต่างของกระแสอินพุตที่พอร์ต z

จากรูปที่ 5 แสดงค่ากระแสที่พอร์ต z เมื่อป้อนกระแสอินพุต I_p และ I_n ตั้งแต่ $-100 \mu\text{A}$ ถึง $100 \mu\text{A}$ ซึ่งจะเห็นได้ว่าค่าของกระแสเอาต์พุตมีค่าเฉลี่ยที่สูง



รูปที่ 6 กระแสที่พอร์ต x เมื่อทำการปรับค่ากระแสไบอัส I_B

จากรูปที่ 6 แสดงค่ากระแสเอาต์พุต I_o เมื่อกำหนดให้ค่าความต้านทาน $R_c = 1 \text{ k}\Omega$ ต่ออยู่ที่พอร์ต z ขณะที่แปรค่าอินพุต I_p จาก $-100 \mu\text{A}$ ถึง $100 \mu\text{A}$ โดยที่ $I_n = 0$ และทำการปรับค่า I_B ตั้งแต่ $1 \mu\text{A}$ - $100 \mu\text{A}$ พบว่ากระแสเอาต์พุตมีความสอดคล้องกันกับสมการที่ (5)

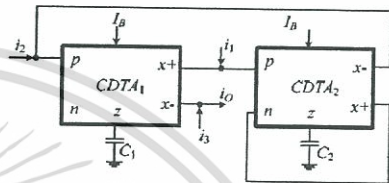


รูปที่ 7 การตอบสนองทางความถี่ที่พอร์ต x เมื่ออินพุตเป็น I_p และ I_n

ในรูปที่ 7 แสดงผลตอบสนองทางความถี่ที่พอร์ต x เมื่อป้อนอินพุตที่พอร์ต p และ n มีค่าความต้านทานประมาณ $3 \text{ k}\Omega$ (เพื่อให้เกณฑ์ค่าประมาณ 1) พบว่าที่พอร์ต x ผลตอบสนองความถี่อยู่ที่ 2.8 GHz และ 3.3 GHz ตามลำดับ

4. การประยุกต์ใช้งานเป็นวงจรกรองความถี่หลายหน้าที

เพื่ออำนวยความสะดวกในการทำงานของวงจร CMOS MO-CDTA ที่นำเสนอจากการประยุกต์ใช้งานโดยออกแบบเป็นวงจรกรองความถี่หลายหน้าที (Universal Filter) ชนิดสามอินพุตหนึ่งเอาต์พุตรูปแบบกระแส แสดงได้ดังรูปที่ 8 และฟังก์ชันการถ่ายโอนทางกระแสเอาต์พุตจากวงจรกรองความถี่หลายหน้าทีดังกล่าวมีค่าดังสมการที่ (7) และ (8) ตามลำดับ



รูปที่ 8 การประยุกต์ใช้งานเป็นวงจรกรองความถี่หลายหน้าที

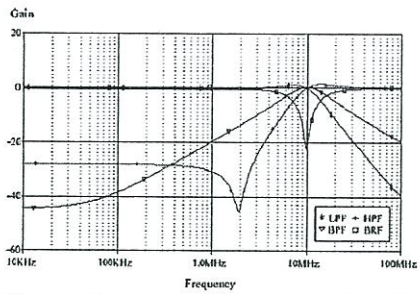
$$i_o = \frac{\left(\frac{g_{m1}g_{m2}}{C_1C_2}\right)i_1 - \left(\frac{g_{m2}}{C_2} + \frac{g_{m1}g_{m2}}{C_1C_2}\right)i_2 + \left(s^2 + s\frac{g_{m2}}{C_2} + \frac{g_{m1}g_{m2}}{C_1C_2}\right)i_3}{D(s)} \quad (7)$$

เมื่อ $D(s) = s^2 + s\frac{g_{m2}}{C_2} + \frac{g_{m1}g_{m2}}{C_1C_2}$ (8)

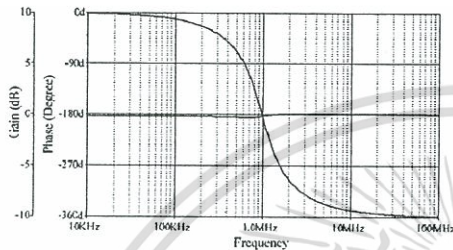
จากสมการที่ (7) กำหนดให้ $g_{m1} = g_{m2} = g_m$ และ $C_1 = C_2 = C$ เงื่อนไขการเกิดฟังก์ชันการถ่ายโอน ของวงจรกรองความถี่ทั้งห้ารูปแบบสามารถกำหนดได้โดยให้ค่าของอินพุต (I_m) เป็นดังนี้ กรณีของ LPF คือ $i_1 = I_m$ และ $i_2 = i_3 = 0$ กรณีของ HPF คือ $i_1 = 0$ และ $i_2 = i_3 = I_m$ กรณีของ BRF คือ $i_1 = i_2 = i_3 = I_m$ กรณีของ BPF คือ $i_1 = I_m$ และ $i_2 = i_3 = 0$ สุดท้ายกรณีของ APF คือ $i_1 = 0$ และ $i_2 = i_3 = 2I_m$ เป็นต้น

จากสมการที่ (8) พิจารณาเทียบกับสมการไบควอดเรตริก $D(s) = s^2 + s\frac{\omega_p}{Q_p} + \omega_p^2$ กำหนดให้ค่าพารามิเตอร์คอนดัคแตนซ์ $g_{m1} = g_{m2} = g_m$ และค่าตัวเก็บประจุ $C_1 = C_2 = C$ สามารถหาค่าความถี่ตอบสนองและค่าตัวประกอบคุณภาพของวงจรในรูปที่ 8 ได้จาก $\omega_p = g_m/C$ และ $Q_p = 1$ อีกทั้งยังสามารถอินทิเกรตสมมติของการประยุกต์ใช้งานดังกล่าวด้วยโปรแกรม PSpice โดยใช้แบบจำลอง MOSIS TSMC 0.25 μm เมื่อกำหนดให้ $I_B = 50 \mu\text{A}$ และตัวเก็บประจุมีค่า $C_1 = C_2 = 12 \text{ pF}$ ผลจำลองการทำงานแสดงได้ดังรูปที่ 9 โดยค่าความถี่ตอบสนอง ω_p มีค่าประมาณ 10 MHz ส่วนในรูปที่ 10 แสดงคุณสมบัติของวงจรกรองผ่านทุกความถี่จากการประยุกต์ใช้งานที่ความถี่ตอบสนอง 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9 คุณสมบัติของการประยุกต์เป็นวงจรกรองความถี่หลายหน้าที่



รูปที่ 10 คุณสมบัติของการประยุกต์เป็นวงจรกรองผ่านทุกความถี่

5. สรุป

บทความนี้นำเสนอวงจรอินพุตกระแสเคตค่าหลายเอาต์พุตแบบซีมอดที่มีอินพุตอิมพีแดนซ์ต่ำใกล้เคียงอุดมคติ มีการออกแบบจากวงจรคอนกรีตที่คอกาเสกกับวงจรโอเพอแบบพื้นฐาน ทำให้บทความที่นำเสนอมีโครงสร้างง่าย ไม่ซับซ้อน ใช้ทรานซิสเตอร์น้อยกว่าบทความในอดีต แรงดันไฟฟ้าและพลังงานที่ใช้เพียง ± 1.2 V, 1.2 mW มีการประยุกต์ใช้งานของวงจรที่นำเสนอเป็นวงจรกรองความถี่หลายหน้าที่ รูปแบบกระแสชนิดสามอินพุตหนึ่งเอาต์พุต ผลลัพธ์ที่ได้จะแสดงถึงคุณสมบัติของวงจร (LPF, HPF, BPF, BRF และ APF) อย่างครบถ้วน มีการทำงานในย่านความถี่สูงได้อย่างมีประสิทธิภาพ ทำให้วงจรที่นำเสนอเหมาะสมกับการนำไปสร้างเป็นวงจรรวมได้ต่อไป

เอกสารอ้างอิง

[1] H. O. Elwan, A. M. Soliman, "Novel CMOS differential voltage current conveyor and its applications," *IEE Proc., Circuits Devices Syst.*, Vol. 144, pp. 195-200, 1997.
 [2] A. Fabre and M. Alami, "A Precise Macromodel for Second Generation Current Conveyors," *IEEE Trans Circuits and Syst I*, Vol. 44, No.7, pp. 639-642, July, 1997.
 [3] J. Ramirez-Angulo, R.G. Carvajal, J. Martínez-Heredia, "1.4 V supply, wide swing, high frequency CMOS analog multiplier with high current efficiency," *Proc. of ISCAS 2000*, Geneva, Switzerland, pp. 533-536, May, 2000.

[4] E. Brun, "CMOS high speed, high precision current conveyor and current-feedback amplifier structures," *Int. J. Electron.*, Vol. 74, No.1, pp.93-100, 1993.
 [5] E. Sanchez-simencio, R. L. Geiger and H. Nevarez-Lozano, "Generation of Continuous - Time Two Integrator Loop OTA filter structures," *IEEE Trans. Circuits and Syst.*, Vol. 35, pp. 936-946, 1988.
 [6] D. Birolek, "CDTA building block for current-mode analog signal processing," *Proc. of the ECCTD '03*, Vol. III, Krakow, Poland, pp. 397-400, 2003.
 [7] W. Tangsrirat, T. Dumawipata and W. Surakamponorn, "Multiple - input single-output current-mode multifunction filter using current differencing transconductance amplifiers," *Int. J. Electron. Commun. (AEU)*, Vol. 61, pp. 209-214, 2007.
 [8] M. Siripruchyanun, W. Jaikla., "CMOS current-controlled current differencing transconductance amplifier and applications to analog signal processing," *Int. J. Electron. Commun. (AEU)*, Vol. 62, pp. 277-287, 2008.
 [9] D. Prasad, D. R. Bhaskar, A. K. Singh, "Universal current-mode biquad filter using dual output current differencing transconductance amplifier" *Int. J. Electron. Commun. (AEU)*, Vol. 63, pp. 497-501, 2009.
 [10] A. Keskin, D. Birolek, E. Hancioglu, V. Biolkov, "Current-mode KHN filter employing current differencing transconductance amplifiers," *Int. J. Electron. Commun. (AEU)*, Vol. 60, pp. 443-446, 2006.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายณัฐ ปิ่นเงิน
วัน เดือน ปีเกิด	17 กุมภาพันธ์ พ.ศ.2527 ที่จังหวัดตาก
ที่อยู่	585/87 ซ.รัชดา 10 ถ.รัชดาภิเษก แขวงห้วยขวาง เขตห้วยขวาง กทม. 10310
ประวัติการศึกษา	สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรม โทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้า คุณทหารลาดกระบัง ในปีการศึกษา 2549 และเข้าศึกษาต่อในระดับ ปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรม โทรคมนาคม ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2553
ประสบการณ์การทำงาน	
พ.ศ.2553-ปัจจุบัน	ตำแหน่ง วิศวกร แผนก Technical support บริษัท หัวเว่ย เทคโนโลยี(ประเทศไทย) จำกัด
พ.ศ.2549-2553	ตำแหน่ง วิศวกร แผนก Network Operation Center บริษัท โทเทิล แอคเซส คอมมูนิเคชั่น จำกัด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้