สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

หุ่นยนต์เคลื่อนที่แบบสุ่มโดยใช้เอฟพีจีเอราคาประหยัด

Chaotic Mobile Robot using Low Cost FPGA

โดย

นาย ไชยวัฒน์ ลิ้วารินทร์พาณิช

นาย คงศักดิ์ กาญจนโรจน์วงศ์

เลขหมู่.....
เลขทะเบียน 62750
วัน,เดือน,ปี 21 ส.ค. 2549

b 11620429
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมสารสนเทศ คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Chaotic Mobile Robot using Low Cost FPGA

BY

MR. CHAIWAT LEEVARINPANICH

MR. KONGSAK KANCHANARODWONG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT OF

REQUIREMENT FOR THE DEGREE OF

BACHELOR IN DEPARTMENT OF INFORMATION ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2005

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	หุ่นยนต์เคลื่อนที่แบบสุ่มโดยใช้เอฟพีจีเอราคาประหยัด			
ชื่อนักศึกษา	นาย คงศักดิ์	กาญจนโรจน์วงศ์	รหัสประจำตัว	45010077
	นายไชยวัฒน์	ลิ้วารินทร์พาณิช	รหัสประจำตัว	45010203
อาจารย์ที่ปรึกษา	อาจารย์ กฤดากร กล่อมการ			
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตร์บัณฑิต			
	สาขาวิศวกรรมสารสนเทศ			
ภาควิชา	วิศวกรรมสารสนเทศ			
ปีการศึกษา	2548			

ปริญญานิพนธ์ฉบับนี้ได้รับการอนุมัติเป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตร์บัณฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

.....

(อาจารย์กฤดากร กล่อมการ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	หุ่นยนต์เคลื่อนที่แบบสุ่มโดยใช้เอฟพีจีเอราคาประหยัด			
ชื่อนักศึกษา	นาย คงศักดิ์	กาญจนโรจน์วงศ์	รหัสประจำตัว	45010077
	นายไชยวัฒน์	ลิ้วารินทร์พาณิช	รหัสประจำตัว	45010203
อาจารย์ที่ปรึกษา	อาจารย์ กฤดากร กล่อมการ			
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตร์บัณฑิต			
	สาขาวิศวกรรมสารสนเทศ			
ภาควิชา	วิศวกรรมสารสนเทศ			
ปีการศึกษา	2548			

บทคัดย่อ

โครงงานนี้ เป็นการออกแบบ สร้างวงจรกำเนิด หลุมวน โดยใช้แผงวงจรรวมดิจิตอล (Digital Integrated Circuit) แบบ เอฟพีจีเอ (Field Programmable Gate Array) มาช่วยในการออกแบบ โดย ภาษาที่ ใช้ในการออกแบบ คือ ภาษา วีเอชดีแอล(VHDL)แล้วจึงนำหลุมวนแบบเชนไปใช้ประโยชน์ในด้านอุตสาหกรรม โดย การใช้ สัญญาณแคออสติกซึ่งเป็นสัญญาณ สุ่มประเภทหนึ่งในการขับเคลื่อน ใบพัดให้หมุนอย่างไม่ปกติแล้วสามารถไปประยุกต์ใช้ได้กับอุปกรณ์อีกหลายชนิดเช่น พัดลมในเครื่องฮีตเตอร์(Heater)ที่ให้ความร้อนได้อย่างเป็นธรรมชาติ เครื่องบดปั่นที่บดได้อย่างละเอียดและรวดเร็วกว่าเครื่องที่มีอยู่ทั่วไปตามท้องตลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Chaotic Mobile Robot using Low Cost FPGA
Student	MR. Kongsak Kanchanarodwong ID. 45010077
	Mr. Chaiwat Leevarinpanich ID. 45010203
Advisor	Asst. Prof. Kiddakorn Klomkan
Graduate Level	Bachelor Degree of Information Engineering
Department	Information Engineering
Academic Year	2005

ABSTRACT

This project is concerned about design and construction Attractor circuit by FPGA Digital Integrated Circuit which programmed by VHDL Language . Attractor can be useful in Industrial by using Chaostic Signal (random signal) to move turbine abnormally .

It can apply to many useful equipment such as turbine in Heater which warm user naturally or Grinding machine which grind exhaustively and more faster than normal machine.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้คงไม่อาจเสร็จได้ด้วยดี หากไม่ได้รับความช่วยเหลือ และร่วมมือจากหลาย ๆ ฝ่ายด้วยกัน บุคคลแรกที่ต้องกล่าวถึงเพราะเป็นส่วนสำคัญที่ทำให้วิทยานิพนธ์นี้เสร็จลงได้ก็คือ อาจารย์ กฤดากร กล่อมการ อาจารย์ที่ปรึกษาวิทยานิพนธ์ อีกทั้งพี่ตี๋ และพี่เจด ที่ให้ความเอาใจใส่ แนะนำ และช่วยเหลือเสมอมา ซึ่งต้องขอขอบพระคุณเป็นอย่างมาก

ขอขอบพระคุณบุคคลสำคัญที่สุดที่ทำให้ข้าพเจ้ามีวันนี้ ก็คือ บิดา มารดา อันเป็นที่เคารพรักยิ่ง ซึ่งได้เลี้ยงดูผู้เขียนมาเป็นอย่างดี พร้อมทั้งให้โอกาสในการศึกษาอย่างเต็มที่ และยังให้กำลังใจ เอาใจใส่เสมอมา ในทุก ๆ ด้านอันหาที่เปรียบมิได้ ข้าพเจ้าขอระลึกในพระคุณอันสุดประมาณ และขอกราบขอบพระคุณมา ณ ที่นี้

ขอขอบคุณ เพื่อนๆ นักศึกษาทุกคนที่ช่วยเหลือให้คำแนะนำต่างๆ ในการจัดทำ และตรวจสอบปริญญานิพนธ์สมบูรณ์

คงศักดิ์ กาญจนโรจน์วงศ์
ไชยวัฒน์ ลิ้วารินทร์พาณิช

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้าที่

บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญรูป	ฉ
บทที่ 1 บทนำ	1
1.1 แนวความคิดและที่มา	1
1.2 จุดประสงค์	1
1.3 ขอบเขตของโครงงาน	1
1.4 ผลที่คาดว่าจะได้รับ	2
1.5 สถาปัตยกรรมหลักโครงงาน	2
1.6 ขั้นตอนการดำเนินงาน	2
บทที่ 2 ทฤษฎีและหลักการที่ใช้ในโครงงาน	3
2.1 สัญญาณเคออสดิก	3
2.2 สมการของเชน	4
2.3 ทฤษฎี Logistic Map	4
2.4 สัญญาณซีเควนกึ่งแรนดัม (Pseudo Random Bit Sequence : PRBS)	8
2.5 มอเตอร์	13
2.6 ภาษาวีเอชดีแอล	16
2.7 เอฟพีจีเอ	27
2.8 ปัจจัยที่ทำให้การออกแบบชิพอุปกรณ์เอฟพีจีเอ ทำได้ง่ายและสะดวกรวดเร็ว	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

บทที่ 3 การออกแบบโครงงาน 31

3.1 วงจร frequency divider 31

3.2 วงจรกำเนิดสัญญาณกึ่งแรนดัมกึ่งแรนดัม 31

3.3 วงจรเปลี่ยนความถี่โดยการหาร 2 32

3.4 วงจรส่งสัญญาณที่ทำหน้าที่ไปขับมอเตอร์ทั้งสองข้างของหุ่นยนต์ 33
โดยสามารถเลือกความถี่ในการขับได้ 5 ระดับ

3.6 วงจรส่งสัญญาณที่ทำหน้าที่ไปขับมอเตอร์ทั้งสองข้างของหุ่นยนต์ 34
โดยมีความซับซ้อนสูง

บทที่ 4 วงจรและผลการทดลอง 35

4.1 ผลการทดลองที่ได้จากจำลองการทำงานโดยโปรแกรมModelsimXEIIv.5.6e 35

4.2 ผลการทำงานที่ได้จากโปรแกรมข้อมูลลงไปในบอร์ด FPGA Spartan3 36

บทที่ 5 สรุปผลการดำเนินงาน 38

5.1 สรุปผลการดำเนินงาน 38

5.2 ปัญหาที่เกิดขึ้นกับโครงงาน 38

5.3 แนวทางในการพัฒนาต่อ 39

บรรณานุกรม 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้าที่

รูปที่ 2.1 ภาพจากสมการของเซน 4
รูปที่ 2.2 แสดงค่า parameter r ต่างๆ 5
รูปที่ 2.3 เมื่อ parameter r = 2.8 5
รูปที่ 2.4 เมื่อ parameter r = 3.14 6
รูปที่ 2.5 เมื่อ parameter r =3.45 6
รูปที่ 2.6 เมื่อ parameter r = 3.45 7
รูปที่ 2.7 เมื่อ parameter r = 3.8 7
รูปที่ 2.8 โครงสร้างวงจรกำเนิดสัญญาณกึ่งแรนดัม 8
รูปที่ 2.9 วงจรกำเนิดสัญญาณกึ่งแรนดัมที่สร้างจากโพลีโนเมียล $1+D+D^4$ 9
รูปที่ 2.10 วงจรกำเนิดสัญญาณกึ่งแรดัมที่สร้างจากโพลีโนเมียล $1+D^3+D^4$ 10
รูปที่ 2.11 ซีเควนเอาท์พุทของ n=4 11
รูปที่ 2.12 วงจรกำเนิดสัญญาณซีเควนกึ่งแรนดัม n=4 ที่ป้องกันการเกิดซีเควน 0000 12
รูปที่ 2.13 วงจรกำเนิดสัญญาณซีเควนกึ่งแรนดัม n=4 ที่ป้องกันการเกิดซีเควน 0000 12
รูปที่ 2.14 แสดงขั้นตอนการออกแบบและระบบดิจิตอล 16
รูปที่ 2.15 การออกแบบระบบเส้นทางข้อมูล 17
รูปที่ 2.16 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบเอนทิตี้ 19
รูปที่ 2.17 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม 19
รูปที่ 2.18 แสดงโครงสร้างโดยทั่วไปของส่วนการประกาศแพ็กเก็ต 20
รูปที่ 2.19 โครงสร้างของบอดี้แพ็กเก็ต 21
รูปที่ 2.20 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ 22
รูปที่ 2.21 ตัวดำเนินการใน วีเอชดีแอล 23
รูปที่ 2.22 รูปแบบของการบรรยายแบบโปรเซส 24
รูปที่ 2.23 ขั้นตอนการออกแบบจากบนลงล่าง 26
รูปที่ 2.24 ผังแสดงการแบ่งกลุ่มของวงจรรวมเอซิก 28
รูปที่ 2.25 แสดงลักษณะของตัว FPGA และการนำไปใช้งาน 29
รูปที่ 2.26 การโปรแกรมลงในชิพอุปกรณ์เอฟพีจีเอ 30
รูปที่ 3.1 วงจร frequency divider 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่3.2 วงจรกำเนิดสัญญาณกึ่งแรนดัมที่สร้างจากโพลิโนเมียล $1+D+D^4$ 31

รูปที่3.3 วงจรกำเนิดสัญญาณกึ่งแรนดัมที่สร้างจากโพลิโนเมียล $1+D+D^7$ 32

รูปที่ 3.4 วงจรเปลี่ยนความถี่โดยการหาร 2 32

รูปที่ 3.5 วงจรส่งสัญญาณที่ทำหน้าที่ไปขับมอเตอร์ทั้งสองข้างของหุ่นยนต์ โดยสามารถเลือกความถี่ในการขับได้ 5 ระดับ 33

รูปที่ 3.6 วงจรส่งสัญญาณที่ทำหน้าที่ไปขับมอเตอร์ทั้งสองข้างของหุ่นยนต์ โดยมีความซับซ้อนสูง 34

รูปที่ 4.1 จำลองการทำงานวงจร PRBS order 4 35

รูปที่ 4.2 จำลองการทำงานวงจร PRBS order 7 35

รูปที่ 4.3 จำลองการทำงานวงจร PRBS order 31 36

รูปที่ 4.4 หุ่นยนต์จำลองการทำงานของวงจร PRBS 37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 แนวความคิดและที่มา

ปกติแล้วในการใช้งานวงจรรวมที่มีขนาดใหญ่ และซับซ้อนมากขึ้นก็จำเป็นจะต้องใช้จำนวนไอซีที่มากขึ้น ทรัพยากรต่างๆที่มากขึ้นอีกทั้งยังไม่สะดวกในการต่อวงจรที่สลับซับซ้อนและยังหาจุดผิดพลาดยากอีกด้วย

แต่ในปัจจุบันมีเทคโนโลยีในการสร้างวงจรรวมดิจิตัลในรูปแบบของPLD(Programmable Logic Device)ต่างๆเช่น SPLD ,CPLD ,FPGA โดยภายใน PLD นี้จะประกอบด้วยกลุ่มของลอจิกพื้นฐานทั้งวงจร คอมบิเนชัน(Combination) วงจร ซีเควนเชียล (Sequential) ซึ่งใช้Software บนเครื่อง PCทั่วไปในการออกแบบและโปรแกรม ลงไปได้หลายครั้งโดยแต่ละชนิดก็มีคุณสมบัติแตกต่างกันออกไป

โดยโครงงานนี้เป็นการศึกษา หลุมวนโดยการสร้างวงจรรวมดิจิตอลขึ้นมาโดยใช้ วงจร FPGA ซึ่งสามารถโปรแกรมลงไปได้หลายครั้ง โดยใช้ภาษา VHDL ในการออกแบบวงจรขึ้นมาเพื่อพัฒนาและศึกษาความเป็นไปได้ในการสร้างสิ่งประดิษฐ์ที่ใช้สัญญาณเคออสติกให้เป็นต้นแบบในการผลิตออกไปเป็นสินค้าตอบสนองความต้องการของผู้บริโภค

1.2 จุดประสงค์

1 เพื่อพัฒนาวงจรควบคุมหุ่นยนต์เคลื่อนที่แบบสุ่ม ซึ่งปกติแล้วเป็นAnalog Circuit ให้อยู่ในรูปแบบของ FPGA ซึ่งมีความเสถียร และง่ายกว่าในรูปแบบเดิม

2 เพื่อนำความรู้และหลักการของ FPGA มาประยุกต์ใช้งานในการทำวิจัยเกี่ยวกับสัญญาณเคออสติก

1.3 ขอบเขตของโครงงาน

1 สร้างโค้ด VHDL เพื่อนำไปใช้ในวงจร FPGA ได้

2 สร้างวงจร FPGA ที่สามารถนำไปใช้กับอุปกรณ์ส่วนใหญ่ในปัจจุบันที่เป็นดิจิตอลได้ง่ายและมีความเสถียร

3 พัฒนา ตัว FPGA ให้เอาไปใช้เป็นอุปกรณ์ต้นแบบที่ได้กล่าวมาแล้วเบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ผลที่คาดว่าจะได้รับ

1 สามารถนำมาสร้างอุปกรณ์ต้นแบบสำหรับอุตสาหกรรมในประเทศได้โดยไม่ต้องเสียค่าลิขสิทธิ์

2 สามารถพัฒนาเทคโนโลยีให้เทียบเท่าอารยประเทศ

1.5 สถาปัตยกรรมหลักโครงงาน

1.5.1 ฮาร์ดแวร์(Hardware)

- เครื่องคอมพิวเตอร์สำหรับพัฒนาโปรแกรม จำนวน 1 เครื่อง ที่มีการเชื่อมต่อกับเน็ตเวิร์ค
- วงจรFPGA เพื่อใช้ในการสร้างวงจรกำเนิดสัญญาณ จำนวน 1 ชุด

1.5.2 ซอฟท์แวร์(Software)

- MATLAB เป็นโปรแกรมทดลองการซิมูเลทวงจร
- Model SIM XE III/Starter 6.0a
- Xilinx ISE 7.1i

1.6 ขั้นตอนการดำเนินงาน

ID	Task Name	2005							2006		
		June	July	August	September	October	November	December	January	February	March
1	Problem Definition										
2	Search for data										
3	Analysis & Design										
4	Hardware Design										
5	Software Design										
6	Implementation										
7	Module I										
8	Module II										
9	Module III										
10	Test & Debug										
11	Documentation										

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการที่ใช้ในโครงงาน

2.1 สัญญาณเคออสติก

เคออสติกในความหมายเชิงวิทยาศาสตร์ คือ สภาพและกระบวนการที่ไร้เสถียรภาพ (unstable) ซึ่งมีการกระทบเพียงนิดน้อย ทำให้เกิดการพัฒนาที่ไม่เป็นเส้นตรง เป็นเส้นทางคดเคี้ยวกวัดแกว่ง บางครั้งถึงก้าวกระโดดฉับพลันผลลัพธ์ที่เกิดขึ้นจึงทำนายให้ถูกต้องแม่นยำได้ยาก

จุดที่เป็นประเด็นสำคัญของทฤษฎีเคออสติก คือ ความอ่อนไหวอย่างสูงของเงื่อนไขเบื้องต้น กับ principle of weak causality ที่ถือว่าสาเหตุเบื้องต้นเพียงนิดเดียว สามารถก่อให้เกิดผลกระทบอย่างมากได้

2.1.1 ลักษณะระบบที่เป็นเคออสติก

2.1.1.1) มีคุณสมบัติแบบไม่เป็นเชิงเส้น (nonlinearly) โดยมีคุณสมบัติตรงกันข้ามกับแบบเชิงเส้น โดยฟังก์ชั่น f จะมีคุณสมบัติเป็นเชิงเส้นก็ต่อเมื่อ $f(x+y) = f(x)+f(y)$ นั่นหมายความว่าระบบไม่เป็นเชิงเส้น ผลลัพท์ของระบบทั้งหมดจะไม่เท่ากับผลรวมของผลลัพท์ที่เกิดจากระบบย่อยรวมกัน(มากกว่าหรือน้อยกว่าก็ได้) แต่ไม่ใช่ว่าระบบที่ไม่เป็นเชิงเส้นจะเกิดเคออสติกเสมอไป จะมีช่วงพารามิเตอร์(parameter) ที่จะทำให้ระบบมีพฤติกรรมแบบเคออสติก และระบบที่ไม่เป็นเชิงเส้นบางระบบก็จะเป็นเคออสติกตลอดเวลา

2.1.1.2)ไม่ใช่เกิดขึ้นแบบสุ่ม คือมีสมการอธิบาย(deterministic) กล่าวคือในระบบเคออสติก พฤติกรรมทั้งหลายเกิดขึ้นภายใต้กฎเกณฑ์ที่แน่นอนเหตุการณ์ที่ไม่สามารถทำนายล่วงหน้าได้แบบการทอดลูกเต๋าจึงไม่ใช่เคออสติก แต่การสุ่ม เพื่อให้เข้าใจว่าเคออสติกไม่ใช่การสุ่มจึงมีการเรียกเคออสติกว่า deterministic chaos

2.1.1.3)ไวต่อสภาวะเริ่มต้น(sensitivity to initial conditions) การที่เงื่อนเริ่มต้นต่างกันเพียงเล็กน้อย ทำให้ผลสุดท้ายต่างกันมาก สาเหตุที่เคออสติกไวต่อสภาวะเริ่มต้นเพราะว่ามันขยายความแตกต่างให้เพิ่มมากขึ้นอย่างรวดเร็ว การขยายความแตกต่างให้เร็วขึ้นระดับเลขยกกำลัง (exponential) ของเวลา

2.1.1.4)ไม่สามารถทำนายล่วงหน้าในระยะยาวได้ (long-term prediction is impossible) ผลมาจากข้อ 2.1.1.3 เพราะการที่ไวต่อสภาวะเริ่มต้น ทำให้เราไม่รู้จะเป็นอย่างไรในระยะยาว แต่การทำนายในระยะสั้นก็มีโอกาสเป็นไปได้(short-term prediction)

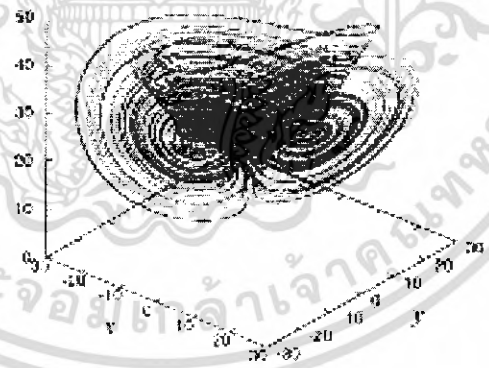
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ ระบบเคออสยังมีอีกหนึ่งคุณสมบัติคือ การแสดงลักษณะ คล้ายกับตัวเอง(self similarity) หรือที่เรียกว่า "แฟรกตัล" (fractal) ลักษณะนี้จะปรากฏเมื่อเราพลอตเส้นทางการเคลื่อนที่ของระบบในระบบพิกัดที่บ่งถึงสภาวะ(phase space) ลักษณะคล้ายกับตัวเองหมายความว่าไม่ว่าเราจะมองเส้นทางการเคลื่อนที่นี้จากสเกลเล็กหรือใหญ่แค่ไหน มันก็ยังมี ลักษณะเหมือนเดิม แต่ลักษณะแบบแฟรกตัลนี้ ไม่ได้มีส่วนเกี่ยวข้องเป็นเงื่อนไขที่จำเป็นในการเกิดเคออสติกแต่อย่างใดเพียงมักพบรวมกันบ่อยเท่านั้น

2.2 สมการของเชน

ต่อมาได้มีผู้ที่ต้องการจะควบคุมการเกิดสัญญาณเคออสติก (Chaostic Signal) ที่เกิดจากสมการของลอเรนซ์ ดังนั้นจึงได้มีการคิดค้นโดยใช้สมการของลอเรนซ์เป็นพื้นฐาน ซึ่งเรียกว่าสมการของ เชน และผู้คิดค้นคือ Tetsushi Ueta และ Guanrong Chen [2] ซึ่งมีรูปแบบสมการดังนี้

$$\frac{dX}{dt} = a(Y - X)$$
$$\frac{dY}{dt} = (c - a)x - XZ - cY$$
$$\frac{dZ}{dt} = XY - bZ$$



รูปที่ 2.1 ภาพจากสมการของเชน

2.3ทฤษฎี Logistic Map

Logistic map เป็น การแมปปิ้ง แบบ polynomial ,มักจะถูกกล่าวอ้างเป็นต้นแบบว่าพฤติกรรมแบบ chaotic สามารถเกิดขึ้นได้จากสมการ non – linear dynamic แบบ ง่ายๆโดยสมการ

$$X_{n+1} = rX_n(1 - X_n)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

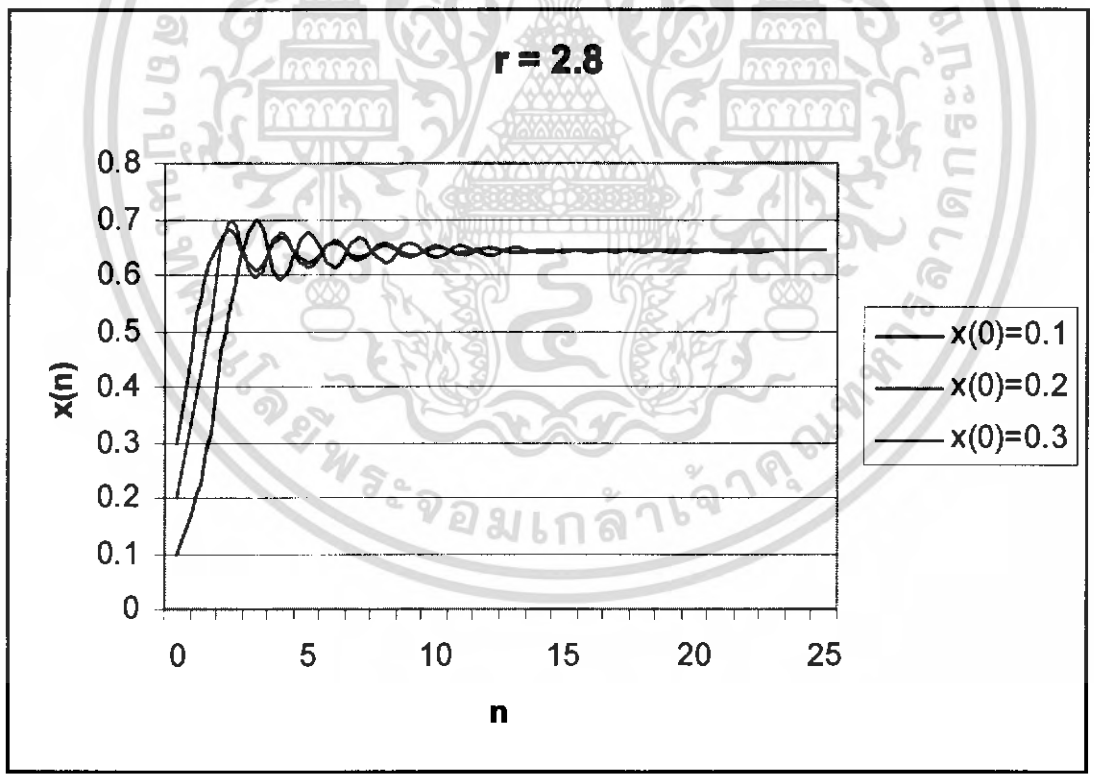
เป็นหนึ่งในฟอร์มที่ง่ายที่สุดของกระบวนการเคออติก. โดยทั่วไปแล้วการแมพแบบนี้ คล้ายๆกันกับการแมพแบบมิติเดียวทั่วๆไปเป็นกฎเกี่ยวกับการได้มาซึ่งตัวเลขจากตัวเลข โดยค่า parameter r ถูก fixไว้ แต่ถ้าการศึกษาทดลองโดยการเปลี่ยนค่า r ไปเรื่อยๆ(จนถึง 4 ,จะพบว่ามีอยู่ช่วงหนึ่งที่จะไม่เป็นค่าคงที่อีกต่อไป),มันถูกพบว่า r เป็น ตัวเร่งในการเกิด chaos ขึ้น โดยด้านล่างก็จะเป็นการดูว่าช่วง r แต่ละช่วงมีการเปลี่ยนแปลงอย่างไรบ้าง

โดยในสมการ นั้น Xn เป็นตัวเลขระหว่าง 0-1 X_0 จะเป็นสถานะเริ่มต้น r จะเป็นจำนวนจริง บวก

ในการทดลองการเปลี่ยนค่า parameter r จะเกิดพฤติกรรมดังต่อไปนี้

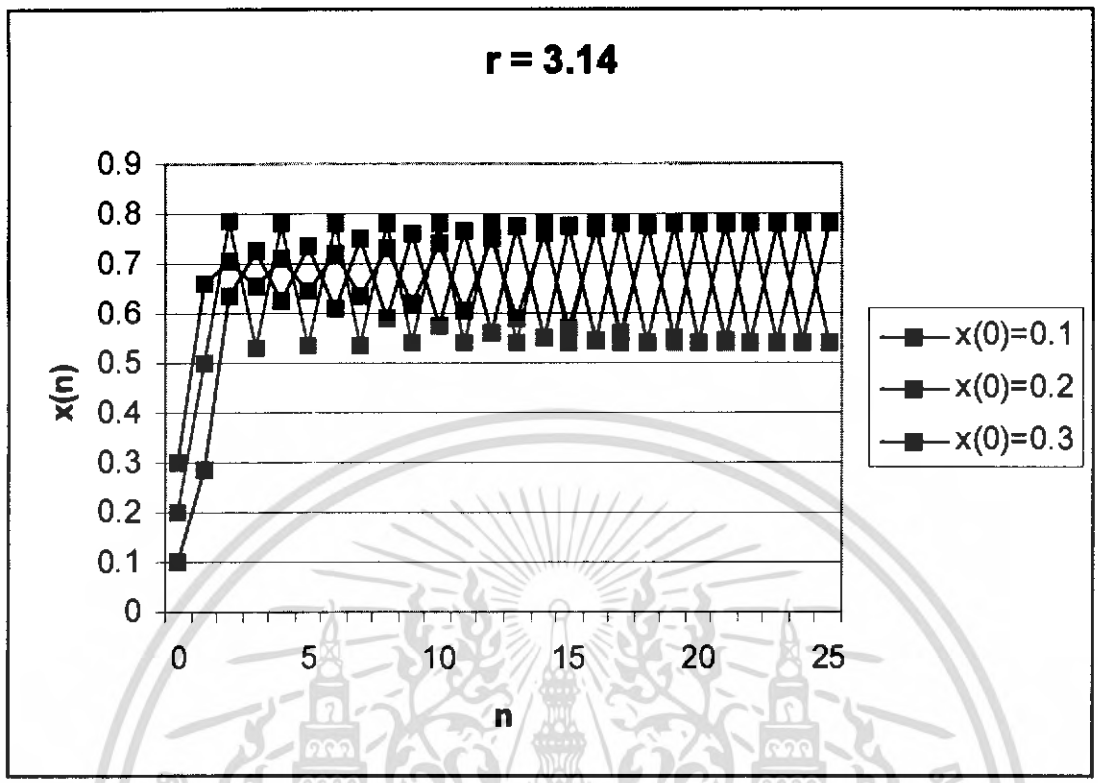
r = 2.8	*r = 3.14*	*r = 3.45*	*r = 3.8*
สมดุล	2-cycle	4-cycle	ไม่สม่ำเสมอ
คงที่	กวัดแกว่งไปมา	กวัดแกว่งไปมา	เกิดเป็นRandom

รูปที่ 2.2 แสดงค่า parameter r ต่างๆ

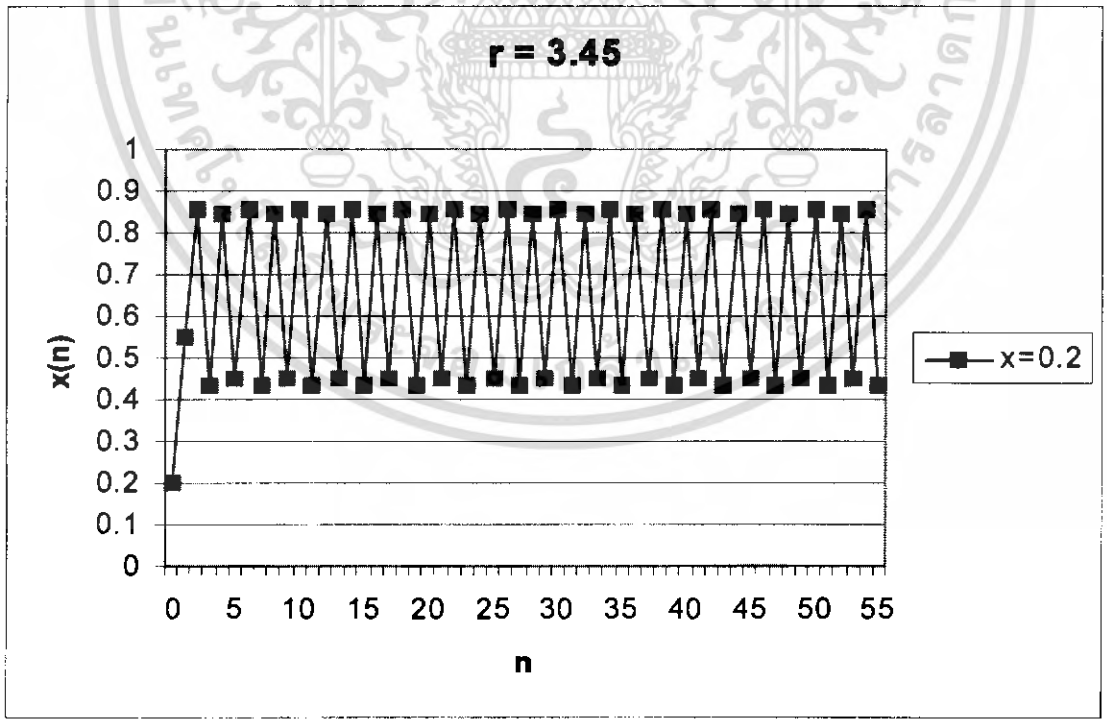


รูปที่ 2.3 เมื่อ parameter r = 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

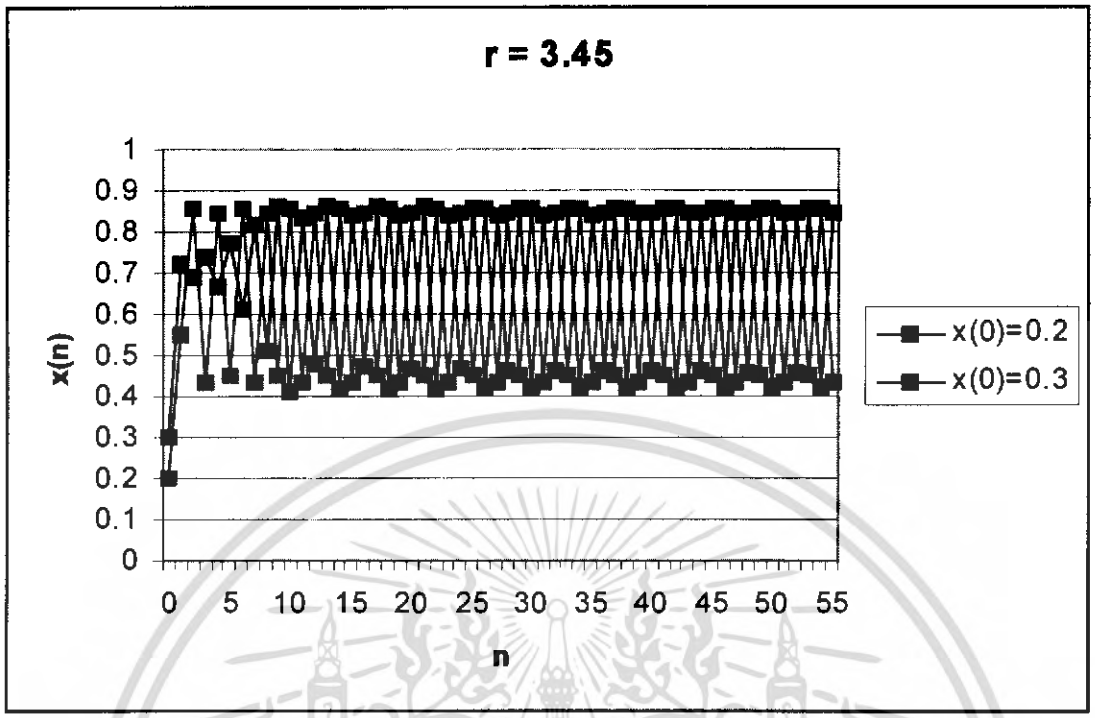


รูปที่ 2.4 เมื่อ parameter r = 3.14

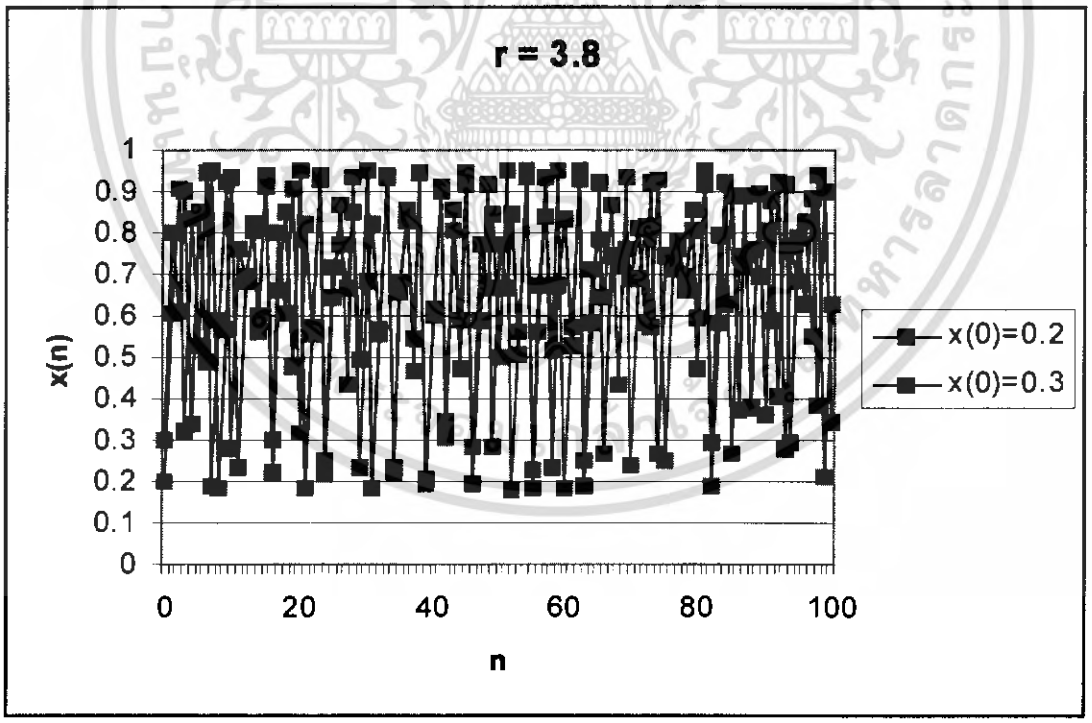


รูปที่ 2.5 เมื่อ parameter r =3.45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 เมื่อ parameter r = 3.45



รูปที่ 2.7 เมื่อ parameter r = 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 สัญญาณซีเควนกึ่งแรนดัม (Pseudo Random Bit Sequence : PRBS)

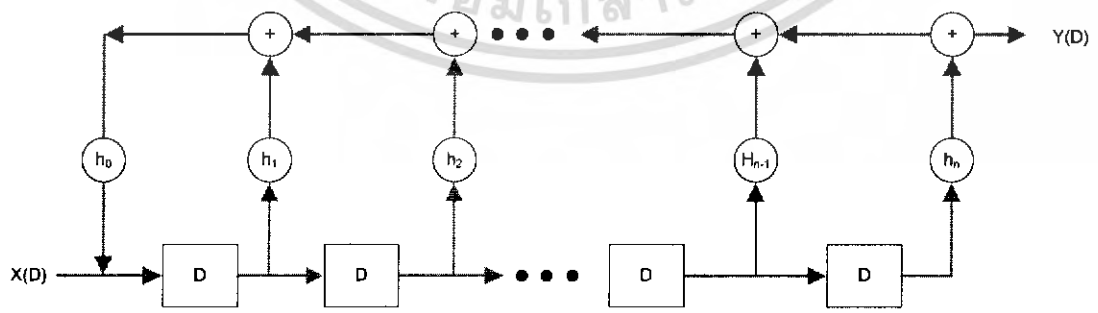
สัญญาณซีเควนกึ่งแรนดัมสามารถสร้างได้จากวงจรที่ประกอบด้วยชิฟท์รีจิสเตอร์และเอ็กคูซีฟออเกต โดยโครงสร้างวงจรแสดงได้ดังรูปที่ 2.8 จากรูปค่าสัมประสิทธิ์ h ถ้าหากมีค่าเท่ากับ 0 แล้วส่วนที่เชื่อมต่อกับระหว่างเอาท์พุตของชิฟท์รีจิสเตอร์แต่ละตัวกับเอ็กคูซีฟออเกตจะเปิดออก แต่ถ้าหาก h มีค่าเท่ากับ 1 แล้วจะเป็นการต่อวงจร จากโครงสร้างเราสามารถเขียนฟังก์ชั่นถ่ายโอนระหว่างเอาท์พุต Y(D) และอินพุต X(D) ได้คือ

$$Z(D) = \frac{Y(D)}{X((D)} = h_0 + h_1 D + h_2 D^2 + ... + h_n D^n$$

โดย n เป็นขนาดของลำดับของโพลีโนเมียลมีขนาดเท่ากับจำนวนของรีจิสเตอร์ ของวงจรอินพุตเป็นการป้อนกลับของเอาท์พุต ดังนั้นจากโครงสร้างวงจรสามารถเขียนเป็นสมการโพลีโนเมียลได้

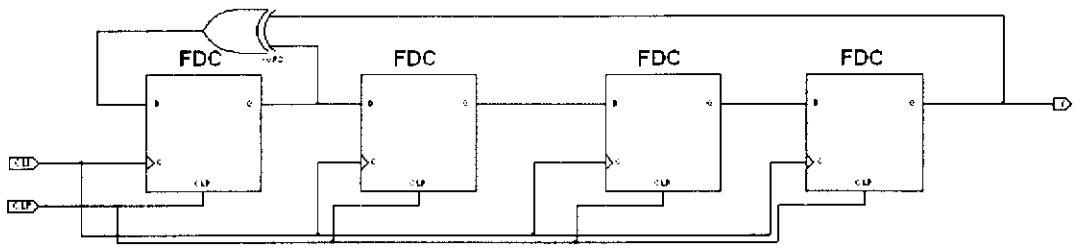
$$Z(D) = 1 + \sum_{i=1}^{n} h_i D^n$$

จากสมการเราเรียกโพลีโนเมียลลำดับ n นี้ว่าโพลีโนเมียลคุณสมบัติ(characteristic polynomial) โดยวงจรกำเนิดสัญญาณซีเควนกึ่งแรนดัมที่ให้ขนาดของซีเควนสูงสุดเมื่อโพลีโนเมียลคุณสมบัติเป็นโพลีโนเมียลที่ไม่สามารถลดรูปหรือแยกตัวประกอบได้ (irreducible polynomial) และเป็นโพลีโนเมียลแบบ primitive โดยคุณสมบัติของโพลีโนเมียลแบบนี้จะไม่เป็นตัวประกอบของ $(1+D^k)$ ถ้า k น้อยกว่า (2^n-1) สำหรับค่าโพลีโนเมียลแบบ primitive ลำดับต่างๆ แสดงด้วย D



รูปที่ 2.8 โครงสร้างวงจรกำเนิดสัญญาณกึ่งแรนดัม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 วงจรกำเนิดสัญญาณกึ่งแรนดัมที่สร้างจากโพลีโนเมียล $1+D+D^4$

กำเนิดสัญญาณกึ่งแรนดัมจากโพลีโนเมียล $1+D+D^4$ โดยแสดงวงจรได้ดังรูปที่ 2.9 จากวงจรชิฟท์รีจิสเตอร์ใช้ D ฟลิปฟลอปมีจำนวนเท่ากับลำดับของโพลีโนเมียลคือ 4 ตัว อินพุทของวงจรได้จากการป้อนกลับของการเอ็กคูซีฟออกันระหว่าง Q_1 และ Q_4

สำหรับขนาดซีเควนสูงสุดของวงจรกำเนิดสัญญาณกึ่งแรนดัมที่ออกแบบจากโพลีโนเมียลแบบ primitive ลำดับ n จะมีขนาด 2^n-1 โดยจำนวนบิต '1' ในซีเควนเท่ากับ 2^{n-1} และจำนวนบิต '0' เท่ากับ 2^{n-1}-1 หรือถ้าหาก n มีลำดับสูงๆ แล้วจะถือได้ว่าการเกิดของบิต '0' จะเท่ากับการเกิดบิต '1'

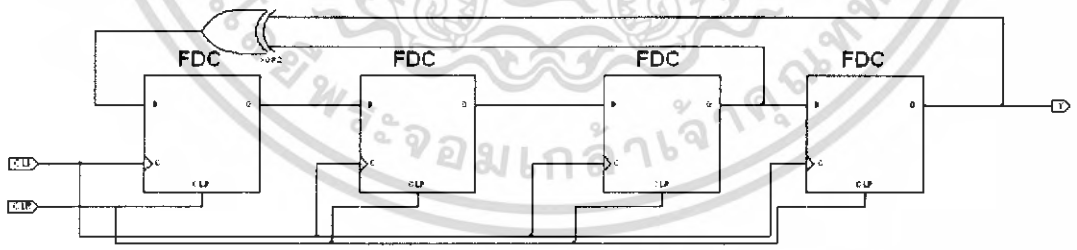
ตารางแสดงความสัมพันธ์ของซีเควน

จำนวนซีเควน หรือจำนวนฟลิปฟลอป n	ความยาวของซีเควน	การต่อสัญญาณป้อนกลับ ณ ตำแหน่งที่
2	3	[2,1]
3	7	[3,2] [3,1]
4	15	[4,3] [4,1]
5	31	[5,3] [5,2]
6	63	[6,5] [6,1]
7	127	[7,6] [7,3] [7,1]
8	255	[8,6,5,4] [8,6,5,3]
9	511	[9,5] [9,6,4,3]
10	1023	[10,7] [10,3]
11	2047	[11,9] [11,8,5,2]
12	4095	[12,6,4,1]
13	8191	[13,4,3,1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

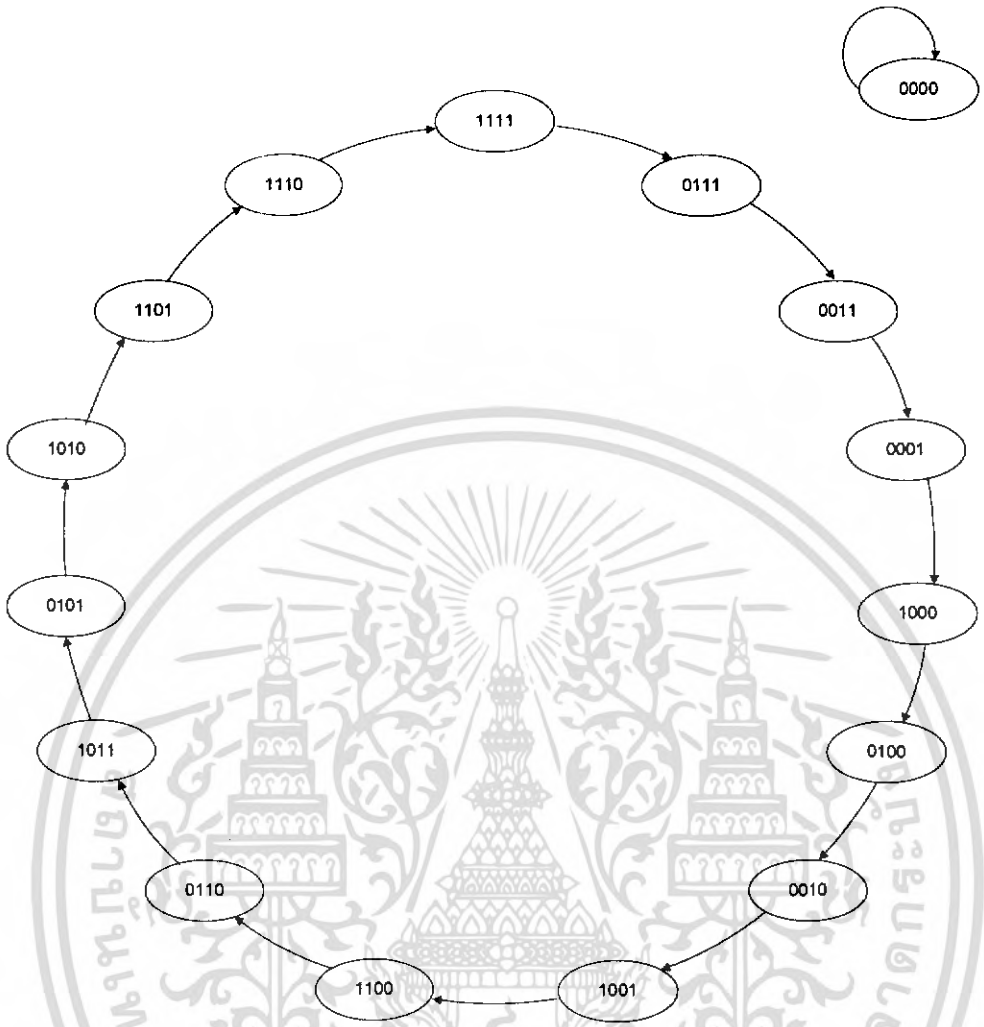
จำนวนซีเควน หรือจำนวนฟลิปฟลอป n	ความยาวของซีเควน	การต่อสัญญาณป้อนกลับ ณ ตำแหน่งที่
14	16383	[14,5,3,1]
15	32767	[15,14] [15,4]
16	655635	[16,15,13,4]
17	131071	[17,14] [17,3]
18	262143	[18,11] [18,7]
19	524287	[19,6,2,1]
20	1048575	[20,17] [20,3]
21	2097151	[21,19] [21,2]
22	4194303	[22,21] [21,2]
23	8388607	[23,18] [23,5]
24	16777215	[24,23,22,15]
25	33554431	[25,22] [25,3]

จากตารางจะเห็นได้ว่าเราสามารถสร้างสัญญาณแรนดัม n=4 โดยมีขนาดหรือความยาวซีเควนเป็น 15 ซึ่งจะสามารถสร้างได้จากโพลีโนเมียล $1+D+D^4$ และ $1+D^3+D^4$ ซึ่งแบบแรกได้แสดงไปดังรูปที่ 2.9 และโดยแบบที่ 2 จะแสดงในรูปที่ 2.10



รูปที่ 2.10 วงจรกำเนิดสัญญาณกึ่งแรดัมที่สร้างจากโพลีโนเมียล $1+D^3+D^4$

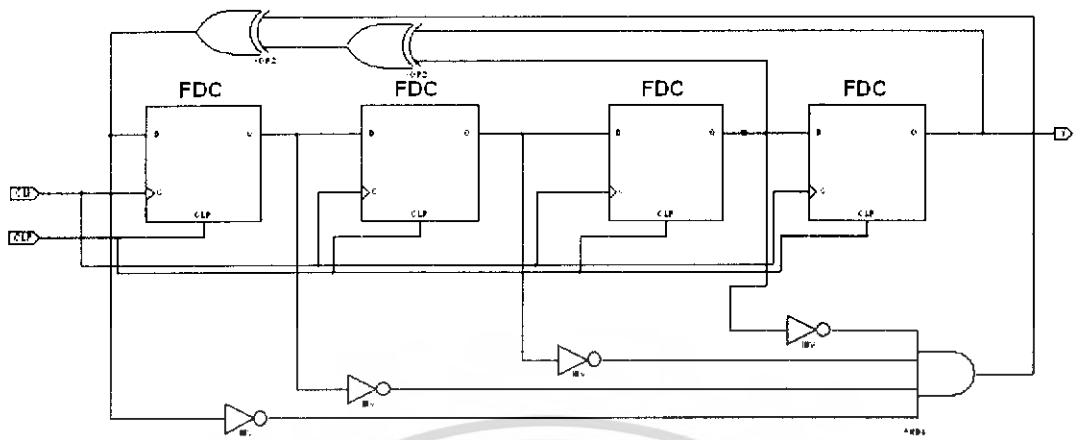
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 ซีเควนเอาท์พุทของ n=4

จากที่เห็นในรูปที่ 2.11 จะเห็นได้ว่า ถ้าเกิดสัญญาณซีเควน 0000 วงจรจะเกิดอาการค้าง ดังนั้นเราจะต้องป้องกันการเกิดซีเควน 0000 โดยการเพิ่มเกทเข้าไปในวงจร ดังรูปที่ 2.12 โดยเมื่อเกิด 0000 พร้อมกันจะให้เอาท์พุตเป็น 1

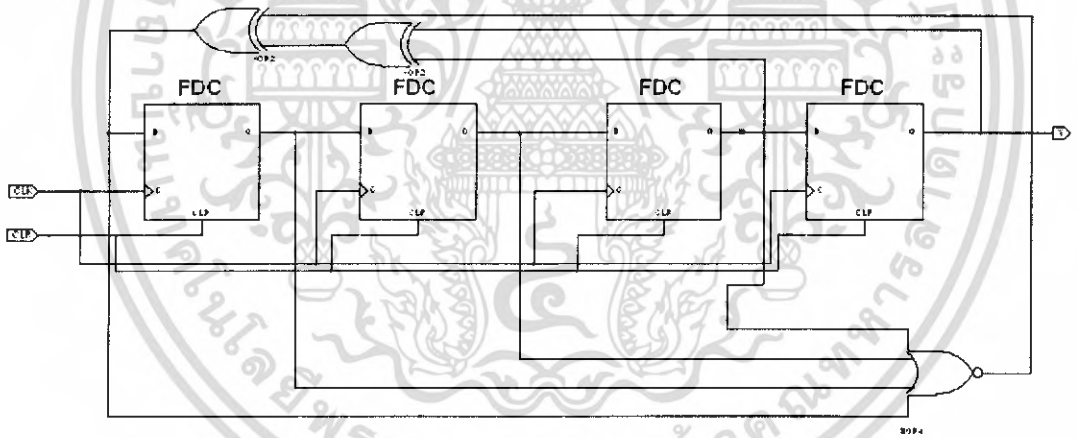
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 วงจรกำเนิดสัญญาณซีเควนกึ่งแรนดัม n=4 ที่ป้องกันการเกิดซีเควน 0000

โดยวงจรที่ 2.12 สามารถใช้เกทได้อีกแบบ ดังรูปที่ 2.13 ซึ่งสามารถจัดรูปได้สมการ

$$\overline{\overline{\overline{\overline{ABCD}}}} = \overline{A + B + C + D}$$



รูปที่ 2.13 วงจรกำเนิดสัญญาณซีเควนกึ่งแรนดัม n=4 ที่ป้องกันการเกิดซีเควน 0000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 มอเตอร์

โดยทั่วไป มอเตอร์ที่ใช้งานในปัจจุบันสามารถแบ่งออกเป็น 2 ประเภท ตามลักษณะระบบไฟฟ้าของแหล่งจ่าย หลักการหมุน และโครงสร้าง ได้แก่

มอเตอร์ไฟฟ้ากระแสสลับ (alternating current motors : AC motors) เป็นมอเตอร์ที่ทิศทางการไหลของกระแสไฟฟ้าในขดลวดของมอเตอร์ไหลกลับไปกลับมาตลอดเวลา สามารถแบ่งออกเป็นชนิดต่างๆ ตามความสำคัญและสัดส่วนของการใช้งาน ได้ดังนี้

- มอเตอร์เหนี่ยวนำ (induction motors)

มอเตอร์เนี่ยวนำเฟสเดียว (Single-Phase introduction motors) แบ่งเป็น

- เริ่มเดินเครื่องด้วยการแยกเฟส (split-phase start)
- แบบเริ่มเดินเครื่องด้วยตัวเก็บประจุ เดินเครื่องด้วยการเหนี่ยวนำ (capacitor start introduction run)
- แบบเริ่มเดินและเดินเครื่องด้วยตัวเก็บประจุ (capacitor start and run)
- แบบรีพัลชัน (repulsion start)

มอเตอร์เหนี่ยวนำสามเฟส (three-phase induction motor) แบ่งเป็น

- แบบกรงกระรอก (squirrel-cage) แบ่งออกเป็นชนิด single speed , two speed และ three speed
- แบบโรเตอร์พันลวด (wound-rotor) แบ่งออกเป็นชนิด slip ring และ comutator

- มอเตอร์ซิงโครนัส (synchronous motors)
- มอเตอร์สเตปปิง (stepping motors)
- มอเตอร์แบบมีคอมิวเทเตอร์ (commutator motors)

มอเตอร์ไฟฟ้ากระแสตรง (direct current motors : DC motors)

- มอเตอร์แบบวงจรขั้วแม่เหล็กขนาน (shunt motors)
- มอเตอร์แบบวงจรขั้วแม่เหล็กอนุกรม (series motors)
- มอเตอร์แบบวงจรขั้วแม่เหล็กผสม (compound motors)

มอเตอร์เหนี่ยวนำเป็นมอเตอร์ที่ใช้กันแพร่หลาย เพราะมีความแข็งแรง ทนทาน ราคาถูก ประสิทธิภาพสูง ความแน่นอนในการใช้งานสูง และบำรุงรักษาสะอาดได้ง่าย ในปัจจุบัน อาจกล่าวได้ว่าอุตสาหกรรมเกือบทั้งหมดใช้มอเตอร์เหนี่ยวนำเป็นต้นกำลังกล ขนาดมอเตอร์เนี่ยวนำสามเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีขนาดตั้งแต่ต่ำกว่า 1 แรงม้าที่แรงดันต่ำ (111-660 โวลต์) จะกระทั่งถึงหลายพันแรงม้าที่แรงดันสูง (3.0 กิโลโวลต์ หรือสูงกว่า)

2.5.1 โครงสร้างและการทำงานพื้นฐาน

มอเตอร์ทำหน้าที่เปลี่ยนพลังงานไฟฟ้าเป็นพลังงานกล การหมุนของมอเตอร์เกิดจากแรงของสนามแม่เหล็กไฟฟ้า (magnetic field) 2 ชุด คือ สเตเตอร์ (stator) และโรเตอร์ (rotor) พยายามที่จะจัดเส้นแรงแม่เหล็กให้อยู่ในแนวเดียวกัน การที่สนามแม่เหล็กทั้ง 2 ชุดกระทำลักษณะดังกล่าวทำให้มอเตอร์หมุนได้และยิ่งมุมที่แตกต่างกันของแนวแกนของสนามแม่เหล็ก ทั้งที่สเตเตอร์และโรเตอร์รวมทั้งความเข้มของสนามแม่เหล็กมีค่ามากเท่าไร ก็ยิ่งจะทำให้เกิดแรงทางแม่เหล็กไฟฟ้าที่กระทำให้แนวสนามแม่เหล็กทั้ง 2 ชุดเคลื่อนที่เข้าหากันมากขึ้นเท่านั้น ผลลัพธ์ของแรงกระทำอันนี้คือ แรงบิดของมอเตอร์หรือทอร์ก (torque) โดยปกติแล้วสนามแม่เหล็กในมอเตอร์แบบต่างๆ จะมีทั้งแบบที่หมุนไปรอบๆ ตัวของมอเตอร์ และแบบที่หยุดนิ่งอยู่กับที่ ตัวอย่างแบบสนามแม่เหล็กหมุน ได้แก่ มอเตอร์ไฟฟ้ากระแสสลับ ชนิดเหนี่ยวนำแบบทรงกระรอก ส่วนแบบสนามหยุดนิ่ง ได้แก่ มอเตอร์ไฟฟ้ากระแสตรง มอเตอร์เหนี่ยวนำแบบกรงกระรอกเป็นที่นิยมใช้กันมากที่สุด เนื่องจากโครงสร้างที่ง่าย แข็งแรง และไม่ต้องใช้แปรงถ่าน (carbon brush) มีการทำงานเกิดจากสนามแม่เหล็กในแกนเหล็ก (core) ที่เกิดจากขดลวดปฐมภูมิ (primary winding) หมุนแล้วเหนี่ยนำโรเตอร์ที่มีขดลวดทุติยภูมิ (secondary winding) ให้หมุนตาม หรือตัวนำโรเตอร์เกิดจากสนามแม่เหล็กที่มีค่าคงที่ แต่เคลื่อนที่หมุนไปรอบๆ สเตเตอร์ สนามแม่เหล็กจะถูกส่งผ่านช่องอากาศ (air gap) มาเหนี่ยวนำที่ตัวโรเตอร์ ทำให้เกิดแรงดัน กระแส และสนามแม่เหล็ก จากโรเตอร์ ความเร็วของสนามแม่เหล็กหมุนจากสเตเตอร์ของมอเตอร์เหนี่ยวนำ เกิดจากแรงดันไฟฟ้ากระแสสลับป้อนเข้าทางสเตเตอร์ สำหรับในระบบ 50 เฮิรตซ์ ที่ใช้กันในประเทศไทยทำให้สนามแม่เหล็กหมุนด้วยความเร็วที่ 750 1,000 1,500 3,000 รอบต่อนาที สำหรับมอเตอร์แบบ 8 6 4 และ 2 ขั้วตามลำดับเราเรียกความเร็วนี้ว่าความเร็วซิงโครนัสมอเตอร์ (synchronous speed)

2.5.2 ทฤษฎีมอเตอร์กระแสตรง (DC motors)

มอเตอร์กระแสตรงเป็นทรานสดิวเซอร์แรงบิดซึ่งมีคุณลักษณะพิเศษ คือแรงบิดของเพลาของมอเตอร์กระแสตรงจะเป็นสัดส่วนโดยตรงกับกระแสอาร์เมเจอร์ แรงบิดของเพลามอเตอร์กระแสตรงจะได้จากผลระหว่างสนามแม่เหล็กและขดลวดตัวนำ หลักการนี้แสดงได้ในรูป ในที่นี้กระแสที่ไหลในขดลวดตัวนำจะสร้างสนามที่ประกอบด้วย เส้นแรงแม่เหล็ก Ø และขดลวดตัวนำเหล่านั้นอยู่ห่างจากศูนย์กลางการหมุนเท่ากับ r ความสัมพันธ์ระหว่างแรงบิดของเพลาและกระแสเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T = K\Phi i$$

เมื่อ T คือแรงบิดของเพลา มีหน่วยเป็น นิวตัน-เมตร

Φ คือเส้นแรงแม่เหล็ก มีหน่วยเป็น เวเบอร์

K คือกระแส มีหน่วยเป็น แอมแปร์

i คือค่าคงตัว

ดังนั้นแรงบิดของเพลาจะเป็นสัดส่วนโดยตรงกับผลคูณของเส้นแรงแม่เหล็กและกระแส เมื่อขดลวดตัวนำเคลื่อนที่ในสนามแม่เหล็กก็จะทำให้เกิดโวลท์เต็จตกคร่อมตัวมันเอง โวลท์เต็จนี้จะเป็นสัดส่วนกับความเร็วของเพลามอเตอร์และด้านการไหลกระแส ความสัมพันระหว่างโวลท์เต็จย้อนกลับนี้ และความเร็วของเพลามอเตอร์คือ

$$E = K\Phi\omega$$

เมื่อ E คือ โวลท์เต็จย้อนกลับ emf มีหน่วยเป็น โวลท์

Φ คือเส้นแรงแม่เหล็ก มีหน่วยเป็นเวเบอร์

Ω คือความเร็วของมอเตอร์มีหน่วยเป็น เรเดียน/วินาที

การทำให้มอเตอร์กระแสตรงทำงาน ก็เพียงเราป้อนความต่างศักย์แล้วทำให้กระแสไหลผ่านมอเตอร์กระแสตรง โดยการหมุนจะหมุนตามเข็มนาฬิกา หรือหมุนทวนเข็มนาฬิกา ก็จะเป็นขึ้นอยู่ว่าป้อนความต่างศักย์ที่เป็นบวกให้กับขั้วไหน

จากสมการจะเห็นได้ว่าความเร็วมอเตอร์แปรผันตามความต่างศักย์ที่ตกคร่อมมอเตอร์ ดังนั้นถ้ามีความต่างศักย์ที่ตกคร่อมมอเตอร์กระแสตรงสูง จะทำให้มอเตอร์กระแสตรงหมุนด้วยความเร็วรอบสูง ในทางกลับกัน ถ้าความต่างศักย์ที่ตกคร่อมมอเตอร์กระแสต่ำ จะทำให้มอเตอร์กระแสตรงหมุนด้วยความเร็วรอบที่ต่ำเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

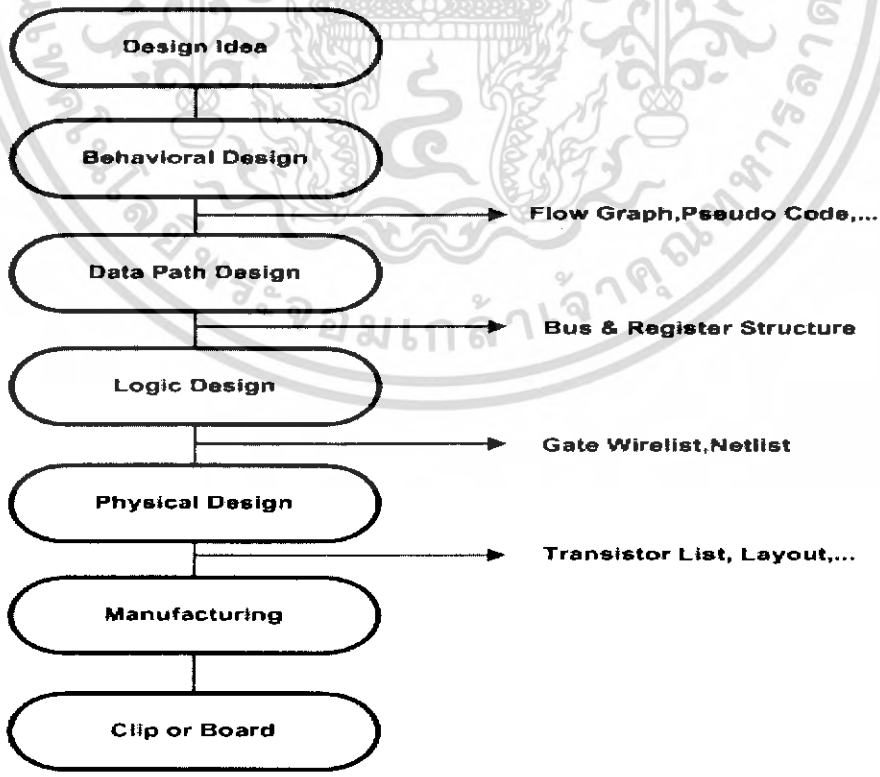
2.6 ภาษาวีเอชดีแอล

ความซับซ้อนและขนาดของระบบดิจิตอลในปัจจุบันได้เพิ่มมากขึ้นทุกขณะ ส่งผลให้มีการนำคอมพิวเตอร์เพื่อช่วยในการออกแบบ มาใช้ในกระบวนการออกแบบฮาร์ดแวร์เพิ่มขึ้นเช่นกัน อีกทั้งอุปกรณ์และวิธีการออกแบบใหม่ๆ ก็ถูกพัฒนาขึ้นมาเพื่ออำนวยความสะดวกให้กับนักออกแบบมากขึ้นด้วย สำหรับภาษาบรรยายอุปกรณ์ฮาร์ดแวร์ เอชดีแอล (HDL: Hardware Description Language) ก็เป็นเครื่องมืออย่างหนึ่งที่ได้รับการพัฒนามาอย่างต่อเนื่องเพื่อช่วยในการปรับปรุงขบวนการออกแบบระบบดิจิตอลเป็นไปอย่างมีประสิทธิภาพ

2.6.1 การออกแบบระบบดิจิตอล

ในการออกแบบระบบดิจิตอล เริ่มตั้งแต่การกำหนดแนวความคิดเบื้องต้นจนกระทั่งได้ออกมาเป็นอุปกรณ์ฮาร์ดแวร์ที่ใช้งานได้จะต้องผ่านขั้นตอนต่างๆ มากมาย และในแต่ละขั้นตอนผู้ออกแบบจะต้องตรวจสอบผลในแต่ละขั้นตอนก่อนเข้าสู่กระบวนการออกแบบในขั้นต่อไป

รูปที่ 2.14 แสดงขั้นตอนปกติที่ใช้ในการออกแบบระบบดิจิตอลทั่วไป ขั้นแรกผู้ออกแบบจะกำหนดแนวความคิดในการออกแบบ แล้วทำการพัฒนาให้สามารถนำไปใช้ได้อย่างสมบูรณ์ ซึ่งภายในขั้นตอนนี้ผู้ออกแบบจำเป็นต้องสร้างรูปแบบระบบเชิงพฤติกรรมขึ้นมาตรวจสอบซึ่งอาจจะเป็นผังงานแสดงแบบหรือรหัสคำสั่งเทียม (Pseudo code) ก็ได้

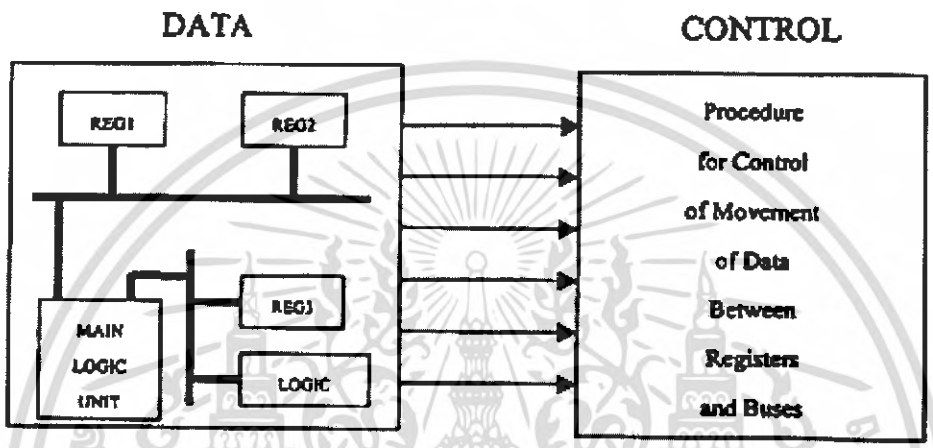


รูปที่ 2.14 แสดงขั้นตอนการออกแบบและระบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ขั้นตอนต่อไปเป็นการออกแบบระบบเส้นทางข้อมูล ผู้ออกแบบจะกำหนดส่วนประกอบของรีจิสเตอร์และวงจรลอจิกที่จำเป็นทั้งหมด เพื่อนำมาประกอบเป็นระบบที่สมบูรณ์โดยแต่ละองค์ประกอบสามารถเชื่อมต่อกันด้วยบัสหนึ่งหรือสองทิศทาง (Unidirectional or Bidirectional Bus) กระบวนการในการควบคุมการเคลื่อนย้ายข้อมูลระหว่างริจิสเตอร์และวงจรลอจิกจะขึ้นอยู่กับพฤติกรรมของระบบที่กำหนดไว้ดังรูปที่ 2.15



รูปที่ 2.15 การออกแบบระบบเส้นทางข้อมูล

ขั้นตอนถัดมาเป็นการออกแบบวงจรลอจิกซึ่งจะเกี่ยวข้องกับการนำเกทดิจิตอลพื้นฐานและฟลิปฟลอป (Flip-Flop) มาประกอบเป็นอุปกรณ์ย่อยต่างๆ เช่นรีจิสเตอร์เก็บข้อมูล บัส วงจรลอจิก และส่วนควบคุมฮาร์ดแวร์ ซึ่งผลที่ได้ในขั้นตอนนี้จะเป็นเครือข่ายของการโยงใยระหว่างเกทและฟลิปฟลอปนั่นเอง

การออกแบบในขั้นตอนถัดไปเป็นการเปลี่ยนแปลงเครือข่ายการโยงใยที่ได้จากขั้นตอนที่แล้ว ให้เป็นลำดับของทรานซิสเตอร์ (Transistor List) และโครงสร้าง (Layout) ซึ่งขั้นตอนนี้จะเกี่ยวข้องกันโดยตรงกับการจัดวางทรานซิสเตอร์หรือไลบรารีเซลล์เพื่อแทนเกทและฟลิปฟลอปต่างๆ

และในขั้นตอนสุดท้ายจะเป็นการส่งระบบที่ออกแบบไว้ไปทำการเจือที่โรงงานเพื่อผลิตออกมาเป็นวงจรรวมในที่สุด

2.6.2 ประวัติความเป็นมาของภาษาวีเอชดีแอล

วีเอชดีแอล ย่อมาจากคำว่า VHSIC Hardware Description Language (VHSIC : Very High Speed Integrated Circuit) เป็นภาษาโปรแกรมระดับสูง (High Level Language) ที่ใช้สำหรับการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
62750

ออกแบบฮาร์ดแวร์ในระบบดิจิตอล ตัวของภาษาสามารถบรรยายพฤติกรรมการทำงานในรูปของลำดับชั้น (Hierarchy) และสามารถเขียนได้หลายรูปแบบด้วยเหตุผลนี้จึงทำให้ภาษาวีเอชดีแอล เป็นเครื่องมือที่ใช้ออกแบบตั้งแต่ขั้นตอนบนสุด คือ แนวความคิดที่จะแก้ปัญหา ลงไปทีละขั้นจนถึงขั้นตอนการสร้างวงจรจริง และตัวภาษาก็เปิดโอกาสให้วิศวกรได้พัฒนาและจำลองการทำงานของรูปแบบฟังก์ชั่นการทำงานของวงจรอย่างสังเขป โดยไม่คำนึงถึงรายละเอียดเกี่ยวกับโครงสร้างวงจรจริง นอกจากนี้วีเอชดีแอล ยังเป็นภาษาที่สนับสนุนลักษณะต่างๆ ของระบบดิจิตอลที่มีความซับซ้อนได้ทั้งหมด ดังนั้นวีเอชดีแอล จึงเป็นภาษาที่น่าสนใจในการศึกษาและนำไปใช้งานอย่างยิ่ง สำหรับมาตรฐานของภาษาที่ใช้บรรยายพฤติกรรมวงจร หรือฮาร์ดแวร์ของระบบสำหรับโครงการไอซีวีเอชเอส ที่ ดีโอดี ได้ให้ไว้สามารถสรุปได้ดังนี้

- ต้องเป็นภาษาที่นำไปเขียนรูปแบบดิจิตอลและมีคุณสมบัติที่สามารถเข้าใจได้ทั้งมนุษย์และเครื่องคอมพิวเตอร์โดยไม่ต้องมีการแปลหรือเปลี่ยนแปลงอีก
- สามารถนำไปใช้เป็นเอกสารประกอบโครงการได้
- ต้องเป็นภาษาที่เขียนขึ้นสำหรับใช้จำลองการทำงานของวงจร

ฉะนั้นภาษาดังกล่าวนี้จึงจัดเป็นภาษาโปรแกรมระดับสูง เช่นเดียวกับภาษาปาสคาล หรือภาษาซี ซึ่งในทางวิศวกรรมภาษาที่ใช้ในการออกแบบฮาร์ดแวร์นี้เรียกว่า ภาษาโปรแกรมระดับสูง

2.6.3 องค์ประกอบพื้นฐานต่างๆ ของภาษาวีเอชดีแอล

ในการเขียนรูปแบบภาษาบรรยายระบบดิจิตอล ในมุมมองของการออกแบบลักษณะบนลงล่าง จะต้องทำความเข้าใจในเรื่องของโครงสร้างและส่วนประกอบต่างๆ ของรูปแบบภาษาวีเอชดีแอลเสียก่อน ซึ่งส่วนประกอบที่สำคัญและเป็นพื้นฐานของการเขียนคือ

1) หน่วยการออกแบบเอนทิตี้ (Entity Design Unit)

หน่วยการออกแบบนี้ เป็นส่วนที่ใช้สำหรับติดต่อระหว่างโลกภายนอกกับรูปแบบที่เขียนขึ้น ที่เรียกว่า หน่วยการออกแบบเอนทิตี้ ในส่วนนี้ใช้กำหนดจุดเชื่อมต่อ ของรูปแบบ กำหนดทิศทางการไหลของสัญญาณ และประเภทของค่าที่สามารถกำหนดให้กับสัญญาณตามจุดต่างๆ ของข้อมูลที่ไหลผ่านจุดต่อเหล่านั้น รูปที่ 2.16 แสดงให้เห็นโครงสร้างอย่างง่ายของ หน่วยการออกแบบเอนทิตี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ENTITY component_name IS
        input and output ports
        physical and other parameter
END [component_name];
```

รูปที่ 2.16 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบเอนทิตี้

ส่วนนี้จะขึ้นต้นด้วยคำว่า ENTITY และ IS ระหว่างคำทั้งสองเป็นส่วนสำหรับชื่อของรูปแบบที่ต้องการจะเขียน (Component_name) สำหรับการตั้งชื่อนั้นต้องเป็นไปตามกฎเกณฑ์ของภาษาหลังจากนั้นจะตามด้วยส่วนที่ใช้กำหนดช่องของทางเข้าและออกข้อมูล (input - output) รวมทั้งพารามิเตอร์อื่นๆ ส่วนนี้เรียกว่าส่วนหัว (entity header) และที่สำคัญคือ หน่วยการออกแบบเอนทิตี้ต้องปิดท้ายด้วยคำว่า END และเครื่องหมายอัฒภาคเสมอ (;)

2) หน่วยการออกแบบสถาปัตยกรรม (Architecture Design Unit)

คือส่วนที่ใช้เขียนบรรยายพฤติกรรมของรูปแบบ ในมุมมองของการจำลองการทำงานของพฤติกรรมต่างๆ ที่บรรยายในส่วนนี้ขึ้นอยู่กับข้อมูลที่ผ่านเข้าและออก ตรงช่องทางตลอดจนพารามิเตอร์ต่างๆ ที่กำหนดในหน่วยการออกแบบเอนทิตี้ รูปที่ 2.17 แสดงให้เห็นถึงโครงสร้างอย่างง่ายๆ ของหน่วยการออกแบบสถาปัตยกรรม

```
ARCHITECTURE indentifier OF component_name IS
[declaration]
BEGIN
        specification of the functionality of the
        component in terms of its input lines and
        as influenced by physical and other parameters
END [indentifier]
```

รูปที่ 2.17 แสดงโครงสร้างโดยทั่วไปของหน่วยการออกแบบสถาปัตยกรรม

ส่วนของหน่วยการออกแบบสถาปัตยกรรม เริ่มต้นด้วยคำว่า ARCHITECTURE และตามด้วยชื่อ (identifier) สิ่งที่ต้องกำหนดลงไปได้แก่ สิ่งที่แสดงให้เห็นว่า ARCHITECTURE นั้นใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรยายหน่วยการออกแบบเอนทิตี้ใดๆ (OF < entity design unit > IS) ส่วนที่อยู่ระหว่าง ARCHITECTURE และ BEGIN เป็นพื้นที่ส่วนประกาศหน่วยของสถาปัตยกรรมกำหนด (architecture declarative area) ที่เป็นเพียงส่วนเผื่อเลือก (option) ในบริเวณนี้สามารถใช้เขียนประกาศกำหนดค่าต่างๆ ที่จะนำไปใช้ภายในสถาปัตยกรรมนั้นได้ อาทิเช่นประเภท (type) ต่างๆ (ตัวอย่างเช่น bit และ bit_vector) สัญญาณ (signal) ตัวคงที่ (constant) โปรแกรมย่อย (ได้แก่ function และ procedure) และอุปกรณ์ (component) ส่วนที่ใช้บรรยายความสัมพันธ์ระหว่างข้อมูลที่ไหลเข้าและไหลออกของรูปแบบ (สัญญาณที่กำหนดในชุดคำสั่ง PORT) นั้นจะถูกบรรยายในบริเวณเนื้อที่ระหว่างคำว่า BEGIN กับ END ของหน่วยการออกแบบสถาปัตยกรรมและนอกจากนั้นชุดคำสั่งทุกคำสั่งที่อยู่ภายในบริเวณนี้จะเป็นชุดคำสั่งแบบขนาน (concurrent statement) เท่านั้น หน่วยการออกแบบสถาปัตยกรรมจะต้องปิดท้ายด้วยคำสั่ง END และชื่อของสถาปัตยกรรมนั้นๆ ที่เป็นส่วนเผื่อเลือกโดยทั่วไปการเขียนรูปแบบระบบดิจิตอลด้วยภาษาวีเอชดีแอลสามารถเขียนได้ในลักษณะต่างๆ ดังนี้

- ประเภทการไหลของข้อมูล (Dataflow description)
- ประเภทพฤติกรรม (Behavioral description)
- ประเภทโครงสร้าง (Structure description)
- ประเภทผสม (Mixed model description)

3) หน่วยการออกแบบแพ็กเก็ต (Package Design Unit)

ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อย (subprogram) ที่เป็นประโยชน์ต่อการเขียนรูปแบบบรรยายระบบดิจิตอล สามารถเก็บไว้ในส่วนที่เรียกว่า package ได้ และข้อมูลเหล่านี้สามารถเรียกใช้ได้โดย entity design unit architecture design unit หรือจาก package unit อื่นๆ ด้วยคำสั่ง USE statement นอกจากนั้นสิ่งที่นิยมทำกันมากคือรูปแบบ (model) มาตรฐานต่างๆ อาทิเช่น standard component (model ของ IC ตระกูล 74xx) จะถูกเก็บไว้ในแพ็กเก็ต ที่ทุกคนสามารถเข้าถึงและนำไปใช้ได้

โดยปกติแล้ว แพ็กเก็ตจะแบ่งออกเป็น 2 ส่วนคือ การประกาศแพ็กเก็ต (Package declaration) และส่วนของบอดี้แพ็กเก็ต (Package body) เนื่องจา แพ็กเก็ตถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่นำแพ็กเก็ตไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษาวีเอชดีแอลสามารถกระทำได้ด้วยชุดคำสั่ง USE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การประกาศแพ็กเก็ต (Package Declaration)

ส่วนที่มีความสำคัญที่สุดของแพ็กเก็ต (มองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ การประกาศแพ็กเก็ต เพราะจะเป็นส่วนที่กำหนดชื่อ (identifier) ของสิ่งที่ประกาศอยู่ภายในแพ็กเก็ต สำหรับการนำไปใช้ภายนอกตัวของแพ็กเก็ตเอง ถ้าสิ่งใดๆ ถูกประกาศในส่วนของบอดี้แพ็กเก็ต แต่ไม่ถูกประกาศในการประกาศแพ็กเก็ตจะไม่สามารถถูกนำค่า และพฤติกรรมไปใช้จากส่วนนอกได้ ซึ่งสามารถเปรียบเทียบได้กับสิ่งที่ประกาศไว้ในส่วนของการประกาศเอนทิตี้ คือ จุดเชื่อมต่อ ที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้วแพ็กเก็ตสามารถสร้างขึ้นได้โดยไม่จำเป็นต้องมีส่วนบอดี้และยังสามารถถูกนำไปใช้จากรูปแบบ (model) ภายนอกได้เช่น ใช้สำหรับประกาศ ชนิด (TYPE) เช่นเดียวกันกับบอดี้แพ็กเก็ตที่ไม่จำเป็นต้องมีการประกาศแพ็กเก็ต แต่แพ็กเก็ตนั้นจะไม่สามารถนำไปใช้ในรูปแบบ (model) อื่นได้ การเขียนการประกาศแพ็กเก็ต มีเกณฑ์ตามที่แสดงในรูปที่ 2.18

```
PACKAGE package_name IS
        package_declarative_part
END package_name;
```

รูปที่ 2.18 แสดงโครงสร้างโดยทั่วไปของส่วนการประกาศแพ็กเก็ต

- โครงสร้างของแพ็กเก็ต (Package Body)

โครงสร้างที่ประกอบด้วยคำสั่งต่างๆ ในรูปของคำสั่งลำดับ ที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อย (Subprogram) ทั้งหลายที่ชื่อของโปรแกรมย่อยนั้นๆ ที่ถูกประกาศไปในส่วนของการประกาศแพ็กเก็ต แล้วจะถูกเก็บไว้ในส่วนบอดี้แพ็กเก็ต แต่ถูกกำหนดค่าคงที่ต่างๆ อันได้แก่ตัวค่าคงที่ที่ถูกประกาศชื่อก่อนในส่วนของการประกาศแพ็กเก็ต แต่ถูกกำหนดค่าในส่วนของบอดี้แพ็กเก็ต ฉะนั้นส่วนบอดี้แพ็กเก็ต จึงไม่จำเป็นต้องมี ถ้าในส่วนของการประกาศแพ็กเก็ต ไม่มีการประกาศชื่อ ที่เป็นโปรแกรมย่อย หรือค่าคงที่ การเขียนบอดี้แพ็กเก็ตนั้นเป็นไปตามกฎเกณฑ์ที่แสดงในรูปที่ 2.19

```
PACKAGE BODY package_name IS
        declarative_part
END package_name;
```

รูปที่ 2.19 โครงสร้างของบอดี้แพ็กเก็ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) หน่วยการออกแบบโครงแบบ (Configuration Design Unit)

รูปแบบหนึ่งของระบบดิจิตอลไม่ว่าจะเป็นอะไร จะมีหน่วยการออกแบบเอนทิตี้ได้ เพียงหนึ่งเดียวเท่านั้น แต่ในขณะที่หน่วยการออกแบบเอนทิตี้ หนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรม ที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมี หน่วยการออกแบบโครงแบบ มาเพื่อกำหนดการใช้โครงแบบ (Configuration) ประกอบเอนทิตี้กับหน่วยการออกแบบสถาปัตยกรรมหน่วยไหนเข้าด้วยกัน

```
CONFIGURATION indentifier OF entity_name IS
                    configuration_declerative_part
END;
```

รูปที่ 2.20 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ

5) โปรแกรมย่อย

การใช้ฟังก์ชันและโพรซีเจอร์ใน วีเอชดีแอล เปรียบได้กับการใช้โปรแกรมย่อยในการเขียนโปรแกรมภาษาชั้นสูงทั่วๆ ไปค่าที่ถูกส่งกลับหรือถูกเปลี่ยนแปลงโดยโปรแกรมย่อยอาจจะมีหรือไม่มีผลต่อฮาร์ดแวร์โดยตรงก็ได้ เช่นถ้าใช้ฟังก์ชันแทนการกระทำในสมการบูลีนก็จะมีผลต่อวงจรลอจิกจริงๆ ในขณะที่ถ้าใช้โปรแกรมย่อยในการเปลี่ยนแปลงชนิดของข้อมูลหรือในการคำนวณค่าการหน่วงเวลาแล้ว ก็จะไม่มีผลต่อโครงสร้างของฮาร์ดแวร์

6)โอเปอร์เรเตอร์

การบรรยายเชิงพฤติกรรมในภาษา วีเอชดีแอล มีตัวดำเนินการหรือโอเปอร์เรเตอร์ทางลอจิกและคณิตศาสตร์เช่นเดียว กับภาษาซอฟต์แวร์ทั่วไปดังรูปที่ 2.21

PREDEFINE OPERATORS
LOGICAL OPERATORS : NOT AND OR NAND NOR XOR
OPERAND TYPE : BIT BOOLEAN
RESULT TYPE : BIT BOOLEAN
RELATIONAL OPERATORS : = /= < <= => >
OPERAND TYPE : any type
RESULT TYPE : Boolean
ARITHMETIC OPERATORS : + - * / ** MOD REM ABS
OPERAND TYPE : INTEGER REAL Physical

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RESULT TYPE : INTEGER REAL Physical
CONCANTENATION OPERATION : &
OPERAND TYPE : array of any type
RESULT TYPE : array of any type

รูปที่ 2.21 ตัวดำเนินการใน วีเอชดีแอล

7) เวลาและความพร้อมเพรียง

ในวงจรอิเล็กทรอนิกส์อุปกรณ์ทุกๆ ตัวจะอยู่ในสภาพเตรียมพร้อมเสมอ (Always Active) และจะมีเรื่องของเวลา เข้ามาเกี่ยวข้องในทุกๆ เหตุการณ์ที่เกิดขึ้นเสมอ วีเอชดีแอล เป็นภาษาที่ได้รับการออกแบบมากเพื่อให้สามารถบรรยายรูปแบบและการพ้องกันของเวลา สำหรับการทำงานของอุปกรณ์ได้อย่างถูกต้อง การบรรยายการทำงานที่อยู่ในส่วน ของการบรรยายสถาปัตยกรรม จะมีการทำงานที่พร้อมเพรียงกันเสมอ หรือแม้แต่โปรเซสซึ่งมีการทำงานภายในเป็น แบบลำดับคำสั่งตาม ซึ่งหากมีหลายๆ โปรเซสอยู่ภายในโครงสร้างเดียวกัน ทุกๆ โปรเซสก็จะทำงานไปพร้อมๆ กันด้วย

8) สัญญาณและตัวแปร

สัญญาณมีลักษณะเป็นเสมือนตัวกลางฮาร์ดแวร์ ที่ใช้ในการผ่านข้อมูลและมีเรื่องของเวลามาเกี่ยวข้องด้วยการกำหนดค่าให้สัญญาณจะใช้สัญลักษณ์ <= ในการส่งค่าและสามารถใช้คำสั่ง AFTER เพื่อกำหนดช่วงเวลาในการส่งผ่านค่าของสัญญาณ เช่น <= a AFTER 12 NS หมายถึงการกำหนดค่าสัญญาณ a ให้กับ w หลังจากเวลา ผ่านไป 12 นาโนวินาที ในทางตรงกันข้ามตัวแปรมีลักษณะเป็นเสมือนตัวกลางที่ใช้ในการส่งผ่านข้อมูลและไม่มีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย ซึ่งตัวแปรจะถูกใช้ในส่วนที่มีการทำงานเป็นแบบลำดับคำสั่งเช่นฟังก์ชัน โพรซีเจอร์และโปรเซส สำหรับกำหนดค่าให้กับตัวแปรจะใช้สัญลักษณ์ :=

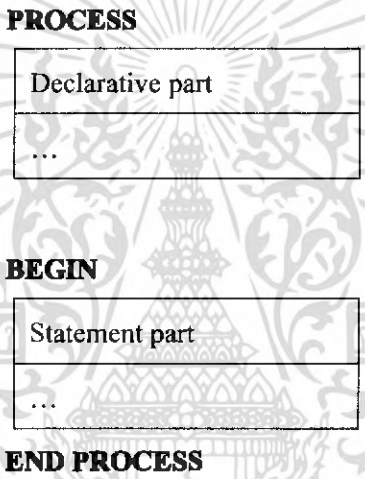
2.6.4 การบรรยายเชิงพฤติกรรม

การบรรยายลักษณะการทำงานของอุปกรณ์ฮาร์ดแวร์ในเชิงพฤติกรรม เป็นการบรรยายลักษณะการเปลี่ยนแปลงของข้อมูลในรูปแบบของอัลกอริธึม สำหรับการคำนวณผลลัพธ์ที่เกิดขึ้น ซึ่งสืบเนื่องมาจากการเปลี่ยนแปลงสภาวะของข้อมูลที่เข้ามา โดยไม่คำนึงถึงลักษณะโครงสร้าง หรือความสัมพันธ์ของอุปกรณ์ที่อยู่ภายในว่าจะเป็นอย่างไร ในหัวข้อนี้จะแสดงถึงการบรรยายเชิงพฤติกรรมแทนการใช้โมดูลฮาร์ดแวร์รวมถึงข้อกำหนดต่างๆ ที่ควรรู้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.5 การโปรเซส

โปรเซสเป็นรูปแบบพื้นฐานอย่างหนึ่งที่ใช้ในการกำหนดให้กับสัญญาณ โปรเซสจะอยู่ในสถานะที่เตรียมพร้อมอยู่เสมอและจะปฏิบัติคำสั่งพร้อมๆ กันกับโปรเซสอื่นๆ ที่อยู่ในสถาปัตยกรรมบรรยายเดียวกัน โดยโปรเซสจะปฏิบัติงานตามคำสั่งทันทีที่มีเหตุการณ์ที่เกิดขึ้นกับสัญญาณที่อยู่ทางด้านขวามือของสัญญลักษณ์กำหนดค่าให้กับสัญญาณ (<=) การบรรยาย โปรเซสจะเริ่มต้นด้วยคำสั่ง PROCESS และ END PROCESS ในรูปที่ 2.22 เป็นการแสดงส่วนประกอบของการบรรยายแบบโปรเซส ซึ่งประกอบด้วยส่วนของการประกาศตัวแปรที่ต้องใช้และส่วนการปฏิบัติคำสั่งเพื่อให้ได้ผลลัพธ์ที่ต้องการ



รูปที่ 2.22 รูปแบบของการบรรยายแบบโปรเซส

2.6.6 การกำหนดตัวดำเนินการภายในโปรเซส

ตัวดำเนินการภายในโปรเซสมี 3 ชนิดคือ ตัวแปร (Variable) ไฟล์ (File) และตัวคงที่ (Constant) ซึ่งตัวดำเนินการทั้ง 3 ชนิดนี้หากมีการประกาศไว้ในโปรเซสใดก็จะใช้ได้เฉพาะโปรเซสนั้นเท่านั้น สำหรับการติดต่อภายนอกหรือระหว่างโปรเซสสามารถทำได้โดยใช้สัญญาณ (Signal) หรือตัวคงที่ที่ได้ประกาศไว้ในส่วนของ ARCHITECTURE

2.6.7 การกำหนดการกระทำภายในโปรเซส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกระทำใดๆ ภายในโปรเซสจะเป็นการปฏิบัติแบบลำดับ (Sequential) เสมอ ซึ่งภายในโปรเซสสามารถใช้ประโยคเงื่อนไขหรือการกระทำซ้ำได้เช่น IF-ELSE CASE-WHEN FOR LOOP และ WHILE LOOP

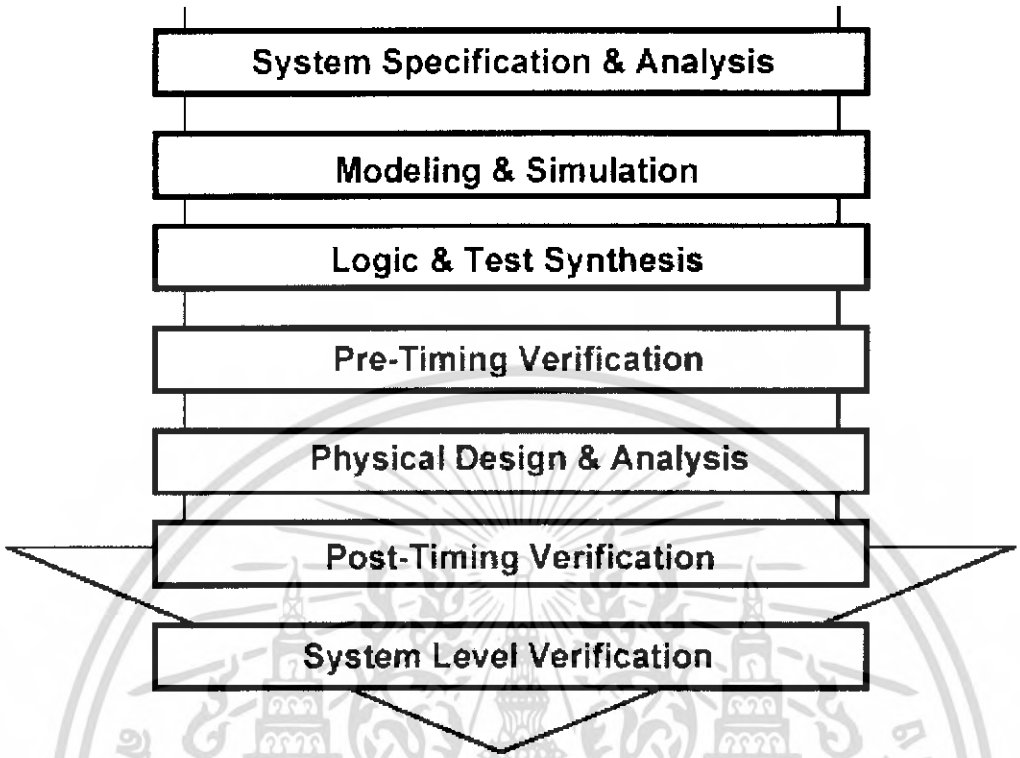
2.6.8 การกระตุ้นและยับยั้งการกระทำของโปรเซส

การกระทำภายในโปรเซสจะอยู่ในสภาพเตรียมพร้อม และมีการปฏิบัติงานอยู่ตลอดเวลาที่มีการเปลี่ยนแปลงของเหตุการณ์เกิดขึ้น อย่างไรก็ดีเราสามารถกระตุ้นหรือยับยั้งการกระทำภายในโปรเซสได้โดยการกำหนดรายการของสัญญาณที่ต้องการให้โปรเซสปฏิบัติงานเมื่อมีเหตุการณ์เกิดขึ้นกับสัญญาณที่กำหนดไว้เท่านั้น ส่วนเหตุการณ์ใดๆ ที่เกิดขึ้นกับสัญญาณ ที่ไม่ได้กำหนดไว้ในรายการก็จะไม่ส่งผลให้มีการกระทำภายในโปรเซส ซึ่งรายการสัญญาณนี้เรียกว่า Sensitivity List และกำหนดไว้ภายในวงเล็บหลังคำสั่ง PROCESS

2.6.9 การออกแบบจากบนลงล่าง (Top-Down Design)

ในการพัฒนาวงจรรวมดิจอตอลขนาดใหญ่ที่มีความซับซ้อน วิศวกรหรือผู้ออกแบบมันจะมองการออกแบบให้อยู่ในรูปของ บล็อกไดอะแกรมก่อนที่ทำวิเคราห์ให้ลึกถึงรายละเอียดต่อไป ซึ่งภาษาวีเอชดีแอลนั้นอนุญาตให้อธิบายและวิเคราะห์การทำงานของแต่ละบล็อก รวมถึงการปรับปรุงการทำงานจากผลที่วิเคราะห์เพื่อให้ได้การทำงานตามต้องการนอกจากนี้ยัง สามารถเพิ่มเติมในรายละเอียดในแต่ละขั้นตอนได้ ซึ่งหลักการนี้สอดคล้องกับหลักการออกแบบจากบนลงล่างนั่นเอง ถ้าทดลองเปรียบเทียบกับการออกแบบจากล่างขึ้นบน (Buttom-Up Design) จะเห็นได้ว่า การออกแบบจากล่างขึ้นบนจะใช้เวลากรออกแบบมากกว่า 90% เนื่องจากเป็นการวางวงจรด้วยอุปกรณ์ต่าง (Schematic capture) ที่ประกอบกันเข้าเป็นวงจรที่ต้องการออกแบบ ก่อนแล้วจึงทำการจำลองการทำงาน และตรวจทานความถูกต้อง วีเอชดีแอล กับหลักการออกแบบจากบนลงล่างจึงเป็นทางออกให้กับวิศวกรให้สามารถ ออกแบบและพัฒนาวงจรที่มีความซับซ้อนได้มากขึ้น ทั้งยังช่วยลดเวลาและค่าใช้จ่ายในการออกแบบด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 ขั้นตอนการออกแบบจากบนลงล่าง

จากรูปที่ 2.23 แสดงถึงขั้นตอนการออกแบบจากบนลงล่าง ทั้งนี้ในทางปฏิบัติอาจมีข้อแตกต่างไปจานี้บ้างเล็กน้อย เนื่องจากขั้นตอนของการผลิต (Implementation) สามารถกระทำได้หลายเทคโนโลยี

สำหรับรายละเอียดของขั้นตอน การออกแบบจากบนลงล่างในแต่ละขั้นตอนมีดังนี้

1) ความต้องการของระบบและการวิเคราะห์ คือ การสร้างข้อกำหนดของความต้องการ และวิเคราะห์ระบบ เพื่อหาแนวความคิดและหลักการ (Idea and Concept) ในการแก้ปัญหา

2) รูปแบบและการจำลองการทำงาน คือ การเขียนรูปแบบของระบบที่ต้องการออกแบบโดยใช้ภาษา วีเอชดีแอล หรือภาษา เอชดีแอล อื่นๆ สำหรับใช้ในการบรรยายพฤติกรรมการทำงาน พร้อมทั้งทำการจำลองการทำงาน เพื่อเปรียบเทียบและตรวจสอบความถูกต้องกับข้อกำหนด

3) ลอจิกและการทดสอบการสังเคราะห์ คือ หลังจากที่ได้หลักการขั้นตอนพร้อมแนวความคิดที่ผ่านการตรวจสองแล้วหลักการนี้จะถูกเพิ่มเติมรายละเอียดลงมาเป็นลำดับขั้นที่สอง จนกระทั่งอยู่ในระดับที่จะนำไปผลิตวงจรจริง หรือทำการสังเคราะห์ในขั้นตอนนี้เองเทคโนโลยีที่จะมารองรับวงจรออกแบบจะถูกกำหนดขึ้น และระบบช่วยการออกแบบจะทำการสังเคราะห์วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ได้จากรูปแบบที่จะเขียนขึ้นให้อยู่ในรูปของวงจรที่ประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์ หรือวงจรระดับเกทและการเชื่อมต่องระหว่างกันของอุปกรณ์เหล่านั้นหรือไม่ก็อยู่ในรูปของโครงข่ายการเชื่อมต่อ ที่สามารถนำไปผลิตอุปกรณ์อื่นได้

4) การตรวจสอบเวลาก่อนการออกแบบ คือ หลังจากได้ทำการสังเคราะห์วงจรให้อยู่ในระดับเกทหรือ โครงข่ายการเชื่อมต่อแล้ว ข้อมูลนี้จะถูกนำไปใช้สำหรับการจำลองการทำงานในเรื่องความถูกต้องของฟังก์ชันพร้อมกับนำข้อมูลที่เกี่ยวข้องกับเวลาเข้ามาใช้ในการประกอบในการพิจารณาด้วย ซึ่งตามปกติแล้วอุปกรณ์ ทางอิเล็กทรอนิกส์ทุกชิ้นจะต้องมีเวลาหน่วงของการแพร่กระจาย (Propagation Delay Time) เสมอ ถึงแม้ว่าจะเป็นเวลาที่น้อยมากในระดับนาโนวินาทีก็ตาม แต่ถ้าภายในวงจรหนึ่งประกอบด้วยเกทของฟังก์ชันต่างๆ จำนวน 10,000 เกทขึ้นไป เวลาดังกล่าวนี้จะสะสมกันมากขึ้น จนอาจทำให้การทำงานของวงจรรวมทั้งหมดผิดพลาดไป หรือไม่สามารถที่จะทำงานในย่านความถี่สัญญาณนาฬิกาที่สูงได้

5) การออกแบบทางกายภาพและการวิเคราะห์ คือ ขั้นตอนในการผลิตเป็นวงจรจริง (Technology and device mapping) โดยจะนำข้อมูลที่ได้จากการสังเคราะห์ มาใช้ในการผลิตวงจรรวม ซึ่งอาจจะอยู่ในรูปของแผงวงจรไฟฟ้า ที่ประกอบด้วยอุปกรณ์หลายๆ ชิ้นหรืออยู่ในรูปของวงจรรวมเอซิก (ASIC)

6) การตรวจสอบเวลาหลังการออกแบบ คือ การทำการตรวจสอบการทำงานด้วยตัวแปรทางด้านเวลาทั้งหมด เพื่อความถูกต้องของวงจรเป็นครั้งสุดท้ายก่อนนำไปรวมเข้ากับอุปกรณ์อื่นๆ ให้เป็นระบบดิจิตอล เนื่องจากในขั้นตอนนี้ วงจรที่ออกแบบ จะประกอบด้วยจุดต่อทางอินพุทและเอาท์พุท ซึ่งเป็นจุดต่อสำหรับการรับและส่งสัญญาณกับภายนอก

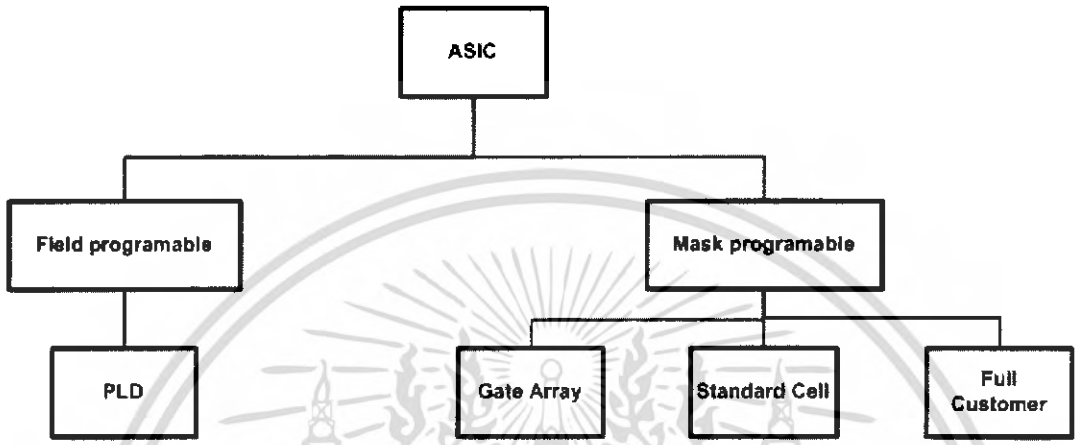
7) การตรวจสอบระบบ คือ การนำวงจรที่ออกแบบไว้ประกอบเข้ากับอุปกรณ์อื่นๆ ไปเป็นระบบที่สมบูรณ์ แล้วทำการทดสอบการทำงานทั้งระบบรวมกับอุปกรณ์อื่นๆ อีกครั้งเพื่อควบคุมคุณภาพของผลิตภัณฑ์

2.7 เอฟพีจีเอ (FPGA)

เทคโนโลยีความก้าวหน้าของอุตสาหกรรมอิเล็กทรอนิกส์ในปัจจุบัน ทำให้เกิดการพัฒนาความสามารถของอุปกรณ์ต่างๆ ซึ่งทำให้ลดค่าใช้จ่ายต่างๆ ได้มาก ในขณะเดียวกันก็มีการเพิ่มประสิทธิภาพและระดับความเชื่อถือได้ของวงจรรวมที่สูงขึ้นเห็นได้ชัดจากเทคโนโลยีไมโครโปรเซสเซอร์ และหน่วยความจำปัจจุบัน ทุกๆครั้งที่มีการพัฒนาขึ้นทำให้เกิดช่องวางระหว่างวงจรรวมและไอซีมาตรฐานมากขึ้น นักออกแบบอุปกรณ์ทางด้านดิจิตอล ได้พิจารณาถึงการผลิตให้มีขนาดมากขึ้น นักออกแบบอุปกรณ์ทางด้านดิจิตอล ได้พิจารณาถึงการผลิตให้มีขนาดมากขึ้นและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การผลิตวงจรรวมเอซิก (ASIC: Application Specific Integrated Circuit) ซึ่งวงจรรวมจะแบ่งตามการสร้างออกเป็น 2 กลุ่ม คือ ฟิลด์โปรแกรมเมเบิล (Field programmable) และแมสโปรแกรมเมเบิล (Mask programmable) ดังแสดงในรูปที่ 2.24



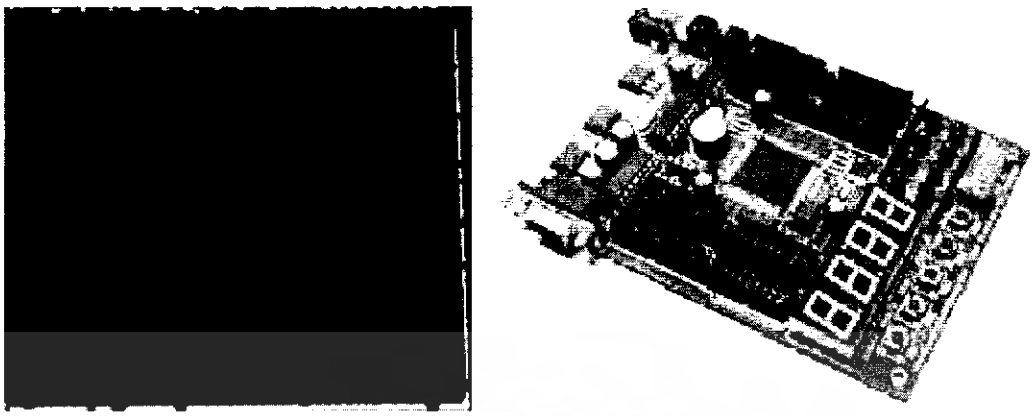
รูปที่ 2.24 ผังแสดงการแบ่งกลุ่มของวงจรรวมเอซิก

2.7.1 การออกแบบวงจรเชิงเฉพาะด้วย ชิพอุปกรณ์เอฟพีจีเอ

ชิพอุปกรณ์เอฟพีจีเอ เป็นอุปกรณ์ที่ใช้ในการโปรแกรมวงจรที่ได้ออกแบบลงไปเพื่อให้อุปกรณ์เอฟพีจีเอ มีฟังก์ชันการทำงานตามที่ออกแบบไว้ ในการทำชิพอุปกรณ์ ซึ่งเป็นวิธีการออกแบบ ไอซี (IC : Integrated Circuit) แบบเซมิคัสตัม (Semi custom) อีกวิธีหนึ่ง เมื่อเทียบกับการทำ เอซิก แล้วนั้นก็มีทั้งข้อดีและข้อเสีย คือ การทำชิพอุปกรณ์เอฟพีจีเอ จะมีข้อจำกัดในด้านขนานของวงจรเพราะภายในชิพอุปกรณ์เอฟพีจีเอ จะมีจำนวนเกท (gate) ให้ใช้จำนวนจำกัด และการทำชิพอุปกรณ์เอฟพีจีเอ ก็เหมาะสำหรับการทำผลิตภัณฑ์ต้นแบบหรือเพื่อผลิตในปริมาณต่ำ ส่วนข้อดีของการทำชิพอุปกรณ์คือ ระยะเวลาที่ใช้ในการทำตั้งแต่เขียนรหัส (code) อธิบายฮาร์ดแวร์จนกระทั่งดาวน์โหลด (download) นั้นน้อยกว่าการทำเอซิกมากและการตรวจสอบหรือแก้ไขการออกแบบที่ทำได้สะดวก

การทำชิพอุปกรณ์เอฟพีจีเอ ในปัจจุบันมีประสิทธิภาพและความสะดวกมากขึ้น ทั้งนี้ก็เนื่องจากทางบริษัทผู้ผลิตชิพอุปกรณ์เอฟพีจีเอ ได้เพิ่มความสามารถของชิพอุปกรณ์เอฟพีจีเอ โดยเพิ่มจำนวนองค์ประกอบภายใน หรือปรับปรุงโครงสร้างสถาปัตยกรรมภายในและยังได้เพิ่มประสิทธิภาพของซอฟต์แวร์ที่ใช้ทำ พีพีอาร์ (PPR : Partitioning Placement and Routing) สำหรับอุปกรณ์นั้นๆด้วย ลักษณะของตัว ชิพอุปกรณ์เอฟพีจีเอ และการนำไปใช้งานแสดงดังในรูปที่ 2.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 แสดงลักษณะของตัว FPGA และการนำไปใช้งาน

สำหรับตัวชิพอุปกรณ์เอฟพีจีเอนั้นมีโครงสร้างพื้นฐาน เทคโนโลยีที่ใช้สร้าง ตลอดจนเทคนิค วิธีการโปรแกรมที่แตกต่างกันสำหรับผู้ผลิตแต่ละราย นอกจากนั้นชิพอุปกรณ์เอฟพีจีเอของแต่ละผู้ผลิตก็มีโครงสร้างและความสามารถที่แตกต่างกันบางส่วน ในการใช้งานนั้นชิพอุปกรณ์เอฟพีจีเอ สามารถนำไปใช้ประยุกต์ใช้งานได้ เช่น การประมวลผลสัญญาณเชิงเลข (DSP : Digital Signal Processing) การออกแบบไมโครคอนโทรลเลอร์ เป็นต้น

2.7.2 สถาปัตยกรรมภายในของชิพอุปกรณ์เอฟพีจีเอ

ชิพอุปกรณ์เอฟพีจีเอของบริษัท Xiliux ตระกูล Spatan-3 เบอร์ XC3S200 เป็นอุปกรณ์ที่มีความหนาแน่นเกทประมาณ 200,000 เกท โดยการจัดโครงสร้าง (Configuration) จะใช้วิธีการโหลดโครงสร้างเข้าไปใน SRAM ภายใน ซึ่งหมายความว่าถ้าไม่ได้มีการจ่ายไฟเลี้ยงให้ โครงสร้างที่จัดเอาไว้ก็จะหายไป ชิพอุปกรณ์เอฟพีจีเอ ประเภทนี้สามารถโปรแกรมข้อมูลวงจรซ้ำได้จำนวน 20,000 ครั้ง

2.8 ปัจจัยที่ทำให้การออกแบบชิพอุปกรณ์เอฟพีจีเอ ทำได้ง่ายและสะดวกรวดเร็ว

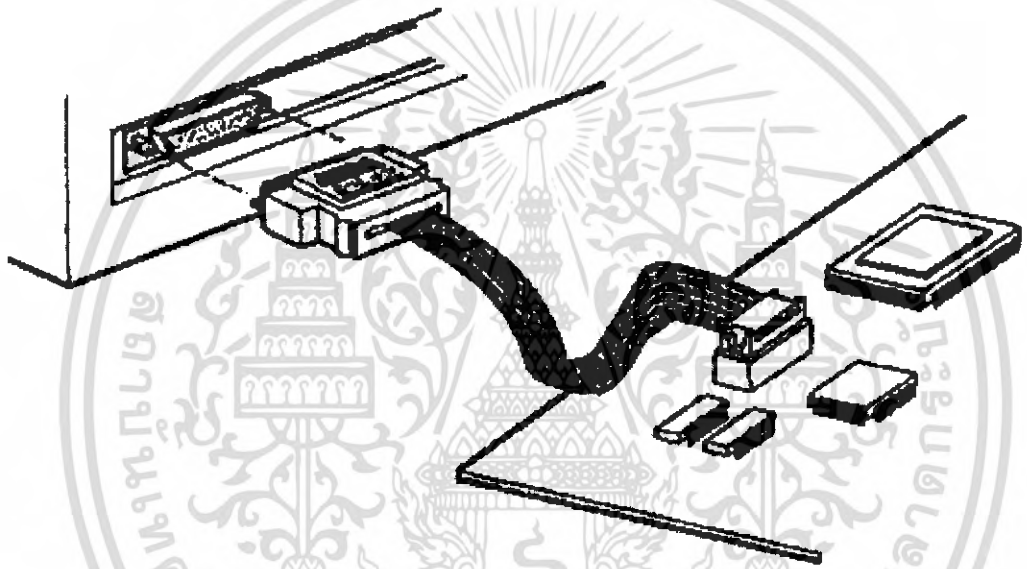
1. ผู้ออกแบบไม่จำเป็นต้องทราบถึงโครงสร้างภายในของตัวชิพเพียงแต่มีความรู้เกี่ยวกับขั้นตอนการออกแบบลอจิกก็เพียงพอแล้ว ต่างกับการใช้ไมโครโปรเซสเซอร์ซึ่งจำเป็นต้องศึกษาโครงสร้างภายในรวมถึงภาษาแอสแซมบี้ (Assembly) ของไมโครโปรเซสเซอร์ตัวนั้นด้วย

2. มีการออกแบบโดยใช้ภาษาในการอธิบายการทำงานของวงจรหรือเอชดีแอล เป็นเครื่องมือในการออกแบบ ซึ่งเป็นวิธีการที่มีความยืดหยุ่นสูง ทำได้รวดเร็ว และไม่จำเป็นต้องทราบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงลักษณะของวงจรที่ต้องการว่าจะเชื่อมต่อกันอย่างไร เพียงแต่กำหนดลักษณะการทำงานให้มัน จากนั้นตัวซอฟต์แวร์จะทำการสังเคราะห์ให้ทั้งหมด นอกจากนี้ภาษาที่ใช้ยังเป็นมาตรฐานเดียวกัน สามารถใช้ได้กับชิพทุกตัวและทุกบริษัท

3. การโปรแกรมสามารถทำได้เองและใช้เวลาไม่นาน เพียงแค่ส่งข้อมูลผ่านสายดาวน์โหลดทางพอร์ตคอมพิวเตอร์ก็สามารถโปรแกรมตัวชิพขณะที่อยู่ในระบบได้ โดยไม่จำเป็นต้องถอดมาโปรแกรมข้างนอก ดังรูปที่ 2.26 และที่สำคัญสามารถโปรแกรมได้หลายครั้ง จึงทำได้ง่ายในการแก้ไขและพัฒนาโดยไม่ต้องเสียค่าใช้จ่ายเพิ่มแต่อย่างใด



รูปที่ 2.26 การโปรแกรมลงในชิพอุปกรณ์เอฟพีจีเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

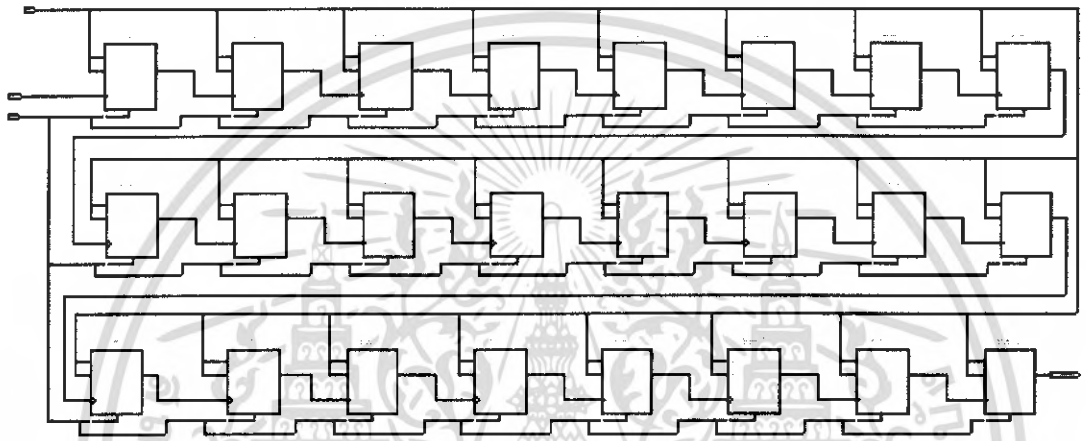
บทที่ 3

การออกแบบโครงงาน

การออกแบบวงจร PRBS โดยใช้ โปรแกรม xilinx6.3i

3.1 วงจร frequency divider

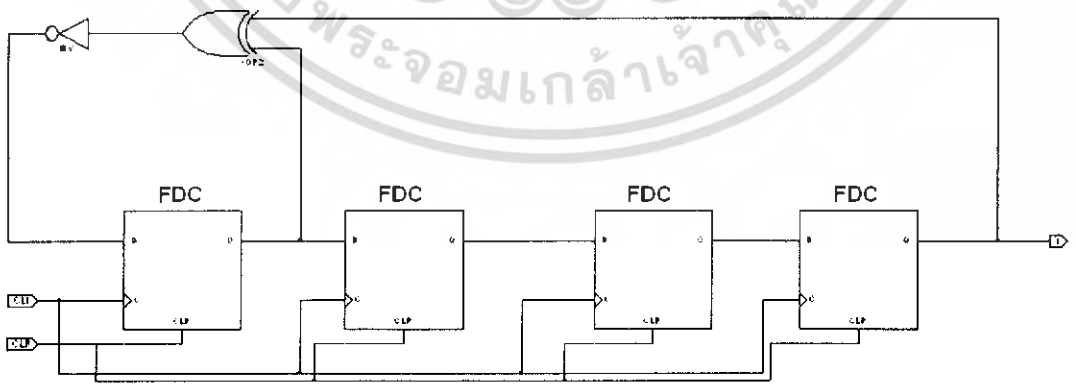
เพื่อทำการหารสัญญาณนาฬิกาจากความถี่ 25 MHz ให้เหลือสัญญาณนาฬิกา โดยประมาณ 1 Hz



รูปที่ 3.1 วงจร frequency divider

3.2 วงจรกำเนิดสัญญาณกึ่งแรนดัมกึ่งแรนดัม

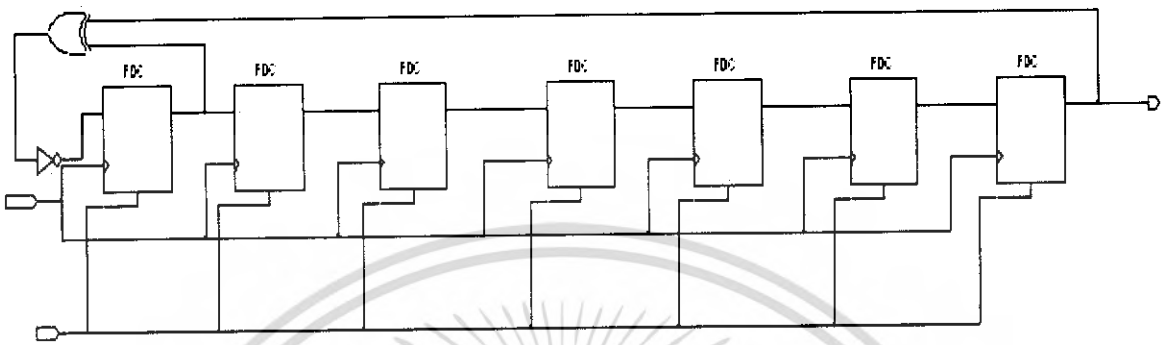
3.2.1วงจรกำเนิดสัญญาณกึ่งแรนดัมที่สร้างจากโพลิโนเมียล $1+D+D^4$



รูปที่3.2 วงจรกำเนิดสัญญาณกึ่งแรนดัมที่สร้างจากโพลิโนเมียล $1+D+D^4$

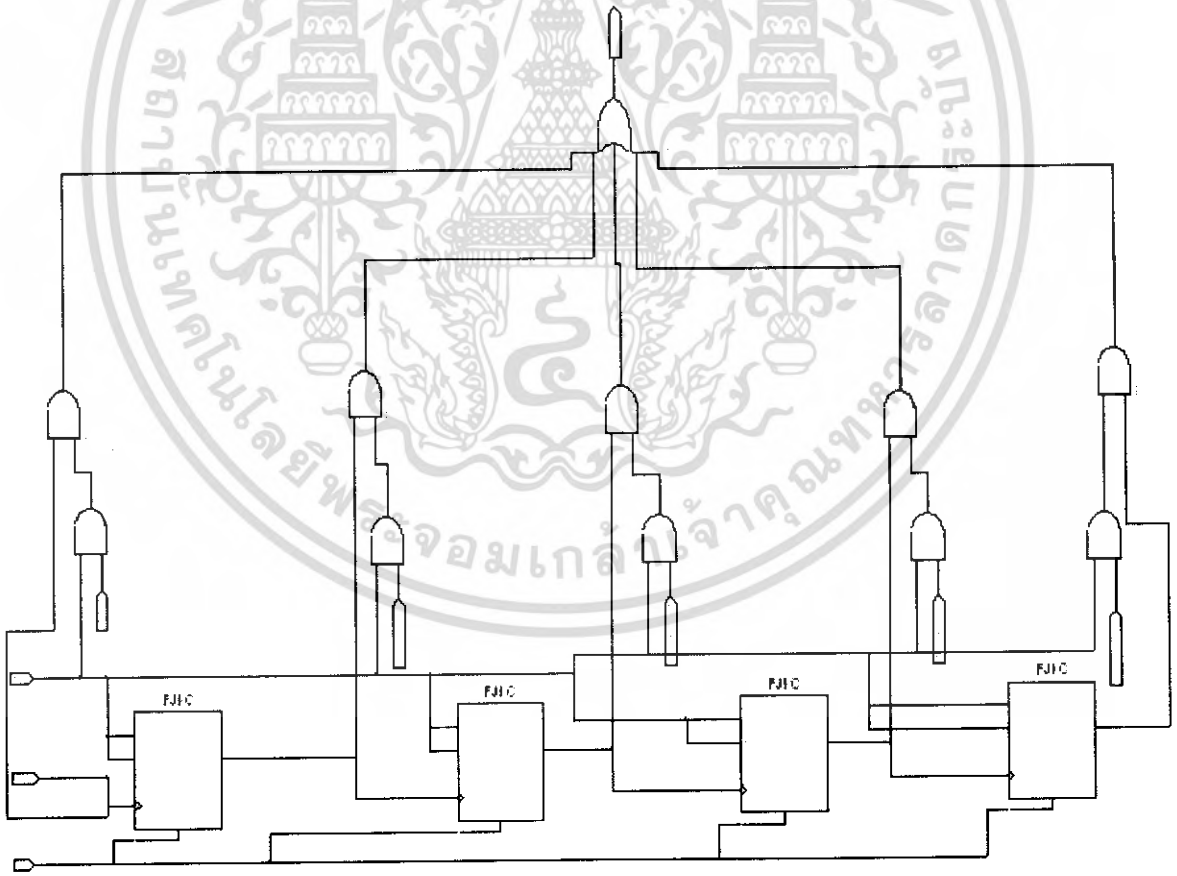
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรกำเนิดสัญญาณกึ่งแรนดัมที่สร้างจากโพลิโนเมียล $1+D+D^7$



รูปที่3.3 วงจรกำเนิดสัญญาณกึ่งแรนดัมที่สร้างจากโพลิโนเมียล $1+D+D^7$

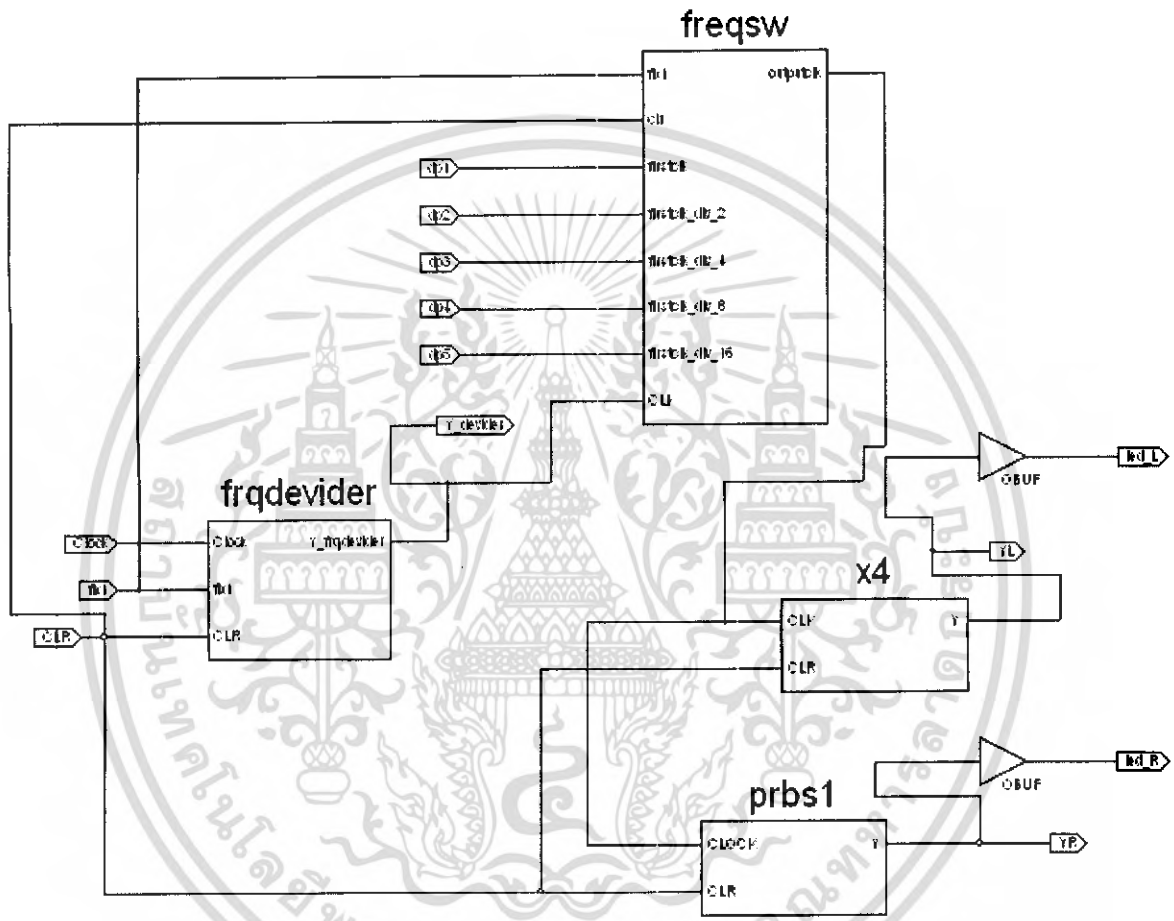
3.3วงจรเปลี่ยนความถี่โดยการหาร 2



รูปที่ 3.4 วงจรเปลี่ยนความถี่โดยการหาร 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

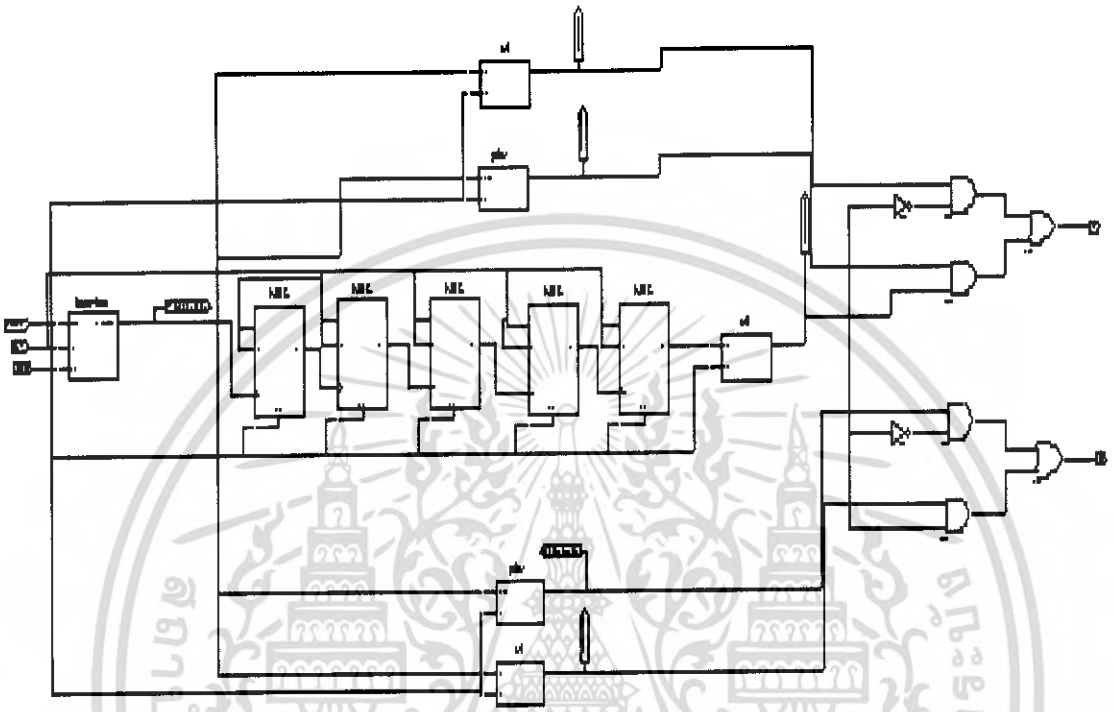
3.4 วงจรส่งสัญญาณที่ทำหน้าที่ไปขับมอเตอร์ทั้งสองข้างของหุ่นยนต์โดยสามารถเลือกความถี่ในการขับได้ 5 ระดับ



รูปที่ 3.5 วงจรส่งสัญญาณที่ทำหน้าที่ไปขับมอเตอร์ทั้งสองข้างของหุ่นยนต์โดยสามารถเลือกความถี่ในการขับได้ 5 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจรส่งสัญญาณที่ทำหน้าที่ไปขับมอเตอร์ทั้งสองข้างของหุ่นยนต์โดยมีความซับซ้อนสูง



รูปที่ 3.6 วงจรส่งสัญญาณที่ทำหน้าที่ไปขับมอเตอร์ทั้งสองข้างของหุ่นยนต์โดยมีความซับซ้อนสูง

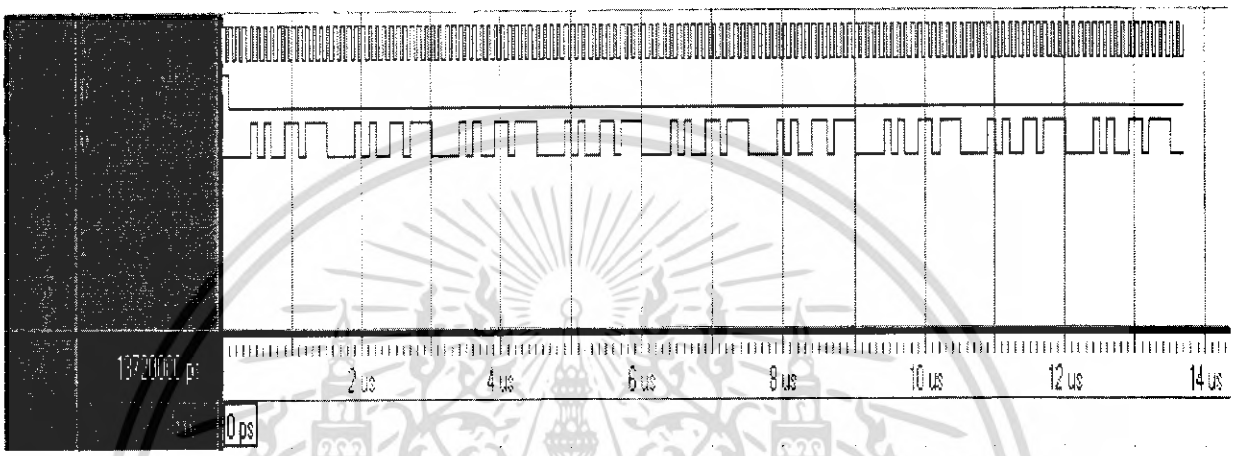
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรและผลการทดลอง

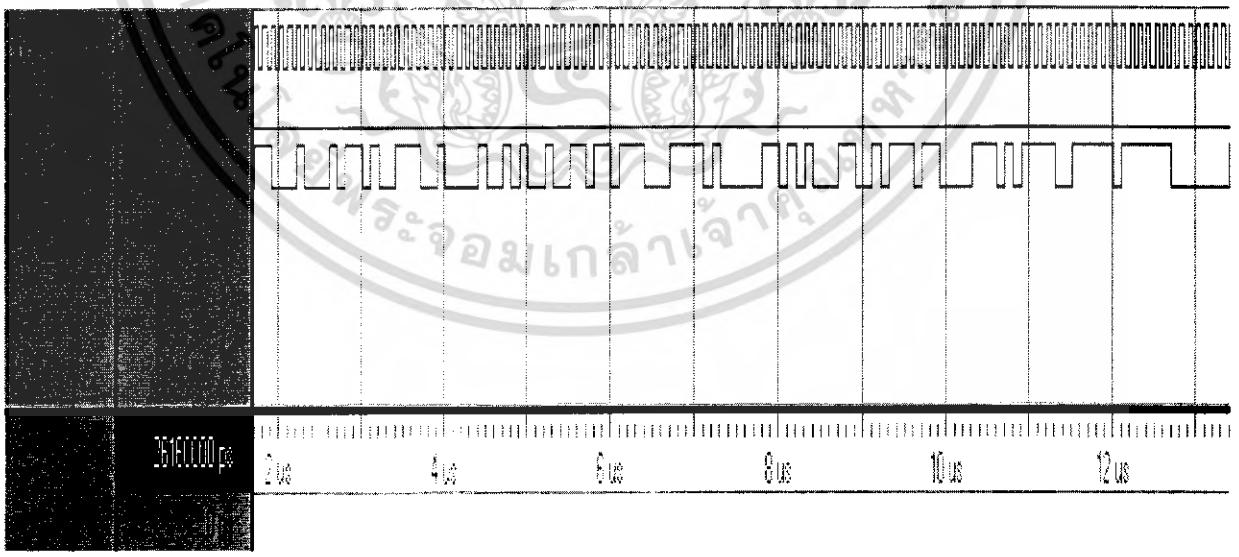
4.1 ผลการทดลองที่ได้จากจำลองการทำงานโดยโปรแกรม Modelsim XE II v.5.6e

4.1.1 วงจร PRBS order 4



รูปที่ 4.1 จำลองการทำงานวงจร PRBS order 4

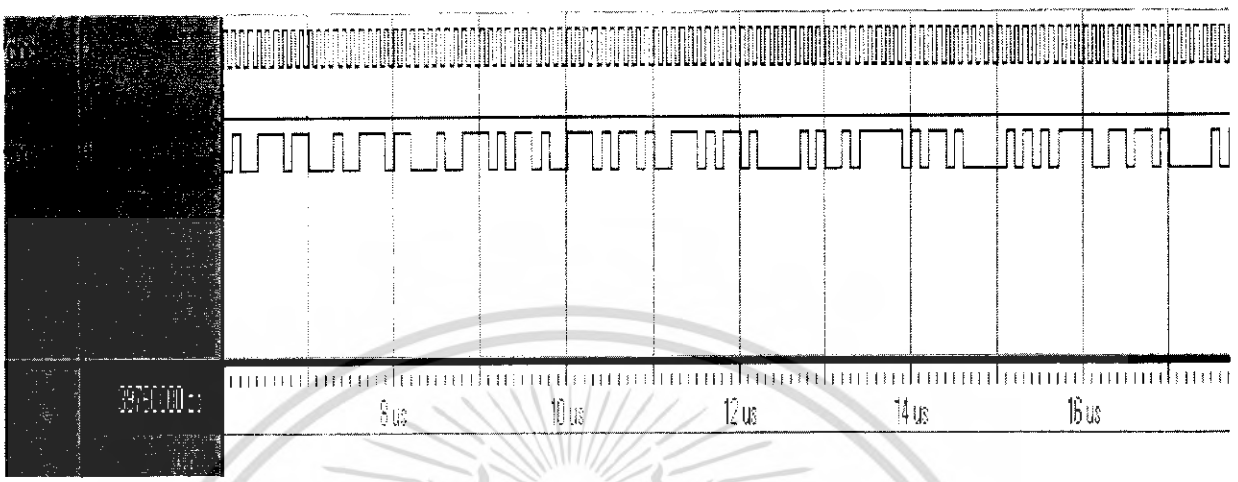
4.1.2 วงจร PRBS order 7



รูปที่ 4.2 จำลองการทำงานวงจร PRBS order 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 วงจร PRBS order 31



รูปที่ 4.3 จำลองการทำงานวงจร PRBS order 31

4.2 ผลการทำงานที่ได้จากโปรแกรมข้อมูลลงไปในบอร์ด FPGA Spartan3

4.2.1 วงจร frequency divider

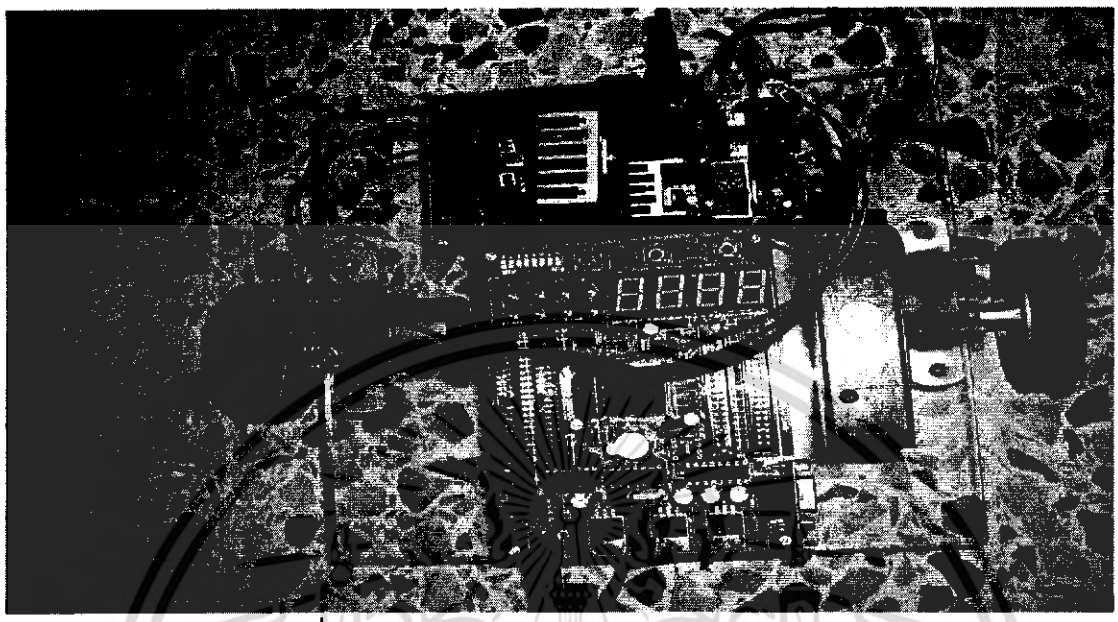
เนื่องจาก ความถี่ ในการขับมีขนาด 1 Hz จึงไม่สามารถเห็นได้โดยการจำลองจากโปรแกรม Modelsim XE II v.5.6e ต้องดูจากแผงวงจร FPGA

4.2.2 วงจร PRBS + frequency dividerr

เนื่องจาก ความถี่ ในการขับมีขนาด 1 Hz จึงไม่สามารถเห็นได้โดยการจำลองจากโปรแกรม Modelsim XE II v.5.6e ต้องดูจากแผงวงจร FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 รูปของหุ่นยนต์จำลองการทำงานของวงจร PRBS



รูปที่ 4.4 หุ่นยนต์จำลองการทำงานของวงจร PRBS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการดำเนินงาน

5.1 สรุปผลการดำเนินงาน

โครงงานนี้ได้จัดทำขึ้นเพื่อศึกษาแนวทางในการสร้างสัญญาณอลวนแบบแคออสติกในรูปแบบต่างๆ โดยได้ศึกษารูปแบบของสัญญาณทั้งในรูปแบบของ Chen และ Logistic Equation โดยได้ทำการศึกษาแล้วว่าการกระทำการในรูปแบบของ การประมาวลผลในรูปแบบของทศนิยม (floating point arithmetic) นั้นต้องใช้ จำนวน gate มาก แต่ในรูปแบบของการสุ่มนั้นไม่ได้ มีประสิทธิภาพมากมายนัก โดยในที่นี้จึงทำการเปลี่ยนวงจรแคออสติก จาก วงจรเดิมมาทดลองเป็นวงจรแบบ PRBS (Pseudo Random Bit Sequence) ซึ่งเป็นวงจรที่เป็น Pseudo Random มาจำลองการทำงาน แบบสุ่มอย่างเป็นรูปแบบเพื่อให้เห็นการทำงานของบิทที่วิ่งได้อย่างเป็นรูปธรรมมากขึ้น จึงนำมาโปรแกรมลงบนหุ่นยนต์เคลื่อนที่ โดยการจ่าย พัลส์ความถี่ไปขับเคลื่อนมอเตอร์ทั้งสองข้างผ่านทางวงจรไดรฟ์มอเตอร์ DC(Direct Current) โดยแต่ละข้างของมอเตอร์ ใช้รูปแบบของวงจร PRBS ที่ต่าง Order กัน ทำให้เกิดการเคลื่อนที่แบบสุ่มซับซ้อนมากขึ้น โดยมีการปรับความถี่ได้เพื่อที่จะได้เห็นภาพการทำงานได้ชัดเจนขึ้น ยิ่งความถี่สูงการเปลี่ยนแปลงของหุ่นยนต์ก็จะยิ่งเห็นผลชัดและเร็วขึ้น

5.2 ปัญหาที่เกิดขึ้นกับโครงงาน

1. ในการใช้งานโปรแกรมที่เบิร์นลงบนบอร์ด ทดลอง FPGA ในการทดลองต้องใช้ระยะเวลาในการประมวลผลมากทำให้การพัฒนาเป็นไปได้อย่างล่าช้า
2. หุ่นยนต์ที่สามารถวิ่งได้ยังไม่สามารถครอบคลุมพื้นที่ได้อย่างทั่วถึง หรืออาจจะต้องใช้เวลาในการทำงานมาก
3. การทดสอบการทำงานโดยใช้โปรแกรม Modelsim XE II v5.6e ไม่สามารถทดสอบในระดับความถี่การทำงานที่ต่ำมากๆได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 แนวทางในการพัฒนาต่อ

1. เนื่องจากการจำลองวงจร ใช้ในรูปแบบของ Schematic ซึ่งเป็นรูปภาพดังนั้นการทำความเข้าใจวงจรสามารถทำได้ง่ายและการพัฒนาต่อเป็นไปได้ง่ายและเร็วมากขึ้น

2. บอร์ดเอฟพีจีเอ (FPGA) ที่ใช้สามารถโปรแกรมจำนวน Logic Gate ได้มากกว่าที่ได้จัดทำไว้ จึงสามารถนำมาพัฒนาต่อให้หุ่นยนต์สามารถวิ่งได้แบบหลากหลายแบบมากขึ้น

3. สามารถใช้บอร์ดเอฟพีจีเอ (FPGA) ที่มีราคาถูกกว่าแบบต้นแบบนี้เพื่อโปรแกรมและสามารถพัฒนาต่อไปใช้ในการตรวจจับวัตถุระเบิดได้เนื่องจากมีการเคลื่อนที่แบบสุ่มทำให้สามารถเดินไปให้ครอบคลุมพื้นที่ตรวจจับได้ง่ายโดยไม่ต้องควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. กฤดากร กล่อมการ, การสื่อสารข้อมูล, วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพฯ,2540.

2. ขรรค์ชัย ดุลละสกุล, การใช้งานโปรแกรมออกแบบ วงจรรวมดิจิตอล , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน) , 2546

3. ชำนาญ ปัญญาใส วัชรากร หนูทอง , VHDL สำหรับการออกแบบวงจรดิจิตอล , บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน) , 2547

4. Stephen Brown Zvonko Vranesic , Fundamentals of Digital Logic with VHDL Design , McGraw –Hill International Edition ,Second Edition

5. Sudhakar Yalamanchili , VHDL Starter's Guide , Prentice Hall

6. Zainalabedin Navabi , VHDL Analysis and Modeling of Digital Systems , McGraw-Hill International Edition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้