สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK

4 CHANEL QPSK MODULATOR AND DEMODULATOR

โดย

นายสิทธิชัย ท่านมุข

นายอธิชาติ เชี่ยงว่อง

เลขหมู่.....
เลขทะเบียน 72129
วัน,เดือน,ปี 11 มิ.ย. 2550

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

ผ่านการตรวจชิ้นงานแล้ว

(ลงชื่อ).....ผู้ตรวจ

ผ่านการตรวจรูปเล่มแล้ว

(ลงชื่อ).....ผู้ตรวจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK

4 CHANEL QPSK MODULATOR AND DEMODULATOR

โดย

นายสิทธิชัย ท่านมุข 47015754

นายอธิชาติ เชี่ยงว่อง 47015758

อาจารย์ที่ปรึกษา

ศาสตราจารย์ ดร.วิวัฒน์ กิรานนท์

รศ.ดร.วิภา แสงพิสิทธิ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชาโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK**

4 CHANEL QPSK MODULATOR AND DEMODULATOR

ผู้จัดทำ

1. นายสิทธิชัย ท่านมุข 47015754

2. นายอธิชาติ เชี่ยงว่อง 47015758

..... อาจารย์ที่ปรึกษา

(ศาสตราจารย์ ดร.วิวัฒน์ กิรานนท์)

..... อาจารย์ที่ปรึกษา

(รศ.ดร.วิภา แสงพิสิทธิ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK

4 CHANNEL QPSK MODULATOR AND DEMODULATOR

โดย 1: นายสิทธิชัย ท่านมุข 47015754
2: นายอธิชาติ เชี่ยงว่อง 47015758

อาจารย์ที่ปรึกษา ศาสตราจารย์ ดร.วิวัฒน์ กิรานนท์
อาจารย์ที่ปรึกษา รศ.ดร.วิภา แสงพิสิทธิ์

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอ การส่งสัญญาณข้อมูลไปพร้อมกับสัญญาณเสียงโดยวิธีมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex ; TDM) โดยสัญญาณที่มัลติเพล็กซ์แล้วจะถูกนำไปเข้ารหัสแบบ 4 PSK และส่งออกอากาศโดยระบบมอดูเลตแอมปลิจูด (Amplitude Modulation ;AM)

ทางด้านเครื่องรับเมื่อรับสัญญาณแล้ว สัญญาณพาหะจะถูกแยกออก และสัญญาณจะถูกดีมอดูเลตด้วยระบบ 4 PSK และแยกสัญญาณทั้งสองออก โดยดีมัลติเพล็กซ์ก็จะได้ข้อมูลและสัญญาณเสียงออกมา

ABSTRACT

This project proposes the transmitter and receiver that can transmit and receive both voice and data signals under the principles of TDM (Time Division Multiplex) and QPSK techniques.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตกรรมประกาศ

ขอกราบขอบพระคุณ ศาสตราจารย์ ดร.วิวัฒน์ กิรานนท์ และ รศ.ดร.วิภา แสงพิสิทธิ์ เป็นอย่างยิ่งที่ได้ให้โอกาส คำแนะนำ แนวทางในการค้นคว้า ในการทำโครงงานฉบับนี้ รวมทั้งการให้คำแนะนำปรึกษาทุกๆอย่าง ไม่ว่าจะเป็นเรื่องใดก็ตามตลอดมา ทั้งยังเอื้อเฟื้อให้ความช่วยเหลือเรื่องเครื่องมือทุกๆชิ้น

ขอขอบคุณ รศ.ดร.กอบชัย เดชหาญ ประธานคณะกรรมการสอบโครงงาน ที่ได้ช่วยตรวจทานแก้ไข และให้คำชี้แนะในการทำโครงงานฉบับนี้

ขอขอบพระคุณ อาจารย์คณะกรรมการทุกๆท่าน สำหรับการสอบวิชาโครงงาน

ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ด้วยความเคารพรักยิ่ง สำหรับโอกาส ความรัก คำแนะนำ และกำลังใจในการศึกษาและการทำโครงงานพิเศษ สิ่งที่ท่านมอบให้มากเกินจะบรรยาย

สุดท้ายขอขอบคุณเพื่อนๆและพี่ๆน้องๆทุกท่านที่ให้คำปรึกษา การสนับสนุนช่วยเหลือรวมทั้งเป็นกำลังใจในการทำการศึกษาค้นคว้ามาโดยตลอด รวมถึงมีส่วนช่วยให้โครงงานพิเศษฉบับนี้เสร็จสมบูรณ์

นายสิทธิชัย ท่านมุข

นายอธิชาติ เชี่ยงว่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีและหลักการ

2.1การมอดูเลตแบบเฟสชิฟท์คีย์อิง(Phase Shift Keying : PSK) 2

2.2การมอดูเลตแบบควอดราเจอร์เฟสชิฟท์คีย์อิง(Quadrature Phase Shift Keying) 3

2.3 การมอดูเลตแอมพลิจูด 6

2.4 วงจรกรองความถี่แบบแอคทีฟเบื้องต้น(Fundamentals of Active Filters) 13

2.5 เฟสล็อคลูป (Phase Lock Loop) 23

2.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 27

2.7 การมัลติเพล็กซ์แบบแบ่งเวลา 27

2.8 วงจรเลื่อนเฟส(Phase shift) 29

บทที่ 3 การออกแบบและการสร้าง

3.1 การออกแบบและสร้างวงจรภาคส่ง 33

3.1.1 วงจรแยกสัญญาณดิจิตอล 33

3.1.2 วงจรแปลงบิตเป็น 2 ระดับ 34

3.1.3 วงจรบาลานซ์มอดูเลเตอร์ 35

3.1.4 วงจรกรองช่วงความถี่ผ่าน 36

3.1.5 วงจรเลื่อนเฟส 90องศา 40

3.1.6 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 kHz 42

3.1.7 วงจรกำเนิดสัญญาณนำร่อง(Pilot Signal) 43

3.1.8 วงจรรวมสัญญาณ (Summing Amplifier) 43

3.1.9 วงจรผลิตสัญญาณความถี่ 64 kHz 44

3.1.10 วงจรกำเนิดข้อมูลความเร็ว 64 kbps 44

3.1.11 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 45

3.2 การออกแบบและสร้างวงจรภาครับ 49

3.2.1 วงจรกรองความถี่ช่วง 496 - 528 kHz 50

3.2.2 วงจรกรองความถี่ช่วง 480 kHz 52

3.2.3 วงจรเฟสล็อคลูป 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 วงจรเลื่อนเฟส 90 องศา 54
3.2.5 วงจรบาลานซ์ดีมอดูเลเตอร์ 55
3.2.6 วงจรกรองความถี่ต่ำผ่าน 55
3.2.7 วงจรแปลงสัญญาณ 2 ระดับ เป็น 1บิต 59
3.2.8 วงจรรวมสัญญาณดิจิตอล 60
3.2.9 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก 61

บทที่4 การทดลองและผลการทดลอง

4.1 การทดสอบวงจรผลิตสัญญาณความถี่ 64 kHz 65
4.2 การทดสอบวงจรกำเนิดข้อมูลขนาดความเร็ว 64 kbps 66
4.3 การทดสอบวงจรกำเนิดสัญญาณคลื่นพาห์ความถี่ 512 kHz 67
4.4 การทดสอบวงจรแยกบิต 70
4.5 การทดสอบวงจรบาลานซ์มอดูเลเตอร์ 73
4.6 การทดลองวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 77
4.7 การทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 78

บทที่5 บทวิจารณ์และบทสรุป 79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 วงจรมอดูเลต ของ QPSK 5
รูปที่ 2.2 กระบวนการมอดูเลตสัญญาณดีเอสบี เอสซี 9
รูปที่ 2.3 การดีมอดูเลตสัญญาณดีเอสบี เอสซี 11
รูปที่ 2.4 วงจรกรองความถี่และการทำงานของวงจรแต่ละชนิด 14
รูปที่ 2.5 การตอบสนองความถี่ของวงจรกรองความถี่ 15
รูปที่ 2.6 วงจรกรองความถี่ต่ำผ่านลำดับที่ 1 16
รูปที่ 2.7 วงจรของความถี่สูงผ่านลำดับที่ 1 17
รูปที่ 2.8 วงจรกรองความถี่ต่ำผ่านลำดับที่สอง 18
รูปที่ 2.9 วงจรของความถี่ต่ำย่านซึ่งมีความถี่ตัด 700Hz 19
รูปที่ 2.10 วงจรกรองความถี่สูงผ่านลำดับที่สอง 19
รูปที่ 2.11 การสร้างวงจรกรองความถี่ต่ำและสูงผ่านให้มีลำดับที่สูงขึ้น 20
รูปที่ 2.12 การตอบสนองความถี่ของวงจร BPF 21
รูปที่ 2.13 วงจรกรองแถบความถี่ (BPF) 22
รูปที่ 2.14 แสดงทเลือกไดอะแกรมของวงจรเฟสล็อคลูป 23
รูปที่ 2.15 แสดงคุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป 24
รูปที่ 2.16 บล็อกไดอะแกรมของวงจรเพิ่มความถี่โดยใช้เฟสล็อคลูป 26
รูปที่ 2.17 บล็อกไดอะแกรม แสดงวงจรภายในและการใช้งานของไอซี 4046 PLL 26
รูปที่ 2.18 การมัลติเพล็กซ์แบบแบ่งเวลาด้วยระบบพีเอเอ็ม 28
รูปที่ 2.19 การส่งสัญญาณแบบมัลติเพล็กซ์แบบแบ่งเวลา 28
รูปที่ 2.20 วงจรแยกสัญญาณพีเอเอ็มจากการมัลติเพล็กซ์แบบแบ่งเวลาทางด้านเครื่องรับ 29
รูปที่ 2.21 วงจรกรองผ่านหมด 29
รูปที่ 2.22 รูปองค์ประกอบในระนาบ S-plane 30
รูปที่ 2.23 รูปองค์ประกอบในระนาบ S-plane 30
รูปที่ 2.24 แสดงค่า θ_d ที่ค่า ω ต่างๆ 31
รูปที่ 2.25 การพล็อตกราฟทางขนาดและเฟสในระบบพิกัดฉาก 32
รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง 33
รูปที่ 3.2 วงจรแยกสัญญาณดิจิตอล 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.3 วงจรแปลงสัญญาณ 1 บิตเป็น 2 ระดับ 35
รูปที่ 3.4 วงจรบาลานซ์มอดดูเลเตอร์ 35
รูปที่ 3.5 แสดงวงจร wide band filter 37
รูปที่ 3.6 แสดงวงจร Narrow Band Filter 38
รูปที่ 3.7 วงจร Positive Feedback Band-Pass Filter 38
รูปที่ 3.8 วงจร Phase Shift 90 องศา 41
รูปที่ 3.9 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 kHz 42
รูปที่ 3.10วงจรกำเนิดสัญญาณนำร่อง 480 kHz 43
รูปที่ 3.11 วงจร Summing Amplifier 44
รูปที่ 3.12 แสดงวงจรผลิตความถี่ 64 kHz 44
รูปที่ 3.13 วงจรกำเนิดข้อมูลความเร็ว 64 kbps 45
รูปที่ 3.14 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล 46
รูปที่ 3.15 วงจรภาคส่ง QPSK ส่วนที่ 1 47
รูปที่ 3.16 วงจรภาคส่ง QPSK ส่วนที่ 2 48
รูปที่ 3.17 บล็อกไดอะแกรมของวงจรด้านรับ 49
รูปที่ 3.18 วงจรกรองความถี่ช่วง 496 -528 kHz 50
รูปที่ 3.19 วงจรเฟสล็อคลูปที่ 1 กู้สัญญาณนาฬิกา 64 kHz 53
รูปที่ 3.20 วงจรเฟสล็อคลูปที่ 2 กู้สัญญาณคลื่นพาห์ 512 kHz 54
รูปที่ 3.21 วงจรเลื่อนเฟส 90 องศา 54
รูปที่ 3.22วงจรบาลานซ์ดีมอดูเลเตอร์ 55
รูปที่ 3.23 วงจรกรองความถี่ต่ำ 56
รูปที่ 3.24 วงจรคอมพาราเตอร์ 60
รูปที่ 3.25 วงจรเลื่อนเฟส 90 องศา 60
รูปที่ 3.26 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก 61
รูปที่ 3.27แสดงวงจรรวมภาครับส่วนที่ 1 62
รูปที่ 3.28แสดงวงจรรวมภาครับส่วนที่ 2 63
รูปที่ 3.29แสดงวงจรรวมภาครับส่วนที่ 3 64
รูปที่ 4.1 สัญญาณคลื่นสี่เหลี่ยมที่ได้จากวงจรผลิตสัญญาณความถี่ 64 kHz 65
รูปที่ 4.2 สัญญาณข้อมูลที่เรากำหนดขึ้น เปรียบเทียบกับสัญญาณนาฬิกา 64 kHz 67
รูปที่ 4.3 สัญญาณที่ป้อนเข้าอินพุตและสัญญาณที่ผลิตได้ที่ขา VCO ของไอซีเบอร์ 4046 68
รูปที่ 4.4 สัญญาณข้อมูลอินพุตที่กำหนดขึ้นเปรียบเทียบกับสัญญาณที่วัดได้ที่เอาต์พุตด้าน 1 71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.5 สัญญาณข้อมูลอินพุตที่กำหนดขึ้นเปรียบเทียบกับสัญญาณที่วัดได้ที่เอาต์พุตด้าน Q 72
รูปที่ 4.6 เปรียบเทียบสัญญาณของเอาต์พุตด้าน I และด้าน Q 72
รูปที่ 4.7 เอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์ ซึ่งเป็น Double Sideband Suppressed Carrier 74
รูปที่ 4.8 สเปกตรัมความถี่ที่เอาต์พุตวงจรบาลานซ์มอดูเลเตอร์ ซึ่งเป็น Double Sideband Suppressed Carrier 75
รูปที่ 4.9 แสดงสัญญาณคลื่นพาห์มอดูเลตกับสัญญาณกับสัญญาณคลื่นสี่เหลี่ยม (ข้อมูล) และแสดงเอาต์พุตที่มาทำการชิฟเฟสของสัญญาณคลื่นพาห์ 76

สารบัญตาราง

หน้า

ตารางที่ 3.1 การแปลงบิตเป็น2ระดับ 34
ตารางที่ 3.2 0.1 dB Chebyshev 57
ตารางที่ 3.3 ระดับสัญญาณ 2 ระดับ 59
ตารางที่ 4.1 ค่าVoltage ที่วัดได้ที่ค่าความถี่ต่างๆของวงจรกรองความถี่ผ่าน 512 kHz 69
ตารางที่ 4.2 แสดงผลการทดลองวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 77
ตารางที่ 4.3 แสดงผลการทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ในการติดต่อสื่อสารเราสามารถแบ่งการสื่อสารออกเป็นระบบใหญ่ๆ ได้ 2 ระบบ อันได้แก่

1. ระบบการสื่อสาร แบบอนาลอก(Analog Communication System)
2. ระบบการสื่อสาร แบบดิจิตอล (Digital Communication System)

ระบบการสื่อสารแบบอนาลอก ประสบกับปัญหาและข้อจำกัดในหลายๆด้าน เช่น สัญญาณรบกวน ข้อจำกัดด้านแบนด์วิธของสัญญาณ ฯลฯ จึงทำให้ระบบการสื่อสารแบบดิจิตอล ที่ให้ความถูกต้องแม่นยำกว่าเข้ามามีบทบาทสำคัญอย่างยิ่งในการติดต่อสื่อสารอีกทั้งมีความต้องการเพิ่มขึ้นอย่างมากทั้งคุณภาพและปริมาณในการใช้งานการส่งสัญญาณหรือข้อมูลในระบบต่างๆ เช่น ระบบโทรศัพท์ ระบบการสื่อสารผ่านดาวเทียมภาคพื้นดิน ระบบสื่อสารดาวเทียมอวกาศ ระบบโครงข่ายให้บริการร่วมแบบ ISDN (Integrated Service Digital Network) เป็นต้น ซึ่งจำเป็นต้องใช้การสื่อสารข้อมูลแบบดิจิตอลที่มีความแม่นยำสูง เพื่อพัฒนาให้ทันกับความต้องการของระบบสื่อสารที่เป็นอยู่

รูปแบบของการมอดูเลตสัญญาณดิจิตอลมีหลายรูปแบบ เช่น FSK , PSK , BPSK , QPSK , 8PSK , QAM , 8QAM , 16QAM ฯลฯ แต่ในโครงงานนี้จะเลือกศึกษาระบบ QPSK (Quadrature Phase Shift keying) ซึ่งการเปลี่ยนแปลงของคลื่นพาห์จะสามารถเปลี่ยนแปลงทางเฟสรวม 4 ตำแหน่งในหนึ่งคาบเวลา เท่ากับว่าสามารถส่งข้อมูลพร้อมกันได้ครั้งละ 2 บิต โดยเป็นการส่งสัญญาณดิจิตอลด้วยความเร็ว 64 kbps ส่งสัญญาณแบบ QPSK ซึ่งสามารถลดแบนด์วิธลงได้ 2 เท่า ของการส่งแบบ BPSK ทำให้เป็นการเพิ่มประสิทธิภาพในการใช้ช่องสัญญาณให้มากขึ้นด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 การมอดูเลตแบบเฟสชิฟท์คีย์อิง(Phase Shift Keying : PSK)

การมอดูเลตแบบเฟสชิฟท์คีย์อิง(Phase Shift Key) เป็นการเปลี่ยนแปลงเฟสของสัญญาณคลื่นพาห์ตามข้อมูลที่เป็นค่าไบนารี โดยรูปแบบของสัญญาณ PSK แสดงได้

$$f(t) = A\cos(2\pi f_c t - \theta_i(t))$$

โดย

$\theta_i(t) = 0$ เมื่อส่งค่าไบนารี 1

$\theta_i(t) = \pi$ เมื่อส่งค่าไบนารี 0

สำหรับการสร้างสัญญาณ PSK นั้น กระทำได้โดยคูณสัญญาณคลื่นพาหะ $f_c(t)$ กับสัญญาณเบสแบนด์ที่อยู่ในรูปของสัญญาณโพลาร์ NRZ โดยระดับแรงดันลบแทนค่าไบนารี 0 และระดับแรงดันบวกแทนค่าไบนารี 1 ที่เอาต์พุตของการคูณจะเป็นสัญญาณ PSK ที่มีการเปลี่ยนเฟสตามสัญญาณ NRZ หรือเขียนสมการสัญญาณ PSK ได้

$$f(t) = \pm A\cos(2\pi f_c t)$$

โดย

$+A\cos(2\pi f_c t)$ เป็นการส่งค่าไบนารี 1

$-A\cos(2\pi f_c t)$ เป็นการส่งค่าไบนารี 0

สำหรับการดีมอดูเลตสัญญาณ PSK สามารถกระทำได้โดยคูณสัญญาณ PSK เข้ากับสัญญาณคลื่นพาห์ที่สร้างจากสัญญาณ PSK ที่ได้รับสำหรับของการคูณสัญญาณคือ

$$\pm A\cos(2\pi f_c t)\times\cos(2\pi f_c t) = \pm\frac{A}{2}(1+\cos 4\pi f_c t)$$

และเมื่อผ่านสัญญาณ $\frac{A}{2}(1+\cos 4\pi f_c t)$ เข้าวงจรกรองความถี่ต่ำผ่าน(Low Pass Filter: LPF) เทอม $(\cos 4\pi f_c t)$ จะถูกขจัดออกไป ที่เอาต์พุตของวงจร LPF จะได้เทอม $\pm\frac{A}{2}$ ซึ่งแทนค่าไบนารีโดย $+\frac{A}{2}$ แทนการส่งค่าไบนารี 1 และ $-\frac{A}{2}$ แทนการส่งค่าไบนารี 0 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2การมอดูเลตแบบควอดราเจอร์เฟสชิฟท์คีย์อิง(Quadrature Phase Shift Keying)

จาก $f(t)=A\cos(2\pi f_c t-\theta_i(t))$ การมอดูเลตแบบควอดราเจอร์เฟสชิฟท์คีย์อิง(Quadrature Phase Shift Keying : QPSK) กระทำได้โดยให้จำนวนเฟสเพื่อแทนข่าวสารมีจำนวน 4 เฟสคือ

$$\theta_i=\frac{\pi}{4},\frac{3\pi}{4},-\frac{3\pi}{4},-\frac{\pi}{4}$$

จากสมการข้างบนแต่ละเฟสสามารถแทนข่าวสารได้ 2 บิต การแทนข่าวสารเราสามารถจัดสมการ

$$f(t)=A\cos(2\pi f_c t-\theta_i(t))$$

ให้อยู่ในรูป

$$f(t)=a_i\cos 2\pi f_c t+b_i\sin 2\pi f_c t$$

ค่าสัมประสิทธิ์ a_i และ b_i ที่ทำให้เกิดเฟสดังสมการ $\theta_i=\frac{\pi}{4},\frac{3\pi}{4},-\frac{3\pi}{4},-\frac{\pi}{4}$ มีค่าดังนี้

$$(a_i,b_i)=\left(\frac{1}{\sqrt{2}},\frac{1}{\sqrt{2}}\right),\left(-\frac{1}{\sqrt{2}},\frac{1}{\sqrt{2}}\right),\left(-\frac{1}{\sqrt{2}},-\frac{1}{\sqrt{2}}\right),\left(\frac{1}{\sqrt{2}},-\frac{1}{\sqrt{2}}\right)$$

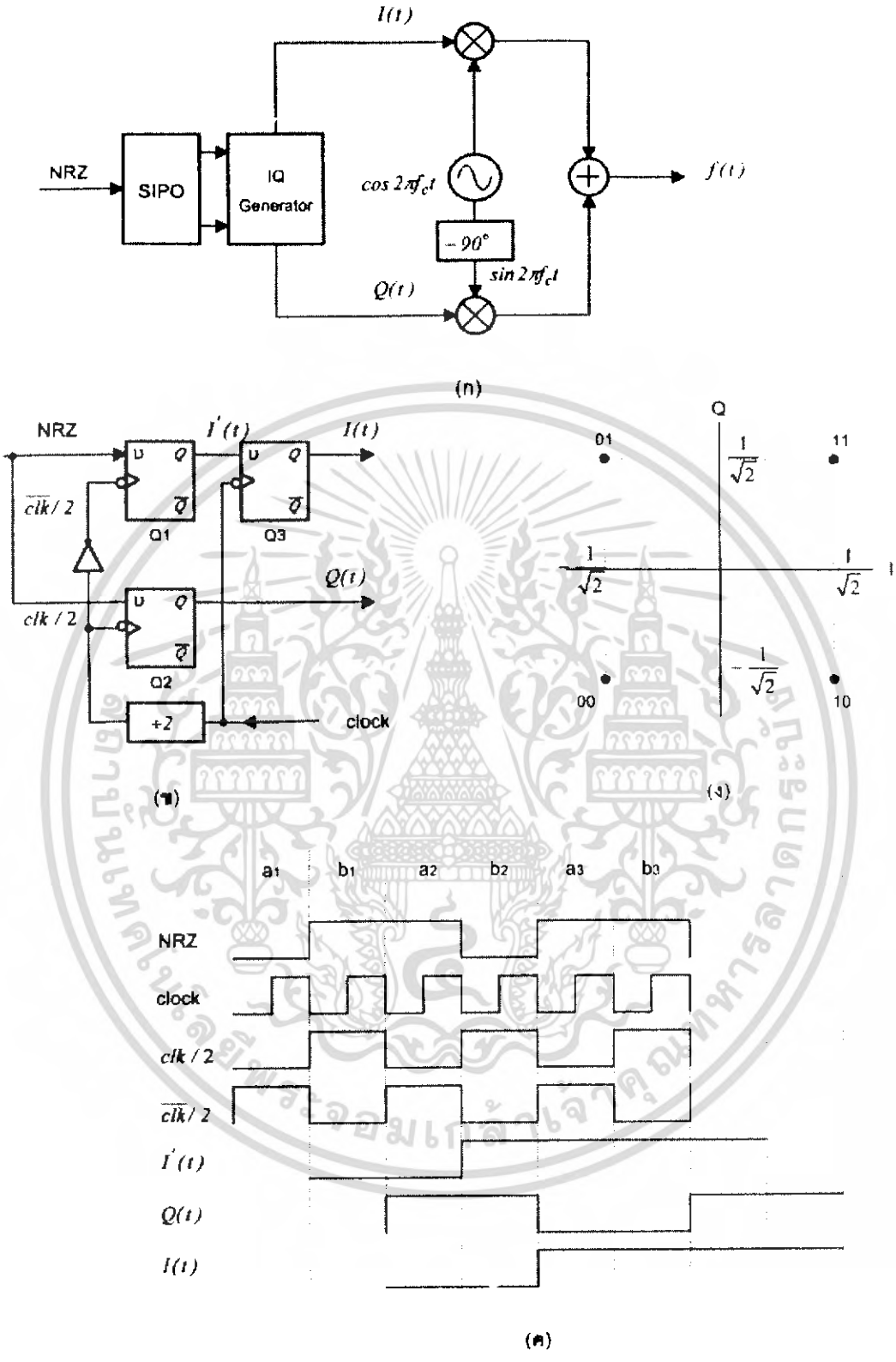
จากสมการ $f(t)=a_i\cos 2\pi f_c t+b_i\sin 2\pi f_c t$ เป็นการส่งสัญญาณโดยใช้คลื่นพาห์ $\cos 2\pi f_c t$ และ $\sin 2\pi f_c t$ เราเรียกคลื่นพาห์ $\cos 2\pi f_c t$ ว่าคลื่นพาห์แบบเอินเฟส และเรียกคลื่นพาห์ $\sin 2\pi f_c t$ ว่าคลื่นพาห์แบบควอดราเจอร์ ซึ่งสามารถแทนวงจรมอดูเลต QPSK ได้ดังรูป 2.1.ก จากโครงสร้างของวงจรมอดูเลตประกอบด้วยวงจรกำเนิดคลื่นพาห์ $\cos 2\pi f_c t$ สำหรับคูณกับสัญญาณเบสแบนด์ $I(t)$ และคลื่นพาห์ $\sin 2\pi f_c t$ ที่ได้จากการเลื่อนเฟสคลื่นพาห์ $\cos 2\pi f_c t$ ไป 90 องศา สำหรับคูณกับสัญญาณเบสแบนด์ $Q(t)$ โดยทั้งสัญญาณเบสแบนด์ $I(t)$, $Q(t)$ ได้จากสัญญาณ NRZ ที่แทนค่าไบนารีผ่านวงจรเปลี่ยนข้อมูลอนุกรมไปเป็นขนาน (Serial In Parallel Out : SIPO) แสดงวงจรดังรูปที่ 2.1.ข สัญญาณ NRZ ป้อนเข้าฟลิปฟลอปซึ่งทำงานในขอบขาลงให้เอาต์พุตเมื่อสิ้นสุดสัญญาณนาฬิกาแต่ละบิต สัญญาณ NRZ บิตคี่จะถูกแยกไปที่กิ่ง $I(t)$ และบิตคู่ถูกแยกไปที่กิ่ง $Q(t)$ จากโครงสร้างการมอดูเลตแบบควอดราเจอร์ทำให้เราสามารถลดขนาดของแถบความถี่ลงได้ด้วยการลดความเร็วของสัญญาณเบสแบนด์ที่คูณกับสัญญาณคลื่นพาห์หรือลดอัตราการมอดูเลตหรืออัตราสัญลักษณ์ (f_s) ลง โดยให้ความเร็วของสัญญาณนาฬิกาสำหรับฟลิปฟลอป Q และ Q_2 มีขนาดเท่ากับ $f_b/2$ จากสมการ $f(t)=a_i\cos 2\pi f_c t+b_i\sin 2\pi f_c t$ ถ้าสัมประสิทธิ์ a_i ได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเบสแบนด์ $I(t)$ และสัมประสิทธิ์ b_i ได้จากสัญญาณเบสแบนด์ $Q(t)$ แล้ว เราสามารถแสดงคู่ของบิต (dibit) ของสัญญาณ $I(t)$, $Q(t)$ ที่ทำให้เกิดเฟสต่างๆได้คือ

Dibit	a_i	b_i	θ_i
00	$-\frac{1}{\sqrt{2}}$	$-\frac{1}{\sqrt{2}}$	$-\frac{3\pi}{4}$
01	$-\frac{1}{\sqrt{2}}$	$\frac{1}{\sqrt{2}}$	$\frac{3\pi}{4}$
11	$\frac{1}{\sqrt{2}}$	$-\frac{1}{\sqrt{2}}$	$-\frac{\pi}{4}$
10	$\frac{1}{\sqrt{2}}$	$\frac{1}{\sqrt{2}}$	$\frac{\pi}{4}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 (ก) วงจรมอดูเลต (ข) วงจร SIPO (ค) สัญญาณเบสแบนด์ (ง) constellation ของ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคู่ของบิตเราเขียนสมการ $f(t) = a_i \cos 2\pi f_c t + b_i \sin 2\pi f_c t$ ใหม่ได้คือ

$$f(t) = \sqrt{a_i^2 + b_i^2} \cos\left(2\pi f_c t + \tan^{-1}\frac{b_i}{a_i}\right)$$

จากสมการข้างบนเราสามารถแทนค่า a_i, b_i บนไดอะแกรม 2 มิติ ที่เรียกว่าไดอะแกรม constellation ได้ดังรูป 2.1.ง โดยแกน x แทนขนาด a_i หรือขนาดแมกนีจูดของสัญญาณอินเฟสและแกน y แทนขนาด b_i หรือแมกนีจูดของสัญญาณควอดราเจอร์เฟส จากรูปแต่ละจุด constellation แทนคู่ของข่าวสารที่เกิดที่กิ่ง $I(t)$ และกิ่ง $Q(t)$ ระยะห่างของ constellation จากจุดศูนย์กลางแทนขนาดแมกนีจูดของสัญญาณคลื่นพาห์

2.2.1การดีมอดูเลตสัญญาณ QPSK

การดีมอดูเลตกระทำได้โดยแยกดีมอดูเลตสัญญาณ $I(t)$ และ $Q(t)$ จากรูปที่ 2.2 สัญญาณ $I'(t)$ ได้จากการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาห์ที่ได้จากการนำสัญญาณ QPSK ยกกำลัง 4 และเลือกเฉพาะความถี่ $\cos 2\pi f_c t$ และสัญญาณ $Q'(t)$ ได้จากการคูณสัญญาณ QPSK กับสัญญาณคลื่นพาห์ $\sin 2\pi f_c t$ ซึ่งได้จากการเลื่อนเฟสของสัญญาณ $\cos 2\pi f_c t$ ไป 90 องศาหรือแสดงเอาต์พุตของวงจรคูณได้

$$I'(t) = (a_i \cos 2\pi f_c t + b_i \sin 2\pi f_c t) \times \cos 2\pi f_c t$$
$$I'(t) = \frac{a_i}{2} + \frac{a_i}{2}\cos 4\pi f_c t + \frac{b_i}{2} 4\pi f_c t$$
$$Q'(t) = (a_i \cos 2\pi f_c t + b_i \sin 2\pi f_c t) \times \sin 2\pi f_c t$$
$$Q'(t) = \frac{b_i}{2} + \frac{a_i}{2}\cos 4\pi f_c t + \frac{b_i}{2}\cos 4\pi f_c t$$

สำหรับเทอม $I(t), Q(t)$ ได้จากการตัดสัญญาณ $\cos 4\pi f_c t$ หรือ $\sin 4\pi f_c t$ ด้วยการใช้วงจรกรองความถี่ต่ำผ่านโดย $I(t) = \frac{a_i}{2}, Q(t) = \frac{b_i}{2}$ แทนคู่ของบิต ตามลำดับ

2.3 การมอดูเลตแอมพลิจูด

ในการสื่อสาร ถ้าสัญญาณถูกส่งไปยังเครื่องรับ โดยไม่ผ่านการมอดูเลต กล่าวคือ ไม่มีการเคลื่อนย้ายย่านความถี่ของข้อมูลไปจากเดิมเลย การสื่อสารในลักษณะเช่นนี้จะมีชื่อว่า การสื่อสารในแบนด์มูลฐาน(base band communication)ทั้งนี้เพราะว่าแบนด์หมายถึงช่วงความถี่ดังนั้น การสื่อสารในแบนด์มูลฐาน จึงหมายถึงการสื่อสารที่มีย่านความถี่อยู่ในช่วงความถี่ของสัญญาณตามเดิมดังกล่าวแล้วแต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าการส่งสัญญาณนั้นต้องผ่านขบวนการมอดูเลตสัญญาณแล้ว เราจะเรียกการสื่อสารชนิดนั้นว่า การสื่อสารโดยคลื่นพาห์(carrier communication)

ตัวอย่างการสื่อสารในแบนด์มูลฐานที่พบกันอยู่ทั่วไป ได้แก่ โทรศัพท์ที่ใช้กันในย่านความถี่เสียง ซึ่งปกติจะมีย่านความถี่ของการใช้งานอยู่ประมาณระหว่าง 0-3.5 กิโลเฮิรตซ์

ในการสื่อสารโดยคลื่นพาห์นั้น สัญญาณจากคลื่นกำเนิดโดยตรง หรือสัญญาณในแบนด์มูลฐาน (base band signal) ขาดความเหมาะสมในการที่จะใช้ในการส่งผ่านช่องการสื่อสารไปยังเครื่องรับด้วยสาเหตุสำคัญคือ สัญญาณมีสเปกตรัมของความถี่อยู่ในย่านที่แตกต่างไปจากย่านความถี่ของช่องการสื่อสารที่มีอยู่ ก็ย่อมจำเป็นจะต้องมีการเคลื่อนย้ายย่านความถี่ของสัญญาณในแบนด์มูลฐานไปให้อยู่ในช่วงความถี่ของช่องการสื่อสารเพื่อที่จะได้ส่งสัญญาณนั้นผ่านช่องการสื่อสารไปได้ในขบวนการนี้ต้องมีการอาศัยสัญญาณหนึ่งซึ่งเรียกว่า คลื่นพาห์(carrier) ซึ่งปกติสร้างขึ้นจากวงจรออสซิลเลเตอร์ เป็นสื่อช่วยเคลื่อนย้ายสเปกตรัมของสัญญาณจากแบนด์มูลฐานนั้นกระบวนการที่ทำการเคลื่อนย้ายแบนด์มูลฐานนั้น มีชื่อเรียกว่า การมอดูเลตสัญญาณดังกล่าวมาแล้วข้างต้นและการใช้คลื่นพาห์ไปช่วยในการเคลื่อนย้ายสเปกตรัมของสัญญาณนั้นเรียกว่า การมอดูเลตสัญญาณนั้นกับคลื่นพาห์ จึงกล่าวอีกนัยหนึ่งได้ว่า การมอดูเลต คือ การฝากสัญญาณในแบนด์มูลฐานไปกับคลื่นพาห์

การมอดูเลตโดยทั่วไปนั้นจะใช้สัญญาณรูปไซน์เป็นคลื่นพาห์ โดยจะใช้ระดับขนาดของสัญญาณในแบนด์มูลฐานไปบังคับ หรือควบคุมให้ค่าพารามิเตอร์ของคลื่นพาห์ให้เปลี่ยนค่าไป ซึ่งค่าพารามิเตอร์ที่ว่านี้ อาจจะเป็นแอมพลิจูด ความถี่หรือเฟสอย่างใดอย่างหนึ่งก็ได้ในการมอดูเลตที่ใช้ขนาดของสัญญาณในแบนด์มูลฐานไปทำให้แอมพลิจูดของคลื่นพาห์เปลี่ยนตามไปนั้นมีชื่อว่า การมอดูเลตแอมพลิจูด(amplitude modulation)หรือที่เรียกย่อกันว่าเอเอ็ม(AM)แต่ถ้าการมอดูเลตนั้นใช้ขนาดของสัญญาณในแบนด์มูลฐานไปทำให้ความถี่และเฟสของคลื่นพาห์เปลี่ยน การมอดูเลตนั้นก็จะมีชื่อว่า การมอดูเลตความถี่(frequency modulation)และ การมอดูเลตเฟส (phase modulation)และจะใช้ชื่อย่อว่า เอฟเอ็ม (FM) และพีเอ็ม(PM)ตามลำดับ

2.3.1 การมอดูเลตแอมพลิจูดแบบแถบข้างคู่ขจัดคลื่นพาห์

ในขบวนการมอดูเลตแอมพลิจูดนั้นขนาดของสัญญาณข่าวสารนั้นจะถูกใช้ไปบังคับค่าแอมพลิจูด A_c ของคลื่นพาห์ $A_c\cos(\omega_c t+\theta_c)$ ให้เปลี่ยนไปตามในขณะที่ความถี่ ω_c และเฟส θ_c จะยังมีค่าคงเดิมสมการของคลื่นที่มอดูเลตแล้ว $\phi_{DSB-SC}(t)$ จะเป็นดังนี้คือ

$$\phi_{DSB-SC}(t)=km(t)\cos(\omega_c t+\theta_c)$$

โดย k คือค่าคงที่ ที่ขบวนการมอดูเลตจัดการควบคุมสัดส่วนของ A_c ให้แปรผันตามสัญญาณข่าวสาร $m(t)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อความสะดวกในการวิเคราะห์สัญญาณเราสามารถที่จะสมมุติให้ $k = 1$ และ $\theta_c = 0$ ได้โดยไม่เสียความหมายของการวิเคราะห์สัญญาณโดยทั่วไปแต่อย่างใด เพียงแต่จะทำให้รูปของสมการที่กระชับขึ้นคือจะได้สมการเป็น

$$\phi_{DSB-SC}(t) = m(t)\cos(\omega_c t)$$

เพื่อที่จะทำความเข้าใจถึงการเปลี่ยนแปลงที่เกิดขึ้นในโดเมนความถี่ จะสมมุติให้ $M(\omega)$ คือฟังก์ชันสเปกตรัมของ $m(t)$ กล่าวคือ

$$m(t) \leftrightarrow M(\omega)$$

โดยอาศัยคุณสมบัติของการแปลงฟูเรียร์จะได้

$$m(t)\cos(\omega_c t) \leftrightarrow \frac{1}{2}\left[M(\omega+\omega_c)+M(\omega-\omega_c)\right]$$

นั่นคือ สัญญาณเอเอ็มในโดเมนความถี่ $\Phi_{DSB-SC}(\omega)$ จะมีค่าเป็น

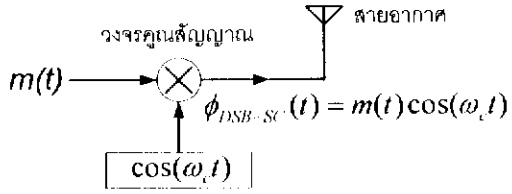
$$\Phi_{DSB-SC}(\omega) = \frac{1}{2}\left[M(\omega+\omega_c)+M(\omega-\omega_c)\right]$$

ถ้าแบนด์วิธของ $M(\omega)$ ตาม $m(t) \leftrightarrow M(\omega)$ มีค่าเป็น B เฮิรตซ์ หรือ W เรเดียนต่อวินาที

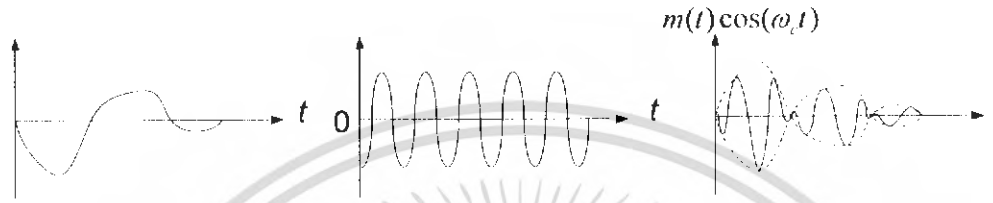
$(W = 2\pi B)$ เราจะรู้จาก $\Phi_{DSB-SC}(\omega) = \frac{1}{2}\left[M(\omega+\omega_c)+M(\omega-\omega_c)\right]$

ได้ว่า $\Phi_{DSB-SC}(\omega)$ จะมีแบนด์วิธเป็น $2W$ เรเดียนต่อวินาทีดังแสดงในรูป2.2และเป็นสิ่งที่น่าสังเกตว่าค่าความถี่กึ่งกลางแบนด์ของสัญญาณเอเอ็มนั้นอยู่ที่ความถี่ของคลื่นพาห์คือ ω_c ซึ่งแกนตั้งที่ ω_c ในโดเมนของความถี่นี้จะแบ่งสเปกตรัมที่เกิดขึ้นออกเป็นสองส่วนที่สมมาตรกัน ส่วนของสัญญาณที่มีสเปกตรัมอยู่ที่ความถี่สูงกว่าและต่ำกว่าความถี่ ω_c นั้นมีชื่อว่าแถบข้างส่วนบนหรือไซด์แบนด์สูง(upper sideband) นิยมเขียนย่อแทนด้วยยูเอสบี(USB)และแถบข้างส่วนล่างหรือไซด์แบนด์ต่ำ(lower sideband) นิยมเขียนย่อแทนด้วยแอลเอสบี(LSB)ตามลำดับ ในทำนองเดียวกันบนแกนความถี่ด้านลบค่าความถี่ $-\omega_c$ ก็จะแบ่งทำให้เกิดไซด์แบนด์สูงและไซด์แบนด์ต่ำขึ้นเช่นกันแต่ในกรณีของความถี่ด้านลบไซด์แบนด์สูงจะหมายถึงส่วนสเปกตรัมที่มีความถี่เป็นลบมากกว่า $-\omega_c$ และไซด์แบนด์ต่ำจะหมายถึงส่วนสเปกตรัมที่มีความถี่เป็นลบน้อยกว่า $-\omega_c$

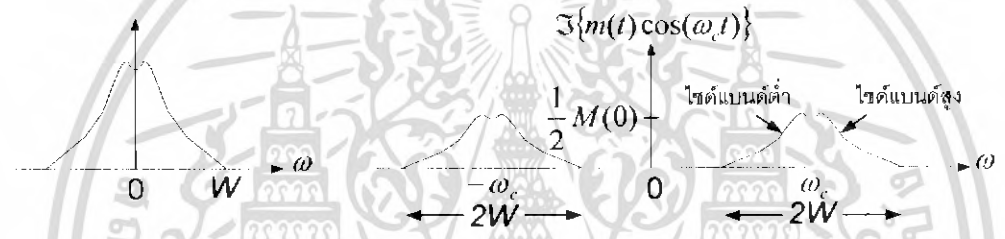
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) แผนภาพแสดงกระบวนการมอดูเลตสัญญาณ ดีเอสบี เอสซี



(ข) สัญญาณข่าวสาร $m(t)$ (ค) คลื่นพาห์ $\cos(\omega_c t)$ (ง) สัญญาณ ดีเอสบี เอสซี



(จ) ความหนาแน่นของสเปกตรัม ของ $m(t)$

(ฉ) ความหนาแน่นสเปกตรัมของสัญญาณ ดีเอสบี เอสซี ในที่นี้ $W = 2\pi B$

รูปที่ 2.2 กระบวนการมอดูเลตสัญญาณดีเอสบี เอสซี

ควรสังเกตอีกด้วยว่า ถ้าสัญญาณ $m(t)$ นั้น ไม่มีส่วนประกอบเชิงความถี่ที่เป็นไฟตรง ไซด์แบนด์ทั้งสองที่เกิดจากการมอดูเลตก็จะอยู่ห่างกันอย่างชัดเจน และสเปกตรัมของสัญญาณเอเอ็มก็จะไม่เกิดตามองค์ประกอบความถี่ที่ $\omega = \pm\omega_c$ ปรากฏ กล่าวคือ ส่วนประกอบสัญญาณที่มีความถี่ตรงกับความถี่ของคลื่นพาห์จะถูกขจัดออกไปในกรณีดังกล่าว ด้วยเหตุนี้เองทำให้กระบวนการมอดูเลตสัญญาณแบบนี้ได้ชื่อว่า การมอดูเลตแอมพลิจูดแบบไซด์แบนด์คู่ขจัดคลื่นพาห์(AM double sideband suppressed carrier) หรือการมอดูเลตแอมพลิจูดแบบแถบข้างคู่ขจัดคลื่นพาห์ ซึ่งเรียกย่อว่า ดีเอสบี เอสซี (DSB-SC) ตาม $\Phi_{DSB-SC}(\omega) = \frac{1}{2}\left[M(\omega+\omega_c) + M(\omega-\omega_c)\right]$ จะบอกให้รู้ว่าการมอดูเลตแบบนี้จะทำให้เกิดการย้ายสเปกตรัมของสัญญาณข่าวสาร $M(\omega)$ออกไปจากเดิม $\pm\omega_c$(หมายถึงย้ายไปจากเดิม $+\omega_c$ และ $-\omega_c$ ตามลำดับ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 การดีมอดูเลตแอมพลิจูดแบบแถบข้างคู่ขจัดคลื่นพาห์

ในการที่จะแยกเอาสัญญาณข่าวสาร $m(t)$ ออกมาจาก $\phi_{DSB-SC}(t)$นั้น ลักษณะการที่ทำหน้าที่นี้เรียกว่า การกู้สัญญาณ หรือ การดีมอดูเลต (demodulate) สัญญาณ หรือการตรวจจับ(detect) สัญญาณ สามารถทำได้โดยการนำเอาสัญญาณ $\phi_{DSB-SC}(t)$ ไปมอดูเลตกับคลื่นพาห์เดิมอีกครั้งหนึ่ง ซึ่งเมื่อทำเช่นว่านี้แล้ว จะได้ผลลัพธ์ $v_d(t)$ เป็น

$$\begin{aligned} v_d(t) &= \phi_{DSB-SC}(t)\cos(\omega_c t) \\ &= \{m(t)\cos(\omega_c t)\}\cos(\omega_c t) \\ &= m(t)\cos^2(\omega_c t) \\ &= \frac{1}{2}m(t)+\frac{1}{2}m(t)\cos(2\omega_c t) \end{aligned}$$

และโดยคุณสมบัติของการแปลงฟูเรียร์จะได้

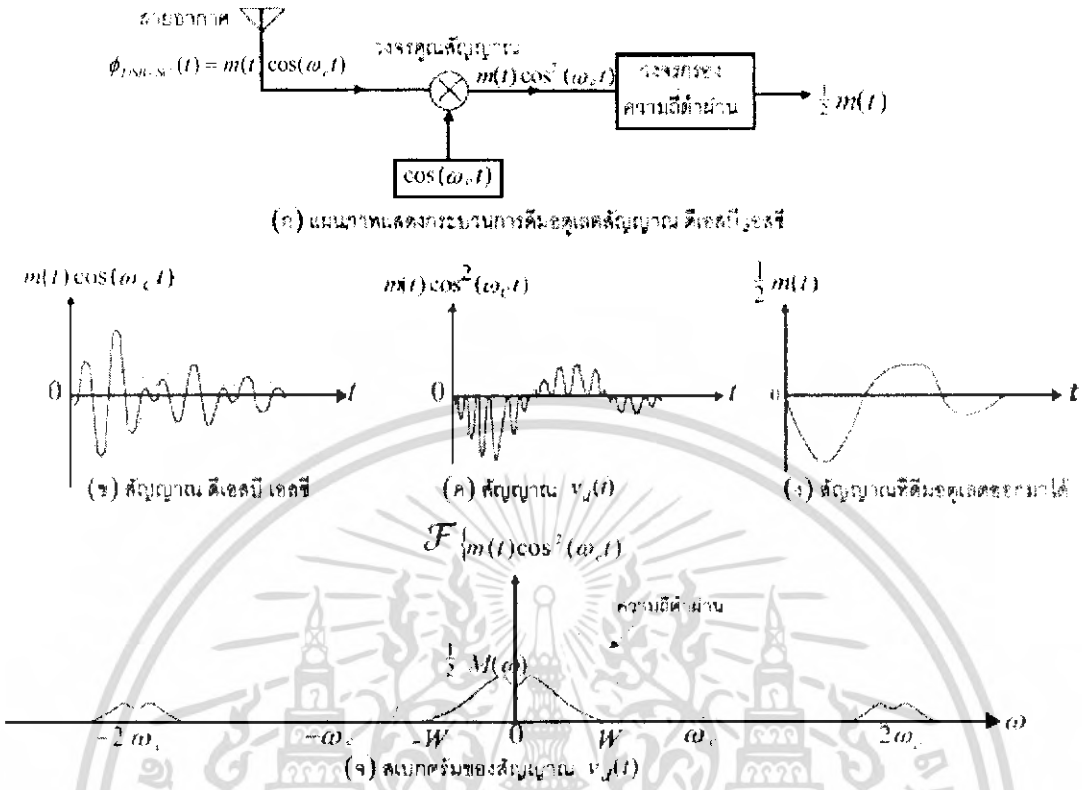
$$\phi_{DSB-SC}(t)\cos(\omega_c t) \leftrightarrow \frac{1}{2}M(\omega)+\frac{1}{4}[M(\omega+2\omega_c)+M(\omega-2\omega_c)]$$

เมื่อนำสัญญาณ $\phi_{DSB-SC}(t)\cos(\omega_c t)$ นี้ ไปผ่านวงจรกรองความถี่ต่ำผ่าน เพื่อขจัดสัญญาณส่วนที่มีความถี่สูงคือพจน์ที่อยู่ในวงเล็บใหญ่ของ

$$\phi_{DSB-SC}(t)\cos(\omega_c t) \leftrightarrow \frac{1}{2}M(\omega)+\frac{1}{4}[M(\omega+2\omega_c)+M(\omega-2\omega_c)] \text{ ออก}$$

ก็จะเหลือเพียงแต่ส่วนของสเปกตรัม $\frac{1}{2}m(t)$ ตามสมการ $m(t) \leftrightarrow M(\omega)$ นั่นเอง การพิจารณารูป 2.3 ที่แสดงถึงการดีมอดูเลตสัญญาณดังกล่าวจะช่วยประกอบให้ผู้อ่านเห็นภาพพจน์ในกระบวนการนี้ได้ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) แผนภาพแสดงกระบวนการดีมอดูเลตสัญญาณ ดีเอสบี เอสซี

(ข) สัญญาณ ดีเอสบี เอสซี (ค) สัญญาณ $v_d(t)$ (ง) สัญญาณที่ดีมอดูเลตออกมาได้

(จ) สเปกตรัมของสัญญาณ $v_d(t)$

รูปที่ 2.3 การดีมอดูเลตสัญญาณดีเอสบี เอสซี และสัญญาณต่างๆ พร้อมทั้งค่าความหนาแน่นสเปกตรัมของสัญญาณที่อินพุตของวงจรกรองความถี่ต่ำผ่าน

อย่างไรก็ดีในการตรวจจับสัญญาณด้วยวิธีดังกล่าวนี้ มักจะพบปัญหาอันเนื่องมาจากคลื่นพาห์ที่เครื่องรับสร้างขึ้นมานั้น มักจะมีความถี่และเฟสไม่เท่ากับค่าความถี่และเฟสของคลื่นพาห์จากเครื่องส่ง การที่จะเข้าใจถึงผลของความคลาดเคลื่อนของคลื่นพาห์นั้น ทำได้โดยสมมุติว่า เมื่อมีสัญญาณจากเครื่องส่ง คือ $\phi_{DSB-SC}(t) = m(t)\cos(\omega_c t)$ นั้น คลื่นพาห์จากออสซิลเลเตอร์ทางเครื่องรับมีความคลาดเคลื่อนไปเล็กน้อยเป็น $\cos\{(\omega_c + \Delta\omega)t + \delta\}$ โดย $\Delta\omega$ และ δ คือค่าความคลาดเคลื่อน ทางความถี่ และเฟส ตามลำดับตามกระบวนการดีมอดูเลต เครื่องรับจะทำการดีมอดูเลตสัญญาณโดยใช้คลื่นพาห์

$$\cos\{(\omega_c + \Delta\omega)t + \delta\} \text{ คูณกับ } \phi_{DSB-SC}(t)$$

ทำให้ได้สัญญาณลัพธ์เป็น

$$\begin{aligned} v_d(t) &= \phi_{DSB-SC}(t)\cos\{(\omega_c + \Delta\omega)t + \delta\} \\ &= m(t)\cos(\omega_c t)\cos\{(\omega_c + \Delta\omega)t + \delta\} \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{1}{2}m(t)\cos(\Delta\omega t + \delta) + \frac{1}{2}m(t)\cos\{(2\omega_c + \Delta\omega)t + \delta\}$$

วงจรกรองความถี่ต่ำผ่านในเครื่องรับจะขจัดส่วนของความถี่สูง คือ พจน์หลังสุดของ

$$v_d(t) = \frac{1}{2}m(t)\cos(\Delta\omega t + \delta) + \frac{1}{2}m(t)\cos\{(2\omega_c + \Delta\omega)t + \delta\} \quad \text{ออก}$$

คงเหลือสัญญาณเอาต์พุต $v_0(t)$ ของวงจรตรวจจับสัญญาณ คือ

$$v_0(t) = \frac{1}{2}m(t)\cos(\Delta\omega t + \delta)$$

ถ้าเครื่องรับผลิตคลื่นพาห์ขึ้นมาโดยไม่มีความคลาดเคลื่อน กล่าวคือ $\Delta\omega = 0$ และ $\delta = 0$ จาก $v_0(t) = \frac{1}{2}m(t)\cos(\Delta\omega t + \delta)$ จะพบว่า เพราะ $\cos(0) = 1$ ดังนั้น $v_0(t)$ จึงมีค่าเท่ากับ $\frac{1}{2}m(t)$ ซึ่งเป็นสัญญาณข่าวสาร $m(t)$ ที่ถูกต้อง แต่ถ้าเครื่องรับสร้างคลื่นพาห์ได้มีความถี่ถูกต้อง (คือ $\Delta\omega = 0$) แต่ทว่ายังมีความคลาดเคลื่อนทางเฟสอยู่บ้าง (คือ $\delta \neq 0$) ในกรณีนี้เอาต์พุตตาม

$v_0(t) = \frac{1}{2}m(t)\cos(\Delta\omega t + \delta)$ จะกลายเป็น $v_0(t) = \frac{1}{2}m(t)\cos(\delta)$

เนื่องจาก $|\cos(\delta)| \leq 1$ ดังนั้นผลที่เกิดขึ้น ก็คือ สัญญาณเอาต์พุตจะมีระดับลดลง และถ้า $\delta = \pm\frac{\pi}{2}$ ระดับของสัญญาณเอาต์พุตก็จะเป็นศูนย์ (เพราะ $\cos\left(\pm\frac{\pi}{2}\right) = 0$)

ถ้าสมมุติว่า เครื่องรับสร้างคลื่นพาห์ที่มีเฟสเริ่มต้นได้ถูกต้อง $(\delta = 0)$ แต่มีความถี่คลาดเคลื่อน $(\Delta\omega \neq 0)$ จะพบว่าเอาต์พุตตาม $v_0(t) = \frac{1}{2}m(t)\cos(\Delta\omega t + \delta)$ จะได้เป็น

$$v_0(t) = \frac{1}{2}m(t)\cos(\Delta\omega t)$$

ซึ่งแสดงให้เห็นว่า $v_0(t)$ มีลักษณะผิดเพี้ยนไปจาก $m(t)$ ด้วยอิทธิพลของการบังคับขนาด(การคูณ) ด้วยคลื่นรูปไซน์ที่มีความถี่ $\Delta\omega$ ซึ่งเป็นความถี่ต่ำ ผลที่เกิดขึ้นนี้เรียกว่า มี การบีต (beating) ด้วยความถี่ต่ำนั้น ทำให้เอาต์พุตไม่ใช่สัญญาณข่าวสาร $m(t)$ เดิม

ตามที่ได้อธิบายมาแล้ว เราได้รู้ว่าการตรวจจับสัญญาณ ดีเอสบี เอสซี นั้นทำได้ด้วยการมอดูเลตคลื่นพาห์ที่สร้างขึ้นทางเครื่องรับซ้ำเข้ากับสัญญาณ $(\phi_{DSB\ SC}(t))$ นั้นอีกครั้งหนึ่ง แล้วใช้วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองความถี่ต่ำผ่านมาขจัดส่วนประกอบที่เป็นความถี่สูงออก ก็จะได้สัญญาณข่าวสารเดิมกลับคืนมา ประเด็นสำคัญในกระบวนการนี้คือ คลื่นพาห์ทางเครื่องรับจะต้องมีความถี่และเฟสตรงกับคลื่นพาห์จากเครื่องส่งพอดี การตรวจจับสัญญาณจึงจะมีประสิทธิภาพเต็มที่ด้วยสาเหตุดังกล่าวนี้เองจึงทำให้กระบวนการตรวจจับสัญญาณแบบนี้มีชื่อเรียกว่าการดีมอดูเลตแบบสัมพัทธ์(Synchronous demodulation) หรือ การดีมอดูเลตแบบร่วมนัย (coherent demodulation)

2.4วงจรกรองความถี่แบบแอคทีฟเบื้องต้น(Fundamentals of Active Filters)

วงจรกรองความถี่ (Filters) สามารถแบ่งออกเป็น 2 แบบใหญ่ ๆ คือ แบบพาสซีฟ(Passive filters) และแบบแอคทีฟ (Active filters) วงจรกรองความถี่เป็นวงจรที่สามารถทำหน้าที่เลือกความถี่ที่ต้องการหรือตัดความถี่ที่ไม่ต้องการออกก็ได้ การใช้งานวงจรกรองความถี่สามารถใช้กรองสัญญาณรบกวน หรือกรองเอาสัญญาณข่าวสารออกมาจากคลื่นพาห์ในระบบวิทยุ ดังนั้นอุปกรณ์ที่นำมาใช้ในวงจรกรองความถี่ถ้าเป็นแบบพาสซีฟจะใช้ตัวต้านทาน ตัวเก็บประจุ และตัวเหนี่ยวนำ ส่วนในวงจรกรองความถี่แบบแอคทีฟ จะใช้ตัวต้านทาน ตัวเก็บประจุ ร่วมกับอุปกรณ์ที่สามารถทำการขยายสัญญาณ เช่น ออปแอมป์ ทำให้วงจรกรองความถี่แบบแอคทีฟมีข้อดีกว่าแบบพาสซีฟ คือ

- ไม่มีการสูญเสียของสัญญาณเนื่องจากออปแอมป์สามารถทำการขยายสัญญาณเพื่อชดเชยการลดทอนของสัญญาณได้
- ราคาถูก โดยเฉลี่ยแล้ววงจรกรองความถี่แบบแอคทีฟจะมีราคาถูกกว่าแบบพาสซีฟ เนื่องจากตัวเหนี่ยวนำที่ใช้ในแบบพาสซีฟมีราคาแพง และสร้างได้ยากกว่า
- การปรับค่า วงจรกรองความถี่แบบแอคทีฟ สามารถปรับค่าความถี่ที่ต้องการได้ง่าย ภายใต้ย่านความถี่ที่กว้างกว่าที่สามารถปรับได้ในแบบพาสซีฟ
- การแยกระหว่างอินพุตและเอาต์พุต เนื่องจากจรกรองความถี่แบบแอคทีฟมีการใช้ออปแอมป์ประกอบในวงจรจึงทำให้วงจรกรองความถี่แบบนี้มีอินพุต อิมพีแดนซ์สูงและเอาต์พุต อิมพีแดนซ์ต่ำทำให้ไม่มีผลการรบกวนกันระหว่างแหล่งจ่ายสัญญาณอินพุตและโหลด แต่อย่างไรก็ตาม การกรองความถี่แบบแอคทีฟก็มีข้อเสียอยู่บางประการ เมื่อเทียบกับแบบพาสซีฟ คือ

- การตอบสนองความถี่ วงจรกรองความถี่แบบแอคทีฟ มีความสามารถในการตอบสนองความถี่ได้แคบกว่าแบบพาสซีฟเนื่องจากขีดจำกัดของออปแอมป์ ยกตัวอย่างเช่นออปแอมป์เบอร์ 741 มีความสามารถในการตอบสนองความถี่ได้เพียง 1 MHz
- แหล่งจ่ายไฟเลี้ยง เนื่องจากการใช้ออปแอมป์ทำให้ต้องใช้แหล่งจ่ายไฟเลี้ยงในการทำงานในขณะที่แบบพาสซีฟไม่ต้องใช้แหล่งจ่ายไฟเลี้ยง

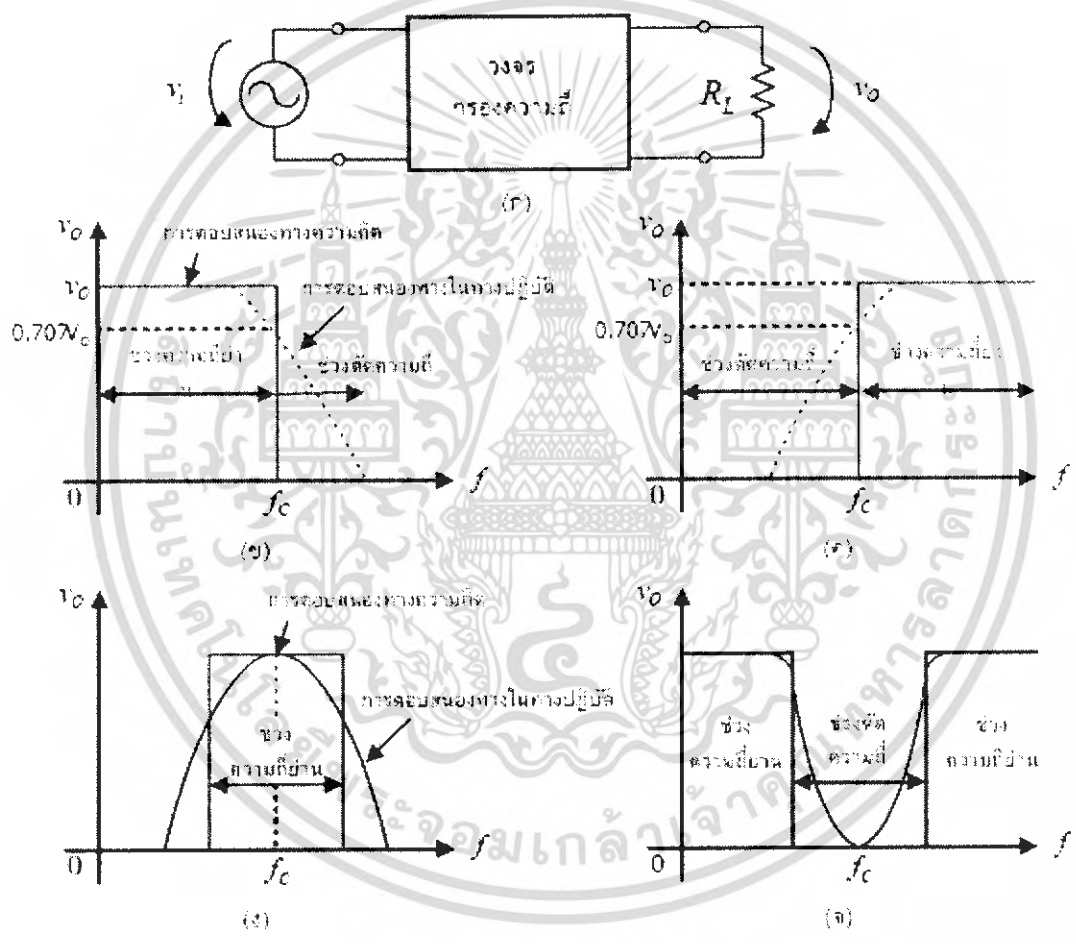
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การตอบสนองของวงจรกรองความถี่

วงจรกรองความถี่แบบแอคทีฟสามารถแบ่งออกเป็นชนิด ตามหน้าที่การทำงานได้อีกเป็น 4 ชนิด ได้แก่

- วงจรกรองความถี่ต่ำย่าน (Low pass filter , LPF)
- วงจรกรองความถี่สูงย่าน (High pass filter , HPF)
- วงจรกรองแถบความถี่ย่าน (Band pass filter , BPF)
- วงจรตัดแถบความถี่ (Notch filter หรือ Band Eliminate filter , BEF)

การทำงานของวงจรกรองความถี่แต่ละชนิด แสดงดังรูปที่ 2.4



รูปที่ 2.4 วงจรกรองความถี่และการทำงานของวงจรแต่ละชนิด

(ก) วงจรทดสอบวงจรกรองความถี่

(ข) การทำงานของวงจร LPF

(ค) การทำงานของวงจร HPF

(ง) การทำงานของวงจร BPF

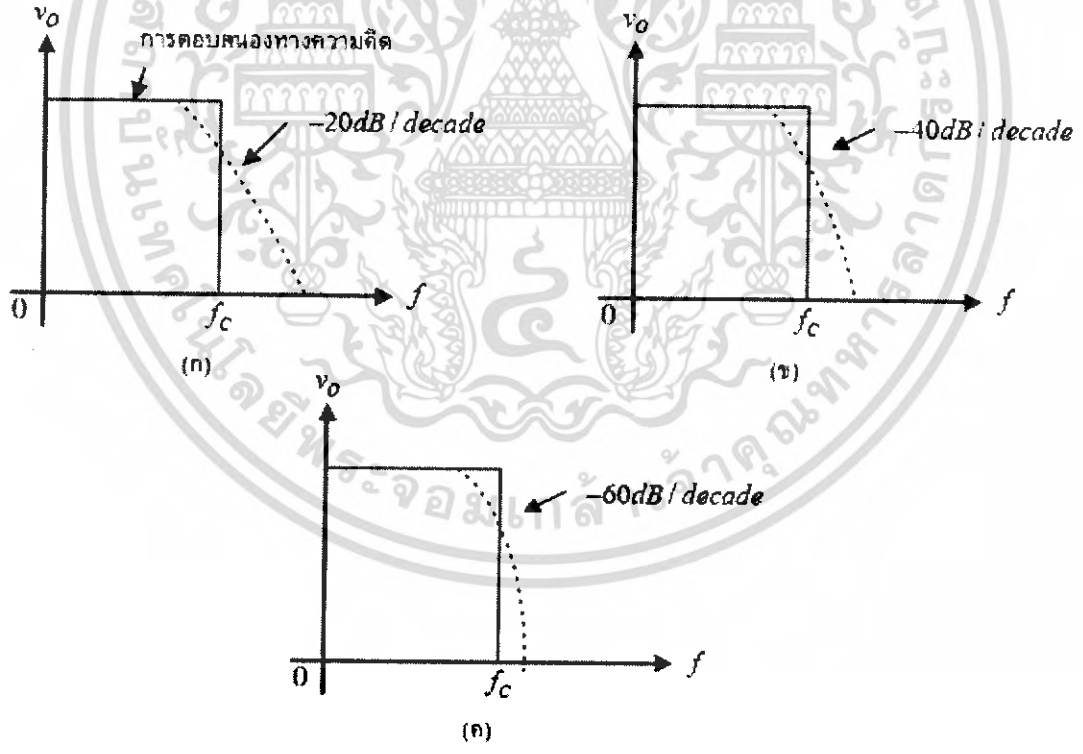
(จ) การทำงานของวงจร BEF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.4 (ข) ซึ่งเป็นผลการตอบสนองความถี่ของวงจร LPF จะพบว่าในทางความคิดหรืออุดมคติ ถ้าความถี่ของอินพุตมีค่ามากกว่า ความถี่ตัดที่ต้องการ (Cut off frequency, f_c)แล้ว วงจรจะตัดสัญญาณความถี่นั้นไม่ให้ออกไปที่เอาต์พุตเลย แต่ในทางปฏิบัติวงจรไม่สามารถตอบสนองความถี่เช่นนี้ได้ วงจรจะค่อยๆ ลดการตอบสนองความถี่ของช่วงที่ไม่ต้องการลง ส่วนผลการตอบสนองความถี่ของวงจร HPF ดัง รูปที่ 2.4(ค) มีลักษณะตรงกันข้ามกับวงจร LPF ส่วนใน รูปที่ 2.4(ง) เป็นผลการตอบสนองความถี่ของวงจร BPF คือ วงจรจะยอมให้ความถี่เฉพาะแถบหรือช่วงที่ต้องการเท่านั้นออกไปที่เอาต์พุต สำหรับผลของวงจร BEF ดังรูปที่ 2.4(จ) ก็จะมีลักษณะตรงข้ามกับวงจร BPF

ลำดับของวงจรกรองความถี่

จากในรูปที่ 2.4 (ข) เราจะเห็นว่าในทางปฏิบัติแล้ว เมื่อความถี่อินพุตเปลี่ยนแปลงถึงจุดตัดความถี่ (f_c) ของวงจร วงจรจะค่อย ๆ ลดการตอบสนองความถี่ลง โดยอัตราการเปลี่ยนแปลงนี้จะขึ้นอยู่กับลำดับ (Order) ของวงจรกรองความถี่ซึ่งโดยทั่วไป วงจรกรองความถี่มีตั้งแต่ลำดับที่ 1 , 2 , 3 , 4 ไปเรื่อย ๆ จนถึงลำดับที่ n สำหรับตัวอย่างลำดับของวงจรกรองความถี่ที่มีผลต่อการเปลี่ยนแปลงการตอบสนองความถี่ ของวงจรของความถี่ต่ำผ่าน (LPF)แสดงไว้ในรูปที่ 2.5



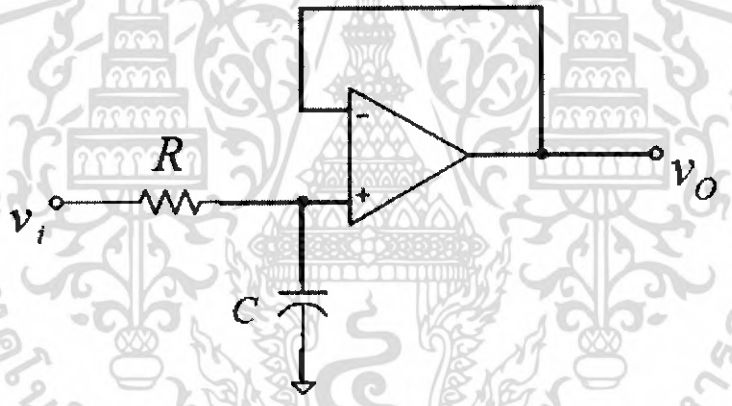
รูปที่ 2.5 การตอบสนองความถี่ของวงจรกรองความถี่ที่ลำดับต่าง ๆ
(ก) ลำดับที่ 1 (First order) (ข) ลำดับที่ 2 (Second order) (ค) ลำดับที่ 3 (Third order)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.5 จะเห็นว่าวงจรกรองความถี่ต่ำผ่านที่ตอบสนองความถี่ได้ใกล้เคียงกับอุดมคติมากที่สุด คือ ลำดับที่ 3 ถ้าลำดับยิ่งสูงกว่านี้ การตอบสนองความถี่ก็จะยิ่งใกล้เคียงกับอุดมคติมากขึ้นไปอีก แต่ก็ทำให้วงจรกรองความถี่ที่มีลำดับสูงขึ้น มีความซับซ้อนเพิ่มขึ้นตามไปด้วย ในทางใช้งานจริง มักจะนิยมใช้ วงจรกรองความถี่ลำดับที่ 2 (2^{nd} order filter) มากกว่าเนื่องจากสามารถใช้ออปแอมป์เพียงตัวเดียวสร้างได้

วงจรกรองความถี่ลำดับที่ 2 จากรูปที่ 2.5 (ข) พบว่ามีอัตราการตกของความถี่เมื่อเทียบกับอัตราขยายเท่ากับ –40 *dB* /decade โดยเครื่องหมายลบแสดงถึงอัตราให้เห็นว่าเป็นการตกและตัวเลขนี้หมายความถึง วงจรกรองความถี่ต่ำอยู่ลำดับที่ 2 ซึ่งจะมีอัตราการตกของอัตราขยาย 40 *dB* ต่อช่วง 10 เท่าของความถี่ ยกตัวอย่างเช่น ที่ความถี่ 1 kHz วงจรกรองความถี่มีอัตราขยาย 40 *dB* (100 เท่า) เมื่อความถี่เพิ่มขึ้นไปถึง 10 kHz วงจรกรองความถี่มีอัตราขยายลดลงเหลือ 0 dB (1 เท่า) เนื่องจากความถี่ 1 kHz ไปยังความถี่ 10 kHz เราเรียกที่ 1 decade

วงจรกรองความถี่ต่ำผ่านลำดับที่ 1



รูปที่ 2.6 วงจรกรองความถี่ต่ำผ่านลำดับที่ 1

วงจรกรองความถี่ต่ำผ่านลำดับที่ 1 อยู่ในรูปที่ 2.6 ออปแอมป์ต่อเป็นวงจรตามแรงดันเพื่อทำให้เอาต์พุตอิมพีแดนซ์ของวงจรกรองความถี่มีค่าต่ำโดยค่าความถี่ตัด (f_c) สามารถกำหนดได้จากค่าอุปกรณ์ภายนอก ดังสมการ

$$f_c = \frac{0.1591}{RC}$$

วงจรในรูปที่ 2.6 นี้จะมีอัตราขยายลูปปิด A_{cl} เท่ากับ 1 ตามสมการของวงจรตามแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ตัวอย่าง</u> ถ้า $R = 10k\Omega$ และ $C = 0.015\mu F$ จงคำนวณหาความถี่ตัด (f_c) และถ้า $V_i = 200mV$ V_0 จะมีค่าเท่าใดที่ความถี่ f_c

คำนวณหาค่า f_c ตามสมการ $$f_c = \frac{0.1591}{RC}$$

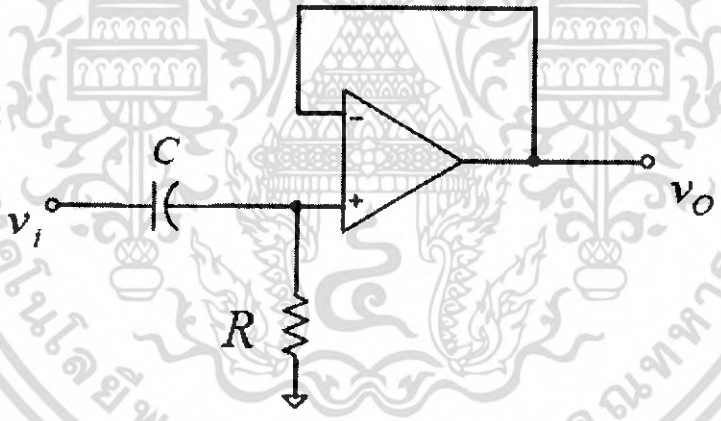
$$f_c = \frac{0.1591}{(10k\Omega)(0.015\mu F)} = 1061Hz$$

$$f_c \approx 1kHz$$

ที่ความถี่ $f = f_c = 1kHz$ V_0 มีค่าเท่ากับ $0.707V_i$ (จากรูปที่ 5.1 (ข))

ดังนั้น $V_0 = 0.707(200mV_p) = 141mV_p$

วงจรกรองความถี่สูงผ่านลำดับที่ 1



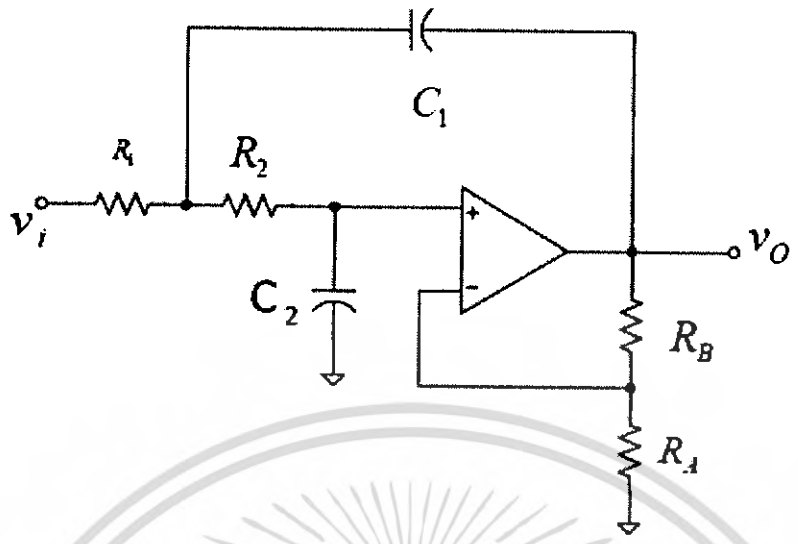
รูปที่ 2.7 วงจรของความถี่สูงผ่านลำดับที่ 1

จากวงจรกรองความถี่ต่ำผ่านในรูปที่ 2.6 ถ้าหากทำการสลับตำแหน่ง R และ C ดังรูปที่ 2.7 ก็จะได้วงจรกรองความถี่สูงผ่านที่มีสมการของความถี่ตัดผ่านเท่ากับสมการ $f_c = \frac{0.1591}{RC}$

72129

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำผ่านลำดับที่ 2



รูปที่ 2.8 วงจรกรองความถี่ต่ำผ่านลำดับที่สอง

วงจรกรองความถี่ต่ำผ่านลำดับที่สอง สามารถสร้างได้ง่ายโดยใช้ออปแอมป์เพียงตัวเดียว ดังในรูปที่ 2.8 วงจรนี้อาจจะเรียกว่า วงจรกรองความถี่แบบ Sallen and Key ซึ่งตั้งชื่อตามผู้ออกแบบวงจร สำหรับวงจรนี้ความถี่ตัด (Cut off frequency, f_c) สามารถกำหนดได้จากค่าอุปกรณ์ที่ต่ออยู่ภายนอกตามสมการ

$$f_c = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}}$$

ถ้าหากเรากำหนดให้ $R_1 = R_2 = R$ และ $C_1 = C_2 = C$ สามารถลดรูปได้เป็น

$$f_c = \frac{1}{2\pi RC}$$

ส่วนตัวต้านทาน R_A และ R_B มีไว้เพื่อเป็นตัวกำหนดอัตราขยายของวงจรลูปปิด (A_{CL}) ได้ แต่โดยปกติแล้ว เราจะมีการกำหนดให้ A_{CL} นี้มีค่าเท่ากับ 1.586 เพื่อให้วงจรสามารถทำงานได้อย่างมีประสิทธิภาพที่สุด นั่นแสดงว่าเราควรกำหนด ค่า R_B มีค่าเป็น0.586 เท่าของ R_A เนื่องจากออปแอมป์ต่อเป็นวงจรขยายแบบไม่กลับเฟส สำหรับค่า R_A และ R_B ที่เหมาะสม คือ $R_A = 47k\Omega$ และ $R_B = 27k\Omega$

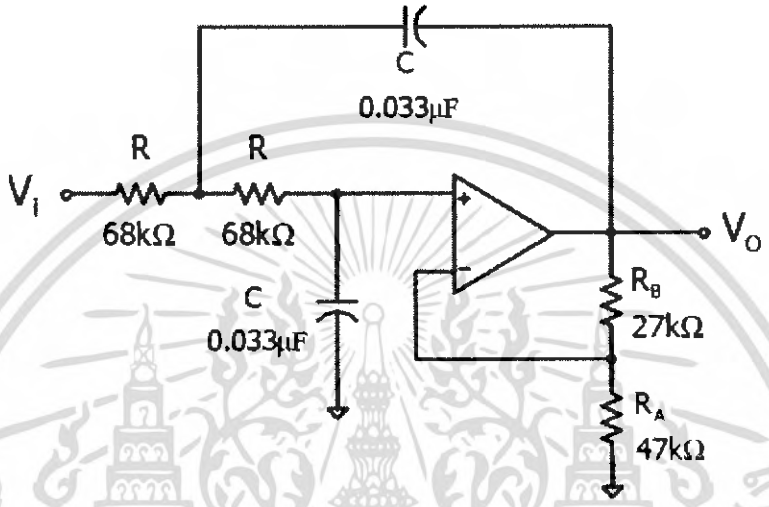
ตัวอย่าง ออกแบบวงจรกรองความถี่ต่ำผ่านลำดับที่2 ให้มีความถี่ตัด (f_c) อยู่ที่ 700 Hz เลือกค่าตัวเก็บประจุมาตรฐาน 0.0033 μF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนวณหาค่า R จากสมการ $f_c = \frac{1}{2\pi RC}$

$$R = \frac{1}{2\pi f_c C} = \frac{1}{2\pi(700Hz)(0.0033\mu F)} = 68,898\Omega$$

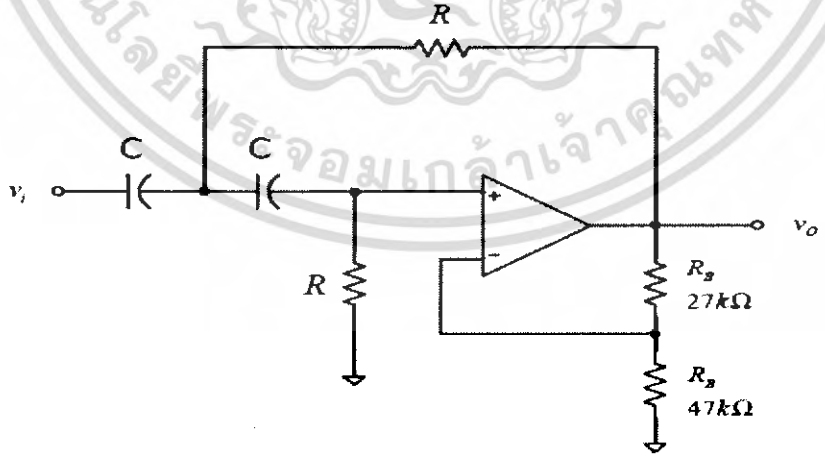
เลือกค่า R มาตรฐานคือ $68k\Omega$ ได้วงจรกรองความถี่ต่ำผ่านลำดับที่ 2 แสดงในรูปที่ 5.6



รูปที่ 2.9 วงจรของความถี่ต่ำย่านซึ่งมีความถี่ตัด 700Hz

จากตัวอย่าง เราสามารถเลือกค่า C มาตรฐาน $0.1\mu F$ จะได้ R ค่ามาตรฐาน $22k\Omega$ ก็ได้

วงจรกรองความถี่สูงผ่านลำดับที่ 2



รูปที่ 2.10 วงจรกรองความถี่สูงผ่านลำดับที่สอง

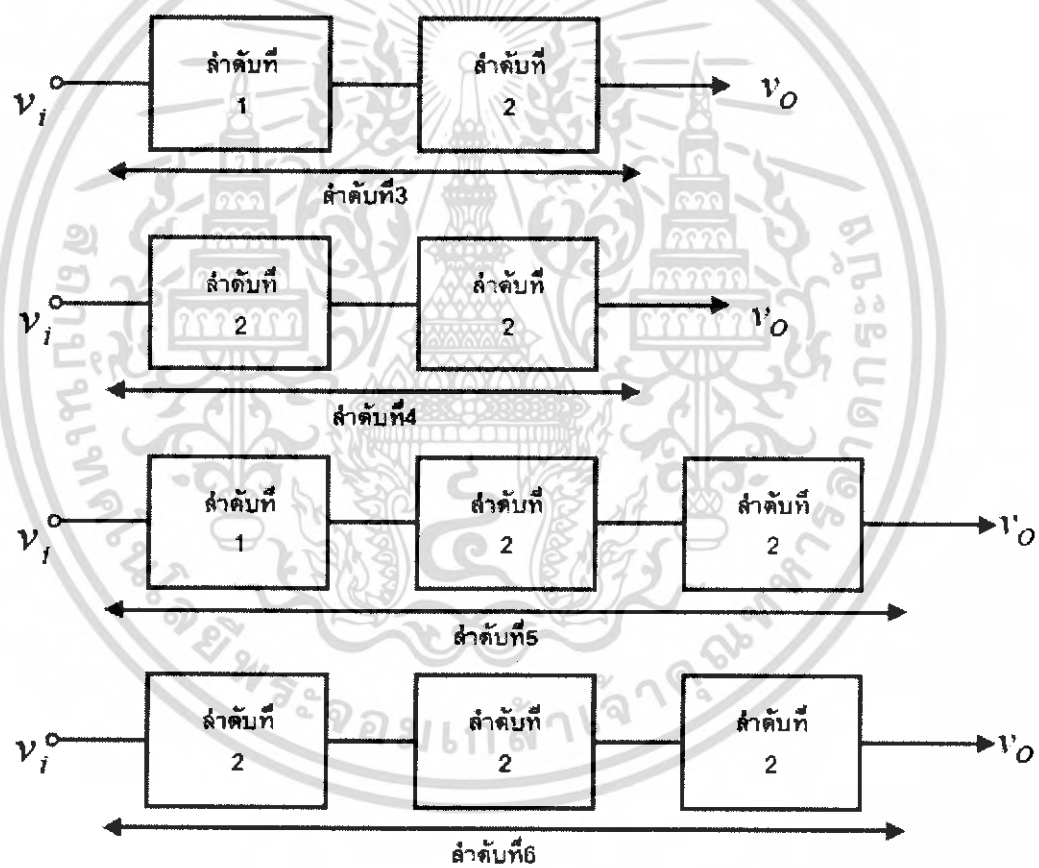
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่สูงผ่านลำดับที่ 2 มีลักษณะวงจรคล้ายกับวงจรกรองความถี่ต่ำผ่านในรูปที่ 2.6 เพียงแต่สลับตำแหน่งของ R และ C เท่านั้นดังแสดงในรูปที่ 2.8 ส่วนค่าความถี่ตัด (f_c) สามารถหาได้จากสมการ

$$f_c = \frac{1}{2\pi RC}$$

การสร้างวงจรของความถี่ต่ำและสูงผ่านในลำดับที่สูงขึ้น

เราสามารถสร้างวงจรกรองความถี่ต่ำและสูงผ่านให้สูงกว่าลำดับที่สองได้ โดยการนำวงจรของความถี่ที่มีความถี่ตัดเท่ากันมาต่อเรียงกัน ดังรูปที่ 2.11 ซึ่งเรียกการต่อแบบนี้ว่าแคสเคด (Cascade) จะทำให้ได้ลำดับที่สูงขึ้นตามผลบวกของวงจรกรองความถี่ที่ต่อเรียงกัน

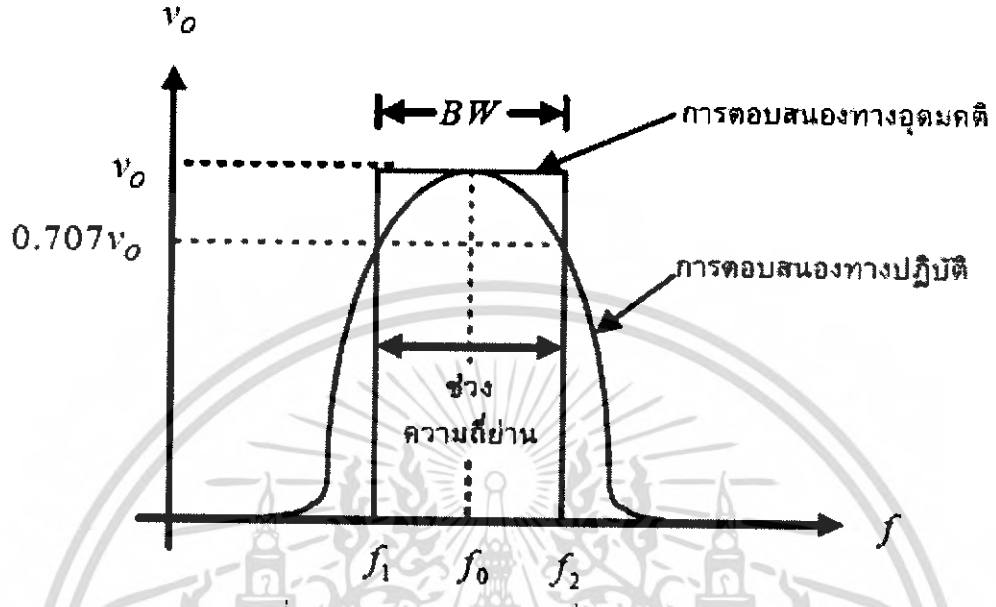


รูปที่ 2.11 การสร้างวงจรกรองความถี่ต่ำและสูงผ่านให้มีลำดับที่สูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแถบความถี่

วงจรกรองแถบความถี่ (Band Pass Filter, BPF) หรือ BPF เป็นวงจรที่กรองเอาเฉพาะความถี่ช่วงที่ต้องการออกมาเท่านั้น ดังนั้นการตอบสนองความถี่ของวงจร BPF นี้จะเป็นดังรูปที่ 2.12



รูปที่ 2.12 การตอบสนองความถี่ของวงจร BPF

ความถี่ศูนย์กลาง (Center Frequency, f_0) ของวงจรBPF สามารถกำหนดได้จากค่าอุปกรณ์ที่ต่อในวงจรเช่นเดียวกัน

ประสิทธิภาพ (Quality factor, Q) ของวงจร BPF นี้สามารถวัดได้จาก

$$Q = \frac{f_0}{BW}$$

เมื่อ BW คือ แถบความถี่ที่ต้องการให้ผ่าน มีหน่วยเป็น Hz หาได้จาก

$$BW = f_2 - f_1$$

และ f_0 ก็สามารถหาได้จาก

$$f_0 = \sqrt{f_1 f_2}$$

ดังนั้น

$$f_1 = \sqrt{\frac{BW^2}{4} + f_0^2} - \left(\frac{BW}{2}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $f_2 = f_L + BW$

ตัวอย่าง วงจร BPS ที่ความถี่ตัดด้านสูง (Upper Cut off Frequency , f_2) 3000 Hz และความถี่ตัดด้านต่ำ (Lower Cut-off Frequency , f_1) 300 Hz จงหาค่า BW และ f_0

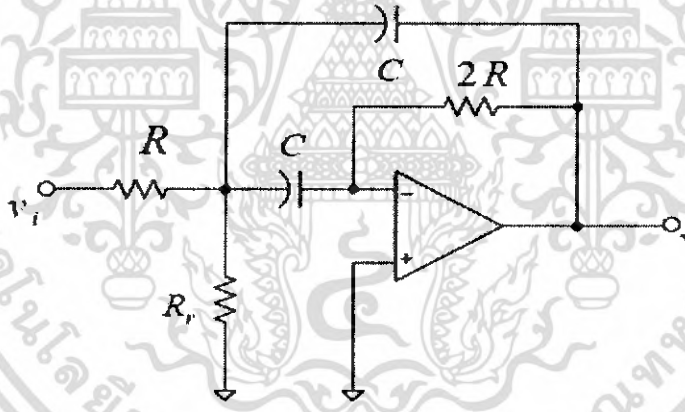
- หาค่า BW จากสมการ $BW = f_2 - f_1$

จะได้ $BW = f_2 - f_1 = 3000Hz - 300Hz = 2.7kHz$

- หาค่า f_0 จากสมการ $f_0 = \sqrt{f_1 f_2}$

จะได้ $f_0 = \sqrt{f_1 f_2} = \sqrt{(300Hz)(3000Hz)} = 948.7Hz$

จะสังเกตได้ว่า ความถี่ศูนย์กลาง f_0 ไม่ใช่ค่าเฉลี่ยของ f_1 และ f_2 คือ $f_0 \neq \left(\frac{f_1 + f_2}{2}\right)$



รูปที่ 2.13 วงจรกรองแถบความถี่ (BPF)

วงจรกรองแถบความถี่ แสดงต่อในรูปที่ 2.13 วงจรนี้จะมีอัตราขยายแบบลูปปิด (A_{CL}) เท่ากับ 1 ที่ความถี่ศูนย์กลาง f_0 โดย BW สามารถหาได้จาก

$$BW = \frac{0.1591}{RC}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และความถี่ศูนย์กลาง f_0 สามารถกำหนดได้จาก

$$f_0 = \frac{0.1125}{RC}\sqrt{1+\frac{R}{R_r}}$$

จากสมการ $BW = \frac{0.1591}{RC}$ และ $f_0 = \frac{0.1125}{RC}\sqrt{1+\frac{R}{R_r}}$ จะเห็นได้ว่า เราสามารถปรับค่าความถี่ศูนย์กลางได้ โดยไม่ทำให้ค่า BW เปลี่ยน โดยการปรับที่ R_r ซึ่งสามารถหา R_r ได้จาก

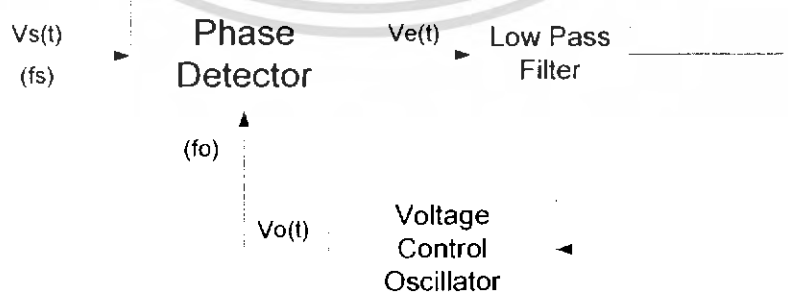
$$R_r = \frac{R}{2Q^2 - 1}$$

2.5 เฟสล็อกลูป (Phase Lock Loop)

เฟสล็อคลูป เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิสเลเตอร์ให้ผลิตความถี่ล็อคหรือซิงค์กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามาเปลี่ยนไป เอาต์พุตจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรงและล็อคกับสัญญาณที่เข้ามาดังนั้น โวลเตจเฉลี่ยที่ได้รับจากเฟสดีเทคเตอร์ไปควบคุมออสซิลเลเตอร์ จึงเป็นฟังก์ชันของความถี่ของสัญญาณที่เข้ามา อาทิเช่นหากมีสัญญาณที่เข้ามาเป็น FM (Frequency Modulation) แล้วเอาต์พุตที่ได้จากเฟสดีเทคเตอร์ผ่าน วงจรกรองความถี่ต่ำจะเป็นสัญญาณที่ถูกทำการดีมอดูเลตนั่นเอง

หลักการของเฟสล็อกลูป

หลักการเบื้องต้นของเฟสล็อคลูปก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญสามส่วนดังบล็อกไดอะแกรมในรูปที่ 2.14 คือ เฟสดีเทคเตอร์ (Phase Detector), กรองความถี่ต่ำและ Voltage Control Oscillator (VCO)



รูปที่ 2.14 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

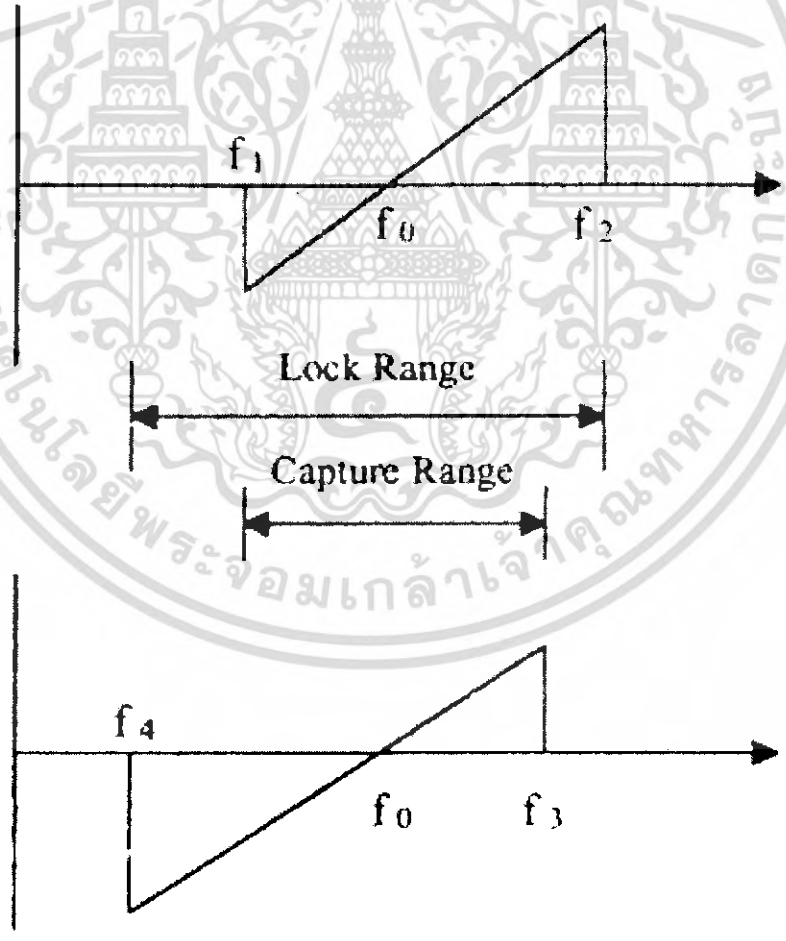
ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์และ VCO จะผลิตความถี่แบบที่เรียกว่า Freerunning เท่ากับ of เมื่อมีอินพุต Vs ป้อนเข้ามามีความถี่เท่ากับ fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาต์พุตของเฟสดีเทคเตอร์ผ่านวงจรกรองความถี่ต่ำ Vd ไปเข้า VCO ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล็อคหรือซิงค์ เอาต์พุตจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์ และ Vd ก็เท่ากับศูนย์ด้วย

ในเรื่องของเฟสล็อคลูป มีคำที่มักจะสับสนกันบ่อยๆ คือคำว่า Lock Range กับคำว่า Capture Range ซึ่งมีความหมายแตกต่างกับดังนี้

Lock Range หมายถึง ย่านความถี่ที่ใกล้เคียงกับ fo ซึ่งเฟสล็อคลูปยังสามารถล็อคกับสัญญาณที่เข้ามา ค่าของ Lock Range จะลดลงเมื่ออัตราขยายทั้งหมดของเฟสล็อคลูปลดลง

Capture Range หมายถึง บริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่เฟสล็อคลูปเริ่มล็อคกับสัญญาณที่เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิธของวงจรกรองความถี่ต่ำคือจะลดลงหากแบนด์วิธแคบ และโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เพื่อให้เข้าใจคำว่า Lock Range และ Capture Range ง่ายขึ้น ลองพิจารณาดูจากรูปที่ 2.15 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป



รูปที่ 2.15 แสดงคุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากส่วนบนของรูปที่ 2.15 สมมติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆเปลี่ยนไปจากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้นและ Vd เท่ากับศูนย์จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้ เฟสล็อคลูปเริ่มล็อคกับ fs และ Vd มีค่าเป็นลบเพื่อปรับ VCO ให้ fo เท่ากับ fs แต่ในที่นี้เราสมมติว่า fs เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง

จนกระทั่ง fs = fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวก และมากขึ้นเรื่อยๆจนกระทั่ง fs = f_2 ซึ่งเป็นความถี่สูงสุดของ Lock Range จะทำให้หลุดจากการล็อคและ Vd เท่ากับศูนย์

ในทางกลับกันถ้า fs เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2.15 ส่วนล่างเฟสล็อคลูปจะเริ่มล็อคเมื่อ fs = f_3 ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ Vd มีค่าเป็นบวกทันที เมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆ จนกระทั่ง fs = f_4 ซึ่งเป็นค่าต่ำสุดของ Lock Range จะทำให้ fs หลุดจากการล็อคของเฟสล็อคลูป และVd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

$$\textbf{Lock Range} = f_2 - f_4$$

$$\textbf{Capture Range} = f_3 - f_1$$

การเพิ่มความถี่ของ clock โดยใช้ Phase Lock Loop

ภายใน IC ของ Phase Lock Loop จะประกอบด้วยส่วนสำคัญ 2 ส่วน คือ

1. Phase Detector ทำหน้าที่เปรียบเทียบเฟสของอินพุต และเฟสของเอาต์พุตของ VCO ถ้าเฟสของทั้งสองต่างกันจะเกิดพัลส์ที่เอาต์พุตของเฟสดีเทคเตอร์

2. Voltage Control Oscillator ทำหน้าที่ผลิตความถี่ตามระดับของโวลเตจที่ป้อนเข้ามา ในการต่อเฟสล็อคลูปให้เป็นวงจรภาพนอกเพิ่มเติมอีก 2 วงจร คือ

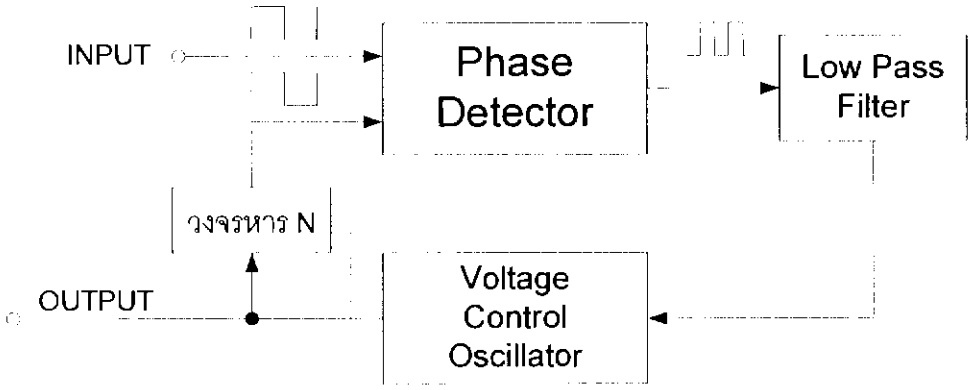
1). Low Pass Filter ทำหน้าที่เปลี่ยนจากพัลส์ที่เอาต์พุตของเฟสดีเทคเตอร์ ให้เป็นระดับโวลเตจเพื่อป้อนให้กับ VCO โดยใช้หลักการกรองความถี่

2). วงจรหารความถี่ เป็นวงจรหลักที่สำคัญที่เปลี่ยนจากเฟสล็อคลูปให้เป็นวงจรเพิ่มความถี่การทำงาน

เมื่อมีสัญญาณพัลส์เข้ามา วงจรเฟสจะทำการเปรียบเทียบความแตกต่างของพัลส์กับพัลส์อีกด้านหนึ่งของพัลส์ดีเทคเตอร์ จะได้รับความแตกต่างของพัลส์ออกมาด้านหนึ่ง เกิดเป็นพัลส์เล็กๆ ที่เอาต์พุตของเฟสดีเทคเตอร์

วงจรกรองความถี่ต่ำจะทำหน้าที่กรองความถี่ของพัลส์จากวงจรดีเทคเตอร์ ให้เป็นระดับโวลเตจค่าหนึ่ง เพื่อนำไปสร้างความถี่โดยใช้ VCO (Voltage Control Oscillator) จะทำหน้าที่สร้างความถี่ขึ้นมาจากระดับแรงดันที่ได้จากวงจรกรองความถี่ต่ำ ซึ่งโวลเตจนี้จะแปรผันตามพัลส์เอาต์พุตของพัลส์ดีเทคเตอร์

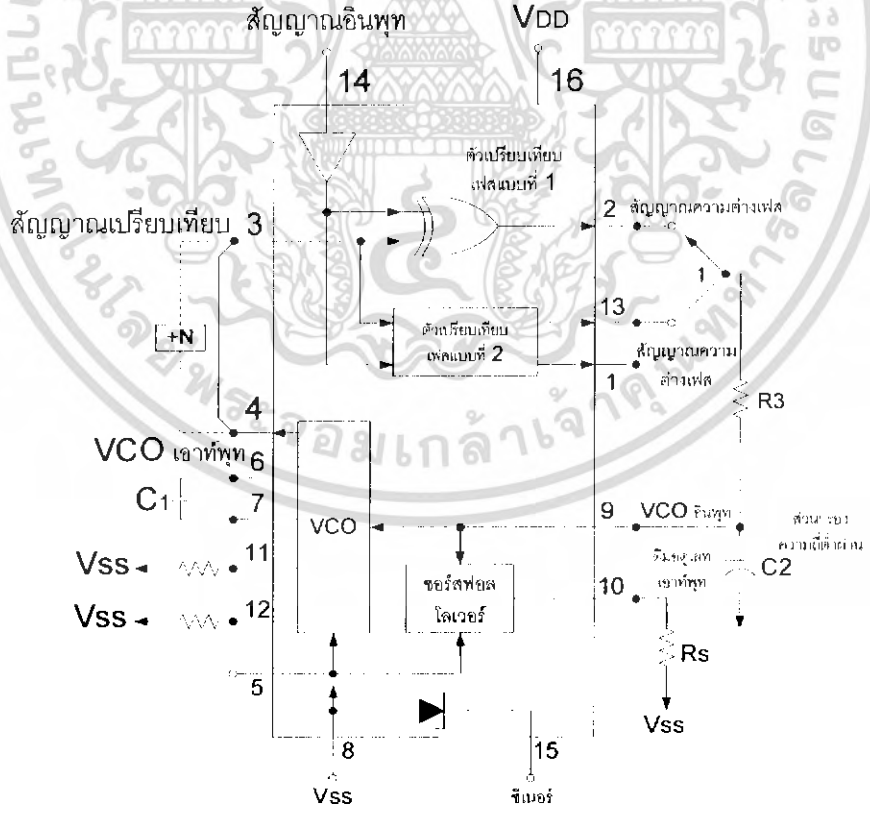
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 บล็อกไดอะแกรมของวงจรเพิ่มความถี่โดยใช้เฟสล็อคลูป

วงจรหาร N ทำหน้าที่หารความถี่ที่ Voltage Control Oscillator ผลิตออกมา เพื่อให้ได้ความถี่ออกมาให้เท่ากับความถี่ที่เข้ามาที่อินพุตของวงจร เพื่อทำการเปรียบเทียบเฟสกัน

จากที่เอาต์พุตของวงจรหาร N จะต้องมีความถี่เท่ากับอินพุตของวงจร ดังนั้น Voltage Control Oscillator จึงต้องผลิตความถี่ที่สูงกว่าความถี่ที่ป้อนเข้ามาที่อินพุตของเฟสดีเทคเตอร์จำนวน N เท่าจึง เปรียบเสมือนว่าวงจรเฟสล็อคลูปสามารถสร้างความถี่ได้สูงขึ้นกว่าความถี่อินพุตเป็นจำนวน N เท่า



รูปที่ 2.17 บล็อกไดอะแกรม แสดงวงจรภายในและการใช้งานของไอซี 4046 PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

(Analog to Digital Converter :ADC และ Digital to Analog Converter : DAC)

2.6.1 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter : ADC)

วงจรเอทูดี จะทำหน้าที่แปลงแรงดันหรือกระแสที่เป็นสัญญาณอนาลอกไปเป็นตัวเลขหรือสัญญาณดิจิตอล วงจรเอทูดี มีด้วยกันหลายแบบ แต่ที่นิยมใช้กันแพร่หลายมีได้แก่ แบบสโลปคู่ (Dual Slope), แบบขนานหรือแฟลช (Flash), แบบ R/2R แลดเดอร์, แบบแปลงแรงดันเป็นความถี่ (V to F converter) และ แบบประมาณทีละบิต (Successive Approximation)

วงจรเอทูดี แบบสโลปคู่เป็นแบบที่ง่ายที่สุด ไม่จำเป็นต้องใช้อุปกรณ์ที่มีคุณภาพดีมากนัก ก็สามารถแปลงสัญญาณได้อย่างแม่นยำ แต่มีข้อเสียที่ใช้เวลาในการแปลงสัญญาณนาน จึงไม่เหมาะในการใช้วัดแรงดันในช่วงเวลาสั้นๆ เช่น การวัดแรงดันของรูปคลื่น ณ จุดเวลาใดเวลาหนึ่ง แบบสโลปคู่นี้เหมาะสำหรับใช้วัดค่าเฉลี่ยของแรงดันและกระแส จึงนิยมใช้กันมากในมัลติมิเตอร์แบบดิจิตอล และเครื่องวัดแสดงผลเป็นตัวเลขทั่วๆไป วงจรเอทูดี แบบสโลปคู่ที่เป็นไอซีสำเร็จรูปมีด้วยกันหลายเบอร์ ส่วนใหญ่จะให้ความแม่นยำในการแปลงสัญญาณดีกว่า 0.1 เปอร์เซ็นต์

วงจรเอทูดี แบบแปลงแรงดันเป็นความถี่และแบบประมาณทีละบิต มีข้อดีตรงที่สามารถแปลงสัญญาณได้รวดเร็วมีความแม่นยำดี แต่วงจรมีความซับซ้อนมากกว่า

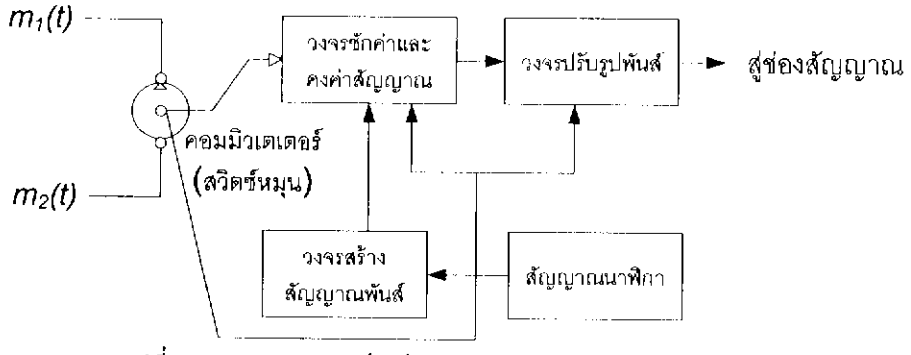
ซึ่งโครงงานนี้ได้เลือกใช้ไอซี เอทูดีแบบแฟลช เบอร์ ADC0820 ความละเอียด 8 บิต โดยสามารถแสดงระดับสัญญาณได้ 256 ระดับ และใช้เทคนิค half-flash conversion เข้ามาใช้ในไอซีเบอร์นี้ ซึ่งมีหลักการทำงานโดยทั่วไปดังนี้

2.7การมัลติเพล็กซ์แบบแบ่งเวลา

การใช้พัลส์ที่มีความกว้างแคบมากในระบบพีเอเอ็ม จะทำให้เหลือช่องว่างมากระหว่างพัลส์ข้างเคียงในขบวนพัลส์ ดังนั้นเราจึงสามารถที่จะแทรกพัลส์อื่นที่ได้จากการทำพีเอเอ็มของสัญญาณข่าวสารอื่นร่วมไปในระหว่างเวลาที่ว่างนั้นได้ และโดยอาศัยการควบคุมจังหวะการแยกพัลส์เหล่านี้ออกให้ถูกต้องเราก็สามารถที่จะตรวจจับสัญญาณแต่ละสัญญาณแยกออกจากกันได้อย่างถูกต้อง กล่าวคือเราสามารถที่จะใช้หลักการนี้ มัลติเพล็กซ์สัญญาณได้ โดยกระบวนการที่รวมสัญญาณตัวอย่างของหลายๆ สัญญาณลงเป็นลำดับตามเวลานี้มีชื่อว่า การมัลติเพล็กซ์แบบแบ่งเวลา (time division multiplex)เรียกย่อว่า ทีดีเอ็ม (TDM) ในหัวข้อนี้จะอธิบายถึงหลักการของทีดีเอ็มที่ใช้เกี่ยวพันกับพีเอเอ็มเป็นหลักแต่โดยสาระแล้วหลักการเดียวกันนี้จะใช้ได้กับการมอดูเลตพัลส์ชนิดอื่นๆด้วย

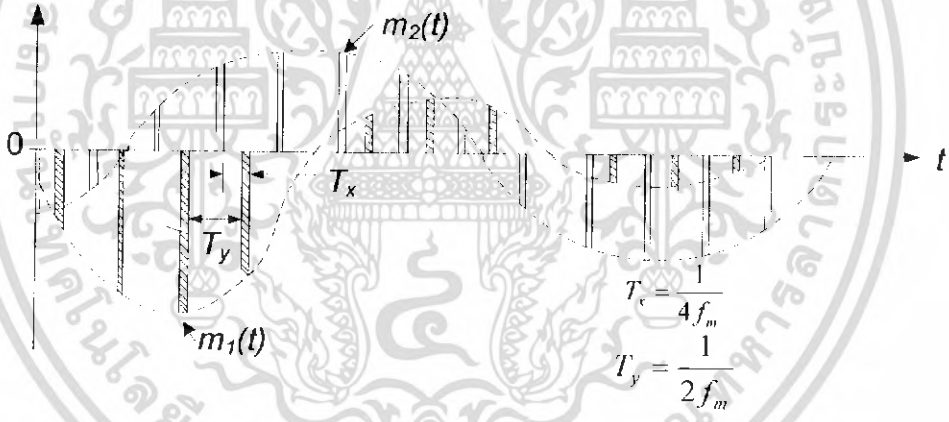
ในกรณีที่ต้องการจะทำทีดีเอ็มกับสัญญาณข่าวสารสองสัญญาณโดยใช้พีเอเอ็มอาจทำได้ด้วยการจัดวงจรตามรูปที่ 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 การมัลติเพล็กซ์แบบแบ่งเวลาด้วยระบบพีเอเอ็ม

จากรูปที่ 2.18 สัญญาณ $m_1(t)$ และ $m_2(t)$ จะถูกชักค่าตัวอย่างสลับกัน โดยวงจรชักค่าและคงค่าระดับสัญญาณ(sampling and hold)ด้วยความถี่มากกว่า หรือเท่ากับ $2f_m$ ครั้งต่อวินาทีสำหรับสัญญาณแต่ละสัญญาณโดย f_m คือค่าความถี่สูงสุดขององค์ประกอบสัญญาณใน $m_1(t)$ และ$m_2(t)$ นั้น ดังนั้นจำนวนตัวอย่างสัญญาณที่ถูกชักค่าเข้ามาสู่วงจรชักค่าและคงค่าสัญญาณ ในกรณีนี้จะต้องมีค่ามากกว่าหรือเท่ากับ $4f_m$ ตัวอย่างต่อวินาทีค่าตัวอย่างสัญญาณเหล่านี้จะถูกรักษาระดับอยู่เป็นเวลาเท่ากับความกว้างของพัลส์จากวงจรกำเนิดพัลส์โดยมีการควบคุมจังหวะการสร้างพัลส์ด้วย

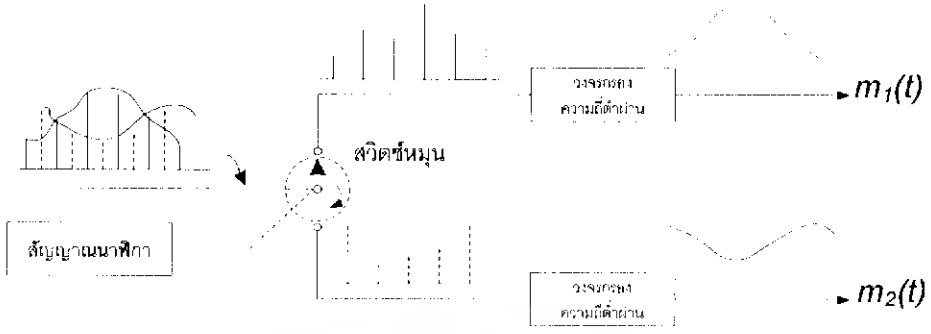


รูปที่ 2.19 การส่งสัญญาณแบบมัลติเพล็กซ์แบบแบ่งเวลา

สัญญาณนาฬิกา ซึ่งเป็นสัญญาณที่ใช้ประสานจังหวะการควบคุมการชักค่าตัวอย่างสัญญาณด้วย ดังนั้นเอาต์พุตของวงจรชักค่าและคงค่าสัญญาณจะเป็นสัญญาณพีเอเอ็ม ดังแสดงในรูปที่ 2.19 จะเห็นได้ว่าพีเอเอ็มนี้ได้จากการชักตัวอย่างของสัญญาณ $m_1(t)$ และ $m_2(t)$ สลับกันไปบนแกนเวลา เพราะฉะนั้นค่าตัวอย่างของสัญญาณทั้งสองจึงไม่รบกวนกันทำให้เราสามารถส่งสัญญาณ(ความจริง คือ ค่าตัวอย่างของสัญญาณ) ทั้งสองร่วมกันไปบนสายส่งสัญญาณหรือตัวกลางเดียวกันได้ก้าเราทำการส่งสัญญาณพีเอเอ็ม ตามรูปที่ 2.19 ไปในสายส่งสัญญาณ แล้วใช้สัญญาณนาฬิกาคอยควบคุมอุปกรณ์ทางเครื่องรับให้สลับแยกสัญญาณออกเป็นสองทางโดยให้ประสานอยู่ในจังหวะเดียวกับทางเครื่องส่งแล้ว เราก็สามารถจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แยกสัญญาณพีเอเอ็ม หรือค่าตัวอย่างของสัญญาณข่าวสารออกจากกันได้โดยระบบวงจรดังแสดงในรูปที่ 2.20



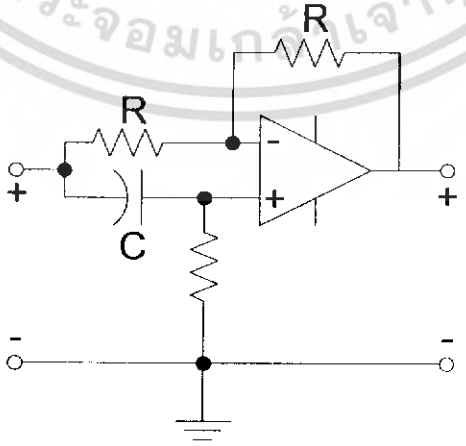
รูปที่ 2.20 วงจรแยกสัญญาณพีเอเอ็มจากการมัลติเพล็กซ์แบบแบ่งเวลาทางด้านเครื่องรับ

ตามที่ได้กล่าวถึงนี้เราได้สมมุติใช้สัญญาณข่าวสารเพียงสองสัญญาณเท่านั้น แต่จะเห็นได้ว่าโดยหลักการเดียวกันนี้เราสามารถที่จะนำไปประยุกต์เพื่อทำการมัลติเพล็กซ์สัญญาณจำนวนมากกว่านี้ได้ โดยง่ายโดยเพียงแต่เพิ่มจำนวนสวิตช์ และความถี่ของสัญญาณนาฬิกาที่จะจัดจังหวะการสลับสวิตช์ให้เหมาะสมและสอดคล้องกันระหว่างเครื่องส่งและเครื่องรับเท่านั้น

กระบวนการมัลติเพล็กซ์สัญญาณ ตามหลักการดังกล่าวมาแล้ว ในที่นี้ คือกระบวนการที่เรียกว่าการมัลติเพล็กซ์สัญญาณแบบแบ่งเวลา ซึ่งที่ได้ชื่อเช่นนี้ก็เพราะอาศัยหลักการจัดแบ่งเวลาให้กับสัญญาณต่างๆ ตามความเหมาะสมนั่นเอง

2.8 วงจรเลื่อนเฟส(Phase shift)

วงจรเลื่อนเฟสหรือก็คือวงจรกรองผ่านหมด(All Pass) ซึ่งมีการตอบสนองทางความถี่เท่ากันหมดทุกความถี่ ซึ่งหมายความว่า $|T(j\omega)|$ จะไม่เปลี่ยนแปลงไปตามความถี่ แต่การตอบสนองทางเฟสจะเปลี่ยนแปลงไปกับความถี่ วงจรที่มีคุณสมบัติเช่นนี้มีประโยชน์ในการนำไปใช้เป็นวงจรเลื่อนเฟสสัญญาณที่ความถี่ใดความถี่หนึ่ง



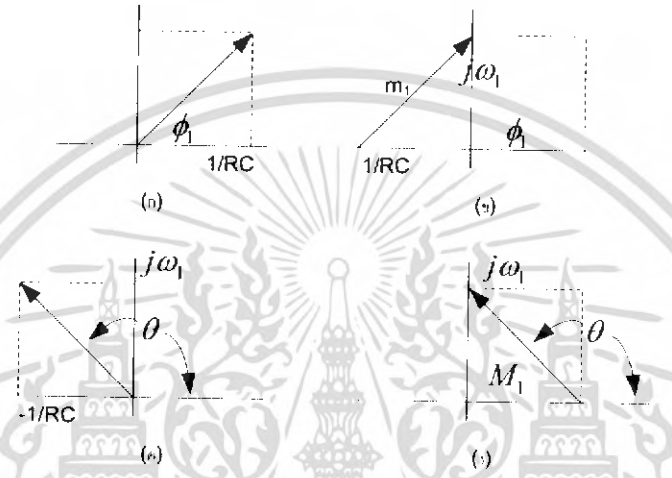
รูปที่ 2.21 วงจรกรองผ่านหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

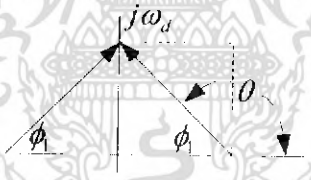
วงจรกรองผ่านหมดแสดงดังรูปที่ 221 เมื่อใช้สมการโนด แรงดันไฟฟ้ามาวิเคราะห์วงจรในรูปจะทำให้เราได้สมการความสัมพันธ์ระหว่างอินพุตและเอาต์พุตของวงจรดังนี้

$$\frac{V_2}{V_1} = T(s) = \frac{s - \frac{1}{RC}}{s + \frac{1}{RC}}$$

ซึ่งเป็นรูปแบบของฟังก์ชันถ่ายโอนของวงจรกรองผ่านหมด



รูปที่ 2.22 รูปองค์ประกอบในระนาบ S-plane



รูปที่ 2.23 รูปองค์ประกอบในระนาบ S-plane

ในการวิเคราะห์ฟังก์ชันถ่ายโอนของวงจรกรองผ่านหมด เราจะแทน $s = j\omega$ ซึ่งจะได้ตัวส่วนของฟังก์ชันถ่ายโอนเป็น

$$j\omega + 1/RC = m1\angle\phi_1$$

และตัวเศษของฟังก์ชันถ่ายโอนเป็น

$$j\omega - 1/RC = m1\angle\varphi_1$$

การอธิบายองค์ประกอบเหล่านี้ในระนาบ S-plane ถูกแสดงไว้ในรูปที่ 2.22 ในรูปที่ 2.22(ก) ค่าจริง และจินตภาพ จะถูกแสดงอยู่ในรูปของรูปแบบเชิงขั้ว (polar form) ในรูปที่ 2.22(ข) เราแสดงว่าขนาดและมุมเฟสจะเหมือนเดิม ถ้าเฟสเซอร์(phaser) ถูกลากจากตำแหน่งโพลมายังจุด $j\omega$ และด้วยการใช้วิธีการวิเคราะห์ในทำนองเดียวกันนี้ จะทำให้เราได้รูปที่ 2.22(ค) และ (ง) ออกมา เมื่อนำเอารูปเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เซอร์ จากทั้งสองค์ประกอบมารวมกัน จะทำให้เกิดรูปที่ 2.23 ขึ้น ซึ่งค่า ω_d ถูกใช้เพื่อแสดงค่าความถี่เชิงมุมที่ใช้งานและเนื่องจากว่า $m_1 = M_1$ สำหรับทุกๆจุดบนแกนจินตภาพจึงทำให้เห็นได้ชัดเจนว่าขนาดของ $|T(j\omega) = |m_1 / M_1||$ สำหรับทุกๆค่าความถี่และมุมเฟสคือ

$$\theta_d = \theta_1 - \phi_1$$

หรือ

$$\theta_d = \tan^{-1}\left(\frac{\omega}{-1/RC}\right) - \tan^{-1}\left(\frac{\omega}{1/RC}\right)$$

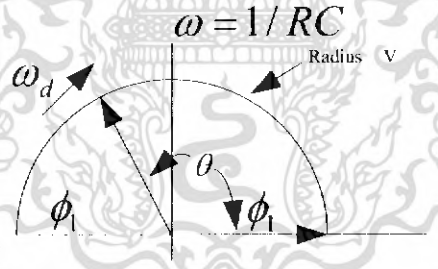
ถ้าเราให้ความถี่ ω_d เคลื่อนขึ้นไปตามแกนจินตภาพ เริ่มต้นที่จุดกำเนิดและเคลื่อนขึ้นไปสู่ค่าอนันต์ เราจะพบว่าย่านของมุมทั้งสองจะเป็น

$$90^\circ < -\theta_1 < -180^\circ \text{ และ } 0^\circ < -\theta_1 < -90^\circ$$

เนื่องจาก $\theta_d = \theta_1 - \phi_1$ ดังนั้นย่านของ θ_d จะเป็น

$$0^\circ < -\theta_1 < 180^\circ$$

โดยค่า θ_d จะเข้าใกล้ 180° สำหรับค่า ω ค่าน้อยๆและ 0° สำหรับ ω ค่ามากๆซึ่งแสดงได้ดังรูปที่ 2.24 เนื่องจากว่ามุมเฟส θ_d คือเฟสของ V_2 และเมื่อเทียบกับ V_1 เราจึงสามารถแสดงรูป V_2 ได้ว่ามีการเลื่อนด้วยค่าขนาดที่คงที่ผ่านย่านของการเลื่อนเฟส 180° ในระหว่างที่ความถี่เพิ่มขึ้น ดังแสดงในรูปที่ 2.24 นอกจากนั้นการพล็อตกราฟทางขนาดและเฟสในระบบพิกัดฉากยังแสดงไว้ในรูปที่ 2.25



รูปที่ 2.24 แสดงค่า θ_d ที่ค่า ω ต่างๆ

วิธีการในการคำนวณหาค่า R และ C ในวงจร เมื่อรู้ค่าการเลื่อนเฟส θ_d ที่ต้องการสามารถพิจารณาได้จากรูปที่ 2.23 ซึ่งได้ว่า

$$\theta_1 + \phi_1 = 180$$

ถ้าเรารวมสมการนี้ เราจะได้

$$\theta_1 = \frac{1}{2}(180^\circ + \theta_d)$$

เราจะได้

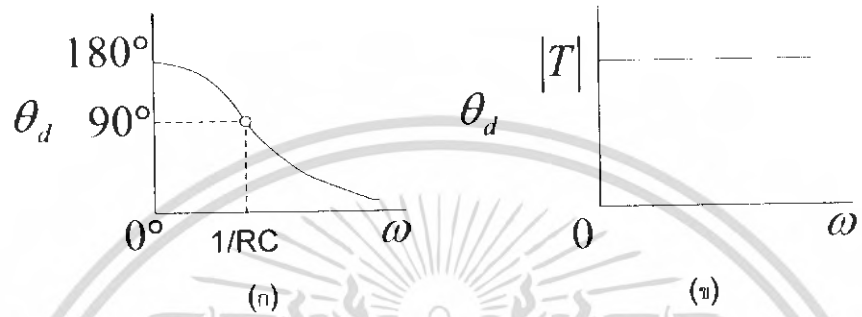
$$\theta_1 = -\tan^{-1}(RC\omega_d)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$RC = \frac{-\tan^{-1}\theta_1}{\omega_d}$$

สมการที่ใช้เลือกค่า R และ C ให้กับวงจร เพื่อให้ทำงานที่มุมเลื่อนเฟส θ_d และความถี่ ω_d



รูปที่ 2.25 การพล็อตกราฟทางขนาดและเฟสในระบบพิกัดฉาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

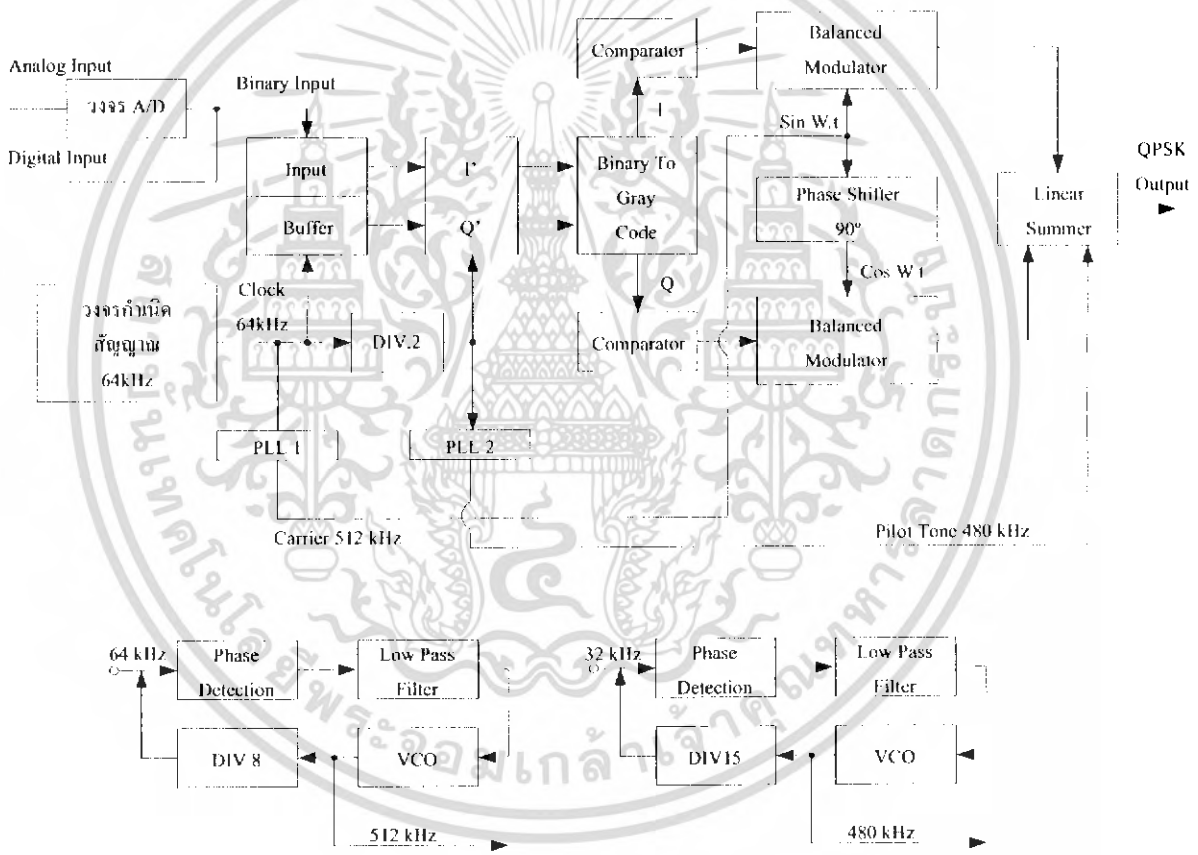
บทที่3

การออกแบบและการสร้างวงจร

3.1การออกแบบและการสร้างวงจรภาคส่ง

ในการออกแบบทางด้านภาคส่งนั้นเราต้องเพิ่มเติมบางส่วนเพื่อความสะดวกทางการ Synchronized เราต้องสร้างสัญญาณนำร่อง (Pilot Signal) และสัญญาณพาห์โดยใช้Clock 64 kHz โดยใช้หลักการของPLL ให้ได้ความถี่ที่คงที่แล้วทำการส่งไปที่ภาครับต่อไป

ในส่วนของวงจรกำเนิดสัญญาณเรานำ Clock 64 kHz มาทำเป็นสัญญาณคลื่นพาห์ 512kHz และทำเป็นสัญญาณนำร่องเท่ากับ480kHz ส่วนรายละเอียดแต่ละบล็อกไดอะแกรม ดูการออกแบบแต่ละส่วนภายในบทที่3



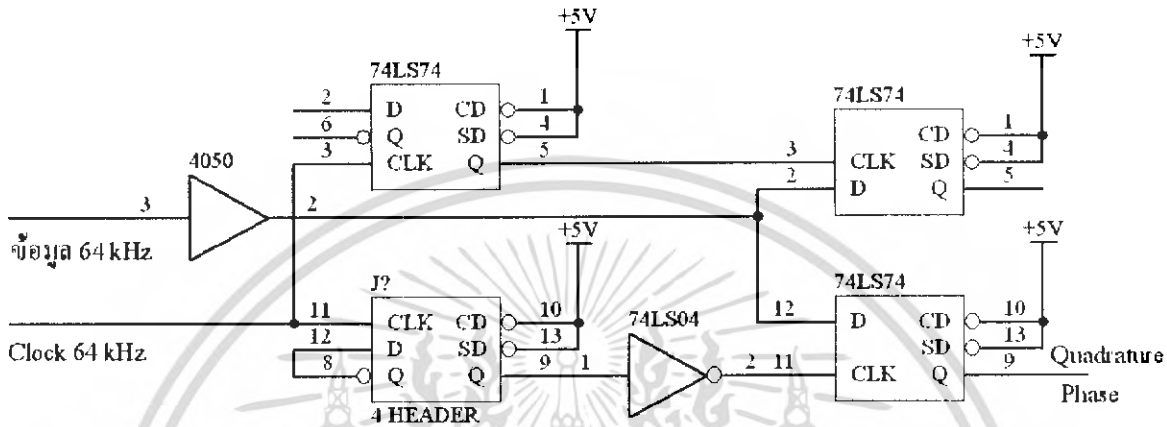
รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง

3.1.1 วงจรแยกสัญญาณดิจิตอล

เป็นวงจรทำหน้าที่แบ่งข้อมูลดิจิตอลอินพุตเป็น 2 ชุดๆละ 1 บิต พร้อมใช้วงจรหน่วงเวลา 2 บิต เพื่อควบคุมให้อินพุตเข้ามาครบ 2 บิต เสียก่อนและจึงทำการแยกสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 นั้นจะใช้ D ฟลิปฟลอปและ JK ฟลิปฟลอปทำงานร่วมกันและที่เป็นส่วนสำคัญของวงจรส่วนนี้ก็คือวงจรหน่วงเวลา 2 บิต หรือวงจรหาร2 นั่นเอง ช่วยควบคุมจังหวะการรับข้อมูลและส่งข้อมูลให้เหมาะสมกัน แนวทางของวงจรจะอาศัยหลักการของวงจรอนุกรมและขนานนั่นเอง



รูปที่3.2 วงจรแยกสัญญาณดิจิตอล

ข้อมูลที่ออกมาจากส่วนนี้ มีอยู่2ส่วนคือIn phase และ Quadrature Phase อาจเรียกง่ายๆว่า บิตบนบิตล่างนั่นเองข้อมูลที่ได้จะแบ่งเป็นช้างละบิตแล้วนำข้อมูลนี้ไปเข้าวงจรแบ่งระดับแรงดันต่อไป

3.1.2 วงจรแปลงบิตเป็น2ระดับ

ด้วยสาเหตุที่ว่าวงจรบาลานซ์มอดูเลเตอร์นั้น สัญญาณดิจิตอลที่จะทำการมอดูเลตจะต้องเป็นสัญญาณที่มี ขนาดเกิน 300Vp-p ดังนั้นความเปลี่ยนแปลงอันเกิดจากสัญญาณบิตมีโอกาสเป็นไปได้ $2^1=2$ ระดับ การเปลี่ยนแปลงของสัญญาณดังตารางที่3.1

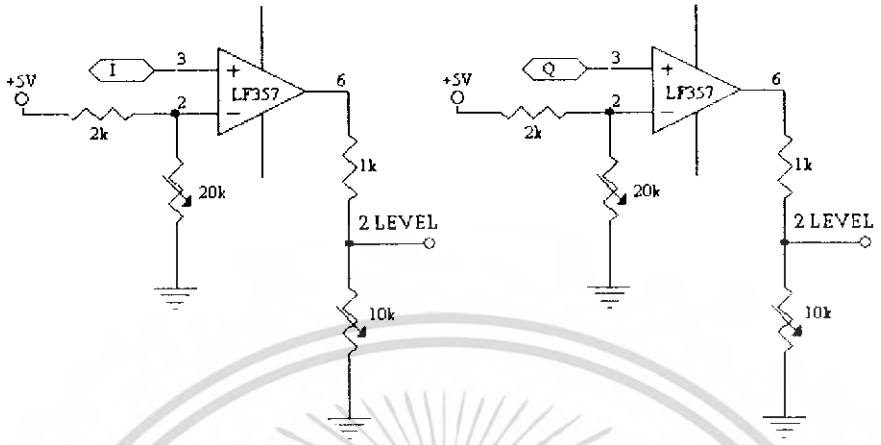
I	Output
0	-150
1	150

Q	Output
0	-150
1	150

ตารางที่3.1 การแปลงบิตเป็น 2 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของวงจรOP-AMP เป็นตัวเปรียบเทียบระดับแรงดันของสัญญาณจะทำหน้าที่แปลงให้เป็นสองระดับดังข้อกำหนดตารางที่3.1จึงได้ทำการออกแบบวงจรแปลงระดับสัญญาณดิจิตอล1บิตเป็น2ระดับ ดังรูปที่ 3.3

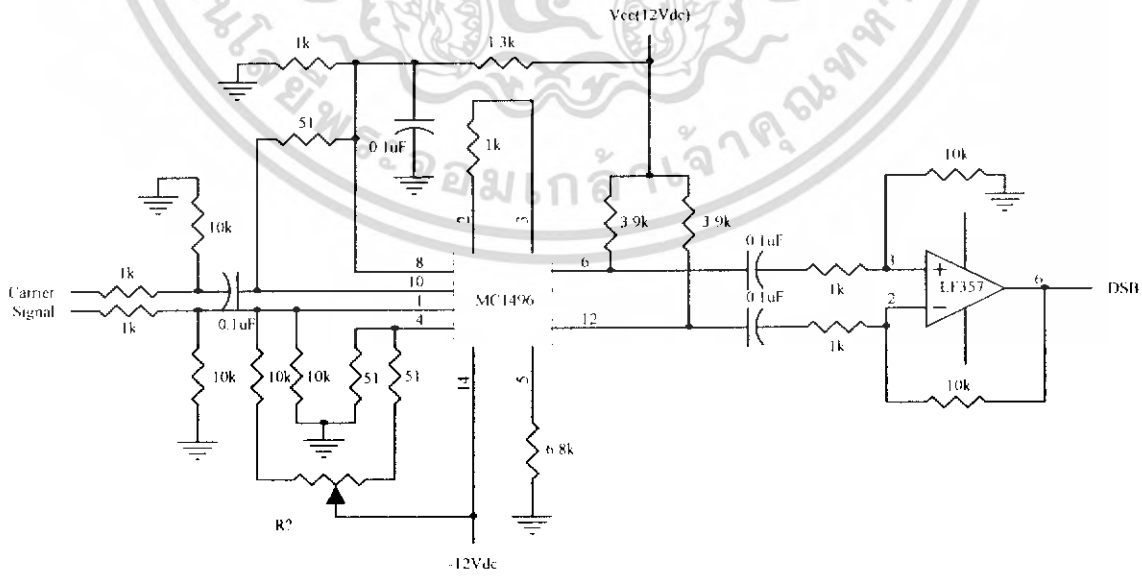


วงจรที่ 3.3 วงจรแปลงสัญญาณ 1 บิตเป็น 2 บิต

3.1.3 วงจรบาลานซ์มอดูเลเตอร์

วงจรนี้ทำหน้าที่คูณกันระหว่างสัญญาณคลื่นพาห์กับสัญญาณ 2 ระดับซึ่งจะมีสองส่วนกล่าวคือจะมีทั้ง In phase กับ Quadrature phase

วงจรบาลานซ์มอดูเลเตอร์ทางด้าน Inphase ก็จะทำหน้าที่คูณสัญญาณ 2 ระดับ ที่มาจากวงจรแยกสัญญาณดิจิตอลกับสัญญาณคลื่นพาห์ที่ได้มาจากวงจรกำเนิดสัญญาณคลื่นพาห์โดยตรง ส่วนทางด้าน Quadrature Phase สัญญาณคลื่นพาห์ที่นำมาคูณจะมาจากสัญญาณคลื่นพาห์ที่ผ่านวงจรเลื่อนเฟส 90 องศา รายละเอียดของวงจรบาลานซ์มอดูเลเตอร์ทั้งสองวงจร จะเหมือนกันทุกประการดังแสดงดังรูปที่ 3.4



รูปที่3.4 วงจรบาลานซ์มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อควรคำนึงในวงจรส่วนนี้คือ ข้อกำหนดจาก Data Sheetของ IC MC 1496 ได้ระบุว่าขนาดของสัญญาณที่จะนำมาอดูเลตควรมีค่าประมาณ300mV(rms)และขนาดของสัญญาณคลื่นพาห์ควรมีค่าประมาณ150mV(rms) ดังนั้นก่อนนำไปคูณควรผ่านตัวต้านทานปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับสัญญาณก่อนนำไปคูณ

3.1.4 วงจรกรองช่วงความถี่ผ่าน

วงจรกรองความถี่ เป็นวงจรกรองความถี่ที่ยอมให้ความถี่ในช่วง low frequency cutoff (f_L) กับ high frequency cutoff (f_H) ผ่านไปได้เท่านั้นโดยที่ $f_H > f_L$ ส่วนความถี่ที่นอกเหนือจากนี้ไปจะไม่สามารถผ่านได้

วงจร BPF สามารถแบ่งได้เป็น 2 ชนิดคือวงจร wide band filter และวงจร narrow band filterโดยเราสามารถดูได้จากค่า Quality factor (Q) ถ้าค่า Q<10เราเรียกว่าวงจร wide band filter และถ้าค่า Q>10เรียกว่าวงจร narrow band filter เราสามารถหาค่าQได้จากสมการ

$$Q = \frac{f_c}{BW}$$

$$Q = \frac{f_c}{f_h \pm f_l}$$

สำหรับ wide band filter นั้นเราสามารถหาความถี่กึ่งกลาง ได้จากสมการ

$$f_c = \sqrt{f_h f_l}$$

วงจรFilterชนิดนี้จะมีค่าแรงดันสูงที่สุด (V_{rms}) อยู่ที่ความถี่หนึ่งเรียกว่า รีโซแนนซ์(W_r) และจุดที่เอาต์พุตโวลเตจมีค่า 0.707 V_{max} นั้นในช่วงพาสแบนด์จะมีความถี่ที่สูงกว่าความถี่ W_r เราเรียกว่า high cutoff frequency(W_h) และความถี่ที่ต่ำกว่าความถี่W_rเราเรียกว่า low cutoff frequency(W_l) ช่วงระหว่างความถี่ W_hและ W_lเราเรียกว่าแบนด์วิธ(B)

วงจรกรองความถี่สามารถแบ่งได้เป็น2อย่างคือ วงจร narrow band filter และวงจร wide band filter โดยวงจร narrow band filter จะมีค่าแบนด์วิธมากกว่า0.1เท่าของความถี่รีโซแนนซ์อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิธเราเรียกว่า quality factor (Q)

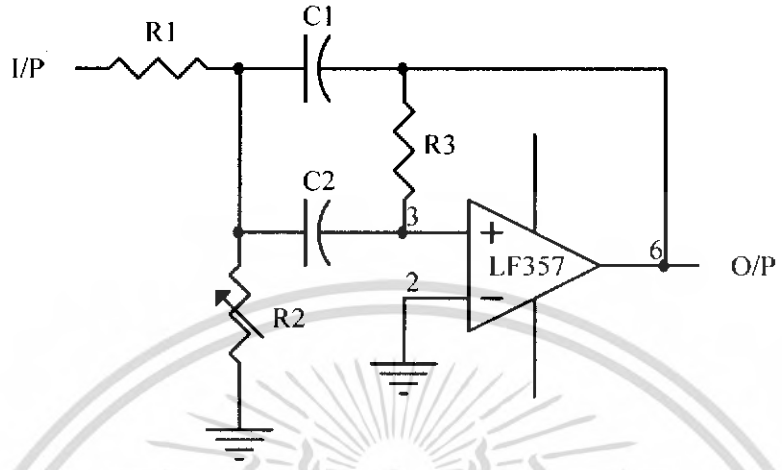
นั่นคือค่าQของวงจร narrow band filterจะมีค่ามากกว่า 10 และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า 10

3.1.4.1 Wide Band Filter

วงจร wide band filter อย่างง่ายนั้นเราสามารถทำได้โดยนำวงจรกรองความถี่สูงมาต่อ cascade กันเพื่อเป็นการง่ายในการออกแบบ ถ้านำวงจร 1^{st} order HPF ต่อกับ1^{st} order LPF ก็จะได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

±20dB/decade band pass และถ้านำวงจร2nd order HPFมาต่อกับ2nd order LPF ก็จะได้เป็น ± 40dB/decade band pass ดังนั้น order ของวงจรกรองช่วงความถี่ขึ้นอยู่กับ order ของวงจรกรองความถี่สูงและวงจรกรองความถี่ต่ำ



รูปที่3.5 แสดงวงจร wide band filter

จากวงจรจะเห็นว่าเราใช้ op-amp เพียงตัวเดียวโดยต่อแบบ multiple feedback

3.1.4.2Narrow Band Filter

โดยทั่วไปในการออกแบบ narrow band นี้เราสามารถหาความสัมพันธ์ของ f_c กับ Q ซึ่งมีสมการดังนี้ในการออกแบบเรากำหนดให้$C_1=C_2=C$

$$R1 = \frac{Q}{2\pi f_c CA}$$

$$R2 = \frac{Q}{2\pi f_c c\left(2Q^2 - A\right)}$$

$$R3 = \frac{Q}{\pi f_c c}$$

โดยที่ A เป็นเกนที่ความถี่กึ่งกลางหาได้จากสมการ

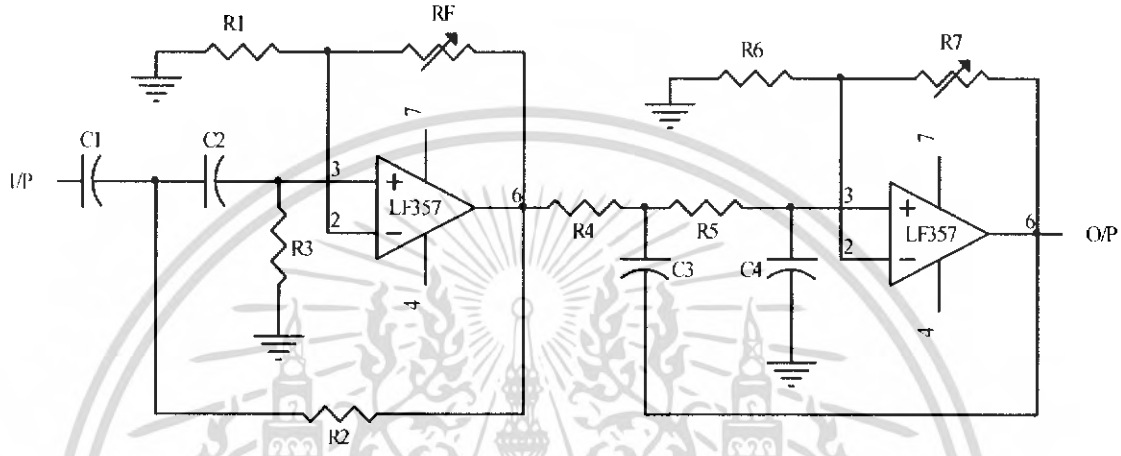
$$A = \frac{R_3}{2R_1}$$

ดังนั้น$A < 2Q_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรเราสามารถเปลี่ยนค่าความถี่กึ่งกลาง f_c ให้เป็น f_c' ได้โดยไม่ต้องเปลี่ยนแกนและแบนด์วิธ ใหม่แต่ทำการเปลี่ยนค่า R_2 ไปเป็น R'_2 ซึ่ง R'_2 หาได้จาก

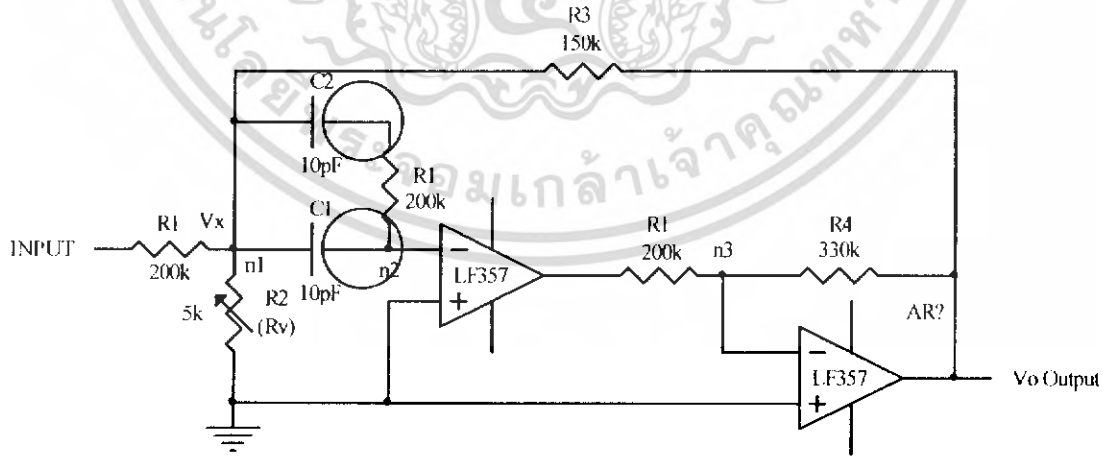
$$R'_2 = R_2\left(\frac{f_2}{f_1'}\right)^2$$



รูปที่3.6 แสดงวงจร Narrow Band Filter

3.1.4.3 Positive Feedback Band Pass Filter

เป็นวงจรกรองความถี่ย่านผ่าน ใช้สำหรับกรองความถี่ของสัญญาณนำร่องเราใช้วงจร Positive Feedback Band - Pass Filter เลือกค่า Q = 40 แสดงดังรูปที่ 3.7



รูปที่ 3.7 วงจร Positive Feedback Band-Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Node n_3 ; $\dfrac{0-vi}{R_1}+\dfrac{0-V_0}{R_4}=0$

$$\frac{-V_i}{R_1}=\frac{V_0}{R_4}$$

$$\therefore \frac{V_0}{V_i}=\frac{-R_4}{R_1}=k \qquad \text{----------(1)}$$

Node n_2 ; $\dfrac{0-V_x}{SC_1}+\dfrac{0-V_2}{R_1}=0$

$$V_x=\frac{-V_2G_1}{SC_1} \qquad \text{----------(2)}$$

Node n_1 ; $(V_x-0)G_2+(V_x-0)SC_1+(V_x-V_2)SC_2+(V_x-V_3)G_3=0$

$$V_x(G_2+SC_1+G_1+SC_2+G_3)-V_2SC_2-V_3G_3=V_iG_1 \qquad \text{----------(3)}$$

แทนค่า V_x ในสมการ(2)ลงใน(3)

$$\frac{-V_2G_1}{SC_1}(G_2+SC_1+G_1+SC_2+G_3)-V_2SC_2-V_3G_3=V_iG_1 \qquad \text{-------(4)}$$

แทนค่า $V_2=\dfrac{Vo}{k}$ ลงใน (4)

$$\frac{-V_3}{k}\left(\frac{G_1G_2}{SC_1}+G_1+\frac{G_1^2}{SC_1}+\frac{G_1G_3}{SC_1}+SC_2+G_3k\right)=V_iG_1$$

$$\frac{-V_3}{k}\left(\frac{G_1G_2+SC_1G_1+G_1^2+SC_2G_1+G_1G_3+S^2C_1C_2+SC_1G_3k}{SC_1}\right)=V_iG_1$$

$$\frac{V_3}{V_i}=\frac{-G_1kSC_1}{S^2C_1C_2+S(C_1G_1+C_2G_1+C_1G_3k)+(G_1G_2+G_1^2+G_1G_3)}$$

$$\frac{V_3}{V_i}=\frac{\dfrac{-G_1kS}{C_2}}{S^2+S\left(\dfrac{C_1G_1+C_2G_1+C_1G_3k}{C_1C_2}\right)+\left(\dfrac{G_1G_2+G_1^2+G_1G_3}{C_1C_2}\right)}$$

จากสมการของ Band Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_{BP} = \frac{H_o S}{S_2 + S\frac{\omega_o}{Q} + \omega_o^2}$$

$$H_o = \frac{-G_1 k}{C_2} = \frac{R_4}{C_2 R_1^2}$$

$$\frac{\omega_o}{Q} = \frac{C_1 G_1 + C_2 G_1 + C_1 G_3 k}{C_1 C_2} = \frac{\left(\frac{C_1}{R_1} + \frac{C_2}{R_1} + \frac{C_1 k}{R_3}\right)}{C_1 C_2}$$

$$\omega_o^2 = \frac{G_1 G_2 + G_1^2 + G_1 G_3}{C_1 C_2} = \frac{\left(\frac{1}{R_1 R_2} + \frac{1}{R_1^2} + \frac{1}{R_1 R_3}\right)}{C_1 C_2}$$

สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และเกนที่ต้องการ ขั้นตอนในการออกแบบมีดังนี้

1.) เลือกค่าคาปาซิเตอร์และหาค่า K parameter

2.) ใช้ค่า K ที่หาได้มาจากข้อ (1.) มาหาค่าความต้านทาน ซึ่งค่าความต้านทานนี้จะขึ้นอยู่กับค่า Q,BW และเกนที่เรากำหนด

3.) เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

จากขั้นตอนดังกล่าวเราสามารถหาค่าอุปกรณ์ต่างๆดังนี้

- ใช้ค่า C=10 pF ดูกราฟ K parameter ที่ความถี่กลาง 512 kHz
- $K \approx 2$, ใช้ Q=40,BW=0.025 f_o จะทำให้เราได้ค่า R_1, R_2, R_3, R_4
- จากการคำนวณ

$$\omega_o = \sqrt{\frac{\left(\frac{1}{R_1}\right)\left(\frac{1}{R_2} + \frac{1}{R_1} + \frac{1}{R_3}\right)}{C_1 C_2}} \quad \text{โดยที่ } C_1 = C_2 = 30pF, R_1 = 200k\Omega, R_3 = 150k\Omega$$

$$\therefore \omega_o = \sqrt{\frac{\left(\frac{1}{200k\Omega}\right)\left(\frac{1}{R_2} + \frac{1}{200k\Omega} + \frac{1}{150k\Omega}\right)}{\left(30 \times 30 \times 10^{-12} \times 10^{-12}\right)F}}$$

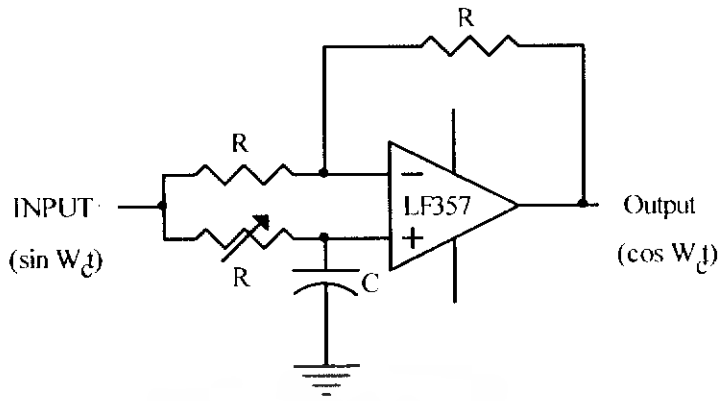
ดังนั้นในกรณีค่าความถี่กลาง 512 kHz คำนวณได้ค่า $R_v = 5.12k\Omega$

ค่าความถี่กลาง 480 kHz คำนวณได้ค่า $R_{v'} = 5.874k\Omega$

3.1.5วงจรเลื่อนเฟส 90องศา

ในการออกแบบวงจรเลื่อนเฟส เพื่อทำการเลื่อนสัญญาณที่เข้ามาทางอินพุตหรือเป็นการหน่วงเวลาสัญญาณอินพุตให้ช้าลง ซึ่งสามารถเขียนและแสดงผลการตอบสนองต่อความถี่ดังรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจร Phase Shift 90 องศา

จากรูปวงจรที่ 3.8 เมื่อกำหนดให้ค่าของ $R_1 = R_f$ จะได้สมการ output voltage (V_o) ดังต่อไปนี้

$$V_o = -V_{in} + \frac{-jX_c}{R - jX_c} V_{in}$$

โดยที่ $-j = 1/j$

$X_c = 1/(2\pi f_c)$

f = ความถี่ที่ใช้ในการ shift

แทนค่าของ -j และ X_c จะได้สมการใหม่ดังนี้

$$V_o = V_i\left(-1 + \frac{2}{j2\pi fRC + 1}\right)$$

$$\frac{V_o}{V_i} = \frac{1 - j2\pi fRC}{1 + j2\pi fRC}$$

สามารถคำนวณหาค่าของมุมของวงจรเลื่อนเฟส ได้จากสมการ

$$\Phi = -2\tan^{-1}\frac{(2\pi fRC)}{1}$$

เพราะฉะนั้นถ้าต้องการให้มีมุมของ Phase $(\phi) = -90^\circ$ สามารถหาค่าของอุปกรณ์ได้โดยกำหนดค่าตัวเก็บประจุและค่าของความถี่ที่ต้องการจากสมการข้างต้น

$$R = \frac{1}{2\pi f_c}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

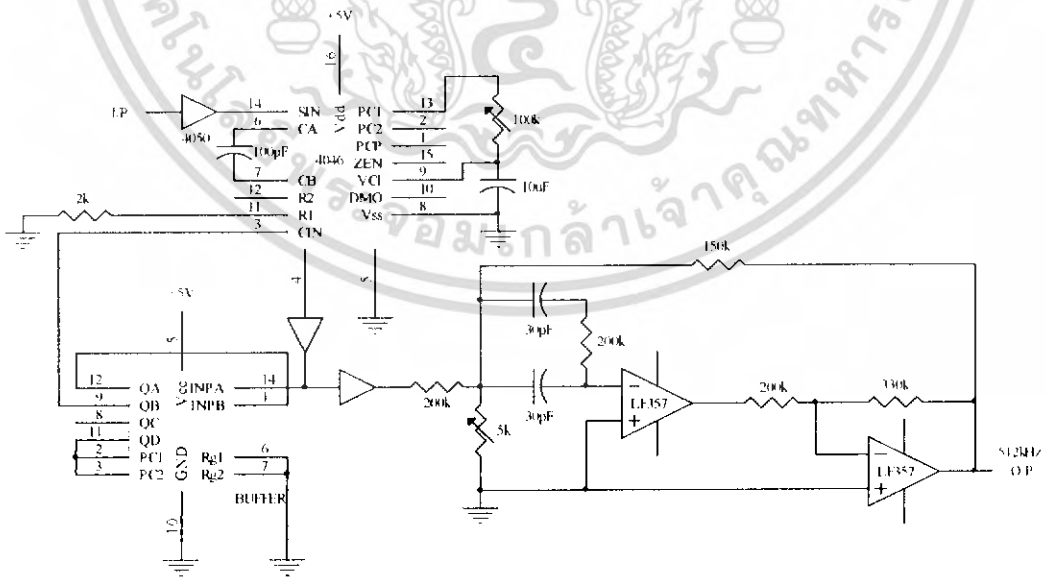
กำหนดค่า f= 512 kHz กำหนดค่า C=100 pF

$$R = \frac{1}{2\pi \times 512 \times 10^{3} \times 100 \times 10^{12}}$$
$$R = 31k\Omega$$

3.1.6 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 kHz

วงจรส่วนนี้ทำหน้าที่กำเนิดสัญญาณคลื่นไซน์ ความถี่ 512 kHz เพื่อใช้เป็นสัญญาณคลื่นพาห์เพื่อนำไปคูณกับสัญญาณ 2 ระดับ ที่วงจรบาลานซ์มอดูเตอร์และอีกส่วนจะนำไปเลื่อนเฟส90องศา เป็นสัญญาณcosinc เนื่องจากระบบการส่งสัญญาณแบบดิจิตอลนี้มีหัวใจสำคัญคือ การซิงโครไนซ์เซชั่น (Synchronization) ที่ทำให้จังหวะการทำงานภาคส่งและภาครับมีความสัมพันธ์กันอย่างแม่นยำดังนั้นเราจึงนำสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในส่วนนี้เราส่งข้อมูลความเร็ว 64 kbpsจึงมีสัญญาณนาฬิกา 64kbpsมาอ้างอิงในการทำการสร้างวงจรโดยใช้วงจรเฟสล็อคลูป(Phase Lock Loop) ช่วยในการล็อคสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น เราจึงนำสัญญาณนาฬิกาที่64kbps ไปคูณกับ8 ซึ่งจะได้ความถี่ 64*8=512kbpsพอดี

เมื่อสัญญาณนาฬิกาผ่าน วงจรเฟสล็อคลูปแล้วก็ยังเป็นสัญญาณรูปสี่เหลี่ยมอยู่ไม่สามารถนำไปเป็นสัญญาณคลื่นพาห์ได้ เพราะสัญญาณรูปสี่เหลี่ยมประกอบไปด้วยฮาร์โมนิคมากมาย ไม่เหมาะสมในการนำไปมอดูเลต ดังนั้นจึงใช้วงจรกรองช่วงความถี่(Band Pass Filter) ทำการกรองเอาความถี่สาร์โมนิคที่ 1 เป็น Sine wave มีความถี่เท่ากับสัญญาณสี่เหลี่ยมมาใช้งาน



รูปที่3.9 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 kHz

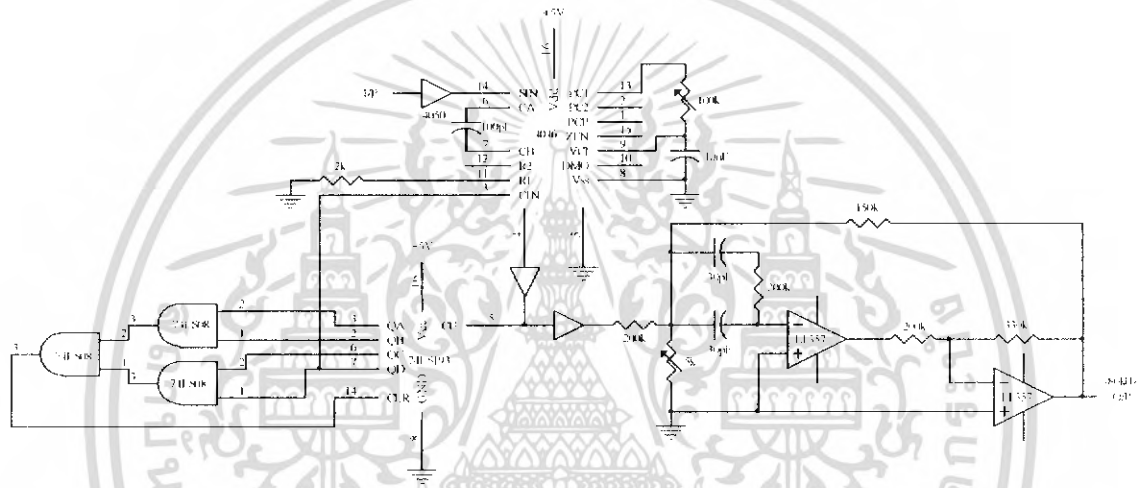
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.7 วงจรกำเนิดสัญญาณนำร่อง(Pilot Signal)

สาเหตุที่ต้องทำสัญญาณนำร่องเพราะในส่วนภาครับนั้นเราต้องการสัญญาณนาฬิกาและสัญญาณคลื่นพาห์ที่มีเฟสและความถี่เท่ากันกับภาคส่ง เพื่อการซิงโครไนซ์เซชั่นที่ดีที่สุด

โดยเราเลือกความถี่ 480 kHz จะอยู่ทางด้านไซด์แบนด์ต่ำ (Lower side band) ของสเปกตรัม การมอดูเลตในโครงงานนี้สาเหตุที่เลือกความถี่ 480 kHz เพราะอยู่ห่างจากความถี่พาหะ 32 kHz และสะดวกในการออกแบบวงจรคูณความถี่คือจะใช้วงจรหาร15 ต่อกับวงจรเฟสล็อคลูป

สำหรับวงจรเราใช้เหมือนกับวงจรกำเนิดสัญญาณคลื่นพาห์เกือบทุกอย่าง ต่างกันตรงสัญญาณเข้า มาเรานำสัญญาณนาฬิกาที่ผ่านวงจรหาร2 มาใช้เป็นอินพุต และใช้วงจรหารความถี่เท่ากับ 15 แทนก็ได้สัญญาณความถี่480 kHz



รูปที่ 3.10วงจรกำเนิดสัญญาณนำร่อง 480 kHz

3.1.8 วงจรรวมสัญญาณ (Summing Amplifier)

วงจร summing amplifier ใช้สำหรับการรวมสัญญาณหลายๆชุดเข้าด้วยกันเพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียวซึ่งแรงดันที่เอาต์พุตเราสามารถหาได้จาก

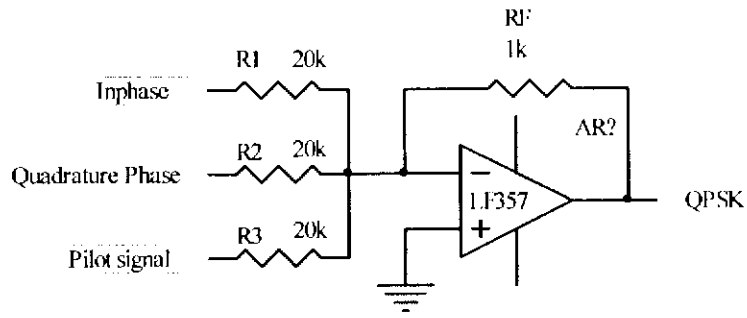
$$V_o = -\left(\frac{R_F V_1}{R_1} + \frac{R_F V_2}{R_2} + \frac{R_F V_3}{R_3} \right)$$

โดยที่ V_1 คือสัญญาณเอาต์พุตจากวงจรบาลานซ์มอดูเลตด้าน I

V_2 คือสัญญาณเอาต์พุตของวงจรสัญญาณนำร่อง

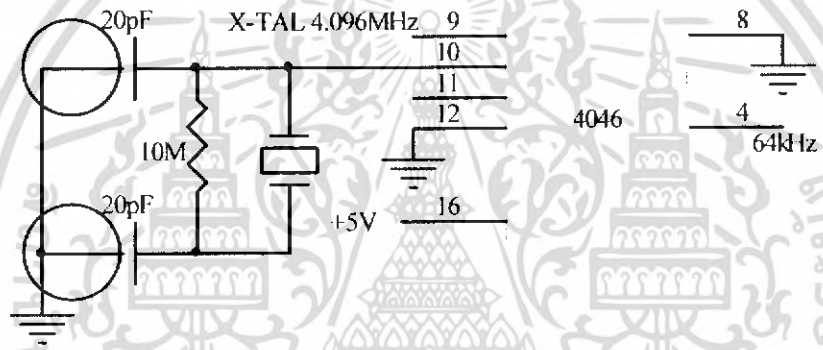
V_3 คือสัญญาณเอาต์พุตจากวงจรบาลานซ์มอดูเลตด้าน Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจร Summing Amplifier

3.1.9 วงจรผลิตสัญญาณความถี่ 64 kHz



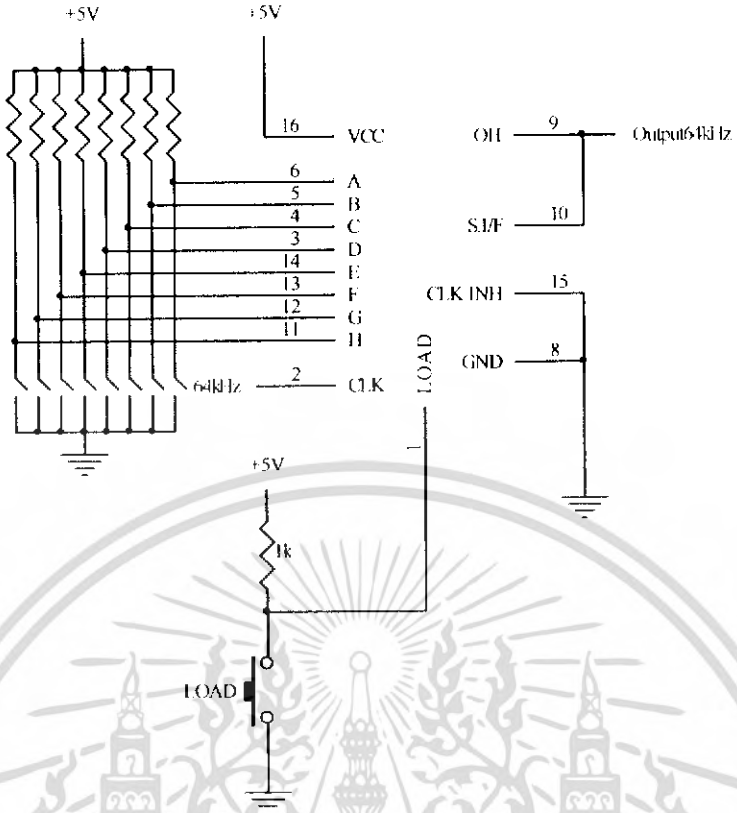
รูปที่3.12 แสดงวงจรผลิตความถี่ 64 kHz

วงจรผลิตสัญญาณโดยการต่อคริสตอลกับไอซีเบอร์ 4060 สามารถที่จะทำการกำเนิดสัญญาณคลื่นความถี่ต่างๆได้ ซึ่งขาที่ 4 ของไอซีเบอร์ 4060 จะให้กำเนิดสัญญาณที่ความถี่ 64 kHz ที่มีเสถียรภาพค่อนข้างสูงโดยคลื่นที่ผลิตออกมาเป็นสัญญาณคลื่นสี่เหลี่ยม ซึ่งนำไปใช้เป็นสัญญาณนาฬิกาอ้างอิงของวงจรส่วนอื่นๆต่อไปได้ รูปของวงจรกำเนิดสัญญาณนาฬิกาแสดงดังรูปที่ 3.12

3.1.10 วงจรกำเนิดข้อมูลความเร็ว 64 kbps

จากการออกแบบวงจรภาคส่งเพื่อการทดสอบการทำงานของวงจรนั้นต้องสร้างชุดกำเนิดข้อมูลขนาดความเร็ว 64 kbps ขึ้นมาโดยมีวงจรดังรูปที่3.13โดยใช้ไอซีเบอร์ 74LS165 ซึ่งทำงานเป็น Parallel-Load 8 Bit Shift Register ข้อมูลที่จะโหลดเข้ามาใช้ทดสอบ สามารถกำหนดได้ โดยการปรับสวิตช์ สัญญาณนาฬิกา ที่ใช้เลื่อนข้อมูล 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรกำเนิดข้อมูลความเร็ว 64 kbps

รูปวงจรรวมในส่วนของภาคส่งของเครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK แสดงดังรูปที่ 3.15 และ 3.16 ซึ่งแสดงไว้ในหน้าถัดไป

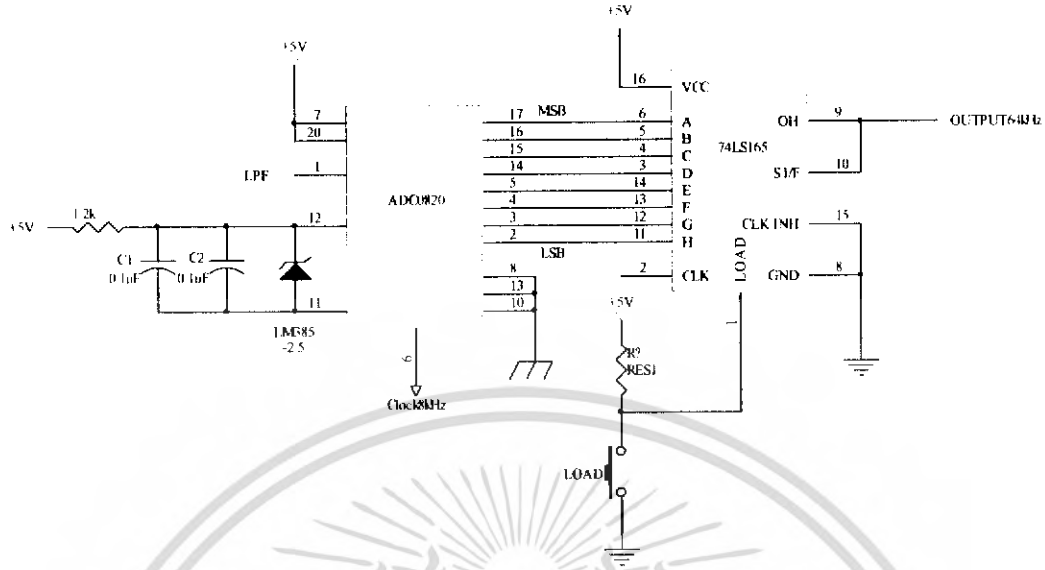
3.1.11 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

เนื่องจากสัญญาณที่เข้าสู่เครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK อาจเป็นไปได้ทั้งสัญญาณในลักษณะต่อเนื่องหรือสัญญาณอนาลอก เช่น สัญญาณเสียงพูด ฯลฯ หรืออาจเป็นสัญญาณดิจิตอล เช่น สัญญาณ จากคอมพิวเตอร์ ฯลฯ โดยที่การทำงานของอุปกรณ์จะสามารถทำได้กรณีสัญญาณที่เข้ามาเป็นสัญญาณข้อมูลที่มีลักษณะเป็นสัญญาณดิจิตอล เนื่องจากอาศัยการมอดูเลตแบบดิจิตอลด้วยวิธีQPSK กล่าวคือการมอดูเลตสัญญาณคลื่นพาห์ที่เป็นสัญญาณไซน์เข้ากับสัญญาณข้อมูลที่เป็นสัญญาณดิจิตอล ดังนั้นถ้าหากสัญญาณข้อมูลที่เข้ามามีลักษณะเป็นสัญญาณอนาลอกจำเป็นต้องแปลงเป็นสัญญาณดิจิตอล โดยใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล โดยในส่วนนี้ใช้ไอซีเบอร์ ADC0820 ซึ่งเป็นวงจรเอทูดีเข้ารหัสเป็นสัญญาณไบนารีขนาด 8 บิต โดยใช้ระดับแรงดันอ้างอิง 2.5 โวลต์ และอัตราการแซมปลิ้ง 4 kHz ดังนั้นตามทฤษฎีของไนควิสท์ อัตราการแซมปลิ้งจะเป็นอย่างน้อย 2 เท่า ของอัตราข้อมูลที่ส่งเข้ามาสูงสุด ทั้งนี้จำเป็นที่จะต้องใช้วงจรเอทูดีควบคู่ไปกับวงจรชิฟรีจิสเตอร์ เพื่อทำการส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

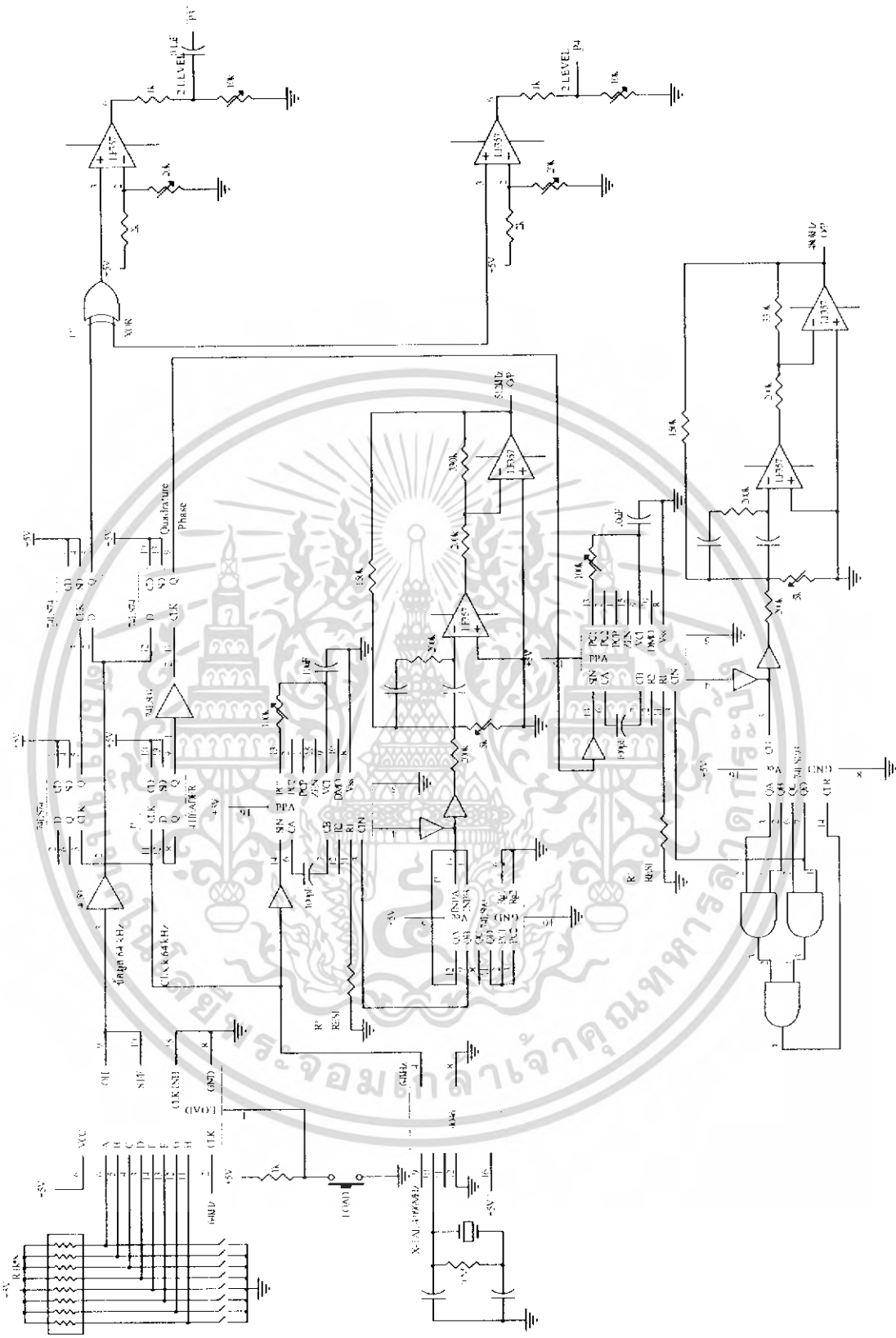
ออกเป็นลักษณะของสัญญาณที่เป็นอนุกรม แสดงดังรูปที่ 3.14

รูปวงจรการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล



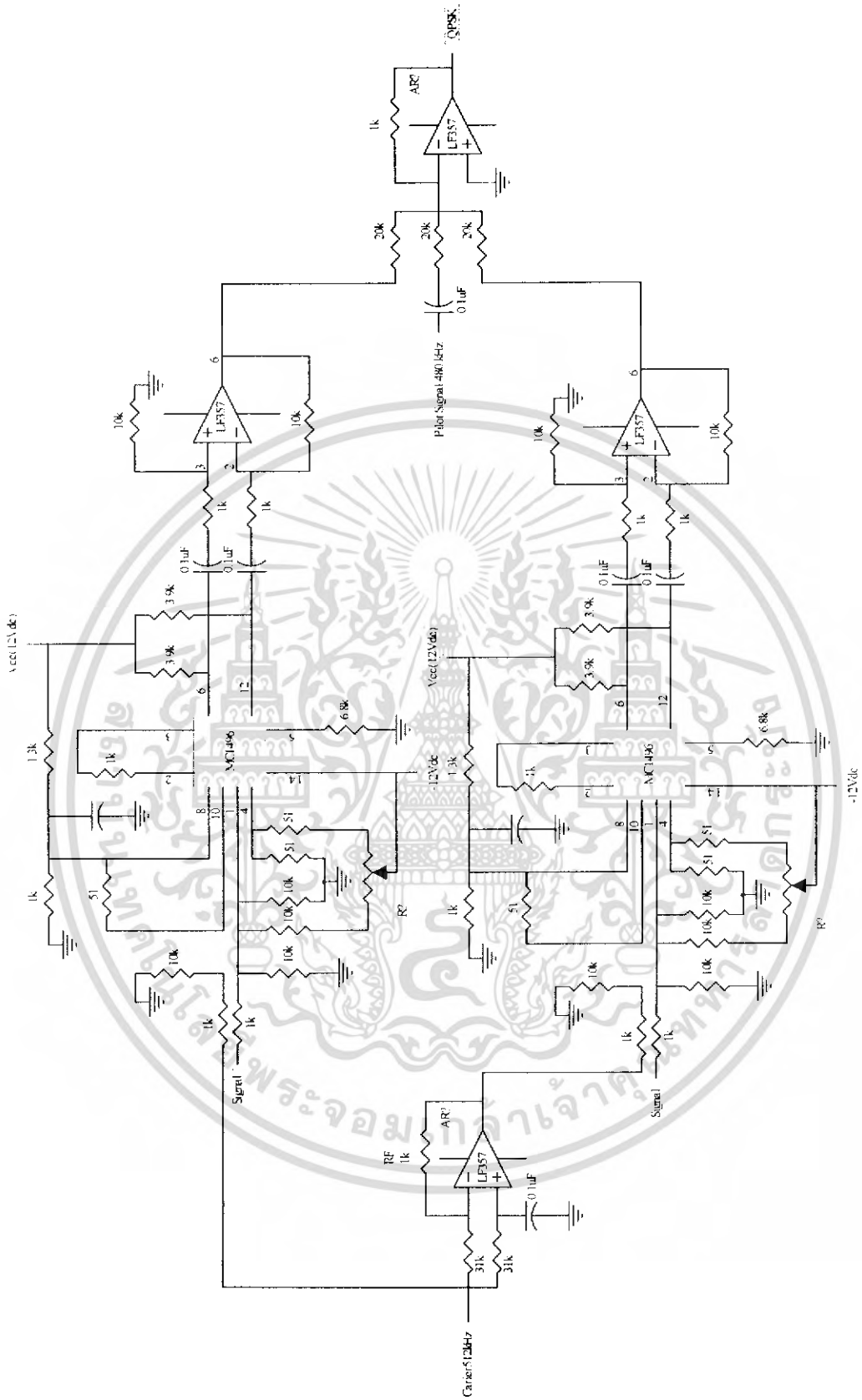
รูปที่ 3.14 แสดงวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 วงจรภาคส่ง QPSK ส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

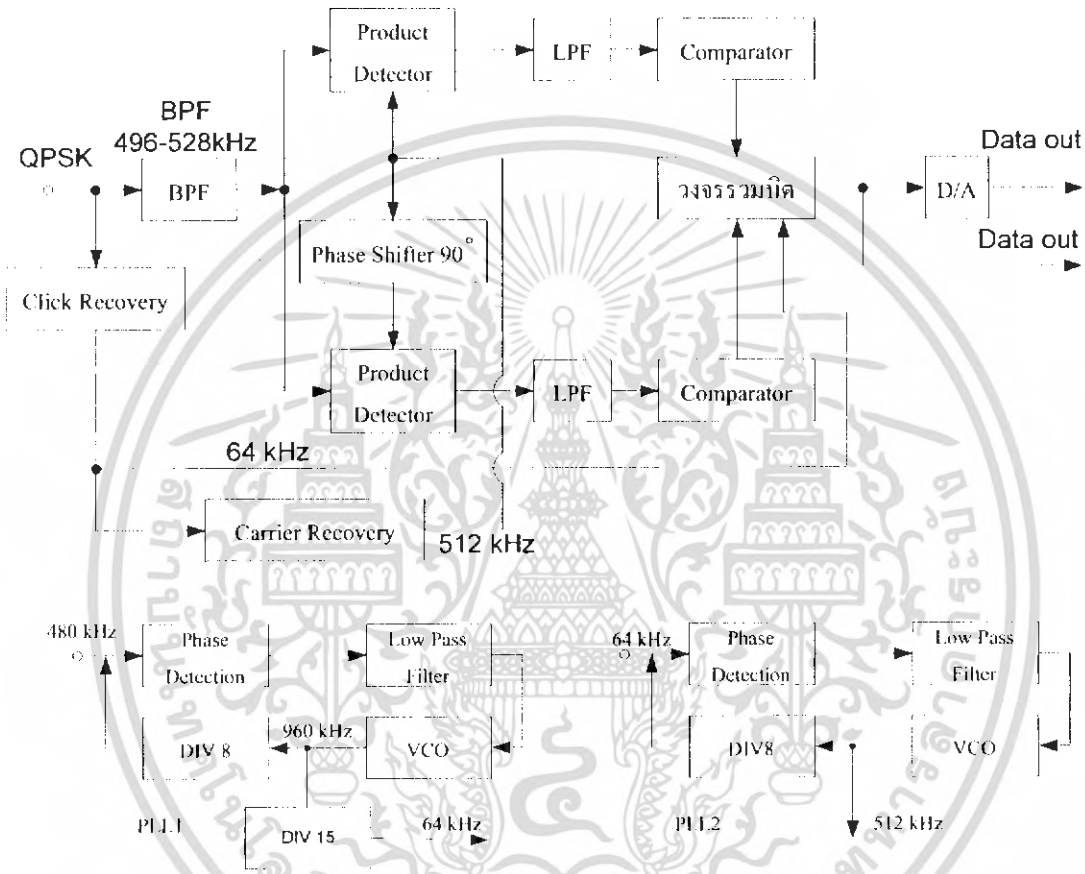


รูปที่ 3.16 วงจรภาคส่ง QPSK ส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบและสร้างวงจรภาครับ

ในการออกแบบและทดลองทางด้านภาครับนั้น ต้องมีการเพิ่มเติมบางส่วนจากทฤษฎี เพื่อจะให้สอดคล้องกับสัญญาณที่ส่งมาทางด้านภาคส่ง ซึ่งสัญญาณที่ส่งมานั้นมีความถี่ทางด้านสัญญาณนำร่อง 480 kHz ร่วมส่งกับสัญญาณเข้ารหัส ดังนั้นต้องมีวงจรกรองสัญญาณ 2 วงจร วงจรกรองความถี่ในช่วง 496 – 528 kHz และวงจรกรองความถี่ในช่วง 480 kHz ดังแสดงในรูปที่ 3.17



รูปที่ 3.17 บล็อกไดอะแกรมของวงจรด้านรับ

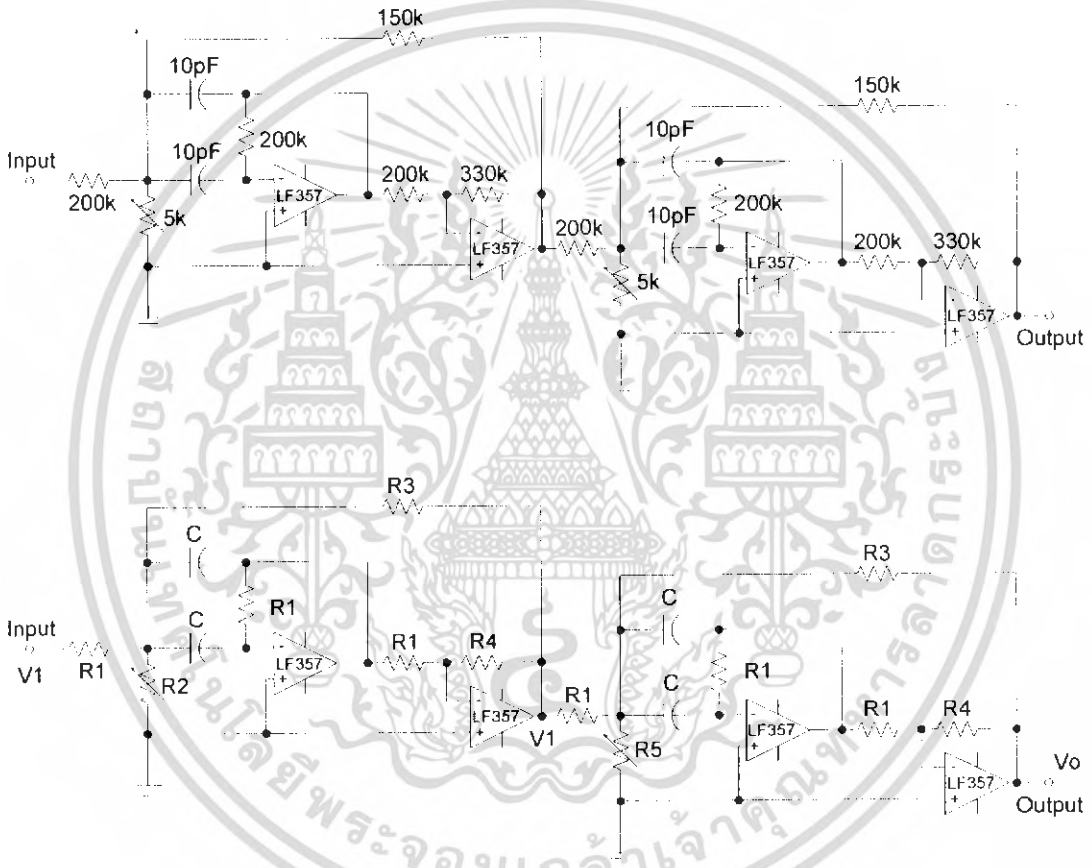
ทำการนำสัญญาณนำร่อง 480 kHz มาใช้ในการกู้สัญญาณคลื่นพาห์ Sine wave 512 kHz เมื่อผ่านวงจรเลื่อนเฟส 90 องศา ทำการดีเทคเตอร์สัญญาณที่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน แล้วนำมาเปรียบเทียบสัญญาณจะได้สัญญาณทางด้าน I และ Q เข้ารหัสสัญญาณ Gray code to Binary code ได้สัญญาณ I และ Q จากนั้นทำการเลื่อนข้อมูลแบบขนานเป็นอนุกรม ก็จะได้สัญญาณเอาต์พุตออกมาแต่สัญญาณนาฬิกา 64 kHz ได้จากการนำเอาสัญญาณนำร่องกู้สัญญาณนาฬิกาผ่านวงจรเฟสล็อคลูปได้สัญญาณนาฬิกา 64 kHz ใช้ในการกระตุ้นข้อมูลออกมาทางเอาท์พุตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรกรองความถี่ช่วง 496 – 528 kHz

เมื่อสัญญาณที่ได้เข้ารหัสแบบ QPSK แล้วจะถูกส่งมายังภาครับตามต้องการเท่านั้น อีกทั้งยังสามารถกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในการออกแบบนั้นเราใช้วงจรกรองช่วงความถี่ผ่านแบบป้อนกลับทางบวก การออกแบบนั้นเลือกค่า
Q = 40 และค่าคาปาซิเตอร์เท่ากับ 10 pF ทำการเลือกค่าความต้านทานตามรูปที่ 3.7 ในรายละเอียดการออกแบบแสดงไว้แล้วในส่วนการออกแบบและการสร้างวงจรภาคส่ง

เรานำวงจรกรองช่วงความถี่ผ่านต่อแบบ Casecade เพื่อจะได้ช่วงความถี่ที่ต้องการมีความคมขึ้น เพื่อจะได้ช่วงความถี่ 496 528 kHz ความต้องการดังในรูปวงจรที่ 3.18



รูปที่ 3.18 วงจรกรองความถี่ช่วง 496 -528 kHz

ในส่วนของการคำนวณวงจรกรองความถี่ช่วง 496 – 528 kHz จะเห็นว่าตัววงจรประกอบด้วยวงจร Band Pass Filter ต่อ casecade กันอยู่ซึ่งจากการคำนวณในหัวข้อ 3.1.4.3 จะได้สมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_1}{V_i} = \frac{\frac{-G_1 ks}{C_2}}{S^2 + S\left(\frac{C_1G_1 + C_2G_1 + C_1G_3k}{C_1C_2}\right) + \left(\frac{C_1G_2 + G_1^2 + C_1G_3}{C_1C_2}\right)}$$

$C_1 = C_1 - C$ และจะได้ว่า

$$\frac{V_1}{V_i} = \frac{\frac{-ks}{CR_1}}{S^2 + S\left(\frac{CR_3 + CR_3 + CR_1k}{R_1R_3C^2}\right) + \left(\frac{R_1R_3 + R_2R_3 + R_1R_2}{R_1^2R_2R_3C^2}\right)}$$

ให้ $k_1 = \frac{CR_3 + CR_3 + CR_1k}{R_1R_3C^2}$ และ $k_2 = \frac{R_1R_3 + R_2R_3 + R_1R_2}{R_1^2R_2R_3C^2}$

จะได้ว่า $\frac{V_1}{V_i} = \frac{\frac{-ks}{CR_1}}{S^2 + Sk_1 + k_2}$

ในทำนองเดียวกันจะได้สมการจาก stage 2 คือ

$$\frac{V_o}{V_i} = \frac{\frac{-ks}{CR_1}}{S^2 + S\left(\frac{CR_3 + CR_3 + CR_1k}{R_1R_3C^2}\right) + \left(\frac{R_1R_3 + R_5R_3 + R_1R_5}{R_1^2R_2R_5C^2}\right)}$$

ให้ $k_2 = \frac{R_1R_3 + R_5R_3 + R_1R_5}{R_1^2R_3R_5C^2}$

จะได้ว่า

$$\frac{V_o}{V_i} = \frac{\frac{-ks}{CR_1}}{S^2 + Sk_1 + k_3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_o}{V_i} = \frac{V_o}{V_1} \bullet \frac{V_1}{V_i} = \frac{\left(\frac{-ks}{CR_1}\right)^2}{\left(s^2 + sk_1 + k_2\right) \times \left(s^2 + sk_1 + k_3\right)}$$

$$\frac{V_o}{V_i} = \frac{\left(\frac{-ks}{CR_1}\right)^2}{S^4 + S^3k_1 + S^2k_3 + S^3k_1 + S^2k_1^2 + Sk_1k_3 + S^2k_2 + Sk_1k_2 + k_2k_3}$$

$$\frac{V_o}{V_i} = \frac{\left(\frac{-ks}{CR_1}\right)^2}{S^4 + 2S^3k_1 + S^2\left(k_3 + k_1 + k_2\right) + Sk_1\left(k_3 + k_2\right) + k_2k_3}$$

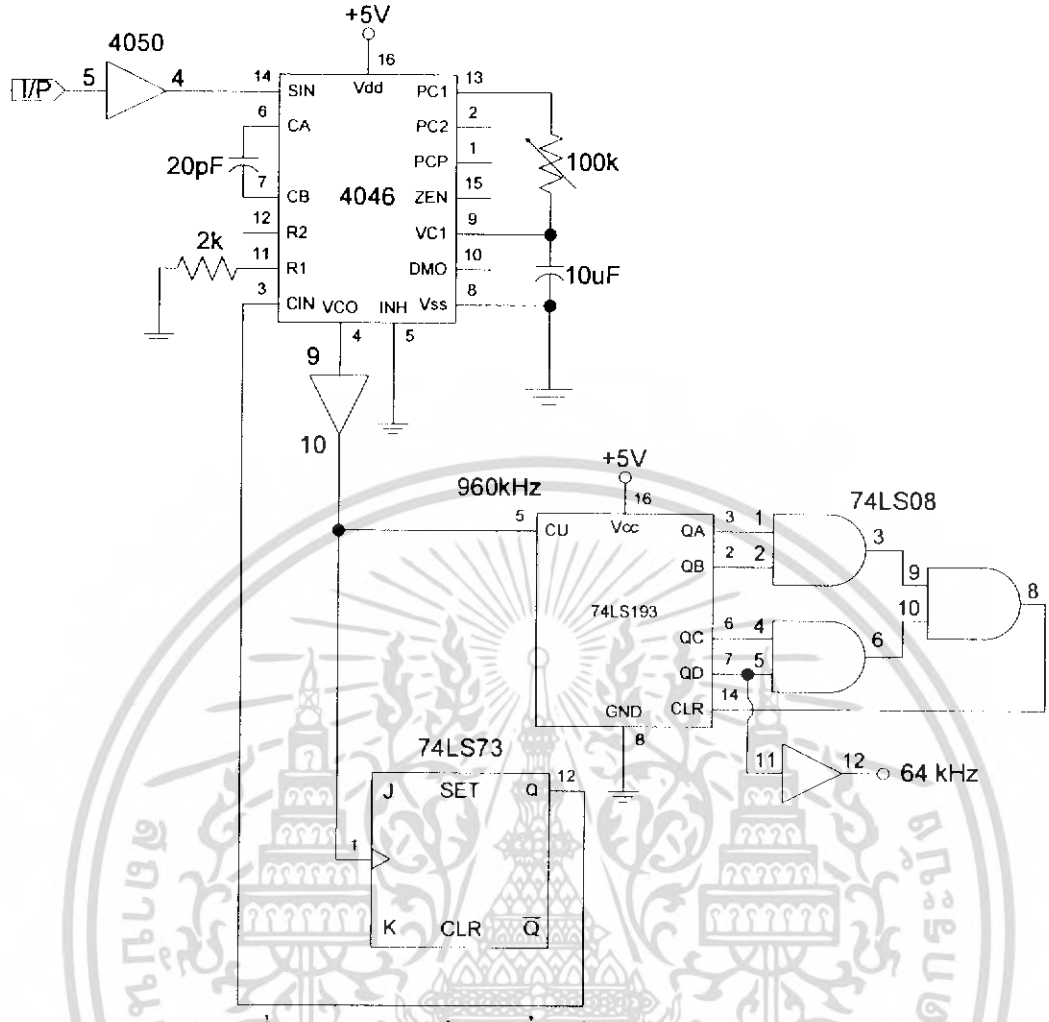
3.2.2 วงจรกรองความถี่ช่วง 480 kHz

เราใช้วงจร Positive feed back band – pass filter เนื่องจากเราต้องการความถี่ 480 kHz ซึ่งสำคัญในการนำมากู้สัญญาณคลื่นพาห์และกู้สัญญาณนาฬิกา ดังนั้นวงจร Positive feed back band – pass filter จะมีคุณสมบัติในการกรองความถี่ที่ได้ช่วงแบนด์วิธแคบมาก ฉะนั้นเราจึงนำคุณสมบัตินี้มาใช้กรองความถี่ช่วง 480 kHz ทำการต่อแบบ cascade จะได้วงจรดังรูปที่ 3.18 ทำการปรับค่าความถี่โดยการเปลี่ยนค่าความต้านทานปรับค่าได้เพียงเล็กน้อยเพื่อความสะดวกในการออกแบบ

3.2.3 วงจรเฟสล็อคลูป

ในด้านภาครับนั้น มีวงจรเฟสล็อคลูปด้วยกัน 2 วงจร ในวงจรเฟสล็อคลูปที่ 1 นั้นเราต้องการสัญญาณทางด้านเอาต์พุต 64 kHz เพื่อนำมาเป็นสัญญาณนาฬิกาใช้ในการทริกสัญญาณข้อมูลออกไป หลักการของวงจรเฟสล็อคลูป วงจรที่ 1 คือเรานำสัญญาณ 480 kHz ทำการเปรียบเทียบทางเฟสที่ผ่านวงจรกรองความถี่ต่ำผ่าน นำสัญญาณที่ได้รับการปรับค่าความถี่ให้เท่ากับความถี่ที่เข้ามา โดยวงจรVCO แต่ทางด้านเอาต์พุตของ VCO นั้นความถี่ที่ต้องการคือ 960 kHz แล้วทำการปรับค่าความถี่ที่ได้นี้ลดลงโดยผ่านวงจรหาร 15 จะได้ความถี่ 64 kHz ที่ต้องการดังรูปที่ 3.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

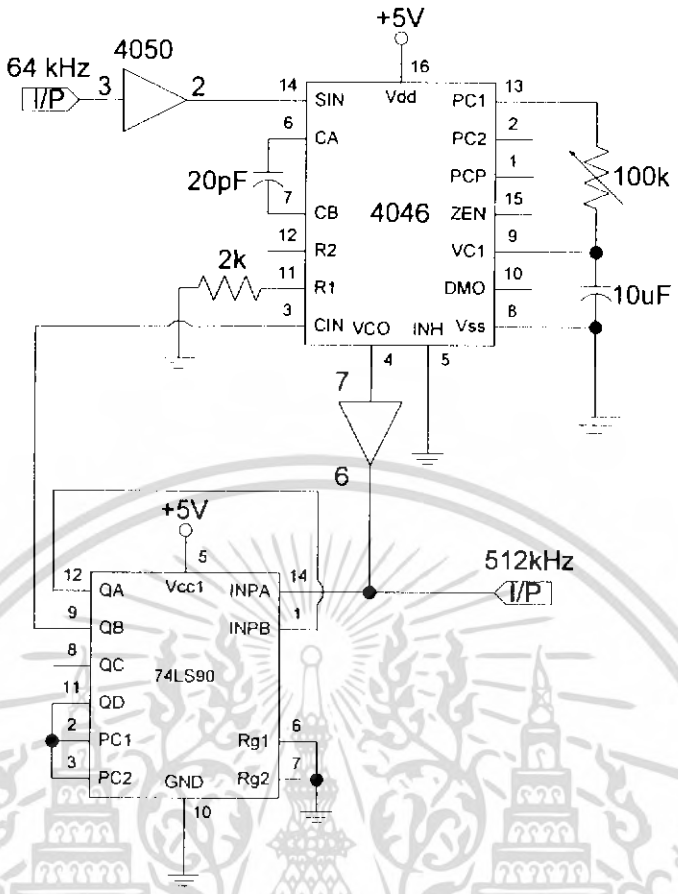


รูปที่ 3.19 วงจรเฟสล็อคลูปที่ 1 กู้สัญญาณนาฬิกา 64 kHz

ส่วนวงจรเฟสล็อคลูปที่ 2 นั้นเราใช้สำหรับกู้สัญญาณคลื่นพาห์ความถี่ 512 kHz เพื่อนำไปทำการดีเทคเตอร์สัญญาณ จะได้สัญญาณคลื่นพาห์ 512 kHz ซึ่งจะต้องมีความถี่และเฟสมีค่าตรงกันกับทางด้านภาคส่งเพื่อจะได้การซิงโครไนซ์เซชั่นถูกต้อง

หลักการออกแบบนั้นจะใช้หลักการของเฟสล็อคลูปทั่วๆไป ที่ได้กล่าวมาแล้วในข้างต้นแต่จะเพิ่มเติมในบางส่วนคือ เรานำสัญญาณ 64 kHz จากเฟสล็อคลูปวงจรที่ 1 มาใช้เป็นสัญญาณอินพุตของวงจรเฟสล็อคลูปวงจรที่ 2 แต่สัญญาณเอาต์พุตของวงจร VCO นั้นเราต้องการ 512 kHz ดังนั้นทางด้านวงจรเปรียบเทียบเฟส 64 kHz จะมีการลดค่าความถี่ให้ได้ 64 kHz โดยใช้วงจรหาร 8 เท่า ก็ได้จะได้เอาต์พุตของ VCO มีค่าเท่ากับ 512 kHz พอดีดังวงจรในรูปที่ 3.20

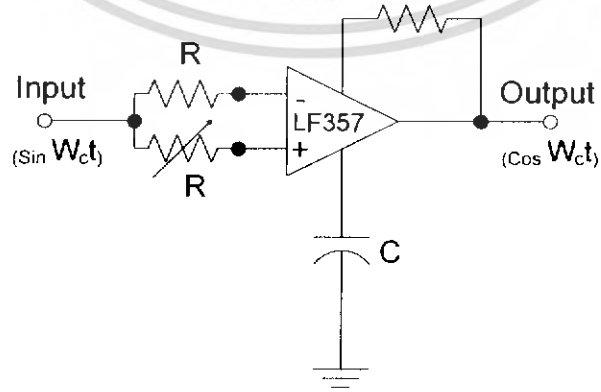
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 วงจรเฟสล็อคลูปที่ 2 กู้สัญญาณคลื่นพาห์ 512 kHz

3.2.4 วงจรเลื่อนเฟส 90 องศา

ในทางด้านภาครับนั้น เมื่อทำการกู้สัญญาณคลื่นพาห์ที่ใช้ในการดีมอดูเลเตอร์ทางด้าน Inphase ซึ่งก็คือสัญญาณคลื่นไซน์ ได้แล้วนั้นในส่วนของทางด้าน Quadrature phase นั้นต้องนำสัญญาณคลื่นโคไซน์ เป็นสัญญาณคลื่นพาห์ไปทำการดีมอดูเลเตอร์อีกด้านด้วย ดังนั้นเมื่อได้สัญญาณคลื่นไซน์ แล้วต้องการสัญญาณคลื่นไซน์ ต้องใช้วงจรเลื่อนเฟส 90 องศาซึ่ง จะใช้วงจรกรองผ่านทุกความถี่ชนิดVoล้าหลัง Vin เหมือนกับทางด้านส่งทุกประการดังวงจรรูปที่ 3.21



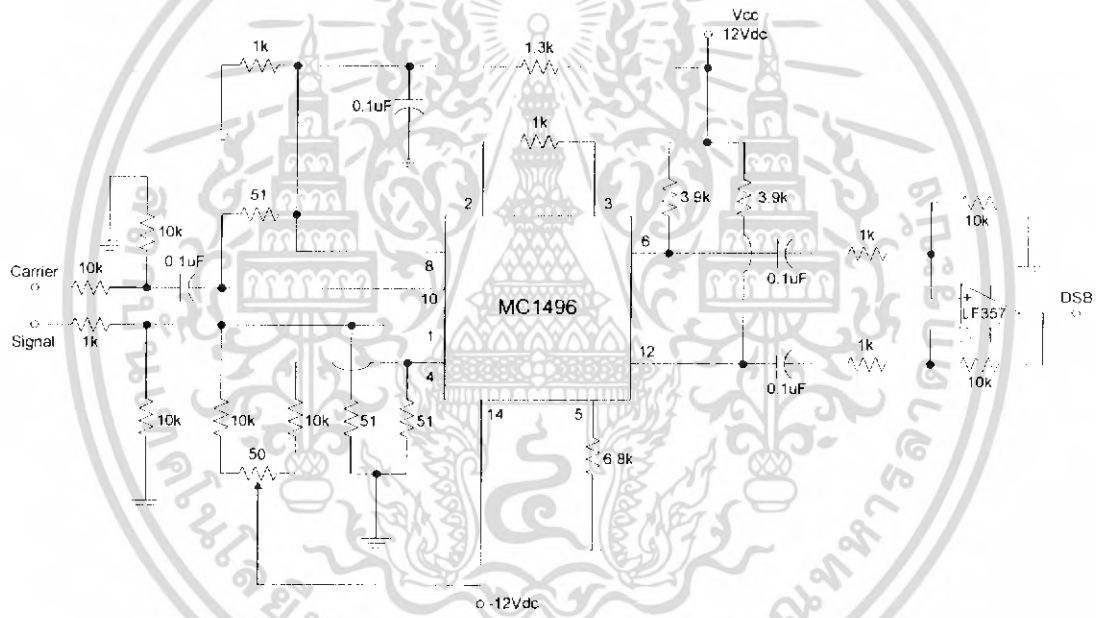
รูปที่3.21วงจรเลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบนั้นได้กล่าวเอาไว้แล้วในส่วนการออกแบบและสร้างวงจรภาคส่งในหัวข้อวงจรเลื่อนเฟส 90 องศา

3.2.5 วงจรบาลานซ์ดีมอดูเลเตอร์

ในทางด้านภาครับวงจรบาลานซ์ดีมอดูเลเตอร์ (Balance Demodulator) จะใช้ไอซี MC 1496 รูปแบบวงจรนั้นจะเหมือนกับวงจรบาลานซ์มอดูเลเตอร์ทางด้านภาคส่งเกือบทุกประการแต่จะต่างกันกับทางด้านส่งเพียงเล็กน้อย ดังแสดงไว้ในรูปวงจรรูปที่3.24 และด้วยเหตุที่ว่าข้อมูลจะส่งมาและแยกเป็น2 ส่วน ดังนั้นจะต้องใช้วงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อทำการดีมอดูเลต ทางด้าน Inphase แต่ทั้งสองวงจรเหมือนกันทุกประการต่างกันตรงสัญญาณ carrier ที่ทำการดีมอดูเลตทางด้าน Inphase เป็น Sine wave ส่วนทางด้าน Quadrature phase เป็น Cosine wave ซึ่งเป็นเอาต์พุตของวงจรเลื่อนเฟส 90 องศาดังแสดงในวงจรรูปที่3.22



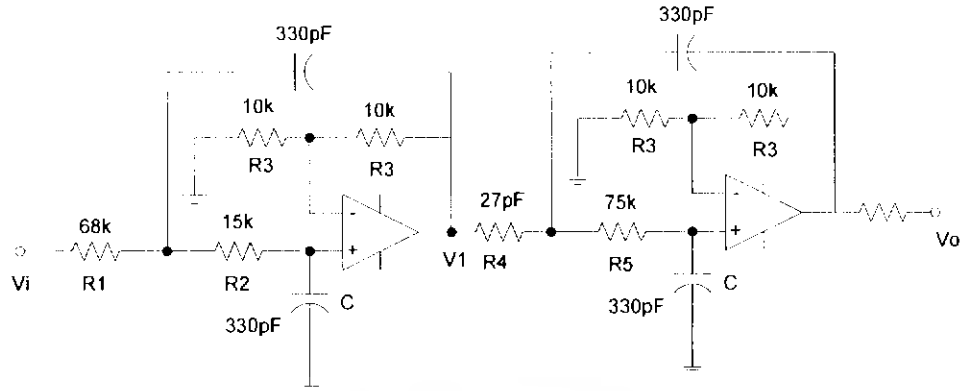
รูปที่3.22วงจรบาลานซ์ดีมอดูเลเตอร์

3.2.6 วงจรกรองความถี่ต่ำผ่าน

เมื่อทำการดีมอดูเลเตอร์ทั้ง 2 ด้าน แล้วนำสัญญาณเอาต์พุตทั้งสองวงจรนั้นจะประกอบด้วยสัญญาณที่เกิดจากการคูณกันของสัญญาณคลื่นพาห์กับสัญญาณมอดูเลต และผลที่ได้จะมีสัญญาณความถี่สูงและสัญญาณความถี่ต่ำสัญญาณ 2 ระดับ สัญญาณที่ต้องการนั้นอยู่ในรูปของสัญญาณความถี่ต่ำดังนั้นวงจรกรองความถี่ต่ำจะทำหน้าที่กรองเฉพาะสัญญาณความถี่ต่ำที่ต้องการเท่านั้น ส่วนสัญญาณความถี่สูงจะถูกตัดทิ้งไปเหลือเพียงสัญญาณ 2 ระดับในส่วนของความถี่ต่ำที่ต้องการเท่านั้น

ในส่วนของการออกแบบนั้น เราใช้ความถี่คัทออฟที่ 16 kHz รูปแบบของวงจรแสดงในรูปที่ 3.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 วงจรกรองความถี่ต่ำ

ในส่วนวงจรกรองความถี่ต่ำทั้ง 2 ด้านเหมือนกันทุกประการ

หลักการออกแบบ

1.) กำหนด Forth-order 0.1 dB Chebysbev-active 3 dB cutoff 16 kHz

2.) เลือกใช้ค่า C = 330 pF เลือกค่า α และ β จากตารางที่ 3.2

3.) หาค่า α' และ β' คำนวณหาค่าความต้านทาน R_1 และ R_2

ในส่วนที่ 1 $\alpha = 0.2177$, $f_c = 16$ kHz

$\beta = 0.9254$

$\alpha' = \alpha \times 2\pi fc = 0.2177 \times 2\pi \times 16 \times 10^3 = 21.885$ k

$\beta' = \beta \times 2\pi fc = 0.9254 \times 2\pi \times 16 \times 10^3 = 93.031$ k

$$R_1 = \frac{1}{2 \times \alpha' \times C}$$

$R_1 = 69.23\ k\Omega$

เลือกใช้ค่า $R_1 = 69k\Omega$

$$R_2 = \frac{2\alpha'}{C\left[\alpha'^2 + \beta'^2\right]}$$

$R_2 = 14.52\ k\Omega$

เลือกใช้ค่า $R_2 = 15k\Omega$

ในส่วนที่ 2 $\alpha = 0.5257$, $f_c = 16$ kHz

$\beta = 0.3833$

$\alpha' = 52849$ k

$\beta' = 38533$ k

$$R_1 = \frac{1}{2 \times \alpha' \times C}$$

$R_1 = 28\ k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลือกใช้ค่า R_1 = 28kΩ

$$R_2 = \frac{2\alpha'}{C\left[\alpha'^2 + \beta'^2\right]}$$

R_2= 74.8 kΩ

เลือกใช้ค่า R_2= 75kΩ

Order n	Real Part $-\alpha$	Imaginary Part $\pm j\beta$
2	0.6104	0.7106
3	0.3490	0.8684
	0.6979	
4	0.2177	0.9254
	0.5257	0.3833
5	0.3842	0.5864
	0.1468	0.9521
	0.4749	
6	0.3916	0.2590
	0.2867	0.7077
	0.1049	0.9667
7	0.3178	0.4341
	0.2200	0.7823
	0.0785	0.9755
	0.3528	
8	0.3058	0.1952
	0.2592	0.5558
	0.1732	0.8319
	0.06082	0.3421
9	0.2622	0.6430
	0.2137	0.8663
	0.1395	0.9852
	0.04845	
	0.2790	

ตารางที่ 3.2 0.1 dB Chebyshev

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณในส่วนของวงจรกรองความถี่ต่ำตามรูปที่3.25นั้นจะเห็นได้ว่า

node 1 $(V_1-V_2)G_2 + V_1SC = 0$

$$V_2 = \left(\frac{G_2 + SC}{G_2}\right)V_1 \qquad \text{.....(1)}$$

node 2 $(V_1 \quad 0)G_3 + (V_1 - V_0)G_3 = 0$ .....(2)

$$V_1 = \frac{V_o}{2}$$

node 3 $(V_i - V_2)G_1 + (V_1 - V_2)G_2 + (V_{01} - V_2)SC = 0$

$V_i G_1 - V_2 G_1 + V_1 G_2 - V_2 G_2 + V_{01} SC - V_2 SC = 0$

$V_i G_1 + V_1 G_2 + V_{01} SC - (G_1 + G_2 + SC) V_2 = 0$ .....(3)

แทน (2) ใน (1) จะได้ว่า

$$\left(\frac{G_2 + SC}{G_2}\right)\left(\frac{V_{01}}{2}\right) = V_2$$

$$V_2 = \frac{V_{01}(G_2 + SC)}{2G_2} \qquad \text{.....(4)}$$

แทนสมการที่ (2) และ (4) ในสมการ (3)

$$V_i G_1 + \frac{V_{01}G_2}{2} + V_{01}SC - (G_1 + G_2 + SC)\frac{(G_2 + SC)V_{01}}{2G_2} = 0$$

$$V_i G_1 = \left(\frac{G_1G_2 + G_2^2 + G_2SC + G_1SC + G_2SC + S^2C^2}{2G_2} - SC - \frac{G_2}{2}\right)V_{01}$$

$$V_i G_1 = \left(\frac{G_1G_2 + G_2^2 + G_2SC + G_1SC + G_2SC + S^2C^2 + 2G_2SC - G_2^2}{2G_2}\right)V_{01}$$

$$\frac{V_{01}}{V_i} = \frac{2G_1G_2}{S^2C^2 + G_1SC + G_1G_2}$$

$\therefore$ จะได้ว่า

$$\frac{V_{01}}{V_i} = \frac{\frac{2G_1G_2}{C^2}}{S^2 + \frac{G_1}{C}S + \frac{G_1G_2}{C^2}} = \frac{\frac{2}{R_1R_2C^2}}{S^2 + \frac{1}{R_1C}S + \frac{1}{R_1R_2C^2}}$$

ถ้าให้ $\frac{1}{R_1R_2C^2} = k_1$ จะได้ว่า $\frac{V_{01}}{V_i} = \frac{k_1}{S^2 + \frac{1}{R_1C}S + k_1}$

ในทำนองเดียวกันจะเห็นว่าที่ stage 2 ก็เหมือนกันจะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{01}}{V_i} = \frac{\frac{2G_4G_5}{C^2}}{S^2 + \frac{G_4}{C}S + \frac{G_4G_5}{C^2}} = \frac{\frac{2}{R_4R_5C^2}}{S^2 + \frac{1}{R_4C}S + \frac{1}{R_4R_5C^2}}$$

ถ้าให้ $\frac{1}{R_4R_5C^2} = k_2$ จะได้ว่า $\frac{V_o}{V_{01}} = \frac{k_2}{s^2 + \frac{1}{R_4C}S + k_2}$

เพราะฉะนั้นเราสามารถหาค่าของ $\frac{V_o}{V_i}$ ได้ดังนี้

$$\frac{V_o}{V_i} = \left(\frac{V_{01}}{V_i}\right)\left(\frac{V_o}{V_{01}}\right) = \frac{k_1}{\left(S^2 + \frac{1}{R_1C}S + k_1\right)} \times \frac{k_2}{\left(S^2 + \frac{1}{R_4C}S + k_2\right)}$$

$$\frac{V_o}{V_i} = \frac{\frac{k_1k_2}{1}}{S^4 + \frac{1}{R_4C}S^3 + k_2S^2 + \frac{1}{R_1C}S^3 + \frac{1}{R_1R_4C^2}S^2 + \frac{k_2}{R_1C}S + k_1S^2 + \frac{k_1}{R_4C}S + k_1k_2}$$

$$\frac{V_o}{V_i} = \frac{k_1k_2}{S^4 + \left(\frac{1}{R_4C} + \frac{1}{R_1C}\right)S^3 + \left(\frac{1}{R_1R_4C^2} + k_1 + k_2\right)S^2 + \left(\frac{k_2}{R_1C} + \frac{k_1}{R_4C}\right)S + k_1k_2}$$

3.2.7 วงจรแปลงสัญญาณ 2 ระดับ เป็น 1บิต

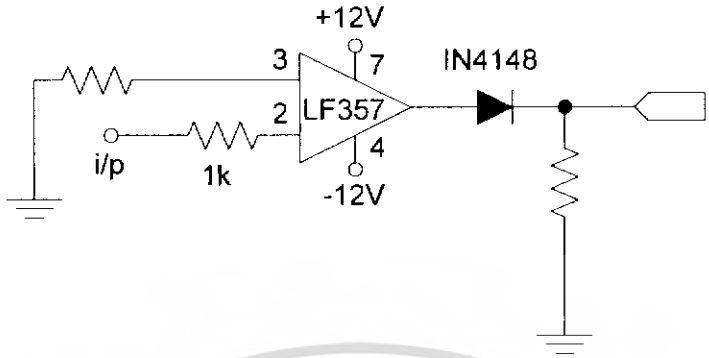
เมื่อเราทำการกรองเอาเฉพาะความถี่ที่ต้องการได้แล้วต่อไปต้องนำสัญญาณนั้น มาทำการแยกระดับสัญญาณต่างๆเป็น 2 ระดับ เหมือนกันกับสัญญาณก่อนเข้าบาลานซ์มอดูเลเตอร์ทางด้านส่ง ระดับสัญญาณที่ได้แสดงไว้แล้วดังตารางที่3.3

Input [V]	Output [V]	Gray code
+4.5	5	1
-4.5	0	0

ตารางที่3.3 ระดับสัญญาณ 2 ระดับ

ในส่วนของการทำระดับสัญญาณ 2 ระดับ เป็นระดับ 0 กับ 1 นั้นเราใช้วงจรคอมพาราเตอร์ จะทำการจัดระดับสัญญาณเป็น 1 ที่ระดับ +5 V และทำการจัดระดับสัญญาณ 0 ที่ระดับ -5 V ดังแสดงในรูปที่ 3.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



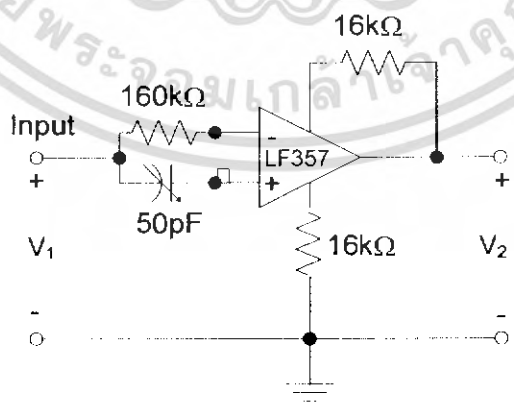
รูปที่3.24 วงจรคอมพาราเตอร์

3.2.8 วงจรรวมสัญญาณดิจิตอล

เป็นวงจรที่มีลักษณะและหน้าที่การทำงานตรงกันข้ามกับวงจรแยกสัญญาณดิจิตอลทางด้านภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอล ทางด้าน Imphase และ Quadrature phase จากสัญญาณแบบขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรม โดยทำการควบคุมจังหวะการทำงานของฟลิปฟลอปจากสัญญาณนาฬิกาที่ได้มาจากการกู้สัญญาณนาฬิกา

แต่ต้องทำการแปลง Gray code เป็น Binary code ก่อนเพราะทางด้านส่งได้ทำการแปลงจาก Binary code เป็น Gray code ส่งมา เพื่อป้องกันการผิดพลาดโดยใช้ Exclusive-OR GATE

วงจรหน่วงเวลา 2 บิต นั้นจะเป็นตัวควบคุมจังหวะการทำงานของขา Preset และขา Clear ของD ฟลิปฟลอป ส่งข้อมูลเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น จึงใช้ NAND GATE ในการบังคับ D ฟลิปฟลอป หลักการดังกล่าวเป็นหลักการของวงจรแปลงจากขนานไปเป็นอนุกรม วงจรนี้ได้ทำการทดลองเป็นดังรูปที่3.25

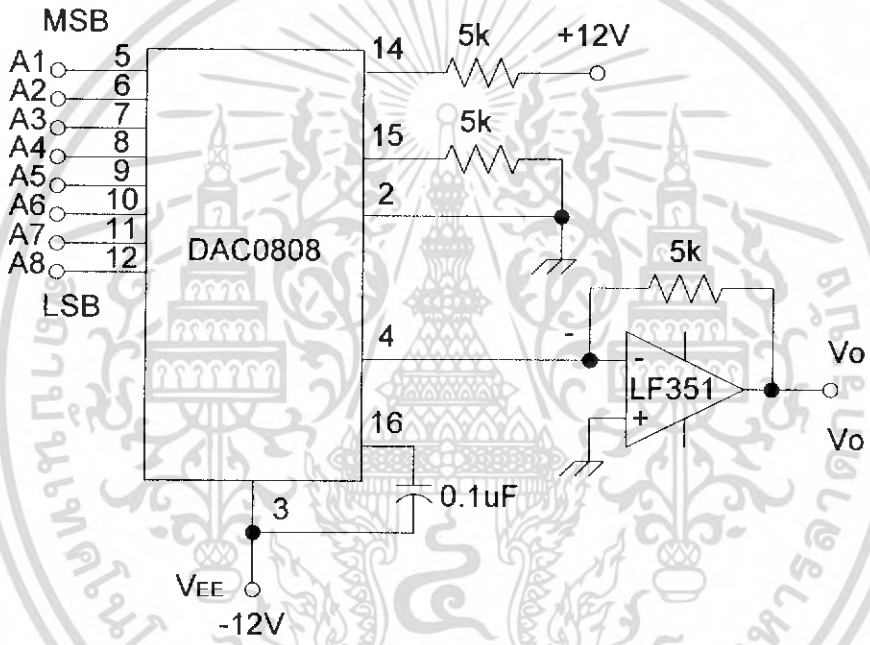


รูปที่ 3.25 วงจรเลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

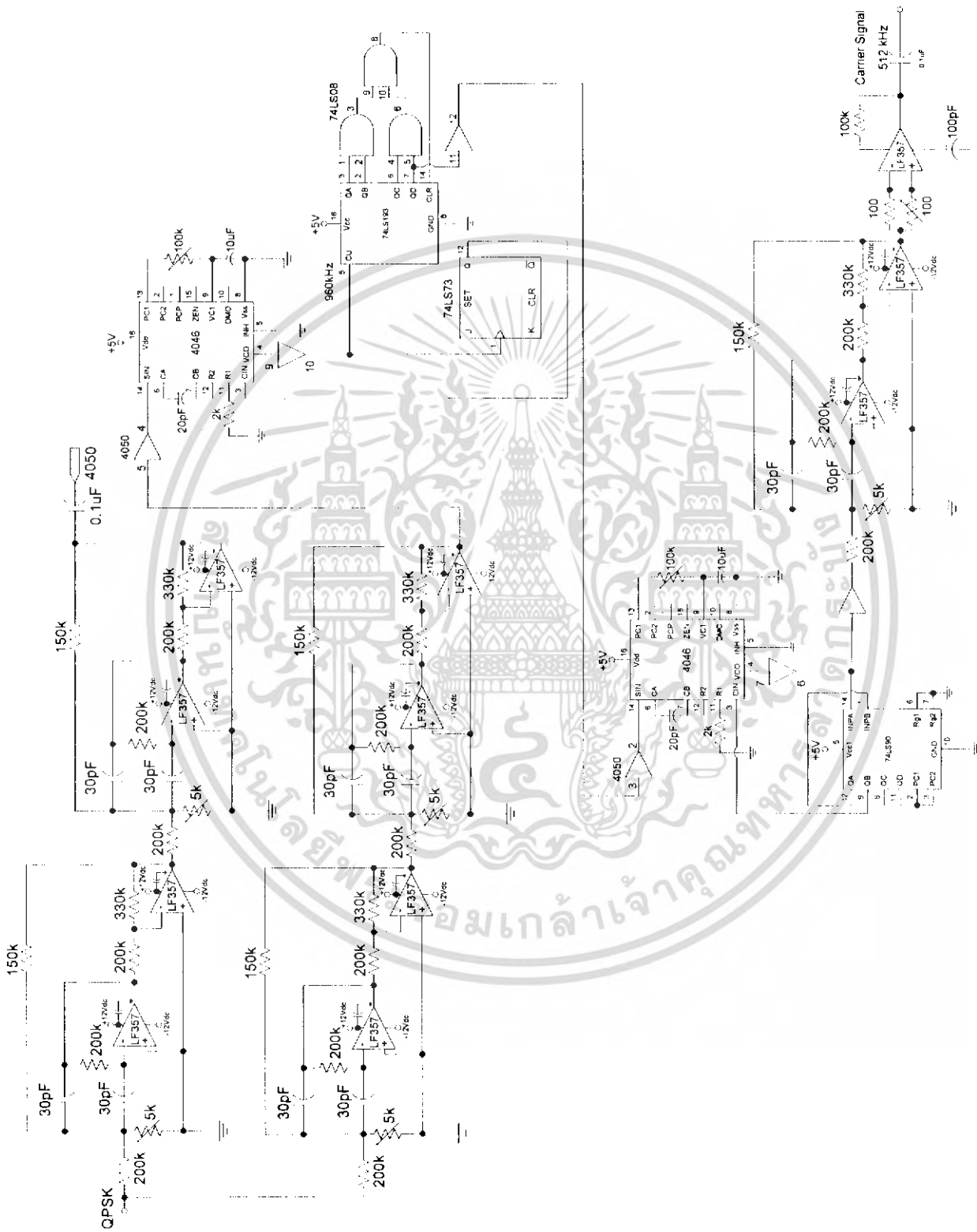
3.2.9 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

เนื่องจากทางด้านอินพุต สัญญาณอาจจะเป็นได้ทั้งสัญญาณดิจิตอลหรือสัญญาณอนาลอกซึ่งในกรณีของสัญญาณที่เป็นอนาลอก ทางภาคส่งจะมีการแปลงจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอลโดยใช้ตัวแปลงสัญญาณอนาลอกเป็นดิจิตอล หรือ เอทูดี แต่เมื่อสัญญาณที่รับได้ที่ภาครับและพร้อมที่จะออกไปยังเอาท์พุต จำเป็นที่จะต้องแปลงกลับมาเป็นสัญญาณอนาลอกดังเดิมเพื่อนำไปใช้ประโยชน์ต่อไป ดังนั้นจึงต้องมีวงจรเพื่อมาทำการแปลงสัญญาณกลับมาเป็นสัญญาณอนาลอกดังเดิมเพื่อนำไปใช้ประโยชน์ต่อไป ดังนั้นจึงต้องมีวงจรเพื่อมาทำการแปลงสัญญาณในส่วนนี้ คือ วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก หรือ ดีทูเอ ซึ่งในที่นี้จะใช้เป็น ดีทูเอ ไอซีเบอร์ DAC0808 ซึ่งเป็นดีทูเอขนาด 8 บิต และใช้โวลเตจอ้างอิง 12 โวลต์ โดยแสดงดังรูปที่ 3.26



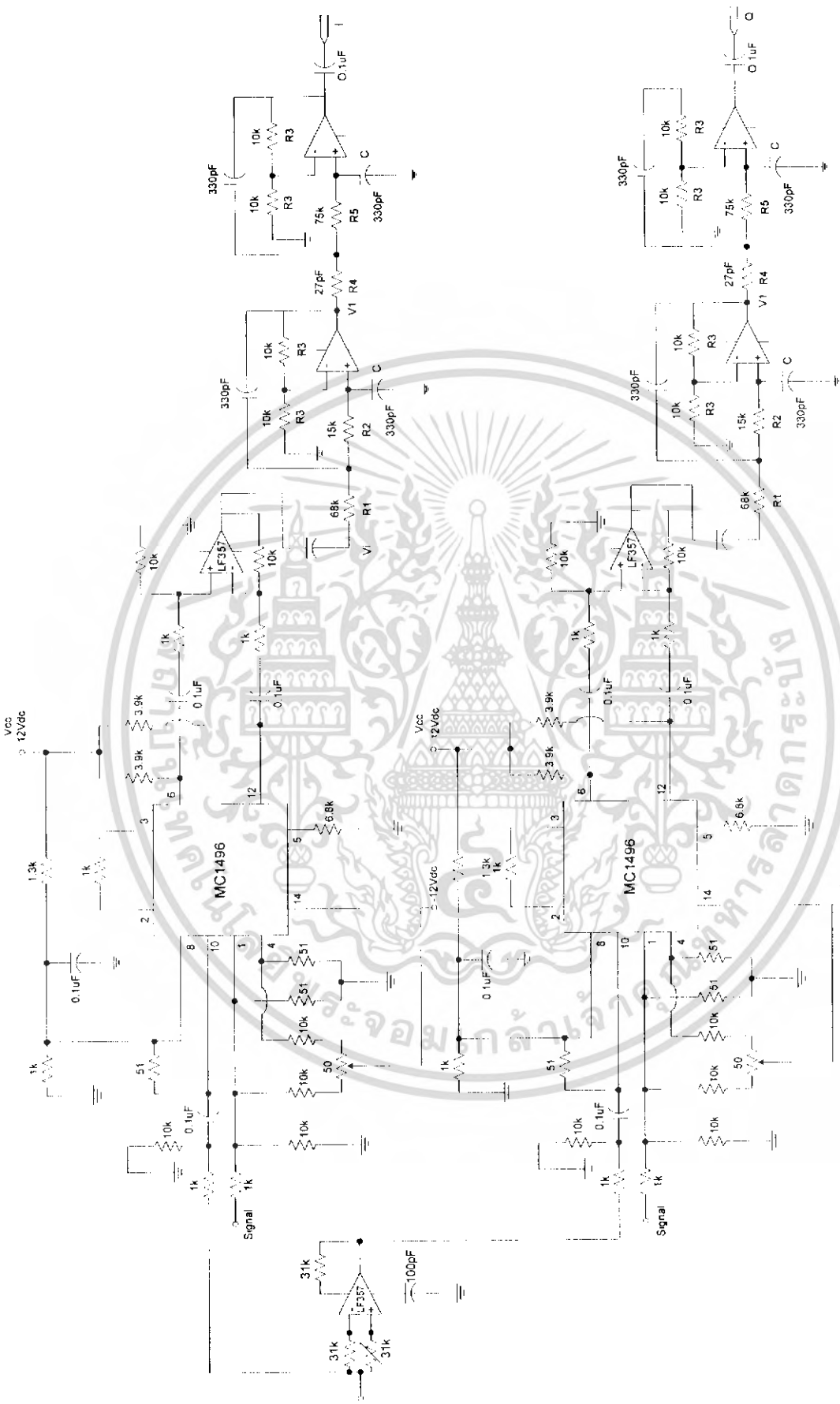
รูปที่ 3.26 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



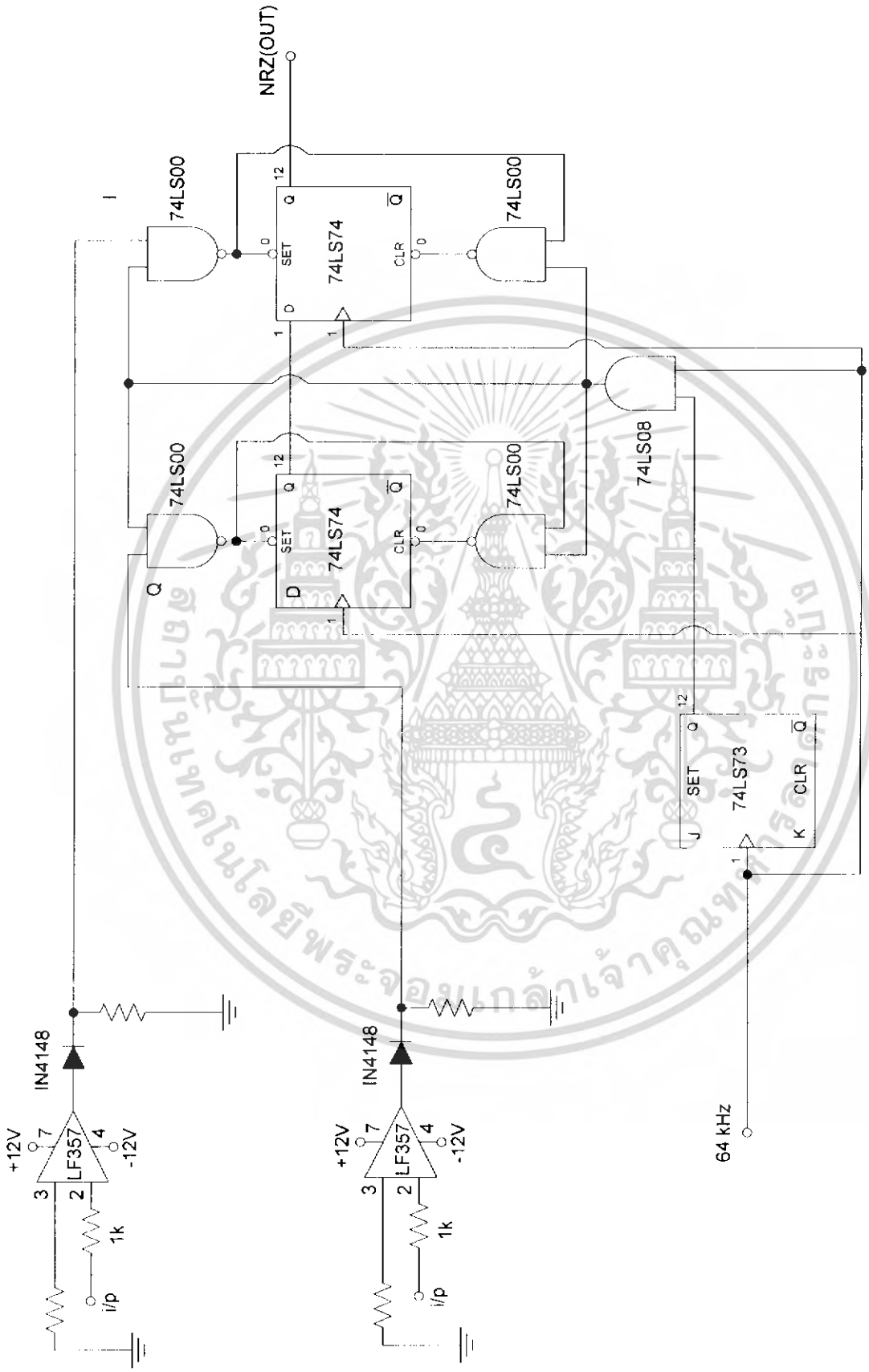
รูปที่ 3.27แสดงวงจรรวมภาครับส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.28แสดงวงจรรวมภาครับส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.29แสดงวงจรรวมภาครับส่วนที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

การทดลองและผลการทดลอง

การทดสอบวงจรส่วนภาคส่ง

4.1 การทดสอบวงจรผลิตสัญญาณความถี่ 64 kHz

วัตถุประสงค์ : เพื่อให้ทราบลักษณะการทำงานของวงจรซึ่งนำมาใช้ผลิตสัญญาณโดยใช้คริสตอลต่อกับไอซีเบอร์ 4060 พร้อมทั้งศึกษาถึงลักษณะของสัญญาณที่วัดออกมาได้จากวงจรดังกล่าว

4.1.1 ขั้นตอนการทดลอง

1) ต่อวงจรผลิตสัญญาณความถี่ 64 kHz ดังรูปที่ 3.12 โดยใช้คริสตอล (X-TAL) ต่อกับไอซีเบอร์ 4060

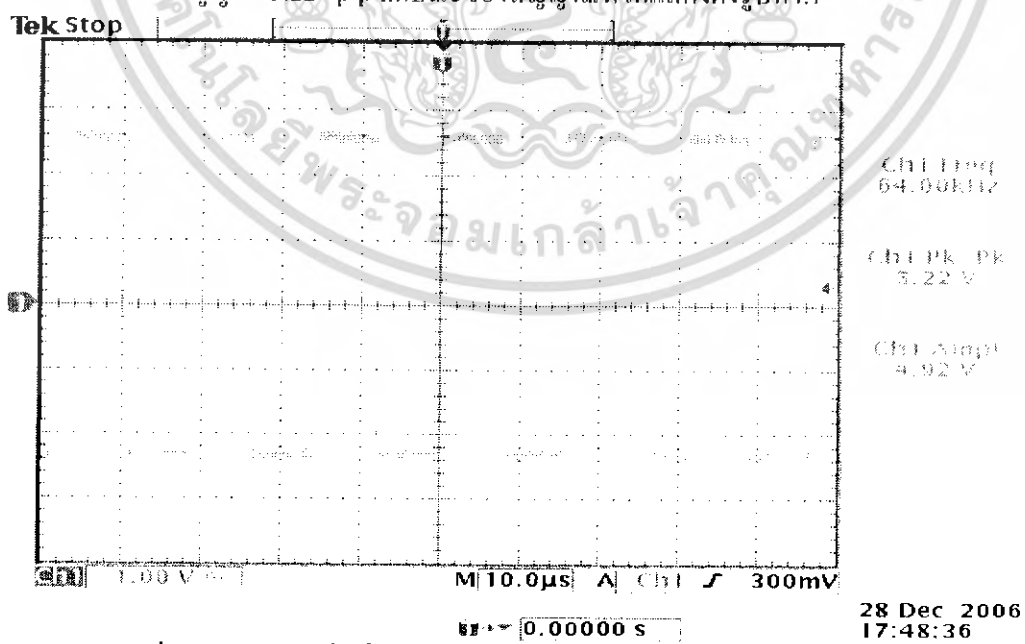
2) ป้อนสัญญาณไฟเลี้ยง5Vdc เข้าที่ขา 16ซึ่งเป็นขาของVcc ของไอซีเบอร์ 4060

3) วัดสัญญาณที่ขาต่างๆของไอซีเบอร์ 4060

4) สังเกตผลการทดลอง ลักษณะของสัญญาณที่ได้ ตลอดจนความถี่ของสัญญาณ พร้อมทั้งบันทึกผลการทดลอง

4.1.2 ผลการทดลอง

สัญญาณที่วัดได้ที่ขาต่างๆ ของไอซีเบอร์ 4060 มีลักษณะเป็นสัญญาณคลื่นสี่เหลี่ยม (Square Wave) โดยมีความถี่ที่แตกต่างกันออกไป ซึ่งขาที่4ของไอซีเบอร์ 4060 เราสามารถวัดสัญญาณได้ความถี่ 64 kHz และมีขนาดสัญญาณ 5.22Vp-p ลักษณะของสัญญาณที่ได้แสดงดังรูปที่4.1



รูปที่ 4.1 สัญญาณคลื่นสี่เหลี่ยมที่ได้จากวงจรผลิตสัญญาณความถี่ 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 สรุปผลการทดลอง

วงจรผลิตสัญญาณโดยการต่อคริสตอลกับไอซีเบอร์ 4060 สามารถที่จะทำการกำเนิดสัญญาณคลื่นความถี่ต่างๆได้ซึ่งที่ขาที่ 4 ของไอซีเบอร์ 4060 จะให้กำเนิดสัญญาณที่ความถี่ 64 kHz ที่มีเสถียรภาพค่อนข้างสูงโดยคลื่นที่ผลิตออกมาเป็นสัญญาณคลื่นสี่เหลี่ยม ซึ่งนำไปใช้เป็นสัญญาณนาฬิกาอ้างอิงของวงจรส่วนอื่นๆต่อไปได้

4.2 การทดสอบวงจรกำเนิดข้อมูลขนาดความเร็ว 64 kbps

เนื่องจากเครื่องรับ-ส่ง 4 ช่องสัญญาณแบบ QPSK สามารถรับสัญญาณที่เข้ามาเป็นสัญญาณดิจิตอลหรือสัญญาณอนาลอกก็ได้ โดยสัญญาณดิจิตอลที่ใช้ในการทดสอบสร้างจากวงจรให้กำเนิดข้อมูลขนาดความเร็ว 64 kbps ขึ้นไปโดยใช้ไอซี 74LS165 ซึ่งทำงานเป็น Parallel-Load 8 Bit Shift Register ดังรูปที่ 3.15 ซึ่งข้อมูลที่โหลดเข้ามาทดสอบสามารถกำหนดได้โดยการปรับสวิตช์สัญญาณนาฬิกาที่ใช้ เลื่อนข้อมูล 64 kHz

วัตถุประสงค์ : เพื่อทำการศึกษาการทำงานและลักษณะของสัญญาณที่ได้จากวงจรกำเนิดสัญญาณข้อมูลขนาดความเร็ว 64 kbps

4.2.1 ขั้นตอนการทดลอง

1.) ต่อวงจรกำเนิดสัญญาณข้อมูลขนาดความเร็ว 64 kbps โดยใช้ไอซีเบอร์ 74LS165 ดังรูปที่ 3.13

2.) กำหนดลักษณะของข้อมูลที่จะป้อนไปเพื่อทำการทดสอบในวงจรส่วนอื่นๆโดยในที่นี้จะทำการกำหนดข้อมูลที่จะส่งเป็น “1 0 0 1 1 1 0 1” การกำหนดในส่วนนี้สามารถจะกำหนดเป็นรหัสใดๆก็ได้ โดยสามารถกำหนดได้ 8 บิตซึ่งทำได้โดยถ้าต้องการจะให้เป็นรหัส “0”ทำได้โดยการสับสวิตช์ต่อลงกราวด์ถ้าต้องการรหัส “1”ทำได้โดยไม่ต้องต่อสวิตช์ลงกราวด์

3.) จ่ายไฟเลี้ยง 5 Vdc ให้กับวงจรโดยเข้าที่ขา 16 ของไอซีเบอร์ 74LS165 และป้อนสัญญาณนาฬิกา 64 kHz ที่สร้างได้จากวงจรในส่วนแรกเข้าที่ขาสองของไอซีเบอร์ 74LS165

4.) วัดสัญญาณเอาต์พุตที่ขา 9 ของไอซีเบอร์ 74LS165 โดยเปรียบเทียบกับสัญญาณนาฬิกา 64 kHz

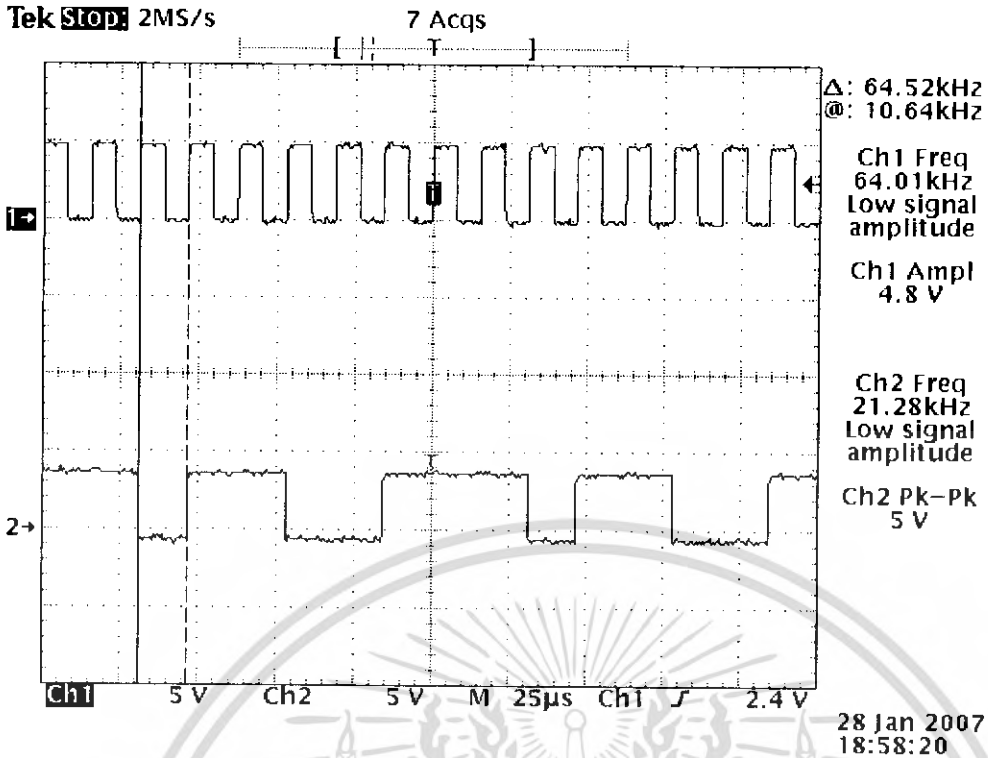
5.) สังเกตลักษณะของสัญญาณที่ได้จากออสซิลโลสโคปพร้อมทั้งบันทึกผลการทดลอง

4.2.2 ผลการทดลอง

สัญญาณที่วัดได้มีลักษณะเป็นข้อมูลแบบอนุกรม (Serial) ติดต่อกันไป โดยมีขนาดสัญญาณเป็น 5 Vp-p และมีรหัสของข้อมูลเป็นไปตามที่เรากำหนดคือ “1 0 0 1 1 1 0 1” และจะซ้ำกันไปเช่นนี้ทุกๆ 8 บิตของข้อมูลดังรูปที่4.2 โดย CH1 ของกราฟเป็นสัญญาณนาฬิกาอ้างอิง 64 kHz

ส่วน CH2 ของกราฟเป็นสัญญาณข้อมูล “1 0 0 1 1 1 0 1”ที่เรากำหนดขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 สัญญาณข้อมูลที่เรากำหนดขึ้น เปรียบเทียบกับสัญญาณนาฬิกา 64 kHz

CH 1 สัญญาณนาฬิกาอ้างอิง 64 kHz

CH 2 สัญญาณข้อมูล "1 0 0 1 1 1 0 1"

4.2.3สรุปผลการทดลอง

วงจรกำเนิดข้อมูลสามารถสร้างข้อมูลที่แตกต่างกัน โดยการกำหนดของผู้ใช้งาน สัญญาณที่ออกมามีลักษณะเป็นข้อมูลอนุกรมซึ่งมีอัตราเร็วในการส่งข้อมูล เท่ากับสัญญาณนาฬิกาที่ป้อนให้กับวงจร ในที่นี้ก็คือ 64 kbps

4.3 การทดสอบวงจรกำเนิดสัญญาณคลื่นพาห์ความถี่ 512 kHz

วัตถุประสงค์ : เพื่อทำการศึกษาการทำงานของวงจรกำเนิดสัญญาณความถี่ ซึ่งสร้างจากไอซีเบอร์ 4060 ซึ่งทำหน้าที่เป็นเฟสล็อคลูป และศึกษาคุณลักษณะ (characteristic) ของวงจรฟิลเตอร์ ที่นำมาใช้ในการกรองสัญญาณสี่เหลี่ยมให้เป็นสัญญาณคลื่นไซน์

โดยจะพิจารณาผลการทดลองของวงจรแยกเป็น 2ส่วน คือ ส่วนของวงจรเฟสล็อคลูป ซึ่งใช้ไอซีเบอร์ 4060 และส่วนของวงจรกรองความถี่ (ฟิลเตอร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 การทดสอบวงจรเฟสล็อกลูปโดยใช้ไอซีเบอร์ 4060

4.3.1.1 ขั้นตอนการทดลอง

1) ทำการต่อวงจรเฟสล็อกลูปโดยใช้ไอซีเบอร์ 4060 ต่อกับวงจรหารความถี่ด้วย 8 ซึ่งใช้ไอซีเบอร์ 74LS90 ดังรูปที่3.11

2) ป้อนสัญญาณคลื่นสี่เหลี่ยม ซึ่งเป็นสัญญาณนาฬิกาอ้างอิง 64 kHz ที่ได้จากวงจรในส่วนแรกเข้าที่ขา 14 ของไอซีเบอร์4060

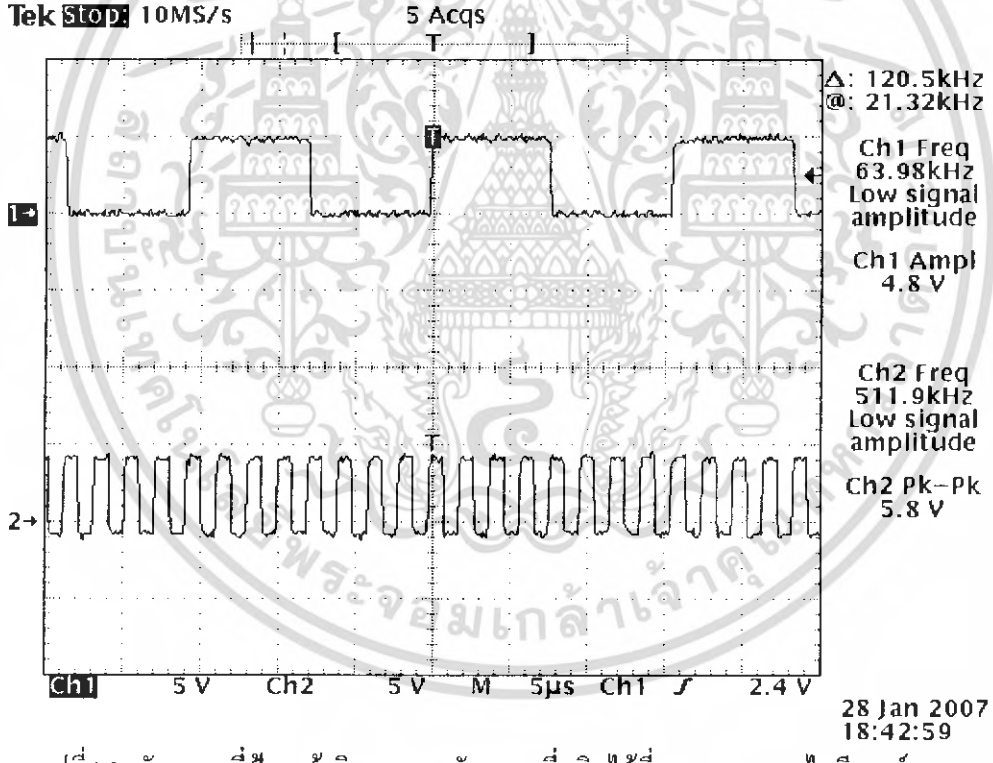
3) ป้อนไฟเลี้ยง 5 Vdcเข้าที่ขา16 ของไอซีเบอร์4060 และเข้าที่ขา 5 ของไอซีเบอร์ 74LS90

4) วัดสัญญาณเอาต์พุตที่ขา4 ซึ่งเป็นขา VCO ซึ่งเป็นขาของไอซีเบอร์ 4060

5) สังเกตและบันทึกผลการทดลอง

4.3.1.2 ผลการทดลอง

สัญญาณเอาต์พุตที่วัดได้ขา4ของไอซีเบอร์4060 ได้สัญญาณคลื่นสี่เหลี่ยมซึ่งมีความถี่ 521.7 kHz และมีขนาดสัญญาณ 5.8 Vp-p ดังรูปที่ 4.3



รูปที่4.3 สัญญาณที่ป้อนเข้าอินพุตและสัญญาณที่ผลิตได้ที่ขา VCO ของไอซีเบอร์ 4046

CH 1 สัญญาณนาฬิกาที่ป้อนเข้าอินพุตขา 14

CH 2 สัญญาณที่ผลิตได้ที่เอาต์พุต VCO ขา 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1.3 สรุปผลการทดลอง

วงจรเฟสล็อคลูปซึ่งใช้ไอซีเบอร์4060 สามารถผลิตความถี่พาหะ 512 kHz ได้ โดยสัญญาณที่ได้นั้นจะเป็นคลื่นสี่เหลี่ยม แต่ความต้องการของวงจร ต้องการสร้างคลื่นไซน์เพื่อนำไปสร้างภาคมอดูเลตต่อไป ซึ่งเราจำเป็นที่จะต้องแปลงจากคลื่นสี่เหลี่ยมเป็นคลื่นไซน์โดยใช้วงจรฟิลเตอร์

4.3.2 การทดสอบวงจรกรองความถี่ผ่าน

4.3.2.1 ขั้นตอนการทดลอง

1) ต่อวงจรกรองความถี่ผ่านย่าน 512 kHz แบบ Positive Feedback Band Pass Filter ดังรูปที่ 3.7

2) จากการคำนวณทางทฤษฎีพบว่าถ้าต้องการความถี่กลางที่ 512 kHz ต้องปรับค่าตัวต้านทานปรับค่าได้ (Rv) ให้มีค่า 540.15โอห์ม ดังนั้นปรับค่า Rv เป็น540.15โอห์ม

3) เนื่องจากเป็นแอกทีฟฟิลเตอร์ ดังนั้นป้อนไฟเลี้ยง 12Vdc เข้าที่ขา7 และที่ไฟเลี้ยง-12Vdc เข้าที่ขา4ของออปแอมป์แมอร์LF357

4) ป้อนสัญญาณคลื่นไซน์ขนาด 1 Vp-p ที่ความถี่ค่าต่างๆตั้งแต่ 10 kHz และเพิ่มค่าขึ้นเรื่อยๆเพื่อดูคุณลักษณะของฟิลเตอร์ พร้อมทั้งบันทึกค่าโวลเตจที่วัดได้ที่เอาต์พุตของวงจรกรองความถี่ที่ความถี่ค่าต่างๆ

5) สังเกตผลการทดลองที่ได้ พร้อมทั้งพล็อตกราฟแสดงคุณลักษณะของวงจรฟิลเตอร์

6) เปลี่ยนจากการป้อนสัญญาณไซน์ เป็นการป้อนสัญญาณคลื่นสี่เหลี่ยมที่ความถี่ 512 kHz เข้าที่อินพุตของฟิลเตอร์

7.) สังเกตสัญญาณที่วัดได้ที่เอาต์พุตของฟิลเตอร์ พร้อมทั้งบันทึกผลการทดลอง

4.3.2.2ผลการทดลอง

สัญญาณที่วัดได้ที่ความถี่ต่างๆ มีลักษณะเป็นสัญญาณคลื่นไซน์ โดยมีขนาดของสัญญาณแสดงดังตารางที่4.1

ความถี่ (kHz)	Voltage ที่วัดได้ (mV)	ความถี่ (kHz)	Voltage ที่วัดได้ (mV)	ความถี่ (kHz)	Voltage ที่วัดได้ (mV)
10	153.1	500	1516	700	318.8
50	171.9	505	1937	750	306.3
100	193.8	510	2375	800	293.8
150	200.0	511	2438	850	281.3
200	193.8	512	2500	900	281.3
250	218.8	513	2500	950	281.3
300	206.2	514	2500	1000	281.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ (kHz)	Voltage ที่วัดได้ (mV)	ความถี่ (kHz)	Voltage ที่วัดได้ (mV)	ความถี่ (kHz)	Voltage ที่วัดได้ (mV)
350	231.2	515	2469	2000	218.8
400	309.4	520	2250		
450	387.5	530	1594		
460	475	540	1141		
470	368.7	550	890.6		
480	765.6	600	487.5		
490	1031	650	381.3		

ตารางที่ 4.1 ค่าVoltage ที่วัดได้ที่ค่าความถี่ต่างๆของวงจรกรองความถี่ผ่าน 512 kHz

จากค่าของข้อมูลในตารางที่ 4.1 สามารถนำมาพล็อตเป็นกราฟเพื่อศึกษาคุณลักษณะของวงจรกรองความถี่ผ่านได้ดังรูปที่ 4.4

4.3.2.3 สรุปผลการทดลอง

จากกราฟแสดงคุณลักษณะของวงจรกรองความถี่ จะเห็นว่าเป็นวงจรกรองความถี่ช่วงผ่าน (Band Pass Filter) โดยมีค่าความถี่กลางประมาณ 512 kHz จะเห็นว่ากราฟคุณลักษณะมีความคมค่อนข้างสูงมาก ซึ่งจากการออกแบบจะใช้ค่า Q (ค่าอัตราส่วนความถี่กลางต่อแบนด์วิธ) ประมาณ 40 เนื่องจากต้องการความถี่ที่เป็นสัญญาณคลื่นไซน์โดยไม่มีฮาร์โมนิคอื่นๆ มาปนด้วยมาใช้เป็นสัญญาณคลื่นพาห์ซึ่งต้องการความถูกต้องสูงโดยดูได้จากการที่ป้อนสัญญาณคลื่นสี่เหลี่ยมซึ่งประกอบด้วยคลื่นไซน์หลายๆความถี่หรือมีฮาร์โมนิคต่างๆแต่วงจรจะเลือกกรองเฉพาะในส่วนความถี่ 512 kHz ทำให้สัญญาณที่ออกเอาต์พุตเป็นลักษณะเป็นคลื่นไซน์ที่ความถี่ 512 kHz

4.4 การทดสอบวงจรแยกบิต

วัตถุประสงค์ : เพื่อทำการศึกษาการทำงานของวงจรซึ่งทำหน้าที่ในการแยกบิตของสัญญาณ โดยใช้วงจรฟลิปฟลอป ออกเป็นสัญญาณด้าน I และด้าน Q

4.4.1 ขั้นตอนการทดลอง

1.) ต่อวงจรแยกบิตโดยใช้ดีฟลิปฟลอป(D-Flip-Flop) ซึ่งอยู่ภายในไอซีเบอร์ 74LS74 ดังรูปที่ 3.2

2.) ป้อนสัญญาณข้อมูลที่ถูกกำหนดมาจากวงจรกำเนิดข้อมูลขนาด 64kbps ซึ่งมีรหัสข้อมูลเป็น "10111001"

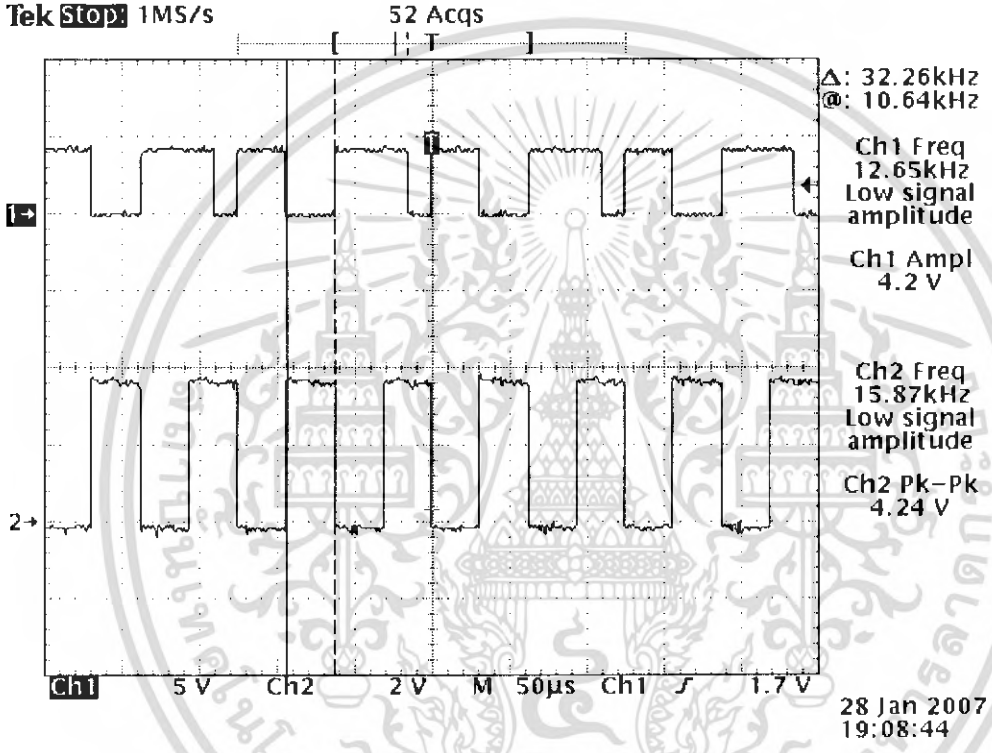
3.) ทำการป้อนไฟเลี้ยง 5Vdc เข้าที่ขาเซ็ทและเคลียร์ (ขาที่ 1,4และ10,13)เพื่อให้ขาเซ็ทและเคลียร์มีสถานะเป็น "High" กล่าวคือมีลอจิกเป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.) สังเกตและบันทึกผลของสัญญาณที่วัดได้ที่เอาต์พุตทั้งทางด้าน I (In Phase) ทางด้าน Q (Quadrature Phase) เปรียบเทียบกับสัญญาณอินพุตที่ป้อนเข้ามา

4.4.2 ผลการทดลอง

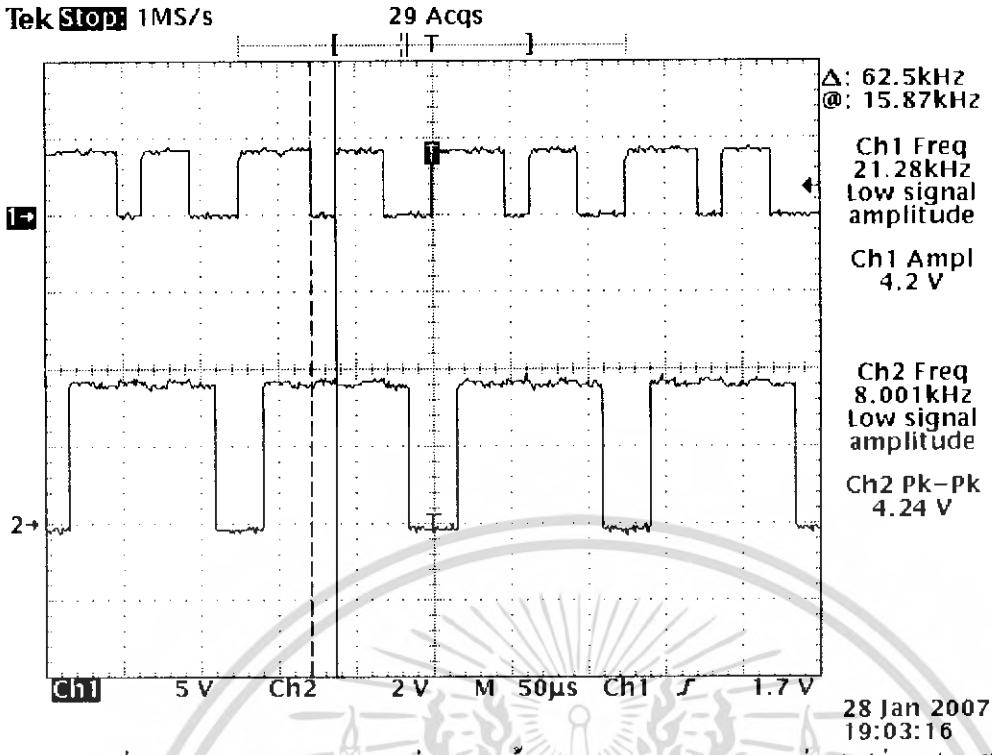
1.) สัญญาณที่วัดได้ด้าน I (Inphase) คือ " 1 0 1 0" สลับกันเรื่อยไป มีความถี่ 16.13 kHz และมีขนาดสัญญาณดังรูปที่ 4.4



รูปที่ 4.4 สัญญาณข้อมูลอินพุตที่กำหนดขึ้นเปรียบเทียบกับสัญญาณที่วัดได้ที่เอาต์พุตด้าน I
CH 1 สัญญาณข้อมูลความเร็ว 64 kbps ที่กำหนดขึ้น มีรหัสข้อมูลเป็น "1 0 0 1 1 1 0 1"
CH 2 สัญญาณที่วัดได้ที่เอาต์พุตของวงจรแยกบิตด้าน I มีรหัสข้อมูลเป็น " 1 0 1 0"

2.) สัญญาณที่วัดได้ที่ด้าน Q (Quadrature phase) คือ " 0 1 1 1 " สลับกันเรื่อยไป มีความถี่ 8 kHz และมีขนาดสัญญาณ 5.4 Vp-p ดังรูป 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

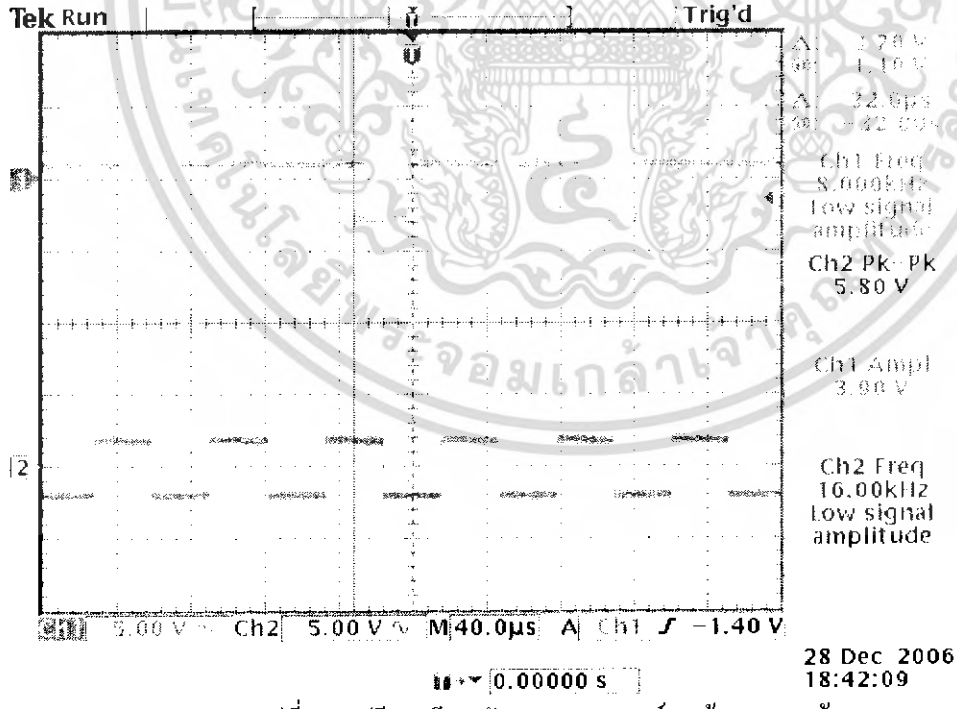


รูปที่ 4.5 สัญญาณข้อมูลอินพุตที่กำหนดขึ้นเปรียบเทียบกับสัญญาณที่วัดได้ที่เอาต์พุตด้าน Q

CH 1 สัญญาณข้อมูลความเร็ว 64 kbps ที่กำหนดขึ้น มีรหัสข้อมูลเป็น " 1 0 0 1 1 1 0 1"

CH 2 สัญญาณที่วัดได้ที่เอาต์พุตของวงจรแยกบิตด้าน Q มีรหัสข้อมูลเป็น " 0 1 1 1 "

เมื่อนำสัญญาณด้าน I และ Q มาแสดงร่วมกันของออสซิลโลสโคป จะได้สัญญาณดังแสดงในรูปที่ 4.6



รูปที่ 4.6 เปรียบเทียบสัญญาณของเอาต์พุตด้าน I และด้าน Q

CH 1 สัญญาณเอาต์พุตด้าน I มีรหัสสัญญาณ " 1 0 1 0"

CH 2 สัญญาณเอาต์พุตด้าน Q มีรหัสสัญญาณ "0 1 1 1 "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.3 สรุปผลการทดลอง

วงจรแยกบิตโดยใช้การทำงานของฟลิปฟลอป สามารถที่จะทำการแยกบิตออกได้เป็นเอาต์พุตด้าน I และด้าน Q โดยทำหน้าที่ในการแปลงสัญญาณจากข้อมูลอนุกรม (Serial) เป็นข้อมูลแบบขนาน (Parallel) โดยมีการแยกบิตคี่ของสัญญาณข้อมูลที่เข้ามา (บิตที่ 1,3,5,...) ออกเอาต์พุตในด้าน I (Inphase) และสัญญาณบิตคู่ (บิตที่ 2,4,6,...) ออกเป็นเอาต์พุตด้าน Q (Quadrature phase)

4.5 การทดสอบวงจรบาลานซ์มอดูเลเตอร์

วัตถุประสงค์ : เพื่อศึกษาการทำงานของวงจรบาลานซ์มอดูเลเตอร์ หลักการมอดูเลตสัญญาณและลักษณะของสัญญาณที่ได้รับแบบต่าง ๆ จากวงจรบาลานซ์มอดูเลเตอร์

4.5.1 ขั้นตอนการทดลอง

1.) ทำการต่อวงจรเฉพาะในส่วนของวงจรบาลานซ์มอดูเลเตอร์ ดังรูปที่ 3.4

2.) ป้อนไฟเลี้ยง 12,-12 Vdc ให้กับวงจรโดยป้อนเข้าไปยังตำแหน่งที่กำหนดในรูปที่ 3.4

3.) ป้อนสัญญาณคลื่นพาห์โดยใช้สัญญาณคลื่นไซน์ที่มีความถี่ 512 kHz ขนาดสัญญาณ 60 mVrms (84 mVp-p) เข้าที่ขา 10 ของไอซีเบอร์ MC 1496 โดยผ่านตัวเก็บประจะขนาด 0.1 ไมโครฟารัด และป้อนสัญญาณคลื่นที่มาทำการมอดูเลตโดยใช้สัญญาณคลื่นไซน์ความถี่ 64 kHz ขนาดสัญญาณ 300 mVrms (424 mVp-p) เข้าที่ขา 1 ของไอซีเบอร์ MC1496 (ค่าขนาดของสัญญาณที่อินพุต ทั้งสัญญาณคลื่นพาห์และสัญญาณที่นำมามอดูเลต เป็นค่าที่กำหนดตามข้อมูลที่อ้างอิงจากคู่มือการใช้ไอซีเบอร์ (MC1496)

4.) วัดสัญญาณเอาต์พุตที่ได้รับ โดยใช้ออสซิลโลสโคป พร้อมทั้งวัดสเปกตรัมความถี่ของสัญญาณที่ได้รับ

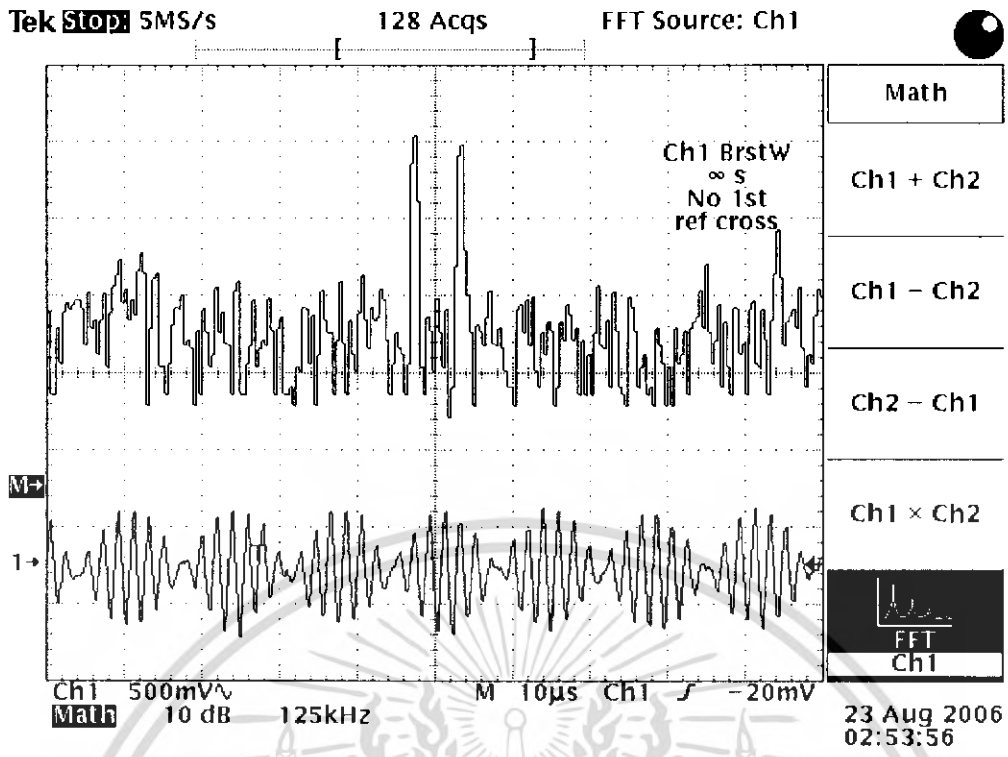
5.)เปลี่ยนจากสัญญาณข้อมูลที่เป็นสัญญาณคลื่นไซน์เป็นสัญญาณคลื่นสี่เหลี่ยมโดยป้อนจากฟังก์ชันเจนเนอเรเตอร์ โดยที่ขนาดแอมพลิจูดของสัญญาณเช่นเดิม

6.) สังเกตลักษณะของสัญญาณพร้อมทั้งเก็บบันทึกผลการทดลอง

4.5.2 ผลการทดลอง

ลักษณะของสัญญาณที่วัดได้ที่เอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์ มีลักษณะเป็นสัญญาณที่มีไซด์แบนด์สองข้าง โดยที่สัญญาณคลื่นพาห์ถูกกำจัดไป (Double Sideband Suppressed Carrier : DSB-SC) โดยลักษณะของสัญญาณมีลักษณะเป็นลูป ๆ ดังแสดงในรูปที่ 4.7 โดยมีขนาดของสัญญาณที่ค่อนข้างเล็กมากคือ 48.8 mVp-p

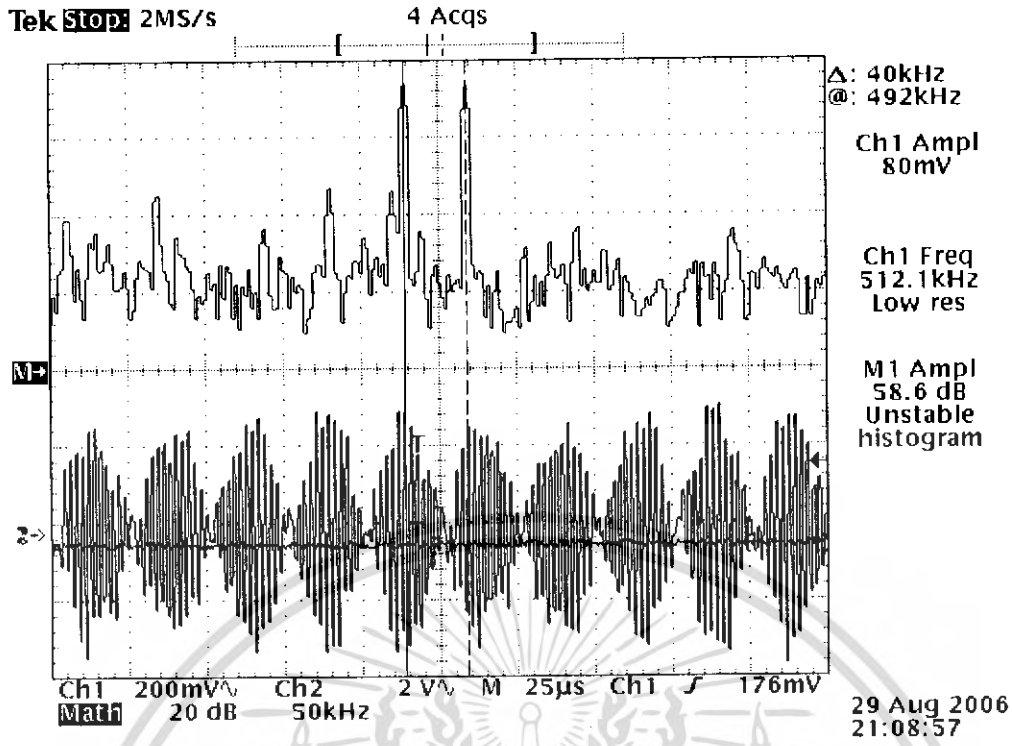
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.7 เอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์ ซึ่งเป็น Double Sideband Suppressed Carrier

และเมื่อวัดสเปกตรัมความถี่ของสัญญาณที่เอาต์พุตของบาลานซ์มอดูเลเตอร์ จะพบสเปกตรัมที่เป็นไซด์แบนด์ทั้งสองข้างของสัญญาณคลื่นพาห์ โดยที่ไซด์แบนด์อยู่ห่างกัน 128 kHz โดยที่ไซด์แบนด์ที่อยู่ต่ำกว่า (Lower Sideband) อยู่ที่ตำแหน่งความถี่ 448 kHz (มาจากความถี่สัญญาณพาห์ลบออกด้วยความถี่ของสัญญาณที่มามอดูเลต : $f_{carrier} - f_{signal}$) กล่าวคือ 512 kHz – 64 kHz = 448 kHz เช่นกันในกรณีของไซด์แบนด์ที่อยู่สูงกว่า (Upper Sideband) จะอยู่ที่ตำแหน่ง 576 kHz มาจากความถี่คลื่นพาห์บวกด้วยความถี่ของสัญญาณที่มามอดูเลต : $f_{carrier} + f_{signal}$) กล่าวคือ 512 kHz + 64 kHz = 576 kHz ดังแสดงในรูปที่ 4.8

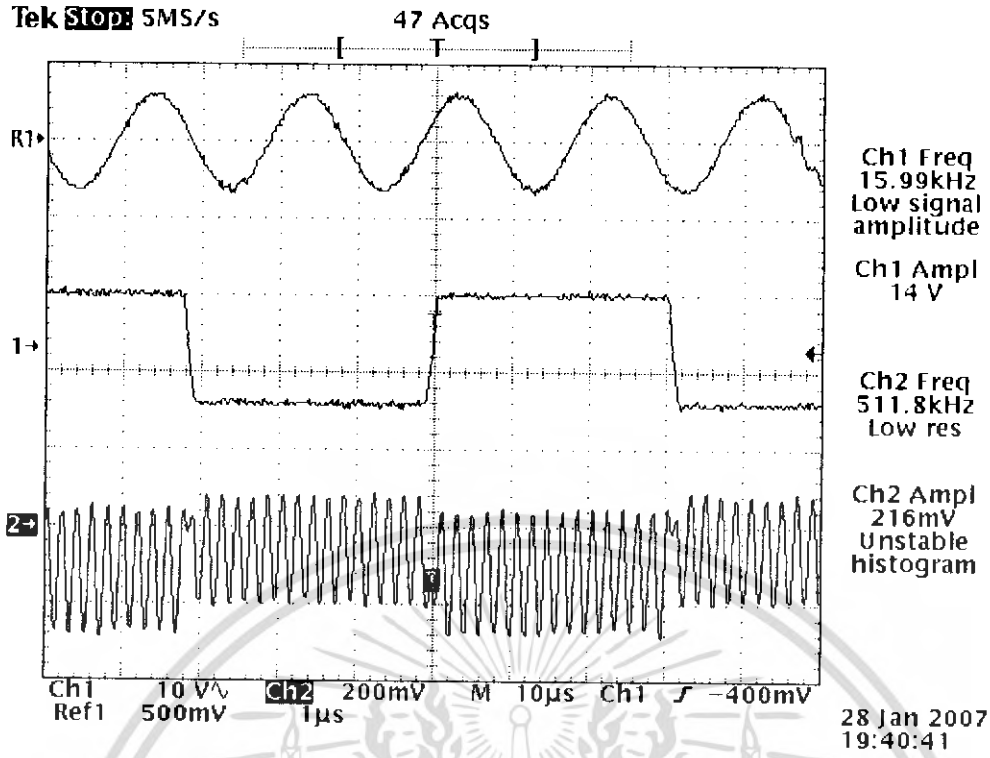
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.8 สเปกตรัมความถี่ที่เอาต์พุตวงจรบาลานซ์มอดูเลเตอร์ ซึ่งเป็น Double Sideband Suppressed Carrier

และเมื่อทำการทดลองโดยการเปลี่ยนสัญญาณคลื่นที่นำมามอดูเลตจากสัญญาณคลื่นไซน์เป็นสัญญาณคลื่นสี่เหลี่ยม ซึ่งก็เปรียบเสมือนข้อมูลที่เราส่งผ่านมา โดยกำหนดขนาดของสัญญาณตามขนาดมาตรฐานที่กำหนดไว้ในคู่มือไอซีเบอร์ MC1496 เช่นเดิม ลักษณะของสัญญาณที่วัดได้ที่เอาต์พุตของบาลานซ์มอดูเลเตอร์ จะมีลักษณะมีการชิฟของเฟสทุกๆครั้งที่มีการเปลี่ยนแปลงของรหัสข้อมูลจากรหัส "0" เป็น "1" ซึ่งเป็นลักษณะการทำงานของวงจร QPSK นั่นเอง ดังแสดงในรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงสัญญาณคลื่นพาห์มอดูเลตกับสัญญาณกับสัญญาณคลื่นสี่เหลี่ยม (ข้อมูล) และแสดงเอาต์พุตที่มาทำการชิฟเฟสของสัญญาณคลื่นพาห์

REF 1 สัญญาณคลื่นพาห์ความถี่ 512 kHz

CH 1 สัญญาณคลื่นสี่เหลี่ยม(ข้อมูล) ความถี่ 64 kHz

CH 2 สัญญาณที่วัดได้ที่เอาต์พุตของวงจรบาลานซ์มอดูเลเตอร์

4.5.3 สรุปผลการทดลอง

วงจรบาลานซ์มอดูเลเตอร์เป็นวงจรที่ทำหน้าที่ในการมอดูเลตสัญญาณคลื่นพาห์กับสัญญาณข้อมูล โดยได้สัญญาณที่มีลักษณะที่มีไซด์แบนด์สองข้าง โดยที่ความถี่พาห์ถูกกำจัดทิ้งไป และในกรณีที่สัญญาณที่เข้ามามอดูเลตกับคลื่นพาห์เป็นสัญญาณคลื่นสี่เหลี่ยม (สัญญาณข้อมูล) จะได้เอาต์พุตที่มีลักษณะที่มีการชิฟเฟสของสัญญาณคลื่นพาห์ไปทุกๆ ครั้งที่มีการเปลี่ยนแปลงจากรหัสของข้อมูลจากรหัส "0" เป็น "1"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การทดลองวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

ในการทดลองวงจรเมื่อเราทำการป้อนสัญญาณรูปคลื่นไซน์ที่ความถี่ 1 เฮิรตซ์ เข้าทางด้านอินพุต จะเกิดการเปลี่ยนแปลงของหลอด LED โดยหลอด LED จะติดดับสลับกันไป ซึ่งเกิดจากการเปลี่ยนแปลงของระดับแรงดันของสัญญาณรูปคลื่นไซน์ที่ป้อนเข้ามาทางอินพุต

ดังนั้นเพื่อที่จะได้เห็นการเปลี่ยนแปลงในการแปลงสัญญาณอนาลอกเป็นดิจิตอล ในการทดลองนี้จะทำการป้อนแรงดันไฟฟ้ากระแสตรงที่มีค่าตั้งแต่ 0 – 5 โวลต์ เข้าทางด้านอินพุต แล้วทำการบันทึกค่าแรงดันไฟฟ้ากระแสตรงที่ป้อนเข้าทางอินพุตและบันทึกค่าสัญญาณดิจิตอลที่ออกมาทางเอาต์พุต เปรียบเทียบกัน ซึ่งได้ผลการทดลองดังนี้

Vin (v)	Digital Output
0.000	00000000
0.505	00011001
1.002	00110010
1.505	01001100
2.001	01100110
2.506	01111111
3.000	10011001
3.501	10110011
4.005	11001101
4.510	11100111
5.020	11111111

ตารางที่ 4.2 แสดงผลการทดลองวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

Vref (+) = 5 V , Vref (-) = 0 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 การทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

ในการทดลองวงจรเมื่อเราทำการเปลี่ยนแปลงสัญญาณดิจิตอลที่ป้อนเข้าทางอินพุต จะทำให้เกิดการเปลี่ยนแปลงระดับแรงดันที่เอาต์พุต โดยเราจะทำการบันทึกค่าสัญญาณดิจิตอลที่ป้อนเข้าทางอินพุต และบันทึกค่าระดับแรงดันที่ออกมาทางเอาต์พุตเปรียบเทียบกัน ซึ่งได้ผลการทดลองดังนี้

Digital Input	Vout (v)
00000000	-9.890
00000001	-9.820
00000011	-9.660
00000111	-9.360
00001111	-8.740
00011111	-7.500
00111111	-5.020
01111111	-0.045
10000000	0.053
10000001	0.129
10000011	0.282
10000111	0.592
10001111	1.211
10011111	2.449
10111111	4.930
11111111	9.910

ตารางที่ 4.3 แสดงผลการทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

Iref = 2 mA , Rref = 5 KΩ , Vref = 10 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

การทำโครงงานเรื่องเครื่องรับส่ง QPSK นี้ได้ทำการสร้างส่วนประกอบวงจรต่างๆที่จะต้องนำมาใช้ในการส่งสัญญาณเสียงและสัญญาณลอจิก 2 ช่องสัญญาณ ผ่านเครื่องรับส่งแบบ QPSK ซึ่งทั้งระบบประกอบด้วยการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และนำสัญญาณดิจิตอลทั้งสามช่องมามัลติเพลกซ์กัน หลังจากการมัลติเพลกซ์ สัญญาณดิจิตอลจะถูกส่งไปมอดูเลตแบบ QPSK ผลลัพธ์ของสัญญาณที่ได้ก็จะถูกส่งผ่านระบบ AM ทางด้านรับก็จะผลิตสัญญาณคลื่นพาห์ให้เหมือนกับทางด้านส่ง เพื่อดีมอดูเลตแล้วจะถูกนำไปทำการดีมัลติเพล็กซ์แยกสัญญาณดิจิตอลของแต่ละช่องออกจากกัน และถูกนำไปแปลงกลับเป็นสัญญาณเสียงตามเดิม ระบบที่ได้อธิบายไปข้างต้นมีปัญหาในการสร้าง การออกแบบ และมีข้อบกพร่องในบางจุดดังจะกล่าวถึงปัญหาที่เกิดขึ้นดังนี้

ส่วนวงจรภาคส่งข้อมูล

วงจรกำเนิดสัญญาณข้อมูล

เป็นวงจรที่ออกแบบขึ้นมา เพื่อใช้ในการทดสอบการทำงานของวงจร โดยใช้ไอซีเบอร์ 74LS165 ซึ่งทำงานเป็นวงจร Parallel Load 8 Bit Shift Register ต่อวงจรให้ทางด้านเอาต์พุต ป้อนกลับเป็นสัญญาณอนุกรม จึงทำให้ข้อมูลที่โหลดเข้ามาไหลวนเข้าสู่วงจร ข้อมูลที่เข้าสู่วงจรนี้สามารถปรับเปลี่ยนรูปแบบได้ เพื่อให้แน่ใจได้ว่าวงจร QPSK มอดูเลชัน นั้นทำงานได้ถูกต้อง ในขั้นตอนแรกนั้นตั้งรูปแบบของข้อมูลก่อน จากนั้นจึงโหลดข้อมูลให้ไหลวนในวงจร Shift Register มีความเร็ว 64 kbps

วงจรแปลงสัญญาณจากอนุกรมเป็นขนาน

ในการออกแบบใช้การทำงานของ D Flip-Flop เบอร์ 74HC74 ทำหน้าที่หน่วงเวลา 2 บิต หรือว่าเป็น วงจรหารสองนั่นเอง ซึ่งจะช่วยควบคุมจังหวะการรับ-ส่งข้อมูลให้เหมาะสมกัน ข้อมูลถูกแยกเป็นสองด้าน คือ ด้าน I และด้าน Q ซึ่งผลการทดลองของวงจรในภาคนี้ ไม่เกิดข้อผิดพลาด โดยเป็นไปตามหลักการทางทฤษฎีทุกประการ

วงจรกำเนิดสัญญาณคลื่นพาห์

ใช้วงจรเฟสล็อคลูป ซึ่งใช้ไอซีเบอร์ 4046 ทำหน้าที่เป็นวงจรคูณความถี่จากสัญญาณนาฬิกา 64 kHz ให้เป็นสัญญาณความถี่ 512 kHz สัญญาณที่ออกจากเฟสล็อคลูปเป็นสัญญาณคลื่นสี่เหลี่ยม ซึ่งไม่เหมาะที่จะนำมามอดูเลต จึงนำสัญญาณดังกล่าวไปผ่านวงจรกรองความถี่ช่วงผ่าน (Band Pass Filter) สัญญาณที่ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเป็นคลื่นไซน์ วงจรในส่วนนี้ค่อนข้างจะเกิดปัญหาในเรื่องของเสถียรภาพของวงจรเฟสล็อคลูปจนบางครั้งทำให้ได้สัญญาณที่ไม่เสถียรพอ

วงจรกำเนิดสัญญาณนำร่อง

ใช้วงจรเฟสล็อคลูปเช่นเดียวกันกับวงจรกำเนิดสัญญาณคลื่นพาห์ แต่วงจรนี้จะนำสัญญาณความถี่ 32 kHz ที่ได้จากวงจรหารความถี่ด้วย 2 แล้วมาสร้างเป็นสัญญาณนำร่องซึ่งมีความถี่ 480 kHz โดยวงจรเฟสล็อคลูป ซึ่งเมื่อผ่านวงจรกรองความถี่ช่วงผ่านก็จะได้สัญญาณคลื่นไซน์ ปัญหาก็เช่นเดียวกันกับวงจรกำเนิดสัญญาณคลื่นพาห์ กล่าวคือเสถียรภาพของเฟสล็อคลูปบางครั้งมีเสถียรภาพต่ำทำให้สัญญาณบางช่วงไม่นิ่งพอ สัญญาณรบกวนด้วยเพื่อความมีเสถียรภาพของสัญญาณคลื่นพาห์ ป้องกันการเลื่อนเฟสอันเป็นผลทำให้การมอดูเลตผิดพลาดได้

วงจรเลื่อนเฟส 90 องศา

วงจรนี้เหมือนกับวงจรทางด้านภาคส่งทุกประการ ไม่เกิดการผิดเพี้ยนแต่อย่างใด แต่ก็ยังคงต้องป้องกันสัญญาณรบกวนด้วย เพราะมิฉะนั้นจะเกิดการผิดพลาดในการดีมอดูเลตอีกเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] อ.กฤดากร กล่อมการ , การสื่อสารข้อมูล ภาควิชาวิศวกรรมสารสนเทศ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกบาเจ้าคุณทหารลาดกระบัง 2545

[2] ศาสตราจารย์ ดร.วิวัฒน์ กิรานนท์ , วิศวกรรมการสื่อสาร ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกบาเจ้าคุณทหารลาดกระบัง 2546

[3] ดร.ประสิทธิ์ ประพิณมงคลการ , หลักการระบบสื่อสาร บริษัท ซีเอ็ดยูเคชั่น จำกัด (มหาชน) 2539

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT4060
14-stage binary ripple counter with oscillator

Product specification
File under Integrated Circuits, IC06

December 1990

Philips Semiconductors

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHILIPS

14-stage binary ripple counter with oscillator

74HC/HCT4060

FEATURES

- All active components on chip
- RC or crystal oscillator configuration
- Output capability: standard (except for R_{TC} and C_{TC})
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT4060 are high-speed Si-gate CMOS devices and are pin compatible with "4060" of the "4000B" series. They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT4060 are 14-stage ripple-carry counter/dividers and oscillators with three oscillator terminals (RS, R_{TC} and C_{TC}), ten buffered outputs (Q_3 to Q_9 and Q_{11} to Q_{13}) and an overriding asynchronous master reset (MR).

The oscillator configuration allows design of either RC or crystal oscillator circuits. The oscillator may be replaced by an external clock signal at input RS. In this case keep the other oscillator pins (R_{TC} and C_{TC}) floating.

The counter advances on the negative-going transition of RS. A HIGH level on MR resets the counter (Q_3 to Q_9 and Q_{11} to Q_{13} = LOW), independent of other input conditions.

In the HCT version, the MR input is TTL compatible, but the RS input has CMOS input switching levels and can be driven by a TTL output by using a pull-up resistor to V_{CC}.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay	C_L = 15 pF; V_{CC} = 5 V			
	RS to Q_3		31	31	ns
	Q_n to Q_{n+1}		6	6	ns
t_{PHL}	MR to Q_n		17	18	ns
f_{max}	maximum clock frequency		87	88	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1, 2 and 3	40	40	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:

   f_i = input frequency in MHz

   f_o = output frequency in MHz

   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

   C_L = output load capacitance in pF

   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V
3. For formula on dynamic power dissipation see next pages.

ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3	Q_{11} to Q_{13}	counter outputs
7, 5, 4, 6, 14, 13, 15	Q_3 to Q_9	counter outputs
8	GND	ground (0 V)
9	C_{TC}	external capacitor connection
10	R_{TC}	external resistor connection
11	RS	clock input/oscillator pin
12	MR	master reset
16	V_{CC}	positive supply voltage

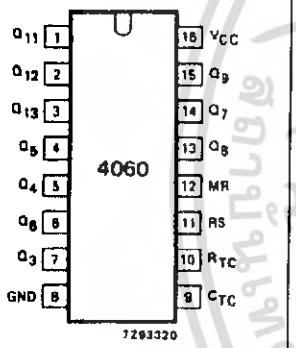


Fig.1 Pin configuration.

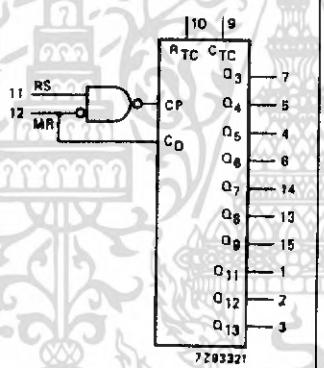


Fig.2 Logic symbol.

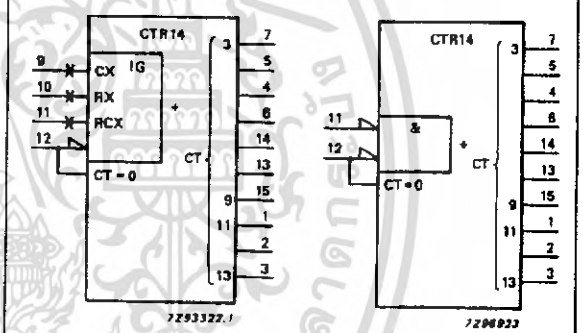


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC POWER DISSIPATION FOR 74HC

PARAMETER	V_{CC} (V)	TYPICAL FORMULA FOR P_D (μW) (note 1)
total dynamic power dissipation when using the on-chip oscillator (P_D)	2.0	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 60 \times V_{CC}$
	4.5	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 1\,750 \times V_{CC}$
	6.0	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 3\,800 \times V_{CC}$

Note

1. GND = 0 V; T_{amb} = 25 °C

DYNAMIC POWER DISSIPATION FOR 74HCT

PARAMETER	V_{CC} (V)	TYPICAL FORMULA FOR P_D (μW) (note 1)
total dynamic power dissipation when using the on-chip oscillator (P_D)	4.5	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 1\,750 \times V_{CC}$

Notes

1. GND = 0 V; T_{amb} = 25 °C
2. Where: f_o = output frequency in MHz
   f_{osc} = oscillator frequency in MHz
   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   C_L = output load capacitance in pF
   C_t = timing capacitance in pF
   V_{CC} = supply voltage in V

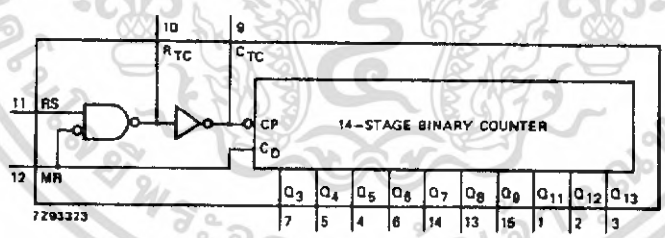


Fig.4 Functional diagram.

APPLICATIONS

- Control counters
- Timers
- Frequency dividers
- Time-delay circuits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

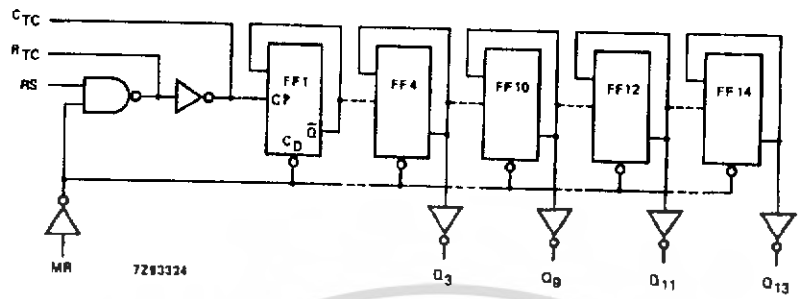


Fig.5 Logic diagram.

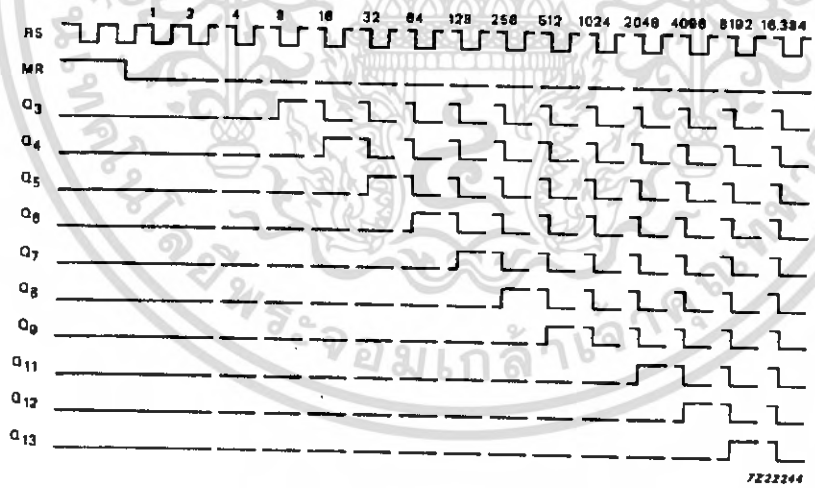


Fig.6 Timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

Output capability: standard (except for R_{TC} and C_{TC})

I_{CC} category: MSI

Voltages are referenced to GND (ground = 0 V)

SYMBOL	PARAMETER	T_{amb} (°C) 74HC							UNIT	TEST CONDITIONS		
		+25			−40 to +85		−40 to +125			V_{CC} (V)	V_I	OTHER
		min.	typ.	max.	min.	max.	min.	max.				
V_{IH}	HIGH level input voltage MR input	1.5 3.15 4.2	1.3 2.4 3.1		1.5 3.15 4.2		1.5 3.15 4.2		V	2.0 4.5 6.0		
V_{IL}	LOW level input voltage MR input		0.8 2.1 2.8	0.5 1.35 1.8		0.5 1.35 1.8		0.5 1.35 1.8	V	2.0 4.5 6.0		
V_{IH}	HIGH level input voltage RS input	1.7 3.6 4.8			1.7 3.6 4.8		1.7 3.6 4.8		V	2.0 4.5 6.0		
V_{IL}	LOW level input voltage RS input			0.3 0.9 1.2		0.3 0.9 1.2		0.3 0.9 1.2	V	2.0 4.5 6.0		
V_{OH}	HIGH level output voltage R_{TC} output	3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	RS=GND and MR=GND	$-I_O$ = 2.6 mA $-I_O$ = 3.3 mA
		3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	RS=V_{CC} and MR=V_{CC}	$-I_O$ = 0.65 mA $-I_O$ = 0.85 mA
		1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	RS=GND and MR=GND	$-I_O$ = 20 µA $-I_O$ = 20 µA $-I_O$ = 20 µA
		1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	RS=V_{CC} and MR=V_{CC}	$-I_O$ = 20 µA $-I_O$ = 20 µA $-I_O$ = 20 µA
V_{OH}	HIGH level output voltage C_{TC} output	3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	RS=V_{IH} and MR=V_{IL}	$-I_O$ = 3.2 mA $-I_O$ = 4.2 mA
V_{OH}	HIGH level output voltage except R_{TC} output	1.9 4.4 5.9	2.0 4.5 6.0		1.9 4.4 5.9		1.9 4.4 5.9		V	2.0 4.5 6.0	V_{IH} or V_{IL}	$-I_O$ = 20 µA $-I_O$ = 20 µA $-I_O$ = 20 µA
V_{OH}	HIGH level output voltage except R_{TC} and C_{TC} outputs	3.98 5.48			3.84 5.34		3.7 5.2		V	4.5 6.0	V_{IH} or V_{IL}	$-I_O$ = 4.0 mA $-I_O$ = 5.2 mA
V_{OL}	LOW level output voltage R_{TC} output			0.26 0.26		0.33 0.33		0.4 0.4		4.5 6.0	RS=V_{CC} and MR=GND	I_O = 2.6 mA I_O = 3.3 mA
			0 0 0	0.1 0.1 0.1		0.1 0.1 0.1		0.1 0.1 0.1	V	2.0 4.5 6.0	RS=V_{CC} and MR=GND	I_O = 20 µA I_O = 20 µA I_O = 20 µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS		
		74HC								V_{CC} (V)	V_I	OTHER
		+25			−40 to +85		−40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
V_{OL}	LOW level output voltage C_{TC} output			0.26 0.26		0.33 0.33		0.4 0.4	V	4.5 6.0	RS=V_{IL} and MR=V_{IH}	I_O = 3.2 mA I_O = 4.2 mA
V_{OL}	LOW level output voltage except R_{TC} output		0 0 0	0.1 0.1 0.1		0.1 0.1 0.1		0.1 0.1 0.1	V	2.0 4.5 6.0	V_{IH} or V_{IL}	I_O = 20 μA I_O = 20 μA I_O = 20 μA
V_{OL}	LOW level output voltage except R_{TC} and C_{TC} outputs			0.26 0.26		0.33 0.33		0.4 0.4	V	4.5 6.0	V_{IH} or V_{IL}	I_O = 4.0 mA I_O = 5.2 mA
$\pm I_I$	input leakage current			0.1		1.0		1.0	μA	6.0	V_{CC} or GND	
I_{CC}	quiescent supply current			8.0		80.0		160.0	μA	6.0	V_{CC} or GND	I_O = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			–40 to +85		–40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay RS to Q_3		99 36 29	300 60 51		375 75 64		450 90 77	ns	2.0 4.5 6.0	Fig.12
t_{PHL}/ t_{PLH}	propagation delay Q_n to Q_{n+1}		22 8 6	80 16 14		100 20 17		120 24 20	ns	2.0 4.5 6.0	Fig.14
t_{PHL}	propagation delay MR to Q_n		55 20 16	175 35 30		220 44 37		265 53 45	ns	2.0 4.5 6.0	Fig.13
t_{THL}/ t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.12
t_W	clock pulse width RS; HIGH or LOW	80 16 14	17 6 5		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.12
t_W	master reset pulse width MR; HIGH	80 16 14	25 9 7		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.13
t_{rem}	removal time MR to RS	100 20 17	28 10 8		125 25 21		150 30 26		ns	2.0 4.5 6.0	Fig.13
f_{max}	maximum clock pulse frequency	6.0 30 35	26 80 95		4.8 24 28		4.0 20 24		MHz	2.0 4.5 6.0	Fig.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

Output capability: standard (except for R_{TC} and C_{TC})
I_{CC} category: MSI
Voltages are referenced to GND (ground = 0 V)

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS		
		74HCT								V_{CC} (V)	V_I	OTHER
		+25			–40 to +85		–40 to +125					
		min.	typ.	max.	min.	max.	min.	max.				
V_{IH}	HIGH level input voltage	2.0			2.0		2.0		V	4.5 to 5.5		note 2
V_{IL}	LOW level input voltage			0.8		0.8		0.8	V	4.5 to 5.5		note 2
V_{OH}	HIGH level output voltage R_{TC} output	3.98			3.84		3.7		V	4.5	RS=GND and MR=GND	$-I_O$ = 2.6 mA
		3.98			3.84		3.7		V	4.5	RS = V_{CC} and MR = V_{CC}	$-I_O$ = 0.65 mA
		4.4	4.5		4.4		4.4		V	4.5	RS=GND and MR=GND	$-I_O$ = 20 μA
		4.4	4.5		4.4		4.4		V	4.5	RS=V_{CC} and MR=V_{CC}	$-I_O$ = 20 μA
V_{OH}	HIGH level output voltage C_{TC} output	3.98			3.84		3.7		V	4.5	RS = V_{IH} and MR = V_{IL}	$-I_O$ = 3.2 mA
V_{OH}	HIGH level output voltage except R_{TC} output	4.4	4.5		4.4		4.4		V	4.5	V_{IH} or V_{IL}	$-I_O$ = 20 μA
V_{OH}	HIGH level output voltage except R_{TC} and C_{TC} outputs	3.98			3.84		3.7		V	4.5	V_{IH} or V_{IL}	$-I_O$ = 4.0 mA
V_{OL}	LOW level output voltage R_{TC} output			0.26		0.33		0.4	V	4.5	RS=V_{CC} and MR=GND	I_O = 2.6 mA
			0	0.1		0.1		0.1	V	4.5	RS=V_{CC} and MR=GND	I_O = 20 μA
V_{OL}	LOW level output voltage C_{TC} output			0.26		0.33		0.4	V	4.5	RS = V_{IL} and MR = V_{IH}	I_O = 3.2 mA
V_{OL}	LOW level output voltage except R_{TC} output		0	0.1		0.1		0.1	V	4.5	V_{IH} or V_{IL}	I_O = 20 μA
V_{OL}	LOW level output voltage except R_{TC} and C_{TC} outputs			0.26		0.33		0.4	V	4.5	V_{IH} or V_{IL}	I_O = 4.0 mA
±I	input leakage current			0.1		1.0		1.0	μA	5.5	V_{CC} or GND	
I_{CC}	quiescent supply current			8.0		80.0		160.0	μA	5.5	V_{CC} or GND	I_O = 0
ΔI_{CC}	additional quiescent supply current per input pin for unit load coefficient is 1 (note 1)		100	360		450		490	μA	4.5 to 5.5	V_{CC} – 2.1 V	other inputs at V_{CC} or GND; I_O = 0

Notes

1. The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given here. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.
2. Only input MR (pin 12) has TTL input switching levels for the HCT versions.

INPUT	UNIT LOAD COEFFICIENT
MR	0.40

AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			–40 to +85		–40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/t_{PLH}	propagation delay RS to Q_3		33	66		83		99	ns	4.5	Fig.12
t_{PHL}/t_{PLH}	propagation delay Q_n to Q_{n+1}		8	16		20		24	ns	4.5	Fig.14
t_{PHL}	propagation delay MR to Q_n		21	44		55		66	ns	4.5	Fig.13
t_{THL}/t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.12
t_W	clock pulse width RS; HIGH or LOW	16	6		20		24		ns	4.5	Fig.12
t_W	master reset pulse width MR; HIGH	16	6		20		24		ns	4.5	Fig.13
t_{rem}	removal time MR to RS	26	13		33		39		ns	4.5	Fig.13
f_{max}	maximum clock pulse frequency	30	80		24		20		MHz	4.5	Fig.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

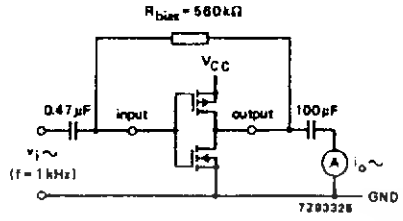


Fig.7 Test set-up for measuring forward transconductance $g_{fs} = di_o / dv_i$ at v_o is constant (see also graph Fig.8); MR = LOW.

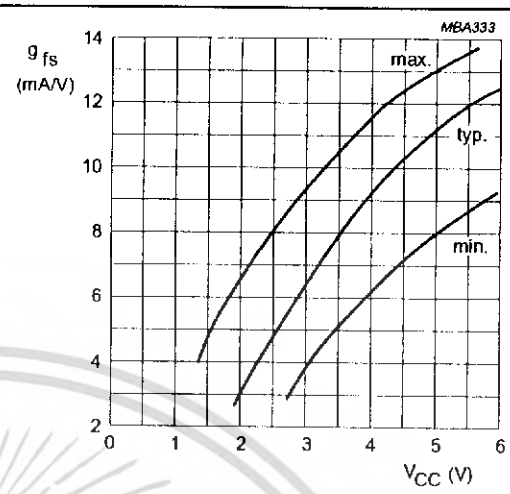


Fig.8 Typical forward transconductance g_{fs} as a function of the supply voltage V_{CC} at T_{amb} = 25 °C.

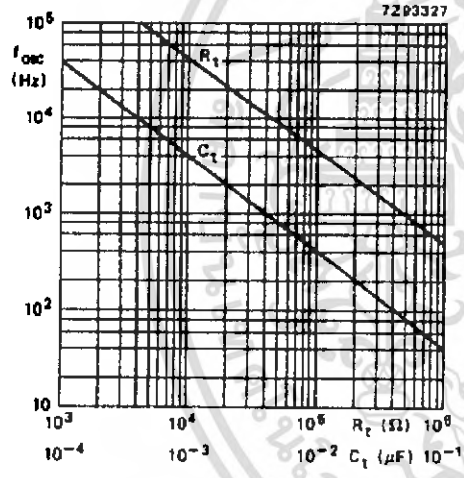


Fig.9 RC oscillator frequency as a function of R_t and C_t at V_{CC} = 2.0 to 6.0 V; T_{amb} = 25 °C. C_t curve at R_t = 100 kΩ; R2 = 200 kΩ. R_t curve at C_t = 1 nF; R2 = 2 × R_t.

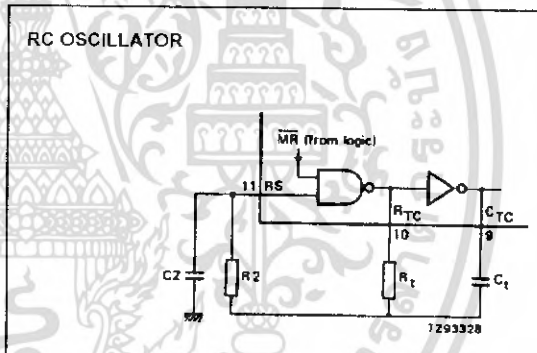


Fig.10 Example of a RC oscillator.

TIMING COMPONENT LIMITATIONS

The oscillator frequency is mainly determined by R_tC_t, provided R2 ≈ 2R_t and R2C2 << R_tC_t. The function of R2 is to minimize the influence of the forward voltage across the input protection diodes on the frequency. The stray capacitance C2 should be kept as small as possible. In consideration of accuracy, C_t must be larger than the inherent stray capacitance. R_t must be larger than the "ON" resistance in series with it, which typically is 280 Ω at V_{CC} = 2.0 V, 130 Ω at V_{CC} = 4.5 V and 100 Ω at V_{CC} = 6.0 V.

The recommended values for these components to maintain agreement with the typical oscillation formula are:

C_t > 50 pF, up to any practical value,

10 kΩ < R_t < 1 MΩ.

In order to avoid start-up problems, R_t ≥ 1 kΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CRYSTAL OSCILLATOR

In Fig.11, R2 is the power limiting resistor. For starting and maintaining oscillation a minimum transconductance is necessary, so R2 should not be too large. A practical value for R2 is 2.2 kΩ.

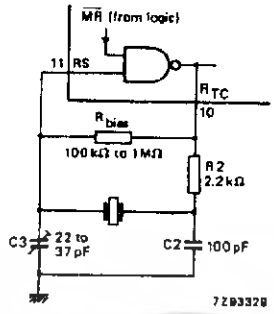
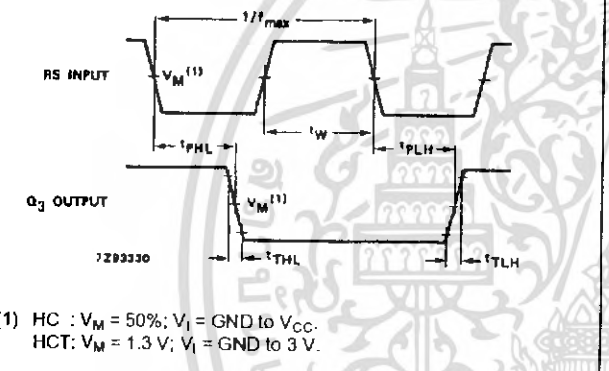


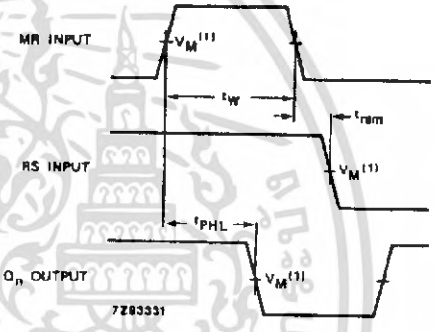
Fig.11 External components connection for a crystal oscillator.

AC WAVEFORMS



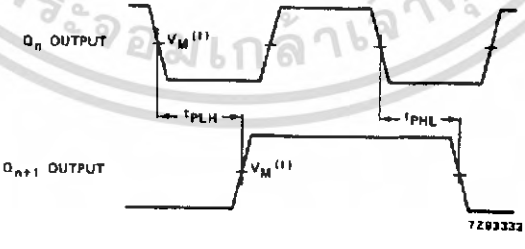
(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.12 Waveforms showing the clock (RS) to output (Q_3) propagation delays, the clock pulse width, the output transition times and the maximum clock frequency.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.13 Waveforms showing the master reset (MR) pulse width, the master reset to output (Q_n) propagation delays and the master reset to clock (RS) removal time.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.14 Waveforms showing the output (Q_n) to Q_{n+1} propagation delays.

PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS165
8-Bit Parallel In/Serial Output Shift Registers

General Description

This device is an 8-bit serial shift register which shifts data in the direction of Q_A toward Q_H when clocked. Parallel-in access is made available by eight individual direct data inputs, which are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit.

Clocking is accomplished through a 2-input NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs HIGH inhibits clocking, and holding either clock input LOW with the load input HIGH enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is HIGH. Parallel loading is inhibited as long as the load input is HIGH. Data at the parallel inputs are loaded directly into the register on a HIGH-to-LOW transition of the shift/load input, regardless of the logic levels on the clock, clock inhibit, or serial inputs.

Features

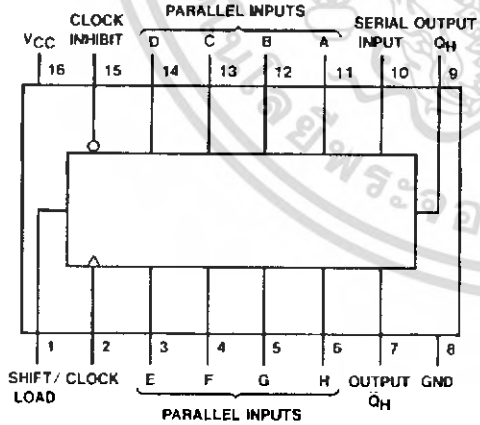
- Complementary outputs
- Direct overriding (data) inputs
- Gated clock inputs
- Parallel-to-serial data conversion
- Typical frequency 35 MHz
- Typical power dissipation 105 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS165M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS165WM	M16B	16-Lead Small Outline Intergrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
DM74LS165N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

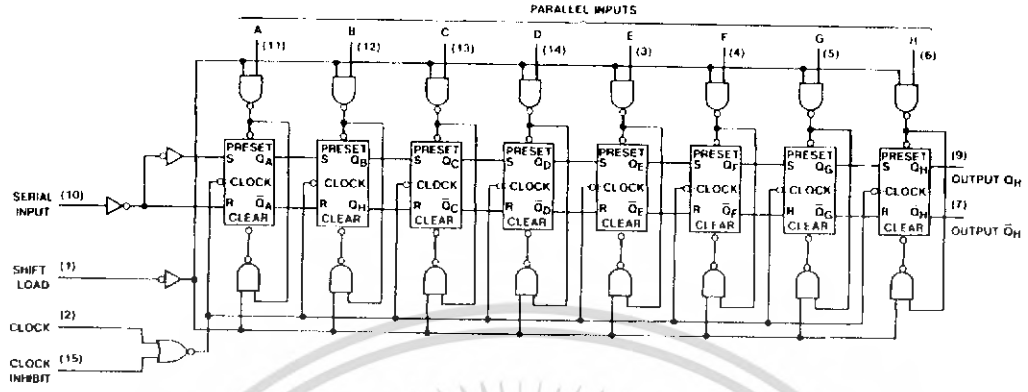
Inputs					Internal Outputs		Output
Shift/ Load	Clock Inhibit	Clock	Serial	Parallel A...H	Q_A	Q_B	Q_H
L	X	X	X	a...h	a	b	h
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	L	↑	H	X	H	Q_{An}	Q_{Gn}
H	L	↑	L	X	L	Q_{An}	Q_{Gn}
H	H	X	X	X	Q_{A0}	Q_{B0}	Q_{H0}

H = HIGH Level (steady state)
L = LOW Level (steady state)
X = Don't Care (any input, including transitions)
↑ = Transition from LOW-to-HIGH level
a...h = The level of steady-state input at inputs A through H, respectively
Q_{A0}, Q_{B0}, Q_{H0} = The level of Q_A, Q_B, or Q_H, respectively, before the indicated steady-state input conditions were established.
Q_{An}, Q_{Gn} = The level of Q_A or Q_G, respectively, before the most recent ↑ transition of the clock

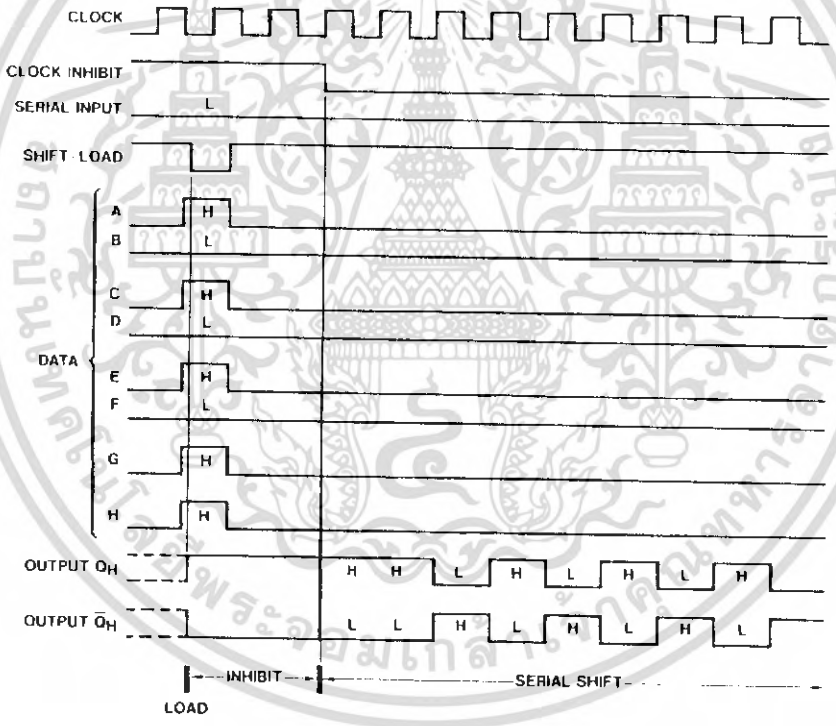
© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram



Timing Diagram



Typical Shift, Load, and Inhibit Sequences

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter		Min	Nom	Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage		2			V
V_{IL}	LOW Level Input Voltage				0.8	V
I_{OH}	HIGH Level Output Current				−0.4	mA
I_{OL}	LOW Level Output Current				8	mA
f_{CLK}	Clock Frequency (Note 2)		0		25	MHz
f_{CLK}	Clock Frequency (Note 3)		0		20	MHz
t_W	Pulse Width (Note 3)	Clock	25			ns
		Load	15			
t_{SU}	Setup Time (Note 4)	Parallel	10			ns
		Serial	20			
		Enable	30			
		Shift	45			
t_H	Hold Time (Note 4)		0			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 2: C_L = 15 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.

Note 3: C_L = 50 pF, R_L = 2 kΩ, T_A = 25°C and V_{CC} = 5V.

Note 4: T_A = 25°C and V_{CC} = 5V.

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions		Min	Typ (Note 5)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA				−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min		2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min				0.4	V
					0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min			0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V	Shift/Load			0.3	mA
			Others			0.1	
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V	Shift/Load			60	µA
			Others			20	
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V	Shift/Load			−1.2	mA
			Others			−0.4	
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 6)		−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 7)			21	36	mA

Note 5: All typicals are at V_{CC} = 5V, T_A = 25° C.

Note 6: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 7: With all outputs OPEN, clock inhibit and shift/load at 4.5V, and a clock pulse applied to the CLOCK input, I_{CC} is measured first with the parallel inputs at 4.5V, then again grounded.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

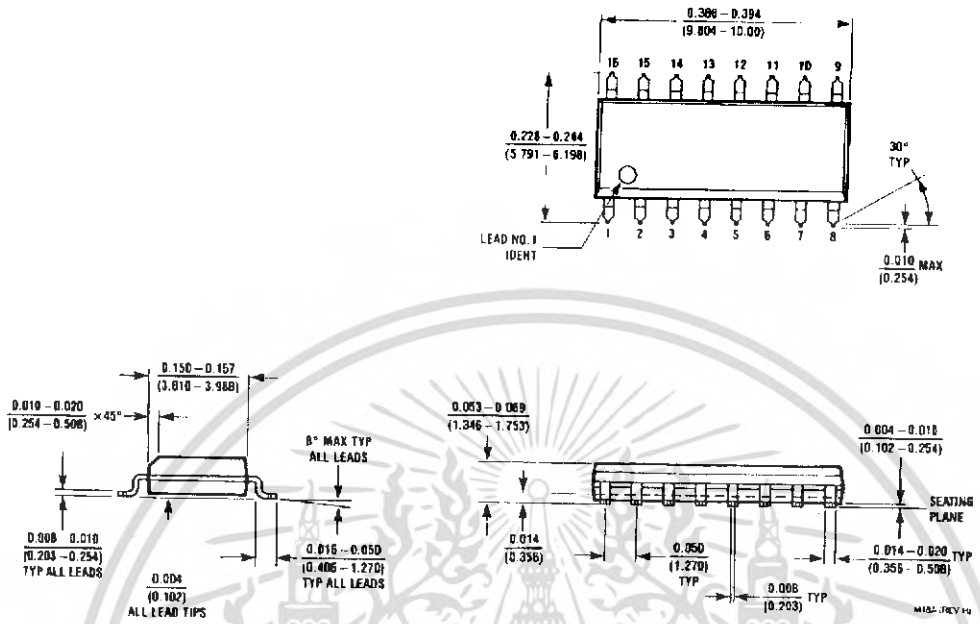
Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

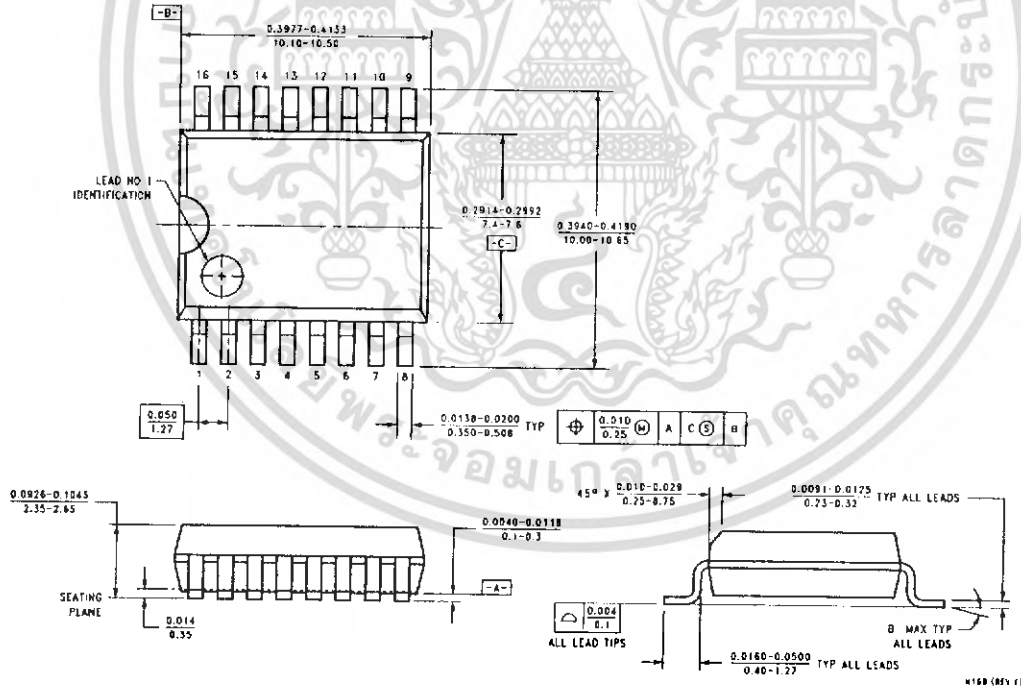
Symbol	Parameter	From (Input) To (Output)	C_L = 15 pF		R_L = 2 kΩ, C_L = 50 pF		Units
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency		25		20		MHz
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Load to Any Q		35		37	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Load to Any Q		35		42	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Clock to Any Q		40		42	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clock to Any Q		40		47	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	H to Q_H		25		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	H to Q_H		30		37	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	H to $\overline{Q}_H$		30		32	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	H to $\overline{Q}_H$		25		32	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



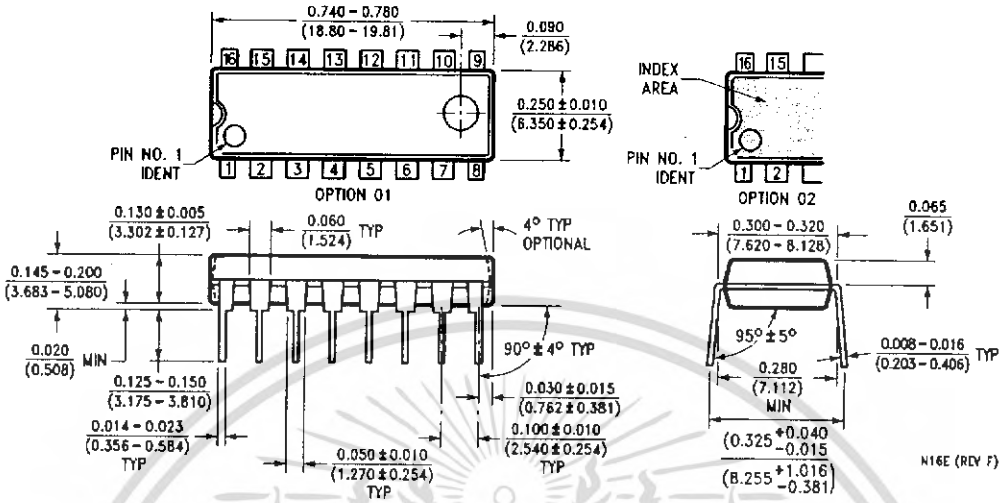
16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
Package Number M16A



16-Lead Small Outline Intergrated Circuit (SOIC), JEDEC MS-013, 0.300 Wide
Package Number M16B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
Package Number N16E

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS90
SN54/74LS92
SN54/74LS93

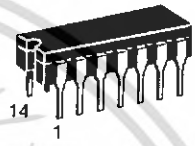
DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

DECADE COUNTER;
DIVIDE-BY-TWELVE COUNTER;
4-BIT BINARY COUNTER

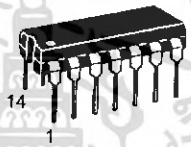
LOW POWER SCHOTTKY

The SN54/74LS90, SN54/74LS92 and SN54/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q to $\overline{CP}$) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

- Low Power Consumption . . . Typically 45 mW
- High Count Rates . . . Typically 42 MHz
- Choice of Counting Modes . . . BCD, Bi-Quinary, Divide-by-Twelve, Binary
- Input Clamp Diodes Limit High Speed Termination Effects



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

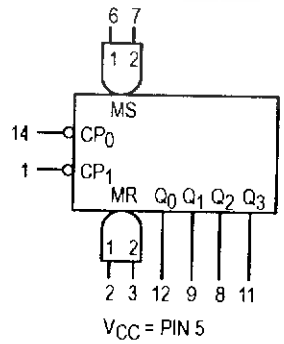
PIN NAMES

		LOADING (Note a) HIGH	LOW
$\overline{CP}_0$	Clock (Active LOW going edge) Input to ÷2 Section	0.5 U.L.	1.5 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷5 Section (LS90), ÷6 Section (LS92)	0.5 U.L.	2.0 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷8 Section (LS93)	0.5 U.L.	1.0 U.L.
MR_1, MR_2	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
MS_1, MS_2	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
Q_0	Output from ÷2 Section (Notes b & c)	10 U.L.	5 (2.5) U.L.
Q_1, Q_2, Q_3	Outputs from ÷5 (LS90), ÷6 (LS92), ÷8 (LS93) Sections (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military, (54) and 5 U.L. for commercial (74) Temperature Ranges.
c. The Q_0 Outputs are guaranteed to drive the full fan-out plus the $\overline{CP}_1$ input of the device.
d. To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns.

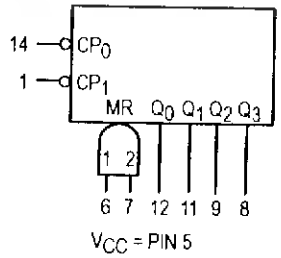
LOGIC SYMBOL

LS90



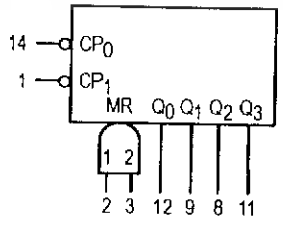
V_{CC} = PIN 5
GND = PIN 10
NC = PINS 4, 13

LS92



V_{CC} = PIN 5
GND = PIN 10
NC = PINS 2, 3, 4, 13

LS93

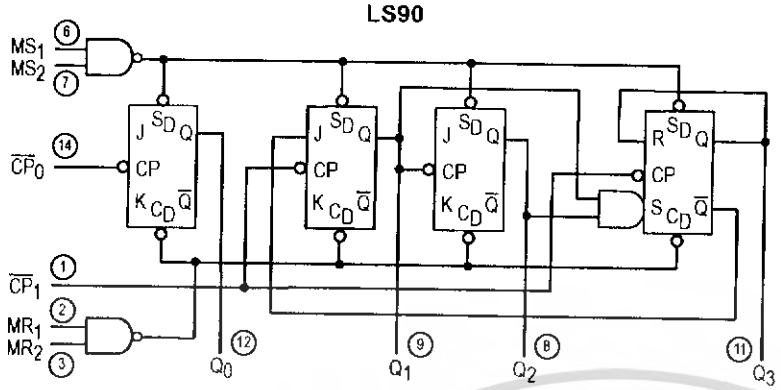


V_{CC} = PIN 5
GND = PIN 10
NC = PIN 4, 6, 7, 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

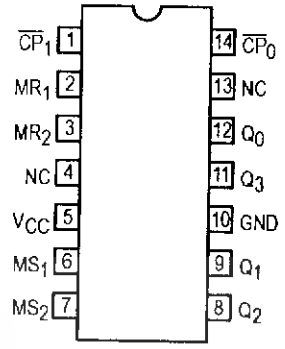
LOGIC DIAGRAM

LS90



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM DIP (TOP VIEW)

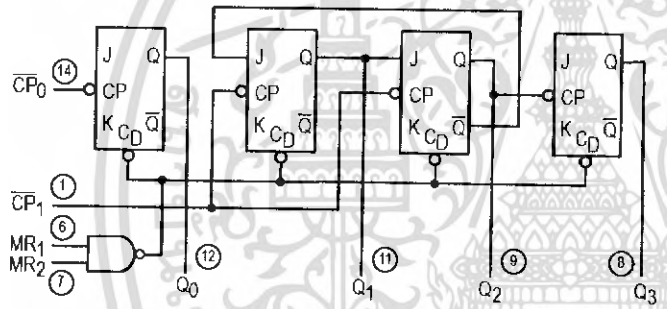


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

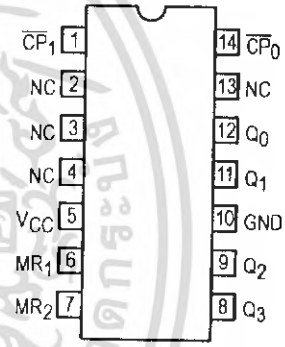
LOGIC DIAGRAM

LS92



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM DIP (TOP VIEW)

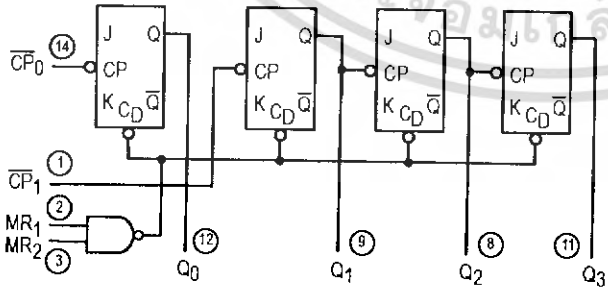


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

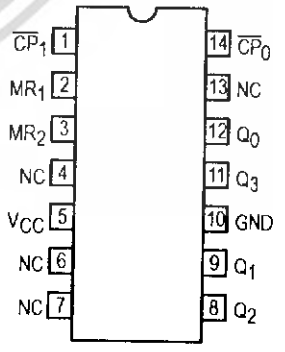
LOGIC DIAGRAM

LS93



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM DIP (TOP VIEW)



NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q_0 output of each device is designed and specified to drive the rated fan-out plus the $\overline{CP}_1$ input of the device.

A gated AND asynchronous Master Reset ($MR_1 \bullet MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \bullet MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

A. BCD Decade (8421) Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and a BCD count sequence is produced.

B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q_3 output must be externally connected to the $\overline{CP}_0$ input. The input count is then applied to the $\overline{CP}_1$ input and a divide-by-ten square wave is obtained at output Q_0.

C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ($\overline{CP}_0$ as the input and Q_0 as the output). The $\overline{CP}_1$ input is used to obtain binary divide-by-five operation at the Q_3 output.

LS92

A. Modulo 12, Divide-By-Twelve Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and Q_3 produces a symmetrical divide-by-twelve square wave output.

B. Divide-By-Two and Divide-By-Six Counter —No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The $\overline{CP}_1$ input is used to obtain divide-by-three operation at the Q_1 and Q_2 outputs and divide-by-six operation at the Q_3 output.

LS93

A. 4-Bit Ripple Counter — The output Q_0 must be externally connected to input $\overline{CP}_1$. The input count pulses are applied to input $\overline{CP}_0$. Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q_0, Q_1, Q_2, and Q_3 outputs as shown in the truth table.

B. 3-Bit Ripple Counter— The input count pulses are applied to input $\overline{CP}_1$. Simultaneous frequency divisions of 2, 4, and 8 are available at the Q_1, Q_2, and Q_3 outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ[illegible]นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LS90
MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS92 AND LS93
MODE SELECTION

RESET INPUTS		OUTPUTS			
MR_1	MR_2	Q_0	Q_1	Q_2	Q_3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90
BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q_0 is connected to Input CP_1 for BCD count.

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

NOTE: Output Q_0 is connected to Input CP_1.

LS93
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

NOTE: Output Q_0 is connected to Input CP_1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Limits Typ	Limits Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current MS, MR $\overline{CP}_0$ $\overline{CP}_1$ (LS90, LS92) $\overline{CP}_1$ (LS93)				−0.4 −2.4 −3.2 −1.6	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				15	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V, C_L = 15 pF)

Symbol	Parameter	Limits									Unit
		LS90			LS92			LS93			
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
f_{MAX}	$\overline{CP}_0$ Input Clock Frequency	32			32			32			MHz
f_{MAX}	$\overline{CP}_1$ Input Clock Frequency	16			16			16			MHz
t_{PLH} t_{PHL}	Propagation Delay, $\overline{CP}_0$ Input to Q_0 Output		10 12	16 18		10 12	16 18		10 12	16 18	ns
t_{PLH} t_{PHL}	$\overline{CP}_0$ Input to Q_3 Output		32 34	48 50		32 34	48 50		46 46	70 70	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to Q_1 Output		10 14	16 21		10 14	16 21		10 14	16 21	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to Q_2 Output		21 23	32 35		10 14	16 21		21 23	32 35	ns
t_{PLH} t_{PHL}	$\overline{CP}_1$ Input to Q_3 Output		21 23	32 35		21 23	32 35		34 34	51 51	ns
t_{PLH}	MS Input to Q_0 and Q_3 Outputs		20	30							ns
t_{PHL}	MS Input to Q_1 and Q_2 Outputs		26	40							ns
t_{PHL}	MR Input to Any Output		26	40		26	40		26	40	ns

AC SETUP REQUIREMENTS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits						Unit
		LS90		LS92		LS93		
		Min	Max	Min	Max	Min	Max	
t_W	$\overline{CP}_0$ Pulse Width	15		15		15		ns
t_W	$\overline{CP}_1$ Pulse Width	30		30		30		ns
t_W	MS Pulse Width	15						ns
t_W	MR Pulse Width	15		15		15		ns
t_{rec}	Recovery Time MR to $\overline{CP}$	25		25		25		ns

RECOVERY TIME (t_{rec}) is defined as the minimum time required between the end of the reset pulse and the clock transition from HIGH-to-LOW in order to recognize and transfer HIGH data to the Q outputs

AC WAVEFORMS

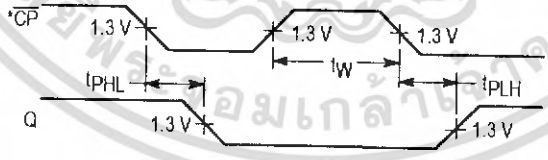


Figure 1

*The number of Clock Pulses required between the t_{PHL} and t_{PLH} measurements can be determined from the appropriate Truth Tables.

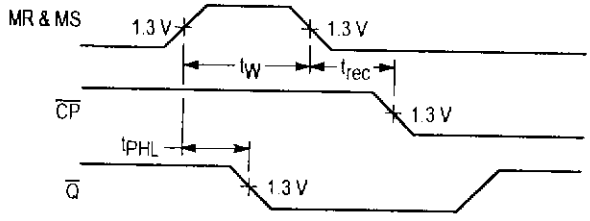


Figure 2

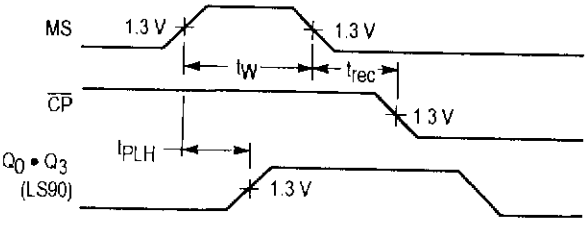


Figure 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

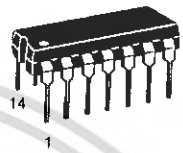
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

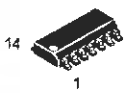
BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA

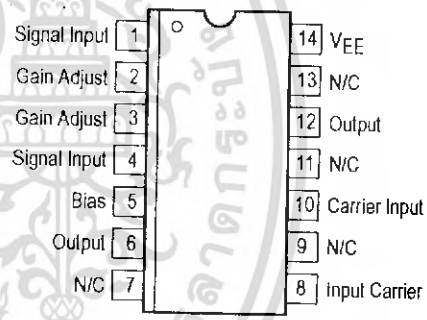


D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646



PIN CONNECTIONS



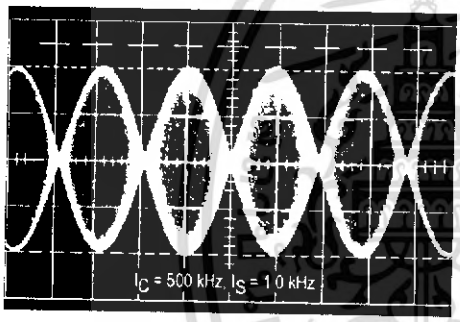


Figure 1. Suppressed Carrier Output Waveform

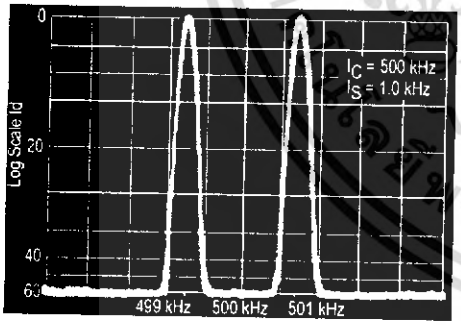


Figure 2. Suppressed Carrier Spectrum

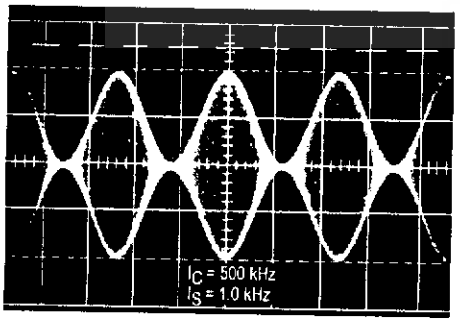
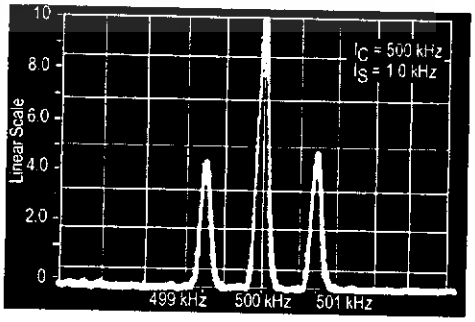


Figure 3. Amplitude Modulation Output Waveform

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5 + I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero — f_C = 1.0 kHz				–	40	–	
f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave: offset adjusted to zero — f_C = 1.0 kHz				–	0.04	0.4	mVrms
offset not adjusted — f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω) Carrier Input Port, V_C = 60 mVrms sine wave	8	8	BW_{3dB}	–	300	–	MHz
f_S = 1.0 kHz, 300 mVrms sine wave Signal Input Port, V_S = 300 mVrms sine wave							
|V_C| = 0.5 Vdc				–	80	–	
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; |V_C|= 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz Parallel Input Resistance	6	–	r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz Parallel Output Resistance	6	–	r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current $I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$	7	–	I_{bS} I_{bC}	– –	12 12	30 30	μA
Input Offset Current I_{ioS} = I1–I4; I_{ioC} = I8–I10	7	–	|I_{ioS}| |I_{ioC}|	– –	0.7 0.7	7.0 7.0	μA
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Iio}|	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	|I_{oo}|	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Ioo}|	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, |V_C|= 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 + I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การแสวงหาผลประโยชน์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, $P_D = 2\ I5\ (V6 - V14) + I5)\ V5 - V14$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground

ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

30 Vdc ≥ [(V6, V12) – (V8, V10)] ≥ 2 Vdc
30 Vdc ≥ [(V8, V10) – (V1, V4)] ≥ 2.7 Vdc
30 Vdc ≥ [(V1, V4) – (V5)] ≥ 2.7 Vdc

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21C = \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21S = \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \Bigg|\ V_C = 0.5\ \text{Vdc},\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

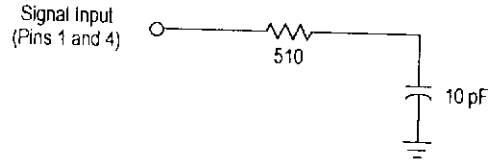
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

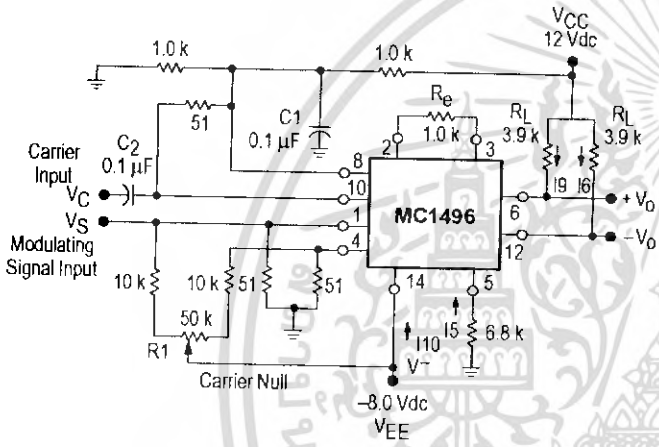
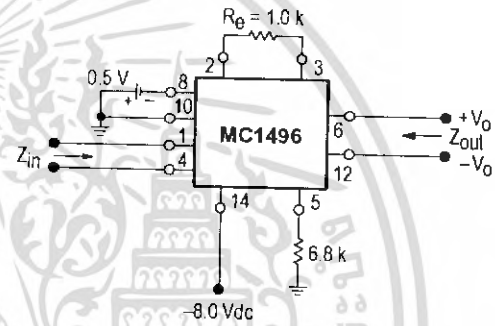


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

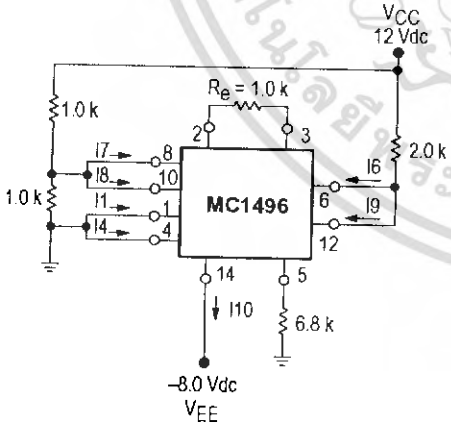
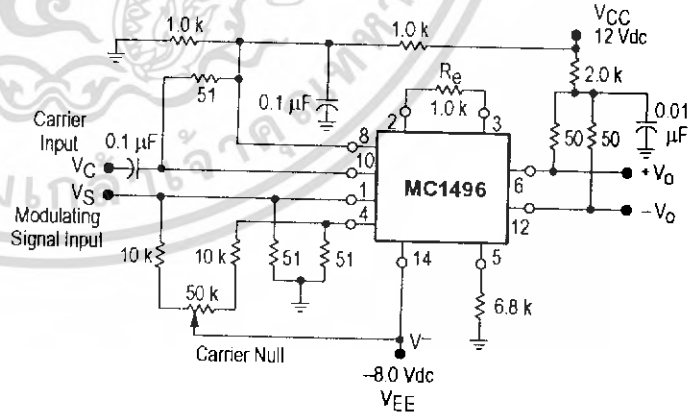


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การแสวงหากำไร
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

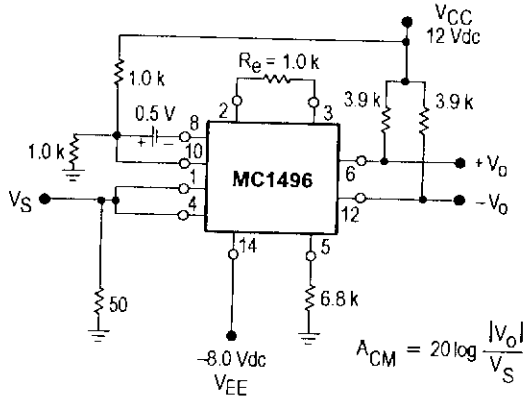
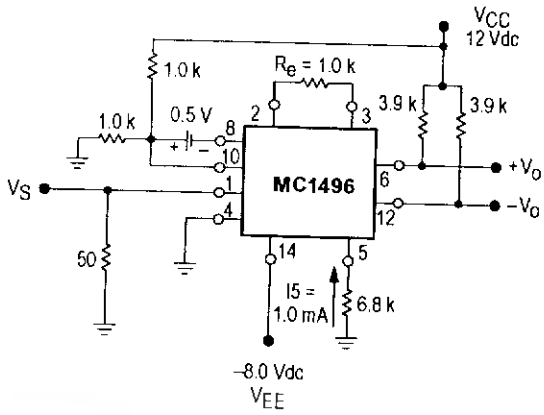


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

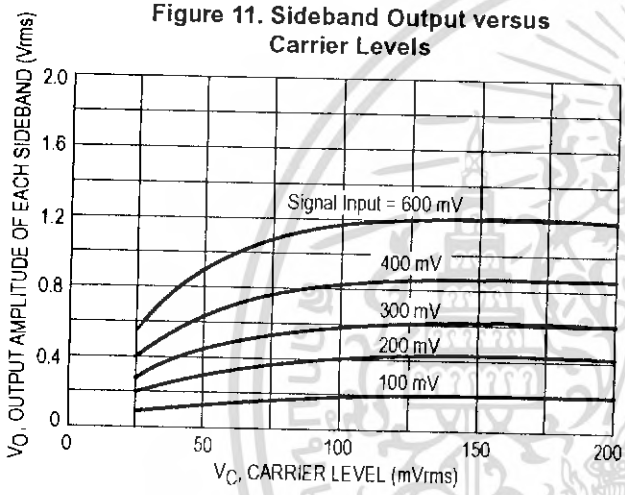


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

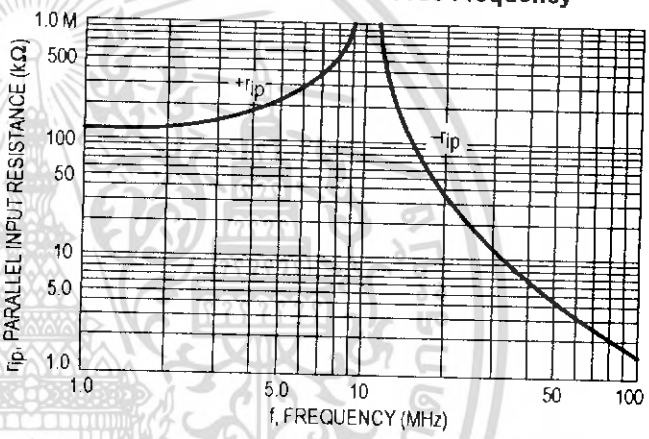


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

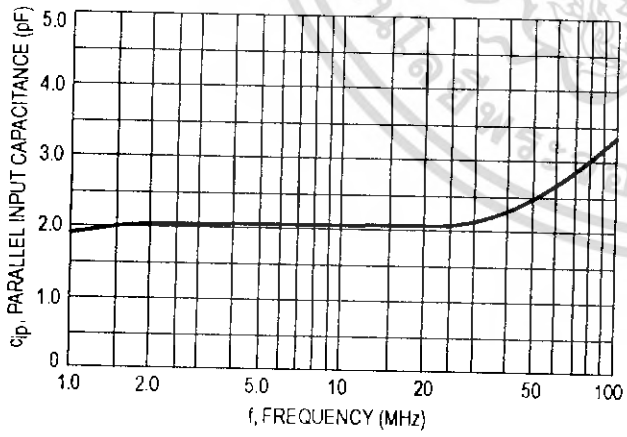
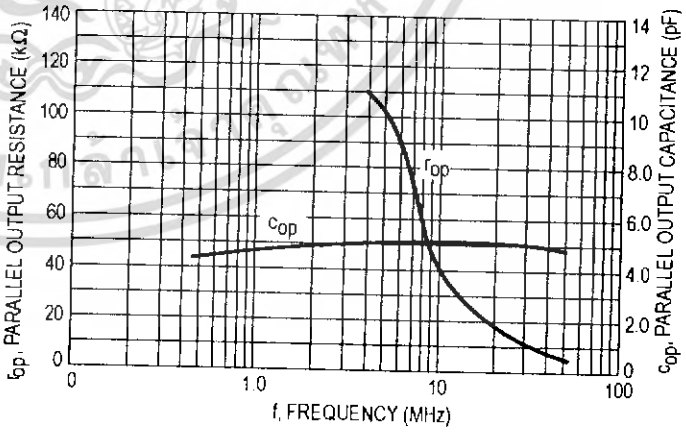


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

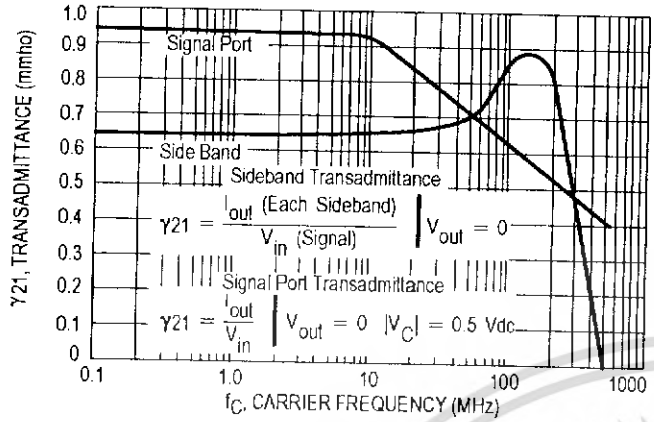


Figure 16. Carrier Suppression versus Temperature

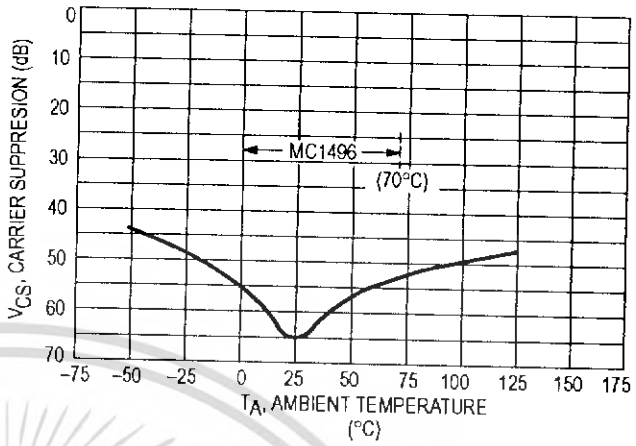


Figure 17. Signal–Port Frequency Response

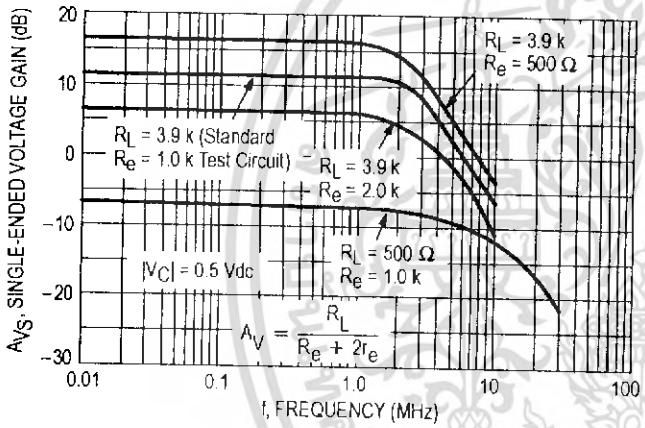


Figure 18. Carrier Suppression versus Frequency

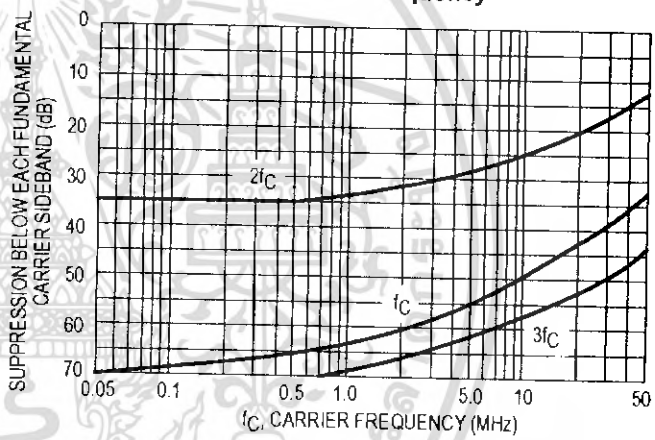


Figure 19. Carrier Feedthrough versus Frequency

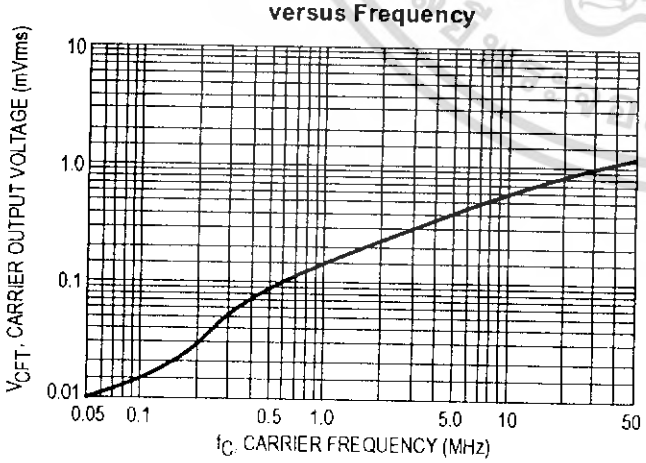
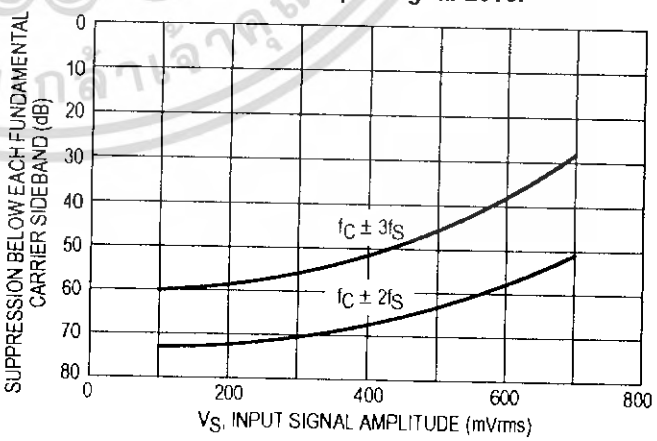


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

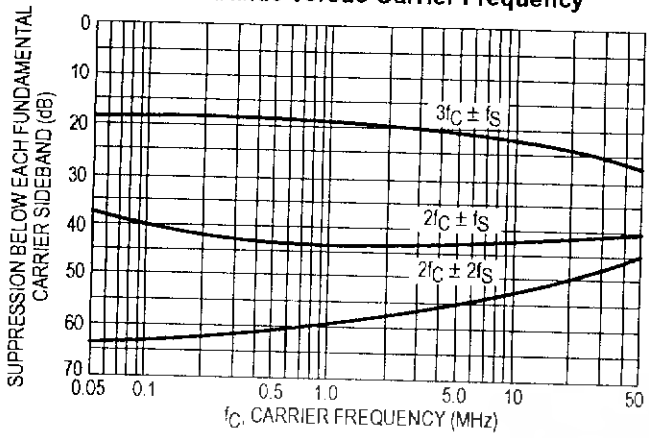
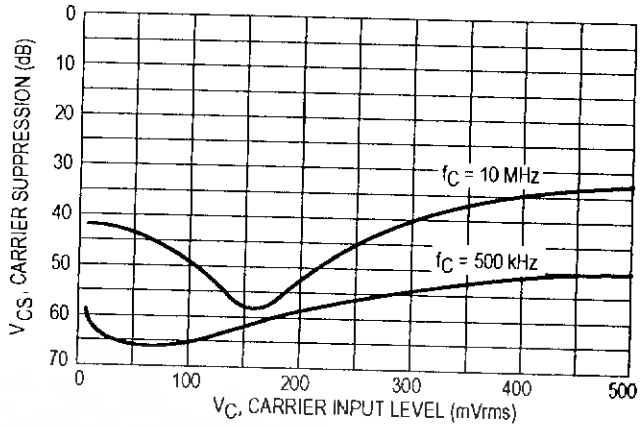


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (15)(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

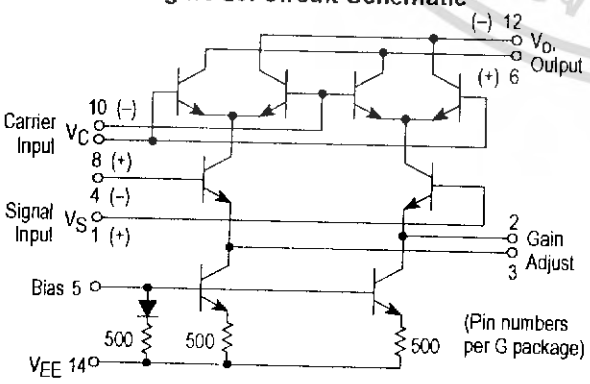
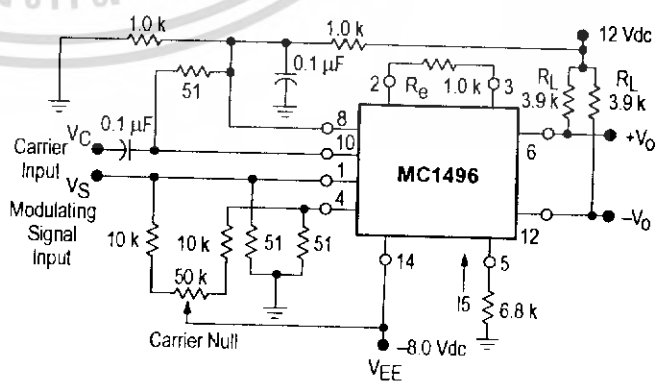


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637 R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;

$$re \approx \frac{26\ mV}{I_5\ (mA)}$$

7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.

$$\frac{KT}{q} \approx 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increased to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

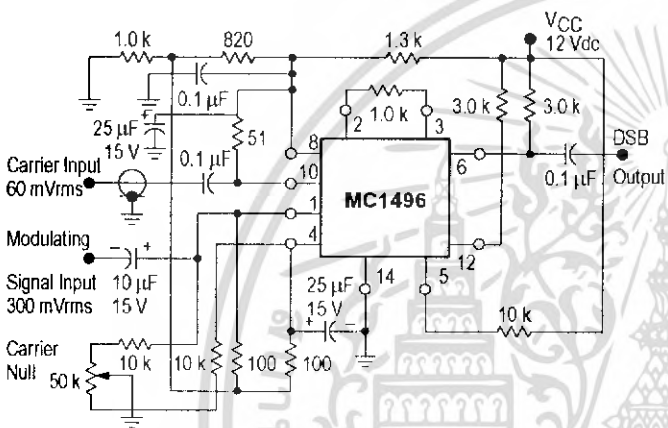


Figure 27. Balanced Modulator–Demodulator

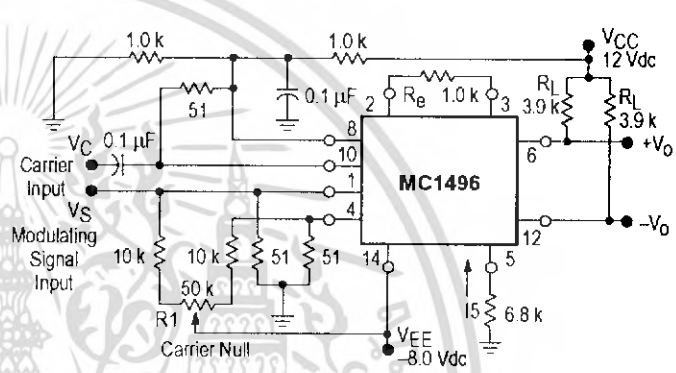


Figure 28. AM Modulator Circuit

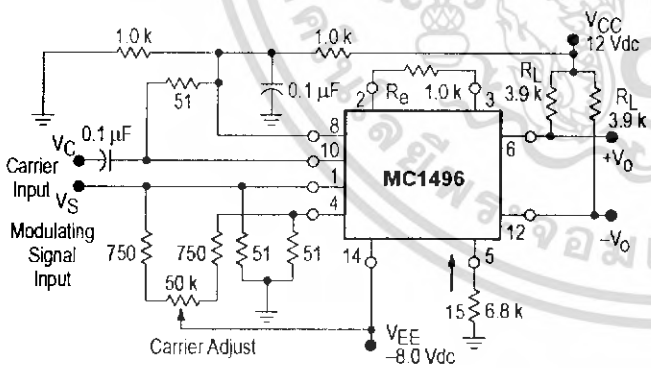
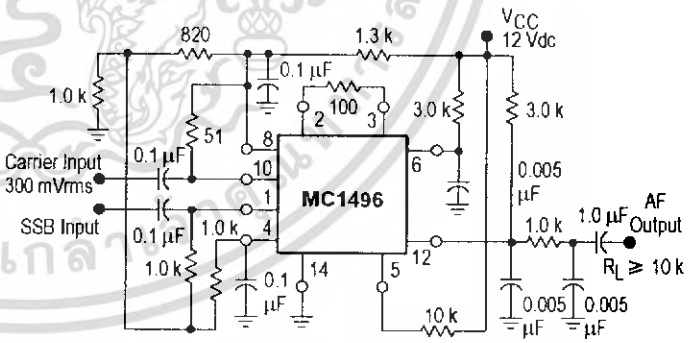
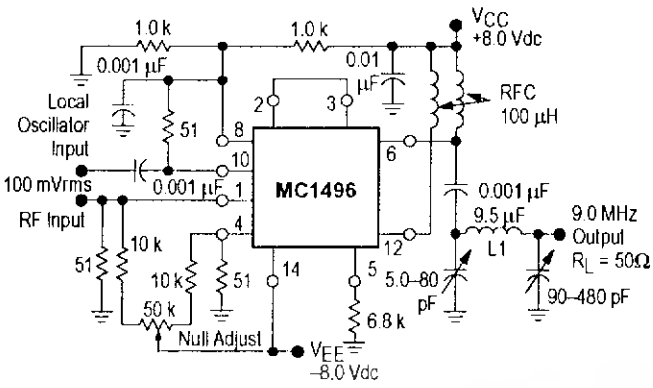


Figure 29. Product Detector (12 Vdc Single Supply)



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

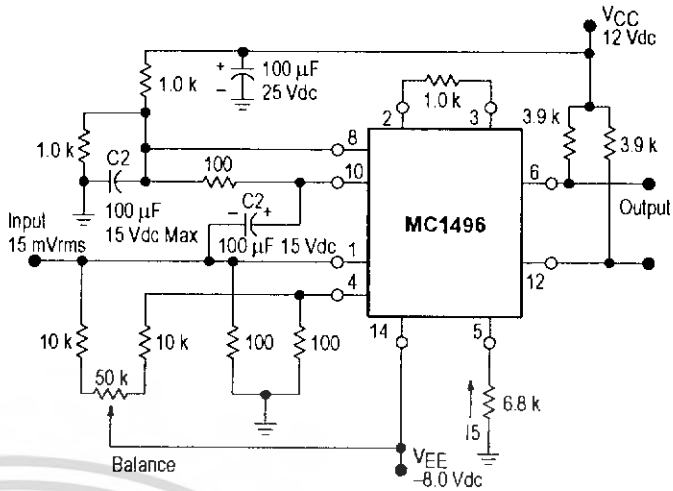
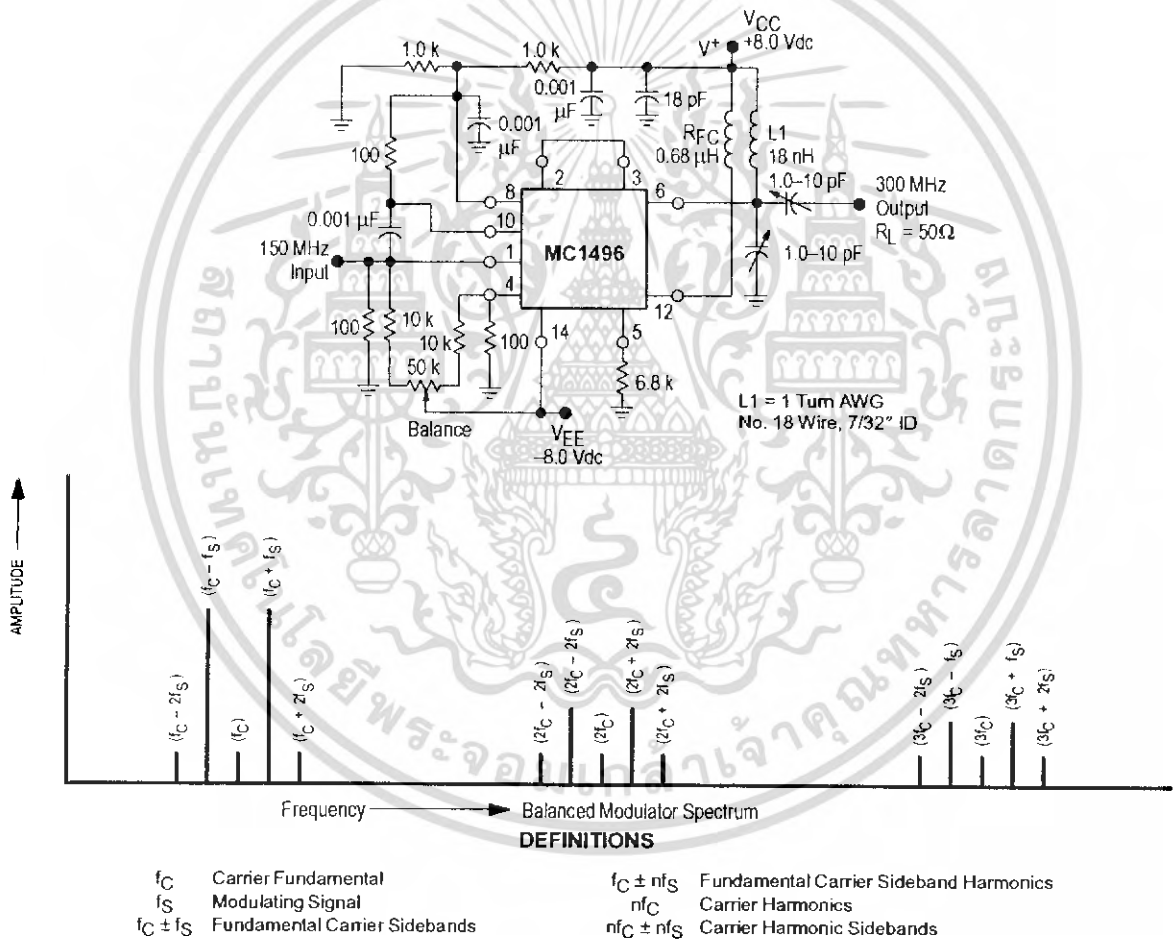


Figure 32. 150 to 300 MHz Doubler



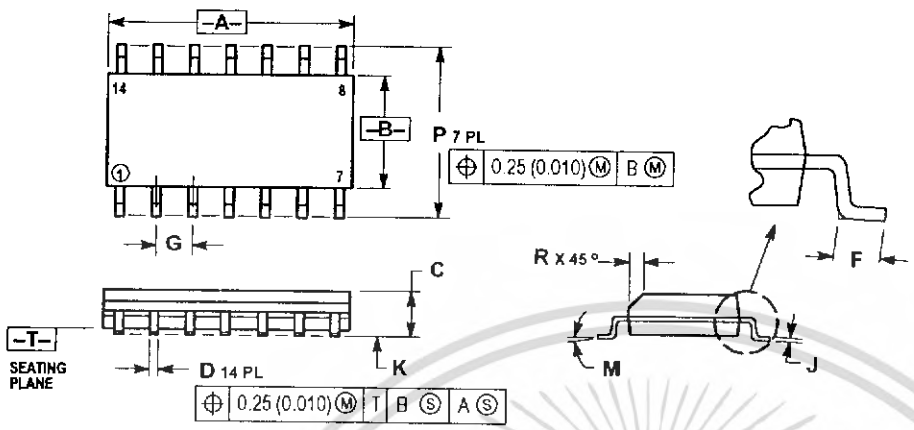
DEFINITIONS

f_C	Carrier Fundamental	$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
f_S	Modulating Signal	nf_C	Carrier Harmonics
$f_C \pm f_S$	Fundamental Carrier Sidebands	$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

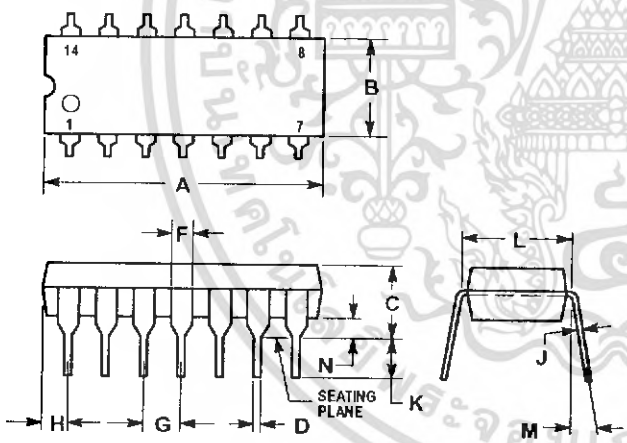
D SUFFIX
PLASTIC PACKAGE
CASE 751A–03
(SO–14)
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

P SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE L



NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้