สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

รีโมทคอนโทรลผ่านสายไฟบ้าน

REMOTE CONTROL VIA ON AC LINE

โดย

นายศุภชัย นิลแก้ว

นายอนันต์ ออมสิน

ว.พ.
ศ683ร
2549

เลขหมู่.....
เลขทะเบียน.....72120
วัน,เดือน,ปี.....11 มิ.ย. 2550

b.....11763632
i.....

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีโมทคอนโทรลผ่านสายไฟบ้าน

REMOTE CONTROL VIA ON AC LINE

โดย

นายศุภชัย นิลแก้ว

นายอนันต์ ออมสิน

อาจารย์ที่ปรึกษา

ผศ.ประภากร สุวรรณะ

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง รีโมทคอนโทรลผ่านสายไฟบ้าน

ผู้จัดทำ

1.นายศุภชัย นิลแก้ว

2.นายอนันต์ ออมสิน

.....

(ผศ.ประภากร สุวรรณะ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีโมทคอนโทรลผ่านสายไฟบ้าน

นาย ศุภชัย นิลแก้ว รหัส 47015263
นาย อนันต์ ออมสิน รหัส 47015271
ผศ.ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2549

บทคัดย่อ

โครงงานนี้เป็นการออกแบบและศึกษาการส่งข้อมูลผ่านสายไฟบ้านเพื่อนำไปใช้ในการควบคุมหรือใช้ในการสื่อสารระหว่างอุปกรณ์ที่ใช้ภายในบริเวณที่พักอาศัย ซึ่งประกอบไปด้วยตัวรับข้อมูลและตัวส่งข้อมูล โดยหลักการทำงานของอุปกรณ์ชุดนี้จะอาศัยการรับส่งสัญญาที่มีความถี่ในย่าน 14.5 MHz ถึง 14.9 MHz ถูกแบ่งออกเป็น 3 ช่องสัญญาณ ซึ่งถูกควบคุมโดยไมโครไมคอนโทรลเลอร์ในการเลือกใช้ วงจรภาครับใช้หลักการซูเปอร์เฮทเทอโรดายน์เหมือนเครื่องรับวิทยุทั่วไป ประกอบด้วยภาคอาร์เอฟแอมพลิไฟเออร์ มิกเซอร์ และ โลคอลออสซิลเลเตอร์ที่มีการสังเคราะห์ความถี่โดยใช้ไอซีเฟสล็อคลูปเอาท์พุตจากเฟสดีเทคเตอร์จะป้อนกลับเป็นแรงดันไบอัสให้โลคอลออสซิลเลเตอร์ผลิตความถี่ให้ถูกต้องทั้ง 3 ช่องสัญญาณ

ส่วนของภาคส่งนั้นจะใช้การมอดูเลตสัญญาณดิจิตอลเข้าไปโดยตรงจากนั้นจะต้องใช้ภาคขยายสัญญาณอีกทีเนื่องจากส่งไปในไฟทั้ง 3 เฟสซึ่งต้องมีอัตราขยายสูงกว่าตัวรับที่อยู่ในแต่ละเฟส การรับส่งสัญญาณเป็นแบบทิศทางเดียวโดยมีไมโครคอนโทรลเลอร์ควบคุมการทำงานและแสดงผลการทำงาน

รายงานในภาคการศึกษานี้มีเนื้อหาในส่วนของภาคทฤษฎีและผลการทดลองของภาคปฏิบัตินี้เพื่อใช้ในการอ้างอิงและศึกษาหลักการทำงานเพื่อพัฒนาต่อไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

REMOTE CONTROL VIA ON AC LINE

Mr.Supachai Nilkaew ID.47015263

Mr.Anan Omsin ID.47015271

Assist.Prof.Prapakorn Suwanna Advisor

Education year 2006

ABSTRACT

This paper presents a design and study in sending data pass trough the AC line for control appliance and communication between transmitter and receiver device .RF range 14.5 – 14.9 MHz are used in 3 channel and it will be controlled by Microcontroller device all range.The Receiver device uses a principle of Superheterodyne design likes a common Radio .It consist of RF amplifier , Mixer and Local oscillator that has a frequency synthesizers using PLL IC and output from Phase detector will be feedbacked in voltage format to force Local oscillator generate an exact frequency for all 3 channel.

At Transmitter part will use directly Digital Modulation Signal and then it is increased by amplifier circuit again because it must be sent into 3 Phase lines so it has gain higher than power amplifier at receiver part. In this case we use simplex communication and use microcontroller for control both communication and display.

The paper in this education year has main content both theory and experiment therefore, anyone who care for them can use them in reference and study about operating systems to develop them in the future.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ที่ได้เลี้ยงดู คอยเอาใจใส่ สนับสนุนด้านการศึกษาตลอดมาจนทำให้การทำงานครั้งนี้สำเร็จลุล่วงไปได้ด้วยดี

ขอขอบพระคุณ อาจารย์ ประภากร สุวรรณะ อาจารย์ที่ปรึกษา เป็นอย่างสูงที่ได้คอยให้คำแนะนำอนุเคราะห์ทั้งความรู้และอุปกรณ์ในการทำงานตลอดจนช่วยแก้ปัญหาให้เป็นอย่างดีและให้ความรู้ทางด้านเทคนิคการต่อวงจรความถี่สูง จนทำให้โครงงานนี้สำเร็จดังที่ได้ตั้งเป้าหมายไว้

ขอขอบคุณเพื่อนๆและน้องๆ 4C ที่ได้ให้คำแนะนำการต่อวงจรบางส่วนรวมทั้งคำแนะนำสำหรับหนังสือดีๆที่เป็นประโยชน์สำหรับในโครงงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	
บทคัดย่อภาษาอังกฤษ	
กิตติกรรมประกาศ	
บทที่ 1 บทนำ	1
บทที่ 2 การติดต่อสื่อสาร	2
2.1 รูปแบบการสื่อสาร	4
2.2 การมอดูเลตเชิงความถี่	5
2.3 ดัชนีการมอดูเลต	7
2.4 ไซด์แบนด์	8
2.5 แบนด์วิดท์ของFM	10
2.6 ภาครับ	10
2.7 มิกเซอร์ (Mixer)	14
2.8 Frequency Multiplier	14
2.9 Modulator and Demodulator	16
2.10Quadrature Detector	18
2.11ลิมิตเตอร์	21
บทที่ 3 ทฤษฎีที่เกี่ยวข้อง	23
3.1 Microcontroller (MCS-51)	23
3.1.1 บทนำ	23
3.1.2 โครงสร้างของ MCS-51	24
3.1.3 สัญญาณต่างๆของไมโครคอนโทรลเลอร์ MCS-51	27
3.1.4 การจัดหน่วยความจำของ MCS-51	33
3.2 เฟสล็อคลูป(PhaseLockLoop:PLL)	44
3.2.1 ทฤษฎีพื้นฐานของระบบสังเคราะห์ความถี่	44
3.2.2 หลักการทำงานพื้นฐานของเฟสล็อคลูป	45
3.2.3 ลักษณะสัญญาณของเฟสล็อคลูปในสภาวะล็อค	47
3.2.4 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค	49
3.2.5 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.6 เฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL) 57
บทที่ 4 การออกแบบและผลการทดลอง 78
4.1 การออกแบบ 78
4.1.1 การออกแบบVCOภาครับ 78
4.1.2 การออกแบบวงจร โลว์พาสฟิลเตอร์ของภาครับ 80
4.2 ผลการทดลองของภาครับ 84
4.2.1 ผลการทดลอง VCO 84
4.3 การออกแบบวงจรภาคส่ง 86
4.3.1การออกแบบวงจรขยายสัญญาณ 88
4.3.2การออกแบบโลว์พาสฟิลเตอร์ของภาคส่ง 91
4.3.3ผลการทดลอง VCO 96
4.4 ผลการวัดรูปคลื่นสัญญาณ ณ จุดต่างๆของวงจร 98
บทที่ 5 สรุปผลการทดลอง 105

หนังสืออ้างอิง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
2-1	บล็อกไดอะแกรมของระบบสื่อสาร	2
2-2	รูปแบบการสื่อสารตามทิศทาง	4
2-3	(ก) สัญญาณข้อมูล	6
	(ข) คลื่นพาห์	6
	(ค) สัญญาณเอฟเอ็ม	6
2-4	ฟังก์ชั่นของเบสเสลชนิดที่หนึ่ง $J(m_n)_f$	9
2-5	บล็อกไดอะแกรมภาครับ	11
2-6	(ก) วงจรกรองความถี่แถบแบน	11
2-7	แสดงความแตกต่างของการเลือก IF สูง IF ต่ำ	18
2-8	Quadrature Detector	19
2-9	กราฟความสัมพันธ์ระหว่าง ϕ กับ ω	19
2-10	วงจรลิมิตเดอร์จะขจัดนอยส์และการเปลี่ยนแปลงทางแอมพิจูดของสัญญาณ	22
3-1	โครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 8051	25
3-2	สัญญาณต่าง ๆ ของ MCS-51 เบอร์ 8051	27
3-3	การต่อสัญญาณนาฬิกาที่ขา XTAL1และ XTAL2	28
3-4	การใช้สัญญาณนาฬิการจากภายนอก	28
3-5	การสัญญาณรีเซต	29
3-6	การสร้างสัญญาณแอดเดรสและสัญญาณข้อมูล	30
3-7	การต่อวงจรแลทช์ตำแหน่ง A0-A7	31
3-8	การเลือกใช้หน่วยความจำโปรแกรมของ 8051	33
3-9	การจัดพื้นที่หน่วยความจำโปรแกรมของ 8051	34
3-13	การจัดพื้นที่หน่วยความจำข้อมูลของ 8051	35
3-14	การจัดแบ่งหน่วยความจำข้อมูลภายใน	35
3-15	ตำแหน่งของหน่วยความจำที่อ้างตำแหน่งแบบบิตได้	37
3-16	ไดอะแกรมเวลาของการอ่านและบันทึกข้อมูลกับหน่วยความจำข้อมูลภายนอก	38
3-17	การต่อไมโครคอนโทรลเลอร์กับRAM 6264	38
3-18	พื้นที่สแตกของ 8051	40
3-19	การเข้าสู่สภาวะล็อคของเฟสล็อคลูป	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ก) เฟสเอาท์พุตจาก VCO กับเฟสของอินพุต 46
(ข) การปรับเฟสของวงจรเพื่อกำจัดเฟสผิดพลาด 46
3-20 องค์ประกอบของเฟสล็อคลูป 47
(ก) องค์ประกอบที่ประกอบด้วย PD กับ VCO 47
(ข) องค์ประกอบที่ประกอบด้วย PD , VCO และ LPF 47
3-21 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค 48
(ก) รูปคลื่นสัญญาณในแต่ละจุด 48
(ข) กราฟแสดงคุณสมบัติของ VCO และ PD 48
3-22 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของเฟสที่อินพุต 50
3-23 ผลตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุต 51
3-24 การเปลี่ยนแปลงของเฟสกับเวลา 52
(ก) การเปลี่ยนแปลงของเฟสอย่างช้า ๆ 52
(ข) การเปลี่ยนแปลงของเฟสอย่างเร็ว 52
3-25 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL) 52
3-26 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได 55
3-27 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง 56
3-28 กราฟโบดพล็อตแสดงเสียรภาพของ type I PLL 56
3-29 ระบบที่ใช้ตัวดักจับเฟสแบบเฟส – ความถี่ 57
3-30 วงจรเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่ 58
3-31 การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน 59
3-32 รูปแบบเชิงเส้นอย่างง่ายของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ 60
3-33 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ 61
(ก) การเกิดเฟสชิฟของระบบที่ไม่มีเสถียรภาพ 61
(ข) การเกิดเฟสชีฟเพื่อทำการเพิ่มซีโร่เข้าไปในลูป 61
3-34 การเพิ่มซีโร่เข้าไปในวงจรเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ และฟังก์ชั่นถ่ายโอนของระบบปิด 62
3-35 การลดลงของเสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่เมื่อค่าของ I_pK_{VCO} มีค่าลดลง 63
3-36 การเพิ่มตัวเก็บประจุเข้าไปในวงจรเพื่อลดค่าริปเปิ้ล 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การติดต่อสื่อสาร ในปัจจุบันนี้ได้มีการพัฒนาไปอย่างรวดเร็ว โดยการใช้เทคโนโลยีต่างๆ เข้ามาช่วยในการติดต่อสื่อสาร และได้นำการติดต่อสื่อสารเหล่านี้มาประยุกต์ใช้งานในชีวิตประจำวันโดยการนำไปใช้ควบคุมอุปกรณ์เครื่องใช้ไฟฟ้าต่าง ๆให้เปิด-ปิดตามที่เราได้กำหนดไว้ได้ทั้ง ที่อยู่ภายในโรงงานอุตสาหกรรมและสถานที่ราชการต่างๆหรือแม้แต่ที่พักอาศัยตามชุมชน จึงทำให้เกิดแนวความคิดและสร้างโครงงานนี้ขึ้นมาโดยที่เราจะใช้หลักการสื่อสารข้อมูลผ่านสายไฟบ้านโดยมีภาครับและส่งแบบฮาฟดูเพล็กซ์ระหว่างตัวควบคุมกับอุปกรณ์เครื่องใช้ในภาครับจะเป็นการประยุกต์ใช้การรับสัญญาณแบบซูเปอร์เฮทเทอโรดายน์เหมือนวิทยุทั่วไปในปัจจุบันโดยจะมีไมโครคอนโทรลเลอร์เป็นตัวควบคุมในการเลือกรับช่องสัญญาณ ส่วนภาคส่งจะส่งสัญญาณในรูปแบบของเอฟเอ็มไวน์แบนด์มีช่องสัญญาณทั้งหมด 3 ช่องไว้รับส่งข้อมูลซึ่งกันและกันเพื่อใช้ในการควบคุมอุปกรณ์ไฟฟ้าตามจุดที่ต่อกับสายไฟบ้าน การประยุกต์ใช้งานแบบนี้ในปัจจุบันจะช่วยให้เราสามารถลดค่าใช้จ่ายในด้านต่างๆ ไม่ว่าจะเป็นทางด้านการเดินสายนำสัญญาณที่ไม่ต้องทำเองและผู้ดูแลรักษาอุปกรณ์ต่างๆอีกด้วยตลอดจนเป็นการประยุกต์ความรู้ที่ได้เรียนมาทั้งหมดในการออก
แบบวงจรและสามารถนำความรู้เหล่านั้นมาแก้ไขปัญหาต่างๆที่เกิดขึ้นระหว่างทำงานได้ด้วย

1.1 วัตถุประสงค์ของโครงงาน

1.เพื่อศึกษาและเรียนรู้การใช้งานเฟสล็อกลูปเป็นวงจรสังเคราะห์ความถี่

2.เพื่อศึกษาและเรียนรู้การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ เพื่อการควบคุมการทำงานทั้งภาครับและภาคส่ง

3.เพื่อศึกษาและเรียนรู้วิธีการออกแบบวงจรของภาครับและภาคส่ง

1.2 ขอบเขตของโครงงาน

สามารถส่งข้อมูลผ่านสายไฟบ้านเพื่อใช้ควบคุมอุปกรณ์ไฟฟ้าเช่น พัดลม โทรทัศน์ วิทยุตลอดจนการประยุกต์ใช้งานควบคุมกับอุปกรณ์อื่นโดยสั่งงานจากผู้ใช้ว่าจะให้อุปกรณ์ตัวไหนทำงานได้

1.3 ประโยชน์ที่คาดว่าจะได้รับ

1.ได้รับความรู้เกี่ยวกับการออกแบบและสร้างวงจรสังเคราะห์ความถี่โดยใช้เฟสล็อคลูป

2.ได้รับความรู้ในการออกแบบวงจรภาครับโดยใช้หลักการซูเปอร์เฮทเทอร์โรดายน์และภาคส่ง

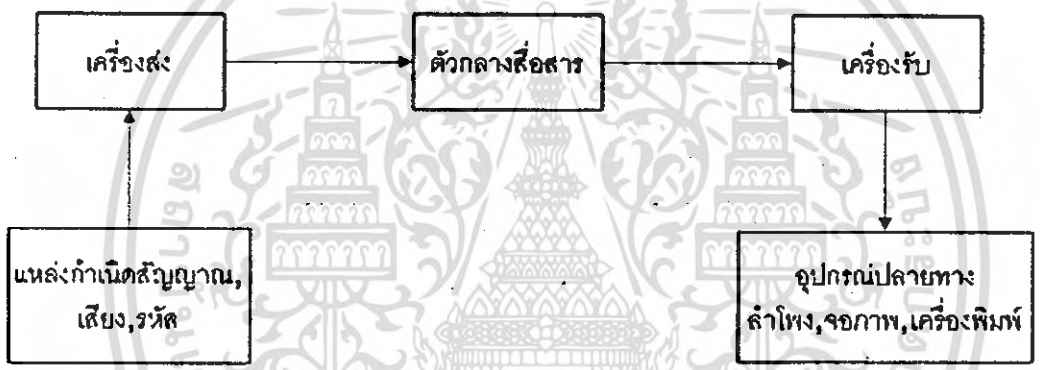
3.ได้รับความรู้เกี่ยวกับการประยุกต์ใช้งานไมโครคอนโทรลเลอร์ในงานการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การติดต่อสื่อสาร

การสื่อสารอิเล็กทรอนิกส์ หมายถึงการส่ง (Transmission), การรับ (Reception) และการประมวลผล ข้อมูลหรือข่าวสาร (Information,Data,Signal) ระหว่างจุดสองจุด หรือมากกว่า ด้วยการใช้ อิเล็กทรอนิกส์

บล็อกไดอะแกรมของระบบสื่อสารอิเล็กทรอนิกส์แสดงดังรูปที่ 2.1



รูป 2-1 บล็อกไดอะแกรมของระบบสื่อสาร

ตัวกลางการสื่อสาร (Communication Medium) เป็นช่องทางหรือตัวกลาง ซึ่งสัญญาณของ ระบบสื่อสารใช้เป็นทางผ่านจากจุดส่งไปยังจุดรับ เราสามารถแบ่งชนิดของการสื่อสาร อิเล็กทรอนิกส์ตามชนิดของตัวกลางสื่อสารได้ 2 แบบคือ

1. แบบมีสาย (Wire) สายในที่นี้อาจเป็นสายตัวนำไฟฟ้า 1 คู่ หรือเส้นใยนำแสง (Optic Fiber)
2. แบบไร้สาย (Wireless) หรือวิทยุ (Radio) สัญญาณของระบบสื่อสารแบบไร้สาย จะอยู่ในรูปแบบของคลื่นแม่เหล็กไฟฟ้าซึ่งรวมถึงแสง

เครื่องส่ง (Transmiter) เป็นอุปกรณ์หรือวงจรอิเล็กทรอนิกส์ที่ถูกออกแบบสำหรับ แปลงสัญญาณจากแหล่งกำเนิดสัญญาณ ที่จะสื่อสารให้กลายเป็นสัญญาณ ที่มีรูปแบบและระดับพลังงานที่เหมาะสมกับตัวกลางสื่อสารของแต่ละระบบ

เครื่องส่งอาจจะเป็นเพียงแค่คีย์สวิทช์ของระบบโทรเลขแบบใช้สายหรืออาจเป็นวงจรอิเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรอนิกส์ สลับซับซ้อนของระบบสื่อสารดาวเทียม สัญญาณที่จะสื่อสารอาจอยู่ในรูปของ สัญญาณเสียง ภาพหรือข้อมูลในรูปของสัญญาณดิจิตอล ซึ่งสัญญาณแต่ละชนิดจะมีค่าความกว้าง ของแถบความถี่ (Bandwidth) แตกต่างกัน ซึ่งความกว้างของแถบความถี่ของสัญญาณนี้ เป็นพารามิเตอร์ที่สำคัญที่สุดในการพิจารณาเลือกใช้หรือออกแบบระบบสื่อสาร

เครื่องรับ (Reciever) จะเป็นวงจรและอุปกรณ์อิเล็กทรอนิกส์อีกชุดหนึ่งซึ่งจะทำหน้าที่แปลงสัญญาณที่รับมาได้จากตัวกลาง ให้กลายเป็นสัญญาณที่มีรูปแบบและระดับพลังงานที่เหมาะสมกับอุปกรณ์ปลายทาง ด้านรับ เช่น เครื่องรับของระบบโทรเลขใช้สายจะเป็นเพียงขดลวดโซลีนอยด์ หรือวงจรอิเล็กทรอนิกส์ ที่ซับซ้อนของการรับสัญญาณโทรทัศน์ผ่านดาวเทียม

สัญญาณทางอิเล็กทรอนิกส์เกือบทุกสัญญาณ จะเกิดจากผลรวมของคลื่นซายน์หลายๆ ความถี่การเดินทางของสัญญาณในวงจร จากจุดหนึ่งไปยังอีกจุดหนึ่งหรือการเดินทางของสัญญาณจากวงจรหนึ่งไปยังอีกวงจรหนึ่ง หรือจากระบบหนึ่งไปสู่อีกระบบหนึ่ง สามารถพิจารณาเป็นการเดินทางของคลื่น ซายน์ทุกความถี่ที่มีอยู่ในสัญญาณนั้น จากที่หนึ่งไปยังอีกที่หนึ่ง ในรูปแบบของคลื่นแม่เหล็กไฟฟ้า (Electromagnatic Waves) ซึ่งอาจเป็นการเคลื่อนที่ผ่านตัวนำไฟฟ้า หรือตัวอุปกรณ์ต่างๆ และการเคลื่อนที่ผ่านอากาศ หรืออวกาศในรูปแบบของการแผ่รังสี (Radiation) ความกว้างของแถบความถี่ของสัญญาณ คือค่าแถบความถี่ของคลื่นซายน์หลายความถี่ที่รวมกันเป็นสัญญาณ ซึ่งจะมีค่าเท่ากับผลต่างของความถี่สูงสุดกับความถี่ต่ำสุดที่มีอยู่ในสัญญาณ

ถ้ามีสัญญาณมากกว่าหนึ่งสัญญาณในอาณาบริเวณเดียวกัน และสัญญาณเหล่านั้นมีแถบความถี่ที่ทับ ซ้อนกัน จะทำให้เกิดการรบกวนซึ่งกันและกัน ถ้าระดับกำลังสัญญาณต่างๆที่มีแถบความถี่ซ้อนทับกันมีค่า ใกล้เคียงกันก็จะเกิดการรบกวนซึ่งกันและกัน แต่ถ้าระดับกำลังของสัญญาณแตกต่างกันมาก สัญญาณที่มีกำลัง มากถูกรบกวนจากสัญญาณที่กำลังต่ำกว่ามากในทางตรงข้ามกัน สัญญาณที่มีกำลังต่ำจะถูกสัญญาณที่มีกำลังกว่ากลบจนหมด ในระบบสื่อสารเราไม่สามารถส่ง สัญญาณที่มีแถบความถี่ซ้อนทับกัน ผ่านตัวกลางของการสื่อสารเดียวกัน ภายในเวลาเดียวกันได้

สัญญาณใดก็ตาม ที่มีแถบความถี่ซ้อนทับกับสัญญาณที่เราสื่อสาร จะถูกเรียกว่าสัญญาณที่รบกวน(Noise) การเดินทางของสัญญาณจากเครื่องส่งไปยังเครื่องรับจะถูกลดทอนให้มีกำลังต่ำลงในขณะที่ผ่านตัว กลาง เมื่อสัญญาณมีกำลังไฟฟ้าลดลง จะมีโอกาสถูกรบกวนจากสัญญาณรบกวนที่อยู่ระหว่างเส้นทางยิ่งไปกว่านั้นในตัวอุปกรณ์อิเล็กทรอนิกส์ ก็เป็นแหล่งกำเนิดสัญญาณรบกวนอีกด้วย ถ้าความกว้างแถบความถี่ของสัญญาณยิ่งกว้างก็จะยิ่งเพิ่มโอกาสที่จะถูกรบกวนมากยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

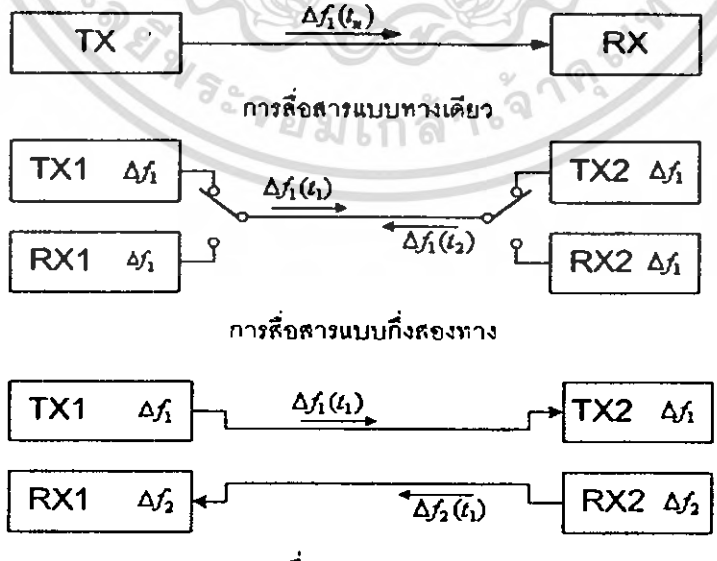
2.1 รูปแบบของการสื่อสาร

เราสามารถแบ่งรูปแบบของการสื่อสารได้หลายรูปแบบหรือหลายชนิดเช่นแบ่งตามลักษณะตัวกลางก็จะแบ่งได้ 2 แบบคือ แบบมีสายกับแบบไร้สายถ้าแบ่งตามรูปแบบของสัญญาณก็จะสามารถแบ่งได้ 2 แบบคือการสื่อสารแบบแถบฐานและการสื่อสารแบบมอดูเลชั่นไม่ว่าจะเป็นแบบใดในการรับส่งสัญญาณจำนวน n สัญญาณ ผ่านระบบสื่อสารในเวลาเดียวกันและผ่านตัวกลางเดียวกัน จะต้องใช้ช่องสื่อสารจำนวน n ช่องสื่อสารแถบความถี่ของช่องสื่อสารแต่ละช่องจะซ้อนทับกันไม่ได้ และความกว้างแถบความถี่ของช่องสื่อสารแต่ละช่อง ควรมีความกว้างให้น้อย ที่สุดเท่าที่จะทำได้ โดยต้องไม่เสียข้อมูลที่มีนัยสำคัญ

เราอาจแบ่งรูปแบบการสื่อสารตามทิศทางการสื่อสาร หรือจำนวนของช่องสื่อสารได้ 3 แบบ คือ 1.**แบบทิศทางเดียว (Simplex; SPX, SX)** ฝ่ายหนึ่งจะส่งเพียงอย่างเดียว อีกฝ่ายหนึ่งจะ เป็นฝ่ายรับเพียงอย่างเดียว การสื่อสารแบบทิศทางเดียวนี้ ต้องการช่องสื่อสารเพียง 1 ช่อง ตัวอย่างของการสื่อสารทิศทางเดียว คือ การส่งวิทยุกระจายเสียง(Broad casting)

2. แบบกึ่งสองทาง (Half Duplex; HDX, HX) เป็นการสื่อสารแบบ 2 ทางแต่สลับเวลากัน ในขณะที่อีกฝ่ายหนึ่งเป็นฝ่ายส่ง อีกฝ่ายหนึ่งจะเป็นฝ่ายรับ การสื่อสารแบบกึ่งสองทาง ต้องการช่องสื่อสารเพียงช่องเดียว ตัวอย่างเช่น วิทยุโทรคมนาคม(Walkie-Talkie)

3. แบบสองทิศทาง (Full Duplex; FDX,FX) เป็นการสื่อสาร แบบสองทิศทาง โดยที่ทั้งสองฝ่าย สามารถ รับส่งพร้อมกันในเวลาเดียวกัน การสื่อสารแบบสองทางนี้ต้องการช่องสื่อสาร 2 ช่องในเวลาเดียวกัน ตัวอย่างเช่น โทรศัพท์มือถือ (Mobile Phone)



รูปที่ 2-2 รูปแบบการสื่อสารตามทิศทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสื่อสารข้อมูลในช่องทางการสื่อสารที่มีอยู่นั้น จำเป็นจะต้องมีการเปลี่ยนโอน สัญญาณข้อมูล (information signal) ให้มีองค์ประกอบทางความถี่ (frequency spectrum) ที่สูงขึ้น (เนื่องจากสัญญาณข้อมูลมีองค์ประกอบทางความถี่ที่ต่ำกว่าช่องทางการสื่อสาร) เพื่อให้ส่งข้อมูลไปใน ช่องทางการสื่อสารได้ วิธีการเปลี่ยนโอนถูกเรียกว่าการมอดูเลต (modulation) สำหรับสัญญาณที่นำมาทำให้สัญญาณข้อมูลเปลี่ยนองค์ประกอบทางความถี่ให้สูงขึ้นถูกเรียกว่า คลื่นพาห์ (carrier signal) ซึ่งมีปัจจัยแตกต่างกันตามความต้องการที่จะสื่อสารข้อมูลปัจจัย (ตัวแปร) นั้นคือ amplitude, frequency และ phaseโดยจะเรียกการมอดูเลตตาม ปัจจัยทั้ง 3 นี้ คือ "การมอดูเลตเชิงขนาด" (Amplitude Modulation : AM), "การมอดูเลตเชิงความถี่" (Frequency Modulation : FM) และ "การมอดูเลตเชิงมุม" (Phase Modulation : PM)

ซึ่งในโครงงานนี้ เลือกใช้การมอดูเลตเชิงความถี่ เพราะไม่ต้องการให้สัญญาณที่ถูกมอดูเลตมีการเปลี่ยนแปลงทางขนาด ซึ่งจะถูกรบกวนจากสัญญาณที่เราไม่ต้องการ (Noise) ได้ง่ายในการส่งสัญญาณผ่านสายไฟบ้าน (AC Line)

2.2 การมอดูเลตเชิงความถี่

การมอดูเลตเชิงความถี่นั้น สัญญาณข้อมูลจะทำให้ความถี่คลื่นพาห์เปลี่ยนแปลงไปในขณะที่แอมพิจูด ยังคงเดิม ด้านเครื่องรับจะตัดการเปลี่ยนแปลงของแอมพลิจูดออกไปก่อนที่จะนำเข้าไปสู่การมอดูเลต ซึ่งทำให้สัญญาณรบกวนต่างๆที่มีผลทำให้แอมพลิจูดเปลี่ยนแปลงถูกตัดออกไปด้วย ลักษณะของสัญญาณมอดูเลตเชิงความถี่แสดงดังรูป 2.1

สมมติว่าเริ่มพิจารณาที่สัญญาณข้อมูลมีค่าสูงสุด คือ t = xแล้ว

สัญญาณข้อมูล $$V_a = A\cos\omega_a t \quad ;\omega_a = 2\pi_{af} \tag{2.1}$$

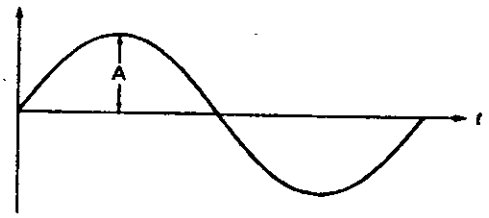
สัญญาณคลื่นพาห์ $$V_c = B\cos\omega t \quad ;\omega = 2\pi f \tag{2.2}$$

ความถี่ของสัญญาณคลื่นพาห์จะเปลี่ยนแปลงไปรอบๆความถี่ ω_c ดังนั้น

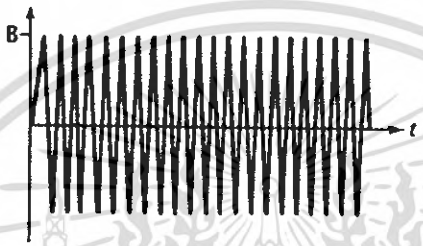
$$\omega = \omega_c + \Delta\omega\cos\omega_a t \tag{2.3}$$

โดย $\Delta\omega$ คือความถี่ที่เปลี่ยนแปลงมากที่สุด ถูกเรียกว่าความถี่เบี่ยงเบน (frequency deviation)

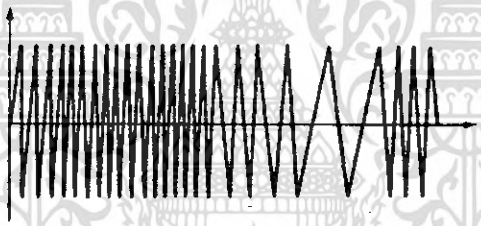
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 2-3 (ก) สัญญาณข้อมูล (ข) คลื่นพาห์ (ค) สัญญาณเอฟเอ็ม

สัญญาณที่เกิดจากการมอดูเลตแล้วโดยนำสมการ 2.3 แทนลงในสมการ 2.2

$$V_{fm} = B\cos(\omega_c + \Delta\omega\cos\omega_a t)t \qquad (2.4)$$

$$V_{FM} = B\cos\theta(t) \qquad ;\theta(t) = (\omega_c + \Delta\omega\cos\omega_a t)t \qquad (2.5)$$

จาก $\omega t = \theta(t)$ $\qquad d\dfrac{\theta(t)}{dt} = \omega$

$$\therefore \theta(t) = \int_0^t \omega dt$$

$$\theta(t) = \int_0^t (\omega_c + \Delta\omega\cos\omega t_a)dt$$

$$\theta(t) = \omega_c t + \Delta\omega\int_0^t \cos\omega t_a dt$$

จากสมการ 2.5 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{fm} = B\cos(\omega_c t + \Delta\omega \int_0^t \cos\omega t_a dt$$

$$V_{fm} = B\cos(\omega_c t + \frac{\Delta\omega}{\omega_a}\sin\omega_a t|_0^t)$$

$$V_{fm} = B\cos(\omega_c t + \frac{\Delta\omega}{\omega_a}\sin\omega_a t)$$

$$\therefore V_{fm} = B\cos(\omega_c t + m_f \sin\omega_a t) \qquad (2.6)$$

โดย m คือ อัตราส่วนระหว่าง $\frac{\Delta\omega}{\omega_a}$ เรียกว่า ดัชนีการมอดูเลต (modulation index) ซึ่งค่า m นี้มีความสำคัญในการกำหนดแบนด์วิดธ์

2.3 ดัชนีการมอดูเลต

ในระบบ AM ปริมาณการมอดูเลต เรานิยมวัดเป็นเปอร์เซ็นต์การมอดูเลต ซึ่งดูได้จากการเปลี่ยนแปลงของแอมพลิจูดหรือกรอบคลื่น AM ทั้งด้านต่ำสุดและสูงสุด แต่ในระบบ FM เราวัดเปอร์เซ็นต์ การมอดูเลตโดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อว่า ดัชนีการมอดู เลต ลองพิจารณาความหมายของดัชนีการมอดูเลตต่อไปนี้

$$m = \frac{f_d}{f_m}$$

ในที่นี้ f_d คือ ช่วงความถี่เบี่ยงเบน

f_m คือ ความถี่ของสัญญาณที่เข้ามอดูเลต

ค่าตัวเลขของดัชนีการมอดูเลตจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดูเลตซึ่งเมื่อคิด เป็นอัตราส่วนจะได้อยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM เรากำหนดให้ ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 กิโลเฮิรตซ์สมมติว่าเราใช้สัญญาณเสียง 1 กิโลเฮิรตซ์มอดูเลตให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีการมอดูเลตจะเป็น

$$m = \frac{75kHz}{1kHz} = 75$$

สังเกตว่าค่าดัชนีการมอดูเลตในระบบ FM ขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามอดูเลตในทางปฏิบัติเรานิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (deviation ratio) ซึ่งเป็นอัตราส่วนระหว่าง ความถี่เบี่ยงเบน (ของระบบ) สูงสุด $f_d(\max)$ ต่อความถี่สูงสุดของสัญญาณที่เข้ามอดูเลต $f_m(\max)$ ในระบบกระจายเสียง FM ค่าอัตราการเบี่ยงเบน (Δ) จะเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta = \frac{f_d \max}{f_m \max}$$

$$= \frac{75kHz}{15kHz} = 5$$

ในระบบ AM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดูเลตเพื่อให้เปอร์เซ็นต์การมอดูเลตสูงขึ้น การเปลี่ยนแปลงแอมพลิจูด(กรอบคลื่น)ของพาหะจะเปลี่ยนแปลงมากขึ้นแต่ในระบบFM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดูเลตสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้นในระบบวิทยุกระจาย เสียง FM กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ไม่เกิน 75 กิโลเฮิรตซ์ ถ้าเรามอดูเลตทำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ 75 กิโลเฮิรตซ์ แสดงว่าเรามอดูเลตเต็มที่ 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

เปอร์เซ็นต์การมอดูเลต $= \frac{f_d \cdot 100}{f_d \max}$

ในที่นี้ f_d คือ ความถี่เบี่ยงเบน เนื่องจากสัญญาณที่เข้ามามอดูเลต

$f_d \max$ คือ ความถี่เบี่ยงเบนสูงสุด

2.4 ไซด์แบนด์ (Sidebands)

สำหรับองค์ประกอบทางความถี่ของสัญญาณ FM นั้นพิจารณาตามค่าดัชนีการมอดูเลต ถ้าค่าของดัชนีการมอดูเลตน้อย ๆ (m <.25) ซึ่งบางตำราอาจกำหนดที่ m <1 แล้วจะเรียกสัญญาณ FM นี้ว่า "เอฟเอ็มแบนด์แคบ" (narrowband FM : NBFM) จากสมการ 2.6 เราสามารถกระจายด้วยอนุกรมเทย์เลอร์ (Teyler's series) ได้ดังนี้

$$V_{fm} = B\cos(\omega_c t) - Bm_f \sin\omega_a t \sin\omega_c t - m\int^{B} \sin^2 \omega_a t \cos^2 \omega_c t + \ldots \qquad (2.7)$$

พิจารณาที่ค่า m มีค่าน้อยๆ สามารถตัดพจน์ที่มีค่า m_f ที่ยกกำลังออกได้ ดังนั้นจะได้

$$V_{fm} = B\cos(\omega_c t) - Bm_f \sin\omega_a t \sin\omega_c t \qquad (2.8)$$

จากฟังก์ชั่นของตรีโกณมิติ

$$\cos(x+y) = \cos(y+x) = \cos x \cos y - \sin x \sin y$$

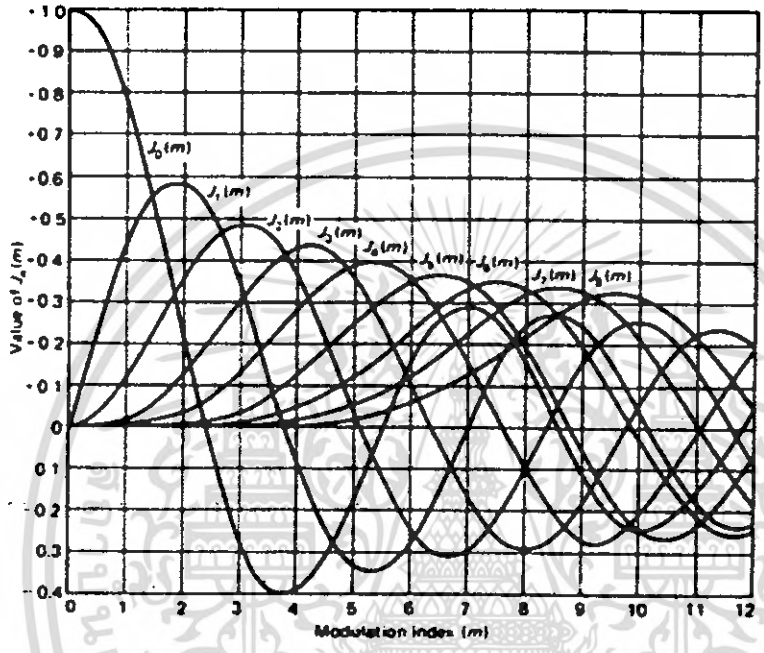
ดังนั้นจากสมการ 2.8 จะได้

$$V_{fm} = B\cos(\omega_c t) - Bm_f \sin\omega_a t \sin\omega_c t \qquad (2.9)$$

ซึ่งจะเห็นได้อย่างชัดเจนว่าหลังจากผ่านการมอดูเลตแล้วจะได้ความถี่ของคลื่นพาห์ ω_c ผลรวมและผลต่างความถี่ของคลื่นพาห์กับสัญญาณข้อมูล คือ $\omega_c\omega_a$ และ $\omega_a - \omega_c$ ตามลำดับ นั่นก็หมายความว่าแบนด์วิดท์ของสัญญาณเอฟเอ็มแบนด์แคบจะมีค่าเท่ากับ $2\omega_a$ จากสมการ 2.7 ถ้าหากค่าดัชนีการมอดูเลตมีค่ามาก ๆ แล้ว ไม่สามารถตัดพจน์ที่มีค่า m ที่ยกกำลังสูงๆออกได้ ซึ่งจะทำให้เกิดไซด์แบนด์ขึ้นมากมาย เรียกว่า "เอฟเอ็มแบนด์กว้าง" (Wideband :FM) โดยค่าของไซด์แบนด์

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่างๆนั้นได้มีการสรุปเป็นกราฟและตารางไว้จากฟังก์ชั่นของ เบสเสลชนิดที่หนึ่ง (Bessel function of the first kind) ดังแสดงในรูปที่ 2.4 และตารางที่ 2.1



รูปที่2.4 ค่าของไซดแบนด์ต่างๆ

Bessel Functions of the First Kind, $J_n(m_f)$

m_f	J_0	J_1	J_2	J_3	J_4	J_5	J_6	J_7	J_8	J_9	J_{10}	J_{11}	J_{12}	J_{13}	J_{14}
0.00	1.00														
0.25	0.98	0.12	—	—	—	—	—	—	—	—	—	—	—	—	—
0.5	0.94	0.24	0.03	—	—	—	—	—	—	—	—	—	—	—	—
1.0	0.77	0.44	0.11	0.02	—	—	—	—	—	—	—	—	—	—	—
1.5	0.51	0.56	0.23	0.06	0.01	—	—	—	—	—	—	—	—	—	—
2.0	0.22	0.58	0.35	0.13	0.03	—	—	—	—	—	—	—	—	—	
2.4	0	0.52	0.43	0.20	0.06	0.02	—	—	—	—	—			—	—
2.5	−0.05	0.50	0.45	0.22	0.07	0.02	0.01	—	—	—	—	—	—	—	—
3.0	−0.26	0.34	0.49	0.31	0.13	0.04	0.01	—	—	—	—	—	—	—	—
4.0	−0.40	−0.07	0.36	0.43	0.28	0.13	0.05	0.02	—	—	—	—	—		—
5.0	0.18	−0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	—	—	—	—	—	—
6.0	0.15	0.28	−0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	—	—	—	—	—
7.0	0.30	0.00	−0.30	−0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	—	—	—	—
8.0	0.17	0.23	−0.11	−0.29	−0.10	0.19	0.34	0.32	0.22	0.13	0.06	0.01	—	—	—
9.0	−0.09	0.25	0.14	0.18	−0.27	−0.06	0.20	0.33	0.31	0.21	0.12	0.06	0.01	0.01	—
10.0	−0.25	0.05	0.25	0.06	0.22	−0.23	−0.01	0.22	0.32	0.29	0.21	0.12	0.06	0.03	0.01

ตารางที่ 2.1 ฟังก์ชั่นของเบสเสลชนิดที่หนึ่ง $J_n(m_f)$

ตารางที่ 2.1 ฟังก์ชั่นของเบสเสลชนิดที่หนึ่ง $J(m_n)_f$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 แบนด์วิดท์ของFM

ในระบบ FM จำนวนไซด์แบนด์และแอมพลิจูดของไซด์แบนด์ขึ้นอยู่กับค่าดัชนีการมอดูเลต โดยความถี่ของไซด์แบนด์มีค่าสัมพันธ์กับความถี่ของสัญญาณที่เข้ามอดูเลต กล่าวคือ ไซด์แบนด์คู่แรกมีความถี่ เท่ากับ $f \pm f_c$ ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ $f_c \pm 2f_m$,.... ฯลฯ ฉะนั้นแบนด์วิดท์ของคลื่น FM ต้องครอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกตัว นั่นคือแบนด์วิดท์ขึ้นอยู่ กับดัชนีการมอดูเลตและความถี่ของสัญญาณที่เข้ามามอดูเลต แต่ดัชนีการมอดูเลตเท่ากับ $f_d f_c$ ดังนั้นถ้าเราทราบค่าความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดูเลต เราก็สามารถคำนวณหาแบนด์วิดท์ได้ ตัวอย่างเช่น ความถี่ของสัญญาณสัญญาณเสียงที่เข้ามามอดูเลตเท่ากับ 3 กิโลเฮิร์ต ความถี่เบี่ยงเบนเท่ากับ 18 กิโลเฮิร์ต เราสามารถคำนวณค่าดัชนีการมอดูเลตได้ดังนี้

$$m = \frac{f_d}{f_m}$$

$$= \frac{18KHz}{3KHZ} = 6$$

นำค่า m = 6 ไปหาไซด์แบนด์สำคัญที่พิจารณาได้จากตารางที่ 2.1 จะเห็นได้ว่าเมื่อดัชนีการ มอดูเลตเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ เราจึงคำนวณหาแบนด์วิดท์ได้ดังนี้

$$BW = f_m \cdot \text{จำนวนไซด์แบนด์} \cdot 2$$

$$= 3kHz \cdot 9 \cdot 2$$

$$= 54kHz$$

ในทางปฏิบัตินิยมใช้สูตรคำนวณแบนด์วิดท์แบบประมาณจากค่า f_d max และ f_m max เลยไม่ต้องเสียเวลานับจำนวนไซด์แบนด์ ดังนี้

$$BW = 2(m+1)f_m \max$$

หรือ $$BW = 2(f_d \max + f_m \max) \text{ เมื่อ } m = \frac{f_d \max}{f_m \max}$$

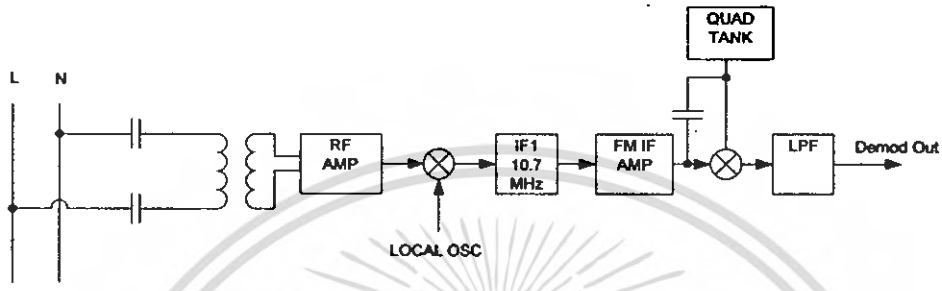
2.6 ภาครับ (Receiver)

หลักการของภาครับนี้ เป็นแบบซุปเปอร์เฮดเทอร์โรดายน์ (Superheterodyne) คือ จะมีภาคมิกเซอร์(Mixer) และ โลคอล ออสซิลเลเตอร์(Local Oscillator) ดังแสดงในรูป 2.8 ซึ่งจะอธิบายการทำงานในหัวข้อ ต่อไป

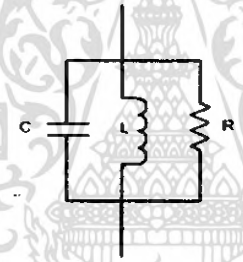
ประเด็นสำคัญที่เลือกใช้ เครื่องรับที่เป็นแบบซุปเปอร์เฮดเทอร์โรดายน์ เนื่องจากต้องจำกัดให้แบนด์วิดธ์และ ω อยู่ที่ย่านเดียวเพื่อง่ายต่อการสร้างวงจรของภาคต่อ ๆ ไปดังบล็อกไดอะแก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รม รูปที่ 2.5 ไม่ว่า จะเป็นส่วนของวงจรกรองความถี่แถบผ่าน(Band Pass Filter : BPF),วงจรขยายความถี่กลาง(IF Amplifier) และ ดีมอดูเลเตอร์(demodulator) ซึ่งขอยกตัวอย่างวงจร BPF ดังรูปที่2.6



รูปที่2.5 แสดงบล็อคไดอะแกรมของภาครับในโครงงานนี้



รูปที่2.6 แสดงตัวอย่างวงจรกรองแถบความพี่ผ่าน (BPF)

R คือค่า Z ของวงจรกรองความถี่แถบผ่านรวมกับค่า Z ของวงจรภาคต่อไป

จากรูป 2.6 จะได้สมการของวงจรกรองความถี่แถบผ่านคือ

$$Y(s) = SL + \frac{1}{SL} + \frac{1}{R_T} \tag{2.10}$$

$$Y(s) = \frac{S^2CLR_T + R_T + SL}{SLR_T}$$

$$Y(s) = \frac{C}{S}S^2 + S\left(\frac{1}{R_TC}\right) + \frac{1}{LC}$$

$$Z(s) = \frac{S\left(\frac{1}{C}\right)}{S^2 + S\left(\frac{1}{R_T}\right) + \frac{1}{LC}} \tag{2.11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ $Gain_{BPF} = \dfrac{Q_P}{S^2 + \dfrac{\omega_P}{Q_P}S + \omega_P^2}$ (2.12)

จัดรูปสมการที่ 2.2 ให้อยู่ในรูปแบบของสมการ 2.3

$$Z(s) = \frac{R_T\left(\dfrac{1}{R_T C}\right)S}{S^2 + \left(\dfrac{1}{R_T C}\right)S + \dfrac{1}{LC}} \quad (2.13)$$

จากสมการ 2.4 จะได้ค่าดังนี้คือ

$$\omega_P = \frac{1}{\sqrt{LC}} \quad (2.14)$$

$$-3dB_{Bw} = \frac{\omega_P}{Q_P} = \frac{1}{R_T C} \quad (2.15)$$

$$k = R_T \quad (2.16)$$

จากสมการ 2.4 จะได้ค่าดังนี้คือ

$$\omega_P = \frac{1}{\sqrt{LC}} \quad (2.14)$$

$$-3dB_{Bw} = \frac{\omega_P}{Q_P} = \frac{1}{R_T C} \quad (2.15)$$

$$k = R_T \quad (2.16)$$

จากสมการ 2.13 แสดงให้เห็นว่า ถ้าเราต้องการจะรับความถี่วิทยุ (Radio Frequency:RF) ใด ๆ แล้ว ให้เปลี่ยนแปลงค่า C (การเปลี่ยนแปลงค่าของ L กระทำได้ยาก) เมื่อเปลี่ยนแปลงค่า C ทำให้ แบนด์วิดธ์ เปลี่ยนแปลงไปด้วย จะทำให้มีปัญหาเรื่องของการรับสัญญาณที่แบ่งเป็นช่อง ๆ ที่แคบ นี่ก็เป็นเหตุผลหนึ่งที่ไม่เลือกภาครับแบบ TRF แต่ปัญหาของการเลือกใช้ภาครับแบบซุปเปอร์เฮดเทอร์โรดายน์ ก็คือความถี่เงา (Image frequency) จำเป็นอย่างยิ่งที่จะต้องออกแบบระบบให้มีการป้องกันการแทรกแซงของความถี่เงา จากที่เคยอธิบายไว้ข้างต้น ในเรื่องของการมอดูเลตเชิงความถี่ ว่าหลังจากมอดูเลตแล้วก่อให้เกิดแถบความถี่ข้าง เดียงที่เป็นผลรวมและผลต่างระหว่างสัญญาณข้อมูลกับสัญญาณคลื่นพาห์เมื่อเราเลือกใช้ผลต่างของสัญญาณ คือ

$$f_{IF} = f_{LO} - f_{RF} \quad (2.17)$$

$$\therefore f_{RF} = f_{LO} - f_{IF}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีอีกความถี่เงาเกิดขึ้น ซึ่งความถี่เงา (Image Frequency) คือ ความถี่ของสัญญาณวิทยุอีก สัญญาณหนึ่งที่ Mix กับความถี่ของ Local Oscillator แล้วได้ความถี่ปานกลางค่าเดียวกับช่องสัญญาณที่เราต้องการรับ

ถ้าให้ f_{RF} คือช่องความถี่ที่ต้องการรับ

f_{LO} คือ ความถี่ของ Local Oscillator ที่เราผลิต

f_{IF} คือ ค่าความถี่ปานกลาง

f_{LO} จะมีค่าเป็น $f_{RF}+f_{IF}$ หรือ $f_{RF}-f_{IF}$

ถ้า f_{LO} มีค่าเป็น $f_{RF}+f_{IF}$ อีกความถี่หนึ่งที่ Mix กับ $f_{RF}+f_{IF}$ แล้วได้ความถี่ ก็คือ

$f_{RF}+2f_{IF}$

$f_{LO}-f_{RF}=f_{RF}+f_{IF}-f_{RF}=f_{IF}$

และ

$f_{RF}+2f_{IF}-f_{LO}=f_{RF}+2f_{IF}-(f_{RF}+f_{IF})=f_{IF}$

ความถี่เงา f_{IM} ก็คือ $f_{RF}+2f_{IF}$

ถ้าความถี่ $f_{LO}=f_{RF}-f_{IF}$ ความถี่เงาจะมีค่าเป็น $f_{IM}=f_{RF}-2f_{IF}$

นั่นคือ ความถี่เงา อาจมีค่าสูงกว่า หรือต่ำกว่าช่องความถี่ที่เราต้องการรับอยู่สองเท่าของค่าความถี่ปานกลาง หรือ

$$f_{IM}=f_{RF}\pm 2f_{IF} \tag{2.18}$$

โดยที่ $f_{LO}=f_{RF}\pm f_{IF}$ (2.19)

การกำจัดการรบกวนของช่องความถี่เงา ทำได้โดย

1) นำสัญญาณ RF ของช่องที่ต้องการรับไปผ่านวงจรกรองความถี่ผ่าน ก่อนที่จะนำไป Mix กับ Local Osillator

2) เลือกค่าความถี่ ให้ส่งเพียงพอที่จะทำให้ความถี่เงาซึ่งมีค่าความถี่ ห่างจากช่องสัญญาณที่ต้องการอยู่สามารถถูกกรองออกไปโดยวงจรกรองความถี่ผ่านของช่องสัญญาณที่ ต้องการ วงจรกรองแถบความถี่ผ่านของช่องสัญญาณที่เราต้องการนั้น สามารถใช้วงจรกรองความถี่ที่มีความกว้างของแถบผ่านกว้าง ๆ หรือ Q ต่ำได้ หน้าที่ของวงจรกรองแถบความถี่นี้ เพียงเพื่อกำจัดความถี่ออกไปเท่า นั้น ไม่จำเป็นต้องกำจัดช่องความถี่ข้างเคียง ช่องความถี่ข้างเคียงจะถูกกำจัดออกโดยวงจรกรองแถบความถี่ผ่านของ IF

ดังนั้นการออกแบบวงจรกรองแถบความถี่ของช่อง RF ผ่าน จึงสามารถใช้วงจรกรองแถบความถี่ผ่าน Q ต่ำ ($Q\leq 5$) ซึ่งเป็นวงจรที่ออกแบบและสร้างได้โดยง่าย

ตัวอย่างเช่น มีสัญญาณ $f_{RF}=2.54MHz$ ต้องการ $f_{IF}=10.7MHz$ ในส่วนของโลคอลออสซิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลเตอร์ ต้องสร้างความถี่ $f_{LO} = 13.24MHz$ เพื่อให้ได้ตามต้องการแต่มีอีกความถี่ที่Modulateแล้วได้ $f_{IF} = 10.7MHz$ นั่นคือ $f_{image} = 23.94MHz$ ความถี่นี้เรียกว่า "ความถี่เงา"

2.7 มิกเซอร์ (Mixer)

วงจรที่ใช้ในการสื่อสารวิทยุในปัจจุบัน มักมีความจำเป็นที่จะต้องเลื่อนหรือเปลี่ยนแปลงความถี่พาหะเพื่อความเหมาะสมในการใช้งาน ตัวอย่างเช่น กรณีของการส่งสัญญาณกระจายใด ๆ จากวิทยุจำเป็นต้องใช้ความถี่คลื่นพาห์ f_c ที่มีความถี่สูง เพื่อให้สายส่งและตัวรับมีขนาดเล็ก สัญญาณรบกวนต่ำและสามารถส่ง สัญญาณไปได้ไกล ๆ ซึ่งเมื่อผู้รับสัญญาณนั้นๆ จากเสาอากาศวิทยุแล้ว สัญญาณที่รับเข้ามามักจะมีค่าน้อยมาก ก็ต้องนำสัญญาณนั้นมาขยายเสียก่อน การทำวงจรขยายให้มีความถี่สูงนั้นทำได้ยากและมักมีราคาแพง ดังนั้นเมื่อรับความถี่ใด ๆ เข้ามาแล้วจึงต้องมีการเปลี่ยนแปลงความถี่นั้นให้อยู่ในความถี่ที่เหมาะสม เรียกว่า ความถี่กลาง (intermediate - frequency: f_{IF}) ซึ่งจะทำให้ง่ายแก่การสร้างวงจรขยายและได้คุณภาพที่ดีกว่า

2.8 Frequency Multiplier

ในการป้อนสัญญาณให้กับตัวอุปกรณ์ ที่มีคุณสมบัติ แรงดัน-กระแส ที่ไม่เป็นเชิงเส้น จะทำให้เกิดความถี่ฮาร์โมนิกส์จำนวนมากเราสามารถใช้วงจรกรองความถี่แถบผ่าน เลือกกรองเฉพาะความถี่ฮาร์โมนิกส์ที่ต้องการไปใช้งาน

ตัวอุปกรณ์สารกึ่งตัวนำทุกชนิด เป็นตัวอุปกรณ์ที่ไม่เป็นเชิงเส้น

ไดโอดที่ได้รับไบอัสด้านหน้า

$$i_F(t) = I_O e^{(v_F(t)/V_T)}$$

ไบโพลาร์ทรานซิสเตอร์

$$i_C(t) = I_{CQ} e^{(v_{in}(t)/V_T)}$$

ทรานซิสเตอร์สนามไฟฟ้า

$$i_F(t) = K(v_{GS}(t) - V_{Th})^2$$

โดยที่ v_F คือ แรงดันไฟฟ้าที่ตกคร่อมไดโอด

v_{in} คือ ส่วนของสัญญาณที่ตกคร่อม B-E ของทรานซิสเตอร์

$V_T \cong \frac{KT}{Q} \cong 26.10^{-3}$ โวลต์ ;ที่อุณหภูมิ 300 เคลวิน

v_{GS} คือ แรงดันไฟฟ้าทั้งหมดของที่ตกคร่อม G-S ของทรานซิสเตอร์สนามไฟฟ้า

V_{Th} คือ แรงดันขีดเริ่ม(Threshold Voltage) ของทรานซิสเตอร์สนามไฟฟ้า

K คือ ค่าคงที่ของของทรานซิสเตอร์สนามไฟฟ้าซึ่งมีค่าเท่ากับ ใน MOSFET และ I_{dss} / V_{GSoff}

เอกสารนี้ ... ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน JFET

I_O คือ ค่าคงที่ของไดโอด

และ I_{CQ} คือ ค่ากระแสไบอัสไฟตรงของทรานซิสเตอร์

ในกรณีของไดโอดหรือไบโพลาร์ทรานซิสเตอร์ ฟังก์ชั่น $e^{(v/V_T)}$ สามารถกระจายอยู่ในรูปอนุกรมกำลังได้เป็น

$$I_C(t) = I_{CQ}\left(1 + \frac{v_{in}(t)}{V_T} + \frac{v_{in}(t)^2}{2V_T{}^2} + \frac{v_{in}(t)^3}{6V_T{}^3} + \ldots\right)$$

หรือสามารถเขียนในรูปของ

$$i_C(t) = I_{CQ} + a_1 v_{in}(t) + a_2 v_{in}(t)^2 + \ldots + a_n v_{in}(t)^n$$

โดยที่

$$a_n(n \geq 1) = \frac{I_{CQ}}{!n V_T{}^n}$$

ถ้าให้ $v_{in} = v\sin\omega t$ พจน์ของ $v_{in}(t)$ จะมีพจน์ของ $v\sin n\omega t$ หรือ $v\cos n\omega t$ เกิดขึ้น โดยการป้อนสัญญาณให้กับวงจร Tuned Amplifier และเลือกค่า L ,C เพื่อให้ ω_{PK} มีค่าเป็น n เท่าของความถี่ทางออก $n = 1,2,3$ จะได้สัญญาณที่ทางออกเป็นสัญญาณที่มีความถี่เป็น n เท่าของสัญญาณที่ทางเข้า การเกิดความถี่ฮาร์โมนิกส์ เป็นเหตุการณ์ที่เกิดขึ้นกับวงจรขยายทุกชนิดความถี่ฮาร์โมนิกส์ที่เกิดขึ้นนี้จะทำให้สัญญาณที่ทางออกมีความเพี้ยนไปจากสัญญาณที่ทางเข้า เราเรียกความเพี้ยนที่เกิดขึ้นจากสาเหตุนี้ว่า "ฮาร์โมนิกส์ดิส-ทรอชั่น(Haramonics Distortion)"

$$(\sin\omega t)^2 = \frac{1}{2}(1 - \cos 2\omega t)$$

$$(\cos\omega t)^2 = \frac{1}{2}(1 + \cos 2\omega t)$$

$$(\sin\omega t)^3 = \frac{3}{4}\sin\omega t - \frac{1}{4}\sin 3\omega t$$

$$(\cos\omega t)^3 = \frac{3}{4}\cos\omega t - \frac{1}{4}\cos 3\omega t$$

$$(\sin\omega t)^4 = \frac{3}{8} - \frac{1}{2}\cos 2\omega t + \frac{1}{8}\cos 4\omega t$$

$$(\cos\omega t)^4 = \frac{3}{8} + \frac{1}{2}\cos 2\omega t + \frac{1}{8}\cos 4\omega t$$

โดยการป้อนผลบวกหรือผลต่างของสัญญาณเป็นสัญญาณที่ทางเข้า $(v_{in}(t) = v_1(t) \pm v_2(t))$ ของตัวอุปกรณ์ที่ไม่เป็นเชิงเส้นจะมีสัญญาณที่มีความถี่ผลบวกและ ผลต่างของสัญญาณที่ทางเข้าเป็นส่วนหนึ่งของสัญญาณที่ทางออกส่วนสัญญาณที่ทางออกที่มี ความถี่ที่ไม่ต้องการจะถูกลดทอนด้วยวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 Modulator and Demodulator

การมอดูเลท (Modulation) คือ ขบวนการที่ใช้ในการเลื่อนแถบความถี่ของสัญญาณ มอดูเลติ้ง (Modulating Signal) ซึ่งมีความถี่ ω_m ให้กลายเป็นความถี่ใหม่รอบๆคลื่นพาห์ (carrier) ซึ่งมีความถี่ ω_c โดยสัญญาณมอดูเลติ้ง จะไปเปลี่ยนแปลงคุณสมบัติบางประการของคลื่นพาห์ คลื่นพาห์ที่ถูกมอดูเลทแล้ว เรียกว่า "Modulated Signal"

ให้ $v_n(t)$ เป็นคลื่นพาห์

$$v(C_t) = V_{CP}\sin(\omega_c t + \phi) \tag{2.20}$$

$v_m(t)$ เป็นสัญญาณมอดูเลติ้ง

$$v_m(t) = V_{mn}\sin\omega_m t \tag{2.21}$$

การเปลี่ยนแปลงคุณสมบัติของคลื่นพาห์อาจทำได้โดย

1)ขนาดของคลื่นพาห์เปลี่ยนแปลงตามขนาดของสัญญาณมอดูเลติ้งเรียกขบวนการนี้ว่า Amplitude Modulation(AM)

2)มุมของคลื่นพาห์เปลี่ยนแปลงตามขนาดของ $v_m(t)$เรียกขบวนการนี้ว่าAngular Modulation มุมของคลื่นพาห์ประกอบด้วยพจน์ความถี่ (ω)และเฟสเริ่มต้น (ϕ) Angular modulation จึงมี 2 รูปแบบ คือ

2.1) ความถี่ของคลื่นพาห์เปลี่ยนแปลงตามขนาดของสัญญาณ v_m เรียกขบวนการนี้ว่า Frequency Modulation(FM)

2.2) เฟสเริ่มต้นของคลื่นพาห์เปลี่ยนแปลงตามขนาดของ v_m เรียกขบวนการนี้ว่า Phase Modula- tion (PM)

สมการคลื่น Modulated AM คือ $v_{AM}(t) = (V_{CP} + v_m(t))\sin\omega_c t$ (2.22)

แทนค่าสัญญาณมอดูเลติ้ง $v_m(t)$ ด้วยสมการที่ 2.20 ลงในสมการที่ 2.22 จะได้

$$v_{AM}(t) = V_{CP}\sin\omega_c t + v_{mp}\sin\omega_m t\cdot\sin\omega_c t \tag{2.23}$$

$$v_{AM}(t) = V_{CP}\sin\omega_c t + \frac{v_{mp}}{2}\cos(\omega_c - \omega_m)t - \frac{v_{mp}}{2}\cos(\omega_c + \omega_m)t \tag{2.24}$$

จะเห็นได้ว่าสัญญาณมอดูเลติ้ง: $v_m(t)$ ซึ่งมีความถี่ ω_m เมื่อกลายเป็นคลื่น AM Modulatd จะถูกเลื่อนความถี่จาก ω_m ไปเป็นความถี่ $\omega_c\omega_m$ และ $\omega_c - \omega_m$ โดยที่ ω_c คือความถี่คลื่นพาห์

จากสมการที่ 2.23 และ 2.24 จะพบว่าการที่ความถี่ ω_m ถูกเลื่อนความถี่เป็น $\omega_c\omega_m$ เกิด จากพจน์ของผลคูณ $\sin\omega_m t\sin\omega_c t$ นั่นคือ ผลลัพธ์ที่เกิดจากการนำสัญญาณสองสัญญาณมาคูณกันจะได้สัญญาณใหม่ซึ่งถูกเลื่อนความถี่ จาก ω_1 และ ω_2 เป็น $\omega_1\omega_2$ และ $|\omega_2 - \omega_1|$

ขบวนการมิกเซอร์หรือการแปลงความถี่(Frequency Conversion) เป็นขบวนการที่ใช้ในการเพิ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

หรือลดค่าความถี่ของสัญญาณซึ่งเป็นการใช้หลักการเดียวกับ AM Modulator ทุกประการ นั่นคือ วงจร AM Modulator และวงจร Frequency Mixer จะมีรูปแบบเหมือนกันทุกประการ

ถ้า $v_1(t) = V_1 \sin \omega_1 t$

และ $v_2(t) = V_2 \sin \omega_2 t$

พจน์ของ $(\sin \omega t)^n$ หรือ $(\cos \omega t)^n$ จะทำให้เกิดพจน์ $\pm U \sin n\omega t$ หรือ $\pm V \cos n\omega t$ U, V = ค่าคงที่ หรือพจน์ของ $v(t)^n$ จะเกิดสัญญาณฮาร์โมนิกส์ที่ n พจน์ ($\pm \sin \omega_1 t$ หรือ $\pm \cos \omega_1 t$)·($\pm \sin^x \omega_2 t$ หรือ $\pm \cos^y \omega_2 t$) จะทำให้เกิดความถี่ $x\omega \pm y\omega$ ซึ่งเรียกสัญญาณเหล่านี้ว่า CrossProduct Frequenciesซึ่ง Cross Product Frequencies กรณี x=1 , y=1 จะทำให้เกิด

-AM Modulation

-Frequency Mixer

-AM Demodulation

LและC ที่ขาคอลเลคเตอร์ จะทำหน้าที่เป็นวงจรกรองความถี่แถบผ่าน กำจัดหรือลดทอนความถี่ที่ไม่ต้องการ จากสูตร

$$2\sin \omega_1 t \cdot \sin \omega_2 t = \cos(\omega_1 - \omega_2)t - \cos(\omega_1 + \omega_2)t$$

$$2\sin \omega_1 t \cdot \cos \omega_2 t = \sin(\omega_1 + \omega_2)t + \sin(\omega_1 - \omega_2)t$$

$$2\cos \omega_1 t \cdot \cos \omega_2 t = \cos(\omega_1 + \omega_2)t + \cos(\omega_1 - \omega_2)t$$

$$2\cos \omega_1 t \cdot \sin \omega_2 t = \sin(\omega_1 + \omega_2)t - \sin(\omega_1 - \omega_2)t$$

$$\sin(-\omega t) = -\sin \omega t$$

$$\cos(-\omega t) = \cos \omega t$$

$$\cos\left(\omega t \pm \frac{\pi}{2}\right) = \pm \sin \omega t$$

$$\sin\left(\omega t \pm \frac{\pi}{2}\right) = \pm \cos \omega t$$

จากที่ได้อธิบายไปแล้วสรุปว่า

1) ถ้าเราป้อนสัญญาณให้กับวงจรขยาย (ตัวขยายทุกชนิดมีคุณสมบัติไม่เป็นเชิงเส้น) เพียงความถี่เดียว ω_i สัญญาณที่ทางออกจะประกอบด้วยสัญญาณที่มีความถี่ $\omega_i, 2\omega_i, 3\omega_i, ..., n\omega_i$

ในกรณีที่ใช้งานเป็นวงจรขยาย สัญญาณที่ทางออกที่มีความถี่ $n\omega_i; n \geq 2$ ทำให้เกิดความเพี้ยนในรูปแบบฮาร์โมนิกส์ดิสทรอชั่น

อย่างไรก็ตามเราอาจใช้ประโยชน์จากสัญญาณที่มีความถี่ $n\omega_i; n \geq 2$ โดยใช้วงจรกรองความถี่แถบผ่าน กรองเฉพาะความถี่ที่ไม่ต้องการ วงจรขยายนั้นถูกเรียกว่า วงจรคูณความถี่

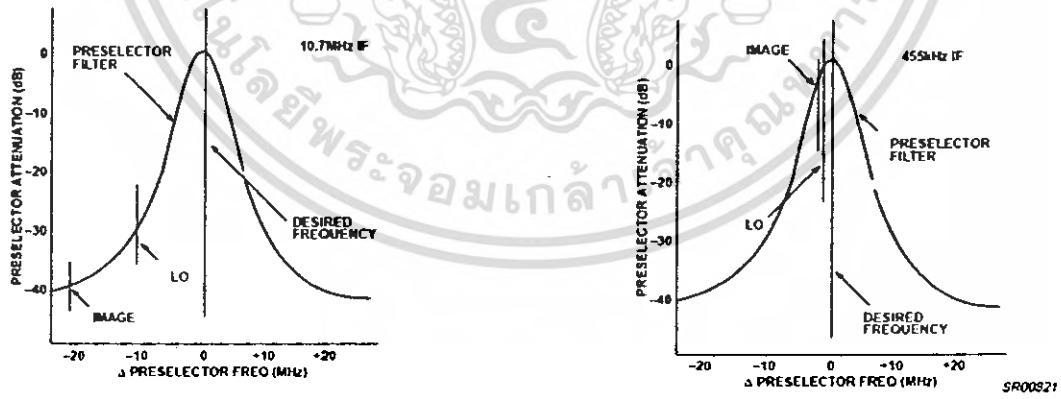
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
72120

(Frequency Multiplier) ซึ่งเป็นวงจรที่มีประโยชน์โดยเฉพาะอย่างยิ่งกับเครื่องส่งวิทยุ

2) ถ้าป้อนสัญญาณมากกว่าหนึ่งความถี่: ω_1, ω_2; สัญญาณที่ทางออกนอกจากจะมีฮาร์โมนิกส์ ของสัญญาณที่ทางเข้ารวมอยู่ จะมีสัญญาณ Cross Product Frequencies อีกด้วย ซึ่งจะทำให้สัญญาณที่ทางออกประกอบด้วยสัญญาณที่มีความถี่

$$\omega_1, \omega_2, 2\omega_1, 2\omega_2, 3\omega_1, 3\omega_2, ..., |\omega_1 \pm \omega_2|, |2\omega_1 \pm \omega_2|, |3\omega_1 \pm \omega_2|, ..., |\omega_1 \pm 2\omega_2|, |\omega_1 \pm 3\omega_2|, ...$$

ในกรณีวงจรขยายสัญญาณ Cross Product Frequency ทำให้เกิดความเพี้ยนที่เรียกว่า Intermodulation Distortion อย่างไรก็ตาม Cross Product Frequency สามารถนำไปใช้ประโยชน์อย่างยิ่งในระบบสื่อสารไร้สายโดยใช้วงจรกรองความถี่เลือกเอาเฉพาะความถี่ที่ต้องการวงจรขยายจะทำงานเป็นModulator หรือ Frequency Mixer หรือ Demodulator การสร้าง Cross Product Frequency อาจสร้างได้จากวงจรคูณ ซึ่งวงจรคูณสัญญาณนี้มักอยู่ในรูปแบบของไอซี ในการออกแบบระบบได้ออกแบบให้ใช้ IF ที่สูงคือ $10.7MHz$ เนื่องจากสามารถลดทอนความถี่ของ โลคอลออสซิลเตอร์และความถี่เงา (Image Frequency) เมื่อผ่านฟิลเตอร์ ซึ่งใช้เซรามิคฟิลเตอร์ $10.7MHz$ ในการกรอง จะได้เฉพาะความถี่กลางเท่านั้น ในรูปที่ 2.7 มีการเปรียบเทียบให้ดูระหว่างการใช้ IF สูง กับ IF ต่ำ แตกต่างกันอย่างไร จะเห็นได้ชัดว่าที่ความถี่กลางต่ำวงจรกรองความถี่จะไม่สามารถกรองความถี่เงาและความถี่โลคอลออสซิเลเตอร์ได้



รูปที่2.7 แสดงความแตกต่างของการเลือก IFสูง IFต่ำ

2.10 Quadrature Detector

สำหรับกระบวนการดีมอดูเลเตอร์แบบ FM ให้ได้ระดับแรงดันเอาท์พุทที่เป็นสัดส่วนกับความถี่ของอินพุทนั้นมีรูปแบบพื้นฐานของวงจร 3 รูปแบบ ดังนี้

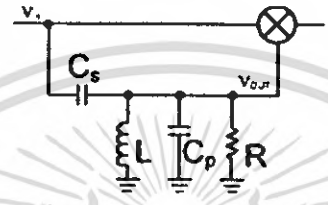
1.Phase Locked Loop(PLL) Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Slope Detector/FM discriminator

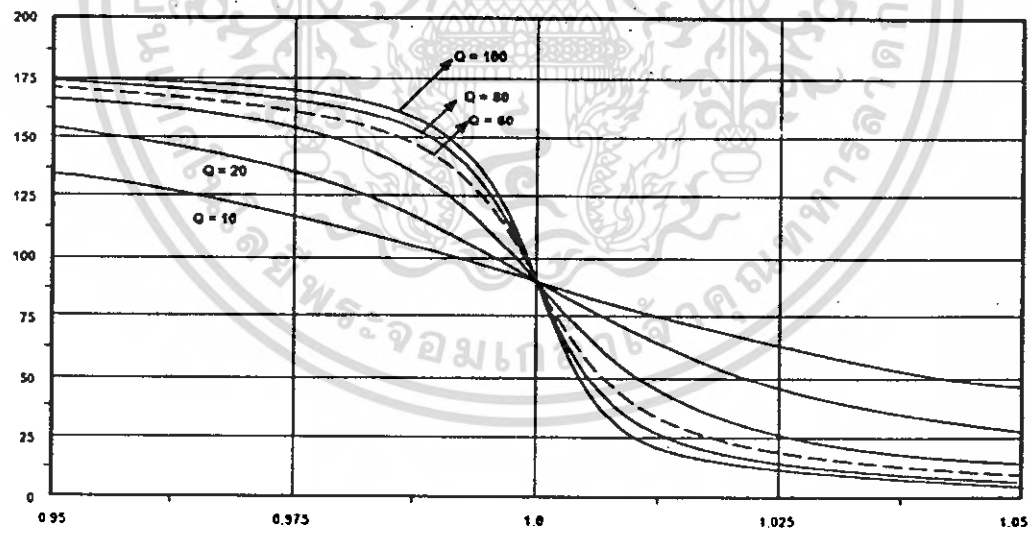
3. Quadrature Detector

วงจรทั้งสามแบบจะสร้างระดับแรงดันเอาท์พุทให้เหมาะสมกับความถี่อินพุทในที่นี้จะไม่อธิบายถึง 2 ชนิดแรก



รูปที่ 2.8 Quadrature Detector

จากรูปที่ 28 ในส่วนของวงจรขนาน RLC นั้นมีตัวแปรที่สำคัญคือ Q โดยจะส่งผลกระทบต่อการดีเทคเตอร์คือ การ ผิดเพี้ยน,ค่าเบี่ยงเบนสูงสุดของกรมอดูเลท และขนาดของสัญญาณทางออก ซึ่งเส้นกราฟที่เกี่ยวข้องกับวงจร RLC ขนานนี้แสดงดังรูปที่ 2.9



รูปที่2.9 กราฟความสัมพันธ์ระหว่าง ϕ กับ ω

การเลื่อนมุมเฟสนี้จะมีผลทำให้ตัวคูณสัญญาณสร้างระดับแรงดันที่เปลี่ยนแปลงไป จากกราฟจะเห็นได้ว่า ถ้าค่าของ Q มีค่าสูงจะทำให้การเบี่ยงเบนการเลื่อนเฟสมาก ขณะที่มีการเบี่ยงเบนน้อยๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่จะทำให้ย่านการเบี่ยงเบนแคบ ซึ่งสามารถอธิบายได้ด้วยสมการดังนี้

จากรูปที่ 2.11 จะได้ทรานเฟอร์ฟังก์ชั่น

$$V_O = \frac{\dfrac{S/C_P}{S^2+(S/C_PR)+(1/RL)}}{\dfrac{S/C_P}{S^2+(S/C_PR)+(1/RL)}+\dfrac{1}{SC_S}}\cdot v_{in}$$

$$V_O = \frac{S}{C_P}\cdot\frac{SC_SC_P}{S^2(C_S+C_P)+\dfrac{S}{R}+\dfrac{1}{L}}\cdot v_{in}$$

$$V_O = \frac{C_S}{C_S+C_P}\cdot\frac{1}{1+\dfrac{1}{R(C_S+C_P)S}+\dfrac{1}{L(C_S+C_P)S^2}}\cdot v_{in}$$

จากรูปแบบของทรานเฟอร์ฟังก์ชั่น

$$V_O = \frac{C_S}{C_S+C_P}\cdot\frac{1}{1+\dfrac{\omega_1}{Q_1S}+\left(\dfrac{\omega_1}{S}\right)^2}\cdot v_{in} \qquad (2.25)$$

จะได้

$$\omega_1 = \frac{1}{\sqrt{L(C_S+C_P)}}$$

$$\frac{\omega_1}{Q_1} = \frac{1}{R(C_S+C_P)}$$

$$Q_1 = R(C_S+C_P)\,\omega_1$$

จากรูปของวงจรพื้นฐาน เมื่อผ่าน C_S แล้วเฟสของสัญญาณจะเลื่อนเป็นมุม ϕ สามารถคำนวณหาค่าได้จาก

$$\phi = \angle V_o - \angle V_{in} = \tan^{-1}\left[\frac{\dfrac{\omega_1}{Q_1\omega}}{1-\left(\dfrac{\omega_1}{\omega}\right)^2}\right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งได้ความสัมพันธ์ระหว่าง ϕ กับ $\frac{\omega_1}{\omega}$ ไว้ในรูปที่ 2.16

ที่ $\omega = \omega_1$ คืออัตราส่วนระหว่าง $\frac{\omega_1}{\omega} = 1$ จะทำให้เฟสของสัญญาณเลื่อนไป 90 องศาและมีค่าความชัน $\frac{\Delta\phi}{\Delta\omega} = \frac{2Q_1}{\omega_1}$ สัญญาณทางเอาท์พุทจะมีเฟสเลื่อนเท่ากับ $\left[\frac{\pi}{2} - \frac{2Q_1}{\omega_1}\omega\right]$ มีความสัมพันธ์กับ V_{in}

ดังนี้ สมมติถ้า $V_{in} = A\sin\omega t$ ทางเอาท์พุทจะได้

$V_o = A\sin\left[\omega t + \frac{\pi}{2} + \frac{2Q_1}{\omega_1}\omega\right]$ คูณสัญญาณอินพุทกับเอาท์พุทในภาคมิกเซอร์ได้เป็น

$$V_o \cdot V_{in} = A^2 \sin\omega t \cdot \sin\left[\omega t + \frac{\pi}{2} - \frac{2Q_1}{\omega_1}\omega\right]$$

$$V_o \cdot V_{in} = \frac{A^2}{2}\left[\cos\left(\frac{\pi}{2} - 2\frac{Q_1}{\omega_1}\omega\right) - \cos\left(2\omega t + \frac{\pi}{2} - 2\frac{Q_1}{\omega_1}\omega\right)\right]$$

เมื่อผ่านวงจรกรองความถี่ต่ำจะได้

$$V_o \cdot V_{in} = \frac{A^2}{2}\left[\cos\left(\frac{\pi}{2} - 2\frac{Q_1}{\omega_1}\omega\right)\right] = A^2 \sin\left(2\frac{Q_1}{\omega_1}\omega\right) \qquad (2.26)$$

จากสมการ 2.26 จะเห็นได้ว่า $V_{out} \propto \frac{2Q_1}{\omega_1}\omega$

ในกรณีที่ $\frac{2Q_1}{\omega_1}\omega \le \frac{\pi}{2}$: $\frac{2Q_1}{\omega_1}\omega = \left[2Q_1\left(\frac{\omega_1 - \Delta\omega}{\omega_1}\right)\right]$ (2.27)

แทนค่า2.27ลงในสมการ 2.26

$$V_o \cdot V_{in} = A^2 \sin\left(2Q_1\left(1 + \frac{\Delta\omega}{\omega_1}\right)\right) \; ; \frac{\Delta\omega}{\omega_1} = m_f$$

ค่าความถี่ผลต่างที่ได้มาจากมิกเซอร์ มีเฟสของสัญญาณแปรผันตรงกับค่าดัชนีการผสมคลื่น

2.11 ลิมิตเตอร์

สัญญาณ FM (มีความถี่เท่ากับ IF) อาจจะมีนอยส์ปะปนมาด้วย วงจรลิมิตเตอร์จะทำหน้าที่ขลิบสัญญาณทั้งด้านบวกและลบ รวมทั้งนอยส์ก็จะถูกกำจัดทิ้งไปด้วย (ดูรูปที่2.10) สังเกตว่าความถี่ของสัญญาณ FM ก่อนและหลังลิมิตเตอร์ไม่เปลี่ยนแปลง หลักการของวงจรลิมิตเตอร์นี้ก็คือ ป้อนสัญญาณที่มีแอมพลิจูดเกินช่วงทำงานของวงจร (overdrive) จนกระทั่งวงจรขยายอิ่มตัว หรือคัตออฟ ถ้าสัญญาณ IF ที่ป้อนมามี แอมพลิจูดน้อย เอาต์พุตจากลิมิตเตอร์จะมีนอยส์ปนออกมาทางออดิโอเอาท์พุต ถ้าป้อนแอมพลิจูดมาแรง ๆนอยส์จะเงียบไป ปรากฏการณ์นี้มีความสัมพันธ์กับค่า "quieting" ของภาคออดิโอเอาต์พุต (ความดังเสียงและค่าความไวของเครื่องรับ FM ด้วยเช่น สเปก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบุว่าสัญญาณที่ไม่ได้มอดูเลตมีแต่พาหะอย่างเดียว) ป้อนเข้าอินพุตของเครื่องรับ ทำให้นอยส์จากวงจรขยายเสียงลดลงไป 20 เดซิเบล การที่จะลดนอยส์ให้ได้ก็คือขยายสัญญาณอินพุต (IF) ให้มากๆ พอที่จะขับให้วงจรลิมิตเตอร์ขลิบสัญญาณเพื่อกำจัดนอยส์ที่ขี่มาบนสัญญาณ FM ตามหลักการของวงจรลิมิตเตอร์

รูปที่2.10 วงจรลิมิตเตอร์จะขจัดนอยส์และการเปลี่ยนแปลงทางแอมพลิจูดของสัญญาณ FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีที่เกี่ยวข้อง

3.1 Microcontroller (MCS-51)

3.1.1 บทนำ

หลังจากที่อินเทลประสบความสำเร็จในการสร้างไมโครโปรเซสเซอร์ 8080 ในปี 2516 แล้วอินเทลก็ได้พัฒนาต่อมาเป็น 8085 ในขณะนั้นโครงสร้างบัสของ 8085 เปลี่ยนไปในลักษณะที่เป็นแอดเดรสและข้อมูลมัลติเพล็กซ์ อินเทลประสบผลสำเร็จในการขายเป็นอย่างดีเพราะมีชิพประกอบร่วมอยู่ด้วยมาก อินเทลพัฒนาชิพสนับสนุนด้วยโครงสร้างที่ต่อร่วมกับตระกูล 8085 ไว้เป็นจำนวนมากอย่างไรก็ตามโครงสร้างที่ต้องประกอบการทำงานร่วมกับชิพอีกหลายตัว โดยเฉพาะต้องมี ROM และ RAM ภายนอกต้องมีพอร์ตภายนอกเช่นกัน ไมโครโปรเซสเซอร์กลุ่มนี้จึงไม่เหมาะที่จะใช้งานกับงานขนาดเล็กที่อยู่ในกลุ่มงานควบคุม หรืออุปกรณ์ฮาร์ดแวร์ที่ประยุกต์ในเครื่องมือต่าง ๆ ที่เรียกว่า ไมโครคอนโทรลเลอร์

อินเทลจึงหันมาสร้างชิพไมโครคอนโทรลเลอร์ โดยรวมซีพียูหน่วยความจำและพอร์ตอินพุตเอาต์พุตไว้ในชิพเดียว โดยตั้งหมายเลขตระกูลเป็น MCS-48 เบอร์หลักที่กำหนดคือ 8048 เป็นชิพไมโครคอนโทรลเลอร์ที่อินเทลตั้งใจจะให้มีการประยุกต์ใช้ในวงจรที่ต้องการให้ต้นทุนต่ำ ผลิตเป็นจำนวนมาก เช่น สินค้าที่ใช้ในบ้านทั่วไป

ไมโครคอนโทรลเลอร์ในตระกูล MCS-51 เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต ที่มีอุปกรณ์สนับสนุนประกอบอยู่ภายในหลายอย่าง ได้แก่ หน่วยความจำสำหรับเก็บโปรแกรม ตัวตั้งเวลา/ตัวนับ อุปกรณ์รับส่งข้อมูลแบบอนุกรม เนื่องจากโครงสร้างของไมโครคอนโทรลเลอร์มีอุปกรณ์สนับสนุนประกอบอยู่ภายในนี้เอง ทำให้การใช้งานง่ายขึ้นและมีประสิทธิภาพมากขึ้นโดยไม่ต้องมีการเชื่อมต่ออุปกรณ์ภายนอกเพิ่มเติมมากเหมือนกับตัวไมโครโปรเซสเซอร์ทั่วไป นอกจากนี้หากเราต้องการใช้งานไมโครคอนโทรลเลอร์ร่วมกับอุปกรณ์อื่นเพิ่มเติม เช่น ไอซี 8255 หรือหน่วยความจำภายนอก เรายังสามารถนำมาเชื่อมต่อเพิ่มเติมเข้ากับไมโครคอนโทรลเลอร์ได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3-1 ไมโครคอนโทรลเลอร์ในตระกูล MCS-51

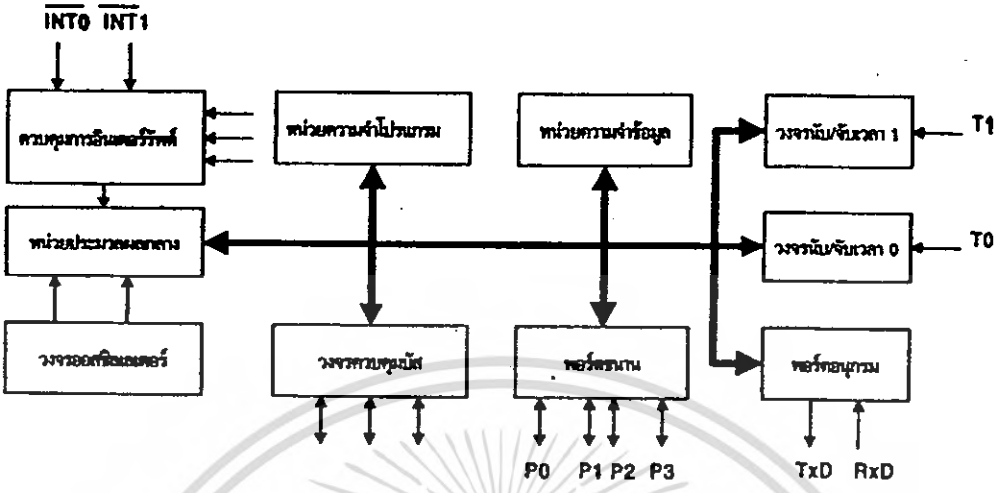
Device Name	EPROM	ROM(Bytes)	RAM(Bytes)	16 BITS TIMERS/COUNTER	INTERRUPT
8031	-	-	128*8	2	5
8031AH	-	-	128*8	2	5
8031BH	-	-	128*8	2	5
8032AH	-	-	256*8	3	6
8051	-	4K*8	128*8	2	5
8051AH	-	4K*8	128*8	2	5
8051BH	-	4K*8	128*8	2	5
8052AH	-	8K*8	256*8	3	6
8751H	4K*8	-	128*8	2	5
8752H	8K*8	-	256*8	3	6

3.1.2 โครงสร้างของ MCS-51

โครงสร้างภายในพื้นฐานของไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 8051 ประกอบด้วยอุปกรณ์ต่าง ๆ ได้แก่

- หน่วยความจำภายในสำหรับเก็บข้อมูลขนาด 128 ไบต์ (Internal data memory 128 bytes)
- หน่วยความจำภายในสำหรับโปรแกรมขนาด 4 กิโลไบต์ (nternal program memory 4 Kbytes)
- อุปกรณ์ควบคุมการอินเทอร์รัพต์ (Interrupt Control Unit)
- ตัวตั้งเวลาและตัวนับขนาด 16 บิต 2 ชุด (Timer/Counter0 and Timer/Counter1)
- พอร์ตควบคุมการสื่อสารอนุกรมแบบ Full Duplex ซึ่งสามารถรับและส่งข้อมูลพร้อมกันได้
- พอร์ตขนานสำหรับติดต่อกับอุปกรณ์ภายนอกจำนวน 4 พอร์ต พอร์ตละ 8 บิต
- วงจรผลิตสัญญาณนาฬิกาภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-1 โครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 8051

3.1.2.1 หน่วยความจำสำหรับเก็บโปรแกรม (Internal Program Memory)

หน่วยความจำสำหรับเก็บโปรแกรมทำหน้าที่เก็บโปรแกรมที่ผู้ใช้เขียนขึ้นเพื่อควบคุมการทำงานของไมโครคอนโทรลเลอร์ โดยหน่วยความจำจะเป็นแบบ ROM มีความจุ 4 Kbytes (ตำแหน่ง 0000H - 0FFFH) ในการใช้งานสามารถกำหนดให้ ไมโครคอนโทรลเลอร์เลือกใช้โปรแกรมที่เก็บอยู่ภายในตัวไมโครคอนโทรลเลอร์หรือโปรแกรมที่เก็บอยู่ในหน่วยความจำ (PROM) ที่อยู่ภายนอกก็ได้ การเลือกการติดต่อทำโดยการป้อนสัญญาณควบคุมที่ขา EA (ExternalAccess) ถ้าต้องการไมโครคอน- โทรลเลอร์ ติดต่อกับโปรแกรมที่อยู่ในหน่วยความจำภายในตัวไมโครคอนโทรลเลอร์จะต่อขานี้กับลอจิก 1 หากต้องการให้ไมโครคอนโทรลเลอร์ติดต่อกับโปรแกรมที่เก็บอยู่ในหน่วยความจำภายนอก จะต่อขานี้กับลอจิก 0 การติดต่อกับหน่วยความจำโปรแกรมภายนอกจะติดต่อได้ทั้งหมด 64 Kbytes (ตำแหน่ง 0000H - FFFFH)

ในกรณีที่กำหนดให้ไมโครคอนโทรลเลอร์ติดต่อกับโปรแกรม ที่อยู่ในหน่วย ความจำ ภายในตัวไมโครคอนโทรลเลอร์จะติดต่อได้ 4 Kbytes (สำหรับเบอร์ 8051) หากตำแหน่งของโปรแกรมมีค่าเกินกว่าตำแหน่งของหน่วยความจำภายใน (โปรแกรมยาวเกินกว่า 4 Kbytes) ตัวไมโครคอนโทรลเลอร์จะทำการติดต่อกับโปรแกรมที่อยู่ในหน่วยความจำภายนอกอัตโนมัติ

3.1.2.2 หน่วยความจำข้อมูลภายใน (Internal Data Memory)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำข้อมูลภายในทำหน้าที่เก็บข้อมูลทั่วไป และทำหน้าที่เป็นสแต็กบางส่วน หน่วยความจำข้อมูลภายในของเบอร์ 8051 มีอยู่ 128 ไบต์ โดยอยู่ในตำแหน่ง 00H-7FH

3.1.2.3 อุปกรณ์ควบคุมการอินเตอร์รัพต์ (Interrupt Control Unit)

เป็นส่วนทำหน้าที่ควบคุมการอินเตอร์รัพต์ของไมโครคอนโทรลเลอร์ ซึ่งมีการร้องขออินเตอร์รัพต์ได้จาก 6 แหล่งกำเนิด คือ สัญญาณจากภายนอก 2 สัญญาณ จากตัว Timer0, Timer1 และ Timer2 และจากอุปกรณ์รับส่งข้อมูลแบบอนุกรม 1 สัญญาณ สัญญาณอินเตอร์รัพต์ที่เกิดขึ้นสามารถควบคุมให้ไมโครคอนโทรลเลอร์ตอบรับหรือไม่ตอบรับก็ได้ นอกจากนี้ยังสามารถจัดลำดับความสำคัญของการอินเตอร์รัพต์ (Interrupt priority) จากสัญญาณต่าง ๆ ได้เป็น 2 ระดับแตกต่างกัน

3.1.2.4 ตัวตั้งเวลาและตัวนับ (Timer/Counter)

ในไมโครคอนโทรลเลอร์เบอร์ 8051 ประกอบด้วยรีจิสเตอร์ตัวตั้งเวลานับขนาด 16 บิตจำนวน 2 ชุด คือ Timer0 และ Timer1 สำหรับในไมโครคอนโทรลเลอร์เบอร์ 8052 จะมี Timer2 เพิ่มขึ้นอีก 1 ตัว โดย Timer ทั้งหมดสามารถกำหนดให้ทำงานในลักษณะของตัวนับหรือตัวจับเวลาก็ได้

การทำงานในโหมดของตัวตั้งเวลาค่าในรีจิสเตอร์จะเพิ่มขึ้นทุก ๆ แมชชีนไซเคิล โดย 1 แมชชีนประกอบด้วยสัญญาณนาฬิกา 12 ลูก ดังนั้นอัตราการจับเวลาจะเป็น 1/12 เท่าของความถี่สัญญาณนาฬิกาของระบบ ค่าสูงสุดที่ตั้งได้คือ 2^{16}

การทำงานในโหมดการนับ ค่าของการนับจะเพิ่มขึ้นเมื่อมีสัญญาณเข้ามาที่ขา T0 หรือ T1 เปลี่ยนจาก 1 เป็น 0 ความเร็วในการนับสูงสุดคือ 1/24 เท่าของสัญญาณนาฬิกา โดยสัญญาณที่เข้ามาที่ขา T0 หรือ T1 จะมี Duty Cycle เท่าใดก็ได้

3.1.2.5 พอร์ตอินพุตเอาท์พุต

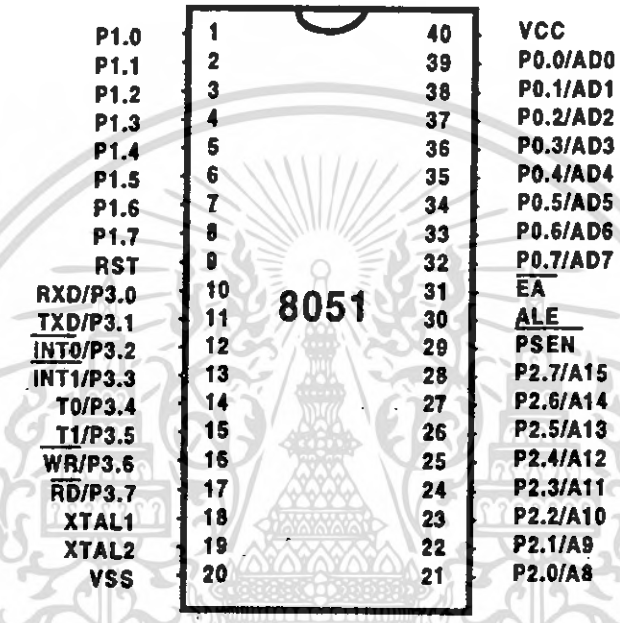
ไมโครคอนโทรลเลอร์ MCS-51 ประกอบด้วยพอร์ตอินพุตแบบ 2 ทิศทาง (Bidirectional) จำนวน 4 พอร์ต แต่ละพอร์ตมีอุปกรณ์แลทช์ข้อมูลและเอาท์พุตไดรเวอร์ประกอบอยู่ทางด้านเอาท์พุต และทางด้านอินพุตจะมีบัฟเฟอร์ (พอร์ตทั้ง 4 เป็นรีจิสเตอร์พิเศษชื่อ P0, P1, P2 และ P3) สามารถใช้งานแต่ละพอร์ตเป็นอินพุตหรือเอาท์พุตได้ตามต้องการ แต่ละบิตของพอร์ตสามารถเชื่อมต่อกับสัญญาณ TTL ได้โดยตรง

การติดต่อกับหน่วยความจำภายนอกพอร์ต P0 และ P2 จะใช้สำหรับกำหนดตำแหน่งของหน่วยความจำภายนอก โดยพอร์ต P0 จะทำงานในลักษณะของมัลติเพล็กซ์ คือเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งพอร์ตตำแหน่งและพอร์ตข้อมูล โดย P0 จะเป็นตำแหน่งของหน่วยความจำด้านต่ำ (Low byte) และ P2 จะเป็นตำแหน่งของหน่วยความจำด้านสูง (High byte)

3.1.3 สัญญาณต่าง ๆ ของไมโครคอนโทรลเลอร์ MCS-51



รูปที่ 3-2 สัญญาณต่าง ๆ ของ MCS-51 เบอร์ 8051

สัญญาณต่าง ๆ ของไมโครคอนโทรลเลอร์ MCS-51 สามารถจำแนกตามการทำงานเป็น 3 กลุ่ม คือ

- กลุ่มสัญญาณตำแหน่ง เป็นตัวกำหนดตำแหน่งของหน่วยความจำ
- กลุ่มสัญญาณควบคุมเป็นสัญญาณควบคุมการทำงานของตัวไมโครคอนโทรลเลอร์
- กลุ่มสัญญาณข้อมูล เป็นทางผ่านของข้อมูล ระหว่างไมโครคอนโทรลเลอร์กับหน่วย ความจำ

หน้าที่และการใช้งานของสัญญาณต่าง ๆ เป็นดังนี้

VCC สำหรับต่อกับไฟเลี้ยง 5 โวลต์

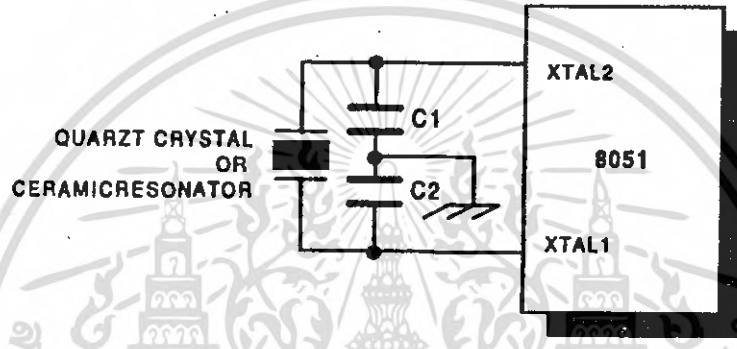
VSS สำหรับต่อกับกราวน์

XTAL1 เป็นอินพุตของภาคขยายสัญญาณแบบอินเวอร์สของวงจรผลิตสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

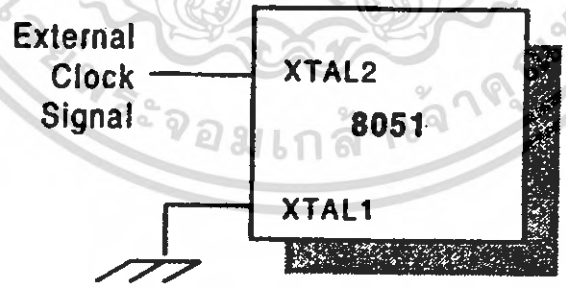
XTAL2 เป็นเอาต์พุตของภายขยายสัญญาณแบบอินเวอร์สของวงจรผลิตสัญญาณนาฬิกา

การต่อใช้งานของขา XTAL1 และ XTAL2 เพื่อสร้างวงจรผลิตสัญญาณให้กับไมโครคอนโทรลเลอร์โดยใช้คริสตอลสามารถทำได้ดังภาพที่ 3-3



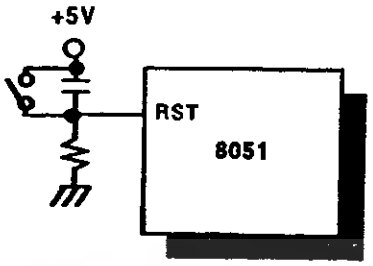
รูปที่ 3-3 การต่อสัญญาณนาฬิกาที่ขา XTAL1 และ XTAL2

หากต้องการใช้สัญญาณนาฬิกาจากภายนอกจะต่อ XTAL1 ลงกราวน์ และต่อสัญญาณนาฬิกาจากภายนอกเข้าที่ขา XTAL2 ดังรูปที่ 3-4



รูปที่ 3-4 การใช้สัญญาณนาฬิกาจากภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-5 การต่อสัญญาณรีเซต

RST สัญญาณรีเซตไมโครคอนโทรลเลอร์จะถูกรีเซตเมื่อสัญญาณที่ขานี้มีค่าเป็นลอจิก 1 นานไม่ต่ำกว่า 2 แมชชีนไซเคิล การต่อขารีเซตจะเป็นดังรูปที่ 3-5

ALE/PROG (Address Latch Enable) เป็นสัญญาณเอาต์พุต ซึ่งไมโครคอนโทรลเลอร์จะส่งออกไปเป็นพัลส์เพื่อแลทช์ค่าตำแหน่งไบต์ต่ำที่อยู่ที่พอร์ต P0 ในขณะติดต่อกับหน่วยความจำภายนอก สัญญาณนี้จะถูกส่งออกไปด้วยอัตราคงที่คือ 1/6 เท่าของความถี่สัญญาณนาฬิกา ซึ่งสามารถนำไปใช้เป็นสัญญาณนาฬิกาให้กับอุปกรณ์ภายนอกได้ สัญญาณพัลส์นี้จะถูกข้ามไป 1 พัลส์เมื่อมีการติดต่อกับหน่วยความจำข้อมูลภายนอก (External Data Memory) และสัญญาณนี้จะใช้เป็นอินพุตเพื่อควบคุมโปรแกรม PROM ภายในตัวไมโครคอนโทรลเลอร์ด้วย

PSEN (Program Store Enable) เป็นเอาต์พุตสำหรับส่งสัญญาณสโตรป(พัลส์ต่ำ) เพื่ออ่านข้อมูลจากหน่วยความจำโปรแกรมภายนอก (External Program Memory) เมื่อซีพียูอ่านรหัสคำสั่งจากหน่วยความจำภายนอกจะส่งสัญญาณสโตรปออกมา 2 ครั้งใน 1 แมชชีนไซเคิล แต่สัญญาณสโตรปทั้ง 2 ครั้งจะถูกข้ามไปหากเป็นช่วงที่ซีพียูติดต่อกับ External Data Memory

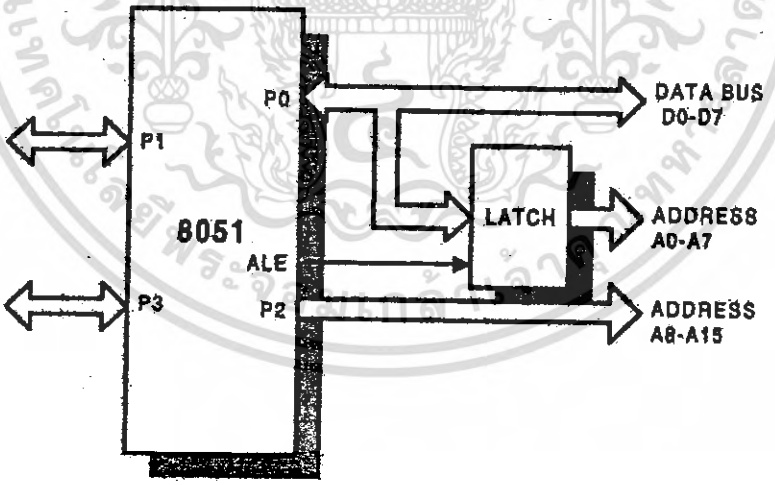
EA (External Access) เป็นสัญญาณอินพุตใช้สำหรับควบคุมให้ไมโครคอนโทรลเลอร์เลือกติดต่อกับโปรแกรมที่เก็บอยู่ในหน่วยความจำโปรแกรมภายใน หรือโปรแกรมที่เก็บอยู่ในหน่วยความจำภายนอกตัวไมโครคอนโทรลเลอร์ หากให้ค่าลอจิก 1 ที่ขานี้จะเป็นการเลือกใช้หน่วยความจำโปรแกรมภายในตัวไมโครคอนโทรลเลอร์ หากต้องการให้ซีพียูติดต่อกับหน่วยความจำโปรแกรมภายนอกต้องต่อสัญญาณเข้ากับลอจิก 0 หรือ VSS ถึงแม้ว่าเบอร์ 8031 ไม่มี EPROM ภายในก็ต้องต่อขานี้ลงกราวน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วย ในกรณีของการโปรแกรม ROM ภายในไมโครคอนโทรลเลอร์จะต่อขานี้เข้ากับไฟ 21 V ถ้าเป็น 8751AH แต่หากเป็น 8751BH ต้องต่อกับ 12.75 V

Port0 เป็นพอร์ตอินพุตเอาต์พุต 2 ทางแบบ Open drain ขนาด 8 บิต P0.1-P0.7 เมื่อใช้เป็นเอาต์พุตสามารถต่อกับ ไอซี TTL ตระกูล LS ได้ 8 ตัว เมื่อต้องการใช้งานเป็นอินพุตต้องส่งค่าลอจิก 1 ออกไปที่พอร์ตก่อน เพื่อทำให้ลอยซึ่งจะเป็นอิมพีแดนซ์สูง พอร์ต P0 จะทำงานอีกหน้าที่หนึ่ง คือ เป็นมัลติเพล็กซ์ของสัญญาณตำแหน่งด้านต่ำและสัญญาณข้อมูลในการติดต่อกับหน่วยความจำภายนอก การทำงานในลักษณะนี้จะใช้การ พูลอัพ(Pull up) จากภายในที่สามารถจ่ายกระแสให้กับอินพุตของ TTL ได้ 8 ตัว นอกจาก 2 หน้าที่ดังกล่าวแล้ว พอร์ต P0 ยังใช้เป็นตัวรับข้อมูลในช่วงการโปรแกรม EPROM และเป็นตัวส่งข้อมูลออกมาในช่วงการตรวจสอบโปรแกรมภายใน ROM หรือ EPROM ซึ่งจะต้องใช้พูลอัพจากภายนอกในขณะทำการตรวจสอบโปรแกรม

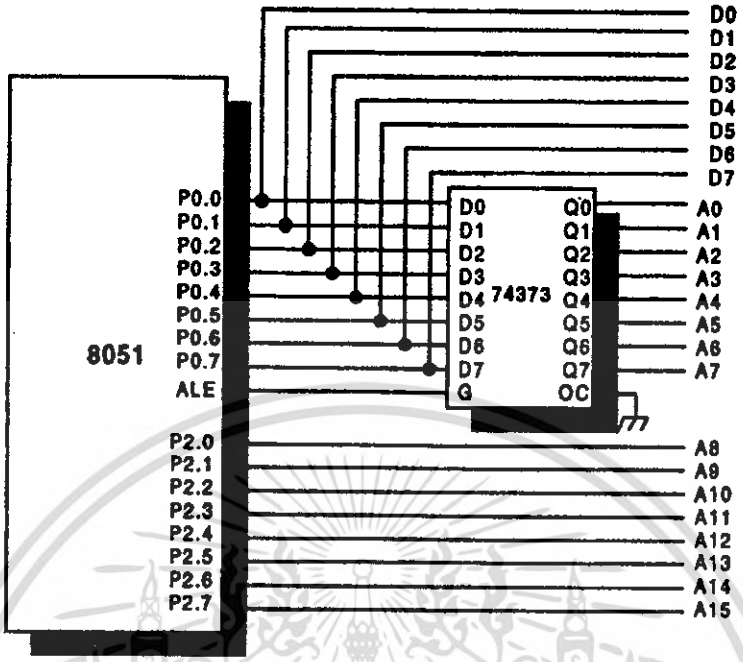
การสร้างสัญญาณตำแหน่ง A0-A7 และสัญญาณข้อมูล D0-D7 ทำโดยใช้อุปกรณ์แลทช์ข้อมูลดังแสดงในรูปที่ 3-6



รูปที่ 3-6 การสร้างสัญญาณแอดเดรสและสัญญาณข้อมูล

อุปกรณ์ที่นำมาใช้แลทช์ตำแหน่ง A0-A7 ที่ออกมาจากพอร์ต P0 คือ ไอซี 74LS573 ซึ่งเป็น 8 บิตแลทช์ เราสามารถนำมาต่อใช้งานได้ดังรูปที่ 3-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-7 การต่อวงจรแลทช์ตำแหน่ง A0-A7

Port1 เป็นพอร์ตอินพุต/เอาต์พุตแบบ 2 ทางขนาด 8 บิต ที่มีพูลอัพอยู่ภายใน ในกรณีเอาต์พุตจะต่อกับอินพุตของ TTL ตระกูล LS ได้ 4 ตัว เมื่อต้องการใช้เป็นอินพุตต้องเริ่มต้นด้วยการส่งค่าลอจิก 1 ออกไปที่พอร์ตนี้ก่อน เพื่อทำให้เกิดพูลอัพภายในเมื่อมีสัญญาณอินพุตเป็น 0 เข้ามาจะทำให้พอร์ตจ่ายกระแสออกเนื่องจากมีการพูลอัพอยู่ภายใน นอกจากนี้พอร์ต P1 ยังทำหน้าที่รับตำแหน่งต้านต่ำในช่วงของการโปรแกรม EPROM ช่วงการตรวจสอบโปรแกรมใน ROM หรือ EEPROM อีกด้วย สำหรับเบอร์ 8032AH และ 8052AH ขา P1.0 และ P1.1 จะทำหน้าที่เป็น T2 และ T2EX ด้วยอีกหนึ่งหน้าที่

Port2 เป็นพอร์ตอินพุต/เอาต์พุตแบบ 2 ทางขนาด 8 บิต ที่มีพูลอัพอยู่ภายใน ในกรณีเอาต์พุตจะต่อกับอินพุตของ TTL ตระกูล LS ได้ 4 ตัว เมื่อต้องการทำเป็นอินพุตต้องเริ่มต้นด้วยการส่งค่าลอจิก 1 ออกไปที่พอร์ตก่อนเพื่อทำให้เกิดการพูลอัพภายในเมื่อสัญญาณอินพุตเข้ามาเป็น 0 จะทำให้พอร์ต P2 จ่ายกระแสออกเนื่องจากการพูลอัพภายใน ในระหว่างการติดต่อกับโปรแกรมภายนอกหรือการติดต่อกับหน่วยความจำข้อมูลภายนอก ที่มีการอ้างตำแหน่งแบบ 16 บิต พอร์ต P2 จะส่งตำแหน่งไบต์สูงออกไป ซึ่งการทำงานในลักษณะนี้จะมีการพูลอัพภายในอยู่ในช่วงของการติดต่อกับหน่วยความจำข้อมูลภายนอกที่ใช้การอ้างตำแหน่งแบบ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต สัญญาณที่ขาของพอร์ต P2 จะมีค่าเท่ากับรีจีสเตอร์ P2 ที่อยู่ใน SFR นอกจากนี้ พอร์ต P2 ยังทำหน้าที่รับตำแหน่งไบต์สูงในช่วงของการโปรแกรม EPROM และการตรวจสอบโปรแกรมใน ROM และ EPROM อีกด้วย

Port 3 เป็นพอร์ตอินพุต/เอาต์พุต 2 ทางขนาด 8 บิต ที่มีพูลอัพอยู่ภายใน ในกรณีเอาต์พุตสามารถต่อกับอินพุตของ TTL ตระกูล LS ได้ 4 ตัว เมื่อต้องการทำเป็นอินพุตต้องเริ่มต้นด้วยการส่งค่าลอจิก 1 ออกไปที่พอร์ตก่อนเพื่อทำการพูลอัพภายใน เมื่อสัญญาณอินพุตเข้ามาเป็น 0 จะทำให้พอร์ต P3 จ่ายกระแสออกเนื่องจากการพูลอัพภายใน นอกจากนี้พอร์ต P3 ยังทำหน้าที่เป็นสัญญาณอื่น ๆ อีกดังนี

ตารางที่ 3-2 สัญญาณต่าง ๆ ของพอร์ต P3

พอร์ต	สัญญาณ	หน้าที่
P3.0	RXD	อินพุตของพอร์ตอนุกรม
P3.1	TXD	เอาต์พุตของพอร์ตอนุกรม
P3.2	$\overline{INT0}$	สัญญาณอินเตอร์รัพต์จากภายนอกตัวที่ 0
P3.3	$\overline{INT}$	สัญญาณอินเตอร์รัพต์จากภายนอกตัวที่ 1
P3.4	T0	อินพุตจากภายนอกของตัวตั้งเวลา 0
P3.5	T1	อินพุตจากภายนอกของตัวตั้งเวลา 1
P3.6	$\overline{WR}$	สัญญาณการเขียนข้อมูลออกไปภายนอก
P3.7	$\overline{RD}$	สัญญาณการอ่านข้อมูลจากภายนอกเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

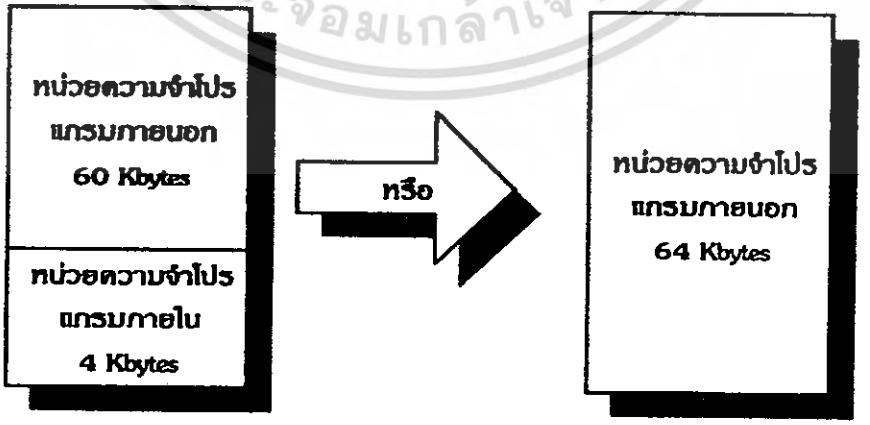
เมื่อต้องการใช้งานพอร์ต P3 ให้ทำหน้าที่เป็นสัญญาณต่าง ๆ จะต้องเริ่มต้นด้วยการส่งค่าลอจิกออกไปแลทช์ที่พอร์ต P3 ก่อน เพื่อให้เกิดการพูลอัพภายใน หากเรากำหนดให้มีค่าลอจิก 0 จะทำให้สัญญาณที่ขาต่าง ๆ มีค่าเป็น 0 ตลอดเวลา

3.1.4 การจัดหน่วยความจำของ MCS-51

การจัดหน่วยความจำของไมโครคอนโทรลเลอร์ MCS-51 จะจัดแบ่งหน่วยความจำออกเป็น 3 กลุ่ม คือ

3.1.4.1 หน่วยความจำสำหรับโปรแกรม (Program Memory)

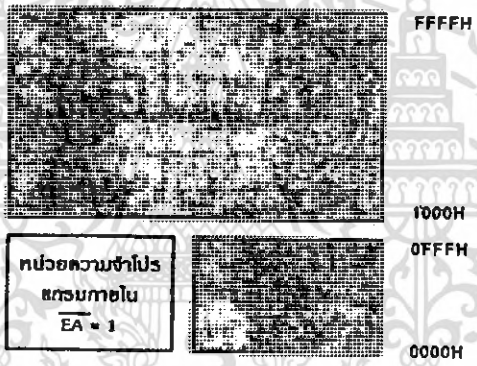
หน่วยความจำสำหรับเก็บโปรแกรม จะเป็นที่เก็บชุดคำสั่งต่างๆ และข้อมูลที่โปรแกรมใช้งานภายในตัวไมโครคอนโทรลเลอร์เบอร์ 8051 มีหน่วยความจำที่เก็บโปรแกรมได้ 4 Kbytes ซึ่งหน่วย ความจำจะเป็นลักษณะของ ROM ในการใช้งานสามารถเก็บโปรแกรมเข้าในตัวไมโครคอนโทรลเลอร์ได้ทำ ให้ประหยัดการใช้หน่วยความจำภายนอก การติดต่อกับหน่วยความจำโปรแกรมของไมโครคอนโทรลเลอร์เบอร์ 8051 สามารถติดต่อกับหน่วยความจำโปรแกรมที่อยู่ภาย ในตัวไมโครคอนโทรลเลอร์หรือโปรแกรมที่เก็บอยู่ภายนอกก็ได้ โดยมีจำนวนข้อมูลทั้งหมด 64 Kbytes การเลือกใช้หน่วยความจำโปรแกรมของไมโครคอนโทรลเลอร์ 8051 สามารถเลือกใช้งานได้ 2 ลักษณะคือ เลือกใช้หน่วยความจำภายในตัวไมโครคอนโทรลเลอร์ที่มีอยู่ 4 Kbytes รวมกับหน่วยความจำภายนอกอีก 60 Kbytes หรือเลือกใช้หน่วย ความจำภายนอกทั้งหมด 64 Kbytes



รูปที่ 3-8 การเลือกใช้หน่วยความจำโปรแกรมของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3-8 การจัดหน่วยความจำโปรแกรม ได้จำนวนตำแหน่งของหน่วยความจำโปรแกรมทั้งหมด คือ 64 Kbytes (ตำแหน่ง 0000H ถึง FFFFH) หน่วยความจำโปรแกรมที่อยู่ในตัว 8051 มี 4 Kbytes (ตำแหน่ง 0000H ถึง FFFFH) ในการใช้งานสามารถกำหนดให้ไมโครคอนโทรลเลอร์ ใช้หน่วยความจำโปรแกรมภายในหรือภายนอกได้โดยการควบคุมสัญญาณที่ ขา EA (External Access) หากทำให้ EA เป็น 0 เป็นการใช้หน่วยความจำโปรแกรมภายนอก การเลือกใช้หน่วยความจำโปรแกรมจะทำได้เฉพาะหน่วยความจำในตำแหน่ง 0000H - FFFFH ซึ่งเป็นตำแหน่งที่ซ้อนกัน ระหว่างหน่วยความจำภายในกับหน่วยความจำภายนอกเท่านั้น หากโปรแกรมอยู่ในตำแหน่งเกินกว่า 0FFFH ขึ้นไปไมโครคอนโทรลเลอร์ จะทำการติดต่อกับหน่วยความจำภายนอกอัตโนมัติ ไม่ว่าสัญญาณที่ขา EA จะมีค่าเป็น 0 หรือ 1 ก็ตาม



รูปที่ 3-9 การจัดพื้นที่หน่วยความจำโปรแกรมของ 8051

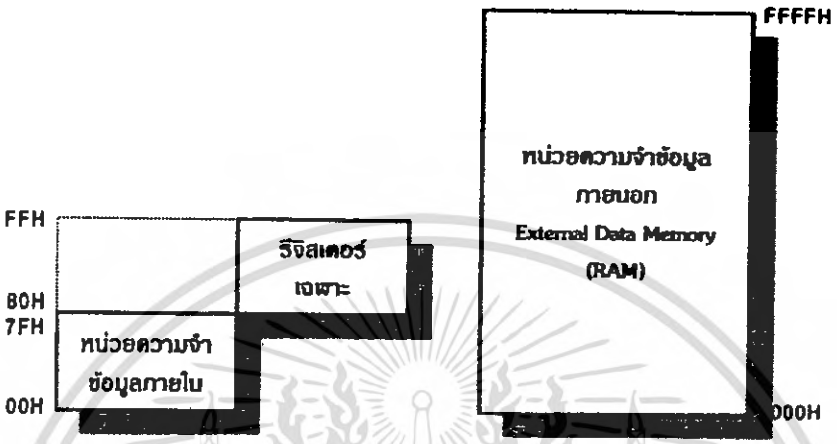
3.1.4.2 หน่วยความจำข้อมูล (Data Memory)

หน่วยความจำข้อมูลทำหน้าที่เก็บข้อมูลต่าง ๆ ในขณะที่โปรแกรมทำงาน และหน้าที่เป็นสแตกบางส่วน ไมโครคอนโทรลเลอร์ MCS-51 จัดแบ่งหน่วยความจำข้อมูลออกเป็น 2 ส่วนคือ

- หน่วยความจำข้อมูลภายใน (Internal Data Memory)
- หน่วยความจำข้อมูลภายนอก (External Data Memory)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบการจัดพื้นที่ของหน่วยความจำข้อมูลของไมโครคอนโทรลเลอร์ MCS-51 เบอร์ 8051 แสดงดังรูปที่ 3-13

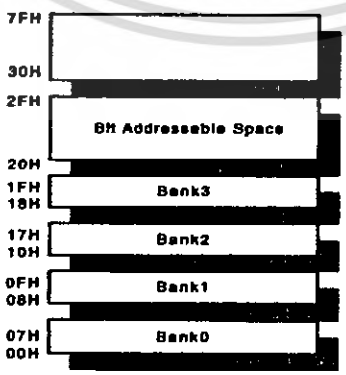


รูปที่ 3-13 การจัดพื้นที่หน่วยความจำข้อมูลของ 8051

- **หน่วยความจำข้อมูลภายใน (Internal Data Memory)**

สำหรับเบอร์ 8051 มีหน่วยความจำข้อมูลภายใน 128 ไบต์ ส่วนหน่วยความจำข้อมูลภายในของเบอร์ 8052 มีจำนวน 256 ไบต์ โดยหน่วยความจำ 128 ไบต์แรกเป็นหน่วยความจำที่ใช้ทั่วไปอยู่ที่ตำแหน่ง 00H-7FH หน่วยความจำในตำแหน่งที่อยู่สูงขึ้นไป (ตำแหน่ง 80H-FFH) จะมีส่วนที่ซ้อนทับกันอยู่ระหว่างหน่วยความจำกำกับรีจีสเตอร์เฉพาะ (Special Function Register)

พื้นที่ของหน่วยความจำข้อมูลภายในตำแหน่ง 00H-7FH ยังสามารถแบ่งออกเป็นส่วนย่อยได้อีกดังรูปที่ 3-14



รูปที่ 3-14 การจัดแบ่งหน่วยความจำข้อมูลภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พื้นที่ในตำแหน่ง 00H - 1FH จำนวน 32 ไบต์จะแบ่งออกเป็น 4 กลุ่มที่เรียกว่าแบงค์ (Bank) ในแต่ละแบงค์ (Bank) มี 8 ตำแหน่ง พื้นที่ในแต่ละแบงค์ จะถูกใช้เป็นรีจิสเตอร์ที่ใช้งานทั่วไป
(รีจีสเตอร์ R0-R7) โดย R0 อยู่ในตำแหน่งแรกของแบงค์ และ R7 อยู่ในตำแหน่งสุดท้ายของแบงค์ ในการใช้งานจะมีรีจิสเตอร์ R0-R7 อยู่ชุดเดียวแต่เราสามารถกำหนดการเลือกใช้พื้นที่ของรีจีสเตอร์ R0-R7 ในแบงค์ต่าง ๆ

ตารางที่ 3-4 ตำแหน่งของรีจีสเตอร์ R0-R7 ในแบงค์ต่าง ๆ

รีจิสเตอร์แบงค์	รีจิสเตอร์	ตำแหน่ง
0	R0 - R7	00 – 07
1	R0 – R7	08 – 0F
2	R0 – R7	10 – 17
3	R0 – R7	18 – 1F

การเลือกตำแหน่งใช้งานของรีจีสเตอร์ R0-R7 จะกำหนด R0-R7 จากบิต RS0 และ RS1 ที่อยู่ในตัวรีจิสเตอร์ PSW

พื้นที่ในตำแหน่ง 20H-2FH เป็นส่วนที่สามารถใช้งานในลักษณะไบต์หรือบิตได้ คือเราสามารถอ้างตำแหน่งแบบบิตได้โดยตรง ซึ่งมีจำนวนทั้งหมด 128 บิต ตำแหน่งของบิตคือ 00H-7FH โดยตำแหน่งบิต 00 คือข้อมูลของบิตต่ำสุดในตำแหน่ง 20H คือตำแหน่งของบิต 7FH การใช้การอ้างตำแหน่งแบบบิต จะทำให้การทำงานได้รวดเร็วขึ้น ซึ่งเป็นสมบัติของไมโครคอนโทรล เลอร์ MCS-51 ที่ถูกออกแบบมาเพื่องานควบคุมโดยเฉพาะ

พื้นที่บริเวณตำแหน่ง 30H-7FH เป็นพื้นที่ที่ใช้งานทั่วไปการติดต่อกับข้อมูลในตำแหน่งต่าง ๆ ในส่วนนี้สามารถอ้างตำแหน่งข้อมูลได้ลักษณะของไบต์เท่านั้น ในพื้นที่ส่วนนี้เราอาจใช้เป็น แสตกก็ได้

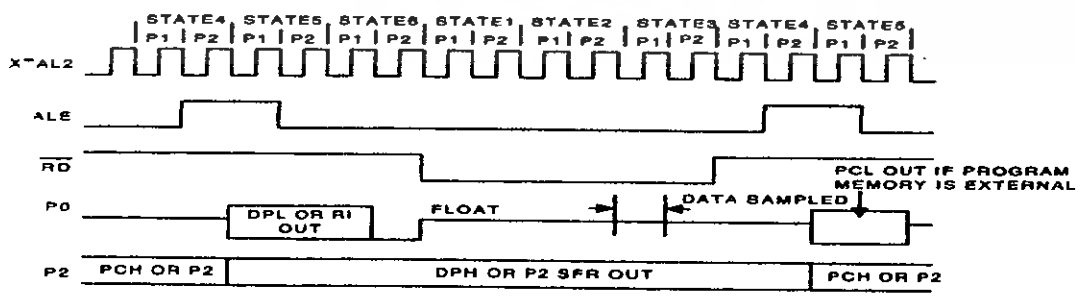
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่ง RAM	MSB							LSB
2FH	7FH	7EH	7DH	7CH	7BH	7AH	79H	78H
2EH	77H	76H	75H	74H	73H	72H	71H	70H
2DH	6FH	6EH	6DH	6CH	6BH	6AH	69H	68H
2CH	67H	66H	65H	64H	63H	62H	61H	60H
2BH	5FH	5EH	5DH	5CH	5BH	5AH	59H	58H
2AH	57H	56H	55H	54H	53H	52H	51H	50H
29H	4FH	4EH	4DH	4CH	4BH	4AH	49H	48H
28H	47H	46H	45H	44H	43H	42H	41H	40H
27H	3FH	3EH	3DH	3CH	3BH	3AH	39H	38H
26H	37H	36H	35H	34H	33H	32H	31H	30H
25H	2FH	2EH	2DH	2CH	2BH	2AH	29H	28H
24H	27H	26H	25H	24H	23H	22H	21H	20H
23H	1FH	1EH	1DH	1CH	1BH	1AH	19H	18H
22H	17H	16H	15H	14H	13H	12H	11H	10H
21H	0FH	0EH	0DH	0CH	0BH	0AH	09H	08H
20H	07H	06H	05H	04H	03H	02H	01H	00H

รูปที่ 3-15 ตำแหน่งของหน่วยความจำที่อ้างตำแหน่งแบบบิตได้

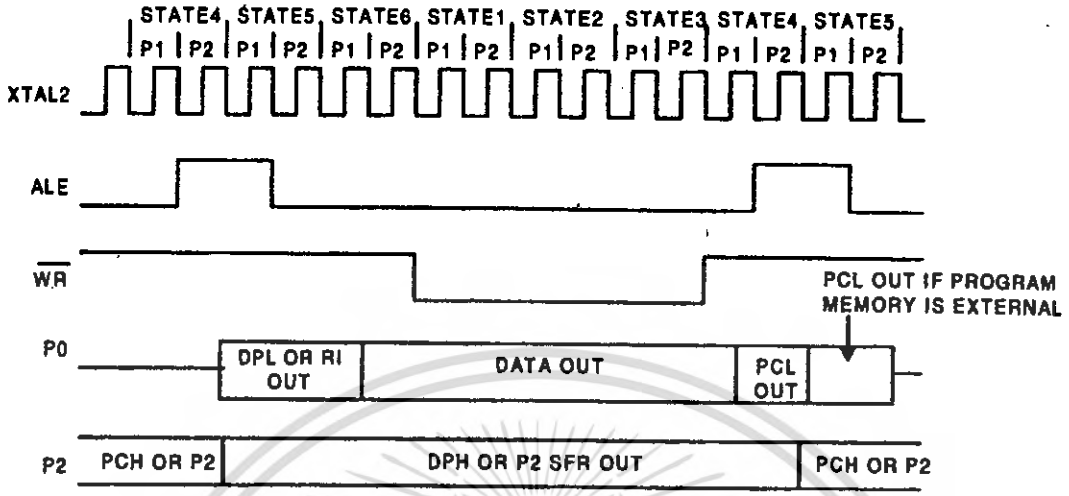
- หน่วยความจำข้อมูลภายนอก (External Data Memory)

ไมโครคอนโทรลเลอร์เบอร์ 8051 สามารถต่อกับหน่วยความจำภายนอกได้ 64 Kbytes เพิ่มเติมจากหน่วยความจำข้อมูลที่อยู่ในตัวไมโครคอนโทรลเลอร์ ซึ่งเราจะต่อหน่วยความจำภายนอกเพิ่ม เมื่อเราต้องการใช้พื้นที่ในการเก็บข้อมูล ขณะโปรแกรมทำงานจำนวนมาก ตำแหน่งของหน่วยความจำข้อมูลภายนอกจะอยู่ที่ 0000H - FFFFH ในการใช้งานเราสามารถแบ่งส่วนหนึ่งของพื้นที่ของหน่วยความจำข้อมูลภายนอกมาใช้เป็นพอร์ตอินพุตหรือพอร์ตเอาต์พุตก็ได้



a) External Data Memory Read Cycle

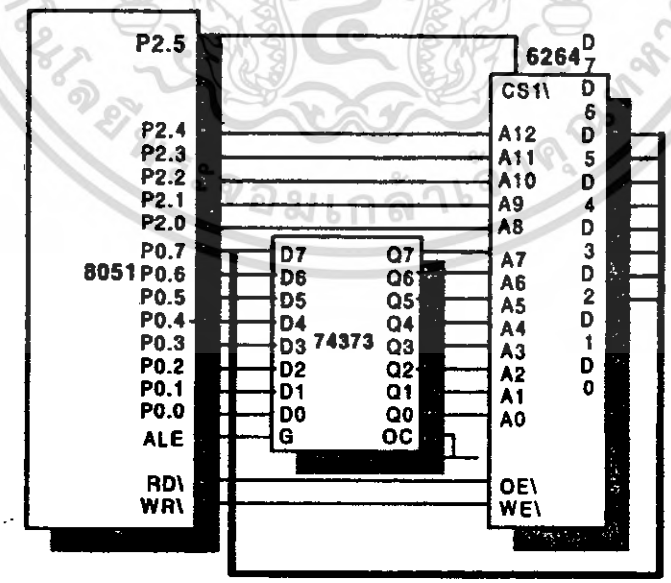
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



b) External Data Memory Write Cycle

รูปที่ 3-16 ไดอะแกรมเวลาของการอ่านและบันทึกข้อมูลกับหน่วยความจำข้อมูลภายนอก

หน่วยความจำข้อมูลภายนอกที่เรานำมาใช้ร่วมกับไมโครคอนโทรลเลอร์ MCS-51 นั้นส่วนใหญ่จะใช้ RAM แบบสเตติก เช่น เบอร์ 6264 (ขนาด 8Kbyte x 8)



รูปที่ 3-17 การต่อไมโครคอนโทรลเลอร์กับ RAM 6264

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3-17 สัญญาณ $\overline{RD}$ ของไมโครคอนโทรลเลอร์จะต่อกับขา $\overline{OE}$ ของ RAM และ $\overline{WR}$ จะต่อกับ $\overline{WE}$ ของ RAM สัญญาณกำหนดตำแหน่งของหน่วยความจำจะนำ มาจากพอร์ต P0 และ พอร์ต P2 สัญญาณข้อมูลจะนำมาจากพอร์ต P0 การต่อกับ RAM จะมีลักษณะคล้ายกับการต่อกับ EPROM หากต้องการต่อ RAM มากกว่า 1 ตัว ใช้ไอซี 74LS138 เป็นตัวถอดรหัสตำแหน่งของ RAM แต่ละตัวเช่นเดียวกับการต่อกับ EPROM

3.1.4.3 รีจิสเตอร์เฉพาะ (Special Function Register)

ในไมโครคอนโทรลเลอร์ MCS-51 มีรีจิสเตอร์ต่าง ๆ ที่ทำหน้าที่เฉพาะอย่างซึ่งเรียกว่า Special Function Register (SFR) อยู่หลายตัวซึ่งอยู่ในตำแหน่งของหน่วยความจำตั้งแต่ 80H ขึ้นไป การติดต่อกับรีจิสเตอร์เหล่านี้สามารถอ้างถึงตำแหน่งที่อยู่ได้โดยตรง (Direct addressing) และบางตัวสามารถอ้างตำแหน่งข้อมูลแบบบิตได้

การทำงานของรีจิสเตอร์ต่าง ๆ เป็นดังนี้

ACC แอคคิวมูเลเตอร์มีขนาด 8 บิตทำหน้าที่ เช่นเดียวกับแอคคิวมูเลเตอร์ของซีพียูอื่น ๆ คือ ใช้เป็นตัวกระทำร่วมทางคณิตศาสตร์ของเลข 2 จำนวน เช่น การบวก ลบ คูณ หาร เป็นต้น และทำหน้าที่เป็นตัวเก็บผลลัพธ์ที่ได้จากการคำนวณทางคณิตศาสตร์ นอกจากนี้ ACC ยังทำหน้าที่ในการรับส่งข้อมูลระหว่างไมโครคอนโทรลเลอร์กับอุปกรณ์อินพุต หรือเอาต์พุตภายนอก หรือหน่วยความจำข้อมูลภายนอกด้วย ซึ่งการส่งข้อมูล จะต้องนำข้อมูลที่ต้องการส่งออกไปภายนอกมาเก็บไว้ที่ แอคคิวมูเลเตอร์ ก่อนแล้วจึงส่งค่าที่อยู่ในแอคคิวมูเลเตอร์ส่งออกไป ในการรับข้อมูลจากภายนอกเข้ามายังไมโครคอนโทรลเลอร์จะรับเข้ามาเก็บไว้ที่ แอคคิวมูลเลเตอร์ก่อนแล้วจึงนำไป ใช้งานต่อไปได้

Register B เป็นรีจิสเตอร์ที่ใช้งานเฉพาะในคำสั่งการคูณ (MUL) และการหาร (DIV) เท่านั้นโดยจะทำงานร่วมกับ แอคคิวมูเลเตอร์ ในการเก็บผลลัพธ์ของการคูณและเศษที่ได้จากการหาร

SP (Stack Pointer) มีขนาด 8 บิต ทำหน้าที่ชี้ตำแหน่งสแตก ซึ่งไมโครคอนโทรลเลอร์ MCS-51 ใช้พื้นที่ ของหน่วยความจำภายในเป็นสแตก โดยตำแหน่งเริ่มต้น หลังจากการรีเซตจะเป็น 07 การทำงานของ SP จะเพิ่มขึ้นหรือลดลงอย่างอัตโนมัติ เมื่อมีการเก็บข้อมูลลงในสแตกหรือนำข้อมูลออกจากสแตก การเก็บข้อมูลลงในสแตกจะเก็บได้ครั้งละ 8 บิต โดยใช้คำสั่ง PUSH โดยค่าของ SP จะเพิ่มขึ้น 1 แล้วเก็บข้อมูลลงในสแตกที่ตำแหน่งที่ SP ชี้อยู่ ซึ่งจะทำให้ตำแหน่งแรกของการเก็บข้อมูลของสแตกคือ 08 การนำข้อมูลจากสแตกทำได้จากคำสั่ง POP โดยจะดึงข้อมูลออกจากสแตกในตำแหน่งที่ SP ชี้อยู่ออกไปกำหนดให้กับหน่วยความจำที่รับข้อมูล แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของ สแตกจะลดลง 1 หลังจากมีการนำข้อมูลออกจาก สแตกไปแล้ว และเมื่อมีการทำคำสั่งการเรียกโปรแกรมย่อย ACALL หรือ LCALL หรือการตอบสนองการอินเตอร์รัพต์จะมีการเก็บค่าของรีจิสเตอร์ PC (Program Counter) ลงใน สแตก และเมื่อทำคำสั่งการกลับจากโปรแกรมย่อย RET หรือ RETI จะมีการดึงค่าจากสแตกมากำหนดให้กับ PC ตาม เดิม ในการใช้งานเราสามารถกำหนดพื้นที่ของสแตกไปอยู่ในตำแหน่งใด ๆ ในหน่วยความจำข้อมูลภายในตัวไมโครคอนโทรลเลอร์ได้ โดยการกำหนดค่าให้กับ SP ตามที่ต้องการ แต่ไม่ควรใช้ในตำแหน่งเริ่มต้น 00 เนื่องจากเป็นตำแหน่งเดียวกับรีจิสเตอร์ R0-R7 ในแบงค์ 0 และไม่ควรกำหนดตำแหน่งสูงเกินไป เพราะจะทำให้มีพื้นที่ของสแตกน้อยซึ่งอาจไม่เพียงพอกับใช้งาน

รูปที่ 3-18 พื้นที่สแตกของ 8051

DPTR (Data Pointer) เป็นรีจิสเตอร์ขนาด 16 บิตใช้สำหรับเป็นตัวชี้ตำแหน่งของหน่วยความจำภายนอกหรือตำแหน่งของอุปกรณ์อินพุตเอาต์พุตที่ไมโครคอนโทรลเลอร์ ต้องการติดต่อด้วย และใช้เป็นตัวกำหนดตำแหน่งเริ่มต้น (Base) ของตารางในการทำงานเกี่ยวกับ Look up table

รีจิสเตอร์ DPTR ประกอบด้วยรีจิสเตอร์ขนาด 8 บิต 2 ตัว คือรีจิสเตอร์ DPH และ DPL ซึ่งเราสามารถเลือกการใช้งานในลักษณะ 8 บิต 2 ตัว หรือ 16 บิต 1 ตัวก็ได้

P0-P3 พอร์ต P0 - พอร์ต P3 เป็นรีจิสเตอร์ขนาด 8 บิต ซึ่งค่าที่อยู่ในรีจิสเตอร์เหล่านี้จะเป็นค่าเดียวกับค่าของสัญญาณที่ขาต่าง ๆ ของพอร์ต ดังนั้นการส่งข้อมูลออกไปที่พอร์ตจะทำได้โดยการกำหนดค่าให้กับรีจิสเตอร์ P0 - P3 ในกรณีที่ใช้พอร์ตเป็นอินพุตเราสามารถอ่านสัญญาณที่ต่อกับขาของพอร์ตได้ จากการอ่านค่าของรีจิสเตอร์ P0 - P3 เช่นกัน

SBUF เป็นรีจิสเตอร์ขนาด 8 บิต ทำหน้าที่เป็นบัฟเฟอร์ของการรับส่งข้อมูล แบบอนุกรม โดยมีทั้งบัฟเฟอร์ด้านรับข้อมูลและบัฟเฟอร์ด้านส่งข้อมูล บัฟเฟอร์ด้านรับข้อมูลจะทำหน้าที่เก็บข้อมูล ที่ส่งเข้ามาให้กับไมโครคอนโทรลเลอร์ทางพอร์ตอนุกรม เมื่อข้อมูลเข้ามาครบจำนวนบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้ว ค่าที่อยู่ในบัฟเฟอร์ตัวนี้จะถูกไมโครคอนโทรลเลอร์อ่านออกไปอีกทีหนึ่ง สำหรับบัฟเฟอร์ด้านส่งข้อมูล จะรับข้อมูลขนาด 8 บิต ที่ไมโครคอนโทรลเลอร์ต้องการส่งออกไปทางพอร์ตอนุกรม โดยข้อมูลในบัฟเฟอร์จะ ถูกส่งออกไปยังพอร์ตอนุกรมทีละบิตต่อไป

IP (Interrupt Priority Control) เป็นรีจิสเตอร์ขนาด 8 บิต ทำหน้าที่ควบคุมการจัดลำดับความสำคัญของการอินเตอร์รัพต์

IE (interrupt Enable) เป็นรีจิสเตอร์ขนาด 8 บิต ทำหน้าที่ควบคุมการส่งสัญญาณและการตอบรับอินเตอร์รัพต์ของไมโครคอนโทรลเลอร์

TMOD (Timer Mode Control) เป็นรีจิสเตอร์ขนาด 8 บิตใช้สำหรับควบคุมการเลือกโหมดการทำงานของ Timer/Counter0 และ Timer/Counter1

TCON (Timer Control) เป็นรีจิสเตอร์ขนาด 8 บิต ใช้สำหรับควบคุมการทำงานของ Timer/Counter0 และ Timer/Counter1

T2CON เป็นรีจิสเตอร์ขนาด 8 บิตใช้ควบคุมการทำงานของ Timer/Counter2

SCON (Serial Control) เป็นรีจิสเตอร์ขนาด 8 บิตสำหรับควบคุมการทำงานของพอร์ตอนุกรม

PCON เป็นรีจิสเตอร์ทำหน้าที่ควบคุมการใช้กำลังไฟของตัวไมโครคอนโทรลเลอร์

PSW (Program Status Word) เป็นรีจิสเตอร์ขนาด 8 บิตทำหน้าที่แสดงสถานการณ์ทำงานของโปรแกรมหรือเรียกว่าแฟลก ซึ่งจะมีการเปลี่ยนแปลงหลังจากมีการทำงานในคำสั่งต่าง ๆ ที่มีผลต่อแฟลก และยังใช้เป็นตัวเลือกตำแหน่งแบงค์ของรีจิสเตอร์ (Register Bank) R0 - R7 อีกด้วย ผลของบิตต่าง ๆ สามารถนำไปเป็นเงื่อนไขในการกระโดด (Jump) ได้ค่าของบิตต่าง ๆ ใน PSW สามารถเซตและเคลียร์ด้วยคำสั่งทางซอฟท์แวร์ได้ แฟลกต่าง ๆ ของรีจิสเตอร์ PSW จะอยู่ในตำแหน่งของบิตต่าง ๆ ดังนี้

PSW.7	PSW.6	PSW.5	PSW.4	PSW.3	PSW.2	PSW.1	PSW.0
CY	AC	F0	RS1	RS0	OV	-	P

CY (Carry Flag) เป็นแฟลกตัวทดทำหน้าที่หลายอย่าง เช่น เป็นตัวทดในกรณีของการบวก ทำหน้าที่เป็นตัวยืมในกรณีของการลบ ใช้เป็นตัวร่วมกับ แอคคิวมูเลเตอร์ ในการหมุนบิต และเราสามารถใช้ค่าของ CY เป็นเงื่อนไขของการกระโดด (Jump) ได้ กรณี การบวกเลข หากนำเลข 8 บิต 2 จำนวนมาบวกกันแล้วได้ค่าเกินกว่า 8 บิตจะทำให้ CY ถูกเซตให้เป็น 1 หากมีค่าไม่เกิน 8 บิต CY จะเป็น 0 ตัวอย่างการบวก 10101010 กับ 1111000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10101010

\+ 11110000

ผลลัพธ์ 110011010

ผลลัพธ์ของการบวก 8 บิตทางด้านต่ำ ค่า 10011010 จะถูกเก็บในแอคคิวมูเลเตอร์ และบิตที่ 9

กรณีของการลบเลข เมื่อนำเลข 8 บิต 2 จำนวนมาลบกัน หากค่าของตัวตั้งน้อยกว่าค่าของตัวที่นำมาลบ จะทำให้ CY ถูกเซตให้เป็น 1 หากค่าของตัวตั้งมากกว่าค่าของตัวที่นำมาลบ จะทำให้ CY เป็น 0 ตัวอย่างการลบ

00101010

\- 11110000

ผลลัพธ์ 100111010

ผลลัพธ์ของการลบ 8 บิตทางด้านต่ำค่า 00111010 จะถูกเก็บในแอคคิวมูเลเตอร์ และ CY จะถูกเซตให้เป็น 1 เนื่องจากค่าของตัวตั้งน้อยกว่าค่าของตัวที่นำมาลบ ซึ่งแสดงว่ามีการยืมเกิดขึ้น

AC (Auxiliary Carry Flag) เป็นแฟลกตัวทดช่วยระหว่างบิตที่ 3 และบิตที่ 4 ซึ่งแฟลกนี้จะถูกเซตเป็น 1 หากทำการบวกเลขแล้วมีการทดจากบิตที่ 3 ไปยังบิตที่ 4 หากไม่มีการทด แฟลกนี้จะเป็น 0 แฟลก AC จะใช้สำหรับการทำงานในลักษณะของเลข BCD ซึ่งจะถูกใช้โดยซีพียู ตัวอย่างการบวก

00101010

\+ 01101000

ผลลัพธ์ 01010010

ผลของการบวกจะทำให้ค่าของแฟลก AC = 1 เนื่องจากมีการทดจากบิตที่ 3 ไปบิตที่ 4

F0 (Flag 0) เป็นแฟลกที่ใช้งานทั่วไปซึ่งเราสามารถใช้เป็นแฟลกสภาวะ (Status flag) ของโปรแกรมได้โดยการรีเซต หรือรีเซตด้วยคำสั่งทางซอฟท์แวร์

RS1-RS0 (Register Bank Select) เป็นตัวกำหนดการเลือกพื้นที่ใช้งานของกลุ่มรีจิสเตอร์ R0 - R7 ซึ่งเป็นรีจิสเตอร์ใช้งานทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3-5 การเลือก Register Bank

RS1	RS0	แบงค์	ตำแหน่ง
0	0	0	00H-07H
0	1	1	08H-0FH
1	0	2	10H-17H
1	1	3	18H-1FH

หลังจากเลือกแบงค์แล้วจะทำให้รีจิสเตอร์ R0-R7 ไปอยู่ในตำแหน่งของหน่วยความจำข้อมูลภายในที่เลือก โดยรีจิสเตอร์ R0 จะอยู่ในตำแหน่งเริ่มต้นและรีจิสเตอร์ R7 จะอยู่ในตำแหน่งสุดท้ายของ แบงค์ เช่นกำหนด RS1 = 1, RS0 = 0 เป็นการเลือกแบงค์ 2 จะทำให้รีจิสเตอร์ R0-R7 ไปอยู่ในตำแหน่ง 10H, 11H, 12H, 13H, 14H, 15H, 16H, 17H ตามลำดับ

ตารางที่ 3-6 ตำแหน่งของรีจิสเตอร์ในแบงค์ต่าง ๆ

รีจิสเตอร์	แบงค์ 0	แบงค์ 1	แบงค์ 2	แบงค์ 3
R0	00H	08H	10H	18H
R1	01H	09H	11H	19H
R2	02H	10H	12H	1AH
R3	03H	0AH	13H	1BH
R4	04H	0BH	14H	1CH
R5	05H	0CH	15H	1DH
R6	06H	0DH	16H	1EH
R7	07H	0EH	17H	1Fh

OV (Over Flag) เป็นแฟลกที่แสดงค่าโอเวอร์โฟลว์ ซึ่งจะถูกรีเซตหรือเคลียจากการทำงานของคำสั่งทางคณิตศาสตร์ การเปลี่ยนแปลงของแฟลกจะพิจารณาในลักษณะของเลข 8 บิตเครื่องหมาย (8 bits sign number) โดยบิตซ้ายมือสุดเป็นเครื่องหมาย (0 = บวก 1 = ลบ) เลขลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดเก็บในลักษณะของเลข 2's compliment ค่าของจำนวนเลขที่เก็บด้วย 8 บิตเครื่องหมายจะมีค่าบวกสูงสุด 127 (0 1 1 1 1 1 1 1) และค่าลบต่ำสุดคือ 128 (1 0 0 0 0 0 0 0) ในการนำเลข 2 จำนวนมารวมกันแล้วได้ผลลัพธ์มากกว่า + 127 หรือต่ำกว่า – 128 (เกินความสามารถของการใช้บิตเครื่องหมาย) จะทำให้แฟลก OV ถูกเซตเป็น 1 ดังตัวอย่างของการบวกเลขเช่น

		0 0 1 0 1 0 1 0	เท่ากับ 42
	+	0 1 0 1 0 0 0 1	เท่ากับ 104
ผลลัพธ์		1 0 0 1 0 0 1 0	เท่ากับ 146

จากการบวกเลข 2 จำนวน หากพิจารณาในลักษณะของเลข 8 บิต เครื่องหมายตัวตั้งเป็นเลขบวก 42 และตัวบวกเป็นเลขบวก 104 ได้ผลลัพธ์ 146 ซึ่งเกินกว่า 127 ทำให้บิตเครื่องหมายเปลี่ยนเป็น 1 ซึ่งแสดงว่าเป็นเลขลบในกรณีนี้จะทำให้แฟลก OV = 1

แฟลกโอเวอร์โฟลว์จะเกิดเมื่อนำเลขลบ 2 จำนวนมารวมกันแล้วได้ค่าลบต่ำกว่า –128 หรือนำเลขบวก 2 จำนวนมารวมกันแล้วได้ค่าเป็นบวกมากกว่า 127 การนำเลข 2 จำนวนที่จำนวนหนึ่งเป็นค่าลบ และอีกจำนวนหนึ่งเป็นค่าบวกมารวมกันจะไม่ทำให้เกิดโอเวอร์โฟลว์

P (Parity Flag) เป็นแฟลกที่แสดงจำนวนบิตที่เป็น 1 ในแอคคิวมูเลเตอร์ โดยแฟลก P จะถูกเซตเป็น 1 เมื่อแอคคิวมูเลเตอร์มีจำนวนบิตที่เป็น 1 เป็นคี่ (odd) และแฟลก P จะถูกเคลียร์เป็น 0 เมื่อแอคคิวมูเลเตอร์มีจำนวนบิตที่เป็น 1 เป็นคู่ (even) ดังนั้นจำนวนบิตในแอคคิวมูเลเตอร์รวมกับแฟลก P จะมีจำนวนบิตที่เป็น 1 ทั้งหมดเป็นจำนวนคู่แฟลก P จะใช้ในกรณีที่เราต้องการสร้างพาริตี้ ซึ่งเป็นบิตตรวจสอบในการรับส่งข้อมูลแบบอนุกรม

3.2 เฟสล็อคลูป(Phase Lock Loop:PLL)

3.2.1 ทฤษฎีพื้นฐานของระบบสังเคราะห์ความถี่

Nature of Phase lock

PLL ประกอบด้วย ชิ้นส่วนพื้นฐาน 3 ชิ้น

1. Phase Detector
2. Loop Filter
3. Voltage Control Oscillator (VCO) : Control by external voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(PD) Phase Detector ทำหน้าที่เปรียบเทียบ Phase ของ Input Signal กับ Phase ของ VCO ซึ่ง Output ของ PD คือ ขนาดของ Phase Difference; ความเปรียบต่างของ Phase Loop Filter ค่าของความเปรียบต่าง Voltage (difference voltage) จะถูกกรองโดย Loop Filter จะถูกส่งไปยัง VCO เพื่อไปควบคุม VCO สำหรับเปลี่ยนค่าของ Frequency เพื่อที่จะลดค่าความเปรียบต่างของ Phase (Phase Difference)

เมื่อ Loop ถูกล็อค ค่า Control Voltage คือค่าที่ Frequency ของ VCO เท่ากับค่าของ Average Frequency ของค่า Input Signal เพื่อแต่ละ Cycle ของ Input จะมีเพียงแค่ 1 Cycle ของ Oscillator Output

วิธีใช้ที่เห็นได้ชัดอย่างหนึ่ง ของ Phase Lock คือ AFC (Antonatic Frequency Control)เพื่อที่จะทำให้ค่า Control Voltage คงไว้ซึ่งการ Lock จะทำให้เกิดค่า nonzero output จาก PD ด้วยเหตุนี้ Loop ของ Phase lock จะทำงานโดยมีค่าของ Phase error ปรากฏอยู่จะมีน้อยถ้า design ดี

ซึ่งจะอธิบายให้ง่ายขึ้นโดยการ สมมุติค่า ของ Carrier Signal ที่เข้ามา Phase และ Frequency Signal จะมีสัญญาณ Noise แทรกมาด้วยอย่างเลี่ยงไม่ได้

โดยหน้าที่ของ Phase Lock (receiver) ในการ Reproduce สัญญาณ ในส่วนของ Receiver จะใช้ Local Oscillator โดยที่ Frequency ของ "Lo" กับค่าของ Input Signal จะเปรียบเทียบซึ่งกันและกัน โดย PD โดยที่ค่า error ของ Output จะแสดงโดย Phase Difference ทันที

สำหรับการระงับ Noise เข้าค่าเฉลี่ย error (Average error) นำไปสร้าง Frequency ของ LO ถ้า Original Signal มีค่าดังนี้ (good) เข้า LO ก็จะใช้ Information เพียงเล็กน้อยที่จะ Trach และ Information สามารถหาได้จาก การเฉลี่ยของเวลาที่ยาวนาน (Long Period) ดังนั้นการจำกัด Noise ก็จะมาก

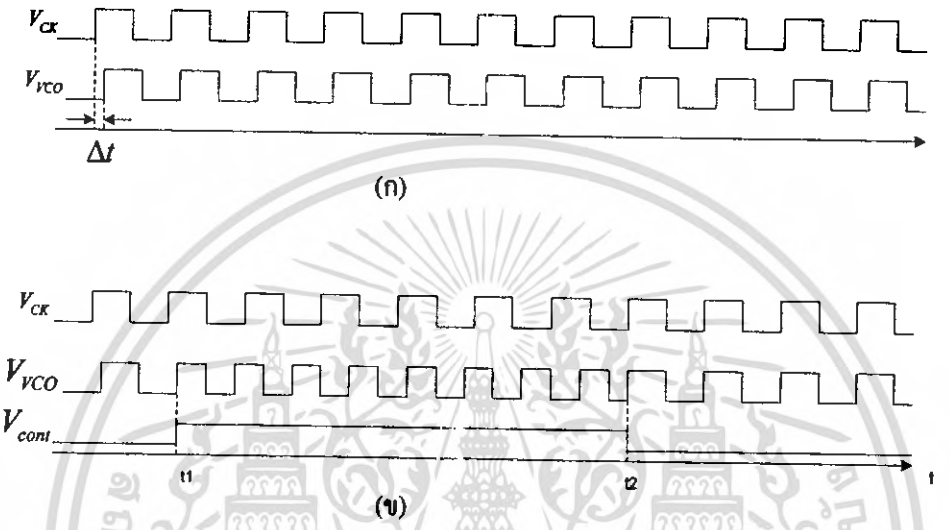
3.2.2 หลักการทำงานพื้นฐานของเฟสล็อคลูป

การทำงานของเฟสล็อคลูปในสภาวะล็อคคือการที่ความถี่เอาท์พุตจากวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้ามีค่าเท่ากับความถี่อ้างอิงหรืออินพุทและอัตราการเปลี่ยนแปลงของเฟสอินพุตและเอาท์พุตเทียบกับเวลาจะมีค่าเท่ากัน

พิจารณาถึงการเข้าสู่สภาวะล็อค พิจารณารูป 3-19(ก) แสดงการเปรียบเทียบเฟสระหว่างเอาท์พุตจาก VCO กับเฟสของอินพุตอ้างอิงหรือคล็อค จะเห็นว่าที่ขอบขาขึ้นของ V_{VCO} จะเกิดมีเฟสผิดพลาดขึ้นเป็นเวลา Δt เมื่อเทียบกับ V_{CK} และเราต้องการกำจัดความผิดพลาดนี้ออกไปโดยกำหนดให้ V_{con} แรงดันอินพุทของ VCO โดยเมื่อ V_{con} สูงขึ้นความถี่เอาท์พุตที่จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูงขึ้นพิจารณา รูปที่ 3-19(ข) ความถี่ของ VCO เริ่มสูงขึ้นที่เวลา $t = t_1$ วงจรจะมีการเพิ่มของเฟสอย่างรวดเร็วจนที่เวลา $t = t_2$ ความผิดพลาดของเฟสจะมีค่าเป็นศูนย์และ V_{cont} กลับเข้าสู่สภาวะแรก โดยเฟสของเอาท์พุตจาก VCO กับเฟสของอินพุทอ้างอิงหรือคล็อคอินเฟสกัน

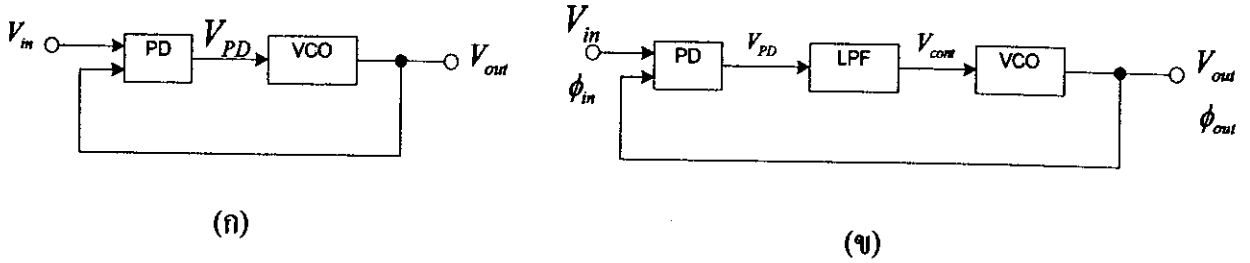


รูปที่ 3-19 การเข้าสู่สภาวะล็อคของเฟสล็อคลูป
(ก) เฟสเอาท์พุตจาก VCO กับเฟสของอินพุท
(ข) การปรับเฟสของวงจรเพื่อกำจัดเฟสผิดพลาด

จากหลักการข้างต้นทำให้เราสามารถทราบได้ว่าวงจรเฟสล็อคลูปแบบง่ายนั้นประกอบด้วยตัวดักจับเฟส (PD) และวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (VCO) ต่อกันในลักษณะป้อนกลับดังรูปที่ 3(ก) โดย PD จะเป็นตัวเปรียบเทียบเฟสระหว่าง V_{out} กับV_{in} โดยจะให้ค่าแรงดันเฟสผิดพลาดออกมาไปปรับ VCO จนเฟสมีการปรับและเข้าสู่สภาวะล็อค

อย่างไรก็ตามต้องมีการปรับปรุงวงจรรูป 3-20(ก) เนื่องจาก เอาท์พุตของ PD หรือ V_{PD} ประกอบด้วยส่วนของแรงดันดีซีและแรงดันเอซีที่มีความถี่สูงดังนั้นเพื่อให้แรงดันอินพุทของ VCO มีเฉพาะส่วนของดีซี เพื่อให้ความถี่เอาท์พุตออกมาคงที่ต้องมีการใส่วงจรกรองความต่ำผ่านเข้าไประหว่างวงจร PD กับ VCO ดังรูป 3-21(ข) เพื่อกำจัดส่วนที่มีความถี่สูงออกไปโดย LPF ที่ใส่เข้าไปจะต้องมีอัตราการขยายเป็นหนึ่งที่ความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) (ข)

รูปที่ 3-20 องค์ประกอบของเฟสล็อคลูป
(ก) องค์ประกอบที่ประกอบด้วย PD กับ VCO
(ข) องค์ประกอบที่ประกอบด้วย PD, VCO และ LPF

พิจารณารูปที่ 3-20(ก) เงื่อนไขวงจรภายใต้สภาวะล็อคคือ $\phi_{out} - \phi_{in}$ จะต้องมีค่าคงที่และมีขนาดเล็กและจะต้องไม่เปลี่ยนแปลงกับเวลาเขียนความสัมพันธ์เป็นสมการได้ว่า

$$\frac{d\phi_{out}}{dt} - \frac{d\phi_{in}}{dt} = 0 \qquad (3.1)$$

หรือก็คือ

$$\omega_{out} = \omega_{in} \qquad (3.2)$$

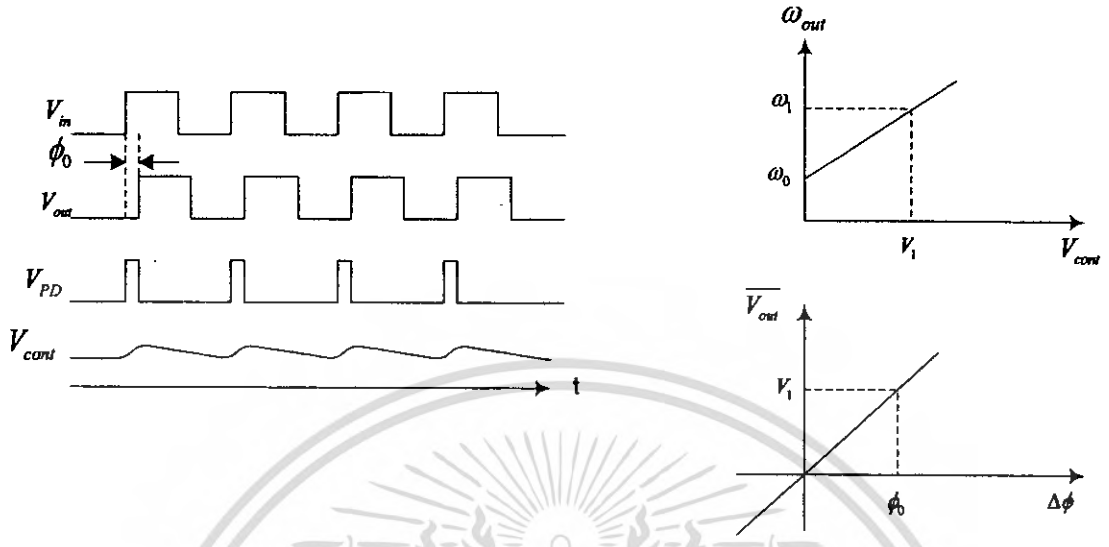
โดยสรุปจะได้ว่าเมื่อเฟสล็อคลูปอยู่ในสภาวะล็อคเฟสของเอาท์พุตจาก VCO เมื่อเทียบกับอินพุทจะต้องมีค่าผิดพลาดเฟสน้อยแต่ความถี่ทั้งสองจะต้องเท่ากัน

3.2.3 ลักษณะสัญญาณของเฟสล็อคลูปในสภาวะล็อค

เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อครูปคลื่นสัญญาณในแต่ละจุดนั้น แสดงดังรูป 3-21 (ก) โดย Vout กับ Vin จะมีความต่างเฟสหรือเฟสผิดพลาดน้อยมากแต่ความถี่จะเท่ากัน โดย PD เป็นตัวสร้างพัลซ์ที่เกิดจากค่าเฟสผิดพลาดของอินพุตกับเอาท์พุต และ LPF จะรองเอาเฉพาะแรงดันที่เป็นดีซีคือ V_{PD} ป้อนให้กับ VCO โดยพัลซ์ขนาดเล็กใน V_{LPF} เรียกว่า ริบเปิ้ล (ripple)

พิจารณารูป 3-21(ก) พารามิเตอร์ที่ยังไม่ทราบค่าคือ ϕ_0 และระดับแรงดันดีซีของ V_{cont} สามารถหาค่าได้จากการพิจารณาโดยใช้กราฟแสดงคุณสมบัติของ PD และ VCO ดังแสดงในอยู่รูป 3-21(ข) โดยถ้าเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วความถี่ของอินพุตและเอาท์พุตจะมีค่าเท่ากัน โดยกำหนดให้มีค่าเท่ากับ ω_1 และทำให้แรงดันที่วงจร VCO ต้องการคือ V_1 ดังในรูป 3-21(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) (ข)

รูปที่ 3-21 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค
(ก) รูปคลื่นสัญญาณในแต่ละจุด
(ข) กราฟแสดงคุณสมบัติของ VCO และ PD

โดยขนาดแรงดัน V_1 ได้จากส่วนของ PD ซึ่งเกิดจากค่าความผิดพลาดเฟส 0 จากกราฟคุณสมบัติของ PD และ VCO จะได้ $\omega_{out} = \omega_0 + K_{VCO}V_{cont}$ และ $V_{PD} = K_{PD}\Delta\phi$ ทำให้ได้

$$V_1 = \frac{\omega_1 - \omega_0}{K_{VCO}} \tag{3.3}$$

และ

$$\phi_0 = \frac{V_1}{K_{PD}} \tag{3.4}$$

$$= \frac{\omega_1 - \omega_0}{K_{PD}K_{VCO}} \tag{3.5}$$

จากสมการ 3.5 ทำให้ทราบคุณสมบัติที่สำคัญสองประการคือ เมื่อความถี่อินพุทเกิดการเปลี่ยนแปลงจะทำให้เกิดความต่างเฟสหรือความผิดพลาดของเฟสขึ้น และค่าผิดพลาดของเฟสจะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าต่ำเมื่อค่า $K_{PD}K_{VCO}$ ต้องมีค่าสูงโดย K_{PD} ก็คือ ค่าอัตราการขยายของวงจรดักจับเฟสหรือ PD และ K_{VCO} คือค่าอัตราการขยายของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

3.2.4 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค

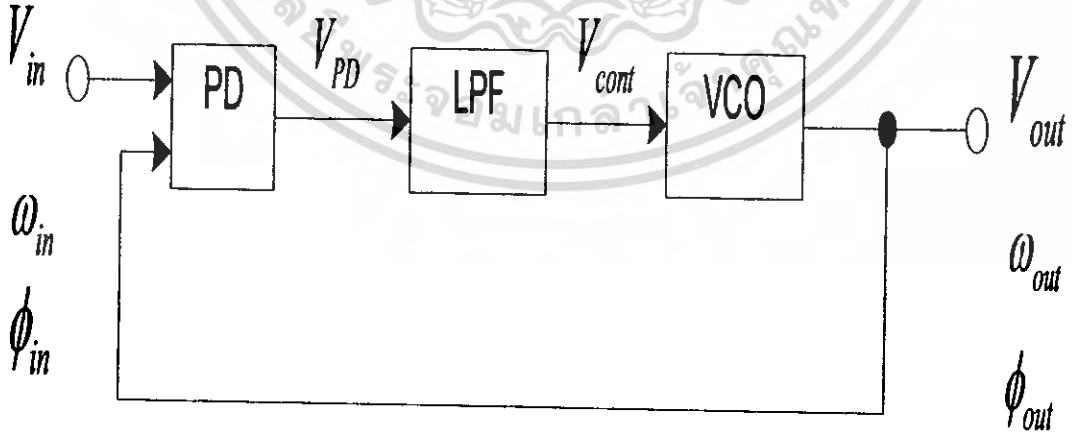
เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วเกิดการเปลี่ยนแปลงเฟส หรือความถี่ที่อินพุต จะทำการ พิจารณาหาผลการตอบสนองของเฟสล็อคลูปว่าเป็นอย่างไร

โดยจะพิจารณาเมื่อเกิดการเปลี่ยนแปลงของเฟสที่อินพุทก่อน โดยสมมติให้รูปแบบของอินพุตและเอาท์พุตเป็นดังนี้

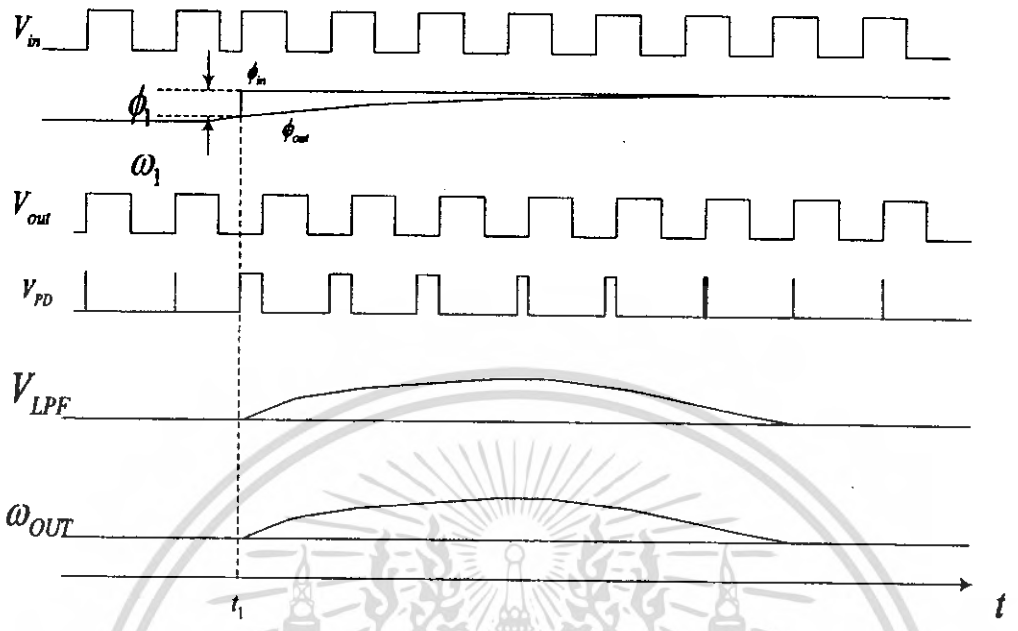
$$V_{in}(t) = V_A \cos \omega_1 t \tag{3.6}$$

$$V_{out}(t) = V_B \cos(\omega_1 t + \phi_0) \tag{3.7}$$

โดยที่ไม่พิจารณาความถี่ฮาร์โมนิคที่สูงและ ϕ_0 คือค่าความผิดพลาดเฟสคงที่ พิจารณารูป 3-22 จะเห็นว่าเฟสอินพุทมีการเปลี่ยนแปลงขึ้นในลักษณะเป็นขั้นคือ ϕ_1 และเกิดขึ้นที่เวลา $t = t_1$ จะทำให้เฟสที่อินพุทมีค่าเท่ากับ $\phi_{in} = \omega_1 t + \phi_1 u(t + t_1)^2$ ณ เวลานี้เอาท์พุตของ LPF ยังไม่เพิ่มขึ้นอย่างทันทีทันใด และ VCO ยังคงออสซิลเลทที่ความถี่เดิมคือ ω_1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-22 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของเฟสที่อินพุต

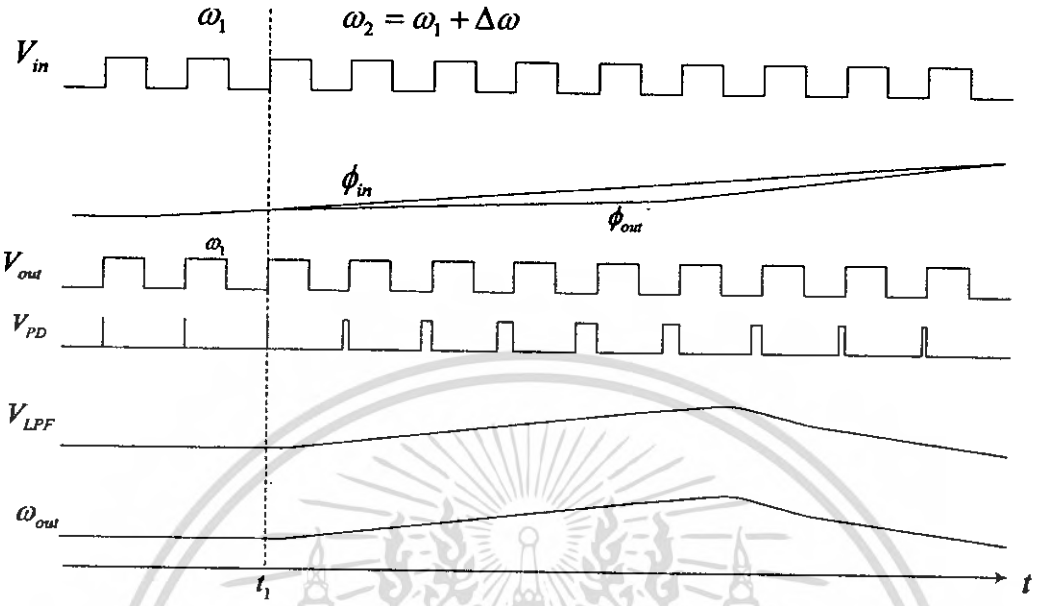
หลังจากนั้นค่าความต่างเฟสของอินพุตกับเอาท์พุตค่อย ๆ เพิ่มขึ้นทำให้พัลซ์ขึ้นที่เอาท์พุตของ PD และส่งผลให้เกิด V_{LPF} เพิ่มขึ้นผลลัพธ์คือทำให้ความถี่ของ VCO เพิ่มขึ้นเพื่อพยายามลดค่าผิดพลาดของเฟสที่สภาวะชั่วขณะนี้จะไม่เกิดการล็อคขึ้นเนื่องจากค่าความผิดพลาดเฟสเปลี่ยนแปลงตามเวลา ภายหลังจากที่ความถี่ของ VCO เริ่มเปลี่ยนแล้วเฟสล็อคลูปจะกลับสู่สภาวะล็อคตามเดิมโดย ω_{out} จะกลับมาเท่ากับ ω_1 นั่นคือ V_{LPF} และ $\phi_{out} - \phi_{in}$ จะกลับสู่ค่าเริ่มต้นตามเดิม โดยเมื่อ ลูปอยู่ในสภาวะสงบเอาท์พุตจะมีค่าเท่ากับ

$$V_{out}(t) = V_B \cos\left[\omega_1 t + \phi_0 + \phi_1 u(t - t_1)\right] \qquad (3.8)$$

สิ่งที่สำคัญเมื่อลูปกลับเข้าสู่สภาวะล็อคคือ พารามิเตอร์ทุกตัวจะกลับเข้าสู่สภาวะเริ่มต้นทั้งหมดคือ $\phi_{out} - \phi_{in}$, V_{LPF} และค่าความถี่ของ VCO จะเท่ากับสภาวะเริ่มต้น

ต่อไปเป็นการพิจารณาผลการตอบสนองของเฟสล็อคลูปเมื่อความถี่อินพุตเปลี่ยนแปลงชั่วขณะ โดยอินพุตเพิ่มขึ้นจากความถี่เดิม $\Delta\omega$ ที่เวลา $t = t_1$ ดังแสดงในรูป 3-23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-23 ผลตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุต

โดยความถี่เริ่มต้นของVCO คือ ω_1 เมื่อความถี่อินพุตเปลี่ยน PD จะกำเนิดพัลซ์โดยความกว้างค่อยๆ เพิ่มมากขึ้นและ V_{LPF} จะมีค่าเพิ่มขึ้นจน ω_{out} เข้าใกล้ $\omega_1 + \Delta\omega$ หรือก็คือความถี่อินพุท โดยเอาท์พุทจาก PDจะมีค่าลดลงภายใต้สภาวะสงบ ระดับแรงดันดีซีที่วงจรกรองความถี่มีค่าเท่ากับ $(\omega_1 + \Delta\omega - \omega_0 / K_{VCO})$

จะเห็นได้ว่าการเปลี่ยนแปลงของเฟสหรือความถี่ที่อินพุทจะนำมาซึ่งระดับแรงดันเพื่อควบคุมความถี่ VCO เพื่อลดค่าเฟสผิดพลาดลง

3.2.5 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน

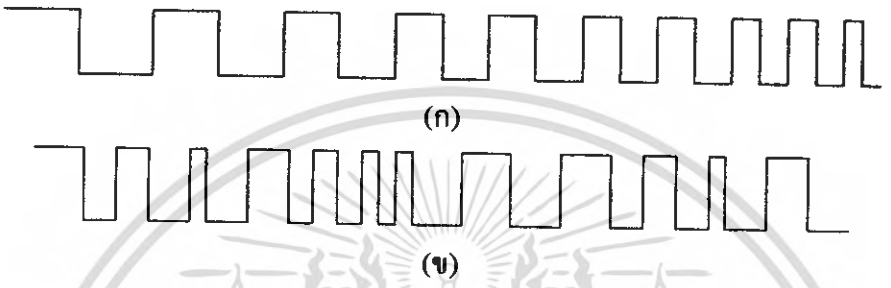
การพิจารณาเกี่ยวกับเสถียรภาพของเฟสล็อคลูป จะต้องทราบฟังก์ชั่นถ่ายโอนของระบบ ดังนั้น ต้องพิจารณาหา $\phi_{out}(S)/\phi_{in}(S)$ ทั้งแบบลูปเปิดและลูปปิด

พิจารณา $\phi_{out}(S)/\phi_{in}(S)$ เป็นตัวบอกให้ทราบถึงอะไรนั้นให้เปรียบเทียบกับฟังก์ชั่นถ่ายโอนของวงจรกรองความถี่อันดับหนึ่งอย่างง่ายคือ $V_{out}(S)/V_{in}(S) = 1/(1 + s/\omega_0)$ จากฟังก์ชั่นถ่ายโอนจะเห็นว่าถ้า V_{in} เปลี่ยนแปลงอย่างรวดเร็ว V_{out} ไม่สามารถที่จะตามอินพุตได้ตลอดย่านที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

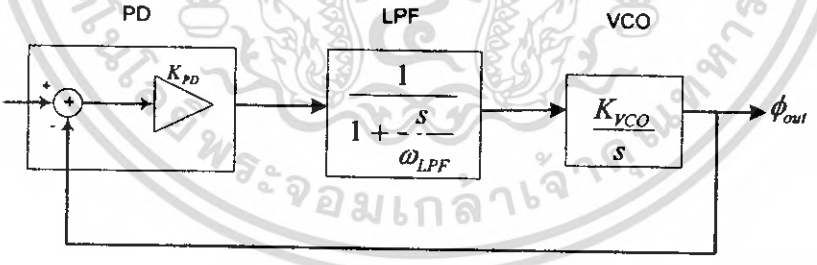
เปลี่ยนแปลง ในทำนองเดียวกัน $\phi_{out}(S)/\phi_{in}(S)$ จะแสดงให้เห็นความสัมพันธ์ว่าเฟสของเอาท์พุต มีการเปลี่ยนแปลงไปกับเฟสของอินพุตอย่างไรเมื่อเฟสอินพุตมีการเปลี่ยนแปลงอย่างช้าหรือเร็ว

การเปลี่ยนแปลงของเฟสกับเวลาแสดงดังรูป 3-24 โดยรูป 3-24(ก) เป็นการเปลี่ยนแปลงของเฟสอย่างรวดช้า ๆ และรูป 3-24(ข) เฟสมีการเปลี่ยนแปลงอย่างรวดเร็ว



รูปที่ 3-24 การเปลี่ยนแปลงของเฟสกับเวลา
(ก) การเปลี่ยนแปลงของเฟสอย่างช้า ๆ
(ข) การเปลี่ยนแปลงของเฟสอย่างเร็ว

พิจารณา $\phi_{out}(S)/\phi_{in}(S)$ โดยทำการสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปดังแสดงในรูปที่ 3-25



รูปที่ 3-25 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL)

โดยพิจารณาจากรูปที่ 3-25 ประกอบด้วยวงจร PD ซึ่งเอาท์พุทประกอบด้วยแรงดันดีซีมีค่าเท่ากับ $K_{PD}(\phi_{out}-\phi_{in})$ โดยความถี่สูงจะถูกจำกัดทิ้งโดยวงจรกรองความถี่จะได้ฟังก์ชั่นถ่ายโอนของ PD ในรูปแบบวงจรขยายซึ่งมีค่าอัตราการขยายเท่ากับ K_{PD} และวงจร LPF เป็นวงจรแบบอันดับหนึ่งอย่างง่ายมีฟังก์ชั่นถ่ายโอนคือ $1/(1 + s/\omega_{LPF})$ ในส่วนวงจร VCO มีฟังก์ชั่นถ่ายโอน คือ K_{vco}/s ส่วน ϕ_{in} และ ϕ_{out} คืออินพุตและเอาท์พุตเฟส ตัวอย่างเช่น ถ้าผลรวมของอินพุตเฟสเป็นฟังก์ชั่นแบบขั้นบันได คือ $\phi_i u(t)$ นั่นคือ $\phi_{in} = \phi_i / s$

จากรูปที่ 3-25 ฟังก์ชั่นถ่ายโอนของลูปเปิดคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H(s) = \frac{\phi_{out}}{\phi_{in}}(s)\Big|_{open} \tag{3.9}$$

$$= K_{PD}\frac{1}{1+\frac{s}{\omega_{LPF}}}\frac{K_{VCO}}{s} \tag{3.10}$$

จากสมการ 3.10 แสดงให้เห็นว่าตำแหน่งโพลของระบบอยู่ที่ $s = -\omega_{LPF}$ และ $s = 0$ โดยอัตราขยายลูปจะเท่ากับ $H(s)\big|_{open}$ เพราะป้อนกับแบบเต็มที่แฟกเตอร์การป้อนกับเป็นหนึ่งโดยระบบที่มีโพลหนึ่งตัวที่จุดกำเนิดเรียกว่า "ชนิดที่หนึ่ง" (type 1)

ต่อไปพิจารณาหาฟังก์ชั่นถ่ายโอนของระบบปิด ซึ่งมีความสำคัญมากโดยเฟสล็อคลูปจะเข้าสู่สภาวะล็อคเมื่อ ϕ_{out} เปลี่ยนแปลงเข้าใกล้ ϕ_{in} โดย s จะมีค่าเข้าใกล้ศูนย์ โดยฟังก์ชั่นถ่ายโอนของระบบปิดแสดงดังสมการ 3.11

$$H(s)\Big|_{close} = \frac{K_{PD}K_{VCO}}{\frac{s^2}{\omega_{LPF}} + s + K_{PD}K_{VCO}} \tag{3.11}$$

สิ่งที่เราต้องการคือ $H(s)\big|_{open}$ จะต้องมีค่าเข้าใกล้หนึ่งเมื่อ s มีค่าเข้าใกล้ศูนย์นั่นก็คืออัตราขยายของลูปมีค่าเป็นอนันต์ ภายใต้สภาวะดังกล่าวจะทำให้เฟสล็อคลูปเข้าสู่สภาวะล็อค

จากสมการ 3.11 สามารถหาผลตอบสนองแบบขั้นบันได (step response) ของระบบชนิดที่หนึ่ง (type 1) ได้โดยการพิจารณาเปรียบเทียบกับทฤษฎีของระบบควบคุม (Control System) จากรูปแบบของสมการอันดับสองของระบบดังสมการ 3.12 นำมาเปรียบเทียบกันกับสมากร 3.11 เพื่อหาค่าพารามิเตอร์ต่าง ๆ ของระบบเพื่อวิเคราะห์ผลตอบสนองแบบขั้นบันไดของระบบแบบที่หนึ่ง (type 1)

$$H(s) = \frac{\omega_n^2}{s^2 + 2\varsigma\omega_n s + \omega_n^2} \tag{3.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ ω_n คืออความถี่ธรรมชาติ (Natural frequency) และ ζ คือตัวประกอบการหน่วง(Damping factor) ซึ่งจากสมการ 3.11 ถ้าจัดให้อยู่ในรูปแบบบรรทัดฐานจะได้ค่าความถี่ธรรมชาติและค่าตัวประกอบ การหน่วงคือ

$$\omega_n = \sqrt{\omega_{LPF} K_{PD} K_{VCO}} \tag{3.13}$$

$$\varsigma = \frac{1}{2}\sqrt{\frac{\omega_{LPF}}{K_{PD} K_{VCO}}} \tag{3.14}$$

และโพลของทั้งสองตัวของระบบอยู่ที่ตำแหน่ง

$$s_{1,2} = -\varsigma\omega_n \pm \sqrt{(\varsigma^2 - 1)\omega_n^2} \tag{3.15}$$

$$s_{1,2} = (-\varsigma \pm \sqrt{(\varsigma^2 - 1)}\omega_n \tag{3.16}$$

โดยถ้า $\zeta > 1$ โพลทั้งสองเป็นจำนวนจริงซึ่งจะทำให้ระบบเกิดโอเวอร์แดมและในทางตรงกันข้ามถ้า $\zeta < 1$ โพลเป็นจำนวนจินตภาพจะได้ผลการตอบสนองของเอาท์พุตต่อความถี่อินพุตแบบขั้นบันไดโดย $\omega_{in} = \Delta\omega u(t)$ ผลของเอาท์พุตคือ

$$\begin{aligned}\omega_{out}(t) &= \left\{1 - e^{-\varsigma\omega_n t}\left[\cos\left(\omega_n\sqrt{1-\varsigma^2}t\right) + \frac{\varsigma}{\sqrt{1-\varsigma^2}}\sin\left(\omega_n\sqrt{1-\varsigma^2}t\right)\right]\right\}\Delta\omega u(t) \\ &= \left[1 - \frac{1}{\sqrt{1-\varsigma^2}}e^{-\varsigma\omega_n t}\sin\left(\omega_n\sqrt{1-\varsigma^2}t + \theta\right)\right]\Delta\omega u(t)\end{aligned} \tag{3.17}$$

โดย ω_{out} คือผลการเปลี่ยนแปลงของความถี่เอาท์พุต และ θ มีค่าเท่ากับ

$$\theta = \sin^{-1}\sqrt{1-\varsigma^2} \tag{3.18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปคลื่นเอาท์พุทแสดงดังรูป 3-26 จะเห็นว่ามีส่วนประกอบของรูปคลื่นซายน์โดยมีความถี่เท่ากับ

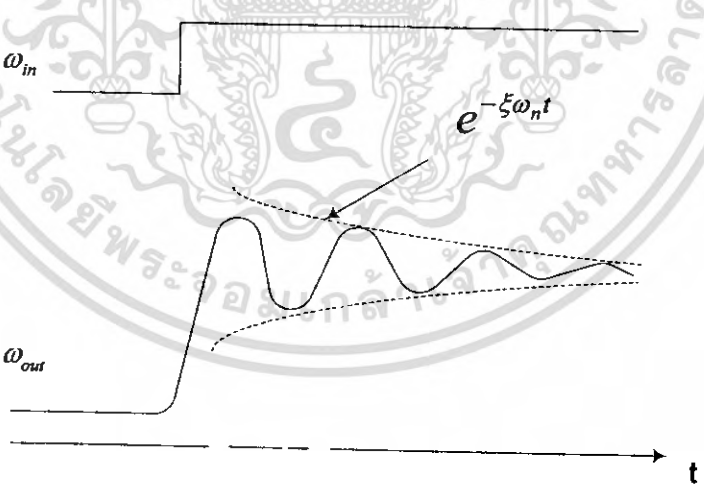
$$\omega = \omega_n \sqrt{1 - \varsigma^2} \qquad (3.19)$$

และขนาดของรูปคลื่นซายน์ดังกล่าวจะมีค่าลดลงด้วยค่าเวลาคงที่เท่ากับ $(\zeta\omega_n)^{-1}$

การเข้าสู่สภาวะสงบของเฟสล็อคลูปอย่างรวดเร็วมีความจำเป็นในการนำไปใช้งาน จากสมการ 3.18 ค่าของเอ็กซ์โปเนนเชียลจะลดลงสัมพันธ์กับค่าของเทอม $\zeta\omega_n$ โดยมีค่าเท่ากับ

$$\varsigma\omega_n = \frac{1}{2}\omega_{LPF} \qquad (3.20)$$

จากผลลัพธ์ที่ได้ จะเห็นว่าจะต้องมีการเลือกระหว่างความสามารถเข้าสู่สภาวะสงบอย่างรวดเร็วกับแรงดันริปเปิ้ลที่จะไปควบคุม VCO เช่น ถ้าต้องการให้ ω_{LPF} มีค่าต่ำเพื่อให้สามารถกำจัดความถี่สูงออกจากเอาท์พุต PD แต่มีค่าเวลาเข้าสู่สภาวะสงบ (Settling time) มาก

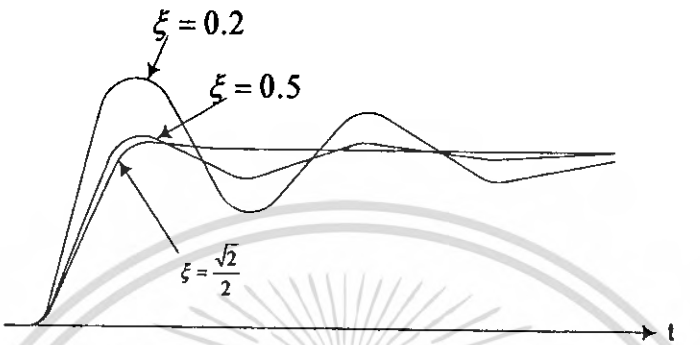


รูปที่ 3-26 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได

การเลือกค่าของ ζ นั้นมีความสำคัญมาก ดังแสดงในรูปที่ 3-27 แสดงผลการตอบสนองเมื่อค่า ζ เปลี่ยนเป็นค่าหลายค่าโดยที่ ω_n มีค่าคงที่ โดยผลการตอบสนองจะไม่มีการกระเพื่อมเมื่อค่าของ $\zeta < 1$ ดังนั้นการเลือกค่า ζ จึงมีความสำคัญและนำมาซึ่งการต้องเลือกระหว่าง LPF และค่าเวลาเข้าสู่สภาวะสงบ (Settling time) และจากสมการ 3.19 ถ้าเราต้องการลดค่าความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

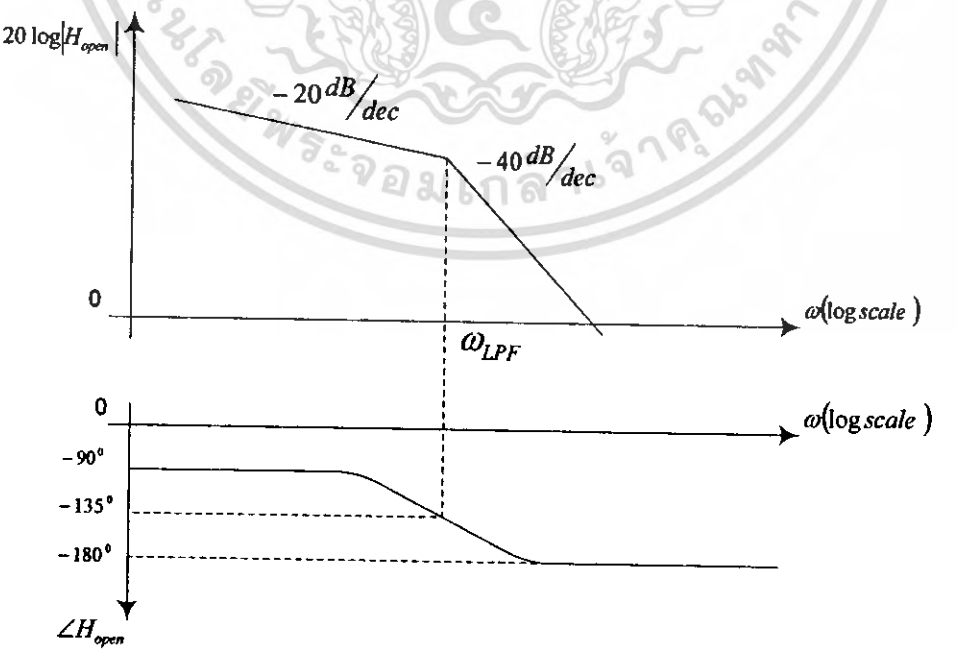
เฟสให้น้อยลงจะต้องลดค่าของ $K_{PD}K_{VCO}$ ลงแต่จากสมการ 3.20 จะทำให้ ζ เพิ่มขึ้นทำให้ระบบมีเสถียรภาพต่ำลง



รูปที่ 3-27 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง

สรุปแล้วคุณสมบัติของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL) จะต้องมีการเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบคุม VCO, ค่าผิดพลาดเฟสและเสถียรภาพของระบบ

การแสดงเสถียรภาพของระบบ อาจแสดงได้ด้วยกราฟโบดพล็อตทั้งขนาดและความถี่ ดังรูปที่ 3-28 โดยใช้สมการ 3.20



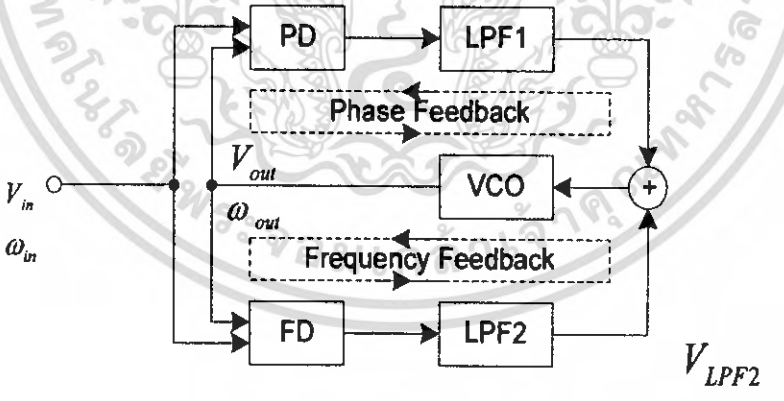
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3-28 กราฟโบดพล็อตแสดงเสียรภาพของ type I PLL

3.2.6 เฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL)

จากการพิจารณาเฟสล็อคลูปแบบที่หนึ่ง จะเห็นว่ามีปัญญาในเรื่องที่จะต้องเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบคุม VCO, ค่าผิดพลาดเฟสและเสถียรภาพของระบบ นอกจากนั้นแล้วยังมีปัญหาในเรื่องของช่วงของการเข้าสู่ภาวะล็อคมีค่าจำกัด โดยปัญหาของการได้มาซึ่งสภาวะล็อคของเฟสล็อคลูปคือ เริ่มแรกเมื่อวงจรทำงานหรือเมื่อจ่ายไฟเลี้ยงให้วงจร ถ้าวงจรออสซิลเลเตอร์ทำงานที่ความถี่ห่างจากความถี่อินพุตลูปจะไม่ล็อคโดยช่วงของการเข้าสู่สภาวะล็อคจะขึ้นอยู่กับค่าของ ω_{LPF} โดยลูปจะล็อคเพียงกรณีเดียวคือ ความแตกต่างระหว่าง ω_{in} กับ ω_{out} จะต้องน้อยกว่า ω_{LPF} แต่ก็ต้องเลือกอีกเช่นกัน เพราะถ้าหากเราให้ ω_{LPF} มีค่าต่ำก็จะทำให้ช่วงเข้าสู่การล็อคมีค่าต่ำเช่นกัน

ปัญหาดังกล่าวแก้ไขโดยการเพิ่มตัวดักจับความถี่ (Frequency detector, FD) เข้าไปรวมกับส่วนของ PD ดังแสดงในรูป 3-29



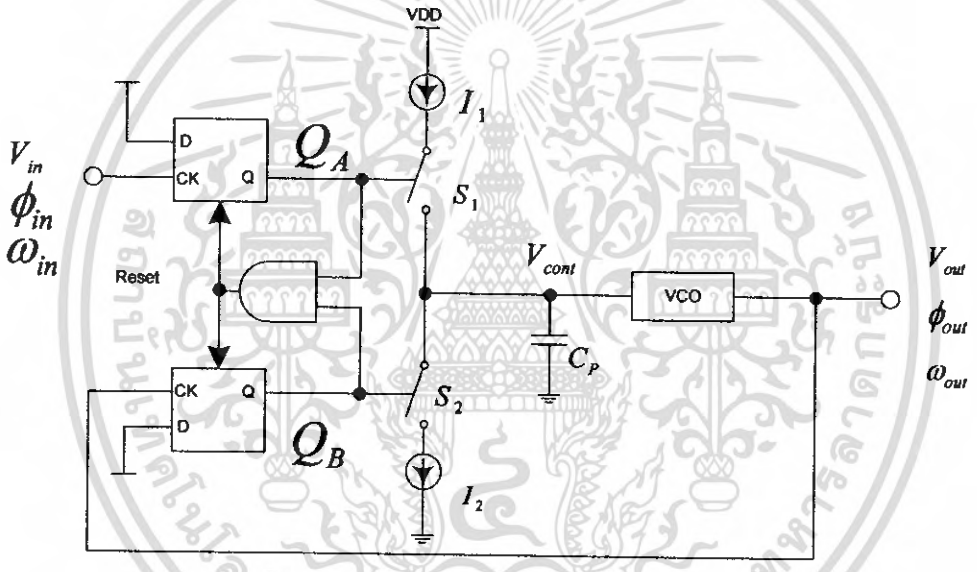
รูป 3-29 ระบบที่ใช้ตัวดักจับเฟสแบบเฟส – ความถี่

โดย FD จะทำหน้าที่เปรียบเทียบความถี่ของอินพุตกับเอาท์พุตและจะทำให้วงจรกรองความถี่ต่ำมีแรงดันเกิดขึ้นเป็นไปตามสัดส่วนของ $\omega_{out} - \omega_{in}$ ซึ่งตัวดักจับเฟสแบบนี้เรียกว่า ตัวดักจับเฟสแบบเฟส – ความถี่ (Phase/Frequency Detector, PFD) ซึ่งหลักการทำงานของ PFD จะกล่าวถึงต่อไปในหัวข้อตัวดักจับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.6.1 หลักการทำงานพื้นฐานของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

พิจารณารูป 2.12 เป็นวงจรเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL, CP PLL) โดยตัวดักจับเฟสเป็นแบบเฟส-ความถี่ หลักการทำงานของวงจรคือ เมื่อจ่ายไฟเลี้ยงให้วงจรค่าของ ω_{out} อาจจะมีความถี่ที่ห่างจาก ω_{in} ทำให้ PFD และส่วนของแหล่งจ่ายกระแสทำงานเกิดการปรับเปลี่ยนแรงดันที่ป้อนให้กับ VCO จนค่าความถี่ของ ω_{out} มีค่าใกล้เคียงกับอินพุต ω_{in} จากนั้น PFD จะทำหน้าที่เสมือน PD ดำเนินกระบวนการเข้าสู่สภาวะล็อค โดยเมื่อลูปอยู่ในสภาวะล็อคค่าความต่างเฟสอินพุตกับเอาท์พุตเท่ากับศูนย์ส่วนของแหล่งจ่ายกระแสไม่ทำงาน



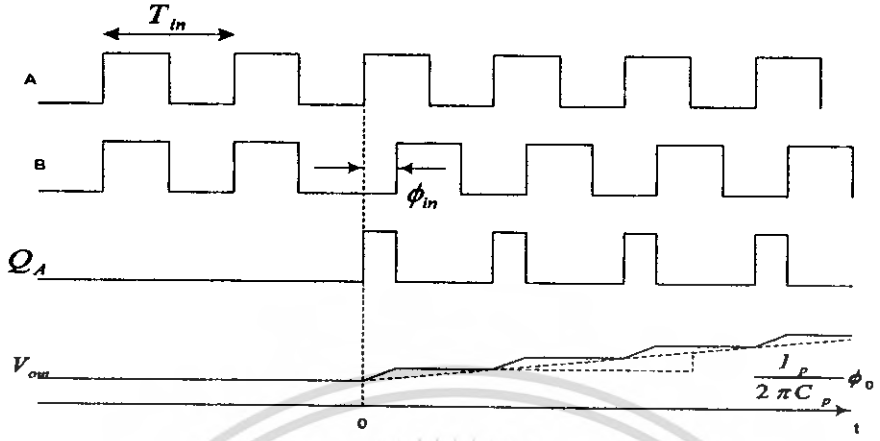
รูปที่ 3-30 วงจรเฟสล็อคลูปแบบเอาท์พุทเป็นแหล่งจ่ายกระแสคงที่

พิจารณาการทำงานของวงจรรูป 3-30 โดยไม่คิดผลของพัลซ์รีเซ็ตที่มีขนาดเล็กที่ Q_A และ Q_B โดยสมมติให้หลังจากเกิดการล็อค $\omega_{out} - \omega_{in}$ มีค่าเท่ากับศูนย์ PFD จะให้ $Q_A = Q_B = 0$ ในส่วนของแหล่งจ่ายกระแสยังไม่ทำงานทำให้แรงดัน C_p ยังมีค่าคงที่

3.2.6.2 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

การพิจารณาถึงเสถียรภาพจะต้องสร้างรูปแบบเชิงเส้นของระบบและพิจารณาฟังก์ชั่นถ่ายโอนการจะสร้างรูปแบบเชิงเส้นได้นั้นต้องรู้ค่าฟังก์ชั่นถ่ายโอนของแต่ละส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-31 การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน

พิจารณาหาค่าฟังก์ชั่นถ่ายโอนเมื่อนำส่วนของ PFD/CP/LPF มารวมกันโดยใช้ LPF เป็นค่าปาซิเตอร์ตัวเดียว โดยการสมมติให้คาบเวลาของความถี่อินพุตคือ T_{in} และค่ากระแสที่ใช้ในการชาร์จและดิสชาร์จคือ $\pm I_P$ ดังแสดงในรูป 3-31 โดยมีอินพุตสองอินพุท A และ B และที่เวลาเริ่มต้นมีค่าความต่างเฟสเท่ากับศูนย์ และเมื่อถึงที่เวลา t =0 เฟสของอินพุต B มีการเปลี่ยนแปลงแบบขั้นบันได้คือ ϕ_0 โดยความต่างเฟสมีค่าเท่ากับ $\Delta\phi = \phi_0 u(t)$ ทำให้ Q_A เกิดพัลซ์ออกมาอย่างต่อเนื่องและมีค่าเท่ากับ $\phi_0 T_{in}/(2\pi)$ และค่าเอาท์พุทจะเพิ่มขึ้นโดยไม่คิดผลของพัลซ์รีเซ็ตที่มีขนาดเล็กจะมีค่าเท่ากับ $(I_P/C_P)\phi_0 T_{in}/(2\pi)$ โดยการประมาณส่วนที่เป็นฟันเลื่อยเป็นเส้นตรงดังนั้นความชันของ V_{out} คือ $(I_P/C_P)\phi_0 T_{in}/(2\pi)$ และสามารถเขียนได้อีกแบบดังสมการ

$$V_{out}(t) = \frac{I_P}{2\pi C_p} t \bullet \phi_0 u(t) \tag{3.21}$$

จากผลการตอบแบบอิมพัลซ์จะได้

$$h(t) = \frac{I_P}{2\pi C_p} u(t) \tag{3.22}$$

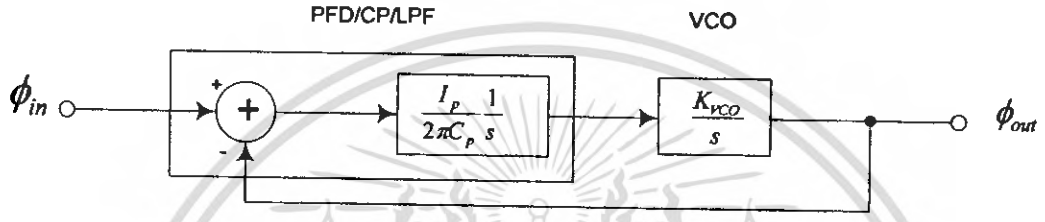
และจะได้ฟังก์ชั่นถ่ายโอนคือ

$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_P}{2\pi C_p} \bullet \frac{1}{s} \tag{3.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจากฟังก์ชั่นถ่ายโอนจะเห็นว่า PFD/CP/LPF เมื่อต่อร่วมกันจะทำให้เกิดโพลขึ้นหนึ่งตัวที่จุดกำเนิดดังเช่นที่ได้เขียนไว้ในเฟสล็อคลูปชนิดที่หนึ่งซึ่งจะอยู่ในเทอม K_{VCO}/S และเทอมของ $I_p(2\pi C_p)$ เรียกว่าอัตราการขยายของ PFD เขียนแทนด้วย K_{PFD}

พิจารณาสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ได้ดังรูป 2.14



รูป 3-32 รูปแบบเชิงเส้นอย่างง่ายของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

จากรูป 3-32 จะได้ฟังก์ชั่นถ่ายโอนลูปเปิดคือ

$$\frac{\phi_{out}}{\phi_{in}}(s)\Big|_{open} = \frac{I_P}{2\pi C_p} \bullet \frac{K_{VCO}}{s^2} \qquad (3.24)$$

พิจารณาจากฟังก์ชั่นถ่ายโอนจะเห็นว่าอัตราขยายของลูปมีโพลอยู่สองโพลที่จุดกำเนิด ซึ่งเราเรียกระบบนี้ว่า "แบบที่สอง" (type II) และกำหนด H(s) คือฟังก์ชั่นถ่ายโอนของลูปปิดจะได้

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_p}}{s^2 + \frac{I_P K_{VCO}}{2\pi C_p}} \qquad (3.25)$$

โดยลูปปิดมีโพลเป็นจำนวนจินตภาพอยู่ที่ตำแหน่ง

$$s_{1,2} = \pm j\sqrt{\frac{I_P K_{VCO}}{2\pi C_p}} \qquad (3.26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

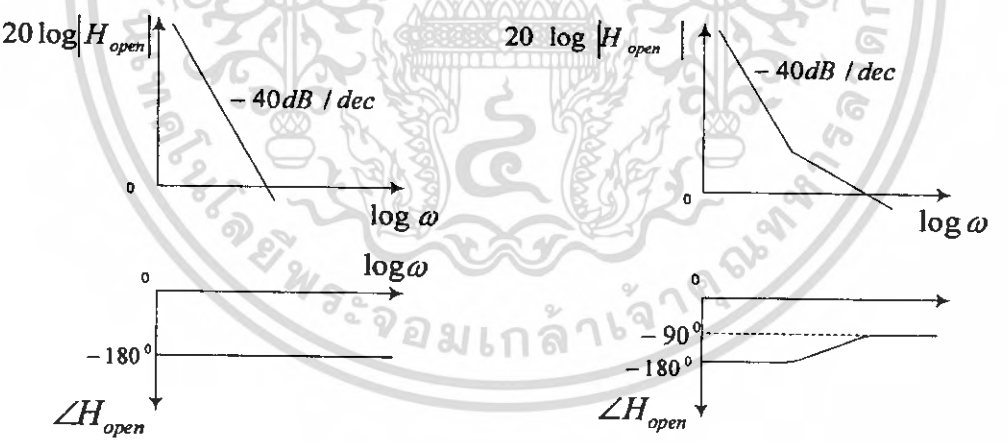
ซึ่งระบบมีอัตราขยายของลูปดังสมการ 3.26 จะไม่มีเสถียรภาพเนื่องจากมีโพลอยู่ที่จุดกำเนิดถึงสองโพลทำโดยแต่ละโพลทำให้เกิดเฟสชิฟไป 90° ดังนั้น ระบบนี้จึงมีผลรวมของเฟสชิฟ 180° ซึ่งแสดงดังรูป 3-33(ก) ระบบอาจเกิดการออสซิลเลทที่จุดอัตราขยายตัดแกนความถี่ได้

เพื่อแก้ไขให้ระบบมีเสถียรภาพจะต้องทำให้ผลรวมของเฟสชิฟมีค่าน้อยกว่า 180° คือที่จุดอัตราขยายตัดแกนความถี่เฟสชิฟต้องมีค่าน้อยกว่า 180° ดังแสดงในรูป 2.15(ข) สามารถทำได้โดยการทำให้เกิดซีโร่ขึ้นในลูปด้วยการเพิ่มตัวต้านทานต่อนุกรมกับคาปาซิเตอร์ในวงจรกรองความถี่ต่ำผ่านดังรูป 3-33 จะทำให้ฟังก์ชั่นถ่ายโอนของ PFD/CP/LPF ต่อร่วมกันมีค่าเท่ากับ

$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_p}{2\pi}\left(R_P + \frac{1}{C_P s}\right) \tag{3.27}$$

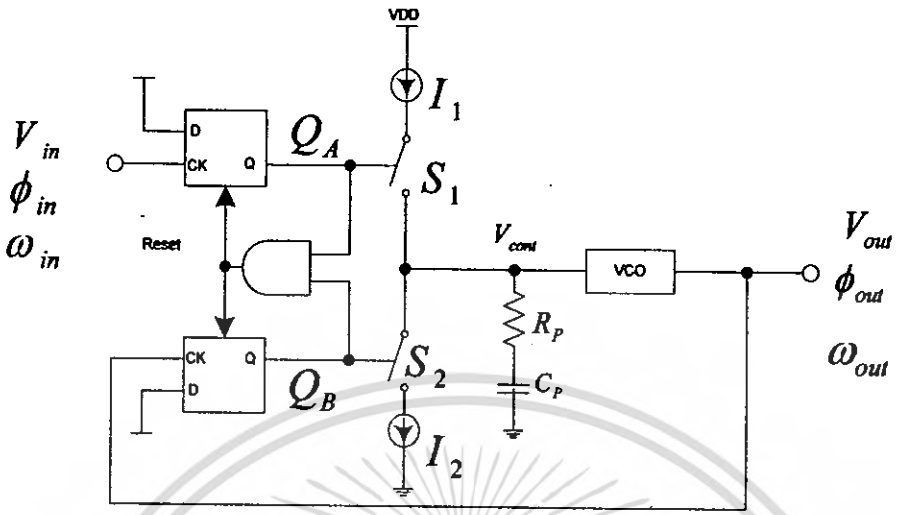
และฟังก์ชั่นถ่ายโอนลูปเปิดเท่ากับ

$$\frac{\phi_{out}}{\phi_{in}}(s)\Big|_{open} = \frac{I_P}{2\pi}\left(R_P + \frac{1}{C_P s}\right)\frac{K_{VCO}}{s} \tag{3.28}$$



รูป 3-33 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่
(ก) การเกิดเฟสชิฟของระบบที่ไม่มีเสถียรภาพ
(ข) การเกิดเฟสชีฟเพื่อทำการเพิ่มซีโร่เข้าไปในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3-34 การเพิ่มซีโร่เข้าไปในวงจรเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

และฟังก์ชั่นถ่ายโอนของระบบปิดมีคือ H(s) ค่าเท่ากับ

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_p}\left(R_P C_P s + 1\right)}{s^2 + \frac{I_P}{2\pi} K_{VCO} R_P s + \frac{I_P}{2\pi C_p} K_{VCO}} \qquad (3.29)$$

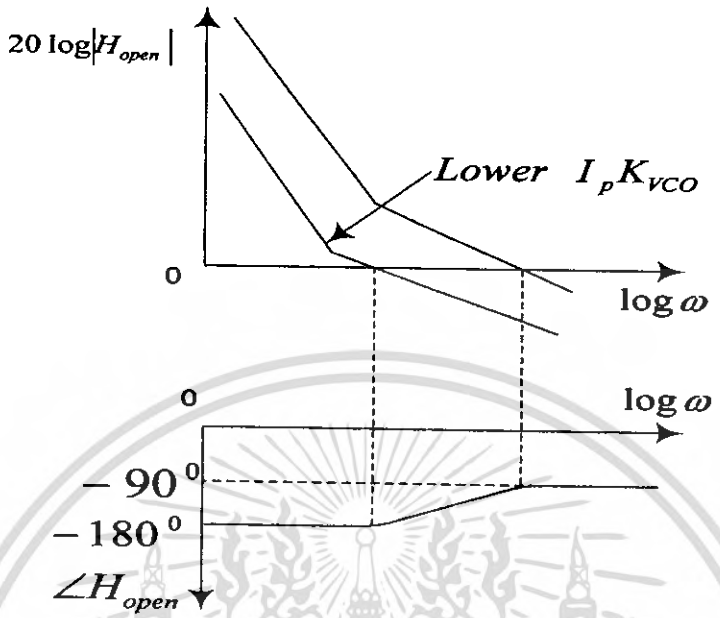
จากฟังก์ชั่นถ่ายโอนลูปปิดจะมีซีโร่อยู่หนึ่งตัวที่ตำแหน่ง $S_Z = -1/(R_P C_P)$ และทำการพิจารณา เช่นเดียวกับชนิดที่หนึ่ง (type I) เพื่อหาค่า ω_n และ ζ ซึ่งจะได้ค่าดังนี้

$$\omega_n = \sqrt{\frac{I_P K_{VCO}}{2\pi C_p}} \qquad (3.30)$$

$$\varsigma = \frac{R_P}{2}\sqrt{\frac{I_P C_P K_{VCO}}{2\pi}} \qquad (3.31)$$

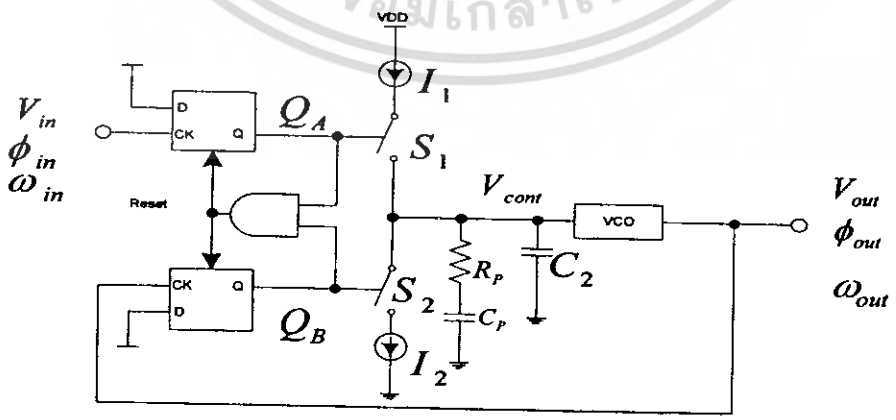
เมื่อพิจารณาเสถียรภาพของระบบแบบที่สอง (type II) จะเห็นว่ามีความแตกต่างจากแบบที่หนึ่ง (type I) เมื่อนำสมการ 3.31 เมื่อวิเคราะห์โดยวาดกราฟโบดพล็อตแสดงทั้งขนาดและเฟสของระบบจะได้ดังรูป 3-35 โดยค่า $I_P K_{VCO}$ มีค่าลดลงจะทำให้จุดที่อันตราขยายตัดแกนความถี่เข้าใกล้จุดกำเนิดมากขึ้นทำให้เฟสมาจิน (Phase margin) ลดน้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3-35 การลดลงของเสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่เมื่อค่าของ I_PK_{VCO} มีค่าลดลง

เฟสล็อคลูปแบบที่สองที่มีการปรับปรุงแล้วดังรูป 3-36 ยังมีข้อเสียอยู่คือ ในส่วนของวงจรจ่ายกระแสคงที่ซึ่งต่ออนุกรมอยู่กับ Rp และ Cp เมื่อมีกระแสจ่ายให้กับส่วนของวงจรกรองความถี่จะทำให้ได้แรงดันที่จะไปควบคุมการออสซิลเลทมีค่าเพิ่มขึ้นสูงมากจากสภาวะปกติ ซึ่งสภาวะที่ทำให้ V_{cont} เกิดการกระเพื่อมขึ้น (Voltage jump) จะทำให้เกิดริปเปิ้ลขึ้นซึ่งจะมีผลทำให้เกิดภาวะไม่สงบขึ้น VCO ทำให้เอาท์พุทเฟสแย่ลงเพื่อลดปัญหาดังกล่าว ให้เบาบางลงกระทำได้โดยนำตัวเก็บประจุตัวที่สองมาต่อขนานกับ R_p และ C_p ดังแสดงในรูป เพื่อเป็นการกำจัดการกระเพื่อมที่เกิดขึ้นในช่วงแรก



รูป 3-36 การเพิ่มตัวเก็บประจุเข้าไปในวงจรเพื่อลดค่าริปเปิ้ล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยค่าของตัวเก็บประจุที่เพิ่มเข้า จะมีค่าประมาณหนึ่งในห้าหรือหนึ่งในสิบของ C_p เพื่อให้ตอบ สนองของระบบปิดทั้งทางความถี่และเวลายังคงไม่เปลี่ยนไปจากเดิม

3.3 ทฤษฎีการส่งข้อมูลอนาลอกและดิจิตอล

เวลาส่งผ่านข้อมูลไปในสื่อที่จะเป็นรูปแบบของสัญญาณแบ่งออกเป็น 2 ชนิด คือ Analog และ Digital ก่อนที่จะส่งต้องมีการแปลงสัญญาณให้อยู่ในรูปของ 0 และ 1 หรือ Binary From(ASCII) ข้อมูลที่เก็บในคอมพิวเตอร์จะเก็บอยู่ในรูปของ 0 และ 1 ก่อนจะส่งต้องมีการแปลงสัญญาณเป็น Digitalก่อน ถึงจะส่งได้ (เรียกว่า Digital to Digital หรือ encoding digital data into a digital signal) บางครั้งต้องการแปลงสัญญาณ Analog ให้อยู่ในรูปของสัญญาณ Digital เพื่อคุณภาพสัญญาณที่ดีขึ้น (เรียกว่า analog to digital หรือ encoding analog data into a digital signal) บางทีอาจมีการแปลงสัญญาณ digital เป็น analog เพื่อส่งข้อมูลลงสายโทรศัพท์ เช่น Modem (เรียกว่า digital to analog หรือ encoding digital data into a analog signal)

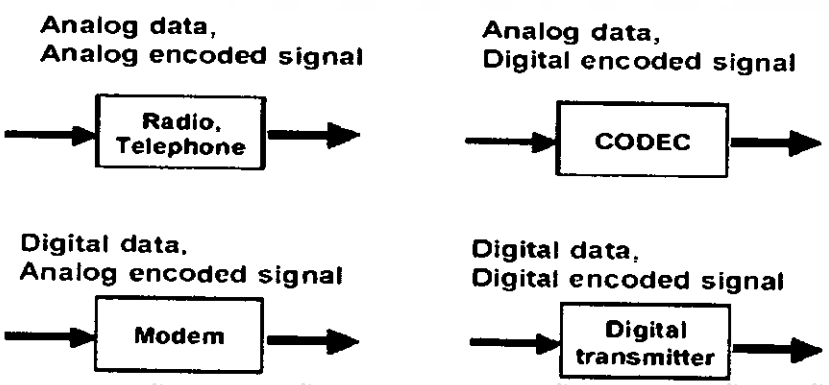
ในบางเวลาอาจมีการแปลงสัญญาณ analog ให้อยู่ในรูปของสัญญาณ analog เพราะความถี่ไม่เหมาะสม ที่จะส่งไปหรือความถี่ต่ำไปเช่น สัญญาณวิทยุ(เรียกว่า analog to analog หรือ encoding analog data into a analog data)

การแปลงสัญญาณมี 4 กระบวนการ คือ

1. digital data , digital signals
2. analog data , digital signals
3. digital data , analog signals
4. analog data, analog signals

Modulation ใช้ในการแปลงสัญญาณ analog

Encoding ใช้ในการแปลงสัญญาณ digital



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 Digital to Digital

เป็นการเปลี่ยนข้อมูลในระดับบิตไปเป็นสัญญาณดิจิตอล เช่น ในการส่งข้อมูลจาก Computer ไป Printer ทำโดยการเอา บิต 1 และ 0 มาใส่พลังงานไฟฟ้า (Voltage) แล้วกระจายลงในสายสัญญาณให้เป็น pulse

Encoding Schemes

Nonreturn to Zero-level (NRZ-L)

Nonreturn to Zero Inverted (NRZI)

Bipolar - AMI

Pseudoternary

Manchester

Differential Machester

B8ZS

HDB3

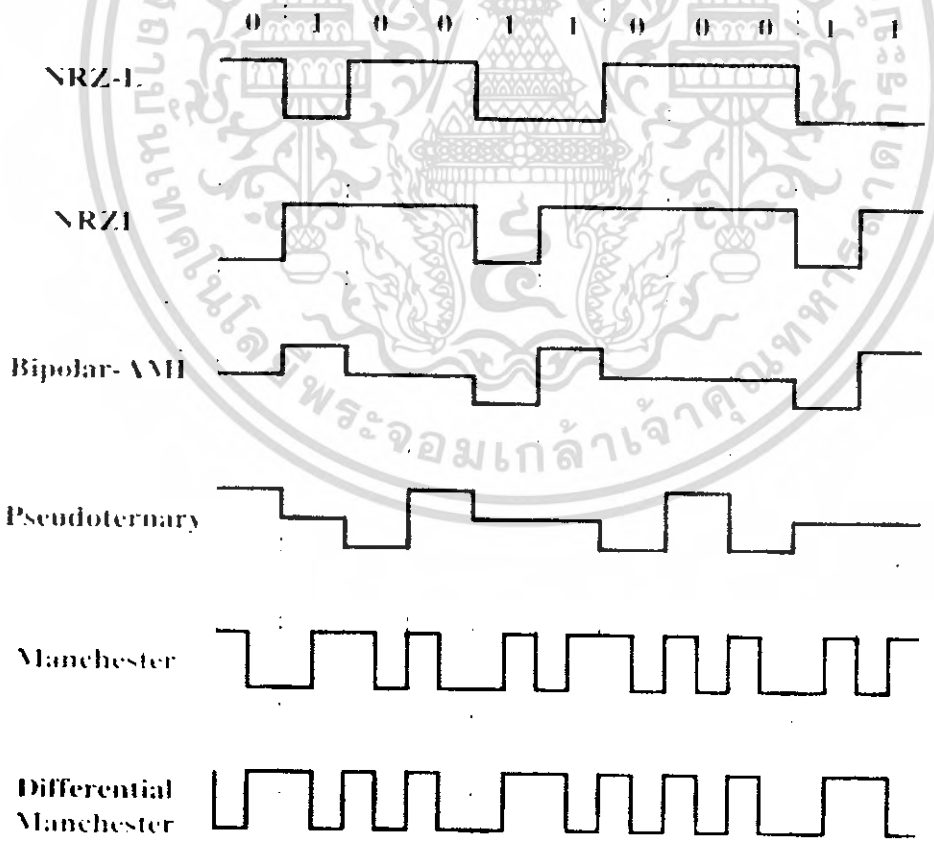


Figure 5.2 Digital Signal Encoding Formats

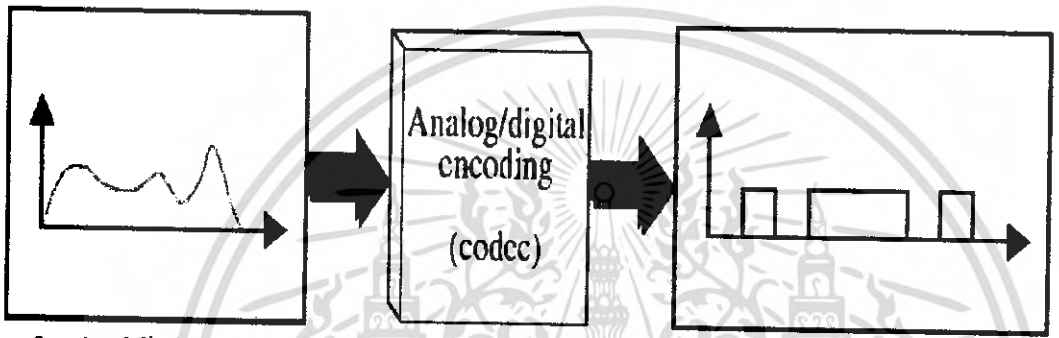
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2Analog to Digital

ในบางครั้งเราต้องแปลงสัญญาณ Analog เป็น Digital เช่น เสียงคนที่ต้องส่งในระยะทางไกล เราจะต้องแปลงเสียงเป็น Digital เสียก่อน

เช่นนี้เรียกว่า analog - to - digital

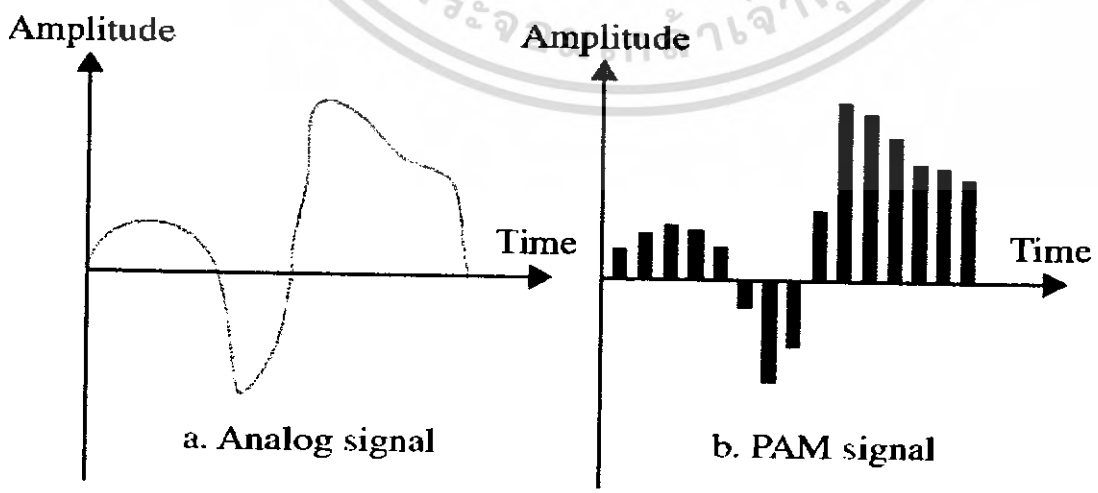
เป็นการแปลงสัญญาณอนาล็อกไปเป็นสัญญาณดิจิตอล โดยผ่านวิธีการ Codec (Coder -Decoder)



ส่วนใหญ่จะใช้วิธี PCM ในการแปลงสัญญาณวิธีโดยทำการสุ่มช่วงเวลาใดเวลาหนึ่งทำให้เป็นไม่ต่อเนื่องกัน โดยให้ขนาดของ Amplitudeเท่าเดิม (ถ้า sampling ถี่มากก็จะเป็นต่อเนื่องเหมือนเดิม) Quantizing ทำให้สัญญาณเป็น digital โดยสมบูรณ์คือจะต้องใส่ Voltage เข้าไปในแต่ละ levels ของ pulses

Pulse Amplitude Modulation (PAM)

ขั้นแรกของการ PCM จะต้องทำ PAM ก่อน คือการเอาข้อมูลที่เป็น analog มาทำการ Sampling



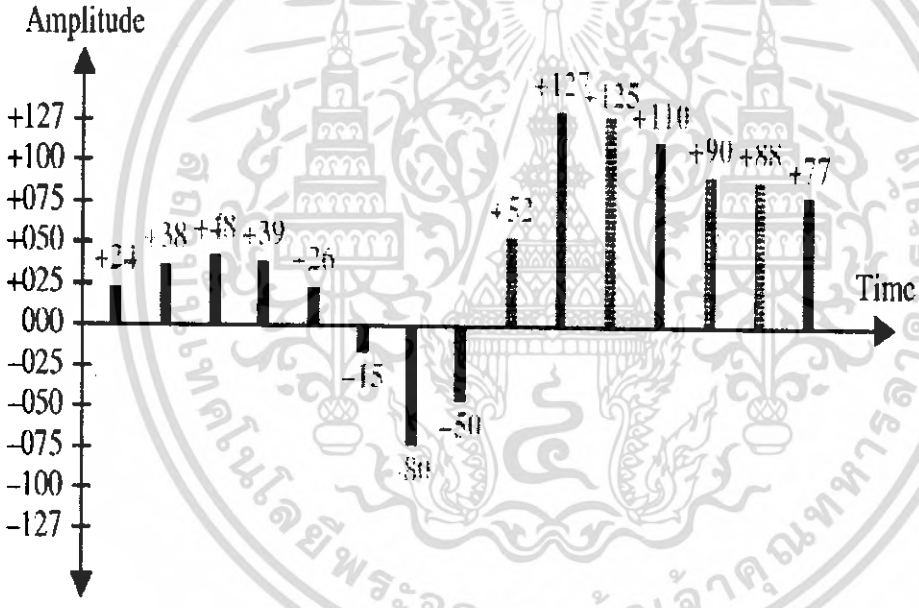
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pulse Code Modulation (PCM)

PCM จะแก้ไข pulses ที่สร้างโดย PAM ให้เป็น digital signal ที่สมบูรณ์

PCM ทำให้เป็น digital โดยสมบูรณ์มี 4 ขั้นตอนคือ

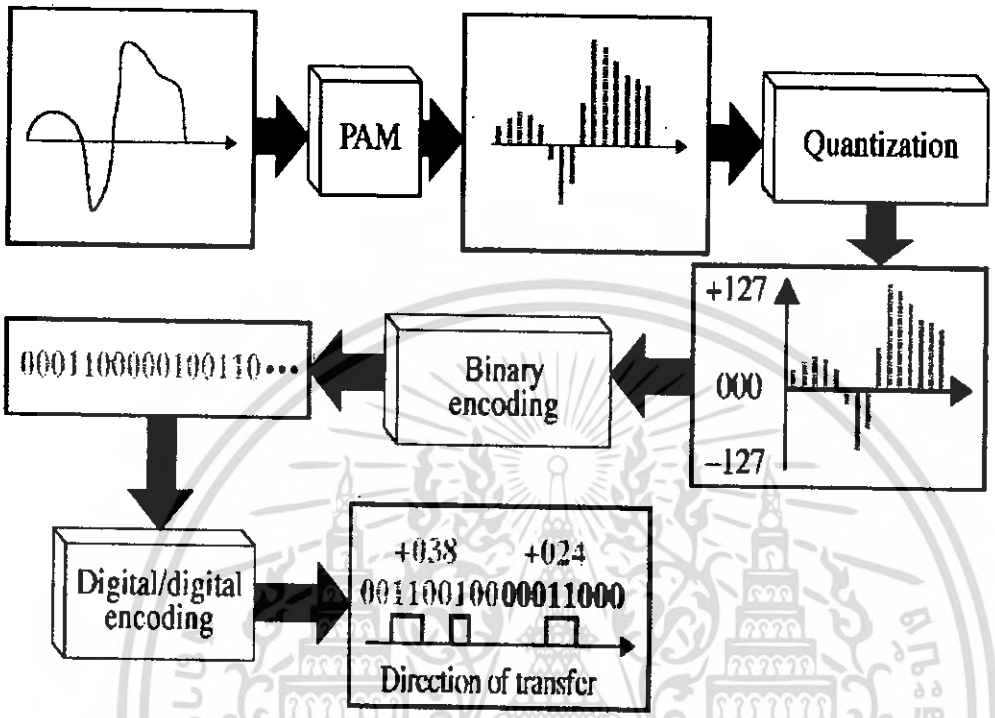
- **PAM**
- **ใส่ Voltage (Quantization)**
- **เข้ารหัสเป็น Binary (Binary Eencoding)**
- **เปลี่ยน Binary เป็น digital แล้วส่งออกไป (Digital - to - digital Encoding)**



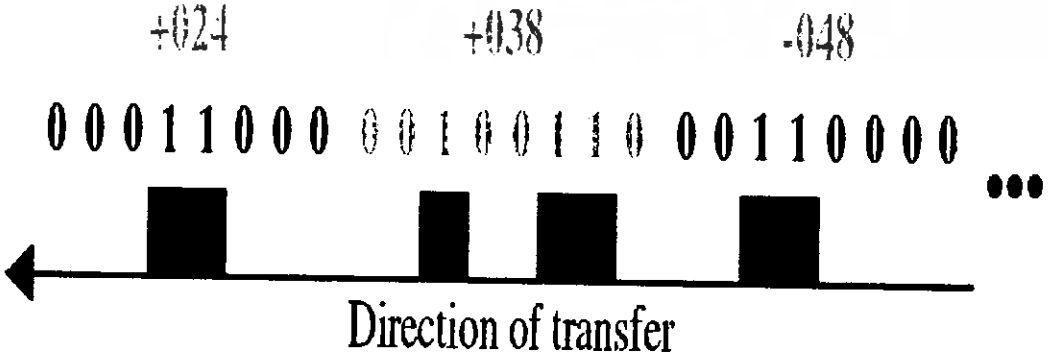
+024	00011000	–015	10001111	+125	01111101
+038	00100110	–080	11010000	+110	01101110
+048	00110000	–050	10110010	+090	01011010
+039	00100111	+052	00110110	+088	01011000
+026	00011010	+127	01111111	+077	01001101

Sign bit
+ is 0 – is 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

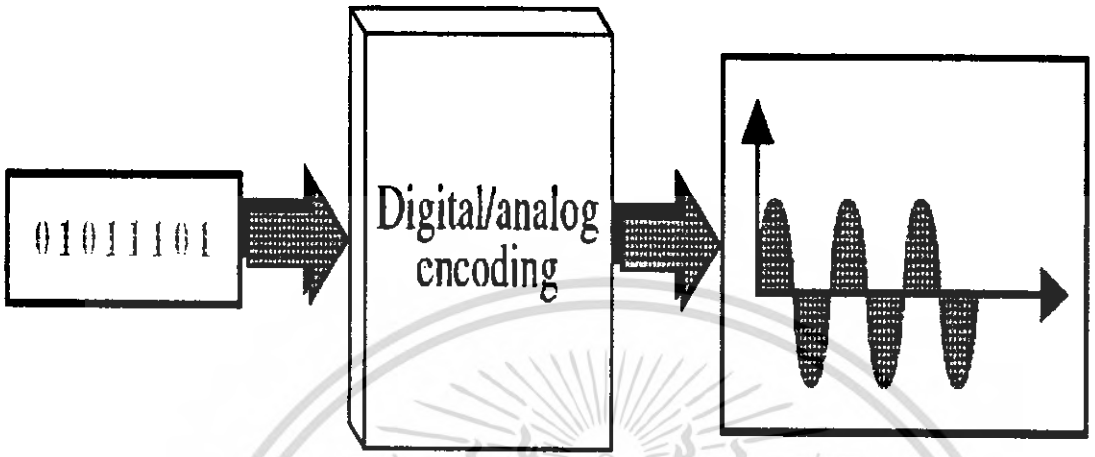


3.3.3 Digital to Analog



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital - to - Analog เป็นการแปลงสัญญาณจากดิจิตอลไปเป็นอนาลอก
เช่น การเปลี่ยนข้อมูลจากคอมพิวเตอร์เพื่อส่งผ่านสายโทรศัพท์



3.3.4 หลักการส่งสัญญาณข้อมูลดิจิตอลโดยการมอดูเลต

การสื่อสารในปัจจุบันได้นิยมนำเอาการ มอดูเลตสัญญาณแบบดิจิตอลมอดูเลชั่นมาใช้กันแบบแพร่หลาย เพราะว่าระบบดิจิตอลให้ค่าความแน่นอนน่าเชื่อถือสูงกว่าระบบแอนาลอก และมีการรบกวนอันเนื่องมาจากสัญญาณรบกวน (Noise) ต่ำ ซึ่งในระบบปัจจุบันนี้ อุปกรณ์ต่าง ๆ ในด้านดิจิตอลได้มีการพัฒนาก้าวหน้าไปอย่างรวดเร็ว ทำให้ต้นทุนการผลิตอุปกรณ์ต่ำลง และนอกจากนี้แล้วระบบดิจิตอล มอดูเลชั่นยังสามารถทำการเข้ารหัส (Encode) ก่อนทำการมอดูเลต แล้วทำการถอดรหัส (Decode) หลังการดีมอดูเลต ทำให้การส่งข้อมูลมีความผิดพลาดน้อยลง ในการมอดูเลชั่นทางดิจิตอลมีด้วยกัน 3 แบบใหญ่ ๆ คือ

1. **การเปลี่ยนขนาดของสัญญาณตามสัญญาณดิจิตอล (Amplitude Shift Keying, ASK)**
2. **การเปลี่ยนความถี่ตามสัญญาณดิจิตอล (Frequency Shift Keying, FSK)**
3. **การเปลี่ยนเฟสตามสัญญาณดิจิตอล (Phase Shift Keying, PSK)**

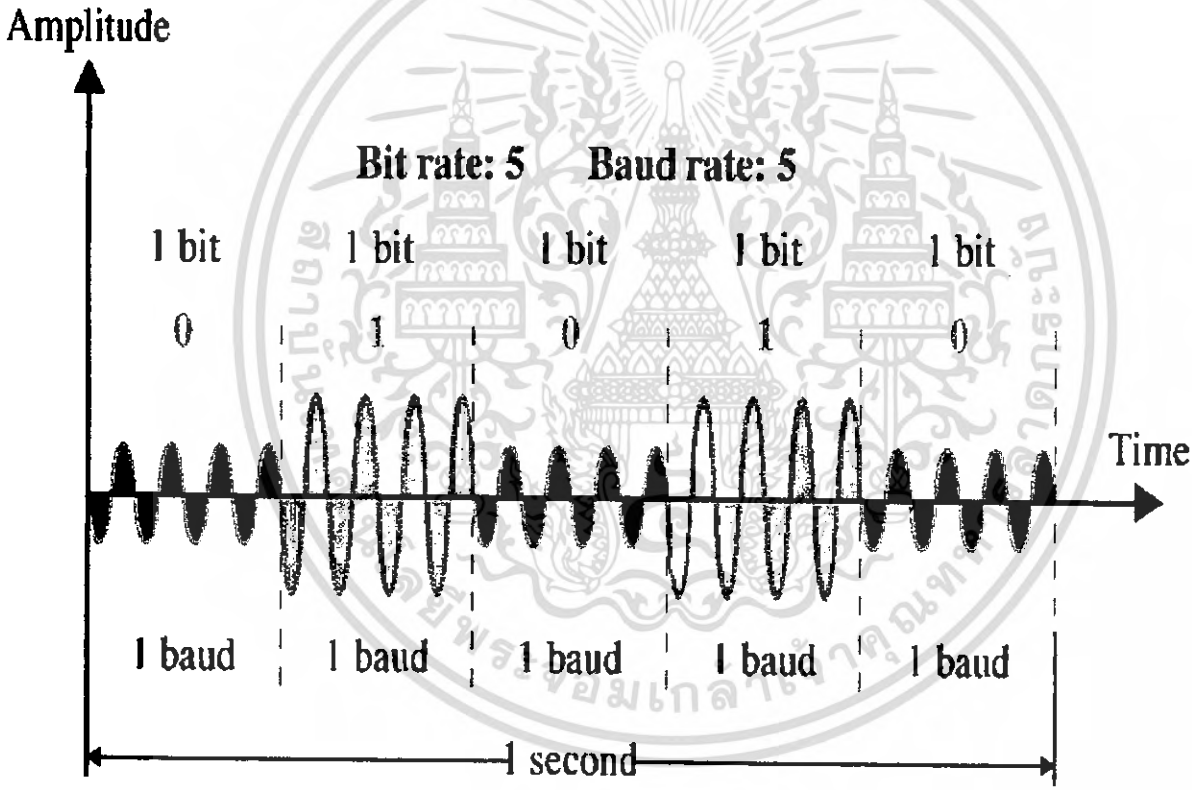
3.3.4.1 การเปลี่ยนขนาดตามสัญญาณดิจิตอล (Amplitude Shift Keying, ASK)

รูปคลื่นที่ได้จากการมอดูเลตสัญญาณแบบดิจิตอลเปลี่ยนขนาดตามสัญญาณที่ได้ ตามระดับของสัญญาณดิจิตอลที่เปลี่ยนแปลงไป ที่ระดับดิจิตอลมีสถานะเป็นลอจิก "0" สัญญาณพาหะที่ได้จะมีนาดอยู่ในระดับต่ำ และถ้าสัญญาณที่ได้มีสถานะเป็นลอจิก "1" สัญญาณพาหะที่ได้จะอยู่ในระดับที่สูง วงจรที่ใช้มอดูเลตเป็นวงจรที่ง่าย ราคาถูก แต่ข้อเสียคือวงจรทางภาคดีมอดูเลตจะเกิดความผิดพลาดได้ง่าย อันเนื่องมาจากสัญญาณรบกวนที่จะมีผลต่อขนาดของสัญญาณ และทางภาครับยังต้องมีวงจรชดเชยการลดทอนของสัญญาณในสายอัตโนมัติ และอัตราการส่งข้อมูลอยู่ในระดับที่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของ ASK

- ใน ASK Amplitude ใน Carrier Signal แทนบิต 1 และ 0 ซึ่งเป็นบิตของ Data
- 0 กับ 1 จะถูกแสดงด้วย Amplitude 2 แบบใช้แทนค่าของ 0 และ 1
- ผลเสียคือจะมี noise เข้ามารบกวนเยอะ
- ใช้เฉพาะ Optical fiber



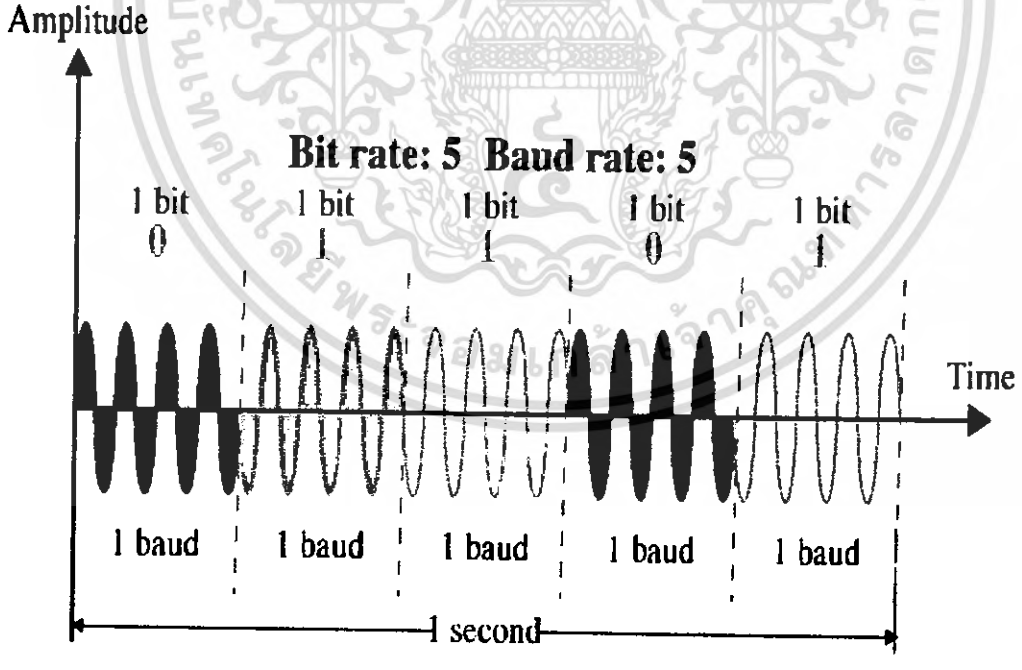
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4.2 การเปลี่ยนความถี่ตามสัญญาณดิจิตอล (Frequency Shift Keying, FSK)

รูปคลื่นสัญญาณที่ได้จากการมอดูเลตแบบนี้ จะเป็นการเปลี่ยนความถี่ตามสัญญาณดิจิตอล ถ้าสัญญาณดิจิตอลเป็น 0 หรือเป็น 1 สัญญาณคลื่นพาหะที่ได้จะมีความถี่ที่ต่างกัน อัตราการส่งข้อมูลจะมีอัตราการส่งข้อมูลที่สูงกว่า เอ.เอส.เค เล็กน้อย สำหรับการส่งสัญญาณในสายที่ที่มีแบนด์วิดท์ (Bandwidth) ไม่เกิน 3.4 KHz จะสามารถส่งอัตราบิดเลต ได้ไม่เกิน 1200 บิตต่อวินาที และวงจรยังมีส่วนประกอบของวงจรที่ง่าย และมีเสถียรภาพต่อสัญญาณรบกวนได้ดี

คุณสมบัติของ FSK

- ใน FSK Frequency ใน Carrier Signal แทนบิต 1 และ 0 ซึ่งเป็นบิตของ Data
- 0 กับ 1 จะถูกแสดงด้วย Frequency 2 แบบใช้แทนค่าของ 0 และ 1
- เพื่อแก้ปัญหา noise ใน ASK
- ถ้าความถี่สูงใช้ในวิทยุ
- ถ้าความถี่สูงมากใช้ LANS ในสายโคแอค



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4.3 การเปลี่ยนเฟสตามสัญญาณดิจิตอล (Phase Shift keying, PSK)

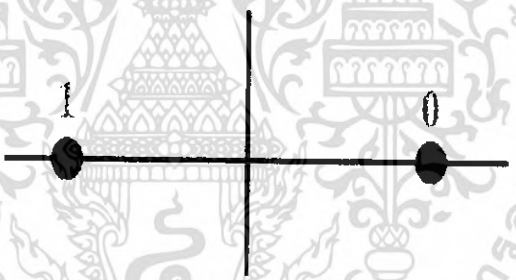
รูปคลื่นพาหะที่ได้จะมีการเปลี่ยนเฟสตามสัญญาณดิจิตอล จะส่งสัญญาณที่ความถี่เดียวกัน แต่เฟสของสัญญาณ จะต่างกันตามสัญญาณดิจิตอลที่เข้ามา 0 กับ 1 มีเฟสต่างกัน 180 องศา วงจรของภาครับและภาคส่งข้อมูลมีความซุ่งยากมาก ราคาสูง แต่สามารถส่งอัตราข้อมูลได้สูงกว่า 1200 บิตต่อวินาที แต่ไม่ค่อยมีเสถียรภาพต่อสัญญาณรบกวนนัก

คุณสมบัติของ PSK

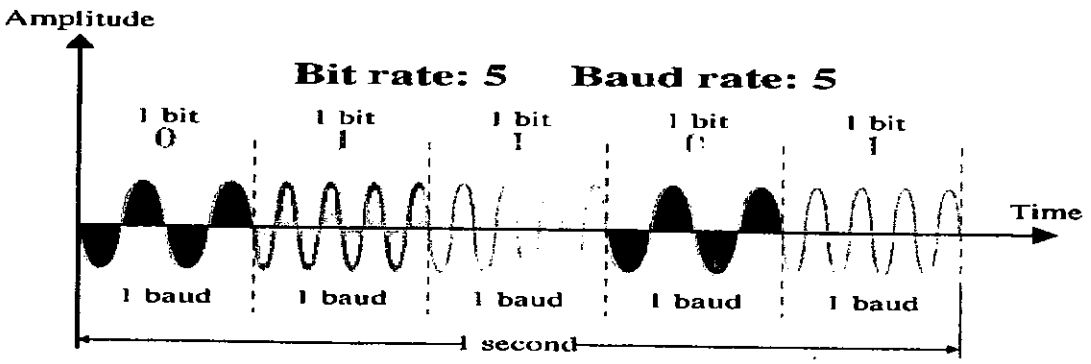
- ใน PSK phase ใน Carrier Signal แทนบิต 1 และ 0 ซึ่งเป็นบิตของ Data
- ถ้า amplitude สูงและ Frequency สูง จึงจะทำให้ phase เปลี่ยน
- มีประสิทธิภาพสูง
- ใช้ modems ได้สูงถึง 9600bps
- ซับซ้อนและมีราคาแพง

Bit	Phase
0	0
1	180

Bits



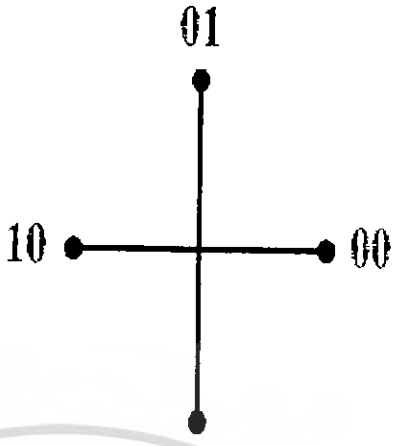
Constellation diagram



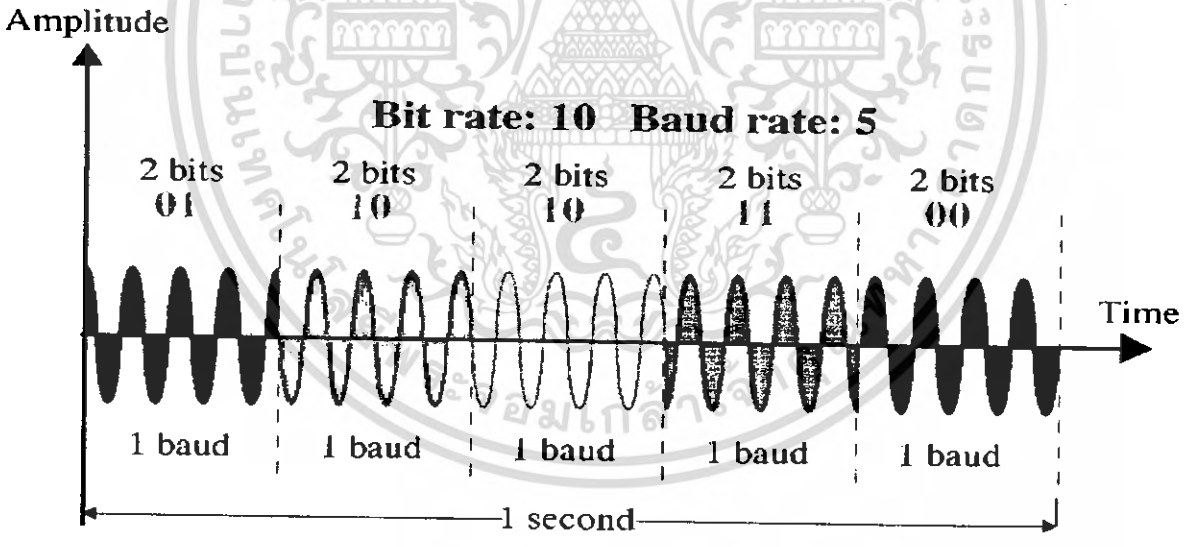
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dibit	Phase
00	0
01	90
10	180
11	270

Dibit
(2 bits)



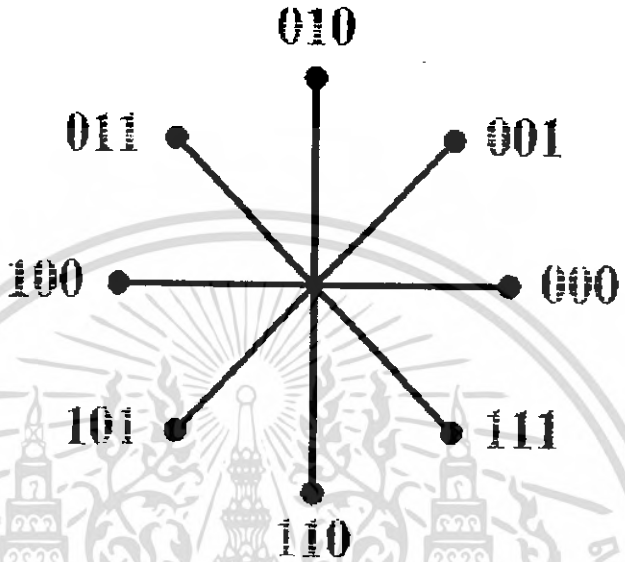
Constellation diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tribit	Phase
000	0
001	45
010	90
011	135
100	180
101	225
110	270
111	315

Tribits
(3 bits)



Constellation diagram

จากที่กล่าวมาการส่งสัญญาณแบบ เอฟ.เอส.เค จะมีเสถียรภาพต่อสัญญาณรบกวนได้ดีกว่าแบบ เอ.เอส.เค และ พี.เอส.เค ถึงแม้ว่าอัตราการส่งข้อมูลอยู่ในระดับที่น้อยกว่า พี.เอส.เค แต่การควบคุมอุปกรณ์ไฟฟ้าไม่จำเป็นจะต้องใช้อัตราการส่งข้อมูลที่สูงมากนัก แต่ต้องการความเสถียรภาพต่อสัญญาณที่สูงดังนั้นเราจึงเลือกใช้การส่งข้อมูลแบบ เอฟ.เอส.เค

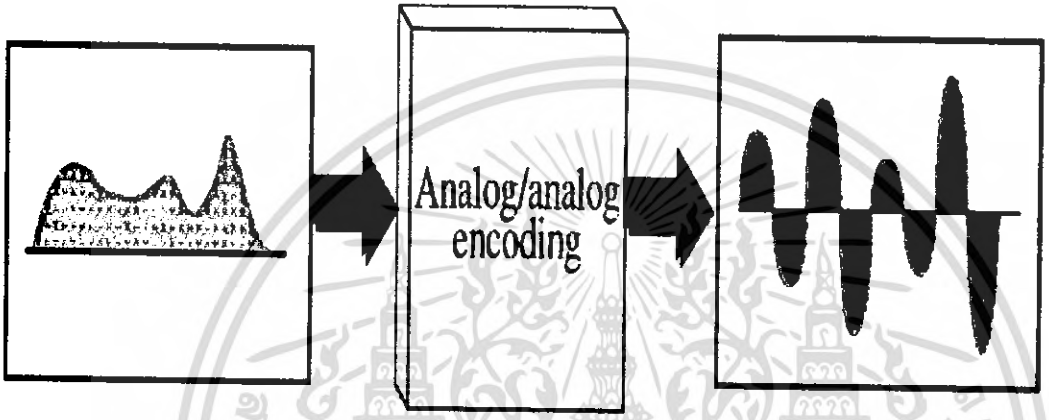
การมอดูเลตแบบ เอฟ.เอส.เค ที่ใช้จะใช้ความถี่อยู่ 2 ความถี่ ที่สถานะลอจิก "1" ใช้ความถี่ 125 KHz เป็นความถี่มาร์ค (Mark Frequency) และที่สถานะลอจิก "0" ใช้ความถี่ 115 KHz เป็นความถี่สเปซ (Space Frequency) อัตราการส่งข้อมูลทางอินพุทเรียกว่าอัตราบิต (Bite Rate) โดยมีหน่วยเป็นบิตต่อวินาที (bps) และอัตราการรับข้อมูลทางด้านรับเรียกว่าอัตราบอด (Baud Rate) ดังนั้น การส่งสัญญาณในอัตราบิตและอัตราบอดต้องเท่ากันเสมอ สัญญาณที่ลอจิก 0 ให้เป็น และที่ลอจิก 1 ให้เป็น และเราก็จะได้สมการการมอดูเลตแบบ FSK ตามสมการนี้

$$V(t) = A.\cos(\omega_C \pm \Delta\omega)t \qquad (3.3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A	=	ขนาดของสัญญาณ FSK
ω_C	=	$2\pi f_C$
$\Delta\omega$	=	ความถี่เบี่ยงเบนของความถี่มาร์ค และ ความถี่สเปซ
t	=	เวลา

Analog to Analog



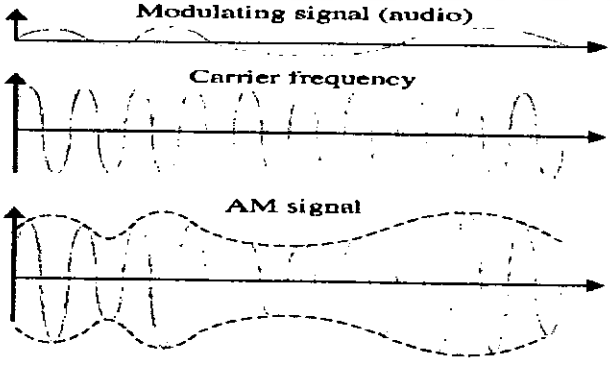
3.3.5ทำไมต้องมีการแปลงสัญญาณ Analog

- ทำให้ความถี่ (frequency) สูงขึ้นทำให้มีประสิทธิภาพสูงกว่าเดิม

แบ่งออกเป็น 3 อย่าง คือ

- Amplitude Modulation (AM)
- Frequency Modulation (FM)
- Phase Modulation (PM)

3.3.5.1 Amplitude Modulation (AM)

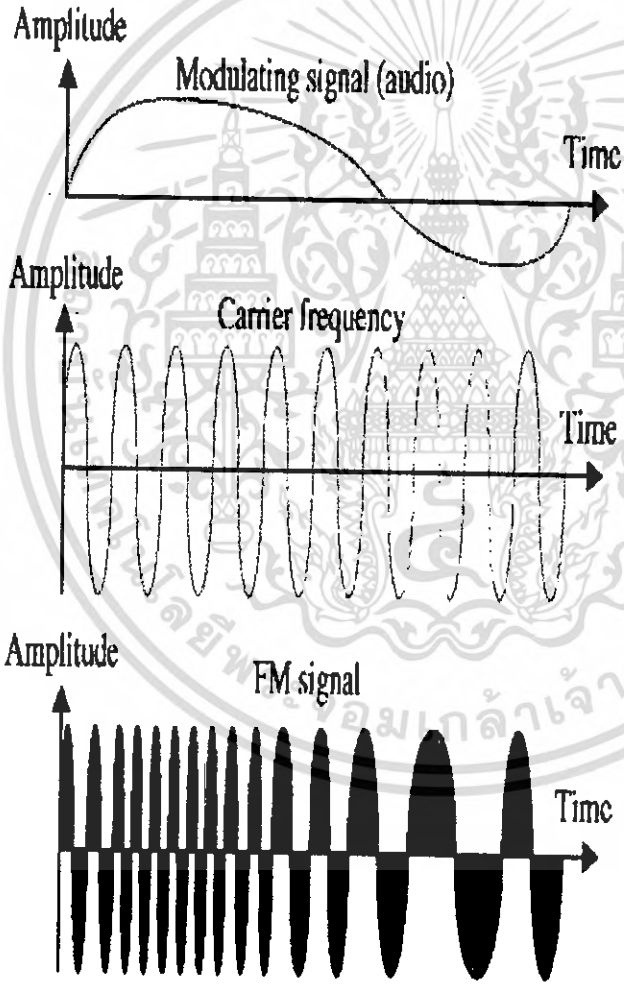


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าตัวข้อมูลมีการเปลี่ยนสัญญาณข้อมูล Amplitudes ของ Carrier signal จะเปลี่ยนตาม

3.3.5.2 Frequency Modulation (FM)

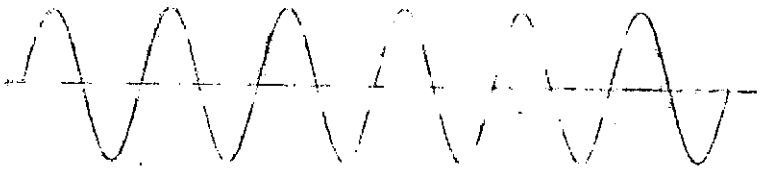
สิ่งที่เปลี่ยนคือ Frequency ของ Carrier signal จะเปลี่ยนตาม Voltage หรือ Amplitude ของข้อมูล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.5.2 Phase Modulation (PM)

phase ของ Carrier signal จะเปลี่ยนตาม amplitudes ของสัญญาณข้อมูล



Carrier frequency

Modulating signal (audio)

PM signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

การออกแบบและการทดลอง

4.1.การออกแบบ

การออกแบบวงจรทั้งหมดจะมีส่วนของโลคอลออสซิลเลเตอร์ วงจรโลว์พาสฟิลเตอร์สำหรับภาคเฟลดีเทคเตอร์เพื่อกำหนดความถี่ที่จะผ่านเข้าไปไบอัสให้กับวาริแคปไดโอดด้วย นอกจากนี้วงจรโลว์พาสฟิลเตอร์ต้องสามารถกำจัดริปเปิลที่เกิดขึ้น ณ เอาท์พุตได้อีกด้วย

4. 1.1การออกแบบ VCO ของภาครับ

$F_{\min} \approx 24.80\ [25.20]\ MHZ$

$F_{\max} \approx 26.00\ [25.60]\ MHZ$

ค่าพารามิเตอร์ต่างๆของ VCO VARICAP MV 2111

$C_{\min} \approx 47.00\ pF\ /\ 4.0\ V\ , r_{P(F\min)} \geq 59.86K\ \Omega$

$C_{\max} \approx 65.50\ pF\ /\ 1.5\ V\ , r_{P(F\max)} \geq 26.65K\ \Omega$

$C_{FIX}\max \leq 112.3\ pF$

COLLECTOR LOAD

$R_{LC} \approx 0.0\ \Omega\ , C_{LC} \approx \infty\ pF$

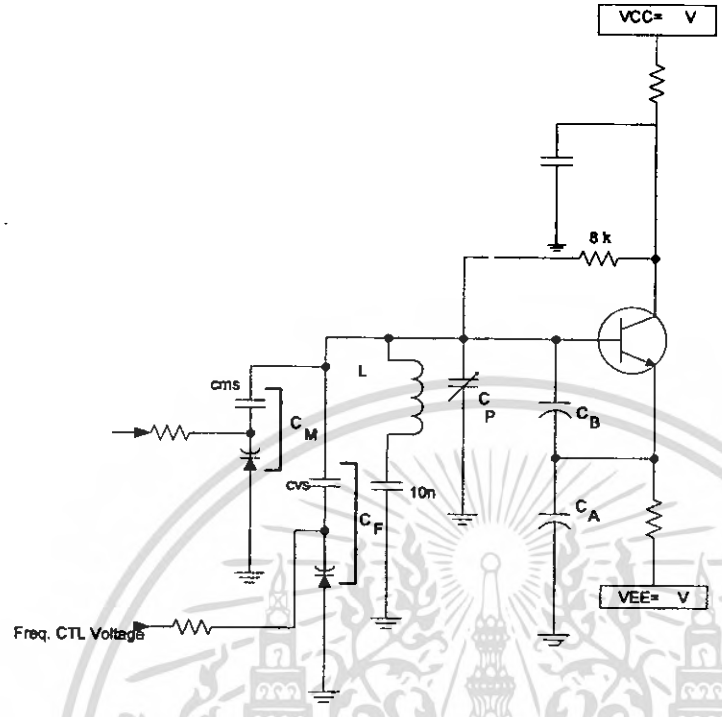
EMITTER LOAD

$R_{LE} \approx 10K\ \Omega\ , C_{LC} \approx 20\ pF$

TRANSISTOR PARAMETERS (TA7358 OSC port BF240 is Assumed)

$I_{CQ} \approx 0.75\ mA$	$V_{CEQ} \approx 0.77\ V$
$V_{BE} \approx 0.6578\ V$	$r_{ce} \approx 155.3K\ \Omega$
$\beta_0 \approx 135.6\ A/A$	$r_{b'c} \approx 21.07M\ \Omega$
$r_{bb'} \approx 10\ \Omega$	
$r_{b'e} \approx 4.675K\ \Omega$	$C_{b'c} \approx 0.8308\ pF$
$g_m \approx 29.01\ mS$	$C_{b'e} \approx 13.02\ pF$
$\lvert\beta_{f\max}\rvert \approx 12.67\ A/A$	$F_T \approx 333.3\ MHz$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VCO

$C_{TOTAL}\ F_{\max} \approx 54.27\ pF$

$C_{VS} \approx 100.\ pF$

$C_P \approx 12.01\ pF$

$\Delta C_F \approx 7.604\ pF$

$C_{Fmin} \approx 31.97\ pF$

$C_{F\max} \approx 39.58\ pF$

C_B

$C_{BTOTAL} = C_B + C_{b'e}$

$C_{BTOTAL} \geq 13.02\ pF$

$C_B \geq 0\ pF$

$C_B = 27.0\ pF$

C_A

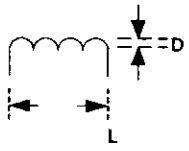
$C_{ATOTAL} = C_A + C_{LE}$

$C_A \geq 20.00\ pF$

$C_A \geq 0.0\ pF$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$C_A = 56.0\ pF$.



$L_{min} \geq 31.62\ nH$ (wire Limit)

$L_{min} \geq 526.6\ nH$ (Δc Limit)

$L_{max} \leq 1068\ nH$ (C_{FIX} Limt)

4.1.2.การออกแบบวงจร LPF

วงจรกรองความถี่ต่ำสำหรับเอาท์พุตจากเฟสล็อคลูปเป็นวงจรสังเคราะห์ความถี่สำหรับที่ความถี่สูง จะมีการต่อค่า C_2 เพิ่มขึ้นไปด้วย

ความถี่เอาท์พุตอยู่ในช่วง : $F_{out} = 25.20 - 25.60\ MHz$

Re f *Freq at PD*: F_{ref} : $F_{ref} = 100\ KHz$: $F_{X-TAL} = 6.400\ Hz/R = 64$

$F_{out} = F_{ref} . N_T : N_T = NP + A$

Pr*escale Factor* $P = 1\ A$

$N_{RANGE} = 252 + 2n\ (n = 0,1,2,3)$

$N_T = 252 - 256$

PD Type : 3 *STATES PFD*

PD output = 4.75 *V*

$K_d = 0.378\ V/Rad$

$f_{VCO\min} = 24.80\ MHz$ *at which* 1.50 *V*

$f_{VCO\max} = 26.00\ MHz$ *at which* 4.00 *V*

$$K_{VCO} \approx \frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}} \approx 480\ KHz/V = 3.016\,\mathrm{M}\ \frac{Rad/Sec}{v}$$

Pull out Range : $\Delta\omega_{PO}$ (1),(2) : $\Delta\omega_{PO}$ max is the dynamic limit of stable operation of the PLL

The PLL will UNLOCK if a frequency step is larger than $\Delta\omega_{PO}$ max

EX – OR or Multiplier PD $\Delta\omega_{PO}$ max is depend on ωn and δ of the PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ALL Types PFD $\Delta\omega_{PO}$ max are as large as Δf_{VCO}

$$\Delta\omega \max \text{ at PD} = 2\pi\left(\frac{f_{o\max}}{N_{T\min}} - F_{REF}\right) = 1.587 \text{ KHz} = 9.973 \text{ KHZ } Rad/Sec$$

$$\Delta\omega_{\max} \text{ at PD} \leq \Delta\omega_{PO} \text{ at PD} < 2\pi F_{REF}$$

Let $\Delta\omega_{PO} \approx 15000$ Rad/Sec

Let Damping : $\delta \approx 1.14$

Natural Freg : ω_n

$$\omega_n \approx \begin{cases} \Delta\omega_{PO}/(3.66(\delta+0.5)) & \text{EX-OR} \\ \Delta\omega_{PO}/(5.78(\delta+0.5)) & \text{JK FF PD} \\ \Delta\omega_{PO}/(11.55(\delta+0.5)) & \text{All types PFD} \end{cases}$$

optimization of Damping

Condition	δ
Minimize Noise BW	0.5
Minimize Pull in Time	0.707
Maximize Sweep Rate	0.7-1.0
Maximize Pull out	0.81
Minimize flicker – jitter	1.14

จะได้ว่า ω_n **= 791.9 Rad/Sec ,** δ **= 1.14**

Loop BW : $BW_{lp} = \omega_n\left(1+2\delta^2+\sqrt{\left(1+2\delta^2\right)^2+1}\right)^{1/2} = 2.144$ K Rad/Sec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Damping: δ	BW_{lp}	Damping: δ	BW_{lp}
0.5	$1.817\,\omega_n$	0.81	$2.198\,\omega_n$
0.7	$2.049\,\omega_n$	1.00	$2.482\,\omega_n$
0.707	$2.058\,\omega_n$	1.14	$2.708\,\omega_n$

Fast Lock Range : $\Delta\omega_L$: If the frequency changes at PD is less than $\Delta\omega_L$

The PLL will Lock within one beat- note

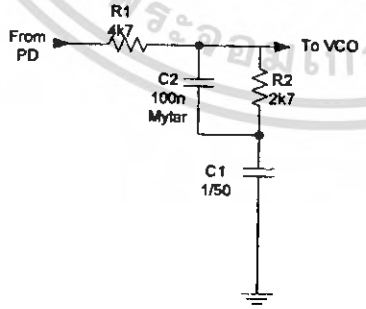
$$\Delta\omega_L \text{ at PD} = \begin{cases} \pi\delta\,\omega_n & \text{EX – OR or multiplier} \\ 2\pi\delta\,\omega_n & \text{JK F/F} \\ 4\pi\delta\,\omega_n & \text{All types PFD} \end{cases}$$

$\Delta\omega_L$ at PD $\approx$ 11.34 K Rad/Sec

$$\Delta F_L \text{ at output} \approx \frac{\Delta\omega_L at PD \times N_{T\min}}{2\pi} \approx 2.859 \text{ M R/s} = 455 \text{ KHz}$$

$$\text{Fast Locking time} \approx \frac{2\pi}{\omega_n} \approx 7.934 \text{ mSec}$$

PASSIVE Loop LPF



For $\omega_{P2} \geq \omega_Z$

$$F(S) = \frac{\omega_{P1}\omega_{P2}}{\omega_Z} \cdot \frac{S+\omega_Z}{(S+\omega_{P1})(S+\omega_{P2})}$$

$$\omega_{P1} = \frac{1}{\tau_1+\tau_2} = \frac{1}{C_1(R_1+R_2)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_Z = \frac{1}{\tau_2} = \frac{1}{R_2 C_1}$$

$$\omega_{P2} = \frac{1}{R_{\omega P2} C_2} \; ; \; R_{\omega P2} = R_1 // R_2$$

$$\tau_1 + \tau_2 = \frac{K}{\omega_n^2 N_T} = 7.157 \; mSec$$

$$\tau_2 = \frac{2\zeta}{\omega_n} - \frac{N_T}{K} = 2.656 \; mSec$$

$$\tau_1 = (\tau_1 + \tau_2) - \tau_2 = 4.501 \; mSec$$

ใช้ค่า $C_1 = 1.0 \; \mu F$

$R_1 = \frac{\tau_1}{C_1} = 4.501 \text{ K } \Omega$ ใช้ค่า $R_1 = 4K7 \; \Omega$

$R_2 = \frac{\tau_2}{C_1} = 2.656 \text{ K } \Omega$ ใช้ค่า $R_2 = 2K7 \; \Omega$

$\omega_{P1} = \frac{1}{C_1 (R_1 + R_2)} = 135.1 \; Rad/Sec$

$\tau_2 = 2.70 \; mSec$

$R_{\omega P2} = R_1 // R_2 = 1715 \; \Omega$

$C_2 = \frac{1}{(\omega_{P2} R_{\omega P2})} = 0.1166 \; \mu F$

ใช้ค่า $C_2 = 0.1 \; \mu F$

$\omega_{P2} = \frac{1}{C_2 R_{\omega P2}} = 5.831 \text{ K Rad/Sec}$

LPF Gain

DC Gain = 0 Db

Gain at $\omega_Z \approx 20 \text{ Log} \left[\frac{R_2}{R_1 + R_2} \right]$

$\approx$ - 8.757 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Gain at } \omega_{Ref} \approx Gain_{oc} + 20 \text{ Log}\left[\frac{\omega_{P2}}{\omega_{Ref}}\right]$$

$$\approx \text{ - 49.41 dB}$$

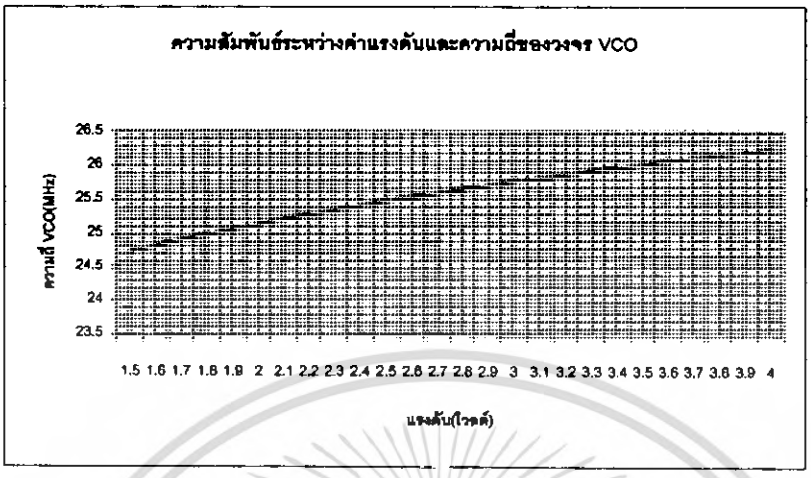
4.2.ผลการทดลอง

4.2.1 ส่วนของ VCO โดยการป้อนแรงดันผ่านความต้านทาน 20 K เพื่อไบอัสวาริแคปเบอร์ MV2111 ทำให้ได้ผลตามตารางที่4.2.1 และได้กราฟความสัมพันธ์ดังรูปกราฟที่4.2.1

แรงดัน (โวลต์)	ความถี่ (MHz)	แรงดัน (โวลต์)	ความถี่ (MHz)
1.5	24.731	2.8	25.647
1.6	24.817	2.9	25.699
1.7	24.915	3.0	25.770
1.8	24.680	3.1	25.822
1.9	25.056	3.2	25.870
2.0	25.135	3.3	25.935
2.1	25.212	3.4	25.973
2.2	25.267	3.5	26.021
2.3	25.340	3.6	26.068
2.4	25.409	3.7	26.121
2.5	25.476	3.8	26.157
2.6	25.541	3.9	26.206
2.7	25.596	4.0	26.25

ตารางที่4.2.1แสดงความสัมพันธ์ระหว่างแรงดันกับความถี่ของVCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปกราฟที่4.2.1แสดงความสัมพันธ์ระหว่างแรงดันและความถี่ของ VCO

4.2.2 การตั้งช่องสัญญาณในส่วนของภาครับที่ใช้ไอซีเฟสล็อคลูป MC145162

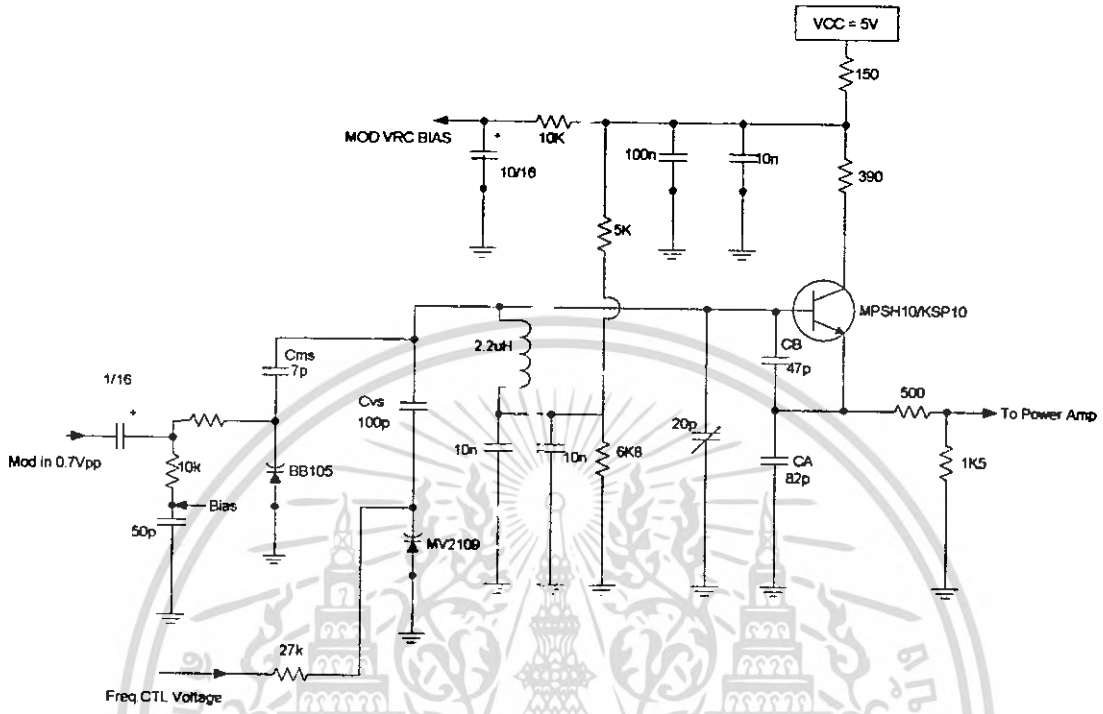
การประยุกต์ใช้งานเฟสล็อคลูปส่วนใหญ่จะใช้ทำเป็นวงจรกำเนิดความถี่หรือวงจรคูณความถี่จากอินพุตเพิ่มขึ้นเป็น N เท่า ซึ่งในโครงงานนี้ใช้ไอซีเบอร์ MC145162 ที่สามารถโปรแกรมการหารความถี่ได้ดังนี้

ช่องสัญญาณ	÷N	F out(MHz)
1	252	25.2
2	254	25.4
3	256	25.6

ตารางที่4.2.2 แสดงค่าการหาร N ทั้ง 3 ช่องสัญญาณที่เฟสล็อคลูปสามารถทำได้โดยมีความถี่อ้างอิง 100 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การออกแบบวงจร VCO ของภาคส่ง



$f_{\min} \approx 14.00$ [14.50] MHz

$f_{\max} \approx 15.50$ [14.90] MHz

MOD Deviation ≈ 22.50 KHz

90 % of 25 KHz

C_{Fix} max ≤ 78.37 pF

VCO Varicap MV2109

$C_{\min} \approx 33.0$ pF/ 4.0 V, $r_{P(f_{\max})} \geq 97.27$ K Ω

$C_{\max} \approx 58.14$pF/ 0.75 V, $r_{P(f_{\min})} \geq 24.46$ K Ω

MOD Varicap BB105

$C_{\min} \approx 5.718$ pF/ 4.0 V, $r_{P(f_{\max})} \geq 528.1$K Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$C_{\max} \approx 58.14\text{pF}/\ 0.75\ \text{V},\ r_{P(f_{\min})} \geq 397.0\ \text{K}\Omega$

COLLECTOR LOAD

$R_{LC} \approx 390.0\ \Omega\ ,\ C_{LC} \approx 0.0\ \text{pF}$

EMITTER LOAD

$R_{LE} \approx 2\,K_0\ \Omega\ ,\ C_{LE} \approx 2.0\ \text{pF}$

TRANSISTOR MPSH10/KSP10

$I_{CQ} \approx 1.0\ \text{mA}$ $V_{CEQ} \approx 2.0\ \text{V}$

$V_{BE} \approx 0.6723\ \text{V}$ $r_{ce} \approx 90.00\ \text{K}\Omega$

$\beta_0 \approx 61.62\ \text{A/A}$ $r_{b'c} \approx 5.546\ \text{M}\Omega$

$r_{bb'} \approx 10.00\ \Omega$

$r_{b'e} \approx 1593\ \Omega$ $c_{b'c} \approx 0.8103\ \text{pF}$

$g_m \approx 38.68\ \text{mS}$ $c_{b'e} \approx 8.293\ \text{pF}$

$\left|\beta_{f_{\max}}\right| \approx 31.61\ \text{A/A}$ $F_T \approx 676.3\ \text{MHz}$

L ≈ 2200 nH

Molded Inductor Assume $r_s = 2\ \Omega$

	Q_u		r_p
$f_{\min}$ ≈	96.76	≥	18.73 KΩ
$f_{\max}$ ≈	107.1	≥	22.95 KΩ

VCO

$C_{TOTAL}\ f_{\max} \approx 47.92\ \text{pF}$

$C_{VS} = 100.0\ \text{pF}$ $C_P \approx 10.48\ \text{pF}$

$\Delta C_F \approx 11.95\ \text{pF}$

$C_{F\min} \approx 24.81\ \text{pF}\ ,\ C_{F\max} \approx 36.77\ \text{pF}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOD

$C_{M(0)} \approx 3.284$ pF

$C_{MS} = 7$ pF , $\Delta C_M \approx 0.2748$ pF

C_B

$C_{BTOTAL} = C_B + C_{b'e}$

$C_{BTOTAL} \geq 47.28$ pF

$C_B \geq 38.98$ pF

$C_B = 47.0$ pF

C_A

$C_{ATOTAL} = C_A + C_{LE}$

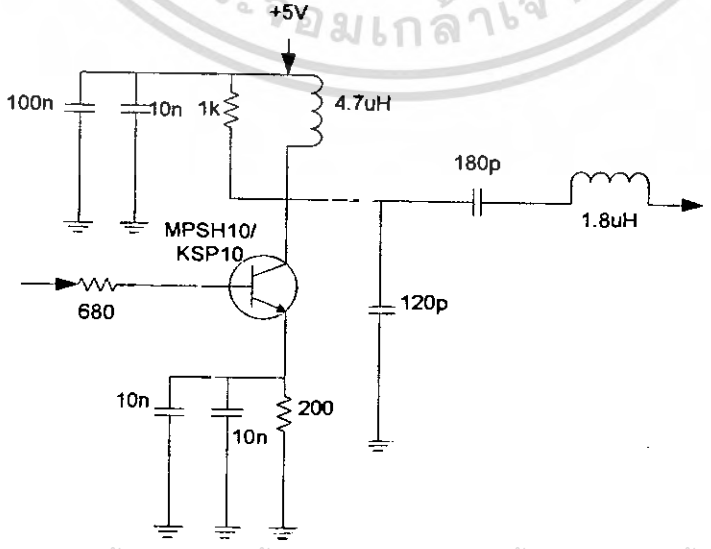
$C_{ATOTAL} \geq 75.79$ pF

$C_A \geq 73.79$ pF

$C_A = 82.0$ pF

4.3.1 การออกแบบวงจรขยายสัญญาณ

MPSH 10/ KSP 10 Amplifier Characteristice



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$I_{Q(DC)} \approx 4.0$ mA

$F_{REQ} \approx 14.70$ MHz

Y Parameters

$Y_{11e} \approx 0.8725 + j0.2867$ mS

$Y_{21e} \approx 34.80 - j14.93$mS

$Y_{12e} \approx -14.18 - j25.82$mS

$Y_{22e} \approx 2005 + j1763$ mS

LINVILL STB FCT ≈ 0.2548

MAXIMUM GAIN

STERN STABILITY FACTOR : K ≈ 72.25

75 % CLASS A $P_{0max} \approx 3.9$ dB

$V_{in(SAT)} \geq$ m V_{PP}

BW_{in}	BW_{out}
67.77 MHz	**33.07 MHz**

$Z'_S = 947.3$ //+j2183 Ω

$Z'_L = 412.2$ //+j463.7 Ω

$Z_{in} = CON\ j\{Z'_S\}$, $Z_{out} = CON\ j\{Z'_L\}$

$A_V \approx 8.512$ / -8.089+j2.651 V/V

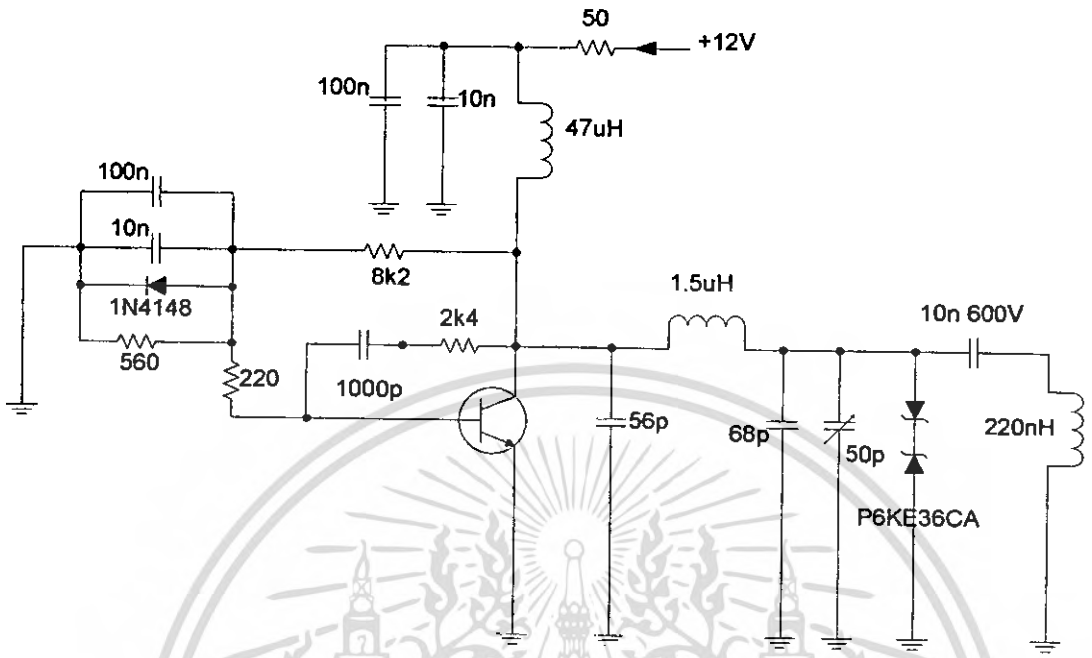
$P_G \approx 166.5$ W/W , 22.21 dB

MPS/PH/PN/2N 2369 Amplifier Characteristice

$I_{Q(DC)} \approx 20.0$ mA

$F_{REQ} \approx 14.70$ MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Y Parameters

$Y_{11e} \approx 10.89 + j6.576$ mS

$Y_{21e} \approx 238.5 - j45.20$mS

$Y_{12e} \approx -429.4 - j204.4$uS

$Y_{22e} \approx 809.2 + j898.1$uS

LINVILL STB FCT ≈ 0.8930

MAXIMUM GAIN

STERN STABILITY FACTOR : K ≈ 86.02

75 % CLASS B $P_{0\max} \approx 24.43$ dB

$V_{in(SAT)} \geq$ mV_{PP}

BW_{in}	BW_{out}
42.79 MHz	34.98 MHz

$Z'_S = 27.81 // +j40.47\ \Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$Z'_L = 374.4 // +j445.4\ \Omega$

$Z_{in} = CON\ \mathrm{j}\{Z'_S\}$, $Z_{out} = CON\mathrm{j}\{Z'_L\}$

$A_V \approx 32.53 / -31.99\text{-}j5.887$ V/V

$P_G \approx$ **78.59 W/W , 18.95 dB**

4.3.2 การออกแบบวงจร โลว์พาสฟิลเตอร์ร่วมกับเอาท์พุตจากเฟสล็อคลูป

Output Freq. Range : F_{OUT} : $F_{OUT} = 14.50 - 14.90$ MHz

Modulation Freq. : F_{mod} : $F_{mod} = 50 - 24{,}000$ Hz (No Modulation ; $F_{mod} = 0$)

Ref Freq. at PD : F_{ref} : $F_{ref} = 50.0$ KHz : $F_{X\text{-}TAL} = 4.00$ MHz , $\div$ R = 80

$F_{OUT} = F_{ref} \bullet N_T$: $N_T = NP + A$

Prescale Factor P = 1 A= 0

$N_{RANGE} = 290 - 298$

$N_T = 290 - 298$; N_{MEAN} : $\bar{N}$: $= \sqrt{N_{TMAX} \bullet N_{TMIN}} = 294.0$

PD Type : 3 states PFD

PD Output : $\Delta V_{OutPD} = 4.75$ V

$$K_d = \begin{cases} \Delta V_{OutPD/\pi} \\ \Delta V_{OutPD/2\pi} \\ \Delta V_{OutPD/4\pi} \end{cases}$$

$K_d = 0.378$ V/Rad

$f_{VCO\,min} \approx 14.35$ MHz at which 2.50 V

$f_{VCO\,max} \approx 14.97$ MHz at which 4.50 V

$$K_{VCO} \approx \frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}} \approx 310 \text{ KHz/V} = 1.948 \text{ M } \frac{Rad/Sec}{V}$$

Pull out Range : $\Delta\omega_{Po}$ (1),(2) : $\Delta\omega_{Po}$ max is the dynamic limit of stable operation of the PLL .

The PLL will UNLOCK if a frequency step is larger than $\Delta\omega_{Po}$ max

EX-OR or Multiplier PD $\Delta\omega_{Po}$ max is depend on ω_n and δ of the PLL

All Types PFD $\Delta\omega_{Po}$ max are as large as Δf_{VCO}

$$\Delta\omega_{max} \text{ at PD} = 2\pi\left(\frac{f_{O\,max} or (f_{O\,max} - f_{min})}{N_{T\,min}} - f_{Ref}\right) = 1.379 \text{ KHz} = 8.666 \text{ K Rad/Sec}$$

$\Delta\omega_{Po}$ at PD $\leq \Delta\omega_{max}$ at PD $< 2\pi f_{Ref}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

From ω_n = 11.6 R/S , ∂ = 1.14

Let $\Delta\omega_{Po} \approx$ 219.7 Rad/Sec

Let Damping : $\delta \approx 1.140$

Natural Freq : ω_n

$$\omega_n = \begin{cases} \Delta\omega_{Po}/(2.46(\delta+0.5)) \\ \Delta\omega_{Po}/(5.78(\delta+0.5)) \\ \Delta\omega_{Po}/(11.55(\delta+0.5)) \end{cases}$$

ω_n = Continue on page 2

Optimization of Damping

Condition	δ
Minimize Noise BW	0.5
Minimize Pull in Time	0.707
Maximize Sweep Rate	0.7-1.0
Maximize Pull out	0.81
Minimize flicker -jitter	1.14

ω_n = 11.60 Rad/Sec , δ = 1.140

Loop BW : $BW_{lp} = \omega_n\left(1+2\delta^2+\sqrt{\left(1+2\delta^2\right)^2+1}\right)^{1/2}$ = 31.42 Rad/Sec

Only modulation is applion	**Damping:** δ	BW_{lp}	**Damping:** δ	BW_{lp}
$BW_{lp} < \omega_{Mod\min}$	0.5	1.817 ω_n	0.81	2.198 ω_n
$\omega_{Mod\min}$ = 314.2 Rad/Sec	0.7	2.049 ω_n	1.00	2.482 ω_n
$BW_{lp} \approx 0.1\ \omega_{Mod\min}$	0.707	2.058 ω_n	1.14	2.708 ω_n

Fast Lock Rang : $\Delta\omega_L$: if the frequency changes at PD is less then $\Delta\omega_L$ the PLL will lock within one beat-note

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta\omega_L \text{ at PD} = \begin{cases} \pi\delta\omega_n \\ 2\pi\delta\omega_n \\ 4\pi\delta\omega_n \end{cases}$$

$\Delta\omega_L$ at PD $\approx$ 166.2 Rad/sec

$$\Delta F_L \text{ at output} \approx \frac{\Delta\omega_L atPD \times N_{T\min}}{2\pi} \approx 7.670 \text{ KHz}$$

$$\text{Fast Locking time} \approx \frac{2\pi}{\omega_n} \approx 0.5417 \text{ Sec}$$

From BW = M ω_n

ω_n = BW/M

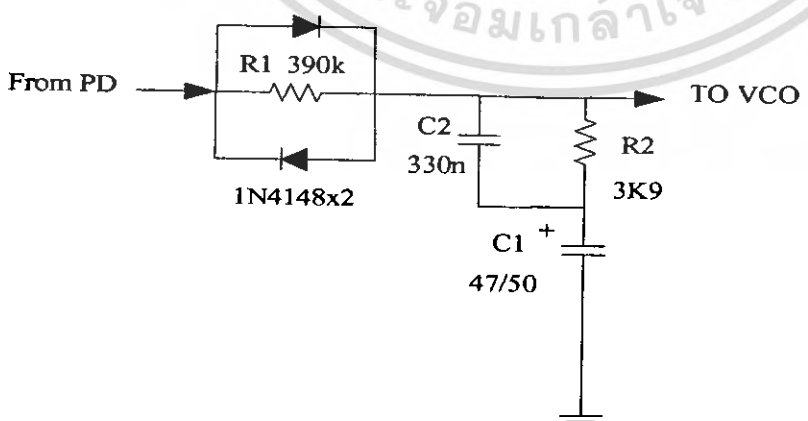
BW << $f_{Mod\min}$

Let BW = 0.1 $\omega_{Mod\min}$

= 31.42 R/S

$$\omega_n = \frac{31.42}{2.708} \text{ R/S} \quad \delta = 1.140$$

PASSIVE Loop LPF



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Parameters

$K_d \approx 0.378$ V/Rad : $K_{VCO} \approx 1.948\text{M} \ \frac{Rad/Sec}{V}$

$K = K_d \cdot K_{VCO} \approx 736.3 \times 10^3 \ Sec^{-1}$

$F_{Ref} = 50.00KHz = 314.2$ K Rad/Sec

$N_{T\max} = 298$, $N_{T\min} = 290$

$\overline{N_T} = \sqrt{N_{T\max} \cdot N_{T\min}} \approx 294.0$

$\omega_n \approx 11.60$ Rad/Sec : $\delta \approx 1.14$

For $\omega_{P2} >> \omega_Z$

$$F(s) = \frac{\omega_{P1}\omega_{P2}}{\omega_Z} \cdot \frac{S + \omega_S}{(S + \omega_{P1})(S + \omega_{P2})}$$

$$\omega_{R1} = \frac{1}{\tau_1 + \tau_2} = \frac{1}{C_1(R_1 + R_2)}$$

$$\tau_1 + \tau_2 = \frac{K}{N_T \omega_n^2} = 18.61 \text{ Sec}$$

$$\omega_Z = \frac{1}{\tau_2} = \frac{1}{R_2 C_1}$$

$$\tau_2 = \frac{2\delta}{\omega_n} = 0.1966 \text{ Sec}$$

$$\omega_{P2} = \frac{1}{R_{\omega P2} C_2} ; \ R_{\omega P2} = R_1 // R_2$$

$$\tau_1 = (\tau_1 + \tau_2) - \tau_2 = 18.41 \text{ Sec}$$

Let $C_1 = 47.0$ **uF**

$R_1 = \tau_1 / C_1 = 391.6 \ K\Omega$ **Let** $R_1 = 390 \ K\Omega$

$R_2 = \tau_2 / C_1 = 4.182 \ K\Omega$ **Let** $R_2 = 3.9 \ K\Omega$

$$\omega_{P1} = \frac{1}{C_1(R_1 + R_2)} = 0.05402 \text{ Rad/Sec}$$

$$\omega_Z = \frac{1}{R_2 C_1} = 5.456 \text{ Rad/Sec}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$10\omega_Z \le \omega_{P2} \le 0.1\omega_{Ref}$$

Let $\omega_{P2} \approx 1000$ Rad/Sec

$$R_{\omega P2} = R_1 // R_2 = 3.9\ K\Omega$$

$$C_2 = 1/(\omega_{P2} R_{\omega P2}) = 0.2564\ \text{uF}$$

Let C_2 = 0.33 uF

$$\omega_{P2} = \frac{1}{C_2 R_{\omega P2}} = 777.0\ \text{Rad/Sec}$$

$$N_{T\max} \begin{cases} \omega_n = \sqrt{\dfrac{K\omega_{P1}}{N_{T\max}}} = 11.55 Rad/Sec \\ \delta = \omega_n / 2\omega_Z = 1.059 \end{cases}$$

$$N_{T\min} \begin{cases} \omega_n = \sqrt{\dfrac{K\omega_{P1}}{N_{T\min}}} = 11.71 Rad/Sec \\ \delta = \omega_n / 2\omega_Z = 1.073 \end{cases}$$

LPF Gain

DC Gain = 0 dB

Gain at $\omega_Z \approx 20\log\left[\dfrac{R_2}{R_1 + R_2}\right]$

$\approx$ -40.09 dB

Gain at $\omega_{Ref} \approx Gain_{\omega Z} + 20\log\left[\dfrac{\omega_{P2}}{\omega_{Ref}}\right]$

$\approx$ -101.2 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองของภาคส่ง

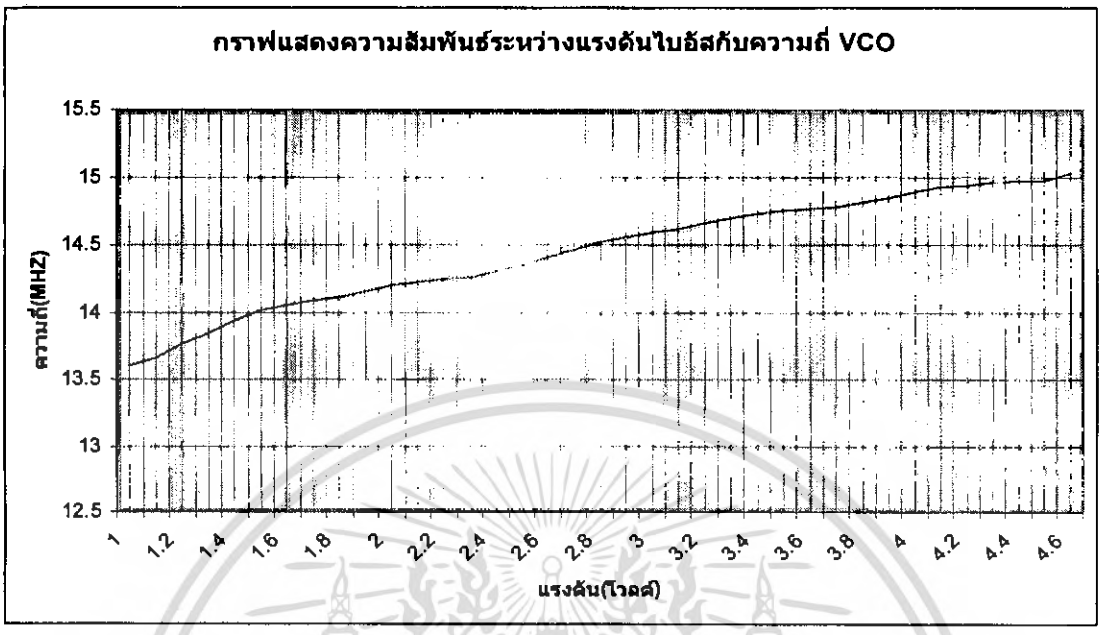
4.3.3 ผลการทดลองวัดความถี่ของ VCO ทางภาคส่งที่แรงดันไบอัสวาแรคเตอร์ไดโอดค่าต่างๆ

แรงดัน(โวลต์)	ความถี่ (MHz)
1.0	13.6
1.1	13.66
1.2	13.76
1.3	13.85
1.4	13.94
1.5	14.02
1.6	14.05
1.7	14.09
1.8	14.11
1.9	14.15
2.0	14.20
2.1	14.22
2.2	14.25
2.3	14.26
2.4	14.30
2.5	14.35
2.6	14.41
2.7	14.47
2.8	14.52

แรงดัน (โวลต์)	ความถี่(MHz)
2.9	14.56
3.0	14.59
3.1	14.62
3.2	14.66
3.3	14.70
3.4	14.73
3.5	14.75
3.6	14.77
3.7	14.78
3.8	14.81
3.9	14.85
4.0	14.89
4.1	14.93
4.2	14.94
4.3	14.96
4.4	14.97
4.5	14.97
4.6	15.03

ตารางที่4.3.1 แสดงความสัมพันธ์ระหว่างแรงดันกับความถี่ของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



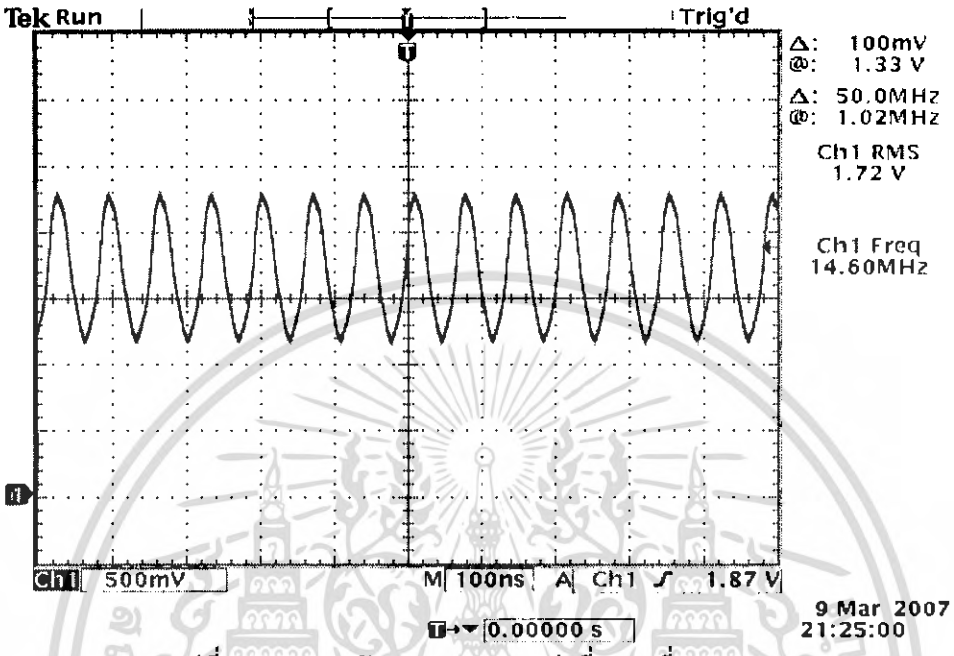
รูปกราฟที่ 4.3.1 แสดงความสัมพันธ์ระหว่างแรงดันกับความถี่ของ VCO

ตารางที่4.3.2 การวัดค่า Isolation Transformer

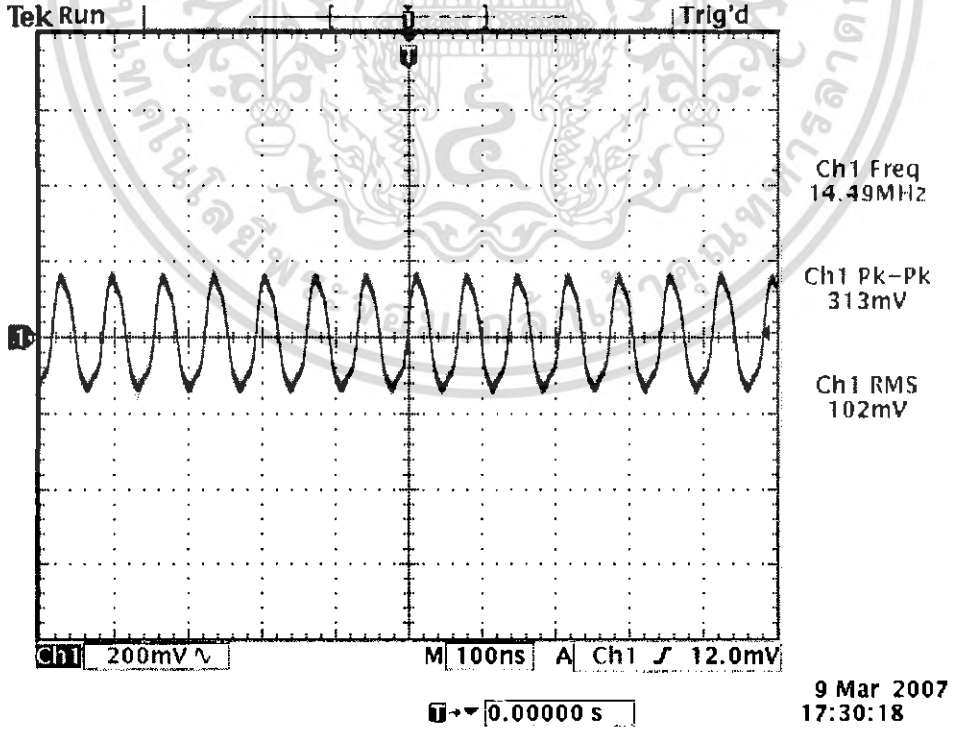
ความถี่	14.9 MHz	14.7MHz	14.5MHz
5 รอบ			
NO LOAD	127 mV	128mV	130mV
LOAD	72.7mV	77.9mV	80.1mV
6 รอบ			
NO LOAD	139mV	139mV	139mV
LOAD	80.4mV	80.5mV	80.6mV
7 รอบ			
NO LOAD	117mV	119mV	121mV
LOAD	64.3mV	66.4mV	67.5mV
8 รอบ			
NO LOAD	136mV	135mV	135mV
LOAD	74.2mV	74mV	74.7mV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการวัดรูปคลื่นสัญญาณ ณ จุดต่างๆ

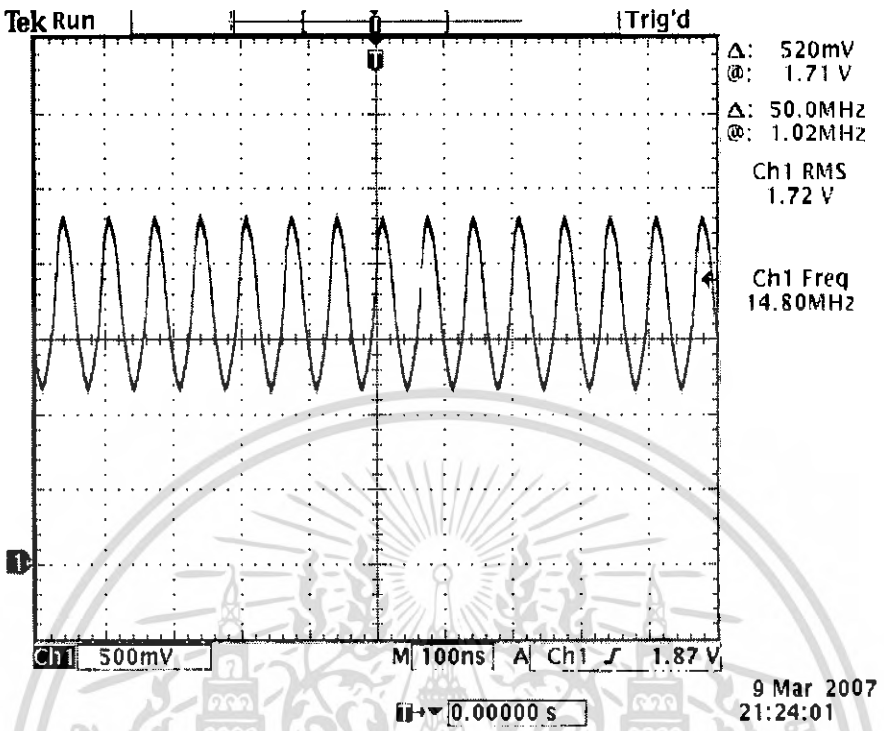


รูปที่4.4.1 แสดงสัญญาณของภาคส่งที่ความถี่ 14.5MHz

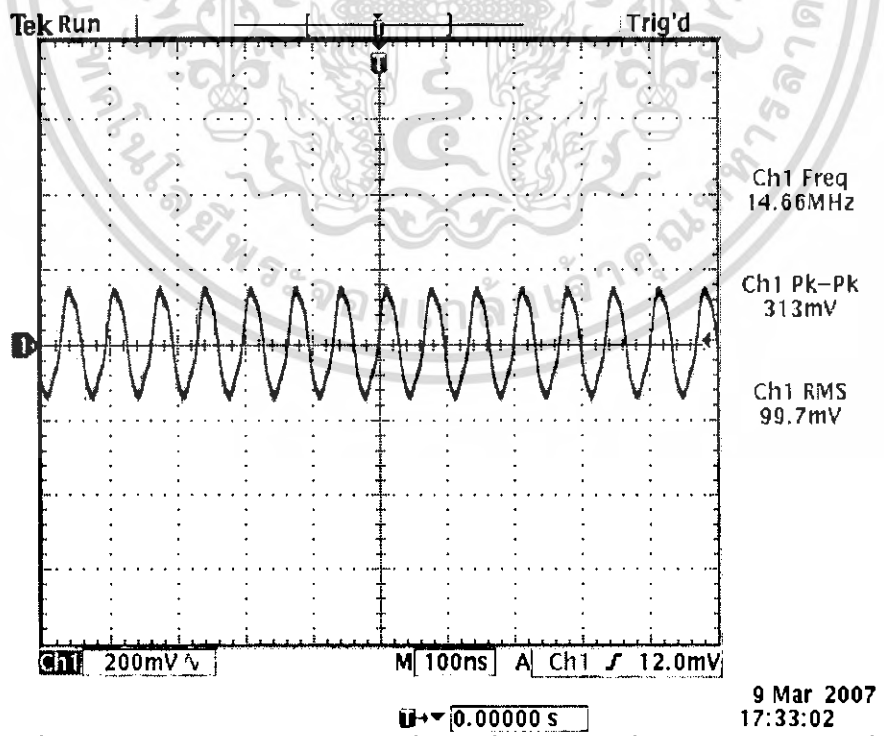


รูปที่4.4.2 แสดงสัญญาณของภาคส่งที่ความถี่ 14.5MHzเมื่อออกจากภาคขยายที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

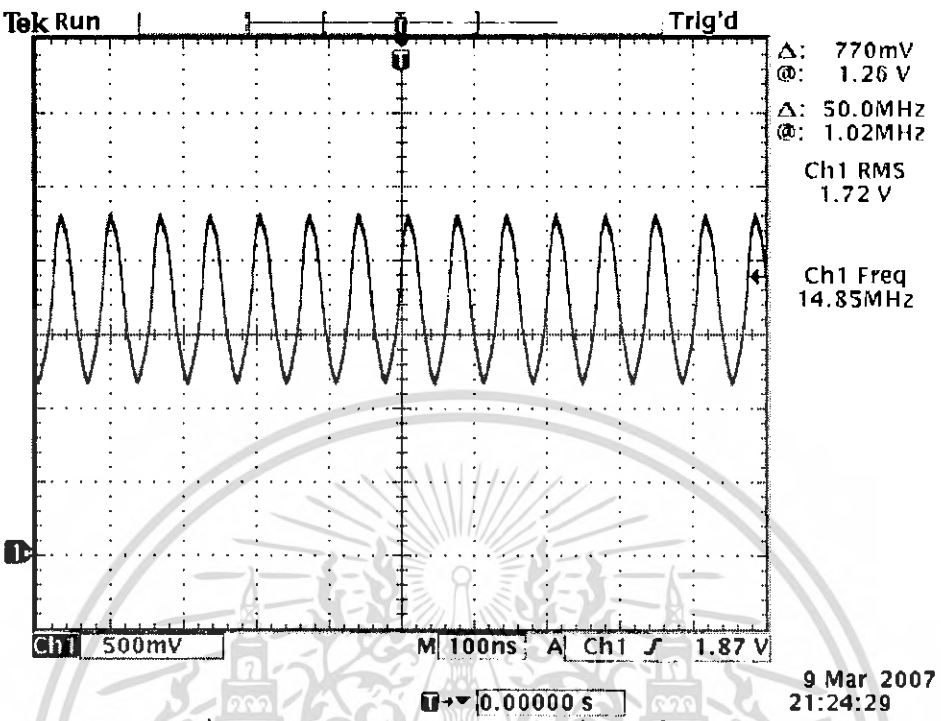


รูปที่4.4.3 แสดงสัญญาณของภาคส่งที่ความถี่ 14.7MHz

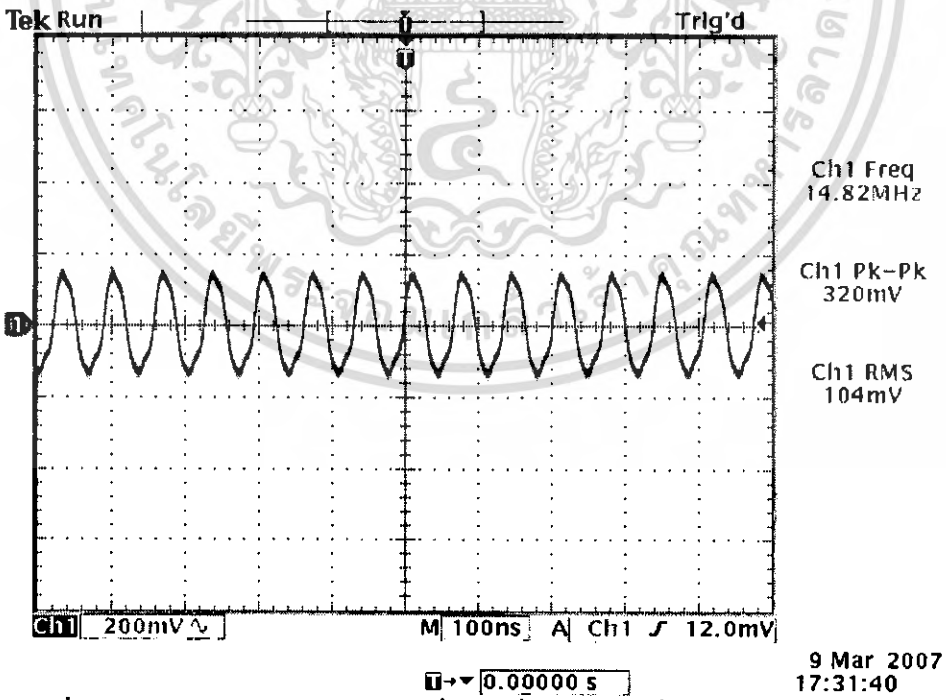


รูปที่4.4.4 แสดงสัญญาณของภาคส่งที่ความถี่ 14.7MHzเมื่อออกจากภาคขยายที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

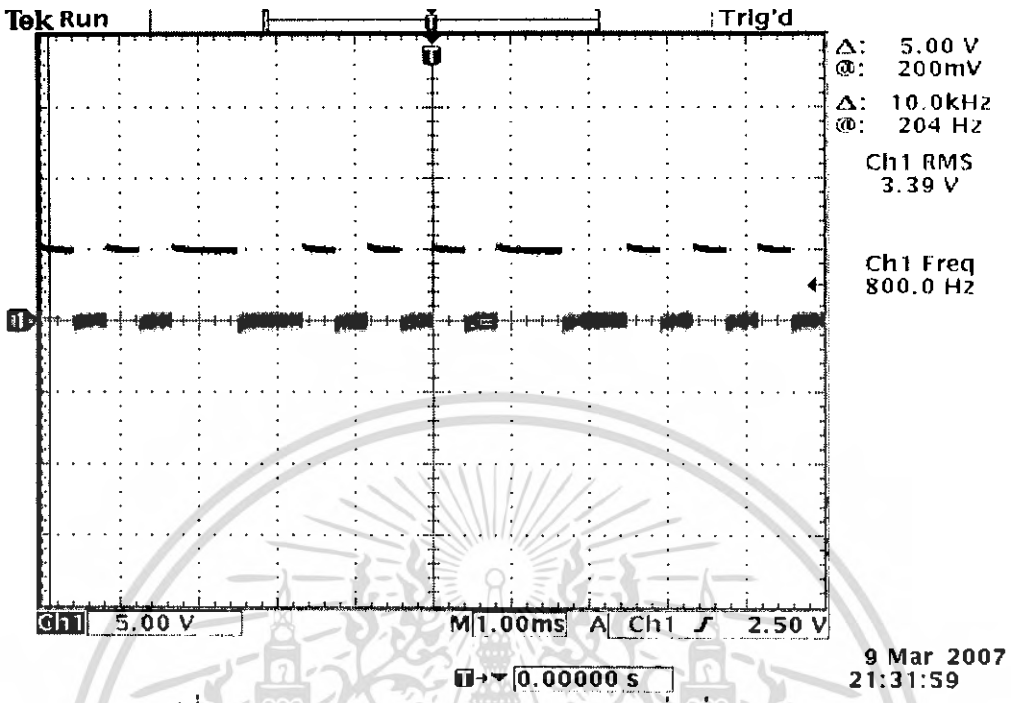


รูปที่4.4.5 แสดงสัญญาณของภาคส่งที่ความถี่ 14.9MHz

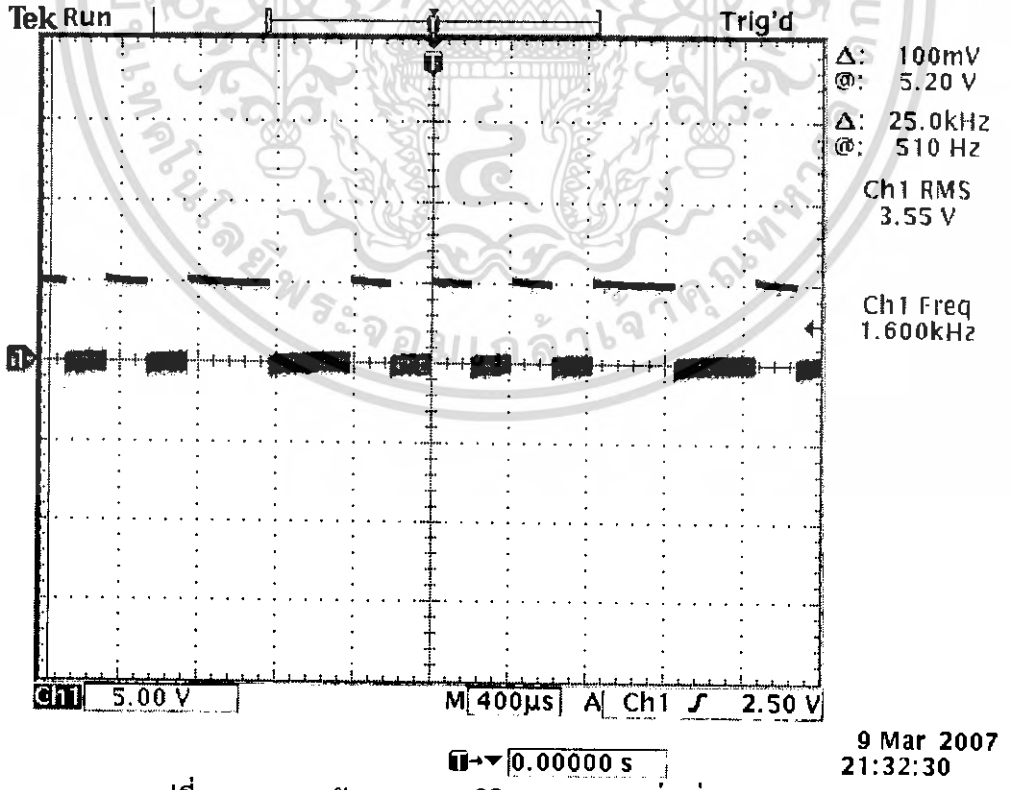


รูปที่4.4.6 แสดงสัญญาณของภาคส่งที่ความถี่ 14.5MHzเมื่อผ่านวงจรขยายภาคที่1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

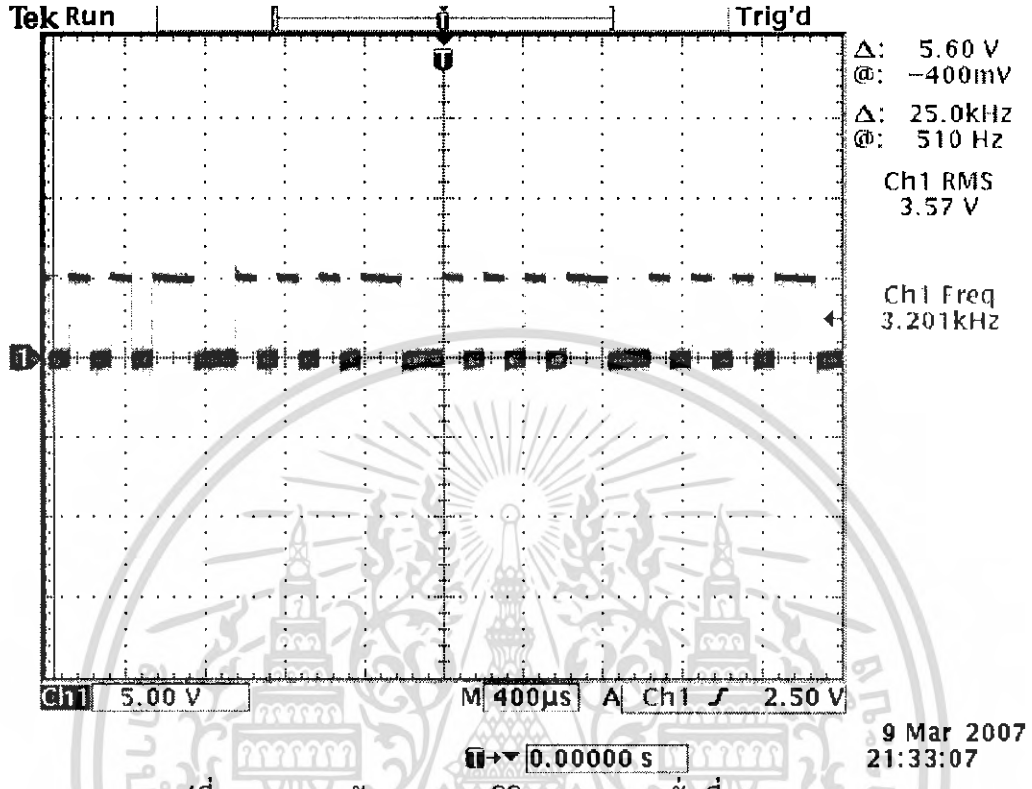


รูปที่4.4.7 แสดงสัญญาณของดิจิตอลมอดดูเลชั่นที่บอดเรต 2400

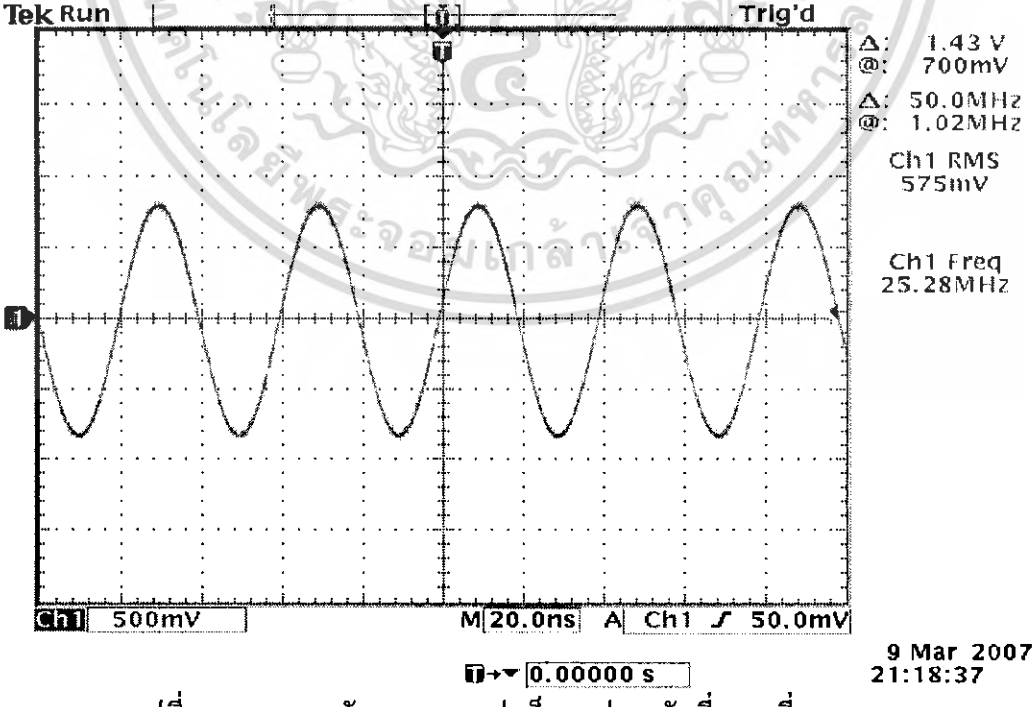


รูปที่4.4.8 แสดงสัญญาณของดิจิตอลมอดดูเลชั่นที่บอดเรต 4800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

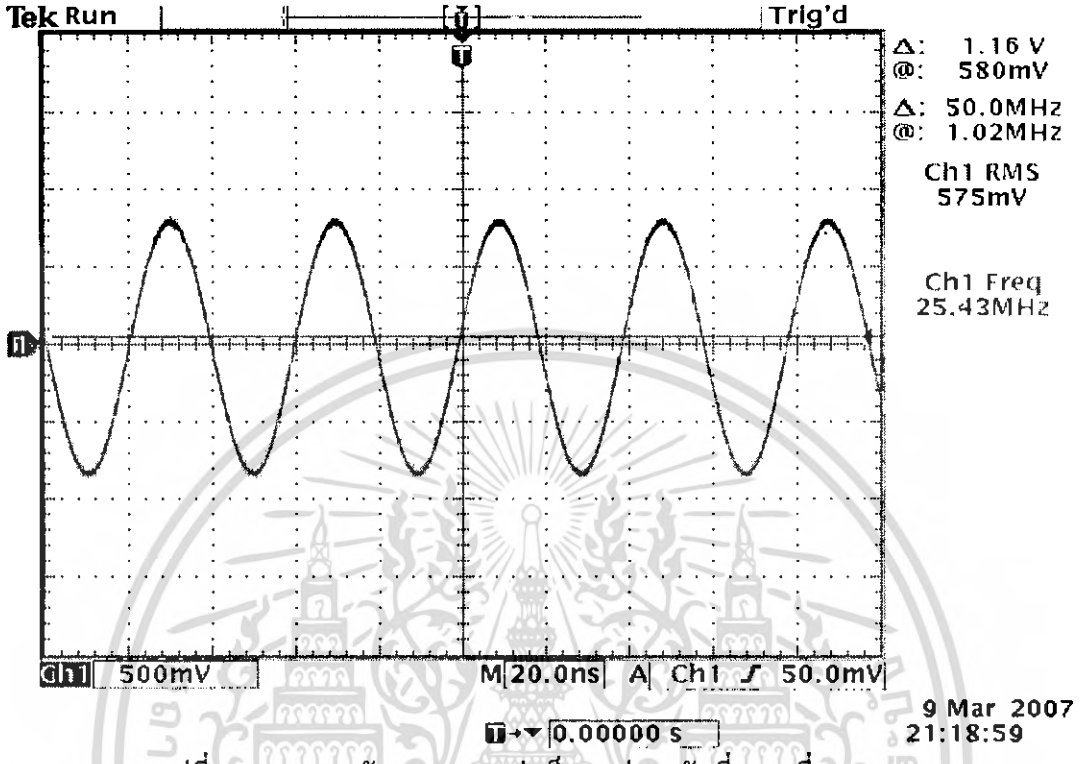


รูปที่ 4.4.9แสดงสัญญาณของดิจิตอลมอดดูเลชั่นที่บอดเรต 9600

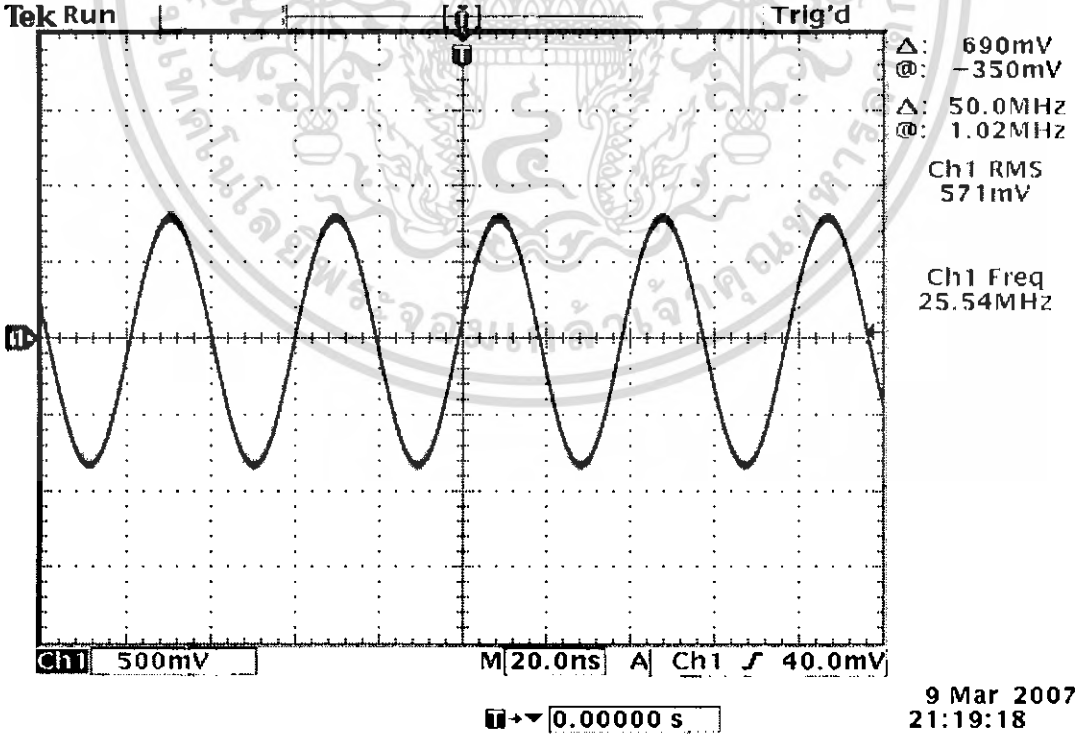


รูปที่ 4.4.10 แสดงสัญญาณของเฟสล็อคลูปภาครับที่ความถี่ 25.2MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

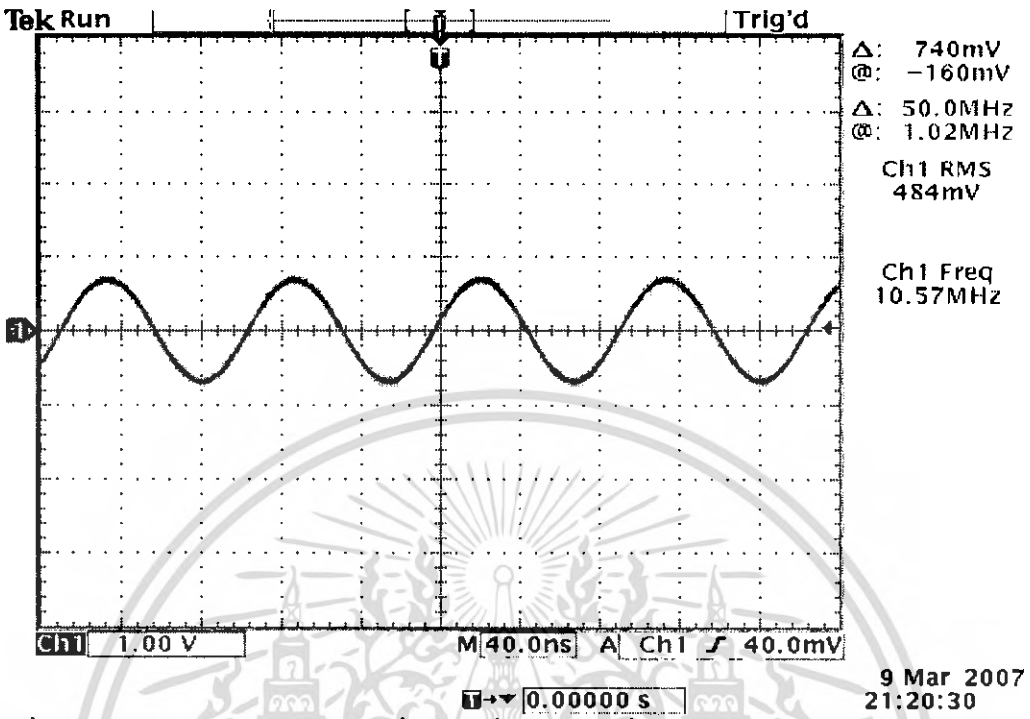


รูปที่4.4.11 แสดงสัญญาณของเฟสล็อคลูปภาครับที่ความถี่ 25.4MHz



รูปที่4.4.12 แสดงสัญญาณของเฟสล็อคลูปภาครับที่ความถี่ 25.6MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.4.13 แสดงสัญญาณของความถี่ไอเอฟที่ 10.7MHzที่ความไวของสัญญาณภาครับ-10dBm

ตารางที่4.4.1แสดงค่า ÷ N ทุกค่าที่เฟสล็อกลูปภาครับสามารถทำได้โดยใช้ความถี่อ้างอิง 100kHz โดยใช้ความถี่คริสตอลที่6.4MHz

ค่าที่โปรแกรม	Rx counter 16 Bit	Fin_Rx
252	0000000011111100	25.2MHz
254	0000000011111110	25.4MHz
256	0000000100000000	25.6MHz

ตารางที่4.4.2 แสดงค่า ÷ N ทุกค่าที่เฟสล็อกลูปภาคส่งสามารถทำได้โดยใช้ความถี่อ้างอิง50 kHz โดยใช้ความถี่คริสตอลที่4MHz

ค่าที่โปรแกรม	Tx counter 16 Bit	Fin _Tx
290	0000000011111100	14.5MHz
294	0000000011111110	14.7MHz
298	0000000100000000	14.9MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5
สรุปผลการทดลอง

ส่วนของภาครับ(Receiver)ได้ใช้ไอซีเบอร์TA7358 ซึ่งประกอบด้วย ภาคอาร์เอฟแอมพลิ-ไฟเออร์ โลคอลออสซิลเลเตอร์ และ มิกเซอร์ รวมอยู่ภายในไอซีตัวเดียวทำให้ประหยัดในการต่อวงจรลงได้เยอะ เพียงแค่ต่ออุปกรณ์ภายนอกร่วมกับไอซีเท่านั้น และส่วนสัญญาณอาร์เอฟที่รับเข้ามาจะมีช่วงความถี่ 3 ค่าด้วยกัน คือ 14.5 MHz-14.9 MHz แบนด์วิธของสัญญาณแต่ละช่อง จะมีความกว้างเท่ากับ 200 kHz ส่วนของโลคอลออสซิลเลเตอร์ (VCO) ใช้ไอซีเฟสล็อคลูป MC145162 เป็นตัวควบคุมการกำเนิดความถี่ในช่องสัญญาณที่ต้องการ โดยต้องผลิตความถี่สูงกว่าความถี่ที่รับเข้ามาเสมอ และทำให้เกิดสัญญาณความถี่ผลต่างออกเอาท์พุต ซึ่งเป็นสัญญาณความถี่กลาง(IF) ที่มีความถี่ 10.7MHz ผ่านแบนด์พาสฟิลเตอร์ที่ใช้เซรามิกฟิลเตอร์ เข้าสู่วงจรดีมอดูเลเตอร์โดยใช้ไอซี TA7640 ซึ่งสัญญาณไอเอฟที่ผ่านเข้ามา จะได้ถูกขยายให้มีความแรงระดับหนึ่งแล้วนำไปผ่านเอฟ-เอมดีมอดดูเลเตอร์ด้วยวิธีควาดราเจอร์ดีเทคเตอร์เอาท์พุตที่ได้จะผ่านวงจรกรองความถี่ต่ำผ่านได้เอาท์พุตออกมา เนื่องจากไอซีเบอร์นี้เป็นดีมอดดูเลเตอร์ทั้งแบบเอเอ็มและเอฟเอ็มเมื่อไม่ได้ใช้งานในส่วนของเอเอ็มก็ต้องต่อขาสัญญาณเหล่านั้นกับกราวด์ แทนหลักการเลือกว่าจะใช้เอเอ็มหรือเอฟเอ็มดีมอดดูเลเตอร์นั้น จะใช้สภาวะทางขา 2 โดยโครงงานนี้เราใช้เอฟเอ็มอย่างเดียวจึงได้ต่อขา 2 ลงกราวด์ ดาต้าชีทของไอซีเบอร์นี้เราไม่มีรายละเอียดของเอาท์พุตอิมพีแดนซ์ที่ขาสัญญาณต่าง ๆ จึงต้องอาศัยหลักการวัดเอาท์พุตอิมพีแดนซ์เพื่อนำมาคำนวณวงจรโลพาสฟิลเตอร์ การต่อวงจรทั้งหมดไม่สามารถกระทำบนโปรโตบอร์ดได้เนื่องจากผลของค่าความจุแฝง(parasitic capacitor) บนแผงวงจรทำให้ความถี่อาจเกิดความผิดพลาดได้ จึงต้องใช้การต่อบนแผ่นปริ้นเอนกประสงค์ การต่อวงจรต้องพิถีพิถันและรอบคอบ ในการเดินวงจรโดยเฉพาะส่วนที่เป็นกราวด์ของสัญญาณต้องทำให้มีค่าอิมพีแดนซ์ต่ำที่สุดด้วยโดยการใช้แผ่นทองแดงเดินเป็นกราวด์ของวงจรแทนและการวัดความถี่ของเอาท์พุตไม่สามารถวัดโดยการใช้โพรบ x 1 ได้ ต้องใช้โพรบ x10 เท่านั้นเนื่องจากผลของคาปาซิเตอร์ภายในตัวโพรบเองจะสร้างปัญหาทำให้ความถี่ที่ได้มีค่าความผิดพลาดจากที่เป็นจริง ในส่วนของภาคส่งสัญญาณจะใช้การมอดดูเลชั่นแบบดิจิตอลโดยตรงโดยการสร้างพัลซ์จากไมโครคอนโทรลเลอร์แบบอนุกรมที่มีอัตราบอดเรดต่างๆกัน ความถี่ของภาคส่งสร้างขึ้นจากเฟสล็อคลูปเหมือนกับภาครับซึ่งแอมพลิจูดที่ได้ยังไม่เพียงพอจะต้องมีการขยายสัญญาณความถี่ในย่านนี้ด้วยวงจรขยาย 2 ภาค ทำให้เอาท์พุตที่ได้มีค่ามากถึง 150 mW เพื่อให้สามารถส่งไปได้ทั้ง 3 เฟสของสายไฟบ้านภาคขยายสุดท้ายจะต้องใช้ซีเนอร์ไดโอดต่อเป็นตัวป้องกันทรานเซียนส์ที่จะมีโอกาสเข้ามาทำให้ภาคขยายเกิดความเสียหายได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาและอุปสรรค

1.เหตุผลของการเลือกใช้ค่าอุปกรณ์ในวงจรส่วนหนึ่งมาจากการไม่สามารถหาอุปกรณ์ได้ตรงกับที่เราคำนวณได้ดังนั้นจึงต้องเลือกใช้อุปกรณ์ตามที่มีอยู่ตัวอย่างเช่น วาริแคปไดโอด MV2111ที่ได้นำมาใช้นั้นเป็นเพียง 1 ใน 2 ตัวที่หาซื้อได้

2.ผลการคำนวณค่าอุปกรณ์ต่างๆไม่สามารถหาได้ตามท้องตลาดจึงจำเป็นต้องใช้ค่าที่ใกล้เคียงเท่านั้นแก้ไขด้วยการปรับจูนวงจรและที่สามารถช่วยได้มากที่สุดก็คือการใช้ค่าตัวเก็บประจุแบบปรับค่าได้ในวงจรเพื่อให้เกิดการชดเชยทางด้านความถี่ที่ต้องการได้เช่นกัน

3.การต่อสายนำสัญญาณควรใช้สายชีลด์เพื่อป้องกันสัญญาณรบกวนที่อาจเกิดขึ้นได้ตลอดเวลาทำให้วงจรผลิตความถี่ผิดเพี้ยนไปจากเดิมได้โดยเฉพาะอย่างยิ่งการเดินสายระหว่างแผ่นลายวงจรเพื่อเป็นการนำสัญญาณไปเป็นอินพุตของภาคถัดไปควรจะต้องพิถีพิถันในการต่อกันเป็นอย่างมาก

4.การต่อกราวด์ของไมโครคอนโทรลเลอร์กับกราวด์ของวงจรออสซิลเลเตอร์ควรต่อที่จุดเดียวกันเพื่อป้องกันปัญหากราวด์ลูปซึ่งอาจส่งผลต่อการล็อคความถี่ของเฟลล็อกลูปได้เช่นกันเนื่องจากว่าในวงจรจะมีทั้งดีซีกราวด์และเอซีกราวด์ (ความถี่ที่ผลิตได้)นอกจากนั้นควรต่อคาปาซิเตอร์0.1uFที่ขาของไอซีในวงจรทุกตัวเพื่อป้องกันปัญหาสัญญาณรบกวนซึ่งกันและกันที่อาจจะเกิดขึ้นได้ซึ่งการทำแบบนี้จะช่วยลดปัญหาที่เกิดขึ้นได้มากและยังช่วยลดเวลาในการแก้ปัญหาวงจรเมื่อวงจรไม่ทำงานตามที่ควรจะเป็นได้อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ประภากร สุวรรณะ,เอกสารประกอบการสอน.กรุงเทพฯ:สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

2.Roland E Best,"Phase-Locked Loops Theory,Design and application",107 p,1999

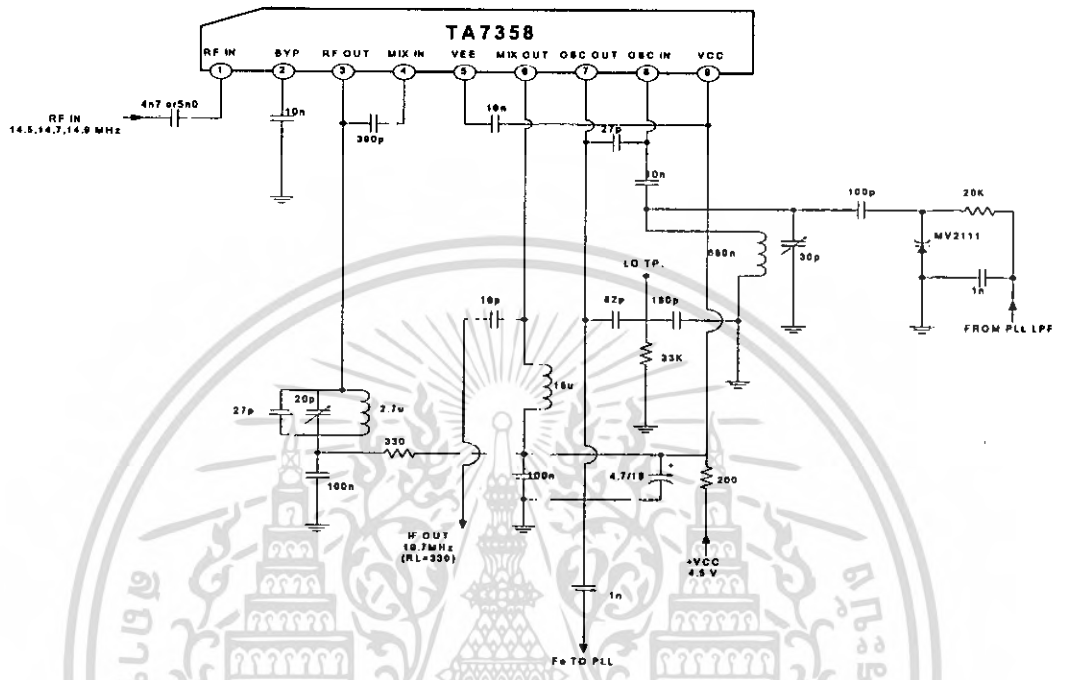
3.Website http://www.alldatasheet.com

4.Website http://www.atmel.com

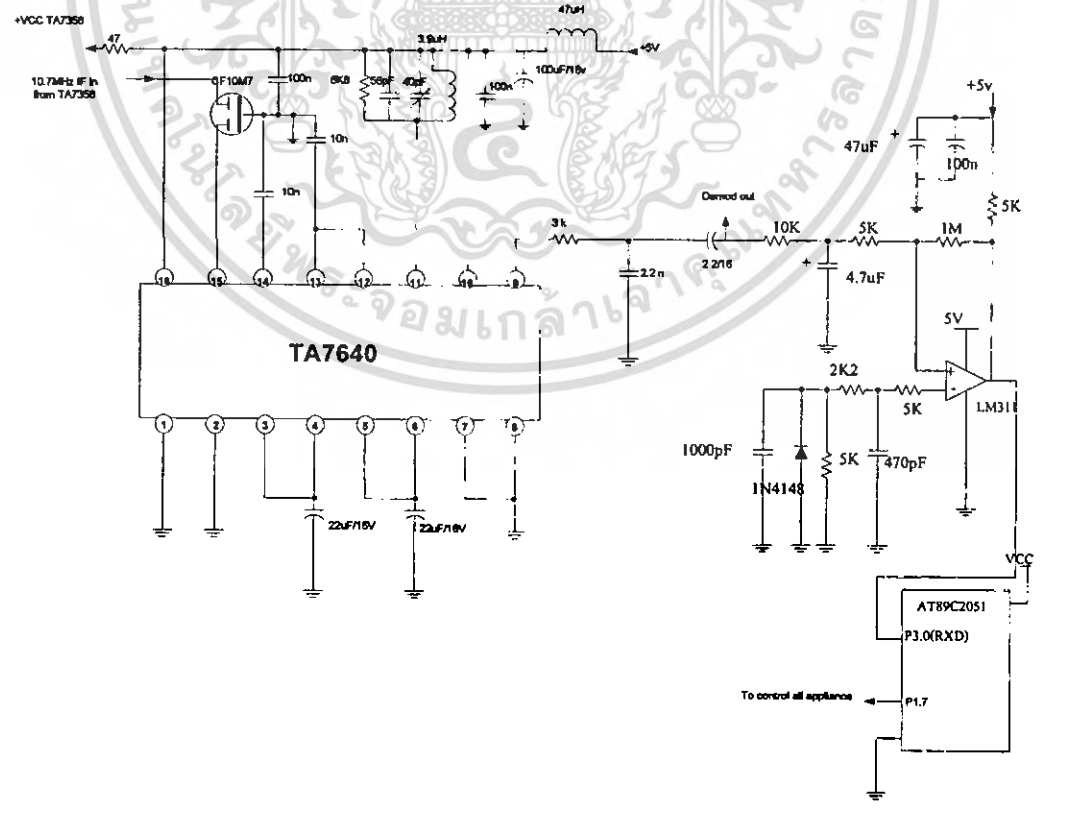
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

วงจรภาครับส่วนหน้า(FRONT END)

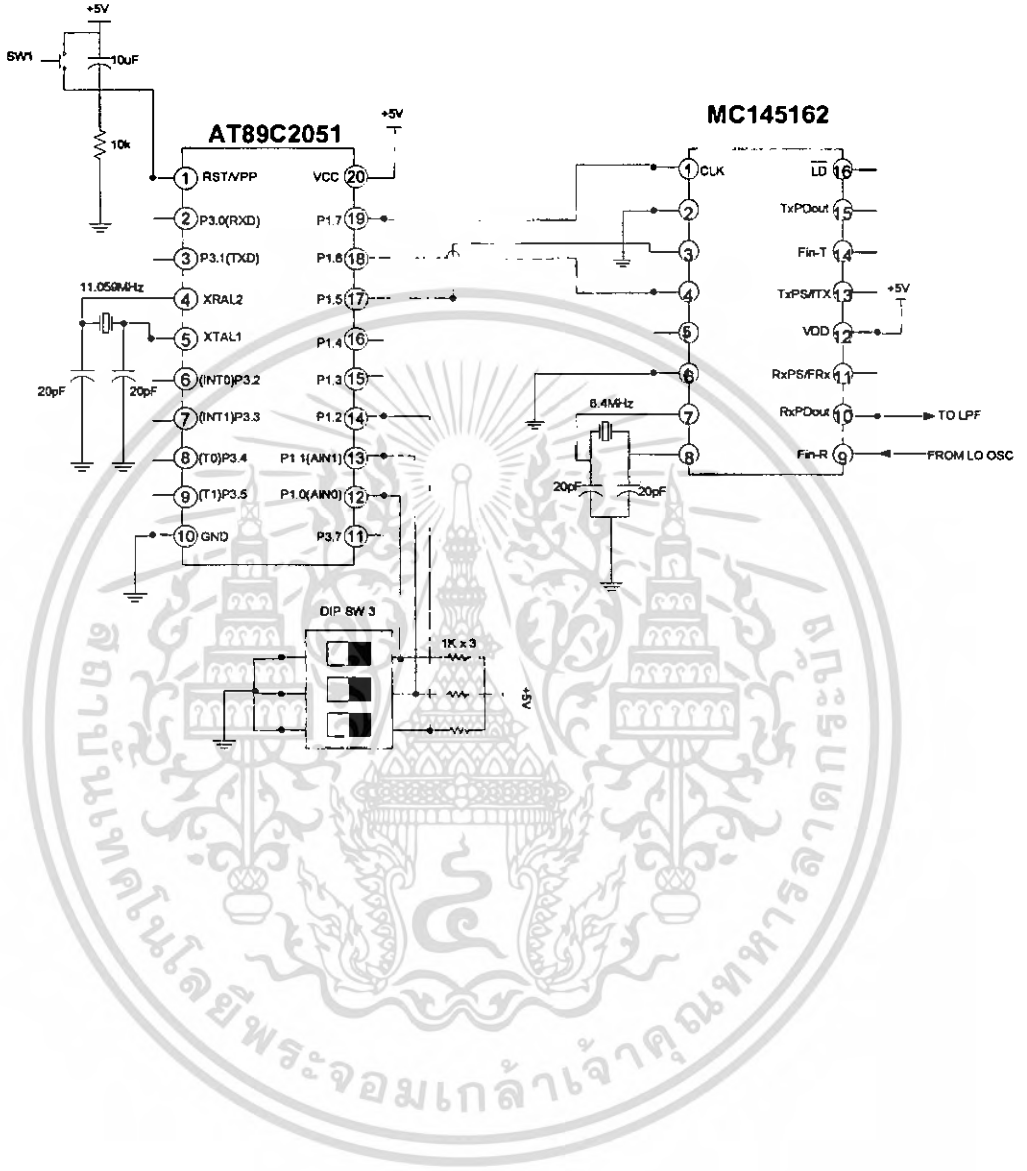


วงจร FM Demodulator



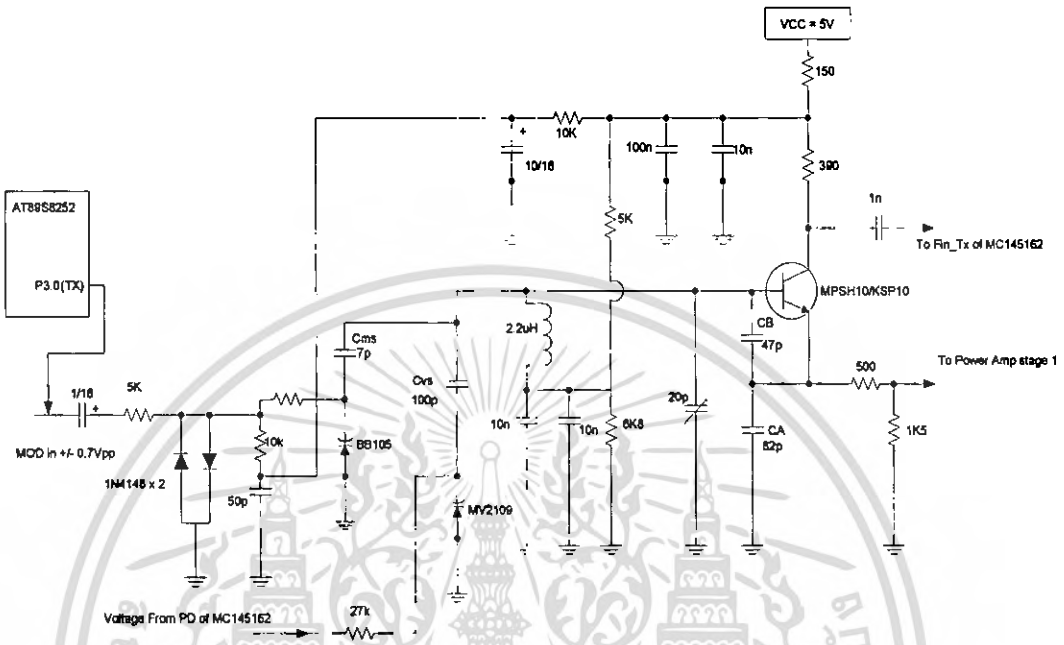
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรควบคุมการหารความถี่ของเฟสล็อคลูปโดยใช้ไมโครคอนโทรลเลอร์

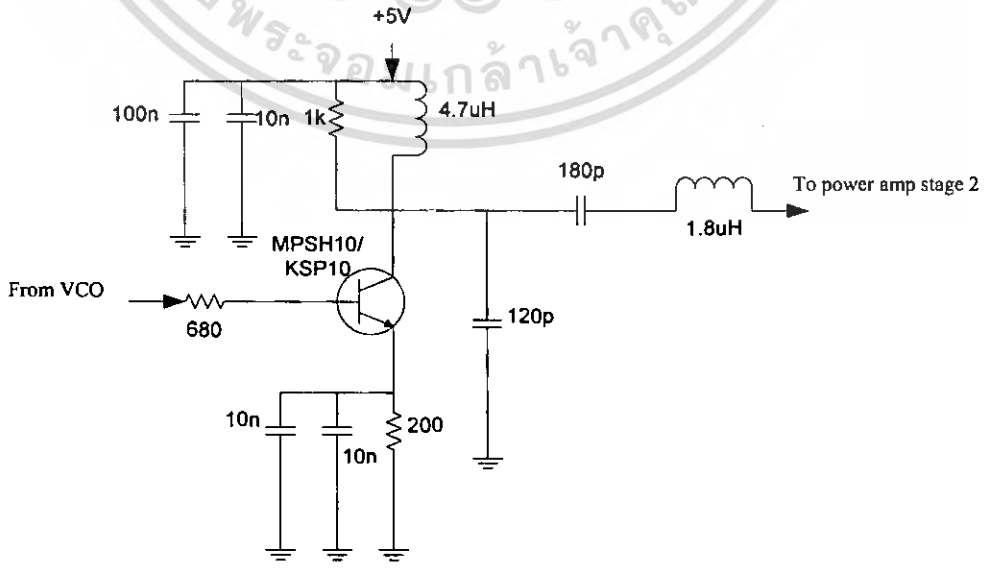


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรออสซิลเลเตอร์และมอดดูเลชั่นสำหรับภาคส่ง (TRANSMITTER)

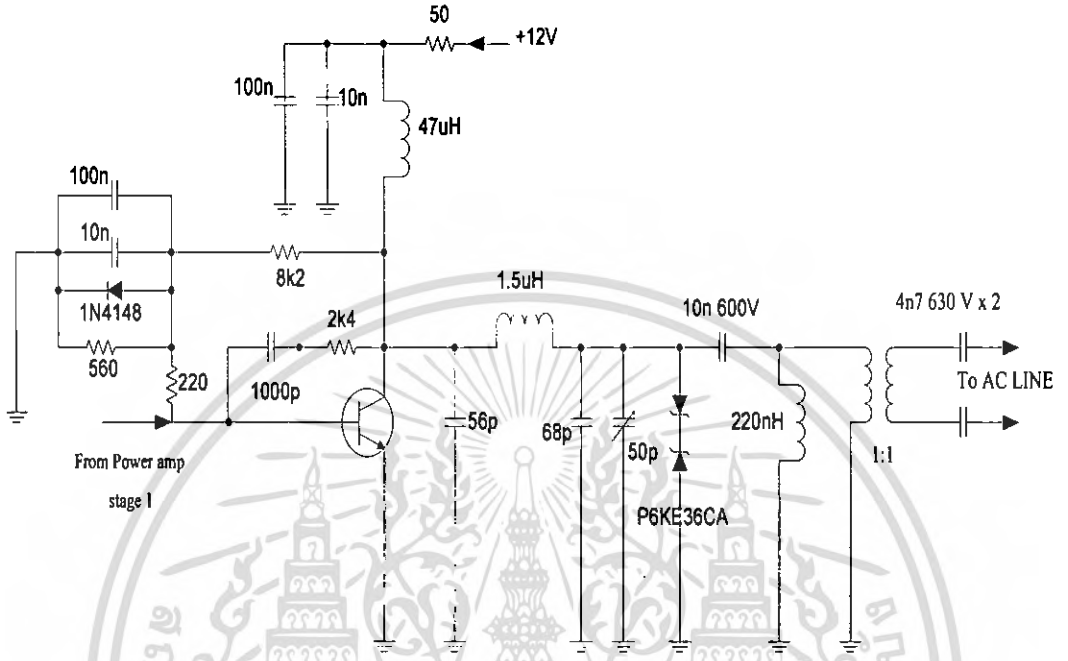


วงจรภาคขยายสัญญาณ STAGE ที่ 1

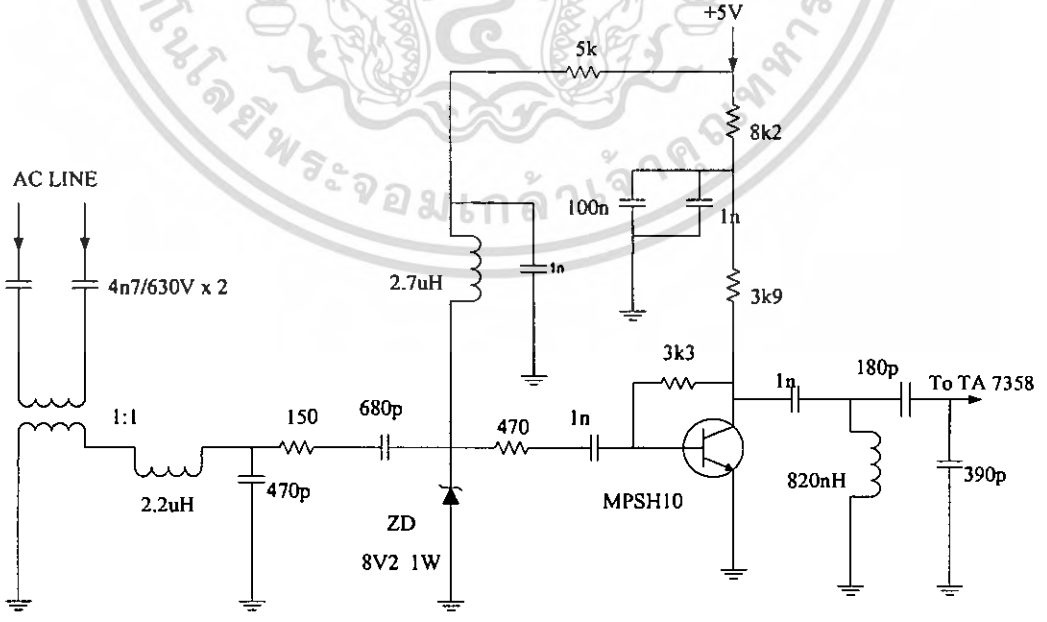


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรภาคขยายสัญญาณ stage ที่ 2



วงจรขยายสัญญาณก่อนจะเข้าไปสู่ขาที่1 ของไอซีภาครับ TA7358



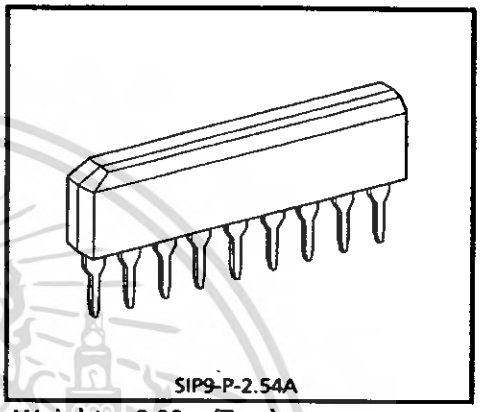
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOSHIBA BIPOLAR LINEAR INTEGRATED CIRCUIT SILICON MONOLITHIC

TA7358AP

FM FRONT-END

The TA7358AP is designed for a FM front-end application, which is suitable to a portable radio or a radio cassette.
Comparing with conventional types, supply voltage dependence, overload characteristics and spurious radiation characteristics are improved.



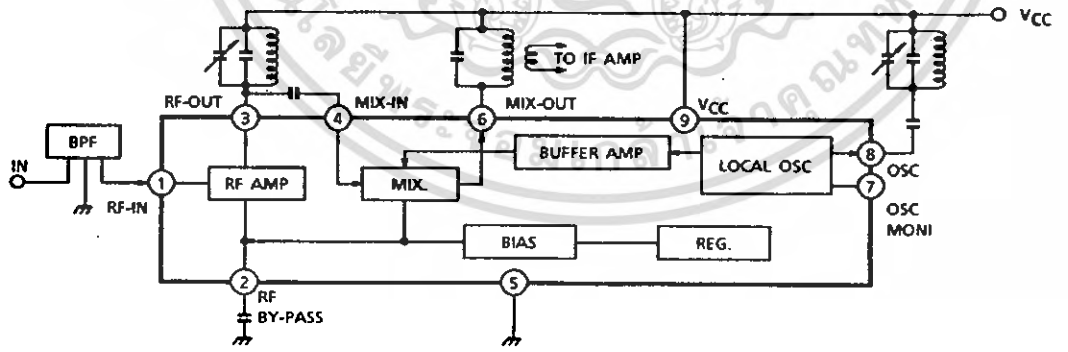
SIP9-P-2.54A

Weight : 0.92g (Typ.)

FEATURES

- Wide supply voltage range : V_{CC} = 1.6~6.0V
- Excellent supply voltage dependence of local oscillator
  : Oscillation stop
  V_{CC} = 0.9V (Typ.)
- Improved inter-modulation characteristics by double balanced type mixer circuit.
- Low spurious radiation.
- Built-in clampping diode for the local oscillator output.

BLOCK DIAGRAM

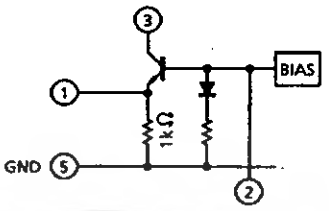
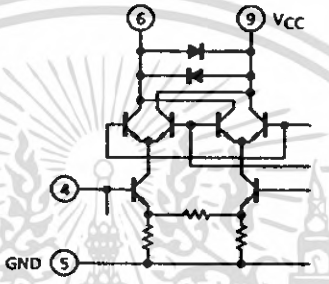
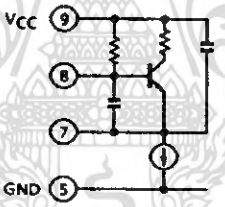


961001EBA2

- TOSHIBA is continually working to improve the quality and the reliability of its products. Nevertheless, semiconductor devices in general can malfunction or fail due to their inherent electrical sensitivity and vulnerability to physical stress. It is the responsibility of the buyer, when utilizing TOSHIBA products, to observe standards of safety, and to avoid situations in which a malfunction or failure of a TOSHIBA product could cause loss of human life, bodily injury or damage to property. In developing your designs, please ensure that TOSHIBA products are used within specified operating ranges as set forth in the most recent products specifications. Also, please keep in mind the precautions and conditions set forth in the TOSHIBA Semiconductor Reliability Handbook.
- The products described in this document are subject to foreign exchange and foreign trade control laws.
- The information contained herein is presented only as a guide for the applications of our products. No responsibility is assumed by TOSHIBA CORPORATION for any infringements of intellectual property or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any intellectual property or other rights of TOSHIBA CORPORATION or others.
- The information contained herein is subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPLANATION OF TERMINALS (Terminal voltage is DC voltage at Ta = 25°C, V_{CC} = 5V, and no signal)

PIN No.	SYMBOL	INTERNAL	TERMINAL VOLTAGE (V)
1	FM-RF IN		0.8
2	BY PASS		1.5
3	FM-RF OUT		5.0
4	MIX IN		1.5
5	GND	—	0
6	MIX OUT	cf. pin ④	5.0
7	OSC MONITOR		4.3
8	OSC		5.0
9	V_{CC}	—	5.0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Ta = 25°C)

CHARACTERISTIC	SYMBOL	RATING	UNIT
Supply Voltage	V_{CC}	8	V
Power Dissipation	P_D (Note)	500	mW
Operating Temperature	T_{opr}	−25~75	°C
Storage Temperature	T_{stg}	−55~150	°C

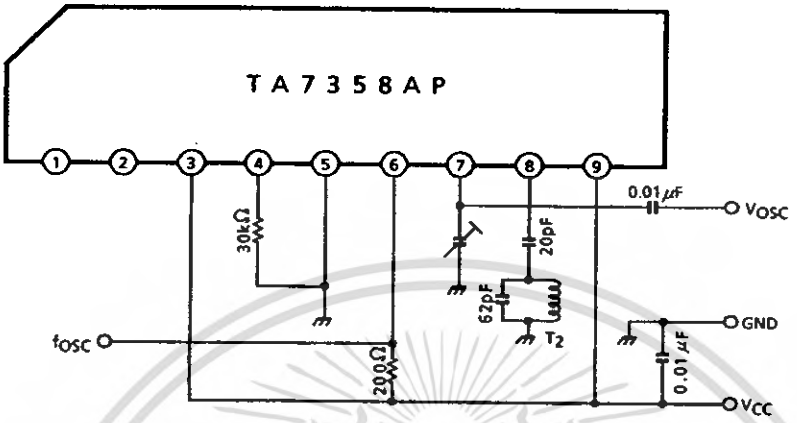
(Note) Derated above 25°C in the proportion of 4mW / °C.

ELECTRICAL CHARACTERISTICS (V_{CC} = 3V, f = 83MHz, f_m = 1kHz, Δf = ±22.5kHz, Ta = 25°C)

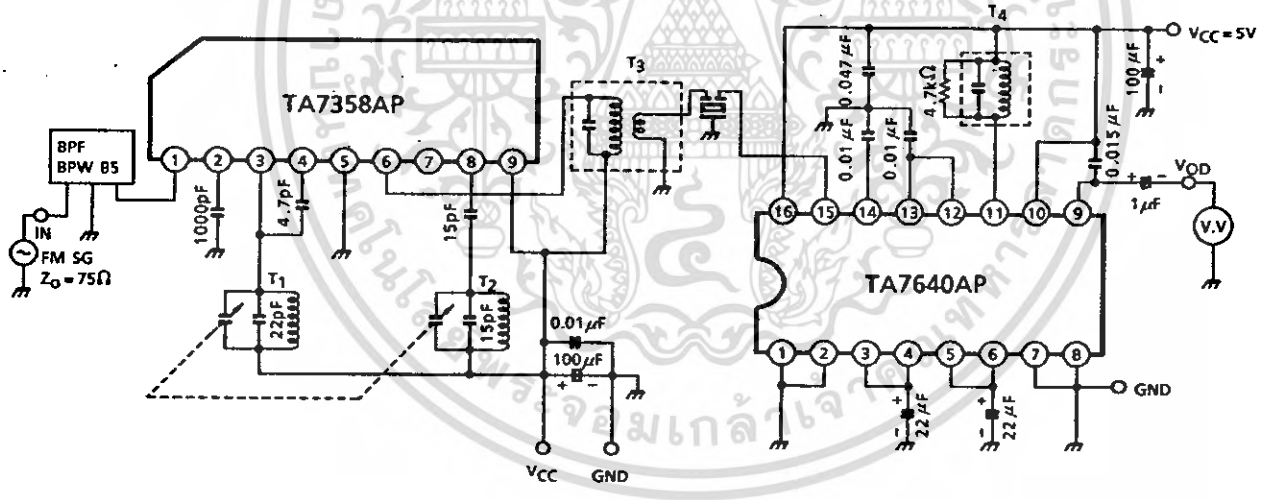
CHARACTERISTIC		SYMBOL	TEST CIR-CUIT	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
Supply Current		I_{CC}	2	V_{in} = 0	—	5.2	8.0	mA
−3dB Limiting Sensitivity		$V_{in\ (lim)}$	2	—	—	3.0	7.0	dBμV EMF
Quiescent Sensitivity		Q_S	2	—	—	11.0	—	dBμV EMF
Conversion Gain		G_C	—	—	—	31	—	dB
Local OSC Voltage		V_{OSC}	1	f_{OSC} = 60MHz	90	165	220	mV_{rms}
Pin ① Impedance	Parallel Input Resistance	r_{ip1}	3	f = 83MHz	—	57	—	Ω
Pin ③ Impedance	Parallel Output Resistance	r_{op3}	3		—	25	—	kΩ
	Parallel Output Capacitance	c_{op3}			—	2.0	—	pF
Pin ④ Impedance	Parallel Input Resistance	r_{ip4}	3		—	2.7	—	kΩ
	Parallel Input Capacitance	c_{ip4}			—	3.3	—	pF
Pin ⑥ Impedance	Parallel Output Resistance	r_{op6}	3	f = 10.7MHz	—	100	—	kΩ
	Parallel Output Capacitance	c_{op6}			—	4.8	—	pF
Local OSC Stop Voltage		V_{stop}	1	—	—	0.9	1.3	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUIT 1



TEST CIRCUIT 2

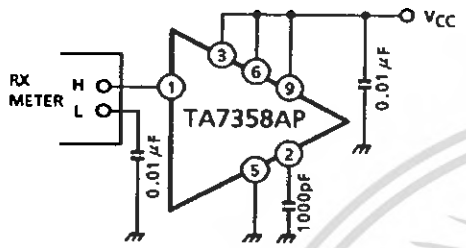


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

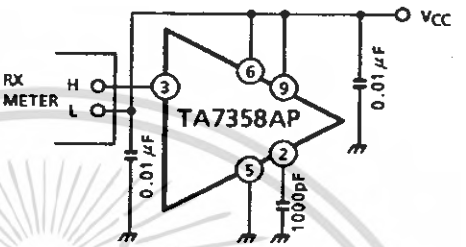
TEST CIRCUIT 3

Input output impedance

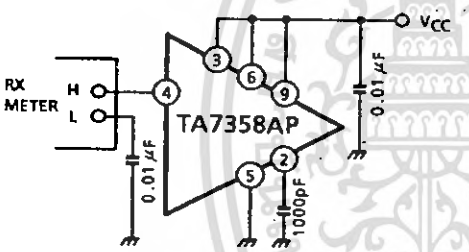
(1) r_{ip1}, c_{ip1}



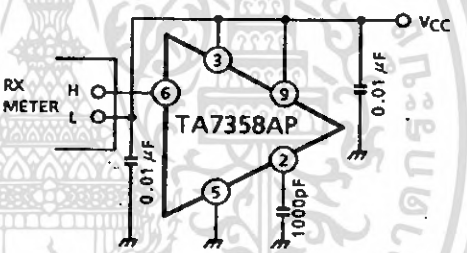
(2) r_{op3}, c_{op3}



(3) r_{ip4}, c_{ip4}

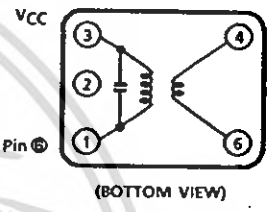
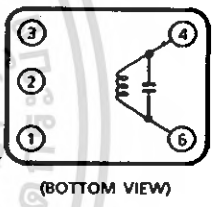


(4) r_{op6}, c_{op6}



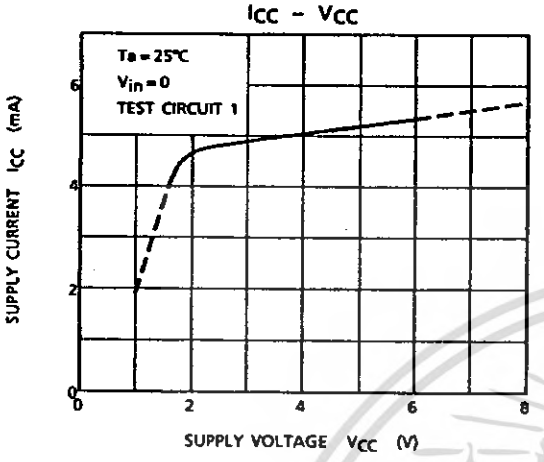
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

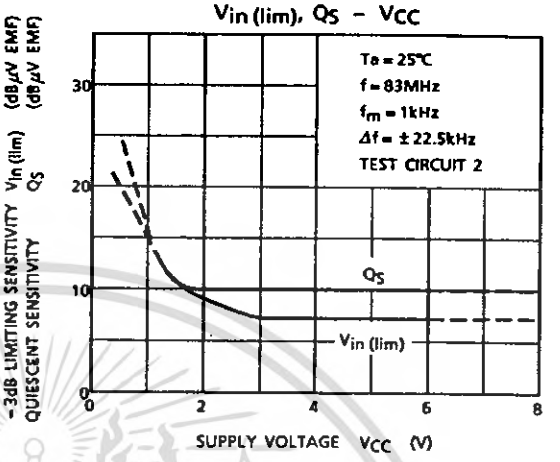
TEST CIRCUIT COIL DATA (Japan band for 76.0MHz to 108.0MHz)

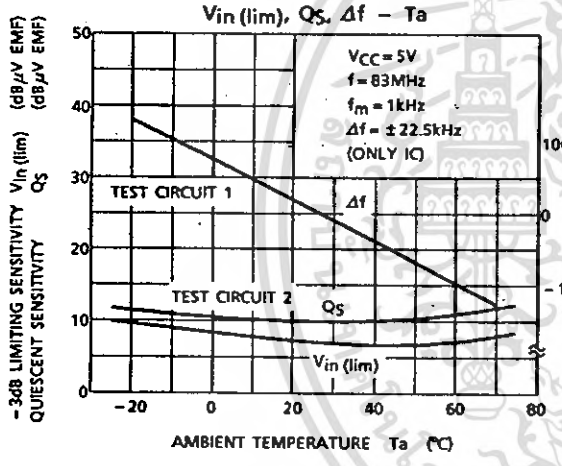
COIL	f_o	Q_o	TURNS	CAPACITANCE	
T_1 RF Coil	100MHz	100	0.5mmϕ 2 $\frac{1}{4}$ T Center Tap (Japan Band)	15pF (External)	
T_2 OSC Coil	100MHz	100	0.5mmϕ 2 $\frac{1}{2}$ T (Japan Band)	15pF (External)	
T_3 IFT Coil	10.7MHz	115	①-③ 12T ④-⑥ 1T Wire 0.12mmϕ UEW SUMIDA ELECTRIC Co., LTD. 5764 or equivalent	75pF	
T_4 Quad Coil	10.7MHz	150	④-⑥ 14T Wire 0.12mmϕ UEW SUMIDA ELECTRIC Co., LTD. 44M-933A or equivalent	47pF	

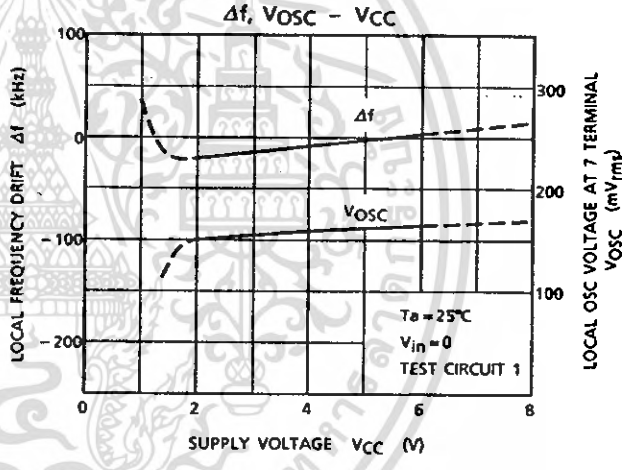
Band Pass Filter (BPF)
SOSHIN ELECTRIC Co., LTD. BPWB5
Tuning Cpacitor
ALPS ELECTRIC Co., LTD. CB41EL933

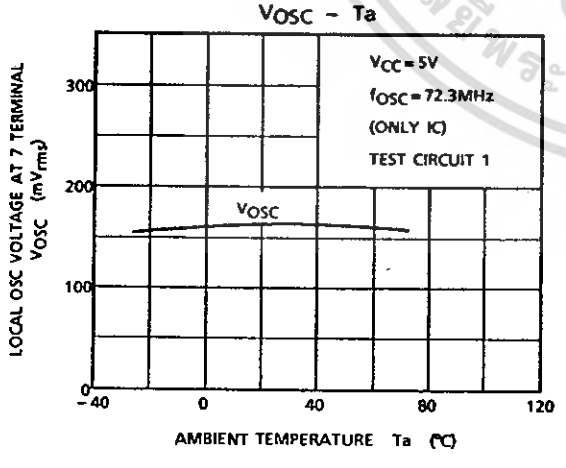
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้







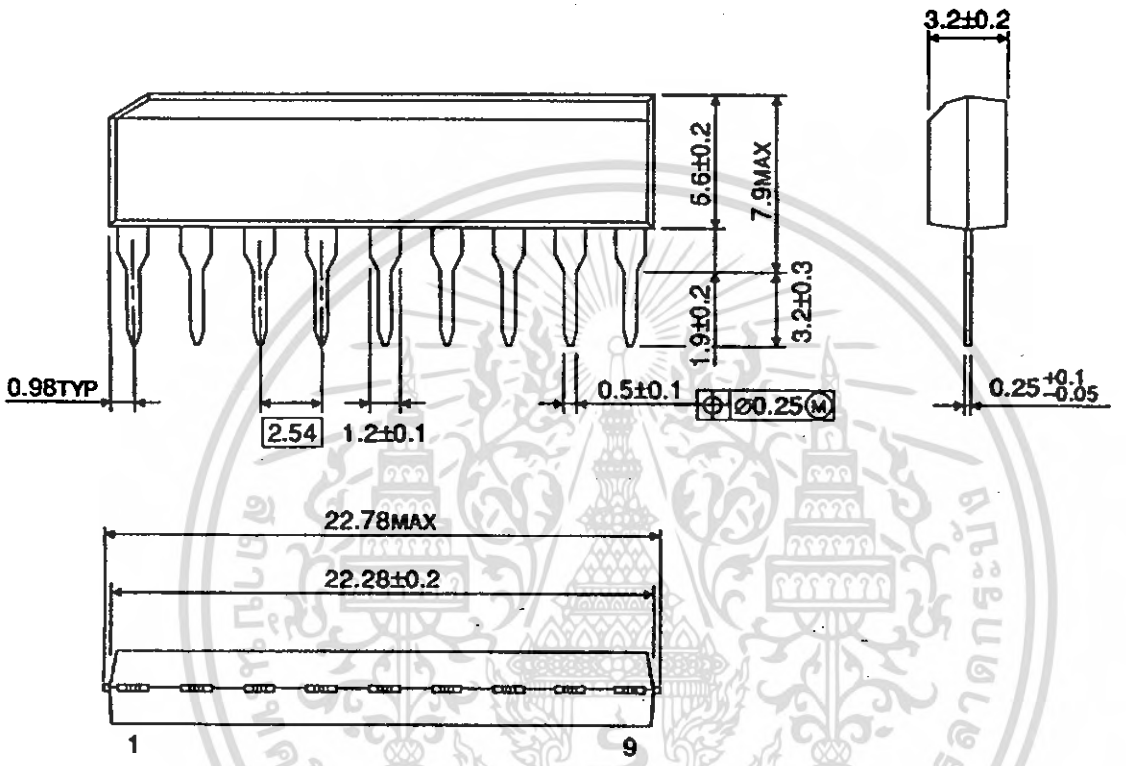




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DRAWING
SIP9-P-2.54A

Unit : mm



Weight : 0.92g (Typ.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145162/D

MC145162
MC145162-1

60 MHz and 85 MHz Universal Programmable Dual PLL Frequency Synthesizers
CMOS

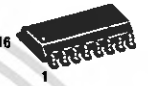
The MC145162 is a dual phase–locked loop (PLL) frequency synthesizer especially designed for CT–1 cordless phone applications worldwide. This frequency synthesizer is also for any product with a frequency operation at 60 MHz or below.

The MC145162–1 is a high frequency derivative of the MC145162, for products with operating frequencies of 85 MHz or below.

The device features fully programmable receive, transmit, reference, and auxiliary reference counters accessed through an MCU serial interface. This feature allows this device to operate in any CT–1 cordless phone application. The device consists of two independent phase detectors for transmit and receive loops. A common reference oscillator, driving two independent reference frequency counters, provides independent reference frequencies for transmit and receive loops. The auxiliary reference counter allows the user to select an additional reference frequency for receive and transmit loops if required.

- Operating Voltage Range: 2.5 to 5.5 V
- Operating Temperature Range: – 40 to + 75°C
- Operating Power Consumption: 3.0 mA @ 2.5 V
- Maximum Operating Frequency:
  MC145162 — 60 MHz @ 200 mV p–p, V_{DD} = 2.5 V
  MC145162–1 — 85 MHz @ 250 mV p–p, V_{DD} = 2.5 V
- Three or Four Pins Used for Serial MCU Interface
- Built–In MCU Clock Output with Frequency of Reference Oscillator ÷ 3/÷ 4
- Power Saving Mode Controlled by MCU
- Lock Detect Signal
- On–Chip Reference Oscillator Supports External Crystals to 16.0 MHz
- Reference Frequency Counter Division Range: 16 to 4095
- Auxiliary Reference Frequency Counter Division Range: 16 to 16,383
- Transmit Counter Division Range: 16 to 65,535
- Receive Counter Division Range: 16 to 65,535

P SUFFIX
PLASTIC DIP
CASE 648

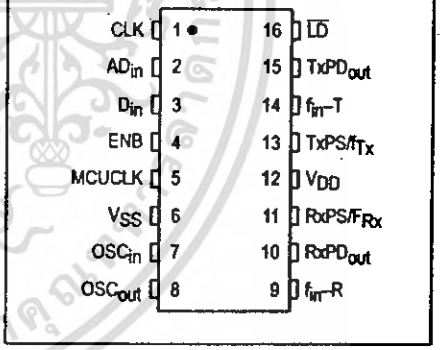


D SUFFIX
SOG PACKAGE
CASE 751B

ORDERING INFORMATION

MC145162P	Plastic DIP
MC145162D	SOG Package
MC145162P1	Plastic DIP
MC145162D1	SOG Package

PIN ASSIGNMENT



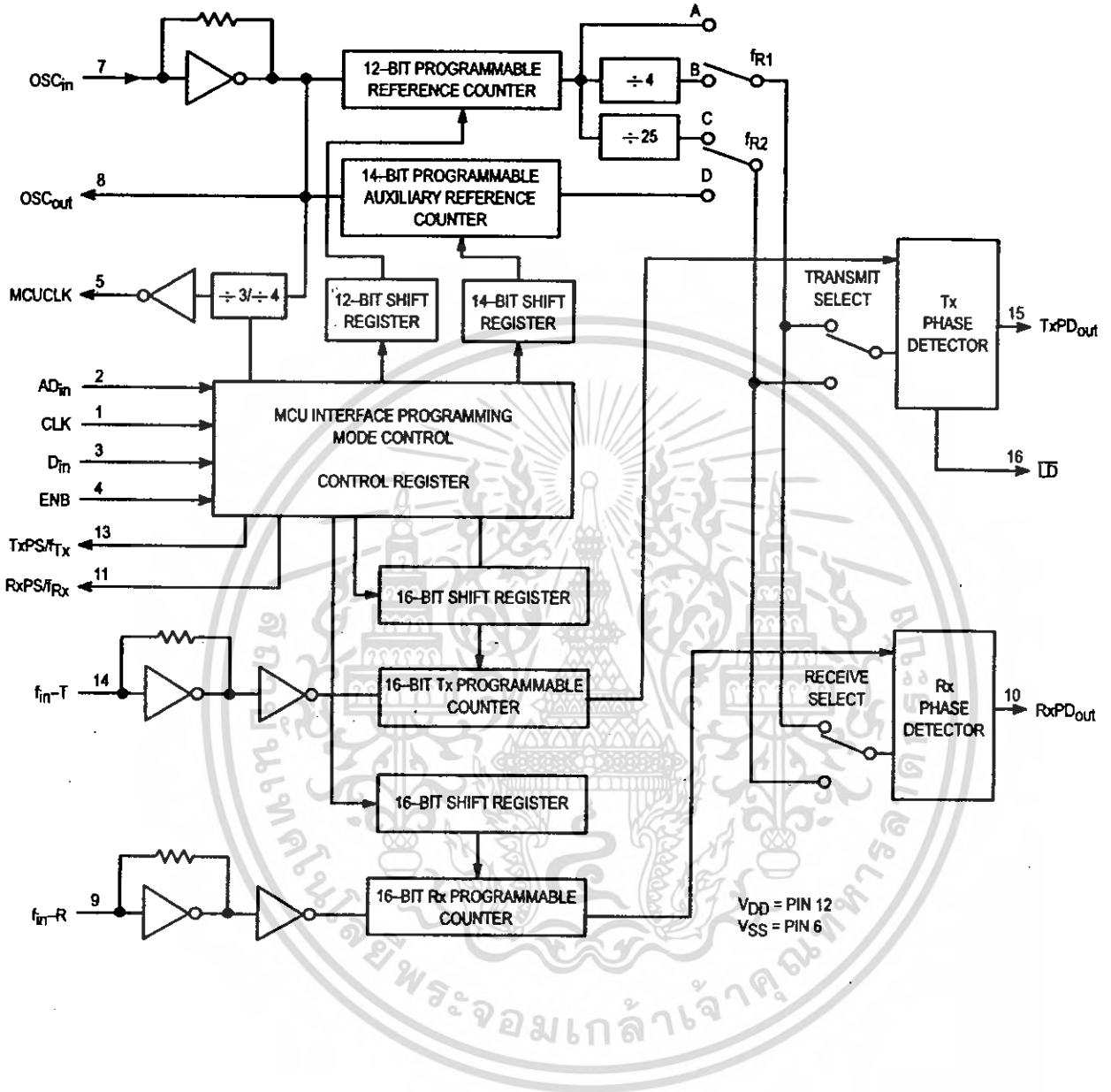
REV 3.1
2/98

© Motorola, Inc. 1998

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Rating	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 6.0	V
V_{in}	Input Voltage, All Inputs	– 0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	DC Current Drain Per Pin	10	mA
I_{DD}, I_{SS}	DC Current Drain V_{DD} or V_{SS} Pins	30	mA
T_{stg}	Storage Temperature Range	– 65 to + 150	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid application of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused pins must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS}, T_A = 25°C)

Symbol	Characteristic		V_{DD}	Guaranteed Limit		Unit
				Min	Max	
V_{DD}	Power Supply Voltage Range		—	2.5	5.5	V
V_{OL}	Output Voltage (I_{out} = 0)	0 Level	2.5 5.5	— —	0.1 0.1	V
V_{OH}	(V_{in} = V_{DD} or 0)	1 Level	2.5 5.5	2.45 5.45	— —	
V_{IL}	Input Voltage (V_{out} = 0.5 V or V_{DD} – 0.5 V)	0 Level	2.5 5.5	— —	0.75 1.65	V
V_{IH}		1 Level	2.5 5.5	1.75 3.85	— —	
I_{OH}	Output Current (V_{out} = 2.2 V) (V_{out} = 5.0 V)	Source	2.5 5.5	– 0.18 – 0.55	— —	mA
I_{OL}	(V_{out} = 0.3 V) (V_{out} = 0.5 V)	Sink	2.5 5.5	0.18 0.55	— —	
I_{IL}	Input Current (V_{in} = 0)	OSC_{in}, f_{in}–T, f_{in}–R	2.5 5.5	— —	– 30 – 66	µA
		AD_{in}, CLK, D_{in}, ENB	2.5 5.5	— —	– 1.0 – 1.0	
I_{IH}	(V_{in} = V_{DD} – 0.5)	OSC_{in}, f_{in}–T, f_{in}–R	2.5 5.5	— —	30 66	
		AD_{in}, CLK, D_{in}, ENB	2.5 5.5	— —	5.0 5.0	
I_{OZ}	Three–State Leakage Current (V_{out} = 0 V or 5.5 V)		5.5	—	± 100	nA
C_{in}	Input Capacitance		—	—	8.0	pF
C_{out}	Output Capacitance		—	—	8.0	pF
$I_{DD(stdby)}$	Standby Current (All Counters are in Power–Down Mode with Oscillator On)		2.5 5.5	— —	0.3 1.5	mA
I_{DD}	Operating Current MC145162: 200 mV p–p input at f_{in}–T and f_{in}–R = 60 MHz MC145162–1: 250 mV p–p input at f_{in}–T and f_{in}–R = 85 MHz with OSC = 10.24 MHz		2.5 5.5	— —	3.0 10	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (T_A = 25°C, C_L = 50 pF)

Symbol	Characteristic		Figure No.	V_{DD}	Guaranteed Limit		Unit
					Min	Max	
t_{TLH}	Output Rise Time		1	2.5 5.5	— —	200 100	ns
t_{THL}	Output Fall Time		1	2.5 5.5	— —	200 100	ns
t_r, t_f	Input Rise and Fall Time	OSC_{in}	2	2.5 5.5	— —	5.0 4.0	µs
t_w	Input Pulse Width	CLK and ENB	3	2.5 5.5	80 60	— —	ns
f_{max}	Input Frequency Input = Sine Wave @ ≥ 200 mV p–p for MC145162 Input = Sine Wave @ ≥ 250 mV p–p for MC145162–1	OSC_{in} f_{in}–R, f_{in}–T f_{in}–R, f_{in}–T		2.5 – 5.5 2.5 – 5.5 2.5 – 5.5	— — —	16 60 85	MHz
t_{st}	Minimum Start–Up Time					10	ms
t_{su}	Setup Time	DATA to CLK ENB to CLK	5	2.5 5.5	100 200	— —	ns
t_h	Hold Time	CLK to DATA	5	3.0 5.0	80 40	— —	ns
t_{rec}	Recovery Time	ENB to CLK	5	3.0 5.0	80 40	— —	ns
t_{su1}	Setup Time	ENB to CLK	4	2.5 – 5.5	80	—	ns
t_{h1}	Hold Time	CLK to ENB	4	2.5 – 5.5	600	—	ns
f	Phase Detector Frequency				dc	12.5	kHz
f_{MCUCLK}	Output Clock Frequency (OSC_{in} ÷ 3)	MCUCLK			dc	5.33	MHz

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

Figure 1.

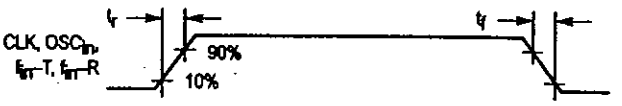


Figure 2.

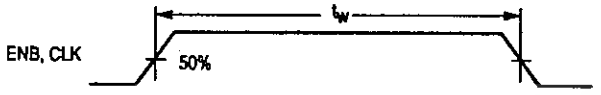


Figure 3.

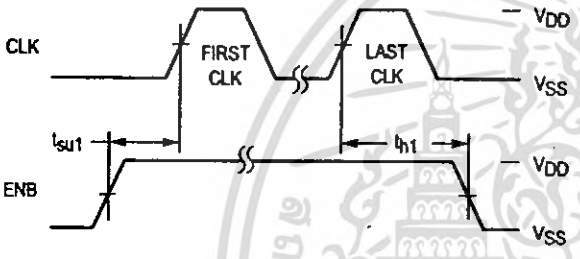


Figure 4. ENB High During Serial Transfer

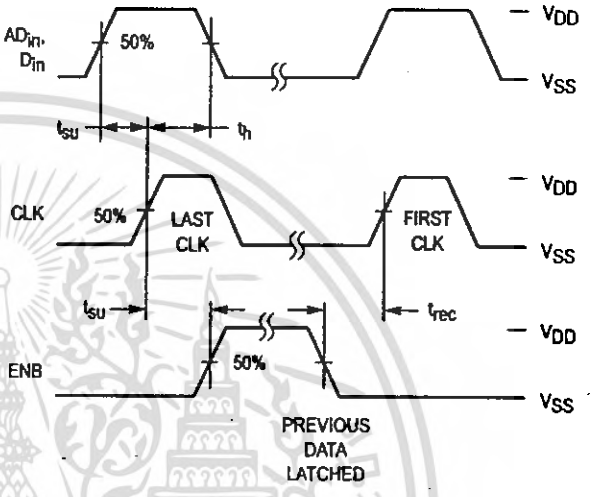


Figure 5. ENB Low During Serial Transfer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUT PINS

OSC_{in} /OSC_{out}
Reference Oscillator Input/Output (Pins 7, 8)

These pins form a reference oscillator when connected to an external parallel–resonant crystal. Figure 6 shows the relationship of different crystal frequencies and reference frequencies for cordless phone applications in various countries. OSC_{in} may also serve as input for an externally generated reference signal which is typically ac coupled.

MCUCLK
System Clock (Pin 5)

This output pin provides a signal of the crystal frequency (OSC_{out}) divided by 3 or 4 that is controlled by a bit in the control register.

This signal can be a clock source for the MCU or other system clocks.

AD_{in}, D_{in}, CLK, ENB
Auxiliary Data In, Data In, Clock, Enable (Pins 2, 3, 1, 4)

These four pins provide an MCU serial interface for programming the reference counter, the transmit–channel counter, and the receive–channel counter. They also provide various controls of the PLL including the power saving mode and the programming format.

TxPS/f_{Tx}, RxPS/f_{Rx}
Transmit Power Save, Receive Power Save (Pins 13, 11)

For a normal application, these output pins provide the status of the internal power saving mode operation. If the transmit–channels counter circuitry is in power down mode, TxPS/f_{Tx} outputs a high state. If the receive–channels counter circuitry is in power down mode, RxPS/f_{Rx} is set high. These outputs can be applied for controlling the external power switch for the transmitter and the receiver to save MCU control pins.

In the Tx/Rx channel counter test mode, the TxPS/f_{Tx} and RxPS/f_{Rx} pins output the divided value of the transmit channel counter (f_{Tx}) and the receive channel counter (f_{Rx}), respectively. This test mode operation is controlled by the control register. Details of the counter test mode are in the **Tx/Rx Channel Counter Test** section of this data sheet.

f_{in}–T/f_{in}–R
Transmit/Receive Counter Inputs (Pins 14, 9)

f_{in}–T and f_{in}–R are inputs to the transmit and the receive counters, respectively. These signals are typically driven from the loop VCO and ac coupled. The minimum input signal level is 200 mV p–p @ 60.0 MHz.

OUTPUT PINS

$TxPD_{out}$/$RxPD_{out}$
Transmit/Receive Phase Detector Outputs (Pins 15, 10)

These are three–state outputs of the transmit and receive phase detectors for use as loop error signals (see Figure 7 for phase detector output waveforms). Phase detector gain is $V_{DD}/4\ \pi$ volts per radian.

Frequency $f_V > f_R$ or f_V leading: output = negative pulse.
Frequency $f_V < f_R$ or f_V lagging: output = positive pulse.
Frequency $f_V = f_R$ and phase coincidence: output = high–impedance state.

NOTE: f_R is the divided–down reference frequency at the phase detector input and f_V is the divided–down VCO frequency at the phase detector input.

$\overline{LD}$
Lock Detect (Pin 16)

The lock detect signal is associated with the transmit loop. The output at a high level indicates an out–of–lock condition (see Figure 7 for the $\overline{LD}$ output waveform).

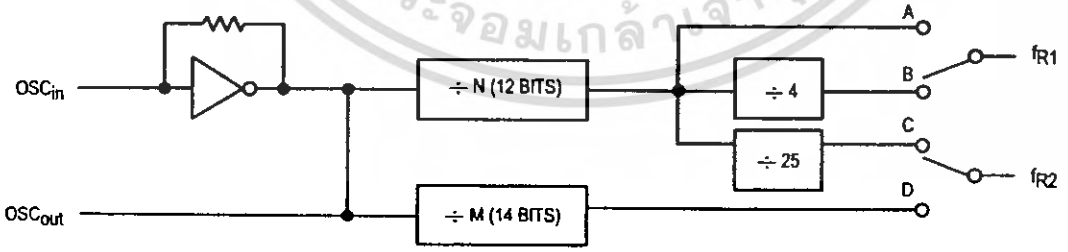
POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 12)

V_{DD} is the most positive power supply potential ranging from 2.5 to 5.5 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 6)

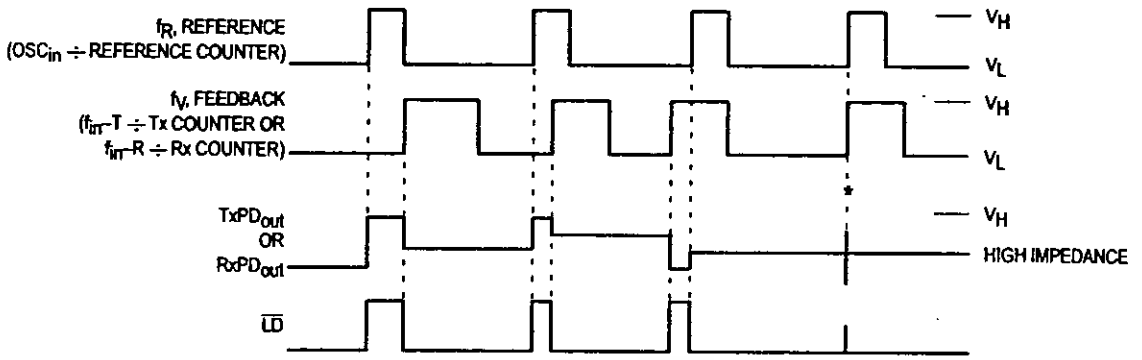
V_{SS} is the most negative supply potential and is usually connected to ground.



Crystal	÷ N Value	$f_{R1 \rightarrow B}$	$f_{R2 \rightarrow C}$
11.150 MHz	446	6.25 kHz	1.0 kHz
11.150 MHz	223	12.5 kHz	
10.240 MHz	512	5.0 kHz	
12.000 MHz	600	5.0 kHz	

Figure 6. Reference Frequencies for Cordless Phone Applications of Various Countries

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V_H = High voltage level.
V_L = Low voltage level.
*At this point, when both f_R and f_V are in phase, the output is forced to near mid supply.

NOTE: The $TxPD_{out}$ and $RxPD_{out}$ generate error pulses during out–of–lock conditions. When locked in phase and frequency, the output is high impedance and the voltage at that pin is determined by the low–pass filter capacitor.

Figure 7. Phase Detector/Lock Detector Output Waveforms

MCU PROGRAMMING SCHEME

The MCU programming scheme is defined in two formats controlled by the ENB input. If the enable signal is high during the serial data transfer, control register/reference frequency programming is selected. If the ENB is low, programming of the transmit and receive counters is selected. During programming of the transmit and receive counters, both AD_{in} and D_{in} pins can input the data to the transmit and receive counters. Both counters' data is clocked into the PLL internal shift register at the leading edge of the CLK signal. It is not necessary to reprogram the reference frequency counter/control register when using the enable signal to program the transmit/receive channels.

In programming the control register/reference frequency scheme, the most significant bit (MSB) of the programming word identifies whether the input data is the control word or the reference frequency data word. If the MSB is 1, the input data is the control word (Figure 8). Also see Figure 8 and Table 1 for control register and bit function. If the MSB is 0, the input data is the reference frequency (Figure 9).

The reference frequency data word is a 32–bit word containing the 12–bit reference frequency data, the 14–bit auxiliary reference frequency counter information, the reference frequency selection plus, the auxiliary reference frequency counter enable bit (Figure 9).

If the AUX REF ENB bit is high, the 14–bit auxiliary reference frequency counter provides an additional phase reference frequency output for the loops. If AUX REF ENB bit is low, the auxiliary reference frequency counter is forced into power–down mode for current saving. (Other power down modes are also provided through the control register per Table 2 and Figure 8.) At the falling edge of the ENB signal, the data is stored in the registers.

There are two interfacing schemes for the universal channel mode: the three–pin and the four–pin interfacing schemes. The three–pin interfacing scheme is suited for use with the MCU SPI (serial peripheral interface) (Figure 10), while the four–pin interfacing scheme is commonly used for general I/O port connection (Figure 11).

For the three–pin interfacing scheme, the auxiliary data select bit is set to 0. All 32 bits of data, which define both the 16–bit transmit counter and the 16–bit receive counter, latch into the PLL internal register through the data in pins at the leading edge of CLK. See Figures 12 and 13.

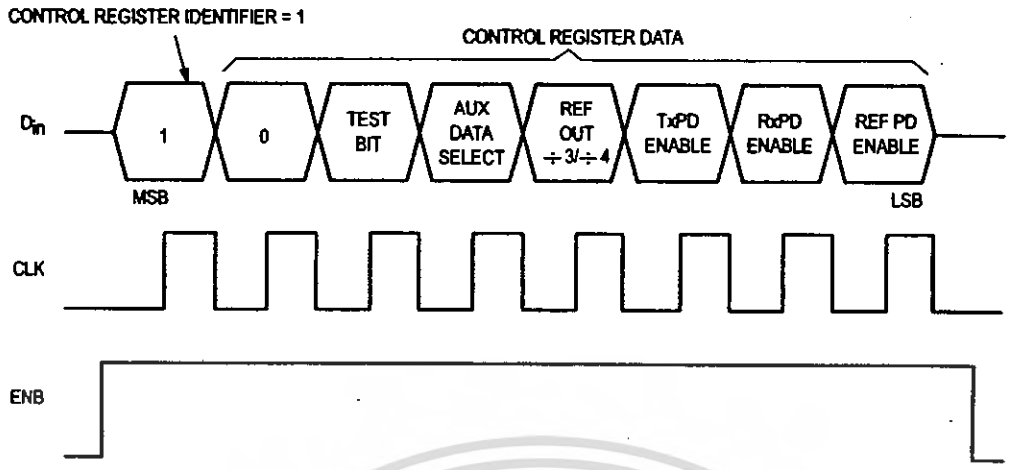
For the four–pin interfacing scheme, the auxiliary data select bit is set to 1. In this scheme, the 16–bit transmit counter's data enters into the AD_{in} pin at the same time as the 16–bit receive counter's data enters into the D_{in} pin. This simultaneous entry of the transmit and receive counters causes the programming period of the four–pin scheme to be half that of the three–pin scheme (see Figures 14 and 15).

While programming Tx/Rx Channel Counter, the ENB pin must be pulsed to provide falling edge to latch the shifted data after the rising edge of the last clock. Maximum data transfer rate is 500 kbps.

NOTE

10 ms should be allowed for initial start–up time for the oscillator to allow all registers to clear and enable programming of new register values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be high during the serial transfer.

Figure 8. Programming Format of the Control Register

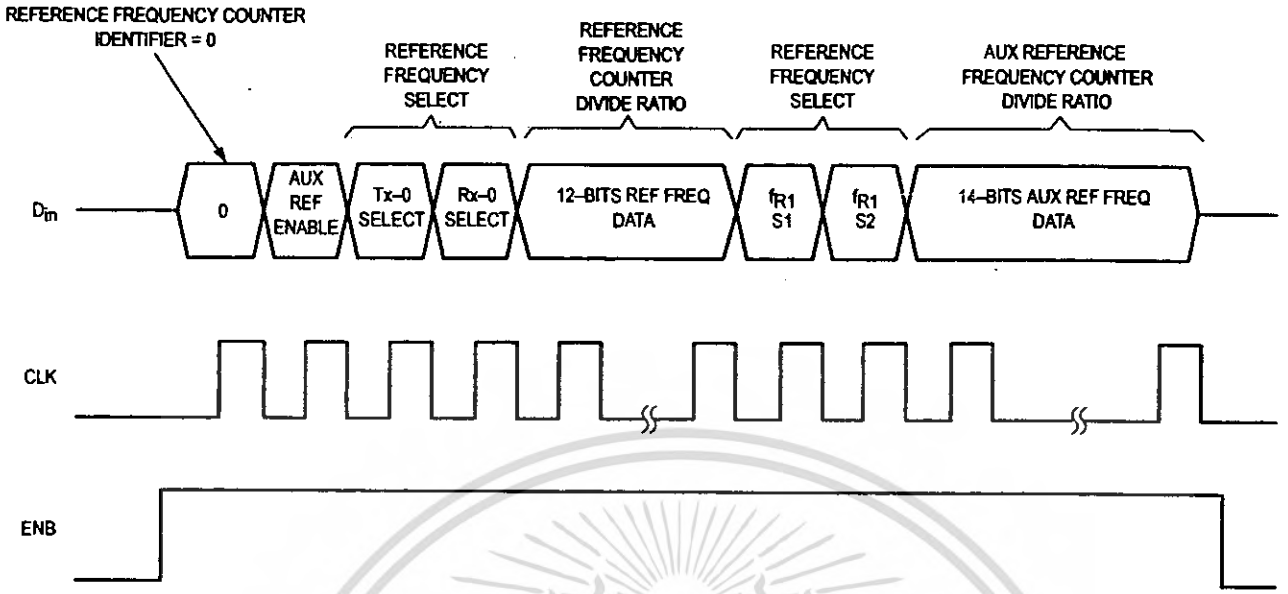
Table 1. Control Register Function Bits Description

Test Bit	Set to 1 for Tx/Rx channel counter test mode Set to 0 for normal application
Aux Data Select	Set to 1 for both AD_{in} and D_{in} pins inputting the transmit 16–bits data and receive 16–bits data respectively. Set to 0 for normal application interfacing with MCU serial peripheral interface. Does not use AD_{in} pin; tie AD_{in} to V_{SS}.
$REF_{out} \div 3/\div 4$	If set to 1, REF_{out} output frequency is equal to $OSC_{out} \div 3$. If set to 0, REF_{out} output is $OSC_{out} \div 4$.
TxPD Enable	If set to 1, the transmit counter, transmit phase detector, and the associated circuitry is in power–down mode. Tx PS/f_{Tx} is set "High".
RxPD Enable	If set to 1, the receive counter, receive phase detector, and the associated circuitry is in power–down mode. Rx PS/f_{Rx} is set "High".
Ref PD Enable	If set to 1, both 12–bit and 14–bit reference frequency counters are in power–down mode.

Table 2. Control Register Power Down Bits Function

TxPD Enable	RxPD Enable	REF PD Enable	Tx–Channel Counter	Rx–Channel Counter	Reference Frequency Counter
0	0	0	—	—	—
0	0	1	—	—	Power Down
0	1	0	—	Power Down	—
0	1	1	—	Power Down	Power Down
1	0	0	Power Down	—	—
1	0	1	Power Down	—	Power Down
1	1	0	Power Down	Power Down	—
1	1	1	Power Down	Power Down	Power Down

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be high during the serial transfer.

Figure 9. Programming Format of the Auxiliary/Reference Frequency Counters

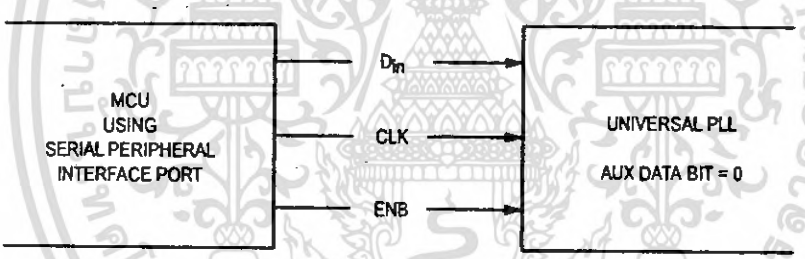


Figure 10. MCU Interface Using SPI

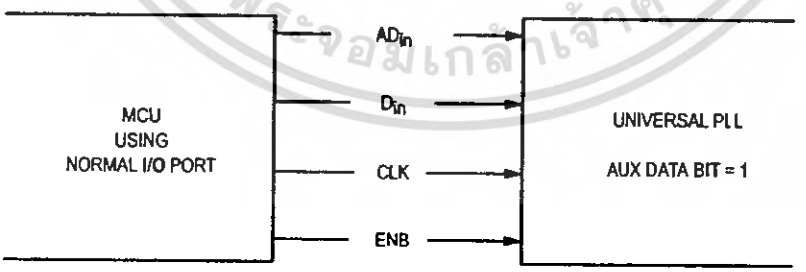
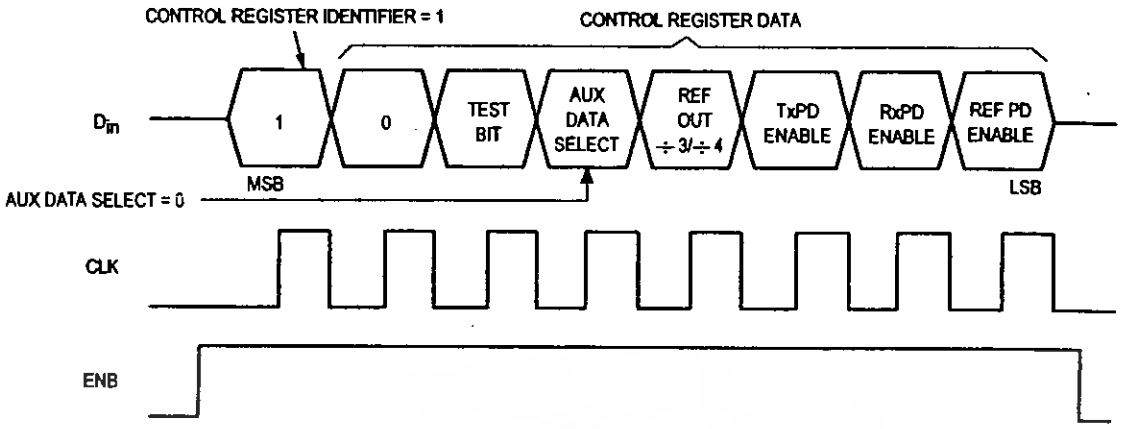


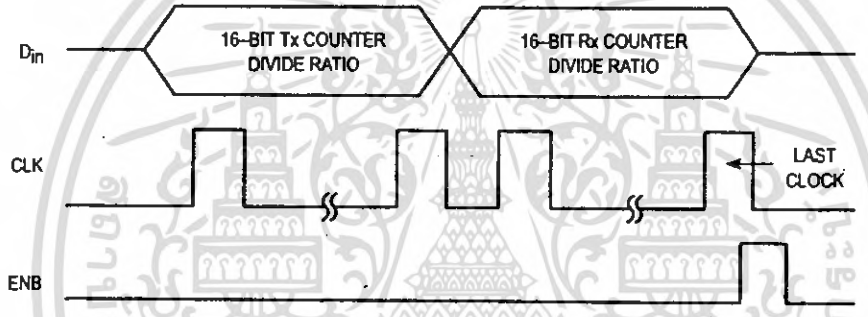
Figure 11. MCU Interface Using Normal I/O Ports with Both D_{in} and AD_{in} for Faster Programming Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



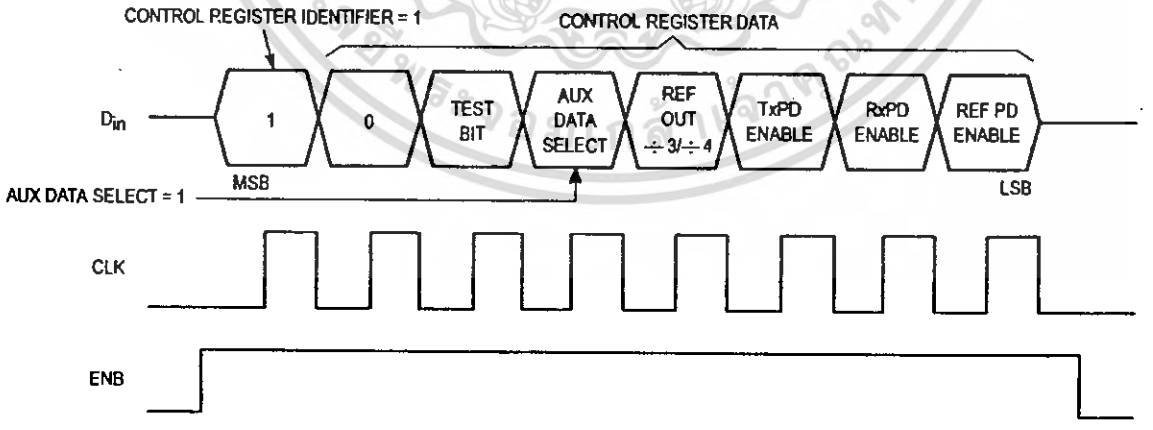
NOTE: ENB must be high during the serial transfer.

Figure 12. Programming Format for Control Register (3–Pin Interfacing Scheme)



NOTE: ENB must be low during the serial transfer.

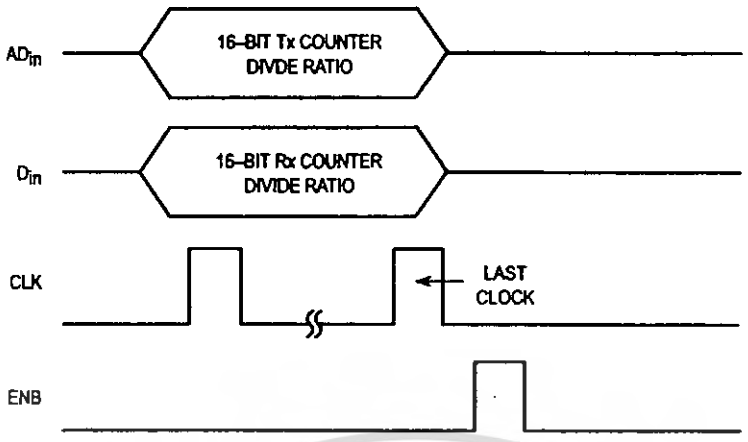
Figure 13. Programming Format for Transmit and Receive Counters (3–Pin Interfacing Scheme)



NOTE: ENB must be high during the serial transfer.

Figure 14. Programming Format for Control Register (4–Pin Interfacing Scheme)

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be low during the serial transfer.

Figure 15. Programming Format for Transmit and Receive Counters (4–Pin Interfacing Scheme)

Table 3. Global CT–1 Reference Frequency Setting vs Channel Frequencies

Country	Channels Frequency	f_{R1}	f_{R2}
U.S.A.	46/49 MHz (10, 15, 25 Channels)	5.0 kHz	—
France	26/41 MHz	6.25 kHz/12.5 kHz	—
Spain	31/41 MHz	5.0 kHz	—
Australia	30/39 MHz	5.0 kHz	—
U.K.	1.7/47 MHz	6.25 kHz	1.0 kHz
New Zealand	1.7/34/40 MHz	6.25 kHz	1.0 kHz

REFERENCE FREQUENCY SELECTION AND PROGRAMMING

Figure 16 shows the bit function of the reference frequency programming word. The user can either select the "fixed" reference frequency for all channels accordingly or provide a specific reference frequency for a particular channel by using two reference frequency counters (e.g., for an application in France, the base set transmit channel common fixed reference frequency is 6.25 kHz or 12.5 kHz). (See Table 3 and Figure 6 for reference frequencies for various countries.) However, transmit channels 6, 8, and 14 can be set to 25 kHz, and channel 8 reference frequency can be set to 50 kHz. But this reference frequency may not be applied to the receiving side; therefore, the receiving side reference frequency must be generated by another reference frequency counter. The higher the reference frequency, the better the phase noise performance and faster the lock time, but the PLL consumes more current if both reference frequency counters are in operation.

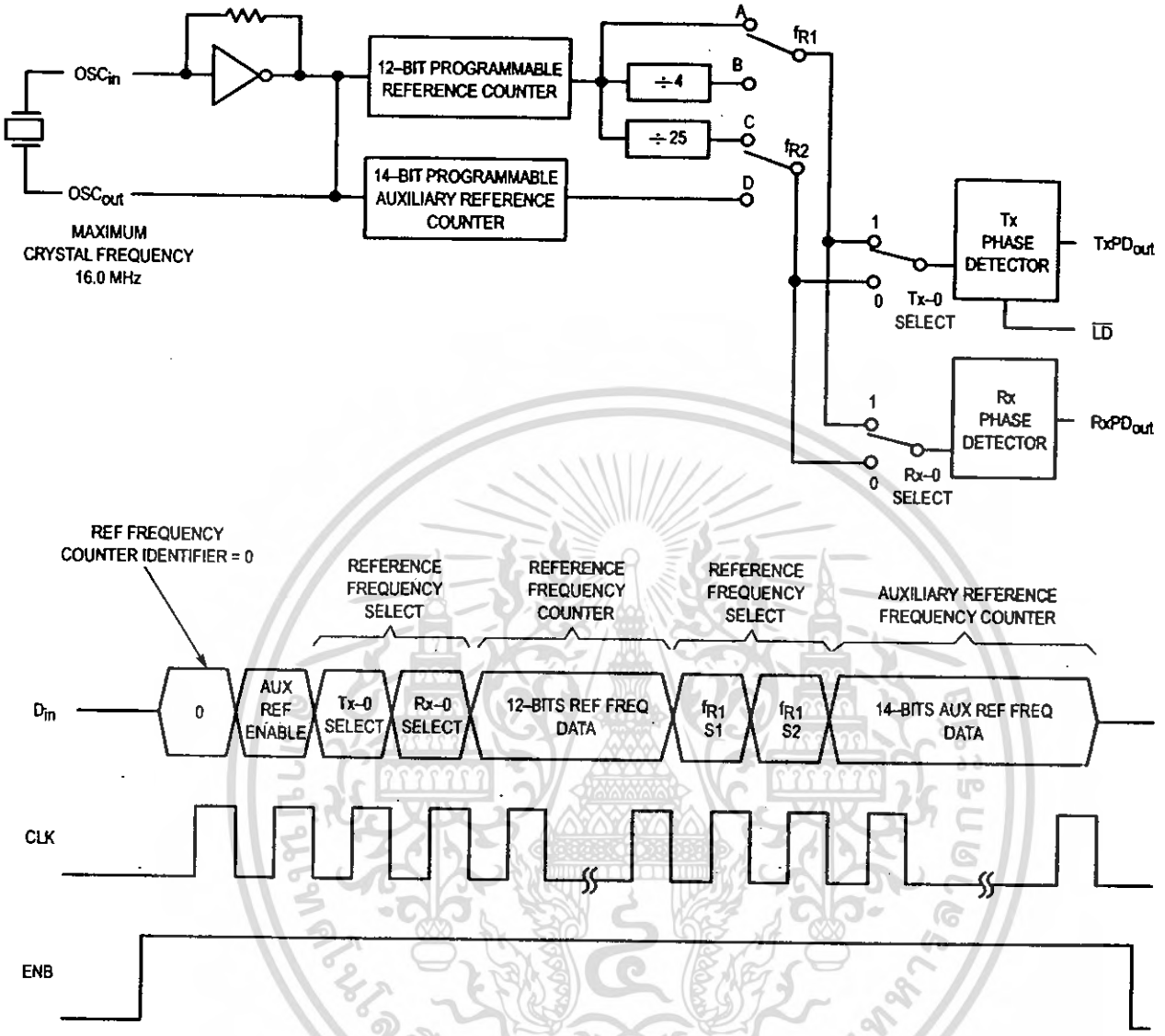
In general, the 12–bit reference frequency counter plus the ÷ 4 and ÷ 25 module can offer all the reference frequencies for global CT–1 transmit and receive channel requirements. Users can select their own reference frequency by introducing the additional 14–bit auxiliary reference frequency counter.

Again, the 14–bit auxiliary reference frequency counter can be shut down by the auxiliary reference enable bit in the reference counter programming word by setting the bit to 0. At this state, the f_{R2} is automatically connected to point C (the ÷ 25 block output), and f_{R1} can be connected to point A or B by setting the f_{R1}–S1 and f_{R1}–S2 bits in the reference counter program word. The 14–bit auxiliary reference frequency counter data will be in "Don't Care" state.

If the 14–bit auxiliary reference frequency counter is enabled (auxiliary reference enable = 1), then f_{R2} is automatically connected to point D (14–bit counter output), and f_{R1} can be selected to connect to point A, B, or C, depending on the bit setting of f_{R1}–S1 and f_{R1}–S2.

Table 4 and Figure 16 describe the functions of the auxiliary reference enable bit and the f_{R1}–S1 and f_{R1}–S2 bits selection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be high during the serial transfer.

Figure 16. Reference Frequency Counter/Selection Programming Mode

Table 4. Bit Function and the Reference Frequency Selection Bit Setting of the Reference Frequency Counter Programming Word

AUX REF Enable	Auxiliary Reference Frequency Counter Mode	Module Select	f_{R1} S1	f_{R1} S2	f_{R1} Routing
0	14–Bit Auxiliary Reference Frequency Counter Disable	$f_{R2} \rightarrow C$	0	0	N/A
			0	1	$f_{R1} \rightarrow A$
			1	0	$f_{R1} \rightarrow B$
			1	1	N/A
1	14–Bit Auxiliary Reference Frequency Counter Enable	$f_{R2} \rightarrow D$	0	0	N/A
			0	1	$f_{R1} \rightarrow A$
			1	0	$f_{R1} \rightarrow B$
			1	1	$f_{R1} \rightarrow C$

N/A = Not Applicable

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POWER SAVING OPERATION

This PLL has a programmable power–saving scheme. The transmit and receive counters and the reference frequency counter can be powered down individually by setting the TxPD enable, RxPD enable, and Ref PD enable bits of the control register. The functions of the power down control bits are explained in Table 2 and the programming format is in Figure 8.

The output pins TxPS/f_{Tx} and RxPS/f_{Rx} output the status of the internal power saving setting. If the bit TxPD enable is set "high" (transmit counter is set to power–down mode), then the TxPS/f_{Tx} pin will also output a "high" state. This TxPS/f_{Tx} output can control an external power switch to switch off the transmitter, as shown in Figure 17. This scheme can be applied to the RxPS/f_{Rx} output to control the receiver power saving operation as required.

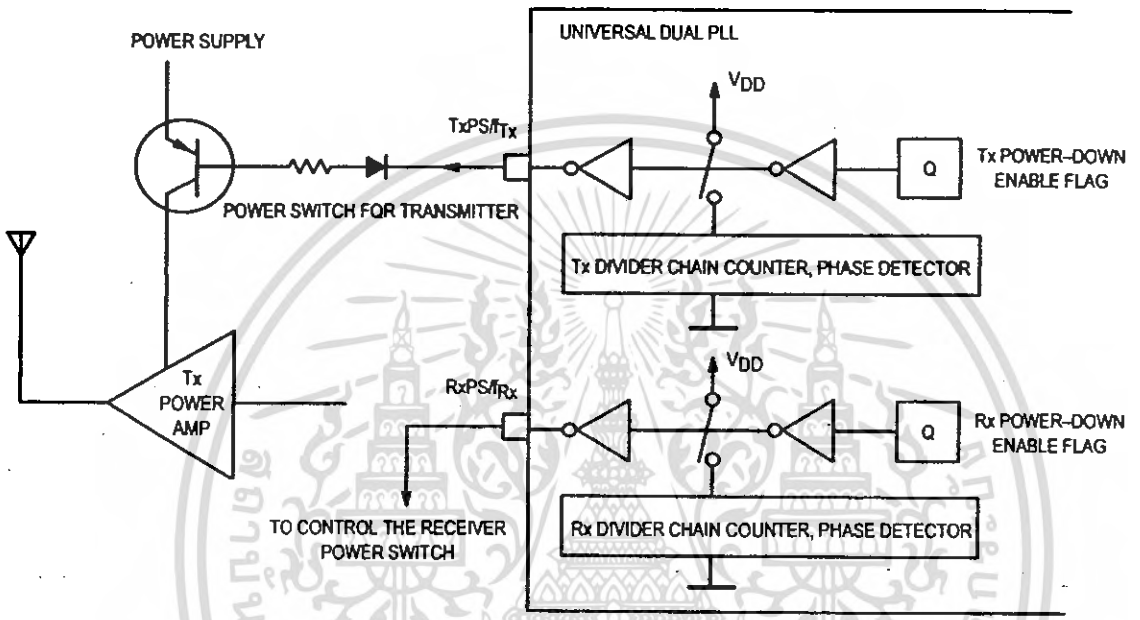


Figure 17. TxPS/f_{Tx} and RxPS/f_{Rx} Outputs to Control Power Switches of the Transmitter and the Receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tx/Rx CHANNEL COUNTER TEST

In normal applications, the TxPS/f_{Tx} and the RxPS/f_{Rx} output pins indicate the power saving mode status. However, the user can examine the Tx and Rx channel counter outputs by setting the Test bit in the control register to 1. The final value of the transmit–channel counter and the receive–channel counter multiplex out to TxPS/f_{Tx} and RxPS/f_{Rx} respectively. The user can verify the divided–down output waveform associated with the RF input level in the PLL circuitry implementation (Figure 18).

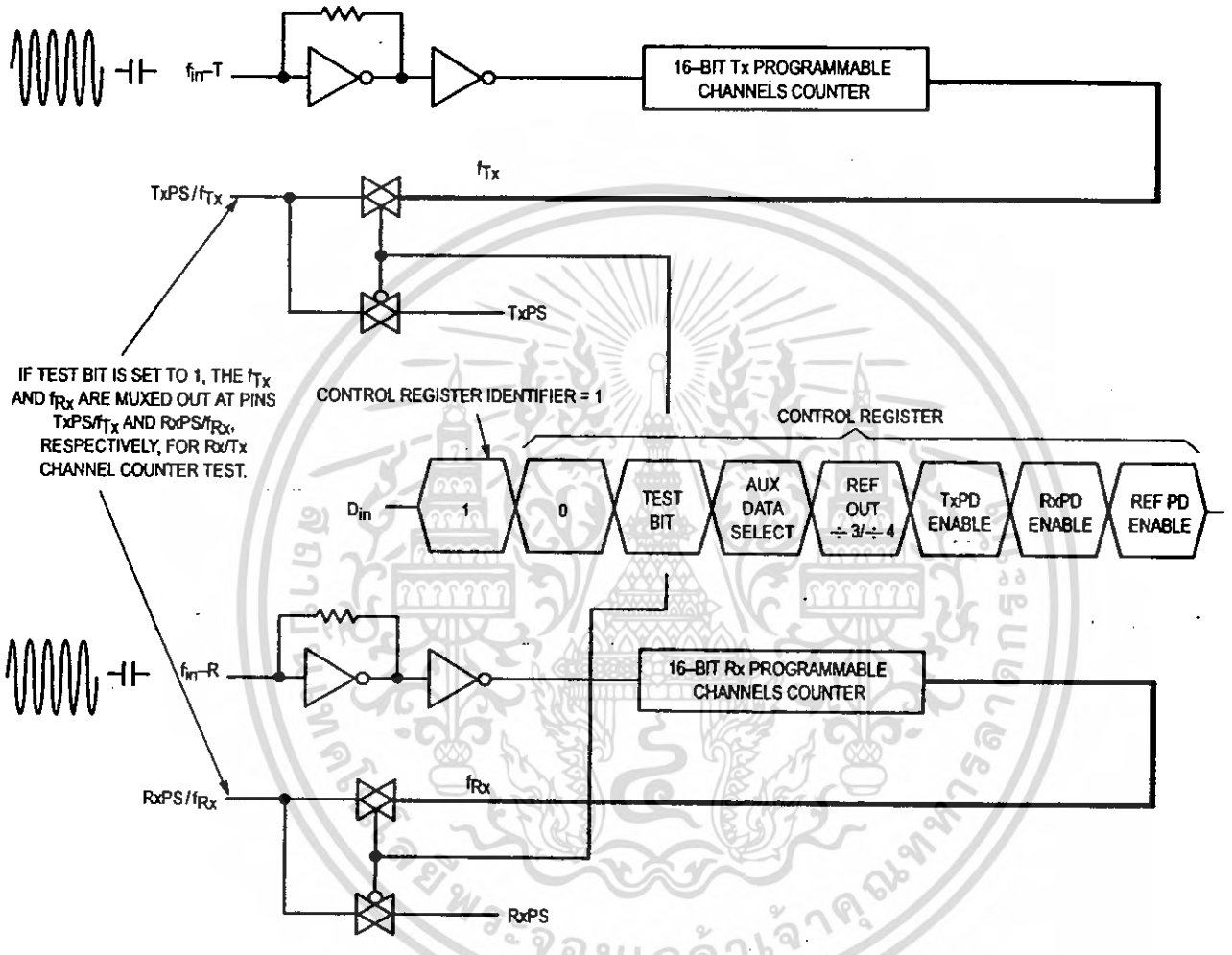
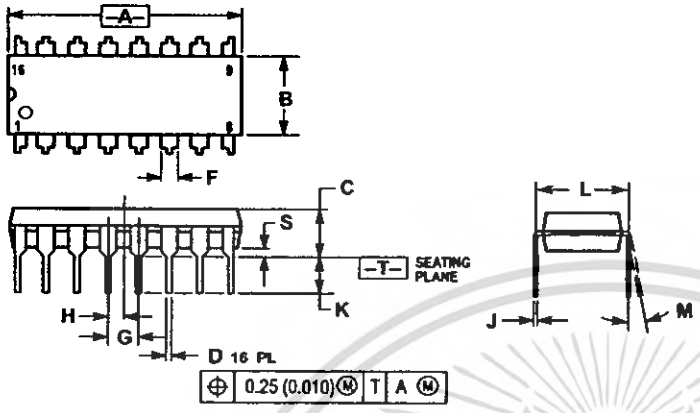


Figure 18. RF Buffer Sensitivity

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

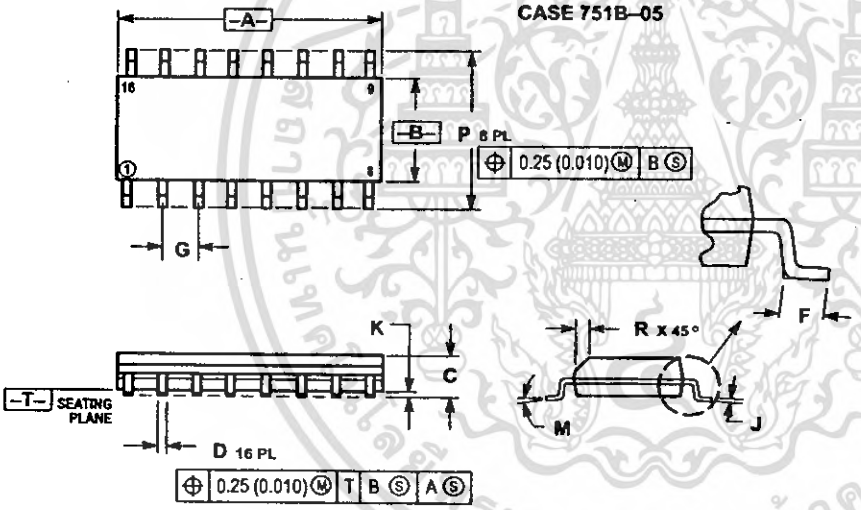
P SUFFIX
PLASTIC DIP
CASE 648–08



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	18.16	19.56	0.715	0.770
B	6.10	6.60	0.240	0.260
C	3.94	4.45	0.155	0.175
D	0.38	0.53	0.015	0.021
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	1.65	2.16	0.065	0.085
J	0.20	0.38	0.008	0.015
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	0°	10°	0°	10°
S	0.51	1.01	0.020	0.040

D SUFFIX
SOG PACKAGE
CASE 751B–05



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	9.80	10.00	0.386	0.393
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 5405, Denver, Colorado, 80217. 1-303-675-2140 or 1-800-441-2447

Mfax™: RMFAX0@email.sps.mot.com – TOUCHTONE 1-602-244-6609
Motorola Fax Back System – US & Canada ONLY 1-800-774-1848
– http://sps.motorola.com/mfax/

HOME PAGE: http://motorola.com/sps/

JAPAN: Nippon Motorola Ltd.; SPD, Strategic Planning Office; 4-32-1, Nishi-Gotanda; Shinagawa-ku, Tokyo 141, Japan. 81-3-5487-8488

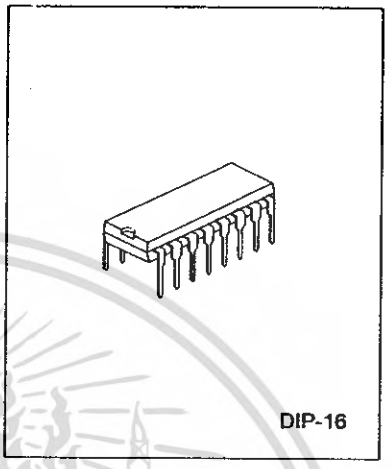
ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298

CUSTOMER FOCUS CENTER: 1-800-521-6274

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UTC TA7640AP LINEAR INTEGRATED CIRCUIT

AM/FM IF PROCESSOR



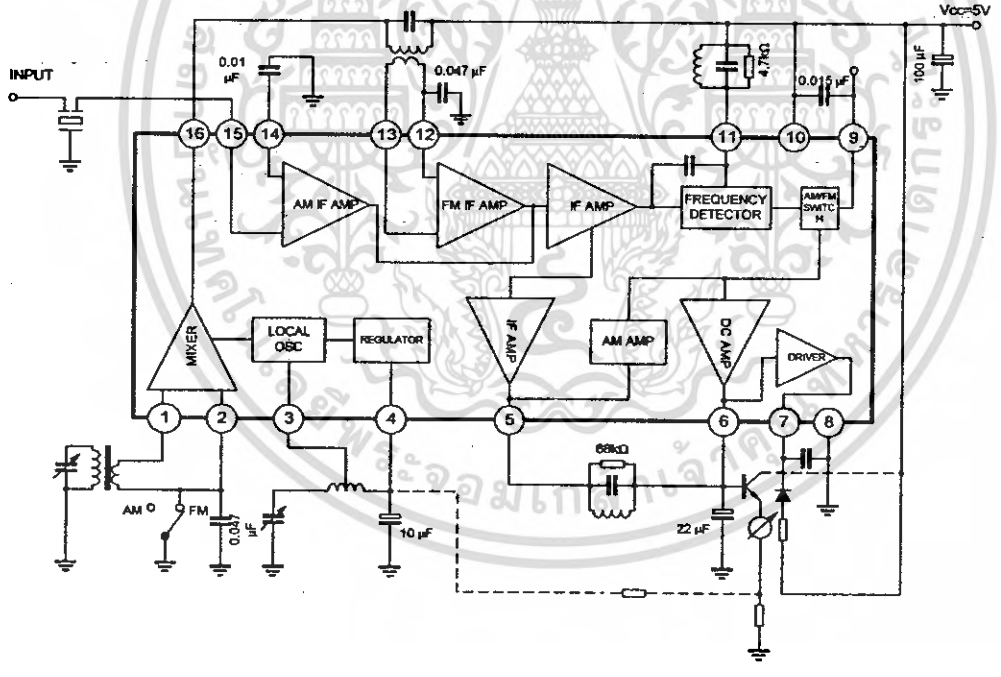
DESCRIPTION

The UTC TA7640AP Is A Monolithic Integrated Circuit Designed For The Radios Cassette Tape Recorder.

FEATURES

*Low Operating Current
*Low External Component
*Internal AM/FM Switch
*Wide Operating Voltage : Vcc=3.8V

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS(Ta=25°C)

PARAMETER	SYMBOL	VALUE	UNIT
Voltage	VCC	8	V
Led Driving Current	ILAMP	10	mA
Power Dissipation	PD	750	mW
Operating Temperature	TOPR	-25 ~+75	°C
Storage Temperature	TSTG	-55~+150	°C

NOTE :Ta>25°C,6mw/°C

DC ELECTRICAL CHARACTERISTICS(VCC=5V)

PARAMETER	SYMBOL	TYP		UNIT
		AM	FM	
Pin 1 AM Mixer Input	V1	1.5	0	V
Pin 2 AM Mixer Bypass	V2	1.5	0	V
Pin 3 AM Local OSC	V3	2.3	2.3	V
Pin 4 Voltage Regulator	V4	2.3	2.3	V
Pin 5 AM IF Out	V5	1	0.9	V
Pin 6 Level Meter Out	V6	1	0.9	V
Pin 7 Led Driver Output	V7			V
Pin 8 GND	V8	0	0	V
Pin 9 Dectector	V9	1.4	1.5	V
Pin 10 Vcc	V10	5	5	V
Pin 11 FM Decter Out	V11	5	5	V
Pin 12 AM IF Bypass	V12	1.5	1.5	V
Pin 13 AM IF Input	V13	1.5	1.5	V
Pin 14 AM IFBypass	V14	1.5	1.5	V
Pin 15 FM IF Input	V15	1.5	1.5	V
Pin 16 AM Mixer Output	V16	5	5	V

AC ELECTRICAL CHARACTERISTICS(Ta=25°C,Vcc=5V,FM;f=10.7MHz, Δf=22.5KHz, FM=400Hz AM; f=1MHz, Mod=30%,FM=400Hz)

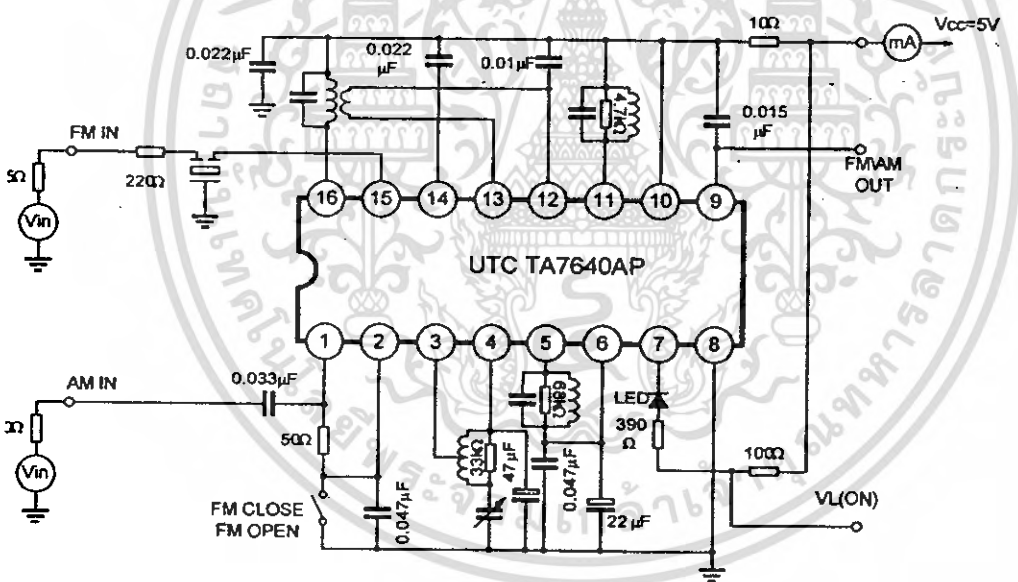
PARAMETER	SYMBOL	CHART	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Supply Current	ICC(1)	1	FM VIN=0		10	15	mA
	ICC(2)		AM VIN=0		7	10	
FM							
Input Limiting Voltage	VIN(lim)	1	-3dB		40	46	dBμ
Detector Output	VOD	1	VIN=66dBμ	57	85	114	mVrms
Signal Noise Ratio	S/N	1	VIN=80dBμ		65		dB
Total Harmonic Distortion	THD	1	VIN=80dBμ		0.05		%
Am Rejection	AMR	1	VIN=80dBμ		38		dBμ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UTC TA7640AP LINEAR INTEGRATED CIRCUIT

PARAMETER	SYMBOL	CHART	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Leverl Meter Driving Voltage	VM	1	VIN=100dBμ	1.6	1.75	1.9	V
Led Driving Sensitivity	VL	1	IL=1mA		46	52	dB
AM							
Gain	GV	1	VIN=26dBμ	20	30	60	mVrms
Detector Output Voltage	VOD	1	VIN=60dBμ	65	95	125	mVrms
Signal To Noise Ratio	S/N	1	VIN=60dBμ		47		dB
Total Harmonic Distortion	THD	1	VIN=60dBμ		1		%
Signal Meter Output	VM	1	VIN=100dBμ	1.6	1.75	1.9	V
Level Meter Driving Voltage	VL	1	IL=1mA		32		dBμ
Oscillation Stop Voltage	Vstop	1	RDUMP=∝		1.5		V
Pin 5 Output Impedance	R09		f=1KHZ		3		KΩ

TEST CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 2K Bytes of Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- 2.7V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Two-Level Program Memory Lock
- 128 x 8-Bit Internal RAM
- 15 Programmable I/O Lines
- Two 16-Bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial UART Channel
- Direct LED Drive Outputs
- On-Chip Analog Comparator
- Low Power Idle and Power Down Modes

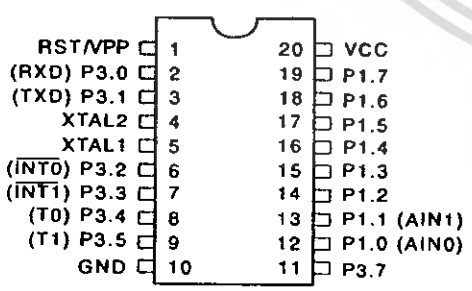
Description

The AT89C2051 is a low-voltage, high-performance CMOS 8-bit microcomputer with 2K Bytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high density nonvolatile memory technology and is compatible with the industry standard MCS-51™ instruction set. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C2051 is a powerful microcomputer which provides a highly flexible and cost effective solution to many embedded control applications.

The AT89C2051 provides the following standard features: 2K Bytes of Flash, 128 bytes of RAM, 15 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, a precision analog comparator, on-chip oscillator and clock circuitry. In addition, the AT89C2051 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power Down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Configuration

PDIP/SOIC



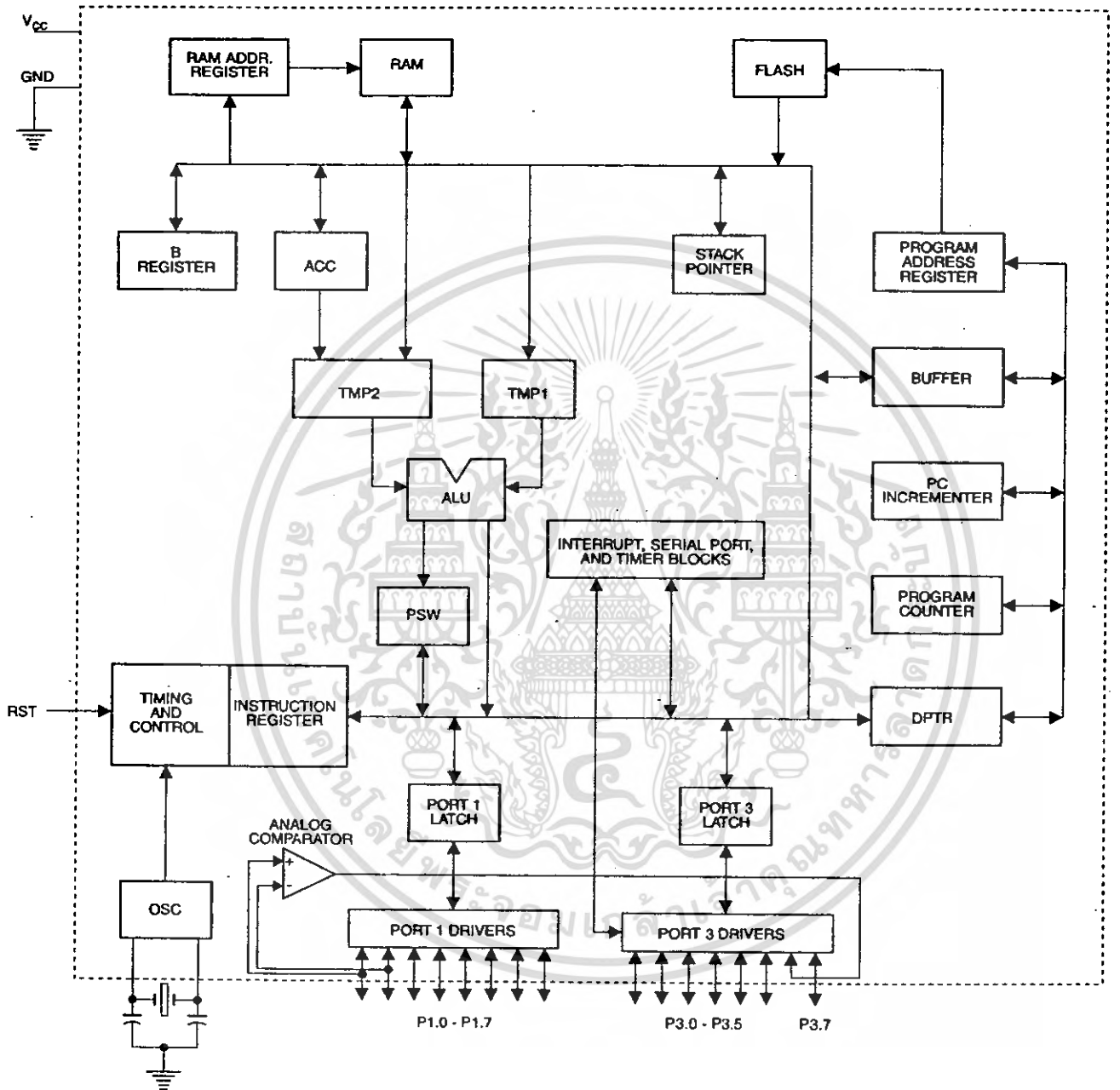
8-Bit Microcontroller with 2K Bytes Flash

AT89C2051

0368D-8-12/97

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Description

V_{CC}
Supply voltage.

GND
Ground.

Port 1
Port 1 is an 8-bit bidirectional I/O port. Port pins P1.2 to P1.7 provide internal pullups. P1.0 and P1.1 require external pullups. P1.0 and P1.1 also serve as the positive input (AIN0) and the negative input (AIN1), respectively, of the on-chip precision analog comparator. The Port 1 output buffers can sink 20 mA and can drive LED displays directly. When 1s are written to Port 1 pins, they can be used as inputs. When pins P1.2 to P1.7 are used as inputs and are externally pulled low, they will source current (I_{IL}) because of the internal pullups.

Port 1 also receives code data during Flash programming and verification.

Port 3
Port 3 pins P3.0 to P3.5, P3.7 are seven bidirectional I/O pins with internal pullups. P3.6 is hard-wired as an input to the output of the on-chip comparator and is not accessible as a general purpose I/O pin. The Port 3 output buffers can sink 20 mA. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C2051 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)

Port 3 also receives some control signals for Flash programming and verification.

RST
Reset input. All I/O pins are reset to 1s as soon as RST goes high. Holding the RST pin high for two machine cycles while the oscillator is running resets the device.

Each machine cycle takes 12 oscillator or clock cycles.

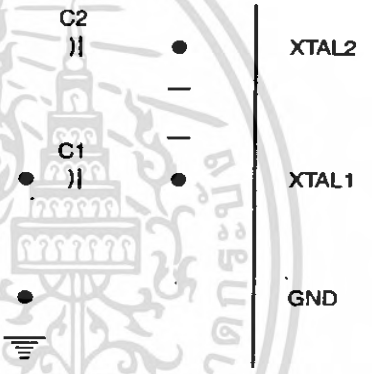
XTAL1
Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2
Output from the inverting oscillator amplifier.

Oscillator Characteristics

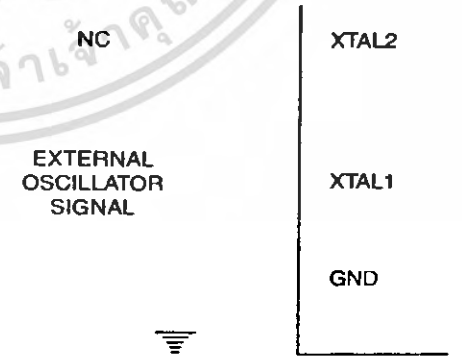
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Figure 1. Oscillator Connections



Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 2. External Clock Drive Configuration



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in the table below.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Table 1. AT89C2051 SFR Map and Reset Values

0F8H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000							0D7H
0C8H								0CFH
0C0H								0C7H
0B8H	IP XXX00000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 0XX00000							0AFH
0A0H								0A7H
98H	SCON 00000000	SBUF XXXXXXXX						9FH
90H	P1 11111111							97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000		8FH
80H		SP 00000111	DPL 00000000	DPH 00000000			PCON 0XXX0000	87H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Restrictions on Certain Instructions

The AT89C2051 and is an economical and cost-effective member of Atmel's growing family of microcontrollers. It contains 2K bytes of flash program memory. It is fully compatible with the MCS-51 architecture, and can be programmed using the MCS-51 instruction set. However, there are a few considerations one must keep in mind when utilizing certain instructions to program this device.

All the instructions related to jumping or branching should be restricted such that the destination address falls within the physical program memory space of the device, which is 2K for the AT89C2051. This should be the responsibility of the software programmer. For example, LJMP 7E0H would be a valid instruction for the AT89C2051 (with 2K of memory), whereas LJMP 900H would not.

. **Branching instructions:**
.CALL, LJMP, ACALL, AJMP, SJMP, JMP @A+DPTR

These unconditional branching instructions will execute correctly as long as the programmer keeps in mind that the destination branching address must fall within the physical boundaries of the program memory size (locations 00H to FFH for the 89C2051). Violating the physical space limits may cause unknown program behavior.

:JNE [...], DJNZ [...], JB, JNB, JC, JNC, JBC, JZ, JNZ With these conditional branching instructions the same rule above applies. Again, violating the memory boundaries may cause erratic execution.

or applications involving interrupts the normal interrupt ervice routine address locations of the 80C51 family architecture have been preserved.

. **MOVX-related instructions, Data Memory:**
he AT89C2051 contains 128 bytes of internal data memry. Thus, in the AT89C2051 the stack depth is limited to 28 bytes, the amount of available RAM. External DATA emory access is not supported in this device, nor is exteral PROGRAM memory execution. Therefore, no MOVX .] instructions should be included in the program.

typical 80C51 assembler will still assemble instructions, ven if they are written in violation of the restrictions menoned above. It is the responsibility of the controller user to now the physical features and limitations of the device eing used and adjust the instructions used correspondgly.

Program Memory Lock Bits

On the chip are two lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below:

Lock Bit Protection Modes[1]

Program Lock Bits			
	LB1	LB2	Protection Type
1	U	U	No program lock features.
2	P	U	Further programming of the Flash is disabled.
3	P	P	Same as mode 2, also verify is disabled.

Note: 1. The Lock Bits can only be erased with the Chip Erase operation.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

P1.0 and P1.1 should be set to '0' if no external pullups are used, or set to '1' if external pullups are used.

It should be noted that when idle is terminated by a hardware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Power Down Mode

In the power down mode the oscillator is stopped, and the instruction that invokes power down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power down mode is terminated. The only exit from power down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

P1.0 and P1.1 should be set to '0' if no external pullups are used, or set to '1' if external pullups are used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming The Flash

The AT89C2051 is shipped with the 2K bytes of on-chip PEROM code memory array in the erased state (i.e., contents = FFH) and ready to be programmed. The code memory array is programmed one byte at a time. *Once the array is programmed, to re-program any non-blank byte, the entire memory array needs to be erased electrically.*

Internal Address Counter: The AT89C2051 contains an internal PEROM address counter which is always reset to 000H on the rising edge of RST and is advanced by applying a positive going pulse to pin XTAL1.

Programming Algorithm: To program the AT89C2051, the following sequence is recommended.

1. Power-up sequence:
   Apply power between V_{CC} and GND pins
   Set RST and XTAL1 to GND
2. Set pin RST to 'H'
   Set pin P3.2 to 'H'
3. Apply the appropriate combination of 'H' or 'L' logic levels to pins P3.3, P3.4, P3.5, P3.7 to select one of the programming operations shown in the PEROM Programming Modes table.

To Program and Verify the Array:

4. Apply data for Code byte at location 000H to P1.0 to P1.7.
5. Raise RST to 12V to enable programming.
6. Pulse P3.2 once to program a byte in the PEROM array or the lock bits. The byte-write cycle is self-timed and typically takes 1.2 ms.
7. To verify the programmed data, lower RST from 12V to logic 'H' level and set pins P3.3 to P3.7 to the appropiate levels. Output data can be read at the port P1 pins.
8. To program a byte at the next address location, pulse XTAL1 pin once to advance the internal address counter. Apply new data to the port P1 pins.

   Repeat steps 5 through 8, changing data and advancing the address counter for the entire 2K bytes array or until the end of the object file is reached.

9. Power-off sequence:
   set XTAL1 to 'L'
   set RST to 'L'
   Turn V_{CC} power off

Data Polling: The AT89C2051 features Data Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written data on P1.7. Once the write cycle has been completed, true data is valid on all outputs, and the next cycle may begin. Data Polling may begin any time after a write cycle has been initiated.

Ready/Busy: The Progress of byte programming can also be monitored by the RDY/BSY output signal. Pin P3.1 is pulled low after P3.2 goes High during programming to indicate BUSY. P3.1 is pulled High again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed code data can be read back via the data lines for verification:

1. Reset the internal address counter to 000H by bringing RST from 'L' to 'H'.
2. Apply the appropriate control signals for Read Code data and read the output data at the port P1 pins.
3. Pulse pin XTAL1 once to advance the internal address counter.
4. Read the next code data byte at the port P1 pins.
5. Repeat steps 3 and 4 until the entire array is read.

The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire PEROM array (2K bytes) and the two Lock Bits are erased electrically by using the proper combination of control signals and by holding P3.2 low for 10 ms. The code array is written with all "1"s in the Chip Erase operation and must be executed before any non-blank memory byte can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 000H, 001H, and 002H, except that P3.5 and P3.7 must be pulled to a logic low. The values returned are as follows.

(000H) = 1EH indicates manufactured by Atmel
(001H) = 21H indicates 89C2051

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming Modes

Mode		RST/VPP	P3.2/PROG	P3.3	P3.4	P3.5	P3.7
Write Code Data(1)(3)		12V		L	H	H	H
Read Code Data(1)		H	H	L	L	H	H
Write Lock	Bit - 1	12V		H	H	H	H
	Bit - 2	12V		H	H	L	L
Chip Erase		12V	(2)	H	L	L	L
Read Signature Byte		H	H	L	L	L	L

Notes:
1. The internal PEROM address counter is reset to 000H on the rising edge of RST and is advanced by a positive pulse at XTAL 1 pin.
2. Chip Erase requires a 10-ms PROG pulse.
3. P3.1 is pulled Low during programming to indicate RDY/BSY.

Figure 3. Programming the Flash Memory

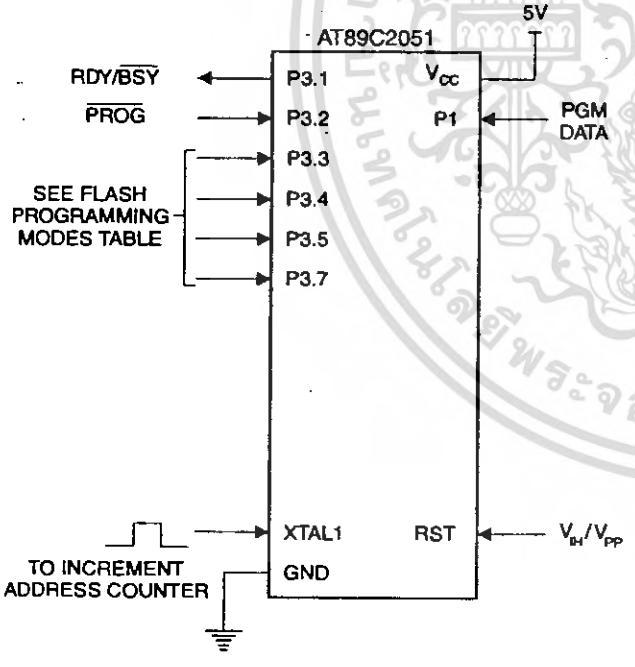
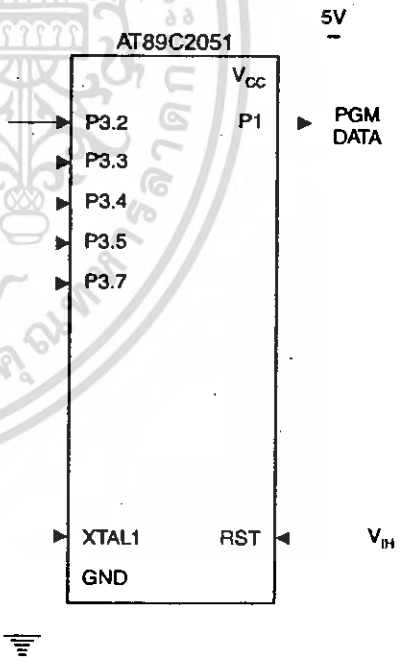


Figure 4. Verifying the Flash Memory



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

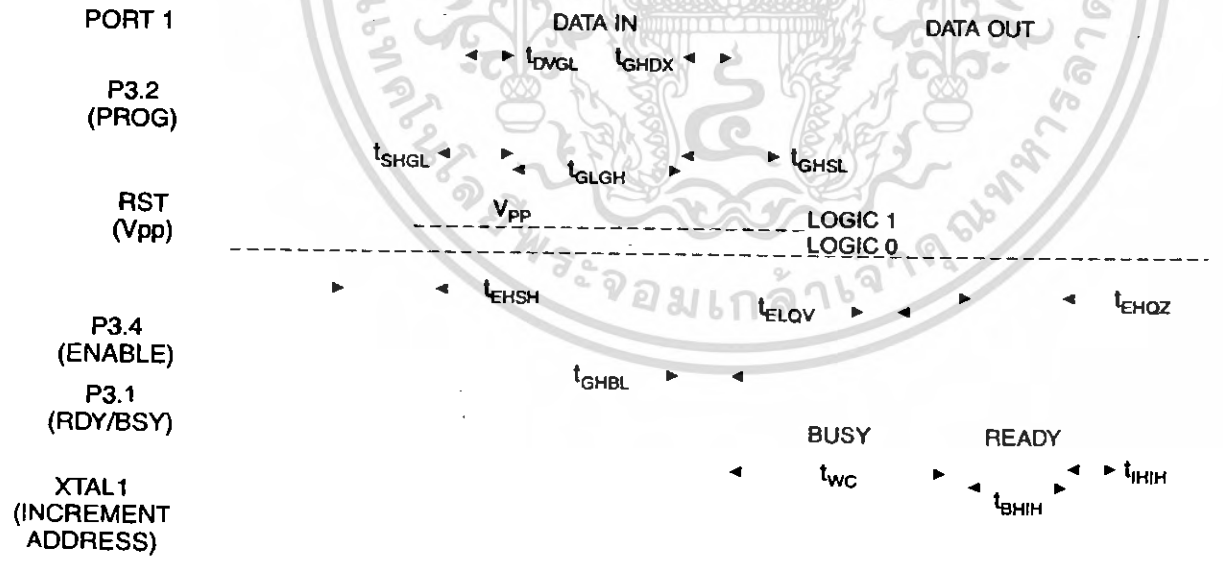
Flash Programming and Verification Characteristics

T_A = 0°C to 70°C, V_{CC} = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
V_{PP}	Programming Enable Voltage	11.5	12.5	V
I_{PP}	Programming Enable Current		250	µA
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	1.0		µs
t_{GHDX}	Data Hold After $\overline{PROG}$	1.0		µs
t_{EHSH}	P3.4 ($\overline{ENABLE}$) High to V_{PP}	1.0		µs
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}	V_{PP} Hold After $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		1.0	µs
t_{EHQZ}	Data Float After $\overline{ENABLE}$	0	1.0	µs
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		50	ns
t_{WC}	Byte Write Cycle Time		2.0	ms
t_{BHIH}	RDY/$\overline{BSY}$ to Increment Clock Delay	1.0		µs
t_{IHIL}	Increment Clock High	200		ns

Note: 1. Only used in 12-volt programming mode.

Flash Programming and Verification Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	25.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

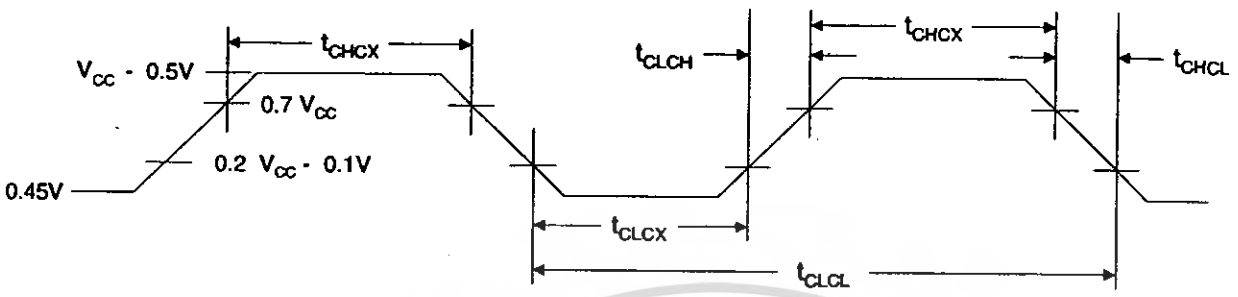
T_A = -40°C to 85°C, V_{CC} = 2.0V to 6.0V (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low Voltage		-0.5	0.2 V_{CC} - 0.1	V
V_{IH}	Input High Voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
V_{IH1}	Input High Voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low Voltage[1] (Ports 1, 3)	I_{OL} = 20 mA, V_{CC} = 5V I_{OL} = 10 mA, V_{CC} = 2.7V		0.5	V
V_{OH}	Output High Voltage (Ports 1, 3)	I_{OH} = -80 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -30 µA	0.75 V_{CC}		V
		I_{OH} = -12 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1, 3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1, 3)	V_{IN} = 2V, V_{CC} = 5V ± 10%		-750	µA
I_{LI}	Input Leakage Current (Port P1.0, P1.1)	0 < V_{IN} < V_{CC}		±10	µA
V_{OS}	Comparator Input Offset Voltage	V_{CC} = 5V		20	mV
V_{CM}	Comparator Input Common Mode Voltage		0	V_{CC}	V
RRST	Reset Pulldown Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz, V_{CC} = 6V/3V		15/5.5	mA
		Idle Mode, 12 MHz, V_{CC} = 6V/3V P1.0 & P1.1 = 0V or V_{CC}		5/1	mA
	Power Down Mode[2]	V_{CC} = 6V P1.0 & P1.1 = 0V or V_{CC}		100	µA
		V_{CC} = 3V P1.0 & P1.1 = 0V or V_{CC}		20	µA

Notes:
1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
   Maximum I_{OL} per port pin: 20 mA
   Maximum total I_{OL} for all output pins: 80 mA
   If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power Down is 2V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	V_{CC} = 2.7V to 6.0V		V_{CC} = 4.0V to 6.0V		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency	0	12	0	24	MHz
t_{CLCL}	Clock Period	83.3		41.6		ns
t_{CHCX}	High Time	30		15		ns
t_{CLCX}	Low Time	30		15		ns
t_{CLCH}	Rise Time		20		20	ns
t_{CHCL}	Fall Time		20		20	ns

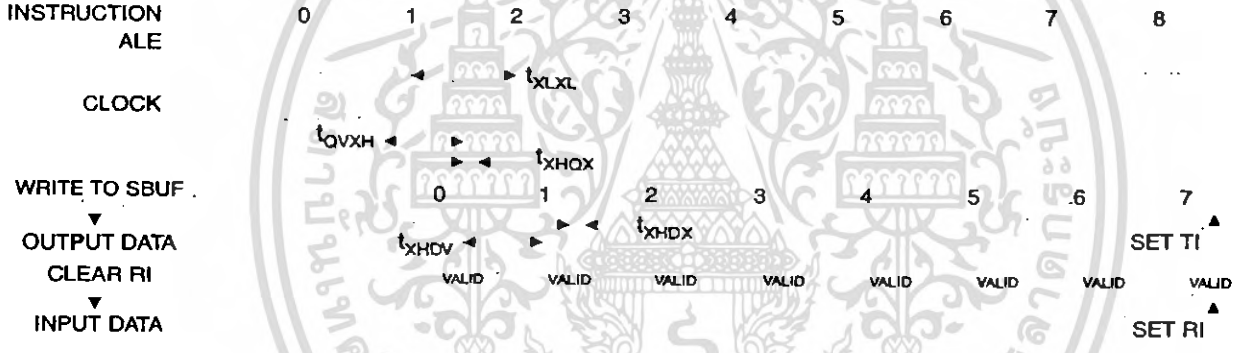
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

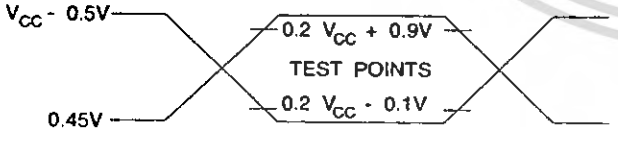
(V_{CC} = 5.0V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-117		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms

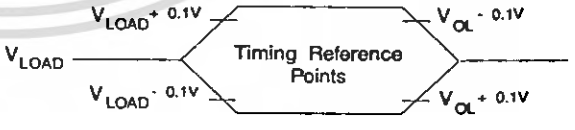


AC Testing Input/Output Waveforms[1]



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms[1]

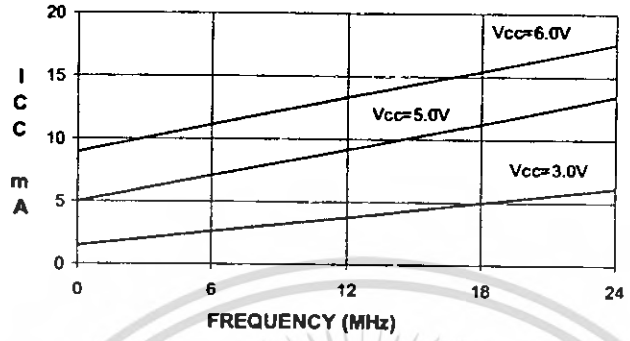


Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change frothe loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

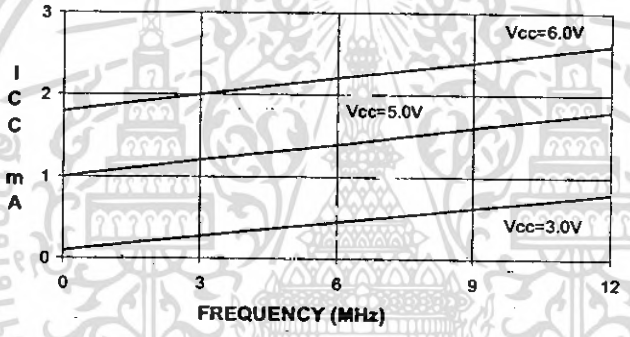
AT89C2051

TYPICAL ICC - ACTIVE (85°C)



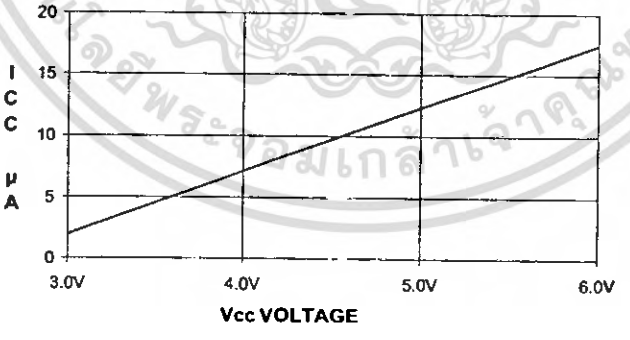
AT89C2051

TYPICAL ICC - IDLE (85°C)



AT89C2051

TYPICAL ICC vs. VOLTAGE- POWER DOWN (85°C)



otes:
1. XTAL1 tied to GND for I_{CC} (power down)
2. P1.0 and P1.1 = V_{CC} or GND
3. Lock bits programmed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	2.7V to 6.0V	AT89C2051-12PC AT89C2051-12SC	20P3 20S	Commercial (0°C to 70°C)
		AT89C2051-12PI AT89C2051-12SI	20P3 20S	Industrial (-40°C to 85°C)
		AT89C2051-12PA AT89C2051-12SA	20P3 20S	Automotive (-40°C to 105°C)
24	4.0V to 6.0V	AT89C2051-24PC AT89C2051-24SC	20P3 20S	Commercial (0°C to 70°C)
		AT89C2051-24PI AT89C2051-24SI	20P3 20S	Industrial (-40°C to 85°C)

Package Type	
20P3	20 Lead, 0.300" Wide, Plastic Dual In-line Package (PDIP)
20S	20 Lead, 0.300" Wide, Plastic Gull Wing Small Outline (SOIC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P6KE6V8A/440A
P6KE6V8CA/440CA

TRANSIL™

FEATURES

- PEAK PULSE POWER : 600 W (10/1000µs)
- BREAKDOWN VOLTAGE RANGE : From 6.8V to 440 V.
- UNI AND BIDIRECTIONAL TYPES.
- LOW CLAMPING FACTOR.
- FAST RESPONSE TIME.
- UL RECOGNIZED.

DO-15

DESCRIPTION

Transil diodes provide high overvoltage protection by clamping action. Their instantaneous response to transient overvoltages makes them particularly suited to protect voltage sensitive devices such as MOS Technology and low voltage supplied IC's.

ABSOLUTE MAXIMUM RATINGS (Tamb = 25°C)

Symbol	Parameter		Value	Unit
P_{PP}	Peak pulse power dissipation (see note 1)	Tj initial =T_{amb}	600	W
P	Power dissipation on infinite heatsink	T_{amb} = 75°C	5	W
I_{FSM}	Non repetitive surge peak forward current For Unidirectional types.	Tj initial =T_{amb} tp =10 ms	100	A
T_{stg} T_j	Storage temperature range Maximum junction temperature		- 65 to + 175 175	°C °C
T_L	Maximum lead temperature for soldering during 10s at 5mm from case		230	°C

Note 1 : For a surge greater than the maximum values, the diode will fail in short-circuit.

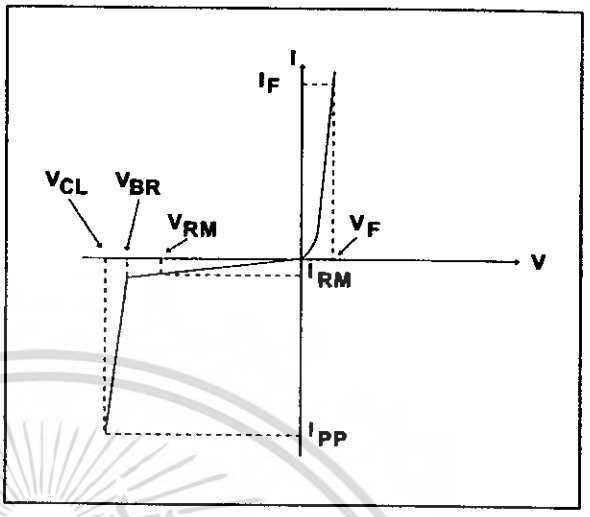
THERMAL RESISTANCES

Symbol	Parameter	Value	Unit
R_{th} (j-l)	Junction-leads	20	°C/W
R_{th} (j-a)	Junction to ambient on printed circuit. L_{lead} = 10 mm	75	°C/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Tamb = 25°C)

Symbol	Parameter
V_{RM}	Stand-off voltage.
V_{BR}	Breakdown voltage.
V_{CL}	Clamping voltage.
I_{RM}	Leakage current @ V_{RM}.
I_{PP}	Surge current.
αT	Voltage temperature coefficient.
V_F	Forward Voltage drop.



TYPES		I_{RM} @ V_{RM}		V_{BR} @ I_R				V_{CL} @ I_{PP}		V_{CL} @ I_{PP}		αT	C
		max		min	nom	max note2		max 10/1000µs		max 8/20µs		max note3	typ note 4
Unidirectional	**Bidirectional**	**µA**	**V**	**V**	**V**	**V**	**mA**	**V**	**A**	**V**	**A**	**10^{-4}/°C**	**pF**
P6KE6V8A	P6KE6.8CA	1000	5.8	6.45	6.8	7.14	10	10.5	57	13.4	298	5.7	4000
P6KE7V5A	P6KE7.5CA	500	6.4	7.13	7.5	7.88	10	11.3	53	14.5	276	6.1	3700
P6KE10A	P6KE10CA	10	8.55	9.5	10	10.5	1	14.5	41	18.6	215	7.5	2800
P6KE12A	P6KE12CA	5	10.2	11.4	12	12.6	1	16.7	36	21.7	184	7.8	2300
P6KE15A	P6KE15CA	1	12.8	14.3	15	15.8	1	21.2	28	27.2	147	8.4	1900
P6KE18A	P6KE18CA	1	15.3	17.1	18	18.9	1	25.2	24	32.5	123	8.8	1600
P6KE22A	P6KE22CA	1	18.8	20.9	22	23.1	1	30.6	20	39.3	102	9.2	1350
P6KE24A	P6KE24CA	1	20.5	22.8	24	25.2	1	33.2	18	42.8	93	9.4	1250
P6KE27A	P6KE27CA	1	23.1	25.7	27	28.4	1	37.5	16	48.3	83	9.6	1150
P6KE30A	P6KE30CA	1	25.6	28.5	30	31.5	1	41.5	14.5	53.5	75	9.7	1075
P6KE33A	P6KE33CA	1	28.2	31.4	33	24.7	1	45.7	13.1	59	68	9.8	1000
P6KE36A	P6KE36CA	1	30.8	34.2	36	37.8	1	49.9	12	64.3	62	9.9	950
P6KE39A	P6KE39CA	1	33.3	37.1	39	41.0	1	53.9	11.1	69.7	57	10.0	900
P6KE47A	P6KE47CA	1	40.2	44.7	47	49.4	1	64.8	9.3	84	48	10.1	800
P6KE56A	P6KE56CA	1	47.8	53.2	56	58.8	1	77	7.8	100	40	10.3	700
P6KE68A	P6KE68CA	1	58.1	64.6	68	71.4	1	92	6.5	121	33	10.4	625
P6KE82A	P6KE82CA	1	70.1	77.9	82	86.1	1	113	5.3	146	27	10.5	550
P6KE100A	P6KE100CA	1	85.5	95.0	100	105	1	137	4.4	178	22.5	10.6	500
P6KE120A	P6KE120CA	1	102	114	120	126	1	165	3.6	212	19	10.7	450
P6KE150A	P6KE150CA	1	128	143	150	158	1	207	2.9	265	15	10.8	400
P6KE180A	P6KE180CA	1	154	171	180	189	1	246	2.4	317	12.6	10.8	360
P6KE200A	P6KE200CA	1	171	190	200	210	1	274	2.2	353	11.3	10.8	350

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES		I_{RM} @ V_{RM} max		V_{BR} @ I_R min / norm / max note2				V_{CL} @ I_{PP} max 10/1000µs		V_{CL} @ I_{PP} max 8/20µs		αT max note3	C typ note4
Unidirectional	**Bidirectional**	**µA**	**V**	**V**	**V**	**V**	**mA**	**V**	**A**	**V**	**A**	**10^{-4}/°C**	**pF**
P6KE220A	P6KE220CA	1	188	209	220	231	1	328	2	388	10.3	10.8	330
P6KE250A	P6KE250CA	1	213	237	250	263	1	344	2	442	9	11	310
P6KE300A	P6KE300CA	1	256	285	300	315	1	414	1.6	529	7.6	11	290
P6KE350A	P6KE350CA	1	299	332	350	368	1	482	1.6	618	6.5	11	270
P6KE400A	P6KE400CA	1	342	380	400	420	1	548	1.3	706	5.7	11	360
P6KE440A	P6KE440CA	1	376	418	440	462	1	603	1.3	776	5.2	11	350

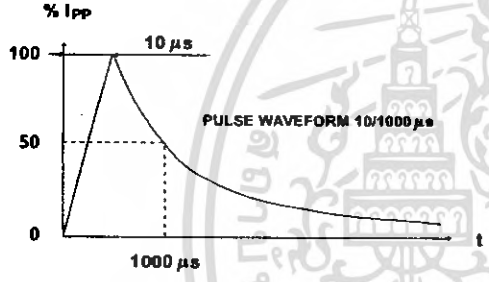
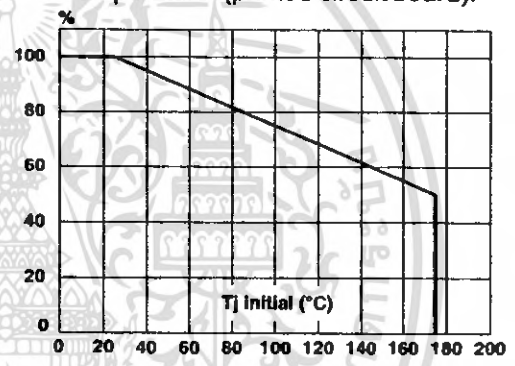


Fig 1: Peak pulse power dissipation versus initial junction temperature (printed circuit board).



Note 2 : Pulse test : tp < 50 ms.

Note 3 : $\Delta V_{BR} = \alpha T \cdot (Ta - 25) \cdot V_{BR}(25\supset C)$.

Note 4 $V_R = 0$ V, F = 1 MHz. For bidirectional types, capacitance value is divided by 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 2 : Peak pulse power versus exponential pulse duration.

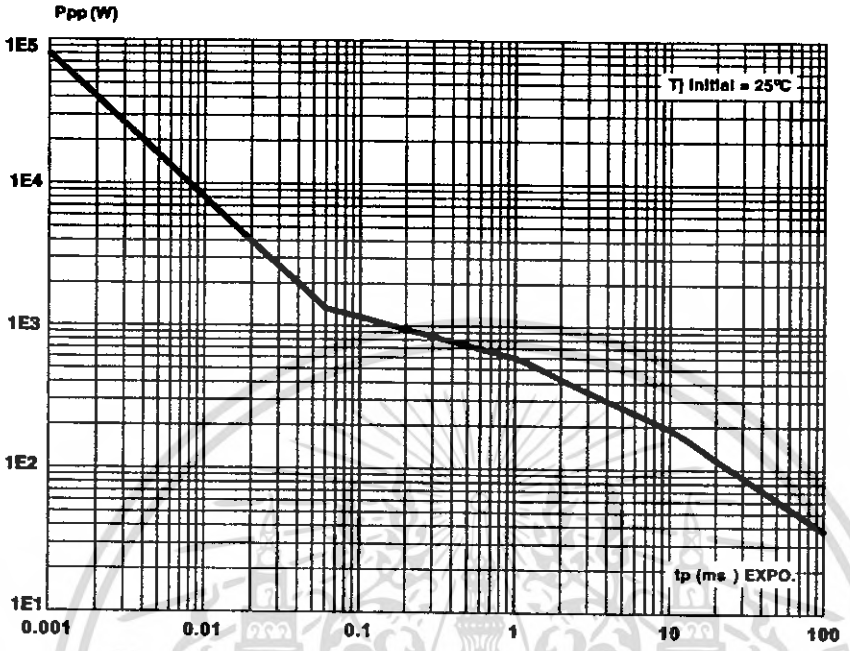
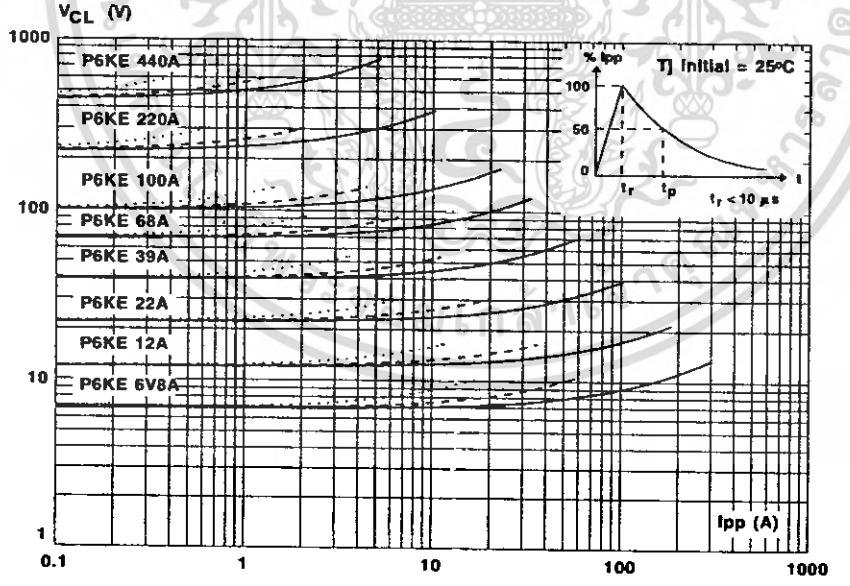


Fig. 3 : Clamping voltage versus peak pulse current.
exponential waveform : t p = 20 µs
t p = 1 ms
t p =10 ms .....



Note : The curves of the figure 3 are specified for a junction temperature of 25 °C before surge.
The given results may be extrapolated for other junction temperatures by using the following formula :
$\Delta V_{(BR)} = \alpha T_{(V(BR))} \cdot [T_a - 25] \cdot V_{(BR)}$.
For intermediate voltages, extrapolate the given results.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 4a : Capacitance versus reverse applied voltage for unidirectional types (typical values).

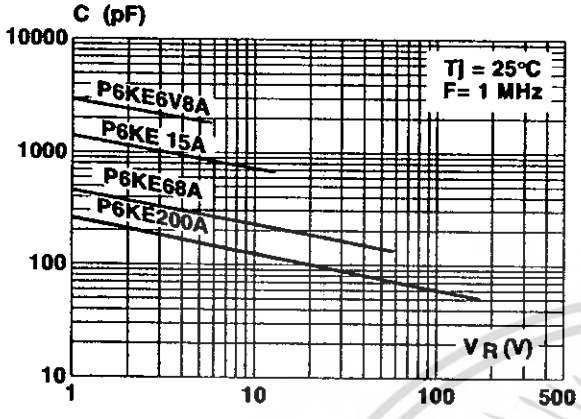


Fig. 4b : Capacitance versus reverse applied voltage for bidirectional types (typical values).

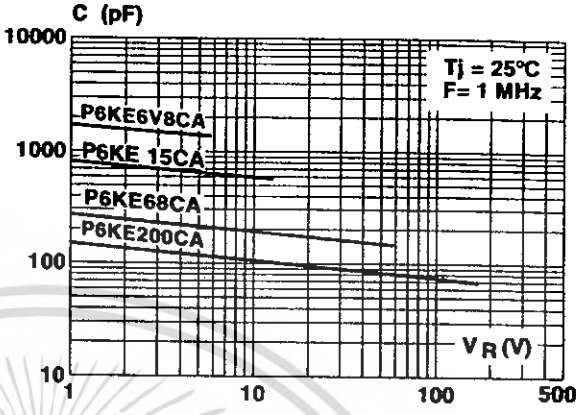


Fig. 5 : Peak forward voltage drop versus peak forward current (typical values for unidirectional types).

Note : multiply by 2 for units with V_{BR} > 220 V.

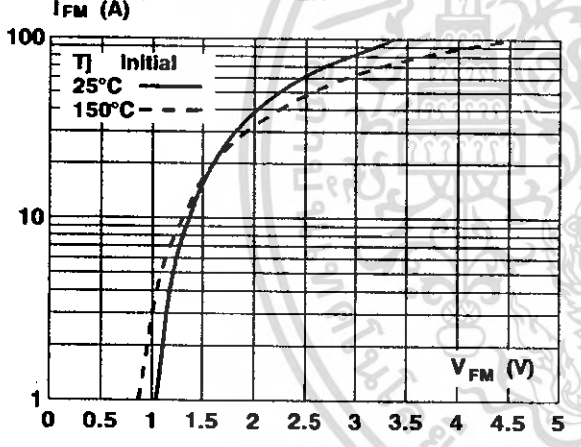


Fig. 6 : Transient thermal impedance junction-ambient versus pulse duration (For FR4 PC Board with L_{lead} = 10mm).

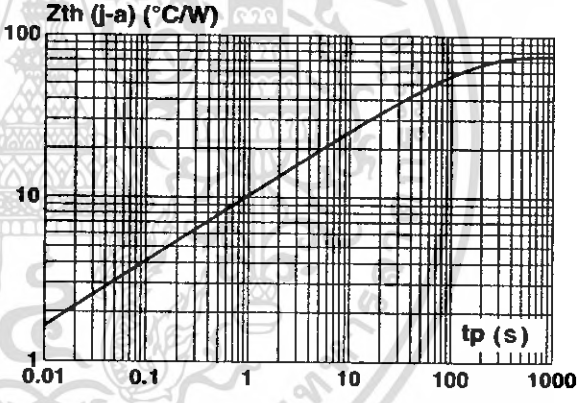
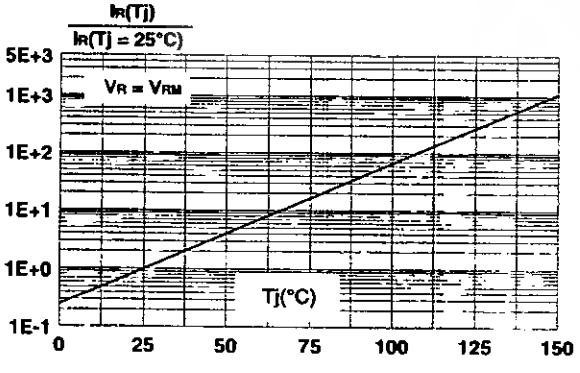
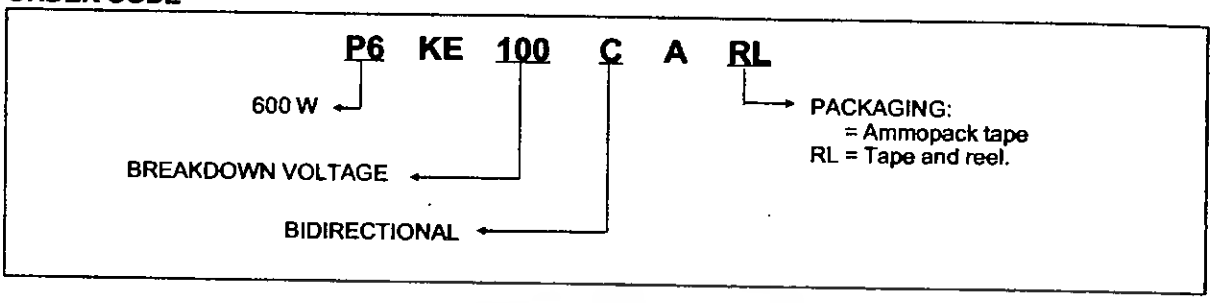


Fig. 7 : Relative variation of leakage current versus junction temperature.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

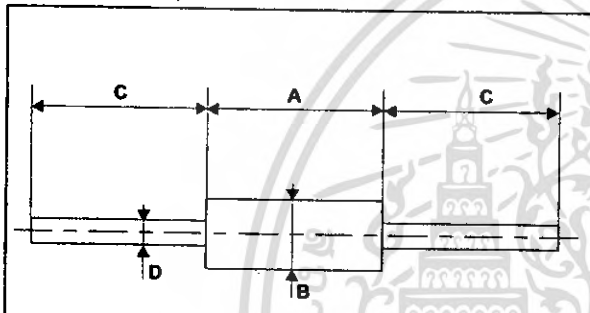
ORDER CODE



MARKING : Logo, Date Code, Type Code, Cathode Band (for unidirectional types only).

PACKAGE MECHANICAL DATA

DO-15 (Plastic)



REF.	DIMENSIONS			
	Millimeters		Inches	
	Min.	Max.	Min.	Max.
A	6.05	6.75	0.238	0.266
B	2.95	3.53	0.116	0.139
C	26	31	1.024	1.220
D	0.71	0.88	0.028	0.035

Packaging : standard packaging is in tape and reel.

Weight = 0.4 g.

Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied.
STMicroelectronics products are not authorized for use es critical components in life support devices or systems without express written approval of STMicroelectronics.

The ST logo is a registered trademark of STMicroelectronics

© 2003 STMicroelectronics - Printed in Italy - All rights reserved.

STMicroelectronics GROUP OF COMPANIES
Australia - Brazil - Canada - China - Finland - France - Germany
Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Singapore
Spain - Sweden - Switzerland - United Kingdom - United States.

http://www.st.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

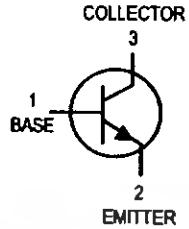
MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

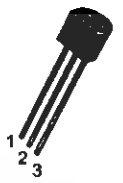
Order this document
by MPSH10/D

VHF/UHF Transistors
NPN Silicon

MPSH10
MPSH11

Motorola Preferred Devices





CASE 29–04, STYLE 2
TO–92 (TO–226AA)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector–Emitter Voltage	V_{CEO}	25	Vdc
Collector–Base Voltage	V_{CBO}	30	Vdc
Emitter–Base Voltage	V_{EBO}	3.0	Vdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	350 2.8	mW mW/°C
Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	1.0 8.0	Watts mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	–55 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	357	°C/W
Thermal Resistance, Junction to Case	$R_{\theta JC}$	125	°C/W

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector–Emitter Breakdown Voltage (I_C = 1.0 mAdc, I_B = 0)	$V_{(BR)CEO}$	25	—	Vdc
Collector–Base Breakdown Voltage (I_C = 100 μAdc, I_E = 0)	$V_{(BR)CBO}$	30	—	Vdc
Emitter–Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)	$V_{(BR)EBO}$	3.0	—	Vdc
Collector Cutoff Current (V_{CB} = 25 Vdc, I_E = 0)	I_{CBO}	—	100	nAdc
Emitter Cutoff Current (V_{EB} = 2.0 Vdc, I_C = 0)	I_{EBO}	—	100	nAdc

Preferred devices are Motorola recommended choices for future use and best overall value.

© Motorola, Inc. 1996

MOTOROLA

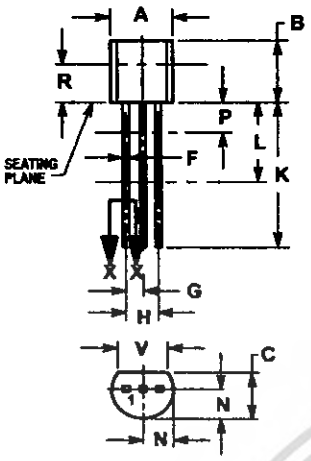
นี่เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

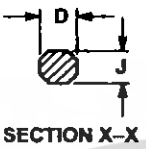
ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted) (Continued)

Characteristic		Symbol	Min	Max	Unit
ON CHARACTERISTICS					
DC Current Gain (I_C = 4.0 mAdc, V_{CE} = 10 Vdc)		h_{FE}	60	—	—
Collector–Emitter Saturation Voltage (I_C = 4.0 mAdc, I_B = 0.4 mAdc)		$V_{CE(sat)}$	—	0.5	Vdc
Base–Emitter On Voltage (I_C = 4.0 mAdc, V_{CE} = 10 Vdc)		$V_{BE(on)}$	—	0.95	Vdc
SMALL–SIGNAL CHARACTERISTICS					
Current–Gain — Bandwidth Product (I_C = 4.0 mAdc, V_{CE} = 10 Vdc, f = 100 MHz)		f_T	650	—	MHz
Collector–Base Capacitance (V_{CB} = 10 Vdc, I_E = 0, f = 1.0 MHz)		C_{cb}	—	0.7	pF
Common–Base Feedback Capacitance (V_{CB} = 10 Vdc, I_E = 0, f = 1.0 MHz)	MPSH10 MPSH11	C_{rb}	 0.35 0.6	 0.65 0.9	pF
Collector Base Time Constant (I_C = 4.0 mAdc, V_{CB} = 10 Vdc, f = 31.8 MHz)		$r_b'C_c$	—	9.0	ps

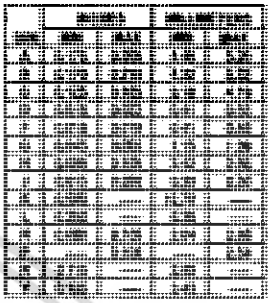
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS





NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. CONTOUR OF PACKAGE BEYOND DIMENSION R IS UNCONTROLLED.
4. DIMENSION F APPLIES BETWEEN P AND L. DIMENSION D AND J APPLY BETWEEN L AND K MINIMUM. LEAD DIMENSION IS UNCONTROLLED IN P AND BEYOND DIMENSION K MINIMUM.



CASE 029–04
(TO–226AA)
ISSUE AD

STYLE 2:
PIN 1. BASE
2. EMITTER
3. COLLECTOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

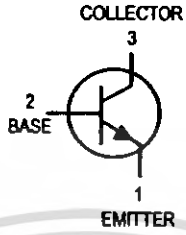
MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MPS2369/D

Switching Transistors
NPN Silicon

MPS2369
MPS2369A*

*Motorola Preferred Device



CASE 29–04, STYLE 1
TO–92 (TO–226AA)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector–Emitter Voltage	V_{CEO}	15	Vdc
Collector–Emitter Voltage	V_{CES}	40	Vdc
Collector–Base Voltage	V_{CBO}	40	Vdc
Emitter–Base Voltage	V_{EBO}	4.5	Vdc
Collector Current — Continuous	I_C	200	mAdc
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	625 5.0	mW mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	−55 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	200	°C/W

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS						
Collector–Emitter Breakdown Voltage[1] (I_C = 10 mAdc, I_B = 0)	MPS2369A	$V_{(BR)CEO}$	15	—	—	Vdc
Collector–Emitter Breakdown Voltage (I_C = 10 µAdc, V_{BE} = 0)	MPS2369,A	$V_{(BR)CES}$	40	—	—	Vdc
Collector–Base Breakdown Voltage (I_C = 10 µAdc, I_E = 0)	MPS2369,A	$V_{(BR)CBO}$	40	—	—	Vdc
Emitter–Base Breakdown Voltage (I_E = 10 µAdc, I_C = 0)	MPS2369,A	$V_{(BR)EBO}$	4.5	—	—	Vdc
Collector Cutoff Current (V_{CB} = 20 Vdc, I_E = 0) (V_{CB} = 20 Vdc, I_E = 0, T_A = 125°C)	MPS2369,A	I_{CBO}	 — —	 — —	 0.4 30	µAdc
Collector Cutoff Current (V_{CE} = 20 Vdc, V_{BE} = 0)	MPS2369,A	I_{CES}	—	—	0.4	µAdc

1. Pulse Test: Pulse Width ≤ 300 µs, Duty Cycle ≤ 2.0%.

Preferred devices are Motorola recommended choices for future use and best overall value.

© Motorola, Inc. 1996

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted) (Continued)

Characteristic		Symbol	Min	Typ	Max	Unit
ON CHARACTERISTICS						
DC Current Gain[1]		h_{FE}				—
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	MPS2369A		—	—	120	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc, T_A = –55°C)	MPS2369		20	—	—	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	MPS2369		40	—	120	
(I_C = 10 mAdc, V_{CE} = 0.35 Vdc)	MPS2369A		40	—	—	
(I_C = 10 mAdc, V_{CE} = 0.35 Vdc, T_A = –55°C)	MPS2369A		20	—	—	
(I_C = 30 mAdc, V_{CE} = 0.4 Vdc)	MPS2369A		30	—	—	
(I_C = 100 mAdc, V_{CE} = 2.0 Vdc)	MPS2369		20	—	—	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	MPS2369A		20	—	—	
Collector–Emitter Saturation Voltage[1]		$V_{CE(sat)}$				Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)	MPS2369		—	—	0.25	
(I_C = 10 mAdc, I_B = 1.0 mAdc)	MPS2369A		—	—	0.20	
(I_C = 10 mAdc, I_B = 1.0 mAdc, T_A = +125°C)	MPS2369A		—	—	0.30	
(I_C = 30 mAdc, I_B = 3.0 mAdc)	MPS2369A		—	—	0.25	
(I_C = 100 mAdc, I_B = 10 mAdc)	MPS2369A		—	—	0.50	
Base–Emitter Saturation Voltage[1]		$V_{BE(sat)}$				Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)	MPS2369		0.7	—	0.85	
(I_C = 10 mAdc, I_B = 1.0 mAdc, T_A = +125°C)	MPS2369A		0.5	—	—	
(I_C = 10 mAdc, I_B = 1.0 mAdc, T_A = –55°C)	MPS2369A		—	—	1.02	
(I_C = 30 mAdc, I_B = 3.0 mAdc)	MPS2369A		—	—	1.15	
(I_C = 100 mAdc, I_B = 10 mAdc)	MPS2369A		—	—	1.60	
SMALL–SIGNAL CHARACTERISTICS						
Output Capacitance (V_{CB} = 5.0 Vdc, I_E = 0, f = 1.0 MHz)	MPS2369,A	C_{obo}	—	—	4.0	pF
Small–Signal Current Gain (I_C = 10 mAdc, V_{CE} = 10 Vdc, f = 100 MHz)	MPS2369,A	h_{fe}	5.0	—	—	—
SWITCHING CHARACTERISTICS						
Storage Time (I_{B1} = I_{B2} = I_C = 10 mAdc) (Figure 3)	MPS2369,A	t_s	—	5.0	13	ns
Turn–On Time (V_{CC} = 3.0 Vdc, I_C = 10 mAdc, I_{B1} = 3.0 mAdc) (Figure 1)	MPS2369,A	t_{on}	—	8.0	12	ns
Turn–Off Time (V_{CC} = 3.0 Vdc, I_C = 10 mAdc, I_{B1} = 3.0 mAdc, I_{B2} = 1.5 mAdc) (Figure 2)	MPS2369,A	t_{off}	—	10	18	ns

1. Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2.0%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

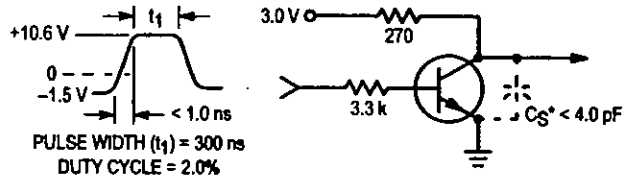


Figure 1. t_{on} Circuit

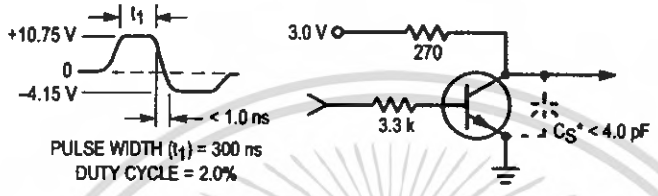


Figure 2. t_{off} Circuit

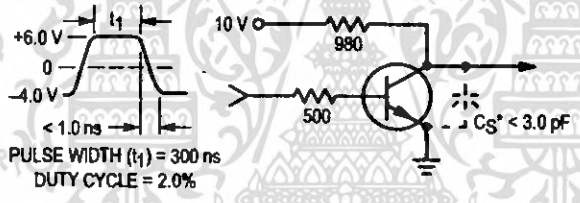
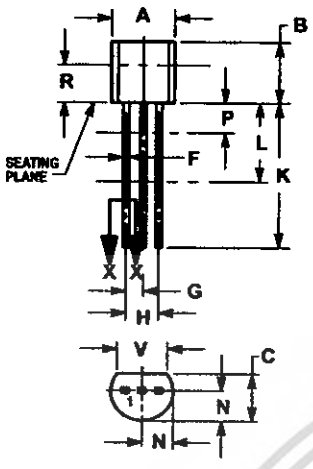


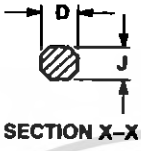
Figure 3. Storage Test Circuit

* Total shunt capacitance of test jig and connectors.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS





SECTION X–X

NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. CONTOUR OF PACKAGE BEYOND DIMENSION R IS UNCONTROLLED.
4. DIMENSION F APPLIES BETWEEN P AND L. DIMENSION D AND J APPLY BETWEEN L AND K MINIMUM. LEAD DIMENSION IS UNCONTROLLED IN P AND BEYOND DIMENSION K MINIMUM.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.175	0.205	4.45	5.20
B	0.170	0.210	4.32	5.33
C	0.125	0.165	3.18	4.19
D	0.016	0.022	0.41	0.56
F	0.016	0.019	0.41	0.48
G	0.045	0.055	1.15	1.39
H	0.095	0.105	2.42	2.66
J	0.015	0.020	0.39	0.50
K	0.500	—	12.70	—
L	0.250	—	6.35	—
N	0.080	0.105	2.04	2.66
P	—	0.100	—	2.54
R	0.115	—	2.93	—
V	0.135	—	3.43	—

CASE 029–04
(TO–226AA)
ISSUE AD

STYLE 1:
PIN 1. EMITTER
2. BASE
3. COLLECTOR

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE (602) 244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, Toshikatsu Otsuki,
6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–3521–8315

HONG KONG: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้