สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบสังเคราะห์ความถี่
(FREQUENCY SYNTHESIZER)

TD86872

โดย

นาย วุฒิพงศ์ นนทพจน์

36013264

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชา เทคโนโลยีโทรคมนาคม

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เลขหมู่...

เลขทะเบียน 86872

วัน,เดือน,ปี ส.ค. 2552

.b NC42825

.i...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบสังเคราะห์ความถี่

(FREQUENCY SYNTHESIZER)

โดย

นาย วุฒิพงศ์ นนทพจน์

36013264

รศ. นิกร สุขุมตันติ

อาจารย์ที่ปรึกษา

ปริญญานิพนธ์นี้สำหรับ ปริญญาอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ประจำปีการศึกษา 2538

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบสังเคราะห์ความถี่

ผู้จัดทำ นาย วุฒิพงศ์ นนทพจน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบสังเคราะห์ความถี่

(FREQUENCY SYNTHESIZER)

โดย นายวุฒิพงศ์ นนทพจน์
รศ. นิกร สุขุตมตันติ อาจารย์ที่ปรึกษา

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เป็นการนำเสนอโครงงานเรื่องวงจรสร้างความถี่แบบดิจิตอล ที่ใช้วงจรเฟสล็อคลูปในการผลิตความถี่ โดยใช้ 8031 ไมโครคอนโทรลเลอร์ควบคุมการทำงาน มีวงจรหารแบบเปลี่ยนค่าได้คั่นอยู่ระหว่างลูปของเฟสล็อคลูป เพื่อเป็นตัวเลือกความถี่ที่ต้องการ สัญญาณที่ได้จากการหารความถี่จะถูกส่งไปเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ ผลต่างของสัญญาณทั้งสองถูกเปลี่ยนไปเป็นสัญญาณที่นำไปควบคุมวีซีโอในการผลิตความถี่ ซึ่งวงจรสามารถให้ความถี่ออกมาจากความถี่ 10 MHz ถึง 30 MHz สามารถเพิ่มและลดความถี่ได้ครั้งละ 10 KHz

ABSTRACT

THIS THESIS IS A DIGITAL FREQUENCY SYNTHESIZER BY USING PHASE LOCK LOOP TECHNIQUE AND USE 8031 MICROCONTROLLER TO CONTROL. THIS CIRCUIT HAVE PROGRAMMABLE DIVIDER LOCATED BETWEEN VOLTAGE CONTROL OSCILLATOR AND PHASE DETECTER INPUT FOR CONTROL THE DESIRED FREQUENCY OUTPUT. THE DIVIDED FREQUENCY SIGNAL IS SENT TO COMPARE WITH REFERENCE FREQUENCY AT PHASE DETECTER INPUT. THE ERROR SIGNAL IS CHANGE AND USE FOR CONTROL VOLTAGE CONTROL OSCILLATOR. OUTPUT OF CIRCUIT IS SQUARE WAVE IS RANGE 10 MHz TO 30 MHz WITH 10 KHz STEP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

ABTRACT

บทที่ 1 บทนำ 1

บทที่ 2 หลักการทำงานของวงจรสังเคราะห์ความถี่ 2

บทที่ 3 การทำงานของเฟสล็อคลูป

3.1 หลักการทำงานของเฟสล็อคลูป 7

3.2 พารามิเตอร์ของระบบ 9

3.3 เฟสดีเทคเตอร์ 12

3.3.1 TYPE 1 12

3.3.2 TYPE 2 12

3.3.3 TYPE 3 14

3.3.4 TYPE 4 16

3.4 โวลเตจคอนโทรลออสซิลเลเตอร์ (วีซีโอ) 18

3.5 โลพาสฟิลเตอร์ 19

บทที่ 4 การออกแบบและการทำงานของวงจรสร้างความถี่อ้างอิง 21

บทที่ 5 การออกแบบวงจรและการทำงานของเฟสล็อคลูป 24

5.1 การออกแบบและการทำงานของวีซีโอ 24

5.2 การออกแบบและการทำงานของเฟสดีเทคเตอร์ 25

5.3 การออกแบบและการทำงานของโลพาสฟิลเตอร์ 28

บทที่ 6 การออกแบบและการทำงานของวงจรหารความถี่ 35

6.1 การทำงานของ 74F192 35

6.2 การกำหนดค่าหารความถี่ N 37

บทที่ 7 สถาปัตยกรรมของ MCS-51 39

7.1 คุณสมบัติของ MCS-51 39

7.2 โครงสร้างของ MCS-51 [illegible]

7.3 โครงสร้างภายในของ MCS-51 [illegible]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

บทที่ 8 ระบบไมโครโปรเซสเซอร์ 47

8.1 โครงสร้างทางฮาร์ดแวร์ 47

8.2 โครงสร้างทางซอร์ฟแวร์ 49

บทที่ 9 การ MULTIPLEX สัญญาณ 53

บทที่ 10 สรุปและวิจารณ์ 55

ภาคผนวก 58

ภาคผนวก ก. 58

ภาคผนวก ข. 71

เอกสารอ้างอิง 74

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

วิธีการในการสร้างสัญญาณความถี่ออกมาใช้งาน มีวิธีการสร้างและวิธีการออกแบบวงจรอยู่หลายวิธีด้วยกัน อาทิเช่น ใช้ CRYSTAL ใช้วงจร LC CIRCUIT แต่ถ้าหากต้องการเปลี่ยนแปลงความถี่ของทั้งสองวิธีนี้อาจทำได้ค่อนข้างยุ่งยาก ซึ่งสามารถทำได้โดยการเปลี่ยนแปลงค่าของอุปกรณ์ แต่การผลิตสัญญาณความถี่โดยใช้ระบบสังเคราะห์ความถี่ (FREQUENCY SYNTHESIZER) สามารถทำการเปลี่ยนแปลงความถี่ได้ง่าย โดยไม่ต้องเปลี่ยนโครงสร้างของวงจรเลย ระบบสังเคราะห์ความถี่ผลิตสัญญาณโดยอาศัยหลักการของระบบ เฟสล็อคลูป (PHASE LOCK LOOP) ซึ่งความถี่ที่ได้ออกมาค่อนข้างที่จะมีความเที่ยงตรงและมีประสิทธิภาพมากกว่าแบบอื่น เพราะระบบเฟสล็อคลูป ผลิตสัญญาณความถี่ออกมา โดยมีสัญญาณความถี่ค่าหนึ่งเป็นสัญญาณความถี่อ้างอิง (FREQUENCY REFERENCE) โดยส่วนใหญ่จะได้มาจากการผลิตความถี่ของคริสตอล ในการเปลี่ยนแปลงความถี่ของระบบสังเคราะห์ความถี่จะถูกควบคุมจากไมโครโปรเซสเซอร์ จึงสามารถทำได้ง่าย โดยการป้อนข้อมูลเข้ามาทางคีย์บอร์ด จากนั้นไมโครโปรเซสเซอร์ก็จะทำการประมวลผลและส่งค่าที่ได้จากการประมวลผลไปให้ส่วนของวงจรหารความถี่ที่สามารถเปลี่ยนแปลงค่าในการหารได้ (VARIABLE DIVIDER) ซึ่งคั่นอยู่ระหว่างลูปของเฟสล็อคลูป ข้อได้เปรียบของการผลิตความถี่ของระบบสังเคราะห์ความถี่ที่มีต่อวงจรผลิตความถี่แบบอื่นๆ นอกจากความสามารถในการเปลี่ยนแปลงความถี่ที่ง่ายแล้ว ยังได้เปรียบทางด้านโครงสร้างอีก ซึ่งวงจรสังเคราะห์ความถี่จะมีโครงสร้างที่เล็กกว่าแบบอื่น

จากข้อได้เปรียบของวงจรสังเคราะห์ความถี่ในด้านต่างๆ มันจึงถูกนำมาใช้ในการผลิตความถี่ใช้งานในด้านต่างๆ ซึ่งส่วนใหญ่มักจะมีเรื่องของความถี่เกี่ยวข้องอยู่เสมอ โดยเฉพาะอย่างยิ่งในงานติดต่อสื่อสารจำเป็นอย่างยิ่ง ที่จะต้องมีส่วนของตัวผลิตสัญญาณความถี่ นอกจากนี้แล้ววงจรสังเคราะห์ความถี่ยังถูกนำมาประยุกต์ใช้งานด้านดนตรี งานด้านเสียงสเปเชียลเอฟเฟคแบบต่างๆ ซึ่งจะเห็นว่าวงจรสังเคราะห์ความถี่สามารถประยุกต์ใช้งานได้อีกมากมาย วงจรนี้จึงเป็นพื้นฐานที่จะนำไปสู่การประยุกต์ใช้งาน ซึ่งเป็นวงจรที่แยกแสดงแต่ละส่วนเพื่อให้เห็นการทำงานและรูปร่างของสัญญาณในที่ต่างๆ ของวงจรที่สำคัญๆ เพื่อความง่ายต่อการเข้าใจและการประยุกต์ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

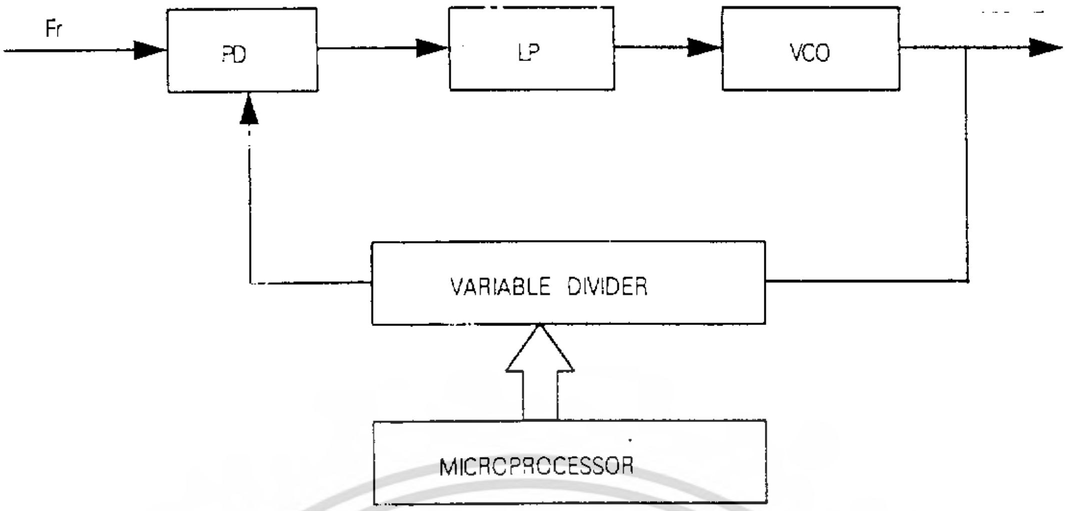
บทที่ 2
หลักการของวงจรสังเคราะห์ความถี่

วงจรสังเคราะห์ความถี่ ให้ความถี่ออกมาโดยอาศัยเฟสล็อคลูปทำการผลิตความถี่อาศัยหลักการนำเอาสัญญาณทางเอาท์พุทกลับมาเปรียบเทียบกับ สัญญาณความถี่อีกความถี่หนึ่งทางอินพุทอันเป็นความถี่อ้างอิงคงที่ค่าหนึ่ง ผลของการเปรียบเทียบสัญญาณที่ได้จากการเปรียบเทียบสัญญาณทั้งสองจะขึ้นอยู่กับความแตกต่างทางเฟสของสัญญาณทั้งสอง โดยปกติเมื่อเฟสล็อคลูปสามารถล็อคความถี่ของอินพุทกับเอาท์พุทแล้ว ความแตกต่างของเฟสสัญญาณทั้งสองจะมีค่าคงที่อยู่ค่าหนึ่ง ซึ่งในขณะนั้นความถี่ของสัญญาณทั้งสองจะมีค่าเท่ากัน นั่นคือเมื่อเฟสล็อคลูปทำการล็อคสัญญาณระหว่างอินพุทกับเอาท์พุทได้แล้ว ความถี่ของสัญญาณทั้งสองจะเท่ากัน แต่ความแตกต่างทางเฟสจะคงที่อยู่ค่าหนึ่ง จึงมีการประยุกต์เฟสล็อคลูปให้มีสัญญาณความถี่อินพุทคงที่อยู่ค่าหนึ่ง แล้วเพิ่มส่วนหารความถี่คั่นระหว่างการป้อนสัญญาณกลับมาเทียบเฟส เพื่อให้สัญญาณที่ถูกนำกลับมาจากเอาท์พุทเปลี่ยนแปลงใช้ได้หลายๆ ค่า เพราะฉะนั้น ผลจากการเปรียบเทียบเฟสระหว่างสัญญาณทางอินพุทกับสัญญาณทางเอาท์พุทที่ถูกหารความถี่ด้วยค่าที่แตกต่างกัน จึงมีความแตกต่างทางเฟสของสัญญาณทั้งสองมีค่าแตกต่างกันไปด้วย และทำให้ค่าของสัญญาณที่นำไปควบคุมส่วนของวงจรผลิตความถี่มีได้หลายค่าเช่นกัน ด้วยเหตุนี้จึงทำให้วงจรในส่วนผลิตความถี่สามารถผลิตความถี่ค่าต่างๆ ออกมาได้ ซึ่งขึ้นอยู่กับขนาดของสัญญาณที่ถูกส่งมาคอยคุม โดยทั้งนี้ขึ้นอยู่กับขีดความสามารถของส่วนผลิตความถี่ ว่าจะสามารถผลิตความถี่ได้มากน้อยเพียงใด ในส่วนของวงจรหารความถี่ เราต้องการให้มีค่าเปลี่ยนแปลงไปได้หลายๆ ค่า ดังนั้นในส่วนของวงจรจึงถูกควบคุมโดยไมโครโปรเซสเซอร์อีกที ซึ่งการเปลี่ยนค่าในการหารความถี่จึงสามารถทำได้ง่ายเพียงแค่เราป้อนข้อมูลที่ต้องการจะหารเข้ามาทางอินพุทของไมโครโปรเซสเซอร์ แล้วไมโครโปรเซสเซอร์จะทำการประมวลผลและส่งค่าไปให้ส่วนหารความถี่ทำการหารค่าความถี่อีกที

2.1 หลักการของวงจรสังเคราะห์ความถี่

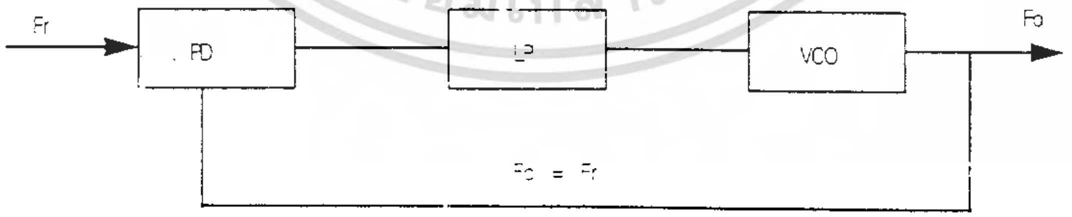
ส่วนประกอบหลักๆ ของวงจรประกอบไปด้วย เฟสดีเทคเตอร์ (PD: PHASE DETECTER), ลูปฟิลเตอร์ (LP: LOOP FILTER), โวลต์เตจคอนโทรลออสซิลเลเตอร์ (VCO: VOLTAGE CONTROL OSCILLATOR) ซึ่งรวมเรียกว่าเฟสล็อคลูป และส่วนที่เพิ่มเข้ามาคือส่วนหารสัญญาณความถี่ (VARIABLE DIVIDER) มีหน้าที่หารความถี่ก่อนที่จะส่งมาเปรียบเทียบกับสัญญาณความถี่อ้างอิง โดยตัว VARIABLE DIVIDER ถูกควบคุมการทำงานจากไมโครโปรเซสเซอร์อีกที ดังรูปที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดง BLOCK DIAGRAM ของวงจรสังเคราะห์ความถี่

จากรูปที่ 2.1 จะเห็นว่าส่วนของเฟสดีเทคเตอร์จะมีอินพุทอยู่ 2 ขา ขาหนึ่งมาจากส่วนสร้างความถี่อ้างอิง ซึ่งจะสร้างความถี่คงที่ค่าหนึ่งออกมา และอีกขาหนึ่งมาจากเอาท์พุทของวีซีโอ เฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสของสัญญาณอินพุททั้งสอง ได้เอาท์พุทเป็นสัญญาณความแตกต่างเฟส ผ่านฟิลเตอร์ และเข้าสู่ขาอินพุทของวีซีโอ ซึ่งถูกฟิลเตอร์เป็นสัญญาณดีซีควบคุมการผลิตความถี่ของวีซีโอ เมื่อความถี่ของสัญญาณที่อินพุททั้งสองขาของเฟสดีเทคเตอร์มีค่าเท่ากัน ความแตกต่างของเฟสจะมีค่าคงที่อยู่ค่าหนึ่ง ค่าที่ได้จากการฟิลเตอร์ก็จะคงที่อยู่ค่าหนึ่ง วีซีโอก็จะผลิตสัญญาณความถี่ค่าหนึ่งออกมา และจะยังคงรักษาค่าความถี่เดิมนี้เอาไว้ ตราบใดที่ค่าระดับโวลต์เตจที่ป้อนให้แก่วีซีโอเป็นค่าเดิมอยู่ ซึ่งเราเรียกสภาวะเช่นนี้ว่าระบบเข้าสู่สภาวะล็อคกับสัญญาณความถี่นั้นๆ แล้ว และจากคุณสมบัติข้อนี้ จะได้ว่าสัญญาณความถี่ที่อินพุททั้งสองของเฟสดีเทคเตอร์มีค่าเท่ากัน



รูปที่ 2.2 แสดงภาวะล็อคของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 2.1 จะเห็นว่ามีส่วนหารความถี่คั่นอยู่ระหว่างทางการป้อนกลับของสัญญาณเพิ่มเข้ามาซึ่งรูป 2.2 ไม่มีส่วนนี้ ซึ่งเป็นรูปที่แสดงให้เห็นว่าค่าความถี่ของเอาท์พุทที่ป้อนกลับมาทางอินพุทมีค่าเท่ากันกับความถี่ทางอินพุท และเมื่อใดก็ตามถ้าระบบดังรูปที่ 2.1 เกิดสภาวะล็อคความถี่ที่ขาอินพุทของส่วนเฟสดีเทคเตอร์ก็ต้องมีค่าเท่ากันเช่นกัน ซึ่งจะได้ว่า

$$F_R = F_O / N$$

หรือ $$F_O = N \cdot F_R \quad \text{..........................(1)}$$

โดยที่ค่า N เป็นค่าของการหารความถี่ในส่วนของวงจรหารความถี่ ซึ่งเป็นตัวแปรสำคัญในการเปลี่ยนแปลงความถี่ของระบบ จากสมการจะเห็นว่าถ้าเราสามารถเปลี่ยนค่า N ไปเป็นค่าต่างๆ ได้จะทำให้สัญญาณความถี่ทางเอาท์พุท F_O มีค่าเปลี่ยนแปลงไปได้หลายค่าเช่นเดียวกัน ในการเพิ่มหรือลดค่าในการหาร N เพื่อให้ได้เอาท์พุทออกมามีค่าเปลี่ยนแปลงไปนั้น เราใช้วงจรหารความถี่ที่สามารถโปรแกรมได้ (PROGRAMMABLE DIVIDER) โดยนำเอาไมโครโปรเซสเซอร์มาควบคุมการทำงาน โดยเป็นตัวเลือกค่าในการหารความถี่ N จากสมการ เมื่อเราต้องการความถี่ทางเอาท์พุทค่าเท่าใด ก็ทำการโปรแกรมเพื่อเลือกค่าในสมการ N ตามค่าที่ต้องการ จะเห็นได้ว่าสมการที่ (1) $F_O = N \cdot F_R$ เป็นหัวใจของระบบทีเดียว

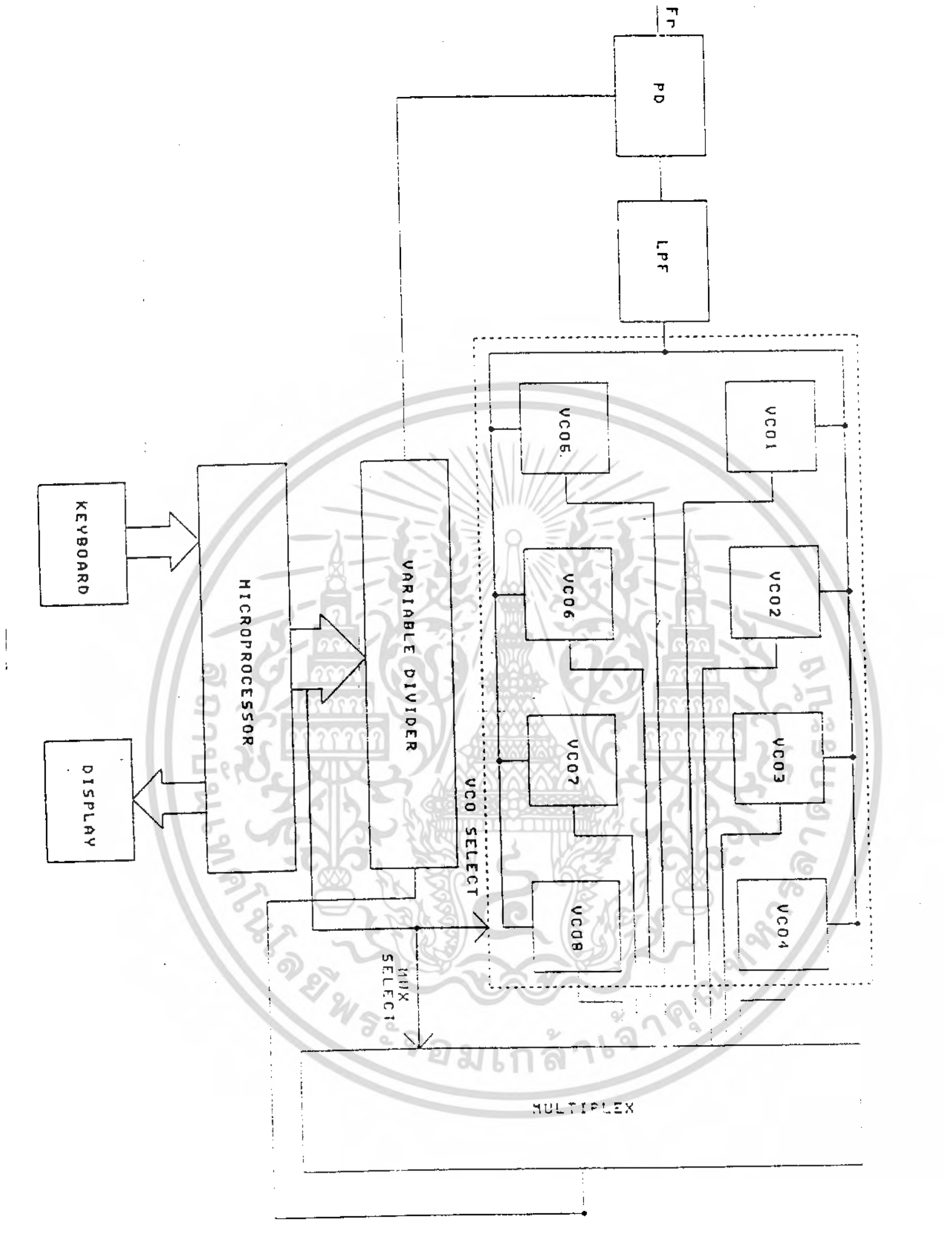
จากสมการที่ 1 เมื่อเราทำการกำหนดค่าในการหาร N ไปเป็นค่าต่างๆ ค่าความถี่ทางเอาท์พุท F_O ก็จะเปลี่ยนไปเป็นจำนวนเท่าของ F_R ซึ่งถ้าให้เราทราบค่าความละเอียดของสเต็ปในการเพิ่มหรือลดความถี่ของ F_O ขึ้นอยู่กับค่าของ F_R ยิ่งค่า F_R มีค่าน้อยเท่าใดความละเอียดในการเพิ่มหรือลดความถี่ของ F_O ซึ่งมีความละเอียดยิ่งขึ้น

จากที่ได้ทราบมาแล้วว่าระบบการทำงานของวงจรสังเคราะห์ความถี่ อาศัยหลักการทำงานของระบบเฟสล็อคลูปเป็นหัวใจหลักสำคัญ โดยเพิ่มส่วนวงจรหารความถี่ที่เลือกค่าได้เข้ามาเพิ่มเติม อันเป็นหัวใจหลักของการเปลี่ยนแปลงความถี่ของวงจรสังเคราะห์ความถี่ จากการศึกษาหลักการทำงานของเฟสล็อคลูป จะอาศัยการเปลี่ยนแปลงความถี่ทางอินพุท แล้วดูการเปลี่ยนแปลงทางเอาท์พุท เมื่อใดก็ตามที่ความถี่ทางอินพุทและเอาท์พุทมีค่าเท่ากัน เราเรียกว่าระบบเข้าสู่ภาวะล็อค ทั้งนี้และทั้งนั้นช่วงความถี่ที่เฟสล็อคลูปสามารถจะทำการล็อคสัญญาณตามอินพุทได้ ก็ขึ้นอยู่กับความสามารถของวีซีโอในการผลิตความถี่ ความสามารถในการดีเทคสัญญาณความแตกต่างเฟสของเฟสดีเทคเตอร์ ดังที่ได้กล่าวมาข้างต้นแล้ว ในปัจจุบันขีดความสามารถของอุปกรณ์ต่างๆ และวีซีโอและเฟสดีเทคเตอร์ถูกรวบรวมอยู่ภายในวงจรรวมเพียงตัวเดียว มีการผลิตออกมาจากหลายๆ บริษัท จึงมีให้ผู้ออกแบบเลือกใช้ได้อย่างมากมาย แต่ในส่วนของเฟสดีเทคเตอร์สามารถรู้ถึงความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แตกต่างเฟสของสัญญาณอินพุททั้งสองสูงสุดได้ที่ประมาณ 360 องศา หรือ 2π (ในไอซีบางเบอร์) เพราะถ้าความแตกต่างเฟสของสัญญาณมีค่ามากกว่านี้แล้ว เฟสดีเทคเตอร์จะไม่สามารถแยกความแตกต่างเฟสของสัญญาณอินพุทของทั้งสองสัญญาณได้ เพื่อให้ระบบสามารถผลิตความถี่ออกมาให้ควบคุมตลอดผ่านความถี่ที่ต้องการ จึงมีการแบ่งให้วีซีโอทำงานออกเป็นช่วงแล้วจึงนำเอาสัญญาณของเอาท์พุทของวีซีโอมารวมกัน โดยวิธีการมัลติเพล็กซ์ (MULTIPLEX) ซึ่งจะได้กล่าวรายละเอียดในบทต่อๆ ไป โดย BLOCK DIAGRAM ทั้งหมดของวงจรดังแสดงในรูป 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 แสดง BLOCK DIAGRAM ของวงจรสังเคราะห์ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

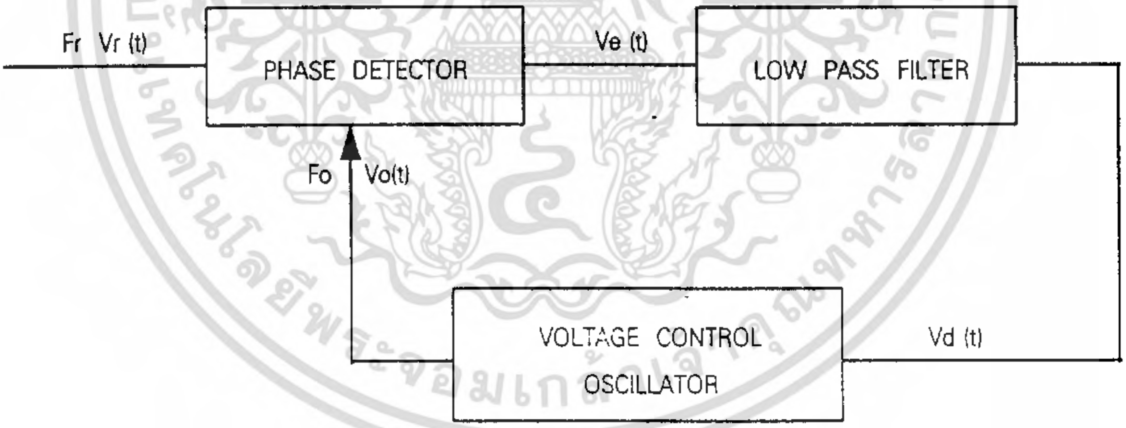
บทที่ 3
การทำงานของเฟสล็อคลูป

เฟสล็อคลูปเป็นหัวใจหลักในการผลิตความถี่ของวงจรสังเคราะห์ความถี่ เราจึงได้นำมาศึกษาในรายละเอียดการทำงานของเฟสล็อคลูป เพื่อความเข้าใจใจการทำงานของวงจรสังเคราะห์ความถี่ที่ง่ายขึ้นในบทต่อๆ ไป

เฟสล็อคลูปมีพื้นฐานวงจรเป็นวงจรอิเลคทรอนิคส์เซอร์โวลูป (ELECTRONIC SERVO LOOP) ประกอบด้วยตัวเปรียบเทียบเฟส (PHASE DETECTER) ตัวกรองสัญญาณความถี่ต่ำผ่าน (LOW PASS FILTER) และโวลท์เตจคอนโทรลออสซิลเลเตอร์ ดังที่ได้กล่าวมาบ้างแล้ว ระบบเฟสล็อคลูปจะควบคุมให้วีซีโอ ผลิตความถี่ขึ้นมาโดยให้สอดคล้อง (SYNCRONIZE) กับสัญญาณที่รับเข้ามาทางอินพุท

<u>3.1 หลักการทำงานของเฟสล็อคลูป</u>

เฟสล็อคลูปประกอบไปด้วยเฟสดีเทคเตอร์ LOW PASS FILTER ซึ่งอยู่ในทางที่สัญญาณเดินไปหน้า และโวลท์เตจคอนโทรลออสซิลเลเตอร์อยู่ในทางป้อนกลับ BLOCK DIAGRAM ของเฟสล็อคลูป ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 แสดง BLOCK DIAGRAM ของ PHASE LOCK LOOP

ขณะที่ยังไม่มีสัญญาณอินพุทเข้ามาทางระบบ แรงดันควบคุม (CONTROL VOLTAGE $V_{d(t)}$) มีค่าประมาณศูนย์ วีซีโอจะทำงานโดยออสซิลเลตความถี่ค่าหนึ่งที่เรียกว่า " FREE RUNNING FREQUENCY " เมื่อสัญญาณเข้ามาในระบบเฟสดีเทคเตอร์จะทำการเปรียบเทียบเฟสและความถี่สัญญาณทางอินพุททั้งสองขา ที่มาจาก F_R และจากเอาท์พุทของวีซีโอ และให้แรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดันคลาดเคลื่อน $V_{e(t)}$ ที่ได้จากการเปรียบเทียบออกมา แรงดันคลาดเคลื่อน $V_{e(t)}$ จะถูกฟิลเตอร์ และถูกส่งไปควบคุมวีซีโอ โดยแรงดันควบคุม $V_{d(t)}$ จะไปควบคุมให้วีซีโอเปลี่ยนแปลงความถี่ ไปในทิศทางที่จะลดความถี่ที่แตกต่างกันระหว่าง เอาท์พุทของวีซีโอกับสัญญาณความถี่ F_R ที่อินพุททั้งสองของเฟสดีเทคเตอร์ ถ้าความถี่ของ F_R ใกล้เคียงกับสัญญาณความถี่ F_O แล้ว จะทำให้เกิดการ SYNCRONIZE หรือ LOCK กับสัญญาณ F_R ขณะที่ทำการล็อคนั้น ความถี่ของวีซีโอเท่ากับสัญญาณ F_R แต่เฟสยังมีความแตกต่างกันอยู่ ความแตกต่างของเฟสมีความจำเป็นต่อการผลิตสัญญาณความถี่ของวีซีโอ เพราะว่าความแตกต่างของเฟส จะผลิตแรงดันคลาดเคลื่อน $V_{e(t)}$ ที่จะคอยไปควบคุมการผลิตความถี่ของวีซีโอให้เท่ากับความถี่ F_R ที่เข้ามา ดังนั้นเฟสล็อคลูปจะยังคงรักษาสภาพการล็อคไว้ได้ ช่วงของความถี่ที่เฟสล็อคลูปสามารถติดตามการล็อคสัญญาณ F_R ที่เข้ามาเรียกว่า " LOCK RANGE " ค่าของมันจะขึ้นอยู่กับแรงดันคลาดเคลื่อน แต่ไม่ขึ้นอยู่กับ BAND EDGE ของ LOW PASS FILTER ช่วงความถี่นี้จะมากกว่าช่วงความถี่ที่เฟสล็อคลูปสามารถทำการล็อคได้อย่างแท้จริงกับสัญญาณ F_R ช่วงความถี่หลังนี้เรียกว่า " CAPTURE RANGE " โดยช่วงความถี่ของ CAPTURE RANGE จะขึ้นอยู่กับ BAND EDGE ของ LOW PASS FILTER

ขบวนการ CAPTURE RANGE เป็นขบวนการที่ค่อนข้างอธิบายได้ยาก แต่อาจจะกล่าวได้ว่า ความถี่คือเฟสที่เปลี่ยนแปลงไปตามเวลา และความคลาดเคลื่อนทางเฟสใน LOOP สามารถจะเขียนสมการได้เป็น

$$2\pi\Delta F = d\phi_O / dt$$

เมื่อ ΔF เป็นความถี่ระหว่างสัญญาณของ F_R และความถี่ของวีซีโอ

ถ้าเส้นทางในการป้อนกลับของเฟสล็อคลูปเปิดออก คือระหว่าง LOW PASS FILTER และอินพุทควบคุมวีซีโอ จากความถี่ FREE RUNNING F_O กับความถี่ F_R ถูก PHASE DETECTER ทำการเปรียบเทียบและไปปรากฏที่เอาท์พุทของ LOW PASS FILTER จากนั้นสมมุติว่า เราทำการต่อลูปที่ เปิดออกให้ครบลูป โดยการต่อ LOW PASS FILTER ไปยังอินพุทของวีซีโอ ดังนั้นสัญญาณความถี่วีซีโอจะถูก MODULATE กับความถี่ ΔF จาก LOW PASS FILTER ทำให้ความถี่ที่ออกจากวีซีโอมีการเปลี่ยนแปลงไปในทิศทางที่เข้าใกล้ F_R ทำให้ความแตกต่างของความถี่ของสัญญาณทั้งสอง ΔF มีค่าลดลง ค่า $d\phi_O / dt$ ก็ลดลง จนมีค่าเป็นศูนย์ในที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาที่เฟสล็อคลูปใช้ในการ LOCK เรียกว่า " PULL IN TIME " ค่าของ PULL IN TIME จะขึ้นอยู่กับความถี่เริ่มแรก และความแตกต่างของเฟสระหว่างสองสัญญาณ และช่วงความกว้างของ LOW PASS FILTER

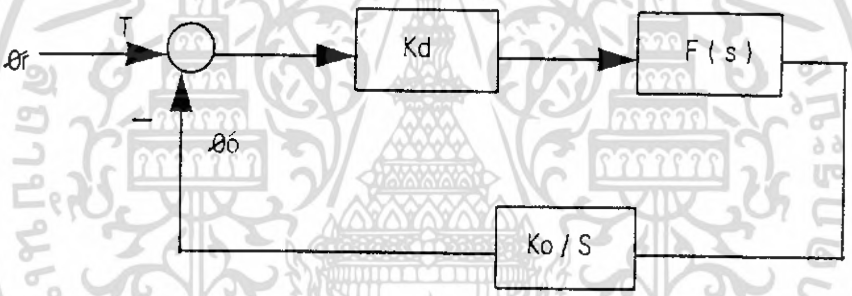
3.2 พารามิเตอร์ของระบบ

เราสามารถวิเคราะห์ระบบโดยใช้ LAPLACE TRANFORM โดยใช้เฟสที่คลาดเคลื่อนใน LOOP (ϕ_R - ϕ_O) เป็นตัวแปรของระบบ ดังนั้นอัตราขยายแต่ละเทอมที่สอดคล้องกับ BLOCK DIAGRAM เราสามารถกำหนดให้ดังนี้

K_d = อัตราขยายของเฟสดีเทคเตอร์ (V/rad)

$F_{(s)}$ = TRANSFER CHARACTORISTIC ของ LOW PASS FILTER

K_O = อัตราขยายของวีซีโอ (rad/v)



รูปที่ 3.2 แสดง PHASE LOCK LOOP ในรูปของ FREQUENCY DOMAIN

TRANSFER FUNCTION แบบ OPEN LOOP สำหรับเฟสล็อคลูป สามารถเขียนได้เป็น

$$T_{(s)} = K_T F_{(s)} / s$$

เมื่อ K เป็นอัตราการขยายทั้งหมดของ LOOP (TOTAL LOOP GAIN) นั่นคือ $K_T = K_d K_O$ การวิเคราะห์โดยการใช้เทคนิคของการป้อนกลับแบบเชิงเส้นลักษณะของ TRANSFER FUNCTION แบบ CLOSE LOOP $H_{(s)}$ สามารถที่จะเขียนได้เป็น

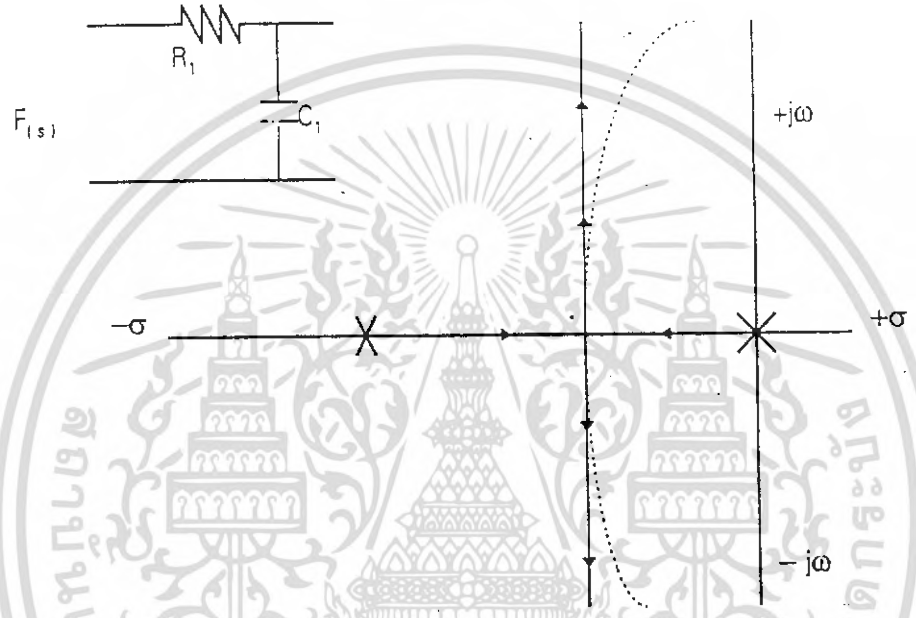
$$H_{(s)} = T_{(s)} / 1+T_{(s)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และรากของ CHARACTERISTIC SYSTEM POLYNOMIAL สามารถแสดงได้ดังรูปที่ 3.3 ซึ่งแสดง ROOT LOCI ของ PHASE LOCK LOOP เป็น FUNCTION ของอัตราขยายทั้งหมด K_T สำหรับ SINGLE POLE LOW PASS FILTER $F_{(s)}$ ซึ่งมีลักษณะเป็น

$$F_{(s)} = 1 / 1 + \tau_1 s$$

เมื่อ $\tau_1 = R_1C_1$ จากรูป OPEN LOOP POLE อยู่ที่จุด ORIGIN เนื่องมาจากการอินติเกรตของวีซีโอ



รูปที่ 3.3 แสดง ROOT LOCUS ของ PHASE LOCK LOOP

จากคุณสมบัติของ ROOT LOCUS ทำให้เราสามารถตั้งข้อสังเกตุได้ว่า

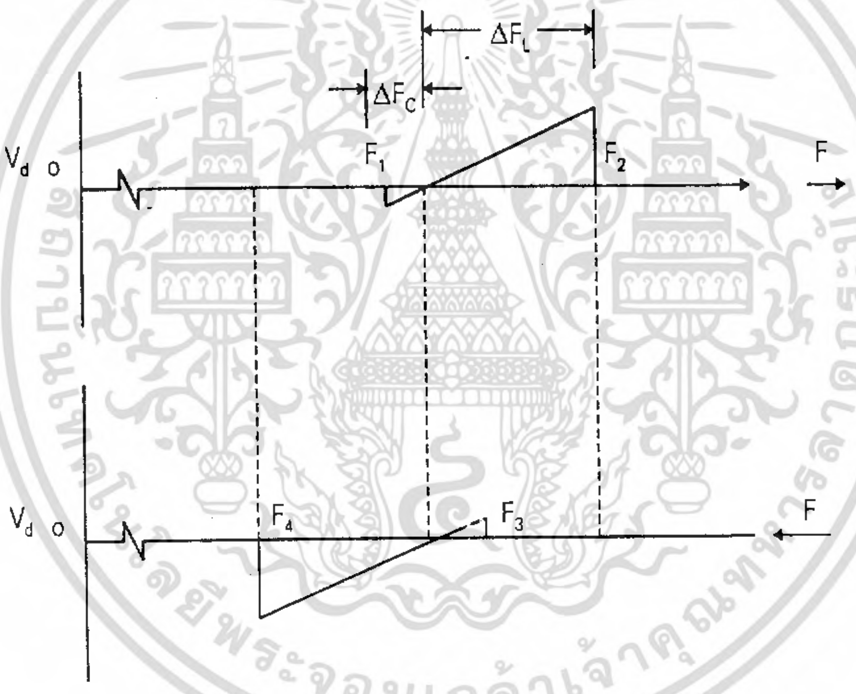
1. เมื่ออัตราขยาย K_T เพิ่มขึ้นด้วยการเลือก IMAGINARY PART ของ CLOSE LOOP POLE เพิ่มขึ้น ดังนั้นความถี่ธรรมชาติ (NATURAL FREQUENCY) ของลูปเพิ่มขึ้นและลูปจะยิ่งให้ผลตอบสนองเป็น UNDERDAMPED มากขึ้น

2. ถ้า FILTER TIME CONSTANT (τ_1) เพิ่มขึ้น REAL PART ของ CLOSE LOOP จะยิ่งน้อยลง LOOP DAMPING จะลดลง

ในทางปฏิบัติเกี่ยวกับระบบป้อนกลับใดๆ การเลื่อน POLE ระหว่าง PHASE LOCK LOOP สามารถทำให้ ROOT LOCI เบนไปทางขวา HALF PLANE ดังแสดงเป็นเส้นประในรูปที่ 3.3 กรณีเช่นนี้เหมือนกับว่า LOOP GAIN หรือ FILTER TIME CONSTANT มีค่ามากเกินไปทำให้ลูปเกิดการ OSCILLATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.4 แสดงลักษณะของการเปลี่ยนจากความถี่ไปเป็นแรงดัน (FREQUENCY TO VOLTAGE TRANSFER CHARACTERISTIC)ของระบบโดยการสมมุติให้สัญญาณ F_R ที่เข้ามาเป็น SINE WAVE ที่มีการเปลี่ยนค่าความถี่ไปอย่างช้าๆ ค่าของแกนตั้งเป็นแรงดันคลาดเคลื่อน ค่าตามแกนนอนเป็นค่าของความถี่ รูปที่ 3.4 (ก) เป็นการแสดงในกรณีที่ความถี่ของสัญญาณ F_R ที่เข้ามามีความถี่เริ่มเพิ่มขึ้นอย่างช้าๆ และเริ่มล็อคกับระบบที่ความถี่ f_1 และระบบจะไม่สามารถล็อคได้เมื่อความถี่เพิ่มขึ้นไปถึงความถี่ f_2 ส่วนรูปที่ 3.4 (ข) เป็นการแสดงสัญญาณในกรณีที่ความถี่เริ่มลดลงอย่างช้าๆ จากค่าความถี่สูงลงมาต่ำ และสามารถล็อคกับระบบได้ที่ความถี่ f_4 ลงมาเรื่อยๆ จน ถึงความถี่ f_3 ระบบจะไม่สามารถล็อคกับความถี่ที่เข้ามาได้ ช่วงความถี่ f_1 - f_3 เรียกว่าช่วงความถี่ LOCK RANGE ส่วนช่วงความถี่ f_4 - f_2 เรียกว่าช่วงความถี่ CAPTURE RANGE



$F_3 - F_1 = 2\Delta F_C$ และ $F_2 - F_4 = 2\Delta F_L$

รูปที่ 3.4 แสดงลักษณะการเปลี่ยนจากความถี่ไปเป็นแรงดัน

รูป 3.4 (ก) แสดงกรณีที่ความถี่ F_R เพิ่มขึ้น

รูป 3.4 (ข) แสดงกรณีที่ความถี่ F_R ลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 เฟสดีเทคเตอร์

3.3.1 TYPE 1

TYPE 1 PHASE DETECTER มีโครงสร้างเป็นแบบอนาล็อก อยู่ในรูปของการ MULTIPLE สัญญาณทางอินพุททั้งสอง ได้เอาท์พุทออกมาในรูปของผลบวกผลต่าง และนำเอาเฉพาะความถี่ผลต่างไปใช้งาน

$$V_{e(t)} = KAB .SIN(\phi_1 - \phi_2)/2$$

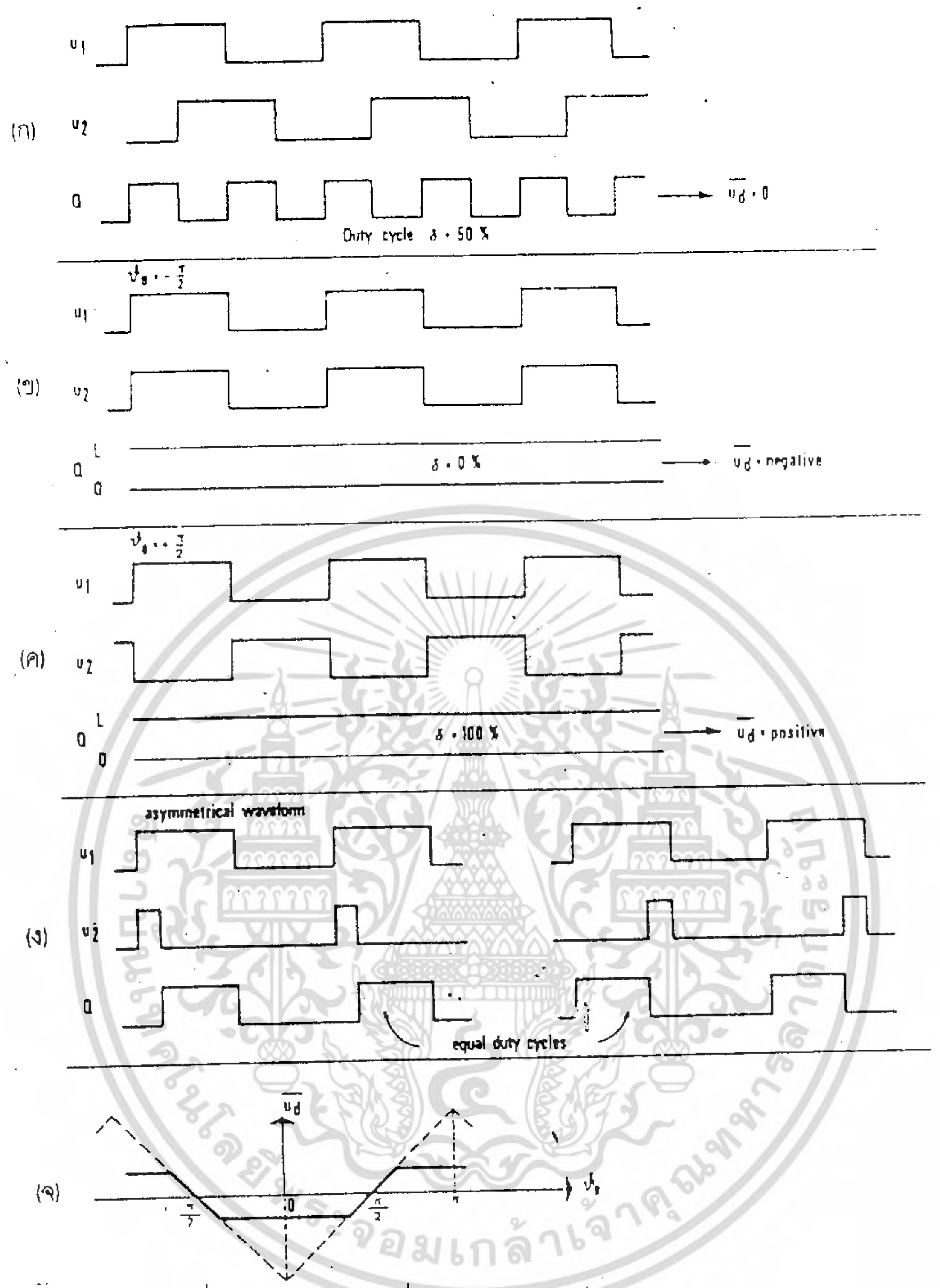
TYPE 1 PHASE DETECTER สามารถให้ค่าความแตกต่างเฟสออกมาสูงสุดที่ 180 $^\circ$ หรือ π และค่าต่ำสุดอยู่ที่ 0 $^\circ$

3.3.2 TYPE 2

TYPE 2 PHASE DETECTER มีโครงสร้างเป็นดิจิตอล และต้องการสัญญาณที่นำมาเปรียบเทียบที่เป็นสัญญาณ DIGITAL TYPE 2 เป็น EXCLUSIVE - OR GATE ค่าสัญญาณที่ได้ออกมาเฉลี่ย $\bar{U}d$ ที่เอาท์พุท Q ของ EXCLUSIVE - OR GATE ซึ่งขึ้นอยู่กับค่า DUTY CYCLE ของสัญญาณที่นำมาเปรียบเทียบ เมื่อใดก็ตามที่สัญญาณทั้งสองมีเฟสตรงกันที่เอาท์พุท Q ของ EXCLUSIVE - OR GATE จะมีค่าเป็นศูนย์ ในที่นี้คือ $\bar{U}d$ เป็นศูนย์ คือมีค่าประมาณศูนย์เปอร์เซนต์ของค่าโวลท์เตจที่เลี้ยงเกทอยู่

เมื่อใดที่มีค่าความต่างเฟสกันอยู่ 90 $^\circ$ ($\pi/2$) สัญญาณที่ขา Q ของ EXCLUSIVE - OR GATE จะเป็นสัญญาณ SQUARE WAVE และมีค่าความถี่เป็นสองเท่าของควาามถี่ของวีซีโอ สัญญาณเฉลี่ย $\bar{U}d$ มีค่าประมาณ 50% ของ SUPPY VOLTAGE ที่ป้อนให้เกท และเมื่อใดก็ตามที่สัญญาณทั้งสองมีค่าต่างเฟสกัน 180 $^\circ$ (π) Q OUTPUT ของ EXCLUSIVE - OR GATE มีค่าเป็น LOGIC "1" และสัญญาณเฉลี่ย $\bar{U}d$ มีค่าประมาณ 100% ของ SUPPLY VOLTAGE ที่ป้อนให้กับเกท สัญญาณที่สภาวะต่างๆ แสดงในรูปที่ 3.5 โดยมีข้อจำกัดว่าสัญญาณที่นำมาเปรียบเทียบจะต้องมีค่า DUTY CYCLE 50% มิฉะนั้นแล้วจะเกิดความผิดพลาดได้ดังรูปที่ 3.5 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงสัญญาณที่ขาอินพุทและเอาท์พุทของ TYPE 2 PD

(ก) เมื่อสัญญาณที่นำมาเปรียบเทียบต่างเฟสกัน 90 °

(ข) เมื่อสัญญาณที่นำมาเปรียบเทียบมีเฟสตรงกัน

(ค) เมื่อสัญญาณที่นำมาเปรียบเทียบมีเฟสต่างกัน 180 °

(ง) แสดงค่าผิดพลาดเมื่อสัญญาณที่นำมาเปรียบเทียบมี DUTY CYCLE ไม่เป็น 50 %

(จ) แสดงค่าสัญญาณเฉลี่ย $\overline{Ud}$ ที่มีค่าความต่างเฟสต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 TYPE 3

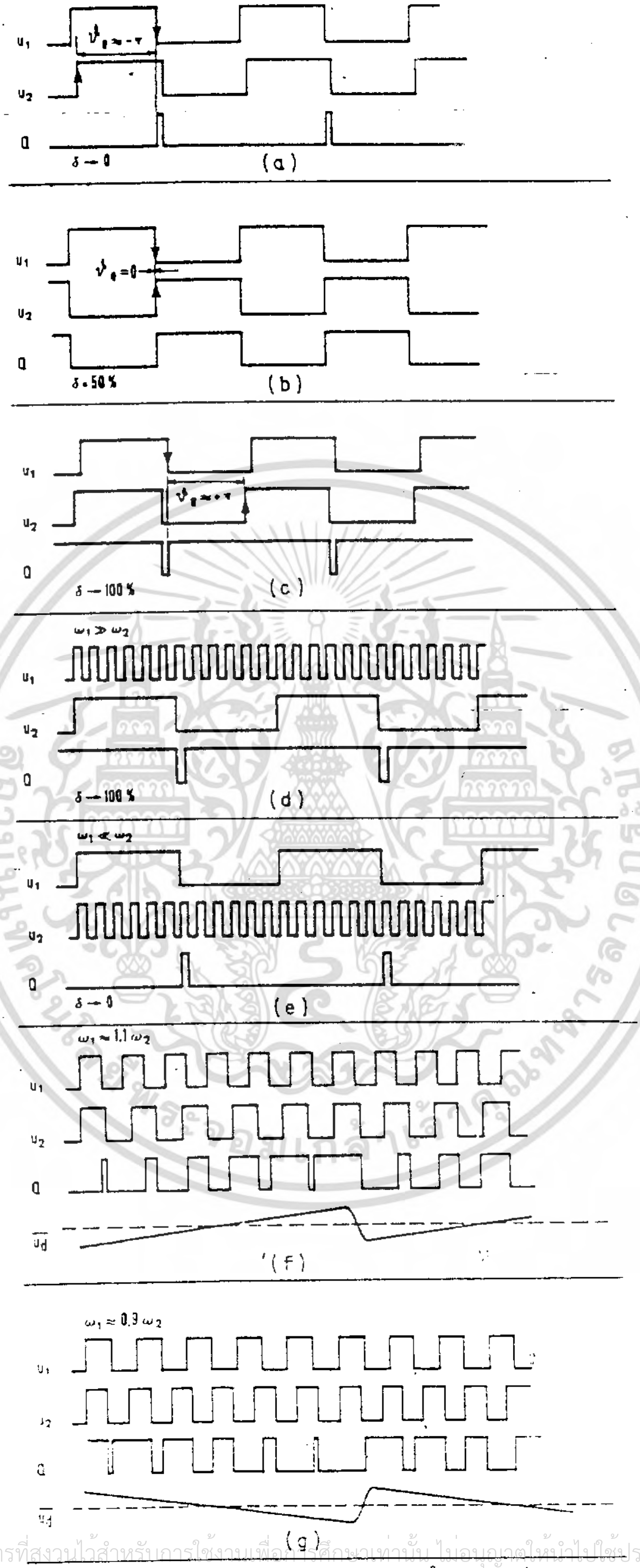
TYPE3 PHASE DETECTER มีโครงสร้างเป็นแบบดิจิตอล และต้องการสัญญาณที่นำมาเปรียบเทียบเป็นสัญญาณดิจิตอลเช่นกัน TYPE3 เป็น NEGATIVE EDGE TRIGERED JK FLIP - FLOP ขอบขาลงของ $U_{1(t)}$ จะ SET FLIP - FLOP 1 STATE ส่วนขอบขาลงของ $U_{2(t)}$ จะ RESET FLIP - FLOP

เมื่อใดที่ $U_{1(t)}$ และ $U_{2(t)}$ มีค่าเฟสต่างกัน 180° (π) สัญญาณเอาท์พุทของ TYPE3 จะเป็นสัญญาณ SQUARE WAVE ที่มี DUTY CYCLE 50 % และสัญญาณเฉลี่ย $\overline{Ud}$ มีค่าประมาณ 50% SUPPLY VOLTAGE ดังแสดงในรูป 3.6 (ข)

เมื่อใดที่ $U_{1(t)}$ และ $U_{2(t)}$ มีค่าใกล้เคียงค่า DUTY CYCLE ของสัญญาณที่ได้จากการเปรียบเทียบมีค่าเข้าใกล้ศูนย์ นั่นหมายความว่า $\overline{Ud}$ มีค่าเป็นศูนย์ตามไปด้วย ดังแสดงในรูป 3.6 (ก) ในกรณีที่ $\omega_1 >> \omega_2$ ซึ่งหมายความว่าสัญญาณความถี่อ้างอิง F_R มีค่ามากกว่า F_O ของวีซีโอ นั่นหมายถึงว่าการ SET FLIP - FLOP มีมากกว่าการ RESET ดังนั้น DUTY CYCLE $\overline{Ud}$ จึงมีค่าประมาณ 100% ในทำนองกลับกันเมื่อ $\omega_1 \leq \omega_2$ การ SET FLIP - FLOP จาก $U_{2(t)}$ มีค่าน้อยกว่าการ RESET จาก $U_{2(t)}$ ค่า DUTY CYCLE ของ Ud จึงมีค่าประมาณ 0 %

ในรูป 3.6 (ฉ) แสดงสัญญาณในกรณีที่ ω_1 มีค่าเป็น 1.1 เท่าของ ω_2 จะสังเกตุเห็นว่าค่า DUTY CYCLE ของ $\overline{Ud}$ จะมีค่าเพิ่มขึ้นจาก 0% ไปจนถึง 100% สัญญาณเฉลี่ย $\overline{Ud}$ มีลักษณะเป็น SAW TOOTH ในกรณีที่ $\omega_1 \approx 0.9\ \omega_2$ ดังในรูป 3.6 (ข) ค่า DUTY CYCLE ของ $\overline{Ud}$ มีค่าลดลงจาก 100% ไปจนถึง 0%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงสัญญาณของ TYPE 3 PD ในสภาวะต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 TYPE 4

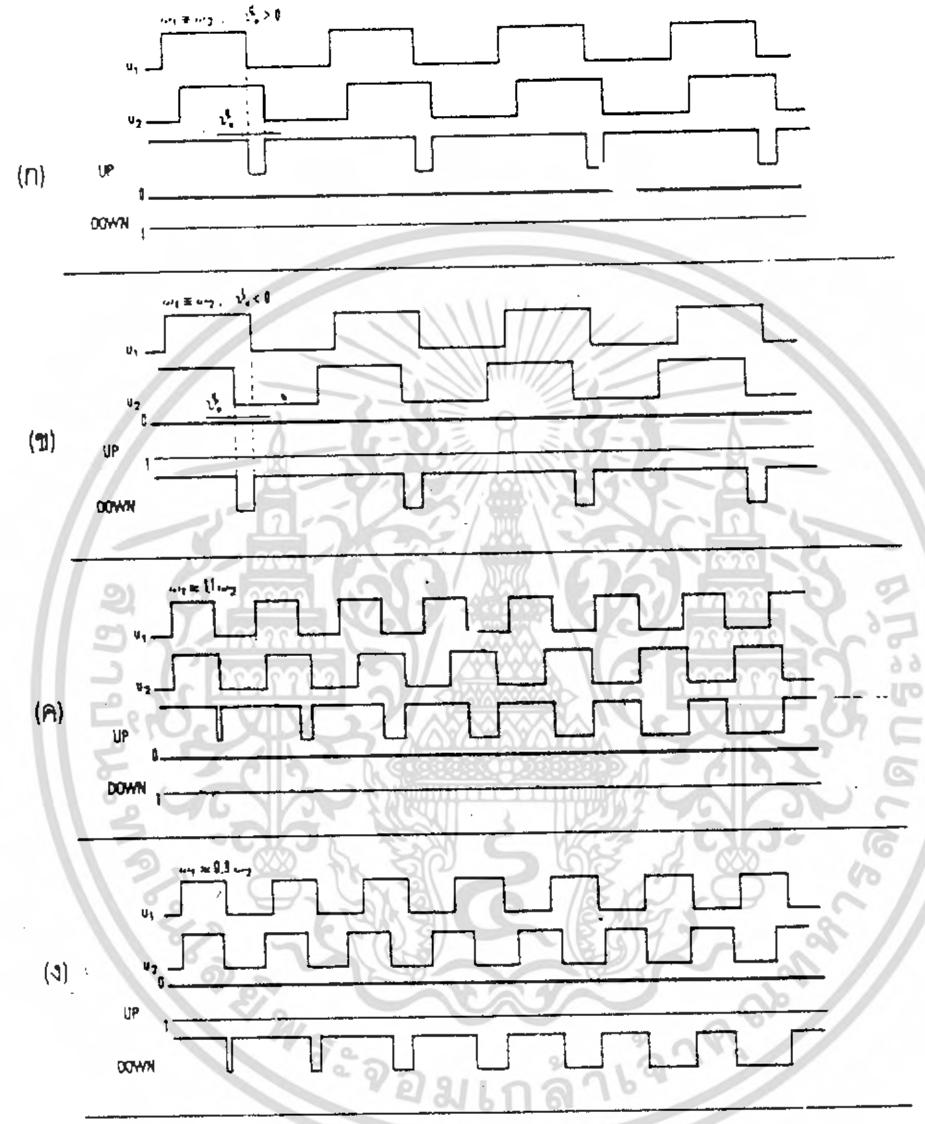
TYPE 4 PHASE DETECTER มีโครงสร้างเป็นแบบดิจิตอล และต้องการสัญญาณที่นำมาเปรียบเทียบเป็นแบบดิจิตอลเช่นเดียวกัน TYPE3 นิยมเรียกว่า " PHASE - FREQUENCY DETECTER " วงจรแสดงดังตารางที่ 1 ใน COLUMN ที่ 3 NAND GATE G_1 และ G_2 เรียกว่า " UP LATCH " ส่วน NAND GATE G_3 และ G_4 เรียกว่า " DOWN LATCH " สัญญาณจากเอาท์พุทของ UP และ DOWN ถูกนำไปควบคุมส่วน CHARGE PUMP เมื่อใดก็ตามถ้าขอบขาขึ้นของ $U_{1(t)}$ ปรากฏในขณะที่ $U_{2(t)}$ เป็น LOW ขอบขาลงของ $U_{1(t)}$ จะไป SET LATCH LOW และขอบขาลงของ $U_{2(t)}$ จะไป RESET LATCH HIGH แต่ถ้าเมื่อขอบขาขึ้นของ $U_{1(t)}$ ปรากฏในขณะที่ $U_{2(t)}$ เป็น HIGH ขอบขาลงของ $U_{1(t)}$ จะไป SET DOWN LATCH LOW ส่วนขอบขาลงของ $U_{2(t)}$ จะไป RESET LATCH HIGH

รูปที่ 3.7 (ก) แสดงกรณีที่ $\omega_1 = \omega_2$ แต่ถ้า $U_{1(t)}$ มีเฟสนำ $U_{2(t)}$ อยู่ ในกรณีนี้จะทำให้เอาท์พุทของ UP LATCH เป็น PULSE ตามสัดส่วนของความแตกต่างเฟสของสัญญาณทั้งสอง ส่วน DOWN LATCH มีค่าเป็น LOW ตลอด ส่วนกรณีที่ $U_{1(t)}$ มีเฟสตามหลัง $U_{2(t)}$ ก็จะได้ค่าของเอาท์พุทกลับกันกับกรณีแรก ซึ่งแสดงสัญญาณที่จุดต่างๆ ดังรูปที่ 3.7 (ข)

ในกรณีที่ความถี่ของสัญญาณทั้งสองมีค่าไม่เท่ากัน เช่นในรูปที่ 3.7 (ค) โดยค่า $\omega_1 \approx 1.1\omega_2$ จะเห็นว่า UP LATCH ปรากฏ PULSE ตามสัดส่วนของ PHASE ที่แตกต่าง ส่วน DOWN LATCH มีค่าเป็น LOW ตลอด ในกรณีที่ $\omega_1 \approx 0.9\omega_2$ ดังรูป 3.7 (ง) DOWN LATCH จะปรากฏ PULSE ส่วน UP LATCH จะเป็น LOW ตลอดเวลา ค่าสัญญาณเฉลี่ย $\bar{U}d$ ของ TYPE4 ขึ้นอยู่กับค่า DUTY CYCLE ของ UP และ DOWN LATCH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 3.7 แสดงลักษณะสัญญาณของ TYPE 4 PD

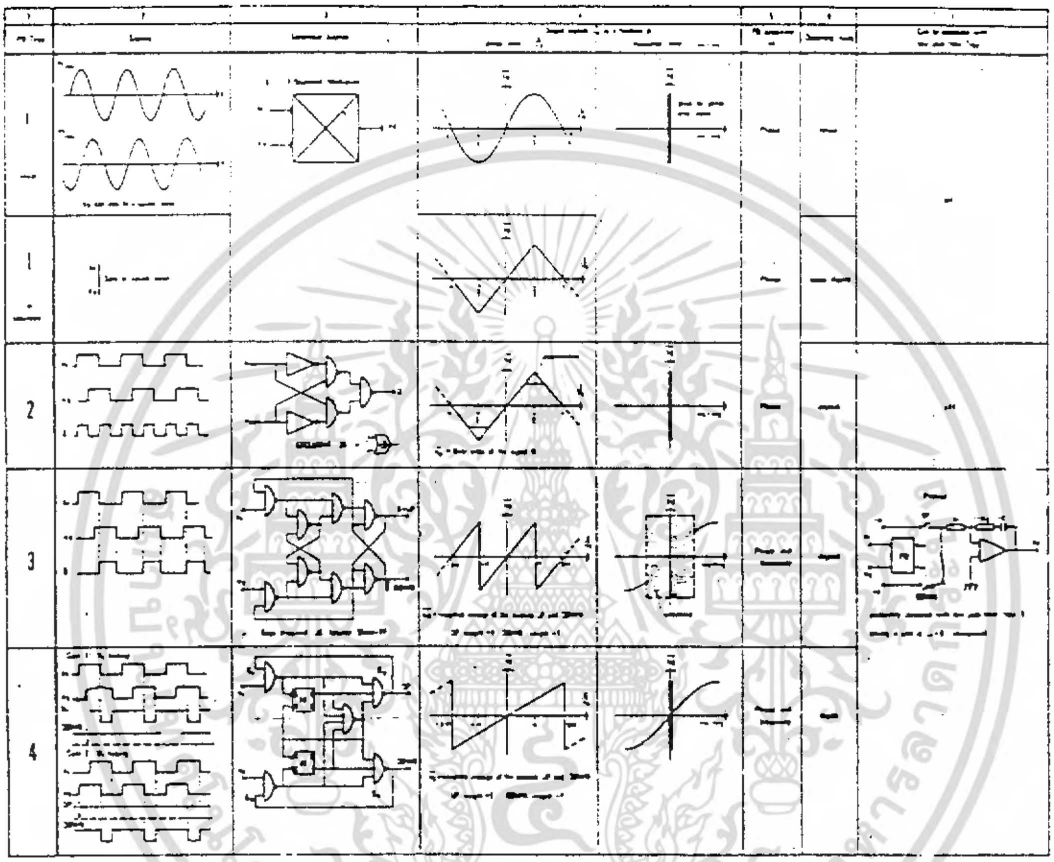
(ก) เมื่อ $U_{1(t)}$ LEAD $U_{2(t)}$

(ข) เมื่อ $U_{1(t)}$ LAG $U_{2(t)}$

(ค) เมื่อ $\omega_1 \approx 1.1\omega_2$

(ง) เมื่อ $\omega_1 \approx 0.9\omega_2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
86872
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ตารางที่ 1 แสดง TYPE ของ PD

3.4 วีซีโอ

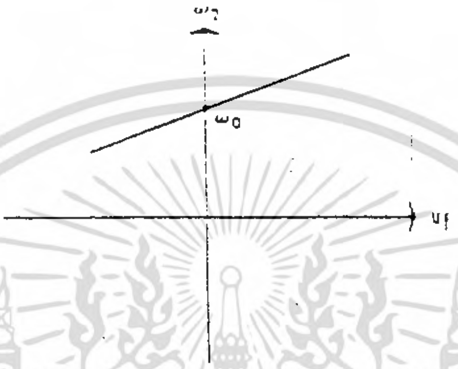
ในภาวะเริ่มแรก วีซีโอจะออสซิลเลตความถี่ค่าหนึ่งที่เรียกว่า FREE RUNNING FREQUENCY ω_o อันเป็นสภาวะที่ผลจากการเปรียบเทียบเฟสของเฟสดีเทคเตอร์มีค่าเป็นศูนย์ และเมื่อใดก็ตามที่มีการแตกต่างทางเฟสของสัญญาณที่นำมาเปรียบเทียบ จะทำให้ค่าที่ได้จากการเปรียบเทียบเปลี่ยนไป ค่าของความถี่ที่วีซีโอผลิตออกมาจึงเปลี่ยนไปด้วย โดยค่าของความถี่ที่เปลี่ยนไปจะมี ω_o เป็นจุดศูนย์กลาง โดยวีซีโอเปลี่ยนระดับโวลท์เตจเป็นสัญญาณความถี่ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คอนเวอร์ชั่นแกน K_0(RADIAN / VOLT) ความถี่ที่วีซีโอผลิตออกมามีค่าเฟสเออร์เรอร์ให้ชื่อว่า ω_2 ซึ่งสามารถคำนวณได้จากสมการ

$$\omega_{2(t)} = \omega_0 + K_0 V_{e(t)}$$

โดยที่ $V_{e(t)}$ เป็นค่าจากการเปรียบเทียบเฟส



รูปที่ 3.8 แสดงความสัมพันธ์ระหว่างความถี่เอาท์พุทของวีซีโอกับ $V_{e(t)}$

วีซีโอที่ดีต้องมีคุณสมบัติดังต่อไปนี้

1. ลักษณะของการแปลงแรงดันไปเป็นความถี่ที่เป็นเชิงเส้น
2. เสถียรภาพของความถี่ดี
3. สามารถใช้กับความถี่สูงได้
4. อัตราขยายสูง
5. พิสัยการติดตามกว้าง
6. การเลือกความถี่ทำได้สะดวก

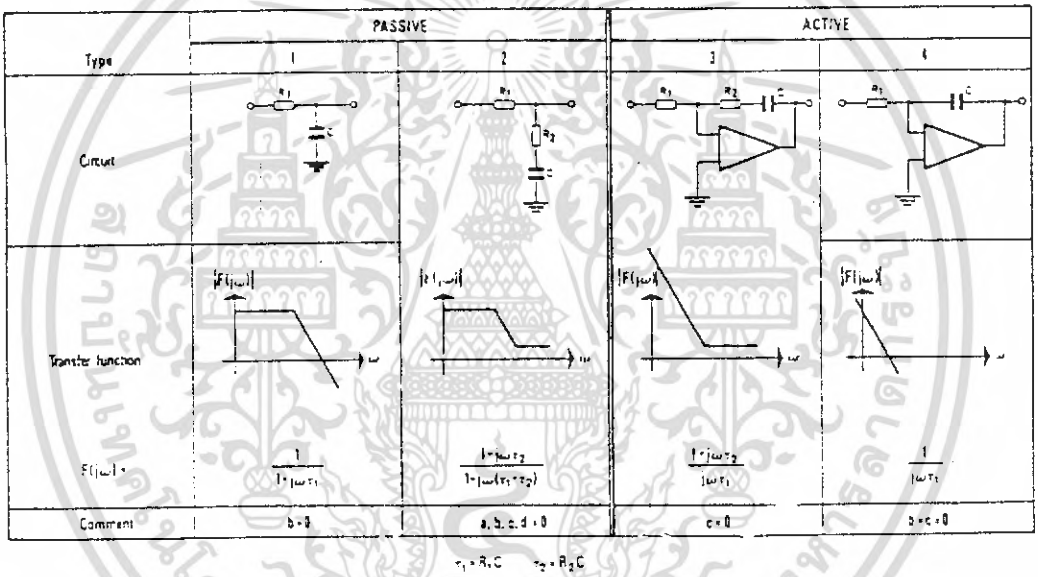
3.5 LOW PASS FILTER

LOW PASS FILTER มีหน้าที่กรองเอาสัญญาณที่เป็นสัญญาณ AC ที่ได้มาจากเฟสดีเทคเตอร์ให้มาเป็นสัญญาณ DC ในการเปลี่ยนไปเป็นสัญญาณความถี่ค่าต่างๆ ช่วง LOW PASS FILTER จะเป็นตัวกำหนดช่วงของความถี่ที่ระบบจะสามารถ CAPTURE ได้ LOW PASS FILTER มีหลายชนิดด้วยกัน ที่ใช้ในเฟสล็อคลูปเป็นแบบ FIRST ODER LOW PASS FILTER โดย TRANSFER FUNCTION แสดงได้ดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F_{(j\omega)} = U_{f(j\omega)} / U_{d(j\omega)} = a + b_{(j\omega)} / c + d_{(j\omega)}$$

ชนิดต่างๆ ของ LOW PASS FILTER **แสดงดังตารางที่** 2 **โดยที่** 1 **เป็น** PASSIVE RC FILTER **ที่ไม่มี** ZERO **ชนิดที่** 2 **เป็น** PASSIVE RC FILTER **ที่มีทั้ง** POLE **และ** ZERO **ชนิดที่** 3 **เป็น** ACTIVE RC FILTER **ที่มี** POLE (C=0) **และชนิดที่** 4 **เป็น** ACTIVE RC FILTER **ที่ไม่มี** ZERO (B,C =0)

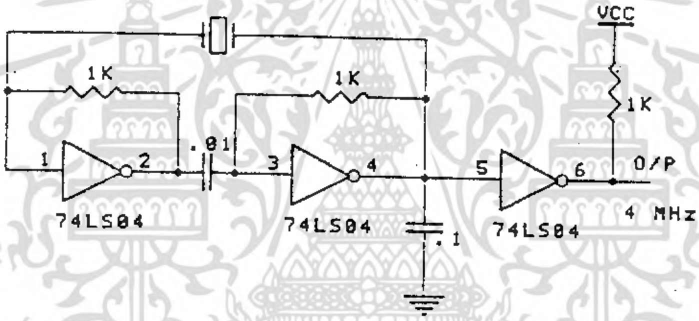


ตารางที่ 2 แสดง TYPE ของ LOW PASS FILTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบและการทำงานของวงจรสร้างความถี่อ้างอิง

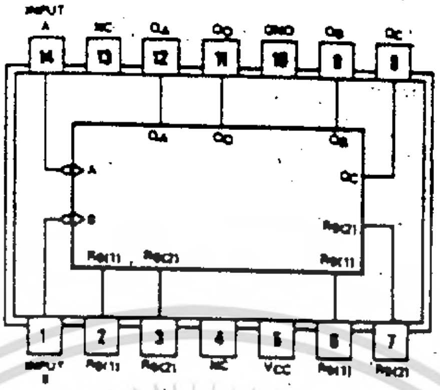
ความถี่อ้างอิงที่ใช้ในวงจรใช้ขนาด 5 KHz แต่ STEP ในการเพิ่มความถี่ของวงจรสามารถทำงานได้ทีละ 10 KHz เหตุที่ต้องเหลือ F_R ไว้ที่ 5 KHz แทนที่จะเป็น 10 KHz ตามทฤษฎี ก็เพราะว่าในส่วนของวงจรหารความถี่ สัญญาณที่ได้ออกมามีค่า DUTY CYCLE ไม่เป็น 50% จึงต้องมีการปรับรูปคลื่นโดยการหารด้วยสองอีกทีเพื่อให้มีค่า DUTY CYCLE ตามต้องการ ความถี่อ้างอิง F_R ใช้ CRYSTAL 4 MHz ผลิตความถี่ออกมาร่วมกับ NOT GATE 7404 ผ่านวงจรหารสิบสองครั้ง และผ่านวงจรหารสองสามครั้งได้ค่าความถี่ออกมา 5 KHz



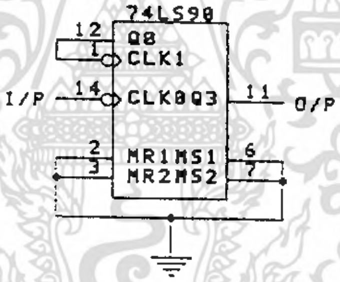
รูปที่ 4.1 แสดงวงจรกำเนิดความถี่ 4 MHz

ในส่วนของวงจรหารสิบใน IC เบอร์ 74LS90 ซึ่งมีโครงสร้างเป็นวงจร FLIP - FLOP จำนวน 4 ตัว ที่เชื่อมต่อกันเป็นวงจรนับแบบ RIPPLE COUNTER ให้เอาท์พุทออกมาเป็นเลขฐานสอง ดัง DIAGRAM ในรูปที่ 4.2 ซึ่งจะเห็นได้ว่า FLIP - FLOP ทั้ง 4 ตัว ถูกแบ่งออกเป็น 2 ส่วน คือวงจร FLIP - FLOP A จะถูกใช้เป็นวงจรนับแบบหารสอง ส่วนวงจร FLIP -FLOP B,C และ D ซึ่งถูกนำมารวมกันเป็นวงจรนับแบบหาร 5 ทั้งนี้เอาท์พุท QA จะถูกต่อออกมาภายนอกโดยไม่มีการเชื่อมต่อใดๆ กับอินพุทของวงจรนับแบบหาร 5 ซึ่งรับอินพุทเข้ามาทาง FLIP - FLOP B ดังนั้นในกรณีนี้ซึ่งเราต้องการที่จะทำเป็นวงจรหารสิบ เราจึงต้องต่อเอาท์พุทของ QA เข้าไปยังอินพุทของ FLIP - FLOP B ดังรูป 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดง DIAGRAM ของ 74LS90



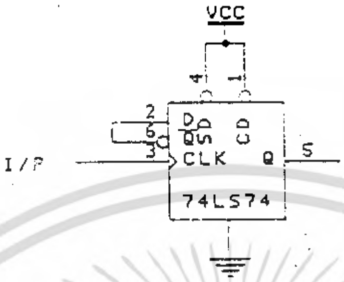
รูปที่ 4.3 แสดงการต่อขา 74LS90 ให้เป็นวงจรหารสิบ

ภายใน IC เบอร์ 74LS90 ได้มีส่วนที่เตรียมไว้สำหรับการ RESET ไว้ด้วย ซึ่งการ RESET จะกระทำผ่านขาอินพุท 4 ขา คือ $R_{\alpha(1)}$, $R_{\alpha(2)}$, $R_{\alpha(1)}$ และ $R_{\alpha(2)}$ โดยการป้อน LOGIC ต่างๆ ให้กับขานี้ ในกรณีนี้เราต้องการให้วงจรทำการนับตามปกติ เราจึงทำการป้อน LOGIC " O " ให้กับอินพุททั้ง 4 ขานี้

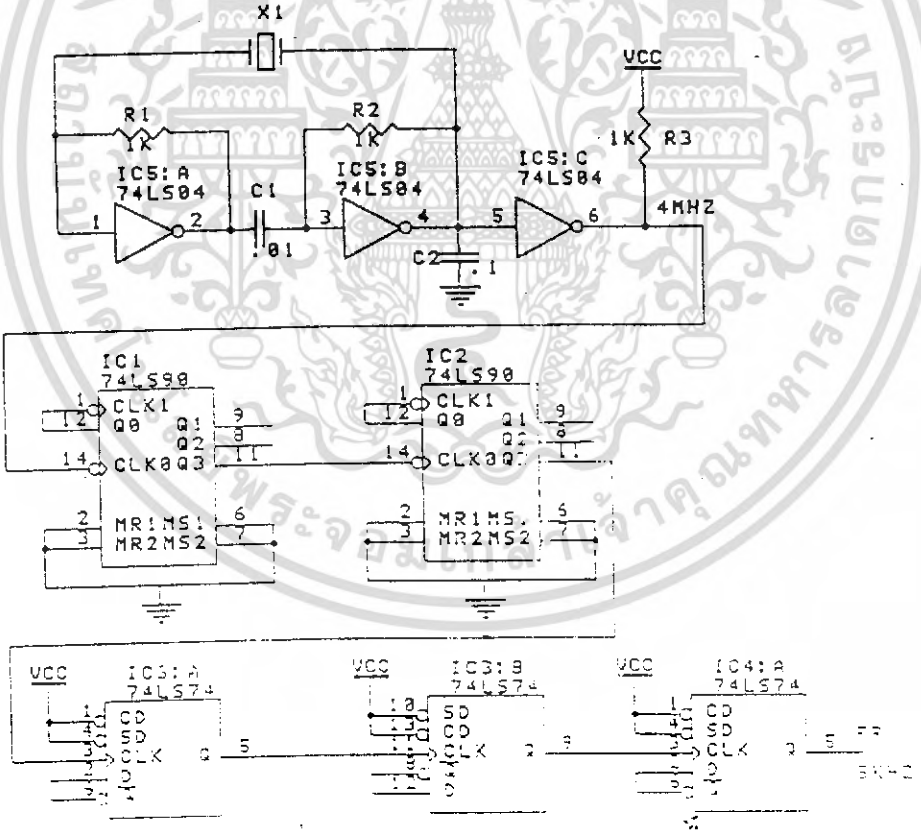
ในส่วนของวงจรหารสองถูกออกแบบโดยใช้ IC เบอร์ 74LS90 ซึ่งประกอบไปด้วย D FLIP - FLOP 2 ตัว โดยมีอินพุท D 1 อินพุท และมีอินพุทแบบอะซิงโครนัส คือ PRESET และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLEAR สำหรับขาอินพุท CLOCK นั้น จะทริกที่ขอบขาขึ้นของสัญญาณ CLOCK ในกรณีนี้เราจะต่อขาอะซิงโครนัสให้เป็น HIGH หมด เพราะเราไม่ใช้ในส่วนนี้ ส่วนการต่อ D FLIP - FLOP ให้เป็นวงจรหารสองนั้นทำได้โดยการต่อขา Q ย้อนกลับเข้ามาทางขา INPUT DATA และนำเอาขา Q ไปใช้งานดังแสดงในรูปที่ 4.4



รูปที่ 4.4 แสดงการต่อ D FLIP - FLOP ให้เป็นวงจรหารสอง



รูปที่ 4.5 แสดงวงจรทั้งหมดของส่วนสร้างความถี่อ้างอิง F_R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

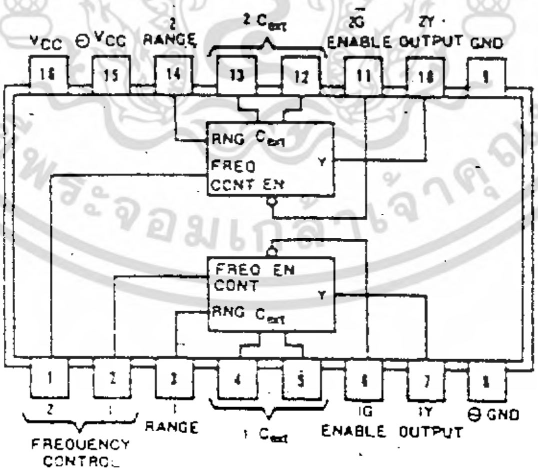
บทที่ 5

การออกแบบวงจรและการทำงานของเฟสล็อคลูป

การอธิบายวงจรในส่วนของเฟสล็อคลูปจะแยกออกเป็น 3 ส่วน ตามส่วนประกอบของเฟสล็อคลูป อันได้แก่ VCO , PHASE DETECTER และ LOW PASS FILTER ในที่นี้ทั้งสามส่วนไม่ได้รวมอยู่ใน IC เบอร์เดียวกัน เพื่อความง่ายต่อการทำความเข้าใจ และอธิบายการทำงาน

5.1 การออกแบบและการทำงานของวีซีโอ

วีซีโอถูกออกแบบให้สามารถผลิตความถี่ครอบคลุมตลอดย่านความถี่ที่ต้องการจาก 10 MHz ถึง 30 MHz แต่เนื่องจากว่า ระบบไม่สามารถที่จะตอบสนองความถี่ตลอดย่านความถี่ 10 MHz ถึง 30 MHz โดยเฟสล็อคลูปชุดเดียวได้ วีซีโอซึ่งถูกออกแบบให้ผลิตความถี่ให้อยู่ในย่านความถี่ตัวละประมาณ 2.5 MHz รวม 8 ตัว แล้วจึงนำเอาเอาท์พุทของวีซีโอมาทำการ MULTIPLEX เพื่อเลือกเอาว่า จะเอาช่วงความถี่ของวีซีโอตัวใดออกไปใช้งาน โดยมีอินพุท CONTROL วีซีโอที่ได้มาจาก PHASE DETECTER ตัวเดียวกัน ซึ่งจะได้พูดถึงรายละเอียดในส่วนของ PHASE DETECTOR อีกที ในการออกแบบเลือกใช้ IC เบอร์ 74S124 ที่เป็น DUAL VCO ที่สามารถผลิตความถี่ได้สูงถึง 80 MHz และมีขา INPUT ENABLE เพื่อเลือกว่าจะใช้งานจากวีซีโอดังนี้ ซึ่งแสดงดังรูป 5.1

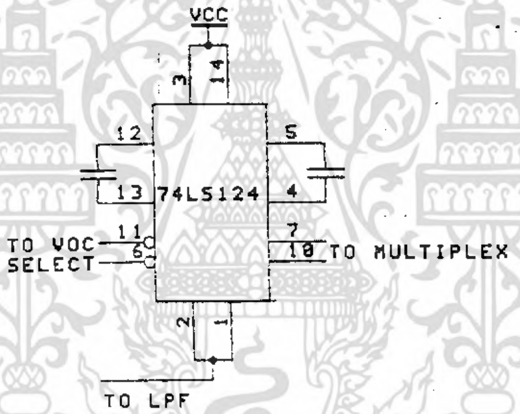


รูปที่ 5.1 แสดงการจัดเรียงขาของ IC เบอร์ 74S124

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ขา 4 กับ 5 และ 12 กับ 13 ของ 74S124 เป็นขาที่ใช้สำหรับต่อกับ CAPACITOR ภายนอก อันเป็นตัวกำหนด ค่าความถี่ที่วีซีโอทั้ง 8 ชุด จะมีค่า CAPACITOR ที่นำมาต่อต่างกันออกไป โดยให้ VCO_1 ผลิตความถี่ต่ำสุด VCO_2 ผลิตความถี่สูงกว่า VCO_1 ไปเรื่อยๆ จนถึง VCO_8 ซึ่งผลิตความถี่สูงที่สุด

ขา 6 และขา 11 ของ 74S124 แต่ละตัวเป็นขา ENABLE สัญญาณ VCO เอาท์พุทของวีซีโอแต่ละชุด เมื่อใดก็ตามที่ขา 6 หรือขา 11 มีค่าเป็น " LOW " VCO ถึงจะปล่อยสัญญาณที่ผลิตได้ออกมา เราจึงนำเอาขา 6 และขา 11 ของ 74S124 ไปต่อกับส่วน MULTIPLEX สัญญาณเพื่อเลือกเอาความถี่ของ VCO ว่าจะเอาสัญญาณความถี่ของ VCO ตัวใดออกไปใช้งาน

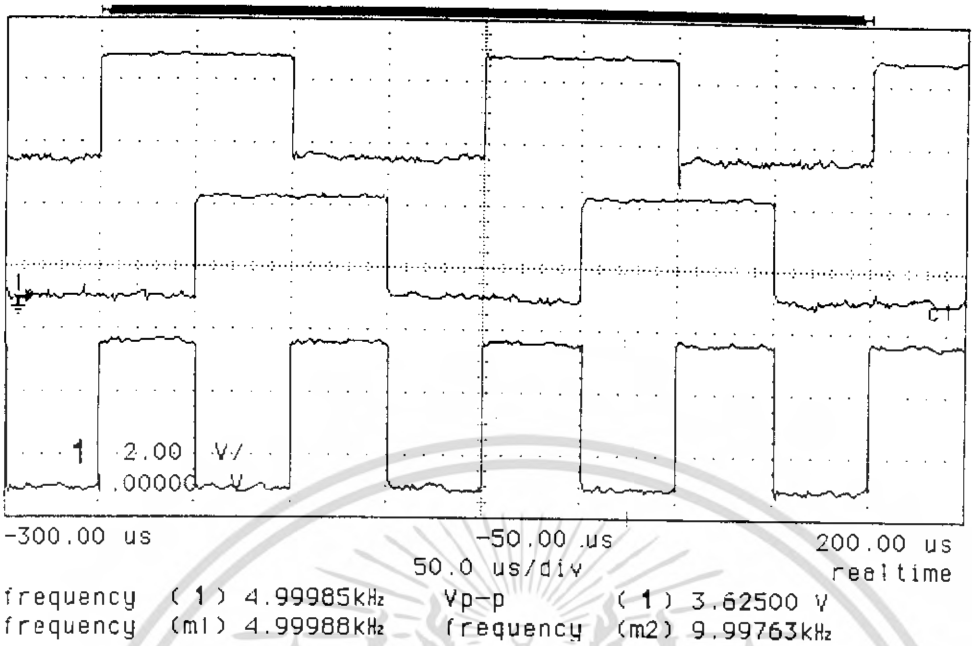


รูปที่ 5.2 แสดงวีซีโอ 1 ชุด

5.2 การออกแบบและการทำงานของเฟสดีเทคเตอร์

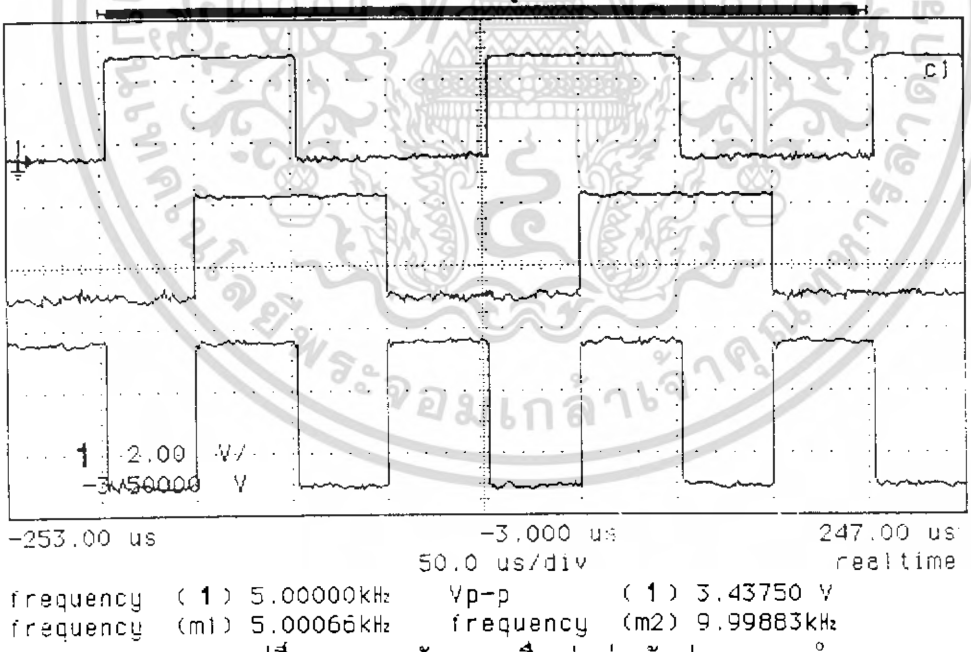
ในส่วนของเฟสดีเทคเตอร์เลือกใช้ TYPE2 ซึ่งเป็น EXCLUSIVE OR GATE ด้วย IC เบอร์ 74S124 สัญญาณจะถูกส่งมาเปรียบเทียบที่ขา 1 และขา 2 ส่วนขา 3 เป็นเอาท์พุทที่ได้จากการเปรียบเทียบ สัญญาณในกรณีต่างๆ เช่น เมื่อแสดงดังรูปที่ 5.3 ,5.4 ,5.5 และรูปที่ 5.6 ความแตกต่างเฟสเป็นค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 แสดงสัญญาณเมื่อเฟสแตกต่างกันประมาณ 0°

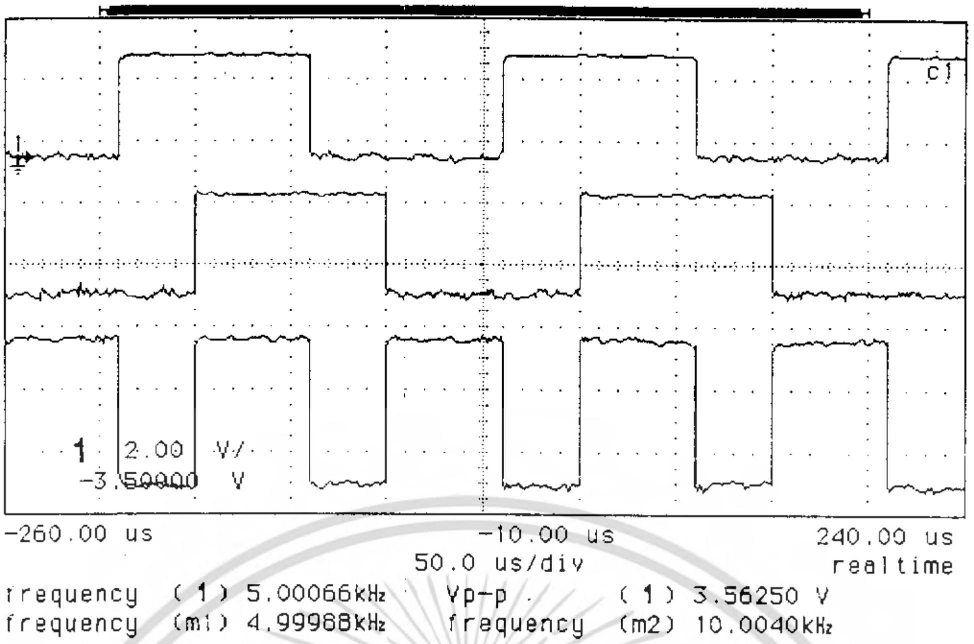
- เส้นที่ 1 แสดง F_R
- เส้นที่ 2 แสดง F_O
- เส้นที่ 3 แสดงเอาท์พุทของ PD



รูปที่ 5.4 แสดงสัญญาณเมื่อเฟสต่างกันประมาณ 90°

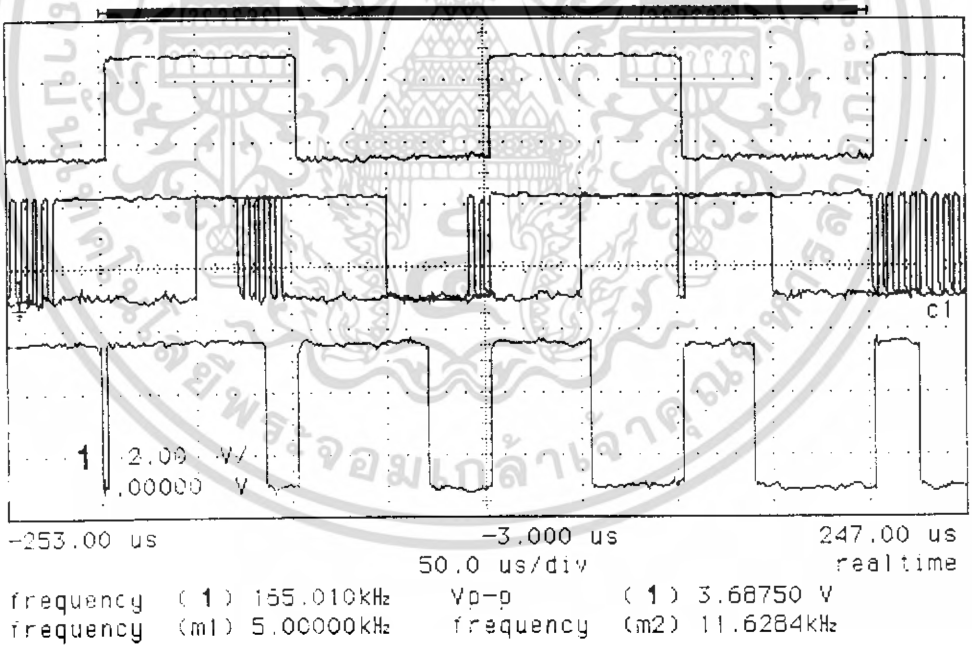
- เส้นที่ 1 แสดง F_R
- เส้นที่ 2 แสดง F_O
- เส้นที่ 3 แสดงเอาท์พุทของ PD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 แสดงสัญญาณเมื่อเฟสต่างกันประมาณ 180°

- เส้นที่ 1 แสดง F_R
- เส้นที่ 2 แสดง F_O
- เส้นที่ 3 แสดงเอาท์พุทของ PD



รูปที่ 5.6 แสดงสัญญาณเมื่อระบบ LOCK กับความถี่ HARMONIC

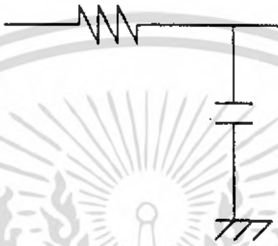
- เส้นที่ 1 แสดง F_R
- เส้นที่ 2 แสดง F_O
- เส้นที่ 3 แสดงเอาท์พุทของ PD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHASE DETECTER ในวงจรมีเพียงตัวเดียว ในขณะที่ VCO มี 8 ชุด PHASE DETECTER จะทำการเปรียบเทรียบความถี่อ้างอิง F_R กับความถี่เอาท์พุทจากวีซีโอ โดยผ่าน MULTIPLEX เป็นตัวเลือกว่าจะนำค่าความถี่จากวีซีโอตัวใดมาเปรียบเทียบกับความถี่อ้างอิง ซึ่งถูกควบคุมจากไมโครโปรเซสเซอร์อีกที

5.3 การออกแบบและการทำงานของ LPF

เลือกใช้ LOW PASS FILTER ชนิดที่ 1 ซึ่งเป็นชนิด RC PASSIVE FILTER แบบไม่มี ZERO

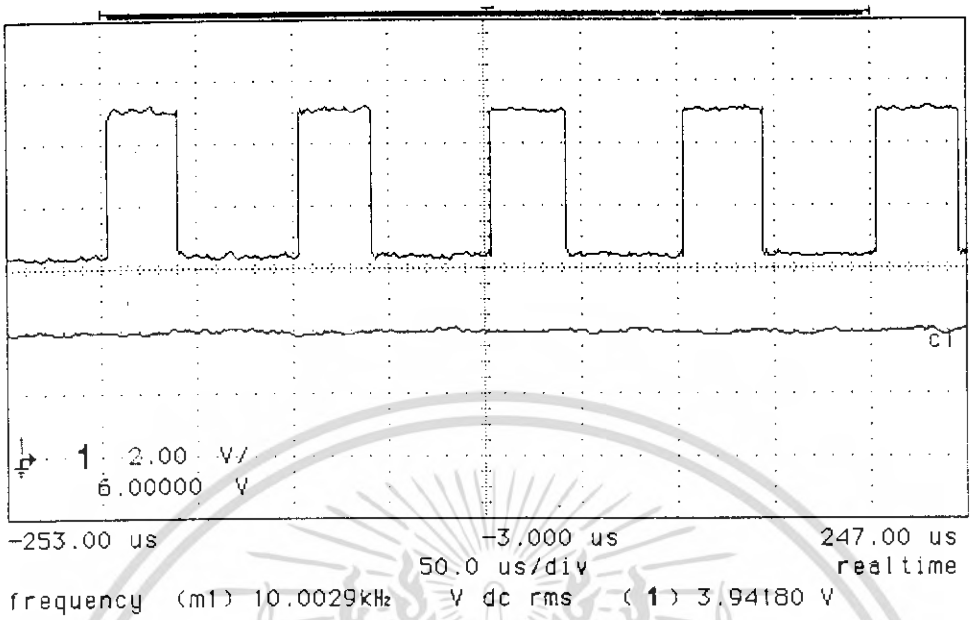


รูปที่ 5.7 แสดงวงจร LPF

สัญญาณที่เข้ามาที่อินพุทของ LOW PASS FILTER ซึ่งเป็น PULSE ที่เกิดจากความแตกต่างเฟสของสัญญาณที่นำมาเปรียบเทียบ จะถูก FILTER ให้กลายเป็นสัญญาณ DC โดยค่า VOLTAGE ที่ได้จะมีค่ามากเมื่อค่าความแตกต่างเฟสเป็น 180 ° และให้ค่าต่ำสุดเมื่อความแตกต่างเฟสเป็น 0 ° และมีค่าประมาณ 50 % ของ SUPPLY VOLTAGE เมื่อความแตกต่างของเฟสเป็น 90 ° ดังแสดงในรูปที่ 5.8 ,5.9 และ 5.10 ตามลำดับ

เนื่องจากสัญญาณที่ได้ออกมาจากเอาท์พุทของเฟสดีเทคเตอร์ชนิด TYPE2 ที่เลือกใช้นั้นไม่มีส่วนของผลบวกและผลต่างเหมือนกับเฟสดีเทคเตอร์ชนิด TYPE1 ที่เป็นแบบ ANALOG สัญญาณที่ได้จากการเปรียบเทียบจะอยู่ในรูป PULSE ที่ขึ้นอยู่กับความแตกต่างรูปถ่ายจริงทางเฟสของสัญญาณที่ได้กล่าวมาแล้ว ดังนั้น LPF จึงถูกใช้ในการแปลงสัญญาณเอาท์พุทของเฟสดีเทคเตอร์ให้อยู่ในรูป DC SIGNAL เพื่อส่งไปควบคุม VCO เท่านั้น

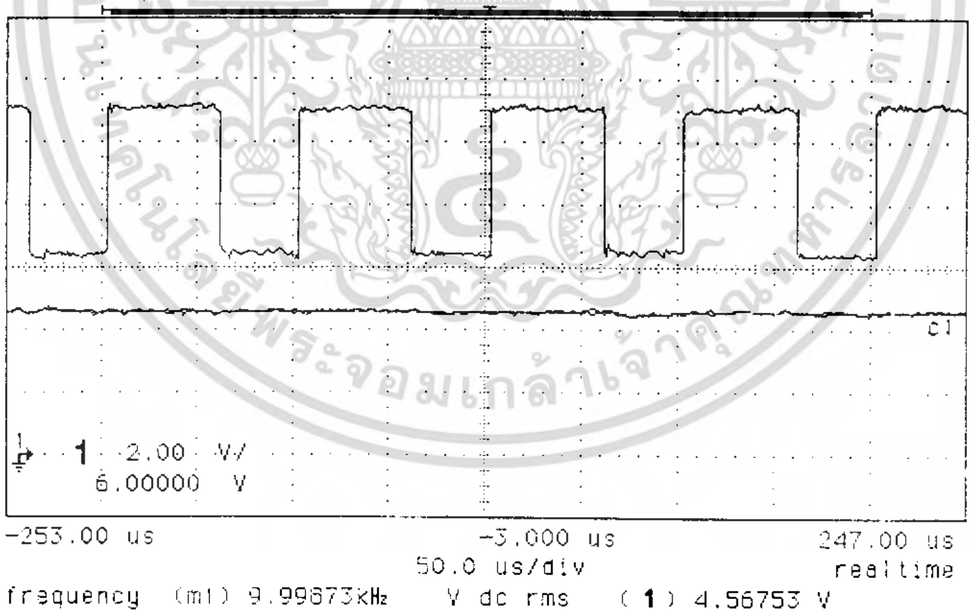
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 แสดงสัญญาณเมื่อความต่างเฟสเป็น 180 °

- เส้นที่ 1 แสดงสัญญาณอินพุท

- เส้นที่ 2 แสดงสัญญาณที่เอาท์พุท

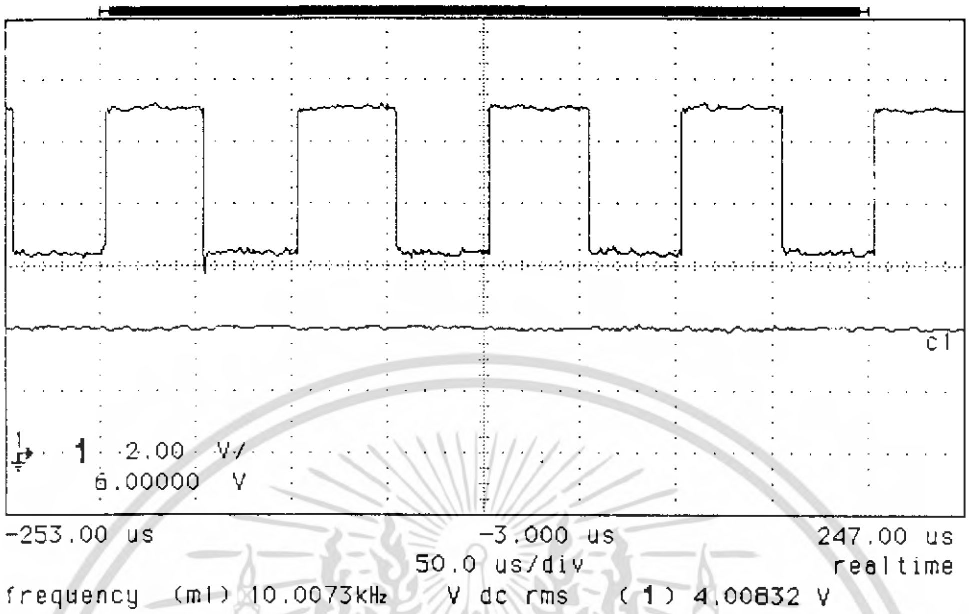


รูปที่ 5.9 แสดงสัญญาณเมื่อความต่างเฟสเป็น 0 °

- เส้นที่ 1 แสดงสัญญาณที่อินพุท

- เส้นที่ 2 แสดงสัญญาณที่เอาท์พุท

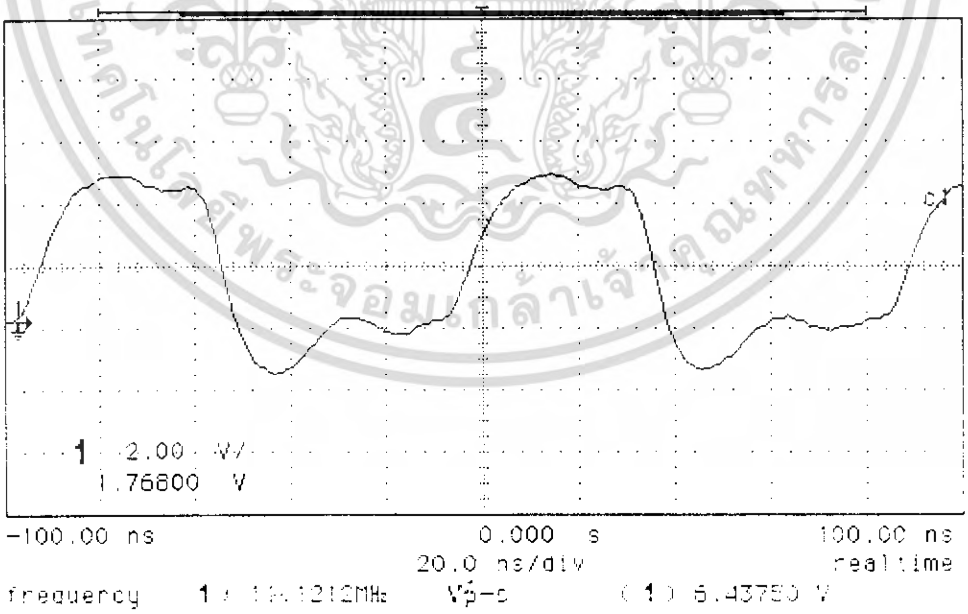
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 แสดงสัญญาณเมื่อความต่างเฟสเป็น 90 °

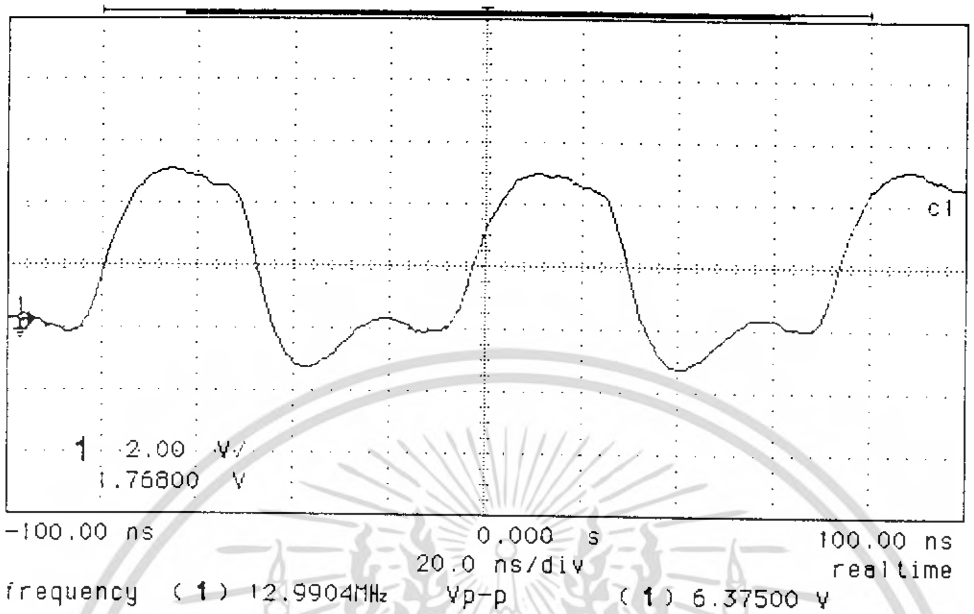
- เส้นที่ 1 แสดงสัญญาณที่อินพุท

- เส้นที่ 2 แสดงสัญญาณที่เอาท์พุท

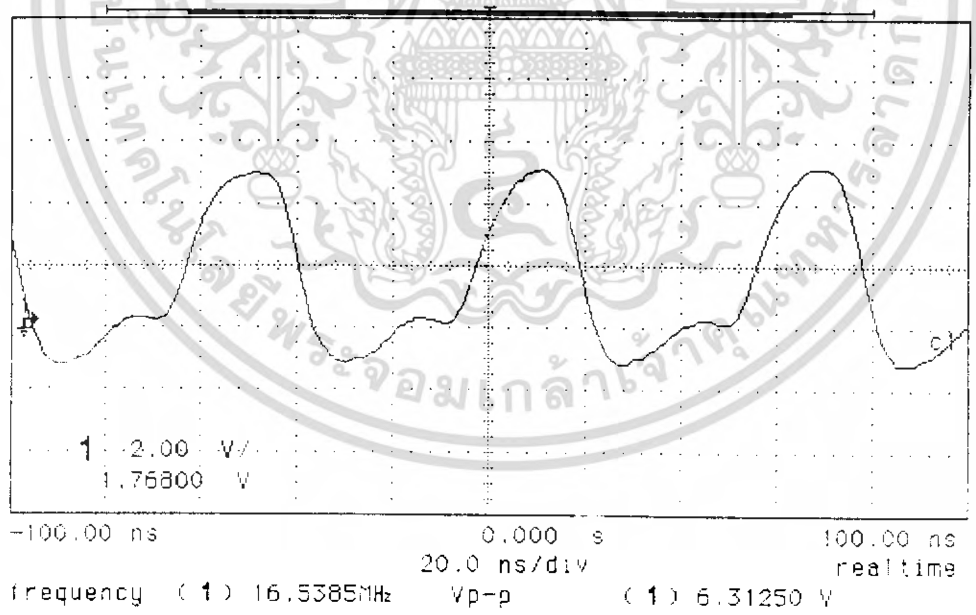


รูปที่ 5.11 แสดงสัญญาณเอาท์พุทของวีซีโอชุดที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

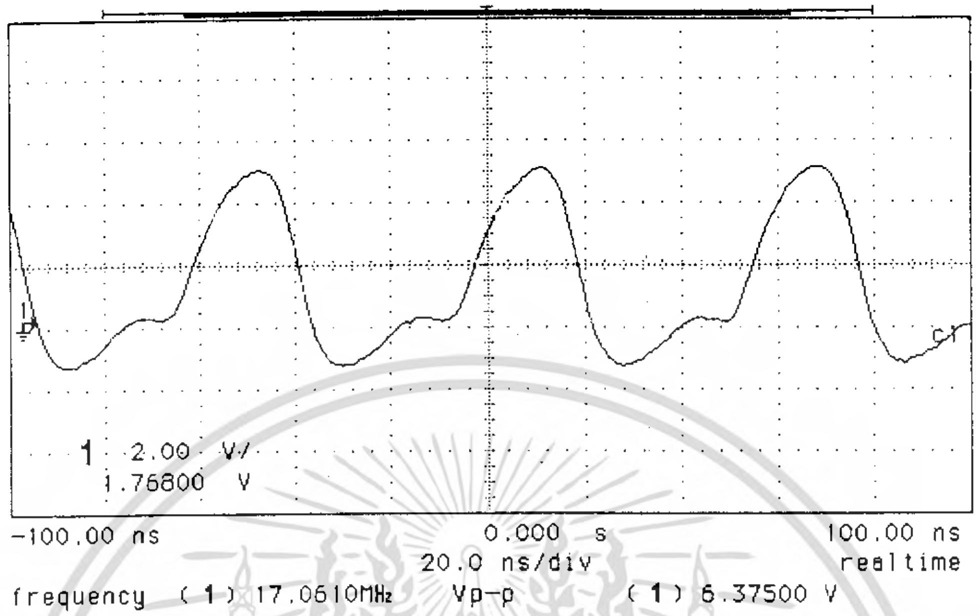


รูปที่ 5.12 แสดงสัญญาณเอาท์พุทของวีซีโอชุดที่ 2

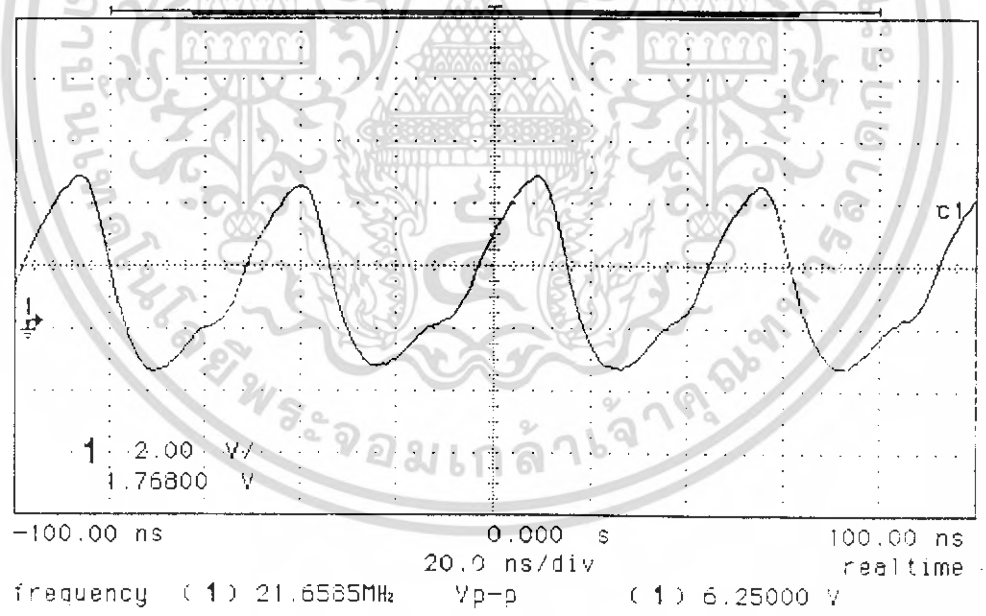


รูปที่ 5.13 แสดงสัญญาณของเอาท์พุทของวีซีโอชุดที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

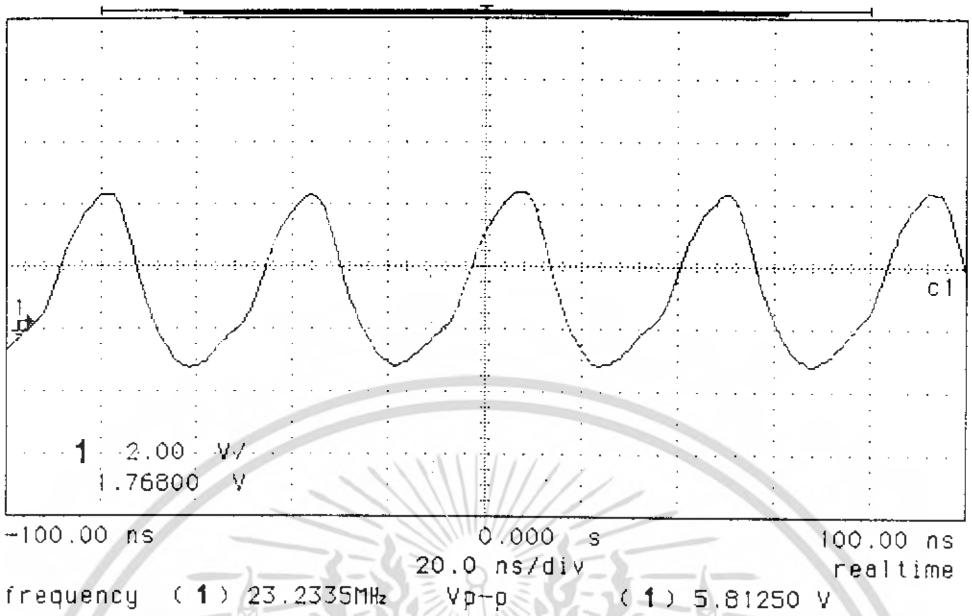


รูปที่ 5.14 แสดงสัญญาณเอาท์พุทของวีซีโอชุดที่ 4

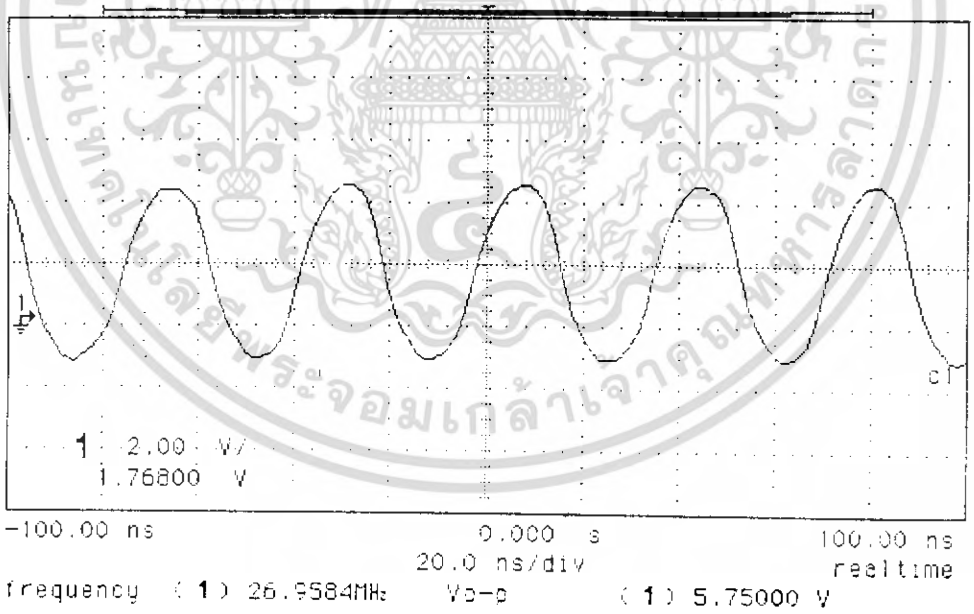


รูปที่ 5.15 แสดงสัญญาณเอาท์พุทของวีซีโอชุดที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

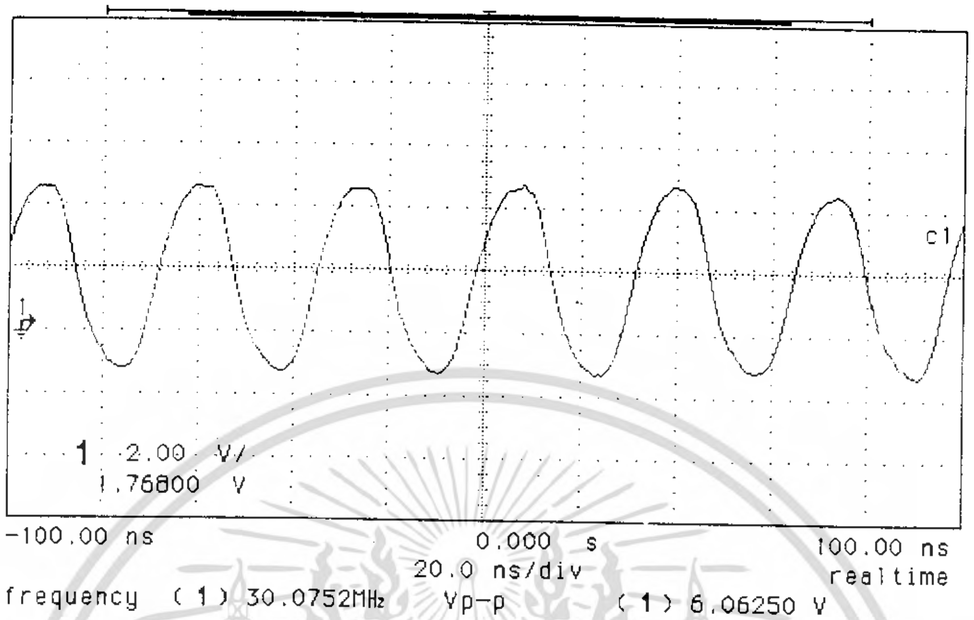


รูปที่ 5.16 แสดงสัญญาณเอาท์พุทของวีซีโอชุดที่ 6

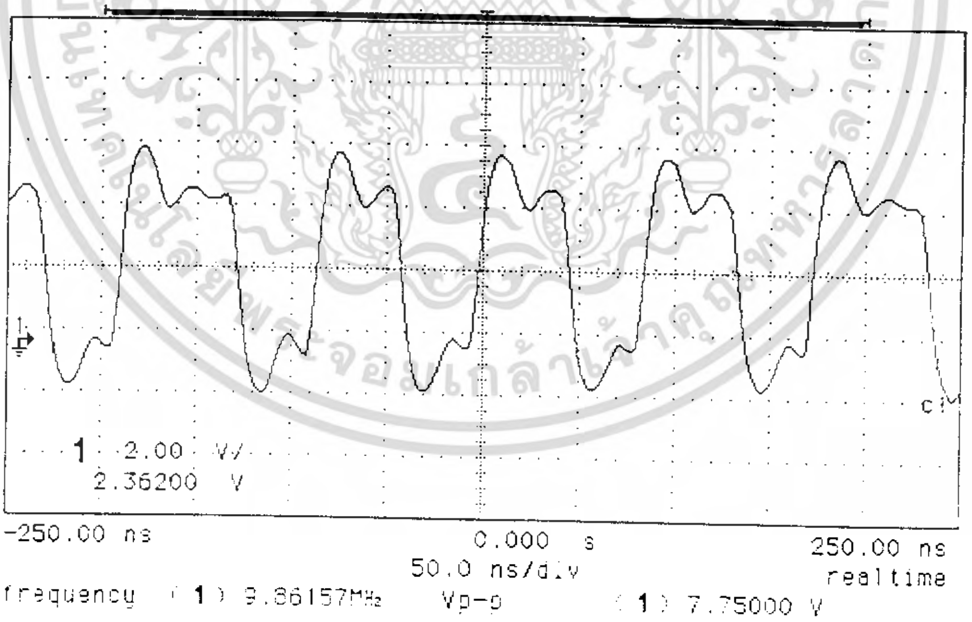


รูปที่ 5.17 แสดงสัญญาณเอาท์พุทของวีซีโอชุดที่ 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.18 แสดงสัญญาณเอาท์พุทของวีซีโอชุดที่ 8



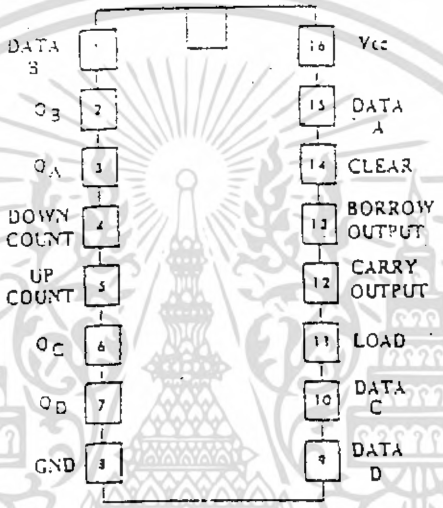
รูปที่ 5.19 แสดงสัญญาณเอาท์พุทของมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

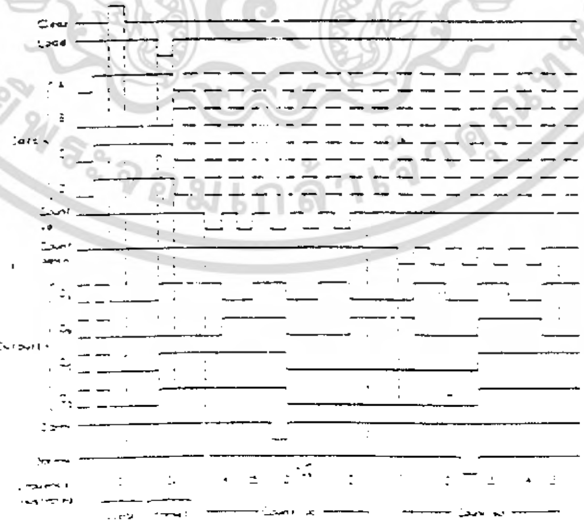
บทที่ 6
การออกแบบและการทำงานของวงจรหารความถี่

6.1 การทำงานของ 74F192

ปัจจุบันวงจรหารถูกรวมอยู่ภายในวงจรรวมไอซีเพียงตัวเดียว ทำให้สะดวกในการเลือกใช้อย่างมากในการออกแบบเลือกใช้ IC เบอร์ 74F192 ซึ่งมีการจัดเรียงขา และ DIAGRAM ของวงจรดังรูปมรา 6.1 และ 6.2 ตามลำดับ

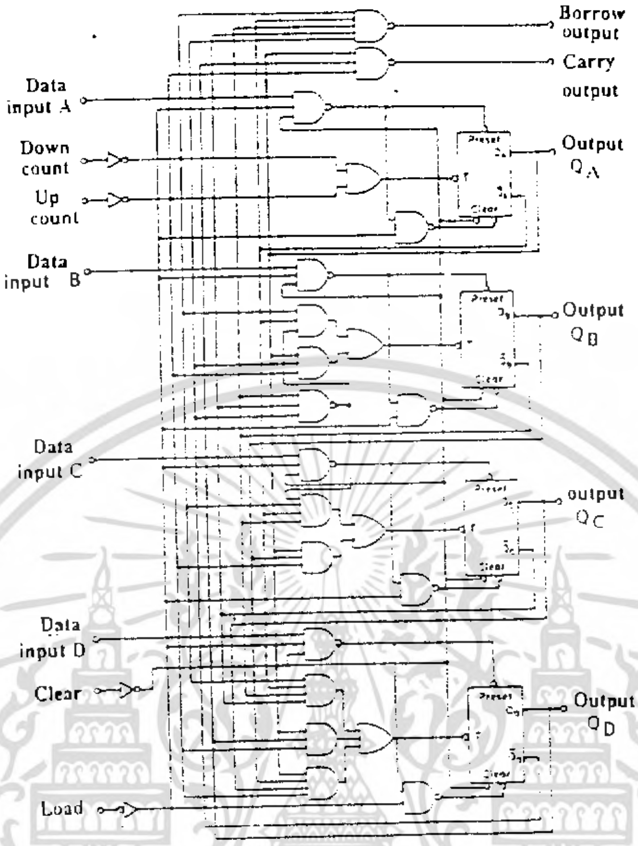


รูปที่ 6.1 แสดงการจัดเรียงขาของ 74F192



รูปที่ 6.2 แสดง TIMMIMG DIAGRAM ของ 74F192

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.3 แสดง CIRCUIT DIAGRAM ของ 74F192

จากรูปที่ 6.1 จะเห็นว่า วงจรสามารถทำการนับขึ้นและนับลงได้ โดยการป้อนสัญญาณให้กับขาอินพุท UP COUNT (ขา5) เมื่อต้องการให้วงจรนับขึ้น และซ่อน CLOCK ให้กับขาอินพุท UP DOWN (ขา4) เมื่อต้องการให้วงจรนับลง สำหรับอินพุทที่ไม่ได้ใช้งานจะทำการต่อกับ HIGH LOGIC คือช่วงที่กำหนดให้วงจรนับขึ้น ขาอินพุท DOWN COUNT จะต้องต่อกับ LOGIC "1" และจะต้องต่อ LOGIC "1" ให้กับขาอินพุท UP COUNT เมื่อทำการ SET วงจรให้นับลงและเนื่องจาก CLOCK ถูกต่อผ่าน INVERTER ก่อนที่ป้อนให้กับ FLIP - FLOP จึงทำให้วงจรถูกทริคที่ขอบขาขึ้นของสัญญาณคล็อคที่ป้อนให้กับวงจรผ่านขา UP COUNT หรือ DOWN COUNT

เมื่อทำการต่อ 74F192 เป็นวงจรหารที่สามารถเลือกค่าได้ ซึ่งต้องหาค่าในการหารสูงพอสมควร จึงต้องมีการต่อ 74F192 รวมกันทั้งหมด 4 ตัว เป็นวงจรหาร N ซึ่งในการใช้งานเรากำหนดให้ทำการนับลงอย่างเดียว สำหรับเอาท์พุทของวงจรถูกนำออกทางขา BORROW ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนับทางด้านขวาสุด โดยความถี่ที่ได้ขึ้นอยู่กับสัญญาณคล็อคและข้อมูลที่ป้อนให้แก่ขาอินพุท A - D ซึ่งเป็นตัวเลือกค่า N ในการหารของวงจรนับทุกตัว ซึ่งค่าในการหาร สามารถคำนวณได้จากสมการ

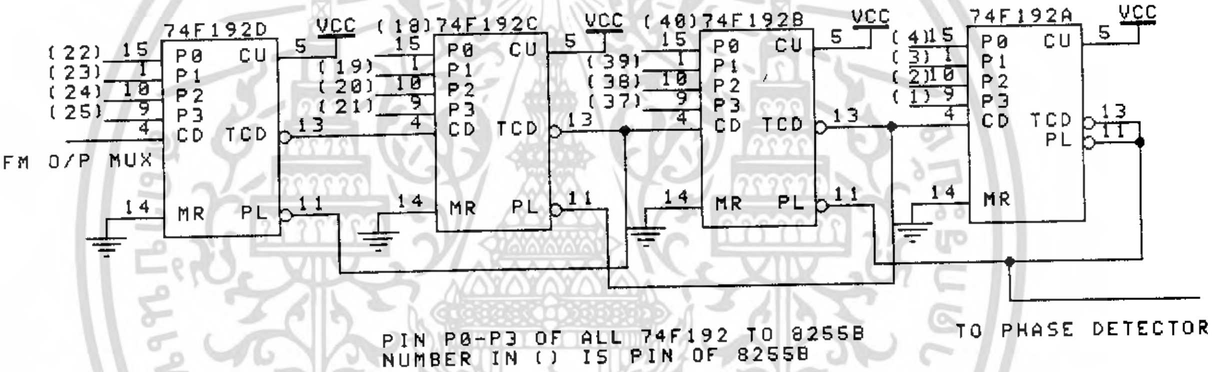
$$F_{OUT} = F_{IN} / N$$

เมื่อ F_{OUT} = ความถี่ของสัญญาณทางเอาท์พุท

F_{IN} = ความถี่ของสัญญาณ CLOCK ทางอินพุท

N = ค่าที่ต้องการ

N = 1.A +2.B + 4.C + 8.D + 10.E + 20.F + 40.G + 80.H +100.I + 200.J + 400.K + 800.L + 1000.M + 2000.N + 4000.O + 8000.P



รูปที่ 6.4 แสดงวงจรหาร N

6.2 การกำหนดค่าหารความถี่ N

จากสมการ $F_O = N \cdot F_R$ ความถี่สูงสุดที่เราต้องการคือ 30 MHz ความถี่ต่ำสุดที่เราต้องการคือ 10 MHz และความถี่อ้างอิง F_R เท่ากับ 10 KHz เพราะฉะนั้นจะได้ว่า

$$N_{MAX} = F_{OMAX} / F_R$$
$$= 30 \text{ MHz} / 10 \text{ KHz}$$
$$= 3000$$

$$N_{MIN} = F_{OMIN} / F_R$$
$$= 10 \text{ MHz} / 10 \text{ KHz}$$
$$= 1000$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N ในการกำหนดค่าในการหารความถี่มีค่าจาก 1000 ถึง 3000 ซึ่งเป็นค่าที่จะต้องป้อนให้แก่วงจรหาร N แต่ละตัว ซึ่งต้องการเป็นตัวเลข BCD CODE

สมมุติว่าเราต้องการความถี่ 25.24 MHz เราจะต้องกำหนดค่าหาร N เป็นค่า 2524 (คำนวณได้จากสมการ) เพราะฉะนั้นค่าที่ป้อนให้ IC ตัวที่ 1 ของชุดหารความถี่ จะเป็นเลข 0010B และข้อมูลที่ป้อนให้ IC_2 คือ 0101B ข้อมูลที่ป้อนให้ IC_3 คือ 0010 B ข้อมูลที่ป้อนให้ IC_4 8nv 0100B ซึ่งจะสังเกตุได้ว่า IC_1 ทำการหารค่าในหลัก 1000 IC_2 ทำการหารค่าในหลัก 100 IC_3 ทำการหารค่าในหลัก 10 และ IC_4 ทำการหารค่าในหลักหน่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

สถาปัตยกรรมของ MCS - 51

7.1 คุณสมบัติของ MCS - 51

คุณสมบัติที่สำคัญๆ ของ MCS - 51 มีดังนี้

1. ต้องการไฟเลี้ยง 5 โวลท์

2. มีหน่วยความจำสำหรับเก็บโปรแกรมควบคุมการทำงานอยู่ภายในชิปจำนวน 4 kbyte (บางเบอร์ไม่มีหน่วยความจำในส่วนนี้)

3. มีหน่วยความจำสำหรับเก็บข้อมูลทั่วไป (RAM) อยู่ภายในชิปจำนวน 128 byte

4. สามารถใช้หน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลที่อยู่ภายนอกชิป อย่างละ 64 byte แยกจากกัน

5. คำสั่งส่วนใหญ่ใช้เวลาเพียง 1 μs เมื่อใช้ CLOCK 12 MHz

6. มีพอร์ทที่สามารถรับและส่งข้อมูลได้ทั้งสองทิศทาง จำนวน 4 พอร์ท พอร์ทละ 8 บิท หรือใช้งานเป็นพอร์ทขนาด 1 บิท แยกจากกัน ทำให้เสมือนว่ามีพอร์ท 1 บิท ใช้งานได้ 32 พอร์ท

7. รับและส่งข้อมูลแบบอนุกรมได้ในตัว โดยสามารถกำหนดอัตราเร็วในการรับส่ง (BAUD RATE) ได้ตั้งแต่ 300 ถึง 375 kb / s

8. จัดลำดับความสำคัญของสัญญาณอินเตอร์รัปต์ได้ 2 ระดับ

9. มีรีจีสเตอร์สำหรับใช้งานเป็นไทม์เมอร์ หรือเคาน์เตอร์เพื่อนับจำนวนสัญญาณนาฬิกาภายในชิป หรือนับการเปลี่ยนสถานะของสัญญาณภายนอกขนาด 16 บิท จำนวน 2 ตัว เพื่อใช้สำหรับนับพัลพ์ วัดความกว้างของพัลพ์หรือใช้วัดช่วงเวลา

10. จำนวนหน่วยความจำสำหรับเก็บข้อมูลภายในบางส่วนสามารถเข้าถึงข้อมูลทั้งในระดับไบท์และระดับบิท

11. มีคำสั่งคูณและหารเลขขนาด 8 บิท ในตัวเอง

12. สามารถประมวลผลแบบบูลีน เพื่อใช้ในงานควบคุมโดยเฉพาะ

13. ใช้โปรแกรมของไมโครคอนโทรลเลอร์ตระกูล MCS - 48 ได้

ไมโครคอนโทรลเลอร์ตระกูล MCS - 51 เบอร์ที่จะดูว่าเป็นพื้นฐานของตระกูลนี้คือเบอร์ 8051, 8751 และ 8031 ซึ่งมีจำนวนขาภายนอก 40 ขาเท่ากัน ใช้เวลาในการปฏิบัติคำสั่งในแต่ละคำสั่งเท่ากัน ใช้แรงดันไฟฟ้าเท่ากัน แต่สิ่งที่แตกต่างกันระหว่างเบอร์ทั้งสามคือ ขนาดของหน่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความจำสำหรับเก็บโปรแกรมในชิป (ON SHIP PROGRAM MEMORY) ซึ่งมีไว้เพื่อสนองตอบต่อการใช้งานที่แตกต่างกัน

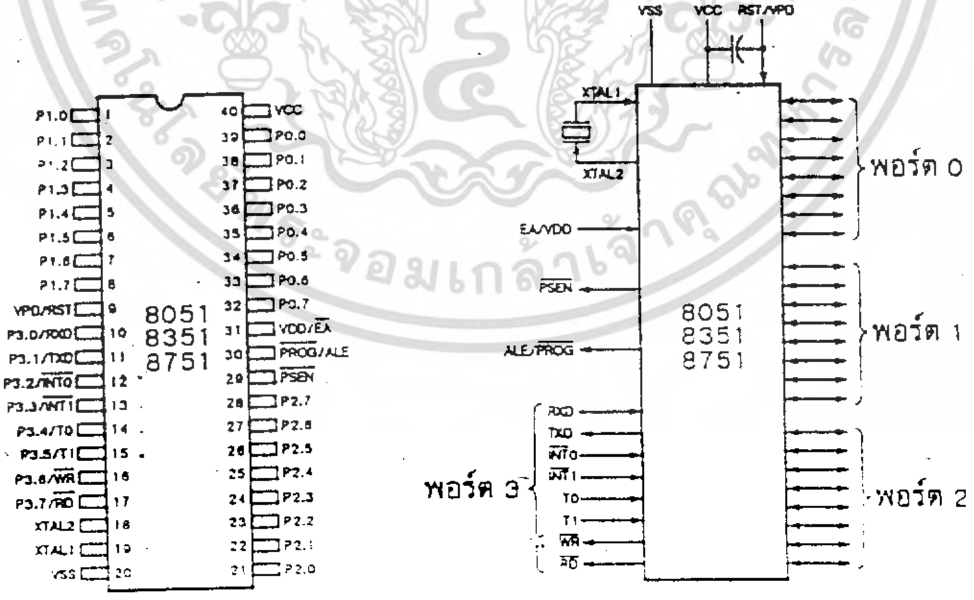
- เบอร์ 8751 มีหน่วยความจำสำหรับเก็บโปรแกรมภายในชิปเป็น EPROM ขนาด 4 kbyte จึงสามารถทำการล้างและบรรจุข้อมูลได้ ทั้งนี้เพื่อความสะดวกในการแก้ไข และปรับปรุงไมโครคอนโทรลเลอร์เบอร์ 8751 มีไว้ใช้งานในการพัฒนาเบื้องต้น ซึ่งจำเป็นต้องมีการตรวจสอบโปรแกรมเพื่อหาข้อผิดพลาดก่อนการผลิตจริง ทั้งนี้การล้างโปรแกรมสามารถทำได้ในจำนวนครั้งที่จำกัด

- เบอร์ 8051 หลังการทดลองแล้วไม่ปรากฏข้อผิดพลาดใดๆ ในการผลิตจริงจะใช้ MCS - 51 เบอร์ 8051 ซึ่งมีหน่วยความจำสำหรับเก็บโปรแกรมภายในเป็น ROM ขนาด 4 kbyte ซึ่งมีค่าต่ำกว่าแต่ไม่สามารถที่จะทำการแก้ไขโปรแกรมที่บรรจุเข้าไปแล้วได้

- เบอร์ 8031 เบอร์นี้ไม่มีหน่วยความจำสำหรับเก็บข้อมูลภายในชิป แต่สามารถใช้หน่วยความจำเพื่อเก็บโปรแกรมภายนอกชิปได้มากถึง 64 kbyte ซึ่งอาจเป็น ROM,PROM หรือ EPROM แล้วแต่ความสะดวกในการเลือกใช้

7.2 โครงสร้างของ MCS - 51

MCS - 51 เป็นตระกูลของไมโครคอนโทรลเลอร์ที่พัฒนาขึ้นมาจากตระกูล MCS - 48 ดังนั้น จึงมีขีดความสามารถที่เหนือกว่าหลายอย่าง เช่น ความเร็วในการประเมินผลที่เร็วกว่า MCS - 51 ทุกเบอร์จะมีตำแหน่งขาพื้นฐานที่เหมือนกัน ดังแสดงในรูป 7.1



รูปที่ 7.1 แสดงตำแหน่งของ MCS - 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่การใช้งานแต่ละขาของชิปตระกูล MCS - 51 มีดังนี้

- ขา VSS (ขา 20) สำหรับต่อลงกราวด์

- ขา VCC (ขา 40) สำหรับต่อไฟเลี้ยงกระแสตรงขนาด 5 โวลท์

- ขาพอร์ท 0 (ขา 32-39) มี 8 ขาใช้เป็นขาของพอร์ท 0 ขนาด 8 บิท (P0.0 - P0.7) แบบสองทิศทาง พอร์ทนี้สามารถใช้งานเป็นอินพุทเอาท์พุททั่วไปได้ ซึ่งหากต้องการใช้งานเป็นอินพุทพอร์ทต้องป้อนค่า "1" ไปให้แต่ละบิทของพอร์ทนี้ก่อน นอกจากนี้แล้วพอร์ท 0 ยังใช้ในการติดต่อกับหน่วยความจำสำหรับเก็บข้อมูล และโปรแกรมภายนอกชิปได้ โดยการส่งแอดเดรสไบท์ต่ำ (A0 - A7) และมัลติเพล็คกับการรับส่งข้อมูล (D0 - D7) จากหน่วยความจำภายนอกในการเขียนหรืออ่านข้อมูล โดยมีวงจรพูลอัพภายใน

- ขาพอร์ท 1 (ขา 1-8) มี 8 ขา เป็นของพอร์ท 1 (P1.0 - P1.7) สามารถใช้งานเป็นอินพุทเอาท์พุททั่วไปได้ หากต้องการใช้งานเป็นอินพุท ต้องป้อนค่า "1" ไปให้ทุกบิทก่อนเช่นกัน ขา P1.0 และ P1.1 ในเบอร์ 8052 ยังสามารถใช้งานอย่างอื่นได้อีก

- ขาพอร์ท 2 (ขา 21-28) มี 8 ขา เป็นของพอร์ท 2 (P2.0 - P2.7) ขนาด 8 บิท พอร์ทนี้ยังสามารถใช้เป็นอินพุทเอาท์พุททั่วไปได้ โดยหากต้องการใช้งานเป็นอินพุทต้องป้อนค่า "1" ไปยังแต่ละบิทก่อน นอกจากนี้แล้วพอร์ท 2 ยังถูกใช้ในการติดต่อกับหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกด้วย โดยใช้สำหรับการส่งแอดเดรสไบท์สูง (A8 - A15) และมีวงจรพูลอัพภายใน

- ขาพอร์ท 3 (ขา 10 -17) มี 8 ขา เป็นของพอร์ท 3 (P3.0 - P3.7) ใช้งานเป็นอินพุทเอาท์พุททั่วไปได้ นอกจากนี้แล้วยังถูกใช้งานในหน้าที่พิเศษอีกหลายอย่างดังนี้

ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม

ขา P3.1 ใช้ส่งข้อมูลออกไปภายนอกแบบอนุกรม

ขา P3.2 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัปต์ชนิด 0

ขา P3.3 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัปชนิด 1

ขา P3.4 สัญญาณอินพุทให้เคาน์เตอร์ของไทม์เมอร์ 0

ขา P3.5 สัญญาณอินพุทให้เคาน์เตอร์ของไทม์เมอร์ 1

ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป

ขา P3.7 ใช้เป็นสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขา RST (ขา 9) ใช้สำหรับการรีเซทวงจรทุกอย่างที่อยู่ภายในชิป เพื่อเริ่มต้นการทำงานใหม่ เมื่อต้องการรีเซทชิป MCS - 51 ขา RST ต้องมีสถานะ "1" เป็นเวลาอย่างน้อย 2 แมชชีนไซเคิล ระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่

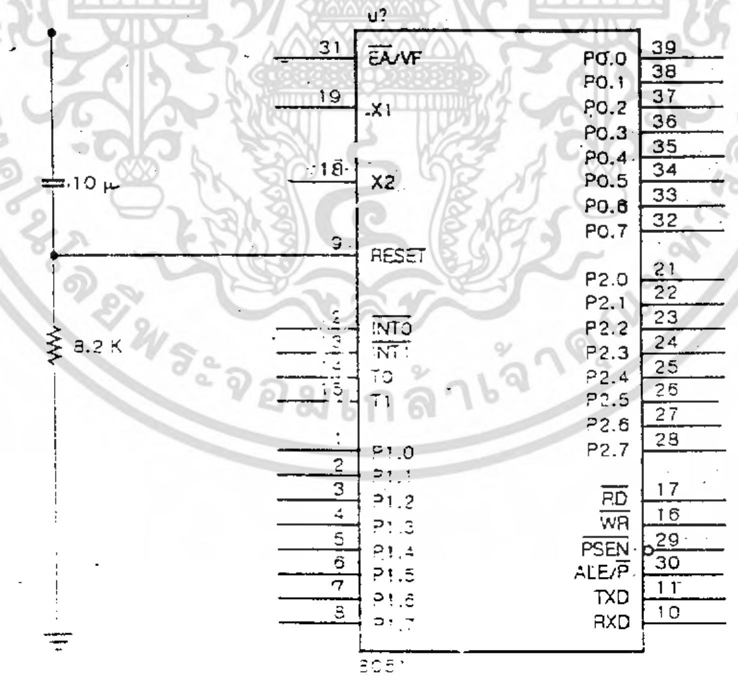
- ขา ALE / PROG (ขา 30) ใช้สำหรับส่งสัญญาณออกไปภายนอก เพื่อควบคุมการ LATCH ค่าแอดเดรสไบท์ต่ำจากพอร์ท 0 ในระหว่างการติดต่อกับหน่วยความจำ สำหรับเก็บโปรแกรมหรือข้อมูลภายนอกชิป

- ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรบ เพื่ออ่านคำสั่งจากโปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิป เมื่อชิปทำงานด้วยโปรแกรมจากภายนอก ขานี้จะส่งสัญญาณจากสโตรบ 2 ครั้ง ในแต่ละครั้งแมชชีนไซเคิล

- ขา EA / VPP (ขา 31) เป็นขาที่ใช้เลือกว่าจะให้ MCS - 51 ทำงานจากโปรแกรมที่อยู่ภายในชิปหรืออยู่ภายนอกชิป โดยถ้าหากขานี้มีสถานะเป็นศูนย์ หมายถึงให้ใช้โปรแกรมที่อยู่ภายนอกชิป

- ขา XTAL 1 (ขา 19) ใช้ต่อคริสตอลภายนอก โดยเป็นอินพุทเข้าสู่วงจรออสซิลเลเตอร์

- ขา XTAL 2 (ขา 18) ใช้ต่อคริสตอลภายนอก โดยเป็นเอาท์พุทเข้าสู่วงจรออสซิลแตอร์

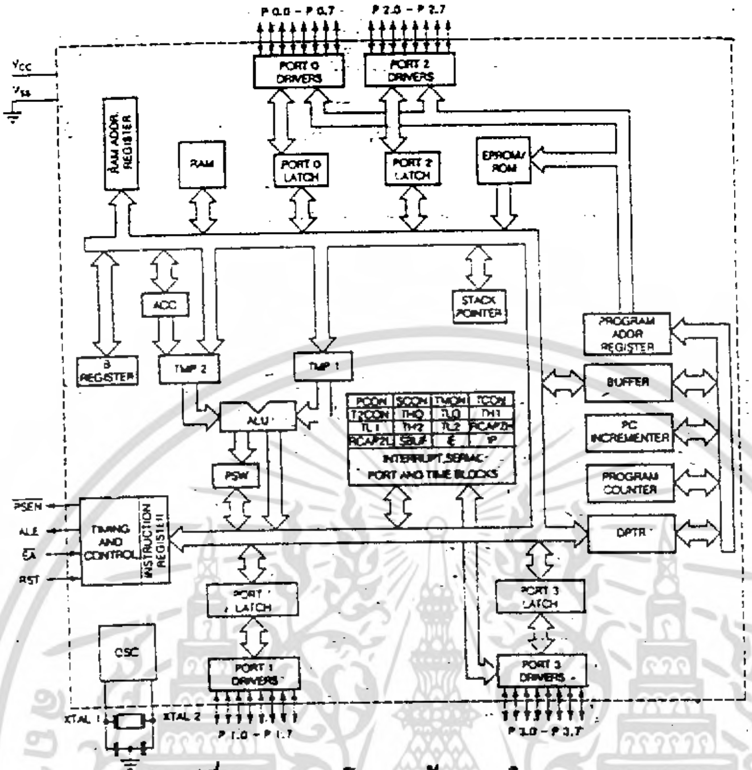


รูปที่ 7.2 แสดงวงจรสำหรับรีเซท MCS - 51 โดยอัตโนมัติเมื่อเริ่มจ่ายพลังงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.3 โครงสร้างภายในของ MCS - 51

โครงสร้างภายในของ MCS - 51 แสดงดังรูป 7.3



รูปที่ 7.3 แสดงโครงสร้างภายในของ MCS - 51

MCS - 51 ทุกเบอร์จะแบ่งหน่วยความจำออกเป็น 2 ส่วนคือ

- หน่วยความจำสำหรับเก็บโปรแกรม (PROGRAM MEMORY)
- หน่วยความจำสำหรับเก็บข้อมูล (DATA MEMORY)

สำหรับหน่วยความจำสำหรับเก็บโปรแกรม ในบางเบอร์จะไม่มีส่วนนี้ ทำให้ต้องเก็บโปรแกรมไว้ภายนอกทั้งหมด ส่วยหน่วยความจำสำหรับเก็บข้อมูลทุกเบอร์จะมีส่วนนี้

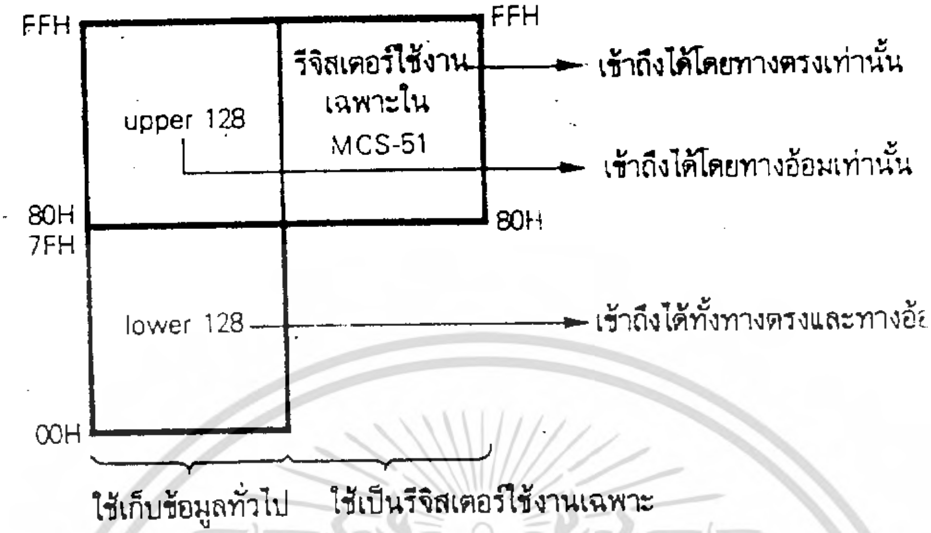
หน่วยความจำสำหรับเก็บโปรแกรม ถูกแบ่งออกเป็นสองส่วน คือหน่วยความจำ สำหรับเก็บโปรแกรมภายในชิป (INTERNAL PROGRAM MEMORY) และหน่วยความจำสำหรับเก็บโปรแกรมภายนอกชิป (EXTERNAL PROGRAM MEMORY) ขนาด หน่วยความจำสำหรับเก็บโปรแกรมภายในชิปมีขนาดตั้งแต่ 0, 4, 8, 16 kbyte ขึ้นอยู่กับเบอร์ของชิป

หน่วยความจำสำหรับเก็บข้อมูล แบ่งเป็น INTERNAL และ EXTERNAL MEMORY เช่นกัน สำหรับหน่วยความจำสำหรับเก็บข้อมูลภายในชิปของ MCS - 51 แบ่งออกเป็น 2 ส่วนคือ

- ส่วนที่ใช้เก็บข้อมูลทั่วไป
- ส่วนที่ใช้เป็นรีจีสเตอร์เฉพาะ

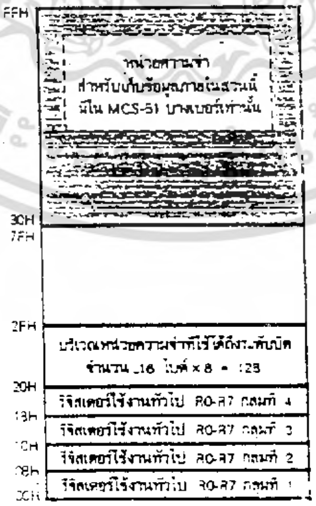
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของหน่วยความจำสำหรับเก็บข้อมูลภายในแสดงในรูป 7.4



รูปที่ 7.4 แผนภาพแสดงหน่วยความจำสำหรับเก็บข้อมูลภายในชิป MCS - 51

หน่วยความจำส่วนที่เก็บข้อมูลทั่วไปภายในชิป มี ไว้สำหรับเก็บข้อมูลในขณะทำงาน ส่วนหน่วยความจำเก็บข้อมูลภายในชิปที่ใช้เป็นรีจีสเตอร์ใช้งานเฉพาะ ใช้เป็นที่สำหรับเก็บข้อมูลภายใน MCS - 51 ทุกเบอร์จะมีหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปอย่างน้อย 128 byte ไปจนถึง 256 byte ทั้งนี้ขึ้นอยู่กับเบอร์ของชิป หน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปบริเวณ 128 byte แรกมีชื่อเรียกว่า " LOWER 128 " และในบริเวณ 128 byte หลัง ที่มีเพียงในบางเบอร์มีชื่อเรียกว่า " UPPER 128 " ดังแสดงในรูป 7.5



รูปที่ 7.5 แสดงหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปบริเวณ 128 byte หลัง (ตำแหน่ง 80H ขึ้นไป) จะมีตำแหน่งตรงกับหน่วยความจำสำหรับเก็บข้อมูลภายในชิป ที่ใช้งานเป็นรีจิสเตอร์ใช้งานเฉพาะแต่จะใช้วิธีการเข้าถึงข้อมูลที่ไม่เหมือนกัน จึงไม่สามารถอยู่บนตำแหน่งเดียวกันได้

รีจิสเตอร์ใช้งานเฉพาะ การควบคุมการทำงานของวงจรภายใน MCS - 51 จะถูกกระทำผ่านรีจิสเตอร์ที่ถูกกำหนดไว้ล่วงหน้าแล้ว ที่เรียกว่ารีจิสเตอร์ใช้งานเฉพาะ รีจิสเตอร์ใช้งานเฉพาะแสดงในรูป 7.6

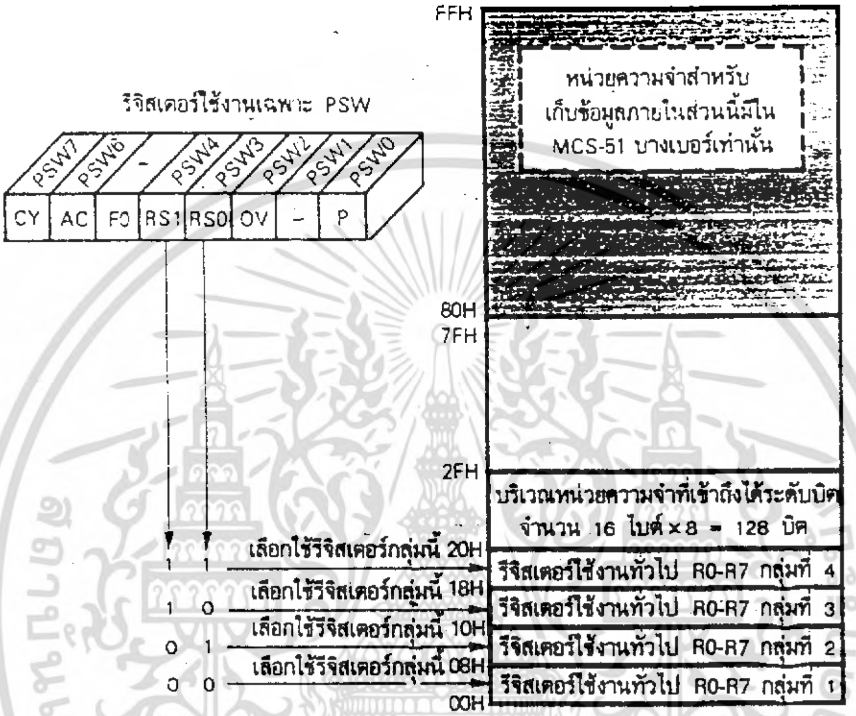
8 ไบต์

F8									FF
F0	B								F7
E8									EF
E0	ACC								E7
D8									DF
D0	PSW								D7
C8	(T2CON)		(RCAP2L)	(RCAP2H)	(TL2)	(TH2)			CF
C0									C7
B8	IP								BF
B0	P3								B7
A8	IE								AF
A0	P2								A7
98	SCON	SBUF							9F
90	P1								97
88	TCON	TMOB-	TL0	TL1	TH0	TH1			8F
80	PO	SP	DPL	DPL				PCON	87

รูปที่ 7.6 แสดงโครงสร้างและตำแหน่งของรีจิสเตอร์ใช้งานเฉพาะใน MCS - 51

นอกจากนี้แล้วรีจิสเตอร์สำหรับใช้งานทั่วไปที่ผู้เขียนสามารถนำมาใช้ได้คือ รีจิสเตอร์ A , B ซึ่งอยู่ในรีจิสเตอร์ใช้งานเฉพาะแต่ไม่เรียกว่าเป็นรีจิสเตอร์ใช้งานเฉพาะ เพราะไม่ถูกกำหนดหน้าที่ใช้งานโดยตรง และรีจิสเตอร์ใช้งานทั่วไปอีกชุดหนึ่ง คือ R_0 - R_7 ซึ่งอยู่ในหน่วยความจำสำหรับเก็บข้อมูลทั่วไปภายในชิปบริเวณ 128 byte แรก ซึ่งมีทั้งหมด 4 กลุ่ม แต่ละกลุ่มประกอบด้วยรีจิสเตอร์จำนวน 8 ตัว (R_0- R_7) และมีชื่อเรียกเหมือนกัน ดังนั้นรีจิสเตอร์ใช้งานทั่วไป R_0- R_7 ใน MCS - 51 จึงมีทั้งหมด 32 ตัว ในการทำงานในขณะใดๆ รีจิสเตอร์ ทั้ง 4 กลุ่ม จะถูกใช้ 1 กลุ่มเท่านั้น โดยการ SET หรือ CLEAR บิท RS0 , RS1 ในรีจิสเตอร์ใช้งานเฉพาะ PSW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.7 แสดงการเลือกใช้รีจิสเตอร์ใช้งานทั่วไป R_0 - R_7 ในแต่ละกลุ่ม

TIMER / COUNTER ใน MCS - 51 สามารถทำงานเป็นไทม์เมอร์ หรือ เคาน์เตอร์ได้ โดยสามารถควบคุม ไทม์เมอร์หรือเคาน์เตอร์ได้จากวงจรภายนอก (ควบคุมด้วยสัญญานที่ขา (INT 0 , INT 1) หรือควบคุมจากโปรแกรม

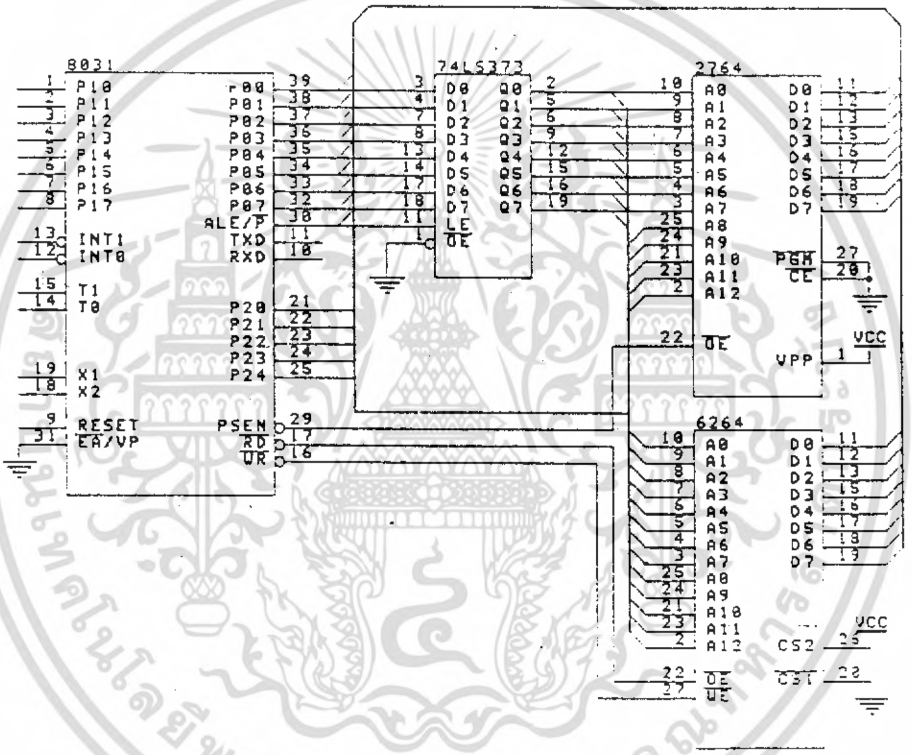
พอร์ทสื่อสารข้อมูลแบบอนุกรม MCS - 51 สามารถสื่อสารข้อมูลแบบอนุกรมได้โดยไม่ต้องพึ่งพาอุปกรณ์ภายนอกแต่อย่างใด ในด้านอัตราเร็วการรับและส่งข้อมูลสามารถกำหนดได้ตามความต้องการของผู้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
ระบบไมโครโปรเซสเซอร์

8.1 โครงสร้างทางฮาร์ดแวร์

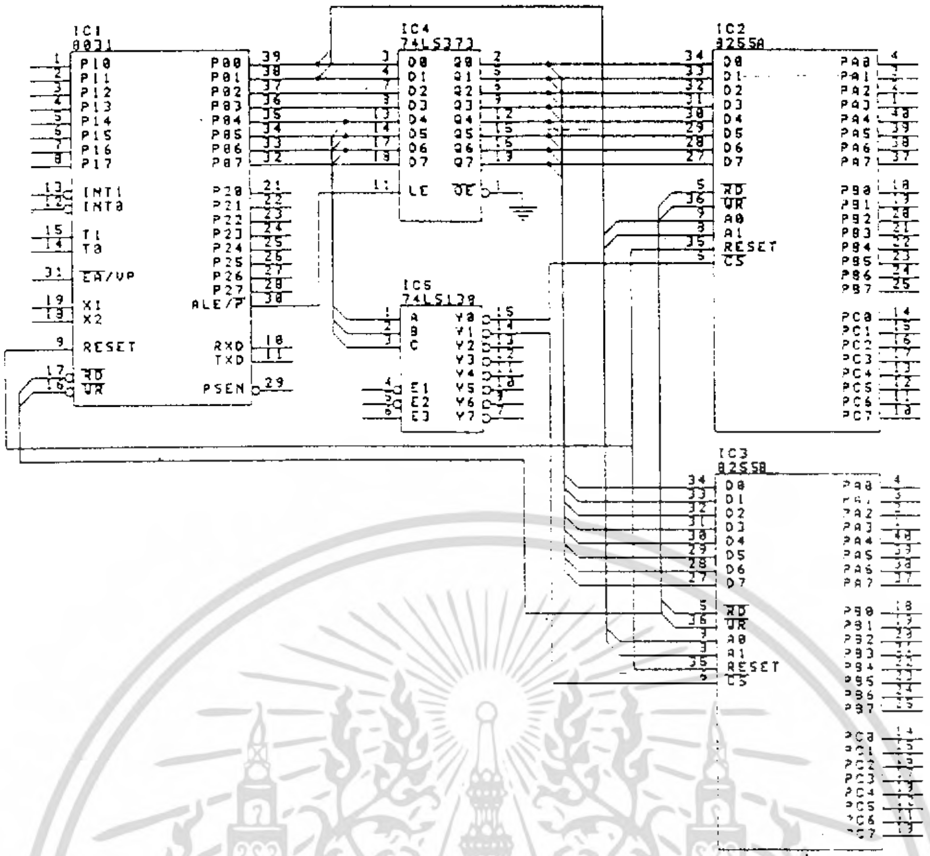
ในการออกแบบเลือกใช้ MCS - 51 เบอร์ 8031 ร่วมกับ RAM เบอร์ 6264 ใช้เก็บข้อมูล EPROM เบอร์ 2732 เป็นหน่วยความจำสำหรับเก็บโปรแกรม โดยมี 74LS373 เป็นตัวแล็ตช์ข้อมูลแอดเดรสไว้ เพราะ P0 จะเป็น MULTIPLEX ข้อมูลกับแอดเดรส ส่วนการเข้าถึงข้อมูลที่ RAM จะใช้ขา $\overline{RD}$ และ $\overline{WR}$ เป็นขาควบคุม แสดงดังรูป 8.1



รูปที่ 8.1 แสดงการต่อ 8031 กับหน่วยความจำ

ในการติดต่อระหว่าง CPU กับวงจรภายนอกมีการติดต่อที่ค่อนข้างมาก จึงมีการต่อขยายพอร์ทให้เพียงพอต่อความต้องการ เพราะพอร์ทบางส่วนถูกใช้งานไปในการติดต่อกับหน่วยความจำแล้ว ในการขยายพอร์ทใช้ชิปเบอร์ 8255 2 ตัว ทำการขยายพอร์ทได้เป็น 6 พอร์ท เนื่องจากขาแอดเดรสของ 8255 คือ A_0 - A_1 ไม่สามารถจัดการมัลติเพล็คข้อมูลกับแอดเดรสเองได้ จึงต้องต่อผ่านขา LATCH 74LS373 เช่นเดียวกับหน่วยความจำ เนื่องจากว่าเราใช้ 8255 2 ตัว จึงต้องมีการใช้ดีโค้ดเดอร์ 74LS138 เพื่อใช้ในการ DECODER ADDRESS กับ 8255

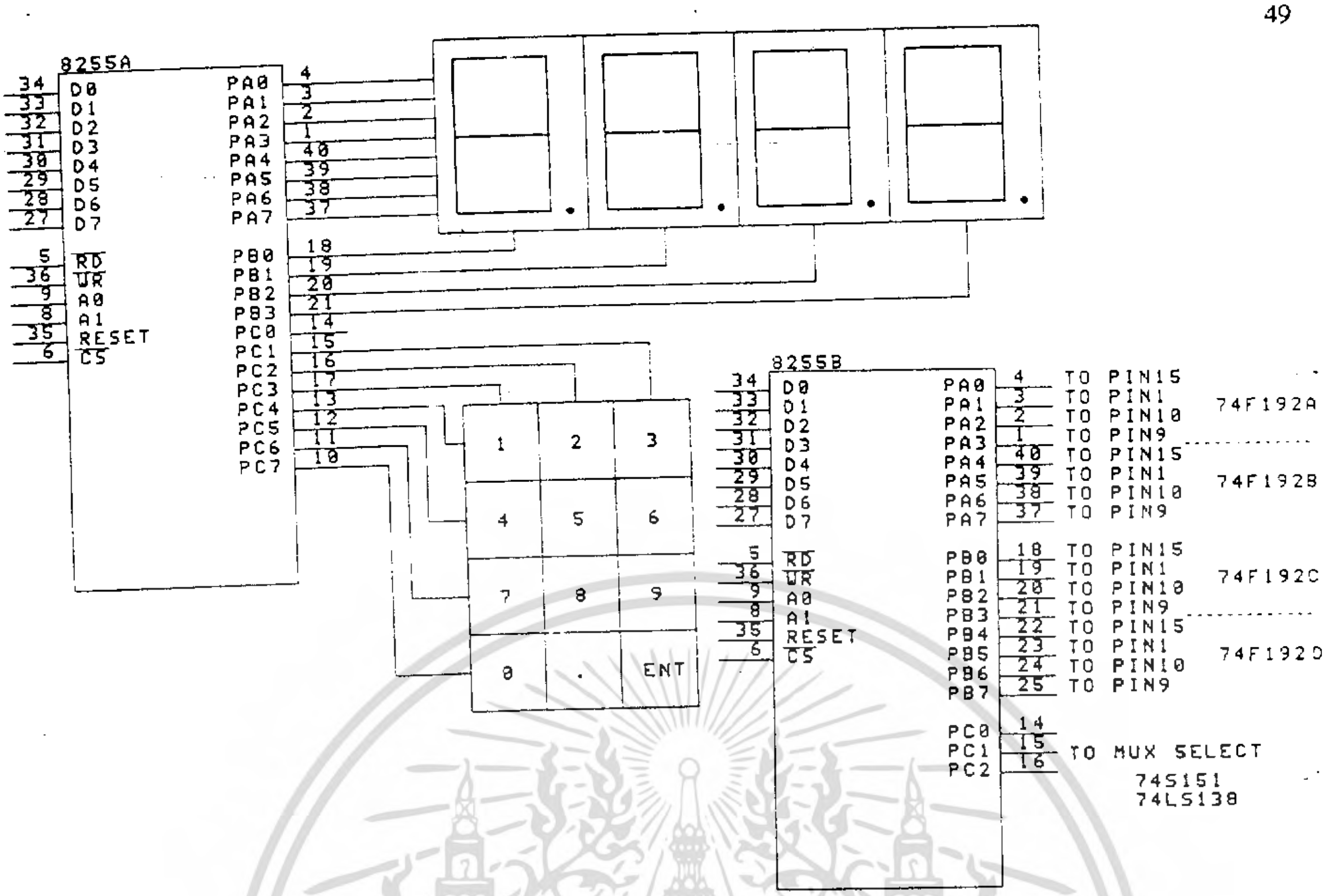
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.2 แสดงการต่อ 8031 กับพอร์ท 8255

8255 ตัวแรก PORT A ถูกใช้ต่อเป็นเอาท์พุทป้อน DATA ให้แก่ DISPLAY ที่เป็น SEVEN SEGMENT จำนวน 4 หลัก ส่วน PORT B ถูกใช้ 4 เส้นคือ PB 0, PB 1, PB 2, PB 3 ใช้ในการเลือก DISPLAY ว่าจะให้ DISPLAY หลักใดติด โดย PB 0, PB 1, PB 2, PB 3 เลือก DISPLAY หลัก A, B, C และหลัก D ตามลำดับ ส่วน PORT C ถูกใช้งาน 7 เส้น ยกเว้น PORT C0 ไม่ถูกใช้งาน PORT C ทั้ง 7 ตัว ถูกต่อรวมกับ KEYBOARD ขนาด 3 × 4 หลัก ดังแสดงในรูป 8.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.3 แสดงการต่อ 8255 กับอุปกรณ์ภายนอก

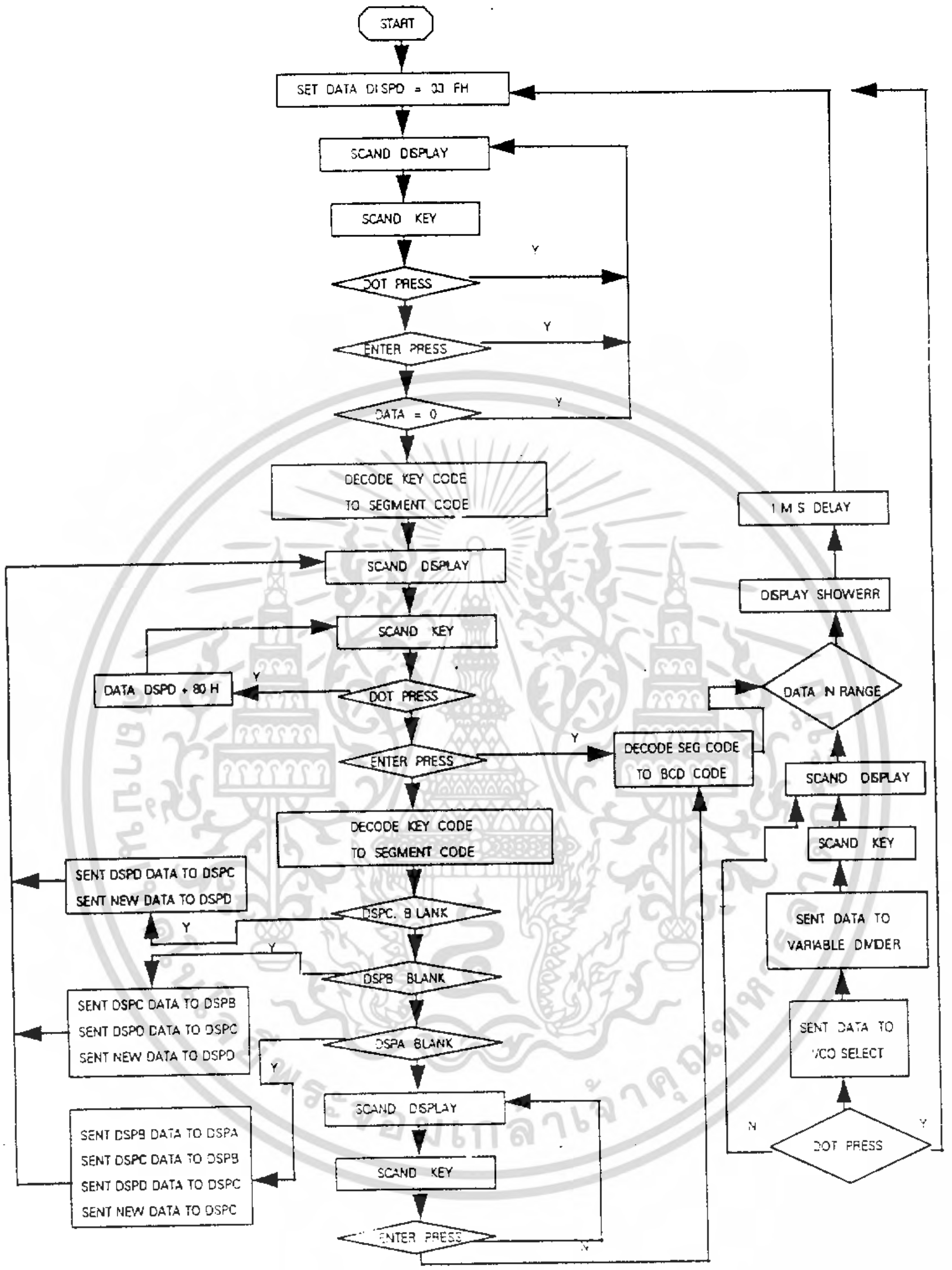
<u>8.2 โครงสร้างทางซอร์ฟแวร์</u>

การควบคุมการทำงานของโปรแกรมถูกกำหนดดังต่อไปนี้

1. รับข้อมูลเข้ามาทาง KEY BOARD
2. แสดงผลออกทาง DISPLAY
3. เมื่อข้อมูลที่ป้อนเข้ามาตัวแรกเป็นศูนย์ DISPLAY จะไม่แสดงตัวเลข "0"
4. เมื่อทำการกดจุด หรือ KEY ENTER ในตอนแรกเครื่องจะไม่สนใจ
6. หลังจากป้อนข้อมูลแล้วกด KEY ENTER ถ้าข้อมูลไม่อยู่ใน RANGE (10 MHz ถึง 30 MHz) DISPLAY จะ SHOW " -EER " แต่ถ้าข้อมูลอยู่ใน RANGE DISPLAY จะ SHOW ค่า DATA ที่ป้อนเข้ามา และมีสัญญาณออกมาทางเอาท์พุท
7. หลังจากป้อนค่าข้อมูล และได้สัญญาณ SQUARE WAVE ที่เอาท์พุทแล้ว เมื่อต้องการป้อนข้อมูลค่าใหม่ ต้องทำการ CLEAR DATA ก่อนโดยการจุด

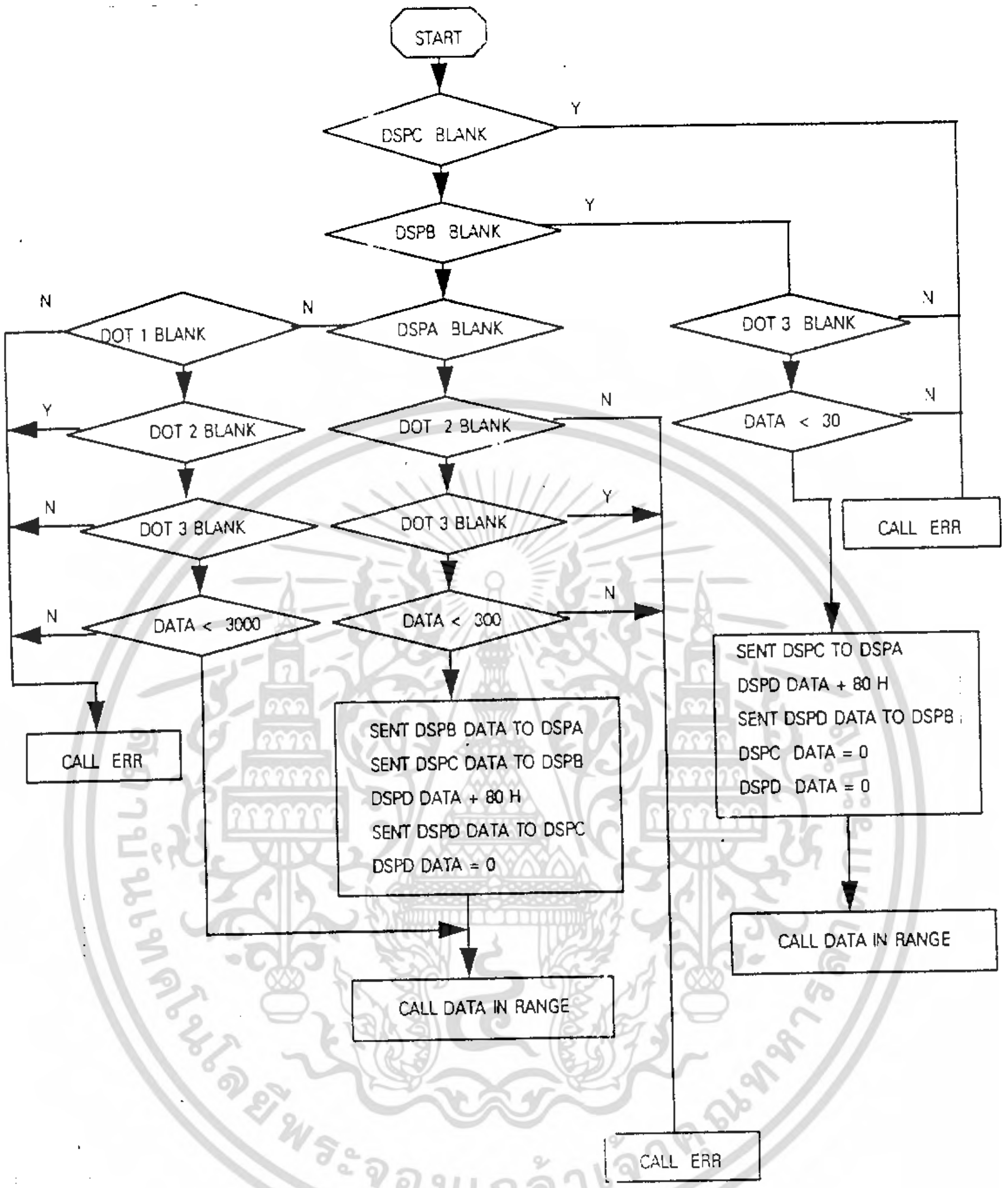
การทำงานทั้งหมดของโปรแกรมแสดงได้ดัง FLOW CHART

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



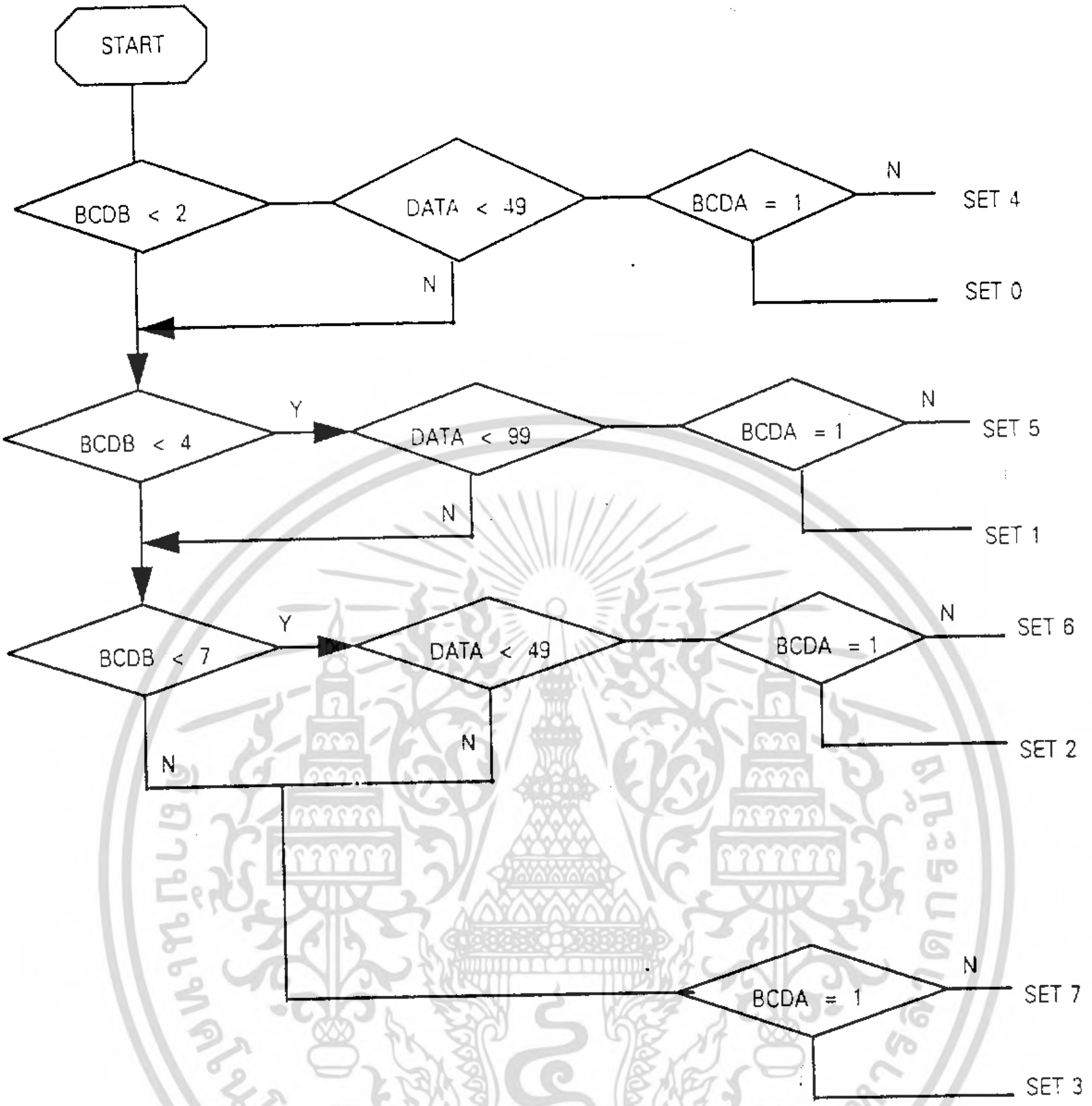
รูปที่ 8.4 แสดง FLOW CHART ของ MAIN PROGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.5 แสดง FLOW CHART ของการ CHECK DATA RANGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



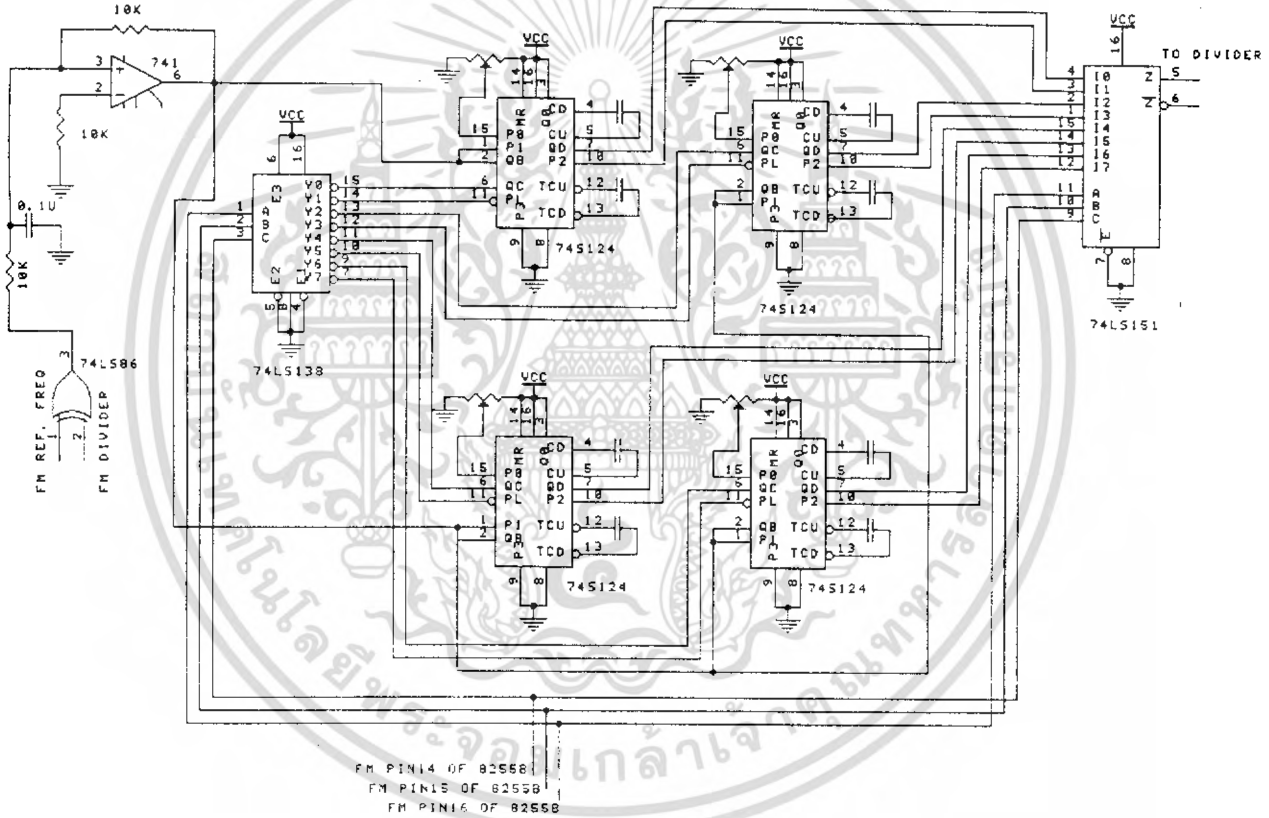
รูปที่ 8.6 แสดง FLOW CHART ของการเลือกให้ VCO ทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 9

การ MULTIPLEX สัญญาณ

เนื่องจากเราจำเป็นต้องใช้วีซีโอทั้งหมด 8 ชุด ดังนั้นจึงต้องมีส่วนมัลติเพล็คสัญญาณ เพื่อเป็นตัวเลือกว่าจะใช้วีซีโอตัวใดให้เอาท์พุทออกมา สัญญาณที่ได้จากวีซีโอจะถูกนำไปเปรียบเทียบกับค่าความถี่อ้างอิง F_R ได้ค่าเฟสเออร์เรอร์กลับมาควบคุมการผลิตความถี่ของวีซีโออีกที IC 74S151 ถูกเลือกมาใช้ในการ MULTIPLEX ร่วมกับ 74LS138 มีวงจรการทำงานดังรูป



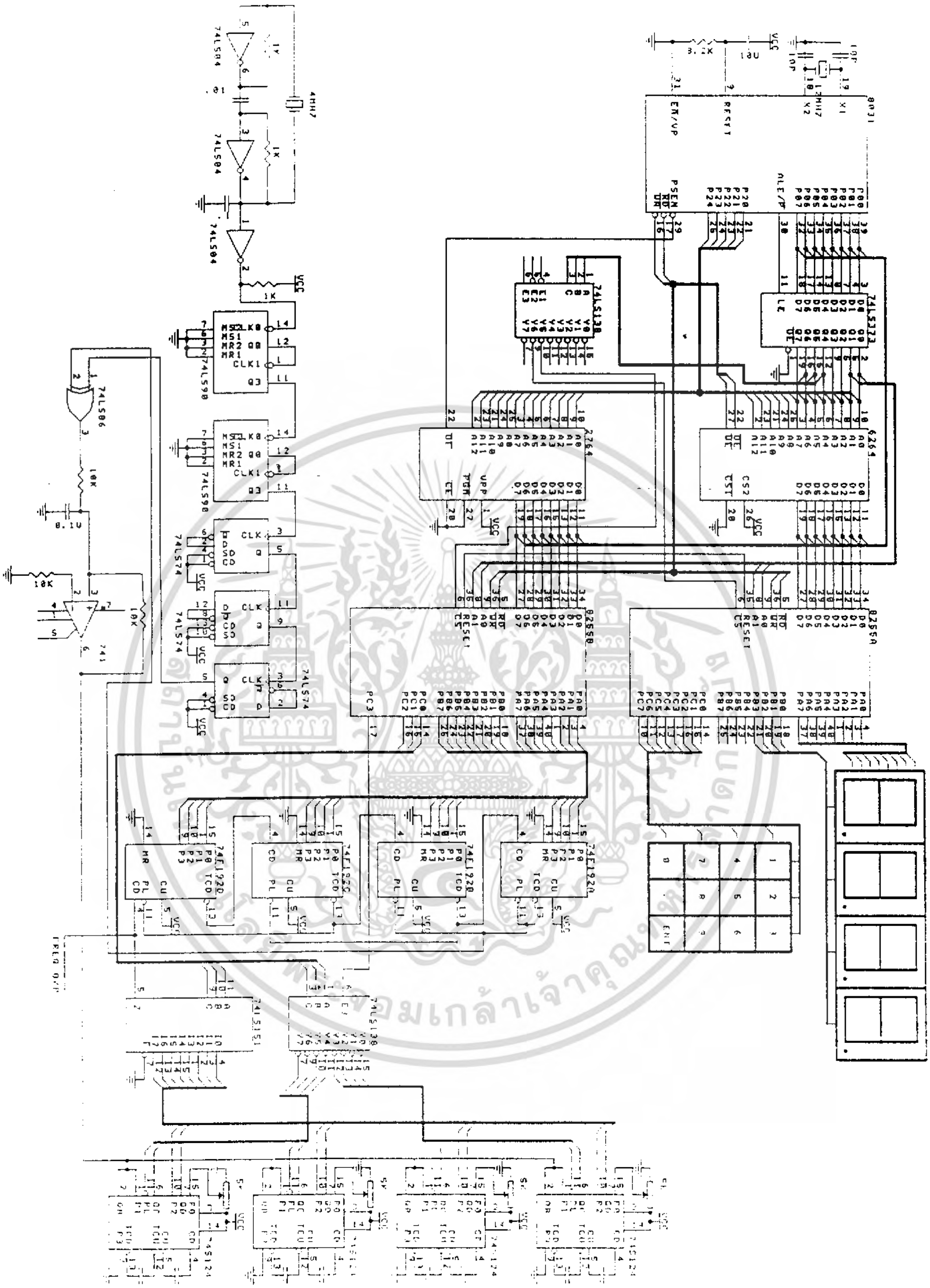
รูปที่ 9.1 แสดงการ MULTIPLEX สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอาท์พุทของวีซีโอแต่ละชุดถูกต่อเข้าเป็นสัญญาณอินพุทของ 74S151 โดยที่ขาอินพุท ENABLE ของ VCO แต่ละตัวจะถูกต่ออยู่กับอินพุทของ 74LS138 ซึ่งมีหน้าที่ในการเลือกว่าจะให้วีซีโอชุดใดทำหน้าที่ในการผลิตความถี่ออกมา ซึ่งสัญญาณในการเลือกวีซีโอของ 74S151 กับ 74LS138 เป็นสัญญาณที่ถูกควบคุมจากไมโครโปรเซสเซอร์ ที่มาจากที่เดียวกัน โดยมีการกำหนดช่วงของความถี่ของวีซีโออยู่ที่ 2.5 MHz ทุกตัว ตัวแรกผลิตความถี่ที่ 10.00 MHz ถึง 12.50 MHz ตัวที่สองผลิตความถี่ ที่ 12.50 MHz ถึง 15.00 MHz ไปเรื่อยๆ จนถึงวีซีโอตัวสุดท้ายจะทำการผลิตความถี่ที่ 27.50 MHz ถึง 30.00 MHz ขาสัญญาณควบคุมการผลิตความถี่ของวีซีโอจะถูกต่อรวมกัน ดังนั้นจึงต้องนำเอา 74LS138 มาเลือกว่าจะให้ตัวใดทำงานในเวลาใด เพื่อไม่ให้สัญญาณรบกวนกัน

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 10
สรุปและวิจารณ์

การทำงานของเครื่องอยู่ในย่านความถี่สูง อุปกรณ์ต่างๆ จึงค่อนข้างที่จะหายาก บางตัวสามารถหาซื้อได้แต่หาดู DATA ได้ยากมาก ในการออกแบบก็มีความยากลำบากพอสมควร วงจรที่นำเสนอเป็นวงจรพื้นฐาน จึงมีประโยชน์ในการศึกษา และพัฒนาวงจร เพื่อใช้งานให้มีประสิทธิภาพยิ่งขึ้น ในการนำ MCS - 51 มาใช้งาน เนื่องจากว่าเราจำเป็นต้องติดต่อกับหน่วยความจำภายนอก ทำให้พอร์ทที่มีอยู่ของ MCS - 51 ถูกนำไปใช้เป็น BUS สำหรับ ADDRESS ส่วนหนึ่ง จึงจำเป็นต้องทำการขยายพอร์ทโดยการต่อ 8255 เพิ่มเข้ามาอีก 2 ตัว

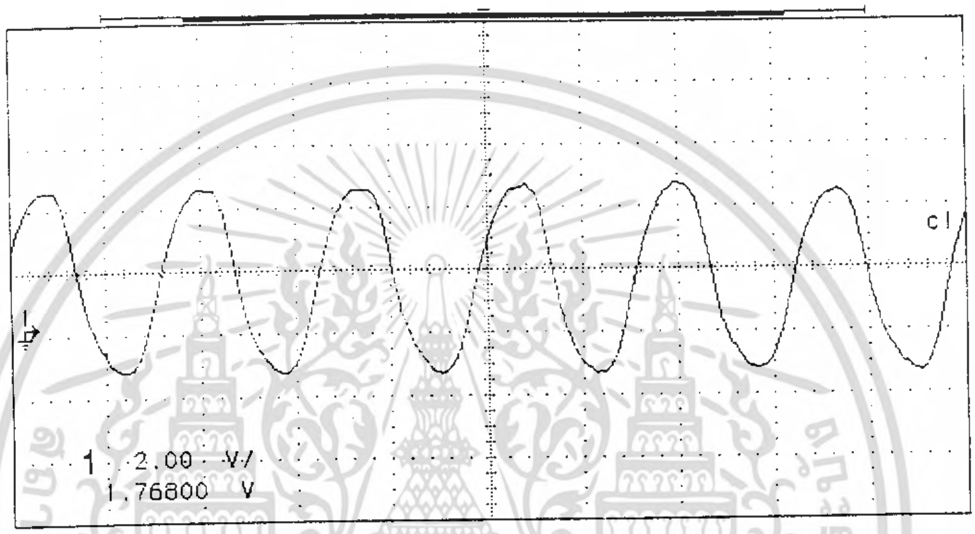
ในการส่งสัญญาณเป็นสัญญาณ BCD CODE ไปให้กับส่วน PROGRAMMABLE DIVIDER มีการ SWAP สัญญาณ BCD CODE ที่มี 4 บิท มารวมกัน BCD CODE อีกชุดหนึ่งได้เป็นข้อมูลขนาด 8 บิท ทั้งนี้เพราะในการส่งข้อมูลออกพอร์ทเราใช้ 8 บิท ดังนั้นจึงใช้พอร์ท 2 พอร์ท ในการส่งข้อมูลออกไปให้ PROGRAMMABLE DIVIDER

ระบบสังเคราะห์ความถี่ FREQUENCY SYNTHESIZER เป็นวงจรผลิตสัญญาณความถี่ที่สามารถทำการเปลี่ยนแปลงค่าความถี่ได้ง่ายมาก ซึ่งถูกควบคุมจากไมโครโปรเซสเซอร์ แต่ดังที่ได้กล่าวมาแล้วว่าอุปกรณ์ที่ใช้ต้องเป็นในเรื่องของ SPEED เป็นพิเศษในการซื้ออุปกรณ์จึงค่อนข้างที่จะหายาก ซึ่งในวงจรบางตัวจำเป็นต้องใช้อุปกรณ์ที่มี SPEED ที่ต่ำลงมา เพราะหาอุปกรณ์ที่มี SPEED สูงๆ ไม่ได้ จึงมีผลทำให้รูปคลื่นที่ได้ออกมาไม่ค่อยมีประสิทธิภาพมากนัก

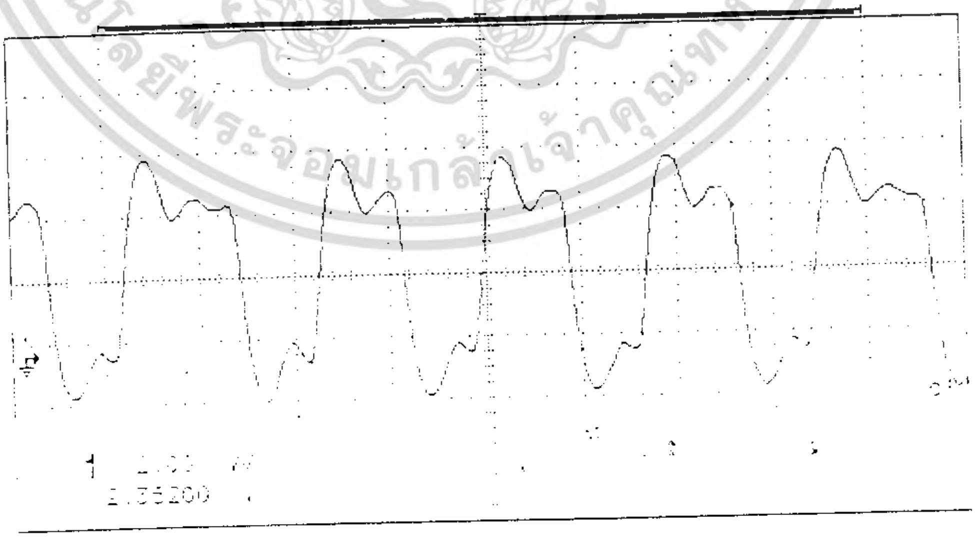
ในส่วนของไอซีที่ใช้ผลิตความถี่ VCO 74S124 ที่เลือกใช้ ซึ่งสามารถผลิตความถี่ได้ถึง 80 MHz แต่ในการทดลองทำให้บางตัวเสียไป เหลือใช้งานได้เพียงตัวเดียว ซึ่งจำเป็นต้องใช้ทั้งหมด 4 ตัว และในตอนนี้ยังหาซื้อ 74S124 มาใช้งานไม่ได้ การผลิตความถี่ของระบบจึงใช้ 74LS629 แทน แต่ 74LS629 ไม่สามารถใช้ความถี่ออกมาในช่วงของความถี่ที่ต้องการได้ เครื่องจึงทำงานได้ไม่สมบูรณ์นัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 10.1 และรูปที่ 10.2 ซึ่งเป็นรูปแสดงสัญญาณความถี่ใช้งานกับสัญญาณที่อินพุทของมัลติเพล็กซ์ ที่ความถี่เดียวกันค่าหนึ่ง ซึ่งถูกผลิตออกมาจากวีซีโอชุดเดียวกัน โดยที่รูปที่ 10.1 เป็นอินพุท ส่วนรูปที่ 10.2 เป็นเอาท์พุทของชุดมัลติเพล็กซ์และเป็นความถี่ใช้งานเหมือนกัน แต่สัญญาณที่ผ่าน ชุดมัลติเพล็กซ์ มีรูปร่างที่แตกต่างไปจากสัญญาณที่อินพุทของชุดมัลติเพล็กซ์อยู่บ้าง อันเนื่องมาจากข้อจำกัดในเรื่องความเร็วสูงสุดในการใช้งานของอุปกรณ์ชุดมัลติเพล็กซ์สัญญาณเอง และรูปร่างสัญญาณที่เป็นความถี่ใช้งานก็ไม่เป็นสัญญาณรูปสี่เหลี่ยมดีนักอันเนื่องมาจากปัญหาต่างๆดังที่ได้กล่าวมาแล้ว



รูปที่ 10.1 แสดงสัญญาณที่อินพุทของมัลติเพล็กซ์



รูปที่ 10.2 แสดงสัญญาณความถี่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากที่ได้มีการเพิ่มชุดขยายสัญญาณดีซี คั่นระหว่างโลพาสฟิลเตอร์ (LOW PASS FILTER) กับ ชุดวีซีโอ (VCO) เพื่อเพิ่มขนาดของสัญญาณที่นำไปควบคุมชุดวีซีโอให้มีขนาดสูงขึ้น เพื่อแก้ปัญหาในการใช้ตัวเก็บประจุ (CAPACITOR) ที่มีค่าต่ำจนเกินไป สามารถทำให้ใช้ตัวเก็บประจุที่มีค่าสูงขึ้นมาได้ แต่ขนาดที่เพิ่มขึ้นของสัญญาณที่นำไปควบคุมชุดวีซีโอ ทำให้การเลือกใช้ตัวเก็บประจุต้องใช้ค่าที่ละเอียดมากขึ้น เพราะว่าการเปลี่ยนแปลงค่าความจุของตัวเก็บประจุเพียงนิดเดียว จะมีผลกับค่าความถี่มาก แต่อย่างไรก็ตามการเพิ่มชุดขยายสัญญาณเพิ่มเข้ามาก็ทำให้รูปร่างของสัญญาณที่ได้ออกมา มีรูปร่างที่ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. BR. ROLAND E. BEST, " PHASE LOCK LOOP " MCGRAW-HILL BOOK COMPANY

2. ROBERT L. MORRIS AND JOHN R. MILLER, " DESIGNING WITH TTL INTEGRATED CIRCUIT " TEXAS INSTRUMENTS INCORPORATION

3. ธานินทร์ ถาวรศาสนวงศ์, " การออกแบบวงจรด้วยไอซี TTL" สำนักพิมพ์ฟิสิกส์เซ็นเตอร์ กรุงเทพมหานคร

4. รศ.ดร โยธิน เปรมปกรณ์รัชต์ , " เฟสล็อคลูปในระบบสื่อสาร " วารสารอิเลคทรอนิคส์เวิลด์ ฉบับที่ 106, พ.ศ. 2530

5. ปรเมษฐ์ ประนยานันทน์ และปิยพงศ์ เผ่าวนิช, " คู่มือและการประยุกต์ใช้งานไมโครคอนโทรลเลอร์ MCS - 51 " บริษัทซีเอ็ดยูเคชั่น จำกัด(มหาชน)

6. สุนทร วิทูสุรพจน์, " การโปรแกรมภาษาแอสเซมบลีของไมโครคอนโทรลเลอร์ตระกูล 8051 " บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

โปรแกรมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CPU     "8051.TBL"
        HOF     "INT8"
;
        PACTRL:   EQU   0E0E3H
        PBCTRL:   EQU   0E0C3H
        DAKEY:    EQU   0E0E2H
        DADSP:    EQU   0E0E0H
        DSPSEL:   EQU   0E0E1H
        DIVIA:    EQU   0E0C2H
        DIVIB:    EQU   0E0C1H
        DAMUX:    EQU   0E0C0H
        B:        EQU   0F0H
        ACC:      EQU   0E0H
        PSW:      EQU   0D0H
        DPH:      EQU   83H
        DPL:      EQU   82H
        SP:       EQU   81H
        CY:       EQU   0D7H
        AC:       EQU   0D6H
        F0:       EQU   0D5H
        RS1:      EQU   0D4H
        RS0:      EQU   0D3H
        OV:       EQU   0D2H
        P:        EQU   0D0H
        TB8:      EQU   09BH
        RB8:      EQU   09AH
        IE1:      EQU   08BH
        IE0:      EQU   08AH
        IT0:      EQU   088H
        P0:       EQU   80H
        P1:       EQU   90H
        P2:       EQU   0A0H
        SP:       EQU   81H
;
                  ORG 0000H
;
;*************************************
;          START  PROGRAM            *
;*************************************
;
                  CLR    RS0
                  CLR    RS1
                  CALL   DEL
                  CALL   DEL
                  CALL   DEL
                  MOV    DPTR,#PACTRL
                  MOV    A,#88H
                  MOVX   @DPTR,A
                  MOV    DPTR,#PBCTRL
                  MOV    A,#80H
                  MOVX   @DPTR,A
;
START:            MOV    DPTR,#DAMUX
                  MOV    A,#0
                  MOVX   @DPTR,A
                  MOV    DPTR,#DSPA
                  MOV    A,#0
                  MOVX   @DPTR,A
                  MOV    DPTR,#DSPB
                  MOV    A,#0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOVX    @DPTR,A
                MOV     DPTR,#DSPC
                MOV     A,#0
                MOVX    @DPTR,A
                MOV     DPTR,#DSPD
                MOV     A,#3FH
                MOVX    @DPTR,A
;
GET:            CALL    GETDA
                MOV     A,R7
                CJNE    A,#0AH,ENTK
                SJMP    GET
ENTK:           CJNE    A,#0BH,DAZE
                SJMP    GET
DAZE:           CJNE    A,#0,DAIN
                SJMP    GET
DAIN:           CALL    CODE
                MOV     DPTR,#DSPD
                MOV     A,R4
                MOVX    @DPTR,A
LOOP1:          CALL    GETDA
                MOV     A,R7
                CJNE    A,#0AH,ENTK1
                MOV     DPTR,#DSPD
                MOVX    A,@DPTR
                ORL     A,#80H
                MOVX    @DPTR,A
DO:             CALL    GETDA
                MOV     A,R7
                CJNE    A,#0AH,ENTK1
                SJMP    DO
ENTK1:          CJNE    A,#0BH,CBNK
                JMP     CHDAT
CBNK:           CALL    CODE
                MOV     DPTR,#DSPC
                MOVX    A,@DPTR
                CJNE    A,#0,BBNK
                MOV     DPTR,#DSPD
                MOVX    A,@DPTR
                MOV     DPTR,#DSPC
                MOVX    @DPTR,A
                MOV     R2,A
                MOV     DPTR,#DSPD
                MOV     A,R4
                MOVX    @DPTR,A
                JMP     LOOP1
BBNK:           MOV     DPTR,#DSPB
                MOVX    A,@DPTR
                CJNE    A,#0,ABNK
                MOV     DPTR,#DSPC
                MOVX    A,@DPTR
                MOV     DPTR,#DSPB
                MOVX    @DPTR,A
                MOV     DPTR,#DSPD
                MOVX    A,@DPTR
                MOV     DPTR,#DSPC
                MOVX    @DPTR,A
                MOV     DPTR,#DSPD
                MOV     A,R4
                MOVX    @DPTR,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JMP     LOOP1
ABNK:           MOV     DPTR,#DSPA
                MOVX    A,@DPTR
                CJNE    A,#0,EMPT
                MOV     DPTR,#DSPB
                MOVX    A,@DPTR
                MOV     DPTR,#DSPC
                MOVX    @DPTR,A
                MOV     DPTR,#DSPC
                MOVX    A,@DPTR
                MOV     DPTR,#DSPB
                MOVX    @DPTR,A
                MOV     DPTR,#DSPB
                MOVX    A,@DPTR
                MOV     DPTR,#DSPC
                MOVX    @DPTR,A
                MOV     DPTR,#DSPD
                MOV     A,R4
                MOVX    @DPTR,A
                JMP     LOOP1
EMPT:           CALL    GETDA
                MOV     DPTR,#KCODE
                MOVX    A,@DPTR
                CJNE    A,#0BH,EMPT
;
;*******************************************
;               CHECK DATA                 *
;     CHANGE SEG CODE TO BCD CODE          *
;*******************************************
;
CHDAT:          MOV     DPTR,#DSPC
                MOVX    A,@DPTR
                CJNE    A,#0,CHECK_B
                JMP     ERR
CHECK_B         MOV     DPTR,#DSPB
                MOVX    A,@DPTR
                CJNE    A,#0,CHECK_A
                MOV     DPTR,#DSPC
                MOVX    A,@DPTR
                ANL     A,#80H                ;CHECK DOT3
                CJNE    A,#80H,DT3BLK
                JMP     ERR
DT3BLK:         MOV     DPTR,#DSPC
                MOVX    A,@DPTR
                MOV     R3,A
                CALL    STOB
                CJNE    A,#3,CHCARY1
                MOV     DPTR,#DSPD
                MOVX    A,@DPTR
                MOV     R3,A
                CALL    STOB
                CJNE    A,#0,OUTR1
HCARY1:         MOV     DPTR,#DSPC
                MOVX    A,@DPTR
                MOV     DPTR,#DSPA
                MOVX    @DPTR,A
                MOV     DPTR,#DSPD
                MOVX    A,@DPTR
                ORL     A,#80H
                MOV     DPTR,#DSPB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOVX   @DPTR,A
                MOV    DPTR,#DSPC
                MOV    A,#3FH
                MOVX   @DPTR,A
                MOV    DPTR,#DSPD
                MOVX   @DPTR,A
                CALL   SELV
                JMP    LOOP1
CHCARY1:        JC     HCARY1
OUTR1:          JMP    ERR
CHECK_A:        JMP    CHECKA
SELV:           CALL   SCAND
                MOV    DPTR,#DSPB
                MOVX   A,@DPTR
                ANL    A,#7FH
                MOVX   @DPTR,A
                CALL   VCO
                CALL   DIVI
                MOV    DPTR,#DSPB
                MOVX   A,@DPTR
                ORL    A,#80H
                MOVX   @DPTR,A
                CALL   GETDA
                MOV    A,R7
                CJNE   A,#0AH,SEL1
                JMP    SELV
SEL1:           CJNE   A,#0BH,SEL2
                JMP    SELV
SEL2:           CJNE   A,#0,SEL3
                JMP    SELV
SEL3:           MOV    R2,A
                MOV    DPTR,#DAMUX
                MOV    A,#0
                MOVX   @DPTR,A
                MOV    DPTR,#DSPB
                MOVX   @DPTR,A
                MOV    DPTR,#DSPC
                MOVX   @DPTR,A
                MOV    A,R2
                CALL   CODE
                MOV    DPTR,#DSPD
                MOV    A,R4
                MOVX   @DPTR,A
                RET
;
CHECKA:         MOV    DPTR,#DSPA
                MOVX   A,@DPTR
                CJNE   A,#0,DA_ON
                MOV    DPTR,#DSPB
                MOVX   A,@DPTR
                ANL    A,#80H
                CJNE   A,#80H,DT2B
ERROR:          JMP    ERR
DT2B:           MOV    DPTR,#DSPC
                MOVX   A,@DPTR
                ANL    A,#80H
                CJNE   A,#80H,ERROR        ;DT2 & DT3 BLANK DATA ERROR
                MOV    DPTR,#DSPB
                MOVX   A,@DPTR
                MOV    R3,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CALL   STOB
        CJNE   A,#3,CHCARY2
        MOV    DPTR,#DSPC
        MOVX   A,@DPTR
        ANL    A,#7FH
        MOV    R3,A
        CALL   STOB
        CJNE   A,#0,OUTR1
        MOV    DPTR,#DSPD
        MOVX   A,@DPTR
        MOVX   A,@DPTR
        MOV    R3,A
        CALL   STOB
        CJNE   A,#0,OUTR2
HCARY2: MOV    DPTR,#DSPB
        MOVX   A,@DPTR
        MOV    DPTR,#DSPA
        MOVX   @DPTR,A
        MOV    DPTR,#DSPC
        MOVX   A,@DPTR
        MOV    DPTR,#DSPB
        MOVX   @DPTR,A
        MOV    DPTR,#DSPD
        MOVX   A,@DPTR
        MOV    DPTR,#DSPC
        MOVX   @DPTR,A
        MOV    DPTR,#DSPD
        MOV    A,#3FH
        MOVX   @DPTR,A
        CALL   SELV
        JMP    START              ;SENT TO CTRL DIVIDER PATR
CHCARY2: JC    HCARY2
OUTR2:  JMP    ERR
;
DA_ON:  MOV    DPTR,#DSPA
        MOVX   A,@DPTR
        ANL    A,#80H
        CJNE   A,#80H,DIRG1
        JMP    OUTR2
DIRG1:  MOV    DPTR,#DSPC
        MOVX   A,@DPTR
        ANL    A,#80H
        CJNE   A,#80H,DIRG2
        JMP    OUTR2
DIRG2:  MOV    DPTR,#DSPB
        MOVX   A,@DPTR
        ANL    A,#80H
        CJNE   A,#80H,OUTR2         ; CHECK DATA
        MOV    DPTR,#DSPA
        MOVX   A,@DPTR
        MOV    R1,A
        MOV    R3,A
        CALL   STOB
        CJNE   A,#3,CHCARY3
        MOV    DPTR,#DSPB
        MOVX   A,@DPTR
        MOV    R2,A
        ANL    A,#7FH
        MOV    R3,A
        CALL   STOB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CJNE    A,#0,OUTR3
                MOV     DPTR,#DSPC
                MOVX    A,@DPTR
                MOV     R4,A
                MOV     R3,A
                CALL    STOB
                CJNE    A,#0,OUTR3
                MOV     DPTR,#DSPD
                MOVX    A,@DPTR
                MOV     R3,A
                CALL    STOB
                CJNE    A,#0,OUTR3
HCARY3:         CALL    SELV
                JMP     START
CHCARY3:        JC      HCARY3
OUTR3:          JMP     ERR
;
;**********************************
;       SEGCODE TO BCD CODE       *
;**********************************
;
BCD:            MOV     DPTR,#DSPA
                MOVX    A,@DPTR
                MOV     R3,A
                CALL    STOB
                MOV     DPTR,#BCDA
                MOVX    @DPTR,A
                MOV     DPTR,#DSPB
                MOVX    A,@DPTR
                MOV     R3,A
                CALL    STOB
                MOV     DPTR,#BCDB
                MOVX    @DPTR,A
                MOV     DPTR,#DSPC
                MOVX    A,@DPTR
                MOV     R3,A
                CALL    STOB
                MOV     DPTR,#BCDC
                MOVX    @DPTR,A
                MOV     DPTR,#DSPD
                MOVX    A,@DPTR
                MOV     R3,A
                CALL    STOB
                MOV     DPTR,#BCDD
                MOVX    @DPTR,A
                RET
;
STOB:           MOV     B,#0AH
                MOV     A,#0
                MOV     R4,#0
DATA2:          MOV     R7,A
                MOV     DPTR,#DATBL
                MOVC    A,@A+DPTR
                SUBB    A,R3
                CJNE    A,#0,DATA1
                MOV     A,R4
                MOV     DPTR,#DIVITL
                MOVC    A,@A+DPTR
                RET
:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DATA1:          MOV     A,R7
                INC     A
                INC     R4
                DJNZ    B,DATA2
                SJMP    BCD
;
;******************************
;        DIVIDER DATA         *
;******************************
;
DIVI:           CALL    BCD
                MOV     DPTR,#BCDB
                MOVX    A,@DPTR
                MOV     R7,A
                MOV     DPTR,#BCDA
                MOVX    A,@DPTR
                MOV     R1,A
                SWAP    A
                ORL     A,R7
                MOV     DPTR,#DIVIA
                MOVX    @DPTR,A
                MOV     DPTR,#BCDA
                MOV     A,R1
                MOVX    @DPTR,A                 ;DIVI A
                MOV     DPTR,#BCDD
                MOVX    A,@DPTR
                MOV     R7,A
                MOV     DPTR,#BCDC
                MOVX    A,@DPTR
                MOV     R1,A
                SWAP    A
                ORL     A,R7
                MOV     DPTR,#DIVIB
                MOVX    @DPTR,A
                RET
                ;
;*****************************************
;  DATA OUT OF RANGE DISPLAY SHOW "-ERR"  *
;*****************************************
;
ERR             MOV     DPTR,#DSPA
                MOV     A,#40H
                MOVX    @DPTR,A                 ; -
                MOV     DPTR,#DSPB
                MOV     A,#79H
                MOVX    @DPTR,A                 ; E
                MOV     DPTR,#DSPC
                MOV     A,#70H
                MOVX    @DPTR,A                 : R
                MOV     DPTR.#DSPD
                MOVX    @DPTR.A
ER:             MOV     B.#015H                 : R
ER1:            CALL    SCAND
                DJNZ    B.ER1
                LJMP    START
;
;******************************
;          GET DATA           *
;******************************
;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
GETDA:          CALL   SCAND
                CALL   SCANK
                JC     GETDA
                CALL   REL
                CALL   CODEC
                RET
;
;********************************
;     SIGNAL TO VCO SELECT SUB   *
;********************************
;
VCO:            CALL   BCD
                MOV    DPTR,#BCDB
                MOVX   A,@DPTR
                CJNE   A,#2,LOW
                MOV    DPTR,#BCDC
                MOVX   A,@DPTR
                CJNE   A,#4,LOW
                MOV    DPTR,#BCDD
                MOVX   A,@DPTR
                CJNE   A,#9,LOW
OKLOW:          MOV    DPTR,#BCDA
                MOVX   A,@DPTR
                CJNE   A,#1,SET4
                MOV    DPTR,#DAMUX
                MOV    A,#08H
                MOVX   @DPTR,A
                CALL   DELV
                RET
SET4:           CJNE   A,#2,SET7
                MOV    DPTR,#DAMUX
                MOV    A,#0CH
                MOVX   @DPTR,A
                CALL   DELV
                RET
LOW:            JC     OKLOW
                MOV    DPTR,#BCDB
                MOVX   A,@DPTR
                CJNE   A,#4,LOW1
                MOV    DPTR,#BCDC
                MOVX   A,@DPTR
                CJNE   A,#9,LOW1
                MOV    DPTR,#BCDD
                MOVX   A,@DPTR
                CJNE   A,#9,LOW1
OKLOW1:         MOV    DPTR,#BCDA
                MOVX   A,@DPTR
                CJNE   A,#1,SET5
                MOV    DPTR,#DAMUX
                MOV    A,#09H
                MOVX   @DPTR,A
                CALL   DELV
                RET
SET5:           MOV    DPTR,#DAMUX
                MOV    A,#0DH
                MOVX   @DPTR,A
                CALL   DELV
                RET
LOW1:           JC     OKLOW1
                MOV    DPTR,#BCDB
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOVX   A,@DPTR
                CJNE   A,#7,LOW2
                MOV    DPTR,#BCDC
                MOVX   A,@DPTR
                CJNE   A,#4,LOW2
                MOV    DPTR,#BCDD
                MOVX   A,@DPTR
                CJNE   A,#9,LOW2
OKLOW2:         MOV    DPTR,#BCDA
                MOVX   A,@DPTR
                CJNE   A,#1,SET6
                MOV    DPTR,#DAMUX
                MOV    A,#0AH
                MOVX   @DPTR,A
                CALL   DELV
                RET
SET6:           MOV    DPTR,#DAMUX
                MOV    A,#0EH
                MOVX   @DPTR,A
                CALL   DELV
                RET
LOW2:           JC     OKLOW2
                MOV    DPTR,#BCDA
                MOVX   A,@DPTR
                CJNE   A,#1,SET7
                MOV    DPTR,#DAMUX
                MOV    A,#0BH
                MOVX   @DPTR,A
                CALL   DELV
                RET
SET7:           MOV    DPTR,#DAMUX
                MOV    A,#0FH
                MOVX   @DPTR,A
                CALL   DELV
                RET
;
;*******************************
;          SCAN DISPLAY        *
;*******************************
;
SCAND:          MOV    DPTR,#DSPA
                MOVX   A,@DPTR
                MOV    DPTR,#DADSP
                MOVX   @DPTR,A
                MOV    A,#077H
                MOV    R6,A
                CALL   SD
                MOV    DPTR,#DSPB
                MOVX   A,@DPTR
                MOV    DPTR,#DADSP
                MOVX   @DPTR,A
                MOV    A,#0BBH
                MOV    R6,A
                CALL   SD
                MOV    DPTR,#DSPC
                MOVX   A,@DPTR
                MOV    DPTR,#DADSP
                MOVX   @DPTR,A
                MOV    A,#0DDH
                MOV    R6,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                CALL    SD
                MOV     DPTR,#DSPD
                MOVX    A,@DPTR
                MOV     DPTR,#DADSP
                MOVX    @DPTR,A
                MOV     A,#0EEH
                MOV     R6,A
                CALL    SD
                MOV     DPTR,#DSPSEL
                MOV     A,#0FFH
                MOVX    @DPTR,A
                RET
SD:             MOV     DPTR,#DSPSEL
                MOV     A,R6
                MOVX    @DPTR,A
                CALL    DELD
                CALL    DELD
                CALL    DELD
                RET
;
;**********************************
;               SCAN KEY          *
;**********************************
;
SCANK:          MOV     B,#3
                MOV     A,#00000001B
SAK:            RL      A
                MOV     DPTR,#DAKEY
                MOVX    @DPTR,A
                MOV     R7,A
                MOVX    A,@DPTR
                ANL     A,#0F0H
                MOV     R1,A
                CJNE    A,#0,KEYP
                MOV     A,R7
                DJNZ    B,SAK
                SETB    C
                RET
KEYP:           MOV     DPTR,#OLDC
                MOV     A,R7
                MOVX    @DPTR,A
                MOV     DPTR,#OLDK
                MOV     A,R1
                MOVX    @DPTR,A
                RET
;
REL:            MOV     DPTR,#DAKEY
                MOVX    A,@DPTR
                ANL     A.#0F0H
                JNZ     REL
                RET
;
CODEC:          MOV     DPTR,#OLDC
                MOVX    A,@DPTR
                MOV     R2,A
                MOV     DPTR,#OLDK
                MOVX    A,@DPTR
                ORL     A,R2
                MOV     R6,A
                MOV     R2.#0CH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                MOV     A,#0
                MOV     R1,#0
DAMAT:          MOV     R3,A
                MOV     DPTR,#KTBL
                MOVC    A,@A+DPTR
                SUBB    A,R6
                CJNE    A,#0,NKEY
                MOV     A,R1
                MOV     R7,A
                MOV     DPTR,#DADSP
                MOVX    @DPTR,A
                RET
NKEY            MOV     A,R3
                INC     A
                INC     R1
                DJNZ    R2,DAMAT
DFL:            JMP     SCANK
;
;*********************************
;          SEGMENT DATA          *
;*********************************
;
CODE:           MOV     A,R7
                MOV     DPTR,#DATBL
                MOVC    A,@A+DPTR
                MOV     R4,A
                RET
;
;*********************************
;          DELAY PROGRAM         *
;*********************************
;
DEL:            MOV     B,#9H
DL:             MOV     A,#0FFH
D1:             DEC     A
                JNZ     D1
                MOV     A,#0FFH
D2:             DEC     A
                JNZ     D2
                MOV     A,#0FFH
D3:             DEC     A
                JNZ     D3
                MOV     A,#0FFH
D4:             DEC     A
                JNZ     D4
                DJNZ    B,DL
                RET
;;
;************************
:    DELAY VCO PROGRAM  *
;************************
;
DELV:           MOV     A,#0FFH
DLV:            DEC     A
                NOP
                NOP
                JNZ     DLV
                RET
;
;************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

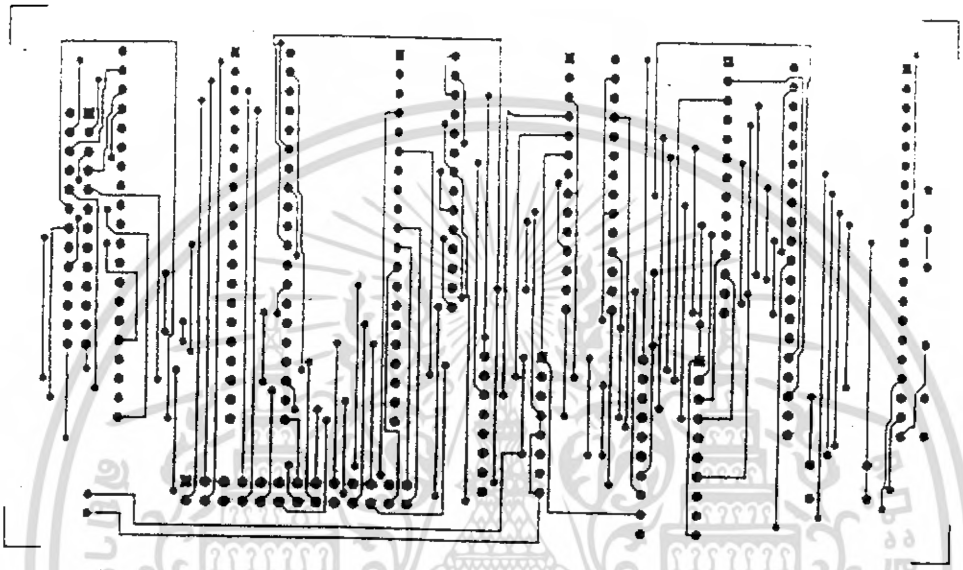
```
;       DELAY DISPLAY        *
;*************************
;
DELD:          MOV    A,#0FFH
DELD1:         DEC    A
               NOP
               NOP
               JNZ    DELD1
               MOV    A,#0FFH
DELD2:         DEC    A
               NOP
               NOP
               JNZ    DELD2
               RET
;
;
;********************************
;          DATA TABLE          *
;********************************
;
KTBL:    DFB   88H,18h,14H,12H,28H,24H
         DFB   22H,48H,44H,42H,84H,82H
DATBL:   DFB   3FH,06H,5BH,4FH,66H
         DFB   6DH,7DH,27H,7FH,6FH
DIVITL:  DFB   0B,1B,10B,11B,100B
         DFB   101B,110B,111B,1000B,1001B

;**************************
;      RAM   AREAR        *
;**************************
;
      ORG 3000H
;
    DSPA:    DFS   1
    DSPB:    DFS   1
    DSPC:    DFS   1
    DSPD:    DFS   1
    BCDA:    DFS   1
    BCDB:    DFS   1
    BCDC:    DFS   1
    BCDD:    DFS   1
    KCODE:   DFS   1
    KPRESS:  DFS   1
    OLDC:    DFS   1
    OLDK:    DFS   1
    PLOB:    DFS   1
    COL3:    DFS   1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

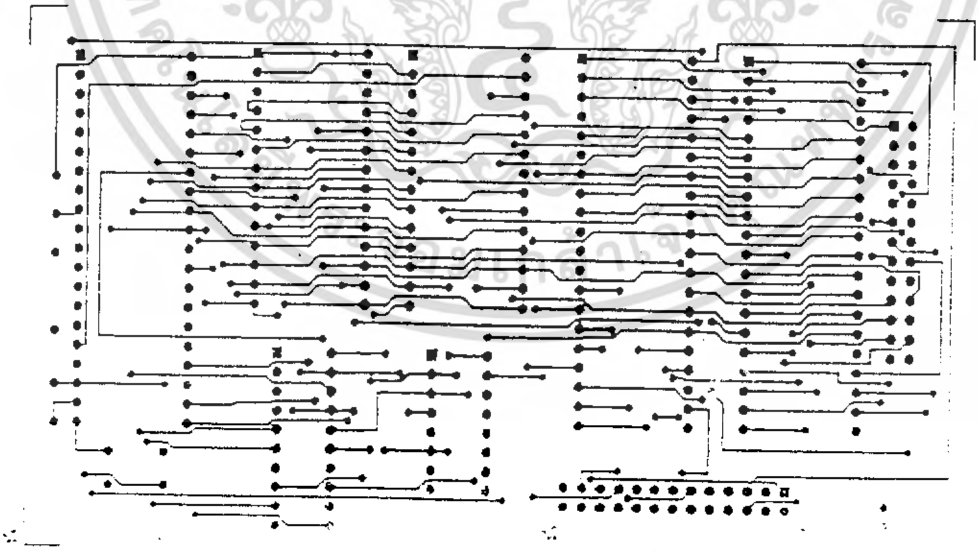
ภาคผนวก ข

ลายวงจร

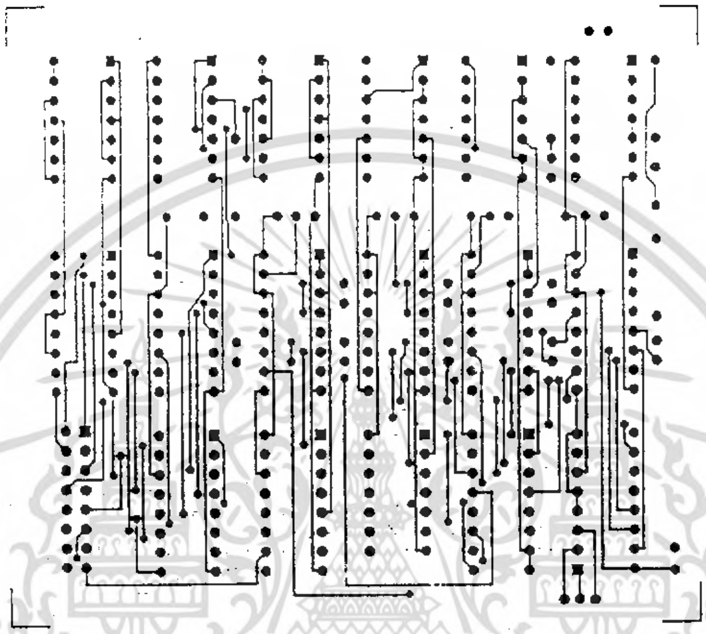
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



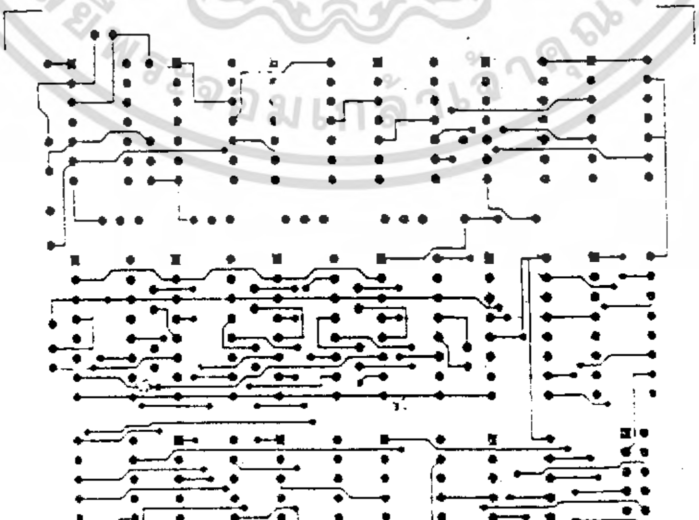
ลายวงจรของชุดซีพียูด้านล่าง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรของชุดสร้างความถี่ด้านล่าง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลายวงจรของชุดสร้างความถี่ด้านบน