สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

อิควอไลเซอร์โดยใช้ไมโครคอนโทรลเลอร์ PSoC

EQUALIZER USING PSoC

โดย

นาย มนต์ชัย ฤดูดี

นาย ราชศักดิ์ บุญน้อย

เลขหมู่.....
เลขทะเบียน 72122
วัน,เดือน,ปี 11 มิ.ย. 2550

.b 117 ว3ว8
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิควอไลเซอร์โดยใช้ไมโครคอนโทรลเลอร์PSoC

Equalizer Using PSoC

จัดทำโดย

นาย มนต์ชัย ฤดูดี 47015216

นาย ราชศักดิ์ บุญน้อย 47015218

อาจารย์ที่ปรึกษา

รศ.ดร. มนัส สังวรศิลป์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์สำหรับปีการศึกษา 2549

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง อิควอไลเซอร์โดยใช้ไมโครคอนโทรลเลอร์พีซอค

(Equalizer using PSoC)

ผู้จัดทำ

1. นาย มนต์ชัย ฤดูดี 47015216
2. นาย ราชศักดิ์ บุญน้อย 47015218

ลงชื่อ.....อาจารย์ที่ปรึกษา

(รศ.ดร. มนัส สังวรศิลป์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อีควอไลเซอร์ โดยใช้ ไมโครคอนโทรลเลอร์ PsoC

นาย มนต์ชัย ฤดูดี รหัส 47015216
นาย ราชศักดิ์ บุญน้อย รหัส 47015218
รศ. ดร. มนัส สังารศิลป์ (อาจารย์ที่ปรึกษา)
ปีการศึกษา 2549

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการศึกษาอีกด้านหนึ่งของกระบวนการและหลักการทางดิจิตอล ออดิโอ โดยใช้ ตัวประมวลผลที่เรียกว่าพีซอค (Programmable System On Chip ,PSoC) ซึ่งเป็น ไมโครคอนโทรลเลอร์แบบ 8 บิต ชนิดที่รวมเอาความสามารถทางด้านอนาลอก และดิจิตอล รวมอยู่ในชิปเดียวกัน ปริญญานิพนธ์ฉบับนี้เน้นการศึกษาในด้านการทดลองใช้งานวงจรกรอง ความถี่ ภายในตัว พีซอค ไมโครคอนโทรลเลอร์ เพื่อใช้ในการประยุกต์สร้างเป็น ตัวปรับแต่ง สัญญาณความถี่เสียง หรือ อีควอไลเซอร์ ซึ่งเป็นการศึกษาและใช้งานทางด้านอนาลอก ของพีซอค ไมโครคอนโทรลเลอร์ ให้เกิดประโยชน์สูงสุด และในรายงานฉบับนี้จะกล่าวถึงเนื้อหาโดยสรุปถึง สิ่งที่ได้ศึกษา ซึ่งจะเป็นประโยชน์สำหรับผู้สนใจเพื่อจะได้นำไปประยุกต์ใช้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Equalizer using PSoC

Mr. Monchai Rhadodee ID. 47015216

Mr. Rachasak Boonnoi ID. 47015218

Assoc. Prof. Dr. Manus Sangworasilp (Advisor)

Education Year 2006

Abstract

This thesis is part of studying in performance and principle of digital audio with Programmable system on chip : PSoC Which is a 8 Bits microcontroller . The PSoC device has a feature analog block and digital block on Chip . The objective of this project is focus to experiment with filter in PSoC microcontroller for implementation of the equalizer . In this thesis refers to briefly essence of studying which useful for the other application .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูป	หน้า
รูปที่ 2.1 แสดงตัวอย่างของ waveform ของเสียง โด เร มี ที่เกิดขึ้นจากเปียโน	2
รูปที่ 2.2 แสดงรายละเอียดของ waveform ซึ่งเกิดจากการผสมกันของสัญญาณคลื่นซายน์ที่มีแอมพลิจูดและความถี่แตกต่างกัน	2
รูปที่ 2.3 แสดงรูปแบบของสัญญาณที่เกิดขึ้นเนื่องจากการทำการสุ่มหน้าคลื่น	5
รูปที่ 2.4 แสดงสัญญาณในเชิงความถี่ที่เกิดขึ้นเมื่อใช้ Fs ต่ำกว่า 2Fmax	5
รูปที่ 2.5 แสดงการแซมปลิ้งสัญญาณที่ต่อเนื่องมาเป็นสัญญาณที่ดิจิตอลโดน A/D และทำการแปลงกลับเป็นสัญญาณอนาล็อกโดยใช้ D/A	6
รูปที่ 2.6 แสดงอัตราการแซมปลิ้งของสัญญาณต่างๆ	6
รูปที่ 2.7 แสดงทรานเฟอร์ฟังค์ชั่นของการควอนไตซ์แบบ 4 บิต	7
รูปที่ 2.8 แสดงความผิดพลาดที่เกิดขึ้นจากการควอนไตซ์	8
รูปที่ 2.9 บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC	12
รูปที่ 2.10 PSoC Core	13
รูปที่ 2.11 Digital System	15
รูปที่ 2.12 แสดงการใช้งาน Digital Block	16
รูปที่ 2.13 Analog System	17
รูปที่ 2.14 แสดงการใช้งาน Analog Block	17
รูปที่ 2.15 System Resources	18
รูปที่ 2.16 ขาสัญญาณของ CY8C27443	20
รูปที่ 2.17 Crystal ในตัว PSoC	21
รูปที่ 2.18 ขาReset	22
รูปที่ 2.19 Frequency Response ของวงจร Filter	24
รูปที่ 2.20 First-Order Low Pass Butterworth Filter	27
รูปที่ 2.21 Second-Order Low Pass Butterworth Filter	28
รูปที่ 2.22 First Order High Pass Butterworth Filter	29
รูปที่ 2.23 Second Order High Pass Butterworth Filter	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป **หน้า**

รูปที่ 2.24 Band Pass Filter 31
รูปที่ 2.25 Band Reject Filter 33
รูปที่ 2.26 All Pass Filter 35
รูปที่ 2.27 All Pass Filter 36
รูปที่ 3.1 ส่วนประกอบของ อีควอไลเซอร์ 52
รูปที่ 3.2 การทำงานภายในตัว พีซอค ไมโครคอนโทรลเลอร์ 52
รูปที่ 3.3 การต่อใช้งาน Block Band Pass Filter Order 4 ภายในตัว พีซอค 53
รูปที่ 3.4 การต่อ Block Hardware และการ Port ใช้งาน ภายในตัว พีซอค 54
รูปที่ 3.5 แสดงโฟลว์ชาร์ทอธิบายกระบวนการการทำงานของ พีซอค 56
รูปที่ 3.6 แสดงการต่อใช้งาน Hardware ภายในตัว พีซอค 57
รูปที่ 3.7 แสดง วงจรปรับ offset 58
รูปที่ 3.8 แสดง วงจรMixer 59
รูปที่ 3.9 แสดง วงจร พาสซีฟ Low pass filter 60
รูปที่ 3.10 วงจร LED แสดงผล ของ พีซอค 1 ตัว 61
รูปที่ 3.11 วงจร สวิทช์ ควบคุมการทำงาน ของ พีซอค 1 ตัว 61
รูปที่ 4.1 กราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 80 - 160 Hz 62
รูปที่ 4.2 กราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 160 - 320 Hz 63
รูปที่ 4.3 กราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 320 – 640 Hz 63
รูปที่ 4.4 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 640 - 1280 Hz 64
รูปที่ 4.5 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 1280 - 2560 Hz 64
รูปที่ 4.6 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 2560 - 5120 Hz 65
รูปที่ 4.7 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 5120 - 10240 Hz 65
รูปที่ 4.8 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 10240 - 20480 Hz 66
รูปที่ 4.9 รูปคลื่นสัญญาณ ที่อัตราขยายขนาดสัญญาณ 1.46 เท่า 66
รูปที่ 4.10 รูปคลื่นสัญญาณ ที่อัตราขยายขนาดสัญญาณ 0.25 เท่า 67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
ตารางที่ 2.1 หน้าที่การทำงานในแต่ละขาสัญญาณของ PSoC	19
ตารางที่ 3.1 การแบ่งช่วงความถี่เสียง	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทนำ

ในปัจจุบันไมโครคอนโทรลเลอร์ ซึ่งได้มีการนำมาใช้งานอย่างกว้างขวางในงานทางด้านอิเล็กทรอนิกส์ทั้ง ในด้านระบบการควบคุม การประมวลผลสัญญาณ แต่ที่น่าสนใจอย่างยิ่ง คือ กระบวนการและหลักการทางดิจิตอลออดิโอ ซึ่ง มี ไมโครคอนโทรลเลอร์ บางตระกูล เท่านั้นที่สามารถทำได้ จากการที่ได้ศึกษาเกี่ยวกับการใช้งานไมโครคอนโทรลเลอร์ ได้พบว่ามี ตัวประมวลผลที่เรียกว่าพีซอค (Programmable System On Chip ,PSoC) ซึ่งเป็นไมโครคอนโทรลเลอร์แบบ 8 บิต ชนิดที่รวมเอาความสามารถทางด้านอนาล็อก และดิจิตอล รวมอยู่ในชิปเดียวกัน เป็นไมโครคอนโทรลเลอร์ ที่น่าสนใจ นำมาประยุกต์ใช้งานเป็น ตัวปรับแต่งสัญญาณความถี่เสียง หรือ อีควอไลเซอร์ โดยใช้งานวงจรกรองความถี่ภายในตัวพีซอค กรองความถี่ออกเป็นช่วงความถี่ต่างๆ และสามารถปรับเพิ่มหรือลดขนาดของสัญญาณที่ช่วงความถี่นั้นได้

1.1 วัตถุประสงค์ของโครงงาน

- ศึกษากระบวนการและหลักการทางดิจิตอลออดิโอ
- ศึกษาการใช้งาน พีซอค ไมโครคอนโทรลเลอร์
- สามารถนำความรู้ที่ได้จากการศึกษาไปประยุกต์ สร้างเป็น อีควอไลเซอร์

1.2 ขอบเขตของโครงงาน

ศึกษากระบวนการและหลักการทางดิจิตอลออดิโอ โดยเฉพาะ การออกแบบวงจรกรองความถี่ และสามารถนำมาแบ่งช่วงความถี่เสียง ซึ่งเป็นบันไดขั้นแรกในการสร้าง อีควอไลเซอร์

1.3 ประโยชน์และผลที่คาดว่าจะได้รับ

- เข้าใจถึงกระบวนการและหลักการเบื้องต้นของดิจิตอลออดิโอ
- เข้าใจหลักการเบื้องต้นของ วงจรกรองความถี่
- อธิบายการใช้งานและสามารถใช้งาน พีซอค ไมโครคอนโทรลเลอร์
- สามารถออกแบบสร้าง อีควอไลเซอร์ อย่างง่ายได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ดิจิตอล ออดิโอ (Digital audio)

ปัจจุบันเทคโนโลยีคอมพิวเตอร์ได้เข้ามามีบทบาทในเรื่องของเสียง และการบันทึกเสียงอย่างสูง หากหันไปมองรอบๆตัวเราเทคโนโลยีดิจิตอลออดิโอได้แทรกซึมไปเกือบทุกที่ แต่ก่อนฟิล์มภาพยนตร์จะบันทึกเสียงแบบอนาล็อกลงบนแผ่นฟิล์มไปพร้อมๆกับหนัง แต่ปัจจุบันนี้ทำการเก็บแยกเสียงออกมาเก็บแยกแทร็กไว้ต่างหาก โดยการเก็บแบบดิจิตอลทำให้แม้ฟิล์มจะเสื่อมคุณภาพลงไปบ้างตามจำนวนรอบที่ฉายแต่เสียงกลับยังคงมีคุณภาพเท่าเดิม เช่นเดียวกับสิ่งที่เกิดระหว่าง CD และเทปคาสเซ็ตนั่นเอง การรักษาสัญญาณให้คงรูปอยู่เสมอไม่ว่าจะเปลี่ยนตัวกลางที่เก็บสัญญาณไปเป็นอย่างไรหรือมีระยะการเดินทางไกลแค่ไหน เป็นข้อดีของระบบดิจิตอลที่ทำให้ระบบดิจิตอลถูกนำเข้ามาแทนที่ระบบอนาล็อก โดยข้อดีอีกประการของดิจิตอลนั้นก็คือการที่เราสามารถทำสัญญาณเสียงให้อยู่ในรูปดิจิตอลได้จะทำให้เราสามารถสร้าง และแก้ไขดัดแปลงสัญญาณนั้นได้ง่ายโดยการช่วยเหลือจากคอมพิวเตอร์

2.1.1 สัญญาณเสียง

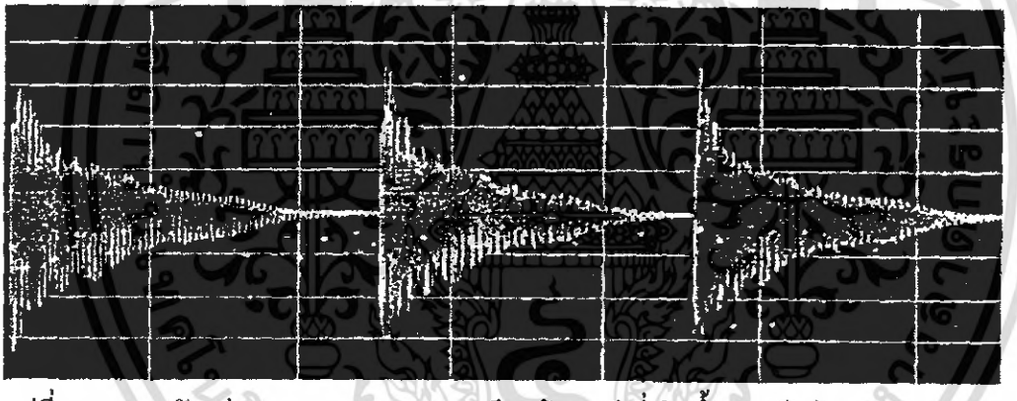
เสียงที่เราได้ยินนั้นเป็นเพราะอากาศมีการเปลี่ยนแปลงความดัน เช่น เมื่อมีใครเคาะโต๊ะ ก็จะเกิดการชนกันระหว่างโมเลกุลของมือกับโมเลกุลของโต๊ะ ส่งผลทำให้โมเลกุลของโต๊ะซึ่งมีความเครียดมากกว่ามือเกิดการสั่นมากขึ้น การสั่นของโมเลกุลนี้สามารถจะลดลงได้ด้วยการถ่ายเทพลังงานให้โมเลกุลของอากาศที่วิ่งมาชนทำให้โมเลกุลอากาศมีความเร็วสูงขึ้น โดยความดันของอากาศจะขึ้นอยู่กับพลังงานเมื่อโมเลกุลเกิดการชนกัน หลังจากนั้นจะมีการถ่ายเทพลังงานผ่านอากาศต่อกันมาเป็นทอดๆ ทำให้เกิดเป็นคลื่นของความดันที่แผ่ออกไป เมื่อเดินทางมาถึงหูของเรา แผ่นไดอะเฟรมที่หูก็จะเปลี่ยนความดันอากาศให้เป็นสัญญาณไฟฟ้าส่งไปยังสมอง ดังนั้นเราจะได้ยินเสียงได้ก็ต่อเมื่อเกิดการเปลี่ยนแปลงของความดันบรรยากาศเปลี่ยนแปลงในเวลาหนึ่งๆ

ในขณะที่ไม่มีคลื่นเสียงความดันบรรยากาศจะคงที่ หลังจากนั้นเมื่อมีคลื่นเสียงเกิดขึ้นความดันบรรยากาศจะแกว่งรอบๆค่าความดันปรกติ โดยถ้าหากแกว่งออกจากค่าปรกติมาก เราก็จะรับรู้ว่าเสียงดังมาก ซึ่งอัตราการเปลี่ยนแปลงความดันนี้สามารถแสดงผลได้ในแง่ของแอมพลิจูดและความถี่ โดยเราอาจจะมองอัตราการเปลี่ยนแปลงของความดันนี้ให้อยู่ในรูปของสัญญาณคลื่นซายน์ก็ได้ แต่ในความเป็นจริงแล้ว คลื่นเสียงในธรรมชาติมีความซับซ้อนกว่านั้นมาก

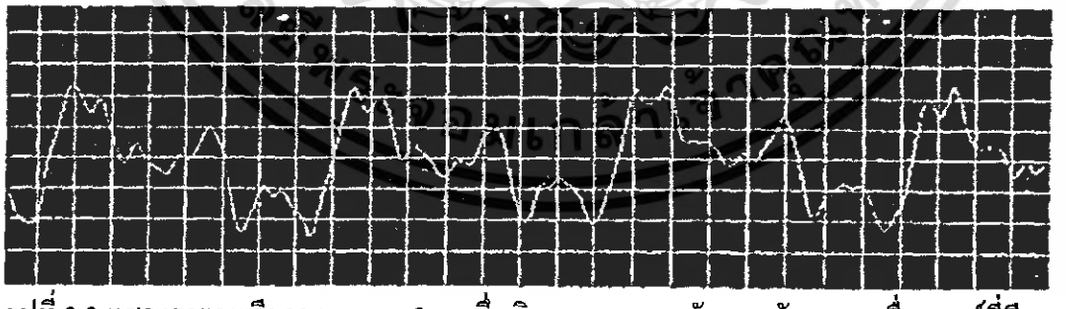
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องมาจากการเปลี่ยนแปลงของแอมพลิจูด และความถี่ที่มีการเปลี่ยนแปลงเกิดขึ้นตลอดเวลา ซึ่งเราเรียกลักษณะรูปคลื่นเช่นนี้ว่า waveform และถึงแม้ว่า waveform จะมีความซับซ้อนอย่างไรก็ตาม เราก็สามารถที่จะทำการกระจายออกมาได้ในรูปของสัญญาณคลื่นซายน์ที่มีแอมพลิจูด และความถี่คงที่ที่แตกต่างกันหลายๆชุด โดยเมื่อนำชุดของสัญญาณคลื่นซายน์นั้นๆกลับมารวมกันก็จะได้เป็น waveform ซึ่งจากทฤษฎีของกลศาสตร์ควอนตัมจะแสดงให้เห็นได้ว่า wave function ของระบบหนึ่งๆสามารถเขียนให้อยู่ในรูปของ Gaussian functions หลายๆเทอมโดย Gaussian functions นี้ในทางกลศาสตร์ควอนตัมจะเรียกว่า basis set แต่ทางด้านเสียงจะเรียกว่า timbre

Timbre นี้เองที่ทำให้เสียงของเครื่องดนตรีแต่ละชนิดมีความแตกต่างกัน ถึงแม้ว่าเราจะเล่นด้วยระดับเสียงเดียวกันก็ตาม และนอกจากนั้นเมื่อเล่นเครื่องดนตรีชนิดเดียวกันโดยใช้ระดับเสียงที่แตกต่างกันแล้ว รูปแบบของ waveform ที่ได้จะไม่แตกต่างกันมากนักเนื่องจากในเครื่องดนตรีเดียวกันแต่ระดับเสียงต่างกัน จะมี timbre หรือ basis set เหมือนกัน แต่ผสมเสียงโดยใช้ปริมาณของแต่ละสัญญาณคลื่นซายน์ที่แตกต่างกัน



รูปที่ 2.1 แสดงตัวอย่างของ waveform ของเสียง โด เร มี ที่เกิดขึ้นจากเปียโน



รูปที่ 2.2 แสดงรายละเอียดของ waveform ซึ่งเกิดจากการผสมกันของสัญญาณคลื่นซายน์ที่มีแอมพลิจูดและความถี่แตกต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 การสุ่มหน้าคลื่น (sampling of waveform)

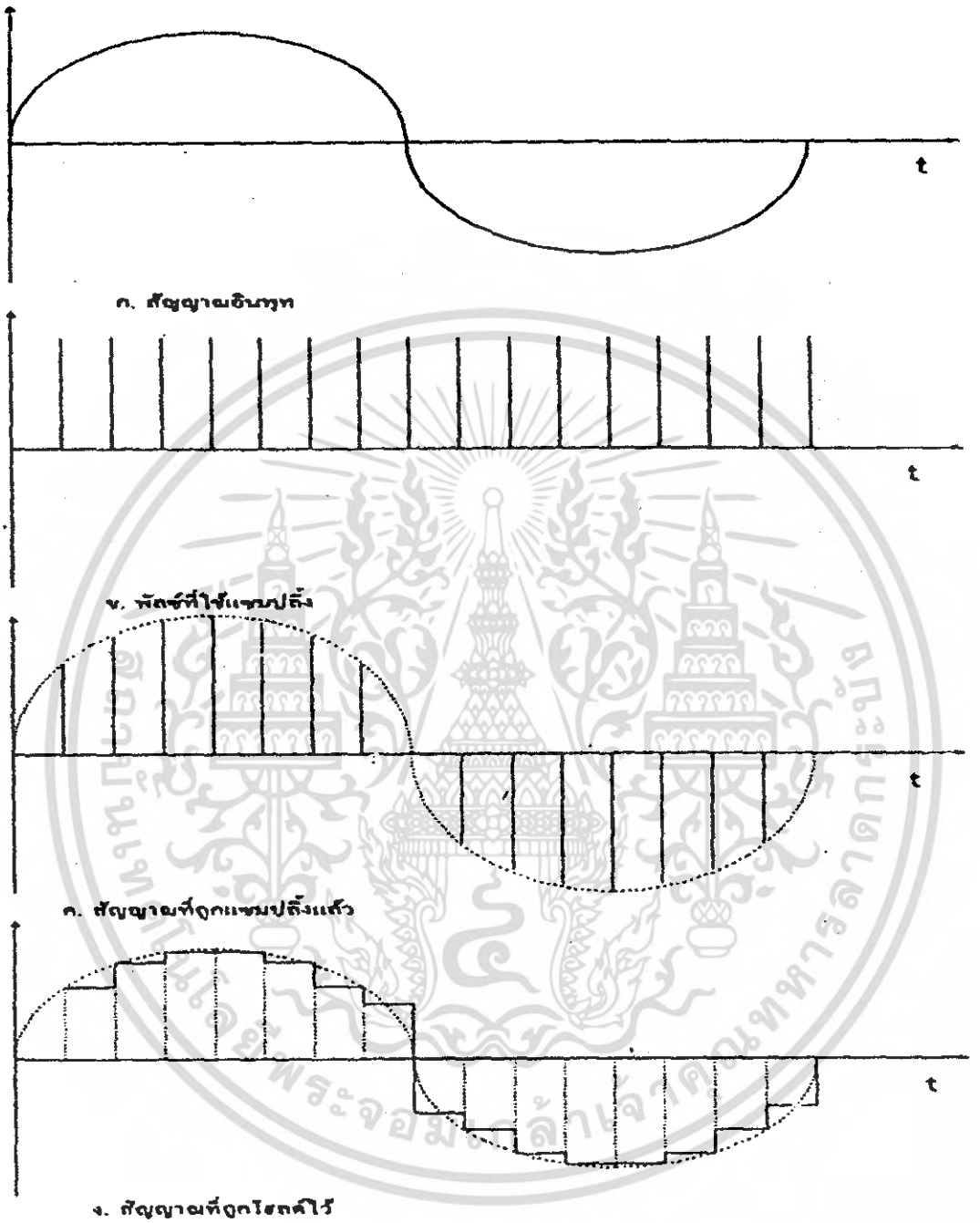
การเก็บตัวอย่าง (sampling) เกิดขึ้นเนื่องจากสัญญาณเสียงที่เป็นสัญญาณดิจิตอลแตกต่างจากสัญญาณอนาล็อกที่เป็นสัญญาณที่มีความต่อเนื่อง โดยในการบันทึกเสียงเป็นสัญญาณอนาล็อกนั้นเราจะใช้ไมโครโฟนในการเปลี่ยนคลื่นความดันบรรยากาศไปเป็นระดับแรงดันไฟฟ้า จากนั้นจะเก็บสัญญาณไฟฟ้านี้ในรูปของสนามแม่เหล็กบนวัสดุแม่เหล็กเช่นเทป คาสเซ็ต ซึ่งสัญญาณที่ได้จะเป็นสัญญาณอนาล็อกที่มีความต่อเนื่อง โดยหากเราต้องการอัดเสียงจากเทปม้วนหนึ่งลงอีกม้วนหนึ่งเราจะต้องทำการแปลงสัญญาณแม่เหล็กให้กลับมาเป็นสัญญาณไฟฟ้า จากนั้นก็บันทึกสัญญาณไฟฟ้านี้ให้เป็นสัญญาณแม่เหล็กบนเทปอีกม้วน โดยขั้นตอนในการแปลงสัญญาณไปมานี้จะทำให้เกิดเสียงรบกวน (noise) แทรกอยู่กับเสียงที่ต้องการ ซึ่งการบันทึกเสียงแบบดิจิตอลนี้จะต่างออกไป โดยสัญญาณเสียงจะมีลักษณะที่ไม่ต่อเนื่องอันเกิดจากการสุ่มหน้าคลื่น (sampling of waveform) โดยการสุ่มหน้าคลื่นเพื่อดูว่าในสัญญาณในขณะนั้นมีแอมพลิจูดเท่าไร ซึ่งอัตราในการสุ่มหน้าคลื่นนี้ เรียกว่า อัตราการแซมปลิ้ง (sampling rate) เช่น 44.1 KHz แซมปลิ้งหมายความว่าจะทำการสุ่มข้อมูล 44,100 ข้อมูลในเวลา 1 วินาที โดยรูปแบบของสัญญาณที่ทำการสุ่มหน้าคลื่นนั้นสามารถแสดงได้ ดังรูปที่ 2.3

ทฤษฎีของการสุ่มสัญญาณกล่าวไว้ว่า ถ้าสัญญาณที่ต้องการสุ่มมีความถี่สูงสุด Fmax แล้ว เพื่อให้ได้สัญญาณที่สุ่มเป็นตัวแทนที่ถูกต้องของสัญญาณอินพุท ความถี่ที่ใช้ในการสุ่ม Fs จะต้องมีค่ามากกว่าสองเท่าของความถี่สูงสุดของสัญญาณที่ต้องการทำการสุ่ม นั่นคือ

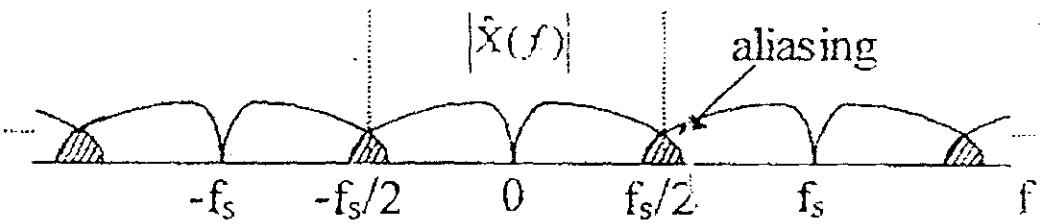
$$Fs > 2Fmax$$

ซึ่งเรียก 2Fmax นี้ว่า ความถี่ไนควิสท์ (Nyquist frequency) โดยถ้าหากเราใช้ Fs ต่ำกว่าค่าความถี่ไนควิสท์แล้วจะทำให้เกิดความผิดพลาดในการสุ่มที่เรียกว่า aliasing ซึ่งเป็นองค์ประกอบความถี่ที่ซ้อนทับกันดังแสดงในรูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

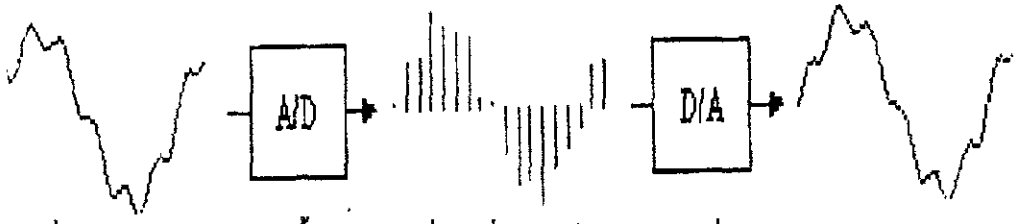


รูปที่ 2.3 แสดงรูปแบบของสัญญาณที่เกิดขึ้นเนื่องจากการทำการสุ่มหน้าคลื่น

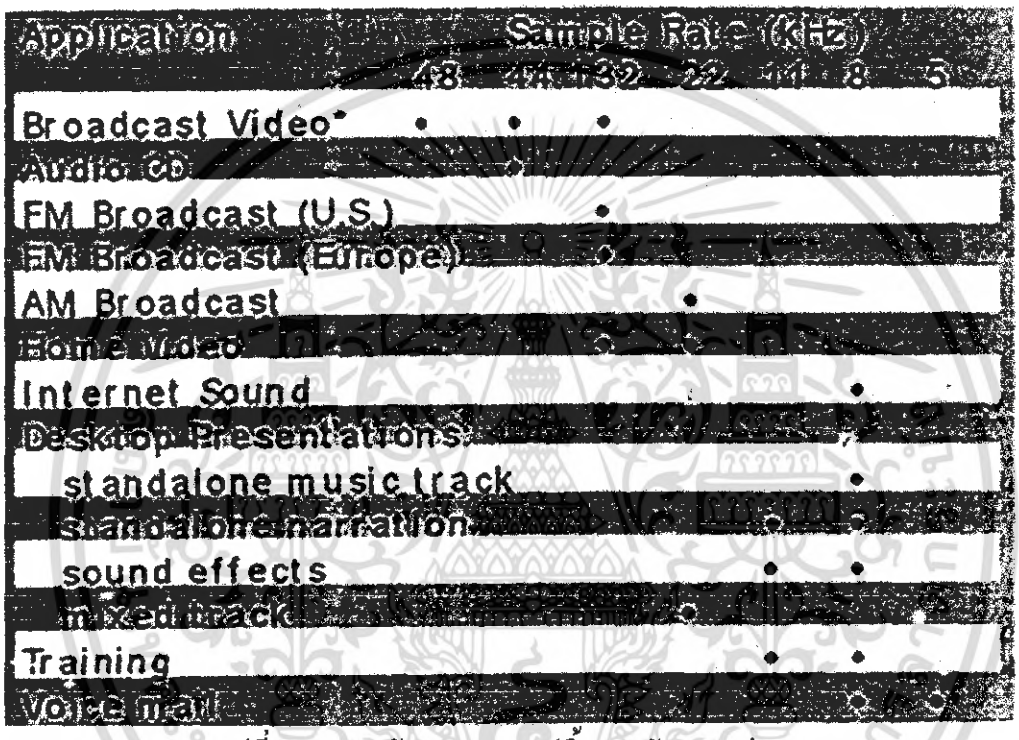


รูปที่ 2.4 แสดงสัญญาณในเชิงความถี่ที่เกิดขึ้นเมื่อใช้ Fs ต่ำกว่า 2Fmax

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงการแซมปลิ้งสัญญาณที่ต่อเนื่องมาเป็นสัญญาณที่ดิจิตอลโดน A/D และทำการแปลงกลับเป็นสัญญาณอนาล็อกโดยใช้ D/A



รูปที่ 2.6 แสดงอัตราการแซมปลิ้งของสัญญาณต่างๆ

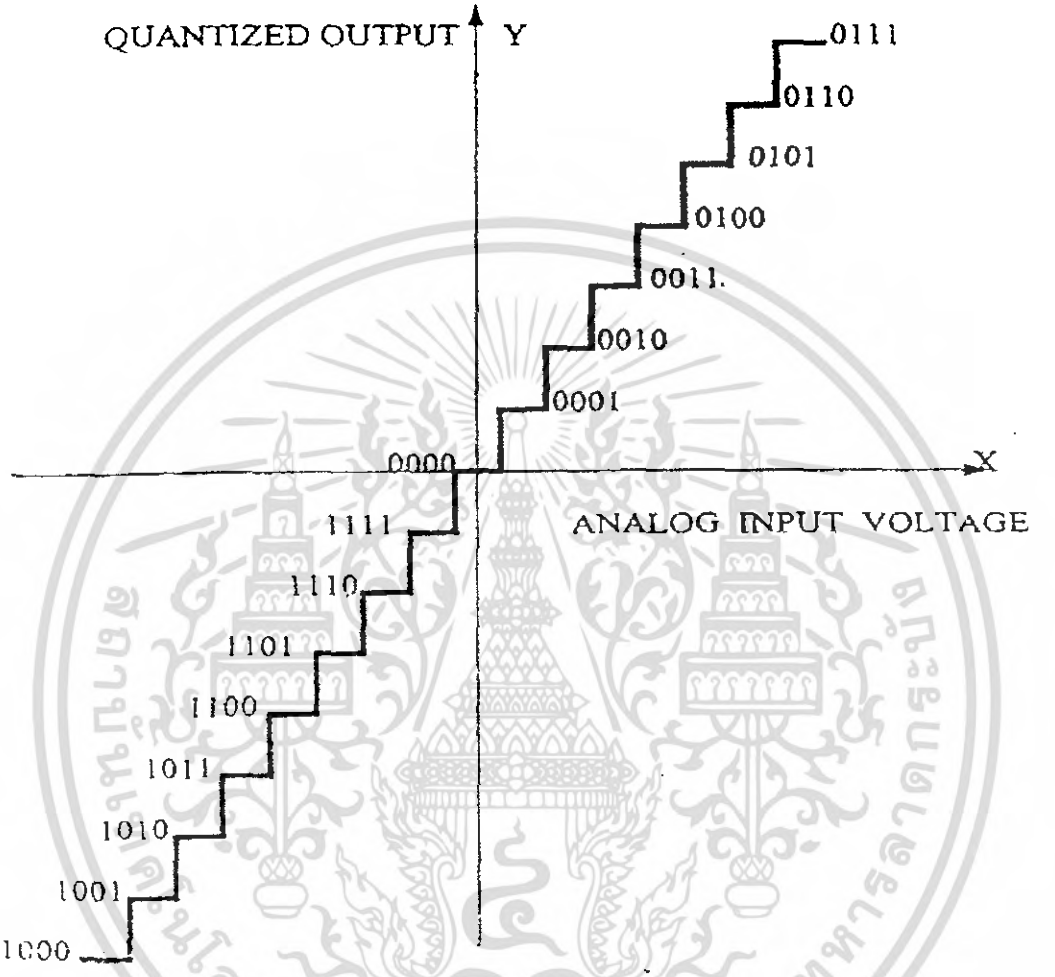
2.1.3 การควอนไตซ์ (quantization)

อัตราการแซมปลิ้งจะเป็นตัวกำหนดความมากน้อยของจำนวนจุดที่จะใช้แทนหน้าคลื่น โดยเมื่อเราทำการกำหนดจุดลงไปแล้วลำดับต่อไปจะเป็นระดับของสัญญาณซึ่งเป็นข้อมูลของแอมพลิจูดของสัญญาณในตำแหน่งที่ทำการสุ่มข้อมูล โดยจำนวนระดับของสัญญาณจะขึ้นอยู่กับจำนวนบิตของข้อมูล เช่น การควอนไตซ์แบบ 16 บิต จะได้ระดับของสัญญาณที่เกิดจากการควอนไตซ์ทั้งสิ้น 65,536 ระดับสัญญาณ

ทฤษฎีของการควอนไตซ์ (quantization theorem) กล่าวไว้ว่า การควอนไตซ์เป็นขบวนการแปลงสัญญาณอนาล็อกให้กลายเป็นข้อมูลทางดิจิตอลที่เป็นสัดส่วนกับสัญญาณอนาล็อก เช่น อยู่ในรูปของรหัสไบนารี่ เป็นต้น โดยหากเรานำเอาท์พุทที่ได้จากการควอนไตซ์ และขนาดของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอนาล็อกมาเขียนเป็นกราฟ ก็จะได้กราฟควอนไตซ์ทรานเฟอร์ฟังค์ชั่น (Quantize Transfer Function) ดังแสดงในรูปที่ 2.7



รูปที่ 2.7 แสดงทรานเฟอร์ฟังค์ชั่นของการควอนไตซ์แบบ 4 บิต

ค่าความแตกต่างของแต่ละระดับสัญญาณที่เกิดขึ้นนั้นสามารถคำนวณหาได้จาก

$$Q = FSR / 2^n$$

โดยที่ Q : ค่าความแตกต่างของแต่ละระดับสัญญาณ

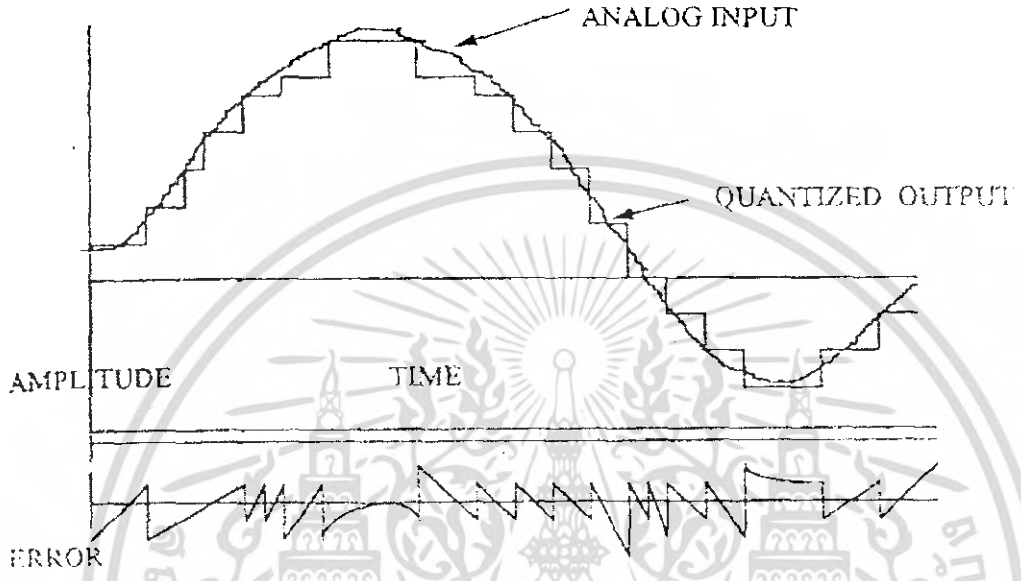
FSR : ช่วงเต็มสเกลของสัญญาณอนาล็อก (Full Scale Range)

n : จำนวนบิตของรหัสดิจิตอล

จากสมการจะเห็นว่า เมื่อจำนวนบิตมากขึ้น ขนาดของ Q ก็จะลดลง และถ้าเรานำสัญญาณอนาล็อกใดๆมาทำการควอนไตซ์แล้ว จะเห็นว่าเมื่อนำผลที่ได้จากการควอนไตซ์มาเปรียบเทียบกับสัญญาณอนาล็อกนั้นแล้ว ก็จะพบว่ามีความผิดพลาดเกิดขึ้น ซึ่งเราเรียกว่า ความผิดพลาดค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วอนไตซ์ (quantization error) ดังแสดงในรูปที่ 2.8 โดยความผิดพลาดที่เกิดขึ้นนี้เป็นธรรมชาติของการควอนไตซ์ ซึ่งจะทำการแก้ไขไม่ได้ แต่สามารถลดค่าความผิดพลาดนี้ได้ โดยการเพิ่มจำนวนบิตของการควอนไตซ์



รูปที่ 2.8 แสดงความผิดพลาดที่เกิดขึ้นจากการควอนไตซ์

2.1.4 ขนาดของไฟล์เสียง และการบีบอัดข้อมูล

ในการทำการบันทึกเสียงเราสามารถทำการประมาณว่าขนาดของไฟล์เสียงเมื่อเราบันทึกเสียงด้วยอัตราการแซมปลิ้ง และจำนวนบิตต่างๆกันนั้นจะมีขนาดต่างกันอย่างไร ได้จาก

ขนาดของไฟล์เสียงเป็นไบต์ = ((อัตราการแซมปลิ้ง หน่วยเป็น Hertz) x (จำนวนวินาทีของเสียง) x (การควอนไตซ์ หน่วยเป็นบิต) x (จำนวนแชนแนล))/8

เช่น สมมติว่าต้องการอัดเพลงซึ่งยาว 3 นาที ด้วยอัตราการแซมปลิ้ง 44.1 KHz และใช้ระดับการควอนไตซ์แบบ 16 Bit โดยมี 2 แชนแนล จะต้องใช้ขนาดไฟล์ คือ

ขนาดไฟล์ (3 นาที, 44.1 KHz, 16บิต, สเตอริโอ) = [(44,100) x (180) x (16) x (2)] /8
= 31,752,000 ไบต์

จะเห็นได้ว่าขนาดของไฟล์เสียงที่ได้นั้นมีขนาดใหญ่มาก แต่เราสามารถลดขนาดของข้อมูลได้ โดยการบีบอัดข้อมูล (data compression) ซึ่งมีมากมายหลายวิธี เช่น Amp's Law compression

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(A-Law) ,ADPCM ซึ่งวิธีแรกมีอัตราส่วนในการบีบอัดประมาณ 2:1 ส่วนวิธีหลังสามารถทำได้ 4:1 และนอกจากนั้นในปัจจุบันเรายังมีวิธี MPEG ซึ่งสามารถบีบอัดข้อมูลได้ถึง 16:1

2.2 ไมโครคอนโทรลเลอร์ PsoC

2.2.1 กำเนิดไมโครคอนโทรลเลอร์ PSoC

จากรูปแบบของระบบไมโครคอนโทรลเลอร์เดิม ซึ่งสามารถรองรับการทำงานในรูปแบบเฉพาะสัญญาณทางดิจิตอล ตลอดจนการขยายขีดความสามารถที่เพิ่มขึ้นทางด้าน อนาล็อกซึ่งจำเป็นต้องอาศัยทักษะความรู้และความชำนาญในการออกแบบจึงได้มีการพัฒนาชิพไมโครคอนโทรลเลอร์ขึ้นเพื่อลดปัญหาและข้อจำกัดของระบบ ไมโครคอนโทรลเลอร์เดิมตามคอนเซ็ปที่ว่า PSoC หรือ Programmable System on Chip ซึ่งหมายถึงการโปรแกรมชิพให้มีความสามารถที่สอดคล้องกับความต้องการของระบบที่ต้องการได้นั้นเอง หรืออาจจะกล่าวอีกนัยหนึ่งได้ว่าชิพ PSoC นี้สามารถโปรแกรมฟังค์ชั่นการทำงานที่จำเป็นสำหรับระบบไมโครคอนโทรลเลอร์ เช่น วงจรแปลงสัญญาณ ADC, DAC, PWM, Amplifier, Filter และอื่นๆ อีกมากมาย ให้อยู่รวมกันภายในชิพเดียวกันได้จึงถือได้ว่าเป็นประโยชน์ต่อการพัฒนาเป็นอย่างยิ่ง เพราะนั้นหมายถึงการลดความยุ่งยากในการจัดทำวงจรอินเตอร์เฟสเพิ่มเติม จึงไม่จำเป็นต้องสิ้นเปลืองสายสัญญาณของไมโครคอนโทรลเลอร์เพื่อควบคุมอุปกรณ์อินเตอร์เฟสต่างๆ และที่สำคัญยิ่งไปกว่านั้นก็คือต้นทุนในการผลิตสินค้าที่ลดต่ำลงตามไปด้วยนั่นเอง ณ จุดนี้เชื่อว่าไมโครคอนโทรลเลอร์ PSoC คงเป็นอีกหนึ่งไมโครคอนโทรลเลอร์สำหรับนักพัฒนาที่ควรให้ความสนใจเพื่อการนำไปประยุกต์ใช้งานต่อในอนาคต และจากนี้ไปผู้อ่านจะได้รู้จักกับไมโครคอนโทรลเลอร์ PSoC มากขึ้น

<u>คุณสมบัติที่สำคัญของ PSoC</u>

จากที่กล่าวมาในช่วงแรกเป็นเพียงเกริ่นนำที่จะให้ผู้อ่านทุกท่านได้เล็งเห็นถึงคุณสมบัติที่สำคัญของไมโครคอนโทรลเลอร์ PSoC ซึ่งมีคุณสมบัติที่สำคัญและโดดเด่นอยู่หลายประการดังนี้

1.) มีโครงสร้างของระบบภายในแบบ Harvard Architecture ด้วยหน่วยประมวลผลภายในแบบ M8C และสามารถทำงานได้ที่ความถี่สูงสุดถึง 24 MHz
2.) มีวงจรคูณเลขภายในแบบ 8 x 8 Multiply (32 Bit Accumulate)
3.) สามารถทำงานได้ที่ระดับแรงดันไฟฟ้าตั้งแต่ 3.0 ถึง 5.25V
4.) มีโหมดการทำงานแบบ Switch Mode Pump (SMP) ซึ่งช่วยให้ระบบสามารถทำงานกับแรงดันไฟเลี้ยงที่มีระดับต่ำถึง 1V ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.) สามารถนำไปประยุกต์ใช้งานภาคอุตสาหกรรมได้เป็นอย่างดี โดยสามรถทำงานได้ในช่วงอุณหภูมิ -40°C ถึง 85°C

6.) วงจรกำเนิดสัญญาณนาฬิกาที่มีความเที่ยงตรงสูง โดยสามารถเลือกใช้ได้ตามความต้องการได้แก่

- ใช้วงจรกำเนิดสัญญาณนาฬิกาจากภายใน 24/48 MHz โดยมีค่าความผิดพลาดที่ +/-2.5% โดยไม่จำเป็นต้องใช้อุปกรณ์ภายนอกอื่นๆ เช่น R-C เป็นต้น
- ทำงานร่วมกับ X-TAL 32.768 KHz ประกอบกับคุณสมบัติ PLL ที่มีอยู่ภายในชิพเพื่อกำเนิดสัญญาณนาฬิกาที่ 24/48 MHz
- ทำงานร่วมกับ External Oscillator ได้ที่ความถี่สูงสุด 24 MHz
- มีวงจรกำเนิดสัญญาณภายในอิสระ สำหรับการทำงานในโหมด Sleep และ Watch dog เพื่อเพิ่มเสถียรภาพของระบบไมโครคอนโทรลเลอร์

7.) หน่วยความจำโปรแกรมที่มีความยืดหยุ่นสูง

- 16 KB Flash Memory สำหรับเบอร์ CY27-Series และ 32 KB สำหรับเบอร์ CY29-Series ที่มีจำนวนรอบต่อการลบและเขียนข้อมูลใหม่ได้สูงสุด 50,000 ครั้ง
- หน่วยความจำ RAM ภายในขนาด 256 Byte สำหรับเบอร์ CY27-Series และ 2 KB สำหรับเบอร์ CY29-Series
- สามารถโปรแกรมข้อมูลลงสู่ชิพด้วยรูปแบบของ In – System Programming ได้โดยไม่จำเป็นต้องถอดชิพออกจากบอร์ด
- สามารถโปรแกรมเพื่ออัพเดทข้อมูลบางส่วนได้ (Partial Flash Updates)
- หลากหลายกับโหมดการป้องกัน (Protection Mode)
- สามารถใช้งานพื้นที่ว่างของ Flash Memory เพื่อนำมาประยุกต์ใช้เป็นหน่วยความจำชนิด EEPROM ได้ โดยไม่จำเป็นต้องอินเตอร์เฟสกับ EEPROM จากภายนอก

8.) สามารถโปรแกรมฟังค์ชั่นการทำงานให้กับขาต่างๆของไมโครคอนโทรลเลอร์ได้

- สามารถขับกระแสได้ 25mA ทุกขาในโหมด GPIO
- สามารถเลือกรูปแบบการทำงานของแต่ละขาได้อย่างอิสระ ได้แก่ Pull Up, Pull Down, High Z, Strong, Open Drain High และ Open Drain Low
- ทุกๆขาสัญญาณสามารถกำหนดให้เป็นแหล่งกำเนิดสัญญาณอินเตอร์รัพต์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9.) ทรัพยากรเพิ่มเติม ที่มีอยู่ในระบบ ได้แก่

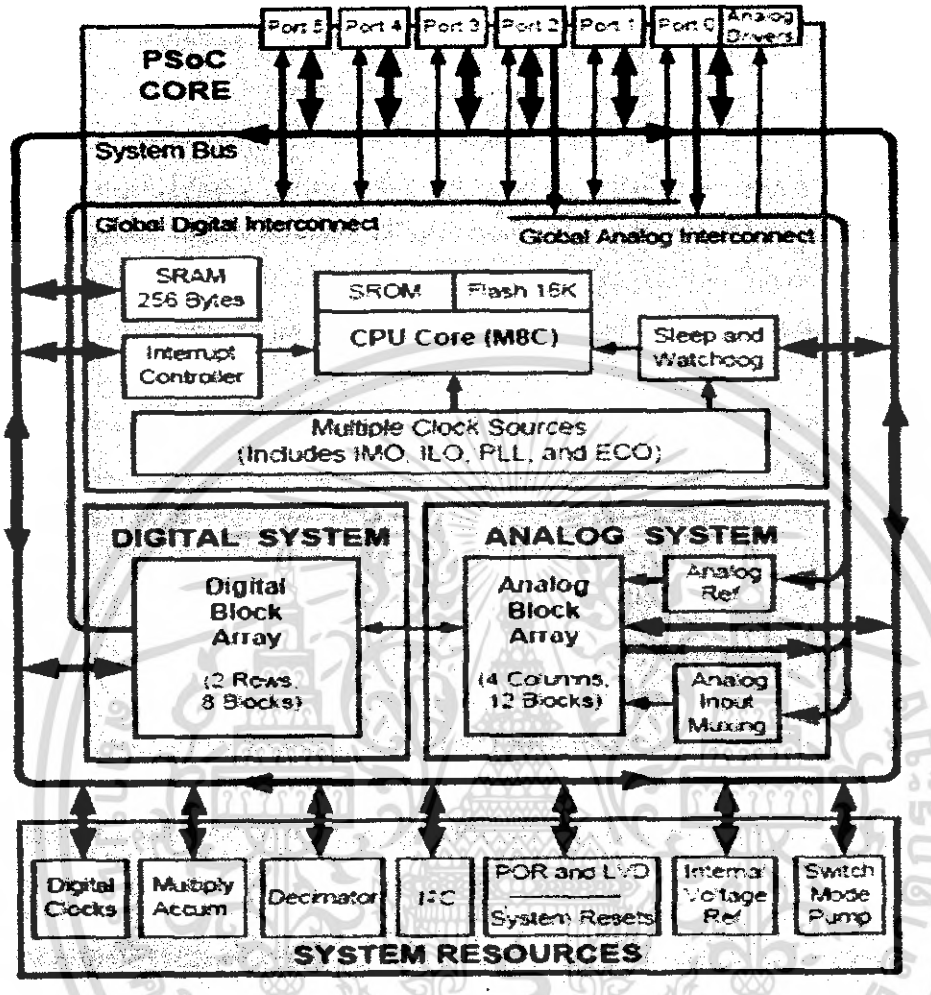
- การสื่อสารแบบ I²C Slave, Master และ Multi – Master
- มีวงจรการทำงานของ Watchdog และ Sleep Timer
- ผู้ใช้สามารถกำหนดค่าระดับแรงดันในการทำงานได้
- มีวงจร Supervisory ประกอบอยู่ภายใน
- มีวงจรกำเนิดแรงดันอ้างอิงภายในที่มีความเที่ยงตรงสูง

9.) มีซอฟต์แวร์สำหรับการพัฒนาให้ใช้งานได้ทั้งภาษา C และ Assembly ซึ่งสามารถดาวน์โหลดได้ฟรีจาก www.cypressmicro.com หากแต่การใช้งานฟรีนั้นจะอนุญาตให้ใช้ได้เฉพาะภาษา Assembly เท่านั้น ส่วนภาษา C นั้น จำเป็นต้องเสียค่าใช้จ่ายเพื่อปลดล็อคซอฟต์แวร์ให้สามารถใช้งานภาษา C ได้

2.2.2 โครงสร้างทางฮาร์ดแวร์

การศึกษาและใช้งานไมโครคอนโทรลเลอร์ให้เกิดประโยชน์และมีประสิทธิภาพสูงสุด ผู้ใช้งานจำเป็นที่จะต้องทราบถึงองค์ประกอบและความสามารถภายในตัวชิพไมโครคอนโทรลเลอร์ เพื่อที่จะสามารถนำไปประยุกต์ใช้งานได้อย่างถูกต้องและเหมาะสมต่อไป สำหรับไมโครคอนโทรลเลอร์ PSoC มีรูปแบบโครงสร้างของระบบภายในดังรูปที่ 2.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC

จากภาพแสดงให้เห็นถึงองค์ประกอบโดยรวมของไมโครคอนโทรลเลอร์ PSoC ในตระกูล CY8C27XXX ซึ่งสามารถอธิบายการทำงานภายในได้ดังนี้

2.2.2.1 PSoC Core

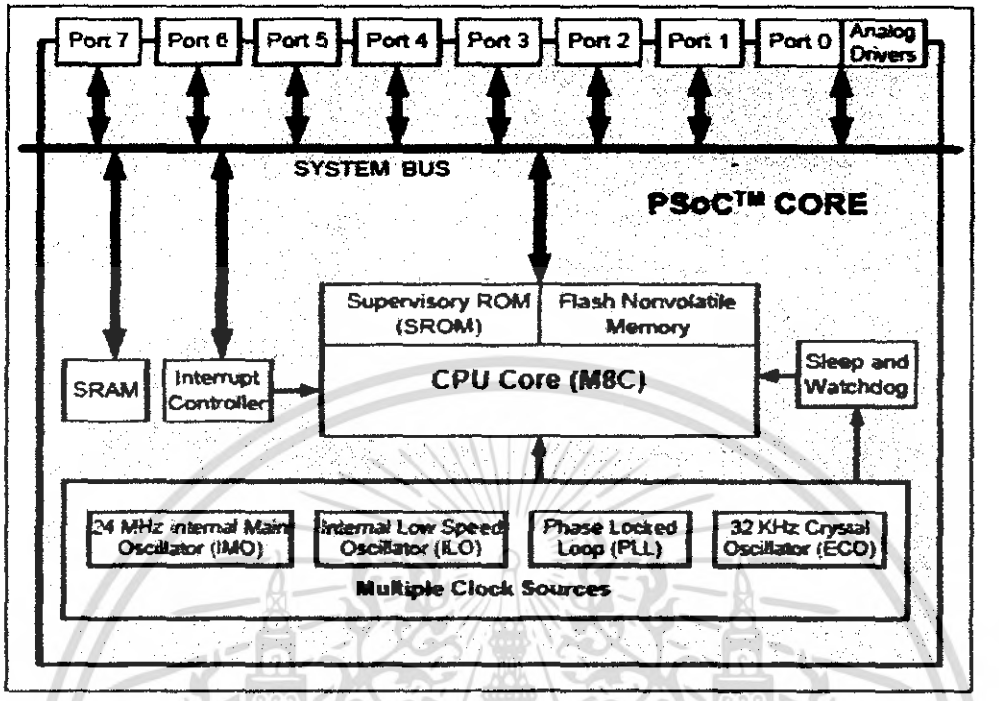
PSoC Core เป็นส่วนของแกนหลักในการประมวลผลและควบคุมการทำงานภายในทั้งหมด อันประกอบด้วย

หน่วยประมวลผลแบบ M8C

Flash Memory หรือหน่วยความจำโปรแกรม

Supervisory ROM (SROM) หน่วยความจำโปรแกรมภายที่ทำหน้าที่ควบคุมระบบการทำงานภายในของไมโครคอนโทรลเลอร์ เช่น การ Boot ระบบ, การ Caribrate วงจรภายใน และการจัดการข้อมูลกับ Flash Memory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 PSoC Core

SRAM หน่วยความจำ RAM ภายใน สำหรับใช้ในการเก็บข้อมูลระหว่างการทำงานของโปรแกรมนอกจากนี้พื้นที่ของ Stock Pointer ก็เก็บไว้ในหน่วยความจำส่วนนี้ด้วยเช่นกัน

วงจรกำเนิดสัญญาณนาฬิกา ประกอบด้วย

-24 MHz Internal Main Oscillator หรือ IMO เป็นวงจรกำเนิดสัญญาณนาฬิกาที่ความถี่ 24 MHz โดยไม่จำเป็นต้องใช้สัญญาณนาฬิกาหรือ X-TAL จากภายนอก ซึ่งถือได้ว่าเป็นส่วนของวงจรกำเนิดสัญญาณนาฬิกาที่มีบทบาทและความสำคัญมาก เพราะนอกจากการใช้งานขาต่างๆ ของไมโครคอนโทรลเลอร์ได้อย่างครบถ้วนโดยไม่จำเป็นต้องต่ออุปกรณ์ในการกำเนิดสัญญาณนาฬิกาจากภายนอกแล้ว ยังสามารถกำเนิดความถี่ในการทำงานได้สูงถึง 24 MHz ประกอบกับค่า Error เพียง 2.5% จึงสามารถใช้งานได้อย่างหลากหลายเช่นการสื่อสารข้อมูลอนุกรม (UART) ที่ baud rate 57600 bps ได้เป็นต้น

-Internal Low Speed Oscillator หรือ ILO เป็นวงจรกำเนิดสัญญาณนาฬิกาความถี่ต่ำอีกชุดหนึ่งซึ่งแยกออกมาเป็นอิสระเพื่อใช้เป็นวงจรกำเนิดสัญญาณนาฬิกาให้กับการทำงานของ Watchdog และ Sleep Timer การแยกวงจรกำเนิดสัญญาณนาฬิกาส่วนนี้ออกมาก็เพื่อต้องการให้มั่นใจว่าระบบจะมีเสถียรภาพที่ดีนั้นเอง

- 32 KHz Crystal Oscillator หรือ ECO เป็นโหมดการทำงานของวงจรกำเนิดสัญญาณนาฬิกาซึ่งจะต้องทำงานร่วมกับ X-TAL 32.768 KHz จากภายนอก การใช้งานรูปแบบนี้ก็เพื่อต้องการให้ความถี่ของสัญญาณภายในมีค่าความเที่ยงตรงสูงสุดที่ 24 MHz ซึ่งผู้อ่านหลายท่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อาจจะสงสัยว่าเหตุใด X-TAL 32.768 KHz จึงสามารถสร้างความถี่สัญญาณนาฬิกาภายในได้สูงสุดถึง 24 MHz เหตุที่สามารถทำงานเช่นนั้นได้ก็เพราะมีวงจร PLL (Phase Lock Loop) ประกอบอยู่ภายใน

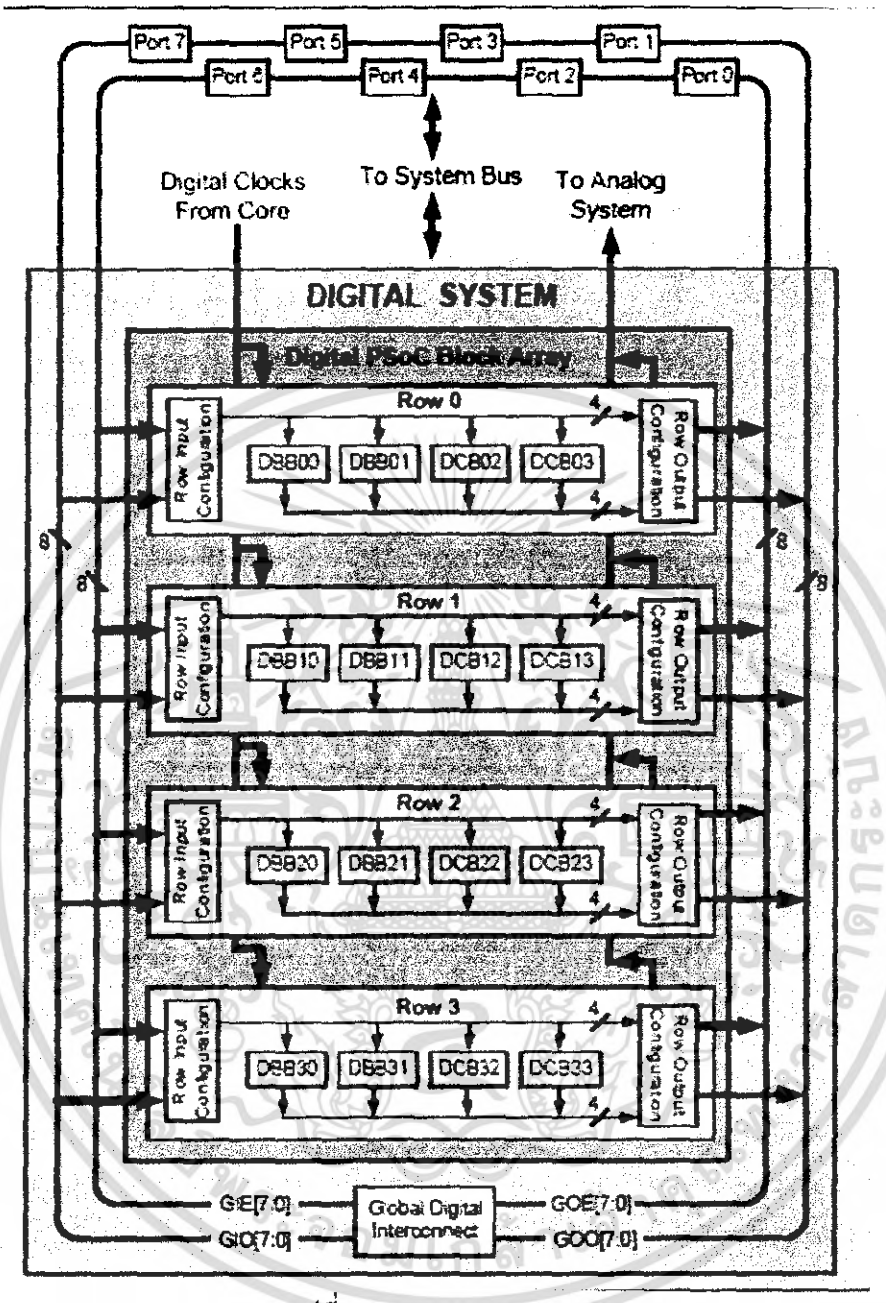
- Sleep and Watchdog เป็นโหมดควบคุมการทำงานในแบบ Sleep และระบบตรวจสอบระบบการทำงานของระบบไมโครคอนโทรลเลอร์ด้วย Watchdog

- Interrupt Controller หน่วยควบคุมการอินเตอร์รัพต์ โดยทำหน้าที่ควบคุมการตอบสนองต่ออินเตอร์รัพต์จากแหล่งต่างๆและการจัดลำดับความสำคัญของการอินเตอร์รัพต์

2.2.2.2 Digital System

เป็นพื้นที่การทำงานของระบบดิจิตอลโดยเป็นส่วนการทำงานทาง Hardware ที่แยกเป็นอิสระจาก PSoC Core โครงสร้างส่วนนี้เองที่ผู้ใช้สามารถกำหนดคุณสมบัติฟังค์ชั่นทางด้านดิจิตอลลงให้แก่ชิพไมโครคอนโทรลเลอร์ได้ เช่น Timer, Counter, PWM, I²C และ UART เป็นต้น เพื่อให้ชิพไมโครคอนโทรลเลอร์มีคุณสมบัติทางด้านดิจิตอลตามต้องการ สำหรับชิพรุ่น CY27-Series มีให้ใช้งานได้ 8 Digital Block และชิพรุ่น CY29-Series สามารถใช้งานได้ถึง 16 *Digital Block* สำหรับคุณสมบัติพื้นฐานของแต่ละบล็อก คือ มีขนาดข้อมูลเท่ากับ 8 บิต เช่น Timer ขนาด 8/16 24 บิต จะใช้พื้นที่จำนวน 1, 2 และ 3 บล็อกตามลำดับ

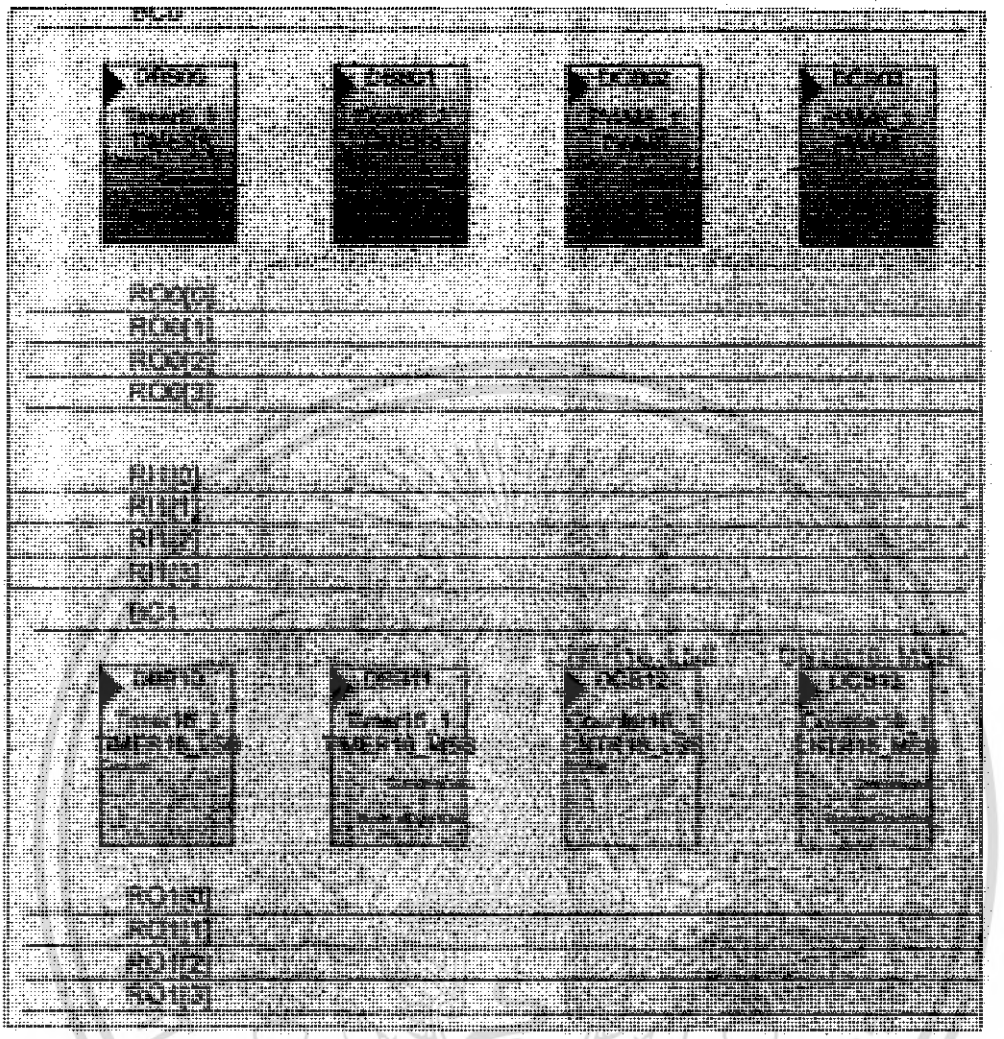
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 Digital System

ดังรูปที่ 2.12 แสดงตัวอย่างการกำหนดฟังค์ชั่น Timer ขนาด 8 บิต จำนวน 2 ชุด, PWM ขนาด 8 บิต จำนวน 2ชุด, Timer ขนาด 16 บิต จำนวน 1 ชุด และ Counter ขนาด 16 บิต จำนวน 1 ชุด ซึ่งแสดงให้เห็นถึงการใช้พื้นที่ของ Digital Block ตามฟังค์ชั่นการทำงานที่กำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



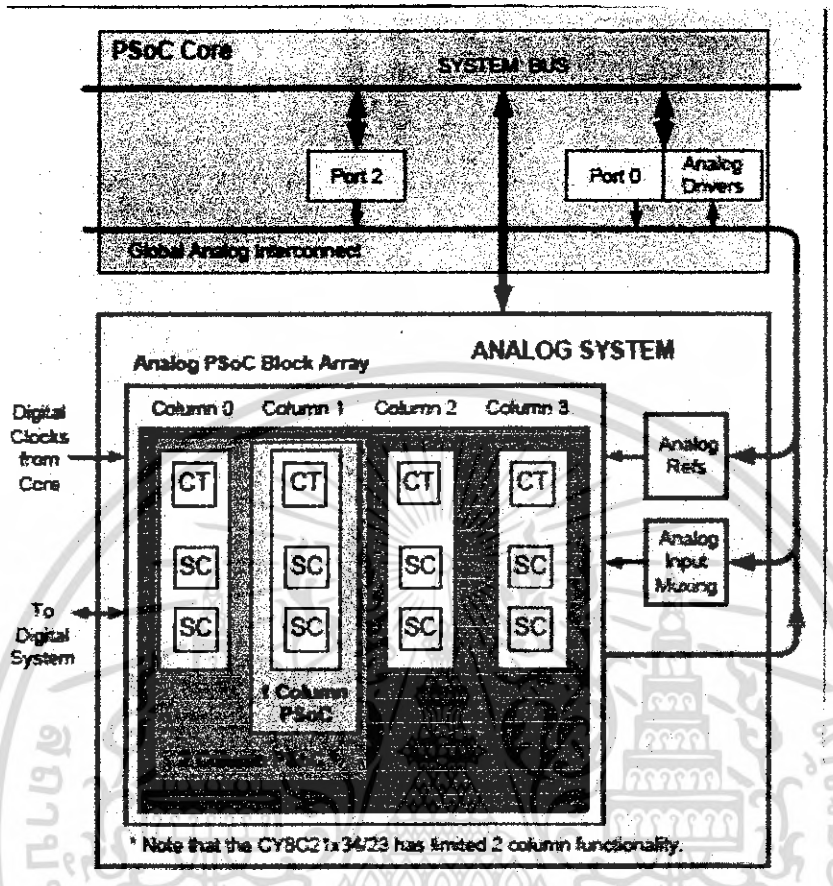
รูปที่ 2.12 แสดงการใช้งาน Digital Block

2.2.2.3 Analog System

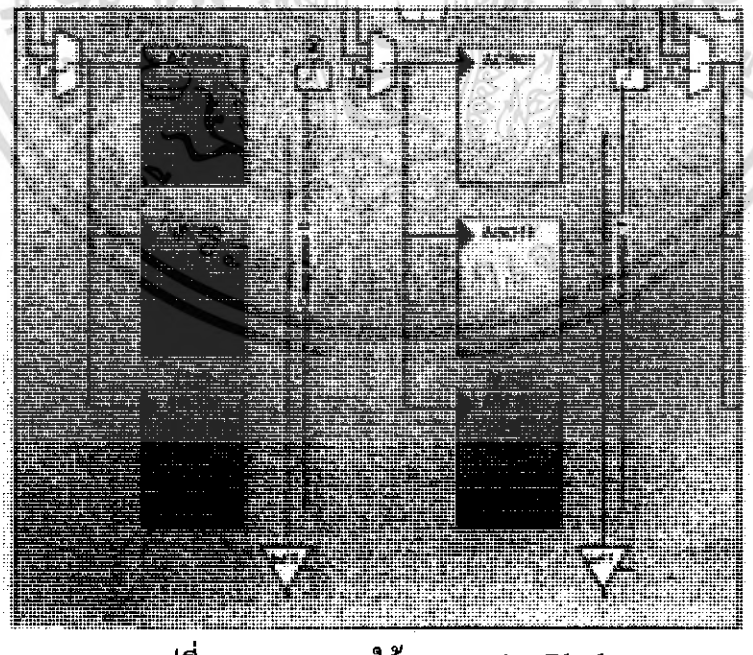
เป็นพื้นที่การทำงานของระบบอนาล็อกโดยมีลักษณะเป็นส่วนการทำงานทาง Hardware ที่แยกเป็นอิสระจาก PSoC Core เช่นเดียวกันกับ Digital System โดยโครงสร้างในส่วนนี้ผู้ใช้สามารถกำหนดคุณสมบัติฟังค์ชั่นทางด้านอนาล็อกให้แก่ชิพไมโครคอนโทรลเลอร์ได้ เช่น Amplifier, ADC และ DAC เป็นต้น สำหรับชิพรุ่น CY27-Series และ CY29-Series มีพื้นที่ให้ใช้งานได้เท่ากันคือ 12 Analog Block, ดังรูปที่ 2.14 แสดงการกำหนดฟังค์ชั่นการทำงานของ Amplifier, ADC และ DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.13 Analog System



รูปที่ 2.14 แสดงการใช้งาน Analog Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

72122

2.2.2.4 System Resources

เป็นส่วนของทรัพยากรรวมภายในระบบ ซึ่งแต่ละส่วนของระบบไมโครคอนโทรลเลอร์สามารถติดต่อถึงกันได้ผ่านซิสเต็มบัส (System Bus) อันประกอบด้วย

Digital Clocks สำหรับควบคุมการหารความถี่สัญญาณนาฬิกา

Multiply Accumulate (MAC)

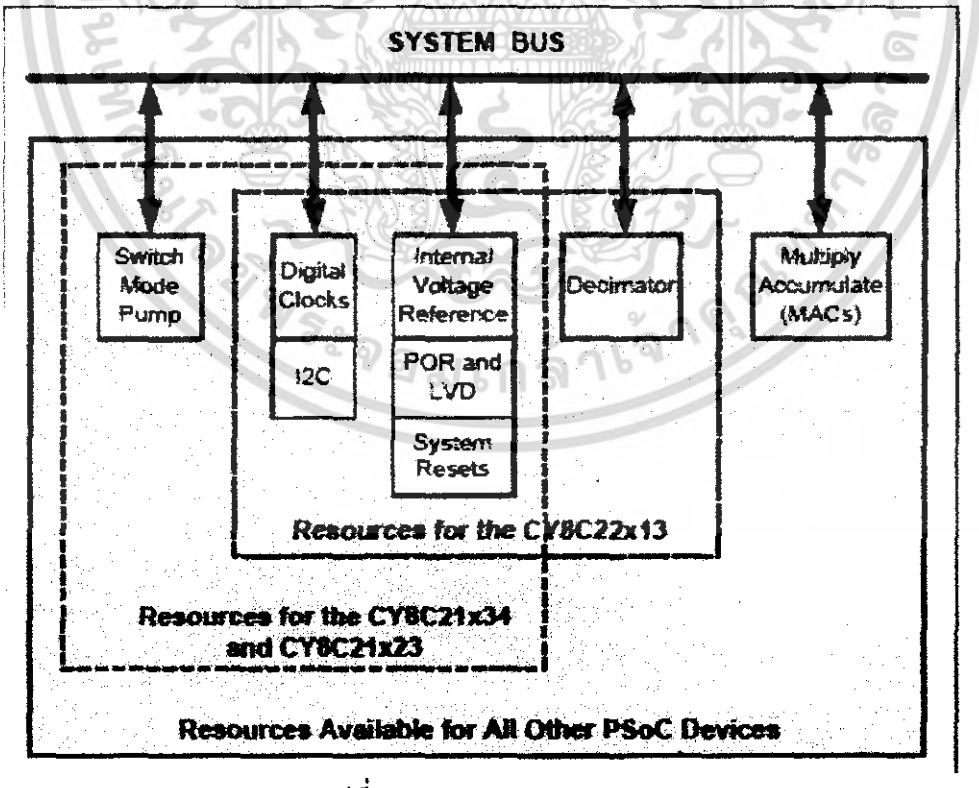
Decimator

I²C สำหรับการสื่อสารด้วยรูปแบบ I²C

POR and LVD สำหรับควบคุมระบบ Reset และระบบตรวจสอบแรงดันไฟเลี้ยงต่ำกว่ากำหนด

Internal Voltage Reference แรงดันอ้างอิงภายใน สำหรับกำหนดใช้งานเป็นค่าแรงดันอ้างอิงภายในให้แก่วงจร ADC หรือส่งค่าแรงดันอ้างอิงออกมาสู่ขาสัญญาณเพื่อนำออกไปใช้งานภายนอกได้

Switch Mode Pump โหมดควบคุมการทำงานสำหรับบูตค่าแรงดันไฟเลี้ยงระดับต่ำให้มีค่าแรงดันที่สูงขึ้นและเพียงพอสำหรับการทำงานของระบบไมโครคอนโทรลเลอร์ได้สำหรับการประยุกต์ใช้งานแรงดันไฟฟ้าจากแบตเตอรี่



รูปที่ 2.15 System Resources

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2.5 PORT

เป็นขาสัญญาณต่างๆที่ใช้สำหรับการอินเตอร์เฟสไปยังวงจรต่างๆ โดยจำนวนของพอร์ต จึงขึ้นอยู่กับเบอร์ของไมโครคอนโทรลเลอร์ที่เลือกนำมาใช้งาน โดยมีขนาดตั้งแต่ 8 / 20 / 28 / 44 และ48 ขา ให้เลือกใช้งานตามความเหมาะสมของการใช้งาน

ขาสัญญาณต่างๆของ PSoC ไมโครคอนโทรลเลอร์

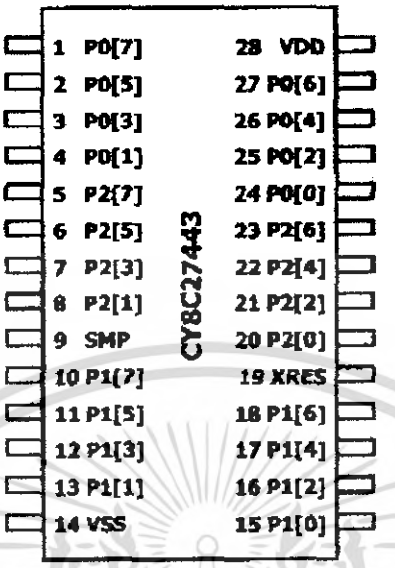
ขาสัญญาณของ PSoC มีลักษณะคล้ายกับไมโครคอนโทรลเลอร์เบอร์อื่นๆคือมีทั้งขาสัญญาณอินพุต เอาท์พุต ซึ่งในบางขาอาจทำหน้าที่มากกว่าหนึ่งหน้าที่ หน้าที่การทำงานของขาสัญญาณต่างๆของ PSoC สามารถสรุปได้ดังตารางต่อไปนี้

Pin Name	Description	Input/Output
SMP	Switch Mode Pump	Power
Vdd	Supply Voltage	Power
Vss	Ground	Power
xRES	External Reset (Active High)	Input
P0[0] – P0[1]	Port 0[0], 0[1], Analog Input	Input/Output
P0[2] – P0[5]	Port 0[2], 0[3], 0[4], 0[5], Analog Input/Output	Input/Output
P0[6] – P0[7]	Port 0[6], 0[7], Analog Input	Input/Output
P1[0]	Port 1[0], XTALOut/SDATA / I^2C SDA	Input/Output
P1[1]	Port 1[1], XTALIn/SCLK / I^2C SCL	Input/Output
P1[2]	Port 1[2]	Input/Output
P1[3]	Port 1[3]	Input/Output
P1[4]	Port 1[4], EXTCLK	Input/Output
P1[5]	Port 1[5], I^2C SDA	Input/Output
P1[6]	Port 1[6]	Input/Output
P1[7]	Port 1[7], I^2C SCL	Input/Output
P2[0] – P2[3]	Port 2[0], 2[1], 2[2], 2[3], Non-Multiplexed Analog Input (Switched Capacitor)	Input/Output
P2[4]	Port 2[4], External AGND	Input/Output
P2[5]	Port 2[5]	Input/Output
P2[6]	Port 2[6], External VREF	Input/Output
P2[7]	Port 2[7]	Input/Output
P3[0]-P3[7]	Port 3[0], 3[1], 3[2], 3[3], 3[4], 3[5], 3[6], 3[7]	Input/Output
P4[0]-P4[7]	Port 4[0], 4[1], 4[2], 4[3], 4[4], 4[5], 4[6], 4[7]	Input/Output
P5[0]-P5[3]	Port 5[0], 5[1], 5[2], 5[3]	Input/Output

ตารางที่ 1.1 หน้าที่การทำงานในแต่ละขาสัญญาณของ PSoC

จากตารางข้างต้นเป็นการกำหนดขาสัญญาณมาตรฐานของ PSoC ไมโครคอนโทรลเลอร์ทั้งเบอร์เล็กและเบอร์ใหญ่ นั่นหมายความว่าบางเบอร์อาจไม่มีขาสัญญาณบางขาปรากฏอยู่ในตาราง เช่นเบอร์ CY8C27433 ไม่มีขาพอร์ต P3, P4 และ P5 เป็นต้น ในหนังสือเล่มนี้จะอ้างอิงเบอร์ CY8C27443 ซึ่งมีการจัดขาดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 ขาสัญญาณของ CY8C27443

ขาพอร์ตของ PSoC สามารถเป็นขาอินพุต/เอาท์พุตได้อย่างอิสระ และเป็นขาสัญญาณที่มีสภาวะการทำงานได้หลายรูปแบบ เช่น pull-up, pull down, open drain เป็นต้น ซึ่งการทำงานต่างๆเหล่านี้สามารถเลือกได้ด้วยกระบวนการทางซอฟต์แวร์

นอกจากนี้การใช้งานขาพอร์ตต่างๆเป็นพอร์ตอินพุต/เอาท์พุตทั่วไปแล้ว ขาพอร์ตบางขายังมีหน้าที่เฉพาะอย่าง ดังต่อไปนี้

- VDD เป็นขาสำหรับรับไฟเลี้ยง ต่อกับไฟ 5 โวลต์
- GND เป็นขากราวด์ ต่อกับไฟ 0 โวลต์
- XRES เป็นขารับสัญญาณรีเซต เมื่อขานี้เป็นลอจิก "1" CPU จะถูกรีเซต
- P0[2]-P0[5] เป็นขาสำหรับรับสัญญาณทางอนาล็อกเข้ามาภายในเพื่อทำการประมวลผล นอกจากนี้แล้วยังสามารถส่งสัญญาณอนาล็อกออกไปทางขาเหล่านี้ได้ด้วย
- P0[6]-P0[7] เป็นขาสำหรับรับสัญญาณทางอนาล็อกเข้ามาภายในเพื่อทำการประมวลผล ไม่สามารถส่งสัญญาณอนาล็อกออกไปได้
- P1[0] เป็นขา X-TAL out ใช้สำหรับต่อกับ X-TAL เพื่อสร้างสัญญาณนาฬิกาให้กับ PSoC (ใช้งานร่วมกับ P1[1]) นอกจากนี้แล้วขานี้ยังถูกใช้เป็นขาสัญญาณในการรับ/ส่งข้อมูลแบบอนุกรมด้วย (ทั้ง SPI และ I²C)
- P1[1] เป็นขา X-TAL in ใช้สำหรับต่อกับ X-TAL เพื่อสร้างสัญญาณนาฬิกาให้กับ PSoC (ใช้งานร่วมกับ P1[0]) นอกจากนี้แล้วขานี้ยังถูกใช้เป็นขาสัญญาณในการรับสัญญาณนาฬิกาสำหรับรับ/ส่งข้อมูลแบบอนุกรม (ทั้ง SPI และ I²C)
- P1[4] เป็นขารับสัญญาณนาฬิกาจากภายนอก

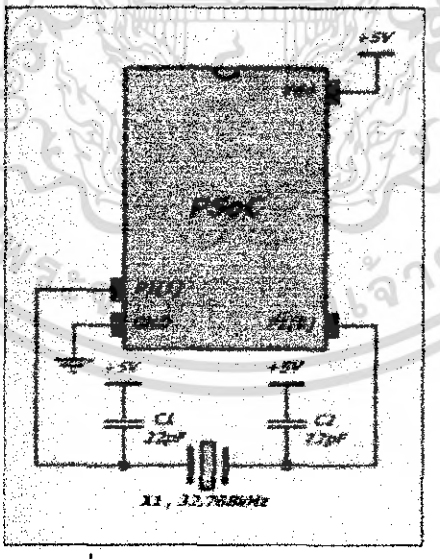
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- P1[5] เป็นขารับ/ส่งข้อมูลของ I²C ซึ่งเรียกว่าขา SDA (Series Data)
- P1[7] เป็นขารับสัญญาณนาฬิกาในการรับ/ส่งข้อมูลของ I²C เพื่อให้ด้านส่งและด้านรับทำการรับ/ส่งข้อมูลได้อย่างสอดคล้องกัน ซึ่งเรียกขานี้ว่าขา SCL (Serial Clock)
- P2[0]-P2[3] เป็นขารับสัญญาณอนาล็อกแบบ Non-Multiplexed
- P2[6] เป็นขารับสัญญาณอ้างอิงจากภายนอก

2.2.2.6 Oscillator

ไมโครคอนโทรลเลอร์ PSoC สามารถทำงานได้ด้วยวงจรกำเนิดความถี่ภายในได้สูงถึง 24 MHz แต่อย่างไรก็ดี การใช้วงจรย่อมมีค่าความผิดพลาด โดยปกติจะมีค่าไม่เกิน 2.5 % ดังนั้นสำหรับงานที่ต้องการค่าความเที่ยงตรงสูงกว่านี้ สามารถใช้งานวงจรกำเนิดความถี่จากภายนอก ซึ่งสามารถรองรับการใช้งานได้ 2 ลักษณะคือ

- Crystal Oscillator 32KHz เป็นคริสตอลชนิดเดียวกันกับที่ใช้กับชิพนาฬิกาหรือ RTC แม้ว่าความถี่ในการทำงานจะมีค่าเป็น 32 KHz แต่ไมโครคอนโทรลเลอร์ PSoC สามารถใช้เป็นความถี่อ้างอิงสำหรับผลิตความถี่ 24MHz ภายในไมโครคอนโทรลเลอร์ได้ โดยใช้คุณสมบัติของ PLL (Phase Lock Loop) การเลือกใช้วงจรกำเนิดความถี่ประเภทนี้ จะต้องต่อผ่านขาของไมโครคอนโทรลเลอร์ P1[0] และ P1[1] ประกอบกับค่าคาปาซิเตอร์จากภายนอกอีก 2 ตัว



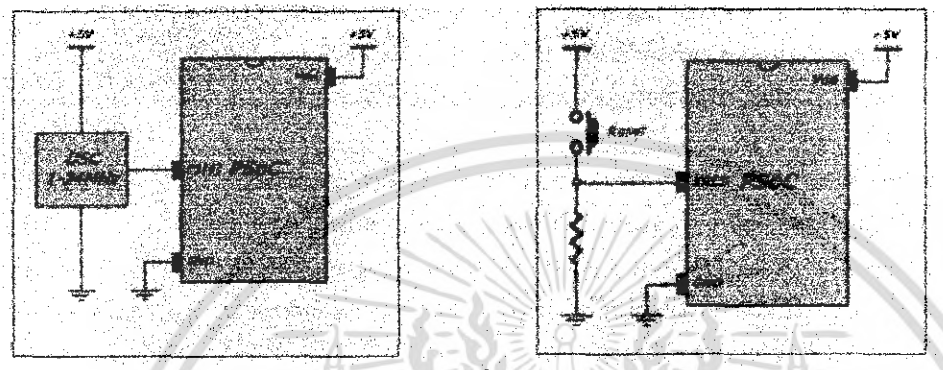
รูปที่ 2.17 Crystal ในตัว PSoC

- Oscillator Module เป็นโมดูล กำเนิดความถี่ สามารถทำงานได้ที่ความถี่ 1MHz-24MHz โดยต่อผ่านทางขา P1[4] ดังแสดงในรูป ไมโครคอนโทรลเลอร์จะใช้ความถี่ที่ป้อนเข้ามาจากภายนอกนี้ เป็นความถี่อ้างอิงในการทำงาน แทนความถี่กำเนิดขึ้นจากภายใน ดังนั้นความเที่ยงตรงของค่าความถี่ในการทำงานจึงขึ้นตรงกับความถี่ของ Oscillator Module นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2.7 RESET

ขารับสัญญาณรีเซตของไมโครคอนโทรลเลอร์ PSoC หรือขา XRES จะมีอยู่ในคอนโทรลเลอร์ทุกรุ่น ยกเว้นรุ่นที่มีขนาด 8 ขา ซึ่งจะไม่มีขาสัญญาณนี้ การรีเซตจะเกิดขึ้นเมื่อได้รับลอจิก "1" หรือแรงดันไฟ +5V ดังนั้นวงจรรีเซตจึงสามารถแสดงได้ดังรูป



รูปที่ 2.18 ขาReset

2.3 ACTIVE FILTER

2.3.1 กล่าวนำ

Active Filter ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอยด้วยภาคขยายเช่น Transistor หรือ IC และ network เลือกความถี่สูงสุด (Frequency Selective Network) จำพวก Resistor กับ Capacitor วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (block) หรือลดทอนสัญญาณนอกเหนือจากช่วงความถี่ดังกล่าวมิให้ปรากฏที่ output

กล่าวโดยทั่วไป Filter แบ่งออกเป็นหลายรูปแบบ

1. Filter ชนิด Analog หรือชนิด Digital
2. Filter ประเภท Passive หรือ Active
3. Filter ย่านความถี่เสียง (Audio Frequency) หรือย่านวิทยุ (Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Analog โดยอาศัยเทคนิคทาง Digital มาช่วย ถ้าคำนึงถึงชิ้นส่วน (Element) ที่นำมาประกอบเป็น Filter แบ่งออกเป็นประเภท Active และ Passive ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ตัว Resistor, Capacitor และ Inductor ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณประเภท Transistor หรือ IC ในรูป Op-Amp และ Resistor กับ Capacitor ทำงานร่วมกัน Resistor, Capacitor และ Inductor ถือว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นกับย่านความถี่สัญญาณที่ต้องการให้วงจร Filter ทำงาน ยกตัวอย่าง RC Filter ใช้กับย่านความถี่เสียง (Audio Frequency) หรือใช้ในย่านความถี่ต่ำ (Low Frequency) ขณะที่ LC Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรืออาจจะกล่าวไปถึง Crystal Filter เหมาะที่จะใช้ในย่านความถี่วิทยุ (Radio Frequency) หรือย่านความถี่สูง (High Frequency) และโดยเฉพาะอย่างยิ่งเนื่องจากค่า Q หรือ Figure of merit ที่สูงของตัว Crystal ทำให้ Crystal Filter มีเสถียรภาพที่ความถี่สูงมากๆดีกว่า LC Filter อีกด้วย

ในบทนี้เราจะทำการวิเคราะห์และออกแบบ RC-Active Filter ชนิด Analog ในย่านความถี่เสียง อาศัย Op-Amp เราไม่นำ Inductor มาใช้ย่านความถี่เสียง เพราะย่านความถี่ต่ำเช่นนี้ Inductor มีขนาดใหญ่ สิ้นเปลืองกำลังงานในตัวมาก มีราคาแพงตามขนาด และยังกระจายสนามแม่เหล็กออกไปรอบๆตัว รบกวนชิ้นส่วนหรืออุปกรณ์ข้างเคียง

2.3.2 ข้อดีของ Active Filter ที่มีเหนือกว่า Passive Filter

ข้อดีที่เหนือกว่ามีดังนี้

- **การเปรียบเทียบอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน** เราสามารถจัดค่าอัตราการขยายของ Op-Amp ชดเชยกับอัตราลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยาย Op-Amp และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น

- **ไม่มีปัญหา Loading จากการที่** Op-Amp มีคุณสมบัติของ Input Impedance สูง และ Output Impedance ต่ำ วงจร Active Filter อาศัย Op-Amp จึงไม่เกิดปัญหา Loading กับ Output และ Input ของวงจร ณ จุดที่นำ Active Filter เข้าไปต่อ

- **ราคาถูก** Active Filter มีราคาถูกกว่า Passive Filter เพราะไม่ต้องอาศัย Inductor ที่มีราคาแพง และยังใช้ Op-Amp ซึ่งปัจจุบันราคาในท้องตลาดถูกมาก

2.3.3 Active Filter ตามลักษณะการทำงาน

เราแบ่ง Aetive Filter ตามลักษณะการทำงานเป็น 5 ชนิด

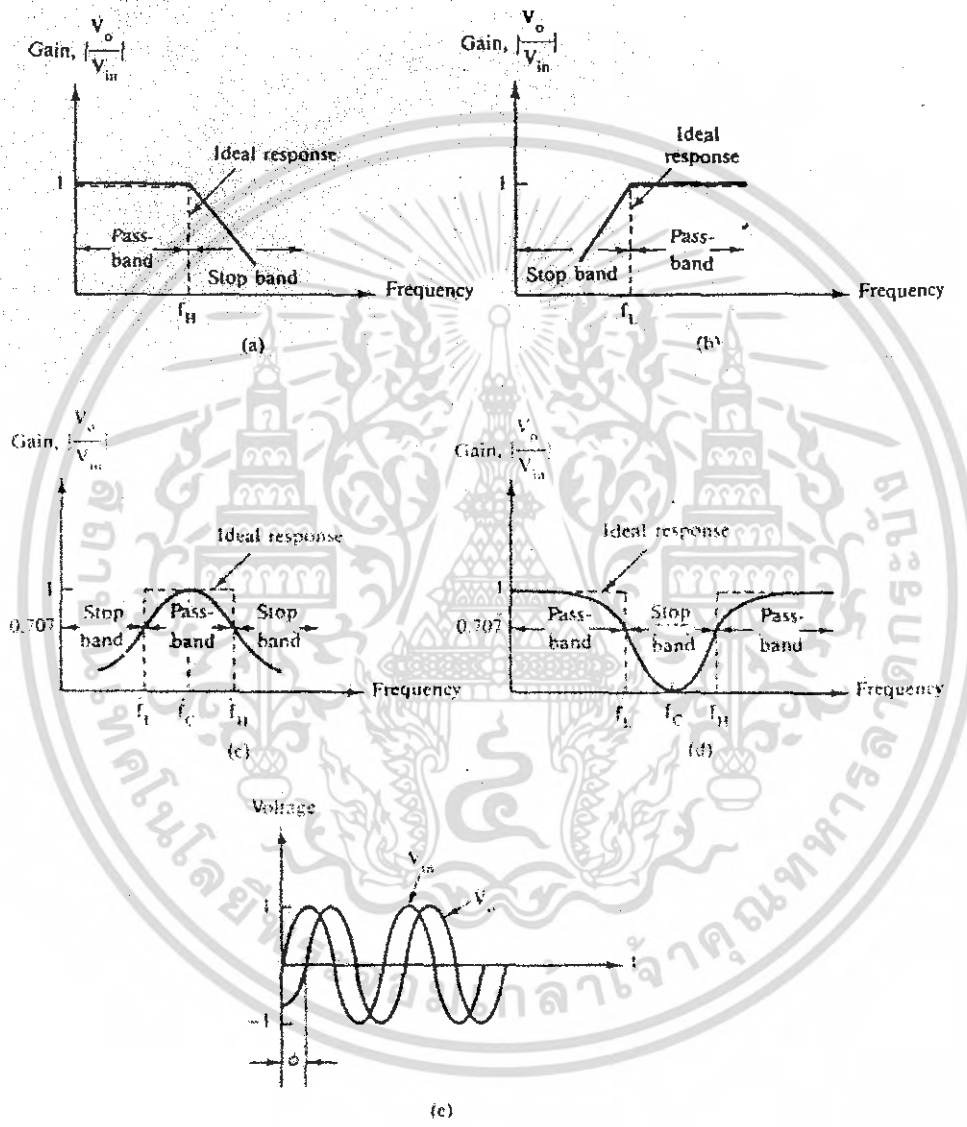
- Low Pass Filter (LPF)
- High Pass Filter (HPF)
- Band Pass Filter (BPF)
- Band Reject หรือ Band Stop Filter (BSF)
- All Pass Filter

Filter เหล่านี้อาศัย Resistor และ Capacitor เป็น Passive Element ทำงานร่วมกับ Active Element จำพวก Op-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี SIew Rate สูง และUnity Gain

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bandwidth สูงๆเช่น LM 318 หรือ ICL8017 จะช่วยให้คุณสมบัติด้านความถี่และด้านอัตราการขยายของ Filter ดีขึ้น

Frequency Response ของ Filter ทั้ง 5 ชนิดแสดงในรูปที่ 2.19 เส้นประแสดงถึง Response ที่เป็น Ideal ในทางทฤษฎี ส่วน Response Curve ในทางปฏิบัติแสดงด้วยเส้นทึบ



รูปที่ 2.19 Frequency Response ของวงจร Filter

รูปที่ 2.19(a) แสดง Frequency Response ของวงจร Low Pass Filter มีขนาดของ Gain คงที่จากความถี่ O Hz ถึงความถี่ High Cutoff f_H ค่าของ Bandwidth จึงเท่ากับ f_H -ที่ f_H หรือตำแหน่งความถี่ High Cutoff นั้น Gain จะลดลง 3dB และที่ความถี่มากกว่า f_H นั้นคือที่ $f > f_H$ อัตราการขยายหรือ Gain ของวงจรก็ลดลงทุกขณะอย่างต่อเนื่องตามความถี่สัญญาณ Input ที่เพิ่มขึ้น นัยของ Filter ช่วงความถี่ระหว่าง O Hz ถึง High Cutoff Frequency ซึ่ง Gain ของวงจรลดลง 3dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียกว่า Pass Band และช่วงความถี่ที่สูงกว่า f_H ขึ้นไป ซึ่งเกิดการลดทอนของสัญญาณลงทุกขณะเรียก Stop Band จาก Response ที่เป็น Ideal ในเส้นประ แสดงให้เห็นว่า Filter ที่เป็น Ideal จะมี Loss เป็นศูนย์ตลอดช่วง Pass Band และมี Loss เป็นอนันต์ในช่วง Stop Band แต่สภาพความเป็นจริงในทางปฏิบัติมิได้เป็นเช่นนั้นเพราะเน็ทเวิร์คชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่อง (Discontinuities) ขึ้นได้ อย่างไรก็ตามเราอาจสร้าง Response Curve ในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับ Response ที่เป็น Ideal ตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย ประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่น Resistor กับ Capacitor ที่มีค่าถูกต้องแม่นยำ หรือค่าผิดพลาดน้อยที่สุดและใช้ Op-Amp ชนิด High Speed

รูปแบบของ Filter ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้ Response Curve ประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบ Butterworth, รูปแบบ Chebyshev และรูปแบบ Cauer แต่ละรูปแบบมีคุณลักษณะประจำตัวแตกต่างกันออกไป Butterworth Filter ให้คุณลักษณะของทั้ง Pass Band และ Stop Band ที่ Flat บางโอกาสจึงเรียกว่า Flat Flat Filter สำหรับ Chebyshev Filter มีคุณลักษณะ Pass Band เป็น Ripple และ Stop Band มีลักษณะ Flat ส่วน Cauer Filter ให้ทั้ง Pass Band และ Stop Band มีคุณลักษณะเป็น Ripple หากกล่าวโดยรวมๆระหว่าง Filter ทั้ง 3 แบบ Cauer Filter จะให้ Response ของ Stop Band ดีที่สุดแต่เพื่อความสะดวกของการออกแบบวงจรเราจะใช้ Butterworth Filter

รูปที่ 2.19(b) เป็น Response Curve ของ High Pass Filter เมื่อให้ f เป็นความถี่ใดๆและ f_L เป็น Low Cutoff Frequency แล้ว ช่วง Stop Band จะอยู่ที่ $O < f < f_L$ และช่วงของ Pass Band อยู่ที่ $f > f_L$

รูปที่ 2.19(c) แสดง Frequency Response ของวงจร Band Pass Filter ช่วง Band Pass อยู่ระหว่างความถี่ Cutoff สองจุดได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequency (f_L) ซึ่งเป็นตำแหน่งที่ Gain ของวงจรลดลง 3dB และช่วง Stop Band มีสองช่วงที่ $O < f < f_L$ และ $f > f_H$ ค่า Bandwidth ของ Band Pass Filter เท่ากับ $f_H - f_L$ และ Center Frequency อยู่ที่ความถี่ f_c ปรากฏที่ตำแหน่งกึ่งกลาง Band Pass พอดี

รูปที่ 2.19(d) แสดง Response ของ Band Reject Filter มี Curve คุณลักษณะตรงกันข้ามกับ Band Pass Filter กล่าวคือช่วง Band Stop อยู่ระหว่างความถี่ Cutoff สองจุดคือ f_H กับ f_L และมีช่วง Pass Band สองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $O < f < f_L$ อาจเรียก Band Reject Filter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่า Bandwidth ของ Stop Band เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วง Stop Band เป็นความถี่ Center Frequency หรือ f_c

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.19(e) แสดง Phase Shift ระหว่าง Input Voltage v_{in} กับ Output Voltage v_o ของ All Pass Filter วงจร All Pass Filter มีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆกัน กล่าวคือให้ v_o เท่ากับ v_{in} ในทุกความถี่โดยปรากฏ Phase Shift ขึ้นระหว่าง v_o กับ v_{in} ในบางความถี่ แต่ค่าความถี่สูงสุดซึ่ง v_o กับ v_{in} ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ Unity Gain Bandwidth ของ Op-Amp ที่ความถี่นี้ Phase Shift ที่เกิดขึ้นระหว่าง v_o กับ v_{in} จะมีค่าสูงสุด

ก่อนนำเข้าสู่ Filter แต่ละแบบ มาพิจารณาคุณลักษณะของ Filter โดยเฉพาะอย่างยิ่งในช่วง Stop Band ตามรูปที่ 2.19(a) ถึง 2.19(d) รูปร่างของ Response Curve ในช่วง Stop Band มีทั้งลดลงหรือเพิ่มขึ้น หรือ ทั้งลดลงและเพิ่มขึ้นด้วยอัตราการเปลี่ยนแปลงที่คงที่ตามความถี่ที่เพิ่มขึ้น หมายถึงอัตรา (Rate) ซึ่ง Gain ของ Filter เปลี่ยนแปลงในช่วง Stop Band อัตราการเปลี่ยนแปลง Gain นี้แสดงด้วย Slope ของ Curve ในบริเวณ Stop Band ถูกกำหนดโดยจำนวน Order ของ Filter ยกตัวอย่าง Low Pass Filter ชนิด Order หนึ่ง การลดลงของ Gain ในช่วง Stop Band จากความถี่ $f < f_H$ อยู่ในอัตรา 20 dB/Decade ส่วน Low Pass Filter ชนิด Order สองก็มีการลดลงของ Gain ในช่วงความถี่เดียวกันในอัตรา 40 dB/Decade แต่สำหรับ High Pass Filter ชนิด Order หนึ่ง จะมีการเพิ่มขึ้นของ Gain ในช่วง Stop Band จากความถี่ $O < f < f_L$ ในอัตรา 20 dB/Decade และ High Pass Filter ชนิด Order สอง ก็มีการเพิ่มขึ้นของ Gain ในช่วงความถี่เดียวกันในอัตราเท่ากับ 40 dB/Decade

2.3.3.1 Low Pass Filter ชนิด Order หนึ่ง

จากรูปที่ 2.20 จะได้ว่า

$$v_o / v_{in} = \frac{A_F}{1 + j(f / f_H)} \qquad (2.1)$$

เมื่อ v_o / v_{in} = Gain ของวงจร

A_F = $1 + R_F/R_I$ = Pass Band Gain ของวงจร (2.2)

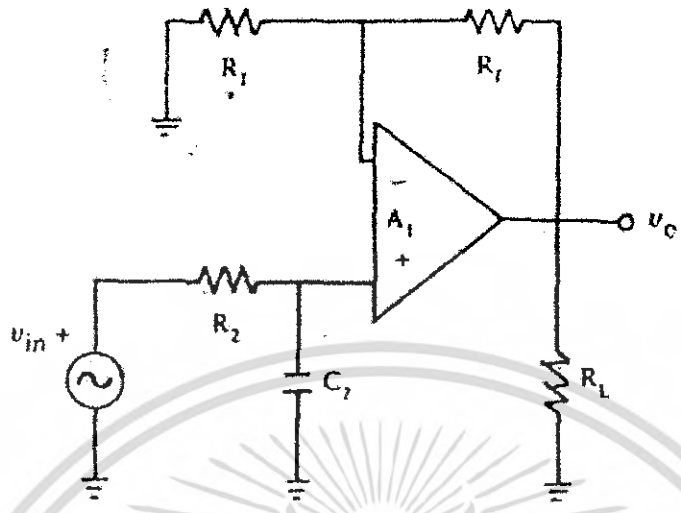
f = Frequency ของ Input Signal

f_H = $1/(2\pi R_2C_2)$ = High Cutoff Frequency (2.3)

จากสมการที่ (2.1) เขียนในรูป Gain Magnitude ได้ดังนี้

$$\left| v_o / v_{in} \right| = \frac{A_F}{\sqrt{1 + (f / f_H)^2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 First-Order Low Pass Butterworth Filter

การออกแบบ

1. เลือกค่า High Cutoff Frequency f_H
2. เลือกค่า $C_2 = 10/f_H$ μFarad
3. คำนวณ $R_2 = 1/(2\pi f_H C_2)$
4. คำนวณหาค่า R_F และ R_1 ตามค่า Pass Band Gain

$$A_F = 1 + R_F/R_1$$

ตัวอย่างที่ 2.1 ออกแบบ Low Pass Filter ที่ Cutoff Frequency = 1 KHz ที่ Pass Band Gain = 2

วิธีทำ

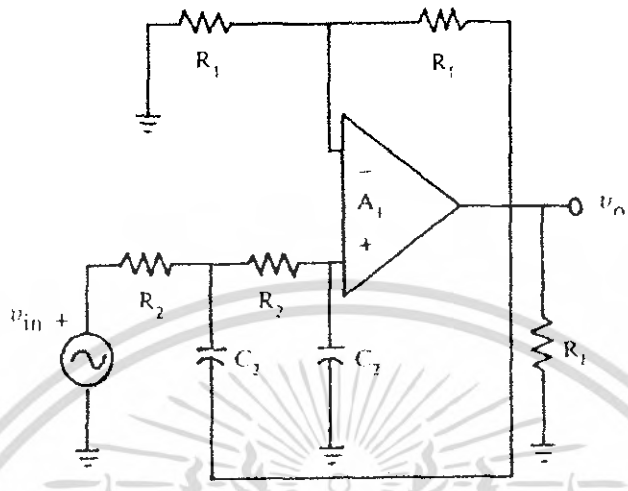
1. $f_H = 1$ KHz
2. $C_2 = 10/1000\ \mu F = 0.01\ \mu F$
3. $R_2 = 1/((2\pi)(1000)(0.01 \times 10^{-6}))$

   $= 15.9\ k\Omega$
4. เนื่องจาก $A_F = 2$, ดังนั้น R_F จึงต้องเท่ากับ R_1

   เลือก $R_F = R_1 = 10\ k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3.2 Low Pass Filter ชนิด Order สอง



รูปที่ 2.21 Second-Order Low Pass Butterworth Filter

จากรูปที่ 2.21 จะได้ว่า

$$\left| V_o / V_{in} \right| = \frac{A_F}{\sqrt{1+(f/f_H)^4}} \qquad (2.5)$$

เมื่อ v_o / v_{in} = Gain ของวงจร

A_F = $1+ R_F/R_1$ = Pass Band Gain ของวงจร (2.6)

f = Frequency ของ Input Signal

f_H = $1/(2\pi f_H C_2)$ = High Cutoff Frequency (2.7)

การออกแบบ

1. เลือกค่า High Cutoff Frequency f_H
2. เลือกค่า C_2 = $10/f_H$ μFarad
3. คำนวณ R_2 = $1/(2\pi f_H C_2)$
4. คำนวณหาค่า R_F และ R_1 ตามค่า Pass Band Gain

$$A_F = 1+ R_F/R_1$$

ตัวอย่างที่ 2.2 ออกแบบ Low Pass Filter และ Cutoff Frequency = 1 KHz ที่ Pass Band Gain = 2

วิธีทำ

1. f_H = 1 KHz
2. C_2 = 10/1000 μF = 0.01μF
3. R_2 = $1/((2\pi)(1000)(0.01\text{x}10^{-6}))$

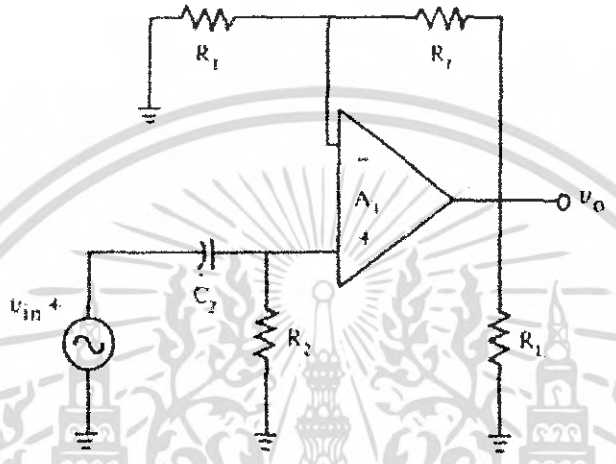
= $15.9\,k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เนื่องจาก $A_F = 2$, ดังนั้น R_F จึงต้องเท่ากับ R_1

เลือก $R_F = R1 = 10\,k\Omega$

2.3.3.3 High Pass Filter ชนิด Order หนึ่ง



รูปที่ 2.22 First Order High Pass Butterworth Filter

จากรูปที่ 2.22 จะได้ว่า

$$v_o / v_{in} = \frac{A_F j(f/f_L)}{1 + j(f/f_L)} \tag{2.8}$$

เมื่อ v_o / v_{in} = Gain ของวงจร

$A_F = 1 + R_F/R_1$ = Pass Band Gain ของวงจร (2.9)

f = Frequency ของ Input Signal

$f_L = 1/(2\pi R_2 C_2)$ = Low Cutoff Frequency (2.10)

จากสมการข้างบน เขียนในรูป Gain Magnitude ได้ดังนี้

$$\left| v_o / v_{in} \right| = \frac{A_F (f/f_L)}{\sqrt{1 + (f/f_L)^2}} \tag{2.11}$$

การออกแบบ

1. เลือกค่า Low Cutoff Frequency f_L
2. เลือกค่า $C_2 = 10/f_L$ μFarad
3. คำนวณ $R_2 = 1/(2\pi f_L C_2)$
4. คำนวณหาค่า R_F และ R_1 ตามค่า Pass Band Gain

$$A_F = 1 + R_F/R_1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 2.3 ออกแบบ High Pass Filter ที่ Cutoff Frequency = 1 KHz ที่ Pass Band Gain = 2

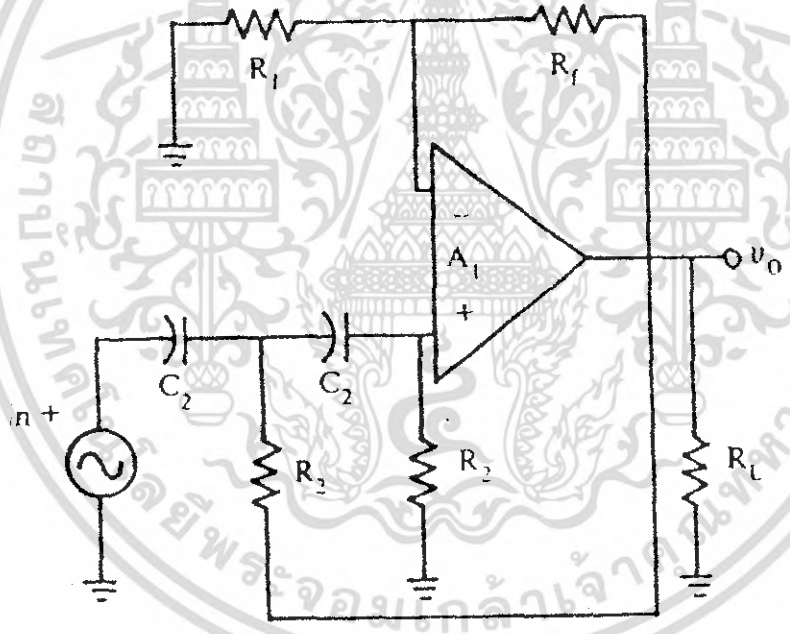
วิธีทำ

1. f_L = 1 KHz
2. C_2 = 10/1000 μF = 0.01 μF
3. $R_2 = 1/((2\pi)(1000)(0.01\text{x}10^{-6}))$

   $= 15.9\,\text{k}\Omega$
4. เนื่องจาก $A_F = 2$, ดังนั้น R_F จึงต้องเท่ากับ R_1

   เลือก $R_F = R_1 = 10\,\text{k}\Omega$

2.3.3.4 High Pass Filter ชนิด Order สอง



รูปที่ 2.23 Second Order High Pass Butterworth Filter

จากรูปที่ 2.23 จะได้ว่า

$$\left| v_o / v_{in} \right| = \frac{A_F}{\sqrt{1+(f_L/f)^4}} \qquad (2.12)$$

เมื่อ v_o / v_{in} = Gain ของวงจร

$A_F = 1 + R_F/R_1$ = Pass Band Gain ของวงจร (2.13)

f = Frequency ของ Input Signal

$f_L = 1/(2\pi R_2 C_2)$ = Low Cutoff Frequency (2.14)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ

1. เลือกค่า Low Cutoff Frequency f_L
2. เลือกค่า $C_2 = 10/f_L$ μFarad
3. คำนวณ $R_2 = 1/(2\pi f_L C_2)$
4. คำนวณหาค่า R_F และ R_1 ตามค่า Pass Band Gain

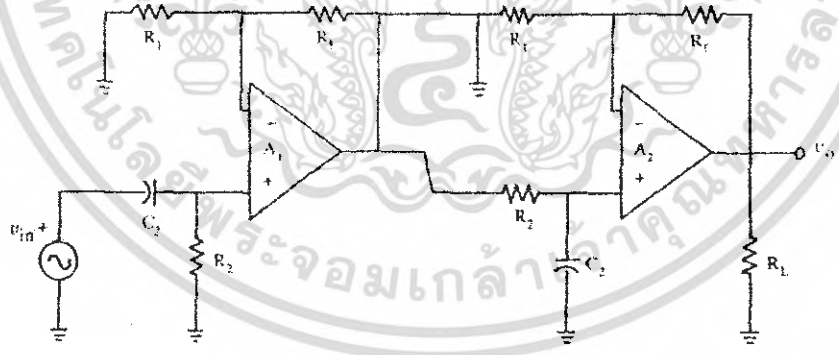
$$A_F = 1 + R_F/R_1$$

ตัวอย่างที่ 2.4 ออกแบบ High Pass Filter ที่ Cutoff Frequency = 1 KHz ที่ Pass Band Gain = 2

วิธีทำ

1. $f_L = 1$ KHz
2. $C_2 = 10/1000\ \mu F = 0.01\ \mu F$
3. $R_2 = 1/((2\pi)(1000)(0.01 \times 10^{-6}))$
   $= 15.9\ k\Omega$
4. เนื่องจาก $A_F = 2$, ดังนั้น R_F จึงต้องเท่ากับ R_1
   เลือก $R_F = R_1 = 10\ k\Omega$

2.3.3.5 Band Pass Filter



รูปที่ 2.24 Band Pass Filter

จากรูปที่ 2.24 จะได้ว่า

$$\left| V_o / V_{in} \right| = \frac{A_{FT}(f/f_L)}{\sqrt{[1+(f/f_L)^2][1+(f/f_H)^2]}} \qquad (2.15)$$

เมื่อ v_o / v_{in} = Gain ของวงจร

A_{FT} = Total Pass Band Gain ของวงจร

$= A_{F1} \times A_{F2}$ (2.16)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย $A_{F1} = (1 + R_F/R_1)$ ของ Stage A_1 (2.17)

$A_{F2} = (1 + R_F/R_1)$ ของ Stage A_2 (2.18)

f = Frequency ของ Input Signal

f_L = Low Cutoff Frequency

$= 1/(2\pi R_2C_2)$ ของ Stage A_1 (2.19)

f_H = High Cutoff Frequency

$= 1/(2\pi R_2C_2)$ ของ Stage A_2 (2.20)

f_c = Center Frequency $= \sqrt{f_H/f_L}$ (2.21)

การออกแบบ

1. เลือกค่า Low Cutoff Frequency f_L
2. เลือกค่า High Cutoff Frequency f_H
3. เลือกค่า C_2

   $C_2 = 10/f_L$ ของ Stage A_1

   $C_2 = 10/f_H$ ของ Stage A_2
4. คำนวณ

   $R_2 = 1/(2\pi f_LC_2)$ ของ Stage A_1

   $R_2 = 1/(2\pi f_HC_2)$ ของ Stage A_2
5. เพื่อความสะดวกในการออกแบบ ให้ $A_{F1} = A_{F2}$

   คำนวณหาค่า RF และ R1 ตามค่า Pass Band Gain

   $A_{FT}/2 = A_{F1} = A_{F2} = 1 + R_F/R_1$

   โดยใช้ได้ทั้ง 2 Stage

ตัวอย่างที่ 2.5 ออกแบบ Band Pass Filter ที่ f_H = 1 KHz และ f_L = 200 Hz, Pass Band Gain = 4

วิธีทำ

1. fL = 200 Hz
2. fH = 1 KHz
3. $C_{2(A1)} = 10/200 = 0.05\ \mu F$

   $C_{2(A2)} = 10/1000 = 0.01\ \mu F$
4. $R_{2(A1)} = 1/((2\pi)(200)(0.05\times10^{-6}))$

   $= 15.9\ k\Omega$

   $R_{2(A2)} = 1/((2\pi)(1000)(0.01\times10^{-6}))$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= 15.9\,k\Omega$

5. $A_{FT} = 4$

$A_{F1} = A_{F2} = 2$

เหมือนกับที่ผ่านมาคือ R_F ต้องเท่ากับ R_1

เลือก $R_F = R_1 = 10\,k\Omega$

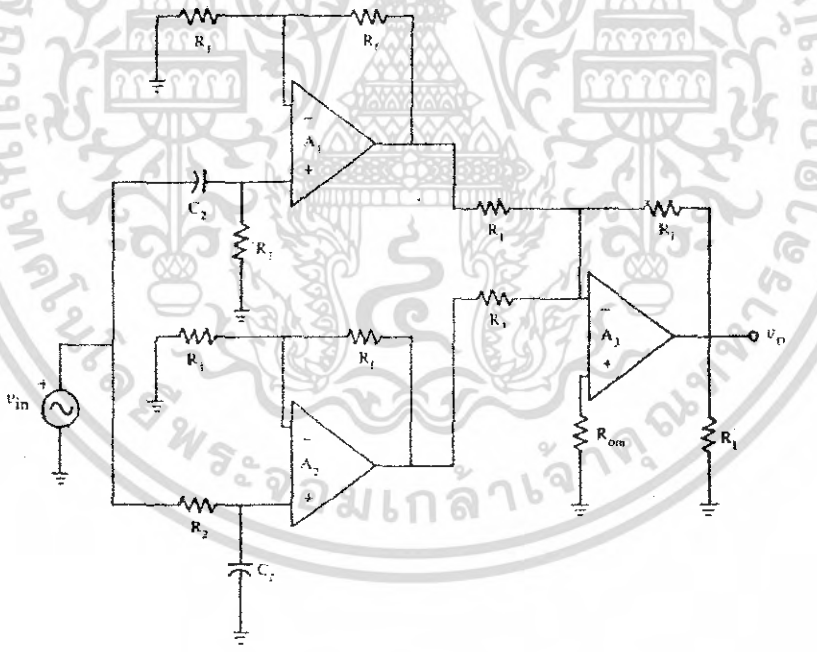
2.3.3.6 Band Reject Filter

$$\left| V_o / V_{in} \right| = \frac{A_F \sqrt{1 - (f/(f_H f_L))^2}}{\sqrt{(1 - f^2/(f_H f_L))^2 + (f[(1/f_H) + (1/f_L)])^2}} \quad (2.22)$$

เมื่อ v_o / v_{in} = Gain ของวงจร

A_F = Total Pass Band Gain ของวงจร

$= A_{F1} = A_{F2}$ (2.23)



รูปที่ 2.25 Band Reject Filter

โดย $A_{F1} = (1 + R_F/R_1)$ ของ Stage A_1 (2.24)

$A_{F2} = (1 + R_F/R_1)$ ของ Stage A_2 (2.25)

f = Frequency ของ Input Signal

f_L = Low Cutoff Frequency

$= 1/((2\pi R_2 C_2)$ ของ Stage A_1 (2.26)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_H = High Cutoff Frequency

= $1/(2\pi R_2C_2)$ ของ Stage A_2 (2.27)

f_c = Center Frequency = $\sqrt{f_H f_L}$ (2.28)

การออกแบบ

1. เลือกค่า Low Cutoff Frequency f_L
2. เลือกค่า High Cutoff Frequency f_H
3. เลือกค่า C_2

   $C_2 = 10/f_L$ ของ Stage A_1

   $C_2 = 10/f_H$ ของ Stage A_2
4. คำนวณ

   $R_2 = 1/(2\pi f_L C_2)$ ของ Stage A_1

   $R_2 = 1/(2\pi f_H C_2)$ ของ Stage A_2
5. เพื่อความสะดวกในการออกแบบ ให้ $A_{F1} = A_{F2}$

   คำนวณหาค่า R_F และ R_1 ตามค่า Pass Band Gain

   $A_{FT} = A_{F1} = A_{F2} = 1 + R_F/R_1$

   โดยใช้ได้ทั้ง 2 Stage

ตัวอย่างที่ 2.6 ออกแบบ Band Reject Filter ที่ f_L = 1 KHz และ f_H = 200 Hz, Pass Band Gain = 2

วิธีทำ

1. f_L = 1 KHz
2. f_H = 200 Hz
3. $C_{2(A1)}$ = 10/200 = 0.05 µF

   $C_{2(A2)}$ = 10/1000 = 0.01 µF
4. $R_{2(A1)}$ = $1/((2\pi)(200)(0.05x10\text{-}6))$

   = 15.9 kΩ

   $R_{2(A2)}$ = $1/((2\pi)(1000)(0.01x10\text{-}6))$

   = 15.9 kΩ
5. A_{FT} = 2, $A_{F1} = A_{F2} = 2$

   เหมือนกับที่ผ่านมาคือ R_F ต้องเท่ากับ R_1

   เลือก $R_F = R_1$ = 10 kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3.7 All Pass Filter

All Pass Filter ทำหน้าที่เลื่อน Phase ของสัญญาณ V_o เทียบกับ V_{in} กล่าวคือ เป็นวงจรที่ทำให้เกิด Phase Shift ขึ้นระหว่าง V_o กับ V_{in} อาศัย Network ของ RC ที่ขา input ขั้ว Noninverting ของ Op-Amp

2.3.3.7-1 กรณี V_o ล้าหลัง V_{in}

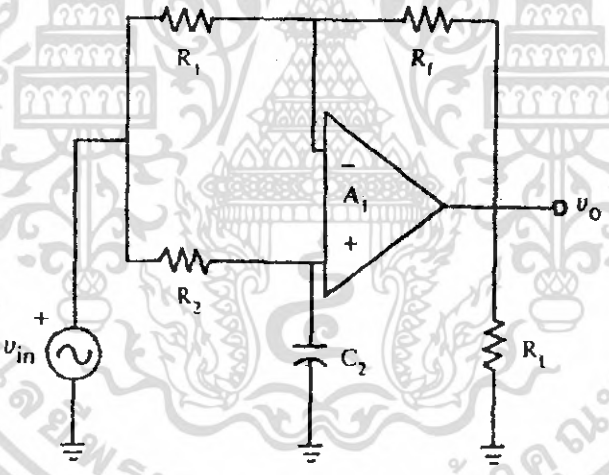
จากรูปที่ 2.26 จะได้ว่า

$$\left| V_o / V_{in} \right| = \frac{\sqrt{1+(2\pi f R_2 C_2)}}{\sqrt{1+(2\pi f R_2 C_2)}} = 1 \qquad (2.29)$$

$$\phi = -2\tan^{-1}(2\pi f R_2 C_2) \qquad (2.30)$$

เมื่อ v_o / v_{in} = Gain ของวงจร

ϕ = Phase Shift ระหว่าง v_o กับ v_{in}



รูปที่ 2.26 All Pass Filter

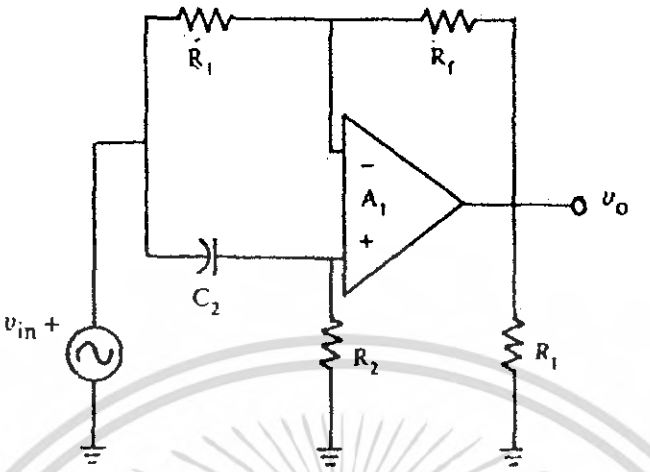
2.3.3.7-2 กรณี V_o นำหน้า V_{in}

จากรูปที่ 2.27 จะได้ว่า

$$\left| V_o / V_{in} \right| = \frac{\sqrt{1+(2\pi f R_2 C_2)}}{\sqrt{1+(2\pi f R_2 C_2)}} = 1 \qquad (2.31)$$

$$\phi = 180-2\tan^{-1}(2\pi f R_2 C_2) \qquad (2.32)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 All Pass Filter

เมื่อ v_o / v_{in} = Gain ของวงจร

ϕ = Phase Shift ระหว่าง v_o กับ v_{in}

การออกแบบ

1. เลือกค่า Phase Shift (ϕ) ของ V_o เทียบกับ V_{in}
2. เลือกค่า Frequency Input (f)
3. เลือกค่า C_2

   $C_2 = 10/f$
4. กรณี $\phi > 0$ หรือ v_o นำหน้า v_{in}

   $R_2 = \tan(180 - \phi/2)/(2\pi fC_2)$

   กรณี $\phi < 0$ หรือ v_o ล้าหลัง v_{in}

   $R_2 = \tan(-\phi/2)/(2\pi fC_2)$

ตัวอย่างที่ 2.7 ออกแบบ All Pass Filter ที่ v_o มี Phase เมื่อเทียบกับ v_{in} = -90 ที่ f = 1000 Hz

วิธีทำ

1. ϕ = -90
2. f = 1000 Hz
3. $C_2 = 10/1000 = 0.01\ \mu F$
4. จะเห็นว่า $\phi < 0$ หรือ v_o ล้าหลัง v_{in}

   $R_2 = \tan(-(-90)/2)/((2\pi)(1000)(0.01\times10^{-6}))$

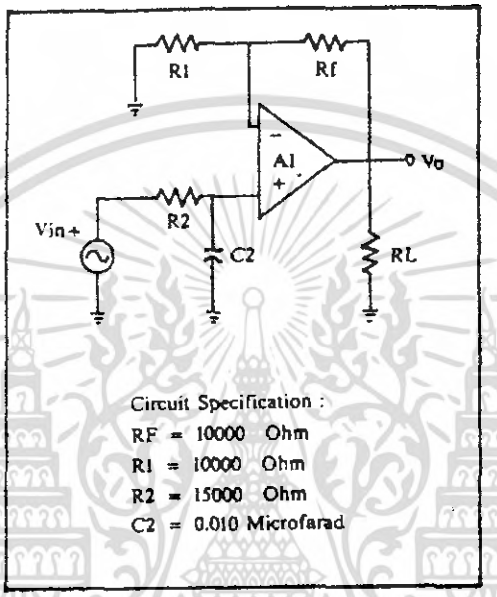
   $= 15.9\ k\Omega$

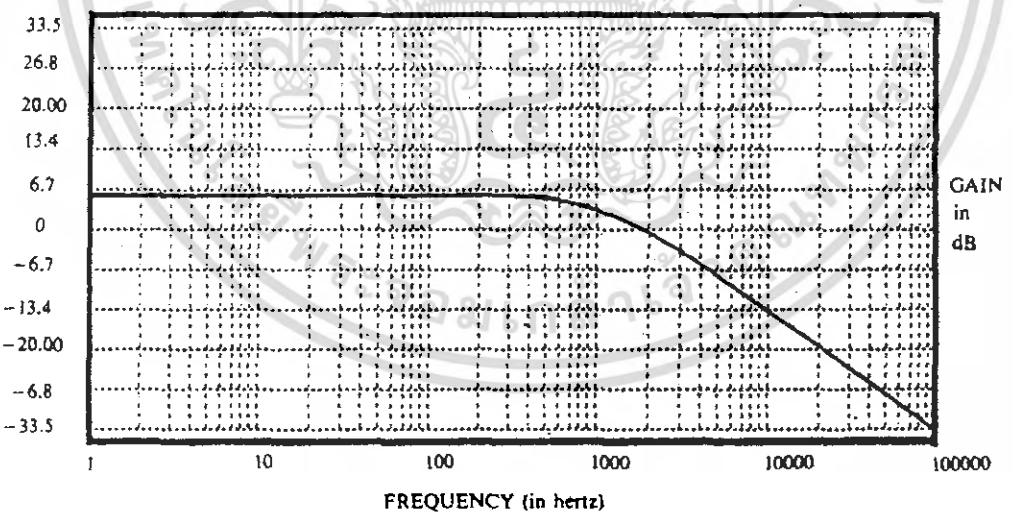
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4 ตัวอย่างของ Filter และ Curve แสดงคุณลักษณะของ Filter

คุณลักษณะประจำตัวของ Filter แต่ละแบบ แสดงด้วย Curve ดังต่อไปนี้

2.3.4.1 Low Pass Filter ชนิด Order หนึ่ง

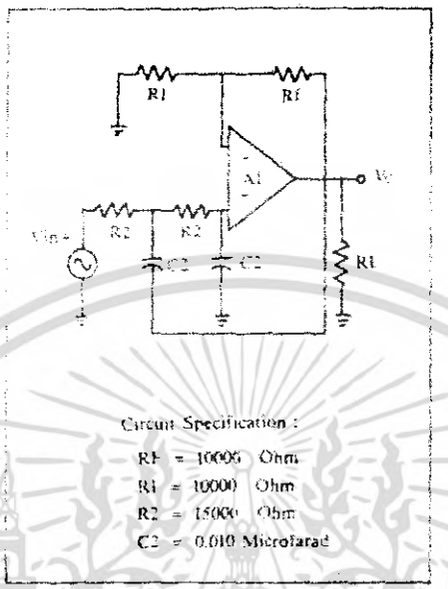


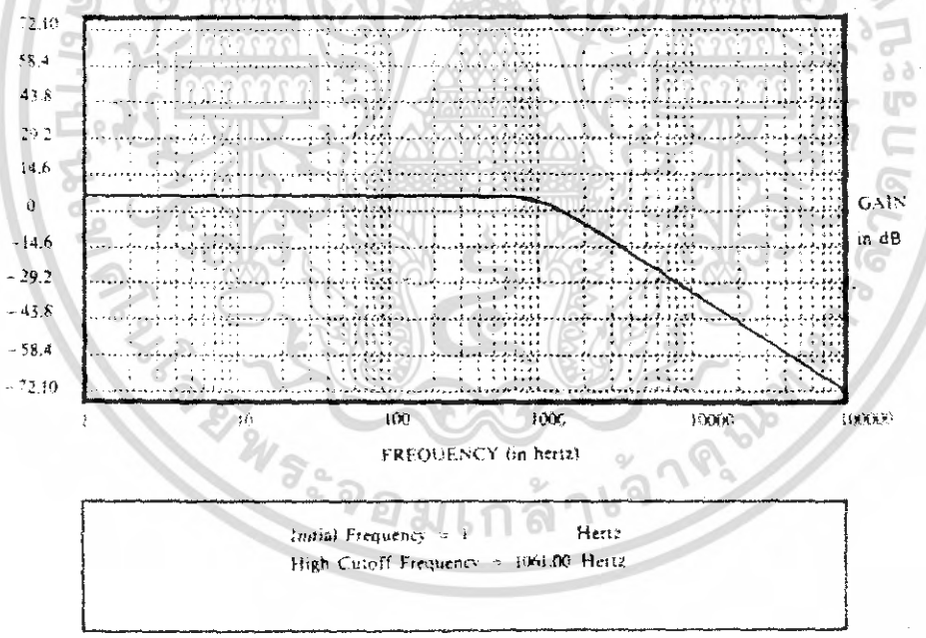


Initial Frequency = 1 Hertz
High Cutoff Frequency = 1061.00 Hertz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

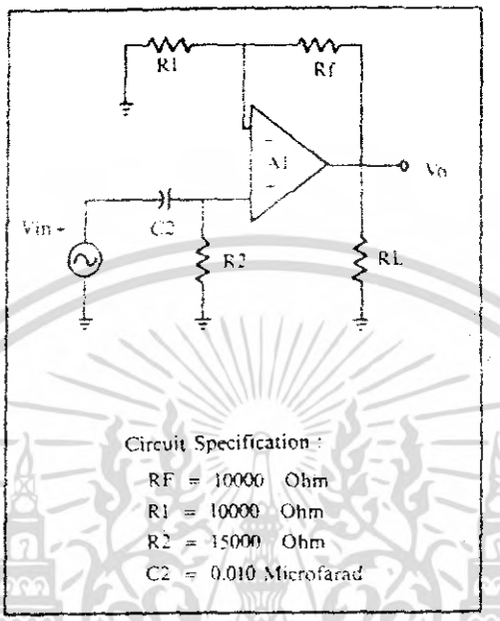
2.3.4.2 Low Pass Filter ชนิด Order สอง

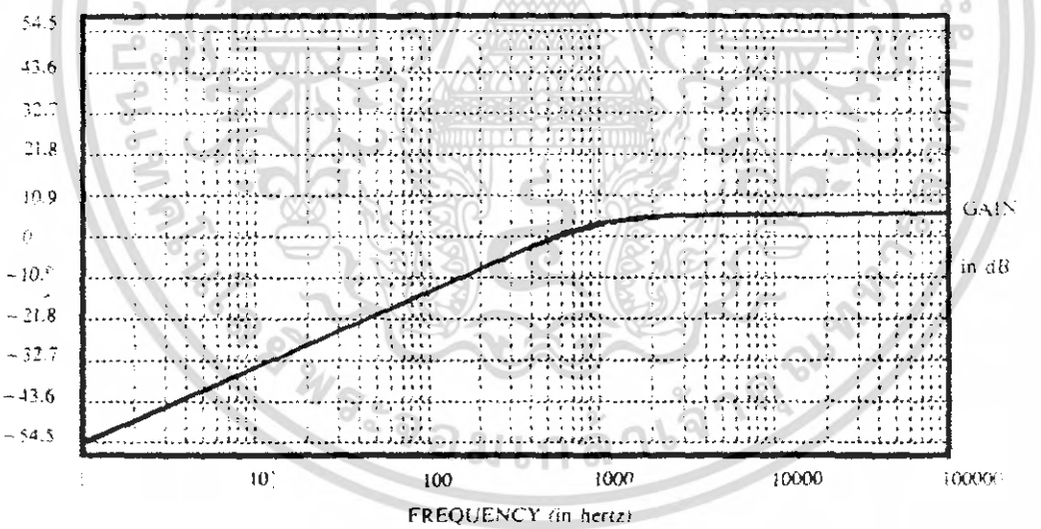




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.3 High Pass Filter ชนิด Order หนึ่ง

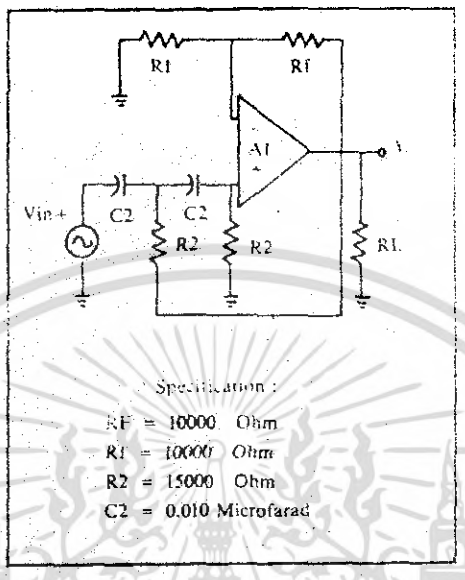




Initial Frequency = 1 Hertz
Low Cutoff Frequency = 1061.06 Hertz

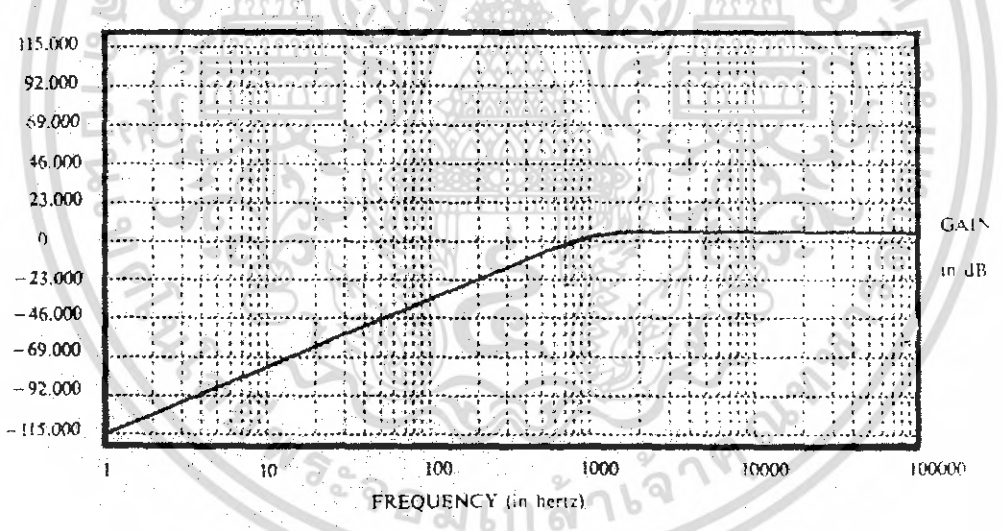
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.4 High Pass Filter ชนิด Order สอง



Specification :

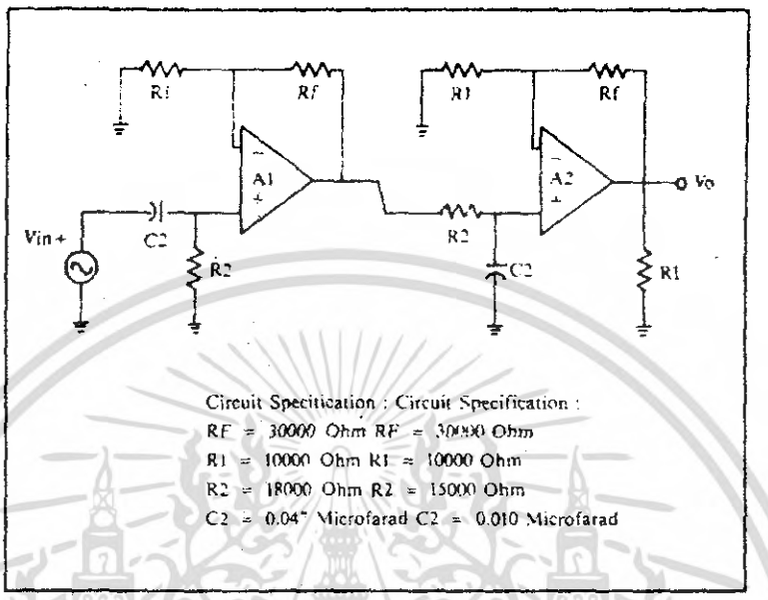
RF = 10000 Ohm
R1 = 10000 Ohm
R2 = 15000 Ohm
C2 = 0.010 Microfarad



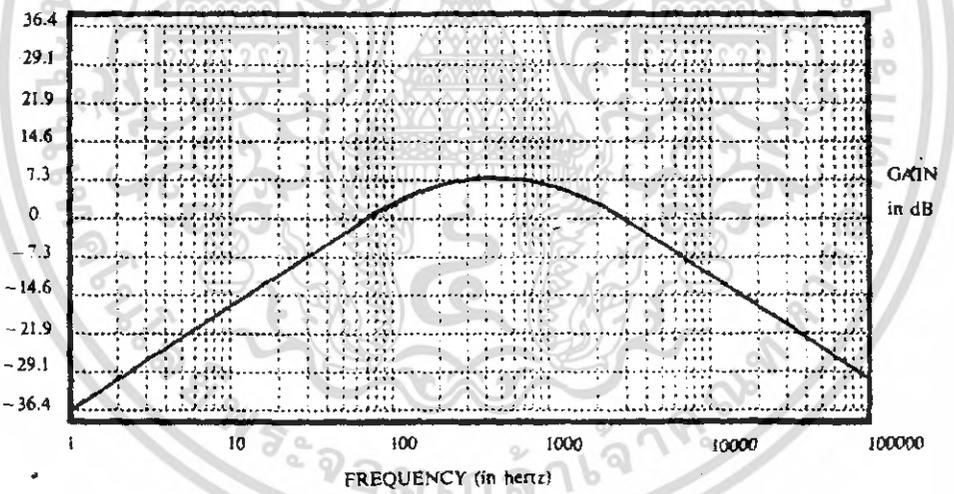
Initial Frequency = 1 Hertz
Low Cutoff Frequency = 1061.00 Hertz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.5 Band Pass Filter



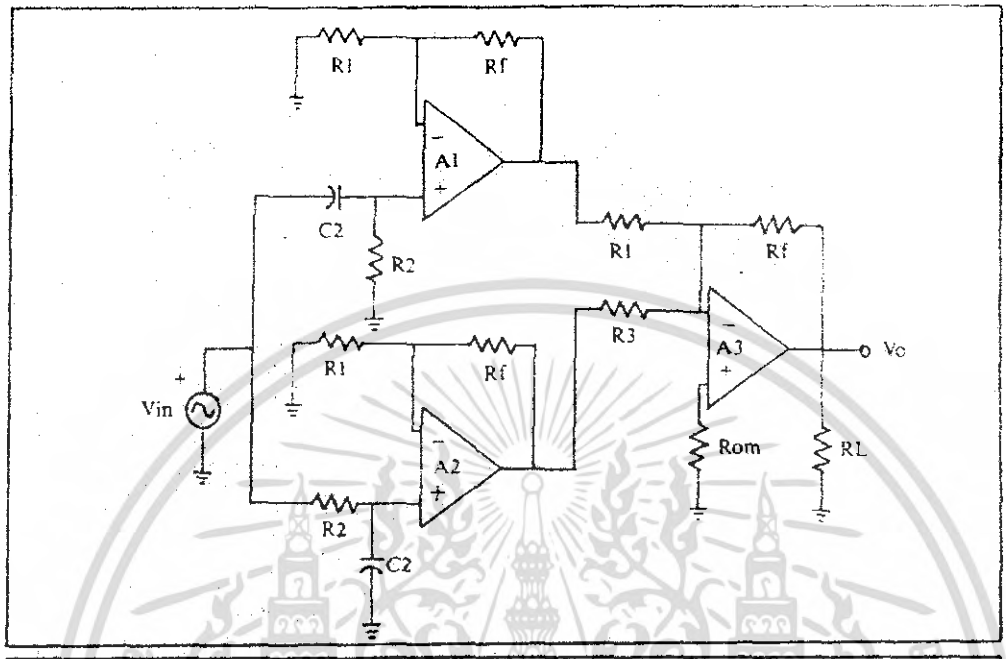
Circuit Specification : Circuit Specification :
RF = 30000 Ohm RF = 30000 Ohm
R1 = 10000 Ohm R1 = 10000 Ohm
R2 = 18000 Ohm R2 = 15000 Ohm
C2 = 0.047 Microfarad C2 = 0.010 Microfarad



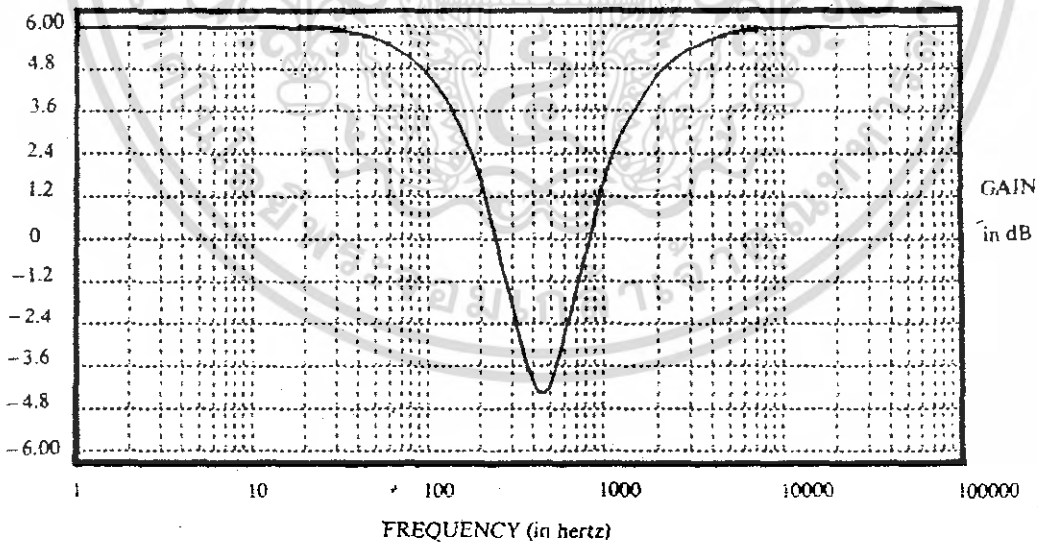
FREQUENCY (in hertz)		
Initial Frequency	= 1	Hertz
Low Cutoff Frequency	= 188.1	Hertz
High Cutoff Frequency	= 1061.00	Hertz
Center Frequency	= 446.8	Hertz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.6 Band Reject Filter



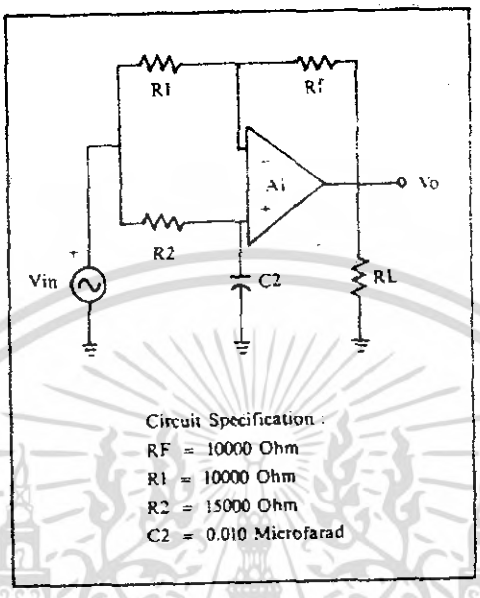
Stage A1	Stage A2	Stage A3
RF = 10000 Ohm	RF = 10000 Ohm	RF = 10000 Ohm
R1 = 10000 Ohm	R1 = 10000 Ohm	R1,R3 = 10000 Ohm
R2 = 15000 Ohm	R2 = 18000 Ohm	RL = 10000 Ohm
C2 = 0.010 Microfarad	C2 = 0.047 Microfarad	Rom = 3300 Ohm

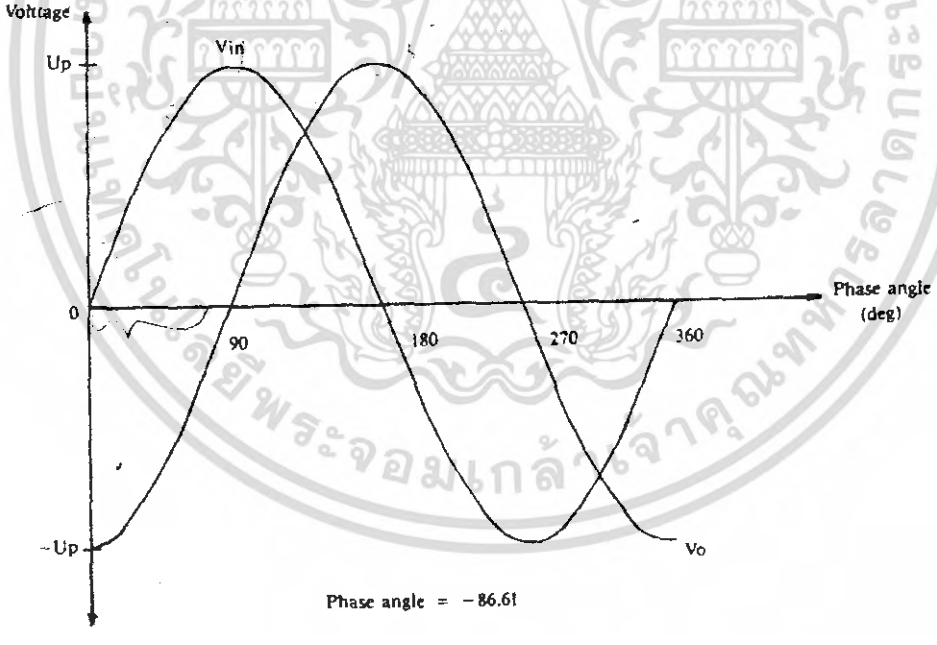


Initial Frequency =	1	Hertz
Low Cutoff Frequency =	1061.00	Hertz
High Cutoff Frequency =	188.1	Hertz
Center Frequnecy =	446.8	Hertz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.7 All Pass Filter เมื่อ v_o ล้าหลัง v_{in}

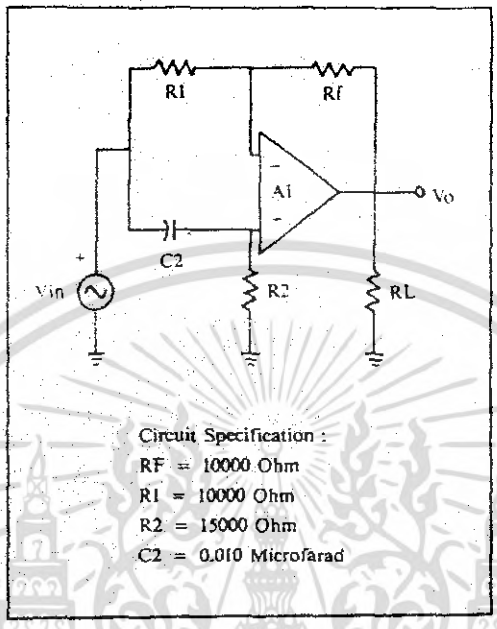


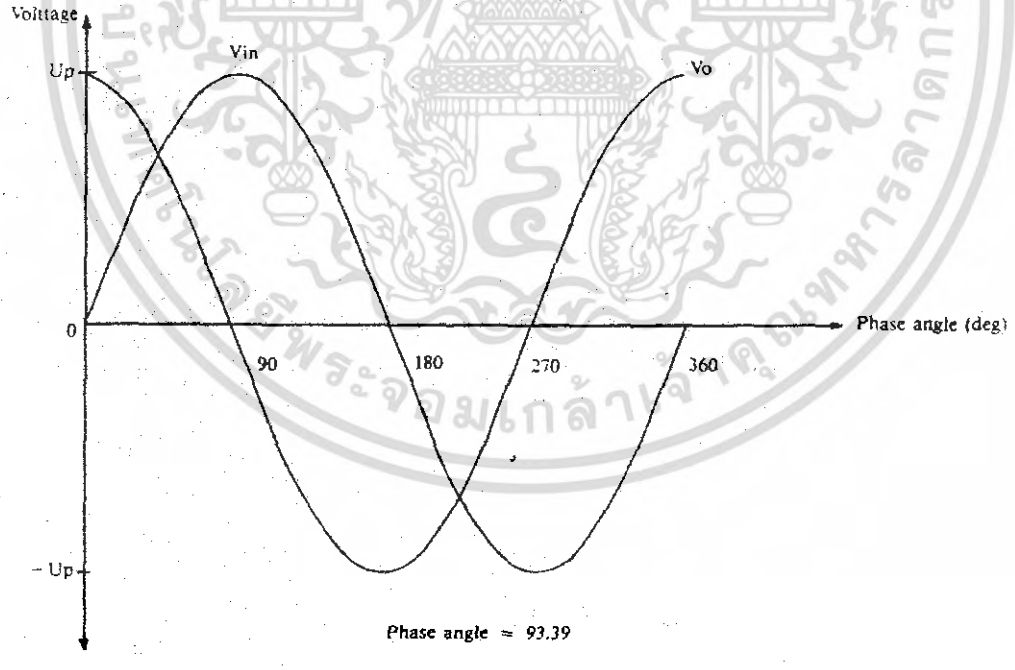


Phase angle = −86.61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.8 All Pass Filter เมื่อ v_p นำหน้า v_{in}



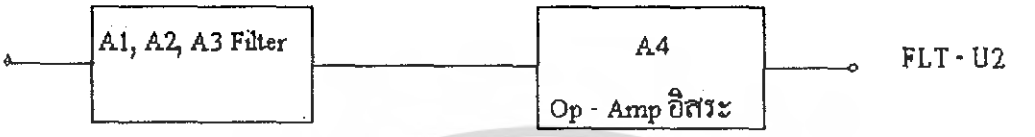


Phase angle = 93.39

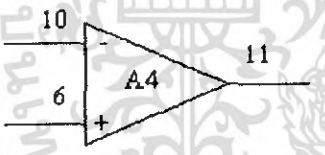
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซีสำเร็จรูปเบอร์ FLT-U2 และเบอร์ MF5

ทั้งคู่เป็น 2nd order Active Filter สร้าง Filter ได้ทุกรูปแบบ ได้แก่ LTF, HPF, BPF, BSF และ All Pass Filter ภายใน IC ประกอบด้วยส่วนที่เป็น Filter และส่วนที่เป็น Op – Amp อิสระ

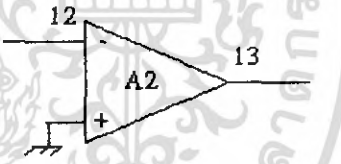


Op - Amp อิสระของ FLT-U2



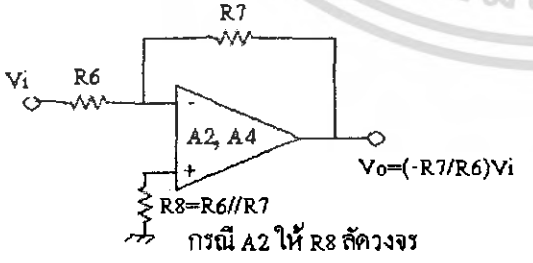
"Inverting และ Non – Inverting Configuration"

Op - Amp อิสระของ MF5

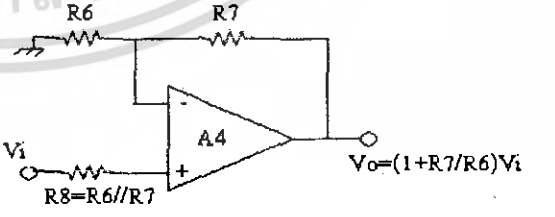


"Inverting Configuration"

Op – Amp อิสระไม่ว่าจะเป็น A_4 หรือ A_2 สามารถนำมาสร้างเป็นวงจร Amplifier หรือเป็นวงจร Filter หรือเป็น Summing Amplifier และอื่น ๆ ยกตัวอย่างเช่น

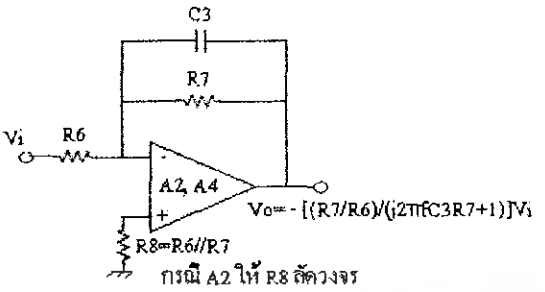


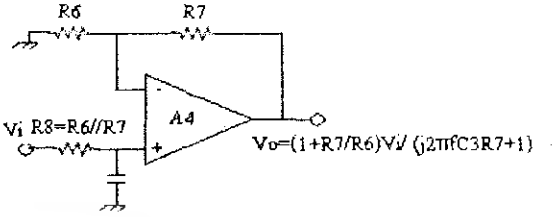
INVERTING AMP



NON – INVERTING AMP

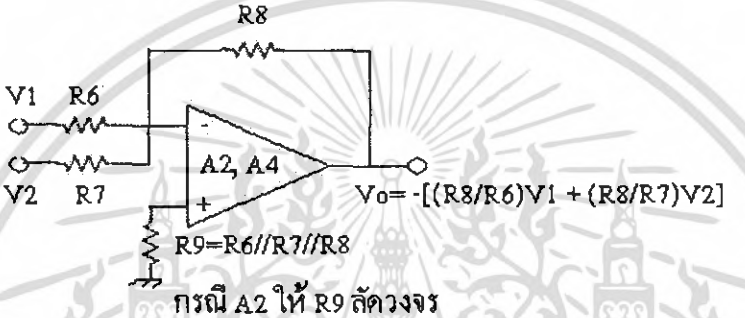
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





INVERTING LPF ชนิด 1st Order

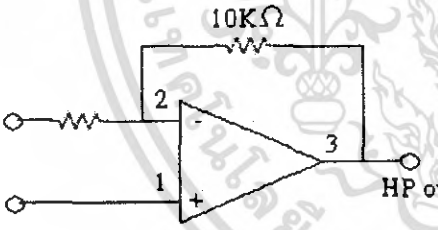
1st Order NON – INVERTING LPF



2 INPUT SUMMING AMP

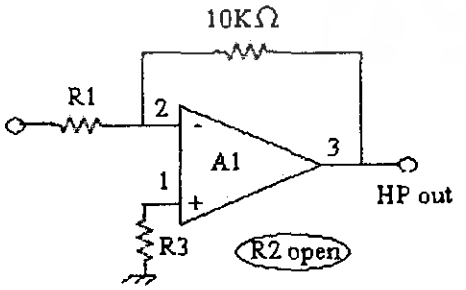
FLT-U2

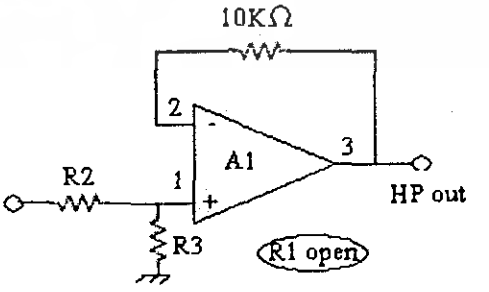
ในส่วนของ Filter ประกอบด้วย Op – Amp A_1, A_2 และ A_3



A_1 ต่อวงจรAmplifier ได้ 2 รูปแบบคือ

- Inverting Input Configuration และ
- Non Inverting Input Configuration

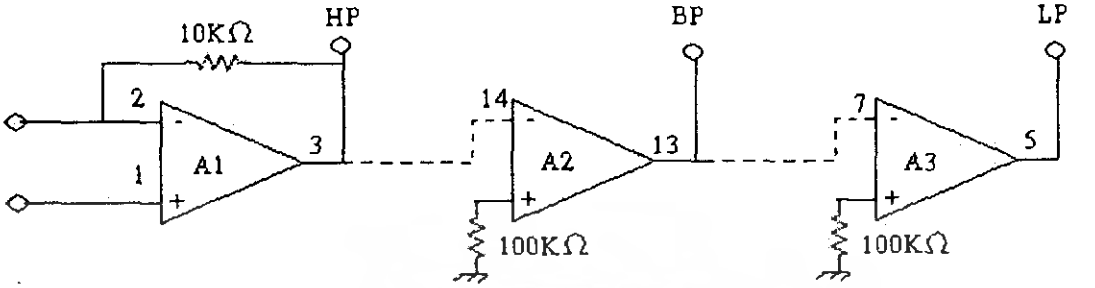




INVERTING INPUT CONFIGURATION NON – INVERTING INPUT CONFIGURATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Op – Amp A2, A3 ต่อวงจรในลักษณะ Inverting Input Configuration



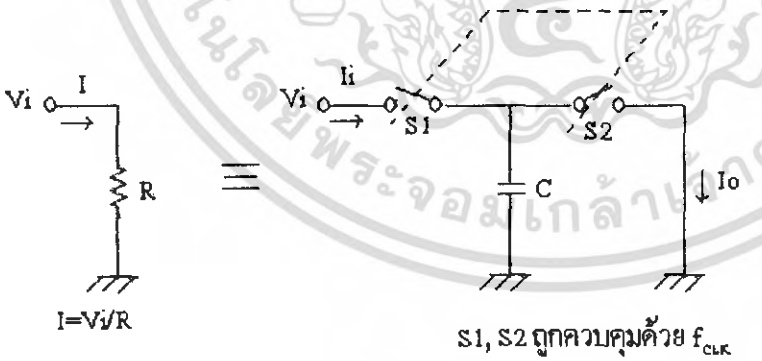
Configuration	LPF	HPF	BPF
Inverting Input	Inverting	Inverting	Non – Inverting
Non – Inverting Input	Non – Inverting	Non – Inverting	Inverting

ตารางที่ 1.2 แสดง Filter Configuration

ถ้าเลือก Inverting Input Configuration คำนวณ R_1, R_3 ด้วยสูตรในตารางที่ 10-2 แต่หากเลือก Non – Inverting Input Configuration คำนวณ R2, R3 ด้วยสูตรในตาราง 10-3

Switched Capacitor Filter

MF5 เป็นไอซีสำเร็จรูปตัวหนึ่งที่ทำงานด้วยหลักการของ Switched Capacitor, Switched Capacitor อาศัยหลักการให้ประจุและคายประจุแก่ Capacitor ผลที่เกิดขึ้นเสมือนความต้านทาน Simulated Resistor (R_s) ความต้านทานตัวนี้จะเป็นอุปกรณ์ส่วนหนึ่งในวงจร Filter ทำงานร่วมกับ Capacitor เพื่อกำหนดค่าความถี่ Cut off



S1, S2 ถูกควบคุมด้วย f_{CLK}

C : ON - Chip Cap

S1, S2 : MOS switch

ทั้ง C และ S1, S2 สร้างมาภายในตัวไอซี

ตามรูป ประจุบนตัว C คือ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q = V_i C$$

การ on – off ตัว S_1, S_2 ทำให้เกิด Average Current (I_{ave})

$$I_{ave} = \frac{Q}{T}$$, T เป็นช่วงเวลาการ Close ของ S_1, S_2

แทนค่า $Q = V_i C$ ในสมการ I_{ave}

$$I_{ave} = \frac{V_i C}{T} = V_i C f_{CLK}, \quad T = \frac{1}{f_{CLK}}$$

จากสมการแสดง Simulated Resistor R_s

$$R_s = \frac{V_i}{I_{ave}}$$

แทนค่า $I_{ave} = V_i C f_{CLK}$ ในสมการ R_s

$$R_s = \frac{1}{C f_{CLK}}$$

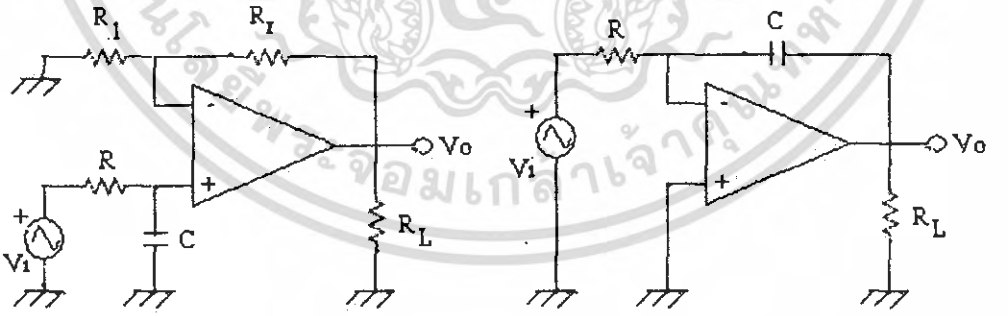
C : On – Chip Capacitor ถูกกำหนดค่ามาในขั้นตอนการผลิตจากโรงงาน

f_{CLK} : Clock Frequency ป้อนจากภายนอก

MF5 มี $f_{CLK, max} = 1$ MHz

Switched Capacitor Integrator

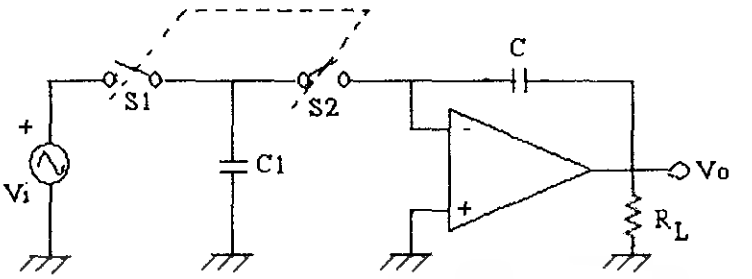
Integrator เป็นอีกชื่อหนึ่งของ Low Pass Filter

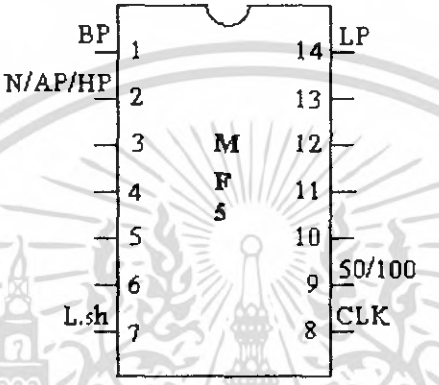


1st Order Non – Inverting Low Pass Filter 1st Order Inverting Low Pass Filter

แทน Resistor R ในวงจร 1st Order Inverting Low Pass Filter ด้วยหลักการของ Switched Capacitor Filter จะได้วงจรดังรูปต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





ขาจ่ายสัญญาณ Output มี 3ขา

- ขา1 จ่าย Band Pass Out

- ขา2 จ่าย Notch Out, All Pass Out หรือ High Pass Out อย่างใดอย่างหนึ่ง ขึ้นกับการประกอบวงจรภายนอกและค่าอุปกรณ์

- ขา14 จ่าย Low Pass Out

ขาอื่นๆที่สำคัญ

- ขา8 CLK สำหรับป้อนสัญญาณ Clock ที่รับได้ทั้ง Clock ระดับ TTL และระดับ CMOS

- ขา7 Lsh ย่อจาก Level Shift ป้อนแรงไฟต่างชนิดแก่ขา 7 ให้สอดคล้องกับชนิดของ Clock ที่ขา8 ว่าเป็น TTL หรือ CMOS

- ขา9 50/100 ย่อมาจาก 50:1 หรือ 100:1 เป็นอัตราส่วนระหว่าง f_{CLK} กับ f_O ป้อนแรงไฟต่างชนิดเพื่อเลือกอัตราส่วนระหว่าง 50:1 กับ 100:1

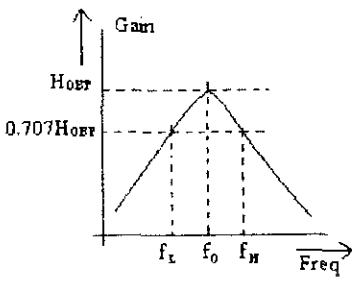
ถ้าเลือก $f_{CLK} : f_O = 50:1$ จะได้ $f_{O,max} = \frac{f_{CLK,max}}{50} = 20\ \text{KHz}$

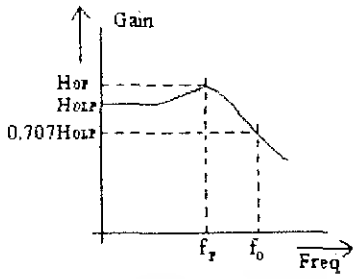
ถ้าเลือก $f_{CLK} : f_O = 100:1$ จะได้ $f_{O,max} = \frac{f_{CLK,max}}{100} = 10\ \text{KHz}$

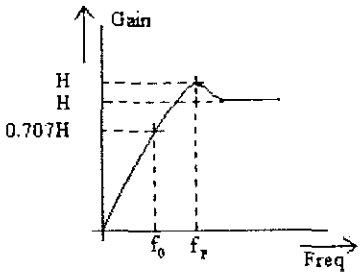
ยกตัวอย่าง หาก $f_O = 15$ KHz อัตราส่วนระหว่าง $f_{CLK} : f_O$ ที่เหมาะสมคือ 50:1

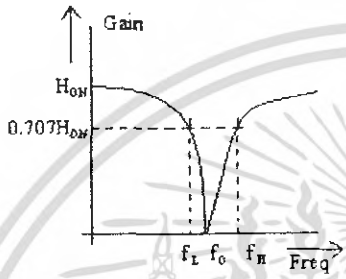
MF5 แบ่งการทำงานออกเป็น Mode แต่ละ Mode มีวงจรแตกต่างกันไป รวมทั้งสิ้น 9 Mode ได้แก่ Mode 1, 1a, 2, 3, 3a, 4, 5, 6a และ 6b ยกตัวอย่าง Mode 1 สมการสร้าง Filter ได้ 3 แบบ คือ Filter ชนิด Notch1, BPF หรือ LPF ทั้งนี้ขึ้นกับค่าอุปกรณ์ภายนอกตัวไอซี MF5

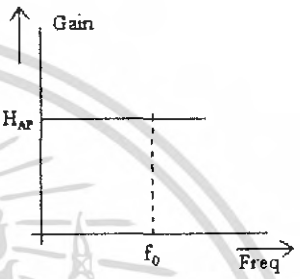
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้











$$H_{BP}(s) = H_{OBP}\frac{s\frac{\omega o}{Q}}{s^2 + s\frac{\omega o}{Q} + \omega^2 o}$$

$$H_{LP}(s) = H_{OLP}\frac{\omega^2 o}{s^2 + s\frac{\omega o}{Q} + \omega^2 o}$$

$$H_{HP}(s) = H_{OHP}\frac{s^2}{s^2 + s\frac{\omega o}{Q} + \omega^2 o}$$

$$H_{N}(s) = H_{ON}\frac{s^2 + \omega^2 o}{s^2 + s\frac{\omega o}{Q} + \omega^2 o}$$

$$H_{AP}(s) = H_{OAP}\frac{s^2 - s\frac{\omega o}{Q} + \omega^2 o}{s^2 + s\frac{\omega o}{Q} + \omega^2 o}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการออกแบบและวิธีการสร้าง

ในปริญญานิพนธ์ ฉบับนี้เราได้ใช้ พีซอค ไมโครคอนโทรลเลอร์ ในการออกแบบและสร้างเป็นอีควอไลเซอร์ อย่างง่าย โดยจากการสร้างได้แบ่งช่วงความถี่เสียงเป็น 8 ช่วงความถี่ โดยอาศัยหลักการของแบนพาสฟิลเตอร์อันดับ 4 (Band Pass Filter Order 4) ที่มีค่า Quality factor (Q) เท่ากับ 1.414 สามารถแบ่งช่วงความถี่ได้ดังนี้ ดังนี้

fl	fh	BW	fc
80	160	80	113
160	320	160	226
320	640	320	453
640	1280	640	905
1280	2560	1280	1810
2560	5120	2560	3620
5120	10240	5120	7241
10240	20480	10240	14482

ตารางที่ 3.1 การแบ่งช่วงความถี่เสียง

3.1 ส่วนประกอบของ อีควอไลเซอร์

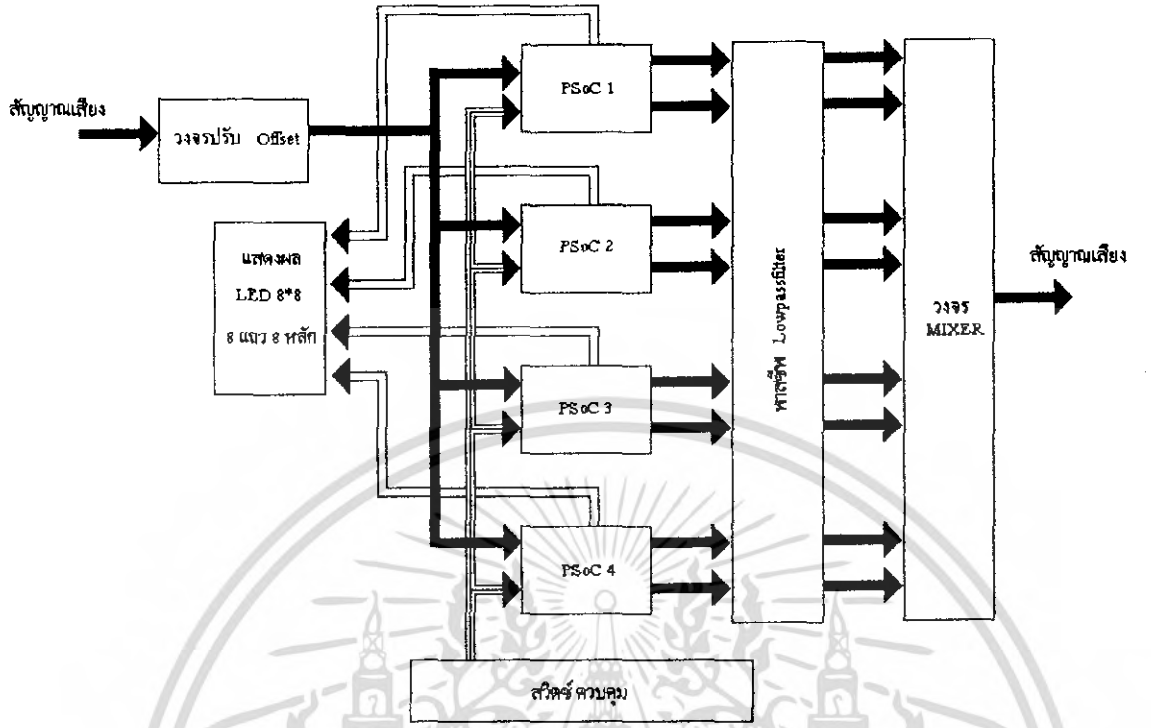
ส่วนของ พีซอค ไมโครคอนโทรลเลอร์

- การต่อใช้งาน Block Band Pass Filter Order 4 ภายในตัว พีซอค
- การต่อใช้งาน Block Programmable Gain Amplifier ภายในตัว พีซอค
- การใช้งาน Port เพื่อ การ ใช้ขับ หลอด LED และ ใช้เป็นสวิทช์ ควบคุม

ส่วนของ อุปกรณ์ที่ทำงานร่วมกับ พีซอค ไมโครคอนโทรลเลอร์

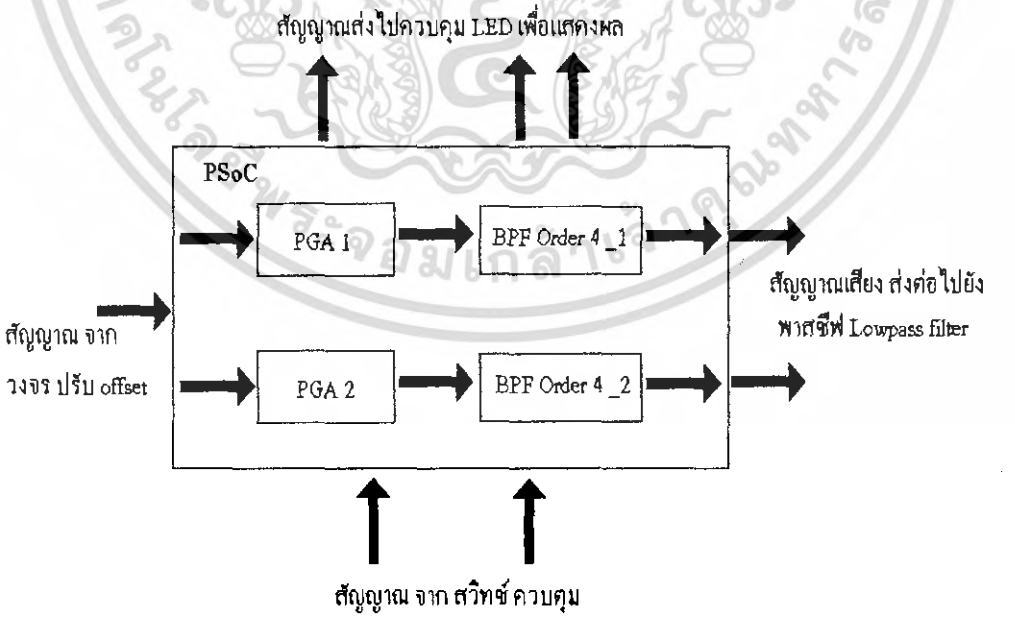
- วงจร ปรับ offset สัญญาณเสียง
- วงจร Mixer สัญญาณเสียง
- วงจร พาสซีฟ Lowpass filter
- วงจร LED แสดงผล และ สวิตช์ ควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.1 ส่วนประกอบของ อีควอไลเซอร์

3.2 การออกแบบส่วน ภายในตัว พีซอค ไมโครคอนโทรลเลอร์

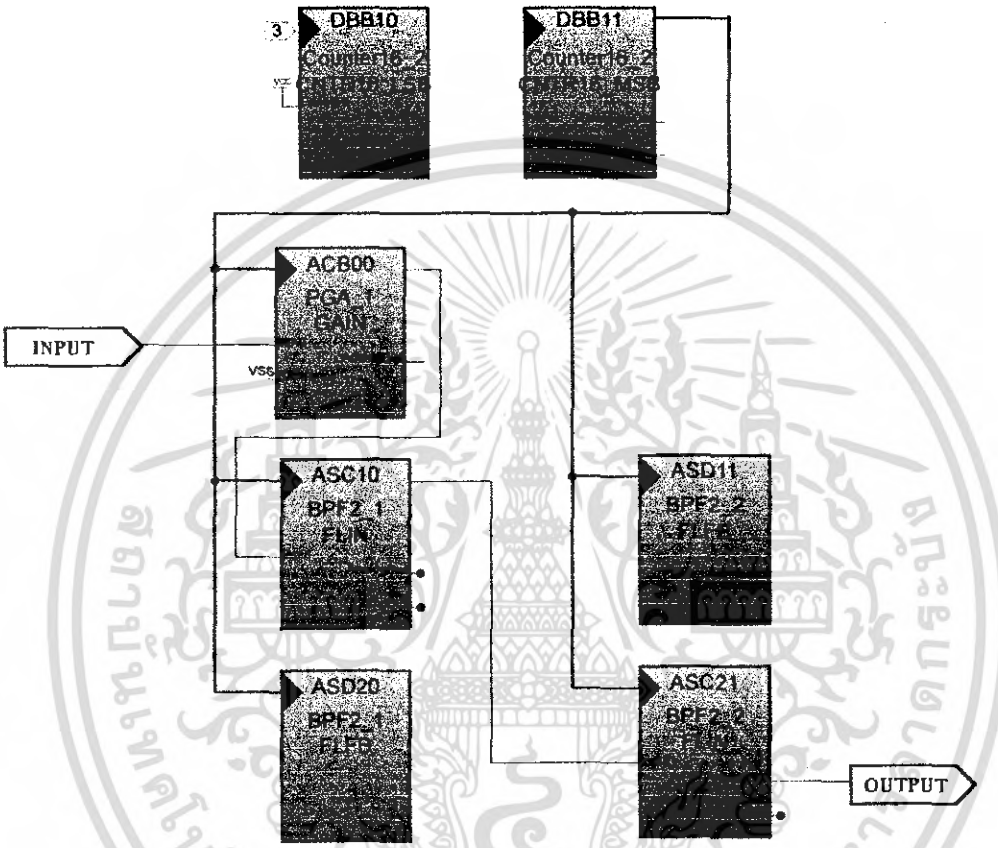


รูปที่ 3.2 การทำงานภายในตัว พีซอค ไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานภายในตัว พีซอค ไมโครคอนโทรลเลอร์นี้ แบ่ง เป็นส่วนของ กระบวนการกรองความถี่ที่ช่วงความถี่ต่างๆ ส่วนของการปรับขนาดของสัญญาณ โดยสวิทช์ควบคุม และ ส่วนควบคุม LED เพื่อการแสดงผล

3.3 การออกแบบส่วนของบล็อกกรองแถบความถี่ภายในตัว พีซอค ไมโครคอนโทรลเลอร์



รูปที่ 3.3 การต่อใช้งาน Block Band Pass Filter Order 4 ภายในตัว พีซอค

ในการใช้งาน Block Band Pass Filter Order 4 ภายในตัว พีซอค โดยการใช้ BPF 2 ต่อทำงานร่วมกัน 2 ตัว ต้องกำหนดค่าต่างๆ ให้กับ Block BPF 4 และต้องป้อน ความถี่ให้กับ Block ตามที่โปรแกรม Cypress MicroSystems 2 Pole Pair Band Pass Filter Design, Rev 1.8 (BPF 4 Design 1) คำนวณได้ โดย จะสร้างเป็นฟิลเตอร์ที่มีค่า Q เท่ากับ 1.414 จาก รูปที่ 3.1 จะใช้ Block Counter ขนาด 16 Bit ในการหารความถี่ให้ได้ตามที่ Block ต้องการ

3.4 การออกแบบส่วนของ วงจรเพิ่ม ลดขนาดสัญญาณภายในตัว พีซอค ไมโครคอนโทรลเลอร์

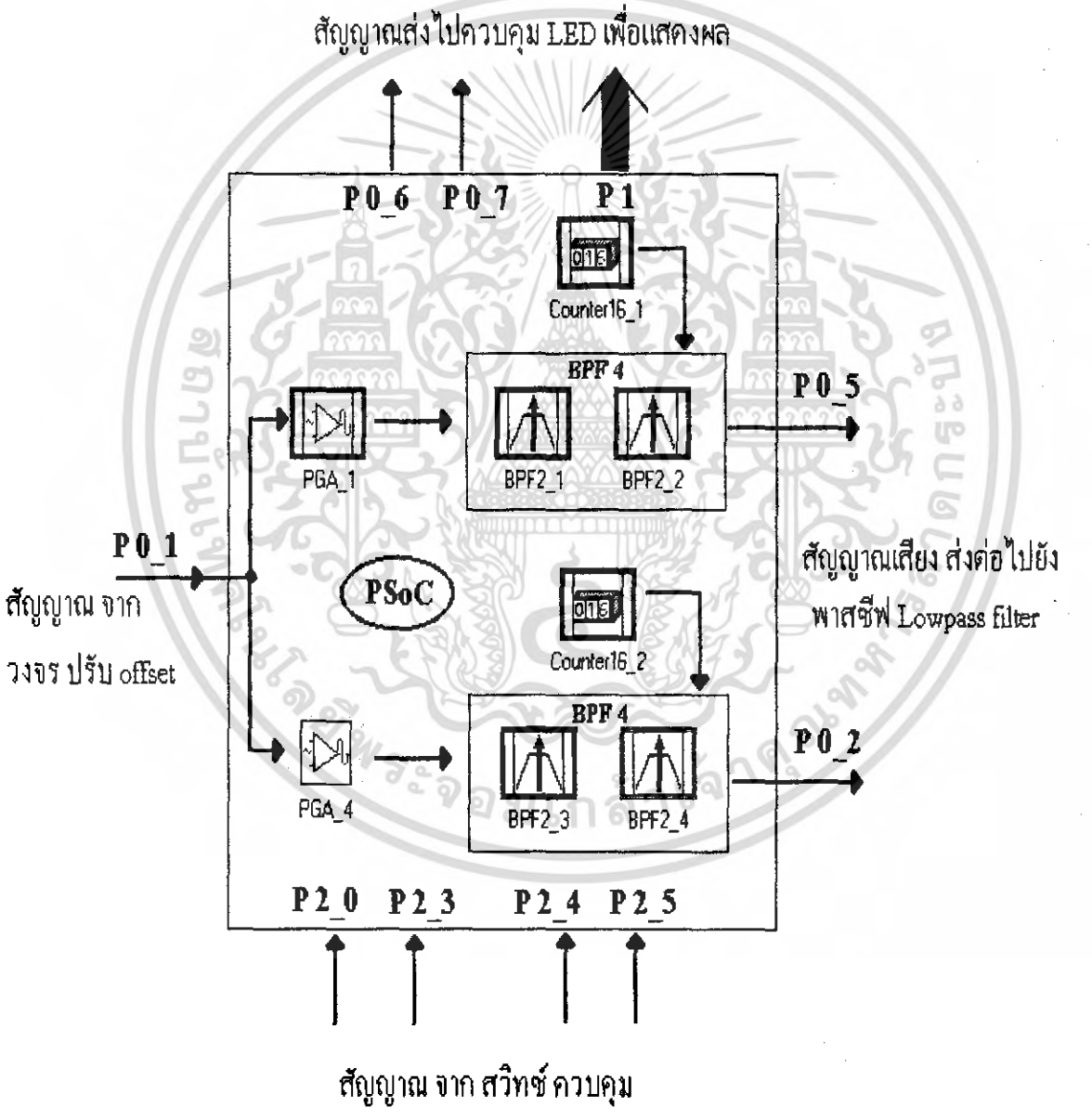
ในส่วนนี้จะใช้ Block Programmable Gain Amplifier (PGA) ภายในตัว พีซอค เป็นตัวหลักในการทำงานซึ่งเป็น Block ที่สามารถขยายขนาดของสัญญาณได้ โดยจะสร้างให้สามารถขยาย ขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณได้ 1.46 เท่า และสามารถลดขนาดสัญญาณให้เหลือ 0.25 ของสัญญาณที่รับเข้ามา โดยจะสามารถควบคุมได้โดยสวิตซ์ ควบคุม

3.5 การใช้งาน Port เพื่อ การใช้ขับ หลอด LED และ ใช้เป็นสวิทซ์ ควบคุม

ในส่วนนี้จะเป็นการแสดงผลของอัตราขยายของ Block Programmable Gain Amplifier ในแต่ละช่วงความถี่ โดยจะมีการส่งข้อมูลจาก พีซอคไปแสดงที่ LED และรับสัญญาณ ควบคุมมาจากสวิทซ์



รูปที่ 3.4 การต่อ Block Hardware และการ Port ใช้งาน ภายในตัว พีซอค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- P 0_1 ขาอินพุท ของสัญญาณเสียง จากวงจร ปรับ Offset
- P 0_5 ขาเอาท์พุท ของสัญญาณเสียง ที่ผ่าน BPF 4 ตัวที่ 1
- P 0_2 ขาเอาท์พุท ของสัญญาณเสียง ที่ผ่าน BPF 4 ตัวที่ 2
- P 2_0 ขาอินพุท จากสวิทช์ควบคุม ปุ่ม ปรับเพิ่มขนาดสัญญาณ ของ PGA 1
- P 2_3 ขาอินพุท จากสวิทช์ควบคุม ปุ่ม ปรับลดขนาดสัญญาณ ของ PGA 1
- P 2_4 ขาอินพุท จากสวิทช์ควบคุม ปุ่ม ปรับเพิ่มขนาดสัญญาณ ของ PGA 4
- P 2_5 ขาอินพุท จากสวิทช์ควบคุม ปุ่ม ปรับลดขนาดสัญญาณ ของ PGA 4
- P 0_6 ขาเอาท์พุท ไปควบคุม LED หลักที่ แสดงอัตราขยาย ของ PGA 1
- P 0_7 ขาเอาท์พุท ไปควบคุม LED หลักที่ แสดงอัตราขยาย ของ PGA 4
- P 1_0 ขาเอาท์พุท ไปควบคุม LED แถวที่ แสดงอัตราขยาย 0.25 เท่า ของสัญญาณอินพุท
- P 1_1 ขาเอาท์พุท ไปควบคุม LED แถวที่ แสดงอัตราขยาย 0.50 เท่า ของสัญญาณอินพุท
- P 1_2 ขาเอาท์พุท ไปควบคุม LED แถวที่ แสดงอัตราขยาย 0.75 เท่า ของสัญญาณอินพุท
- P 1_3 ขาเอาท์พุท ไปควบคุม LED แถวที่ แสดงอัตราขยาย 1.00 เท่า ของสัญญาณอินพุท
- P 1_4 ขาเอาท์พุท ไปควบคุม LED แถวที่ แสดงอัตราขยาย 1.14 เท่า ของสัญญาณอินพุท
- P 1_5 ขาเอาท์พุท ไปควบคุม LED แถวที่ แสดงอัตราขยาย 1.23 เท่า ของสัญญาณอินพุท
- P 1_6 ขาเอาท์พุท ไปควบคุม LED แถวที่ แสดงอัตราขยาย 1.33 เท่า ของสัญญาณอินพุท
- P 1_7 ขาเอาท์พุท ไปควบคุม LED แถวที่ แสดงอัตราขยาย 1.46 เท่า ของสัญญาณอินพุท

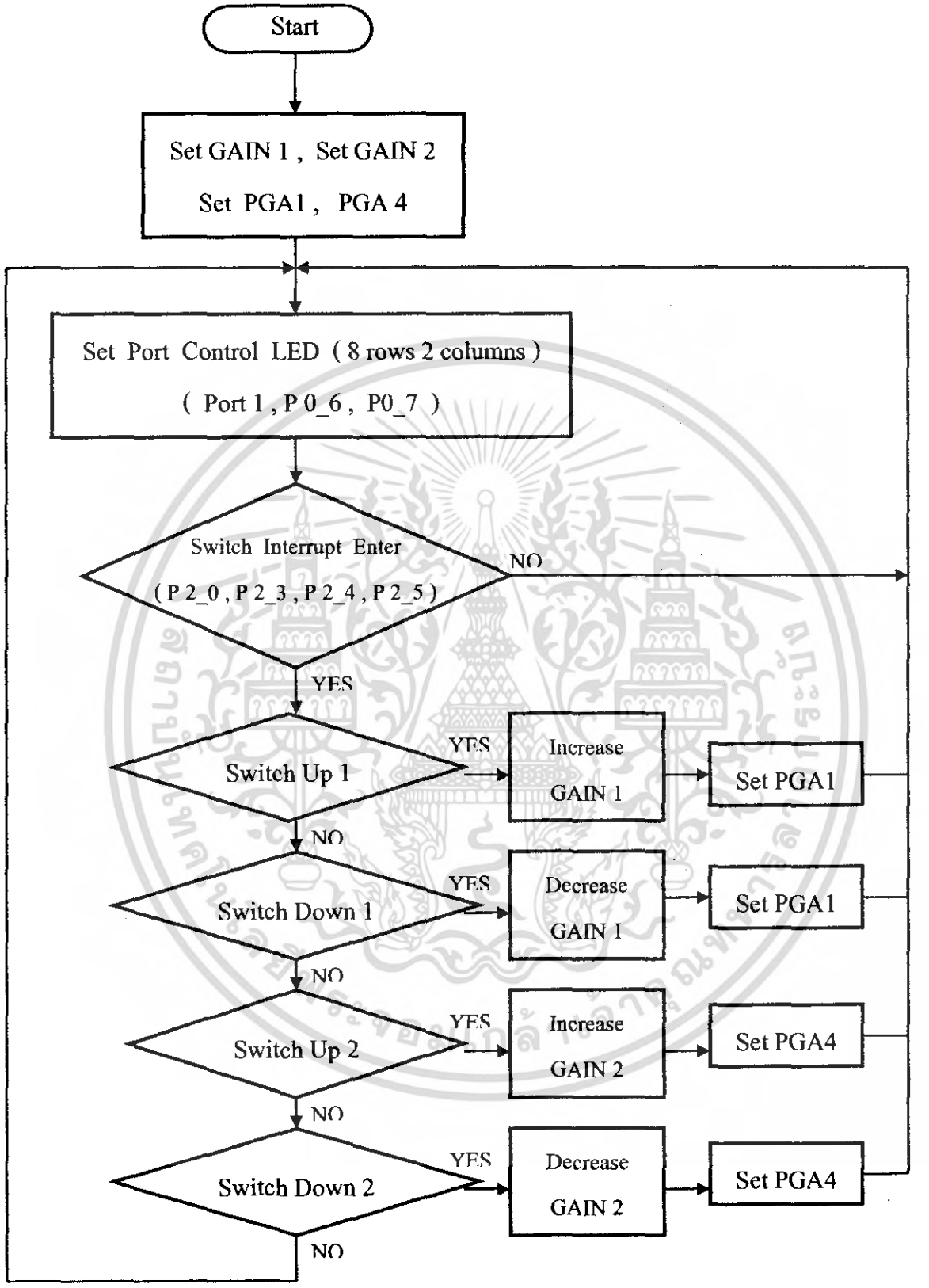
จากข้อมูลการทำงาน ภายในตัว พีซอค จะเห็นได้ว่า ถ้าจะทำ อีควอไลเซอร์ อย่างง่ายแบบแบนพาส ฟิลเตอร์ อันดับ 4 ขนาด 8 ช่วงความถี่นั้น ต้องใช้ พีซอค 4 ตัวในการสร้าง โดยแต่ละตัว จะมีแบนพาส ฟิลเตอร์ อันดับ 4 ทำงานอยู่ 2 ตัว และ มีสวิทช์ ควบคุม 4 ตัวในการปรับขนาดสัญญาณ มี LED ในการแสดงผล จำนวน 16 ตัว และ พีซอคทั้ง 4 ตัว จะทำงานแบบ อิสระต่อกัน

3.6 การออกแบบในส่วนของ Software

ในส่วนของ Software นี้จะเป็นในส่วนของการรับอินพุทจาก สวิทช์ Control เพื่อไปควบคุมอัตราการขยายและลดขนาดของสัญญาณในแต่ละช่วงความถี่ และนำค่าอัตราการขยายนั้นไปแสดงที่ LED เพื่อเป็นการง่ายต่อการปรับแต่งสัญญาณความถี่เสียง โดย พีซอค 1 ตัวจะสามารถสร้างเป็น วงจรกรองช่วงความถี่ ได้ 2 ช่วงความถี่ และ แสดงผล ขับ LED จำนวน 16 ตัว มีสวิทช์ ควบคุม 4 ตัว ดังนั้น เราจึงแบ่งการทำงาน ของส่วน Software ออกเป็น 2 ส่วน คือ

- ส่วนของการรับค่าจากสวิตช์ และทำการปรับอัตราการขยายขนาดสัญญาณ
- ส่วนของการแสดงผลออกทาง LED

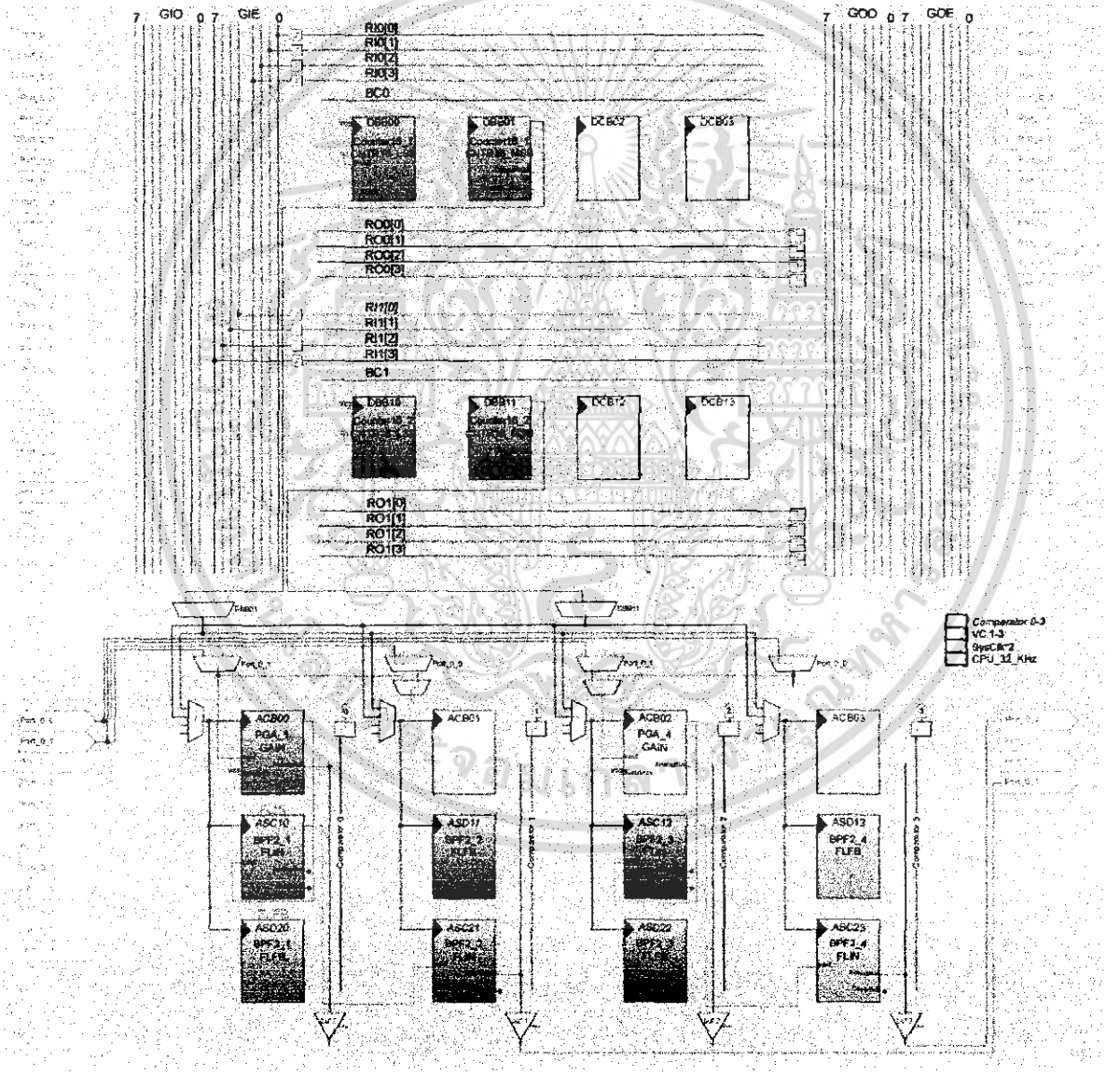
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงโฟลว์ชาร์ทอธิบายกระบวนการการทำงานของ พีซอค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโฟลว์ชาร์ท ด้านบนเป็นโปรแกรมที่เขียนให้ พีซอค รับอินพุทจากสวิทช์ ควบคุมเพื่อทำการเปลี่ยนแปลงอัตราการขยายขนาดของสัญญาณ แล้วทำการส่งข้อมูล อัตราการขยายขนาดสัญญาณของช่วงความถี่ไปแสดงผลที่ LED ทาง Port 1 ,P 0_6 ,P 0_7 (เป็น LED 8 แถว 2 หลัก)โดยสวิทช์ควบคุมที่ออกแบบนี้ จะประกอบด้วย สวิตช์ ควบคุมอัตราการขยาย ของ PGA โดยการกดสามารถปรับเพิ่ม ลดขนาดของสัญญาณ โดยสามารถปรับอัตราการขยายขนาดสัญญาณได้ 8 ระดับ คือ 146% 133% 123% 114% 100% 75% 50% และ 25 % และ นำค่าระดับ อัตราการขยายขนาดสัญญาณ ไปแสดงผลที่ LED



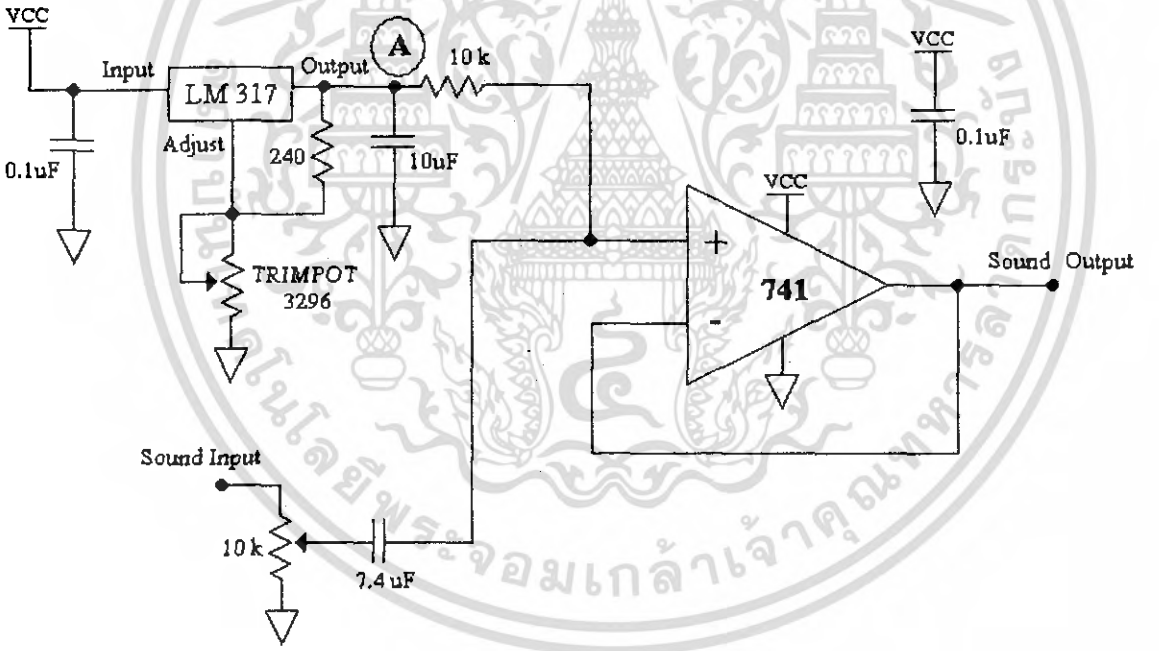
รูปที่ 3.6 แสดงการต่อใช้งาน Hardware ภายในตัว พีซอค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 ส่วนของ อุปกรณ์ที่ทำงานร่วมกับ พีซอค ไมโครคอนโทรลเลอร์

- วงจร ปรับ offset สัญญาณเสียง
- วงจร Mixer สัญญาณเสียง
- วงจร พาสซีฟ Low pass filter
- วงจร LED แสดงผล และ สวิตช์ ควบคุม

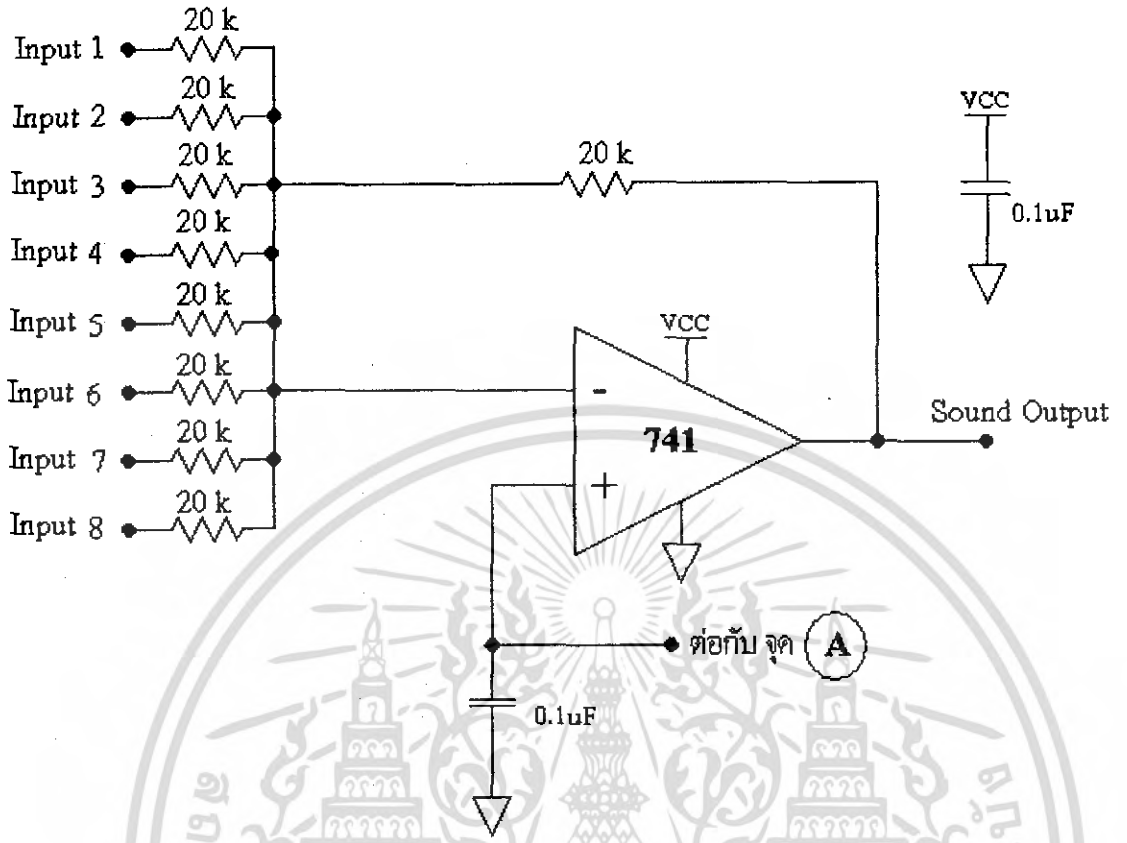
วงจรปรับ offset เป็นวงจรที่ใช้ปรับให้ระดับของสัญญาณความถี่ที่ป้อนเข้ามามีระดับของอนาลอก กราวด์ อยู่ที่ 2.5 V เพื่อให้สามารถป้อนให้กับ พีซอค ส่วนวงจร Mixer เป็นวงจรที่ใช้รวมความถี่ของแต่ละช่วงความถี่เข้าด้วยกันหลังจากการปรับแต่งขนาดของสัญญาณเรียบร้อยแล้ว วงจรพาสซีฟ Low pass filter เป็นส่วนที่ใช้ในการคัปปลิ้ง สัญญาณจาก พีซอค เพื่อป้องกันสัญญาณความถี่สูงจาก พีซอค เข้ามารบกวน และวงจร LED แสดงผล และ สวิตช์ ควบคุม จะใช้ในการแสดงผล และ ควบคุมการทำงานของ พีซอค



รูปที่ 3.7 แสดง วงจรปรับ offset

วงจร ปรับ Offset เป็นวงจรที่ใช้ในการยกระดับสัญญาณให้ อนาลอก กราวด์อยู่ที่ 2.5 V เพื่อป้อนให้กับ พีซอค โดยอาศัย LM 317 ในการรักษา ระดับแรงดันอ้างอิงให้คงที่ โดยสามารถปรับระดับแรงดันอ้างอิงได้โดย การปรับ Trimpot 3296 และวงจรนี้ยังสามารถปรับ ขนาดของสัญญาณ อินพุท เพื่อ ป้องกัน ขนาดของสัญญาณ อินพุท มีขนาดโตเกินไป วงจรนี้ จะใช้ ออปแอมป์ 741 ในการยกระดับสัญญาณ ในวงจรนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดง วงจรMixer

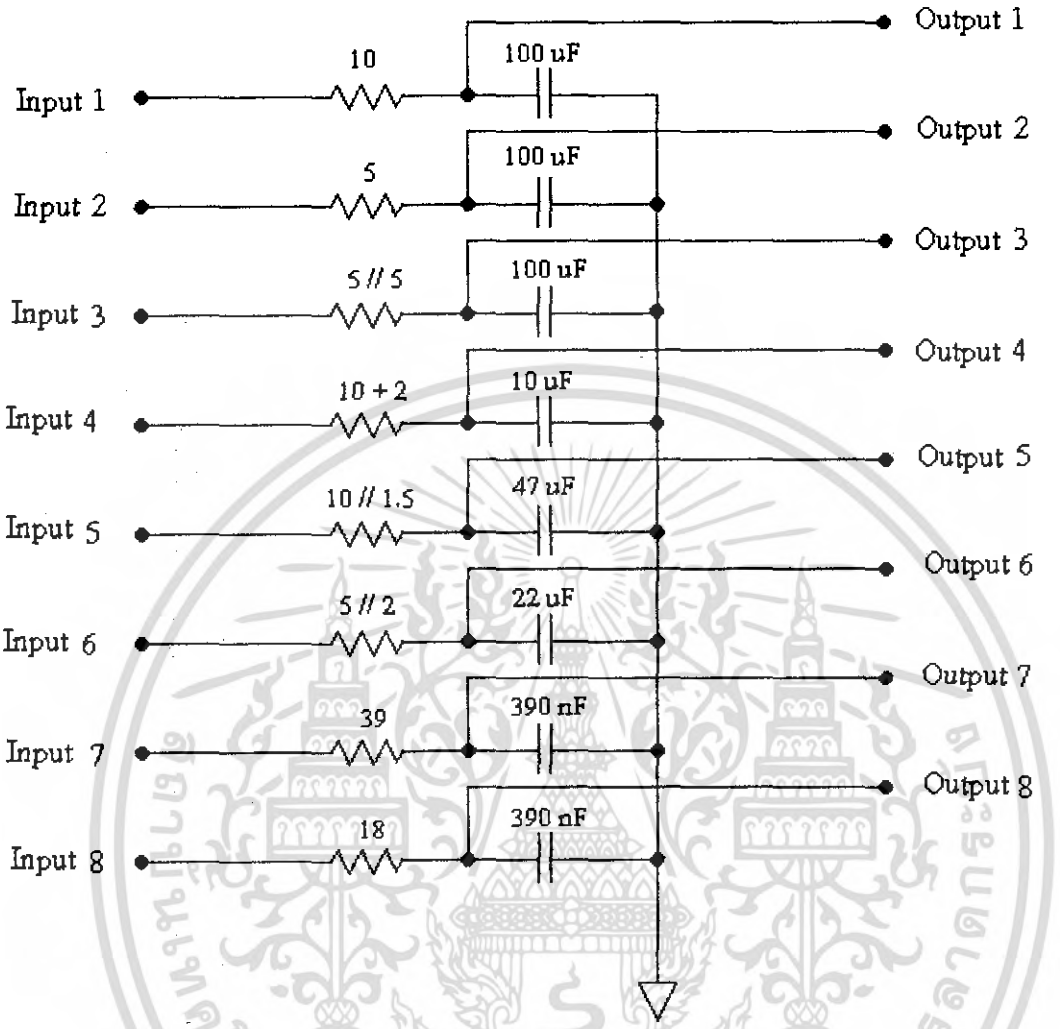
วงจรMixer เป็นวงจรที่ ใช้ในการความถี่ของแต่ละช่วงแถบความถี่เข้าด้วยกันหลังจากออกจาก วงจรพาสซีฟ Low pass filter วงจรนี้ ใช้ระดับแรงดันอ้างอิงจาก วงจร ปรับ offset วงจรMixer เป็น วงจรภาคสุดท้าย ก่อนส่งไป เป็นสัญญาณเสียง เอาท์พุท

วงจรพาสซีฟ Low pass filter เป็นวงจรที่ใช้ในการคัปปลิ้ง สัญญาณจาก พีซอค เพื่อป้องกัน สัญญาณความถี่สูงจาก พีซอค เข้ามารบกวน โดยในส่วนนี้ จะออกแบบ โดย เป็นวงจร ที่ประกอบด้วย รีซีสเตอร์ และ คาปาซิเตอร์ ต่อทำงานร่วมกัน เป็น วงจร Low pass filter แบบ พาสซีฟ การ กำหนดค่า ของ รีซีสเตอร์ และ คาปาซิเตอร์ สามารถหาได้จาก สมการ

$$F_C = 1/(2\P RC)$$

F_C : ความถี่ คัทออฟ ของ พาสซีฟ Low pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

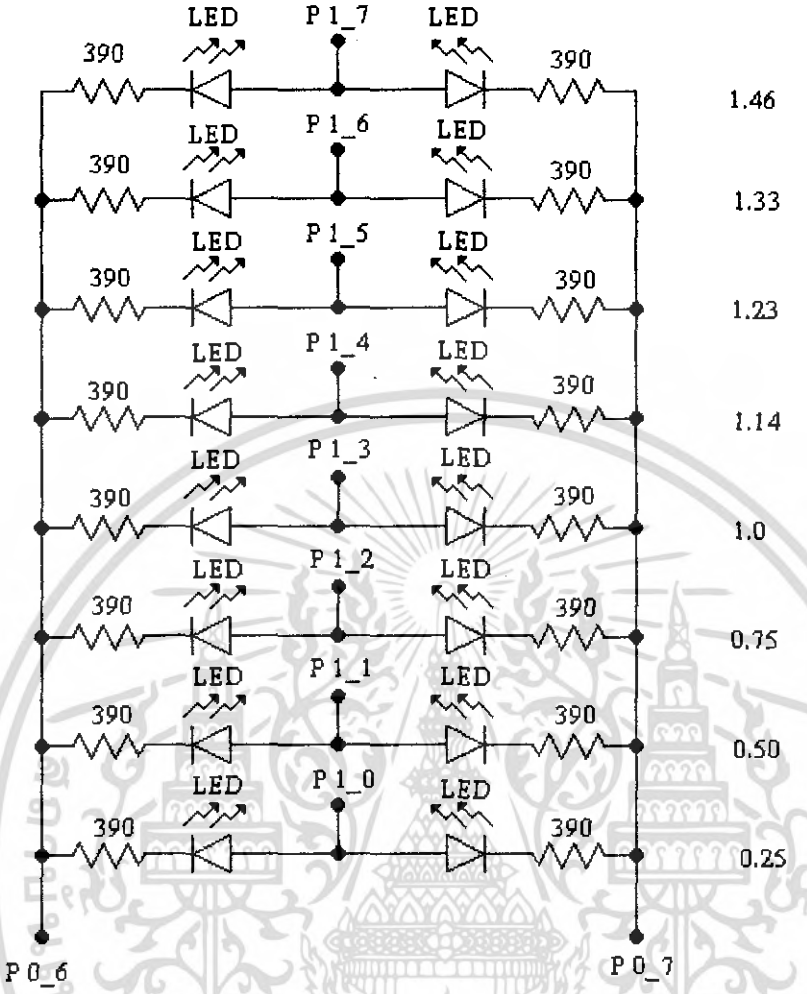


รูปที่ 3.9 แสดง วงจร พาสซีพ Low pass filter

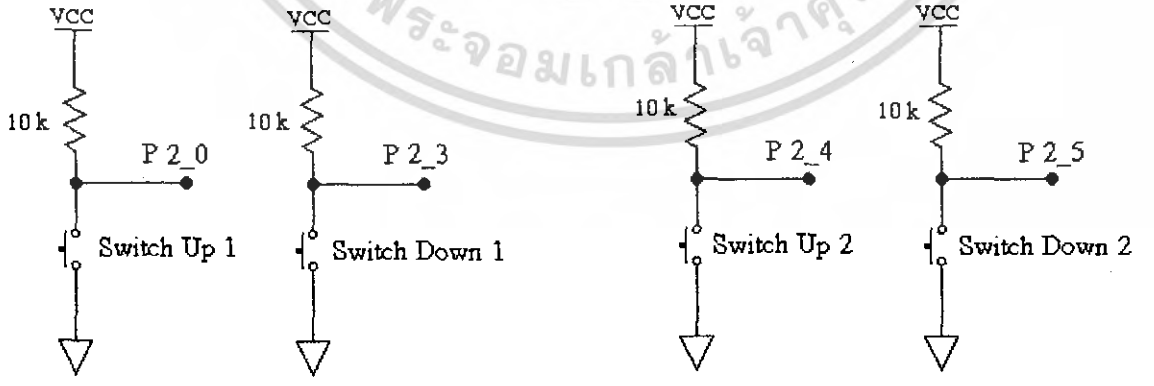
วงจร LED แสดงผล เป็น วงจรที่ ใช้แสดงผลระดับอัตราการขยายขนาดสัญญาณของช่วงความถี่ไป แสดงผลที่ LED โดย ในส่วนนี้ จะประกอบด้วย LED จำนวน 64 ตัว ในการแสดงผล โดย เป็นแฝง LED 8 แถว 8 หลัก โดย จะรับสัญญาณ ควบคุมการแสดงผลจาก พีซอด ทั้ง 4 ตัว เพื่อทำการแสดง ระดับอัตราการขยายขนาดสัญญาณของช่วงความถี่ต่างๆ

วงจร สวิทซ์ ควบคุม จะใช้หลักการของ การ อินเตอร์รัพท์ ในการทำงาน เพื่อเป็นสัญญาณในการควบคุมการทำงานของ พีซอด โดย จะประกอบด้วยสวิทซ์ ควบคุม 16 ตัว โดย พีซอด 1 ตัว จะใช้ สวิทซ์ 4 ตัว ควบคุมการทำงาน โดย แต่ละ ช่วงแถบความถี่ จะประกอบด้วย สวิทซ์ปรับเพิ่มขนาดสัญญาณ และ สวิทซ์ ปรับลดขนาดสัญญาณ โดย จะสามารถปรับระดับของสัญญาณ ได้ 8 ระดับ ระดับ คือ 146% 133% 123% 114% 100% 75% 50% และ 25 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจร LED แสดงผล ของ พีซอด 1 ตัว



รูปที่ 3.11 วงจร สวิทซ์ ควบคุมการทำงาน ของ พีซอด 1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

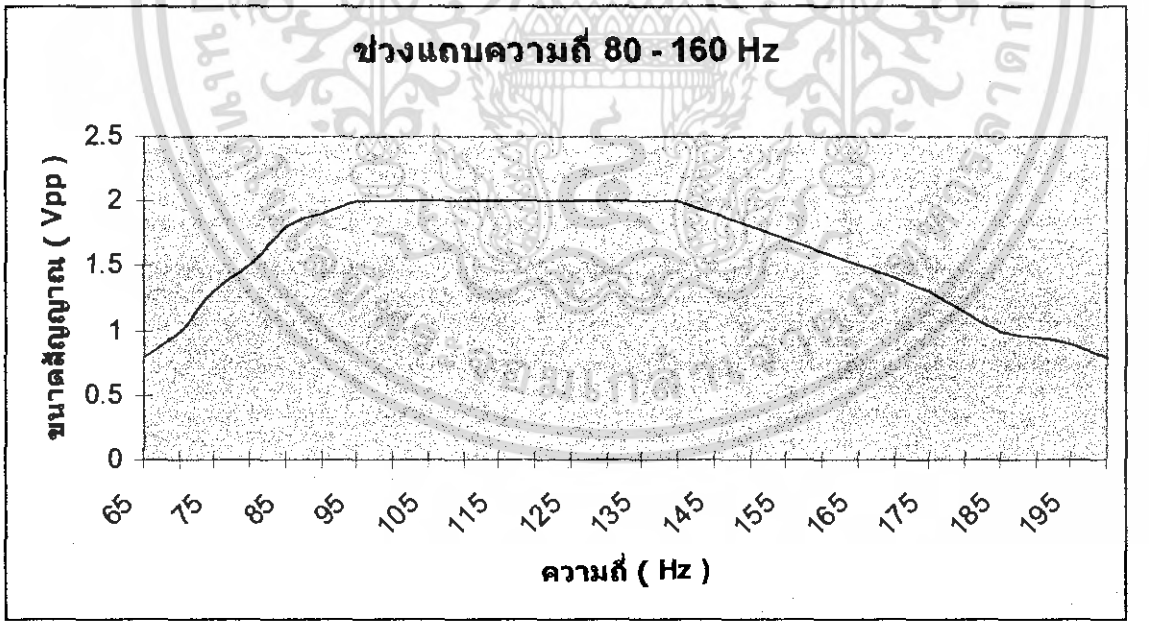
บทที่ 4
ผลการทดลอง

จากการทดลองการใช้งาน พีซอค ไมโครคอนโทรลเลอร์ โดยการออกแบบและสร้างเป็น อีควอไลเซอร์ อย่างง่าย โดยจากการสร้างได้แบ่งช่วงความถี่เสียงเป็น 8 ช่วงความถี่ โดยอาศัยหลักการของแบนพาสฟิลเตอร์อันดับ 4 (Band Pass Filter Order 4) วิธีการทดลองเป็น2 การทดลอง

การทดลองที่ 1 การตอบสนองความถี่ของแต่ละช่วงความถี่ โดย ป้อนสัญญาณSine wave ที่มีขนาดสัญญาณ 2 Vpp เข้าไปแล้วทำการบันทึกขนาดของสัญญาณที่ตอบสนองแต่ละช่วงแถบความถี่ แล้วนำผลการทดลองที่ได้ไปพล็อตกราฟการตอบสนองความถี่

การทดลองที่ 2 การปรับเพิ่ม ลดขนาดของสัญญาณโดย การป้อนสัญญา Sine wave แล้ว ทำการปรับเพิ่ม ลดขนาดสัญญาณแล้วทำการบันทึกรูป คลื่นสัญญาณ ที่ อัตราขยายขนาดสัญญาณ0.25 เท่า และที่ อัตราขยายขนาดสัญญาณ 1.46 เท่า

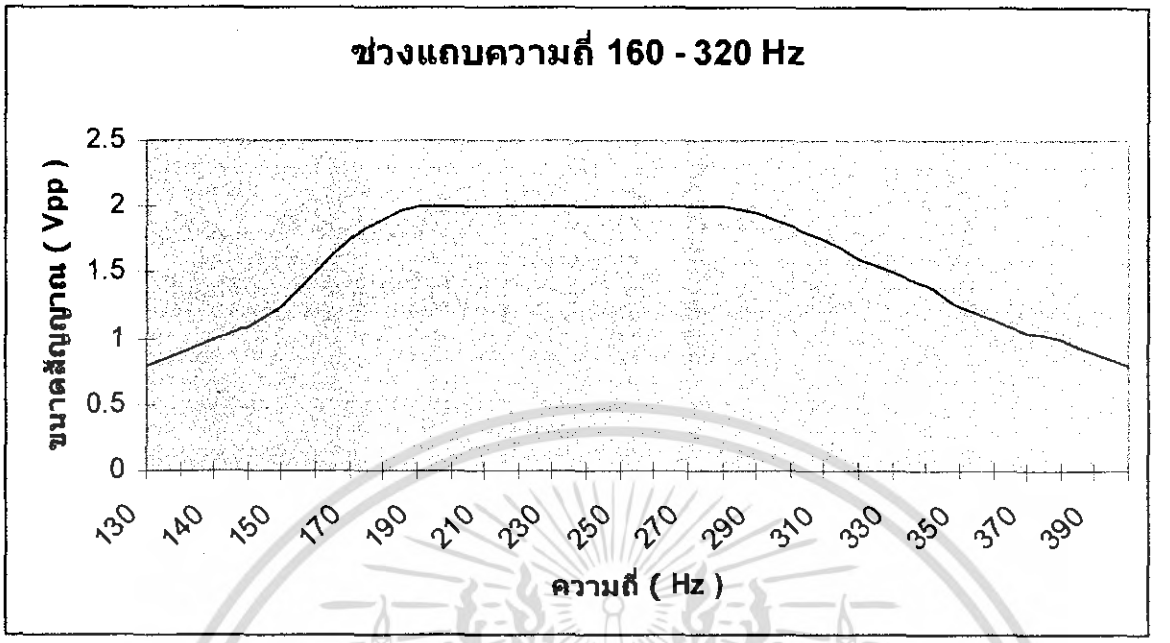
4.1 ผลการตอบสนองต่อความถี่ Sine wave ในแต่ละช่วงความถี่



รูปที่ 4.1 กราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 80 – 160 Hz

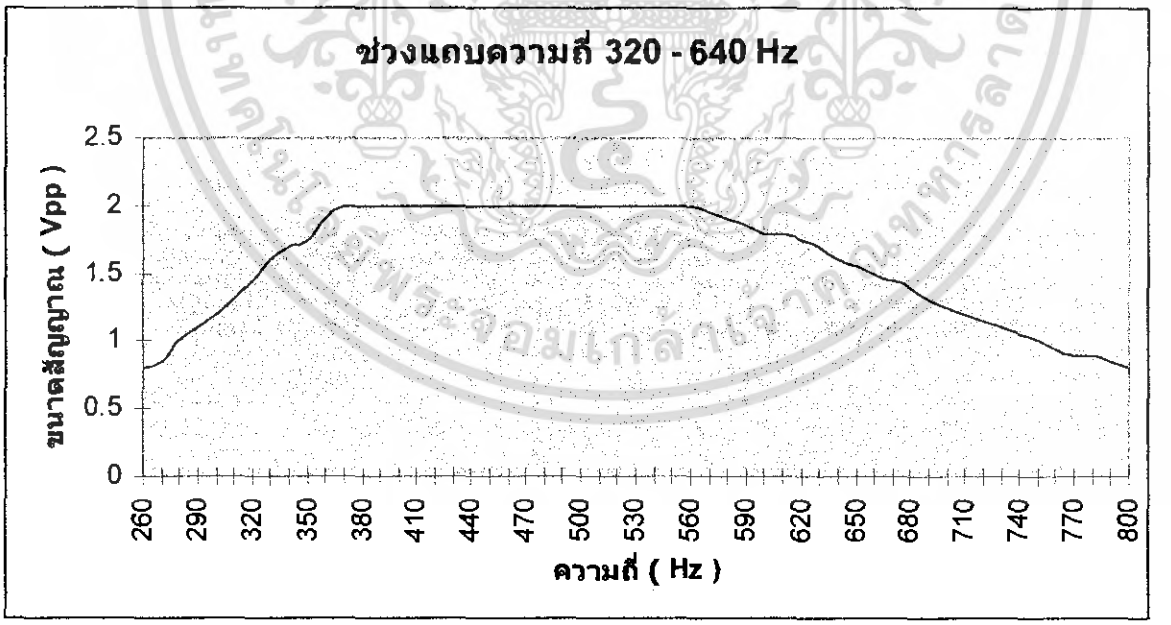
จากกราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 80 – 160 Hz พบว่า fl อยู่ที่ ความถี่ 78 Hz และ fh อยู่ที่ความถี่ 168 Hz

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 กราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 160 - 320 Hz

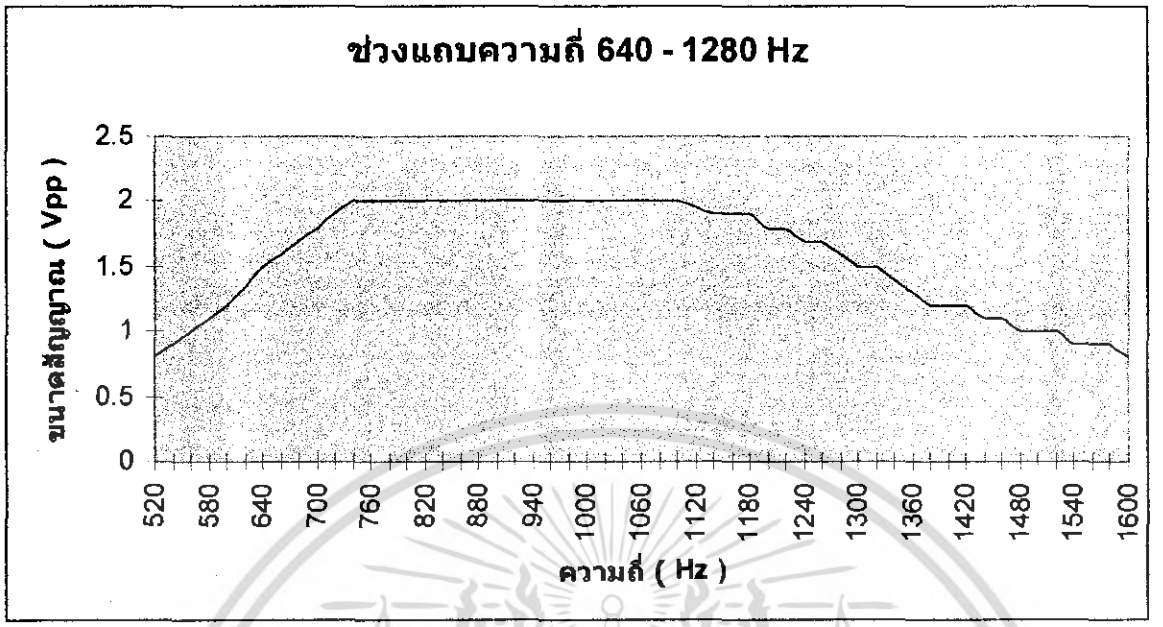
จากกราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 160 – 320 Hz พบว่า fl อยู่ที่ ความถี่ 158 Hz และ fh อยู่ที่ความถี่ 338 Hz



รูปที่ 4.3 กราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 320 – 640 Hz

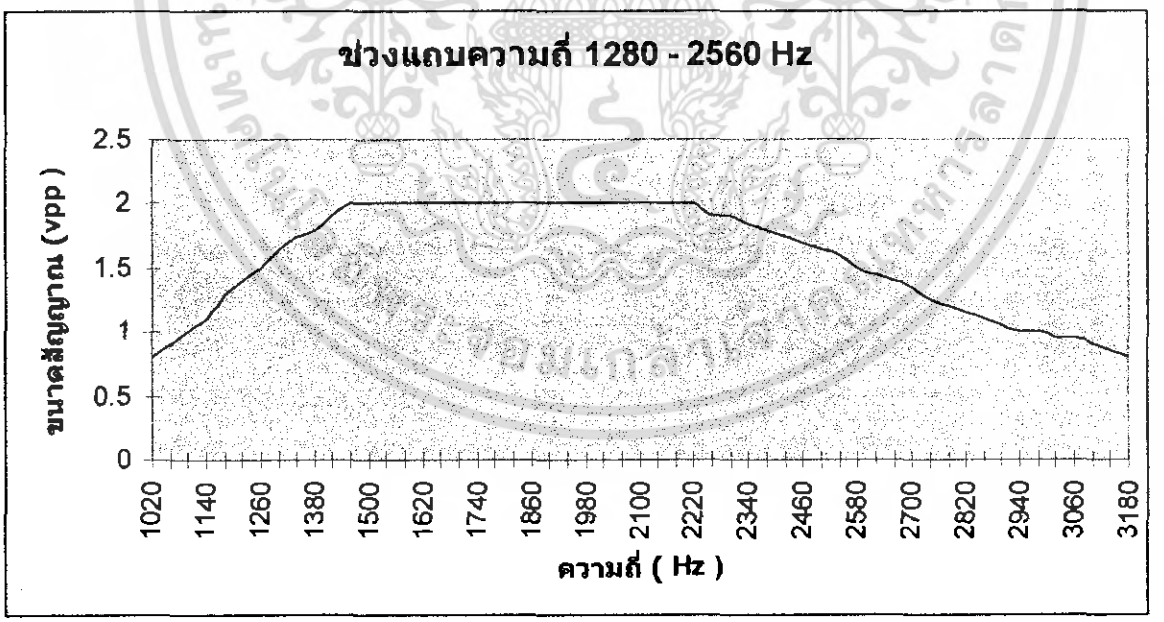
จากกราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 320 – 640 Hz พบว่า fl อยู่ที่ ความถี่ 318 Hz และ fh อยู่ที่ความถี่ 673 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 640 - 1280 Hz

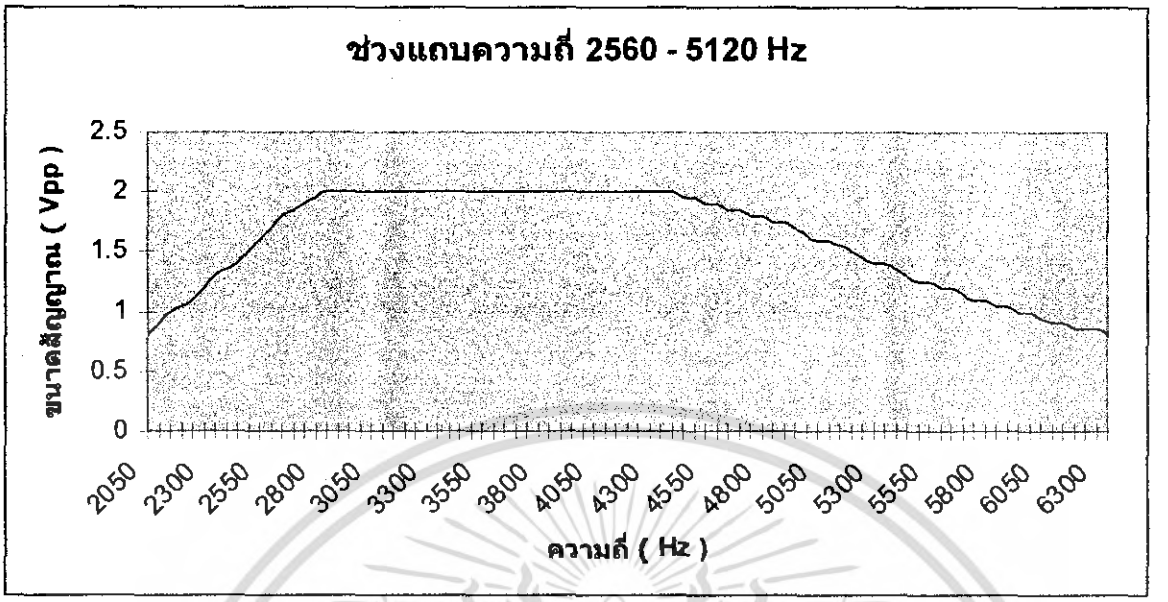
จากกราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 640 - 1280 Hz พบว่า fl อยู่ที่ ความถี่ 635 Hz และ fh อยู่ที่ความถี่ 1315 Hz



รูปที่ 4.5 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 1280 - 2560 Hz

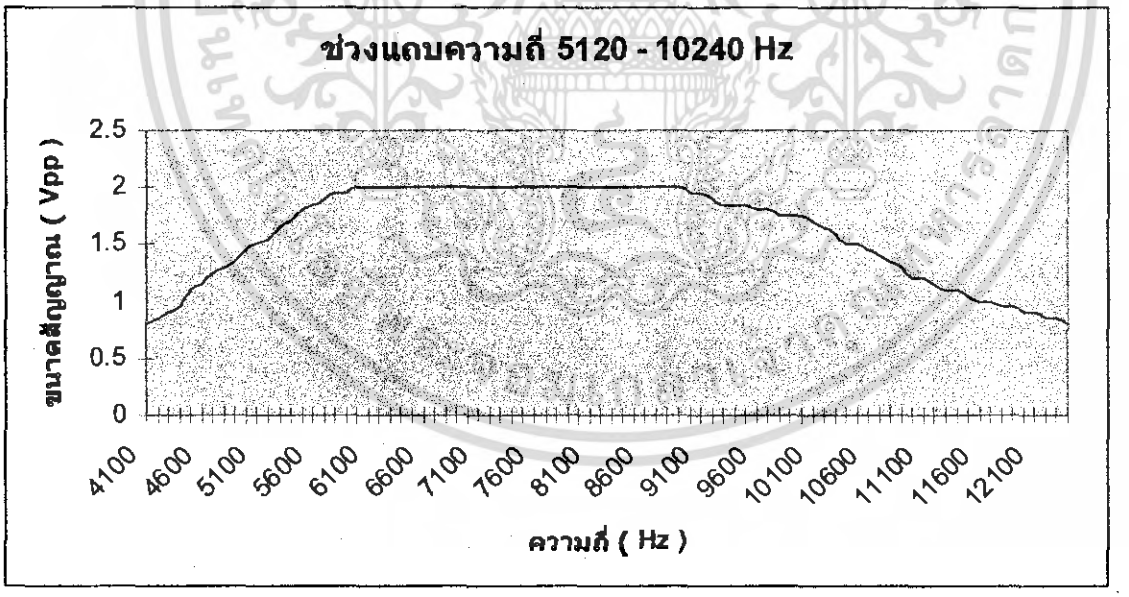
จากกราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 1280 – 2560 Hz พบว่า fl อยู่ที่ ความถี่ 1228 Hz และ fh อยู่ที่ความถี่ 2655 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 2560 - 5120 Hz

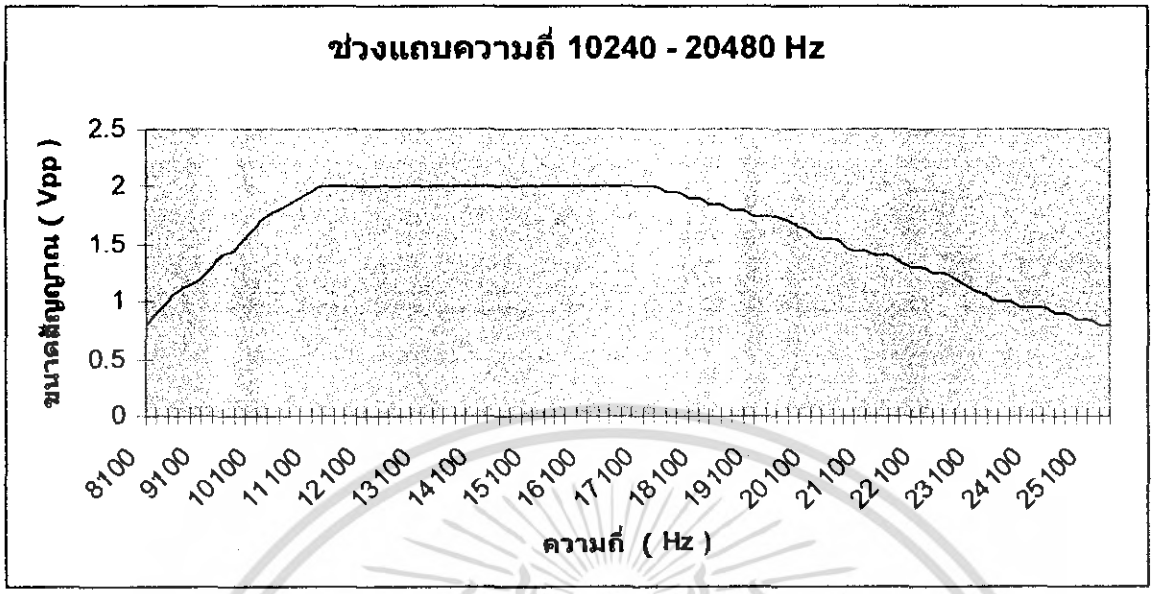
จากกราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 2560 – 5120 Hz พบว่า fl อยู่ที่ ความถี่ 2453 Hz และ fh อยู่ที่ความถี่ 5290 Hz



รูปที่ 4.7 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 5120 - 10240 Hz

จากกราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 5120 - 10240 Hz พบว่า fl อยู่ที่ ความถี่ 4950 Hz และ fh อยู่ที่ความถี่ 10650 Hz

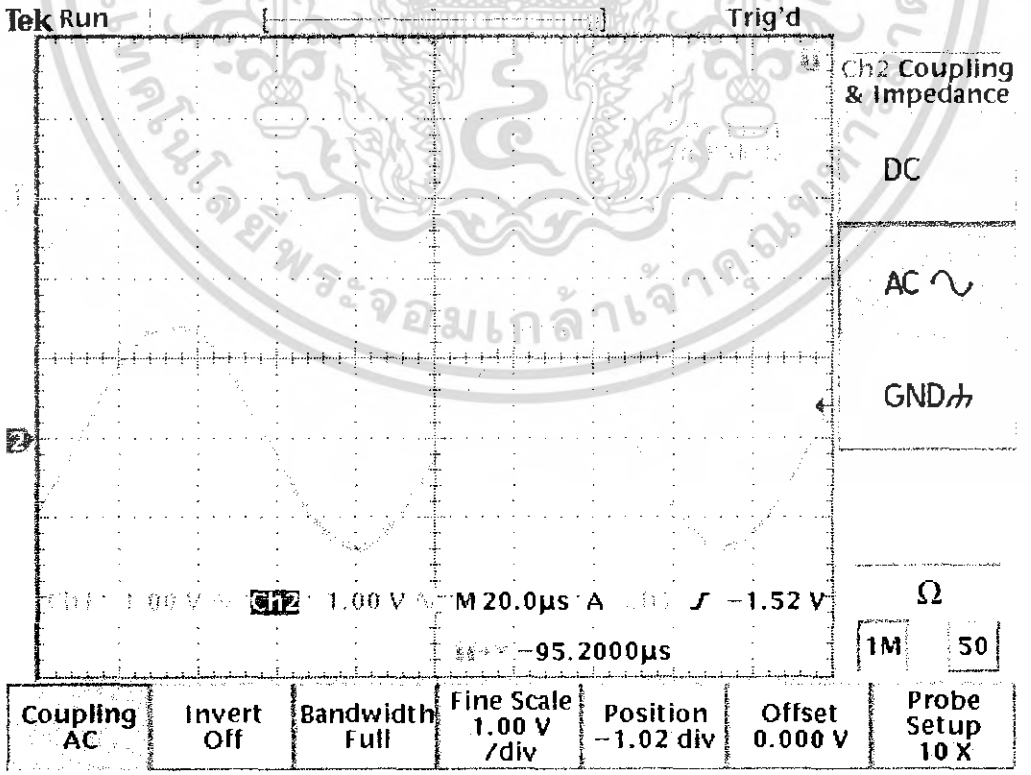
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 กราฟการตอบสนองความถี่ Sine wave ช่วงความถี่ 10240 - 20480 Hz

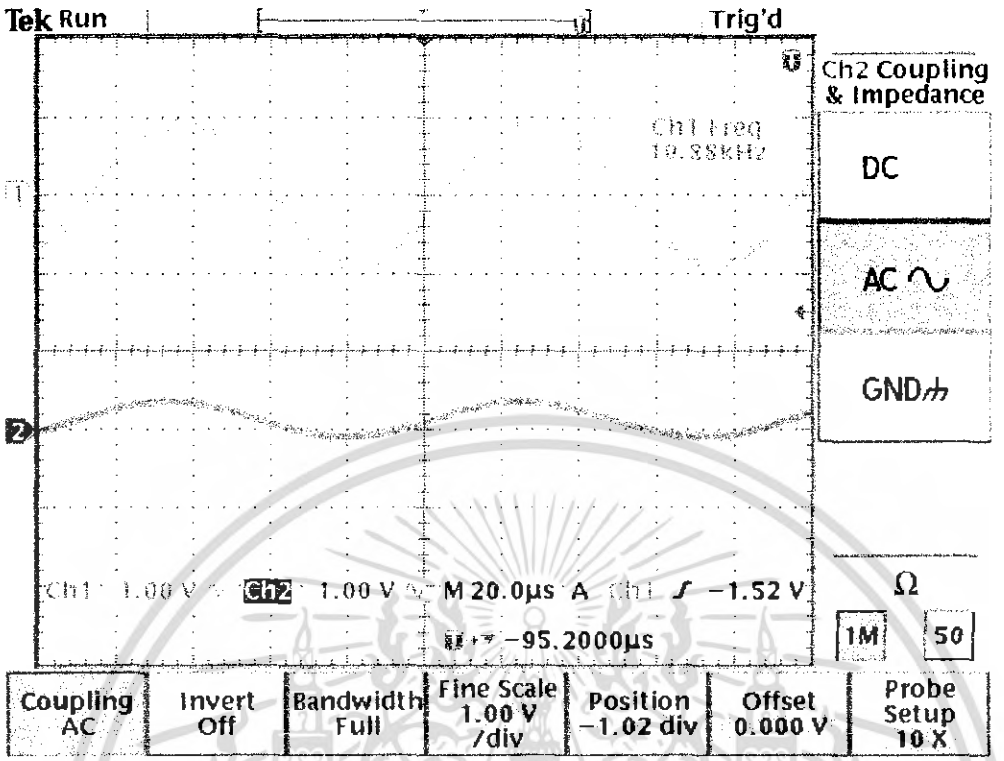
จากกราฟการตอบสนองความถี่ Sine wave ในช่วงความถี่ 10240 - 20480 Hz พบว่า fl อยู่ที่ความถี่ 9550 Hz และ fh อยู่ที่ความถี่ 21250 Hz

4.2 ผลการ ทดลอง การปรับเพิ่ม ลดขนาดของสัญญาณ



รูปที่ 4.9 รูปคลื่นสัญญาณ ที่อัตราขยายขนาดสัญญาณ 1.46 เท่า

เอกสารนี้เป็นเอกสาร[illegible]ไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 รูปคลื่นสัญญาณ ที่อัตราขยายขนาดสัญญาณ 0.25 เท่า

จากรูปที่ 4.1 ถึง รูปที่ 4.8 เป็นกราฟที่แสดงการตอบสนองความถี่ของ Sine wave ของช่วงความถี่ต่าง ๆ จะสังเกตว่าการตอบสนองความถี่ที่พล็อตออกมานั้น มีการป้อนอินพุท Sine wave ขนาด 2 Vpp และมี ความถี่คัทออฟ ที่ 1.4 Vpp ดังนั้น จากข้อมูลที่นำพล็อตกราฟ เราจะเห็นได้ว่า ความถี่คัทออฟ ที่วัดได้จะมีใกล้เคียงกับความถี่คัทออฟที่เราได้ออกแบบไว้

จากรูปที่ 4.9 และรูปที่ 4.10 เป็นการทดลองเกี่ยวกับ การใช้งานฟังก์ชั่น เพิ่ม ลด ขนาดของสัญญาณซึ่งนับว่าเป็นผลการทดลองที่สอดคล้องกับ การออกแบบฟังก์ชั่น

จากการทดลองข้างต้น เพื่อทดสอบคุณสมบัติของ อีควอไลเซอร์ อย่างง่ายนั้น ผลการทดลอง เป็นที่น่าพอใจในระดับ หนึ่ง และนับว่าผลการทดลองข้างต้นนี้ นับว่าเป็นผลการทดลองที่เสมือนกับกระจกที่สะท้อนให้เห็นถึงจุดบกพร่องที่ ต้องแก้ไขเพื่อเป็นการพัฒนาให้บรรลุจุดประสงค์ตามที่ตั้งไว้ต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลอง

จากการที่ได้ศึกษา สร้าง และทดลอง อีควอไลเซอร์ อย่างง่าย ซึ่งสร้างมาจาก พีซอค ไมโครคอนโทรลเลอร์ โดยใช้หลักการของอนาล็อคฟิลเตอร์ นั้น จากผลการทดลอง การตอบสนองความถี่ของแต่ละช่วงความถี่ มีความถี่คัทออฟ ใกล้เคียงกับที่ได้ออกแบบไว้ แต่ในแง่ของสัญญาณรบกวนและความเพี้ยนของสัญญาณ ยังมีปัญหาอยู่ ซึ่งจากที่ได้ทำการศึกษา สร้าง และทดลอง อีควอไลเซอร์ อย่างง่าย นับว่าเป็นผลที่น่าพอใจในระดับหนึ่ง และจากผลการทดลองที่ได้ จะเป็นข้อบ่งชี้บอกถึงจุดบกพร่องที่ต้องแก้ไข เพื่อจะเป็นก้าวต่อไปในการพัฒนา อีควอไลเซอร์ ให้มีความสมบูรณ์แบบมากยิ่งขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

อุกฤษฏ์ ตันทสุทธานนท์."การเขียนโปรแกรมไมโครคอนโทรลเลอร์ PSoC ด้วยภาษาซี". ไมโครรีเซิร์ท เทคโนโลยี. 220 หน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

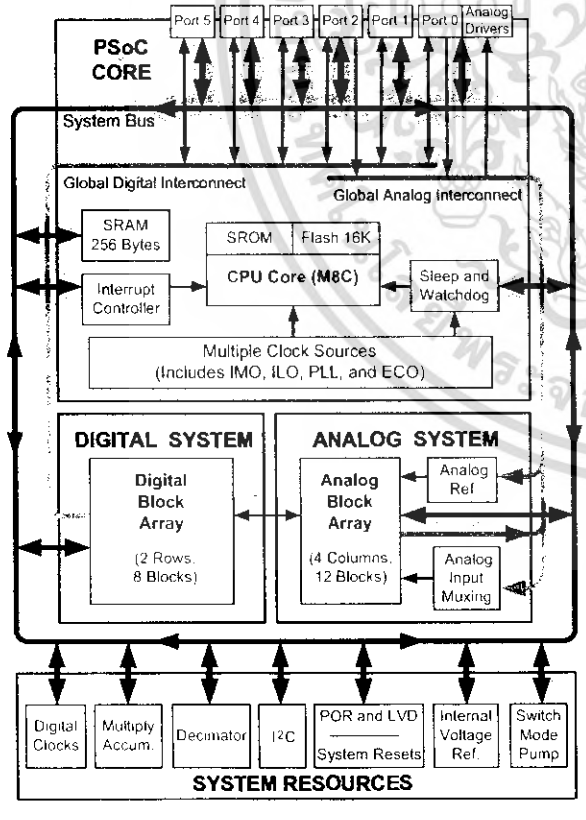
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSoC™ Mixed Signal Array — Final Data Sheet

CY8C27143, CY8C27243, CY8C27443, CY8C27543, and CY8C27643

Features

- **Powerful Harvard Architecture Processor**
  - M8C Processor Speeds to 24 MHz
  - 8x8 Multiply, 32-Bit Accumulate
  - Low Power at High Speed
  - 3.0 to 5.25 V Operating Voltage
  - Operating Voltages Down to 1.0V Using On-Chip Switch Mode Pump (SMP)
  - Industrial Temperature Range: -40°C to +85°C
- **Advanced Peripherals (PSoC Blocks)**
  - 12 Rail-to-Rail Analog PSoC Blocks Provide:
    - Up to 14-Bit ADCs
    - Up to 9-Bit DACs
    - Programmable Gain Amplifiers
    - Programmable Filters and Comparators
  - 8 Digital PSoC Blocks Provide:
    - 8- to 32-Bit Timers, Counters, and PWMs
    - CRC and PRS Modules
    - Up to 2 Full-Duplex UARTs
    - Multiple SPI™ Masters or Slaves
    - Connectable to all GPIO Pins
  - Complex Peripherals by Combining Blocks
- **Precision, Programmable Clocking**
  - Internal 2.5% 24/48 MHz Oscillator
  - 24/48 MHz with Optional 32 kHz Crystal
  - Optional External Oscillator, up to 24 MHz
  - Internal Oscillator for Watchdog and Sleep
- **Flexible On-Chip Memory**
  - 16K Bytes Flash Program Storage 50,000 Erase/Write Cycles
  - 256 Bytes SRAM Data Storage
  - In-System Serial Programming (ISSP™)
  - Partial Flash Updates
  - Flexible Protection Modes
  - EEPROM Emulation in Flash
- **Programmable Pin Configurations**
  - 25 mA Sink on all GPIO
  - Pull up, Pull down, High Z, Strong, or Open Drain Drive Modes on all GPIO
  - Up to 12 Analog Inputs on GPIO
  - Four 30 mA Analog Outputs on GPIO
  - Configurable Interrupt on all GPIO
- **Additional System Resources**
  - I²C™ Slave, Master, and Multi-Master to 400 kHz
  - Watchdog and Sleep Timers
  - User-Configurable Low Voltage Detection
  - Integrated Supervisory Circuit
  - On-Chip Precision Voltage Reference
- **Complete Development Tools**
  - Free Development Software (PSoC™ Designer)
  - Full-Featured, In-Circuit Emulator and Programmer
  - Full Speed Emulation
  - Complex Breakpoint Structure
  - 128K Bytes Trace Memory



PSoC™ Functional Overview

The PSoC™ family consists of many *Mixed Signal Array with On-Chip Controller* devices. These devices are designed to replace multiple traditional MCU-based system components with one, low cost single-chip programmable device. PSoC devices include configurable blocks of analog and digital logic, as well as programmable interconnects. This architecture allows the user to create customized peripheral configurations that match the requirements of each individual application. Additionally, a fast CPU, Flash program memory, SRAM data memory, and configurable IO are included in a range of convenient pinouts and packages.

The PSoC architecture, as illustrated on the left, is comprised of four main areas: PSoC Core, Digital System, Analog System, and System Resources. Configurable global busing allows all the device resources to be combined into a complete custom system. The PSoC CY8C27x43 family can have up to five IO ports that connect to the global digital and analog interconnects, providing access to 8 digital blocks and 12 analog blocks.

The PSoC Core

The PSoC Core is a powerful engine that supports a rich feature set. The core includes a CPU, memory, clocks, and configurable GPIO (General Purpose IO).

The M8C CPU core is a powerful processor with speeds up to 24 MHz, providing a four MIPS 8-bit Harvard architecture micro-

© Cypress MicroSystems, Inc. 2002 – 2004 — Document No. 38-12012 Rev. *I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

processor. The CPU utilizes an interrupt controller with 17 vectors, to simplify programming of real time embedded events. Program execution is timed and protected using the included Sleep and Watch Dog Timers (WDT).

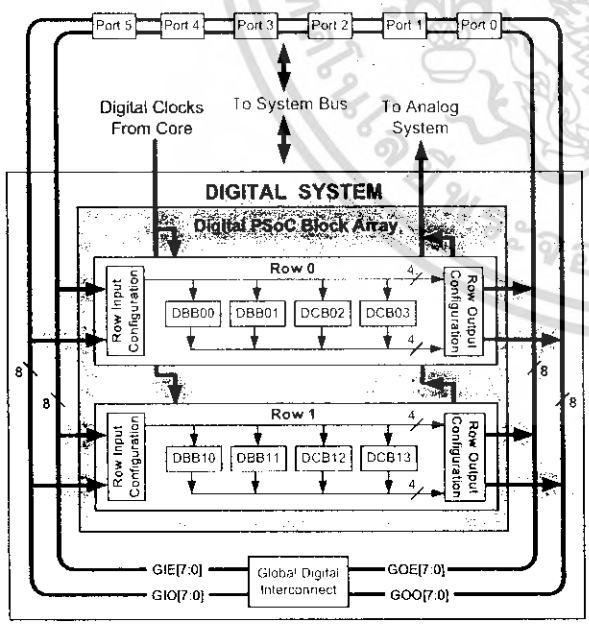
Memory encompasses 16 KB of Flash for program storage, 256 bytes of SRAM for data storage, and up to 2 KB of EEPROM emulated using the Flash. Program Flash utilizes four protection levels on blocks of 64 bytes, allowing customized software IP protection.

The PSoC device incorporates flexible internal clock generators, including a 24 MHz IMO (internal main oscillator) accurate to 2.5% over temperature and voltage. The 24 MHz IMO can also be doubled to 48 MHz for use by the digital system. A low power 32 kHz ILO (internal low speed oscillator) is provided for the Sleep timer and WDT. If crystal accuracy is desired, the ECO (32.768 kHz external crystal oscillator) is available for use as a Real Time Clock (RTC) and can optionally generate a crystal-accurate 24 MHz system clock using a PLL. The clocks, together with programmable clock dividers (as a System Resource), provide the flexibility to integrate almost any timing requirement into the PSoC device.

PSoC GPIOs provide connection to the CPU, digital and analog resources of the device. Each pin's drive mode may be selected from eight options, allowing great flexibility in external interfacing. Every pin also has the capability to generate a system interrupt on high level, low level, and change from last read.

The Digital System

The Digital System is composed of 8 digital PSoC blocks. Each block is an 8-bit resource that can be used alone or combined with other blocks to form 8, 16, 24, and 32-bit peripherals, which are called user module references.



Digital System Block Diagram

Digital peripheral configurations include those listed below.

- PWMs (8 to 32 bit)
- PWMs with Dead band (8 to 32 bit)
- Counters (8 to 32 bit)
- Timers (8 to 32 bit)
- UART 8 bit with selectable parity (up to 2)
- SPI master and slave (up to 2)
- I2C slave and master (1 available as a System Resource)
- Cyclical Redundancy Checker/Generator (8 to 32 bit)
- IrDA (up to 2)
- Pseudo Random Sequence Generators (8 to 32 bit)

The digital blocks can be connected to any GPIO through a series of global buses that can route any signal to any pin. The buses also allow for signal multiplexing and for performing logic operations. This configurability frees your designs from the constraints of a fixed peripheral controller.

Digital blocks are provided in rows of four, where the number of blocks varies by PSoC device family. This allows you the optimum choice of system resources for your application. Family resources are shown in the table titled [illegible].

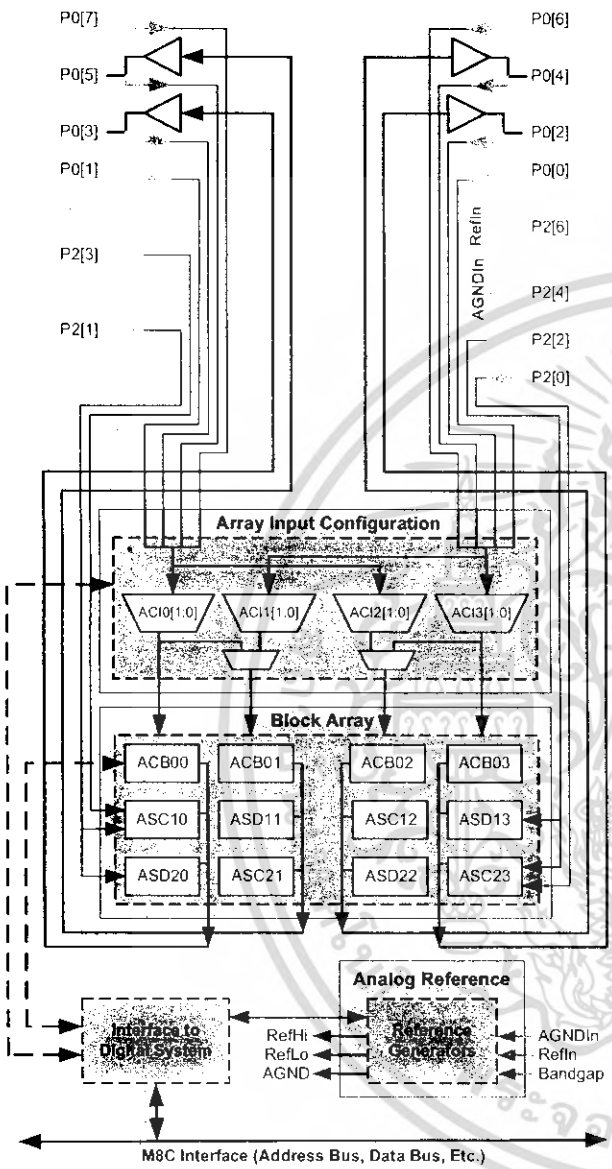
The Analog System

The Analog System is composed of 12 configurable blocks, each comprised of an opamp circuit allowing the creation of complex analog signal flows. Analog peripherals are very flexible and can be customized to support specific application requirements. Some of the more common PSoC analog functions (most available as user modules) are listed below.

- Analog-to-digital converters (up to 4, with 6- to 14-bit resolution, selectable as Incremental, Delta Sigma, and SAR)
- Filters (2, 4, 6, and 8 pole band-pass, low-pass, and notch)
- Amplifiers (up to 4, with selectable gain to 48x)
- Instrumentation amplifiers (up to 2, with selectable gain to 93x)
- Comparators (up to 4, with 16 selectable thresholds)
- DACs (up to 4, with 6- to 9-bit resolution)
- Multiplying DACs (up to 4, with 6- to 9-bit resolution)
- High current output drivers (four with 30 mA drive as a Core Resource)
- 1.3V reference (as a System Resource)
- DTMF dialer
- Modulators
- Correlators
- Peak detectors
- Many other topologies possible

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog blocks are provided in columns of three, which includes one CT (Continuous Time) and two SC (Switched Capacitor) blocks, as shown in the figure below.



Analog System Block Diagram

Additional System Resources

System Resources, some of which have been previously listed, provide additional capability useful to complete systems. Additional resources include a multiplier, decimator, switch mode pump, low voltage detection, and power on reset. Brief statements describing the merits of each system resource are presented below.

- Digital clock dividers provide three customizable clock frequencies for use in applications. The clocks can be routed to both the digital and analog systems. Additional clocks can be generated using digital PSoC blocks as clock dividers.
- A multiply accumulate (MAC) provides a fast 8-bit multiplier with 32-bit accumulate, to assist in both general math as well as digital filters.
- The decimator provides a custom hardware filter for digital signal processing applications including the creation of Delta Sigma ADCs.
- The I2C module provides 100 and 400 kHz communication over two wires. Slave, master, and multi-master modes are all supported.
- Low Voltage Detection (LVD) interrupts can signal the application of falling voltage levels, while the advanced POR (Power On Reset) circuit eliminates the need for a system supervisor.
- An internal 1.3V reference provides an absolute reference for the analog system, including ADCs and DACs.
- An integrated switch mode pump (SMP) generates normal operating voltages from a single 1.2V battery cell, providing a low cost boost converter.

PSoC Device Characteristics

Depending on your PSoC device characteristics, the digital and analog systems can have 16, 8, or 4 digital blocks and 12, 6, or 3 analog blocks. The following table lists the resources available for specific PSoC device groups. The PSoC device covered by this data sheet is shown in the second row of the table.

PSoC Device Characteristics

PSoC Part Number	Digital IO	Digital Rows	Digital Blocks	Analog Inputs	Analog Outputs	Analog Columns	Analog Blocks
CY8C29x66	up to 64	4	16	12	4	4	12
CY8C27x43	**up to 44**	**2**	**8**	**12**	**4**	**4**	**12**
CY8C24x23	up to 24	1	4	12	2	2	6
CY8C24x23A	up to 24	1	4	12	2	2	6
CY8C22x13	up to 16	1	4	8	1	1	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Getting Started

The quickest path to understanding the PSoC silicon is by reading this data sheet and using the PSoC Designer Integrated Development Environment (IDE). This data sheet is an overview of the PSoC integrated circuit and presents specific pin, register, and electrical specifications. For in-depth information, along with detailed programming information, reference the *PSoC™ Mixed Signal Array Technical Reference Manual.*

For up-to-date Ordering, Packaging, and Electrical Specification information, reference the latest PSoC device data sheets on the web at

Development Kits

Development Kits are available from the following distributors: Digi-Key, Avnet, Arrow, and Future. The Cypress Online Store at contains development kits, C compilers, and all accessories for PSoC development. Click on *PSoC (Programmable System-on-Chip)* to view a current list of available items.

Tele-Training

Free PSoC "Tele-training" is available for beginners and taught by a live marketing or application engineer over the phone. Five training classes are available to accelerate the learning curve including introduction, designing, debugging, advanced design, advanced analog, as well as application-specific classes covering topics like PSoC and the LIN bus. For days and times of the tele-training, see

Consultants

Certified PSoC Consultants offer everything from technical assistance to completed PSoC designs. To contact or become a PSoC Consultant, go to the following Cypress support web site:

Technical Support

PSoC application engineers take pride in fast and accurate response. They can be reached with a 4-hour guaranteed response at

Application Notes

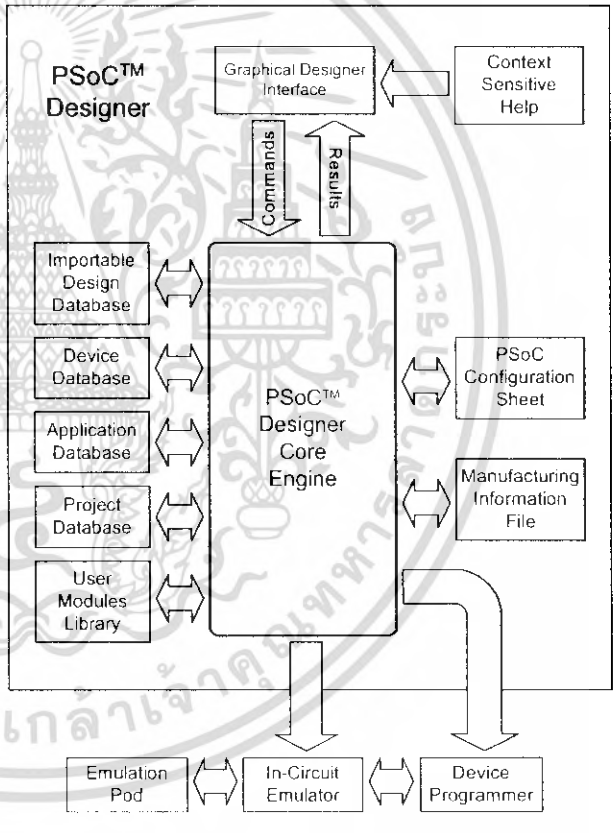
A long list of application notes will assist you in every aspect of your design effort. To locate the PSoC application notes, go to

Development Tools

The Cypress MicroSystems PSoC Designer is a Microsoft® Windows-based, integrated development environment for the Programmable System-on-Chip (PSoC) devices. The PSoC Designer IDE and application runs on Windows NT 4.0, Windows 2000, Windows Millennium (Me), or Windows XP. (Reference the PSoC Designer Functional Flow diagram below.)

PSoC Designer helps the customer to select an operating configuration for the PSoC, write application code that uses the PSoC, and debug the application. This system provides design database management by project, an integrated debugger with In-Circuit Emulator, in-system programming support, and the CYASM macro assembler for the CPUs.

PSoC Designer also supports a high-level C language compiler developed specifically for the devices in the family.



PSoC Designer Subsystems

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSoC Designer Software Subsystems

Device Editor

The Device Editor subsystem allows the user to select different onboard analog and digital components called user modules using the PSoC blocks. Examples of user modules are ADCs, DACs, Amplifiers, and Filters.

The device editor also supports easy development of multiple configurations and dynamic reconfiguration. Dynamic configuration allows for changing configurations at run time.

PSoC Designer sets up power-on initialization tables for selected PSoC block configurations and creates source code for an application framework. The framework contains software to operate the selected components and, if the project uses more than one operating configuration, contains routines to switch between different sets of PSoC block configurations at run time. PSoC Designer can print out a configuration sheet for a given project configuration for use during application programming in conjunction with the Device Data Sheet. Once the framework is generated, the user can add application-specific code to flesh out the framework. It's also possible to change the selected components and regenerate the framework.

Design Browser

The Design Browser allows users to select and import preconfigured designs into the user's project. Users can easily browse a catalog of preconfigured designs to facilitate time-to-design. Examples provided in the tools include a 300-baud modem, LIN Bus master and slave, fan controller, and magnetic card reader.

Application Editor

In the Application Editor you can edit your C language and Assembly language source code. You can also assemble, compile, link, and build.

Assembler. The macro assembler allows the assembly code to be merged seamlessly with C code. The link libraries automatically use absolute addressing or can be compiled in relative mode, and linked with other software modules to get absolute addressing.

C Language Compiler. A C language compiler is available that supports Cypress MicroSystems' PSoC family devices. Even if you have never worked in the C language before, the product quickly allows you to create complete C programs for the PSoC family devices.

The embedded, optimizing C compiler provides all the features of C tailored to the PSoC architecture. It comes complete with embedded libraries providing port and bus operations, standard keypad and display support, and extended math functionality.

Debugger

The PSoC Designer Debugger subsystem provides hardware in-circuit emulation, allowing the designer to test the program in a physical system while providing an internal view of the PSoC device. Debugger commands allow the designer to read and program and read and write data memory, read and write IO registers, read and write CPU registers, set and clear breakpoints, and provide program run, halt, and step control. The debugger also allows the designer to create a trace buffer of registers and memory locations of interest.

Online Help System

The online help system displays online, context-sensitive help for the user. Designed for procedural and quick reference, each functional subsystem has its own context-sensitive help. This system also provides tutorials and links to FAQs and an Online Support Forum to aid the designer in getting started.

Hardware Tools

In-Circuit Emulator

A low cost, high functionality ICE (In-Circuit Emulator) is available for development support. This hardware has the capability to program single devices.

The emulator consists of a base unit that connects to the PC by way of the parallel or USB port. The base unit is universal and will operate with all PSoC devices. Emulation pods for each device family are available separately. The emulation pod takes the place of the PSoC device in the target board and performs full speed (24 MHz) operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Designing with User Modules

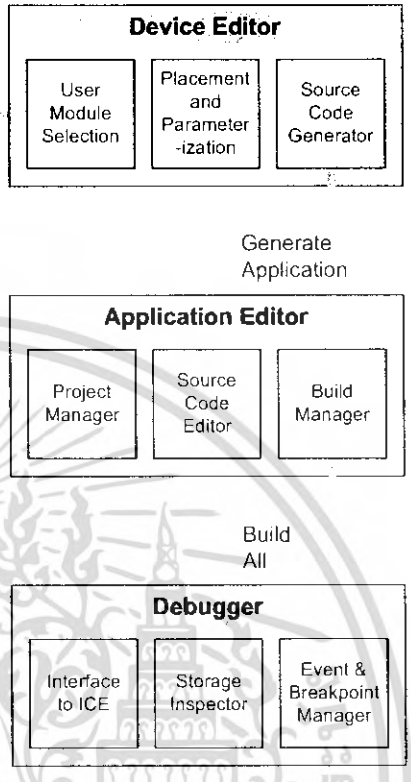
The development process for the PSoC device differs from that of a traditional fixed function microprocessor. The configurable analog and digital hardware blocks give the PSoC architecture a unique flexibility that pays dividends in managing specification change during development and by lowering inventory costs. These configurable resources, called PSoC Blocks, have the ability to implement a wide variety of user-selectable functions. Each block has several registers that determine its function and connectivity to other blocks, multiplexers, buses, and to the IO pins. Iterative development cycles permit you to adapt the hardware as well as the software. This substantially lowers the risk that you will have to select a different part to meet the final design requirements.

To speed the development process, the PSoC Designer Integrated Development Environment (IDE) provides a library of pre-built, pre-tested hardware peripheral functions, called "User Modules." User modules make selecting and implementing peripheral devices simple, and come in analog, digital, and mixed signal varieties. The standard User Module library contains over 50 common peripherals such as ADCs, DACs Timers, Counters, UARTs, and other not-so common peripherals such as DTMF Generators and Bi-Quad analog filter sections.

Each user module establishes the basic register settings that implement the selected function. It also provides parameters that allow you to tailor its precise configuration to your particular application. For example, a Pulse Width Modulator User Module configures one or more digital PSoC blocks, one for each 8 bits of resolution. The user module parameters permit you to establish the pulse width and duty cycle. User modules also provide tested software to cut your development time. The user module application programming interface (API) provides high-level functions to control and respond to hardware events at run-time. The API also provides optional interrupt service routines that you can adapt as needed.

The API functions are documented in user module data sheets that are viewed directly in the PSoC Designer IDE. These data sheets explain the internal operation of the user module and provide performance specifications. Each data sheet describes the use of each user module parameter and documents the setting of each register controlled by the user module.

The development process starts when you open a new project and bring up the Device Editor, a graphical user interface (GUI) for configuring the hardware. You pick the user modules you need for your project and map them onto the PSoC blocks with point-and-click simplicity. Next, you build signal chains by interconnecting user modules to each other and the IO pins. At this stage, you also configure the clock source connections and enter parameter values directly or by selecting values from drop-down menus. When you are ready to test the hardware configuration or move on to developing code for the project, you perform the "Generate Application" step. This causes PSoC Designer to generate source code that automatically configures the device to your specification and provides the high-level user module API functions.



User Module and Source Code Development Flows

The next step is to write your main program, and any sub-routines using PSoC Designer's Application Editor subsystem. The Application Editor includes a Project Manager that allows you to open the project source code files (including all generated code files) from a hierarchal view. The source code editor provides syntax coloring and advanced edit features for both C and assembly language. File search capabilities include simple string searches and recursive "grep-style" patterns. A single mouse click invokes the Build Manager. It employs a professional-strength "makefile" system to automatically analyze all file dependencies and run the compiler and assembler as necessary. Project-level options control optimization strategies used by the compiler and linker. Syntax errors are displayed in a console window. Double clicking the error message takes you directly to the offending line of source code. When all is correct, the linker builds a HEX file image suitable for programming.

The last step in the development process takes place inside the PSoC Designer's Debugger subsystem. The Debugger downloads the HEX image to the In-Circuit Emulator (ICE) where it runs at full speed. Debugger capabilities rival those of systems costing many times more. In addition to traditional single-step, run-to-breakpoint and watch-variable features, the Debugger provides a large trace buffer and allows you define complex breakpoint events that include monitoring address and data bus values, memory locations and external signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Document Conventions

Acronyms Used

The following table lists the acronyms that are used in this document.

Acronym	Description
AC	alternating current
ADC	analog-to-digital converter
API	application programming interface
CPU	central processing unit
CT	continuous time
DAC	digital-to-analog converter
DC	direct current
ECO	external crystal oscillator
EEPROM	electrically erasable programmable read-only memory
FSR	full scale range
GPIO	general purpose IO
GUI	graphical user interface
HBM	human body model
ICE	in-circuit emulator
ILO	internal low speed oscillator
IMO	internal main oscillator
IO	input/output
IPOR	imprecise power on reset
LSb	least-significant bit
LVD	low voltage detect
MSb	most-significant bit
PC	program counter
PLL	phase-locked loop
POR	power on reset
PPOR	precision power on reset
PSoC™	Programmable System-on-Chip™
PWM	pulse width modulator
RAM	random access memory
SC	switched capacitor
SLIMO	slow IMO
SMP	switch mode pump

Units of Measure

A units of measure table is located in the Electrical Specifications section. lists all the abbreviations used to measure the PSoC devices.

Numeric Naming

Hexidecimal numbers are represented with all letters in uppercase with an appended lowercase 'h' (for example, '14h' or '3Ah'). Hexidecimal numbers may also be represented by a '0x' prefix, the C coding convention. Binary numbers have an appended lowercase 'b' (e.g., 01010100b' or '01000011b'). Numbers not indicated by an 'h' or 'b' are decimal.

Table of Contents

For an in depth discussion and more information on your PSoC device, obtain the *PSoC Mixed Signal Array Technical Reference Manual*. This document encompasses and is organized into the following chapters and sections.

1. Pin Information 8
1.1 Pinouts 8
1.1.1 8-Pin Part Pinout 8
1.1.2 20-Pin Part Pinout 9
1.1.3 28-Pin Part Pinout 10
1.1.4 44-Pin Part Pinout 11
1.1.5 48-Pin Part Pinouts 12

2. Register Reference 14
2.1 Register Conventions 14
2.2 Register Mapping Tables 14

3. Electrical Specifications 17
3.1 Absolute Maximum Ratings 18
3.2 Operating Temperature 18
3.3 DC Electrical Characteristics 19
3.3.1 DC Chip-Level Specifications 19
3.3.2 DC General Purpose IO Specifications 19
3.3.3 DC Operational Amplifier Specifications 20
3.3.4 DC Analog Output Buffer Specifications 22
3.3.5 DC Switch Mode Pump Specifications 23
3.3.6 DC Analog Reference Specifications 24
3.3.7 DC Analog PSoC Block Specifications 26
3.3.8 DC POR and LVD Specifications 26
3.3.9 DC Programming Specifications 27
3.4 AC Electrical Characteristics 28
3.4.1 AC Chip-Level Specifications 28
3.4.2 AC General Purpose IO Specifications 30
3.4.3 AC Operational Amplifier Specifications 31
3.4.4 AC Digital Block Specifications 32
3.4.5 AC Analog Output Buffer Specifications 33
3.4.6 AC External Clock Specifications 34
3.4.7 AC Programming Specifications 34
3.4.8 AC I2C Specifications 35

4. Packaging Information 36
4.1 Packaging Dimensions 36
4.2 Thermal Impedances 41
4.3 Capacitance on Crystal Pins 41

5. Ordering Information 42
5.1 Ordering Code Definitions 43

6. Sales and Service Information 44
6.1 Revision History 44
6.2 Copyrights and Code Protection 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Pin Information

This chapter describes, lists, and illustrates the CY8C27x43 PSoC device pins and pinout configurations.

1.1 Pinouts

The CY8C27x43 PSoC device is available in a variety of packages which are listed and illustrated in the following tables. Every port pin (labeled with a "P") is capable of Digital IO. However, Vss, Vdd, SMP, and XRES are not capable of Digital IO.

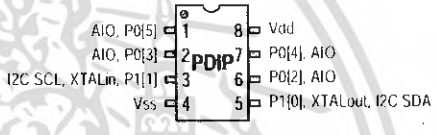
1.1.1 8-Pin Part Pinout

Table 1-1. 8-Pin Part Pinout (PDIP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	IO	P0[5]	Analog column mux input and column output.
2	IO	IO	P0[3]	Analog column mux input and column output.
3	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
4	Power		Vss	Ground connection.
5	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
6	IO	IO	P0[2]	Analog column mux input and column output.
7	IO	IO	P0[4]	Analog column mux input and column output.
8	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27143 8-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

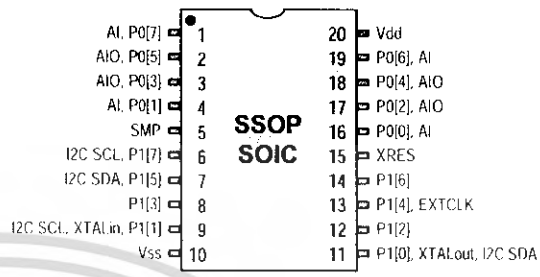
1.1.2 20-Pin Part Pinout

Table 1-2. 20-Pin Part Pinout (SSOP, SOIC)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
6	IO		P1[7]	I2C Serial Clock (SCL)
7	IO		P1[5]	I2C Serial Data (SDA)
8	IO		P1[3]	
9	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
10	Power		Vss	Ground connection.
11	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
12	IO		P1[2]	
13	IO		P1[4]	Optional External Clock Input (EXTCLK)
14	IO		P1[6]	
15	Input		XRES	Active high external reset with internal pull down.
16	IO	I	P0[0]	Analog column mux input.
17	IO	IO	P0[2]	Analog column mux input and column output.
18	IO	IO	P0[4]	Analog column mux input and column output.
19	IO	I	P0[6]	Analog column mux input.
20	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27243 20-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

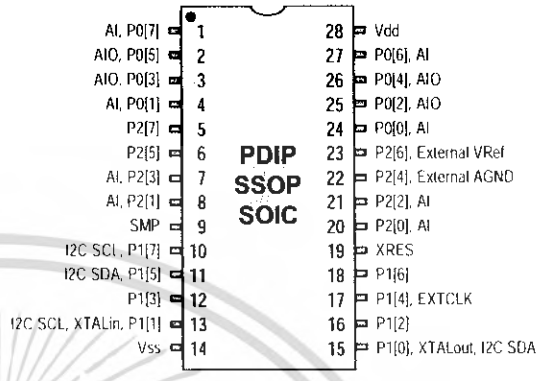
1.1.3 28-Pin Part Pinout

Table 1-3. 28-Pin Part Pinout (PDIP, SSOP, SOIC)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
10	IO		P1[7]	I2C Serial Clock (SCL)
11	IO		P1[5]	I2C Serial Data (SDA)
12	IO		P1[3]	
13	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
14	Power		Vss	Ground connection.
15	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
16	IO		P1[2]	
17	IO		P1[4]	Optional External Clock Input (EXTCLK)
18	IO		P1[6]	
19	Input		XRES	Active high external reset with internal pull down.
20	IO	I	P2[0]	Direct switched capacitor block input.
21	IO	I	P2[2]	Direct switched capacitor block input.
22	IO		P2[4]	External Analog Ground (AGND)
23	IO		P2[6]	External Voltage Reference (VRef)
24	IO	I	P0[0]	Analog column mux input.
25	IO	IO	P0[2]	Analog column mux input and column output.
26	IO	IO	P0[4]	Analog column mux input and column output.
27	IO	I	P0[6]	Analog column mux input.
28	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27443 28-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

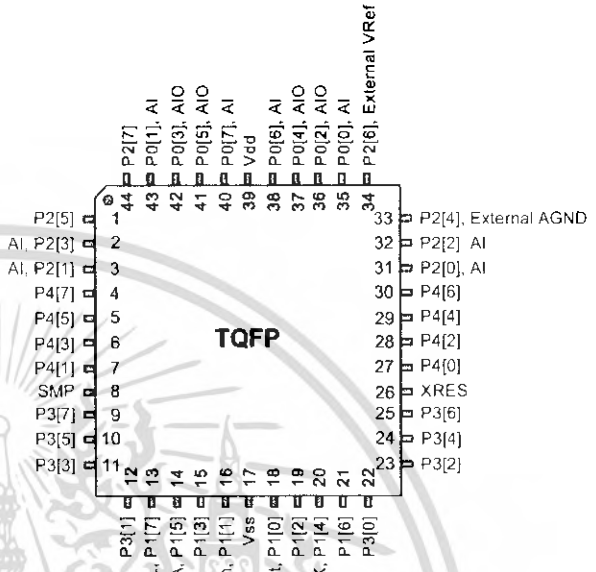
1.1.4 44-Pin Part Pinout

Table 1-4. 44-Pin Part Pinout (TQFP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO		P2[5]	
2	IO	I	P2[3]	Direct switched capacitor block input.
3	IO	I	P2[1]	Direct switched capacitor block input.
4	IO		P4[7]	
5	IO		P4[5]	
6	IO		P4[3]	
7	IO		P4[1]	
8	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
9	IO		P3[7]	
10	IO		P3[5]	
11	IO		P3[3]	
12	IO		P3[1]	
13	IO		P1[7]	I2C Serial Clock (SCL)
14	IO		P1[5]	I2C Serial Data (SDA)
15	IO		P1[3]	
16	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
17	Power		Vss	Ground connection.
18	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
19	IO		P1[2]	
20	IO		P1[4]	Optional External Clock Input (EXTCLK)
21	IO		P1[6]	
22	IO		P3[0]	
23	IO		P3[2]	
24	IO		P3[4]	
25	IO		P3[6]	
26	Input		XRES	Active high external reset with internal pull down.
27	IO		P4[0]	
28	IO		P4[2]	
29	IO		P4[4]	
30	IO		P4[6]	
31	IO	I	P2[0]	Direct switched capacitor block input.
32	IO	I	P2[2]	Direct switched capacitor block input.
33	IO		P2[4]	External Analog Ground (AGND)
34	IO		P2[6]	External Voltage Reference (VRef)
35	IO	I	P0[0]	Analog column mux input.
36	IO	IO	P0[2]	Analog column mux input and column output.
37	IO	IO	P0[4]	Analog column mux input and column output.
38	IO	I	P0[6]	Analog column mux input.
39	Power		Vdd	Supply voltage.
40	IO	I	P0[7]	Analog column mux input.
41	IO	IO	P0[5]	Analog column mux input and column output.
42	IO	IO	P0[3]	Analog column mux input and column output.
43	IO	I	P0[1]	Analog column mux input.
44	IO		P2[7]	

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27543 44-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

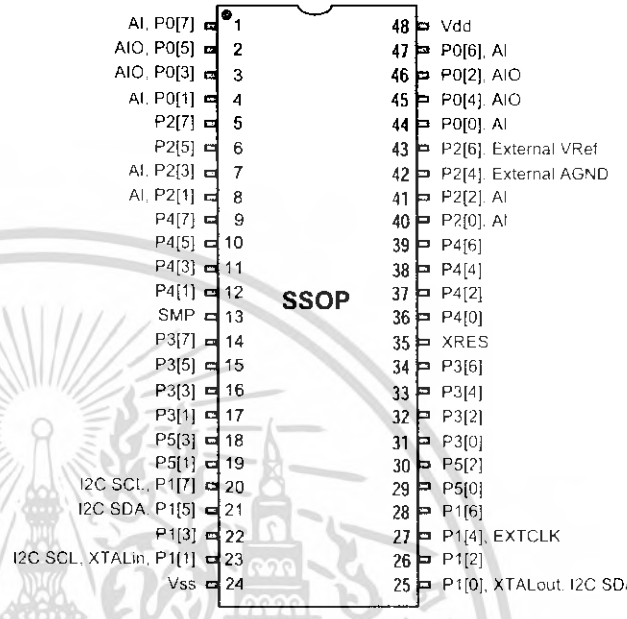
1.1.5 48-Pin Part Pinouts

Table 1-5. 48-Pin Part Pinout (SSOP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	IO		P4[7]	
10	IO		P4[5]	
11	IO		P4[3]	
12	IO		P4[1]	
13	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
14	IO		P3[7]	
15	IO		P3[5]	
16	IO		P3[3]	
17	IO		P3[1]	
18	IO		P5[3]	
19	IO		P5[1]	
20	IO		P1[7]	I2C Serial Clock (SCL)
21	IO		P1[5]	I2C Serial Data (SDA)
22	IO		P1[3]	
23	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
24	Power		Vss	Ground connection.
25	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
26	IO		P1[2]	
27	IO		P1[4]	Optional External Clock Input (EXTCLK)
28	IO		P1[6]	
29	IO		P5[0]	
30	IO		P5[2]	
31	IO		P3[0]	
32	IO		P3[2]	
33	IO		P3[4]	
34	IO		P3[6]	
35	Input		XRES	Active high external reset with internal pull down.
36	IO		P4[0]	
37	IO		P4[2]	
38	IO		P4[4]	
39	IO		P4[6]	
40	IO	I	P2[0]	Direct switched capacitor block input.
41	IO	I	P2[2]	Direct switched capacitor block input.
42	IO		P2[4]	External Analog Ground (AGND)
43	IO		P2[6]	External Voltage Reference (VRef)
44	IO	I	P0[0]	Analog column mux input.
45	IO	IO	P0[2]	Analog column mux input and column output.
46	IO	IO	P0[4]	Analog column mux input and column output.
47	IO	I	P0[6]	Analog column mux input.
48	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27643 48-Pin PSoC Device

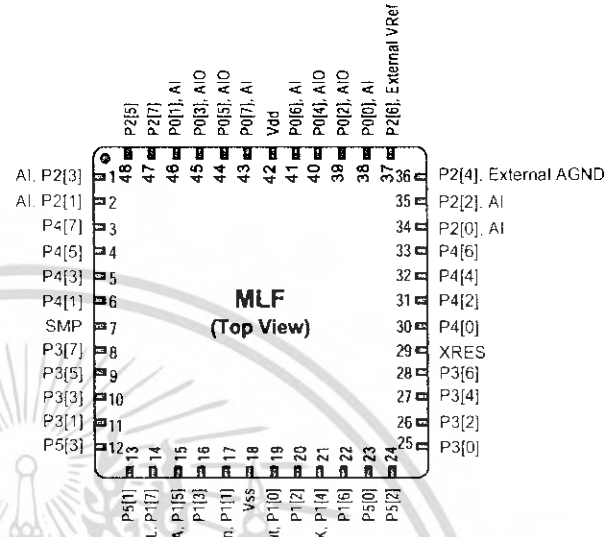


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1-6. 48-Pin Part Pinout (MLF*)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P2[3]	Direct switched capacitor block input.
2	IO	I	P2[1]	Direct switched capacitor block input.
3	IO		P4[7]	
4	IO		P4[5]	
5	IO		P4[3]	
6	IO		P4[1]	
7	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
8	IO		P3[7]	
9	IO		P3[5]	
10	IO		P3[3]	
11	IO		P3[1]	
12	IO		P5[3]	
13	IO		P5[1]	
14	IO		P1[7]	I2C Serial Clock (SCL)
15	IO		P1[5]	I2C Serial Data (SDA)
16	IO		P1[3]	
17	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
18	Power		Vss	Ground connection.
19	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
20	IO		P1[2]	
21	IO		P1[4]	Optional External Clock Input (EXTCLK)
22	IO		P1[6]	
23	IO		P5[0]	
24	IO		P5[2]	
25	IO		P3[0]	
26	IO		P3[2]	
27	IO		P3[4]	
28	IO		P3[6]	
29	Input		XRES	Active high external reset with internal pull down.
30	IO		P4[0]	
31	IO		P4[2]	
32	IO		P4[4]	
33	IO		P4[6]	
34	IO	I	P2[0]	Direct switched capacitor block input.
35	IO	I	P2[2]	Direct switched capacitor block input.
36	IO		P2[4]	External Analog Ground (AGND)
37	IO		P2[6]	External Voltage Reference (VRef)
38	IO	I	P0[0]	Analog column mux input.
39	IO	IO	P0[2]	Analog column mux input and column output.
40	IO	IO	P0[4]	Analog column mux input and column output.
41	IO	I	P0[6]	Analog column mux input.
42	Power		Vdd	Supply voltage.
43	IO	I	P0[7]	Analog column mux input.
44	IO	IO	P0[5]	Analog column mux input and column output.
45	IO	IO	P0[3]	Analog column mux input and column output.
46	IO	I	P0[1]	Analog column mux input.
47	IO		P2[7]	
48	IO		P2[5]	

CY8C27643 48-Pin PSoC Device



LEGEND: A = Analog, I = Input, and O = Output.

* The MLF package has a center pad that must be connected to ground (Vss).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Register Reference

This chapter lists the registers of the CY8C27x43 PSoC device. For detailed register information, reference the *PSoC™ Mixed Signal Array Technical Reference Manual.*

2.1 Register Conventions

The register conventions specific to this section are listed in the following table.

Convention	Description
R	Read register or bit(s)
W	Write register or bit(s)
L	Logical register or bit(s)
C	Clearable register or bit(s)
#	Access is bit specific

2.2 Register Mapping Tables

The PSoC device has a total register address space of 512 bytes. The register space is referred to as IO space and is divided into two banks. The XOI bit in the Flag register (CPU_F) determines which bank the user is currently in. When the XOI bit is set the user is in bank 1.

Note In the following register mapping tables, blank fields are reserved and should not be accessed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register Map Bank 0 Table: User Space

Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access
PRT0DR	00	RW		40		ASC10CR0	80	RW		C0	
PRT0IE	01	RW		41		ASC10CR1	81	RW		C1	
PRT0GS	02	RW		42		ASC10CR2	82	RW		C2	
PRT0DM2	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DR	04	RW		44		ASD11CR0	84	RW		C4	
PRT1IE	05	RW		45		ASD11CR1	85	RW		C5	
PRT1GS	06	RW		46		ASD11CR2	86	RW		C6	
PRT1DM2	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DR	08	RW		48		ASC12CR0	88	RW		C8	
PRT2IE	09	RW		49		ASC12CR1	89	RW		C9	
PRT2GS	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2DM2	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DR	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3IE	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3GS	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3DM2	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DR	10	RW		50		ASD20CR0	90	RW		D0	
PRT4IE	11	RW		51		ASD20CR1	91	RW		D1	
PRT4GS	12	RW		52		ASD20CR2	92	RW		D2	
PRT4DM2	13	RW		53		ASD20CR3	93	RW		D3	
PRT5DR	14	RW		54		ASC21CR0	94	RW		D4	
PRT5IE	15	RW		55		ASC21CR1	95	RW		D5	
PRT5GS	16	RW		56		ASC21CR2	96	RW	I2C_CFG	D6	RW
PRT5DM2	17	RW		57		ASC21CR3	97	RW	I2C_SCR	D7	#
	18			58		ASD22CR0	98	RW	I2C_DR	D8	RW
	19			59		ASD22CR1	99	RW	I2C_MSCR	D9	#
	1A			5A		ASD22CR2	9A	RW	INT_CLR0	DA	RW
	1B			5B		ASD22CR3	9B	RW	INT_CLR1	DB	RW
	1C			5C		ASC23CR0	9C	RW		DC	
	1D			5D		ASC23CR1	9D	RW	INT_CLR3	DD	RW
	1E			5E		ASC23CR2	9E	RW	INT_MSK3	DE	RW
	1F			5F		ASC23CR3	9F	RW		DF	
DBB00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBB00DR1	21	W		61			A1		INT_MSK1	E1	RW
DBB00DR2	22	RW		62			A2		INT_VC	E2	RC
DBB00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RC
DBB01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RC
DBB01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0	E6	RW
DBB01CR0	27	#		67			A7		DEC_CR1	E7	RW
DCB02DR0	28	#		68			A8		MUL_X	E8	W
DCB02DR1	29	W		69			A9		MUL_Y	E9	W
DCB02DR2	2A	RW		6A			AA		MUL_DH	EA	R
DCB02CR0	2B	#		6B			AB		MUL_DL	EB	R
DCB03DR0	2C	#		6C			AC		ACC_DR1	EC	RW
DCB03DR1	2D	W		6D			AD		ACC_DR0	ED	RW
DCB03DR2	2E	RW		6E			AE		ACC_DR3	EE	RW
DCB03CR0	2F	#		6F			AF		ACC_DR2	EF	RW
DBB10DR0	30	#	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10DR1	31	W	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10DR2	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
DBB10CR0	33	#	ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11DR0	34	#	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11DR1	35	W	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11DR2	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
DBB11CR0	37	#	ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12DR0	38	#	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12DR1	39	W	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12DR2	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW		FA	
DCB12CR0	3B	#	ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13DR0	3C	#	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13DR1	3D	W	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13DR2	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
DCB13CR0	3F	#	ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed. # Access is bit specific.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register Map Bank 1 Table: Configuration Space

Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access
PRT0DM0	00	RW		40		ASC10CR0	80	RW		C0	
PRT0DM1	01	RW		41		ASC10CR1	81	RW		C1	
PRT0IC0	02	RW		42		ASC10CR2	82	RW		C2	
PRT0IC1	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DM0	04	RW		44		ASD11CR0	84	RW		C4	
PRT1DM1	05	RW		45		ASD11CR1	85	RW		C5	
PRT1IC0	06	RW		46		ASD11CR2	86	RW		C6	
PRT1IC1	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DM0	08	RW		48		ASC12CR0	88	RW		C8	
PRT2DM1	09	RW		49		ASC12CR1	89	RW		C9	
PRT2IC0	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2IC1	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DM0	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3DM1	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3IC0	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3IC1	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DM0	10	RW		50		ASD20CR0	90	RW	GDI_O_IN	D0	RW
PRT4DM1	11	RW		51		ASD20CR1	91	RW	GDI_E_IN	D1	RW
PRT4IC0	12	RW		52		ASD20CR2	92	RW	GDI_O_OU	D2	RW
PRT4IC1	13	RW		53		ASD20CR3	93	RW	GDI_E_OU	D3	RW
PRT5DM0	14	RW		54		ASC21CR0	94	RW		D4	
PRT5DM1	15	RW		55		ASC21CR1	95	RW		D5	
PRT5IC0	16	RW		56		ASC21CR2	96	RW		D6	
PRT5IC1	17	RW		57		ASC21CR3	97	RW		D7	
	18			58		ASD22CR0	98	RW		D8	
	19			59		ASD22CR1	99	RW		D9	
	1A			5A		ASD22CR2	9A	RW		DA	
	1B			5B		ASD22CR3	9B	RW		DB	
	1C			5C		ASC23CR0	9C	RW		DC	
	1D			5D		ASC23CR1	9D	RW	OSC_GO_EN	DD	RW
	1E			5E		ASC23CR2	9E	RW	OSC_CR4	DE	RW
	1F			5F		ASC23CR3	9F	RW	OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW		64			A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5			E5	
DBB01OU	26	RW	AMD_CR1	66	RW		A6			E6	
	27		ALT_CR0	67	RW		A7			E7	
DCB02FN	28	RW	ALT_CR1	68	RW		A8		IMO_TR	E8	W
DCB02IN	29	RW	CLK_CR2	69	RW		A9		ILO_TR	E9	W
DCB02OU	2A	RW		6A			AA		BDG_TR	EA	RW
	2B			6B			AB		ECO_TR	EB	W
DCB03FN	2C	RW		6C			AC			EC	
DCB03IN	2D	RW		6D			AD			ED	
DCB03OU	2E	RW		6E			AE			EE	
	2F			6F			AF			EF	
DBB10FN	30	RW	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10IN	31	RW	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10OU	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11FN	34	RW	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11IN	35	RW	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11OU	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12FN	38	RW	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12IN	39	RW	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12OU	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW		FA	
	3B		ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13FN	3C	RW	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13IN	3D	RW	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13OU	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
	3F		ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed. # Access is bit specific

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Electrical Specifications

This chapter presents the DC and AC electrical specifications of the CY8C27x43 PSoC device. For the most up to date electrical specifications, confirm that you have the most recent data sheet by going to the web at [illegible]

Specifications are valid for -40°C ≤ T_A ≤ 85°C and T_J ≤ 100°C, except where noted. Specifications for devices running at greater than 12 MHz are valid for -40°C ≤ T_A ≤ 70°C and T_J ≤ 82°C.

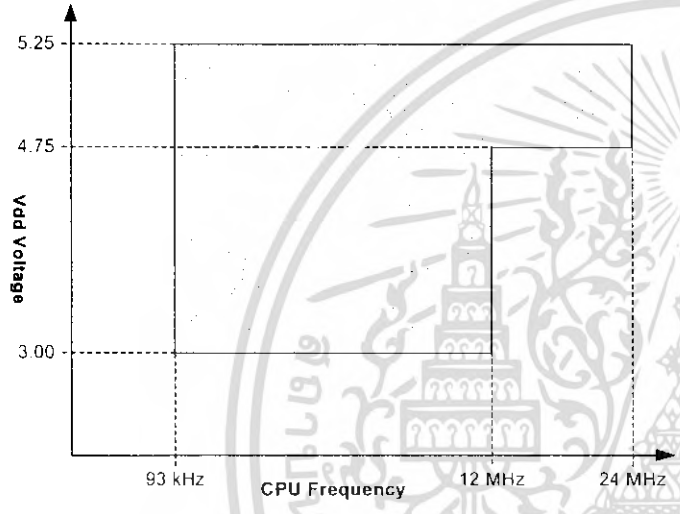


Figure 3-1. Voltage versus CPU Frequency

The following table lists the units of measure that are used in this chapter.

Table 3-1: Units of Measure

Symbol	Unit of Measure	Symbol	Unit of Measure
°C	degree Celsius	µW	micro watts
dB	decibels	mA	milli-ampere
fF	femto farad	ms	milli-second
Hz	hertz	mV	milli-volts
KB	1024 bytes	nA	nano ampere
Kbit	1024 bits	ns	nanosecond
kHz	kilohertz	nV	nanovolts
kΩ	kilohm	Ω	ohm
MHz	megahertz	pA	pico ampere
MΩ	megaohm	pF	pico farad
µA	micro ampere	pp	peak-to-peak
µF	micro farad	ppm	parts per million
µH	micro henry	ps	picosecond
µs	microsecond	sps	samples per second
µV	micro volts	σ	sigma: one standard deviation
µVrms	micro volts root-mean-square	V	volts

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 Absolute Maximum Ratings

Table 3-2. Absolute Maximum Ratings

Symbol	Description	Min	Typ	Max	Units	Notes
T_{STG}	Storage Temperature	-55	–	+100	°C	Higher storage temperatures will reduce data retention time.
T_A	Ambient Temperature with Power Applied	-40	–	+85	°C	
Vdd	Supply Voltage on Vdd Relative to Vss	-0.5	–	+6.0	V	
V_{IO}	DC Input Voltage	Vss- 0.5	–	Vdd + 0.5	V	
–	DC Voltage Applied to Tri-state	Vss - 0.5	–	Vdd + 0.5	V	
I_{MIO}	Maximum Current into any Port Pin	-25	–	+50	mA	
I_{MAIO}	Maximum Current into any Port Pin Configured as Analog Driver	-50	–	+50	mA	
ESD	Electro Static Discharge Voltage	2000	–	–	V	Human Body Model ESD
–	Latch-up Current	–	–	200	mA	

3.2 Operating Temperature

Table 3-3. Operating Temperature

Symbol	Description	Min	Typ	Max	Units	Notes
T_A	Ambient Temperature	-40	–	+85	°C	
T_J	Junction Temperature	-40	–	+100	°C	The temperature rise from ambient to junction is package specific. See [illegible] page [illegible]. The user must limit the power consumption to comply with this requirement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 DC Electrical Characteristics

3.3.1 DC Chip-Level Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-4. DC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
Vdd	Supply Voltage	3.00	–	5.25	V	
I_{DD}	Supply Current	–	5	8	mA	Conditions are Vdd = 5.0V, T_A = 25 °C, CPU = 3 MHz, 48 MHz = Disabled, VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 93.75 kHz.
I_{DD3}	Supply Current	–	3.3	6.0	mA	Conditions are Vdd = 3.3V, T_A = 25 °C, CPU = 3 MHz, 48 MHz = Disabled, VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 93.75 kHz.
I_{SB}	Sleep (Mode) Current with POR, LVD, Sleep Timer, and WDT.[a]	–	3	6.5	µA	Conditions are with internal slow speed oscillator, Vdd = 3.3V, -40 °C ≤ T_A ≤ 55 °C.
I_{SBH}	Sleep (Mode) Current with POR, LVD, Sleep Timer, and WDT at high temperature.[a]	–	4	25	µA	Conditions are with internal slow speed oscillator, Vdd = 3.3V, 55 °C < T_A ≤ 85 °C.
I_{SBXTL}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, and external crystal.[a]	–	4	7.5	µA	Conditions are with properly loaded, 1 µW max, 32.768 kHz crystal. Vdd = 3.3V, -40 °C ≤ T_A ≤ 55 °C.
I_{SBXTLH}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, and external crystal at high temperature.[a]	–	5	26	µA	Conditions are with properly loaded, 1 µW max, 32.768 kHz crystal. Vdd = 3.3V, 55 °C < T_A ≤ 85 °C.
V_{REF}	Reference Voltage (Bandgap) for Silicon A [b]	1.275	1.300	1.325	V	Trimmed for appropriate Vdd.
V_{REF}	Reference Voltage (Bandgap) for Silicon B [b]	1.280	1.300	1.320	V	Trimmed for appropriate Vdd.

a. Standby current includes all functions (POR, LVD, WDT, Sleep Time) needed for reliable system operation. This should be compared with devices that have similar functions enabled.

b. Refer to the

3.3.2 DC General Purpose IO Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-5. DC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R_{PU}	Pull up Resistor	4	5.6	8	kΩ	
R_{PD}	Pull down Resistor	4	5.6	8	kΩ	
V_{OH}	High Output Level	Vdd - 1.0	–	–	V	IOH = 10 mA, Vdd = 4.75 to 5.25V (8 total loads, 4 on even port pins (for example, P0[2], P1[4]), 4 on odd port pins (for example, P0[3], P1[5])).
V_{OL}	Low Output Level	–	–	0.75	V	IOL = 25 mA, Vdd = 4.75 to 5.25V (8 total loads, 4 on even port pins (for example, P0[2], P1[4]), 4 on odd port pins (for example, P0[3], P1[5])).
V_{IL}	Input Low Level	–	–	0.8	V	Vdd = 3.0 to 5.25
V_{IH}	Input High Level	2.1	–		V	Vdd = 3.0 to 5.25
V_H	Input Hysteresis	–	60	–	mV	
I_{IL}	Input Leakage (Absolute Value)	–	1	–	nA	Gross tested to 1 µA.
C_{IN}	Capacitive Load on Pins as Input	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.
C_{OUT}	Capacitive Load on Pins as Output	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 DC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

The Operational Amplifier is a component of both the Analog Continuous Time PSoC blocks and the Analog Switched Cap PSoC blocks. The guaranteed specifications are measured in the Analog Continuous Time PSoC block. Typical parameters apply to 5V at 25°C and are for design guidance only.

Table 3-6. 5V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value)					
	Power = Low, Opamp Bias = High	–	1.6	10	mV	
	Power = Medium, Opamp Bias = High	–	1.3	8	mV	
	Power = High, Opamp Bias = High	–	1.2	7.5	mV	
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	µV/°C	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	20	–	pA	Gross tested to 1 µA.
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C.
V_{CMOA}	Common Mode Voltage Range	0.0	–	Vdd	V	The common-mode input voltage range is measured through an analog output buffer. The specification includes the limitations imposed by the characteristics of the analog output buffer.
	Common Mode Voltage Range (high power or high opamp bias)	0.5	–	Vdd - 0.5		
$CMRR_{OA}$	Common Mode Rejection Ratio		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low	60				
	Power = Medium	60				
	Power = High	60				
G_{OLOA}	Open Loop Gain		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low	60				
	Power = Medium	60				
	Power = High	80				
$V_{OHIGHOA}$	High Output Voltage Swing (internal signals)					
	Power = Low	Vdd - 0.2	–	–	V	
	Power = Medium	Vdd - 0.2	–	–	V	
	Power = High	Vdd - 0.5	–	–	V	
V_{OLOWOA}	Low Output Voltage Swing (internal signals)					
	Power = Low	–	–	0.2	V	
	Power = Medium	–	–	0.2	V	
	Power = High	–	–	0.5	V	
I_{SOA}	Supply Current (including associated AGND buffer)					
	Power = Low, Opamp Bias = Low	–	150	200	µA	
	Power = Low, Opamp Bias = High	–	300	400	µA	
	Power = Medium, Opamp Bias = Low	–	600	800	µA	
	Power = Medium, Opamp Bias = High	–	1200	1600	µA	
	Power = High, Opamp Bias = Low	–	2400	3200	µA	
	Power = High, Opamp Bias = High	–	4600	6400	µA	
$PSRR_{OA}$	Supply Voltage Rejection Ratio	60	–	–	dB	0V ≤ V_{IN} ≤ (Vdd - 2.25) or (Vdd - 1.25V) ≤ V_{IN} ≤ Vdd.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-7. 3.3V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value)					
	Power = Low, Opamp Bias = High	–	1.65	10	mV	
	Power = Medium, Opamp Bias = High	–	1.32	8	mV	
	High Power is 5 Volts Only					
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	µV/°C	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	20	–	pA	Gross tested to 1 µA.
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C.
V_{CMOA}	Common Mode Voltage Range	0.2	–	Vdd - 0.2	V	The common-mode input voltage range is measured through an analog output buffer. The specification includes the limitations imposed by the characteristics of the analog output buffer.
$CMRR_{OA}$	Common Mode Rejection Ratio		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low	50				
	Power = Medium	50				
	Power = High	50				
G_{OLOA}	Open Loop Gain		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low	60				
	Power = Medium	60				
	Power = High	80				
$V_{OHIGHOA}$	High Output Voltage Swing (internal signals)					
	Power = Low	Vdd - 0.2	–	–	V	
	Power = Medium	Vdd - 0.2	–	–	V	
	Power = High is 5V only	Vdd - 0.2	–	–	V	
V_{OLOWOA}	Low Output Voltage Swing (internal signals)					
	Power = Low	–	–	0.2	V	
	Power = Medium	–	–	0.2	V	
	Power = High	–	–	0.2	V	
I_{SOA}	Supply Current (including associated AGND buffer)					
	Power = Low, Opamp Bias = Low	–	150	200	µA	
	Power = Low, Opamp Bias = High	–	300	400	µA	
	Power = Medium, Opamp Bias = Low	–	600	800	µA	
	Power = Medium, Opamp Bias = High	–	1200	1600	µA	
	Power = High, Opamp Bias = Low	–	2400	3200	µA	
	Power = High, Opamp Bias = High	–	4600	6400	µA	
$PSRR_{OA}$	Supply Voltage Rejection Ratio	50	–	–	dB	$0V \le V_{IN} < (Vdd - 2.25)$ or $(Vdd - 1.25V) \le V_{IN} \le Vdd$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 DC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-8. 5V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	–	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	–	+6	–	µV/°C	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	–	Vdd - 1.0	V	
R_{OUTOB}	Output Resistance					
	Power = Low	–	1	–	Ω	
	Power = High	–	1	–	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 32 ohms to Vdd/2)					
	Power = Low	0.5 x Vdd + 1.3	–	–	V	
	Power = High	0.5 x Vdd + 1.3	–	–	V	
V_{OLOWOB}	Low Output Voltage Swing (Load = 32 ohms to Vdd/2)					
	Power = Low	–	–	0.5 x Vdd - 1.3	V	
	Power = High	–	–	0.5 x Vdd - 1.3	V	
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low	–	1.1	5.1	mA	
	Power = High	–	2.6	8.8	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	60	–	–	dB	

Table 3-9. 3.3V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	–	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	–	+6	–	µV/°C	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	–	Vdd - 1.0	V	
R_{OUTOB}	Output Resistance					
	Power = Low	–	1	–	Ω	
	Power = High	–	1	–	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 1k ohms to Vdd/2)					
	Power = Low	0.5 x Vdd + 1.0	–	–	V	
	Power = High	0.5 x Vdd + 1.0	–	–	V	
V_{OLOWOB}	Low Output Voltage Swing (Load = 1k ohms to Vdd/2)					
	Power = Low	–	–	0.5 x Vdd - 1.0	V	
	Power = High	–	–	0.5 x Vdd - 1.0	V	
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low	–	0.8	2.0	mA	
	Power = High	–	2.0	4.3	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	60	–	–	dB	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.5 DC Switch Mode Pump Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-10. DC Switch Mode Pump (SMP) Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{PUMP} 5V	5V Output Voltage	4.75	5.0	5.25	V	Configuration of footnote [a]. Average, neglecting ripple. SMP trip voltage is set to 5.0V.
V_{PUMP} 3V	3V Output Voltage	3.00	3.25	3.60	V	Configuration of footnote [a]. Average, neglecting ripple. SMP trip voltage is set to 3.25V.
I_{PUMP}	Available Output Current V_{BAT} = 1.5V, V_{PUMP} = 3.25V V_{BAT} = 1.8V, V_{PUMP} = 5.0V	 8 5	 – –	 – –	 mA mA	Configuration of footnote [a]. SMP trip voltage is set to 3.25V. SMP trip voltage is set to 5.0V.
V_{BAT}5V	Input Voltage Range from Battery	1.8	–	5.0	V	Configuration of footnote [a]. SMP trip voltage is set to 5.0V.
V_{BAT}3V	Input Voltage Range from Battery	1.0	–	3.3	V	Configuration of footnote [a]. SMP trip voltage is set to 3.25V.
$V_{BATSTART}$	Minimum Input Voltage from Battery to Start Pump	1.1	–	–	V	Configuration of footnote [a].
$\Delta V_{PUMP\ Line}$	Line Regulation (over V_{BAT} range)	–	5	–	$\%V_O$	Configuration of footnote [a]. V_O is the "Vdd Value for PUMP Trip" specified by the VM[2:0] setting in the DC POR and LVD Specification.
$\Delta V_{PUMP\ Load}$	Load Regulation	–	5	–	$\%V_O$	Configuration of footnote [a]. V_O is the "Vdd Value for PUMP Trip" specified by the VM[2:0] setting in the DC POR and LVD Specification.
$\Delta V_{PUMP\ Ripple}$	Output Voltage Ripple (depends on capacitor/load)	–	100	–	mVpp	Configuration of footnote [a]. Load is 5mA.
E_3	Efficiency	35	50	–	%	Configuration of footnote [a]. Load is 5 mA. SMP trip voltage is set to 3.25V.
F_{PUMP}	Switching Frequency	–	1.3	–	MHz	
DC_{PUMP}	Switching Duty Cycle	–	50	–	%	

a. L_1 = 2 µH inductor, C_1 = 10 µF capacitor, D_1 = Schottky diode. See Figure 3-2.

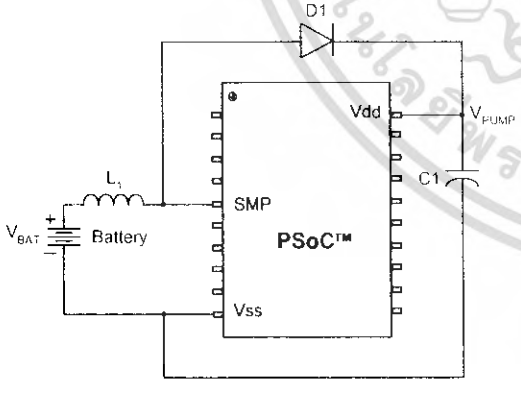


Figure 3-2. Basic Switch Mode Pump Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.6 DC Analog Reference Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

The guaranteed specifications are measured through the Analog Continuous Time PSoC blocks. The power levels for AGND refer to the power of the Analog Continuous Time PSoC block. The power levels for RefHi and RefLo refer to the Analog Reference Control register. The limits stated for AGND include the offset error of the AGND buffer local to the Analog Continuous Time PSoC block. Reference control power is high.

Table 3-11. Silicon Revision A – 5V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.274	1.30	1.326	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.030	Vdd/2 - 0.004	Vdd/2 + 0.003	V
–	AGND = 2 x BandGap[a]	2 x BG - 0.043	2 x BG - 0.010	2 x BG + 0.024	V
–	AGND = P2[4] (P2[4] = Vdd/2)[a]	P2[4] - 0.013	P2[4]	P2[4] + 0.014	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]	1.6 x BG - 0.018	1.6 x BG	1.6 x BG + 0.018	V
–	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	V
–	RefHi = Vdd/2 + BandGap	Vdd/2 + BG - 0.140	Vdd/2 + BG - 0.018	Vdd/2 + BG + 0.103	V
–	RefHi = 3 x BandGap	3 x BG - 0.112	3 x BG - 0.018	3 x BG + 0.076	V
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 1.3V)	2 x BG + P2[6] - 0.113	2 x BG + P2[6] - 0.018	2 x BG + P2[6] + 0.077	V
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	P2[4] + BG - 0.130	P2[4] + BG - 0.016	P2[4] + BG + 0.098	V
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.133	P2[4] + P2[6] - 0.016	P2[4] + P2[6] + 0.100	V
–	RefHi = 3.2 x BandGap	3.2 x BG - 0.112	3.2 x BG	3.2 x BG + 0.076	V
–	RefLo = Vdd/2 – BandGap	Vdd/2 - BG - 0.051	Vdd/2 - BG + 0.024	Vdd/2 - BG + 0.098	V
–	RefLo = BandGap	BG - 0.082	BG + 0.023	BG + 0.129	V
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 1.3V)	2 x BG - P2[6] - 0.084	2 x BG - P2[6] + 0.025	2 x BG - P2[6] + 0.134	V
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	P2[4] - BG - 0.056	P2[4] - BG + 0.026	P2[4] - BG + 0.107	V
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.057	P2[4] - P2[6] + 0.026	P2[4] - P2[6] + 0.110	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

Table 3-12. Silicon Revision B – 5V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.28	1.30	1.32	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.030	Vdd/2	Vdd/2 + 0.007	V
–	AGND = 2 x BandGap[a]	2 x BG - 0.043	2 x BG	2 x BG + 0.024	V
–	AGND = P2[4] (P2[4] = Vdd/2)[a]	P2[4] - 0.011	P2[4]	P2[4] + 0.011	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]	1.6 x BG - 0.018	1.6 x BG	1.6 x BG + 0.018	V
–	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	V
–	RefHi = Vdd/2 + BandGap	Vdd/2 + BG - 0.1	Vdd/2 + BG - 0.01	Vdd/2 + BG + 0.1	V
–	RefHi = 3 x BandGap	3 x BG - 0.06	3 x BG - 0.01	3 x BG + 0.06	V
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 1.3V)	2 x BG + P2[6] - 0.06	2 x BG + P2[6] - 0.01	2 x BG + P2[6] + 0.06	V
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	P2[4] + BG - 0.06	P2[4] + BG - 0.01	P2[4] + BG + 0.06	V
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.06	P2[4] + P2[6] - 0.01	P2[4] + P2[6] + 0.06	V
–	RefHi = 3.2 x BandGap	3.2 x BG - 0.06	3.2 x BG - 0.01	3.2 x BG + 0.06	V
–	RefLo = Vdd/2 – BandGap	Vdd/2 - BG - 0.051	Vdd/2 - BG + 0.01	Vdd/2 - BG + 0.06	V
–	RefLo = BandGap	BG - 0.06	BG + 0.01	BG + 0.06	V
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 1.3V)	2 x BG - P2[6] - 0.04	2 x BG - P2[6] + 0.01	2 x BG - P2[6] + 0.04	V
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	P2[4] - BG - 0.056	P2[4] - BG + 0.01	P2[4] - BG + 0.056	V
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.056	P2[4] - P2[6] + 0.01	P2[4] - P2[6] + 0.056	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-13. Silicon Revision A – 3.3V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.274	1.30	1.326	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.027	Vdd/2 - 0.003	Vdd/2 + 0.002	V
–	AGND = 2 x BandGap[a]	Not Allowed			
–	AGND = P2[4] (P2[4] = Vdd/2)	P2[4] - 0.008	P2[4] + 0.001	P2[4] + 0.009	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]	1.6 x BG - 0.018	1.6 x BG	1.6 x BG + 0.018	V
-	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	mV
–	RefHi = Vdd/2 + BandGap	Not Allowed			
–	RefHi = 3 x BandGap	Not Allowed			
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] + P2[6] - 0.075	P2[4] + P2[6] - 0.009	P2[4] + P2[6] + 0.057	V
–	RefHi = 3.2 x BandGap	Not Allowed			
–	RefLo = Vdd/2 - BandGap	Not Allowed			
–	RefLo = BandGap	Not Allowed			
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] - P2[6] - 0.048	P2[4] - P2[6] + 0.022	P2[4] - P2[6] + 0.092	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

Note See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on trimming for operation at 3.3V.

Table 3-14. Silicon Revision B – 3.3V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.28	1.30	1.32	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.027	Vdd/2	Vdd/2 + 0.005	V
–	AGND = 2 x BandGap[a]	Not Allowed			
–	AGND = P2[4] (P2[4] = Vdd/2)	P2[4] - 0.008	P2[4]	P2[4] + 0.009	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]	1.6 x BG - 0.018	1.6 x BG	1.6 x BG + 0.018	V
-	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	mV
–	RefHi = Vdd/2 + BandGap	Not Allowed			
–	RefHi = 3 x BandGap	Not Allowed			
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] + P2[6] - 0.06	P2[4] + P2[6] - 0.01	P2[4] + P2[6] + 0.057	V
–	RefHi = 3.2 x BandGap	Not Allowed			
–	RefLo = Vdd/2 - BandGap	Not Allowed			
–	RefLo = BandGap	Not Allowed			
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefLo = P2[4] - BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] - P2[6] - 0.048	P2[4] - P2[6] + 0.01	P2[4] - P2[6] + 0.048	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

Note See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on trimming for operation at 3.3V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.7 DC Analog PSoC Block Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-15. DC Analog PSoC Block Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R_{CT}	Resistor Unit Value (Continuous Time)	–	12.2	–	kΩ	
C_{SC}	Capacitor Unit Value (Switch Cap)	–	80	–	fF	

3.3.8 DC POR and LVD Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Note The bits PORLEV and VM in the table below refer to bits in the VLT_CR register. See the *PSoC Mixed Signal Array Technical Reference Manual* for more information on the VLT_CR register.

Table 3-16. DC POR and LVD Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
	Vdd Value for PPOR Trip (positive ramp)					
V_{PPOR0R}	PORLEV[1:0] = 00b		2.91		V	
V_{PPOR1R}	PORLEV[1:0] = 01b	–	4.39	–	V	
V_{PPOR2R}	PORLEV[1:0] = 10b		4.55		V	
	Vdd Value for PPOR Trip (negative ramp)					
V_{PPOR0}	PORLEV[1:0] = 00b		2.82		V	
V_{PPOR1}	PORLEV[1:0] = 01b	–	4.39	–	V	
V_{PPOR2}	PORLEV[1:0] = 10b		4.55		V	
	PPOR Hysteresis					
V_{PH0}	PORLEV[1:0] = 00b	–	92	–	mV	
V_{PH1}	PORLEV[1:0] = 01b	–	0	–	mV	
V_{PH2}	PORLEV[1:0] = 10b	–	0	–	mV	
	Vdd Value for LVD Trip					
V_{LVD0}	VM[2:0] = 000b	2.86	2.92	2.98[a]	V	
V_{LVD1}	VM[2:0] = 001b	2.96	3.02	3.08	V	
V_{LVD2}	VM[2:0] = 010b	3.07	3.13	3.20	V	
V_{LVD3}	VM[2:0] = 011b	3.92	4.00	4.08	V	
V_{LVD4}	VM[2:0] = 100b	4.39	4.48	4.57	V	
V_{LVD5}	VM[2:0] = 101b	4.55	4.64	4.74[b]	V	
V_{LVD6}	VM[2:0] = 110b	4.63	4.73	4.82	V	
V_{LVD7}	VM[2:0] = 111b	4.72	4.81	4.91	V	
	Vdd Value for PUMP Trip					
V_{PUMP0}	VM[2:0] = 000b	2.96	3.02	3.08	V	
V_{PUMP1}	VM[2:0] = 001b	3.03	3.10	3.16	V	
V_{PUMP2}	VM[2:0] = 010b	3.18	3.25	3.32	V	
V_{PUMP3}	VM[2:0] = 011b	4.11	4.19	4.28	V	
V_{PUMP4}	VM[2:0] = 100b	4.55	4.64	4.74	V	
V_{PUMP5}	VM[2:0] = 101b	4.63	4.73	4.82	V	
V_{PUMP6}	VM[2:0] = 110b	4.72	4.82	4.91	V	
V_{PUMP7}	VM[2:0] = 111b	4.90	5.00	5.10	V	

a. Always greater than 50 mV above PPOR (PORLEV = 00) for falling supply.
b. Always greater than 50 mV above PPOR (PORLEV = 10) for falling supply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.9 DC Programming Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-17. DC Programming Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
I_{DDP}	Supply Current During Programming or Verify	–	5	25	mA	
V_{ILP}	Input Low Voltage During Programming or Verify	–	–	0.8	V	
V_{IHP}	Input High Voltage During Programming or Verify	2.2	–	–	V	
I_{ILP}	Input Current when Applying Vilp to P1[0] or P1[1] During Programming or Verify	–	–	0.2	mA	Driving internal pull-down resistor.
I_{IHP}	Input Current when Applying Vihp to P1[0] or P1[1] During Programming or Verify	–	–	1.5	mA	Driving internal pull-down resistor.
V_{OLV}	Output Low Voltage During Programming or Verify	–	–	Vss + 0.75	V	
V_{OHV}	Output High Voltage During Programming or Verify	Vdd - 1.0	–	Vdd	V	
$Flash_{ENPB}$	Flash Endurance (per block)	50,000	–	–	–	Erase/write cycles per block.
$Flash_{ENT}$	Flash Endurance (total)[a]	1,800,000	–	–	–	Erase/write cycles.
$Flash_{DR}$	Flash Data Retention	10	–	–	Years	

a. A maximum of 36 x 50,000 block endurance cycles is allowed. This may be balanced between operations on 36x1 blocks of 50,000 maximum cycles each, 36x2 blocks of 25,000 maximum cycles each, or 36x4 blocks of 12,500 maximum cycles each (to limit the total number of cycles to 36x50,000 and that no single block ever sees more than 50,000 cycles).
For the full industrial range, the user must employ a temperature sensor user module (FlashTemp) and feed the result to the temperature argument before writing. Refer to the Flash APIs Application Note AN2015 at http://www.cypress.com under Application Notes for more information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 AC Electrical Characteristics

3.4.1 AC Chip-Level Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-18. AC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{IMO}	Internal Main Oscillator Frequency	23.4	24	24.6[a]	MHz	Trimmed. Utilizing factory trim values.
F_{CPU1}	CPU Frequency (5V Nominal)	0.93	24	24.6[a,b]	MHz	Trimmed. Utilizing factory trim values.
F_{CPU2}	CPU Frequency (3.3V Nominal)	0.93	12	12.3[b,c]	MHz	Trimmed. Utilizing factory trim values.
F_{48M}	Digital PSoC Block Frequency	0	48	49.2[a,b,d]	MHz	Refer to the AC Digital Block Specifications below.
F_{24M}	Digital PSoC Block Frequency	0	24	24.6[b, d]	MHz	
F_{32K1}	Internal Low Speed Oscillator Frequency	15	32	64	kHz	
F_{32K2}	External Crystal Oscillator	–	32.768	–	kHz	Accuracy is capacitor and crystal dependent. 50% duty cycle.
F_{PLL}	PLL Frequency	–	23.986	–	MHz	Multiple (x732) of crystal frequency.
Jitter24M2	24 MHz Period Jitter (PLL)	–	–	600	ps	
$T_{PLLSLEW}$	PLL Lock Time	0.5	–	10	ms	
$T_{PLLSLEWS-LOW}$	PLL Lock Time for Low Gain Setting	0.5	–	50	ms	
T_{OS}	External Crystal Oscillator Startup to 1%	–	1700	2620	ms	
T_{OSACC}	External Crystal Oscillator Startup to 100 ppm	–	2800	3800	ms	The crystal oscillator frequency is within 100 ppm of its final value by the end of the T_{osacc} period. Correct operation assumes a properly loaded 1 uW maximum drive level 32.768 kHz crystal. 3.0V ≤ Vdd ≤ 5.5V, -40 °C ≤ T_A ≤ 85 °C.
Jitter32k	32 kHz Period Jitter	–	100		ns	
T_{XRST}	External Reset Pulse Width	10	–	–	µs	
DC24M	24 MHz Duty Cycle	40	50	60	%	
Step24M	24 MHz Trim Step Size	–	50	–	kHz	
Fout48M	48 MHz Output Frequency	46.8	48.0	49.2[a,c]	MHz	Trimmed. Utilizing factory trim values.
Jitter24M1	24 MHz Period Jitter (IMO)	–	600		ps	
F_{MAX}	Maximum frequency of signal on row input or row output.	–	–	12.3	MHz	
T_{RAMP}	Supply Ramp Time	0	–	–	µs	

a. 4.75V < Vdd < 5.25V.
b. Accuracy derived from Internal Main Oscillator with appropriate trim for Vdd range.
c. 3.0V < Vdd < 3.6V. See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on trimming for operation at 3.3V.
d. See the individual user module data sheets for information on maximum frequencies for user modules.

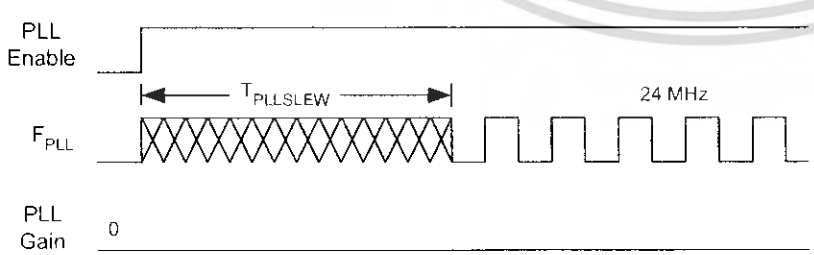


Figure 3-3. PLL Lock Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

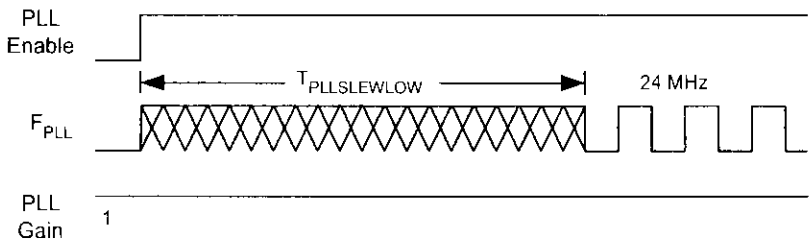


Figure 3-4. PLL Lock for Low Gain Setting Timing Diagram

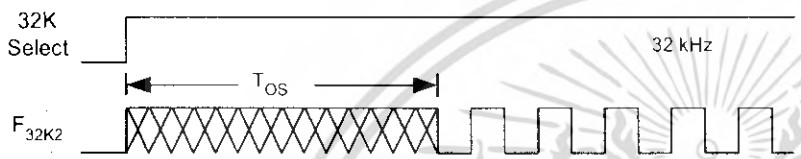


Figure 3-5. External Crystal Oscillator Startup Timing Diagram

Figure 3-6. 24 MHz Period Jitter (IMO) Timing Diagram

Figure 3-7. 32 kHz Period Jitter (ECO) Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 AC General Purpose IO Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-19. AC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{GPIO}	GPIO Operating Frequency	0	–	12	MHz	
TRiseF	Rise Time, Normal Strong Mode, Cload = 50 pF	3	–	18	ns	Vdd = 4.5 to 5.25V, 10% - 90%
TFallF	Fall Time, Normal Strong Mode, Cload = 50 pF	2	–	18	ns	Vdd = 4.5 to 5.25V, 10% - 90%
TRiseS	Rise Time, Slow Strong Mode, Cload = 50 pF	10	27	–	ns	Vdd = 3 to 5.25V, 10% - 90%
TFallS	Fall Time, Slow Strong Mode, Cload = 50 pF	10	22	–	ns	Vdd = 3 to 5.25V, 10% - 90%

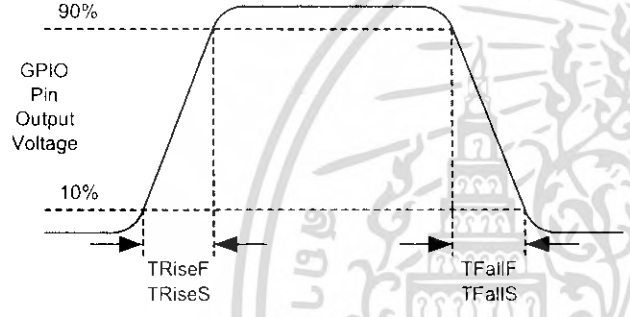


Figure 3-8. GPIO Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.3 AC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Settling times, slew rates, and gain bandwidth are based on the Analog Continuous Time PSoC block.

Power = High and Opamp Bias = High is not supported at 3.3V.

Table 3-20. 5V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time from 80% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	3.9	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
	Power = High, Opamp Bias = High	–	–	0.62	µs	
T_{SOA}	Falling Settling Time from 20% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	5.9	µs	
	Power = Medium, Opamp Bias = High	–	–	0.92	µs	
	Power = High, Opamp Bias = High	–	–	0.72	µs	
SR_{ROA}	Rising Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.15	–	–	V/µs	
	Power = Medium, Opamp Bias = High	1.7	–	–	V/µs	
	Power = High, Opamp Bias = High	6.5	–	–	V/µs	
SR_{FOA}	Falling Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.01	–	–	V/µs	
	Power = Medium, Opamp Bias = High	0.5	–	–	V/µs	
	Power = High, Opamp Bias = High	4.0	–	–	V/µs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.75	–	–	MHz	
	Power = Medium, Opamp Bias = High	3.1	–	–	MHz	
	Power = High, Opamp Bias = High	5.4	–	–	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	–	100	–	nV/rt-Hz	

Table 3-21. 3.3V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time from 80% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	3.92	µs	
	Power = Low, Opamp Bias = High	–	–	0.72	µs	
T_{SOA}	Falling Settling Time from 20% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	5.41	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
SR_{ROA}	Rising Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.31	–	–	V/µs	
	Power = Medium, Opamp Bias = High	2.7	–	–	V/µs	
SR_{FOA}	Falling Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.24	–	–	V/µs	
	Power = Medium, Opamp Bias = High	1.8	–	–	V/µs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.67	–	–	MHz	
	Power = Medium, Opamp Bias = High	2.8	–	–	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	–	100	–	nV/rt-Hz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.4 AC Digital Block Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-22. AC Digital Block Specifications

Function	Description	Min	Typ	Max	Units	Notes
All Functions	Maximum Block Clocking Frequency (> 4.75V)			49.2		4.75V < Vdd < 5.25V.
	Maximum Block Clocking Frequency (< 4.75V)			24.6		3.0V < Vdd < 4.75V.
Timer	Capture Pulse Width	50[a]	–	–	ns	
	Maximum Frequency, No Capture	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
	Maximum Frequency, With Capture	–	–	24.6	MHz	
Counter	Enable Pulse Width	50[a]	–	–	ns	
	Maximum Frequency, No Enable Input	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
	Maximum Frequency, Enable Input	–	–	24.6	MHz	
Dead Band	Kill Pulse Width:					
	Asynchronous Restart Mode	20	–	–	ns	
	Synchronous Restart Mode	50[a]	–	–	ns	
	Disable Mode	50[a]	–	–	ns	
	Maximum Frequency	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
CRCPRS (PRS Mode)	Maximum Input Clock Frequency	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
CRCPRS (CRC Mode)	Maximum Input Clock Frequency	–	–	24.6	MHz	
SPIM	Maximum Input Clock Frequency	–	–	8.2	MHz	Maximum data rate at 4.1 MHz due to 2 x over clocking.
SPIS	Maximum Input Clock Frequency	–	–	4.1	ns	
	Width of SS_ Negated Between Transmissions	50[a]	–	–	ns	
Transmitter	Maximum Input Clock Frequency [b]					
	Silicon A	–	–	16.4	MHz	Maximum data rate at 2.05 MHz due to 8 x over clocking.
	Silicon B	–	–	24.6	MHz	Maximum data rate at 3.08 MHz due to 8 x over clocking.
Receiver	Maximum Input Clock Frequency [b]					
	Silicon A	–	–	16.4	MHz	Maximum data rate at 2.05 MHz due to 8 x over clocking.
	Silicon B	–	–	24.6	MHz	Maximum data rate at 3.08 MHz due to 8 x over clocking.

a. 50 ns minimum input pulse width is based on the input synchronizers running at 24 MHz (42 ns nominal period).
b. Refer to the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.5 AC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-23. 5V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.5	µs	
	Power = High	–	–	2.5	µs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.2	µs	
	Power = High	–	–	2.2	µs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	0.65	–	–	V/µs	
	Power = High	0.65	–	–	V/µs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low	0.65	–	–	V/µs	
	Power = High	0.65	–	–	V/µs	
BW_{OB}	Small Signal Bandwidth, 20mV_{pp}, 3dB BW, 100pF Load					
	Power = Low	0.8	–	–	MHz	
	Power = High	0.8	–	–	MHz	
BW_{OB}	Large Signal Bandwidth, 1V_{pp}, 3dB BW, 100pF Load					
	Power = Low	300	–	–	kHz	
	Power = High	300	–	–	kHz	

Table 3-24. 3.3V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	3.8	µs	
	Power = High	–	–	3.8	µs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.6	µs	
	Power = High	–	–	2.6	µs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	0.5	–	–	V/µs	
	Power = High	0.5	–	–	V/µs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low	0.5	–	–	V/µs	
	Power = High	0.5	–	–	V/µs	
BW_{OB}	Small Signal Bandwidth, 20mV_{pp}, 3dB BW, 100pF Load					
	Power = Low	0.7	–	–	MHz	
	Power = High	0.7	–	–	MHz	
BW_{OB}	Large Signal Bandwidth, 1V_{pp}, 3dB BW, 100pF Load					
	Power = Low	200	–	–	kHz	
	Power = High	200	–	–	kHz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.6 AC External Clock Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-25. 5V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{OSCEXT}	Frequency	0.093	–	24.6	MHz	
–	High Period	20.6	–	5300	ns	
–	Low Period	20.6	–	–	ns	
–	Power Up IMO to Switch	150	–	–	µs	

Table 3-26. 3.3V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{OSCEXT}	Frequency with CPU Clock divide by 1[a]	0.093	–	12.3	MHz	
F_{OSCEXT}	Frequency with CPU Clock divide by 2 or greater[b]	0.186	–	24.6	MHz	
–	High Period with CPU Clock divide by 1	41.7	–	5300	ns	
–	Low Period with CPU Clock divide by 1	41.7	–	–	ns	
–	Power Up IMO to Switch	150	–	–	µs	

a. Maximum CPU frequency is 12 MHz at 3.3V. With the CPU clock divider set to 1, the external clock must adhere to the maximum frequency and duty cycle requirements.
b. If the frequency of the external clock is greater than 12 MHz, the CPU clock divider must be set to 2 or greater. In this case, the CPU clock divider will ensure that the fifty percent duty cycle requirement is met.

3.4.7 AC Programming Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-27. AC Programming Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{RSCLK}	Rise Time of SCLK	1	–	20	ns	
T_{FSCLK}	Fall Time of SCLK	1	–	20	ns	
T_{SSCLK}	Data Set up Time to Falling Edge of SCLK	40	–	–	ns	
T_{HSCLK}	Data Hold Time from Falling Edge of SCLK	40	–	–	ns	
F_{SCLK}	Frequency of SCLK	0	–	8	MHz	
T_{ERASEB}	Flash Erase Time (Block)	–	10	–	ms	
T_{WRITE}	Flash Block Write Time	–	10	–	ms	
T_{DSCLK}	Data Out Delay from Falling Edge of SCLK	–	–	45	ns	Vdd > 3.6
T_{DSCLK3}	Data Out Delay from Falling Edge of SCLK	–	–	50	ns	3.0 ≤ Vdd ≤ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.8 AC I²C Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-28. AC Characteristics of the I²C SDA and SCL Pins

Symbol	Description	Standard Mode		Fast Mode		Units	Notes
		Min	Max	Min	Max		
F_{SCLI2C}	SCL Clock Frequency	0	100	0	400	kHz	
$T_{HDSTAI2C}$	Hold Time (repeated) START Condition. After this period, the first clock pulse is generated.	4.0	–	0.6	–	µs	
T_{LOWI2C}	LOW Period of the SCL Clock	4.7	–	1.3	–	µs	
$T_{HIGHI2C}$	HIGH Period of the SCL Clock	4.0	–	0.6	–	µs	
$T_{SUSTAI2C}$	Set-up Time for a Repeated START Condition	4.7	–	0.6	–	µs	
$T_{HDDATI2C}$	Data Hold Time	0	–	0	–	µs	
$T_{SUDATI2C}$	Data Set-up Time	250	–	100[a]	–	ns	
$T_{SUSTOI2C}$	Set-up Time for STOP Condition	4.0	–	0.6	–	µs	
T_{BUFI2C}	Bus Free Time Between a STOP and START Condition	4.7	–	1.3	–	µs	
T_{SPI2C}	Pulse Width of spikes are suppressed by the input filter.	–	–	0	50	ns	

a. A Fast-Mode I2C-bus device can be used in a Standard-Mode I2C-bus system, but the requirement $t_{SU;DAT} \geq 250$ ns must then be met. This will automatically be the case if the device does not stretch the LOW period of the SCL signal. If such device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line $t_{rmax} + t_{SU;DAT} = 1000 + 250 = 1250$ ns (according to the Standard-Mode I2C-bus specification) before the SCL line is released.

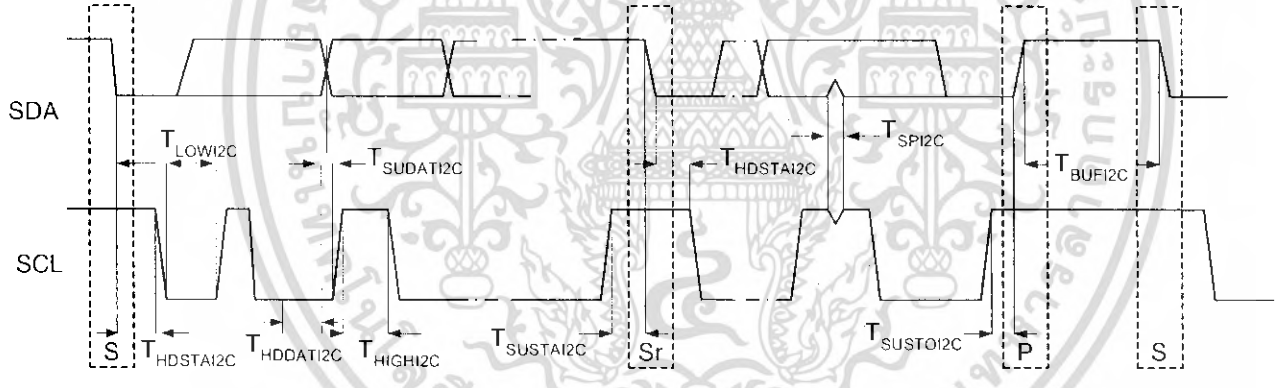


Figure 3-9. Definition for Timing for Fast/Standard Mode on the I²C Bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Packaging Information

This chapter illustrates the packaging specifications for the CY8C27x43 PSoC device, along with the thermal impedances for each package and the typical package capacitance on crystal pins.

Important Note Emulation tools may require a larger area on the target PCB than the chip's footprint. For a detailed description of the emulation tools' dimensions, refer to the document titled *PSoC Emulator Pod Dimensions* at

4.1 Packaging Dimensions

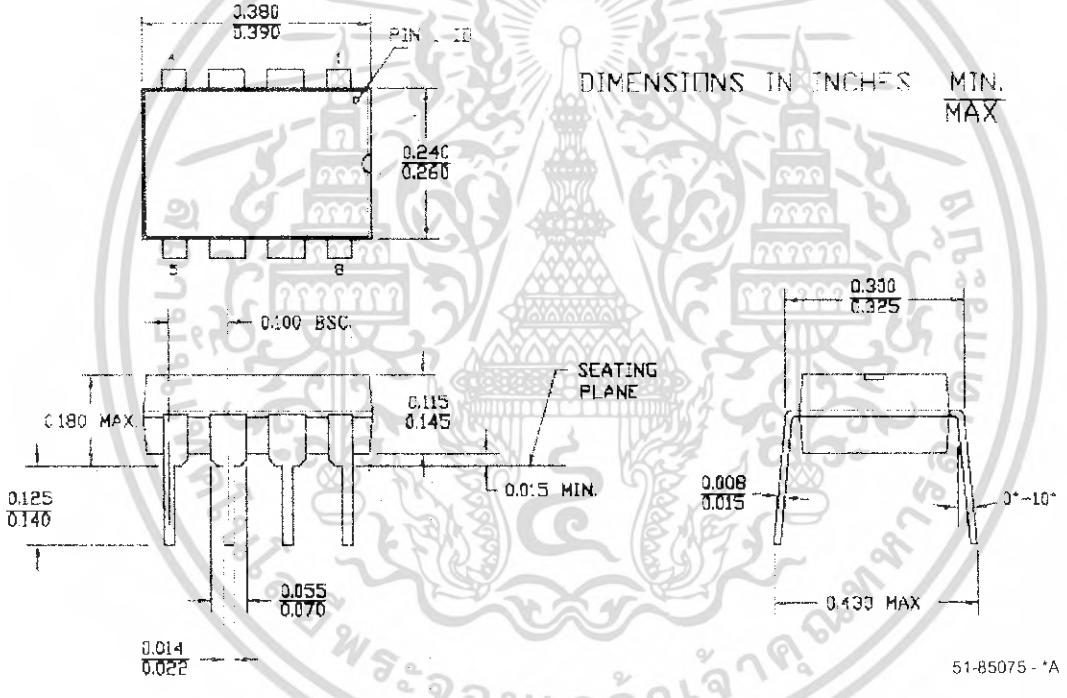


Figure 4-1. 8-Lead (300-Mil) PDIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4-2. 20-Lead (210-Mil) SSOP

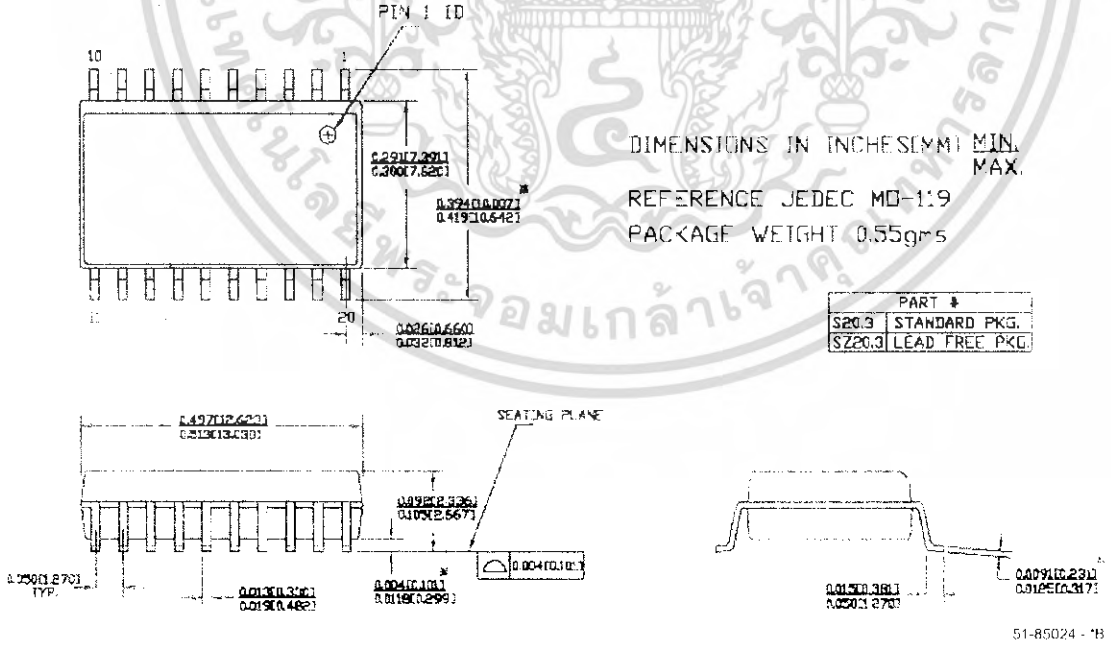


Figure 4-3. 20-Lead (300-Mil) Molded SOIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

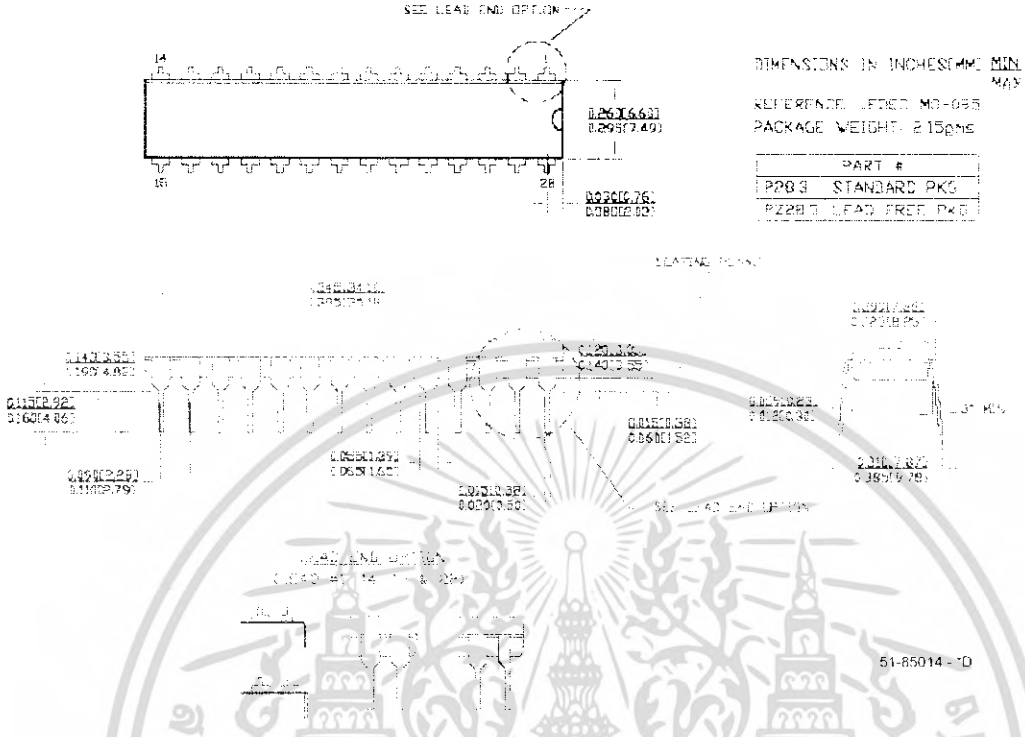


Figure 4-4. 28-Lead (300-Mil) Molded DIP

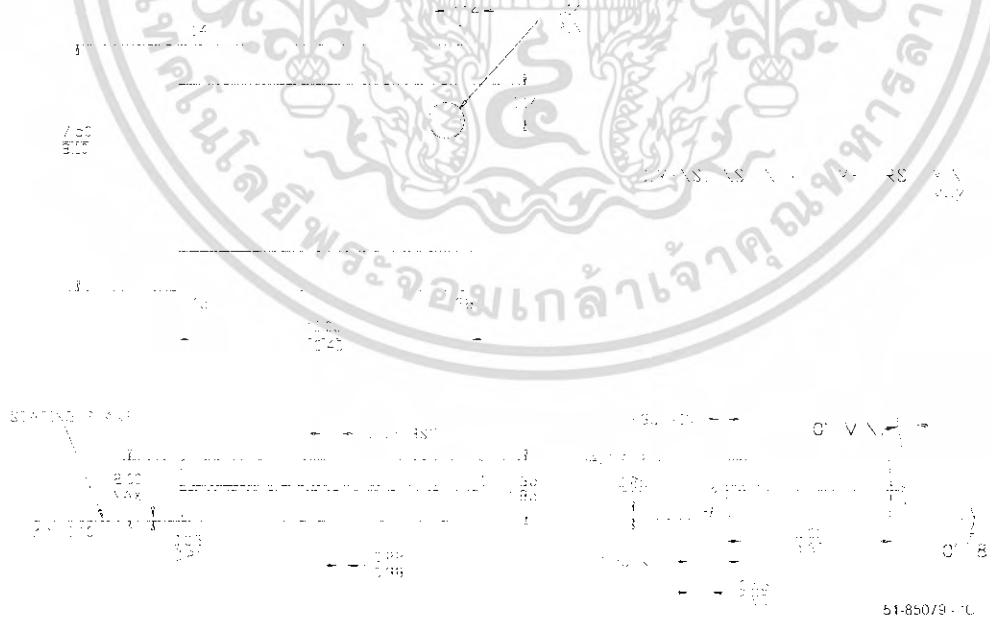


Figure 4-5. 28-Lead (210-Mil) SSOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

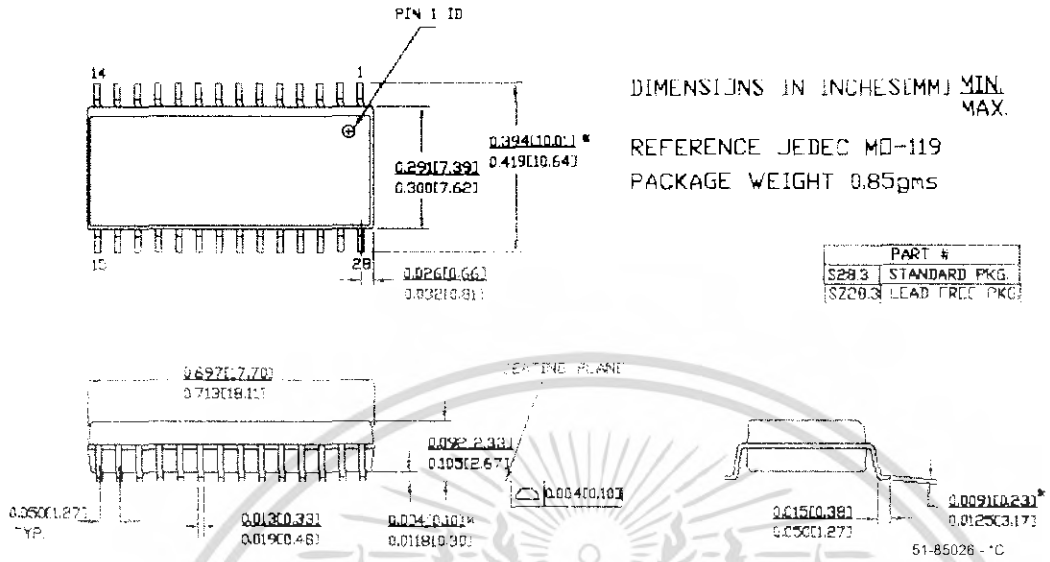


Figure 4-6. 28-Lead (300-Mil) Molded SOIC

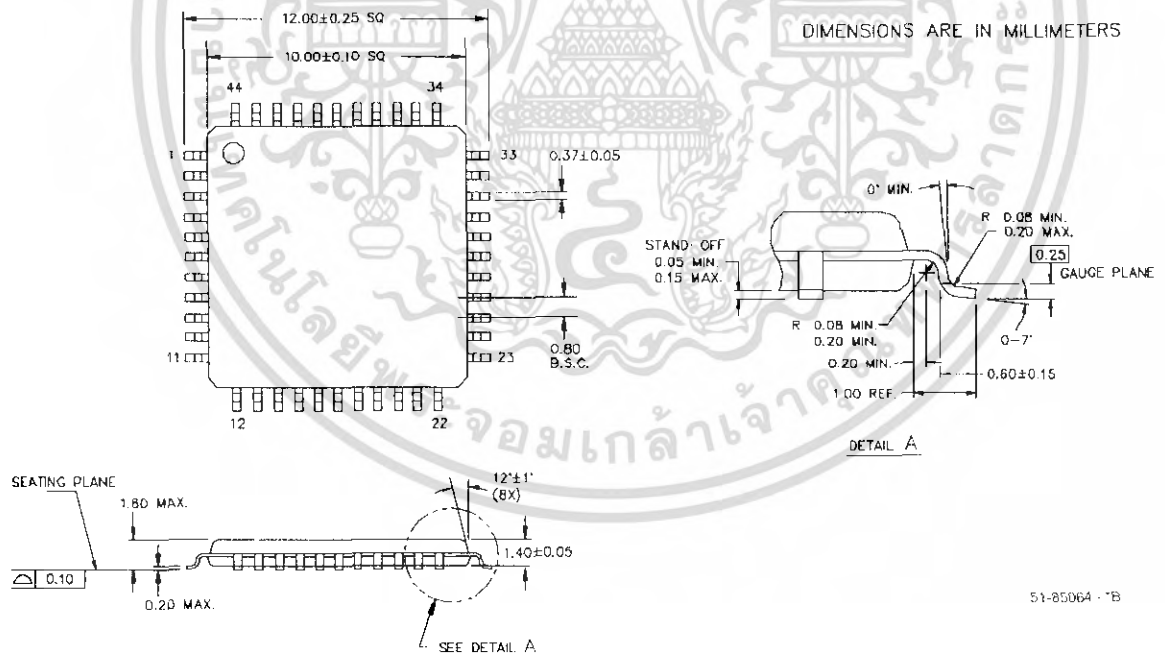


Figure 4-7. 44-Lead TQFP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

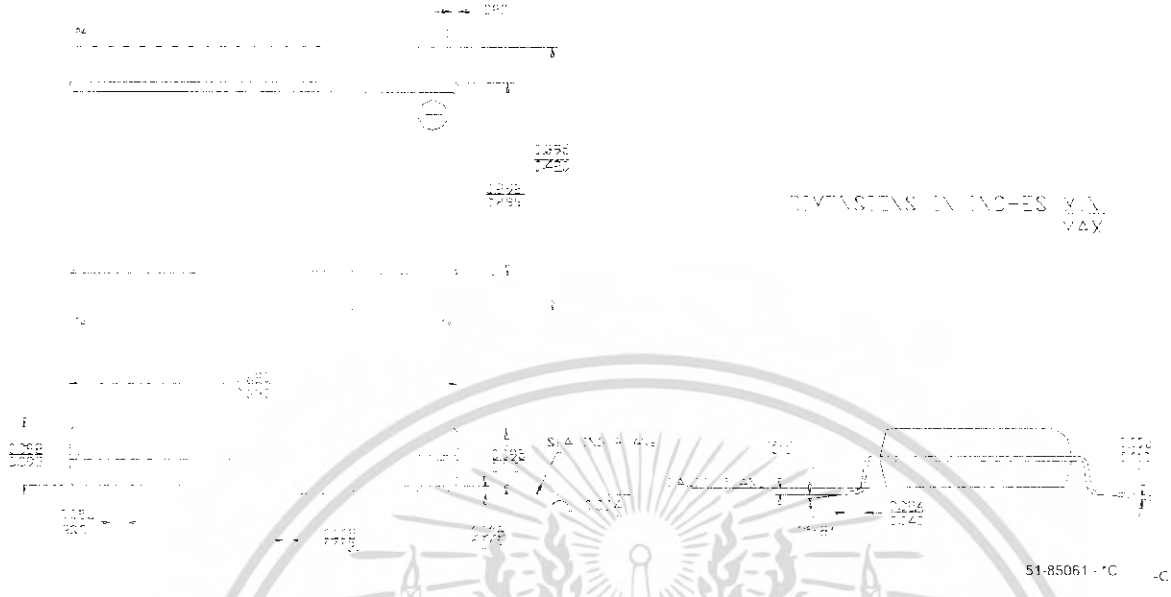


Figure 4-8. 48-Lead (300-Mil) SSOP

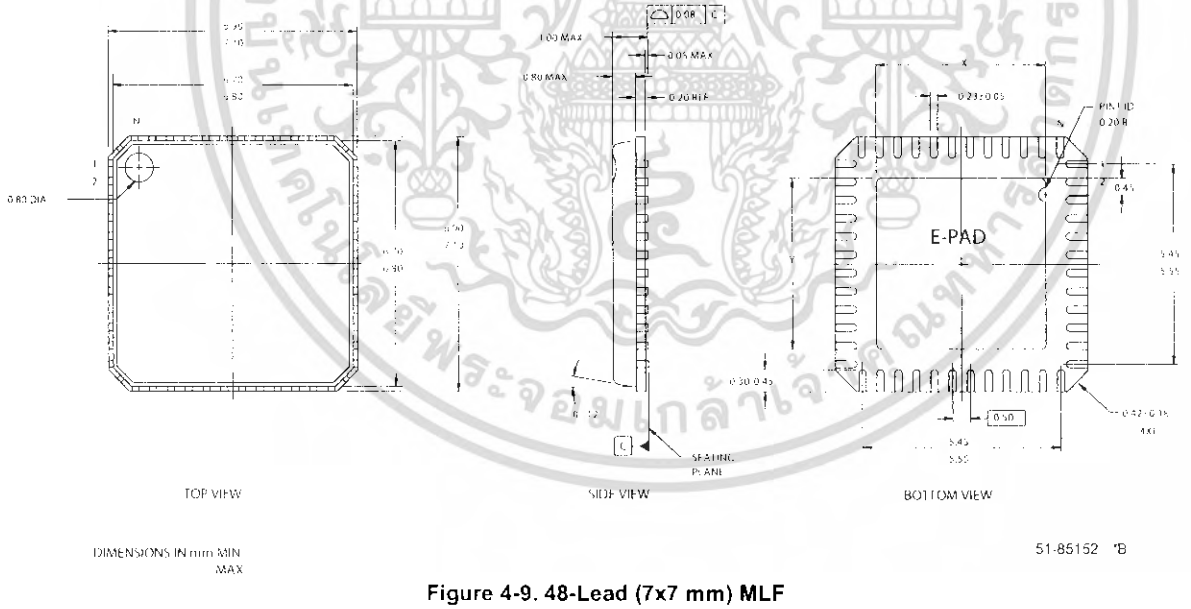


Figure 4-9. 48-Lead (7x7 mm) MLF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 Thermal Impedances

Table 4-1. Thermal Impedances per Package

Package	Typical θ_{JA} *
8 PDIP	120 °C/W
20 SSOP	95 °C/W
20 SOIC	79 °C/W
28 PDIP	67 °C/W
28 SSOP	95 °C/W
28 SOIC	71 °C/W
44 TQFP	58 °C/W
48 SSOP	69 °C/W
48 MLF	18 °C/W

* $T_J = T_A + POWER \times \theta_{JA}$

4.3 Capacitance on Crystal Pins

Table 4-2: Typical Package Capacitance on Crystal Pins

Package	Package Capacitance
8 PDIP	2.8 pF
20 SSOP	2.6 pF
20 SOIC	2.5 pF
28 PDIP	3.5 pF
28 SSOP	2.8 pF
28 SOIC	2.7 pF
44 TQFP	2.6 pF
48 SSOP	3.3 pF
48 MLF	2.3 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Ordering Information

The following table lists the CY8C27x43 PSoC device family's key package features and ordering codes.

Table 5-1. CY8C27x43 PSoC Device Family Key Features and Ordering Information

Package	Ordering Code	Flash (Kbytes)	RAM (Bytes)	Switch Mode Pump	Temperature Range	Digital Blocks (Rows of 4)	Analog Blocks (Columns of 3)	Digital IO Pins	Analog Inputs	Analog Outputs	XRES Pin
CY8C27x43 Silicon B -- These parts are lead free and offer the following improvements. The DEC_CR1 register selections are enhanced to allow any digital block to be the decimator clock source, the ECO EX and ECO EXW bits in the CPU_SCR1 register are readable, and the accuracy of the analog reference is enhanced (see the Electrical Specifications chapter). All silicon A errata are fixed in silicon B.											
8 Pin (300 Mil) DIP	CY8C27143-24PXI	16	256	No	-40C to +85C	8	12	6	4	4	No
20 Pin (210 Mil) SSOP	CY8C27243-24PVXI	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27243-24PVXIT	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (300 Mil) SOIC	CY8C27243-24SXI	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin 300 Mil) SOIC (Tape and Reel)	CY8C27243-24SXIT	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
28 Pin (300 Mil) DIP	CY8C27443-24PXI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (210 Mil) SSOP	CY8C27443-24PVXI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27443-24PVXIT	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC	CY8C27443-24SXI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC (Tape and Reel)	CY8C27443-24SXIT	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
44 Pin TQFP	CY8C27543-24AXI	16	256	Yes	-40C to +85C	8	12	40	12	4	Yes
44 Pin TQFP (Tape and Reel)	CY8C27543-24AXIT	16	256	Yes	-40C to +85C	8	12	40	12	4	Yes
48 Pin (300 Mil) SSOP	CY8C27643-24PVXI	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (300 Mil) SSOP (Tape and Reel)	CY8C27643-24PVXIT	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF	CY8C27643-24LFXI	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF (Tape and Reel)	CY8C27643-24LFXIT	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
CY8C27x43 Silicon A – Silicon A is not recommended for new designs.											

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 5-1. CY8C27x43 PSoC Device Family Key Features and Ordering Information *(continued)*

Package	Ordering Code	Flash (Kbytes)	RAM (Bytes)	Switch Mode Pump	Temperature Range	Digital Blocks (Rows of 4)	Analog Blocks (Columns of 3)	Digital IO Pins	Analog Inputs	Analog Outputs	XRES Pin

5.1 Ordering Code Definitions

CY 8 C 27 xxx-SPxx

- Package Type:
  - P = PDIP, PX = PDIP Pb Free
  - S = SOIC, SX = SOIC Pb Free
  - PV = SSOP, PVX = SSOP Pb Free
  - LF = MLF, LFX = MLF Pb Free
  - A = TQFP, AX = TQFP Pb Free
- Thermal Rating:
  - C = Commercial
  - I = Industrial
  - E = Extended
- Speed: 24 MHz
- Part Number
- Family Code
- Technology Code: C = CMOS
- Marketing Code: 8 = Cypress MicroSystems
- Company ID: CY = Cypress

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. Sales and Service Information

To obtain information about Cypress MicroSystems or PSoC sales and technical support, reference the following information or go to the section titled "Getting Started" on page 7 in this document.

Cypress MicroSystems
2700 162nd Street SW
Building D
Lynnwood, WA 98037
Phone: 800.669.0557
Facsimile: 425.787.4641

Web Sites: Company Information –
Sales –
Technical Support –

6.1 Revision History

Table 6-1. CY8C27x43 Data Sheet Revision History

Document Title: CY8C27143, CY8C27243, CY8C27443, CY8C27543, and CY8C27643 PSoC Mixed Signal Array Final Data Sheet				
Document Number: 38-12012				
Revision	**ECN #**	**Issue Date**	**Origin of Change**	**Description of Change**
**	127087	7/01/2003	New Silicon.	New document (Revision **).
*A	128780	7/29/2003	Engineering and NWJ.	New electrical spec additions, fix of Core Architecture links, corrections to some text, tables, drawings, and format.
*B	128992	8/14/2003	NWJ	Interrupt controller table fixed, refinements to Electrical Spec section and Register chapter.
*C	129283	8/28/2003	NWJ	Significant changes to the Electrical Specifications section.
*D	129442	9/09/2003	NWJ	Changes made to Electrical Spec section. Added 20/28-Lead SOIC packages and pinouts.
*E	130129	10/13/2003	NWJ	Revised document for Silicon Revision A.
*F	130651	10/28/2003	NWJ	Refinements to Electrical Specification section and I2C chapter.
*G	131298	11/18/2003	NWJ	Revisions to GDI, RDI, and Digital Block chapters. Revisions to AC Digital Block Spec and miscellaneous register changes.
*H	229416	See ECN	SFV	New data sheet format and organization. Reference the *PSoC Mixed Signal Array Technical Reference Manual* for additional information. Title change.
*I	247529	See ECN	SFV	Added Silicon B information to this data sheet.
Distribution: External Public			**Posting**: None	

6.2 Copyrights and Code Protection

Copyrights

© Cypress MicroSystems, Inc. 2000 – 2004. All rights reserved. PSoC™, PSoC Designer™, and Programmable System-on-Chip™ are trademarks of Cypress MicroSystems, Inc. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

The information contained herein is subject to change without notice. Cypress MicroSystems assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress MicroSystems product. Nor does it convey or imply any license under patent or other rights. Cypress MicroSystems does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress MicroSystems products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress MicroSystems against all charges. Cypress MicroSystems products are not warranted nor intended to be used for medical, life-support, life-saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress MicroSystems.

Flash Code Protection

Note the following details of the Flash code protection features on Cypress MicroSystems devices.

Cypress MicroSystems products meet the specifications contained in their particular Cypress MicroSystems Data Sheets. Cypress MicroSystems believes that its family of products is one of the most secure families of its kind on the market today, regardless of how they are used. There may be methods, unknown to Cypress MicroSystems, that can breach the code protection features. Any of these methods, to our knowledge, would be dishonest and possibly illegal. Neither Cypress MicroSystems nor any other semiconductor manufacturer can guarantee the security of their code. Code protection does not mean that we are guaranteeing the product as "unbreakable."

Cypress MicroSystems is willing to work with the customer who is concerned about the integrity of their code. Code protection is constantly evolving. We at Cypress MicroSystems are committed to continuously improving the code protection features of our products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Two-Pole Band Pass Filter

BPF2 v5.3

Copyright © 2002-2003. Cypress MicroSystems Inc. All Rights Reserved.

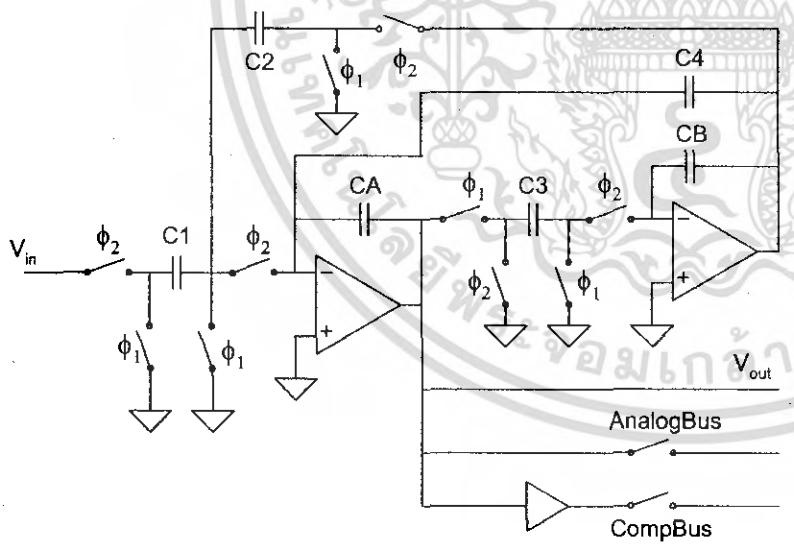
CY8C29/27/24/22xxx Data Sheet

Resources	PSoC™ Blocks Digital	Analog CT	Analog SC	API Memory (Bytes) Flash	RAM	Pins (per External I/O)
CY8C29/27/24/22xxx			2	109	0	1
CY8C26/25xxx			2	109	0	1

Features and Overview

- User-programmable, mid-band gain
- User-programmable center frequency and Q with no external components
- Filter center frequency stability directly derived from clock accuracy
- Filter sampling rates to 1.0 MHz
- Built-in, zero-crossing detector

The BPF2 User Module implements a general-purpose second order state variable, also called a biquad, band pass filter. The center frequency and Q (ratio of center frequency to bandwidth) are functions of the clock frequency and the ratios of the capacitor values chosen. The center frequency can be set very accurately or adjusted by controlling the sample rate clock. Multiple section filters can be implemented by cascading two BPF2 User Modules. The output can drive the analog output bus or can be cascaded with a second BPF2 User Module, to form a two-section filter. The filter includes a comparator referenced to analog ground. This feature enables the construction of band-limited, zero-crossing detectors.



BPF2 Schematic Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

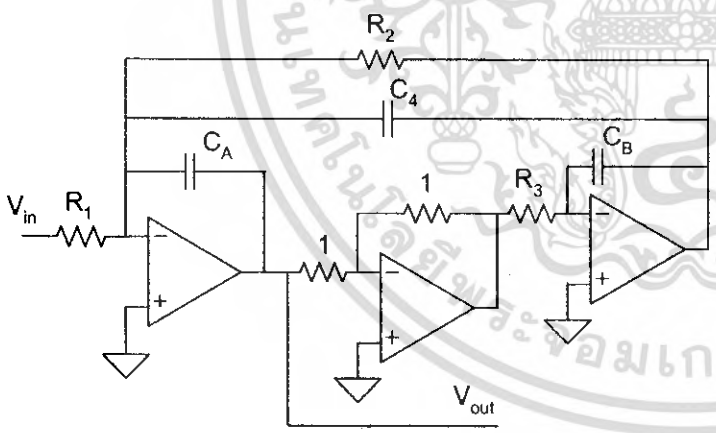
In the frequency domain, a single pole-pair band pass filter has the frequency response,

$$\frac{V_{OUT}}{V_{IN}} = \frac{\frac{G}{Q}\omega_0 s}{s^2 + \frac{s\omega_0}{Q} + \omega_0{}^2} \qquad \textbf{Equation 1}$$

In the equation above, Q is the ratio of center frequency to -3.0 dB bandwidth and ω_0 is the center frequency. Multiple pole-pair band pass filters have sections with identical Q and ω_0 scaled to meet transformed bandwidth requirements. All two-pole filters have far out-of-band attenuation asymptotic to 12 dB per octave (-6 dB per octave per pole). Band pass filters have near out-of-band attenuation proportional to 12 dB per bandwidth octave. The initial out-of-band attenuation is quite steep. When the input frequency is more than twice the center frequency of the filter, then attenuation characteristic gradually becomes asymptotic to a slope of 12 dB per center frequency octave.

Required in-band performance and near-band attenuation requirements determine the type of low-pass filter chosen, for transformation into band pass format. The standard Butterworth filter has monotonic amplitude performance and maximally flat phase shift in the pass band. Filters with low damping ratios (Chebyshev) have flatter in-band amplitude characteristics, but non-linear phase shift in the pass band and pulse response characterized by ringing. Filters with high damping ratios (Bessel) have linear phase shift in the pass band and pulse response characteristics with minimum over-shoot, but reduced near out-of-band attenuation. Values for low-pass poles are readily available in any filter design reference.

The basic form of the biquad filter is a pair of integrators with controlled DC and frequency dependent feedback paths. The biquad can be easily understood by examining the standard RC form of the biquad, shown in the following figure.



RC-Biquad Block Diagram

The typical RC-biquad band pass uses 3 opamps. The transfer function of the RC-biquad is as follows.

$$\frac{V_{OUT}}{V_{IN}} = \frac{-\frac{R_2}{R_1}\frac{1}{R_2 C_A}s}{s^2 + s\frac{C_4}{R_3 C_A C_B} + \frac{1}{R_2 R_3 C_A C_B}} \qquad \textbf{Equation 2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In the PSoC switched capacitor implementation, the center inverting opamp is eliminated by reversing the polarity of the gain of the output block. Resistors are transformed into the switched capacitors, as shown in the BPF2 Schematic Diagram.

Because of the nature of switched capacitor circuits as time-sampled devices, the transfer function is developed in the time domain, where z^{-1} is the time delay of one sample period, rather than the frequency domain ($s=j\omega$). The transfer function is converted to the frequency domain using the bi-linear transform. The transfer function resolves to the following.

$$\frac{V_{OUT}}{V_{IN}} = \frac{-\frac{C_1}{C_2}\frac{C_B}{C_3}\frac{s\left(1+\frac{s}{2f_s}\right)f_s}{\left(\frac{C_A C_B}{C_2 C_3}-\frac{1}{4}-\frac{1}{2}\frac{C_4}{C_2}\right)}}{s^2+\frac{C_4}{C_2}\frac{sf_s}{\left(\frac{C_A C_B}{C_2 C_3}-\frac{1}{4}-\frac{1}{2}\frac{C_4}{C_2}\right)}+\frac{f_s^{\,2}}{\left(\frac{C_A C_B}{C_2 C_3}-\frac{1}{4}-\frac{1}{2}\frac{C_4}{C_2}\right)}} \qquad \textbf{Equation 3}$$

Comparing this equation with the standard form of Equation 1 yields a set of the design equations for Q, center frequency, f_c, and Gain, G, as follows.

$$Q = \frac{C_2}{C_4}\left(\frac{C_A C_B}{C_2 C_3}-\frac{1}{4}-\frac{1}{2}\frac{C_4}{C_2}\right)^{\frac{1}{2}} \qquad \textbf{Equation 4}$$

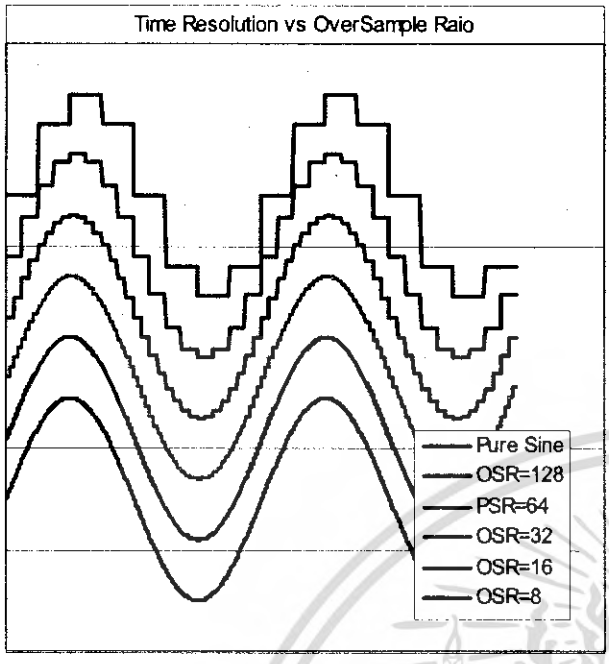
$$f_c = \frac{1}{2\pi}\frac{f_s}{\left(\frac{C_A C_B}{C_2 C_3}-\frac{1}{4}-\frac{1}{2}\frac{C_4}{C_2}\right)^{\frac{1}{2}}} \qquad \textbf{Equation 5}$$

$$G = -\frac{C_1}{C_4}\frac{C_B}{C_3} \qquad \textbf{Equation 6}$$

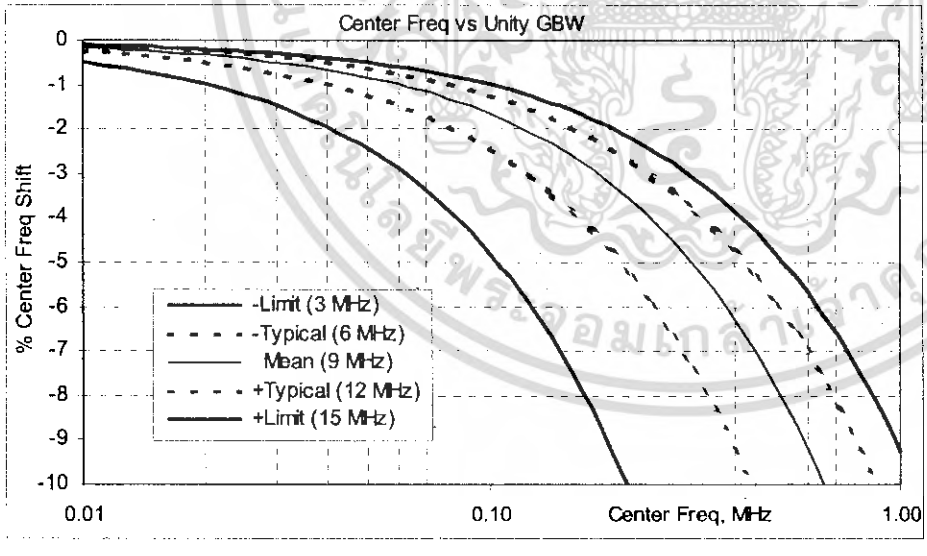
The numerator of Equation 3 has the term $1+\frac{s}{2f_s}$, which results in reduced filter attenuation as the signal frequency approaches half of the Nyquist rate (i.e., the sampling rate f_s and a small amount of amplitude bias or upwards "tilt" in the pass band). This tilt is greater for lower Q and lower sampling frequencies. It can be compensated by adjusting the nominal bandwidth of the filter.

Higher sample rates result in filter performance closer to the standard form of Equation 1 and smoother waveforms as shown in the figure below. This is true of all switched capacitor circuits, including filters, amplifiers and DACs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



The center frequency of the filter is controlled by clock frequency, capacitor resolution, and PSoC opamp performance. At higher frequencies, the opamp's reduced open-loop gain becomes significant, with the center frequency being pushed low. The effect of open loop gain, as represented by unity gain-bandwidth, on center frequency performance is shown below. Filters with center frequencies above 40 kHz should have user module power set to "HIGHPWOWER" and Op-Amp Bias set to "High" in the Global Parameters window.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

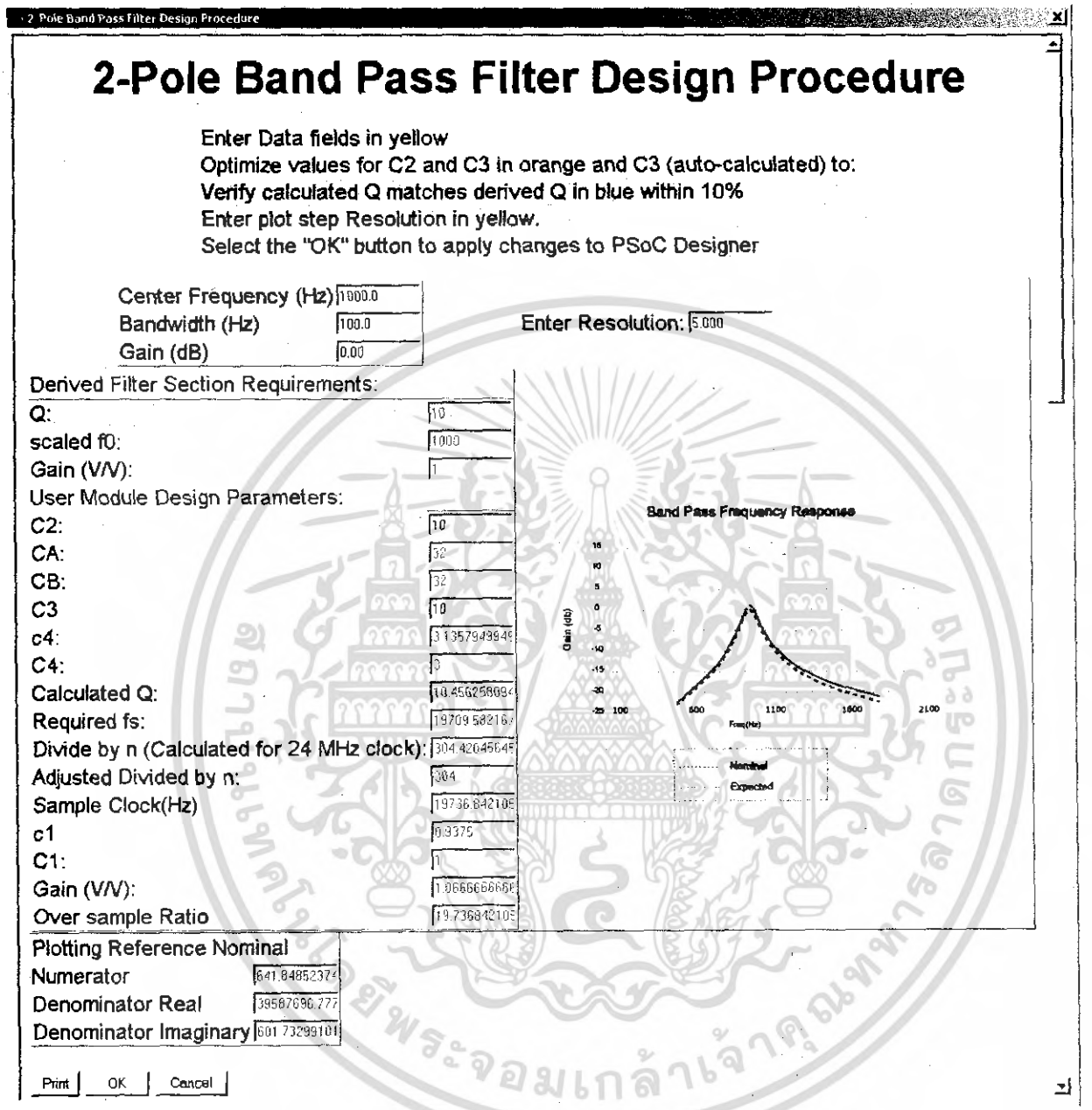
Filter Design

The design objective is to achieve the highest possible f_c for the best waveform fidelity and minimum aliasing of out-of-band signals. Other system requirements may determine sample rates; capacitor values may be tailored to achieve the required sample rate.

The BPF2 provides 3 alternatives for determining the capacitor values. PSoC designer provides a filter design wizard to automate the procedure for two-pole filters. This same procedure is implemented in the spreadsheet, *BPF2 Design.xls*, which may be obtained from the "Documentation..." entry in PSoC Designer's Help menu. A similar design procedure for two pole pair (fourth order) filters is automated in a separate Microsoft Excel spreadsheet, *LPF4 Design.xls*. Design constraints enforced by the wizard may be modified experimentally in the spreadsheets. For the ultimate in hands-on control over the design process, see the appendix at the end of this document for a numerical procedure that may be carried out manually. It also provides an example showing how the procedure works for a Butterworth filter with a 1 kHz corner frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

To use the PSoC Designer's built-in Filter Design Wizard, first place an LPF2 instance in the analog array. Right click on the user module and choose "Filter Design Wizard..." from the pop up menu. The resulting dialog, shown below, describes a simple iterative procedure for designing the transfer function.



BPF2 Filter Design Wizard Dialog Box

Scrolling down in the dialog reveals the table of values used to plot the magnitude response. Values from this table may be cut and pasted into spreadsheets or other tools for further graphing and analysis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC and AC Electrical Characteristics

CY8C29/27/24/22xxx Preliminary Specifications

Values given are indicative of expected performance and based on initial characterization data. Unless otherwise specified, all limits guaranteed for T_J =+25°C, V_{dd} = 5.0V, Power HIGH, Opamp bias LOW, output referenced to Analog Ground = 2*$V_{BandGap}$.

BPF2 DC 5.0V Electrical Characteristics

Parameter	Typical	Limit	Units	Conditions and Notes
DC Offset Voltage[1]	28	--	mV	Reference to Analog Ground[1]
Operating Current				
Low Power	290	--	µA	
Medium Power	1095	--	µA	
High Power	4200	--	µA	

BPF2 AC 5.0V Electrical Characteristics

Parameter	Typical	Limit	Units	Conditions and Notes
Mid-band Gain	.25	--	dB	Deviation from expected[2]
Maximum Clock Frequency[3]				
Low Power	.9	--	MHz	
Medium Power	4	--	MHz	
High Power	6	--	MHz	
Corner Frequency Error	.85	--	%	Deviation from Nominal[2]
Damping Ratio Error	1.05	--	%	
Noise[4]	615	--	nV/√Hz	

Values given are indicative of expected performance and based on initial characterization data. Unless otherwise specified in the following tables, limits guaranteed for TA = 25°C, V_{dd} = 3.3 V, Power HIGH, Opamp bias LOW, output referenced to Analog Ground = V_{dd}/2.

BPF2 DC 3.3V Electrical Characteristics

Parameter	Typical	Limit	Units	Conditions and Notes
DC Offset Voltage[1]	21	--	mV	Reference to Analog Ground[1]
Operating Current				
Low Power	270	--	µA	
Medium Power	1035	--	µA	
High Power	4045	--	µA	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BPF2 AC 3.3V Electrical Characteristics

Parameter	Typical	Limit	Units	Conditions and Notes
Mid-band Gain	.75	--	dB	Deviation from expected[2]
Maximum Clock Frequency[3]				
Low Power	.7	--	MHz	
Medium Power	1.3	--	MHz	
High Power	2.4	--	MHz	
Corner Frequency Error	1.55	--	%	Deviation from Nominal[2]
Damping Ratio Error	1.05	--	%	
Noise[4]	1150	--	nV/√Hz	

Electrical Characteristics Notes

1. Typical DC offset found using 1 kHz filter with Q's of 3, 5 and 15; C2=1 thru 16; C3=3, 10 and 25. C1 and C4 found using filter design spreadsheet.
2. Deviation values determined from nominal filter: f_{center}=1 kHz Butterworth, unity gain, C1=1, C2=3, C3=31, C4=1, f_{clock}=20.3 kHz, Q=10.
3. Sample rate is one fourth of column clock frequency.
4. Noise found at 1 kHz using a 10 kHz filter.

Placement

The Device Editor maps the logical FLIN and FLFB blocks onto a pair of adjacent switched capacitor PSoC blocks in the device's analog array. There are several ways to construct the biquad filter circuit out of the analog PSoC blocks. Each construction implements the BPF2 Schematic Diagram illustrated above, but uses different capacitors and connections within the FLIN and FLFB blocks. Each results in a different circuit topology with different mapping and I/O consequences. The most noticable difference is whether the two PSoC blocks lie in a row or column of the analog array. The topologies also determine which connections can be made to other blocks in the array. Regardless of the topology selected, however, the filter inputs and outputs always connect to the FLIN block.

Each time an instance of the BPF2 User Module is created, PSoC Designer presents a dialog with illustrations and text to assist in selecting a circuit topology. The choice may be altered at any time by right-clicking on the user module icon in the selection bar or, if already placed, right-clicking on one of its PSoC blocks and choosing "Select User Module Options..." from the pop-up menu. Changing the topology after placement requires that the user module be placed in the analog array again.

Parameters and Resources

To make a band pass filter, place an instance of the BPF2 User Module in the Device Editor's analog array. Use one of the design procedure options to determine the values for the filter's capacitors, then connect the inputs and configure the analog bus connection and clock resources. Each of these parameters are discussed below.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input

Inputs to the filter are driven by the outputs of the adjacent PSoC blocks. Input selections are made by the user in the Device Editor.

Analog Output Bus

The output of the user module's FLIN block can be connected to adjacent PSoC blocks. Connection to this output, from other user modules, is made in the Device Editor. The output of the FLIN block can be connected to the analog column output bus, using the AnalogOutBus_x selection (where "x" is the column number). This enables connection to the Analog Output Buffer for the same column and prevents analog output-bus access of other user modules in the same column. All interconnections are configured using the Device Editor.

CompBus

The FLIN block comparator output may be routed to the input bus of the digital PSoC blocks or to an interrupt. TheThe CompBus parameter must be set to Enabled to make any of these connections.

Capacitor Values C1, C2, C3, C4, CA and CB

The ratios of these six capacitor values determine the frequency and phase response of the filter . The names refer to the capacitors drawn in the BPF2 Schematic Diagram, above. CA and CB may each take values of 16 or 32 units of capacitance. C1 through C4 take values from 0 to 31 (though values greater than zero are required for meaningful transfer functions). Design of the transfer function may be accomplished using automated or manual procedures. To access the built-in design tool, right-click on the placed filter and choose "Filter Design Wizard..." from the pop up menu. See the Filter Design section, above, for more information on design.

Polarity (A-Input Topology Filter Only)

This parameter determines the polarity of the output relative to the input. The output can be set to invert the input signal by selecting *Inverting* or to maintain the same polarity by selecting *Non-inverting*. This parameter applies only to the A-input topology filters.

Sample Clock

The required Sample Clock for the low pass filter, is calculated using the design equations in the Functional Description section, above. Unlike the other user module parameters listed above, the sample clock does not appear in the list of user module parameters underneath the Device Editors list of Global Resources. Unlike signal inputs that are specific to a paricular user module, the sample clocks each serve an entire analog column. The sample rate clocks for both PSoC blocks must be the same and where horizontal placement of blocks is selected both column clocks must be driven from the same source. Each column-clock generator divides its input by four to produce ϕ_1 and ϕ_2, the internal clocks in the blocks, so the source must be four times faster than the desired filter sample clock.

Choices for the clock source include any of the digital PSoC blocks and the system clock dividers. All of the Timer, Counter and Pulse-Width Modulator (PWM) User Modules are suitable choices when system clock dividers must be consigned to other uses.

The clock source to the column clock is selected using the CLK mutiplexer, for each column in the Device Editor. The system clocks are direct inputs to this multiplexer. When PSoC blocks are used for clock generation, they are connected through the ACLK0 and ACLK1 multiplexers to the CLK multiplexer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Programming Interface

The Application Programming Interface (API) routines are provided as part of the user module to allow the designer to deal with the module at a higher level. This section specifies the interface to each function together with related constants provided by the "include" files.

Note In this, as in all user module APIs, the values of the A and X register may be altered by calling an API function. It is the responsibility of the calling function to preserve the values of A and X prior to the call if those values are required after the call. This "registers are volatile" policy was selected for efficiency reasons and has been in force since version 1.0 of PSoC Designer. The C compiler automatically takes care of this requirement. Assembly language programmers must ensure their code observes the policy, too. Though some user module API function may leave A and X unchanged, there is no guarantee they will do so in the future.

Entry points are provided to initialize the BPF2 User Module, change power settings, and disable the user module.

BPF2_Start

Description:

Performs all required initialization for this user module and sets the power level for the switched capacitor PSoC blocks.

C Prototype:

```
void  BPF2_Start(BYTE bPowerSetting)
```

Assembly:

```
mov   A, bPowerSetting
call  BPF2_Start
```

Parameters:

bPowerSetting: One byte that specifies the power level to both analog PSoC blocks. Following reset and configuration, the PSoC blocks assigned to the instrumentation amplifier are powered down. Symbolic names are provided in the C and assembly include files; their associated values are given in the following table.

Symbolic Name	Value
BPF2_OFF	0
BPF2_LOWPOWER	1
BPF2_MEDPOWER	2
BPF2_HIGHPOWER	3

Note For proper performance, filters with center frequencies above 40 kHz should (1) use BPF2_HIGHPOWER and (2) set the global parameter "Op-Amp Bias" to High in the Global Parameters window.

Return Value:

None

Side Effects:

The A and X registers may be altered by this function.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BPF2_SetPower

Description:

Sets the power level for the switched capacitor PSoC blocks. May be used to turn the blocks in the user module off and on.

C Prototype:

```
void  BPF2_SetPower(BYTE bPowerSetting)
```

Assembly:

```
mov   A, bPowerSetting
call  BPF2_SetPower
```

Parameters:

bPowerSetting: Same as the bPowerSetting used for the Start entry point.

Return Value:

None

Speical Effects:

The A and X registers may be altered by this function.

BPF2_SetCA, SetCB

Description:

Sets the value of the feedback capacitors in the user module FLIN block (CA) and FLFB block (CB). This allows on-the-fly modification of the band pass filter transfer function.

C Prototype:

```
void  BPF2_SetCA(BYTE FEEDBACK_CONSTANT)
void  BPF2_SetCB(BYTE FEEDBACK_CONSTANT)
```

Assembly:

```
mov   A, FEEDBACK_CONSTANT
call  BPF2_SetCA                ; or, call  BPF2_SetCB
```

Parameters:

FEEDBACK_CONSTANT: One byte that specifies the size of the feedback capacitors CA or CB (see the BPF2 Schematic Drawing). Symbolic names are provided in the C and assembly include files; their associated values are given in the following table.

Symbolic Name	Value
BPF2_FEEDBACK_16	0x00
BPF2_FEEDBACK_32	0x01

Return Values:

None

Side Effects:

The A and X registers may be altered by this function.

BPF2_SetC1, SetC2, SetC3, and SetC4

Description:

Sets the value of specific capacitors in the user module. This allows adjustment of gain by modifying C1, and alteration of filter transfer characteristics by adjusting the other values.

C Prototype:

```
void  BPF2_SetC1(BYTE bCapValue)
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
void  BPF2_SetC2(BYTE bCapValue)
void  BPF2_SetC3(BYTE bCapValue)
void  BPF2_SetC4(BYTE bCapValue)
```

Assembly:

```
mov   A, CapValue
call  BPF2_SetC1                ; or, call  BPF2_SetC2 (or SetC3 or SetC4)
```

Parameters:

bCapValue: Integer value from 1 to 31 for C1, C2, C3 and C4 (see the BPF2 Schematic Drawing). Values outside this range will be truncated modulo 32.

Return Values:

None

Side Effects:

The A and X registers may be altered by this function.

BPF2_SetPolarity (A-Input Topology Filter Only)

Description:

Sets the polarity of the output signal by selecting whether to invert or not to invert the input signal on FLIN. This allows on-the-fly modification of the band pass filter output polarity. This function applies only to the A-input topology filters.

C Prototype:

```
void  BPF2_SetPolarity(BYTE FEEDBACK_CONSTANT)
```

Assembly:

```
mov   A, FEEDBACK_CONSTANT
call  BPF2_SetPolarity
```

Parameters:

POLARITY_CONSTANT: One byte that specifies whether to invert or not to invert. Symbolic names are provided in the C and assembly include files; their associated values are given in the following table.

Symbolic Name	Value
BPF2_POLARITY_INVERTING	0x00
BPF2_POLARITY_NON_INVERTING	0x01

Return Values:

None

Side Effects:

The A and X registers may be altered by this function.

BPF2_Stop

Description:

Powers the user module off.

C Prototype:

```
void  BPF2_Stop(void)
```

Assembly:

```
call  BPF2_Stop
```

Parameters:

None

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Return Value:
None

Speical Effects:
The A and X registers may be altered by this function.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sample Firmware Source Code

In C, using the band pass filter is as simple as using the Start API to begin operation and calling the Stop API when done.

```
#include "BPF2.h"

BPF2_Start(BPF2_HIGHPOWER);
...                                  // (application processing)
BPF2_Stop();
```

It is possible to set and modify the filter transfer function on-the-fly. Assuming the analog column clock is driven from a 24 MHz source with a divider of 304, the following code creates a filter with a center frequency of 1000 Hz and a Q of 10, and then starts it. Note that this same code is used regardless of the chosen topology or placement location in the analog PSoC block array.

```
BPF2_SetC1(  1 );
BPF2_SetC2( 10 );
BPF2_SetC3( 10 );
BPF2_SetC4(  3 );
BPF2_SetCA( BPF2_FEEDBACK_32 );
BPF2_SetCB( BPF2_FEEDBACK_32 );
BPF2_Start(BPF2_HIGHPOWER);
BPF2_SetPolarity(BPF2_POLARITY_INVERTING);
```

Equivalent assembly language code is as follows.

```
include "BPF2.inc"

mov     A, 1
lcall   BPF2_SetC1
mov     A, 10
lcall   BPF2_SetC2
mov     A, 10
lcall   BPF2_SetC3
mov     A, 3
lcall   BPF2_SetC4
mov     A, BPF2_FEEDBACK_32
lcall   BPF2_SetCA
mov     A, BPF2_FEEDBACK_32
lcall   BPF2_SetCB
mov     A, BPF2_POLARITY_INVERTING
lcall   BPF2_SetPolarity
mov     A, BPF2_HIGHPOWER
lcall   BPF2_Start
```

Note The design equations show that gain is proportional to the value of C1, but the center frequency and damping (Q) do not depend on it. Once the transfer function is chosen, the BPF2_SetC1 API function may be used to implement a programmable-gain control.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration Registers

The topology and placement of the BPF2 User Module determines over half the bits in the configuration registers for the analog switched capacitor PSoC blocks used. Of those, the ones that are independent of placement location are indicated by fixed values in the register tables. Of the variable bitfields, most are determined by selection of input and transfer function design. Definitions of the variable bitfields used in the register definitions follow, at the end of this section.

Horizontal A-Input Topology

Block FLIN: Register CR0

Bit	7	6	5	4	3	2	1	0
CR0	CA	0	Polarity			C1		
CR1		Input				C2		
CR2	AnalogBus	CompBus	0	0	0	0	0	0
CR3	0	0	1	0	Feedback		Power	

Block FLFB: Register CR0

Bit	7	6	5	4	3	2	1	0
CR0	CB	0	0			C3		
CR1		FBIN		0	0	0	0	0
CR2	0	0	0			C4		
CR3	0	0	1	0	0	1	Power	

Horizontal B-Input Topology

Block FLIN

Bit	7	6	5	4	3	2	1	0
CR0	CA	0	1			C2		
CR1		Feedback				C1		
CR2	AnalogBus	CompBus	0	0	0	0	0	0
CR3	0	0	1	0	Input		Power	

Block FLFB

Bit	7	6	5	4	3	2	1	0
CR0	CB	0	0			C3		
CR1		FBIN		0	0	0	0	1
CR2	0	0	0			C4		
CR3	0	0	1	0	0	1	Power	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C1, **C2**, **C3** and **C4** set the capacitors illustrated in the BPF2 Schematic Diagram to integer values between 1 and 32. Like the CA and CB capacitors, they are configured directly in the Device Editor or indirectly through use of the filter Design Wizard.

Input controls the multiplexor that selects the input signal to be conditioned by the BPF2 User Module.The user module "Input" parameter determines the value of this bitfield. The value of the Input parameter is manually configured using the Device Editor. In certain cases, the values which this bitfield can take are restricted in such a way that the C4 connection between the FLIN and FLFB blocks is properly guaranteed.

AnalogBus enables connection of the filter output to the analog bus. The user module "AnalogBus" parameter determines the value of this bitfield. The value of the AnalogBus parameter is manually configured using the Device Editor.

CompBus enables connection of the filter output to the comparator bus. The user module "CompBus" parameter determines the value of this bitfield. The value of the CompBus parameter is manually configured using the Device Editor.

Feedback is the C2 feedback connection, automatically determined by placement of the BPF2 User Module in the Device Editor. In certain cases, this bitfield also establishes the C4 connection between the FLIN and FLFB blocks.

FBIN is the connection from the FLIN output to the FLFB input automatically determined by placement of the BPF2 User Module in the Device Editor.

Polarity controls whether the output of the filter is inverted or not. This bit can be configured directly using Device Editor. Applies only to A-input topology filters.

Power controls the On/Off state of the PSoC block and bias current setting. It is set initially by calling the user module API function BPF2_Start and can be modified by calling the functions BPF2_SetPower and BPF2_Stop.

Appendix: Numerical Design Procedure

The following manual design procedure for one pole-pair filters is automated in the 2-pole Band Pass Filter Design Wizard built into the Device Editor. To start the Wizard, right-click on a a BPF2 filter that has been placed in the analog array and choose "Filter Design Wizard..." from the pop-up menu. When the transfer function is satisfactory, clicking the Wizard's "OK" button transfers the calculated C1 through C4, CA and CB values into the Device Editor parameters. In addition, the Microsoft Excel spreadsheet, *BPF2Design.xls*, located in the PSoC Designer documentation directory, may be used for computation and graphical analysis of the transfer function.

Two-Pole Design Procedure

1. Determine filter requirements for center frequency, Q and mid-band gain. If upper and lower -3 dB points, f_u and f_l are known, calculate center frequency and Q from the following.

$$f_c = \sqrt{f_u f_l} \text{ and } Q = \frac{f_c}{f_u - f_l}$$

2. Set *CA* and *CB* equal to 32.
3. Set initial value of *C2* equal to the Q of the pole pair.
4. Set initial value of *C3* equal to the Q of the pole pair.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Vertical A-Input Topology

Block FLIN

Bit	7	6	5	4	3	2	1	0
CR0	CA	0	Polarity			C1		
CR1		Input				C2		
CR2	AnalogBus	CompBus	0			C4		
CR3	0	0	1	0	Feedback		Power	

Block FLFB

Bit	7	6	5	4	3	2	1	0
CR0	CB	0	0			C3		
CR1		FBIN		0	0	0	0	1
CR2	0	0	0	0	0	0	0	0
CR3	0	0	1	0	0	1	Power	

Vertical B-Input Topology

Block FLIN

Bit	7	6	5	4	3	2	1	0
CR0	CA	0	1			C2		
CR1		Feedback				C1		
CR2	AnalogBus	CompBus	0			C4		
CR3	0	0	1	0	Input		Power	

Block FLFB

Bit	7	6	5	4	3	2	1	0
CR0	CB	0	0			C3		
CR1		FBIN		0	0	0	0	1
CR2	0	0	0	0	0	0	0	0
CR3	0	0	1	0	0	1	Power	

Variable BitField Definitions

The following definitions apply to all preceeding register definitions.

CA and **CB** set the FLIN and FLFB feedback capacitors, respectively, to either 16 or 32 units. (See the BPF2 Schematic Diagram.) CA and CB are configured directly in the Device Editor or indirectly through use of the filter Design Wizard.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Calculate value for *C4* from rearranged Equation 4, solved for the quadratic.

$$C_4 = \frac{-\frac{C_2}{2} + \sqrt{\left(\frac{C_2}{2}\right)^2 - 4Q^2\left(\frac{C_2{}^2}{4} - \frac{C_2 C_A C_B}{C_3}\right)}}{2Q^2}$$

6. *C4* must be real and positive. Round to the nearest integer.
7. If *C4* is determined to be negative or imaginary, adjust the value of *C3*, then calculate a new value for *C4*. Iterate as necessary.
8. Calculate the sample frequency from rearranged Equation 5.
9. Evaluate the over-sample ratio. $OSR = \frac{f_s}{f_c}$
10. If *OSR* is less than 5.0, adjust *C2* and repeat steps 3 through 9.
11. Calculate value for C1 from Equation 6. Round to nearest integer.
12. Calculate analog column clock, equal to four times f_s. Pick an analog column clock resource, f_{sysclk}, from the selections available in PSoC Designer. See the Sample Clock section for additional details on clock selection. Note that the BPF2 analog switched capacitor PSoC blocks are in separate columns. Both blocks, thus both columns, must have the same clock.
13. Calculate the divider by rounding to the nearest integer. $n = \text{int}\left(\frac{f_{sysclk}}{4f_{clk}} + 0.5\right)$
14. Divide the selected system clock resource by *4n*, to get the actual clock frequency.
15. Calculate the filter center frequency based on the actual sample clock.
16. Calculate *Q* and Gain, *G*.
17. Evaluate filter design performance. Design values for f_c, *Q* and *G* can be realized typically within 3% of design requirements in almost all cases. If the error is larger than this, select a new value for *C2*, iterate and optimize.

Four-Pole Design Procedure

Four-pole (two-pole pair) band pass filters pose additional constraints. When designing these filters, the clock frequencies for both BPF2 User Modules must be the same. The design procedure for two-pole pair (fourth-order) filters is automated in the Microsoft Excel spreadsheet, *BPF4 Design.xls*, located in the PSoC Designer documentation directory. A tutorial for this spreadsheet is contained in a separate file, *BPF4 Design.pdf*, located in the same directory. The documentation directory is directly accessible from PSoC Designer's Help menu.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programmable Gain Amplifier

PGA v3.2

Copyright © 2002-2003. Cypress MicroSystems Inc. All Rights Reserved.

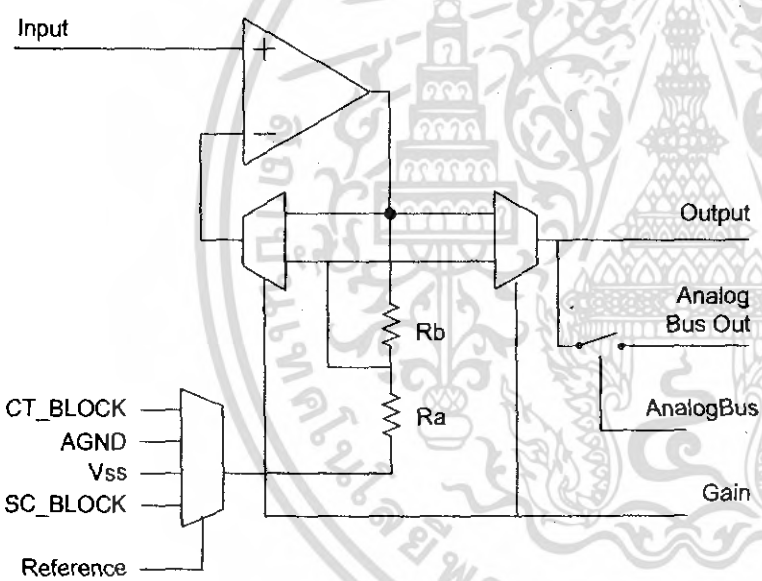
CY8C29/27/24/22xxx Data Sheet

Resources	PSoC™ Blocks			API Memory (Bytes)		Pins (per External I/O)
	Digital	Analog CT	Analog SC	Flash	RAM	
CY8C29/27/24/22xxx		1		52	0	1
CY8C26/25xxx		1		32	0	1

Features and Overview

- CY8C29/27/24/22xxx: thirty-three user-programmable gain settings with a maximum gain of 48.0
- High impedance input
- Single-ended output with selectable reference

The PGA User Module implements an opamp based non-inverting amplifier with user-programmable gain. This amplifier has high input impedance, wide bandwidth, and selectable reference.



PGA Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The PGA User Module amplifies an internal or externally-applied signal. This signal can be referenced to the internal analog ground, V_{SS}, or other selected references. The gain, of the programmable gain amplifier, is set by programming the selectable tap in a resistor array and the feedback tap in a continuous time analog PSoC block. The gain, input, reference, and output bus enable are set by the user from tables of values in the Device Editor. The output of the programmable gain amplifier has a two-part transfer function.

For gains greater than or equal to one, the top of the resistor string is connected to the opamp output and the resistor tap is connected to the inverting input of the opamp. The amplifier has the following transfer function.

$$V_O = (V_{IN} - V_{GND}) \cdot \left(1 + \frac{R_b}{R_a}\right) + V_{GND} \qquad \textbf{Equation 1}$$

For gains less than one (i.e., attenuation), the opamp is set as a voltage follower and the user module output is selected at the resistor tap. The amplifier then has the following transfer function.

$$V_O = (V_{IN} - V_{GND}) \cdot \left(\frac{R_a}{R_a + R_b}\right) + V_{GND} \qquad \textbf{Equation 2}$$

The user can specify the reference as one of the following: a fixed value derived from the internal bandgap reference, a value ratiometric to the supply voltage, analog ground, or an external input.

The input and output voltage ranges of the amplifier do not extend to the power supplies (i.e., they are not "rail-to-rail" opamps). The allowed input range is a combination of input limit, output limit, power supply voltage, analog ground value, and selected gain. This is illustrated in the DC and AC Electrical Characteristics section.

The user selects the Gain from the values in the Device Editor. The Device Editor then programs the appropriate resistor taps in the PSoC block. API routines are provided to start, stop, set power, and set gain.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC and AC Electrical Characteristics

CY8C29/27/24/22xxx Preliminary Specifications

The following values are indicative of expected performance and based on initial characterization data. Unless otherwise specified in tables below, T_A = 25°C, V_{dd} = 5.0V, Power HIGH, Op-Amp Bias LOW, output referenced to Analog Ground = 2*$V_{BandGap}$.

PGA DC 5.0V Electrical Characteristics

Parameter	Typical	Limit	Units	Conditions and Notes
Gain Deviation from Nominal				
G=48.00	3.0	--	%	
G=24.00	2.2	--	%	
G=16.00	1.5	--	%	
G=4.00	0.7	--	%	
G=1.0	0.5	--	%	
Input				
Input Offset Voltage	4.5	--	mV	
Input Voltage Range	--	Vss to Vdd	V	
Leakage[1]	1	--	nA	
Input Capacitance[1]	3	--	pF	
Output Swing	0.05 to Vdd-0.05	--	V	
PSRR	73	--	dB	
Operating Current				
Low Power	142	--	µA	
Med Power	540	--	µA	
High Power	2083	--	µA	

PGA AC 5.0V Electrical Characteristics

Parameter	Typical	Limit	Units	Conditions and Notes
Slew Rate(20% to 80%)[2]				
Low Power	0.6	--	V/µs	
Med Power	2.5	--	V/µs	
High Power	9.5	--	V/µs	
Settling Time[2]				
Low Power	13	--	µs	
Med Power	4	--	µs	
High Power	1	--	µs	
Noise[2]				Referred to input
Low Power	354		nV/√Hz	OpAmp bias low except at High Power. Reference input set to AGND
Med Power	112		nV/√Hz	
High Power	99		nV/√Hz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The following values are indicative of expected performance and based on initial characterization data. Unless otherwise specified in the tables below, all T_A = 25°C, V_{dd} = 3.3V, Power HIGH, Op-Amp bias LOW, output referenced to Analog Ground = $V_{dd}/2$.

PGA DC 3.3V Electrical Characteristics

Parameter	Typical	Limit	Units	Conditions and Notes
Gain Deviation from Nominal				
G=48.00	4.0	--	%	
G=24.00	2.2	--	%	
G=16.00	1.2	--	%	
G=4.00	0.6	--	%	
G=1.0	0.3	--	%	
Input				
Input Offset Voltage	3.5	--	mV	
Input Voltage Range	--	Vss to Vdd	V	
Leakage[1]	1	--	nA	
Input Capacitance[1]	3	--	pF	
Output Swing	0.05 to Vdd-0.05	--	V	
PSRR	68	--	dB	
Operating Current				
Low Power	135	--	µA	
Med Power	523	--	µA	
High Power	2017	--	µA	

PGA AC 3.3V Electrical Characteristics

Parameter	Typical	Limit	Units	Conditions and Notes
Slew Rate (20% to 80%)[2]				
Low Power	.6	--	V/µs	
Med Power	2.4	--	V/µs	
High Power	9.0	--	V/µs	
Settling Time[2]				
Low Power	12	--	µs	
Med Power	4	--	µs	
High Power	1	--	µs	
Noise[2]				Referred to input
Low Power	354		nV/√Hz	OpAmp bias low except at High Power. Reference input set to AGND
Med Power	112		nV/√Hz	
High Power	99		nV/√Hz	

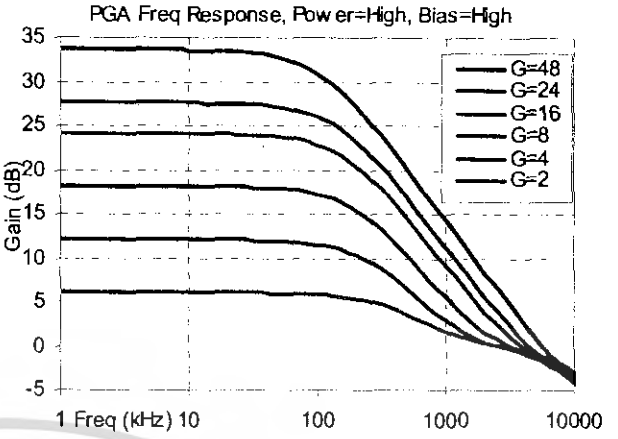
Electrical Characteristics Notes

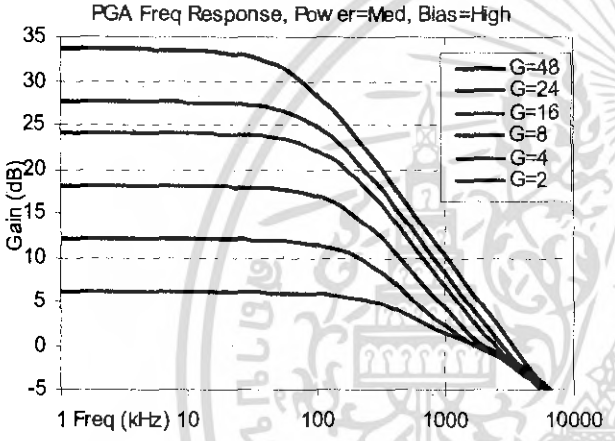
1. Includes I/O pin.
2. Based upon device simulation.

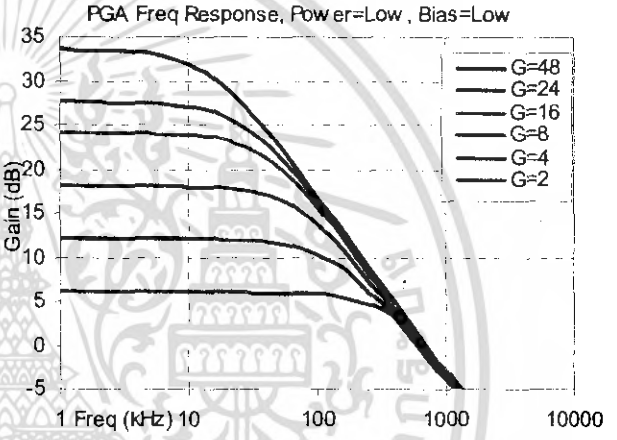
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CY8C27/24/22xxx Bandwidth

The PGA has a controlled bandwidth which yields excellent reduction of high frequency noise and provides an effective anti-aliasing filter for most ADCs. Bandwidth is a function of User Module power setting.







Placement

The GAIN block maps freely onto any of the continuous time PSoC blocks in the device.

Parameters and Resources

Input

The inputs to the programmable gain amplifier are driven by the outputs of the adjacent PSoC blocks and the analog column input multiplexer. The user makes selections of specific input in the Device Editor.

Reference

The gain of the PGA is referenced to a "ground" value selected by the user. Choices include AGND (on-chip analog ground), V_{SS}, and adjacent continuous time (CT) and switched capacitor (SC) blocks. CT and SC block connections allow for adjustable offsets as a controlled reference voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AnalogBus

The GAIN block output may be routed through the analog PSoC block array's network of local interconnections and/or through an analog output bus. Setting the PGA User Module AnalogBus parameter to Disable, the default value, restricts the set of possible connections to the local network. If the GAIN AnalogBus output is enabled onto the bus, care must be exercised to ensure that no other user module drives this same bus.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Programming Interface

The Application Programming Interface (API) routines are provided as part of the user module to allow the designer to deal with the module at a higher level. This section specifies the interface to each function together with related constants provided by the "include" files.

Note In this, as in all user module APIs, the values of the A and X register may be altered by calling an API function. It is the responsibility of the calling function to preserve the values of A and X prior to the call if those values are required after the call. This "registers are volatile" policy was selected for efficiency reasons and has been in force since version 1.0 of PSoC Designer. The C compiler automatically takes care of this requirement. Assembly language programmers must ensure their code observes the policy, too. Though some user module API function may leave A and X unchanged, there is no guarantee they will do so in the future.

PGA_Start

Description:

Performs all required initialization for this user module and sets the power level for the continuous time PSoC block. The output will be driven once the PowerSetting is applied to the block.

C Prototype:

```
void  PGA_Start(BYTE bPowerSetting)
```

Assembler:

```
mov   A, bPowerSetting
call  PGA_Start
```

Parameters:

bPowerSetting: One byte that specifies the power level to the analog PSoC block. Following reset and configuration, the PSoC block assigned to the PGA is powered down. Symbolic names provided in C and assembly, and their associated values, are given in the following table.

Symbolic Name	Value
PGA_OFF	0
PGA_LOWPOWER	1
PGA_MEDPOWER	2
PGA_HIGHPOWER	3

Return Value:

None

Side Effects:

The A and X registers may be altered by this function.

PGA_SetPower

Description:

Sets the power level for the continuous time PSoC blocks. May be used to turn the PGA off and on. Output will be driven if the PowerSetting is not off.

C Prototype:

```
void  PGA_SetPower(BYTE bPowerSetting)
```

Assembler:

```
mov   A, bPowerSetting
call  PGA_SetPower
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Parameters:
bPowerSetting: Same as the PowerSetting used for the Start function.

Return Value:
None

Side Effects:
The A and X registers may be altered by this function.

PGA_SetGain

Description:
Sets the gain for the continuous time PSoC block.

C Prototype:
```
void  PGA_SetGain(byte bGainSetting)
```

Assembler:
```
mov   A, bGainSetting
call  PGA_SetGain
```

Parameters:
bGainSetting: CY8C29/27/24/22xxx, symbolic names provided in C and assembly, and their associated values, are given in the following table. Programmed gain of 48.0 uses declared name of ....G48_0.

Symbolic Name	Value	Symbolic Name	Value
PGA_G48_0	0Ch	PGA_G1_00	F8h
PGA_G24_0	1Ch	PGA_G0_93	E0h
PGA_G16_0	08h	PGA_G0_87	D0h
PGA_G8_00	18h	PGA_G0_81	C0h
PGA_G5_33	28h	PGA_G0_75	B0h
PGA_G4_00	38h	PGA_G0_68	A0h
PGA_G3_20	48h	PGA_G0_62	90h
PGA_G2_67	58h	PGA_G0_56	80h
PGA_G2_27	68h	PGA_G0_50	70h
PGA_G2_00	78h	PGA_G0_43	60h
PGA_G1_78	88h	PGA_G0_37	50h
PGA_G1_60	98h	PGA_G0_31	40h
PGA_G1_46	A8h	PGA_G0_25	30h
PGA_G1_33	B8h	PGA_G0_18	20h
PGA_G1_23	C8h	PGA_G0_12	10h
PGA_G1_14	D8h	PGA_G0_06	00h
PGA_G1_06	E8h		

Return Value:
None

Side Effects:
Gain will be reset to 1.0 during routine then programmed to desired value. The A and X registers may

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

be altered by this function.

PGA_Stop

Description:
Powers the user module off.

C Prototype:
```
void  PGA_Stop(void)
```

Assembler:
```
call  PGA_Stop
```

Parameters:
None

Return Value:
None

Side Effects:
The A and X registers may be altered by this function.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sample Firmware Source Code

The sample code creates an amplifier with the gain fixed to 8.00, over-riding the gain value set in the PSoC Designer configuration screen.

```
;;-------------------------------------------------------------------
;; Sample Code for the PGA.
;; Turn on power and set gain to 8.00.
;;-------------------------------------------------------------------

export _main

include "m8c.inc"
include "PSoCAPI.inc"

_main:


mov  A, PGA_G8_00              ; specify amplifier gain
call PGA_SetGain               ; update amplifier gain

mov  A, PGA_MEDPOWER           ; specify PGA power level
call PGA_Start                 ; and turn it on

ret
```

The equivalent code in C is as follows.

```
//-------------------------------------------------------------------
// Sample C Code for the PGA.
// Turn on power and set gain to 8.00.
//-------------------------------------------------------------------

#include <m8c.h>        // part specific constants and macros
#include "PSoCAPI.h"    // PSoC API definitions for all User Modules


void main()
{
    PGA_SetGain(PGA_G8_00);
    PGA_Start(PGA_MEDPOWER);

    // User program ...
}
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration Registers

The topology of the PGA User Module sets most of the bits in the configuration registers for the chosen Analog CT PSoC block. These include values for opamp compensation, comparator mode, and feedback connection.

Block GAIN Register: CR0

Bit	7	6	5	4	3	2	1	0
Value			GAIN			1	Reference	

GAIN sets the gain value per selection. Reference sets the reference point (effective "ground") for gain.

Block GAIN Register: CR1

Bit	7	6	5	4	3	2	1	0
Value	AnalogBus	0	1	0	0		Input	

AnalogBus determines whether the GAIN PSoC block drives the bus. The value of this bit-field is determined by the choice made for the parameter of the same name in user module Placement mode of the Device Editor. Input is the value selected in PSoC Designer.

Block GAIN Register: CR2

Bit	7	6	5	4	3	2	1	0
Value	0	0	1	0	0	0	0	0

Power is set to 'Off' following device reset and configuration. It is modified by calling Start, SetPower, or Stop functions in the API.

Block GAIN Register: CR3

Bit	7	6	5	4	3	2	1	0
Value	0	0	0	0	LPCMPEN	CMOUT	INSAMP	EXGAIN

The EXGAIN bit is automatically set when ever a gain of 24 or 48 is selected.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้