สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเข้ารหัสถอดรหัสสัญญาณเสียง

VOICE SCRAMBLER

โดย

นายภัทรพงศ์ ตรสูงเนิน

นายอนุทิน หล่ำสาย

นายอภินันท์ อุ่นดีมะดัน

เลขหมู่.....
เลขทะเบียน.....72908
วัน,เดือน,ปี.....25 มี.ย. 2550

b.....11774196.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

ผ่านการตรวจชิ้นงานแล้ว

(ลงชื่อ).....ผู้ตรวจ

ผ่านการตรวจรูปเล่มแล้ว

(ลงชื่อ).....ผู้ตรวจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเข้ารหัสถอดรหัสสัญญาณเสียง

VOICE SCRAMBLER

โดย

นายภัทรพงศ์ ครสูงเนิน 47015732

นายอนุทิน หล่ำสาย 47015760

นายอภินันท์ อุ่นดีมะดัน 47015761

อาจารย์ที่ปรึกษา

ผศ.เกรียงไกร วงศ์โรจนภรน์

รศ.ดร.สุวิพล สิทธิชีวภาค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชาโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องเข้ารหัสถอดรหัสสัญญาณเสียง

Voice Scrambler

ผู้จัดทำ

1. **นายภัทรพงศ์ ศรสูงเนิน 47015732**
2. **นายอนุทิน หล่ำสาย 47015760**
3. **นายอภินันท์ อุ่นดีมะดัน 47015761**

..... อาจารย์ที่ปรึกษา

(ผศ.เกรียงไกร วงศ์โรจนภรณ์)

..... อาจารย์ที่ปรึกษา

(รศ.ดร.สุวิพล สิทธิชีวภาค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเข้ารหัสถอดรหัสสัญญาณเสียง

Voice Scrambler

โดย 1. นายภัทรพงศ์ ศรสูงเนิน 47015732

2. นายอนุทิน หล่ำสาย 47015760

3. นายอภินันท์ อุ่นดีมะดัน 47015761

อาจารย์ที่ปรึกษา ผศ.เกรียงไกร วงศ์โรจนภรณ์

รศ.ดร.สุวิพล สิทธิชีวภาค

บทคัดย่อ

โครงงานปริญญานิพนธ์ฉบับนี้ เป็นการพัฒนาการป้องกันการถูกลักลอบดักฟังข้อมูลเสียงเพื่อความปลอดภัยในการสื่อสาร โดยภาคส่งจะทำการแปลงเสียงจากสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล จากนั้นจึงนำสัญญาณดิจิตอลที่ได้ไปทำการเข้ารหัสแล้วส่งออกอากาศ ส่วนภาครับจะมีหลักการทำงานตรงข้ามกับภาคส่ง โดยจะนำสัญญาณดิจิตอลที่รับได้มาทำการถอดรหัสแล้วแปลงเป็นสัญญาณอนาล็อกที่เป็นเสียงตัวเดิมกลับคืนมา

Abstract

This project is set up to develop voice scramble protection system to improve security in communication. The transmitter will encode the sound from analog into digital system. The digital system will be decoded and broadcasted. The decoded digital system will be encoded into the original sound analog system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จได้อย่างดี ด้วยคำแนะนำและคำปรึกษาจาก ผศ.เกรียงไกร วงศ์โรจนภรณ์ และ รศ.ดร.สุวิพล สิทธิชีวภาค ซึ่งเป็นอาจารย์ที่ปรึกษา ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์และขอขอบพระคุณเป็นอย่างสูง

ขอกราบขอบพระคุณคณาจารย์ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกๆท่านที่ได้ประสิทธิ์ประสาทวิชาให้กับข้าพเจ้า

ขอขอบคุณห้องสมุดคณะวิศวกรรมศาสตร์และสำนักหอสมุดกลางที่อำนวยความสะดวกเอื้อเฟื้อสถานที่ในการค้นคว้าหาข้อมูล

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ในภาควิชาวิศวกรรมโทรคมนาคมและสาขาอื่นๆ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกคนที่ให้คำแนะนำต่างๆและคอยให้กำลังใจเสมอมา

สุดท้ายนี้ที่สำคัญที่สุดข้าพเจ้าขอกราบขอบพระคุณ บิดา มารดา และครอบครัวของข้าพเจ้าที่เป็นกำลังใจและให้การสนับสนุนในทุกเรื่อง ทำให้เข้าพเจ้าสามารถทำปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

คุณค่าและประโยชน์อันพึงมาจากปริญญานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

นายภัทรพงศ์ ศรสูงเนิน
นายอนุทิน หล่ำสาย
นายอภินันท์ อุ่นดีมะดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
1.1 ความสำคัญและที่มาของโครงงาน	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 ขอบเขตของโครงงาน	1
1.4 วิธีการดำเนินการ	2
1.5 ประโยชน์ที่คาดว่าจะได้รับ	2
1.6 ส่วนประกอบของปริญญานิพนธ์	2
บทที่ 2 ทฤษฎีและหลักการ	4
2.1 วงจรปรีแอมป์ไมโครโฟนแบบคอนเด็นเซอร์	4
2.2 วงจรกรองความถี่ต่ำผ่าน	4
2.2.1 วงจรกรองความถี่ต่ำผ่านลำดับที่ 1	6
2.2.2 วงจรกรองความถี่ต่ำผ่านลำดับที่ 2	7
2.2.3 วงจรกรองความถี่ต่ำผ่านในลำดับที่สูงขึ้น	8
2.3 วงจรรวมสัญญาณแบบไม่กลับเฟส	8
2.4 การแปลงสัญญาณอนาล็อกเป็นดิจิตอลโดยการมอดูเลตรหัสพัลส์	10
2.5 การแปลงสัญญาณดิจิตอลเป็นอนาล็อก	11
2.5.1 Summed Source DAC	11
2.5.2 Switched Voltage R-2R DAC	12
2.5.3 Switched Current R-2R DAC	13
2.5.4 Switched Pole DAC	14
2.6 การมอดูเลตสัญญาณดิจิตอลทางความถี่	14
2.7 การดีมอดูเลตสัญญาณดิจิตอลทางความถี่	16
2.7.1 หลักการเบื้องต้นในการดีมอดูเลตสัญญาณ FSK	16
2.7.2 ควอดดราเจอร์ดีเทกชัน	17
2.8 การสแกรมเบลอร์ (Scrambler)	19
2.9 การดีสแกรมเบลอร์ (Descrambler)	19
2.10 ไมโครคอนโทรลเลอร์ MCS-51	20
2.10.1 คุณสมบัติของไมโครคอนโทรลเลอร์ตระกูล MCS-51 โดยบริษัท Intel	20
2.10.2 พอร์ตของไมโครคอนโทรลเลอร์เบอร์ 8051	20
2.10.3 การใช้งานพอร์ตสื่อสารอนุกรมแบบ Single Processor	24
2.10.4 การเชื่อมต่อ MCS-51 เพื่อใช้งาน	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
2.11 BiM2-433-64 (RF Module)	30
2.11.1 คุณสมบัติของ BiM2-433-64	31
2.11.2 รายละเอียดหน้าที่ของขาต่างๆ	31
บทที่ 3 การออกแบบและการสร้าง	33
3.1 หลักการทำงานของระบบ	33
3.1.1 ส่วนของภาคส่ง	33
3.1.2 ส่วนของภาครับ	34
3.2 การออกแบบวงจรปรีแอมป์ไมโครโฟน	34
3.3 การออกแบบวงจรกรองความถี่ต่ำผ่าน	35
3.4 การออกแบบวงจรยกระดับสัญญาณ	39
3.5 การออกแบบการเชื่อมต่อ ADC , DAC และ MCS-51 เข้าด้วยกัน	40
3.6 หลักการทำงานของ MCS-51	42
บทที่ 4 การทดลองและผลการทดลอง	43
4.1 การทดลองวงจรปรีแอมป์ไมโครโฟน	43
4.2 การทดลองวงจรกรองความถี่ต่ำผ่าน	45
4.3 การทดลองวงจรยกระดับสัญญาณ	46
4.4 การทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล	48
4.5 การทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก	49
4.6 การทดลองภายในระบบ	50
4.7 การทดลองรับส่งข้อมูล	52
4.8 การจำลองการสแกรมเบลอร์และดีสแกรมเลอร์	54
4.9 การทดลองการสแกรมเบลอร์	58
4.10 การทดลองการดีสแกรมเบลอร์	66
บทที่ 5 บทวิจารณ์และบทสรุป	73
5.1 สรุปผลการทดลอง	73
5.1.1 วงจรปรีแอมป์ไมโครโฟน	73
5.1.2 วงจรกรองความถี่ต่ำผ่าน	73
5.1.3 วงจรยกระดับสัญญาณ	73
5.1.4 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล	74
5.1.5 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก	74
5.1.6 การสแกรมเบลอร์และดีสแกรมเบลอร์	74

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
5.2 ปัญหาที่พบในการทำงาน	75
5.3 การปรับปรุงแก้ไขปัญหา	75
5.4 การพัฒนาในอนาคต	76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 2.1 วงจรปรีแอมป์ไมโครโฟนแบบคอนเด็นเซอร์	4
รูปที่ 2.2 การทำงานของวงจรกรองความถี่ต่ำผ่าน	5
รูปที่ 2.3 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านที่ลำดับต่างๆ	5
รูปที่ 2.4 วงจรกรองความถี่ต่ำผ่านลำดับที่ 1	6
รูปที่ 2.5 วงจรกรองความถี่ต่ำผ่านลำดับที่ 2	7
รูปที่ 2.6 วงจรกรองความถี่ต่ำผ่านในลำดับที่สูงขึ้น	8
รูปที่ 2.7 วงจรรวมสัญญาณแบบไม่กลับเฟส	9
รูปที่ 2.8 ระบบพีซีเอ็ม	10
รูปที่ 2.9 แสดงความสัมพันธ์ระหว่างสัญญาณดิจิตอลอินพุตและสัญญาณอนาล็อกเอาต์พุต	11
รูปที่ 2.10 Summed Source DAC	11
รูปที่ 2.11 Swiched Voltage R-2R DAC	12
รูปที่ 2.12 Swiched Current R-2R DAC	13
รูปที่ 2.13 Swiched Pole DAC	14
รูปที่ 2.14 หลักการทำงานเบื้องต้นของวงจร FSK Generator	15
รูปที่ 2.15 หลักการในการใช้วงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์ในการกำเนิดสัญญาณ FSK	15
รูปที่ 2.16 หลักการทำงานเบื้องต้นในการดีมอดูเลตสัญญาณ FSK	16
รูปที่ 2.17 บล็อคไดอะแกรมของระบบควอดดราเจอร์ดีเทกชัน	18
รูปที่ 2.18 แสดงลักษณะการสแกรมเบลอร์ข้อมูล	19
รูปที่ 2.19 แสดงลักษณะการดีสแกรมเบลอร์ข้อมูล	19
รูปที่ 2.20 การจัดวางขาของไมโครคอนโทรลเลอร์ 8051	20
รูปที่ 2.21 แสดงโครงสร้างของพอร์ต 0 (บิต)	21
รูปที่ 2.22 แสดงโครงสร้างของพอร์ต 1 (บิต)	22
รูปที่ 2.23 แสดงโครงสร้างของพอร์ต 2 (บิต)	22
รูปที่ 2.24 แสดงโครงสร้างของพอร์ต 3 (บิต)	23
รูปที่ 2.25 วงจรสร้างคล็อคของไมโครคอนโทรลเลอร์ 8051	23
รูปที่ 2.26 แสดงการส่งข้อมูลผ่านพอร์ตสื่อสารอนุกรมโหมด 0	25
รูปที่ 2.27 แสดงการส่งข้อมูลผ่านพอร์ตสื่อสารอนุกรมโหมด 1	25
รูปที่ 2.28 แสดงการส่งข้อมูลผ่านพอร์ตสื่อสารอนุกรมโหมด 2	26
รูปที่ 2.29 แสดงการส่งข้อมูลผ่านพอร์ตสื่อสารอนุกรมโหมด 3	26
รูปที่ 2.30 รายละเอียดของรีจิสเตอร์ SCON	27
รูปที่ 2.31 รายละเอียดของรีจิสเตอร์ PCON	27
รูปที่ 2.32 รายละเอียดของรีจิสเตอร์ TMOD	27
รูปที่ 2.33 รายละเอียดของรีจิสเตอร์ TCON	27
รูปที่ 2.34 การเชื่อมต่อ MCS-51 เข้ากับ ADC 0804	29
รูปที่ 2.35 การเชื่อมต่อ MCS-51 เข้ากับ DAC MC1408L	29
รูปที่ 2.36 บล็อคไดอะแกรม BiM2-433-64	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

	หน้า
รูปที่ 2.37 แสดงลักษณะรูปร่างของ BiM2-433-64 และสายอากาศ	30
รูปที่ 2.38 การต่อวงจรร่วมกับ BiM2-433-64 เพื่อใช้งาน	32
รูปที่ 3.1 แสดงหลักการทำงานภาคส่งและภาครับของระบบ	33
รูปที่ 3.2 วงจรปรีแอมป์ไมโครโฟน	35
รูปที่ 3.3 แสดงผลตอบสนองทางความถี่ของ LPF ที่ต้องการ	35
รูปที่ 3.4 วงจรกรองความถี่ต่ำผ่านลำดับที่ 8	39
รูปที่ 3.5 วงจรยกระดับสัญญาณ	39
รูปที่ 3.6 แสดงไดอะแกรมทางเวลาของ ADC	40
รูปที่ 3.7 แสดงการเชื่อมต่อ DAC เพื่อใช้งาน	40
รูปที่ 3.8 วงจรการเชื่อมต่อ ADC , DAC และ MCS-51 เข้าด้วยกัน	41
รูปที่ 3.9 แสดงโฟลว์ชาร์ตหลักการทำงานของ MCS-51	42
รูปที่ 4.1 แสดงผลการทดลองวงจรปรีแอมป์ไมโครโฟนเมื่อป้อนอินพุตเป็นสัญญาณไซน์	43
รูปที่ 4.2 แสดงผลการทดลองวงจรปรีแอมป์ไมโครโฟนเมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม	44
รูปที่ 4.3 แสดงผลการทดลองวงจรปรีแอมป์ไมโครโฟนเมื่อป้อนอินพุตเป็นสัญญาณเสียง	44
รูปที่ 4.4 แสดงกราฟผลการทดลองวงจรกรองความถี่ต่ำผ่าน	46
รูปที่ 4.5 แสดงผลการทดลองวงจรยกระดับสัญญาณเมื่อป้อนอินพุตแรงดัน 5 โวลท์	46
รูปที่ 4.6 แสดงผลการทดลองวงจรยกระดับสัญญาณเมื่อป้อนอินพุตแรงดัน 3 โวลท์	47
รูปที่ 4.7 แสดงผลการทดลองวงจรยกระดับสัญญาณเมื่อป้อนอินพุตแรงดัน 1 โวลท์	47
รูปที่ 4.8 แสดงผลการทดลองภายในเมื่อป้อนอินพุตเป็นสัญญาณไซน์	50
รูปที่ 4.9 แสดงผลการทดลองภายในเมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม	51
รูปที่ 4.10 แสดงผลการทดลองภายในเมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม	51
รูปที่ 4.11 แสดงผลการทดลองรับส่งข้อมูลเมื่อป้อนอินพุตเป็นสัญญาณไซน์ 100 Hz	52
รูปที่ 4.12 แสดงผลการทดลองรับส่งข้อมูลเมื่อป้อนอินพุตเป็นสัญญาณไซน์ 300 Hz	53
รูปที่ 4.13 แสดงผลการทดลองรับส่งข้อมูลเมื่อป้อนอินพุตเป็นสัญญาณไซน์ 300 Hz	53
รูปที่ 4.14 การจำลองการสแกรมเบลอร์และดีสแกรมเบลอร์รูปแบบที่ 1	54
รูปที่ 4.15 การจำลองการสแกรมเบลอร์และดีสแกรมเบลอร์รูปแบบที่ 2	55
รูปที่ 4.16 การจำลองการสแกรมเบลอร์และดีสแกรมเบลอร์รูปแบบที่ 3	56
รูปที่ 4.17 การจำลองการสแกรมเบลอร์และดีสแกรมเบลอร์รูปแบบที่ 4	57
รูปที่ 4.18 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz	58
รูปที่ 4.19 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม 1 KHz	59
รูปที่ 4.20 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม 1 KHz	59
รูปที่ 4.21 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณเสียง	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 4.22 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz 60

รูปที่ 4.23 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม 1 KHz 61

รูปที่ 4.24 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม 1 KHz 61

รูปที่ 4.25 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณเสียง 62

รูปที่ 4.26 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz 62

รูปที่ 4.27 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม 1 KHz 63

รูปที่ 4.28 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม 1 KHz 63

รูปที่ 4.29 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณเสียง 64

รูปที่ 4.30 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz 64

รูปที่ 4.31 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม 1 KHz 65

รูปที่ 4.32 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม 1 KHz 65

รูปที่ 4.33 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณเสียง 66

รูปที่ 4.34 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz 67

รูปที่ 4.35 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณเสียง 67

รูปที่ 4.36 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz 68

รูปที่ 4.37 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณเสียง 68

รูปที่ 4.38 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz 69

รูปที่ 4.39 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณเสียง 69

รูปที่ 4.40 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz 70

รูปที่ 4.41 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณเสียง 70

รูปที่ 4.42 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz 71

รูปที่ 4.43 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz 71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 แสดงโหมดของพอร์ตสื่อสารอนุกรม	24
ตารางที่ 2.2 แสดงการใช้ Timer 1 กำหนด Baud Rate	28
ตารางที่ 2.3 แสดงโหมดในการทำงานของ BiM2-433-64	31
ตารางที่ 3.1 แสดงการปรับแต่งค่า C	39
ตารางที่ 3.2 แสดงความสัมพันธ์ระหว่างดิจิตอลอินพุตกับอนาล็อกเอาต์พุตของ DAC	40
ตารางที่ 4.1 แสดงผลการทดลองวงจรกรองความถี่ต่ำผ่าน	45
ตารางที่ 4.2 แสดงผลการทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล	48
ตารางที่ 4.3 แสดงผลการทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความสำคัญและที่มาของโครงงาน

ในโลกปัจจุบันนี้การติดต่อสื่อสารถือได้ว่าเป็นปัจจัยที่สำคัญอีกประการหนึ่งในการดำเนินชีวิตและการดำเนินกิจการต่างๆ การสื่อสารในปัจจุบันพัฒนาไปอย่างรวดเร็วและมีประสิทธิภาพ สามารถอำนวยความสะดวกสบายให้กับทุกคนได้ แต่การสื่อสารในปัจจุบันถึงแม้จะถูกพัฒนาเพื่อเพิ่มประสิทธิภาพและอำนวยความสะดวกสบายเพิ่มขึ้นทุกวันแต่ก็ไม่ได้คำนึงถึงความปลอดภัยของข้อมูลในการสื่อสารสักเท่าไร

การที่จะทำให้การติดต่อข้อมูลไร้สายมีความปลอดภัยต่อการถูกดักฟังจากผู้ประสงค์ร้ายนั้น เราสามารถทำได้โดยการทำการสแกรมเบลอร์ (Scrambler) ข้อมูลดิจิตอลก่อนที่จะส่งออกอากาศ แค่นี้ผู้ที่ดักฟังก็ไม่สามารถล่วงรู้ข้อมูลข่าวสารของเราได้อีกต่อไป มีแต่ผู้ที่มีเครื่องรับที่สามารถดีสแกรมเบลอร์ (Descrambler) ข้อมูลได้เท่านั้นที่จะสามารถเอาข้อมูลข่าวสารกลับคืนมาได้ ซึ่งก็อาจจะเป็นกลุ่มบุคคลที่อยู่ในองค์กรเดียวกันเท่านั้นที่สามารถรับข้อมูลข่าวสารได้

โครงงานนี้จึงได้จัดทำขึ้นเพื่อเพิ่มความปลอดภัยในการสื่อสาร ไม่ให้ถูกลักลอบดักฟังจากผู้ประสงค์ร้ายได้ โดยใช้วิธีการสแกรมเบลอร์ทางภาคส่ง แล้วทำการดีสแกรมเบลอร์ทางภาครับ เพียงเท่านี้ข้อมูลที่ทำการสื่อสารไร้สายก็จะปลอดภัยเป็นความลับ สามารถรับรู้ข้อมูลข่าวสารได้เฉพาะกลุ่มองค์กรเดียวกันเท่านั้น

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาการส่งผ่านข้อมูลไร้สายในระบบดิจิตอล
2. เพื่อศึกษาการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลดิจิตอล
3. เพื่อความปลอดภัยในการถูกลักลอบดักฟังข้อมูลข่าวสารในระบบสื่อสารไร้สาย

1.3 ขอบเขตของโครงงาน

1. มีความเข้าใจหลักการทำงานของระบบสื่อสารดิจิตอลไร้สาย
2. มีความเข้าใจในการออกแบบวงจรในภาคต่างๆของระบบสื่อสารดิจิตอลไร้สาย
3. สามารถเขียนโปรแกรมด้วยภาษาแอสเซมบลี (Assembly) เพื่อควบคุมการทำงานของไมโครคอนโทรลเลอร์ (MCS-51) ในการส่งผ่านข้อมูล และนำข้อมูลมาทำการสแกรมเบลอร์และดีสแกรมเบลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 วิธีการดำเนินการ

1. ศึกษาหลักการทำงานและการออกแบบวงจรในภาคต่างๆของระบบสื่อสารดิจิตอลไร้สาย

2. ทำการออกแบบบล็อคไดอะแกรม (Block Diagram) จากนั้นจึงทำการออกแบบวงจร

3. ทำการทดสอบวงจรในแต่ละภาคให้มีประสิทธิภาพ จากนั้นจึงนำวงจรในแต่ละภาคมารวมเข้าด้วยกัน

4. ศึกษาและเขียนโปรแกรมภาษาแอสเซมบลีเพื่อนำข้อมูลเข้ามาทำการสแกรมเบลอร์และดีสแกรมเบลอร์ในตัวไมโครคอนโทรลเลอร์

5. ศึกษาและทดสอบการรับส่งข้อมูล

6. ปรับปรุงและแก้ไขเพื่อเพิ่มประสิทธิภาพ

7. จัดทำรายงานและสรุปผลการทำงาน

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1. เพื่อเพิ่มความมั่นใจได้ว่าการสื่อสารในขณะนั้นไม่สามารถถูกดักฟังจากผู้ประสงค์ร้ายได้

2. ทำให้เข้าใจหลักการทำงานของระบบสื่อสารดิจิตอลไร้สาย

3. มีความรู้ความสามารถในการเขียนโปรแกรมด้วยภาษาแอสเซมบลีในการควบคุมไมโครคอนโทรลเลอร์

1.6 ส่วนประกอบของปริญญานิพนธ์

ปริญญานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บทด้วยกันคือ

บทที่ 1 กล่าวถึงความสำคัญและที่มาของโครงงาน วัตถุประสงค์ของโครงงาน ขอบเขตของโครงงาน วิธีการดำเนินการ ประโยชน์ที่คาดว่าจะได้รับ และส่วนประกอบของปริญญานิพนธ์

บทที่ 2 กล่าวถึงทฤษฎีและหลักการที่ใช้ในโครงงาน ซึ่งมีทฤษฎีและหลักการที่สำคัญคือ

1. การแปลงสัญญาณอนาล็อกเป็นดิจิตอล
2. การแปลงสัญญาณดิจิตอลเป็นอนาล็อก
3. การสแกรมเบลอร์
4. การดีสแกรมเบลอร์

บทที่ 3 กล่าวถึงการออกแบบและการสร้างระบบ

บทที่ 4 กล่าวถึงการทดลองและผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 กล่าวถึงบทวิจารณ์และสรุป ซึ่งกล่าวถึง 4 ส่วนใหญ่ๆคือ

1. ข้อสรุป
2. ปัญหาที่พบในระหว่างดำเนินโครงงาน
3. แนวทางการแก้ไข
4. แนวทางในการพัฒนาในอนาคต

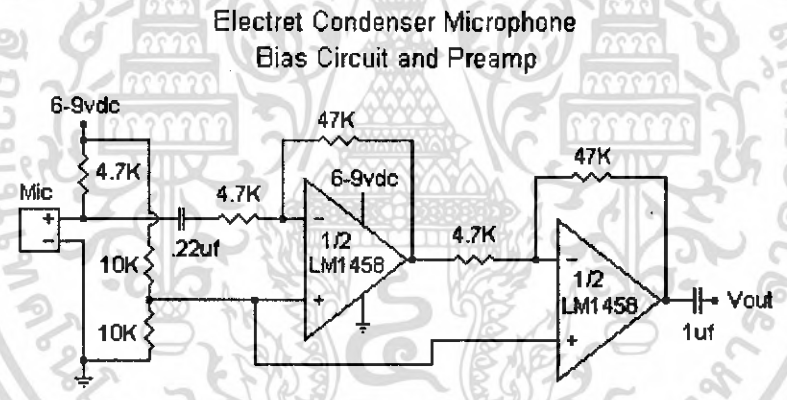
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

ในหัวข้อนี้จะกล่าวถึงทฤษฎีพื้นฐานต่างๆที่เกี่ยวข้องกับโครงงาน ซึ่งจะประกอบด้วยทฤษฎีทางภาคส่งและภาครับ ทางภาคส่งจะมีทฤษฎีหลักๆคือ การแปลงสัญญาณอนาล็อกเป็นดิจิตอลและการสแกรมเบลอร์ ส่วนทางภาครับจะมีทฤษฎีหลักๆคือ การแปลงสัญญาณดิจิตอลเป็นอนาล็อกและภารดีสแกรมเบลอร์

2.1 วงจรปรีแอมป์ไมโครโฟนแบบคอนเด็นเซอร์

เนื่องจากสัญญาณเสียงที่รับเข้ามาทางไมโครโฟนแบบคอนเด็นเซอร์จะมีแอมพลิจูดที่ต่ำมาก จึงต้องมีวงจรปรีแอมป์เพื่อทำการขยายสัญญาณเสียงที่รับเข้ามาทางไมโครไฟนแบบคอนเด็นเซอร์ก่อนนำไปประมวลผลต่อไป

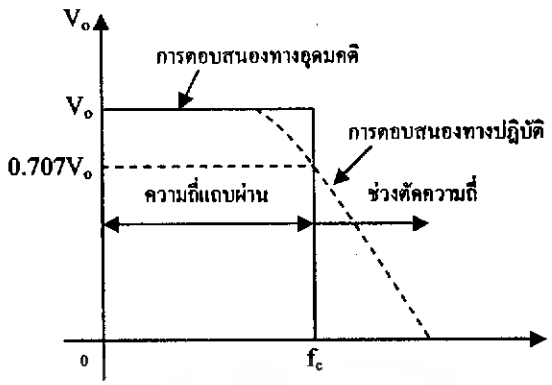


รูปที่ 2.1 วงจรปรีแอมป์ไมโครโฟนแบบคอนเด็นเซอร์

2.2 วงจรกรองความถี่ต่ำผ่าน

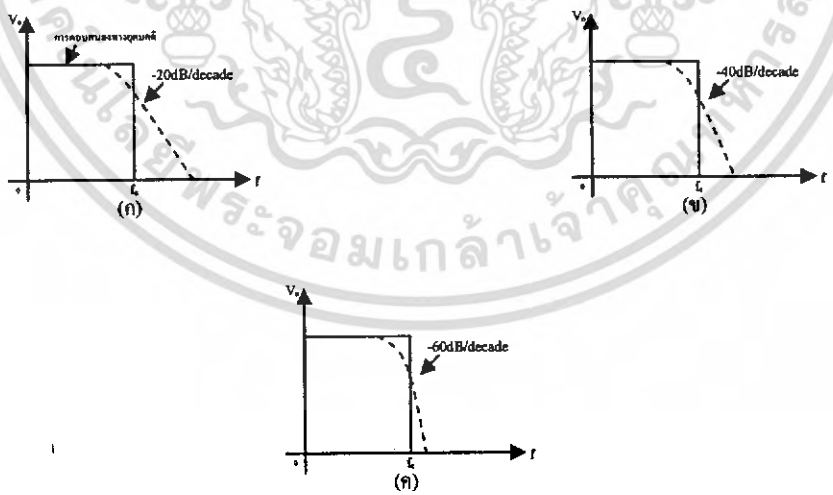
วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF) คือวงจรที่ยอมให้สัญญาณเฉพาะย่านความถี่ต่ำผ่านไปได้เท่านั้น เราจะเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่าย่านความถี่ผ่าน (Passband) และเรียกย่านความถี่ที่วงจรกรองจะกั้นไว้ไม่ให้ผ่านว่าย่านความถี่หยุด (Stopband) วงจรกรองความถี่ต่ำผ่านเป็นอุปกรณ์ที่สำคัญมากในงานด้านการสื่อสาร เช่น ใช้ในการกำจัดสัญญาณรบกวน (Noise) ที่ไม่ต้องการในระบบสื่อสาร ใช้ในการเปลี่ยนแปลงสัญญาณที่ได้จากการสุ่ม (Sampled signals) เป็นสัญญาณอนาล็อกเป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 การทำงานของวงจรกรองความถี่ต่ำผ่าน

จากรูปที่ 2.2 ซึ่งเป็นผลการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านจะพบว่าในทางความคิดหรืออุดมคติ ถ้าความถี่ของอินพุตมีค่ามากกว่าความถี่ตัดที่ต้องการ (Cut-off frequency : f_c) แล้ววงจรจะตัดสัญญาณความถี่นั้นไม่ให้ออกไปที่เอาต์พุตเลย แต่ในทางปฏิบัติวงจรไม่สามารถตอบสนองความถี่เช่นนี้ได้ เมื่อความถี่อินพุตเปลี่ยนแปลงถึงจุดตัดความถี่ของวงจร วงจรจะค่อยๆลดการตอบสนองความถี่ลง โดยอัตราการเปลี่ยนแปลงนี้จะขึ้นอยู่กับลำดับ (Order) ของวงจรกรองความถี่ต่ำผ่าน ซึ่งโดยทั่วไปวงจรกรองความถี่มีตั้งแต่ลำดับที่ 1 , 2 , 3 , 4 ไปเรื่อยๆจนถึงลำดับที่ n สำหรับตัวอย่างลำดับของวงจรกรองความถี่ต่ำผ่านที่มีผลต่อการเปลี่ยนแปลงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน แสดงไว้ในรูปที่ 2.3



รูปที่ 2.3 การตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านที่ลำดับต่างๆ

(ก) ลำดับที่ 1 (First order)

(ข) ลำดับที่ 2 (Second order)

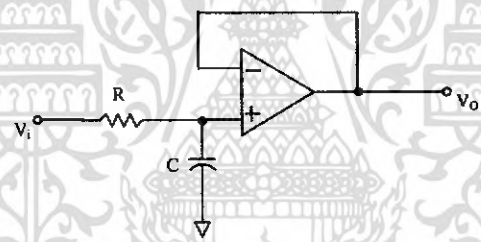
(ค) ลำดับที่ 3 (Third order)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.3 จะเห็นว่าวงจรกรองความถี่ต่ำผ่านที่ตอบสนองความถี่ได้ใกล้เคียงกับอุดมคติมากที่สุดคือ ลำดับที่ 3 ถ้าลำดับยิ่งสูงกว่านี้การตอบสนองความถี่ก็จะยิ่งใกล้เคียงกับอุดมคติมากขึ้นไปอีก แต่ก็ทำให้วงจรกรองความถี่ต่ำผ่านที่มีลำดับสูงขึ้นมีความซับซ้อนเพิ่มขึ้นตามไปด้วย ในทางใช้งานจริงมักจะนิยมใช้วงจรกรองความถี่ลำดับที่ 2 (2^{nd} order filter) มากกว่า เนื่องจากสามารถใช้ออปแอมป์เพียงตัวเดียวสร้างได้

วงจรกรองความถี่ต่ำผ่านลำดับที่ 2 จากรูป 2.3(ค) พบว่ามีอัตราการตกของความถี่เมื่อเทียบกับอัตราการขยายเท่ากับ -40dB/decade โดยเครื่องหมายลบแสดงถึงอัตราให้เห็นว่าเป็นการตกและตัวเลขนี้หมายความถึงวงจรกรองความถี่ต่ำผ่านอยู่ลำดับที่ 2 ซึ่งจะมีอัตราการตกของอัตราขยาย 40 dB ต่อช่วง 10 เท่าของความถี่ ยกตัวอย่างเช่น ที่ความถี่ 1 KHz วงจรกรองความถี่มีอัตราขยาย 40 dB (100 เท่า) เมื่อความถี่เพิ่มขึ้นไปถึง 10 KHz วงจรกรองความถี่ต่ำผ่านจะมีอัตราการขยายลดลงเหลือ 0 dB (1 เท่า) เนื่องจากความถี่ 1 KHz ไปยังความถี่ 10 KHz เราเรียกที่ 1 decade

2.2.1 วงจรกรองความถี่ต่ำผ่านลำดับที่ 1



รูปที่ 2.4 วงจรกรองความถี่ต่ำผ่านลำดับที่ 1

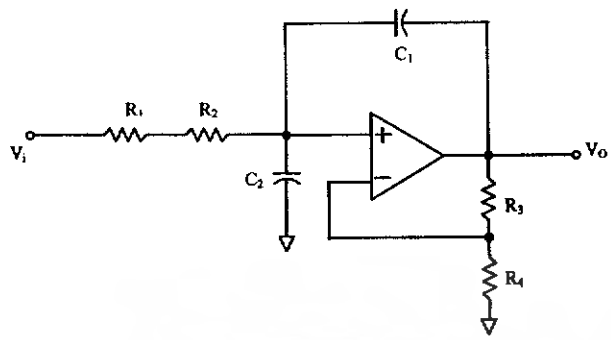
วงจรกรองความถี่ต่ำผ่านลำดับที่ 1 อยู่ในรูปที่ 2.4 ออปแอมป์ต่อเป็นวงจรตามแรงดันเพื่อทำให้เอาต์พุตอิมพีแดนซ์ของวงจรกรองความถี่ต่ำผ่านมีค่าต่ำ โดยค่าความถี่ตัด (f_C) สามารถกำหนดได้จากค่าอุปกรณ์ภายนอกตามสมการ (2.1)

$$f_c = \frac{0.1591}{RC} \qquad (2.1)$$

วงจรในรูปที่ 2.4 นี้จะมีอัตราขยายลูปปิด (A_{CL}) เท่ากับ 1 ตามสมการของวงจรตามแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 วงจรกรองความถี่ต่ำผ่านลำดับที่ 2



รูปที่ 2.5 วงจรกรองความถี่ต่ำผ่านลำดับที่ 2

วงจรกรองความถี่ต่ำผ่านลำดับที่ 2 สามารถสร้างได้ง่ายโดยใช้ออปแอมป์เพียงตัวเดียว ดังรูปที่ 2.5 วงจรนี้อาจจะเรียกว่า วงจรกรองความถี่แบบ Sallen and Key ซึ่งตั้งชื่อตามผู้ออกแบบวงจร สำหรับวงจรนี้ความถี่ตัด (Cut-off frequency : f_C) สามารถกำหนดได้จากค่าอุปกรณ์ที่ต่ออยู่ภายนอกตามสมการ (2.2)

$$f_c = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} \qquad (2.2)$$

ถ้าหากเรากำหนดให้ $R_1 = R_2 = R$ และ $C_1 = C_2 = C$ สมการ (2.2) สามารถลดรูปได้เป็นสมการ (2.3)

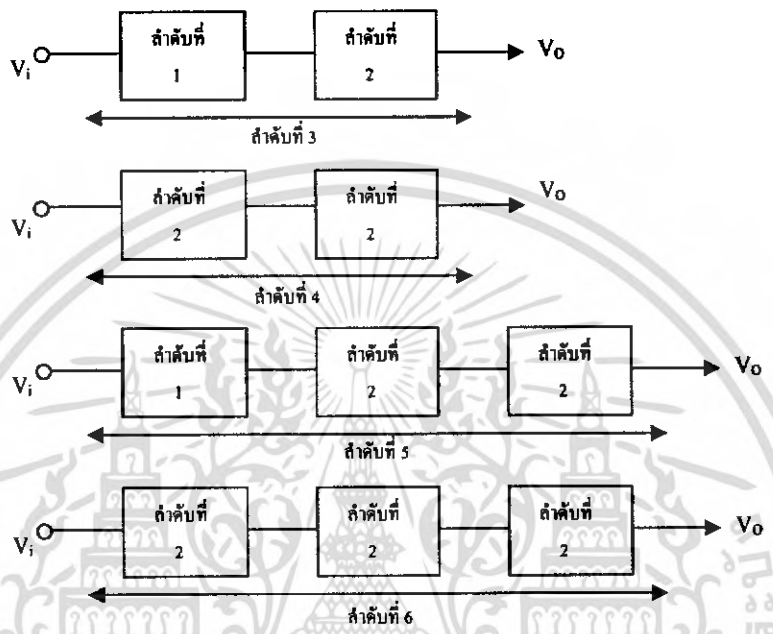
$$f_c = \frac{1}{2\pi RC} \qquad (2.3)$$

ส่วนตัวต้านทาน R_3 และ R_4 มีไว้เพื่อเป็นตัวกำหนดอัตราขยายของวงจรลูปปิด (A_{CL}) แต่โดยปกติแล้วเราจะมีการกำหนดให้ A_{CL} มีค่าเท่ากับ 1.586 เพื่อให้วงจรสามารถทำงานได้อย่างมีประสิทธิภาพที่สุด นั่นแสดงว่าเราควรกำหนดค่า R_3 มีค่าเป็น 0.586 เท่าของ R_4 เนื่องจากออปแอมป์ต่อเป็นวงจรขยายแบบไม่กลับเฟส สำหรับค่า R_3 และ R_4 ที่เหมาะสมคือ $R_3 = 27\ K\Omega$ และ $R_4 = 47\ K\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 วงจรกรองความถี่ต่ำผ่านในลำดับที่สูงขึ้น

เราสามารถสร้างวงจรกรองความถี่ต่ำผ่านให้สูงกว่าลำดับที่สองได้ โดยการนำวงจรกรองความถี่ต่ำผ่านที่มีความถี่ตัดเท่ากันมาต่อเรียงกัน ดังรูปที่ 2.6 ซึ่งเราเรียกการต่อแบบนี้ว่า แคสเคด (Cascade) จะทำให้ได้ลำดับที่สูงขึ้นตามผลบวกของลำดับวงจรกรองความถี่ต่ำผ่านที่นำมาต่อเรียงกัน



รูปที่ 2.6 วงจรกรองความถี่ต่ำผ่านในลำดับที่สูงขึ้น

2.3 วงจรรวมสัญญาณแบบไม่กลับเฟส

วงจรรวมสัญญาณแบบไม่กลับเฟสคือ วงจรที่ให้สัญญาณเอาต์พุตที่เกิดจากการรวมของสัญญาณทุกสัญญาณจากแหล่งป้อนแรงดันทางด้านอินพุต โดยขั้วของแรงดันทางด้านอินพุตจะเหมือนกับทางเอาต์พุตด้วย

ในการพิจารณาวงจรรูปที่ 2.7 ต้องหา E_{in} ของส่วน passive average จากวงจรและสมการข้างล่างนี้ โดยที่ R ทุกตัวเท่ากับ 10 กิโลโอห์ม

จากลูปกระแส I_1

$$E_3 = I_1R + (I_1-I_2)\times R + E_2$$

$$\frac{(E_3-E_2)}{R} = 2I_1-I_2 \qquad \text{.....(1)}$$

จากลูปกระแส I_2

$$E_2 = (I_2-I_1)\times R + I_2\times R + E_1$$

$$\frac{(E_2-E_1)}{R} = 2I_2-I_1 \qquad \text{.....(2)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ (1) × 2

$$\frac{(2E_3-2E_2)}{R} = 4I_1-2I_2 \qquad \text{.....(3)}$$

สมการ (3)+(2)

$$\frac{(2E_3-E_2-E_1)}{R} = 3I_1$$

$$\frac{(2E_3-E_2-E_1)}{3R} = I_1 \qquad \text{.....(4)}$$

หา E_{in} โดยใช้คำตอบจากสมการ (4)

$$E_{in} = E_3 - (I_1 \times R)$$

$$= E_3 - \left[\frac{(2E_3-E_2-E_1)}{3R}\right] \times R$$

$$= \frac{(3E_3-2E_3+E_1+E_2)}{3}$$

$$E_{in} = \frac{(E_1+E_2+E_3)}{3} = \frac{(E_1+E_2+E_3+\ldots E_n)}{n}$$

เมื่อ n คือจำนวนแหล่งป้อนแรงดัน

จากอัตราการขยายของวงจรขยายแบบไม่กลับเฟส $A_{CL} = 1+(R_f)$ และ E_{in} ถ้าต้องการให้ $V_o = E_1 + E_2 + E_3$ ดังนั้น

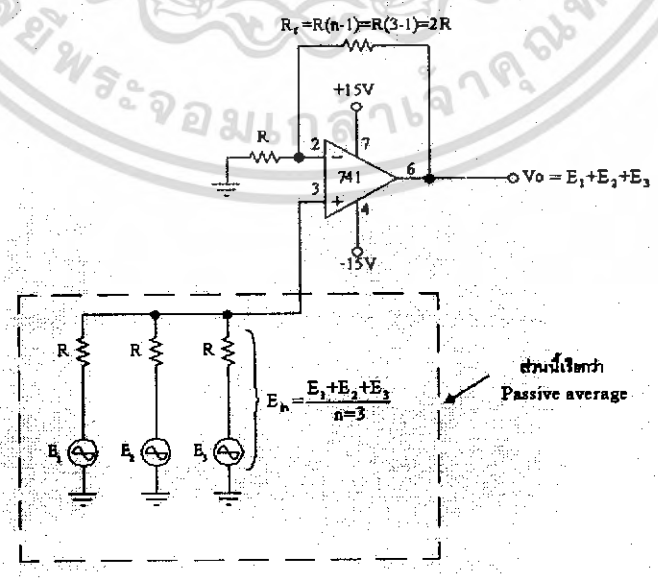
$$A_{CL} = \frac{V_O}{E_{in}}$$

$$1+\frac{(R_f)}{R} = (E_1+E_2+E_3) \times \left[\frac{3}{(E_1+E_2+E_3)}\right]$$

$$R_f = 3-1 = 2$$

$$R_f = 2R$$

$$R_f = (n-1) \times R \qquad (2.4)$$



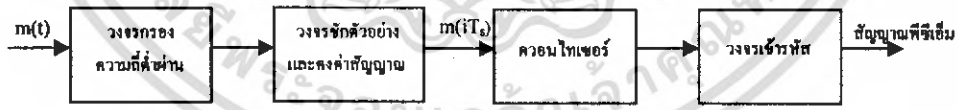
รูปที่ 2.7 วงจรรวมสัญญาณแบบไม่กลับเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การแปลงสัญญาณอนาล็อกเป็นดิจิตอลโดยการมอดูเลตรหัสพัลส์

การมอดูเลตรหัสพัลส์ (Pulse Code Modulation) นิยมเรียกย่อว่า พีซีเอ็ม (PCM) เป็นการมอดูเลตที่ให้สัญญาณลัพธ์ออกมาเป็นสัญญาณดิจิตอลโดยสมบูรณ์ จึงได้รับความนิยมใช้กันมากในปัจจุบัน สัญญาณดิจิตอลมีความน่าใช้กว่าสัญญาณอนาล็อกก็เพราะว่าสัญญาณดิจิตอลมีภูมิต้านทานต่อสัญญาณรบกวนและความผิดเพี้ยนที่ดีกว่า ข้อได้เปรียบที่สุดของระบบดิจิตอลคือ สามารถที่จะใช้เครื่องทวนสัญญาณแบบสร้างพัลส์ใหม่ (Regenerative repeater) ได้ จึงทำให้ไม่เกิดการสะสมความผิดเพี้ยนขึ้นในระบบสื่อสารนั้น ทำให้สามารถส่งข่าวสารได้ตลอดระยะทางไกลด้วยความถูกต้องสูง ซึ่งในระบบอนาล็อกจะไม่มีวิธีที่จะหลีกเลี่ยงการสะสมของสัญญาณรบกวนและความผิดเพี้ยนที่เกิดขึ้นได้เลย ทำให้เกิดการสะสมความผิดเพี้ยนของสัญญาณมากขึ้นในการสื่อสารระยะไกล จึงทำให้คุณภาพของสัญญาณเลวลง

ในระบบพีซีเอ็มจะทำการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยกระบวนการสำคัญ 3 กระบวนการคือ การชักค่าตัวอย่างสัญญาณ การทำควอนไทซ์สัญญาณ (Quantization) และการเข้ารหัสสัญญาณ ในลำดับแรกสัญญาณอนาล็อกจะถูกชักค่าตัวอย่างตามทฤษฎีการชักค่าที่ช่วงเวลาห่างเท่าๆกัน และจะนำค่าตัวอย่างสัญญาณที่ได้นั้นไปเปรียบเทียบกับระดับสัญญาณที่จัดเตรียมไว้แล้ว L ระดับ ซึ่งอยู่ห่างกันแบบดิสครีต (Discrete) ที่เรียกว่า ระดับการควอนไทซ์ (Quantization level) ค่าของตัวอย่างสัญญาณที่เข้ามาเปรียบเทียบนั้น ถ้าอยู่ใกล้กับระดับใดมากที่สุดก็จะจัดปัดประมาณค่าขนาดของตัวอย่างสัญญาณนั้นให้มีค่าขนาดตัวอย่างออกมาเท่ากับค่าของระดับดิสครีตที่อยู่ใกล้ที่สุดนั้น การประมาณจุดแบ่งระดับสัญญาณเช่นนี้เรียกว่า การควอนไทซ์สัญญาณ (Quantize) สัญญาณที่ได้รับการควอนไทซ์มาแล้วนี้จะถูกนำมาเข้ารหัสเป็นรหัสดิจิตอล ซึ่งโดยทั่วไปแล้วจะเป็นรหัสฐานสอง และรหัสดิจิตอลนี้ก็จะถูกแทนด้วยพัลส์ที่มีรูปแบบแน่นอนเพื่อใช้ส่งผ่านช่องสื่อสารต่อไป



รูปที่ 2.8 ระบบพีซีเอ็ม

1. สัญญาณอนาล็อกอินพุต m(t) จะถูกกรองด้วยวงจรกรองความถี่ต่ำผ่านเพื่อขจัดองค์ประกอบของสัญญาณที่มีความถี่สูงกว่า f_m เฮิรตซ์ ที่เกินความจำเป็นในการสื่อสารออก เพื่อป้องกันการเกิดเอเลียสชิง (Aliasing) อันอาจจะมีการเกิดขึ้นได้ในกระบวนการการชักค่าตัวอย่างสัญญาณ

2. สัญญาณที่มีย่านความถี่จำกัดที่ได้จากขั้นตอนที่ 1. จะถูกชักค่าตัวอย่างด้วยอัตราความถี่การชักตัวอย่างไนควิสต์ f_s โดยเงื่อนไข $f_s \geq 2f_m$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

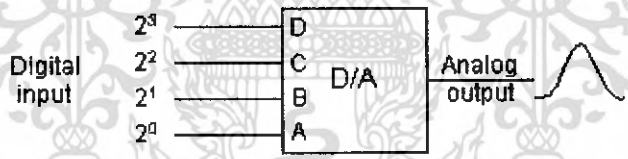
3. ค่าตัวอย่างสัญญาณ $m(iT_s)$, $(i = 0,\pm1,\pm2,\ldots)$ จะถูกรักษาระดับในวงจรชักค่าและคงค่าระดับสัญญาณในระหว่างช่วงเวลา $T_s = \frac{1}{f_s}$

4. ในช่วงเวลา T_s ที่วงจรชักค่าตัวอย่างและคงค่าระดับสัญญาณทำการรักษาค่าระดับของค่าสัญญาณตัวอย่างอยู่นี้ วงจรทำควอนไทซ์ซึ่งเรียกกันว่า ควอนไทเซอร์ (Quantizer) นั้นก็จะทำการแปลงค่าระดับของค่าตัวอย่างสัญญาณ ซึ่งเป็นค่าระดับเชิงอนาล็อกให้เป็นค่าระดับเชิงดิสครีต ในกระบวนการนี้อาจเกิดความแตกต่างของค่าระดับเชิงอนาล็อกและค่าระดับเชิงดิสครีตบ้าง ค่าความคาดเคลื่อนนี้จะมีค่าลดลงหากระดับดิสครีตของควอนไทเซอร์มีจำนวนเพิ่มขึ้น สัญญาณที่มีค่าเฉพาะเท่ากับระดับเชิงดิสครีต (ระดับการควอนไทซ์) ที่ได้มานี้จัดได้ว่าเป็นสัญญาณดิจิตอลชนิดหนึ่ง

5. วงจรเข้ารหัสจะเปลี่ยนค่าแอมพลิจูดของสัญญาณจากการควอนไทเซอร์ให้เป็นกลุ่มของรหัสพัลส์ ซึ่งขึ้นอยู่กับผู้ออกแบบที่ต้องการว่าจะส่งสัญญาณผ่านช่องสัญญาณแบบใด

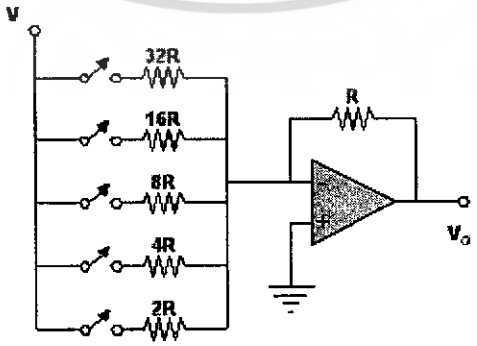
2.5 การแปลงสัญญาณดิจิตอลเป็นอนาล็อก

การแปลงสัญญาณดิจิตอลเป็นอนาล็อก (Digital to Analog Converter : DAC) จะมีอินพุตเป็นสัญญาณดิจิตอลและเอาต์พุตเป็นสัญญาณอนาล็อก หากต้องการรายละเอียดสูงจะต้องมีจำนวนบิตที่อินพุตมาก



รูปที่ 2.9 แสดงความสัมพันธ์ระหว่างสัญญาณดิจิตอลอินพุตและสัญญาณอนาล็อกเอาต์พุต

2.5.1 Summed Source DAC



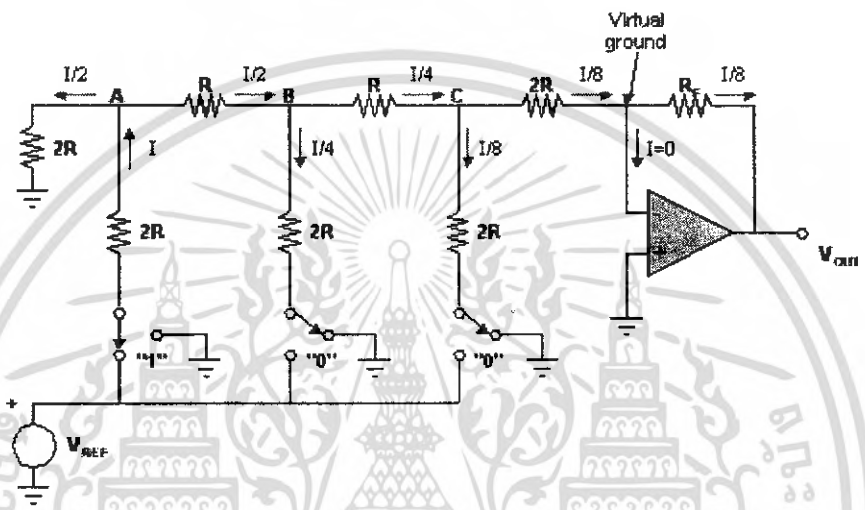
รูปที่ 2.10 Summed Source DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.10 เป็นวงจรอย่างง่ายในการแปลงสัญญาณดิจิตอลเป็นอนาล็อก จะเห็นได้ว่าเป็นวงจร Summing Amplifier ที่มีความต้านทานค่า 2R , 4R และ 8R เพื่อทำให้กระแสที่ผ่านความต้านทานแต่ละตัวมีค่าลดลงเป็น 2 เท่า ความต้านทานตัวล่างสุด (2R) จะเป็น MSB ส่วนตัวบนสุดจะเป็น LSB

ข้อเสียของการใช้วงจรในลักษณะนี้ในทางปฏิบัติคือ ค่าความต้านทานที่ต่างกันเป็น 2 เท่า คือ 2R , 4R , 8R , ... จะไม่สามารถหาได้ง่ายจึงมีการปรับปรุงเป็นวงจร R-2R DAC

2.5.2 Switched Voltage R-2R DAC



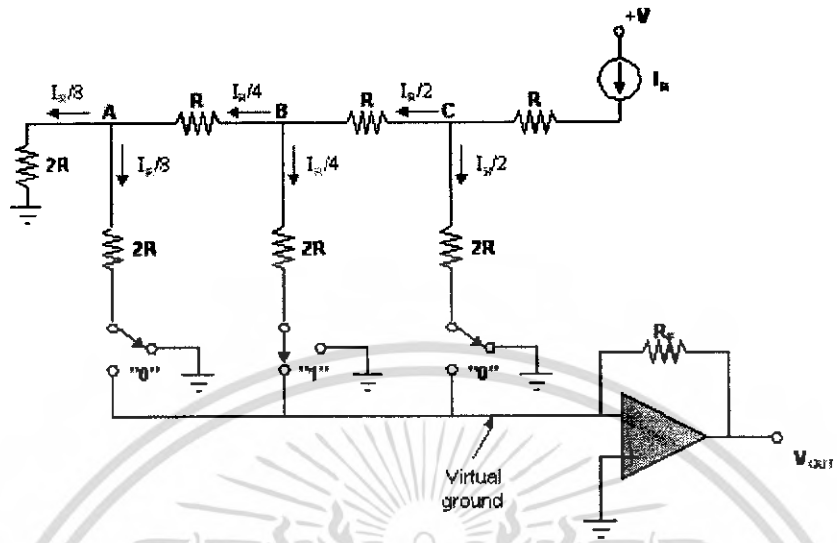
รูปที่ 2.11 Swiched Voltage R-2R DAC

จากรูปที่ 2.11 เป็นวงจร DAC 3 บิต โดยใช้ออปแอมป์และความต้านทานเพียง 2 ค่า คือ R และ 2R สังเกตว่าอินพุตดิจิตอลจะมาจากสวิตช์ทั้ง 3 ตัว ซึ่งอาจต่อกับกราวด์หรือลอจิก "0" หรือต่อกับแรงดันอ้างอิง (V_{REF}) หรือลอจิก "1" ตัวอย่างนี้อินพุตมีค่าเป็น "001"

พิจารณากระแส I เมื่อผ่านจุด A จะถูกแบ่งเป็นสองส่วนเท่าๆ กันเหลือ $\frac{I}{2}$ เมื่อผ่านจุด B และ C จะถูกแบ่งอีกครั้งเหลือ $\frac{I}{4}$ และ $\frac{I}{8}$ ตามลำดับ ดังนั้นกระแสที่ป้อนให้กับออปแอมป์จะเหลือ $\frac{I}{8}$ เมื่อพิจารณาที่สวิตช์ตัวอื่นๆก็จะมีลักษณะคล้ายกัน ดังนั้นกระแสที่ผ่านออปแอมป์เมื่อปิดสวิตช์อื่นนับจากซ้ายมาขวาจะมีค่าขนาดเท่ากับ $\frac{I}{8}$, $\frac{I}{4}$ และ $\frac{I}{2}$ ตามลำดับ สวิตช์ซ้ายสุดจะเป็น LSB ส่วนขวาสุดจะเป็น MSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 Switched Current R-2R DAC

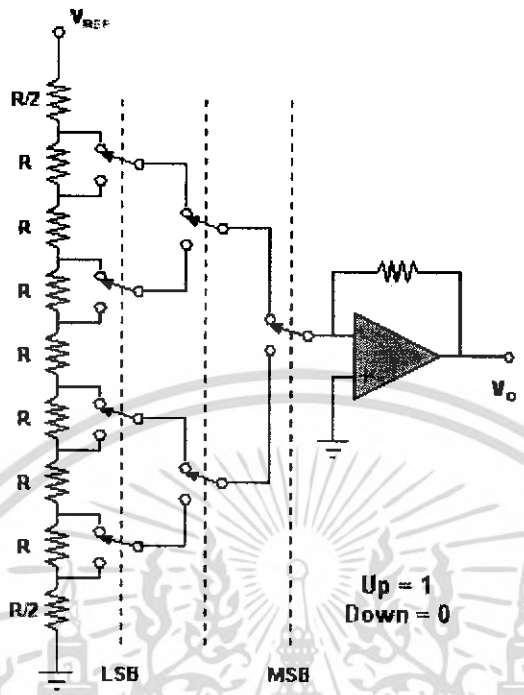


รูปที่ 2.12 Swiched Current R-2R DAC

จากรูปที่ 2.12 จะสังเกตได้ว่าวงจรนี้จะเปลี่ยนจากการใช้แรงดันอ้างอิง (V_{REF}) มาเป็นกระแสอ้างอิง (I_R) กระแสที่ผ่านสวิตช์แต่ละตัวจากขวามาซ้ายจะเป็น $\frac{I_R}{2}$, $\frac{I_R}{4}$ และ $\frac{I_R}{8}$ ตามลำดับ วงจรลักษณะนี้จะมีความเร็วสูงกว่าวงจร Switched Voltage R-2R DAC เนื่องจากค่าคาปาซิแตนซ์ที่รอยต่อ (Junction capacitance) ของความต้านทานแต่ละตัวจะไม่ถูกชาร์จและดิสชาร์จเหมือนวงจร Switched Voltage R-2R DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.4 Switched Pole DAC



รูปที่ 2.13 Swiched Pole DAC

จากรูปที่ 2.13 จะมีการใช้ความต้านทานต่ออนุกรมกันหลายตัว เนื่องจากวงจรนี้ต้องการความต้านทานที่มีค่าเท่าๆกัน ดังนั้นจึงเป็นที่นิยมสำหรับผู้ผลิต Integrated Circuit สังเกตว่าจะมีความต้านทานที่ปลายทั้งสองของอนุกรมเพื่อปรับ Offset ของเอาต์พุต

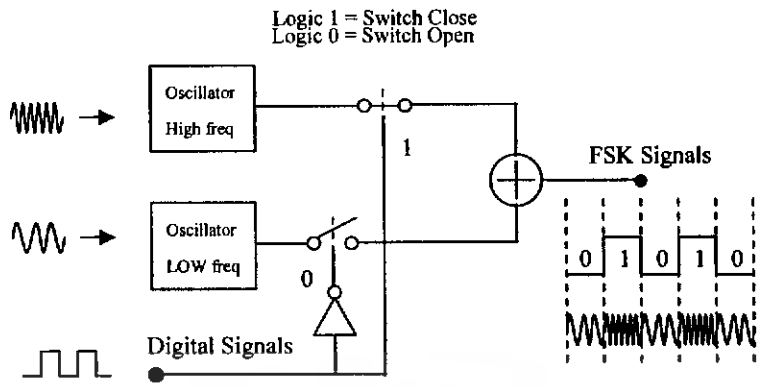
2.6 การมอดูเลตสัญญาณดิจิตอลทางความถี่

การมอดูเลตสัญญาณดิจิตอลทางความถี่ (Frequency Shift Keying : FSK) คือ การมอดูเลตทางความถี่ของคลื่นพาห์ โดยความแตกต่างของความถี่คลื่นพาห์จะบอกถึงค่าของข้อมูลดิจิตอล

การมอดูเลตสัญญาณดิจิตอลทางความถี่ (FSK Modulator) จะทำการเปลี่ยนข้อมูลดิจิตอลแบบอนุกรมเป็นคลื่นไซน์อนาล็อก โดยความถี่สูงแทนลอจิก "1" และความถี่ต่ำแทนลอจิก "0" โดยป้อนข้อมูลดิจิตอลเข้าสู่วงจร FSK Generator ตามรูปที่ 2.14

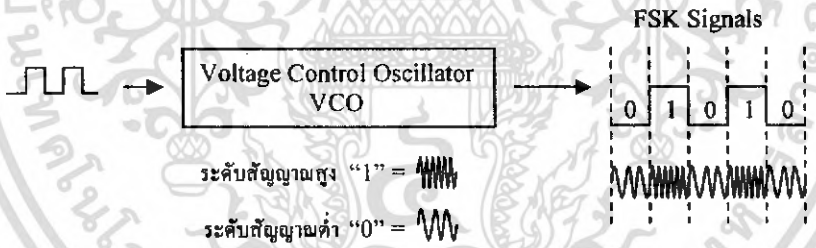
วงจร FSK Generator จะทำหน้าที่เปลี่ยนข้อมูลดิจิตอลเป็นความถี่คลื่นไซน์อนาล็อกตามระดับของลอจิกของสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 หลักการทำงานเบื้องต้นของวงจร FSK Generator

การทำตามรูปที่ 2.14 จะมีวงจรกำเนิดความถี่ 2 วงจรคือ วงจรผลิตความถี่สูง (High frequency) และวงจรผลิตความถี่ต่ำ (Low frequency) ในการกำเนิดสัญญาณ FSK เบื้องต้นนั้น เราจะใช้สวิตช์ในการเปิด/ปิดความถี่ดังรูปที่ 2.14 โดยสัญญาณดิจิตอลลอจิก "1" จะถูกแทนด้วยความถี่สูงและสัญญาณดิจิตอลลอจิก "0" จะถูกแทนด้วยความถี่ต่ำ จากนั้นจะส่งมารวมกันให้เป็นสัญญาณ FSK ส่งออกไปยังวงจรภาคต่อไป



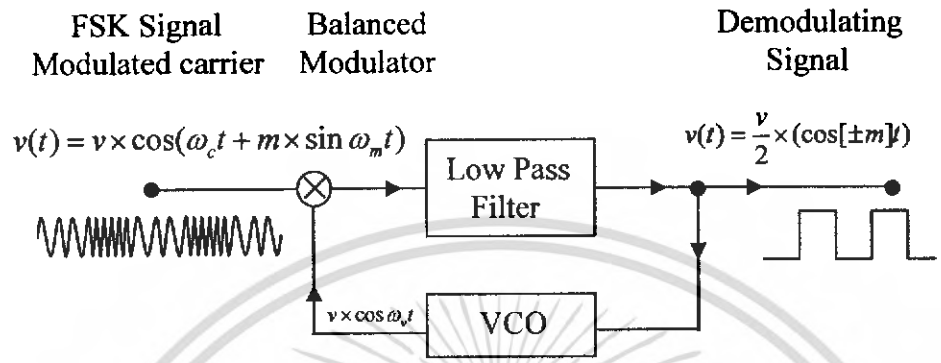
รูปที่ 2.15 หลักการในการใช้วงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์ในการกำเนิดสัญญาณ FSK

สัญญาณดิจิตอลจะถูกป้อนเข้าสู่วงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์ (Voltage Control Oscillator: VCO) เพื่อที่จะทำการเปลี่ยนเป็นสัญญาณ FSK โดยวงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์จะทำหน้าที่ในการแปลงระดับลอจิกของสัญญาณดิจิตอลไปเป็นความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 การดีมอดูเลตสัญญาณดิจิตอลทางความถี่

2.7.1 หลักการเบื้องต้นในการดีมอดูเลตสัญญาณ FSK



รูปที่ 2.16 หลักการทำงานเบื้องต้นในการดีมอดูเลตสัญญาณ FSK

หลักการทำงานก็คือ แรงดันกระแสตรงที่ออกมาจากวงจรกรองความถี่ต่ำผ่านจะถูกใช้ควบคุมความถี่ของวงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์ ซึ่งถ้าความถี่อินพุตเปลี่ยนไปแรงดันที่ควบคุมวงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์นี้ก็จะเปลี่ยนตามไปด้วย วงจรนี้ถูกออกแบบมาเพื่อให้การเปลี่ยนแปลงแรงดันที่อินพุตไปเปลี่ยนแปลงแรงดันที่ควบคุมวงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์ให้เปลี่ยนแปลงไปตามอินพุตด้วย ก็จะทำให้ลูปซึ่งควบคุมความถี่ด้วยวงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์ที่ทำงานสัมพันธ์กับอินพุตมีความถี่ที่เปลี่ยนแปลงตามไปด้วย ถ้าเกิดการเปลี่ยนแปลงของความถี่อินพุตอันเนื่องมาจากสัญญาณ FSK ก็จะทำให้แรงดันที่ควบคุมวงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์เกิดการเปลี่ยนแปลงไปตามอินพุตสัญญาณ FSK ด้วย ดังนั้นวงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์ที่ควบคุมด้วยแรงดันจะเป็นตัวดีมอดูเลตสัญญาณ FSK ได้

สัญญาณ FSK และเอาต์พุตของวงจรโวลท์เตจคอนโทรลออสซิลเลเตอร์จะผ่านเข้าสู่วงจรคูณ (Balance Modulator) จะให้สัญญาณ FSK มีสมการเป็นดังนี้

$$v(t)=v\times\cos(\omega_c t+m\times\sin\omega_m t) \qquad (2.5)$$

และด้วยรูปคลื่นมอดูเลตที่เป็นไบนารี่ก็จะได้

$$v(t)=v\times\cos(\omega_c t\pm m) \qquad (2.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ให้สัญญาณโวลท์เตจคอนโทรลออสซิลเลเตอร์เป็น $v\times\cos\omega_v t$ เมื่อคูณเข้าด้วยกันจะได้

$$v(t)=v\times\cos(\omega_c t\pm m)\times\cos\omega_v t$$

$$v(t)=\frac{v}{2}\times[\cos(\omega_c+\omega_v\pm m)t+\cos(\omega_c-\omega_v\pm m)t] \qquad (2.7)$$

ถ้าความถี่ ω_c และ ω_v มีค่าเท่ากันก็จะได้

$$v(t)=\frac{v}{2}\times(\cos[2\omega\pm m]t+\cos[\pm m]t) \qquad (2.8)$$

ในเทอมของ 2ω จะถูกกรองออกไปด้วยวงจรกรองความถี่ต่ำผ่านเหลือแต่

$$v(t)=\frac{v}{2}\times(\cos[\pm m]t) \qquad (2.9)$$

2.7.2 ควอดดราเจอร์ดีเทกชัน

การดีมอดูเลตสัญญาณเอฟเอ็มแบบควอดดราเจอร์ดีเทกชัน (Quardrature Detection) เป็นการใช้วิธีการแยกแยะเฟส (Phase Discriminator) ในการดึงเอาสัญญาณเบสแบนด์ (Baseband) ออกมาจากสัญญาณเอฟเอ็ม ดังนั้นจึงต้องกล่าวถึงหลักการของวงจรแยกแยะเฟสเสียก่อน วงจรแยกแยะเฟสจะอาศัยหลักการพื้นฐานของการดิฟเฟอร์เรนชิเอท (Differentiate) แสดงการดิฟเฟอร์เรนชิเอทในรูปของการประมาณค่าดังนี้

$$\frac{d}{d_t}\varphi(t)=\frac{1}{\tau}[\varphi(t)-\varphi(t-\tau)] \qquad (2.10)$$

ในกรณีของสัญญาณเอฟเอ็มนั้น เนื่องจาก $\varphi(t)=k\int_{-\infty}^{t}m(t)dt$ ดังนั้นจะสามารถรวมสมการ (2.9) กับสัญญาณเบสแบนด์ $m(t)$ ได้ในรูปต่อไปนี้

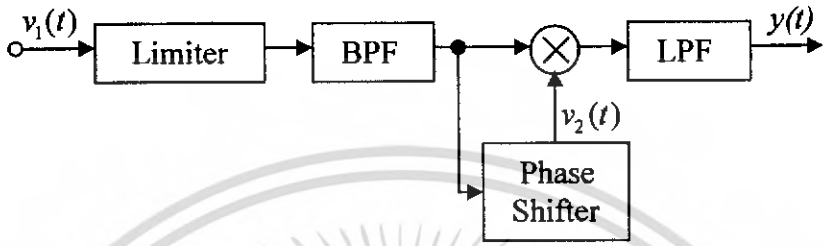
$$[\varphi(t)-\varphi(t-\tau)]=\tau\frac{d}{d_t}\varphi(t)=km(t)\tau \qquad (2.11)$$

นั่นคือสามารถที่จะสร้าง $\varphi(t-\tau)$ และสร้างวงจรที่จะให้ผลต่างระหว่าง $\varphi(t)$ และ $\varphi(t-\tau)$ สัญญาณขาออกที่ได้ก็จะแปรผันตรงกับสัญญาณเบสแบนด์ $m(t)$ การสร้างสัญญาณ $\varphi(t-\tau)$ จากสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

72908

เอฟเอ็มก็จะทำได้โดยใช้วงจรหน่วงเวลาหรือวงจรเลื่อนเฟสแบบเชิงเส้น (Linear phase shifter) นั่นเอง สำหรับการสร้างสัญญาณ $\varphi(t)-\varphi(t-\tau)$ นั้นจะทำได้โดยนำสัญญาณเอฟเอ็มเดิมกับสัญญาณเอฟเอ็มที่ถูกหน่วงเวลามาเข้าวงจรคูณแล้วกรองด้วยวงจรกรองความถี่ต่ำผ่าน รูปที่ 2.17 แสดงบล็อคไดอะแกรมของระบบ



รูปที่ 2.17 บล็อคไดอะแกรมของระบบควอดคราเจอร์ดีเทกชัน

ควอดคราเจอร์ดีเทกชันนั้นเป็นชื่อเรียกระบบดีเทกชันที่ตั้งการหน่วงเวลาของวงจรหน่วงเวลาให้มีค่าเท่ากับ τ ที่ทำให้ $\omega_c\tau=\frac{\pi}{2}$ ดังนั้นถ้าให้สัญญาณเอฟเอ็มที่เข้ามาเขียนได้เป็น $v_1(t)=\cos[\omega_c t+\varphi(t)]$ สัญญาณที่ผ่านวงจรหน่วงเวลาก็จะเขียนได้เป็น

$$v_2(t)=\cos[\omega_c(t-\tau)+\varphi(t-\tau)]=\sin[\omega_c t+\varphi(t-\tau)] \qquad (2.12)$$

เมื่อคูณสัญญาณ $v_1(t)$ และ $v_2(t)$ ด้วยวงจรคูณแล้วผ่านวงจรกรองความถี่ต่ำผ่านผลที่ได้ออกมาจะเป็น

$$y(t)=\sin[\varphi(t)-\varphi(t-\tau)] \qquad (2.13)$$

และเนื่องจาก τ มีค่าเล็กมากทำให้ $\varphi(t)-\varphi(t-\tau)<<\pi$ เราจึงสามารถประมาณค่าสมการ (2.12) เป็นดังนี้

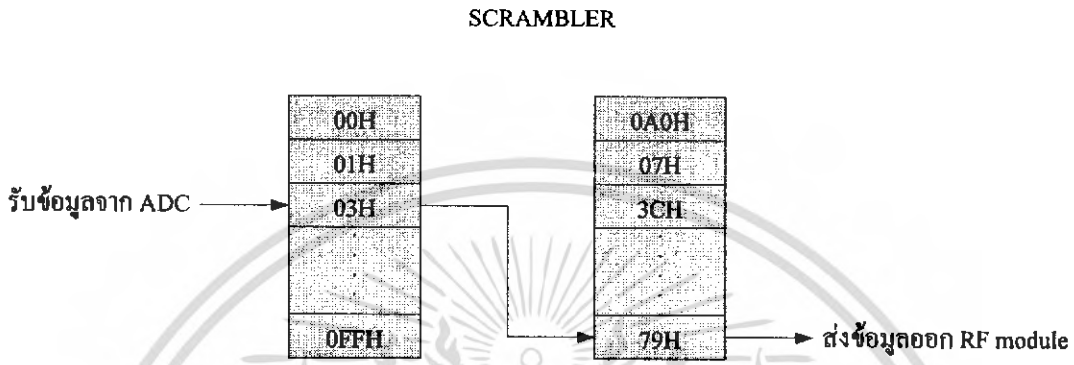
$$y(t) = [\varphi(t)-\varphi(t-\tau)] = k\tau m(t) \qquad (2.14)$$

จะเห็นได้ว่าสามารถแยกสัญญาณข้อมูลออกมาได้ด้วยวิธีแยกแยะเฟสนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 การสแกรมเบลอร์ (Scrambler)

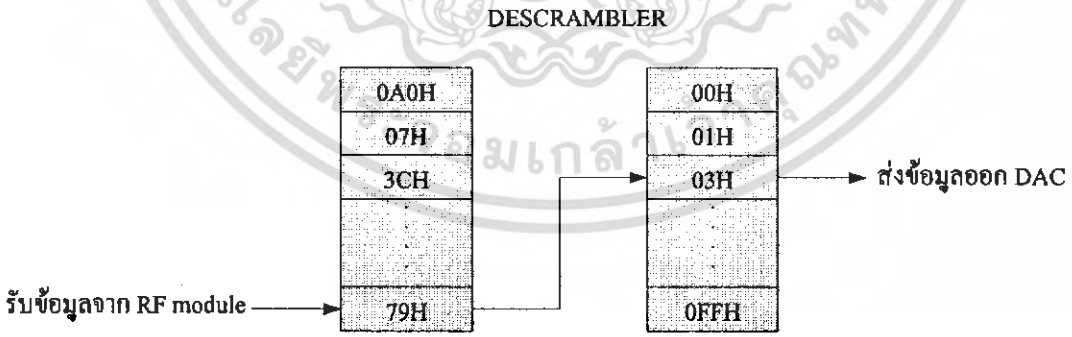
การสแกรมเบลอร์จะใช้วิธีการชี้ตารางการสแกรมเบลอร์เพื่อให้ข้อมูลที่จะทำการส่งเปลี่ยนแปลงไปจากข้อมูลจริง ซึ่งการชี้ตารางการสแกรมเบลอร์นี้จะกระทำโดยซอฟแวร์ (Software) โดยรูปแบบการชี้ตารางการสแกรมเบลอร์จะขึ้นอยู่กับตัวเลือก (Selecter) ในการสแกรมเบลอร์



รูปที่ 2.18 แสดงลักษณะการสแกรมเบลอร์ข้อมูล

2.9 การดีสแกรมเบลอร์ (Descrambler)

การดีสแกรมเบลอร์จะใช้วิธีการชี้ตารางการดีสแกรมเบลอร์เช่นเดียวกับการสแกรมเบลอร์ แต่การดีสแกรมเบลอร์จะทำการชี้ตารางการดีสแกรมเบลอร์เพื่อให้ได้ข้อมูลจริงกลับคืนมาจากการที่ข้อมูลถูกสแกรมเบลอร์ ดังนั้นการดีสแกรมเบลอร์จะมีหลักการทำงานที่ตรงกันข้ามกับการสแกรมเบลอร์



รูปที่ 2.19 แสดงลักษณะการดีสแกรมเบลอร์ข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

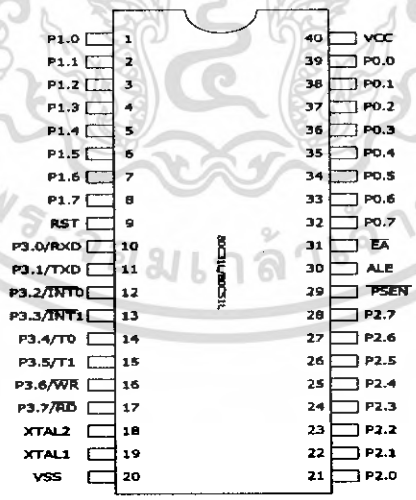
2.10 ไมโครคอนโทรลเลอร์ MCS-51

ไมโครคอนโทรลเลอร์ได้ถูกนำมาใช้งานอย่างกว้างขวางในงานด้านต่างๆ เช่น เครื่องใช้ภายในบ้าน (เครื่องซักผ้า , เตาอบไมโครเวฟ , กล้องถ่ายรูป) ในสถานที่ทำงาน(FAX , Laser Print) ในรถยนต์ (Air bag , ABS , กล่องควบคุมหัวฉีด) เป็นต้น

2.10.1 คุณสมบัติของไมโครคอนโทรลเลอร์ตระกูล MCS-51 โดยบริษัท Intel

- ต้องการแหล่งจ่ายไฟ +5 V ชุดเดียว
- มีหน่วยความจำโปรแกรม (Program Memory) ขนาด 4 กิโลไบต์สำหรับเบอร์ 8051และ 8031 สำหรับเบอร์ 8052 มีหน่วยความจำถึง 8 กิโลไบต์
- มีหน่วยความจำสำหรับเก็บข้อมูล (Data Memory) ขนาด 128 ไบต์ สำหรับเบอร์ 8052 ขึ้นไปมีถึง 256 ไบต์
- หน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลแยกจากกันอย่างละ 64 กิโลไบต์
- มีไทม์เมอร์และเคาน์เตอร์ขนาด 16 บิต 2 ชุด (สำหรับ 8052 มี 3 ชุด) ทำงานได้ 4 โหมด
- รับอินเตอร์รัพท์ได้ 6 แหล่ง 5 เวคเตอร์ สำหรับเบอร์ 8052 ขึ้นไปมี 8 แหล่ง 6 เวกเตอร์
- มีพอร์ตรับส่งข้อมูลอนุกรม (UART) 2 พอร์ตแบบ Full Duplex เลือกรูปแบบได้ 4 โหมด
- มีคำสั่งในการทำ AND , OR หรือ Complement ได้ทั้งแบบ 8 บิต และ 1 บิต

2.10.2 พอร์ตของไมโครคอนโทรลเลอร์เบอร์ 8051

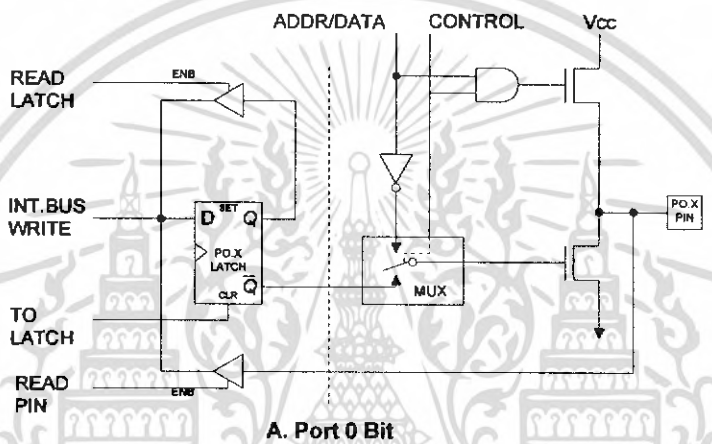


รูปที่ 2.20 การจัดวางขาของไมโครคอนโทรลเลอร์ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8051 เป็นไมโครคอนโทรลเลอร์ขนาด 40 ขา ซึ่งมีขาต่าง ๆ ดังนี้

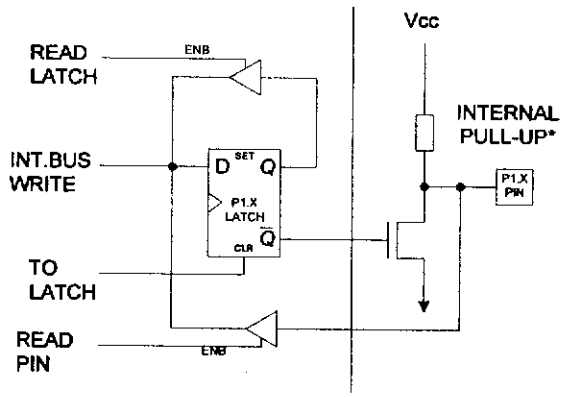
- Vcc (ขา 40) ต่อกับ +5 V
- Vss (ขา 20) เป็นขา GND
- พอร์ต 0 (ขา 32-39) มีทั้งหมด 8 บิตคือ (P0.7-P0.0) ใช้งานได้ 2 หน้าที่คือ เป็นทางผ่านของแอดเดรสบัสและดาต้าบัสเมื่อต้องการติดต่อกับหน่วยความจำภายนอกหรือเป็นไอโอพอร์ต ถ้าต้องการให้ทำงานเป็นอินพุตพอร์ตต้องส่งลอจิก "1" ไปยังพอร์ตนี้ จะมีผลให้ $\overline{Q}$ ของ D-FF เป็น "0" ทำให้ FET ตัวล่างมีสถานะ "OFF" สัญญาณที่ใช้อ่านอินพุตพอร์ตแลทช์โดยส่งสัญญาณ Read Latch ไปกระตุ้นที่ Tri-State Buffer ตัวบน และการอ่าน Port (pin) จะใช้สัญญาณ Read (pin) พอร์ตนี้ไม่มีความต้านทานพูลอัพภายใน ดังแสดงในรูปที่ 2.21



รูปที่ 2.21 แสดงโครงสร้างของพอร์ต 0 (บิต)

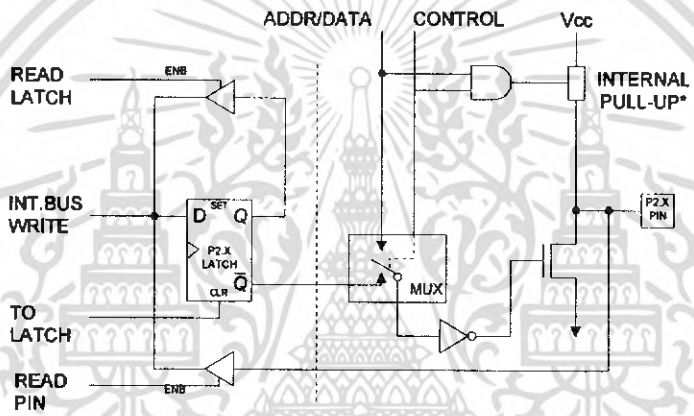
- พอร์ต 1 (ขา 1-8) มีทั้งหมด 8 บิตคือ (P1.0-P1.7) มีโครงสร้างคล้ายพอร์ต 0 แต่จะใช้ความต้านทานพูลอัพภายในแทน (Internal Pull Up Resister) มีโครงสร้างดังรูปที่ 2.22
- พอร์ต 2 (ขา 21-28) มีทั้งหมด 8 บิตคือ (P2.0-P2.7) มีโครงสร้างคล้ายพอร์ต 0 โดยมี FET ตัวล่างตัวเดียว ส่วนด้านบนใช้ความต้านทานพูลอัพแทน (Internal Pull Up Resister) พอร์ตนี้ทำงาน 2 หน้าที่คือ สามารถใช้เป็นแอดเดรสบัสขนาด 8 บิต (A15-A8) และเป็นไอโอพอร์ตใช้งานทั่วไป เมื่อจะใช้งานเป็นอินพุตพอร์ตต้องส่งลอจิก "1" มาที่พอร์ตนี้ก่อนเพื่อบังคับให้ FET อยู่ในสภาวะ "OFF" ดังแสดงในรูปที่ 2.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



B. Port 1 Bit

รูปที่ 2.22 แสดงโครงสร้างของพอร์ต 1 (บิต)



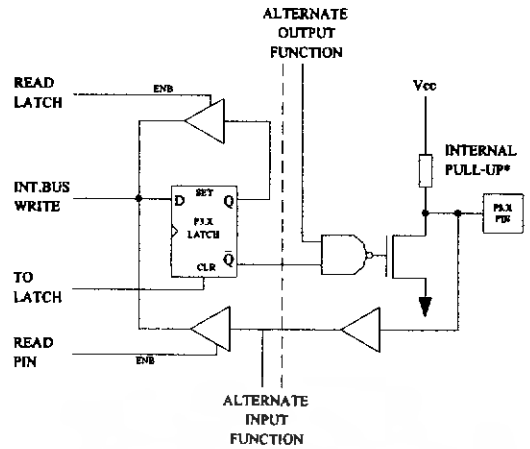
C. Port 2 Bit

รูปที่ 2.23 แสดงโครงสร้างของพอร์ต 2 (บิต)

- พอร์ต 3 (ขา 10-17) มีทั้งหมด 8 บิตคือ (P3.0-P3.7) มีโครงสร้างคล้ายพอร์ต 1 ทำงานได้ 2 หน้าที่คือ เป็นไอโอพอร์ต ถ้าจะโปรแกรมให้เป็นอินพุตพอร์ตต้องส่งลอจิก "1" มาที่พอร์ตนี้ก่อน และอีกหน้าที่หนึ่งก็คือใช้ส่งสัญญาณควบคุมออกมา และรับสัญญาณควบคุมเข้าไป สัญญาณต่าง ๆมีดังนี้และมีโครงสร้างดังรูปที่ 2.24

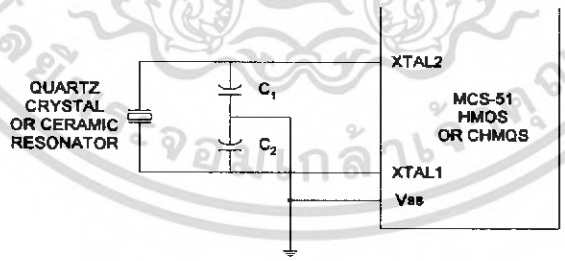
P3.0/RXD	เป็นขาที่ใช้รับข้อมูลแบบอนุกรม (UART)
P3.1/TXD	เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม (UART)
P3.2/$\overline{\text{INT0}}$	ใช้รับสัญญาณการขัดจังหวะจากภายนอกเบอร์ 0
P3.3/$\overline{\text{INT1}}$	ใช้รับสัญญาณการขัดจังหวะจากภายนอกเบอร์ 1
P3.4/T0	ขารับสัญญาณพัลส์อินพุตเข้าไปยังวงจร Counter 0 (เป็นอินพุตโหมดเคาน์เตอร์)
P3.5/T1	ขารับสัญญาณพัลส์อินพุตเข้าไปยังวงจร Counter1 (เป็นอินพุตโหมดเคาน์เตอร์)
P3.6/$\overline{\text{WR}}$	ขาสัญญาณควบคุมการเขียนข้อมูลลงหน่วยความจำภายนอก
P3.7/$\overline{\text{RD}}$	ขาสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 แสดงโครงสร้างของพอร์ต 3 (บิต)

- ALE (ขา 30) เป็นขาส่งสโตรบสำหรับใช้ในการแลทช์แอดเดรสไบต์ต่ำ (A7-A0) ที่ส่งออกมาจาก (พอร์ต 0) สัญญาณนี้จะแอคทีฟทุกๆ 2 ครั้งใน 1 แมชชีนไซเคิล
- $\overline{\text{PSEN}}$ (ขา 29) เป็นขาสโตรบที่ใช้สำหรับอ่านข้อมูลจาก Program Memory ภายนอก สัญญาณนี้จะส่งออกมา 2 ครั้งในแต่ละแมชชีนไซเคิล แต่ถ้าเป็นการอ่าน Internal Program Memory จะไม่มีสัญญาณออกที่ขานี้
- $\overline{\text{EA}}$ (ขา31) ใช้เลือกหน่วยความจำโปรแกรมภายนอก ป้อน "0" จะอ่านโปรแกรมจากภายนอกชิฟ และป้อน "1" จะอ่านโปรแกรมจากภายในชิฟ
- RST (ขา9) เป็นขารีเซ็ท จะรีเซ็ทได้ก็ต่อเมื่อป้อนลอจิก "1" เข้าที่ขานี้นานอย่างน้อย 2 แมชชีนไซเคิล
- XTAL1 (ขา 19) ใช้ต่อคริสตอลภายนอกโดยเป็นอินพุตเข้าสู่วงจรออสซิลเลเตอร์ภายใน
- XTAL2 (ขา 18) ใช้ต่อคริสตอลภายนอกโดยเป็นเอาต์พุตของวงจรออสซิลเลเตอร์ภายใน



รูปที่ 2.25 วงจรสร้างคล็อคของไมโครคอนโทรลเลอร์ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.3 การใช้งานพอร์ตสื่อสารอนุกรมแบบ Single Processor

พอร์ตสื่อสารอนุกรมมีโครงสร้างการทำงานในแบบที่เรียกว่า ฟูลดูเพล็กซ์ (Full Duplex) สามารถรับและส่งข้อมูลอนุกรมได้ในเวลาเดียวกัน

- ทางด้านส่งใช้ขา TxD (พอร์ต 3.1)
- ทางด้านรับใช้ขา RxD (พอร์ต 3.0)

Serial Port Buffer (SBUF) ใช้เป็นบัฟเฟอร์สำหรับรับและส่งข้อมูลอนุกรมโดยมีอยู่ 2 ตัว

- การส่งข้อมูล ข้อมูลที่จะส่งให้ใส่ใน SBUF โดยใช้คำสั่ง MOV SBUF , A โดยเตรียมข้อมูลที่จะส่งเข้า A ก่อน
- การรับข้อมูล ข้อมูลที่รับได้จะอยู่ใน SBUF การถ่ายข้อมูลออกมาใช้คำสั่ง MOV A , SBUF แล้วจึงนำข้อมูลใน A ไปใช้

พอร์ตสื่อสารอนุกรมสามารถโปรแกรมการทำงานได้หลายโหมดด้วยกันโดยเลือกที่บิต SM1 และ SM0 ซึ่งอยู่ในรีจิสเตอร์ควบคุม SCON การทำงานทั้ง 4 โหมดของพอร์ตสื่อสารอนุกรมมีดังนี้

ตารางที่ 2.1 แสดงโหมดของพอร์ตสื่อสารอนุกรม

SM0	SM1	โหมด	การทำงาน
0	0	0	Shift register ความเร็วในการรับหรือส่งข้อมูลเท่ากับ (1/12) ของ CPU OSC
0	1	1	8 Bit UART ความเร็วในการรับหรือส่งข้อมูลกำหนดได้จาก Timer 1 , 2
1	0	2	9 Bit UART ความเร็วในการรับหรือส่งข้อมูลเท่ากับ (1/32) หรือ (1/64) เท่าของ CPU OSC โดยขึ้นกับบิต SMOD ใน PCON
1	1	3	9 Bit UART ความเร็วในการรับหรือส่งข้อมูลกำหนดที่ Timer 1 , 2

SM2 บิตเลือกการทำงานแบบ Single Processor Mode หรือ Multiprocessor Mode

0 : เลือก Single Processor Mode ใช้ได้กับโหมด 2 , 3

1 : เลือก Multiprocessor Mode ใช้ได้กับทุกโหมด

REN(Receive Enable) บิตควบคุมให้รับหรือไม่รับข้อมูล

0 : ห้ามรับข้อมูล

1 : รับข้อมูลได้

TI แฟลกซ์ TI จะเป็น 1 เมื่อสิ้นสุดการส่งข้อมูล 1 ไบต์

RI แฟลกซ์ RI จะเป็น 1 เมื่อรับข้อมูลเสร็จ 1 ไบต์(บิต RI , TI ผู้เขียนโปรแกรมจะต้องเคลียร์เอง)

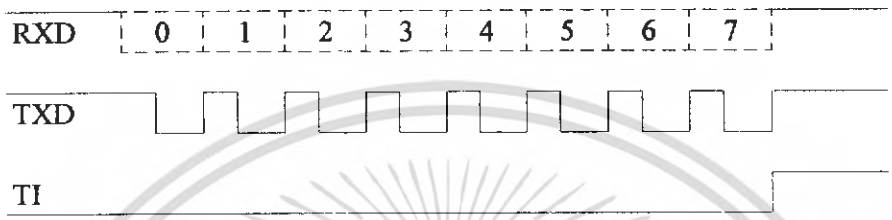
TB8(Transmit bit D8) ข้อมูลบิตที่ 9 ที่จะส่งออกไปในโหมด 2 , 3 ให้ใส่ในบิตนี้

RB8(Receive bit D8) ข้อมูลบิตที่ 9 ที่รับเข้ามาจะมาเก็บในบิตนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมด 0 : พอร์ตสื่อสารอนุกรม 8 บิต โดยการส่งข้อมูลจะเลื่อนออกทีละบิตโดยส่งบิต D0 ออกไปก่อนทางขา RxD เนื่องจากไม่มีการส่ง Start bit แต่จะส่ง Shift clock ทางขา TxD

$$\text{Baud Rate Mode 0} = \left(\frac{1}{12}\right)\text{CPU OSC} \qquad (2.15)$$

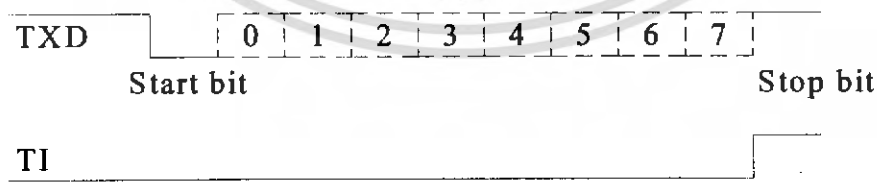


รูปที่ 2.26 แสดงการส่งข้อมูลผ่านพอร์ตสื่อสารอนุกรมโหมด 0

โหมด 1 : พอร์ตสื่อสารอนุกรม 10 บิต ข้อมูล 8 บิต , 1 start bit และ 1 stop bit และสามารถเปลี่ยนแปลง ความเร็วในการส่งข้อมูลได้ โดยขึ้นกับบิต SMOD ใน PCON และอัตราการโอเวอร์โฟลว์ของ Timer 1 , 2

$$\text{Baud Rate Mode 1 (Timer 1)} = \frac{2^{\text{SMOD}} \times \text{CPU OSC}}{32 \times 12 \times \left[256-(\text{TH1})\right]} \qquad (2.16)$$

$$\text{Baud Rate Mode 1 (Timer 2)} = \frac{\text{CPU OSC}}{32 \times \left[65536-(\text{RCAP2H,RCAP2L})\right]} \qquad (2.17)$$



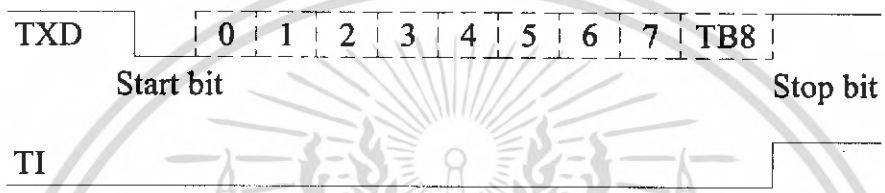
รูปที่ 2.27 แสดงการส่งข้อมูลผ่านพอร์ตสื่อสารอนุกรมโหมด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมด 2 : พอร์ตสื่อสารอนุกรม 11 บิต ข้อมูล 9 บิต , 1 start bit และ 1 stop bit (TB8 นิยมนำมาใช้ส่ง Parity bit) ความเร็วในการรับส่งข้อมูลเท่ากับ (1/32) หรือ (1/64) เท่าของ CPU OSC โดยขึ้นกับบิต SMOD ใน PCON

$$\text{Baud Rate Mode 2 (SMOD = 0)} = \left(\frac{1}{64}\right)\text{CPU OSC} \qquad (2.18)$$

$$\text{Baud Rate Mode 2 (SMOD = 1)} = \left(\frac{1}{32}\right)\text{CPU OSC} \qquad (2.19)$$

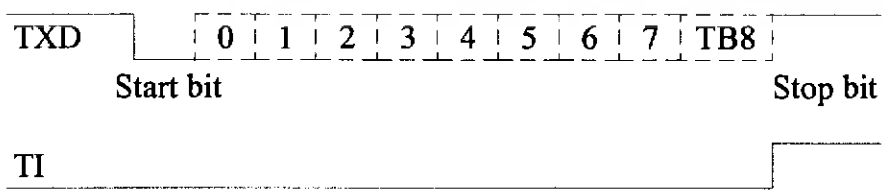


รูปที่ 2.28 แสดงการส่งข้อมูลผ่านพอร์ตสื่อสารอนุกรมโหมด 2

โหมด 3 : พอร์ตสื่อสารอนุกรม 11 bit UART โดยข้อมูล 9 bit , 1 start bit และ 1 stop bit เหมือนโหมด 2 ยกเว้นอัตราความเร็วจะขึ้นกับบิต SMOD ใน PCON และอัตราโอเวอร์โฟลว์ของ Timer 1 (สำหรับ 8051) หรือ อัตราโอเวอร์โฟลว์ของ Timer 2 (สำหรับ 80C154D)

$$\text{Baud Rate Mode 3 (Timer 1)} = \frac{2^{SMOD}\times\text{CPU OSC}}{32\times12\times\left[256-(TH1)\right]} \qquad (2.20)$$

$$\text{Baud Rate Mode 3 (Timer 2)} = \frac{\text{CPU OSC}}{32\times\left[65536-(RCAP2H,RCAP2L)\right]} \qquad (2.21)$$



รูปที่ 2.29 แสดงการส่งข้อมูลผ่านพอร์ตสื่อสารอนุกรมโหมด 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเชื่อมต่อไมโครโปรเซสเซอร์เพื่อรับส่งข้อมูลอนุกรม (UART) มีอยู่ 2 โหมดด้วยกันคือ

- Single Processor Mode
- Multiprocessor Mode

Single Processor Mode: ในโหมดนี้เราจะใช้ไมโครคอนโทรลเลอร์ 2 ตัวเชื่อมเข้าหากัน

Multiprocessor Mode : ในโหมดนี้เราจะใช้ไมโครคอนโทรลเลอร์ 1 ตัวเป็นตัวแม่ (Master) และอีก 0-255 เป็นตัวลูก (Slave)

Serial Control Port Register (SCON) อยู่ใน SFR ตำแหน่ง 98H

SM0	SM1	SM2	REN	TB8	RB8	TI	RI

รูปที่ 2.30 รายละเอียดของรีจิสเตอร์ SCON

Power Control Register (PCON) อยู่ใน SFR ตำแหน่ง 87H

SMOD	HPD	RPD	-	GF1	GF0	PD	IDL

รูปที่ 2.31 รายละเอียดของรีจิสเตอร์ PCON

Time/Counter Mode Control Register (TMOD) อยู่ใน SFR ตำแหน่ง 89H

GATE	C/$\overline{T}$	M1	M0	GATE	C/$\overline{T}$	M1	M0
TIMER1				TIMER2			

รูปที่ 2.32 รายละเอียดของรีจิสเตอร์ TMOD

Time/Counter Control Register (TCON) อยู่ใน SFR ตำแหน่ง 88H

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

รูปที่ 2.33 รายละเอียดของรีจิสเตอร์ TCON

TH1 อยู่ใน SFR ตำแหน่ง 8DH

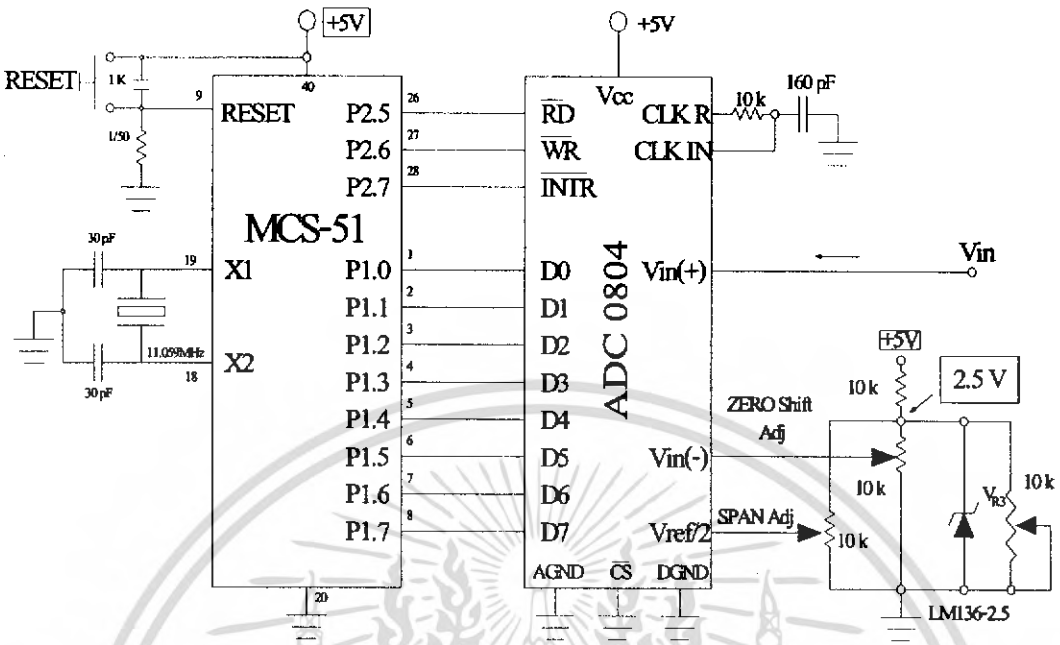
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 แสดงการใช้ Timer 1 กำหนด Baud Rate

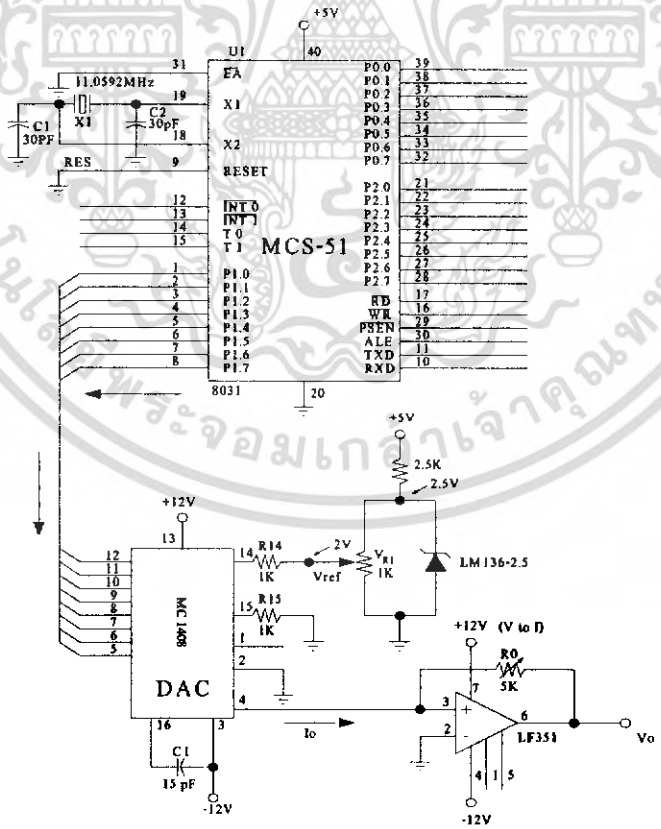
Baud Rate	CPU OSC	SMOD ใน PCON	TIMER 1		
			C/$\overline{T}$	MODE	Reload Value (TH1)
MODE 0 (max) : 1 M	12 MHz	X	X	X	X
MODE 2 (max) : 375 M	12 MHz	1	X	X	X
MODE 2 (min) : 187.5 M	12 MHz	0	X	X	X
MODE 1 , 3 : 62.5 K	12 MHz	1	0	2	FFH
: 19.2 K	11.059 MHz	1	0	2	FDH
: 9.6 K	11.059 MHz	0	0	2	FDH
: 4.8 K	11.059 MHz	0	0	2	FAH
: 2.4 K	11.059 MHz	0	0	2	F4H
: 1.2 K	11.059 MHz	0	0	2	E8H
: 137.5	11.059 MHz	0	0	2	1DH
: 110	6 MHz	0	0	2	72H
: 110	12 MHz	0	0	1	FEEBH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.4 การเชื่อมต่อ MCS-51 เพื่อใช้งาน



รูปที่ 2.34 การเชื่อมต่อ MCS-51 เข้ากับ ADC 0804

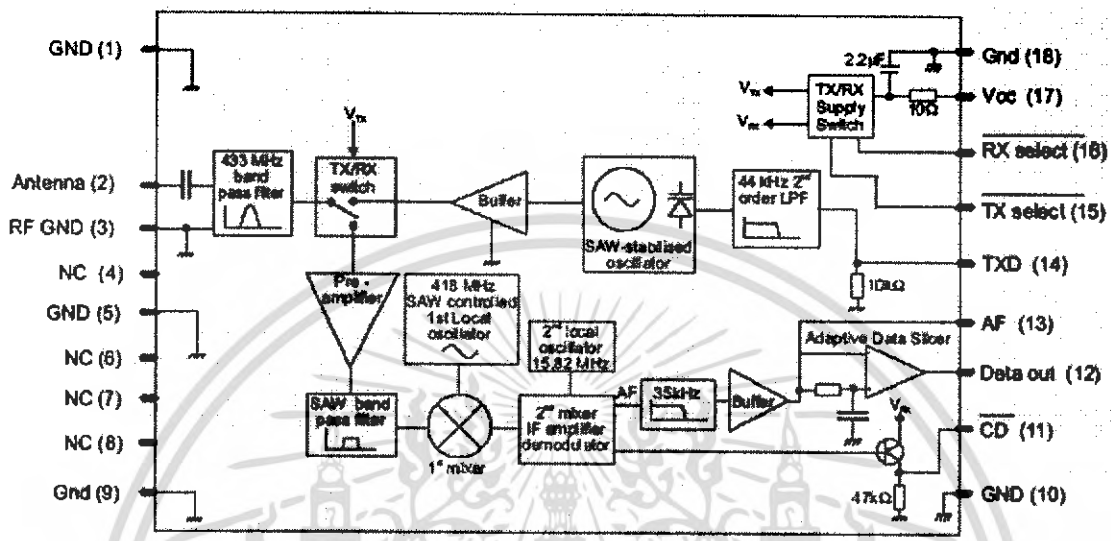


รูปที่ 2.35 การเชื่อมต่อ MCS-51 เข้ากับ DAC MC1408L

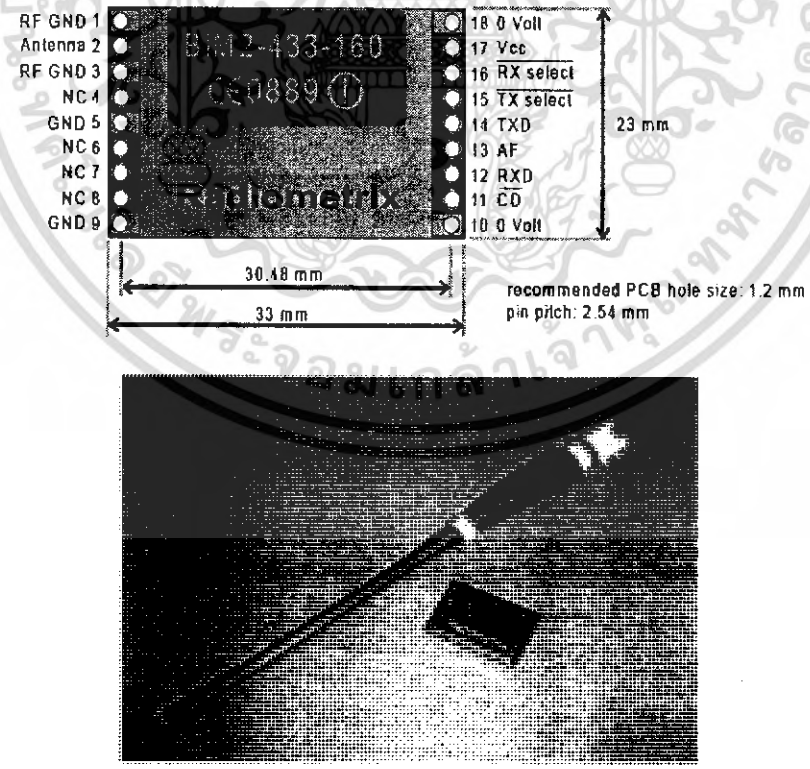
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 BiM2-433-64 (RF Module)

BiM2-433-64 เป็นอุปกรณ์ที่ใช้ในการติดต่อสื่อสารระบบดิจิตอลไร้สาย ซึ่งภายในจะประกอบด้วย ส่วนที่ทำหน้าที่ในการมอดูเลตสัญญาณดิจิตอลทางความถี่ และส่วนที่ทำหน้าที่ในการดีมอดูเลตสัญญาณดิจิตอลทางความถี่ ซึ่งจะแสดงบล็อคไดอะแกรมไว้ดังรูปที่ 2.36



รูปที่ 2.36 บล็อคไดอะแกรม BiM2-433-64



รูปที่ 2.37 แสดงลักษณะรูปร่างของ BiM2-433-64 และสายอากาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11.1 คุณสมบัติของ BiM2-433-64

- สามารถรับหรือส่งข้อมูลได้ภายในตัวเดียวกัน (Transceiver)
- ระยะทางในการรับหรือส่งข้อมูล 50 เมตร(ภายในอาคาร) และ 200 เมตร(ภายนอกอาคาร)
- ความเร็วในการรับหรือส่งข้อมูลสูงสุด 64 Kbps
- ใช้กำลังส่ง 10 mW
- ใช้แรงดันไฟเลี้ยง 3 – 5 V และจ่ายกระแสไม่เกิน 20 mA

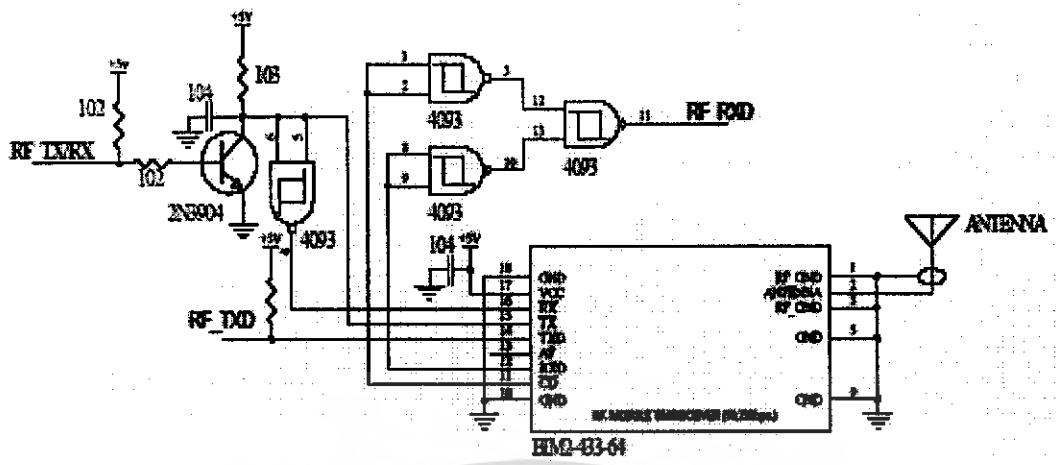
2.11.2 รายละเอียดหน้าที่ของขาต่างๆ

- RF GND เป็นขากราวด์ของ RF ซึ่งได้แก่ ขา 1 , 3
- Antenna เป็นขาสำหรับเชื่อมต่อกับสายอากาศ ซึ่งได้แก่ ขา 2
- GND เป็นขากราวด์ ซึ่งได้แก่ ขา 5 , 9 , 10 , 18
- CD เป็นขาสำหรับตรวจสอบ Carrier Detect ซึ่งได้แก่ ขา 11 โดยถ้ามีสถานะเป็นลอจิก "0" ก็แสดงว่าเริ่มมีการเข้ามาของข้อมูลนั่นเอง
- RXD เป็นขาสำหรับรับข้อมูล ซึ่งได้แก่ ขา 12
- TXD เป็นขาสำหรับส่งข้อมูล ซึ่งได้แก่ ขา 14
- AF เป็นขาที่ต่อออกมาจากบัฟเฟอร์ภายใน ซึ่งได้แก่ ขา 13 ซึ่งภายในชิฟบัฟเฟอร์จะต่ออยู่กับฟิลเตอร์ที่ต่ออยู่กับวงจรดีมอดูเลตทางด้านรับ ขานี้ควรมีค่าอิมพีแดนซ์มากกว่า 2 kΩ และน้อยกว่า 100 pF
- TX เป็นขาเลือกโหมดในการส่งข้อมูล ซึ่งได้แก่ ขา 15 โดยจะเป็นโหมดในการส่งข้อมูลเมื่อขานี้ได้รับลอจิก "0"
- RX เป็นขาเลือกโหมดในการรับข้อมูล ซึ่งได้แก่ ขา 16 โดยจะเป็นโหมดในการรับข้อมูลเมื่อขานี้ได้รับลอจิก "0"
- Vcc เป็นขาแรงดันไฟเลี้ยง 3 -5 V ซึ่งได้แก่ ขา 17
- NC เป็นขาที่ไม่ได้นำมาใช้งาน ซึ่งได้แก่ ขา 4 , 6 , 7 , 8

ตารางที่ 2.3 แสดงโหมดในการทำงานของ BiM2-433-64

Pin 15 TX	Pin 16 RX	Function
1	1	**power down (<1μA)**
1	0	**receiver enabled**
0	1	**transmitter enabled**
0	0	**self test loop back**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



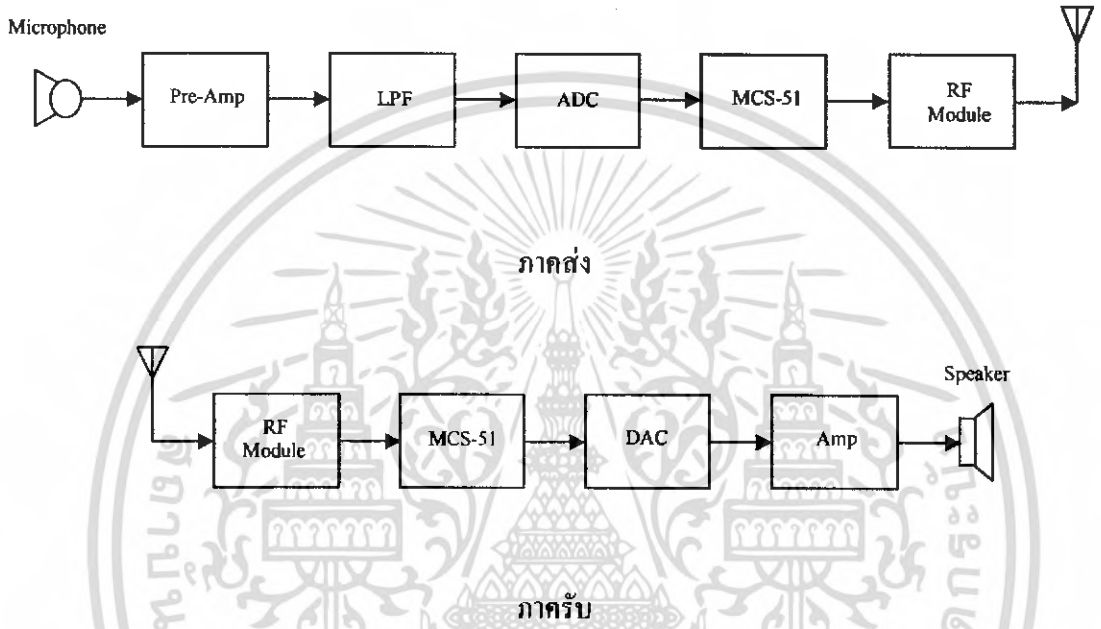
รูปที่ 2.38 การต่อวงจรร่วมกับ BiM2-433-64 เพื่อใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการสร้าง

3.1 หลักการทำงานของระบบ

การทำงานของระบบแบ่งออกเป็น 2 ส่วนใหญ่ๆคือ ส่วนของภาคส่งและส่วนของภาครับ



รูปที่ 3.1 แสดงหลักการทำงานภาคส่งและภาครับของระบบ

3.1.1 ส่วนของภาคส่ง

1. วงจรปรีแอมป์ ทำหน้าที่ในการขยายสัญญาณที่รับเข้ามาจากไมโครโฟน จากนั้นจึงส่งสัญญาณเอาต์พุตที่ได้ไปผ่านวงจรกรองความถี่ต่ำผ่านต่อไป

2. วงจรกรองความถี่ต่ำผ่าน เป็นวงจรกรองความถี่ที่ต่ำกว่า 4 KHz ให้ผ่านไปได้ เพื่อป้องกันการเกิดเอเลียสซิง เพราะวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลมีอัตราการสุ่มตัวอย่าง 8 KHz

3. วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล จะทำหน้าที่ในการแปลงสัญญาณอนาล็อกอินพุตให้กลายเป็นสัญญาณดิจิตอลที่เอาต์พุต โดยมีระดับการควอนไทซ์ 256 ระดับ ซึ่งจะใช้จำนวนบิตในการจัดระดับสัญญาณจำนวน 8 บิต

4. ไมโครคอนโทรลเลอร์ จะทำหน้าที่ในการควบคุมอุปกรณ์รอบข้างที่เชื่อมต่อเข้ากับ MCS-51 และที่สำคัญยังทำหน้าที่ในการสแกรมเบลอร์ข้อมูลอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. RF Module จะทำหน้าที่ในการมอดูเลตข้อมูลดิจิตอลที่รับเข้ามา จากนั้นจึงส่งออกสายอากาศเพื่อทำการติดต่อสื่อสาร

3.1.2 ส่วนของภาครับ

1. RF Module จะทำหน้าที่ในการดีมอดูเลตสัญญาณที่รับเข้ามาจากสายอากาศ จากนั้นจึงส่งข้อมูลที่รับได้ไปประมวลผลต่อไป

2. ไมโครคอนโทรลเลอร์ ทำหน้าที่ในการควบคุมอุปกรณ์ในส่วนของภาครับและทำหน้าที่ดีสแกรมเบลอร์ข้อมูลที่ได้รับเข้ามาอีกด้วย ก่อนส่งไปแปลงเป็นสัญญาณอนาล็อกต่อไป

3. วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก จะทำหน้าที่ในการแปลงสัญญาณดิจิตอลเป็นอนาล็อก เพื่อให้ได้สัญญาณเสียงข้อมูลกลับคืนมา

4. วงจรแอมป์ จะทำหน้าที่ในการขยายสัญญาณเสียงข้อมูลให้มีแอมพลิจูดที่สูงขึ้นก่อนส่งออกลำโพง

3.2 การออกแบบวงจรปรีแอมป์ไมโครโฟน

วงจรปรีแอมป์ไมโครโฟน จะทำหน้าที่ขยายสัญญาณเสียงที่รับเข้ามาจากไมโครโฟนซึ่งจะมีแอมพลิจูดที่ต่ำมากประมาณ 20 mV จากนั้นจะนำสัญญาณเอาต์พุตที่ได้ไปต่อเข้ากับวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล ซึ่งจะทำการจัดระดับสัญญาณไม่เกิน 5 V ดังนั้นสัญญาณเอาต์พุตที่ออกจากวงจรปรีแอมป์ไมโครโฟนควรมีแอมพลิจูดไม่เกิน 5 V

การคำนวณหาอัตราขยายของวงจรปรีแอมป์ไมโครโฟนสามารถคำนวณได้จากสมการ

$$A = \frac{V_o}{V_i}$$

$$= \frac{4.5}{20\times10^{-3}}$$

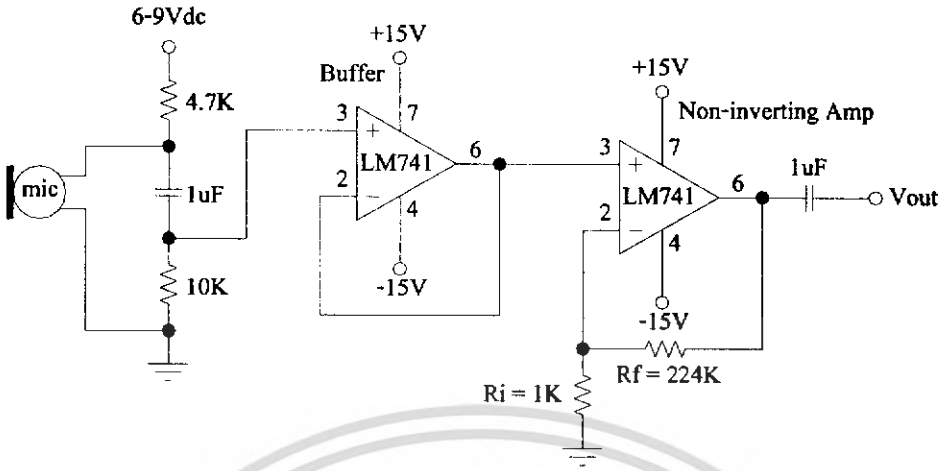
$$= 225$$

$$1+\frac{R_f}{R_i} = 225$$

เลือก $R_i = 1\ K\Omega$

$R_f = 224\ K\Omega$

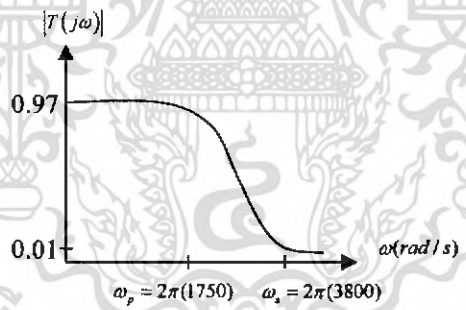
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรปรีแอมป์ไมโครโฟน

3.3 การออกแบบวงจรกรองความถี่ต่ำผ่าน

การออกแบบวงจรกรองความถี่ต่ำผ่านด้วยวิธีการประมาณค่าแบบ Butterworth



รูปที่ 3.3 แสดงผลตอบสนองทางความถี่ของ LPF ที่ต้องการ

ω_p คือความถี่ที่กำหนดให้ความถี่ที่ต่ำกว่าความถี่ ω_p ผ่านได้

ω_s คือความถี่ที่กำหนดให้ความถี่ที่สูงกว่าความถี่ ω_s ผ่านไม่ได้

α_{max} คือแอมพลิจูดของสัญญาณที่ความถี่ผ่าน ω_p

α_{min} คือแอมพลิจูดของสัญญาณที่ความถี่หยุด ω_s

การกำหนดค่า α_{max} ที่ความถี่ผ่านเรายอมให้มีการลดทอนได้บ้าง จึงกำหนดให้ค่า $\alpha_{max} = 0.97$ เมื่อทำการนอมอลไลซ์ ในทำนองเดียวกันการกำหนดค่า α_{min} ที่ความถี่หยุดเรายอมให้มีการผ่านของสัญญาณได้บ้าง จึงกำหนดให้ค่า $\alpha_{min} = 0.01$ เมื่อทำการนอมอลไลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะในทางปฏิบัติเราไม่สามารถกำหนดให้ที่ความถี่ผ่าน ω_p มีค่า $\alpha_{max} = 1$ และที่ความถี่หยุด ω_s มีค่า $\alpha_{min} = 0$ ได้ เพราะจะทำให้ลำดับของวงจรกรองความถี่ต่ำผ่านมีค่าไม่จำกัด ซึ่งไม่สามารถสร้างได้ในทางปฏิบัติ

การกำหนดค่าความถี่หยุด ω_s เราต้องการให้ที่ความถี่สูงกว่า 4 KHz ไม่สามารถผ่านออกมาได้ เราจึงกำหนดให้ค่า $\omega_s = 2\pi(3800)$ rad/s (เพื่อเผื่อไว้ในทางปฏิบัติ) ส่วนการกำหนดค่าความถี่ผ่าน ω_p เราต้องการออกแบบวงจรกรองความถี่ต่ำผ่านลำดับที่ 8 เราจึงกำหนดให้ค่า $\omega_p = 2\pi(1750)$ rad/s

เพราะในทางปฏิบัติเราไม่สามารถกำหนดให้ความถี่ผ่าน ω_p เท่ากับความถี่หยุด ω_s ได้ (Sharp Cut-off) เพราะจะทำให้ลำดับของวงจรกรองความถี่ต่ำผ่านมีค่าไม่จำกัด ซึ่งไม่สามารถสร้างได้ในทางปฏิบัติ

$$n = \left\lceil \frac{\log_{10}\left(\frac{10^{0.1\alpha_{min}} - 1}{10^{0.1\alpha_{max}} - 1}\right)}{2\log_{10}\left(\frac{\omega_s}{\omega_p}\right)} \right\rceil$$

$$\alpha = -20\log_{10}|T(j\omega)|$$

$$a_{max} = -20\log_{10}|0.97| = 0.265dB$$

$$a_{min} = -20\log_{10}|0.01| = 40dB$$

$$n = \left\lceil \frac{\log_{10}\left[\frac{10^{0.1(40)} - 1}{10^{0.1(0.265)} - 1}\right]}{2\log_{10}\left[\frac{2\pi(3800)}{2\pi(1750)}\right]} \right\rceil = 8$$

$$\omega_c = \frac{\omega}{\left(10^{0.1\alpha} - 1\right)^{\frac{1}{2n}}}$$

ω_{C1} ที่ $\omega = \omega_p \Rightarrow \alpha = \alpha_{max}$

$$\omega_{C1} = \frac{2\pi(1750)}{\left(10^{0.1(0.265)} - 1\right)^{\frac{1}{2(8)}}}$$

$= 2\pi(2080.244)$ rad/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ω_{C2} ที่ $\omega = \omega_s \Rightarrow \alpha = \alpha_{min}$

$$\omega_{C2} = \frac{2\pi(3800)}{\left(10^{0.1(40)} - 1\right)^{\frac{1}{2(8)}}}$$

$$= 2\pi(2136.910) \quad \text{rad/s}$$

$$2\pi(2080.244) \leq \omega_C \leq 2\pi(2136.910)$$

เมื่อ n = 8 "จำนวนคู่"

$$\theta_k = \frac{180^\circ + k360^\circ}{2k} \quad ; k = 0,1,\ldots\ldots,2n\text{-}1$$

ค่ามุมที่ทำให้ได้ค่ารากโพลอยู่ทางซ้ายของ S-plane คือ $90^\circ < \theta_k < 270^\circ$

$$\theta_k = 11.25^\circ + 22.5^\circ k$$

$$= \pm 101.25^\circ, \pm 123.75^\circ, \pm 146.25^\circ, \pm 168.75^\circ$$

$$S_k = e^{j\theta_k} = \cos S_k + j\sin\theta_k$$

$$S_1 = \cos 101.25^\circ + j\sin 101.25^\circ$$

$$S_2 = \cos 101.25^\circ - j\sin 101.25^\circ$$

$$S_3 = \cos 123.75^\circ + j\sin 123.75^\circ$$

$$S_4 = \cos 123.75^\circ - j\sin 123.75^\circ$$

$$S_5 = \cos 146.25^\circ + j\sin 146.25^\circ$$

$$S_6 = \cos 146.25^\circ - j\sin 146.25^\circ$$

$$S_7 = \cos 168.75^\circ + j\sin 168.75^\circ$$

$$S_8 = \cos 168.75^\circ - j\sin 168.75^\circ$$

$$T(s) = \frac{1}{Bn(s)}$$

$$Bn(s) = \prod_{i=1}^{n}(s - si)$$

$$T(s) = \frac{1}{(s-s1)(s-s2)(s-s3)(s-s4)(s-s5)(s-s6)(s-s7)(s-s8)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณา $(s-s_1)(s-s_2) = s^2 - s(s_1+s_2)+s_1 s_2$

$= s^2 - s(2\cos 101.25^\circ)+1 = s^2+0.390s+1$

$(s-s_3)(s-s_4) = s^2 - s(2\cos 123.75^\circ)+1 = s^2+1.111s+1$

$(s-s_5)(s-s_6) = s^2 - s(2\cos 146.25^\circ)+1 = s^2+1.663s+1$

$(s-s_7)(s-s_8) = s^2 - s(2\cos 168.75^\circ)+1 = s^2+1.962s+1$

$$T(s)=\left[\frac{1}{s^2+0.390s+1}\right]\left[\frac{1}{s^2+1.111s+1}\right]\left[\frac{1}{s^2+1.663s+1}\right]\left[\frac{1}{s^2+1.962s+1}\right]$$

$$=\frac{1}{\left(s^2+0.390s+1\right)\left(s^2+1.111s+1\right)\left(s^2+1.663s+1\right)\left(s^2+1.962s+1\right)}$$

$$T(s)_{LPF}=\frac{\omega_0^2}{s^2+\frac{\omega_0}{Q}s+\omega_0^2}$$

$$T(s)=\left[\frac{1}{s^2+0.390s+1}\right]\left[\frac{1}{s^2+1.111s+1}\right]\left[\frac{1}{s^2+1.663s+1}\right]\left[\frac{1}{s^2+1.962+1}\right]$$

$\omega_0^2 = 1$

$\omega_0 = 1$

$\frac{\omega_0}{Q_1} = 0.390 \Rightarrow Q_1 = 2.564$

$\frac{\omega_0}{Q_2} = 1.111 \Rightarrow Q_2 = 0.900$

$\frac{\omega_0}{Q_3} = 1.663 \Rightarrow Q_3 = 0.601$

$\frac{\omega_0}{Q_4} = 1.962 \Rightarrow Q_4 = 0.510$

การปรับแต่งขนาดและความถี่

$R_{new} = KmR_{old}$

เลือกใช้ $Km = 1\ K\Omega \Rightarrow R_{new} = (1\ K\Omega)(1) = 1\ K\Omega$

$$C_{new}=\frac{1}{Km\omega_c}C_{old}$$

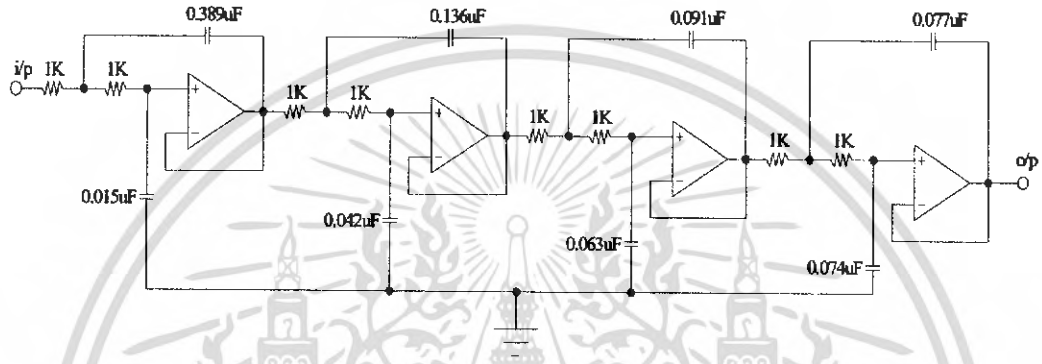
เลือกใช้ $\omega_C = 2\pi(2100)$ rad/s

$$C_{new}=\frac{C_{old}}{(1K\Omega)\left[2\pi(2100)rad/s\right]} = (75.788\times10^{-9})C_{old}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 แสดงการปรับแต่งค่า C

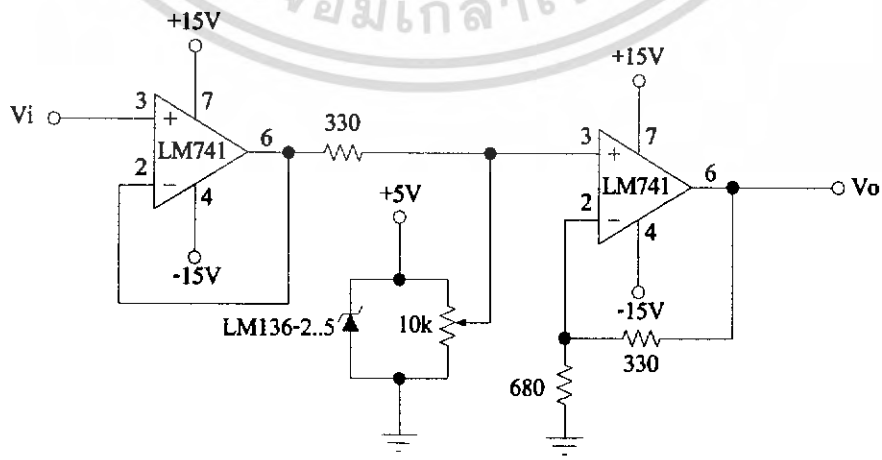
C_{old}	$C_{new}= (75.788\times10^{-9})C_{old}$			
	$Q_1 = 2.564$	$Q_2 = 0.900$	$Q_3 = 0.601$	$Q_4 = 0.510$
$\frac{1}{2Q_i}$	0.015 uF	0.042 uF	0.063 uF	0.074 uF
$2Q_i$	0.389 nF	0.136 uF	0.091 uF	0.077 uF



รูปที่ 3.4 วงจรกรองความถี่ต่ำผ่านลำดับที่ 8

3.4 การออกแบบวงจรยกระดับสัญญาณ

เนื่องจากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลสามารถแปลงสัญญาณอนาล็อกที่มีแรงดันตั้งแต่ 0 – 5 โวลท์ แต่แหล่งกำเนิดสัญญาณอนาล็อกของเรามีแรงดันไฟลบด้วยซึ่งวงจรไม่สามารถแปลงเป็นดิจิตอลได้ ดังนั้นจึงต้องใช้วงจรยกระดับสัญญาณเข้าช่วยเพื่อไม่ให้เกิดแรงดันไฟลบเข้าที่วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล ซึ่งเราจะยกระดับสัญญาณขึ้น 2.5 โวลท์ โดยสร้างขึ้นจากวงจรรวมสัญญาณแบบไม่กลับเฟส

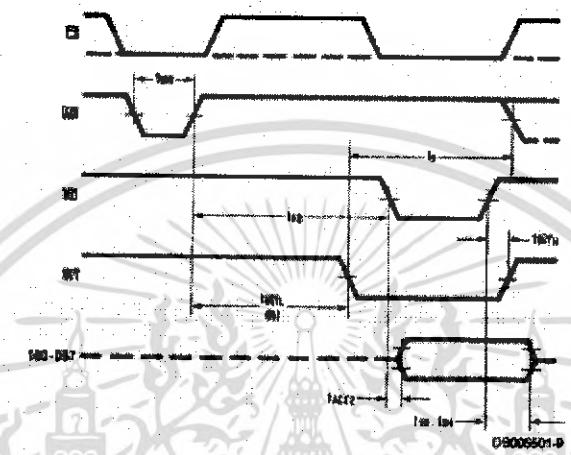


รูปที่ 3.5 วงจรยกระดับสัญญาณ

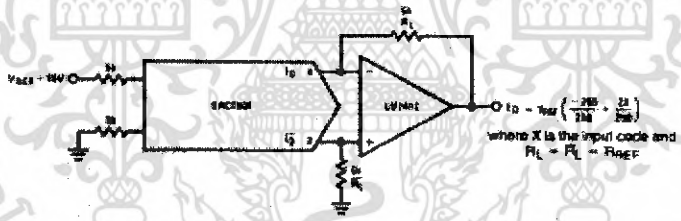
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบการเชื่อมต่อ ADC , DAC และ MCS-51 เข้าด้วยกัน

การเชื่อมต่ออุปกรณ์ทั้งสามตัวเข้าด้วยกัน เราจะต้องทราบถึงหลักการทำงานของอุปกรณ์แต่ละตัว มิเช่นนั้นเราจะไม่สามารถออกแบบการเชื่อมต่อและเขียนโปรแกรมควบคุมการทำงานของอุปกรณ์แต่ละตัวได้



รูปที่ 3.6 แสดงไดอะแกรมทางเวลาของ ADC

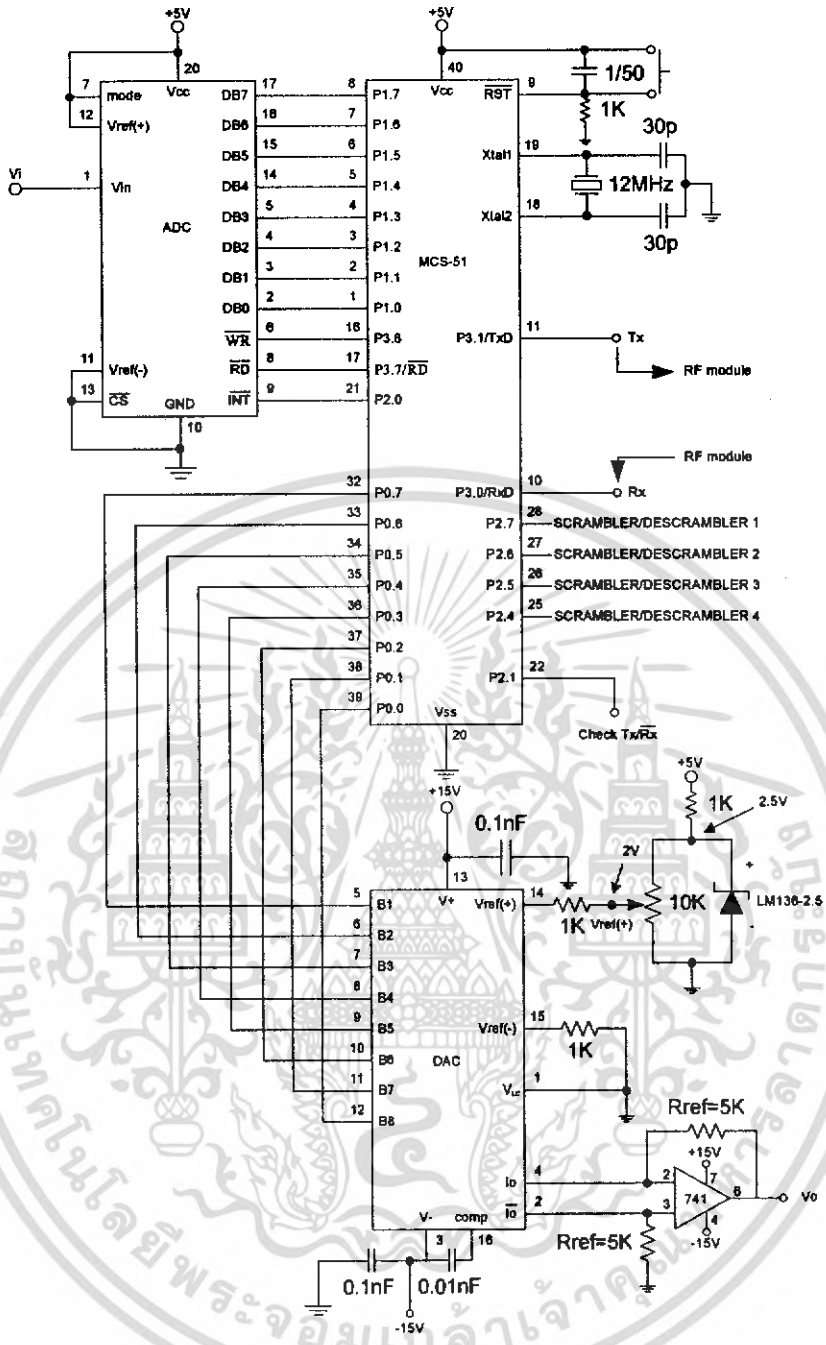


รูปที่ 3.7 แสดงการเชื่อมต่อ DAC เพื่อใช้งาน

ตารางที่ 3.2 แสดงความสัมพันธ์ระหว่างดิจิตอลอินพุตกับอนาล็อกเอาต์พุตของ DAC

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale-LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



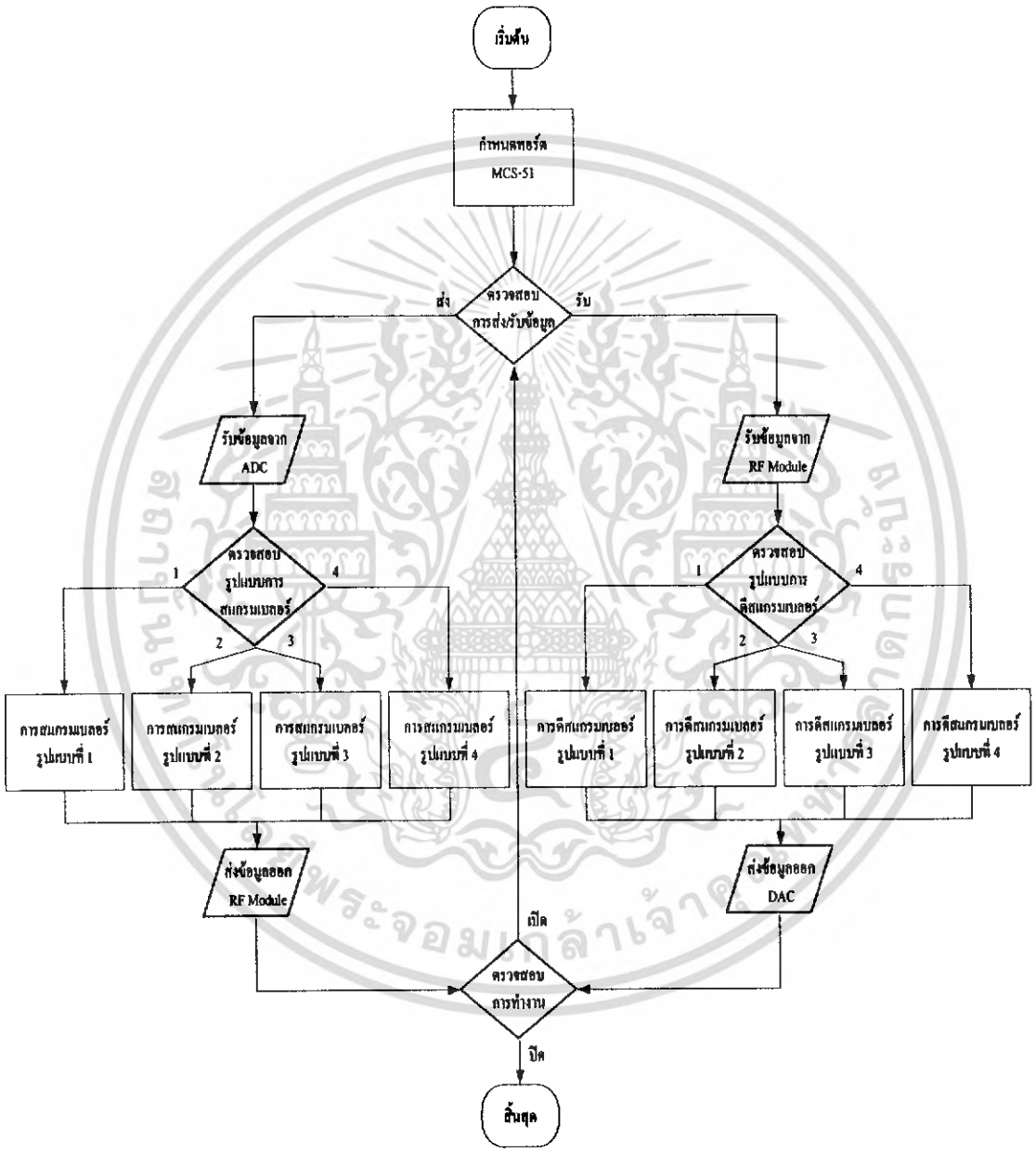
รูปที่ 3.8 วงจรการเชื่อมต่อ ADC , DAC และ MCS-51 เข้าด้วยกัน

การเชื่อมต่ออุปกรณ์ทั้งสามตัวเข้าด้วยกัน สิ่งที่เป็นหัวใจหลักก็คือโปรแกรมที่อยู่ภายใน MCS-51 ซึ่งเป็นโปรแกรมควบคุมอุปกรณ์ที่เชื่อมต่อเข้ากับ MCS-51 ทั้งหมด รวมถึงโปรแกรมการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 หลักการทำงานของ MCS-51

ไมโครคอนโทรลเลอร์ MCS-51 จะทำหน้าที่ในการควบคุมการทำงานของอุปกรณ์รอบข้างที่นำมาเชื่อมต่อเข้ากับ MCS-51 และยังทำหน้าที่ในการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลอีกด้วย โดยจะมีหลักการทำงานดังนี้



รูปที่ 3.9 แสดงโฟลว์ชาร์ตหลักการทำงานของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

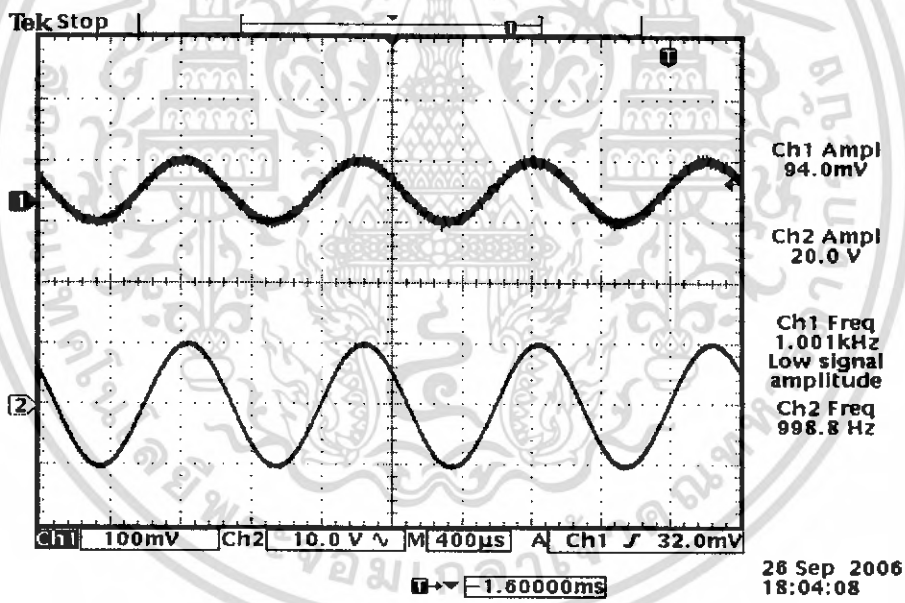
บทที่ 4

การทดลองและผลการทดลอง

จากที่กล่าวมาแล้วในบทที่ 3 ได้ทำการออกแบบและสร้างวงจรขึ้นมา เนื้อหาในบทนี้จะเป็นการนำเอาวงจรต่างๆที่ทำการออกแบบและสร้างไว้แล้วมาทำการทดลอง เพื่อให้ได้ผลตามที่เราต้องการหรือเพื่อเป็นการทดสอบว่าวงจรต่างๆที่ทำการออกแบบและสร้างไว้นั้นสามารถทำงานได้จริงหรือไม่

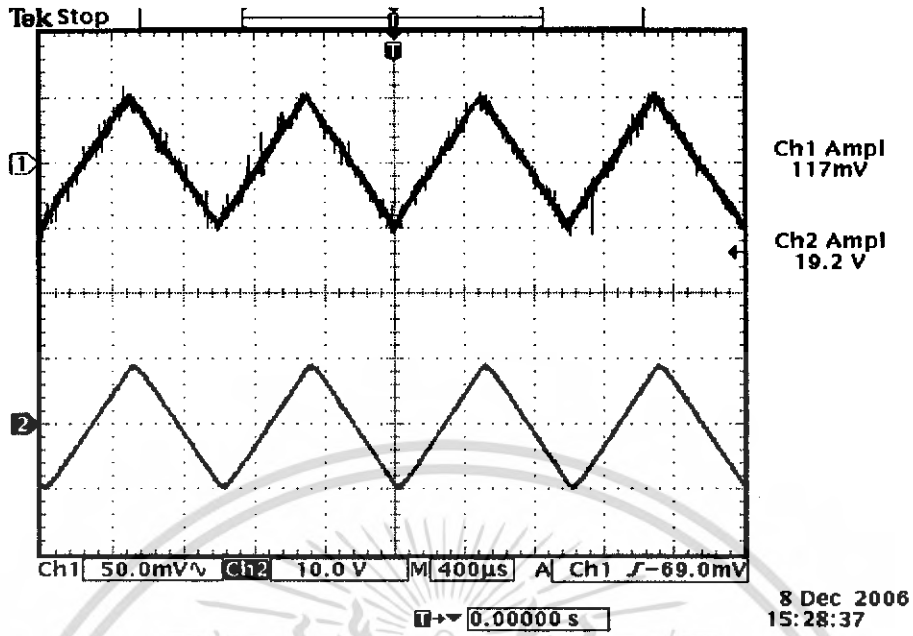
4.1 การทดลองวงจรปรีแอมป์ไมโครโฟน

วงจรปรีแอมป์ไมโครโฟน จะทำหน้าที่ในการขยายสัญญาณเสียงที่รับมาจากไมโครโฟน โดยวงจรที่เราทำการออกแบบไว้จะต้องมีแอมพลิจูดของสัญญาณเสียงที่เอาต์พุตไม่เกิน 5 V เพื่อที่จะทำให้สัญญาณเสียงที่ได้ที่เอาต์พุตมีแรงดันไม่เกินระดับแรงดันในการจัดระดับสัญญาณของ ADC



รูปที่ 4.1 แสดงผลการทดลองวงจรปรีแอมป์ไมโครโฟนเมื่อป้อนอินพุตเป็นสัญญาณไซน์
สัญญาณที่ 1 คือสัญญาณอินพุต
สัญญาณที่ 2 คือสัญญาณเอาต์พุต

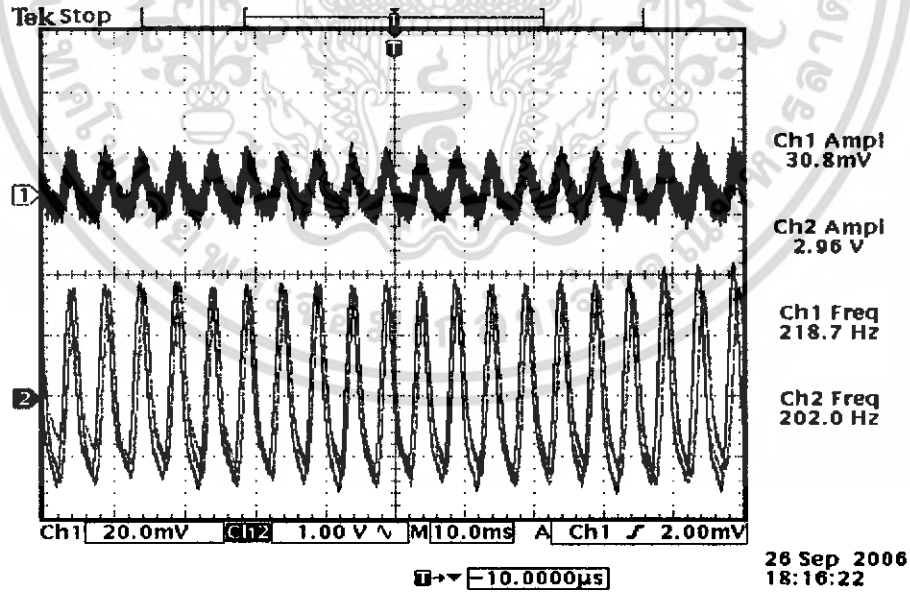
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงผลการทดลองวงจรปรีแอมป์ไมโครโฟนเมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม

สัญญาณที่ 1 คือสัญญาณอินพุต

สัญญาณที่ 2 คือสัญญาณเอาต์พุต



รูปที่ 4.3 แสดงผลการทดลองวงจรปรีแอมป์ไมโครโฟนเมื่อป้อนอินพุตเป็นสัญญาณเสียง

สัญญาณที่ 1 คือสัญญาณอินพุต

สัญญาณที่ 2 คือสัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

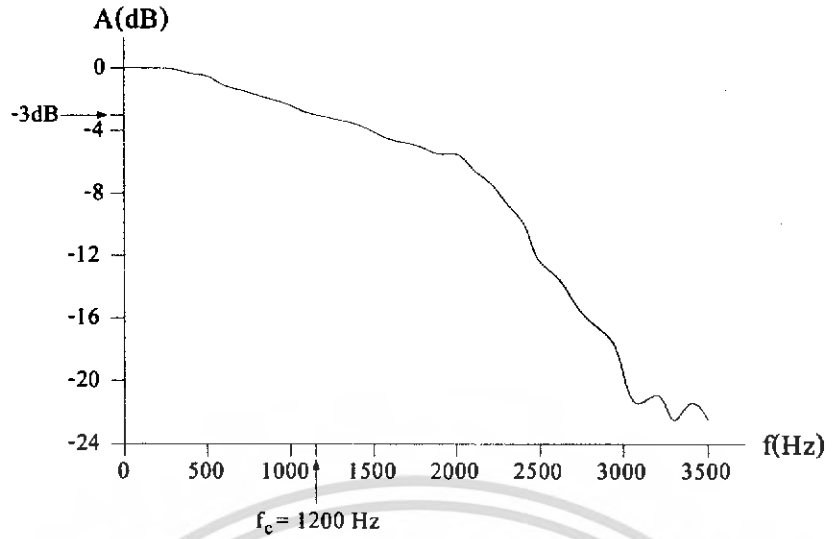
4.2 การทดลองวงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่าน จะทำหน้าที่ในการรับสัญญาณเสียงที่ผ่านการขยายสัญญาณจากวงจรปรีแอมป์มาแล้วมาทำการกรองความถี่ที่ต่ำกว่า 4 KHz ให้ผ่านไปได้ เพื่อป้องกันการเกิดเอเลียสซิง เนื่องจาก ADC ใช้อัตราการสุ่มตัวอย่าง 8 KHz

ตารางที่ 4.1 แสดงผลการทดลองวงจรกรองความถี่ต่ำผ่าน

Frequency(Hz)	Amplitude(dB)	Frequency(Hz)	Amplitude(dB)
100	0.000	1900	-5.514
200	0.000	2000	-5.597
300	-0.087	2100	-6.466
400	-0.355	2200	-7.331
500	-0.537	2300	-8.636
600	-1.110	2400	-9.897
700	-1.412	2500	-12.396
800	-1.724	2600	-13.351
900	-2.047	2700	-14.895
1000	-2.384	2800	-16.193
1100	-2.853	2900	-17.077
1200	-3.098	3000	-19.576
1300	-3.350	3100	-21.412
1400	-3.609	3200	-20.915
1500	-4.082	3300	-22.499
1600	-4.583	3400	-21.412
1700	-4.807	3500	-22.499
1800	-5.114	3600	-22.499

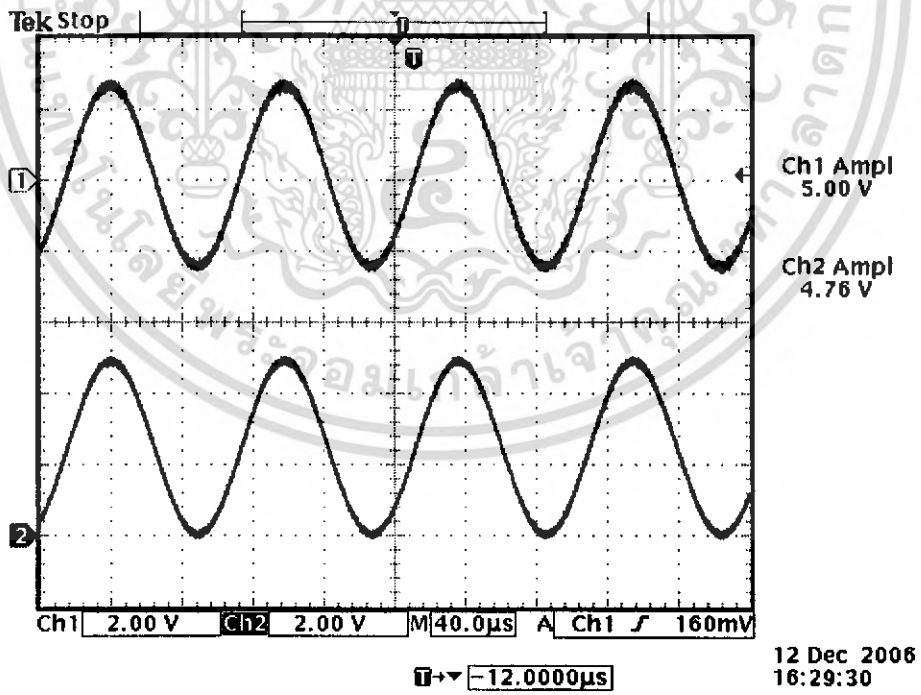
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงกราฟผลการทดลองวงจรกรองความถี่ต่ำผ่าน

4.3 การทดลองวงจรยกระดับสัญญาณ

วงจรนี้จะทำหน้าที่ในการยกระดับสัญญาณขึ้น 2.5 โวลท์ เพื่อไม่ให้เกิดแรงดันไฟลบเข้าที่วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล เนื่องจากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลไม่สามารถแปลงแรงดันไฟลบได้

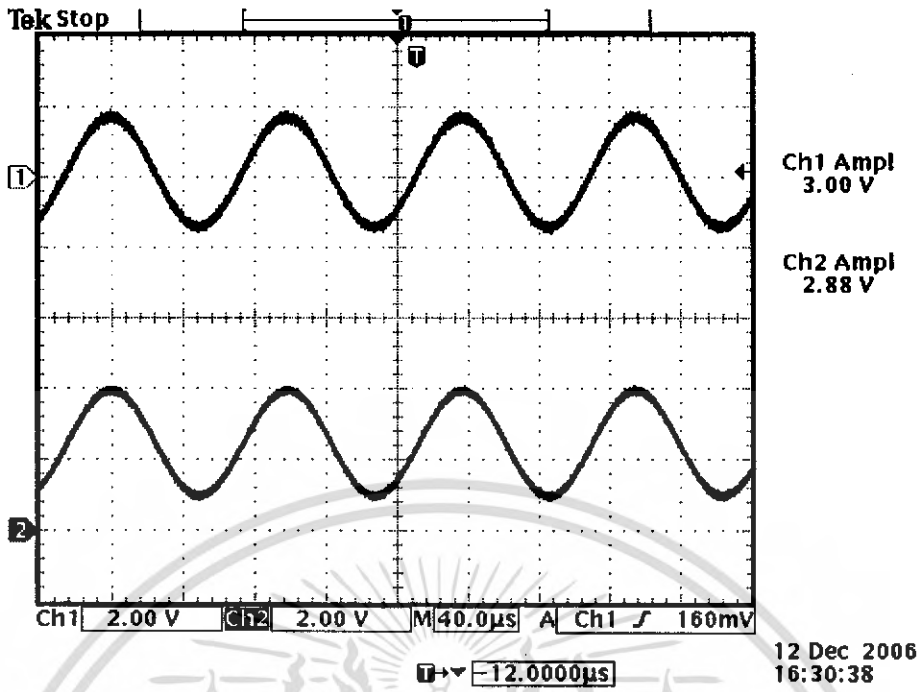


รูปที่ 4.5 แสดงผลการทดลองวงจรยกระดับสัญญาณเมื่อป้อนอินพุตแรงดัน 5 โวลท์

สัญญาณที่ 1 คือสัญญาณอินพุต

สัญญาณที่ 2 คือสัญญาณเอาต์พุต

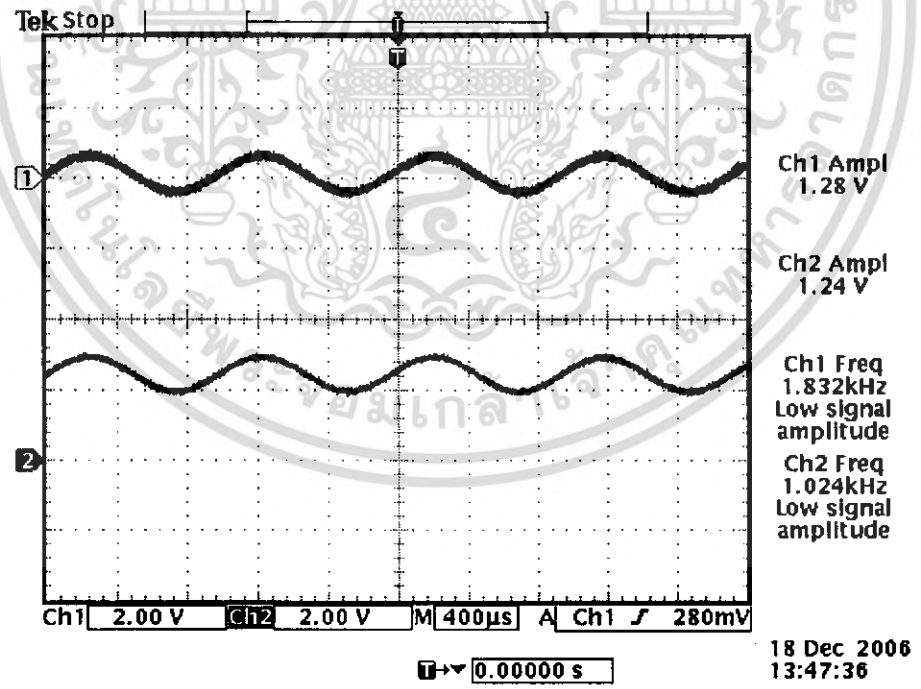
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงผลการทดลองวงจรยกระดับสัญญาณเมื่อป้อนอินพุตแรงดัน 3 โวลท์

สัญญาณที่ 1 คือสัญญาณอินพุต

สัญญาณที่ 2 คือสัญญาณเอาต์พุต



รูปที่ 4.7 แสดงผลการทดลองวงจรยกระดับสัญญาณเมื่อป้อนอินพุตแรงดัน 1 โวลท์

สัญญาณที่ 1 คือสัญญาณอินพุต

สัญญาณที่ 2 คือสัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

ในการทดลองวงจรเมื่อเราทำการป้อนสัญญาณรูปคลื่นไซน์ที่ความถี่ 1 KHz เข้าทางด้านอินพุต จะเกิดการเปลี่ยนแปลงของหลอด LED โดยหลอด LED จะติดดับสลับกันไป ซึ่งเกิดจากการเปลี่ยนแปลงของระดับแรงดันของสัญญาณรูปคลื่นไซน์ที่ป้อนเข้ามาทางอินพุต

ดังนั้นเพื่อที่จะได้เห็นการเปลี่ยนแปลงในการแปลงสัญญาณอนาล็อกเป็นดิจิตอล ในการทดลองนี้จะทำการป้อนแรงดันไฟฟ้ากระแสตรงที่มีค่าตั้งแต่ 0 – 5 V เข้าทางด้านอินพุต แล้วทำการบันทึกค่าแรงดันไฟฟ้ากระแสตรงที่ป้อนเข้าทางอินพุตและบันทึกค่าสัญญาณดิจิตอลที่ออกมาทางเอาต์พุต เปรียบเทียบกัน ซึ่งได้ผลการทดลองดังนี้

ตารางที่ 4.2 แสดงผลการทดลองวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

Vref (+) = 5 V , Vref (-) = 0 V

Vin (v)	Digital Output
0.000	00000000
0.505	00011001
1.002	00110010
1.505	01001100
2.001	01100110
2.506	01111111
3.000	10011001
3.501	10110011
4.005	11001101
4.510	11100111
5.020	11111111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

ในการทดลองวงจรเมื่อเราทำการเปลี่ยนแปลงสัญญาณดิจิตอลที่ป้อนเข้าทางอินพุต จะทำให้เกิดการเปลี่ยนแปลงระดับแรงดันที่เอาต์พุต โดยเราจะทำการบันทึกค่าสัญญาณดิจิตอลที่ป้อนเข้าทางอินพุต และบันทึกค่าระดับแรงดันที่ออกมาทางเอาต์พุตเปรียบเทียบกัน ซึ่งได้ผลการทดลองดังนี้

ตารางที่ 4.3 แสดงผลการทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

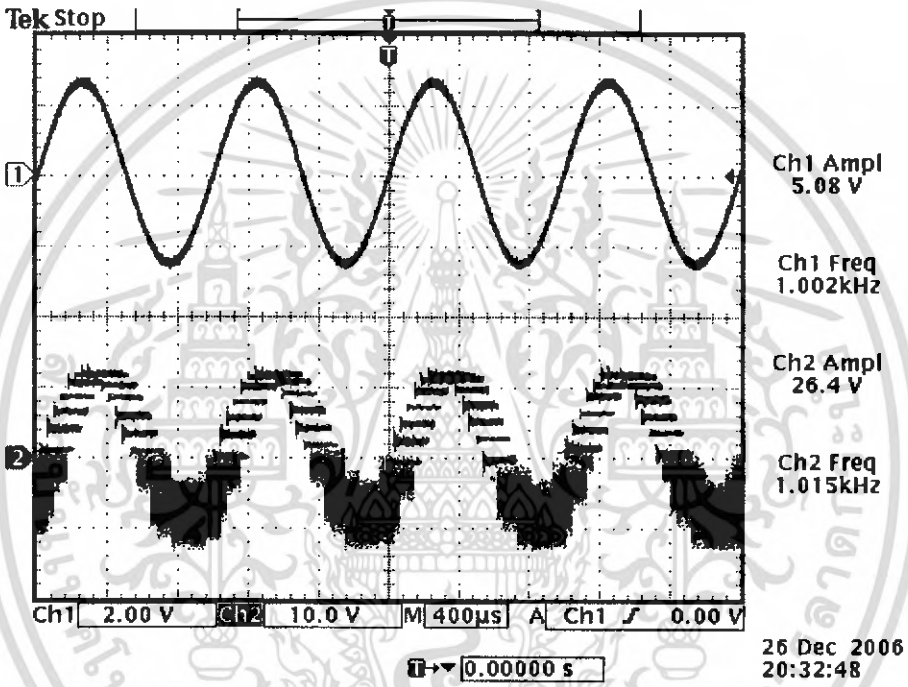
Iref = 2 mA , Rref = 5 KΩ , Vref = 10 V

Digital Input	Vout (v)
00000000	-9.890
00000001	-9.820
00000011	-9.660
00000111	-9.360
00001111	-8.740
00011111	-7.500
00111111	-5.020
01111111	-0.045
10000000	0.053
10000001	0.129
10000011	0.282
10000111	0.592
10001111	1.211
10011111	2.449
10111111	4.930
11111111	9.910

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

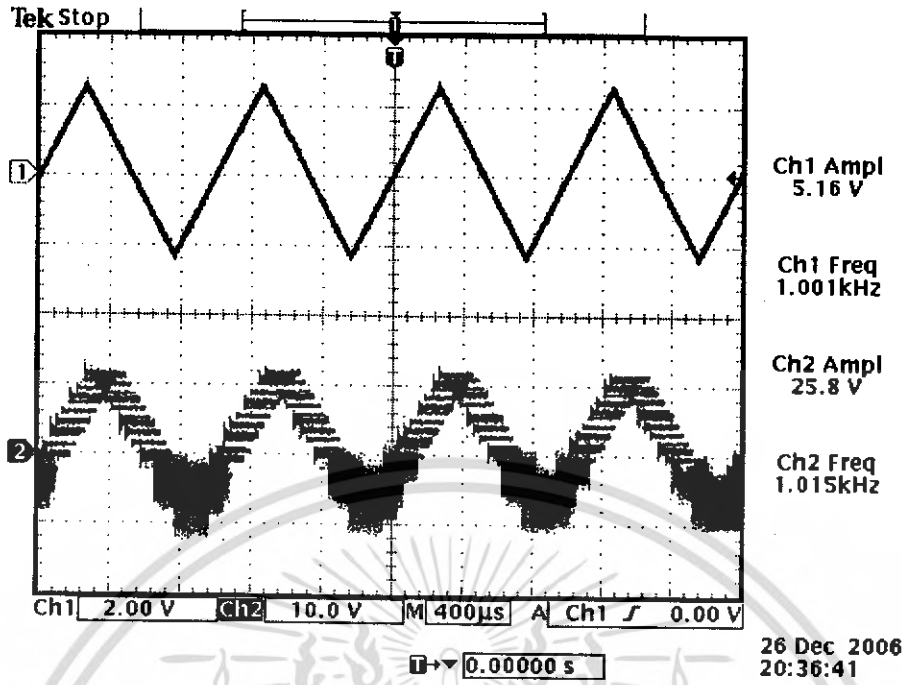
4.6 การทดลองภายในระบบ

ในการทดลองภายในระบบเราจะทำการป้อนสัญญาณอนาล็อกเข้าทางอินพุตของวงจรยกระดับสัญญาณเพื่อให้ได้สัญญาณที่ออกมามีแต่แรงดันที่เป็นไฟบวกเท่านั้น จากนั้นก็นำสัญญาณที่ได้ส่งเข้าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล แล้วใช้ไมโครคอนโทรลเลอร์ควบคุมการทำงาน จากนั้นเมื่อได้สัญญาณดิจิตอลออกมาแล้วจะส่งไปยังวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก เพื่อให้ได้สัญญาณอินพุตตัวเดิมกลับคืนมา



รูปที่ 4.8 แสดงผลการทดลองภายในระบบเมื่อป้อนอินพุตเป็นสัญญาณไซน์
สัญญาณที่ 1 คือสัญญาณอินพุต
สัญญาณที่ 2 คือสัญญาณเอาต์พุต

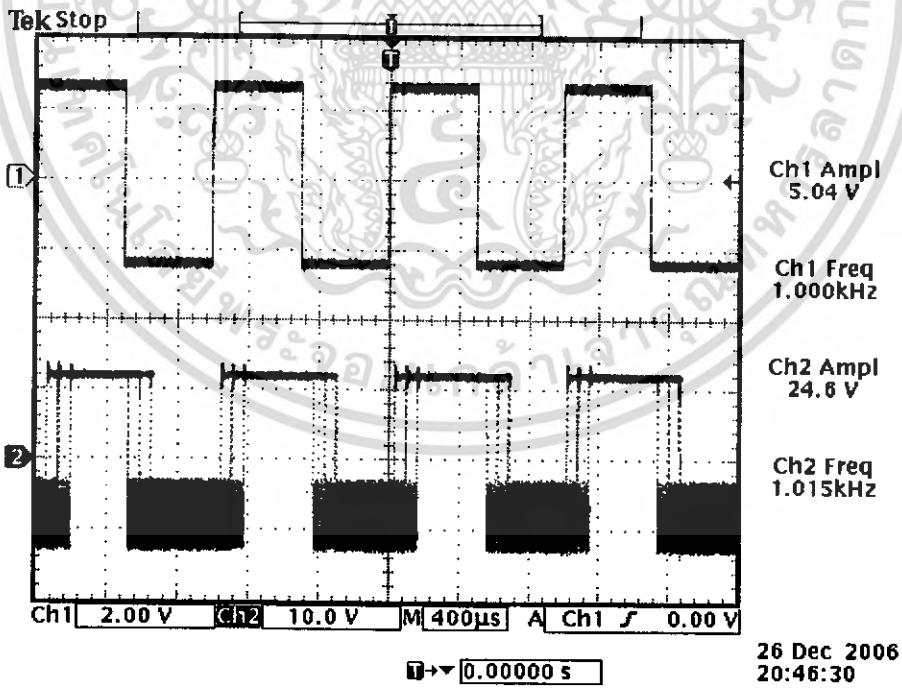
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 แสดงผลการทดลองภายในระบบเมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม

สัญญาณที่ 1 คือสัญญาณอินพุต

สัญญาณที่ 2 คือสัญญาณเอาต์พุต



รูปที่ 4.10 แสดงผลการทดลองภายในระบบเมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม

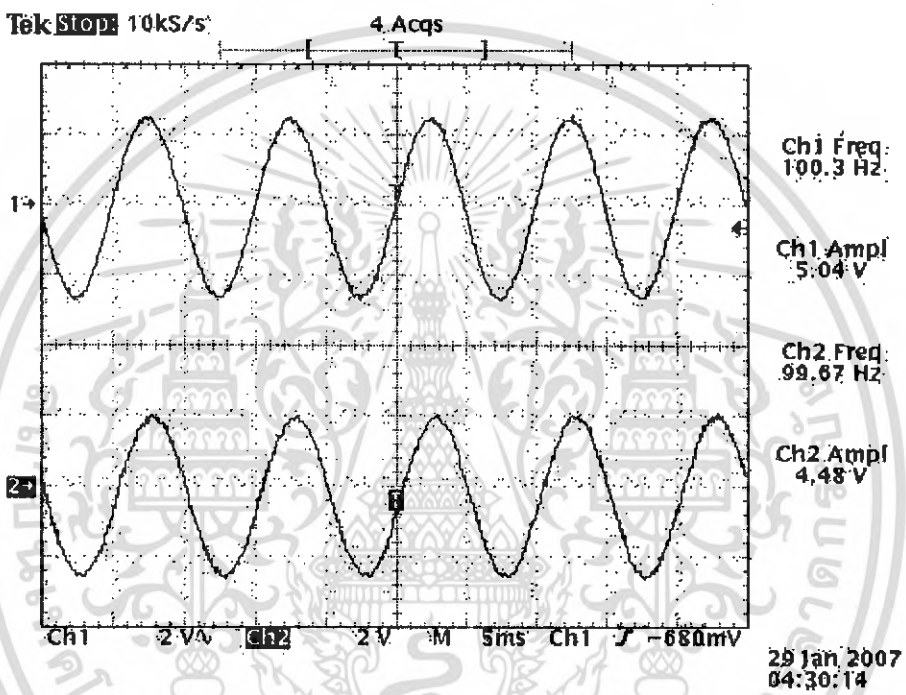
สัญญาณที่ 1 คือสัญญาณอินพุต

สัญญาณที่ 2 คือสัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

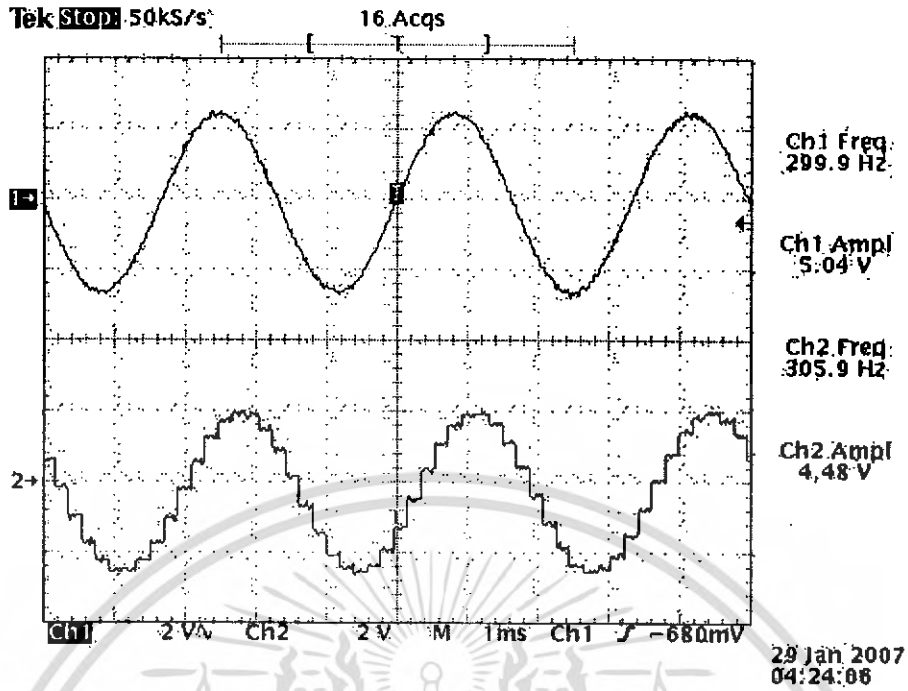
4.7 การทดลองรับส่งข้อมูล

ในการทดลองรับส่งข้อมูลเราจะทำการป้อนสัญญาณอนาล็อกเข้าทางอินพุตของวงจรยกระดับสัญญาณทางด้านส่ง จากนั้นก็นำสัญญาณที่ได้ส่งเข้าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล แล้วใช้ไมโครคอนโทรลเลอร์ควบคุมการทำงานส่งข้อมูลออกอากาศด้วยอัตราบิต 62.5 Kbps จากนั้นเมื่อด้านรับได้รับข้อมูลก็จะส่งไปยังวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก เพื่อให้ได้สัญญาณอนาล็อกที่ด้านส่งส่งมาให้กลับคืนมา

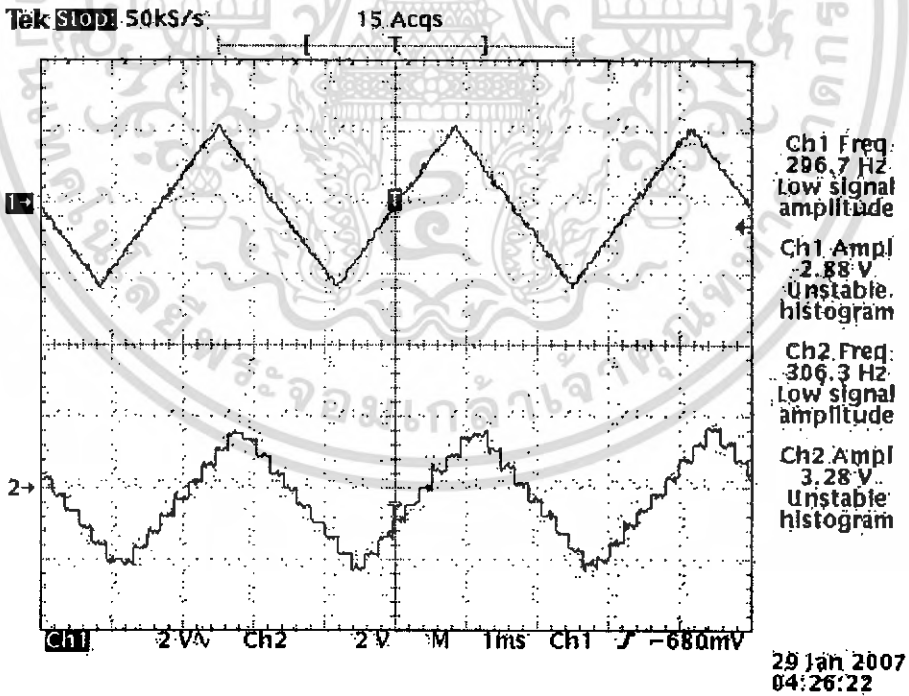


รูปที่ 4.11 แสดงผลการทดลองรับส่งข้อมูลเมื่อป้อนอินพุตเป็นสัญญาณไซน์ 100 Hz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



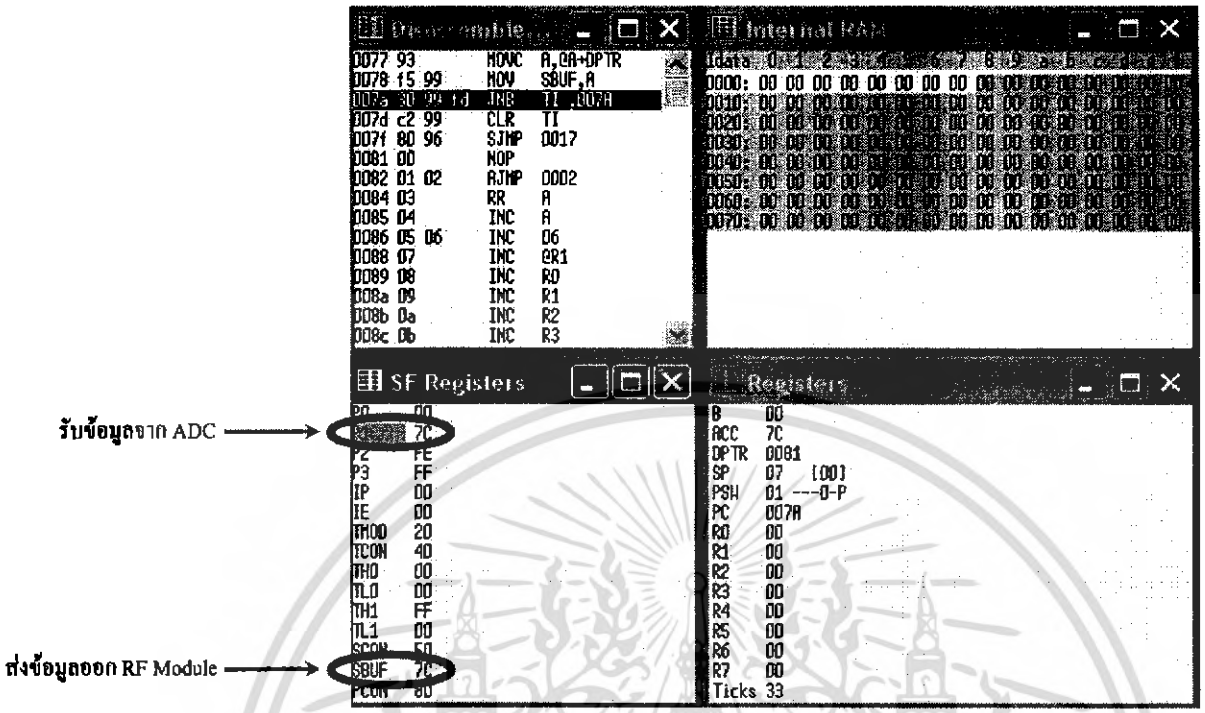
รูปที่ 4.12 แสดงผลการทดลองรับส่งข้อมูลเมื่อป้อนอินพุตเป็นสัญญาณไซน์ 300 Hz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ



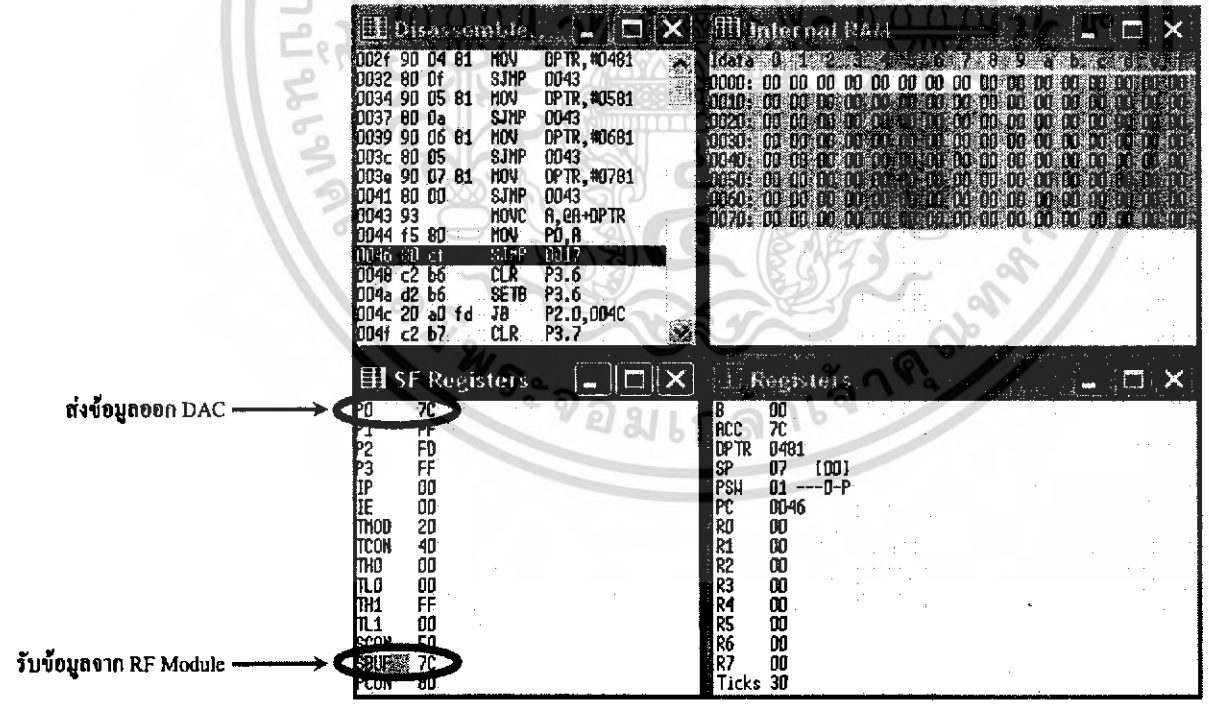
รูปที่ 4.13 แสดงผลการทดลองรับส่งข้อมูลเมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม 300 Hz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 การจำลองการสแกรมเบลอร์และดีสแกรมเบลอร์



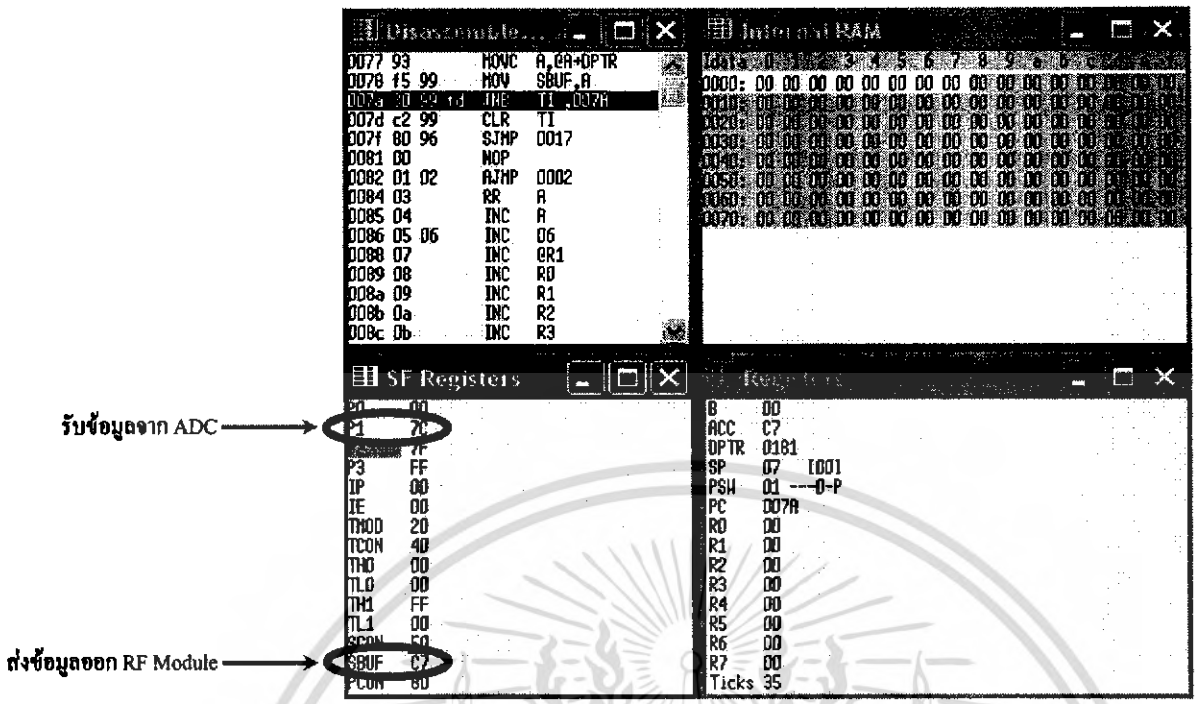
(ก) การจำลองการสแกรมเบลอร์รูปแบบที่ 1



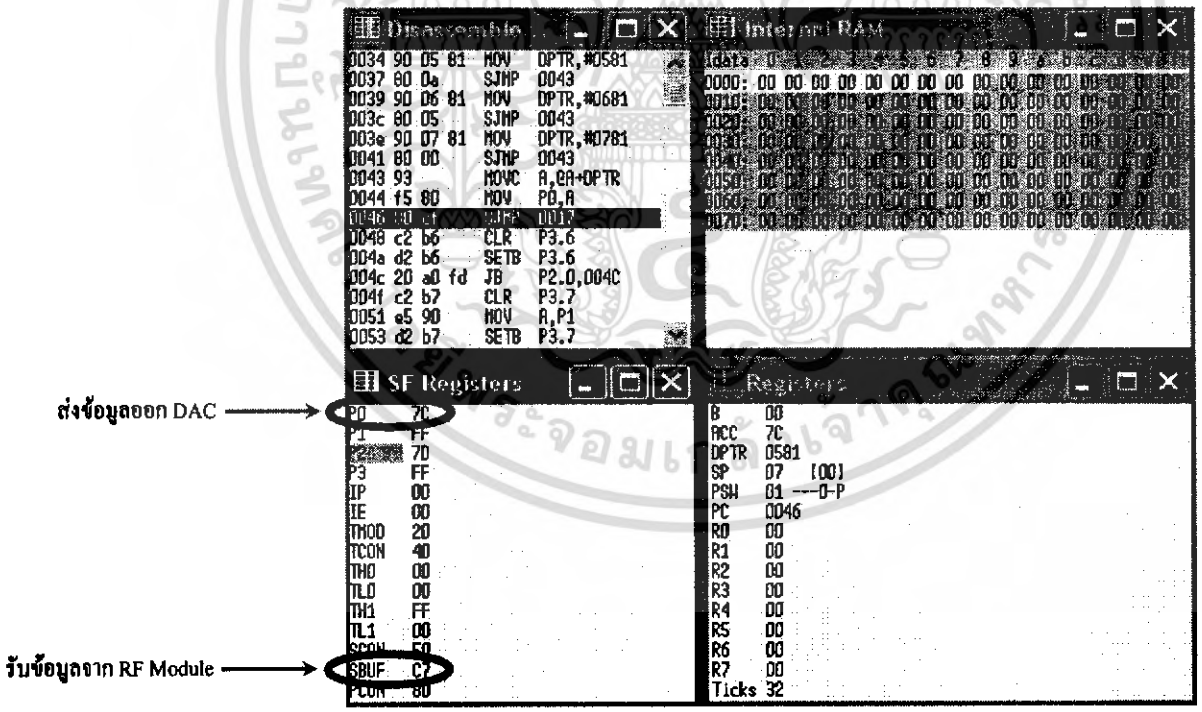
(ข) การจำลองการดีสแกรมเบลอร์รูปแบบที่ 1

รูปที่ 4.14 การจำลองการสแกรมเบลอร์และดีสแกรมเบลอร์รูปแบบที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



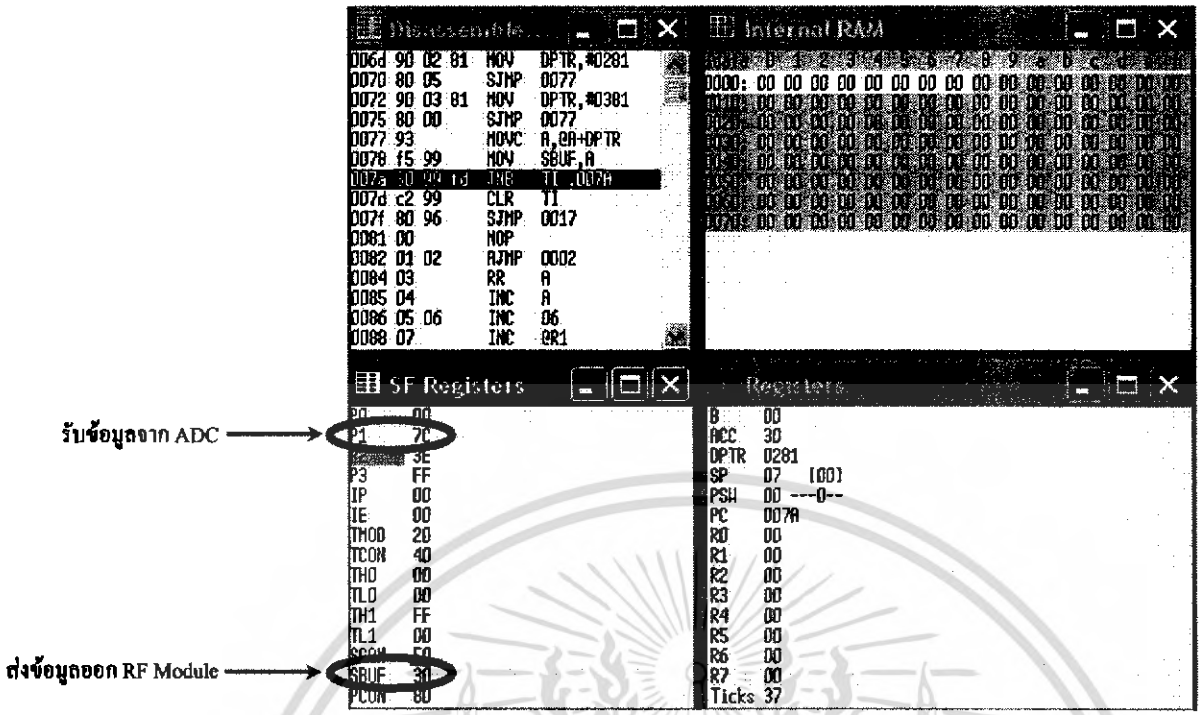
(ก) การจำลองการสแกรมเบลอร์รูปแบบที่ 2



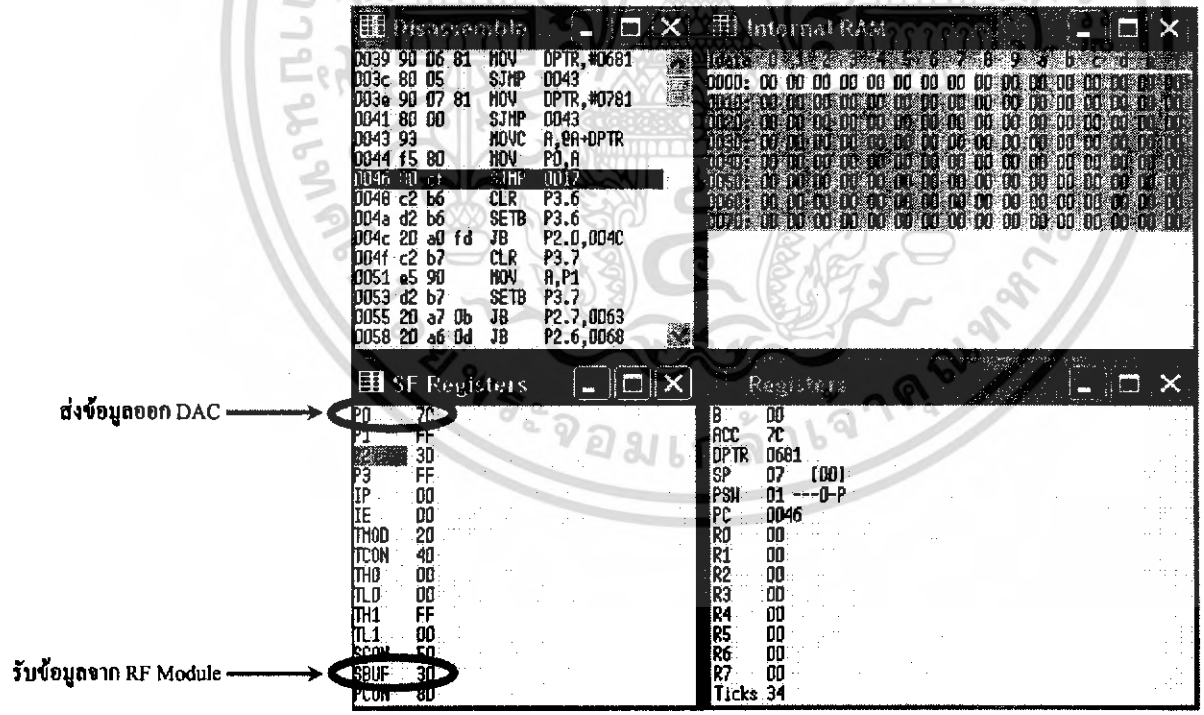
(ข) การจำลองการดีสแกรมเบลอร์รูปแบบที่ 2

รูปที่ 4.15 การจำลองการสแกรมเบลอร์และดีสแกรมเบลอร์รูปแบบที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



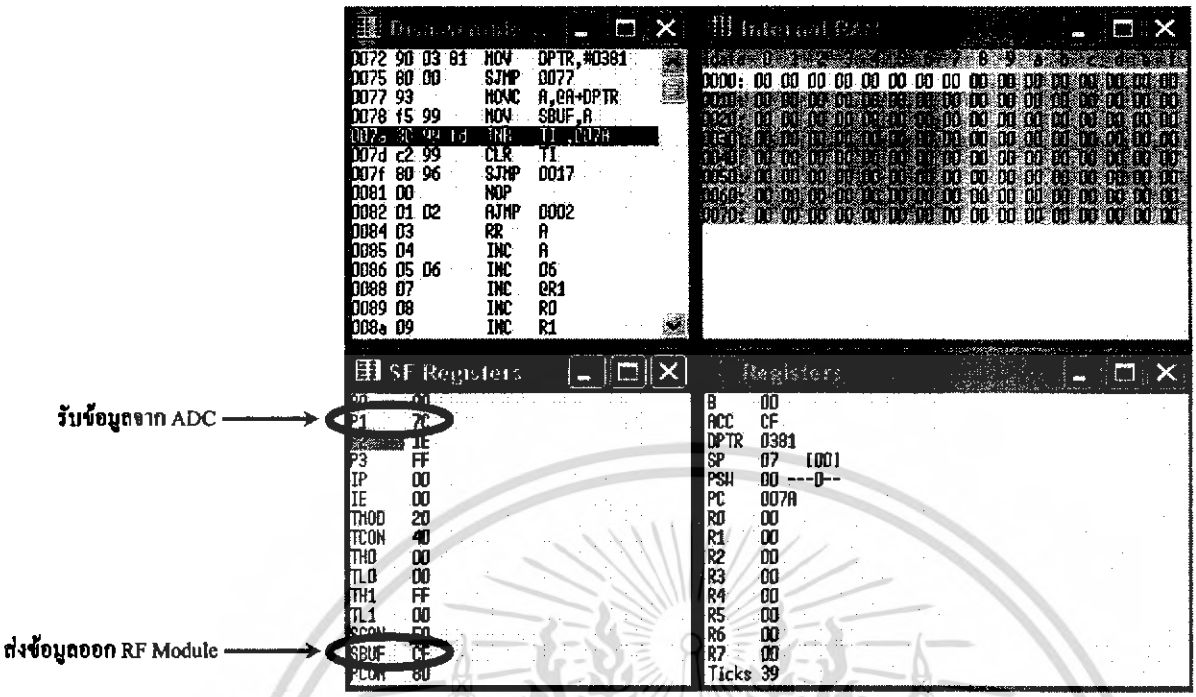
(ก) การจำลองการสแกรมเบลอร์รูปแบบที่ 3



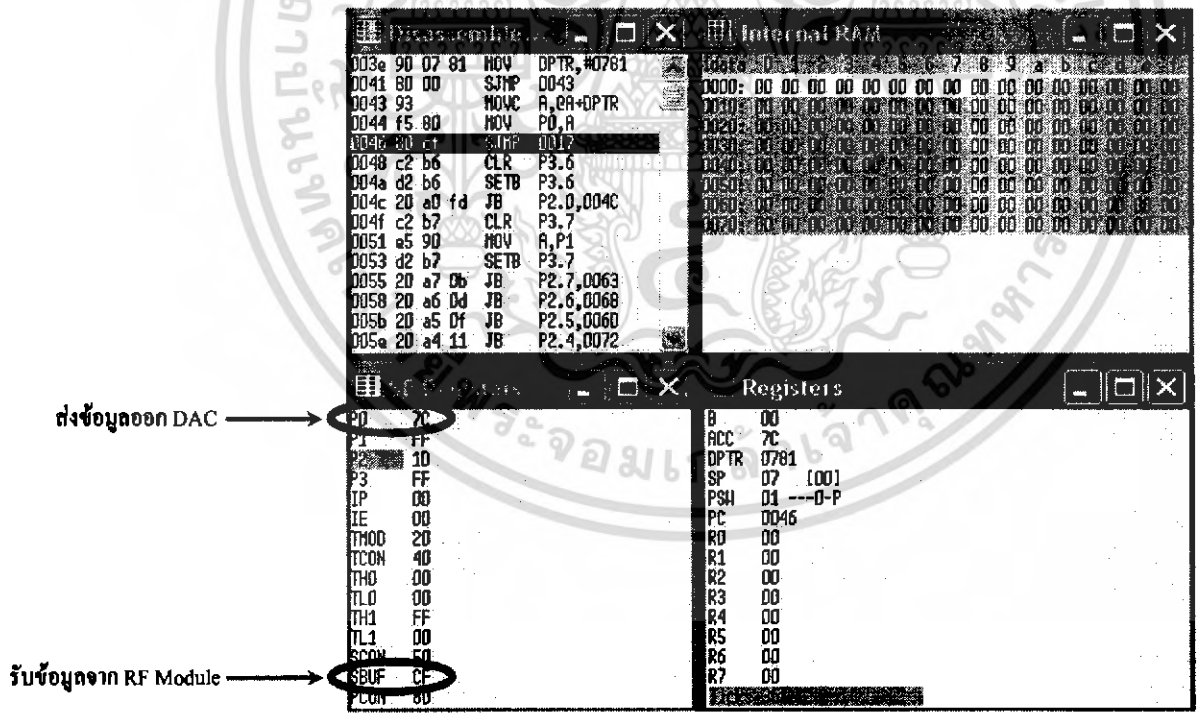
(ข) การจำลองการดีสแกรมเบลอร์รูปแบบที่ 3

รูปที่ 4.16 การจำลองการสแกรมเบลอร์และดีสแกรมเบลอร์รูปแบบที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) การจำลองการสแกรมเบลอร์รูปแบบที่ 4



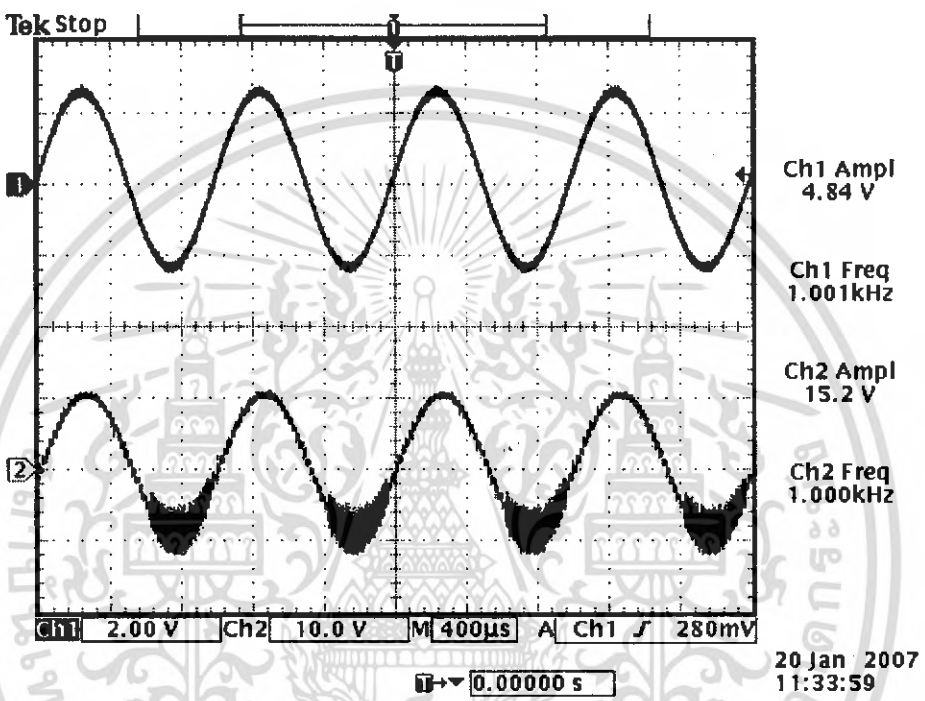
(ข) การจำลองการดีสแกรมเบลอร์รูปแบบที่ 4

รูปที่ 4.17 การจำลองการสแกรมเบลอร์และดีสแกรมเบลอร์รูปแบบที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

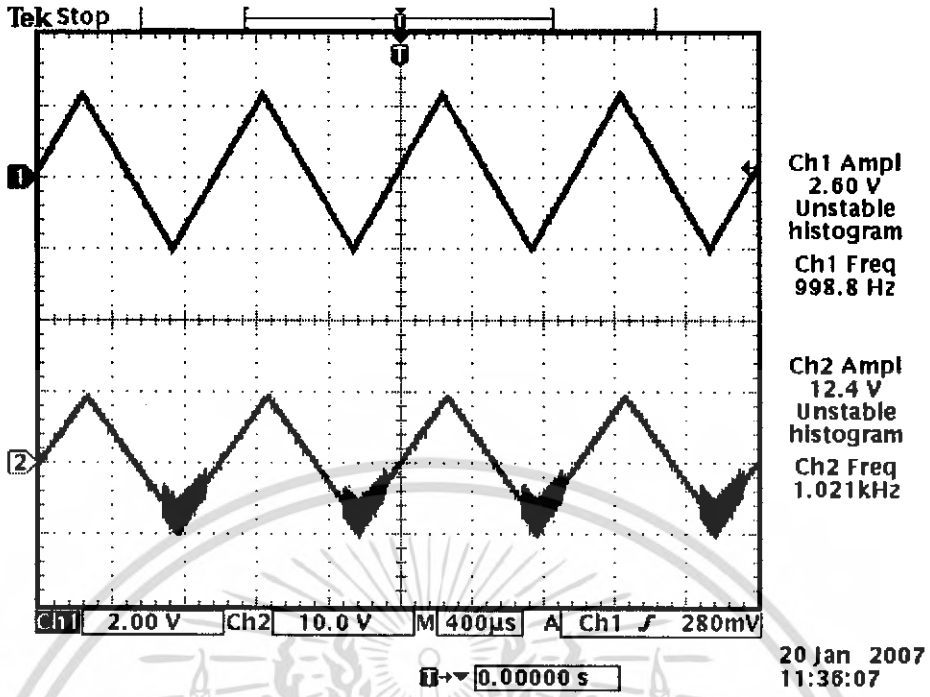
4.9 การทดลองการสแกรมเบลอร์

ในการทดลองการสแกรมเบลอร์เราจะทำการป้อนสัญญาณอนาล็อกเข้าทางอินพุตของวงจรยกระดับสัญญาณทางด้านส่ง จากนั้นก็นำสัญญาณที่ได้ส่งเข้าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล แล้วใช้ไมโครคอนโทรลเลอร์ในการสแกรมเบลอร์ข้อมูล จากนั้นจึงส่งข้อมูลที่ทำการสแกรมเบลอร์แล้วออกอากาศ เมื่อด้านรับได้รับข้อมูลก็จะส่งไปยังวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

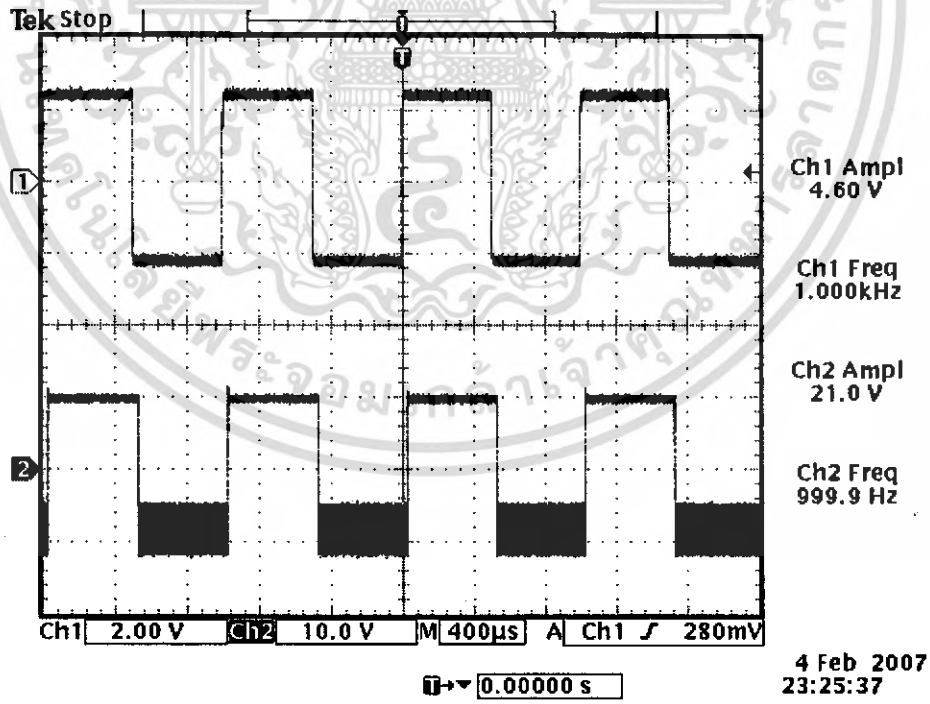


รูปที่ 4.18 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

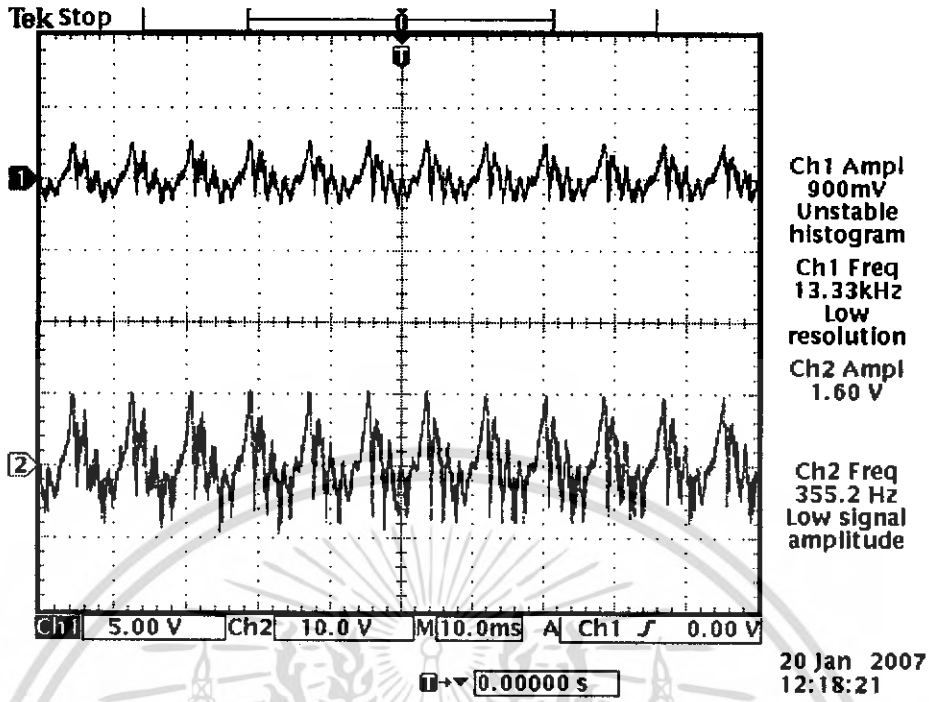


รูปที่ 4.19 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ



รูปที่ 4.20 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

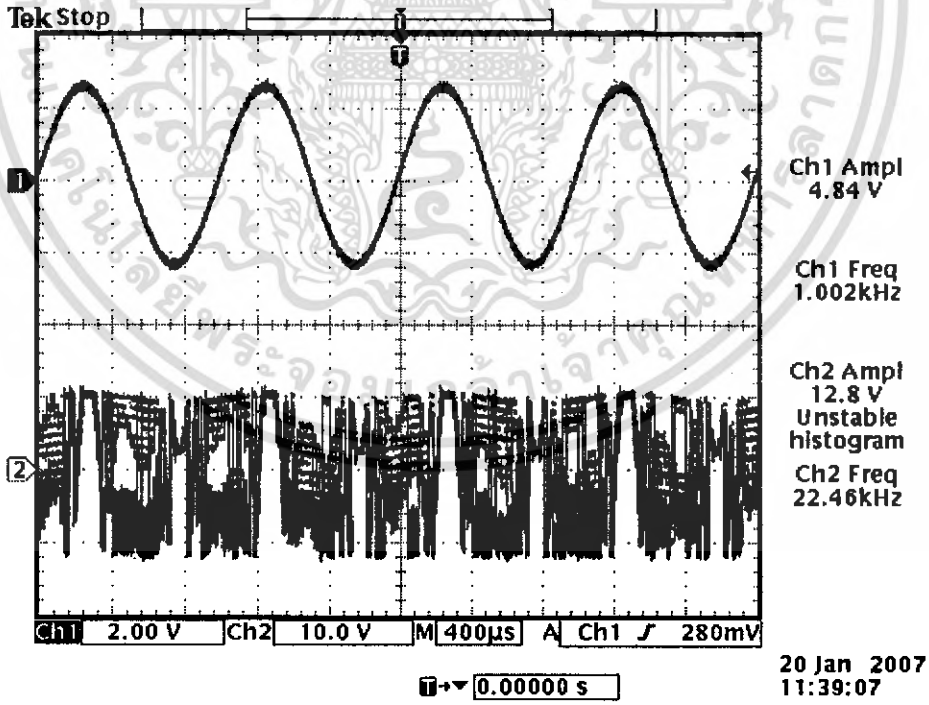
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 เมื่อป้อนอินพุตเป็นสัญญาณเสียง

สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง

สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

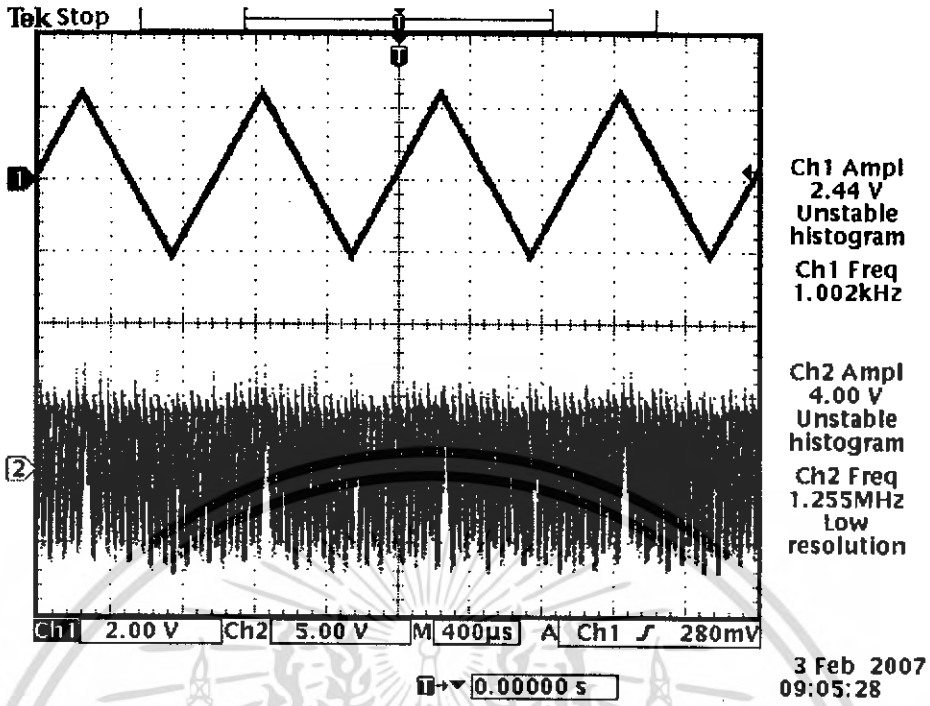


รูปที่ 4.22 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz

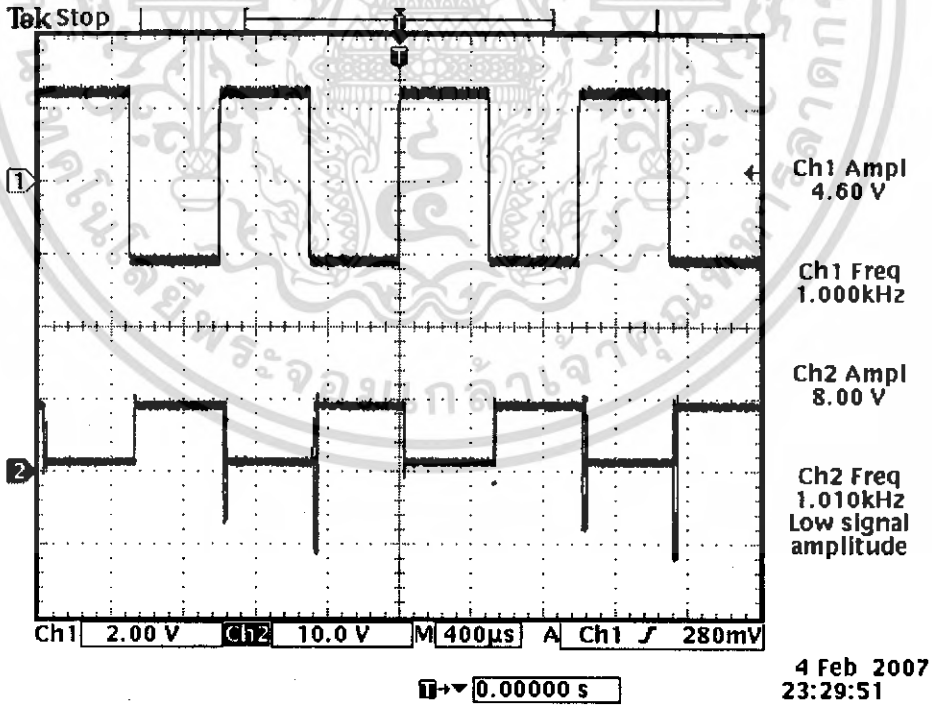
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง

สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

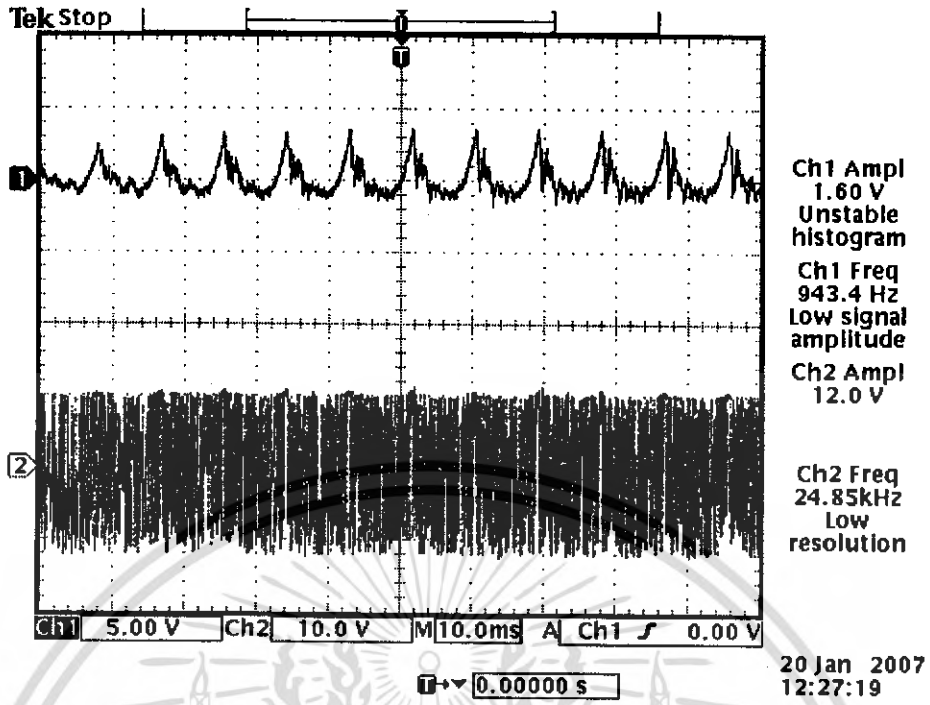


รูปที่ 4.23 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

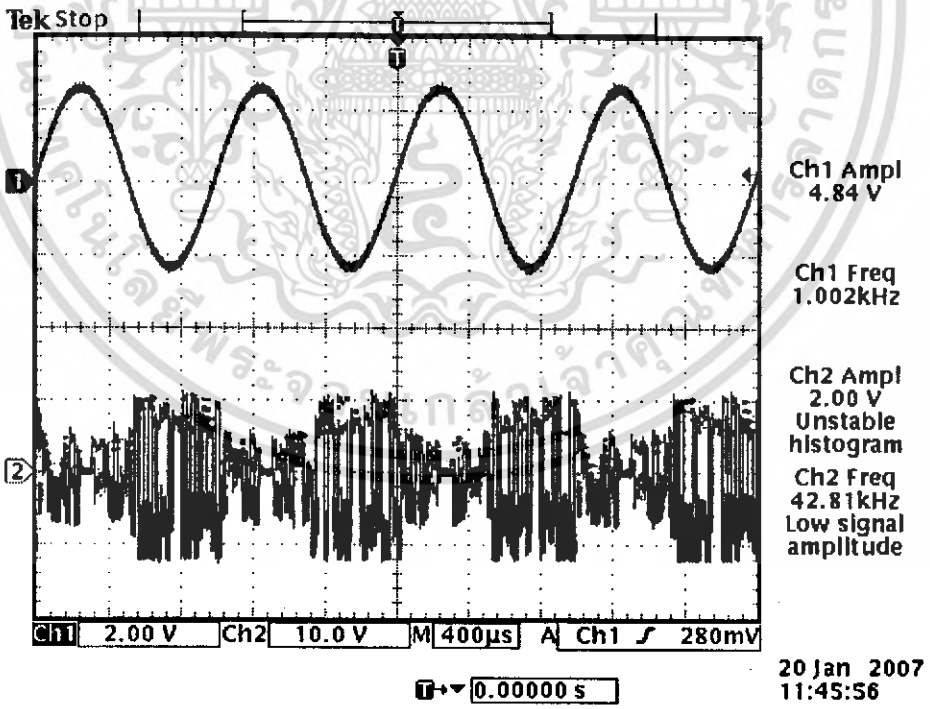


รูปที่ 4.24 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

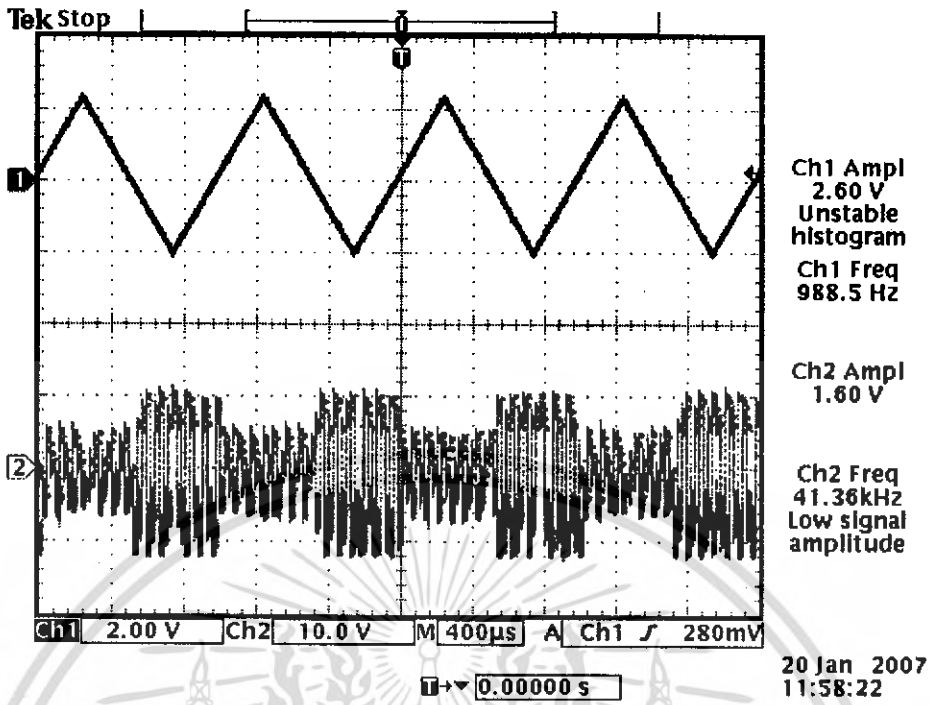


รูปที่ 4.25 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 เมื่อป้อนอินพุตเป็นสัญญาณเสียง
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ



รูปที่ 4.26 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

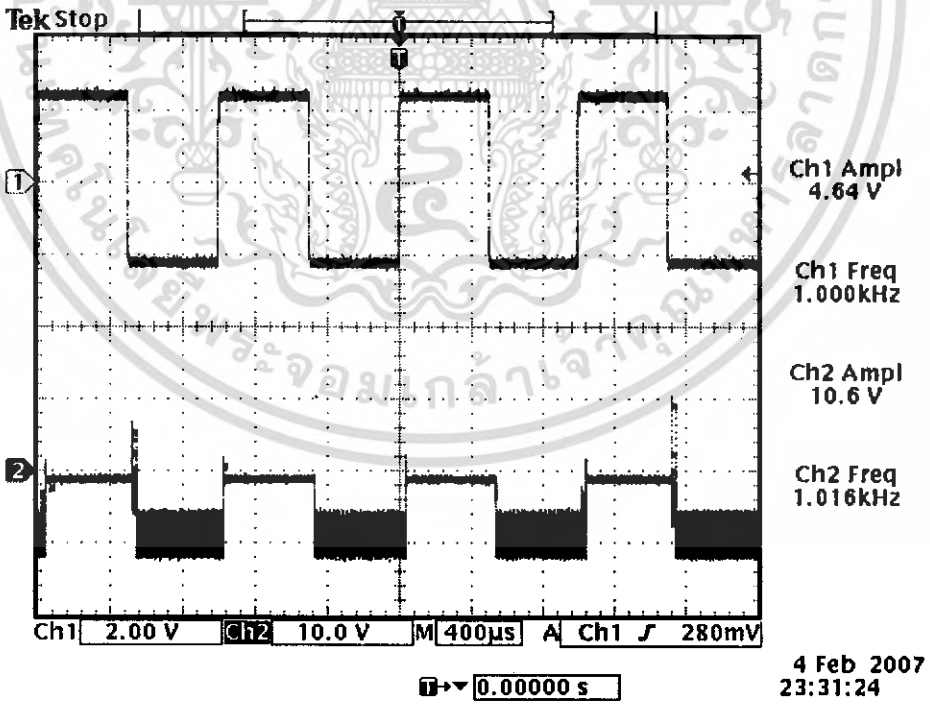
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.27 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม 1 KHz

สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง

สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

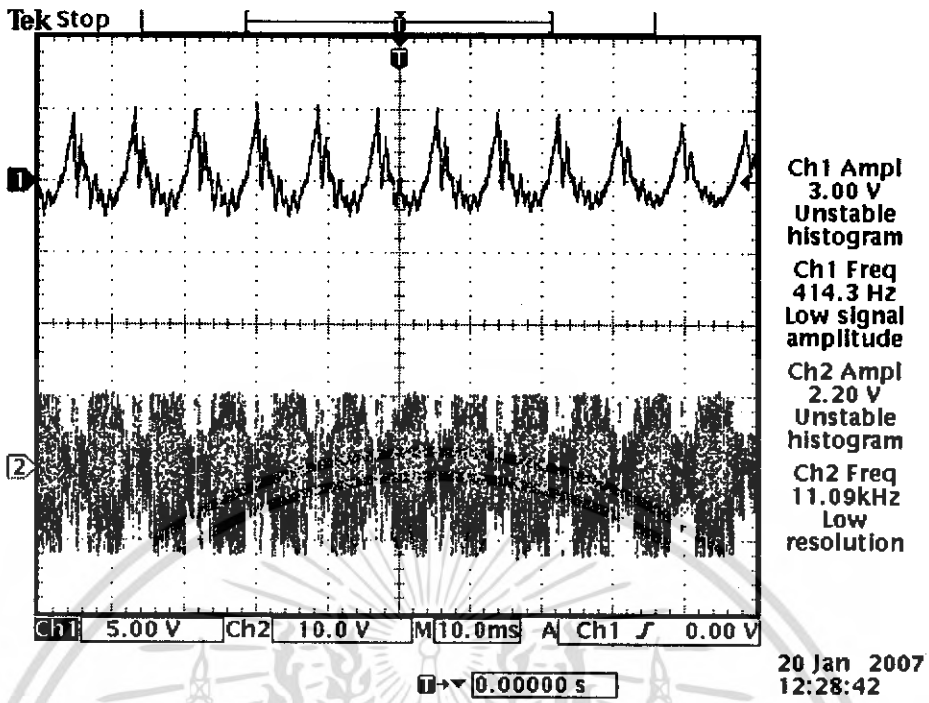


รูปที่ 4.28 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม 1 KHz

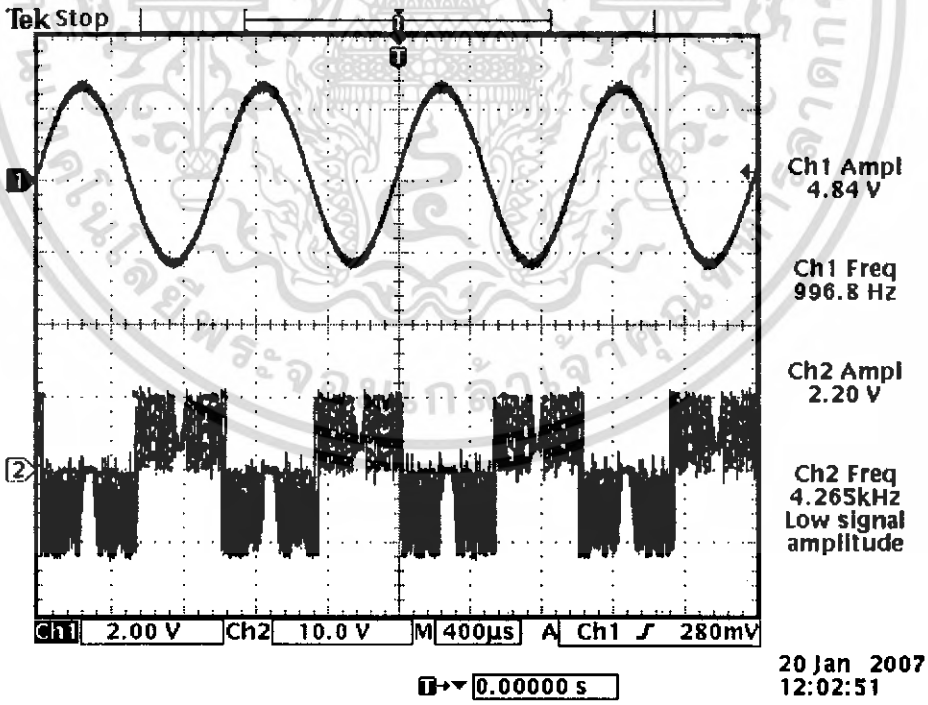
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง

สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

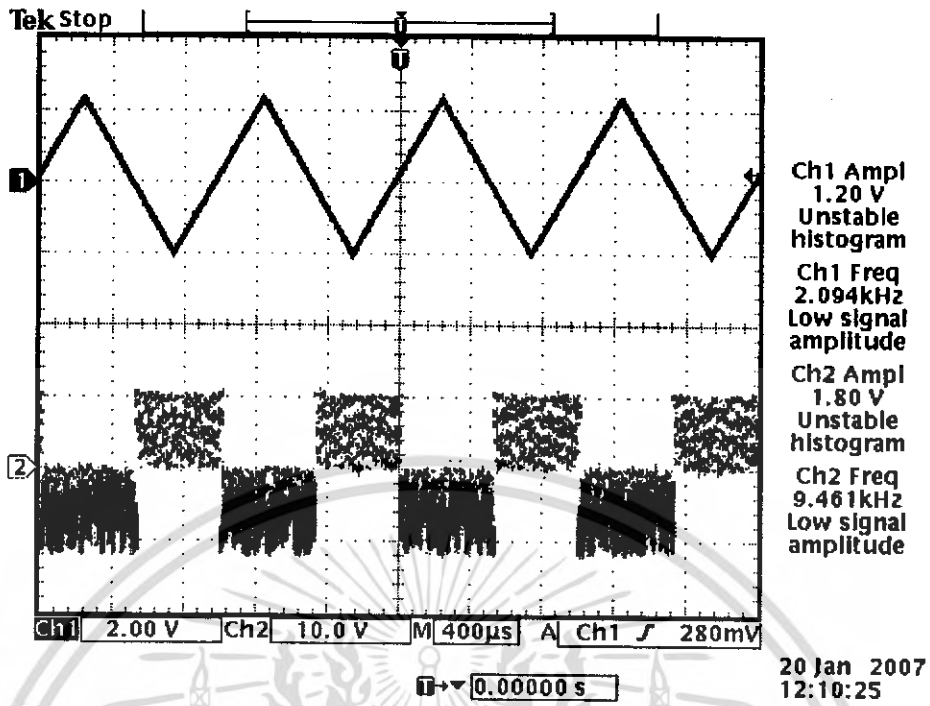


รูปที่ 4.29 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 เมื่อป้อนอินพุตเป็นสัญญาณเสียง
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

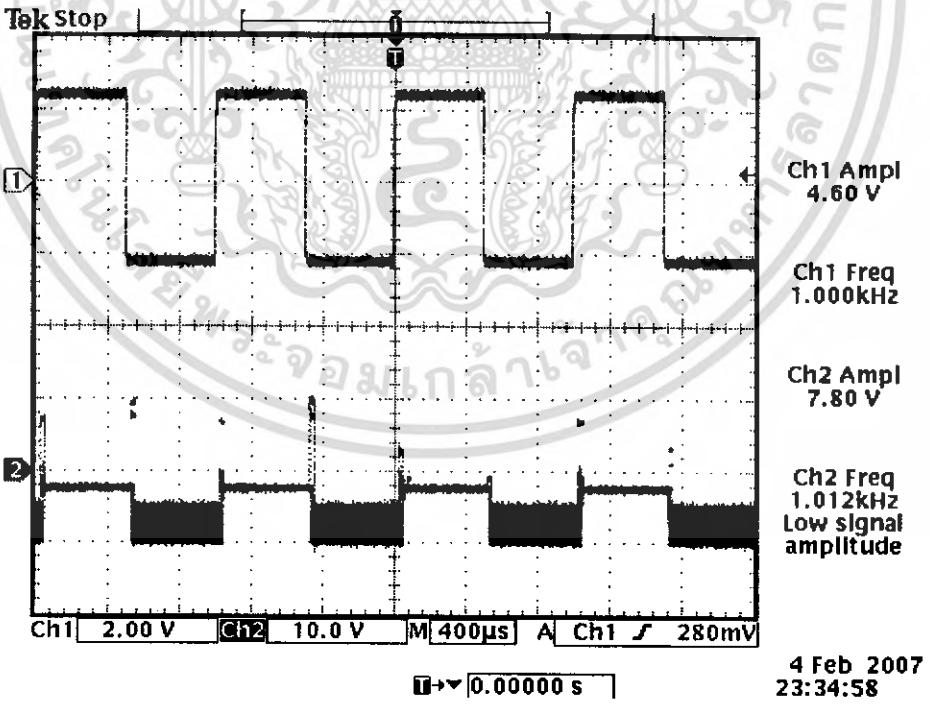


รูปที่ 4.30 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

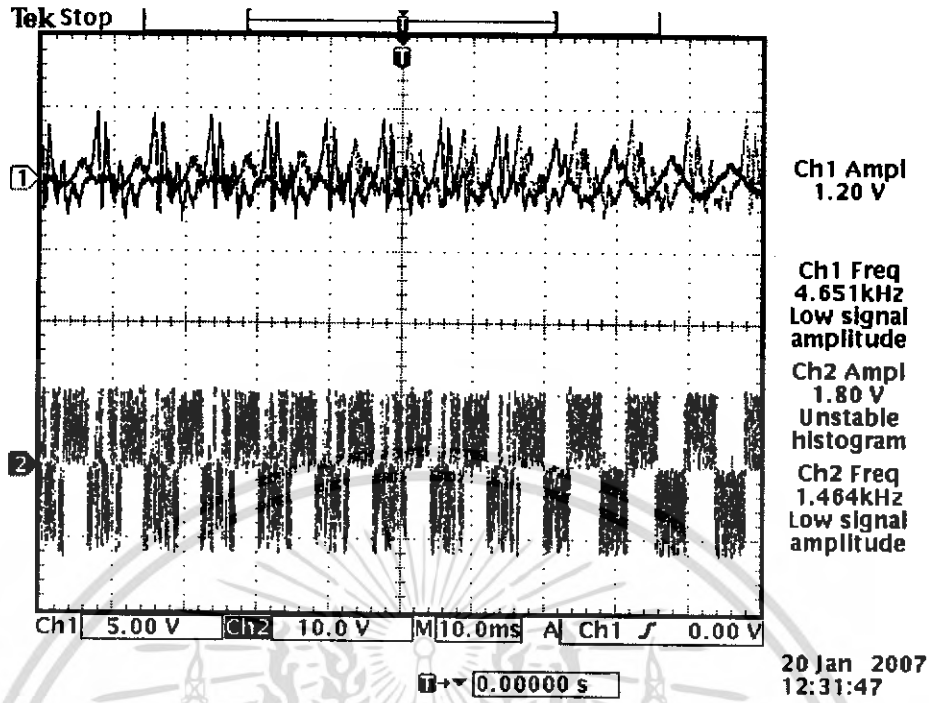


รูปที่ 4.31 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณสามเหลี่ยม 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ



รูปที่ 4.32 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณสี่เหลี่ยม 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

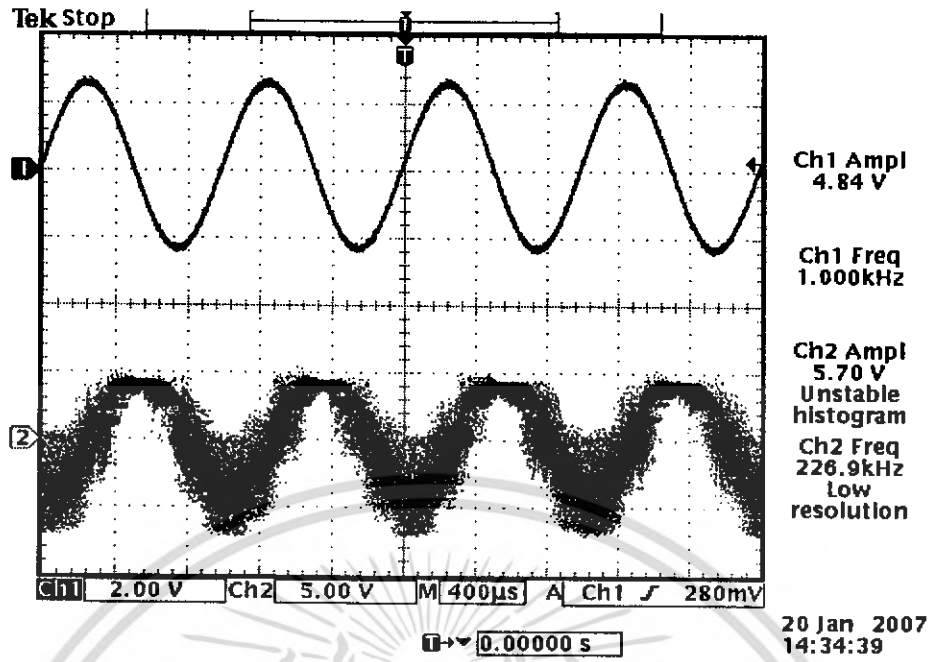


รูปที่ 4.33 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 เมื่อป้อนอินพุตเป็นสัญญาณเสียง
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

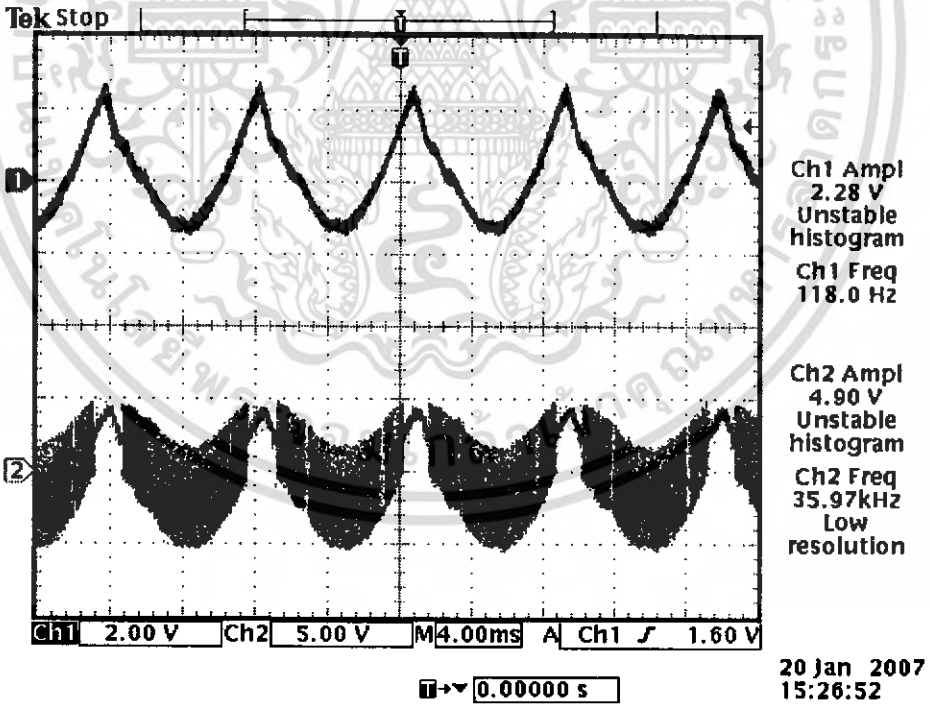
4.10 การทดลองการดีสแกรมเบลอร์

ในการทดลองการดีสแกรมเบลอร์เราจะทำการป้อนสัญญาณอนาล็อกเข้าทางอินพุตของวงจรยกระดับสัญญาณทางด้านส่ง จากนั้นก็นำสัญญาณที่ได้ส่งเข้าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล แล้วใช้ไมโครคอนโทรลเลอร์ในการสแกรมเบลอร์ข้อมูลแล้วจึงส่งออกอากาศ จากนั้นเมื่อด้านรับได้รับข้อมูลก็จะส่งไปทำการดีสแกรมเบลอร์ แล้วนำไปแปลงเป็นสัญญาณอนาล็อกโดยวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก เพื่อให้ได้สัญญาณอนาล็อกที่ด้านส่งส่งมาให้กลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

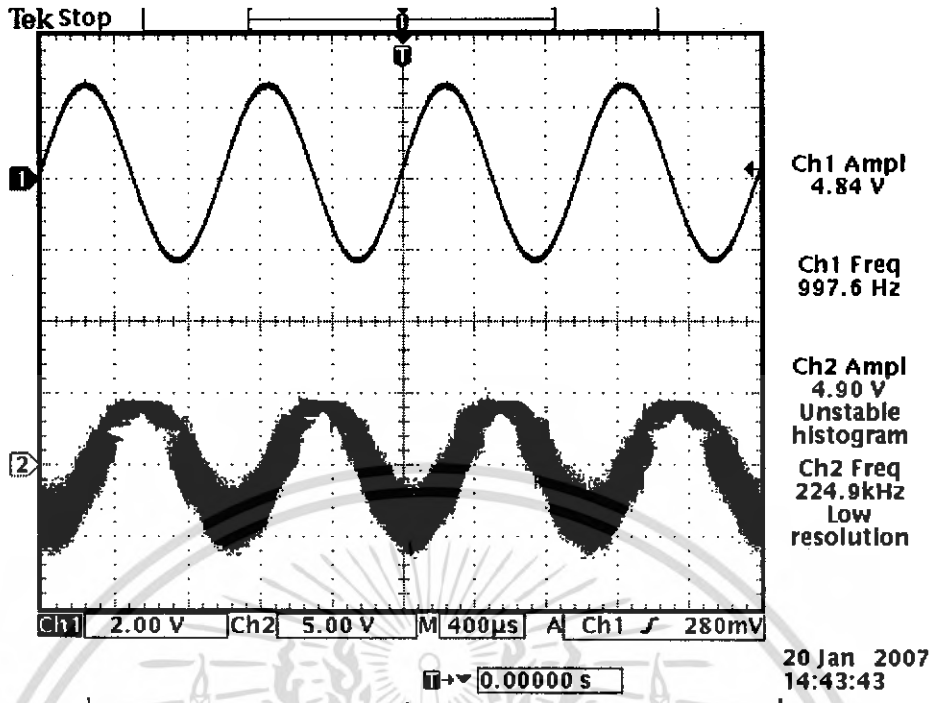


รูปที่ 4.34 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 1
เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

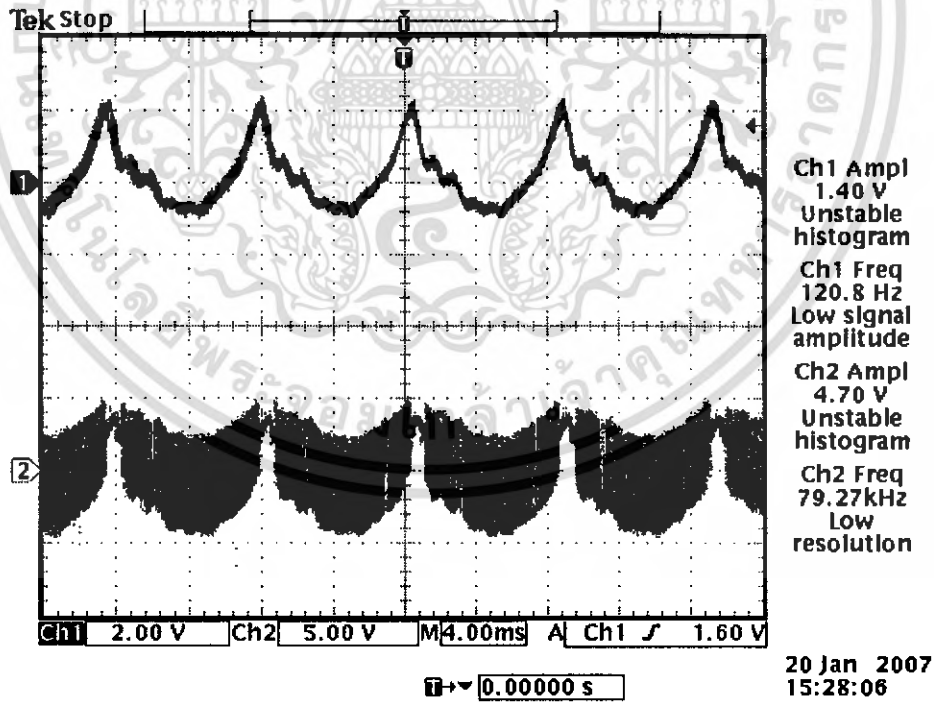


รูปที่ 4.35 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 1
เมื่อป้อนอินพุตเป็นสัญญาณเสียง
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

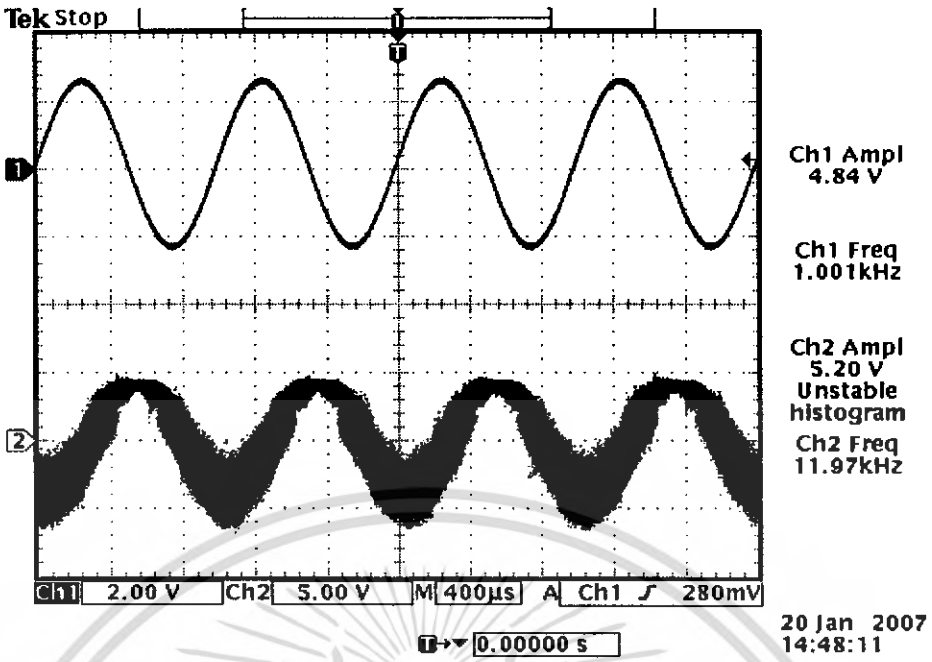


รูปที่ 4.36 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 2
เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

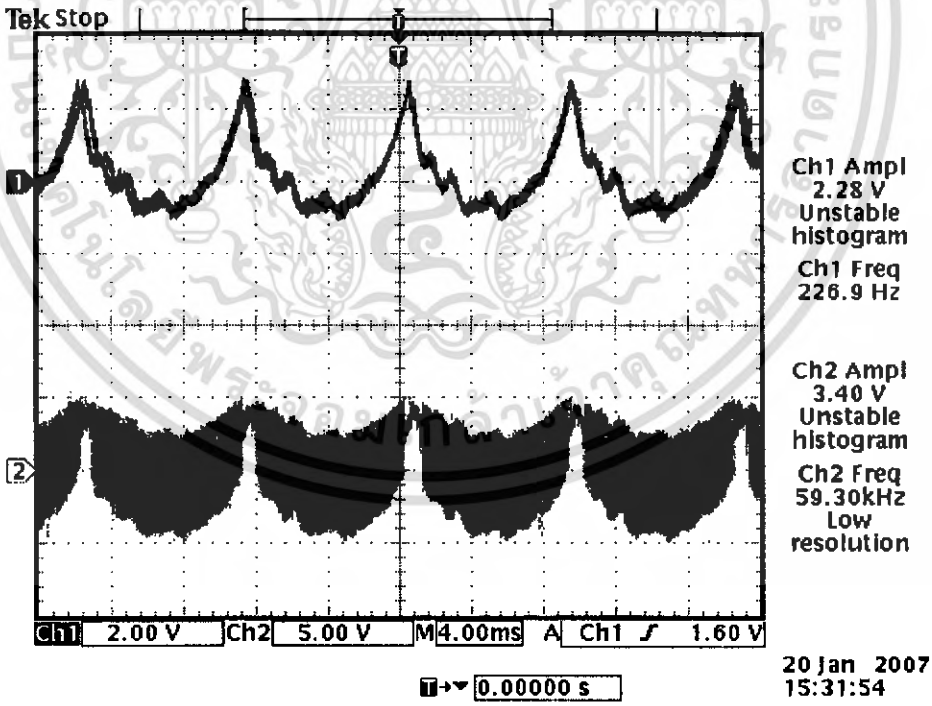


รูปที่ 4.37 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 2
เมื่อป้อนอินพุตเป็นสัญญาณเสียง
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

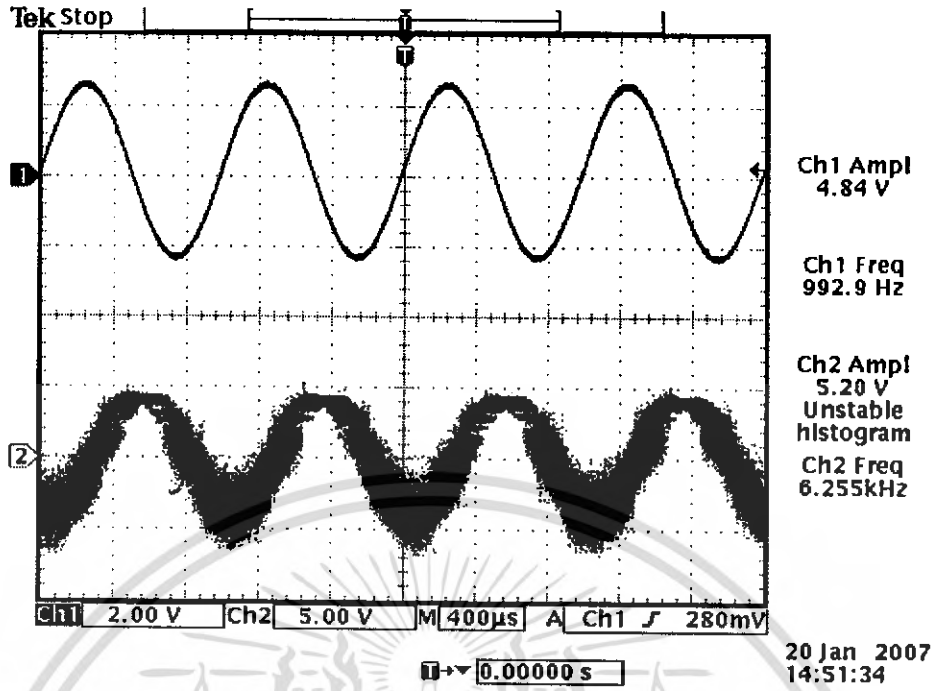


รูปที่ 4.38 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 3
เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

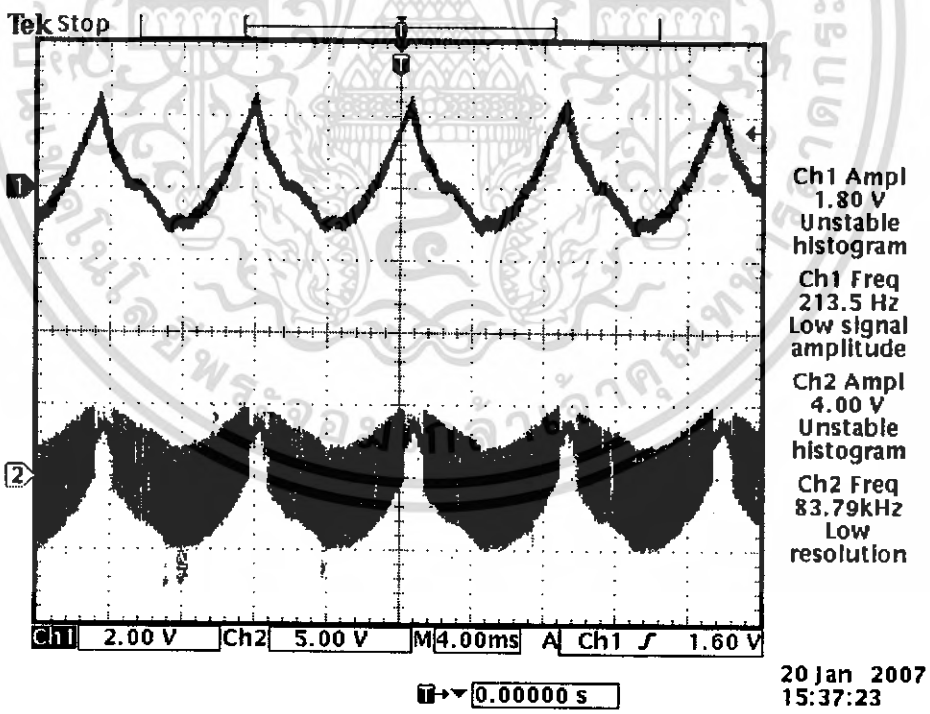


รูปที่ 4.39 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 3
เมื่อป้อนอินพุตเป็นสัญญาณเสียง
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

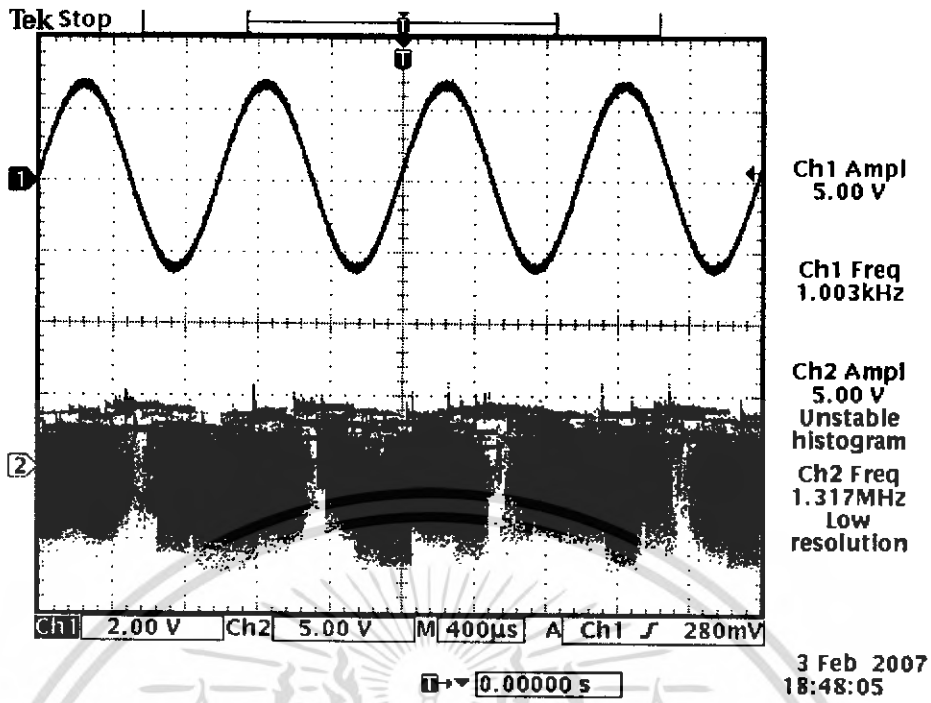


รูปที่ 4.40 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 4
เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

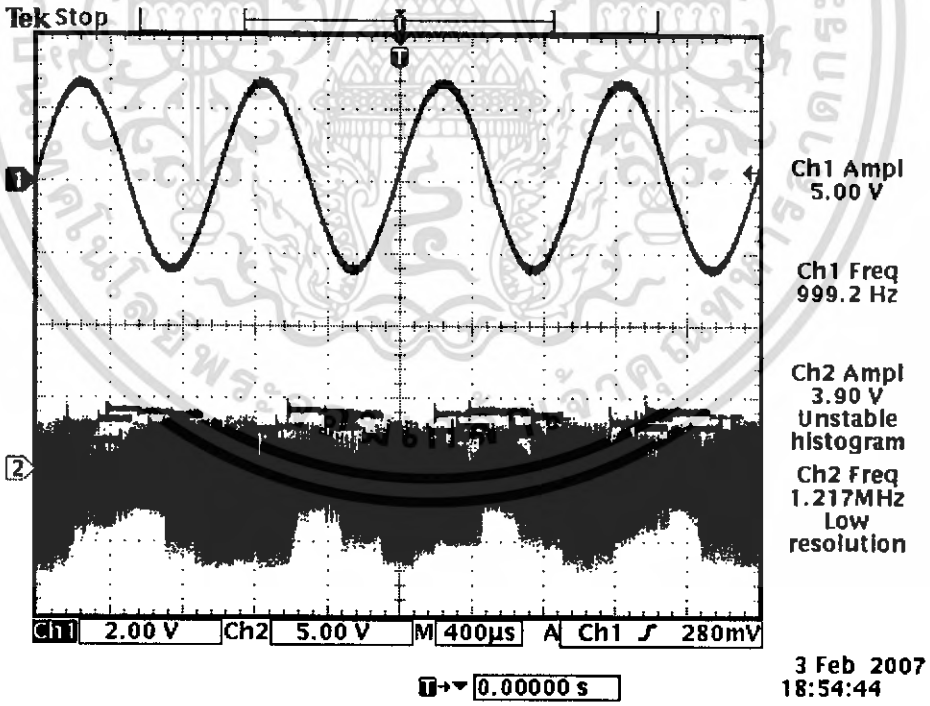


รูปที่ 4.41 แสดงการสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 4
เมื่อป้อนอินพุตเป็นสัญญาณเสียง
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

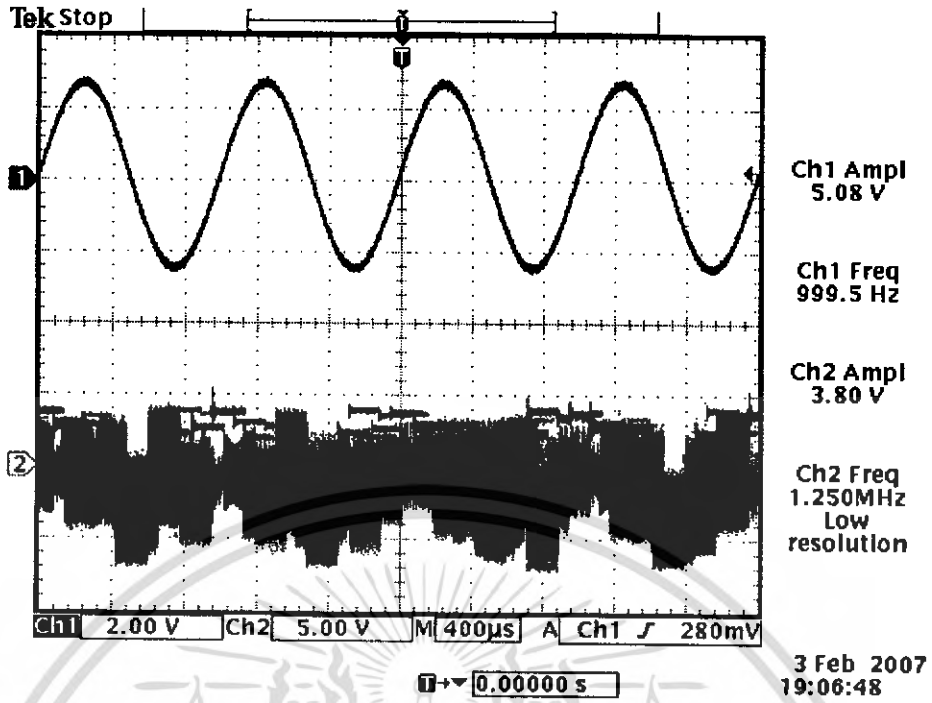


รูปที่ 4.42 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 1 และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 2
เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

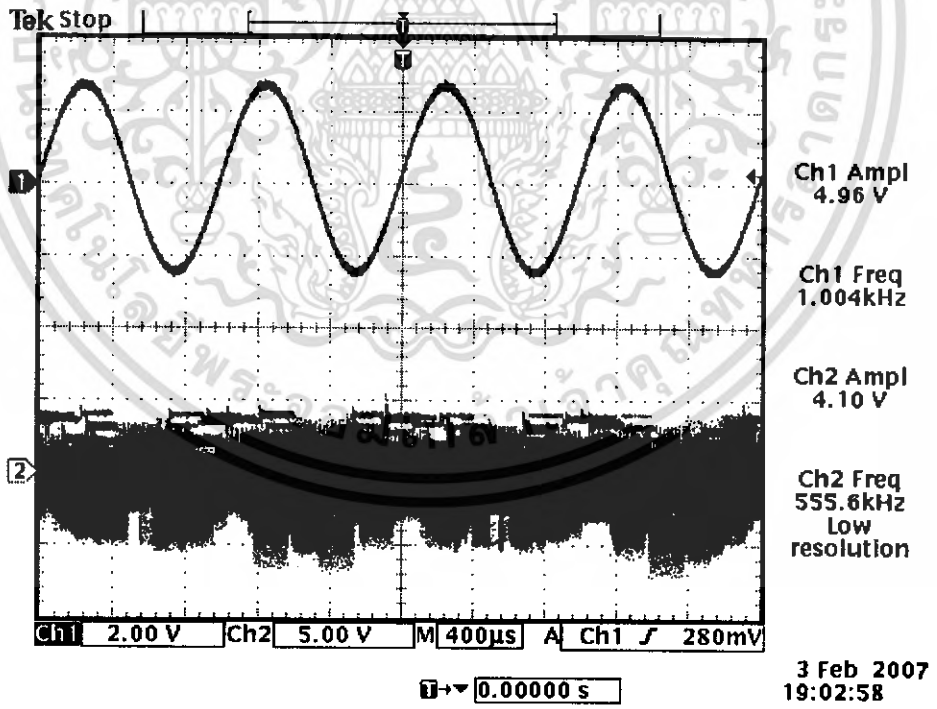


รูปที่ 4.43 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 2 และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 4
เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.44 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 3 และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 2
เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ



รูปที่ 4.45 แสดงการสแกรมเบลอร์ข้อมูลรูปแบบที่ 4 และดีสแกรมเบลอร์ข้อมูลรูปแบบที่ 3
เมื่อป้อนอินพุตเป็นสัญญาณไซน์ 1 KHz
สัญญาณที่ 1 คือสัญญาณอินพุตทางด้านส่ง
สัญญาณที่ 2 คือสัญญาณเอาต์พุตทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

5.1 สรุปผลการทดลอง

5.1.1 วงจรปรีแอมป์ไมโครโฟน

วงจรปรีแอมป์ไมโครโฟน จะทำหน้าที่ขยายสัญญาณเสียงที่รับเข้ามาจากไมโครโฟนซึ่งจะมีแอมพลิจูดที่ต่ำมากประมาณ 20 mVp-p จากนั้นจะนำสัญญาณเอาต์พุตที่ได้ส่งเข้าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล ซึ่งจะทำการจัดระดับสัญญาณได้ตั้งแต่ 0 - 5 V ดังนั้นสัญญาณที่ออกจากวงจรปรีแอมป์ไมโครโฟนควรมีแอมพลิจูดไม่เกิน 5 Vp-p เพราะฉะนั้นวงจรปรีแอมป์ไมโครโฟนจึงควรมีอัตราขยาย 225 เท่า เพื่อให้ได้สัญญาณเอาต์พุตประมาณ 4.5 - 5 Vp-p

5.1.2 วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่าน จะทำหน้าที่ในการรับสัญญาณเสียงที่ผ่านการขยายสัญญาณจากวงจรปรีแอมป์มาทำการกรองความถี่ที่ต่ำกว่า 4 KHz ให้ผ่านไปได้ เพื่อป้องกันการเกิดเอเลียสชิง เนื่องจากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลใช้อัตราการสุ่มตัวอย่าง 8 KHz

5.1.3 วงจรยกระดับสัญญาณ

วงจรยกระดับสัญญาณ จะทำหน้าที่ยกระดับสัญญาณที่เข้ามาให้ออกมามีแต่สัญญาณแรงดันไฟบวกเท่านั้น เพราะสัญญาณเสียงที่เข้ามาจะมีแรงดันที่เป็นไฟบวกและลบ ดังนั้นเราจึงต้องยกระดับสัญญาณให้มีเฉพาะแรงดันไฟบวกก่อนเข้าวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล เนื่องจากวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลสามารถจัดระดับแรงดันที่เป็นไฟบวกได้เท่านั้น (0 - 5 V) โดยสัญญาณที่ออกมาจากวงจรปรีแอมป์ไมโครโฟนจะมีแอมพลิจูดประมาณ 5 Vp-p ซึ่งเป็นแรงดันตั้งแต่ -2.5 - 2.5 V ดังนั้นเราจึงต้องใช้วงจรยกระดับสัญญาณ 2.5 V เพื่อให้ได้สัญญาณเอาต์พุตที่มีแรงดันตั้งแต่ 0 - 5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.4 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล จะทำหน้าที่แปลงสัญญาณอนาล็อกที่เข้ามาทางด้านอินพุต ให้เป็นสัญญาณดิจิตอลออกทางเอาต์พุต ซึ่งสัญญาณอนาล็อกที่เข้ามาทางด้านอินพุตจะต้องมีระดับแรงดันตั้งแต่ 0 - 5 V ส่วนสัญญาณดิจิตอลที่ออกทางด้านเอาต์พุตจะมีค่าตั้งแต่ 00H - FFH ซึ่งจะทำให้ค่า Step Size เท่ากับ 19.53 mV โดยการทำงานของวงจรจะใช้ไมโครคอนโทรลเลอร์ในการควบคุมการแปลงสัญญาณอนาล็อกที่เข้ามาทางด้านอินพุต

5.1.5 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก จะทำหน้าที่แปลงสัญญาณดิจิตอลที่เข้ามาทางอินพุตให้เป็นสัญญาณอนาล็อกออกทางเอาต์พุต เพื่อให้ได้สัญญาณเสียงกลับคืนมา ซึ่งสัญญาณดิจิตอลที่เข้ามาทางด้านอินพุตจะมีค่าตั้งแต่ 00H - FFH ส่วนสัญญาณอนาล็อกที่ออกทางด้านเอาต์พุตจะมีระดับแรงดันตั้งแต่ -9.96 - 9.96 V ซึ่งจะทำให้ค่า Step Size เท่ากับ 77.81 mV

5.1.6 การสแกรมเบลอร์และดีสแกรมเบลอร์

การสแกรมเบลอร์ จะทำหน้าที่ในการทำให้ข้อมูลที่จะส่งออกอากาศมีรูปแบบข้อมูลที่เปลี่ยนไปจากเดิม โดยใช้วิธีการชี้ตารางการสแกรมเบลอร์ เพื่อป้องกันการลักลอบดักฟังข้อมูล

การดีสแกรมเบลอร์ จะทำหน้าที่ในการทำให้ข้อมูลที่รับเข้ามามีรูปแบบข้อมูลที่กลับไปเป็นเหมือนเดิม(ก่อนทำการสแกรมเบลอร์) โดยใช้วิธีการชี้ตารางการดีสแกรมเบลอร์ เพื่อให้ได้ข้อมูลจริงกลับคืนมา

การสแกรมเบลอร์จะมีประสิทธิภาพดีกับสัญญาณต่อเนื่องและไม่เป็นคาบ(สัญญาณเสียง) เพราะการสแกรมเบลอร์สัญญาณต่อเนื่องและไม่เป็นคาบ จะทำให้สัญญาณที่ได้จากการสแกรมเบลอร์มีรูปร่างของสัญญาณแตกต่างไปจากสัญญาณเดิมและมีรูปร่างของสัญญาณที่ไม่แน่นอน(ไม่เป็นคาบ)

การสแกรมเบลอร์จะมีประสิทธิภาพปานกลางกับสัญญาณต่อเนื่องและเป็นคาบ (สัญญาณไซน์, สัญญาณสามเหลี่ยม) เพราะการสแกรมเบลอร์สัญญาณต่อเนื่องและเป็นคาบ จะทำให้สัญญาณที่ได้จากการสแกรมเบลอร์มีรูปร่างของสัญญาณแตกต่างไปจากสัญญาณเดิม แต่สัญญาณที่ได้จะเป็นคาบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกรมเบลอร์จะไม่มีประสิทธิภาพกับสัญญาณไม่ต่อเนื่องและเป็นคาบ(สัญญาณสี่เหลี่ยม) เพราะการสแกรมเบลอร์สัญญาณไม่ต่อเนื่องและเป็นคาบ จะทำให้สัญญาณที่ได้จากการสแกรมเบลอร์มีรูปร่างของสัญญาณเหมือนกับสัญญาณเดิม จะแตกต่างกันเพียงแค่แอมพลิจูดและเฟสของสัญญาณเท่านั้น

5.2 ปัญหาที่พบในการทำงาน

1. อุปกรณ์ที่มีคุณสมบัติตรงตามที่ต้องการนั้นหาได้ยากทำให้ต้องใช้ค่าที่ใกล้เคียงแทน ซึ่งจะส่งผลทำให้ผลการทดลองที่ได้เกิดความผิดเพี้ยนไปไม่ตรงตามที่ต้องการ

2. ความไม่เสถียรภาพของวงจร ซึ่งจะส่งผลทำให้การทำงานของระบบผิดพลาด

3. ขาของอุปกรณ์บางประเภทไม่เหมาะกับการทำหน้าที่ตามที่เราต้องการ จึงทำให้เกิดความผิดพลาดต่อการทำงานของระบบ

4. การสแกรมเบลอร์และดีสแกรมเบลอร์ภายในไมโครคอนโทรลเลอร์ ทำให้การสแกรมเบลอร์ข้อมูลไม่สามารถทำให้ซับซ้อนได้มากนัก เนื่องจากคำสั่งการทำงานของไมโครคอนโทรลเลอร์มีให้เลือกใช้ไม่มาก

5.3 การปรับปรุงแก้ไขปัญหา

1. ควรเลือกอุปกรณ์ที่ใช้ให้ตรงตามที่ออกแบบหรือใกล้เคียงที่ออกแบบมากที่สุด

2. เมื่อทำการทดลองควรปล่อยให้วงจรทำงานอย่างน้อยประมาณ 30 นาที เพื่อดูความเสถียรภาพของแต่ละวงจรก่อนนำมาต่อเป็นระบบ เพื่อป้องกันการเกิดการทำงานผิดพลาดของระบบ เนื่องจากความไม่เสถียรภาพของวงจร

3. เราควรศึกษาถึงสถาปัตยกรรมภายในของอุปกรณ์ที่เราเลือกใช้ เพื่อให้ใช้งานอุปกรณ์ได้อย่างเหมาะสมและมีประสิทธิภาพ

4. ควรเลือกใช้อุปกรณ์ที่จะมาทำหน้าที่สแกรมเบลอร์และดีสแกรมเบลอร์ให้มีประสิทธิภาพมากกว่านี้หรือสามารถทำงานได้ซับซ้อนมากกว่านี้ (ควรเลือกใช้ FPGA ในการทำหน้าที่สแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 การพัฒนาในอนาคต

1. ควรใช้วิธีการสแกรมเบลอร์และดีสแกรมเบลอร์ที่มีความซับซ้อนมากกว่านี้ เพื่อเพิ่มประสิทธิภาพในการป้องกันการลักลอบดักฟังข้อมูลข่าวสาร โดยการเลือกใช้ FPGA ในการทำหน้าที่สแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูล

2. เพิ่มประสิทธิภาพในการใช้งานให้สามารถใช้งานได้กว้างขวางขึ้น โดยสามารถสแกรมเบลอร์และดีสแกรมเบลอร์ข้อมูลภาพหรือข้อมูลอื่นๆได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] Robert F. Coughlin and Frederick F. Driscoll, "Operational Amplifiers & Linear Intergrated Circuits", Prentice-Hall International, Inc., 1998

[2] Howard M. Berlin, "Design of Op-Amp Circuits", Howard W. Sam & Company, 1990

[3] มนตรี ศิริปรัชญานันท์, "การใช้งานออปแอมป์", บริษัท แอนนาดิจิท กรุ๊ป จำกัด, 2544

[4] วิวัฒน์ กิรานนท์, "วิศวกรรมการสื่อสาร", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2546

[5] สมยศ จุณณะปิยะ, "การประยุกต์ใช้งานไมโครคอนโทรลเลอร์", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2546

[6] อุดม จีนประดับ, "ไมโครคอนโทรลเลอร์ MCS-51", คณะวิทยาลัยเทคโนโลยีอุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ, 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม MCS-51

```
                        ORG 0000H

                        MOV  P0,#00H
                        MOV  P1,#0FFH
                        MOV  P2,#0FFH
                        MOV  SCON,#50H
                        MOV  PCON,#80H
                        MOV  TMOD,#20H
                        MOV  TH1,#0FFH
                        SETB TR1

CHK_TX_RX          :    JB   P2.1,TX

WAIT_RX            :    JNB RI,WAIT_RX
                        CLR RI
                        MOV A,SBUF
CHK_DESCRB_1       :    JB P2.7,DESCRB_1
CHK_DESCRB_2       :    JB P2.6,DESCRB_2
CHK_DESCRB_3       :    JB P2.5,DESCRB_3
CHK_DESCRB_4       :    JB P2.4,DESCRB_4
                        SJMP CHK_TX_RX
DESCRB_1           :    MOV  DPTR,#TABLE_DESCRB_1
                        SJMP DESCRB
DESCRB_2           :    MOV  DPTR,#TABLE_DESCRB_2
                        SJMP DESCRB
DESCRB_3           :    MOV  DPTR,#TABLE_DESCRB_3
                        SJMP DESCRB
DESCRB_4           :    MOV  DPTR,#TABLE_DESCRB_4
                        SJMP DESCRB
DESCRB             :    MOVC A,@A+DPTR
                        MOV  P0,A
                        SJMP CHK_TX_RX

TX                 :    CLR  P3.6
                        SETB P3.6
INT                :    JB   P2.0,INT
                        CLR  P3.7
                        MOV  A,P1
                        SETB P3.7
CHK_SCRB_1         :    JB P2.7,SCRB_1
CHK_SCRB_2         :    JB P2.6,SCRB_2
CHK_SCRB_3         :    JB P2.5,SCRB_3
CHK_SCRB_4         :    JB P2.4,SCRB_4
                        SJMP CHK_TX_RX
SCRB_1             :    MOV  DPTR,#TABLE_SCRB_1
                        SJMP SCRB
SCRB_2             :    MOV  DPTR,#TABLE_SCRB_2
                        SJMP SCRB
SCRB_3             :    MOV  DPTR,#TABLE_SCRB_3
                        SJMP SCRB
SCRB_4             :    MOV  DPTR,#TABLE_SCRB_4
                        SJMP SCRB
SCRB               :    MOVC A,@A+DPTR
                        MOV  SBUF,A
WAIT_TX            :    JNB  TI,WAIT_TX
                        CLR  TI
                        SJMP CHK_TX_RX
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
TABLE_SCRB_1:
        DB      00H  , 01H  , 02H  , 03H  , 04H  , 05H  , 06H  , 07H
        DB      08H  , 09H  , 0AH  , 0BH  , 0CH  , 0DH  , 0EH  , 0FH
        DB      10H  , 11H  , 12H  , 13H  , 14H  , 15H  , 16H  , 17H
        DB      18H  , 19H  , 1AH  , 1BH  , 1CH  , 1DH  , 1EH  , 1FH
        DB      20H  , 21H  , 22H  , 23H  , 24H  , 25H  , 26H  , 27H
        DB      28H  , 29H  , 2AH  , 2BH  , 2CH  , 2DH  , 2EH  , 2FH
        DB      30H  , 31H  , 32H  , 33H  , 34H  , 35H  , 36H  , 37H
        DB      38H  , 39H  , 3AH  , 3BH  , 3CH  , 3DH  , 3EH  , 3FH
        DB      40H  , 41H  , 42H  , 43H  , 44H  , 45H  , 46H  , 47H
        DB      48H  , 49H  , 4AH  , 4BH  , 4CH  , 4DH  , 4EH  , 4FH
        DB      50H  , 51H  , 52H  , 53H  , 54H  , 55H  , 56H  , 57H
        DB      58H  , 59H  , 5AH  , 5BH  , 5CH  , 5DH  , 5EH  , 5FH
        DB      60H  , 61H  , 62H  , 63H  , 64H  , 65H  , 66H  , 67H
        DB      68H  , 69H  , 6AH  , 6BH  , 6CH  , 6DH  , 6EH  , 6FH
        DB      70H  , 71H  , 72H  , 73H  , 74H  , 75H  , 76H  , 77H
        DB      78H  , 79H  , 7AH  , 7BH  , 7CH  , 7DH  , 7EH  , 7FH
        DB      80H  , 81H  , 82H  , 83H  , 84H  , 85H  , 86H  , 87H
        DB      88H  , 89H  , 8AH  , 8BH  , 8CH  , 8DH  , 8EH  , 8FH
        DB      90H  , 91H  , 92H  , 93H  , 94H  , 95H  , 96H  , 97H
        DB      98H  , 99H  , 9AH  , 9BH  , 9CH  , 9DH  , 9EH  , 9FH
        DB      0A0H , 0A1H , 0A2H , 0A3H , 0A4H , 0A5H , 0A6H , 0A7H
        DB      0A8H , 0A9H , 0AAH , 0ABH , 0ACH , 0ADH , 0AEH , 0AFH
        DB      0B0H , 0B1H , 0B2H , 0B3H , 0B4H , 0B5H , 0B6H , 0B7H
        DB      0B8H , 0B9H , 0BAH , 0BBH , 0BCH , 0BDH , 0BEH , 0BFH
        DB      0C0H , 0C1H , 0C2H , 0C3H , 0C4H , 0C5H , 0C6H , 0C7H
        DB      0C8H , 0C9H , 0CAH , 0CBH , 0CCH , 0CDH , 0CEH , 0CFH
        DB      0D0H , 0D1H , 0D2H , 0D3H , 0D4H , 0D5H , 0D6H , 0D7H
        DB      0D8H , 0D9H , 0DAH , 0DBH , 0DCH , 0DDH , 0DEH , 0DFH
        DB      0E0H , 0E1H , 0E2H , 0E3H , 0E4H , 0E5H , 0E6H , 0E7H
        DB      0E8H , 0E9H , 0EAH , 0EBH , 0ECH , 0EDH , 0EEH , 0EFH
        DB      0F0H , 0F1H , 0F2H , 0F3H , 0F4H , 0F5H , 0F6H , 0F7H
        DB      0F8H , 0F9H , 0FAH , 0FBH , 0FCH , 0FDH , 0FEH , 0FFH

TABLE_SCRB_2:
        DB      00H  , 10H  , 20H  , 30H  , 40H  , 50H  , 60H  , 70H
        DB      80H  , 90H  , 0A0H , 0B0H , 0C0H , 0D0H , 0E0H , 0F0H
        DB      01H  , 11H  , 21H  , 31H  , 41H  , 51H  , 61H  , 71H
        DB      81H  , 91H  , 0A1H , 0B1H , 0C1H , 0D1H , 0E1H , 0F1H
        DB      02H  , 12H  , 22H  , 32H  , 42H  , 52H  , 62H  , 72H
        DB      82H  , 92H  , 0A2H , 0B2H , 0C2H , 0D2H , 0E2H , 0F2H
        DB      03H  , 13H  , 23H  , 33H  , 43H  , 53H  , 63H  , 73H
        DB      83H  , 93H  , 0A3H , 0B3H , 0C3H , 0D3H , 0E3H , 0F3H
        DB      04H  , 14H  , 24H  , 34H  , 44H  , 54H  , 64H  , 74H
        DB      84H  , 94H  , 0A4H , 0B4H , 0C4H , 0D4H , 0E4H , 0F4H
        DB      05H  , 15H  , 25H  , 35H  , 45H  , 55H  , 65H  , 75H
        DB      85H  , 95H  , 0A5H , 0B5H , 0C5H , 0D5H , 0E5H , 0F5H
        DB      06H  , 16H  , 26H  , 36H  , 46H  , 56H  , 66H  , 76H
        DB      86H  , 96H  , 0A6H , 0B6H , 0C6H , 0D6H , 0E6H , 0F6H
        DB      07H  , 17H  , 27H  , 37H  , 47H  , 57H  , 67H  , 77H
        DB      87H  , 97H  , 0A7H , 0B7H , 0C7H , 0D7H , 0E7H , 0F7H
        DB      08H  , 18H  , 28H  , 38H  , 48H  , 58H  , 68H  , 78H
        DB      88H  , 98H  , 0A8H , 0B8H , 0C8H , 0D8H , 0E8H , 0F8H
        DB      09H  , 19H  , 29H  , 39H  , 49H  , 59H  , 69H  , 79H
        DB      89H  , 99H  , 0A9H , 0B9H , 0C9H , 0D9H , 0E9H , 0F9H
        DB      0AH  , 1AH  , 2AH  , 3AH  , 4AH  , 5AH  , 6AH  , 7AH
        DB      8AH  , 9AH  , 0AAH , 0BAH , 0CAH , 0DAH , 0EAH , 0FAH
        DB      0BH  , 1BH  , 2BH  , 3BH  , 4BH  , 5BH  , 6BH  , 7BH
        DB      8BH  , 9BH  , 0ABH , 0BBH , 0CBH , 0DBH , 0EBH , 0FBH
        DB      0CH  , 1CH  , 2CH  , 3CH  , 4CH  , 5CH  , 6CH  , 7CH
        DB      8CH  , 9CH  , 0ACH , 0BCH , 0CCH , 0DCH , 0ECH , 0FCH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB      0DH  , 1DH  , 2DH  , 3DH  , 4DH  , 5DH  , 6DH  , 7DH
        DB      8DH  , 9DH  , 0ADH , 0BDH , 0CDH , 0DDH , 0EDH , 0FDH
        DB      0EH  , 1EH  , 2EH  , 3EH  , 4EH  , 5EH  , 6EH  , 7EH
        DB      8EH  , 9EH  , 0AEH , 0BEH , 0CEH , 0DEH , 0EEH , 0FEH
        DB      0FH  , 1FH  , 2FH  , 3FH  , 4FH  , 5FH  , 6FH  , 7FH
        DB      8FH  , 9FH  , 0AFH , 0BFH , 0CFH , 0DFH , 0EFH , 0FFH

TABLE_SCRB_3:
        DB      0FFH , 0EFH , 0DFH , 0CFH , 3FH  , 2FH  , 1FH , 0FH
        DB      0F7H , 0E7H , 0D7H , 0C7H , 37H  , 27H  , 17H , 07H
        DB      0FEH , 0EEH , 0DEH , 0CEH , 3EH  , 2EH  , 1EH , 0EH
        DB      0F6H , 0E6H , 0D6H , 0C6H , 36H  , 26H  , 16H , 06H
        DB      0FDH , 0EDH , 0DDH , 0CDH , 3DH  , 2DH  , 1DH , 0DH
        DB      0F5H , 0E5H , 0D5H , 0C5H , 35H  , 25H  , 15H , 05H
        DB      0FCH , 0ECH , 0DCH , 0CCH , 3CH  , 2CH  , 1CH , 0CH
        DB      0F4H , 0E4H , 0D4H , 0C4H , 34H  , 24H  , 14H , 04H
        DB      0FBH , 0EBH , 0DBH , 0CBH , 3BH  , 2BH  , 1BH , 0BH
        DB      0F3H , 0E3H , 0D3H , 0C3H , 33H  , 23H  , 13H , 03H
        DB      0FAH , 0EAH , 0DAH , 0CAH , 3AH  , 2AH  , 1AH , 0AH
        DB      0F2H , 0E2H , 0D2H , 0C2H , 32H  , 22H  , 12H , 02H
        DB      0F9H , 0E9H , 0D9H , 0C9H , 39H  , 29H  , 19H , 09H
        DB      0F1H , 0E1H , 0D1H , 0C1H , 31H  , 21H  , 11H , 01H
        DB      0F8H , 0E8H , 0D8H , 0C8H , 38H  , 28H  , 18H , 08H
        DB      0F0H , 0E0H , 0D0H , 0C0H , 30H  , 20H  , 10H , 00H
        DB      7FH  , 6FH  , 5FH  , 4FH  , 0BFH , 0AFH , 9FH , 8FH
        DB      77H  , 67H  , 57H  , 47H  , 0B7H , 0A7H , 97H , 87H
        DB      7EH  , 6EH  , 5EH  , 4EH  , 0BEH , 0AEH , 9EH , 8EH
        DB      76H  , 66H  , 56H  , 46H  , 0B6H , 0A6H , 96H , 86H
        DB      7DH  , 6DH  , 5DH  , 4DH  , 0BDH , 0ADH , 9DH , 8DH
        DB      75H  , 65H  , 55H  , 45H  , 0B5H , 0A5H , 95H , 85H
        DB      7CH  , 6CH  , 5CH  , 4CH  , 0BCH , 0ACH , 9CH , 8CH
        DB      74H  , 64H  , 54H  , 44H  , 0B4H , 0A4H , 94H , 84H
        DB      7BH  , 6BH  , 5BH  , 4BH  , 0BBH , 0ABH , 9BH , 8BH
        DB      73H  , 63H  , 53H  , 43H  , 0B3H , 0A3H , 93H , 83H
        DB      7AH  , 6AH  , 5AH  , 4AH  , 0BAH , 0AAH , 9AH , 8AH
        DB      72H  , 62H  , 52H  , 42H  , 0B2H , 0A2H , 92H , 82H
        DB      79H  , 69H  , 59H  , 49H  , 0B9H , 0A9H , 99H , 89H
        DB      71H  , 61H  , 51H  , 41H  , 0B1H , 0A1H , 91H , 81H
        DB      78H  , 68H  , 58H  , 48H  , 0B8H , 0A8H , 98H , 88H
        DB      70H  , 60H  , 50H  , 40H  , 0B0H , 0A0H , 90H , 80H

TABLE_SCRB_4:
        DB      80H  , 90H  , 0A0H , 0B0H , 0C0H , 0D0H , 0E0H , 0F0H
        DB      88H  , 98H  , 0A8H , 0B8H , 0C8H , 0D8H , 0E8H , 0F8H
        DB      81H  , 91H  , 0A1H , 0B1H , 0C1H , 0D1H , 0E1H , 0F1H
        DB      89H  , 99H  , 0A9H , 0B9H , 0C9H , 0D9H , 0E9H , 0F9H
        DB      82H  , 92H  , 0A2H , 0B2H , 0C2H , 0D2H , 0E2H , 0F2H
        DB      8AH  , 9AH  , 0AAH , 0BAH , 0CAH , 0DAH , 0EAH , 0FAH
        DB      83H  , 93H  , 0A3H , 0B3H , 0C3H , 0D3H , 0E3H , 0F3H
        DB      8BH  , 9BH  , 0ABH , 0BBH , 0CBH , 0DBH , 0EBH , 0FBH
        DB      84H  , 94H  , 0A4H , 0B4H , 0C4H , 0D4H , 0E4H , 0F4H
        DB      8CH  , 9CH  , 0ACH , 0BCH , 0CCH , 0DCH , 0ECH , 0FCH
        DB      85H  , 95H  , 0A5H , 0B5H , 0C5H , 0D5H , 0E5H , 0F5H
        DB      8DH  , 9DH  , 0ADH , 0BDH , 0CDH , 0DDH , 0EDH , 0FDH
        DB      86H  , 96H  , 0A6H , 0B6H , 0C6H , 0D6H , 0E6H , 0F6H
        DB      8EH  , 9EH  , 0AEH , 0BEH , 0CEH , 0DEH , 0EEH , 0FEH
        DB      87H  , 97H  , 0A7H , 0B7H , 0C7H , 0D7H , 0E7H , 0F7H
        DB      8FH  , 9FH  , 0AFH , 0BFH , 0CFH , 0DFH , 0EFH , 0FFH
        DB      00H  , 10H  , 20H  , 30H  , 40H  , 50H  , 60H  , 70H
        DB      08H  , 18H  , 28H  , 38H  , 48H  , 58H  , 68H  , 78H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB      01H , 11H , 21H , 31H , 41H , 51H , 61H , 71H
        DB      09H , 19H , 29H , 39H , 49H , 59H , 69H , 79H
        DB      02H , 12H , 22H , 32H , 42H , 52H , 62H , 72H
        DB      0AH , 1AH , 2AH , 3AH , 4AH , 5AH , 6AH , 7AH
        DB      03H , 13H , 23H , 33H , 43H , 53H , 63H , 73H
        DB      0BH , 1BH , 2BH , 3BH , 4BH , 5BH , 6BH , 7BH
        DB      04H , 14H , 24H , 34H , 44H , 54H , 64H , 74H
        DB      0CH , 1CH , 2CH , 3CH , 4CH , 5CH , 6CH , 7CH
        DB      05H , 15H , 25H , 35H , 45H , 55H , 65H , 75H
        DB      0DH , 1DH , 2DH , 3DH , 4DH , 5DH , 6DH , 7DH
        DB      06H , 16H , 26H , 36H , 46H , 56H , 66H , 76H
        DB      0EH , 1EH , 2EH , 3EH , 4EH , 5EH , 6EH , 7EH
        DB      07H , 17H , 27H , 37H , 47H , 57H , 67H , 77H
        DB      0FH , 1FH , 2FH , 3FH , 4FH , 5FH , 6FH , 7FH

TABLE_DESCRB_1:
        DB      00H , 01H , 02H , 03H , 04H , 05H , 06H , 07H
        DB      08H , 09H , 0AH , 0BH , 0CH , 0DH , 0EH , 0FH
        DB      10H , 11H , 12H , 13H , 14H , 15H , 16H , 17H
        DB      18H , 19H , 1AH , 1BH , 1CH , 1DH , 1EH , 1FH
        DB      20H , 21H , 22H , 23H , 24H , 25H , 26H , 27H
        DB      28H , 29H , 2AH , 2BH , 2CH , 2DH , 2EH , 2FH
        DB      30H , 31H , 32H , 33H , 34H , 35H , 36H , 37H
        DB      38H , 39H , 3AH , 3BH , 3CH , 3DH , 3EH , 3FH
        DB      40H , 41H , 42H , 43H , 44H , 45H , 46H , 47H
        DB      48H , 49H , 4AH , 4BH , 4CH , 4DH , 4EH , 4FH
        DB      50H , 51H , 52H , 53H , 54H , 55H , 56H , 57H
        DB      58H , 59H , 5AH , 5BH , 5CH , 5DH , 5EH , 5FH
        DB      60H , 61H , 62H , 63H , 64H , 65H , 66H , 67H
        DB      68H , 69H , 6AH , 6BH , 6CH , 6DH , 6EH , 6FH
        DB      70H , 71H , 72H , 73H , 74H , 75H , 76H , 77H
        DB      78H , 79H , 7AH , 7BH , 7CH , 7DH , 7EH , 7FH
        DB      80H , 81H , 82H , 83H , 84H , 85H , 86H , 87H
        DB      88H , 89H , 8AH , 8BH , 8CH , 8DH , 8EH , 8FH
        DB      90H , 91H , 92H , 93H , 94H , 95H , 96H , 97H
        DB      98H , 99H , 9AH , 9BH , 9CH , 9DH , 9EH , 9FH
        DB      0A0H , 0A1H , 0A2H , 0A3H , 0A4H , 0A5H , 0A6H , 0A7H
        DB      0A8H , 0A9H , 0AAH , 0ABH , 0ACH , 0ADH , 0AEH , 0AFH
        DB      0B0H , 0B1H , 0B2H , 0B3H , 0B4H , 0B5H , 0B6H , 0B7H
        DB      0B8H , 0B9H , 0BAH , 0BBH , 0BCH , 0BDH , 0BEH , 0BFH
        DB      0C0H , 0C1H , 0C2H , 0C3H , 0C4H , 0C5H , 0C6H , 0C7H
        DB      0C8H , 0C9H , 0CAH , 0CBH , 0CCH , 0CDH , 0CEH , 0CFH
        DB      0D0H , 0D1H , 0D2H , 0D3H , 0D4H , 0D5H , 0D6H , 0D7H
        DB      0D8H , 0D9H , 0DAH , 0DBH , 0DCH , 0DDH , 0DEH , 0DFH
        DB      0E0H , 0E1H , 0E2H , 0E3H , 0E4H , 0E5H , 0E6H , 0E7H
        DB      0E8H , 0E9H , 0EAH , 0EBH , 0ECH , 0EDH , 0EEH , 0EFH
        DB      0F0H , 0F1H , 0F2H , 0F3H , 0F4H , 0F5H , 0F6H , 0F7H
        DB      0F8H , 0F9H , 0FAH , 0FBH , 0FCH , 0FDH , 0FEH , 0FFH

TABLE_DESCRB_2:
        DB      00H , 10H , 20H , 30H , 40H , 50H , 60H , 70H
        DB      80H , 90H , 0A0H , 0B0H , 0C0H , 0D0H , 0E0H , 0F0H
        DB      01H , 11H , 21H , 31H , 41H , 51H , 61H , 71H
        DB      81H , 91H , 0A1H , 0B1H , 0C1H , 0D1H , 0E1H , 0F1H
        DB      02H , 12H , 22H , 32H , 42H , 52H , 62H , 72H
        DB      82H , 92H , 0A2H , 0B2H , 0C2H , 0D2H , 0E2H , 0F2H
        DB      03H , 13H , 23H , 33H , 43H , 53H , 63H , 73H
        DB      83H , 93H , 0A3H , 0B3H , 0C3H , 0D3H , 0E3H , 0F3H
        DB      04H , 14H , 24H , 34H , 44H , 54H , 64H , 74H
        DB      84H , 94H , 0A4H , 0B4H , 0C4H , 0D4H , 0E4H , 0F4H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DB    05H , 15H , 25H , 35H , 45H , 55H , 65H , 75H
        DB    85H , 95H , 0A5H , 0B5H , 0C5H , 0D5H , 0E5H , 0F5H
        DB    06H , 16H , 26H , 36H , 46H , 56H , 66H , 76H
        DB    86H , 96H , 0A6H , 0B6H , 0C6H , 0D6H , 0E6H , 0F6H
        DB    07H , 17H , 27H , 37H , 47H , 57H , 67H , 77H
        DB    87H , 97H , 0A7H , 0B7H , 0C7H , 0D7H , 0E7H , 0F7H
        DB    08H , 18H , 28H , 38H , 48H , 58H , 68H , 78H
        DB    88H , 98H , 0A8H , 0B8H , 0C8H , 0D8H , 0E8H , 0F8H
        DB    09H , 19H , 29H , 39H , 49H , 59H , 69H , 79H
        DB    89H , 99H , 0A9H , 0B9H , 0C9H , 0D9H , 0E9H , 0F9H
        DB    0AH , 1AH , 2AH , 3AH , 4AH , 5AH , 6AH , 7AH
        DB    8AH , 9AH , 0AAH , 0BAH , 0CAH , 0DAH , 0EAH , 0FAH
        DB    0BH , 1BH , 2BH , 3BH , 4BH , 5BH , 6BH , 7BH
        DB    8BH , 9BH , 0ABH , 0BBH , 0CBH , 0DBH , 0EBH , 0FBH
        DB    0CH , 1CH , 2CH , 3CH , 4CH , 5CH , 6CH , 7CH
        DB    8CH , 9CH , 0ACH , 0BCH , 0CCH , 0DCH , 0ECH , 0FCH
        DB    0DH , 1DH , 2DH , 3DH , 4DH , 5DH , 6DH , 7DH
        DB    8DH , 9DH , 0ADH , 0BDH , 0CDH , 0DDH , 0EDH , 0FDH
        DB    0EH , 1EH , 2EH , 3EH , 4EH , 5EH , 6EH , 7EH
        DB    8EH , 9EH , 0AEH , 0BEH , 0CEH , 0DEH , 0EEH , 0FEH
        DB    0FH , 1FH , 2FH , 3FH , 4FH , 5FH , 6FH , 7FH
        DB    8FH , 9FH , 0AFH , 0BFH , 0CFH , 0DFH , 0EFH , 0FFH

TABLE_DESCRB_3:
        DB    7FH , 6FH , 5FH , 4FH , 3FH , 2FH , 1FH , 0FH
        DB    77H , 67H , 57H , 47H , 37H , 27H , 17H , 07H
        DB    7EH , 6EH , 5EH , 4EH , 3EH , 2EH , 1EH , 0EH
        DB    76H , 66H , 56H , 46H , 36H , 26H , 16H , 06H
        DB    7DH , 6DH , 5DH , 4DH , 3DH , 2DH , 1DH , 0DH
        DB    75H , 65H , 55H , 45H , 35H , 25H , 15H , 05H
        DB    7CH , 6CH , 5CH , 4CH , 3CH , 2CH , 1CH , 0CH
        DB    74H , 64H , 54H , 44H , 34H , 24H , 14H , 04H
        DB    0FBH , 0EBH , 0DBH , 0CBH , 0BBH , 0ABH , 9BH , 8BH
        DB    0F3H , 0E3H , 0D3H , 0C3H , 0B3H , 0A3H , 93H , 83H
        DB    0FAH , 0EAH , 0DAH , 0CAH , 0BAH , 0AAH , 9AH , 8AH
        DB    0F2H , 0E2H , 0D2H , 0C2H , 0B2H , 0A2H , 92H , 82H
        DB    0F9H , 0E9H , 0D9H , 0C9H , 0B9H , 0A9H , 99H , 89H
        DB    0F1H , 0E1H , 0D1H , 0C1H , 0B1H , 0A1H , 91H , 81H
        DB    0F8H , 0E8H , 0D8H , 0C8H , 0B8H , 0A8H , 98H , 88H
        DB    0F0H , 0E0H , 0D0H , 0C0H , 0B0H , 0A0H , 90H , 80H
        DB    0FFH , 0EFH , 0DFH , 0CFH , 0BFH , 0AFH , 9FH , 8FH
        DB    0F7H , 0E7H , 0D7H , 0C7H , 0B7H , 0A7H , 97H , 87H
        DB    0FEH , 0EEH , 0DEH , 0CEH , 0BEH , 0AEH , 9EH , 8EH
        DB    0F6H , 0E6H , 0D6H , 0C6H , 0B6H , 0A6H , 96H , 86H
        DB    0FDH , 0EDH , 0DDH , 0CDH , 0BDH , 0ADH , 9DH , 8DH
        DB    0F5H , 0E5H , 0D5H , 0C5H , 0B5H , 0A5H , 95H , 85H
        DB    0FCH , 0ECH , 0DCH , 0CCH , 0BCH , 0ACH , 9CH , 8CH
        DB    0F4H , 0E4H , 0D4H , 0C4H , 0B4H , 0A4H , 94H , 84H
        DB    7BH , 6BH , 5BH , 4BH , 3BH , 2BH , 1BH , 0BH
        DB    73H , 63H , 53H , 43H , 33H , 23H , 13H , 03H
        DB    7AH , 6AH , 5AH , 4AH , 3AH , 2AH , 1AH , 0AH
        DB    72H , 62H , 52H , 42H , 32H , 22H , 12H , 02H
        DB    79H , 69H , 59H , 49H , 39H , 29H , 19H , 09H
        DB    71H , 61H , 51H , 41H , 31H , 21H , 11H , 01H
        DB    78H , 68H , 58H , 48H , 38H , 28H , 18H , 08H
        DB    70H , 60H , 50H , 40H , 30H , 20H , 10H , 00H

TABLE_DESCRB_4:
        DB    80H , 90H , 0A0H , 0B0H , 0C0H , 0D0H , 0E0H , 0F0H
        DB    88H , 98H , 0A8H , 0B8H , 0C8H , 0D8H , 0E8H , 0F8H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DB    81H , 91H , 0A1H , 0B1H , 0C1H , 0D1H , 0E1H , 0F1H
DB    89H , 99H , 0A9H , 0B9H , 0C9H , 0D9H , 0E9H , 0F9H
DB    82H , 92H , 0A2H , 0B2H , 0C2H , 0D2H , 0E2H , 0F2H
DB    8AH , 9AH , 0AAH , 0BAH , 0CAH , 0DAH , 0EAH , 0FAH
DB    83H , 93H , 0A3H , 0B3H , 0C3H , 0D3H , 0E3H , 0F3H
DB    8BH , 9BH , 0ABH , 0BBH , 0CBH , 0DBH , 0EBH , 0FBH
DB    84H , 94H , 0A4H , 0B4H , 0C4H , 0D4H , 0E4H , 0F4H
DB    8CH , 9CH , 0ACH , 0BCH , 0CCH , 0DCH , 0ECH , 0FCH
DB    85H , 95H , 0A5H , 0B5H , 0C5H , 0D5H , 0E5H , 0F5H
DB    8DH , 9DH , 0ADH , 0BDH , 0CDH , 0DDH , 0EDH , 0FDH
DB    86H , 96H , 0A6H , 0B6H , 0C6H , 0D6H , 0E6H , 0F6H
DB    8EH , 9EH , 0AEH , 0BEH , 0CEH , 0DEH , 0EEH , 0FEH
DB    87H , 97H , 0A7H , 0B7H , 0C7H , 0D7H , 0E7H , 0F7H
DB    8FH , 9FH , 0AFH , 0BFH , 0CFH , 0DFH , 0EFH , 0FFH
DB    00H , 10H , 20H  , 30H  , 40H  , 50H  , 60H  , 70H
DB    08H , 18H , 28H  , 38H  , 48H  , 58H  , 68H  , 78H
DB    01H , 11H , 21H  , 31H  , 41H  , 51H  , 61H  , 71H
DB    09H , 19H , 29H  , 39H  , 49H  , 59H  , 69H  , 79H
DB    02H , 12H , 22H  , 32H  , 42H  , 52H  , 62H  , 72H
DB    0AH , 1AH , 2AH  , 3AH  , 4AH  , 5AH  , 6AH  , 7AH
DB    03H , 13H , 23H  , 33H  , 43H  , 53H  , 63H  , 73H
DB    0BH , 1BH , 2BH  , 3BH  , 4BH  , 5BH  , 6BH  , 7BH
DB    04H , 14H , 24H  , 34H  , 44H  , 54H  , 64H  , 74H
DB    0CH , 1CH , 2CH  , 3CH  , 4CH  , 5CH  , 6CH  , 7CH
DB    05H , 15H , 25H  , 35H  , 45H  , 55H  , 65H  , 75H
DB    0DH , 1DH , 2DH  , 3DH  , 4DH  , 5DH  , 6DH  , 7DH
DB    06H , 16H , 26H  , 36H  , 46H  , 56H  , 66H  , 76H
DB    0EH , 1EH , 2EH  , 3EH  , 4EH  , 5EH  , 6EH  , 7EH
DB    07H , 17H , 27H  , 37H  , 47H  , 57H  , 67H  , 77H
DB    0FH , 1FH , 2FH  , 3FH  , 4FH  , 5FH  , 6FH  , 7FH

END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1999

ADC0820
8-Bit High Speed µP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 µs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/µs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

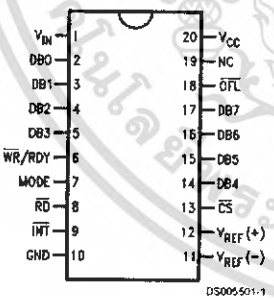
- Resolution — 8 Bits
- Conversion Time — 2.5 µs Max (RD Mode); 1.5 µs Max (WR-RD Mode)
- Low Power — 75 mW Max
- Total Unadjusted Error — ±½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply — 5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T^2L voltage level specifications
- Operates ratiometrically or with any reference value equel to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

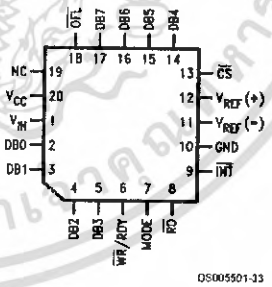
Connection and Functional Diagrams

Dual-In-Line, Small Outline and SSOP Packagee



Top View

Molded Chip Carrier Package



TRI-STATE® is a registered trademark of National Semiconductor Corporation

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection and Functional Diagrams (Continued)

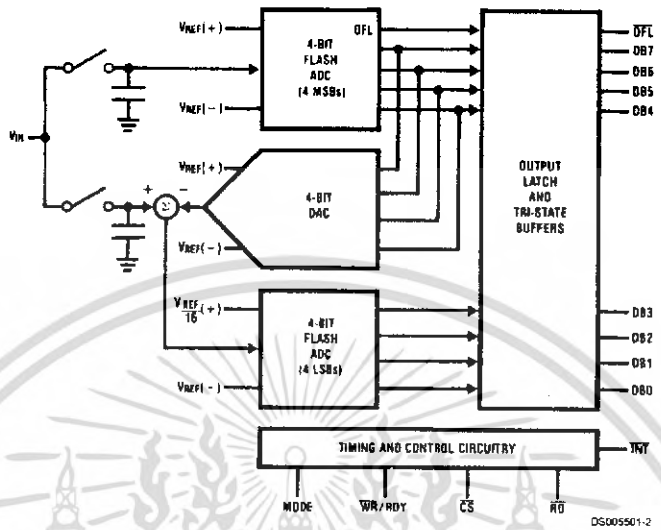


FIGURE 1.

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV	±½ LSB	V20A — Molded Chip Carrier	0°C to +70°C
ADC0820BCWM		M20B — Wide Body Small Outline	0°C to +70°C
ADC0820BCN		N20A — Molded DIP	0°C to +70°C
ADC0820CCJ	±1 LSB	J20A — Cerdip	−40°C to +85°C
ADC0820CCWM		M20B — Wide Body Small Outline	0°C to +70°C
ADC0820CIWM		M20B — Wide Body Small Outline	−40°C to +85°C
ADC0820CCN		N20A — Molded DIP	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	−0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	−0.2V to V_{CC} +0.2V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptability (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820CCJ	−40°C≤T_A≤+85°C
ADC0820CIWM	−40°C≤T_A≤+85°C
ADC0820BCN, ADC0820CCN	0°C≤T_A≤70°C
ADC0820BCV	0°C≤T_A≤70°C
ADC0820BCWM, ADC0820CCWM	0°C≤T_A≤70°C
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7=0), V_{CC}=5V, $V_{REF}(+)$=5V,and $V_{REF}(-)$=GND unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits $T_A=T_J$=25°C.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM		±1			±½	±½	LSB
	ADC0820CCJ							LSB
	ADC0820CCN, CCWM, CIWM, ADC0820CCMSA					±1	±1	LSB
						±1	±1	LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			V_{CC}+0.1			V_{CC}+0.1	V_{CC}+0.1	V
Minimum V_{IN} Input Voltage			GND−0.1			GND−0.1	GND−0.1	V
Maximum Analog Input Leakage Current	$\overline{CS}$ =V_{CC}							
	V_{IN}=V_{CC}		3			0.3	3	µA
	V_{IN}=GND		−3			−0.3	−3	µA
Power Supply Sensitivity	V_{CC}=5V±5%	±1/16	±¼		±1/16	±¼	±¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for V_{CC}=5V, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}; all other limits T_A=T_J=25°C.**

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	V_{CC}=5.25V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		2.0			2.0	2.0	V
		Mode		3.5			3.5	3.5	V
$V_{IN(0)}$, Logical "0" Input Voltage	V_{CC}=4.75V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		0.8			0.8	0.8	V
		Mode		1.5			1.5	1.5	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)}$=5V; $\overline{CS}$, $\overline{RD}$		0.005	1		0.005		1	µA
	$V_{IN(1)}$=5V; $\overline{WR}$		0.1	3		0.1	0.3	3	µA
	$V_{IN(1)}$=5V; Mode		50	200		50	170	200	µA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)}$=0V; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	−1		−0.005		−1	µA
$V_{OUT(1)}$, Logical "1" Output Voltage	V_{CC}=4.75V, I_{OUT}=−360 µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			2.4			2.8	2.4	V
	V_{CC}=4.75V, I_{OUT}=−10 µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			4.5			4.6	4.5	V
$V_{OUT(0)}$, Logical "0" Output Voltage	V_{CC}=4.75V, I_{OUT}=1.6 mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			0.4			0.34	0.4	V
I_{OUT}, TRI-STATE Output Current	V_{OUT}=5V; DB0–DB7, RDY		0.1	3		0.1	0.3	3	µA
	V_{OUT}=0V; DB0–DB7, RDY		−0.1	−3		−0.1	−0.3	−3	µA
I_{SOURCE}, Output Source Current	V_{OUT}=0V; DB0–DB7, $\overline{OFL}$		−12	−6		−12	−7.2	−6	mA
	$\overline{INT}$		−9	−4.0		−9	−5.3	−4.0	mA
I_{SINK}, Output Sink Current	V_{OUT}=5V; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	7		14	8.4	7	mA
I_{CC}, Supply Current	$\overline{CS}$ =$\overline{WR}$ =$\overline{RD}$ =0		7.5	15		7.5	13	15	mA

AC Electrical Characteristics

The following specifications apply for V_{CC}=5V, t_r=t_f=20 ns, $V_{REF}(+)$=5V, $V_{REF}(-)$=0V and T_A=25°C unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, *Figure 2*	1.6		2.5	µs
t_{ACC0}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, *Figure 2*	t_{CRD}+20		t_{CRD}+50	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD}=600 ns; *Figures 3, 4*			1.52	µs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; *Figures 3, 4*		600		ns
	Max	(Note 4) See Graph	50			µs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; *Figures 3, 4* (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, t_{RD}<t_i; *Figure 3* C_L=15 pF	190		280	ns
		C_L=100 pF	210		320	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC}=5V, t_r=t_f=20 ns, $V_{REF}(+)$=5V, $V_{REF}(-)$=0V and T_A=25°C unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = V_{CC}, t_{RD}>t_i; *Figure 4*				
	C_L=15 pF	70		120	ns
	C_L=100 pF	90		150	ns
t_{ACC3}, Access Time (Delay from Rising Edge of RDY to Output Valid)	R_{PULLUP} = 1k and C_L = 15 pF	30			ns
t_i, Internal Comparison Time	Pin 7=V_{CC}; *Figures 4, 5* C_L=50 pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	R_L=1k, C_L=10 pF	100		200	ns
$t_{\overline{INTL}}$, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, C_L= 50 pF				
	t_{RD}>t_i; *Figure 4*			t_i	ns
	t_{RD}<t_i; *Figure 3*	t_{RD}+200		t_{RD}+290	ns
$t_{\overline{INTH}}$, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	*Figures 2, 3, 4* C_L=50 pFc	125		225	ns
$t_{\overline{INTHWR}}$, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	*Figure 5*, C_L=50 pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	*Figure 2*, C_L=50 pF, Pin 7 =0	50		100	ns
t_{ID}, Delay from $\overline{INT}$ to Output Valid	*Figure 5*	20		50	ns
t_{RI}, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7=V_{CC}, t_{RD}<t_i *Figure 3*	200		290	ns
t_P, Delay from End of Conversion to Next Conversion	*Figures 2, 3, 4, 5* (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/μs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails (V_{IN} < V^- or V_{IN} > V^+) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

Note 6: Typicals are at 25°C and represent most likely parametric norm.

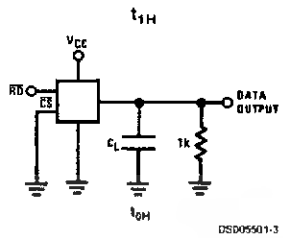
Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

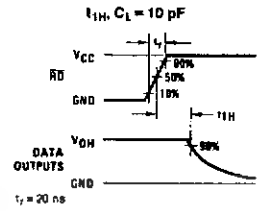
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 9: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

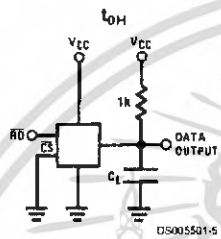
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

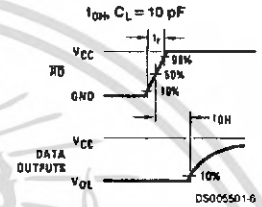
TRI-STATE Test Circuits and Waveforms





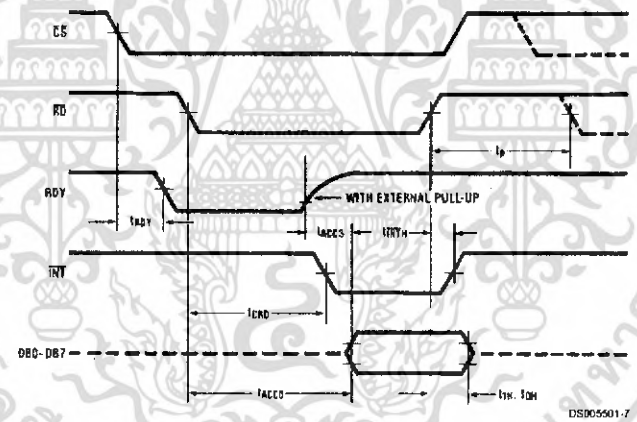
t_r=20 ns





t_r=20 ns

Timing Diagrams



Note: On power-up the state of $\overline{INT}$ can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (Continued)

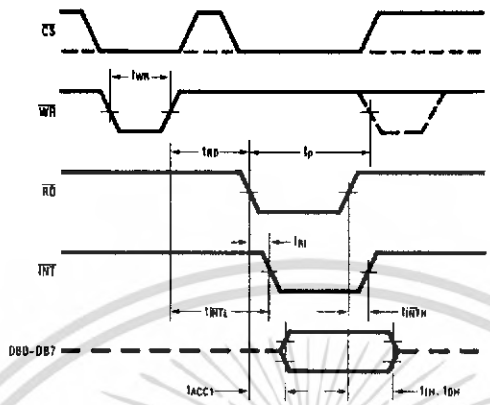


FIGURE 3. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

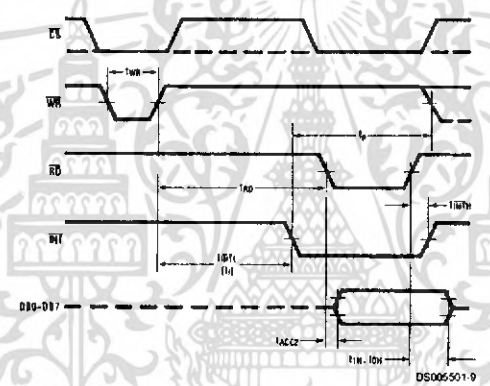


FIGURE 4. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

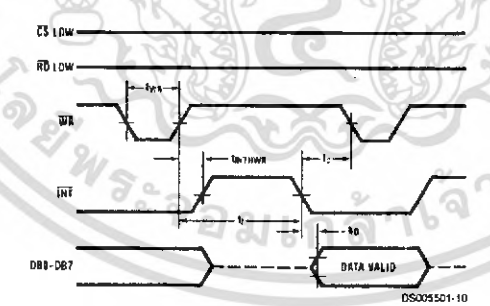
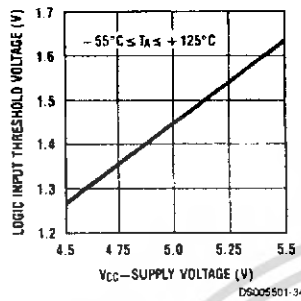


FIGURE 5. WR-RD Mode (Pin 7 is High)
Stand-Alone Operation

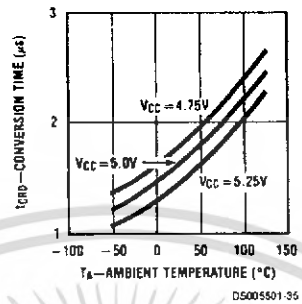
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

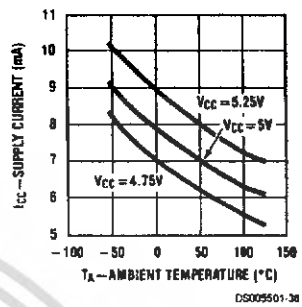
Logic Input Threshold Voltage vs Supply Voltage



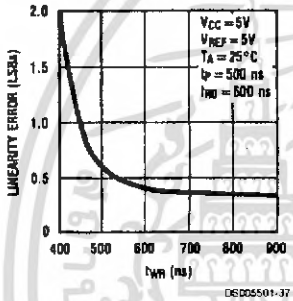
Conversion Time (RD Mode) vs Temperature



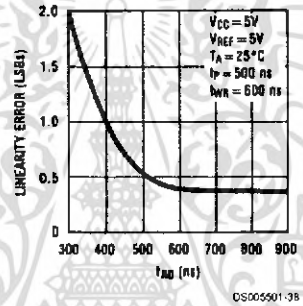
Power Supply Current vs Temperature (not including reference ladder)



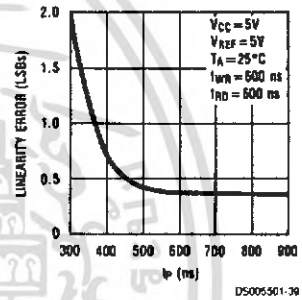
Accuracy vs t_{WR}



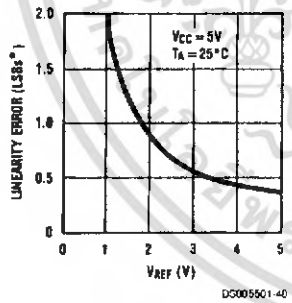
Accuracy vs t_{RD}



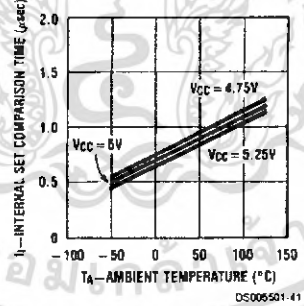
Accuracy vs t_P



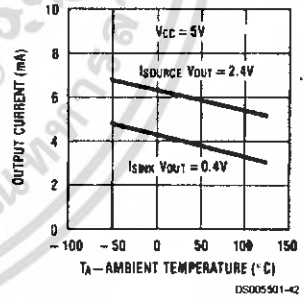
Accuracy vs V_{REF} [$V_{REF}=V_{REF}(+)-V_{REF}(-)$]



t_I, Internal Time Delay vs Temperature



Output Current vs Temperature



*1 LSB = $\frac{V_{REF}}{256}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin	Name	Function
1	V_{IN}	Analog input; range $=GND \le V_{IN} \le V_{CC}$
2	DB0	TRI-STATE data output — bit 0 (LSB)
3	DB1	TRI-STATE data output — bit 1
4	DB2	TRI-STATE data output — bit 2
5	DB3	TRI-STATE data output — bit 3
6	$\overline{WR}$ /RDY	**WR-RD Mode** **$\overline{WR}$:** With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_i) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see *Figures 3, 4*). **RD Mode** RDY: This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see *Figure 2*).
7	Mode	**Mode:** Mode selection input — it is internally tied to GND through a 50 µA current source. **RD Mode:** When mode is low **WR-RD Mode:** When mode is high
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see *Figure 5*). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see *Figures 3, 4*). **RD Mode** With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see *Figure 2*).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of $\overline{WR}$ (see *Figure 4*); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see *Figure 3*). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figures 3, 4*). **RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figure 2*).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: $GND \le V_{REF}(-) \le V_{REF}(+)$ (Note 5)
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-) \le V_{REF}(+) \le V_{CC}$ (Note 5)
13	$\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	TRI-STATE data output — bit 4
15	DB5	TRI-STATE data output — bit 5
16	DB6	TRI-STATE data output — bit 6
17	DB7	TRI-STATE data output — bit 7 (MSB)
18	$\overline{OFL}$	Overflow output — If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0–DB7 do.
19	NC	No connection
20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (*Figure 1*). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

1.2 THE SAMPLED-DATA COMPARATOR

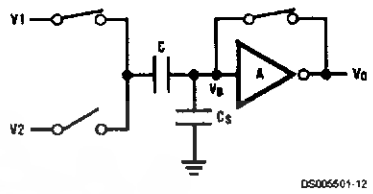
Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (*Figures 6, 7*). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (*Figure 6*) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_B, approximately 1.2V). In the second cycle (*Figure 7*), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V_B') becomes

$$V_B - (V1 - V2)\frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of $V_B'-V_B$.

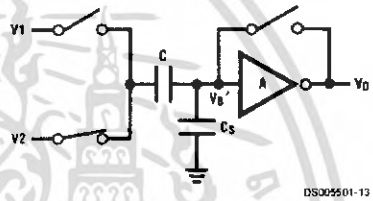
The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (*Figure 8*), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparisen is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.



- $V_O = V_B$
- V on C = V1−V_B
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

Zeroing Phase

FIGURE 6. Sampled-Data Comparator



- $V_B' - V_B = (V2 - V1)\frac{C}{C + C_S}$
- $V_O' = \frac{-A}{C + C_S}[CV2 - CV1]$
- V_O' is dependent on V2−V1

Compare Phase

FIGURE 7. Sampled-Data Comparator

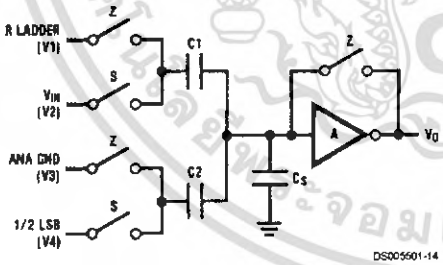


FIGURE 8. ADC0820 Comparator (from MS Flash ADC)

$$V_O = \frac{-A}{C1 + C2 + C_S}[C1(V2 - V1) + C2(V4 - V3)]$$

$$= \frac{-A}{C1 + C2 + C_S}[\Delta Q_{C1} + \Delta Q_{C2}]$$

DS005501-45

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (*Figure 12*). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

When a typical conversion is started, the $\overline{WR}$ line is brought low. At this instant the MS comparators go from zeroing to comparison mode (*Figure 11*). When $\overline{WR}$ is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the $\overline{RD}$ line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When $\overline{RD}$ goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 11 also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is mea-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

sured while $\overline{WR}$ is low. In RD mode, sampling occurs during the first 800 ns of $\overline{RD}$. Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when $\overline{WR}$ is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

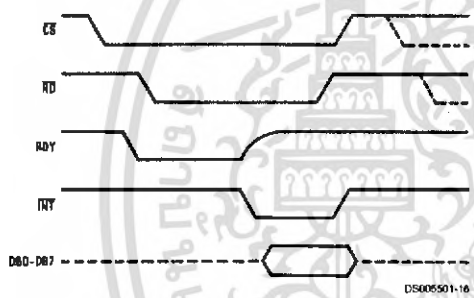
1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling $\overline{RD}$ low until output data appears. An $\overline{INT}$ line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 is Low)



When in RD mode, the comparator phases are internally triggered. At the falling edge of $\overline{RD}$, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the $\overline{WR}$ input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for $\overline{INT}$ to go low before reading the conversion result (*Figure 10*). $\overline{INT}$ will typically go low 800 ns after $\overline{WR}$'s rising edge. However, if a shorter conversion time is desired, the processor need not wait for $\overline{INT}$ and can exercise a read after only 600 ns (*Figure 9*). If this is done, $\overline{INT}$ will immediately go low and data will appear at the outputs.

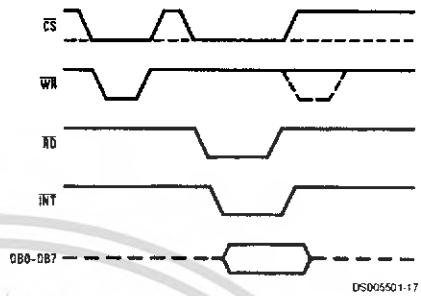


FIGURE 9. WR-RD Mode (Pin 7 is High and $t_{RD}<t_I$)

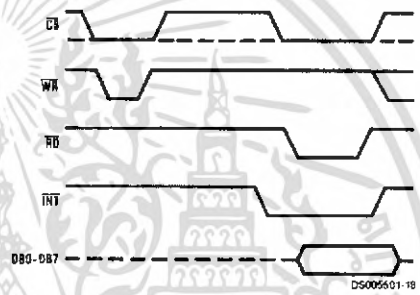
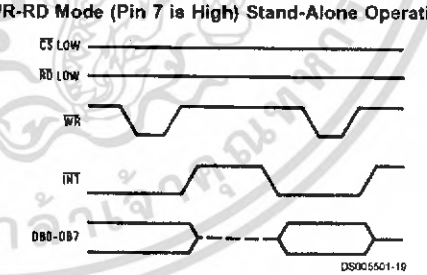


FIGURE 10. WR-RD Mode (Pin 7 is High and $t_{RD}>t_I$)

Stand-Alone

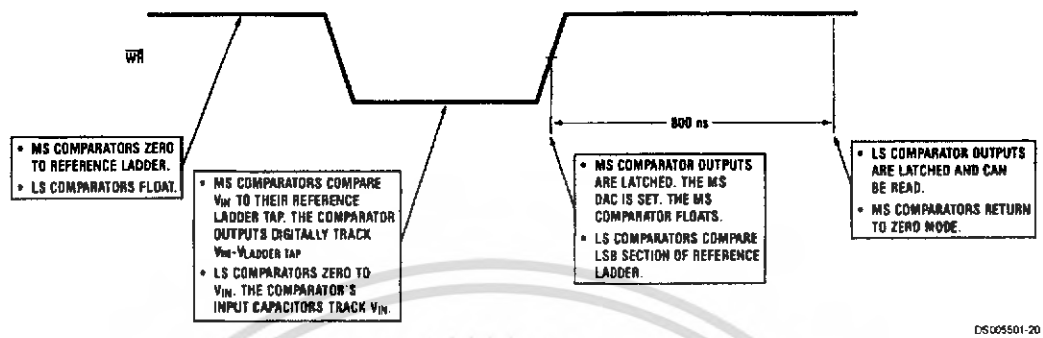
For stand-alone operation in WR-RD mode, $\overline{CS}$ and $\overline{RD}$ can be tied low and a conversion can be started with $\overline{WR}$. Data will be valid approximately 800 ns following $\overline{WR}$'s rising edge.

WR-RD Mode (Pin 7 is High) Stand-Alone Operation



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)



Note: MS means most significant
LS means least significant

FIGURE 11. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, $\overline{WR}$ has a maximum width spec of 50 µs. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ($\overline{WR}$ is low), the input capacitors (C, *Figure 8*) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_P, *Figures 2, 3, 4, 5*) is 500 ns.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Block Diagram

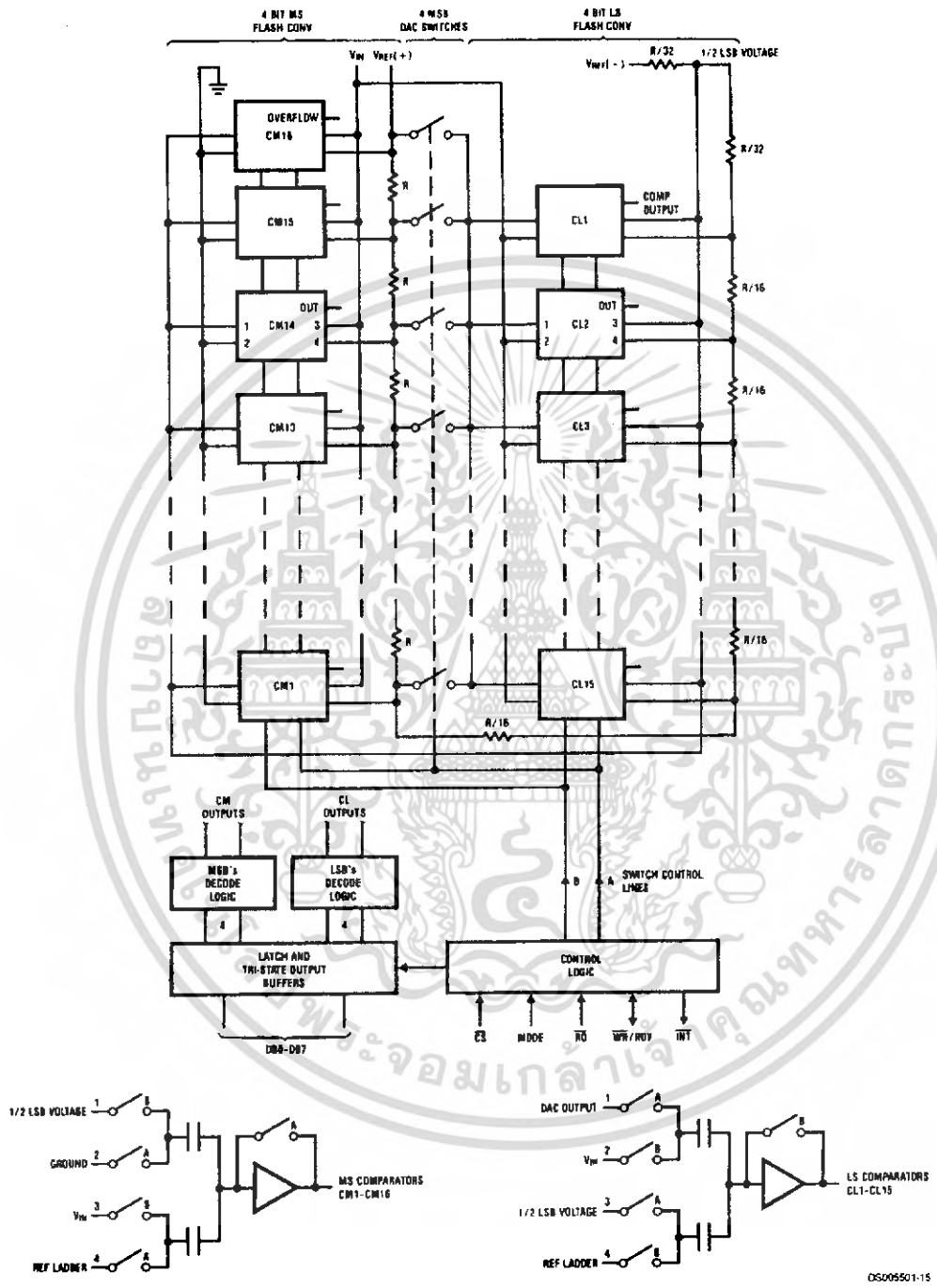


FIGURE 12.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Analog Considerations

2.1 REFERENCE AND INPUT

The two V_{REF} inputs of the ADC0820 are fully differential and define the zero to full-scale input range of the A to D converter. This allows the designer to easily vary the span of the analog input since this range will be equivalant to the voltage difference between $V_{IN}(+)$ and $V_{IN}(-)$. By reducing V_{REF}(V_{REF}=$V_{REF}(+)$−$V_{REF}(-)$) to less than 5V, the sensitivity of the converter can be increased (i.e., if V_{REF}=2V then 1 LSB=7.8 mV). The input/reference arrangement also facilitates ratiometric operation and in many cases the chip power supply can be used for transducer power as well as the V_{REF} source.

This reference flexibility lets the input span not only be varied but also offset from zero. The voltage at $V_{REF}(-)$ sets the input level which produces a digital output of all zeroes. Though V_{IN} is not itself differential, the reference design affords nearly differential-input capability for most measurement applications. *Figure 13* shows some of the configurations that are possible.

2.2 INPUT CURRENT

Due to the unique conversion techniques employed by the ADC0820, the analog input behaves somewhat differently than in conventional devices. The A/D's sampled-data comparators take varying amounts of input current depending on which cycle the conversion is in.

The equivalent input circuit of the ADC0820 is shown in *Figure 14*. When a conversion starts ($\overline{WR}$ low, WR-RD mode), all input switches close, connecting V_{IN} to thirty-one 1 pF capacitors. Although the two 4-bit flash circuits are not both in their compare cycle at the same time, V_{IN} still sees all input capacitors at once. This is because the MS flash converter is connected to the input during its compare interval and the LS flash is connected to the input during its zeroing phase (Section 1.3). In other words, the LS ADC uses V_{IN} as its zero-phase input.

The input capacitors must charge to the input voltage through the on resistance of the analog switches (about 5 kΩ to 10 kΩ). In addition, about 12 pF of input stray capacitance must also be charged. For large source resistances, the analog input can be modeled as an RC network as shown in *Figure 15*. As R_S increases, it will take longer for the input capacitance to charge.

In RD mode, the input switches are closed for approximately 800 ns at the start of the conversion. In WR-RD mode, the time that the switches are closed to allow this charging is the time that $\overline{WR}$ is low. Since other factors force this time to be at least 600 ns, input time constants of 100 ns can be accommodated without special consideration. Typical total input capacitance values of 45 pF allow R_S to be 1.5 kΩ without lengthening $\overline{WR}$ to give V_{IN} more time to settle.

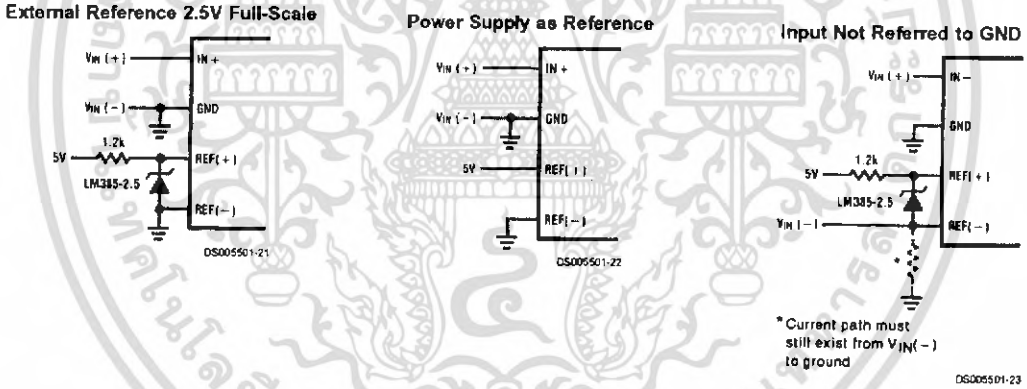


FIGURE 13. Analog Input Options

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Analog Considerations (Continued)

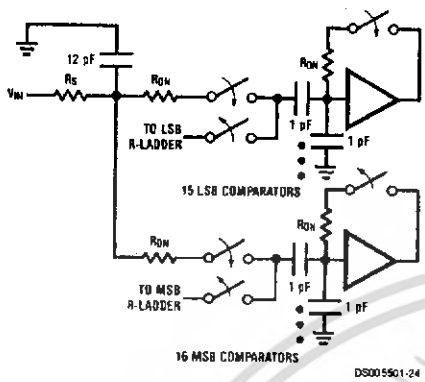


FIGURE 14.

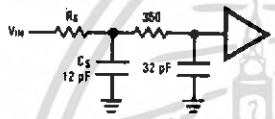


FIGURE 15.

2.3 INPUT FILTERING

It should be made clear that transients in the analog input signal, caused by charging current flowing into V_{IN}, will not degrade the A/D's performance in most cases. In effect the ADC0820 does not "look" at the input when these transients occur. The comparators' outputs are not latched while $\overline{WR}$ is low, so at leest 600 ns will be provided to charge the ADC's input capacitance. It is therefore not necessary to filter out these transients by putting an external cap on the V_{IN} terminal.

2.4 INHERENT SAMPLE-HOLD

Another benefit of the ADC0820's input mechanism is its ability to measure a variety of high speed signals without the help of an external sample-and-hold. In a conventional SAR type converter, regardless of its speed, the input must remain at least ½ LSB stable throughout the conversion process if full accuracy is to be maintained. Consequently, for many high speed signals, this signal must be externally sampled, and held stationary during the conversion.

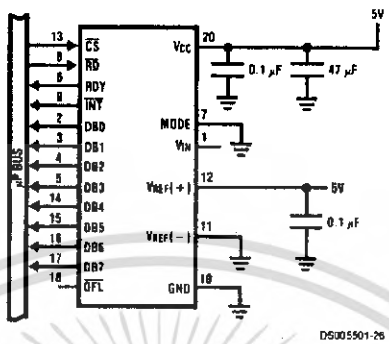
Sampled-data comparators, by nature of their input switching, already accomplish this function to a large degree (Section 1.2). Although the conversion time for the ADC0820 is 1.5 µs, the time through which V_{IN} must be ½ LSB stable is much smaller. Since the MS flash ADC uses V_{IN} as its "compare" input and the LS ADC uses V_{IN} as its "zero" input, the ADC0820 only "samples" V_{IN} when $\overline{WR}$ is low (Sections 1.3 and 2.2). Even though the two flashes are not done simultaneously, the analog signal is measured at one instant. The value of V_{IN} approximately 100 ns after the rising edge of $\overline{WR}$ (100 ns due to internal logic prop delay) will be the measured value.

Input signals with slew rates typically below 100 mV/µs can be converted without error. However, because of the input time constants, and charge injection through the opened comparator input switches, faster signals may cause errors. Still, the ADC0820's loss in accuracy for a given increase in signal slope is far less than what would be witnessed in a conventional successive approximation device. An SAR type converter with a conversion time as fast as 1 µs would still not be able to measure a 5V 1 kHz sine wave without the aid of an external sample-and-hold. The ADC0820, with no such help, can typically measure 5V, 7 kHz waveforms.

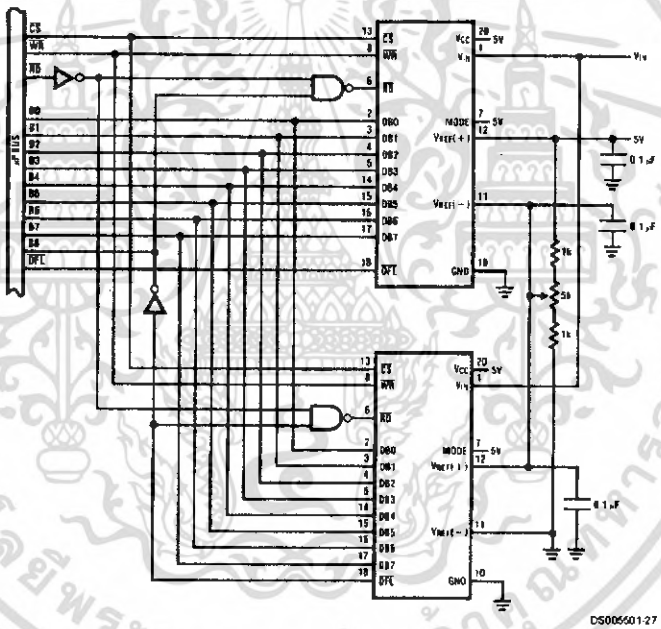
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Typical Applications

8-Bit Resolution Configuration



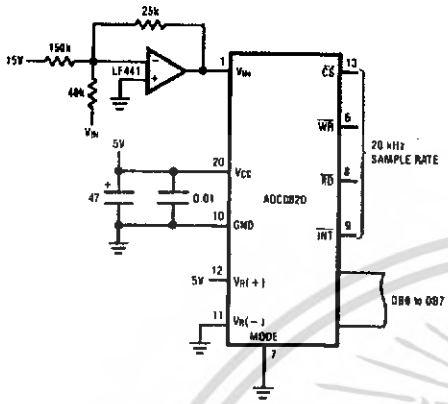
9-Bit Resolution Configuration



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

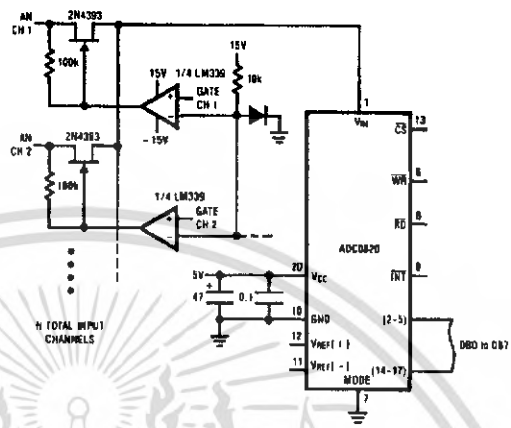
3.0 Typical Applications (Continued)

Telecom A/D Converter



DS005501-28

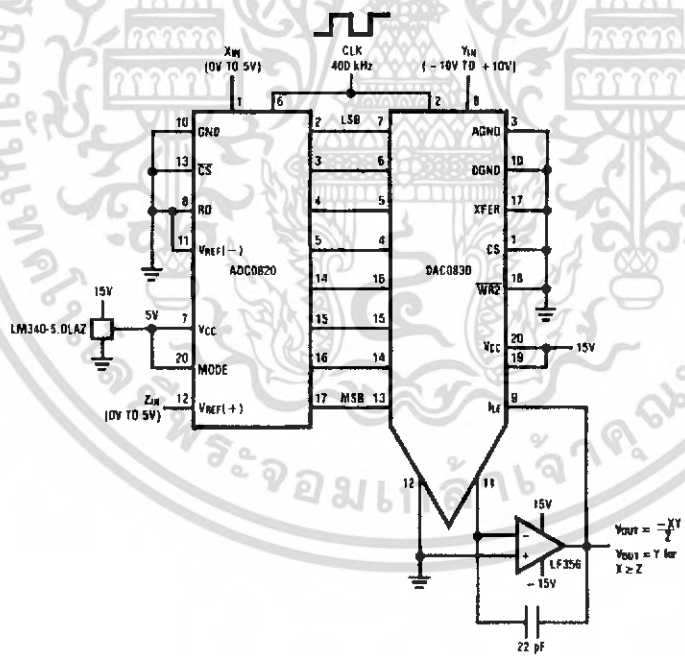
Multiple Input Channels



DS005501-29

- V_{IN}=3 kHz max ± $4V_P$
- No track-and-hold needed
- Low power consumption

8-Bit 2-Quadrant Analog Multiplier

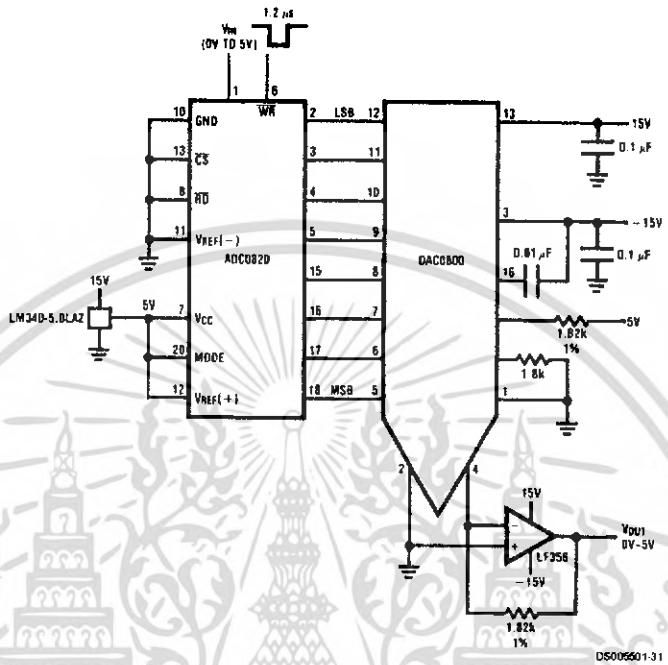


DS005501-30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

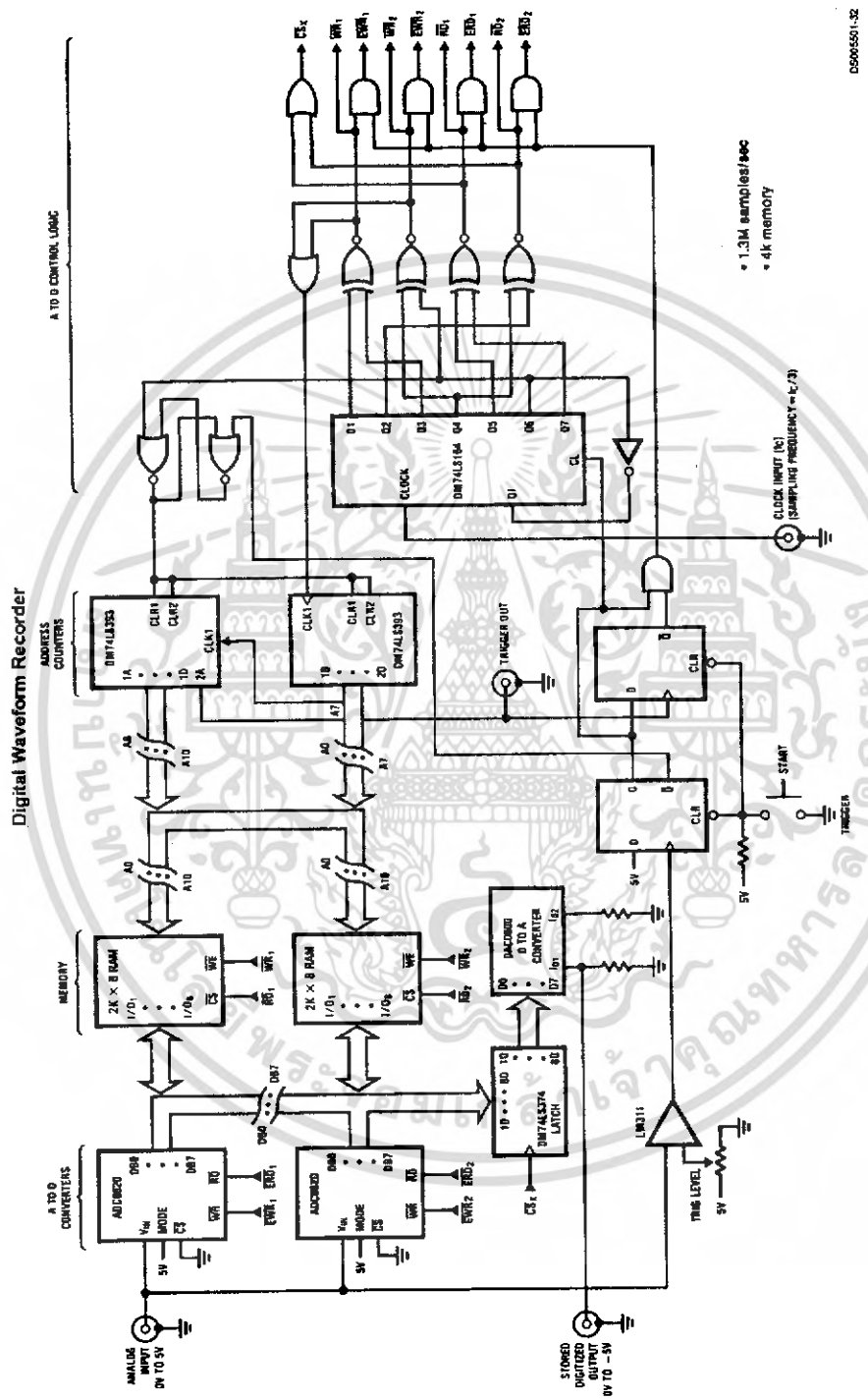
3.0 Typical Applications (Continued)

Fast Infinite Sample-and-Hold



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Typical Applications (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1999

DAC0800/DAC0802
8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

Typical Applications

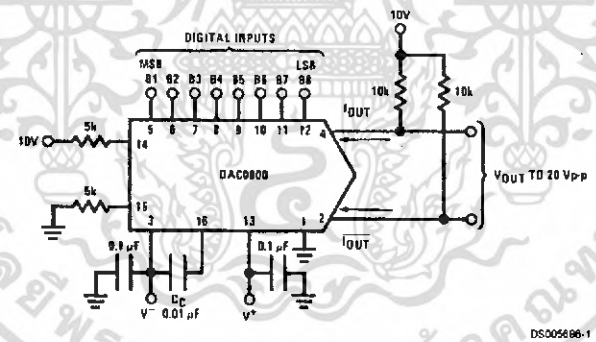


FIGURE 1. ±20 V_{P-P} Output Digital-to-Analog Converter (Note 5)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)		N Package (N16E) (Note 1)		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM

Note 1: Devices may be ordered by using either order number.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 3)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 4)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 2)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
			Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", T_A=25°C		100	135				ns
		DAC0800L					100	135	ns
		DAC0800LC					100	150	ns
tPLH, tPHL	Propagation Delay	T_A=25°C							
	Each Bit			35	60		35	60	ns
	All Bits Switched			35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, R_{OUT}>20 MΩ Typ	−10		18	−10		18	V
I_{FS4}	Full Scale Current	V_{REF}=10.000V, R14=5.000 kΩ R15=5.000 kΩ, T_A=25°C	1.984	1.992	2.000	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4}-I_{FS2}$		±0.5	±4.0		±1	±8.0	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0	µA
I_{FSR}	Output Current Range	V^-=−5V	0	2.0	2.1	0	2.0	2.1	mA
		V^-=−8V to −18V	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels								
V_{IL}	Logic "0"	V_{LC}=0V			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			V
	Logic Input Current	V_{LC}=0V							
I_{IL}	Logic "0"	−10V≤V_{IN}≤+0.8V		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	2V≤V_{IN}≤+18V		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	V^-=−15V	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	V_S=±15V	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	*(Figure 11)*	4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V≤V^+≤18V		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		−4.5V≤V^-≤18V I_{REF}=1mA		0.0001	0.01		0.0001	0.01	%/%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
			Min	Typ	Max	Min	Typ	Max	
	Power Supply Current	V_S=±5V, I_{REF}=1 mA							
I+				2.3	3.8		2.3	3.8	mA
I−				−4.3	−5.8		−4.3	−5.8	mA
		V_S=5V, −15V, I_{REF}=2 mA							
I+				2.4	3.8		2.4	3.8	mA
I−				−6.4	−7.8		−6.4	−7.8	mA
		V_S=±15V, I_{REF}=2 mA							
I+				2.5	3.8		2.5	3.8	mA
I−				−6.5	−7.8		−6.5	−7.8	mA
P_D	Power Dissipation	±5V, I_{REF}=1 mA		33	48		33	48	mW
		5V,−15V, I_{REF}=2 mA		108	136		108	136	mW
		±15V, I_{REF}=2 mA		135	174		135	174	mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

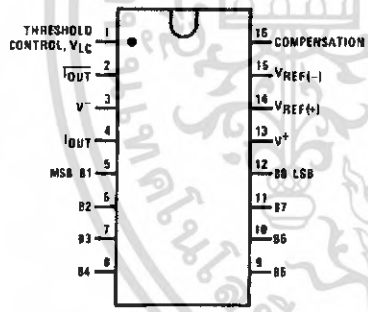
Note 3: The maximum junction temperature of the DAC0800 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 4: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 5: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

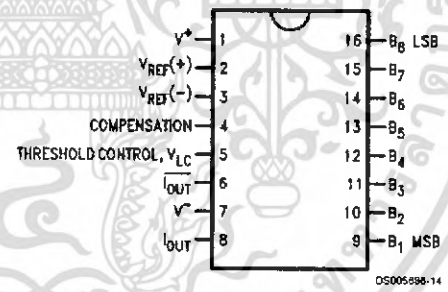
Connection Diagrams

Dual-In-Line Package



Top View

Small Outline Package

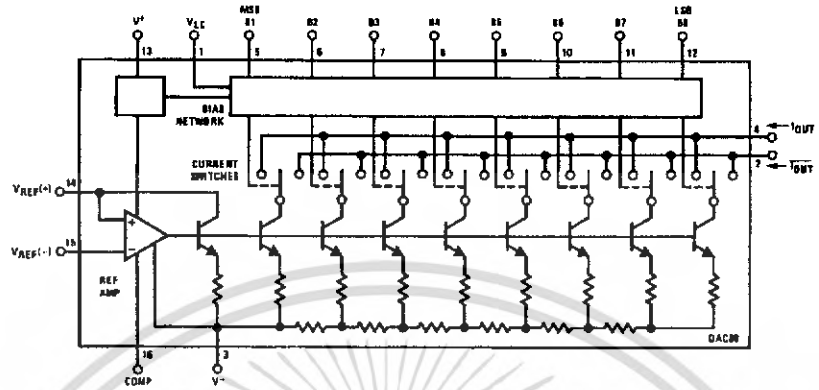


Top View

See Ordering Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

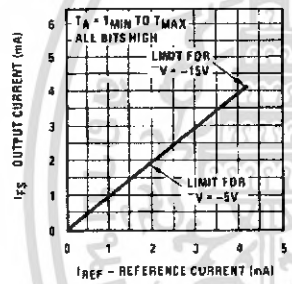
Block Diagram (Note 5)



DS005686-2

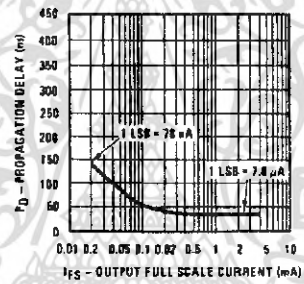
Typical Performance Characteristics

Full Scale Current vs Reference Current



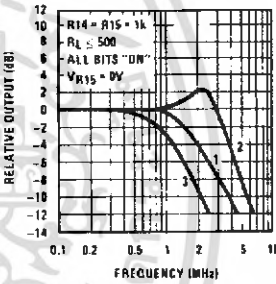
DS005686-22

LSB Propagation Delay vs I_{FS}



DS005686-23

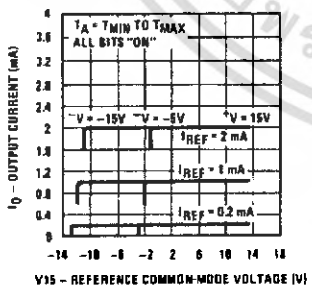
Reference Input Frequency Response



DS005686-24

Curve 1: C_C=15 pF, V_{IN}=2 Vp-p centered at 1V.
Curve 2: C_C=15 pF, V_{IN}=50 mVp-p centered at 200 mV.
Curve 3: C_C=0 pF, V_{IN}=100 mVp-p centered at 0V and applied through 50Ω connected to pin 14.2V applied to R14.

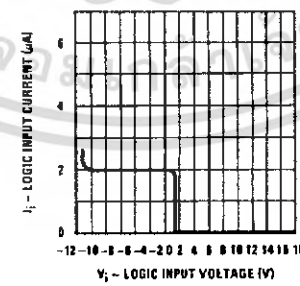
Reference Amp Common-Mode Range



DS005686-25

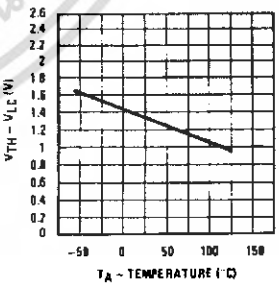
Note. Positive common-mode range is always (V+) − 1.5V.

Logic Input Current vs Input Voltage



DS005686-26

V_{TH} — V_{LC} vs Temperature

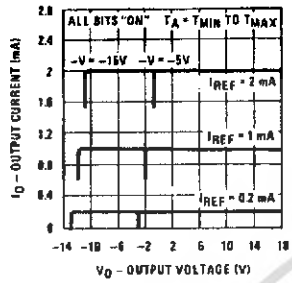


DS005686-27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

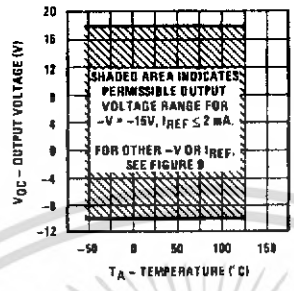
Typical Performance Characteristics (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



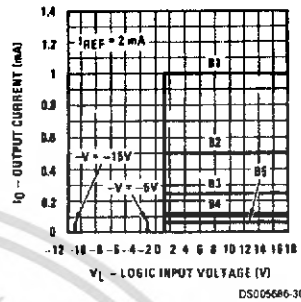
DS005686-28

Output Voltage Compliance vs Temperature



DS005686-29

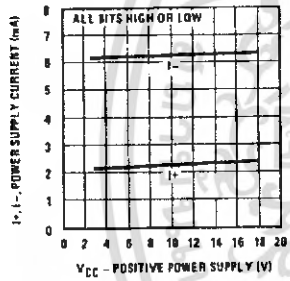
Bit Transfer Characteristics



DS005686-30

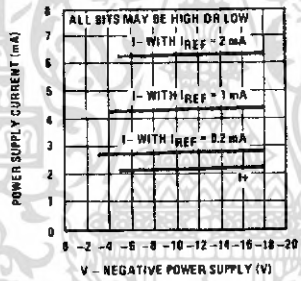
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

Power Supply Current vs +V



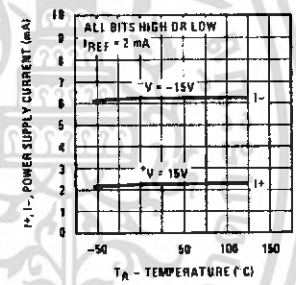
DS005686-31

Power Supply Current vs −V



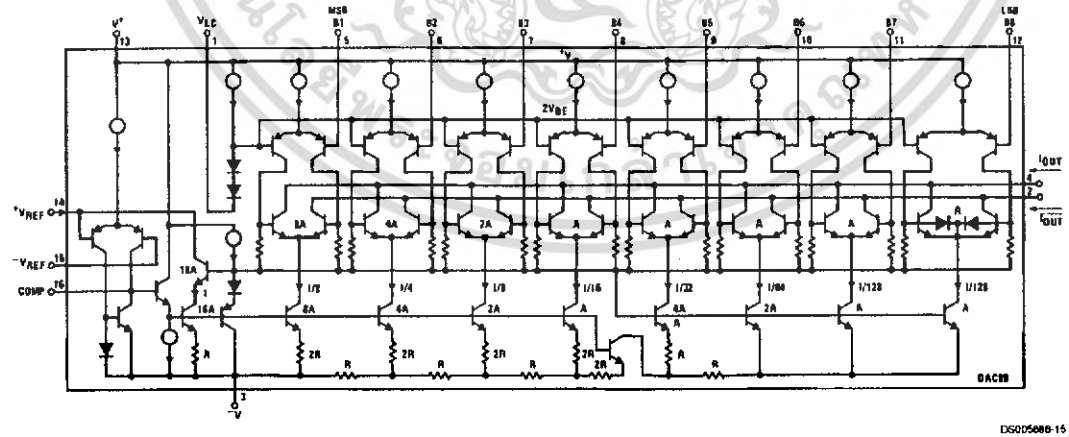
DS005686-32

Power Supply Current vs Temperature



DS005686-33

Equivalent Circuit

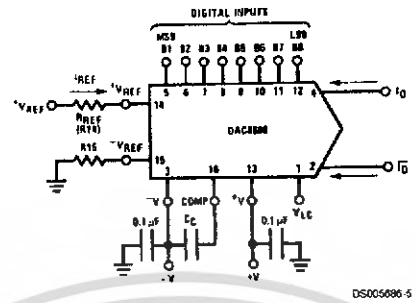


DS005686-15

FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I}_O = I_{FS}$ for all logic states
For fixed reference, TTL operation, typical values are:
V_{REF} = 10.000V
R_{REF} = 5.000k
R15 ≈ R_{REF}
C_C = 0.01 μF
V_{LC} = 0V (Ground)

FIGURE 3. Basic Positive Reference Operation (Note 5)

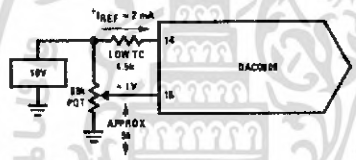
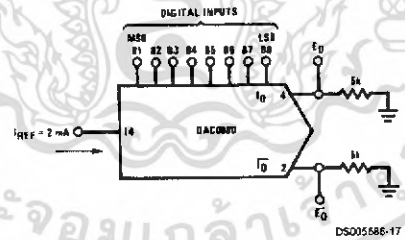


FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 5)

$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note: R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 5)

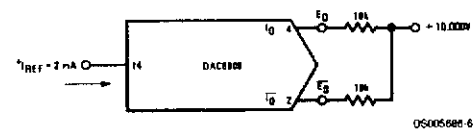


	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I}_O$mA	E_O	$\overline{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 5)

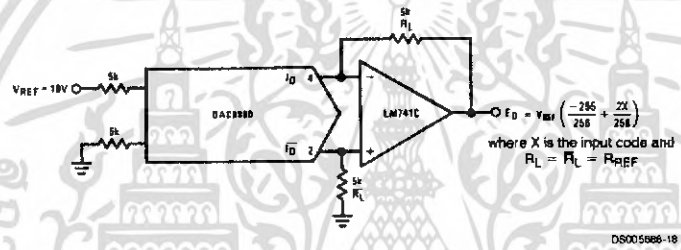
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

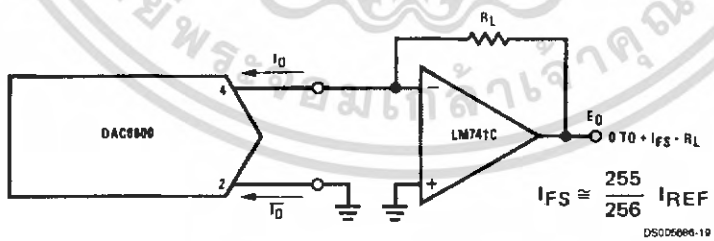
FIGURE 7. Basic Bipolar Output Operation (Note 5)



If $R_L = \overline{R}_L$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 5)

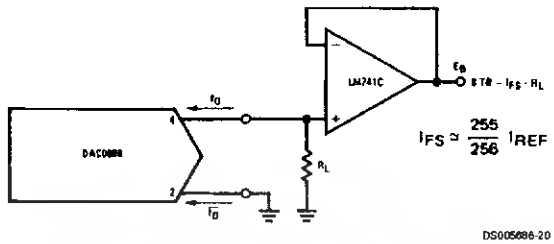


For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I}_O$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 5)

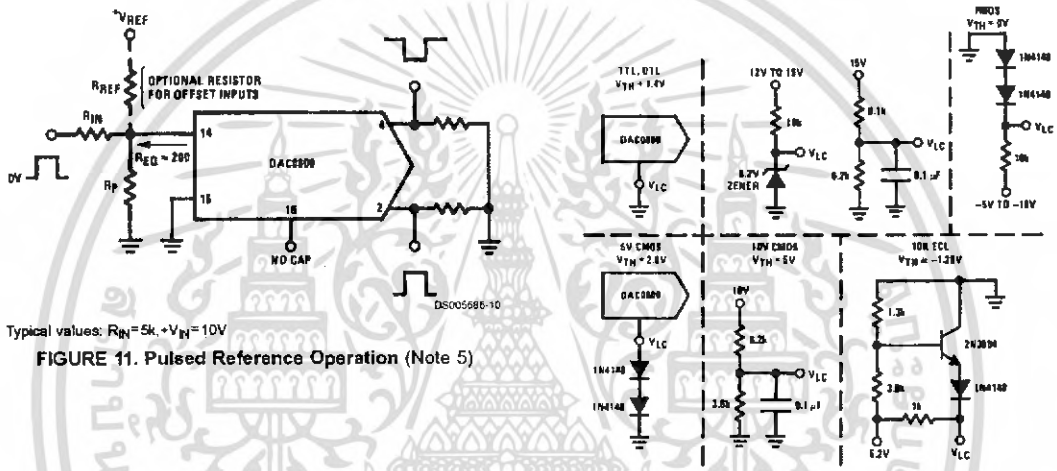
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\bar{I}_O$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 5)

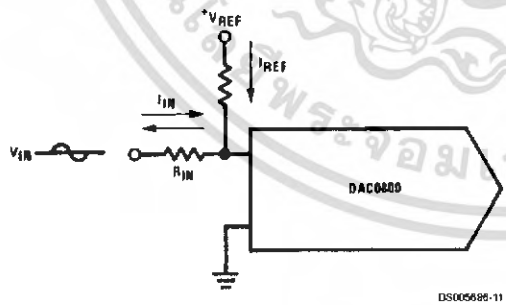


Typical values: R_{IN} = 5k, $+V_{IN}$ = 10V

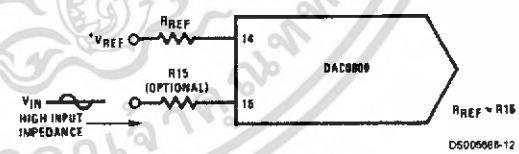
FIGURE 11. Pulsed Reference Operation (Note 5)

$V_{TH} = V_{LC} + 1.4V$
15V CMOS, HTL, HNIL
$V_{TH} = 7.6V$
Note: Do not exceed negative logic input range of DAC.

FIGURE 12. Interfacing with Various Logic Families



(a) $I_{REF} \geq$ peak negative swing of I_{IN}



(b) $+V_{REF}$ must be above peak positive swing of V_{IN}

FIGURE 13. Accommodating Bipolar References (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

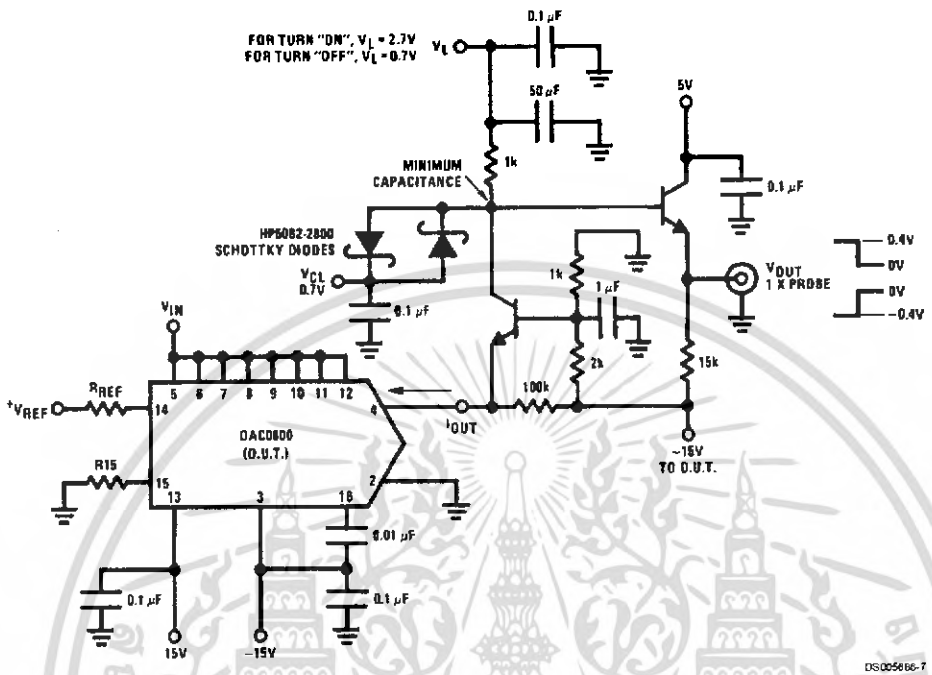
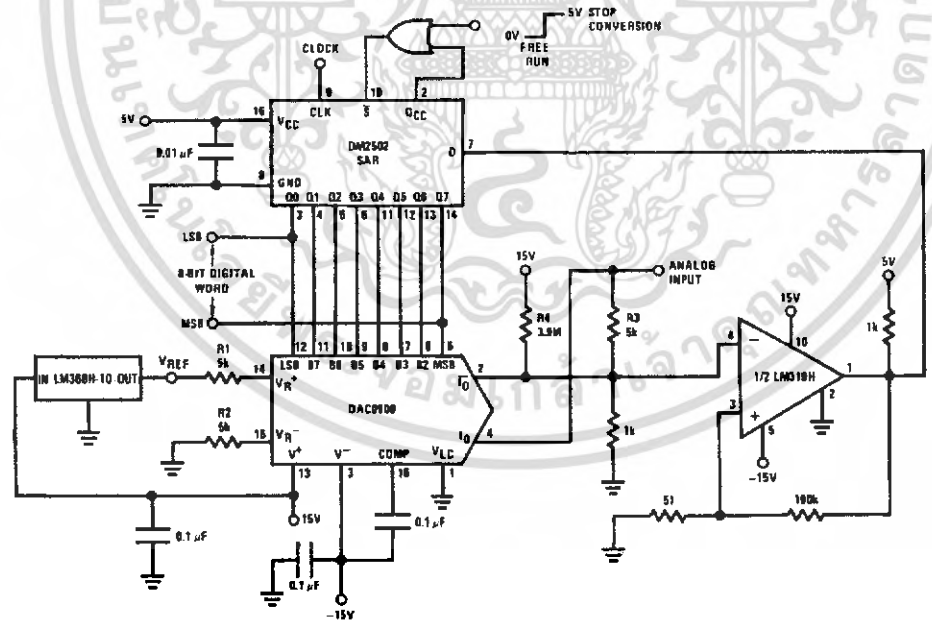


FIGURE 14. Settling Time Measurement (Note 5)

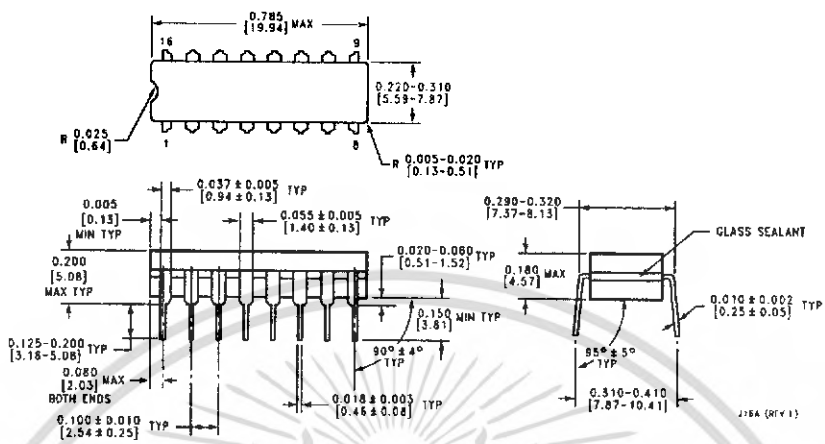


Note. For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

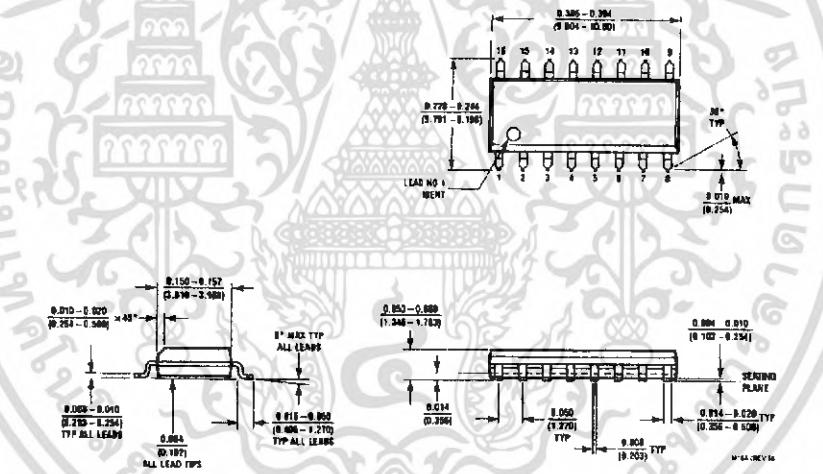
FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



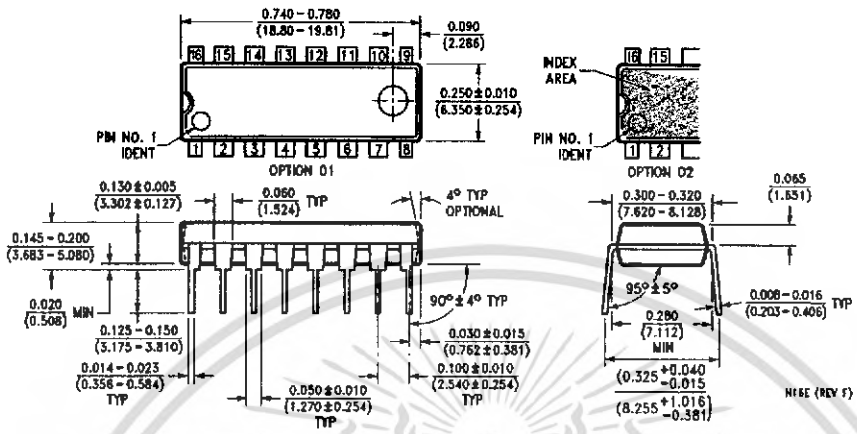
Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
or DAC0802LCM
NS Package Number M16A



Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
or DAC0802LCM
NS Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0802
NS Package Number N16E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Radiometrix

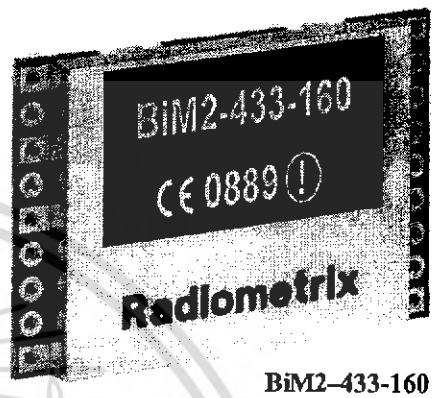
Hartcran House, 231 Kenton Lane, Harrow, HA3 8RP, England

Tel: +44 (0) 20 8909 9595. Fax: +44 (0) 20 8909 2233

Issue 2. 01 November 2004 **BiM2**

433MHz high speed FM radio transceiver module

The BiM2 transceiver is an enhanced replacement for our original BiM module. It offers greater transmit power, higher data rates, greatly improved receiver interference rejection and a lower profile. The module is ideal for enabling bi-directional wireless connectivity in battery powered or handheld applications



BiM2–433-160

Features

- CE Certified by independent Notified Body according to the R&TTE Directive (1999/5/EC)
- Verified to comply with Radio standard ETSI EN 300 220-3 by UKAS accredited Test Laboratory
- Verified to comply with EMC standard ETSI EN 301 489-3 by UKAS accredited Test Laboratory
- Usable range to 200 metres external, 50 metres in building
- Data rates up to 160kbps
- SAW controlled 10mW FM transmitter
- Double conversion FM superhet receiver
- SAW front end filter and full screening
- Plug in replacement for Radiometrix BiM-433-40
- 3V or 5Volt supply at < 20mA

The BiM2 is a half duplex radio transceiver module for use in high-speed bi-directional data transfer applications at ranges up to 200metres. The module operates on the European licence exempt frequency of 433.92MHz. The small footprint of 23 x 33mm and low profile of 4mm together with low power requirements of <20mA @ 3 to 5 Volts enable convenient PCB installation.

Applications

- PDA's, organizers and laptops
- Handheld terminals
- EPOS equipment, barcode scanners, belt clip printers
- Data loggers
- Audience response systems
- In Building environmental monitoring and control
- High end security and fire alarms
- Restaurant ordering systems
- Vehicle data up/download

Further information will be available imminently, however, BiM-433-F data sheets contains applications information that is equally applicable to the new BiM2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional overview

The transmit section of the BiM2 comprises of a SAW stabilised and FM modulated 433.92MHz oscillator feeding a 10mW buffer/output stage. Operation is controlled by a TX select line, the output achieving full power within 100µs of this line being pulled low. Modulation is applied at the TXD input and may be either a serial digital stream at the same levels as the module's supply rails (digital drive) or a high level analogue waveform with a pk to pk amplitude close to the modules supply level (linear drive). Modulation shaping is performed internally by a 2nd order 44kHz LPF to minimize spectral spreading. The RF output is filtered to meet the requirements of EN 300-220-3 and fed via a fast antenna changeover switch to the 50Ω antenna pin.

The receive section of the BiM2 is a double conversion FM superhet with IF's of 16MHz and 150kHz. The dual gate MOSFET LNA is followed by a 750kHz bandwidth SAW filter to provide >60 dB's rejection of all out of band signals. The receiver is controlled by an active low select line and will power up in <1ms. A post-detection 2nd order 35kHz LPF establishes the signal bandwidth and ensures the clean operation of the subsequent adaptive data slicer. The slicer has a 2ms averaging time constant and is optimised for balanced data, e.g. bi-phase codes. A fast acting carrier detect output will indicate the presence of any RF signals.

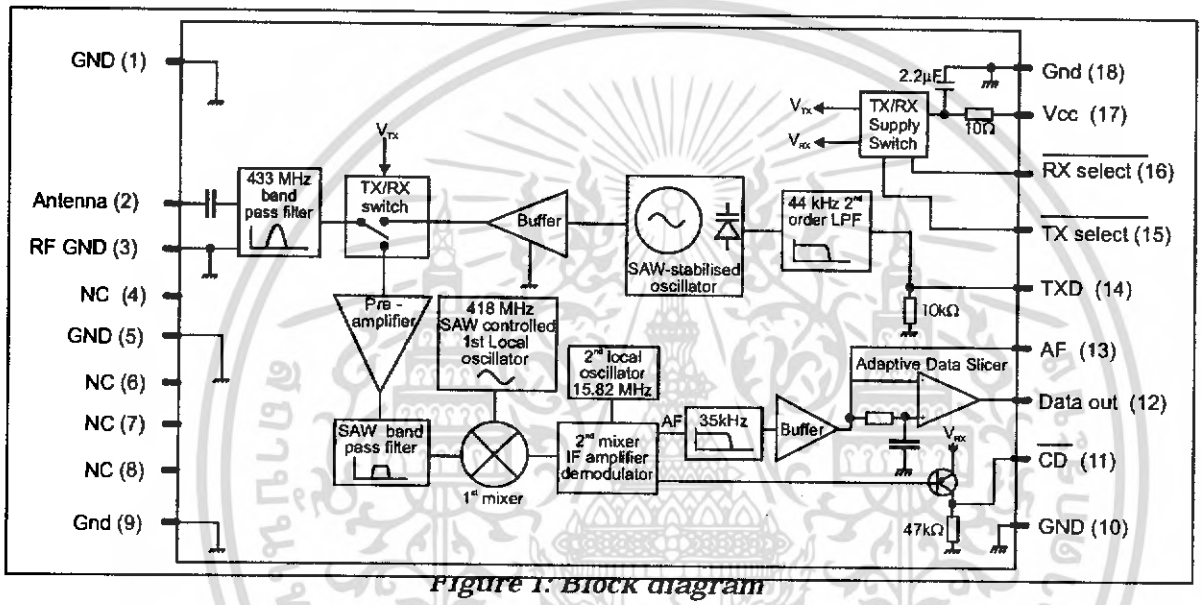


Figure 1: Block diagram

Pin description:

RF GND *pin 1 & 3*
RF ground pin, internally connected to the module screen and pin 5, 9, 10, 18 (0 Volt). This pin should be connected to the RF return path (e.g. coax braid, main PCB ground plane etc.)

Antenna *pin 2*
50Ω RF input from the antenna, it is DC isolated internally. (*see* antenna for suggested antenna/feeds).

0Volt *pins 5, 9, 10, 18*
Supply ground connection and screen.

CD *pin 11*
Carrier Detect - When the receiver is enabled, a low indicates a signal above the detection threshold is being received. The output is high impedance (50kΩ) and should only be used to drive a CMOS logic input.

RXD *pin 12*
This digital output from the internal data slicer is a squared version of the signal on pin 13 (AF). It may be used to drive external decoders. The data is true data, i.e. as fed to the transmitter. Load impedance should be >1kΩ and <1nF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AF *pin 13*

This is a buffered and filtered analogue output from the FM demodulator. It has a standing DC bias of 1.2 volts and 400mV P-P base band signal. It is useful as a test point or to drive linear decoders. Load impedance should be >2kΩ and <100pF.

TXD *pin 14*

This DC coupled modulation input will accept either serial digital data (0V to Vcc levels) or High level linear signals. Input impedance is 10kΩ.

TX select *pin 15*

Active low transmit select. 10kΩ internal pull up to Vcc.

RX select *pin 16*

Active low receive select. 10kΩ internal pull up to Vcc.

Pin 15 TX	Pin 16 RX	Function
1	1	power down (<1µA)
1	0	receiver enabled
0	1	transmitter enabled
0	0	self test loop back

Note: Loop test allows the receivers to monitor the transmitted signal. The receiver will not receive external signals whilst the TX of the module is enabled.

Vcc *pin 17*

+ve supply pin. +3.0 to +5.5 volts @ <20mA . The supply must be clean < 20mVP-P ripple. A 2.2µF de-coupling capacitor and 10Ω series resistor are used internally to filter the supply.

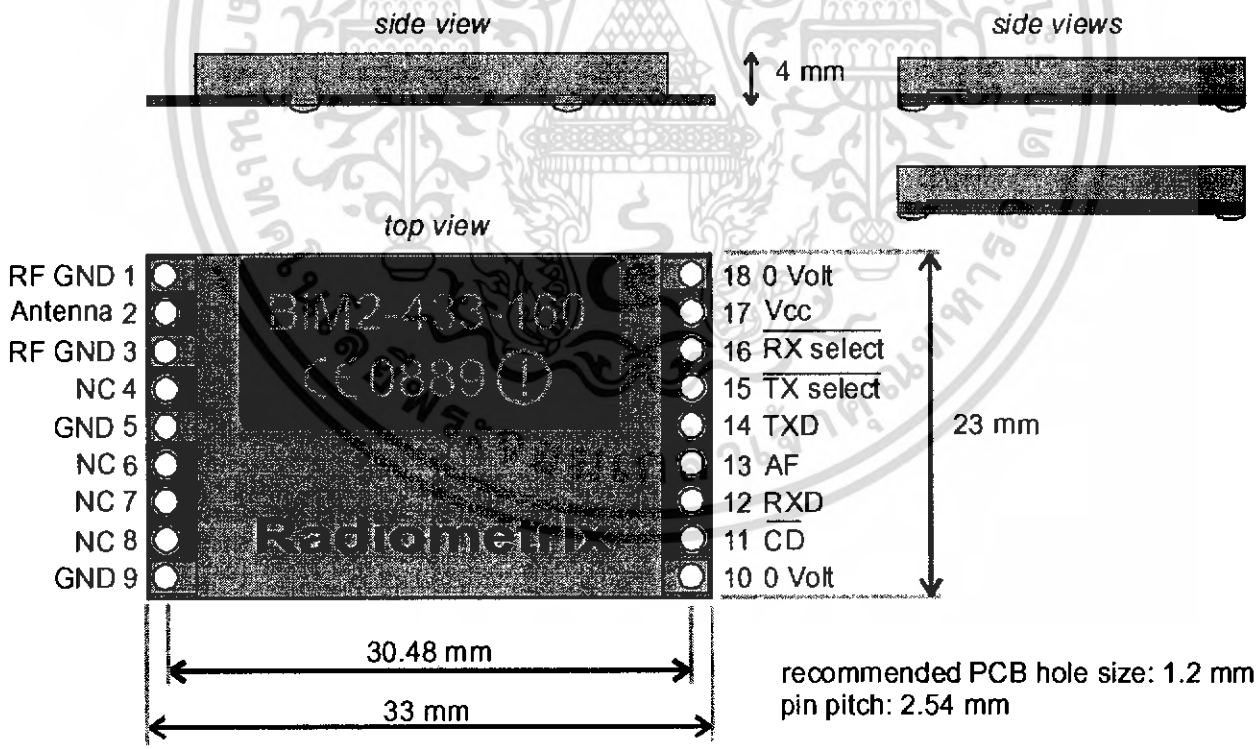


Figure 2: Physical dimension

Weight: 5g (typical with pins)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Survival Maximums:

Operating temperature:	-10°C to + 55°C
Extended operation at Reduced specification	-20°C to + 70°C
Storage temperature :	-40°C to + 100°C
Vcc (pin 17)	-0.1V to +10.0 V
All other pins	-0.1V to +Vcc+0.6V
Antenna (pin 2)	±50 V @ <10MHz , +20dBm @ > 10MHz

Note: Operation of the BiM2 above 5.5 volt with efficient antenna may result in radiated power levels above the licensed power level.

Figures apply to 5V versions unless otherwise noted
Temperature 20° C unless noted

Electrical Performance	pin	min.	typ.	max.	units	notes
DC Levels						
supply voltage, Vcc *(std. version)*	17	4.0	5	5.5	V	
supply voltage, Vcc *(3V version)*	17	3.0	3.3	4.0	V	
TX supply current, Vcc *(std)*	17	10	14	16	mA	
TX supply current, Vcc *(3.3V)*	17	6	8	10	mA	3.3V supply
RX supply current, Vcc *(std)*	17	12	18	21	mA	
RX supply current, Vcc *(3.3V)*	17	10	14	17	mA	3.3V supply
supply ripple allowed	17	-	-	20	mV_{pk-pk}	below 1MHz
AF output DC level	13	1.0	1.25	1.5	V	
load capacitance on AF / Data	12,13	-	-	100	pF	
CD output load resistance	11	220	-	-	kΩ	Note 2
Interface levels						
data output high, 100µA source	12	-	Vcc-0.6	-	V	RXD high
data output low, 100µA sink	12	-	0.4	-	V	RXD low
TX & RX select, high *(deselect)*	15, 16	Vcc-0.5		Vcc	V	
low *(select)*	15, 16	0		0.5	V	
Internal select pull-ups	15,16	-	10	-	kΩ	
TXD, high	14	Vcc-0.5		Vcc	V	
low	14	0		0.5	V	

RF Parameters	pin	min.	typ.	max.	units	notes
Antenna pin impedance	2	-	50	-	Ω	TX or RX
RF centre frequency	-	-	433.92	-	MHz	
Transmitter						
RF power output, Vcc std	2	+7	+10	+12	dBm	5V
RF power output, Vcc 3.3V	2	+3	+6	+8	dBm	3.3V
Initial frequency accuracy	-	-50	0	+50	kHz	
Overall frequency accuracy	-	-100	0	+100	kHz	
FM deviation	-	20	30	40	kHz	
Modulation bandwidth	-	DC	-	32	kHz	
Modulation bandwidth		DC	-	80	kHz	160kpbs
Modulation distortion	-	-	-	15	%	
Receiver						
RF sensitivity, 10dB S/N	2, 13	-95	-101		dBm	
RF sensitivity, 10dB S/N	2, 13	-91	-96		dBm	3.3V
RF sensitivity, 10dB S/N	2, 13		-94		dBm	160kbps

ห้ามมิให้ทำสำเนาไม่ว่าส่วนใดส่วนหนึ่งของเอกสารนี้ ไม่อนุญาตให้ใช้เพื่อประโยชน์ด้านการค้า ทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

RF Parameters	pin	min.	typ.	max.	units	notes
RF sensitivity, 1ppm BER	2, 12	-87	-93		dBm	5V
RF sensitivity, 1ppm BER	2, 12	-82	-88		dBm	3.3V
RF sensitivity, 1ppm BER	2, 12		-90		dBm	160kbps
CD threshold , Vcc = 5V	2, 11	-98	-104		dBm	Note 2
CD threshold, Vcc = 3V	2, 11	-92	-98		dBm	Note 2
CD threshold, Vcc = 5V	2, 11		-96		dBm	Note 2
IF bandwidth, Vcc = 5V, 160kbps	-	-	500	-	kHz	
CD bandwidth	2, 11	-	400	-	kHz	Note 2
Ultimate (S+N)/N, -70dBm input	13	-	>40	-	dB	
Ultimate (S+N)/N, -70dBm input	13		30		dB	160kbps
maximum operating RF input	2	-	+10	-	dBm	
AF output level	13	-	400	-	mV	peak to peak
Initial frequency accuracy	-	-50	0	+50	kHz	CD centre

EMC Parameters	pin	min.	typ.	max.	units	notes
Rejections: rejection figures are relative to a 15dB (S+N)/N wanted signal						
Co-channel rejection	2	-	-10	-	dB	
Image rejection (f_{RF}-$2f_{IF}$)	2	-	64	-	dB	402.0MHz
Out of band rejection	2	-	>70	-	dB	DC to 2GHz
AM rejection	2	-	>30	-	dB	
Out of band blocking level	2	-	>-15	-	dBm	
Out of band IP_3	2	-	+1	-	dBm	
Radiations						
RX LO leakage, conducted	2	-	-60	-57	dBm	
RX LO leakage, radiated	-	-	-70	-	dBm	
TX 2nd harmonic	2	-	-42	-36	dBm	
TX harmonics >1GHz	2	-	-40	-30	dBm	
TX spectral bandwidth @-40dBc	2	-	-	250	kHz	worst case

Baseband Transfer Performance	pin	min.	typ.	max.	units	notes
TX→ RX						
Linear baseband BW @-3dB	13	0.08	-	34	kHz	TXD to AF
Linear baseband BW @-3dB,	13	0.08	-	80	kHz	160kbps
Balance code bit rate	12	-	64	-	kbps	
Time between code transitions	14	15.6	-	1000	µs	
Time between code transitions	14	15.6	-	120	µs	S version
Time between code transitions	14	6.25	-	100	µs	160kbps
Averaged code mark:space	14	30	50	70	%	in any 2ms
preamble duration	14	3	-	-	ms	01010101 pattern
preamble duration	14	1	-	-	ms	S version
link delay	14, 12	-	15	-	µs	TXD to RXD
Dynamic Timing						
Power up with signal present						
Power up to valid CD, t_{PU-CD}	11	-	0.7	1	ms	Note 2
Power up to stable AF, t_{PU-AF}	13	-	0.5	1	ms	
Power up to stable data, $t_{PU-data}$	12	-	3	5	ms	
Power up to stable data, $t_{PU-data}$	12	-		1	ms	1, S version
Power up to stable data, $t_{PU-data}$	12	-	-	0.8	ms	160kbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Baseband Transfer Performance	pin	min.	typ.	max.	units	notes
Signal applied with supply on						
Signal to valid CD, t_{sig-CD}	11	-	0.25	0.5	ms	Note 2
Signal to stable data, $t_{sig-data}$	12	-	3	4	ms	
Signal to stable data, $t_{sig-data}$	12	-	-	1	ms	1, S version
Signal to stable data, $t_{sig-data}$	12	-	-	0.5	ms	
TX power up to full RF	2	-	100	-	µs	

Notes: 1. from 45% to 55% duty cycle
2. CD works up to a temperature of 40° C

Antenna requirements

Three types of integral antenna are recommended and approved for use with the module:

A) ***Helical*** Wire coil, connected directly to pin 2, open circuit at other end. This antenna is very efficient given it's small size (20mm x 4mm dia.). The helical is a high Q antenna, trim the wire length or expand the coil for optimum results. The helical de-tunes badly with proximity to other conductive objects.

B) ***Loop*** A loop of PCB track tuned by a fixed or variable capacitor to ground at the 'hot' end and fed from pin 2 at a point 20% from the ground end. Loops have high immunity to proximity de-tuning.

C) ***Whip*** This is a wire, rod ,PCB track or combination connected directly to pin 2 of the module. Optimum total length is 16cm (1/4 wave @ 433MHz). Keep the open circuit (hot) end well away from metal components to prevent serious de-tuning. Whips are ground plane sensitive and will benefit from internal 1/4 wave earthed radial(s) if the product is small and plastic cased

	A *helical*	B *loop*	C *whip*
Ultimate performance	**	*	***
Easy of design set-up	**	*	***
Size	***	**	*
Immunity proximity effects	**	***	*
Range open ground to similar antenna			200m

The antenna choice and position directly controls the system range. Keep it clear of other metal in the system, particularly the 'hot' end. The best position by far, is sticking out the top of the product. This is often not desirable for practical/ergonomic reasons thus a compromise may need to be reached. If an internal antenna must be used, try to keep it away from other metal components, particularly large ones like transformers, batteries and PCB tracks/earth plane. The space around the antenna is as important as the antenna itself.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

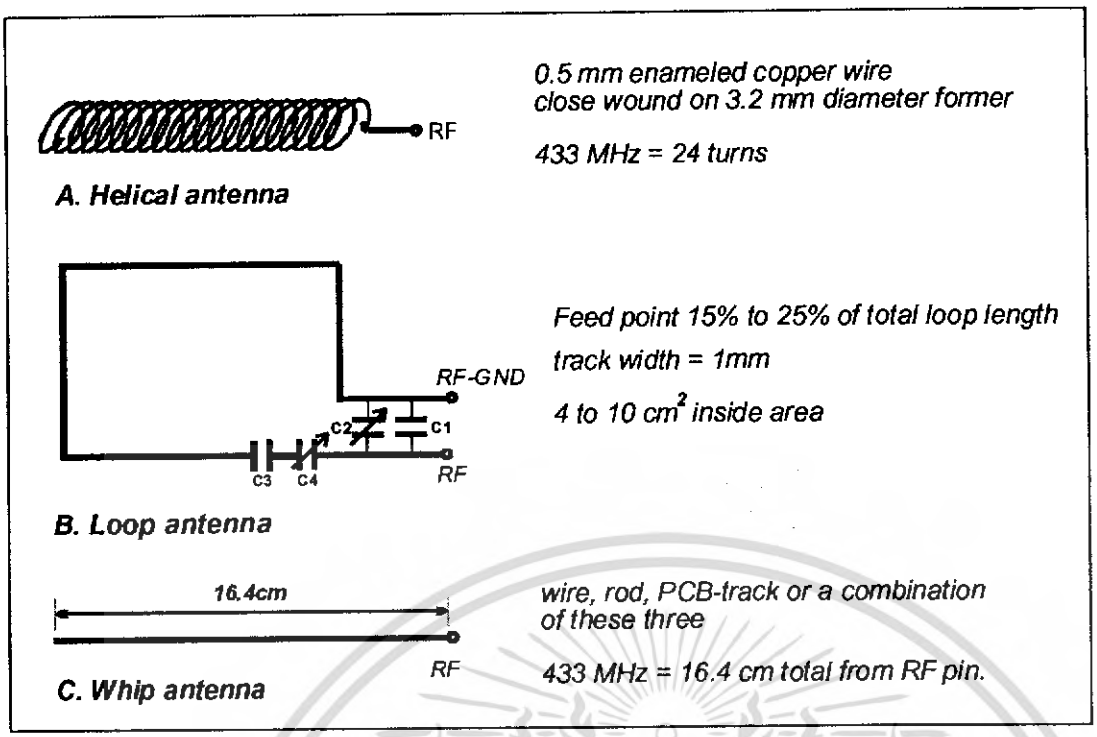


Figure 3: Antenna

Ordering information

The standard BiM2, order code BiM2-433-64 is supplied with pins fitted for operation on 5 volt supplies (4 to 5.5v)

Versions and Variants

BiM2-433-64-3V

A 3 volt version is available, BiM-433-64-3V for operation at 3.3volts (3.0 to 4.0 V) it is identical to the standard version but has been tested and aligned for operation at 3.3v.

BiM2-433-64-S

This is intended for RPC or Manchester code only and has fast settling time (maximum 1ms)

Additionally, for volume orders, Radiometrix can supply the BiM2 to the customers' PCB pin requirements or even without any pins.

BiM2-433-160-5V

This fast version BiM2 has a raw data rate of up to 160kbps. 3V version also available (BiM2-433-160-3V).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้