สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรแปลง A/D สำหรับสัญญาณเสียง

Analog to Digital converter for speech signal with oversampling techniques

T 086856

โดย

นายไพศาล ธรรมรักษา เลขประจำตัว 39013284

นายศุภกร ภาคสารศรี เลขประจำตัว 39013289

นายสถิตย์ ศรีมงคล เลขประจำตัว 39013290

วพ.
พ996ก
2541

เลขหมู่.....
เลขทะเบียน 86856
วัน,เดือน,ปี 16 ม.ค. 2552

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ การออกแบบวงจรแปลง A/D สำหรับสัญญาณเสียง
Analog to Digital converter for speech signal
with oversampling techniques

ชื่อนักศึกษา	นายไพศาล	ธรรมรักษา	เลขประจำตัว	39013284
	นายสุภกร	ภาคสารศรี	เลขประจำตัว	39013289
	นายสถิตย์	ศรีมงคล	เลขประจำตัว	39013290

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

ภาควิชา เทคนิคอุตสาหกรรม

ปีการศึกษา 2541

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรแปลง A/D สำหรับสัญญาณเสียง

Analog to Digital converter for speech signal with oversampling techniques

โดย	นายไพศาล	ธรรมรักษา	เลขประจำตัว	39013284
	นายสุภกร	ภาคสารศรี	เลขประจำตัว	39013289
	นายสถิตย์	ศรีมงคล	เลขประจำตัว	39013290

อาจารย์ที่ปรึกษา อาจารย์ดลชัย สุขเจริญผล

ปีการศึกษา 2541

บทคัดย่อ

ทุกวันนี้การสื่อสารแบบดิจิตอลได้รับความนิยมอย่างมาก เนื่องจากความเร็วในการส่งข้อมูลสูง และมีสัญญาณรบกวนต่ำ โครงงานนี้ถูกพัฒนาขึ้นเพื่อศึกษาวิธีการของโอเวอร์แซมปลิ้ง ซึ่งเป็นการแปลงสัญญาณ จากอนาล็อกเป็นดิจิตอล ที่กำลังจะเป็นที่นิยมต่อไปในอนาคตอันใกล้นี้ เนื่องจากโอเวอร์แซมปลิ้ง นั้นให้จำนวนบิทเอาท์พุทต่ำ เราสามารถออกแบบให้ระบบมีจำนวนบิทเอาท์พุทเป็น 1 บิท 2 บิท และ 3 บิท ได้ หากเราเพิ่มจำนวนบิทเอาท์พุทจะทำให้เราสามารถถ่ายทอดรายละเอียดของสัญญาณอนาล็อกอินพุทไปยังสัญญาณดิจิตอลเอาท์พุทได้มากขึ้น

สัญญาณดิจิตอลเอาท์พุท จะเป็นสัญญาณบิทต่อเนื่อง ซึ่งเกิดจากการเปรียบเทียบขนาดสัญญาณอนาล็อกอินพุทปัจจุบันกับสัญญาณอนาล็อกอินพุทที่เข้ามาก่อนหน้านี้ ซึ่งจะถูกแปลงเป็นดิจิตอลแล้วและยังมีอีกส่วนถูกแปลงกลับมาเป็นสัญญาณอนาล็อกเพื่อเปรียบเทียบกัน

พารามิเตอร์ที่สำคัญอีกอย่างก็คือ ความเร็วในการแซมปลิ้ง ของวงจรแปลงสัญญาณจากอนาล็อกเป็นสัญญาณดิจิตอลทั่วไปนั้น ใช้ความถี่ของสัญญาณนาฬิกา 8 kHz ในการแซมปลิ้ง แต่วิธีการของโอเวอร์แซมปลิ้งใช้ได้สูงถึง 256 kHz ซึ่งจะช่วยเพิ่มคุณภาพของสัญญาณอนาล็อกที่แปลงกลับมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog to Digital converter for speech signal with oversampling techniques

BY	Mr. Paisan	Thammaraksa	Code	39013284
	Mr. Suphakorn	Paksansri	Code	39013289
	Mr. Sathit	Srimongkol	Code	39013290

ADVISER Mr. Dolachai Sookcharoenphol

YEAR 1998

ABSTRACT

Today the digital communication is very popular because it give higher speed and lower noise. This project has developed to educate the oversampling which is coming to popular analog to digital converting because the oversampling give low bit output number of digital output signal. So you can convert the analog input signal to one bit, two bit and three bit of digital output if you increase the bit output number that is you can transfer more detail of analog input signal to digital output signal than the lesser bit output.

The digital output is continuous bit stream comes from the comparison of present and former amplitude of analog input signal so the digital output is the result of differentiation between present and former amplitude of analog input signal.

The next important parameter is sampling rate normally analog to digital for speech is 8 kHz but oversampling can use up to 256 kHz that increase the qualities of analog output signal of oversampling digital to analog circuit also.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี ทั้งในส่วนของข้อมูลที่ใช้ในปริญญานิพนธ์ เอกสาร คู่มืออ้างอิง เครื่องมือต่าง ๆ พร้อมทั้งสถานที่ อีกทั้งความรู้ คำแนะนำ ทั้งนี้ต้องขอขอบพระคุณอาจารย์ดลชัย สุขเจริญผล เป็นอย่างสูง ที่ให้คำแนะนำและคำปรึกษา ไว้ ณ ที่นี้ด้วย

คณะผู้จัดทำ

นายไพศาล ธรรมรักษา

นายศุภกร ภาคสารศรี

นายสถิตย์ ศรีมงคล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		ก
บทคัดย่อภาษาอังกฤษ		ข
กิตติกรรมประกาศ		ค
บทที่ 1	บทนำ	
	วัตถุประสงค์ของโครงงาน	1
บทที่ 2	ทฤษฎีสุ่มตัวอย่างและการมอดูเลตโดยใช้พัลส์	
	การสุ่มตัวอย่างและการสร้างสัญญาณกลับคืนมา	2
	ผลกระทบที่เกิดขึ้นในกรณีที่อัตราสุ่มตัวอย่างสูงไม่เพียงพอ	5
	การกระจายของสเปกตรัมกรณีสัญญาณสุ่มตัวอย่างมีความกว้างจำกัด	8
บทที่ 3	เดลต้ามอดูเลชัน (Delta modulation)	
	การเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ	14
	สเปคซิฟิเคชั่นของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล	15
	เสียงรบกวนจากควอนไตซิ่งในเดลต้าโมดูเลชั่น	17
	การเปรียบเทียบระบบพีซีเอ็มและดีเอ็ม	20
	ความต้องการด้านแถบความถี่	22
	ความยุ่งยากของอุปกรณ์	22
บทที่ 4	หลักการของ Oversampling	
	วงจรกรองความถี่ที่ใช้ป้องกันสัญญาณในย่านใช้งาน	24
	ความคล้ายคลึงกันระหว่าง PWM A/D และ Delta-Sigma Converters	26
	วงจรแปลงสัญญาณ อนาล็อกเป็นดิจิตอล แบบเดลตา-ซิกมา	28
	ระบบที่มอดูเลตแบบมัลติบิท (Multibit Modulators)	31
	ดิจิตอลฟิลเตอร์ (Digital filters)	32
	การเปรียบเทียบ ดิจิตอลฟิลเตอร์	34
	Decimation	35
	วงจรแปลงสัญญาณดิจิตอล เป็นอนาล็อกชนิด Delta - Sigma	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 5 หลักการทำงานและทฤษฎีการออกแบบ	
หลักการทำงานของภาค A/D Converter	38
หลักการทำงานของภาค D/A Converter	39
หลักการเดลต้ามอดูเลชั่น (Delta Modulation)	41
การออกแบบประยุกต์ใช้งาน CVSD	43
การจัดขาและหน้าที่ต่าง ๆ ของไอซี	48
วงจรเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก	51
บทที่ 6 การออกแบบและสร้างวงจรทางด้านภาค A/D Converter	
วงจรกำเนิดความถี่อ้างอิง	53
วงจรเดลต้ามอดูเลชั่น (DELTA MODULATION)	54
การออกแบบและประยุกต์ใช้งาน CVSD	55
บทที่ 7 การออกแบบและสร้างวงจรทางด้านภาค D/A Converter	
วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก	59
วงจรกรองความถี่ต่ำผ่าน	60
วงจร AUDIO AMPLIFIER	62
บทที่ 8 การทดลองและผลการทดลอง	63
บทที่ 9 สรุปผลการทดลองและวิจารณ์	72
หนังสืออ้างอิง	
ภาคผนวก ก รายละเอียดของวงจร	
ภาคผนวก ข รายละเอียดของอุปกรณ์	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 2 ทฤษฎีสุ่มตัวอย่างและการมอดูเลตโดยใช้พัลส์

รูปที่ 2.1 สัญญาณอนาล็อกกับการสุ่มตัวอย่าง 2

รูปที่ 2.2 บล็อกไดอะแกรมการสุ่มตัวอย่าง 4
และการสร้างสัญญาณเดิมกลับคืนมาแบบอุดมคติ

รูปที่ 2.3 สเปกตรัมของสัญญาณเบสแบนด์และสเปกตรัม 6
ของสัญญาณสุ่มตัวอย่างที่อัตราสุ่มต่าง ๆ กัน

รูปที่ 2.4 การซ้อนกันของสเปกตรัมเมื่อ fs < 2W 7

รูปที่ 2.5 การเกิดสเปกตรัมปลอมจาก 5.5 kHz เป็น 2.5 kHz 8
เมื่ออัตราการสุ่มเป็น 8 kHz

รูปที่ 2.6 การกระจายของสเปกตรัมกรณีที่สัญญาณสุ่มตัวอย่างเป็นพัลส์สี่เหลี่ยม 9

บทที่ 3 เดลต้ามอดูเลชัน (Delta modulation)

รูปที่ 3.1 การเข้ารหัสสัญญาณในระบบ DM 10

รูปที่ 3.2 การเกิดโอเวอร์โหลดทางความชันในระบบ 11

รูปที่ 3.3 บล็อกไดอะแกรมของการเข้ารหัสและการถอดรหัสในระบบ 11

รูปที่ 3.4 ระบบเดลต้าโมดูเลชั่นภาคส่งและภาครับ 16

รูปที่ 3.5 รูปคลื่นของเดลต้าโมดูเลชั่น 16

รูปที่ 3.6 เครื่องโมดูเลเตอร์เดลต้าแบบปรับกำลังขยายได้ 17

บทที่ 4 หลักการของ Oversampling

รูปที่ 4.1 Nonoversampling ADC 24

รูปที่ 4.2 Frequency Spectrum input, noise and aliasing 25

รูปที่ 4.3 ตัวอย่างของ PWM A/D converter with sampling clock Fs 27

รูปที่ 4.4 บล็อกไดอะแกรมขั้นพื้นฐานของ deltasigma ADC 28

รูปที่ 4.5 Delta-model with noise injection 28

รูปที่ 4.6 ลักษณะรูปร่างของ noise with modulation 30

รูปที่ 4.7 การแปลงสัญญาณอนาล็อกเป็นดิจิตอลโดยใช้ 30
Second-order delta-sigma modulation

รูปที่ 4.8 ผลของการใช้ high-order modulator 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 4.9 Multi-bit modulator 32

รูปที่ 4.10 แสดงให้เห็นข้อมูลที่ได้จากการแซมปลิ้งสำหรับ digital filtering 33

รูปที่ 4.11 บล็อกไดอะแกรมของ N th-order FIR filter 34

รูปที่ 4.12 บล็อกไดอะแกรมของ IIR filter 35

รูปที่ 4.13 FIR filter with 1/N Decimation 36

รูปที่ 4.14 Sampling Interpolation 37

บทที่ 5 หลักการทำงานและทฤษฎีการออกแบบ

รูปที่ 5.1 Block diagram ภาค A/D Converter 38

รูปที่ 5.2 Block diagram ภาค D/A Converter 39

รูปที่ 5.3 หลักการเดลต้ามอดูเลชั่น 40

รูปที่ 5.4 บล็อกแผนผังการทำงานของซีวีเอสดีในการแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล 42

รูปที่ 5.5 บล็อกแผนผังการทำงานของซีวีเอสดีในการแปลงสัญญาณจากดิจิตอลเป็นอนาล็อก 42

รูปที่ 5.6 วงจร CVSD encode/decode 45

รูปที่ 5.7 ผลของ S/N เมื่อเทียบกับการตอบสนองความถี่ 45

รูปที่ 5.8 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล 52

รูปที่ 5.9 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก 52

บทที่ 6 การออกแบบและสร้างวงจรทางด้านภาค A/D Converter

รูปที่ 6.1 แสดงวงจรกำเนิดความถี่อ้างอิง 54

รูปที่ 6.2 แสดงวงจร CVSD MODULATION 58

บทที่ 7 การออกแบบและสร้างวงจรทางด้านภาค D/A Converter

รูปที่ 7.1 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก 59

รูปที่ 7.2 แสดงวงจรสมมูลย์ LOW PASS FILTER 60

รูปที่ 7.3 แสดงวงจรกรองความถี่ต่ำผ่าน 61

รูปที่ 7.4 แสดงวงจร AUDIO AMPLIFIER 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

บทที่ 8 การทดลองและผลการทดลอง

รูปที่ 8.1 Block diagram แสดงการวัดสัญญาณตามจุดต่าง ๆ 63

รูปที่ 8.2 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 8 kHz 64

รูปที่ 8.3 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 16 kHz 64

รูปที่ 8.4 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 32 kHz 65

รูปที่ 8.5 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 64 kHz 65

รูปที่ 8.6 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 128 kHz 66

รูปที่ 8.7 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 256 kHz 66

รูปที่ 8.8 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 8 kHz 67

รูปที่ 8.9 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 16 kHz 68

รูปที่ 8.10 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 32 kHz 68

รูปที่ 8.11 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 64 kHz 69

รูปที่ 8.12 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 128 kHz 69

รูปที่ 8.13 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 256 kHz 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่ 8.14 Block diagram แสดงการต่อวงจร Compander ซึ่งประกอบด้วยวงจร Compressor และวงจร Expander เพื่อเข้ามาช่วยในการลดสัญญาณรบกวน 71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบัน การส่งสัญญาณด้วยระบบดิจิตอล ได้ถูกนำมาใช้กันอย่างกว้างขวางโดยที่ระบบดิจิตอลไม่เพียงแต่จะเป็นโครงข่ายที่ทำให้เกิดการประหยัดเท่านั้น แต่ยังทำให้เกิดการสื่อสารที่มีประสิทธิภาพสูงขึ้นด้วย ปัจจัยที่สำคัญของการสื่อสารแบบดิจิตอลคือ ความเร็วในการส่งสัญญาณ ซึ่งจะเห็นว่าถ้าความเร็วในการส่งสัญญาณมีมากเพียงใด การสื่อสารข้อมูลต่าง ๆ จากต้นทางไปยังปลายทาง ก็สามารถติดต่อกันได้รวดเร็วมากขึ้นด้วย

กระบวนการในการส่งสัญญาณดิจิตอลนั้น จะประกอบด้วยขั้นตอนต่าง ๆ โดยเริ่มตั้งแต่ การแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล (Analog to Digital Convertion) เมื่อได้สัญญาณดิจิตอลแล้ว ก็จะนำไปเข้ารหัส (Encode) แล้วส่งสัญญาณนี้ไปตามช่องสัญญาณที่กำหนดไว้ ถ้าข้อมูลที่จะส่งมีมากและต้องการส่งเร็วขึ้น จะต้องนำสัญญาณดิจิตอลที่ได้มาทำการมัลติเพล็กซ์ (Multiplex) แล้วส่งสัญญาณไปพร้อม ๆ กัน เมื่อถึงปลายทางก็ต้องทำการดีมัลติเพล็กซ์ (Demultiplex) เพื่อแยกสัญญาณออกมา แล้วส่งสัญญาณไปยังอุปกรณ์ปลายทางที่ต้องการ

โดยปกติ สัญญาณข้อมูลต่าง ๆ ตามธรรมชาติ เช่น ศักดาไฟฟ้า , กระแสไฟฟ้า , ประจุไฟฟ้า , อุณหภูมิ , ความดัน และเวลา จะอยู่ในรูปของสัญญาณต่อเนื่อง หรือสัญญาณอนาล็อก แต่ในปัจจุบันอุปกรณ์อิเล็คทรอนิคส์มีการนำเอารูปแบบของสัญญาณดิจิตอลมาใช้งานมากขึ้น ยกตัวอย่างเช่น วงจรประมวลสัญญาณดิจิตอล , วงจรเครื่องบันทึกและเล่นกลับในเครื่องเสียงแบบดิจิตอล , วงจรด้านการสื่อสารข้อมูลแบบพัลส์โค๊ดมอดูเลเตอร์ , วงจรสังเคราะห์ภาพ เป็นต้น วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D) จึงเข้ามาเป็นส่วนหนึ่งของอุปกรณ์อย่างหลีกเลี่ยงไม่ได้ และวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลจะต้องมีประสิทธิภาพการทำงานที่ดี สามารถแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิตอลโดยมีความผิดเพี้ยนของสัญญาณต่ำและมีความเที่ยงตรงของสัญญาณสูง

วัตถุประสงค์ของโครงงานนี้

1. เพื่อศึกษาการทำงานของระบบ Delta Modulation โดยใช้เทคนิคของการทำ Oversampling
2. เพื่อศึกษาและพัฒนาวงจร A/D และ D/A ให้มีประสิทธิภาพในการแปลงสัญญาณที่ดี มีความผิดเพี้ยนของสัญญาณต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีสุ่มตัวอย่างและการมอดูเลตโดยใช้พัลส์

การสุ่มตัวอย่างและการสร้างสัญญาณกลับคืนมา

ทฤษฎีสุ่มตัวอย่างของไนควิสต์ (Nyquist's sampling theorem)

ไนควิสต์ได้เสนอทฤษฎีบทไว้ว่า ถ้าเรามีสัญญาณอนาล็อกที่มีสเปกตรัมสูงสุดจำกัดที่ค่าหนึ่ง เราจะสร้างสัญญาณพัลส์ที่มีข่าวสารของสัญญาณอนาล็อกนั้นอยู่อย่างครบถ้วน โดยทำการสุ่มตัวอย่างจากสัญญาณอนาล็อกนั้นด้วยอัตราสุ่มที่เหมาะสม การที่กล่าวว่าสัญญาณพัลส์ที่สร้างขึ้นจะมีข่าวสารของสัญญาณอนาล็อกอยู่อย่างครบถ้วนก็เพราะว่า เราจะสามารถสร้างสัญญาณอนาล็อกกลับมาใหม่ได้ โดยการจัดการกับสัญญาณพัลส์อย่างเหมาะสม ทฤษฎีบทของไนควิสต์นี้จะสามารถพิสูจน์ให้เห็นจริงได้ โดยใช้หลักการของการกระจายอนุกรมฟูเรียร์ และฟูเรียร์ทรานสฟอร์มดังต่อไปนี้ ก่อนอื่นพิจารณารูปที่ 2.1 ถ้าให้สัญญาณอนาล็อกที่พิจารณาอยู่นี้มีสเปกตรัมสูงสุดเป็น W และฟูเรียร์ทรานฟอร์มของสัญญาณนี้เขียนได้เป็น V(f) สัญญาณอนาล็อกนี้ก็จะเขียนได้เป็น

$$V(t) = \int_{-\infty}^{\infty} V(f)e^{j2\pi ft}\,dt$$
$$= \int_{-w}^{w} V(f)e^{j2\pi ft}\,dt \qquad (1)$$

รูปที่ 2.1 สัญญาณอนาล็อกกับการสุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราทำการสุ่มตัวอย่างนี้ด้วยอัตราการสุ่ม f_s โดยให้ fs = 2W และให้คาบเวลาของการสุ่มเป็น $T_s = 1/f_s$ ที่เวลาสุ่มตัวอย่างที่ n คือ t_n ซึ่งเท่ากับ nT_s เราจะเขียนสัญญาณจากสมการ (1) ได้เป็น

$$v(nT_s) = \int_{-w}^{w} V(f)e^{j2\pi f(nT_s)}dt \qquad (2)$$

เนื่องจาก V(f) มีสเปกตรัมอยู่ในช่วง -W ถึง W เท่านั้น ดังนั้นเราจะสามารถกระจาย V(f) ให้อยู่ในรูปของอนุกรมฟูเรียร์ และแสดง V(f) ในรูปต่อไปนี้

$$V(f) = \begin{cases} \sum_{n=-\infty}^{\infty} C_n e^{-2j\pi f(nT_s)} & |f| \le w \\ 0 & |f| > 0 \end{cases} \qquad (3)$$

เมื่อหาค่า C_n จากสมการ (3) จะได้ผลดังนี้

$$C_n = \frac{1}{2W}\int_{-w}^{w} V(f)e^{j2\pi f(nT_s)}df$$
$$= T_s\int_{-w}^{w} V(f)e^{j2\pi f(nT_s)}df \qquad (4)$$

เมื่อเปรียบเทียบสมการ (4) กับสมการ (2) จะได้ความสัมพันธ์ระหว่าง C_n และ $v(nT_s)$ในรูปต่อไปนี้

$$v(nT_s) = \frac{Cn}{T_s} \qquad (5)$$

ผลที่ได้ตามสมการ (5) นี้เป็นการบ่งบอกว่า ค่าสุ่มตัวอย่างของสัญญาณอนาล็อกที่ตำแหน่ง nT_s นั้นจะเกี่ยวข้องกับสัมประสิทธิ์ฟูเรียร์ของ V(f) อย่างใกล้ชิด ซึ่งหมายความว่าเราจะสามารถสร้าง v(t) กลับมาได้ โดยใช้ $v(nT_s)$ ตามขั้นตอนต่อไปนี้ ก่อนอื่นแทนสมการ (5) ลงในสมการ (3) จะได้

$$V(f) = Ts\sum_{n=-\infty}^{\infty} v(nT_s)e^{-j2\pi f(nT_s)} \qquad (6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

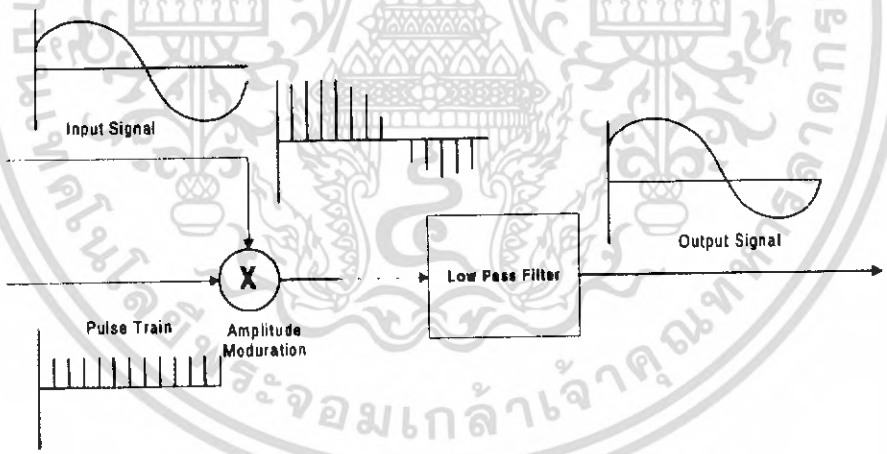
เมื่อนำสมการ (6) แทนค่าเข้าไปในสมการ (1) จะได้ผลดังนี้

$$v(t) = \int_{-W}^{W} Tsv(nT_s)e^{-j\pi f(nT_s)}\, e^{j2\pi ft}\, df$$

$$= \sum_{n=-\infty}^{\infty} v(nT_s)\frac{\sin 2\pi W(t-nT_s)}{2\pi W(t-nT_s)}$$

$$= \sum_{n=-\infty}^{\infty} v(nT_s)\,\mathrm{sinc}\left[2\pi W(t-T_s)\right] \qquad (7)$$

ผลที่ได้ตามสมการ (7) นี้ ที่ตำแหน่งที่ $t = mT_s$ $\mathrm{sinc}[2\pi W(t-mT_s)]$ จะเท่ากับ 1 ส่วน $\mathrm{sinc}[2\pi W(t-nT_s)] = \mathrm{sinc}[2\pi WT_s(m-n)] = \mathrm{sinc}\,\pi[(m-n)] = 0$ นั่นคือ ถ้าเราดูสัญญาณที่เวลา mT_s เนื่องจากสัญญาณสุ่มตัวอย่าง $v(nT_s)$ ที่ $n \neq m$ จะไม่มาส่งผลกระทบมาที่เวลา mT_s เพราะว่า $v(nT_s)\mathrm{sinc}[\pi(m-n)] = 0$ เราจะได้ว่า ที่เวลา mT_s สัญญาณ V(t) ที่ได้กลับมาก็คือ $v(mT_s)$ ซึ่งตรงกับสัญญาณเดิม



รูปที่ 2.2 บล็อกไดอะแกรมแสดงการสุ่มตัวอย่างและการสร้างสัญญาณเดิมกลับคืนมาแบบอุดมคติ

ขั้นตอนที่กล่าวมาทั้งหมดตั้งแต่ต้นนั้น เมื่อเขียนเป็นบล็อกไดอะแกรมแสดงการทำงานแบบอุดมคติในภาคปฏิบัติ ก็จะเป็นอย่างที่แสดงไว้ในรูปที่ 2.2 กล่าวคือ การสุ่มตัวอย่างที่ได้ออกมาก็จะเป็นสัญญาณอิมพัลส์ที่มีขนาด $v(nT_s)$ เมื่อขบวนของสัญญาณสุ่มตัวอย่างนี้ผ่านเข้าสู่วงจรฟิลเตอร์ผ่านความถี่ต่ำแบบอุดมคติ ที่มีแบนวิดท์เป็น W สัญญาณขาออกจากฟิลเตอร์ก็จะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปร่างเหมือนกับข้างขวามือของสมการ (7) ทุกประการ ดังนั้นในกรณีที่ระบบเป็นอุดมคติตามที่กล่าวมานี้ สัญญาณที่สร้างคืนมาก็จะเหมือนกับสัญญาณเดิมทุกประการ อย่างไรก็ตามในทางปฏิบัติจริง ๆ นั้น ระบบที่สร้างขึ้นได้จะไม่เป็นแบบอุดมคติตามที่กล่าวมานี้ เพราะสัญญาณอิมพัลส์จะสร้างไม่ได้ จะสร้างได้เป็นพัลส์ที่แคบถึงระดับหนึ่งเท่านั้น และฟิลเตอร์แบบอุดมคติก็สร้างไม่ได้ ดังนั้นผลที่ได้จริง ๆ ในทางปฏิบัติจะแตกต่างไปเล็กน้อย

ผลกระทบที่เกิดขึ้นในกรณีที่อัตราสุ่มตัวอย่างสูงไม่เพียงพอ

ในหัวข้อก่อนได้กล่าวถึง การสุ่มตัวอย่างสัญญาณอนาล็อกโดยใช้ความถี่ของการสุ่มคือ $f_s = 2W$ อันที่จริงในระบบทั่วไปที่ไม่ใช่อุดมคตินั้น ความถี่ของการสุ่มจะต้องสูงกว่า 2W เสมอ ในหัวข้อนี้จะกล่าวถึงความจำเป็นที่ f_s จะต้องสูงกว่า 2W ดังกล่าวนี้ และผลกระทบที่จะเกิดขึ้นในกรณีที่ $f_s < 2W$

เพื่อความสะดวกในการพิจารณา ก่อนอื่นเราจะหาฟูเรียร์สเปกตรัม ของสัญญาณสุ่มตัวอย่างอีกครั้งหนึ่ง โดยใช้ระบบอุดมคติในรูปที่ 2.2 ตามรูปสัญญาณที่ออกจากวงจรคูณ จะเขียนได้ดังนี้

$$v_s(t) = v(t) \sum_{n=-\infty}^{\infty} \delta(t - nT_s) \tag{8}$$

เมื่อทำการหาฟูเรียร์ทรานฟอร์มของสมการ (8) นี้จะได้

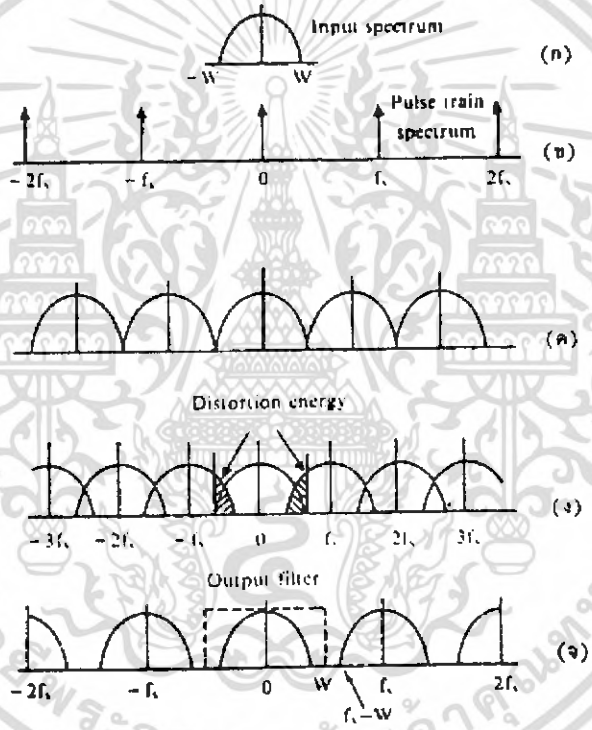
$$v_s(t) = V(f) * \sum_{n=-\infty}^{\infty} f_s \ \delta(f - nf_s)$$

$$= \sum_{n=-\infty}^{\infty} f_s V(f - nf_s) \tag{9}$$

เมื่อนำฟูเรียร์สเปกตรัมที่ได้สมการ (9) นี้ไปเขียนเป็นรูปก็จะได้ดังรูปที่ 2.3 โดยที่รูป (ก) แสดงสเปกตรัมของสัญญาณอนาล็อกเบสแบนด์คือ V(f) รูป (ข) แสดงสเปกตรัมของขบวนอิมพัลส์ที่มีความถี่เป็น nf_s รูป (ค) แสดงการกระจายของสเปกตรัมกรณีที่ทำการสุ่มตัวอย่างด้วย $f_s = 2W$ รูป (ง) และรูป (จ) นั้นแสดงกรณีที่ $f_s < 2W$ และ $f_s > 2W$ ตามลำดับ สเปกตรัมของสัญญาณที่แสดงไว้ในรูป (ค) ถึงรูป (จ) นี้อันที่จริงก็คือ สเปกตรัมของสัญญาณที่ถูกมอดูเลตแล้วนั่นเอง ลักษณะการมอดูเลตแบบนี้เรียกว่า พัลส์แอมปลิจูดมอดูเลชั่น (Pulse amplitude modulation ย่อว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PAM) เมื่อสัญญาณที่ถูกมอดูเลตแล้วมีสเปกตรัมดังที่แสดงไว้ในรูป (ค) ถึง (จ) การทำดีมอดูเลชั่น ซึ่งก็คือ การดึงเอาเฉพาะสเปกตรัมของสัญญาณเบสแบนด์ออกมา ก็อาจทำได้โดยใช้ฟิลเตอร์ผ่านความถี่ต่ำ อย่างไรก็ตาม ตามรูป (ค) นั้นจะต้องใช้ฟิลเตอร์ผ่านความถี่ต่ำแบบอุดมคติ จึงจะสามารถสกัดสเปกตรัมของความถี่ที่อยู่ติดกันได้ แต่เนื่องจากฟิลเตอร์แบบอุดมคตินั้นสร้างไม่ได้ เพราะฉะนั้นจึงไม่อาจป้องกันการรบกวนจากสเปกตรัมที่มีความถี่สูงกว่าดังกล่าวได้ สำหรับกรณีของรูป (ง) ซึ่ง fs $<$ 2W นั้นลักษณะจะเหมือนกับการใช้ความถี่คลื่นพาห์ที่สูงไม่เพียงพอในการมอดูเลต ซึ่งทำให้สเปกตรัมของสัญญาณไซด์แบนด์ซ้อนกันอยู่ ในสภาพเช่นนี้ถึงแม้จะใช้ฟิลเตอร์ผ่านความถี่

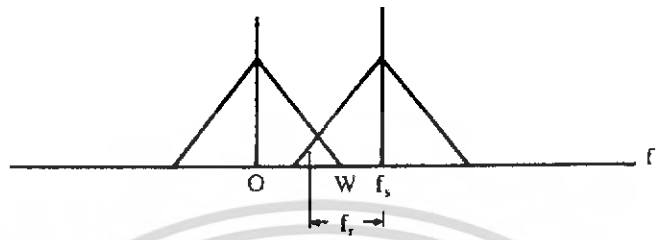


รูปที่ 2.3 สเปกตรัมสัญญาณเบสแบนด์และสเปกตรัมของสัญญาณสุ่มตัวอย่างที่อัตราสุ่มต่างๆ กัน

แบบอุดมคติ ก็ไม่สามารถสกัดการรบกวนระหว่างไซด์แบนด์ได้ สำหรับกรณีที่ fs $>$ 2W ตามรูป (จ) นั้นจะลดความยุ่งยากในการใช้ฟิลเตอร์ลง โดยเฉพาะถ้าช่วงการ์ดแบนด์ (guard band) คือ f_s - 2W มีขนาดกว้างขึ้น ดังนั้นในกรณีทั่วไปจะเป็นไปตามเงื่อนไขในรูป (จ) นี้ ตัวอย่างของการสุ่มตัวอย่างสัญญาณเสียงซึ่งมีสเปกตรัมสูงสุดอยู่ที่ 3.4 kHz ก็จะใช้อัตราการสุ่มคือ f_s เท่ากับ 8 kHz ซึ่งทำให้เกิดการ์ดแบนด์ 1.2 kHz ทำให้การสร้างฟิลเตอร์ทำได้ง่ายขึ้น ในระบบ PCM ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

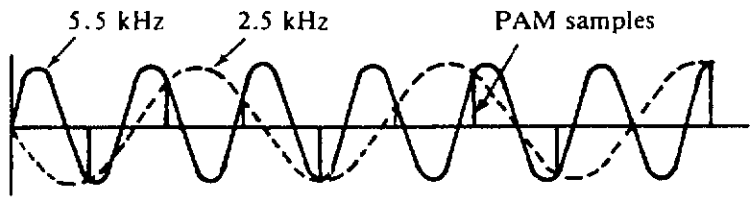
จะกล่าวถึงต่อไปก็จะใช้อัตราการสุ่มดังกล่าวนี้ สำหรับอัตราสุ่มตัวอย่างขั้นต่ำที่จำเป็นคือ fs = 2W นั้น โดยทั่วไปเรียกว่า อัตราการสุ่มตัวอย่างของไนควิสต์ (Nyquist sampling rate)



รูปที่ 2.4 การซ้อนกันของสเปกตรัมเมื่อ $f_s < 2W$

ในลำดับต่อไปจะพิจารณาผลกระทบของกรณีที่ $f_s < 2W$ ซึ่งทำให้ไซด์แบนด์ของสเปกตรัมมาซ้อนกันอยู่ดังรูปที่ 2.2 (ง) เพื่อให้เห็นภาพที่ชัดเจนขึ้นจะขอใช้รูปที่ 2.4 ในการอธิบาย ในการดีมอดูเลตนั้น เมื่อเราใช้ฟิลเตอร์ผ่านความถี่ต่ำที่มีแบนด์วิดท์เป็น $f_s/2$ มาใช้ในการดีมอดูเลตสัญญาณ เราจะพบว่าสัญญาณที่ดีมอดูเลตมาได้นั้นจะเกิดการผิดเพี้ยนขึ้น เพราะสเปกตรัมในช่วง $f_s/2$ ถึง W ผ่านฟิลเตอร์ไม่ได้ นอกจากนั้นสเปกตรัมที่เกิดอยู่ในช่วง f_s - W ถึง $f_s/2$ ก็อาจจะเป็นของปลอมได้ กล่าวคือในช่วงที่สเปกตรัมของไซด์แบนด์ซ้อนกันอยู่นี้ f_r ซึ่งเป็นสเปกตรัมของความถี่เบสแบนด์จะทำให้เกิดสเปกตรัม $f_s - f_r$ ในความถี่เบสแบนด์เพิ่มขึ้นมา ได้ดังแสดงในรูป นั่นหมายความว่าถึงแม้สัญญาณเดิมจะไม่มีสเปกตรัม $f_s - f_r$ อยู่ สเปกตรัม f_r ก็จะทำให้เกิดสเปกตรัม $f_s - f_r$ ขึ้นมา สเปกตรัม f_r จึงเป็นของปลอมที่ไม่ได้มีจริงตั้งแต่ต้น ลักษณะเช่นนี้เรียกว่า การเกิดสเปกตรัมปลอม (aliasing) ซึ่งเป็นสิ่งที่ต้องระวังอย่างมากในการออกแบบระบบจริง รูปที่ 2.5 แสดงการเกิดสเปกตรัมปลอมในกรณีที่ทำการสุ่มตัวอย่างสัญญาณไซน์ความถี่ 5.5 kHz ด้วยอัตราการสุ่ม 8 kHz แล้วทำการดีมอดูเลตด้วยฟิลเตอร์ผ่านความถี่ต่ำที่มีแบนด์วิดท์เป็น 4 kHz สเปกตรัมปลอมที่เกิดขึ้นจะมีความถี่เป็น 8 kHz - 5.5 kHz = 2.5 kHz ซึ่งแสดงเป็นเส้นประไว้ในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 การเกิดสเปกตรัมปลอมจาก 5.5 kHz เป็น 2.5 kHz เมื่ออัตราการสุ่มเป็น 8 kHz

การกระจายของสเปกตรัมกรณีสัญญาณสุ่มตัวอย่างมีความกว้างจำกัด

สัญญาณพัลส์ที่นำไปคูณกับสัญญาณจริง เพื่อทำการสุ่มตัวอย่างนั้น ในทางปฏิบัติมักจะไม่สามารถสร้างให้แคบมากจนเป็นอิมพัลส์ได้ จึงมักจะต้องมีความกว้างของพัลส์จำกัดอยู่ที่ค่า ๆ หนึ่ง ถ้าให้ความกว้างของพัลส์เป็น τ สมการ (8) จะเขียนได้เป็น

$$v_s(t) = v(t) \sum_{n=-\infty}^{\infty} p(t - nT_s) \tag{10}$$

โดยที่

$$p(t) = \begin{cases} 1 & |t| \le \tau/2 \\ 0 & |t| > \tau/2 \end{cases} \tag{11}$$

เมื่อทำฟูเรียร์ทรานฟอร์มสมการ (10) จะได้

$$V_s(f) = V(f) * \sum_{n=-\infty}^{\infty} f_s P(f) \delta(f - nf_s) \tag{12}$$

โดยที่ $P(f)$ เป็นฟูเรียร์ทรานฟอร์มของ $p(t)$ และเขียนได้เป็น

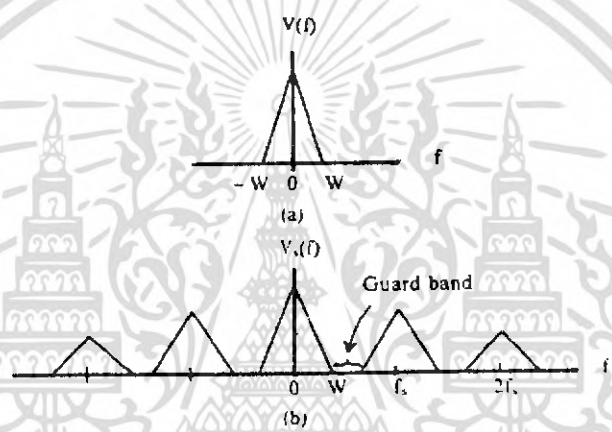
$$P(f) = \tau \operatorname{sinc}(\pi f \tau) \tag{13}$$

เมื่อแทนค่าสมการ (13) ลงในสมการ (12) พร้อมทั้งหาคอนโวลูชันของสมการ (12) จะได้ผลดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_s(f) = \sum_{n=-\infty}^{\infty} \tau f_S \, \mathrm{sinc}(\pi \tau n f_S) V(f - n f_S) \qquad (14)$$

เมื่อพิจารณาผลที่ได้ในสมการ (14) นี้จะเห็นได้ว่า สเป็กตรัมของความถี่ฮาร์โมนิกส์ จะมีขนาดลดต่ำลงโดยมี $\tau \mathrm{sinc}(\pi \tau n f_s)$ เป็นเอ็นเวลโลปอยู่ รูปที่ 2.6 แสดงการกระจายของสเป็กตรัมตามสมการ (14) นี้ ดังนั้นในกรณีนี้เราก็จะสามารถใช้วงจรฟิลเตอร์ผ่านความถี่ต่ำ ในการดีมอดูเลตสัญญาณเบสแบนด์ออกมาได้เช่นเดียวกัน

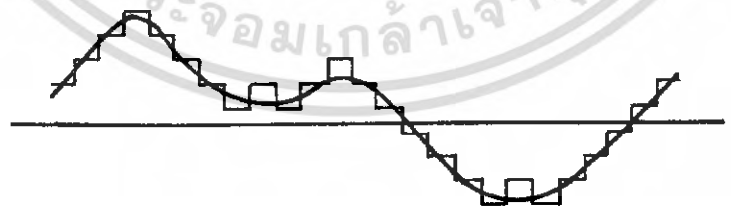


รูปที่ 2.6 การกระจายของสเป็กตรัมกรณีที่สัญญาณสุ่มตัวอย่างเป็นพัลส์สี่เหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

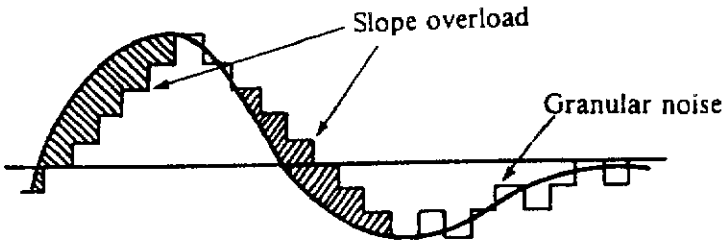
บทที่ 3
เดลต้ามอดูเลชัน (Delta modulation)

เดลต้ามอดูเลชันหรือ DM เป็นวิธีมอดูเลตสัญญาณอนาล็อก โดยแปลงสัญญาณให้อยู่ในรูปของสัญญาณดิจิตอลเช่นเดียวกัน DM ก็อาศัยลักษณะที่สัญญาณอนาล็อกที่ถูกสุ่มตัวอย่างมีข่าวสารที่ซ้ำซ้อนกันอยู่ เช่นเดียวกับ DPCM แต่วิธีการของ DM นั้นค่อนข้างจะแตกต่างกันมากเมื่อเปรียบเทียบกับ DPCM กล่าวคือ DM นั้นจะใช้สัญญาณไบนารีเพียง 1 บิท ในการระบุการเปลี่ยนแปลงระดับของสัญญาณสุ่มตัวอย่าง รูปที่ 3.1 แสดงลักษณะของการติดตาม สัญญาณในระบบ DM นี้ ในรูปแสดงกรณีที่ขึ้นของการควอนไตซ์สอดคล้องกับการเปลี่ยนแปลงของสัญญาณมาก ในกรณีที่การเปลี่ยนแปลงของสัญญาณมีความชันสูงกว่าขั้นของการควอนไตซ์ ก็จะเกิดสภาพที่การเข้ารหัสไม่สามารถติดตามการเปลี่ยนแปลงของระดับสัญญาณได้ ซึ่งเรียกสภาพดังกล่าวว่าเกิดการโอเวอร์โหลดทางความชัน (slope overload) รูปที่ 3.2 แสดงสภาพดังกล่าวนี้ รูปที่ 3.3 แสดงบล็อกไดอะแกรมของชุดเข้ารหัส และชุดถอดรหัสของระบบ DM นี้ ซึ่งจะเห็นได้ว่าเป็นระบบที่ค่อนข้างง่าย การทำงานก็จะเป็นดังนี้คือ สัญญาณที่เข้ามาจะถูกเปรียบเทียบกับสัญญาณขาออกจากชุดเข้ารหัสก็จะเป็น "1" ถ้าสัญญาณที่เข้ามาต่ำกว่าเดิม สัญญาณขาออกจากชุดเข้ารหัสก็จะเป็น "0" สำหรับชุดถอดรหัสทางภาครับก็นำสัญญาณดิจิตอลที่รับเข้ามาได้ ไปให้กำเนิดสัญญาณพัลส์ที่เป็นบวกหรือเป็นลบตามรหัสที่รับเข้ามา เสร็จแล้วก็อินทิเกรดสัญญาณพัลส์นั้นไปเรื่อย ๆ และเมื่อผ่านวงจรฟิลเตอร์ผ่านความถี่ต่ำแล้ว สัญญาณที่อยู่ในรูปขั้นบันไดก็จะราบเรียบขึ้นและเข้าใกล้สัญญาณอนาล็อกเดิม

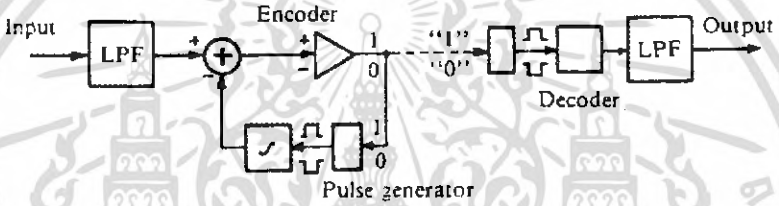


รูปที่ 3.1 การเข้ารหัสสัญญาณในระบบ DM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 การเกิดโอเวอร์โหลดทางความชันในระบบ



รูปที่ 3.3 บล็อกไดอะแกรมของการเข้ารหัสและการถอดรหัสในระบบ

จากรูปที่ 3.2 จะเห็นได้ว่า สัญญาณรบกวนที่เกิดขึ้นได้ในระบบ DM นั้นมี 2 แบบด้วยกันคือ สัญญาณรบกวนแบบเม็ด (granular noise) และสัญญาณรบกวนจากการเกิดโอเวอร์โหลดทางความชัน อันที่จริงการเกิดโอเวอร์โหลดทางความชันนั้น จะเกิดขึ้นเพราะอัตราการเปลี่ยนแปลงของสัญญาณ ตามเวลาสูงกว่าผลคูณของความถี่ของการสุ่มตัวอย่างกับขั้นของการควอนไตซ์ หรือ

$$\left|\frac{dx(t)}{dt}\right| > q \cdot f_s \qquad (15)$$

เพราะฉะนั้น เราจะสามารถลดขนาดของสัญญาณรบกวนจากการเกิดโอเวอร์โหลดทางความชันโดยการเพิ่ม f_s หรือใช้ค่า q ที่ใหญ่ขึ้น ค่า f_s ในกรณีนี้โดยทั่วไปก็จะสูงกว่าของกรณี PCM อยู่แล้ว ดังนั้นการเพิ่มค่า f_s เพียงอย่างเดียวก็จะทำให้อัตราการส่งสัญญาณดิจิตอลต้องสูงขึ้นไปอีก สำหรับการขยายขนาดของ q นั้น ก็จะทำให้สัญญาณรบกวนแบบเม็ดสูงขึ้น เพราะฉะนั้นจึงต้องทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประนีประนอมระหว่างการเลือกค่า q และค่า f_s แต่เนื่องจากผลเสียของการเกิดโอเวอร์โหลดทางความชันมีน้อยกว่าสัญญาณรบกวนแบบเม็ด เพราะสัญญาณเบสแบนด์ที่ตีกลับมาจะใกล้เคียงกับสัญญาณเดิมมากกว่า ดังนั้นในที่นี้จะพิจารณาผลกระทบของสัญญาณรบกวน แบบเม็ดเป็นหลัก ในกรณีของระบบ DM แบบเชิงเส้นนั้น อัตราการสุ่มตัวอย่างต้องสูงกว่าอัตราการสุ่มตัวอย่างของไนควิสต์เสมอ และเมื่อใช้อัตราการสุ่มตัวอย่างสูงกว่าความถี่คัตออฟของฟิลเตอร์ ของสัญญาณขาเข้ามากกว่า 6 เท่า จากการศึกษาของผู้เชี่ยวชาญหลาย ๆ คนพบว่า สัญญาณรบกวนแบบเม็ดจะมีขนาดแปรตามอัตราส่วน ระหว่างความถี่คัตออฟของฟิลเตอร์ทางภาครับ กับความถี่ในการสุ่มตัวอย่างในรูปต่อไปนี้

$$N_Q = K\left(\frac{f_c}{f_s}\right)q^2 \tag{16}$$

โดยที่ f_c และ f_s เป็นความถี่คัตออฟของฟิลเตอร์ และความถี่ในการสุ่มตัวอย่างตามลำดับ สำหรับ K นั้นเป็นค่าคงที่ และมีค่าเท่ากับ 0.32 (นักวิชาการบางคนเสนอให้ใช้ค่า K = 0.18, 0.51 แต่โดยทั่วไปใช้ K = 0.32) จากสมการ (15) และสมการ (16) นี้ เราจะสามารถหาค่า SQR ได้ดังนี้

ในกรณีที่ $x(t) = A\sin wt$ จะได้ $q = 2\pi fA/f_s$ ซึ่งนำไปคำนวณ SQR ได้ดังนี้

$$SQR = \frac{A^2/2}{K(f_c/f_s)(2\pi fA/f_s)^2}$$

$$= 0.04\frac{f_s^3}{f_c f^2} \tag{17}$$

ผลที่ได้ตามสมการ (17) นี้จะต้องระวังในประเด็นที่ว่า สมการ (17) นี้หามาได้จากสมมุติฐานที่ว่าเราได้เลือกใช้ขั้นของการควอนไตซ์เหมาะสมกับการเปลี่ยนแปลงของสัญญาณ ดังนั้นถ้าเราสามารถเลือกขั้นของการควอนไตซ์เหมาะสมตลอดเวลา (ซึ่งหมายถึง ระบบนั้นจะต้องเป็น ADM) เราก็จะได้ผลตามสมการ (17) คือ ค่า SQR จะสูงขึ้นเมื่อความถี่ f ต่ำลง แต่ถ้าขั้นของการควอนไตซ์คงที่ ก็จะไม่สามารถสรุปเช่นนั้นได้ และข้อสังเกตอีกประการหนึ่งในการหาสมการ (17) ก็คือ เป็นการควอนไตซ์จากสัญญาณที่มีค่าแอมปลิจูดเป็น A แต่โดยทั่วไปค่าแอมปลิจูดนี้จะต้องครอบคลุมช่วงไดนามิกที่ต้องการ ดังนั้นถ้าให้ A_{min} และ A_{max} เป็นแอมปลิจูดของสัญญาณระดับต่ำสุดและระดับสูงสุดที่ต้องการเข้ารหัสตามลำดับ ช่วงไดนามิกหรือ DR จะเขียนได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$DR = (A_{max}/A_{min})^2$ และเนื่องจากค่า SQR จะต่ำที่สุดที่แอมปลิจูด A_{min} และขั้นของการควอนไตซ์ถูกกำหนดจาก A_{max} คือ $q = 2\pi A_{max}(f/f_s)$ ดังนั้นเราจะกำหนดค่า SQR ที่ต้องการจากแอมปลิจูด A_{min} นี้ และเมื่อกำหนดค่า SQR ได้ ก็จะสามารถคำนวณอัตราการสุ่มตัวอย่าง f_s ได้โดยใช้สมการ (17) ซึ่งจะได้ผลดังนี้

$$SQR = \frac{f_s^3 . A_{min}^2/2}{Kf_c.(2\pi fA_{max})^2}$$

$$f_s = \left\{25.3(DR)\left(f^2\right)\left(f_c\right)(SQR)\right\}^{\frac{1}{3}} \qquad (18)$$

ดังนั้นถ้าโจทย์กำหนด SQR, DR และ f_c มาให้ ก็จะคำนวณหา f_s ได้ ยกตัวอย่างเช่น ถ้าให้ SQR = 26db(398 เท่า), DB = 30db(1,000 เท่า) และ f_c = 3.4 kHz และความถี่ของสัญญาณไซน์ที่ต้องการทำ DM แบบเชิงเส้นเป็น 800 Hz ก็จะคำนวณ f_s ได้ผลดังนี้

$$f_s = \left\{25.3(1000)(800)^2(3400)398\right\}^{\frac{1}{3}}$$
$$= 279 \text{ kHz} \qquad (19)$$

ซึ่งหมายความว่า ถ้าเราใช้ 1 บิทต่อ 1 สัญญาณสุ่มตัวอย่าง ก็จะต้องใช้อัตราการส่งข้อมูลถึง 279 kbps ในสภาพเช่นนี้ระบบ DM จะต้องส่งด้วยอัตราการส่งข้อมูลสูงกว่าระบบ PCM ซึ่งก็คือไม่ให้ผลดีแต่อย่างใดในด้านของอัตราการส่งข้อมูล

ข้อเสียอีกอย่างหนึ่งของระบบ DM แบบเชิงเส้นก็คือ เมื่อกำหนดขั้นของการควอนไตซ์เพื่อให้ได้ SQR ตามที่ต้องการสำหรับสัญญาณระดับต่ำที่สุด ก็จะทำให้สัญญาณระดับสูง ๆ มี SQR ดีเกินความจำเป็นไป ข้อเสียนี้ก็เกิดขึ้นในระบบ PCM แบบเชิงเส้น ซึ่งได้กล่าวไว้ก่อนหน้านี้เช่นเดียวกัน

ถึงแม้ระบบ DM จะมีข้อเสียที่ต้องใช้อัตราการสุ่มตัวอย่างสูง แต่ก็มีใช้อยู่บ้าง เพราะความง่ายของชุดเข้ารหัสและถอดรหัสดังที่แสดงไว้ในรูปที่ 3.3 ในกรณีที่ต้องการลดอัตราการส่งสัญญาณดิจิตอลก็จะทำได้โดยใช้ระบบ ADM วิธีการที่ใช้ก็คือ ทำการปรับขนาดขั้นของการควอนไตซ์ ให้สอดคล้องกับการเปลี่ยนแปลงของระดับสัญญาณตลอดเวลา อุปกรณ์ที่ต้องใช้ในการเข้ารหัสและถอดรหัสก็จะยุ่งยากขึ้น แต่ก็จะสามารถลดอัตราการส่งสัญญาณดิจิตอลลงให้เหลือประมาณ 40 kbps ได้ โดยที่สัญญาณเสียงนั้นมีคุณภาพดีทัดเทียมกับสัญญาณ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ

จากที่กล่าวมาข้างต้นทั้งหมดจะเห็นได้ว่า สัญญาณอนาล็อกสามารถถูกแปลงรูปให้เป็นสัญญาณดิจิตอล เพื่อทำการส่งในรูปสัญญาณดิจิตอลได้ และเนื่องจากสัญญาณเสียงพูดของคนเป็นสัญญาณอนาล็อกที่มีความสำคัญสูงที่สุด จึงได้เน้นในเรื่องนี้มากที่สุด ในการเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ โดยการพิจารณาสัญญาณพูดเป็นหลักนั้น หลักเกณฑ์ในการพิจารณาจะมีหลายประการด้วยกัน หลักเกณฑ์หลัก ๆ ก็คือคุณภาพของเสียงที่สร้างคืนกลับมาได้กับอัตราการส่งข้อมูลที่ต้องการ คุณภาพของเสียงนั้นเราอาจจะแบ่งออกเป็น 3 ระดับด้วยกันคือ ระดับดีมาก ระดับดี และระดับพอใช้ ระดับดีมากคือ ระดับที่กำหนดเป็นมาตรฐานในระบบสื่อสารโทรศัพท์ที่จะต้องผ่านชุมสายระดับสูงออกไปไกล ๆ ระดับดีนั้นเป็นระดับที่ส่งระยะใกล้และมีเสียงชัดเจน สำหรับระดับพอใช้นั้นเป็นระดับที่รับฟังได้เข้าใจ แต่ความชัดเจนและเป็นธรรมชาตินั้นจะด้อยลงไป เมื่อพิจารณาตามหลักเกณฑ์ดังกล่าวนี้จะพบว่า คุณสมบัติของการเข้ารหัสแต่ละประเภทจะเป็นดังที่แสดงไว้ในตารางที่ 3.1

ตารางที่ 3.1 คุณสมบัติของการเข้ารหัสแบบต่าง ๆ

ระบบเข้ารหัส	คุณภาพเสียง	อัตราการสุ่มตัวอย่าง (kHz)	จำนวนบิทต่อตัวอย่าง	อัตราการส่งข้อมูล kbps
PCM	ดีมาก	8	7-8	56-64
DPCM	ดี-ดีมาก	8	4-6	32-48
ADPCM	ดี-ดีมาก	8	3-4	24-32
DM	ดี-ดีมาก	64-128	1	64-128
ADM	ดีมาก	48-64	1	48-64
LPC	พอใช้	0.04-0.1	80	3-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สเปคซิฟิเคชั่นของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

1. ความแม่นยำ (Accuracy)

คือสัญญาณดิจิตอลที่แปลงได้มีความถูกต้องสมบูรณ์มากน้อยแค่ไหน เนื่องจากในการแปลงสัญญาณย่อมเกิดความคลาดเคลื่อนขึ้นได้ เช่น เกิดจากการควอนไตซ์ , จาก Comparater หรือเกิดจากความต้านทาน เป็นต้น

2. รีโซลูชั่น (Resolution)

รีโซลูชั่นของการแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้น จะบอกมาในรูปของจำนวนบิทที่ทำการแปลง เช่น การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ให้เอาท์พุทไบนารีมีรีโซลูชั่น 4 บิท, 16 บิท เป็นต้น นอกจากนี้รีโซลูชั่นยังสามารถบอกในรูปเปอร์เซนต์ของค่าเต็มสเกล (Full Scale) เช่น การแปลงสัญญาณอนาล็อกเป็นดิจิตอล 4 บิท จะแบ่งระดับขั้นที่ใช้ในการเปรียบเทียบได้ 24.1 = 15 ขั้น และมีรีโซลูชั่น 6.7 เปอร์เซนต์ (1/15 * 100 = 6.7 เปอร์เซนต์) ระบบการแปลงสัญญาณที่ให้จำนวนบิทมากย่อมมีรีโซลูชั่นดีกว่า ระบบการแปลงสัญญาณที่ให้จำนวนบิทน้อย

3. ไดนามิค เรนจ์ (Dynamic Range)

คือ อัตราส่วนของสัญญาณค่ามากที่สุดกับสัญญาณค่าน้อยที่สุด ปกติจะอยู่ในหน่วยเดซิเบล พิจารณาใน Binary Word บิทที่อยู่ทางซ้ายจะมีน้ำหนักมากกว่าบิทที่อยู่ทางขวาถัดมาอยู่ 2 เท่า เมื่อคำนวณหาอัตราส่วนระหว่างบิททั้งสอง (คิดในรูปโวลท์เตจ) จะได้ประมาณ 6 dB ดังนั้นสามารถคำนวณหาค่าไดนามิค เรนจ์ทั้งระบบได้ดังนี้

ค่าไดนามิค เรนจ์ ของระบบ (dB) = 6(dB) * จำนวนบิท

ตัวอย่างเช่น การแปลงสัญญาณดิจิตอล 10 บิท จะมีไดนามิค เรนจ์ = 6(dB) * 10 = 60(dB)

4. คอนเวอร์ชั่นไทม์ (Convertion time)

คือ เวลาที่ใช้ในการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล

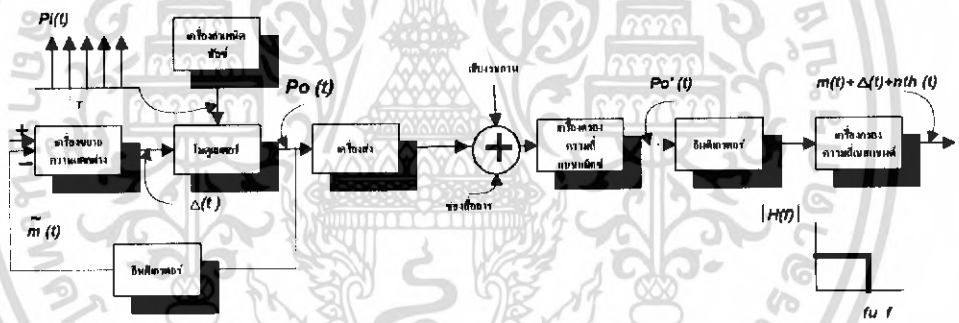
นอกจากนี้ยังมีสิ่งที่กำหนดคุณสมบัติของระบบอื่น ๆ อีกเช่น

- POWER SUPPLY VOLTAGE ปกติจะเท่ากับ +5 V แต่บางครั้งอาจพบ A/D CONVERTER IC ทำงานในช่วง +5V ถึง +15V
- OUTPUT LOGIC LEVEL เช่น เป็นแบบ TTL , CMOS หรือ TRISTATE
- INPUTVOLTAGE
- MAXIMUM POWERDISSIPATION สำหรับ A/D CONVERTER IC จะอยู่ในช่วง 15-3,000 mW.

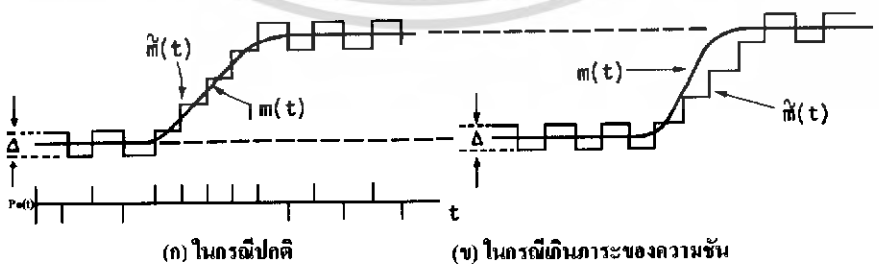
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดลต้าโมดูเลชั่นเป็นเทคนิคของการโมดูเลชั่นอย่างหนึ่งที่สัญญาณอนาล็อกสามารถนำมาเข้ารหัส (encode) เป็นไบนารี่ดิจิต หรือบิทได้โดยตรง เดลต้าโมดูเลชั่นหรือดีเอ็ม (DM) จึงมีข้อดีที่มีวงจรที่ภาคส่ง โดยเฉพาะอย่างยิ่งวงจรที่ภาครับง่ายกว่าวงจรของพีซีเอ็ม

ระบบเดลต้าโมดูเลชั่นแสดงอยู่ในรูปที่ 3.5 เครื่องกำเนิดพัลส์จะกำเนิดขบวนพัลส์ Pi(t) ที่มีขนาดและขั้ว (polarity) แน่นอน เมื่อสัญญาณเบสแบนด์ที่เป็นอนาล็อก m(t) เข้ามาในวงจร DM สัญญาณเบสแบนด์ m(t) จะเปรียบเทียบกับพัลส์ Pi(t) ที่ผ่านเครื่องอินติเกรเตอร์ $\tilde{m}(t)$ ผลต่างของ $m(t) - \tilde{m}(t)$ ถ้าเป็นบวกจะผ่านลิมิตเตอร์ให้สัญญาณ +1 คูณกับ Pi(t) ถ้าเป็นลบจะผ่านลิมิตเตอร์ให้สัญญาณ -1 คูณกับ Pi(t) เมื่อ Pi(t) ผ่านเครื่องอินติเกรเตอร์ ก็จะให้พัลส์ $\tilde{m}(t)$ ตามสัญญาณเบสแบนด์ m(t) อย่างใกล้ชิด และมีรูปร่างคล้ายสัญญาณเบสแบนด์ m(t) มาก ยกเว้นในกรณีที่สัญญาณเบสแบนด์เปลี่ยนขนาดอย่างรวดเร็ว และเครื่องเดลต้าโมดูเลทไม่สามารถสร้างพัลส์ $\tilde{m}(t)$ ไล่ทันสัญญาณเบสแบนด์ m(t) ในกรณีนี้เราเรียกว่า เกิดการเกินภาระของความชัน (slope overload) ดังในรูปที่ 3.6



รูปที่ 3.4 ระบบเดลต้าโมดูเลชั่นภาคส่งและภาครับ

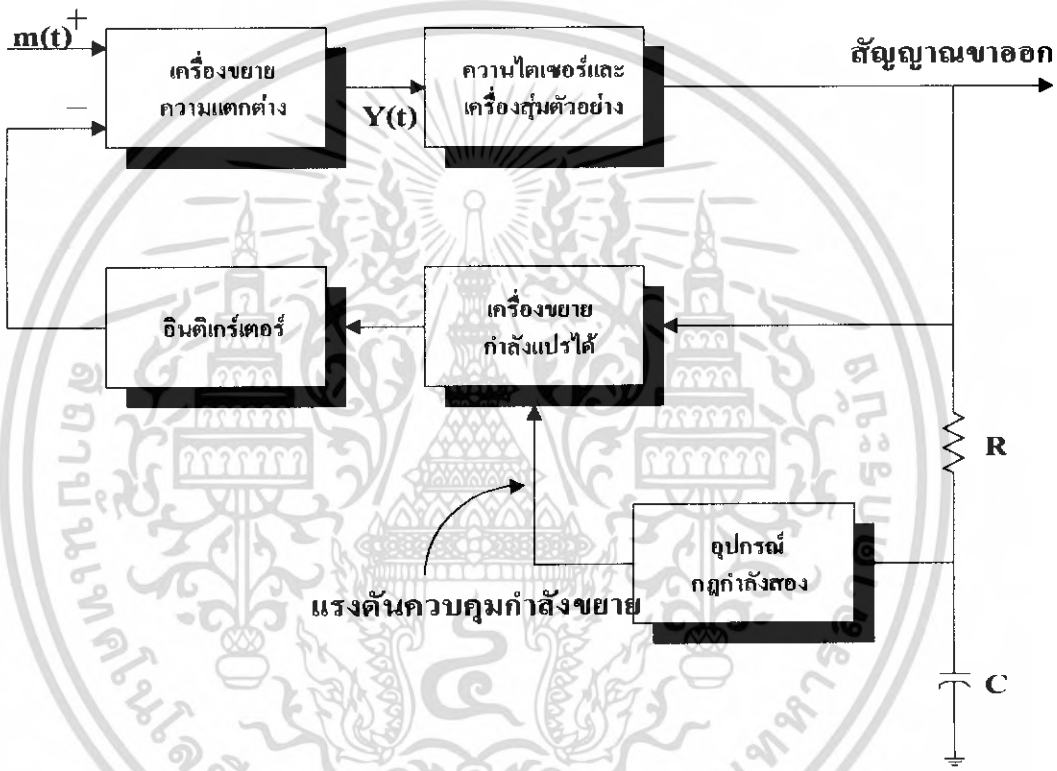


รูปที่ 3.5 รูปคลื่นของเดลต้าโมดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เพื่อขจัดการเกิดกรณีเกินภาระของความชัน (slope overload) ให้สร้างระบบเดลต้าโมดูเลชั่นสามารถปรับขนาดของขั้นบันได (step size) ได้แทนที่จะเป็นขั้นบันไดคงที่ ระบบนี้เรียกว่าระบบเดลต้าโมดูเลชั่นที่ปรับตัวได้ (adaptive delta modulator) ในระบบนี้ จะมีเครื่องขยายที่สามารถปรับกำลังขยาย (variable gain) ได้ โดยที่กำลังขยายนี้เป็นฟังก์ชันของแรงดัน ที่เกิดที่ขั้วของเครื่องควบคุมกำลังขยาย (gain control) ดังรูปที่ 3.6



รูปที่ 3.6 เครื่องโมดูเลเตอร์เดลต้าแบบปรับกำลังขยายได้

เสียงรบกวนจากควอนไตซิ่งในเดลต้าโมดูเลชั่น

สมมติให้ ผลแตกต่างระหว่างสัญญาณเบสแบนด์ m(t) และสัญญาณเดลต้าที่กะประมาณค่า (estimate) $\tilde{m}(t)$ เป็น $e_q(t)$ ดังนั้นรูปคลื่นของความผิดพลาด

$$e_q(t) = m(t) - \tilde{m}(t) \qquad (20)$$

86856

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปคลื่นของความผิดพลาดนี้ คือต้นกำเนิดของเสียงรบกวนจากควอนไตซิ่งนั่นเอง

ในขณะที่ไม่มีภาวะของการเกิดภาระของความชันนั้น $e_q(t)$จะมีค่าต่ำกว่าขนาดของขั้นบันได Δ เสมอ สมมติว่าค่า e (t) มีโอกาสที่จะเกิดในช่วงระหว่าง $-\Delta$ และ $+\Delta$ เท่ากัน ในกรณีนี้เราสามารถสมมติให้พรอบบะบิวลิตี้เดนซิตี้ของ $e_q(t)$ เป็นการกระจายสม่ำเสมอได้ จะได้กำลังของเสียงรบกวนจากควอนไตซิ่งดังนี้

$$e^2_q(t) = \int_{\Delta}^{\Delta} \frac{1}{2\Delta} e^2 de = (\Delta^2)/3 \qquad (21)$$

ได้มีการทดลองพิสูจน์มาแล้วว่า กำลังที่ถูกนอร์มัลไลซ์ (normalized) แล้วของรูปคลื่น $e_q(t)$ มีการกระจายสม่ำเสมอภายในช่วงความถี่ $(0 , f'_s)$ โดย f'_s คืออัตราการสุ่มตัวอย่าง ฉะนั้นความเข้มข้นสเปคตรัมของกำลัง $G_{eq}(f)$ ของ $e_q(t)$ จะได้

$$G_{e_q}(f) = \begin{cases} \Delta^2/(\sigma f'_s), |f| < f_s \\ 0 \end{cases} \qquad (22)$$

ดังนั้น $m_q(t)$ ซึ่งเป็นเสียงรบกวนจากการควอนไตซิ่ง ที่ออกจากเครื่องกรองความถี่ต่ำผ่าน จะมีกำลังเฉลี่ยที่ถูกนอร์มัลไลซ์แล้ว เท่ากับ

$$N_q = \int_{-fx}^{fx} G_{eq}(f)\, df = [(\Delta^2)/3]\left(\frac{fx}{fs'}\right) \qquad (23)$$

กำลังของสัญญาณขาออก

ในการคำนวณกำลังของสัญญาณขาออก เราจะใช้กรณีที่เลวที่สุด (worst case) ของเดลต้าโมดูเลชั่น คือในกรณีที่กำลังของสัญญาณจะรวมกันที่ปลายความถี่สูงของสัญญาณ นั่นคือสมมติให้เป็นสัญญาณไซน์ยูซอยดัล

$$m(t) = A \cos 2\pi f_x t$$

ดังนั้นกำลังของสัญญาณขาออกคือ

$$S_o = \overline{m^2(t)} = (A^2)/2 \qquad (24)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้หลีกเลี่ยงการเกิดภาระของความชัน เราควรเลือกความชันที่มากที่สุด (maximum slope) ของสัญญาณมีค่าเท่ากับ

$$\left| \frac{dm(t)}{dt} \right|_{max} = A2\pi f_x$$

และการเปลี่ยนแปลงของของตัวอย่างหนึ่งไปอีกตัวอย่างหนึ่ง (sample to sample) ซึ่งเท่ากับ $A2\pi f_{xs}$ น้อยกว่าขนาดของขั้นบันได Δ (step size) ดังนี้

$$2\pi f_x T_s' A < \Delta$$

หรือเลือกขนาดสูงสุดของสัญญาณเวลาเกิดภาวะการเกินภาระความชันเท่ากับ

$$A = \frac{\Delta}{2\pi} \frac{fs'}{fx} \qquad (25)$$

ในที่นี้ $f_s' = 1/T_s'$ ซึ่งเป็นอัตราการสุ่มตัวอย่างของระบบดีเอ็ม ฉะนั้นอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนควอนไตซิ่ง จากสมการ (23), (24) และ (25) จะได้

$$\frac{So}{Nq} = [3/(8\pi^2)](\frac{fs'}{fx})^3 \qquad (26)$$

เสียงรบกวนจากความร้อนในระบบดีเอ็ม

เมื่อมีเสียงรบกวนจากความร้อน (thermal noise) เกิดในช่อง (channel) ขั้ว (polarity) ของรูปคลื่นที่ส่งในบางครั้งบางคราวจะถูกถอดรหัสผิดเนื่องจากรูปคลื่นที่ส่งเป็นขบวนอิมพัลส์ที่มีขนาด $\pm\Delta$ ความผิดพลาดในเครื่องหมาย + เป็น - หรือ - เป็น + ก็เท่ากับเกิดอิมพัลส์ของความผิดพลาดที่มีกำลัง 2Δ พูดอีกนัยหนึ่งว่า อิมพัลส์ของความผิดพลาดจะต้องมีกำลังเป็น 2 เท่าของ Δ จึงจะเปลี่ยนขั้วของพัลส์ได้ เสียงรบกวนจากความร้อนที่เกิดในช่อง (channel) นี้จะปรากฏที่ขาเข้าของเครื่องอินติเกรเตอร์ของกาครับ เป็นขบวนอิมพัลส์ที่มีเวลาการเกิดเป็นเรนดัม (เพราะเสียงรบกวนนี้เป็น white noise ที่เกิดเรนดัมอยู่แล้ว) และมีกำลัง $\pm 2\Delta$ ระยะเวลาที่ห่างกันระหว่างอิมพัลส์คือ T_s'/P_e ในที่นี้ P_e คือพรอบบะบิวลิตี้ของความผิดพลาด

เราสามารถพิสูจน์ได้ว่า ความเข้มข้นสเปคตรัมของกำลังของขบวนอิมพัลส์เป็น white และมีขนาด $4\Delta^2 P_e \Gamma_s$ และถ้าให้ทรานซ์เฟอร์ฟังก์ชันของเครื่องอินติเกรเตอร์เป็น $1/jw$ แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเข้มข้นสเปคตรัมของเสียงรบกวนจากความร้อนที่เข้าไปในช่อง (channel) ที่ขาเข้าของเครื่องกรองผ่านความถี่ต่ำ จะได้

$$G_{th}(f) = (4\Delta^2 P_e f_s')/(2\pi f)^2 \tag{27}$$

ในทางปฏิบัติ เครื่องอินติเกรเตอร์ที่ตามด้วยเครื่องกรองความถี่ผ่านต่ำ ซึ่งมีความถี่ตัดออกที่ความถี่ต่ำ (low-cutoff frequency) $f_1 > 0$ ซึ่งมีค่าน้อยมากเมื่อเทียบกับความถี่ตัดออกที่มีความถี่สูง (high-frequency cutoff) f_x (การที่ให้ f_1 มีค่าน้อยแต่ไม่เท่ากับศูนย์ เพราะการอินติเกรท $G_{th}(f)$ ที่ $f = 0$ จะได้ค่าอนันต์) ดังนั้น

$$N_{th} = 2\int_{f1}^{fx} G_{th}(f)df = (2\Delta^2 P_e f_s')/(\pi)^2[\frac{1}{f1} - \frac{1}{fx}]$$
$$= (2\Delta^2 P_e f_s')/\pi^2 f1 \tag{28}$$

เนื่องจาก $f_1 << f_x$

สมการ (28) แสดงให้เห็นว่ากำลังของเสียงรบกวนขาออกที่ทำให้เกิดความผิดพลาดของบิท มีค่าขึ้นกับความถี่ตัดออกที่ความถี่ต่ำ f_1 มากกว่าความถี่ตัดออกที่ความถี่สูง f_x

อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน

เนื่องจากสัญญาณที่เข้าภาครับของระบบดีเอ็มจะประกอบด้วยสัญญาณ m(t) เสียงรบกวนจากการควอนไตซิ่ง และเสียงรบกวนจากความร้อน (เช่นเดียวกับระบบพีซีเอ็ม) อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน

$$\frac{S_o}{N_o} = \frac{S_o}{N_q + N_{th}} = \frac{3f_s'^3/(8\pi^2 f_x^3)}{1+(\sigma P_e f_s'^2/(\pi^2 f_x f_1))} \tag{29}$$

การเปรียบเทียบระบบพีซีเอ็มและดีเอ็ม

เราสามารถเปรียบเทียบวิสัยความสามารถของระบบพีซีเอ็มและดีเอ็ม ในด้านของคุณภาพของสัญญาณ และความยุ่งยากของวงจร เพื่อให้เกิดการเปรียบเทียบบนพื้นฐานเดียวกัน เราสมมติให้ทั้งสองระบบใช้แถบความถี่ โดยประมาณเท่ากันในการส่งสัญญาณเบสแบนด์ที่เป็นอนาล็อกถ้าเราให้ f_s และ f_s' แทนอัตราการสุ่มตัวอย่างของ N บิท พีซีเอ็มและดีเอ็ม ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราการส่งของพีซีเอ็มและดีเอ็มจะได้ Nf_s และ f'_s ตามลำดับ ถ้าสเปคตรัมไปถึง f_x เฮิร์ตซ์ละก็ $f_s = 2f_x$ และความต้องการที่จะให้แถบความถี่ทั้งสองระบบเท่ากันนั้น เท่ากับเป็นการกำหนดให้

$$f_s' = 2Nf_x$$

อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน

ถ้าอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน (signal to noise power ratio) มีค่าสูง วิสัยความสามารถของพีซีเอ็มและดีเอ็ม ถูกจำกัดด้วยเสียงรบกวนจากการควอนไตซิ่ง

อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนจากการควอนไตซิ่ง สำหรับระบบพีซีเอ็ม

$$(So/No)_{PCM} = M^2 = 2^{2N}; N \geq 2$$

ในที่นี้ $M = 2N$ คือจำนวนของระดับของควอนไตเซอร์

สำหรับระบบดีเอ็ม อัตราส่วนดังกล่าว จากสมการ (26) จะได้

$$(So/No)_{DM} = (3/8\pi^2)(f'_s/f_x)3 = 0.3N^3$$

จากสมการข้างบนจะเห็นได้ว่า ในกรณีที่แถบความถี่คงที่ วิสัยความสามารถของดีเอ็มจะเลวกว่าพีซีเอ็มเสมอ เพื่อเป็นการยกตัวอย่างให้เห็นจริง ค่าแถบความถี่ของช่อง (channel bandwidth) กว้างพอสำหรับโค๊ดพีซีเอ็ม 8 บิท แล้ว

$$(So/No)_{PCM} = 48 \text{ dB และ } (So/No)_{DM} = 22 \text{ dB}$$

จะเห็นได้ว่าอัตราส่วนของกำลังของสัญญาณต่อกำลัง ของเสียงรบกวนของระบบดีเอ็ม มีค่าน้อยกว่าระบบพีซีเอ็ม 26 dB

วิสัยความสามารถของดีเอ็มสามารถปรับปรุงให้ดีขึ้นอย่างมากมาย โดยใช้ขนาดของขั้นบันไดที่เปลี่ยนได้ (นั่นคือใช้เครื่องโมดูเลเตอร์เดลต้าชนิดปรับกำลังขยายได้) สำหรับการส่งสัญญาณเสียง (speech transmission) ได้มีการพิสูจน์ว่า วิสัยความสามารถของระบบเดลต้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมดูเลชั่นชนิดปรับกำลังขยายได้ ไม่แตกต่างกับวิสัยความสามารถของระบบพีซีเอ็มที่อัตราการส่ง (bit rate) ประมาณ 64 กิโลบิท ต่อวินาที

ความต้องการด้านแถบความถี่

ในกรณีของการส่งสัญญาณเสียง สมมติให้พีซีเอ็มใช้โค๊ด 8 บิท (N = 8) และเพื่อให้คุณภาพของสัญญาณดี ต้องสุ่มตัวอย่างที่อัตรา f_s = 8000 เฮิรตซ์ ก็จะได้ความเร็วการส่ง (bit rate) 8000 x 8 = 64 กิโลบิทต่อวินาที

เพื่อให้ได้คุณภาพของสัญญาณใกล้เคียงกัน ระบบดีเอ็มต้องใช้อัตราการสุ่มตัวอย่างประมาณ 100 กิโลบิทต่อวินาที ซึ่งมากกว่าระบบพีซีเอ็มเกือบเท่าตัว อย่างไรก็ตาม ได้มีการพิสูจน์แล้วว่า ถ้าใช้เคลต้าโมดูเลชั่นชนิดปรับความชันอย่างต่อเนื่องได้ (continuous variable slope delta) (CVSD) อาจจะลดความเร็วการส่ง (bit rate) ลงเหลือ 32 กิโลบิทต่อวินาที ได้ โดยคุณภาพของสัญญาณอยู่ในเกณฑ์ดีเหมือนเดิม

ความยุ่งยากของอุปกรณ์

ฮาร์ดแวร์ที่ใช้ในการระบบดีเอ็มนั้นง่ายกว่าระบบพีซีเอ็มมาก ปัจจุบันไอซีชิปที่รวมเครื่องเข้ารหัสและเครื่องถอดรหัส (coders/decoders) ในตัวเดียวกัน หรือที่เรียกว่าโคเดค (codec) ของเคลต้าโมดูเลชั่นชนิดปรับความชันอย่างต่อเนื่องได้นั้น มีขายในตลาดทั่วไปแล้ว แต่พีซีเอ็มโคเดคยังต้องอาศัยใช้ไอซีชิป 2 ตัว จึงมีราคาแพงกว่าดีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
หลักการของ Oversampling

องค์ประกอบที่สำคัญประการหนึ่งในการแซมปลิ้ง คือสัญญาณอนาล็อกควรจะทำการแซมปลิ้งช่วงถี่ขนาดไหนทางด้านส่ง เพื่อให้ด้านรับรับสัญญาณเดิมได้อย่างถูกต้องเหมือนเดิมที่สุด ทางทฤษฎีการแซมปลิ้งกล่าวไว้ว่า "ถ้าสัญญาณข่าวสารซึ่งเป็นฟังก์ชั่นของเวลาถูกแซมปลิ้งอย่างต่อเนื่องที่ช่วงเวลาเท่า ๆ กัน และมีอัตราอย่างน้อย 2 เท่าของความถี่สัญญาณสูงสุดแล้ว แซมปลิ้งที่ได้จะบรรจุข่าวสารข้อมูลทั้งหมดของสัญญาณข่าวสารดังเดิมไว้ได้"

ดังนั้นตามทฤษฎีนี้ ถ้าการทำแซมปลิ้งสัญญาณอนาล็อกที่อัตราอย่างน้อย 2 เท่าของความถี่สูงสุด เราจะได้รับสัญญาณอนาล็อกเดิมอย่างสมบูรณ์ CCITT แนะนำว่ากรณีเสียงสัญญาณของมนุษย์ การแซมปลิ้งควรทำที่อัตรา 8 kHz ทั้งนี้เพราะเสียงของมนุษย์ที่ส่งในวงจรโทรศัพท์มีแถบความถี่ 0.3 - 3.4 kHz ซึ่งในทางปฏิบัติให้มีแถบความถี่ 0-4 kHz ดังนั้น 2 เท่าของความถี่สูงสุดจะได้เป็น 8 kHz ดังนั้นช่วงระหว่างแซมปลิ้งจะได้เท่ากับ 1/8 kHz หรือ 125 μsec

สัญญาณที่ได้หลังจากทำการแซมปลิ้งแล้ว จะถูกจัดระดับเรียกว่าควอนไตซ์ซิ่ง การควอนไตซิ่งเพียงแต่เป็นการประมาณค่า ให้ใกล้เคียงกับสัญญาณอนาล็อกดั้งเดิม ดังนั้นจึงมีข้อผิดพลาดเกิดขึ้นบ้างระหว่างค่าระดับแอมปลิจูดของสัญญาณทั้งสอง ซึ่งขึ้นอยู่กับความถี่ในการแซมปลิ้งด้วย ถ้าความถี่ในการแซมปลิ้งน้อย ๆ ความละเอียดในการจัดระดับควอนไตซ์ก็จะมีน้อยไปด้วย ทำให้เกิดข้อผิดพลาดขึ้น ข้อผิดพลาดนี้เรียกว่า เสียงรบกวนที่เกิดจากการควอนไตซ์

จากสาเหตุนี้เองจึงทำให้ต้องนำเอา Oversampling เข้ามาช่วยแก้ปัญหาที่เกิดจากเสียงรบกวนจากควอนไตซ์ซิ่ง

หลักการของ Oversampling คือจะใช้ความถี่ในการแซมปลิ้งที่ความถี่สูง โดยมีความถี่สูงกว่าการแซมปลิ้งแบบทั่ว ๆ ไป ซึ่งความถี่ในการแซมปลิ้งยิ่งสูง ก็จะทำให้การแซมปลิ้งสัญญาณละเอียดยิ่งขึ้น การจัดระดับควอนไตซ์ก็จะละเอียดมีข้อผิดพลาดน้อย เสียงรบกวนที่เกิดจากการควอนไตซ์ซิ่งจึงมีน้อยมาก และเป็นผลทำให้การแปลงสัญญาณ จากสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล มีประสิทธิภาพมากยิ่งขึ้น และในการแปลงกลับมาเป็นสัญญาณอนาล็อกทางด้านภาครับก็จะได้สัญญาณเหมือนภาคส่งโดยผิดเพี้ยนเล็กน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

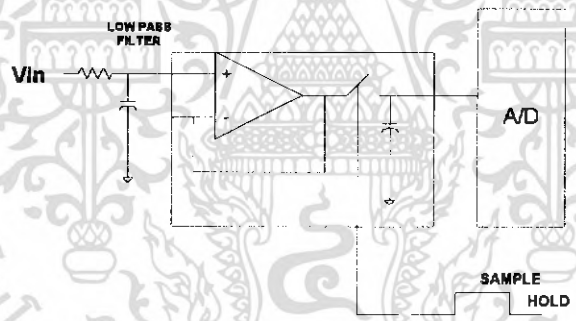
วงจรกรองความถี่ที่ใช้ป้องกันสัญญาณในย่านใช้งาน

(Filter Requirements Due to Alias)

จากวงจร ADC ทั่วไปใช้การแซมปลิ้งแบบธรรมดา ใช้ความถี่ในการแซมปลิ้ง (Fs) ที่เรียกว่า Nyquist Rate ไม่ต่ำกว่า 2 เท่าของความถี่สูงสุดของสัญญาณในย่านใช้งาน หรือ in-band frequency (Fb) โดย Nyquist Rate มีสูตรดังนี้

$$\text{Nyquist Sampling Rate } Fs = 2Fb_{max}$$

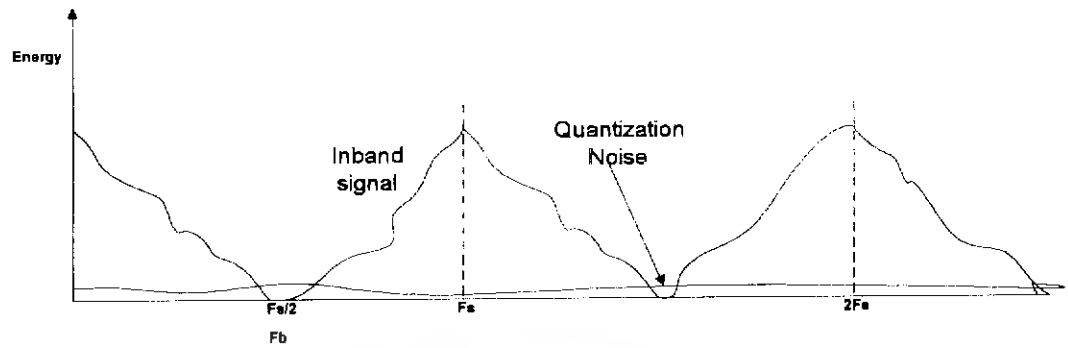
จากชื่อหัวข้อภาษาอังกฤษ คำว่า Alias หมายถึง ปรากฏการณ์ ที่ทำให้สัญญาณในย่านใช้งาน (Fb) ซึ่งเป็นอินพุทของ ADC เกิดผิดพลาดหรือเพี้ยนขึ้นเนื่องจากความถี่ Sampling ไม่สูงพอเมื่อเทียบกับ Fb ในรูปที่ 4.2 แบนด์วิดธ์ของสัญญาณ มีขนาดเท่ากับ Fb และเป็นความถี่กึ่งกลางของ 2Fs



รูปที่ 4.1 Nonoversampling ADC

วงจรกรองความถี่ต่ำผ่านจะทำให้สัญญาณอินพุทที่เข้ามามีความถี่ไม่เกิน Fs/2 ซึ่งไม่ทำให้เกิดการ overlab กับสัญญาณที่เป็นฮาร์โมนิก ตัววงจรฟิลเตอร์ที่มี order สูง ๆ ทำให้ทำงานได้เที่ยงตรงขึ้น ซึ่งเป็นเรื่องที่ทำได้ยากและค่าใช้จ่ายสูงโดยเฉพาะกับวงจรแปลงสัญญาณที่ต้องการความละเอียดสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 Frequency Spectrum input, noise and aliasing

นอกจากนั้นภาคหน้า (front end) ของการ sampling ทั่วๆไปจะเป็น LPF ซึ่งสามารถทำให้เกิดข้อผิดพลาดของน้ำหนักบิท (significant error) และพื้นที่การใช้งานของวงจรเหมือนกับพื้นที่การใช้งานของวงจร RC LPF จำนวนมากเพื่อใช้ในการวัดทาง AC สัญญาณที่กิดจากการแปลงสัญญาณอนาล็อกเป็นดิจิตอล (Quantization Noise)

สัญญาณรบกวนชนิดนี้เกิดกับวงจร ADC ทุกๆแบบ เกิดจากขีดจำกัดในการแยกสัญญาณอินพุทที่มีระดับแอมปริจูดใกล้เคียงกันมาก ขณะที่ทำการวัดแยกสัญญาณอินพุทที่เข้ามาต่อเนื่องกันมาก ๆ สัญญาณนี้ลดจำนวนบิทที่ควรจะมี (effective number of bit : ENOB) และลดความสามารถในการแยกความแตกต่างของสัญญาณอินพุทลง โดยทั่วไป ADC จะมีความสามารถในการแยกความแตกต่างของสัญญาณ (resolution) อยู่ที่ ±1/2LSB ความผิดพลาดต่ำสุดไม่ใช่ ±1LSB เนื่องจาก จุด thresholds ของ ADC อยู่กึ่งกลางระหว่างจุด thresholds จริงของสัญญาณ

ขณะที่สัญญาณอินพุทอยู่ที่ จุด thresholds ของ ADC การเปลี่ยนแปลงทางแอมปลิจูดทุกค่าจะสามารถก่อให้เกิดสัญญาณรบกวนในรหัสดิจิตอลสัญญาณรบกวนมักมีความถี่ใกล้เคียงกันตลอดย่านความถี่ และคล้ายกับสัญญาณรบกวนแบบ white noise ดังรูปที่ 4.2 ในรูปที่ 4.3 จะเห็นสัญญาณ effective error และสัญญาณรบกวนจะเพิ่มขึ้นจากศูนย์ที่จุด thresholds (T/Z) ในย่านลิเนียร์ ดังสัญญาณอินพุทใกล้จุดกึ่งกลางระหว่างรหัสดิจิตอล

การพิสูจน์สมการคณิตศาสตร์ ของ quantization noise:

$$E^2_{rms} = \int_{-T/2}^{T/2} (qt)^2/T$$

$$E^2_{rms} = (q^2 t^3)/3T^2 \Big|_{-T/2}^{+T/2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับของสัญญาณรบกวนในฟังก์ชันของความถี่ = $q^2/(12F_s^2)$ เมื่อ F_s = ความถี่ที่ใช้ sampling ถอดสแควร์รูททั้งสองข้าง จะได้ errer e

$$e = q/\sqrt{12Fs}$$

จากสมการข้างบน จะได้ระดับของสัญญาณรบกวนในฟังก์ชันของความถี่ นั่นแสดงว่า โอเวอร์แซมปลิ้งจะลดสัญญาณรบกวนนี้ลง สำหรับทุก ๆ สองเท่าของความถี่แซมปลิ้ง Fs ความละเอียดจึงเพิ่มขึ้น 0.5LSB หากเราทำการแซมปลิ้งสูงกว่าสองเท่าของ Nyquist Rate ทำให้สัญญาณรบกวนกระจายออกไปบนช่องความถี่ที่กว้างขึ้น สมการต่อไปแสดงถึงผลที่เกิดจากโอเวอร์แซมปลิ้ง

$$\text{In-band noise power} = \int_{-fn}^{fn} N(f)dt$$
$$= 2FxQ^2/12Fs$$

ความคล้ายคลึงกันระหว่าง PWM A/D และ Delta-Sigma Converters
(Similarities Between PWM A/D and Delta-Sigma Converters)

การเพิ่มประสิทธิภาพของเทคนิคการทำ PWM เป็นตัวอย่างหนึ่งของความคล้ายคลึงกันกับหลักการของ DELTA-SIGMA ซึ่งการศึกษาเรื่องนี้จะช่วยให้เราเข้าใจการทำงานของ DELTA-SIGMA ได้อย่างดี โครงสร้างสำคัญของ PWM A/D คือ ฟลิบฟลอบ ซึ่งในทางปฏิบัติฟลิบฟลอบนี้จะอยู่ใน Micro controller และใช้ความถี่ sampling เป็น clock

วงจร Comparator Op- Amp จะเปรียบเทียบผลรวมของสัญญาณเอาท์พุท ที่ออกมาก่อนหน้านี้ซึ่งเอาท์พุทนี้เก็บอยู่ที่ Capacitor ที่ต่ออยู่กับขา Inverting ของ Op-Amp สัญญาณอินพุทจะเข้าที่ขา Non- Inverting สัญญาณเอาท์พุทของ Op-Amp จะถูก sampling ตามจังหวะของความถี่สัญญาณนาฬิกาของฟลิบฟลอบ หรือ Fs วงจร RC อินทิเกรเตอร์ทำหน้าที่เป็น close loop feed back โดยใช้พัลส์ความถี่สูงจากวงจร Comparator ผ่านฟลิบฟลอบมาป้อนกลับเพื่อปรับแต่งสัญญาณอินพุทที่ไม่รู้จัก โดย PWA A/D พยายามทำให้แรงดันที่ตกคร่อมวงจร RC อินทิเกรเตอร์เท่ากับแรงดันอินพุทตลอดช่วงเวลาของการ sampling มีทางเดียวที่จะทำได้ก็คือต้องให้แรงดันของพัลส์ความถี่สูงมีขนาดเท่ากับอินพุทที่เข้ามาในช่วงเวลาเดียวกัน

หน้าที่หลักของ Micro controller คือจัดการกับการป้อนกลับ โดยอ่านค่าเอาท์พุทของ comparator แล้วป้อนแรงดันให้ RC โดยใช้เอาท์พุทของวงจร DAC บิทเดียว นอกจากนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Micro controller ยังทำหน้าที่เป็น digital filter digital filter นี้อาศัยหลักการคล้ายกับ finite impulse response (FIR) เป็นฟิลเตอร์ที่ช่วยคำนวนค่าเฉลี่ยของเครื่องมือวัดต่างๆ สมการ และตัวอย่างง่าย ๆ ข้างล่างแสดงถึงการใช้งานขั้นพื้นฐาน

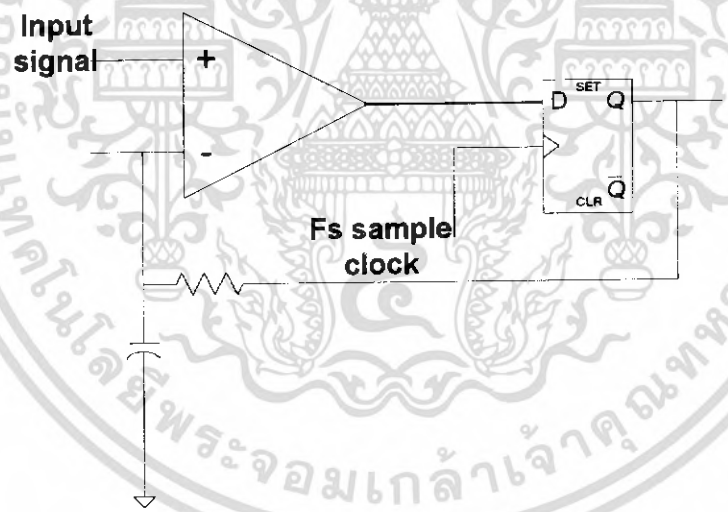
$$Vin = 1/(N\Sigma(X-I))$$

เมื่อ $i = 0$ ถึง $N-1$

X = quantized reference (1or 0)

N = จำนวนครั้งที่สุ่ม (Number of sampling)

Clock	0	1	2	3	4	5	6	7	
DAC level (X)	1	1	0	1 ;N=8	1	0	1	+0	Sum=5



รูปที่ 4.3 ตัวอย่างของ PWM A/D converter with sampling clock Fs

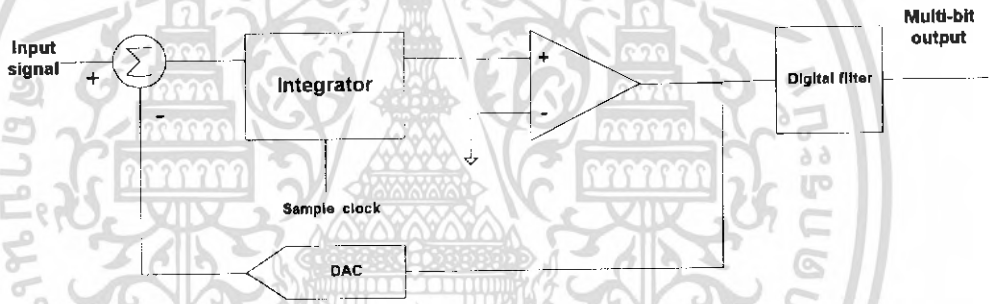
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณ อนาล็อกเป็นดิจิตอล แบบเดลตา-ซิกมา

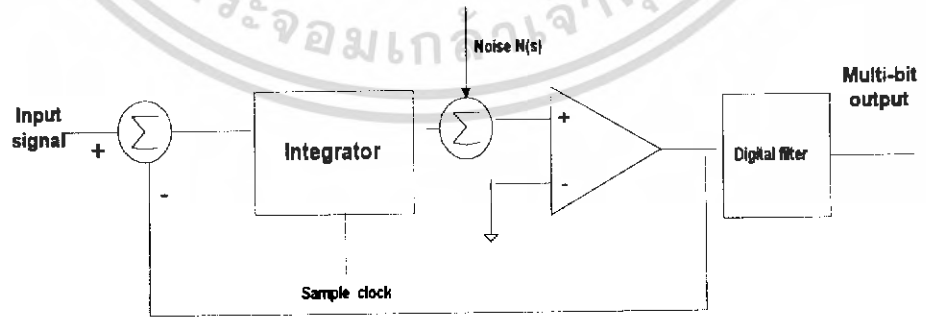
(Delta-Sigma A/D Converters)

วงจร Delta-Sigma ADCs มีการทำงานคล้ายกับวงจร PWA ADC เป็นอย่างมากดังที่ได้อธิบายมาแล้ว และยังลดสัญญาณรบกวนที่เกิดจากการควอนไตซ์ (quantization noise) โดยการทำโอเวอร์แซมปลิ้งกับสัญญาณอินพุทด้วยความถี่สูง (high rate) ถึงสูงมาก เพื่อเพิ่มประสิทธิภาพของวงจร

Delta-Sigma ADC ทำการควอนไตซ์ความแตกต่าง ระหว่างสัญญาณอินพุทที่เข้ามา (current signal) กับผลรวมของสัญญาณความแตกต่าง ที่เข้ามาก่อนหน้าโดยใช้วงจรอินทิเกรเตอร์แบบแอกตีฟ



รูปที่ 4.4 บล็อกไดอะแกรมขั้นพื้นฐานของ deltasigma ADC



รูปที่ 4.5 Delta-model with noise injection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินทิเกรเตอร์ ต่อกันตั้งแต่สองภาคขึ้นไป ทำให้ประสิทธิภาพดีขึ้น แต่มีข้อพึงสังเกตคือ เวลาในการแปลงสัญญาณ (conversion time)

รูปที่ 4.4 เป็น Basic block diagram ของ delta-sigma ADC วงจร Active integrator จะทำการอินทีเกรตสัญญาณผิดพลาด (error signal) ซึ่งได้จากการเปรียบเทียบ สัญญาณอินพุทกับเอาท์พุทของ DAC (Digital to analog Converter) แล้วส่งผลที่ได้จากการอินทีเกรตสัญญาณไปให้วงจรขยายความแตกต่าง (differential amplifier) ทำให้สัญญาณเอาท์พุท ของการควอนไตซ์โดยเฉลี่ยเท่ากับอินพุทตลอดเวลา หรือกล่าวอีกนัยหนึ่ง คือ สัญญาณที่ได้เฉลี่ยแล้วมาจากการเปรียบเทียบทำให้เกิดผลต่างระหว่างอินพุทกับสัญญาณที่สุ่มจากอินพุทเข้ามา

รูปที่ 4.5 แสดงถึงการเพิ่มสัญญาณรบกวนเข้าไปในระบบ เพื่อใช้อธิบายผลกระทบจากควอนไตซ์นอยส์ และจะควบคุมได้อย่างไร ทรานเฟอร์ฟังก์ชันของระบบเขียนได้ดังนี้

$$Y_{(s)} = (X_{(S)} - Y_{(S)})1/S$$

ให้ $N_{(S)} = 0$:

$$Y_{(s)} / X_{(S)} = 1/(1+S)$$

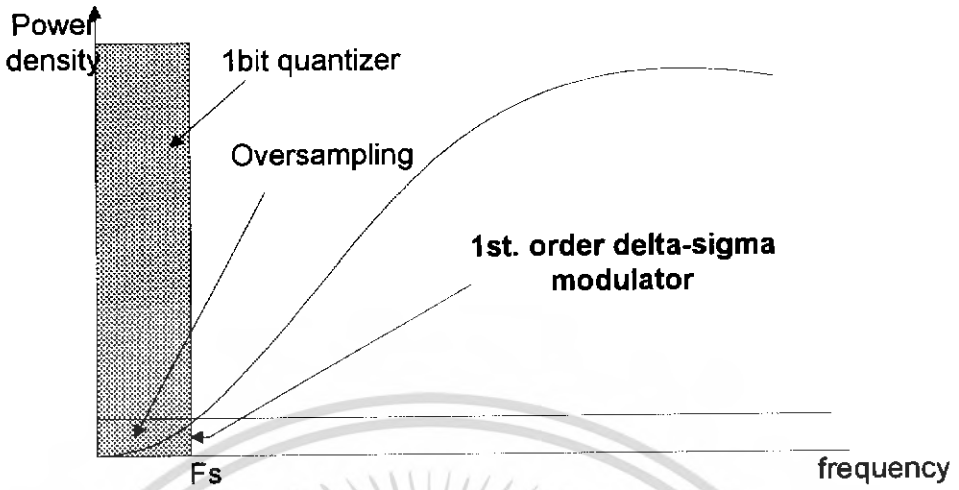
ให้ $X_{(S)} = 0$:

$$Y_{(s)} / X_{(S)} = S(1+S)$$

สัญญาณอินพุทจะผ่านเข้ามาทางวงจรกรองความถี่ต่ำส่วนสัญญาณรบกวน (Noise) จะผ่านเข้ามาทางวงจรกรองความถี่สูง ส่วน quantization noise จะถูกดันออกมาในรูปความถี่ และถูกลดทอนลงในช่วงของย่านสัญญาณที่เราใช้งาน (signal band) โดยโอเวอร์แซมปลิ้ง วิธีการนี้เราเรียกว่า Noise Sampling ดังรูป 4.6 ทำให้สัญญาณรบกวนในช่วงครึ่งบน ของสเปกตรัมครึ่งบนถูกกรองทิ้งไป (โดยมากใช้ Low-pass digital filter) เพิ่มความละเอียดของสัญญาณดิจิตอลที่ได้

จากที่ได้กล่าวมาเพื่อให้เห็นว่าโอเวอร์แซมปลิ้งใช้วงจรง่าย ๆ สร้างได้ วงจรกรองสัญญาณเราสามารถใช้วงจรกรองความถี่ต่ำซึ่งสร้างจาก R-C ธรรมดา หรืออาจมีองค์ประกอบอื่นมาช่วยบ้างเพื่อความสมบูรณ์ ส่วนการสร้างวงจรควอนไตซ์ สามารถสร้างจากวงจรเปรียบเทียบที่มีความละเอียดต่ำได้อีกทั้งมีวงจร DAC ทำให้ระบบมีความเป็นเชิงเส้นดีขึ้น เนื่องจากระดับของสัญญาณอนาลือกเอาท์พุทของ วงจร DAC ซึ่งใช้อินพุทสัญญาณดิจิตอลที่แปลงออกมานั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



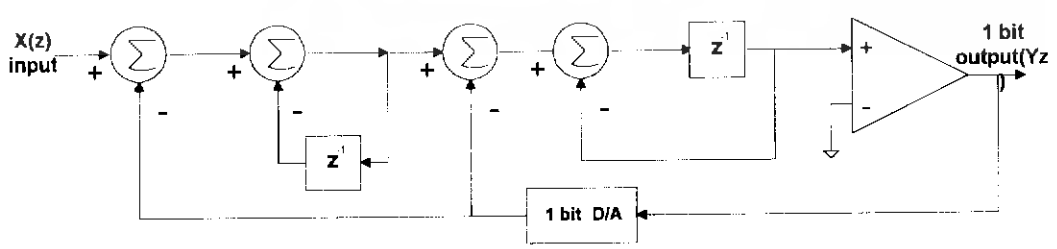
รูปที่ 4.6 ลักษณะรูปร่างของ noise with modulation

การแปลงสัญญาณอนาล็อกเป็นดิจิตอลแบบเดลตา-ซิกมาร์ โดยใช้เทคนิค Multiple-Order Modulation

การทำ Multiple-Order Modulation จะช่วยลดสัญญาณรบกวนลงแต่ก็ต้องการอุปกรณ์ที่มีคุณภาพสูง และการออกแบบระบบที่รัดกุม เพื่อหลีกเลี่ยงความไม่เสถียรภาพของระบบ รูปที่ 4.7 แสดง Second-Order delta-sigma converter หรือระบบ delta-sigma converter อันดับสอง สร้างจากระบบอันดับหนึ่งสองระบบมาต่อเชื่อมกันแบบอนุกรม

ฟังก์ชันความสัมพันธ์ระหว่างอินพุทกับเอาท์พุทในรูปแบบของ Z transfer คือ

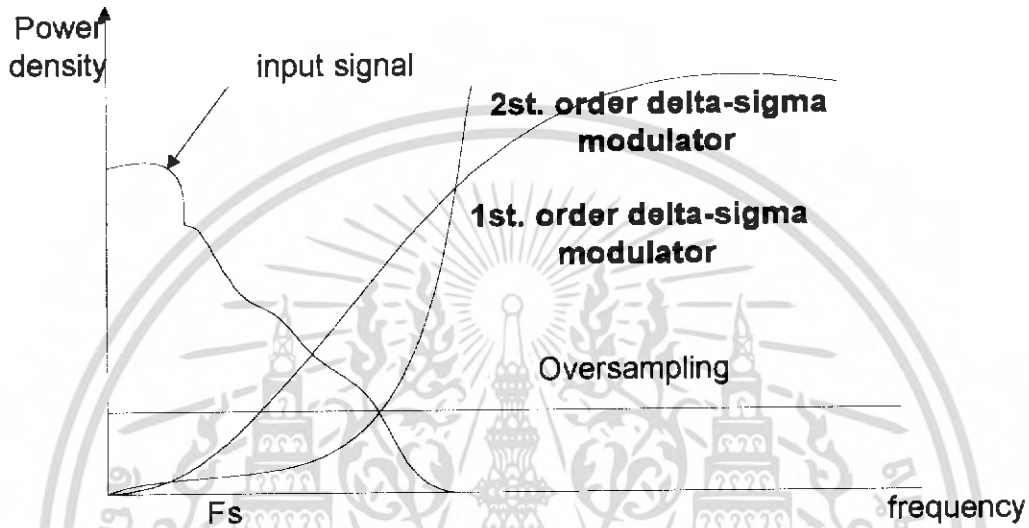
$$Y_{(s)} = X_{(S)}\left[Z^{-1}+e(1-Z)^2\right]$$



รูปที่ 4.7 การแปลงสัญญาณอนาล็อกเป็นดิจิตอลโดยใช้ Second-order delta-sigma modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อควรสังเกตุ สัญญาณอินพุทจะผ่านเข้ามา และถูกแปลงส่งไปยังเอาท์พุทจะมีการหน่วงเวลาเนื่องจากการแปลงสัญญาณต้องใช้เวลา ส่วนสัญญาณรบกวน (Noise) จะถูกตัดโดยวงจรกรองความถี่สูงอันดับสอง ดังนั้นการเพิ่มสเตจของวงจรเป็นการเพิ่ม Order ของการลดทอนสัญญาณรบกวน รูปที่ 4.8 แสดงผลที่เกิดจากระบบที่มี Order สูงต่อสัญญาณในช่วงที่ระบบตอบสนอง (inband-signal)

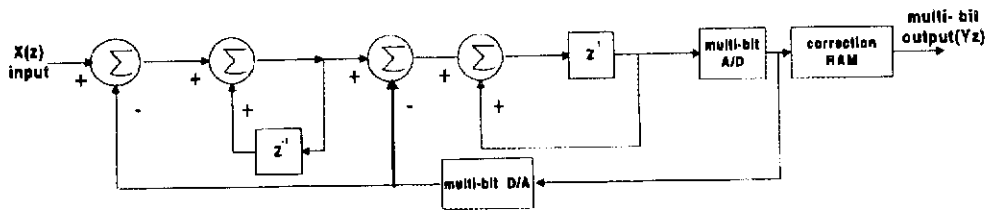


รูปที่ 4.8 ผลของการใช้ high-order modulator

ระบบที่มอดูเลตแบบมัลติบิท (Multibit Modulators)

โดยหลักการทั่วไป delta-sigma ADCs ใช้วงจร comparator แบบง่าย ๆ (Basic two level DAC) เพื่อช่วยเพิ่มความเป็นเชิงเส้นในการทำงาน อย่างไรก็ตาม ยังมีประโยชน์ในการเพิ่มความละเอียดของ DAC ด้วยการควอนไตซ์แบบหลายบิต (multibit quantization) ลดสัญญาณรบกวนลงแบบเอ็กโปเนลเชียลในทุก ๆ บิทที่เพิ่มขึ้นใน ADC มอดูเลเตอร์ เป็นการลดระดับของสัญญาณรบกวนลง เมื่อเพิ่มจำนวนบิทขึ้น 1 บิทใน ADC เนื่องจาก step ของการควอนไตซ์ (n) จะถูกลดลงโดย 2^{-n} และยังทำให้เสถียรภาพการป้อนกลับมีมากขึ้น เนื่องจากสัญญาณป้อนกลับใกล้เคียงกับสัญญาณผิดพลาด (Actual error) มากที่สุด ทำให้ลดความต้องการการฟิลเตอร์แบบดิจิตอล (digital fittering) เนื่องจากสัญญาณรบกวนที่อยู่ย่านความถี่ใช้งานที่ลดลง (the out -of - band noise) รูปที่ 4.9 เป็นภาพของระบบที่ใช้ multibit modulators

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 Multi-bit modulator

ข้อเสียของการใช้มัลติควอนไตเซชั่น

ข้อแรกวงจร ADC จะต้องมีความเร็วสูงมากเพื่อให้ทันกับการเซมปลิ้ง ซึ่งต้องนำ flash conventer มาใช้

ข้อสอง วงจร DAC จะต้องมีความเร็วสูงตามมาด้วย ทั้งยังต้องเที่ยงตรงต่อความเป็นเชิงเส้น ในช่วง ½ LSB ไม่ว่าจะเกิด error ขึ้นอย่างใดที่ DAC ก็จะเห็นผลของ error นั้นได้ที่เอาท์พุท ดังนั้นจึงต้องมีการชดเชยบางอย่างด้วย

ข้อสาม เมื่อ multibit ADC มีความใกล้เคียงจนเกือบจะเท่ากับสัญญาณอินพุทแล้ว จะทำให้สัญญาณอินพุทและ DAC error เกี่ยวพันกันหรือแปรเปลี่ยนตามกันมากขึ้น ทำให้พลังงานของสัญญาณ baseband เพิ่มขึ้น และเกิดความเพี้ยนของฮาโมนิกส์ด้วย

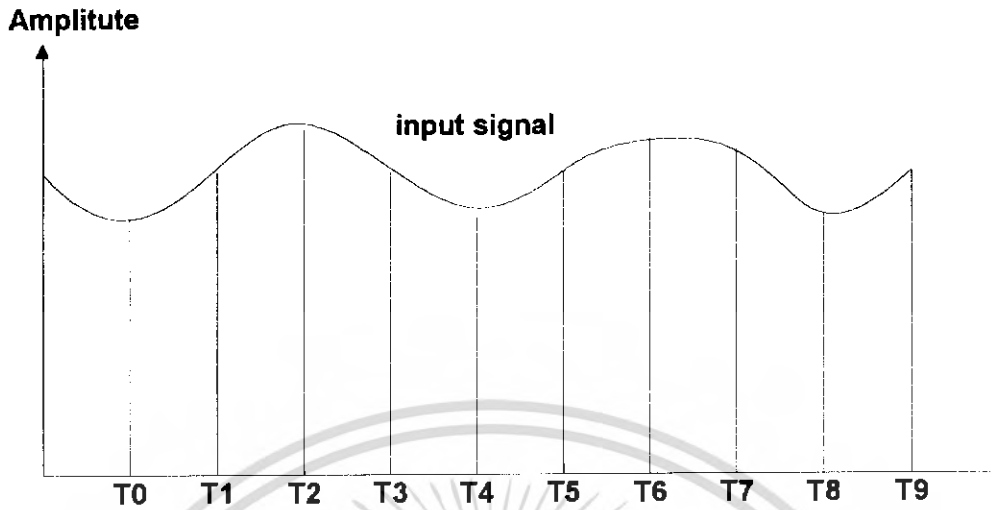
มีหลายวิธีที่จะแก้ไขปัญหาดังกล่าว ซึ่งวิธีแรกก็คือการใช้วงจร Random เพื่อสลับการทำงานขององค์ประกอบของ DAC ที่แตกต่างกัน เพื่อระงับความสัมพันธ์ระหว่างอินพุทและเอาท์พุท ทำให้เกิด white noise effect และยังสามารถกรองสัญญาณ noise ทิ้งไปได้

วิธีที่สอง การออกแบบโดยใช้วิธีอื่นเพื่อแก้ความผิดพลาด เช่น RAM จะชดเชย DAC error เช่น การไม่เป็นเชิงเส้น (Non linearity) โดยการเก็บ DAC correction code ไว้ใน RAM ขณะช่วงคาบของการแต่งระบบ

ดิจิตอลฟิลเตอร์ (Digital filters)

ดิจิตอล ฟิลเตอร์ ต่างกับ อนาล็อกฟิลเตอร์ ตรงที่ อนาล็อกฟิลเตอร์ทำงานกับสัญญาณที่เข้ามาอย่างต่อเนื่อง แต่ ดิจิตอลฟิลเตอร์ ถูกใช้งานกับสัญญาณที่ถูกแซมปลิ้งแล้ว ดูรูปที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงให้เห็นข้อมูลที่ได้จากการแซมปลิ้งสำหรับ digital filtering

จากรูปที่ 4.10 เป็นรูป pulse ที่ได้จากการแซมปลิ้ง และเตรียมส่งไปสู่วงจรดิจิตอลฟิลเตอร์ โดยการนำพัลส์มาคูณกับค่าสัมประสิทธิ์ต่างๆแล้วนำมารวมกันเพื่อ จัดให้เข้ารูปแบบของ impulse response ดังเช่น อนาล็อกฟิลเตอร์ (เช่น Butterworth , Bessel, Chebysher) ให้เป็น lowpass , band pass หรือ high pass filter แต่ก็ต่างกับดิจิตอลฟิลเตอร์

ดิจิตอลฟิลเตอร์ ที่ใช้กับองค์ประกอบหน่วงเวลา (delay elements) ใส่ไว้ตลอดทั้งช่วงการคูณและการรวมสัญญาณ

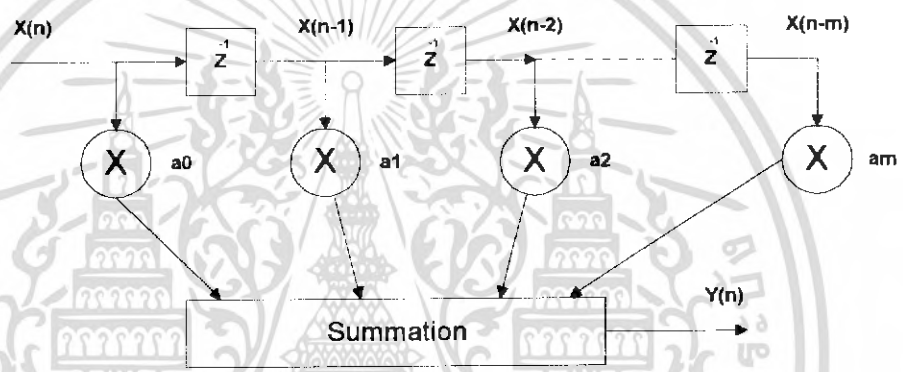
มีเทคนิคหลายอย่างที่ใช้สร้างดิจิตอลฟิลเตอร์ ในการเลือกมาใช้ต้องคำนึงถึงความสมบูรณ์และประสิทธิภาพ (ปริมาณ ของ ripple ใน pass band และปริมาณของ group delays) Pass band ripple จะถูกลดลงโดยการเพิ่มจำนวนของ filter taps (delay elements) Group delay เป็นปริมาณของเวลาที่ใช้ในการเปลี่ยนแปลงสัญญาณอินพุทไปเป็นสัญญาณเอาท์พุท จะต้องเป็นปฏิภาคตามกันระหว่างปริมาณของ Group delay จำนวนของการแซมปลิ้งที่ทำให้ได้เอาท์พุทที่สมบูรณ์ ปัญหาหลักของการใช้งาน ดิจิตอลฟิลเตอร์ก็คือ round- off error ซึ่งมาจากการกระทำต่าง ๆ ในคณิตศาสตร์ในระบบ round-off error ลดลงได้โดยเพิ่มความยาวของสัมประสิทธิ์ delta - sigma Aid ส่วนใหญ่ใช้วงจรดิจิตอลฟิลเตอร์ชนิดโปรแกรมได้ จึงมีส่วนช่วยในการประยุกต์ใช้งานหลายด้าน (เช่น เครื่องมือวัด หรืองานทางด้านระบบเสียง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปรียบเทียบ ดิจิตอลฟิลเตอร์

ดิจิตอลฟิลเตอร์พื้นฐานมี สองชนิด คือ finite impulse response (FIR) และทำ infinite impulse response (IIR) รูปที่ 4.11 เป็น FIR filter ที่รู้จักกันในนาม nonrecursine และสัญญาณพัลส์อินพุท จะหยุดเมื่อเปลี่ยนให้สัญญาณเอาท์พุทออกมาเมื่อครบจำนวนของ delays

$$\text{FIR filter } y(n) = \sum_{k=0}^{M-1} a(k)\, x(n-k)$$



รูปที่ 4.11 บล็อกไดอะแกรมของ N th-order FIR filter

ส่วน IIR filter (ดังรูปที่ 4.12) มีส่วนการป้อนกลับด้วย IIR นี้ รู้จักกันในนาม recursive สัญญาณอินพุทจะได้รับการตอบสนองจาก IIR filter ตลอดเวลา เนื่องจากมีส่วนของการป้อนกลับคอยควบคุมสัญญาณเอาท์พุทให้เป็นไปตามอินพุท สมการของ IIR filter

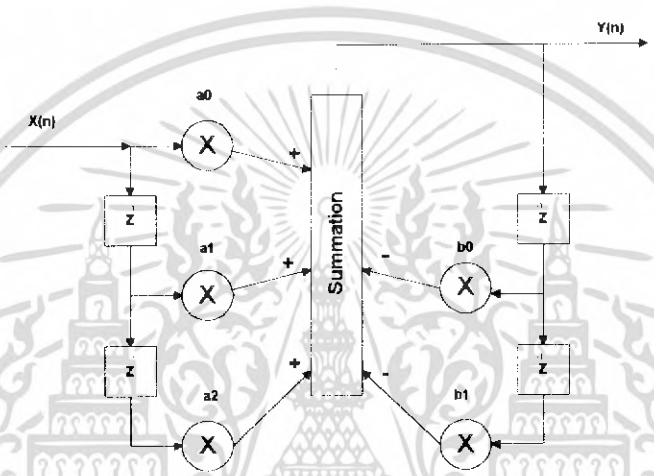
$$y(n) = \sum_{k=0}^{M-1} a(k)x(n-k) - \sum_{k=0}^{N-1} b(k)y(n-k)$$

คุณลักษณะทั่วไปของ FIR filter

1. ไม่มีสภาวะที่แน่นอน เนื่องจากไม่มี pole (feed back terms)
2. ไม่สามารถจัดการกับ error ได้ เนื่องจากสัญญาณอินพุทจะหยุดชั่วคราวทำให้ระบบไม่ตอบสนองอินพุทขณะนั้น (เพราะไม่มี feed back) ดังนั้นจึงไม่ต้องการค่าสัมประสิทธิ์ที่ใหญ่ดังเช่น IIR filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สร้างง่าย วิเคราะห์ง่าย
4. ต้องการจำนวนของสัมประสิทธิ์มากกว่า IIR filter เนื่องจากมี band width แคบกว่า IIR ที่ใช้ band width แคบก็เพราะใช้การทำ multiplication หรือ filter tab เป็นจำนวนมากเนื่องจากการไม่มี pole หรือส่วนป้อนกลับ ทำให้การ roll-off ถูกกำจัด
5. สามารถเพิ่มประสิทธิภาพของการทำ decimationเพื่อลดการคำนวณในแต่ละแซมเปิ้ล



รูปที่ 4.12 บล็อกไดอะแกรมของ IIR filter

คุณลักษณะทั่วไปของ IIR filter

1. มีส่วนของการป้อนกลับ เนื่องจากมี pole มีการทำ roll-off ได้สูงกว่า
2. การคำนวณต้องสมบูรณ์มากกว่า FIR filter เพราะต้องใช้ข้อมูลเก่าของเอาท์พุทในทุก ๆ การแซมเปิ้ล ทำให้การทำ decimation เป็นไปไม่ได้และต้องใช้แซมปลิ้งต่ำกว่า FIR
3. ต้องมีการดูแลอย่างดี เพื่อให้แน่ใจว่าระบบยังคงมีเสถียรภาพ ตลอดทุกสภาวะเนื่องมาจากมีส่วนของการป้อนกลับ

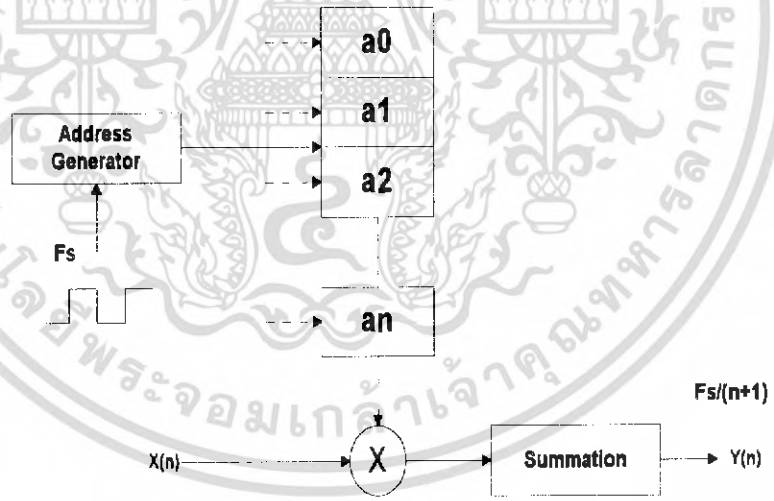
Decimation

กระบวนการของการแปลงสัญญาณที่มีขนาดสั้น (short words) ที่มีความถี่สูงไปสู่สัญญาณที่มีขนาดยาวขึ้น (longer words) ที่ความถี่ต่ำนั้นรู้จักกันในชื่อ decimation เป็นการลดความสมบูรณ์และความเร็วของระบบลงอย่างมาก เพื่อใช้ในการกระทำทางคณิตศาสตร์ เช่น ถ้าหากไม่มีการลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราความเร็วให้ N-tap fillter จะพบว่าส่วนอินพุทต้องการส่วน multiplication เพิ่มขึ้น N ตัว และยังเพิ่มเวลาของการแซมปลิ้งขึ้นอีก นับเป็นการสิ้นเปลืองอย่างมาก เช่น หากสัมประสิทธิ์มีขนาดยาวตามจำนวนบิท ทำให้ต้องมี tap มากตาม ทำให้ unit delay มีจำนวนมากตามไปด้วย สมการของจำนวนสัมประสิทธิ์ สำหรับจำนวน tap filter คือ N-1 coefficients for an N- tap filter ดังแสดงในรูปที่ 4.12

หากลดจำนวนการคำนวณต่อการแซมปลิ้งลง ทำให้สามารถลดการคูณ และการกระทำทางคณิตศาสตร์ (multiply and accumulate MAC) ของ processor ลงทำให้ประหยัดงบประมาณ และเพิ่มประสิทธิภาพเนื่องจากสัญญาณรบกวนจากภายใน (internal Noise) ที่เกิดจากการสวิทช์ด้วยความถี่สูงของวงจรดิจิตอล บ่อยครั้งที่ decimation ให้ผลลัพธ์ ในเวลาเดียวกันกับ filter และในการต่อกันเป็นช่วง ๆ ของระบบหลายๆระบบ (cascaded) แต่ละระบบก็จะมีการทำ decimation ที่ความถี่ต่างกัน รูปที่ 4.13 คือ ตัวอย่างง่ายๆเพื่อให้เห็นว่า decimation และ filtering ให้ผลออกมาพร้อม ๆ กันได้อย่างไร จะเห็นได้ว่าความเร็วของเอาท์พุทที่ได้ ลดลงในอัตราความเร็วที่ 1/N เนื่องจากผลบวกระหว่าง N input แซมเปิ้ลคูณกับ N สัมประสิทธิ์จะได้ decimation factor คือ N



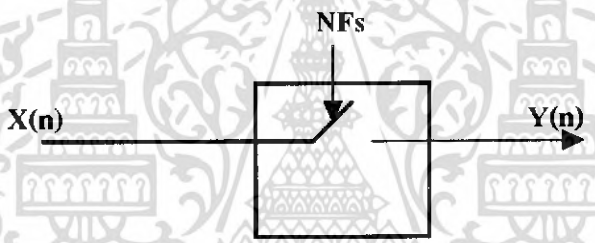
รูปที่ 25 FIR filter with 1/N Decimation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณดิจิตอล เป็นอนาล็อกชนิด Delta - Sigma

(Delta-Sigma D/A converters)

Delta-Sigma Dac ต่างกับ delta-sigma ADC ตรงที่อัตราความเร็ว (rate) ของสัญญาณเอาท์พุทในส่วนของ ADC การทำ decimation ใช้ลดพัลส์ความถี่สูงที่มีความละเอียดต่ำไปที่ความถี่ที่ต่ำกว่าแต่มีความละเ อียดสูงกว่า ส่วน Delta-Sigma DACs จะกลับกัน ในที่นี้กระบวนการที่เรียกว่า interpolation (ดูรูปที่ 4.14) จะทำการแซมเปิลสัญญาณดิจิตอลเอาท์พุท ด้วยความเร็วสูง ทำให้รหัสดิจิตอลที่มีความละเอียดต่ำ ถูกแซมเปิลมากครั้งขึ้น เป็นทวีคูณด้วยความเร็วสูงทำให้เกิดสัญญาณเอาท์พุทที่มีความละเอียดสูง ต่อช่วงความถี่ทำให้ง่ายต่อการใช้ low-pass filter กรองสัญญาณอนาล็อกออกมา

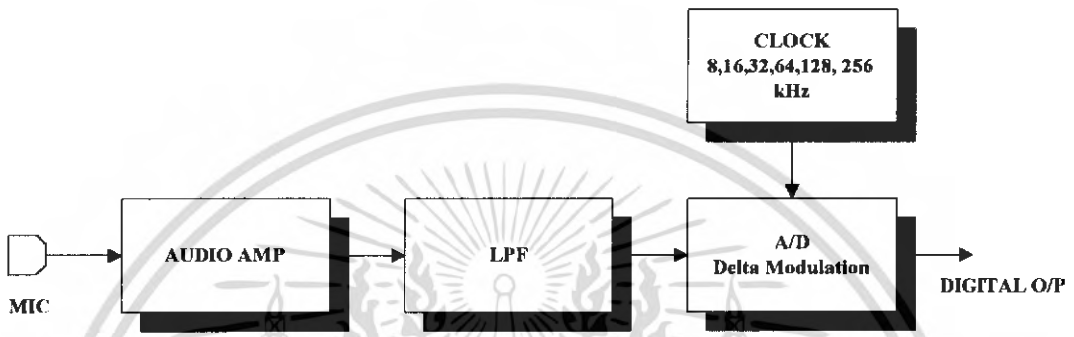


รูปที่ 4.14 Sampling Interpolation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
หลักการทำงานและทฤษฎีการออกแบบ

หลักการทำงานของภาค A/D Converter



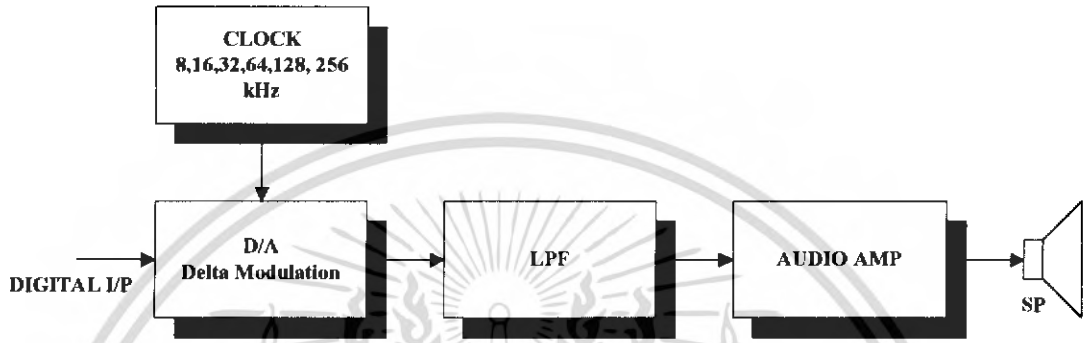
รูปที่ 5.1 Block diagram ภาค A/D Converter

หลักการทำงานของภาค A/D Converterมีลำดับขั้นตอนการทำงานดังแสดงตาม Block diagram รูปที่ 5.1 การทำงานเริ่มจาก Condensor MIC จะทำการเปลี่ยนสัญญาณเสียงพูด (Speech Signal) ให้เป็นสัญญาณทางไฟฟ้า ผ่านเข้าไปทางภาคขยายไมค์ (Audio Amp) เพื่อให้สัญญาณแรงพอที่จะใช้ได้จากนั้นจะส่งผ่านไปยังวงจร LPF เพื่อกรองเอาเฉพาะความถี่ 0-4 KHz ให้ผ่านไปได้เท่านั้น จากนั้นก็ส่งไปเข้าวงจร A/D เพื่อทำการแปลงสัญญาณเสียงจากสัญญาณ Analog ให้เป็นสัญญาณ Digital โดยเป็นชนิดเดลต้ามอดูเลชั่น ซึ่งในการแปลงสัญญาณ Analog ให้เป็นสัญญาณ Digital นี้จะอาศัย Clock ซึ่งเป็นสัญญาณนาฬิกา มาเป็นความถี่ในการ Sampling สัญญาณโดยใช้วิธีการสุ่มตัวอย่างที่เรียกว่า Oversampling หลักการของ Oversampling ก็คือจะใช้ความถี่ในการ Sampling สูงกว่าการ Sampling แบบธรรมดา โดยทั่วไปแล้ว A/D Converter จะใช้การ Sampling แบบธรรมดา ซึ่งใช้ความถี่ในการ Sampling ประมาณ 2 เท่าของความถี่สูงสุดของสัญญาณในย่านใช้งาน แต่ Oversampling จะใช้ความถี่ในการ Sampling มากกว่า 2 เท่า ซึ่งเป็นความถี่ที่สูง และความถี่ยิ่งสูงก็จะทำให้การ Sampling สัญญาณละเอียดยิ่งขึ้น ซึ่งจะทำให้การแปลงสัญญาณ Analog เป็นสัญญาณ Digital มีประสิทธิภาพมากยิ่งขึ้น และในการแปลงกลับมาเป็นสัญญาณ Analog ทางด้านภาครับก็จะได้รับสัญญาณเหมือนภาคส่ง โดยผิดเพี้ยนน้อย กล่าวได้ว่า Oversampling จะช่วยลดสัญญาณรบกวนที่เรียกว่า Quantization noise ได้ ความถี่ที่ใช้ในการ Sampling นี้คือ 8, 16, 32, 64, 128, และ 256 KHz เหตุที่ใช้ความถี่ในการ Sampling หลาย ๆ ความถี่นี้ ก็เพื่อจะเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ทราบถึงความแตกต่างของสัญญาณ Output ที่ได้ เมื่อความถี่ในการ Sampling สูงขึ้นเรื่อย ๆ จะได้สัญญาณ Output ที่ดีและชัดเจนมากยิ่งขึ้นนั่นเอง

หลักการทำงานของภาค D/A Converter

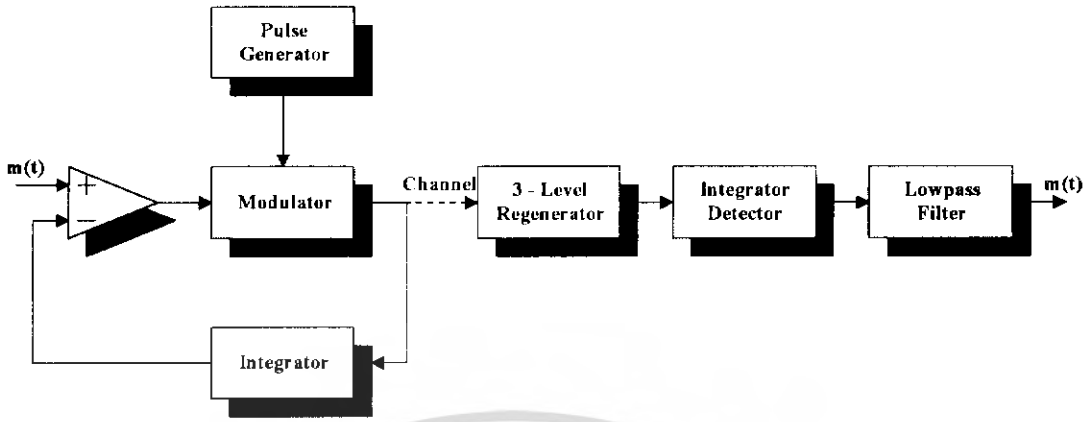


รูปที่ 5.2 Block diagram ภาค D/A Converter

หลักการทำงานของภาค D/A Converter มีลำดับขั้นตอนการทำงานดังแสดงตาม Block diagram รูปที่ 5.2 โดยเริ่มจากการรับสัญญาณ Digital เข้าวงจร D/A เพื่อทำการแปลงสัญญาณ Digital เป็นสัญญาณ Analog หรือแปลงกลับเป็นสัญญาณเสียงนั่นเอง โดยมี CLOCK เป็นสัญญาณนาฬิกาเป็นความถี่ในการ Sampling ซึ่งจะมีความถี่ตรงกันกับทางด้านภาค A/D Converter เสมอ เพื่อการแปลงกลับสัญญาณจะได้ถูกต้องไม่ผิดพลาดเมื่อแปลงสัญญาณ Digital เป็นสัญญาณเสียงแล้วจากนั้นนำมาผ่านวงจร LPF เพื่อกรองความถี่ แล้วทำการขยายสัญญาณเสียงให้แรงขึ้นโดยวงจร AUDIO AMP แล้วป้อนออกไปยังลำโพง

DM คือ กรรมวิธีของการขนส่ง ขบวนของ pulse ซึ่งมีความกว้างตายตัว (Fixed width pulse) โดยมีขั้ว (polarity) เป็นตัวชี้นำให้ Demodulator ทางด้านรับ ทำงานมี output สูงขึ้น (rise) หรือตกลงมา (fall) ในช่วงแต่ละ pulse ที่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 หลักการเดลต้ามอดูเลชั่น

ทางด้านส่ง

1) Comparator เป็นแบบ High gain differential comparator

– สัญญาณที่จะส่งป้อนเข้าทาง noninverting input (+)

– สัญญาณที่เข้าทาง inverting input เป็นสัญญาณที่เกิดจากการ feed back กลับมาจาก Output โดยมีลักษณะคล้ายกับสัญญาณที่จะส่งมา

– Comparator จะ Saturation ไปทางด้าน positive หรือ negative Supply Voltage อย่างใดอย่างหนึ่ง ขึ้นอยู่กับขั้วของ Voltage ผลต่างระหว่าง input (+ มี Volt สูงหรือต่ำกว่า - input) ทั้งสอง ฉนั้น output จะมีแต่ + หรือ -

2) Modulator ได้รับ pulse pi (t) เป็นแบบ unipolar (มีขั้วด้านเดียว) โดยมี Sampling rate เท่าที่ต้องการ ทำหน้าที่ SW ให้ output ของ Mod. ออกไปได้ pulse เป็น +1 หรือ -1 คือ ถูกสลับด้วย pulse สัญญาณนี้นอกจากจะถูกส่งออกไปเป็น output po(t) แล้วยังย้อนกลับไปป้อนทาง input โดยผ่านวงจร Integrator ก่อน

3) Integrator จะสร้างรูปคลื่นขั้นบันไดมีความสูงตายตัว โดยขั้วจะขึ้นเมื่อได้pul se + และขั้วจะตกลงเมื่อได้ pulse - ได้เป็นสัญญาณ m(t) ความสูงของ pulse ปรับได้โดยการเปลี่ยนแปลง gain factor ของ Integrator การเพิ่ม gain จะทำให้รูปคลื่นมี Maximum rate Rmax ของการขึ้นสูงเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางด้านรับ

1. Regenerator จะแต่งสัญญาณที่เข้ามาให้ปราศจาก noise ให้เหมือนรูปเดิม
2. Integrator สร้างสัญญาณเป็นรูปขั้นบันได m'(t)
3. Lowpass Filter ขจัด Quantization Noise สัญญาณ m''(t) ที่จะออกไปเหมือนสัญญาณเดิมมากที่สุด

หลักการเดลต้ามอดูเลชั่น (Delta Modulation)

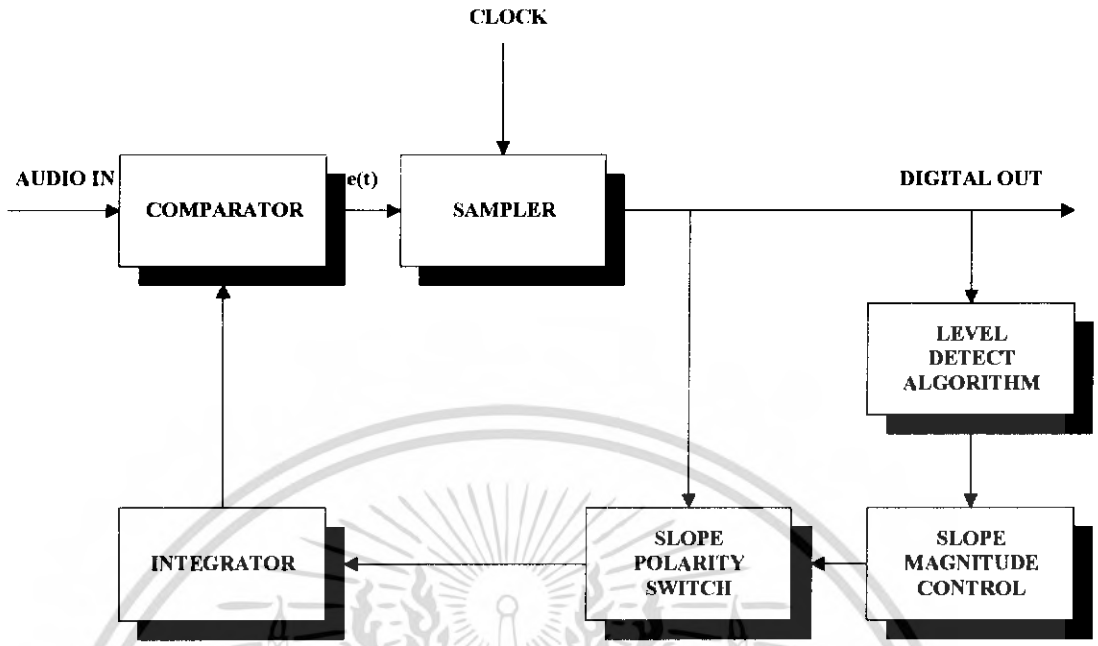
จากการทดลองในโครงงานนี้ ได้ใช้ไอซีสำเร็จรูปในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลเป็นชนิด เดลต้ามอดูเลชั่น ใช้ไอซีเบอร์ MC 3418 เป็นชนิดซีวีเอสดี (continuous variable slope delta modulation and demodulation) ข้อจำกัดของวิธีการเดลต้ามอดูเลชั่น คือ แถบกว้างความถี่ใช้งานซึ่งถูกจำกัดโดยความถี่ใช้งานนาพิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุทมากกว่า 2 เท่าขึ้นไป อีกอันหนึ่ง คือ ความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณหรือไดนามิกส์เรนจ์ (dynamic range) ระบบเดลต้ามอดูเลชั่นธรรมดามีค่าไดนามิกส์เรนจ์ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกส์เรนจ์ให้กว้างขึ้น โดยการควบคุมอัตราการขยายตัวของอินทิเกรเตอร์ (integrator) เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (continuous variable slope delta modulation)

ระบบ CVSD ทั้งส่วนแปลงจากอนาล็อกเป็นดิจิตอล และส่วนแปลงกลับจากดิจิตอลเป็นอนาล็อกรูปที่ 5.4 และรูปที่ 5.5 ตามลำดับ วิธีการของ CVSD ก็คือ มีการตรวจระดับสัญญาณโดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์ (register) สำหรับเก็บข้อมูลล่าสุดจำนวน 3 ถึง 4 บิท แล้วตรวจดูว่าเป็น "0" หมดหรือ "1" หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้อัตราการขยายให้สูงขึ้นเฉพาะในช่วงนั้น ในส่วนของการแปลงกลับ ก็มีการทำงานในลักษณะเดียวกัน คือ มีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น "0" หมดหรือ "1" หมดหรือไม่ แล้วจัดการควบคุมอัตราการขยายของอินทิเกรเตอร์ให้สอดคล้องกัน

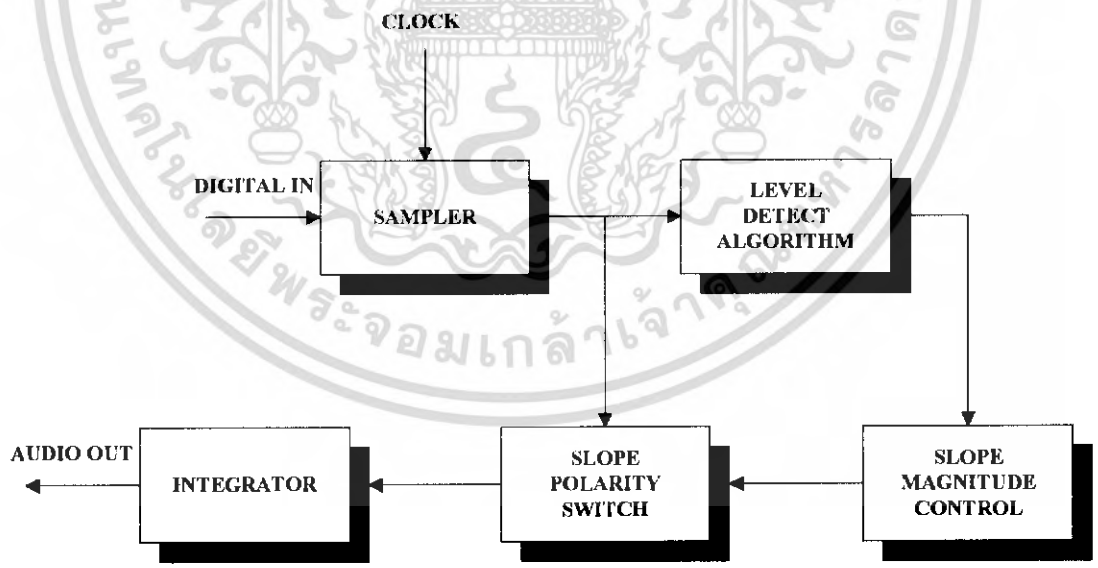
สำหรับบิทเรท (bit rate) หรือ อัตราเร็วของข้อมูลสำหรับวิธีการเดลต้ามอดูเลชั่น มีความถี่เท่ากับความถี่สัญญาณนาพิกาเช่นเสียงพูดในระบบโทรศัพท์ มีแถบความถี่กว้าง 4 กิโลเฮิร์ท ต้องใช้ความถี่นาพิกา 16 กิโลเฮิร์ท ได้ข้อมูลดิจิตอลที่มีบิทเรท 16 กิโลบิทต่อวินาที เป็นต้น

ในโครงงานนี้จะใช้ ไอซีเบอร์ MC 3418 ของโมโตโรล่า เป็นซีวีเอสดีมอดูเลชั่น และดีมอดูเลชั่นตัวเดียวทำหน้าที่ทั้งแปลงสัญญาณอนาล็อกเป็นดิจิตอล และแปลงกลับจากดิจิตอลเป็นอนาล็อก มาใช้กับระบบสื่อสารสมัยใหม่ที่เป็นระบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 บล็อกแผนผังการทำงานของซีวีเอสดีในการแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล



รูปที่ 5.5 บล็อกแผนผังการทำงานของซีวีเอสดีในการแปลงสัญญาณจากดิจิตอลเป็นอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อได้เปรียบของ DM นั้นคือ สร้างง่าย และให้เอาท์พุทออกมาเป็น serial เลย ข้อจำกัดของ DM คือความเที่ยงตรงในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลด้วย bit rate ที่จำกัด ดังนั้น อนาล็อกเอาท์พุทจึงต้องมีการกำจัดทั้ง bandwidth และ amplitude สำหรับความถี่จะจำกัดจุดสูงของความถี่อินพุท ไม่ให้เกินกว่าที่จะ encode ได้ ส่วน amplitude นั้นจะจำกัดทั้งสูงสุดและต่ำสุด เพราะ amplitude ค่าต่ำสุดต้องไม่ต่ำกว่าระดับของ noise ที่ DM สร้างขึ้นขณะไม่มีสัญญาณอินพุท สำหรับ delta modulaion แบบธรรมดาแล้วพบว่ามีไดนามิกส์เรนจ์ต่ำ และมีระดับของ noise คงที่

สำหรับวงจร continuous variable slope นั้นมีจุดประสงค์ เพื่อเพิ่มเติมไดนามิกส์เรนจ์ ซึ่งทำได้โดยการปรับ gain ของวงจรอินทิเกรเตอร์ ด้วยวิธีการตรวจสอบสัญญาณอินพุท โดยใช้ shift register นี้จะมี 3 หรือ 4 ตัวตามแต่การใช้งาน CVSD จะคอยเช็คดูว่าค่าภายใน shift register เป็น "0" หรือ "1" ทั้งหมดหรือไม่ ถ้าค่าภายในของ shift register เป็น "0" หรือ "1" ทั้งหมด แสดงว่า gain ของอินทิเกรเตอร์น้อยไป เราจะได้ผลแสดงออกมาทาง coincidence เอาท์พุทซึ่งจะไปทำการเพิ่ม gain ของอินทิเกรเตอร์

นอกจากวิธีการใช้ shift register แล้วยังมีวิธีอื่นอีก เช่น การวัด average power หรือการวัดขนาดของสัญญาณอินพุท หรือตรวจสอบค่าขณะของอินพุท ซึ่งวิธีการเหล่านี้ล้วนแล้วแต่ต้องการควบคุม gain ของอินทิเกรเตอร์ เพื่อเพิ่มไดนามิกส์เรนจ์ของ DM ทั้งสิ้น

จากวิธีการ encode นี้ ถ้าถูกนำมาใช้ในการ decode ที่ทางด้านรับ เราก็จะได้สัญญาณดิจิตอลเอาท์พุทมีรูปร่างเช่นเดียวกับทางด้านอินพุท

จากวิธีการของ CVSD นี้เรียกว่าการ Compand (compress + expand) ถ้านำสัญญาณดิจิตอลเอาท์พุทของ CVSD encoder มีใช้การ decode ด้วย DM แบบธรรมดา (หรือ LDM นั่นเอง) เอาท์พุทหลังจากผ่านอินทิเกรเตอร์แล้ว จะมีลักษณะเช่นเดียวกับทางด้านอินพุท แต่ระดับ amplitude จะมีขนาดเท่ากันตลอด ดังนั้นวิธีการ decode CVSD ก็ต้องใช้เช่นเดียวกับวิธีการ encode

การออกแบบประยุกต์ใช้งาน CVSD

ไอซีเบอร์ MC 3417, MC 3418 เป็น CVSD แบบง่าย การต่อให้ทำงานเป็น encode และ decoder ดังแสดงในรูปที่ 5.6 ไอซีชนิดนี้เป็น CVSD แบบใช้งานทั่วไป ผู้ใช้สามารถออกแบบปรับปรุงได้ มีสิ่งที่ต้องการกำหนดและออกแบบ 7 ข้อคือ

1. กำหนดความถี่ของสัญญาณนาฬิกา (clock rate)
2. ขนาดของ shift register ที่ต้องใช้ (3 หรือ 4 บิท)
3. เลือก loop gain

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

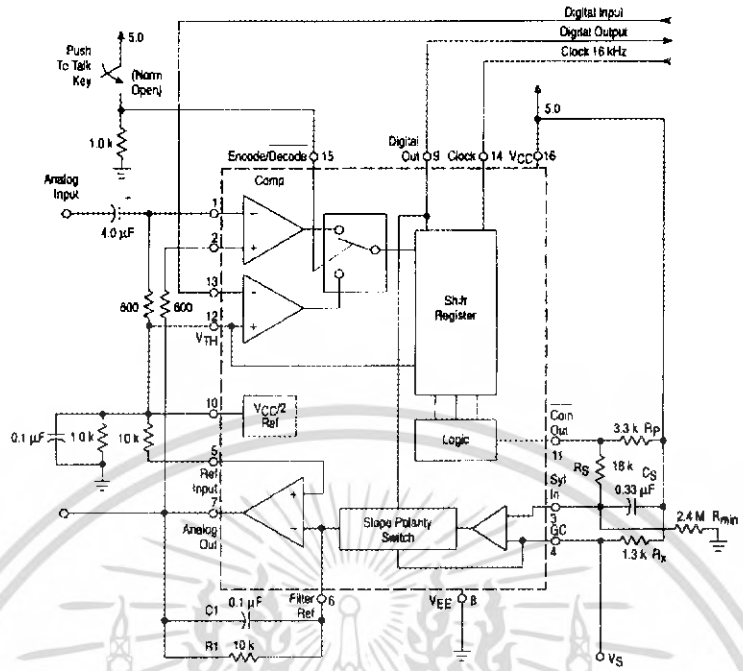
4. กำหนดขนาด step ที่เล็กที่สุด
5. ออกแบบอินทิเกรชั่นฟิลเตอร์ transfer function
6. ออกแบบ syllabic filter transfer function
7. ออกแบบ low pass filter

สัญญาณนาฬิกาและขนาดของชิฟรีจิสเตอร์

ในการออกแบบขั้นต้น เราต้องกำหนดบิทเรทของ CVSD ซึ่งจำนวน บิทเรท นี้คือสัญญาณนาฬิกาที่ต้องใช้นั่นเอง เนื่องจาก DM สร้างสัญญาณที่เป็นอนุกรมออกมาเลย ดังนั้นบิทเรทและสัญญาณนาฬิกาหรือความถี่ของการ แซมปลิ้ง ก็คือตัวเดียวกันนั่นเอง ถ้าความถี่ของสัญญาณนาฬิกาสูง S/N ก็จะสูงไปด้วย ที่มีใช้กันมากในอุปกรณ์การสื่อสารทั่วไป คือ 16 kHz , 36 kHz และ 37.7 kHz ในระบบโทรศัพท์สาธารณะจะใช้ 32kHz และสำหรับการเข้ารหัสอื่น ๆ บางครั้งอาจจะใช้บิทเรทสูงถึง 200 กิโลบิทต่อวินาที

หลังจากการกำหนดระบบบิทเรทแล้ว ก็ต้องทำการกำหนดขนาดของ ชิฟรีจิสเตอร์นี้เป็นตัวเก็บข้อมูลของสัญญาณในช่วงเวลาที่ได้ผ่านมาก่อนหน้านี้แล้ว เพื่อควบคุม gain ของอินทิเกรเตอร์ ซึ่งก็ขึ้นอยู่กับสัญญาณนาฬิกาด้วย ดังนั้นที่อัตราต่ำกว่า 16 kHz ควรใช้รีจิสเตอร์ขนาด 3 บิท ซึ่งจะให้ผลดีที่สุดและจาก 16 กิโลบิท ขึ้นไปจะใช้ 3 หรือ 4 บิท อย่างใดอย่างหนึ่ง สำหรับ 4 บิท จะให้ S/N ที่ flat กว่า เพราะว่า รีจิสเตอร์ มีการเก็บข้อมูลที่ยาวกว่า อย่างไรก็ตามผลตอบสนองของทรานเซ็ยน จะไม่ดีเท่าที่ควร เนื่องจากการดอมแพนช้า ดังนั้น ไอซีเบอร์ MC 3418 ซึ่งมีรีจิสเตอร์ 3 ตัวนั้นใช้กับระบบที่ใช้ บิทเรทต่ำ ส่วน MC 3418 รีจิสเตอร์ 4 ตัว ใช้กับระบบที่มี บิทเรทสูงตั้งแต่ 64 กิโลบิท ขึ้นไปจะทำงานได้ดี

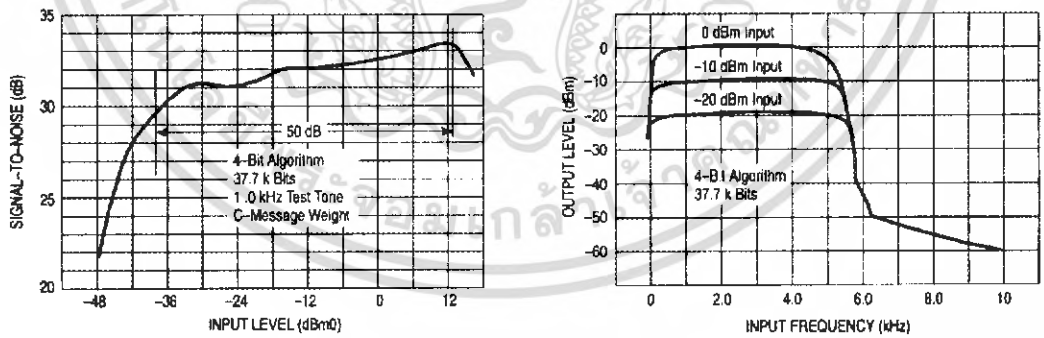
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 วงจร CVSD encode/decode

MC3418

Figure 20. Signal–to–Noise Performance and Frequency Response*



(a) Signal–to–Noise Performance of Telephony Quality Deltamodulator

(b) Frequency Response versus Input Level (Slope Overload Characteristic)

รูปที่ 5.7 ผลของ S/N เมื่อเทียบกับการตอบสนองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุทของ syllabic filter ได้ประมาณ 25% ของจุดสูงสุดของมัน

เพื่อที่จะคำนวณขนาดของกระแสของ step เราต้องหาลักษณะของ ทรานเฟอร์ อินทิเกรชั่นฟิลเตอร์ ในรูปที่ 5.6

R = 10 k $\qquad$ C = 0.1 μF

$$\frac{VO}{Ii} = \frac{1}{C(S + 1/RC)} = \frac{K}{S + Wo}$$

จาก Wo = 2f

10^3 = Wo = 2f

f = 159.2 Hz

ดังนั้น อินทีเกรเตอร์ จะมี single pole response ตั้งแต่ 300 Hz ถึง 3 kHz กระแสที่ต้องการจะทำให้เอาท์พุทของอินทิเกรเตอร์ เพิ่มจาก 0 ถึงจุดโวลท์เตจที่ต้องการ คือ

$$Ii = \frac{VO}{R} + \frac{CdVo}{dt}$$

ที่ 0 dBmo ของ Sine wave จะเท่ากับ 1.0954 V ดังนั้น กระแสที่ต้องการสำหรับที่ 0 dBmo ของ 1 kHz ลูกคลื่นชายน์ คือ

$$Ii = \frac{1.1V}{2(10k)} + \frac{0.1\mu F(1.1)}{0.125\,mS} = 0.935\,mA$$

โวลท์เตจสูงสุดที่ตกคร่อม $Ri = \frac{1.1V}{2}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโวลท์เตจของ syllabic filter ก็คือ Vcc การ compand ไม่เกิน 25%

$$Rx = 0.25\ Vcc * \frac{1}{0.935\ mA}$$

ที่ Vcc = 5 V, Rx = 1.3 k

ขนาดของ step ที่เล็กสุด (minimum step size)

พารามิเตอร์ที่จะกำหนดสุดท้ายนี้ สำหรับวงจรในรูป 5.6 คือขนาดของ step ที่เล็กที่สุด ขณะไม่มีสัญญาณอินพุทดิจิตอลของ CVSD เป็น "1" และ "0" สลับกันไปตลอด และที่อนาล็อกเอาท์พุทจะได้รับรูปสามเหลี่ยมเล็ก ๆ ซึ่งเรียกว่า Idle channel ซึ่งหมายความว่า CVSD ไม่สามารถเข้ารหัสสัญญาณที่มีระดับต่ำกว่าขนาดของ step ที่เล็กที่สุดได้ ในทางทฤษฎีแล้ว จะทำพารามิเตอร์นี้เป็น "0" แต่ในทางปฏิบัติจะมีค่าผิดพลาด (error) เช่น step ที่ขึ้นและลงไม่พอดีกัน คอมพาราเตอร์อีสเตอร์รีซีส และฟิลเตอร์ออปแอมป์ออฟเซท (filter opamp off set) ซึ่งทำให้เกิด Idle channel ทั้งสิ้น

การกำหนดขนาด idle channel นี้ด้วยการเลือกขนาดของ Rmin ขณะที่ไม่มีสัญญาณอินพุท ส่วนควบคุมความเอียงจะไม่ทำงานเพราะ เอาท์พุทของคอมพาราเตอร์ จะไม่เป็น "1" หรือ "0" ติดๆ กัน จนทำให้เกิด coincidence เอาท์พุทได้ ดังนั้นโวลท์เตจที่ตกคร่อม Cs จะประมาณ 0 V อย่างไรก็ตามโวลท์เตจที่ถูกแบ่งของ Rs และ Rmin จะทำให้มีโวลท์เตจตกคร่อม Cs บ้าง ซึ่งโวลท์เตจนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เอาท์พุทของอนาล็อก จากสมการกระแสอินพุท

$$li = \frac{VO}{R} + \frac{cdVO}{dt}$$

ที่ Vo น้อย ๆ จะได้ $\frac{VO}{R} = 0$ ดังนั้น เทอม Vo/R จึงถูกตัดทิ้งได้

$$li = C_s * \frac{VO}{T}$$

T = period ของสัญญาณนาฬิกา

Vo = peak - to - peak value of idle channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรูปที่ 5.8 ใช้สัญญาณนาฬิกา 37.7 kHz

$$li = \frac{0.1\mu F * 10\ mv}{26.52\mu S} = 37.7\ \mu A$$

ดังนั้นโวลท์เตจคร่อม Cs ที่กระแส 37.7 μA กำหนดโดย Rx

li.Rx = Vsmin = 37.7 μA . 1.3 K = 49 mV

ในรูปที่ 5.8 Rs = 60 k จะทำให้เกิดโวลท์เตจแบ่งกันระหว่าง Rs , Rmin โดยตกคร่อม Rs 49 mV ดังนั้น

$$cc * \frac{Rs}{Rs + Rmin} = Vsmin$$

รูปที่ 5.7 เป็นการวัดผล S/N ของวงจร ซึ่งจะได้ผลดีที่สุดที่ระดับ 0 dBmo แต่ S/N จะตกลง 6 dB จาก 0 dBm ที่ -30 dBm

การจัดขาและหน้าที่ต่าง ๆ ของไอซี

ขา 1 analog input

เป็นขาอินเวอร์ติ้งอินพุทของอนาล็อก คอมพาราเตอร์ ซึ่งเราจะป้อนสัญญาณเสียงเข้าขานี้ ได้ทั้งแบบเอซีและดีซี ขึ้นอยู่กับการใช้งาน ถ้าระดับสัญญาณเสียงมีค่าเข้าใกล้แรงดันอ้างอิงภายใน แล้วตัวต้านทานที่ต่อไบอัสระหว่างขา 1 กับขา 10 จะถูกนำมาใช้อนาล็อกคอมพาราเตอร์ออกแบบใช้กับ hysteresis ต่ำ แต่มี gain สูง (ประมาณ 70 dB)

ขา 2 analog feedback

เป็นขานอนอินเวอร์ติ้งอินพุทของอนาล็อกคอมพาราเตอร์ในการใช้งานเป็นตัวเข้ารหัส (encode) ขานี้จะต่อกับ อนาล็อกเอาท์พุทของวงจรรหัส (encode circuit) หรือ ขา 7 ซึ่งก็คือ วงจรกรองความถี่ต่ำ (low pass filter) เอาท์พุทนั่นเอง ในการใช้งานเป็น decoder ขานี้ไม่ใช้จะต่อกับขา 10 หรือปล่อยลอยไว้เฉย ๆ

ขา 3 syllabic filter

ขานี้เป็นขาที่มี syllabic voltage ป้อนเข้าเพื่อใช้ในการคอนโทรลขนาด step ของอินทิเกรเตอร์ ขานี้เป็น NPN อินพุทของ Op-Amp syllabic filter ประกอบด้วย RC network ที่มีต่อระหว่างขา 11 และขา 3 ซึ่งใช้ time constant ระหว่าง 6 mS - 50 mS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 4 gain control input

syllabic filter voltage ที่ปรากฏคร่อม Cs ของ syllabic filter จะถูกเปลี่ยนเป็นกระแสนำไปขับ (drive) ขา 4 ที่ slew rate 0.5 V/S ดังนั้น กระแสที่ผ่านเข้าขา 4 ก็คือ syllabic filter voltage ที่หารด้วย Rx

ขา 5 Reference input

ขานี้เป็นขานอนอินเวอร์ติ้งอินพุทของอินทิเกรเตอร์แอมปลิไฟเออร์ (integrator amplifier) ใช้เป็นระดับอ้างอิงดีซี (DC reference) ของสัญญาณเอาท์พุทใช้เป็นตัวเข้ารหัส (encode) ขานี้จะต้องมีแรงดันอ้างอิง (reference voltage) ระดับเดียวกันกับขา 1

ขา 6 Filter input

เป็นขาอินเวอร์ติ้งของอินพุทออปแอมป์ซึ่งใช้ต่อกับอินทิเกรเตอร์เนทเวอร์ก (integrator network) ภายนอกกระแสอินทิเกรติ้ง (Iint) จะไหลเข้าขา 6 ในการเข้ารหัส (encoder) เมื่ออนาล็อกอินพุท (ขา 1)มากกว่า analog feedback (ขา 2) หรือการ decoder digital data อินพุท (ขา 13) เป็น "1" และในทางตรงกันข้าม กระแส Iint จะไหลออกจากขา 6 เมื่ออินพุทกลับกันครั้งแรกสำหรับระบบซิงเกิลอินทิเกรชั่น (single integration) จะมี RC ต่อระหว่างขา 6 และขา 7

ขา 7 Analog output

เป็นขาอินทิเกรเตอร์เอาท์พุท สามารถขับโหลดต่ำสุด 600 โอห์ม ด้วยแรงดันอ้างอิง (reference) กับ Vcc/2 สำหรับการออกแบบอินทิเกรชั่นฟิลเตอร์เนทเวอร์ก slew rate ของการชดเชยภายใน โดยอินทิเกรเตอร์ออปแอมป์ ประมาณ 0.5V/μS ขานี้จำกัดกระแสไว้ประมาณ 30 mA

ขา 8 Vee

ไอซีถูกออกแบบให้ทำงานได้ทั้งแหล่งจ่ายคู่และแหล่งจ่ายเดี่ยว ขานี้จะต่อกับไฟลบหรือกราวด์

ขา 9 Digital output

ขานี้เป็นขาเอาท์พุทจากผลของเดลต้ามอดูเลเตอร์ คอนเวอร์ชั่นเอาท์พุทของขานี้จะสวิงระหว่าง Vcc กับ Vee ซึ่งสามารถต่อเข้ากับ MOS หรือ TLL ได้ ขานี้จะอินเวิร์ต เมื่อเทียบไปกับขา 1 และเป็นนอนอินเวิร์ตเมื่อเทียบกับขา 2 ขานี้ เอาท์พุทขึ้นอยู่กับสัญญาณนาฬิกาที่ขา 14 เมื่อมีขอบขาลง สัญญาณนาฬิกามี raise และ fall time 250 nS และ 50 μS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 10 Vcc/2 output

ขานี้มี impedance ต่ำ และจ่าย mid-supply reference สำหรับใช้งานแบบ single ภายในเป็นเรกูเลเตอร์ แหล่งจ่ายกระแส (current source) และจะต้องมีโหลดเพื่อ sink กระแสนี้ ขานี้สามารถจ่ายกระแสได้สูงสุด 10 mA

ขา 11 Coincidence output

ค่าดิวตี้ ไซเคิ้ล (duty cycle) ของขานี้เป็นสัดส่วนโดยตรง กับแรงดันที่ตกคร่อม Cs ขานี้จะเป็น low เมื่อค่าที่อยู่ในชิฟรีจิสเตอร์ (shift register) เป็น "0" หรือ "1" ทั้งหมดขานี้เป็น open collector NPN จึงต้องมี pull up register ถ้า syllabic filter มีชาร์จและดิสชาร์จไทม์คอนแตนซ์ (time constant) เท่ากันแล้ว Rp จะต้องน้อยกว่า Rs แต่ในทางปฏิบัติแล้วค่าชาร์จและดิสชาร์จไทม์ คอนแตนซ์ (time constant) จะต่างกันเพราะ charging constant คือ Rs.Cs ขณะที่ discharge constant คือ (Rs + Cs).Cs

ขา 12 Digital threshold

ขานี้เป็นขาอินพุท ซึ่งเป็นตัวเทียบระดับการสวิง สำหรับขา 13 , 14 , 15 ซึ่งจะช่วยในการอินเตอร์เฟส (interfacing) ระดับลอจิก เมื่อต่อกับไอซีชนิดต่าง ๆ โดยไม่ต้องมีอุปกรณ์ อินเตอร์เฟสช่วย ปกติขานี้จะต่อกับขา Vcc/2 สำหรับ ซีมอสอินเตอร์เฟส หรือไบอัสด้วยไดโอดที่ต่อกับขา Vee สำหรับการ อินเตอร์เฟส กับ ทีทีแอล

ขา 13 digital data input

ขานี้เป็นขาอินพุทของดิจิตอลพัลส์ สำหรับการทำงานถอดรหัส ส่วนการเข้ารหัสจะไม่ใช้ขานี้ ในการถอดรหัสสัญญาณดิจิตอลจะถูกป้อนเข้าขานี้ สำหรับช่วงการเข้ารหัสขานี้ไม่ใช้หรืออาจจะใช้ในการส่งสัญญาณข่าวสาร ทั้งนี้ก็ขึ้นอยู่กับขา 15 ที่ใช้ควบคุมระดับข้อมูลดิจิตอล อินพุท ควรจะคงที่อยู่ 0.5 μS ก่อนและหลังการกระตุ้นของสัญญาณนาฬิกา

ขา 14 Clock input

ขานี้เป็นขาสำหรับสัญญาณนาฬิกา ซึ่งขึ้นอยู่กับว่าเราต้องการอัตราข้อมูล (data rate) เท่าไรในการเข้า-ถอดรหัส (decode) เข้า 32 K bit rate ต้องใช้สัญญาณนาฬิกา 32 kHz สำหรับ switching threshold ถูกต้องไว้ที่ขา 12 สำหรับชิฟรีจิสเตอร์ (shift register) ภายในท็อคเกิล (toggle) ด้วยขอบขาลง (filter edge) ของ clock สำหรับความกว้างของ pulse + สูงสุด 300 nS ส่วน pulse - เป็น 900 nS

ขา 15 Encode/Decode

เป็นขาควบคุมต่อระหว่างอนาล็อกอินพุทของคอมพาราเตอร์ (ดิจิตอลอินพุทของคอมพาราเตอร์) เข้ากับชิฟรีจิสเตอร์ ถ้าเป็น "1" สัญญาณอนาล็อกอินพุทเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับช่วงขอบขาลงของสัญญาณนาฬิกาที่ขา 14 ถ้าเป็น "0" สัญญาณดิจิตอลจะถูกเปรียบเทียบเพื่อการแปลงกลับ

ขา 16 Vcc

เป็นขาแหล่งจ่ายไฟเลี้ยง ตั้งแต่ 4.77 V ถึง 16.5 V เมื่อเทียบกับ Vee

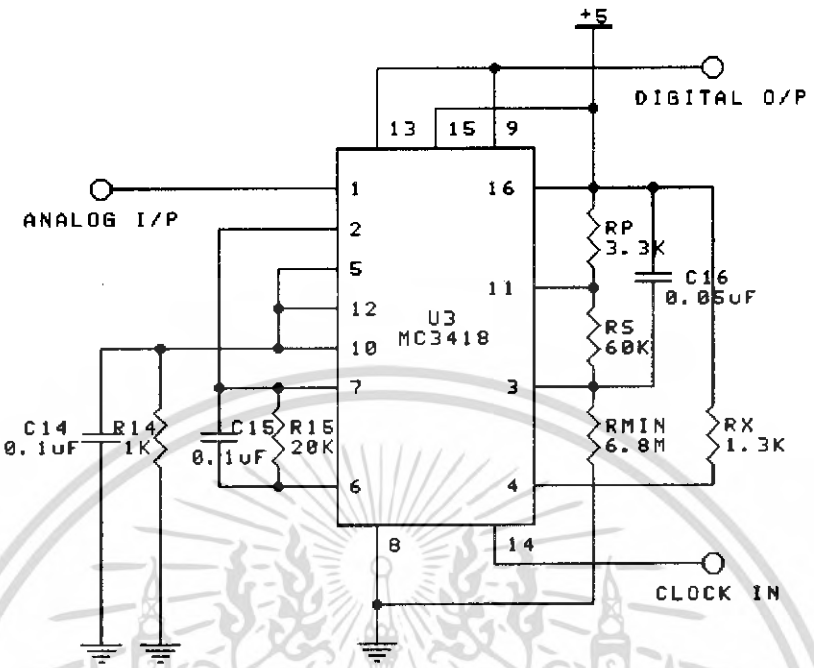
วงจรเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล และดิจิตอลเป็นอนาล็อก

จากโครงงานได้ใช้วิธีการแปลงสัญญาณอนาล็อกมาเป็นดิจิตอล โดยใช้วิธีการมอดูเลทเป็นแบบเดลต้ามอดูเลท และใช้เทคนิคการ Sampling แบบ Oversampling ซึ่งใช้ไอซีเบอร์ MC 3418 ของโมโตโรล่า เป็นตัวเปลี่ยนสัญญาณ ซึ่งสัญญาณที่ใส่เข้าไปเป็นสัญญาณอนาล็อกความถี่ไม่เกิน 4 กิโลเฮิร์ท และใช้การแซมปลิ้งสัญญาณด้วยความถี่ 8, 16, 32, 64, 128 และ 256 กิโลเฮิร์ท ถ้าเราใช้ความถี่ในการแซมปลิ้ง 16 kHz ดังนั้นสัญญาณดิจิตอลที่ออกมาจะมีค่าบิทเรทประมาณ 16 บิทต่อวินาที หรือขึ้นอยู่กับความถี่ที่ทำการแซมปลิ้ง และในการแซมปลิ้งสัญญาณ 1 ครั้ง เอาท์พุทที่ได้มีค่า 1 บิท

ข้อดีของไอซีเบอร์นี้ คือ ในตัวมันเองสามารถใช้แปลงสัญญาณดิจิตอลเป็นอนาล็อกด้วย ทำให้เกิดความสะดวกในการออกแบบวงจร และมีความยุ่งยากไม่มากนัก ถ้าต้องการให้มันทำงานในส่วนของการแปลงอนาล็อกเป็นดิจิตอลก็ต่อขา 15 โดยให้แรงดัน 5 โวลท์กับขา 15 แล้วป้อนสัญญาณอนาล็อกเข้าขา 1 สัญญาณที่ป้อนมีค่าแรงดันไม่เกินบวก 5 โวลท์ และต้องผ่านการกรองความถี่ต่ำมาก่อนเพื่อไม่ให้ความถี่สูงเข้ามากวน ลักษณะวงจรและอุปกรณ์เป็นดังรูปที่ 5.8

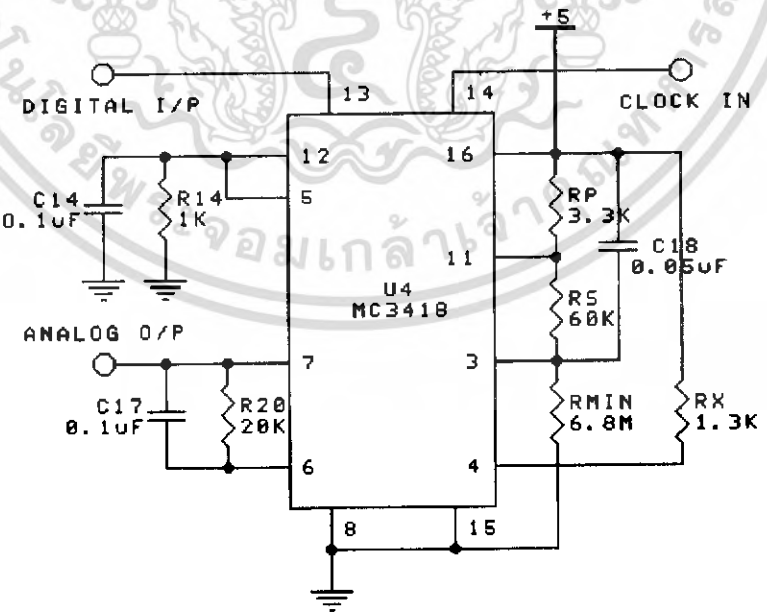
ในวงจรแรกนั้น เอาท์พุทที่เป็นดิจิตอลออกที่ขา 9 ของไอซี ส่วนในวงจรแปลงสัญญาณดิจิตอลกลับเป็นอนาล็อกนั้นกลับกันโดยการต่อขา 15 ของไอซีลงกราวด์ แล้วเอาสัญญาณจ่ายให้ขา 14 และต่อสัญญาณดิจิตอลอินพุทเข้าที่ขา 13 ของไอซี เอาสัญญาณออกที่ขา 7 ของไอซีออกมาแล้วนำสัญญาณที่ขา 7 นั้นไปเข้าวงจรกรองความถี่ต่ำผ่านอีกครั้งหนึ่ง ถ้าสัญญาณมีขนาดเบาก็ผ่านวงจรขยายอีกครั้งก็ได้ แรงดันที่จ่ายให้ขา 13 ซึ่งเป็นดิจิตอลอินพุทนั้น ประมาณ 3-5 โวลท์ ซึ่งจะทำให้การแปลงสัญญาณออกมามีคุณภาพดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

ลักษณะการต่อวงจร และค่าของอุปกรณ์ต่าง ๆ นั้น ใช้ค่าต่าง ๆ จากคู่มือการใช้งาน ซึ่งมีมากับอุปกรณ์แล้ว แรงดันที่จ่ายให้ไอซีก็มีแรงดัน บวก 5 โวลท์เท่านั้น



รูปที่ 5.9 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การออกแบบและสร้างวงจรทางด้านภาค A/D Converter

วงจรกำเนิดความถี่อ้างอิง

วงจรกำเนิดความถี่อ้างอิง สร้างจาก IC MC14060 หรือ 74HC4060 ซึ่ง 2 เบอร์นี้ใช้แทนกันได้ เป็น IC - Digital Hi Speed CMOS 14 - Stage Ripple / Carry Binary Counter / Divider and Oscillator ซึ่งภายในประกอบด้วยเกทอินเวอร์เตอร์ และวงจรหารแบบไบนารี่จำนวน 14 สเตท โดยที่เอาท์พุทเป็นสัญญาณหาร 16 จนถึงสัญญาณหาร 16,384 ที่ขา 6 โดยวงจรเกทต่อรวมกับคริสตอลสำหรับการออสซิเลททำงานที่ความถี่ 4.096 MHz

สัญญาณหารที่เอาท์พุท = 2^{n+1}

โดย n = อันดับของจำนวนเอาท์พุท เช่นที่ Q7 จะได้

สัญญาณหารที่เอาท์พุท Q7 = 2^{7+1} = 256

ดังนั้นสัญญาณหารที่เอาท์พุทแต่ละเอาท์พุทจะเป็นดังนี้ โดยเริ่มที่

Q3 = 16	Q9 = 1,024
Q4 = 32	Q10 = 2,048
Q5 = 64	Q11 = 4,096
Q6 = 128	Q12 = 8,192
Q7 = 256	Q13 = 16,384
Q8 = 512	

สำหรับโครงงานนี้ใช้คริสตอล ผลิตความถี่ 4.096 MHz ดังนั้นเราจะทราบว่าเอาท์พุทแต่ละเอาท์พุทจะได้สัญญาณนาฬิกาที่มีความถี่เท่าไร โดยการนำเอาความถี่ของคริสตอล หารด้วยสัญญาณของแต่ละเอาท์พุท เช่นที่ Q7 จะได้

ความถี่ของสัญญาณนาฬิกาที่ Q7 = 4.096 MHz / 256 = 16 kHz

ดังนั้นจะได้ความถี่ของสัญญาณนาฬิกาแต่ละเอาท์พุท ดังนี้

Q3 (ขา 7) = 256 kHz

Q4 (ขา 5) = 128 kHz

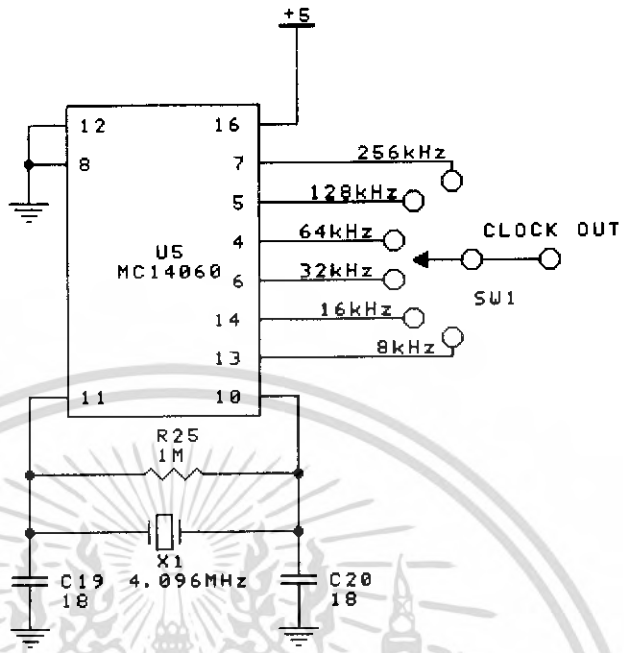
Q5 (ขา 4) = 64 kHz

Q6 (ขา 6) = 32 kHz

Q7 (ขา 14) = 16 kHz

Q8 (ขา 13) = 8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.1 แสดงวงจรกำเนิดความถี่อ้างอิง

ซึ่งสัญญาณนาฬิกา หรือสัญญาณความถี่อ้างอิงที่ได้จะเป็นสัญญาณแรงดัน TTL ขนาด 0 V สำหรับลอจิก "0" ขนาด 5 V สำหรับลอจิก "1"

สำหรับวงจรเกทออสซิเลท ซึ่งอยู่ภายในวงจรรวม MC14060 หรือ 74HC4060 เกทเปรียบเหมือนวงจรขยายกลับเฟส โดยมี R25, C19, C20 และคริสตอลเป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาท์พุทของเกท ให้อินพุทของเกทมีเฟสกลับไป 180 องศา R25 เป็นความต้านทานสำหรับไบอัสให้เกททำงาน เลือกใช้ขนาด 1 MΩ สำหรับค่า C19 และ C20 กำหนดให้ค่า C19 และ C20 อนุกรมกันจะมีขนาดเท่ากับค่าโหลดคาปาซิแตนท์ของคริสตอล โดยการออกแบบเลือกค่า C19, C20 ขนาด 18 pF

วงจรเดลต้ามอดูเลชั่น (DELTA MODULATION)

ในโครงงานนี้ได้ใช้ไอซีสำเร็จรูปในการแปลงสัญญาณอนาล็อกเป็นดิจิตอล เป็นชนิดเดลต้ามอดูเลชั่นใช้ไอซีเบอร์ MC 3418 เป็นชนิด CVSD (Continuous Variable Slope Delta Modulation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบและประยุกต์ใช้งาน CVSD

ไอซีเบอร์ MC 3418 เป็นชนิด CVSD แบบง่าย การออกแบบมีสิ่งที่ต้องกำหนดและออกแบบ 7 ข้อ คือ

1. กำหนดความถี่ของสัญญาณนาฬิกา (clock rate)
2. ขนาดของ shift register ที่ต้องใช้ (3 หรือ 4 bit)
3. เลือก loop gain
4. กำหนดขนาด step ที่เล็กที่สุด
5. ออกแบบอินทีเกรชั่นฟิลเตอร์ transfer function
6. ออกแบบ syllabic filter transfer function
7. ออกแบบ low pass filter

สัญญาณนาฬิกาและขนาดของ shift register

ในโครงงานนี้ใช้ความถี่ของสัญญาณนาฬิกา (Clock rate) ขนาดตั้งแต่ 8-256 kHz และขนาดของชิฟรีจิสเตอร์ใช้ 4 bit

เลือก loop gain

ในวงจรเดลต้ามอดูเลชั่น Rx เป็นตัวกำหนด feedback gain ของ CVSD การเลือก gain นี้เป็นพารามิเตอร์ที่สำคัญอีกอย่างหนึ่งของการ codec เนื่องจากวิธีการของ CVSD ก็เพื่อปรับปรุงไดนามิกส์เรนจ์ของ delta modulator ที่ระดับสัญญาณอินพุทต่ำ ๆ การเลือก loop gain จึงต้องขึ้นอยู่กับ

1. ระดับและความถี่สูงสุดของสัญญาณอินพุท
2. transfer function ของอินทีเกรชั่นฟิลเตอร์

ดังเช่นการ compand จะทำงานในระหว่าง 5% ถึง 25% ของเวลาเท่านั้น Rx จะถูกเลือกก็โดยการกำหนดกระแสที่อินทีเกรเตอร์ต้องการ ซึ่งก็จะสร้างขนาดของ step ได้ตามต้องการเมื่อเอาท์พุทของ syllabic filter ได้ประมาณ 25% ของจุดสูงสุดของมัน

เพื่อที่จะคำนวณขนาดของกระแสของ step เราต้องหาลักษณะของ transfer ของอินทีเกรชั่นฟิลเตอร์ ในรูปที่ 6.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$R = 10\,k \qquad C = 0.1\ uF$

$$\frac{Vo}{Ii} = \frac{1}{C(S+1/RC)} = \frac{K}{S+\omega_0} \qquad (1)$$

จาก $\omega o = 2\pi f$

$10^3 = \omega o = 2\pi f$

$f = 159.2\ Hz$

ดังนั้นอินทีเกรเตอร์ฟิลเตอร์จะมี single pole response ตั้งแต่ 300 ถึง 3 kHz กระแสที่ต้องการที่จะทำให้เอาท์พุทของอินทีเกรเตอร์ เพิ่มจาก 0 ถึงจุดโวลท์เตจที่ต้องการคือ

$$Ii = \frac{Vo}{R} + \frac{CdVo}{dt} \qquad (2)$$

ที่ 0 dBmo ของ sine wave จะเท่ากับ 1.0954 ดังนั้นกระแสที่ต้องการสำหรับที่ 0 dBmo ของ 1 kHz sine wave คือ

$$Ii = \frac{1.1V}{2(10k)} + \frac{0.1\ uF(1.1)}{0.125\ mS} = 0.935\ mA$$

โวลท์เตจสูงสุดที่ตกคร่อม $Ri = \frac{1.1\ V}{2}$

จากโวลท์เตจของ syllabic filter ก็คือ Vcc การ compand ไม่เกิน 25%

$$Rx = 0.25\ Vcc \times (1/0.935\ mA)$$

ที่ $Vcc = 5\ V$, $Rx = 1.3\ k$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดของ step ที่เล็กที่สุด (minimum step size)

พารามิเตอร์ที่จะกำหนดสุดท้ายนี้ สำหรับวงจรเดลต้ามอดูเลชั่น คือ ขนาดของ step ที่เล็กที่สุด ขณะที่ไม่มีสัญญาณอินพุท ที่เอาท์พุทดิจิตอลของ CVSD เป็น 1 และ 0 สลับกันไปตลอดและที่อนาล็อกเอาท์พุทจะได้รูปสามเหลี่ยมเล็ก ๆ ซึ่งเรียกว่า Idle channel ซึ่งหมายความว่า CVSD ไม่สามารถ code สัญญาณที่มีระดับต่ำกว่าขนาดของ step ที่เล็กที่สุดได้ ในทางทฤษฎีแล้วจะทำพารามิเตอร์นี้เป็น 0 แต่ในทางปฏิบัติจะมีค่าผิดพลาด (error) เช่น step ที่ขึ้นและลงไม่พอดีกัน คอมพาราเตอร์อีสเตอร์รีซีส และ filter op-amp offset ซึ่งทำให้เกิด idle channel ทั้งสิ้น

การกำหนดขนาด idle channel นี้โดยการเลือกขนาดของ Rmin ขณะที่ไม่มีสัญญาณอินพุท ส่วนที่ control slope จะไม่ทำงานเพราะเอาท์พุทของคอมพาราเตอร์จะไม่เป็น 1 หรือ 0 ติด ๆ กันจนทำให้เกิด concidence เอาท์พุทได้ ดังนั้นโวลท์เตจที่ตกคร่อม Cs จะประมาณ 0V อย่างไรก็ตามโวลท์เตจที่ถูกแบ่งของ Rs และ Rmin (จากรูปที่ 6.2) จะทำให้มีโวลท์เตจตกคร่อม Cs บ้าง ซึ่งโวลท์เตจนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เอาท์พุทของ อนาล็อกจากสมการกระแสอินพุท

$$Ii = \frac{Vo}{R} + \frac{CdVo}{dt}$$

ที่ Vo น้อย ๆ จะได้ ดังนั้นเทอม Vo/R จึงถูกตัดทิ้งได้ จะได้

$$Ii = \frac{Cs\,\Delta Vo}{\Delta T}$$

ΔT = period ของสัญญาณนาฬิกา

ΔVo = peak-to-peak value of idle channel

จากวงจรในรูปที่ 6.2 ใช้สัญญาณนาฬิกา 3.7 kHz

$$Ii = \frac{0.1\ uF \times 10\ mV}{26.52\ uS} = 37.7\ uA$$

ดังนั้นโวลท์เตจคร่อม Cs ที่กระแส 37.7 μA กำหนดโดย Rx

Ii Rx = Vsmin = 37.7 uA x 1.3 K = 49 mV

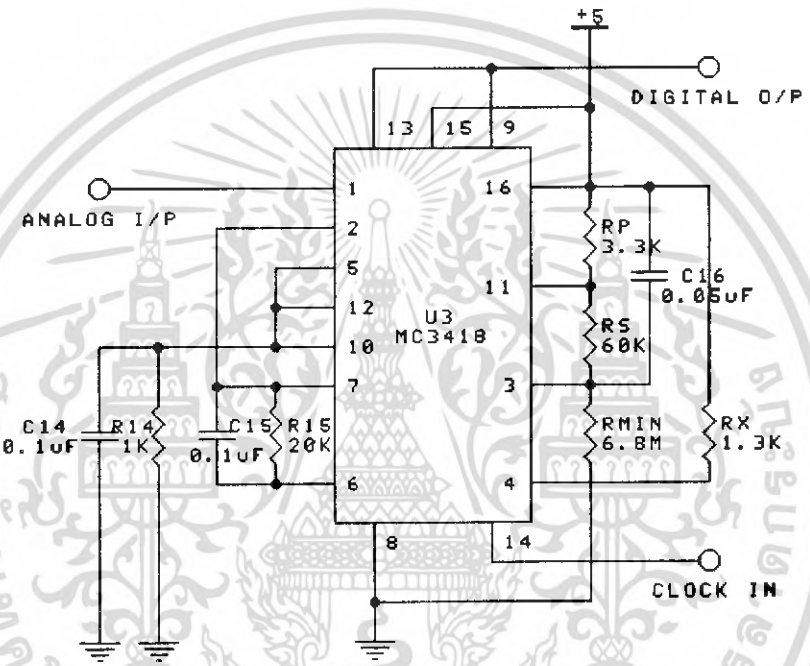
ในรูปที่ 6.2 Rs = 60 kΩ จะทำให้เกิดโวลท์เตจแบ่งกัน ระหว่าง Rs, Rmin โดยจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตกคร่อม Rs 49 mV ดังนั้น

$$Vcc = Rs = \frac{Vsmin}{Rs + Rmin} \quad (3)$$

Rmin = 6.1 M



รูปที่ 6.2 แสดงวงจร CVSD MODULATION

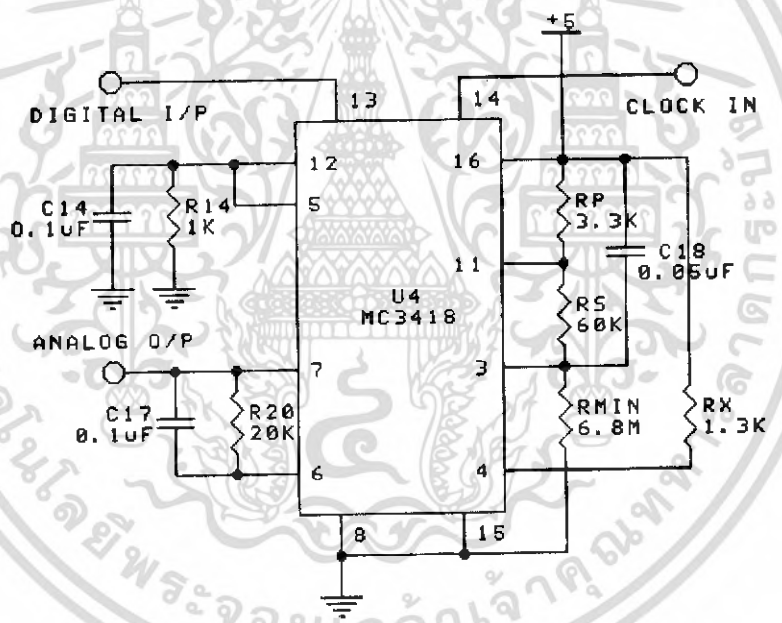
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

การออกแบบและสร้างวงจรทางด้านภาค D/A Converter

วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกที่ใช้นี้ จะใช้เหมือนกับทางภาค A/D Converter กล่าวคือจะใช้ IC MC 3418 โดยจะทำการแปลงข้อมูลสัญญาณดิจิตอลขนาด 4 bit ความเร็วของข้อมูลเท่ากับ 8 - 256 กิโลบิทต่อวินาที (kbps) ให้เป็นสัญญาณเสียงเพื่อจะส่งไปยังภาค กรองความถี่เสียงต่อไป โดยวงจรใช้งานแสดงดังรูปที่ 7.1

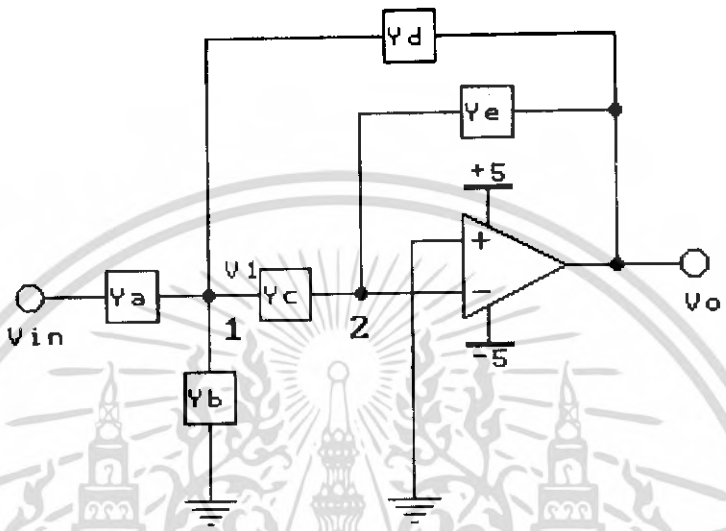


รูปที่ 7.1 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านสามารถออกแบบได้ดังนี้



รูปที่ 7.2 แสดงวงจรสมมูลย์ LOW PASS FILTER

ที่ node 1:

$$V1\,(Ya+Yb+Yc+Yd) - Vo(Yd) - Vin\,(Ya) - 0\,(Yc) = 0 \qquad (1)$$

และที่ node 2:

$$0\,(Yc+Yc) - V1(Yc) - Vo(Yc) = 0 \qquad (2)$$

solving

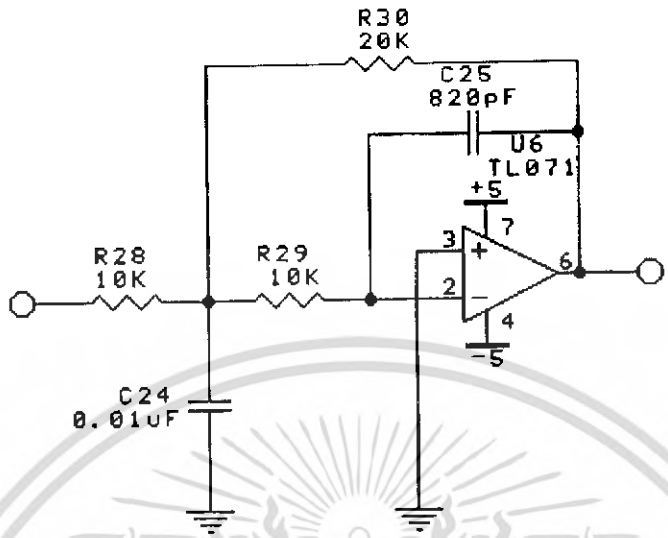
$$-Vo(Yc/Yc)\,(Ya+Yb+Yc+Yd) - Vo(Yd) = VinYa$$

$$Vo / Vin = -[\, YaYc \,/\, Ye(Ya+Yb+Yc+Yd) + YcYd \,] \qquad (3)$$

TRANSFER FUNCTION จะได้ดังนี้

$$Vo / Vin = (AoWo^2) / (S^2 + (Wo / Q)\,S + Wo^2) \qquad (4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7.3 แสดงวงจรกรองความถี่ต่ำผ่าน

จากรูปนำมาเทียบฟอร์มดังสมการ

$Ya = 1 / R1 \qquad Yb = SC1 \qquad Yc = 1 / R2 \qquad Yd = 1 / R3 \qquad Ye = SC_2$

$$Vo / Vin = - YaYc \; / \; [\, Ye\,(Ya + Yb + Yc + Yd) + YcYd]$$

$$= \frac{-1 / R1R2}{S^2C1C2+S(C2 / R1+C2 / R2+C2 / R3)+1 / R1R2}$$

$$= \frac{-1 / R1R2C1C2}{S^2+S(C2 / R1+C2 / R2+C2 / R3)(1 / C1C2)+1 / R2R3C1C2}$$

$$Wo^2 = 1 / R2R3C1C2$$

$$Wo = \sqrt{1 / R2R3C1C2} \qquad (5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากความสัมพันธ์ $f_c = w_c/2\pi$ และสมการ (5) ดังนั้นเราสามารถหาสมการจุดตัดความถี่ (cut off frequency) ได้คือ

$$f_c = (1/2\pi)(\sqrt{1/R2R3C1C2})$$

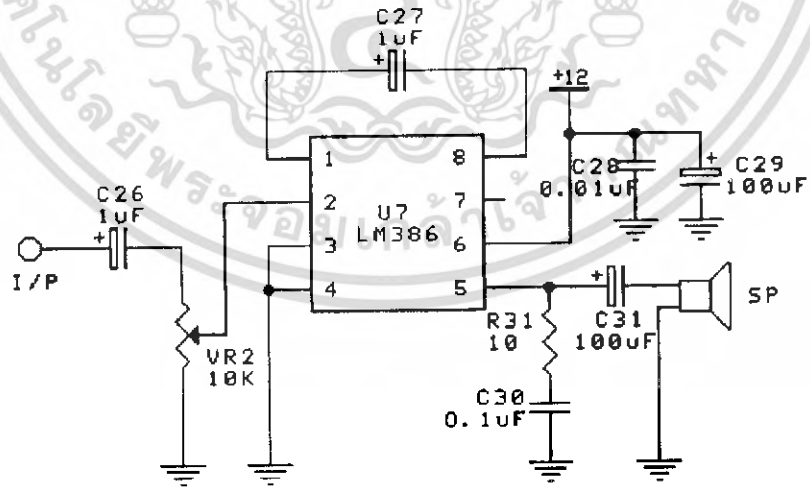
เมื่อ R2 = 10 k R3 = 20 k C1 = 0.01uF C2 = 820 pF

fc = 3.9 kHz

จะเห็นว่าความถี่ Cut off ที่ 3.9 kHz ในการพัฒนาต่อไปควรออกแบบ LOW PASS FILTER Cut off ที่ความถี่ต่ำกว่านี้ประมาณ 2.5 kHz เพื่อจะทำให้คุณภาพของเสียงดีขึ้น สามารถป้องกันเสียงรบกวนที่ความถี่สูง ๆ ได้ดีกว่า

วงจร AUDIO AMPLIFIER

วงจรขยายเสียงที่ใช้ในโครงงานนี้ ใช้ไอซี LM386 ที่มีกำลังขนาด 1 วัตต์ ภาคขยายเสียงนี้จะเป็นเอาท์พุทที่ขยายแอมปลิจูดของสัญญาณเสียง ให้มีกำลังสูงก่อนจะส่งป้อนไปยังลำโพง วงจรขยายเสียง แสดงไว้ดังรูป 7.4



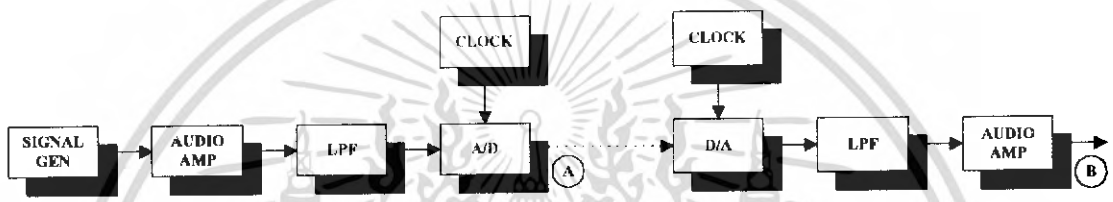
รูปที่ 7.4 แสดงวงจร AUDIO AMPLIFIER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

การทดลองและผลการทดลอง

การทดลองได้ทำการทดลองวัดสัญญาณตามจุดต่าง ๆ ดังแสดงใน Block diagram ดังรูปที่ 8.1

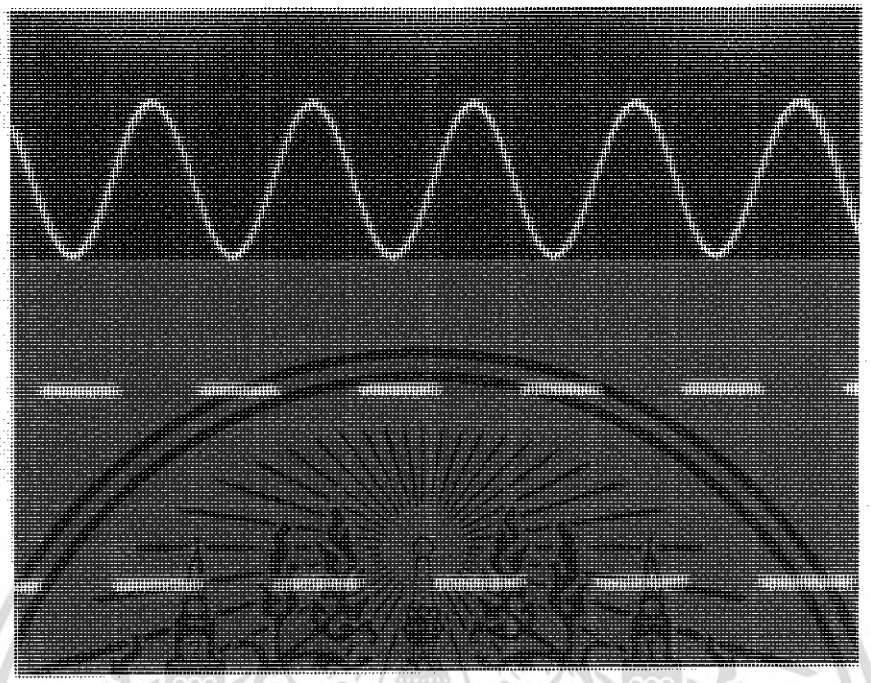


รูปที่ 8.1 Block diagram แสดงการวัดสัญญาณตามจุดต่าง ๆ

การทดลอง

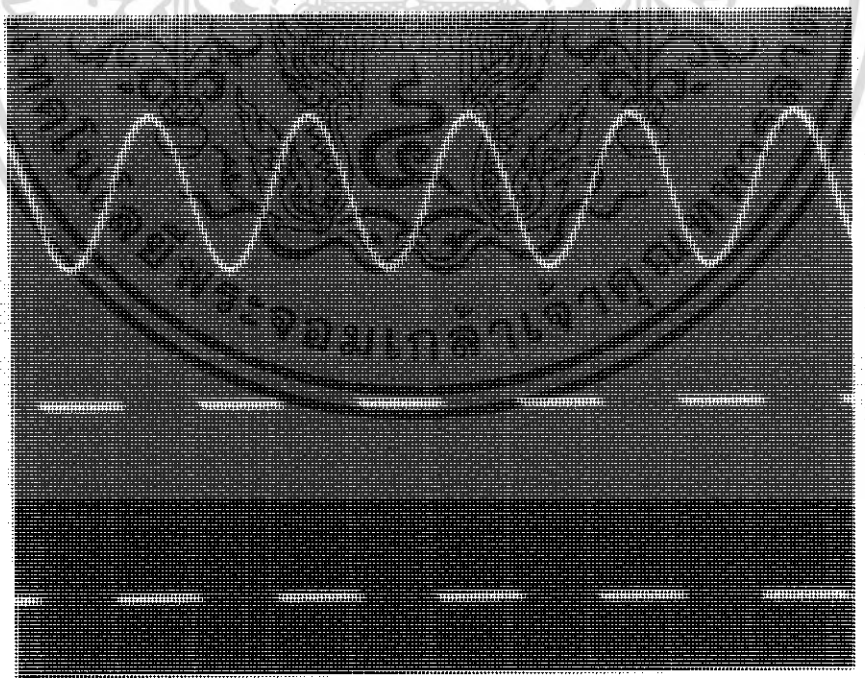
1. Set Clock ไปที่ 8, 16, 32, 64, 128 และ 256 kHz ตามลำดับทำการวัดสัญญาณที่จุด A โดยทำการป้อนสัญญาณ Sine wave จาก Signal Generator ความถี่ 1 kHz โดย CH1 วัดสัญญาณ Analog I/P โดยวัดที่ขา 1 ของ IC เบอร์ MC3418 และ CH2 วัดสัญญาณที่จุด A (วัดสัญญาณ Digital O/P) โดยวัดที่ขา 9 ของ IC เบอร์ MC3418 ซึ่งผลการทดลองแสดงดังรูปที่ 8.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

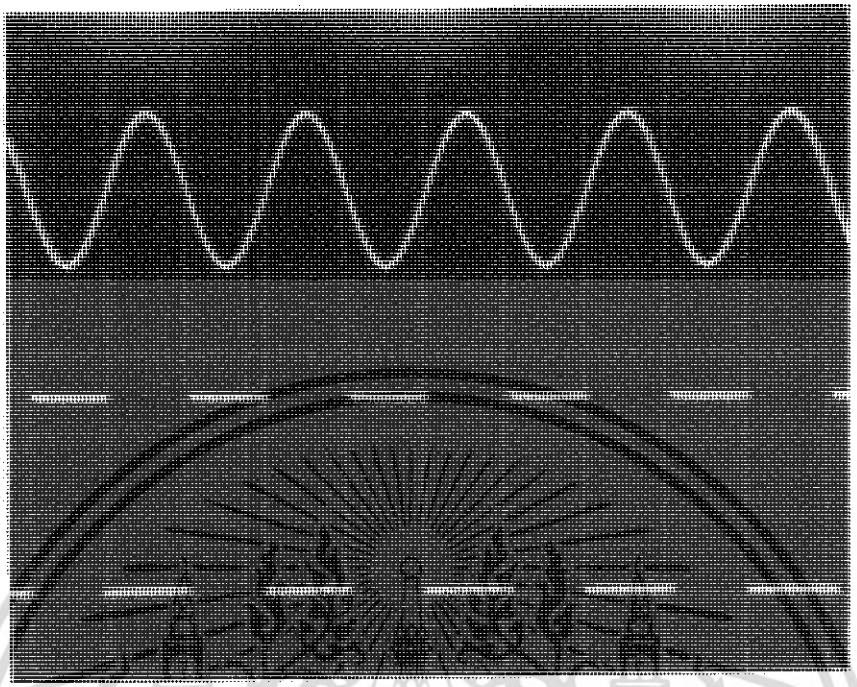
รูปที่ 8.2 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 8 kHz



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

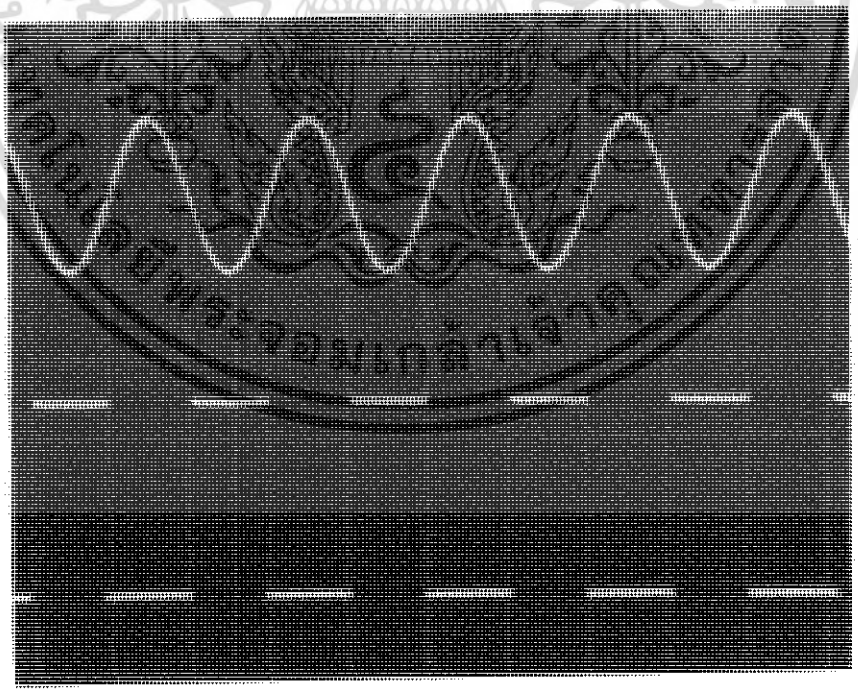
รูปที่ 8.3 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 16 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

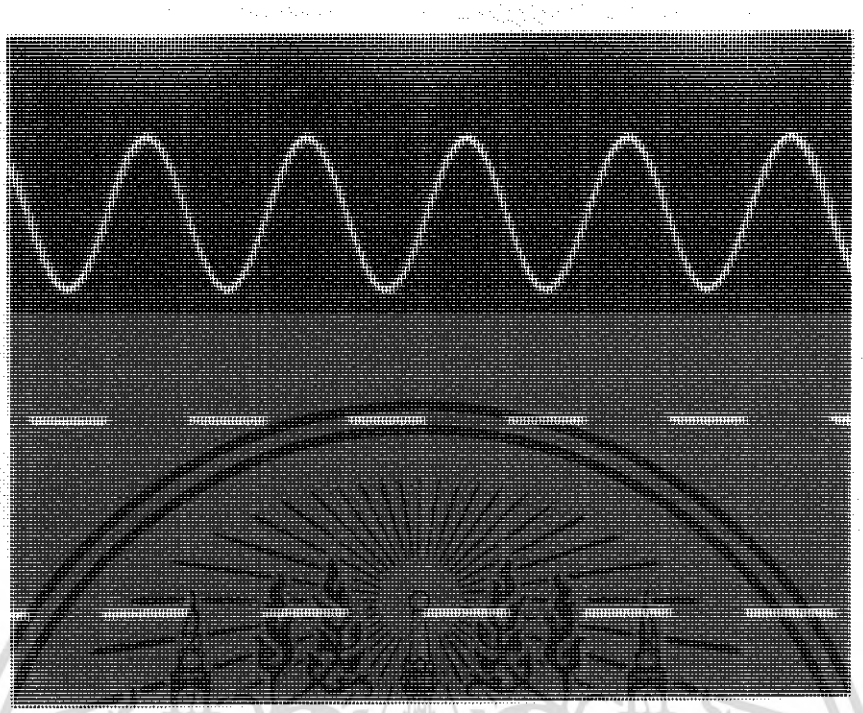
รูปที่ 8.4 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 32 kHz



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

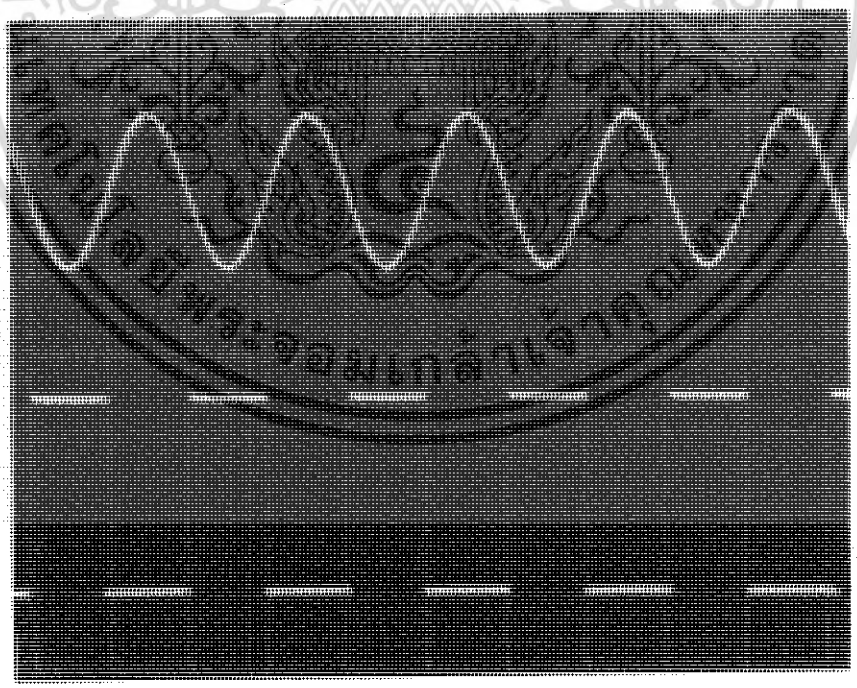
รูปที่ 8.5 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 64 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

รูปที่ 8.6 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 128 kHz



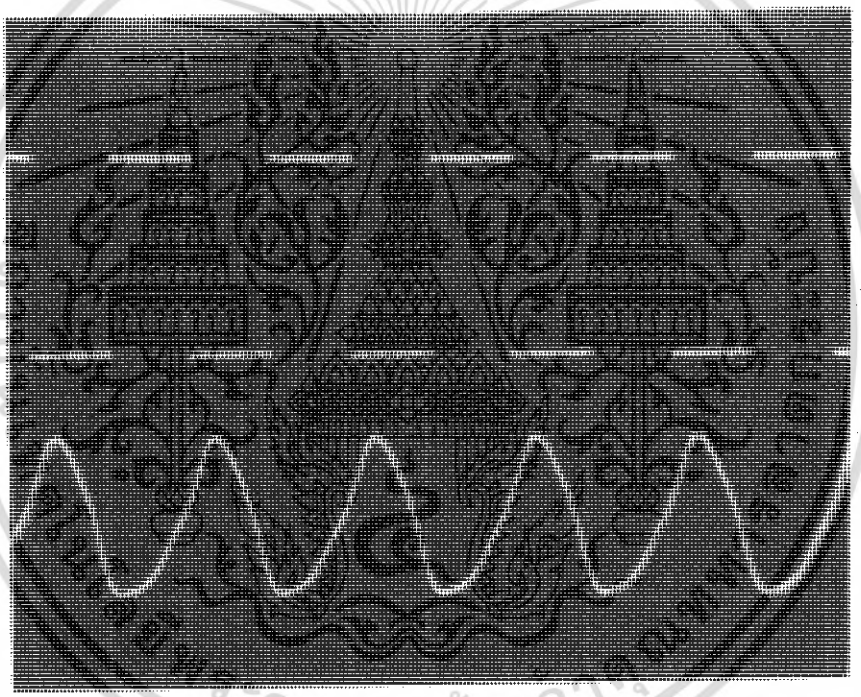
VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

รูปที่ 8.7 แสดงผลการเปลี่ยนสัญญาณ Analog to Digital โดยใช้ความถี่ในการแซมปลิ้ง 256 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองจะพบว่า ถ้าสัญญาณ Analog ที่เข้ามามี Amplitude ต่ำหรือสูงเกินไปจะทำให้สัญญาณ Digital ที่ได้ไม่ค่อยคม

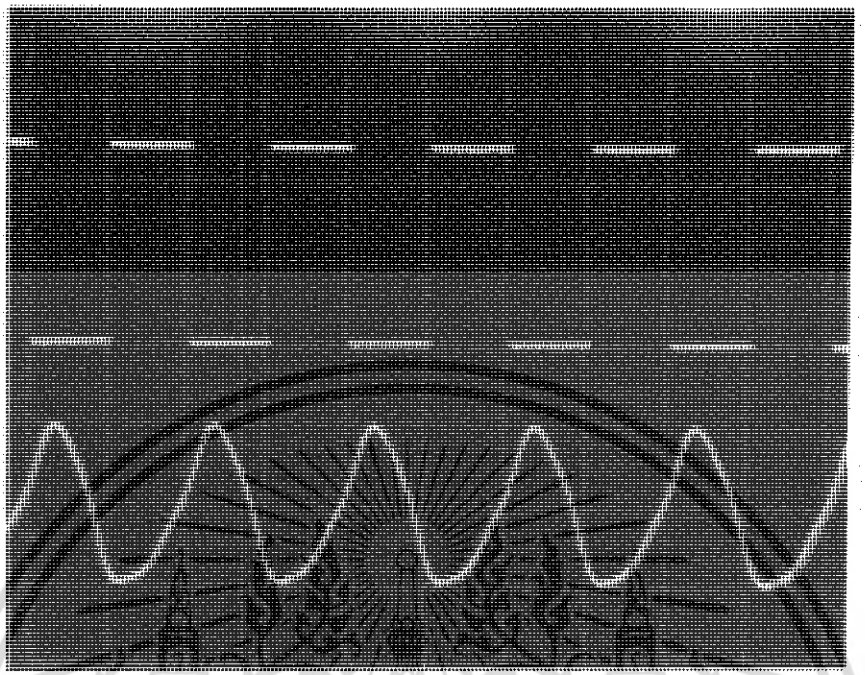
2. Set Clock ไปที่ 8, 16, 32, 64, 128 และ 256 kHz ตามลำดับ ทำการวัดสัญญาณที่จุด B โดยทำการป้อนสัญญาณ Sine wave จาก Signal Generator ความถี่ 1 kHz โดย CH1 วัดสัญญาณ Digital I/P โดยวัดที่ขา 9 ของ IC เบอร์ MC3418 และ CH2 วัดสัญญาณที่จุด B (วัดสัญญาณ Analog O/P) โดยวัดที่ O/P ของลำโพง ซึ่งผลการทดลองแสดงดังรูปที่ 8.3



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

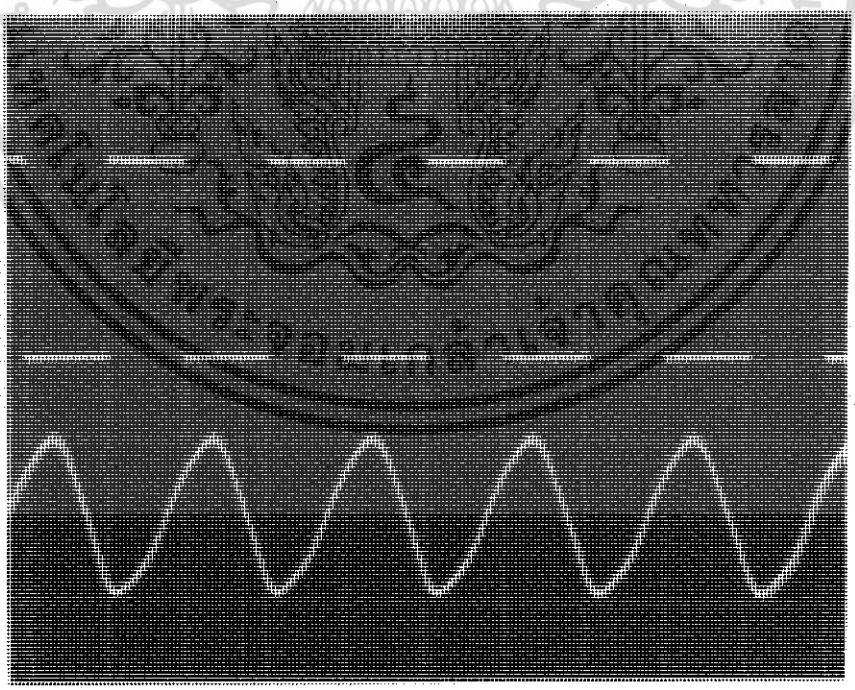
รูปที่ 8.8 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

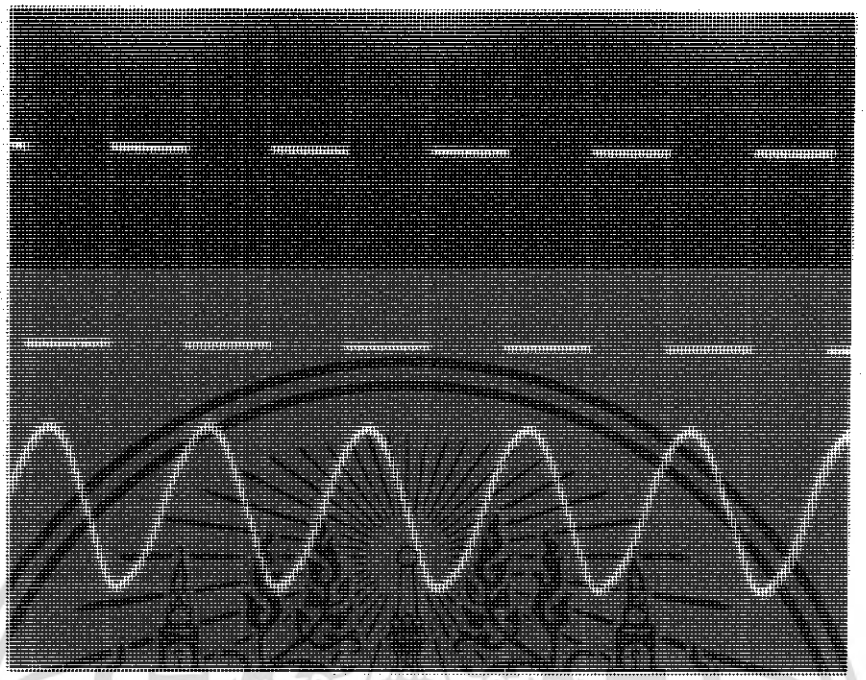
รูปที่ 8.9 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 16 kHz



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

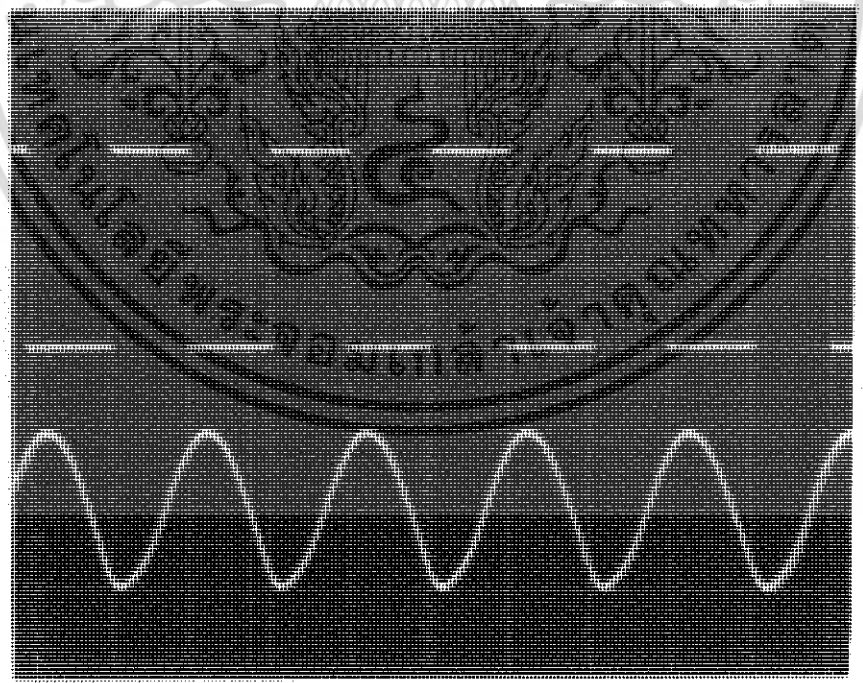
รูปที่ 8.10 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 32 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

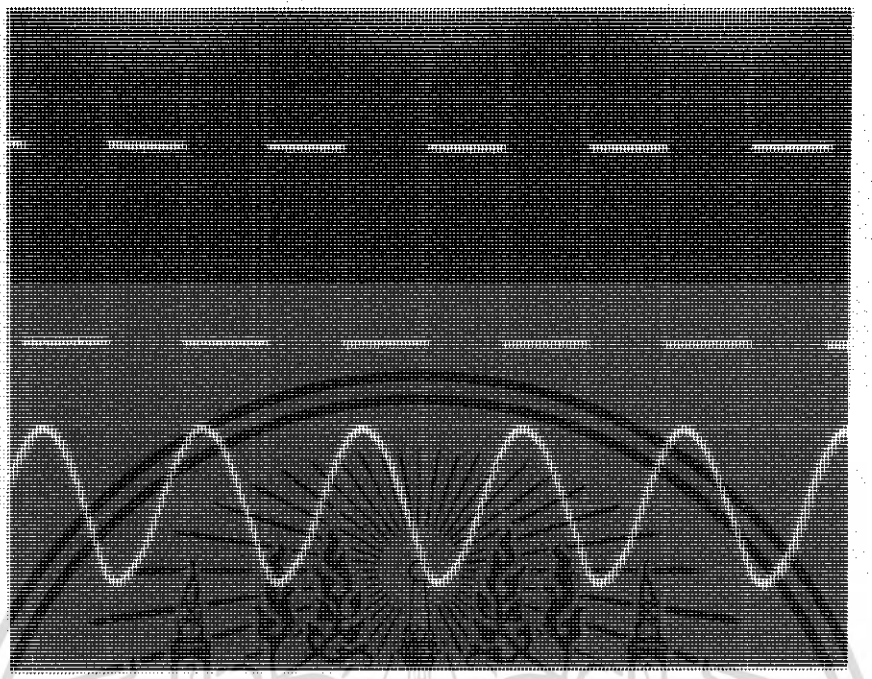
รูปที่ 8.11 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 64 kHz



VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

รูปที่ 8.12 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 128 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



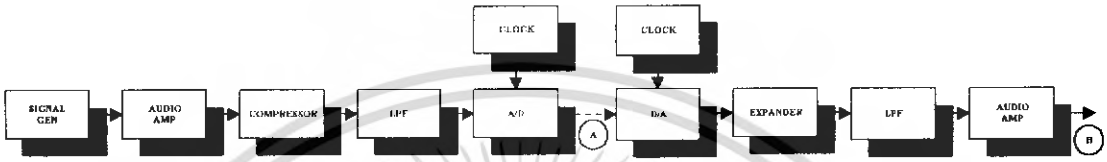
VOLTS/DIV 2 V/DIV, TIME/DIV 0.5 mSEC/DIV

รูปที่ 8.13 แสดงผลการเปลี่ยนสัญญาณ Digital to Analog โดยใช้ความถี่ในการแซมปลิ้ง 256 kHz

จากการทดลองจะพบว่าสัญญาณ Analog ที่ได้จากการแปลงกลับมาโดยใช้ความถี่ในการแซมปลิ้ง 8 และ 16 kHz นั้น สัญญาณจะผิดเพี้ยนอยู่บ้าง และมีสัญญาณรบกวนมากเนื่องจากความถี่ในการแซมปลิ้งของทั้งสองยังน้อยอยู่ ส่วนสัญญาณ Analog ที่ได้จากการใช้ความถี่ในการแซมปลิ้ง 32, 64, 128 และ 256 kHz สัญญาณจะผิดเพี้ยนน้อยกว่า และสัญญาณรบกวนก็มีน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. จากผลการทดลองในข้อ 1 และ 2 ที่ผ่านมาข้างต้นนั้น จะเห็นว่า ที่ความถี่ในการแซมปลิ้ง 8 kHz และ 16 kHz นั้น จะมีสัญญาณรบกวนอยู่ (เมื่อทำการแปลงสัญญาณกลับมาแล้ว) เรามีวิธีการที่จะลดสัญญาณรบกวนที่เกิดขึ้นนั้นได้ โดยใช้วงจร Compander เข้ามาช่วย โดยจะประกอบด้วยวงจร Compressor และ Expander โดยต่อตาม Block diagram ดังรูปที่ 8.14



รูปที่ 8.14 Block diagram แสดงการต่อวงจร Compander ซึ่งประกอบด้วยวงจร Compressor และวงจร Expander เพื่อเข้ามาช่วยในการลดสัญญาณรบกวน

ทำการทดลองซ้ำตามข้อ 1 และ 2 หรือป้อนสัญญาณเสียงพูดโดยผ่านทางไมล์โครโฟน แล้วฟังเสียงก็ได้ และเปรียบเทียบผลที่ได้ระหว่างการใส่วงจร Compander และไม่ได้ใส่วงจร Compander

จากการทดลองพบว่า เมื่อไม่มีวงจร Compander สัญญาณที่ได้จากการแปลงกลับมานั้นจะมีสัญญาณรบกวนมาก เมื่อใส่วงจร Compander เข้าไปในวงจร จะช่วยลดสัญญาณรบกวนได้ เมื่อใส่วงจร Compander เข้าไปแก้ไขโดยเฉพาะที่ fs = 8 kHz และ 16 kHz จะช่วยลดสัญญาณรบกวนได้มาก ทำให้คุณภาพของสัญญาณเสียงที่ DAC มีความชัดเจนมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 9
สรุปผลการทดลองและวิจารณ์

จากผลการทดลองจะเห็นได้ว่า ความถี่ในการแซมปลิ้งยิ่งสูง คุณภาพของเสียงที่แปลงกลับมาก็จะยิ่งมีมาก คือจะได้สัญญาณที่เหมือนสัญญาณที่ส่งมามากที่สุด เมื่อใช้ความถี่ในการแซมปลิ้งที่ 8 kHz คุณภาพของเสียงเมื่อแปลงกลับมาจะไม่ค่อยดี โดยจะมีแต่ความถี่ต่ำ ๆ ออกมา และมีสัญญาณรบกวนมาก ซึ่งดูได้จากรูปสัญญาณที่วัดได้ เมื่อใช้ความถี่ในการแซมปลิ้งที่ 16 kHz คุณภาพของเสียงเมื่อแปลงกลับมาจะดีขึ้นกว่าที่ 8 kHz แต่ก็ยังมีสัญญาณรบกวนอยู่บ้าง เมื่อใช้ความถี่ 32 kHz คุณภาพเสียงจะดีขึ้นมาอีก สัญญาณรบกวนน้อยลง ที่ความถี่ 64, 128, และ 256 kHz จะได้คุณภาพเสียงดีขึ้นเรื่อย ๆ ตามลำดับ จึงกล่าวได้ว่า Oversampling จะช่วยลดสัญญาณรบกวนได้

และผลการทดลองเมื่อใส่วงจร Compander เข้าไปแก้ไขโดยเฉพาะที่ fs = 8 kHz และ 16 kHz จะช่วยลดสัญญาณรบกวนได้มาก ทำให้คุณภาพของสัญญาณเสียงที่ DAC มีความชัดเจนมากและผลจากการทดสอบเมื่อเทียบกับเมื่อไม่ใช้วงจร Compander พบว่าสัญญาณทดสอบที่ความถี่ในการแซมปลิ้ง 32 kHz ไม่มีการ Distrotion เลย เนื่องจากส่วนของวงจร Compressor จะทำหน้าที่บีบสัญญาณ Analog ที่เข้ามา ให้มี Amplitude ต่ำลง ซึ่งมีผลทำให้ Amplitude ของสัญญาณรบกวนนั้นลดลงไปด้วย หากยิ่งบีบสัญญาณให้ต่ำลงมากเท่าใด สัญญาณรบกวนก็จะยิ่งต่ำลงเช่นกัน แต่ถ้าหากทำการบีบสัญญาณมากเกินไป จะส่งผลทำให้ไม่มีสัญญาณรบกวน แต่ข้อมูลหรือสัญญาณ ที่เราต้องการนั้นอาจจะมีบางส่วนขาดหายไป เมื่อแปลงสัญญาณกลับมาแล้วอาจจะได้ข้อมูลหรือสัญญาณไม่ครบถ้วน เหมือนสัญญาณที่ส่งเข้ามา ดังนั้นจึงควรออกแบบให้วงจร Compressor ทำการบีบสัญญาณอย่างพอเหมาะ หลังจากทำการแปลงสัญญาณกลับมาแล้ว ต้องมาผ่านวงจร Expander เพื่อทำการถ่าง หรือขยายสัญญาณให้มี Amplitude เท่าเดิม เหมือนกับสัญญาณที่ป้อนเข้ามา เช่น ถ้าวงจร Compressor บีบสัญญาณออกมาได้เท่ากับ 2:1 วงจร Expander ก็จะกลับกันกับวงจร Compressor คือ จะทำการถ่าง หรือขยายสัญญาณให้ได้เท่ากับ 1:2 เป็นต้น

ปัญหาที่พบในการทดลองคือ การออกแบบความถี่ที่ใช้ในการแซมปลิ้ง หรือออกแบบ CLOCK ตอนแรกใช้ IC 555 เป็นตัวกำเนิด CLOCK ที่ 128 kHz แล้วผ่าน D-FF เพื่อหารความถี่ ปรากฏว่าสัญญาณ CLOCK ที่ได้เป็นคลื่นจัตุรัสที่มีลักษณะไม่สมมาตร คือช่วงความกว้างของพัลซ์ชีกบวกและลบ ไม่ค่อยเท่ากัน จึงเกิดปัญหาในการนำมาใช้เป็นความถี่ในการแซมปลิ้ง สัญญาณเสียงที่ได้จะมีการรบกวนมาก และสัญญาณที่ได้จากการแปลงกลับผิดเพี้ยนมาก จึงต้องยกเลิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLOCK ที่ผลิตจาก IC 555 จึงเปลี่ยนมาใช้ IC MC14060 ผลิต CLOCK โดยใช้คริสตอลเป็นตัวกำเนิดสัญญาณที่ความถี่ 4.096 MHz และหารออกมาเป็นความถี่ ตามที่ต้องการใช้ในการแซมปลิ้ง ซึ่งสัญญาณพัลซ์ที่ได้เป็นคลื่นจัตุรัสที่มีลักษณะสมมาตร จึงใช้ได้

สำหรับปัญหาในภาค Analog to Digital นั้น สัญญาณ Digital ที่ออกมาไม่ค่อยคมชัด ต้องแก้ไขโดยการปรับแรงดันให้มีขนาดเหมาะสมโดยใช้ IC เบอร์ LM386 เป็นวงจรปรับขนาดของสัญญาณ Analog ให้มีขนาดเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ดร.ประสิทธ์ ประพิณมงคลการ. หลักการระบบสื่อสาร, เอซ-เอน การพิมพ์. กรุงเทพฯ. 2521
2. บัณฑิต โรจน์อารยานนท์. หลักการไฟฟ้าสื่อสาร, โรงพิมพ์จุฬาลงกรณ์ฯ. กรุงเทพฯ. 2532
3. Kishan Shenai. Digital Signal Processing In Telecommunication. Prentice Hall International Inc.
4. Motorola. Telecommunications Device Data. 1991

Home pages อ้างอิงในการค้นหา Data sheet

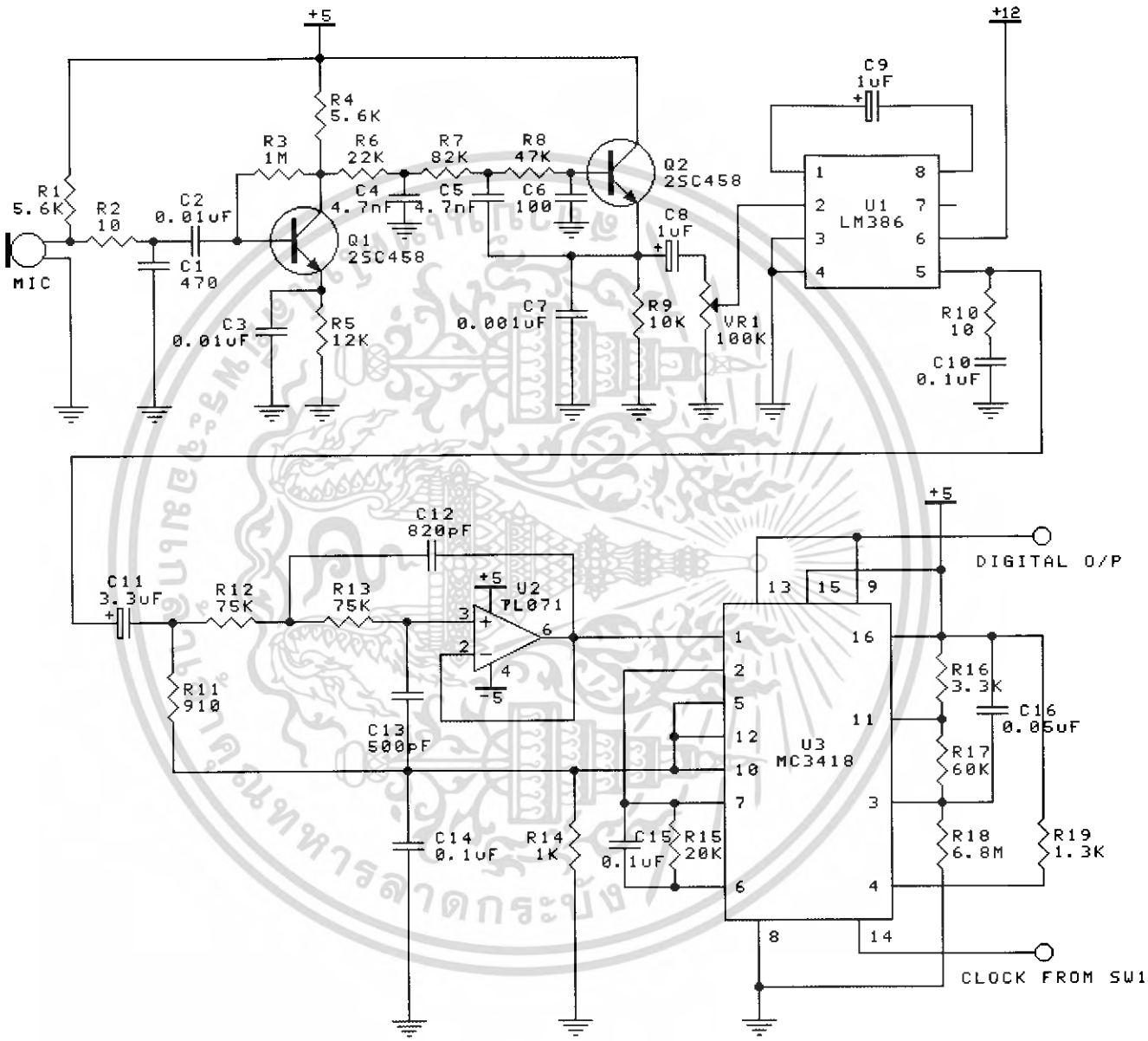
I. http://www.afn.org/~afn06011/databook.htm : Data sheet Links
2. http://www.nationaI.com/catalog : National Semiconductor Company
3. http://www-us.semiconductors.philips/designerindex : Philips Semiconductor Company
4. http://mot2.mot-sps.com/cgi-bin/dlsrch : Motorola Semiconductor Company

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

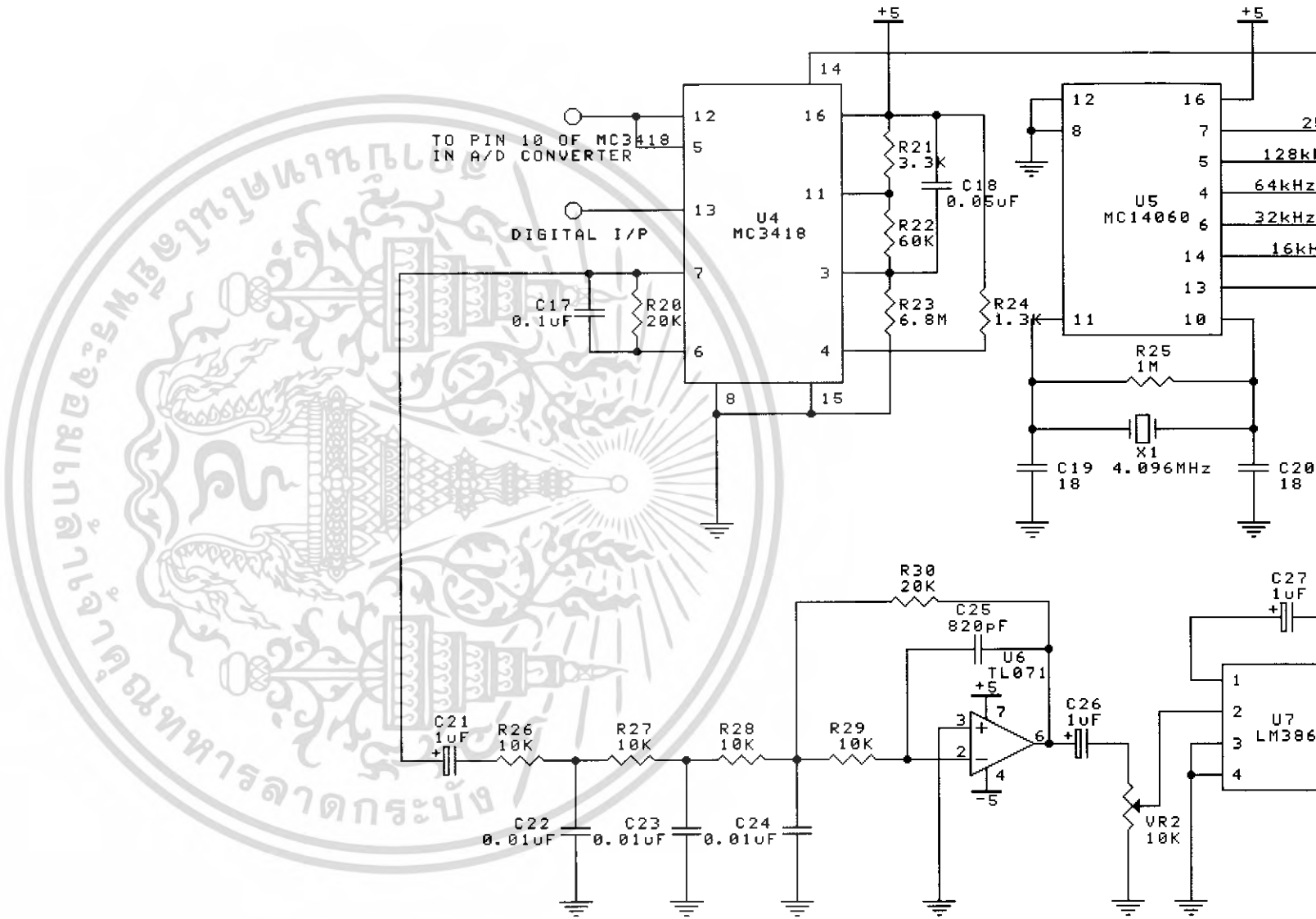
ภาคผนวก ก

รายละเอียดของวงจร

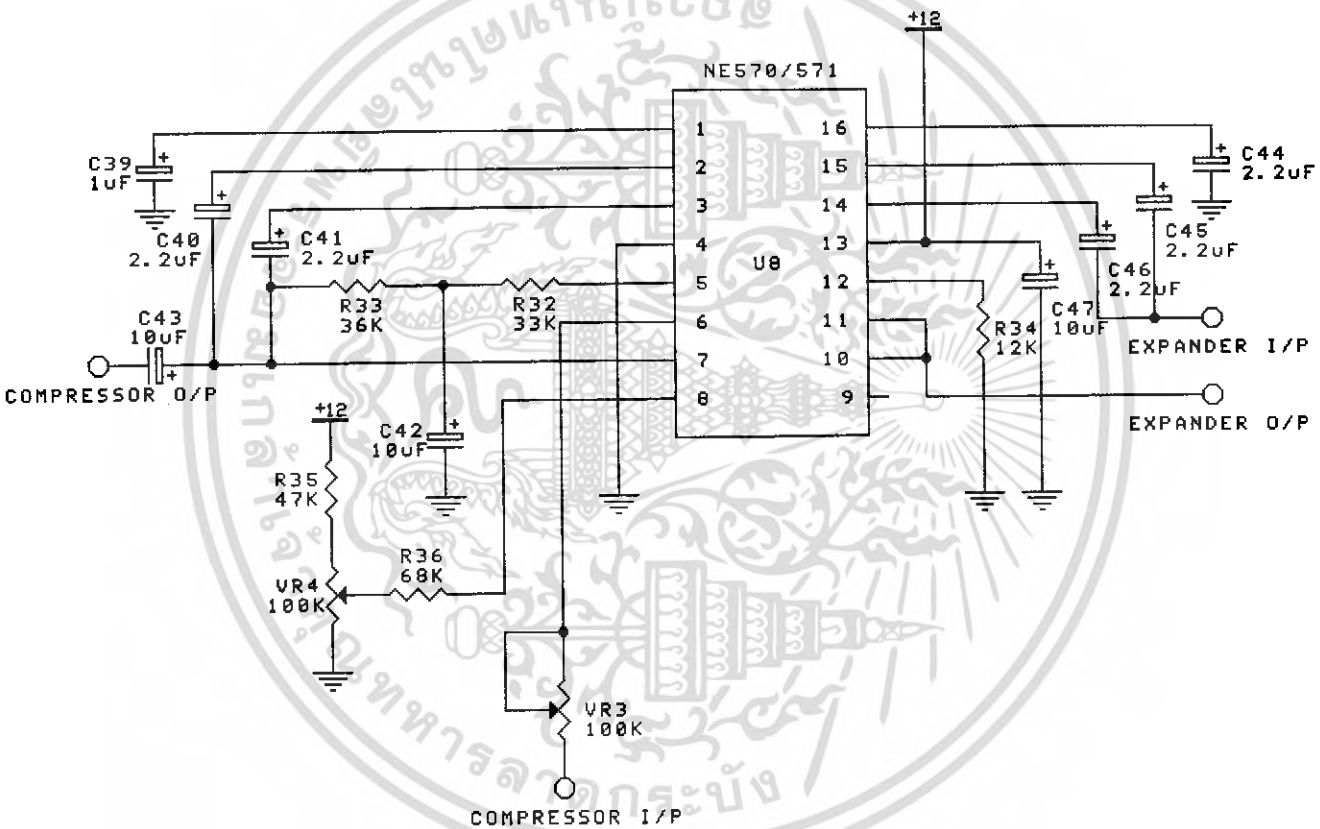
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



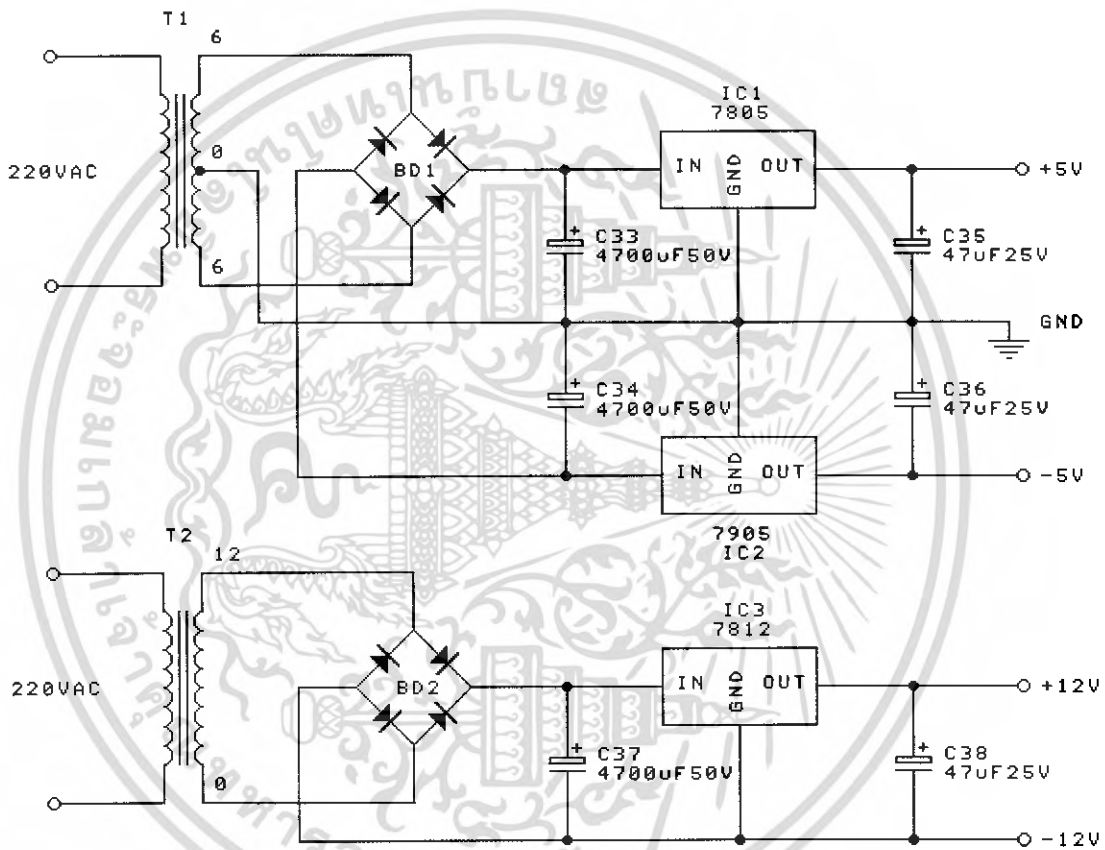
A/D CONVERTER



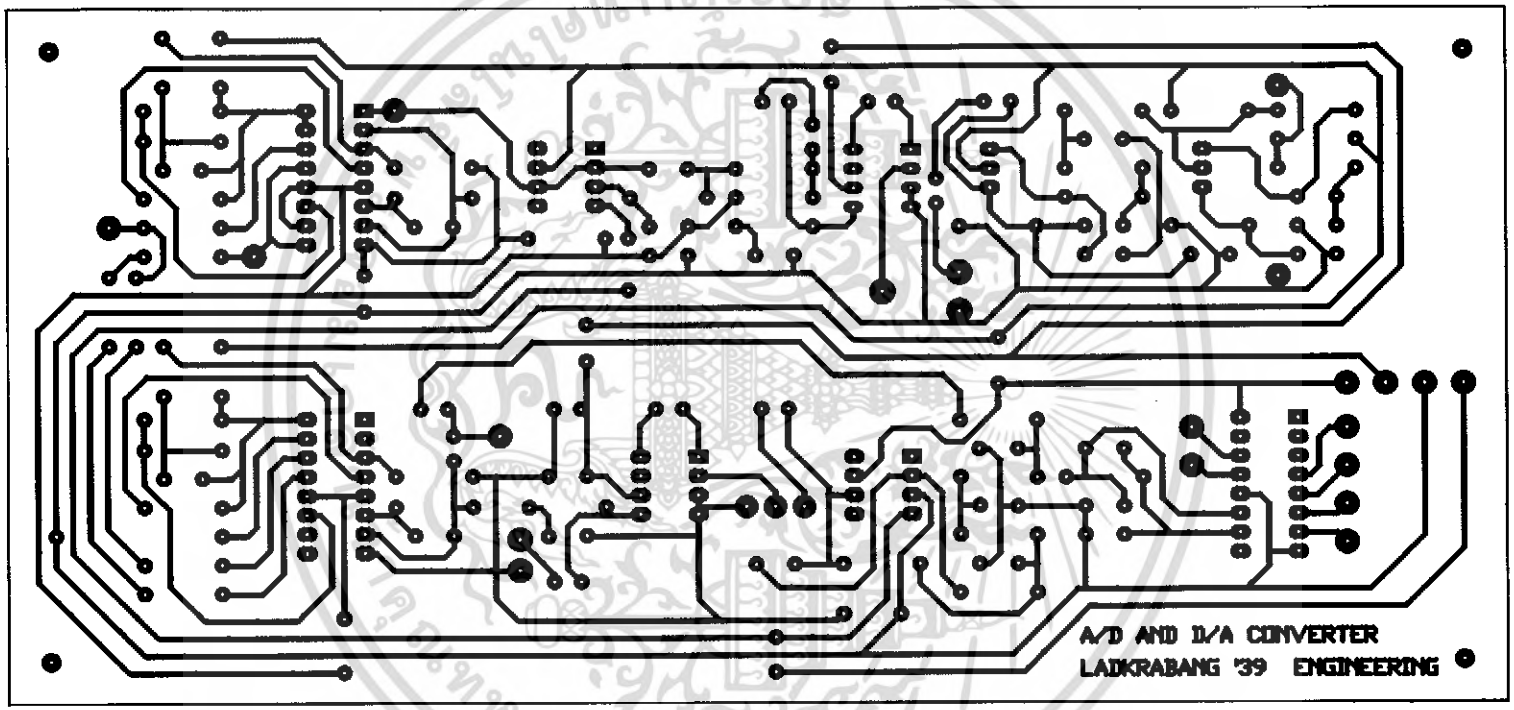
D/A CONVERTER


NE570/571
U8
+12
C39
1uF
C40
2.2uF
C41
2.2uF
C42
10uF
C43
10uF
C44
2.2uF
C45
2.2uF
C46
2.2uF
C47
10uF
R32
33K
R33
36K
R34
12K
R35
47K
R36
68K
VR3
100K
VR4
100K
COMPRESSOR O/P
COMPRESSOR I/P
EXPANDER I/P
EXPANDER O/P

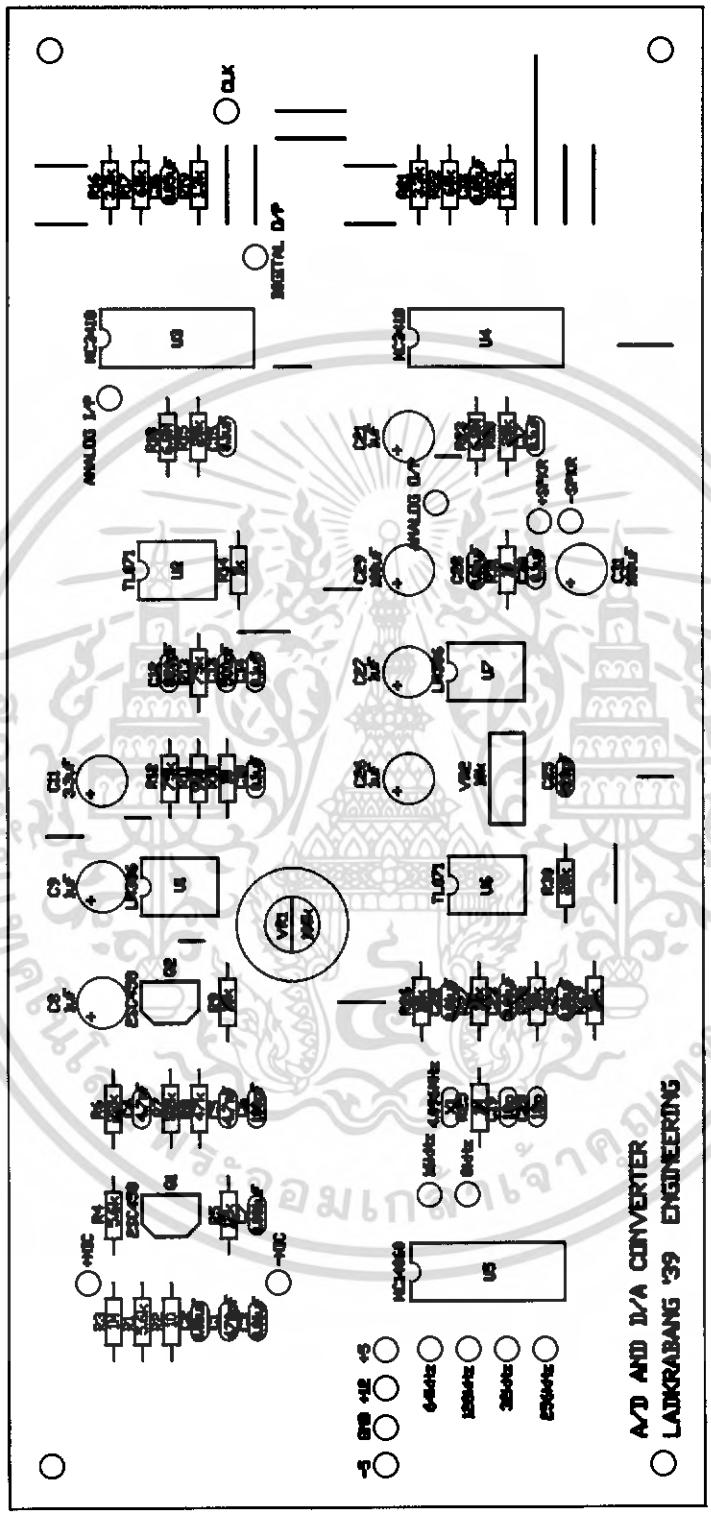
COMPANDER



POWER SUPPLY

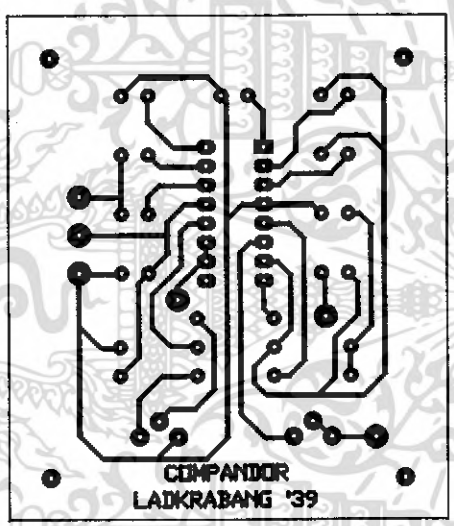


PCB BOTTOM LAYER OF A/D AND D/A

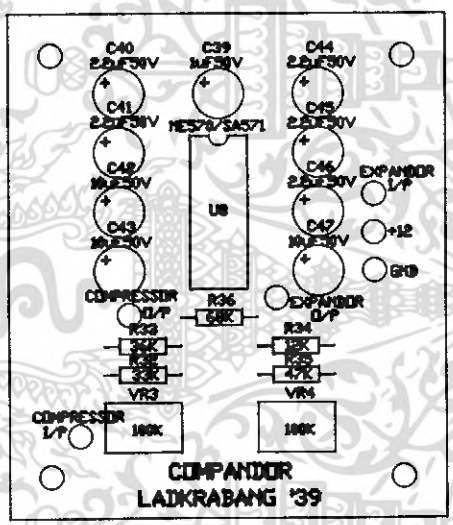


PCB TOP LAYER OF A/D AND D/A

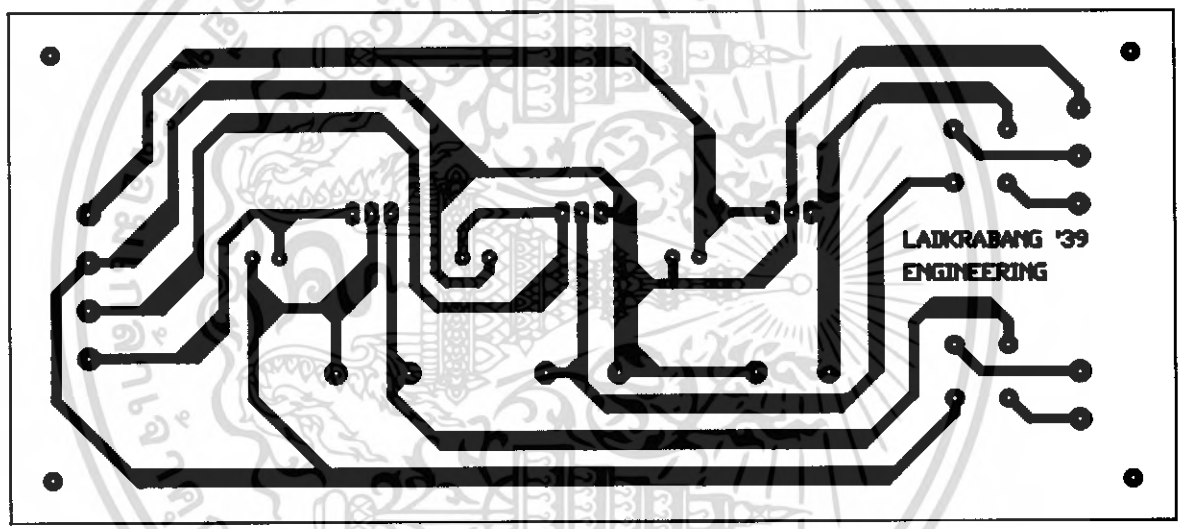
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



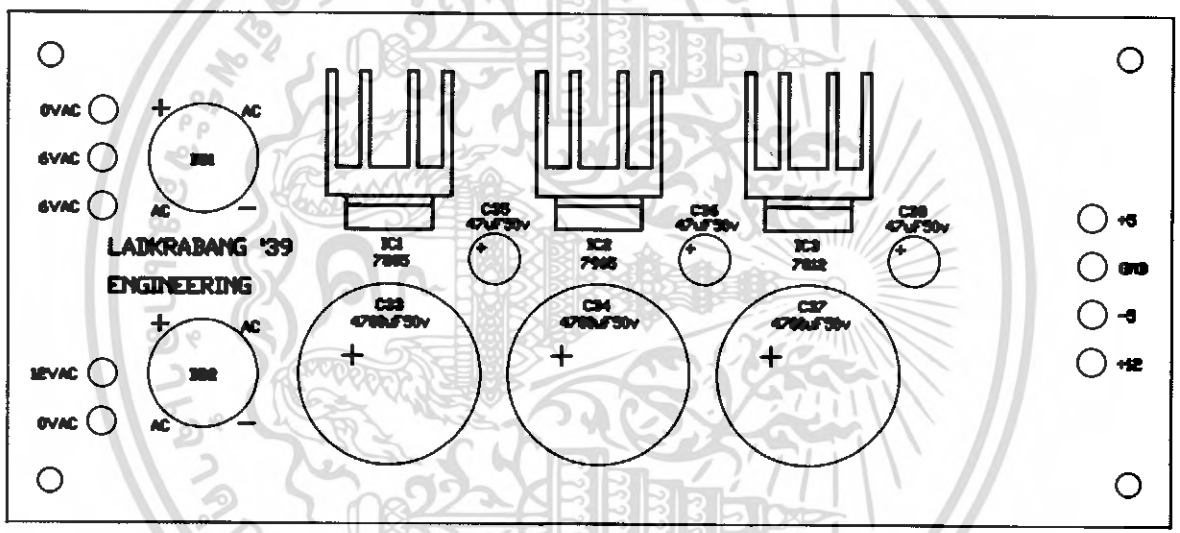
PCB BOTTOM LAYER OF COMPANDER



PCB TOP LAYER OF COMPANDER



PCB BOTTOM LAYER OF POWER SUPPLY



PCB TOP LAYER OF POWER SUPPLY

ภาคผนวก ข

รายละเอียดของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC3418/D

MOTOROLA

MC3418

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

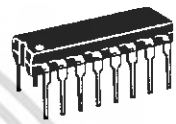
LASER–TRIMMED IC

SEMICONDUCTOR TECHNICAL DATA

Continuously Variable Slope Delta Modulator/Demodulator

Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

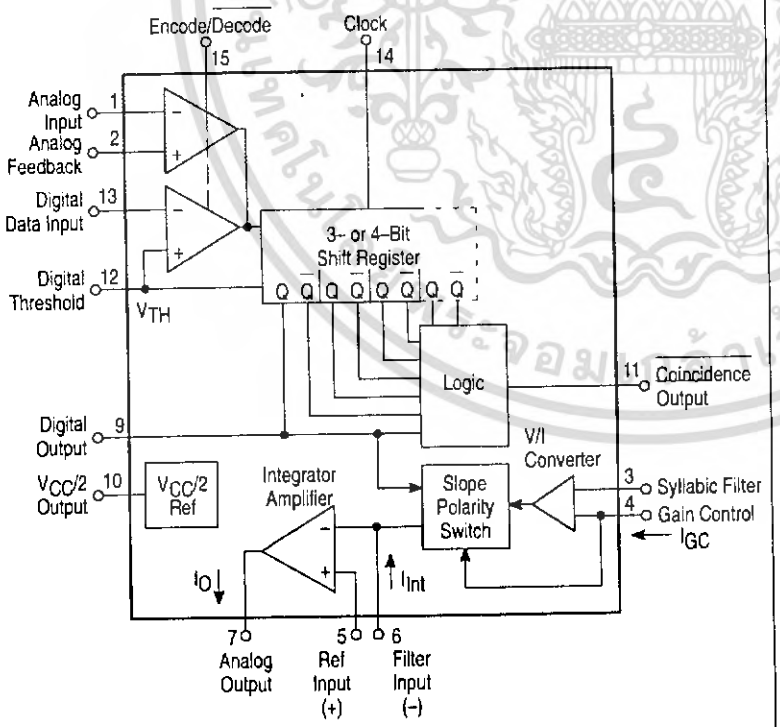
- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I^2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On–Chip)
- MC3418 has a 4–Bit Algorithm (Commercial Telephone)



P SUFFIX
PLASTIC PACKAGE
CASE 648

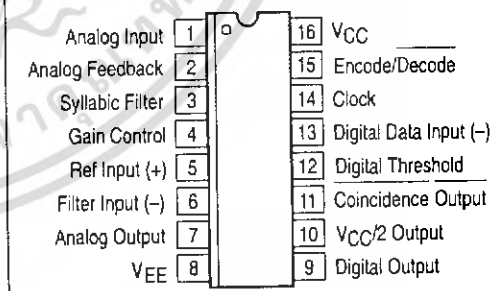
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO–16L)

Representative Block Diagram



This device contains 144 active transistors.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3418DW	T_A = 0° to +70°C	SO–16L
MC3418P		Plastic DIP

© Motorola, Inc. 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (All voltages referenced to V_{EE}, T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	–0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	–0.4 to V_{CC}	Vdc
Logic Input Voltage Clock, Digital Data, Encode/Decode	V_{Logic}	–0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	–0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	–0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	–0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(ref)}$	V_{CC}/2 – 1.0 to V_{CC}	Vdc
V_{CC}/2 Output Current	I_{ref}	–25	mA

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0 to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) @ Idle Channel	I_{CC}				mA
V_{CC} = 5.0 V		–	3.7	5.5	
V_{CC} = 15 V		–	6.0	11	
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) 4.75 V ≤ V_{CC} ≤ 16.5 V	V_I	1.3	–	V_{CC} – 1.3	Vdc
Analog Output Range (Pin 7) 4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA	V_O	1.3	–	V_{CC} – 1.3	Vdc
Input Bias Currents (Figure 3) Comparator in Active Region	I_{IB}				µA
Analog Input (I1)		–	0.25	1.0	
Analog Feedback (I2)		–	0.25	1.0	
Syllabic Filter Input (I3)		–	0.06	0.3	
Reference Input (I5)		–	–0.06	–0.3	
Input Offset Current Comparator in Active Region Analog Input/Analog Feedback |I1 – I2| (Figure 3) Analog Input/Analog Feedback |I5 – I6| (Figure 4)	I_{IO}	–	0.05 0.01	0.4 0.1	µA
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	V_{IO}	–	2.0	6.0	mV
Transconductance	gm				mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	–	
Integrator Amplifier, 0 to ±5.0 mA Load		1.0	10	–	
Propagation Delay Times (Note 1)					µs
Clock Trigger to Digital Output	t_{PLH}	–	1.0	2.5	
C_L = 25 pF to Gnd	t_{PHL}	–	0.8	2.5	
Clock Trigger to Coincidence Output	t_{PLH}	–	1.0	3.0	
C_L = 25 pF to Gnd, R_L = 4.0 kΩ to V_{CC}	t_{PHL}	–	0.8	2.0	
Coincidence Output Voltage – Low Logic Stage $I_{OL(Con)}$ = 3.0 mA	$V_{OL(Con)}$	–	0.12	0.25	Vdc

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣVoffset) equals VIO (comparator) (Figure 3) minus VIOX (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued) (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0 to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Coincidence Output Leakage Current – High Logic State V_{OH} = 15 V, 0°C ≤ T_A ≤ 70°C	$I_{OH(Con)}$	–	0.01	0.5	µA
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current 1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V V_{IL} Applied to Pins 13, 14 and 15 V_{IH} Applied to Pins 13, 14 and 15	$I_{I(th)}$	 – –	 – –10	 5.0 –50	µA
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source Only)	I_{ref}	10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to –10 mA)	z_{ref}	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	εr	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	 V_{IL} V_{IH}	 V_{EE} V_{th} + 0.4	 – –	 V_{th} – 0.4 18	Vdc
Dynamic Total Loop Offset Voltage (Note 2) (Figures 3, 4 and 5) I_{GC} = 12 µA, V_{CC} = 12 V T_A = 25°C 0°C ≤ T_A ≤ + 70°C I_{GC} = 12 µA, V_{CC} = 5.0 V T_A = 25°C 0°C ≤ T_A ≤ + 70°C	ΣV_{offset}	 – – – –	 ±0.5 ±0.75 ±1.0 ±1.3	 ±3.0 ±3.8 ±3.5 ±4.3	mV
Digital Output Voltage I_{OL} = 3.6 mA I_{OH} = –0.35 mA	 V_{OL} V_{OH}	 – V_{CC} – 1.0	 0.1 V_{CC} – 0.2	 0.4 –	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2) I_{GC} = 12 µA I_{GC} = 1.5 mA I_{GC} = 3.0 mA	$\lvert I_{Int} \rvert$	 8.0 1.42 2.75	 10 1.5 3.0	 12 1.58 3.25	 µA mA mA
Dynamic Integrating Current Match (Figure 6) I_{GC} = 1.5 mA	$V_{O(Ave)}$	–	±100	±280	mV
Input Current – High Logic State (V_{IH} = 18 V) Digital Data Input Clock Input Encode/Decode Input	I_{IH}	 – – –	 – – –	 5.0 5.0 5.0	µA
Input Current – Low Logic State (V_{IL} = 0 V) Digital Data Input Clock Input Encode/Decode Input Clock Input, V_{IL} = 0.4 V	I_{IL}	 –10 –360 –36 –72	 – – – –	 – – – –	µA

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣVoffset) equals VIO (comparator) (Figure 3) minus VIOX (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

DEFINITION AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to V_{CC}/2 at Pin 10 or ground.

The analog input comparator has bias currents of 1.0 µA max, thus the driving impedances at Pins 1 and 2 should be

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V – I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x–axis) and the integrating current, I_{Int} (y–axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600 Ω load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6 and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid–supply reference is provided for use in single supply applications. The internal regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a +6.0 dBmo signal is expected across a 600 Ω input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is possible only if Pin 10 sources 3.66 mA into a resistor normally and will source the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — Coincidence Output

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. The MC3418 contains a 4–bit register. Pin 11 is an open collector NPN device and requires a pull–up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decay constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to 12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14 and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip–flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32 k bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum high time for the clock input is 300 ns and minimum low time is 900 ns.

Pin 15 — Encode/Decode

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non–voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 V between Pin V_{CC} and V_{EE}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Power Supply Current

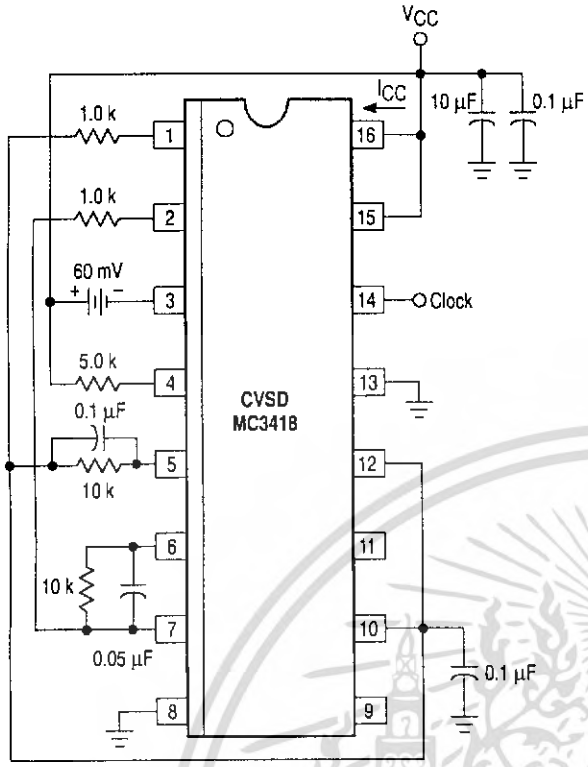
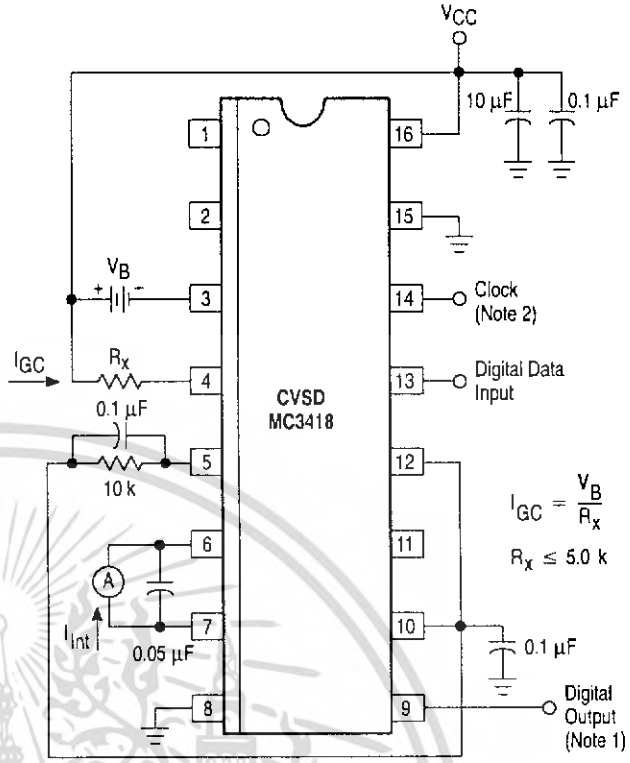
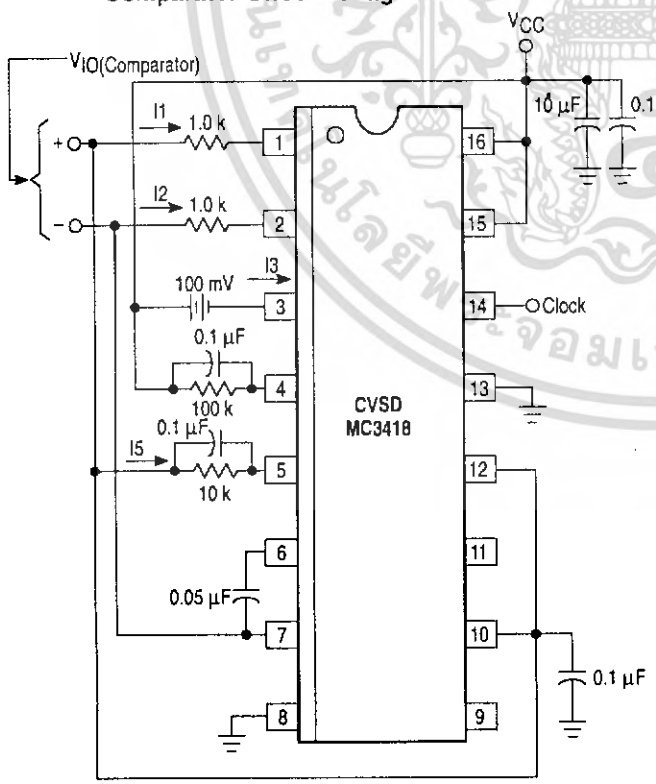


Figure 2. I_{GCR} – Gain Control Range and I_{Int} – Integrating Current



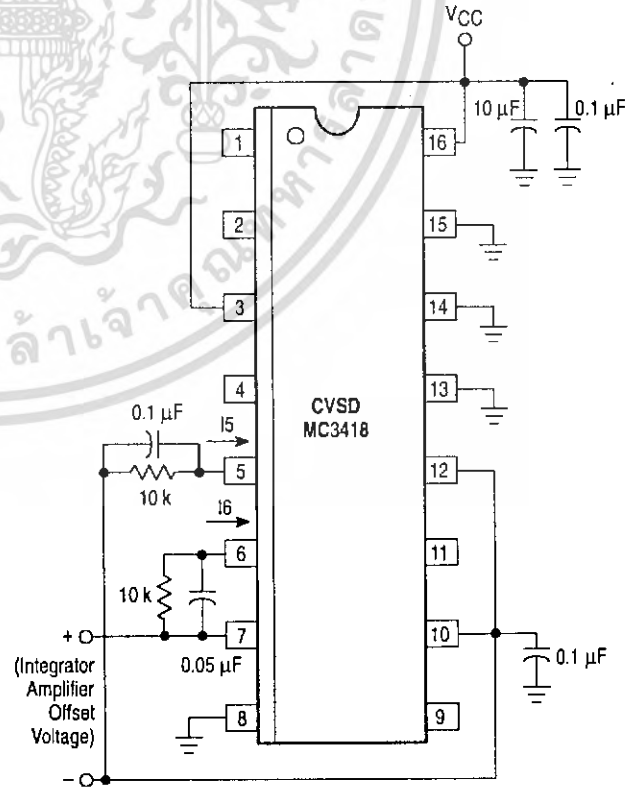
NOTES: 1. Digital Output = $\overline{\text{Digital Data Input}}$
2. For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

Figure 3. Input Bias Currents, Analog Comparator Offset Voltage and Current



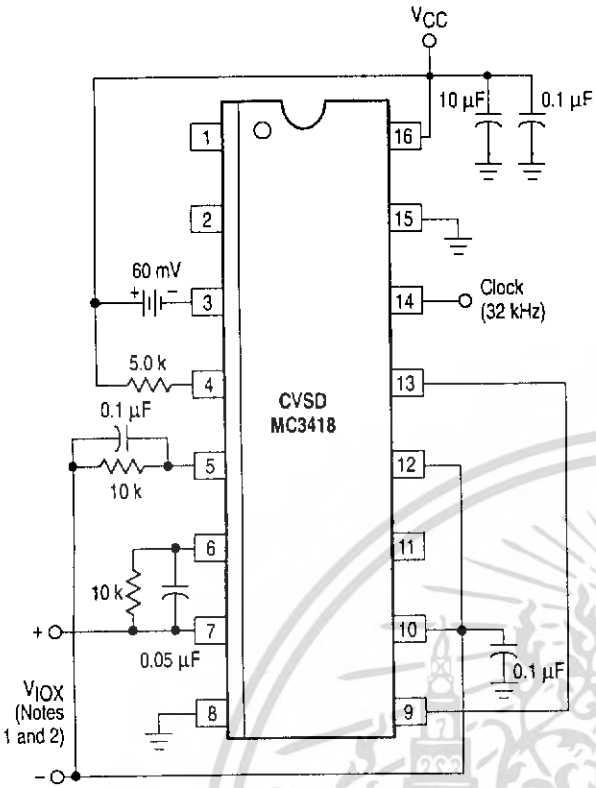
NOTE: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

Figure 4. Integrator Amplifier Offset Voltage and Current



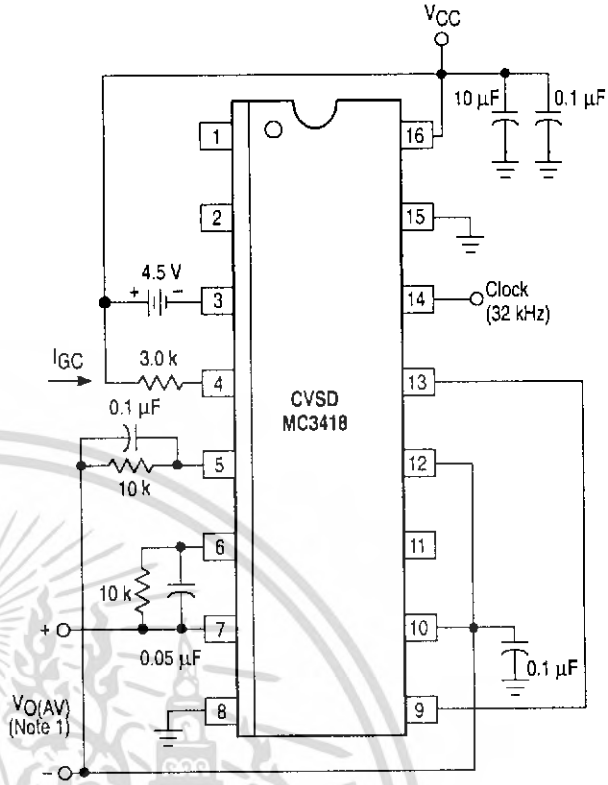
เอกสารนี้เผยแพร่เพื่อวัตถุประสงค์ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. V/I Converter Offset Voltage, V_{IO} and V_{IOX}



NOTES: 1. Integrator amplifier offset voltage plus slope polarity switch mismatch.
2. V_{IOX} is the average voltage of the triangular wave form observed at the measurement points.

Figure 6. Dynamic Integrating Current Match



NOTES: 1. $V_{O(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at t the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See Note 2 in the Electrical Characteristics table.
3. See Figures 8 and 9.

TYPICAL PERFORMANCE CURVES

Figure 7. Typical I_{Int} versus I_{GC} (Mean ±2 σ)

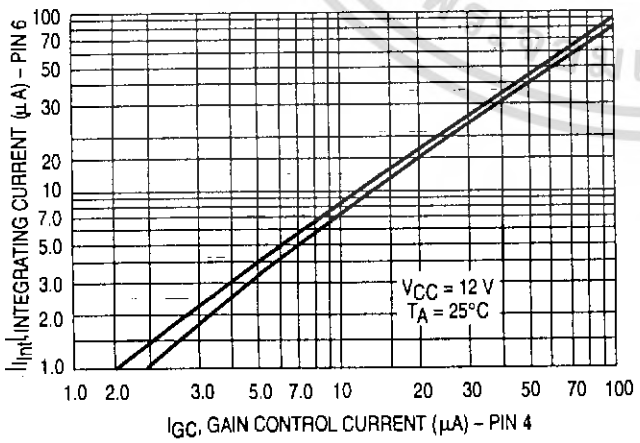
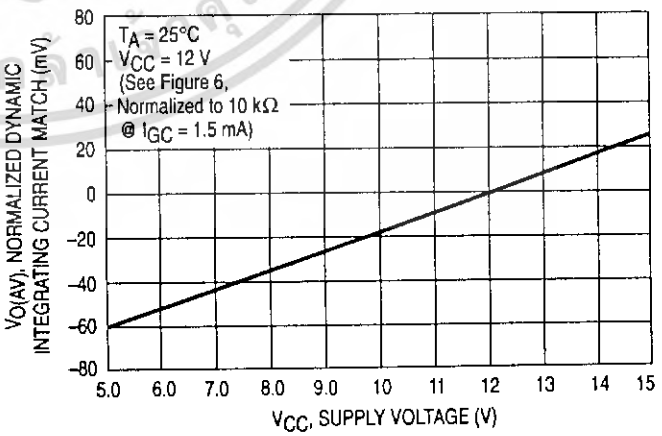


Figure 8. Normalized Dynamic Integrating Current Match versus V_{CC}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

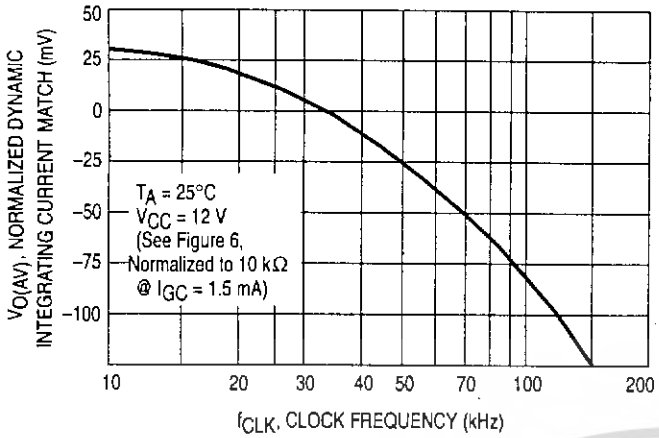


Figure 10. Dynamic Total Loop Offset versus Clock Frequency

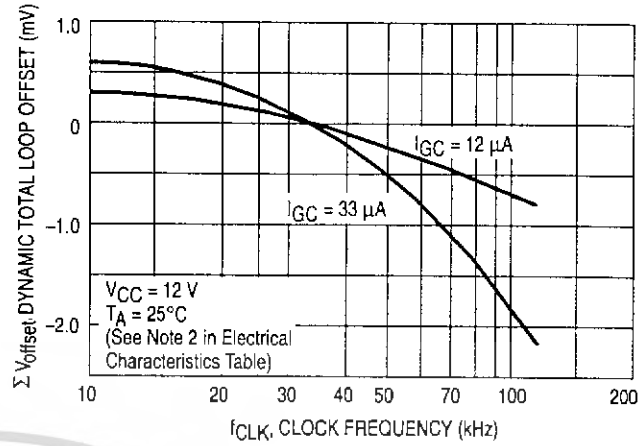


Figure 11. Block Diagram of the CVSD Encoder

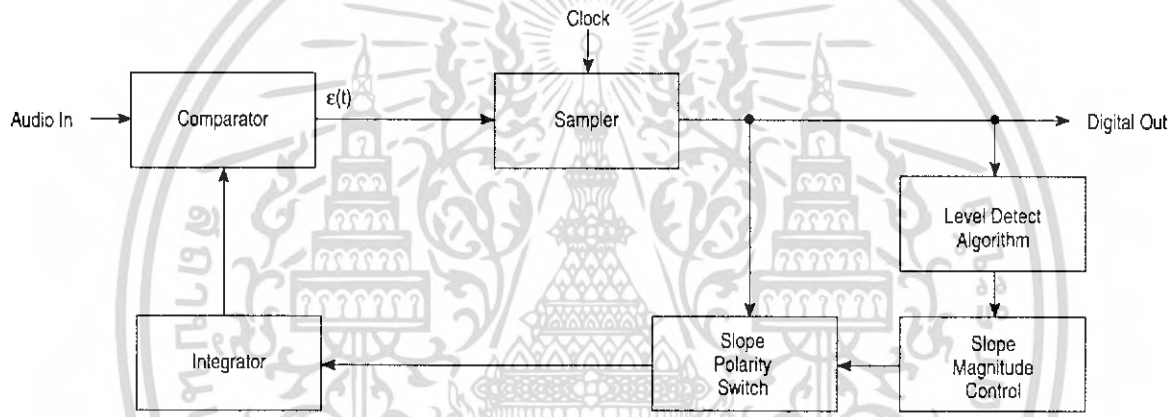
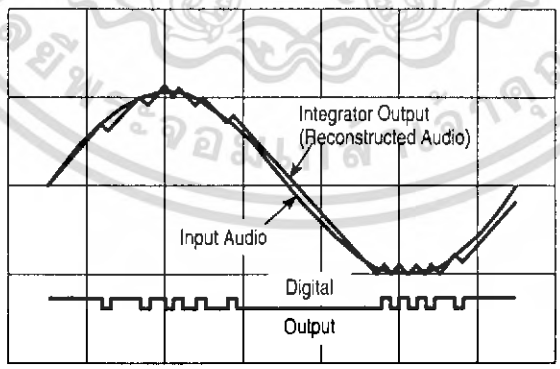


Figure 12. CVSD Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13. Block Diagram of the CVSD Decoder

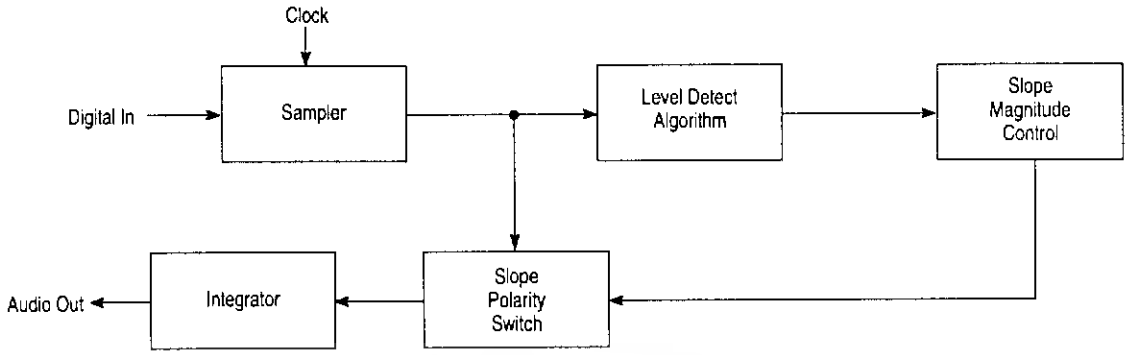
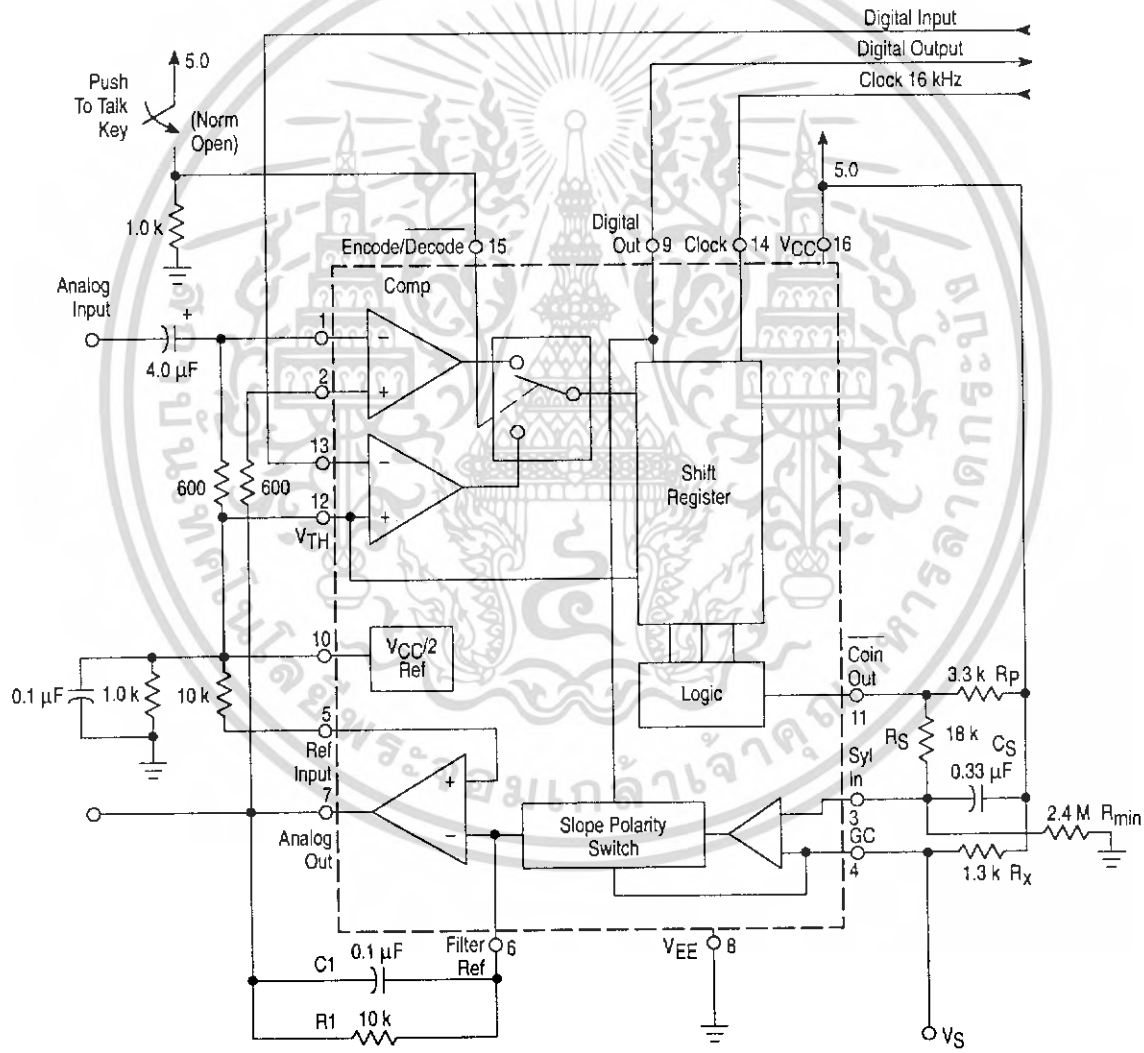


Figure 14. 16 kHz Simplex Voice Codec (Single–Pole Companding and Single Integration)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band–limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4.0 kHz and clock rates from 8.0 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to zero and receive restart begins without framing when the receiver reacquires. Similarly, a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 4–bits long. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single–pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all 1s, all 0s algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm operates only on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3418 is shown in Figure 14. This IC is a general purpose CVSD building block which allows the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely suficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single–pole networks. The selection of items 1 through 4 govern the codec performance.

Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13 and 14) from analog signal paths (Pins 1 to 7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications, the circuit in Figure 14 may be operated anywhere from 9.6 to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 16. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4–wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32 k bits and above. Other codecs may use bit rates up to 200 k bits/sec.

Shift Register Length (Algorithm)

The MC3418 has a 4–bit algorithm well suited for 32 kHz and higher clock rates. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal history. At 16 kHz and below, the 4–bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3418 is intended for high performance, high bit rate systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

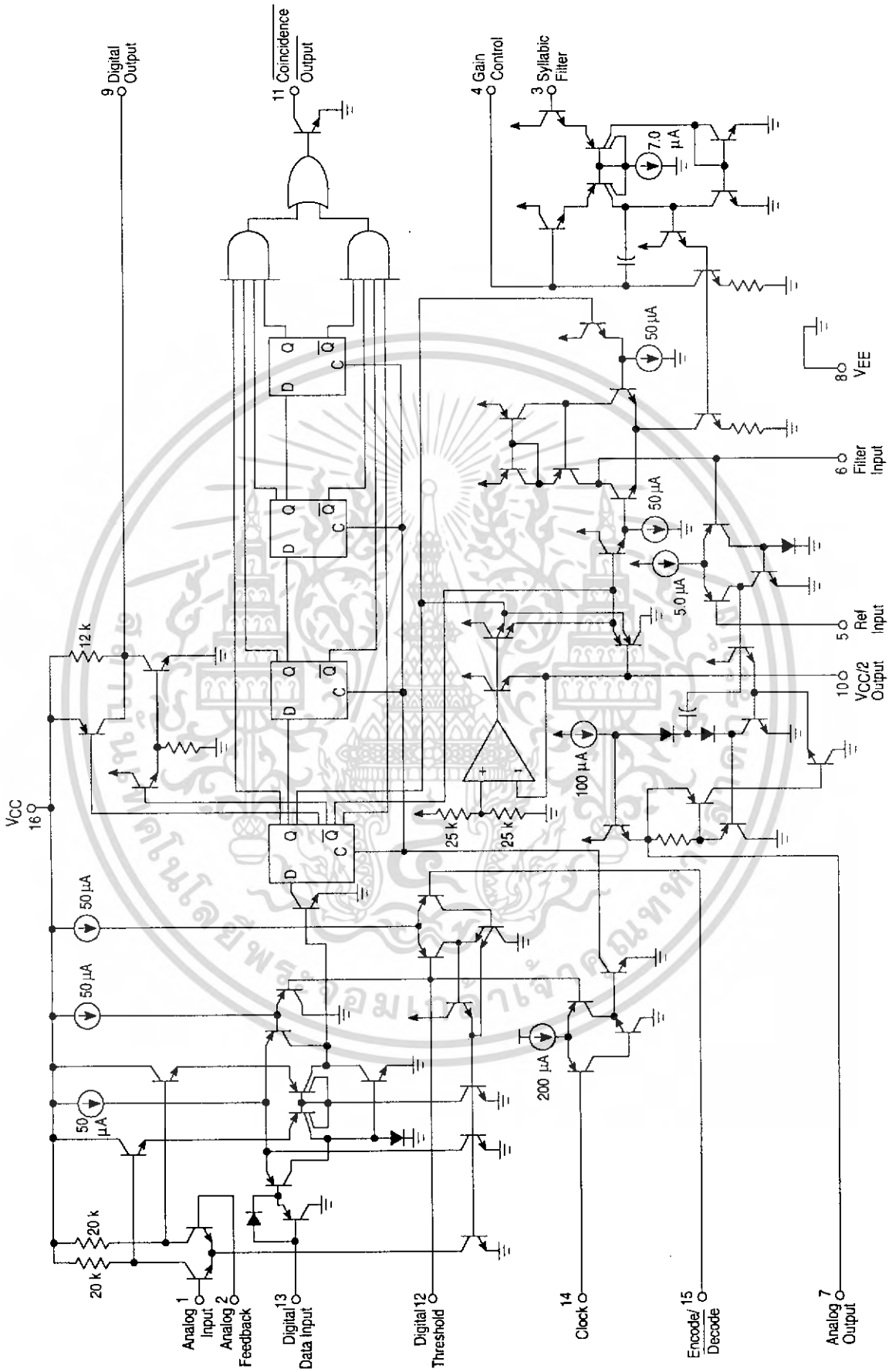
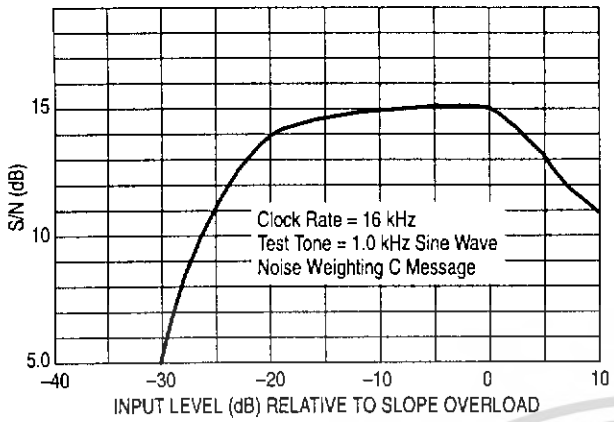


Figure 15. CVSD Circuit Schematic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 16. Signal–to–Noise Performance with Single Integration, Single–Pole and Companding at 16 k Bits (Typical)



Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1.0 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6.0 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single–pole of 160 Hz is used.

$$R1 = 10\ k\Omega,\ C1 = 0.1\ \mu F$$

$$\frac{V_O}{I_i} = \frac{1}{C\left(S + \frac{1}{RC}\right)} = \frac{K}{S + \omega_O}$$

$$\omega_O = 2\ \pi f$$

$$10^3 = \omega_O = 2\ \pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single–pole response from 300 to 3.0 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_O}{R1} + \left(C1 \times \frac{dV_O}{dt}\right)$$

Now a 0 dBmo sine wave has a peak value of 1.0954 V. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1.0 kHz sine wave is:

$$I_i = \frac{1.1\ V}{*2\ (10\ k\Omega)} + \frac{0.1\ \mu F\ (1.1)}{0.125\ ms} = 0.935\ mA$$

* The maximum voltage across R1 when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25\left(V_{CC}\right)\frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one–zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3418 is tested to ensure that a 20 mVpp minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one–zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1 – 0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R1} + C\frac{dV_O}{dt}$$

For values of V_O near $V_{CC}/2$ the V_O/R term is negligible; thus:

$$I_i = C_S\frac{\Delta V_O}{\Delta T}$$

where ΔT is the clock period and ΔV_O is the desired peak–to–peak value of the idle output. For a 16 k bit system using the circuit in Figure 14:

$$I_i = \frac{0.1\ \mu F\ 20\ mV}{62.5\ \mu s} = 33\ \mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_X.

$$I_i R_X = V_S min;\ \text{for } 33\ \mu A,\ V_S min = 41.6\ mV$$

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\frac{R_S}{R_S + R_{min}} = V_S min \quad R_{min} \approx 2.4\ M\Omega$$

Having established these four parameters – clock rate, number of shift register bits, loop gain, and minimum step size – the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INCREASING CVSD PERFORMANCE

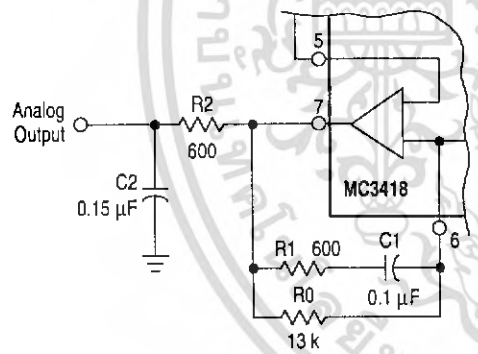
Integration Filter Design

The circuit in Figure 14 uses a single–pole integration network formed with a 0.1 µF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1.0 or 2.0 dB by using a two–pole integration network. The improved circuit is shown in Figure 17.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1.0 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1.0 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low–pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2.0 kHz, and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz, and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low–pass filter which breaks at about 2.5 kHz.) The two–pole network in Figure 17 has a transfer function of:

$$\frac{V_O}{I_i} = \frac{R0R1\left(S + \frac{1}{R1C1}\right)}{R2C2(R0 + R1)\left(S + \frac{1}{(R0+R1)C1}\right)\left(S + \left(\frac{1}{R2C2}\right)\right)}$$

Figure 17. Improved Filter Configuration



NOTE: These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 17 represent one implementation of the telephony filter requirement.

The selection of the two–pole filter network affects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_O}{R0} + \left(\frac{R2C2}{R0} + \frac{R1C1}{R0} + C1\right)\frac{\Delta V_O}{\Delta T} +$$

$$\left(R2C2C1 + \frac{R1C1R2C2}{R0}\right)\frac{\Delta V_O{}^2}{\Delta T^2}$$

The calculation of desired gain resistor R_X then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single–pole network of 18 kΩ and 0.33 µF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

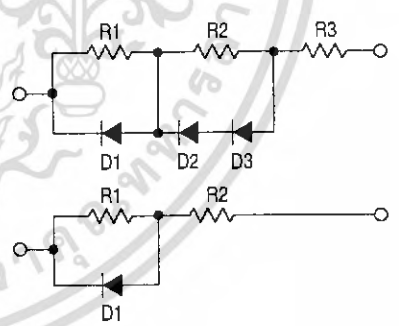
The S/N performance may be improved by modifying the voltage to current transformation produced by R_X. If different portions of the total R_X are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_X$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_X in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor–diode networks are shown in Figure 18.

Figure 18. Resistor–Diode Networks



If the performance of more complex diode networks is desired, the circuit in Figure 19 should be used. It simulates the companding characteristics of nonlinear R_X elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 21 provides excellent performance for 12 to 40 kHz systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5.0 mV minimum step size and a typical 1.0% current match from 15 μA to 3.0 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the 4–bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 19, a telephone quality codec can be mass produced.

The circuit in Figure 19 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1.0 kHz test tone at a 37.7 k bit rate. At 37.7 k bits, 40 voice channels may be multiplexed on a standard 1.544 MB T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators, and small PABX installations.

The Active Companding Network

The unique feature of the codec in Figure 19 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic filter output to establish the optimum companding ratios and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty cycle of the coincidence output. It is the parameter measured by the syllabic filter and is the voltage across C_S divided by the voltage swing of the coincidence output. In Figure 19, the voltage swing of Pin 11 is 6.0 V. The operating companding ratio is analoged by the voltage between Pins 10 and 4 by means of the virtual short across Pins 3 and 4 of the V to I op amp within the integrated circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 V below $V_{CC}/2$, then the positive input of A1 is ($V_{CC}/2$ – 0.7). The on diode drop at the input of A1 represents a 12% companding ratio (12% = 0.7 V/6.0 V).

The present step size of the operating codec is directly related to the voltage across R_X, which established the integrator current. In Figure 19, the voltage across R_X is amplified by the differential amplifier A2 whose output is single ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 V. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X. With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and Pin 4 and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 20. A smooth 2.0 dB drop is realized from 12 dBm to –24 under the control of A1. At –24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X. The curves demonstrate that the level linearity has been maintained or improved.*

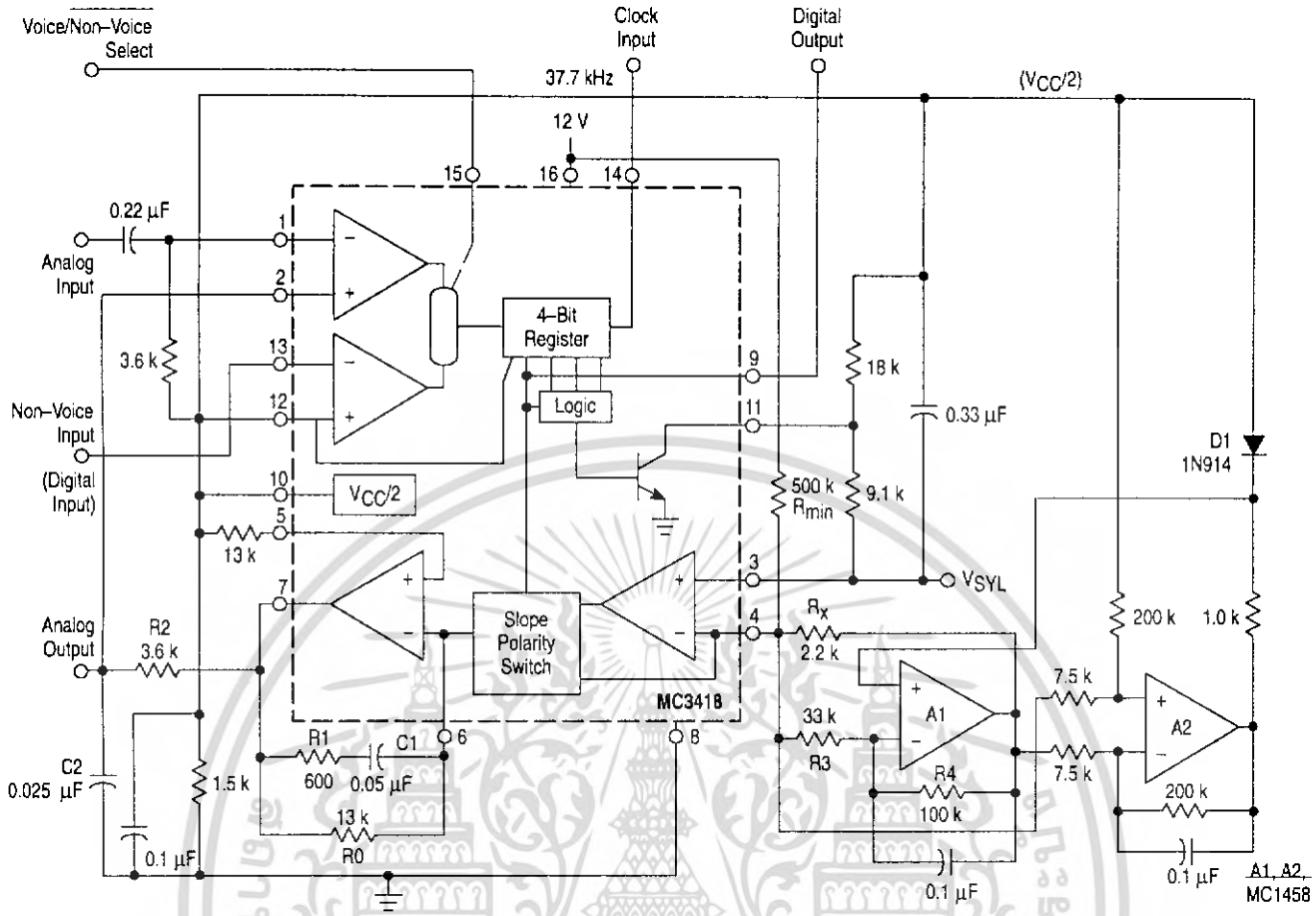
The codec in Figure 19 is designed specifically for 37.7 k bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 19 represents a significant step forward in the art and cost of CVSD codec designs.

*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 19, 0.050 μF would work well.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

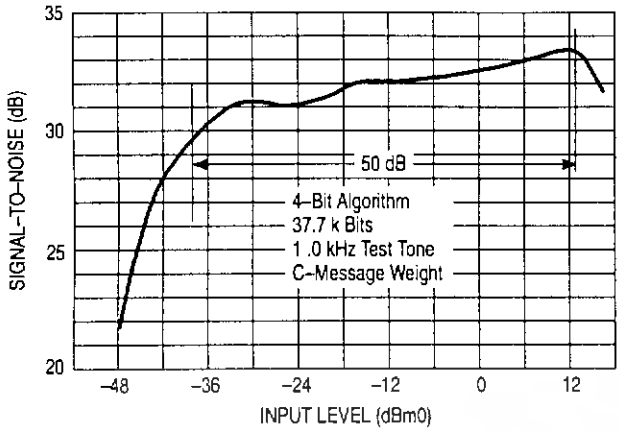
Figure 19. Telephone Quality Deltamod Coder*



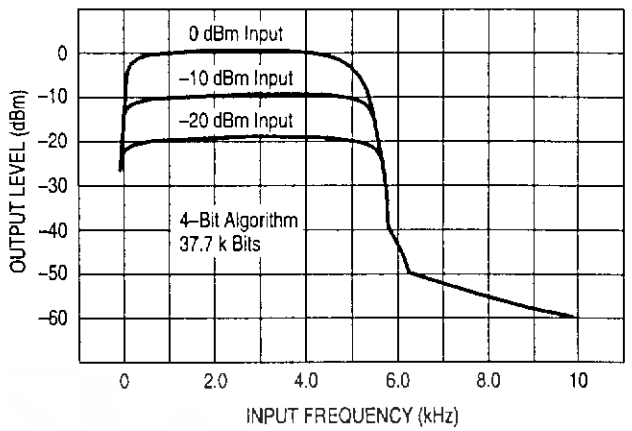
* Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 20. Signal–to–Noise Performance and Frequency Response*



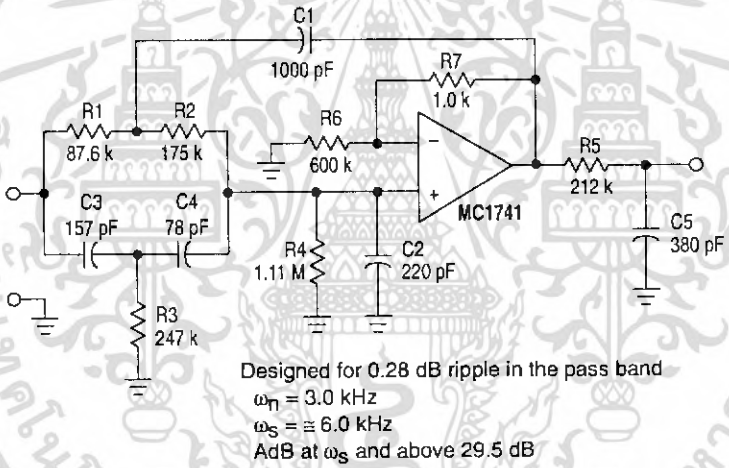
(a) Signal–to–Noise Performance of Telephony Quality Deltamodulator



(b) Frequency Response versus Input Level (Slope Overload Characteristic)

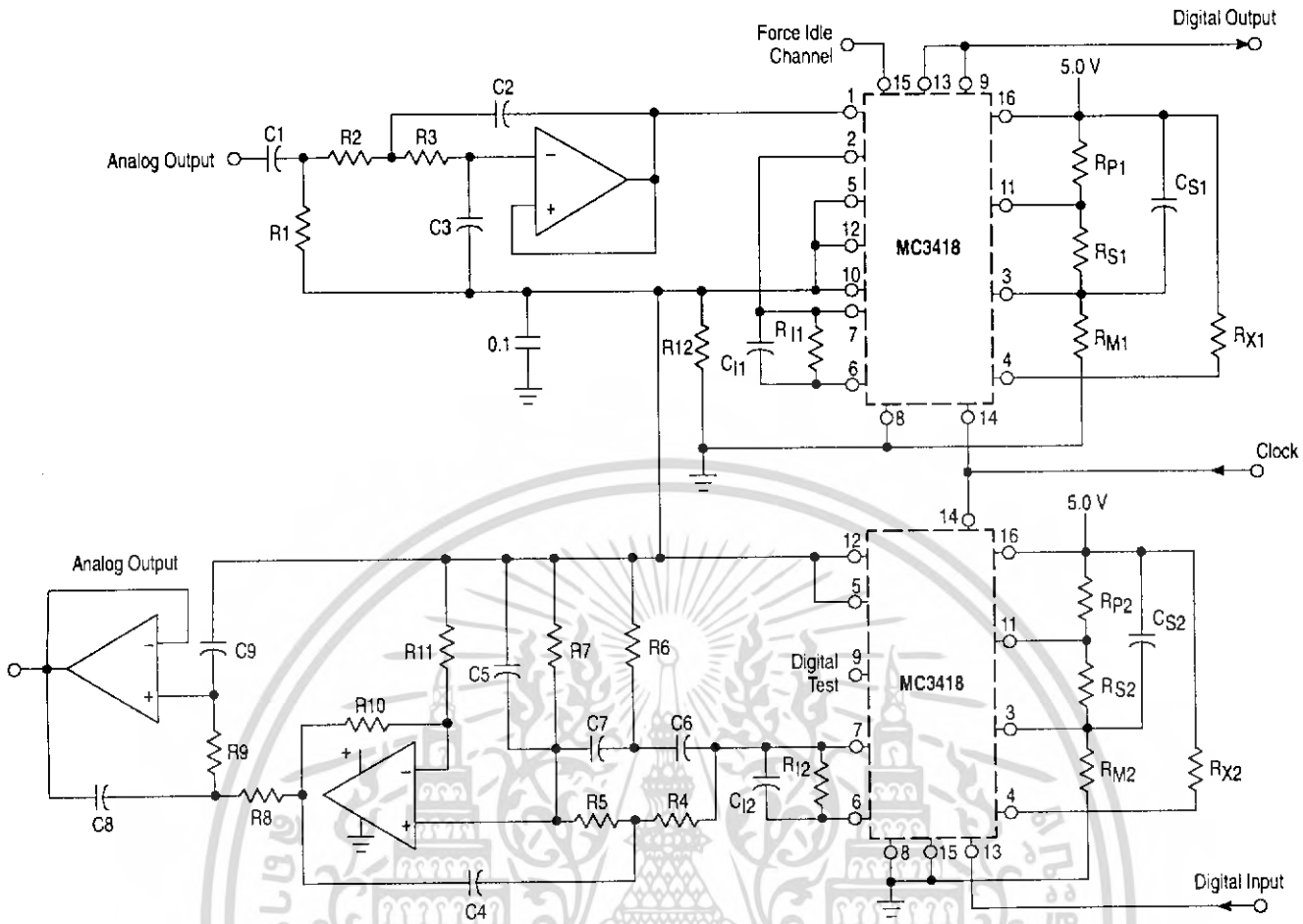
*Showing the improvement realized with the circuit in Figure 19.

Figure 21. High Performance Elliptic Filter for CVSD Output



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 22. Full Duplex/32 k Bit CVSD Voice Codec



Codec Components

R_{X1}, R_{X2} – 3.3 kΩ
R_{P1}, R_{P2} – 3.3 kΩ
R_{S1}, R_{S2} – 100 kΩ
R_{I1}, R_{I2} – 20 kΩ
R_{12} – 1.0 kΩ
R_{M1}, R_{M2} – 15 MΩ
Minimum step size = 6.0 mV
C_{S1}, C_{S2} – 0.05 µF
C_{I1}, C_{I2} – 0.05 µF
2 MC3418
1 MC3403 (or MC3406)

NOTE: All Res. 5%
All Cap. 5%

Input Filter Specifications

12 dB/Octave Rolloff above 3.3 kHz
6.0 dB/Octave Rolloff below 50 Hz

Output Filter Specifications

Break Frequency – 3.3 kHz
Stop Band – 9.0 kHz
Stop Band Atten. – 50 dB
Rolloff – > 40 dB/Octave

Filter Components

R1 – 965 Ω
R2 – 72 kΩ
R3 – 72 kΩ
R4 – 63.46 kΩ
R5 – 127 kΩ
R6 – 365.5 kΩ
R7 – 1.645 MΩ
R8 – 72 kΩ
R9 – 72 kΩ
R10 – 29.5 Ω
R11 – 72 kΩ

C1 – 3.3 µF
C2 – 837 pF
C3 – 536 pF
C4 – 1000 pF
C5 – 222 pF
C6 – 77 pF
C7 – 38 pF
C8 – 837 pF
C9 – 536 pF

NOTE: All Res. 0.1% to 1%
All Cap. 0.1%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

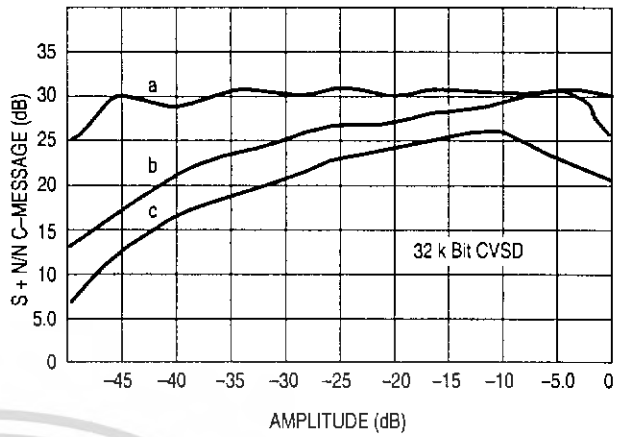
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required, and the cost objectives. To illustrate the choices available, the data in Figure 23 compares the signal–to–noise ratios and dynamic range of various codec design options at 32 k bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non–voice applications of the MC3418 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

Figure 23. Comparative Codec Performance – Signal–to–Noise Ratio for 1.0 kHz Test Tone



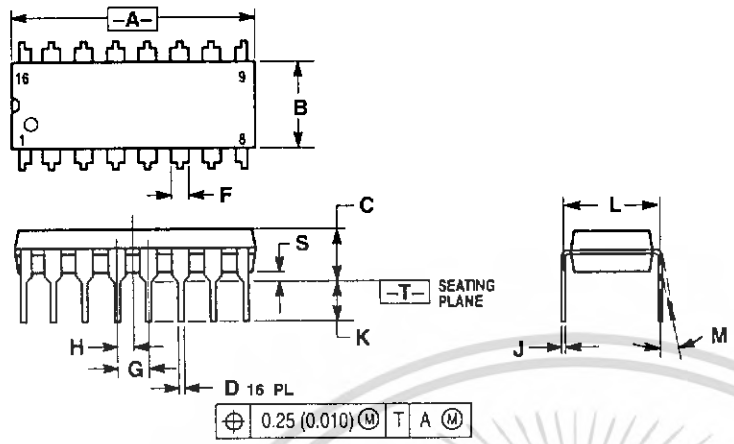
NOTE: These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a – Complex companding and double integration (Figure 19)
Curve b – Double integration (Figure 14 using Figure 17)
Curve c – Single integration (Figure 14) with 6.0 mV stepsize

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

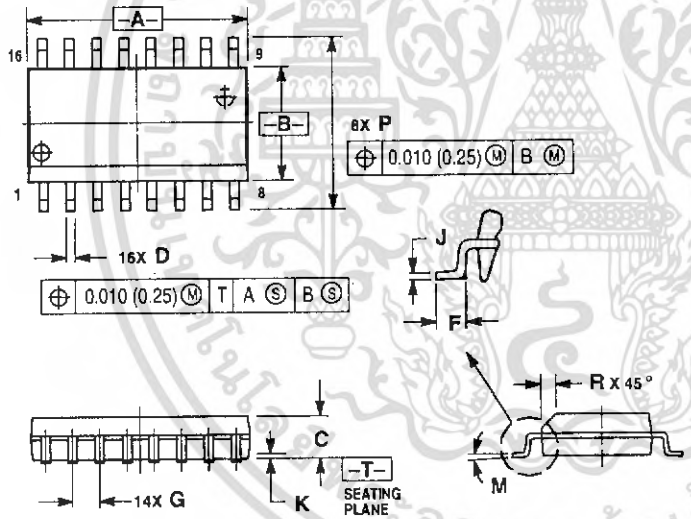
P SUFFIX
PLASTIC PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

DW SUFFIX
PLASTIC PACKAGE
CASE 751G–02
(SO–16L)
ISSUE A



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	10.15	10.45	0.400	0.411
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.50	0.90	0.020	0.035
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty , representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in dif ferent applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body , or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสาร

DATA SHEET

SA571
Compandor

Product specification

IC17 Data Handbook

1997 Aug 14

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

PHILIPS

Compandor SA571

DESCRIPTION

The SA571 is a versatile low cost dual gain control circuit in which either channel may be used as a dynamic range compressor or expandor. Each channel has a full-wave rectifier to detect the average value of the signal, a linerarized temperature-compensated variable gain cell, and an operational amplifier.

The SA571 is well suited for use in cellular radio and radio communications systems, modems, telephone, and satellite broadcast/receive audio systems.

FEATURES

- Complete compressor and expandor in one IChip
- Temperature compensated
- Greater than 110dB dynamic range
- Operates down to 6VDC
- System levels adjustable with external components
- Distortion may be trimmed out
- Dynamic noise reduction systems
- Voltage-controlled amplifier

PIN CONFIGURATION

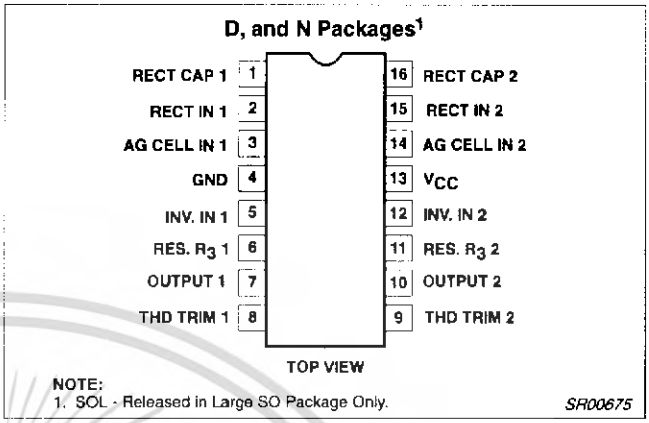


Figure 1. Pin Configuration

APPLICATIONS

- Cellular radio
- High level limiter
- Low level expandor—noise gate
- Dynamic filters
- CD Player

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Plastic Small Outline Large (SOL)	-40 to +85°C	SA571D	SOT162-1
16-Pin Plastic Dual In-Line Package (DIP)	-40 to +85°C	SA571N	SOT38-4

BLOCK DIAGRAM

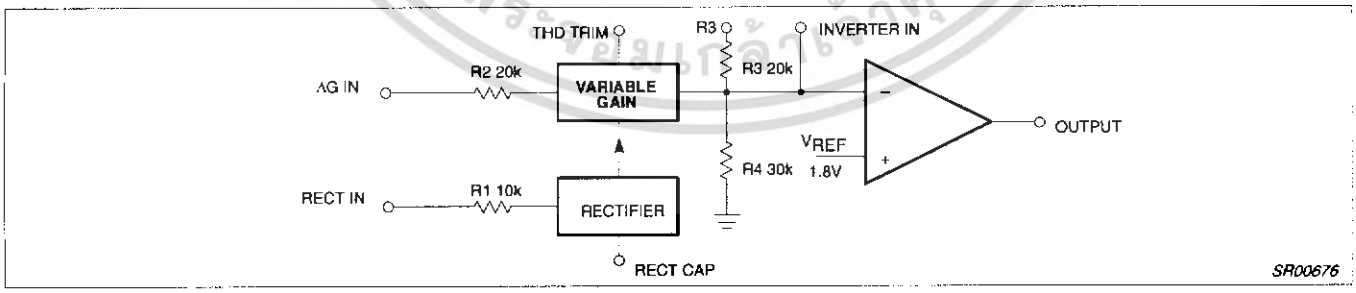


Figure 2. Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNITS
V_{CC}	Maximum operating voltage 571	18	VDC
T_A	Operating ambient temperature range SA	-40 to +85	°C
P_D	Power dissipation	400	mW

AC ELECTRICAL CHARACTERISTICS

V_{CC} = +6V, T_A = 25°C; unless otherwise stated.

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS			UNITS
			SA571[5]			
			MIN	TYP	MAX	
V_{CC}	Supply voltage		6		18	V
I_{CC}	Supply current	No signal		3.2	4.8	mA
I_{OUT}	Output current capability		±20			mA
SR	Output slew rate			±.5		V/µs
	Gain cell distortion[2]	Untrimmed Trimmed		0.5 0.1	2.0	%
	Resistor tolerance			±5	±15	%
	Internal reference voltage		1.65	1.8	1.95	V
	Output DC shift[3]	Untrimmed		±30	±150	mV
	Expandor output noise	No signal, 15Hz-20kHz[1]		20	60	µV
	Unity gain level[6]	1kHz	-1.5	0	+1.5	dBm
	Gain change[2, 4]			±0.1		dB
	Reference drift[4]			+2, -25	+20, -50	mV
	Resistor drift[4]			+8, -0		%
	Tracking error (measured relative to value at unity gain) equals [V_O - V_O (unity gain)] dB - V_2dBm	Rectifier input, V_2 = +6dBm, V_1 = 0dB V_2 = -30dBm, V_1 = 0dB		+0.2 +0.2	 -1, +1.5	dB
	Channel separation			60		dB

NOTES:
1. Input to V_1 and V_2 grounded.
2. Measured at 0dBm, 1kHz.
3. Expandor AC input change from no signal to 0dBm.
4. Relative to value at T_A = 25°C.
5. Electrical characteristics for the SA571 only are specified over -40 to +85°C temperature range.
6. 0dBm = 775mV_{RMS}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION

The SA571 compandor building blocks, as shown in the block diagram, are a full-wave rectifier, a variable gain cell, an operational amplifier and a bias system. The arrangement of these blocks in the IC result in a circuit which can perform well with few external components, yet can be adapted to many diverse applications.

The full-wave rectifier rectifies the input current which flows from the rectifier input, to an internal summing node which is biased at V_{REF}. The rectified current is averaged on an external filter capacitor tied to the C_{RECT} terminal, and the average value of the input current controls the gain of the variable gain cell. The gain will thus be proportional to the average value of the input signal for capacitively-coupled voltage inputs as shown in the following equation. Note that for capacitively-coupled inputs there is no offset voltage capable of producing a gain error. The only error will come from the bias current of the rectifier (supplied internally) which is less than 0.1μA.

$$G \propto \frac{|V_{IN} - V_{REF}|_{avg}}{R_1}$$

or

$$G \propto \frac{|V_{IN}|_{avg}}{R_1}$$

The speed with which gain changes to follow changes in input signal levels is determined by the rectifier filter capacitor. A small capacitor will yield rapid response but will not fully filter low frequency signals. Any ripple on the gain control signal will modulate the signal passing through the variable gain cell. In an expander or compressor application, this would lead to third harmonic distortion, so there is a trade-off to be made between fast attack and decay times and distortion. For step changes in amplitude, the change in gain with time is shown by this equation.

$$G(t) = (G_{initial} - G_{final})e^{-t/\tau} + G_{final} ; \tau = 10k \times C_{RECT}$$

The variable gain cell is a current-in, current-out device with the ratio I_{OUT}/I_{IN} controlled by the rectifier. I_{IN} is the current which flows from the ΔG input to an internal summing node biased at V_{REF}. The following equation applies for capacitively-coupled inputs. The output current, I_{OUT}, is fed to the summing node of the op amp.

$$I_{IN} = \frac{V_{IN} - V_{REF}}{R_2} = \frac{V_{IN}}{R_2}$$

A compensation scheme built into the ΔG cell compensates for temperature and cancels out odd harmonic distortion. The only distortion which remains is even harmonics, and they exist only because of internal offset voltages. The THD trim terminal provides a means for nulling the internal offsets for low distortion operation.

The operational amplifier (which is internally compensated) has the non-inverting input tied to V_{REF}, and the inverting input connected to the ΔG cell output as well as brought out externally. A resistor, R_3, is brought out from the summing node and allows compressor or expander gain to be determined only by internal components.

The output stage is capable of ±20mA output current. This allows a +13dBm ($3.5V_{RMS}$) output into a 300Ω load which, with a series resistor and proper transformer, can result in +13dBm with a 600Ω output impedance.

A bandgap reference provides the reference voltage for all summing nodes, a regulated supply voltage for the rectifier and ΔG cell, and a bias current for the ΔG cell. The low tempco of this type of reference provides very stable biasing over a wide temperature range.

The typical performance characteristics illustration shows the basic input-output transfer curve for basic compressor or expander circuits.

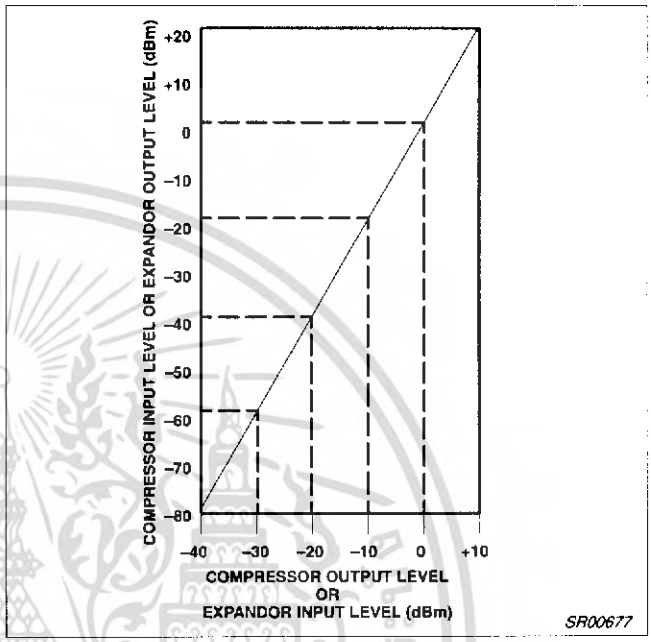


Figure 3. Basic Input-Output Transfer Curve

TYPICAL TEST CIRCUIT

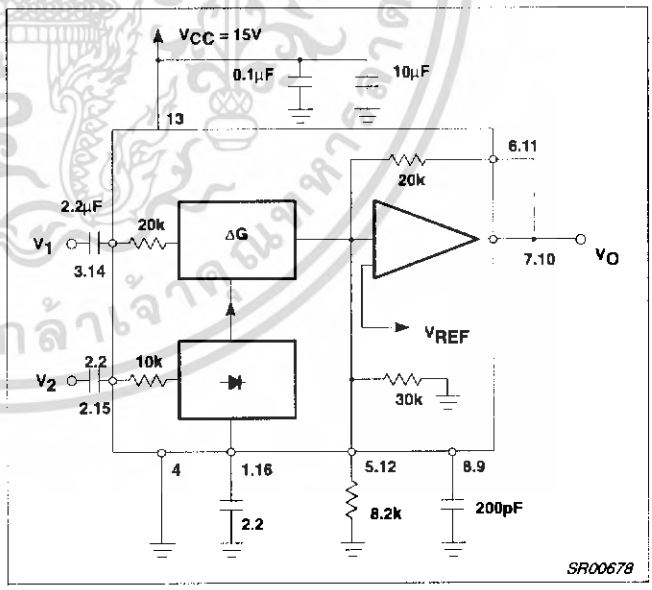


Figure 4. Typical Test Circuit

INTRODUCTION

Much interest has been expressed in high performance electronic gain control circuits. For non-critical applications, an integrated circuit operational transconductance amplifier can be used, but when high-performance is required, one has to resort to complex discrete circuitry with many expensive, well-matched components.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This paper describes an inexpensive integrated circuit, the SA571 Compandor, which offers a pair of high performance gain control circuits featuring low distortion (<0.1%), high signal-to-noise ratio (90dB), and wide dynamic range (110dB).

CIRCUIT BACKGROUND

The SA571 Compandor was originally designed to satisfy the requirements of the telephone system. When several telephone channels are multiplexed onto a common line, the resulting signal-to-noise ratio is poor and companding is used to allow a wider dynamic range to be passed through the channel. Figure 5 graphically shows what a compandor can do for the signal-to-noise ratio of a restricted dynamic range channel. The input level range of +20 to -80dB is shown undergoing a 2-to-1 compression where a 2dB input level change is compressed into a 1dB output level change by the compressor. The original 100dB of dynamic range is thus compressed to a 50dB range for transmission through a restricted dynamic range channel. A complementary expansion on the receiving end restores the original signal levels and reduces the channel noise by as much as 45dB.

The significant circuits in a compressor or expander are the rectifier and the gain control element. The phone system requires a simple full-wave averaging rectifier with good accuracy, since the rectifier accuracy determines the (input) output level tracking accuracy. The gain cell determines the distortion and noise characteristics, and the phone system specifications here are very loose. These specs could have been met with a simple operational transconductance multiplier, or OTA, but the gain of an OTA is proportional to temperature and this is very undesirable. Therefore, a linearized transconductance multiplier was designed which is insensitive to temperature and offers low noise and low distortion performance. These features make the circuit useful in audio and data systems as well as in telecommunications systems.

BASIC CIRCUIT HOOK-UP AND OPERATION

Figure 6 shows the block diagram of one half of the chip, (there are two identical channels on the IC). The full-wave averaging rectifier provides a gain control current, I_G, for the variable gain (ΔG) cell. The output of the ΔG cell is a current which is fed to the summing node of the operational amplifier. Resistors are provided to establish circuit gain and set the output DC bias.

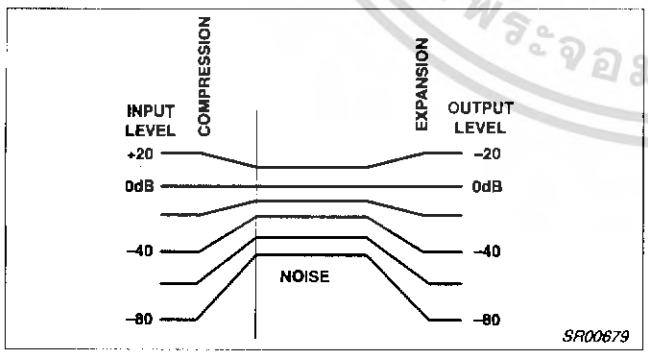


Figure 5. Restricted Dynamic Range Channel

The circuit is intended for use in single power supply systems, so the internal summing nodes must be biased at some voltage above ground. An internal band gap voltage reference provides a very stable, low noise 1.8V reference denoted V_{REF}. The non-inverting input of the op amp is tied to V_{REF}, and the summing nodes of the rectifier and ΔG cell (located at the right of R_1 and R_2) have the same potential. The THD trim pin is also at the V_{REF} potential.

Figure 7 shows how the circuit is hooked up to realize an expandor. The input signal, V_{IN}, is applied to the inputs of both the rectifier and the ΔG cell. When the input signal drops by 6dB, the gain control current will drop by a factor of 2, and so the gain will drop 6dB. The output level at V_{OUT} will thus drop 12dB, giving us the desired 2-to-1 expansion.

Figure 8 shows the hook-up for a compressor. This is essentially an expandor placed in the feedback loop of the op amp. TheΔG cell is setup to provide AC feedback only, so a separate DC feedback loop is provided by the two R_{DC} and C_{DC}. The values of R_{DC} will determine the DC bias at the output of the op amp. The output will bias to:

$$V_{OUT}\ DC = 1 + \frac{R_{DC1} + R_{DC2}}{R_4}$$

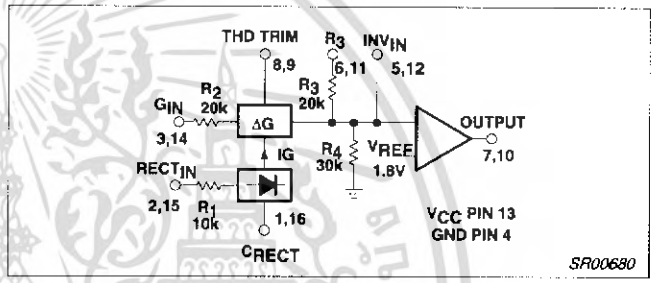


Figure 6. Chip Block Diagram (1 of 2 Channels)

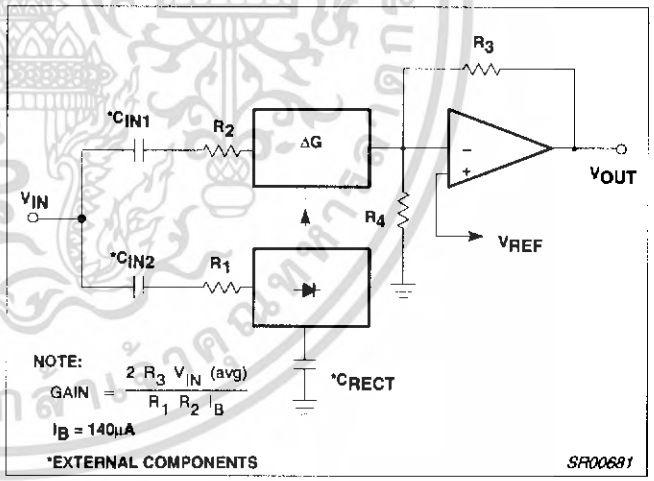


Figure 7. Basic Expander

$$V_{REF} = \left(1 + \frac{R_{DCTOT}}{30k}\right) 1.8V$$

The output of the expander will bias up to:

$$V_{OUT}\ DC = 1 + \frac{R_3}{R_4} V_{REF}$$

$$V_{REF} = \left(1 + \frac{20k}{30k}\right) 1.8V = 3.0V$$

The output will bias to 3.0V when the internal resistors are used. External resistors may be placed in series with R_3, (which will affect the gain), or in parallel with R_4 to raise the DC bias to any desired value.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

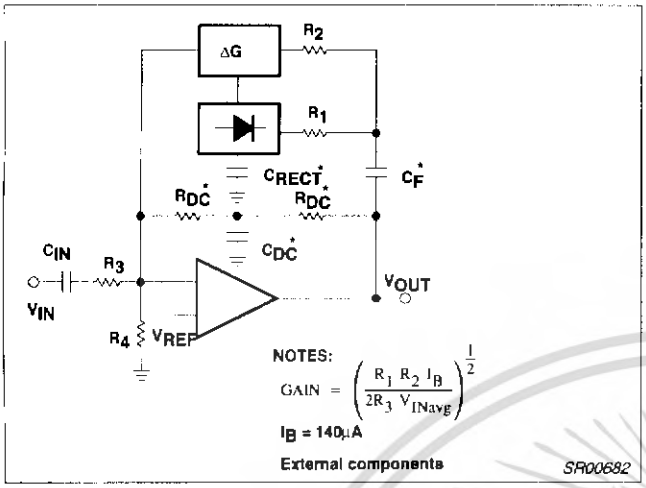


Figure 8. Basic Compressor

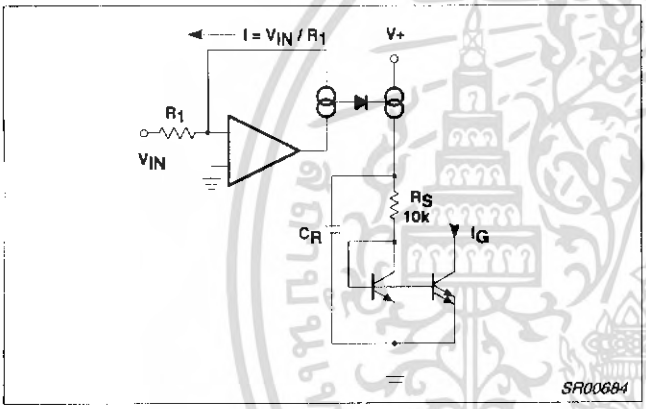


Figure 9. Rectifier Concept

CIRCUIT DETAILS—RECTIFIER

Figure 9 shows the concept behind the full-wave averaging rectifier. The input current to the summing node of the op amp, $V_{IN}R_1$, is supplied by the output of the op amp. If we can mirror the op amp output current into a unipolar current, we will have an ideal rectifier. The output current is averaged by R_S, CR, which set the averaging time constant, and then mirrored with a gain of 2 to become I_G, the gain control current.

Figure 10 shows the rectifier circuit in more detail. The op amp is a one-stage op amp, biased so that only one output device is on at a time. The non-inverting input, (the base of Q_1), which is shown grounded, is actually tied to the internal 1.8V V_{REF}. The inverting input is tied to the op amp output, (the emitters of Q_5 and Q_6), and the input summing resistor R_1. The single diode between the bases of Q_5 and Q_6 assures that only one device is on at a time. To detect the output current of the op amp, we simply use the collector currents of the output devices Q_5 and Q_6. Q_6 will conduct when the input swings positive and Q_5 conducts when the input swings negative. The collector currents will be in error by the *a* of Q_5 or Q_6 on negative or positive signal swings, respectively. ICs such as this have typical NPN βs of 200 and PNP βs of 40. The *a*'s of 0.995 and 0.975 will produce errors of 0.5% on negative swings and 2.5% on positive swings. The 1.5% average of these errors yields a mere 0.13dB gain error.

At very low input signal levels the bias current of Q_2, (typically 50nA), will become significant as it must be supplied by Q_5. Another low level error can be caused by DC coupling into the rectifier. If an offset voltage exists between the V_{IN} input pin and the base of Q_2, an error current of V_{OS}/R_1 will be generated. A mere 1mV of offset will cause an input current of 100nA which will produce twice the error of the input bias current. For highest accuracy, the rectifier should be coupled into capacitively. At high input levels theβ of the PNP Q_6 will begin to suffer, and there will be an increasing error until the circuit saturates. Saturation can be avoided by limiting the current into the rectifier input to 250μA. If necessary, an external resistor may be placed in series with R_1 to limit the current to this value. Figure 11 shows the rectifier accuracy vs input level at a frequency of 1kHz.

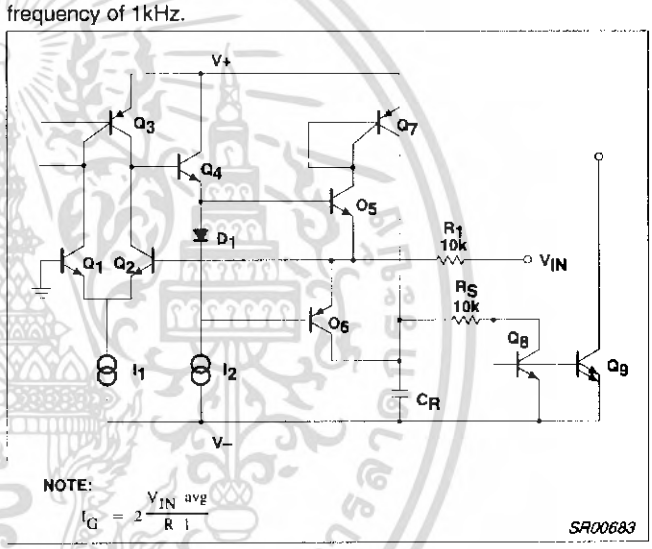


Figure 10. Simplified Rectifier Schematic

At very high frequencies, the response of the rectifier will fall off. The roll-off will be more pronounced at lower input levels due to the increasing amount of gain required to switch between Q_5 or Q_6 conducting. The rectifier frequency response for input levels of 0dBm, -20dBm, and -40dBm is shown in Figure 12. The response at all three levels is flat to well above the audio range.

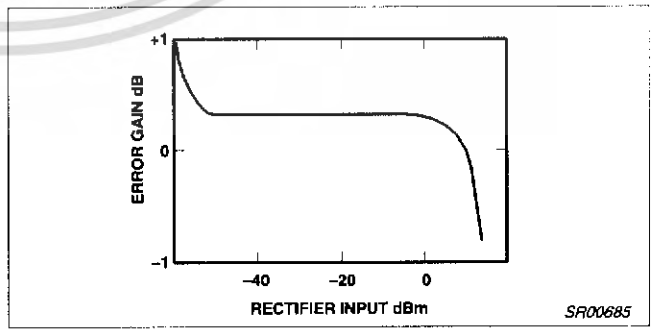


Figure 11. Rectifier Accuracy

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

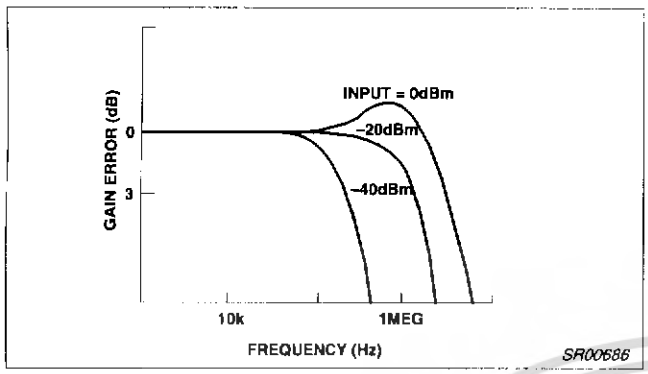


Figure 12. Rectifier Frequency Response vs Input Level

VARIABLE GAIN CELL

Figure 13 is a diagram of the variable gain cell. This is a linearized two-quadrant transconductance multiplier. Q_1, Q_2 and the op amp provide a predistorted drive signal for the gain control pair, Q_3 and Q_4. The gain is controlled by I_G and a current mirror provides the output current.

The op amp maintains the base and collector of Q_1 at ground potential (V_{REF}) by controlling the base of Q_2. The input current I_{IN} ($=V_{IN}/R_2$) is thus forced to flow through Q_1 along with the current I_1, so $I_{C1}=I_1+I_{IN}$. Since I_2 has been set at twice the value of I_1, the current through Q_2 is:

$I_2-(I_1+I_{IN})=I_1-I_{IN}=I_{C2}$.

The op amp has thus forced a linear current swing between Q_1 and Q_2 by providing the proper drive to the base of Q_2. This drive signal will be linear for small signals, but very non-linear for large signals, since it is compensating for the non-linearity of the differential pair, Q_1 and Q_2, under large signal conditions.

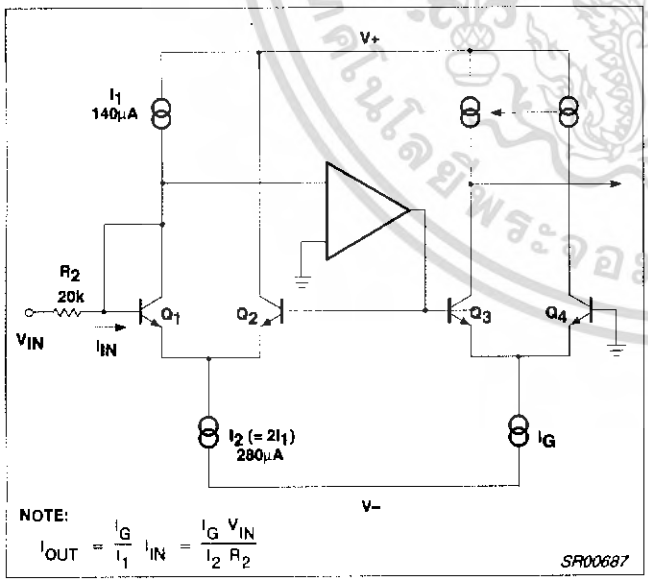


Figure 13. Simplified ΔG Cell Schematic

The key to the circuit is that this same predistorted drive signal is applied to the gain control pair, Q_3 and Q_4. When two differential pairs of transistors have the same signal applied, their collector current ratios will be identical regardless of the magnitude of the currents. This gives us:

$$\frac{I_{C1}}{I_{C2}} = \frac{I_{C4}}{I_{C3}} = \frac{I_1 + I_{IN}}{I_1 - I_{IN}}$$

plus the relationships $I_G=I_{C3}+I_{C4}$ and $I_{OUT}=I_{C4}-I_{C3}$ will yield the multiplier transfer function,

$$I_{OUT} = \frac{I_G}{I_1} I_{IN} = \frac{V_{IN} I_G}{R_2 I_1}$$

This equation is linear and temperature-insensitive, but it assumes ideal transistors.

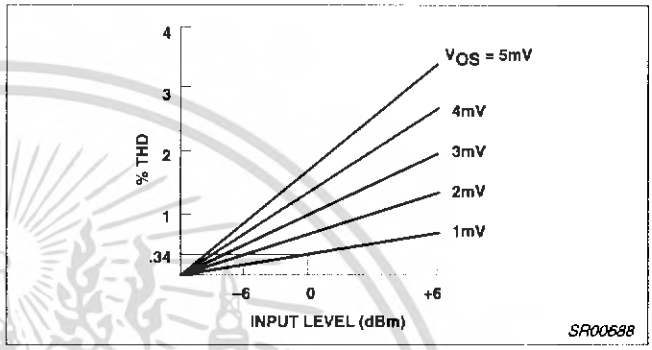


Figure 14. ΔG Cell Distortion vs Offset Voltage

If the transistors are not perfectly matched, a parabolic, non-linearity is generated, which results in second harmonic distortion. Figure 14 gives an indication of the magnitude of the distortion caused by a given input level and offset voltage. The distortion is linearly proportional to the magnitude of the offset and the input level. Saturation of the gain cell occurs at a +8dBm level. At a nominal operating level of 0dBm, a 1mV offset will yield 0.34% of second harmonic distortion. Most circuits are somewhat better than this, which means our overall offsets are typically about mV. The distortion is not affected by the magnitude of the gain control current, and it does not increase as the gain is changed. This second harmonic distortion could be eliminated by making perfect transistors, but since that would be difficult, we have had to resort to other methods. A trim pin has been provided to allow trimming of the internal offsets to zero, which effectively eliminated

second harmonic distortion. Figure 15 shows the simple trim network required.

Figure 16 shows the noise performance of the ΔG cell. The maximum output level before clipping occurs in the gain cell is plotted along with the output noise in a 20kHz bandwidth. Note that the noise drops as the gain is reduced for the first 20dB of gain reduction. At high gains, the signal to noise ratio is 90dB, and the total dynamic range from maximum signal to minimum noise is 110dB.

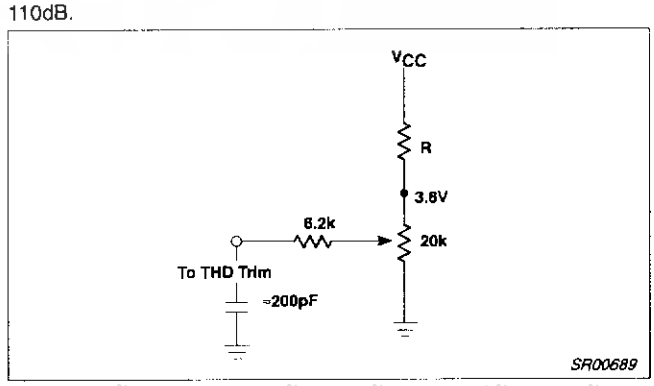


Figure 15. THD Trim Network

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

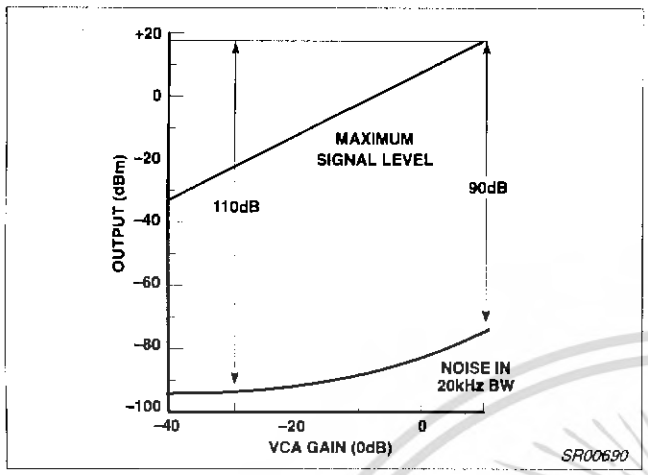


Figure 16. Dynamic Range

Control signal feedthrough is generated in the gain cell by imperfect device matching and mismatches in the current sources, I_1 and I_2. When no input signal is present, changing I_G will cause a small output signal. The distortion trim is effective in nulling out any control signal feedthrough, but in general, the null for minimum feedthrough will be different than the null in distortion. The control signal feedthrough can be trimmed independently of distortion by tying a current source to the ΔG input pin. This effectively trims I_1. Figure 17 shows such a trim network.

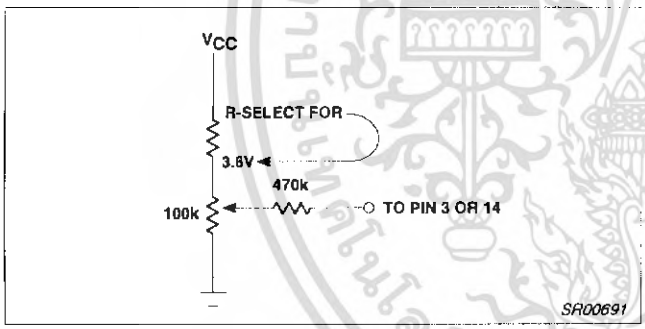


Figure 17. Control Signal Feedthrough

OPERATIONAL AMPLIFIER

The main op amp shown in the chip block diagram is equivalent to a 741 with a 1MHz bandwidth. Figure 18 shows the basic circuit. Split collectors are used in the input pair to reduce g_M, so that a small compensation capacitor of just 10pF may be used. The output stage, although capable of output currents in excess of 20mA, is biased for a low quiescent current to conserve power. When driving heavy loads, this leads to a small amount of crossover distortion.

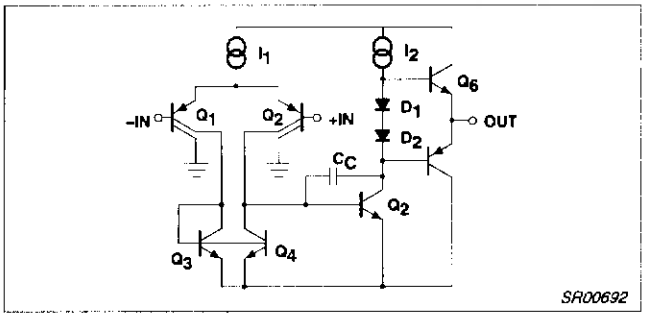


Figure 18. Operational Amplifier

RESISTORS

Inspection of the gain equations in Figures 7 and 8 will show that the basic compressor and expander circuit gains may be set entirely by resistor ratios and the internal voltage reference. Thus, any form of resistors that match well would suffice for these simple hook-ups, and absolute accuracy and temperature coefficient would be of no importance. However, as one starts to modify the gain equation with external resistors, the internal resistor accuracy and tempco become very significant. Figure 19 shows the effects of temperature on the diffused resistors which are normally used in integrated circuits, and the ion-implanted resistors which are used in this circuit. Over the critical 0°C to +70°C temperature range, there is a 10-to-1 improvement in drift from a 5% change for the diffused resistors, to a 0.5% change for the implemented resistors. The implanted resistors have another advantage in that they can be made the size of the diffused resistors due to the higher resistivity. This saves a significant amount of chip area.

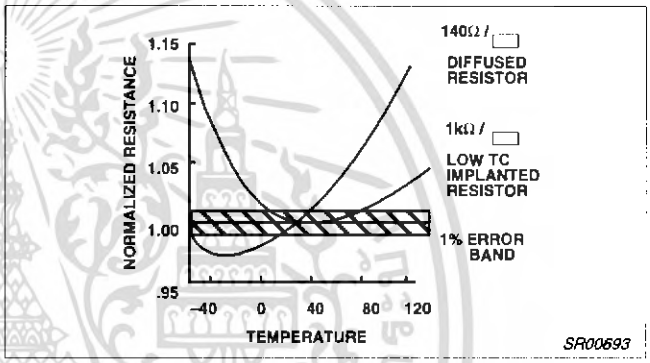
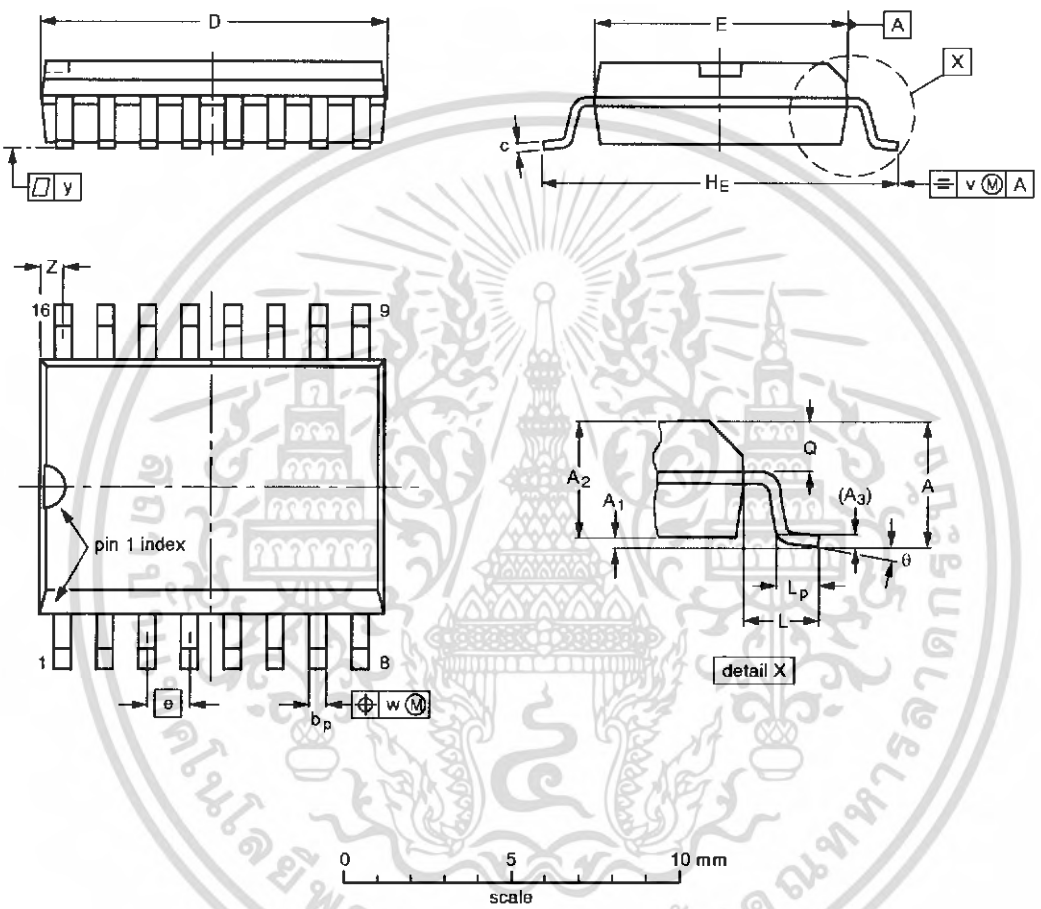


Figure 19. Resistance vs Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SO16: plastic small outline package; 16 leads; body width 7.5 mm

SOT162-1



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1	A_2	A_3	b_p	c	$D^{(1)}$	$E^{(1)}$	e	H_E	L	L_p	Q	v	w	y	$Z^{(1)}$	θ
mm	2.65	0.30 0.10	2.45 2.25	0.25	0.49 0.36	0.32 0.23	10.5 10.1	7.6 7.4	1.27	10.65 10.00	1.4	1.1 0.4	1.1 1.0	0.25	0.25	0.1	0.9 0.4	8° 0°
inches	0.10	0.012 0.004	0.096 0.089	0.01	0.019 0.014	0.013 0.009	0.41 0.40	0.30 0.29	0.050	0.42 0.39	0.055	0.043 0.016	0.043 0.039	0.01	0.01	0.004	0.035 0.016	

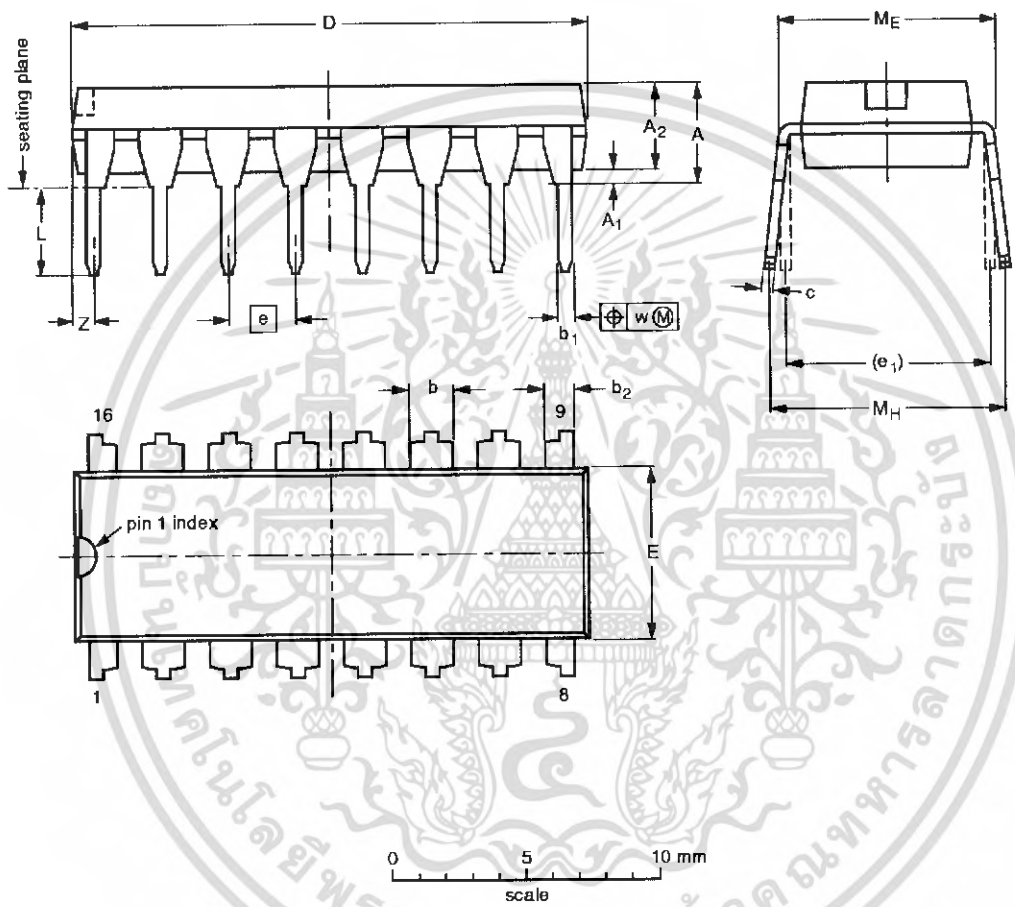
Note

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT162-1	075E03	MS-013AA				~~92-11-17~~ 95-01-24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIP16: plastic dual in-line package; 16 leads (300 mil) SOT38-4



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A_1 min.	A_2 max.	b	b_1	b_2	c	$D^{(1)}$	$E^{(1)}$	e	e_1	L	M_E	M_H	w	$Z^{(1)}$ max.
mm	4.2	0.51	3.2	1.73 1.30	0.53 0.38	1.25 0.85	0.36 0.23	19.50 18.55	6.48 6.20	2.54	7.62	3.60 3.05	8.25 7.80	10.0 8.3	0.254	0.76
inches	0.17	0.020	0.13	0.068 0.051	0.021 0.015	0.049 0.033	0.014 0.009	0.77 0.73	0.26 0.24	0.10	0.30	0.14 0.12	0.32 0.31	0.39 0.33	0.01	0.030

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ			
SOT38-4						~~92-11-17~~ 95-01-14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS

Data Sheet Identification	Product Status	Definition
Objective Specification	Formative or In Design	This data sheet contains the design target or goal specifications for product development. Specifications may change in any manner without notice.
Preliminary Specification	Preproduction Product	This data sheet contains preliminary data, and supplementary data will be published at a later date. Philips Semiconductors reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.
Product Specification	Full Production	This data sheet contains Final Specifications. Philips Semiconductors reserves the right to make changes at any time without notice, in order to improve design and supply the best possible product.

Philips Semiconductors and Philips Electronics North America Corporation reserve the right to make changes, without notice, in the products, including circuits, standard cells, and/or software, described or contained herein in order to improve design and/or performance. Philips Semiconductors assumes no responsibility or liability for the use of any of these products, conveys no license or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless otherwise specified. Applications that are described herein for any of these products are for illustrative purposes only. Philips Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

LIFE SUPPORT APPLICATIONS

Philips Semiconductors and Philips Electronics North America Corporation Products are not designed for use in life support applances, devices, or systems where malfunction of a Philips Semiconductors and Philips Electronics North America Corporation Product can reasonably be expected to result in a personal injury. Philips Semiconductors and Philips Electronics North America Corporation customers using or seling Philips Semiconductors and Philips Electronics North America Corporation Products for use in such applications do so at their own risk and agree to fully indemnify Philips Semiconductors and Philips Electronics North America Corporation for any damages resulting from such improper use or sale.

Philips Semiconductors
811 East Arques Avenue
P.O. Box 3409
Sunnyvale, California 94088–3409
Telephone 800-234-7381

© Copyright Philips Electronics North America Corporation 1997
All rights reserved. Printed in U.S.A.

Let's make things better.

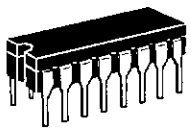
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14060B

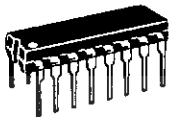
14-Bit Binary Counter and Oscillator

The MC14060B is a 14–stage binary ripple counter with an on–chip oscillator buffer. The oscillator configuration allows design of either RC or crystal oscillator circuits. Also included on the chip is a reset function which places all outputs into the zero state and disables the oscillator. A negative transition on Clock will advance the counter to the next state. Schmitt trigger action on the input line permits very slow input rise and fall times. Applications include time delay circuits, counter controls, and frequency dividing circuits.

- Fully static operation
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 V to 18 V
- Capable of Driving Two Low–power TTL Loads or One Low–power Schottky TTL Load Over the Rated Temperature Range
- Buffered Outputs Available from Stages 4 Through 10 and 12 Through 14
- Common Reset Line
- Pin–for–Pin Replacement for CD4060B



L SUFFIX
CERAMIC
CASE 620



P SUFFIX
PLASTIC
CASE 648

D SUFFIX
SOIC
CASE 751B

ORDERING INFORMATION

MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBD	SOIC

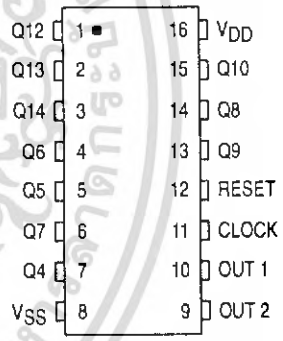
T_A = – 55° to 125°C for all packages.

TRUTH TABLE

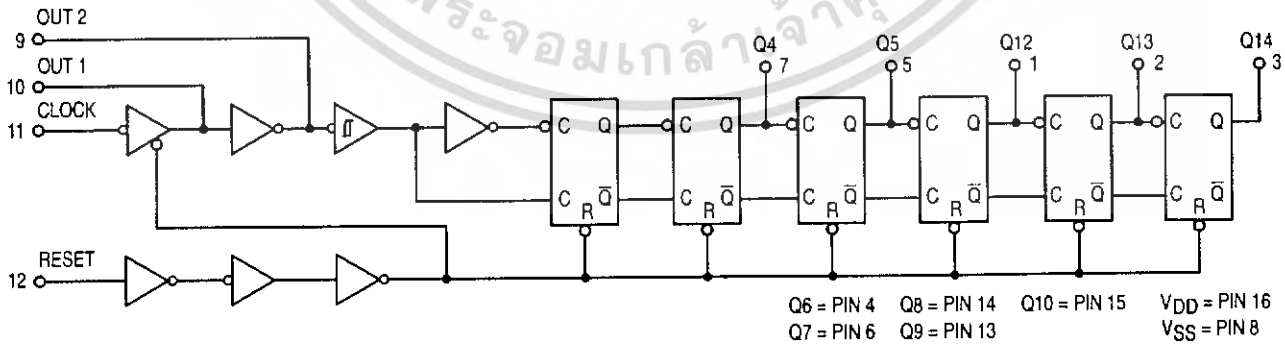
Clock	Reset	Output State
↓	L	No Change
↑	L	Advance to next state
X	H	All Outputs are low

X = Don't Care

PIN ASSIGNMENT



LOGIC DIAGRAM



©MOTOROLA, INC.

สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	– 0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature (8–Second Soldering)	260	°C

* Maximum Ratings are those values beyond which damage to the device may occur

†Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages – 12 mW/°C From 100°C To 125°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	– 55°C Min	– 55°C Max	25°C Min	25°C Typ #	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	V
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
V_{in} = 0 or V_{DD} "1" Level	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	V
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level	V_{IL}									V
(V_O = 4.5 or 0.5 V)		5.0	—	1.5	—	2.25	1.5	—	1.5	
(V_O = 9.0 or 1.0 V)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 V)		15	—	4.0	—	6.75	4.0	—	4.0	
(V_O = 0.5 or 4.5 V) "1" Level	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	V
(V_O = 1.0 or 9.0 V)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 V)		15	11.0	—	11.0	8.25	—	11.0	—	
Input Voltage "0" Level (For Input 11 and Output 10)	V_{IL}									Vdc
(V_O = 4.5 Vdc)		5.0	—	1.0	—	2.25	1.0	—	1.0	
(V_O = 9.0 Vdc)		10	—	2.0	—	4.50	2.0	—	2.0	
(V_O = 13.5 Vdc)		15	—	2.5	—	6.75	2.5	—	2.5	
(V_O = 0.5 Vdc) "1" Level	V_{IH}	5.0	4.0	—	4.0	2.75	—	4.0	—	Vdc
(V_O = 1.0 Vdc)		10	8.0	—	8.0	5.50	—	8.0	—	
(V_O = 1.5 Vdc)		15	12.5	—	12.5	8.25	—	12.5	—	
Output Drive Current	I_{OH}									mA
(V_{OH} = 2.5 V) (Except Source		5.0	– 3.0	—	– 2.4	– 4.2	—	– 1.7	—	
(V_{OH} = 4.6 V) Pins 9 and 10)		5.0	– 0.64	—	– 0.51	– 0.88	—	– 0.36	—	
(V_{OH} = 9.5 V)		10	– 1.6	—	– 1.3	– 2.25	—	– 0.9	—	
(V_{OH} = 13.5 V)		15	– 4.2	—	– 3.4	– 8.8	—	– 2.4	—	
(V_{OL} = 0.4 V) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mA
(V_{OL} = 0.5 V)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 V)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	± 0.1	—	±0.00001	± 0.1	—	± 1.0	µA
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	µA
(Per Package)		10	—	10	—	0.010	10	—	300	
		15	—	20	—	0.015	20	—	600	
Total Supply Current**†	I_T	5.0	I_T = (0.25 µA/kHz) f + I_{DD}							µA
(Dynamic plus Quiescent,		10	I_T = (0.54 µA/kHz) f + I_{DD}							
Per Package)		15	I_T = (0.85 µA/kHz) f + I_{DD}							
(C_L = 50 pF on all outputs, all buffers switching)										

Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

** The formulas given are for the typical characteristics only at 25°C.

เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ #	Max	Unit
Output Rise Time (Counter Outputs)	t_{TLH}	5.0 10 15	— — —	40 25 20	200 100 80	ns
Output Fall Time (Counter Outputs)	t_{THL}	5.0 10 15	— — —	50 30 20	200 100 80	ns
Propagation Delay Time Clock to Q4	t_{PLH} t_{PHL}	5.0 10 15	— — —	415 175 125	740 300 200	ns
Clock to Q14		5.0 10 15	— — —	1.5 0.7 0.4	2.7 1.3 1.0	μs
Clock Pulse Width	t_{WH}	5.0 10 15	100 40 30	65 30 20	— — —	ns
Clock Pulse Frequency	f_ϕ	5.0 10 15	— — —	5 14 17	3.5 8 12	MHz
Clock Rise and Fall Time	t_{TLH} t_{THL}	5.0 10 15	No Limit			ns
Reset Pulse Width	t_W	5.0 10 15	120 60 40	40 15 10	— — —	ns
Propagation Delay Time Reset to On	t_{PHL}	5.0 10 15	— — —	170 80 60	350 160 100	ns

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

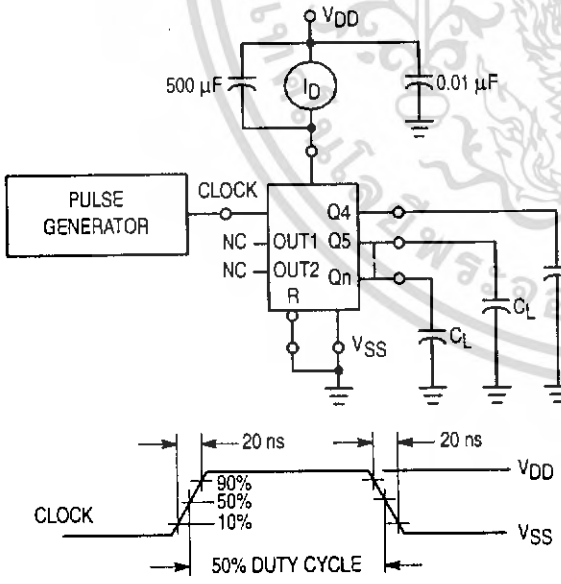


Figure 1. Power Dissipation Test Circuit and Waveform

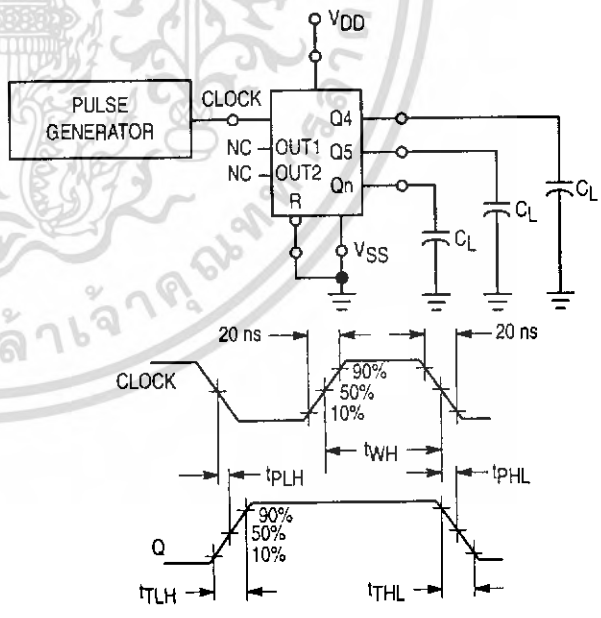
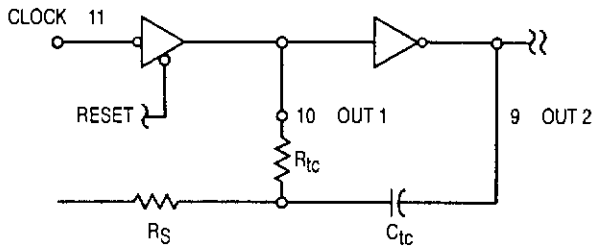


Figure 2. Switching Time Test Circuit and Waveforms

สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$f \simeq \frac{1}{2.3 R_{tc} C_{tc}}$$

if 1 kHz ≤ f ≤ 100 kHz
and $2R_{tc} < R_S < 10R_{tc}$
(f in Hz, R in ohms, C in farads)

The formula may vary for other frequencies. Recommended maximum value for the resistors in 1 MΩ.

Figure 3. Oscillator Circuit Using RC Configuration

TYPICAL RC OSCILLATOR CHARACTERISTICS

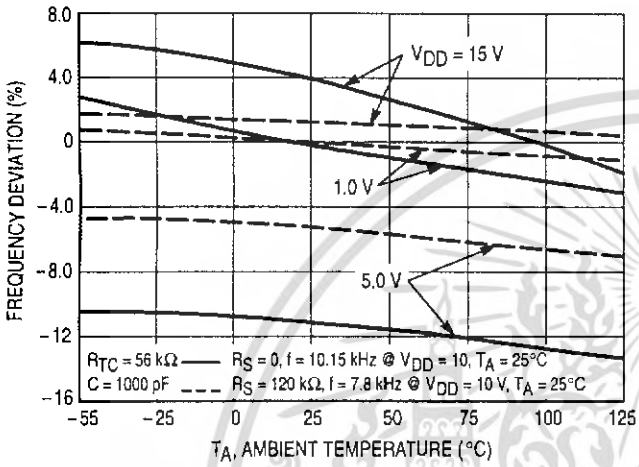


Figure 4. RC Oscillator Stability

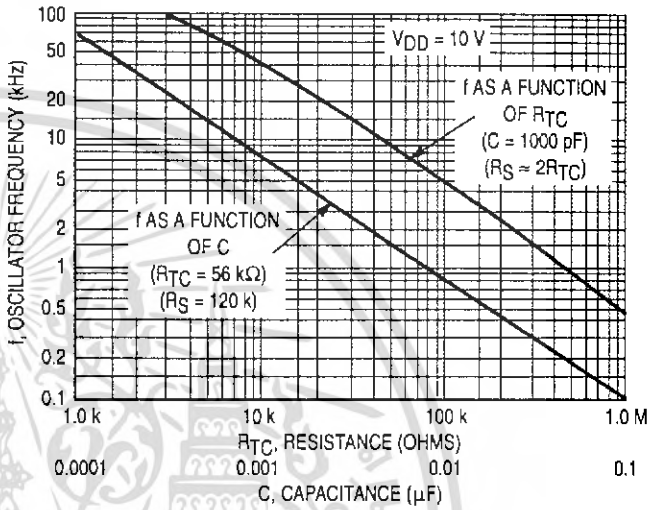


Figure 5. RC Oscillator Frequency as a Function of R_{TC} and C

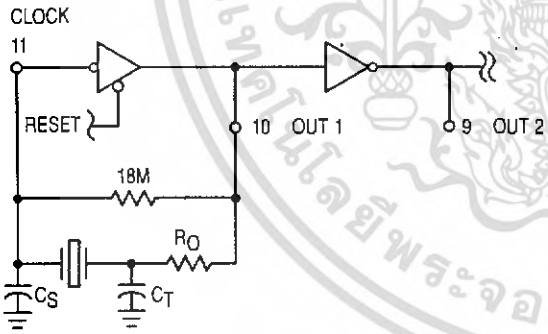


Figure 6. Typical Crystal Oscillator Circuit

Characteristic	500 kHz Circuit	32 kHz Circuit	Unit
Crystal Characteristics			
Resonant Frequency	500	32	kHz
Equivalent Resistance, R_S	1.0	6.2	kΩ
External Resistor/Capacitor Values			
R_O	47	750	kΩ
C_T	82	82	pF
C_S	20	20	pF
Frequency Stability			
Frequency Changes as a Function of V_{DD} (T_A = 25°C)			
V_{DD} Change from 5.0 V to 10 V	+ 6.0	+ 2.0	ppm
V_{DD} Change from 10 V to 15 V	+ 2.0	+ 2.0	ppm
Frequency Change as a Function of Temperature (V_{DD} = 10 V)			
T_A Change from − 55°C to +25°C Complete Oscillator*	+ 100	+ 120	ppm
T_A Change from + 25°C to +125°C Complete Oscillator*	− 160	− 560	ppm

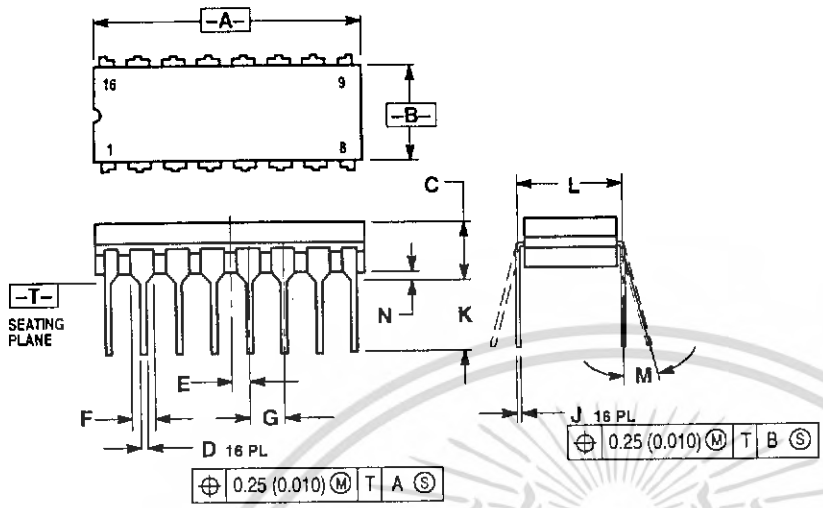
* Complete oscillator includes crystal, capacitors, and resistors.

Figure 7. Typical Data for Crystal Oscillatgor Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

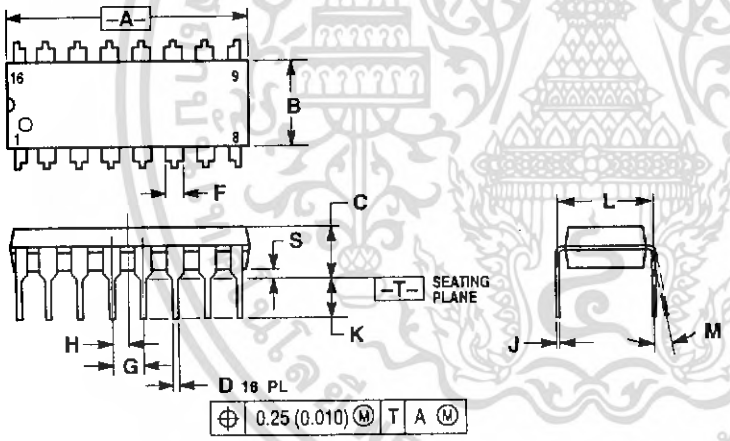
L SUFFIX
CERAMIC DIP PACKAGE
CASE 620–10
ISSUE V



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.93
B	0.240	0.295	6.10	7.49
C	—	0.200	—	5.08
D	0.015	0.020	0.39	0.50
E	0.050 BSC		1.27 BSC	
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
H	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

P SUFFIX
PLASTIC DIP PACKAGE
CASE 648–08
ISSUE R



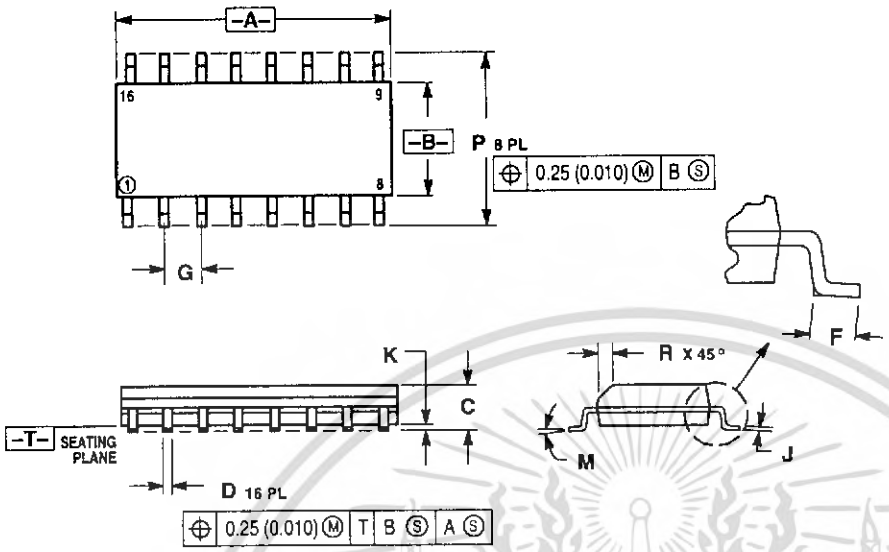
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านอื่น
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751B–05
ISSUE J



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.80	10.00	0.386	0.393
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty , representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "T ypical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in dif ferent applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its of ficers, employees, subsidiaries, af filiates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly , any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and , are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

ไม่วากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์

September 1997

National Semiconductor

LM386
Low Voltage Audio Power Amplifier

General Description

The LM386 is a power amplifier designed for use in low voltage consumer applications. The gain is internally set to 20 to keep external part count low, but the addition of an external resistor and capacitor between pins 1 and 8 will increase the gain to any value up to 200.

The inputs are ground referenced while the output is automatically biased to one half the supply voltage. The quiescent power drain is only 24 milliwatts when operating from a 6 volt supply, making the LM386 ideal for battery operation.

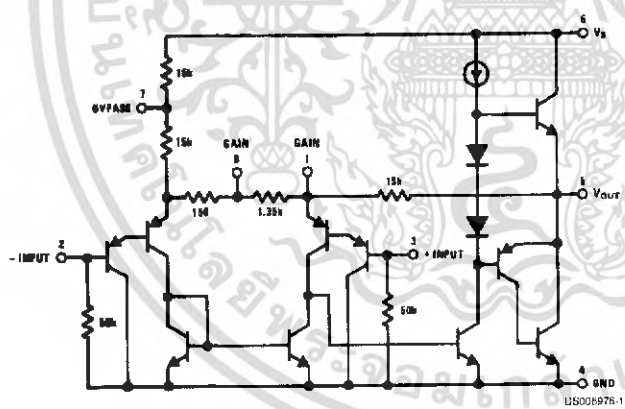
Features

- Battery operation
- Minimum external parts
- Wide supply voltage range: 4V–12V or 5V–18V
- Low quiescent current drain: 4 mA
- Voltage gains from 20 to 200
- Ground referenced input
- Self-centering output quiescent voltage
- Low distortion
- Available in 8 pin MSOP package

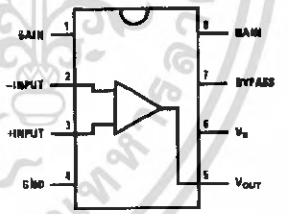
Applications

- AM-FM radio amplifiers
- Portable tape player amplifiers
- Intercoms
- TV sound systems
- Line drivers
- Ultrasonic drivers
- Small servo drivers
- Power converters

Equivalent Schematic and Connection Diagrams



Small Outline, Molded Mini Small Outline, and Dual-In-Line Packages



Top View
Order Number LM386M-1, LM386MM-1, LM386N-1, LM386N-3 or LM386N-4
See NS Package Number M08A, MUA08A or N08E

© 1997 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	
(LM386N-1, -3, LM386M-1)	15V
Supply Voltage (LM386N-4)	22V
Package Dissipation (Note 3)	
(LM386N)	1.25W
(LM386M)	0.73W
(LM386MM-1)	0.595W
Input Voltage	±0.4V
Storage Temperature	−65°C to +150°C
Operating Temperature	0°C to +70°C
Junction Temperature	+150°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec)	+260°C
Small Outline Package	
(SOIC and MSOP)	
Vapor Phase (60 sec)	+215°C
Infrared (15 sec)	+220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Thermal Resistance	
θ_{JC} (DIP)	37°C/W
θ_{JA} (DIP)	107°C/W
θ_{JC} (SO Package)	35°C/W
θ_{JA} (SO Package)	172°C/W
θ_{JA} (MSOP)	210°C/W
θ_{JC} (MSOP)	56°C/W

Electrical Characteristics(Notes 1, 2)

T_A = 25°C

Parameter	Conditions	Min	Typ	Max	Units
Operating Supply Voltage (V_S)					
LM386N-1, -3, LM386M-1, LM386MM-1		4		12	V
LM386N-4		5		18	V
Quiescent Current (I_Q)	V_S = 6V, V_{IN} = 0		4	8	mA
Output Power (P_{OUT})					
LM386N-1, LM386M-1, LM386MM-1	V_S = 6V, R_L = 8Ω, THD = 10%	250	325		mW
LM386N-3	V_S = 9V, R_L = 8Ω, THD = 10%	500	700		mW
LM386N-4	V_S = 16V, R_L = 32Ω, THD = 10%	700	1000		mW
Voltage Gain (A_V)	V_S = 6V, f = 1 kHz		26		dB
	10 µF from Pin 1 to 8		46		dB
Bandwidth (BW)	V_S = 6V, Pins 1 and 8 Open		300		kHz
Total Harmonic Distortion (THD)	V_S = 6V, R_L = 8Ω, P_{OUT} = 125 mW		0.2		%
	f = 1 kHz, Pins 1 and 8 Open				
Power Supply Rejection Ratio (PSRR)	V_S = 6V, f = 1 kHz, C_{BYPASS} = 10 µF		50		dB
	Pins 1 and 8 Open, Referred to Output				
Input Resistance (R_{IN})			50		kΩ
Input Bias Current (I_{BIAS})	V_S = 6V, Pins 2 and 3 Open		250		nA

Note 1: All voltages are measured with respect to the ground pin, unless otherwise specified.

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given, however, the typical value is a good indication of device performance.

Note 3: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and 1) a thermal resistance of 80°C/W junction to ambient for the dual-in-line package and 2) a thermal resistance of 170°C/W for the small outline package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

GAIN CONTROL

To make the LM386 a more versatile amplifier, two pins (1 and 8) are provided for gain control. With pins 1 and 8 open the 1.35 kΩ resistor sets the gain at 20 (26 dB). If a capacitor is put from pin 1 to 8, bypassing the 1.35 kΩ resistor, the gain will go up to 200 (46 dB). If a resistor is placed in series with the capacitor, the gain can be set to any value from 20 to 200. Gain control can also be done by capacitively coupling a resistor (or FET) from pin 1 to ground.

Additional external components can be placed in parallel with the internal feedback resistors to tailor the gain and frequency response for individual applications. For example, we can compensate poor speaker bass response by frequency shaping the feedback path. This is done with a series RC from pin 1 to 5 (paralleling the internal 15 kΩ resistor). For 6 dB effective bass boost: R ≅ 15 kΩ, the lowest value for good stable operation is R = 10 kΩ if pin 8 is open. If pins 1 and 8 are bypassed then R as low as 2 kΩ can be used. This restriction is because the amplifier is only compensated for closed-loop gains greater than 9.

INPUT BIASING

The schematic shows that both inputs are biased to ground with a 50 kΩ resistor. The base current of the input transistors is about 250 nA, so the inputs are at about 12.5 mV when left open. If the dc source resistance driving the LM386 is higher than 250 kΩ it will contribute very little additional offset (about 2.5 mV at the input, 50 mV at the output). If the dc source resistance is less than 10 kΩ, then shorting the unused input to ground will keep the offset low (about 2.5 mV at the input, 50 mV at the output). For dc source resistances between these values we can eliminate excess offset by putting a resistor from the unused input to ground, equal in value to the dc source resistance. Of course all offset problems are eliminated if the input is capacitively coupled.

When using the LM386 with higher gains (bypassing the 1.35 kΩ resistor between pins 1 and 8) it is necessary to bypass the unused input, preventing degradation of gain and possible instabilities. This is done with a 0.1 µF capacitor or a short to ground depending on the dc source resistance on the driven input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

GAIN CONTROL

To make the LM386 a more versatile amplifier, two pins (1 and 8) are provided for gain control. With pins 1 and 8 open the 1.35 kΩ resistor sets the gain at 20 (26 dB). If a capacitor is put from pin 1 to 8, bypassing the 1.35 kΩ resistor, the gain will go up to 200 (46 dB). If a resistor is placed in series with the capacitor, the gain can be set to any value from 20 to 200. Gain control can also be done by capacitively coupling a resistor (or FET) from pin 1 to ground.

Additional external components can be placed in parallel with the internal feedback resistors to tailor the gain and frequency response for individual applications. For example, we can compensate poor speaker bass response by frequency shaping the feedback path. This is done with a series RC from pin 1 to 5 (paralleling the internal 15 kΩ resistor). For 6 dB effective bass boost: R ≅ 15 kΩ, the lowest value for good stable operation is R = 10 kΩ if pin 8 is open. If pins 1 and 8 are bypassed then R as low as 2 kΩ can be used. This restriction is because the amplifier is only compensated for closed-loop gains greater than 9.

INPUT BIASING

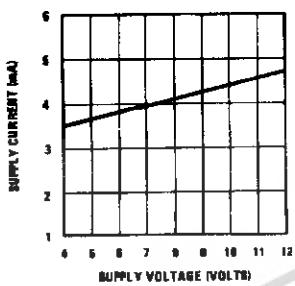
The schematic shows that both inputs are biased to ground with a 50 kΩ resistor. The base current of the input transistors is about 250 nA, so the inputs are at about 12.5 mV when left open. If the dc source resistance driving the LM386 is higher than 250 kΩ it will contribute very little additional offset (about 2.5 mV at the input, 50 mV at the output). If the dc source resistance is less than 10 kΩ, then shorting the unused input to ground will keep the offset low (about 2.5 mV at the input, 50 mV at the output). For dc source resistances between these values we can eliminate excess offset by putting a resistor from the unused input to ground, equal in value to the dc source resistance. Of course all offset problems are eliminated if the input is capacitively coupled.

When using the LM386 with higher gains (bypassing the 1.35 kΩ resistor between pins 1 and 8) it is necessary to bypass the unused input, preventing degradation of gain and possible instabilities. This is done with a 0.1 µF capacitor or a short to ground depending on the dc source resistance on the driven input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

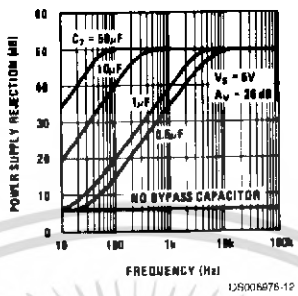
Typical Performance Characteristics

Quiescent Supply Current vs Supply Voltage



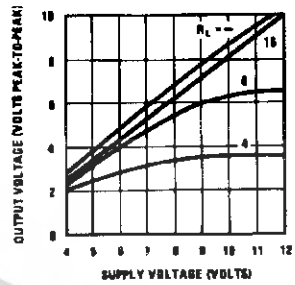
DS006976-5

Power Supply Rejection Ratio (Referred to the Output) vs Frequency



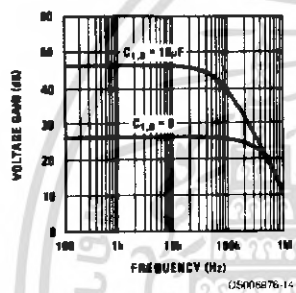
DS006976-12

Peak-to-Peak Output Voltage Swing vs Supply Voltage



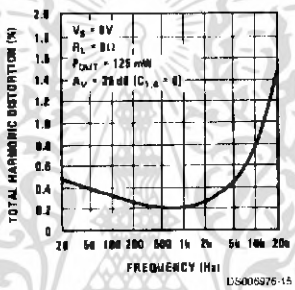
DS006976-13

Voltage Gain vs Frequency



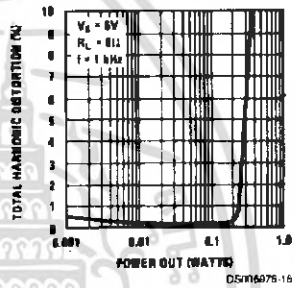
DS006976-14

Distortion vs Frequency



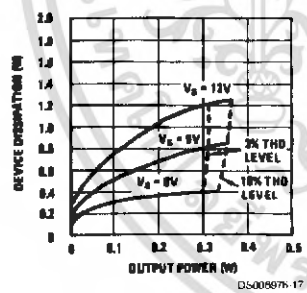
DS006976-15

Distortion vs Output Power



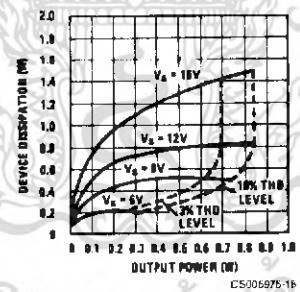
DS006976-16

Device Dissipation vs Output Power — 4Ω Load



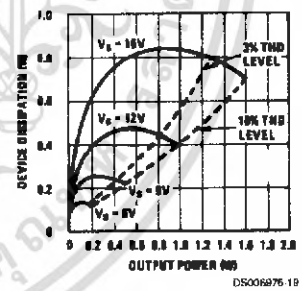
DS006976-17

Device Dissipation vs Output Power — 8Ω Load



DS006976-18

Device Dissipation vs Output Power — 16Ω Load

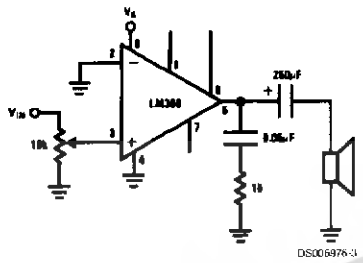


DS006976-19

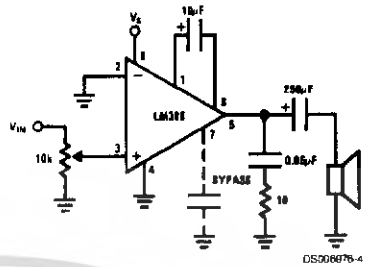
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

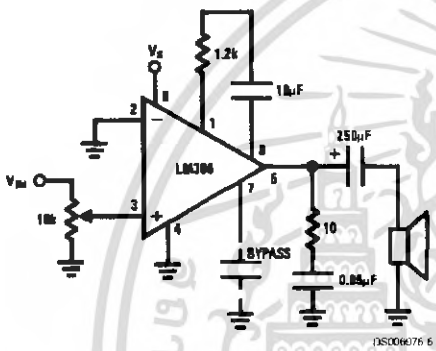
Amplifier with Gain = 20
Minimum Parts



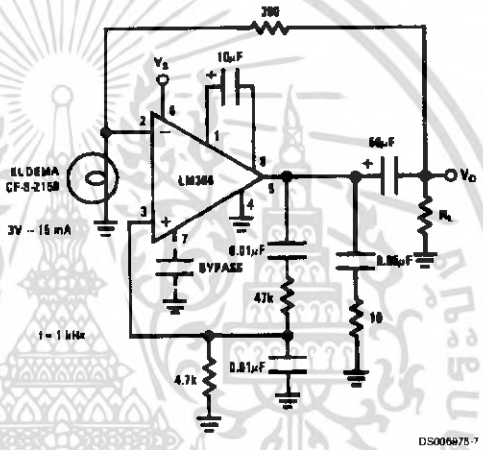
Amplifier with Gain = 200



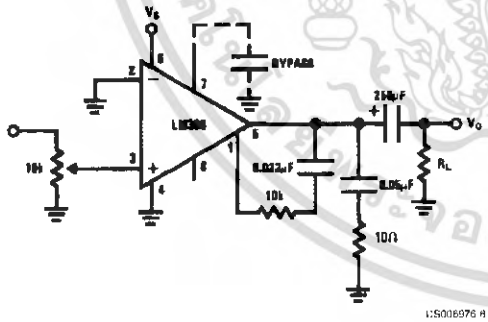
Amplifier with Gain = 50



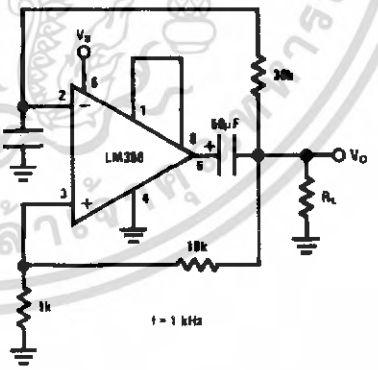
Low Distortion Power Wienbridge Oscillator



Amplifier with Bass Boost



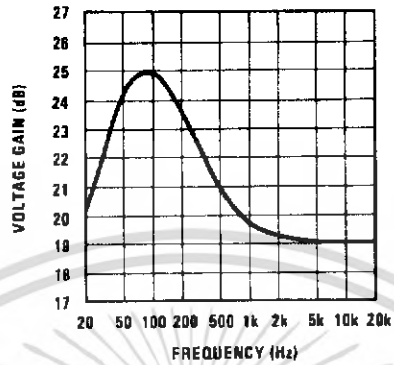
Square Wave Oscillator



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

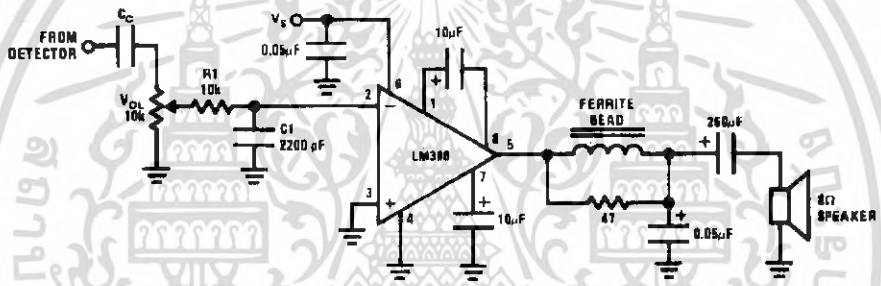
Typical Applications (Continued)

Frequency Response with Bass Boost



DS006976-10

AM Radio Power Amplifier

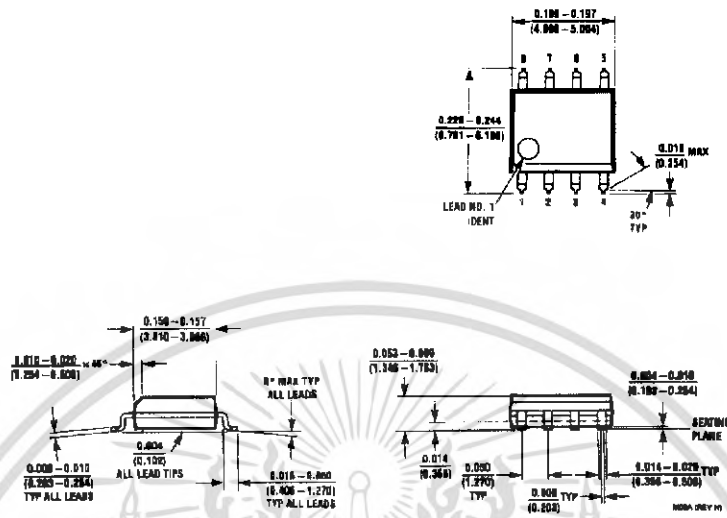


DS006976-11

Note 4: Twist Supply lead and supply ground very tightly.
Note 5: Twist speaker lead and ground very tightly
Note 6: Ferrite bead in Ferroxcube K5-001-001/3B with 3 turns of wire
Note 7: R1C1 band limits input signals.
Note 8: All components must be spaced very closely to IC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

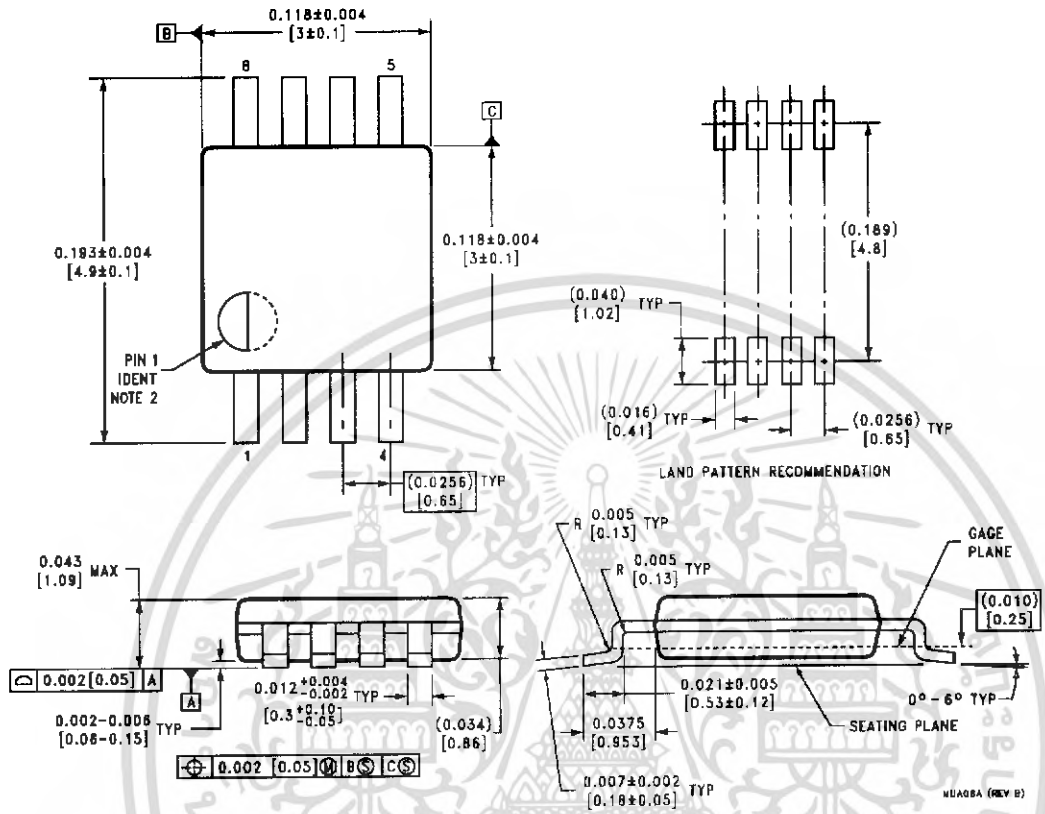
Physical Dimensions inches (millimeters) unless otherwise noted



SO Package (M)
Order Number LM386M-1
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

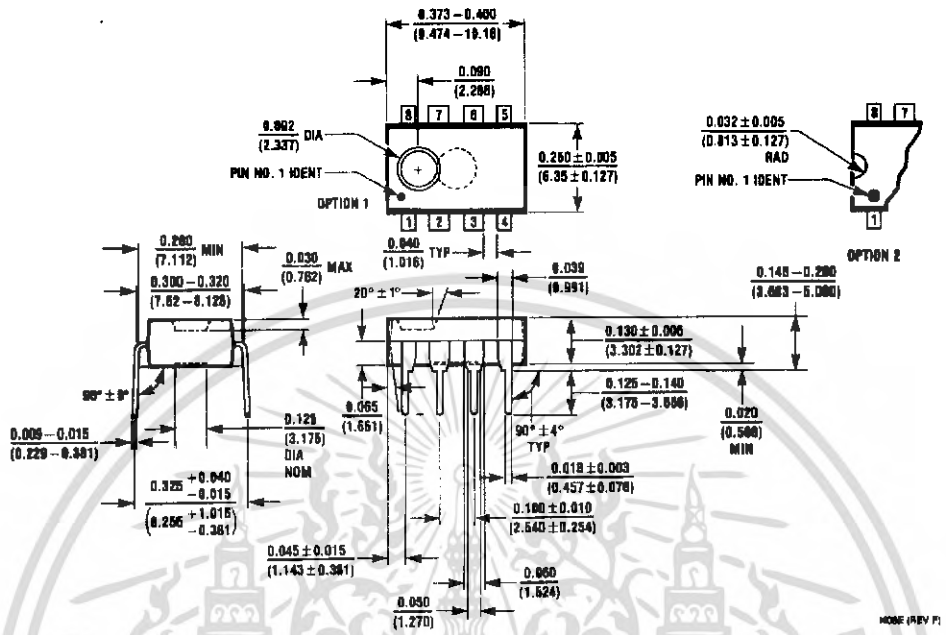
Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



8-Lead (0.118" Wide) Molded Mini Small Outline Package
Order Number LM386MM-1
NS Package Number MUA08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Dual-In-Line Package (N)
Order Number LM386N-1, LM386N-3 or LM386N-4
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5620-6175
Fax: 81-3-5620-6179

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by TL071C/D

MOTOROLA

TL071C,AC
TL072C,AC
TL074C,AC

Low Noise, JFET Input Operational Amplifiers

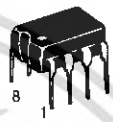
These low noise JFET input operational amplifiers combine two state–of–the–art analog technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input device for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents. Moreover, the devices exhibit low noise and low harmonic distortion, making them ideal for use in high fidelity audio amplifier applications.

These devices are available in single, dual and quad operational amplifiers which are pin–compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar products.

- Low Input Noise Voltage: 18 $nV/\sqrt{Hz}$ Typ
- Low Harmonic Distortion: 0.01% Typ
- Low Input Bias and Offset Currents
- High Input Impedance: 10^{12} Ω Typ
- High Slew Rate: 13 V/μs Typ
- Wide Gain Bandwidth: 4.0 MHz Typ
- Low Supply Current: 1.4 mA per Amp

LOW NOISE, JFET INPUT OPERATIONAL AMPLIFIERS

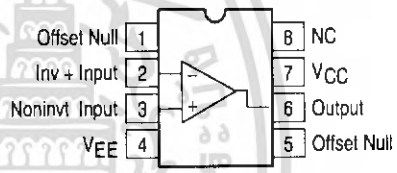
SEMICONDUCTOR TECHNICAL DATA



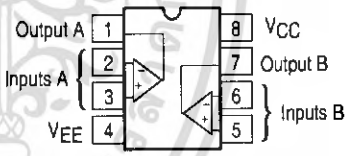
P SUFFIX
PLASTIC PACKAGE
CASE 626

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO–8)

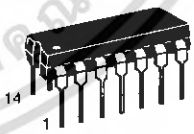
PIN CONNECTIONS



TL071 (Top View)

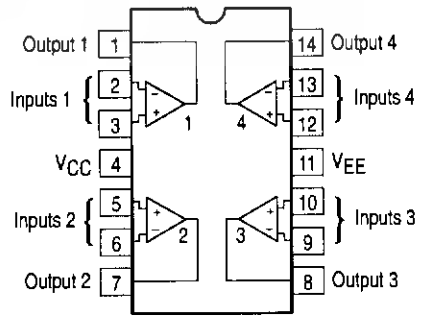


TL072 (Top View)



N SUFFIX
PLASTIC PACKAGE
CASE 646
(TL074 Only)

PIN CONNECTIONS



TL074 (Top View)

ORDERING INFORMATION

Op Amp Function	Device	Operating Temperature Range	Package
Single	TL071CD	T_A = 0° to +70°C	SO–8
	TL071ACP		Plastic DIP
Dual	TL072CD	T_A = 0° to +70°C	SO–8
	TL072ACP		Plastic DIP
Quad	TL074CN, ACN	T_A = 0° to +70°C	Plastic DIP

© Motorola, Inc. 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V_{CC} V_{EE}	18 −18	V
Differential Input Voltage	V_{ID}	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±15	V
Output Short Circuit Duration (Note 2)	t_{SC}	Continuous	
Power Dissipation Plastic Package (N, P) Derate above T_A = 47°C	 P_D $1.0/\theta_{JA}$	 680 10	 mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

NOTES: 1. The magnitude of the input voltage must not exceed the magnitude of the supply voltage or 15 V, whichever is less.
2. The output may be shorted to ground or either supply. Temperature and/or supply voltages must be limited to ensure that power dissipation ratings are not exceeded.
3. ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, V_{EE} = −15 V, T_A = T_{high} to T_{low} [Note 1])

Characteristics	Symbol	Min	Typ	Max	Unit
Input Offset Voltage ($R_S \le 10$ k, V_{CM} = 0) TL071C, TL072C TL074C TL07_AC	V_{IO}	 – – –	 – – –	 13 13 7.5	mV
Input Offset Current (V_{CM} = 0) (Note 2) TL07_C TL07_AC	I_{IO}	 – –	 – –	 2.0 2.0	nA
Input Bias Current (V_{CM} = 0) (Note 2) TL07_C TL07_AC	I_{IB}	 – –	 – –	 7.0 7.0	nA
Large–Signal Voltage Gain (V_O = ±10 V, $R_L \ge 2.0$ k) TL07_C TL07_AC	A_{VOL}	 15 25	 – –	 – –	V/mV
Output Voltage Swing (Peak–to–Peak) ($R_L \ge 10$ k) ($R_L \ge 2.0$ k)	V_O	 24 20	 – –	 – –	V

NOTES: 1. T_{low} = 0°C for TL071C,AC, TL072C,AC, TL074C,AC T_{high} = 70°C for TL071C,AC, TL072C,AC, TL074C,AC
2. Input Bias currents of JFET input op amps approximately double for every 10°C rise in junction temperature as shown in Figure 3. To maintain junction temperature as close to ambient temperature as possible, pulse techniques must be used during testing.

Figure 1. Unity Gain Voltage Follower

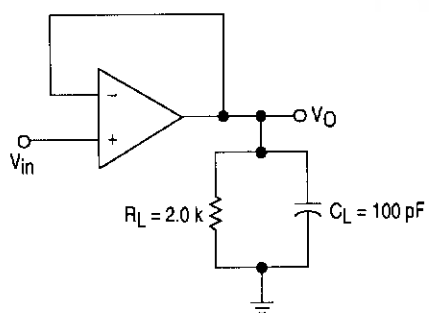
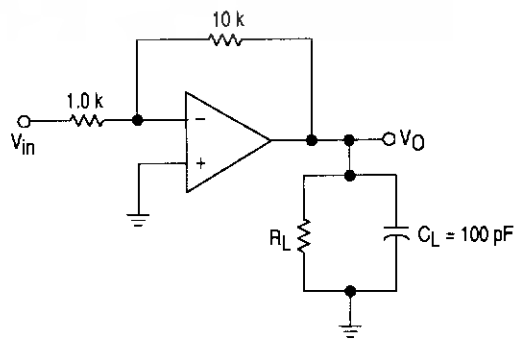


Figure 2. Inverting Gain of 10 Amplifier



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, V_{EE} = –15 V, T_A = 25°C, unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
Input Offset Voltage ($R_S \le 10$ k, V_{CM} = 0) TL071C, TL072C TL074C TL07_AC	V_{IO}	 – – –	 3.0 3.0 3.0	 10 10 6.0	mV
Average Temperature Coefficient of Input Offset Voltage R_S = 50 Ω, T_A = T_{low} to T_{high} (Note 1)	$\Delta V_{IO}/\Delta T$	–	10	–	µV/°C
Input Offset Current (V_{CM} = 0) (Note 2) TL07_C TL07_AC	I_{IO}	 – –	 5.0 5.0	 50 50	pA
Input Bias Current (V_{CM} = 0) (Note 2) TL07_C TL07_AC	I_{IB}	 – –	 30 30	 200 200	pA
Input Resistance	r_i	–	10^{12}	–	Ω
Common Mode Input Voltage Range TL07_C TL07_AC	V_{ICR}	 ±10 ±11	 15, –12 15, –12	 – –	V
Large–Signal Voltage Gain (V_O = ±10 V, $R_L \ge$ 2.0 k) TL07_C TL07_AC	A_{VOL}	 25 50	 150 150	 – –	V/mV
Output Voltage Swing (Peak–to–Peak) (R_L = 10 k)	V_O	24	28	–	V
Common Mode Rejection Ratio ($R_S \le 10$ k) TL07_C TL07_AC	CMRR	 70 80	 100 100	 – –	dB
Supply Voltage Rejection Ratio ($R_S \le 10$ k) TL07_C TL07_AC	PSRR	 70 80	 100 100	 – –	dB
Supply Current (Each Amplifier)	I_D	–	1.4	2.5	mA
Unity Gain Bandwidth	BW	–	4.0	–	MHz
Slew Rate (See Figure 1) V_{in} = 10 V, R_L = 2.0 k, C_L = 100 pF	SR	–	13	–	v/µs
Rise Time (See Figure 1)	t_r	–	0.1	–	µs
Overshoot (V_{in} = 20 mV, R_L = 2.0 k, C_L = 100 pF)	OS	–	10	–	%
Equivalent Input Noise Voltage R_S = 100 Ω, f = 1000 Hz	e_n	–	18	–	nV/$\sqrt{Hz}$
Equivalent Input Noise Current R_S = 100 Ω, f = 1000 Hz	i_n	–	0.01	–	pA/$\sqrt{Hz}$
Total Harmonic Distortion V_O (RMS) = 10 V, $R_S \le$ 1.0 k, $R_L \ge$ 2.0 k, f = 1000 Hz	THD	–	0.01	–	%
Channel Separation A_V = 100	CS	–	120	–	dB

NOTES: 1. T_{low} = 0°C for TL071C,AC, TL072C,AC, TL074C,AC T_{high} = 70°C for TL071C,AC, TL072C,AC, TL074C,AC

2. Input Bias currents of JFET input op amps approximately double for every 10°C rise in junction temperature as shown in Figure 3. To maintain junction temperature as close to ambient temperature as possible, pulse techniques must be used during testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Input Bias Current versus Temperature

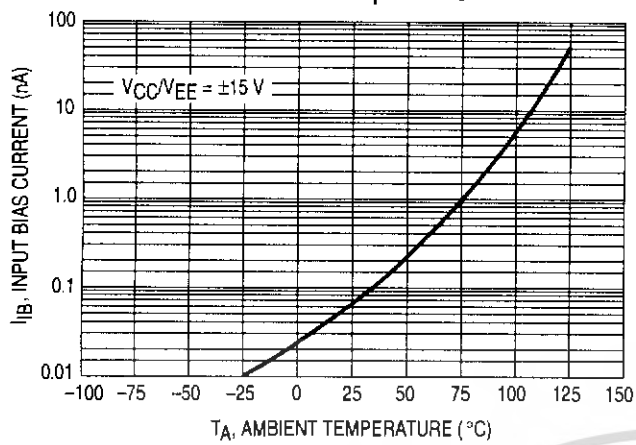


Figure 4. Output Voltage Swing versus Frequency

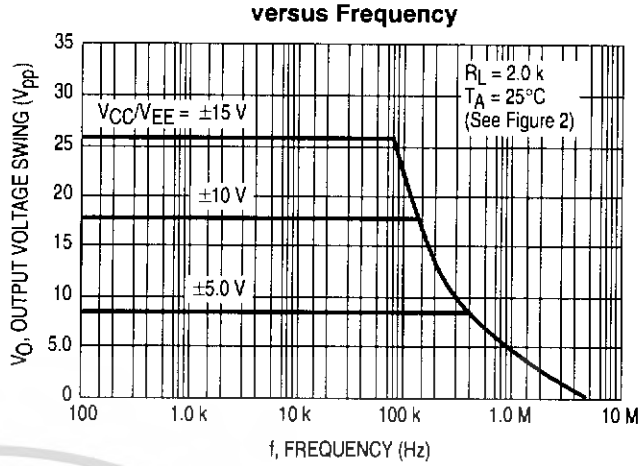


Figure 5. Output Voltage Swing versus Load Resistance

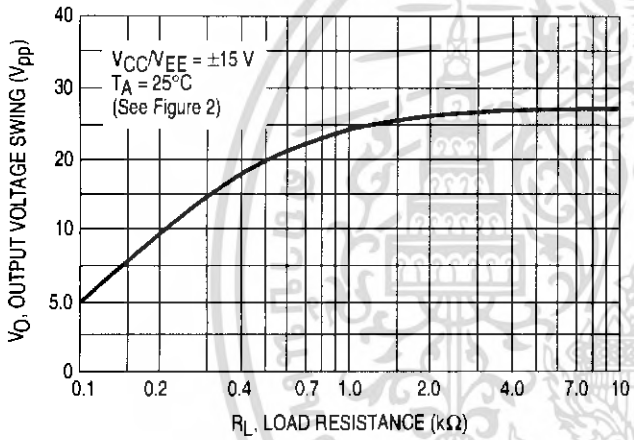


Figure 6. Output Voltage Swing versus Supply Voltage

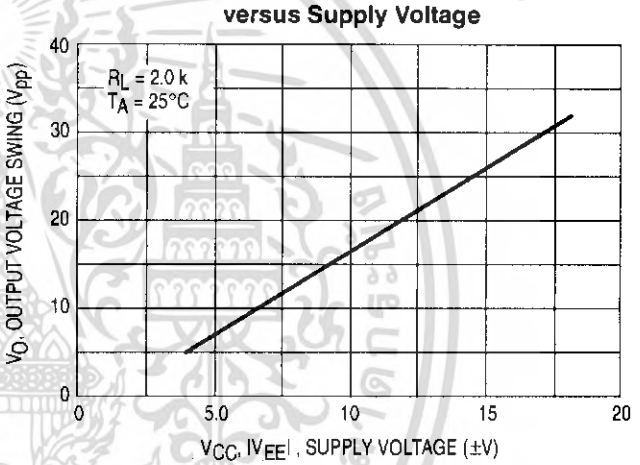


Figure 7. Output Voltage Swing versus Temperature

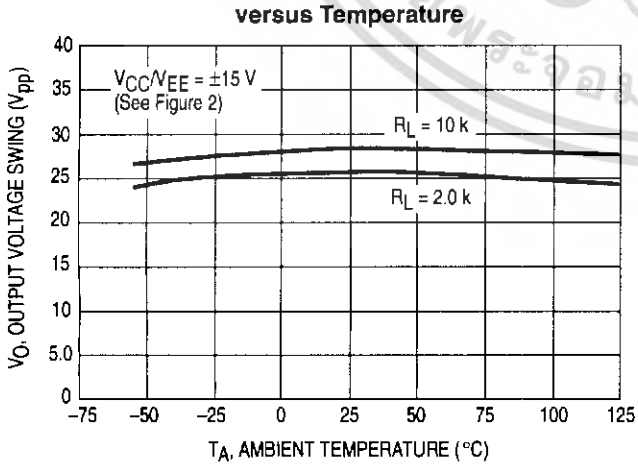
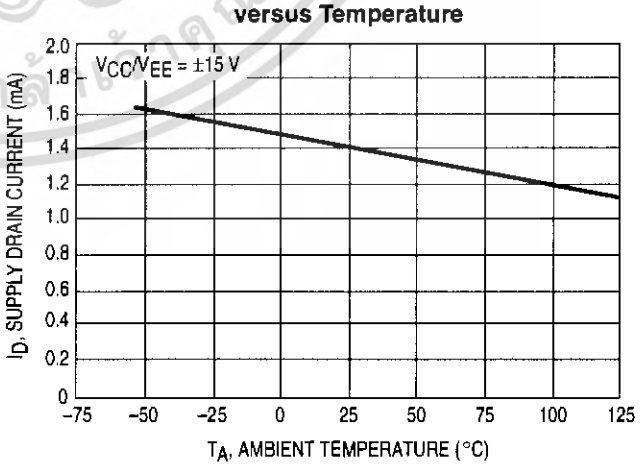


Figure 8. Supply Current per Amplifier versus Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Large Signal Voltage Gain and Phase Shift versus Frequency

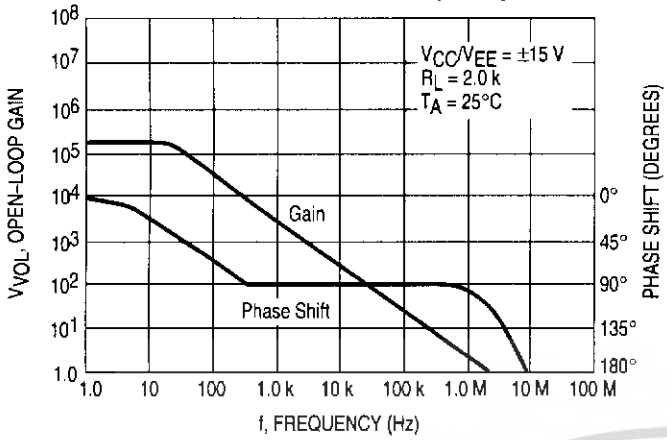


Figure 10. Large Signal Voltage Gain versus Temperature

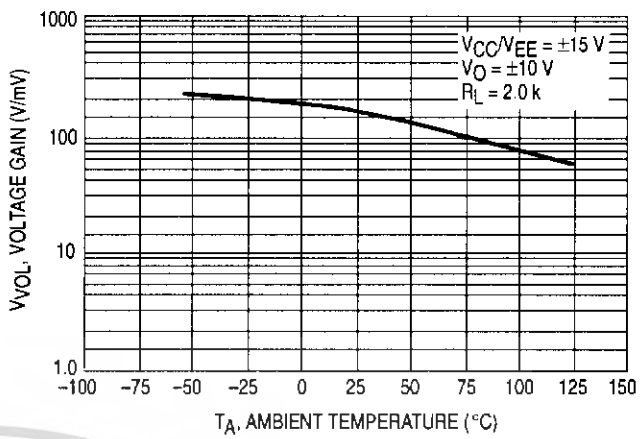


Figure 11. Normalized Slew Rate versus Temperature

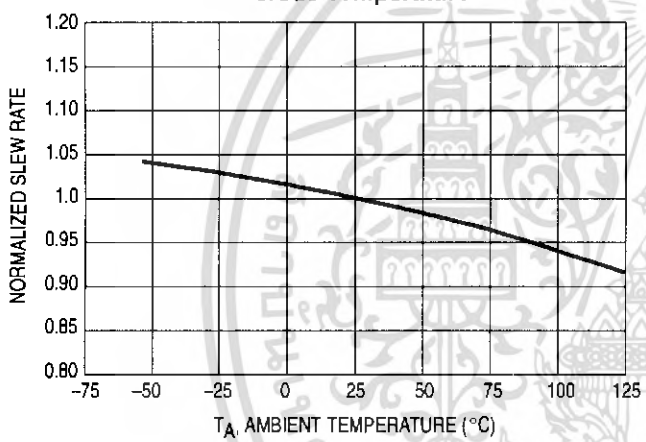


Figure 12. Equivalent Input Noise Voltage versus Frequency

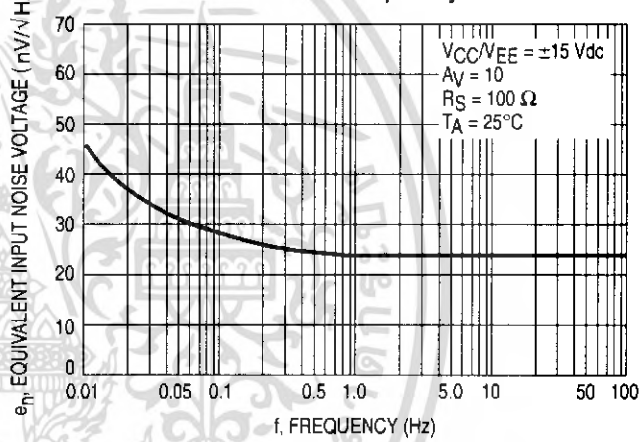
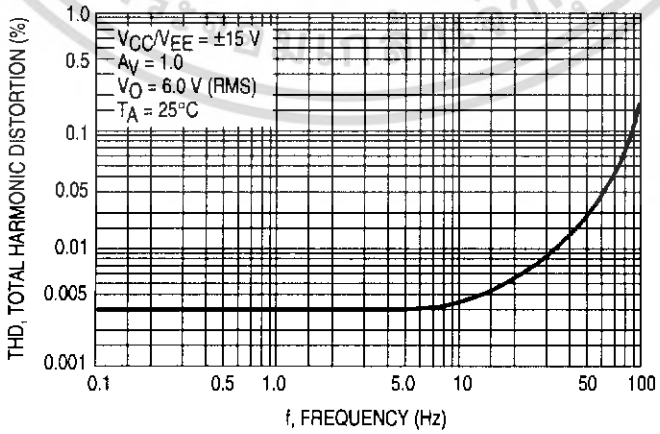


Figure 13. Total Harmonic Distortion versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Representative Schematic Diagram
(Each Amplifier)

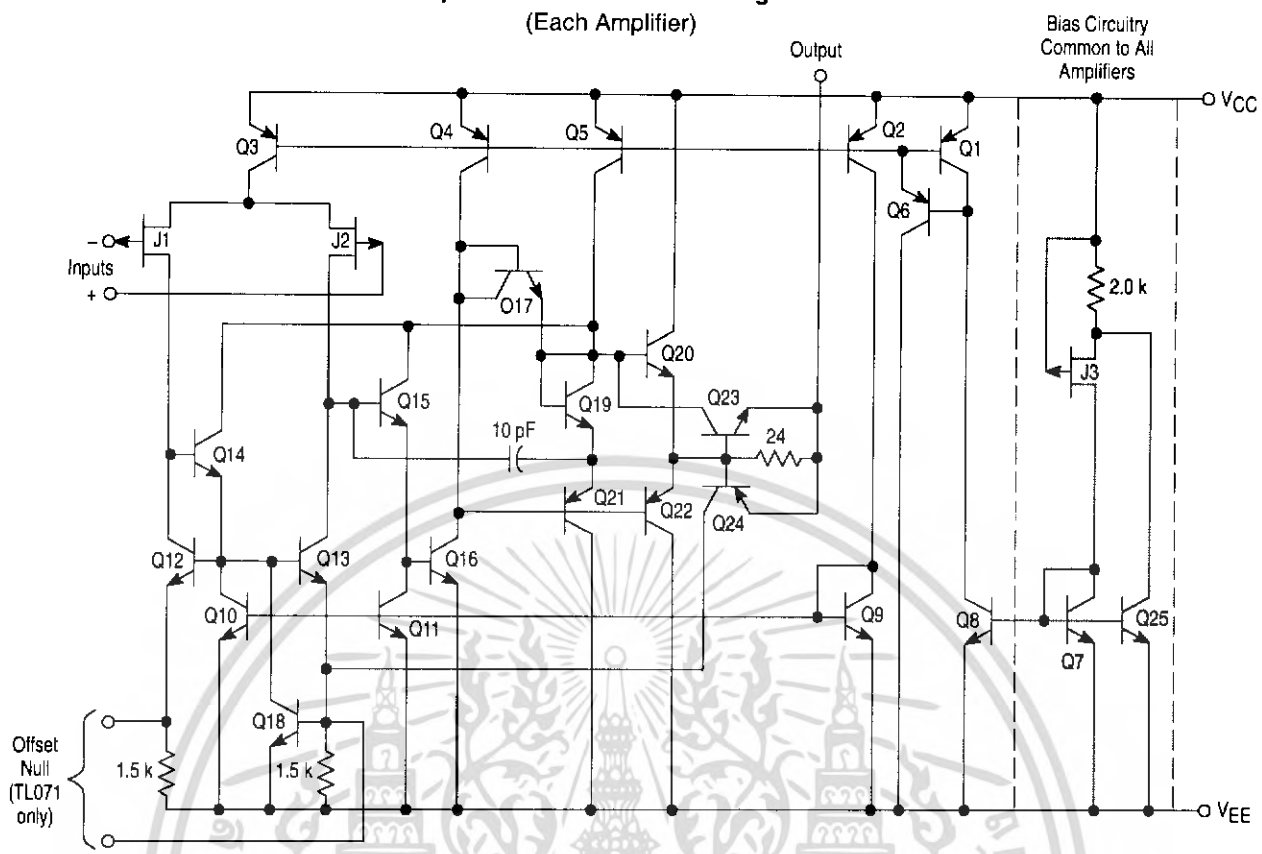


Figure 14. Audio Tone Control Amplifier

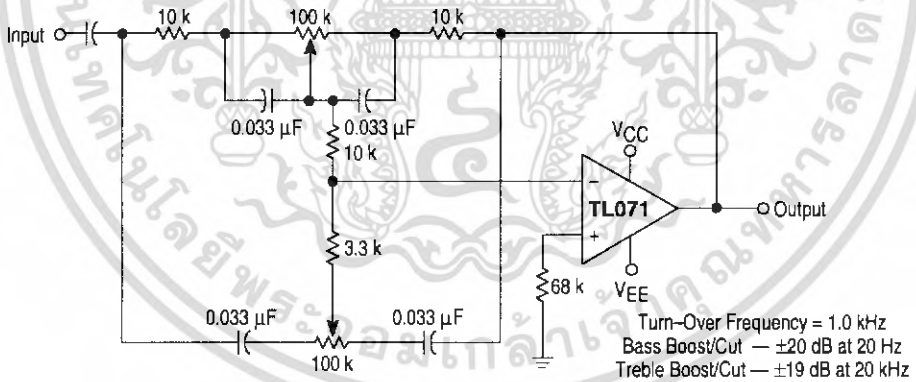
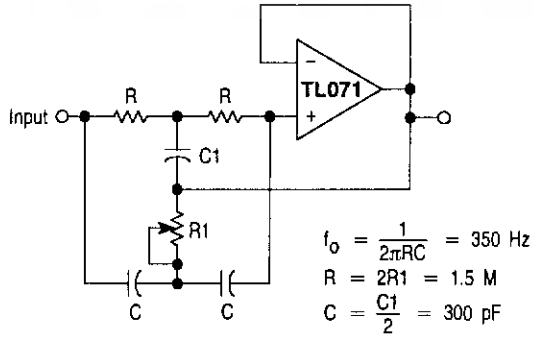


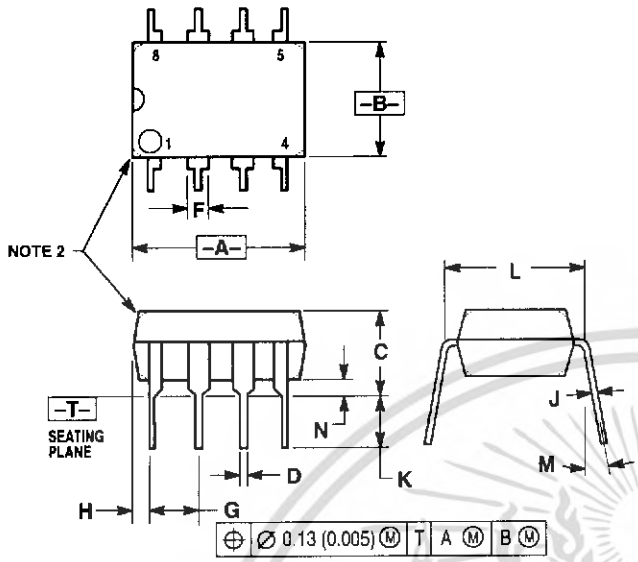
Figure 15. High Q Notch Filter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

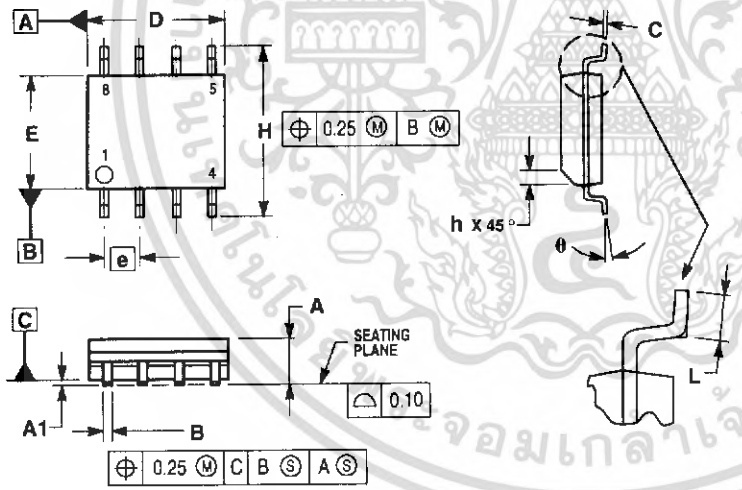
P SUFFIX
PLASTIC PACKAGE
CASE 626–05
ISSUE K



NOTES:
1. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
2. PACKAGE CONTOUR OPTIONAL (ROUND OR SQUARE CORNERS).
3. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.40	10.16	0.370	0.400
B	6.10	6.60	0.240	0.260
C	3.94	4.45	0.155	0.175
D	0.38	0.51	0.015	0.020
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	0.76	1.27	0.030	0.050
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	—	10°	—	10°
N	0.76	1.01	0.030	0.040

D SUFFIX
PLASTIC PACKAGE
CASE 751–05
(SO–8)
ISSUE S



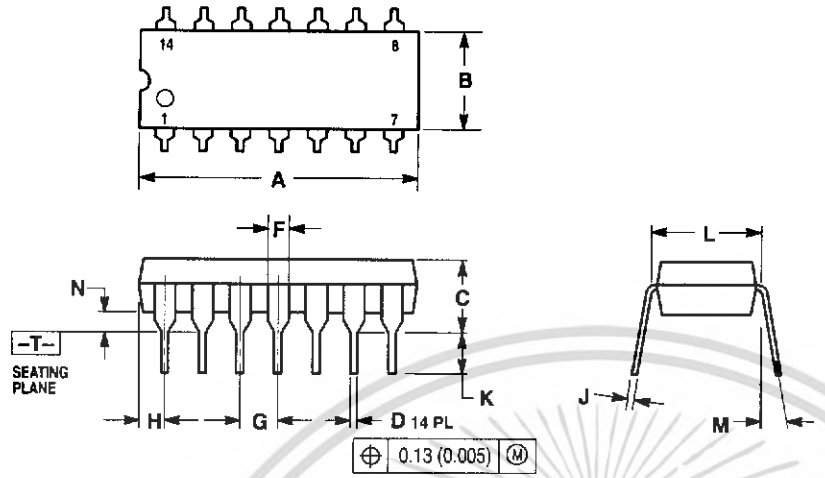
NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. DIMENSIONS ARE IN MILLIMETERS.
3. DIMENSION D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS	
DIM	MIN	MAX
A	1.35	1.75
A1	0.10	0.25
B	0.35	0.49
C	0.18	0.25
D	4.80	5.00
E	3.80	4.00
e	1.27 BSC	
H	5.80	6.20
h	0.25	0.50
L	0.40	1.25
θ	0°	7°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE M



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	—	10°	—	10°
N	0.015	0.039	0.38	1.01

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 5405, Denver, Colorado 80217. 1–303–675–2140 or 1–800–441–2447

JAPAN: Nippon Motorola Ltd.: SPD, Strategic Planning Office, 4–32–1, Nishi–Gotanda, Shinagawa–ku, Tokyo 141, Japan. 81–3–5487–8488

Customer Focus Center: 1–800–521–6274

Mfax™: RMFAX0@email.sps.mot.com – TOUCHTONE 1–602–244–6609
Motorola Fax Back System – US & Canada ONLY 1–800–774–1848
– http://sps.motorola.com/mfax/

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

HOME PAGE: http://motorola.com/sps/

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operational Amplifiers

Motorola offers a broad line of bipolar operational amplifiers to meet a wide range of applications. From low–cost industry–standard types to high precision circuits, the span encompasses a large range of performance capabilities. These Analog integrated circuits are available as single, dual and quad monolithic devices in a variety of temperature ranges and package styles. Most devices may be obtained in unencapsulated "chip" form as well. For price and delivery information on chips, please contact your Motorola Sales Representative or Distributor.

Table 1. Single Operational Amplifiers

Device	I_{IB} (μA) Max	V_{IO} (mV) Max	TC_{VIO} (μV/°C) Typ	I_{IO} (nA) Max	A_{VOL} (V/mV) Min	BW (A_V = 1) (MHz) Typ	SR (A_V = 1) (V/μs) Typ	Supply Voltage (V) Min	Supply Voltage (V) Max	Description	Suffix/ Package
Noncompensated											
Commercial Temperature Range (0°C to +70°C)											
LM301A	0.25	7.5	10	50	25	1.0	0.5	±3.0	±18	General Purpose	N/626, D/751
LM308A	7.0	0.5	5.0	1.0	80	1.0	0.3	±3.0	±18	Precision	N/626, D/751
Industrial Temperature Range (–25°C to +85°C)											
LM201A	0.075	2.0	10	10	50	1.0	0.5	±3.0	±22	General Purpose	N/626, D/751
Internally Compensated											
Commercial Temperature Range (0°C to +70°C)											
LF351	200 pA	10	10	100 pA	25	4.0	13	±5.0	±18	JFET Input	N/626, D/751
LF411C	200 pA	2.0	10	100 pA	25	8.0	25	+5.0	±22	JFET Input, Low Offset, Low Drift	N/626, D/751
MC1436, C	0.04	10	12	10	70	1.0	2.0	±15	±34	High Voltage	P1/626, D/751
MC1741C	0.5	6.0	15	200	20	1.0	0.5	±3.0	±18	General Purpose	P1/626, D/751
MC1776C	0.003	6.0	15	3.0	100	1.0	0.2	±1.2	±18	μPower, Programmable	P1/626, D/751
MC3476	0.05	6.0	15	25	50	1.0	0.2	±1.5	±18	Low Cost, μPower, Programmable	P1/626
MC34001	200 pA	10	10	100 pA	25	4.0	13	±5.0	±18	JFET Input	P/626, D/751
MC34001B	200 pA	5.0	10	100 pA	50	4.0	13	±5.0	±18	JFET Input	P/626, D/751
MC34071	0.5	5.0	10	75	25	4.5	10	+3.0	+44	High Performance	P/626, D/751
MC34071A	500 nA	3.0	10	50	50	4.5	10	+3.0	+44	Single Supply	P/626, D/751
MC34080B	200 pA	1.0	10	100 pA	25	16	55	±5.0	±22	Decompensated	P/626, D/751
MC34081B	200 pA	1.0	10	100 pA	25	8.0	30	±5.0	±22	High Speed, JFET Input	P/626, D/751
MC34181	0.1 nA	2.0	10	0.05	25	4.0	10	±2.5	±18	Low Power, JFET Input	P/626
TL071AC	200 pA	6.0	10	50 pA	50	4.0	13	±5.0	±18	Low Noise, JFET Input	P/626
TL071C	200 pA	10	10	50 pA	25	4.0	13	±5.0	±18	Low Noise, JFET Input	D/751
TL081AC	200 pA	6.0	10	100 pA	50	4.0	13	±5.0	±18	JFET Input	P/626
TL081C	400 pA	15	10	200 pA	25	4.0	13	±5.0	±18	JFET Input	D/751
Automotive Temperature Range (–40°C to +85°C)											
MC33071	0.5	5.0	10	75	25	4.5	10	+3.0	+44	High Performance	P/626, D/751
MC33071A	500 nA	3.0	10	50	50	4.5	10	+3.0	+44	Single Supply	P/626, D/751
MC33171	0.1	4.5	10	20	50	1.8	2.1	+3.0	+44	Low Power, Single Supply	P/626, D/751
MC33181	0.1 nA	2.0	10	0.05	25	4.0	10	±2.5	±18	Low Power, JFET Input	P/626, D/751
Extended Temperature Range (–40°C to +105°C)											
MC33201	250 nA	9.0	2.0	100	50	2.2	1.0	±0.9	±6.0	Low V Rail–to–Rail	P/626, D/751
Military Temperature Range (–55°C to +125°C)											
MC33201	400 nA	9.0	2.0	200	50	2.2	1.0	±0.9	±6.0	Low V Rail–to–Rail	P/626, D/751

ไม่วากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้