สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรขับเกตสำหรับคอนเวอร์เตอร์ หลายระดับพร้อมส่วนป้องกัน

(Gate Driver for Multilevel Converter with Protection)

โดย

นาย เพิ่มพล อังคะพิชิต

นาย ภาคย์ สุวรรณรัตน์

W937 ว
2549

เลขหมู่.....72645.....
เลขทะเบียน.....
วัน,เดือน,ปี..21 ธ.ค. 2550

.b.....11770139.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2549

วงจรขับเกตสำหรับคอนเวอร์เตอร์หลายระดับ พร้อมส่วนป้องกัน
GATE DRIVER FOR MULTILEVEL CONVERTER WITH PROTECTION

โดย

นาย เพิ่มพล อังคะพิชิต

นาย ภาคย์ สุวรรณรัตน์

อาจารย์ที่ปรึกษา

ผศ.ดร. สุพัฒน์ กิตติรัตน์สัจจา

รศ. ดร. สมชาติ จิริวิภากร

ดร. สมภพ ผลไม้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2549

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรขับเกตสำหรับคอนเวอร์เตอร์หลายระดับพร้อมส่วนป้องกัน

ผู้จัดทำ

1. นาย เพิ่มพล อังคะพิชิต
2. นาย ภาคย์ สุวรรณรัตน์

.....อาจารย์ที่ปรึกษา
(ดร. สมภพ ผลไม้)

.....อาจารย์ที่ปรึกษา
(ผู้ช่วยศาสตราจารย์ ดร. สุพัฒน์ กิตติรัตน์สัจจา)

..... อาจารย์ที่ปรึกษา
(รองศาตราจารย์ ดร. สมชาติ จิริวิภากร)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขับเกตสำหรับคอนเวอร์เตอร์หลายระดับพร้อมส่วนป้องกัน

นาย เพิ่มพล อังคะพิชิต
นาย ภาคย์ สุวรรณรัตน์
ดร. สมภพ ผลไม้ อาจารย์ที่ปรึกษา
ผศ.ดร. สุพัฒน์ กิตติรัตน์สัจจา อาจารย์ที่ปรึกษา
รศ.ดร. สมชาติ จิริวิภากร อาจารย์ที่ปรึกษา
ปีการศึกษา 2549

บทคัดย่อ

ปริญญานิพนธ์นี้กล่าวถึงโครงสร้าง การทำงาน การสร้างสัญญาณขับเกทของอุปกรณ์สวิตชิ่งของอินเวอร์เตอร์หลายระดับชนิดเอชบริดจ์ โดยการใช้เทคนิคซายน์นูไซดอลพัลส์วิดมอดูเลชั่น รวมถึงการป้องกันกระแสเกินสำหรับไอจีบีทีในวงจรอินเวอร์เตอร์ ซึ่งได้อธิบายถึงหลักการทำงานและการเกิดการลัดวงจรแบบต่างๆในวงจรอินเวอร์เตอร์ โดยอาศัยการสร้างแบบจำลองในคอมพิวเตอร์ด้วยโปรแกรม Matlab/Simulink จากผลการจำลองแสดงให้เห็นว่าการป้องกันกระแสเกินของไอจีบีทีในวงจรอินเวอร์เตอร์ ต้องการการตรวจจับกระแสที่ผ่านไอจีบีทีทุกตัว จึงจะสามารถป้องกันความเสียหายได้อย่างสมบูรณ์ ในปริญญานิพนธ์นี้ เลือกใช้การตรวจจับแรงดันระหว่างขาคอลเล็กเตอร์และอิมิดเตอร์ซึ่งแปรผันตามกระแสลัดวงจรที่ไหลผ่านไอจีบีทีมาใช้ในการป้องกันกระแสเกิน โดยใช้ไอซีขับเกตสำเร็จรูปซึ่งมีวงจรตรวจจับแรงดันคอลเล็กเตอร์และอิมิดเตอร์ และวงจรปิดสัญญาณเกตอยู่ภายใน เพื่อเป็นการทดสอบแนวคิดวงจรอินเวอร์เตอร์ 5 ระดับชนิดเอชบริดจ์จึงถูกสร้างขึ้น วงจรสร้างสัญญาณเกตถูกออกแบบและสร้างบน FPGA การป้องกันกระแสเกินของไอจีบีทีได้รับการทดสอบทั้งในกรณีการทำงานของแต่ละอุปกรณ์ และในส่วนรวมของวงจรอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GATE DRIVER FOR MULTILEVEL CONVERTER WITH OVERCURRENT PROTECTION

Permpon Angkapichit
Phark Suwannarat
Dr.Sompob Polmai Advisor
Asst.Prof.Dr.Supat Kittiratsajja Advisor
Assoc.Prof.Dr.Somchat Jiriwibhakorn Advisor
2006

ABSTRACT

This thesis presents structure and operation of an H-Bridge multilevel inverter which uses carrier phase-shift sinusoidal pulse-width modulation technique to generate gate-drive signal for each switching device in the inverter. The protection of each IGBT in the inverter circuit is proposed. The operation for various types of short-circuit of the inverter are simulated using Matlab/Simulink. The simulation results give the conclusion that the complete protection of the inverter against short-circuits needs sensing of current on every IGBT. In this thesis, the collector-emitter voltage sensing is adopted for overcurrent detection of each IGBT. This sensing technique is integrated in the gate-drive IC used in this thesis. To verify the concept, a 5-level H-bridge inverter is constructed. The gate signal generation is designed and implement on an FPGA. The experiment for single device protection and hold system protection are carried out.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉนับนี้จะสำเร็จและลุล่วงได้ ต้องผ่านอุปสรรคมากมาย แต่อย่างไรเสียก็ไม่อาจสำเร็จลุล่วงได้ หากไม่มีบุคคลเหล่านี้คอยช่วยเหลือ

ขอขอบคุณอาจารย์สมภพ ผลไม้ อาจารย์สุพัฒน์ กิดดิรัดน์สัจจา และอาจารย์สมชาติ จิริวิภากร ที่ให้คอยคำแนะนำและช่วยเหลือ ทำให้โครงงานนี้สำเร็จได้เป็นอย่างดี

ขอขอบคุณรุ่นพี่ปริญญาโททุกท่าน ที่อยู่ในห้องโปรเจค ที่คอยให้คำแนะนำและช่วยเหลือสิ่งต่างๆ ให้แก่ทางกลุ่มเป็นอย่างดียิ่ง

ขอขอบคุณ นายเอกวัฒน์ สุขประจันทร์ พี่ปริญญาโท ที่คอยช่วยเหลือและให้คำปรึกษาในการแก้ไขปัญหาต่างๆ เป็นอย่างสูง

ขอขอบใจเพื่อนๆ ที่อยู่ในห้องโปรเจค ที่คอยช่วยเหลือและแลกเปลี่ยนความรู้ พร้อมทั้งยังมีเสบียงในบางโอกาสสำหรับค่ำคืนอันแสนยาวนาน ช่วยให้ได้อิ่มท้องกันถ้วนหน้า

ขอขอบใจ นางสาวพิชญา เจริญลาภ ที่คอยให้ความช่วยเหลือในด้านอุปกรณ์การทำงานที่จำเป็นต่อการทำปริญญานิพนธ์ฉบับนี้

สุดท้ายที่ไม่อาจลืมได้ ขอขอบพระคุณอันยิ่งใหญ่ของบิดามารดาของพวกข้าพเจ้า ที่มีมาดั้งแต่อดีตจนถึงปัจจุบัน รวมทั้งในอนาคต ขอขอบคุณที่คอยดูแลเลี้ยงดู อบรมสั่งสอน และให้โอกาสทางการศึกษาอย่างเต็มที่แก่พวกข้าพเจ้า

นายเพิ่มพล อังคะพิชิต
นายภาคย์ สุวรรณรัตน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ.....I
ABSTRACT.....II
สารบัญรูป.....V
สารบัญตาราง.....IX
บทที่ 1 บทนำ.....1
1.1 ความสำคัญของปัญหา.....1
1.2 วัตถุประสงค์ของการวิจัย.....1
1.3 ขอบเขตและข้อกำหนดในการวิจัย.....1
1.4 ขั้นตอนและวิธีการดำเนินงาน.....2
1.5 ประโยชน์ที่ได้รับจากการวิจัย.....2

บทที่ 2 อินเวอร์เตอร์หลายระดับและการป้องกันอุปกรณ์สวิตช์.....3
2.1 บทนำ.....3
2.2 อินเวอร์เตอร์หลายระดับชนิดแคสเคด.....3
2.2.1 ส่วนประกอบของชุดอินเวอร์เตอร์หลายระดับชนิดแคสเคด.....3
2.2.2 การสร้างแรงดันของอินเวอร์เตอร์หลายระดับชนิดแคสเคด.....4
2.2.3 การทำงานของ Full-bridge IGBT ที่ระดับแรงดันช่วงต่างๆ.....5
2.2.3.1 ช่วงแรงดันเป็นบวก.....5
2.2.3.2 ช่วงแรงดันเป็นศูนย์.....6
2.2.3.3 ช่วงแรงดันเป็นลบ.....6
2.2.4 เวลาประวิง (Dead Time).....7
2.3 อินเวอร์เตอร์ชนิดคาสเคด 5 ระดับ.....8
2.4 การป้องกันอุปกรณ์สวิตช์.....10
2.4.1 การป้องกันอุปกรณ์สวิตช์ที่เกิดจากฟอล์ต แบบควบคุมได้.....10
2.4.1.1 การแลตช์ในโหมดสแตติก.....11
2.4.1.2 การแลตช์ในโหมดไดนามิก.....11
2.4.2 การป้องกันอุปกรณ์สวิตช์ที่เกิดจากฟอล์ต แบบควบคุมไม่ได้.....11
2.4.2.1 การป้องกันโดยการตรวจจับกระแส.....12
2.4.2.2 การป้องกันโดยการตรวจจับแรงดัน.....14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 การจำลองและการสร้างวงจรจริง 15
3.1 การจำลองการทำงานของวงจรอินเวอร์เตอร์หลายระดับชนิดเอชบริดจ์ ...15
3.1.1 วงจรควบคุม (Control Circuit) 15
3.1.2 วงจรกำลัง (Power Circuit) 15
3.2 การสร้างวงจรอินเวอร์เตอร์ 5 ระดับแบบเอชบริดจ์ 17
3.2.1 วงจรสร้างไฟฟ้ากระแสตรง 15 โวลต์ และ -5 โวลต์ 17
3.2.2 วงจรขับเกต 18
3.2.3 ไอจีบีที (IGBT) และวงจรสร้างไฟฟ้ากระแสตรง 150 โวลต์ 19
3.2.4 วงจรสร้างสัญญาณเกต 20

บทที่ 4 ผลการจำลอง และผลการทดลอง.....25
4.1 ผลการจำลอง 25
4.1.1 การจำลองในสภาวะปกติ 25
4.1.2 การจำลองในสภาวะช็อตเซอร์กิดแบบต่างๆ 30
4.1.2.1 อาร์มช็อตเซอร์กิด 30
4.1.2.2 การลัดวงจรแบบการลัดวงจรที่สัญญาณขาออก.....35
4.1.2.3 การลัดวงจรแบบลัดวงจรภายนอก
กรณีที่ขั้วบวก – ลบลัดวงจรถึงกัน 50
4.1.2.4 การลัดวงจรแบบลัดวงจรภายนอก กรณีที่ขั้วบวกของ
กิ่งบนและล่างลัดวงจรถึงกัน 45
4.1.2.5 ซีรีย์อาร์มช็อตเซอร์กิด 50
4.2 ผลการทดลอง 56
4.2.1 ผลการทดลองหา V_{CE} characteristic 56
4.2.2 สัญญาณขับเกต 58
4.2.3 การทดสอบ กรณีใช้ไอจีบีที 1 ตัว 59
4.2.4 การทดสอบ กรณีใช้วงจรอินเวอร์เตอร์ 5 ระดับ.....63

บทที่ 5 สรุปและแนวทางในการพัฒนา 67

ภาคผนวก ก 69
ภาคผนวก ข 72
เอกสารอ้างอิง.....80
กิตติกรรมประกาศ.....81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 ส่วนประกอบของชุดอินเวอร์เตอร์ชนิดคาสเคดแต่ละชั้นแรงดัน 4
2.2 วงจรการต่อของอินเวอร์เตอร์หลายระดับชนิดคาสเคด 4
2.3 รูปสัญญาณของอินเวอร์เตอร์หลายระดับแบบคาสเคด 4
2.4 ลักษณะการทำงานของ IGBT ที่แรงดันช่วงบวก 5
2.5 ลักษณะการทำงานของ IGBT ที่แรงดันช่วงศูนย์ 6
2.6 ลักษณะการทำงานของ IGBT ที่แรงดันเป็นลบ 6
2.7 การเปรียบเทียบรูปสัญญาณของ S1, S2, S3 และ S4 7
2.8 เวลาประวิงในสัญญาณเกต 8
2.9 วงจรการต่อของอินเวอร์เตอร์ชนิดคาสเคด 5 ระดับ 8
2.10 การสร้างสัญญาณเกทด้วย SPWM 9
2.11 รายละเอียดของสัญญาณ 9
2.12 ผลของการสร้างสัญญาณเกท 10
2.13 ประเภทของการเกิด short-circuit 11
2.14 กราฟกระแสคอลเลคเตอร์เทียบกับความต่างศักย์ดกคร่อมคอลเลคเตอร์และอีมิทเตอร์ของไอจีบีที 12
2.15 วิธีวางตำแหน่งของอุปกรณ์ป้องกันโดยการตรวจจับกระแส 13
2.16 ตัวอย่างวงจรป้องกันโดยใช้วิธีการตรวจจับแรงดัน 14
3.1 จำลองวงจรการทำงานของอินเวอร์เตอร์หลายระดับชนิดเอชบริดจ์ 15
3.2 จำลองวงจรควบคุมการทำงานของวงจรอินเวอร์เตอร์หลายระดับ 16
3.3 จำลองวงจรกำลังของอินเวอร์เตอร์ 5 ระดับ แบบเอชบริดจ์ 16
3.4 วงจรสร้างไฟฟ้ากระแสตรง 15 โวลต์ และ -5 โวลต์ 17
3.5 วงจรขับเกท 18
3.6 วงจรภายในของไอซี HCPL-316J 19
3.7 บอร์ดเอฟพีจีเอ (FPGA) 20
3.8 วงจรสร้างสัญญาณขาเกทของไอจีบีทีโดยใช้ FPGA 21
3.9 วงจรม็อด (Mod) สัญญาณ 21
3.10 วงจรหน่วงเวลา 22
3.11 วงจรกำเนิดสัญญาณสามเหลี่ยม 22
3.12 วงจรคอมพาราเตอร์ 23
3.13 วงจรสร้างเดดไทม์ (Dead Time) 24
4.1 วงจรอินเวอร์เตอร์ 5 ระดับในสภาวะปกติ 25
4.2 สัญญาณที่เกท G11 ในสภาวะปกติ 26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 สัญญาณที่เกท G12 ในสภาวะปกติ 26
4.4 สัญญาณที่เกท G13 ในสภาวะปกติ 27
4.5 สัญญาณที่เกท G14 ในสภาวะปกติ 27
4.6 สัญญาณที่เกท G21 ในสภาวะปกติ 28
4.7 สัญญาณที่เกท G22 ในสภาวะปกติ 28
4.8 สัญญาณที่เกท G23 ในสภาวะปกติ 29
4.9 สัญญาณที่เกท G24 ในสภาวะปกติ 29
4.10 สัญญาณที่โหลด ในสภาวะปกติ 30
4.11 วงจรในสภาวะที่เกิดการลัดวงจรกรณีอาร์มช็อดเซอร์กิต 30
4.12 สัญญาณที่เกท G11 กรณีอาร์มช็อดเซอร์กิต 31
4.13 สัญญาณที่เกท G12 กรณีอาร์มช็อดเซอร์กิต 31
4.14 สัญญาณที่เกท G13 กรณีอาร์มช็อดเซอร์กิต 32
4.15 สัญญาณที่เกท G14 กรณีอาร์มช็อดเซอร์กิต 32
4.16 สัญญาณที่เกท G21 กรณีอาร์มช็อดเซอร์กิต 33
4.17 สัญญาณที่เกท G22 กรณีอาร์มช็อดเซอร์กิต 33
4.18 สัญญาณที่เกท G23 กรณีอาร์มช็อดเซอร์กิต 34
4.19 สัญญาณที่เกท G24 กรณีอาร์มช็อดเซอร์กิต 34
4.20 สัญญาณที่โหลด กรณีอาร์มช็อดเซอร์กิต 35
4.21 วงจรในสภาวะที่เกิดการลัดวงจรกรณีการลัดวงจรที่สัญญาณขาออก 35
4.22 สัญญาณที่เกท G11 กรณีลัดวงจรที่สัญญาณขาออก 36
4.23 สัญญาณที่เกท G12 กรณีลัดวงจรที่สัญญาณขาออก 36
4.24 สัญญาณที่เกท G13 กรณีลัดวงจรที่สัญญาณขาออก 37
4.25 สัญญาณที่เกท G14 กรณีลัดวงจรที่สัญญาณขาออก 37
4.26 สัญญาณที่เกท G21 กรณีลัดวงจรที่สัญญาณขาออก 38
4.27 สัญญาณที่เกท G22 กรณีลัดวงจรที่สัญญาณขาออก 38
4.28 สัญญาณที่เกท G23 กรณีลัดวงจรที่สัญญาณขาออก 39
4.29 สัญญาณที่เกท G24 กรณีลัดวงจรที่สัญญาณขาออก 39
4.30 สัญญาณที่โหลด กรณีลัดวงจรที่สัญญาณขาออก 40
4.31 วงจรในสภาวะที่เกิดการลัดวงจรกรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน 40
4.32 สัญญาณที่เกท G11 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน 41
4.33 สัญญาณที่เกท G12 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน 41
4.34 สัญญาณที่เกท G13 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน 42
4.35 สัญญาณที่เกท G14 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน 42
4.36 สัญญาณที่เกท G21 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.37 สัญญาณที่เกท G22 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน 43
4.38 สัญญาณที่เกท G23 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน 44
4.39 สัญญาณที่เกท G24 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน 44
4.40 สัญญาณที่โหลด กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน.....45
4.41 วงจรในสภาวะที่เกิดการลัดวงจรกรณีขั้วบวกของชุดบนและชุดล่าง
ลัดวงจรถึงกัน 45
4.42 สัญญาณที่เกท G11 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน 46
4.43 สัญญาณที่เกท G12 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน 46
4.44 สัญญาณที่เกท G13 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน 47
4.45 สัญญาณที่เกท G14 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน 47
4.46 สัญญาณที่เกท G21 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน 48
4.47 สัญญาณที่เกท G22 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน 48
4.48 สัญญาณที่เกท G23 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน 49
4.49 สัญญาณที่เกท G24 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน 49
4.50 สัญญาณที่โหลด กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน 50
4.51 วงจรในสภาวะที่เกิดการลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต 50
4.52 สัญญาณที่เกท G11 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต 51
4.53 สัญญาณที่เกท G12 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต 51
4.54 สัญญาณที่เกท G13 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต 52
4.55 สัญญาณที่เกท G14 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต.....52
4.56 สัญญาณที่เกท G21 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต 53
4.57 สัญญาณที่เกท G22 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต 53
4.58 สัญญาณที่เกท G23 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต 54
4.59 สัญญาณที่เกท G24 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต 54
4.60 สัญญาณที่โหลด กรณีลัตวงจรแบบซีรี่อาร์มช็อตเซอร์กิต 55
4.61 วงจรทดลองหา V_{CE} characteristic 56
4.62 กราฟเปรียบเทียบ V_{CE} ที่ได้จากการทดลอง กับใน Data Sheet 57
4.63 วงจรสร้างสัญญาณขับเกท 58
4.64 สัญญาณขับเกทสำหรับไอจีบีที.....58
4.65 สัญญาณเกทที่ทำการใส่เดดไทม์ (Dead Time).....59
4.66 แสดงวงจรทดสอบ กรณีใช้ไอจีบีที 1ตัว 59
4.67 สัญญาณขับเกทที่ขาเกทของไอจีบีที.....60
4.68 แรงดันดกคร่อมโหลดในสภาวะปกติ ที่ระดับแรงดันไฟตรง 100 V 60
4.69 แรงดันดกคร่อมโหลดขณะลัดวงจร ที่ระดับแรงดันไฟตรง 100 V 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.70 แรงดัน V_{CE} ในสภาวะปกติ ที่ระดับแรงดันไฟตรง 100 V 61
4.71 แรงดัน V_{CE} ขณะลัดวงจร ที่ระดับแรงดันไฟตรง 100 V 62
4.72 กระแสที่ผ่านโหลดในสภาวะปกติ ที่ระดับแรงดันไฟตรง 100V 62
4.73 กระแสที่ผ่านโหลดขณะลัดวงจร ที่ระดับแรงดันไฟตรง 100 V 63
4.74 แรงดันดกคร่อมโหลดในสภาวะปกติ 63
4.75 กระแสที่ผ่านโหลดในสภาวะปกติ 64
4.76 กระแสและแรงดันที่โหลดในสภาวะปกติ 64
4.77 แรงดัน V_{CE} ในสภาวะปกติ ที่ระดับแรงดันไฟตรง 50 V 65
4.78 แรงดัน V_{CE}ในสภาวะปกติ ที่ระดับแรงดันไฟตรง 100 V 65
4.79 แรงดัน V_{CE} ขณะลัดวงจร ที่ระดับแรงดันไฟตรง 100 V 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

2.1 คุณลักษณะและแสดงความสามารถในการตรวจจับชนิดของการลัดวงจร 13

4.1 สรุปโอกาสที่จะมีความเสียหายกับไอจีบีทีในประเภทต่างๆ โดยการจำลองด้วยโปรแกรม Matlab/Simulink 55

4.2 ค่า V_{CE} จาผลการทดลองและจาก Data Sheet ของไอจีบีทีเบอร์ G4PH50UD 56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความสำคัญของปัญหา

ในปัจจุบันงานภาคอุตสาหกรรมได้มีการนำอินเวอร์เตอร์หลายระดับชนิดแคสเคดมาใช้อย่างแพร่หลาย อีกทั้งอินเวอร์เตอร์หลายระดับยังมีความสามารถในการทำงานที่แรงดันและกำลังไฟฟ้าสูงกว่าอินเวอร์เตอร์หลายระดับ และยังมีค่าลดทอนฮาร์มอนิกส์ของแรงดันด้านเอาท์พุทลดลง เพราะมีลักษณะของสัญญาณเข้าใกล้ไซน์มากกว่า และคุณสมบัติในการใช้ประโยชน์จากแรงดันไฟฟ้ากระแสตรงด้านอินพุทที่ดีกว่า เมื่อมีการแบ่งระดับแรงดัน อุปกรณ์สวิตช์ก็จำทำงานที่ระดับแรงดันไฟฟ้าที่ลดลง ทำให้ราคาของอุปกรณ์สวิตช์ต่อหน่วยมีราคาถูกลง แต่เนื่องจากในการทำงานจริงอินเวอร์เตอร์หลายระดับอาจจะมีความผิดปรกติ หรือฟอล์ต (fault) ที่อาจเกิดจากสาเหตุต่างๆระหว่างทำงานนั้น ซึ่งอาจเป็นผลให้อุปกรณ์สวิตช์หรือวงจรอินเวอร์เตอร์นั้นเกิดความเสียหายได้หากไม่สามารถหาสาเหตุในการเกิดได้หรือไม่สามารถทำการตัดวงจรได้ทัน

ในงานวิจัยนี้จึงได้เห็นถึงความสำคัญของปัญญาที่เกิดขึ้น เพื่อที่จะทำให้สามารถทำการลดการสูญเสียที่อาจจะเกิด

1.2 วัตถุประสงค์ของการวิจัย

จุดมุ่งหมายในการทำวิทยานิพนธ์นี้เพื่อจัดสร้างชุดทดสอบ การป้องกันอุปกรณ์สวิตช์จากฟอล์ต (fault) ที่มีโอกาสเกิดขึ้นในวงจรอินเวอร์เตอร์หลายระดับชนิดแคสเคด 1 เฟส โดยมีวัตถุประสงค์ ดังนี้

1.2.1 เพื่อศึกษาการทำงานของอินเวอร์เตอร์หลายระดับชนิดแคสเคด

1.2.2 เพื่อศึกษาฟอล์ต (fault) ในรูปแบบต่างๆ

1.2.3 เพื่อศึกษาวิธีการป้องกันฟอล์ต (fault) ที่มีโอกาสเกิดขึ้นในวงจรอินเวอร์เตอร์หลายระดับชนิดแคสเคด

1.2.4 เพื่อศึกษาการเสียหายของอุปกรณ์สวิตช์ในตำแหน่งต่างๆ เมื่อมีฟอล์ต (fault) ในลักษณะต่างๆเกิดขึ้น

1.2.5 เพื่อเป็นพื้นฐานในการวิจัยและพัฒนาเทคนิควิธีการตรวจจับฟอล์ต (fault) ให้มีประสิทธิภาพยิ่งขึ้น

1.3 ขอบเขตและข้อกำหนดในการวิจัย

โดยในวิทยานิพนธ์ฉบับนี้จะเป็นการศึกษาถึงอุปกรณ์สวิตช์ในตำแหน่งต่างๆที่อาจเกิดความเสียหายเมื่อมีฟอล์ต (fault) เกิดขึ้นในวงจรอินเวอร์เตอร์หลายระดับชนิดแคสเคด โดยจะเป็นการนำวิธีการป้องกันโดยการตรวจจับแรงดันด้วยไดโอดมาทำการป้องกัน รวมถึงจะทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บรวบรวมผลของกระแสและแรงดันของอุปกรณ์สวิตช์ในแต่ละตำแหน่ง เพื่อทำให้เราสามารถนำไปวิเคราะห์ว่าฟอล์ดที่เกิดขึ้นนั้นเป็นฟอล์ดประเภทไหน โดยจะเป็นข้อมูลพื้นฐานทำให้เราสามารถทราบสาเหตุการเกิดฟอล์ดนั้นๆได้ ซึ่งจะทำให้เราสามารถทำการแก้ไขได้อย่างทันท่วงที ก่อนที่อุปกรณ์สวิตช์ของเราจะเกิดความมาเสียหาย

1.4 ขั้นตอนและวิธีการดำเนินงาน

1.4.1 ทำการศึกษาหลักการทำงานของวงจรอินเวอร์เตอร์หลายระดับชนิดแคสเคดแบบเอชบริดจ์

1.4.2 จำลองการทำงานของวงจรอินเวอร์เตอร์หลายระดับชนิดแคสเคดแบบเอชบริดจ์ด้วยโปรแกรม MATLAB/SIMILINK

1.4.3 ทำการสร้างชุดทดลองอินเวอร์เตอร์ 5 ระดับ ชนิดแคดเคด 1 เฟส

1.4.4 ทำการทดลองการเกิดฟอล์ด (fault) ประเภทต่างๆที่มีโอกาสเกิดขึ้นในวงจรอินเวอร์เตอร์ 5 ระดับ ชนิดแคสเคด

1.5 ประโยชน์ที่ได้รับจากการวิจัย

1.5.1 เข้าใจถึงหลักการทำงานของวงจรอินเวอร์เตอร์หลายระดับชนิดแคดเคด

1.5.2 สามารถออกแบบและทำการป้องกันอุปกรณ์สวิตช์ที่อยู่ในวงจรอินเวอร์เตอร์ได้

1.5.3 สามารถทราบถึงประเภทของการเกิดฟอล์ด (fault) ชนิดต่างๆได้จากข้อมูลที่ได้จากอุปกรณ์สวิตช์ในตำแหน่งต่างๆ ทำให้สามารถทำการแก้ไขได้อย่างทันท่วงที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
อินเวอร์เตอร์หลายระดับและการป้องกันอุปกรณ์สวิตช์

2.1 บทนำ

อินเวอร์เดอร์หลายระดับจะอาศัยการต่ออนุกรมกันของอุปกรณ์สวิตชิ่งเพื่อใช้ในการแบ่งแรงดันและเพิ่มจำนวนระดับทำให้สัญญาณแรงดันด้านเอาท์พุทมีลักษณะเข้าใกล้ไซน์มากยิ่งขึ้น เมื่อเปรียบเทียบกับอินเวอร์เดอร์หลายระดับ การต่ออนุกรมกันของอุปกรณ์สวิตช์ดังกล่าวทำให้อินเวอร์เดอร์หลายระดับมีความสามารถในการทำงานที่ระดับแรงดันไฟฟ้าที่สูงกว่าอินเวอร์เดอร์ 2 ระดับ นอกจากนี้การแบ่งย่อยแหล่งจ่ายไฟตรงยังทำให้เหมาะสมต่อการนำไปใช้งานกับแหล่งจ่ายประเภทพลังงานทดแทน เช่น เซลล์แสงอาทิตย์, เซลล์พลังงาน หรือแบตเตอรี่ เป็นต้น

อินเวอร์เดอร์หลายระดับสามารถแบ่งออกได้ 4 ชนิด ดังนี้

- อินเวอร์เดอร์หลายระดับชนิดไดโอดแคลมป์
- อินเวอร์เดอร์หลายระดับชนิดคาปาซิเตอร์แคลมป์
- อินเวอร์เดอร์หลายระดับชนิด Generalized
- อินเวอร์เดอร์หลายระดับชนิดคาสเคด

โดยในงานวิจัยนี้จะทำการศึกษาเฉพาะ อินเวอร์เตอร์หลายระดับชนิดคาสเคดเท่านั้น ซึ่งในบทนี้จะกล่าวถึง โครงสร้างของอินเวอร์เตอร์เอชบริดจ์, สัญญาณเกตและหลักการทำงานของอินเวอร์เตอร์เอชบริดจ์, เวลาประวิง (เดดไทม์) ของสวิตช์, โครงสร้างและหลักการทำงานของอินเวอร์เตอร์หลายระดับชนิดแคสเคด, การป้องกันอุปกรณ์สวิตช์

2.2 อินเวอร์เตอร์หลายระดับชนิดแคสเคด

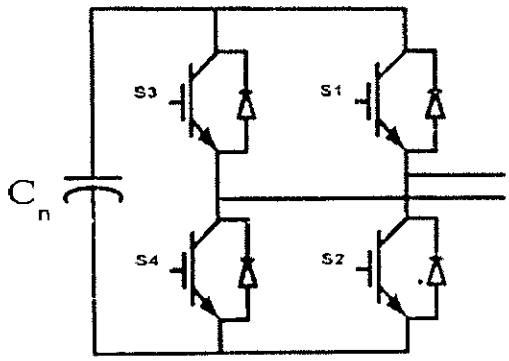
การชดเชยกำลังไฟฟ้ารีแอคทีฟโดยใช้อินเวอร์เดอร์หลายระดับชนิดคาสเคดนั้น ประเด็นสำคัญที่จะทำการศึกษา คือการสร้างแรงดันจากอินเวอร์เดอร์หลายระดับแบบคาสเคด ซึ่งมีหลักการ คือนำฟูลบริดจ์อินเวอร์เตอร์หลายๆชั้นมาสร้างแรงดันกระแสสลับตามค่าแรงดันกระแสตรงที่ต่ออยู่และนำค่าแรงดันแต่ละชั้นมาต่อกันแบบคาสเคดกัน ดังนั้นจึงจำเป็นที่จะต้องทำความเข้าใจเกี่ยวกับส่วนประกอบและหลักการสร้างอินเวอร์เดอร์หลายระดับแบบคาสเคด รวมถึงหลักการในการชดเชยกำลังไฟฟ้ารีแอคทีฟ

2.2.1 องค์ประกอบของชุดอินเวอร์เตอร์ชนิดคาสเคด

- เกท (IGBT) แต่ละชั้นจะประกอบด้วยไอจีบีที ทั้งหมด 4 ตัวต่อกันในลักษณะฟูลบริดจ์ดังรูปที่ 2.1

- ตัวเก็บประจุ ตัวเก็บประจุมีหน้าที่เก็บค่าแรงดันกระแสตรงจะต่อคร่อมไอจีบีที แต่ละข้างและตัวเก็บประจุในแต่ละชั้นของแรงดันจะต่อแยกจากกันอย่างอิสระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



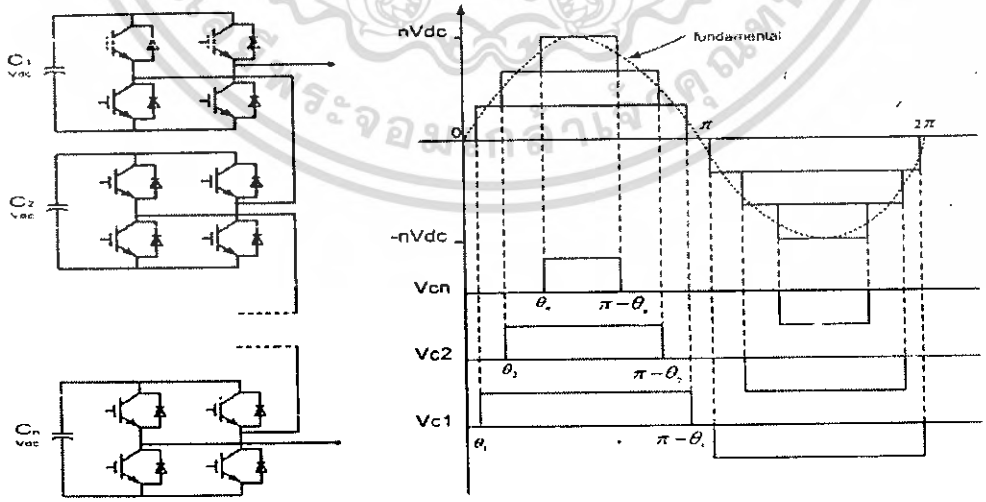
รูปที่ 2.1 ส่วนประกอบของชุดอินเวอร์เตอร์ชนิดคาสเคดแต่ละชั้นแรงดัน

- สายสัญญาณทริกไอจีบีที แต่ละชั้นจะมีสัญญาณมาที่ไอจีบีที ทั้ง 4 ตัว ซึ่งต่อที่ขาเกทของไอจีบีที ทั้ง 4 ตัว

- ขาเอาท์พุท จะต่ออยู่ดรงกลางของไอจีบีที แต่ละข้างทั้งสองข้าง

2.2.2 การสร้างแรงดันของอินเวอร์เตอร์หลายระดับชนิดคาสเคด

การสร้างแรงดันจากอินเวอร์เตอร์หลายระดับชนิดคาสเคด คือ นำค่าแรงดันกระแสตรงที่คร่อมอยู่ในแต่ละชั้นมารวมกันแบบคาสเคดที่ค่ามุมต่าง ๆ ดังรูปที่ 2.3 จะเห็นว่าเมื่อถึง จะมีสัญญาณส่งไปที่อินเวอร์เตอร์ชั้นที่ 1 ให้มีแรงดันกระแสตรงเท่ากับ V_{C1} ออกมาที่ขาเอาท์พุท และเมื่อถึง ก็จะมีสัญญาณส่งไปที่อินเวอร์เตอร์ชั้นที่ 2 ให้มีแรงดันกระแสตรงเท่ากับ V_{C2} ออกมาที่ขาเอาท์พุท ซึ่งตอนนี้จะมีแรงดันรวมเท่ากับ $V_{C1} + V_{C2}$ จนถึงชั้นที่ n ก็จะเหมือนกับชั้นที่ 1 และ 2 ที่มุม ก็จะมีแรงดันรวมที่ขาเอาท์พุทของอินเวอร์เตอร์ชนิดคาสเคด n ระดับ เท่ากับ $V_{C1} + V_{C2} + \ldots\ldots + V_{Cn}$ หรือเท่ากับ $n\,V_{dc}$



รูปที่ 2.2 วงจรการต่อของอินเวอร์เตอร์หลายระดับชนิดคาสเคด

รูปที่ 2.3 รูปสัญญาณของอินเวอร์เตอร์หลายระดับแบบคาสเคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับแรงดันฝั่งลบ ก็จะมีลักษณะการทำงานเหมือนกับที่ได้กล่าวมาแล้วแต่ต่างกันตรงสัญญาณที่ส่งมาขับอินเวอร์เตอร์แต่ละชั้น กล่าวคือที่มุม จะมีสัญญาณส่งไปที่อินเวอร์เตอร์ชั้นที่ 1 ให้มีแรงดันกระแสตรงเท่ากับ - V_{C1} ออกมาที่ขาเอาท์พุท และเมื่อถึง ก็จะมีสัญญาณส่งไปที่อินเวอร์เตอร์ชั้นที่ 2 ให้มีแรงดันกระแสตรงเท่ากับ - V_{C2} ออกมาที่ขาเอาท์พุท ซึ่งดอนนี้จะมีแรงดันรวมเท่ากับ -(V_{C1} + V_{C2}) จนถึงชั้นที่ n ก็จะเหมือนกับชั้นที่ 1 และ 2 ที่มุม ก็จะมีแรงดันรวมที่ขาเอาท์พุทของอินเวอร์เตอร์ชนิดคาสเคด n ระดับเท่ากับ -(V_{C1} + V_{C2} + ...+ V_{Cn}) หรือเท่ากับ - n V_{dc} ดังรูปที่ 2.3 เพราะฉะนั้นการคำนวณระดับของอินเวอร์เตอร์หลายระดับชนิดคาสเคดจะเป็นด้านบวก n ระดับ และด้านลบ n ระดับ และที่แรงดันศูนย์อีกระดับ

$$\text{จำนวนระดับ} = (2n) + 1 \qquad (2.1)$$

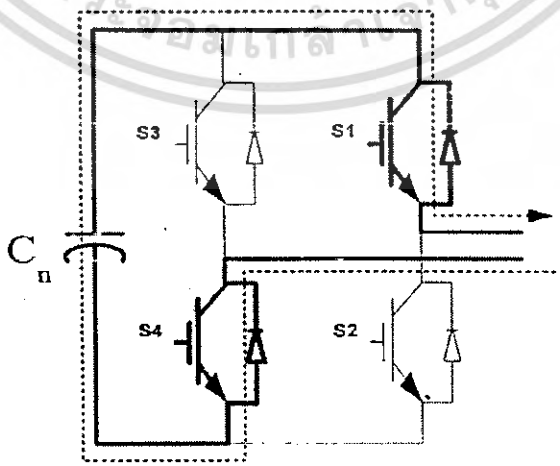
โดยที่ n คือ จำนวนชั้น

รูปคลื่นเอาท์พุทของอินเวอร์เตอร์หลายระดับแบบแคสเคด ดังในรูปที่ 2.3 มีลักษณะใกล้เคียงรูปไซน์ และรูปคลื่นเอาท์พุทของอินเวอร์เตอร์เอชบริดจ์แต่ละเซลล์ เป็นลักษณะควอเตอร์สมมาตร (Quarter-Symmetries) ทำให้ไม่มีส่วนประกอบของฮาร์มอนิกส์ความถี่คี่ และยังสามารถลดค่าของ THD ได้ด้วยการหามุมสวิตช์จากการคำนวนแบบนิวเมอริคอล

2.2.3 การทำงานของ Full-bridge IGBT ที่ระดับแรงดันช่วงต่าง ๆ

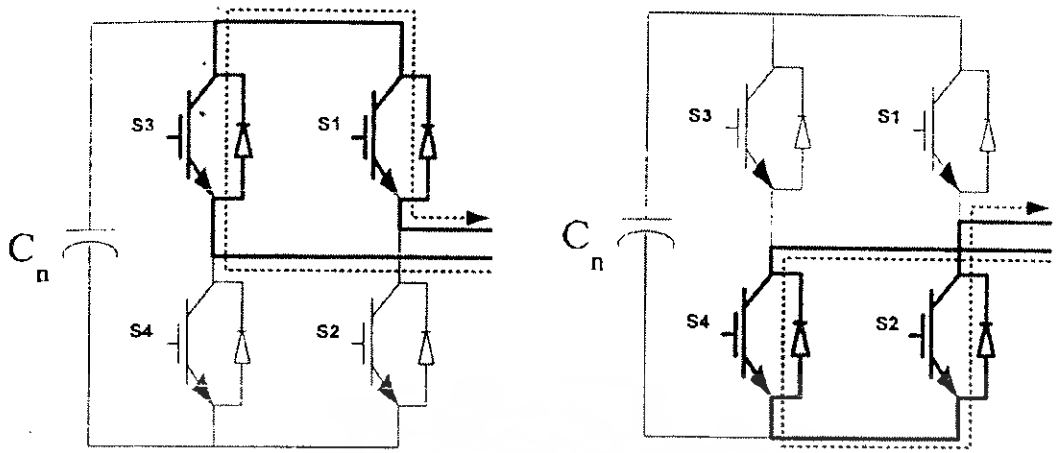
การทำงานของอินเวอร์เตอร์จะแบ่งช่วงระดับแรงดันของอินเวอร์เตอร์เป็น 3 ช่วง คือ ช่วงแรงดันเป็นบวก ช่วงแรงดันเป็นศูนย์ และช่วงแรงดันเป็นลบ

2.2.3.1 ช่วงแรงดันเป็นบวก การทำงานในช่วงนี้ S1, S4 จะปิดวงจรและ S2, S3 จะเปิดวงจร ทำให้เกิดแรงดันเอาท์พุทเป็นบวกจากตัวเก็บประจุดังรูปที่ 2.4



รูปที่ 2.4 ลักษณะการทำงานของ IGBT ที่แรงดันช่วงบวก

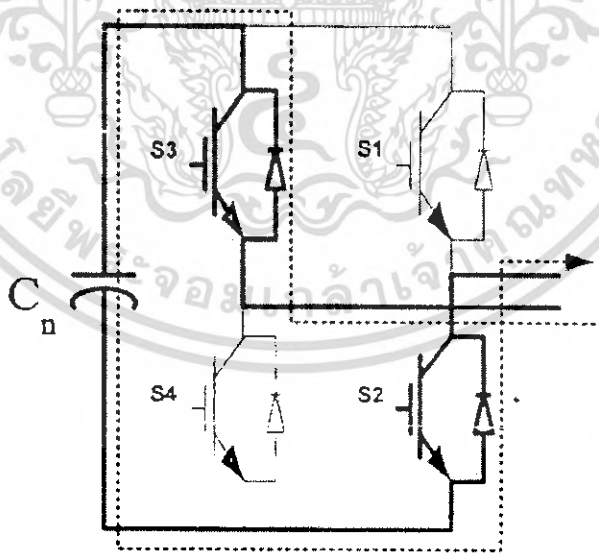
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 ลักษณะการทำงานของ IGBT ที่แรงดันช่วงศูนย์

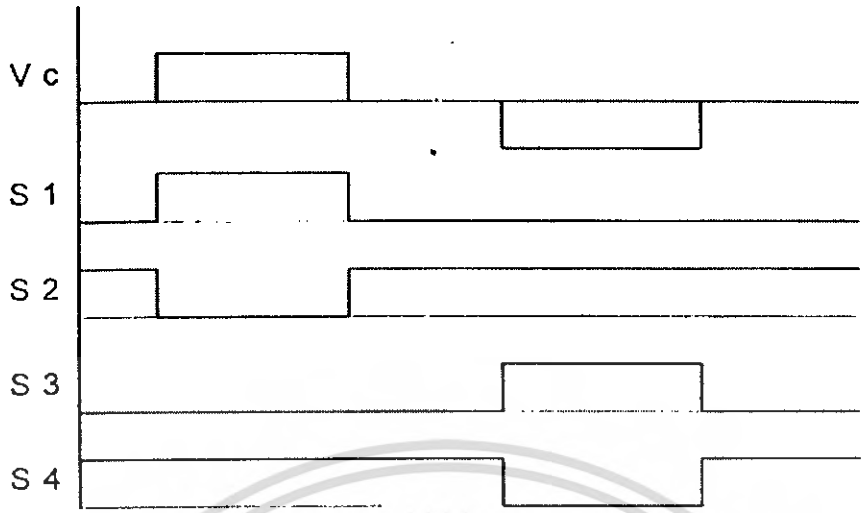
2.2.3.2 ช่วงแรงดันเป็นศูนย์ การทำงานในช่วงนี้ S2, S4 จะปิดวงจรและ S1, S3 จะเปิดวงจรหรือในอีกลักษณะหนึ่งคือให้ S2, S4 จะเปิดวงจรและ S1, S3 จะปิดวงจร ทำให้เกิดแรงดันเอาท์พุทเป็นศูนย์ ดังรูปที่ 2.5

2.2.3.3 ช่วงแรงดันเป็นลบ การทำงานในช่วงนี้ S2, S3 จะปิดวงจรและ S1, S4 จะเปิดวงจร ทำให้เกิดแรงดันเอาท์พุทเป็นลบจากตัวเก็บประจุ ดังรูปที่ 2.6



รูปที่ 2.6 ลักษณะการทำงานของ IGBT ที่แรงดันเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 การเปรียบเทียบรูปสัญญาณของ S1, S2, S3 และ S4

จากลักษณะการทำงานของ IGBT ในรูปที่ 2.4, 2.5 และ 2.6 สามารถนำมาแสดงรูปสัญญาณของ S1, S2, S3 และ S4 ได้ดังรูปที่ 2.7

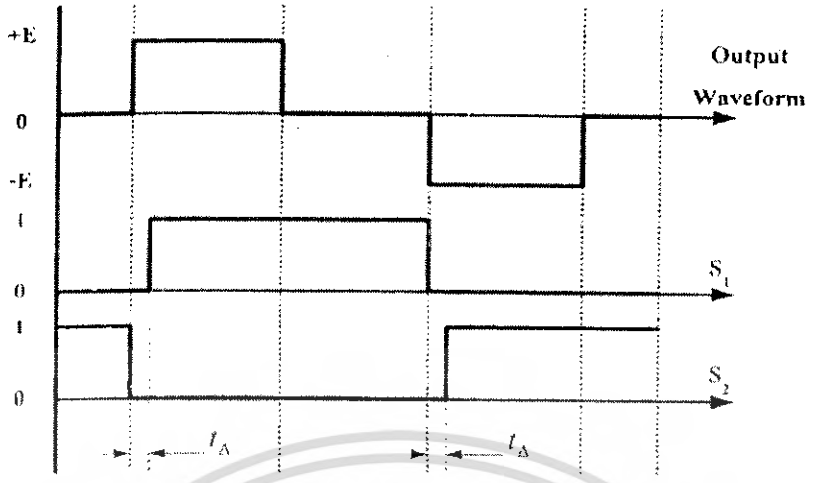
จากรูปสัญญาณทั้ง 4 สัญญาณที่ช่วงระดับแรงดันต่างๆ ในรูปที่ 2.7 จะแบ่งการทำงานการเปลี่ยนแปลงของสัญญาณทริก IGBT เป็น 2 คู่ที่มีการเปลี่ยนแปลงพร้อมกัน คือ S1 กับ S2 และ S3 กับ S4 การทำงานของแต่ละคู่จะเป็นในลักษณะเป็นอินเวอร์สซึ่งกันและกัน ดังนั้นการสร้างสัญญาณที่จะมาทริก IGBT นั้นจะมีสัญญาณหลักแค่ 2 สัญญาณเท่านั้น คือ S1 และ S3 แล้วจึงนำมาสร้างเป็น S2 และ S4 ได้ดังสมการต่อไปนี้

$$S2 = \overline{S1},\ S4 = \overline{S3} \tag{2.2}$$

2.2.4 เวลาประวิง (Dead Time)

อีกส่วนหนึ่งที่ต้องสนใจสำหรับสัญญาณเกท คือ เวลาประวิง จากหัวข้อ 2.2.3 สวิตช์ที่ใช้จะเป็นแบบอุดมคติ จึงยอมให้สวิตช์ 2 ตัวในกิ่งเดียวกัน สามารถเปลี่ยนแปลงการทำงานแบบทันทีทันใดได้ในทิศทางที่กลับกัน แต่ในความเป็นจริงแล้วนั้น อุปกรณ์สวิตช์จะต้องใช้เวลาส่วนหนึ่ง เพื่อทำให้เกิดการหยุดทำงานที่สมบูรณ์ ซึ่งอุปกรณ์สวิตช์แต่ละประเภทจะใช้เวลาไม่เท่ากัน ดังนั้น เพื่อหลีกเลี่ยงการลัดวงจรจากคุณสมบัติดังกล่าวของสวิตช์ จึงจำเป็นต้องหน่วงเวลาด้วยเวลาประวิง, t_Δ ให้กับสวิตช์ในกิ่งเดียวกันเมื่อทำงานกลับสถานะ ดังกล่าวในรูปที่ 2.8 ซึ่งแสดงสัญญาณเกทของสวิตช์ S_1 และ S_2 ในกิ่งเดียวกันของอินเวอร์เตอร์

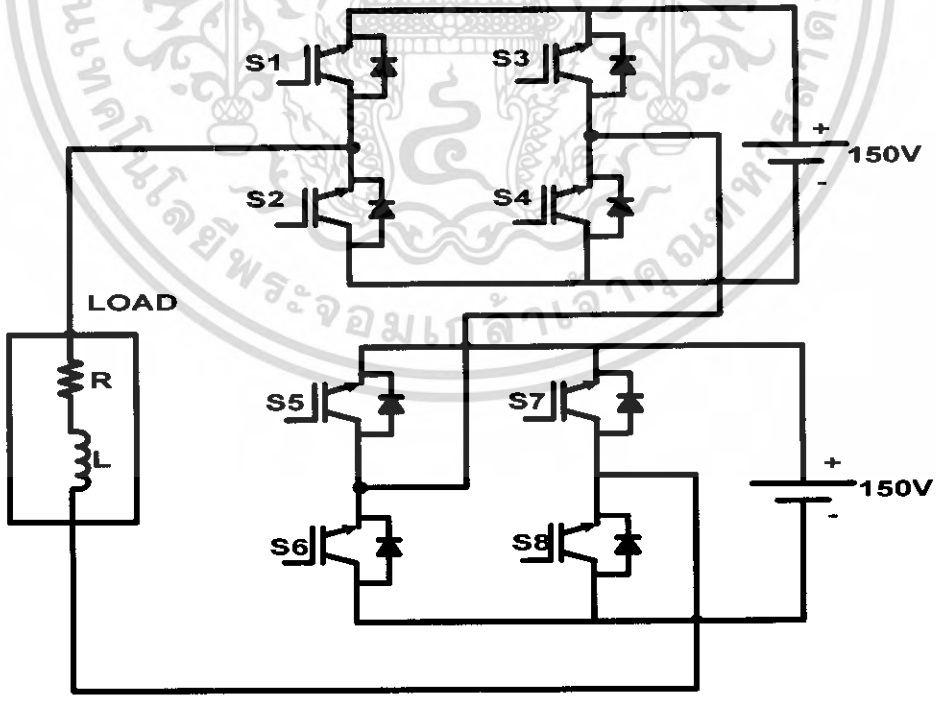
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 เวลาประวิงในสัญญาณเกท

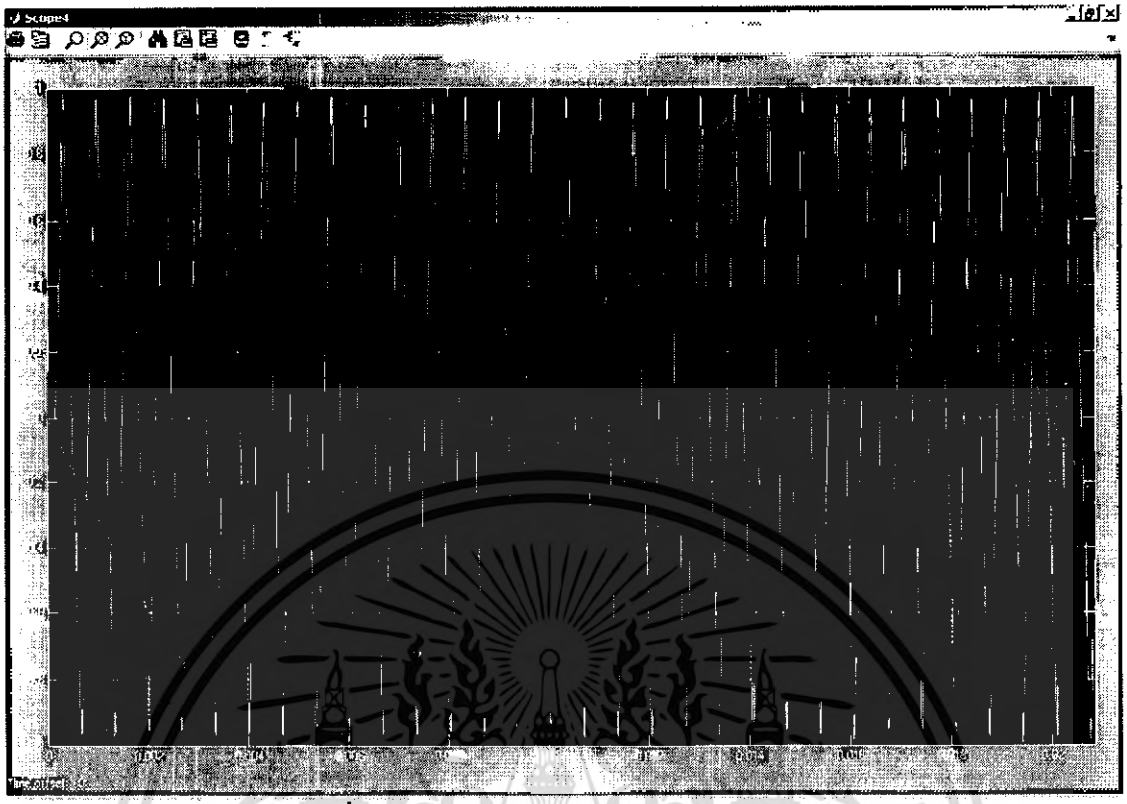
2.3 อินเวอร์เตอร์ชนิดคาสเคด 5 ระดับ

ในการเริ่มต้นการจำลองสร้างแรงดันจากอินเวอร์เตอร์หลายระดับชนิดคาสเคดจะเป็นแบบ 5 ระดับ เนื่องจากงบประมาณอันจำกัดในการสร้างต้นแบบที่ต้องสอดคล้องกับการจำลอง โดยการใช้จำนวนชั้นของการสร้างแรงดัน 2 ชั้น โดยเราจะได้จำนวนชั้นของแรงดันตามสมการ 2.1 ซึ่งถึงแม้จะก่อให้เกิดฮาร์มอนิกส์อยู่บ้าง แต่ก็ยังอยู่ในระดับที่พอจะรับได้



รูปที่ 2.9 วงจรการต่อของอินเวอร์เตอร์ชนิดคาสเคด 5 ระดับ

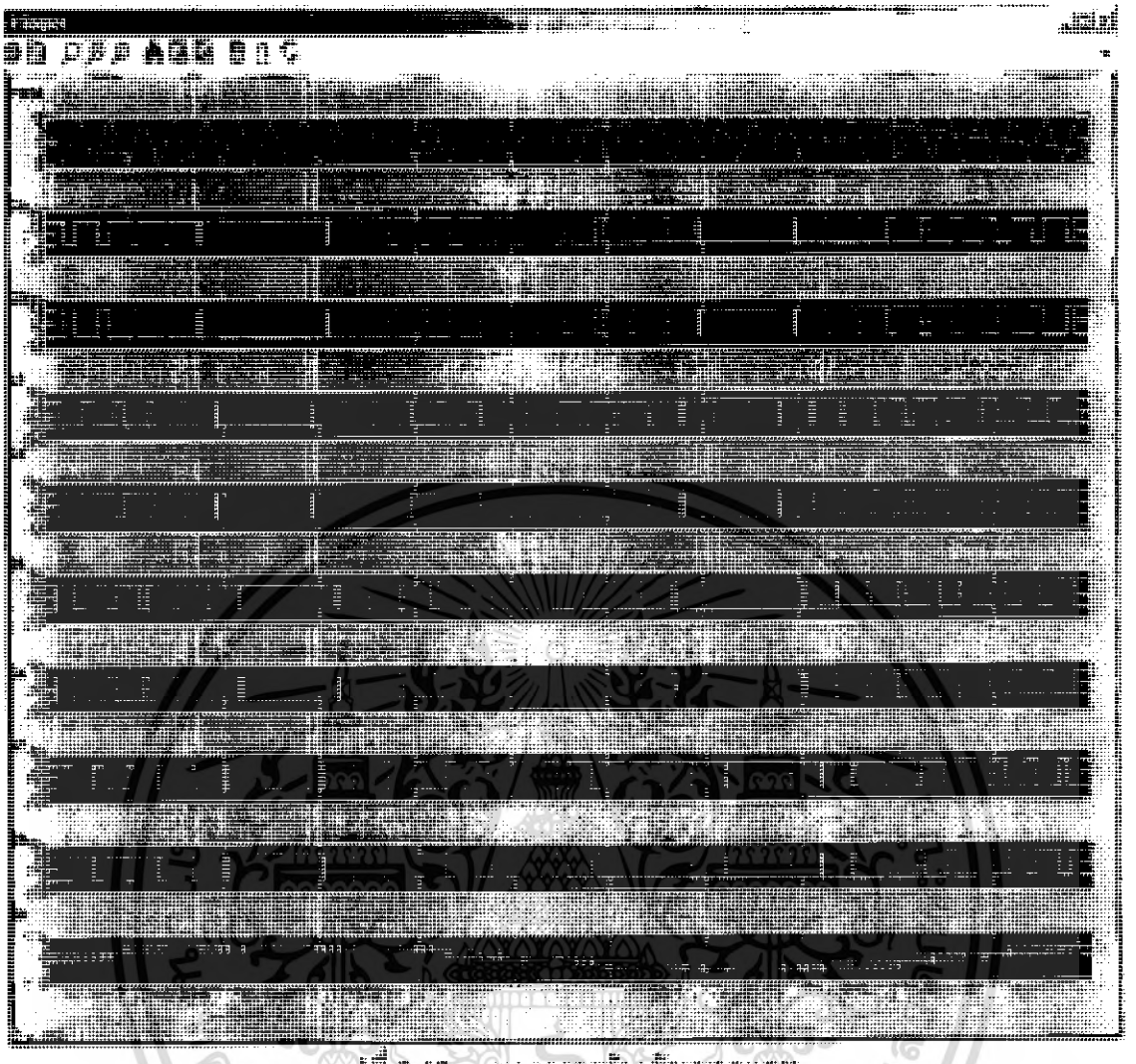
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 การสร้างสัญญาณเกทด้วย SPWM

รูปที่ 2.11 รายละเอียดของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 แสดงการสร้างสัญญาณเกต

2.4 การป้องกันไอจีบีที (IGBT Protection)

เราสามารถแบ่งการป้องกันอุปกรณ์สวิตช์จากการเกิดฟอล์ด (fault) ออกเป็น 2 ประเภท คือ

2.4.1 การป้องกันอุปกรณ์สวิตช์ที่เกิดจากฟอล์ต (fault) แบบควบคุมได้

การป้องกันแบบควบคุมได้นั้นเป็นการป้องกันที่เราสามารถควบคุมหรือป้องกันระงับเหตุที่เกิดจากความผิดปรกติได้ซึ่งเราจะพิจารณาที่ตัวไอจีบีที โดยความผิดปกติที่เกิดจากไอจีบีทีนั้นจะเกิดจากสภาวะการเกิดแลตช์ ซึ่งเกิดจากโฮลบางส่วนที่ไหลข้ามบริเวณ n^- เข้าสู่บริเวณชั้นบอดี้ p โดยตรงผลของกระแสโฮลนี้ทำให้เกิด แรงดันตกคร่อมความต้านทานข้างเคียง (Interal resistance) ซึ่งสภาวะการเกิดแลตช์นั้นจะแบ่งออกเป็น 2 ส่วนหลักๆด้วยกัน คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1.1 การแลตช์ในโหมดสแตติก เกิดขึ้นเมื่อกระแสที่ไหลในสภาวะนำกระแส มีค่าเกิน I_{dm}

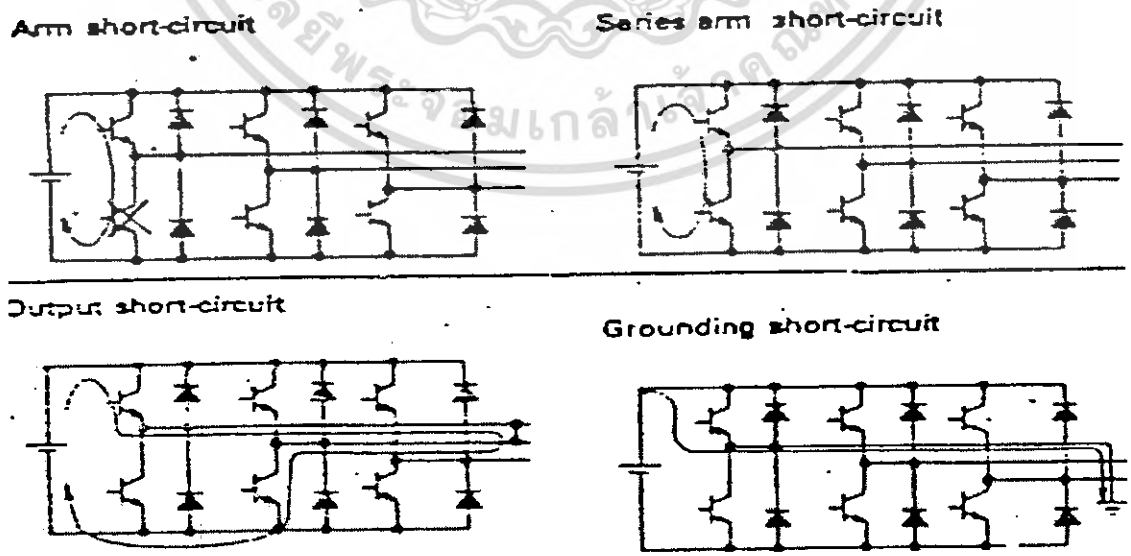
2.4.1.2 การแลตช์ในโหมดไดนามิก เกิดขึ้นเมื่อมีการเปลี่ยนการทำงาน จากสภาวะนำกระแสเข้าสู่สภาวะหยุดนำกระแส

โดยเราสามารถป้องกันด้วยการออกแบบการแลตช์ใน โหมดสแตดิกโดยไม่ให้กระแสที่ไหลในโหลดไหลเกินค่ากระแส I_{dm} และป้องกันการแลตช์ในโหมดไดนามิกโดยการหน่วงเวลาขณะหยุดนำกระแสให้ยาวนานขึ้น โดยเพิ่มความต้านทานภายนอกอนุกรมเข้ากับขาเกตของ IGBT

2.4.2 การป้องกันอุปกรณ์สวิตช์ที่เกิดจากฟอล์ต (fault) แบบควบคุมไม่ได้

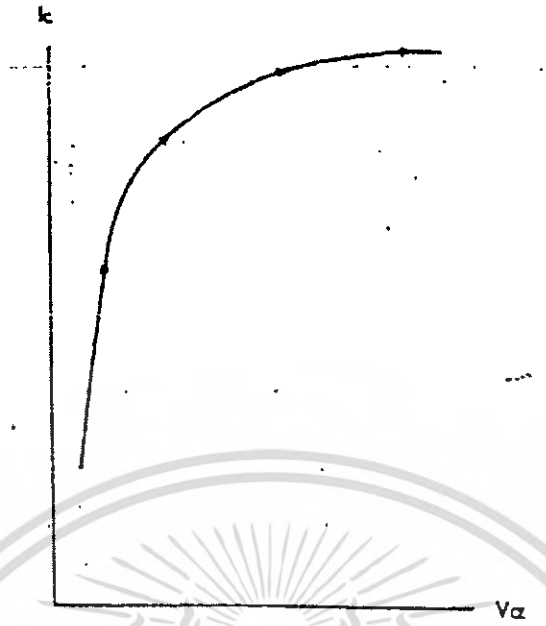
ซึ่งเกิดจากกระแสเกินเนื่องจากการลัดวงจร โดยกระแสคอลเลคเตอร์จะต้องถูกตัดภายในเวลา 10 μsec หลังจากที่มีการลัดวงจรเกิดขึ้นซึ่งสาเหตุที่ทำให้เกิดกระแสเกินเป็นดังต่อไปนี้

- อาร์มช็อดเซอร์กิต (Arm short circuit) เนื่องจากอุปกรณ์สวิทชิ่งหรือไดโอดเสียหาย
- ซีรี่อาร์มช็อดเซอร์กิต(Serries Arm short circuit) เกิดจากความผิดพลาดของสัญญาณควบคุมอาจเนื่องมาจากการถูกรบกวน
- การลัดวงจรภายนอก (Out put short Circuit) เนื่องมาจากความผิดพลาดในการเดินสายหรือฉนวนเสื่อม
- การลัดวงจรลงดิน(Ground short Circuit) เนื่องจากความผิดพลาดในการเดินสายหรือฉนวนเสื่อม



รูปที่ 2.13 ประเภทของการเกิด short-circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 กราฟกระแสคอลเลคเตอร์เทียบกับความต่างศักย์ตกคร่อมคอลเลคเตอร์ และอีมิทเตอร์ของไอจีบีที

โดยการทำงานของ ไอจีบีที เมื่อเกิดการลัดวงจรจะทำให้กระแสคอลเลคเตอร์ของ ไอจีบีทีเพิ่มขึ้น เมื่อกระแสเกินค่าวิกฤติ ความต่างศักย์ตกคร่อมคอลเลคเตอร์และอีมิทเตอร์จะเพิ่มขึ้นอย่างรวดเร็ว โดยกราฟกระแสคอลเลคเตอร์ เทียบกับ ความต่างศักย์ตกคร่อมคอลเลคเตอร์และอีมิทเตอร์ ของ ไอจีบีทีจะเป็นดังรูปที่ 2.11

จากคุณลักษณะดังกล่าว กระแสคอลเลคเตอร์ ขณะลัดวงจรจะถูก จำกัดอยู่ที่ค่าค่าหนึ่ง เนื่องจาดมีความต่างศักย์และกระแสจำนวนมากเกิดขึ้นพร้อมกัน ทำให้ต้องสามารถตัดวงจรออกโดยเร็วที่สุด มิฉะนั้นจะเกิด สภาวะโหลดเกินได้จนไอจีบีทีทนไม่ได้

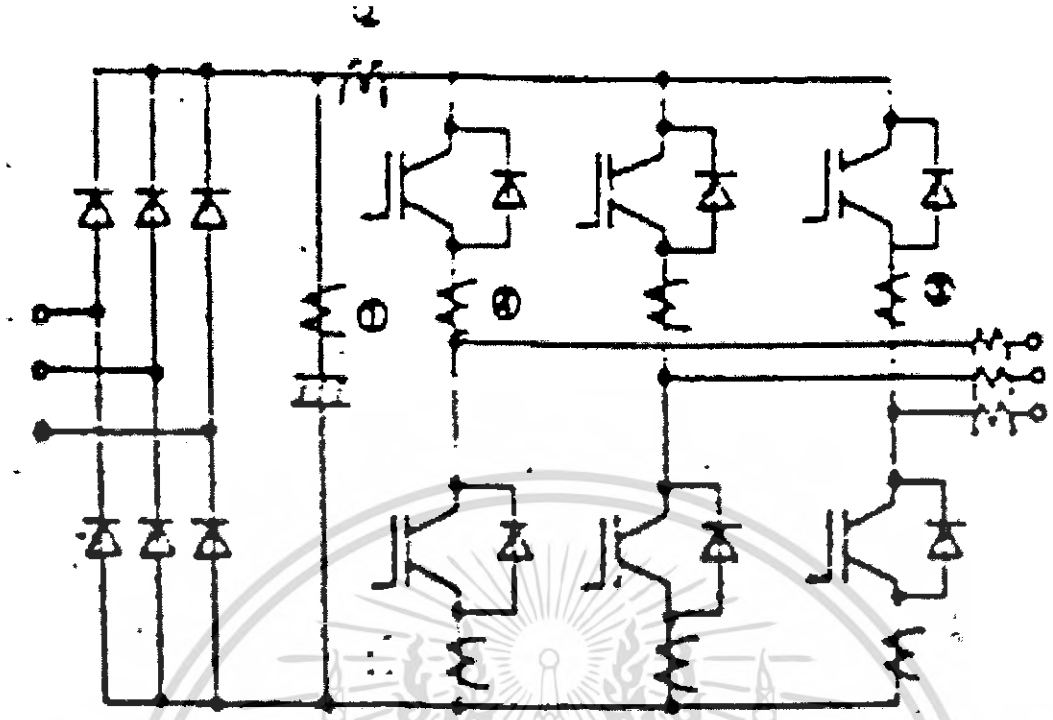
ซึ่งเราสามารถป้องกันโดยการตรวจจับ โดยเราจะแบ่งการตรวจจับออกเป็น 2 วิธีด้วยกัน คือ

2.4.2.1 การป้องกันโดยการตรวจจับกระแส

เราจะใช้หม้อแปลงในการตรวจจับ โดยจะทำการวางตำแหน่งการตรวจจับการลัดวงจรดังรูป

ในการวางตำแหน่งตรวจจับ จะแสดงดังตารางที่2 โดยตารางจะแสดงตำแหน่งและประเภทของหม้อแปลงที่ใช้ในแต่ละตำแหน่งนั้น ซึ่งตำแหน่งในการวางหม้อแปลงจะส่งผลต่อความสามารถในการตรวจจับการลัดวงจรประเภทต่างๆด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 วิธีวางตำแหน่งของอุปกรณ์ป้องกันโดยการตรวจจับกระแส

ตารางที่ 2.1 คุณลักษณะและแสดงความสามารถในการตรวจจับชนิดของการลัดวงจร

ตำแหน่ง	คุณลักษณะ	ชนิดของการลัดวงจร
1. ต่ออนุกรมกับตัวเก็บประจุที่เป็นตัวกรองความถี่	-ใช้หม้อแปลงกระแสสลับได้ -มีความแม่นยำต่ำ	ได้ทั้ง4ชนิด
2.ด้านอินพุทของอินเวอร์เดอร์	-ใช้หม้อแปลงกระแสตรงได้ -มีความแม่นยำต่ำ	ได้ทั้ง4ชนิด
3.เอ้าท์พุทของอินเวอร์เดอร์	-ใช้หม้อแปลงกระแสสลับที่ใช้กับความถี่สูงได้ -มีความแม่นยำสูง	ลัดวงจรภายนอกลัดวงจรลงดิน
4.ต่ออนุกรมกับอุปกรณ์	-ต้องใช้หม้อแปลงไฟฟ้ากระแสตรง -มีความแม่นยำสูง	ได้ทั้ง4ชนิด

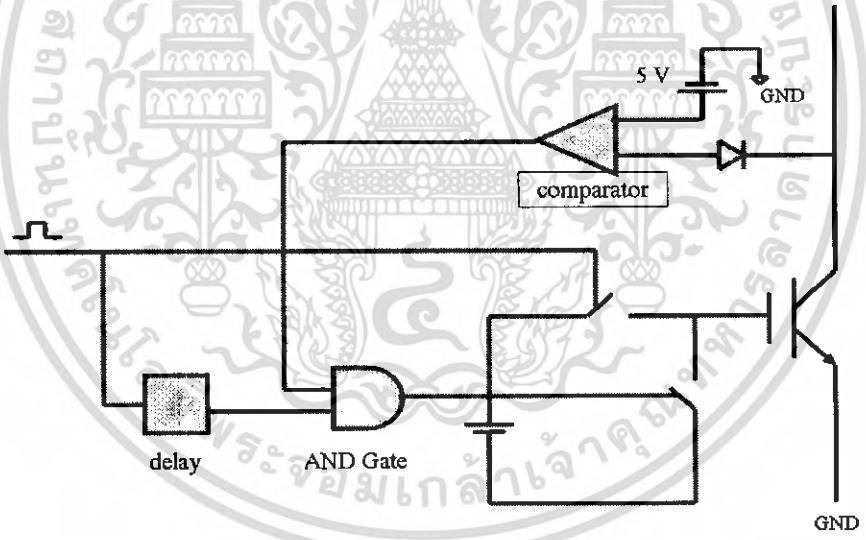
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งวิธีการป้องกันโดยการตรวจจับด้วยกระแสนี้จะไม่เป็นที่นิยม เนื่องจาก อุปกรณ์ที่ใช้ต้องทนกระแสที่สูงและต้องสามารถตรวจจับกระแสที่มีความเร็วมากกว่า10 μsec เนื่องจากการลัดวงจร โดยกระแสคอลเลคเตอร์นั้นจะต้องถูกตัดภายในเวลา 10 μsec ซึ่งทำให้อุปกรณ์ชนิดนี้มีราคาแพง

2.4.2.2 การป้องกันโดยการตรวจจับแรงดัน

โดยวิธีการนี้จะแบ่งออกเป็น

- การใช้ตัวต้านทานในการตรวจจับแรงดัน ซึ่งเราทำโดยการต่อตัวต้านทานอนุกรมเข้าไปและทำการวัดค่าแรงดันที่ตกคร่อมตัวต้านทาน โดยวิธีนี้จะไม่เป็นที่นิยมใช้มากนักเนื่องจากจะเกิดความสูญเสียเนื่องจากมีแรงดันตกคร่อมตัวต้านทาน และมีปัญหาเรื่องการOscillate
- การใช้ไอจีบีทีสำเร็จรูปที่มีตัวตรวจจับภายใน แต่วิธีการนี้จะมีข้อจำกัดคือไอจีบีทีมีพิกัดที่ต่ำไม่สามารถใช้กับพิกัดสูงๆได้
- การใช้ไดโอดเป็นตัวตรวจจับ วิธีนี้เป็นวิธีที่นิยมใช้โดยจะอธิบายการทำงานในหัวข้อต่อไป



รูปที่ 2.16 ตัวอย่างวงจรป้องกันโดยใช้วิธีการตรวจจับแรงดัน

เมื่อมีสัญญาณขับเข้ามาขาเกทของไอจีบีที พร้อมกับมีแรงดันตกคร่อมที่ขาคอลเลคเตอร์และอีมิทเตอร์ จำทำให้เกิดกระแสไหลได้ ซึ่งในรูป 2.13 จะใช้ไดโอดในการตรวจจับแรงดันที่ผิดปกติไปซึ่งเราจะนำมาเปรียบเทียบโดยผ่านคอมพาราเตอร์ โดยเมื่อแรงดันที่นำมาเปรียบเทียบนั้นมากกว่าแรดดันอ้างอิงจะทำให้คอมพาราเตอร์ส่งสัญญาณไปสั่งดัดวงจรทันที ซึ่งการตรวจจับด้วยวิธีนี้สามารถทำได้ง่ายกว่าการตรวจจับกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

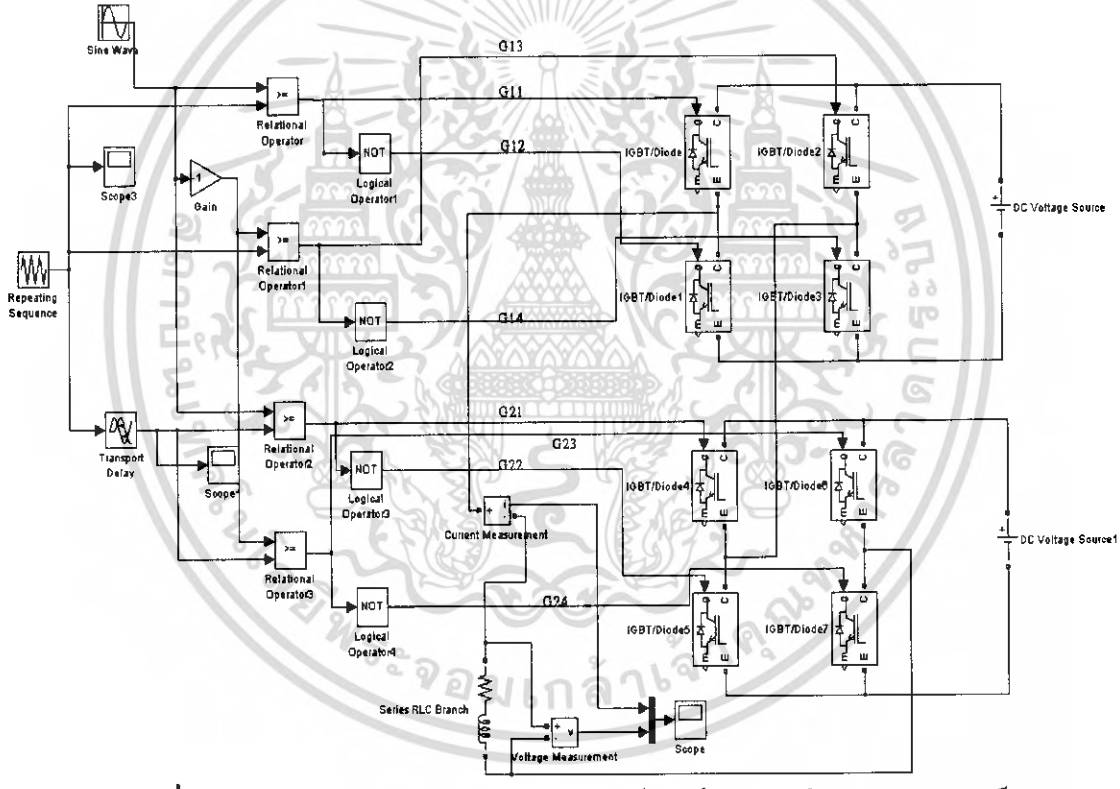
บทที่ 3
การจำลองและการสร้างวงจรจริง

3.1 การจำลองการทำงานของวงจรอินเวอร์เตอร์หลายระดับชนิดเอชบริดจ์

ทำการจำลองวงจรการทำงานของอินเวอร์เดอร์หลายระดับชนิดเอชบริดจ์ ด้วยโปรแกรม MATLAB ดังรูป 3.1 ซึ่งวงจรในรูปนั้นเป็นการจำลองวงจรอินเวอร์เดอร์ 5 ระดับชนิดเอชบริดจ์ โดยวงจรอินเวอร์เดอร์หลายระดับที่ทำการจำลองขึ้น ประกอบด้วย 2 วงจรสำคัญ คือ

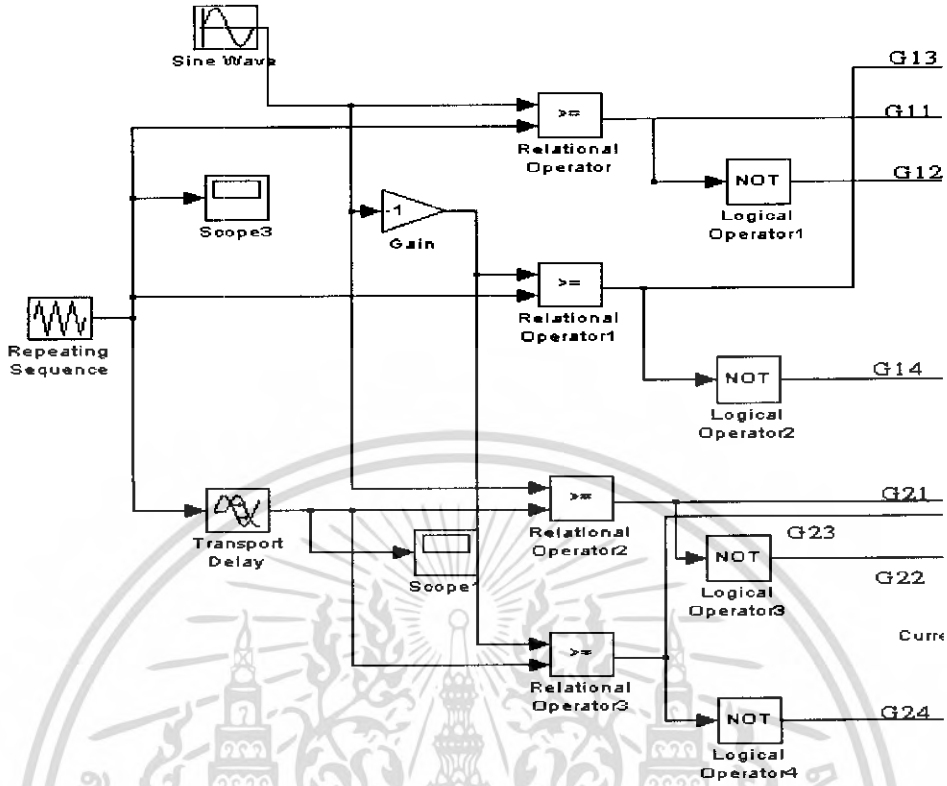
3.1.1 วงจรควบคุม (Control Circuit)

3.1.2 วงจรกำลัง (Power Circuit)

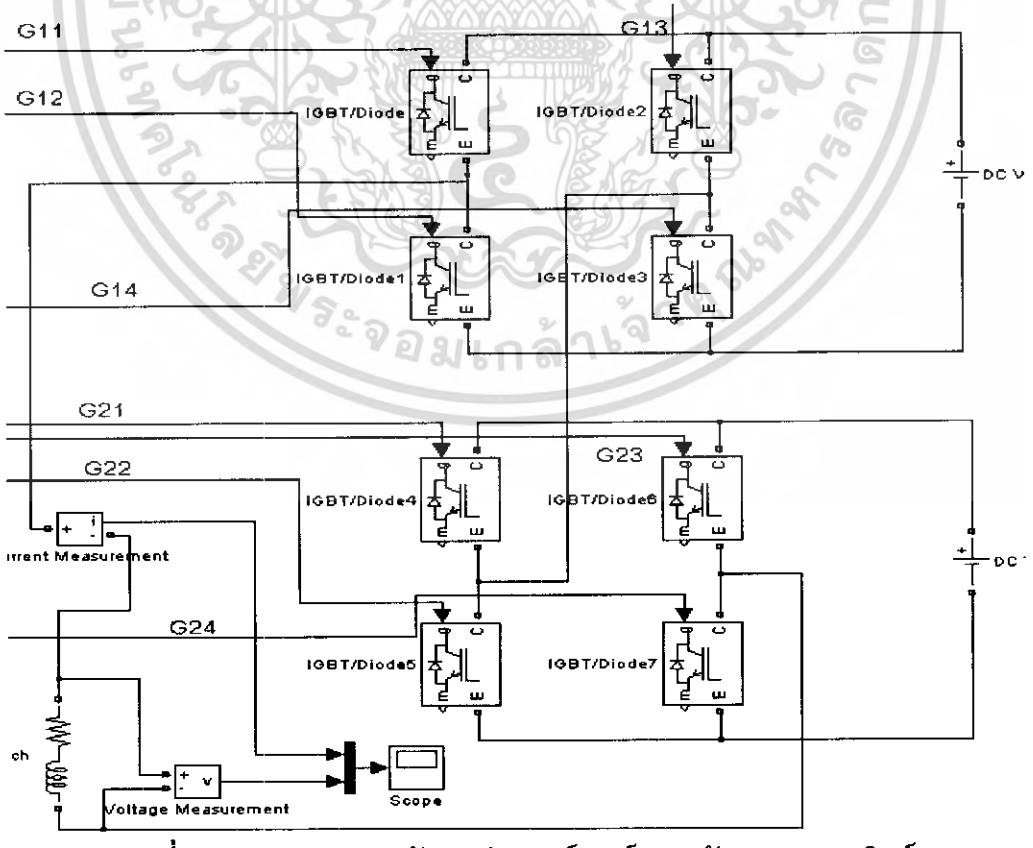


รูปที่ 3.1 จำลองวงจรการทำงานของอินเวอร์เดอร์หลายระดับชนิดเอชบริดจ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 จำลองวงจรควบคุมการทำงานของวงจรอินเวอร์เตอร์หลายระดับ



รูปที่ 3.3 จำลองวงจรกำลังของอินเวอร์เตอร์ 5 ระดับ แบบเอชบริดจ์

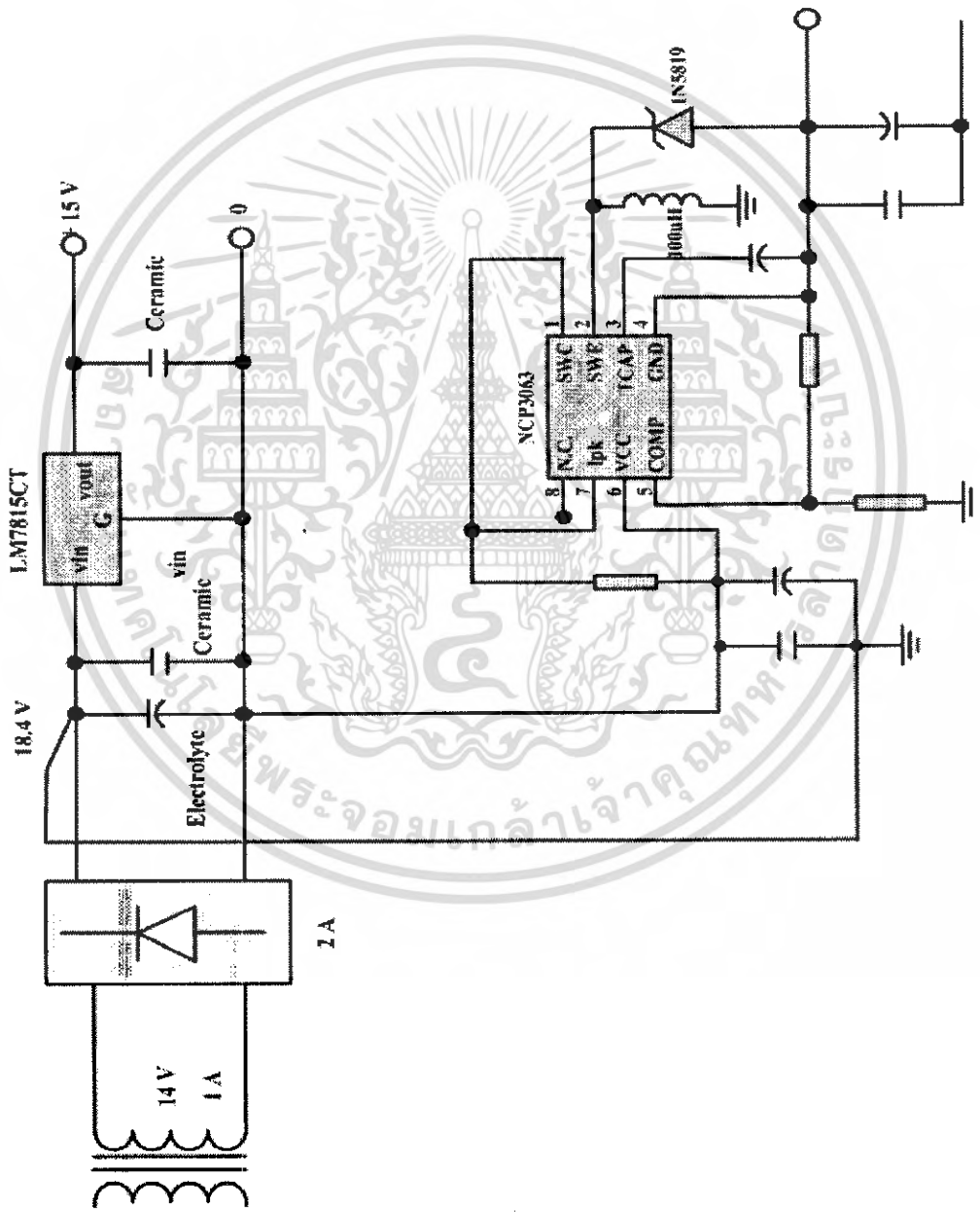
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การสร้างวงจรอินเวอร์เตอร์ 5 ระดับแบบเอชบริดจ์

ส่วนประกอบของวงจรอินเวอร์เตอร์ 5 ระดับแบบเอชบริดจ์ ที่ได้จัดทำขึ้นจริงนั้น ประกอบด้วยส่วนต่างๆ ดังนี้

3.2.1 วงจรสร้างไฟฟ้ากระแสตรง 15 โวลต์ และ -5 โวลต์

ในการทำการทดลองนี้ต้องการไฟฟ้ากระแสตรง 2 ระดับ โดยทั้ง 2 ระดับนั้นจะนำไปจ่ายให้กับไอซีที่นำมาใช้ในการขับเกต ซึ่งอาศัยการออกแบบโดยใช้โปรแกรม Protel99 ซึ่งมีวงจรดังรูป 3.4



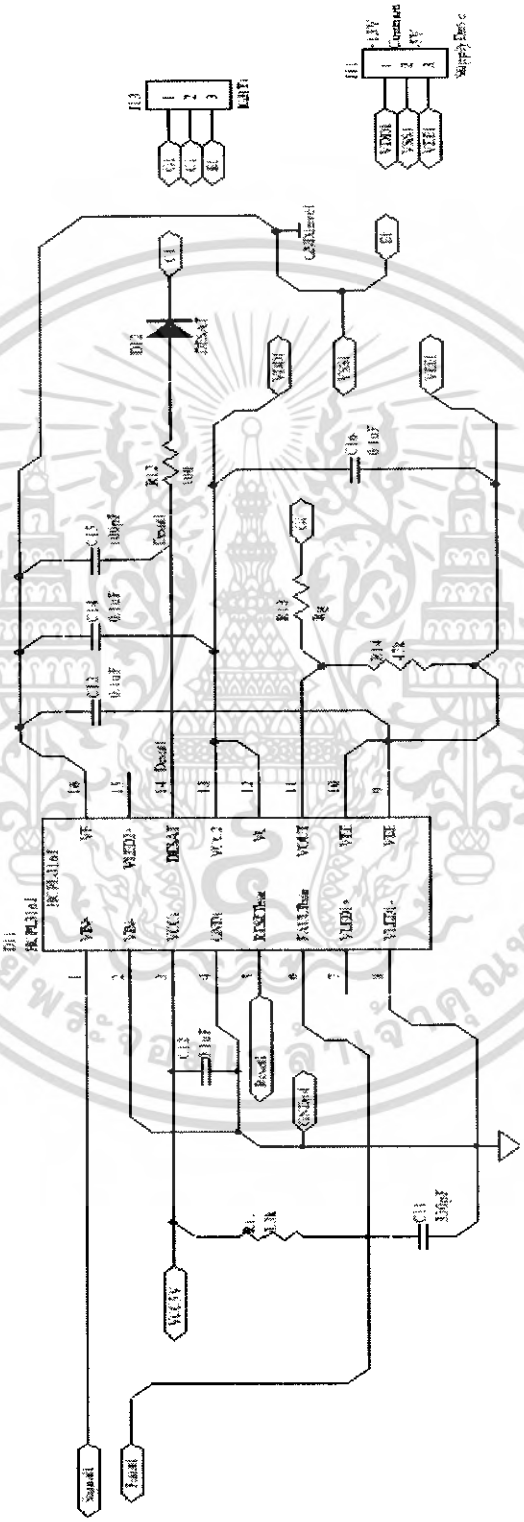
72645

รูปที่ 3.4 วงจรสร้างไฟฟ้ากระแสตรง 15 โวลต์ และ -5 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

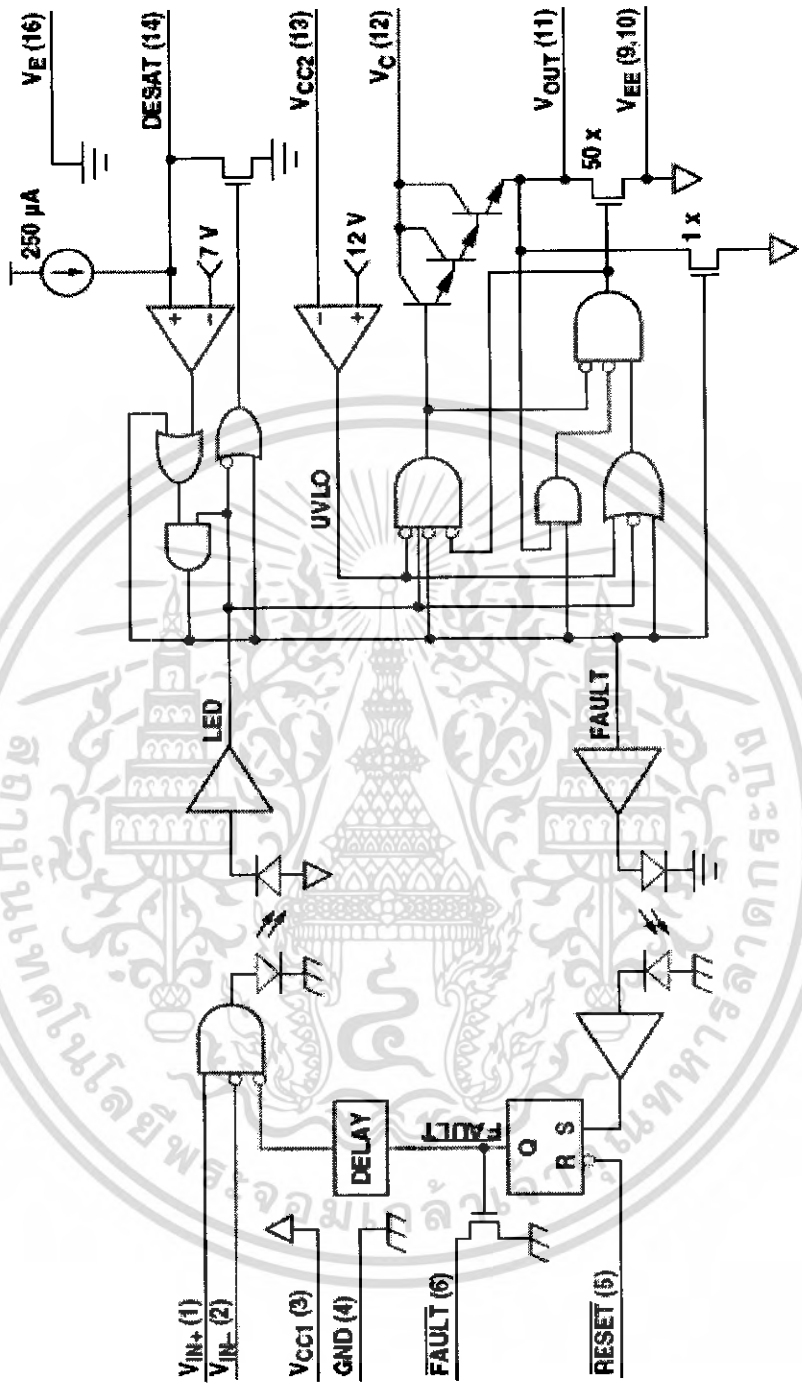
3.2.2 วงจรขับเกท

วงจรขับเกตที่นำมาใช้ในการทดลองครั้งนี้ได้นำไอซี HCPL -316J ที่มีวงจรป้องกันในตัวมาใช้เป็นไอซีในการขับเกท ทำให้สามารถตรวจสอบการเกิดฟอล์ต (fault) ในอุปกรณ์สวิตช์ที่ตำแหน่งต่างๆได้ ซึ่งวงจรขับเกทนี้ได้ทำขึ้นด้วยโปรแกรม Protel99



รูปที่ 3.5 วงจรขับเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจรภายในของไอซี HCPL-316J

3.2.3 ไอจีบีที (IGBT) และวงจรจ่ายไฟฟ้ากระแสตรง (DC link)

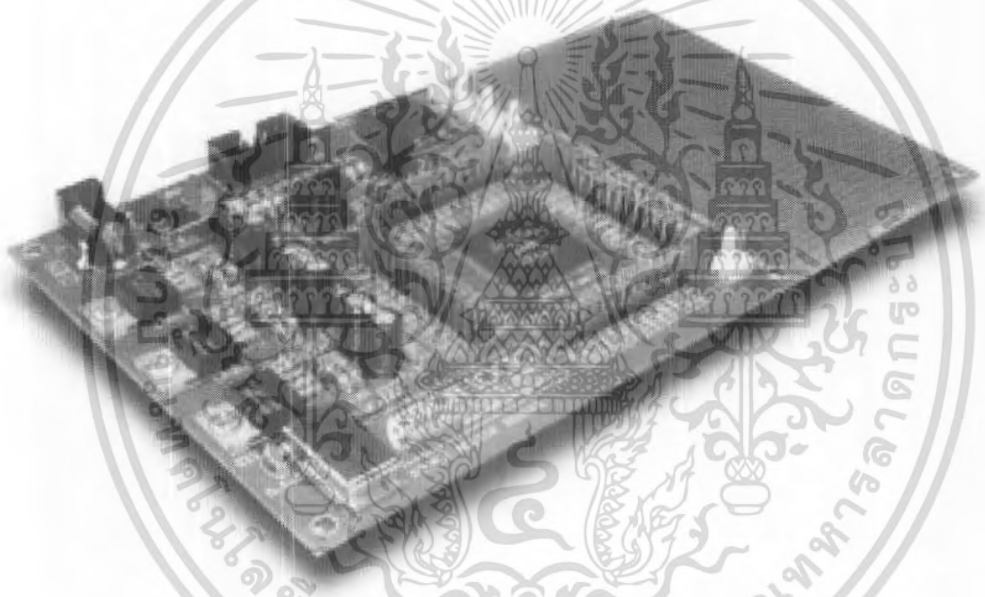
การทดสอบนี้ใช้ IGBT เบอร์ G4PH50UD ซึ่งเป็นไอจีบีทีที่มีไดโอดอยู่ในตัว และวงจรจ่ายไฟฟ้ากระแสตรง โดยในการทดลองนี้จะใช้แหล่งจ่ายไฟฟ้ากรแสตรงที่แรงดัน 150 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 วงจรสร้างสัญญาณเกท

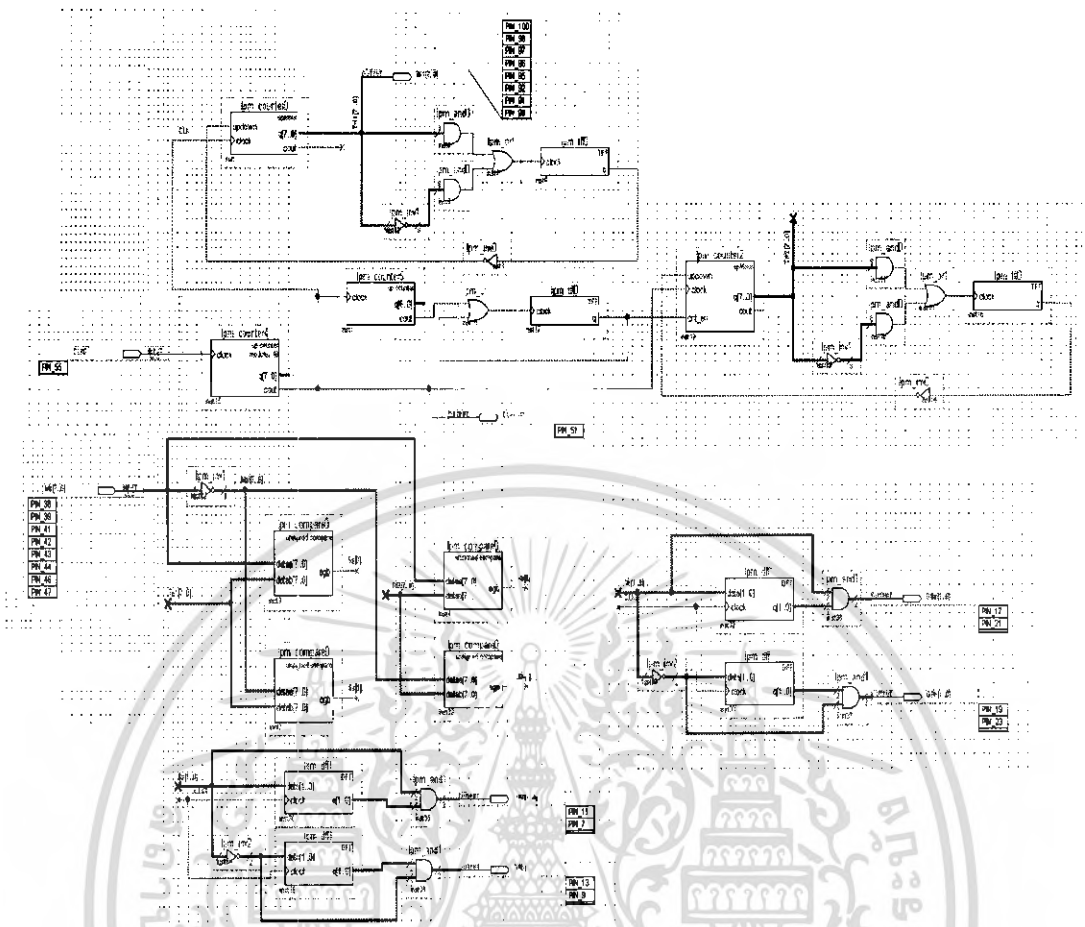
FPGA เป็นชุดสร้างสัญญาณนาฬิกา ด้วยตัวเองโดยทำการม้อดคล็อกในตัวเองด้วย ค่า 48 แล้วนำสัญญาณที่ได้ไปเป็นนาฬิกาให้ตัวสร้างสัญญาณสามเหลี่ยม ซึ่งในการคำนวณหาว่าจะต้องใช้ MOD เท่าไหร่นั้น เราสามารถคำนวณได้ดังนี้

เนื่องจากตัวกำเนิดสัญญาณนาฬิกากำเนิดสัญญาณความถี่ ที่ 18.432 MHz ในการสร้างสัญญาณเราใช้ สัญญาณ 8 bit ซึ่งมีค่าตั้งแต่ 0-255 จากนั้นเราเริ่มทำการนับค่าตั้งแต่ 0 ขึ้นไปถึง 255 และ ทำการนับลงจาก 255 ถึง 0

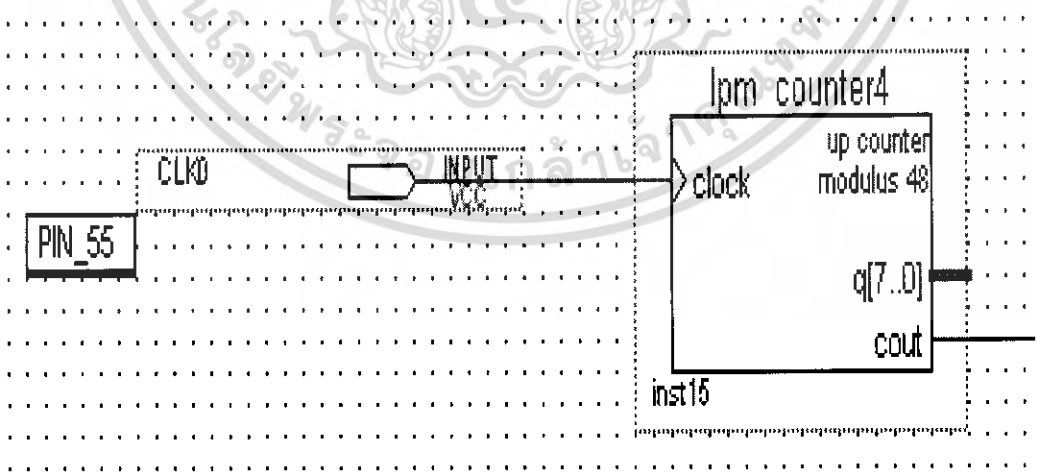


รูปที่ 3.7 บอร์ดเอฟพีจีเอ (FPGA)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

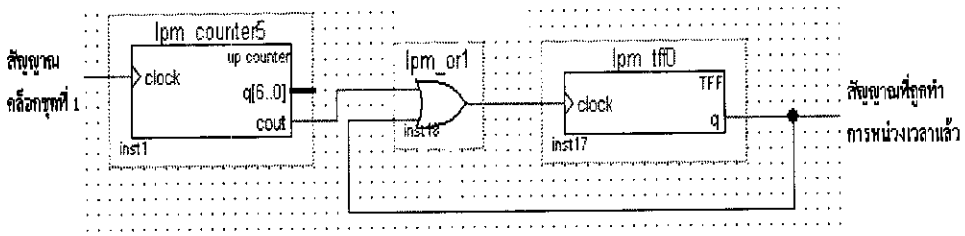


รูป 3.8 วงจรสร้างสัญญาณขับเกทของไอจีบีทีโดยใช้ FPGA



รูปที่ 3.9 วงจรม๊อด (Mod) สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

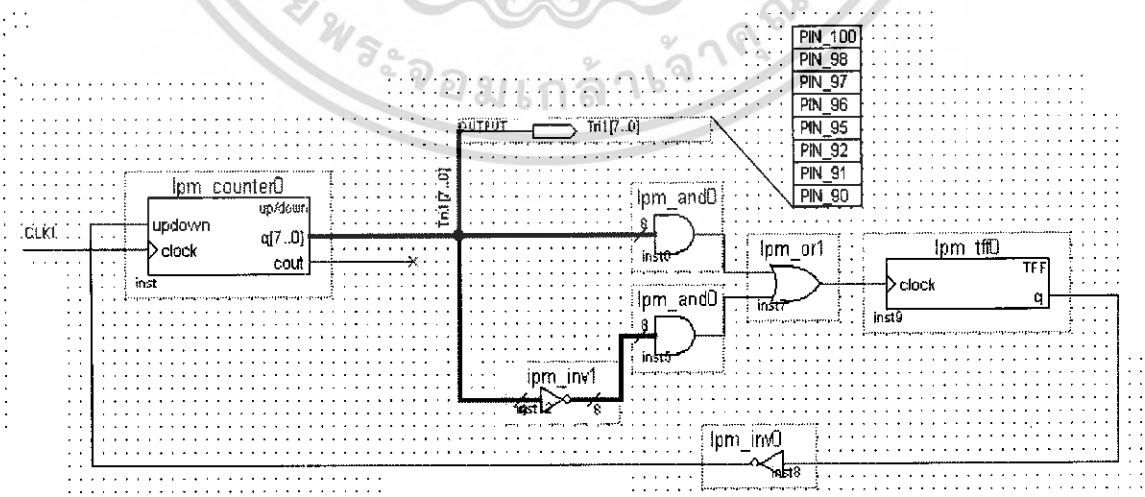


รูปที่ 3.10 วงจรหน่วงเวลา

ซึ่งช่วงระยะเวลาในการนับจากขึ้นไปแล้วลงมาครบ1รอบ จะได้ 1 คาบ ฉะนั้นจะใช้ 512 ครั้ง ของ 18.432 MHz ในการสร้าง ทำให้ความถี่ที่ได้มีค่าเท่ากับ 18.432 MHz หารด้วย 512 ได้ความถี่เท่ากับ 36 kHz แต่ความถี่ที่เราต้องการคือ 750 Hz ดังนั้น ความถี่ที่เราต้องทำการ MOD จึงเท่ากับ 36000 หารด้วย 750 ได้เท่ากับ 48 ซึ่งเราสามารถทำเป็นสูตรได้ดังนี้

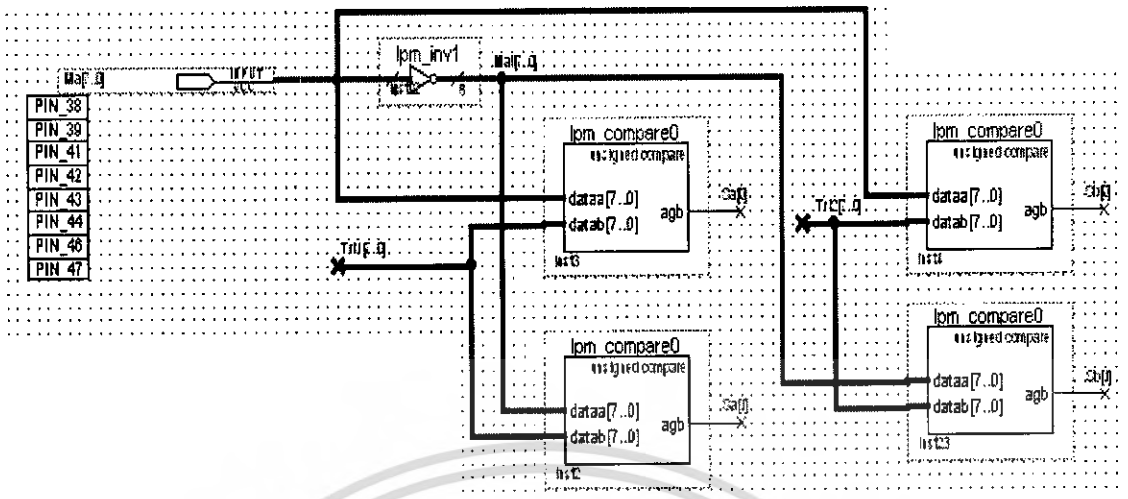
$$\text{MODULATION} = \frac{18.432}{2 \times 256 \times f_{demand}} \qquad (3.1)$$

ในขณะเดียวกันก็นำสัญญาณที่ได้ไปเป็นคล็อกให้ชุดสร้างสัญญาณสามเหลี่ยมอีกตัวหนึ่งแต่ก่อนที่จะเข้าคล็อกนั้นจะทำการดีเลย์ผ่านตัว lpm_counter5 โดยให้ นับจาก 0 ถึง 7 (ซึ่งเป็นการนับถึงตำแหน่งครึ่งหนึ่งของยอดของสัญญาณเพื่อให้เกิดการดีเลย์ต่างกัน 90 องศา) แล้วส่งสัญญาณ carry out ออกไป เป็นclockให้ T-FlipFlop เพื่อที่จะใช้ในการ enable counter ของ clock ตัวที่ 2



รูปที่ 3.11 วงจรกำเนิดสัญญาณสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรคอมพาราเดอร์

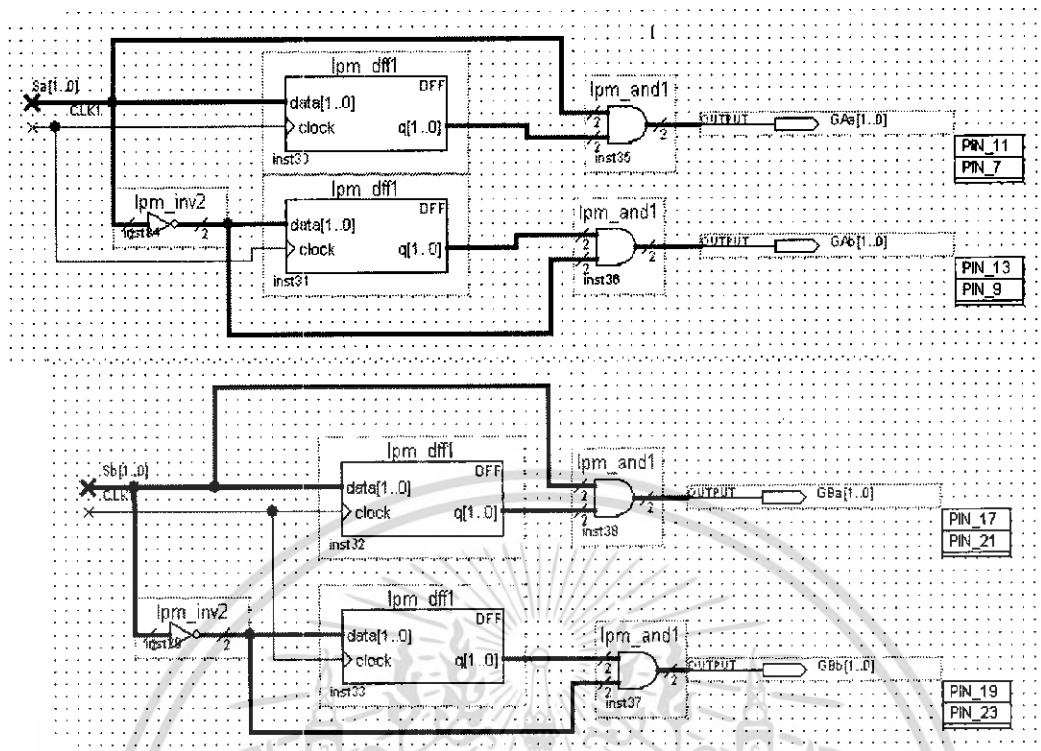
การทำงานของชุดสร้างสัญญาณนาฬิกาตัวที่ 1

การทำงานเมื่อคล็อกได้รับสัญญาณ จะทำการสร้างสัญญาณสามเหลี่ยมส่งออกไป แต่ในขณะเดียวกันนั้นสัญญาณที่ออกไปก็ถูกเอาไปเปรียบเทียบ คือ เมื่อสัญญาณเป็น 1 ออกมาที่ lpm_and0 ตัวบนครบทั้ง 8 เส้น จะถูกส่งผ่าน OR-gate ไปยัง toggle flipflop เพื่อส่งสัญญาณไปสั่งให้ ขา updown เพื่อให้คล็อกเปลี่ยนจากนับขึ้นเป็นนับลง ต่อจากนั้นเมื่อ clock นับลงถึง 0 สัญญาณก็จะออกมาเป็น 0 ทั้ง 8 เส้น แล้วจะผ่าน not-gate เพื่อให้เป็น1 ผ่าน AND-gate และ OR-gate ไปสั่งให้ toggle flipflop ส่งสัญญาณไปสั่งให้ ขา updown เพื่อให้คล็อกเปลี่ยนจากนับลงเป็นนับขึ้น

โดยจะสังเกตเห็นว่าเมื่อคล็อกเข้าชุดสร้างสัญญาณสามเหลี่ยมตัวที่2แล้วจะทำการลัดวงจรตัวดีเลย์ทิ้งนั่นคือจะทำให้ชุดสัญญาณสามเหลี่ยมตัวที่2ทำงานตลอดเวลา

เมื่อเราได้สัญญาณสามเหลี่ยมทั้ง 2 ตัว แล้วก็นำสัญญาณทั้งสองไปผ่านcomparator เพื่อทำการเปรียบเทียบสัญญาณของสามเหลี่ยมกับสัญญาณที่ได้มาจาก A2D ที่comparatorชุดแรกสัญญาณสามเหลี่ยมหนึ่งชุดจะเปรียบเทียบกับสัญญาณที่ได้มาจาก A2D ต่อมาที่ comparator ชุดสอง จะกลับเฟสสัญญาณที่มาจากA2Dแล้วค่อยทำการเปรียบกับสัญญาณสามเหลี่ยมตัวแรก ต่อจากนั้นที่comparator ชุดสาม จะนำสัญญาณ A2D มาเปรียบเทียบสัญญาณของสามเหลี่ยมชุดที่สอง และที่comparator ชุดสี่ จะนำสัญญาณ A2D มากลับเฟสแล้วค่อยทำการเปรียบกับสัญญาณสามเหลี่ยมชุดที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรสร้างเดดไทม์ (Dead Time)

หลังจากที่สัญญาณผ่านการเปรียบเทียบแล้วเราจะได้สัญญาณขับเกทออกมาทั้งหมด 8 สัญญาณ ซึ่งถ้าไม่มีเดดไทม์จะทำให้วงจรขับเกทอาจเกิดการลัดวงจรขณะเปลี่ยนสถานะได้ เราจึงจำเป็นต้องทำการใส่เดดไทม์ให้สัญญาณขับเกท โดยผลที่ได้จากการสร้างนั้นจะแสดงไว้ในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลจำลอง และผลการทดลอง

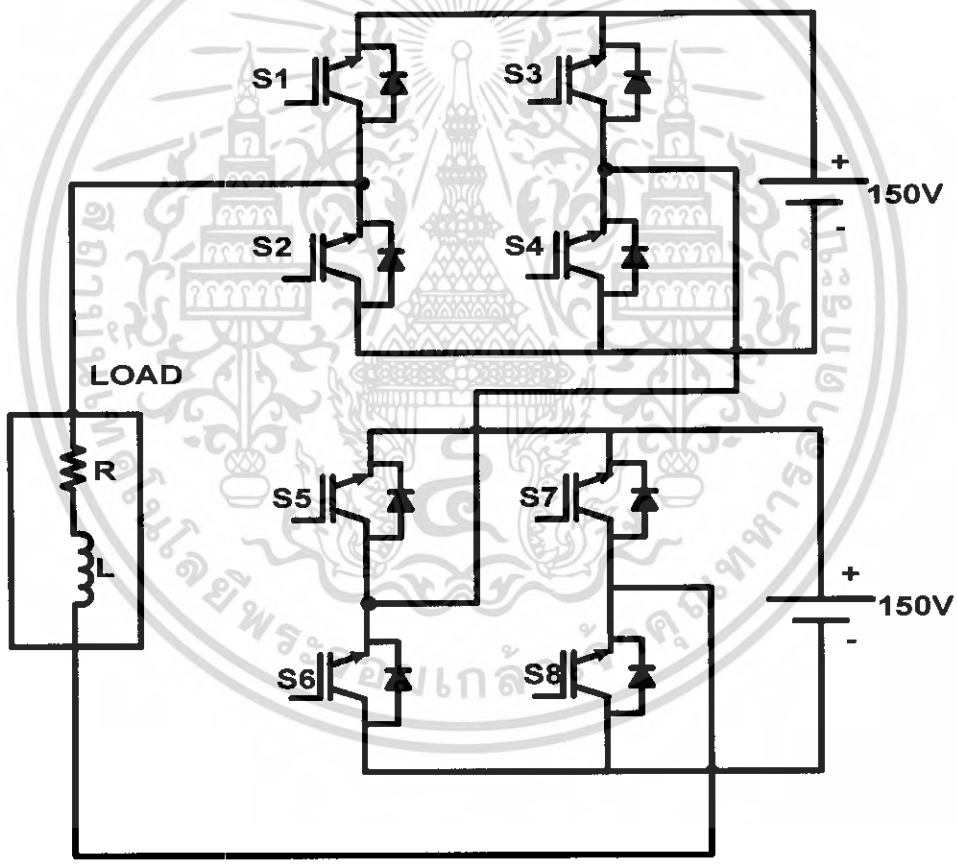
4.1 ผลการจำลอง

4.1.1 การจำลองในสภาวะปกติ

การทดลองดังกล่าวกระทำโดยการใช้สโคปจับสัญญาณที่เข้าขาเกทแต่ละตัวที่สภาวะปกติเพื่อศึกษาถึงสัญญาณที่ป้อนในสภาวะปกติและในขณะเดียวกันก็จับสัญญาณที่ออกมาที่โหลดในสภาวะปกตินี้ด้วย

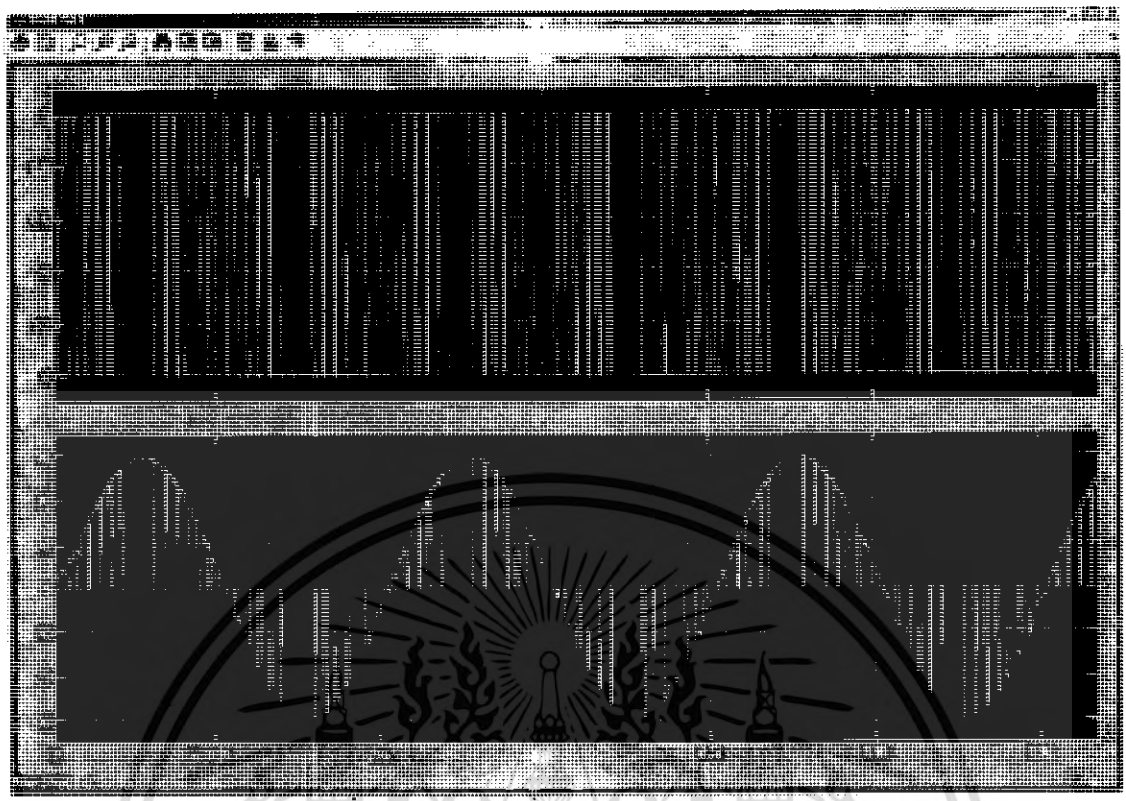
เงื่อนไขในการจำลอง V_{DC} = 150 V

f_c = 50 H_z

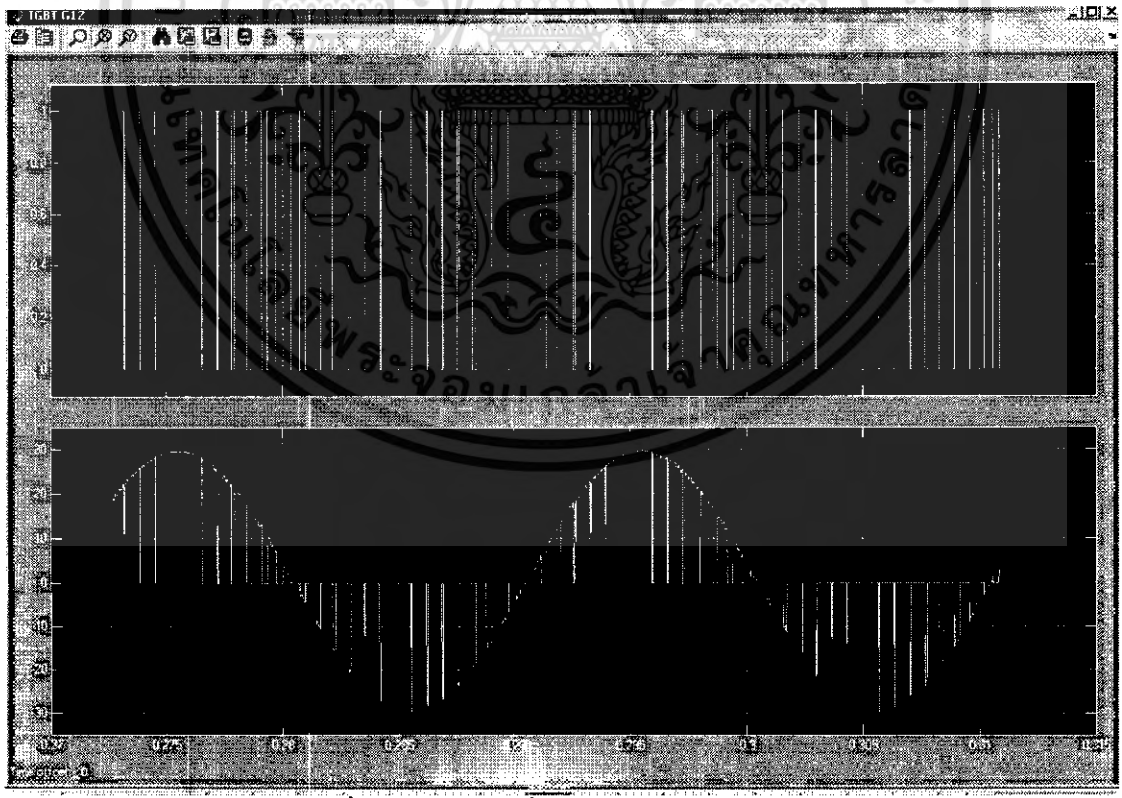


รูปที่ 4.1 วงจรอินเวอร์เตอร์ 5 ระดับในสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

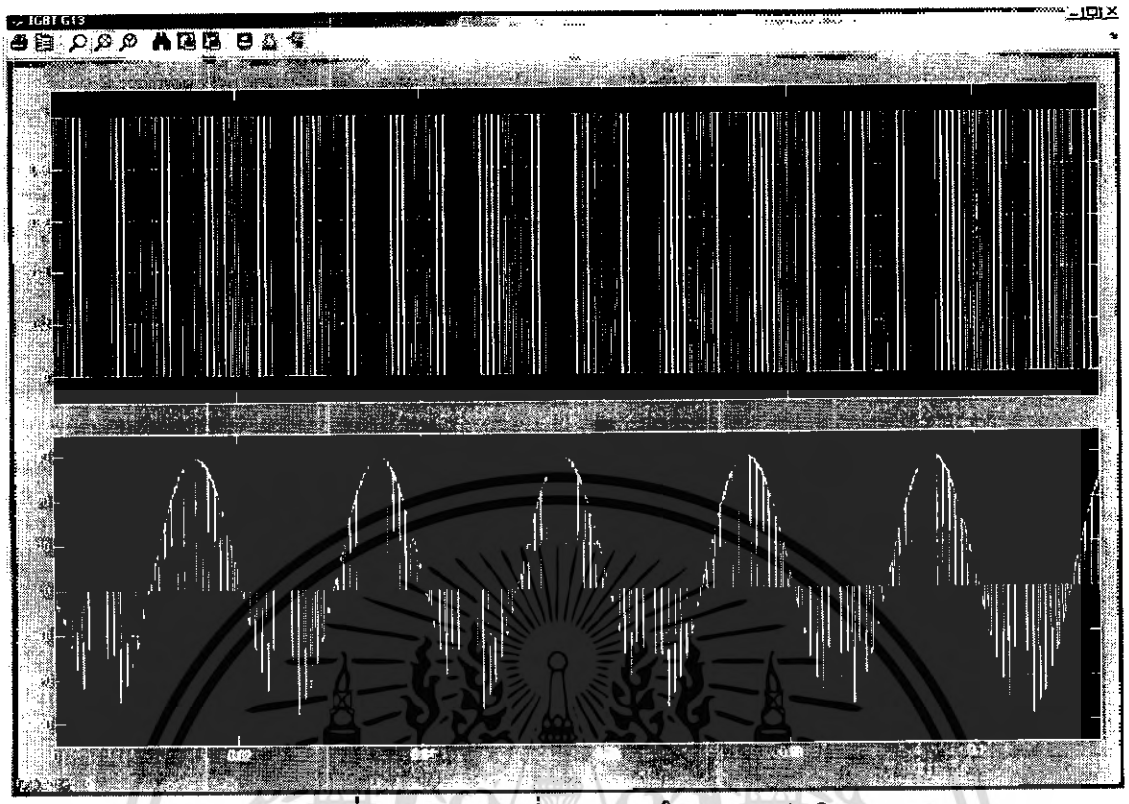


รูปที่ 4.2 สัญญาณที่เกท G11 ในสภาวะปกติ

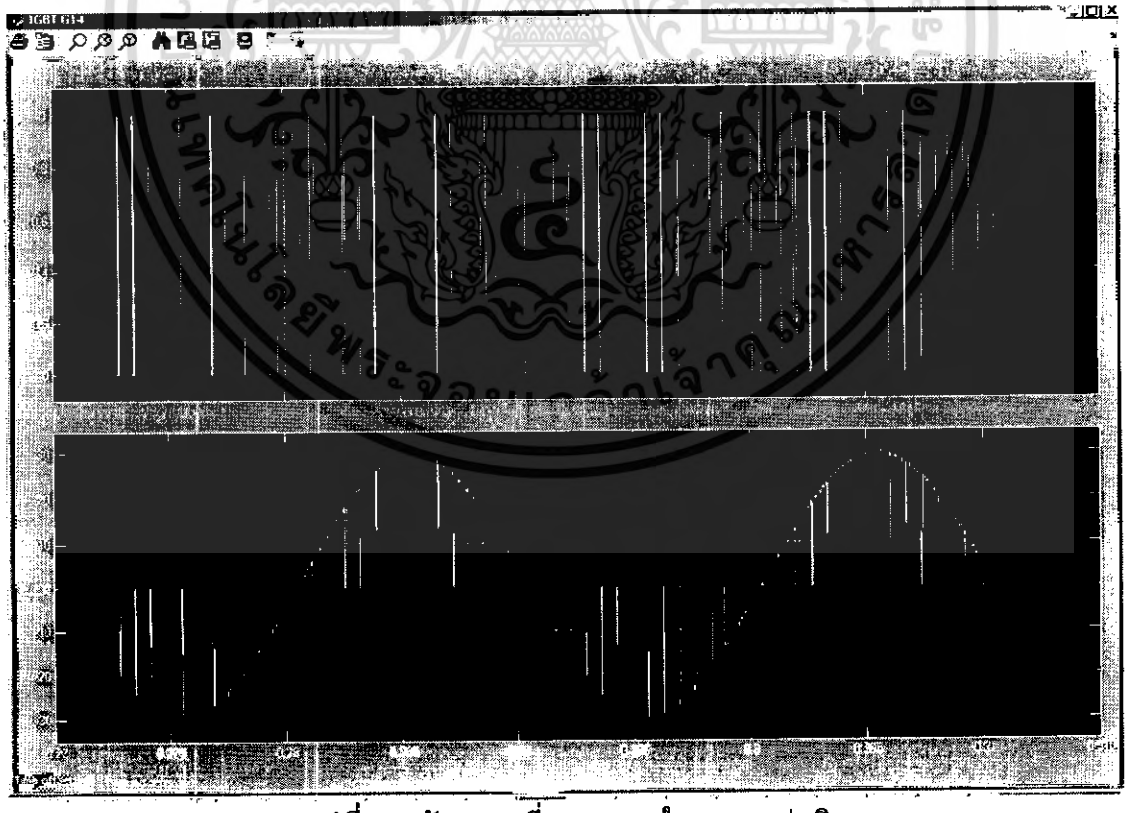


รูปที่ 4.3 สัญญาณที่เกท G12 ในสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

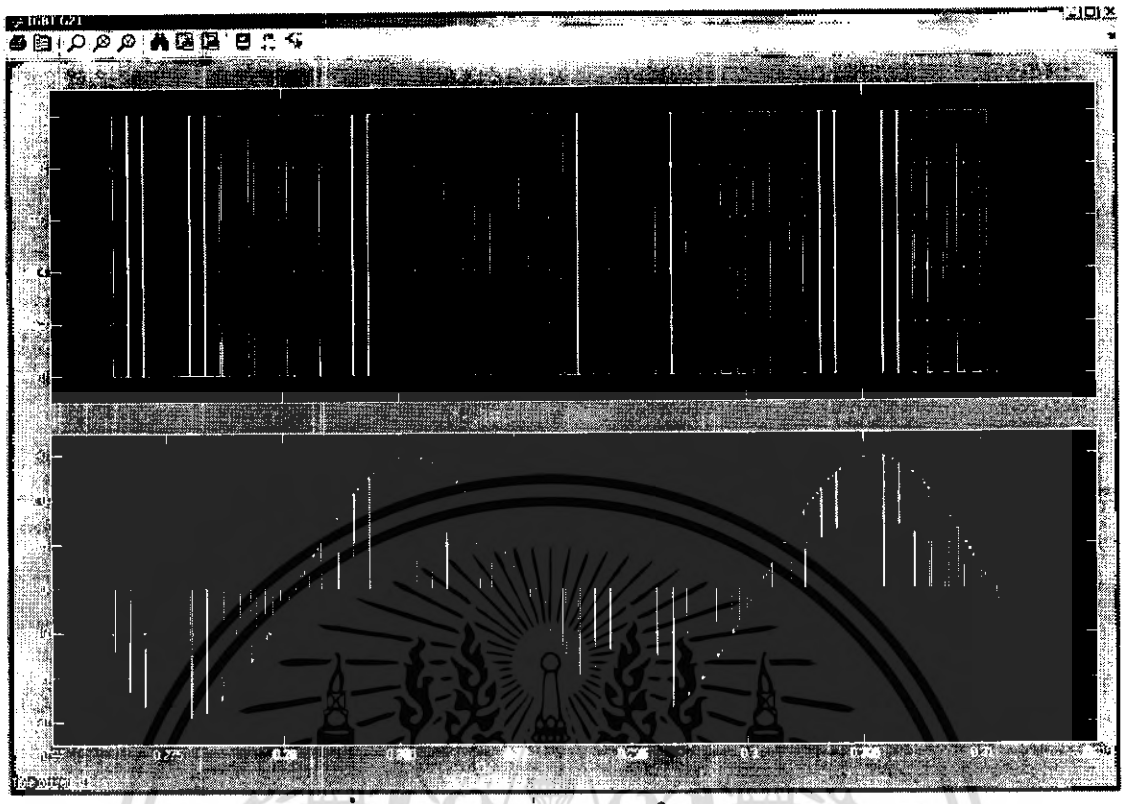


รูปที่ 4.4 สัญญาณที่เกท G13 ในสภาวะปกติ

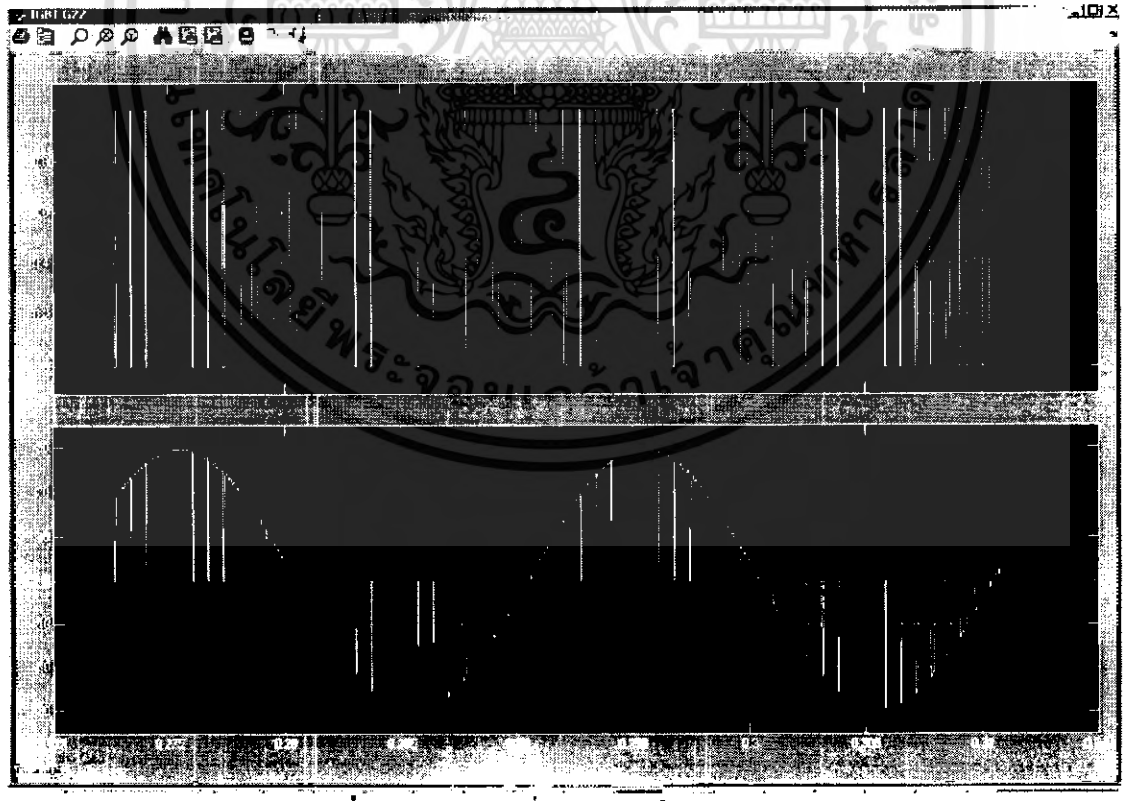


รูปที่ 4.5 สัญญาณที่เกท G14 ในสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

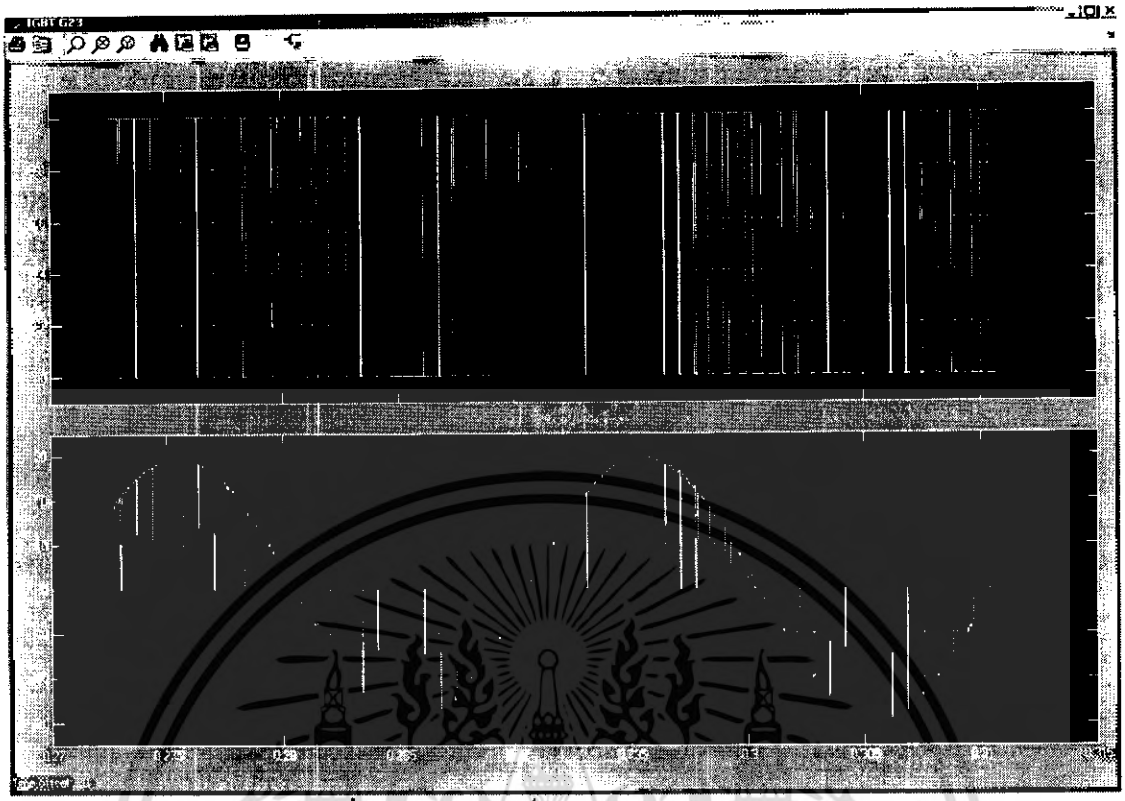


รูปที่ 4.6 สัญญาณที่เกท G21 ในสภาวะปกติ

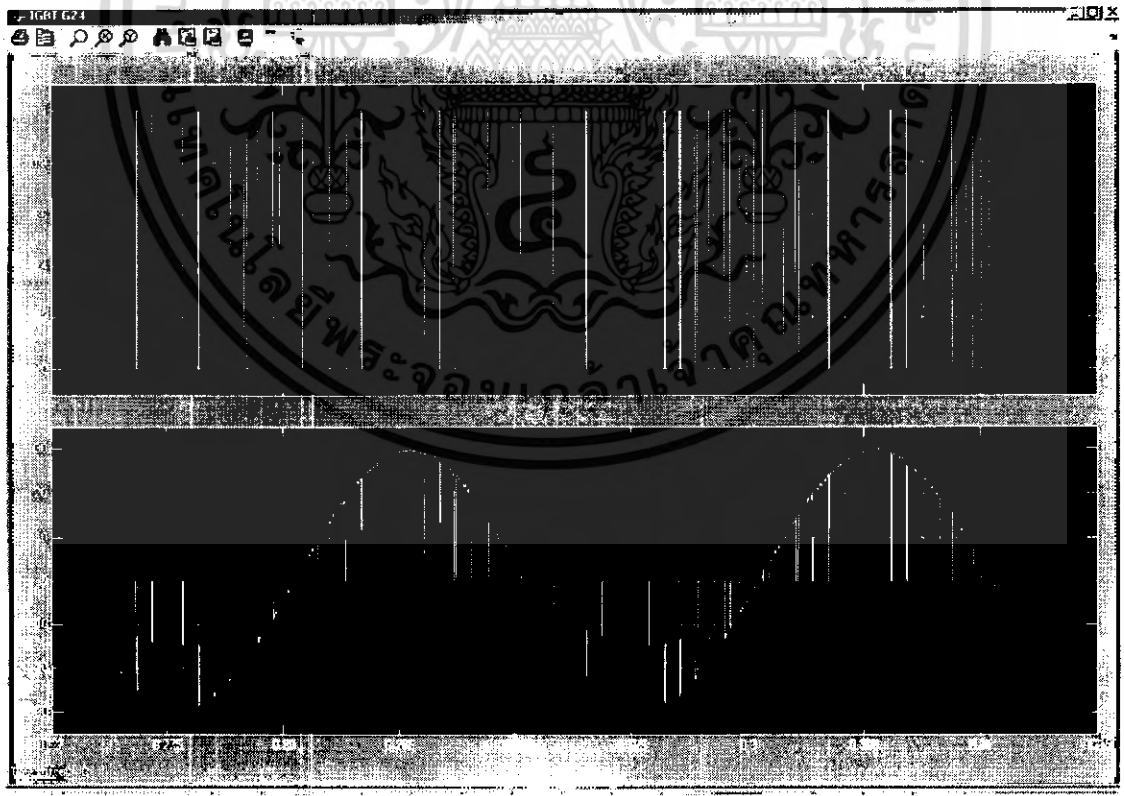


รูปที่ 4.7 สัญญาณที่เกท G22 ในสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 สัญญาณที่เกท G23 ในสภาวะปกติ



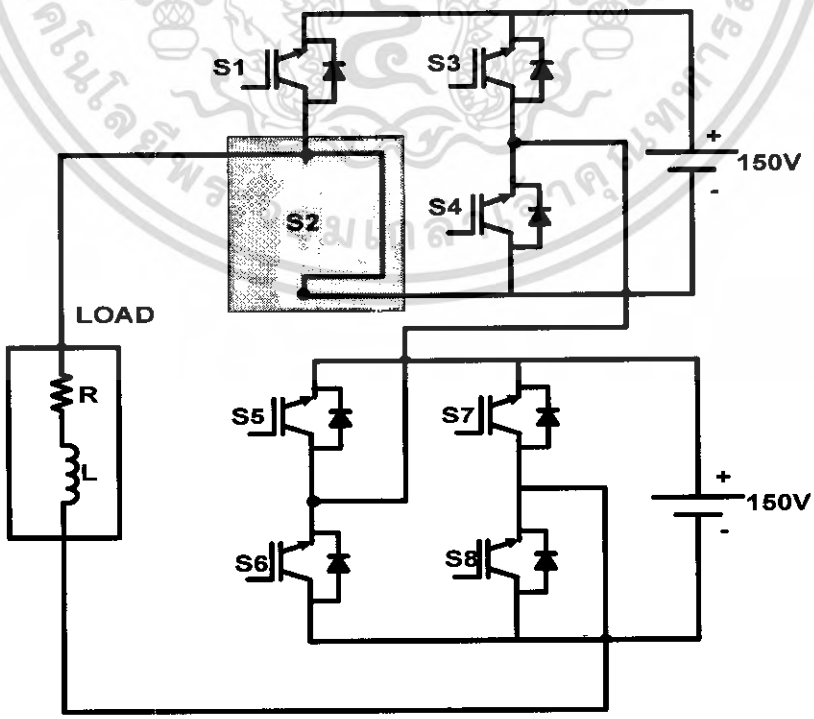
รูปที่ 4.9 สัญญาณที่เกท G24 ในสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.10 สัญญาณที่โหลด ในสภาวะปกติ

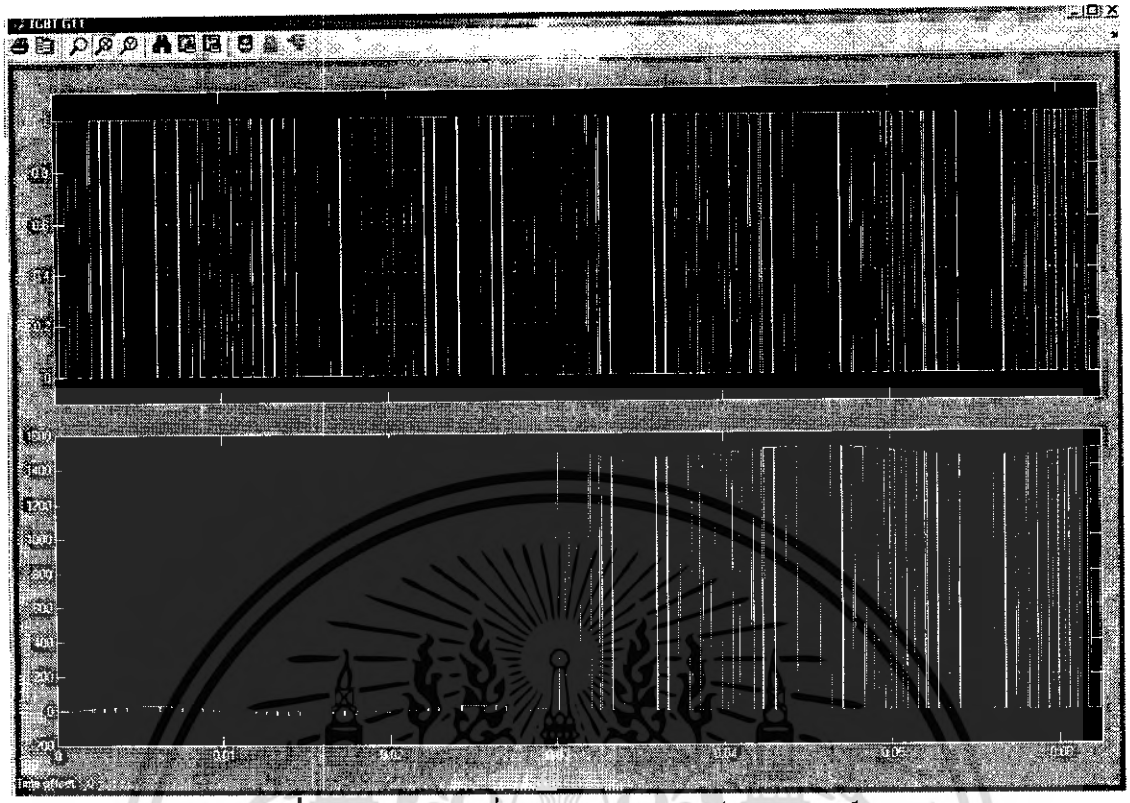
4.1.2 การจำลองในสภาวะลัดวงจรแบบต่าง ๆ

4.1.2.1 การลัดวงจรแบบอาร์มช็อตเซอร์กิต (Arm short circuit) เนื่องจากอุปกรณ์สวิทชิ่งหรือไดโอดเสียหาย

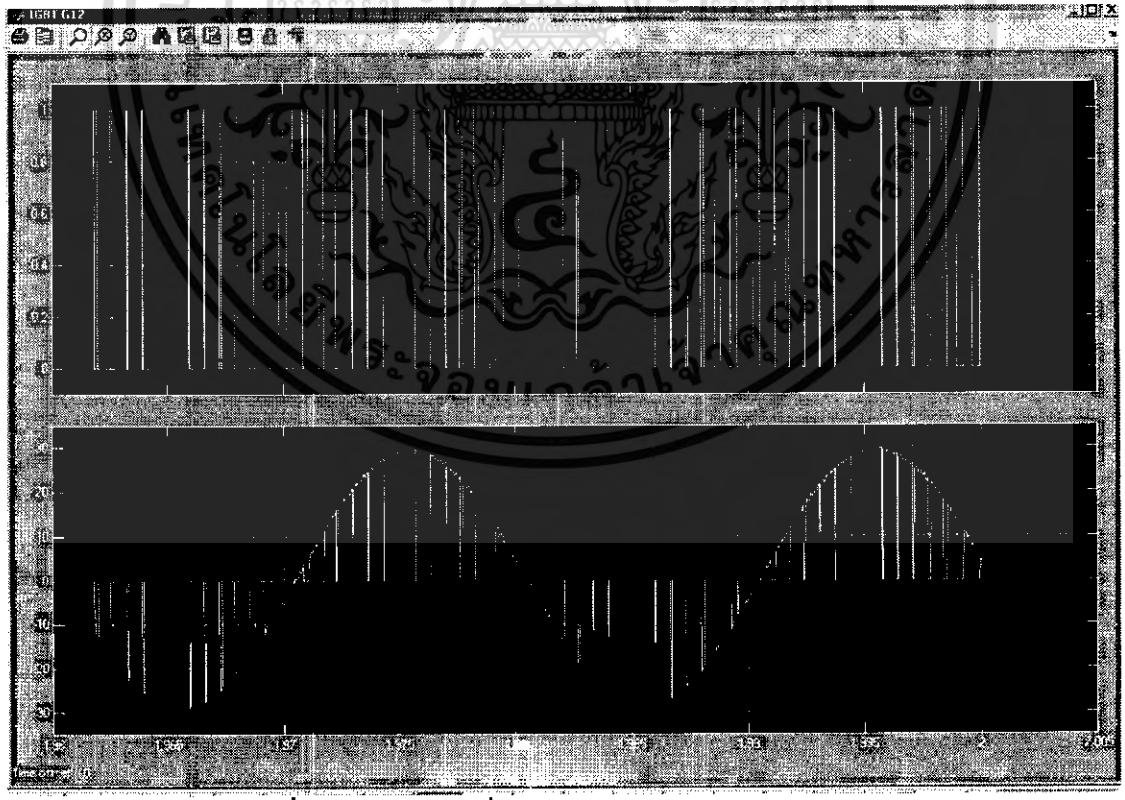


รูปที่ 4.11 วงจรในสภาวะที่เกิดการลัดวงจรกรณีอาร์มช็อตเซอร์กิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

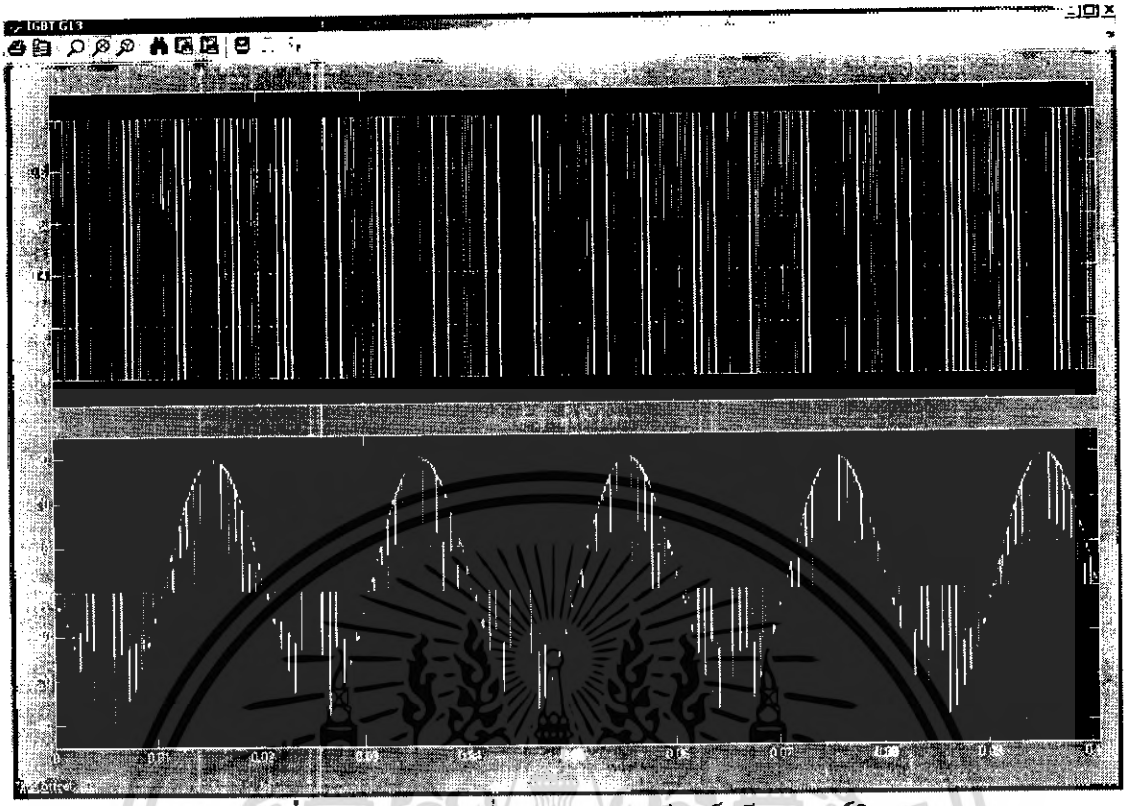


รูปที่ 4.12 สัญญาณที่เกท G11 กรณีอาร์มช็อตเซอร์กิต

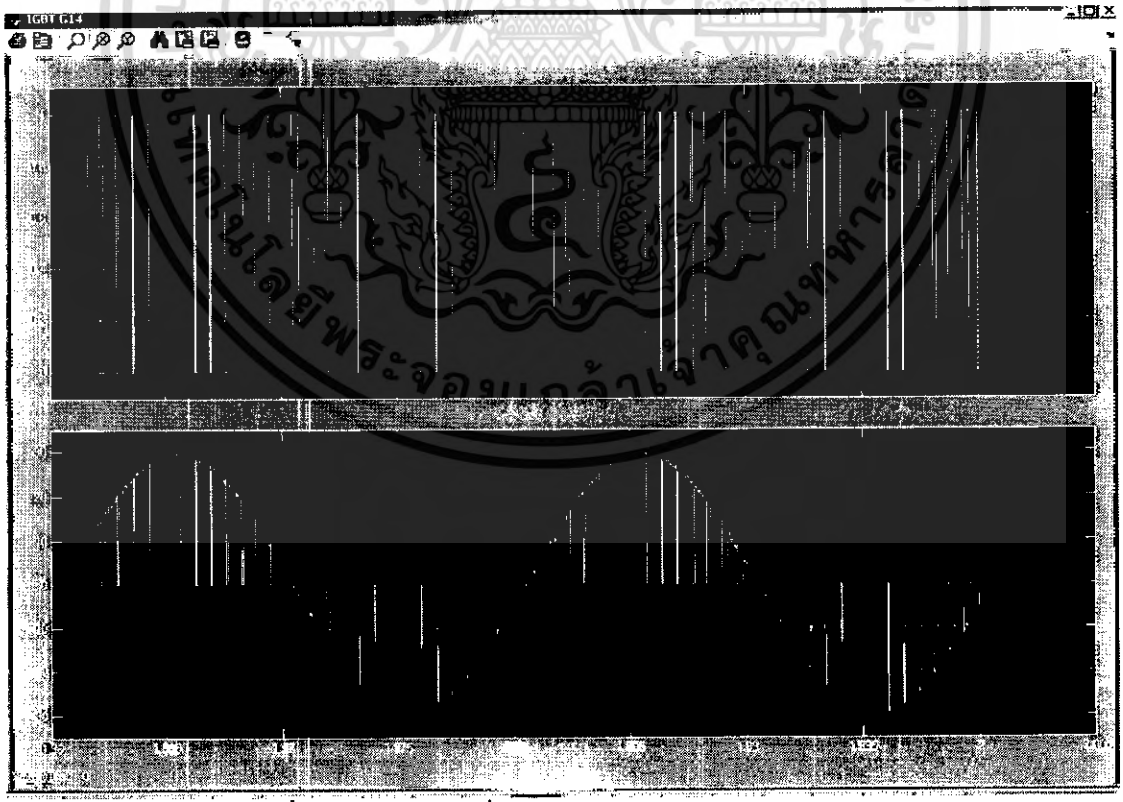


รูปที่ 4.13 สัญญาณที่เกท G12 กรณีอาร์มช็อตเซอร์กิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

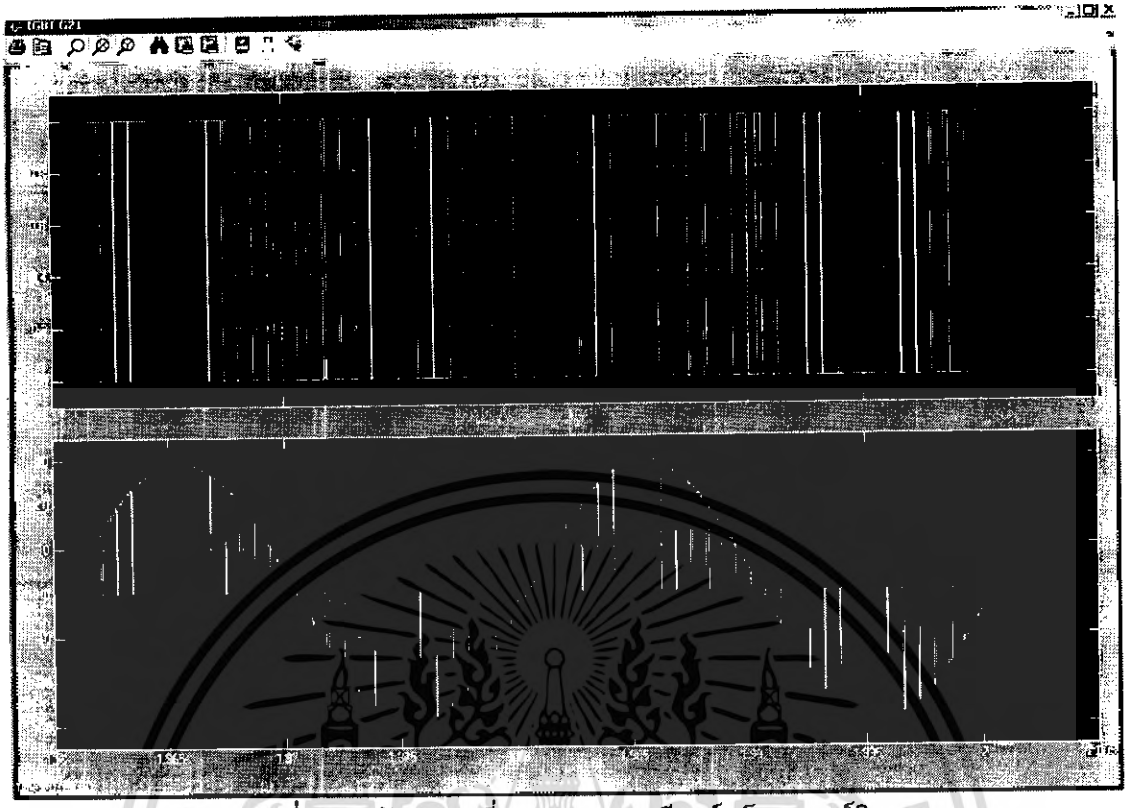


รูปที่ 4.14 สัญญาณที่เกท G13 กรณีอาร์มช็อตเซอร์กิต

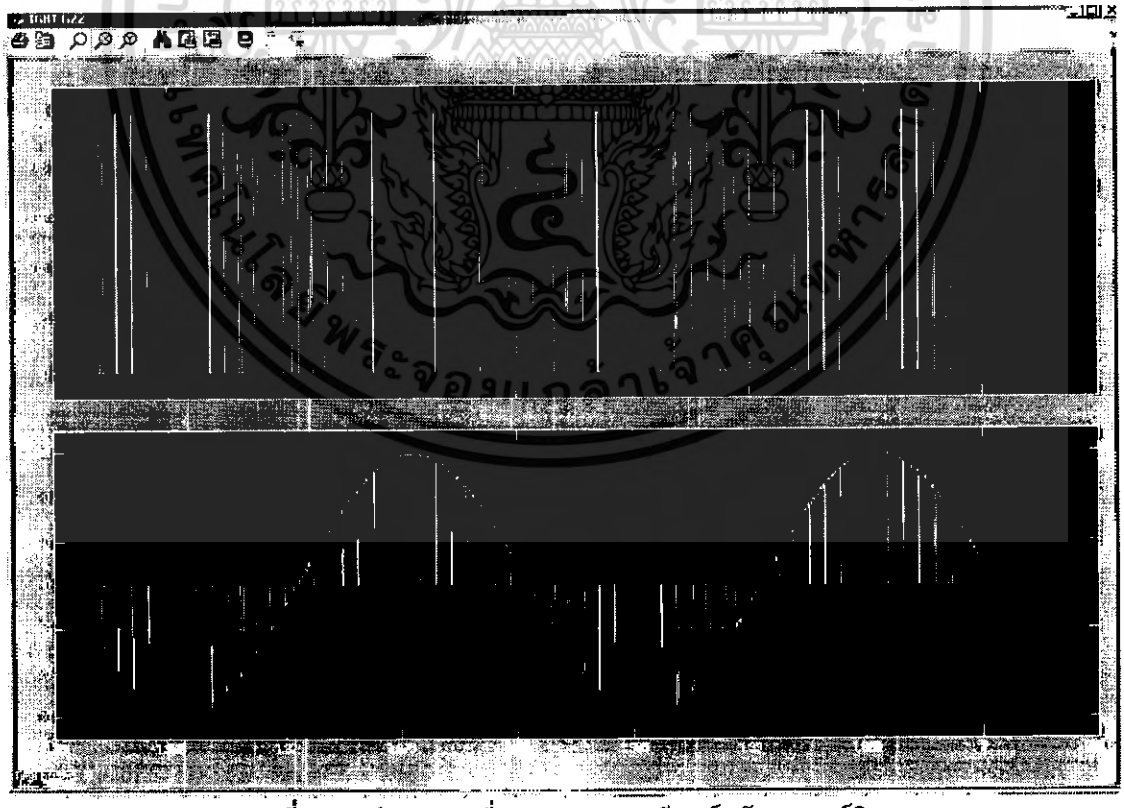


รูปที่ 4.15 สัญญาณที่เกท G14 กรณีอาร์มช็อตเซอร์กิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

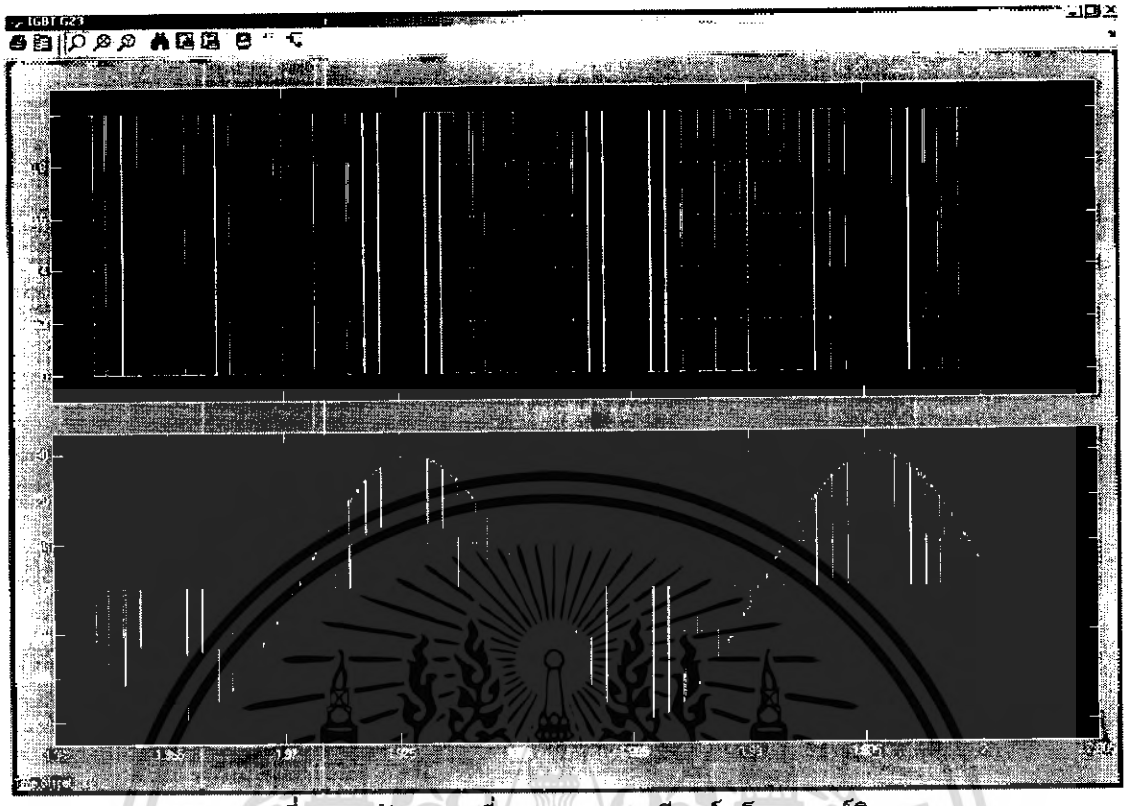


รูปที่ 4.16 สัญญาณที่เกท G21 กรณีอาร์มซ็อตเซอร์กิต

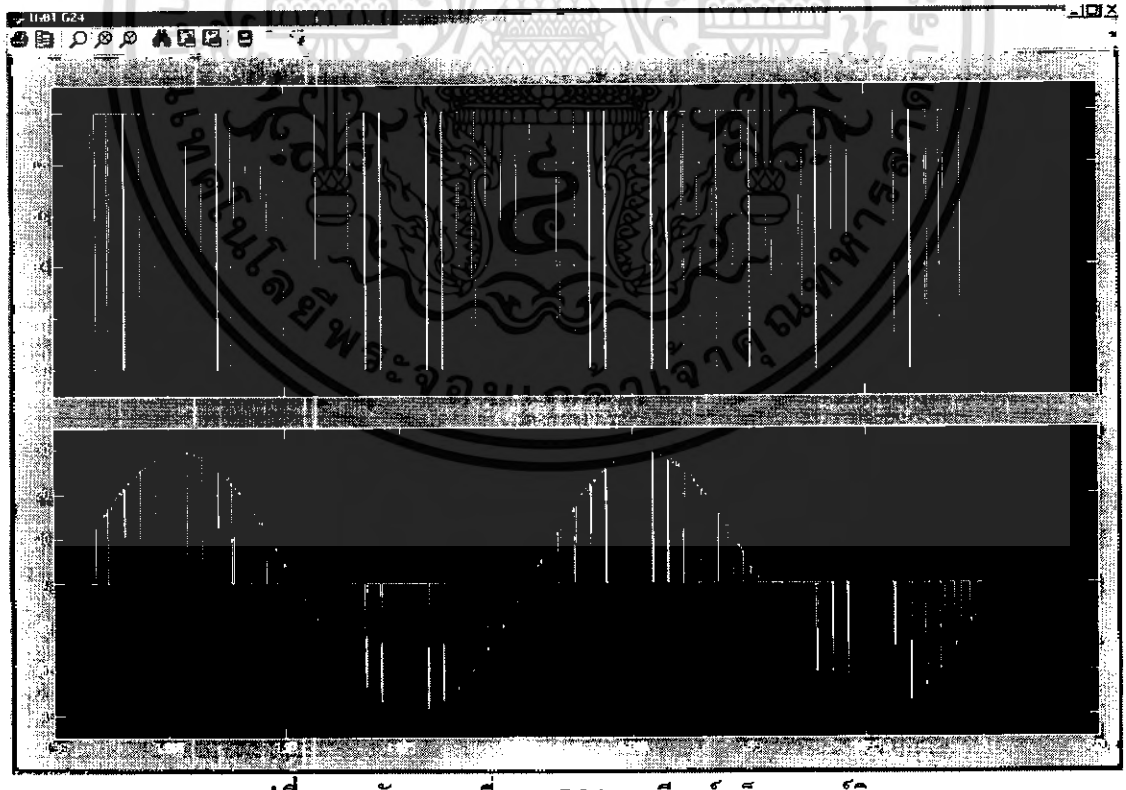


รูปที่ 4.17 สัญญาณที่เกท G22 กรณีอาร์มซ็อตเซอร์กิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 สัญญาณที่เกท G23 กรณีอาร์มช็อตเซอร์กิต



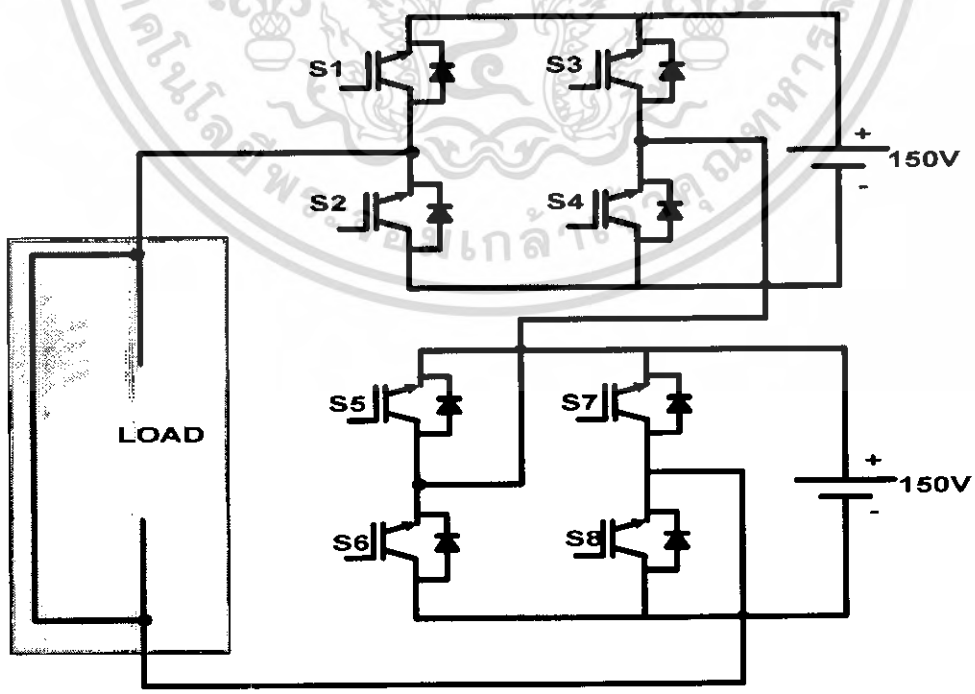
รูปที่ 4.19 สัญญาณที่เกท G24 กรณีอาร์มช็อตเซอร์กิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.20 สัญญาณที่โหลด กรณีอาร์มช็อตเซอร์กิต

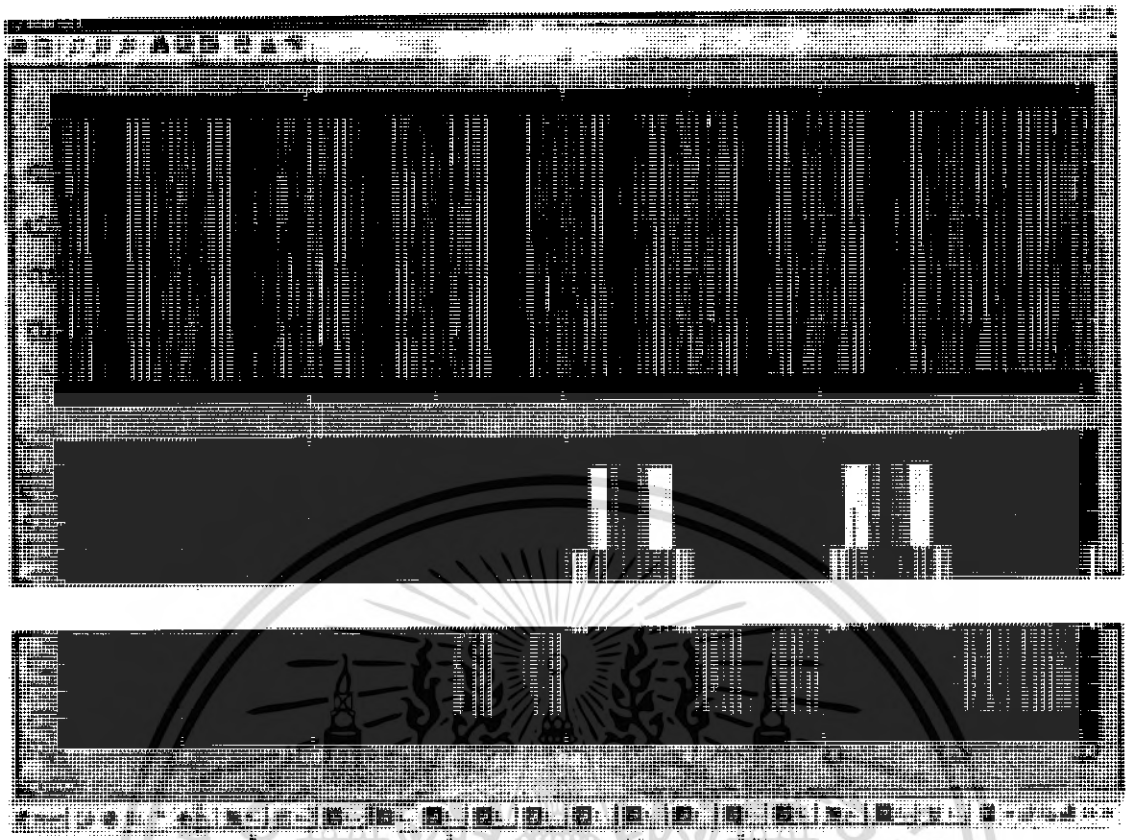
4.1.2.2 การลัดวงจรแบบการลัดวงจรที่สัญญาณขาออก (Output short Circuit)

เนื่องจากความผิดพลาดในการเดินสาย หรือฉนวนเสื่อม

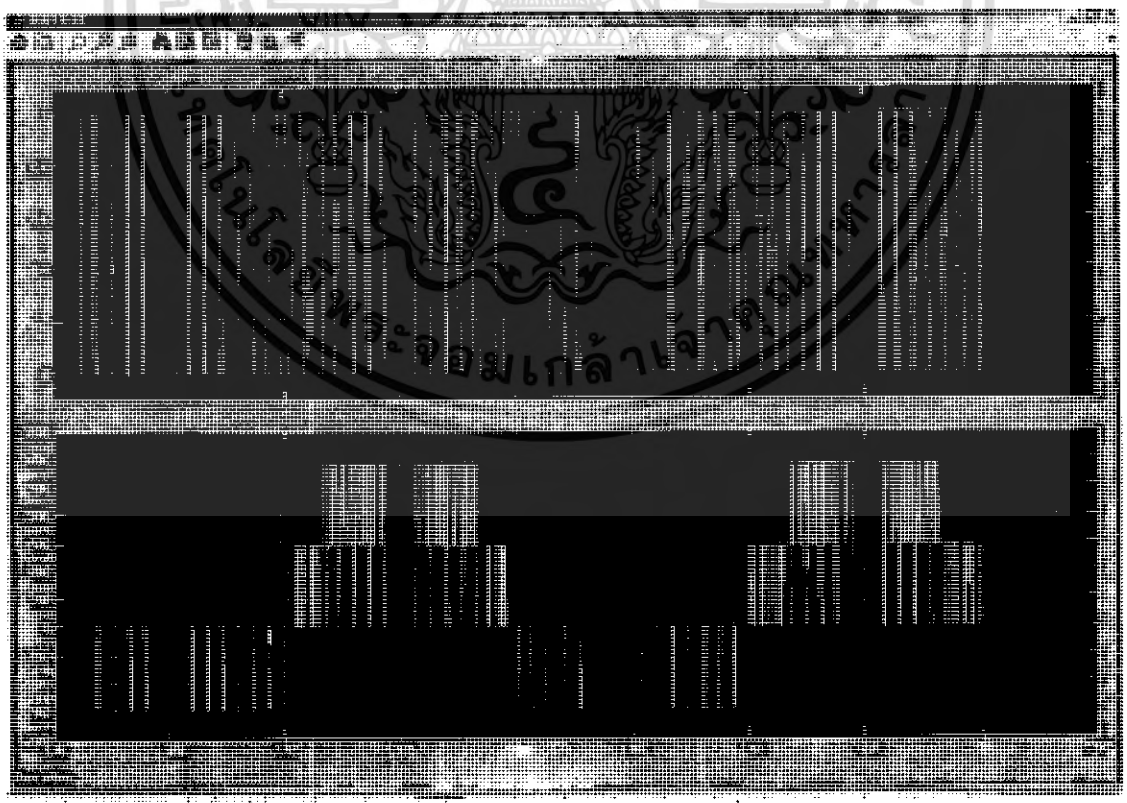


รูปที่ 4.21 วงจรในสภาวะที่เกิดการลัดวงจรกรณีการลัดวงจรที่สัญญาณขาออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

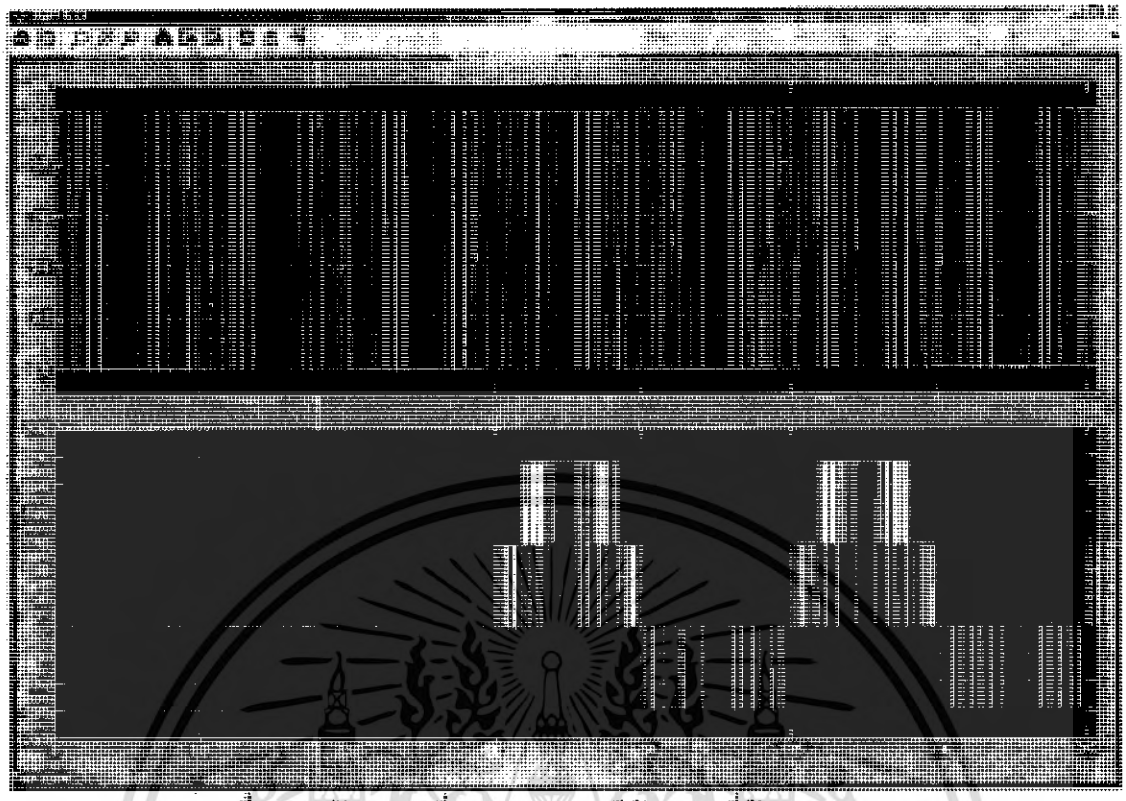


รูปที่ 2.22 สัญญาณพัลส์ C11 กรณีมีความกว้างที่สัญญาณสามารถ



รูปที่ 2.23 สัญญาณพัลส์ C12 กรณีมีความกว้างที่สัญญาณสามารถ

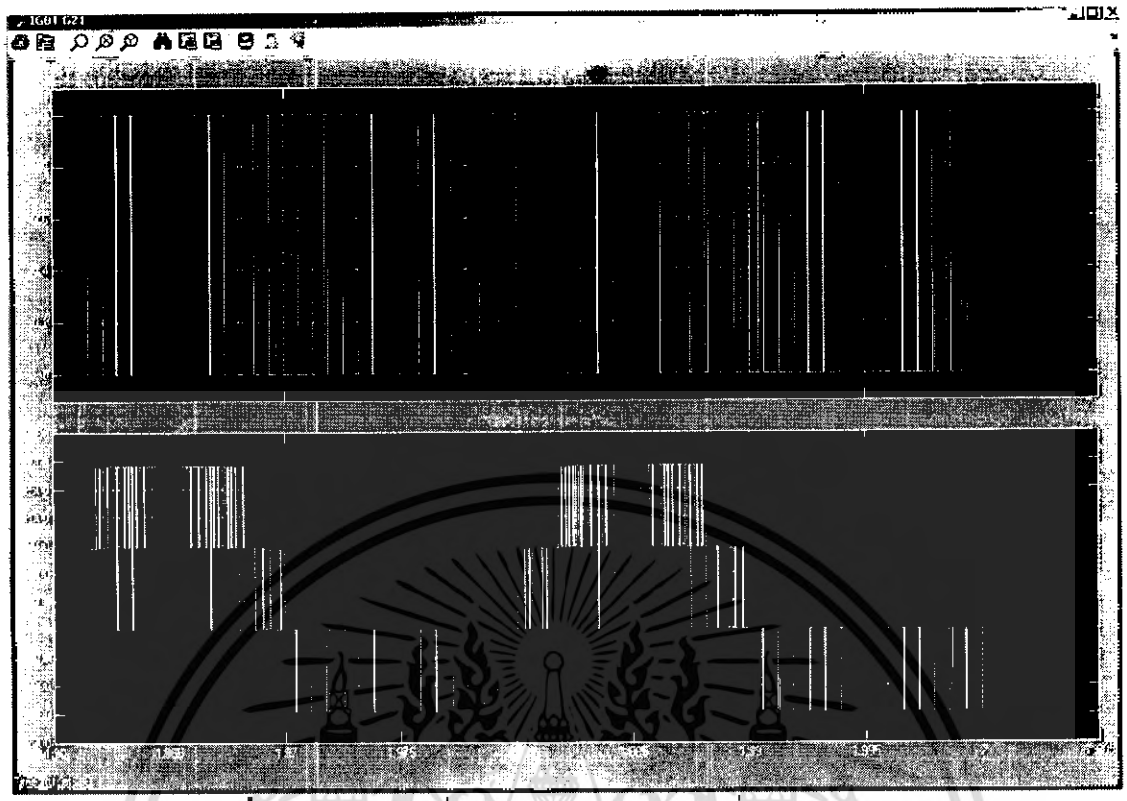
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



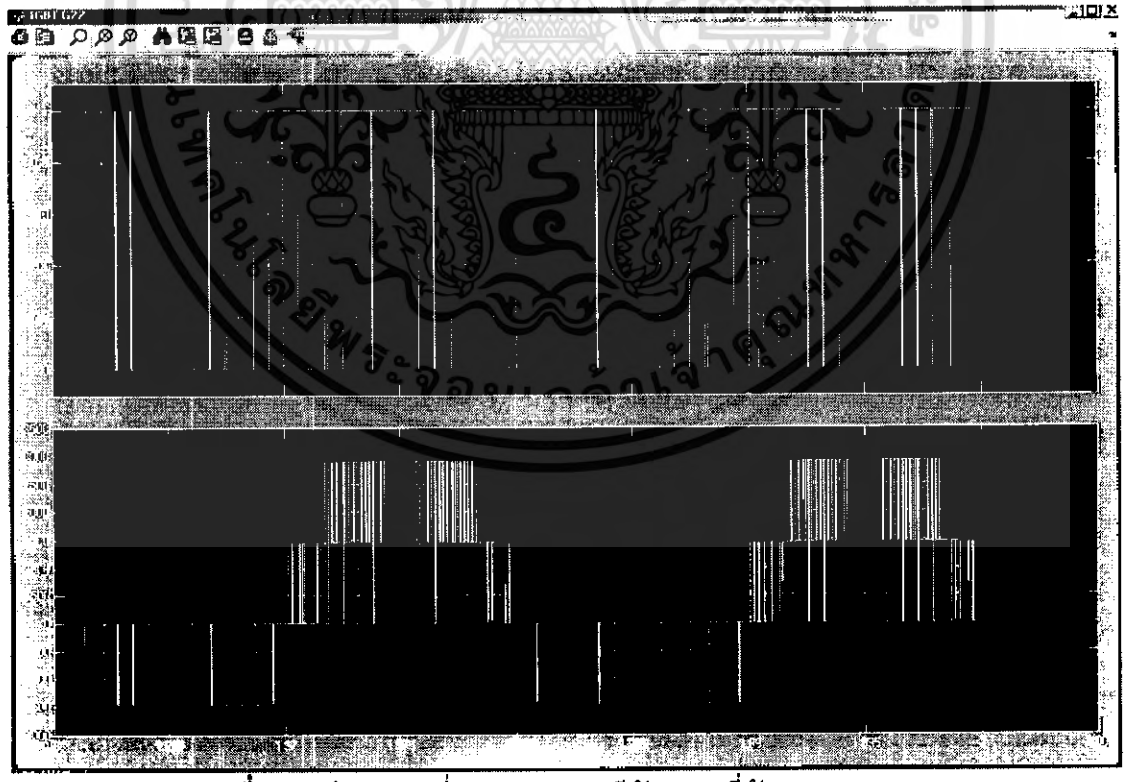
รูปที่ 2.24 สัญญาณที่เกต G13 กรณีที่ช่วงเวลาที่สัญญาณสวนทาง

รูปที่ 2.25 สัญญาณที่เกต G14 กรณีที่ช่วงเวลาที่สัญญาณสวนทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

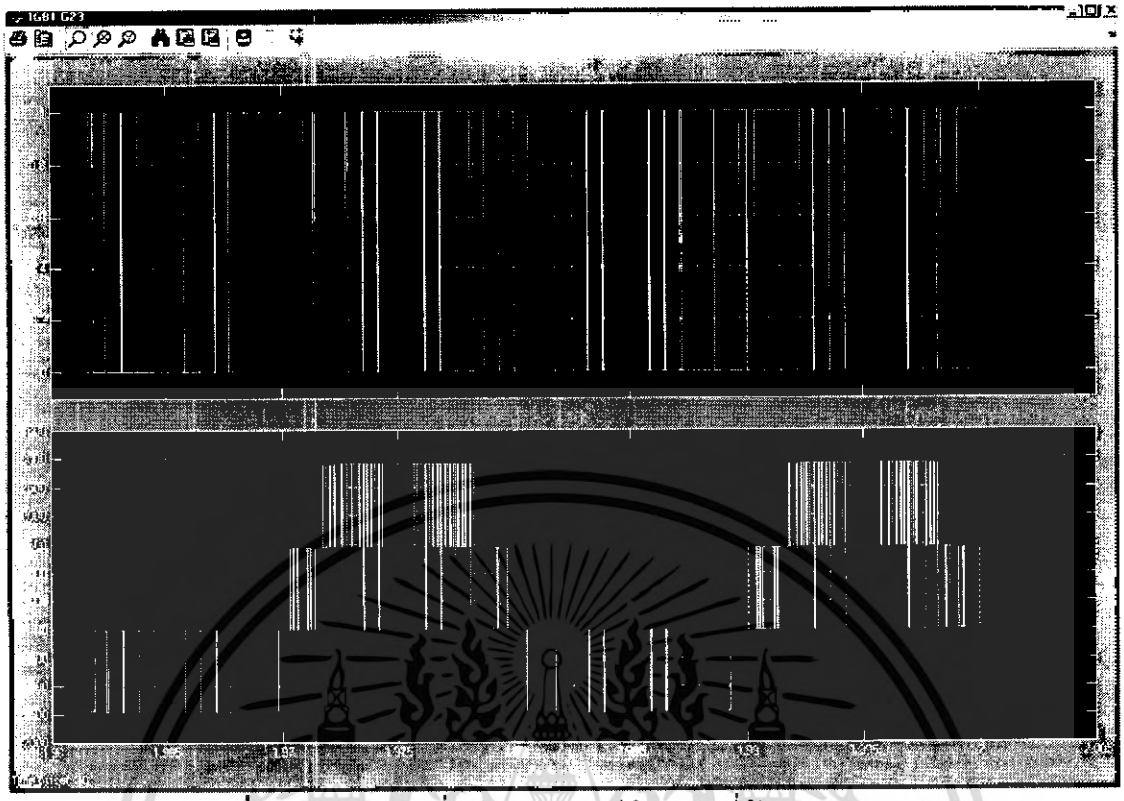


รูปที่ 2.26 สัญญาณที่เกท G21 กรณีลัดวงจรที่สัญญาณขาออก

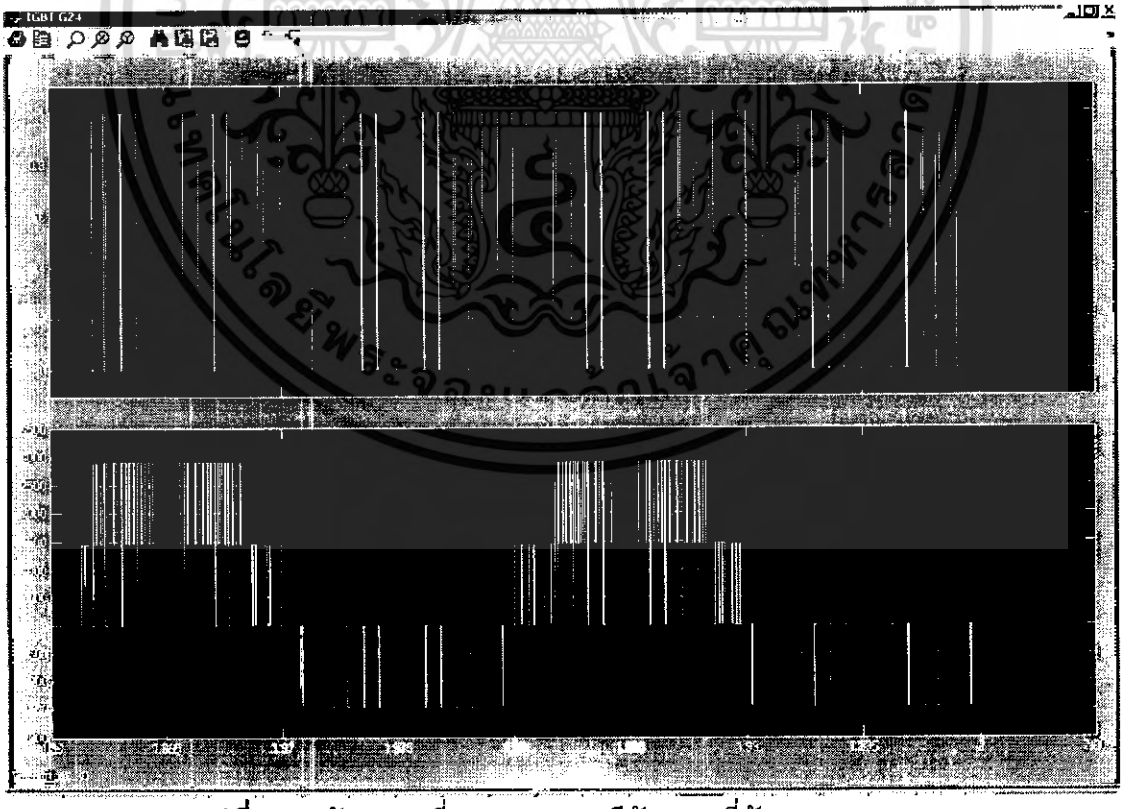


รูปที่ 2.27 สัญญาณที่เกท G22 กรณีลัดวงจรที่สัญญาณขาออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

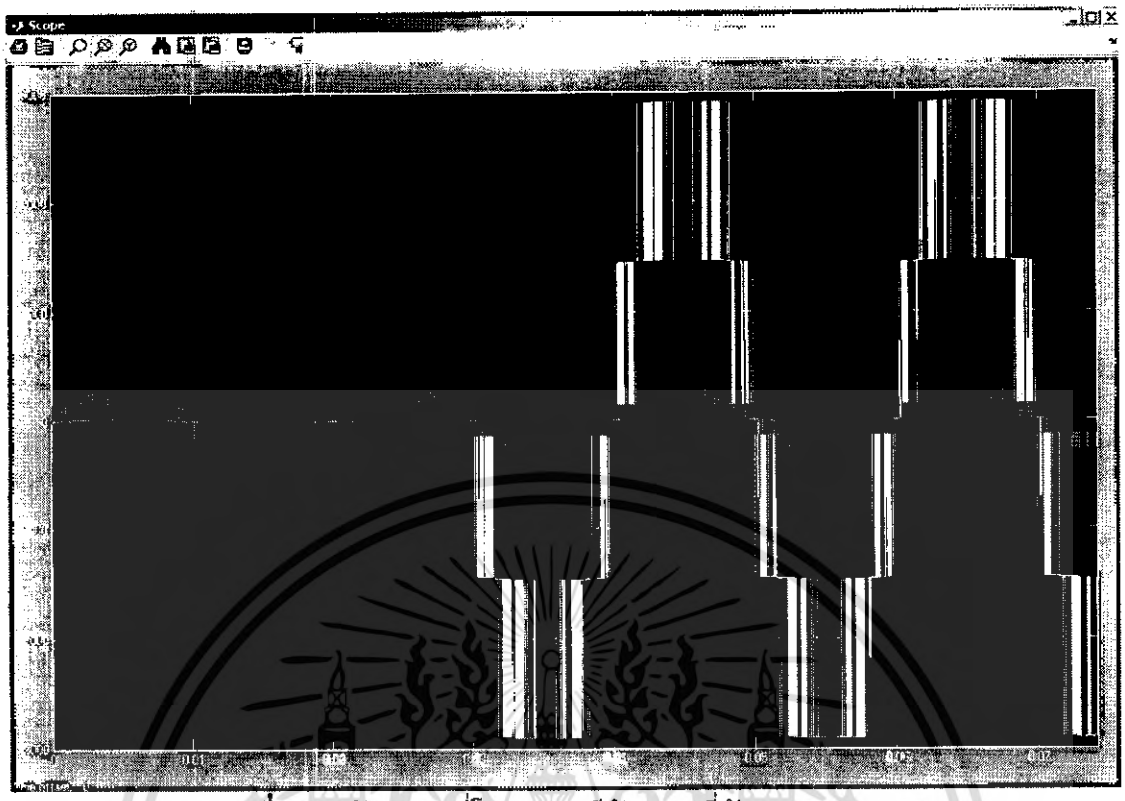


รูปที่ 2.28 สัญญาณที่เกท G23 กรณีลัดวงจรที่สัญญาณขาออก



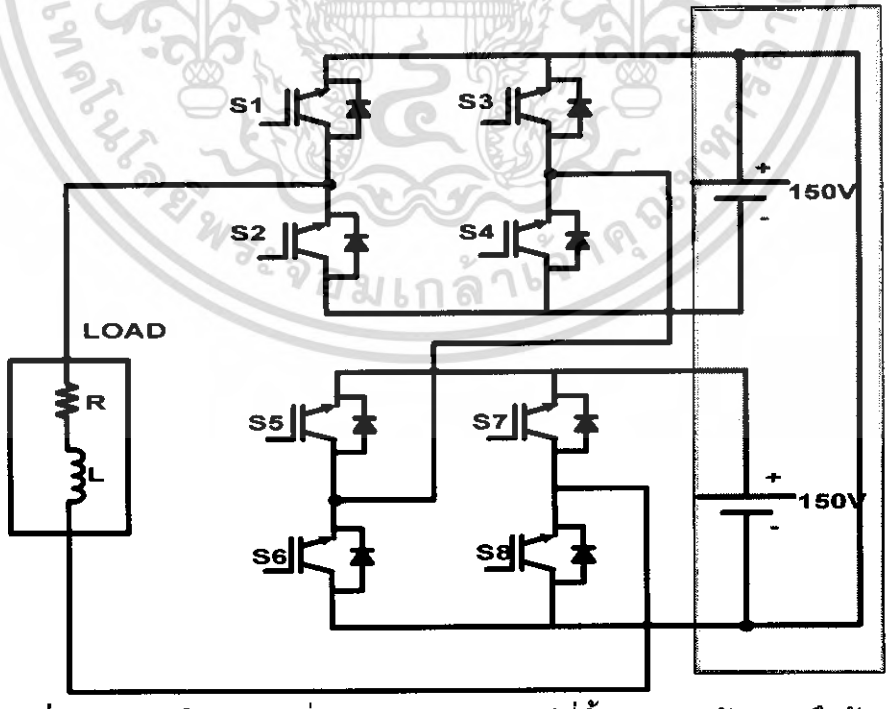
รูปที่ 2.29 สัญญาณที่เกท G24 กรณีลัดวงจรที่สัญญาณขาออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



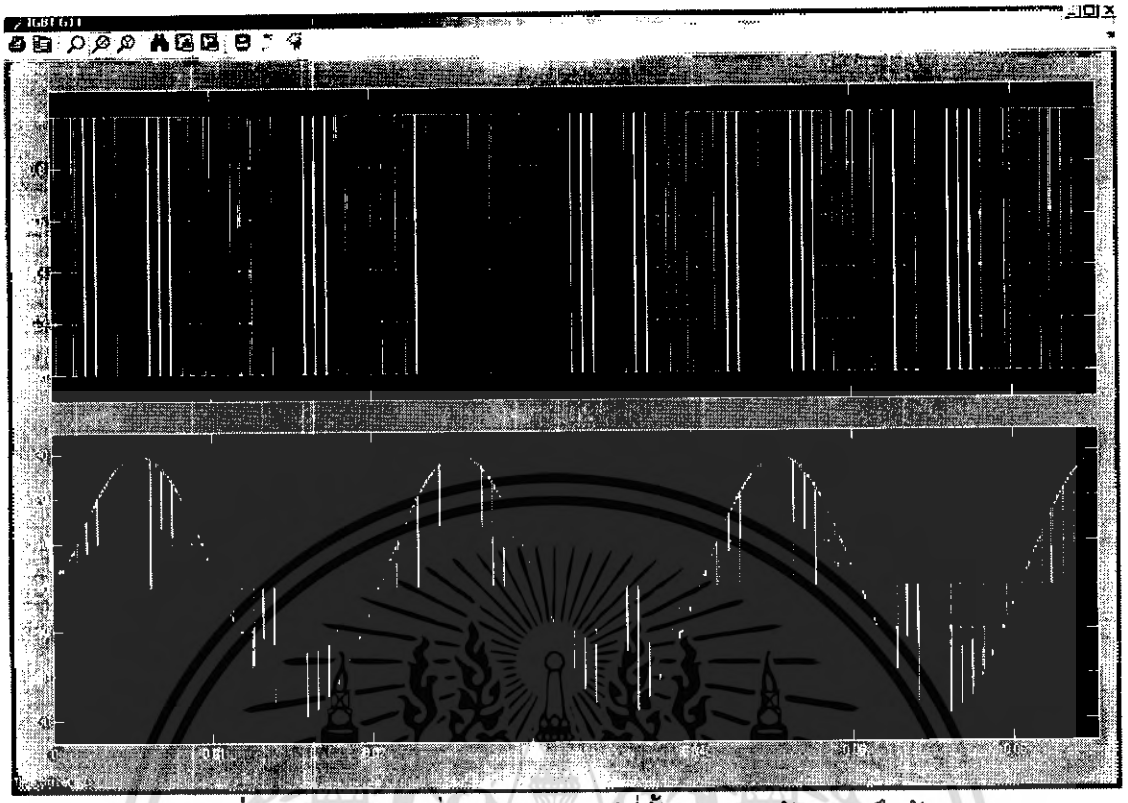
รูปที่ 2.30 สัญญาณที่โหลด กรณีลัดวงจรที่สัญญาณขาออก

4.1.2.3 การลัดวงจรแบบลัดวงจรภายนอก กรณีที่ขั้วบวก – ลบลัดวงจรถึงกัน (Short Circuit between DC Buses)

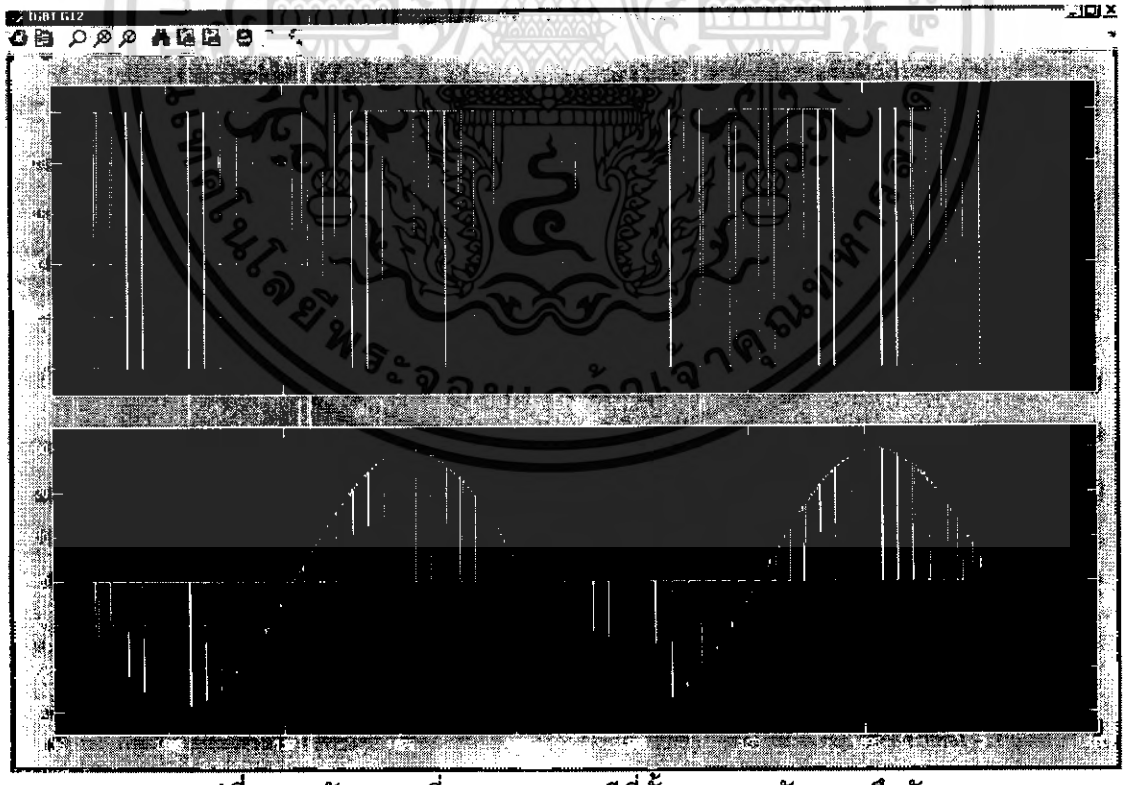


รูปที่ 4.31 วงจรในสภาวะที่เกิดการลัดวงจรกรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

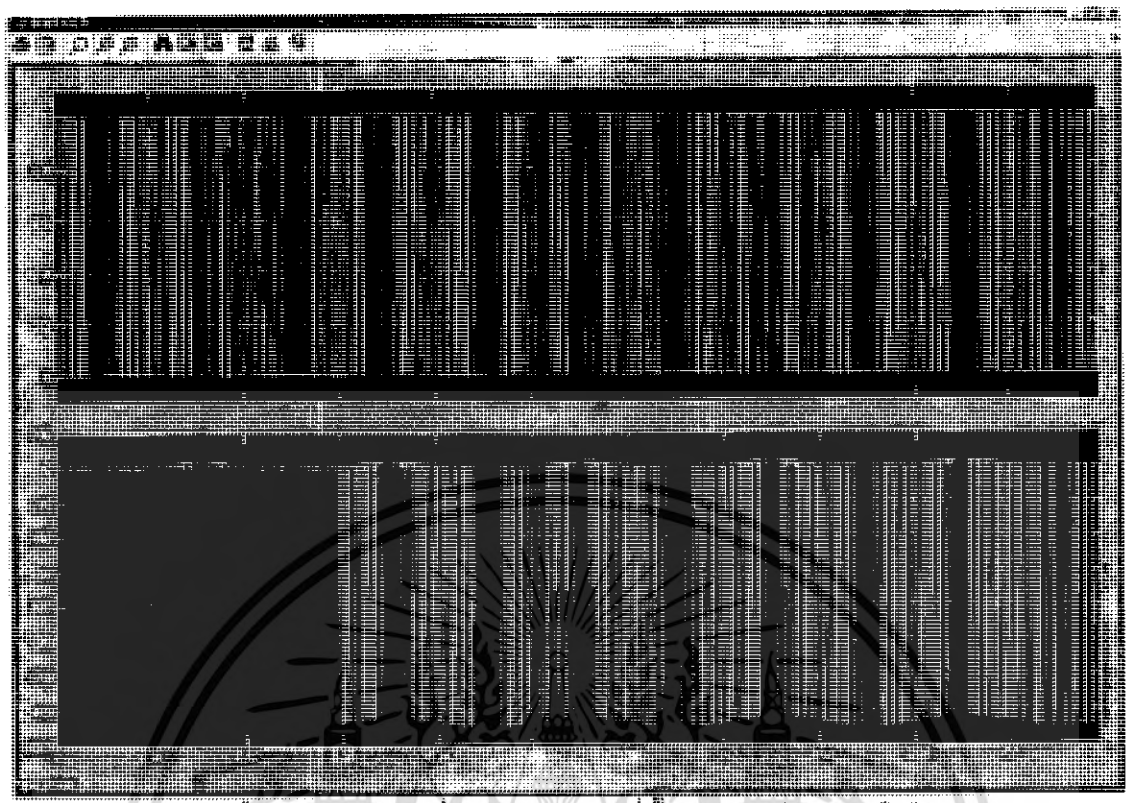


รูปที่ 4.32 สัญญาณที่เกท G11 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน

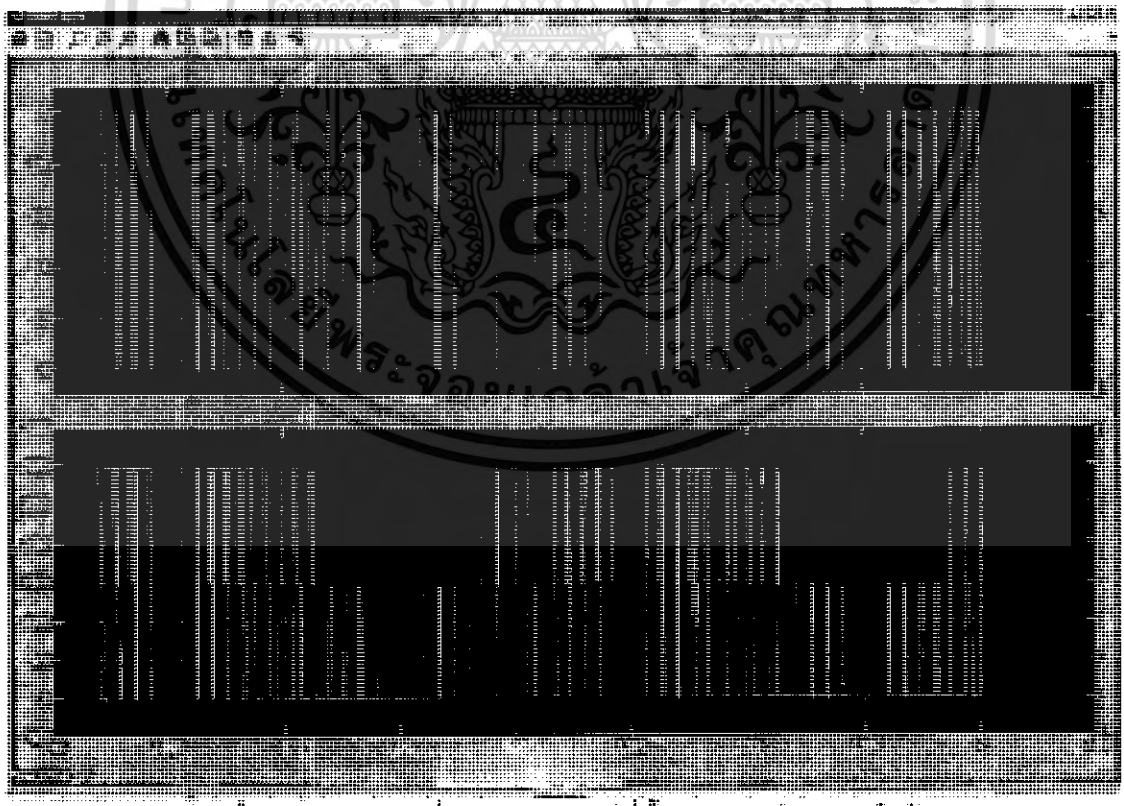


รูปที่ 4.33 สัญญาณที่เกท G12 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

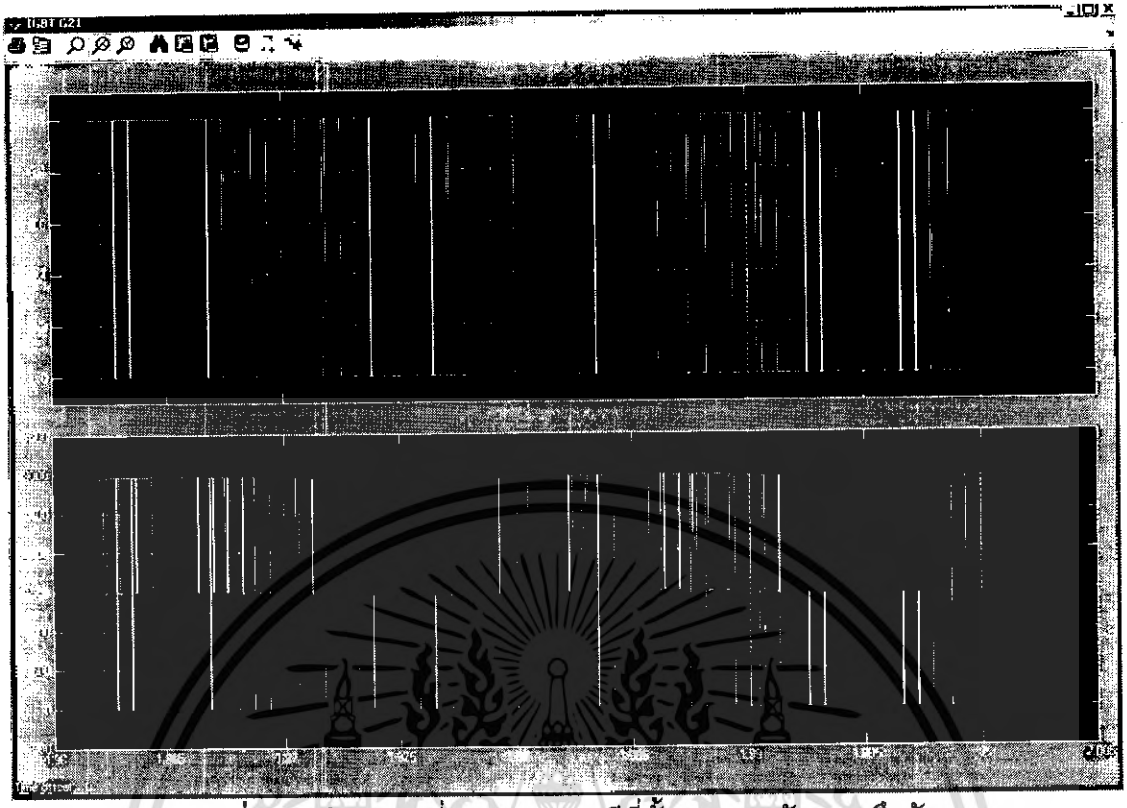


รูปที่ 4.34 สัญญาณที่เวท C13 กรณีที่ขั้วบวก-ลบอ้างจรดึงกัน



รูปที่ 4.35 สัญญาณที่เวท C14 กรณีที่ขั้วบวก-ลบอ้างจรดึงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

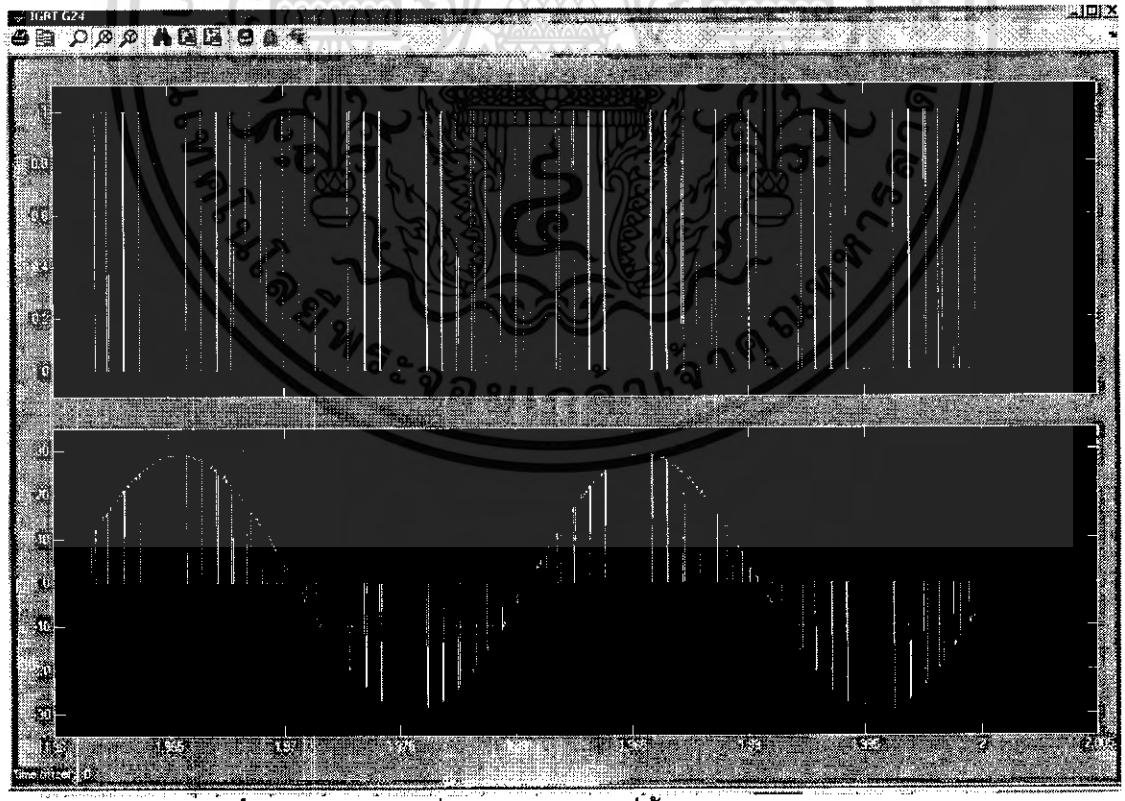


รูปที่ 4.36 สัญญาณที่เกท G21 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน

รูปที่ 4.37 สัญญาณที่เกท G22 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน

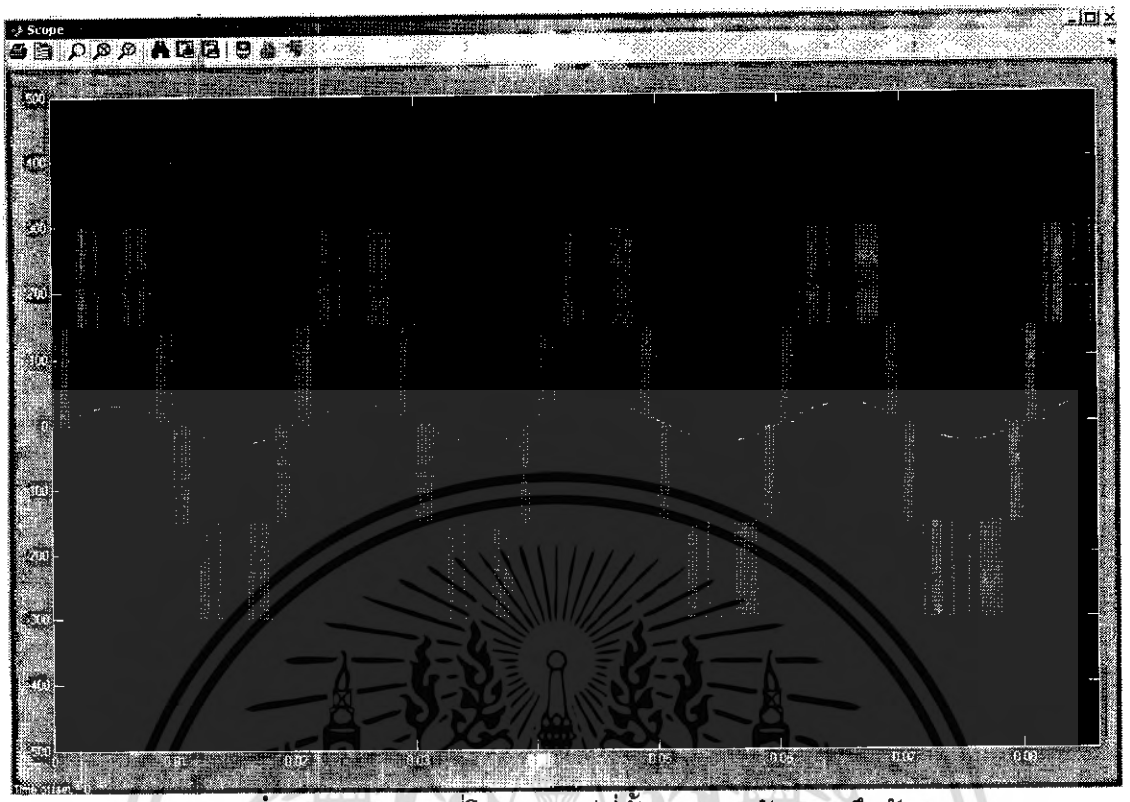
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.38 สัญญาณที่เกท G23 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน



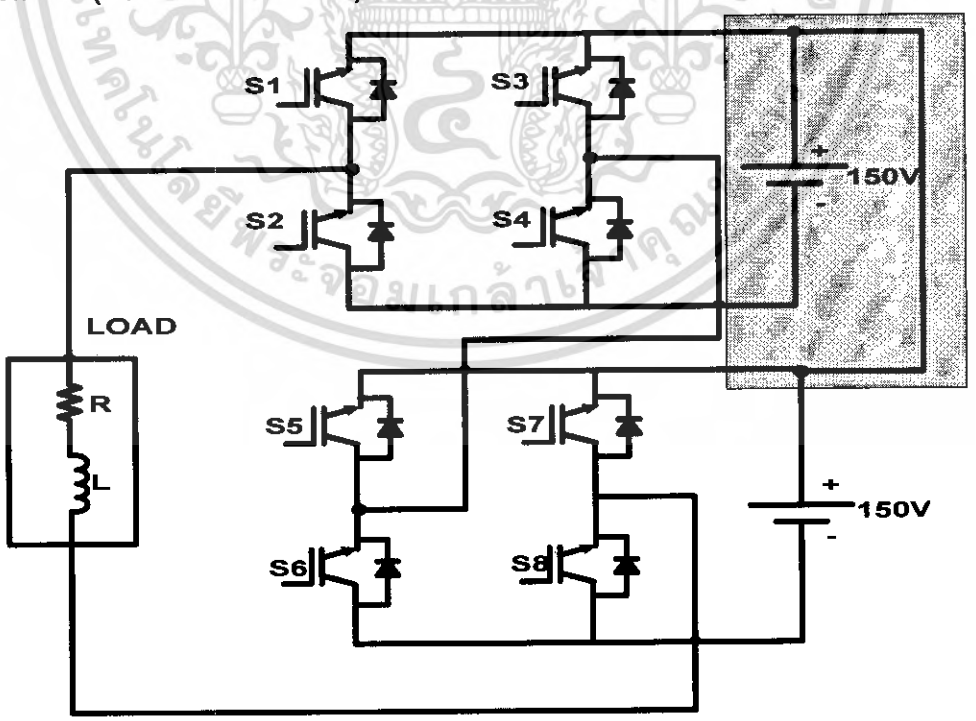
รูปที่ 4.39 สัญญาณที่เกท G24 กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



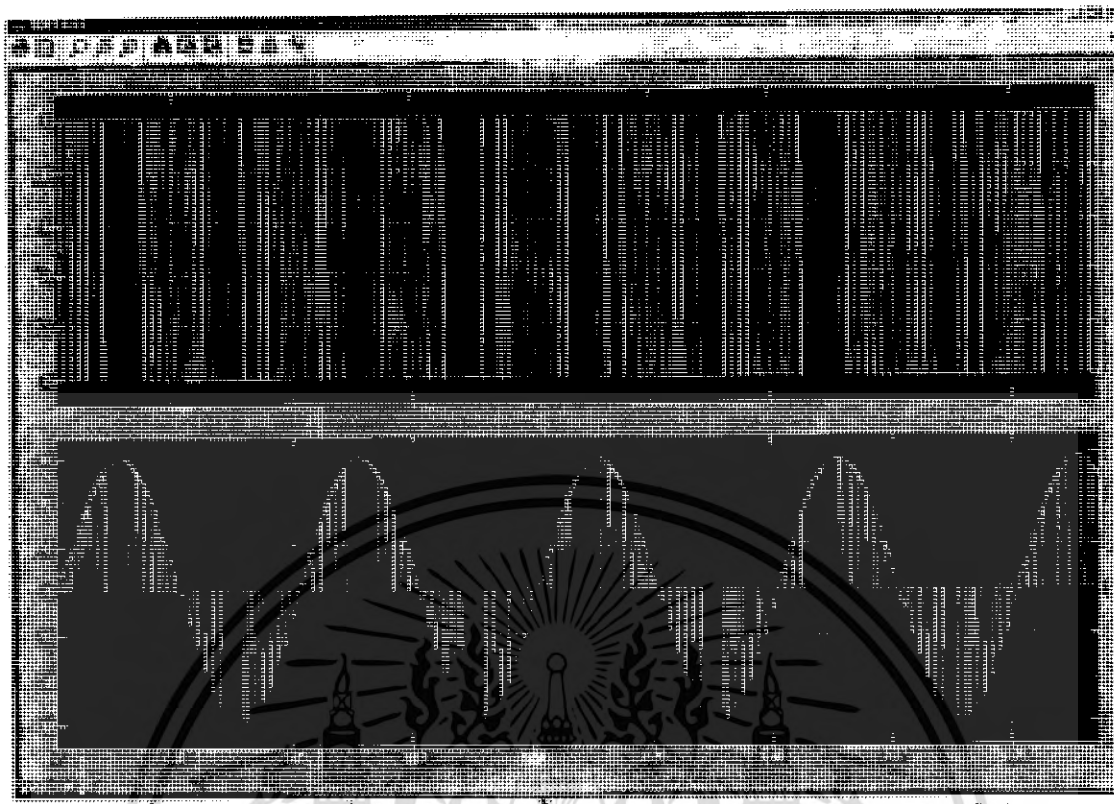
รูปที่ 4.40 สัญญาณที่โหลด กรณีที่ขั้วบวก-ลบลัดวงจรถึงกัน

4.1.2.4 การลัดวงจรแบบลัดวงจรภายนอก กรณีที่ขั้วบวกของกิ่งบนและล่างลัดวงจรถึงกัน (P1-P2 short Circuit)

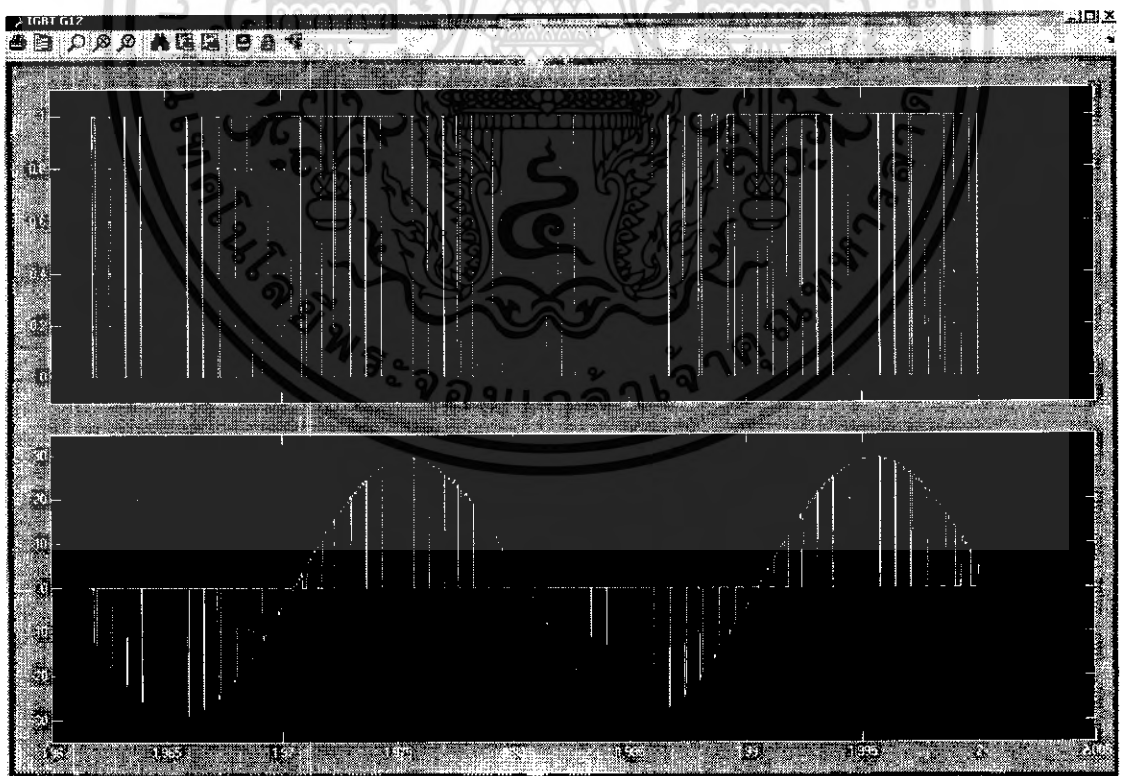


รูปที่ 4.41 วงจรในสภาวะที่เกิดการลัดวงจรกรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

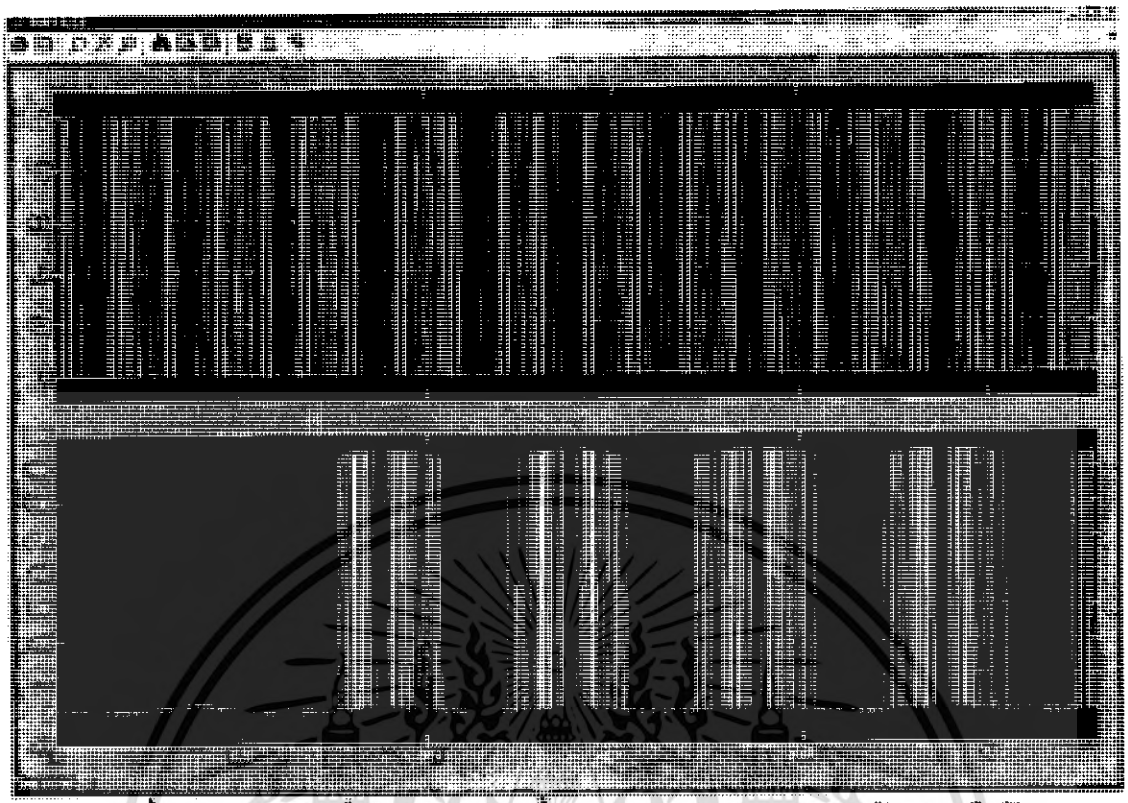


รูปที่ 4.42 สัญญาณที่เกท G11 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน



รูปที่ 4.43 สัญญาณที่เกท G12 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน

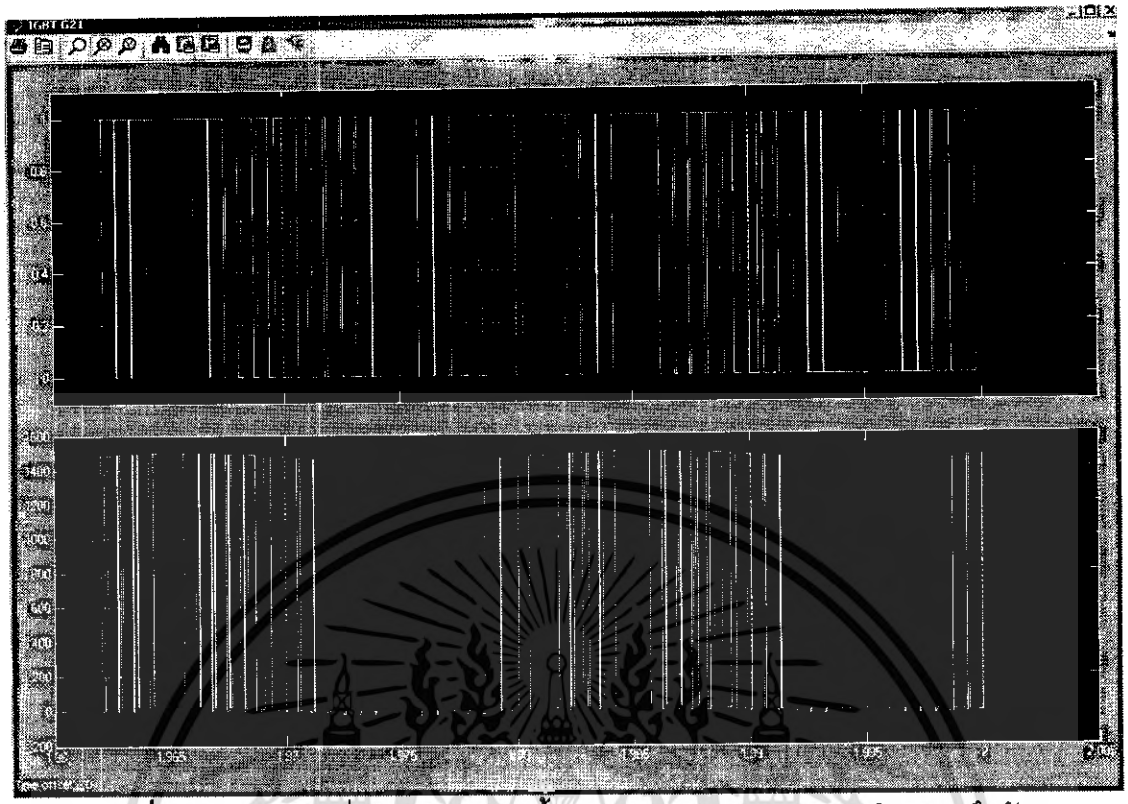
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.44 สัญญาณที่เกท G13 กรณีขั้วลวดของชุดแผงและชุดฐานตั้งตรงขั้วเดียวกัน

รูปที่ 4.45 สัญญาณที่เกท G14 กรณีขั้วลวดของชุดแผงและชุดฐานตั้งตรงขั้วเดียวกัน

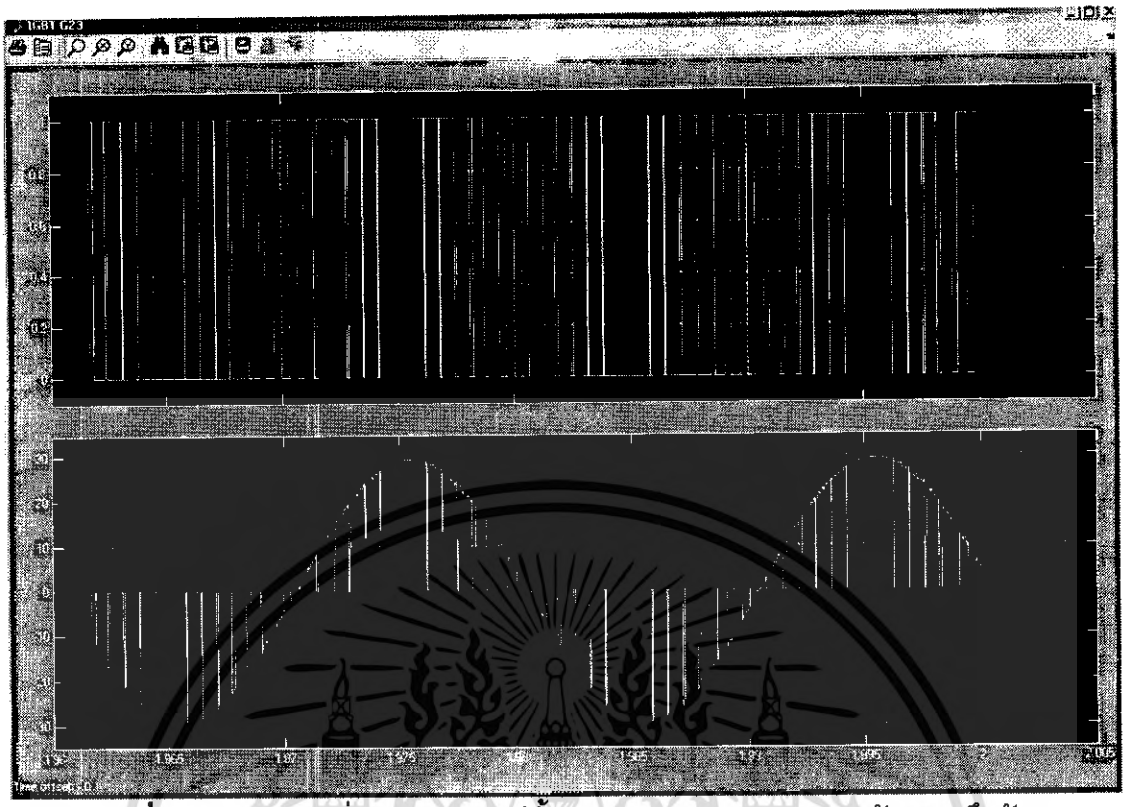
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



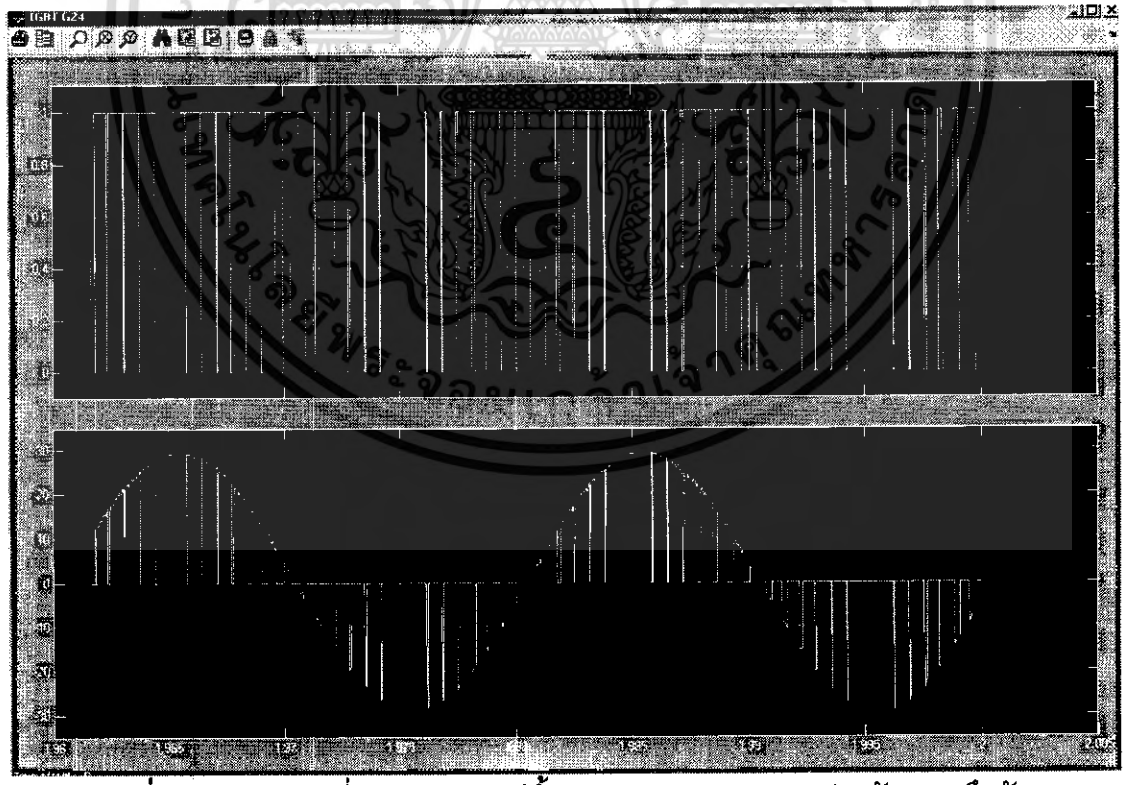
รูปที่ 4.46 สัญญาณที่เกท G21 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน

รูปที่ 4.47 สัญญาณที่เกท G22 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.48 สัญญาณที่เกท G23 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน

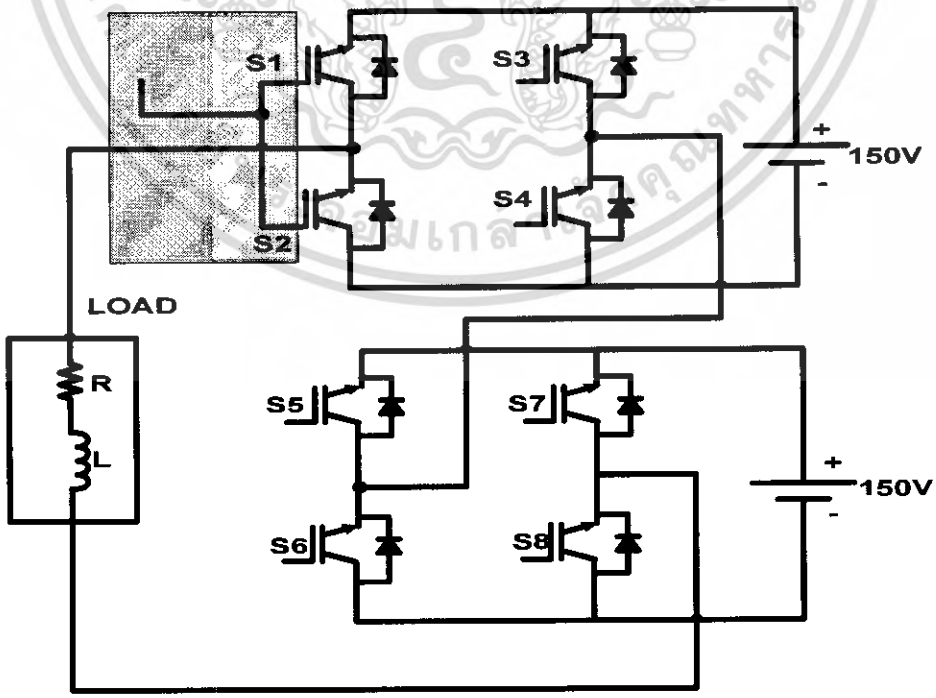


รูปที่ 4.49 สัญญาณที่เกท G24 กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

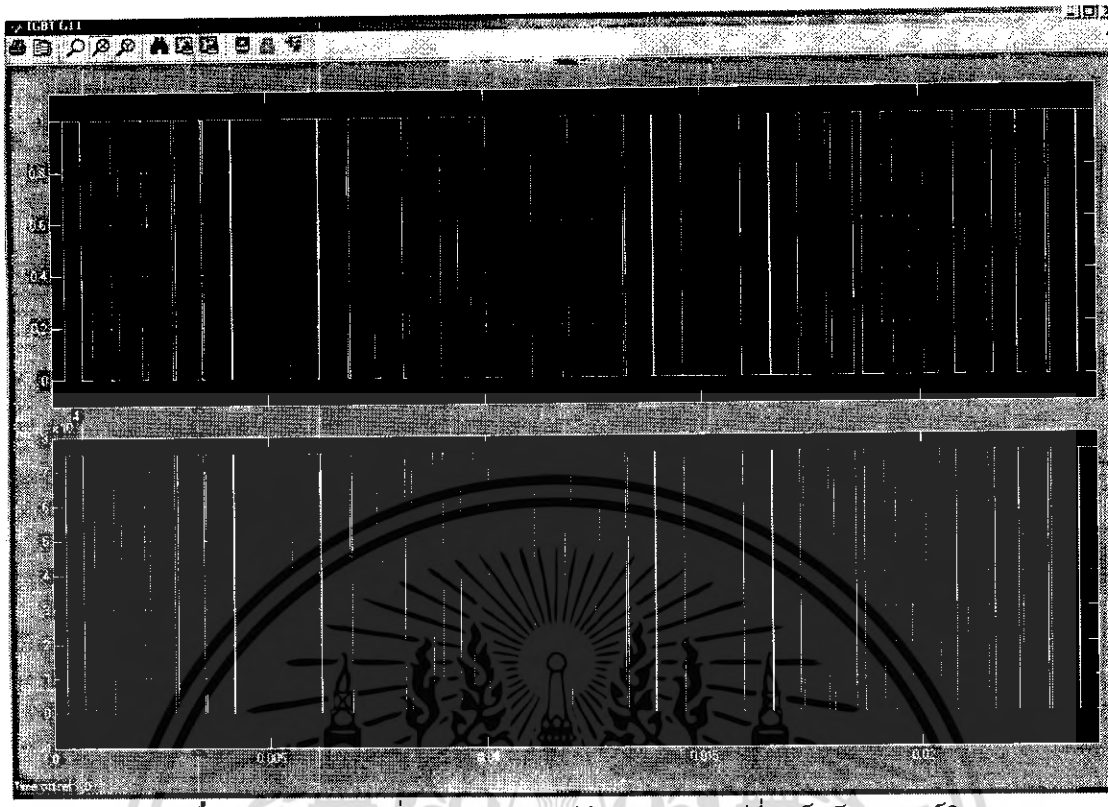
รูปที่ 4.50 สัญญาณที่โหลด กรณีขั้วบวกของชุดบนและชุดล่างลัดวงจรถึงกัน

4.1.2.5 การเกิดการลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต(Series Arm short circuit) เกิดจากความผิดพลาดของสัญญาณควบคุมอาจเนื่องมาจากการถูกรบกวน



รูปที่ 4.51 วงจรในสภาวะที่เกิดการลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต

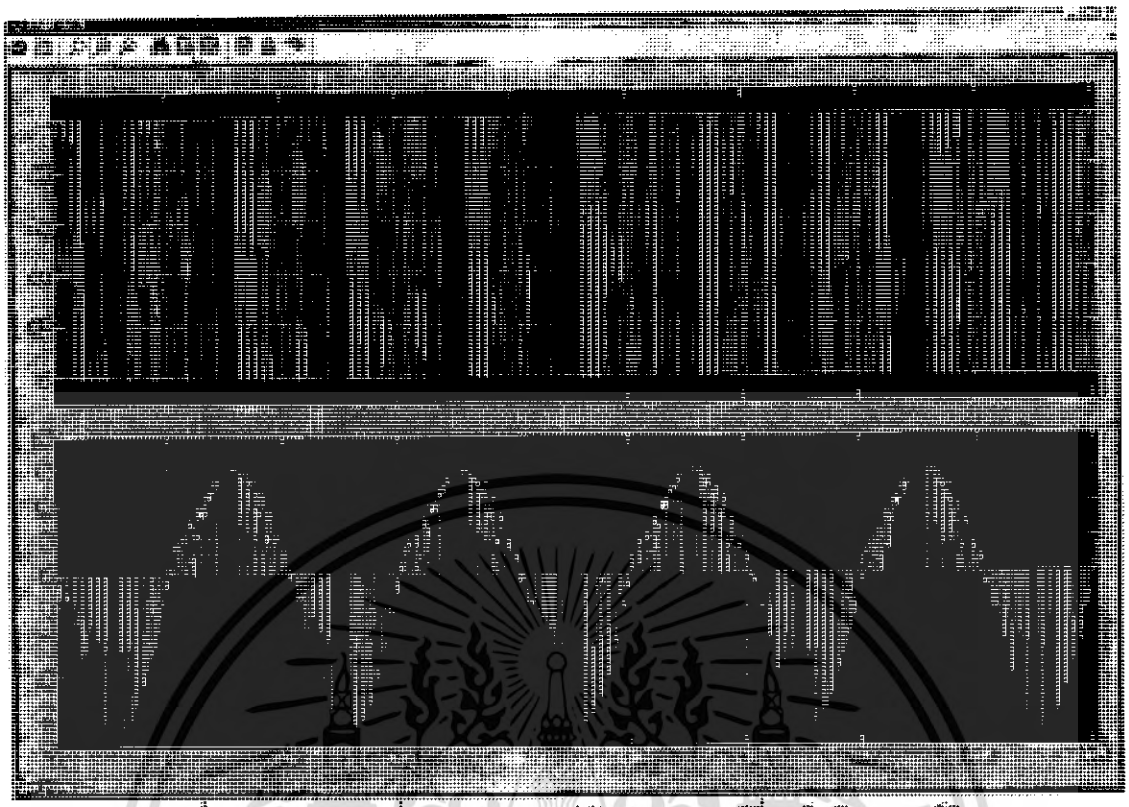
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.52 สัญญาณที่เกท G11 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต

รูปที่ 4.53 สัญญาณที่เกท G12 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต

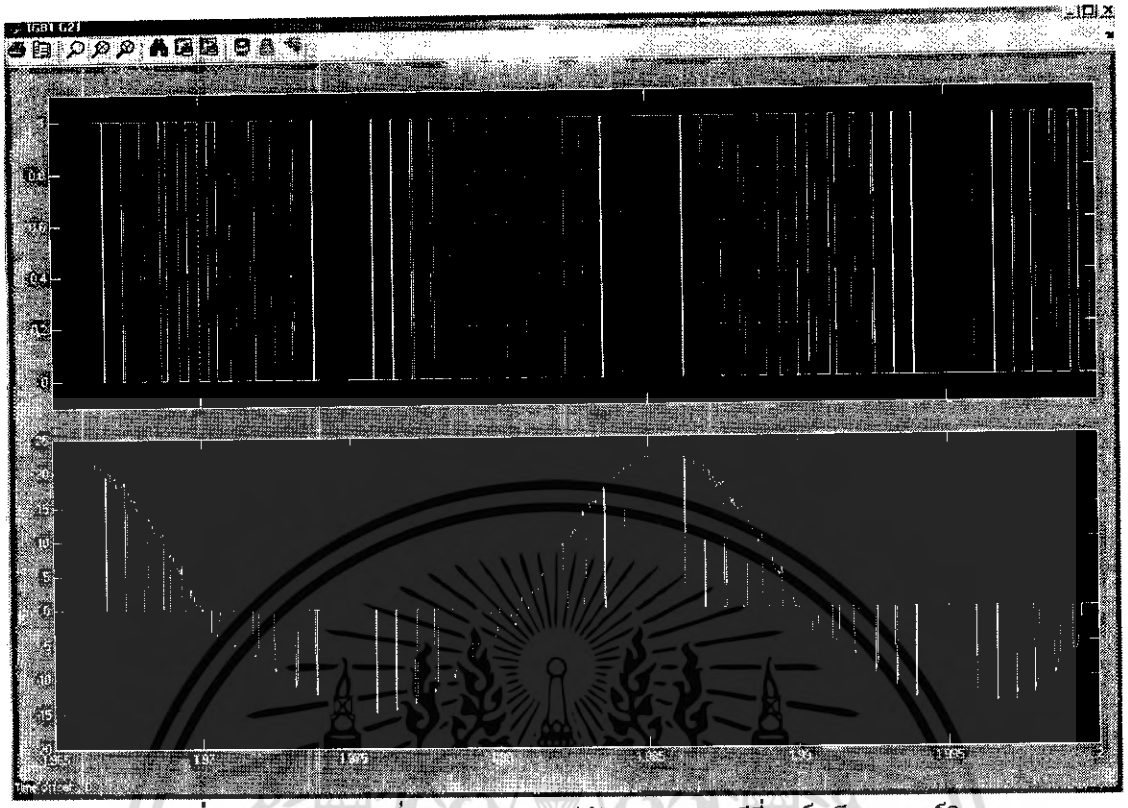
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



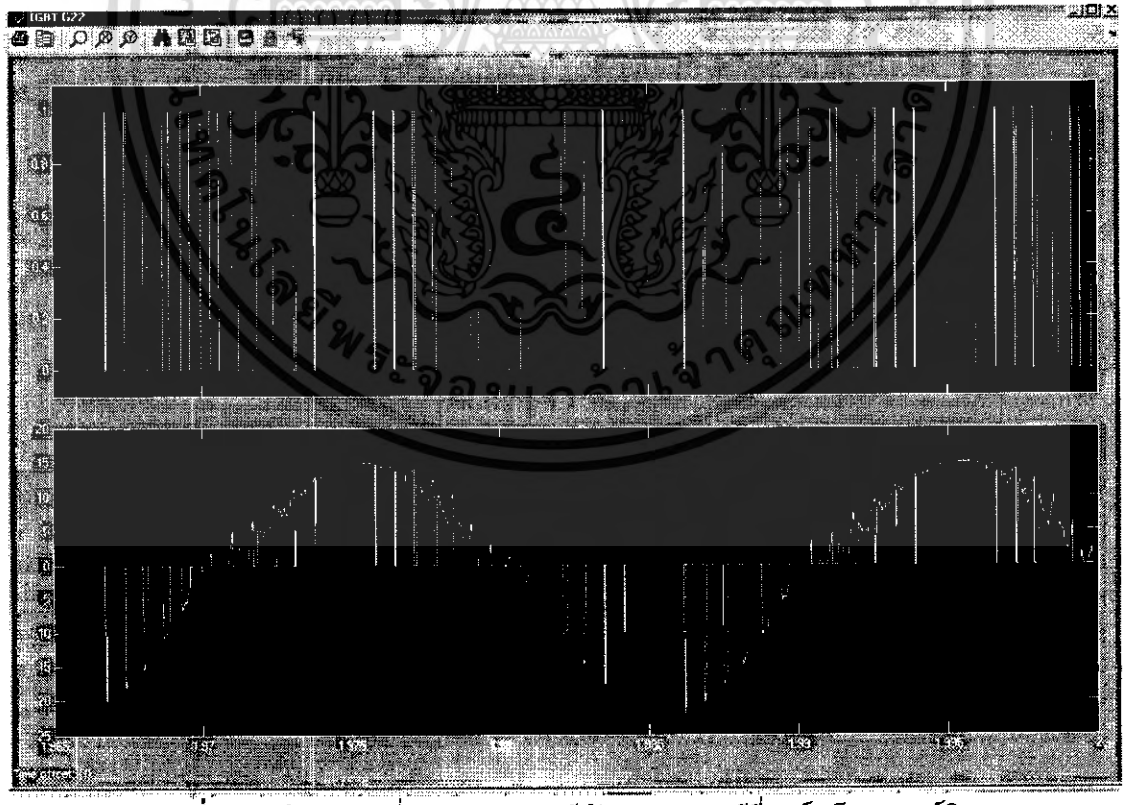
รูปที่ 4.54 สัญญาณที่เกท G13 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต

รูปที่ 4.55 สัญญาณที่เกท G14 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

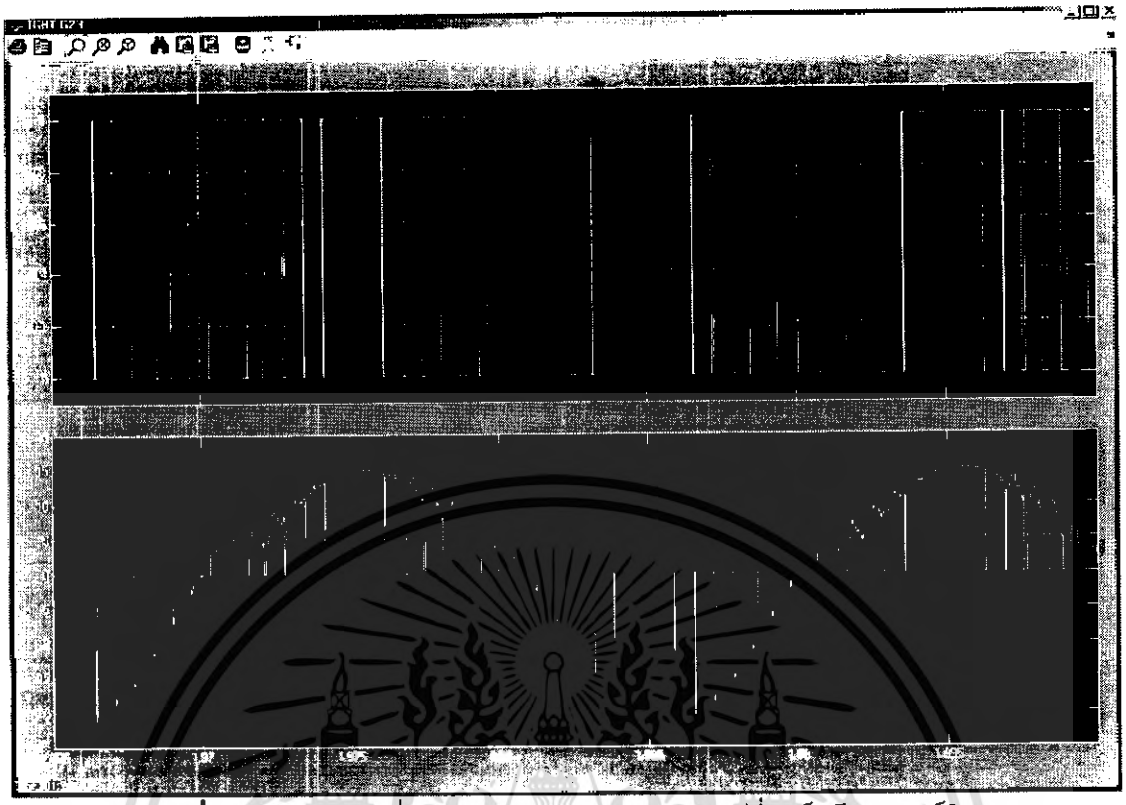


รูปที่ 4.56 สัญญาณที่เกท G21 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต

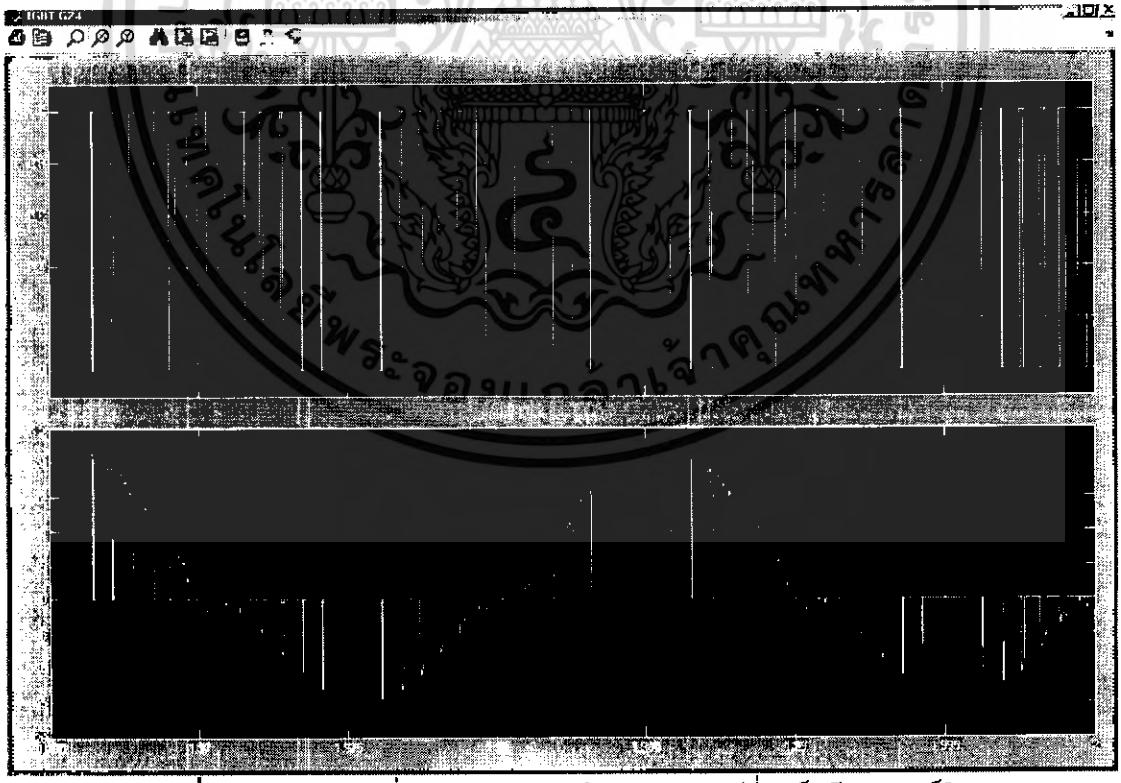


รูปที่ 4.57 สัญญาณที่เกท G22 กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

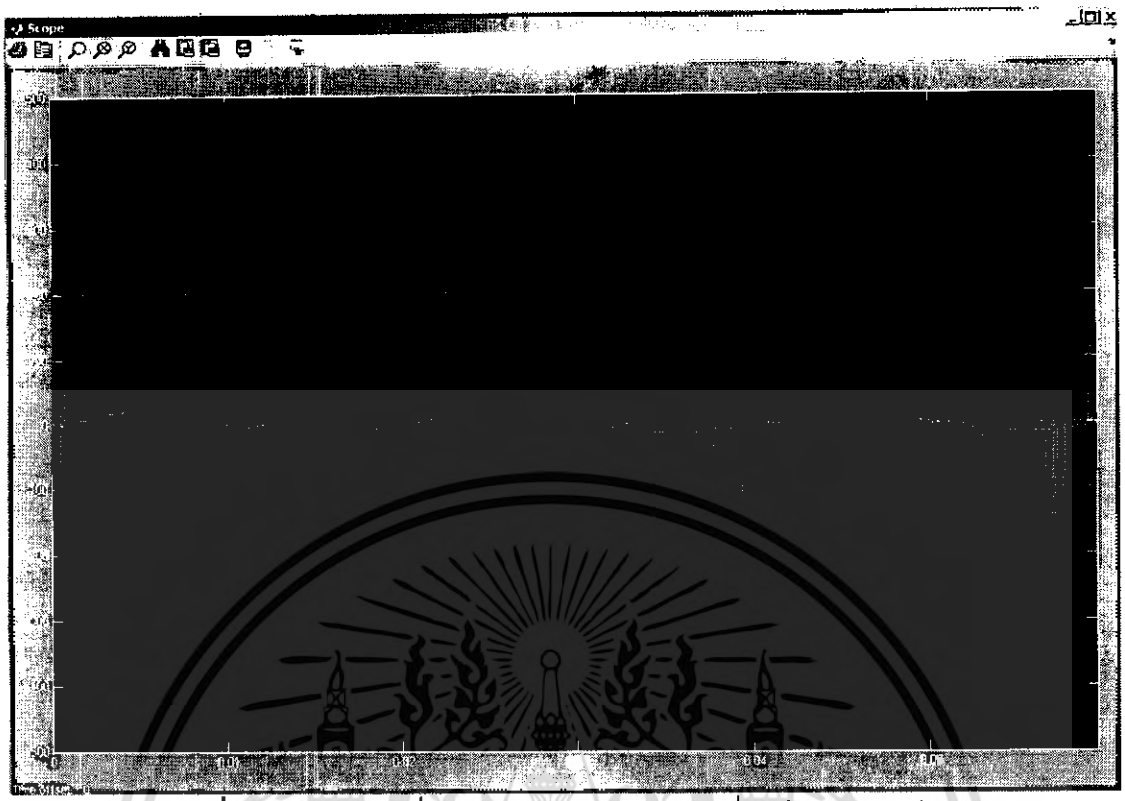


รูปที่ 4.58 สัญญาณที่เกท G23 กรณีลัดวงจรแบบซีรี่อาร์มซ็อตเซอร์กิต



รูปที่ 4.59 สัญญาณที่เกท G24 กรณีลัดวงจรแบบซีรี่อาร์มซ็อตเซอร์กิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.60 สัญญาณที่โหลด กรณีลัดวงจรแบบซีรี่อาร์มช็อตเซอร์กิต

ตารางที่ 4.1 สรุปโอกาสที่จะมีความเสียหายกับไอจีบีทีในประเภทต่างๆ โดยการจำลองด้วยโปรแกรม Matlab/Simulink

รูปแบบการ Short-Circuit	ตำแหน่งของ IGBT							
	G11	G12	G13	G14	G21	G22	G23	G24
Arm-Short Circuit	O	X	N	N	N	N	N	N
Series Arm Short Circuit	O	O	N	N	N	N	N	N
Output Short Circuit	O	O	O	O	O	O	O	O
P1 - N2 Short Circuit	N	N	O	O	O	O	N	N
P1 – P2 Short Circuit	O	O	N	N	N	N	O	O

หมายเหตุ

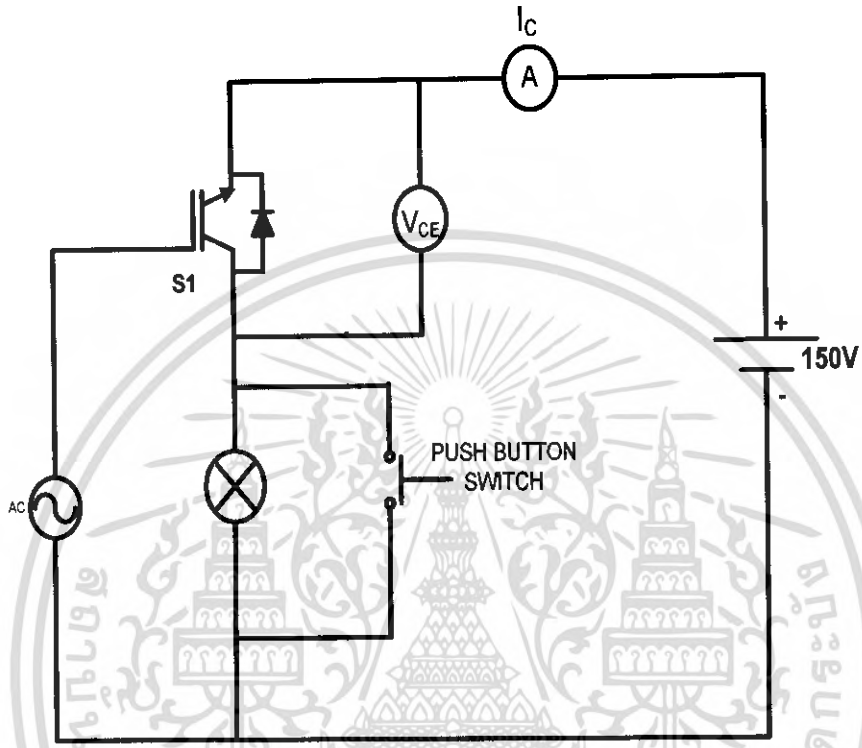
- ตำแหน่งที่ G11 - G14 เป็นไอจีบีทีชุดบน
- ตำแหน่งที่ G21 – G24 เป็นไอจีบีทีชุดล่าง
- O หมายถึง ไอจีบีทีมีโอกาสเสียหายหากเกิดการช็อตเซอร์กิต
- X หมายถึง ตำแหน่งที่ทำการช็อตเซอร์กิตในการทดลอง
- N หมายถึง ตำแหน่งที่ไม่เกิดความเปลี่นแปลงของกระแสเมื่อเกิดการช็อตเซอร์กิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลอง

4.2.1 ผลการทดลองหา V_{CE} characteristic

การทดลองหา V_{CE} characteristic นั้นเราจะทำการต่อวงจรดังรูปที่



รูปที่ 4.61 วงจรทดลองหา V_{CE} characteristic

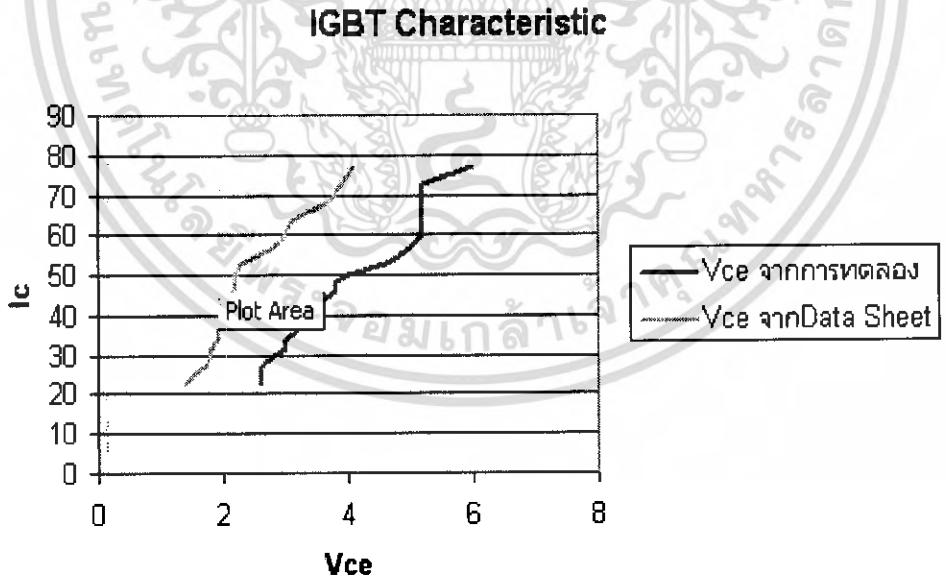
ตารางที่ 4.2 ค่า V_{CE} จาผลการทดลองและจาก Data Sheet ของไอจีบีทีเบอร์ G4PH50UD

V_{DC}	V_{CE} จากการทดลอง	I_C	V_{CE} จาก Data Sheet
50	2.6	22.6	1.4
55	2.6	24.6	1.5
60	2.6	27.2	1.7
65	2.8	29.6	1.8
70	3	31.4	1.8
75	3	34	1.9
80	3.2	36.4	1.95
85	3.2	36.8	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

90	3.4	41.4	2.1
95	3.6	43.8	2.1
100	3.8	46	2.15
105	3.8	48.2	2.2
110	4	50	2.2
115	4.6	52.8	2.3
120	4.8	54.5	2.5
125	5	56.8	2.8
130	5.2	60	3
140	5.2	63.6	3.1
150	5.2	68.4	3.7
160	5.2	72.8	3.9
170	6	77.2	4.1

หมายเหตุ ค่า V_{CE} จาก Data Sheet ให้ดูจากภาคผนวก ข



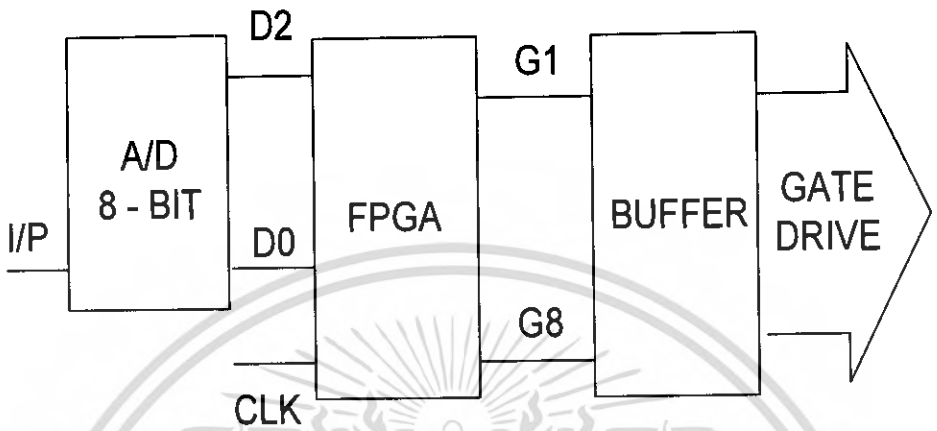
รูปที่ 4.62 กราฟเปรียบเทียบ V_{CE} ที่ได้จากการทดลอง กับใน Data Sheet

จากกราฟที่ทำการพล็อตนั้นเราจะเห็นได้ว่าค่า V_{CE} ที่ได้จากการทดลองมากกว่า V_{CE} จาก Data Sheet ประมาณ 1-2 โวลต์ ซึ่งค่า V_{CE} จาก Data Sheet ที่นำมาพล็อตนั้นเป็นการอ่านค่ามาจากกราฟในภาคผนวก ข

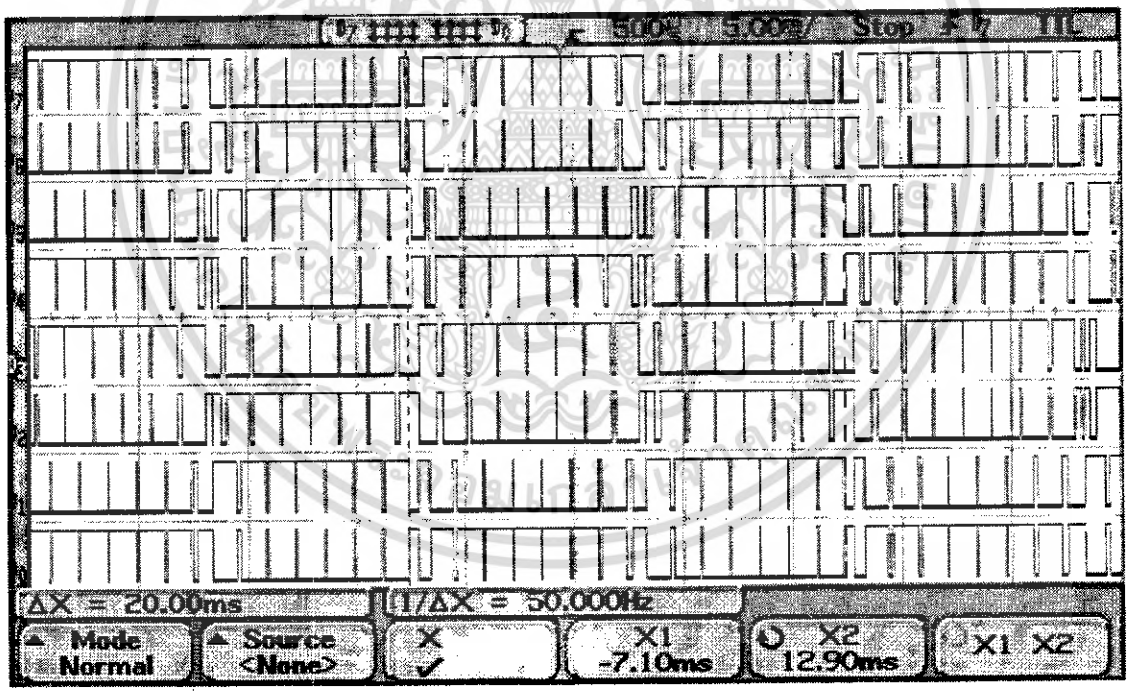
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 สัญญาณขับเกท

สัญญาณขับเกทที่ได้ทำขึ้นนั้นมาจากวงจรสร้างสัญญาณ โดยผ่าน A/D, FPGA, Buffer ดังรูป

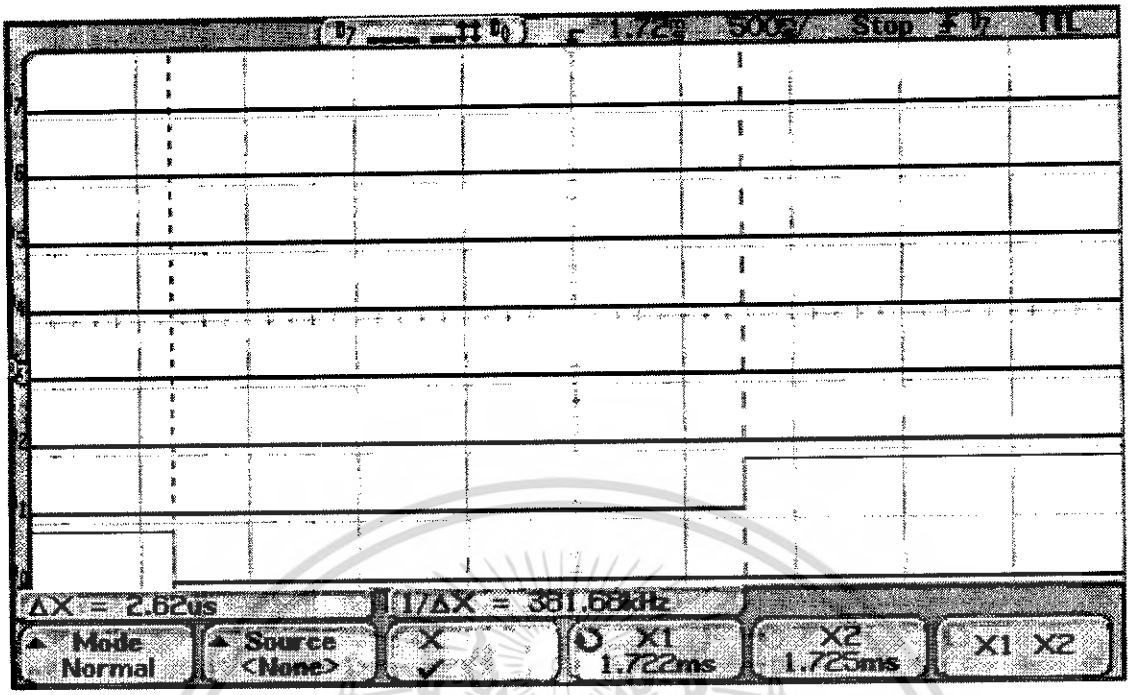


รูปที่ 4.63 วงจรสร้างสัญญาณขับเกท



รูปที่ 4.64 สัญญาณขับเกทสำหรับไอจีบีที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

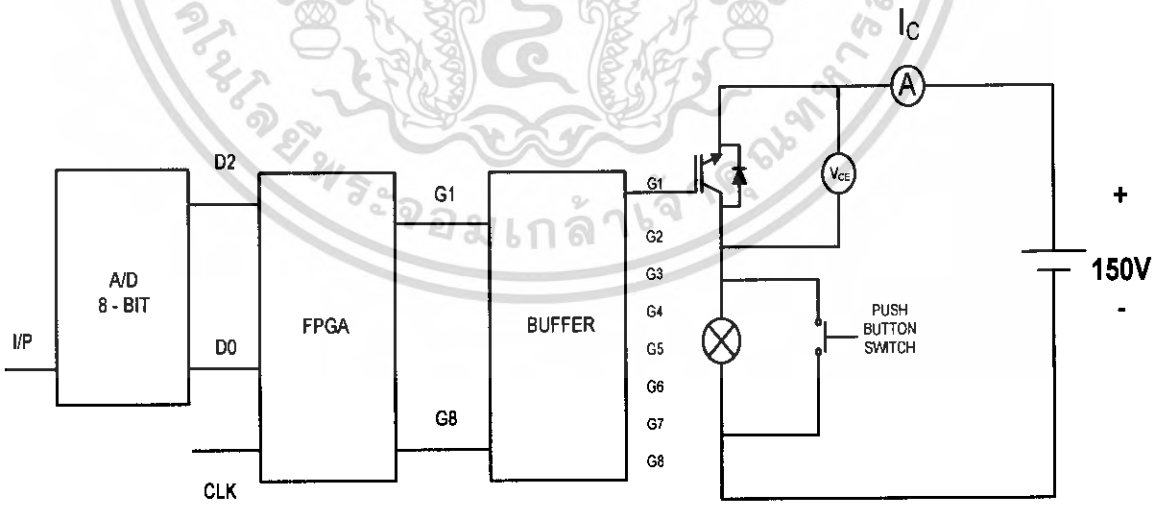


รูปที่ 4.65 สัญญาณเกทที่ทำการใส่เดดไทม์ (Dead Time)

จากรูป 4.26 ค่าเดดไทม์ (Dead Time) ที่ใส่ให้กับสัญญาณขับ คือ 2.62 μsec

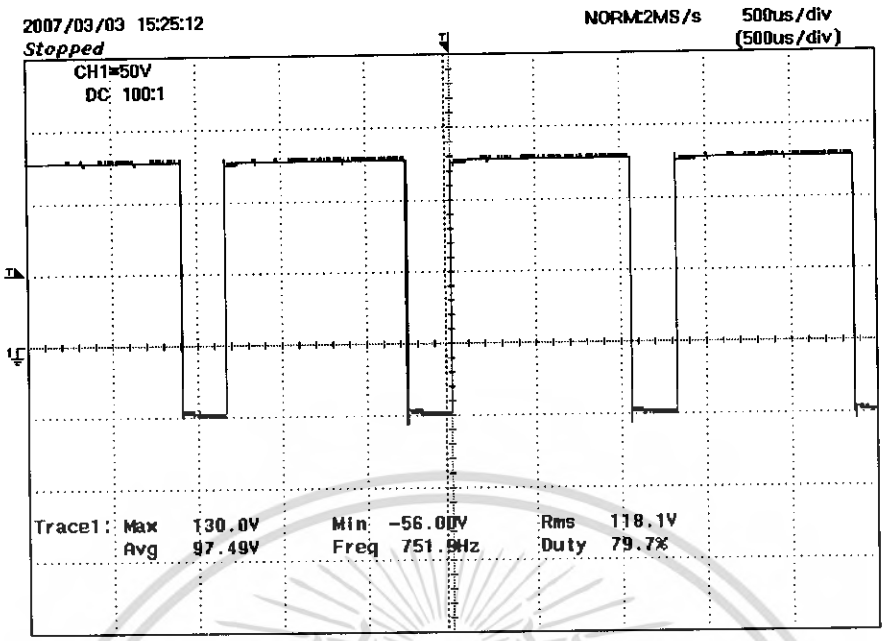
4.2.3 การทดสอบ กรณีใช้ไอจีบีที 1 ตัว

โดยวงจรการทดสอบ กรณีใช้ไอจีบี 1 ตัวนั้น แสดงไว้ในรูปที่

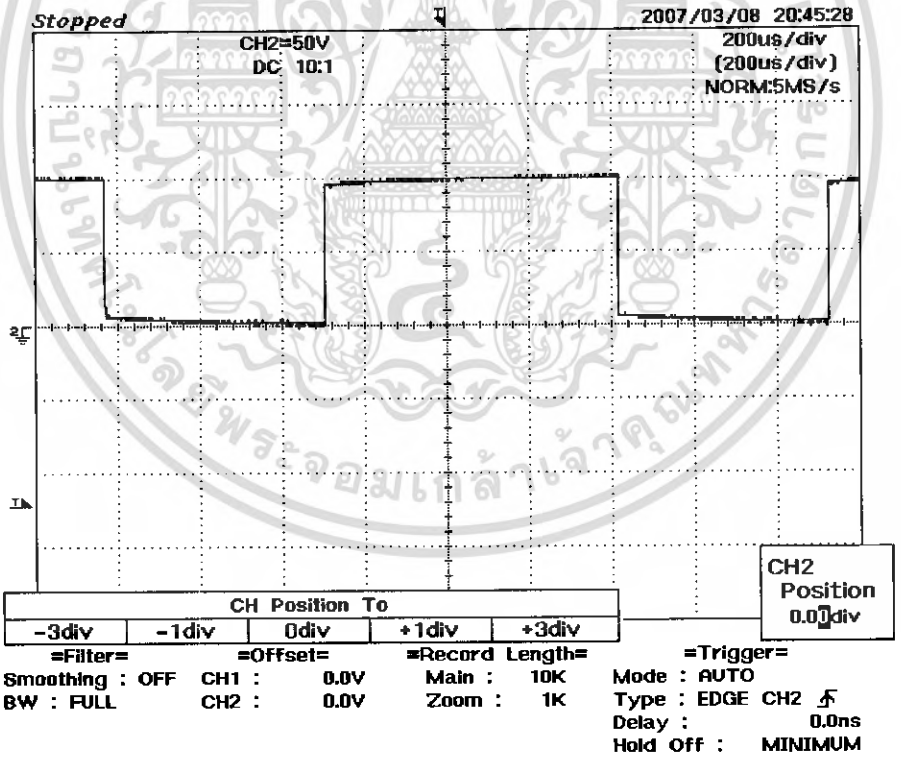


รูปที่ 4.66 แสดงวงจรทดสอบ กรณีใช้ไอจีบีที 1ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

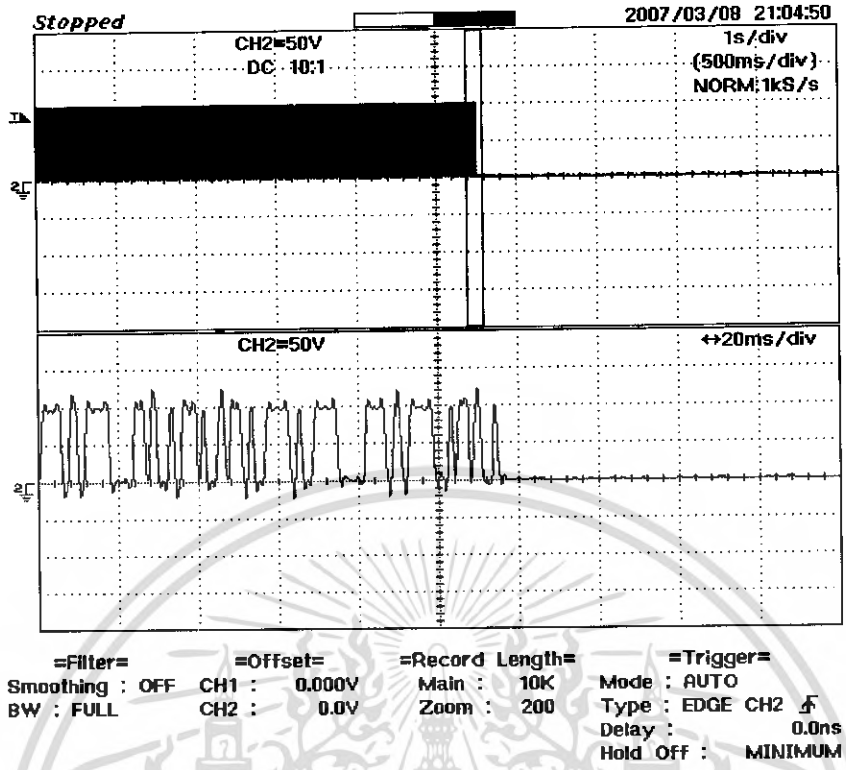


รูปที่ 4.67 สัญญาณขับเกทที่ขาเกทของไอจีบีที

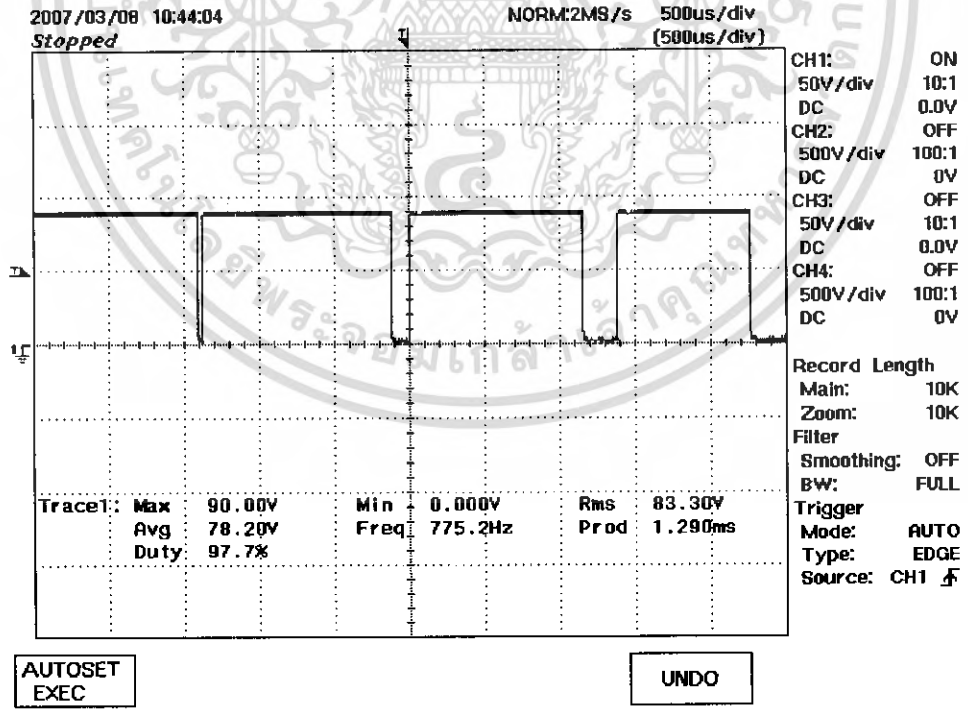


รูปที่ 4.68 แรงดันดกคร่อมโหลดในสภาวะปกติ ที่ระดับแรงดันไฟตรง 100 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

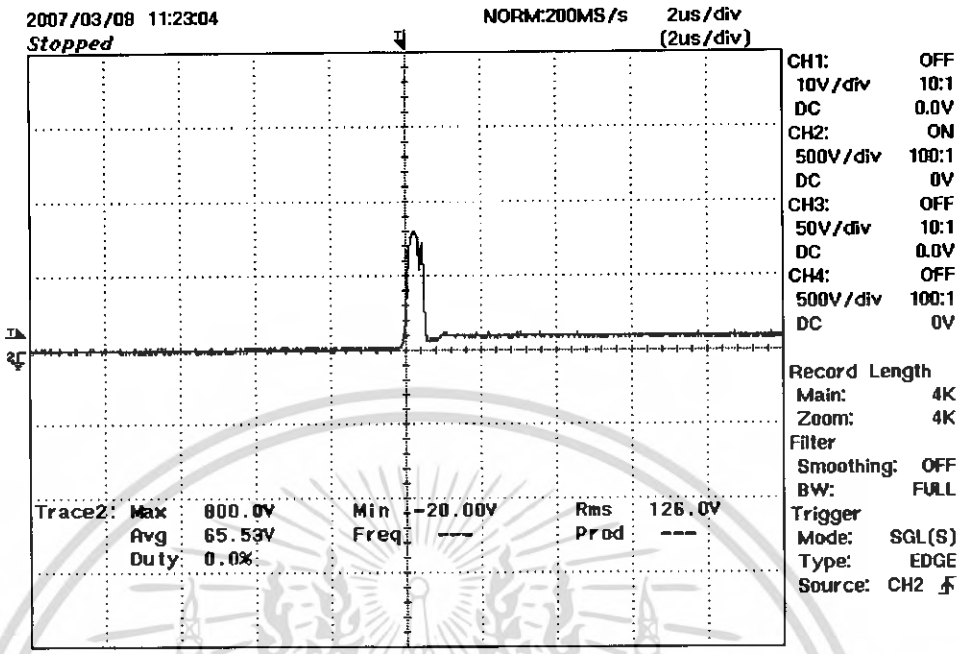


รูปที่ 4.69 แรงดันดกคร่อมโหลดขณะลัดวงจร ที่ระดับแรงดันไฟตรง 100 V

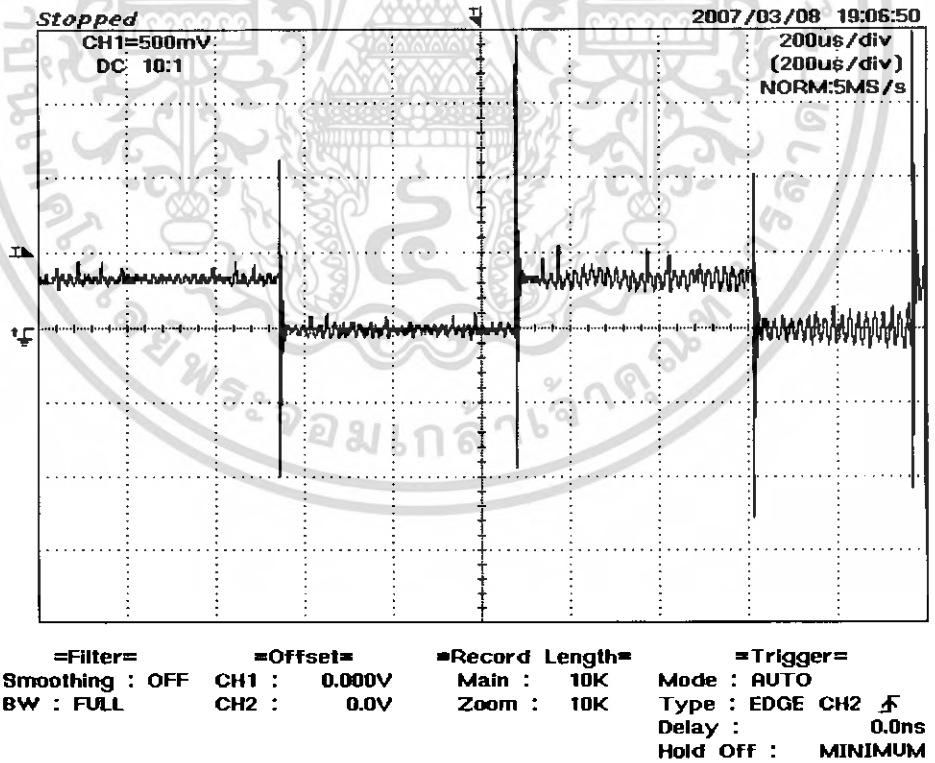


รูปที่ 4.70 แรงดัน V_{CE} ในสภาวะปกติ ที่ระดับแรงดันไฟตรง 100 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

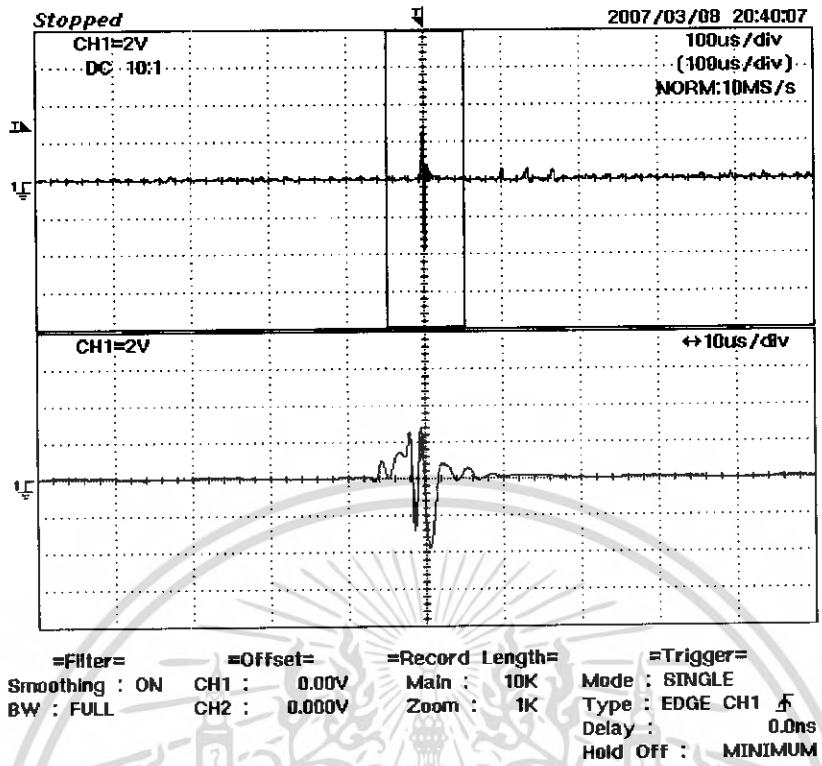


รูปที่ 4.71 แรงดัน V_{CE} ขณะลัดวงจร ที่ระดับแรงดันไฟตรง 100 V



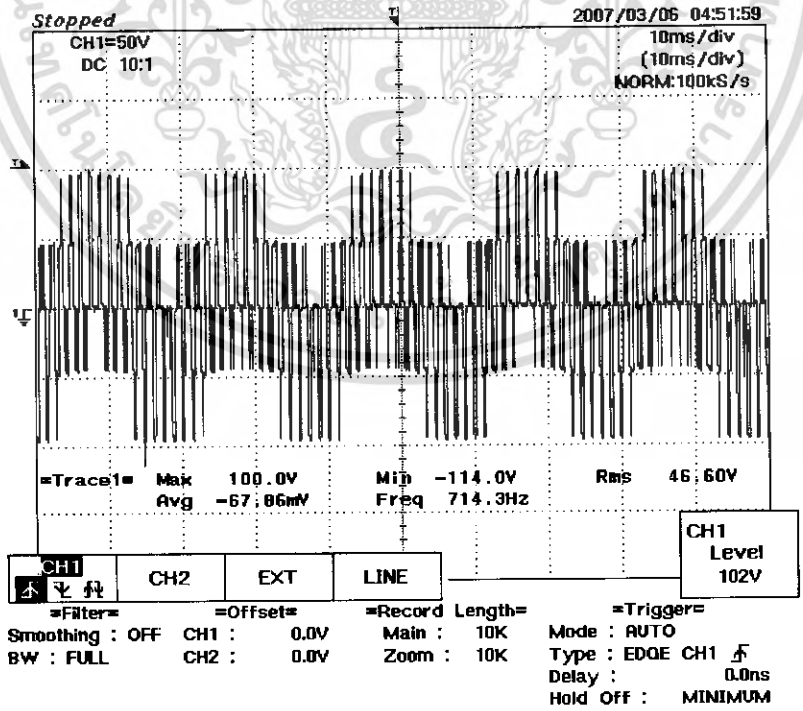
รูปที่ 4.72 กระแสที่ผ่านโหลดในสภาวะปกติ ที่ระดับแรงดันไฟตรง 100V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



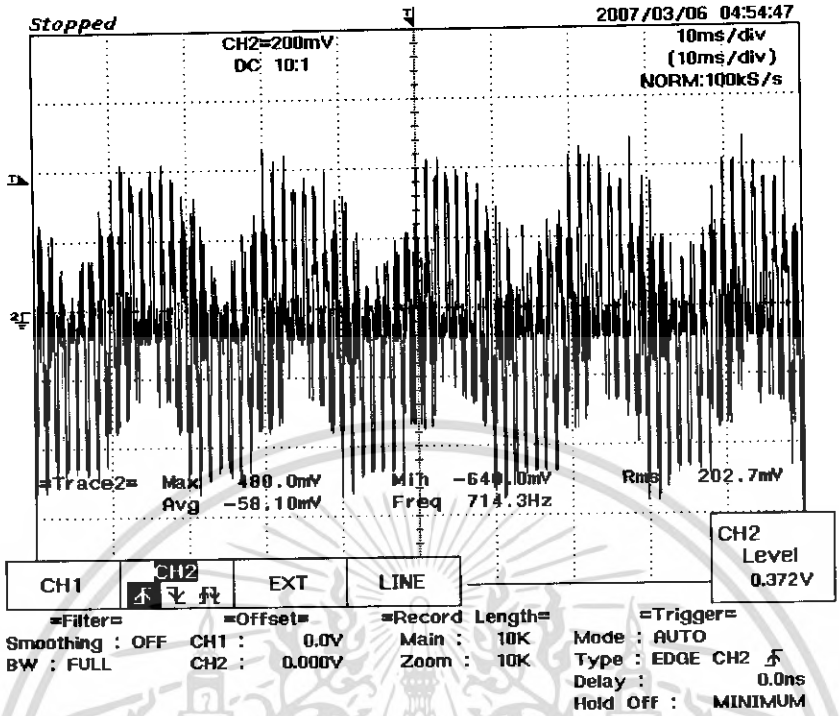
รูปที่ 4.73 กระแสที่ผ่านโหลดขณะลัดวงจร ที่ระดับแรงดันไฟตรง 100 V

4.2.4 การทดสอบ กรณีใช้วงจรอินเวอร์เตอร์ 5 ระดับ

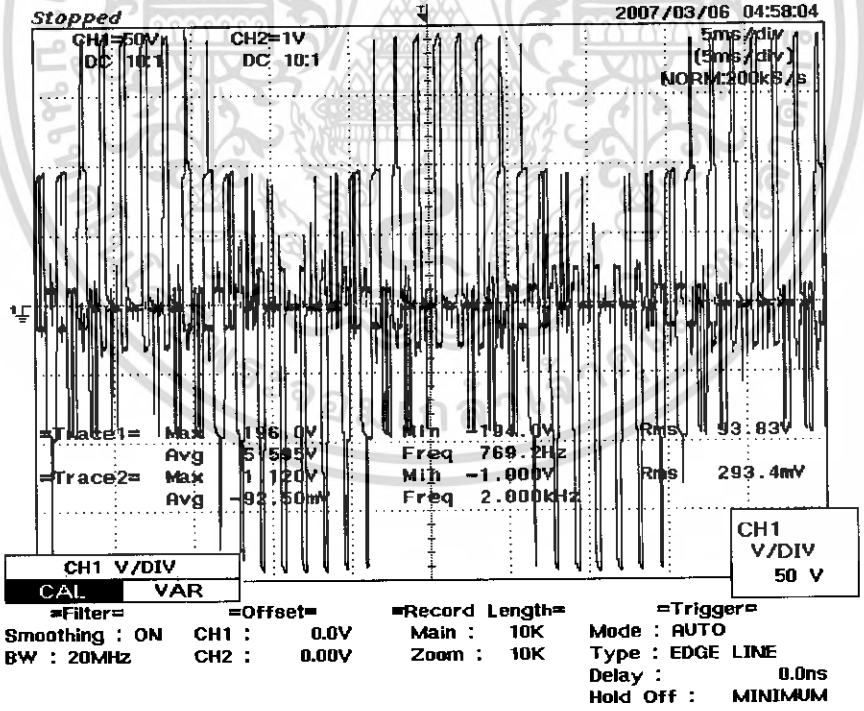


รูปที่ 4.74 แรงดันดกคร่อมโหลดในสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

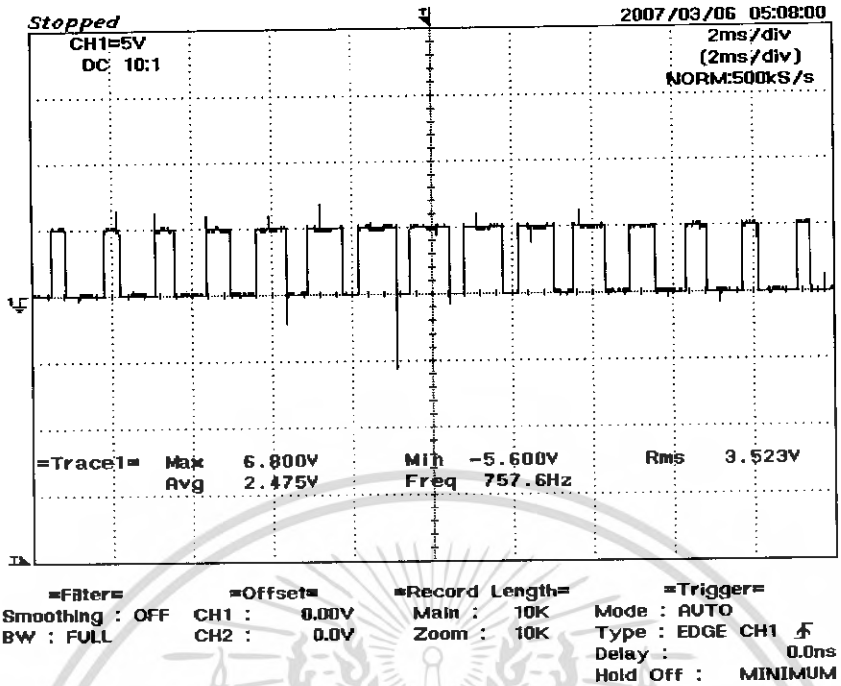


รูปที่ 4.75 กระแสที่ผ่านโหลดในสภาวะปกติ

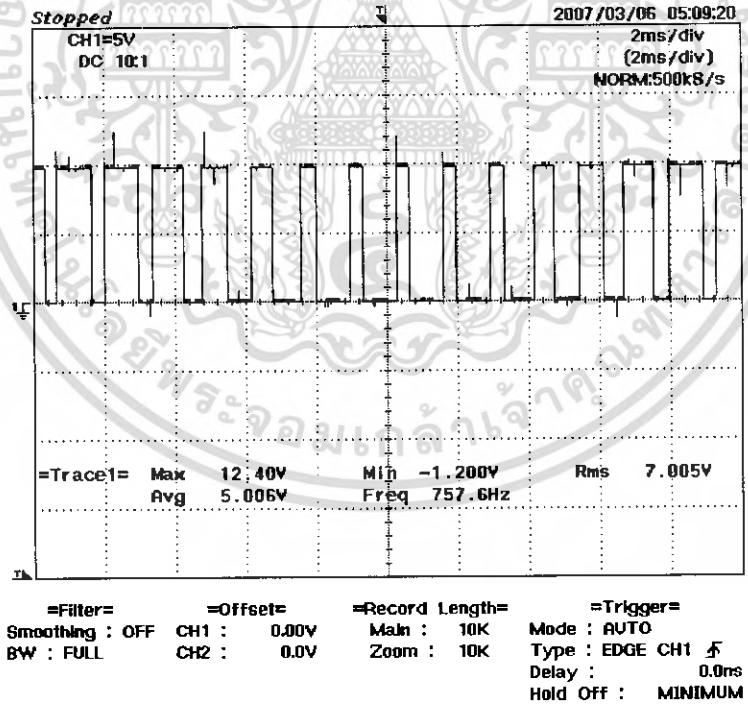


รูปที่ 4.76 กระแสและแรงดันที่โหลดในสภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

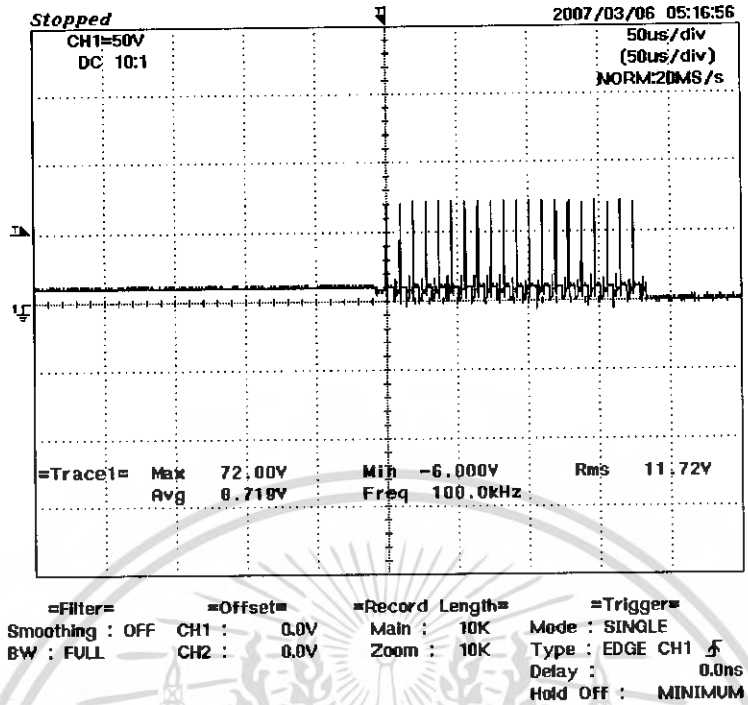


รูปที่ 4.77 แรงดัน V_{CE} ในสภาวะปกติ ที่ระดับแรงดันไฟตรง 50 V



รูปที่ 4.78 แรงดัน V_{CE}ในสภาวะปกติ ที่ระดับแรงดันไฟตรง 100 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.79 แรงดัน V_{CE} ขณะลัดวงจร ที่ระดับแรงดันไฟตรง 100 V

จากการทดสอบด้วยการใช้ไอจีบีทีเพียงตัวเดียวนั้น อุปกรณ์ตรวจจับที่นำมาใช้นั้นสามารถทำงานได้ผลอย่างน่าพอใจ โดยจะสามารถตรวจจับ และป้องกันอุปกรณ์ต่างๆในวงจรได้อย่างสมบูรณ์ แต่ในการทดลองโดยใช้วงจรอินเวอร์เตอร์ 5 ระดับนั้น อุปกรณ์ที่นำมาตรวจจับนั้นยังไม่สามารถดับวงจรได้ทัน เป็นผลให้วงจรที่ได้จัดทำขึ้นเกิดความเสียหาย ซึ่งอาจเป็นผลมาจากค่าดีเลย์ (Delay) ในอุปกณ์ตรวจจับซึ่งเป็นผลให้ระยะเวลาการดับวงจรนั้นทำได้ช้าเกินไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและแนวทางในการพัฒนา

5.1 สรุป

จากการศึกษาเกี่ยวกับโครงสร้างและหลักการทำงานของอินเวอร์เตอร์หลายระดับแบบคาสเคดนั้น ตัวอินเวอร์เตอร์หลายระดับจะทำการสร้างแรงดันแบบขั้นบันได โดยระดับแรงดันนั้นขึ้นอยู่กับ แรงดันของแหล่งจ่ายอิสระ (DC link) ที่จ่ายให้แต่ละชุดขับ ซึ่งการนำอินเวอร์เตอร์หลายระดับ (Multilevel inverter) มาใช้จะช่วยแก้ปัญหาพิกัดทางด้านแรงดันของอุปกรณ์อิเล็กทรอนิกส์กำลังซึ่งหากใช้วิธีการทั่วไปจะได้รับแรงดันเกินพิกัด และเสียหายขึ้นมา ให้สามารถทำงานกับระดับแรงดันที่สูงขึ้นได้โดยอินเวอร์เตอร์หลายระดับนั้นประกอบไปด้วยสวิตช์อิเล็กทรอนิกส์กำลังและแหล่งจ่ายแรงดันจากตัวเก็บประจุ หรือแหล่งจ่ายแรงดันอิสระหลายๆชุด. แรงดันเอ้าต์พุตที่ได้จากอินเวอร์เตอร์ชนิดนี้จะเกิดจากการรวมกันหรือหักล้างกันของแรงดันที่ตัวเก็บประจุ หรือแหล่งจ่ายอิสระเหล่านั้น ซึ่งจะทำให้รูปคลื่นของแรงดันเอ้าต์พุตมีลักษณะเป็นขั้นบันได ในขณะที่สวิตช์อิเล็กทรอนิกส์กำลังไม่ต้องรับแรงดันทั้งหมดแต่จะรับเพียงแรงดันที่เท่ากับแหล่งจ่ายอิสระที่ตัวมันเพียงแค่นั้น อีกทั้งการใช้อินเวอร์เตอร์หลายระดับยังมีข้อได้เปรียบอีกหลายประการ เช่น สามารถสร้างแรงดันเอ้าต์พุตที่มีความเพี้ยนต่ำมาก และมี dv/dt ที่ต่ำมาก รวมทั้งสวิตช์แต่ละตัวยังทำงานที่ความถี่ต่ำ แต่สามารถสร้างแรงดันเอ้าต์พุตที่มีคุณภาพดีซึ่งจะทำให้เกิดความสูญเสียจากสวิตช์น้อยลง

เมื่อเราสร้างแบบจำลองของอินเวอร์เตอร์โดยใช้โปรแกรม Matlab / Simulink จะพบว่าลักษณะของแรงดันขาออกที่ไปจ่ายโหลดจะมีลักษณะเป็นขั้นบันไดเหมือนกับในทฤษฎี ซึ่งในการสร้างสัญญาณควบคุมขาเกทของไอจีบีทีนั้นเราจะอาศัยเทคนิคซายน์นูไซดอลพัลส์วิดท์มอดูเลชัน ซึ่งเกิดจากการมอดูเลชันระหว่างสัญญาณไซน์กับสัญญาณสามเหลี่ยมซึ่งสร้างจาก FPGA โดยใช้โปรแกรม QuartusII โดยประโยชน์ของการใช้ FPGA จะช่วยลดจำนวนอุปกรณ์ลอจิกพื้นฐานต่างๆลงแล้ว ยังก่อให้เกิดความยืดหยุ่นในการแก้ไขและปรับปรุงวงจร ซึ่งในการสร้างบล็อกไดอะแกรมจะช่วยทำให้สามารถลดข้อผิดพลาดในการออกแบบ

และจากการศึกษาการป้องกันวงจรอินเวอร์เตอร์หลายระดับ พบว่าการป้องกันอันดรายที่จะเกิดกับอุปกรณ์ที่อยู่ภายใน ซึ่งส่วนใหญ่แล้วอุปกรณ์ที่เสียหาย มักจะเป็นตัวไอจีบีที และจากการที่วงจรมัลติเลเวลเป็นอุปกรณ์ที่ใช้ไอจีบีทีจำนวนมาก ดังนั้นจึงจัดทำชุดป้องกันการเกิดกระแสเกินที่ไอจีบีทีเนื่องจากการลัดวงจร ด้วยการใช้ไอซีสำเร็จรูปซึ่งมีวงจรป้องกันด้วยวิธีการตรวจจับแรงดันระหว่างขาคอลเล็กเตอร์และอิมิตเตอร์ ซึ่งสามารถทำได้ง่ายกว่าการตรวจจับกระแส โดยผลที่ได้ทำการทดลองนั้นเราได้ทำการทำลองสองกรณี คือ

1.การทดสอบกับไอจีบีทีเพียง 1 ตัว ซึ่งในการทดลองนี้เราได้ผลเป็นไปอย่างดี โดยไอซีที่เรานำมาใช้นั้นสามารถตรวจจับและป้องกันฟอล์ตที่เกิดขึ้นได้อย่างสมบูรณ์

2.การทดลองโดยใช้วงจรอินเวอร์เตอร์ 5 ระดับ ซึ่งในการทดลองนี้ผลที่ได้ออกมานั้นไอซีที่นำมาใช้ในการตรวจจับและป้องกันความเสียหายอันอาจเกิดเนื่องจากฟอล์ต ยังไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถทำงานได้ตรงกับความต้องการ ซึ่งไอซีที่นำมาใช้นั้นสามารถตรวจจับผลของฟอล์ดได้ แต่ยังไม่สามารถป้องกันอุปกรณ์ที่อยู่ในวงจรได้ทัน ทั้งนี้อาจเนื่องมาจากการทำงานไม่พร้อมกันของไอซีสำหรับขับเกตในขณะเกิดการลัดวงจร อาจทำให้เกิดการรบกวนในสภาวะชั่วครู่ ทำให้การป้องกันทำได้ไม่สมบูรณ์ จำเป็นต้องได้รับการปรับปรุงแก้ไขต่อไป

5.2 แนวทางในการพัฒนา

แนวทางในการพัฒนา อาจทำได้โดยนำสัญญาณการตรวจจับกระแสเกินของไอซีแต่ละตัวมาผ่าน OR เกต แล้วนำเอาต์พุตที่ได้ มาใช้ปิด (shutdown) สัญญาณเกตของวงจรขับเกตทุกตัวในวงจร ซึ่งจะทำให้การทำงานของไอจีบีทีในขณะ turn off ทำได้พร้อมเพียงกันมาขึ้น อการป้องกันจะทำได้สมบูรณ์มากขึ้น

นอกจากนี้อาจต้องทำการปรับค่าคงที่เวลา (time constant) ของวงจรในภาคการตรวจจับกระแสเกินของวงจรขับ ให้เหมาะสมกับวงจรอินเวอร์เตอร์และไอจีบีทีที่เลือกใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] มนัส สังวรศิลป์ และ วรรัตน์ ภัทรอมรกุล, คู่มือการใช้งาน MATLAB ฉบับสมบูรณ์, กรุงเทพ, สนพ. อินโฟเพรส, 2543.

[2] A. I. Pressman, *Switching Power Supply Design*, 2nd ed. New York: McGraw-Hill, 1998.

[3] T. Meynard, M. Fadel, and N. Aouda, "Modeling of multilevel converters," *IEEE Trans. Ind. Electron.*, vol. 44, pp. 356–364, June 1997.

[4] Jose Rodriguez , Senior Member IEEE , Jih –Sheng Lai , Senior Member , IEEE ,and Fang Zheng Peng , Senior Member , IEEE " **Multilevel inverter : A Survey of Topologyies , Controls , and Applications "** , IEEE 2002/0278-0046/02

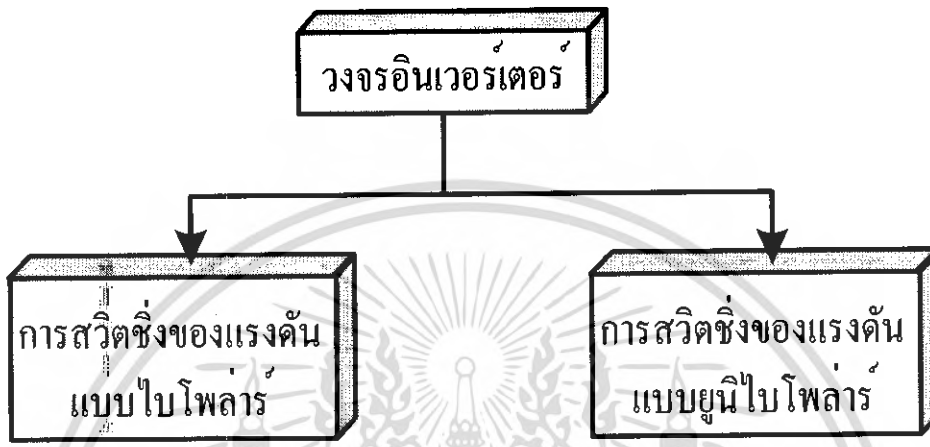
[5] L. Tolbert, F.-Z. Peng, and T. Habetler, "Multilevel converters for large electric drives," *IEEE Trans. Ind. Applicat.*, vol. 35, pp. 36–44, Jan./Feb. 1999.

[6] รศ.ดร. วีระเชษฐ์ ขันเงิน และ วุฒิพล ธาราธีรเศรษฐ์, อิเล็กทรอนิกส์กำลัง, กรุงเทพ, สนพ. ห้างหุ้นส่วนจำกัด วี.เจ. พริ้นติ้ง, 2548.

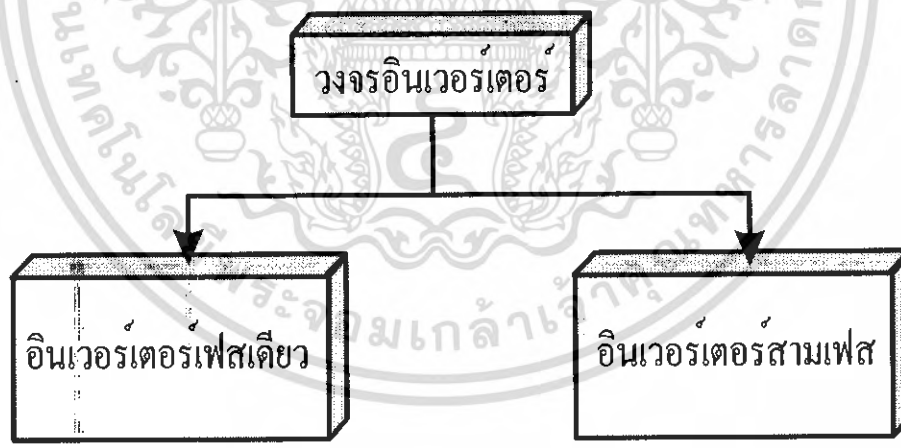
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

บทสรุปภาพรวมของอินเวอร์เตอร์ตามแบ่งตามประเภทและชนิดต่าง ๆ ได้ดังนี้

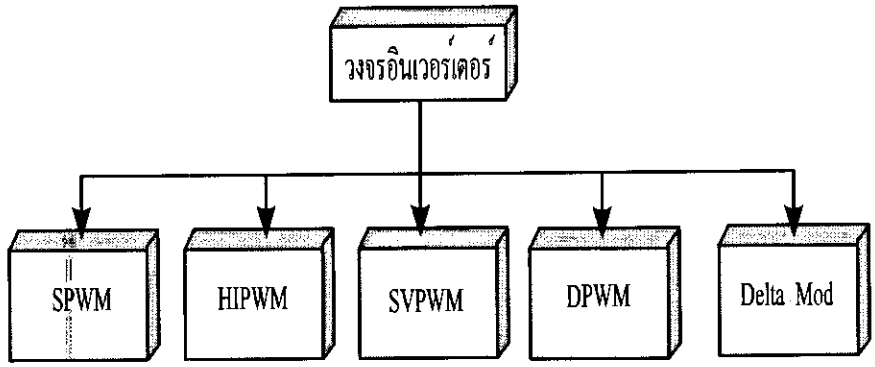


กรณีที่ 1 อินเวอร์เตอร์แบ่งตามการสวิตชิ่งของแรงดันด้านออก

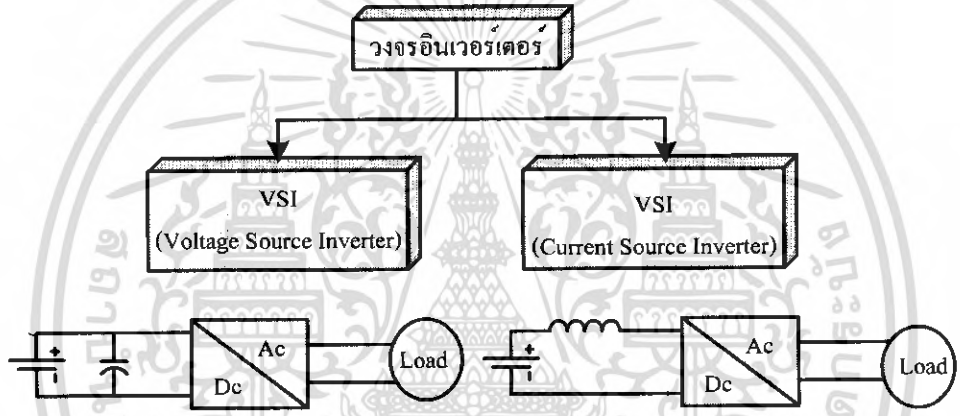


กรณีที่ 2 อินเวอร์เตอร์แบ่งตามเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

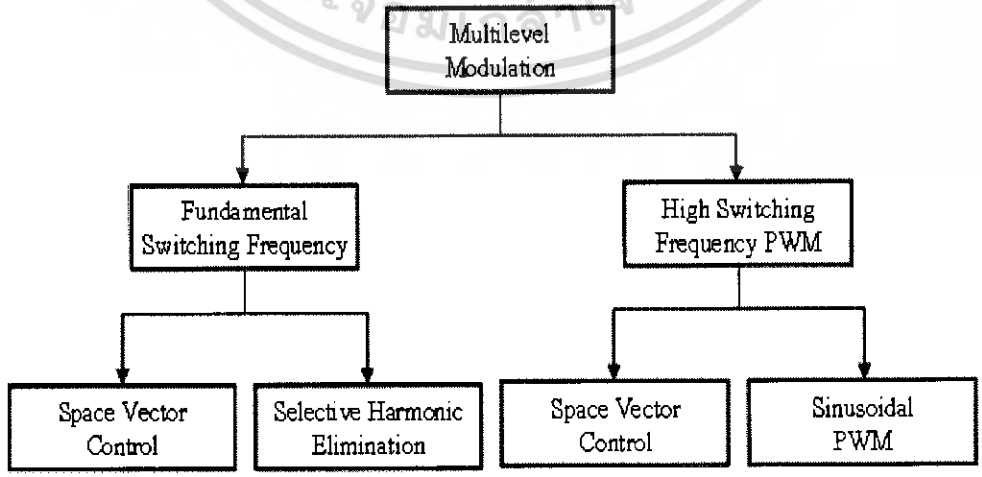


กรณีที่ 3 อินเวอร์เตอร์แบ่งตามเทคนิค PWM



กรณีที่ 4 อินเวอร์เตอร์แบ่งตามชนิดแหล่งจ่ายกำลัง

รูปแบบการสวิตช์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการคำนวณค่ามอดูเลชัน

แอมปลิจูดมอดูเลชันอินเด็กซ์ (m_a) คือ

$$m_a = \frac{A_0}{A_{CPP}}$$

เมื่อ A_0 คือ แอมปลิจูดของสัญญาณอ้างอิง

A_{CPP} คือ ค่าสูงสุดถึงสูงสุดของสัญญาณพาหะ

ฟรีเควนซีมอดูเลชันอินเด็กซ์ (m_f) คือ

$$m_f = \frac{f_c}{f_0}$$

เมื่อ

f_c คือ ความถี่ของสัญญาณพาหะ

f_0 คือ ความถี่ของสัญญาณอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

Data Sheet ที่จำเป็นต่อการทดลอง

1. ADC0804

National Semiconductor

December 1994

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805
8-Bit μP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

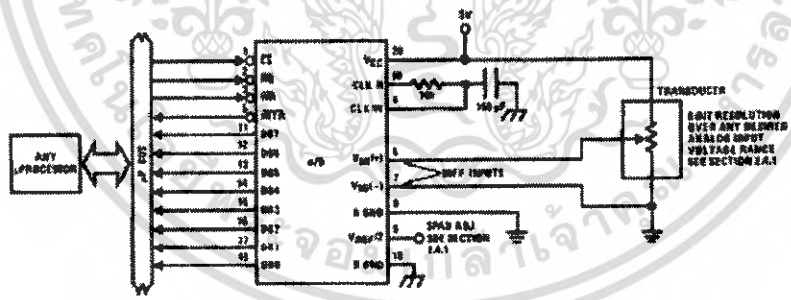
Features

- Compatible with 8080 μP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

Key Specifications

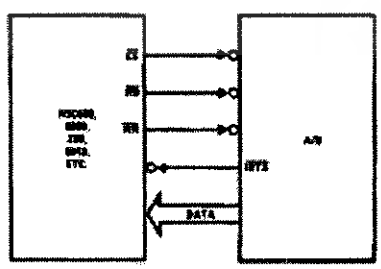
■ Resolution	8 bits
■ Total error	±¼ LSB, ±½ LSB and ±1 LSB
■ Conversion time	100 μs

Typical Applications



TL/H/5671–1

8080 Interface



TL/H/5671–31

Part Number	Full-Scale Adjusted	Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity) $V_{REF}/2 = 2.500\ V_{DC}$ (No Adjustments)	$V_{REF}/2$ = No Connection (No Adjustments)
ADC0801	±¼ LSB		
ADC0802		±½ LSB	
ADC0803	±½ LSB		
ADC0804		±1 LSB	
ADC0805			±1 LSB

TRI-STATE® is a registered trademark of National Semiconductor Corp.
Z-80® is a registered trademark of Zilog Corp.

© 1995 National Semiconductor Corporation TL/H/5671

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	−0.3V to +18V
At Other Input and Outputs	−0.3V to (V_{CC} +0.3V)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0801/02LJ, ADC0802LJ/883	$-55°C \le T_A \le +125°C$
ADC0801/02/03/04LCJ	$-40°C \le T_A \le +85°C$
ADC0801/02/03/05LCN	$-40°C \le T_A \le +85°C$
ADC0804LCN	$0°C \le T_A \le +70°C$
ADC0802/03/04LCV	$0°C \le T_A \le +70°C$
ADC0802/03/04LCWM	$0°C \le T_A \le +70°C$
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC}, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±¼	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±½	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			±½	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2$ = 2.500 V_{DC}			±1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$-No Connection			±1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		kΩ kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC} + 0.05	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		±1/16	±⅛	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		±1/16	±⅛	LSB

AC Electrical Characteristics

The following specifications apply for V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	f_{CLK} = 640 kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Note 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency Clock Duty Cycle	V_{CC} = 5V, (Note 5) (Note 5)	100 40	640	1460 60	kHz %
CR	Conversion Rate in Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz	8770		9708	conv/s
$t_{W(WR)L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	$\overline{CS}$ = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of $\overline{WR}$ or $\overline{RD}$ to Reset of $\overline{INTR}$			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS (Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately)						
V_{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

2.5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal that does not go to ground) this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage that equals this desired zero reference plus ½ LSB (where the LSB is calculated for the desired analog span, 1 LSB = analog span/256) is applied to pin 6 and the zero reference voltage at pin 7 should then be adjusted to just obtain the 00_{HEX} to 01_{HEX} code transition.

The full-scale adjustment should then be made (with the proper $V_{IN}(-)$ voltage applied) by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{MAX} - 1.5\left[\frac{(V_{MAX} - V_{MIN})}{256}\right]$$

where:

V_{MAX} = The high end of the analog input range

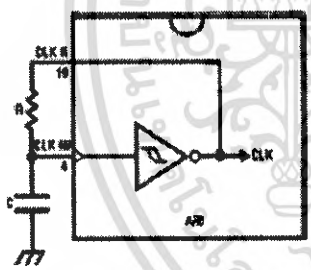
and

V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

The $V_{REF}/2$ (or V_{CC}) voltage is then adjusted to provide a code change from FE_{HEX} to FF_{HEX}. This completes the adjustment procedure.

2.6 Clocking Option

The clock for the A/D can be derived from the CPU clock or an external RC can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in *Figure 6*.



$$f_{CLK} \approx \frac{1}{1.1\,RC}$$

$$R \approx 10\ k\Omega$$

TL/H/5671–17

FIGURE 6. Self-Clocking the A/D

Heavy capacitive or DC loading of the clock R pin should be avoided as this will disturb normal converter operation. Loads less than 50 pF, such as driving up to 7 A/D converter clock inputs from a single clock R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the clock R pin (do not use a standard TTL buffer).

2.7 Restart During a Conversion

If the A/D is restarted ($\overline{CS}$ and $\overline{WR}$ go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in process is not allowed to be completed, therefore the data of the previous conversion remains in this latch. The $\overline{INTR}$ output simply remains at the "1" level.

2.8 Continuous Conversions

For operation in the free-running mode an initializing pulse should be used, following power-up, to ensure circuit operation. In this application, the $\overline{CS}$ input is grounded and the $\overline{WR}$ input is tied to the $\overline{INTR}$ output. This $\overline{WR}$ and $\overline{INTR}$ node should be momentarily forced to logic low following a power-up cycle to guarantee operation.

2.9 Driving the Data Bus

This MOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in TRI-STATE (high impedance mode). Backplane bussing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see typical characteristics curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be TRI-STATE buffers (low power Schottky such as the DM74LS240 series is recommended) or special higher drive current products which are designed as bus drivers. High current bipolar bus drivers with PNP inputs are recommended.

2.10 Power Supplies

Noise spikes on the V_{CC} supply line can cause conversion errors as the comparator will respond to this noise. A low inductance tantalum filter capacitor should be used close to the converter V_{CC} pin and values of 1 μF or greater are recommended. If an unregulated voltage is available in the system, a separate LM340LAZ-5.0, TO-92, 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V_{CC} supply.

2.11 Wiring and Hook-Up Precautions

Standard digital wire wrap sockets are not satisfactory for breadboarding this A/D converter. Sockets on PC boards can be used and all logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup, therefore shielded leads may be necessary in many applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. HCPL 316J

HCPL-316J

2.5 Amp Gate Drive Optocoupler with Integrated (V_{CE}) Desaturation Detection and Fault Status Feedback

AVAGO TECHNOLOGIES

Data Sheet

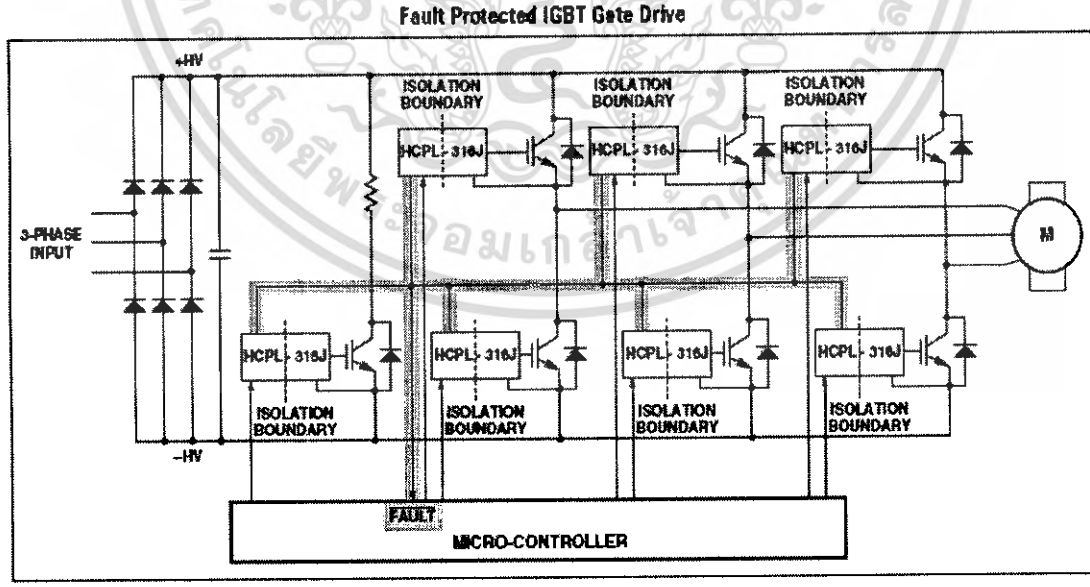
Description

Avago's 2.5 Amp Gate Drive Optocoupler with Integrated Desaturation (V_{CE}) Detection and Fault Status Feedback makes IGBT V_{CE} fault protection compact, affordable, and easy-to-implement while satisfying worldwide safety and regulatory requirements.

Features

- 2.5 A maximum peak output current
- Drive IGBTs up to I_C = 150 A, V_{CE} = 1200 V
- Optically isolated, $\overline{FAULT}$ status feedback
- SO-16 package
- CMOS/TTL compatible
- 500 ns max. switching speeds
- "Soft" IGBT turn-off
- Integrated fail-safe IGBT protection
  - Desat (V_{CE}) detection
  - Under Voltage Lock-Out protection (UVLO) with hysteresis
- User configurable: Inverting, noninverting, auto-reset, auto-shutdown
- Wide operating V_{CC} range: 15 to 30 Volts
- -40°C to +100°C operating temperature range
- 15 kV/µs min. Common Mode Rejection (CMR) at V_{CM} = 1500 V
- Regulatory approvals: UL, CSA, IEC/EN/DIN EN 60747-5-2 (891 V_{peak} Working Voltage)

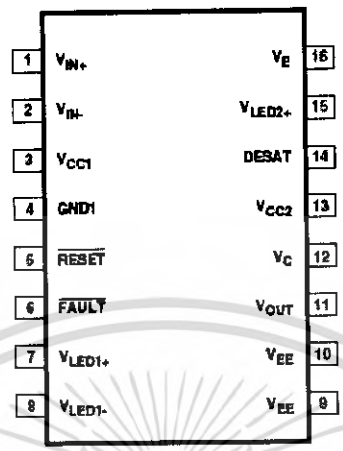
Fault Protected IGBT Gate Drive



CAUTION: It is advised that normal static precautions be taken in handling and assembly of this component to prevent damage and/or degradation which may be induced by ESD.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Pin Out



Pin Descriptions

Symbol	Description	Symbol	Description
V_{IN+}	Noninverting gate drive voltage output (V_{OUT}) control input.	V_E	Common (IGBT emitter) output supply voltage.
V_{IN-}	Inverting gate drive voltage output (V_{OUT}) control input.	V_{LED2+}	LED 2 anode. This pin must be left unconnected for guaranteed data sheet performance. (For optical coupling testing only.)
V_{CC1}	Positive input supply voltage. (4.5 V to 5.5 V)	DESAT	Desaturation voltage input. When the voltage on DESAT exceeds an internal reference voltage of 7 V while the IGBT is on, $\overline{FAULT}$ output is changed from a high impedance state to a logic low state within 5 µs. See Note 25.
GND1	Input Ground.	V_{CC2}	Positive output supply voltage.
$\overline{RESET}$	$\overline{FAULT}$ reset input. A logic low input for at least 0.1 µs, asynchronously resets $\overline{FAULT}$ output high and enables V_{IN}. Synchronous control of $\overline{RESET}$ relative to V_{IN} is required. $\overline{RESET}$ is not effected by UVLO. Asserting $\overline{RESET}$ while V_{OUT} is high does not affect V_{OUT}.	V_C	Collector of output pull-up triple-darlington transistor. It is connected to V_{CC2} directly or through a resistor to limit output turn-on current.
$\overline{FAULT}$	Fault output. $\overline{FAULT}$ changes from a high impedance state to a logic low output within 5 µs of the voltage on the DESAT pin exceeding an internal reference voltage of 7 V. $\overline{FAULT}$ output remains low until $\overline{RESET}$ is brought low. $\overline{FAULT}$ output is an open collector which allows the $\overline{FAULT}$ outputs from all HCPL-316Js in a circuit to be connected together in a "wired OR" forming a single fault bus for interfacing directly to the micro-controller.	V_{OUT}	Gate drive voltage output.
V_{LED1+}	LED 1 anode. This pin must be left unconnected for guaranteed data sheet performance. (For optical coupling testing only.)	V_{EE}	Output supply voltage.
V_{LED1-}	LED 1 cathode. This pin must be connected to ground.		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Behavioral Circuit Schematic

The functional behavior of the HCPL-316J is represented by the logic diagram in Figure 64 which fully describes the interaction and sequence of internal and external signals in the HCPL-316J.

Input IC

In the normal switching mode, no output fault has been detected, and the low state of the fault latch allows the input signals to control the signal LED. The fault output is in the open-collector state, and the state of the Reset pin does not affect the control of the IGBT gate. When a fault is detected, the $\overline{\text{FAULT}}$ output and signal input are both latched. The fault output changes to an active low state, and the signal LED is forced off (output LOW). The latched condition will persist until the Reset pin is pulled low.

Output IC

Three internal signals control the state of the driver output: the state of the signal LED, as well as the UVLO and Fault signals. If no fault on the IGBT collector is detected, and the supply voltage is above the UVLO threshold, the LED signal will control the driver output state. The driver stage logic includes an interlock to ensure that the pull-up and pull-down devices in the output stage are never on at the same time. If an undervoltage condition is detected, the output will be actively pulled low by the 50x DMOS device, regardless of the LED state. If an IGBT desaturation fault is detected while the signal LED is on, the Fault signal will latch in the high state. The triple darlington AND the 50x DMOS device are disabled, and a smaller 1x DMOS pull-down device is activated to slowly discharge the IGBT gate. When the output drops below two volts, the 50x DMOS device again turns on, clamping the IGBT gate firmly to Vee. The Fault signal remains latched in the high state until the signal LED turns off.

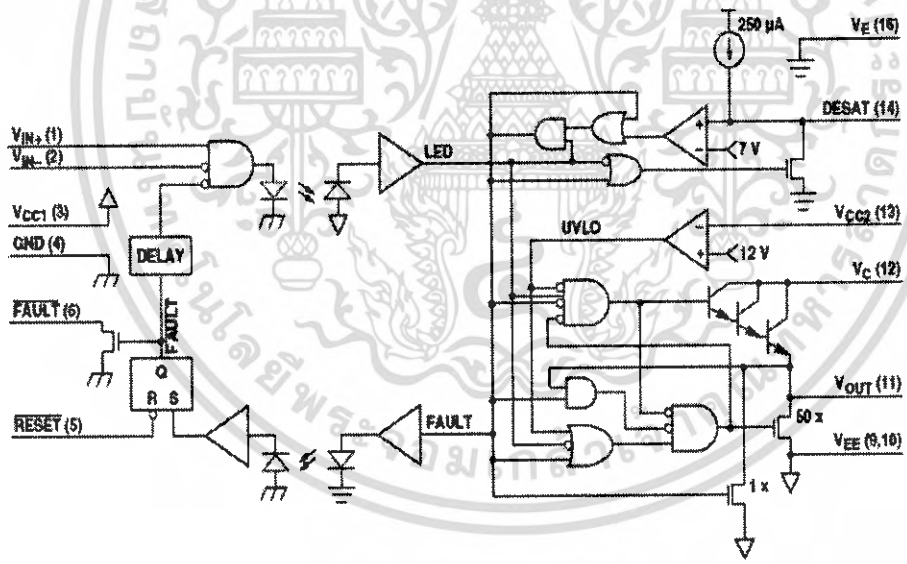


Figure 64. Behavioral circuit schematic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. IGBT G4PH50UD

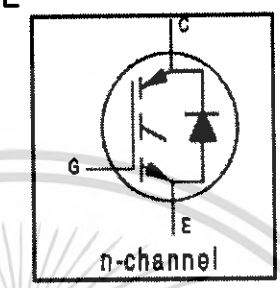
PD 91573A

International
IOR Rectifier

IRG4PH50UD

INSULATED GATE BIPOLAR TRANSISTOR WITH ULTRAFAST SOFT RECOVERY DIODE

UltraFast CoPack IGBT



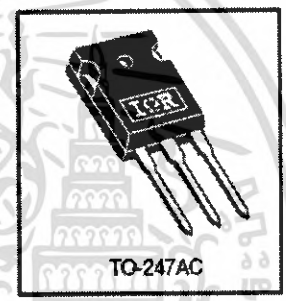
V_{CES} = 1200V

$V_{CE(on)\ typ.}$ = 2.78V

@V_{GE} = 15V, I_C = 24A

Features

- UltraFast: Optimized for high operating frequencies up to 40 kHz in hard switching, >200 kHz in resonant mode
- New IGBT design provides tighter parameter distribution and higher efficiency than previous generations
- IGBT co-packaged with HEXFRED™ ultrafast, ultra-soft-recovery anti-parallel diodes for use in bridge configurations
- Industry standard TO-247AC package



TO-247AC

Benefits

- Higher switching frequency capability than competitive IGBTs
- Highest efficiency available
- HEXFRED diodes optimized for performance with IGBT's . Minimized recovery characteristics require less/no snubbing

Absolute Maximum Ratings

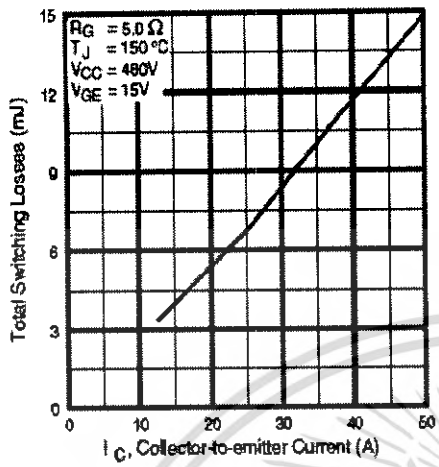
	Parameter	Max.	Units
V_{CES}	Collector-to-Emitter Breakdown Voltage	1200	V
I_C @ T_C = 25°C	Continuous Collector Current	45	A
I_C @ T_C = 100°C	Continuous Collector Current	24	
I_{CM}	Pulsed Collector Current ①	180	
I_{LM}	Clamped Inductive Load Current ②	180	
I_F @ T_C = 100°C	Diode Continuous Forward Current	16	
I_{FM}	Diode Maximum Forward Current	180	
V_{GE}	Gate-to-Emitter Voltage	± 20	V
P_D @ T_C = 25°C	Maximum Power Dissipation	200	W
P_D @ T_C = 100°C	Maximum Power Dissipation	78	
T_J T_{STG}	Operating Junction and Storage Temperature Range	-55 to + 150	°C
	Soldering Temperature, for 10 seconds	300 (0.063 in. (1.6mm) from case)	
	Mounting torque, 6-32 or M3 screw.	10 lbf•in (1.1N•m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case - IGBT	—	—	0.64	°C/W
$R_{\theta JC}$	Junction-to-Case - Diode	—	—	0.83	
$R_{\theta CS}$	Case-to-Sink, flat, greased surface	—	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient, typical socket mount	—	—	40	
Wt	Weight	—	6 (0.21)	—	g (oz)

7/7/2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



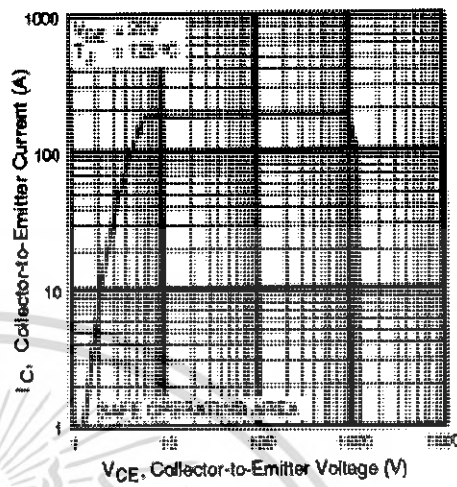


Fig. 11 - Typical Switching Losses vs. Collector-to-Emitter Current

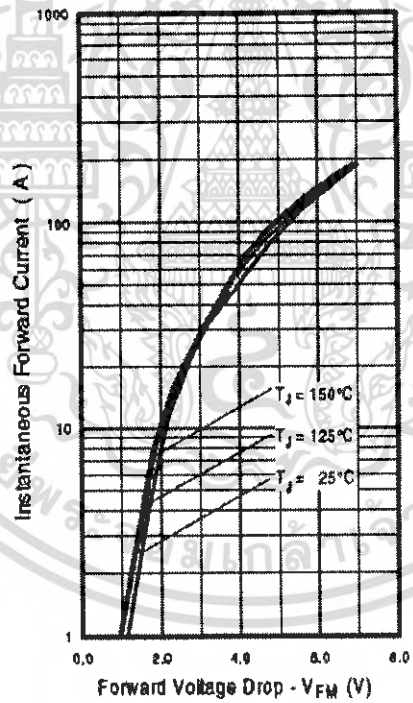


Fig. 13 - Typical Forward Voltage Drop vs. Instantaneous Forward Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้