สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

อินเวอร์เตอร์สำหรับควบคุมมอเตอร์เหนี่ยวนำกระแสสลับ 3 เฟส

Inverter for Control Induction Motor

นาย พัฒนพล รุ่งศักดิ์สกุล
นาย พิชัย ซ่านะ
นาย สมเจตน์ ชูเจริญ

เลขหมู่.....
เลขทะเบียน.....72210
วัน,เดือน,ปี.....12 มิ.ย. 2550

.b.....11764913x.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต
สาขาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์สำหรับควบคุมมอเตอร์เหนี่ยวนำกระแสสลับ 3 เฟส

Inverter for Control Induction Motor

นาย พัฒนพล รุ่งศักดิ์สกุล

นาย พิชัย ซ่านะ

นาย สมเจตน์ ชูเจริญ

อาจารย์ที่ปรึกษา

ผศ. พลพตุง ผดุงกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2549

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ อินเวอร์เตอร์สำหรับควบคุมมอเตอร์เหนี่ยวนำกระแสสลับ 3 เฟส

Inverter for Control Induction Motor

ผู้จัดทำ นาย พัฒนพล รุ่งศักดิ์สกุล รหัส 46010511

นาย พิชัย ซ่านะ รหัส 46010520

นาย สมเจตน์ ชูเจริญ รหัส 46010803

อาจารย์ที่ปรึกษา ผศ. พลผดุง ผดุงกุล

รายงานฉบับนี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ลงชื่อ .....อาจารย์ที่ปรึกษา

(ผศ. พลผดุง ผดุงกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์สำหรับควบคุมมอเตอร์เหนี่ยวนำกระแสสลับ 3 เฟส

นายพัฒนพล รุ่งศักดิ์สกุล รหัส 46010511
นายพิชัย ซ่านะ รหัส 46010520
นายสมเจตน์ ชูเจริญ รหัส 46010803
ผศ. พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2549

บทคัดย่อ

โครงงานนี้จะทำการควบคุมความเร็วของมอเตอร์เหนี่ยวกระแสสลับ 3 เฟส ด้วยวิธีเปลี่ยนความถี่ของสัญญาณไซน์นูซอยด์ทางด้านขาออกของอินเวอร์เตอร์ โดยใช้หลักการของค่าอัตราส่วนของ ศักดาต่อ ความถี่มีค่าคงที่ ซึ่งสัญญาณไซน์นูซอยด์ที่ได้นั้น สร้างมาจากเทคนิค PWM (Pulse Width Modulation) ที่ทำการเพิ่มฮาร์โมนิคส์ที่ 3 โดยความถี่ของสัญญาณไฟสลับที่ต้องการถูกกำหนดมาจาก ไมโครคอนโทรลเลอร์เบอร์ P89V51RD2BN และ ทำการป้อนข้อมูลให้แก่ FPGA เบอร์ Spartan XC3S200 เพื่อทำการสร้างสัญญาณ PWM ที่ต้องการ ในการทดสอบได้ทำการต่ออินเวอร์เตอร์ที่สร้างขึ้นในการควบคุมความเร็วของมอเตอร์เหนี่ยวกระแสสลับ 3 เฟส ขนาด 1 แรงม้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Inverter for control induction motor

Mr. Pattanapol Rungsaksakul ID 46010511

Mr. Pichai Sana ID 46010520

Mr. Somjate Choojarern ID 46010803

Asst.Prof. Polpadung Padungkul

Academic year : 2006

ABSTRACT

This project presents an inverter, control induction motor. It can control induction motor 3 phases by changing the frequency of sinusoidal signal on output port of inverter by fixed ratio between voltage and frequency. The switching signal, which is generated by PWM techniques will be added third harmonics. The desired signal is indicated by Micro Controller P89v51RD2BN and transfer data to FPGA,Sparton XC3S200 for generate desired PWM. In practically of this project use this inverter to control an induction motor 3 phases (1 HP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จได้โดยความช่วยเหลือจาก ผศ. พลพคุง พดุงกุล ที่ได้ให้คำแนะนำแนวทางการแก้ไขปัญหาต่าง ๆ ที่เกิดขึ้นในโครงงานนี้ ผู้จัดทำปริญญานิพนธ์ จึงใคร่ขอขอบพระคุณอาจารย์ ที่มีส่วนช่วยให้ปริญญานิพนธ์นี้สำเร็จได้ด้วยดี

สุดท้ายนี้ ผู้จัดทำโครงงานใคร่ขอกราบขอบพระคุณ บิดา มารดา ซึ่งสนับสนุนด้านการเงิน และให้กำลังใจแก่ผู้จัดทำโครงงานทุกคนเสมอมาจนสำเร็จการศึกษา

.....

(นายพัฒนพล รุ่งศักดิ์สกุล)

.....

(นายพิชัย ซ่านะ)

.....

(นายสมเจตน์ ชูเจริญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

กิตติกรรมประกาศ

สารบัญ

สารบัญรูป

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีที่ใช้ในการออกแบบ 2

2.1 ชนิดของอินเวอร์เตอร์ 2

2.1.1 อินเวอร์เตอร์แบบแหล่งแรงดัน 2

2.1.2 อินเวอร์เตอร์แบบแหล่งกระแส 2

2.2 การมอดูเลตความกว้างพัลส์ 3

2.3 อินเวอร์เตอร์ 3 เฟส 5

2.3.1 วงจรและรูปคลื่นสัญญาณ 5

2.3.2 เทคนิคการมอดูเลตแบบ SINE PWM 8

2.3.3 เทคนิคการมอดูเลตแบบ Third-Harmonic Injection PWM 9

2.4 มอเตอร์เหนี่ยวนำ 3 เฟส 12

2.4.1 หลักการทำงานของมอเตอร์เหนี่ยวนำ 15

2.4.2 สนามแม่เหล็กหมุนของมอเตอร์เหนี่ยวนำ 3 เฟส 16

2.4.3 ความเร็วและค่าต่างๆที่สัมพันธ์กับความเร็วของมอเตอร์เหนี่ยวนำ 18

2.5 Field Programmable Gate Array 20

2.5.1 การแบ่งโครงสร้างสถาปัตยกรรมของ FPGA 21

2.5.2 เทคโนโลยีการโปรแกรม 21

2.6 ไอจีบีทีเบื้องต้น 23

2.6.1 โครงสร้างและสัญญาณ 23

2.6.2 สภาวะนำกระแส 25

2.6.3 การแลตช์ในไอจีบีที 27

2.6.4 การป้องกันการแลตช์ 28

2.6.5 วงจรสมมูลของไอจีบีที 29

บทที่ 3 หลักการทำงานและการออกแบบ 31

3.1 การออกแบบโปรแกรมส่วนไมโครคอนโทลเลอร์ 32

3.2 การออกแบบ Current Loop 32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรแปลงระดับแรงดันและวงจรป้องกันการช๊อตกิ่ง 33
3.4 วงจรเรียงกระแส 34
3.5 วงจรขับ IGBT และวงจรขับมอเตอร์ 3 เฟส 34
3.5.1 วงจรขับมอเตอร์โดยใช้ IGBT 34
3.5.2 วงจรขับ IGBT โดยใช้ ออปโต้ 35
บทที่ 4 การออกแบบส่วนโปรแกรม 36
4.1 ส่วนโปรแกรมของไมโครคอลโทรลเลอร์ 36
4.2 การออกแบบโปรแกรมส่วน FPGA 38
4.2.1 การออกแบบโปรแกรมการรับข้อมูลและจัดการข้อมูล 39
4.2.2 การออกแบบโปรแกรมสร้างสัญญาณไซนูซอยด์ 40
4.2.2.1 วิธีการเก็บค่าสัญญาณไซนูซอยด์ 40
4.2.2.2 การคำนวณจำนวนลูกสัญญาณนาฬิกาที่ใช้หน่วงเวลา
การส่งค่าในการสร้างสัญญาณไซนูซอยด์ 41
4.2.3 การออกแบบโปรแกรมการสร้างสัญญาณสามเหลี่ยม 43
4.2.4 การออกแบบโปรแกรมส่วนการเปรียบเทียบค่า 44
2.4.5 การออกแบบโปรแกรมส่วนสร้างสัญญาณเฟส 45
บทที่ 5 ผลการทดลอง 46
บทที่ 6 สรุปผลการทดลอง 57
ภาคผนวก ก. วงจรของระบบ 58
ภาคผนวก ข. 64
เอกสารอ้างอิง 73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 การใช้เทคนิค PWM กับวงจรทอนระดับ 4

รูปที่ 2.2 วงจรและรูปคลื่นสัญญาณของอินเวอร์เตอร์ 3 เฟสแบบ PWM 6

รูปที่ 2.3 รูปคลื่นของแรงดันและกระแสของอินเวอร์เตอร์ 3 เฟส 8
แสดงช่วงพลังงานไม่ไหลสู่โหลด

รูปที่ 2.4 แรงดันเฟสและแรงดันไลน์จากการมอดูเลตแบบ SINE PWM 9

รูปที่ 2.5 เทคนิค Third-Harmonic Injection 10

รูปที่ 2.6 แรงดันเฟสและแรงดันไลน์จากการมอดูเลตแบบ Third-Harmonic Injection PWM 11

รูปที่ 2.7 ลักษณะของมอเตอร์เหนี่ยวนำสามเฟส 12

รูปที่ 2.8 ส่วนที่อยู่กับที่ (Stator) ของมอเตอร์ 13

รูปที่ 2.9 ตัวหมุนแบบกรงกระรอก 14

รูปที่ 2.10 ตัวหมุนที่มีขดลวดพันอยู่รอบๆ (Wound Rotor) 14

รูปที่ 2.11 บล็อกไดอะแกรมการทำงานของมอเตอร์เหนี่ยวนำ 15

รูปที่ 2.12 แสดงการจ่ายแรงดันไฟฟ้า3เฟสให้กับมอเตอร์เหนี่ยวนำ 3 เฟส 16

รูปที่ 2.13 รูปคลื่นไซน์ของสนามแม่เหล็กที่เกิดขึ้นโดยกระแสไฟฟ้า 3 เฟส 17

รูปที่ 2.14 แสดงการเกิดสนามแม่เหล็กหมุนของมอเตอร์ 3 เฟส 2 ขั้ว 17

รูปที่ 2.15 สัญลักษณ์และการเรียกชื่อขาของไอจีบีที 23

รูปที่ 2.16 ภาพตัดขวางโครงสร้างพื้นฐานไอจีบีที 24

รูปที่ 2.17 ก) ลักษณะคุณสมบัติกระแสและแรงดันของไอจีบีที
ข) ลักษณะคุณสมบัติการถ่ายโอนของไอจีบีที 25

รูปที่ 2.18 แสดงการไหลของอิเล็กตรอนและโฮล 26

รูปที่ 2.19 โครงสร้างที่ปรับปรุงเพื่อป้องกันการแลตซ์ในไอจีบีที 28

รูปที่ 2.20 (ก) โครงสร้างที่มีทรานซิสเตอร์และมอสเฟตแฝงอยู่ภายใน
(ข) วงจรสมมูลสำหรับการทำงานสภาพปกติของไอจีบีที
(ค) วงจรสมมูลที่แสดงส่วนของไทริสเตอร์ที่แฝงอยู่ในไอจีบีที 30

รูปที่ 3.1 บล็อคไดอะแกรมของระบบอินเวอร์เตอร์ 31

รูปที่ 3.2 วงจรไมโครคอนโทรลเลอร์ 32

รูปที่ 3.3 วงจร Current Loop 32

รูปที่ 3.4 วงจรแปลงระดับแรงดันและวงจรป้องกันการช๊อตกิ่ง 33

รูปที่ 3.5 วงจรเรียงกระแส 34

รูปที่ 3.6 วงจรขับมอเตอร์โดยใช้ไอจีบีที 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 รูปวงจรขับ IGBT โดยใช้ ออปโต้ 35
รูปที่ 4.1 โฟลว์ชาร์ตการทำงานของไมโครคอนโทลเลอร์ 37
รูปที่ 4.2 โมดูลหลักของส่วน FPGA 38
รูปที่ 4.3 โมดูลการรับข้อมูลและจัดการข้อมูล 39
รูปที่ 4.4 รูปโฟวชาร์ตการรับข้อมูลและจัดการข้อมูล 39
รูปที่ 4.5 รูปโฟวชาร์ตลำดับในการรับข้อมูล 39
รูปที่ 4.6 โมดูลส่วนสัญญาณไซนูซอยด์ 40
รูปที่ 4.7 การมอดูเลตแบบ Third-Harmonic Injection 40
รูปที่ 4.8 โฟล์วชาร์ตการสร้างสัญญาณไซน์ 42
รูปที่ 4.9 โมดูลสร้างสัญญาณสามเหลี่ยม 43
รูปที่ 4.10รูปโฟวชาร์ตการสร้างสัญญาณสามเหลี่ยม 43
รูปที่ 4.11 โมดูลเปรียบเทียบค่า 44
รูปที่ 4.12 รูปโฟวชาร์ตการเปรียบเทียบค่า 44
รูปที่ 4.13โมดูลสร้างสัญญาณเฟส 45
รูปที่ 4.14 รูปโฟวชาร์ตการหน่วงเวลาลงในสัญญาณ 45
รูปที่ 5.1 รูปสัญญาณ PWM และรูปสัญญาณหลังจากผ่านวงจรกรองความถี่ต่ำผ่าน ที่ความถี่ 10 เฮิร์ต 46
รูปที่ 5.2 รูปสัญญาณ PWM และรูปสัญญาณหลังจากผ่านวงจรกรองความถี่ต่ำผ่าน ที่ความถี่ 50 เฮิร์ต 46
รูปที่ 5.3 รูปสัญญาณ PWM และรูปสัญญาณหลังจากผ่านวงจรกรองความถี่ต่ำผ่าน ที่ความถี่ 60 เฮิร์ต 46
รูปที่ 5.4 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส A และเฟส B ที่ความถี่10 Hz 47
รูปที่ 5.5 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส A และเฟส B ที่ความถี่ 50 Hz 47
รูปที่ 5.6 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส A และเฟส B ที่ความถี่60 Hz 47
รูปที่ 5.7 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส B และเฟส C ที่ความถี่ 10 Hz 48
รูปที่ 5.8 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส B และเฟส C ที่ความถี่ 50 Hz 48
รูปที่ 5.9 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส B และเฟส C ที่ความถี่ 60 Hz 48
รูปที่ 5.10 รูปสัญญาณ PWM เกิดจากการหักล้างกันระหว่างเฟส AB 49
รูปที่ 5.11 สัญญาณ PWM ที่ด้านบนแสดงให้เห็นความถี่ของ PWM ที่ความถี่ 25kHz 49
รูปที่ 5.12 สัญญาณ PWM ที่ด้านล่างแสดงให้เห็นความถี่ของ PWM ที่ความถี่ 25kHz 49
รูปที่ 5.13 สัญญาณไซน์นูซอยด์ที่ความถี่ 10 Hz 50
รูปที่ 5.14 สัญญาณไซนูซอยด์ที่ความถี่ 50 Hz 50
รูปที่ 5.15 สัญญาณไซนูซอยด์ที่ความถี่ 60 Hz 50
รูปที่ 5.16 รูปขยายแสดง Dead Time ค่า 1 uS 51
รูปที่ 5.17 รูปขยายแสดง Dead Time ค่า 2 uS 51
รูปที่ 5.18 รูปขยายแสดง Dead Time ค่า 3 uS 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.19 สัญญาณไซน์นูซอยด์ที่รวมกับฮาโมนิกส์ที่ 3 ที่ค่า Dead Time 1 uS 52
รูปที่ 5.20 สัญญาณไซน์นูซอยด์ที่รวมกับฮาโมนิกส์ที่ 3 ที่ค่า Dead Time 2 uS 52
รูปที่ 5.21 สัญญาณไซน์นูซอยด์ที่รวมกับฮาโมนิกส์ที่ 3 ที่ค่า Dead Time 3 uS 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

เนื่องจากในปัจจุบันในโรงงานอุตสาหกรรมส่วนใหญ่ จะมีการใช้งานมอเตอร์เหนี่ยวนำ 3 เฟส อย่างแพร่หลายซึ่งชุดควบคุมการทำงานของมอเตอร์เหล่านี้ส่วนใหญ่จะมาจากต่างประเทศ ซึ่งมีราคาแพงมาก เราจึงทำการศึกษาการทำงานของชุดควบคุมเหล่านี้ เพื่อที่จะสามารถสร้างอุปกรณ์เหล่านั้นขึ้นมาใช้งานเองได้ จากการศึกษาพบว่าภายในชุดควบคุมเหล่านี้จะมีส่วนประกอบหลักคือ " อินเวอร์เตอร์ "

อินเวอร์เตอร์(Inverter) คือ อุปกรณ์ที่ทำหน้าที่แปลงไฟกระแสตรงให้เป็นไฟกระแสสลับ โดยใช้การสวิทช์ โดยเราจะใช้หลักการของ PWM (Pulse Width Modulation) เพื่อสร้างสัญญาณ Sinusoidal และเราจะนำสัญญาณนี้ไปใช้ในการขับมอเตอร์ 3 เฟสกระแสสลับ

โดยอินเวอร์เตอร์ที่เราออกแบบจะประกอบด้วย 3 ส่วน คือ
ส่วนของไมโครคอนโทรลเลอร์ MCS-51 เบอร์ P89V51RD2BN ส่วนของ FPGA Xillinx Spanton3 เบอร์ XC3S200F และ ส่วนของวงจรขับสวิทช์และวงจรขับมอเตอร์ 3 เฟส

- ส่วนของไมโครคอนโทรลเลอร์ ทำหน้าที่รับค่าความถี่ของสัญญาณ ไซนูซอยด์ (Sinusoidal) ค่าดัชนีการมอดดูเลต และค่า Dead Time และทำการส่งค่านี้ ไปยังส่วนของ FPGA
- ส่วนของ FPGA ทำหน้าที่สร้างสัญญาณ PWM โดยสัญญาณ PWM จะถูกกำหนดค่าความถี่ ค่าดัชนีการมอดดูเลต และ ค่า Dead Time จากค่าที่รับมาจากไมโครคอนโทรลเลอร์
- ส่วนของวงจรขับสวิทช์และวงจรขับมอเตอร์ 3 เฟส ทำหน้าที่ในการขับมอเตอร์ 3 เฟส และสร้างแรงดันไฟกระแสตรงจากไฟกระแสสลับ

โดยการออกแบบนี้ ในส่วนของสัญญาณ PWM เราจะทำการใส่ฮาร์โมนิกที่ 3 ของสัญญาณ Sinusoidal เพื่อเพิ่มดัชนีมอดดูเลชั่น เนื่องจากในการใช้งานจริงการเริ่มหมุนของมอเตอร์จะมีการกินกระแสสูง และมีการกระชากของโรเตอร์ ทำให้สิ้นเปลืองพลังงาน และ เกิดความเสียหายแก่มอเตอร์ ดังนั้นเราจะแก้ปัญหานี้โดยวิธีเริ่มต้นอย่างนุ่มนวล (Soft Start)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 ชนิดของอินเวอร์เตอร์

อินเวอร์เตอร์สามารถแบ่งตามชนิดของแหล่งจ่ายได้ 2 ชนิดคือ

1. อินเวอร์เตอร์แบบแหล่งแรงดัน (Voltage Source Inverter ,VSI)

2. อินเวอร์เตอร์แบบแหล่งกระแส (Current Source Inverter ,CSI)

สำหรับปริญญานิพนธ์นี้เลือกใช้อินเวอร์เตอร์แบบแหล่งแรงดัน

2.1.1 อินเวอร์เตอร์แบบแหล่งแรงดัน (Voltage Source Inverter)

อินเวอร์เตอร์แบบแหล่งแรงดันใช้แรงดันไฟตรงค่าคงที่ ทำให้แรงดันเอาต์พุตของอินเวอร์เตอร์คงที่ด้วย ซึ่งไม่ขึ้นกับโหลด โดยใช้การมอดูเลตความกว้างพัลส์ (Pulse Width Modulation, PWM)

ข้อดีของอินเวอร์เตอร์แบบแหล่งแรงดัน

- สามารถควบคุมแรงดันและความถี่ได้ง่าย
- ปรับความถี่ได้ในย่านกว้างๆ
- ใช้กับมอเตอร์พร้อมกันหลายๆ ตัวพร้อมกันได้

ข้อเสียของอินเวอร์เตอร์ที่ใช้แหล่งแรงดันคือ

- มักมีปัญหาในเรื่องการลัดวงจร (Short Through) ของอุปกรณ์สวิทช์ภายในกิ่งเดียวกันของอินเวอร์เตอร์ ซึ่งในทางปฏิบัติมีการสร้างเวลาหยุดพัก (Dead Time) เป็นตัวช่วยป้องกัน

2.1.2 อินเวอร์เตอร์แบบแหล่งกระแส (Current Source Inverter)

อินเวอร์เตอร์แบบแหล่งกระแสประกอบด้วยไทริสเตอร์เร็คติไฟร์ ที่สามารถควบคุมได้โดยควบคุมเฟสของเอซีไลน์ และยังมีอินดัคเตอร์ตัวใหญ่ต่ออนุกรมอยู่แต่ไม่มีตัวเก็บประจุต่อขนานเพื่อสร้างแหล่งจ่ายกระแสซึ่งแตกต่างจากอินเวอร์เตอร์แบบแหล่งแรงดัน ส่วนควบคุมสัญญาณกระแสที่เปลี่ยนความถี่ได้อาจใช้อุปกรณ์ไทริสเตอร์ร่วมกับไดโอด

ข้อดีของอินเวอร์เตอร์แบบแหล่งกระแส

- ไม่มีโอกาสที่จะมีการลัดวงจรเหมือนใน VSI
- กำลังสูญเสียต่ำเนื่องจากเป็นอุปกรณ์ไทริสเตอร์

ข้อเสียของอินเวอร์เตอร์แบบแหล่งกระแส

- วงจรมีขนาดใหญ่ราคาแพง
- ไม่สามารถทำงานในขณะไม่มีโหลดได้
- ไม่สามารถใช้กับมอเตอร์หลายตัวพร้อมกันได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การการมอดูเลตความกว้างพัลส์ (Pulse Width Modulate, PWM)

การมอดูเลตความกว้างของพัลส์ (PWM) เป็นเทคนิคการแบ่งรูปคลื่นใน 1 คาบ ออกเป็นพัลส์ย่อยๆ หลายพัลส์ โดยที่แต่ละพัลส์อาจมีความกว้างไม่เท่ากัน

การเฉลี่ยเฉพาะที่ของสัญญาณ PWM

แรงดันเอาท์พุท V_o ของวงจรทอนระดับสัญญาณดังรูป2.1(ก)สามารถ เปลี่ยนแปลงได้ระหว่างค่า 0 ถึงค่า V_s โดยที่วัฏจักรงาน D มีค่าระหว่าง 0 ถึง 1 ถ้าเราให้ D เป็นฟังก์ชั่นของเวลา $d(t)$ โดยที่ $d(t)$ มีการเปลี่ยนแปลงค่าอย่างช้าๆ เมื่อเทียบกับคาบของการสวิตช์ ซึ่งถ้าเป็นในกรณีเช่นนี้เราสามารถสังเคราะห์แรงดันเอาท์พุท V_o ซึ่งมีค่าเฉลี่ยจะเป็นฟังก์ชั่นของเวลาและมีค่าเท่ากับ $d(t)V_s$ อย่างไรก็ตามเวลาในการเฉลี่ยค่า V_o จำเป็นต้องเป็นช่วงเวลาที่นานเมื่อเทียบกับคาบเวลาของการสวิตช์ T แต่คาบเวลาดังกล่าวจะต้องสั้นกว่าเมื่อเทียบกับคาบเวลาของ $d(t)$

การเฉลี่ยค่าแรงดันเอาท์พุท V_o ในที่นี้หมายถึงการเฉลี่ยเฉพาะที่ (local averaging) และจะใช้สัญลักษณ์ $\overline{V_o}(t)$ สำหรับสัญลักษณ์ $<V_o>$ หมายถึงค่าเฉลี่ยจริงซึ่งเป็นค่าคงตัว หรืออาจกล่าวอีกนัยหนึ่งได้ว่า ค่าเฉลี่ยดังกล่าวเป็นค่าเฉลี่ยเฉพาะที่ ซึ่งได้จากการกรองสัญญาณแรงดันเอาท์พุทด้วยวงจรกรองความถี่ต่ำผ่าน โดยขจัดความถี่สูงออกและคงเหลือไว้แต่สัญญาณความถี่ต่ำๆ เช่น องค์ประกอบหลักมูล (fundamental component) ในขณะที่ถ้าส่วนค่าเฉลี่ยที่ได้จากการกรองทุกความถี่ออก จะคงเหลือไว้แต่องค์ประกอบไฟตรง

สำหรับวงจรทอนระดับสัญญาณแสดงในรูปที่ 2.1(ก) ถ้าเราให้วัฏจักรงาน $d(t)$ เป็นฟังก์ชั่นไซนูซอยด์

$$d(t) = 0.5 + m_a \sin(\omega_a t) \qquad (2.1)$$

เราจะได้แรงดันเอาท์พุทที่เป็นองค์ประกอบไฟตรงบวกกับไซนูซอยด์ ได้ดังนี้

$$V_o = 0.5V_s + m_a V_s \sin(\omega_a t) \qquad (2.2)$$

m_a คือ อัตราการมอดูเลตขนาด $m_a \leq 0.5$

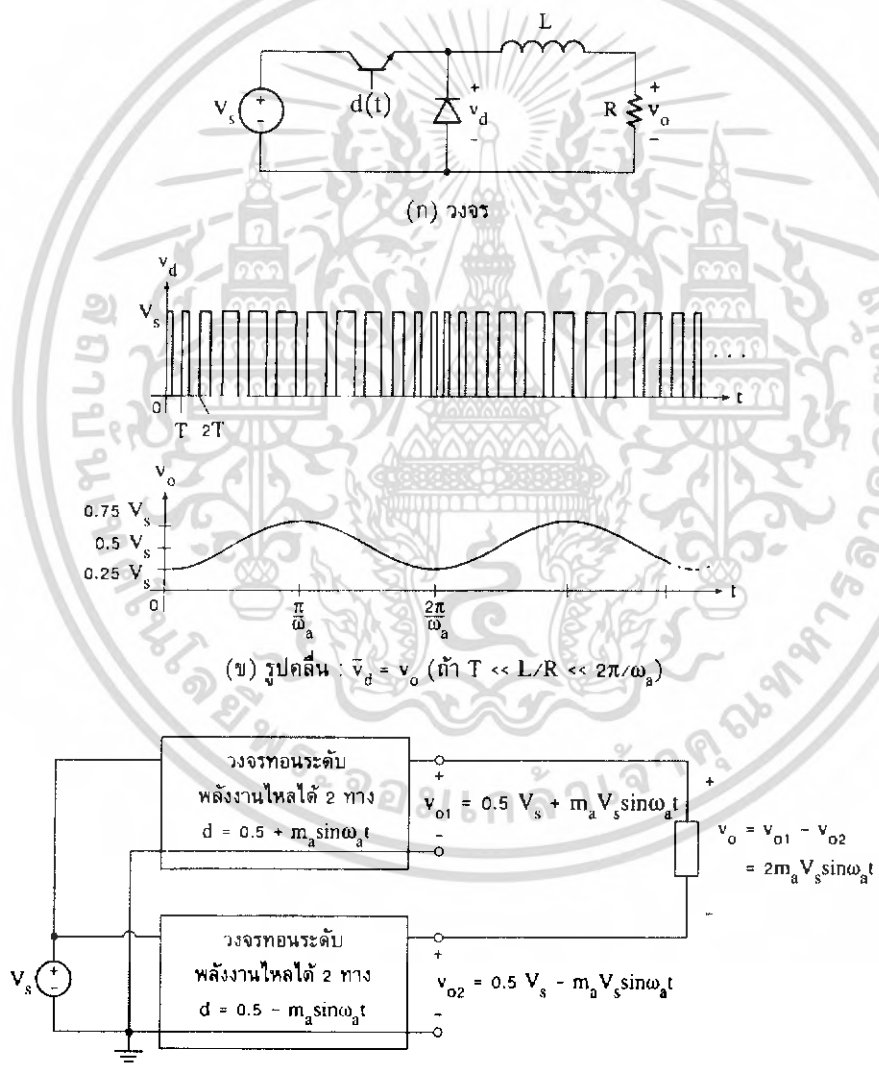
ω_a คือ ความถี่ในการมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยมีเงื่อนไขดังนี้

$$T \le \frac{L}{R} \le \frac{2\pi}{\omega_a} \tag{2.3}$$

แรงดัน V_d เป็นพัลส์ที่มีความถี่เท่ากับ $1/T$ แต่มีความกว้างพัลส์ที่ไม่คงตัว เราเรียกรูปคลื่นที่วัฏจักรงานเป็นฟังก์ชั่นทางเวลาของรูปคลื่นสัญญาณ PWM ค่าเฉลี่ยเฉพาะที่ของรูปคลื่น PWM หรือ $\bar{V}_d$ จะเป็นฟังก์ชั่นทางเวลา ถ้าเราทำการกรอง V_d ด้วยวงจรกรองความถี่ต่ำผ่านที่ประกอบไปด้วยอุปกรณ์ L และ R โดยมีพารามิเตอร์เป็นไปตามเงื่อนไขสมการที่ (2.3) ดังนั้นค่าความถี่การสวิตช์จะถูกกรองออกไป แต่ความถี่ ω_a ไม่ถูกลดทอน



รูปที่ 2.1 การใช้เทคนิค PWM กับวงจรทอนระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.1(ข) V_o คือค่าเฉลี่ยเฉพาะที่ของรูปคลื่น PWM เนื่องจาก $d(t)$ เป็นฟังก์ชั่นไซนูซอยด์ ค่าเฉลี่ยเฉพาะที่ของรูปคลื่น PWM จึงเป็นรูปไซนูซอยด์ด้วย แต่ $d(t)$ อาจเป็นฟังก์ชั่นของเวลาใดๆ (ที่เป็นไปตามเงื่อนไขสมการที่ (2.3)) $V_o(t)$ ก็จะเป็นฟังก์ชั่นที่เหมือนกับ $d(t)$

อย่างไรก็ดี แรงดันเอาท์พุท V_o ของวงจรทอนระดับสัญญาณยังมีองค์ประกอบไฟตรงผสมอยู่ (เป็นไปตามสมการที่ (2.2) และรูปที่ 2.1 (ข)) ดังนั้นการกำจัดองค์ประกอบไฟตรงสามารถทำได้โดยการต่อวงจรทอนระดับ 2 วงจร โดยที่สัญญาณมอดูเลตของวงจรทั้งสองมีเฟสต่างกัน 180° (ดังแสดงในรูปที่ 2.1 (ค)) เมื่อนำสัญญาณด้านเอาท์พุทมาลบกัน จะส่งผลให้แรงดันไฟตรงก็จะหักล้างกันไปเหลือแต่แรงดันไฟสลับ อย่างไรก็ดี เนื่องจากกระแสด้านออก i_o เป็นกระแสสลับวงจรทอนระดับที่ใช้จะต้องเป็นชนิดที่พลังงานไหลได้ 2 ทิศทาง กล่าวคือ แต่ละวงจรใช้สวิตช์ ที่กระแสไหลได้ 2 ทางจำนวน 2 ตัวถ้าให้สัญญาณมอดูเลตเป็นฟังก์ชั่นใดๆ แต่องค์ประกอบความถี่สูงสุดยังเป็นไปตามเงื่อนไขสมการที่ (2.3) แรงดันด้านออกจะเป็นฟังก์ชั่นเดียวกับสัญญาณมอดูเลตเพียงแต่จ่ายกำลังได้มากขึ้น ในแง่นี้วงจรทำหน้าที่เป็นวงจรขยายกำลังแบบวิธีสวิตช์ (Switchmode power amplifier)

$$m_f = \frac{f}{f_a} \tag{2.4}$$

m_f = อัตราการมอดูเลตความถี่

f = ความถี่การสวิตช์

f_a = ความถี่การมอดูเลต

2.3 อินเวอร์เตอร์ 3 เฟส

2.3.1 วงจรและรูปคลื่นสัญญาณ

อินเวอร์เตอร์ 3 เฟสเหมาะสำหรับกรณีที่ต้องการกำลังไฟฟ้าสูง ซึ่งโครงสร้าง และรูปคลื่นสัญญาณของวงจรอินเวอร์เตอร์ 3 เฟสแสดงอยู่ในรูปที่ 2.2 (ก)

เทคนิค PWM สามารถใช้ได้กับวงจรอินเวอร์เตอร์ 3 เฟส ไม่ว่าจะเป็นเทคนิคไซน์ตัดสามเหลี่ยม หรือเทคนิคการกำจัดฮาร์มอนิกส์ต่ำ หรือการควบคุมรูปคลื่นของกระแส

รูปที่ 2.2 (ข) แสดงหลักการของเทคนิคไซน์ตัดสามเหลี่ยม เรามีรูปสามเหลี่ยม V_T ซึ่งมีความถี่เท่ากับความถี่การสวิตช์ และมีสัญญาณอ้างอิงรูปไซน์ 3 สัญญาณได้แก่คือ V_{rA} , V_{rB} และ V_{rC} ซึ่งมีมุมเฟสต่างกัน 120° โดยมีจุดตัดระหว่าง V_T กับ V_{rA} (V_{rB} และ V_{rC}) เป็นตัวกำหนดการตัดต่อวงจรของสวิตช์ Q_1 Q_4 (Q_3 Q_6 และ Q_5 Q_2 ตามลำดับ) รูปคลื่นของแรงดัน V_{AG} , V_{BG} (G คือสายลบของแหล่งแรงดันไฟตรง) และ V_{AB} แสดงอยู่ในรูปที่ 2.2(ค) สังเกตได้ว่าองค์ประกอบหลัก

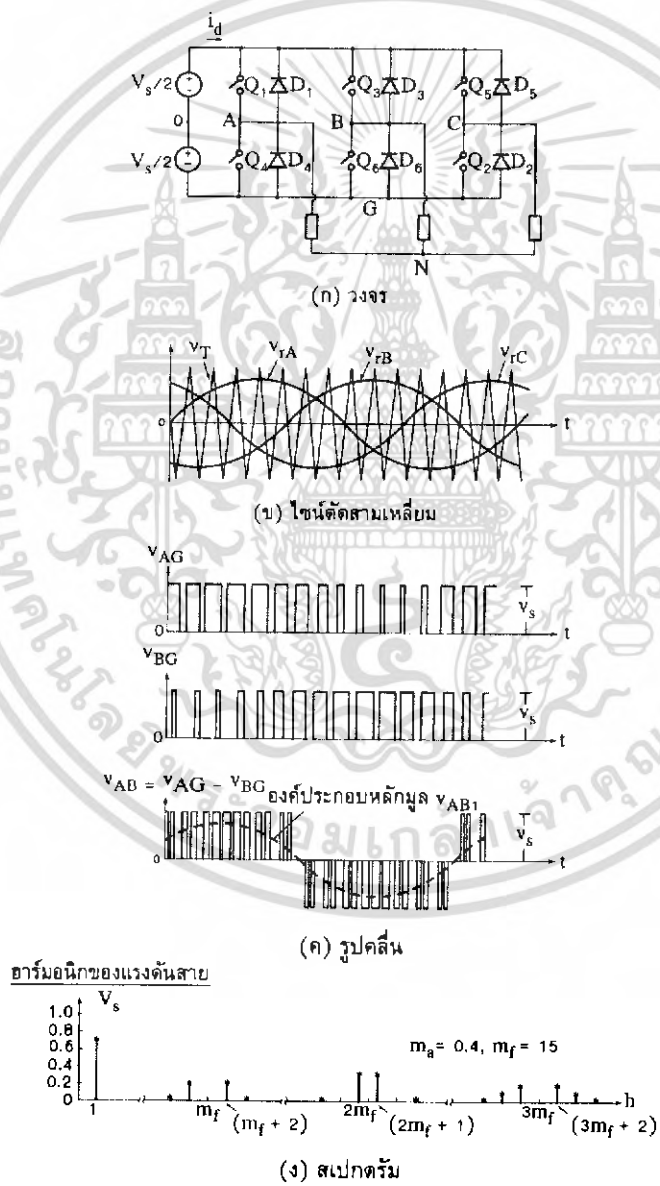
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มูลของ V_{AG} หรือ V_{AG1} มีแอมพลิจูดเท่ากับค่าที่แสดงในสมการที่(2.5) (V_{AG} ต่างกับ V_{A0} เพียงค่าแรงดันไฟตรง $V_s/2$)

$$V_{AG1} = m_a V_s \qquad ;m_a \le 0.5 \qquad (2.5)$$

แรงดันสาย V_{AB} มีองค์ประกอบหลักมูลเท่ากับ V_{AB1} แอมพลิจูดของ V_{AB1} เท่ากับ $\sqrt{3}$ ของแอมพลิจูดของ V_{AG1} เนื่องจาก V_{AG} และ V_{BG} มีเฟสต่างกัน 120° และ V_{AB1} มีเฟสล้าหลัง V_{AG1} อยู่ 30° (แสดงในรูปที่ 2.2(ค)) ดังนั้น

$$V_{AB1} = \sqrt{3} m_a V_s \qquad ;m_a \le 0.5 \qquad (2.6)$$



รูปที่ 2.2 วงจรและรูปคลื่นสัญญาณของอินเวอร์เตอร์ 3 เฟสแบบ PWM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบระบบ โดยทั่วไปนิยมเลือกอัตราการมอดูเลตความถี่ m_f เป็นเลขคี่และเป็นพหุคูณของ 3 และให้ความลาดชันของ V_T และ V_t ณ จุดที่แรงดันทั้งสองมีค่าเป็นศูนย์มีเครื่องหมายตรงกันข้ามกัน(แสดงในรูปที่ 2.2 (ข)) ในกรณีนี้ถ้า $m_a \leq 0.5$ สเปกตรัมของ V_{AB} จะเป็นดังแสดงในรูปที่2.2 (ง) นอกจากนี้สังเกตได้ว่าฮาร์มอนิกส์ต่ำสุดเกิดขึ้นที่ความถี่ $(m_f \pm 2k) f_a$ ตารางที่ 1 แสดงฮาร์มอนิกส์ของแรงดันสายของอินเวอร์เตอร์ 3 เฟส สำหรับอินเวอร์เตอร์ 3 เฟสเราอาจจะออกแบบให้วงจรทำงานถึงในย่านการมอดูเลตเกิน เพื่อให้ได้แรงดันเอาท์พุทที่มีค่าสูงขึ้น ส่วนข้อเสียมีเนื่องมาจากฮาร์มอนิกส์ที่เพิ่มขึ้น แต่มักจะพอยอมรับได้

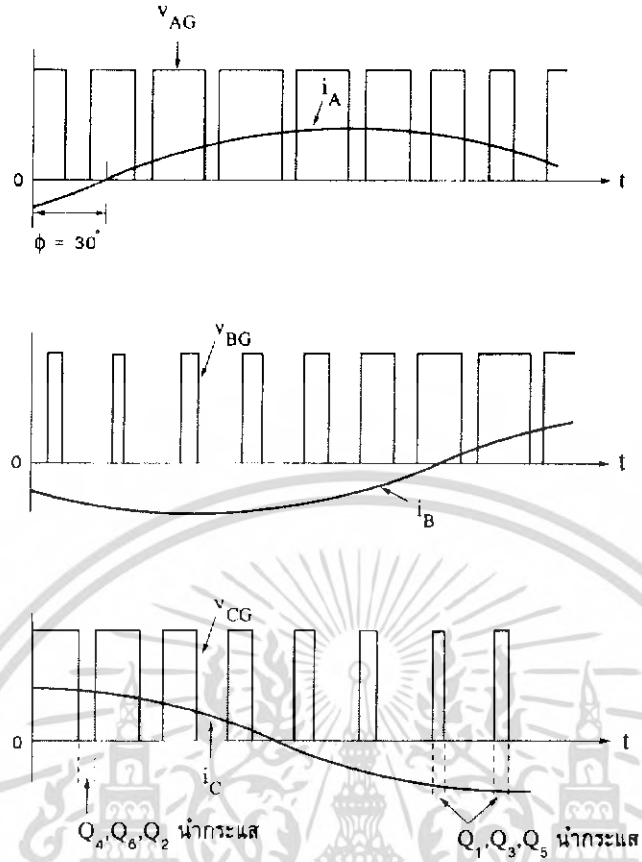
ถ้าโหลดมีลักษณะเป็นตัวเหนี่ยวนำโดยมีค่าคงตัวเวลาที่เป็นไปตามเงื่อนไขสมการที่ (2.3) กระแสโหลดจะเป็นรูปใกล้เคียงไซน์โดย ทิศทางของกระแสโหลดเป็นตัวกำหนดการนำกระแสของไดโอด เช่น กรณีที่เฟสของโหลดเท่ากับ 30° (ตามล้าหลัง) รูปคลื่นจะเป็นดังแสดงในรูปที่ 2.3 โดยสังเกตได้ว่าในช่วงเวลาที่ $i_c > 0$ และ $V_{CG} = 0$ (Q_2 หรือ D_2 นำกระแส) แต่ทิศทางของ i_c แสดงว่า D_2 นำกระแส (แสดงในรูปที่2.2 (ก))

เมื่อพิจารณารูปคลื่นสัญญาณในรูปที่ 2.2 จะพบว่า ในบางช่วงเวลาดังแสดงในรูปล่างสวิตช์จะต่อกิ่งทั้งสามของโหลดเข้ากับขั้วลบของแหล่งจ่าย V_s (เช่น เมื่อ Q_4, Q_6, Q_2 นำกระแส) และบางช่วงเวลาสวิตช์จะต่อกิ่งทั้งสามของโหลดเข้ากับขั้วบวกของแหล่ง V_s (เช่น เมื่อ Q_1, Q_3, Q_6 นำกระแส) ซึ่งในช่วงเวลาดังกล่าว กระแสอินพุทของอินเวอร์เตอร์ (i_d ในรูปที่ 2.2(ก)) มีค่าเป็นศูนย์ หมายความว่าพลังงานไม่ไหลจากแหล่งจ่ายสู่โหลด ซึ่งระยะเวลาของการควบคุมช่วงเวลาดังกล่าวเป็นการควบคุมพลังงานพลังงานที่จ่ายให้แก่โหลดหรือควบคุมค่าองค์ประกอบหลักมูลของแรงดันเอาท์พุทนั่นเอง

ตารางที่ 2.1 อัตราส่วนระหว่างค่า RMS ของฮาร์มอนิกส์กับ V_s ของแรงดันสายของอินเวอร์เตอร์ 3 เฟส

h	m_a	0.1	0.2	0.3	0.4	0.5
1		0.122	0.245	0.367	0.490	0.612
$m_f \pm 2$		0.010	0.037	0.080	0.135	0.195
$m_f \pm 4$					0.005	0.011
$2m_f \pm 1$		0.116	0.200	0.227	0.192	0.111
$2m_f \pm 5$					0.008	0.020
$3m_f \pm 2$		0.027	0.085	0.124	0.108	0.038
$3m_f \pm 4$			0.007	0.029	0.064	0.096
$4m_f \pm 1$		0.100	0.096	0.005	0.064	0.042
$4m_f \pm 5$				0.021	0.051	0.073
$4m_f \pm 7$					0.010	0.030

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 รูปคลื่นของแรงดันและกระแสของอินเวอร์เตอร์ 3 เฟส แสดงช่วงพลังงานไม่ไหลสู่โหลด

2.3.2 เทคนิคการมอดูเลตแบบ SINE PWM

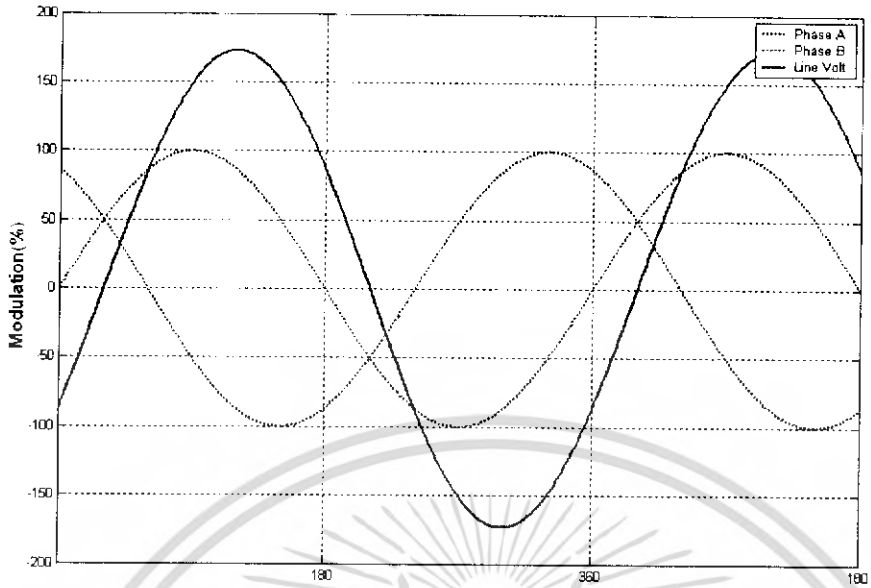
การมอดูเลตแบบ SINE PWM จะมีลักษณะดังรูปที่ 2.2 สัญญาณ PWM ที่ได้ก็เป็นไปตามสมการที่ 2.2 ซึ่งเป็นแรงดัน V_a เฉลี่ยของเฉพาะเฟส และเมื่อต้องการค่าแรงดันของ 3 เฟสที่ต่างกันก็สามารถหาได้จากสมการที่ 2.7 (โดยเฟส U,V,W ในสมการที่ 2.7 เป็นตัวเดียวกับเฟส A,B,C ในรูปที่ 2.2)

$$\begin{aligned} V_u &= 0.5V_s + m_a V_s \sin(\omega_a t) \\ V_v &= 0.5V_s + m_a V_s \sin(\omega_a t + 120°) \\ V_w &= 0.5V_s + m_a V_s \sin(\omega_a t - 120^o) \end{aligned} \qquad (2.7)$$

จากสมการที่ 2.7 สามารถหาแรงดันระหว่างเฟสหรือแรงดันไลน์สูงสุด ($m_a = 0.5$)ได้จากสมการที่ 2.8

$$V_{uv} = 0.866V_s \sin(\omega_a t - 30) \qquad (2.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



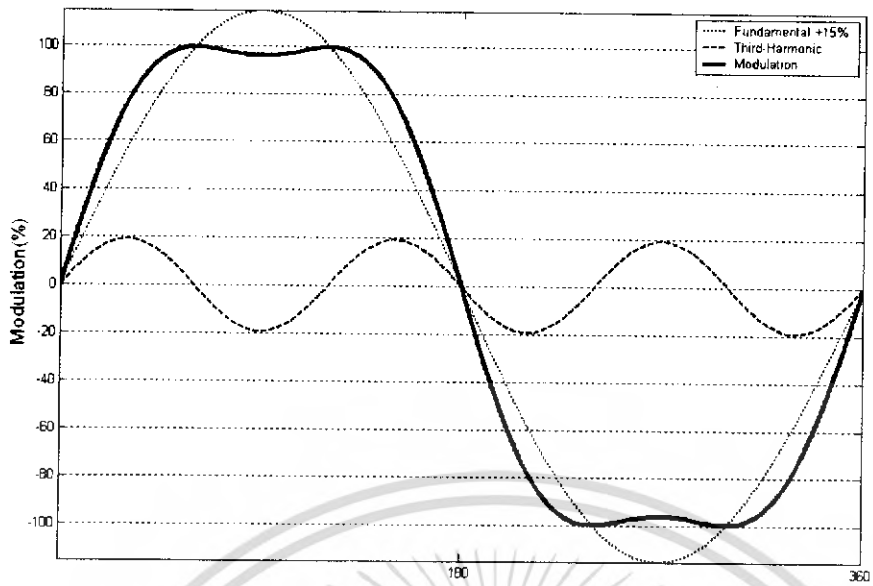
รูปที่ 2.4 แรงดันเฟสและแรงดันไลน์จากการมอดูเลตแบบ SINE PWM

รูปที่ 2.4 นั้นเป็นสัญญาณความถี่หลักมูลจากการมอดูเลตแบบ SINE PWM ในสมการที่ 2.7-2.8 ซึ่งจะเห็นได้ว่าด้วยวิธีการมอดูเลตแบบนี้มีข้อจำกัดคือ สามารถให้ขนาดของความถี่หลักมูลของแรงดันไลน์ (Line Volt) สูงสุดที่ 86.6 % ของแรงดันไฟตรง ตามสมการที่ 2.8 ซึ่งอาจจะต้องใช้วิธีการที่สามารถเพิ่มขนาดของแรงดันไลน์ให้สูงขึ้น เช่น การมอดูเลตเกิน (Overmod) ส่งผลให้เกิดฮาร์มอนิกส์ต่ำขึ้นที่มอเตอร์ ทำให้กำลังงานสูญเสียที่มอเตอร์เพิ่มขึ้น

2.3.3 เทคนิคการมอดูเลตแบบ Third-Harmonic Injection PWM

จากเทคนิค SINE PWM ถ้าเราต้องการแรงดันระหว่างเฟส V_{uv} ในสมการที่ 2.8 เท่ากับแรงดันไฟตรง เราต้องเพิ่มอัตราการมอดูเลต *ma* ขึ้น 15.4% แต่การเพิ่มอัตราการมอดูเลตนั้น ทำให้เกิดความผิดเพี้ยนของความถี่หลักมูลเนื่องจากการมอดูเลตเกิน แต่ถ้าพิจารณารูปที่ 2.5 ประกอบด้วย จะเห็นว่าการเพิ่มฮาร์มอนิกส์ที่ 3 ที่มีขนาดเหมาะสมเข้าไปกับความถี่หลักมูลสามารถแก้ไขความผิดเพี้ยนที่เกิดขึ้น จากการมอดูเลตเกินนี้ได้ จึงให้ขนาดของแรงดันเฟสต่อเฟส หรือแรงดันไลน์สูงสุดเท่ากับแรงดันไฟตรง ดังรูปที่ 2.5 มีผลให้สนามแม่เหล็ก (Flux) สูงขึ้น แรงบิด (Torque) มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 เทคนิค Third-Harmonic Injection

การหาขนาดของฮาร์มอนิกส์ลำดับที่สาม ที่เหมาะสมด้วยการจำลองการทำงานบนโปรแกรม MicroSim Eval 8 จะได้ค่าอยู่ในช่วง 18.5%-20% ของความถี่หลักมูลและค่าที่ให้ผลดีที่สุดคือ 19.2% จากสมการที่ 2.2 สามารถคำนวณหาขนาดของแรงดันชั่วขณะต่อเฟส V_o เมื่อใช้วิธี Third-Harmonic Injection PWM ได้ดังสมการที่ 2.9

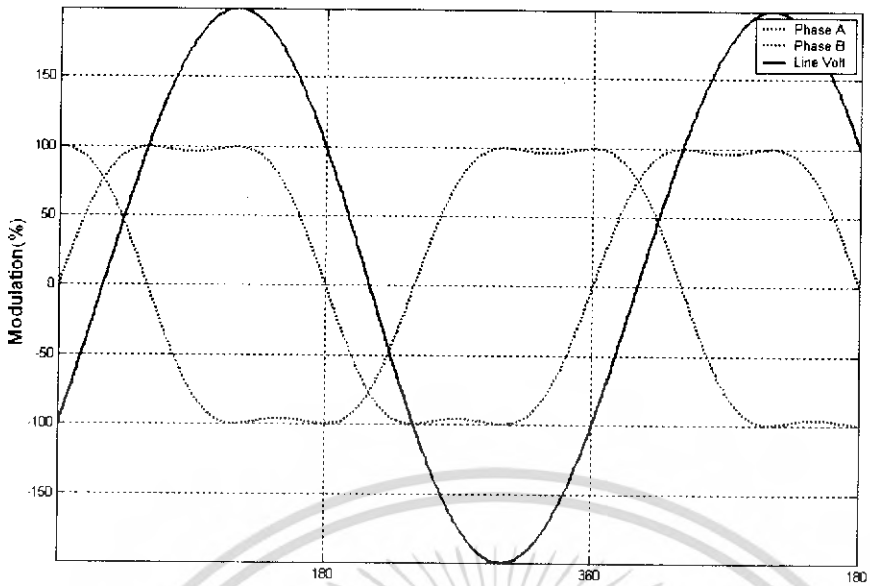
$$V_o = 0.5V_s + (1.154m_aV_s\sin(\omega_a t) + 0.192m_aV_s\sin(3\omega_a t)) \qquad (2.9)$$

ทำให้แรงดันเฟสต่อเฟสไม่มีเทอมของฮาร์มอนิกส์ที่ 3 และมีขนาดเพิ่มขึ้นจากสมการที่ 2.8 ($m_a = 0.5$)

$$V_{uv} = V_s\sin(\omega_a t - 30) \qquad (2.10)$$

รูปที่ 2.4 นั้นเป็นสัญญาณความถี่หลักมูลจากการมอดูเลตแบบ Third-Harmonic Injection PWM ในสมการที่ 2.9-2.10 ซึ่งจะเห็นได้ว่าด้วยวิธีการมอดูเลตแบบนี้ให้ขนาดของความถี่หลักมูลของแรงดันไลน์ (Line Volt) สูงสุดที่ 100 % ของแรงดันไฟตรง ตามสมการที่ 2.10 ซึ่งสูงกว่าในรูปที่ 2.5 ที่ให้แรงดันไลน์แค่ 86.6% ของแรงดันไฟตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แรงดันเฟสและแรงดันไลน์จากการมอดูเลตแบบ Third-Harmonic Injection PWM

การเปรียบเทียบเทคนิค PWM

เทคนิคการมอดูเลตถูกนำมาใช้ในการสร้างรูปสัญญาณความถี่หรือรูปสัญญาณแรงดันไฟฟ้าที่มีการเปลี่ยนแปลงตามเวลา ซึ่งเป็นที่ทราบกันดีว่าสัญญาณมอดูเลต PWM ที่ใช้ในการสวิตช์อินเวอร์เตอร์นั้นถูกสร้างมาจากการเปรียบเทียบระหว่างสัญญาณพาห์รูปคลื่นสามเหลี่ยมความถี่สูงและสัญญาณไซนูซอยด์อ้างอิงสามสัญญาณ ซึ่งหลักการพื้นฐานนี้ได้ถูกนำมาพัฒนาสร้างทั้งทางแอนาลอกและดิจิตอลสำหรับการแปลงพลังงาน

สำหรับวิธี Third-Harmonic สามารถให้แรงดันไลน์สูงเท่ากับแรงดันไฟตรงเหมือนกับวิธี 60°PWM และ SVM และให้เอาท์พุตเป็นไซนูซอยด์ แต่การใช้เทคนิคนี้อาจต้องใช้วงจรที่มีความซับซ้อนมากหรือใช้ตัวประมวลผลที่มีความสามารถในทางคำนวณที่สูงเพื่อให้ได้สัญญาณ PWM ที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

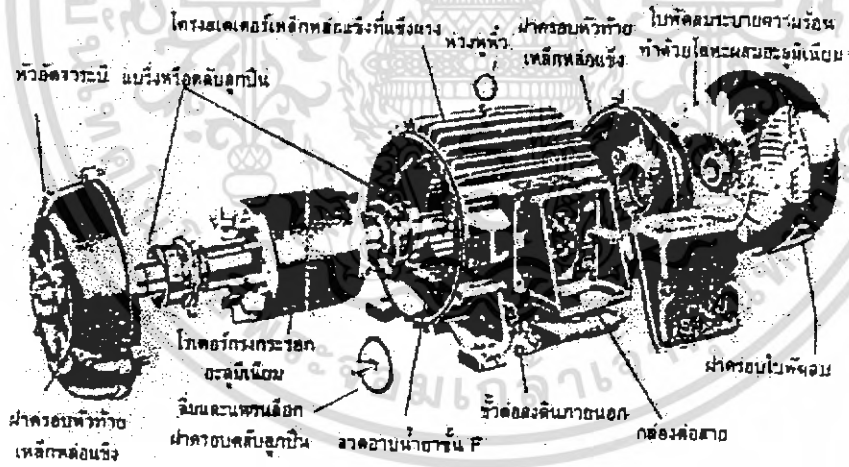
ตารางที่ 2.2 แสดงผลรวมของการมอดูเลตประเภทต่างๆสำหรับอินเวอร์เตอร์สามเฟส ที่ $M = 1$

Modulation Type	Normalized Phase Voltage, V_P/V_S	Normalized Line Voltage, V_L/V_S	Output Waveform
Sinusoidal PWM	0.5	$0.5 \times \sqrt{3} = 0.8666$	Sinusoidal
60° PWM	$1/\sqrt{3} = 0.57735$	1	Sinusoidal
Third-harmonic PWM	$1/\sqrt{3} = 0.57735$	1	Sinusoidal
SVM	$1/\sqrt{3} = 0.57735$	1	Sinusoidal
Overmodulation	Higher than the value for $M = 1$	Higher than the value for $M = 1$	Nonsinusoidal
Six-step	$\sqrt{2/3} = 0.4714$	$\sqrt{(2/3)} = 0.81645$	Nonsinusoidal

2.4 มอเตอร์เหนี่ยวนำ 3 เฟส

มอเตอร์เหนี่ยวนำมีการใช้งานกันอย่างแพร่ หลายตั้งแต่โรงงานอุตสาหกรรม ขนาดเล็กไปจนถึงขนาดใหญ่ ซึ่งโดยส่วนมากจะเป็นมอเตอร์เหนี่ยวนำสามเฟสเพราะมีราคาที่ไม่แพงต้องการการบำรุงรักษาน้อย และมีความเร็วรอบเกือบคงที่ตลอดย่านโหลด แต่มีข้อเสียคือ

- ควบคุมความเร็วได้ยาก
- ขณะมีโหลดน้อยจะทำงานที่ Power Factor ต่ำและล้าหลัง
- กระแสเริ่มหมุนมักเป็น 5 เท่า หรือ 7 เท่าของกระแสขับโหลดเต็มที่

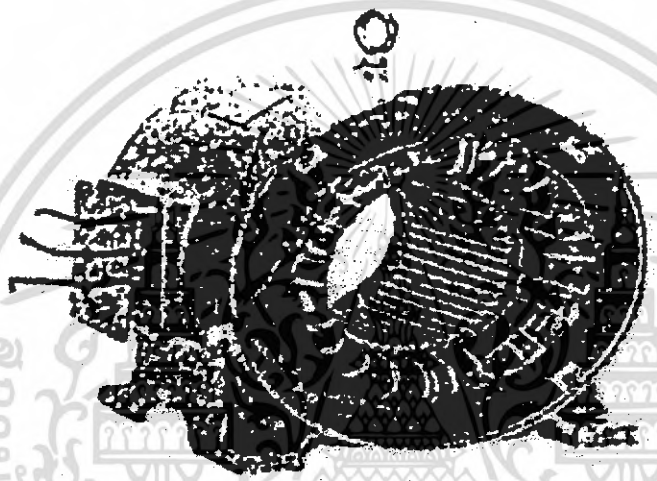


รูปที่ 2.7 ลักษณะของมอเตอร์เหนี่ยวนำสามเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบของมอเตอร์เหนี่ยวนำสามเฟสประกอบด้วยส่วนสำคัญสองส่วนคือ ส่วนที่อยู่กับที่ (Stator) และส่วนที่เคลื่อนที่ (Rotor)

-ส่วนที่อยู่กับที่ (Stator) สเตเตอร์ของมอเตอร์เหนี่ยวนำสามเฟสใช้หลักการเดียวกับซิงโครนัสมอเตอร์ หรือเครื่องกำเนิดไฟฟ้ากระแสสลับโดยทำจากแผ่นเหล็กบางๆอัดซ้อนเข้าด้วยกันและเป็นช่องสล๊อตไว้บรรจุขดลวด ส่วนจำนวนขั้วแม่เหล็กจะเป็นตัวกำหนดความเร็วรอบของมอเตอร์ เมื่อเราจ่ายแรงดันไฟฟ้ากระแสสลับให้กับขดลวดที่สเตเตอร์ ทำให้เกิดสนามแม่เหล็กที่ค่าคงที่ค่าหนึ่ง และสนามแม่เหล็กนี้จะหมุนด้วยความเร็วค่าหนึ่งที่เรียกว่าความเร็วซิงโครนัส สนามแม่เหล็กหมุนดังกล่าวจะทำการเหนี่ยวนำให้เกิดแรงดัน ไฟฟ้าที่โรเตอร์

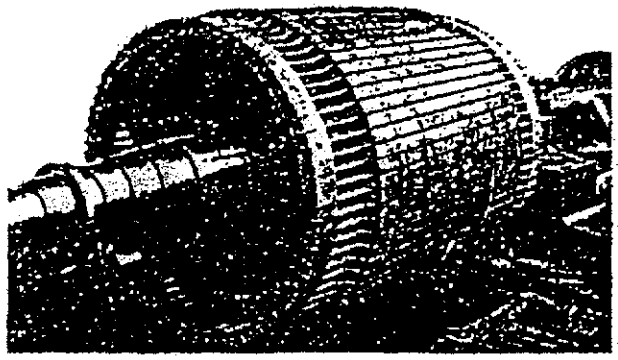


รูปที่ 2.8 ส่วนที่อยู่กับที่ (Stator) ของมอเตอร์

- ส่วนที่เคลื่อนที่ (Rotor) แบ่งออกได้เป็น 2 ชนิด คือ แบบที่มีตัวหมุนคล้ายกรงกระรอก (Squirrel Cage Rotor) และส่วนที่ตัวหมุนมีขดลวดพันอยู่รอบๆ (Wound Rotor)

ตัวหมุนแบบกรงกระรอก (Squirrel Cage Rotor) มอเตอร์เหนี่ยวนำที่มีโรเตอร์แบบนี้ซึ่งมีชื่อเรียกว่า มอเตอร์เหนี่ยวนำกรงกระรอก โรเตอร์ชนิดนี้สร้างง่ายที่สุด ประกอบด้วยแท่งอลูมิเนียมฝังอยู่ในทุ่นโรเตอร์ ซึ่งเป็นแผ่นเหล็กอ่อนบางๆ ประกอบเป็นทุ่นโรเตอร์ ปลายทั้งสองด้านของแท่งอลูมิเนียมจะเชื่อมด้วยกันกับวงแหวน ดังนั้นจึงมีรูปร่างคล้ายกรงกระรอก เนื่องจากวงแหวนนี้ถูกต่อให้ครบวงจรด้วยวงแหวนตลอดเวลา จึงไม่มีทางต่อความต้านทานภายนอกเข้าไปกับโรเตอร์ เพื่อให้ความต้านทานของวงจรโรเตอร์มากขึ้นในตอนเริ่มหมุน เป็นการลดกระแสและทำให้แรงบิดเริ่มหมุนดีขึ้น แท่งอลูมิเนียมที่ฝังอยู่กับโรเตอร์นี้จะวางเฉียงกับแนวแกนเพลา เพื่อให้เส้นแรงแม่เหล็กข้ามช่องอากาศ (Air Gap) จากสเตเตอร์ไปยังโรเตอร์สม่ำเสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 ตัวหมุนแบบกรงกระรอก

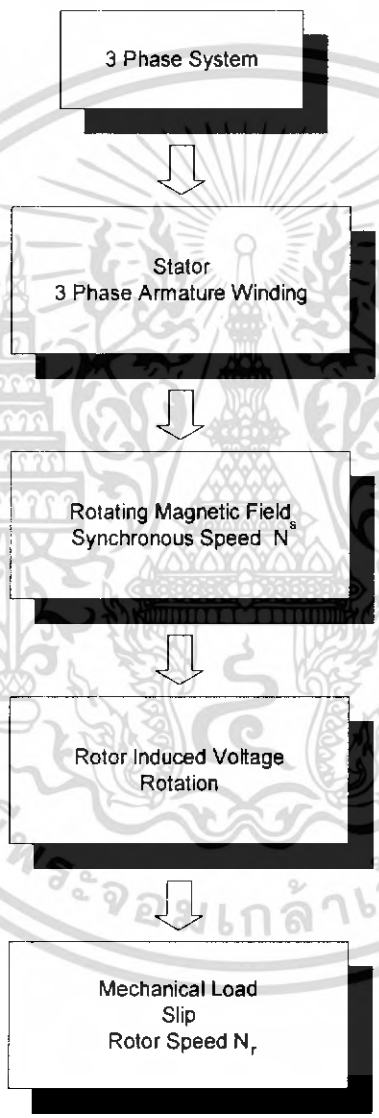
ตัวหมุนแบบมีขดลวดพันอยู่รอบๆ (Wound Rotor) บนโรเตอร์จะมีช่องสเตเตอร์สำหรับพันขดลวดโดยพันให้มีจำนวนขั้วแม่เหล็กเท่ากับทางด้านสเตเตอร์ ปลายด้านหนึ่งของขดลวดโรเตอร์จะต่อร่วมกันเป็นจุดสตาร์ และปลายที่เหลือทั้งสาม จะไปต่อกับวงแหวนลื่น (Slip Ring) ที่ยึดติดอยู่กับเพลาของตัวโรเตอร์ แปลงถ่านทั้งหมดที่ต่ออยู่วงแหวนลื่นจะไปต่อยังตัวต้านทานแปรค่า 3 ตัวที่ต่อร่วมกันเป็นแบบสตาร์เพื่อปรับความต้านทานในวงจรโรเตอร์ให้เพิ่มขึ้นในตอนเริ่มหมุน ทำให้กระแสในตอนเริ่มหมุนต่ำลง ทำให้แรงบิดเริ่มหมุนสูงขึ้นในสภาวะมอเตอร์ทำงาน

รูปที่ 2.10 ตัวหมุนที่มีขดลวดพันอยู่รอบๆ (Wound Rotor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 หลักการทำงานของมอเตอร์เหนี่ยวนำ

เมื่อป้อนไฟสามเฟสให้กับขดลวดสเตเตอร์ จะเกิดสนามแม่เหล็กหมุนขึ้นที่สเตเตอร์เครื่องที่หมุนไปรอบช่องว่างอากาศ ด้วยความเร็วเท่ากับความเร็วซิงโครนัส (N_s) สนามแม่เหล็กหมุนนี้จะไปเหนี่ยวนำทำให้เกิดแรงเคลื่อนไฟฟ้าเหนี่ยวนำ และกระแสไฟฟ้าขึ้นที่โรเตอร์ทำให้เกิดสนามแม่เหล็กขึ้นที่โรเตอร์ สนามแม่เหล็กหมุนจากสเตเตอร์ จะดึงดูดให้เกิดสนามแม่เหล็กหมุนจากโรเตอร์ ซึ่งความเร็วของโรเตอร์จะต่ำกว่าความเร็วซิงโครนัสเสมอ หลักการทำงานของมอเตอร์ไฟฟ้าสามเฟส สามารถเขียนเป็นบล็อกไดอะแกรมดังรูปที่ 2.11



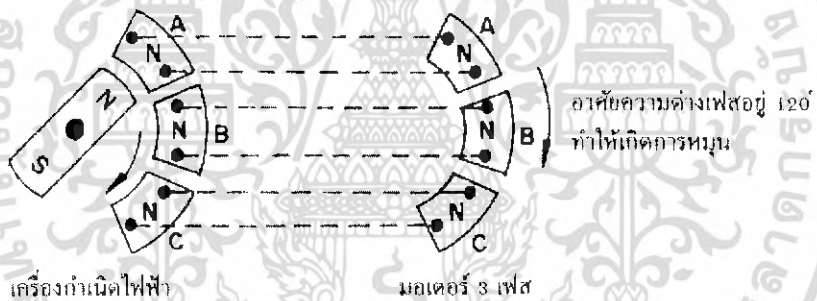
รูปที่ 2.11 บล็อกไดอะแกรมการทำงานของมอเตอร์เหนี่ยวนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 สนามแม่เหล็กหมุนของมอเตอร์เหนี่ยวนำ 3 เฟส

สนามแม่เหล็กของมอเตอร์เหนี่ยวนำ 3 เฟส เมื่อมีกระแสไฟฟ้าระบบ3เฟสจ่ายให้กับขดลวด 3 เฟส เป็นผลทำให้เกิดสนามแม่เหล็กหมุนในมอเตอร์นั้น สนามแม่เหล็กหมุนจะตัดกับตัวนำในโรเตอร์ ทำให้เกิดกระแสไฟฟ้าเหนี่ยวนำขึ้นในตัวนำที่ฝังอยู่ในโรเตอร์ และจะเกิดสนามแม่เหล็กขึ้นในโรเตอร์ เพราะที่โรเตอร์มีกระแสไฟฟ้าเหนี่ยวนำไหลอยู่ ซึ่งจะทำให้เกิดสนามแม่เหล็กเป็นขั้วเหนือและขั้วใต้เช่นเดียวกับที่สเตเตอร์ และสนามแม่เหล็กที่หมุนที่สเตเตอร์นั้นจะเกิดการผลัก และดูดกับขั้วแม่เหล็กที่เกิดขึ้นที่โรเตอร์ในทิศทางของสนามแม่เหล็กหมุน ผลที่ได้ของการดูด และผลักระหว่างขั้วแม่เหล็กบนสเตเตอร์และโรเตอร์ทำให้เกิดแรงบิดขึ้น

หลักการหมุนของสนามแม่เหล็กโดยกระแสไฟฟ้า3 เฟสจากรูปที่2.12 เป็นการแสดงให้เห็นว่าถ้าเราจ่ายกระแสไฟฟ้าในระบบ 3 เฟสให้กับขดลวดในสเตเตอร์ ในช่วงขณะหนึ่ง สมมติให้เป็นครึ่งไซเคิลบวกดังแสดงในรูปที่2.12 ด้านขวามือ โดยการต่อไฟฟ้าเฟส A เข้ากับเฟส A ของมอเตอร์ และเฟส B เฟส C เข้ากับมอเตอร์ในเฟสถัดไป เมื่อกระแสไฟฟ้าในครึ่งไซเคิลบวกเฟส A ไหลเข้า

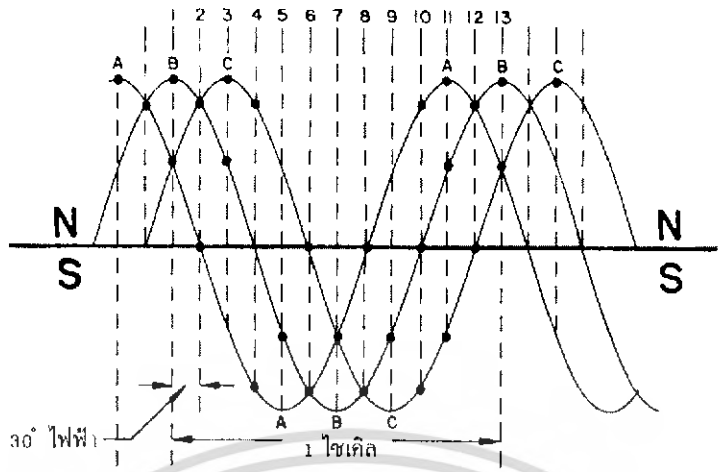


รูปที่ 2.12 แสดงการจ่ายแรงดันไฟฟ้า3เฟสให้กับมอเตอร์เหนี่ยวนำ 3 เฟส

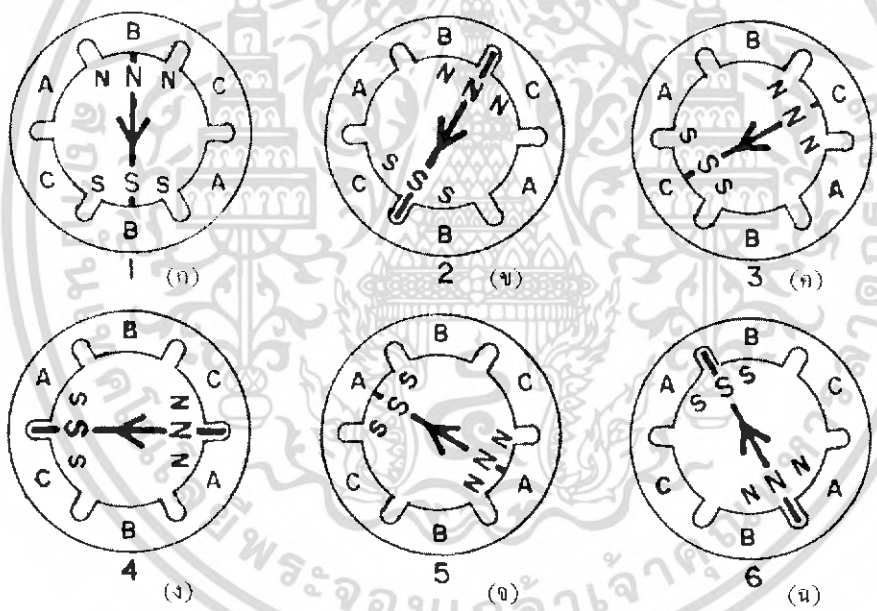
ไปในขดลวดของเฟส A มอเตอร์จะทำให้เกิดมีกระแสไฟฟ้าไหลผ่านขดลวดในเฟส A ของมอเตอร์นั้นทำให้เกิดขั้ว N ขึ้น และเมื่อแรงดันไฟฟ้าในเฟส A ที่จ่ายให้กับเฟส A มอเตอร์ค่อยๆลดลงอำนาจแม่เหล็กขั้ว N ก็จะค่อยๆลดอำนาจ หรือความเข้มลง และในขณะเดียวกันที่เฟสถัดไปก็จะมีอำนาจแม่เหล็กคล้ายๆกับเฟส A แต่ในเวลาถัดไปจนครบ 3 เฟสในหนึ่งขั้วแม่เหล็กของมอเตอร์ (คือเฟสA เฟส B และเฟส C) และเมื่อมีการเปลี่ยนแปลงของแรงดันไฟฟ้าในครึ่งไซเคิลบวกสิ้นสุดเรียบร้อยแล้ว ในครึ่งไซเคิลลบถัดไปที่ขั้วแม่เหล็กดังกล่าวข้างต้นก็จะเปลี่ยนสภาวะจากขั้ว N ไปเป็นขั้ว S และในอีกหนึ่งขั้วแม่เหล็กถัดไปก็มีลักษณะเช่นเดียวกันกับขั้วแม่เหล็กแรกที่กล่าวถึง ซึ่งลักษณะเช่นนี้เหมือนกับว่าสนามแม่เหล็กหมุนไปรอบๆสเตเตอร์ ซึ่งสนามแม่เหล็กที่เหมือนกับหมุนไปรอบๆนี้เรียกสั้นๆว่าสนามแม่เหล็กหมุน (Rotating Magnetic Field)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.13 รูปคลื่นไซน์ของสนามแม่เหล็กที่เกิดขึ้นโดยกระแสไฟฟ้า 3 เฟส



รูปที่ 2.14 แสดงการเกิดสนามแม่เหล็กหมุนของมอเตอร์ 3 เฟส 2 ขั้ว

จากรูปที่2.13 และรูปที่2.14 เป็นการแสดงถึงการเกิดสนามแม่เหล็กหมุนของมอเตอร์ 3 เฟส 2 ขั้ว ที่สามารถพิจารณาทีละขั้นได้คือ

ที่จุดที่1 บนรูปไซเคิลไซน์จะเห็นได้ว่าเฟส B อยู่ที่ตำแหน่งความเข้มสูงสุดของขั้วเหนือ เฟส A ก็เป็นขั้วเหนือ แต่ลดลงจากจุดสูงสุดและเฟส C เป็นขั้วเหนือและกำลังเพิ่มขึ้น ดังแสดงใน รูปที่2.14 (ก) ของสเตเตอร์คือเฟส B เป็นขั้วเหนือมาก เฟส A และเฟส C เป็นขั้วเหนือน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
72210

ที่จุดที่2 บนรูปคลื่นไซน์ เฟส A เป็น 0 (Zero) เฟส B เป็นขั้วเหนือแต่กำลังลดลง ส่วนเฟส C เป็นขั้วเหนือแต่กำลังเพิ่มขึ้นดังแสดงในรูปที่2.14 (ข) ของสเตเตอร์ เฟส A เป็น 0 เฟส B และเฟส C เป็นขั้วเหนือและมีความเข้มเท่ากัน ซึ่งจะเกิดขึ้นระหว่าง 2เฟสคือ เฟส B กับเฟส C ดังนั้นจากจุดที่ 1 ไปจุดที่ 2 ขั้วเหนือจะเคลื่อนที่ไป 30 องศาไฟฟ้า ในทิศทางตามเข็มนาฬิกา (30 Electrical Degree Clockwise)

ที่จุดที่ 3 บนรูปคลื่นไซน์ เฟส C จะมีความเข้มสูงสุดของขั้วเหนือ เฟส B ลดลงจากสูงสุด และเฟส A เพิ่มขึ้นแต่ เฟส A เป็นขั้วใต้ ดังแสดงในรูปที่2.14 (ค) ของสเตเตอร์เฟส C จะเป็นขั้วเหนือและมีความเข้มมาก ส่วนเฟส B มีความเข้มของขั้วเหนือน้อย และเฟส A เป็นขั้วใต้น้อย ดังนั้นจากจุดที่ 2 ไปจุดที่ 3 ขั้วเหนือจะเคลื่อนที่ไป 30 องศาไฟฟ้า ในทิศทางตามเข็มนาฬิกา

บนรูปคลื่นไซน์ที่จุดต่างๆในไซเคิลก็จะเกิดหมุนเวียนกันไปเช่นเดียวกับที่กล่าวมาแล้ว ตัวอย่างเช่น ที่จุดที่ 6 ในรูปที่ 2.13 บนรูปคลื่นไซน์ เฟส A และ เฟส B จะเป็นขั้วใต้ ส่วนเฟส C จะเป็น 0 ดังแสดงในรูปที่2.14 (ฉ) ของสเตเตอร์ขั้วเหนือจะเคลื่อนที่ไป 150 องศาไฟฟ้าในทิศทางตามเข็มนาฬิกาจากจุดที่ 1 เป็นอันว่าครบไซเคิลของขั้วเหนือ หรือหมุนครบ 1 รอบ 360 องศา

2.4.3 ความเร็วและค่าต่างๆที่สัมพันธ์กับความเร็วของมอเตอร์เหนี่ยวนำ

เมื่อทำการป้อนไฟฟ้าให้กับขดลวดสเตเตอร์แล้วจะเกิดสนามแม่เหล็กหมุนขึ้น ความเร็วของสนามแม่เหล็กหมุนขึ้นอยู่กับจำนวนขั้วแม่เหล็กที่สเตเตอร์และความถี่ของระบบไฟฟ้าที่ป้อนให้ขดลวดมอเตอร์ โดยที่ความเร็วของสนามแม่เหล็กหมุนนี้จะแปรผันโดยตรงกับความถี่ของระบบไฟฟ้าที่ป้อนให้กับมอเตอร์แต่จะแปรผกผันกับกับจำนวนขั้วแม่เหล็กของมอเตอร์ตัวนั้น ความเร็วของสนามแม่เหล็กหมุนนี้เรียกว่า ความเร็วซิงโครนัส (Synchronous speed, N_s)

$$N_s = \frac{120f}{P} \qquad (2.22)$$

เมื่อ N_s คือ ความเร็วซิงโครนัส ; rpm (รอบต่อนาที)

f คือ ความถี่ของระบบไฟฟ้า ; Hertz (ไซเกิลต่อนาที)

P คือ จำนวนขั้วแม่เหล็ก ; Pole (ขั้ว)

สลิป (Slip หรือ s) ความแตกต่างระหว่างความเร็วซิงโครนัส (N_s) กับความเร็วของโรเตอร์ (N_r) หรือเรียกว่าความเร็วสลิป (Slip Speed) ในทางปฏิบัติความเร็วของโรเตอร์จะช้ากว่าความเร็วสนามแม่เหล็กหมุนบนตัวสเตเตอร์ (N_s) ถ้าความเร็วของรอบโรเตอร์หมุนเท่ากับสนามแม่เหล็กหมุนแสดงว่าไม่มีความเร็วสัมพัทธ์ (Relative speed) ก็จะไม่เกิดเหนี่ยวนำแรงเคลื่อนไฟฟ้าขึ้นที่ขดลวดโรเตอร์และไม่มีกระแสไหลในวงจรโรเตอร์ทำให้ไม่มีแรงบิดที่เกิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการดูดและผลักทางขั้วแม่เหล็กที่จะเร่งให้ตัวโรเตอร์หมุนจึงเป็นเหตุให้ความเร็วของโรเตอร์ต้องน้อยกว่าของสนามแม่เหล็กหมุนบนสเตเตอร์ดังนั้น

ความเร็วสลิป $$s = \frac{N_s - N_r}{N_s} \quad (2.23)$$

s : Slip

N_s : Synchronous Speed (rpm)

N_r : Rotor Speed (rpm)

ความถี่ของแรงเคลื่อนไฟฟ้าเหนี่ยวนำในขดลวดโรเตอร์อยู่ในสภาวะอยู่กับที่ ความถี่ในวงจรโรเตอร์ (Rotor Frequency) จะมีค่าเท่ากับความถี่ของแหล่งจ่ายไฟฟ้าที่ป้อนให้กับมอเตอร์เมื่อโรเตอร์หมุนด้วยความเร็ว N_r อัตราการตัดสนามแม่เหล็กจะมีค่าเท่ากับรอบต่อนาที $N_s - N_r$ ความถี่ในวงจรโรเตอร์จะขึ้นอยู่กับ สลิปสปีด โดยมีสมการในรูปแบบเดียวกันกับสมการของความเร็วซิงโครนัส

Slip Speed $sN_s = N_s - N_r$ rpm (2.24)

Rotor Speed $N_r = (1-s)N_s$ rpm (2.25)

Rotor Frequency $f_r = sf$ Hz (2.26)

ขณะมอเตอร์เริ่มหมุน (Starting) โรเตอร์หยุดนิ่งอยู่กับที่ $s = 1$ Rotor Frequency เท่ากับ Stator Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 Field Programmable Gate Array

อุปกรณ์ FPGA (Field Programmable Gate Array) เป็นอุปกรณ์ที่ใช้ในการโปรแกรมวงจรที่ได้ออกแบบลงไปเพื่อให้อุปกรณ์ FPGA มีฟังก์ชันการทำงานตามที่ผู้ออกแบบต้องการ ในการทำ FPGA เมื่อเทียบกับการทำ ASICs (Application Specific Integrated Circuits) แล้วนั้นก็มีทั้งข้อดีและข้อเสีย คือ การทำ FPGA จะมีข้อจำกัดในด้านขนาดของวงจรเพราะภายในอุปกรณ์ FPGA จะมีจำนวน gate ให้ใช้จำนวนจำกัด และการทำ FPGA ก็เหมาะกับการทำผลิตภัณฑ์ต้นแบบหรือเพื่อผลิตในปริมาณต่ำ ส่วนข้อดีของการทำ FPGA ก็คือระยะเวลาที่ใช้ในการทำตั้งแต่เขียน code อธิบายฮาร์ดแวร์จนกระทั่ง download นั้นน้อยกว่าการทำ ASIC มาก และการตรวจสอบหรือแก้ไข design ก็ทำได้สะดวก การทำ FPGA ในปัจจุบันมีประสิทธิภาพมากขึ้น และสะดวกขึ้น ทั้งนี้ก็เนื่องจากทางบริษัทผู้ผลิตอุปกรณ์ FPGA ได้เพิ่มความสามารถของอุปกรณ์ FPGA โดยเพิ่มจำนวนองค์ประกอบภายใน หรือ ปรับปรุงโครงสร้างสถาปัตยกรรมภายใน และยังได้เพิ่มประสิทธิภาพของซอฟต์แวร์ ที่ใช้ทำ PPR (Partitioning, Placement and Routing) สำหรับอุปกรณ์นั้นๆด้วย

การแบ่งหมวดของ FPGA นั้นสามารถแบ่งแยกตามคุณลักษณะได้ดังนี้

-โครงสร้างสถาปัตยกรรมภายใน

-เทคโนโลยีการโปรแกรม

-I/O

-Intereonnect

FPGA สามารถแบ่งตามโครงสร้างสถาปัตยกรรมภายในของอุปกรณ์ดังนี้

- LCA (Logic Cell Array)

- PASIC (Programmable ASIC)

- FLEX, APEX

- ACT (Actel)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 การแบ่งโครงสร้างสถาปัตยกรรมของ FPGA

แบ่งได้เป็น 2 ลักษณะคือ

- Coarse-grained โครงสร้างสถาปัตยกรรมแบบ Coarse-grained จะประกอบด้วยลอจิกบล็อกขนาดใหญ่ เช่นมักประกอบด้วย LUT และ Flip-Flops 2 อัน หรือมากกว่า ตัวอย่าง FPGA ได้แก่ Xilinx ตระกูล XC4K, Spartan, Virtex หรือ Altera ตระกูล FLEX, APEX

- Fine-grained ประกอบด้วย ลอจิกบล็อกแบบง่าย จำนวนมาก ลอจิกบล็อกประกอบด้วยลอจิกฟังก์ชัน หรือ 2 อินพุท หรือมัลติเพล็กเซอร์แบบ 4-1 และฟลิปฟล็อป ตัวอย่าง FPGA แบบ fine-grained เช่น ตระกูล ACT ของบริษัท ACTEL

2.5.2 เทคโนโลยีการโปรแกรม (Programming Technology)

เทคนิคการโปรแกรมไอซี FPGA มีดังนี้

- SRAM
- Fuse/Anti-fuse
- EPROM/EEPROM
- FLASH

ข้อแตกต่างอื่นๆ ของโครสร้างสถาปัตยกรรมของ FPGA คือ เทคโนโลยีที่ใช้ในการผลิตตัวชิป FPGA ซึ่งได้แก่ SRAM และ anti-fuse FPGA ที่ใช้เทคโนโลยี

- FPGA ชนิด SRAM

นั้นสามารถทำการโปรแกรมซ้ำๆ ได้หลายครั้ง แต่ในการใช้งานในภาคสนามจำเป็นต้องใช้ไอซี สำหรับเก็บข้อมูลคอนฟิกกูเรชันของวงจร การโหลดข้อมูลจากตัวเก็บบิต สามารถเกิดขึ้นได้โดยอัตโนมัติ เมื่อเปิดสวิตซ์ หรืออาจโหลด โปรแกรมผ่านไมโครโปรเซสเซอร์ก็ได้ เช่นโหลดโปรแกรมด้วย PC ผ่านสายดาวน์โหลด ข้อดี FPGA นอกจากจะมีขนาดของเกตสูงแล้ว ยังสามารถโปรแกรมซ้ำได้บ่อยตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- FPGA ชนิด Fuse หรือ Anti-fuse

จะสามารถทำการโปรแกรมได้เพียงครั้งเดียว (OTP) และไม่สามารถแก้ไขหรือโปรแกรมซ้ำได้อีกแต่ข้อมูลการโปรแกรมไม่สูญหายเมื่อวงจรถูกตัดแหล่งจ่ายไฟ การโปรแกรมไอซี FPGA ชนิดนี้จะต้องใช้เครื่องโปรแกรมไอซี

- FPIC (Field Programmable Interconnect device)

FPIC จริงๆ แล้วไม่ได้ไอซีทางด้านลอจิก แต่จะเป็นอุปกรณ์ที่สามารถโปรแกรมส่วนที่เชื่อมต่อ(wiring) เช่นการเชื่อมตัวให้ไอซีหนึ่งตัวสามารถเลือกได้ว่าให้เชื่อมต่อเข้ากับไอซีตัวไหนได้ บริษัทที่ผลิตอุปกรณ์ประเภทนี้ได้แก่ ไอซี Digital Crosspaint Switch ของบริษัท I-Cube Digital crosspoint device ของบริษัท Lattice หรือ อุปกรณ์ Hardware emulator ของบริษัท Aptix

2.5.3 การออกแบบด้วย FPGA

การออกแบบวงจรดิจิตอลด้วย FPGA โดยทั่วไปมีองค์ประกอบ 3 ส่วน

1) ซอฟต์แวร์ Design Entry

- โดยใช้ Sehematie Design Entry ใช้ไลบารีของ FPGA

- ใช้ภาษา HDL เช่น VHDL, Verilog, การออกแบบโดยใช้ภาษาชั้นสูงนั้นการทดสอบของวงจรนั้นยังไม่ขึ้นกับเทคโนโลยีเป้าหมาย (Technology independent) ผู้ออกแบบไม่จำเป็นต้องกังวลถึงค่าความหน่วงทางเวลาของอุปกรณ์ที่มากับเทคโนโลยีนั้นการทดสอบความถูกต้องเป็นในลักษณะการตรวจสอบระดับฟังก์ชันการทำงานโดยใช้ซอฟต์แวร์สำหรับจำลองการทำงาน (Simulation)

2) Design Implementation

ขั้นตอนนี้ ต่อเนื่องจากขั้นตอนที่ 1 ซึ่งเกี่ยวข้องกับการแปลงแบบที่ได้ออกแบบจาก Schematic หรือ HDL ให้เป็นลอจิก ซึ่งอาจใช้ซอร์ฟแวร์สำหรับสังเคราะห์วงจร (Logic synthesis) แล้วทำการแบ่งลอจิกเป็นส่วนๆ (Partitioning) และวางตำแหน่ง (Placement) ของลอจิกทำการเชื่อมต่อสายสัญญาณ (routing) สุดท้ายเป็นการสร้างไฟล์สำหรับโปรแกรมลงชิป (bit file)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) Device Programming

การโปรแกรมอุปกรณ์หรือชิป FPGA นั้น มีเทคนิคหรือวิธีใหญ่ๆ 3 ลักษณะ ทั้งนี้ตัวชิปจะต้องสนับสนุนการทำงานในโหมดของการโปรแกรมเหล่านี้ด้วย

- การโปรแกรมโดยผ่านสายดาวน์โหลด หรือผ่าน JTAG หรือผ่าน ISP

- การโปรแกรมโดยใช้ ตัวเก็บข้อมูลไฟล์บิต

- การโปรแกรมโดยใช้เครื่องโปรแกรมไอซี

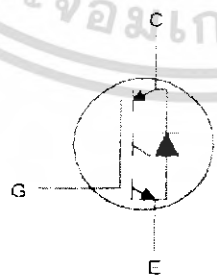
2.6 ไอจีบีทีเบื้องต้น (Introduction IGBT)

คุณสมบัติที่ดีของไอจีบีที

1. ให้ค่า V_{CE} (SAT) ที่ต่ำกว่ามอสเฟต
2. ให้ค่า อินพุตอิมพีแดนซ์ (Z_{in}) ที่มีค่าสูงพอ ๆกับมอสเฟต
3. อินพุตคาปาซิแตนซ์ ต่ำกว่า มอสเฟต
4. ความเร็วในการสวิตซ์ทำงานในขณะนำกระแสและหยุดนำกระแสทำได้เร็วกว่าทรานซิสเตอร์
5. เหมาะสมที่ใช้งานใน อินเวอร์เตอร์, ยูพีเอส
6. ถ้าไม่มีไดโอดที่ภาคเอาต์พุตใช้ไดโอดแบบฟาสรีคัฟเวอรี่ (Fast Recovery) ต่อภายนอกได้

2.6.1โครงสร้างและสัญญาณ

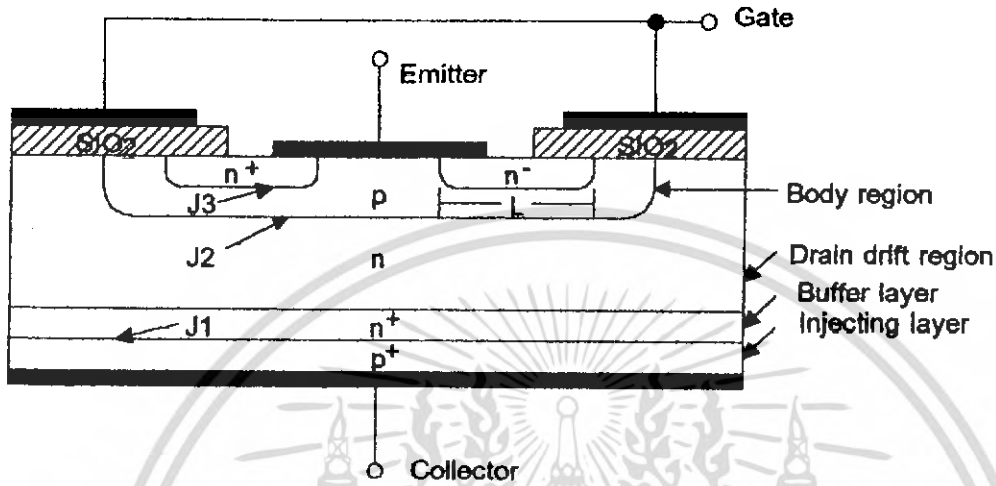
มีสัญลักษณ์แทนตัวไอจีบีทีอยู่หลายรูปแบบด้วยกัน ดังแสดงไว้ในรูปที่ 2.5 ซึ่งเป็นสัญลักษณ์และชื่อเรียกขาต่าง ๆ ของไอจีบีที ชนิดเอ็นชาแนล



รูปที่ 2.15 สัญลักษณ์และการเรียกชื่อขาของไอจีบีที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

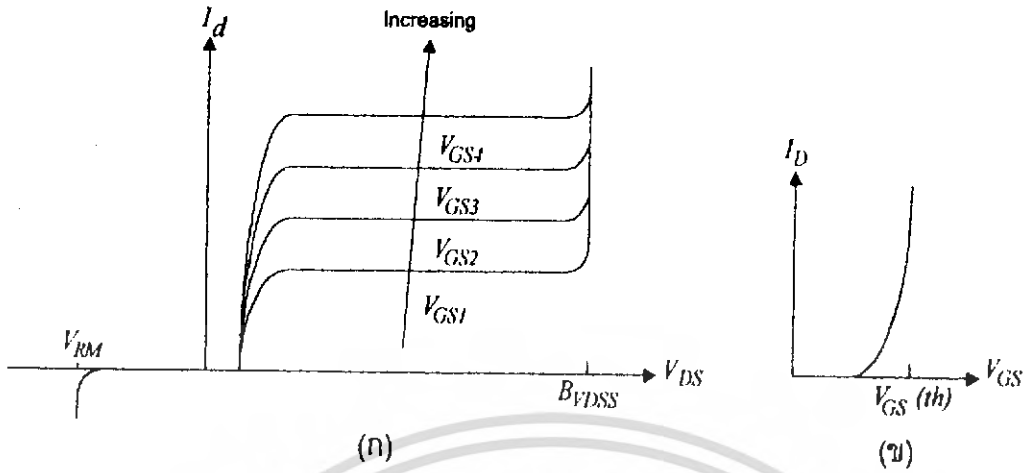
จากรูปที่ 2.15จะเห็นว่ามีลักษณะคล้ายกับสัญลักษณ์ของมอสเฟตมาก เพียงแต่ว่าสัญลักษณ์ของ ไอจีบีที นั้น จะมีลูกศรเพิ่มขึ้นมาตรงขาคอลเลกเตอร์ ซึ่งชี้เข้าหาตัว ซึ่งในการกล่าวถึงไอจีบีทีในที่นี้ จะใช้สัญลักษณ์ในรูปที่ 2.16



รูปที่ 2.16 ภาพตัดขวางโครงสร้างพื้นฐานไอจีบีที

โครงสร้างของไอจีบีทีชนิดเอ็นแชนแนลแสดงเป็นภาพตัดขวาง ได้ดังรูป 2.16 โครงสร้างโดยทั่วไปส่วนใหญ่มีลักษณะโครงสร้างคล้ายกับมอสเฟตมาก จะแตกต่างกันตรงที่ไอจีบีที จะมีชั้น p^+ หรือชั้นอินเจ็กติ้ง ต่ออยู่ระหว่างขาคอลเลกเตอร์ ซึ่งในมอสเฟตนั้นไม่มี จากการที่ขาเกตถูกกั้นด้วยชั้นของซิลิกอนไดออกไซด์ SiO_2 เป็นผลให้ความต้านทานอินพุตที่ขาเกตมีค่าสูงมากเหมือนกับเพาเวอร์มอสเฟต โดยทั่วไปจะมีค่าอยู่ในช่วง 10 โอห์ม จากผลดังกล่าวทำให้ลักษณะของกราฟแสดงคุณสมบัติของกระแสและแรงดันของไอจีบีทีมีลักษณะคล้ายกับกราฟของทรานซิสเตอร์ การควบคุมกระแสที่ขานี้เหมือนกับทรานซิสเตอร์ ซึ่งกราฟแสดงคุณสมบัติของกระแสและแรงดันของไอจีบีที แสดงไว้ในรูปที่ 2.17 ก) และสำหรับรูปที่ 2.17 ข) เป็นกราฟแสดงคุณสมบัติการถ่ายโอนกระแสและแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 ก) ลักษณะคุณสมบัติกระแสและแรงดันของไอจีบีที
ข) ลักษณะคุณสมบัติการถ่ายโอนของไอจีบีที

รูปกราฟแสดงให้เห็นว่าส่วนใหญ่ของเส้นกราฟจะมีลักษณะเป็นเส้นตรงและจะเริ่มโค้งที่กระแสคอลเลคเตอร์มีค่าต่ำ ๆ นั่นก้อคือจุดที่แรงดันระหว่างขาเกตและขาอิมิตเตอร์ต่ำลงให้แรงดันจุดเริ่มเปลี่ยนสภาวะการทำงาน (จุด Threshold Voltage : V_{GS} (th)) โดยถ้าแรงดันระหว่างเกตและอิมิตเตอร์ต่ำกว่าแรงดันที่จุด V_{GS} (th) แล้ว ไอจีบีทีจะอยู่ในสภาวะหยุดนำกระแสหรือคัทออฟ กรณีของไอจีบีทีชนิดพีแชนแนลนั้น คุณสมบัติจะคล้ายกับเอ็นแชนแนล แต่โครงสร้างและสัญลักษณ์จะมีลักษณะตรงข้ามกับเอ็นแชนแนล เช่น ชนิดของสารที่ใช้โด๊ป และหัวลูกศรก็จะมีทิศตรงกันข้าม

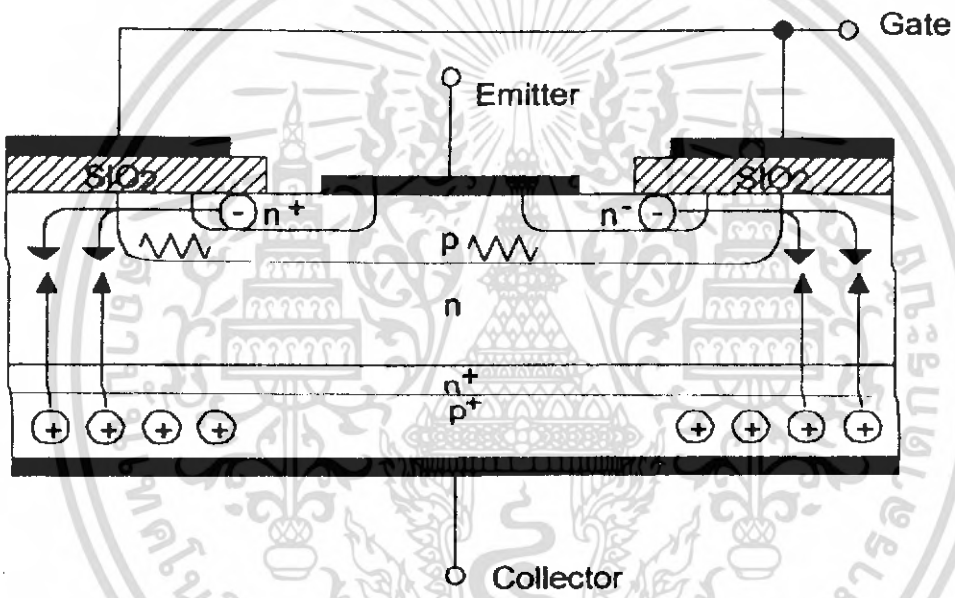
2.6.2 สภาวะนำกระแส

เมื่อขอคอลเลคเตอร์ได้รับไบอัสตรงคือเป็นบวกเมื่อเทียบกับอิมิตเตอร์ และแรงดันระหว่างเกตกับอิมิตเตอร์นั้นมีค่าเกิน V_{GS} (th) ประจุไฟฟ้าบวกที่เกิดจากแรงดันที่ขาเกตจะดึงเอาอิเล็กตรอนให้มารวมกันอยู่ในบริเวณภายใต้เกต ทำให้ชั้นบอดี้ (Body layer) ตรงส่วนใต้เกตแปรสภาพเป็น n ทำให้เกิดการต่อกันของบริเวณ n (Drift Region) เข้ากับบริเวณอิมิตเตอร์ n^+ (Source Region) ซึ่งลักษณะนี้เหมือนกับการทำงานของมอสเฟต กระแสอิเล็กตรอนที่ไหลของขาอิมิตเตอร์ผ่านบริเวณใต้เกตมายังบริเวณลอยเลื่อน n^- จะรวมกับโฮลที่เป็นพาหะส่วนน้อยที่ถูกฉีดมาจากชั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเจ็กติ้ง p^+ แพราะรอยต่อ J1 ได้รับแรงดันไบอัสตรง ทำให้ไอจีบีทีอยู่ในสภาวะนำกระแส เกิดการไหลของกระแสไฟฟ้าจากคอลเลคเตอร์ไปยังอิมิตเตอร์ได้การรวมตัวกันของโฮลและอิเล็กตรอนภายในบริเวณ n^- ที่เรียกว่าการมอดูเลตสภาพนำ (Conductivity Modulation)

ผลของการมอดูเลตนั้นจะทำให้ความต้านทานของบริเวณ n^- มีค่าต่ำลง เป็นการเพิ่มความสามารถในการขับผ่านกระแสได้สูงขึ้น ซึ่งจะมีลักษณะเหมือนกับทรานซิสเตอร์กำลัง ผลของความต้านทานที่ลดลง ทำให้แรงดันที่ตกคร่อมที่สภาวะนำกระแสลดต่ำลง การสูญเสียกำลังงาน ขณะนำกระแสจึงลดลงด้วยทิศทางการไหลของอิเล็กตรอนและโฮล ดังแสดงไว้ในรูปที่ 2.18



รูปที่ 2.18 แสดงการไหลของอิเล็กตรอนและโฮล

เมื่อแรงดันระหว่างเกตและอิมิตเตอร์ลดต่ำกว่าแรงดัน V_{GS} (th) จะทำให้แรงดันไม่เพียงพอสำหรับการแปรสภาพชั้นบอดี้ p เป็น n ได้ ทำให้บริเวณ n ไม่ต่อกับบริเวณอิมิตเตอร์ n^+ ไอจีบีทีจึงหยุดนำกระแส ในสภาวะนี้รอยต่อ J2 ที่ได้รับแรงดันไบแอสกลับจะทำให้เกิดกระแสรั่วไกลเพียงเล็กน้อยเท่านั้น นอกจากนี้ยังทำให้เกิดบริเวณปลอดพาหะ (depletion region) ขึ้นที่รอยต่อ บริเวณปลอดพาหะนี้จะขยายบริเวณกว้างขึ้น จนเกิดเข้ามาบริเวณ n มากกว่าที่จะขยายไปยังบริเวณชั้นบอดี้ p ทั้งนี้เพราะชั้นบอดี้ p มีความหนาแน่นในการโด๊ปสาร มากกว่าถ้าความหนาแน่นของสารที่โด๊ป ในบริเวณลอยเลื่อน n^- มากเพียงพอ ก็จะทำให้การขยายของบริเวณปลอดพาหะไม่สามารถแตะกับชั้นอินเจ็กติ้ง p^+ ได้ ชั้นบัฟเฟอร์ n^+ (buffer layer) ก็ไม่จำเป็นต้องโด๊ปสาร ทั้งนี้เพราะการแตะกันของบริเวณทั้งสองจะทำให้เกิดการพังทลายทางด้านไบแอสตรงสำหรับไอจีบีทีที่ไม่มีการโด๊ปสารในชั้นบัฟเฟอร์ n^+ นี้จะเรียกว่า ไอจีบีที แบบสมมาตร ซึ่งจะมีอัตราทนแรงดันย้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(V_{MAX} หรือ BV_{DSS}) สูงพอๆกับค่าอัตราทนแรงดันไหลตรง (BV_{DSS}) เหมาะสำหรับการนำไปประยุกต์ใช้วงจรไฟฟ้ากระแสสลับการลดความหนาของบริเวณ n^- ลงแต่ยังคงความสามารถของอัตราทนแรงดันไหลตรงไว้สามารถทำได้โดยเพิ่มบัฟเฟอร์ n^+ เข้าไปเพื่อป้องกันการแตะกันของวงจรไฟฟ้ากระแสสลับการลดความหนาของบริเวณ n^+ ลงแต่บังคับความสามรถของอัตราทนแรงดันไกลไว้สามารถทำได้โดยเพิ่มชั้นบัฟเฟอร์ n^+ เข้าไปเพื่อป้องกันการแตะกันของบริเวณปลอดพาหะกับบริเวณอินเจ็ทติ้ง p^+ ซึ่งจะเรียกชั้นบัฟเฟอร์ไอจีบีที ชนิดนี้ว่าไอจีทีบีแบบไม่สามาตรและจากการลดความหนาของบริเวณลอยเลื่อน n^- ลงจะช่วยส่งผลให้เกิดข้อดีสองประการคือ

1. ทำให้แรงดันตกคร่อมขณะนำกระแสต่ำลงทำให้การสูญเสียกำลังงานลดน้อยลงด้วย
2. ช่วยลดช่วงเวลาหยุดนำกระแสให้สั้นลงได้

แต่ข้อเสียของการเพิ่มชั้นบัฟเฟอร์ n^+ ก็มีคือ จะลดความสามารถทนอัตราแรงดันย้อนกลับให้น้อยลงเหลือเพียงไม่กี่สิบโวลต์ ทั้งนี้เพราะเมื่อ ไอจีบีทีได้รับไบแอสที่ขาคอลเลกเตอร์รอยต่อ J1 ซึ่งทั้งสองข้างมีความหนาแน่นในการโด๊ปของสามาก จะไม่สามารถอัตราทนแรงดันย้อนกลับ ตั้งนั้น ไอจีบีทีชนิดนี้จึงไม่เหมาะสมที่จะนำไปใช้ในวงจรไฟฟ้ากระแสสลับ

2.6.3 การแลตช์ในไอจีบีที

นอกจากโฮลส่วนใหญ่ที่ร่วมกับอิเล็กตรอนภายในบริเวณ n^- แล้วยังมีกระแสโฮลบางส่วนที่ไหลข้างบริเวณ n^- เข้าสู่บริเวณชั้นบอดี้ p โดยตรง ผลของกระแสโฮลนี้ทำให้เกิดแรงดันตกคร่อม ความต้านทานข้างเคียงดังในรูป 2.14 ถ้าแรงดันนี้ค่ามากพอคือประมาณ 0.7 โวลต์ จำทำให้รอยต่อ J3 ได้รับไบแอสโดยตรง เป็นผลให้อีเล็กตรอนจากบริเวณอิมิตเตอร์ n^+ ถูกฉีดเข้าไปในชั้นบอดี้ p

ถ้าดูจากวงจรสมมูลย์ในรูปที่ 2.16 (ค) จะหมายถึงขาเกตและขาอิมิตเตอร์ของทรานซิสเตอร์เอ็นพีเอ็นได้รับแรงดันไบอัสตรงส่งผลให้ไทริสเตอร์ซึ่งแฝงอยู่ในโครงสร้างของไอจีบีทีอยู่ในสภาวะแลตช์การนำกระแสทำให้ที่ขาเกตไม่สามารถควบคุมปริมาณของกระแสคอลเลกเตอร์ได้อีกต่อไป แต่การควบคุมกระแสคอลเลกเตอร์นี่จะขึ้นอยู่กับตังต้านทานที่นำมาต่อในวงจรภายนอก ถ้าหากทีการแลตช์การขึ้นเป็นเวลานาน อาจทำให้ไอจีบีทีเสียหายได้ เพราะมีการสูญเสียกำลังงานเกินพิกัดที่ทนได้ ส่วนใหญ่หรือเป็นมาตรฐานคู่มือของผู้ผลิตมักมีการบอกค่ากระแสคอลเลกเตอร์สูงสุดที่สามารถไหลผ่านไอจีบีทีโดยที่ยังไม่เกิดการแลตช์ขึ้น (I_{DM}) แต่เนื่องจากกระแสคอลเลกเตอร์ถูกกำหนดหรือควบคุมโดยตรงกับแรงดันระหว่างขาเกตกับอิมิตเตอร์ บางครั้งคู่มือจะบอกค่าแรงดันระหว่างเกตและอิมิตเตอร์สูงสุดที่ไม่ทำให้เกิดการแลตช์ แทนการบอกค่ากระแสคอลเลกเตอร์สูงสุด

การแลตช์ที่กล่าวถึงข้างต้นเรียกว่าการแลตช์ในโหมดสแตติก เพราะเกิดขึ้นเมื่อกระแสที่ไหลในสภาวะนำกระแสมีค่าเกิน I_{DM} แต่ลักษณะการแลตช์นี้ก็สามารถเกิดขึ้นได้ เรียกว่า โหมดไดนามิก ซึ่งเกิดขึ้นเมื่อมีการเปลี่ยนโหมดการทำงานจากสภาวะนำกระแสเข้าสู่สภาวะหยุดนำกระแสได้ด้วย บางครั้งการแลตช์อาจเกิดขึ้นได้ แม้ว่ากระแสคอลเลคเตอร์ขณะนำกระแสยังมีค่าต่ำกว่าค่า I_{DM} ก็ตามทั้งนี้เพราะเมื่อ ไอจีบีทีเริ่มหยุดนำกระแส กระแสคอลเลกเตอร์จะตกลงอย่างรวดเร็วรอยต่อ J2 จะต้องรับแรงดันย้อนกลับอย่างรวดเร็วเช่นเดียวกัน ผลที่เกิดขึ้นจะทำให้บริเวณปลอดพาหะขยายบริเวณชั้นบอดี้ p โดยเฉพาะจะขยายบริเวณปลอดพาหะอย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การขัดขวางของบริเวณปลอดพาหะเข้าไปสะสมอยู่ในบริเวณรอยต่อ J2 เป็นการเพิ่มกระแสที่ไหลผ่านตัวต้านทานข้างเคียงให้สูงขึ้น ทำให้ไทริสเตอร์ภายในไอจีบีทีเกิดการแลตช์ขึ้นได้ เมื่อเกิดการแลตช์ขึ้นแรงดันคร่อมขาอิมิดเตอร์และคอลเลกเตอร์ขณะนำกระแสจะมีค่าต่ำกว่าระดับปกติ นอกจากนี้การแลตช์ยังสามารถเกิดขึ้นได้อีก เนื่องจากการเพิ่มของอุณหภูมิที่รอยต่อ ในขณะที่กระแสคอลเลคเตอร์ยังมีค่าต่ำกว่า I_{DM} อยู่ได้เช่นกัน

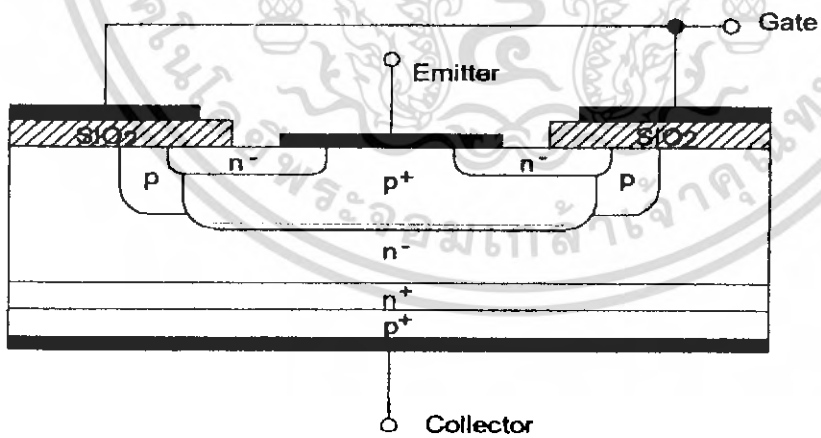
2.6.4 การป้องกันการแลตช์

การหลีกเลี่ยงการแลตช์ของไอจีบีทีสามารถทำได้ทั้งผู้ผลิตและผู้ใช้งานเอง ผู้ผลิตอาจจะออกแบบโครงสร้างในส่วนบริเวณบอดี้ p ให้มีความต้านทานข้างเคียงต่ำที่สุด เพื่อจะได้เพิ่มค่าของ I_{DM} ให้มากที่สุด ซึ่งเป็นการลดโอกาสที่จะเกิดการแลตช์ลงได้

วิธีแรกอาจทำได้โดยลดความกว้างของบริเวณอิมิตเตอร์ n^+ ลงนั่นคือลดค่า Ls ลงนั่นเอง

วิธีที่สองเป็นการแบ่งระดับความหนาแน่นในการโด๊ปสารของบริเวณบอดี้ p ดังในรูป55555 จะเห็นว่าบริเวณบอดี้ p ภายใต้เกตจะโด๊ปด้วยความหนาแน่นระดับปกติ $10^{16}\,Cm^{-3}$ รวมถึงความหนาก็จะมากกว่าด้วย การทำเช่นนี้จะทำให้ความสามารถในการนำกระแสให้สูงขึ้นเป็นการลดความต้านทานข้างเคียงให้น้อยลงได้

สำหรับผู้ใช้งานก็สามารถป้องกันการแลตช์ในโหมดสแตติกได้ โดยออกแบบไม่ให้กระแสที่ไหลในโหลดไหลเกินค่ากระแส I_{DM} และป้องกันการแลตช์ในโหมดไดนามิกได้ โดยหน่วงเวลาขณะหยุดนำกระแสให้ยาวนานขึ้น เพื่อโฮลที่ยังค้างอยู่ในบริเวณ n^- มีเวลาพอที่จะรวมอิเล็กตรอนเป็นการลดกระแสที่ไหลผ่านความต้านทานข้างเคียงให้น้อยลงได้ การหน่วงเวลาขณะหยุดนำกระแสให้ยาวนานขึ้น ทำได้โดยเพิ่มความต้านทานภายนอกอนุกรมเข้ากับขาเกตของไอจีบีที



รูปที่ 2.19 โครงสร้างที่ปรับปรุงเพื่อป้องกันการแลตช์ในไอจีบีที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.5 วงจรสมมูลของไอจีบีที

วงจรสมมูลของไอจีบีทีแสดงไว้ดังรูปที่ 2.6 ซึ่งในรูปที่ 2.6(ก) นั้นจะเห็นว่าในบอดี้ p ชั้นบริเวณ n^- และชั้นอินเจ็กติ้ง p+ จะคล้ายกับทรานซิสเตอร์ชนิด พีเอ็นพี โดยแทนด้วยขาคอลเลกเตอร์ เกต และอิมิตเตอร์ตามลำดับ และบริเวณใต้เกตจะแทนได้ด้วยมอสเฟต ซึ่งจะมีความต้านทานบริเวณ n เชื่อมขาเบสของทรานซิสเตอร์พีเอ็นพีเข้ากับขาคอลเลกเตอร์ของมอสเฟตซึ่งเมื่อเขียนวงจรสมมูลออกมาจะได้วงจรดังรูปที่ 2.6(ข)

จากรูป 2.6(ข) จะเห็นว่าวงจรดาร์ลิงตัน โดยมีมอสเฟตเป็นตัวจับทรานซิสเตอร์พีเอ็นพี แต่มีจุดพิเศษที่แตกต่างจากวงจรทั่วไป คือ กระแสคอลเลกเตอร์ส่วนใหญ่จะไหลจากอิมิตเตอร์มายังเกต ผ่านความต้านทานบริเวณลอยเลื่อน และผ่านขาคอลเลกเตอร์ของมอสเฟตมาจบลงที่ขาอิมิตเตอร์ จะมีกระแสส่วนน้อยเท่านั้นที่ไหลจากอิมิเตอร์มายังคอลเลกเตอร์และขาคอลเลอกเตอร์ สำหรับวงจรสมมูลในรูป 2.6(ค) จะแสดงให้เห็นว่าภายในไอจีบีทีมีไทริสเตอร์แฝงอยู่ด้วย โดยดูได้จากการที่ทรานซิสเตอร์เอ็นพีเอ็น และพีเอ็นพีต่อเข้าด้วยกันในลักษณะที่มีการป้อนกลับทำให้ได้ชัดถึงเหตุที่ทำให้เกิดการแลตช์ของไอจีบีที โดยถ้ากระแสส่วนน้อยที่ไหลผ่านจากอิมิตเตอร์มายังคอลเลกเตอร์ของทรานซิสเตอร์พีเอ็นพี ผ่านความต้านทานข้างเคียงแล้วทำให้เกิดแรงดันตกคร่อมความต้านทานสูงกว่า 0.7 โวลต์ ทรานซิสเตอร์เอ็นพีเอ็นจะนำกระแสส่งผลให้เกิดการแลตช์ขึ้นในไอบีจีที สำหรับแรงดันที่ตกคร่อมขาคอลเลกเตอร์อิมิเตอร์ของไอจีบีที ขณะนำกระแส(V_{DS}(on)) สามารถเปลี่ยนสมการดังนี้

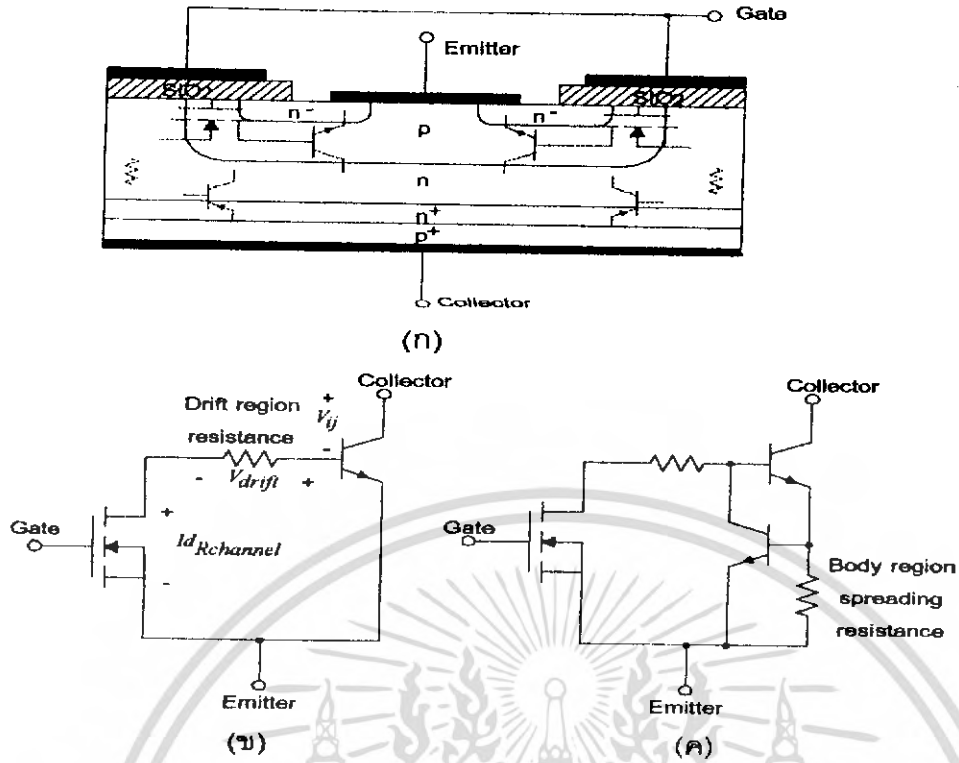
$$V_{DS}(on) = V_{ij} + V_{drift} + Id_{Rchannel} \qquad (2.27)$$

เมื่อ V เป็นแรงดันไบแอสตรงที่ตกคร่อมรอยต่อพีเอ็น จึงมีค่าค่อนข้างจะคงที่ จะมีการเปลี่ยนแปลงบ้างก็เพียงเล็กน้อย เพราะมีความสัมพันธ์โดยตรงในลักษณะเอ็กซ์โปเนนเชียลกันกระแสทำให้มีค่าอยู่ระหว่าง 0.71 - 1 โวลต์

V_{drift} + เป็นแรงดันตกคร่อมความต้านทานบริเวณลอยเลื่อน ซึ่งความต้านทานนี้มีค่าค่อนข้างคงที่ แต่เมื่อเทียบกับแรงดันในมอสเฟตแล้วจะมีค่าน้อยกว่าเพราะว่าผลของการมอดูเลตสภาพนำที่ทำให้เกิดขึ้นในไอจีบีที

Rchannel เป็นค่าความต้านทานในย่าน 1-1000 โอห์ม มีค่าค่อนข้างจะคงที่ ($Id_{Rchannel}$) เป็นแรงดันตกคร่อมมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 (ก) โครงสร้างที่มีทรานซิสเตอร์และมอสเฟตแฝงอยู่ภายใน

(ข) วงจรสมมูลสำหรับการทำงานสภาพปกติของไอจีบีที

(ค) วงจรสมมูลที่แสดงส่วนของไทริสเตอร์ที่แฝงอยู่ในไอจีบีที

ดังนั้นจึงพอสรุปได้ว่า(V_{DS}(on))จะมีค่าสูงมากขึ้นตามกระแสคอลเลกเตอร์ที่สูงขึ้น โดยทั่วไป ไอจีบีทีจะสามารถทำงานได้ในอุณหภูมิรอยต่อสูงสุดถึง 150 องศาเซลเซียส และผลของการเปลี่ยนแปลงอุณหภูมิห้องไปจนถึงค่าสูงสุดนี้ จะส่งผลให้เกิดการเปลี่ยนแปลงค่า V_{DS}(on) เพียงเล็กน้อยเท่านั้น เพราะไอบีจีทีมีค่า V_{DS}(on) เป็นผลรวมระหว่างแรงดันตกคร่อมมอสเฟตที่มีสัมประสิทธิ์ทางอุณหภูมิเป็นบวก (หมายถึงอุณหภูมิสูงขึ้น แรงดันตกคร่อมก็จะสูงตาม) กับแรงดันตกคร่อมความต้านทานบริเวณลอยเลื่อนที่มีสัมประสิทธิ์อุณหภูมิเป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

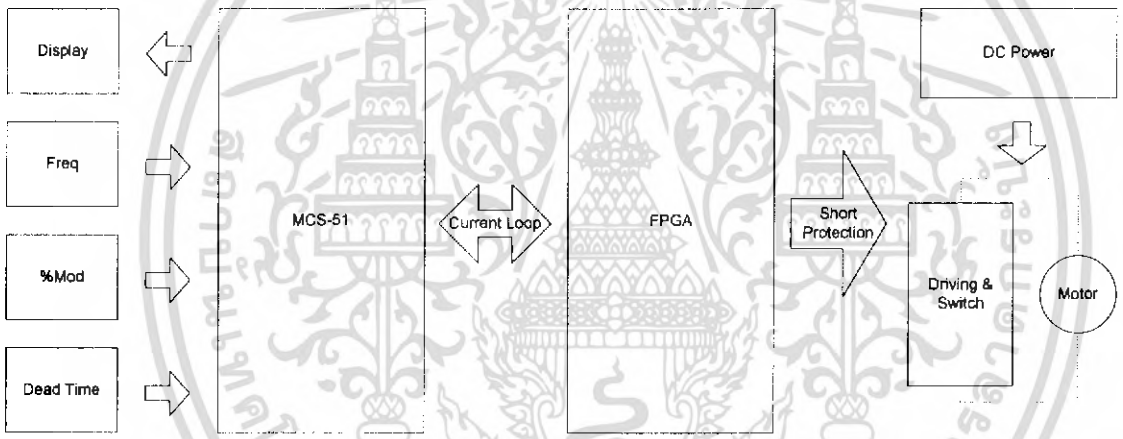
บทที่ 3
หลักการทำงานและการออกแบบ

โครงสร้างของฮาร์ดแวร์ประกอบไปด้วย 3 ส่วนใหญ่ ๆ คือ

- ส่วนวงจรควบคุมที่ใช้ไมโครคอลโทรลเลอร์
- ส่วนวงจรสร้างสัญญาณ PWM โดยใช้ FPGA
- ส่วนวงจรขับมอเตอร์ 3 เฟส และส่วนเรียงกระแส

ยังมีส่วนของวงจร Current Loop ที่ใช้ในการส่งผ่านข้อมูลจากไมโครโปรเซสเซอร์ (ส่วนของการรับข้อมูลจากผู้ใช้งาน)ไปยังส่วนของ FPGA (ส่วนที่ใช้ในการควบคุมมอเตอร์ 3 เฟส) และ วงจรป้องกันการช๊อตกิ่ง เพื่อเช็คค่าของเอาท์พุท ที่ส่งมาจาก FPGA ว่าค่าลอจิกถูกต้องตามต้องการหรือไม่

บล็อกไดอะแกรม รวมระบบทั้งหมด ดังรูป



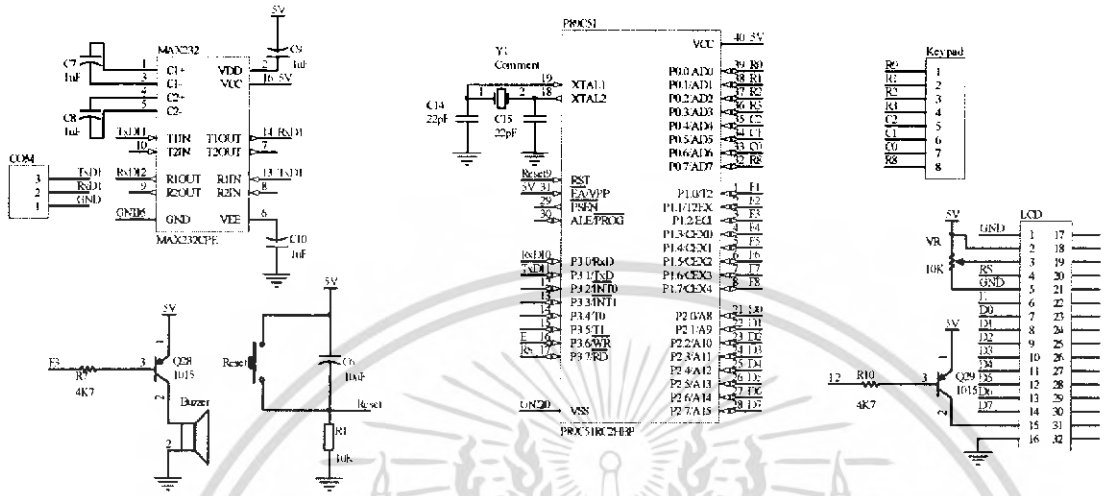
รูปที่ 3.1 บล็อคไดอะแกรมของระบบอินเวอร์เตอร์

การทำงานของระบบโดยรวม เริ่มจากส่วนของไมโครคอลโทรลเลอร์ จะทำการรับค่าต่าง ๆ จากผู้ใช้งาน ได้แก่ ค่าความถี่ที่ต้องการ การคงค่าของมอดดูเลชั่น เปอร์เซ็นมอดดูเลชั่น ค่าDead Time เป็นต้น หลังจากนั้นจะส่งไปยัง FPGA โดยการส่งจะส่งครั้งละ 1 เฮิร์ต ผ่านทาง Current Loop ส่งครั้งละ 5 บิต แล้ว FPGA จะส่งค่ากลับมาเมื่อค่าที่ส่งไปนั้นถูกต้อง แล้วทางด้านของไมโครคอลโทรลเลอร์ จึงจะส่งข้อมูลต่อไปมา หลังจากที่ FPGA รับข้อมูลมาแล้วจะทำการส่งไปยัง บอร์ดไดร์ฟมอเตอร์ และจะทำการสวิทช์ IGBT บนบอร์ดไดร์ฟให้ทำงาน เพื่อที่จะไปขับมอเตอร์ ให้หมุนตามความถี่ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 การออกแบบวงจรไมโครคอนโทรลเลอร์

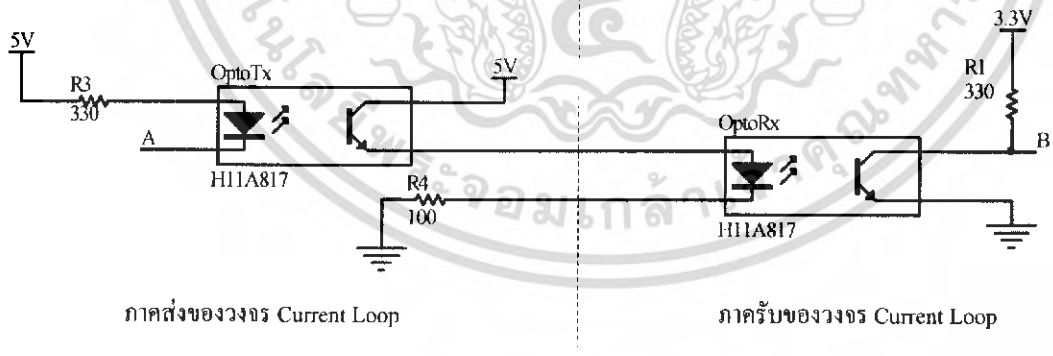
ส่วนไมโครคอลโทรลเลอร์ประกอบไปด้วย ไมโครคอลโทรลเลอร์ P89V51RD2BN คีย์แพท และ LCD โดยใช้ MAX232 เพื่อโปรแกรมไมโครคอลโทรลเลอร์



รูปที่ 3.2 วงจรไมโครคอนโทรลเลอร์

3.2 การออกแบบ Current Loop

ส่วนของวงจรนี้จะทำหน้าที่ในการเป็นทางผ่านของข้อมูล เพื่อที่จะไม่ให้ข้อมูลที่ส่งไปตามสาย โดยการรบกวนจากภายนอกซึ่งจะทำให้ค่าที่ส่งผิดพลาด โดยการส่งข้อมูลออกไปแบบใช้กระแสในการส่งข้อมูล จะมีผลของสัญญาณรบกวนจากภายนอกได้ดีกว่าการส่งข้อมูลโดยการใช้ค่าความต่างศักย์ เช่น อาจเกิดการลดลงของศักย์ดา ที่เกิดจากการตกคร่อมที่สายส่งสัญญาณ



รูปที่ 3.3 วงจร Current Loop

หลักการทำงาน

เมื่อมีสัญญาณเข้ามาที่ A จะทำให้ LED ทำงาน มีผลทำให้ Photo Transistor ทำงาน จะทำให้มีกระแสไปขับ LED ในส่วนของภาครับ ซึ่ง LED ในส่วนของภาครับทำงาน ก็จะส่งผลให้มี

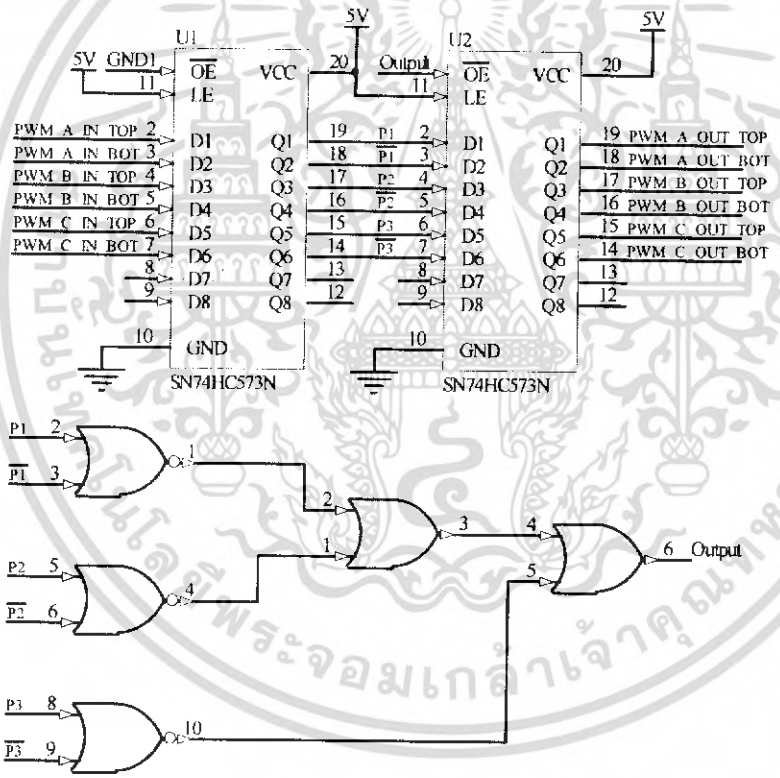
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณออกทางจุด B ในระบบนี้ออกแบบให้กระแสที่ออกจาก Photo Transistor มีค่าประมาณ 20 mA

3.3 วงจรแปลงระดับแรงดันและวงจรป้องกันการช๊อตกิ่ง

เนื่องจากสัญญาณ PWM ที่ออกจาก FPGA มีระดับสัญญาณเพียง 3.3 โวลต์ ซึ่งไม่เพียงพอในการขับออปโตที่ทำหน้าที่ในการขับไอจีบีที ซึ่งในการขับออปโต้ ต้องใช้ระดับสัญญาณ 5 โวลต์ ดังนั้นจึงต้องมีวงจรเพื่อแปลงจากระดับสัญญาณ 3.3 โวลต์ เป็น 5 โวลต์ โดยใช้ไอซีเบอร์ SN74HC573N

ส่วนของวงจรป้องกันการช๊อตกิ่งทำหน้าที่เช็คสัญญาณ PWM ที่ส่งมาจาก FPGA ว่าเกิดการช๊อตกิ่งกันหรือไม่ โดยในการออกแบบใช้วงจรลอจิกเกต ออร์เกต และ นอร์เกต

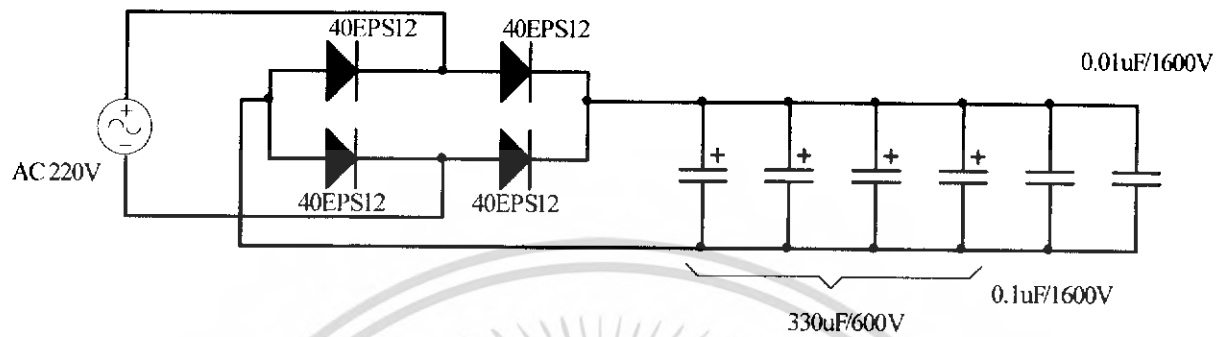


รูปที่ 3.4 วงจรแปลงระดับแรงดันและวงจรป้องกันการช๊อตกิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรเรียงกระแส

ทำหน้าที่แปลงไฟกระแสสลับ 220 โวลต์ เป็นไฟกระแสตรง 310 โวลต์ ประกอบด้วยวงจรเรียงกระแสแบบเต็มคลื่น(Full Wave Rectifier) และ ตัวเก็บประจุกรองแรงดันกระเพื่อม

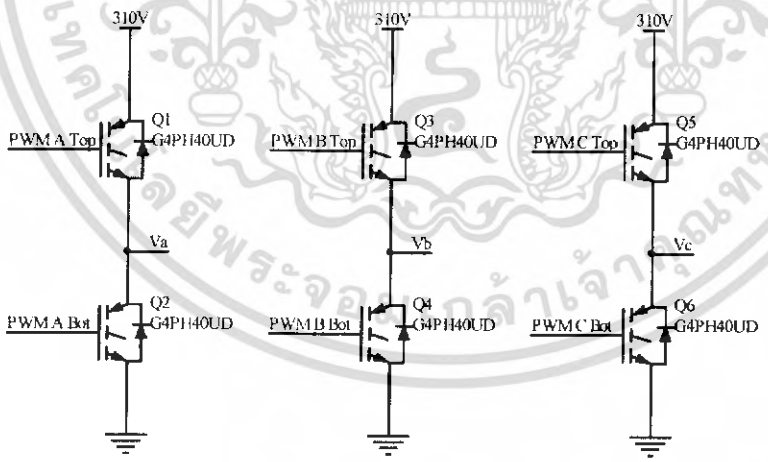


รูปที่ 3.5 วงจรเรียงกระแส

3.5 วงจรขับ IGBT และวงจรขับมอเตอร์ 3 เฟส

3.5.1 วงจรขับมอเตอร์โดยใช้ IGBT

ในการขับมอเตอร์ 3 เฟส จำเป็นต้องใช้ไฟกระแสสลับ 3 เฟส ดังนั้นวงจรขับจึงต้องมีทั้งหมด 3 กิ่ง เพื่อสร้างไฟกระแสสลับ 3 เฟส ซึ่งเลือกใช้ IGBT ในการสวิทช์

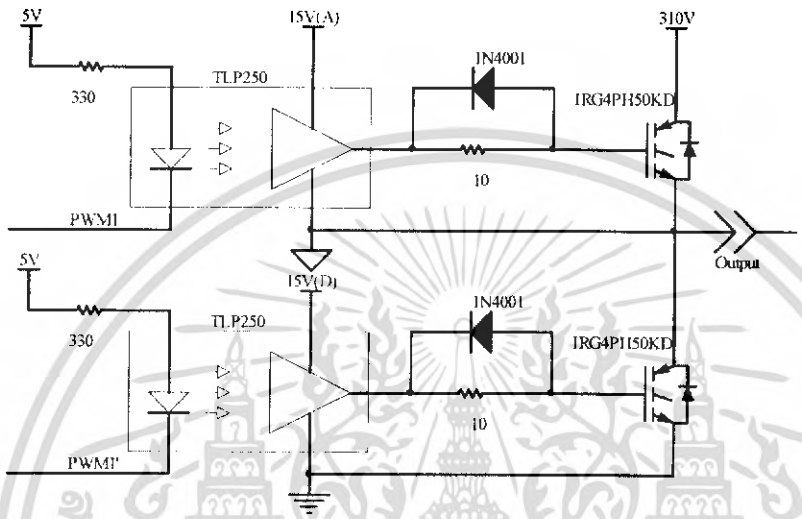


รูปที่ 3.6 วงจรขับมอเตอร์โดยใช้ไอจีบีที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 วงจรขับ IGBT โดยใช้ ออปโต้

วงจรขับ IGBT โดยใช้ออปโต้ จะทำการขับออปโต้ที่แอคทีฟโลว และจะมี ไดโอดกับตัวต้านทานอยู่ระหว่างขาออกของออปโต้กับขาเกตของ IGBT โดยไดโอดทำหน้าที่ทำให้ IGBT สามารถหยุดทำงานได้เร็วขึ้น ส่วนตัวต้านทานใช้เพื่อทำหน้าที่ลดความเหนี่ยวนำของลายวงจร ป้องกันการออสซิเลต



รูปที่ 3.7 รูปวงจรขับ IGBT โดยใช้ ออปโต้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบส่วนโปรแกรม

4.1 ส่วนโปรแกรมของไมโครคอลโทรลเลอร์

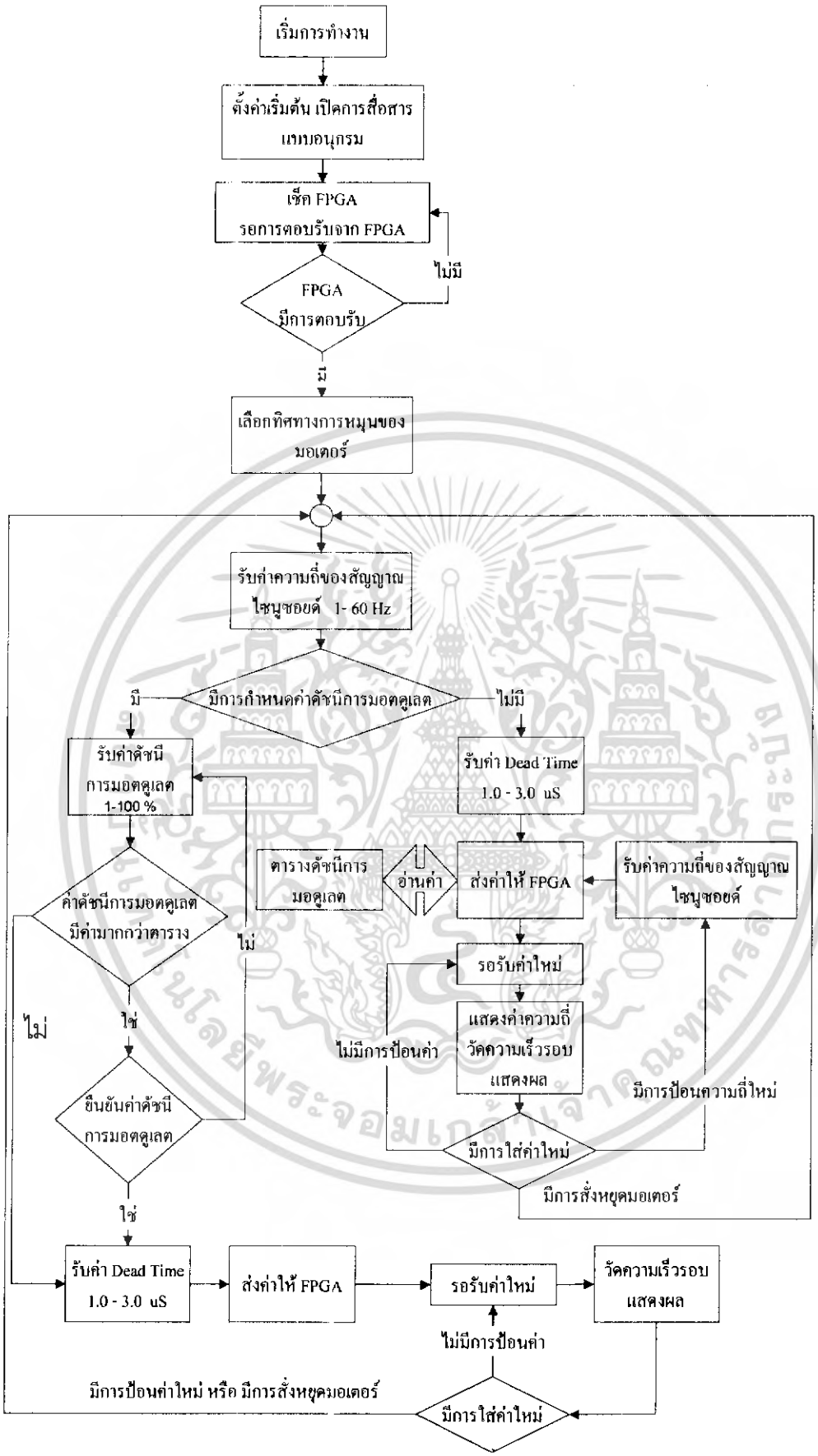
ในระบบนี้ไมโครคอลโทรลเลอร์ทำหน้าที่รับค่าต่างจากผู้ใช้งานและนำค่าทั้งหมดส่งไปยัง FPGA เพื่อไปประมวลผลหลังจากนั้นก็จะสร้างสัญญาณเพื่อขับชุดขับมอเตอร์ให้ทำงาน

โดยค่าต่าง ๆ ที่ไมโครคอลโทรลเลอร์รับมามีค่าต่าง ๆ ดังนี้

- กำหนดทิศทางการหมุนของมอเตอร์
- รับค่าความถี่ที่ต้องการสร้างสัญญาณ Sinusiod
- กำหนดค่าดัชนีมอตดูเลชั่น โดยเลือกว่าจะคงค่าดัชนีมอตดูเลชั่นหรือไม่
  ถ้าต้องการคงค่าก็จะสามารถกำหนดค่าดัชนีมอตดูเลชั่นได้ตั้งแต่ 1- 100 %
- รับค่า Dead Time ของสัญญาณ PWM

โดยค่าทั้งหมดจะแสดงผลผ่านทาง LCD และมีการรับค่าโดยใช้คีย์แพท การติดต่อกับ FPGA นั้นจะทำการสื่อสารแบบอนุกรมมีคุณสมบัติดังนี้ Baud Rate = 2400 Bits/See, Data = 8 Bits, Start Bit = 1 Bit, Stop Bit = 1 Bit, Parity = none ซึ่งในระบบนี้ไมโครคอลโทรลเลอร์ยังทำหน้าที่ในการ Solf Start มอเตอร์อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



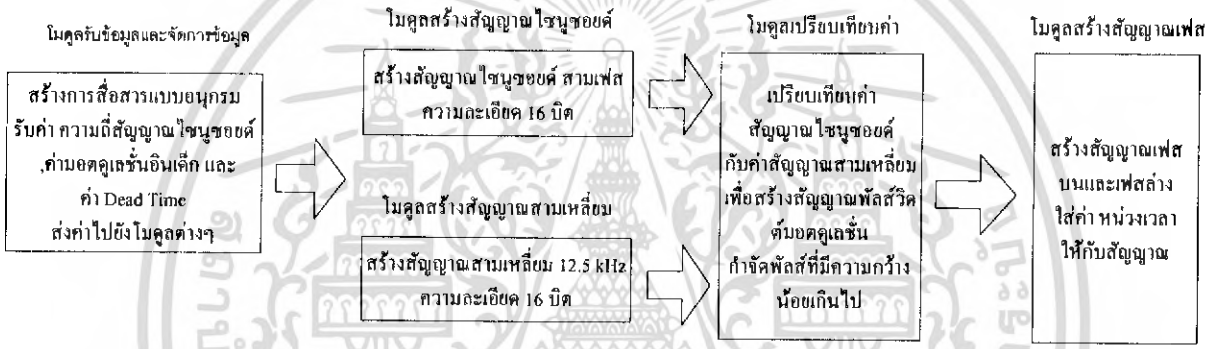
รูปที่ 4.1 โฟลว์ชาร์ตการทำงานของไมโครคอนโทลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การออกแบบโปรแกรมส่วน FPGA

โครงงานนี้ FPGA ทำหน้าที่สร้างสัญญาณพัลวิทค์มอตดูเลชั่น โดยการรับค่าความถี่ของสัญญาณไซนูซอยด์ , ดัชนีการมอตดูเลต ,ค่าหน่วงเวลา และ ทิศทางการหมุนของมอเตอร์ จากไมโครโทรลเลอร์ P89V51RD2BN การทำงานของ FPGA แบ่งเป็น 5 โมดูลหลักคือ

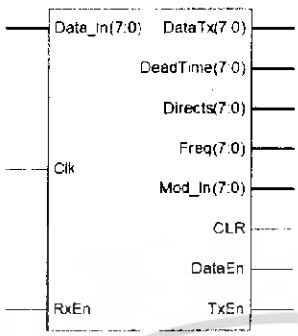
- โมดูลการรับข้อมูล และ จัดการข้อมูล
- โมดูลสร้างสัญญาณไซนูซอยด์
- โมดูลสร้างสัญญาณสามเหลี่ยม
- โมดูลเปรียบเทียบค่า
- โมดูลสร้างสัญญาณเฟส



รูปที่ 4.2 โมดูลหลักของส่วน FPGA

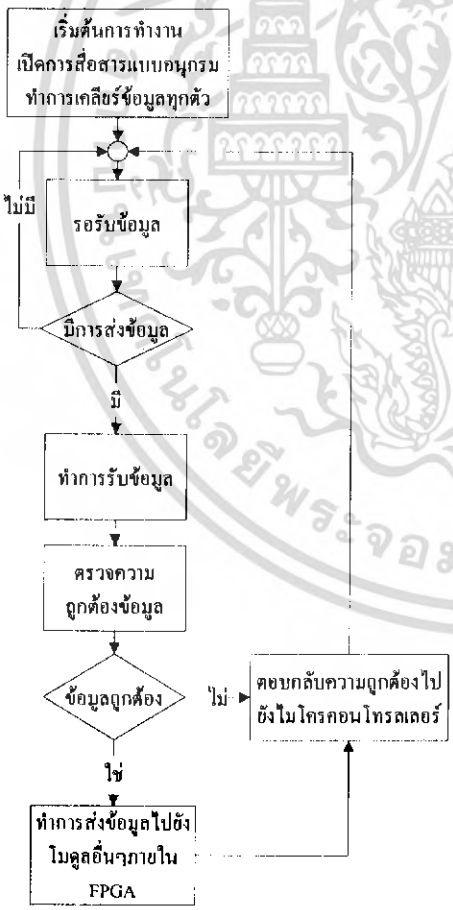
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 การออกแบบโปรแกรมการรับข้อมูลและจัดการข้อมูล



รูปที่ 4.3 โมดูลการรับข้อมูลและจัดการข้อมูล

การรับข้อมูลทำโดยสร้างการสื่อสารแบบอนุกรมบอร์ดเรต 2400 bit/s ทำการตรวจความถูกต้องของข้อมูล จากนั้นทำการส่งค่าไปยังโมดูลต่างๆ ซึ่งลำดับการทำงานเป็นไปตามโฟลชาร์ต รูปที่ 4.4

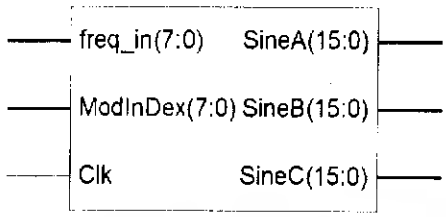


รูปที่ 4.4 รูปโฟวชาร์ตการรับข้อมูลและจัดการข้อมูล

รูปที่ 4.5 รูปโฟวชาร์ตลำดับในการรับข้อมูล

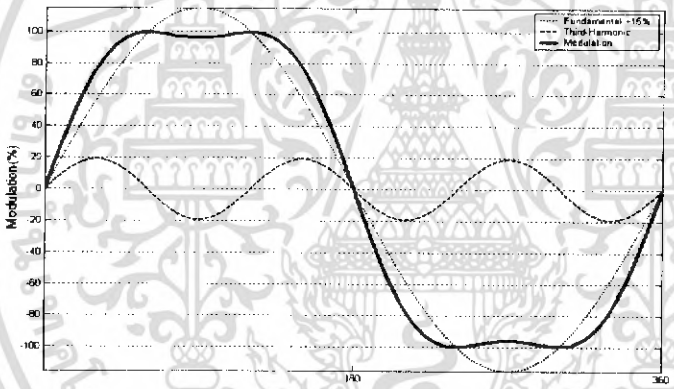
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 การออกแบบโปรแกรมสร้างสัญญาณไซนูซอยด์



รูปที่ 4.6 โมดูลส่วนสัญญาณไซนูซอยด์

การสร้างสัญญาณไซนูซอยด์ ทำโดยการเก็บค่าของสัญญาณไซนูซอยด์ทั้งคาบโดยความละเอียดทุก 1 องศา มีความละเอียด 16 บิต สัญญาณไซนูซอยด์ ที่ทำการเก็บจะเป็นสัญญาณการมอดูเลตแบบเธิด ฮาร์มอนิกส์อินเจ็กชั่น เกิดจากผลรวมของฟังก์ชั่นไซน์ 2 ความถี่ผสมกัน



รูปที่ 4.7 การมอดูเลตแบบ Third-Harmonic Injection

4.2.2.1 วิธีการเก็บค่าสัญญาณไซนูซอยด์

สมการของสัญญาณไซนูซอยด์ที่ใช้ในการเก็บค่า

$$f(x) = 0.5+(1.154\sin(x)+0.192\sin(3x))/2$$

ทำการดีนอมอลไลซ์ด้วยค่า 65535 แปลงเป็นฐาน 16 จำนวน 4 ตำแหน่ง จากนั้นทำการเก็บค่าลงตาราง 360 ตำแหน่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2.2 การคำนวณจำนวนลูกสัญญาณนาฬิกาที่ใช้หน่วงเวลาการส่งค่าในการสร้างสัญญาณไซนูซอยด์

คาบของสัญญาณไซนูซอยด์สามมารถคำนวณได้จากสมการที่ (4.1)

$$T = \frac{1}{f} \qquad \text{Sec} \qquad \text{สมการที่ (4.1)}$$

เนื่องจากทำการเก็บค่าสัญญาณไซนูซอยด์ของสัญญาณ 1 คาบ 360 ค่าดังนั้นจะได้ช่วงเวลาที่หน่วงตามสมการที่ (4.2)

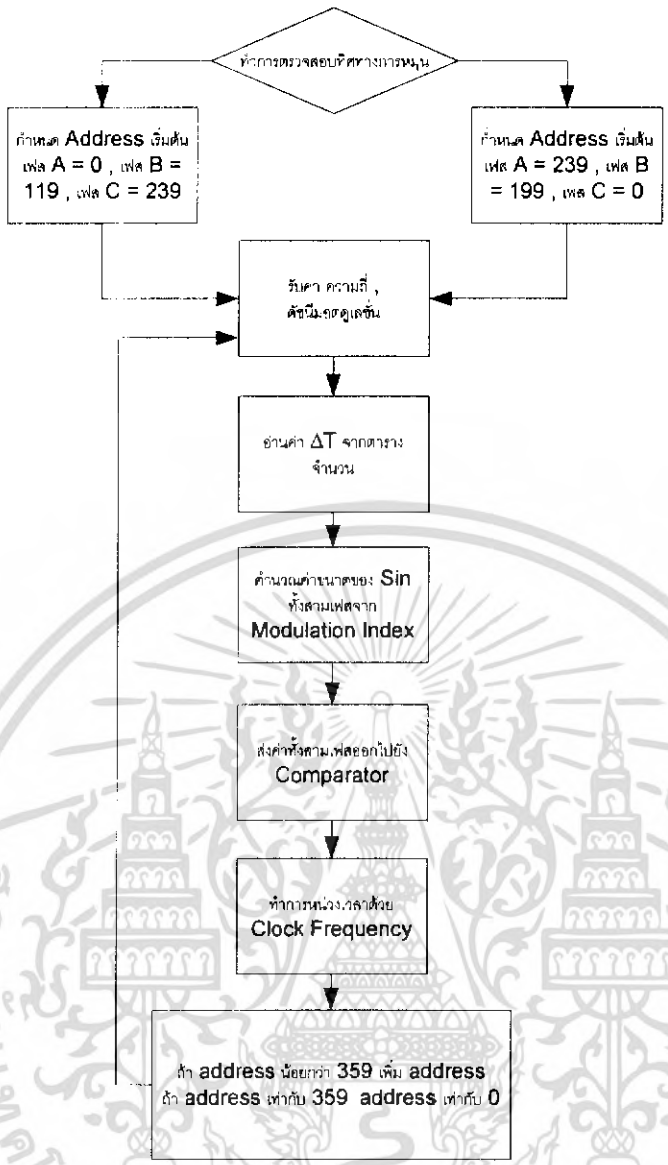
$$\triangle t = \frac{T}{360} \qquad \text{Sec} \qquad \text{สมการที่ (4.2)}$$

สัญญาณนาฬิกาที่ใช้สำหรับ FPGA มีคาบเท่ากับ 0.04 ns ดังนั้นคำนวณจำนวนลูกสัญญาณนาฬิกา ได้จากสมการที่ (4.3)

$$\text{จำนวนลูกสัญญาณนาฬิกา} = \frac{\triangle T}{0.04us} \qquad \text{สมการที่ (4.3)}$$

จากนั้นทำการคำนวนจำนวนลูกสัญญาณนาฬิกาที่ความถี่ 1 – 60 Hz จากนั้นทำการเก็บค่าลงตาราง การทำงานเป็นไปตามโฟล์วชาร์ต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



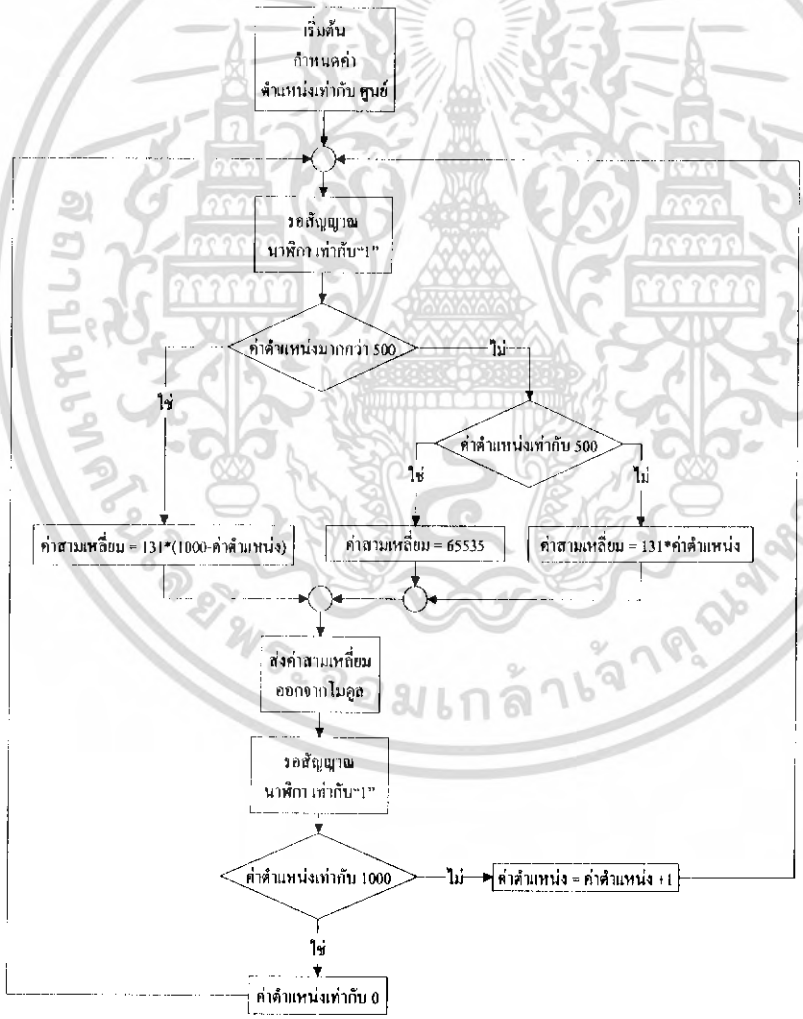
รูปที่ 4.8 โฟล์วชาร์ตการสร้างสัญญาณไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 การออกแบบโปรแกรมการสร้างสัญญาณสามเหลี่ยม

รูปที่ 4.9 โมดูลสร้างสัญญาณสามเหลี่ยม

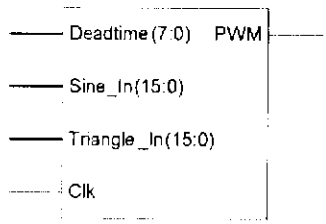
สัญญาณสามเหลี่ยมที่สร้างมีความถี่ 12.5 kHz โดยสร้างค่าของสามเหลี่ยมมีความละเอียด 1000 ตำแหน่งต่อ 1 คาบของสัญญาณสามเหลี่ยม เนื่องจากสัญญาณนาฬิกา ที่มีความถี่ 25 MHz ดังนั้นจึงทำให้ในแต่ละค่าของสัญญาณสามเหลี่ยมจะมีความกว้างเท่ากับจำนวนสัญญาณนาฬิกา สองลูกของ FPGA มีขั้นตอนการสร้างตามโฟวชาร์ต รูปที่ 4.10



รูป 4.10 รูปโฟวชาร์ตการสร้างสัญญาณสามเหลี่ยม

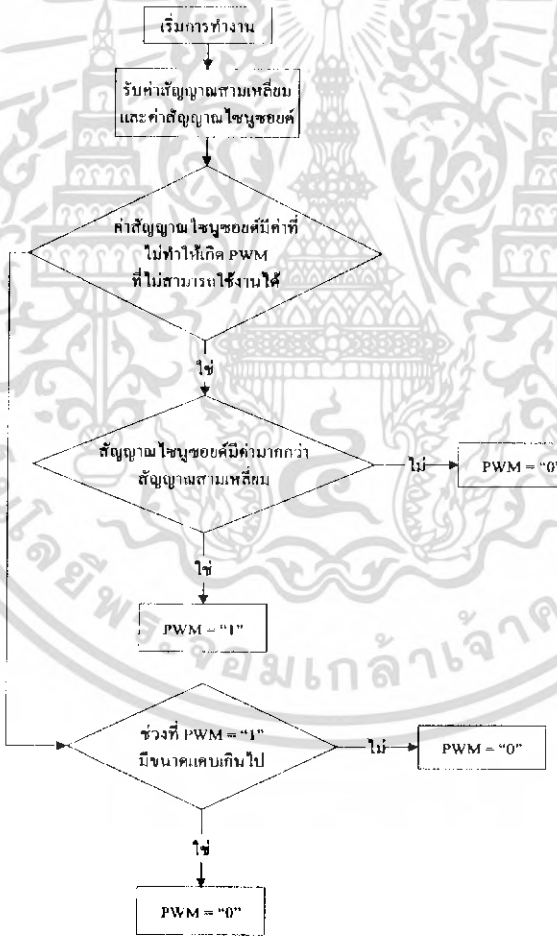
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 การออกแบบโปรแกรมส่วนการเปรียบเทียบค่า



รูป 4.11 โมดูลเปรียบเทียบค่า

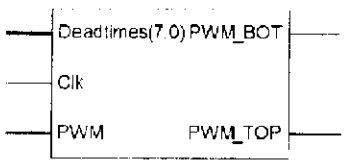
โมดูลการเปรียบเทียบค่าทำหน้าที่เปรียบเทียบค่าระหว่าง สัญญาณไซนูซอยด์ และสัญญาณสามเหลี่ยม เพื่อสร้างสัญญาณพัลส์วิทด์มอดดูเลชั่น และ ทำหน้าที่ตัดสัญญาณพัลส์วิทด์มอดดูเลชั่นที่มีขนาดเล็ก ซึ่งเป็นสัญญาณที่ไม่สามารถใช้งานได้ซึ่งมีการทำงานเป็นไปตามโฟชาร์ต



รูปที่ 4.12 รูปโฟวชาร์ตการเปรียบเทียบค่า

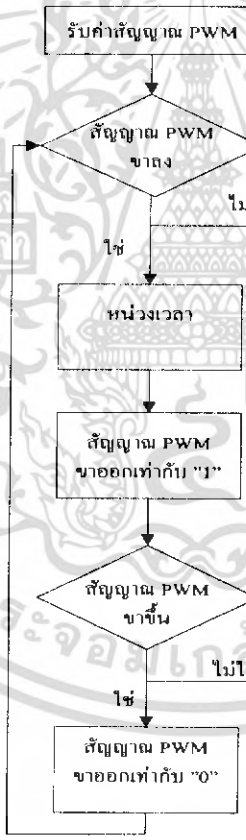
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.5 การออกแบบโปรแกรมส่วนสร้างสัญญาณเฟส



รูปที่ 4.13 โมดูลสร้างสัญญาณเฟส

โมดูลส่วนนี้ทำหน้าที่รับสัญญาณพัลวิทด์มอดดูเลชั่นมาจาส่วนเปรียบเทียบค่า จากนั้นทำการสร้างสัญญาณที่ใช้ขับสวิทช์ตัวบนและขับสวิทช์สวิทช์ตัวล่าง โดยสัญญาณขับสวิทช์ตัวบน เกิดจากการนำสัญญาณพัลวิทด์มอดดูเลชั่นมาเพิ่มเวลาการหน่วงลงในสัญญาณ ส่วนสัญญาณขับสวิทช์ตัวล่างเกิดมาจาการนำสัญญาณพัลวิทด์มอดดูเลชั่นมาทำการกลับเฟส และ เพิ่มเวลาการหน่วงลงในสัญญาณ การหน่วงเวลาลงในสัญญาณมีการทำงานตามโฟวชาร์ต รูปที่ 4.14

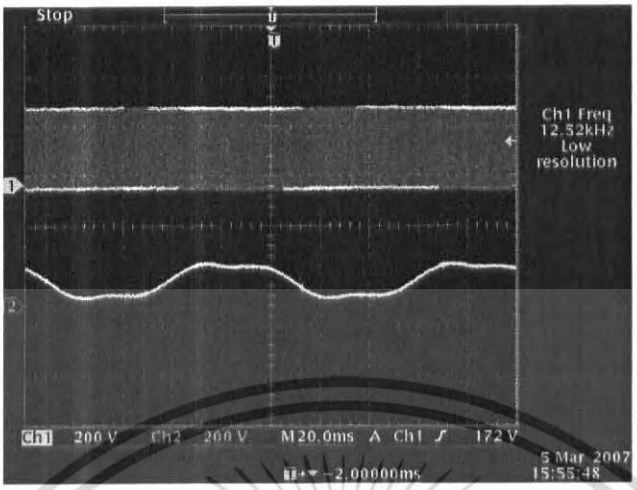


รูปที่ 4.14 รูปโฟวชาร์ตการหน่วงเวลาลงในสัญญาณ

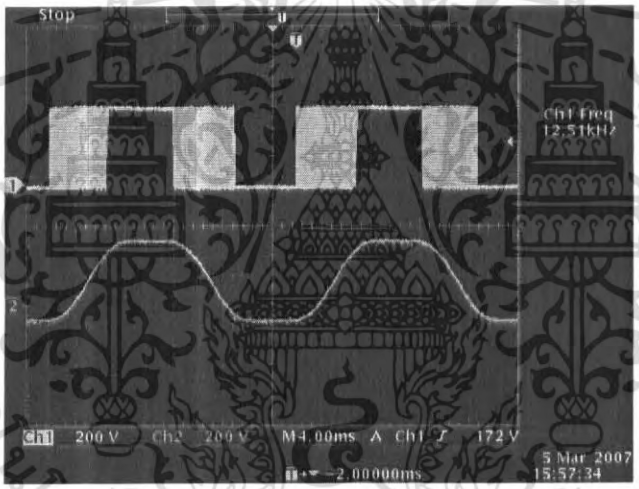
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

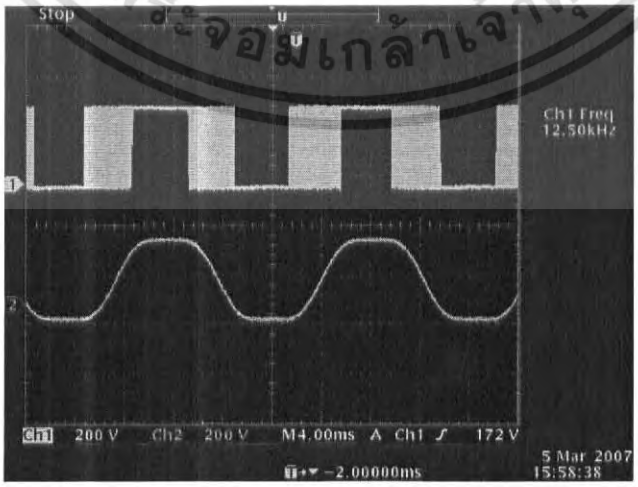
ผลการทดลอง



รูปที่ 5.1 รูปสัญญาณ PWM และรูปสัญญาณหลังจากผ่านวงจรกรองความถี่ต่ำผ่าน ที่ความถี่ 10 เฮิร์ต

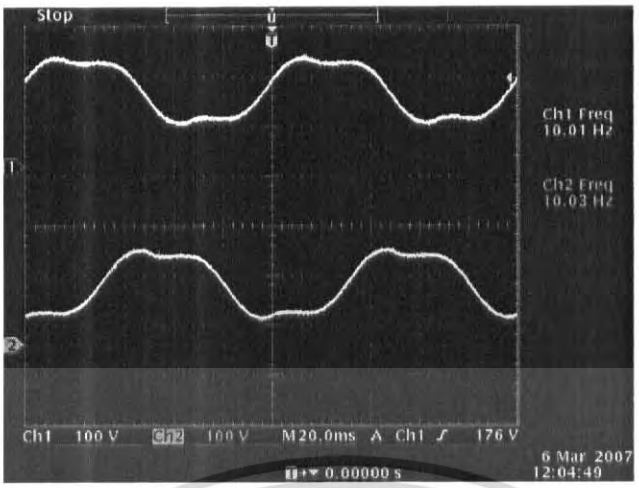


รูปที่ 5.2 รูปสัญญาณ PWM และรูปสัญญาณหลังจากผ่านวงจรกรองความถี่ต่ำผ่าน ที่ความถี่ 50 เฮิร์ต

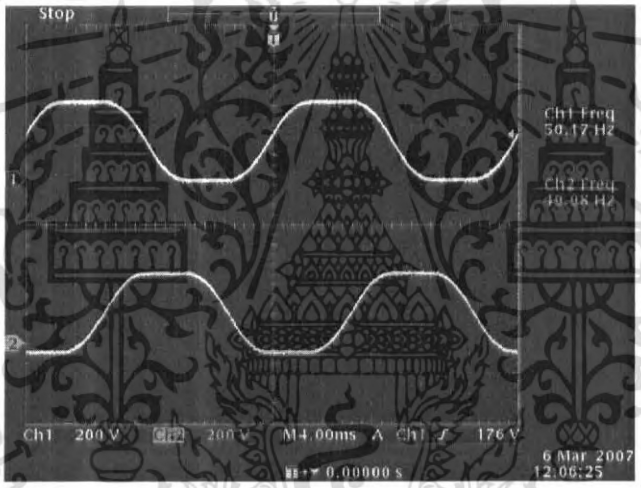


รูปที่ 5.3 รูปสัญญาณ PWM และรูปสัญญาณหลังจากผ่านวงจรกรองความถี่ต่ำผ่าน ที่ความถี่ 60 เฮิร์ต

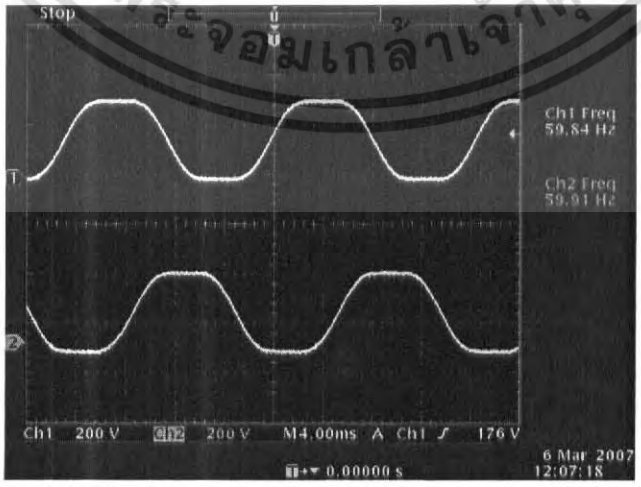
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส A และเฟส B ที่ความถี่10 Hz

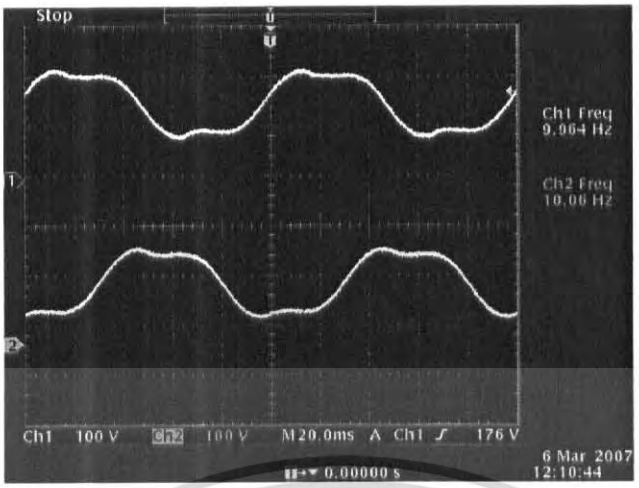


รูปที่ 5.5 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส A และเฟส B ที่ความถี่ 50 Hz

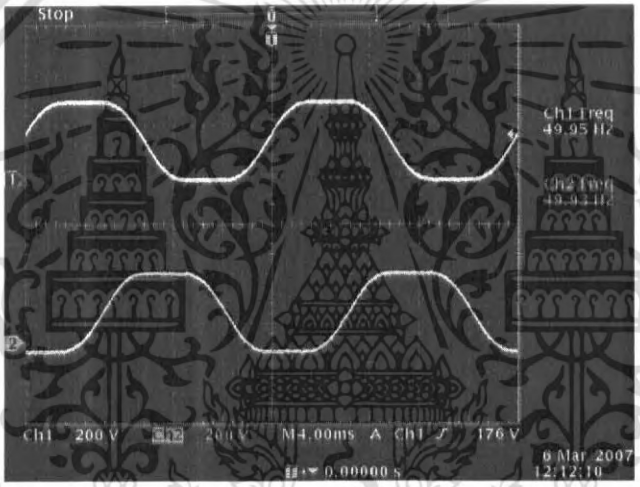


รูปที่ 5.6 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส A และเฟส B ที่ความถี่60 Hz

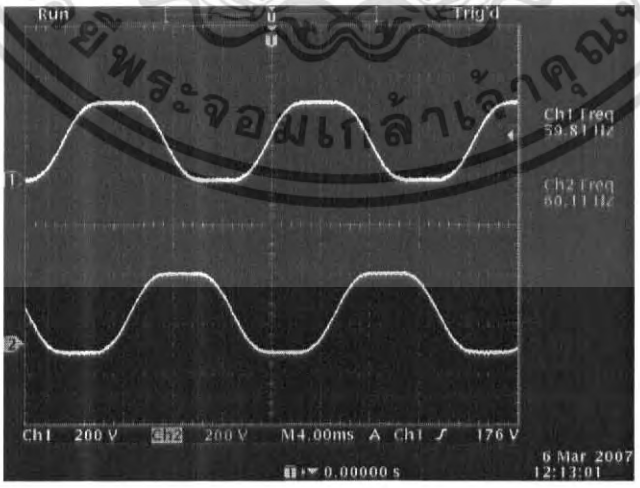
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส B และเฟส C ที่ความถี่ 10 Hz

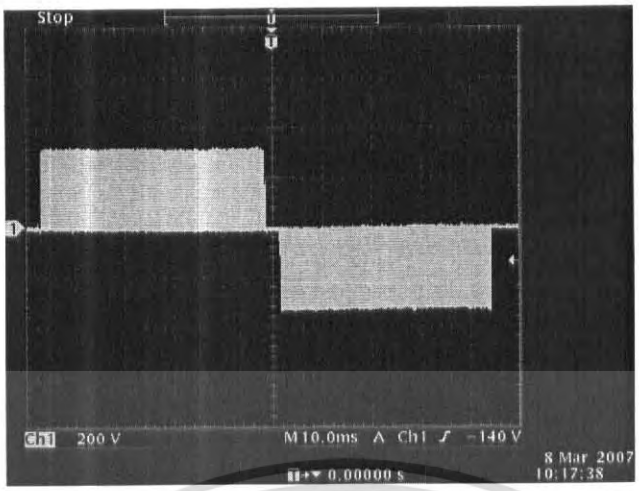


รูปที่ 5.8 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส B และเฟส C ที่ความถี่ 50 Hz



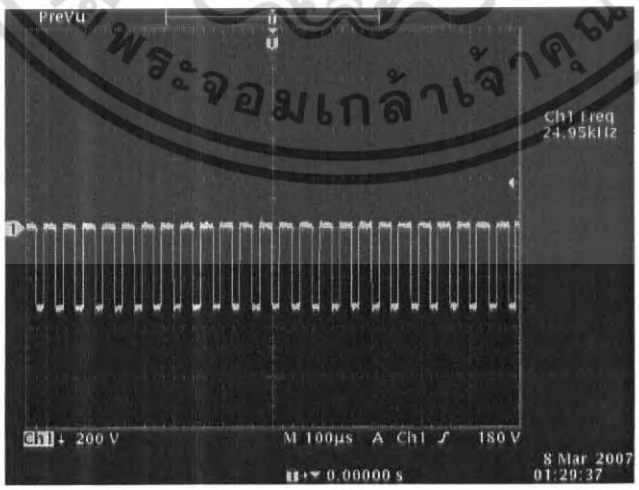
รูปที่ 5.9 สัญญาณไซน์นูซอยด์ซึ่งเพิ่มฮาร์โมนิกที่ 3 ระหว่างเฟส B และเฟส C ที่ความถี่ 60 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



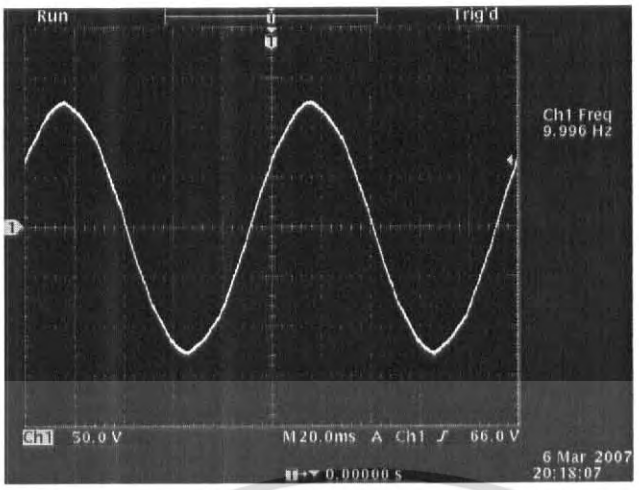
รูปที่ 5.10 รูปสัญญาณ PWM เกิดจากการหักล้างกันระหว่างเฟส AB

รูปที่ 5.11 สัญญาณ PWM ที่ด้านบนแสดงให้เห็นความถี่ของ PWM ที่ความถี่ 25kHz

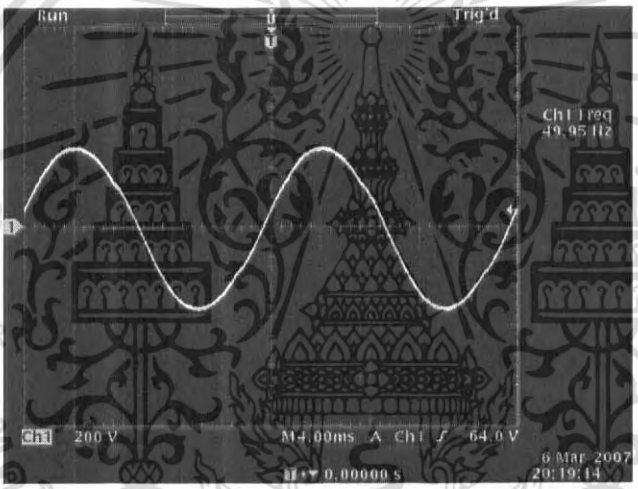


รูปที่ 5.12 สัญญาณ PWM ที่ด้านล่างแสดงให้เห็นความถี่ของ PWM ที่ความถี่ 25kHz

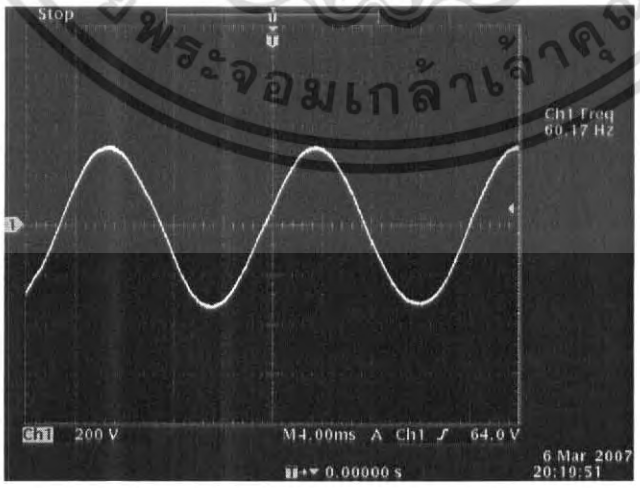
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.13 สัญญาณไซน์นูซอยด์ที่ความถี่ 10 Hz

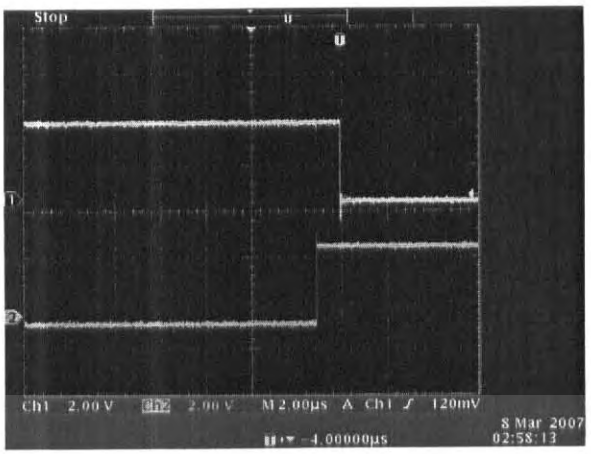


รูปที่ 5.14 สัญญาณไซนูซอยด์ที่ความถี่ 50 Hz

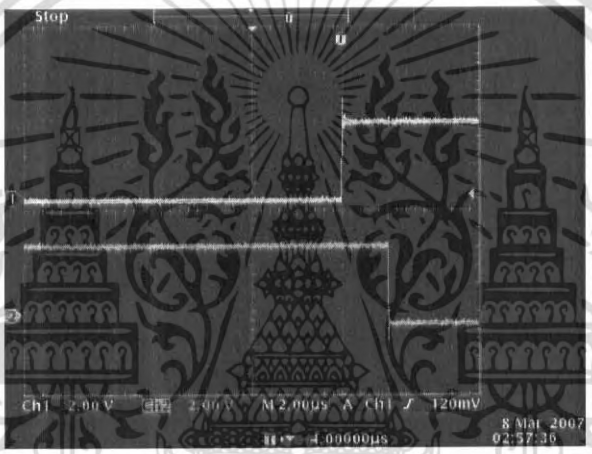


รูปที่ 5.15 สัญญาณไซนูซอยด์ที่ความถี่ 60 Hz

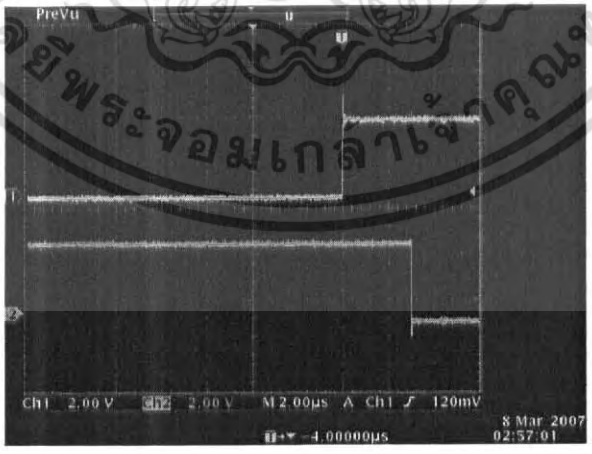
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.16 รูปขยายแสดง Dead Time ค่า 1 uS

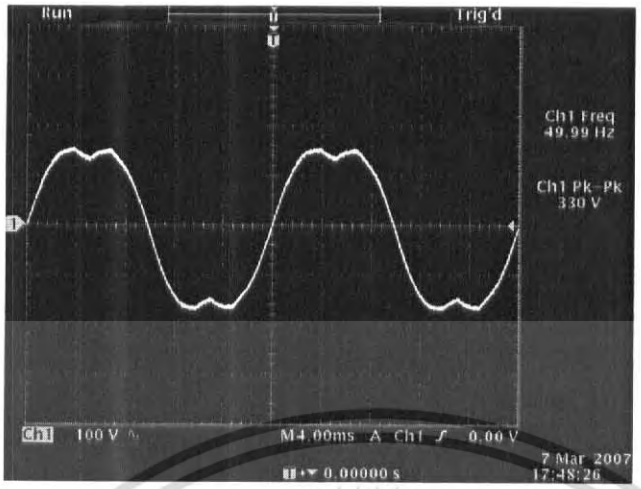


รูปที่ 5.17 รูปขยายแสดง Dead Time ค่า 2 uS

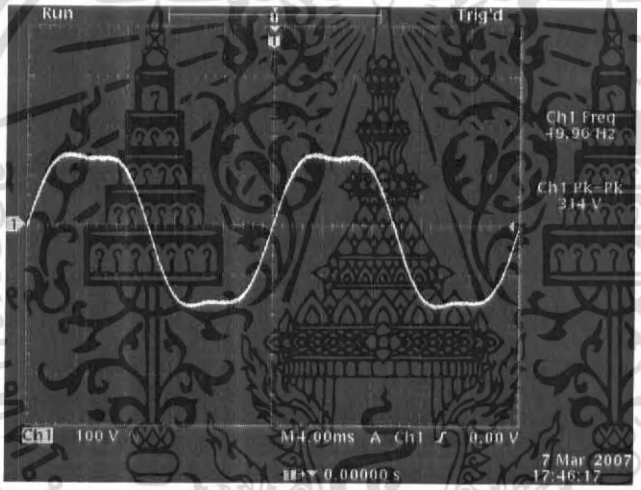


รูปที่ 5.18 รูปขยายแสดง Dead Time ค่า 3 uS

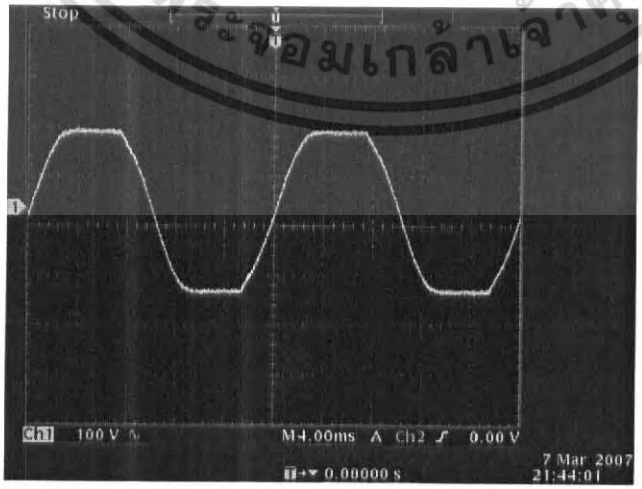
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.19 สัญญาณไซน์นูซอยด์ที่รวมกับฮาโมนิกส์ที่ 3 ที่ค่า Dead Time 1 uS



รูปที่ 5.20 สัญญาณไซน์นูซอยด์ที่รวมกับฮาโมนิกส์ที่ 3 ที่ค่า Dead Time 2 uS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.21 สัญญาณไซน์นูซอยด์ที่รวมกับฮาโมนิกส์ที่ 3 ที่ค่า Dead Time 3 uS

บทที่ 6

สรุปผลการทดลอง

ในโครงงานนี้ได้ทำการสร้างอินเวอร์เตอร์เพื่อควบคุมมอเตอร์เหนี่ยวนำสามเฟส โดยการสัญญาณไซนูซอยด์ด้วยวิธีการสัญญาณ พี ดับบลิว เอ็ม แบบเทิร์ด ฮาร์มอนิกส์ อินเจ็คชั่น หรือการสร้าง พี ดับบลิว เอ็ม ที่มีการมอดูเลตฮาร์มอนิกส์ที่ 3 ขนาดที่เหมาะสมเข้าไปกับความถี่หลักมูล ทำให้สามารถเพิ่มขนาดของความถี่หลักมูลจากเดิมได้ถึง 1.154 เท่า โดยที่ขนาดของความถี่หลักมูลสูงสุดยังคงไม่เกินระดับแรงดันไฟตรง ซึ่งใช้วิธีการควบคุมแบบแรงดันต่อความถี่คงที่ ทำให้สามารถให้ขนาดของความถี่หลักมูลที่แรงดันไลน์สูงสุดเท่ากับระดับแรงดันไฟตรง หรือเพิ่มขึ้นจากวิธีการสร้างสัญญาณ พี ดับบลิวเอ็ม แบบไซน์ 15.4% โดยที่ฮาร์มอนิกส์ที่ 3 ที่มอดูเลตกับความถี่หลักมูลสามารถหลักล้างกันระหว่างเฟสได้หมด ทำให้ไม่มีผลให้เกิดฮาร์มอนิกส์ต่ำเข้าไปที่ตัวมอเตอร์ ในขณะที่การสร้าง พี ดับบลิว เอ็ม แบบไซน์ ดั้งเดิมสามารถให้ขนาดความถี่หลักมูลของแรงดันไลน์สูงสุดที่ 86.6% ของระดับแรงดันไฟตรง และถ้าต้องการเพิ่มขนาดของแรงดันไลน์ดังกล่าว อาจต้องใช้วิธีการมอดูเลตเกิน (Over mod) มีผลให้เกิดความผิดเพี้ยนของความถี่หลักมูลหรือเกิดฮาร์มอนิกส์ต่ำขึ้นที่ตัวมอเตอร์ ส่งผลให้กำลังงานสูญเสียในตัวมอเตอร์เพิ่มขึ้น

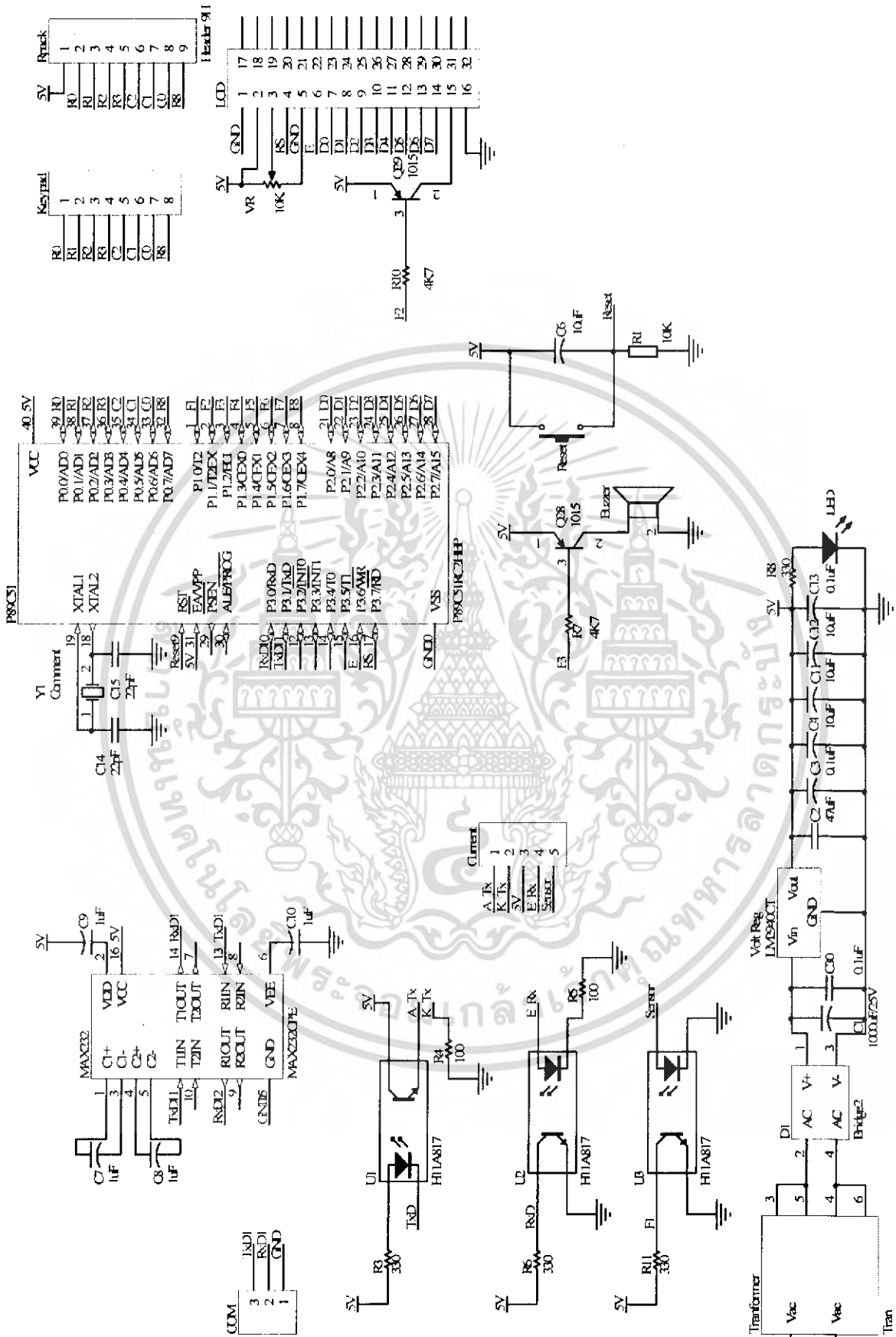
จากผลการทดลองแสดงให้เห็นว่า ฮาร์มอนิกส์ที่สาม สามารถถูกหักล้างหายไปได้ เมื่อทำการต่อคร่อมระหว่างเฟส โครงงานนี้เราการทดสอบการเพียงการคอนโทรลความเร็วของอินดัคชั่นมอเตอร์สามเฟสที่ต่อแบบเดลต้า โดยการเปลี่ยนความถี่เพื่อดูการเปลี่ยนแปลงของความเร็วรอบมอเตอร์ที่เกิดขึ้น จากผลการทดสอบทำให้เห็นว่า เมื่อความถี่ของสัญญาณไซนูซอยด์เพิ่มขึ้น ความเร็วรอบของอินดัคชันมอเตอร์เพิ่มขึ้น เมื่อลดความถี่ลดลงความเร็วของอินดัคชั่นมอเตอร์ก็มีความเร็วลดลง

โครงงานนี้ควรมีการทดสอดแรงบิดของมอเตอร์เนื่องจากอินเวอร์ในโครงงานนี้มีการ ใช้หลักการของค่าอัตราส่วนของ ฟักคาต่อ ความถี่มีค่าคงที่ แต่เนื่องจากไม่เครื่องมือที่ใช้ในการทดสอบ จึงไม่ได้ทำการทดลอง และพัฒนาโปรแกรมเพิ่มเติม โดยการเก็บค่าของไซนูซอยด์เพียง 90 ค่า เพื่อลดขนาดขนาดของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

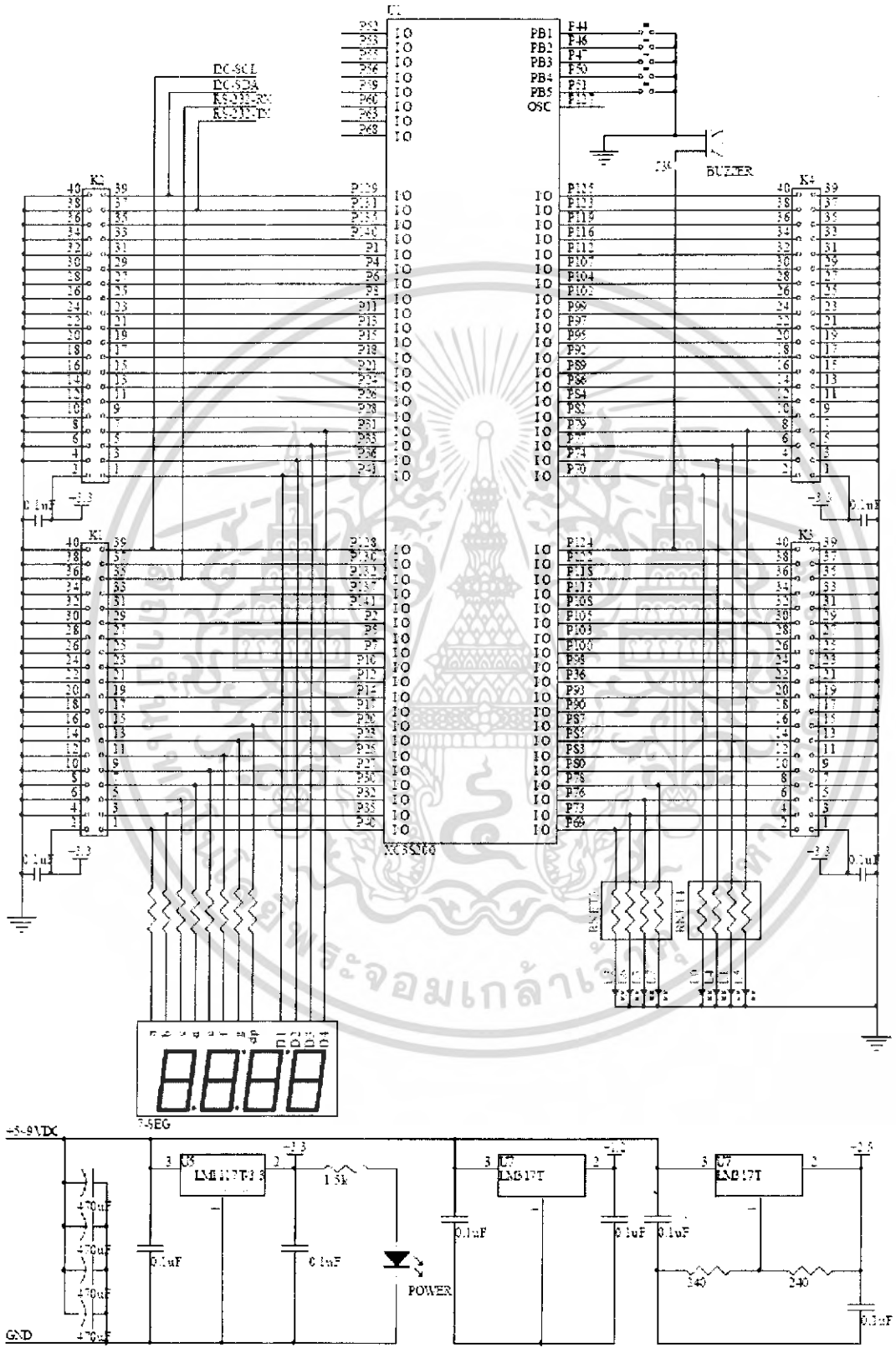
ภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



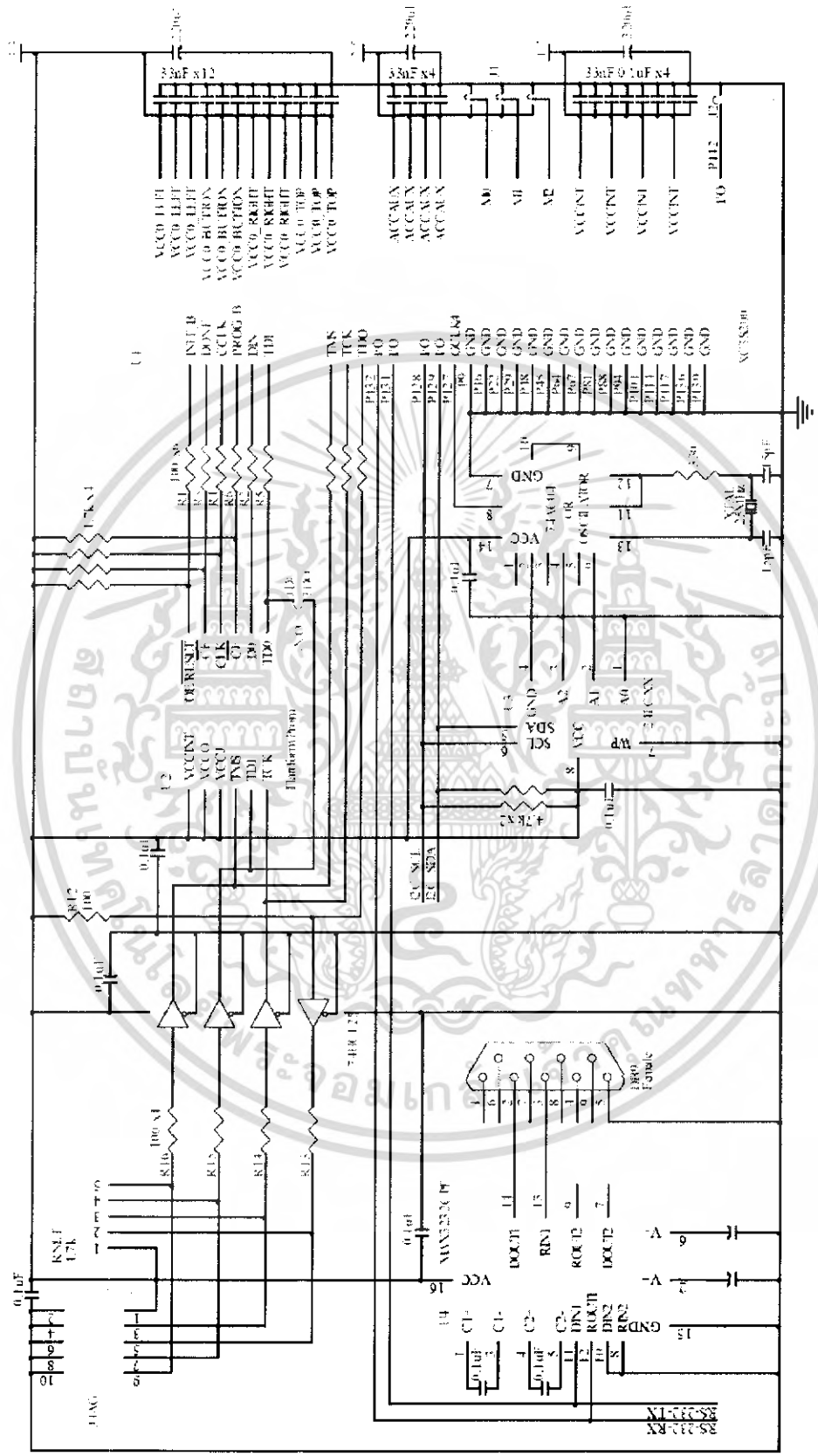
วงจรส่วนไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



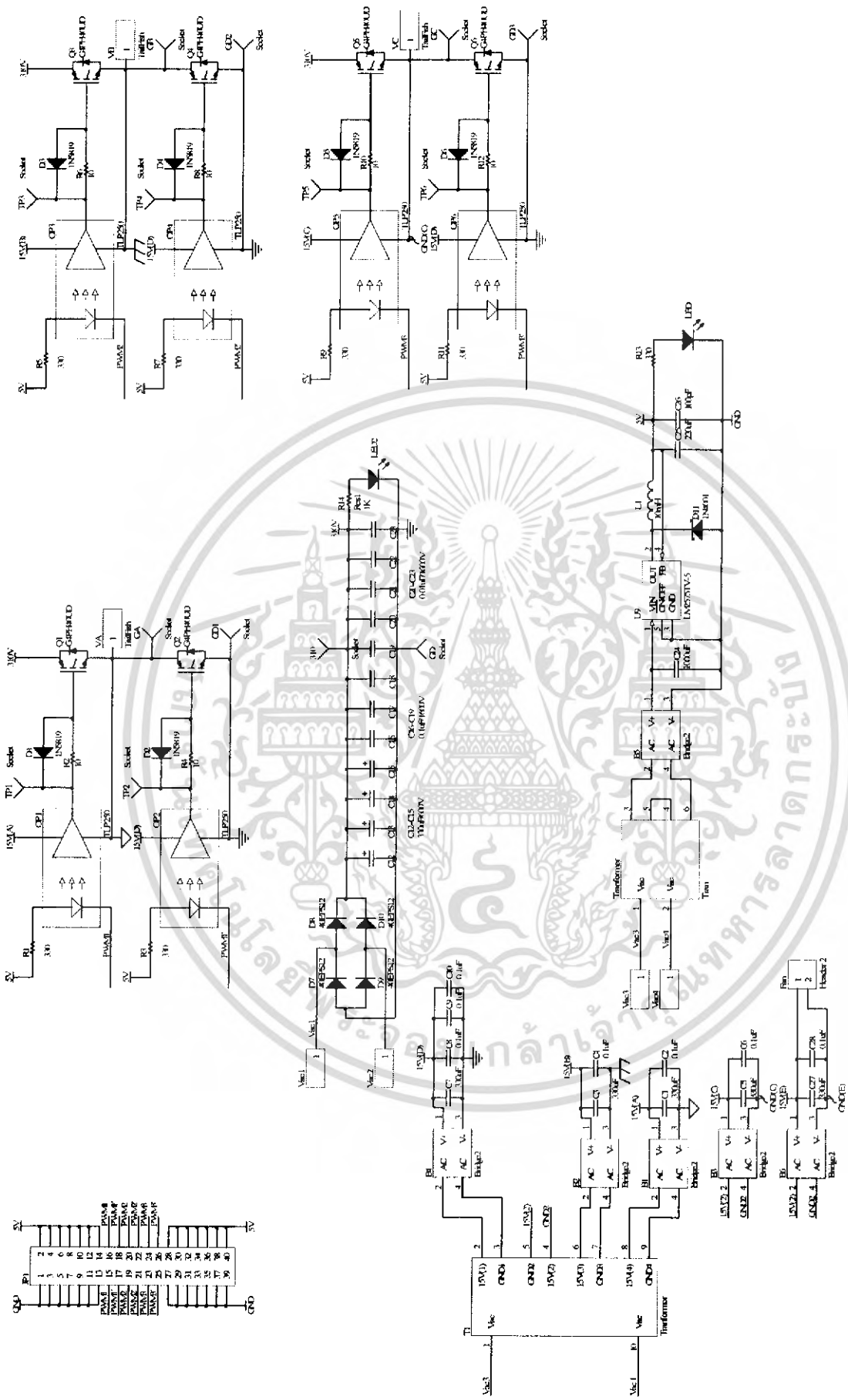
วงจรส่วน FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



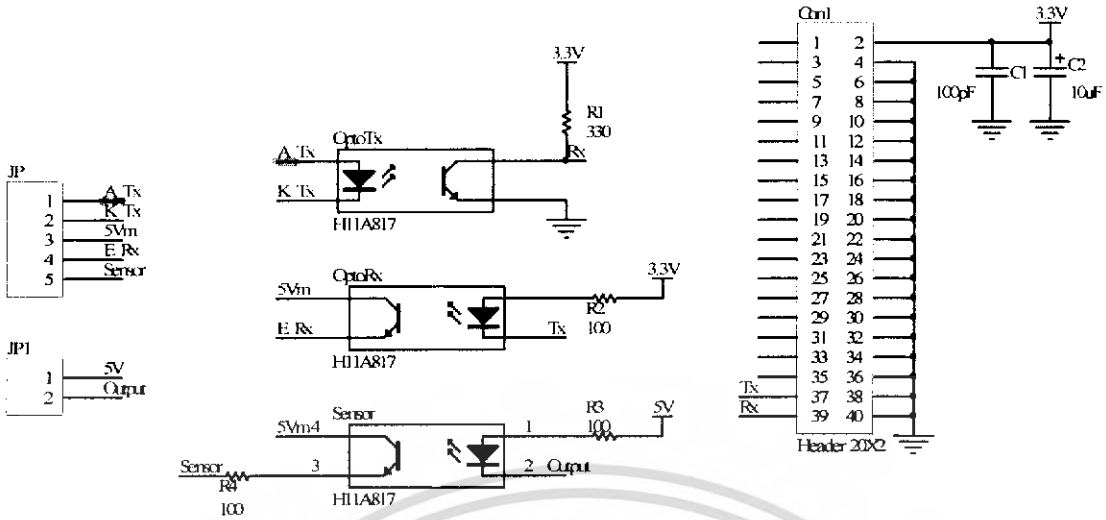
วงจรส่วนไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

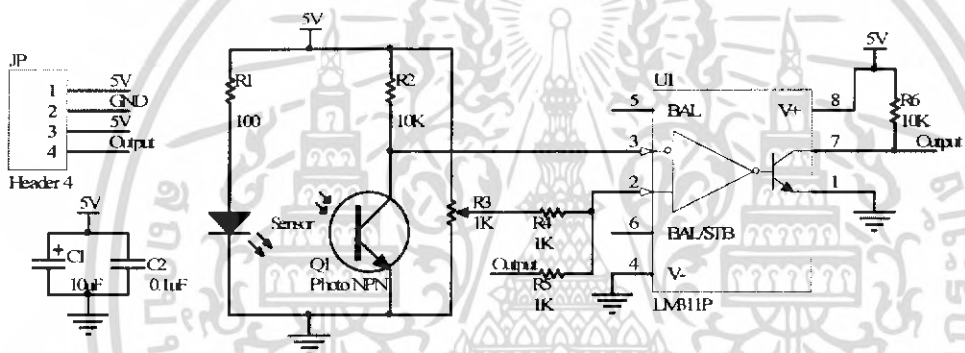


วงจรส่วนชุดขับมอเตอร์

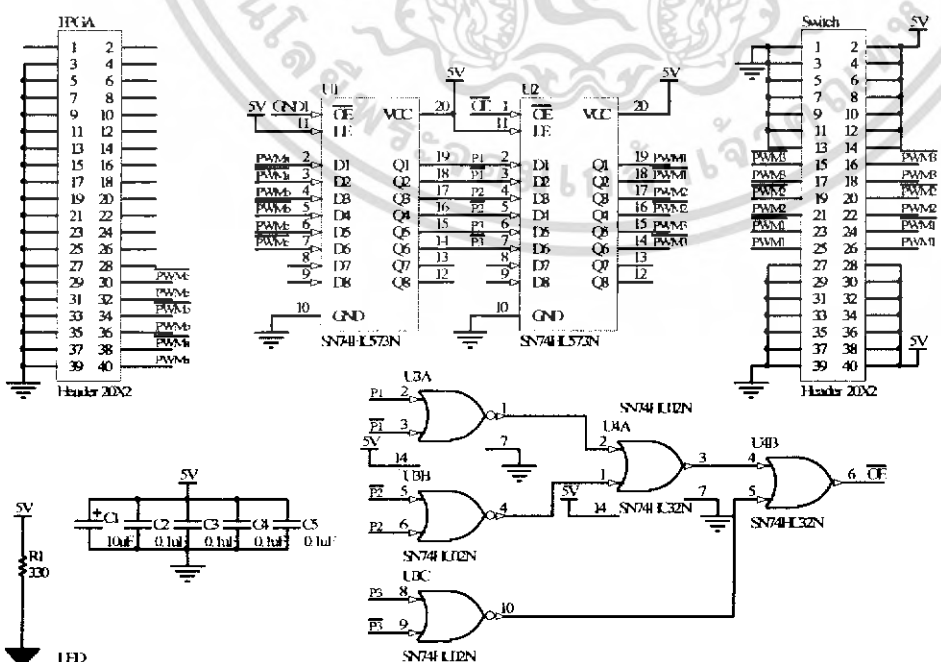
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรส่วนของ Current



วงจรส่วน Sensor



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรส่วนชุดปรับระดับแรงดันและป้องกันการช๊อกิ่ง

ภาคผนวก ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOSHIBA Photocoupler GaAs Ired & Photo-IC

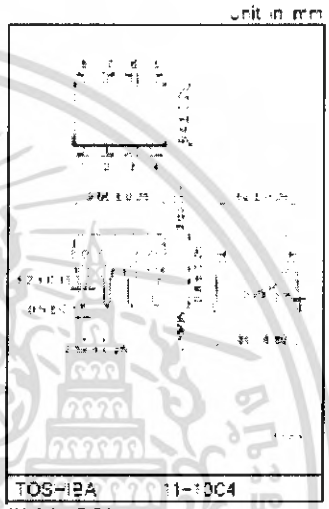
TLP250

Transistor Inverter
Inverter For Air Conditionor
IGBT Gate Drive
Power MOS FET Gate Drive

The TOSHIBA TLP250 consists of a GaAlAs light emitting diode and a integrated photodetector.
This unit is 8-lead DIP package.
TLP250 is suitable for gate driving circuit of IGBT or power MOS FET.

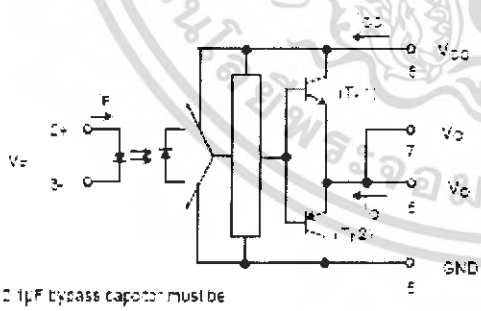
- Input threshold current: I_F=5mA(max.)
- Supply current (I_{CC}): 11mA (max.)
- Supply voltage (V_{CC}): 10~35V
- Output current: I_{O}=±1.5A (max.)
- Switching time (t_{pLH}/t_{pHL}): 1.5μs (max.)
- Isolation voltage: 2500V_{rms} (min.)
- UL recognized: UL1577, file No.E67349
- Option (D4) type
  VDE approved: DIN VDE0884/06.92 certificate No.76823
  Maximum operating insulation voltage: 630V_{PK}
  Highest permissible over voltage: 4000V_{PK}

  (Note) When a VDE0884 approved type is needed, please designate the "option (D4)"
- Creepage distance: 6.4mm (min.)
  Clearance: 6.4mm (min.)



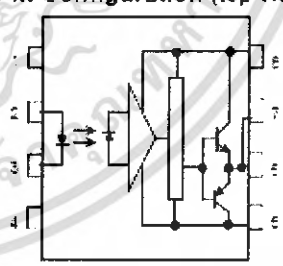
Weight: 0.54 g

Schmatic



A 0.1μF bypass capacitor must be connected between pin 8 and 5. (See Note 5).

Pin Configuration (top view)



1 : N.C.
2 : Anode
3 : Cathode
4 : N.C.
5 : GND
6 : V_O (Output)
7 : Vo
8 : Vcc

Truth Table

		Tr1	Tr2
Input LED	On	On	Off
	Off	Off	On

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PD- 91621B

International
IOR Rectifier

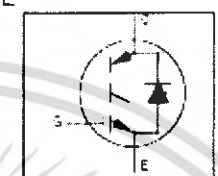
IRG4PH40UD

INSULATED GATE BIPOLAR TRANSISTOR WITH ULTRAFAST SOFT RECOVERY DIODE

UltraFast CoPack IGBT

Features

- UltraFast: Optimized for high operating frequencies up to 40 kHz in hard switching, >200 kHz in resonant mode
- New IGBT design provides tighter parameter distribution and higher efficiency than previous generations
- IGBT co-packaged with HEXFRED™ ultrafast, ultra-soft-recovery anti-parallel diodes for use in bridge configurations
- Industry standard TO-247AC package

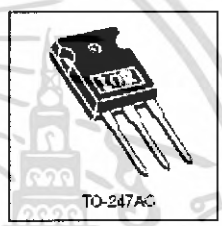


n-channel

V_{CES} = 1200V

$V_{CE(on)\ typ.}$ = 2.43V

@V_{GE} = 15V, I_C = 21A


TO-247AC

Benefits

- Higher switching frequency capability than competitive IGBTs
- Highest efficiency available
- HEXFRED diodes optimized for performance with IGBT's. Minimized recovery characteristics require less/no snubbing

Absolute Maximum Ratings

	Parameter	Max.	Units
V_{CES}	Collector-to-Emitter Breakdown Voltage	1200	V
I_C @ T_C = 25°C	Continuous Collector Current	41	A
I_C @ T_C = 100°C	Continuous Collector Current	21	
I_{CM}	Pulsed Collector Current ①	82	
I_{LM}	Clamped Inductive Load Current ②	82	
I_F @ T_C = 100°C	Diode Continuous Forward Current	8.0	
I_{FM}	Diode Maximum Forward Current	130	
V_{GE}	Gate-to-Emitter Voltage	± 20	V
P_D @ T_C = 25°C	Maximum Power Dissipation	160	W
P_D @ T_C = 100°C	Maximum Power Dissipation	65	
T_J T_{STG}	Operating Junction and Storage Temperature Range	-55 to + 150	°C
	Soldering Temperature, for 10 seconds	300 (0.063 in. (1.6mm) from case)	
	Mounting torque, 6-32 or M3 screw.	10 lbf•in (1.1N•m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case - IGBT	—	—	0.77	°C/W
$R_{\theta JC}$	Junction-to-Case - Diode	—	—	1.7	
$R_{\theta CS}$	Case-to-Sink, flat, greased surface	—	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient, typical socket mount	—	—	40	
Wt	Weight	—	6 (0.21)	—	g (oz)

7/7/2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Spartan-3 FPGA Family: Complete Data Sheet

DS099 December 24, 2003

Advance Product Specification

This document includes all four modules of the Spartan™-3 FPGA data sheet.

Module 1: Introduction and Ordering Information

DS099-1 (v1.2) December 24, 2003
6 pages

- Introduction
- Features
- Architectural Overview
- Product Availability
- User I/O Chart
- Ordering Information

Module 2: Functional Description

DS099-2 (v1.2) July 11, 2003
40 pages

- IOBs
  - IOB Overview
  - SelectIO™ Signal Standards
- CLB Overview
- Block RAM
- Dedicated Multipliers
- Digital Clock Manager (DCM)
  - Clock Network
- Configuration

Module 3: DC and Switching Characteristics

DS099-3 (v1.1) July 11, 2003
14 pages

- DC Electrical Characteristics
  - Absolute Maximum Ratings
  - Recommended Operating Conditions
- Configuration
  - Power-On Timing
  - Timing for the Configuration Modes
  - Timing for JTAG Port
- Switching Characteristics
  - DLL Timing

Module 4: Pinout Descriptions

DS099-4 (v1.3) December 17, 2003
104 pages

- Pin Descriptions
  - Pin Behavior During Configuration
- Package Overview
- Pinout Tables
  - Footprints

IMPORTANT NOTE: *The Spartan-3 FPGA data sheet is created and published in separate modules. This complete version is provided for easy downloading and searching of the complete document. Page, figure, and table numbers begin at 1 for each module, and each module has its own Revision History at the end. Use the PDF "Bookmarks" for easy navigation in this volume.*

© 2003 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and disclaimers are as listed at http://www.xilinx.com/legal.htm. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Spartan-3 FPGA Family: Introduction and Ordering Information

DS099-1 (v1.2) December 24, 2003

Advance Product Specification

Introduction

The Spartan™-3 family of Field-Programmable Gate Arrays is specifically designed to meet the needs of high volume, cost-sensitive consumer electronic applications. The eight-member family offers densities ranging from 50,000 to five million system gates, as shown in Table 1.

The Spartan-3 family builds on the success of the earlier Spartan-IIE family by increasing the amount of logic resources, the capacity of internal RAM, the total number of I/Os, and the overall level of performance as well as by improving clock management functions. Numerous enhancements derive from state-of-the-art Virtex™-II technology. These Spartan-3 enhancements, combined with advanced process technology, deliver more functionality and bandwidth per dollar than was previously possible, setting new standards in the programmable logic industry.

Because of their exceptionally low cost, Spartan-3 FPGAs are ideally suited to a wide range of consumer electronics applications, including broadband access, home networking, display/projection and digital television equipment.

The Spartan-3 family is a superior alternative to mask programmed ASICs. FPGAs avoid the high initial cost, the lengthy development cycles, and the inherent inflexibility of conventional ASICs. Also, FPGA programmability permits design upgrades in the field with no hardware replacement necessary, an impossibility with ASICs.

Features

- Revolutionary 90-nanometer process technology
- Very low cost, high-performance logic solution for high-volume, consumer-oriented applications
  - Densities as high as 74,880 logic cells
  - 326 MHz system clock rate
  - Three power rails: for core (1.2V), I/Os (1.2V to 3.3V), and auxiliary purposes (2.5V)
- SelectIO™ signaling
  - Up to 784 I/O pins
  - 622 Mb/s data transfer rate per I/O
  - Seventeen single-ended signal standards
  - Seven differential signal standards including LVDS
  - Termination by Digitally Controlled Impedance
  - Signal swing ranging from 1.14V to 3.45V
  - Double Data Rate (DDR) support
- Logic resources
  - Abundant logic cells with shift register capability
  - Wide multiplexers
  - Fast look-ahead carry logic
  - Dedicated 18 x 18 multipliers
  - JTAG logic compatible with IEEE 1149.1/1532 specifications
- SelectRAM™ hierarchical memory
  - Up to 1,872 Kbits of total block RAM
  - Up to 520 Kbits of total distributed RAM
- Digital Clock Manager (up to four DCMs)
  - Clock skew elimination
  - Frequency synthesis
  - High resolution phase shifting
- Eight global clock lines and abundant routing
- Fully supported by Xilinx ISE development system
  - Synthesis, mapping, placement and routing
- MicroBlaze processor, PCI, and other cores

Table 1: **Summary of Spartan-3 FPGA Attributes**

Device	System Gates	Logic Cells	CLB Array (One CLB = Four Slices)			Distributed RAM (bits[1])	Block RAM (bits[1])	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs						
XC3S50	50K	1,728	16	12	192	12K	72K	4	2	124	56
XC3S200	200K	4,320	24	20	480	30K	216K	12	4	173	76
XC3S400	400K	8,064	32	28	896	56K	288K	16	4	264	116
XC3S1000	1M	17,280	48	40	1,920	120K	432K	24	4	391	175
XC3S1500	1.5M	29,952	64	52	3,328	208K	576K	32	4	487	221
XC3S2000	2M	46,080	80	64	5,120	320K	720K	40	4	565	270
XC3S4000	4M	62,208	96	72	6,912	432K	1,728K	96	4	712	312
XC3S5000	5M	74,880	104	80	8,320	520K	1,872K	104	4	784	344

Notes:
1. By convention, one Kb is equivalent to 1,024 bits.

© 2003 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and disclaimers are as listed at http://www.xilinx.com/legal.htm. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

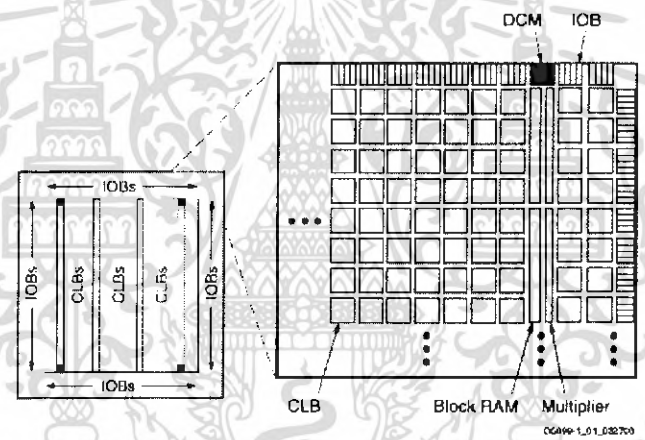
Architectural Overview

The Spartan-3 family architecture consists of five fundamental programmable functional elements:

- Configurable Logic Blocks (CLBs) contain RAM-based Look-Up Tables (LUTs) to implement logic and storage elements that can be used as flip-flops or latches. CLBs can be programmed to perform a wide variety of logical functions as well as to store data.
- Input/Output Blocks (IOBs) control the flow of data between the I/O pins and the internal logic of the device. Each IOB supports bidirectional data flow plus 3-state operation. Twenty-four different signal standards, including seven high-performance differential standards, are available as shown in Table 2. Double Data-Rate (DDR) registers are included. The Digitally Controlled Impedance (DCI) feature provides automatic on-chip terminations, simplifying board designs.
- Block RAM provides data storage in the form of 18-Kbit dual-port blocks.
- Multiplier blocks accept two 18-bit binary numbers as inputs and calculate the product.
- Digital Clock Manager (DCM) blocks provide self-calibrating, fully digital solutions for distributing, delaying, multiplying, dividing, and phase shifting clock signals.

These elements are organized as shown in Figure 1. A ring of IOBs surrounds a regular array of CLBs. The XC3S50 has a single column of block RAM embedded in the array. Those devices ranging from the XC3S200 to the XC3S2000 have two columns of block RAM. The XC3S4000 and XC3S5000 devices have four RAM columns. Each column is made up of several 18K-bit RAM blocks; each block is associated with a dedicated multiplier. The DCMs are positioned at the ends of the outer block RAM columns.

The Spartan-3 family features a rich network of traces and switches that interconnect all five functional elements, transmitting signals among them. Each functional element has an associated switch matrix that permits multiple connections to the routing.



Notes:
1. The two additional block RAM columns of the XC3S4000 and XC3S5000 devices are shown with dashed lines. The XC3S50 has only the block RAM column on the far left.

Figure 1: **Spartan-3 Family Architecture**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Configuration

Spartan-3 FPGAs are programmed by loading configuration data into robust static memory cells that collectively control all functional elements and routing resources. Before powering on the FPGA, configuration data is stored externally in a PROM or some other nonvolatile medium either on or off the board. After applying power, the configuration data is written to the FPGA using any of five different modes: Master Parallel, Slave Parallel, Master Serial, Slave Serial and Boundary Scan (JTAG). The Master and Slave Parallel modes use an 8-bit wide SelectMAP™ port.

The recommended memory for storing the configuration data is the low-cost Xilinx Platform Flash PROM family, which includes the XCF00S PROMs for serial configuration and the higher density XCF00P PROMs for parallel or serial configuration.

I/O Capabilities

The SelectIO feature of Spartan-3 devices supports 17 single-ended standards and seven differential standards as listed in Table 2. Many standards support the DCI feature, which uses integrated terminations to eliminate unwanted signal reflections. Table 3 shows the number of user I/Os as well as the number of differential I/O pairs available for each device/package combination.

Table 2: **Signal Standards Supported by the Spartan-3 Family**

Standard Category	Description	V_{CCO} (V)	Class	Symbol	DCI Option
Single-Ended					
GTL	Gunning Transceiver Logic	N/A	Terminated	GTL	Yes
			Plus	GTLP	Yes
HSTL	High-Speed Transceiver Logic	1.5	I	HSTL_I	Yes
			III	HSTL_III	Yes
		1.8	I	HSTL_I_18	Yes
			II	HSTL_II_18	Yes
			III	HSTL_III_18	Yes
LVCMOS	Low-Voltage CMOS	1.2	N/A	LVCMOS12	No
		1.5	N/A	LVCMOS15	Yes
		1.8	N/A	LVCMOS18	Yes
		2.5	N/A	LVCMOS25	Yes
		3.3	N/A	LVCMOS33	Yes
LVTTL	Low-Voltage Transistor-Transistor Logic	3.3	N/A	LVTTL	No
PCI	Peripheral Component Interconnect	3.0	33 MHz	PCI33_3	No
SSTL	Stub Series Terminated Logic	1.8	N/A	SSTL18_I	Yes
		2.5	I	SSTL2_I	Yes
			II	SSTL2_II	Yes
Differential					
LDT	Lightning Data Transport (HyperTransport™)	2.5	N/A	LDT_25	No
LVDS	Low-Voltage Differential Signaling		Standard	LVDS_25	Yes
			Bus	BLVDS_25	No
			Extended Mode	LVDSEXT_25	Yes
			Ultra	ULVDS_25	No
LVPECL	Low-Voltage Positive Emitter-Coupled Logic	2.5	N/A	LVPECL_25	No
RSDS	Reduced-Swing Differential Signaling	2.5	N/A	RSDS_25	No

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3: **Spartan-3 I/O Chart**

Device	Available User I/Os and Differential (Diff) I/O Pairs																	
	VQ100		TQ144		PQ208		FT256		FG320		FG456		FG676		FG900		FG1156	
	User	Diff	User	Diff	User	Diff	User	Diff	User	Diff	User	Diff	User	Diff	User	Diff	User	Diff
XC3S50	63	29	97	46	124	56	-	-	-	-	-	-	-	-	-	-	-	-
XC3S200	63	29	97	46	141	62	173	76	-	-	-	-	-	-	-	-	-	-
XC3S400	-	-	97	46	141	62	173	76	221	100	264	116	-	-	-	-	-	-
XC3S1000	-	-	-	-	-	-	173	76	221	100	333	149	391	175	-	-	-	-
XC3S1500	-	-	-	-	-	-	-	-	221	100	333	149	487	221	-	-	-	-
XC3S2000	-	-	-	-	-	-	-	-	-	-	-	-	489	221	565	270	-	-
XC3S4000	-	-	-	-	-	-	-	-	-	-	-	-	-	-	633	300	712	312
XC3S5000	-	-	-	-	-	-	-	-	-	-	-	-	-	-	633	300	784	344

Notes:
1. All device options listed in a given package column are pin-compatible.

Product Ordering and Availability

Table 4 shows all valid device ordering combinations of device density, speed grade, package, and temperature range parameters for the Spartan-3 family as well as the availability status of those combinations.

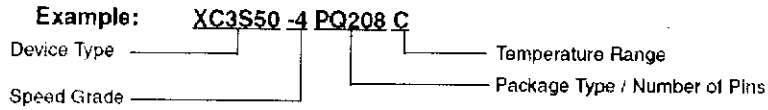
Table 4: **Spartan-3 Device Availability**

Package Type[1]:	VQFP	TQFP	PQFP	FTBGA	FBGA				
Code:	VQ100	TQ144	PQ208	FT256	FG320	FG456	FG676	FG900	FG1156
Device									
XC3S50	(C, I)	(C, I)	(C, I)	-	-	-	-	-	-
XC3S200	(C, I)	(C, I)	(C, I)	(C, I)	-	-	-	-	-
XC3S400	-	(C, I)	(C, I)	(C, I)	(C, I)	(C, I)	-	-	-
XC3S1000	-	-	-	(C, I)	(C, I)	(C, I)	(C, I)	-	-
XC3S1500	-	-	-	-	(C, I)	(C, I)	(C, I)	-	-
XC3S2000	-	-	-	-	-	-	(C, I)	(C, I)	-
XC3S4000	-	-	-	-	-	-	-	(C, I)	(C, I)
XC3S5000	-	-	-	-	-	-	-	(C, I)	(C, I)

Notes:
1. Package types are explained in Ordering Information, page 5.
2. Commercial devices are offered in the -4 and -5 speed grades; industrial devices are only in the -4 speed grade.
3. C = Commercial, T_J = 0° to +85° C; I = Industrial, T_J = –40° C to +100° C.
4. Parentheses indicate that a given device is not yet released to production. Contact your local sales office for availability information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information



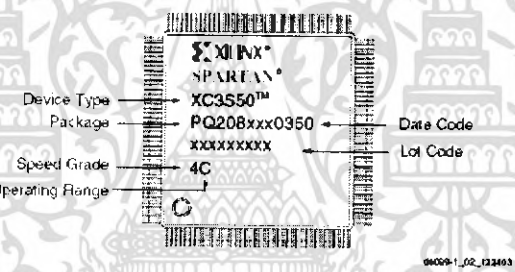
Device
XC3S50
XC3S200
XC3S400
XC3S1000
XC3S1500
XC3S2000
XC3S4000
XC3S5000

Speed Grade	
-4	Standard Performance
-5	High Performance

Package Type / Number of Pins	
VQ100	100-pin Very Thin Quad Flat Pack (VQFP)
TQ144	144-pin Thin Quad Flat Pack (TQFP)
PQ208	208-pin Plastic Quad Flat Pack (PQFP)
FT256	256-ball Fine-Pitch Thin Ball Grid Array (FTBGA)
FG320	320-ball Fine-Pitch Ball Grid Array (FBGA)
FG456	456-ball Fine-Pitch Ball Grid Array (FBGA)
FG676	676-ball Fine-Pitch Ball Grid Array (FBGA)
FG900	900-ball Fine-Pitch Ball Grid Array (FBGA)
FG1156	1156-ball Fine-Pitch Ball Grid Array (FBGA)

Temperature Range (T_J)	
C	Commercial (0°C to 85°C)
I	Industrial (–40°C to 100°C)

Package Marking



Revision History

Date	Version No.	Description
04/11/03	1.0	Initial Xilinx release.
04/24/03	1.1	Updated block RAM, DCM, and multiplier counts for the XC3S50.
12/24/03	1.2	Added the FG320 package.

The Spartan-3 Family Data Sheet

DS099-1, ***Spartan-3 FPGA Family: Introduction and Ordering Information*** (Module 1)

DS099-2, ***Spartan-3 FPGA Family: Functional Description*** (Module 2)

DS099-3, ***Spartan-3 FPGA Family: DC and Switching Characteristics*** (Module 3)

DS099-4, ***Spartan-3 FPGA Family: Pinout Descriptions*** (Module 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้