สำนักหอสมุดกลาง ...

ชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอล

Digital Phone Trainer

โดย

นายพลากร พจนา

นายพิบูลย์ พรมสา

ว455ข
2543

เลขหมู่.....
เลขทะเบียน 42190
วัน, เดือน, ปี 15 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

b11216330

ชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอล

Digital Phone Trainer

โดย

นายพลากร พจนา 41013057

นายพิบูลย์ พรมสา 41013061

อาจารย์ที่ปรึกษา

อ.สุรพล บุญจันทร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอล

Digital Phone Trainer

โดย นายพลากร พจนา 41013057
นายพิบูลย์ พรมสา 41013061

อาจารย์ที่ปรึกษา อ.สุรพล บุญจันทร์

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ เป็นการนำเสนอเกี่ยวกับชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอล สำหรับใช้เป็นสื่อการเรียนการสอนและการทดลองในหัวข้อที่เกี่ยวข้องกับวิชาวิศวกรรมโทรศัพท์ในห้องปฏิบัติการ เพื่อจะได้ศึกษาถึงหลักการทำงานและส่วนประกอบต่างๆที่สำคัญของเครื่องโทรศัพท์ระบบดิจิตอลที่มีความสามารถในการส่งสัญญาณเสียงและข้อมูลดิจิตอลไปพร้อมๆกัน โดยแบ่งภาคการทำงานออกเป็น 5 ส่วนย่อยๆ เพื่อง่ายในการศึกษาและทำความเข้าใจประกอบด้วย วงจรควบคุม, วงจรกำเนิดสัญญาณความถี่คู่ผสม, วงจรอินเตอร์เฟสข้อมูลโดยใช้มาตรฐาน RS-232C/V.24 วงจรเข้ารหัสและถอดรหัสสัญญาณ และวงจรยูดีแอลที

ชุดฝึกนี้ทำงานได้เหมือนกับเครื่องโทรศัพท์ระบบดิจิตอลที่ใช้งานจริงในปัจจุบัน ซึ่งใช้ร่วมกับโครงข่ายโทรศัพท์ระบบดิจิตอล เมื่อผู้เรียนได้ทำการทดลองจบแล้ว จะสามารถเข้าใจและอธิบายถึงหลักการทำงานของส่วนต่างๆจากชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอลได้

Abstract

This thesis presents the Digital Phone Trainer which is used as a teaching and training media for telephone engineering laboratory.It also to study the operations and the important parts of Digital Phone Trainer which are able to transmit and receive both digital voice (PCM) and computer digital data signals simultaneously.This project consists of 5 parts: the Controller, the DTMF generator, the RS-232C/V.24 interface circuit and the Digital Set Interface (DSI), the CODEC and the Universal Digital Loop transceiver (UDLT).

The Digital Phone Trainer can be operated as the most common digital telephone set at present which is used with the Digital Telephone Network.In addition,any learner who has completed this training will be able to demonstrate and explain the functions and operations of digital telephone set by using the Digital Phone Trainer as well.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ชิ้นนี้จะสำเร็จสมบูรณ์ไม่ได้เลย หากไม่มีอาจารย์สุรพล บุญจันทร์ ซึ่งเป็นอาจารย์ที่ปรึกษาคอยให้คำแนะนำในด้านต่างๆเกี่ยวกับการจัดทำ และที่สำคัญยังให้การสนับสนุนในด้านความคิดที่เป็นอิสระของคณะผู้จัดทำในการออกแบบ แก้ไข ปรับปรุงปริญญานิพนธ์ชิ้นนี้เป็นอย่างดี และความรู้ทั้งหมดที่ได้มาต้องขอขอบพระคุณคณะอาจารย์ทุกท่าน ที่ได้ประสิทธิ์ประสาทวิชาความรู้ต่างๆให้แก่คณะผู้จัดทำ และคุณความดีของปริญญานิพนธ์ชิ้นนี้ขอมอบให้แด่ บิดา-มารดา ที่ให้โอกาสในการศึกษาของบุตรทุกคน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **ชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอล**

Digital Phone Trainer

ผู้จัดทำ

1.นายพลากร พจนา 41013057

2.นายพิบูลย์ พรมสา 41013061

..... อาจารย์ที่ปรึกษา

(อ.สุรพล บุญจันทร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของโครงงาน	1
1.2 วัตถุประสงค์ในการจัดทำโครงงาน	1
1.3 ขอบเขตและขีดความสามารถของโครงงาน	1
1.4 เนื้อหาโดยสังเขป	2
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 บทนำ	3
2.2 หลักการเบื้องต้นของเครื่องโทรศัพท์	3
2.3 เครื่องรับโทรศัพท์	3
2.4 การส่งสัญญาณผ่านสายส่ง	5
2.5 พัลซ์โค้ดมอดูเลชั่น	8
2.6 หลักการของโมดูลแอลซีดี	11
2.7 ไมโครคอนโทรลเลอร์ตระกูล MCS-51	16
2.8 หลักการมอดูเลชั่นแบบ Modified Differential Phase Shift Keying (MDPSK)	20
บทที่ 3 การออกแบบ การสร้าง และการทำงาน	21
3.1 กล่าวนำ	21
3.2 ภาคควบคุม	22
3.3 ภาคกำเนิดความถี่คู่ผสม	23
3.4 ภาคอินเตอร์เฟสข้อมูล	24
3.5 ภาคเข้ารหัสและถอดรหัส	25
3.6 ภาคยูดีแอลที	26
บทที่ 4 การทดลองและผลการทดลอง	28
4.1 กล่าวนำ	28
4.2 ภาคควบคุม	28
4.3 ภาคกำเนิดสัญญาณความถี่คู่ผสม	28
4.4 ภาคอินเตอร์เฟสข้อมูล	31
4.5 ภาคเข้ารหัสและถอดรหัส	32
4.6 ภาคยูดีแอลที	34
บทที่ 5 บทสรุปและวิจารณ์	38
ภาคผนวก	
กิตติกรรมประกาศ	
เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 พัลซ์ที่เกิดขึ้นเมื่อหมุนหมายเลข 4 4
รูปที่ 2.2 แสดงหน้าปัทม์ของโทรศัพท์แบบกดปุ่มและความถี่ที่ใช้ 5
รูปที่ 2.3 แสดงคุณสมบัติของเสียงคน 6
รูปที่ 2.4 แสดงการส่งข้อมูลแบบอะซิงโครนัส 7
รูปที่ 2.5 แสดงตัวอย่างเฟรมข้อมูลแบบคาแรกเตอร์โอเรียนต์ 8
รูปที่ 2.6 แสดงตัวอย่างเฟรมข้อมูลแบบบิตโอเรียนต์ 8
รูปที่ 2.7 แสดงเทคนิคพีเอเอ็ม 9
รูปที่ 2.8 แสดงเทคนิคการแปลงสัญญาณแบบพีดีเอ็ม และพีพีเอ็ม 9
รูปที่ 2.9 แสดงเทคนิคการแปลงสัญญาณแบบพีซีเอ็ม 10
รูปที่ 2.10 แสดงแผนผังหลักการมอดูเลชั่นแบบ MDPSK 20
รูปที่ 2.11 แสดงลักษณะสัญญาณแบบ MDPSK เปรียบเทียบกับ DPSK 20
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของเครื่องรับโทรศัพท์ดิจิตอล 21
รูปที่ 3.2 แสดงวงจรควบคุม 22
รูปที่ 3.3 วงจรกำเนิดสัญญาณความถี่คู่ผสม 23
รูปที่ 3.4 แสดงวงจรอินเตอร์เฟสข้อมูล 25
รูปที่ 3.5 แสดงวงจรภาคเข้ารหัสและถอดรหัส 26
รูปที่ 3.6 แสดงวงจรภาคยูดีแอลที 27
รูปที่ 4.1 แสดงแผนผังลำดับงานหลักและผลลัพธ์ที่ปรากฏบนจอแสดงผล 28
รูปที่ 4.2 แสดงแผนผังลำดับงานย่อยเมื่อยกหูโทรศัพท์และกดหมายเลข 29
รูปที่ 4.3 แสดงผลลัพธ์ที่ปรากฏบนจอแสดงผลเมื่อกดหมายเลข 29
รูปที่ 4.4 แสดงสัญญาณความถี่คู่ผสม 30
รูปที่ 4.5 แสดงสัญญาณความถี่คู่ผสม ซึ่งเกิดจากความถี่ 2 ความถี่รวมกัน 30
รูปที่ 4.6 แสดงสัญญาณนาฬิกา 3.579545 MHz ที่ใช้กับวงจรกำเนิดสัญญาณความถี่คู่ผสม 31
รูปที่ 4.7 แสดงสัญญาณอินพุทจากคอมพิวเตอร์เทียบกับสัญญาณเอาท์พุทของวงจร 31
รูปที่ 4.8 แสดงสัญญาณนาฬิกาความถี่ 4.096 MHz ที่ใช้กับวงจร 32
รูปที่ 4.9 แสดงสัญญาณเสียงอินพุทความถี่ 3.4 kHz 32
รูปที่ 4.10 แสดงสัญญาณ TDE และ TDC/RDC 33
รูปที่ 4.11 แสดงสัญญาณ TDE เทียบกับสัญญาณ RDE 33
รูปที่ 4.12 แสดงสัญญาณที่ทำการเปรียบเทียบระหว่างสัญญาณที่เข้ารหัส และถูกทำการมอดูเลท 34
รูปที่ 4.13 แสดงสัญญาณนาฬิกาความถี่ 4.096 MHz ที่ใช้กับวงจร 34
รูปที่ 4.14 แสดงสัญญาณที่ถูกมอดูเลทแบบเอ็มดีพีเอสเค 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

หน้า

รูปที่ 4.15 แสดงรายละเอียดของสัญญาณเอ็มดีพีเอสเค 35

รูปที่ 4.16 แสดงสัญญาณ TE1 และ CLOCK 36

รูปที่ 4.17 แสดงสัญญาณ TE1 เทียบกับสัญญาณ RE1 36

รูปที่ 4.18 แสดงสัญญาณเอ็มดีพีเอสเคของสัญญาณเสียง 37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 3.1 ตารางแสดงความสัมพันธ์ระหว่างความถี่คู่ผสมกับหมายเลขที่ทำการกด 24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของโครงงาน

ในปัจจุบันนี้ระบบการสื่อสารโทรคมนาคม เป็นปัจจัยสำคัญอย่างมากต่อชีวิตประจำวันของมนุษย์เป็นอย่างมาก ไม่ว่าจะเป็น การสื่อสารผ่านเครือข่ายเส้นใยแก้วนำแสง (Optical Fiber Communication Network) การสื่อสารผ่านดาวเทียม (Satellite Communication) การสื่อสารผ่านข่ายสายโทรศัพท์ (Telephone Communication) หรือ การสื่อสารผ่านเครือข่ายคอมพิวเตอร์ (Computer Network Communication) เป็นต้น แต่ที่เห็นได้ชัดเจนที่สุด เห็นจะเป็นการสื่อสารทางโทรศัพท์ ซึ่งมีความสะดวกต่อการใช้งาน อีกทั้งราคาที่ถูกของตัวเครื่องและค่าบริการ

ซึ่งในปัจจุบันนี้ ระบบโทรศัพท์ไม่ได้ใช้ในการสื่อสารเฉพาะเสียงพูดเท่านั้น แต่มีการนำมาใช้ในการสื่อสารข้อมูลผ่านทางข่ายสายโทรศัพท์แล้ว ซึ่งตัวกลาง (Medium) ในการติดต่อสื่อสารระหว่างปลายทาง (Destination) ทั้งสองนั้น ปัจจุบันยังเป็นสายแบบโลหะ (Metallic wire) อยู่ ดังนั้น ข้อมูลที่จะทำการส่งซึ่งเป็นสัญญาณดิจิตอล จะต้องทำการเปลี่ยนจากสัญญาณดิจิตอลเป็นแอนาลอกเสียก่อน แล้วจึงทำการส่งข้อมูลนั้นผ่านข่ายสายโทรศัพท์ต่อไป โดยที่อุปกรณ์ที่ทำการแปลงข้อมูลจากดิจิตอลเป็น แอนาลอก ก็คือ โมเด็ม (MODEM) ซึ่ง MODEM นั่นย่อมาจาก Modulation/Demodulation

ในการสื่อสารทางโทรศัพท์ถูกให้บริการโดย องค์การโทรศัพท์แห่งประเทศไทย โดยในปัจจุบันนี้ได้ให้บริการในระบบ ISDN (Integrated Service Digital Network) แต่ก็ยังมีผู้ที่ให้ความสนใจที่จะใช้บริการไม่มากเท่าที่ควร ทั้งนี้ทั้งนั้นเนื่องมาจากอัตราค่าบริการที่สูงกว่าโทรศัพท์ตามบ้าน และอีกทั้งความจำเป็นต่อการใช้งานของผู้ใช้บริการด้วย

ซึ่งในปริญญานิพนธ์นี้เป็นการนำเสนอเรื่อง ชุดฝึกโทรศัพท์ดิจิตอล (Digital Phone Trainer) ซึ่งจะใช้ในการทดลอง การศึกษาถึงหลักการและการทำงานต่างๆ ของตัวเครื่องโทรศัพท์ดิจิตอล

1.2 วัตถุประสงค์ในการทำโครงงาน

1.เพื่อศึกษาระบบการทำงานของเครื่องโทรศัพท์ระบบดิจิตอล

2. เพื่อสร้างเครื่องโทรศัพท์ระบบดิจิตอลที่ได้จากการนำเอาความรู้พื้นฐานในด้านต่างๆมาประยุกต์ใช้ประกอบกัน

3. เพื่อเป็นแนวทางพื้นฐานในการพัฒนาเครื่องโทรศัพท์ระบบดิจิตอลในอนาคตต่อๆไป

1.3 ขอบเขตและขีดความสามารถของโครงงาน

โครงงานมีขีดความสามารถดังต่อไปนี้

1. สามารถใช้ในการติดต่อสื่อสารโดยผ่านวงจรคู่สายเดิมที่ใช้กับเครื่องโทรศัพท์ระบบแอนาลอก
2. สามารถรับและส่งสัญญาณเสียงและสัญญาณข้อมูลดิจิตอลได้พร้อมๆกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 เนื้อหาโดยสังเขป

เนื้อหาในปริญญานิพนธ์ฉบับนี้แบ่งออกเป็นบทต่างๆ เพื่อสะดวกต่อการศึกษาและทำความเข้าใจ โดยในแต่ละบทจะประกอบด้วยเนื้อหาที่สำคัญดังนี้

บทที่ 1 บทนำ

บทที่ 2 ทฤษฎีและหลักการ ประกอบด้วยเนื้อหาในทางทฤษฎีที่เกี่ยวข้องกับโครงงานซึ่งได้แก่ ทฤษฎีเกี่ยวกับ การทำงานของเครื่องโทรศัพท์และระบบโทรศัพท์เบื้องต้น การส่งข้อมูลแบบซิงโครนัส การส่งข้อมูลแบบอะซิงโครนัส การเข้ารหัสสัญญาณแบบพัลซ์โค้ดมอดูเลชั่น จอแสดงผลแบบแอลซีดี การสื่อสารผ่านพอร์ตอนุกรมและการอินเตอร์รัพต์ของไมโครคอนโทรลเลอร์

บทที่ 3 การคำนวณและการสร้าง กล่าวถึงการการออกแบบและหลักการทำงานทางด้านฮาร์ดแวร์ ซึ่งได้แก่ วงจรควบคุม วงจรกำเนิดสัญญาณความถี่คู่ผสม วงจรเชื่อมต่อกับคอมพิวเตอร์และเทอร์มินอล วงจรเชื่อมต่อกับสัญญาณแอนาลอก วงจรเข้ารหัสและถอดรหัส วงจรเชื่อมต่อกับโลคัลลูปแบบ 2 สาย

บทที่ 4 การทดลองและผลการทดลอง

บทที่ 5 บทวิจารณ์และบทสรุป

ภาคผนวก

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 บทนำ

เนื้อหาของปริญญานิพนธ์ในบทนี้เป็นทฤษฎีและหลักการที่นำมาใช้ในการประกอบการสร้างโครงงาน โดยประกอบด้วยทฤษฎีพื้นฐานต่างๆ ที่เกี่ยวข้องกับแต่ละวงจรที่ใช้ในการสร้างโครงงาน ซึ่งจะได้กล่าวถึงดังต่อไปนี้

2.2 หลักการเบื้องต้นของเครื่องโทรศัพท์

เครื่องโทรศัพท์เป็นอุปกรณ์ปลายทางชนิดหนึ่ง ที่ทำหน้าที่ส่งสัญญาณเสียงพูดระหว่างผู้เช่า (Subscriber) โดยทำหน้าที่แปลงสัญญาณเสียงเป็นสัญญาณไฟฟ้า ส่งไปในสายและในทางกลับกันทำการทำการแปลงสัญญาณไฟฟ้ากลับเป็นเสียงตามเดิม

เครื่องโทรศัพท์ (Telephone Set) ประกอบด้วยส่วนต่างๆ ที่สำคัญดังต่อไปนี้

1) ปากพูดและหูฟัง (Handset) ประกอบด้วย ปากพูดและหูฟังรวมอยู่ด้วยกัน

1.1) ปากพูด ทำหน้าที่เปลี่ยนสัญญาณเสียงให้เป็นสัญญาณไฟฟ้า หรือกล่าวในอีกนัยหนึ่งก็คือไมโครโฟนนั่นเอง

1.2) หูฟัง ทำหน้าที่เปลี่ยนสัญญาณไฟฟ้าให้เป็นสัญญาณเสียง หรือกล่าวในอีกนัยหนึ่งก็คือลำโพงนั่นเอง

2) กระดิ่ง คือ อุปกรณ์ที่ส่งสัญญาณเพื่อบอกว่ามีคนเรียกเข้ามา

3) สวิตซ์ตัดต่อ (Hook Switch) ทำหน้าที่ตัดต่อวงจร

4) หน้าปัทม์ ซึ่งมีทั้งแบบหมุนและแบบกดปุ่ม

2.3 เครื่องรับโทรศัพท์

เครื่องรับโทรศัพท์ที่ติดตั้งตามบ้าน ที่พักอาศัยหรือที่ทำงาน แบ่งออกได้ดังนี้

1) เครื่องรับโทรศัพท์แบบหมุน

เครื่องรับโทรศัพท์แบบหมุนใช้หลักการ คือ ผู้เรียกยกปากพูดและหูฟังขึ้นจากที่รองรับ (Cradle) ทำให้สวิตซ์ตัดต่อปิดวงจรของสายเส้นทิปและริง ซึ่งเป็นผลทำให้วงจรรีเลย์คอยล์ (Relay Coil) ในชุมสายโทรศัพท์ส่งสัญญาณให้หมุน (Dial Tone) มายังเครื่องรับโทรศัพท์ของผู้เรียก เพื่อเป็นสัญญาณให้ผู้เรียกทำการหมุนเลขหมาย และชุมสายโทรศัพท์ก็พร้อมที่จะรับเลขหมายที่ผู้เรียกหมุน เมื่อผู้เรียกหมุนหมายเลขหนึ่งครั้งและปล่อยมือ หน้าปัทม์ของเครื่องรับโทรศัพท์จะหมุนกลับมาที่เดิม ในขณะที่หน้าปัทม์หมุนกลับมาที่เดิมจะมีผล คือ ทำให้ลูกเบี้ยวหมุนตาม การหมุนของลูกเบี้ยวนี้จะทำให้หน้าสัมผัสปิดและเปิดวงจรจำนวนครั้งเท่ากันกับจำนวนเลขหมายที่ทำการหมุน จากการที่หน้าสัมผัสปิดวงจรจะทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้กระแสไหลได้ เรียกว่า กระแสอิมพัลซ์ (Impulse) และเมื่อหน้าสัมผัสเปิดวงจรกระแสก็จะหยุดไหล การที่กระแสไหลและหยุดไหลนี้มีผลทำให้เกิดพัลซ์ (Pulse) ขึ้นและจำนวนพัลซ์ที่เกิดขึ้นก็จะมีจำนวนเท่ากับเลขหมายที่หมุน เช่น หมุนเลข 1 ก็จะเกิดพัลซ์ 1 ลูก, หมุนเลข 7 ก็จะเกิดพัลซ์ 7 ลูก และหมุนเลข 0 จะเกิดพัลซ์ 10 ลูก เป็นต้น

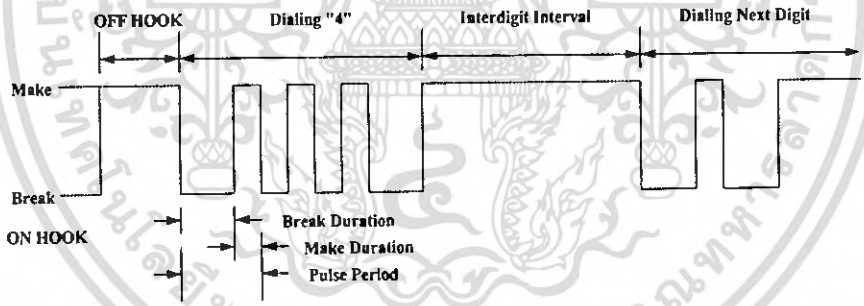
ความเร็วของหน้าปัทม์ (Dial Speed) ของเครื่องรับโทรศัพท์มีความสำคัญที่ต้องกำหนดให้อยู่ในมาตรฐาน ซึ่งประกอบไปด้วยความเร็วของกระแสอิมพัลซ์ อัตราการตัด-ต่อ (Break Make Ratio) ของหน้าสัมผัส และช่วงเวลาหยุดของระหว่างหมายเลข (Interdigit Interral) ตามปกติแล้วความเร็วของกระแสอิมพัลซ์จะใช้อยู่ 2 ค่า คือ 10 และ 20 IPS (Impulse Per Second) ส่วนค่ามาตรฐานสำหรับอัตราการตัด-ต่อ จะมีค่าเท่ากับ 2:1 ซึ่งหมายความว่า หน้าสัมผัสจะต้องตัดวงจรเป็นเวลา 2 หน่วยเวลา และต้องต่อวงจรเป็นเวลา 1 หน่วยเวลา

ในกรณีความเร็วของอิมพัลซ์เป็น 10 IPS ก็จะทำให้ค่าของคาบเวลาของพัลซ์เป็น 100 มิลลิวินาที นั่นคือ

ช่วงเวลาของการตัดวงจร = 100 มิลลิวินาที × 2/3 = 66.66 มิลลิวินาที

ช่วงเวลาของการต่อวงจร = 100 มิลลิวินาที × 1/3 = 33.33 มิลลิวินาที

ส่วนช่วงเวลาหยุดระหว่างหมายเลข โดยทั่วไปมีค่าเป็น 700 มิลลิวินาที อาจใช้ได้ในช่วงตั้งแต่ 600 มิลลิวินาที ถึง 900 มิลลิวินาที



รูปที่ 2.1 พัลซ์ที่เกิดขึ้นเมื่อหมุนหมายเลข 4

2) เครื่องรับโทรศัพท์แบบกดปุ่ม

เครื่องรับโทรศัพท์ที่มีหน้าปัทม์เป็นแบบกดปุ่ม จะใช้สัญญาณความถี่คู่ผสม (Dual Tone Multi Frequency : DTMF) ในการส่งหมายเลขโทรศัพท์นั้น โดยทั่วไปหน้าปัทม์จะมี 12 ปุ่ม แบ่งเป็น 4 แถว 3 หลัก บางแบบอาจจะมีถึง 16 ปุ่ม โดยเพิ่มหลักที่ 4 ขึ้นมา ความถี่ที่ใช้งานในแต่ละแถวและหลักจะมีความถี่ต่างกัน ความถี่ของทั้ง 4 แถวเรียกว่าเป็นกลุ่มความถี่ต่ำ (Low Group Frequency) ความถี่ของทั้ง 3 หรือ 4 หลัก เรียกว่ากลุ่มความถี่สูง (High Group Frequency) การกดปุ่มที่เลขหมายใดๆ จะทำให้วงจรอิเล็กทรอนิกส์ภายในเครื่องรับโทรศัพท์ผลิตความถี่ออกมา 2 ความถี่ เช่น เมื่อกดหมายเลข 5 ความถี่ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกมาคือ 770 เฮิรตซ์ และ 1336 เฮิรตซ์ ความผิดพลาดที่ยอมให้เกิดขึ้นได้จะเป็น ±1.5% สำหรับการผลิตความถี่ และ 2 % สำหรับการรับหมายเลข

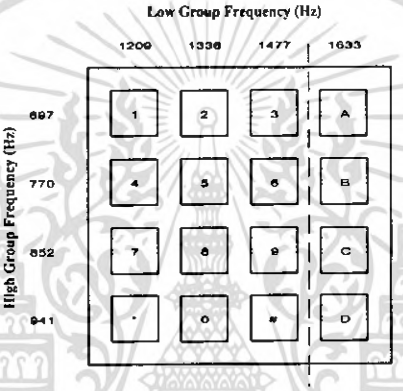
ข้อดีของการใช้โทรศัพท์แบบกดปุ่มมีดังต่อไปนี้

1. สามารถลดเวลาในการหมุนหมายเลขลง ทำให้เวลาเฉลี่ยที่ใช้โทรศัพท์แต่ละครั้งลดลง ชุมสายโทรศัพท์สามารถรับทราฟฟิก (Traffic) ได้มากขึ้น

2. สามารถใช้วงจรโซลิดสเตทอิเล็กทรอนิกส์ (Solid-State Electronics) แทนอุปกรณ์ทางด้านกลไกลได้ จึงทำให้มีความรวดเร็วและแม่นยำในการส่งหมายเลขไปยังชุมสายปลายทาง

3. สามารถเพิ่มปุ่มกดได้อีก 4 ปุ่ม (แถวที่ 4) เพื่อใช้ในการส่งสัญญาณการบริการประเภทอื่นๆ

4. มีความเหมาะสมที่จะใช้กับชุมสายโทรศัพท์ระบบเอสพีซี (Stored Program Control : SPC)

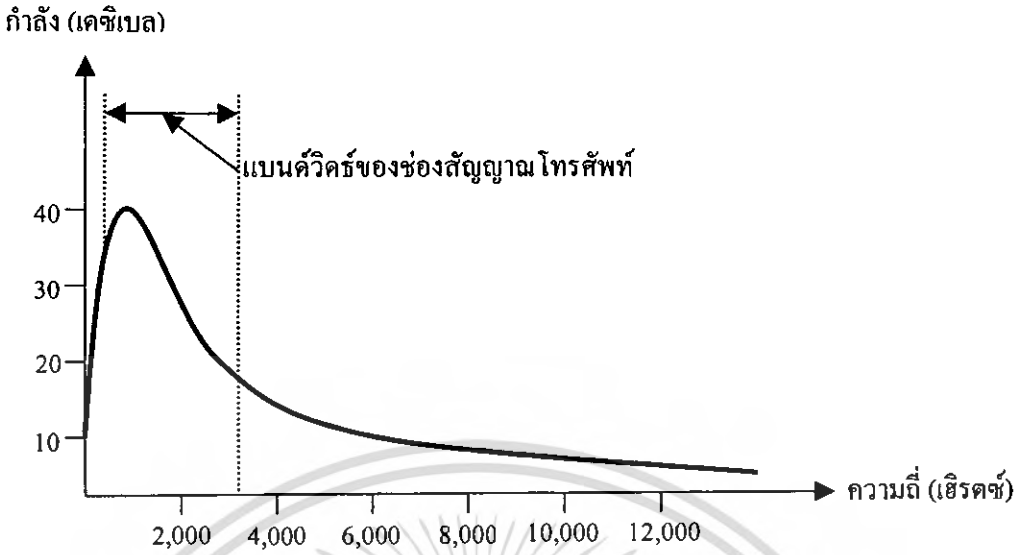


รูปที่ 2.2 แสดงหน้าปัทม์ของโทรศัพท์แบบกดปุ่มและความถี่ที่ใช้

2.4 การส่งสัญญาณผ่านสายส่ง

การส่งสัญญาณผ่านเครือข่ายระยะทางไกลเป็นการส่งข้อมูลแบบอนุกรม ทั้งนี้เพื่อประหยัดช่องสัญญาณสายสื่อสาร และมักจะต้องใช้เครือข่ายโทรศัพท์ (Public Telephone Network) ในการส่งข้อมูล เครือข่ายโทรศัพท์นั้นได้มีการสร้างขึ้นเป็นเวลานาน และถูกออกแบบเพื่อใช้เป็นการส่งสัญญาณเสียงพูดของคนเรา ซึ่งปกติแล้วเสียงพูดของคนเรามีคุณสมบัติดังแสดงในรูปที่ 2.1 จะเห็นว่าเสียงพูดของคนเราประกอบด้วยความถี่หลายความถี่ ตั้งแต่ 300-3,400 เฮิรตซ์ เป็นช่วงความถี่ที่มีพลังงานมาก ดังนั้นในการออกแบบวงจรโทรศัพท์ จึงไม่จำเป็นต้องออกแบบให้ความถี่ของสัญญาณคลื่นที่ผ่านวงจรโทรศัพท์เท่ากับความถี่เสียงตามปกติของคน แต่จะออกแบบให้สามารถผ่านคลื่นความถี่ที่อยู่ในช่วงประมาณ 300-3,400 เฮิรตซ์ ซึ่งก็เพียงพอกับการนำสัญญาณเสียงเพื่อสื่อกันระหว่างผู้พูดได้ สำหรับช่วงความถี่ของคลื่นสัญญาณซึ่งสามารถผ่านช่องสัญญาณสายส่งได้ เรียกว่า แบนด์วิดธ์ (Bandwidth) ของช่องสัญญาณของสายส่ง และเมื่อต้องการส่งข้อมูลดิจิตอลผ่านวงจรโทรศัพท์ ต้องมีการเปลี่ยนสัญญาณดิจิตอลให้เป็นสัญญาณที่เหมาะสมสำหรับส่งไปในวงจรโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

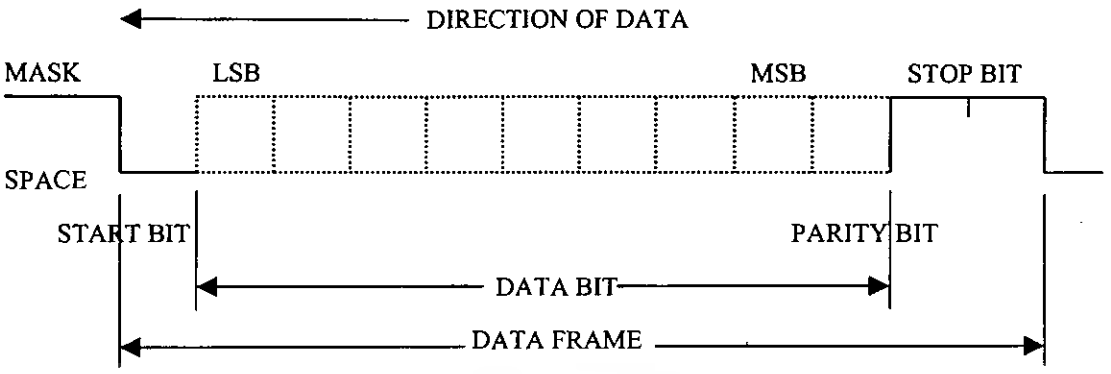


รูปที่ 2.3 แสดงคุณสมบัติของเสียงคน

1) การส่งข้อมูลแบบอะซิงโครนัส (Asynchronous Transmission)

ในการส่งข้อมูลแต่ละอักษรนั้นจะมีการส่งบิตเริ่มต้น (Start bit) ไป 1 บิตก่อนส่งบิตของข้อมูลตัวอักษร และตามท้ายข้อมูลตัวอักษรด้วยบิตจบ (Stop bit) ไป $1,1\frac{1}{2}$ หรือ 2 บิต ดังแสดงในรูปที่ 2.3 กล่าวคือ ในขณะที่ไม่มีการส่งตัวอักษร สภาวะของสายจะมีค่าเป็น 1 เมื่อมีการส่งข้อมูล ชิป UART (Universal Asynchronous Receiver/Transmitter) ของไลน์อะแคปเตอร์หรือพอร์ตอนุกรมจะทำให้สภาวะของสายเปลี่ยนจาก 1 เป็น 0 เป็นเวลา 1 บิตไทม์ เพื่อส่งบิตเริ่มต้นแล้วจึงส่งข้อมูลตัวอักษร เมื่อหมดข้อมูลแล้ว ชิป UART จะทำให้สายมีสภาวะเป็น 1 อีก $1\frac{1}{2}$ หรือ 2 บิตไทม์ ซึ่งเป็นการส่งบิตจบ หลังจากนั้นจึงจะส่งบิตเริ่มต้นของข้อมูลตัวอักษรต่อไป ในกรณีที่ไม่มีข้อมูลส่งต่อไป สภาวะของสายจะเป็น 1 ไปจนกว่าจะมีการส่งข้อมูลตัวอักษรอีก การส่งแบบนี้เป็นการส่งข้อมูลทีละตัวอักษร โดยที่ช่วงเวลาระหว่างตัวอักษรจะนานเท่าไหร่ก็ได้ สำหรับชิป UART ของฝั่งรับ เมื่อตรวจสอบได้ว่ามีการเปลี่ยนสภาวะของสายจาก 1 เป็น 0 ก็จะเริ่มสัญญาณเวลาเพื่อทำการอ่านสัญญาณบิตข้อมูล ดังนั้นหาดอ่านข้อมูลแล้วตัดสินใจได้ว่าบิทที่มีการเปลี่ยนสภาวะนั้นมีค่าเป็น 1 ก็แสดงว่าสภาวะของสายที่เปลี่ยนจาก 1 เป็น 0 นั้นเกิดจากสัญญาณรบกวน จึงต้องตรวจสอบหาบิตเริ่มต้นที่ถูกส่งมาต่อไป แต่ในทางตรงข้ามหากตัดสินใจได้ว่าบิตนั้นเป็น 0 แสดงว่ามีการส่งบิตเริ่มต้นมา ชิป UART ก็จะทำการอ่านบิตข้อมูลของตัวอักษรและบิตจบซึ่งตามท้ายมา ในกรณีที่บิตจบมีค่าเป็น 0 แสดงว่ามีการผิดพลาดจากการรับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงการส่งข้อมูลแบบอะซิงโครนัส

สำหรับวิธีนี้พอร์ตอนุกรมฝั่งรับจะต้องถูกตั้งให้อ่านข้อมูลตัวอักษรด้วยอัตราเดียวกับการส่งข้อมูลของฝั่งส่ง นั่นคือสัญญาณเวลาจะเท่ากัน นอกจากนั้นจำนวนของบิตจบและค่าพาริตี้บิต (Parity bit) ต้องถูกตั้งไว้ให้ตรงกับฝั่งส่งด้วย แต่อย่างไรก็ตาม เนื่องจากเป็นสัญญาณเวลาของเครื่องส่งต่างกัน ดังนั้นอาจเป็นไปได้ที่ สัญญาณเวลาของฝั่งรับไม่สอดคล้อง (Synchronized) ตรงกับฝั่งส่งเลยทีเดียว แต่ปัญหานี้ไม่สำคัญสำหรับการส่งแบบอะซิงโครนัส เนื่องจากความแตกต่างเล็กน้อยของสัญญาณเวลาทั้งสองฝั่ง จะไม่ทำเกิดความผิดพลาดของการรับส่งข้อมูลสำหรับช่วงเวลาของข้อมูลมากที่สุดเพียง 8+3 บิตนี้ นอกจากนั้นเนื่องจากสัญญาณเวลาของฝั่งรับจะเริ่ม ณ จุดเริ่มต้นของบิตเริ่ม ดังนั้นเฟสของสัญญาณเวลาทั้งสองจะตรงกันด้วย

2) การส่งข้อมูลแบบซิงโครนัส (Synchronous Transmission)

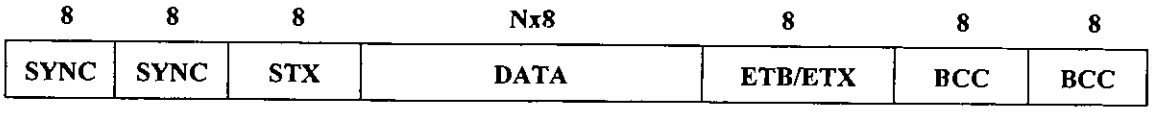
วิธีการนี้นำเอาข้อมูลตัวอักษรมารวมเป็นบล็อกโดยไม่ต้องมีบิตเริ่มและบิทจบระหว่างตัวอักษร แต่จะมีเฮดเดอร์ (Header) เพื่อให้ผู้รับสามารถตรวจสอบได้ว่าบล็อกข้อมูลเริ่มและสิ้นสุดที่ใด นอกจากนั้นยังมีเทรเลอร์ (trailer) ของบล็อก ซึ่งเป็นบิตเพิ่มเกิน (Redundant bit) เพื่อใช้ในการตรวจสอบความผิดพลาดของการส่งข้อมูล จึงทำให้การส่งข้อมูลมีความเชื่อถือสูง วิธีนี้เรียกทั่วไปว่า การส่งข้อมูลแบบซิงโครนัส ซึ่งใช้ส่งข้อมูลได้อย่างมีประสิทธิภาพ ปัจจุบันการส่งข้อมูลแบบซิงโครนัสนี้อาจแบ่งได้เป็น 2 ชนิดคือ คาแรกเตอร์โอเรียนต์ (Character Oriented) และบิตโอเรียนต์ (Bit Oriented)

2.1) คาแรกเตอร์โอเรียนต์ (Character orient)

รูปแบบโครงร่างของคาแรกเตอร์โอเรียนต์ แต่ละเฟรมจะถูกจัดให้มีจำนวนบิตเป็นจำนวนเท่าของ 1 ตัวอักษร (7 หรือ 8 บิต) ซึ่งจะถูกส่งออกไปเป็นสายบิตต่อเนื่องโดยไม่มีการขาดช่วง หมายความว่าช่วงเวลาระหว่างปลายของบิทสุดท้ายของอักษรตัวหน้ากับอักษรที่ตามมาจะมีค่าเท่ากับศูนย์

การส่งข้อมูลซิงโครนัสชนิดคาแรกเตอร์โอเรียนต์นี้ เหมาะสำหรับการส่งข้อมูลที่เป็นตัวอักษร ตัวอย่างของคาแรกเตอร์โอเรียนต์เช่น การส่งข้อมูลแบบ Binary Synchronous Communication (Bisync)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



SYNC : **SYN**Chronous

ETX : End of TeXt

STX : Start of TeXt

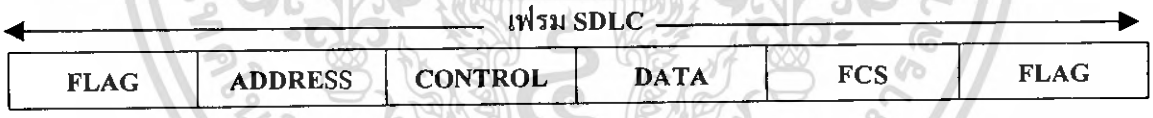
BCC : Block Check Character

ETB : End of Transmission Block

รูปที่ 2.5 แสดงตัวอย่างเฟรมข้อมูลแบบคาแรกเตอร์โอเรียนต์

2.2) บิตโอเรียนต์ (Bit orient)

เนื่องจากการส่งข้อมูลแบบซิงโครนัสชนิดคาแรกเตอร์โอเรียนต์ไม่ค่อยเหมาะสมนักสำหรับการส่งข้อมูลชนิดอื่นๆ ที่ไม่เป็นตัวอักษรเช่น ข้อมูลเสียง ข้อมูลภาพ ตลอดจนไบนารีคาต้า (Binary Data) ดังนั้นจึงได้มีการคิดวิธีการส่งข้อมูลแบบซิงโครนัสชนิดบิทโอเรียนต์ขึ้น ซึ่งเป็นการส่งข้อมูลโดยที่จำนวนบิทในบล็อกจะมีค่าใดค่าหนึ่งก็ได้ดังแสดงในรูปที่ 2.6 การส่งแบบนี้ข้อมูลอาจจะเป็นตัวอักษรรูปภาพและข้อมูลเสียงได้ ตัวอย่างของบิตโอเรียนต์เช่น การส่งโดยวิธี Synchronous Data Link Control (SDLC)ของเครื่อง IBM หรือ High –level Data Link Control (HDLC) ตามมาตรฐานของ International Standards Organization (ISO) เป็นต้น



FLAG : ใช้บ่งบอกจุดเริ่มและสิ้นสุดของเฟรม **ADDRESS** : ใช้ระบุแอดเดรสของฝั่งส่งหรือฝั่งรับ

CONTROL : ใช้ควบคุมการส่งข้อมูล **FCS (Frame Check Sequence)** : ใช้ตรวจสอบความถูกต้องของเฟรมข้อมูล

รูปที่ 2.6 แสดงตัวอย่างเฟรมข้อมูลแบบบิตโอเรียนต์

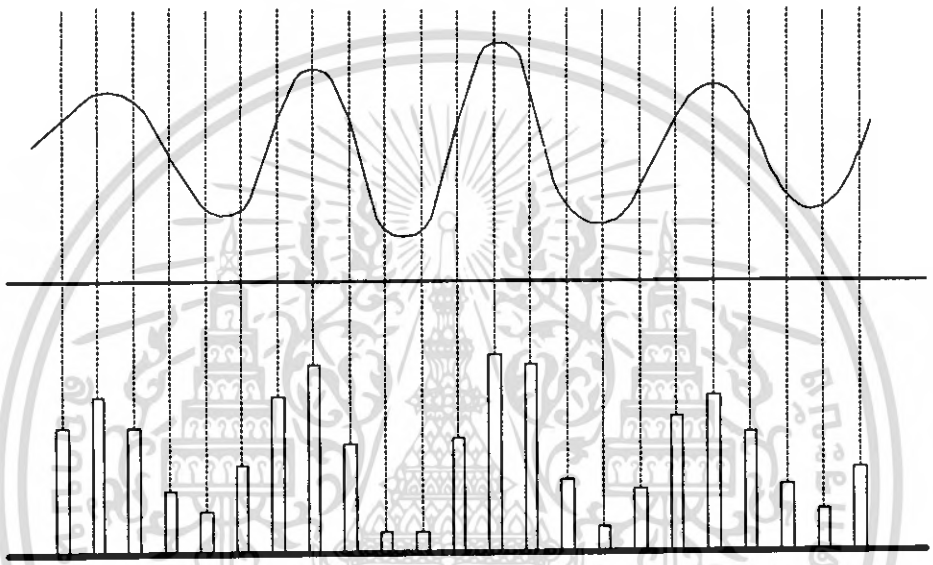
2.5 พัลซ์โค๊ดโมดูเลชั่น (Pulse Code Modulation : PCM)

เพื่อให้สัญญาณแอนาลอก เช่น สัญญาณเสียง สัญญาณภาพวิดีโอ ผ่านเข้าไปในเครือข่ายดิจิตอลได้ สัญญาณแอนาลอกนี้จะถูกเปลี่ยนเป็นสัญญาณดิจิตอล และเมื่อสัญญาณดิจิตอลส่งถึงปลายทางจะถูกเปลี่ยนกลับเป็นสัญญาณแอนาลอก ซึ่งวิธีการนี้เรียกว่า การเข้ารหัส/การถอดรหัส (coder/decoder หรือ codec)

สำหรับการเปลี่ยนสัญญาณแอนาลอกให้เป็นสัญญาณดิจิตอลสามารถทำได้หลายวิธี ดังแสดงในรูปที่ 2.4 วิธีพีเอเอ็ม (Pulse Amplitude Modulation) จะสุ่มตัวอย่าง (Sampling) สัญญาณแอนาลอกตาม

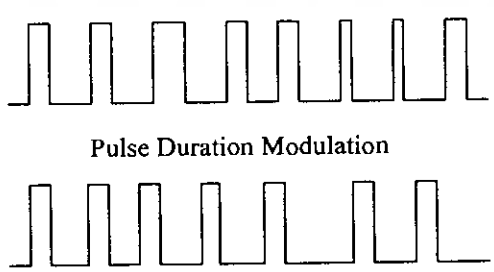
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงเวลาที่เท่าๆ กัน และนำตัวอย่างที่ได้ซึ่งเป็นลักษณะของพัลซ์ดิจิตอลที่ไม่ต่อเนื่อง และขนาดของพัลซ์เป็นอัตราส่วนโดยตรงกับขนาดของสัญญาณแอนาลอกขณะทำการสุ่มตัวอย่าง และใช้ตัวอย่างที่ได้เหล่านี้แทนสัญญาณแอนาลอก เมื่อส่งสัญญาณนี้ไป ฝั่งรับก็สามารถนำสัญญาณไม่ต่อเนื่องนี้แปลงมาเป็นสัญญาณอะนาล็อกซึ่งต่อเนื่องกันได้ แต่แบบพีเอเอ็มนี้ยังคงเป็นลักษณะของการส่งข้อมูลในลักษณะของอนาลอก เพราะขนาดของพัลซ์ที่ได้จะเปลี่ยนแปลงต่อเนื่องกันไป ขึ้นอยู่กับขนาดของสัญญาณอะนาล็อก ดังนั้นเมื่อส่งสัญญาณนี้ไปในระยะทางไกลๆ และมีสัญญาณรบกวนมาทำให้สัญญาณเพี้ยนไปและมีขนาดเล็กลง เมื่อผ่านรีพีตเตอร์จะทราบว่า ขนาดที่แท้จริงของสัญญาณพัลซ์ที่เพี้ยนไปนั้นเป็นเท่าไร ทำให้ไม่สามารถสร้างสัญญาณให้เหมือนสัญญาณเดิมได้



รูปที่ 2.7 แสดงเทคนิคพีเอเอ็ม

นอกจากเทคนิคการแปลงสัญญาณแบบพีเอเอ็มแล้ว ยังมีเทคนิคการแปลงแบบพีดีเอ็ม (Pulse Dulation Modulation) ซึ่งความกว้างของพัลซ์จะขึ้นอยู่กับขนาดของสัญญาณขณะทำการสุ่มตัวอย่างดังในรูปที่ 2.5 และยังมีเทคนิคการแปลงแบบพีพีเอ็ม (Pulse Position Modulation) ซึ่งจำนวนพัลซ์ต่อหน่วยเวลาจะมีมากขึ้นหรือน้อยลง แล้วแต่ขนาดของสัญญาณอนาลอกขณะสุ่มตัวอย่าง แต่เทคนิคที่นิยมใช้มากที่สุดในปัจจุบันคือ พีซีเอ็ม (Pulse Code Modulation)



Pulse Duration Modulation

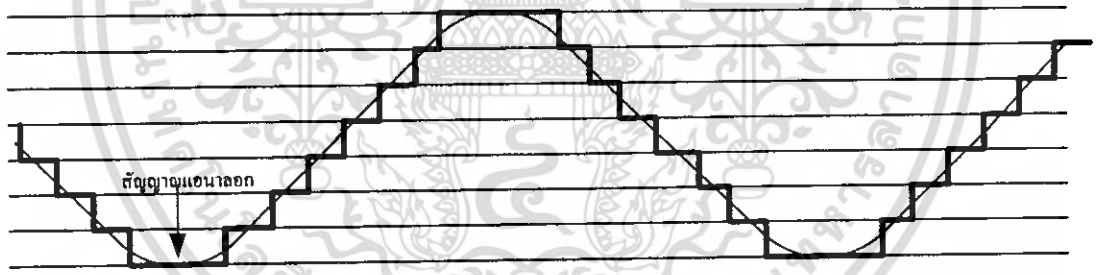
Pulse Position Modulation

รูปที่ 2.8 แสดงเทคนิคการแปลงสัญญาณแบบ พีดีเอ็ม และ พีพีเอ็ม

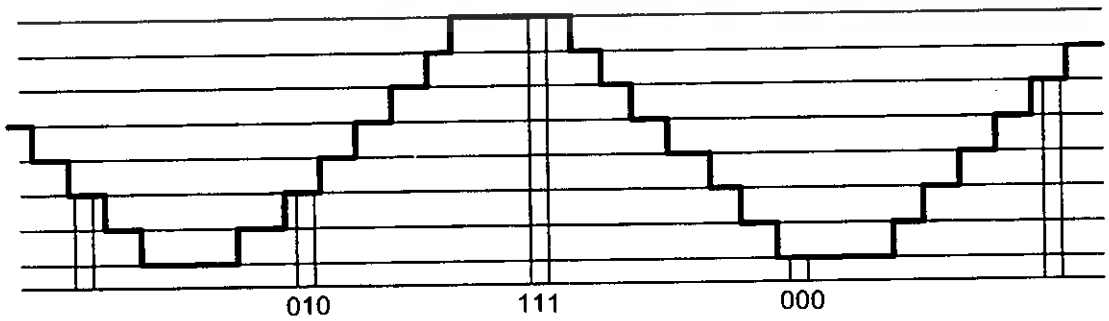
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคการแปลงสัญญาณแบบพีซีเอ็มนี้ สัญญาณแอนาลอกจะถูกควอนไตซ์ออกเป็นหลายๆ ระดับ เช่น ในรูปที่ 2.9 จะเห็นว่าสัญญาณถูกควอนไตซ์ออกเป็น 8 ระดับ และขนาดของสัญญาณแอนาลอกในขณะใดๆ อาจถูกแทนได้ด้วยค่าใน 8 ค่านี้ ซึ่งเป็นค่าโดยประมาณของขนาดของสัญญาณแอนาลอกในขณะนั้น ดังนั้นเมื่อทำการสุ่มตัวอย่างสัญญาณแอนาลอก จะได้ว่าขนาดของพัลซ์ที่ได้จากการสุ่มตัวอย่าง เป็นค่าโดยประมาณของขนาดของสัญญาณแอนาลอกในขณะนั้นหลังจากการสุ่มตัวอย่าง ขนาดของสัญญาณพัลซ์ที่ได้จากการสุ่มตัวอย่างนี้ จะถูกเข้ารหัสด้วยรหัสเลขฐานสอง ซึ่งจำนวนบิตที่ใช้ในการเข้ารหัสขึ้นอยู่กับระดับของการควอนไตซ์สัญญาณแอนาลอก สำหรับรูปนี้จะใช้ 3 บิตในการเข้ารหัสของแต่ละตัวอย่าง วิธีนี้จะเห็นได้ว่ากลุ่มของไบนารีบิต (Binary bit) ที่ได้จากการเข้ารหัสนี้ ซึ่งแต่ละบิตมีค่า 2 ระดับ (0 และ 1) จะถูกใช้แทนแต่ละตัวอย่างของสัญญาณแอนาลอก และไบนารีเหล่านี้ถูกส่งไปในเครือข่ายดิจิตอล สัญญาณดิจิตอลที่เพี้ยนเพราะการส่งจะถูกสร้างทวนขึ้นมาใหม่ และส่งต่อไปจนถึงปลายทาง ที่ปลายทางสัญญาณดิจิตอล 2 ระดับนี้จะถูกเปลี่ยนกลับเป็นสัญญาณแอนาลอกดังเดิม แต่อย่างไรก็ตามในการควอนไตซ์สัญญาณแอนาลอก ทำให้พัลซ์ที่ได้จากการสุ่มตัวอย่างมีขนาดแตกต่างไปจากขนาดจริงของสัญญาณแอนาลอกไปบ้าง ดังนั้นสัญญาณแอนาลอกที่ถูกสร้างขึ้นมาใหม่ที่ปลายทางจะไม่เหมือนกับสัญญาณเดิมเลยทีเดียว

1 สัญญาณแอนาลอกถูกควอนไตซ์หลายระดับ

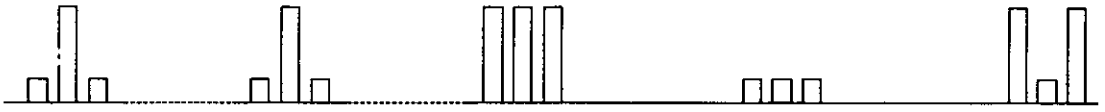


2 สัญญาณแอนาลอกถูกสุ่มตัวอย่างซึ่งจะได้สัญญาณ PAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3 สัญญาณ PAM ถูกเข้ารหัสด้วยเลขฐานสองแล้วถูกส่งเป็นสัญญาณ PCM



รูปที่ 2.9 แสดงเทคนิคการแปลงสัญญาณแบบ พีซีเอ็ม

2.6 หลักการของโมดูลแอลซีดี (LCD MODULE)

รายละเอียดเกี่ยวกับโมดูลแอลซีดี ในโมดูลแอลซีดีจะมีส่วนประกอบหลักๆ 3 ส่วนดังนี้

ตัวแสดงผล(Display) ภายในเป็นผลึกเหลวที่สามารถแสดงผลให้เห็นโดยอาศัยแสงจากภายนอกดังนั้นจึงต้องมีมุมในการมอง ข้อมูลที่แสดงผลบนจอแอลซีดี

ตัวควบคุม(Controller) เป็นตัวรับข้อมูลจากอุปกรณ์ภายนอกมาควบคุมการทำงานของโมดูลแอลซีดี เช่น ลบจอภาพ แสดงตัวอักษร หรือเลื่อนเคอร์เซอร์ เป็นต้น ตัวควบคุมนี้ใช้ชิปควบคุมโดยเฉพาะชิปที่นิยมใช้คือเบอร์ HD44780 และ HD61830 โดย HD44780 จะใช้ควบคุมแอลซีดีแบบอักขระ ส่วน HD61830 จะใช้ควบคุมแอลซีดีแบบกราฟฟิก

ตัวขับ(Driver) เป็นตัวรับสัญญาณจากตัวควบคุมมาขับให้ตัวแสดงผล แสดงข้อมูลตามที่กำหนด ชิปที่ใช้ทำหน้าที่เป็นตัวขับนี้ ได้แก่เบอร์ HD44100H และ MSM5259 เป็นต้น

1) โครงสร้างภายในของตัวควบคุมโมดูลแอลซีดี

ในการใช้งานโมดูลแอลซีดีจำเป็นต้องทำความเข้าใจเกี่ยวกับโครงสร้างและคำสั่งที่ใช้ในการควบคุมให้ดีเสียก่อน ในที่นี้ขอยกตัวอย่างโมดูลแอลซีดีแบบอักขระเพราะสามารถเข้าใจได้ง่าย โดยในโครงงานนี้จะใช้โมดูลแอลซีดีที่มีชิปควบคุมแอลซีดี เบอร์ HD44780 ซึ่งในโมดูลแอลซีดีแบบอักขระประกอบด้วย

บัฟเฟอร์อินพุทเอาท์พุท เป็นส่วนที่ใช้ในการติดต่อรับส่งข้อมูลกับอุปกรณ์ภายนอกเพื่อที่จะถ่ายทอดข้อมูลเข้าออกภายในตัวควบคุม

รีจีสเตอร์คำสั่ง (Instruction Register:IR) เป็นรีจีสเตอร์ใช้รับข้อมูลจากอุปกรณ์ภายนอกเพื่อนำไปควบคุมการแสดงผล

รีจีสเตอร์ข้อมูล(Data Register: DR) เป็นรีจีสเตอร์ใช้รับข้อมูลจากอุปกรณ์ภายนอกเพื่อถ่ายทอดต่อไปยังหน่วยความจำที่ทำหน้าที่เก็บข้อมูลแสดงผล หรือนำข้อมูลไปสร้างตัวอักษรเพิ่มเติมในแรมเก็บตัวอักษร

แรมเก็บข้อมูลแสดงผล(Display Data RAM: DDRAM) เป็นหน่วยความจำแรมทำหน้าที่เก็บข้อมูลที่มาจากรีจีสเตอร์ DR ตัวควบคุมจะนำข้อมูลใน DDRAM นี้ไปเปิดตาราง (Look up – lable) ของตัวอักษรที่เก็บไว้ในหน่วยความจำรอมและแรมเก็บตัวอักษรเพื่อนำไปแสดงที่ตัวแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รอมเก็บตัวอักษร(Character Generator ROM:CGROM) เป็นหน่วยความจำรอมที่ใช้เก็บข้อมูลตัวอักษรหรือสัญลักษณ์ที่สามารถอ่านออกไปแสดงที่ตัวแสดงผลได้ มีขนาด 7,200 บิต โดยจะถูกอ่านด้วยค่าของข้อมูลใน DDRAM

แรมเก็บตัวอักษร(Character Generator RAM:CGRAM) เป็นหน่วยความจำแรมที่ใช้ เก็บอักษรที่มีการสร้างเพิ่มเติมขึ้นมาใหม่ ในกรณีที่ตัวอักษรใน CGROM ไม่เพียงพอ มีขนาด 512 บิต การเขียนและอ่านค่าไปใช้นั้นทำได้เช่นเดียวกับ CGROM คือ เขียนข้อมูลลงใน DDRAM แล้วตัวควบคุมจะมาอ่านค่าจาก CGRAM เอง

แฟลก Busy เป็นส่วนที่ทำหน้าที่แจ้งสถานะการทำงานของตัวควบคุมให้อุปกรณ์ภายนอกทราบว่าตัวควบคุมพร้อมที่จะรับข้อมูลหรือคำสั่งหรือไม่ ดังนั้นก่อนการส่งข้อมูลหรือคำสั่งมายังตัวควบคุมต้องตรวจสอบสถานะของแฟลก Busy นี้เสียก่อน

โมดูลแอลซีดีขนาด 16 ตัวอักษร 2 บรรทัด (LCD 16 x 2)

สำหรับโมดูลแอลซีดีที่นำมาใช้ในโครงงานนี้เป็นขนาด 16 ตัวอักษร 2 บรรทัด ซึ่งใช้ชิปในการควบคุมเบอร์ HD44780 ของบริษัทฮิตาชิ

โมดูลแอลซีดีขนาด 16x2 มีขาต่อใช้งานทั้งสิ้น 14 ขา สำหรับรายละเอียดการทำงานของแต่ละขามีดังนี้

VSS (1) : ต่อกราวด์

VDD (ขา 2) : ต่อไฟเลี้ยง + 5 โวลท์

VO (ขา 3) : เป็นขาอินพุทรับแรงดันเพื่อปรับความเข้มของการแสดงผล

RS (ขา 4) : เป็นขาอินพุทใช้ในการแยกชนิดของข้อมูลที่ทำการประมวลผลในขณะนั้นว่าเป็นคำสั่งสำหรับรีจีสเตอร์ IR หรือเป็นข้อมูลสำหรับรีจีสเตอร์ DR โดยถ้าขานี้เป็น "0" ข้อมูลที่ส่งมาจะเป็นคำสั่งแต่ถ้าขานี้เป็น "1" ข้อมูลที่ส่งมาจะเป็นข้อมูลสำหรับการแสดงผล

R/$\overline{W}$ (ขา 5) : เป็นขาที่ใช้เลือกการอ่านหรือเขียนข้อมูลกับแอลซีดี ถ้าเป็น "0" เป็นการกำหนดให้เขียนข้อมูลแต่ถ้าเป็น "1" จะเป็นการอ่านข้อมูล

E (ขา6) : เป็นขา Enable แอลซีดีให้ทำงาน

D0-D7 (ขา7-14): เป็นขาที่ใช้เป็นทางผ่านของข้อมูลระหว่างแอลซีดี กับอุปกรณ์ควบคุมภายนอกขนาด 8 บิต

2) คำสั่งควบคุมโมดูลแอลซีดี

ในการเขียนคำสั่งลงในตัวควบคุมแน่นอนว่าต้องกำหนดให้ขา RS และ R/$\overline{W}$ เป็น "0" แล้วเขียนคำสั่งตามไป คำสั่งควบคุมโมดูลแอลซีดี ของชิปควบคุม HD44780 ที่สำคัญมี 10 คำสั่งดังนี้

1. **คำสั่ง เคลียร์ ตัวแสดงผล (Clear Display)**

   มีข้อมูลคำสั่งเป็น 01H เป็นคำสั่งที่ใช้เขียนข้อมูลช่องว่าง หรือ Space เข้าไปใน DDRAM ทั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมดเมื่อตัวควบคุมประมวลผลคำสั่งนี้จะทำการกำหนดแอดเดรส ของ DDRAM เป็น 0 เคอร์เซอร์ จับกลับไปอยู่ที่ตำแหน่งซ้ายมือสุดของจอแสดงผลแล้วเซตบิต I/D ให้เป็น "1"

2. **คำสั่ง Return Home**

ต้องกำหนดให้บิต 1 ของข้อมูลเป็น"1" เป็นคำสั่งให้เคอร์เซอร์เคลื่อนที่กลับไปยังตำแหน่งซ้ายสุดของจอแสดงผลแต่ข้อมูลบนจอแสดงผลไม่เปลี่ยนแปลงนั่นคือ ข้อมูลคำสั่งของคำสั่งนี้จะเป็น 02H หรือ 03H ก็ได้

3. **คำสั่งเลือกโหมดการป้อนข้อมูล (Entry Mode Set)**

มีรายละเอียดของรูปแบบของข้อมูลคำสั่งดังนี้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
0	0	0	0	0	1	I/D	S

บิต S เป็นบิตที่ใช้ในการกำหนดลักษณะของการแสดงผล เมื่อมีการป้อนข้อมูล ถ้าหากบิต S เป็น "1" เมื่อเกิดข้อมูลใหม่บนจอแสดงผล ตัวเคอร์เซอร์จะอยู่กับที่แต่ตัวอักษรข้อมูลเดิมจะถูกดันไปทางซ้าย แต่ถ้าหากบิดนี้เป็น "0" เมื่อเกิดข้อมูลใหม่ตัวเคอร์เซอร์จะเลื่อนไปทางขวามือ

บิต I/D เป็นบิตที่ใช้ในการแสดงกำหนดค่า เมื่อเขียนหรืออ่านข้อมูล แล้วทำให้ แอดเดรสของ DDRAM เพิ่มขึ้นหรือลดลง 1 แอดเดรส โดยถ้าบิดนี้เป็น "1" แอดเดรสของ DDRAM จะเพิ่มขึ้น แต่ถ้าเป็น "0" แอดเดรสจะลดลง

ดังนั้นข้อมูลคำสั่งที่เกิดขึ้นสำหรับคำสั่งนี้ได้แก่ 04H - 07H (4 ข้อมูลคำสั่ง) และที่ใช้บ่อยคือ 06H หมายถึงกำหนดให้เมื่อเกิดข้อมูลใหม่ เคอร์เซอร์จะเลื่อนไปทางขวามือ และแอดเดรสของ DDRAM เพิ่มขึ้น

4. **คำสั่งควบคุมการแสดงผล**

มีรายละเอียดของรูปแบบข้อมูลคำสั่ง ดังนี้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
0	0	0	0	1	D	C	B

บิต D ใช้ควบคุมการเปิดปิดจอแสดงผล ถ้าบิดนี้เป็น "1" จะเป็นการเปิดจอแสดงผล ถ้าเป็น "0" จะเป็นการปิดจอแสดงผล

บิต C ใช้ควบคุมการแสดงตัวเคอร์เซอร์บนจอแสดงผลถ้าต้องการให้มีเคอร์เซอร์แสดงผลบนจอแสดงผล ต้องกำหนดให้บิตนี้เป็น "1" ถ้ากำหนดให้เป็น "0" จะเป็นการปิดเคอร์เซอร์ หรือไม่แสดงเคอร์เซอร์

บิต B ใช้ควบคุมการกระพริบของเคอร์เซอร์ถ้าบิทนี้เป็น "1" เคอร์เซอร์จะกระพริบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนี้จะมีข้อมูลคำสั่งได้ตั้งแต่ 08H-0FH (8 รูปแบบคำสั่ง) ที่ใช้บ่อยคือ 0CH เป็นการสั่งให้เปิดจอแสดงผลแต่ไม่แสดงเคอร์เซอร์และ 0FH เป็นการสั่งให้เปิดจอแสดงผล แสดงเคอร์เซอร์และสั่งให้เคอร์เซอร์กระพริบ

5. คำสั่งควบคุมการเลื่อนเคอร์เซอร์และข้อมูลตัวอักษร

มีรายละเอียดของรูปแบบข้อมูลคำสั่งดังนี้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
0	0	0	1	S/C	R/L	*	*

การควบคุมการเลื่อนเคอร์เซอร์ และดังอักษรบนจอแสดงผลขึ้นอยู่กับการกำหนดบิท S/C และ R/L ซึ่งสามารถสรุปได้ดังนี้

S/C	R/L	ลักษณะการเลื่อน	ข้อมูลคำสั่ง
0	0	เลื่อนเคอร์เซอร์ไปทางซ้าย	10H-13H
0	1	เลื่อนเคอร์เซอร์ไปทางขวา	14H-17H
1	0	เลื่อนตัวอักษรใหม่ไปทางซ้าย	18H-1BH
1	1	เลื่อนตัวอักษรใหม่ไปทางขวา	1CH-1FH

6. คำสั่งกำหนดฟังก์ชันการทำงาน

มีรายละเอียดของรูปแบบข้อมูลคำสั่งดังนี้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
0	0	1	DL	N	F	*	*

บิต DL ใช้กำหนดจำนวนบิตที่ใช้ติดต่อส่งผ่านข้อมูล ถ้าบิตนี้เป็น "0" จะเป็นการติดต่อแบบ 4บิต แต่ถ้าเป็น "1" จะเป็นแบบ 8 บิต

บิต N ใช้กำหนดจำนวนบรรทัดของการแสดงผลถ้าเป็น "0" จะแสดงผล 1 บรรทัดถ้าเป็น "1" จะแสดงผล 2 บรรทัดในแสดงกรณีที่จอแสดงผลสามารถแสดงได้มากกว่า 2 บรรทัด และต้องการให้แสดงผลมากกว่า 2 บรรทัดก็กำหนดบิต N ให้เป็น "1"

บิต F จะใช้เลือกความละเอียดของตัวอักษรในการแสดงผลถ้าบิตนี้เป็น "0" จะเป็นการแสดงผลแบบ 5x7 จุด และถ้าเป็น "1" จะแสดงผลเป็นแบบ 5x10 จุด

ข้อมูลคำสั่งที่ใช้บ่อยคือ 38H เป็นการกำหนดให้โมดูลแอลซีดี ทำงานในแบบ 8 บิต แสดงผล 2 บรรทัด และเลือกความละเอียดเป็น 5x7 จุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. **คำสั่งเลือกแอดเดรสของ CGRAM**

   เมื่อต้องการกำหนดแอดเดรสของ CGRAM ต้องกำหนดให้บิต 7 เป็น "0" บิต 6 เป็น "1" ส่วนอีก 6 บิตที่เหลือจะแทนด้วยค่าแอดเดรสของ CGRAM จะต้องทำการกำหนดแอดเดรสด้วยคำสั่งนี้ก่อนที่จะอ่านหรือเขียนข้อมูลให้ CGRAM โดยแอดเดรสของ CGRAM อยู่ระหว่าง 00H-3FH

8. **คำสั่งเลือกแอดเดรสของ DDRAM**

   ใช้ในการเลือกแอดเดรสของ DDRAM ก่อนที่จะทำการอ่านหรือเขียนข้อมูล โดยบิต 7 ต้องเป็น "1" และข้อมูลอีก 7 บิตที่เหลือ จะเป็นค่าแอดเดรสของ DDRAM ซึ่งแอดเดรสของ DDRAM จะอยู่ระหว่าง 8CH-0FFH ทั้งนี้จำนวนแอดเดรสยังขึ้นกับการกำหนดสถานะที่บิต N ด้วย หากบิต N เป็น "0" แอดเดรสของ DDRAM จะอยู่ระหว่าง 80H-0CFH และถ้าบิต N เป็น "1" แอดเดรสของ DDRAM จะมี 2 ช่วงคือ 8CH-87H และ 0C0H-0C7H

9. **คำสั่งอ่านแฟลก BUSY และแอดเดรส**

   มีรายละเอียดของรูปแบบข้อมูลคำสั่งดังนี้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
BF	A	A	A	A	A	A	A

เป็นคำสั่งที่ใช้ในการอ่านแฟลก BUSY (BF) โดยแฟลกนี้จะเป็นตัวบอกสถานะของตัวควบคุมแอลซีดี ว่าพร้อมจะรับข้อมูลอยู่หรือไม่ถ้าหากบิต BF เป็น "0" แสดงว่าตัวควบคุมแอลซีดี พร้อมรับข้อมูลหรือคำสั่งแต่ถ้าเป็น "1" แสดงว่าขณะนี้ตัวควบคุมแอลซีดี ยังอยู่ในกระบวนการทำงานภายในหรือกำลังประมวลผลข้อมูลอยู่ยังไม่พร้อมรับข้อมูลหรือคำสั่ง

เมื่อต้องการอ่านแฟลกต้องกำหนดให้ขา $\overline{R/W}$ เป็น "1" ด้วย แต่สัญญาณที่ RS ยังต้องเป็น "0" อยู่ เพราะข้อมูลนี้เป็นข้อมูลคำสั่ง

นอกจากนี้ยังใช้เป็นคำสั่งอ่านข้อมูลแอดเดรสของ CGRAM และ DDRAM ด้วย โดยบิต 0 ถึง บิต 6 เป็นค่าข้อมูลของแอดเดรสที่ต้องการ

3) การเขียนคำสั่งและข้อมูลให้แก่โมดูลแอลซีดี

ในการเขียนข้อมูลเพื่อควบคุมให้โมดูลแอลซีดี แสดงผลตามที่ผู้ใช้งานต้องการต้องส่งคำสั่ง(Instruction) แล้วกำหนดโหมดการทำงานให้แก่โมดูลแอลซีดีก่อน จากนั้นจึงต้องส่งข้อมูล(Data) ที่ต้องการแสดงผลเนื่องจากบัสข้อมูลของโมดูลแอลซีดี มี 8 เส้นคือ D0-D7 และใช้เป็นทางผ่านของทั้งคำสั่งและข้อมูลดังนั้นในการส่งคำสั่งและข้อมูล จึงต้องอาศัยการกำหนดสัญญาณลอจิกที่ขา RS ถ้าหากที่ขา RS ได้ "0" หมายความว่าข้อมูลที่ป้อนให้แก่โมดูลแอลซีดี ขณะนั้นเป็นคำสั่งในทางตรงข้ามหากขา RS ได้รับ "1" ข้อมูลที่ป้อนให้ขณะนั้นเป็นข้อมูลที่ใช้ในการแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต้องการเขียนหรืออ่านข้อมูลใน CGRAM และ DDRAM เริ่มต้นต้องกำหนด แอดเดรส ที่ต้องการอ่านหรือเขียนก่อน โดยใช้คำสั่งเลือกแอดเดรสจากนั้นกำหนดให้ขา RS "1" เพื่อแจ้งให้ตัวควบคุมภายในโมดูลแอลซีดี ทราบว่าข้อมูลที่ปรากฏต่อไปนี้เป็นข้อมูลปกติไม่ใช่คำสั่ง

ในกรณีที่ต้องการอ่านข้อมูลต้องกำหนดให้ขา $\overline{R/W}$ เป็น "1" ข้อมูลขนาด 8 บิต (หรือ 4 บิต) ก็จะปรากฏบนบัสข้อมูลโดยข้อมูลที่อ่านออกมาได้เป็นข้อมูลจากแอดเดรสของ CGRAM หรือ DDRAM ตามที่ต้องการ

ในกรณีที่ต้องการเขียนข้อมูลเมื่อกำหนดแอดเดรสและป้อน"1" ให้ขา RS แล้วต้องกำหนดให้ขา $\overline{R/W}$ เป็น "0" ข้อมูลที่อยู่บนบัสข้อมูลจะถูกเขียนลงในรีจีสเตอร์ DR จากนั้นจึงถ่ายทอดลงใน DDRAM ต่อไป

4) จังหวะการทำงานของโมดูลแอลซีดี

ในการติดต่อกับโมดูลแอลซีดี จะต้องมีการหน่วงเวลาหลังจากที่ทำการส่งรหัสคำสั่งหรือข้อมูล เนื่องจากต้องรอให้คอนโทรลเลอร์ภายใน โมดูลแอลซีดี แปลความหมายของรหัสคำสั่งและทำงานตามคำสั่งให้เรียบร้อยก่อนจากนั้นจึงจะรับข้อมูลหรือดำเนินการต่อไป

ดังนั้นในการใช้งานโมดูลแอลซีดี ต้องมีการเขียนโปรแกรมเพื่อหน่วงเวลาเพื่อรอให้โมดูลแอลซีดี พร้อมทำงานด้วยโดยเมื่อเริ่มจ่ายไฟให้แก่โมดูลแอลซีดี ต้องรอประมาณ 10 มิลลิวินาที เพื่อให้โมดูลแอลซีดี ทำการเตรียมความพร้อมหรืออินิเชียล(Initial) หลังจากนั้นก็จะกำหนดลอจิกให้แก่ขา RS ของโมดูลแอลซีดี แล้วต้องหน่วงเวลาอีกประมาณ 2 มิลิวินาที เพื่อให้คอนโทรลเลอร์ ในโมดูลแอลซีดี แปลความหมายของลอจิกที่ขา RS ว่าข้อมูลต่อไปที่จะได้รับนั้น เป็นรหัสคำสั่ง หรือเป็นข้อมูลที่ต้องการแสดงผลจากนั้นจะเป็นการส่งข้อมูลมารอที่บัสข้อมูล D0-D7 (กรณีทำงานในโหมด 8 บิต) ขั้นตอนต่อไปจะเป็นการส่งพัลส์ไปที่ขา E เพื่ออินาเบิลโมดูลแอลซีดี ให้รับข้อมูลจากบัสข้อมูลเข้าไปโดยพัลส์ที่ป้อนเข้าที่ขา E ของโมดูลแอลซีดี ต้องเป็นพัลส์ของขาขึ้น จากนั้นทำการหน่วงเวลา 2 มิลลิวินาที

2.7 ไมโครคอนโทรลเลอร์ตระกูล MCS-51

ไมโครคอนโทรลเลอร์แบบชิฟเดี่ยว (Single Chip Microcontroller) คือไมโครคอมพิวเตอร์แบบที่มีขนาดเล็ก โดยบรรจุไว้ในแผงวงจรรวม (Integrated Circuit) เพียงชิฟเดียวเหมาะสำหรับงานควบคุมอุปกรณ์อื่นๆ เพราะผู้ใช้สามารถเขียนโปรแกรมควบคุมการทำงานได้ตามต้องการ

ข้อดีของไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีดังต่อไปนี้

1) สามารถนำเอาข้อมูลมา AND,OR หรือทำการ Complementary ทั้งแบบทีละ 8 บิตและ 1 บิต
2) สามารถใช้กับหน่วยความจำโปรแกรม (Program Memory) ซึ่งเป็นหน่วยความจำที่ใช้สำหรับเก็บโปรแกรมที่จะทำให้ MCS-51 ทำงานได้สูงสุด 64 กิโลไบต์ (Kilobyte) ทำให้เขียนโปรแกรมควบคุมการทำงานได้มาก
3) สามารถต่อกับหน่วยความจำข้อมูล (Data Memory) ซึ่งเป็นหน่วยความจำสำหรับเก็บข้อมูลในระหว่างการทำงานของโปรแกรมได้สูงสุด 64 กิโลไบต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง จุฬาลงกรณ์มหาวิทยาลัย

4) ใน 8051 และ 8751 มีหน่วยความจำสำหรับเก็บโปรแกรมจำนวน 4 กิโลไบต์ (ใน 8052 และ 8752 มีหน่วยความจำสำหรับเก็บโปรแกรมจำนวน 8 กิโลไบต์) อยู่ภายในวงจรรวมทำให้ไม่ต้องต่อหน่วยความจำโปรแกรมภายนอก ระบบรวมทั้งหมดจึงมีขนาดเล็กและสัญญาณรบกวนจากภายนอกจะทำให้ MCS-51 ทำงานผิดพลาดได้ยาก
5) มีพอร์ตแบบขนาน (Parallel Port) สำหรับข้อมูลเข้าและออกจำนวน 32 บิต โดยข้อมูลแต่ละบิตเป็นอิสระต่อกัน
6) มีวงจร Timer/Counter ขนาด 16 บิต 2 ชุด (8052 มี 3 ชุด) ที่ทำงานในโหมดต่างๆได้ถึง 4 โหมด
7) มี Universal Asynchronous Receiver Transmitter (UART) สำหรับรับส่งข้อมูลแบบอนุกรม (Serial Communication) แบบฟูลดูเพลกซ์ (Full Duplex) ที่สามารถเลือกรูปแบบการรับส่งข้อมูลได้ 4 แบบ
8) มีแหล่งกำเนิดสัญญาณขอขัดจังหวะการทำงานของโปรแกรม 6 แหล่ง ซึ่งโปรแกรมสามารถกระโดดไปทำงานตอบสนองการขัดจังหวะ (Interrupt Service Routine)ได้ต่างๆกัน 5 ตำแหน่ง
9) สามารถเลือกการทำงานให้อยู่ในโหมดของ Idle และ Power down ซึ่งจะประหยัดการใช้พลังงานในการทำงาน

การสื่อสารข้อมูลผ่านพอร์ตอนุกรมของไมโครคอนโทรลเลอร์ MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีวงจรสื่อสารอนุกรมแบบฟูลดูเพล็กซ์ 1 ชุด (วงจรสื่อสารแบบฟูลดูเพล็กซ์หมายถึงวงจรสื่อสารที่สามารถรับและส่งข้อมูลในลักษณะ 2 ทิศทางได้ในเวลาเดียวกัน) โดยใช้ขาสัญญาณของพอร์ต 3 คือขา P3.0 เป็นขารับข้อมูลเข้าหรือ RxD และขา P3.1 เป็นขาส่งข้อมูลออกหรือ TxD โดยวงจรสื่อสารข้อมูลแบบอนุกรมของไมโครคอนโทรลเลอร์ตระกูล MCS-51 จะใช้ในการติดต่อสื่อสารกับพอร์ตอนุกรมของคอมพิวเตอร์โดยใช้มาตรฐาน RS-232 โดยใช้ไอซีลักษณะพิเศษที่ทำหน้าที่ในการแปลงสัญญาณการสื่อสารดังกล่าว

รีจิสเตอร์ที่เกี่ยวข้องกับการทำงานของพอร์ตอนุกรมในMCS-51

ในการทำงานของพอร์ตอนุกรมในไมโครคอนโทรลเลอร์ MCS-51 มีรีจีสเตอร์ที่ต้องเกี่ยวข้องอยู่ 2 ตัว ดังมีรายละเอียดดังต่อไปนี้

รีจีสเตอร์บัฟเฟอร์ของพอร์ตอนุกรมหรือ SBUF (Serial data buffer register)

มีแอดเดรสอยู่ที่ 99H ในพื้นที่ของรีจีสเตอร์ฟังก์ชั่นพิเศษหรือ SFR มีขนาด 8 บิตมีการแบ่งเป็น 2 ส่วนคือรีจีสเตอร์บัฟเฟอร์สำหรับส่งข้อมูล (Transmit buffer register) และ รีจีสเตอร์บัฟเฟอร์สำหรับรับข้อมูล (Receiver buffer register) เมื่อมีการเขียนข้อมูลมายังรีจีสเตอร์ SBUF ข้อมูลนั้นจะถูกส่งไปยังบัฟเฟอร์สำหรับส่งข้อมูลเพื่อส่งออกจากไมโครคอนโทรลเลอร์ผ่านทางขา TxD หรือขา P3.1 ในกรณีที่มีการอ่านข้อมูลจากรีจีสเตอร์ SBUF ข้อมูลจะถูกส่งผ่านไปยัง รีจีสเตอร์บัฟเฟอร์สำหรับรับข้อมูลเพื่อส่งต่อไปยังไมโครคอนโทรลเลอร์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

42190

รีจีสเตอร์ควบคุมการทำงานของพอร์ตอนุกรม (SCON : Serial port control register)

เป็นรีจีสเตอร์ขนาด 8 บิตมีแอดเดรสอยู่ที่ 98H ในพื้นที่ของรีจีสเตอร์ SFR สามารถเข้าถึงได้ในระดับบิตมีรายละเอียดการทำงานดังนี้

บิต 7	บิต 6	บิต 5	บิต 4	บิต 3	บิต 2	บิต 1	บิต 0
SM0	SM1	SM2	REN	TB8	RB8	TI	RI

SM0-SM1 (Serial mort mode bit 0-1) : ใช้ในการเลือกโหมดการทำงานของพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS-51

SM2 : ใช้ในการอินาเบิลการสื่อสารในแบบมัลติโปรเซสเซอร์ (Multiprocessor) ในการทำงานของโหมด 2 และ3 ของพอร์ตอนุกรม

REN (Enable serial reception) : ใช้ในการอินาเบิลการรับข้อมูลของพอร์ตอนุกรมโดยทำการเซตและเคลียร์ข้อมูลด้วยกระบวนการทางซอฟต์แวร์

TB8 : ใช้สำหรับเก็บข้อมูลบิตที่ 9 ที่ต้องการส่งออกไปในการทำงานโหมด 2 และ 3 ของพอร์ตอนุกรม

RB8 : ใช้สำหรับรับข้อมูลบิตที่ 9 ที่เข้ามาในการทำงานโหมด 2 และ 3 ของพอร์ตอนุกรมแต่ถ้าหากพอร์ตอนุกรมทำงานอยู่ในโหมด 1 และบิต SM2 เป็น "0" ข้อมูลที่บิต RB8 คือข้อมูลของบิตหยุด (Stop Bit) สำหรับในการทำงานโหมด 0 บิตนี้จะไม่ใช้งาน

TI (Transmit interrupt flag) : ใช้ในการแสดงการเกิดอินเตอร์รัพต์เมื่อมีการส่งข้อมูลออกจากพอร์ตอนุกรมเมื่อทำการส่งข้อมูลบิตที่ 8 ไปเรียบร้อยแล้วในการทำงานโหมด 0 ส่วนในการทำงานโหมดอื่น บิตนี้จะเซตเมื่อมีการเริ่มต้นส่งบิตหยุดออกไป การเคลียร์บิตนี้ต้องใช้กระบวนการทางซอฟต์แวร์เท่านั้น

RI (Receiver interrupt flag) : ใช้ในการแสดงการเกิดอินเตอร์รัพต์เมื่อมีการรับข้อมูลเข้าสู่พอร์ตอนุกรม เมื่อทำการรับข้อมูลบิตที่ 8 เรียบร้อยแล้วในการทำงานโหมด 0 ส่วนในการทำงานโหมดอื่นบิตนี้จะเซตเมื่อมีการรับบิทหยุดของข้อมูลอนุกรมไปได้ครึ่งทางแล้ว ยกเว้นในกรณีที่บิต SM2 มีการเซตบิตนี้จะเซตได้ก็ต่อเมื่อการรับบิตหยุดที่ 9 เกิดขึ้นอย่างสมบูรณ์แล้ว

โหมดการทำงานของพอร์ตอนุกรมใน MCS-51

พอร์ตอนุกรมในไมโครคอนโทรลเลอร์ MCS-51 สามารถเลือกโหมดการทำงานได้ 4 โหมดคือ

1. **โหมด 0 เป็นการกำหนดให้พอร์ตอนุกรมทำงานในลักษณะชิฟต์รีจีสเตอร์**
2. **โหมด 1 เป็นการกำหนดให้เป็น UART ขนาด 8 บิตสามารถเลือกอัตราบอดได้**
3. **โหมด 2 เป็นการกำหนดให้ UART ขนาด 9 บิตมีอัตราบอดคงที่**
4. **โหมด 3 เป็นการกำหนดให้ UART ขนาด9 บิตสามารถเลือกอัตราบอดได้**

การเลือกโหมดการทำงานของวงจรพอร์ตอนุกรมในไมโครคอนโทรลเลอร์ MCS-51 กระทำได้โดยการกำหนดข้อมูลให้แก่บิต SM0 และ SM1 ในรีจีสเตอร์ SCON

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การบริการอินเตอร์รัพต์จากภายนอกของไมโครคอนโทรลเลอร์

การอินเตอร์รัพต์ (Interrupt) หมายถึง การขัดจังหวะการทำงานปกติของไมโครคอนโทรลเลอร์ ในไมโครคอนโทรลเลอร์ MCS-51 สามารถตอบสนองแหล่งกำเนิดอินเตอร์รัพต์ได้ถึง 5 แหล่งกำเนิด ประกอบด้วย การรับสัญญาณอินเตอร์รัพต์จากภายนอกผ่านทางขา INT0 และ INT1 สัญญาณอินเตอร์รัพต์จากไทเมอร์/เคอน์เตอร์ T0 และ T1 และสัญญาณอินเตอร์รัพต์จากพอร์ตอนุกรมภายในไมโครอนโทรลเลอร์

เมื่อมีการอินเตอร์รัพต์เกิดขึ้นและมีการอินาเบิลการตอบสนองการอินเตอร์รัพต์ไว้ CPU จะทำการกระโดดไปยังแอดเดรส ที่เรียกว่าแอดเดรสอินเตอร์รัพต์เวกเตอร์ (Interrupt vector address) ดังนั้นจะต้องมีการเขียนโปรแกรมย่อยการบริการอินเตอร์รัพต์ไว้ที่แอดเดรสอินเตอร์รัพต์เวกเตอร์นี้ โดยค่าของแอดเดรสอินเตอร์รัพต์เวกเตอร์จะแตกต่างกันไปในการอินเตอร์รัพต์แบบต่าง ๆ ดังรายละเอียดต่อไปนี้

การอินเตอร์รัพต์จากภายนอกที่ขา INT0 มีค่าแอดเดรสอินเตอร์รัพต์เวกเตอร์อยู่ที่ 0003H

การอินเตอร์รัพต์จากไทเมอร์ 0 มีค่าแอดเดรสอินเตอร์รัพต์เวกเตอร์ อยู่ที่ 000BH

การอินเตอร์รัพต์จากภายนอกที่ขา INT1 มีค่าแอดเดรสอินเตอร์รัพต์เวกเตอร์ อยู่ที่ 0013H

การอินเตอร์รัพต์จากไทเมอร์ 1 มีค่าแอดเดรสอินเตอร์รัพต์เวกเตอร์ อยู่ที่ 001BH

การอินเตอร์รัพต์จากพอร์ตอนุกรมมีค่าแอดเดรสอินเตอร์รัพต์เวกเตอร์ อยู่ที่ 0023H

การอินเตอร์รัพต์จากไทเมอร์ 2 มีค่าแอดเดรสอินเตอร์รัพต์เวกเตอร์ อยู่ที่ 002BH

ขั้นตอนการบริการอินเตอร์รัพต์

1. ทำการอินาเบิลการตอบสนองการอินเตอร์รัพต์ทั้งระบบด้วยการเซตบิต EA ที่รีจีสเตอร์ IE

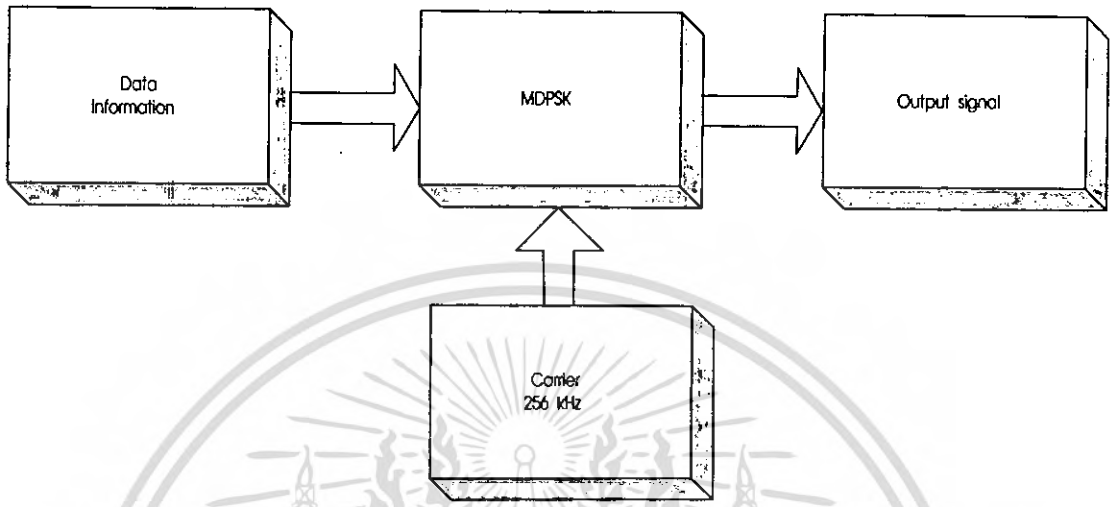
2. จากนั้นเลือกอินาเบิลการตอบสนองอินเตอร์รัพต์จากแหล่งกำเนิดต่าง ๆที่บิต 0 ถึงบิต 5 ในรีจีสเตอร์ IE โดยผู้ใช้งานสามารถเลือกได้อย่างอิสระ หรือจะทำการอินาเบิลเพื่อให้ตอบสนองการอินเตอร์รัพต์จากทุกแหล่งกำเนิดก็ได้ การอินาเบิลทำได้โดยการเซตบิตที่ต้องการให้เป็น "1" ยกตัวอย่างต้องการอินาเบิลการตอบสนองอินเตอร์รัพต์จากสัญญาณภายนอกที่ขา INT0 และ INT1 ให้ทำการเซตบิต EX0 และ EX1 ซึ่งก็คือบิต 2 และบิต 0 ในรีจีสเตอร์ IE

3. จากนั้นทำการเขียนโปรแกรมบริการอินเตอร์รัพท์ โดยต้องมีแอดเดรสเริ่มต้นตรงกับค่าแอดเดรสอินเตอร์รัพต์เวกเตอร์ของการอินเตอร์รัพต์แบบต่างๆ จากขั้นตอนก่อนหน้านี้เลือกตอบสนองการอินเตอร์รัพต์จากภายนอกทั้งที่ขา INT0 และ INT1 ดังนั้นค่าแอดเดรสอินเตอร์รัพต์เวกเตอร์ซึ่งเป็นแอดเดรสเริ่มต้นของโปรแกรมบริการอินเตอร์รัพต์ทั้ง 2 โปรแกรมจึงเท่ากับ 0003H และ 0013H ตามลำดับ

4.หลังจากที่เกิดการอินเตอร์รัพต์แล้ว ต้องทำการดิสเอเบิลการตอบสนองอินเตอร์รัพต์ที่เพิ่งเกิดขึ้น ทั้งนี้เพื่อป้องกันการอินเตอร์รัพต์ซ้อนในเงื่อนไขเดียวกัน

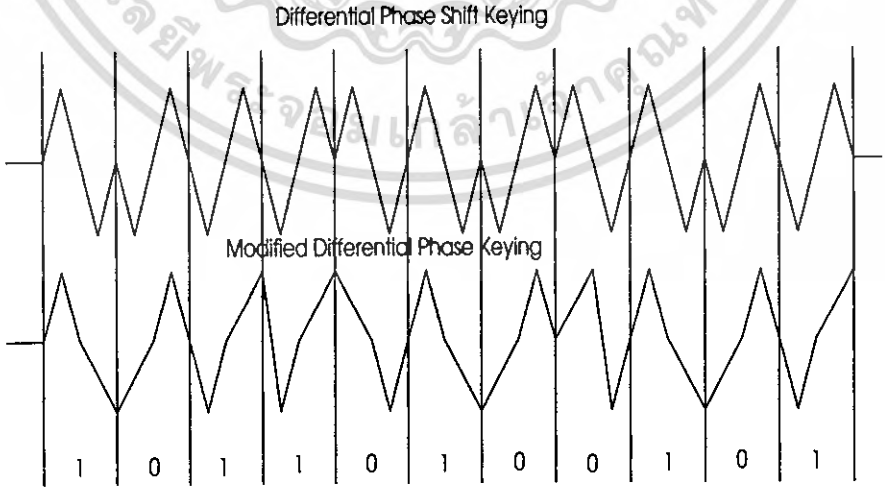
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 หลักการมอดูเลชั่นแบบ Modified Differential Phase Shift Keying (MDPSK)



รูปที่ 2.10 แสดงแผนผังหลักการมอดูเลชั่นแบบ MDPSK

MDPSK waveform ของสัญญาณจะทำการปรับปรุงมาจาก DPSK ดังแสดงในรูปที่ 2.11 จะเห็นได้ว่าเฟสของสัญญาณ DPSK ในช่วงครึ่ง cycle หลัง จะถูกแทนที่ด้วย waveform ที่มีความถี่เท่ากับ 128 kHz สำหรับข้อมูลที่มีลอจิกเป็น "1" และในช่วงครึ่ง cycle แรกถูกแทนที่ด้วย waveform ที่มีความถี่เท่ากับ 128 kHz สำหรับข้อมูลที่มีลอจิกเป็น "0" นอกจากนั้น waveform ของสัญญาณก็ยังคงเป็นไปตาม DPSK



รูปที่ 2.11 แสดงลักษณะสัญญาณแบบ MDPSK เปรียบเทียบกับ DPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

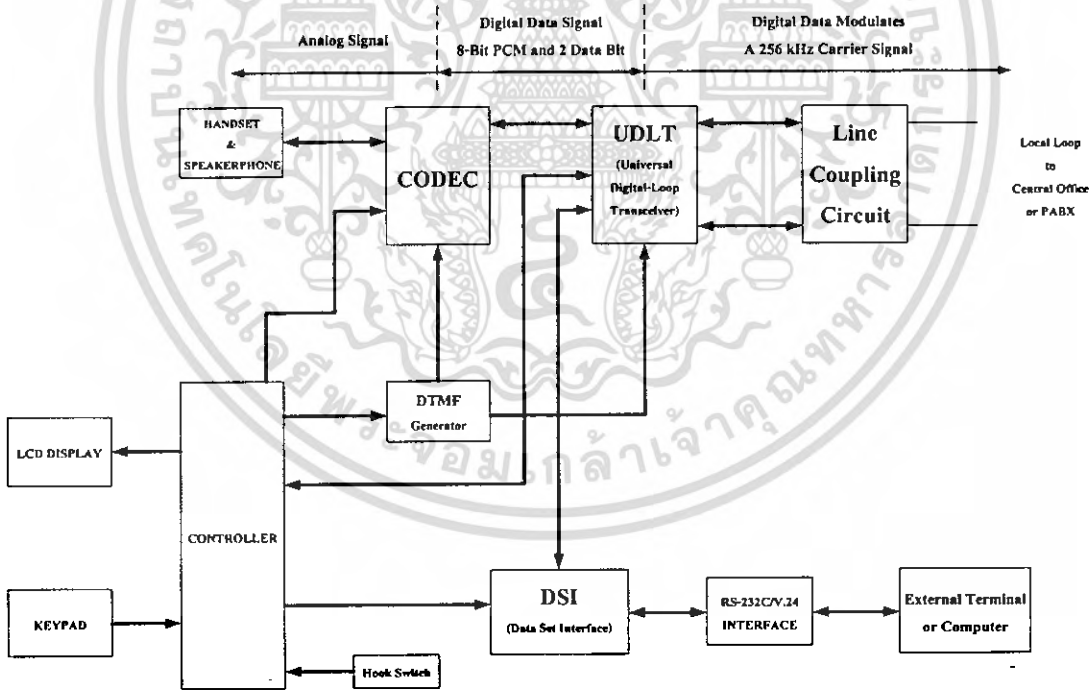
บทที่ 3
การออกแบบ การสร้าง และ การทำงาน

3.1 กล่าวนำ

การออกแบบ การสร้าง และการทำงานในบทนี้ จะเกี่ยวกับทางด้านฮาร์ดแวร์และซอร์ฟแวร์ ซึ่งจะแบ่งออกเป็นส่วนๆ ได้ดังต่อไปนี้

1. ภาคควบคุม (Controller)
2. ภาคกำเนิดสัญญาณความถี่คู่ผสม (DTMF Generator)
3. ภาคเชื่อมต่อกับคอมพิวเตอร์และเทอร์มินอล (Data Set Interface)
4. ภาคเข้ารหัสและถอดรหัส (CODEC)
5. ภาคเชื่อมต่อกับโลคัลลูปแบบ 2 สาย(UDLT : Universal Digital - Loop Transceiver)

ซึ่งส่วนต่างๆ ที่ได้กล่าวมานี้ สามารถแสดงได้ดังในรูปที่ 3.1



รูปที่ 3.1 แสดงบล็อกไดอะแกรมของเครื่องรับโทรศัพท์ดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงานของทั้ง 5 ส่วนในข้างต้น จะถูกควบคุมการทำงานในภาคควบคุมเป็นส่วนใหญ่ และมีภาคแหล่งจ่ายไฟเป็นตัวป้อนพลังงานไฟฟ้าให้กับทุกๆ ภาค การออกแบบและหลักการทำงานในแต่ละภาคจะเป็นดังต่อไปนี้

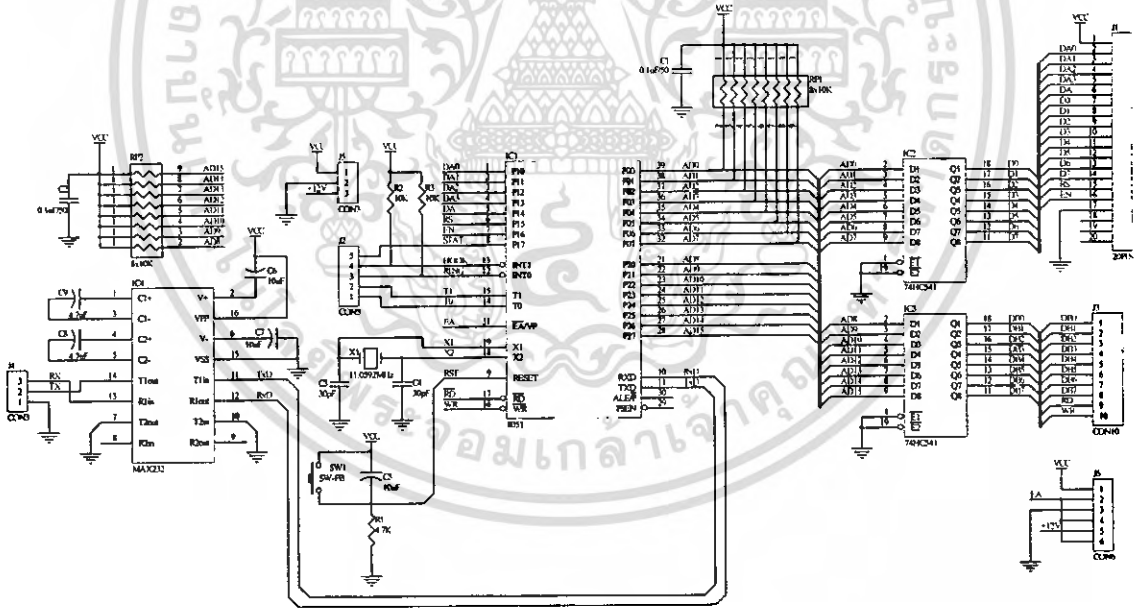
3.2 ภาคควบคุม

3.2.1 หลักการทำงาน

ภาคควบคุมทำหน้าที่ในการควบคุมและตรวจสอบสภาวะการทำงานของภาคต่าง ๆ โดยใช้การป้อนข้อมูลหรือเลขหมายผ่านทางคีย์แพด (Keypad) และแสดงผลออกทางจอแสดงผลแอลซีดี การควบคุมการทำงานจะกระทำผ่านตัวไมโครคอนโทรลเลอร์โดยตรงซึ่งจะอาศัยโปรแกรมในหน่วยความจำสำหรับโปรแกรมในการทำงาน

3.2.2 การออกแบบ

ในโครงงานนี้จะใช้ไมโครคอนโทรลเลอร์ตระกูล MCS-51 เบอร์ 89C51RD+ เป็นตัวควบคุมการทำงาน หน่วยความจำโปรแกรมภายใน 64 กิโลไบท์ หน่วยความจำข้อมูลภายใน 1กิโลไบท์ โมดูลแอลซีดีขนาด 16 ตัวอักษร 2 บรรทัด เป็นส่วนประกอบสำคัญในการสร้างวงจรควบคุมดังรูปที่ 3.2



รูปที่ 3.2 แสดงวงจรควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ภาคกำเนิดความถี่คู่ผสม

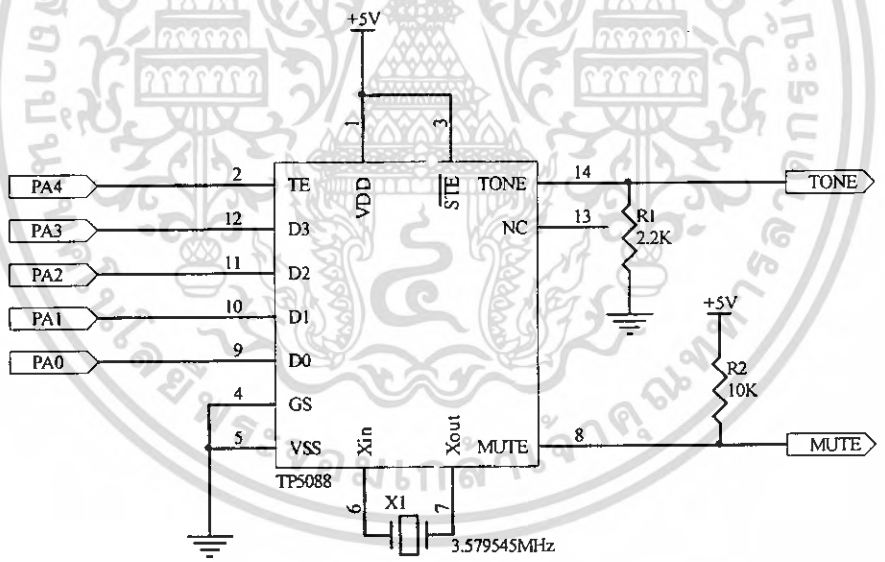
ภาคกำเนิดความถี่คู่ผสม จะทำหน้าที่กำเนิดสัญญาณความถี่คู่ผสมที่สอดคล้องกับหมายเลขที่การกด โดยที่จะมีความถี่ต่ำและความถี่สูงถูกกำเนิดออกมา

3.3.1 หลักการทำงาน

จะต้องมีสัญญาณลอจิก 1 จากภาคควบคุมมากระตุ้นที่ขา 2 (Tone Enable) ของ TP 5088 และเมื่อทำการกดหมายเลขโทรศัพท์ก็จะมีความถี่สูงและความถี่ต่ำถูกกำเนิดออกมา เช่น หมายเลข 5 ภาคควบคุมก็จะส่งข้อมูลไบนารี 0101 มาที่ D3,D2,D1,D0 ตามลำดับ โดยจะส่งผลทำให้ ไอซีเบอร์ TP 5088 กำเนิดสัญญาณความถี่คู่ผสมออกมา ตามค่าที่ได้ดังในตารางที่ 3.1 โดยจะเป็นการบวกกันทางขนาดของสัญญาณทั้งสอง

3.3.2 การออกแบบ

เลือกใช้ไอซีเบอร์ TP 5088 ของบริษัทเนชั่นแนล ซึ่งมีทั้งหมด 14 ขาใช้คริสตอล 3.579545 เมกกะเฮิรตซ์เป็นตัวกำเนิดความถี่ โดยจะทำการกำเนิดความถี่ตามที่กดหมายเลขที่หน้าปัทม์ของโทรศัพท์เป็นความถี่คู่ผสมออกมาให้สอดคล้องกับตัวเลขที่ทำการกด ซึ่งจะเห็นได้ดังรูปที่ 3.3 และตารางที่ 3.1



รูปที่ 3.3 วงจรกำเนิดสัญญาณความถี่คู่ผสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Keypad	Data Inputs				Tone Enable	Tone Out		Mute
	D 3	D 2	D 1	D 0		f_L (Hz)	f_H (Hz)	
x	x	x	x	x	0	0	0	0
1	0	0	0	1	1	697	1209	1
2	0	0	1	0	1	697	1336	1
3	0	0	1	1	1	697	1477	1
4	0	1	0	0	1	770	1209	1
5	0	1	0	1	1	770	1336	1
6	0	1	1	0	1	770	1477	1
7	0	1	1	1	1	852	1209	1
8	1	0	0	0	1	852	1336	1
9	1	0	0	1	1	852	1477	1
0	1	0	1	0	1	941	1336	1
*	1	0	1	1	1	941	1209	1
#	1	1	0	0	1	941	1477	1
A	1	1	0	1	1	697	1633	1
B	1	1	1	0	1	770	1633	1
C	1	1	1	1	1	852	1633	1
D	0	0	0	0	1	941	1633	1

ตารางที่ 3.1 ตารางแสดงความสัมพันธ์ระหว่างความถี่คู่ผสมกับหมายเลขที่ทำการกด

3.4 ภาคอินเตอร์เฟสข้อมูล (Data Set Interface)

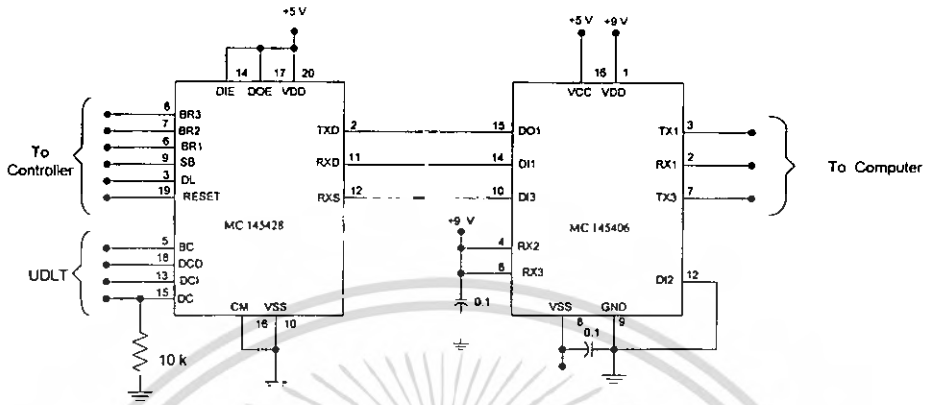
ใช้สำหรับการอินเตอร์เฟสข้อมูลที่ได้มาจากคอมพิวเตอร์และเทอร์มินอลที่นำมาต่อ เพื่อให้ทำการส่งข้อมูลผ่านคู่สายโทรศัพท์โดยอาศัยเครื่องโทรศัพท์ได้

3.4.1 การออกแบบ

ในที่นี้เลือกใช้ไอซีเบอร์ MC 145428 ที่ทำหน้าที่แปลงรูปแบบการส่งข้อมูลจากอะซิงโครนัสเป็นแบบซิงโครนัส สำหรับข้อมูลที่ถูกส่งมาจากคอมพิวเตอร์หรือเทอร์มินอลสู่เครื่องรับโทรศัพท์ดิจิตอล และในทางกลับกันก็ทำการแปลงจากรูปแบบข้อมูลที่เป็นแบบซิงโครนัสไปเป็นแบบอะซิงโครนัส สำหรับการรับข้อมูลจากเครื่องรับโทรศัพท์ดิจิตอลไปสู่เครื่องคอมพิวเตอร์และเทอร์มินอลต่อไป โดยทำงานร่วมกันกับไอซีเบอร์ MC 145406 ซึ่งเป็นอุปกรณ์ที่สำคัญในส่วนนี้ โดยจะทำหน้าที่เป็นตัวขับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และรับข้อมูลระหว่างชุดอินเตอร์เฟสข้อมูลกับคอมพิวเตอร์หรือเทอร์มินอล โดยการอินเตอร์เฟสข้อมูลจะอาศัยมาตรฐานของ RS-232E/V.28 ซึ่งวงจรของภาคอินเตอร์เฟสข้อมูลแสดงดังรูปที่ 3.4



รูปที่ 3.4 แสดงวงจรอินเตอร์เฟสข้อมูล

3.4.2 หลักการทำงาน

จะทำการอินเตอร์เฟสคอมพิวเตอร์หรือเทอร์มินอลเข้ากับเครื่องโทรศัพท์ดิจิตอล โดยมีส่วนของไอซีอินเตอร์เฟสข้อมูล (DSI) และ RS-232E/V.28 เป็นวงจรอินเตอร์เฟส ซึ่งชุดอินเตอร์เฟสข้อมูลนี้จะทำการแปลงการส่งข้อมูลแบบอะซิงโครนัสจากคอมพิวเตอร์หรือเทอร์มินอล ไปเป็นรูปแบการส่งข้อมูลแบบซิงโครนัส เพื่อใช้กับการส่งข้อมูลผ่านโทรศัพท์ดิจิตอล และในทางกลับกันก็ทำการแปลงจากแบบซิงโครนัสไปเป็นแบบอะซิงโครนัส เพื่อส่งข้อมูลให้คอมพิวเตอร์หรือเทอร์มินอลที่นำมาต่อ

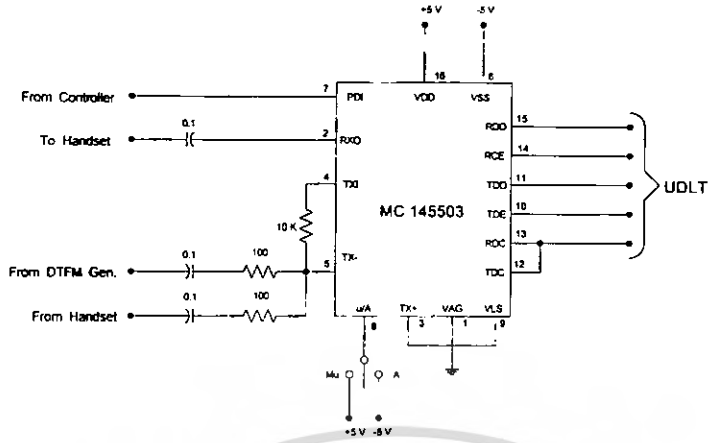
3.5 ภาคเข้ารหัสและถอดรหัส หรือภาคโคเดค (CODEC)

จะใช้ในการแปลงสัญญาณจากสัญญาณแอนาลอก ไปเป็นสัญญาณดิจิตอล โดยอาศัยหลักการของการทำพีซีเอ็ม และในทางกลับกันก็ทำการแปลงสัญญาณจากสัญญาณดิจิตอล ไปเป็นสัญญาณแอนาลอกตามเดิม โดยอาศัยหลักการของการทำดีพีซีเอ็ม โดยที่อุปกรณ์ตัวนี้จะทำการเปลี่ยนสัญญาณเสียงไปเป็นสัญญาณดิจิตอล และในทางกลับกันก็จะทำการเปลี่ยนจากสัญญาณดิจิตอลไปเป็นสัญญาณเสียงตามเดิม

3.5.1 การออกแบบ

การออกแบบวงจรในส่วนนี้จะอาศัยการทำงานของไอซีเบอร์ MC 145503 ซึ่งทำหน้าที่เป็น PCM Codec-Filter Mono-Circuit เป็นองค์ประกอบหลักในการทำงานทั้งหมด ซึ่งวงจรที่ทำการออกแบบมาใช้งาน แสดงให้เห็นดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงวงจรของภาคเข้ารหัสและถอดรหัส

3.5.2 หลักการทำงาน

ภายในตัวไอซีเบอร์ MC 145503 จะทำหน้าที่เป็นตัวเข้ารหัสและถอดรหัสสัญญาณในตัวเดียวกัน หรืออีกนัยหนึ่งก็คือ จะทำการการเปลี่ยนสัญญาณเสียงไปเป็นสัญญาณดิจิตอล และในทางกลับกันก็จะทำการเปลี่ยนจากสัญญาณดิจิตอลไปเป็นสัญญาณเสียงตามเดิม โดยที่สัญญาณเสียงที่ป้อนเข้ามาก็คือสัญญาณเสียงที่เราพูดผ่านปากพูด หรือไมโครโฟนแบบคอนเดนเซอร์ (condenser microphone) และอีกสัญญาณหนึ่งก็คือสัญญาณความถี่คู่ผสมที่เราทำการกดหมายเลขโทรศัพท์นั่นเอง โดยสัญญาณทั้งสองจะถูกทำพีซีเอ็ม และส่งต่อไปที่กาดยูดีแอลทีต่อไป ส่วนในตอนที่รับสัญญาณดิจิตอลมาจากภาคยูดีแอลที ก็จะทำการเปลี่ยนสัญญาณไปเป็นสัญญาณแอนาลอก และส่งออกไปที่หูฟังหรือลำโพงต่อไป

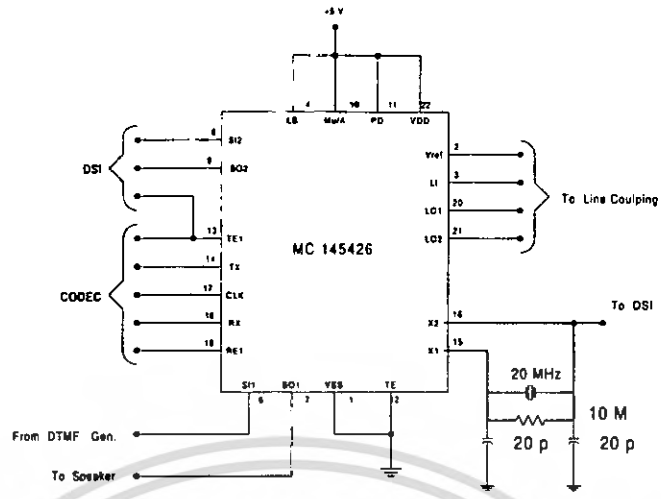
3.6 ภาคยูดีแอลที (UDLT)

UDLT ย่อมาจาก Universal Digital-Loop Transceivers ซึ่งภาคนี้จะมีความสำคัญมาก โดยจะเป็นภาคที่รวมสัญญาณทุกสัญญาณที่รับเข้ามา (สัญญาณเสียง / ข้อมูล) ทำการมอดูเลทสัญญาณและส่งผ่านคู่สายโทรศัพท์ ในการรับสัญญาณก็จะทำการดีมอดูเลทเอาสัญญาณเสียงหรือข้อมูลกลับคืนมา

3.6.1 การออกแบบ

การออกแบบโดยใช้ไอซีเบอร์ MC 145426 ซึ่งทำหน้าที่เป็น Universal Digital-Loop Transceivers ตามที่ต้องการ โดยจะรับสัญญาณจากภาคโคเดค และภาคอินเตอร์เฟสข้อมูล โดยวงจรที่ใช้ในการทำงานในภาคนี้จะเห็นได้ดังในรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจรของภาคยูดีแอลที

3.6.2 หลักการทำงาน

ซึ่งการทำงานของไอซีเบอร์ MC 145426 จะทำหน้าที่รับ-ส่งข้อมูลความเร็วสูงถึง 80 kbps เป็นการสื่อสารแบบดูเพล็กซ์เต็ม (full duplex) โดยส่งผ่านสายเคเบิลคู่ตีเกลียว (twisted-pair cable) ได้ไกลถึง 2 กิโลเมตร ซึ่งอาศัยเทคนิคการโมดูเลทแบบ เอ็มดีพีเอสเค (MDPSK : Modified Differential Phase Shift Keying) โดยการทำงานจะสอดคล้องกับสถาปัตยกรรมทางด้านฮาร์ดแวร์และซอฟแวร์ของสวิตชิ่งโทรศัพท์ (telephone switching) ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 กล่าวนำ

หลังจากที่ได้ศึกษาถึงรายละเอียดทางด้านทฤษฎี การออกแบบและหลักการทำงานของชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอลแล้ว ในส่วนของบทนี้จะได้กล่าวถึงการทดลองโดยจะแบ่งการทดลองออกเป็นแต่ละภาคการทำงานเพื่อศึกษาถึงการทำงานของภาคต่างๆว่ามีการทำงานเป็นอย่างไรและถูกต้องหรือไม่ โดยมีเครื่องมือที่ใช้ในการทดลองดังนี้

- Oscilloscope
- Function Generator
- Power Supply
- Digital Multimeter or Analog Multimeter

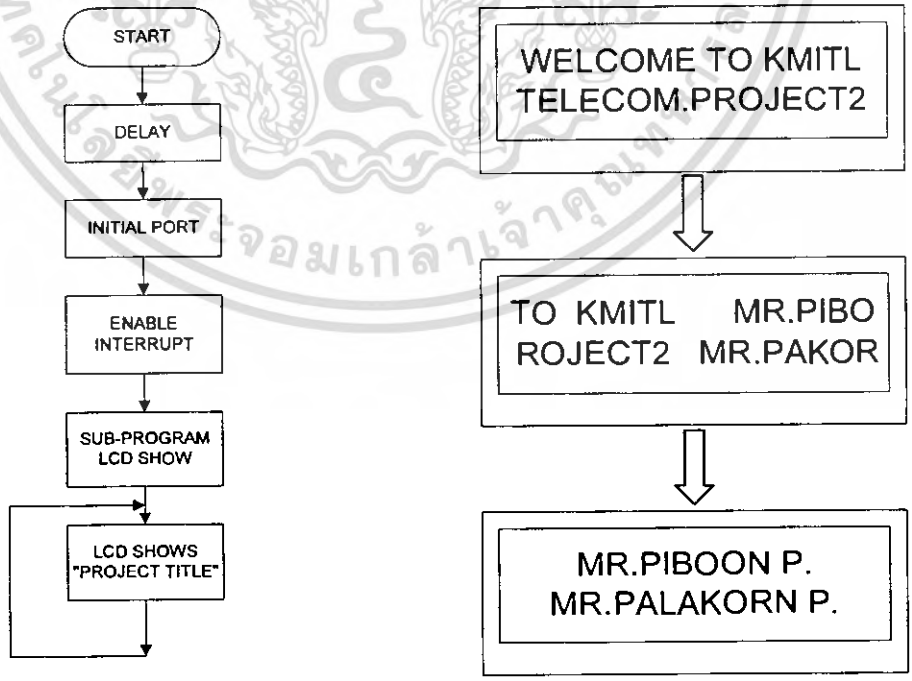
วิธีการทดลองและผลที่ได้จากการทดลองจะเป็นดังต่อไปนี้

4.2 ภาคควบคุม (Controller)

4.2.1 ลำดับขั้นการทดลอง

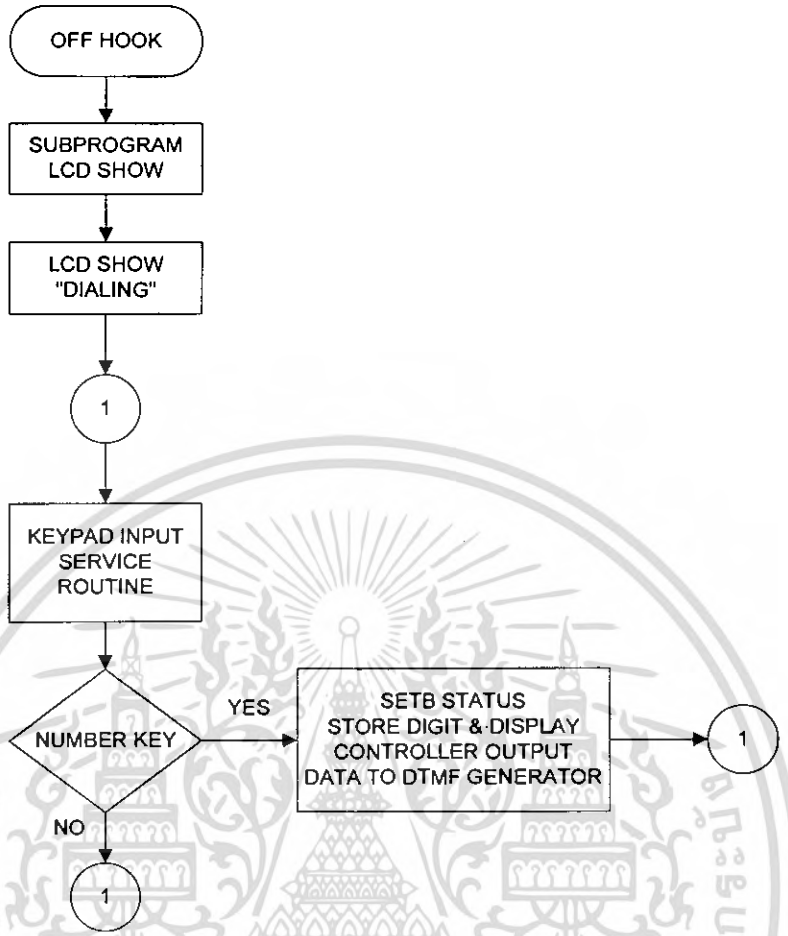
1) เขียนลำดับผังงาน
2) เขียนโปรแกรมตามลำดับผังงาน
3) ทดลองโปรแกรมตามลำดับผังงาน

4.2.2 ผลการทดลอง

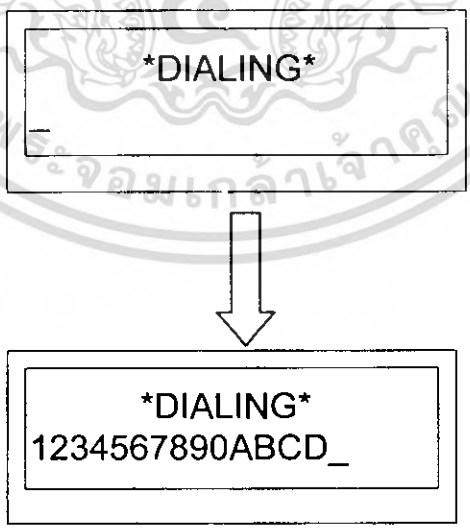


รูปที่ 4.1 แสดงแผนผังลำดับงานหลักและผลลัพธ์ที่ปรากฏบนจอแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงแผนผังลำดับงานย่อยเมื่อยกหูโทรศัพท์และกดเลขหมาย



รูปที่ 4.3 แสดงผลลัพธ์ที่ปรากฏบนจอแสดงผลเมื่อกดเลขหมาย

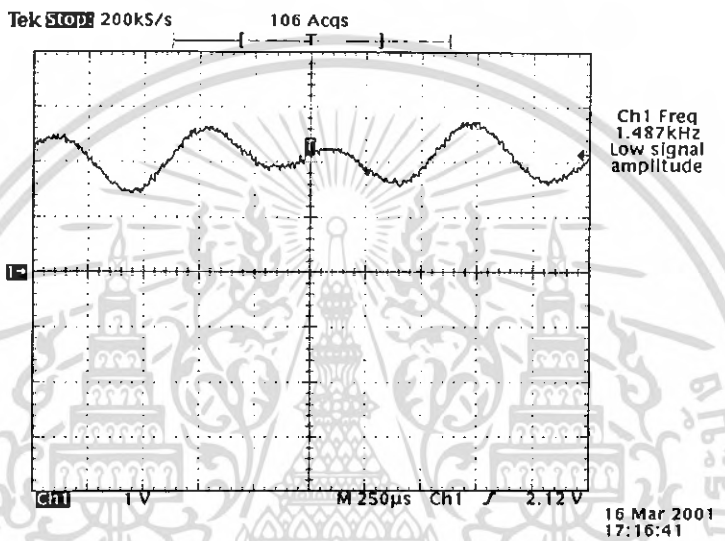
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ภาคกำเนิดสัญญาณความถี่คู่ผสม (DTMF Generator)

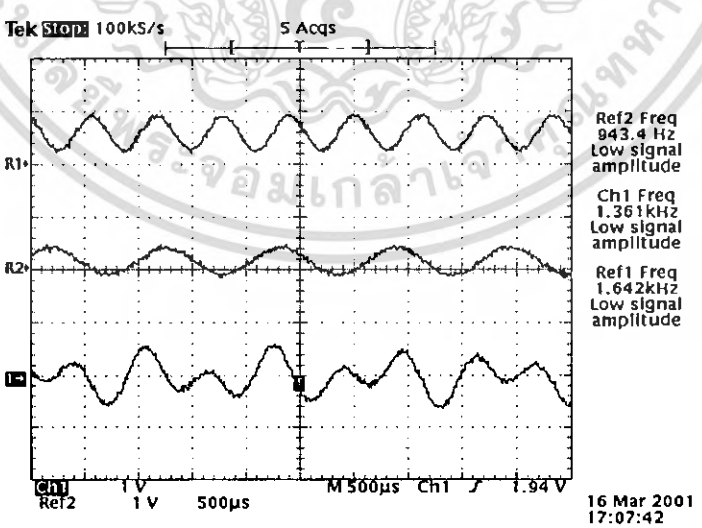
4.3.1 ลำดับขั้นการทดลอง

1) ต่อวงจรตามรูปที่ 3.3
2) ต่อวงจรกำเนิดสัญญาณความถี่คู่ผสมเข้ากับแหล่งกำเนิดสัญญาณลอจิก
3) ป้อนสัญญาณลอจิกให้กับวงจรกำเนิดสัญญาณความถี่คู่ผสมตามค่าในตารางที่ 3.1
4) บันทึกผลการทดลองที่ได้

4.3.2 ผลการทดลอง

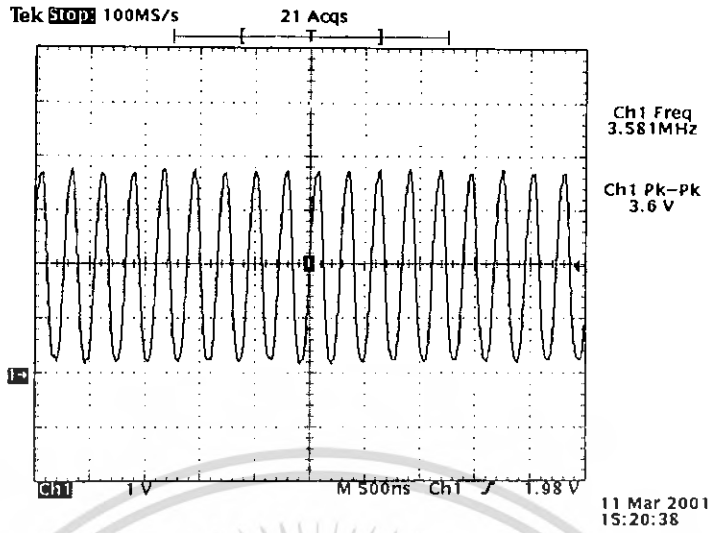


รูปที่ 4.4 แสดงสัญญาณความถี่คู่ผสมเมื่อกดคีย์ D



รูปที่ 4.5 แสดงสัญญาณความถี่คู่ผสม ซึ่งเกิดจากความถี่ 2 ความถี่รวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 แสดงสัญญาณนาฬิกา 3.579545 MHz ที่ใช้กับวงจรกำเนิดสัญญาณความถี่คู่ผสม

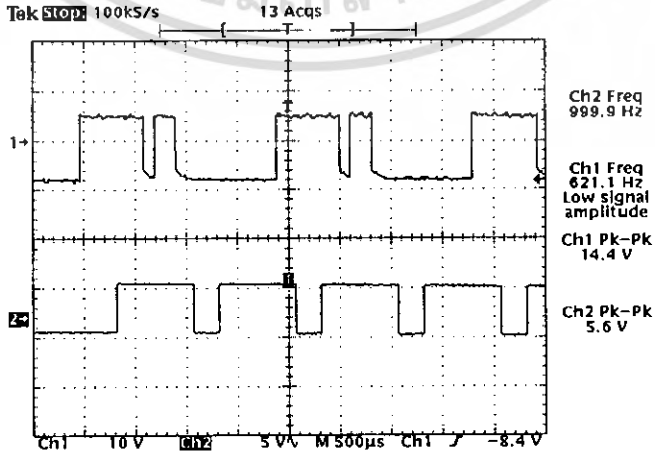
จากการทดลองจะพบว่า สัญญาณความถี่คู่ผสม เกิดจากการรวมกันของกลุ่มสัญญาณความถี่สูง รวมกับกลุ่มสัญญาณความถี่ต่ำ ดังรูปที่ 4.5 ซึ่งสัญญาณที่อยู่บนสุดเป็นสัญญาณความถี่สูง สัญญาณตรงกลางเป็นสัญญาณความถี่ต่ำ และสัญญาณล่างสุดของรูปเป็นสัญญาณความถี่คู่ผสม และเมื่อทำการทดลองต่อไปจะพบว่าสัญญาณที่ได้จะเป็นไปตามตารางที่ 3.1

4.4 ภาคอินเตอร์เฟสข้อมูล (Data Set Interface)

4.4.1 ลำดับขั้นการทดลอง

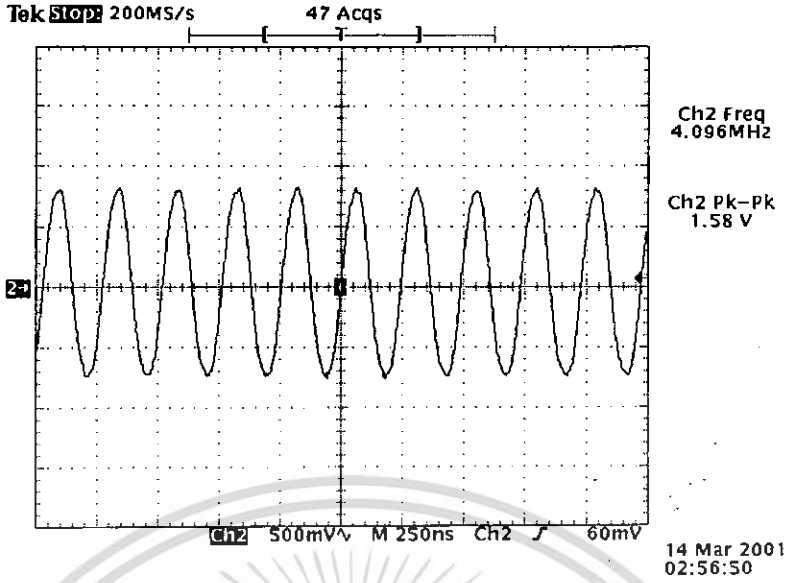
1) ต่อวงจรตามรูปที่ 3.4 และต่อเข้ากับวงจรในรูปที่ 3.6
2) ป้อนข้อมูลให้กับวงจรโดยผ่านทางพอร์ทอนุกรม
3) บันทึกผลการทดลองที่ได้

4.4.2 ผลการทดลอง



รูปที่ 4.7 แสดงสัญญาณอินพุทจากคอมพิวเตอร์เทียบกับสัญญาณเอาท์พุทของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดงสัญญาณนาฬิกาความถี่ 4.096 MHz ที่ใช้กับวงจร

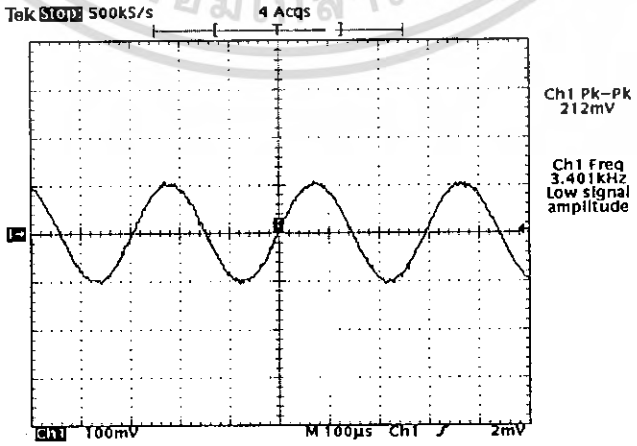
จากการทดลองพบว่าสัญญาณที่ป้อนเข้ามาทางด้านอินพุทเป็นสัญญาณอะซิงโครนัส (Asynchronous) เมื่อผ่านภาคอินเตอร์เฟสข้อมูล แล้วจะถูกเปลี่ยนเป็นสัญญาณซิงโครนัส (Synchronous) ทางด้านเอาท์พุท เพื่อป้อนไปที่ภาคยูดีแอลที ต่อไป

4.5 ภาคเข้ารหัสและถอดรหัส (Coder and Decoder : CODEC)

4.5.1 ลำดับขั้นการทดลอง

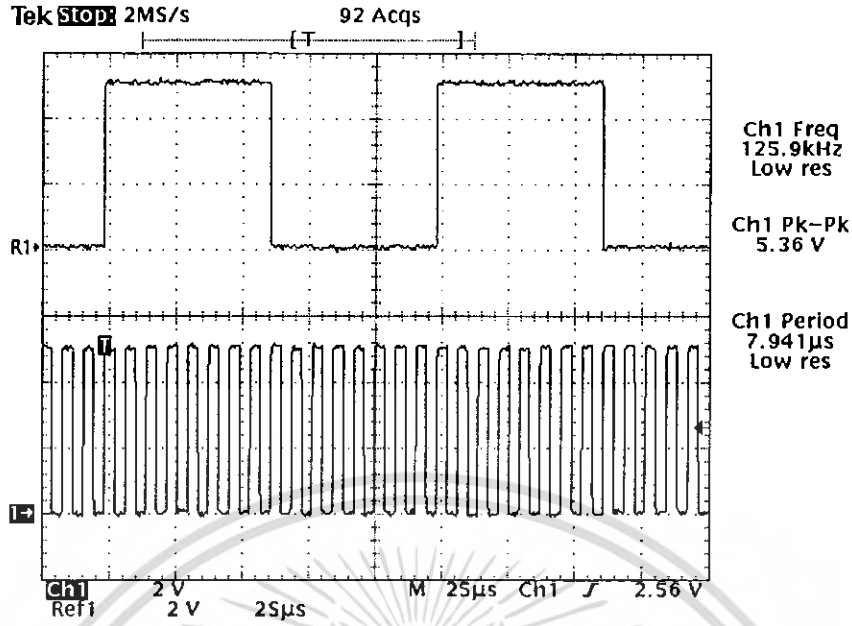
1) ต่อวงจรตามรูปที่ 3.5 และต่อเข้ากับวงจรในรูปที่ 3.6
2) ป้อนสัญญาณอินพุทให้กับวงจร
3) บันทึกผลการทดลอง

4.5.2 ผลการทดลอง



รูปที่ 4.9 แสดงสัญญาณเสียงอินพุทความถี่ 3.4 kHz

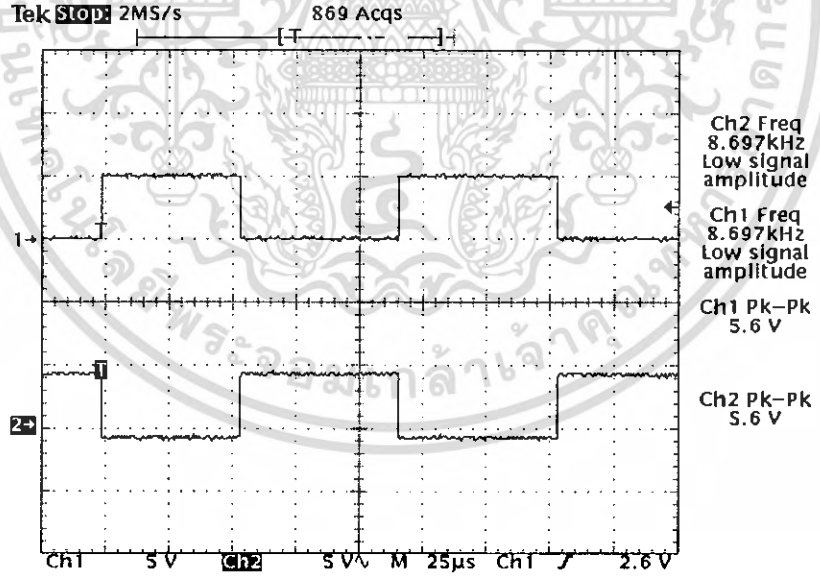
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 แสดงสัญญาณ TDE และ TDC/RDC

รูปบนเป็นสัญญาณ TDE

รูปล่างเป็นสัญญาณ TDC หรือ RDC

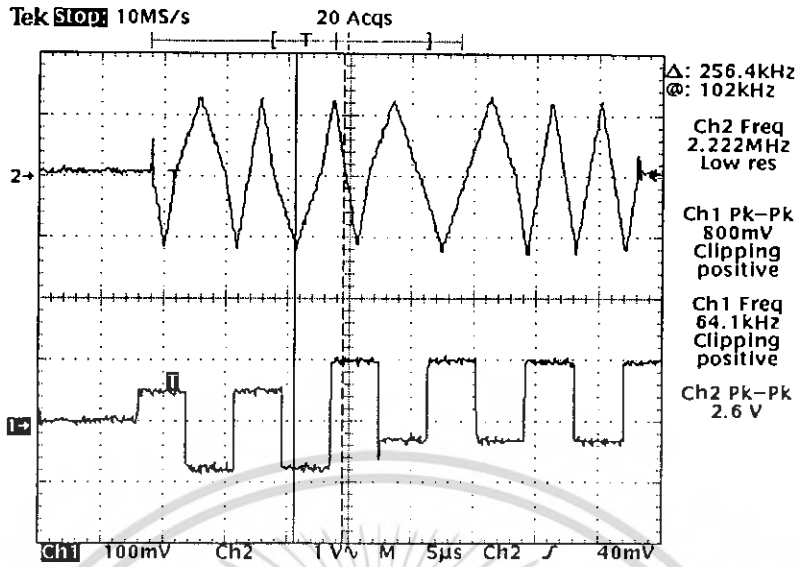


รูปที่ 4.11 แสดงสัญญาณ TDE เทียบกับสัญญาณ RDE

รูปบนเป็นสัญญาณ TDE

รูปล่างเป็นสัญญาณ RDE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 แสดงสัญญาณที่ทำการเปรียบเทียบระหว่างสัญญาณที่เข้ารหัส และถูกทำการมอดูเลท

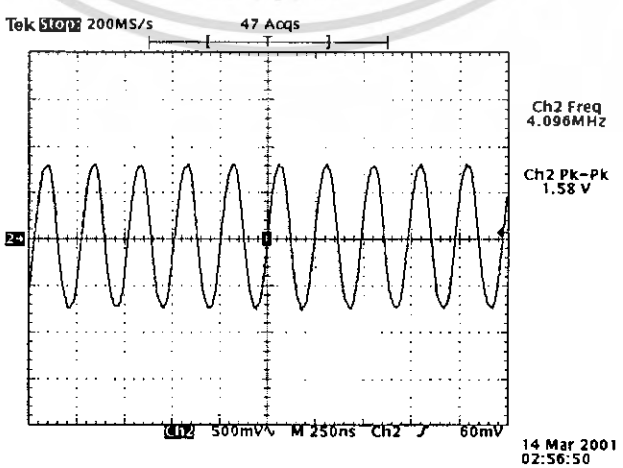
จากการทดลองพบว่าสัญญาณเสียงเมื่อนำมาทำพีซีเอ็มแล้ว จะถูกสุ่มตัวอย่างด้วยความถี่ 8 kHz แล้วทำการควอนไตซ์แบบไม่เชิงเส้น จากนั้นก็ทำการเข้ารหัสเป็นรหัสดิจิตอล แล้วจึงส่งข้อมูลออกไปที่ภาคยูดีแอลที เพื่อทำการมอดูเลทสัญญาณต่อไป

4.6 ภาคยูดีแอลที (Universal Digital - Loop Transceiver)

4.6.1 ลำดับขั้นการทดลอง

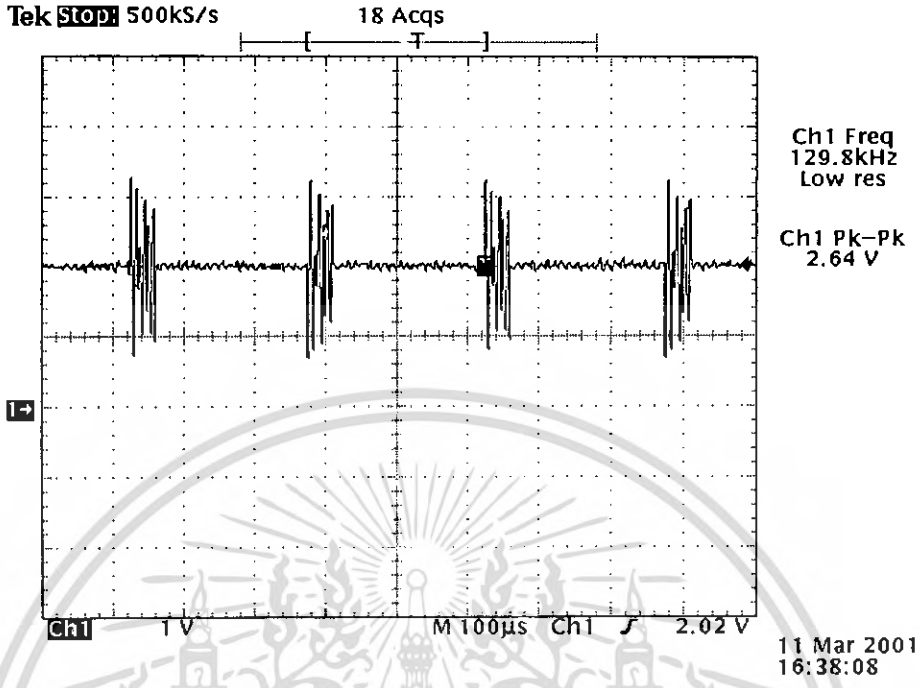
1) ต่อวงจรตามรูปที่ 4.1
2) ป้อนสัญญาณให้กับส่วนต่างๆของวงจร
3) บันทึกผลการทดลอง

4.6.2 ผลการทดลอง

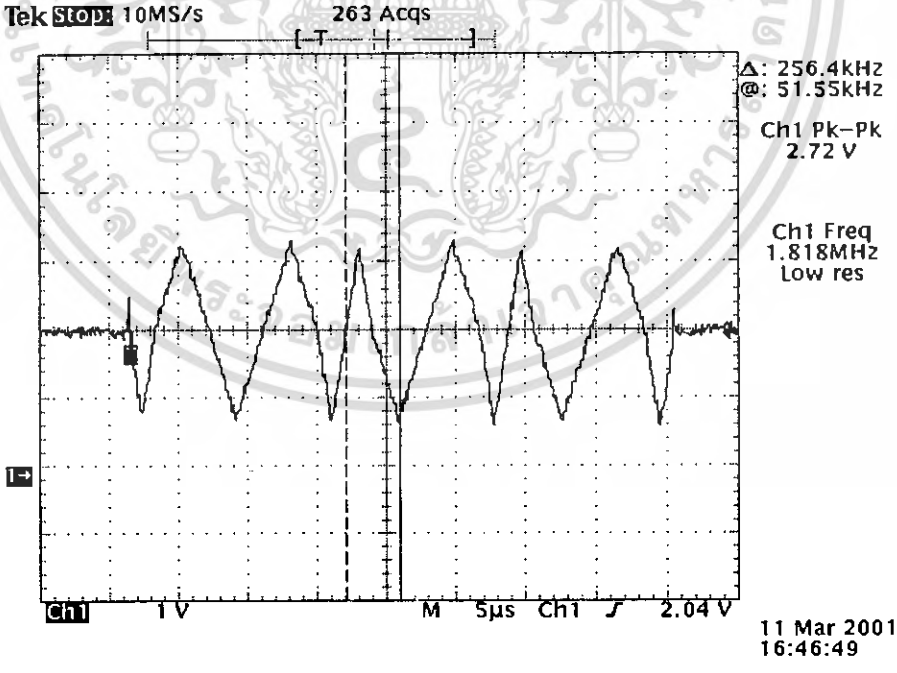


รูปที่ 4.13 แสดงสัญญาณนาฬิกาความถี่ 4.096 MHz ที่ใช้กับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

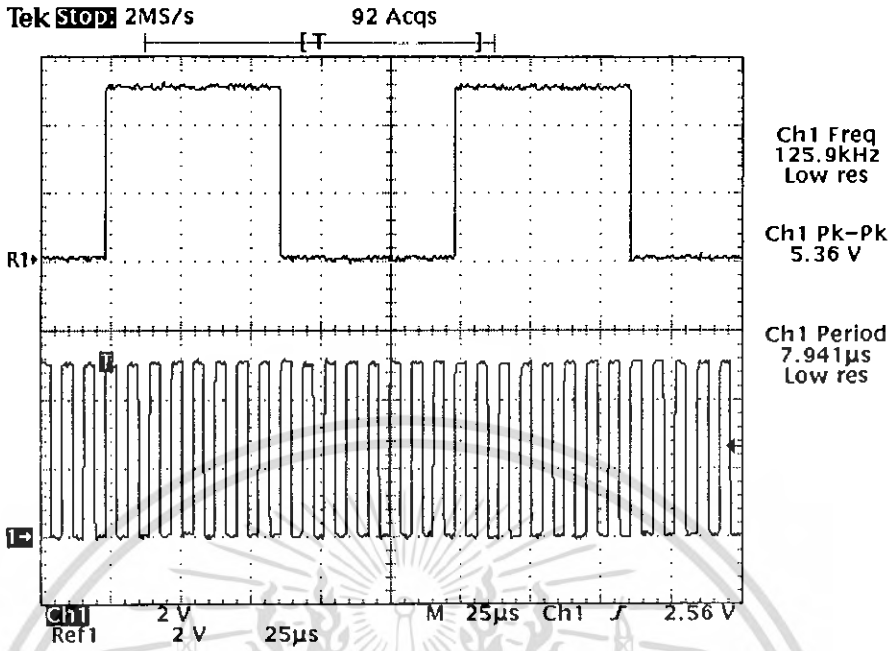


รูปที่ 4.14 แสดงสัญญาณที่ถูกมอดูเลทแบบเอ็มดีพีเอสเค



รูปที่ 4.15 แสดงรายละเอียดของสัญญาณเอ็มดีพีเอสเค

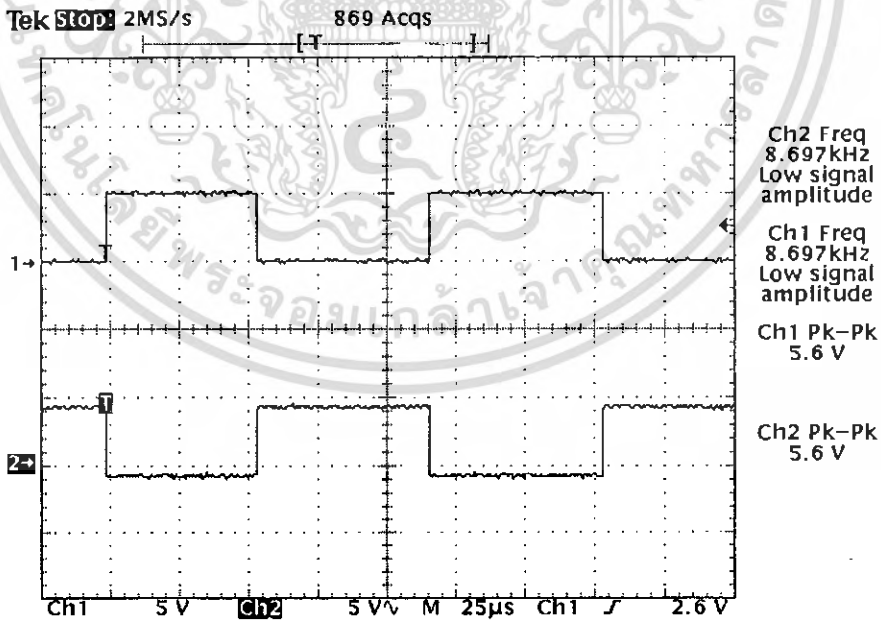
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 แสดงสัญญาณ TE1 และ CLOCK

รูปบนแสดงสัญญาณ TE1

รูปล่างแสดงสัญญาณ CLOCK

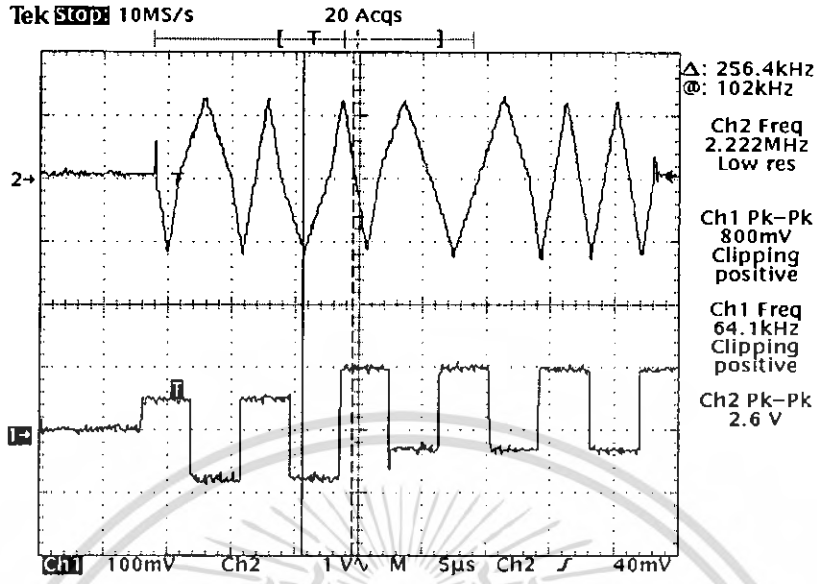


รูปที่ 4.17 แสดงสัญญาณ TE1 เทียบกับสัญญาณ RE1

รูปบนแสดงสัญญาณ TE1

รูปบนแสดงสัญญาณ RE1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 แสดงสัญญาณเอ็มดีพีเอสเคของสัญญาณเสียง

จากการทดลองพบว่า ก่อนที่สัญญาณจะถูกส่งออกไปยังคู่สายโทรศัพท์ ไม่ว่าจะเป็นสัญญาณเสียงหรือข้อมูลจากคอมพิวเตอร์ จะต้องนำมาทำการมอดูเลทสัญญาณเสียก่อนทุกครั้ง ในที่นี่ใช้หลักการของดิจิตอลมอดูเลชั่น แบบเอ็มดีพีเอสเค (MDPSK : Modified Differential Phase Shift Keying)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และสรุป

ในปัจจุบันโทรศัพท์มีบทบาทต่อชีวิตประจำวันของคนเรามาก ทั้งในด้านการทำธุรกิจและส่วนบุคคล จากปริญญานิพนธ์ฉบับนี้เป็นชุดฝึกเครื่องรับโทรศัพท์ดิจิตอล ได้อธิบายความรู้พื้นฐานที่จำเป็นที่ควรรู้เกี่ยวกับโทรศัพท์ดิจิตอล หลักการทำงานต่างๆของแต่ละภาคที่เป็นส่วนประกอบ วิธีการออกแบบและการทดลองต่างๆเกี่ยวกับชิ้นงาน พร้อมทั้งปัญหาต่างๆที่พบเจอในระหว่างการทดลอง

ในการทำปริญญานิพนธ์ชุดนี้ปัญหาที่พบเจอมีอยู่มากพอสมควร หลักๆจะเป็นเรื่องที่อุปกรณ์หาซื้อได้ยาก และมีราคาที่แพง ในส่วนของวงจรปัญหาที่เจอ คือ ภาคเข้ารหัสและถอดรหัสซึ่งจะอยู่ที่กราวด์ที่เป็นกราวน์แอนาลอกและกราวด์ดิจิตอล และในส่วนของสัญญาณออสซิลเลเตอร์ที่ภาคกำเนิดสัญญาณความถี่คู่ผสม และภาคยูดีแอลทีรบกวนกัน ในการแก้ปัญหาจะต้องทำการชีลล์ป้องกันไว้เพื่อไม่ให้เกิดการรบกวนกันของสัญญาณทั้งสอง

แนวทางในการพัฒนาให้ดีขึ้นทำได้ดังนี้ จะต้องศึกษาสถาปัตยกรรมทางด้านฮาร์ดแวร์และซอร์ฟแวร์ของสวิตช์ชิ่งของชุมสายที่ใช้เสียก่อน ในส่วนของตัวเครื่องโทรศัพท์ดิจิตอล ถ้าจะทำให้ราคาต่ำลงสามารถตัดภาคควบคุมออกไปได้ โดยที่เลือกใช้ไอซีเบอร์ TP 5089 แทน TP 5088 ในวงจรกำเนิดสัญญาณความถี่คู่ผสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] The Staff of Lab-Volt System , "Telephony Training System Concept and Applications" , 1996. Lab-Volt Systems Inc., 1996.

[2]Frederick F. Driscoll, "Data Communications",Saunders College Publishing, 1992.

[3] ดร.พิพัฒน์ หิรัณย์วณิชชากร , "ระบบการสื่อสารข้อมูลและเครือข่ายคอมพิวเตอร์", ซีเอ็ดยูเคชั่น, 2542.

[4] รศ.ดร.ถวิล พึ่งมา , "ระบบโทรศัพท์แบบดิจิตอล", พิมพ์ครั้งที่ 2 , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2542.

[5] ถวิล กิ่งทอง , "เทคโนโลยีการส่งสัญญาณดิจิตอล", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2535.

[6] ผศ.ดร.สุวิพล สิทธิชีวภาค , "เทคโนโลยีการสื่อสารระบบดิจิตอล", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2538.

[7] สุรพล บุญจันทร์ , "เอกสารการสอนประกอบวิชา 01171102 Telex and Telephone Engineering" คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

[8] วันสุระ ศรีใสดี , "ประยุกต์/อิเตอร์เฟส ไมโครคอนโทรลเลอร์ภาคปฏิบัติ", สำนักพิมพ์ดวงกมล,2542.

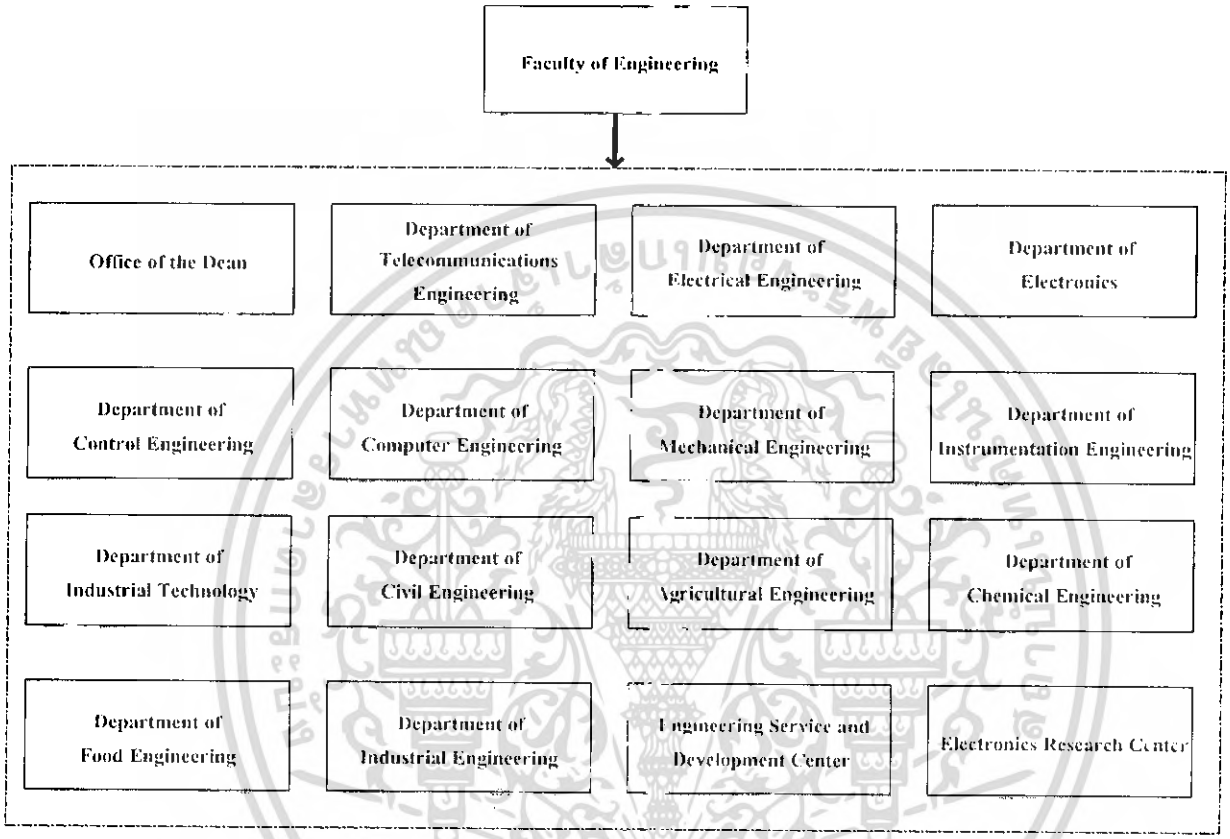
[9] ชัยวัฒน์ ลิ้มพรจิตวิไล และ วรพจน์ กรแก้ววัฒนกุล, "เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ MCS-51" ,กรุงเทพฯ, 2543.

[10] รศ.สมยศ จุณณะปิยะ, "การประยุกต์ใช้งานไมโครคอนโทลเลอร์ตระกูล MCS-51" คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,2543.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Organizational Structure

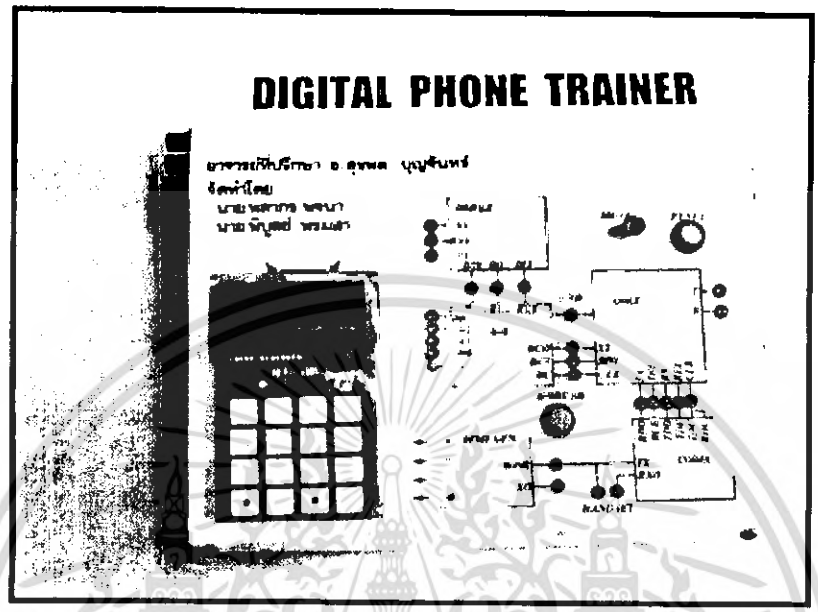
The aims of the Faculty of Engineering are to provide engineering educations and to enhance Research and Development in Science and Technology for industrial and economic developments of Thailand. The curricula of the Faculty offers a wide range of engineering disciplines relevant to the current development of Thailand. The Organizational Structure of the Faculty is shown as follows.



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะโครงสร้างภายในและภายนอกของชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอล



-แสดงลักษณะโครงสร้างภายนอกของชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอล-

-แสดงลักษณะโครงสร้างภายในของชุดฝึกเครื่องโทรศัพท์ระบบดิจิตอล-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมที่ใช้ในภาคควบคุม

```
;*********************************************************
;          DIGITAL PHONE TRAINER.TELECOM41.KMITL.
;   PRODUCED BY MR.PALAKORN POTCHANA & MR.PIBOON PROMSA
;              ADVISER:MR.SURAPONE BOONJUN
;DEPARTMENT OF TELECOMMUNICATION ENGINEERING KMITL THAILAND
;*********************************************************
          ORG 0000H
          LCALL INITIAL
          ORG 0003H
          LCALL INT_0
          ORG 0013H
          LCALL INT_1

RS        EQU P1.5
EN        EQU P1.6
STAT      EQU P1.7
HOOK      EQU P3.2
RING      EQU P3.3
T0        EQU P3.4
T1        EQU P3.5
HOME1     EQU 10000000B
HOME2     EQU 11000000B

INITIAL:  MOV IE,#10000101B       ;ENABLE INTERRURT EX0 & EX1
          MOV TCON,#00000101B     ;ENABLE IT0 & IT1 FALLING EDGE
          MOV IP,#00000001B       ;ENABLE PRIORITY INT_0 FIRST
          MOV P0,#00000000B
          MOV P1,#00000000B
          MOV P2,#00000000B

          MOV R7,#0               ;BEGIN DELAY
          NOP
          NOP
          DJNZ R7,$
          CLR RS
          CLR EN
          LCALL DELAY

          MOV R4,#1
START:    LCALL INITIAL1
          LCALL CLRCTRL       ;CLEAR DATA & CONTROL PORT
          LCALL GOHOME1       ;SET BEGIN DDRAM ADDRESS 80H
          MOV DPTR,#TEST1
          LCALL WRLINE
          LCALL GOHOME2       ;SET BEGIN DDRAM ADDRESS 0C0H
          MOV DPTR,#TEST2
          LCALL WRLINE        ;WRITE CHARACTERS
          DJNZ R4,START
          LCALL DELAY
          LCALL LCD_OFF
          LCALL DELAY
          LCALL DELAY
          LCALL DELAY
          LCALL LCD_ON
          LCALL DELAY
          LCALL DELAY
          MOV R3,#16
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            LCALL LCD_LSHF      ;LCD 1ST SHIFT LEFT
            LCALL DELAY_1
            MOV R4,#1
            LCALL START

;*********LCD INITIAL1*****************************

INITIAL1:   MOV A,#00111000B    ;8 BITS MODE,2LINES,5x7 DOTS LCD
            LCALL LCD_INST
            LCALL DELAY
            MOV A,#00001111B    ;DISPLAY,LCD ON,CURSOR BLINK
            LCALL LCD_INST
            LCALL DELAY
            MOV A,#00000001B    ;CLEAR LCD
            LCALL LCD_INST
            LCALL DELAY
            RET

;********WRITE CHARACTER*************************

WRLINE:     MOV  R5,#32         ;SHOW CHARACTERS
WRL:        MOV  A,#0
            MOVC A,@A+DPTR
            LCALL LCD_DATA
            INC  DPTR
            DJNZ  R5,WRL        ;DO 32 TIMES
            RET

;********WRITE CHARACTER AFTER HOOK**************

START_1:    LCALL INITIAL1
            LCALL CLRCTRL       ;CLEAR DATA & CONTROL PORT
            LCALL GOHOME1       ;SET BEGIN DDRAM ADDRESS 80H
            MOV DPTR,#TEST3
            LCALL WRLINE
            LCALL GOHOME2       ;SET BEGIN DDRAM ADDRESS 0C0H
            MOV DPTR,#TEST4
            LCALL WRLINE        ;WRITE CHARACTERS
            DJNZ R4,START_1
            LCALL DELAY
            LCALL LCD_OFF
            LCALL DELAY
            LCALL DELAY
            LCALL DELAY
            LCALL LCD_ON
            LCALL DELAY
            LCALL DELAY
            MOV R3,#16
            LCALL LCD_LSHF
            LCALL DELAY_1
            LCALL LCD_OFF
            LCALL DIAL
            RET

;********BEGIN DIALING NUMBER********************

DIAL:       LCALL LCD_CLR
            LCALL CLRCTRL       ;CLEAR DATA & CONTROL PORT
            LCALL GOHOME1       ;SET BEGIN DDRAM ADDRESS 80H
            MOV DPTR,#TEST5
            LCALL WRLINE_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            LCALL GOHOME2       ;SET BEGIN DDRAM ADDRESS 0C0H
            LCALL LCD_ON
            LCALL SCANKEY
            RET

;********WRITE CHARACTER FOR DIALING*************

WRLINE_1: MOV  R5,#16           ;SHOW CHARACTERS
WRL_1:    MOV  A,#0
          MOVC A,@A+DPTR
          LCALL LCD_DATA
          INC  DPTR
          DJNZ  R5,WRL_1        ;DO 16 TIMES
          RET

;********SCANKEY PRESSED*************************

SCANKEY:  MOV P1,#11111111B     ;SET P1 AS I/P PORT
KEY:      JNB P1.4,KEY
          MOV A,P1
          ANL A,#0FH
          LCALL DELAY
          CJNE A,#00H,KEY_2
KEY_1:    MOV A,#'1'
          LCALL LCD_DATA
          MOV P2,#00000001B
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          LCALL KEY
          RET

KEY_2:    CJNE A,#01H,KEY_3
          MOV A,#'2'
          LCALL LCD_DATA
          MOV P2,#00000010B
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          LCALL KEY
          RET

KEY_3:    CJNE A,#02H,KEY_A
          MOV A,#'3'
          LCALL LCD_DATA
          MOV P2,#00000011B
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          LCALL KEY
          RET

KEY_A:    CJNE A,#03H,KEY_4
          MOV A,#'A'
          LCALL LCD_DATA
          MOV P2,#00001101B
          LCALL DELAY
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
KEY_4:    CJNE A,#04H,KEY_5
          MOV A,#'4'
          LCALL LCD_DATA
          MOV P2,#00000100B
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          LCALL KEY
          RET

KEY_5:    CJNE A,#05H,KEY_6
          MOV A,#'5'
          LCALL LCD_DATA
          MOV P2,#00000101B
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          LCALL KEY
          RET

KEY_6:    CJNE A,#06H,KEY_B
          MOV A,#'6'
          LCALL LCD_DATA
          MOV P2,#00000110B
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          LCALL KEY
          RET

KEY_B:    CJNE A,#07H,KEY_7
          MOV A,#'B'
          LCALL LCD_DATA
          MOV P2,#00001110B
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          LCALL KEY
          RET

KEY_7:    CJNE A,#08H,KEY_8
          MOV A,#'7'
          LCALL LCD_DATA
          MOV P2,#00000111B
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          LCALL KEY
          RET

KEY_8:    CJNE A,#09H,KEY_9
          MOV A,#'8'
          LCALL LCD_DATA
          MOV P2,#00001000B
          SETB P2.4
          LCALL DELAY
          CLR P2.4
          LCALL KEY
          RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
KEY_9:      CJNE A,#0AH,KEY_C
            MOV A,#'9'
            LCALL LCD_DATA
            MOV P2,#00001001B
            SETB P2.4
            LCALL DELAY
            CLR P2.4
            LCALL KEY
            RET

KEY_C:      CJNE A,#0BH,KEY_STAR
            MOV A,#'C'
            LCALL LCD_DATA
            MOV P2,#00001111B
            SETB P2.4
            LCALL DELAY
            CLR P2.4
            LCALL KEY
            RET

KEY_STAR:   CJNE A,#0CH,KEY_0
            MOV A,#'*'
            LCALL LCD_DATA
            MOV P2,#00001011B
            SETB P2.4
            LCALL DELAY
            CLR P2.4
            LCALL KEY
            RET

KEY_0:      CJNE A,#0DH,KEY_SHARP
            MOV A,#'0'
            LCALL LCD_DATA
            MOV P2,#00001010B
            SETB P2.4
            LCALL DELAY
            CLR P2.4
            LCALL KEY
            RET

KEY_SHARP:  CJNE A,#0EH,KEY_D
            MOV A,#'#'
            LCALL LCD_DATA
            MOV P2,#00001100B
            SETB P2.4
            LCALL DELAY
            CLR P2.4
            LCALL KEY
            RET

KEY_D:      CJNE A,#0FH,JMP
            MOV A,#'2'
            LCALL LCD_DATA
            MOV P2,#00000000B
            SETB P2.4
            LCALL DELAY
            CLR P2.4
            LCALL KEY
            RET
JMP:        AJMP KEY
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;********SET LCD DDRAM ADDRESS*******************

GOHOME1:  LCALL  DELAY
          MOV A,#HOME1        ;BEGIN DDRAM ADDRESS 80H
          LCALL LCD_INST
          RET

GOHOME2:  LCALL  DELAY
          MOV A,#HOME2        ;BEGIN DDRAM ADDRESS 0C0H
          LCALL LCD_INST
          RET

;********LCD SHIFT LEFT**************************

LCD_LSHF: LCALL LCD_LEFT      ;SHIFT LEFT CHARACTERS
          LCALL DELAY
          LCALL DELAY
          DJNZ R3,LCD_LSHF    ;DO 16 TIMES
          LCALL DELAY_1
          RET

;********LCD DISPLAY ON**************************

LCD_ON:   MOV P0,#00001111B       ;LCD ON DISPLAY
          CLR  RS
          LCALL  ENABLE
          RET

;********LCD DISPLAY OFF*************************

LCD_OFF:  MOV P0,#00001000B       ;LCD OFF DISPLAY
          CLR  RS
          LCALL  ENABLE
          RET

;********LCD CLEAR DISPLAY***********************

LCD_CLR:  MOV P0,#00000001B       ;LCD CLEAR DISPLAY
          CLR  RS
          LCALL  ENABLE
          RET

;********LCD RETURN HOME*************************

LCD_HOME: MOV P0,#00000010B       ;LCD RETURN MOME
          CLR  RS
          LCALL  ENABLE
          RET

;********LCD CURSOR ON***************************

LCD_BLNK: MOV P0,#00001111B       ;LCD CURSOR BLINK
          CLR  RS
          LCALL  ENABLE
          RET

;********LCD LEFT SHIFT DISPLAY******************

LCD_LEFT: MOV P0,#00011000B       ;LCD SHIFT LEFT DISPLAY
          CLR  RS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          LCALL  ENABLE
          LCALL DELAY
          RET

;********LCD RIGHT SHIFT DISPLAY****************

LCD_RGHT: MOV P0,#00011100B       ;LCD SHIFT RIGHT DISPLAY
          CLR  RS
          LCALL  ENABLE
          LCALL DELAY
          RET

;********CLEAR LCD CONTROL PINS & DATA BUS*******

CLRCTRL:  MOV P0,#00H             ;LCD CLEAR CONTROL & DATA BUS
          CLR  RS
          CLR  EN
          LCALL  DELAY
          LCALL  DELAY
          RET

;********CONTROL DATA & DISPLAY CHARACTER********

LCD_DATA: MOV  P0,A               ;WRITE DATA TO LCD
          SETB  RS
          LCALL ENABLE
          CLR  RS
          RET

;********CONTROL INSTRUCTION**********************

LCD_INST: MOV  P0,A               ;WRITE CONTROL TO LCD
          CLR  RS
          LCALL  ENABLE
          RET

;********ENABLE LCD*******************************

ENABLE:   CLR  EN                 ;ENABLE LCD
          LCALL  DELAY
          SETB EN
          LCALL  DELAY
          CLR  EN
          LCALL  DELAY
          RET

;********INTERRUPT SUBROUTINE INT_0 HOOK*********

INT_0:    PUSH ACC                ;FOR ON-OFF HOOK SIGNAL
          LCALL DELAY
          MOV R4,#1
          LCALL START_1
          POP ACC
          LCALL DELAY
          RETI

;********INTERRUPT SUBROUTINE INT_1 RINGING******

INT_1:    NOP
          NOP
          RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;********DELAY************************************

DELAY:     MOV R2,#22H          ;MASTER DELAY
LOOP3:     MOV R1,#22H
LOOP2:     MOV R0,#22H
LOOP1:     DJNZ R0,LOOP1
           DJNZ R1,LOOP2
           DJNZ R2,LOOP3
           NOP
           RET

;********SLAVE DELAY_1 ************************************

DELAY_1:   MOV R2,#7FH          ;SLAVE_1 DELAY
LOOP6:     MOV R1,#7FH
LOOP5:     MOV R0,#7FH
LOOP4:     DJNZ R0,LOOP4
           DJNZ R1,LOOP5
           DJNZ R2,LOOP6
           NOP
           RET

;********DEFINE CHARACTER************************

TEST1:     DB   'WELCOME TO KMITL  MR.PIBOON P.  ',
TEST2:     DB   'TELECOM.PROJECT2 MR.PALAKORN P. ',
TEST3:     DB   ' TESTING SYSTEM DE DIGITAL PHONE',
TEST4:     DB   'TELECOM.ENGINEER TRAINER2 KMITL ',
TEST5:     DB   '   *DIALING*     ',
           END
```

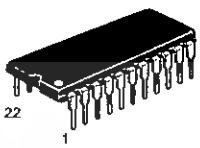
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

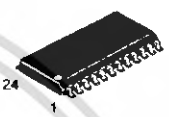
Order this document
by MC145422/D

MC145422
MC145426

Universal Digital-Loop Transceivers (UDLT)



P SUFFIX
PLASTIC DIP
CASE 708



DW SUFFIX
SOG PACKAGE
CASE 751E

ORDERING INFORMATION

MC145422P	Plastic DIP
MC145426P	Plastic DIP
MC145422DW	SOG Package
MC145426DW	SOG Package

The MC145422 and MC145426 UDLTs are high–speed data transceivers that provide 80 kbps full–duplex data communication over 26 AWG and larger twisted–pair cable up to two kilometers in distance. Intended primarily for use in digital subscriber voice/data telephone systems, these devices can also be used in remote data acquisition and control systems. These devices utilize a 256 kilobaud modified differential phase shift keying burst modulation technique for transmission to minimize RFI/EMI and crosstalk. Simultaneous power distribution and duplex data communication can be obtained using a single twisted–pair wire.

These devices are designed for compatibility with existing, as well as evolving, telephone switching hardware and software architectures.

The UDLT chip–set consists of the MC145422 Master UDLT for use at the telephone switch linecard and the MC145426 Slave UDLT for use at the remote digital telset and/or data terminal.

The devices employ CMOS technology in order to take advantage of their reliable low–power operation and proven capability for complex analog/digital LSI functions.

- Provides Full–Duplex Synchronous 64 kpbs Voice/Data Channel and Two 8 kbps Signaling Data Channels Over One 26 AWG Wire Pair Up to Two Kilometers
- Compatible with Existing and Evolving Telephone Switch Architectures and Call Signaling Schemes
- Automatic Detection Threshold Adjustment for Optimum Performance Over Varying Signal Attenuations
- Protocol Independent
- Single 5 V Power Supply
- 22–Pin PDIP, 24–Pin SOG Packages
- Application Notes AN943, AN949, AN968, AN946, and AN948

MC145422 Master UDLT

- Pin Controlled Power–Down and Loopback Features
- Signaling and Control I/O Capable of Sharing Common Bus Wiring with Other UDLTs
- Variable Data Clock — 64 kHz to 2.56 MHz
- Pin Controlled Insertion/Extraction of 8 kbps Channel into LSB of 64 kbps Channel for Simultaneous Routing of Voice and Data Through PCM Voice Path of Telephone Switch

MC145426 Slave UDLT

- Compatible with MC145500 Series PCM Codec–Filters
- Pin Controlled Loopback Feature
- Automatic Power–Up/Power–Down Feature
- On–Chip Data Clock Recovery and Generation
- Pin Controlled 500 Hz D3 or CCITT Format PCM Tone Generator for Audible Feedback Applications

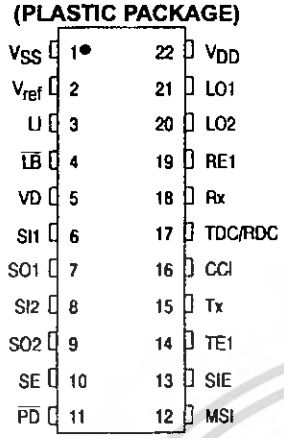
REV 2
9/95

© Motorola, Inc. 1995

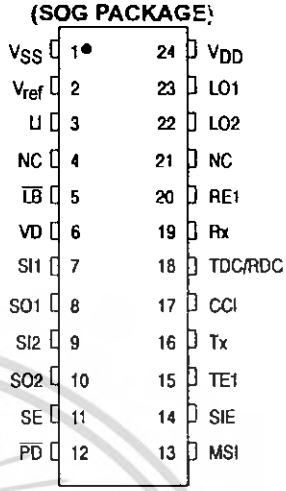
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENTS

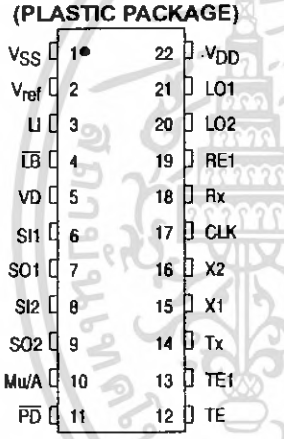
MC145422 — MASTER (PLASTIC PACKAGE)



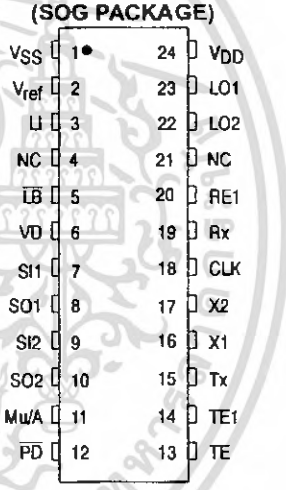
MC145422 — MASTER (SOG PACKAGE)



MC145426 — SLAVE (PLASTIC PACKAGE)



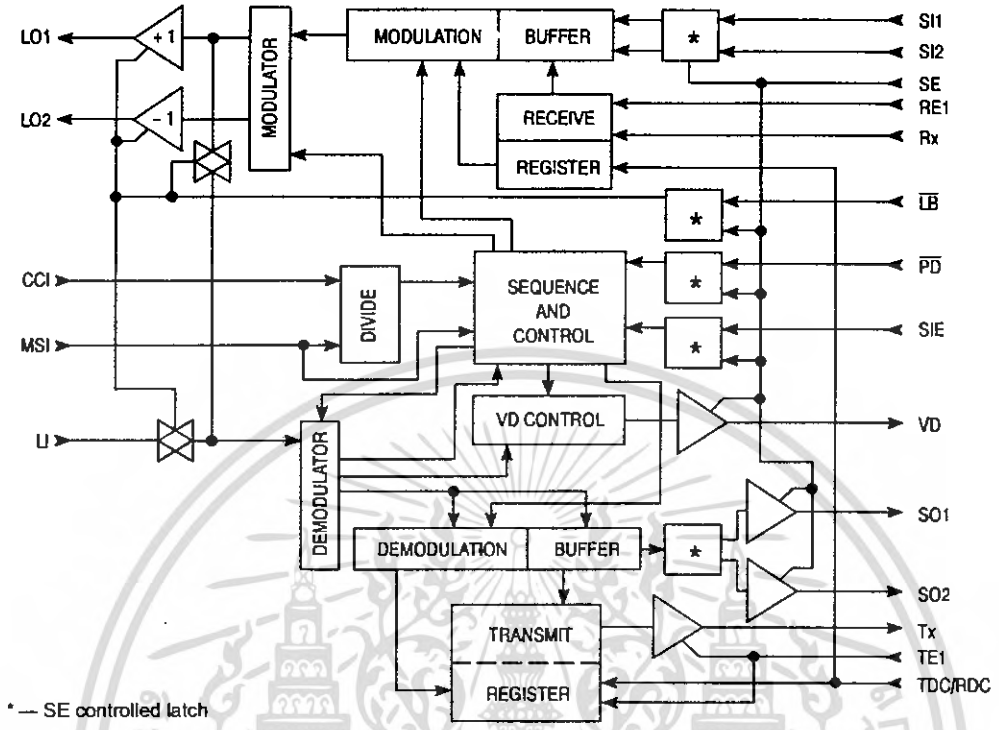
MC145426 — SLAVE (SOG PACKAGE)



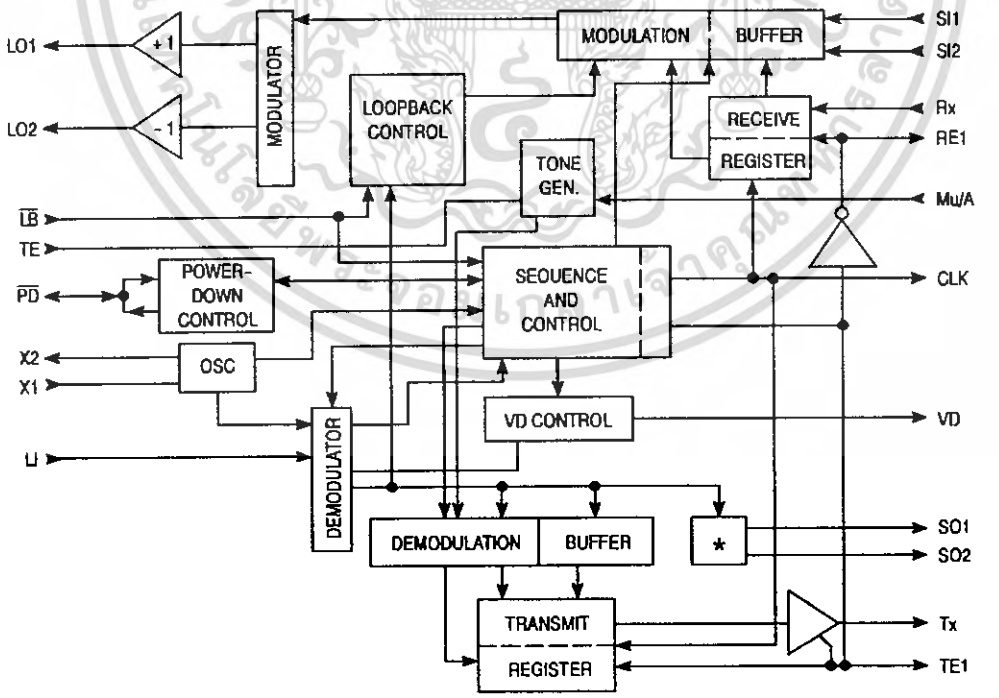
NC = NO CONNECTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145422 MASTER UDLT BLOCK DIAGRAM



MC145426 SLAVE UDLT BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Voltage Referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	$V_{DD} - V_{SS}$	– 0.5 to + 9.0	V
Voltage, Any Pin to V_{SS}	V	– 0.5 to V_{DD} + 0.5	V
DC Current, Any Pin (Excluding V_{DD}, V_{SS})	I	± 10	mA
Operating Temperature	T_A	– 40 to + 85	°C
Storage Temperature	T_{stg}	– 85 to + 150	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid applications of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$. Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

RECOMMENDED OPERATING CONDITIONS (T_A = 0 to 70°C)

Parameter	Pins	Min	Max	Unit
DC Supply Voltage	V_{DD}	4.5	5.5	V
Power Dissipation ($\overline{PD}$ = V_{DD}, V_{DD} = 5 V)	V_{DD}	—	80	mW
Power Dissipation ($\overline{PD}$ = V_{SS}, TE = V_{SS})	V_{DD}	—	75	mW
MC145422 Frame Rate	MSI	7.9	8.1	kHz
MC145422 — MC145426 Frame Rate Slip (See Note 1)	—	—	0.25	%
CCI Clock Frequency (MSI = 8 kHz)	CCI	—	2.048	MHz
Data Clock Rate MC145422	TDC, RDC	64	2560	kHz
Modulation Baud Rate (See Note 2)	LO1, LO2	—	256	kHz

NOTES:
1. The MC145426 crystal frequency divided by 512 must equal the MC145422 MSI Frequency ± 0.25% for optimum operation.
2. Assumes crystal frequency of 4.096 MHz for the MC145426 and 2.048 MHz CCI for the MC145422.

DIGITAL CHARACTERISTICS (V_{DD} = 5 V, T_A = 0 to 70°C)

Parameter		Min	Max	Unit
Input High Level		3.5	—	V
Input Low Level		—	1.5	V
Input Current	Except LI LI	– 1.0 – 100	1.0 100	µA
Input Capacitance		—	7.5	pF
Output High Current (Except Tx on MC145422 and Tx and $\overline{PD}$ on MC145426)	V_{OH} = 2.5 V V_{OH} = 4.6 V	– 1.7 – 0.36	— —	mA
Output Low Current (Except Tx on MC145422 and Tx and $\overline{PD}$ on MC145426)	V_{OL} = 0.4 V V_{OL} = 0.8 V	0.36 0.8	— —	mA
$\overline{PD}$ Output High Current (MC145426) (See Note 1)	V_{OH} = 2.5 V V_{OH} = 4.6 V	– 90 – 10	— —	µA
$\overline{PD}$ Output Low Current (MC145426) (See Note 1)	V_{OL} = 0.4 V V_{OL} = 0.8 V	60 100	— —	µA
Tx Output High Current	V_{OH} = 2.5 V V_{OH} = 4.6 V	– 3.4 – 0.7	— —	mA
Tx Output Low Current	V_{OL} = 0.4 V V_{OL} = 0.8 V	1.7 3.5	— —	mA
Tx Input Impedance (TE1 = V_{SS}, MC145422)		100	—	kΩ
Crystal Frequency (MC145426, Note 2)		4.0	4.4	MHz
PCM Tone (TE = V_{DD}, MC145426)		– 22	– 18	dBm0
Three–State Current (SO1, SO2, VD, Tx on MC145422, Tx on MC145426)		—	± 1	µA
V_{ref} Voltage (See Note 3)		2	3	V
X2 — Oscillator Output High Drive Current (MC145426) (See Note 4)	V_{OH} = 4.6 V	– 450	—	µA
X2 — Oscillator Output Low Drive Current (MC145426) (See Note 4)	V_{OL} = 0.4 V	450	—	µA

NOTES:
1. To overdrive $\overline{PD}$ from a low level to 3.5 V or a high level to 1.5 V requires a minimum of ± 800 µA drive capability.
2. The MC145426 crystal frequency divided by 512 must equal the MC145422 MSI frequency ± 0.25% for optimum performance.
3. V_{ref} typically (9/20 V_{DD} – V_{SS}).
4. Output drive when X1 is being driven from an external clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชนด้านการคา
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG CHARACTERISTICS (V_{DD} = 5 V, T_A = 0 to 70°C)

Parameter		Min	Max	Unit
Modulation Differential Amplitude (R_L = 440 Ω)	LO1 to LO2	4.5	6.0	V p–p
Modulation Differential DC Offset		0	300	mV
Demodulator Input Amplitude (See Note)		0.050	2.5	V peak
Demodulator Input Impedance		50	150	kΩ

NOTE: The input level into the demodulator to reliably demodulate incoming bursts. Input referenced to V_{ref}.

MC145422 SWITCHING CHARACTERISTICS (V_{DD} = 5 V, T_A = 25°C, C_L = 50 pF)

Parameter		Figure No.	Symbol	Min	Max	Unit
Input Rise Time	All Digital Inputs	1	t_r	—	4	µs
Input Fall Time	All Digital Inputs	1	t_f	—	4	µs
Pulse Width	TDC/RDC, RE1, MSI	1	t_w(H,L)	90	—	ns
CCI Duty Cycle		1	t_w(H,L)	45	55	%
Data Clock Frequency	TDC/RDC	—	t_{DC}	64	2560	kHz
Propagation Delay Time	MSI to SO1, SO2 VD ($\overline{PD}$ = V_{DD}) TDC to Tx	2 3	t_{PLH}, t_{PHL}	— —	90 90	ns
MSI to TDC/RDC Setup Time		4	t_{su3} t_{su4}	90 40	— —	ns
TE1/RE1 to TDC/RDC Setup Time		4	t_{su3} t_{su4}	90 40	— —	ns
Rx to TDC/RDC Setup Time		5	t_{su5}	60	—	ns
Rx to TDC/RDC Hold Time		5	t_{h1}	60	—	ns
SI1, SI2 to MSI Setup Time		6	t_{su6}	60	—	ns
SI1, SI2 to MSI Hold Time		6	t_{h2}	60	—	ns

MC145426 SWITCHING CHARACTERISTICS (V_{DD} = 5 V, T_A = 25°C, C_L = 50 pF)

Parameter		Figure No.	Symbol	Min	Max	Unit
Input Rise Time	All Digital Inputs	1	t_r	—	4	µs
Input Fall Time	All Digital Inputs	1	t_f	—	4	µs
Clock Output Pulse Width	CLK	1	t_w(H,L)	3.8	4.0	µs
Crystal Frequency		—	f_{X1}	4.086	4.1	MHz
Propagation Delay Times	TE1 Rising to CLK (TE = V_{DD}) TE1 Rising to CLK (TE = V_{SS}) CLK to TE1 Falling CLK to RE1 Rising RE1 Falling to CLK (TE = V_{DD}) RE1 Falling to CLK (TE = V_{SS}) CLK to Tx TE1 to SO1, SO2	7 7 7 8 8 8 9 9	t_{p1} t_{p1} t_{p2} t_{p3} t_{p4} t_{p4} t_{p5} t_{p6}	–50 438 — — –50 438 — —	50 538 40 40 50 538 90 90	ns
Rx to CLK Setup Time		5	t_{su5}	60	—	ns
Rx to CLK Hold Time		5	t_{h1}	60	—	ns
SI1, SI2 to TE1 Setup Time		6	t_{su6}	60	—	ns
SI1, SI2 to TE1 Hold Time		6	t_{h2}	60	—	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

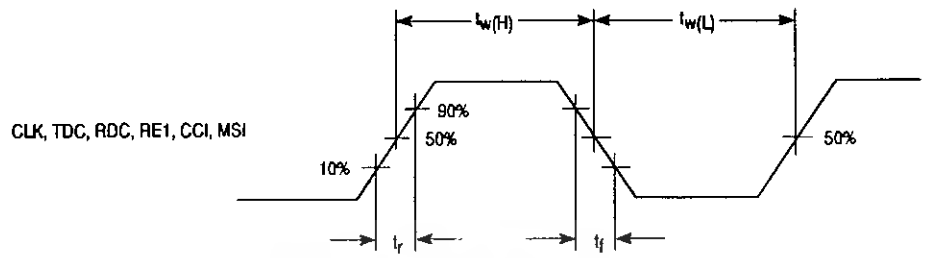


Figure 1.

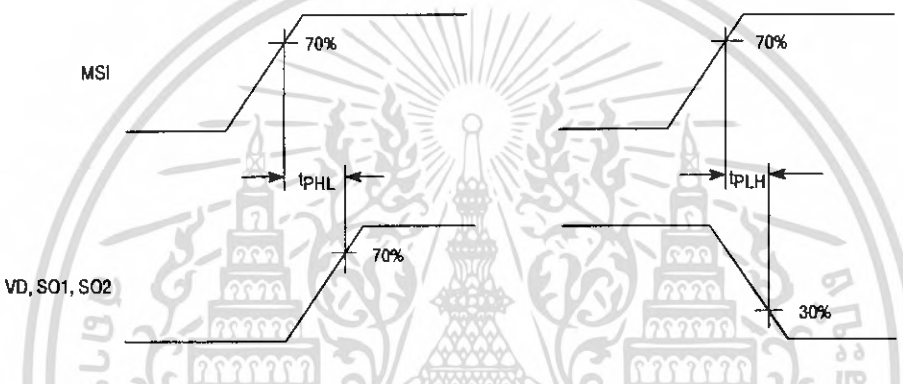


Figure 2.

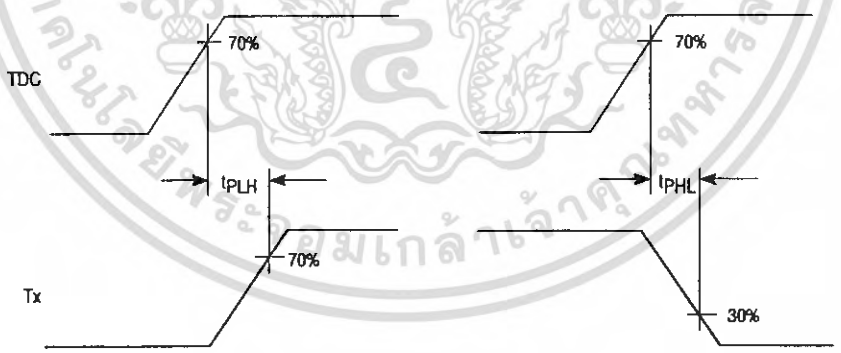


Figure 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS (continued)

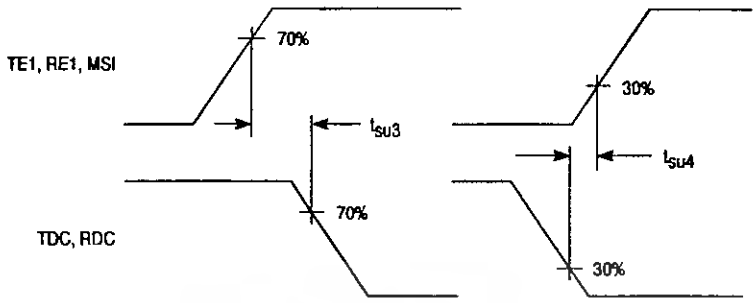


Figure 4.

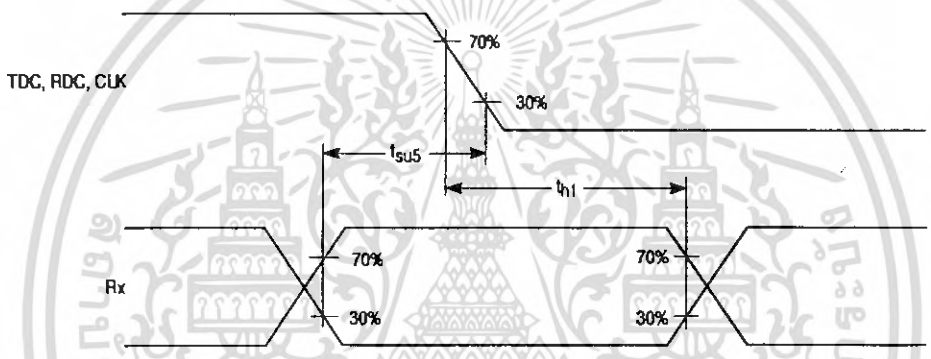


Figure 5.

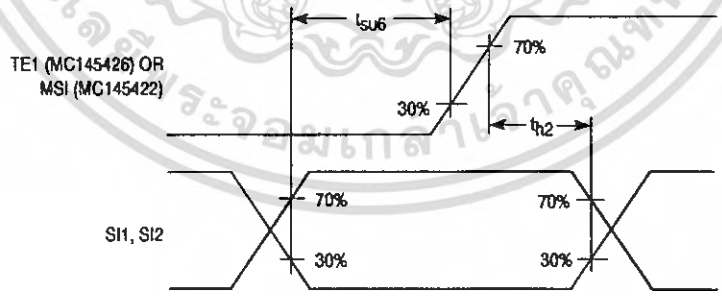


Figure 6.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS (continued)

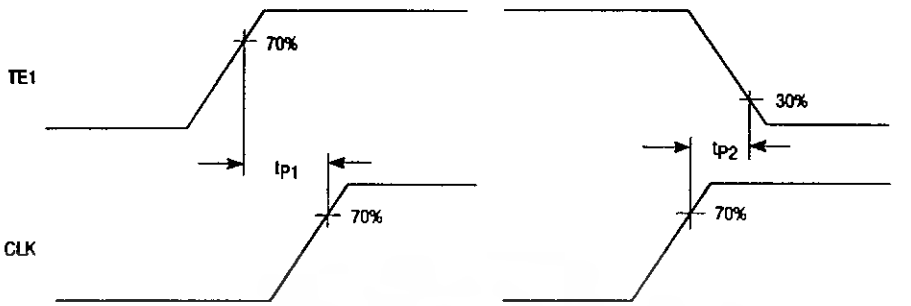


Figure 7.

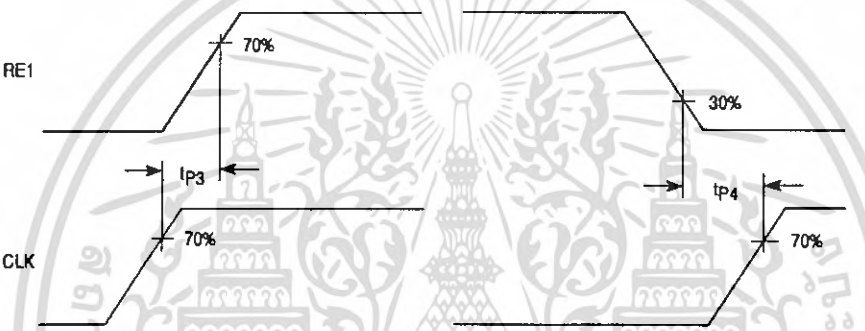


Figure 8.

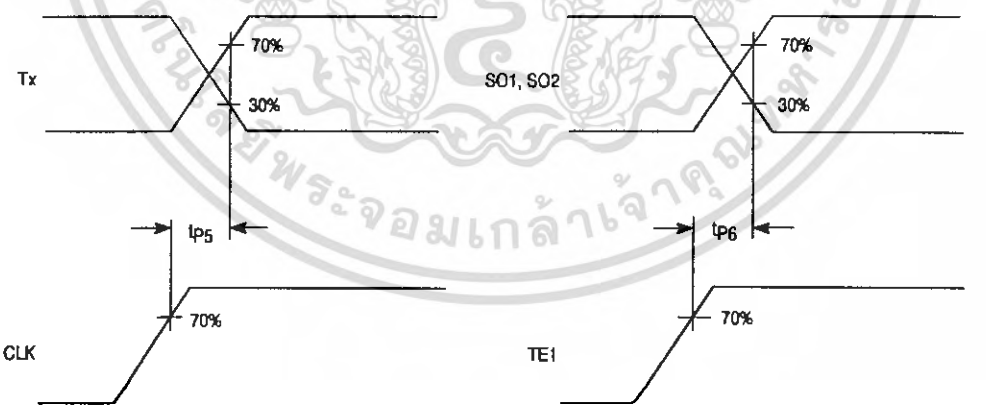


Figure 9.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145422 MASTER UDLT PIN DESCRIPTIONS

V_{DD}
Positive Supply

Normally 5 V.

V_{SS}
Negative Supply

This pin is the most negative supply pin, normally 0 V.

V_{ref}
Reference Output

This pin is the output of the internal reference supply and should be bypassed to V_{DD} and V_{SS} by 0.1 µF capacitors. No external dc load should be placed on this pin.

LI
Line Input

This input to the demodulator circuit has an internal 100 kΩ resistor tied to the internal reference node so that an external capacitor and/or line transformer may be used to couple the input signal to the part with no dc offset.

$\overline{LB}$
Loopback Control

A low on this pin disconnects the LI pin from internal circuitry, drives LO1, LO2 to V_{ref} and internally ties the modulator output to the demodulator input which loops the part on itself for testing in the system. The state of this pin is internally latched if the SE pin is brought and held low. Loopback is active only when $\overline{PD}$ is high.

VD
Valid Data Output

A high on this pin indicates that a valid line transmission has been demodulated. A valid transmission is determined by proper sync and the absence of detected bit errors. VD changes state on the leading edge of MSI when $\overline{PD}$ is high. When $\overline{PD}$ is low, VD changes state at the end of demodulation of a line transmission. VD is a standard B–series CMOS output and is high impedance when SE is held low.

SI1, SI2
Signaling Bit Inputs

Data on these pins is loaded on the rising edge of MSI for transmission to the slave. The state of these pins is internally latched if SE is held low.

SO1, SO2
Signaling Bit Outputs

These outputs are received signaling bits from the slave UDLT and change state on the rising edge of MSI if $\overline{PD}$ is high, or at the completion of demodulation if $\overline{PD}$ is low. These outputs have standard B–series CMOS drive capability and are high impedance if the SE pin is held low.

SE
Signal Enable Input

If held high, the $\overline{PD}$, $\overline{LB}$, SI1, SI2, and SIE inputs and the SO1, SO2, and VD outputs function normally. If held low, the state of these inputs is latched and held internally while the outputs are high impedance. This allows these pins to be bussed with those of other UDLTs to a common controller.

$\overline{PD}$
Power–Down Input

If held low, the UDLT ceases modulation. In power–down, the only active circuit is that which is necessary to demodulate an incoming burst and output the signal and valid data bits. Internal data transfers to the transmit and receive registers cease. When brought high, the UDLT powers up, and waits three positive MSI edges or until the end of an incoming transmission from the slave UDLT and begins transmitting every MSI period to the slave UDLT on the next rising edge of the MSI.

MSI
Master Sync Input

This pin is the system sync and initiates the modulation on the twisted pair. MSI should be approximately leading–edge aligned with TDC/RDC.

SIE
Signal Insert Enable

This pin, when held high, inserts signal bit 2 received from the slave into the LSB of the outgoing PCM word at Tx and will ignore the SI2 pin and use in place the LSB of the incoming PCM word at Rx for transmission to the slave. The PCM word to the slave will have LSB forced low in this mode. In this manner, signal bit 2 to/from the slave UDLT is inserted in to the PCM words the master sends and receives from the backplane for routing through the PABX for simultaneous voice/data communication. The state of this pin is internally latched if the SE pin is brought and held low.

TE1
Transmit Data Enable 1 Input

This pin controls the outputting of data on the Tx pin. While TE1 is high, the Tx data is presented on the eight rising edges of TDC/RDC. TE1 is also a high–impedance control of the Tx pin. If MSI occurs during this period, new data will be transferred to the Tx output register in the ninth high period of TDC/RDC after TE1 rises; otherwise, it will transfer on the rising edge of MSI. TE1 and TDC/RDC should be approximately leading–edge aligned.

Tx
Transmit Data Output

This three–state output presents new voice data during the high periods of TDC/RDC when TE1 is high (see TE1).

CCI
Convert Clock Input

A 2.048 MHz clock signal should be applied to this pin. The signal is used for internal sequencing and control. This signal should be coherent with MSI for optimum performance but may be asynchronous if slightly worse error rate performance can be tolerated.

TDC/RDC
Transmit/Receive Data Clock

This pin is the transmit and receive data clock and can be 64 kHz to 2.56 MHz. Data is output at the Tx pin while TE1 is high on the eight rising edges of TDC/RDC after the rising edge of TE1. Data on the Rx pin is loaded into the receive register of the UDLT on the eight falling edges of TDC/RDC after a positive transition on RE1. This clock should be approximately leading–edge aligned with MSI.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Rx
Receive Data

Voice data is clocked into the UDLT from this pin on the falling edges of TDC/RDC under the control of RE1.

RE1
Receive Data Enable 1 Input

A rising edge on this pin will enable data on the Rx pin to be loaded into the receive data register on the next eight falling edges of the data dock, TDC/RDC. RE1 and TDC/RDC should be approximately leading–edge aligned.

LO1, LO2
Line Driver Outputs

These outputs drive the twisted pair line with 256 kHz modified DPSK bursts each frame and are push–pull. These pins are driven to V_{ref} when not modulating the line.

MC145426 SLAVE UDLT PIN DESCRIPTIONS

V_{DD}
Positive Supply

Normally 5 V.

V_{SS}
Negative Supply

This pin is the most negative supply pin, normally 0 V.

V_{ref}
Reference Output

This pin is the output of the internal reference supply and should be bypassed to V_{DD} and V_{SS} by 0.1 µF capacitors. No external dc load should be placed on this pin.

LI
Line Input

This input to the demodulator circuit has an internal 100 kΩ resistor tied to the internal reference node (V_{ref}) so that an external capacitor and/or line transformer may be used to couple the signal to this part with no dc offset.

$\overline{LB}$
Loopback Control

When this pin is held low and $\overline{PD}$ is high (the UDLT is receiving transmissions from the master), the UDLT will use the 8 bits of demodulated PCM data in place of the 8 bits of Rx data in the return burst to the Master, thereby looping the part back on itself for system testing. SI1 and SI2 operate normally in this mode. CLK will be held low during loopback operation.

VD
Valid Data Output

A high on this pin indicates that a valid line transmission has been demodulated. A valid transmission is determined by proper sync and the absence of detected bit errors.VD changes state on the leading edge of TE1. If no transmissions from the master have been received in the last 250 µs (derived from the internal oscillator), VD will go low without TE1 rising since TE1 is not generated in the absence of received transmissions from the master (see TE pin description for the one exception to this).

SI1, SI2
Signaling Bit Inputs

Data on these pins is loaded on the rising edge of TE1 for transmission to the master. If no transmissions from the master are being received and $\overline{PD}$ is high, data on these pins will be loaded into the part on an internal signal. Therefore, data on these pins should be steady until synchronous communication with the master has been established, as indicated by the high on VD.

SO1, SO2
Signaling Bit Outputs

These outputs are received signaling bits from the master UDLT and change state on the rising edge of TE1. These outputs have standard B–series CMOS output drive capability.

$\overline{PD}$
Power–Down Input/Output

This is a bidirectional pin with weak output drivers such that it can be overdriven externally. When held low, the UDLT is powered down and the only active circuitry is that which is necessary for demodulation, TE1/RE1/CLK generation upon demodulation, the outputting of data received from the master, and updating of VD status. When held high, the UDLT is powered up and transmits in response to transmissions from the master. If no received bursts from the master have occurred when powered up for 250 µs (derived from the internal oscillator frequency), the UDLT will generate a free running 125 µs internal clock from the internal oscillator and will burst a transmission to the master every other internal 125 µs clock using data on the SI1 and SI2 pins and the last data word loaded into the receive register. The weak output drivers will try to force $\overline{PD}$ high when a transmission from the master is demodulated and will try to force it low if 250 µs have passed without a transmission from the master. This allows the slave UDLT to self power–up and down in demand powered loop systems.

TE
Tone Enable

A high on this pin generates a 500 Hz square wave PCM tone and inserts it in place of the demodulated voice PCM word from the master for outputting to the Tx pin to the telset mono–circuit. A high on TE will generate TE1 and CLK from the internal oscillator when the slave is not receiving bursts from the master so that the PCM square wave can be loaded into the codec–filter. This feature allows the user to provide audio feedback for the telset keyboard depressions except during loopback. During loopback of the slave UDLT, CLK is defeated so a tone cannot be generated in this mode.

TE1
Transmit Data Enable 1 Output

This is a standard B–series CMOS output which goes high after the completion of demodulation of an incoming transmission from the master. It remains high for 8 CLK periods and then low until the next burst from the master is demodulated. While high, the voice data just demodulated is output on the first eight rising edges of CLK at the Tx pin. The signaling data just demodulated is output on SO1 and SO2 on TE1's rising edge, as is VD.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tx
Transmit Data Output

This is a standard B–series CMOS output. Voice data is output on this pin on the rising edges of CLK while TE1 is high and is high impedance when TE1 is low.

X1
Crystal Input

A 4.096 MHz crystal is tied between this pin and X2. A 10 MΩ resistor across X1 and X2 and 25 pF capacitors from X1 and X2 to V_{SS} are required for stability and to ensure startup. X1 may be driven by an external CMOS clock signal if X2 is left open.

X2
Crystal Output

This pin is capable of driving one external CMOS input and 15 pF of additional capacitance (see X1 pin description).

CLK
Clock Output

This is a standard B–series CMOS output which provides the data clock for the telset codec–filter. It is generated by dividing the oscillator down to 128 kHz and starts upon the completion of demodulation of an incoming burst from the master. At this time, CLK begins and TE1 goes high. CLK will remain active for 16 periods, at the end of which it will remain low until another transmission from the master is demodulated. In this manner, sync from the master is established in the slave and any clock slip between the master and the slave is absorbed each frame. CLK is generated in response to an incoming burst from the master, however, if TE is brought high, then CLK and TE1/RE1 are generated from the internal oscillator until TE is brought low or an incoming burst from the master is received. CLK is disabled when $\overline{LB}$ is held low.

Rx
Receive Data Input

Voice data from the telset codec–filter is input on this pin on the first eight falling edges of CLK after RE1 goes high.

Mu/A
Tone Digital Format Input

This pin determines if the PCM code of the 500 Hz square wave tone, when TE is high, is Mu–Law (Mu/A = 1) or A–Law (Mu/A = 0) format.

RE1
Receive Data Enable 1 Output

This is a standard B–series CMOS output which is the inverse of TE1 (see TE1 pin description).

LO1, LO2
Line Driver Outputs

These outputs drive the twisted pair line with 256 kHz modified DPSK bursts each frame and are push–pull. These pins are driven to V_{ref} when the device is not modulating.

BACKGROUND

The MC145422 master and MC145426 slave UDLT transceiver ICs main application is to bidirectionally transmit the digital signals present at a codec–filter digital–PABX backplane interface over normal telephone wire pairs. This allows the remoting of the codec–filter in a digital telephone set and enables each set to have a high speed data access to the PABX switching facility. In effect, the UDLT allows each PABX subscriber direct access to the inherent 64 kbps data routing capabilities of the PABX.

The UDLT provides a means for transmitting and receiving 64 kbits of voice data and 16 kbps of signaling data in two–wire format over normal telephone pairs. The UDLT is a two–chip set consisting of a master and a slave. The master UDLT replaces the codec–filter and SLIC on the PABX line card, and transmits and receives data over the wire pair to the teleset. The UDLT appears to the linecard and backplane as if it were a PCM Codec–Filter and has almost the same digital interface features as the MC145500 series codec–filters. The slave UDLT is located in the telset and interfaces the codec–filter to the wire pair. By hooking two UDLTs back–to–back, a repeater can also be formed. The master and slave UDLTs operate in a frame synchronous manner, sync being established at the slave by the timing of the master's transmission. The master's sync is derived from the PABX frame sync.

The UDLT operates using one twisted pair. Eight bits of voice data and two bits of signaling data are transmitted and received each frame in a half–duplex manner (i.e., the slave waits until the transmission from the master is completely received before transmitting back to the master). Transmission occurs at 256 kHz bit rate using a modified form of DPSK. This "ping– pong" mode will allow transmission of data at distances up to two kilometers before turnaround delay becomes a problem. The UDLT is so defined as to allow this data to be handled by the linecard, backplane, and PABX as if it were just another voice conversation. This allows existing PABX hardware and software to be unchanged and yet provides switched 64 kbps voice or data communications throughout its service area by simply replacing a subscriber's linecard and teleset. A feature in the master allows one of the two signaling bits to be inserted and extracted from the backplane PCM word to allow simultaneous voice and data transmission through the PABX. Both UDLTs have a loopback feature by which the device can be tested in the user system.

The slave UDLT has the additional feature of providing a 500 Hz Mu–Law or A–Law coded square wave to the codec–filter when the TE pin is brought high. This can be used to provide audio feedback in the telset during keyboard depressions.

CIRCUIT DESCRIPTION

GENERAL

The UDLT consists of a modulator, demodulator, two intermediate data buffers, sequencing and control logic, and transmit and receive data registers. The data registers interface to the linecard or codec–filter digital interface signals, the modulator and demodulator interface the twisted pair transmission medium, while the intermediate data registers buffer data between these two sections. The UDLT is

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intended to operate on a single 5 V supply and can be driven by TTL or CMOS logic.

MASTER OPERATION

In the master, data from the linecard is loaded into the receive register each frame from the Rx pin under the control of the TDC/RDC clock and the receive data enable, RE1. RE1 controls loading of eight serial bits, henceforth referred to as the voice data word. Each MSI, these words are transferred out of the receive register to the modulation buffer for subsequent modulation onto the line. The modulation buffer takes the receive voice data word and the two signaling data input bits on SI1 and SI2 loaded on the MSI transition and formats the 10 bits into a specific order. This data field is then transmitted in a 256 kHz modified DPSK burst onto the line to the remote slave UDLT.

Upon demodulating the return burst from the slave, the decoded data is transferred to the demodulation buffer and the signaling bits are stripped ready to be output on SO1 and SO2 at the next MSI. The voice data word is loaded into the transmit register as described in the TE1 pin description for outputting via the Tx pin at the TDC/RDC data clock rate under the control of TE1. VD is output on the rising edge of MSI. Timing diagrams for the master are shown in Figure 10.

SLAVE OPERATION

In the slave, the synchronizing event is the detection of an incoming line transmission from the master as indicated by the completion of demodulation. When an incoming burst from the master is demodulated, several events occur. As in the master, data is transferred from the demodulator to the demodulation buffer and the signaling bits are stripped for outputting at SO1 and SO2. Data in the receive register is transferred to the modulation buffer. TE1 goes high loading in data at SI1 and SI2, which will be used in the transmission burst to the master along with the data in the transmit data buffer, and outputting SO1, SO2, and VD. Modulation of the burst begins four 256 kHz periods after the completion of demodulation.

While TE1 is high, voice data is output on Tx to the telset codec–filter on the rising edges of the data clock output on the CLK pin. On the ninth rising edge of CLK, TE1 goes low, RE1 goes high, and voice data from the codec–filter is input to the receiver register from the Rx pin on the next eight falling edges of CLK. RE1 is TE1 inverted and is provided to facilitate interface to the codec–filter.

The CLK pin 128 kHz output is formed by dividing down the 4.096 MHz crystal frequency by 32. Slippage between the frame rate of the master (as represented by the completion of demodulation of an incoming transmission from the master) and the crystal frequency is absorbed by holding the 16th low period of CLK until the next completion of demodulation. This is shown in the slave UDLT timing diagram of Figure 11.

POWER–DOWN OPERATION

In the master when $\overline{PD}$ is low, the UDLT stops modulating and only that circuitry necessary to demodulate the incoming bursts and output the signaling and VD data bits is active. In this mode, if the UDLT receives a burst from the slave, the SO1, SO2, and VD pins will change state upon completion of the demodulation instead of the the rising edge of MSI. The state of these pins will not change until either three rising MSI edges have occurred without the reception of a burst from the slave or until another burst is demodulated, whichever occurs first.

When $\overline{PD}$ is brought high, the master UDLT will wait either three rising MSI edges or until the MSI rising edge following the demodulation of an incoming burst before transmitting to the slave. The data for the first transmission to the slave after power–up is loaded into the UDLT during the RE1 period prior to the burst in the case of voice, and on the present rising edge of MSI for signaling data.

In the slave, $\overline{PD}$ is a bidirectional pin with weak output drivers such that it can be overdriven externally. When held low, the UDLT slave is powered–down and only that circuitry necessary for demodulation, TE1/RE1/CLK generation upon demodulation, and the outputting of voice and signaling bits is active. When held high, the UDLT slave is powered–up and transmits normally in response to transmissions from the master. If no bursts have been received from the master within 250 µs after power–up (derived from the internal oscillator frequency), the UDLT generates an internal 125 µs free–running clock from the internal oscillator. The slave UDLT then bursts a transmission to the master UDLT every other 125 µs clock period using data loaded into the Rx pin during the last RE1 period and SI1, SI2 data loaded in on the internal 125 µs clock edge. The weak output drivers will try to force $\overline{PD}$ high when a transmission from the master is demodulated and will try to force it low if 250 µs have passed without a transmission from the master. This allows the slave UDLT to self power–up and down in demand power–loop systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

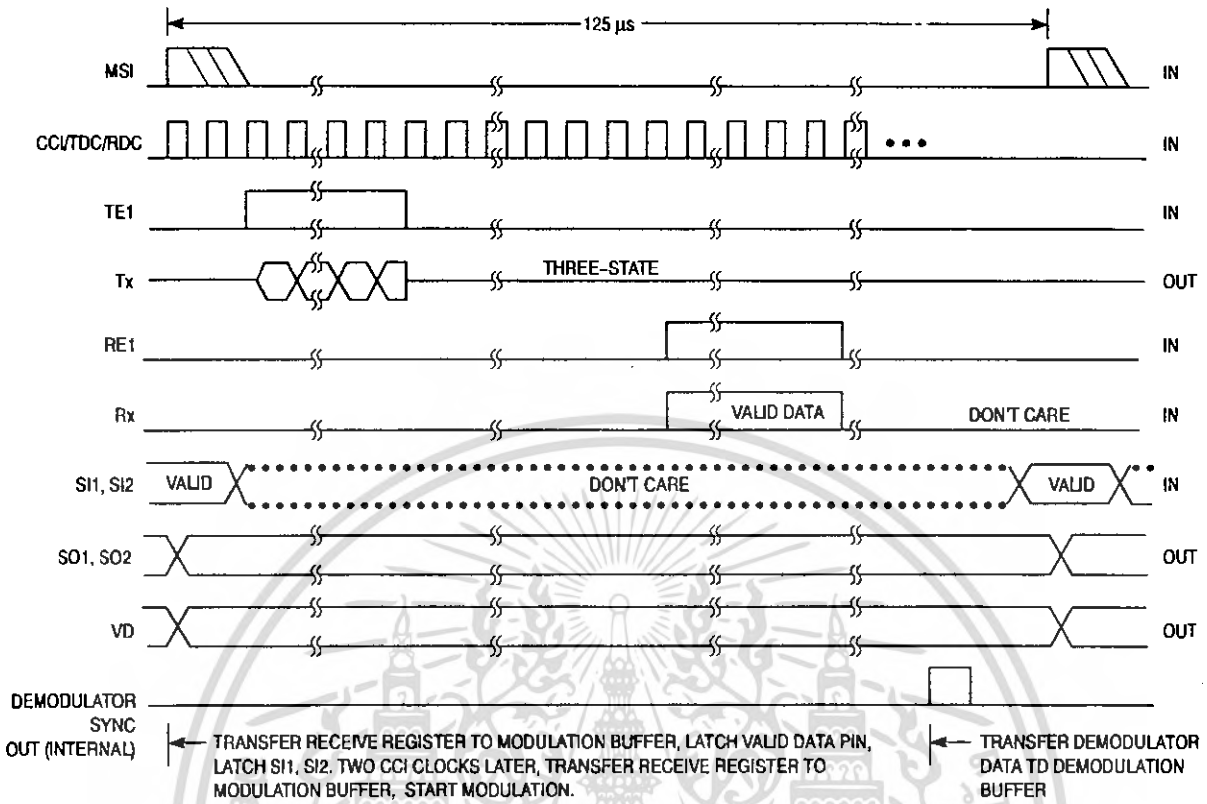
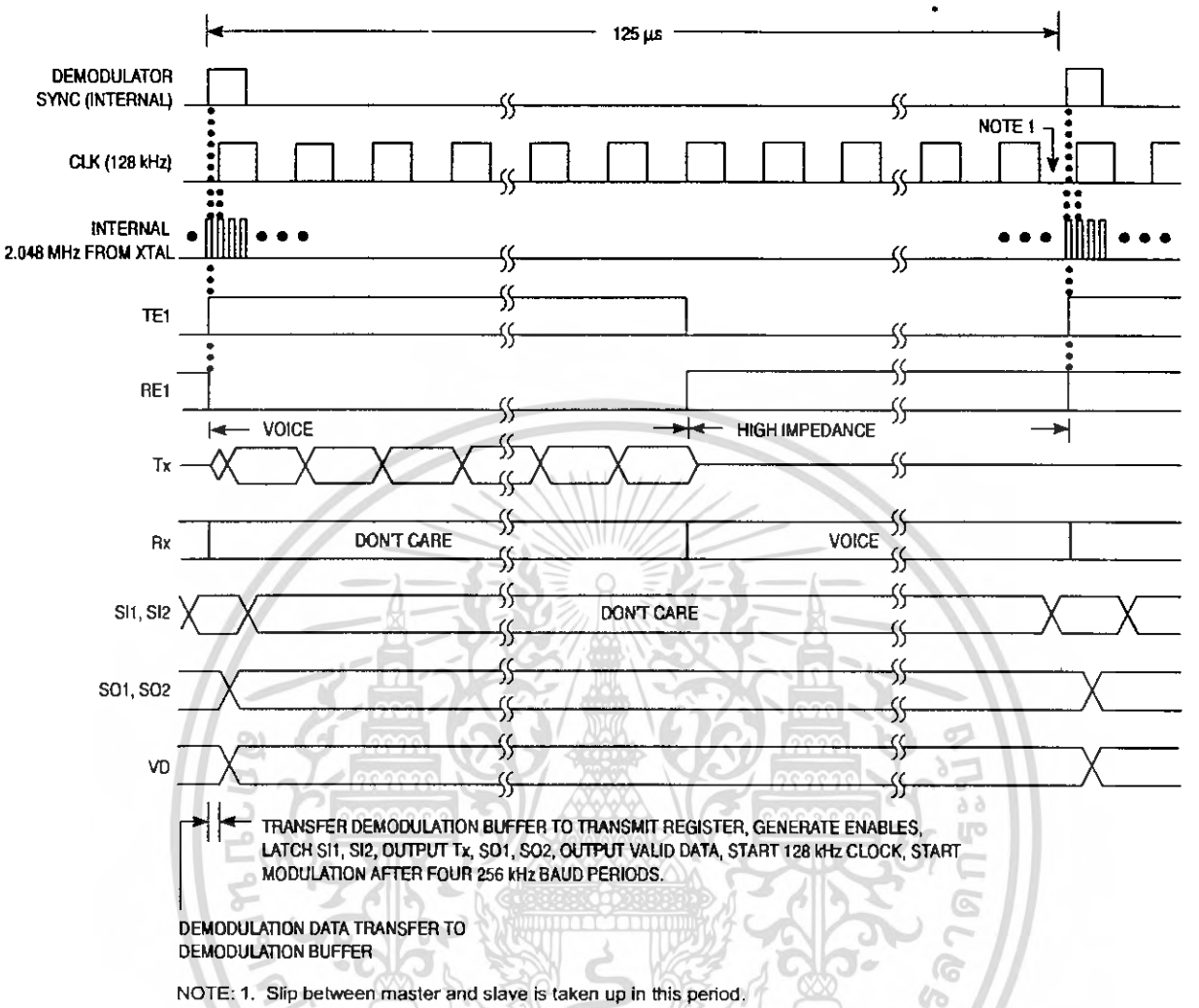


Figure 10. Master UDLT Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: 1. Slip between master and slave is taken up in this period.

Figure 11. Slave UDLT Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

Order this document
by MC145500/D

PCM Codec-Filter Mono-Circuit

MC145500
MC145501
MC145502
MC145503
MC145505

The MC145500, MC145501, MC145502, MC145503, and MC145505 are all per channel PCM Codec–Filter mono–circuits. These devices perform the voice digitization and reconstruction as well as the band limiting and smoothing required for PCM systems. The MC145500 and MC145503 are general purpose devices that are offered in a 16–pin package. They are designed to operate in both synchronous and asynchronous applications and contain an on–chip precision reference voltage. The MC145501 is offered in an 18–pin package and adds the capability of selecting from three peak overload voltages (2.5, 3.15, and 3.78 V). The MC145505 is a synchronous device offered in a 16–pin DIP and wide body SOIC package intended for instrument use. The MC145502 is the full–featured device which presents all of the options of the chip. This device is packaged in a 22–pin DIP and a 28–pin chip carrier package and contains all the features of the MC145500 and MC145501 plus several more. Most of these features can be made available in a lower pin count package tailored to a specific user's application. Contact the factory for further details.

These devices are pin–for–pin replacements for Motorola's first generation of MC14400/01/02/03/05 PCM mono–circuits and are upwardly compatible with the MC14404/06/07 codecs and other industry standard codecs. They also maintain compatibility with Motorola's family of MC33120 and MC3419 SLIC products.

The MC145500 family of PCM Codec–Filter mono–circuits utilizes CMOS due to its reliable low–power performance and proven capability for complex analog/digital VLSI functions.

MC145500 (This Device is Not Recommended for New Designs)

- 16–Pin Package
- Transmit Bandpass and Receive Low–Pass Filter On–Chip
- Pin Selectable Mu–Law/A–Law Companding with Corresponding Data Format
- On–Chip Precision Reference Voltage (3.15 V)
- Power Dissipation of 50 mW, Power–Down of 0.1 mW at ± 5 V
- Automatic Prescaler Accepts 128 kHz, 1.536, 1.544, 2.048, and 2.56 MHz for Internal Sequencing

MC145501 — All of the Above Plus:
(This Device is Not Recommended for New Designs)

- 18–Pin Package
- Selectable Peak Overload Voltages (2.5, 3.15, 3.78 V)
- Access to the Inverting Input of the Txl Input Operational Amplifier

MC145502 — All of the Above Plus:

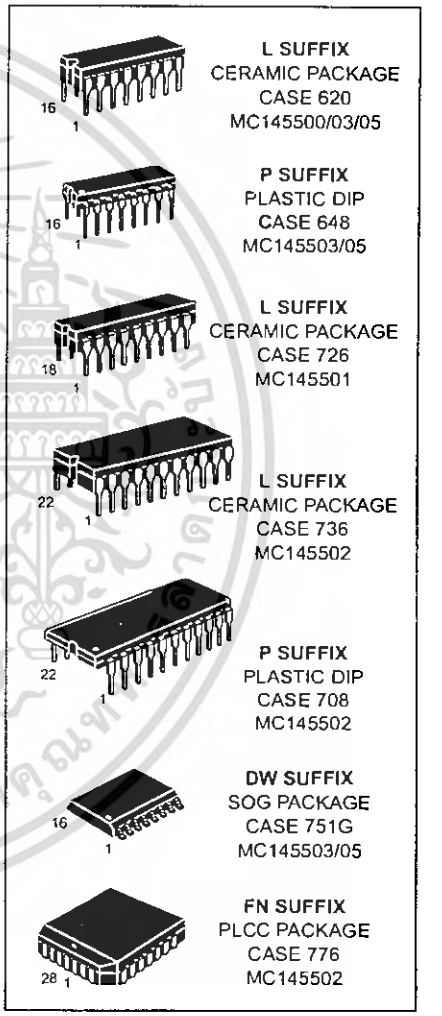
- 22–Pin and 28–Pin Packages
- Variable Data Clock Rates (64 kHz to 4.1 MHz)
- Complete Access to the Three Terminal Transmit Input Operational Amplifiers
- An External Precision Reference May Be Used

MC145503 — All of the Above Features of the MC145500 Plus:

- 16–Pin Package
- Complete Access to the Three Terminal Transmit Input Operational Amplifiers

MC145505 — Same as MC145503 Except:

- 16–Pin Package
- Common 64 kHz to 4.1 MHz Transmit/Receive Data Clock



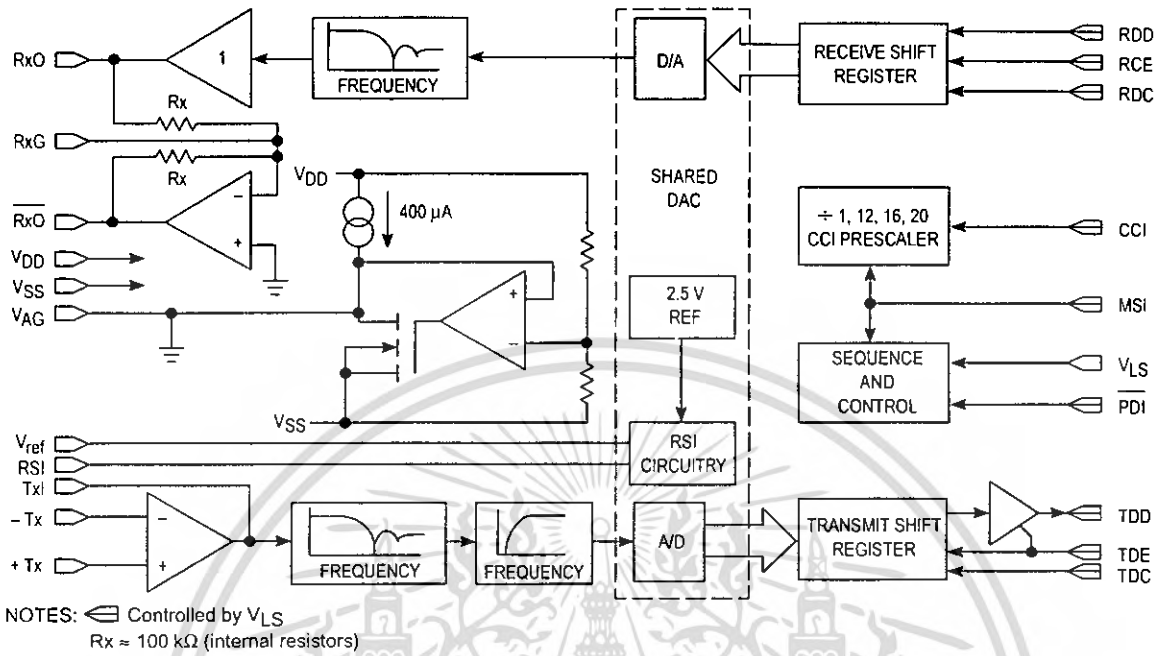
REV 1
9/95 (Replaces ADI1287)

MOTOROLA

© Motorola, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

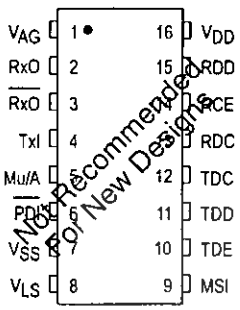
MC145500/01/02/03/05 PCM CODEC–FILTER MONO–CIRCUIT BLOCK DIAGRAM



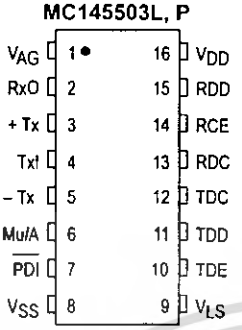
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชนด้านการคา
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENTS
(DRAWINGS DO NOT REFLECT RELATIVE SIZE)

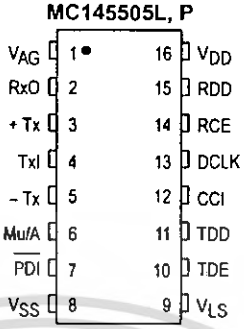
MC145500L



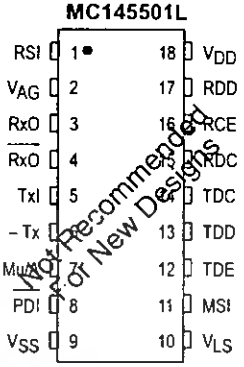
MC145503L, P



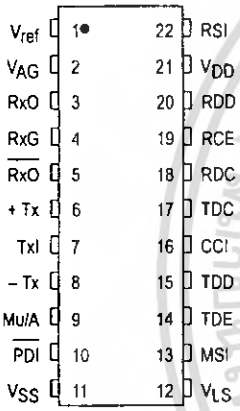
MC145505L, P



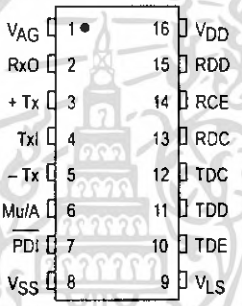
MC145501L



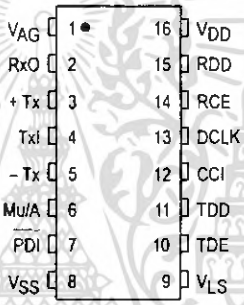
MC145502L, P



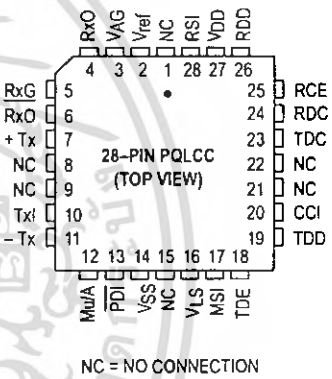
MC145503DW



MC145505DW



MC145502FN



NC = NO CONNECTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Voltage Referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}, V_{SS}	– 0.5 to 13	V
Voltage, Any Pin to V_{SS}	V	– 0.5 to V_{DD} + 0.5	V
DC Drain Per Pin (Excluding V_{DD}, V_{SS})	I	10	mA
Operating Temperature Range	T_A	– 40 to + 85	°C
Storage Temperature Range	T_{stg}	– 85 to + 150	°C

This device contains circuitry to protect against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., V_{SS}, V_{DD}, V_{LS}, or V_{AG}).

RECOMMENDED OPERATING CONDITIONS (T_A = – 40 to + 85°C)

Characteristic	Min	Typ	Max	Unit
DC Supply Voltage				V
Dual Supplies: V_{DD} = – V_{SS}, (V_{AG} = V_{LS} = 0 V)	4.75	5.0	6.3	
Single Supply: V_{DD} to V_{SS} (V_{AG} is an Output, V_{LS} = V_{DD} or V_{SS})				
MC145500, MC145501, MC145502, MC145503, MC145505 (Using Internal 3.15 V Reference)	8.5	—	12.6	
MC145501, MC145502 Using Internal 2.5 V Reference	7.0	—	12.6	
MC145501, MC145502 Using Internal 3.78 V Reference	9.5	—	12.6	
MC145502 Using External 1.5 V Reference, Referenced to V_{AG}	4.75	—	12.6	
Power Dissipation				mW
CMOS Logic Mode (V_{DD} to V_{SS} = 10 V, V_{LS} = V_{DD})	—	40	70	
TTL Logic Mode (V_{DD} = + 5 V, V_{SS} = – 5 V, V_{LS} = V_{AG} = 0 V)	—	50	90	
Power Down Dissipation	—	0.1	1.0	mW
Frame Rate Transmit and Receive	7.5	8.0	8.5	kHz
Data Rate	—	128	—	kHz
MC145500, MC145501, MC145503	—	1536	—	
Must Use One of These Frequencies, Relative to MSI Frequency of 8 kHz	—	1544	—	
	—	2048	—	
	—	2560	—	
Data Rate for MC145502, MC145505	64	—	4096	kHz
Full Scale Analog Input and Output Level				Vp
MC145500, MC145503, MC145505	—	3.15	—	
MC145501, MC145502 (V_{ref} = V_{SS}) RSI = V_{DD}	—	3.78	—	
RSI = V_{SS}	—	3.15	—	
RSI = V_{AG}	—	2.5	—	
MC145502 Using an External Reference Voltage Applied at V_{ref} Pin RSI = V_{DD}	—	1.51 x V_{ref}	—	
RSI = V_{SS}	—	1.26 x V_{ref}	—	
RSI = V_{AG}	—	V_{ref}	—	

DIGITAL LEVELS (V_{SS} to V_{DD} = 4.75 V to 12.6 V, T_A = – 40 to + 85°C)

Characteristic		Symbol	Min	Max	Unit
Input Voltage Levels (TDE, TDC, RCE, RDC, RDD, DC, MSI, CCI, PDI)					V
CMOS Mode (V_{LS} = V_{DD}, V_{SS} is Digital Ground)	"0"	V_{IL}	—	0.3 x V_{DD}	
	"1"	V_{IH}	0.7 x V_{DD}	—	
TTL Mode ($V_{LS} \le V_{DD}$ – 4.0 V, V_{LS} is Digital Ground)	"0"	V_{IL}	—	V_{LS} + 0.8 V	
	"1"	V_{IH}	V_{LS} + 2.0 V	—	
Output Current for TDD (Transmit Digital Data)					mA
CMOS Mode (V_{LS} = V_{DD}, V_{SS} = 0 V and is Digital Ground)					
(V_{DD} = 5 V, V_{out} = 0.4 V)		I_{OL}	1.0	—	
(V_{DD} = 10 V, V_{out} = 0.5 V)			3.0	—	
(V_{DD} = 5 V, V_{out} = 4.5 V)		I_{OH}	– 1.0	—	
(V_{DD} = 10 V, V_{out} = 9.5 V)			– 3.0	—	
TTL Mode ($V_{LS} \le V_{DD}$ – 4.75 V, V_{LS} = 0 V and is Digital Ground)	(V_{OL} = 0.4 V)	I_{OL}	1.6	—	
	(V_{OH} = 2.4 V)	I_{OH}	– 0.2	—	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG TRANSMISSION PERFORMANCE

(V_{DD} = + 5 V ± 5%, V_{SS} = – 5 V ± 5%, V_{LS} = V_{AG} = 0 V, V_{ref} = RSI = V_{SS} (Internal 3.15 V Reference), 0 dBm0 = 1.546 Vrms = + 6 dBm @ 600 Ω, T_A = – 40 to + 85°C, TDC = RDC = CC = 2.048 MHz, TDE = RCE = MSI = 8 kHz, Unless Otherwise Noted)

Characteristic	End–to–End		A/D		D/A		Unit
	Min	Max	Min	Max	Min	Max	
Absolute Gain (0 dBm0 @ 1.02 kHz, T_A = 25°C, V_{DD} = 5 V, V_{SS} = – 5 V)	—	—	– 0.30	+ 0.30	– 0.30	+ 0.30	dB
Absolute Gain Variation with Temperature 0 to + 70°C	—	—	—	± 0.03	—	± 0.03	dB
Absolute Gain Variation with Temperature – 40 to + 85°C	—	—	—	± 0.1	—	± 0.1	dB
Absolute Gain Variation with Power Supply (V_{DD} = 5 V, V_{SS} = – 5 V, 5%)	—	—	—	± 0.02	—	± 0.02	dB
Gain vs Level Tone (Relative to – 10 dBm0, 1.02 kHz) + 3 to – 40 dBm0	– 0.4	+ 0.4	– 0.2	+ 0.2	– 0.2	+ 0.2	dB
– 40 to – 50 dBm0	– 0.8	+ 0.8	– 0.4	+ 0.4	– 0.4	+ 0.4	
– 50 to – 55 dBm0	– 1.6	+ 1.6	– 0.8	+ 0.8	– 0.8	+ 0.8	
Gain vs Level Pseudo Noise (A–Law Relative to – 10 dBm0)							dB
CCITT G.714 – 10 to – 40 dBm0	—	—	– 0.25	+ 0.25	– 0.25	+ 0.25	
– 40 to – 50 dBm0	—	—	– 0.30	+ 0.30	– 0.30	+ 0.30	
– 50 to – 55 dBm0	—	—	– 0.45	+ 0.45	– 0.45	+ 0.45	
Total Distortion – 1.02 kHz Tone (C–Message) 0 to – 30 dBm0	35	—	36	—	36	—	dBC
– 40 dBm0	29	—	29	—	30	—	
– 45 dBm0	24	—	24	—	25	—	
Total Distortion With Pseudo Noise (A–Law) – 3 dBm0	27.5	—	28	—	28.5	—	dB
CCITT G.714 – 6 to – 27 dBm0	35	—	35.5	—	36	—	
– 34 dBm0	33.1	—	33.5	—	34.2	—	
– 40 dBm0	28.2	—	28.5	—	30.0	—	
– 55 dBm0	13.2	—	13.5	—	15.0	—	
Idle Channel Noise (For End–End and A/D, See Note 1)							
Mu–Law, C–Message Weighted	—	15	—	15	—	9	dBrnC0
A–Law, Psophometric Weighted	—	– 69	—	– 69	—	– 78	dBm0p
Frequency Response (Relative to 1.02 kHz @ 0 dBm0) 15 to 60 Hz	—	– 23	—	– 23	—	0.15	dB
300 to 3000 Hz	– 0.3	+ 0.3	– 0.15	+ 0.15	– 0.15	+ 0.15	
3400 Hz	– 1.6	0	– 0.8	0	– 0.8	0	
4000 Hz	—	– 28	—	– 14	—	– 14	
≥ 4600 Hz	—	– 60	—	– 32	—	– 30	
Inband Spurious (1.02 kHz @ 0 dBm0, Transmit and RxO)							dBm0
300 to 3000 Hz	—	—	—	– 43	—	– 43	
Out–of–Band Spurious at RxO (300 – 3400 Hz @ 0 dBm0 In)							dB
4600 to 7600 Hz	—	– 30	—	—	—	– 30	
7600 to 8400 Hz	—	– 40	—	—	—	– 40	
8400 to 100,000 Hz	—	– 30	—	—	—	– 30	
Idle Channel Noise Selective @ 8 kHz, Input = V_{AG}, 30 Hz Bandwidth	—	– 70	—	—	—	– 70	dBm0
Absolute Delay @ 1600 Hz (TDC = 2.048 MHz, TDE = 8 kHz)	—	—	—	310	—	180	µs
Group Delay Referenced to 1600 Hz (TDC = 2048 kHz,							µs
TDE = 8 kHz) 500 to 600 Hz	—	—	—	200	– 40	—	
600 to 800 Hz	—	—	—	140	– 40	—	
800 to 1000 Hz	—	—	—	70	– 30	—	
1000 to 1600 Hz	—	—	—	40	– 20	—	
1600 to 2600 Hz	—	—	—	75	—	90	
2600 to 2800 Hz	—	—	—	110	—	120	
2800 to 3000 Hz	—	—	—	170	—	160	
Crosstalk of 1020 Hz @ 0 dBm0 From A/D or D/A (Note 2)	—	—	—	– 75	—	– 80	dB
Intermodulation Distortion of Two Frequencies of Amplitudes – 4 to – 21 dBm0 from the Range 300 to 3400 Hz	—	—	—	– 41	—	– 41	dB

NOTES:

1. Extrapolated from a 1020 Hz @ – 50 dBm0 distortion measurement to correct for encoder enhancement.
2. Selectively measured while the A/D is stimulated with 2667 Hz @ – 50 dBm0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ANALOG ELECTRICAL CHARACTERISTICS (V_{DD} = – V_{SS} = 5 V to 6 V ± 5%, T_A = – 40 to + 85°C)

Characteristic		Symbol	Min	Typ	Max	Unit
Input Current	+Tx, –Tx (TxI for MC145500)	I_{in}	—	± 0.01	± 0.2	µA
AC Input Impedance to V_{AG} (1 kHz)	+Tx, –Tx TxI for MC145500	Z_{in}	5 0.1	10 0.2	— —	MΩ
Input Capacitance	+Tx, –Tx		—	—	10	pF
Input Offset Voltage of TxI Op Amp			—	< ± 30	—	mV
Input Common Mode Voltage Range	+Tx, –Tx	V_{ICR}	V_{SS} + 1.0	—	V_{DD} – 2.0	V
Input Common Mode Rejection Ratio	+Tx, –Tx	CMRR	—	70	—	dB
TxI Unity Gain Bandwidth	$R_L \geq 10$ kΩ	BW_p	—	1000	—	kHz
TxI Open Loop Gain	$R_L \geq 10$ kΩ	A_{VOL}	—	75	—	dB
Equivalent Input Noise (C–Message) Between +Tx and –Tx, at TxI			—	– 20	—	dBrnC0
Output Load Capacitance for TxI Op Amp			0	—	100	pF
Output Voltage Range TxI Op Amp, RxO or RxO R_L = 10 kΩ to V_{AG} R_L = 600 Ω to V_{AG}		V_{out}	 V_{SS} + 0.8 V_{SS} + 1.5	 — —	 V_{DD} – 1.0 V_{DD} – 1.5	V
Output Current TxI, RxO, $\overline{RxO}$	V_{SS} + 1.5 V ≤ V_{out} ≤ V_{DD} – 1.5 V		± 5.5	—	—	mA
Output Impedance RxO, RxO*	0 to 3.4 kHz	Z_{out}	—	3	—	Ω
Output Load Capacitance for RxO and RxO*			0	—	200	pF
Output dc Offset Voltage Referenced to V_{AG} Pin	$\overline{RxO}$ RxO*		— —	— —	± 100 ± 150	mV
Internal Gainsetting Resistors for RxG to RxO and RxO			62	100	225	kΩ
External Reference Voltage Applied to V_{ref} (Referenced to V_{AG})			0.5	—	V_{DD} – 1.0	V
V_{ref} Input Current			—	—	20	µA
V_{AG} Output Bias Voltage			—	0.53 V_{DD} + 0.47 V_{SS}	—	V
V_{AG} Output Current	Source Sink	I_{VAG}	0.4 10.0	— —	0.8 —	mA
Output Leakage Current During Power Down for the TxI Op Amp, V_{AG}, RxO, and RxO			—	—	± 30	µA
Positive Power Supply Rejection Ratio, 0 – 100 kHz @ 250 mV, C–Message Weighting	Transmit Receive		45 55	50 65	— —	dBC
Negative Power Supply Rejection Ratio, 0 – 100 kHz @ 250 mV, C–Message Weighting	Transmit Receive		50 50	55 60	— —	dBC

* Assumes that RxG is not connected for gain modifications to RxO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE CONTROL LOGIC (V_{SS} to V_{DD} = 4.75 V to 12.6 V, T_A = – 40 to + 85°C)

Characteristic	Min	Typ	Max	Unit
V_{LS} Voltage for TTL Mode (TTL Logic Levels Referenced to V_{LS})	V_{SS}	—	V_{DD} – 4.0	V
V_{LS} Voltage for CMOS Mode (CMOS Logic Levels of V_{SS} to V_{DD})	V_{DD} – 0.5	—	V_{DD}	V
Mu/A Select Voltage				V
Mu–Law Mode	V_{DD} – 0.5	—	V_{DD}	
Sign Magnitude Mode	V_{AG} – 0.5	—	V_{AG} + 0.5	
A–Law Mode	V_{SS}	—	V_{SS} + 0.5	
RSI Voltage for Reference Select Input (MC145501 and MC145502)				V
3.78 V Mode	V_{DD} – 0.5	—	V_{DD}	
2.5 V Mode	V_{AG} – 0.5	—	V_{AG} + 0.5	
3.15 V Mode	V_{SS}	—	V_{SS} + 0.5	
V_{ref} Voltage for Internal or External Reference (MC145502 Only)				V
Internal Reference Mode	V_{SS}	—	V_{SS} + 0.5	
External Reference Mode	V_{AG} + 0.5	—	V_{DD} – 1.0	
Analog Test Mode Frequency, MS = CCI (MC145500, MC145501, MC145502 Only) See Pin Description; Test Modes	—	128	—	kHz

SWITCHING CHARACTERISTICS (V_{SS} to V_{DD} = 9.5 V to 12.6 V, T_A = – 40 to + 85°C, C_L = 150 pF, CMOS or TTL Mode)

Characteristic		Symbol	Min	Typ	Max	Unit
Output Rise Time	TDD	t_{TLH}	—	30	80	ns
Output Fall Time		t_{THL}	—	30	80	
Input Rise Time	TDE, TDC, RCE, RDC, DC, MSI, CCI	t_{TLH}	—	—	4	µs
Input Fall Time		t_{THL}	—	—	4	
Pulse Width	TDE Low, TDC, RCE, RDC, DC, MSI, CCI	t_W	100	—	—	ns
DCLK Pulse Frequency (MC145502/05 Only)	TDC, RDC, DC	f_{CL}	64	—	4096	kHz
CCI Clock Pulse Frequency (MSI = 8 kHz)		f_{CL1}	—	128	—	kHz
CCI is internally tied to TDC on the MC145500/01/03, therefore, the		f_{CL2}	—	1536	—	
transmit data clock must be one of these frequencies. This pin will accept		f_{CL3}	—	1544	—	
one of these discrete clock frequencies and will compensate to produce		f_{CL4}	—	2048	—	
internal sequencing.		f_{CL5}	—	2560	—	
Propagation Delay Time						ns
TDE Rising to TDD Low Impedance	TTL	t_{P1}	—	90	180	
	CMOS		—	90	150	
TDE Falling to TDD High Impedance	TTL	t_{P2}	—	—	55	
	CMOS		—	—	40	
TDC Rising Edge to TDD Data, During TDE High	TTL	t_{P3}	—	90	180	
	CMOS		—	90	150	
TDE Rising Edge to TDD Data, During TDC High	TTL	t_{P4}	—	90	180	
	CMOS		—	90	150	
TDC Falling Edge to TDE Rising Edge Setup Time		t_{su1}	20	—	—	ns
TDE Rising Edge to TDC Falling Edge Setup Time		t_{su2}	100	—	—	ns
TDE Falling Edge to TDC Rising Edge to Preserve the Next TDD Data		t_{su8}	20	—	—	ns
RDC Falling Edge to RCE Rising Edge Setup Time		t_{su3}	20	—	—	ns
RCE Rising Edge to RDC Falling Edge Setup Time		t_{su4}	100	—	—	ns
RDD Valid to RDC Falling Edge Setup Time		t_{su5}	60	—	—	ns
CCI Falling Edge to MSI Rising Edge Setup Time		t_{su6}	20	—	—	ns
MSI Rising Edge to CCI Falling Edge Setup Time		t_{su7}	100	—	—	ns
RDD Hold Time from RDC Falling Edge		t_h	100	—	—	ns
TDE, TDC, RCE, RDC, RDD, DC, MSI, CCI Input Capacitance			—	—	10	pF
TDE,TDC, RCE, RDC, RDD, DC, MSI, CCI Input Current			—	± 0.01	± 10	µA
TDD Capacitance During High Impedance (TDE Low)			—	12	15	pF
TDD Input Current During High Impedance (TDE Low)			—	± 0.1	± 10.0	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEVICE DESCRIPTIONS

A codec–filter is a device which is used for digitizing and reconstructing the human voice. These devices were developed primarily for the telephone network to facilitate voice switching and transmission. Once the voice is digitized, it may be switched by digital switching methods or transmitted long distance (T1, microwave, satellites, etc.) without degradation. The name codec is an acronym from "Coder" for the A/D used to digitize voice, and "Decoder" for the D/A used for reconstructing voice. A codec is a single device that does both the A/D and D/A conversions.

To digitize intelligible voice requires a signal to distortion of about 30 dB for a dynamic range of about 40 dB. This may be accomplished with a linear 13–bit A/D and D/A, but will far exceed the required signal to distortion at amplitudes greater than 40 dB below the peak amplitude. This excess performance is at the expense of data per sample. Two methods of data reduction are implemented by compressing the 13–bit linear scheme to companded 8–bit schemes. These companding schemes follow a segmented or "piecewise–linear" curve formatted as sign bit, three chord bits, and four step bits. For a given chord, all 16 of the steps have the same voltage weighting. As the voltage of the analog input increases, the four step bits increment and carry to the three chord bits which increment. With the chord bits incremented, the step bits double their voltage weighting. This results in an effective resolution of 6–bits (sign + chord + four step bits) across a 42 dB dynamic range (7 chords above zero, by 6 dB per chord). There are two companding schemes used; Mu–255 Law specifically in North America, and A–Law specifically in Europe. These companding schemes are accepted world wide. The tables show the linear quantization levels to PCM words for the two companding schemes.

In a sampling environment, Nyquist theory says that to properly sample a continuous signal, it must be sampled at a frequency higher than twice the signal's highest frequency component. Voice contains spectral energy above 3 kHz, but its absence is not detrimental to intelligibility. To reduce the digital data rate, which is proportional to the sampling rate, a sample rate of 8 kHz was adopted, consistent with a bandwidth of 3 kHz. This sampling requires a low–pass filter to limit the high frequency energy above 3 kHz from distorting the inband signal. The telephone line is also subject to 50/60 Hz power line coupling which must be attenuated from the signal by a high–pass filter before the A/D converter.

The D/A process reconstructs a staircase version of the desired inband signal which has spectral images of the inband signal modulated about the sample frequency and its harmonics. These spectral images are called aliasing components which need to be attenuated to obtain the desired signal. The low–pass filter used to attenuate filter aliasing components is typically called a reconstruction or smoothing filter.

The MC145500 series PCM Codec–Filters have the codec, both presampling and reconstruction filters, a precision voltage reference on chip, and require no external components. There are five distinct versions of the Motorola MC145500 Series.

MC145500

The MC145500 PCM Codec–Filter is intended for standard byte interleaved synchronous and asynchronous applications. The TDC pin on this device is the input to both the TDC and CCI functions in the pin description. Consequently, for MSI = 8 kHz, TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty cycle) 1.536, 1.544, 2.048, or 2.56 MHz. (For other data clock frequencies, see MC145502 or MC145505.) The internal reference is set for 3.15 V peak full scale, and the full scale input level at TxI and output level at RxO is 6.3 V peak–to–peak. This is the + 3 dBm0 level of the PCM Codec–Filter. All other functions are described in the pin description.

MC145501

The MC145501 PCM Codec–Filter offers the same features and is for the same application as the MC145500, but offers two additional pins and features. The reference select input allows the full scale level of the device to be set at 2.5 Vp, 3.15 Vp, or 3.78 Vp. The –Tx pin allows for extemal transmit gain adjust and simplifies the interface to the MC3419 SLIC. Otherwise, it is identical to MC145500.

MC145502

The MC145502 PCM Codec–Filter is the full feature 22–pin device. It is intended for use in applications requiring maximum flexibility. The MC145502 contains all the features of the MC145500 and MC145501. The MC145502 is intended for bit interleaved or byte interleaved applications with data clock frequencies which are nonstandard or time varying. One of the five standard frequencies (listed above) is applied to the CCI input, and the data clock inputs can be any frequency between 64 kHz and 4.096 MHz. The V_{ref} pin allows for use of an external shared reference or selection of the internal reference. The RxG pin accommodates gain adjustments for the inverted analog output. All three pins of the input gain–setting operational amplifier are present, providing maximum flexibility for the analog interface.

MC145503

The MC145503 PCM Codec–Filter is intended for standard byte interleaved synchronous or asynchronous applications. TDC can be one of five discrete frequencies. These are 128 kHz (40 to 60% duty cycle), 1.536, 1.544, 2.048, or 2.56 MHz. (For other data clock frequencies, see MC145502 or MC145505.) The internal reference is set for 3.15 V peak full scale, and the full scale input level at TxI and output level at RxO is 6.3 V peak–to–peak. This is the + 3 dBm0 level of the PCM Codec–Filter. The +Tx and –Tx inputs provide maximum flexibility for analog interface. All other functions are described in the pin description.

MC145505

The MC145505 PCM Codec–Filter is intended for byte interleaved synchronous applications. The MC145505 has all the features of the MC145503 but internally connects TDC and RDC (see pin description) to the DC pin. One of the five standard frequencies (listed above) should be applied to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CCI. The data clock input (DC) can be any frequency between 64 kHz and 4.096 MHz.

PIN DESCRIPTIONS

DIGITAL

V_{LS}

Logic Level Select input and TTL Digital Ground

V_{LS} controls the logic levels and digital ground reference for all digital inputs and the digital output. These devices can operate with logic levels from full supply (V_{SS} to V_{DD}) or with TTL logic levels using V_{LS} as digital ground. For V_{LS} = V_{DD}, all I/O is full supply (V_{SS} to V_{DD} swing) with CMOS switch points. For $V_{SS} < V_{LS} < (V_{DD} - 4\ V)$, all inputs and outputs are TTL compatible with V_{LS} being the digital ground. The pins controlled by V_{LS} are inputs MSI, CCI, TDE, TDC, RCE, RDC, RDD, PDI, and output TDD.

MSI

Master Synchronization Input

MSI is used for determining the sample rate of the transmit side and as a time base for selecting the internal prescale divider for the convert clock input (CCI) pin. The MSI pin should be tied to an 8 kHz clock which may be a frame sync or system sync signal. MSI has no relation to transmit or receive data timing, except for determining the internal transmit strobe as described under the TDE pin description. MSI should be derived from the transmit timing in asynchronous applications. In many applications MSI can be tied to TDE. (MSI is tied internally to TDE in MC145503/05.)

CCI

Convert Clock Input

CCI is designed to accept five discrete clock frequencies. These are 128 kHz, 1.536 MHz, 1.544 MHz, 2.048 MHz, or 2.56 MHz. The frequency at this input is compared with MSI and prescale divided to produce the internal sequencing clock at 128 kHz (or 16 times the sampling rate). The duty cycle of CCI is dictated by the minimum pulse width except for 128 kHz, which is used directly for internal sequencing and must have a 40 to 60% duty cycle. In asynchronous applications, CCI should be derived from transmit timing. (CCI is tied internally to TDC in MC145500/01/03.)

TDC

Transmit Data Clock Input

TDC can be any frequency from 64 kHz to 4.096 MHz, and is often tied to CCI if the data rate is equal to one of the five discrete frequencies. This clock is the shift clock for the transmit shift register and its rising edges produce successive data bits at TDD. TDE should be derived from this clock. (TDC and RDC are tied together internally in the MC145505 and are called DC.) CCI is internally tied to TDC on the MC145500/ 01/03. Therefore, TDC must satisfy CCI timing requirements also.

TDE

Transmit Data Enable Input

TDE serves three major functions. The first TDE rising edge following an MSI rising edge generates the internal transmit strobe which initiates an A/D conversion. The internal transmit strobe also transfers a new PCM data word into the transmit shift register (sign bit first) ready to be output at TDD. The TDE pin is the high impedance control for the transmit digital data (TDD) output. As long as this pin is high, the TDD output stays low impedance. This pin also enables the output shift register for clocking out the 8–bit serial PCM word. The logical AND of the TDE pin with the TDC pin clocks out a new data bit at TDD. TDE should be held high for eight consecutive TDC cycles to clock out a complete PCM word for byte interleaved applications. The transmit shift register feeds back on itself to allow multiple reads of the transmit data. If the PCM word is clocked out once per frame in a byte interleaved system, the MSI pin function is transparent and may be connected to TDE.

The TDE pin may be cycled during a PCM word for bit interleaved applications. TDE controls both the high impedance state of the TDD output and the internal shift clock. TDE must fall before TDC rises (t_{su8}) to ensure integrity of the next data bit. There must be at least two TDC falling edges between the last TDE rising edge of one frame and the first TDE rising edge of the next frame. MSI must be available separate from TDE for bit interleaved applications.

TDD

Transmit Digital Data Output

The output levels at this pin are controlled by the V_{LS} pin. For V_{LS} connected to V_{DD}, the output levels are from V_{SS} to V_{DD}. For a voltage of V_{LS} between $V_{DD}-4\ V$ and V_{SS}, the output levels are TTL compatible with V_{LS} being the digital ground supply. The TDD pin is a three–state output controlled by the TDE pin. The timing of this pin is controlled by TDC and TDE. When in TTL mode, this output may be made high–speed CMOS compatible using a pull–up resistor. The data format (Mu–Law, A–Law, or sign magnitude) is controlled by the Mu/A pin.

RDC

Receive Data Clock Input

RDC can be any frequency from 64 kHz to 4.096 MHz. This pin is often tied to the TDC pin for applications that can use a common clock for both transmit and receive data transfers. The receive shift register is controlled by the receive clock enable (RCE) pin to clock data into the receive digital data (RDD) pin on falling RDC edges. These three signals can be asynchronous with all other digital pins. The RDC input is internally tied to the TDC input on the MC145505 and called DC.

RCE

Receive Clock Enable Input

The rising edge of RCE should identify the sign bit of a receive PCM word on RDD. The next falling edge of RDC, after a rising RCE, loads the first bit of the PCM word into the receive register. The next seven falling edges enter the remainder of the PCM word. On the ninth rising edge, the receive PCM word is transferred to the receive buffer register and the A/D sequence is interrupted to commence the decode process. In asynchronous applications with an 8 kHz transmit sample rate, the receive sample rate should be between 7.5 and 8.5 kHz. Two receive PCM words may be decoded and analog summed each transmit frame to allow on–chip conferencing. The two PCM words should be clocked in as two single PCM words, a minimum of 31.25 µs apart, with a receive data clock of 512 kHz or faster.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RDD
Receive Digital Data Input

RDD is the receive digital data input. The timing for this pin is controlled by RDC and RCE. The data format is determined by the Mu/A pin.

Mu/A
Select

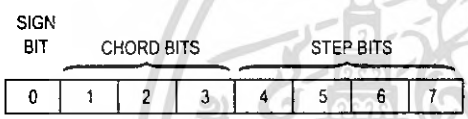
This pin selects the companding law and the data format at TDD and RDD.

Mu/A = V_{DD}; Mu–255 Companding D3 Data Format with Zero Code Suppress

Mu/A = V_{AG}; Mu–255 Companding with Sign Magnitude Data Format

Mu/A = V_{SS}; A–Law Companding with CCITT Data Format Bit Inversions

Code	Sign/ Magnitude	Mu–Law	A–Law (CCITT)
+ Full Scale	1111 1111	1000 0000	1010 1010
+ Zero	1000 0000	1111 1111	1101 0101
– Zero	0000 0000	0111 1111	0101 0101
– Full Scale	0111 1111	0000 0010	0010 1010



NOTE: Starting from sign magnitude, to change format:

To Mu–Law —
- MSB is unchanged (sign)
- Invert remaining seven bits
- If code is 0000 0000, change to 0000 0010 (for zero code suppression)

To A–Law —
- MSB is unchanged (sign)
- Invert odd numbered bits
- Ignore zero code suppression

$\overline{PDI}$
Power Down Input

The power down input disables the bias circuitry and gates off all clock inputs. This puts the V_{AG}, TxI, RxO, RxO, and TDD outputs into a high–impedance state. The power dissipation is reduced to 0.1 mW when PDI is a low logic level. The circuit operates normally with PDI = V_{DD} or with a logic high as defined by connection at V_{LS}. TDD will not come out of high impedance for two MSI cycles after PDI goes high.

DCLK
Data Clock Input

In the MC145505, TDC and RDC are internally connected to DCLK.

ANALOG

V_{AG}
Analog Ground Input/Output Pin

V_{AG} is the analog ground power supply input/output. All analog signals into and out of the device use this as their ground reference. Each version of the MC145500 PCM Codec–Filter family can provide its own analog ground supply internally. The dc voltage of this internal supply is 6% positive of the midway between V_{DD} and V_{SS}. This supply can sink more than 8 mA but has a current source limited to 400 µA. The output of this supply is internally connected to the analog ground input of the part. The node where this supply and the analog ground are connected is brought out to the V_{AG} pin. In symmetric dual supply systems (± 5, ± 6, etc.), V_{AG} may be externally tied to the system analog ground supply. When RxO or RxO drive low impedance loads tied to V_{AG}, a pull–up resistor to V_{DD} will be required to boost the source current capability if V_{AG} is not tied to the supply ground. All analog signals for the part are referenced to V_{AG}, including noise; therefore, decoupling capacitors (0.1 µF) should be used from V_{DD} to V_{AG} and V_{SS} to V_{AG}.

V_{ref}
Positive Voltage Reference Input (MC145502 Only)

The V_{ref} pin allows an external reference voltage to be used for the A/D and D/A conversions. If V_{ref} is tied to V_{SS}, the internal reference is selected. If $V_{ref} > V_{AG}$, then the external mode is selected and the voltage applied to V_{ref} is used for generating the internal converter reference voltage. In either internal or external reference mode, the actual voltage used for conversion is multiplied by the ratio selected by the RSI pin. The RSI pin circuitry is explained under its pin description below. Both the internal and external references are inverted within the PCM Codec–Filter for negative input voltages such that only one reference is required.

External Mode — In the external reference mode ($V_{ref} > V_{AG}$), a 2.5 V reference like the MC1403 may be connected from V_{ref} to V_{AG}. A single external reference may be shared by tying together a number of V_{ref} pins and V_{AG} pins from different codec–filters. In special applications, the external reference voltage may be between 0.5 and 5 V. However, the reference voltage gain selection circuitry associated with RSI must be considered to arrive at the desired codec–filter gain.

Internal Mode — In the internal reference mode ($V_{ref} = V_{SS}$), an internal 2.5 V reference supplies the reference voltage for the RSI circuitry. The V_{ref} pin is functionally connected to V_{SS} for the MC145500, MC145501, MC145503, and MC145505 pinouts.

RSI
Reference Select Input (MC145501/02 Only)

The RSI input allows the selection of three different overload or full–scale A/D and D/A converter reference voltages independent of the internal or external reference mode. The RSI pin is a digital input that senses three different logic states: V_{SS}, V_{AG}, and V_{DD}. For RSI = V_{AG}, the reference voltage is used directly for the converters. The internal reference is 2.5 V. For RSI = V_{SS}, the reference voltage is multiplied by the ratio of 1.26, which results in an internal converter reference of 3.15 V. For RSI = V_{DD}, the reference voltage is multiplied by 1.51, which results in an internal converter reference of 3.78 V. The device requires a minimum of 1.0 V of headroom between the internal converter reference to V_{DD}. V_{SS} has this same absolute valued minimum, also measured from V_{AG} pin. The various modes of operation are summarized in Table 2. The RSI pin is functionally connected to V_{SS} for the MC145500, MC145503, and MC145505 pinouts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RxO, $\overline{\text{RxO}}$
Receive Analog Outputs

These two complimentary outputs are generated from the output of the receive filter. They are equal in magnitude and out of phase. The maximum signal output of each is equal to the maximum peak–to–peak signal described with the reference. If a 3.15 V reference is used with RSI tied to V_{AG} and a + 3 dBm0 sine wave is decoded, the RxO output will be a 6.3 V peak–to–peak signal. RxO will also have an inverted signal output of 6.3 V peak–to–peak. External loads may be connected from RxO to $\overline{\text{RxO}}$ for a 6 dB push–pull signal gain or from either RxO or $\overline{\text{RxO}}$ to V_{AG}. With a 3.15 V reference each output will drive 600 Ω to + 9 dBm. With RSI tied to V_{DD}, each output will drive 900 Ω to + 9 dBm.

RxG
Receive Output Gain Adjust (MC145502 Only)

The purpose of the RxG pin is to allow external gain adjustment for the RxO pin. If RxG is left open, then the output signal at RxO will be inverted and output at RxO. Thus the push–pull gain to a load from RxO to $\overline{\text{RxO}}$ is two times the output level at RxO. If external resistors are applied from RxO to RxG (RI) and from RxG to RxO (RG), the gain of RxO can be set differently from inverting unity. These resistors should be in the range of 10 kΩ. The RxO output level is unchanged by the resistors and the RxO gain is approximately equal to minus RG/RI. The actual gain is determined by taking into account the internal resistors which will be in parallel to these external resistors. The internal resistors have a large tolerance, but they match each other very closely. This matching tends to minimize the effects of their tolerance on external gain configurations. The circuit for RxG and RxO is shown in the block diagram.

TxI
Transmit Analog Input

TxI is the input to the transmit filter. It is also the output of the transmit gain amplifiers of the MC145501/02/03/05. The input impedance is greater than 100 kΩ to V_{AG} in the MC145500. The TxI input has an internal gain of 1.0, such that a +3 dBm0 signal at TxI corresponds to the peak converter reference voltage as described in the V_{ref} and RSI pin descriptions. For 3.15 V reference, the + 3 dBm0 input should be 6.3 V peak–to–peak.

+Tx / –Tx
Positive Tx Amplifier Input (MC145502/03/05 Only) / Negative Tx Amplifier Input (MC145501/02/03/05 Only)

The TxI pin is the input to the transmit band–pass filter. If +Tx or –Tx is available, then there is an internal amplifier preceding the filter whose pins are +Tx, –Tx, and TxI. These pins allow access to the amplifier terminals to tailor the input gain with external resistors. The resistors should be in the range of 10 kΩ. If +Tx is not available, it is internally tied to V_{AG}. If –Tx and +Tx are not available, the TxI is a unity gain high–impedance input.

POWER SUPPLIES

V_{DD}
Most Positive Power Supply

V_{DD} is typically 5 to 12 V.

V_{SS}
Most Negative Power Supply

V_{SS} is typically 10 to 12 V negative of V_{DD}.

For a ± 5 V dual–supply system, the typical power supply configuration is V_{DD} = + 5 V, V_{SS} = – 5 V, V_{LS} = 0 V (digital ground accommodating TTL logic levels), and V_{AG} = 0 V being tied to system analog ground.

For single–supply applications, typical power supply configurations include:

V_{DD} = 10 V to 12 V
V_{SS} = 0 V

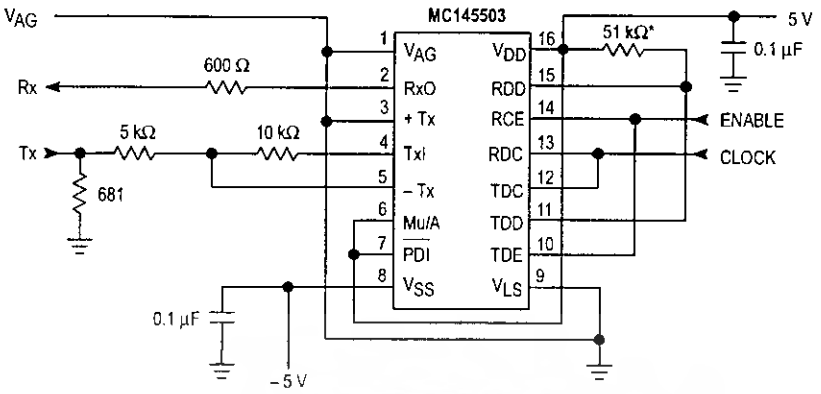
V_{AG} generates a mid supply voltage for referencing all analog signals.

V_{LS} controls the logic levels. This pin should be connected to V_{DD} for CMOS logic levels from V_{SS} to V_{DD}. This pin should be connected to digital ground for true TTL logic levels referenced to V_{LS}.

TESTING CONSIDERATIONS (MC145500/01/02 ONLY)

An analog test mode is activated by connecting MSI and CCI to 128 kHz. In this mode, the input of the A/D (the output of the Tx filter) is available at the PDI pin. This input is direct coupled to the A/D side of the codec. The A/D is a differential design. This results in the gain of this input being effectively attenuated by half. If monitored with a high–impedance buffer, the output of the Tx low–pass filter can also be measured at the PDI pin. This test mode allows independent evaluation of the transmit low–pass filter and A/D side of the codec. The transmit and receive channels of these devices are tested with the codec–filter fully functional.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



* To define RDD when TDD is high Z.

Figure 1. Test Circuit

Table 1. Options Available by Pin Selection

RSI* Pin Level	V_{ref}* Pin Level	Peak–to–Peak Overload Voltage (Txl, RxO)
V_{DD}	V_{SS}	7.56 V p–p
V_{DD}	$V_{AG} + V_{EXT}$	$(3.02 \times V_{EXT})$ V p–p
V_{AG}	V_{SS}	5 V p–p
V_{AG}	$V_{AG} + V_{EXT}$	$(2 \times V_{EXT})$ V p–p
V_{SS}	V_{SS}	6.3 V p–p
V_{SS}	$V_{AG} + V_{EXT}$	$(2.52 \times V_{EXT})$ V p–p

* On MC145500/03/05, RSI and V_{ref} tied internally to V_{SS}. On MC145501, V_{ref} tied internally to V_{SS}.

Table 2. Summary of Operation Conditions User Programmed Through Pins V_{DD}, V_{AG}, and V_{SS}

Pin Programmed / Logic Level	Mu/A	RSI Peak Overload Voltage	V_{LS}
V_{DD}	Mu–Law Companding Curve and D3/D4 Digital Formats with Zero Code Suppress	3.78	CMOS Logic Levels
V_{AG}	Mu–Law Companding Curve and Sign Magnitude Data Format	2.50	TTL Levels V_{AG} Up
V_{SS}	A–Law Companding Curve and CCITT Digital Format	3.15	TTL Levels V_{SS} Up

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

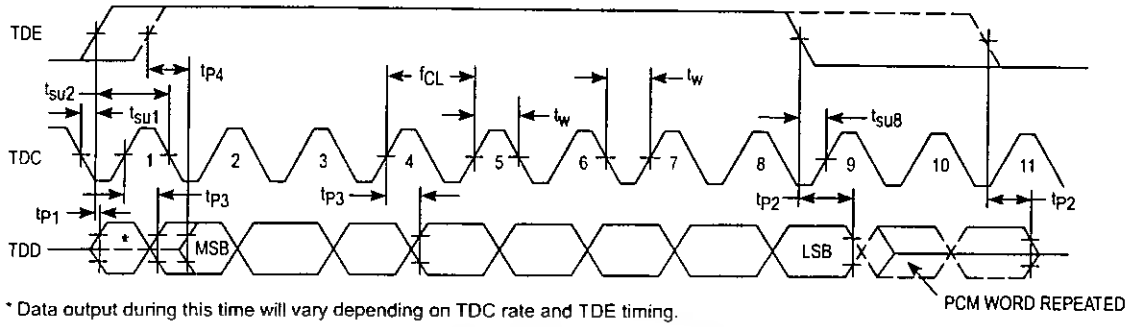


Figure 2. Transmit Timing Diagram

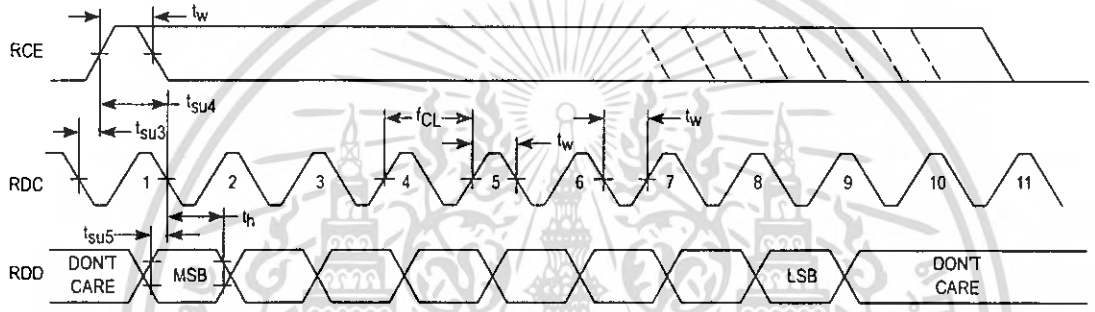


Figure 3. Receive Timing Diagram

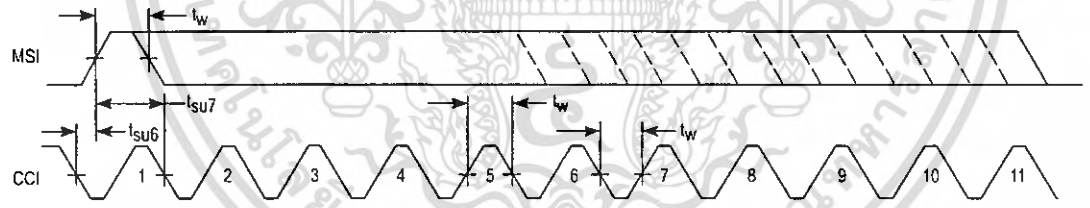


Figure 4. MSI/CCI Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

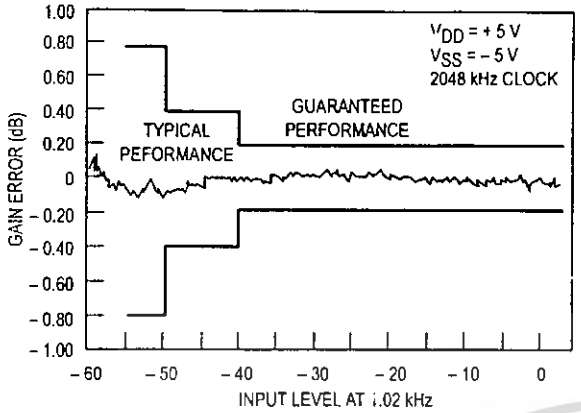


Figure 5. MC145502 Gain vs Level Mu–Law Transmit

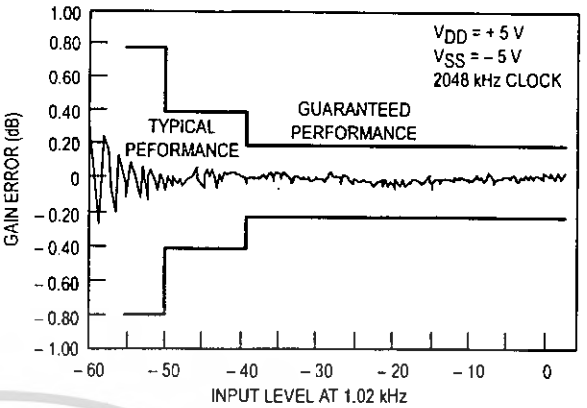


Figure 6. MC145502 Gain vs Level Mu–Law Receive

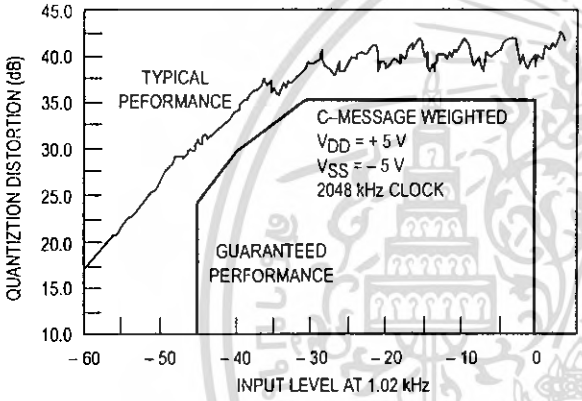


Figure 7. MC145502 Quantization Distortion Mu–Law Transmit

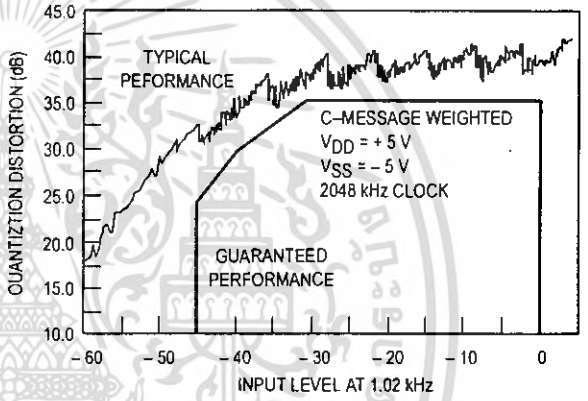


Figure 8. MC145502 Quantization Distortion Mu–Law Receive

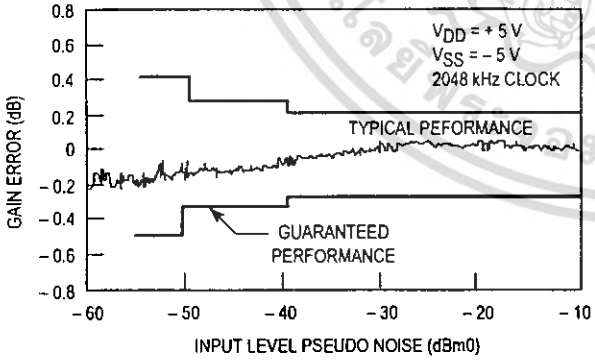


Figure 9. MC145502 Gain vs Level A–Law Transmit

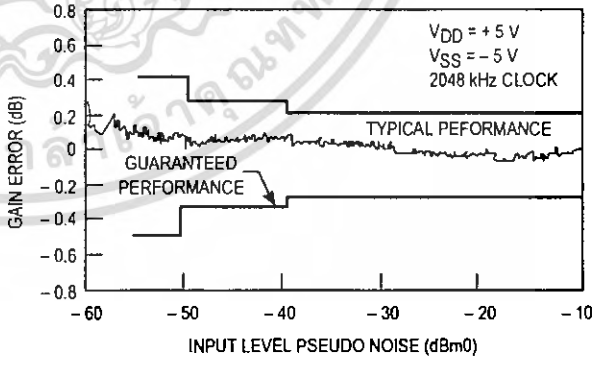


Figure 10. MC145502 Gain vs Level A–Law Receive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

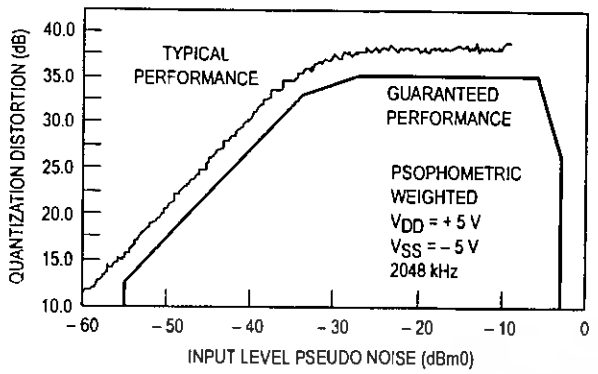


Figure 11. MC145502 Quantization Distortion A–Law Transmit

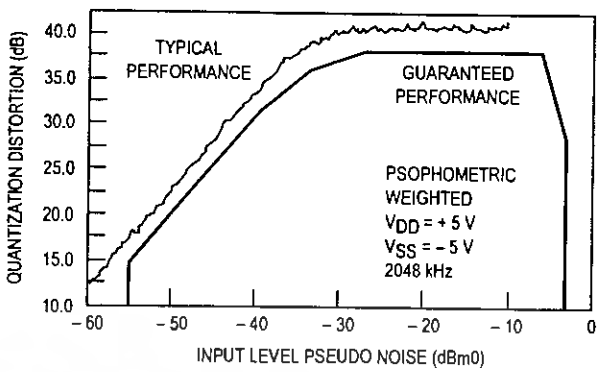


Figure 12. MC145502 Quantization Distortion A–Law Receive

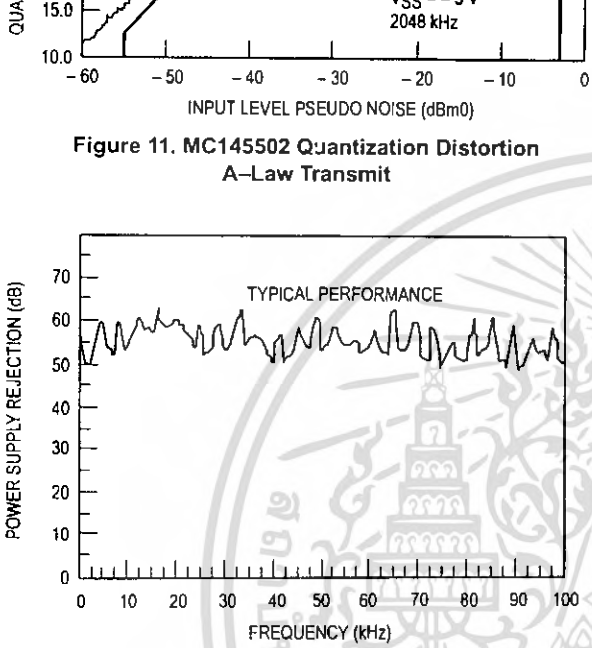


Figure 13. MC145502 Power Supply Rejection Ratio Positive Transmit VAC = 250 mVrms, C–Message Weighted

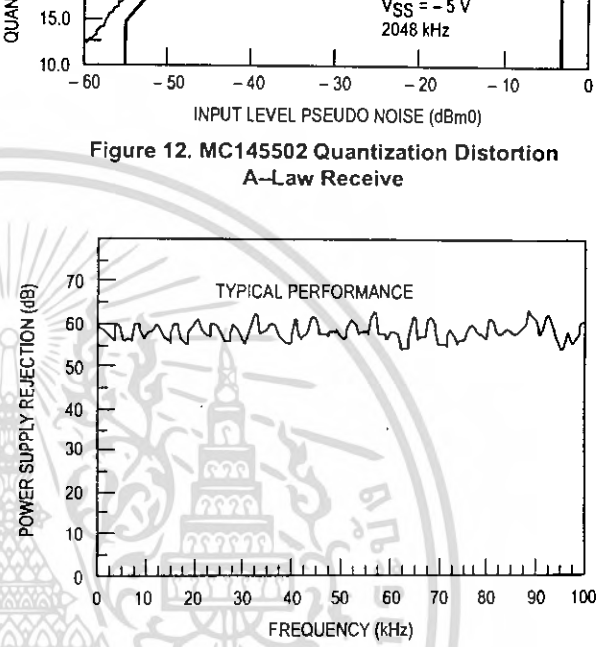


Figure 14. MC145502 Power Supply Rejection Ratio Negative Transmit VAC = 250 mVrms, C–Message Weighted

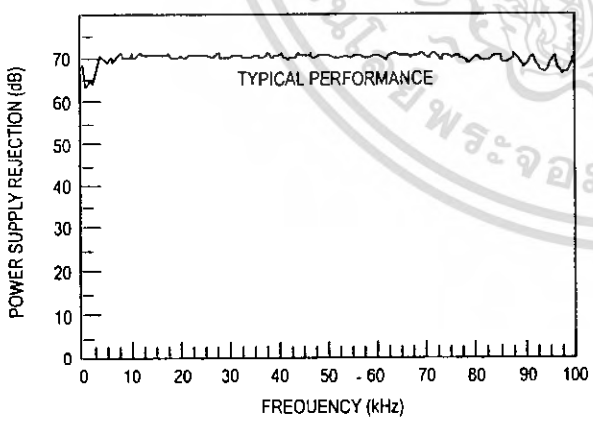


Figure 15. MC145502 Power Supply Rejection Ratio Positive Receive VAC = 250 mVrms, C–Message Weighted

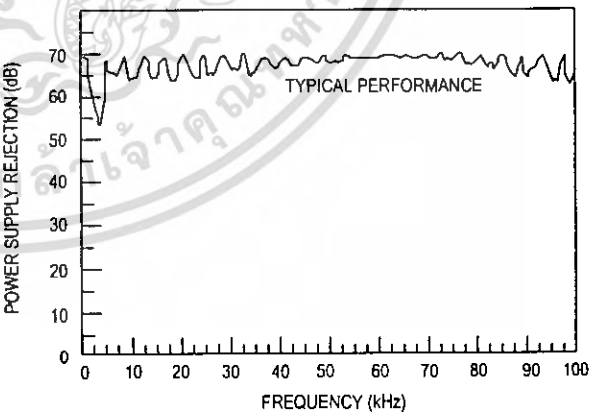


Figure 16. MC145502 Power Supply Rejection Ratio Negative Receive VAC = 250 mVrms, C–Message Weighted

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

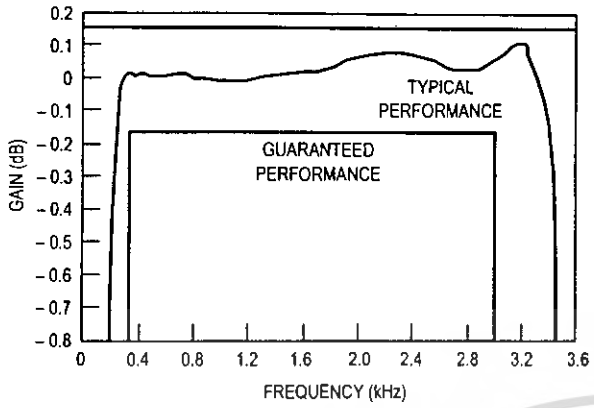


Figure 17. MC145502 Pass–Band Filter Response Transmit

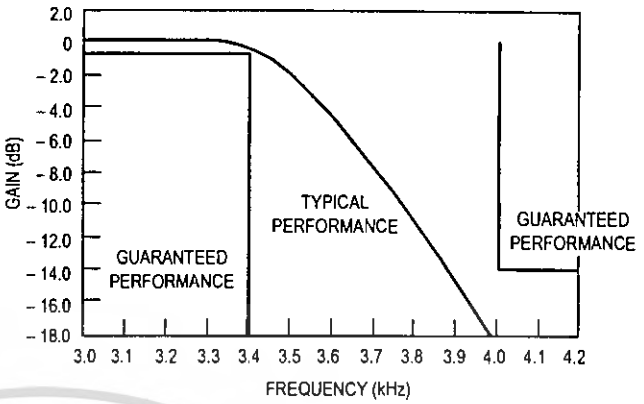


Figure 18. MC145502 Low–Pass Filter Response Transmit

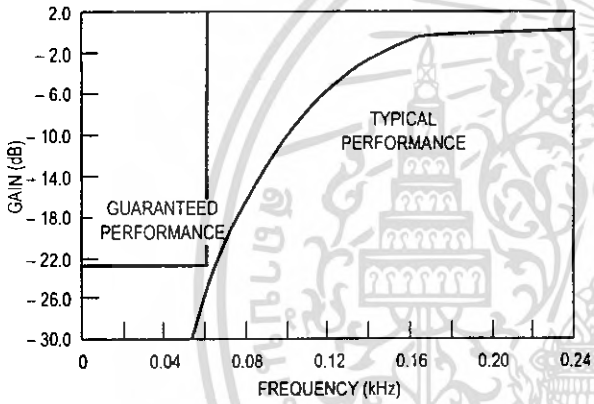


Figure 19. MC145502 High–Pass Filter Response Transmit

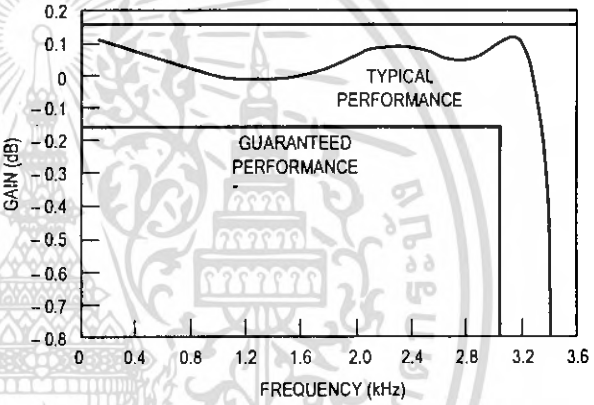


Figure 20. MC145502 Pass–Band Filter Response Receive

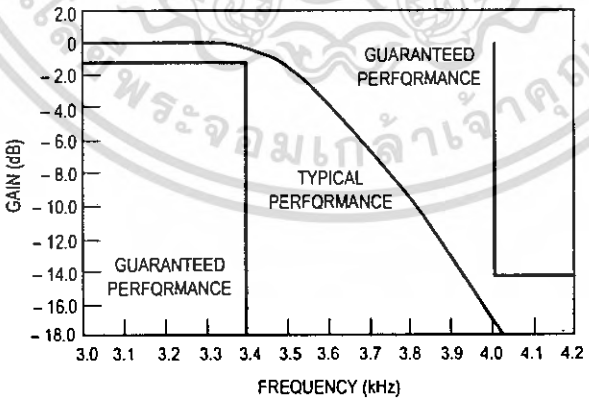


Figure 21. MC145502 Low–Pass Filter Response Receive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145406

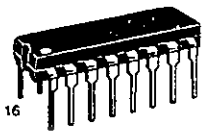
Driver/Receiver

EIA 232–E and CCITT V.28 (Formerly RS–232–D)

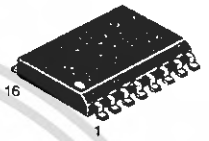
The MC145406 is a silicon–gate CMOS IC that combines three drivers and three receivers to fulfill the electrical specifications of standards EIA 232–E and CCITT V.28. The drivers feature true TTL input compatibility, slew–rate–limited output, 300–Ω power–off source impedance, and output typically switching to within 25% of the supply rails. The receivers can handle up to ±25 V while presenting 3 to 7 kΩ impedance. Hysteresis in the receivers aids reception of noisy signals. By combining both drivers and receivers in a single CMOS chip, the MC145406 provides efficient, low–power solutions for EIA 232–E/CCITT V.28 applications.

Drivers
- ± 5 V to ±12 V Supply Range
- 300–Ω Power–Off Source Impedance
- Output Current Limiting
- TTL Compatible
- Maximum Slew Rate = 30 V/µs

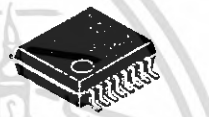
Receivers
- ± 25 V Input Voltage Range When V_{DD} = 12 V, V_{SS} = – 12 V
- 3 to 7 kΩ Input Impedance
- Hysteresis on Input Switchpoint



P SUFFIX
PLASTIC
CASE 648

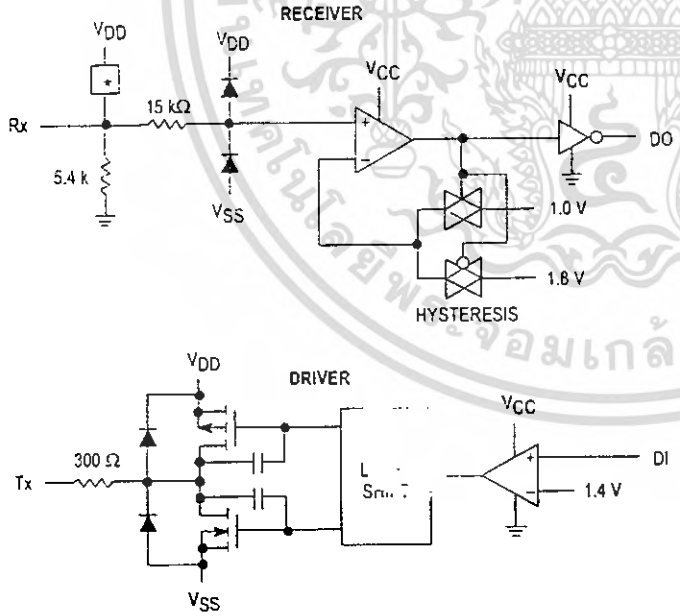


DW SUFFIX
SOG
CASE 751G



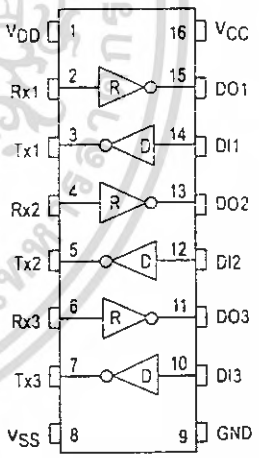
SD SUFFIX
SSOP
CASE 940B

BLOCK DIAGRAM



*Protection circuit

PIN ASSIGNMENT



D = DRIVER
R = RECEIVER

© Motorola, Inc. 1995

REV 4
1/95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (Voltage polarities referenced to GND)

Rating	Symbol	Value	Unit
DC Supply Voltages ($V_{DD} \geq V_{CC}$)	V_{DD} V_{SS} V_{CC}	– 0.5 to + 13.5 + 0.5 to – 13.5 – 0.5 to + 6.0	V
Input Voltage Range Rx1–3 Inputs DI1–3 Inputs	V_{IR}	 (V_{SS} – 15) to (V_{DD} + 15) – 0.5 to (V_{CC} + 0.5)	V
DC Current Per Pin		± 100	mA
Power Dissipation	P_D	1.0	W
Operating Temperature Range	T_A	– 40 to + 85	°C
Storage Temperature Rate	T_{stg}	– 85 to + 150	°C

This device contains protection circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation, it is recommended that the voltages at the DI and DO pins be constrained to the range $GND \leq V_{DI} \leq V_{CC}$ and $GND \leq V_{DO} \leq V_{CC}$. Also, the voltage at the Rx pin should be constrained to $(V_{SS} - 15\ V) \leq V_{Rx1-3} \leq (V_{DD} + 15\ V)$, and Tx should be constrained to $V_{SS} \leq V_{Tx1-3} \leq V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., GND or V_{CC} for DI and Ground for Rx.)

DC ELECTRICAL CHARACTERISTICS (All polarities referenced to GND = 0 V, T_A = – 40 to + 85°C)

Parameter	Symbol	Min	Typ	Max	Unit
DC Supply Voltage					V
V_{DD}	V_{DD}	4.5	5 to 12	13.2	
V_{SS}	V_{SS}	– 4.5	– 5 to – 12	– 13.2	
V_{CC} ($V_{DD} \geq V_{CC}$)	V_{CC}	4.5	5.0	5.5	
Quiescent Supply Current (Outputs unloaded, inputs low)					µA
V_{DD} = + 12 V	I_{DD}	—	140	400	
V_{SS} = – 12 V	I_{SS}	—	340	600	
V_{CC} = + 5 V	I_{CC}	—	300	450	

RECEIVER ELECTRICAL SPECIFICATIONS

(Voltage polarities referenced to GND = 0 V, V_{DD} = + 5 to + 12 V, V_{SS} = – 5 to – 12 V, $V_{DD} \geq V_{CC}$, T_A = – 40 to + 85°C)

Characteristic	Symbol	Min	Typ	Max	Unit
Input Turn–on Threshold Rx1–Rx3 $V_{DO1-DO3} = V_{OL}$, V_{CC} = 5.0 V ± 5%	V_{on}	1.35	1.80	2.35	V
Input Turn–off Threshold Rx1–Rx3 $V_{DO1-DO3} = V_{OH}$, V_{CC} = 5.0 V ± 5%	V_{off}	0.75	1.00	1.25	V
Input Threshold Hysteresis Rx1–Rx3 V_{CC} = 5.0 V ± 5%	$V_{on}-V_{off}$	0.6	0.8	—	V
Input Resistance Rx1–Rx3 (V_{SS} – 15 V) ≤ $V_{Rx1-Rx3}$ ≤ (V_{DD} + 15 V)	R_{in}	3.0	5.4	7.0	kΩ
High–Level Output Voltage ($V_{Rx1-Rx3}$ = – 3 V to (V_{SS} – 15 V))* DO1–DO3	V_{OH}				V
I_{OH} = – 20 µA, V_{CC} = + 5.0 V		4.9	4.9	—	
I_{OH} = –1 mA, V_{CC} = + 5.0 V		3.8	4.3	—	
Low–Level Output Voltage ($V_{Rx1-Rx3}$ = + 3 V to (V_{DD} + 15 V))* DO1–DO3	V_{OL}				V
I_{OL} = + 20 µA, V_{CC} = + 5.0 V		—	0.01	0.1	
I_{OL} = + 2 mA, V_{CC} = + 5.0 V		—	0.02	0.5	
I_{OL} = + 4 mA, V_{CC} = + 5.0 V		—	0.5	0.7	

* This is the range of input voltages as specified by EIA 232–E to cause a receiver to be in the high or low logic state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL SPECIFICATIONS (Voltage polarities referenced to GND = 0 V, V_{CC} = + 5 V ± 5%, T_A = – 40 to + 85°C)

Characteristic	Symbol	Min	Typ	Max	Unit
Digital Input Voltage DI1–DI3					V
Logic 0	V_{IL}	—	—	0.8	
Logic 1	V_{IH}	2.0	—	—	
Input Current DI1–DI3	I_{in}	—	—	± 1.0	μA
$V_{DI1–DI3}$ = V_{CC}					
Output High Voltage ($V_{DI1–3}$ = Logic 0, R_L = 3.0 kΩ) Tx1–Tx3	V_{OH}				V
V_{DD} = + 5.0 V, V_{SS} = – 5.0 V		3.5	3.9	—	
V_{DD} = + 6.0 V, V_{SS} = – 6.0		4.3	4.7	—	
V_{DD} = + 12.0 V, V_{SS} = – 12.0 V		9.2	9.5	—	
Output Low Voltage* ($V_{DI1–3}$ = Logic 1, R_L = 3.0 kΩ) Tx1–Tx3	V_{OL}				V
V_{DD} = + 5.0 V, V_{SS} = – 5.0 V		– 4.0	– 4.3	—	
V_{DD} = + 6.0 V, V_{SS} = – 6.0 V		– 4.5	– 5.2	—	
V_{DD} = + 12.0 V, V_{SS} = – 12.0 V		– 10.0	– 10.3	—	
Off Source Resistance (Figure 1) Tx1–Tx3		300	—	—	Ω
V_{DD} = V_{SS} = GND = 0 V, $V_{Tx1–Tx}$ [illegible] V					
Output Short–Circuit Current (V_{DD} = + [illegible] V, V_{SS} = – 12.0 V) Tx1–Tx3	I_{SC}				mA
Tx1–Tx3 shorted to GND**		—	± 22	± 60	
Tx1–Tx3 shorted to ± 15.0 V***		—	± 60	± 100	

* The voltage specifications are in terms of absolute values.
** Specification is for one Tx output pin to be shorted at a time. Should all three driver outputs be shorted simultaneously, device power dissipation limits will be exceeded.
*** This condition could exceed package limitations.

SWITCHING CHARACTERISTICS (V_{CC} = + 5 V ± 5%, T_A = – 40 to + 85°C; See Figures NO TAG and NO TAG)

Drivers

Characteristic	Symbol	Min	Typ	Max	Unit
Propagation Delay Time Tx1–Tx3					ns
Low–to–High					
R_L = 3 kΩ, C_L = 50 pF	t_{PLH}	—	300	500	
High–to–Low					
R_L = 3 kΩ C_L = 50 pF	t_{PHL}	—	300	500	
Output Slew Rate Tx1–Tx3	SR				V/μs
Minimum Load					
R_L = 7 kΩ, C_L = 0 pF, V_{DD} = + 6 to + 12 V, V_{SS} = – 6 to – 12 V		—	± 9	± 30	
Maximum Load					
R_L = 3 kΩ, C_L = 2500 pF					
V_{DD} = + 12 V, V_{SS} = – 12 V		4	—	—	
V_{DD} = + 5 V, V_{SS} = – 5 V		—	—	—	

Receivers (C_L = 50 pF)

Characteristic	Symbol	Min	Typ	Max	Unit
Propagation Delay Time DO1–DO3					ns
Low–to–High	t_{PLH}	—	150	425	
High–to–Low	t_{PHL}	—	150	425	
Output Rise Time DO1–DO3	t_r	—	250	400	ns
Output Fall Time DO1–DO3	t_f	—	40	100	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

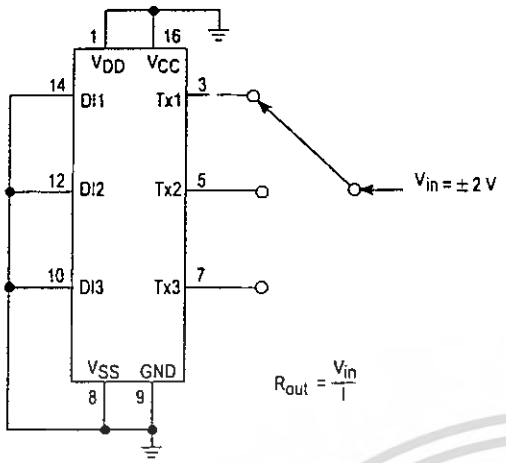


Figure 1. Power–Off Source Resistance (Drivers)

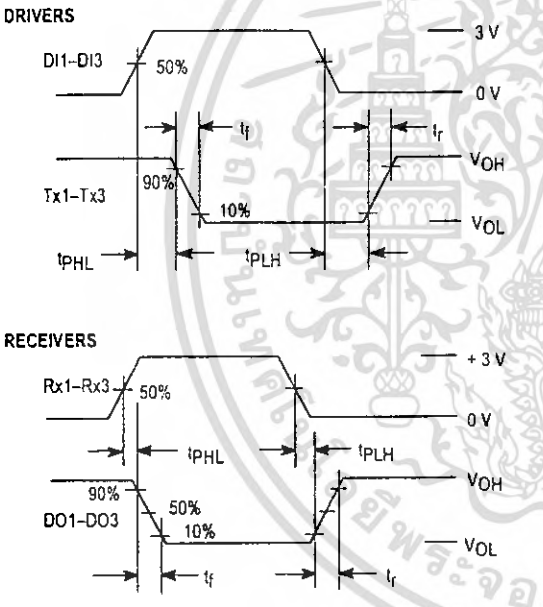


Figure 2. Switching Characteristics

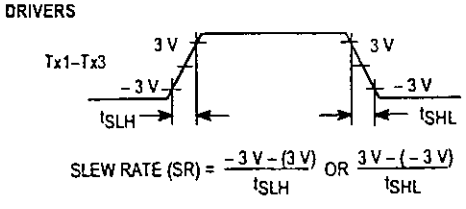


Figure 3. Slew–Rate Characterization

PIN DESCRIPTIONS

V_{DD}
Positive Power Supply (Pin 1)

The most positive power supply pin, which is typically + 5 to + 12 V.

V_{SS}
Negative Power Supply (Pin 8)

The most negative power supply pin, which is typically – 5 to – 12 V.

V_{CC}
Digital Power Supply (Pin 16)

The digital supply pin, which is connected to the logic power supply (maximum + 5.5 V). V_{CC} ***must*** be less than or equal to [illegible].

GND
Ground (Pin 9)

Ground return pin is typically connected to the signal ground pin of the EIA 232–E connector (Pin 7) as well as to the logic power supply ground.

Rx1, Rx2, Rx3
Receive Data Input (Pins 2, 4, 6)

These are the EIA 232–E receive signal inputs whose voltages can range from (V_{DD} + 15 V) to (V_{SS} – 15 V). A voltage between + 3 and (V_{DD} + 15 V) is decoded as a space and causes the corresponding DO pin to swing to ground (0 V); a voltage between – 3 and (V_{DD} – 15 V) is decoded as a mark and causes the DO pin to swing up to V_{CC}. The actual turn–on input switchpoint is typically biased at 1.8 V above ground, and includes 800 mV of hysteresis for noise rejection. The nominal input impedance is 5 kΩ. An open or grounded input pin is interpreted as a mark, forcing the DO pin to V_{CC}.

DO1, DO2, DO3
Data Output (Pins 11, 13, 15)

These are the receiver digital output pins, which swing from V_{CC} to GND. A space on the Rx pin causes DO to produce a logic 0; a mark produces a logic 1. Each output pin is capable of driving one LSTTL input load.

DI1, DI2, DI3
Data Input (Pins 10, 12, 14)

These [illegible]–impedance digital input pins to the drivers. [illegible] is accomplished by biasing the input switchpoint at 1.4 V above GND. However, 5–V CMOS compatibility is maintained as well. Input voltage levels on these pins must be between V_{CC} and GND.

Tx1, Tx2, Tx3
Transmit Data Output (Pins 3, 5, 7)

These are the EIA 232–E transmit signal output pins, which swing toward V_{DD} and V_{SS}. A logic 1 at a DI input causes the corresponding Tx output to swing toward V_{SS}. A logic 0 causes the output to swing toward V_{DD} (the output voltages will be slightly less than V_{DD} or V_{SS} depending upon the output load). Output slew rates are limited to a maximum of 30 V per µs. When the MC145406 is off (V_{DD} = V_{SS} = V_{CC} = GND), the minimum output impedance is 300 Ω.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

The MC145406 has been designed to meet the electrical specifications of standards EIA 232–E and CCITT V.28. EIA 232–E defines the electrical and physical interface between Data Communication Equipment (DCE) and Data Terminal Equipment (DTE). A DCE is connected to a DTE using a cable that typically carries up to 25 leads. These leads, referred to as interchange circuits, allow the transfer of timing, data, control, and test signals. Electrically this transfer requires level shifting between the TTL/CMOS logic levels of the computer or modem and the high voltage levels of EIA 232–E, which can range from ±3 to ± 25 V. The MC145406 provides the necessary level shifting as well as meeting other aspects of the EIA 232–E specification.

DRIVERS

As defined by the specification, an EIA 232–E driver presents a voltage of between ± 5 to ± 15 V into a load of between 3 to 7 kΩ. A logic 1 at the driver input results in a voltage of between – 5 to – 15 V. A logic 0 results in a voltage between + 5 to + 15V. When operating V_{DD} and V_{SS} at ± 7 to ± 12 V, the MC145406 meets this requirement. When operating at ± 5 V, the MC145406 drivers produce less than ± 5 V at the output (when terminated), which does not meet EIA 232–E specification. However, the output voltages when using a ± 5 V power supply are high enough (around ± 4 V) to permit proper reception by an EIA 232–E receiver, and can be used in applications where strict compliance to EIA 232–E is not required.

Another requirement of the MC145406 drivers is that they withstand a short to another driver in the EIA 232–E cable. The worst–case condition that is permitted by EIA 232–E is a ± 15 V source that is current limited to 500 mA. The MC145406 drivers can withstand this condition momentarily. In most short circuit conditions the source driver will have a series 300 Ω output impedance needed to satisfy the EIA 232–E driver requirements. This will reduce the short circuit current to under 40 mA which is an acceptable level for the MC145406 to withstand.

Unlike some other drivers, the MC145406 drivers feature an internally–limited output slew–rate that does not exceed 30 V per µs.

RECEIVERS

The job of an EIA 232–E receiver is to level–shift voltages in the range of – 25 to + 25 V down to TTL/CMOS logic levels (0 to + 5 V). A voltage of between – 3 and – 25 V on Rx1 is defined as a mark and produces a logic 1 at DO1. A voltage between – 3 and + 25 V is a space and produces a logic zero. While receiving these signals, the Rx inputs must present a resistance between 3 and 7 kΩ. Nominally, the input resistance of the Rx1–Rx3 inputs is 5.4 kΩ.

The input threshold of the Rx1–Rx3 inputs is typically biased at 1.8 V above ground (GND) with typically 800 mV of hysteresis included to improve noise immunity. The 1.8 V bias forces the appropriate DO pin to a logic 1 when its Rx input is open or grounded as called for in the EIA 232–E specification. Notice that TTL logic levels can be applied to the Rx inputs in lieu of normal EIA 232–E signal levels. This might be helpful in situations where access to the modem or computer through the EIA 232–E connector is necessary with TTL devices. However, it is important not to connect the EIA 232–E outputs (Tx1–Tx3) to TTL inputs since TTL operates off + 5 V only, and may be damaged by the high output voltage of the MC145406.

The DO outputs are to be connected to a TTL or CMOS input (such as an input to a modem chip). These outputs will swing from V_{CC} to ground, allowing the designer to operate the DO and DI pins from digital power supply. The Tx and Rx sections are independently powered by V_{DD} and V_{SS} so that one may run logic at + 5 V and the EIA 232–E signals at ± 12 V.

POWER SUPPLY CONSIDERATIONS

Figure 4 shows a technique to guard against excessive device current.

The diode D1 prevents excessive current from flowing through an internal diode from the V_{CC} pin to the V_{DD} pin when $V_{DD} < V_{CC}$ by approximately 0.6 V. This high current condition can exist for a short period of time during power up/down. Additionally, if the + 12 V supply is switched off while the + 5 V is on and the off supply is a low impedance to ground, the diode D1 will prevent current flow through the internal diode.

The diode D2 is used as a voltage clamp, to prevent V_{SS} from drifting positive to V_{CC}, in the event that power is removed from V_{SS} (Pin 12). If V_{SS} power is removed, and the impedance from the V_{SS} pin to ground is greater than approximately 3 kΩ, this pin will be pulled to V_{CC} by internal circuitry causing excessive current in the V_{CC} pin.

If by design, neither of the above conditions are allowed to exist, then the diodes D1 and D2 are not required.

ESD PROTECTION

ESD protection on IC devices that have their pins accessible to the outside world is essential. High static voltages applied to the pins when someone touches them either directly or indirectly can cause damage to gate oxides and transistor junctions by coupling a portion of the energy from the I/O pin to the power supply buses of the IC. This coupling usually occur through the internal ESD protection diodes. The key to protecting the IC is to shunt as much of the energy to ground as possible before it enters the IC. Figure 4 shows a technique which will clamp the ESD voltage at approximately ± 15 V using the MMVZ15VDLT1. Any residual voltage which appears on the supply pins is shunted to ground through the capacitors C1–C3. This scheme has provided protection to the interface part up to ± 10 kV, using the human body model test.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชนด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้