อินทิเกรทแอมป์คลาสดี

Integrated Amplifier Class D

โดย

นายอัครพัฒน์ พิพัฒน์บัณฑิต

นายอาทิตย์ เสนแสง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

อินทิเกรทแอมป์คลาสดี

Integrated Amplifier Class D

โดย

นายอัครพัฒน์ พิพัฒน์บัณฑิต 47010967

นายอาทิตย์ เสนแสง 47010979

อาจารย์ที่ปรึกษา

รศ.จิรวัฒน์ ปานกลาง

ปพ.
อ371อ
2550

เลขหมู่.....
เลขทะเบียน 82190
วัน,เดือน,ปี...9 ก.ค. 2551

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

b.....
i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2550

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่องอินทิเกรทแอมป์คลาสดี

ผู้จัดทำ

1.นายอัครพัฒน์ พิพัฒน์บัณฑิต 47010967

2.นายอาทิตย์ เสนแสง 47010979

.....อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินทิเกรทแอมป์คลาสดี

Integrated Amplifier Class D

นายอัครพัฒน์ พิพัฒน์บัณฑิต 47010967

นายอาทิตย์ เสนแสง 47010979

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(.....)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินทิเกรทแอมป์คลาสดี

นายอัครพัฒน์ พิพัฒน์บัณฑิต รหัส 47010967
นายอาทิตย์ เสนแสง รหัส 47010979
รศ.จิรวัฒน์ ปานกลาง อาจารย์ที่ปรึกษา
ปีการศึกษา 2550

บทคัดย่อ

ได้ทำการออกแบบวงจรอินทิเกรตแอมป์คลาสดีที่วงจรกำลังภาคสุดท้าย โดยสัญญาณเสียงเมื่อป้อนเข้าสู่วงจรแล้วจะทำการปรับแต่งขนาดของความถี่ (ความถี่ต่ำ 40 เฮิร์ต และที่ความถี่สูง 16 กิโลเฮิร์ต) ให้มีขนาดความถี่ที่ผู้ใช้ต้องการ และส่งต่อสัญญาณที่ปรับแต่งแล้วเข้าสู่วงจรสร้างสัญญาณพัลส์วิดมอดดูเลชั่น สัญญาณดังกล่าวจะถูกส่งต่อให้กับอุปกรณ์กำลังที่ทำงานในคลาสดี และกรองสัญญาณดังกล่าวด้วยวงจรกรองความถี่ต่ำผ่านอันดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Integrated amplifier class D

Mr.Akarapat Pipatbandhit ID.47010967

Mr.Atid Sansaeng ID.47010979

Assoc. Prof.Jirawat Pangrang Advisor

Education Year 2007

Abstract

Designed the power amplifier part of integrated amplifier class D circuit. The sound signal is first fed into a circuit to adjust amplitude of frequency (Low frequency 40 Hz and High frequency 16 kHz). After that the signal is sent to generate PWM signal circuit. Later, the power devices worked in class D received the signal from PWM generator. Finally the signal is filtered by the second order low pass filter circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลุล่วงได้อย่างดี ด้วยคำแนะนำและคำปรึกษาจากหลายๆฝ่ายด้วยกัน โดยเฉพาะอย่างยิ่ง ข้าพเจ้าขอขอบคุณอาจารย์ที่ปรึกษาที่ให้คำแนะนำ คำปรึกษา การดูแล และให้โอกาสข้าพเจ้าในการทำโครงงานนี้ ซึ่งก็คือ รศ.จิรวัฒน์ ปานกลาง ซึ่งข้าพเจ้าขอขอบพระคุณเป็นอย่างสูง

ข้าพเจ้าขอขอบคุณบุคคลที่ทำให้ข้าพเจ้ามีวันนี้ นั่นคือ บิดา มารดา และบุคคลในครอบครัวอันเป็นที่เคารพรัก ซึ่งให้การสนับสนุนข้าพเจ้าเป็นอย่างดี ให้กำลังใจ ให้ทุนสนับสนุนในการทำโครงงาน และให้ความรักแก่ข้าพเจ้าเสมอมา ข้าพเจ้าขอกราบขอบพระคุณมา ณ ที่นี้ด้วย

ตลอดจนคณะวิศวกรรมศาสตร์ ภาคอิเล็กทรอนิกส์ ที่เอื้อเฟื้ออุปกรณ์ต่าง เครื่องมือในการวัดและการทำงาน รวมถึงอาจารย์ที่กรุณาห้องทำงานในการทำโครงงานนี้ทุกท่าน เพื่อนๆทุกคนในภาคที่คอยช่วยเหลือกันตลอดมา ขอขอบคุณทุกกำลังใจที่มีให้แก่ข้าพเจ้า

อัครพัฒน์ พิพัฒน์บัณฑิต

อาทิตย์ เสนแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ I

Abstract II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญรูปภาพ VI

สารบัญตาราง IX

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง 2

2.1 วงจรขยายกำลัง 2

2.1.1 Class A 2

2.1.2 Class B 3

2.1.3 Class AB 3

2.1.4 Class C 4

2.1.5 Class D 4

2.2 ความรู้พื้นฐานเกี่ยวกับพัลส์วิดมอดูเลชัน 5

2.2.1 Hysteresis Control 5

2.2.2 เทคนิค Pre-calculated PWM 5

2.2.3 Carrier Based PWM 5

2.2.4 โครงสร้างของ Bipolar และ Unipolar ของ PWM 6

2.3 ภาค Switch Power 8

2.4 วงจรกรองความถี่ (Filter) 9

2.4.1 วงจรกรองแบบต่างๆ 10

2.4.1.1 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) 10

2.4.1.2 วงจรกรองความถี่สูงผ่าน (High Pass Filter) 10

2.4.1.3 วงจรกรองแถบความถี่ผ่าน (Band Pass Filter) 11

2.4.1.4 วงจรกรองแถบความถี่หยุด (Band Reject Filter) 12

2.4.2 วงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวิร์ธ (Butterworth Low Pass Filter) 12

2.3.2.1 การหาอุปกรณ์เพื่อใช้ในการออกแบบวงจรกรองความถี่ต่ำผ่าน 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 การออกแบบวงจรดีมอดดูเลชั่นฟิลเตอร์ (Demodulation Filter Design) 14
2.5 Power MOSFET 16
2.5.1 ชนิดของ MOSFET 16
2.5.1.1 Depletion MOSFET 17
2.5.1.2 Enhancement MOSFET 18
2.5.2 Steady-State Characteristics 18
2.5.3 Switching Characteristics 22
2.5.4 Gate Driver 24
2.5.5 การสูญเสียพลังงาน (Power Dissipation) 25
2.6 วงจรกรองผ่านความถี่แบบแอคทีฟ (Active Filter) 28
2.6.1 วงจรกรองผ่านความถี่ต่ำแบบบัทเทอร์เวอร์ท -40 dB/decade 28
2.6.2 วงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวอร์ท –60 dB/decade 29
บทที่ 3 การออกแบบ 32
3.1 ระบบการทำงานของเครื่อง 32
3.1.1 Signal Stage 33
3.1.2 Pulse Width Modulation: PWM 34
3.1.3 Gate Drive 37
3.1.4 H-Bridge 38
3.1.5 วงจรกรองที่เอาท์พุท (Output Filter) 40
บทที่ 4 ผลการทดลอง 43
4.1 ผลการทดลองภาค Switching Power 43
4.2 ภาควงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) 49
4.3 ประสิทธิภาพของวงจรขยายกำลัง 51
4.4 ผลตอบสนองต่อความถี่ 55
บทที่ 5 สรุปผลการทดลอง 56
5.1 สรุปผลและวิจารณ์ผลการทดลอง 56
5.2 แนวทางการพัฒนา 56
บรรณานุกรม 58
ภาคผนวก 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ 2.1 Class A Amplifier 2

รูปที่ 2.2 ก) Class B Amplifier และ ข) Class B Push – Pull Amplifier 3

รูปที่ 2.3 แสดงบล๊อคไดอะแกรม อย่างง่ายๆ ของวงจรขยายแบบคลาสดี 4

รูปที่ 2.4 แสดงรูปคลื่น PWM โดยใช้สัญญาณอินพุทรูปซายน์ 6

รูปที่ 2.5 Bipolar PWM 7

รูปที่ 2.6 Unipolar PWM 7

รูปที่ 2.7 วงจรขับครึ่งบริดจ์ที่มีโหลดแบบ Single – ended 8

รูปที่ 2.8 วงจรขับแบบ H – bridgeที่มีโหลดแบบ Bridge – tied 8

รูปที่ 2.9 แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน 10

รูปที่ 2.10 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่าน 10

รูปที่ 2.11 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน 11

รูปที่ 2.12 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่หยุด 12

รูปที่ 2.13 กราฟการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ Butterworth 13
แสดงเส้นกราฟ ตั้งแต่อันดับที่ 1 ถึง 5 โดยมีความชันคือ
20n dB/decade (n คือ อันดับที่)

รูปที่ 2.14 แสดงวงจรฟิลเตอร์แบบ n – th order LC Low – Pass Filter 15

รูปที่ 2.15 Depletion – type MOSFET (a) n - Channel Depletion - type MOSFET 17
(b) p - Channel Depletion - type MOSFET

รูปที่ 2.16 Enhancement – type MOSFET (a) n - Channel Enhancement - type MOSFET 18
(b) p - Channel Enhancement - type MOSFET

รูปที่ 2.17 Transfer Characteristics of MOSFET (a) Depletion - type MOSFET 20
(b) Enhancement - type MOSFET

รูปที่ 2.18 Output Characteristics of Enhancement – type MOSFET 21

รูปที่ 2.19 Steady – State Switching Model of MOSFET (a) Circuit Diagram 21
(b) Equivalent Diagram

รูปที่ 2.20 Parasitic Mode of Enhancement – Type MOSFET (a) Parasitic Bipolar 22
(b) Internal Diode

รูปที่ 2.21 Switching Model of MOSFET 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.22 Switching Waveform and Times 24
รูปที่ 2.23 Fast – Turn – On Gate Circuit 25
รูปที่ 2.24 แสดงกราฟการเปลี่ยนสถานะที่สมบูรณ์ของ CMOS inverter 25
รูปที่ 2.25 ก) CMOS inverter เมื่อเอาท์พุตสวิทซ์จากลอจิกต่ำไปสูง 26
ข) CMOS inverterเมื่อเอาท์พุตสวิทซ์ จากลอจิกสูงไปต่ำ
รูปที่ 2.26 วงจรกรองผ่านความถี่ต่ำและผลตอบสนองทางความถี่ที่มีอัตราการ 28
เปลี่ยนแปลงเท่ากับ -40 dB/decade ก) วงจรกรองผ่านความถี่ต่ำ -40 dB/decade
ข) ผลตอบสนองทางความถี่ของวงจร
รูปที่ 2.27 วงจรกรองผ่านความถี่ต่ำ และผลตอบสนองทางความถี่ที่มีอัตราการ 29
เปลี่ยนแปลงเท่ากับ -60 dB/decade ก) วงจรกรองผ่านความถี่ต่ำ -60 dB/decade
ข) ผลตอบสนองทางความถี่ของวงจร
รูปที่ 3.1 Block Diagram การทำงานโดยรวมของระบบ 32
รูปที่ 3.2 แสดงวงจรการใช้งานของไอซี LM1036 33
รูปที่ 3.3 วงจร TPA3001D 35
รูปที่ 3.4 แสดงรูปคลื่นของความต่างศักย์และกระแสเอาท์พุทของ 36
TPA3001D ต่อกับ Inductive load
รูปที่ 3.5 H-Bridge 36
รูปที่ 3.6 รูปคลื่นของ Unipolar PWM 37
รูปที่ 3.7 วงจร Drive MOSFET และ Low pass filter 38
รูปที่ 3.8 การประมาณค่าประสิทธิภาพที่ภาคกำลังเอาท์พุท 40
รูปที่ 3.9 แบบจำลองครึ่งวงจรของโหลดแบบ Bridge-tied 40
รูปที่ 3.10 การรวมกันของแบบจำลองครึ่งวงจร 41
รูปที่ 4.1 สัญญาณเอาท์พุทที่ $V_{01}^{'}$ และ $V_{02}^{'}$ โดยยังไม่มีการป้อนสัญญาณอินพุท 43
รูปที่ 4.2 สัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 1 kHz กับสัญญาณเอาท์พุททางด้าน A 43
รูปที่ 4.3 สัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 1 kHz กับสัญญาณเอาท์พุททางด้าน B 44
รูปที่ 4.4 สัญญาณเอาท์พุทที่ $V_{01}^{'}$ และ $V_{02}^{'}$ โดยป้อนสัญญาณอินพุท Sine 44
ขนาด 1 Vpp ความถี่ 1 kHz
รูปที่ 4.5 แสดง Dead-time ของวงจรขับกำลัง 45
รูปที่ 4.6 สัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 10 kHz กับสัญญาณเอาท์พุททางด้าน A 45
รูปที่ 4.7 สัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 10 kHz กับสัญญาณเอาท์พุททางด้าน B 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.8 สัญญาณเอาท์พุทที่ $V_{01}^{'}$ และ $V_{02}^{'}$ โดยป้อนสัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 10 kHz 46
รูปที่ 4.9 สัญญาณเอาท์พุทก่อนผ่านวงจรกรองความถี่ต่ำ ดยสัญญาณอินพุท ขนาด 1 Vpp ความถี่ 1kHz 47
รูปที่ 4.10 สัญญาณเอาท์พุทก่อนผ่านวงจรกรองความถี่ต่ำโดยสัญญาณอินพุทขนาด 1 Vppความถี่ 10 kHz 47
รูปที่ 4.11 สัญญาณอินพุทพัลส์สี่เหลี่ยม ขนาด 400 mVpp ความถี่ 1 kHz 48
รูปที่ 4.12 สัญญาณเอาท์พุทพัลส์สี่เหลี่ยม ขนาด 22 Vpp ความถี่ 1 kHz (หลังผ่านวงจรกรองความถี่) 48
รูปที่ 4.13 เปรียบเทียบสัญญาณเอาท์พุทที่ด้าน A และ B 48
รูปที่ 4.14 สัญญาณเอาท์พุทก่อนผ่านวงจรกรองความถี่ต่ำ 49
รูปที่ 4.15 สัญญาณเอาท์พุทเมื่อยังไม่มีการป้อนสัญญาณอินพุท 49
รูปที่ 4.16 สัญญาณเอาท์พุทเปรียบเทียบสัญญาณอินพุท 50
Ch1: สัญญาณอินพุทขนาด 1 Vpp ความถี่ 1 kHz
Ch2: สัญญาณเอาท์พุทขนาด 12 Vpp ความถี่ 1 kHz
รูปที่ 4.17 สัญญาณเอาท์พุทที่ความถี่ 5 kHz 50
รูปที่ 4.18 สัญญาณเอาท์พุทที่ความถี่ 10 kHz 51
รูปที่ 4.19 สัญญาณเอาท์พุทที่ความถี่ 15 kHz 51
รูปที่ 4.20 กราฟแสดงความสัมพันธ์ระหว่าง Efficiency และ Output power 54
รูปที่ 4.21 กราฟแสดงความสัมพันธ์ระหว่าง Vout และ ความถี่ 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ 2.1 แสดงค่า Butterworth Approximation Function ของ Butterworth Low – Pass Filter 14

ตารางที่ 2.2 แสดงนอร์มอลไลซ์ของค่าอุปกรณ์ต่างๆ ที่ใช้ในวงจร Butterworth Low – Pass Filter 14

ตารางที่ 2.3 แสดงขนาดของ $IA_{CL}I$ ของวงจรกรองผ่านความถี่ต่ำ 30

ตารางที่ 2.4 แสดงมุมเฟสของวงจรกรองผ่านความถี่ต่ำ 31

ตารางที่ 4.1 ผลการวัดประสิทธิภาพของวงจรที่มีสัญญาณอินพุทรูปซายน์ที่ความถี่ 1 kHz 52

ตารางที่ 4.2 ผลการวัดประสิทธิภาพของวงจรที่มีสัญญาณอินพุทรูปซายน์ที่ความถี่ 5 kHz 53

ตารางที่ 4.3 ผลการวัดประสิทธิภาพของวงจรที่มีสัญญาณอินพุทรูปซายน์ที่ความถี่ 10 kHz 53

ตารางที่ 4.4 ผลการวัดประสิทธิภาพของวงจรที่มีสัญญาณอินพุทรูปซายน์ที่ความถี่ 20 kHz 54

ตารางที่ 4.5 ผลการตอบสนองทางความถี่ โดย Vin = 0.4 Vpp 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

โครงงานนี้เป็นการออกแบบวงจรขยายกำลังกำลังย่านออดิโอ หรือย่านความถี่เสียง เพื่อให้มีกำลังมากพอที่จะสามารถขับโหลด คือลำโพงได้อย่างเพียงพอ

โดยโครงงานนี้ได้ใช้การออกแบบวงจรขยายกำลังเป็นแบบคลาสดี เนื่องจากว่าวงจรขยายคลาสดี นั้นจะมีประสิทธิภาพในการทำงานที่สูงกว่าวงจรขยายกำลังแบบคลาสเอและคลาสเอ-บี จึงไม่ก่อให้เกิดความร้อนที่สูญเสียในการทำงานที่มาก ดังนั้นจึงทำให้สามารถนำเอาไปใช้งานได้ทุกที่ตามที่ผู้ใช้งานต้องการ อย่างเช่นในรถยนต์ ในบ้าน ในงานที่ต้องการกำลังขับสูงๆ เช่น งานแสดงคอนเสิร์ต งานแสดงสินค้าตามสถานที่ต่างๆ เป็นต้น

นอกจากนี้ยังมีการนำความรู้จากการออกแบบวงจรอนาลอกไปใช้ในการสร้างวงจรควบคุมเสียงทั้งความถี่ต่ำและสูง(Tone Control) จึงทำให้วงจรขยายกำลังที่เราออกแบบสามารถใช้งานได้ตรงตามวัตถุประสงค์ของผู้ใช้งานมากยิ่งขึ้นอีกด้วย

ประโยชน์ที่คาดว่าจะได้รับจากโครงงานนี้ คือทำให้สามารถนำความรู้จากบทเรียนในแขนงต่างๆ นำไปประยุกต์ใช้ในการออกแบบ วงจรขยายกำลัง และวงจรต่างๆ ได้ตามต้องการเพื่อให้บรรลุวัตถุประสงค์ที่ตั้งไว้ และยังเป็นการฝึกการแก้ไขปัญหาต่างๆ ที่เกิดขึ้นในการทำงาน โดยใช้ความรู้พื้นฐานเป็นแนวทางในการแก้ไขได้อย่างถูกต้อง และเหมาะสม และฝึกการทำงานเป็นทีม ซึ่งสิ่งเหล่าเป็นสิ่งที่สำคัญมากๆ ในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

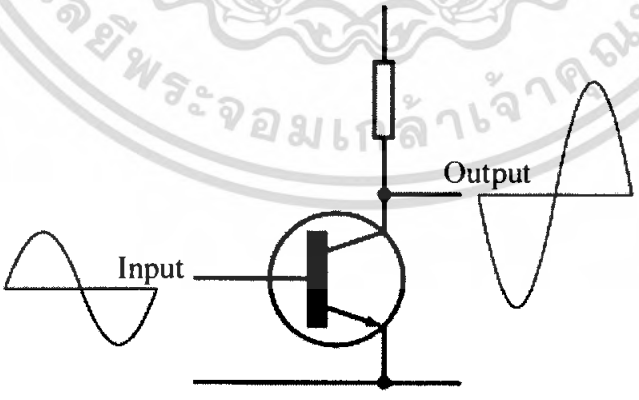
บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

2.1 วงจรขยายกำลัง

ในส่วนของภาคเอาท์พุทซึ่งเป็นวงจรขยายกำลังนั้น มีวิธีการขยายสัญญาณได้หลายวิธี อย่างเช่น วงจรขยายแบบ Class A, B, AB, C และ D ซึ่งจะกล่าวถึงวงจรแบบต่างๆนี้เปรียบเทียบให้เห็นความแตกต่างต่อไป

2.1.1 Class A

วงจรขยาย Class A มีความเพี้ยนต่ำกว่าคลาสอื่นๆ โดยมีการไบอัสทรานซิสเตอร์ให้มีกระแสไหลผ่านตลอด 306° ของสัญญาณอินพุท ทำให้กระแส Collector ยังคงมีรูปร่างของสัญญาณเป็น Sine การไบอัสโดยที่ให้ทรานซิสเตอร์นำกระแสแม้ว่าจะมีสัญญาณอินพุทหรือไม่ก็ตามนี้ เป็นผลให้มีกำลังงานสูญเสียมากขณะที่ไม่มีสัญญาณอินพุททำให้มีความเพี้ยนต่ำ วงจรขยาย Class A จึงเหมาะกับสัญญาณระดับต่ำ ถ้าเพิ่มขนาดสัญญาณ ความเพี้ยนของสัญญาณก็จะเพิ่มขึ้น โดยเอาท์พุทจะถูกคลิป (Clipping) จึงไม่ค่อยพบในการออกแบบวงจรที่มีกำลังงานสูง วงจรนี้มีประสิทธิภาพต่ำ ซึ่งตามทฤษฎีแล้ว Class A จะมีประสิทธิภาพสูงสุดที่ 25 %

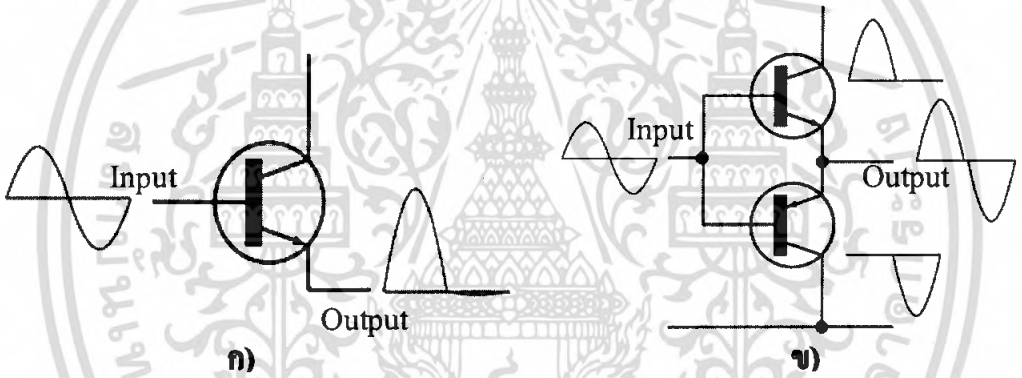


รูปที่ 2.1 Class A Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 Class B

วงจรขยาย Class B ทรานซิสเตอร์นำกระแสเฉพาะบางส่วนเวลา บางส่วนของซีกใดซีกหนึ่งของสัญญาณอินพุทเท่านั้น หรือทรานซิสเตอร์จะนำกระแสในช่วง 180° ของสัญญาณอินพุท และในขณะที่ไม่มีสัญญาณอินพุท จะไม่มีกระแสไหล ซึ่งทำให้มีประสิทธิภาพสูงขึ้น และเนื่องจากทรานซิสเตอร์นำกระแสเพียงซีกเดียว จึงต้องใช้ทรานซิสเตอร์ 2 ตัวสลับกันทำงานตัวละ 180° ของสัญญาณอินพุท เรียกการทำงานแบบนี้ว่า Push – Pull พบว่าประสิทธิภาพสูงสุดที่ภาคขยายสุดท้ายของจงจรขยาย Class B คือ 78.5% ซึ่งสูงกว่า Class A มากแต่ข้อเสียสำคัญของ Class B คือ ความเพี้ยนจุดตัดข้าม (Crossover Distortion) ซึ่งเกิดจากการหยุดนำกระแสในช่วงเวลาสั้นๆ เมื่อสัญญาณอินพุทไม่มากพอที่จะขับให้ทรานซิสเตอร์ทั้งสองทำงาน



รูปที่ 2.2 ก) Class B Amplifier และ ข) Class B Push – Pull Amplifier

2.1.3 Class AB

วงจรนี้เป็นการรวมข้อดีของ Class A และ Class B คือยังคงมีประสิทธิภาพของวงจรขยาย Class B และมีความเพี้ยนต่ำใกล้เคียงกับวงจรขยาย Class A โดยวงจรขยาย Class AB นี้จะใช้ทรานซิสเตอร์ 2 ตัวเหมือนกับ Class Bแต่จะไบอัสทรานซิสเตอร์ให้ทำงานเกินกว่า 180° เล็กน้อย ทำให้ความเพี้ยนจุดตัดข้ามถูกกำจัดออกไปได้อย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

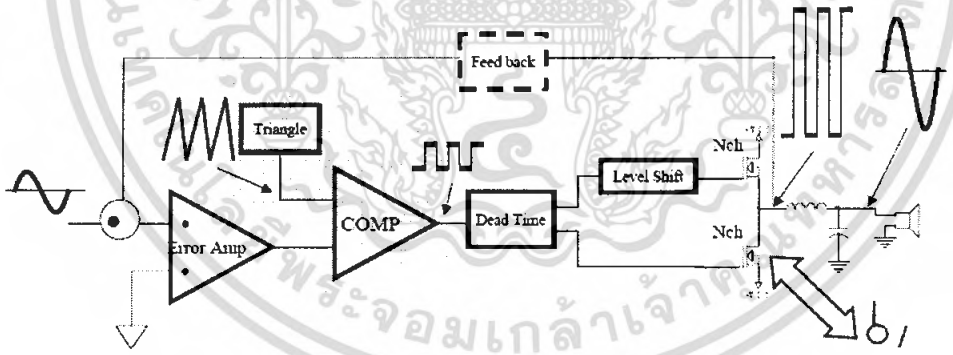
2.1.4 Class C

วงจรนี้จะไบอัสให้กระแสไหลผ่านทรานซิสเตอร์เฉพาะช่วงเวลาบางส่วนของซีกใดซีกหนึ่งของสัญญาณอินพุท หรือทรานซิสเตอร์จะนำกระแสในช่วงน้อยกว่า 180° ของสัญญาณอินพุท ในขณะที่ไม่มีสัญญาณอินพุท จะไม่มีกระแสไหลผ่านตัวทรานซิสเตอร์ ภาคขยายชนิดนี้จะมีความเพี้ยนมากจึงไม่สามารถนำมาแก้ไขกับสัญญาณเสียงได้ แต่มักใช้กบวงจรที่ใช่สัญญาณวิทยุ

2.1.5 Class D

ทรานซิสเตอร์ทำงานในลักษณะของ Switching โดยมีมุมในการนำกระแสเป็น 0 องศา คือนำกระแสอิ่มตัว (Saturation) กับไม่นำกระแส (Cut off) ในระหว่างที่มีการสวิทซ์ ทรานซิสเตอร์อาจนำกระแสข้ามผ่านช่วงที่เป็นเชิงเส้น (Linear region) ซึ่งกระแสที่ไหลผ่านตัวทรานซิสเตอร์จะมีลักษณะเป็นพัลส์สี่เหลี่ยม (Rectangular pulse) การหลีกเลี่ยงช่วงที่เป็นเชิงเส้นนี้เป็นพื้นฐานที่ทำให้ภาคเอาท์พุทของ Class D มีประสิทธิภาพสูง โดยทั่วไปแล้ววงจรขยาย Class D ที่ออกแบบดีนั้นอาจมีประสิทธิภาพสูงถึง 90%

บล๊อคไดอะแกรม อย่างง่ายๆ ของวงจรขยายแบบคลาสดี ดังรูปที่ 2.4



รูปที่ 2.3 แสดงบล๊อคไดอะแกรม อย่างง่ายๆ ของวงจรขยายแบบคลาสดี

จากรูปที่ 2.3 สัญญาณ PWM จะถูกสร้างจากการเปรียบเทียบสัญญาณระหว่างสัญญาณอินพุทกับคลื่นสามเหลี่ยมความถี่สูง หลังจากนั้นภาค Switching Power จะขยายกำลัง แล้ววงจรกรองความถี่ต่ำผ่านจะกรององค์ประกอบ Switching ความถี่สูงออกจากสัญญาณเอาท์พุท ทำให้ได้สัญญาณเสียงที่ขยายมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ ถ้าเพิ่มลูปป้อนกลับ (Feedback Loop) อีกหนึ่งลูปหรือมากกว่าจะเป็นการลดความเพี้ยนทางฮาร์โมนิคส์ (Total Harmonics Distortion: THD) ของสัญญาณเอาท์พุทอีกด้วย

2.2 ความรู้พื้นฐานเกี่ยวกับพัลส์วิดมอดูเลชัน

พัลส์วิดมอดูเลชัน (Pulse Width Modulation: PWM) เป็นเทคนิคการแบ่งรูปคลื่นใน 1 คาบออกเป็นพัลส์ย่อยๆ หลายพัลส์ โดยแต่ละพัลส์อาจมีความกว้างไม่เท่ากัน การสร้าง Switching แบบ PWM นั้นทำได้หลายวิธี แต่สามารถแบ่งเป็นประเภทใหญ่ได้ 3 ประเภทคือ

2.2.1 Hysteresis Control

การทำงานเหมือนลูปป้อนกลับ ระดับสัญญาณเอาท์พุทที่ต้องการถูกเปรียบเทียบกับสัญญาณเอาท์พุทก่อนหน้า นั่นคือ ส่วนควบคุมตัวมอดูเลทแบบ Hysteresis จะสร้างสัญญาณผิดพลาด (Error signal) เพื่อควบคุมการ Switch ของเอาท์พุท ข้อดีของเทคนิคนี้คือ จะได้ความผิดพลาดที่มีขอบเขตและสามารถทำนายได้และมีการตอบสนองทรานเซียนท์ (Transient response) ที่เร็ว นอกจากนี้ยังมีความเพี้ยนต่ำและนำมาใช้ได้ง่าย แต่มีข้อเสีย คือ คาบของเอาท์พุท Switching นั้นไม่คงที่ ทำให้ออกแบบวงจรกรองที่เอาท์พุทยาก

2.2.2 เทคนิค Pre-calculated PWM

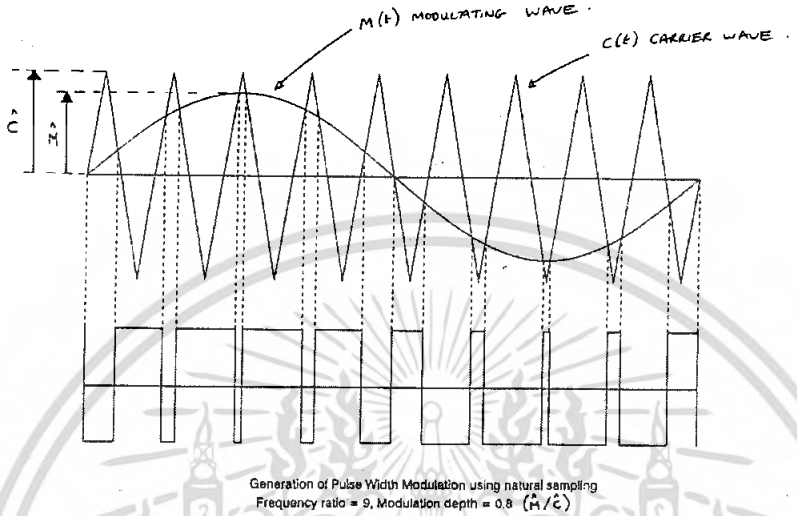
เป็นการทำงานแบบออฟไลน์ (Offline) และมักใช้ในการกำจัดฮาร์โมนิกส์ (Harmonics Elimination) แต่เนื่องจากการเกิดพัลส์ที่ไม่สม่ำเสมอ จึงไม่สามารถตอบสนองกับ ทรานเซียนท์ของวงจรได้ทันที ดังนั้นเทคนิคนี้จึงไม่เหมาะกับวงจรขยาย Class D

2.2.3 Carrier Based PWM

เทคนิคนี้ใช้ความถี่ตายตัวในการสุ่มคลื่นสัญญาณอินพุท ซึ่งตรงกับการนำมาใช้ในวงจรขยาย Class D พอดี ชนิดนี้มี 2 ประเภทๆ คือ การสุ่มตัวอย่างแบบธรรมชาติ (Natural sampling) และการสุ่มตัวอย่างที่มีรูปแบบ (Uniform sampling) PWM แบธรรมชาตินั้น การสวิทซ์ของความกว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลส์ถูกสร้างที่ส่วนตัดกันของสัญญาณพาหะ (Carrier) และสัญญาณอินพุท พัลส์ของ PWM สามารถเปลี่ยนแปลงโดยใช้สัญญาณซายน์ สัญญาณพัลส์จะสร้างจากการเปรียบเทียบสัญญาณซายน์กับคลื่นรูปสามเหลี่ยม



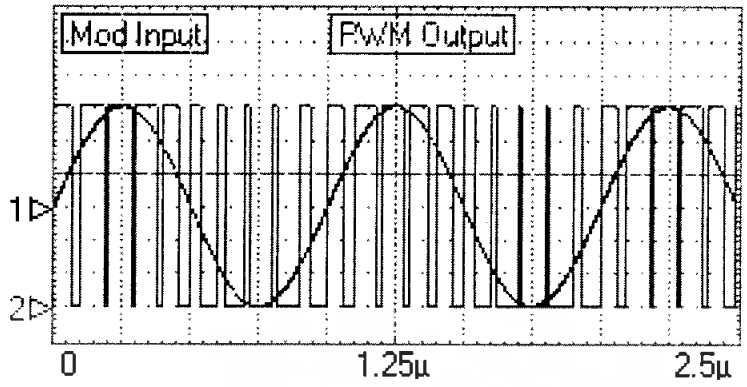
รูปที่ 2.4 แสดงรูปคลื่น PWM โดยใช้สัญญาณอินพุทรูปซายน์

ส่วน PWM ที่มีการสุ่มที่มีรูปแบบนั้น สัญญาณอินพุทจะถูกสุ่มอย่างสม่ำเสมอและคงที่ ณ จุดเริ่มต้นของแต่ละไซเคิลก่อนที่จะถูกเปรียบเทียบกับสัญญาณพาหะรูปสามเหลี่ยม แต่ PWM ชนิดนี้จะมีการหน่วงเกิดขึ้นทำให้เกิดฮาร์โมนิกส์ลำดับเลขคี่เกิดขึ้นที่สเปคตรัมของเอาท์พุท

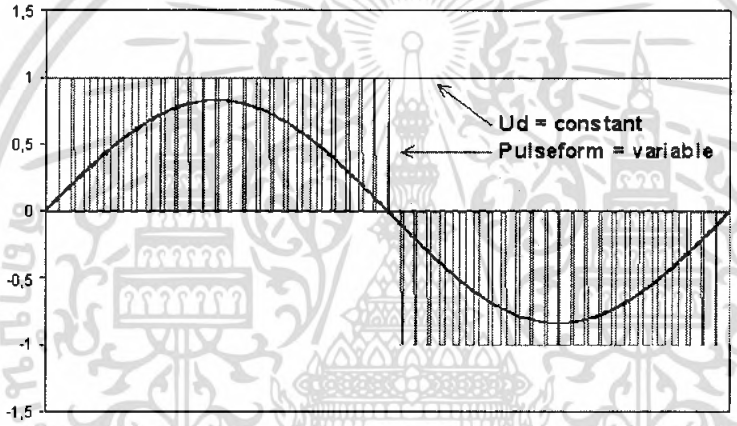
2.2.4 โครงสร้างของ Bipolar และ Unipolar ของ PWM

โครงสร้าง 2 แบบ ของ Bipolar และ Unipolar PWM แสดงดังรูปที่ 2.5 และ 2.6 Bipolar PWM หรือ PWM 2 ระดับจะมีสัญญาณเอาท์พุทเป็นบวกและลบ ส่วน Unipolar PWM หรือ PWM 3 ระดับ จะมีเอาท์พุทเป็น บวก ลบ และศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 Bipolar PWM



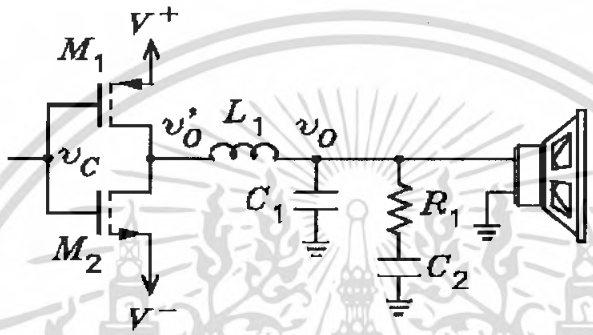
รูปที่ 2.6 Unipolar PWM

Unipolar PWM หรือ PWM แบบ 3 ระดับนั้นจะมีข้อดีคือว่าจะเพิ่มประสิทธิภาพของวงจร H-Bridge สามารถสังเกตได้ที่สัญญาณอินพุทเมื่อเท่ากับศูนย์ PWM 2 ระดับนั้น จะมี Duty Cycle เท่ากับ 50% เพราะ MOSFET จะทำการสลับการทำงานและหยุดทำงานเท่ากัน แต่ PWM 3 ระดับนั้นจะเท่ากับศูนย์ เพราะไม่ต้องจ่ายกระแสไปที่โหลด ด้วยวิธีนี้จะเป็นการประหยัดพลังงาน โดยการห้ MOsFET สวิทช์น้อยๆ และเพิ่มประสิทธิภาพ

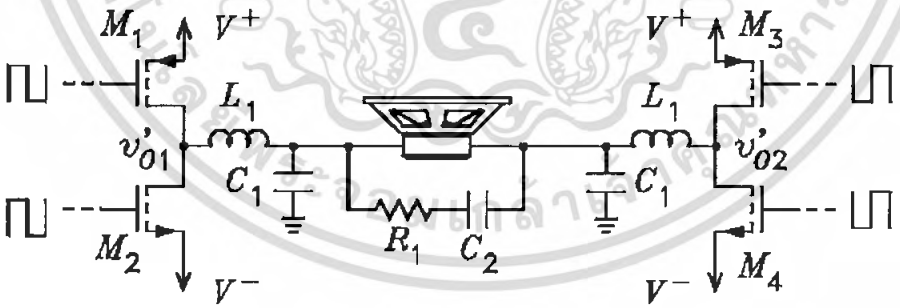
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ภาค Switching Power

คุณสมบัติของวงจรขยาย Class D ขึ้นอยู่กับคุณภาพของภาค Switching Power รูปที่ 2.7 และ 2.8 เป็นการแสดงการจัดรูปแบบ 2 แบบที่นิยมที่สุดของภาค Switching Power และโหลด โดยรูปที่ 2.7 เป็นการใช้วงจรขับครึ่งบริดจ์ที่มีโหลดแบบ Single – ended ส่วนรูปที่ 2.8 เป็นการใช้วงจรขับแบบ H – bridge ที่มีโหลดแบบ Bridge – tied



รูปที่ 2.7 วงจรขับครึ่งบริดจ์ที่มีโหลดแบบ Single – ended



รูปที่ 2.8 วงจรขับแบบ H – bridgeที่มีโหลดแบบ Bridge – tied

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรกรองความถี่ (Filter)

วงจรกรองความถี่ (Filter) คืออุปกรณ์ที่ทำหน้าที่เป็นตัวเลือกผ่านสัญญาณ โดยวงจรกรองจะยอมให้สัญญาณเฉพาะบางย่านความถี่ผ่านไปได้เท่านั้น เราจะเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่า ย่านความถี่ผ่าน (Passband) และย่านความถี่ที่วงจรกรองจะกั้นไว้ไม่ให้ผ่านว่า ย่านความถี่หยุด (Stopband)

วงจรกรองเป็นอุปกรณ์ที่สำคัญมากในงานทางด้านวิศวกรรมอิเล็กทรอนิกส์หลายๆ ด้าน เช่น

- ใช้ในเครื่องขยายภาคต้น (Pre- amplifier) วงจรปรับเท่า (Equalizer) และตัวปรับเครื่องเสียง (Audio System)
- ใช้ในวงจรกำจัดสัญญาณรบกวน (Noise) ที่ไม่ต้องการในระบบสื่อสาร
- ใช้ในการกำจัดไซด์แบนด์ (Sideband) ในระบบสื่อสารแบบไซด์แบนด์เดี่ยว (Single Sideband)
- ใช้ในการดีมอดูเลท (Demodulate) สัญญาณ
- ใช้แก้ปัญหาการสูญเสีย (Loss) ในการส่งสัญญาณในการสายส่ง (transmission Line) และสายเคเบิล
- ใช้ในอุปกรณ์ชีวการแพทย์ (Biomedical Equipment) เช่น เยื่อประสาทหูเทียม (Artificial Cochlea) เป็นต้น

เราสามารถแบ่งวงจรกรองความถี่ได้ตามลักษณะของอุปกรณ์ที่ใช้ในการสร้างได้ดังนี้

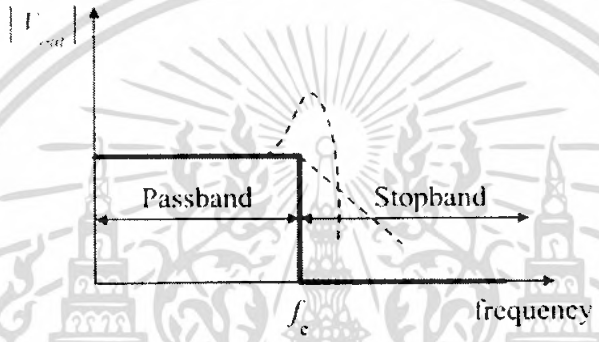
- วงจรกรองความถี่แบบพาสซีฟ (Passive Filter) เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ประกอบไปด้วยตัวต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำ วงจรกรองประเภทนี้สามารถใช้ในการกรองสัญญาณที่มีความถี่ตั้งแต่สัญญาณไฟตรง (DC) ไปจนถึงประมาณ 300 MHz อย่างไรก็ตามเราไม่นิยมใช้วงจรกรองแบบพาสซีฟในย่านความถี่ต่ำ เนื่องจากจะต้องใช้ขดลวดเหนี่ยวนำขนาดใหญ่ซึ่งมีความสูญเสียมาก ดังนั้นโดยทั่วไปวงจรกรองแบบพาสซีฟ จะถูกใช้งานตั้งแต่ย่านความถี่เสียง (Audio Frequency) ความถี่สัญญาณภาพ (Video Frequency) ไปจนถึงย่านความถี่วิทยุสูงมาก (VHF)
- วงจรกรองความถี่แบบแอ็คทีฟ (Active Filter) เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่นิยมใช้อุปกรณ์ประเภทแอ็คทีฟร่วมกับตัวต้านทานและ/หรือตัวเก็บประจุ วงจรกรองแบบแอ็คทีฟที่นิยมใช้กันในปัจจุบันได้แก่ Active RC และวงจรกรองตัวเก็บประจุสวิทซ์ (ซึ่งกรองทั้งสองแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถใช้งานในย่านความถี่ไฟตรงไปจนถึง 500 kHz) ส่วนวงจรกรองแบบ Gm-C สามารถใช้งานในช่วงความถี่สูงกว่านี้ได้

2.4.1 วงจรกรองแบบต่างๆ

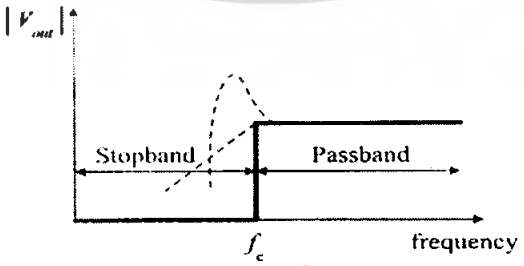
2.4.1.1 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)



รูปที่ 2.9 แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านเป็นวงจรที่ยอมให้ สัญญาณความถี่ต่ำผ่านแต่จะกั้นสัญญาณความถี่สูงเอาไว้ ดังรูปที่ 2.9 แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน โดยนิยามเราเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่า ย่านความถี่ผ่าน (Passband) หรือแบนด์วิดธ์ (Bandwidth) ของวงจร ส่วนย่านความถี่ที่วงจรไม่ยอมให้ผ่านไปเรียกว่า ย่านความถี่หยุด (Stopband)

2.4.1.2 วงจรกรองความถี่สูงผ่าน (High Pass Filter)

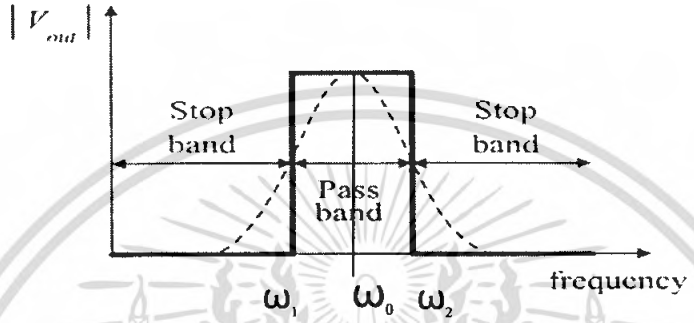


รูปที่ 2.10 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่สูงผ่านเป็นวงจรที่ยอมให้สัญญาณความถี่สูงผ่านแต่จะกั้นสัญญาณความถี่ต่ำไว้ รูปที่ 2.10 แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่าน

2.4.1.3 วงจรกรองแถบความถี่ผ่าน (Band Pass Filter)



รูปที่ 2.11 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน

วงจรกรองแถบความถี่ผ่านเป็นวงจรที่ยอมรับในช่วงความถี่ใดๆ ผ่านได้ แต่จะไม่ยอมให้ สัญญาณที่มีความถี่ต่ำหรือสูงกว่าความถี่นั้นผ่านได้ รูปที่ 2.11 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่าน โดยทั้งนี้ถ้าให้ และ ω_2 เป็นจุดปลายของย่านความถี่ผ่านของวงจรโดย $\omega_1 < \omega_2$ เราจะพบว่าแบนด์วิดธ์ของวงจรคือ

$$BW = \omega_2 - \omega_1 \tag{2.1}$$

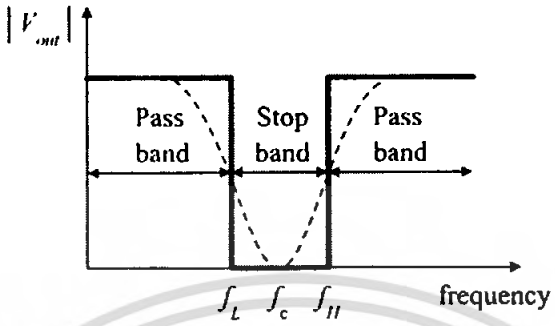
และนิยามความความถี่กึ่งกลาง (Center Frequency): ω_0 คือ

$$\omega_0 = \sqrt{\omega_1 \omega_2} \tag{2.2}$$

โดยทั่วไปเราจะกำหนดให้ BW ของวงจรกรองความถี่ผ่านคือ แถบความถี่ที่สัญญาณสามารถผ่านไปได้โดยมีการลดทอนไม่เกิน 3 dB นั้นคือ $BW = BW_{-3dB}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1.4 วงจรกรองแถบความถี่หยุด (Band Reject Filter)



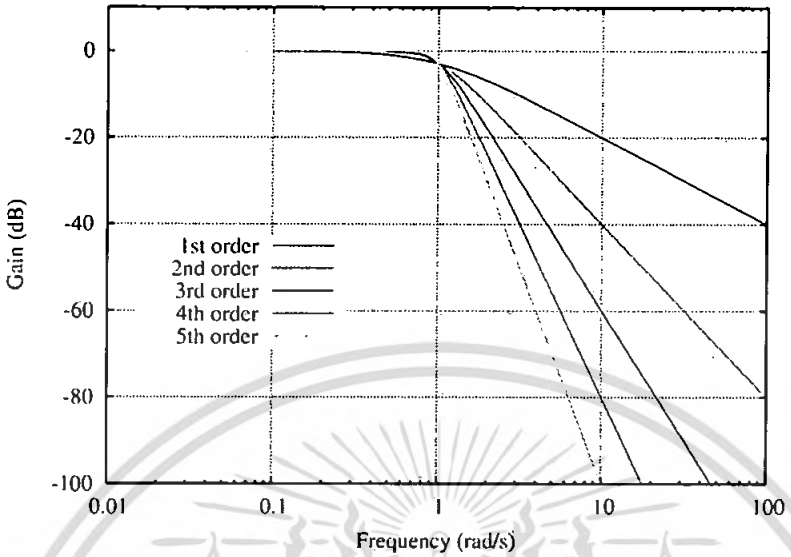
รูปที่ 2.12 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่หยุด

วงจรกรองแถบความถี่หยุดจะทำหน้าที่ตรงข้ามกับวงจรแถบความถี่ผ่าน กล่าวคือ วงจรกรองแถบความถี่หยุดจะกั้นไม่ให้สัญญาณ ณ ช่วงความถี่ใดๆ ผ่านไปได้ แต่ยอมให้สัญญาณที่มีความถี่ต่ำหรือสูงกว่าช่วงความถี่นั้นผ่านไปได้ ดังรูปที่ 2.12

2.4.2 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ (Butterworth Low Pass Filter)

วงจรกรองแบบนี้จะมีค่า Q อยู่ที่ระดับปานกลาง (Medium – Q) จึงทำให้มีลักษณะพิเศษตรงที่ให้อัตราขยายการตอบสนองความถี่เท่ากันตลอดย่านความถี่ที่ผ่านไปได้ (มีความเรียบสม่ำเสมอตลอดย่าน) และไม่มีการเกิดสัญญาณกระเพื่อมให้ได้เห็นกัน ดังนั้นลักษณะของรูปคลื่นสัญญาณที่ผ่านจากวงจรนี้จึงมีลักษณะดังรูปที่ 2.13 จึงยับได้ว่ามีความราบเรียบของแถบความถี่สูงที่สุดในบรรดาวงจรกรองความถีนิดต่างๆ แต่วงจรกรองแบบนี้ก็มีข้อเสียคือตรงที่ช่วงของการลดทอนสุญญาณไม่ค่อยชัน (เส้นกราฟที่หลังจากผ่านจุดตัดความถี่) จึงทำให้เกิดการส่งผ่านของแถบความถี่ (Transition) ขึ้นมา ซึ่งจุดนี้เราสามารถแก้ไขได้โดยการเพิ่มจำนวนของอุปกรณ์ที่มีคุณสมบัติทางรีแอคแตนซ์เข้าไปอีกและจากคุณสมบัติต่างๆนี้เอง จึงมีการเรียกวงจรชนิดนี้ว่า "การออกแบบในเส้นทางระดับปานกลาง"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 กราฟการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ Butterworth แสดงเส้นกราฟตั้งแต่อันดับที่ 1 ถึง 5โดยมีความชันคือ 20n dB/decade (n คือ อันดับที่)

2.4.2.1 การหาอุปกรณ์เพื่อใช้ในการออกแบบวงจรกรองความถี่ต่ำผ่าน

ค่าของอุปกรณ์นั้นเราจะอ้างอิงกับพื้นฐานของวงจรกรองความถี่ต่ำผ่านแบบ Butterworth ที่มีการต่ออยู่ระหว่างแหล่งจ่ายกับโหลดที่มีค่าอิมพีแดนซ์ 1 โอห์ม โดยได้ค่าGeneral Form : Hn คือ

$$H_n = 1 \text{ or } (S+1)\prod_k (S^2 + 2\cos\Psi_k S + 1) \qquad (2.3)$$

ทำให้ได้ค่า Butterworth Approximation Function ของวงจรกรองแบบ Butterworth ที่อันดับต่างๆ ดังตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N	H(S)
1	$S + 1$
2	$S^2 + 1.414S + 1$
3	$(S^2 + S + 1)$
4	$(S^2 + 0.76527S + 1)(S^2 + 1.84776S + 1)$
5	$(S^2 + 0.61802S + 1)(S^2 + 1.61802S + 1)(S + 1)$

ตารางที่ 2.1 แสดงค่า Butterworth Approximation Function ของ Butterworth Low – Pass Filter

จากตารางทำให้ได้ค่านอร์มอลไลซ์ของอุปกรณ์ค่าต่างๆ ดังตารางที่ 2.2

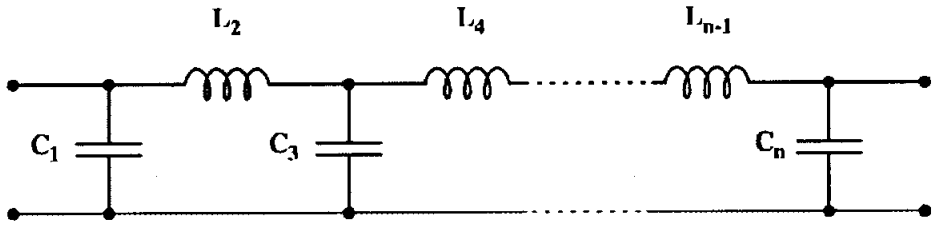
N	L_1	C_2	L_3	C_4	L_5
2	1.4142	0.7071			
3	1.5000	1.3333	0.5000		
4	1.5307	1.5772	1.0824	0.3827	
5	1.5414	1.6944	1.3820	0.8944	0.3090

ตารางที่ 2.2 แสดงนอร์มอลไลซ์ของค่าอุปกรณ์ต่างๆ ที่ใช้ในวงจร Butterworth Low – Pass Filter

2.4.3 การออกแบบวงจรดีมอดดูเลชั่นฟิลเตอร์ (Demodulation Filter Design)

อีกส่วนหนึ่งของระบบพาวเวอร์แอมป์ที่มีความสำคัญมากที่สุด คือ ภาคดีมอดูเลชั่นฟิลเตอร์ (Demodulation Filter) หน้าที่หลักของมันคือ เป็นวงจรฟิลเตอร์ที่จะนำมาตัดหรือลดทอนองค์ประกอบของสัญญาณที่มีความถี่สูงให้หมดๆไปจากสัญญาณ PWM ที่ขับออกจากเอาท์พุทก่อนส่งสัญญาณไปขับลำโพงต่อไป ดังนั้นเพื่อทำให้ระบบทำงานโดยมีประสิทธิภาพสูงสุด หรืออีกนัยหนึ่งก็คือ มันต้องมีความเป็นตัวต้านทานน้อยที่สุดหรือไม่มีเลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 แสดงวงจรฟิลเตอร์แบบ n – th order LC Low – Pass Filter

วงจรในรูปที่ 2.14 แสดงวงจรฟิลเตอร์แบบ n – th order LC Low – Pass Filter โดยที่ค่าอิมพีแดนซ์ของแหล่งจ่าย (Source Impedance) ของวงจรฟิลเตอร์นี้ (เมื่อต่อกับภาคขยายของแอมป์) จะมีค่าประมาณเท่ากับค่าความต้านทานขณะทำงานของแต่ละเพาเวอร์สวิทช์ (On – Resister Power Switch) ในภาคกำลังซึ่งในทางปฏิบัติแล้วมีค่าน้อยมาก ค่าตัวเหนี่ยวนำ (L) และค่าตัวเก็บประจุ (C) ของวงจรฟิลเตอร์จะขึ้นอยู่กับค่าโหลดอิมพีแดนซ์ (Load Impedance) หรือ R_L และค่าความถี่คัทออฟ (Cutoff Frequency) หรือ ω_0 และชนิดของวงจรฟิลเตอร์ เช่น แบบ Butterworth หรือแบบ Chebyshev เป็นต้น แต่โดยทั่วไปมักจะใช้เป็นวงจรฟิลเตอร์แบบ LC Butterworth ที่ออเดอร์ที่ 2 หรือ 4

วิธีที่ง่ายที่สุดในการกำหนดค่าของอุปกรณ์ในแต่ละตัวคือการใช้ตารางกำหนดค่าอุปกรณ์แบบนอร์มอลไลซ์ (Normalized Element Value Table) ในตารางที่ 2.2 ซึ่งในตารางนี้จะแสดงค่านอร์มอลไลซ์ของค่าอุปกรณ์ต่างๆ ที่ใช้ในวงจรฟิลเตอร์แบบ Butterworth ตั้งแต่ออเดอร์ที่ 2 – 5 ค่าต่างๆที่แสดงในตารางเป็นค่าที่อ้างอิงมาจากวงจรฟิลเตอร์ที่มีค่าความถี่คัทออฟ ω_0 = 1 rad/s และที่โหลดอิมพีแดนซ์ R_L = I โอห์ม ดังนั้นการออกแบบจึงต้องทำการดีนอร์มอลไลซ์ใหม่ด้วยสูตรสเกลลิ่งแฟคเตอร์ (Scaling Factor) ดังนี้

$$L_n = l_n \times \left(\frac{R_L}{\omega_0}\right) \tag{2.4}$$

$$C_n = C_n \times \left(\frac{1}{R_L \times \omega_0}\right) \tag{2.5}$$

เมื่อพิจารณาจากความต้องการของระบบพาวเวอร์แอมป์ที่เราจะนำวงจรฟิลเตอร์ไปใช้ พบว่าวงจรแอมป์นี้ต้องสามารถขับโหลดที่ค่า 4 โอห์มและ 8 โอห์มได้ (เพราะเป็นลำโพงขนาด 4 โอห์มหรือ 8 โอห์มเป็นส่วนใหญ่) การออกแบบฟิลเตอร์ให้รองรับโหลดอิมพีแดนซ์ที่น่าจะเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่สุดในกรณีนี้ก็คือ การนำค่าเฉลี่ยของค่าสูงที่สุดกับค่าต่ำที่สุดของโหลดอิมพีแดนซ์มาคำนวณ ซึ่งในกรณีนี้คือ 6โอห์ม

ดังนั้นเมื่อนำวงจรฟิลเตอร์นี้ไปเชื่อมต่อกับโหลดที่มีอิมพีแดนซ์สูงกว่าที่เราออกแบบไว้มันจะทำให้เกิดค่าพีด (Peak) ขึ้นที่บริเวณช่วงความถี่สูงเนื่องจากฟิลเตอร์อยู่ในภาวะอันเดอร์แดมป์ (Underdamped) แต่เมื่อนำฟิลเตอร์ไปเชื่อมต่อกับโหลดที่มีค่าอิมพีแดนซ์ต่ำกว่ามันจะเกิดการ โอเวอร์แดมป์ (Overdamped) อยู่บ้างในช่วงความถี่สูงแต่ไม่มากจนเกินไป ส่วนการเลือกจุดตัดคัทออฟของวงจรฟิลเตอร์นั้นควรเลือกค่าสูงกว่าค่าสูงสุดของความถี่เสียง (Audio Frequency) ทั่วไป ซึ่งผลจากการเกิดอันเดอร์แดมป์และโอเวอร์แดมป์ของวงจรฟิลเตอร์นี้จะไม่ส่งผลต่อการตอบสนองความถี่ที่ต้องการแต่อย่างใด ดังนั้นค่าที่เหมาะสมที่จะเลือกเป็นจุดตัดคัทออฟของวงจรฟิลเตอร์จึงมีค่าอยู่ที่ประมาณ 40 kHz

2.5 Power MOSFET

A bipolar junction transistor (BJT) เป็นอุปกรณ์ควบคุมกระแสและต้องการกระแสเบส สำหรับเป็นกระแสไหลผ่านไปยังคอลเลคเตอร์ เนื่องจากกระแสที่คอลเลคเตอร์ขึ้นอยู่กับกระแสที่เบส (กระแสอินพุต) และ current gain ขึ้นอยู่กับอุณหภูมิที่รอยต่อ

A power MOSFET เป็นอุปกรณ์ควบคุมศักดาไฟฟ้า และต้องการเพียงกระแสอินพุตที่มีขนาดเล็กๆเท่านั้น ความเร็วในการสวิตชิ่งมีค่าสูงมาก ดังนั้นเวลาในการสวิตชิ่งอยู่ในหน่วย nanoseconds การประยุกต์ใช้งานของเพาเวอร์มอสเฟต จะใช้งานเป็น low pass, high frequency, converter และมอสเฟตนั้นไม่มีปัญหาของปรากฏการณ์เบรคดาวน์ เหมือนอย่าง BJT แต่อย่างไรก็ตามปัญหาของมอสเฟตจะอยู่ที่ Electrostatics discharge และเป็นการยากที่จะป้องกันมอสเฟตจากความผิดพลาดที่เกิดจากการลัดวงจร

2.5.1 ชนิดของ MOSFET

MOSFET มี 2 ชนิด

2.4.1.1 Depletion MOSFET

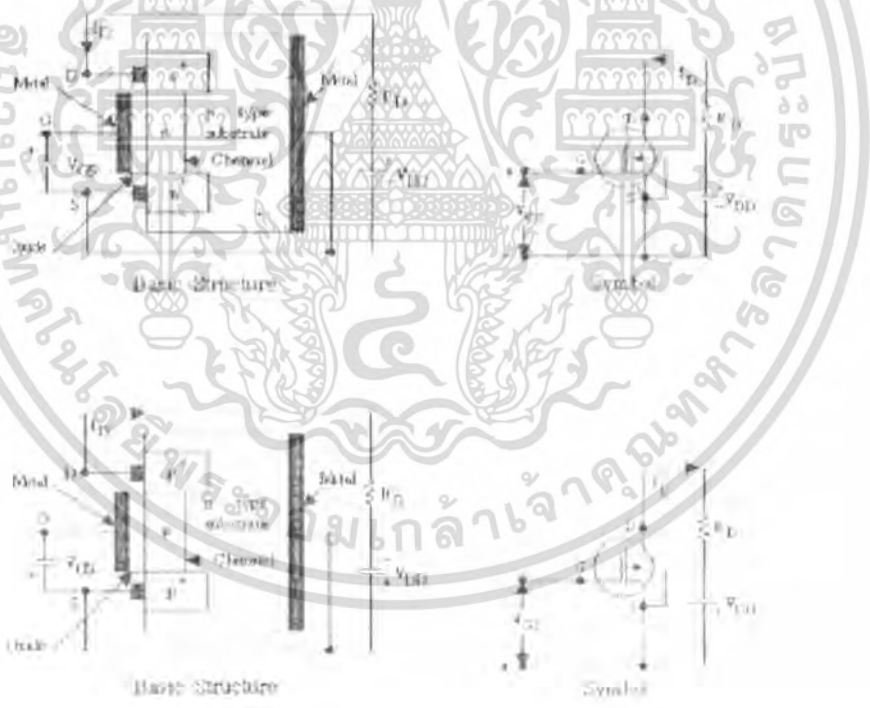
2.4.1.2 Enhancement MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.5.1.1 Depletion MOSFET แสดงตามรูปที่ 2.15 ที่ n channel จะคล้าย p-type silicon substrate และประกอบด้วย n^+ silicon เพื่อต่อเป็นค่าความต้านทานต่ำที่ gate นี้จะถูกแยกออกมาจากแชนแนลด้วยชั้นของออกไซด์บางๆ มอสเฟตนี้ประกอบด้วย gate drain และ source โดยปกติให้ศักดาไฟฟ้าลบต่ออยู่กับ source โดยค่าของศักดาไฟฟ้าที่ขั้ว gate และ source คือ V_{gs} เป็นได้ทั้งบวกและลบ

ถ้า V_{gs} เป็นลบ อิเลคตรอนจำนวนหนึ่งใน p channel จะ repel และชั้นของ depletion region จะสร้างชั้นออกไซด์บางๆ และทำให้เกิดช่องแคบๆ มีค่าความต้านทานสูงของขั้ว drain ไปยัง source (R_{ds}) ถ้า V_{gs} มีค่าเป็นลบเพียงพอที่แชนแนลจะกลายเป็นช่องว่าง และทำให้ไม่มีกระแสไหลจาก drain ไปยัง source ดังนั้น $V_{gs} = 0$ และเราเรียกค่าของ V_{gs} ปรากฏการณ์นี้ว่า pinch-off voltage (V_p) ถ้า V_{gs} เป็นบวก ที่แชนแนลจะกว้างขึ้น และค่าของ I_{ds} จะมีค่าเพิ่มขึ้นเนื่องจาก R_{ds} มีค่าลดลง ทำให้ p-channel depletion-type MOSFET โดยค่าของV_{ds}, I_{ds} , V_{gs} จะ reverse กัน



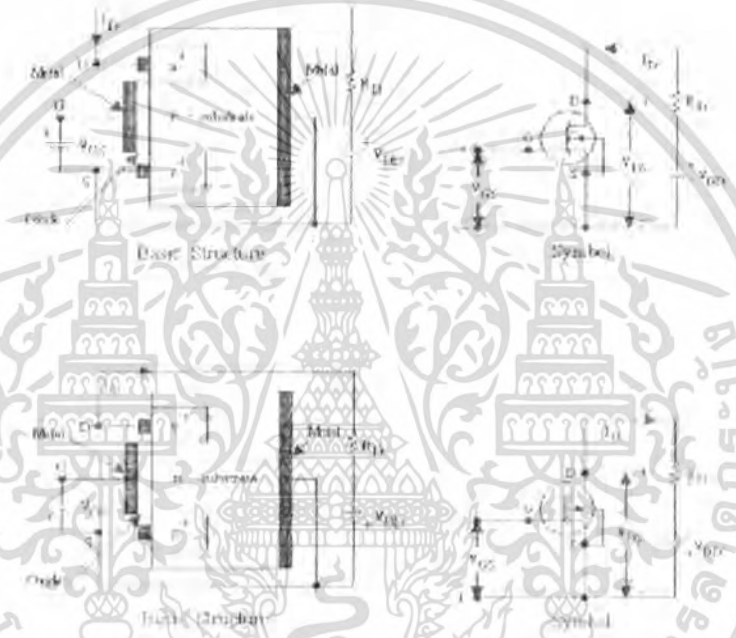
รูปที่ 2.15 Depletion – type MOSFET

(a) n - Channel Depletion - type MOSFET

(b) p - Channel Depletion - type MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
82190

2.5.1.2 Enhancement MOSFET แสดงตามรูปที่ 2.16 ถ้า V_{gs} เป็นค่าบวก induce voltage จะต้านทานอิเลคตรอนจาก p-substrate และถ้า V_{gs} มีค่ามากกว่าหรือเท่ากับ Threshold voltage(V_t) ปริมาณกระแสจะไหลจากขั้ว drain ไปยัง source และสำหรับ p-channel enhancement-type MOSFET จะได้ว่าค่าของ V_{gs} , V_{ds} , I_{ds} จะ reverse กัน



รูปที่ 2.16 Enhancement – type MOSFET

(a) n - Channel Enhancement - type MOSFET

(b) p - Channel Enhancement - type MOSFET

2.5.2 Steady-State Characteristics

เนื่องจาก MOSFET เป็นอุปกรณ์แบบ voltage controlled และมี input impedance สูงมากๆ โดยที่ gate draws มีกระแสรั่วไหลเพียงเล็กน้อย (ในหน่วย nanoampres) ค่าของ current gain เป็นอัตราส่วนกระแสเดรน(drain current , I_d) กับกระแสอินพุตเกท (input gate current , I_g)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Current gain} = \frac{\text{Drain current}}{\text{Input gate current}} \tag{2.6}$$

แต่อย่างไรก็ตาม ค่าของ current gain ยังไม่ใช่ค่าพารามิเตอร์ที่สำคัญ ค่าของ tranconductance ซึ่งเป็นอัตราส่วนระหว่างกระแสเดรน (drain current) กับค่าของความต่างศักย์ที่เกท (gate current)

$$\text{Current gain} = \frac{\text{Drain current}}{\text{Input gate current}} \tag{2.7}$$

ส่วนค่า transfer characteristics ของ n – channel และ p – channel ของ MOSFET แสดงตามรูป 2.17 และรูป 2.18 แสดง output characteristics ของ n – channel enhancement MOSFET และมีย่านการทำงาน 3 ช่วง คือ

1. ย่าน cut off region $V_{gs} \leq V_t$
2. ย่าน pinch off region หรือ saturation region $V_{ds} \geq V_{gs} - V_t$
3. ย่าน linear region $V_{ds} \leq V_{gs} - V_t$

ในย่าน linear region ค่าของกระแสเดรนสูง และศักดาเดรนต่ำ power transistor มีการทำงานแบบสวิตชิ่งในช่วง linear region ในย่าน saturation region ค่ากระแสเดรนที่ยังเหลือจะเป็นค่าคงที่โดยจะมีการเพิ่มเพียงเล็กน้อยในค่าของ V_{ds} และการใช้งานของทรานซิสเตอร์ในย่านนี้จะนำไปใช้ประโยชน์เป็น voltage amplification

รูปแบบการ steady-state ซึ่งทั้ง depletion-type และ enhancement- type MOSFET แสดงในรูป 2.19 ค่าของ Tranconductance (g_m) กำหนดโดย

$$g_m = \frac{\Delta I_d}{\Delta V_{ds}} = \text{constant} \tag{2.8}$$

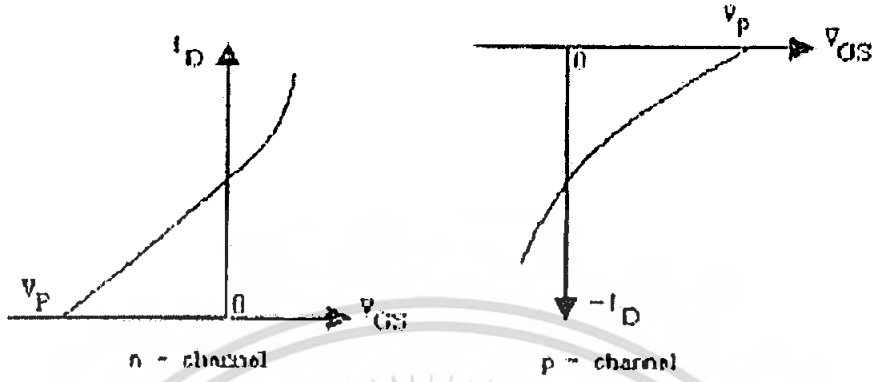
ค่าความต้านทานทางด้าน output

$$R_o = R_{ds} \tag{2.9}$$

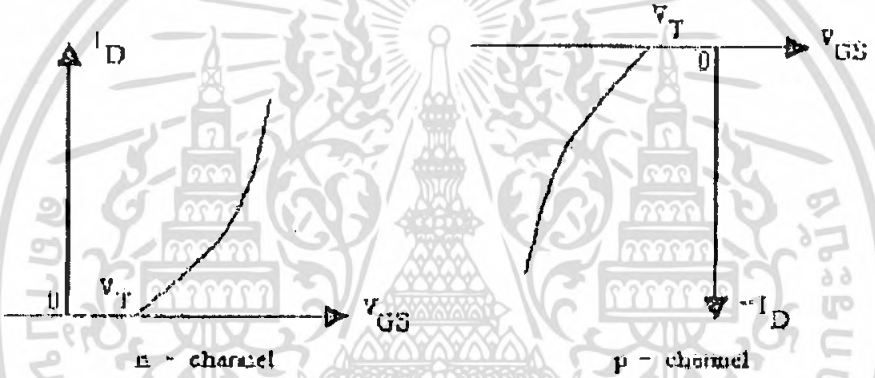
$$R_{ds} = \frac{\Delta V_{ds}}{\Delta I_d} \tag{2.10}$$

ซึ่งจะมีค่าสูงมากๆ ในย่าน pinch – off (megaohms) และจะมีค่าน้อยมากๆ ในย่าน linear region (milliohms)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) Depletion - type MOSFET



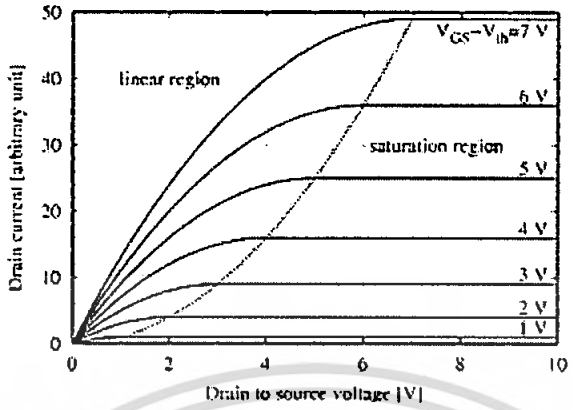
(b) Enhancement - type MOSFET

รูปที่ 2.17 Transfer Characteristics of MOSFET

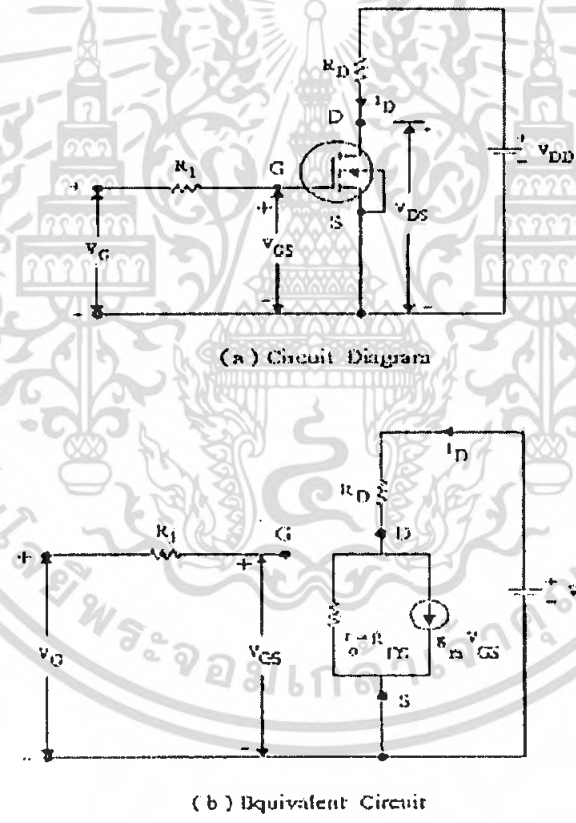
(a) Depletion - type MOSFET

(b) Enhancement - type MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 Output Characteristics of Enhancement – type MOSFET



รูปที่ 2.19 Steady – State Switching Model of MOSFET

(a) Circuit Diagram

(b) Equivalent Diagram

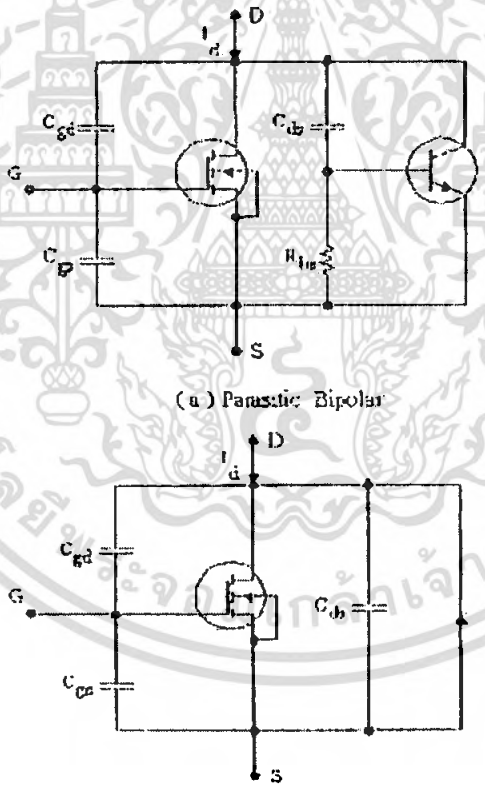
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ Depletion – type MOSFET ค่าของ gate (หรือ input) จะเป็นบวกหรือลบก็ได้ แต่ใน Enhancement – type MOSFET ศักดาไฟฟ้าที่ gate จะเป็นบวกเท่านั้น

Power MOSFET โดยปกติจะเป็นชนิด enhancement mode อย่างไรก็ตาม depletion-type MOSFET จะมีประโยชน์และง่ายต่อการออกแบบวงจรลอจิก ซึ่งในทางปฏิบัติต้องการค่า logic -completible ac หรือ dc switch ซึ่งจะอยู่ในลักษณะ logic supply ตกลง และ V_{gs} กลับเป็นศูนย์

2.5.3 Switching Characteristics

เมื่อไม่มีสัญญาณ gate enhancement mode เราจะพิจารณาเป็น diode 2 ตัว ต่อแบบ parasitic capacitances ต่อกับ source (C_{gs}) และที่ drain , C_{gs} ทรานซิสเตอร์ชนิด npn เป็นรอยต่อแบบ reverse bias จาก Drain ไปยัง Source , C_{ds}

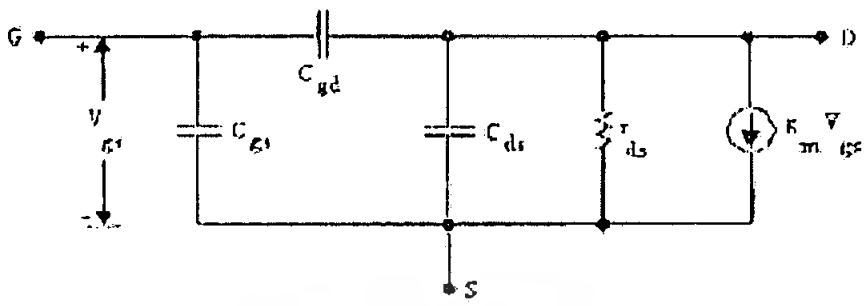


รูปที่ 2.20 Parasitic Mode of Enhancement – Type MOSFET

(a) Parasitic Bipolar

(b) Internal Diode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 Switching Model of MOSFET

รูปที่ 2.20 (a) แสดงวงจรสมมูลของ Parasitic Bipolar Transistor ที่ต่อขนานกับ MOSFET จุดที่ Base ต่อกับ emitter ของ transistor ชนิด npn จะสั้นและมีค่าความต้านจาก base ไปยัง emitter เนื่องจาก bulk resistor ชนิด n และ p (Rbe) มีขนาดเล็กมาก ดังนั้น MOSFET อาจพิจารณาจากวงจรสมมูลดังแสดงในรูป 2.20 (b)

วงจร Switching ของ MOSFET แสดงดังรูป 2.21 โดย waveforms และเวลาแสดงในรูป 2.22

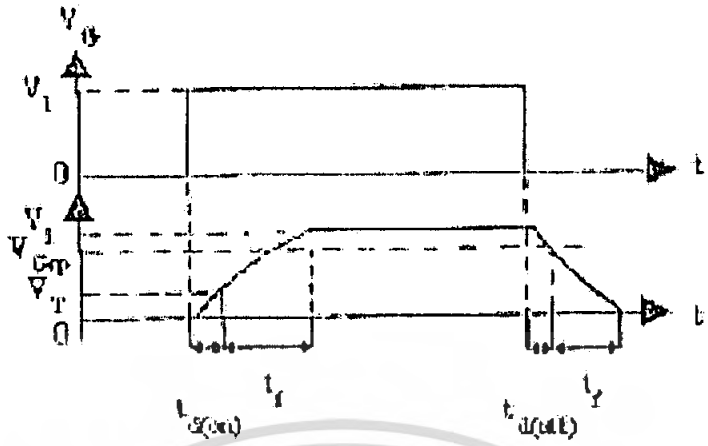
Turn-on-Delay t_d (on) เป็นเวลาที่ต้องการ charge input capacitance จนถึง threshold voltage level

Rise-Time (tr) เป็นเวลาในการ charging gate จากระดับ threshold level สู่ full gate voltage V_{gs} เมื่อต้องการขับกระแส transistor เข้าไปยังช่วงบริเวณ linear region

Turn – off Delay Time, t_d (off) เป็นช่วงเวลาที่ input capacitance ต้องการใช้ในการ Discharge จาก Over drive gate voltage V เข้าสู่บริเวณช่วง pinch – off region โดยค่าของ V_{gs} ต้องลดลงก่อนที่ค่าของ Vds จะเริ่มต้นเพิ่มขึ้น

Fall – time t_f เป็นช่วงเวลาที่ต้องใช้เมื่อ input capacitance ทำการ discharge จากช่วง pinch off เข้าสู่ threshold voltage ถ้า $V_{gs} \leq V_t$ ทรานซิสเตอร์ก็จะ turn - off

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 Switching Waveform and Times

2.5.4 Gate Driver

เวลาในการ turn – off ของ MOSFET ขึ้นอยู่กับช่วงเวลาในการประจุตัวเก็บประจุตัวเก็บประจุของ input หรือ gate capacitance โดยช่วงเวลาในการ turn – off นี้จะลดลงได้โดยการต่อวงจร RC เข้าไปดังแสดงดังรูป 2.23 เพื่อทำการ charge gate capacitance ให้เร็วขึ้นเมื่อ gate voltage turn on กระแสเริ่มต้นในการ charging ของ capacitance คือ

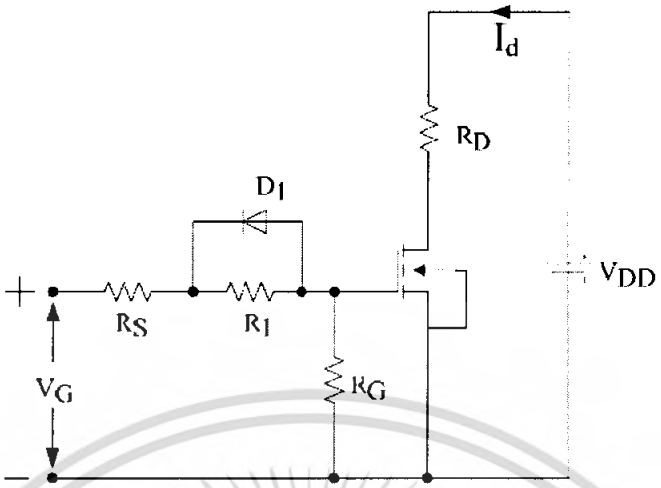
$$I_G = \frac{V_G}{R_S} \tag{2.11}$$

และค่า Steady – State ของศักย์ดาไฟฟ้า ที่ Gate คือ

$$V_{GS} = \frac{R_g \times V_g}{R_s + R_1 + R_g} \tag{2.12}$$

เมื่อ Rs คือค่าความต้านทานของแหล่งกำเนิดของ Gate Driver Source

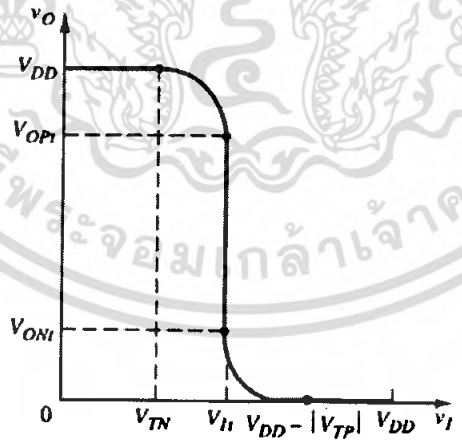
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 Fast – Turn – On Gate Circuit

D1 ต่อไว้เพื่อลด negative transients เวลาที่ MOSFET ไม่ทำงาน จะมีแรงดันตกคร่อมที่เป็นลบ เกิดขึ้นที่output ซึ่งจะมีผลทำให้เกิดค่าแรงดันย้อนกลับที่ขาเกต ($R_s + R_1 + R_g$)

2.5.5 การสูญเสียพลังงาน (Power Dissipation)



รูปที่ 2.24 แสดงกราฟการเปลี่ยนสถานะที่สมบูรณ์ของ CMOS inverter

ในสถานะจุดทำงานที่แรงดันอินพุทที่logic0 หรือ1 ค่าPower dissipation ใกล้เคียง0วัตต์ อย่างไรก็ตาม เนื่องจากในช่วงเวลาที่มีการสวิตซ์จากจากสถานะหนึ่งไปยังอีกสถานะหนึ่งนั้นจะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

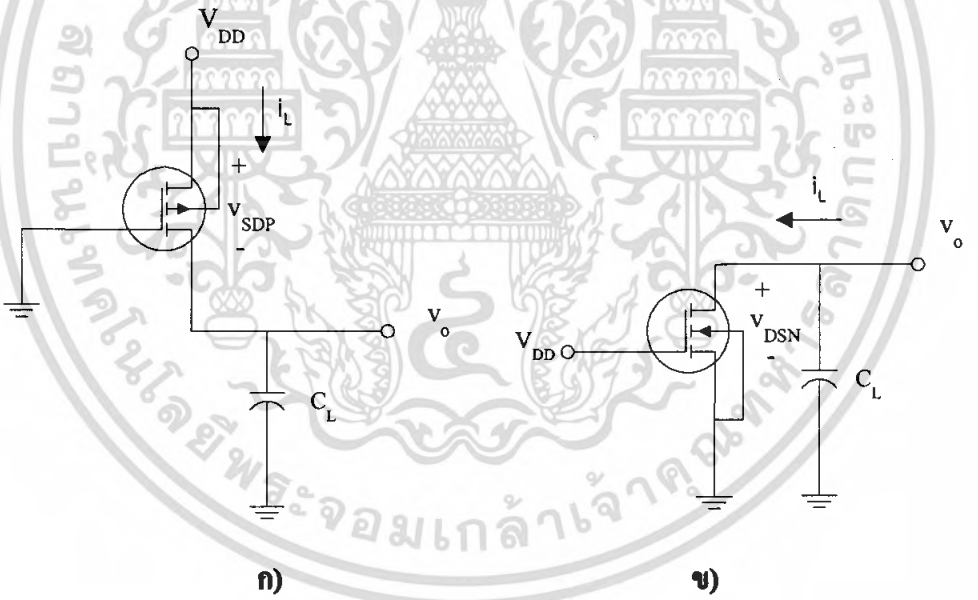
กระแสไหลขึ้นมาและมีการสูญเสียพลังงานลงบนตัวทรานซิสเตอร์ ซึ่งวงจรCMOS inverterประเภทนี้จะคำนวณโดยมีตัวเก็บประจุของวงจรMOSในภาคต่อไป โดยการทำการประจุและคายประจุของตัวโหลดคาปาซิเตอร์ของภาคถัดไปนั่นเอง

ดังรูปที่ 2.24 เอาท์พุตสวิทช์จากต่ำไปสูง ที่อินพุตสวิทช์ไปที่ลอจิกต่ำ, แรงดันขาเกท PMOS อยู่ที่ 0 โวลต์ และNMOSจะคัดออฟ โหลดที่เป็นตัวเก็บประจุC_Lจะถูกชาร์ตผ่านPMOS เกิดการสูญเสียพลังงานของPMOSนั้นจะเป็นไปดังสมการ 2.13

$$P_P = i_L v_{SD} = i_L (V_{DD} - v_O) \tag{2.13}$$

ความสัมพันธ์ระหว่างกระแสและแรงดันเอาท์พุตเป็นดังสมการที่ 2.14

$$i_L = C_L \frac{dv_O}{dt} \tag{2.14}$$



รูปที่2.25 ก) CMOS inverter เมื่อเอาท์พุตสวิทช์จากลอจิกต่ำไปสูง ข) CMOS inverterเมื่อเอาท์พุตสวิทช์จากลอจิกสูงไปต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พลังงานที่สูญเสียไปบนตัวPMOSขณะที่เอาท์พุทจากลอจิกต่ำไปสูง

$$E_P = \int_0^{\alpha} P_P dt = \int_0^{\alpha} C_L (V_{DD} - v_O) \frac{dv_O}{dt} dt \tag{2.15}$$

$$= C_L V_{DD} \int_0^{V_{DD}} dv_O - C_L \int_0^{V_{DD}} v_O dv_O \tag{2.16}$$

ซึ่งทำให้ได้

$$E_P = C_L V_{DD} v_O \Big|_0^{V_{DD}} - C_L \frac{v_O^2}{2} \Big|_0^{V_{DD}} = \frac{1}{2} C_L V_{DD}^2 \tag{2.17}$$

หลังจากที่เอาท์พุตได้สวิทซ์ไปที่ลอจิกสูงแล้วจะเกิดประจุแรงดันลงบนตัวเก็บประจุ(= $\frac{1}{2} C_L V_{DD}^2$) แล้วเมื่ออินพุตกลับไปที่ลอจิกสูง จึงทำให้เอาท์พุตกลับสู่สถานะลอจิกต่ำ ดังรูปที่2.24 PMOS อยู่ทำงานในย่านคัทออฟและ NMOS นำกระแส พลังงานทั้งหมดเก็บอยู่ในตัวเก็บประจุนั้นก็จะถ่ายเข้าที่ NMOS จึงมีพลังงานสูญเสียลงบนตัว NMOS

โดยขณะที่เอาท์พุตสวิทซ์เปลี่ยนจากสถานะลอจิกสูงไปต่ำนั้น พลังงานที่สูญเสียลงบน NMOS คือ

$$E_N = \frac{1}{2} C_L V_{DD}^2 \tag{2.18}$$

พลังงานทั้งหมดที่สูญเสียลงบนตัววงจร Inverter ใน 1 รอบของการสวิทซ์คือ

$$E_T = E_P + E_N = \frac{1}{2} C_L V_{DD}^2 + \frac{1}{2} C_L V_{DD}^2 = C_L V_{DD}^2 \tag{2.19}$$

ถ้าวงจร Inverter นั้นถูกสวิทซ์ด้วยความถี่ f ดังนั้นพลังงานที่สูญเสียลงบนตัวทรานซิสเตอร์ทั้งสองคือ

$$P = f E_T = f C_L V_{DD}^2 \tag{2.20}$$

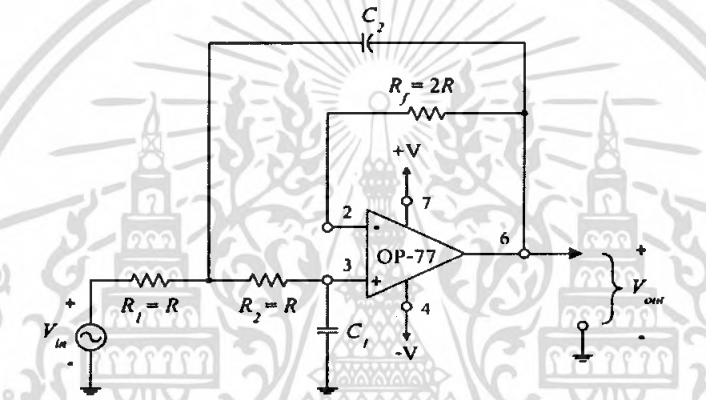
ซึ่งสมการที่ 2.20 นั้นแสดงถึงพลังงานที่สูญเสียลงบนCMOS inverter ซึ่งเป็นอัตราส่วนโดยตรงระหว่างความถี่ของการสวิทซ์และค่า V_{DD}^2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

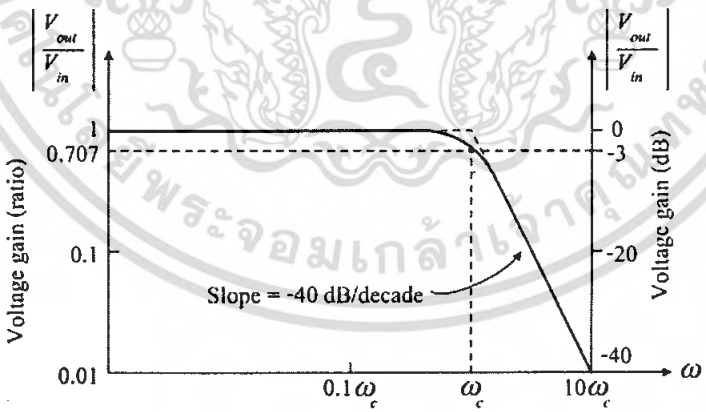
2.6 วงจรกรองผ่านความถี่แบบแอคทีฟ (Active Filter)

2.6.1 วงจรกรองผ่านความถี่ต่ำแบบบัทเทอร์เวอร์ท -40 dB/decade

วงจรกรองผ่านความถี่ต่ำแบบบัทเทอร์เวอร์ท ดังรูปที่ 2.25(ก) จะมีอัตราการเปลี่ยนแปลงเป็น -40 dB/decade หลังจากค่าความถี่ตัด ดังผลตอบสนองของวงจรในรูปที่ 2.25(ข) ออปแอมป์ในวงจรทำหน้าที่เป็นวงจรบัฟเฟอร์ โดยมีตัวต้านทานป้อนกลับ Rf ต่อไว้เพื่อลดผลของออฟเซตไฟตรง ดังนั้นแรงดันเอาท์พุท Vout ของวงจรก็คือแรงดันคร่อมตัวเก็บประจุ C1 นั่นเอง เมื่อกำหนดให้ $R_1 = R_2 = R$ แล้ว ขั้นตอนการออกแบบวงจรสามารถสรุปได้ดังนี้



ก)



ข)

รูปที่ 2.26 วงจรกรองผ่านความถี่ต่ำ และผลตอบสนองทางความถี่ที่มีอัตราการเปลี่ยนแปลงเท่ากับ -40 dB/decade ก) วงจรกรองผ่านความถี่ต่ำ -40 dB/decade ข) ผลตอบสนองทางความถี่ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปขั้นตอนการออกแบบ วงจรกรองผ่านความถี่ต่ำดังรูปที่ 2.30 จะได้ 5 ขั้นตอน คือ

1) เลือกค่าความถี่ตัด ω_c หรือ f_c ของวงจร

2) ทำการเลือกค่า C_1 ที่ใช้ในวงจร โดยทั่วไปควรมีค่าระหว่าง 100 pF ถึง 0.1 uF

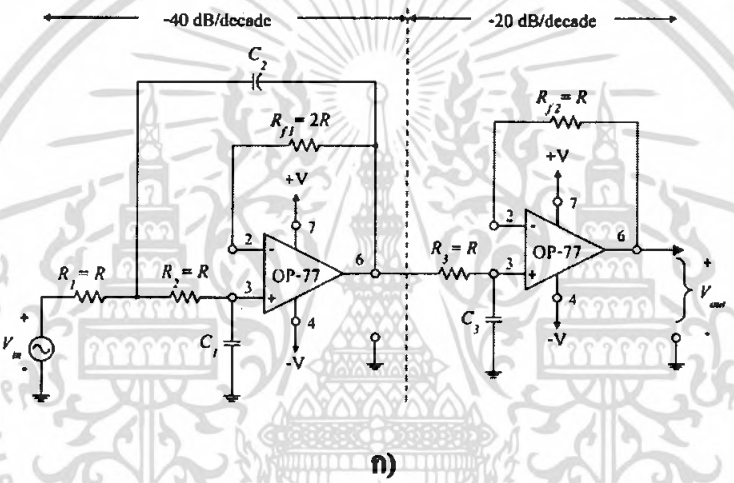
3) เลือกค่า $C_2 = 2C_1$

4) คำนวณหาค่า R ได้

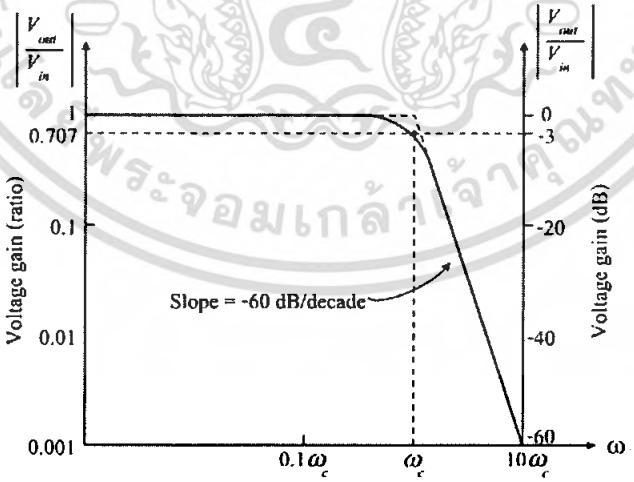
$$R = 0.707/ (\omega_c C_1) \qquad (2.33)$$

5) เลือกค่า $R_f = 2R$

2.6.2 วงจรกรองความถี่ต่ำผ่านแบบบัทเตอร์เวอร์ท –60 dB/decade



ก)



ข)

รูปที่ 2.27 วงจรกรองผ่านความถี่ต่ำ และผลตอบสนองทางความถี่ที่มีอัตราการเปลี่ยนแปลงเท่ากับ -60 dB/decade ก) วงจรกรองผ่านความถี่ต่ำ -60 dB/decade ข) ผลตอบสนองทางความถี่ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.26 แสดงวงจรกรองผ่านความถี่แบบบัทเตอร์เวอธ์ทที่มีอัตราการเปลี่ยนแปลงเป็น -60 dB/decade ซึ่งจะเห็นว่าสามารถกระทำได้โดยนำวงจรกรองผ่านความถี่ต่ำ-40 dB/decade ในรูปที่ 2.25 มาต่อคาสเคด (cascade) กับวงจรกรองผ่านความถี่ต่ำ -20 dB/decade อัตราขยายแรงดันลูปปิดทั้งหมดของวงจร A_{CL} (Overrall closed – loop voltage gain)

$$A_{CL} = V_{out}/V_{in} = (V_{ol}/V_{in})\times(V_{out}/V_{ol}) \qquad (2.34)$$

และขั้นตอนในการออกแบบวงจรขยายกระทำได้ดังต่อไปนี้

สรุปขั้นตอนการออกแบบวงจรกรองผ่านความถี่ต่ำแบบบัทเทอร์ทเวอธ์ท-60 dB/decade

1) เลือกค่าความถี่ตัด ω_C หรือ f_C ของวงจร

2) ทำการเลือกค่า C_3 ที่ใช้ในวงจร โดยทั่วไปควรมีค่าระหว่าง 0.001 uF ถึง 0.1 uF

3) เลือกค่า

$$C_1 = C_3/2 \text{ และ } C_2 = 2C_3 \qquad (2.35)$$

4) คำนวณหาค่า R จากสมการที่ 2.31

$$R = 1/(\omega_C C_3) \qquad (2.36)$$

5) เลือกค่า $R_1 = R_2 = R_3 = R$ ซึ่งโดยทั่วไปควรมีค่าระหว่าง 10 kΩ ถึง 100 kΩ

6) ทำการเลือกค่า $R_{f1} = 2R$ และ $R_{f2} = R$

ω	**-20 dB/decade**	**-40 dB/decade**	**-60 dB/decade**
$0.1\omega_C$	1.0	1.0	1.0
$0.25\omega_C$	0.97	0.998	0.999
$0.5\omega_C$	0.89	0.97	0.992
ω_C	0.707	0.707	0.707
$2\omega_C$	0.445	0.24	0.124
$4\omega_C$	0.25	0.053	0.022
$10\omega_C$	0.1	0.01	0.001

ตารางที่ 2.3 แสดงขนาดของ $|A_{CL}|$ ของวงจรกรองผ่านความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ω	-20 dB/decade	-40 dB/decade	-60 dB/decade
$0.1\omega_c$	-6	-8	-12
$0.25\omega_c$	-14	-21	-29
$0.5\omega_c$	-27	-43	-60
ω_c	-45	-90	-135
$2\omega_c$	-63	-137	-210
$4\omega_c$	-76	-143	-226
$10\omega_c$	-84	-172	-256

ตารางที่ 2.4 แสดงมุมเฟสของวงจรกรองผ่านความถี่ต่ำ

จากข้อมูลในตารางพบว่าขนาดของ $|A_{CL}|$ ของวงจรกรองผ่านความถี่ต่ำแบบบัทเทอร์เวอธ์ททั้งสามแบบมีขนาดแปรผันระหว่าง 1 ถึง 0 ในช่วงความถี่ต่ำจนถึงความถี่สูง แต่ ณ ที่ความถี่ตัด ω_c ขนาด $|A_{CL}|$ ของทั้งสามวงจรจะมีค่าเท่ากันคือเท่ากับ 0.707 หรือ -3 dB

ขณะที่มุมเฟสในช่วงความถี่ต่ำจนถึงความถี่สูงของวงจรทั้งสาม สามารถสรุปได้ดังนี้

-20 dB/decade มีมุมแปรผันระหว่าง 0°~ -90° และที่ ω_c มีมุมเท่ากับ -45°

-20 dB/decade มีมุมแปรผันระหว่าง 0°~ -180° และที่ ω_c มีมุมเท่ากับ -90°

และ -20 dB/decade มีมุมแปรผันระหว่าง 0°~ - 270° และที่ ω_c มีมุมเท่ากับ -135°

ดังนั้นจึงพบว่าการแปรผันมุมเฟสจากช่วงความถี่ต่ำไปจนถึงความถี่สูงของวงจรกรองผ่านความถี่ต่ำ -40 dB/decade และ -60 dB/decade นั้น มีค่ามุมเปลี่ยนแปลงเป็นสองเท่าและสามเท่าของวงจรกรองผ่านความถี่ต่ำ-20 dB/decade

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

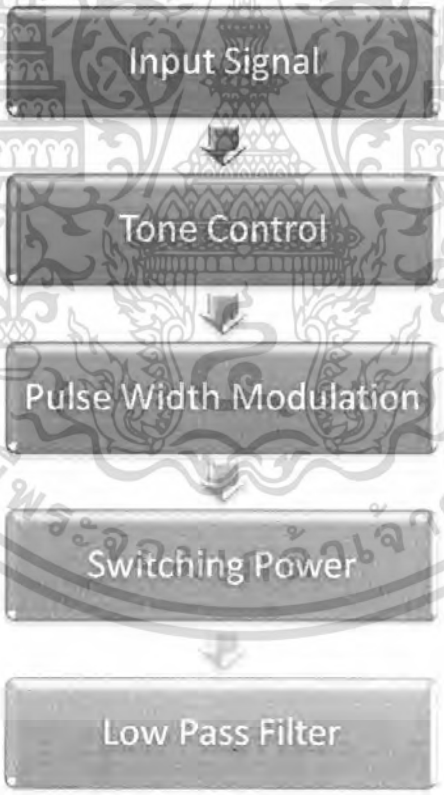
บทที่ 3

การออกแบบ

3.1 ระบบการทำงานของเครื่อง

ในการออกแบบเครื่องเสียงนั้นมีความจำเป็นอย่างยิ่งที่ผู้ออกแบบต้องทำการออกแบบให้สามารถรองรับการทำงานที่หลากหลาย เช่น วงจรขยายเสียงที่สามารถปรับขนาดสัญญาณเสียงย่านความถี่ต่ำและสูง ได้หลายย่านตามความต้องการ

ในโครงงานอินทิเกรทแอมป์คลาสดีนี้ ประกอบไปด้วยวงจรต่างๆหลายๆส่วนได้แก่ Signal Stage, PWM Stage, Gate Drive Stage, Switching Stage และ Low Pass Filter Stage ซึ่งสามารถเขียนการทำงานโดยรวมของระบบเป็น Block Diagram ได้อย่างคร่าวๆ ดังนี้

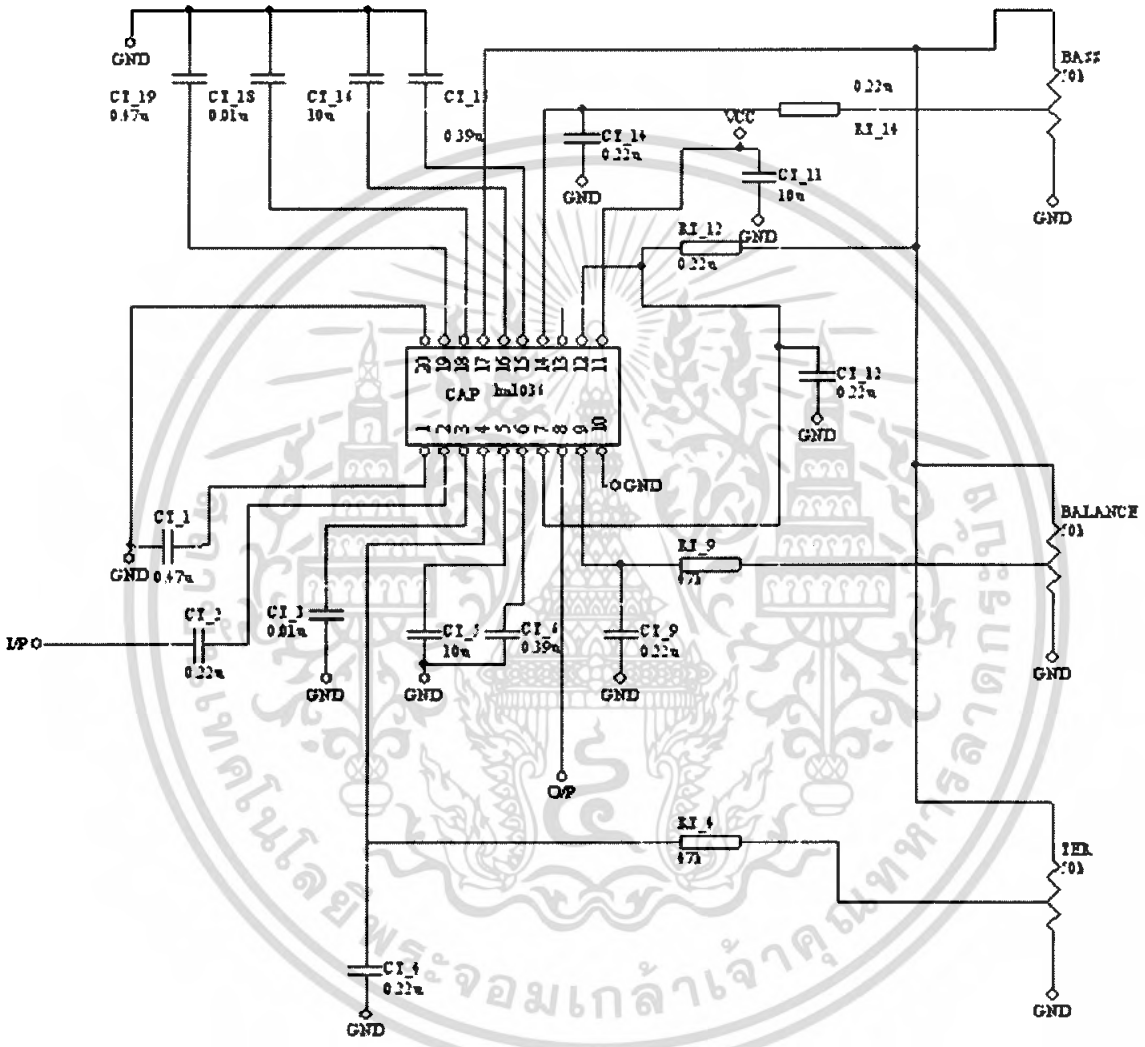


รูปที่ 3.1 Block Diagram การทำงานโดยรวมของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 Signal Stage

ส่วนแรกในการทำงานของเครื่องขยายเสียงนี้ คือ การปรับแต่งสัญญาณเสียงอินพุท โดยเลือกใช้ไอซีเบอร์ LM1036



รูปที่ 3.2 แสดงวงจรการใช้งานของไอซี LM1036

ซึ่งไอซี LM1036 สามารถรับอินพุทได้สองอินพุท เนื่องจากเป็นไอซีที่สามารถทำงานเป็นแบบสเตอริโอได้ จาก Control) รวมถึงการปรับสมดุมของเสียง (Balance Control) ที่จะออกรูปจะเห็นได้ว่าวงจรนี้สามารถปรับขยายเสียงที่ย่านความถี่ต่ำ(Bass Control) และปรับขยายเสียงที่ย่านความถี่สูง (Treble Control) ปรับระดับความดังของเสียง (Volume ทางลำโพงทั้งสองข้างได้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการนำมาใช้งานหากต้องการขยายเสียงที่ย่านความถี่ต่ำหรือสูง ที่คัทออฟเท่าใด ให้กำหนดค่า C_b และ C_t ที่เหมาะสมตามต้องการ เป็นไปดังสมการที่ 3.1 และ 3.2

$$\text{Bass Response} = \frac{1 + \frac{0.00065(1 - a_b)}{j\omega C_b}}{1 + \frac{0.00065 a_b}{j\omega C_b}} \tag{3.1}$$

$$\text{Treble Response} = \frac{1 + \frac{1 + j\omega 5500(1 - a_t)c_t}{j\omega c_b}}{1 + j\omega 5500 a_t C_t} \tag{3.2}$$

ซึ่งถ้าค่า $a_b = a_t = \mathbf{0}$ จะทำให้ได้ค่าของ Bass boost กับ Treble boost ที่มากที่สุด แล้วถ้าค่า $a_b = a_t = \mathbf{1}$ จะได้ค่า Bass cut กับ Treble cut ที่มากที่สุด สำหรับค่าตัวเก็บประจุ $\mathbf{C_b}$ = 0.39 µF กับ $\mathbf{C_t}$ = 0.01 µF ดังแสดงในรูปที่ 3.2 จะทำให้ได้กำลังขยายสูงสุดที่ 15 dB Boost หรือ Cut ของความถี่ 40 Hz และ 16 kHz

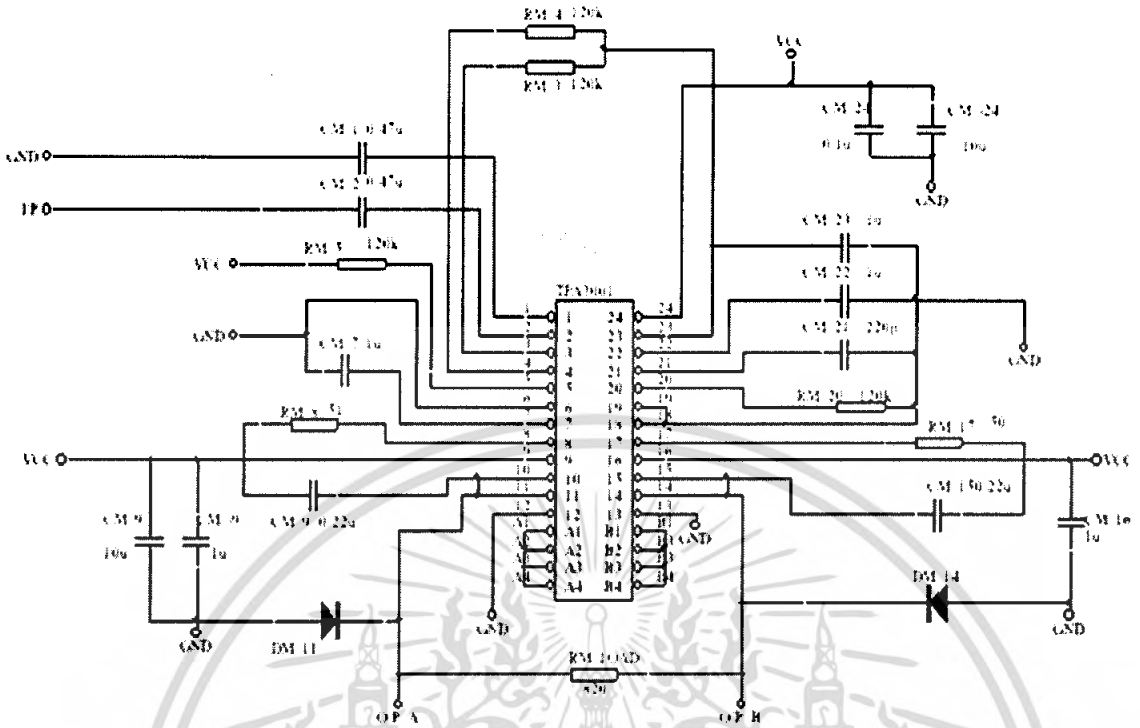
3.1.2 Pulse Width Modulation: PWM

เมื่อทำการปรับแต่งสัญญาณอินพุทแล้ว จากนั้นส่งต่อสัญญาณอินพุทที่ปรับแต่งแล้วไปที่ไอซีเบอร์ TPA3001D เพื่อสร้างสัญญาณ PWM ตามที่ต้องการ โดยความถี่ที่ใช้ในการสวิทช์สามารถคำนวณได้จากค่าของ R_{osc} (ขา 20) และ C_{osc} (ขา 21) โดยคำนวณได้จากสมการ

$$f_s = \frac{6.6}{R_{OSC} C_{OSC}} \tag{3.3}$$

โดยความถี่ของ PWM ที่ต้องการจะอยู่ในช่วง 225 kHz ถึง 275 kHz ขึ้นอยู่กับค่า R_{osc} และ C_{osc} ที่เลือกมาใช้งาน

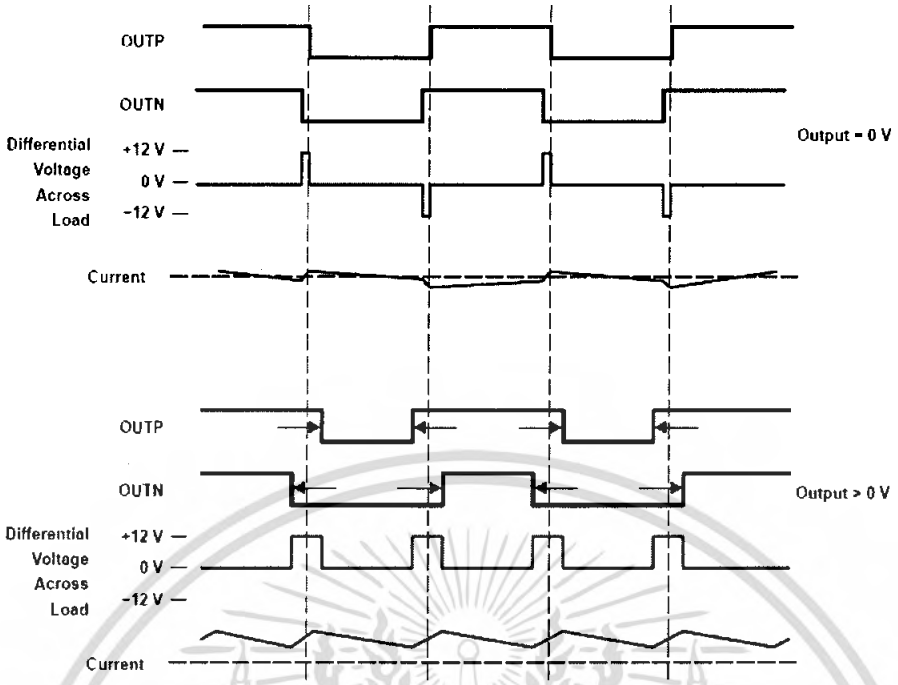
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจร TPA3001D

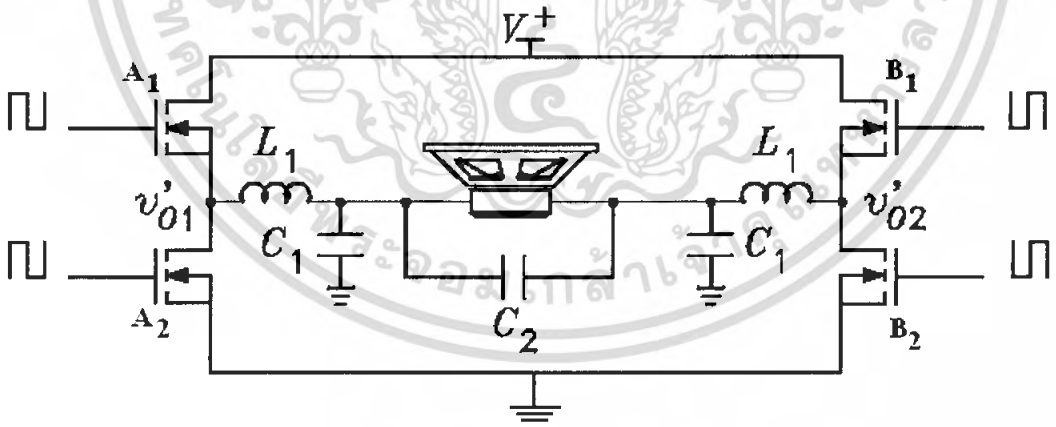
สัญญาณ PWM ที่ได้จากไอซี TPA3001D เอาท์พุทจะสวิทซ์จากกราวด์ ถึง V_{CC} เมื่อไม่มีสัญญาณอินพุท สัญญาณที่ออกมากจากขา OUTP และ OUTN จะเป็นเฟสเดียวกัน แล้วเมื่อมีสัญญาณอินพุทเข้ามา ถ้าหาก Duty cycle ของ OUTP มากกว่า 50% และ OUTN น้อยกว่า 50% จะได้เอาท์พุทเป็นบวก หรือ Duty cycle ของ OUTP น้อยกว่า 50% และ OUTN มากกว่า 50% จะได้เอาท์พุทเป็นลบ ดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงรูปคลื่นของความต่างศักย์และกระแสเอาท์พุทของ TPA3001D ต่อกับ Inductive load

การมอดูเลทแบบ Unipolar PWM นี้จะช่วยเพิ่มความถี่ในการสวิทซ์ได้เป็น 2 เท่าได้อย่างมีประสิทธิภาพ นั่นคือฮาร์โมนิกส์ความถี่สูงชุดแรกคือย่านไซด์แบนด์ที่มีจุดศูนย์กลางอยู่ที่ 2 เท่าของความถี่สวิทซ์



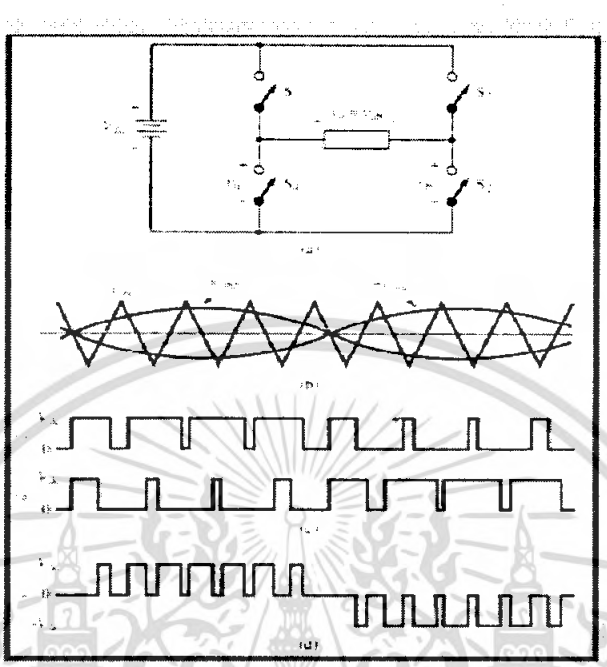
รูปที่ 3.5 H-Bridge

จากรูปที่ 3.5 Unipolar PWM จะเกิดขึ้นโดยการสวิทซ์ ดังนี้

- เมื่อสัญญาณอินพุท > คลื่นสามเหลี่ยม → A_1 ทำงาน, A_2 หยุดทำงาน
- เมื่อสัญญาณอินพุท < คลื่นสามเหลี่ยม → A_1 หยุดทำงาน, A_2 ทำงาน
- เมื่อสัญญาณอินพุทที่กลับเฟส < คลื่นสามเหลี่ยม → B_1 ทำงาน, B_2 หยุดทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อสัญญาณอินพุทที่กลับเฟส > คลื่นสามเหลี่ยม → B_1 หยุดทำงาน, B_2 ทำงาน



รูปที่ 3.6 รูปคลื่นของ Unipolar PWM

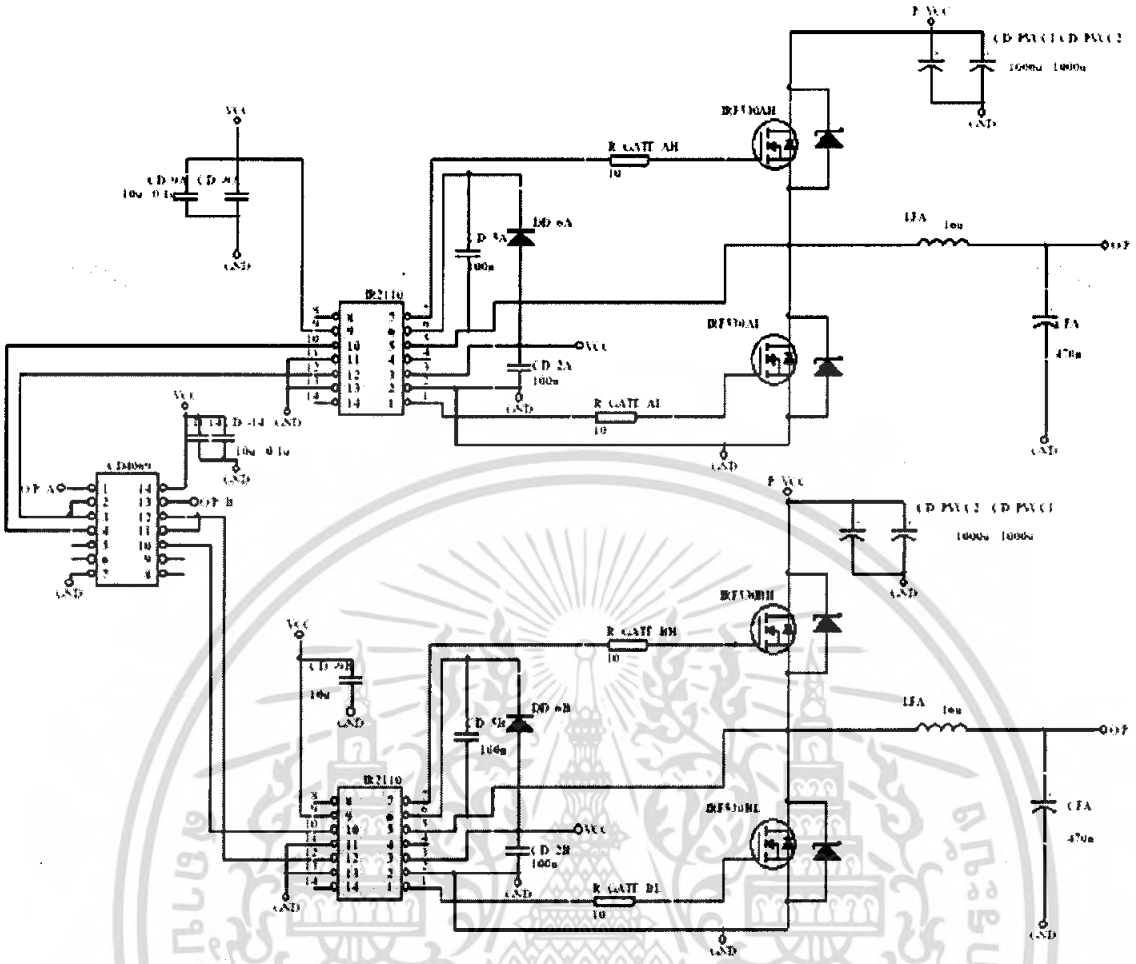
จากรูปที่ 3.6 คลื่น V(A)- V(B) วัดได้ที่โหลดโดยไม่ต่อโดยตรงระหว่าง V_{bridge} และ $-V_{bridge}$ พบว่าแรงดันเปลี่ยนแปลงระหว่าง 0 และ V_{bridge} กับ 0 และ $-V_{bridge}$ จึงเรียก PWM แบบนี้ว่า Unipolar PWM

3.1.3 Gate Drive

ไอซีที่เลือกนำมาใช้ในการขับ MOSFET ใน H-Bridge คือ ไอซีเบอร์ IR2110 ซึ่งเป็นตัวไดรฟ์ที่ สามารถไดรฟ์ MOSFET ทั้งด้าน High side และ Low side แยกออกจากกันได้ และสามารถไดรฟ์ MOSFET N-Channel ทางด้าน High side ให้ทำงานที่แรงดันไฟฟ้าสูงสุด 500 ถึง 600 V ได้

ตัวต้านทานที่ต่ออนุกรมกับขาเกทของ MOSFET มีไว้เพื่อหน่วงการออสซิเลท เนื่องจากวงจร LC ที่เกิดขึ้นจากค่าความจุไฟฟ้าที่อินพุทของ MOSFET และค่าเหนี่ยวนำแฝงระหว่างเอาท์พุทของตัวขับและเกทของ MOSFET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจร Drive MOSFET และ Low pass filter

3.1.4 H-Bridge

จากรูปที่ 3.5 ใช้ MOSFET เบอร์ IRF530 ในวงจร เพราะมีค่าความต้านทานต่ำ (R_{ds} = 0.16 Ω) และมีประจุที่ขาเกทต่ำ ($Q_G \approx$ 26 nC)

การประมาณค่ากำลังงานสูญเสียของ MOSFET สามารถหาได้จากการสูญเสียการนำไฟฟ้าและการสูญเสียจากการ Switching

สมมติให้พลังงานเอาท์พุทที่ถูกขับมีค่าเป็น P ดังนั้น จะได้กระแสโหลด rms เท่ากับ $\sqrt{\frac{P}{8}}$ A ถ้าในช่วงเวลาที่กำหนดกระแสโหลดไหลผ่าน MOSFET ที่นำกระแสทั้งสองตัว จะได้พลังงานสูญเสียที่เกิดจากการนำกระแสของ MOSFET เท่ากับ

$$2 \times I_{rms}^2 R_{ds} = 2 \times \left(\sqrt{\frac{P}{8}}\right)^2 \times 0.16 = 0.04P \quad \text{W} \tag{3.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าตัวเก็บประจุที่เอาท์พุท (C_{OSS}) ของ MOSFET แต่ละตัวจะประจุและคายปรุจุทุกๆ รอบของการสวิทซ์ C_{OSS} นี้มีค่าเท่ากับ $C_{ds}+C_{gd}$ ซึ่งมีค่าประมาณ 250 pF ในเบอร์ IRF530 พลังงานสะสมที่ค่าตัวเก็บประจุที่เอาท์พุทนี้มีค่าเท่ากับ $\frac{1}{2}C_{OSS}V_{bridge}^2$ เมื่อตัวเก็บประจุเอาท์พุทของแต่ละตัวถูกชาร์จผ่านตัวต้านทาน on (on-resistance) ของ MOSFET ตัวใกล้เคียง กระบวนการการคายประจุจะปล่อยพลังงานจำนวนหนึ่งออกมาเท่ากับที่สะสมไว้ หลังจากนั้น พลังงานสะสมในตัวเก็บประจุเอาท์พุทจะถูกปล่อยกลับระหว่างการคายประจุ เป็นผลให้พลังงานสูญเสียที่เก็บไว้ที่เกิดจากตัวเก็บประจุเอาท์พุทมีค่าประมาณ

$$4\times 2\times \frac{1}{2}C_{OSS}V_{bridge}^2 f_s \approx 4\times 2\times \frac{1}{2}\times 250pF\times 12^2\times 270k \approx 0.0388W \tag{3.5}$$

ในแต่ละรอบการสวิทซ์ แต่ละขาของ MOSFET จะมีการเปลี่ยนแปลงที่รวดเร็วและแทบไม่มีการสูญเสียพลังงาน ทำให้ทิศกระแสตัวเหนี่ยวนำยังคงที่ พลังงานสูญเสียที่เกี่ยวกับการประจุและคายประจุของตัวเก็บประจุอินพุทจะไม่นำมาพิจารณาสำหรับการเปลี่ยนแปลงที่รวดเร็ว และเนื่องจากตัวเก็บประจุอินพุทถูกประจุผ่านตัวต้านทานที่ขาเกททำให้พลังงานจำนวนที่เท่ากับพลังงานที่เก็บไว้จะถูกใช้ไปขณะที่ทำการประจุ หลังจากนั้นพลังงานที่สะสมถูกปล่อยกลับเมื่อคายประจุ เหมือนกับกรณีของตัวเก็บประจุเอาท์พุท ดังนั้นพลังงานสูญเสียที่เกิดจากตัวเก็บประจุอินพุทมีค่าประมาณ

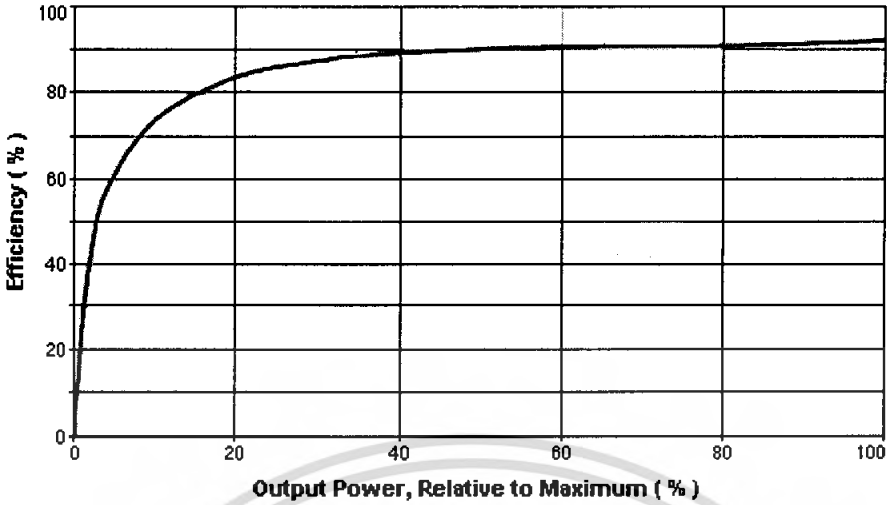
$$2\times 2\times \frac{1}{2}V_{gs-pk}Q_G f_s = 2\times 2\times \frac{1}{2}\times 12\times 26nC\times 270k = 0.181W \tag{3.6}$$

ผลรวมของกำลังงานสูญเสียทั้งหมดใน MOSFET ที่กำลังงานเอาท์พุท P มีค่า

$$P_{diss(MOSFET)} = 0.04P + 0.0388 + 0.181 = 0.04P + 0.2198 \text{ W} \tag{3.7}$$

ถ้าความต้านทานและความเหนี่ยวนำแฝงของลายเส้นPCB, อุปกรณ์ตัวกรอง, สายเชื่อม และอื่นๆถูกตัดออก ประสิทธิภาพในภาคกำลังเอาท์พุทจะสามารถประมาณได้ ดังรูปที่3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



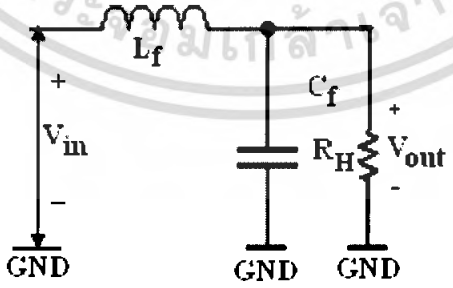
รูปที่ 3.8 การประมาณค่าประสิทธิภาพที่ภาคกำลังเอาท์พุท

การต่อไดโอด Fast recovery ที่ต่อขนานกับ MOSFET มีไว้เพื่อป้องกัน Body diode ภายในจากการนำกระแส ดังนั้น การสูญเสียกำลังงานและปัญหาการออสซิเลทที่เกี่ยวข้องกับ Shoot-through เนื่องจากการคืนตัวผันกลับของ Bode diode ซึ่งได้ถูกกำจัดไป

3.1.5 วงจรกรองที่เอาท์พุท (Output Filter)

วงจรกรองที่เอาท์พุทได้ใช้วงจรกรองความถี่ต่ำผ่าน LC อันดับที่สอง ออกแบบโดยใช้การประมาณค่าแบบ Butterworth

เริ่มต้นด้วยการพิจารณาแบบจำลองครึ่งวงจรของโหลดแบบ bridge-tied ดังรูปที่ 3.9

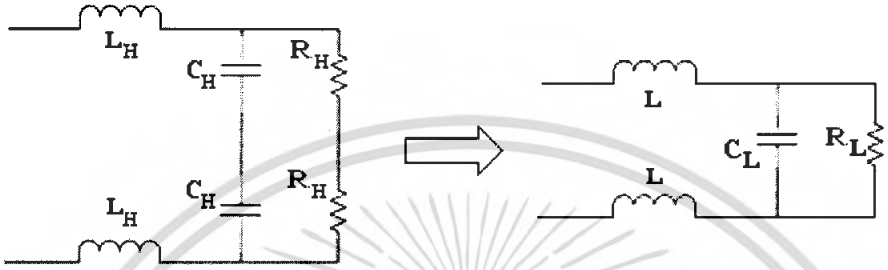


รูปที่ 3.9 แบบจำลองครึ่งวงจรของโหลดแบบ Bridge-tied

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H(s)=\frac{V_{out}}{V_{in}}=\frac{\frac{1}{L_fC_f}}{s^2+\frac{1}{R_HC_f}s+\frac{1}{L_fC_f}} \tag{3.8}$$

เมื่อนำแบบจำลองครึ่งวงจรทั้งสองมาต่อเข้าด้วยกันให้เป็นโหลดแบบ Bridge-tied จึงจะได้



รูปที่ 3.10 การรวมกันของแบบจำลองครึ่งวงจร

จากรูปที่ 3.10 $C_H=2C_L$, $R_H=R_L/2$ และ $L_H=L$ แทนที่ค่าทั้งหมดลงใน Transfer function ของแบบจำลองครึ่งวงจร (สมการที่ 3.8) จะได้

$$F(s)=\frac{\frac{1}{2LC_L}}{s^2+\frac{1}{R_LC_L}s+\frac{1}{2LC_L}} \tag{3.9}$$

การประมาณค่าแบบ Butterworth ของอันดับสองคือ

$$F(s)=\frac{\omega_0^2}{s^2+\omega_0\sqrt{2}s+\omega_0^2} \tag{3.10}$$

ซึ่ง ω_0 คือความถี่คัทออฟของวงจรกรอง

เปรียบเทียบสมการที่ 3.11 และ 3.12

$$f_0=\frac{1}{2\pi\sqrt{2}R_LC_L} \tag{3.11}$$

และ

$$f_0=\frac{1}{2\pi\sqrt{2LC_L}} \tag{3.12}$$

เนื่องจากลำโพงที่ใช้กันส่วนใหญ่จะมีอิมพีแดนซ์อยู่ที่ประมาณ *4* และ *8* โอห์ม การออกแบบฟิลเตอร์ให้รองรับโหลดอิมพีแดนซ์ที่น่าจะเหมาะสมที่สุดในกรณีนี้ก็คือ การนำค่าเฉลี่ยของค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สูงที่สุดกับค่าต่ำที่สุดของโหลดอิมพีแดนซ์มาคำนวณ ซึ่งในกรณีนี้คือ 6โอห์ม แล้วเรากำหนดดัทออฟที่ต้องการคือ 40 kHz จะได้

$$C = 0.7071 \times \left(\frac{1}{6 \times 2\pi \times 40k} \right) = 468.91\eta F \tag{3.13}$$

$$L = \frac{1}{2 \times 468.91n \times (2\pi \times 40k)^2} = 16.88\mu H \tag{3.14}$$

เพราะฉะนั้นเราจึงเลือกใช้ค่า C=470nF และ L=17uH ค่าของอุปกรณ์ที่เราเลือกใช้แตกต่างจากที่คำนวณไปเพียงเล็กน้อย ซึ่งส่งผลให้ค่าความถี่คัทออฟเปลี่ยนแปลงไปไม่มากนัก

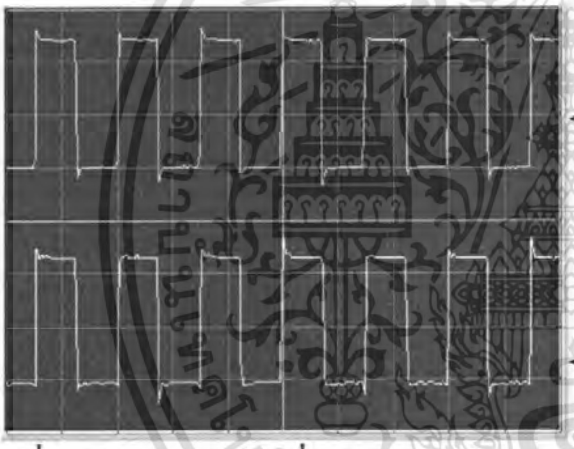
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดลอง

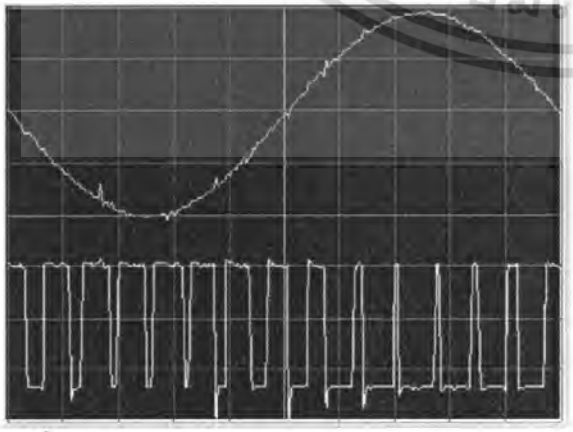
4.1 ผลการทดลองภาค Switching Power

ในภาคนี้ประกอบไปด้วย 2 ส่วนคือ ตัวขับกำลัง และ H-Bridge โดยใช้ตัวขับกำลัง H-Bridge เบอร์ IR2110 นำมาขับโหลดที่ต่อแบบ H-Bridge ซึ่งใช้ MOSFET เบอร์ IRF530

เมื่อนำสัญญาณ PWM จากวงจรกำเนิดสัญญาณ PWM มาป้อนให้กับ IR2110 แล้ววัดสัญญาณเอาท์พุทที่ V_{01}' และ V_{02}' นำสัญญาณทั้งสองด้านมาเปรียบเทียบกัน โดยสัญญาณที่ได้นี้ยังไม่มีการป้อนสัญญาณอินพุท สัญญาณที่ได้มีลักษณะดังรูปที่ 4.1

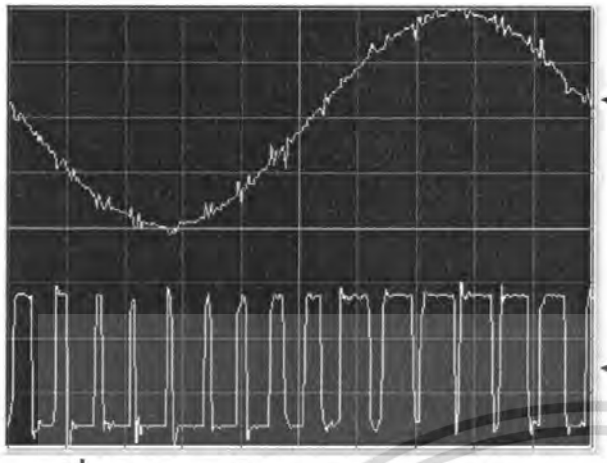


รูปที่ 4.1 สัญญาณเอาท์พุทที่ V_{01}' และ V_{02}' โดยยังไม่มีการป้อนสัญญาณอินพุท



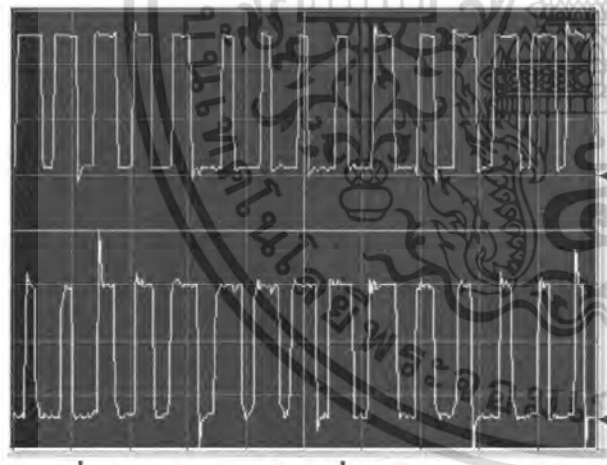
รูปที่ 4.2 สัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 1 kHz กับสัญญาณเอาท์พุททางด้าน A

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 สัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 1 kHz กับสัญญาณเอาท์พุททางด้าน B

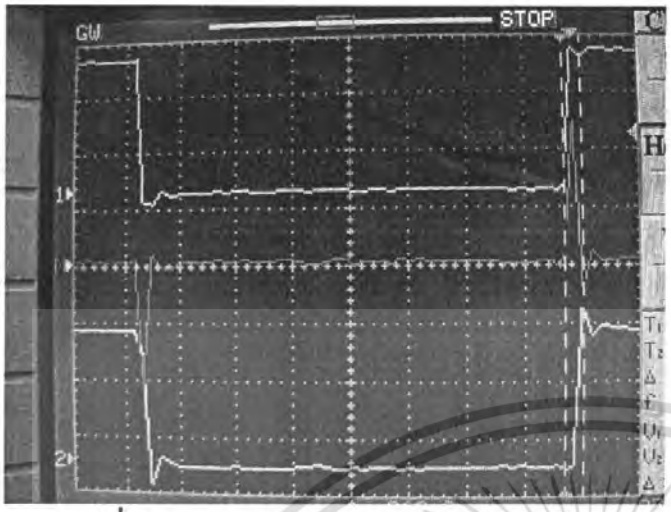
เมื่อป้อนสัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 1 kHz แล้วนำสัญญาณทั้งทางด้าน A และ B มาเปรียบเทียบกัน สังเกตได้ว่าเมื่อมีสัญญาณอินพุทเข้ามา สัญญาณพัลส์จะมี Duty cycle ที่เปลี่ยนแปลงไป



รูปที่ 4.4 สัญญาณเอาท์พุทที่ $V_{01}^{'}$ และ $V_{02}^{'}$ โดยป้อนสัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 1 kHz

เมื่อนำสัญญาณมาเปรียบเทียบค่า Dead-time ขณะยังไม่มีสัญญาณอินพุทโดยสังเกตจากช่วงความต่างของเวลาเมื่อ MOSFET สลับกันทำงานจะพบว่ามีช่วงเวลาสั้นๆที่ MOSFET ทั้งสองตัวไม่ทำงาน วัดค่า Dead-time ได้ประมาณ 80 ns แสดงดังรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



No input signal

Voutput A side = 12Vpp

CH1: Volt/Div = 5V

Time/Div = 200ns

Voutput B side = 12Vpp

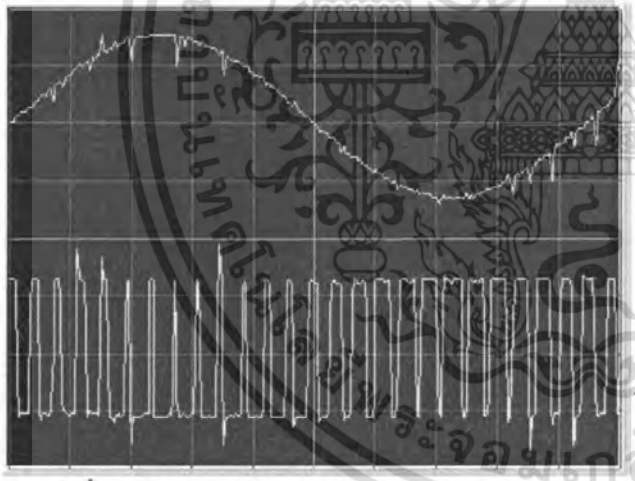
Frequency = 270 kHz

CH2: Volt/Div = 5V

Time/Div = 200ns

รูปที่ 4.5 แสดง Dead-time ของวงจรขับกำลัง

เมื่อป้อนสัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 10 kHz แล้วนำสัญญาณทั้งทางด้าน A และ B มาเปรียบเทียบกัน



Vinput =1 Vpp freq =10 kHz

CH1: Volt/Div = 1V

Time/Div = 10 us

Voutput A side = 12Vpp

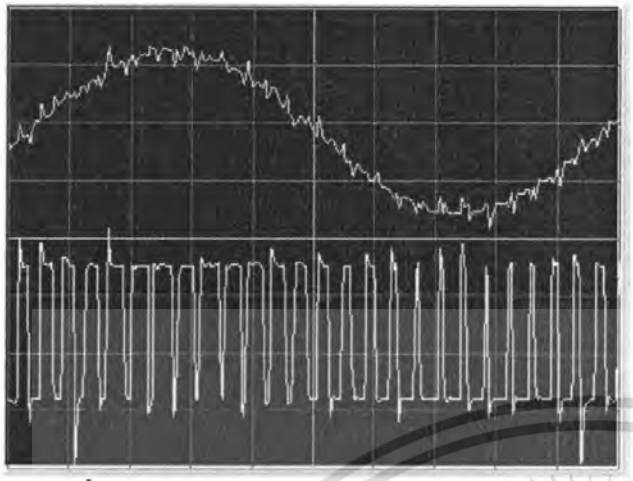
Frequency = 270 kHz

CH2: Volt/Div = 5V

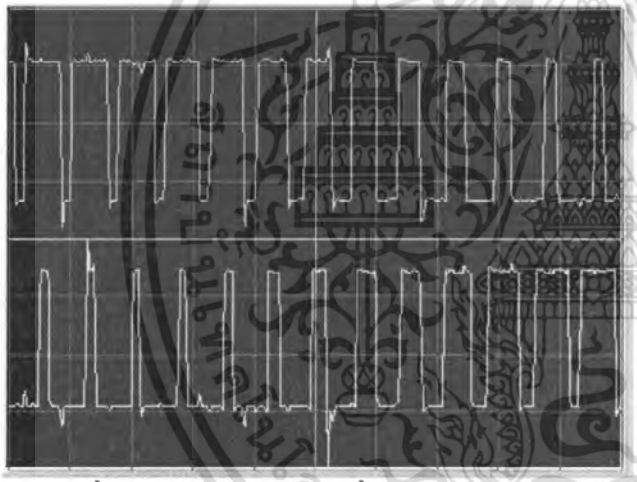
Time/Div = 10 us

รูปที่ 4.6 สัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 10 kHz กับสัญญาณเอาท์พุททางด้าน A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



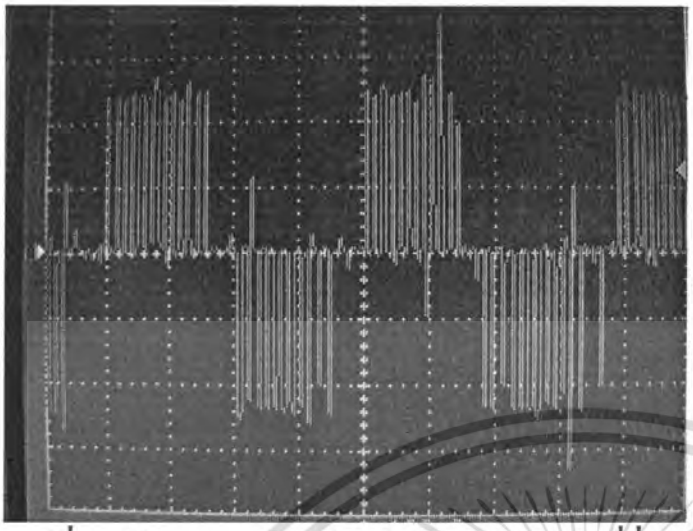
รูปที่ 4.7 สัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 10 kHz กับสัญญาณเอาท์พุททางด้าน B



รูปที่ 4.8 สัญญาณเอาท์พุทที่ $V_{01}^{'}$ และ $V_{02}^{'}$ โดยป้อนสัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 10 kHz

เมื่อวัดสัญญาณเอาท์พุททั้งสองขณะที่ยังไม่ผ่านวงจรกรองความถี่ต่ำ จะได้ลักษณะของสัญญาณเป็นแบบ Unipolar PWM ดังรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Frequency input = 1kHz

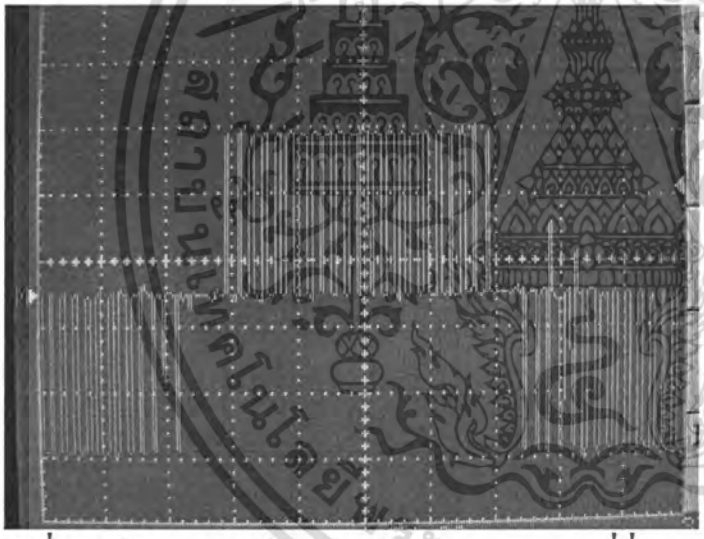
Frequency (PWM) = 270 kHz

Voutput =24Vpp

CH1: Volt/Div = 5V

Time/Div =100us

รูปที่ 4.9 สัญญาณเอาท์พุทก่อนผ่านวงจรกรองความถี่ต่ำ โดยสัญญาณอินพุทขนาด 1 Vpp ความถี่ 1kHz



Frequency input = 10kHz

Frequency (PWM) = 270 kHz

Voutput =24Vpp

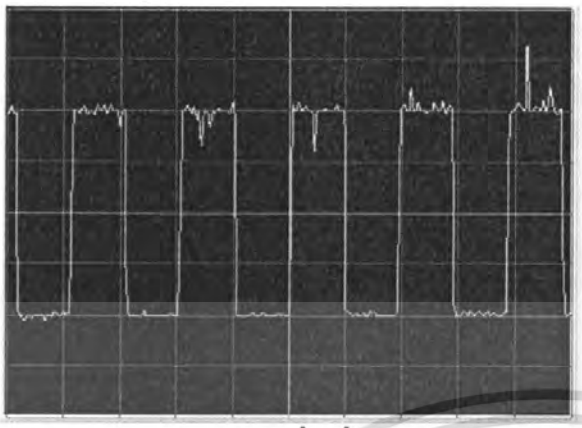
CH1: Volt/Div = 5V

Time/Div =200us

รูปที่ 4.10 สัญญาณเอาท์พุทก่อนผ่านวงจรกรองความถี่ต่ำ โดยสัญญาณอินพุทขนาด 1 Vpp ความถี่ 10 kHz

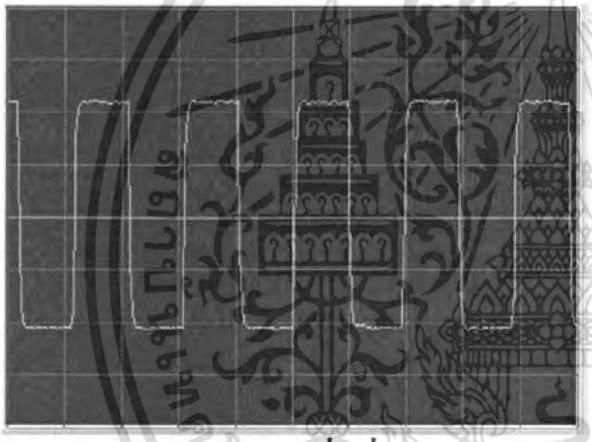
จากที่กล่าวมาเป็นการป้อนสัญญาณอินพุทรูป Sine เท่านั้น ทีนี้เราทำการทดลองใส่สัญญาณอินพุทเป็นพัลส์สี่เหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



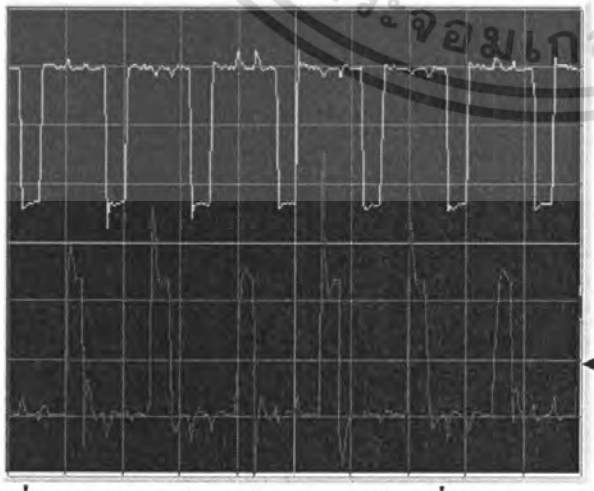
Vinput = 400 mVpp,
Frequency = 1 kHz
CH1 (Input)
Volt/Div = 5V
Time/Div = 250us

รูปที่ 4.11 สัญญาณอินพุทพัลส์สี่เหลี่ยม ขนาด 400 mVpp ความถี่ 1 kHz



Voutput = 22 Vpp
Frequency = 1 kHz
CH2 (Output)
Volt/Div = 5V
Time/Div = 250us

รูปที่ 4.12 สัญญาณเอาท์พุทพัลส์สี่เหลี่ยม ขนาด 22 Vpp ความถี่ 1 kHz (หลังผ่านวงจรกรองความถี่)

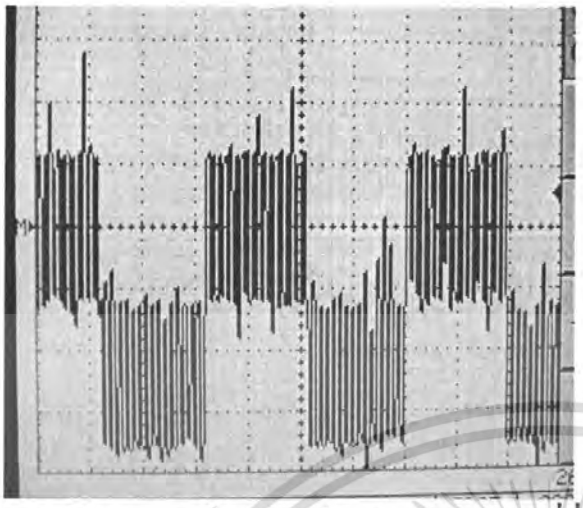


Voutput A side = 12Vpp, Frequency = 1 kHz
CH1 (A side)
Volt/Div = 5V
Time/Div = 250us

Voutput B side = 12 Vpp, Frequency = 1 kHz
CH2 (B side)
Volt/Div = 5V
Time/Div =250us

รูปที่ 4.13 เปรียบเทียบสัญญาณเอาท์พุทที่ด้าน A และ B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Frequency input = 1kHz

Frequency (PWM) = 270 kHz

Voutput =24Vpp

CH1: Volt/Div = 5V

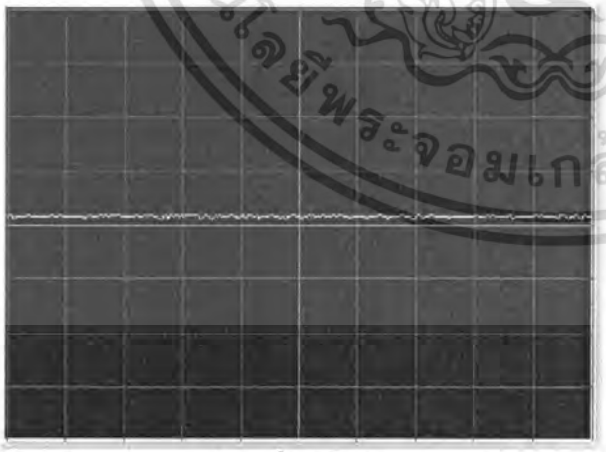
Time/Div =100us

รูปที่ 4.14 สัญญาณเอาท์พุทก่อนผ่านวงจรกรองความถี่ต่ำ

4.2 ภาควงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

หลังจากผ่านภาค Switching Power มาแล้วจะได้สัญญาณพัลส์ซึ่งยังไม่สามารถใช้งานได้ เนื่องจากเป็นองค์ประกอบความถี่สูง จึงต้องนำไปผ่านวงจรกรองความถี่ต่ำผ่านเสียก่อน เพื่อตัดองค์ประกอบของความถี่สูงออกไป ทำให้ได้สัญญาณคล้ายกับสัญญาณอินพุทแต่มีแอมปลิจูดที่ใหญ่ขึ้น

โดยในขณะที่ยังไม่มีการป้อนสัญญาณอินพุท สัญญาณเอาท์พุทที่ได้จะมีลักษณะดังรูปที่ 4.15



No Input Signal

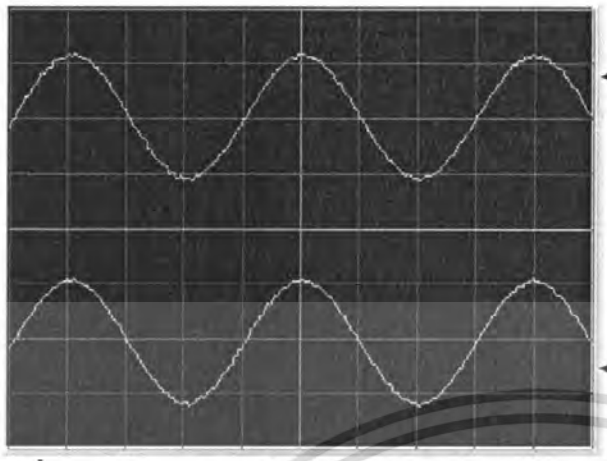
CH1: Volt/Div = 500 mV

Time/Div = 100us

รูปที่ 4.15 สัญญาณเอาท์พุทเมื่อยังไม่มีการป้อนสัญญาณอินพุท

เมื่อให้สัญญาณอินพุท Sine ขนาด 1 Vpp ความถี่ 1 kHz สัญญาณเอาท์พุทที่ได้จะมีลักษณะดังรูปที่ 4.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 สัญญาณเอาท์พุทเปรียบเทียบสัญญาณอินพุท

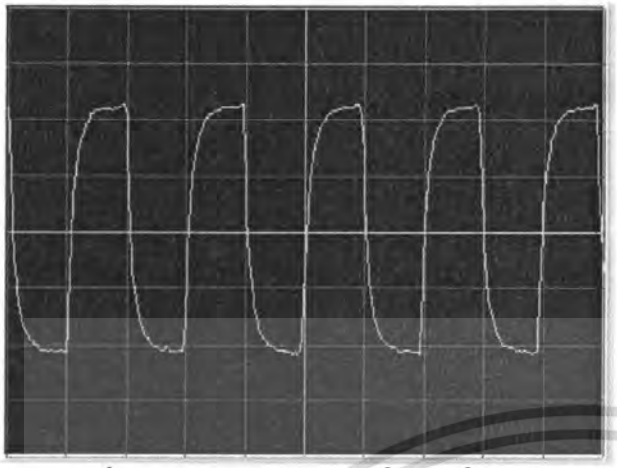
Ch1: สัญญาณอินพุทขนาด 1 Vpp ความถี่ 1 kHz

Ch2: สัญญาณเอาท์พุทขนาด 12 Vpp ความถี่ 1 kHz

จากการทดลองเมื่อใส่สัญญาณอินพุทเป็นพัลส์สี่เหลี่ยม ได้ทำการวัดสัญญาณเอาท์พุท หลังผ่านวงจรกรองความถี่ต่ำผ่านอันดับสอง ที่ความถี่ 5 kHz, 10kHz และ 15 kHz

รูปที่ 4.17 สัญญาณเอาท์พุทที่ความถี่ 5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



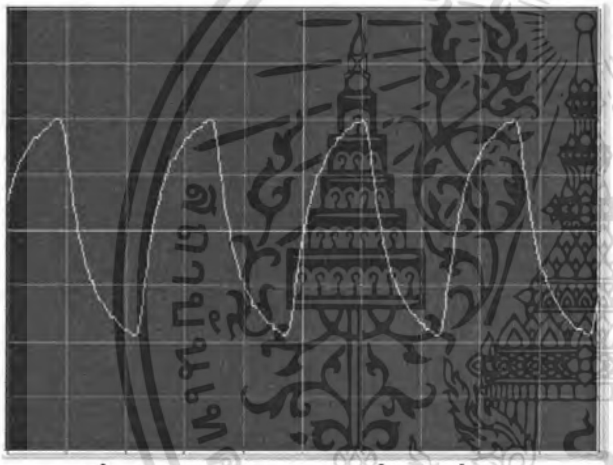
Voutput = 22 Vpp, Frequency = 10 kHz

CH1 (Output)

Volt/Div = 5V

Time/Div = 50us

รูปที่ 4.18 สัญญาณเอาท์พุทที่ความถี่ 10 kHz



Voutput = 20 Vpp, Frequency = 15 kHz

CH1 (Output)

Volt/Div = 5V

Time/Div = 25us

รูปที่ 4.19 สัญญาณเอาท์พุทที่ความถี่ 15 kHz

จะเห็นได้ว่าเมื่อความถี่อินพุทพัลส์สี่เหลี่ยมที่สูงมากขึ้นสัญญาณเอาท์พุทที่ได้จะมีความเพี้ยนมากจะเห็นได้จากสัญญาณเอาท์พุทพัลส์สี่เหลี่ยมดังรูปที่4.19

4.3 ประสิทธิภาพของวงจรขยายกำลัง

วงจรขยายกำลังแบบคลาสดีนั้นมีจุดเด่น คือ ประสิทธิภาพของวงจรที่สูง โดยประสิทธิภาพเป็นไปดังสมการที่ 4.1

$$Efficiency(\eta) = \frac{P_{out}}{P_{in}} \times 100\% \qquad (4.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองจะทำการป้อนสัญญาณอินพุทรูปซายน์ความถี่ 1k, 5k, 10k และ 20kHz แล้วทำการปรับระดับเสียงจนกระทั่งได้ค่า Vout ตามที่ต้องการ แล้ววัดกระแสไฟเลี้ยง โดยใช้ R_L ขนาด 8Ω และสามารถคำนวณค่ากำลังที่ขาเข้าและกำลังที่ขาออกได้จากสมการที่4.2 และ 4.3

$$P_{in(DC)} = V_{CC} I_{CC} \tag{4.2}$$

$$P_{out} = \frac{V_{out(pp)}^2}{8R_L} \tag{4.3}$$

แล้วนำผลที่ได้มาวาดกราฟแสดงความสัมพันธ์ระหว่าง Efficiency และ P_{out} ดังรูปที่ 4.12

ผลการทดลอง

สัญญาณอินพุทความถี่ 1 kHz, Vcc = 12V

$V_{out(pp)}$ (V)	I_{cc} (A)	P_{in} (W)	P_{out} (W)	η (%)
5	0.21	2.52	0.390625	15.500992
10	0.28	3.36	1.5625	46.502976
15	0.41	4.92	3.515625	71.455793
20	0.63	7.56	6.25	82.671958
23.6	0.78	9.36	8.7025	92.975427

ตารางที่ 4.1 ผลการวัดประสิทธิภาพของวงจรที่มีสัญญาณอินพุทรูปซายน์ที่ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุทความถี่ 5 kHz, Vcc = 12V

Vout(pp) (V)	Icc (A)	Pin (W)	Pout (W)	η (%)
5	0.21	2.52	0.390625	15.50099
10	0.31	3.72	1.5625	42.00269
15	0.42	5.04	3.515625	69.75446
20	0.66	7.92	6.25	78.91414
23.6	0.8	9.6	8.7025	90.65104

ตารางที่ 4.2 ผลการวัดประสิทธิภาพของวงจรที่มีสัญญาณอินพุทรูปซายน์ที่ความถี่ 5 kHz

สัญญาณอินพุทความถี่ 10 kHz, Vcc = 12V

Vout(pp) (V)	Icc (A)	Pin (W)	Pout (W)	η (%)
5	0.22	2.64	0.390625	14.7964
10	0.33	3.96	1.5625	39.45707
15	0.44	5.28	3.515625	66.58381
20	0.64	7.68	6.25	81.38021
22.2	0.84	10.08	7.700625	76.39509

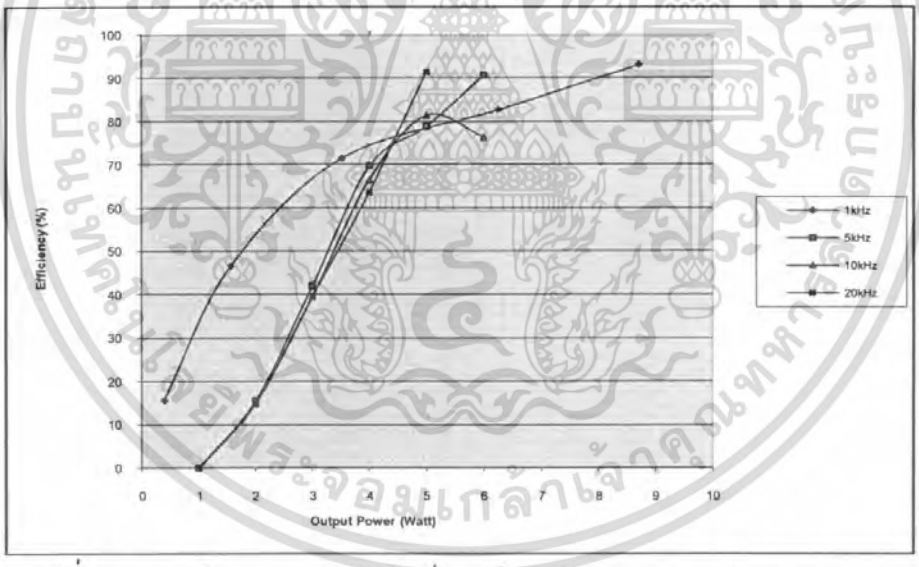
ตารางที่ 4.3 ผลการวัดประสิทธิภาพของวงจรที่มีสัญญาณอินพุทรูปซายน์ที่ความถี่ 10 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุทความถี่ 20 kHz, Vcc = 12V

Vout(pp) (V)	Icc (A)	Pin (W)	Pout (W)	η (%)
5	0.22	2.64	0.390625	14.7964
10	0.33	3.96	1.5625	39.45707
15	0.46	5.52	3.515625	63.68886
20	0.57	6.84	6.25	91.37427
22.22	-	-	-	-

ตารางที่ 4.4 ผลการวัดประสิทธิภาพของวงจรที่มีสัญญาณอินพุทรูปซายน์ที่ความถี่ 20 kHz



รูปที่ 4.20 กราฟแสดงความสัมพันธ์ระหว่าง Efficiency และ Output power

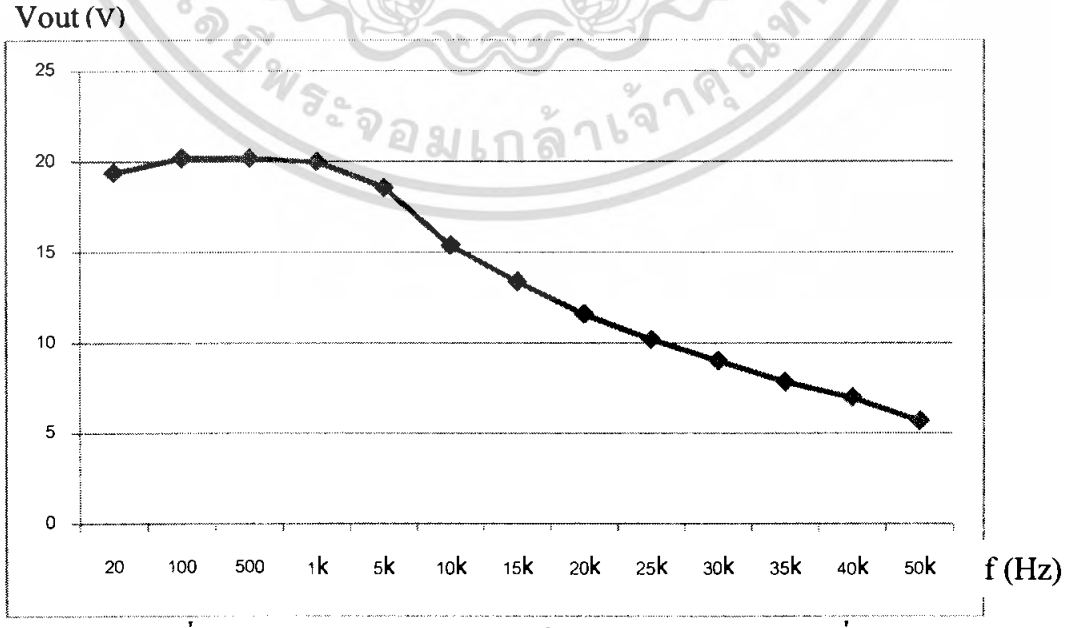
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลตอบสนองต่อความถี่

ในการทดลองจะทำการป้อนสัญญาณอินพุทรูป Sine และวัดขนาดสัญญาณที่เอาท์พุท ณ ความถี่อินพุทตั้งแต่ 20 Hz ถึง 50 kHz

f(Hz)	Vout(pp) (V)	f(Hz)	Vout(pp) (V)
20	19.4	20k	11.6
100	20.2	25k	10.2
500	20.2	30k	9
1k	20	35k	7.84
5k	18.6	40k	6.96
10k	15.4	50k	5.68
15k	13.4		

ตารางที่ 4.5 ผลการตอบสนองทางความถี่ โดย Vin = 0.4 Vpp



รูปที่ 4.21 กราฟแสดงความสัมพันธ์ระหว่าง Vout และ ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

5.1 สรุปผลและวิจารณ์ผลการทดลอง

จากการทดลองพบว่าวงจรขยายกำลังคลาสดีที่ออกแบบนั้นมีประสิทธิภาพของวงจรเท่ากับ 92.97% กำลังเอาท์พุท 8.70 วัตต์ โหลด 8 โอห์ม ซึ่งนับว่ามีประสิทธิภาพสูงมากหากเทียบกับวงจรขยายกำลังคลาสอื่นๆ เพราะมีการสูญเสียกำลังที่ตัวอุปกรณ์ Power MOSFET น้อย

ถึงแม้ว่าประสิทธิภาพที่ได้จะสูงแต่สัญญาณเอาท์พุทที่ได้ก็ยังมีความผิดเพี้ยนอยู่บ้าง โดยเฉพาะที่ความถี่สูงตั้งแต่ 15 kHz ขึ้นไปแต่สัญญาณเสียงเอาท์พุทที่มีความถี่ต่ำกว่า 15 kHz มีความผิดเพี้ยนน้อยมาก

เนื่องจากว่าวงจรยายกำลังที่ออกแบบนั้นทั้งส่วนที่เป็นอนาล็อค และส่วนของสัญญาณดิจิตตอลที่กินกระแสสูง จึงทำให้เกิดสัญญาณรบกวน โดยมีเสียงฮัมออกมาขณะที่ไม่มีสัญญาณอินพุท และขณะที่ใช้งานวงจรขยายที่ออกแบบส่งสัญญาณรบกวนต่ออุปกรณ์ไฟฟ้าชนิดอื่นๆ

5.2 แนวทางการพัฒนา

จากความเพี้ยนของสัญญาณความถี่สูงที่เกิดขึ้นนั้น เราสามารถแก้ไขได้โดยเพิ่มความถี่ในการสวิทช์ให้สูงขึ้นจากเดิม (มากกว่า 270 kHz) เพื่อให้ความถี่สูงที่เอาท์พุทมีความผิดเพี้ยนลดลง จากนั้นทำการปรับความถี่ดัทออฟให้กว้างขึ้นประมาณ 60 kHz

จากการรบกวนของเสียงฮัมที่เกิดขึ้นนั้นเกิดจากการมีสัญญาณรบกวนในวงจร ซึ่งเราจะทำการแก้ไขได้โดย ออกแบบวงจร H-Bridge มีความสมดุลกัน รวมไปถึงแผงวงจรให้มี Ground plan ที่กว้างขึ้น และทำการคลัปปลิ้งสัญญาณไฟเลี้ยงที่ไอซีแต่ละตัว และใช้สายชิลด์ในการนำสัญญาณอินพุทเพื่อป้องกันการรบกวน

การป้องกันการรบกวนต่ออุปกรณ์ไฟฟ้าชนิดอื่น สามารถทำได้โดยการหุ้มด้วยกล่องที่เป็นโลหะ หรือกล่องชิลด์ และ เพิ่มเฟอไรท์บีท (Ferrite Bead) ที่สายไฟและสายสัญญาณต่างๆที่จะต่อเข้าและออกจากเครื่อง

จากการทำงานพบว่ากำลังที่ไอซี TPA3001D สามารถให้ได้สูงสุดถึง 20 W แต่ว่าเมื่อนำมาผ่านวงจรขยายกำลังที่ใช้ MOSFET กำลังที่ได้เหลือเพียง 8.70 W แต่ว่าตัว Gate driver IR2110 สามารถขับกำลังที่ MOSFET ที่ไฟเลี้ยงสูงถึง 500 – 600 V ได้ โดยใช้ไฟเลี้ยงตัวไอซี IR2110 เพียง 12 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้นแล้ว เราสามารถขยายกำลังเอาท์พุทได้ มากตามที่เราต้องการ โดยเพิ่มไฟเลี้ยงที่ภาคสวิทซ์ชิ่ง โดยภาคอื่นๆยังใช้ไฟเลี้ยง 12 โวลต์เหมือนเดิมได้

สามารถพัฒนาให้มีฟังก์ชันการทำงานที่เพิ่มมากขึ้นได้ อย่างเช่น นำไปพัฒนาเป็นระบบสเตริโอได้ และสามารถนำไปใช้เป็นเครื่องเสียงติดรถยนต์ได้ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ผศ. วรพงศ์ ตั้งศรีรัตน์, "ออปแอมป์ และ การประมวลผลสัญญาณอนาลอก", ว.เพ็ชรสกุล, 2545

A. S. Sedra and K. C. Smith, "Microelactronic circuit", 5th ed. New York: Oxford University Press, 2004.

J. Honda and J. Cerezo, "Class D audio amplifier design", 2003 www.irf.com/product-info/audio/classdtutorial.pdf.

Christ Flynn, "A Class D Audio Amplifier", Bachelor Degree Thesis, Department of Engineering in Electrical Engineering, University of Newcastle, Australia, 2004

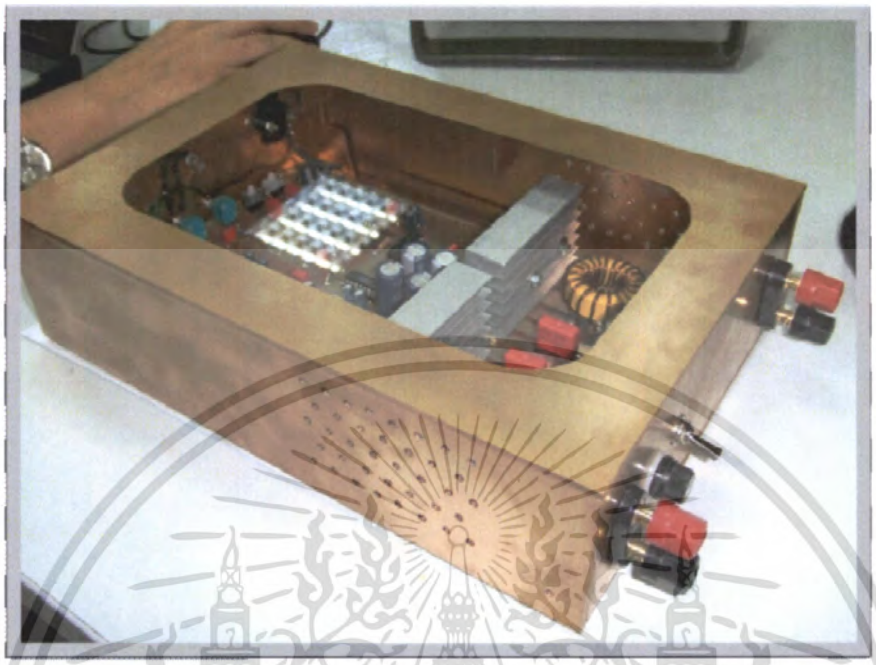
Keith J. McKenzie, "Eliminating Harmonics in a Cascaded H-Bridges Multilevel Inverter Using Resultant Theory, Symmetric Polynomials and Power Sums", Master Degree Thesis, Department of Electrical Engineering, University of Tennessee, Knoxvill.

R. E. Betz, "Switching Electronics", class notes for ELE3230, School of Electrical Engineering and Computer Science, University of Newcastle, Australia, 2003, pp.311-312

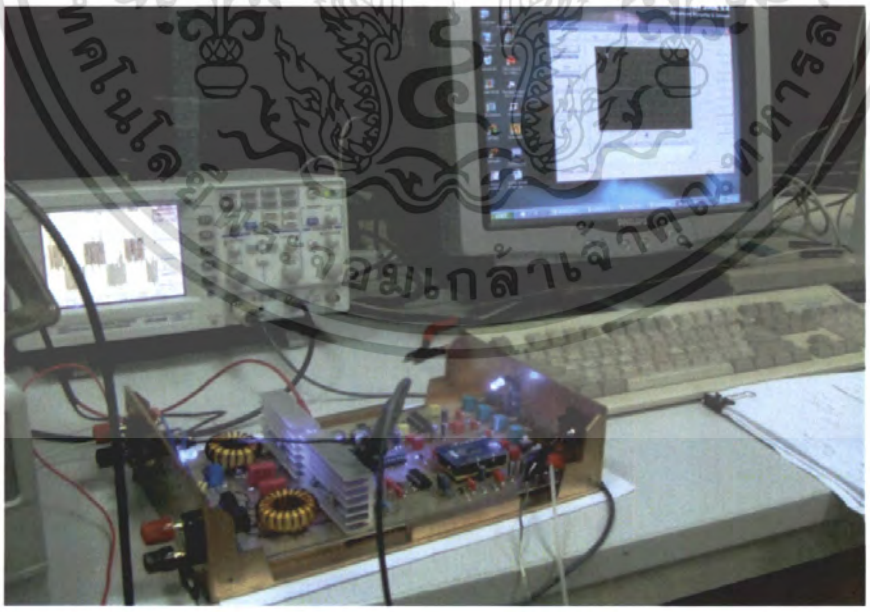
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

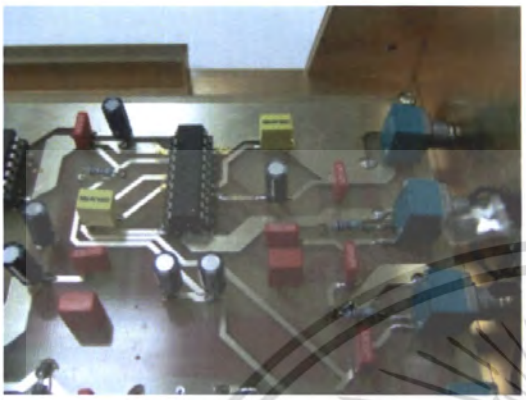


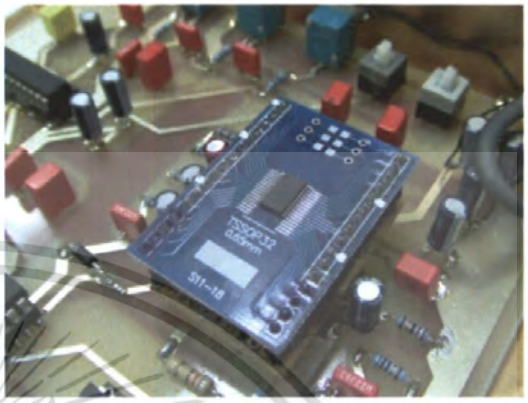
ภาพชิ้นงานที่เสร็จสมบูรณ์

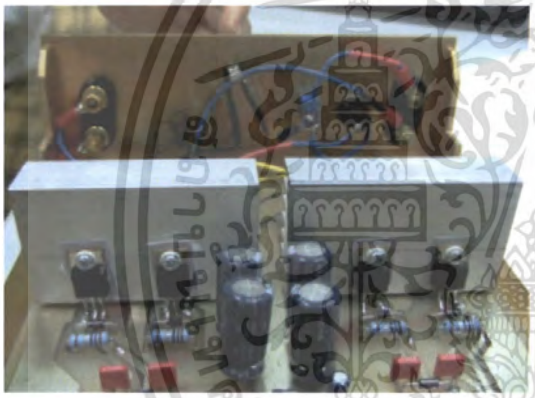


ภาพการทดสอบประสิทธิภาพของชิ้นงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้







ภาพแสดงส่วนต่างๆของชิ้นงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Sheet No. PD60147 rev.U

International
IOR Rectifier

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

HIGH AND LOW SIDE DRIVER

Features

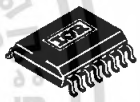
- Floating channel designed for bootstrap operation
  Fully operational to +500V or +600V
  Tolerant to negative transient voltage
  dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
  Separate logic supply range from 3.3V to 20V
  Logic and power ground ±5V offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

Product Summary

V_{OFFSET}	(IR2110)	500V max.
	(IR2113)	600V max.
I_O+/-		2A / 2A
V_{OUT}		10 - 20V
$t_{on/off}$ (typ.)		120 & 94 ns
Delay Matching	(IR2110)	10 ns max.
	(IR2113)	20ns max.

Packages

14-Lead PDIP
IR2110/IR2113

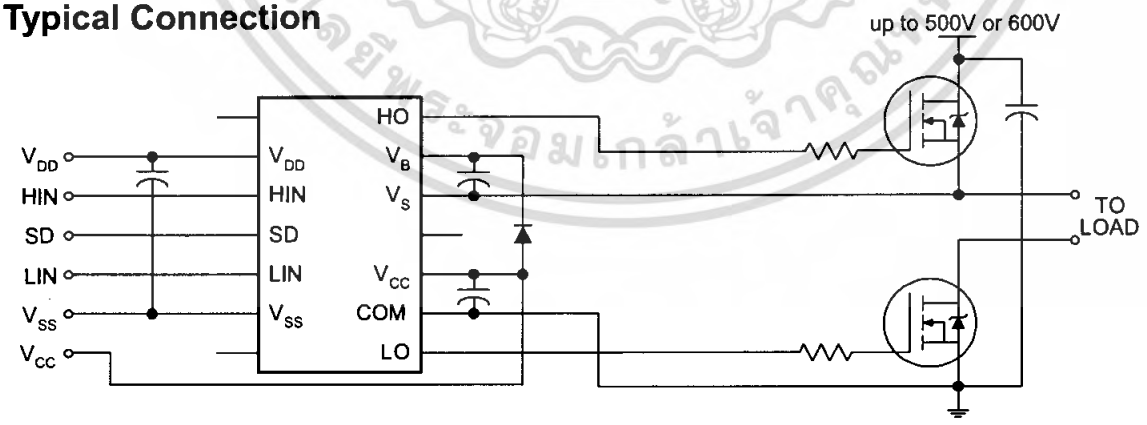


16-Lead SOIC
IR2110S/IR2113S

Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Typical Connection



(Refer to Lead Assignments for correct pin configuration). This/These diagram(s) show electrical connections only. Please refer to our Application Notes and DesignTips for proper circuit board layout.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units
V_B	High side floating supply voltage (IR2110)	-0.3	525	V
	(IR2113)	-0.3	625	
V_S	High side floating supply offset voltage	V_B - 25	V_B + 0.3	
V_{HO}	High side floating output voltage	V_S - 0.3	V_B + 0.3	
V_{CC}	Low side fixed supply voltage	-0.3	25	
V_{LO}	Low side output voltage	-0.3	V_{CC} + 0.3	
V_{DD}	Logic supply voltage	-0.3	V_{SS} + 25	
V_{SS}	Logic supply offset voltage	V_{CC} - 25	V_{CC} + 0.3	
V_{IN}	Logic input voltage (HIN, LIN & SD)	V_{SS} - 0.3	V_{DD} + 0.3	
dV_S/dt	Allowable offset supply voltage transient (figure 2)	—	50	V/ns
P_D	Package power dissipation @ $T_A \leq +25°C$ (14 lead DIP)	—	1.6	W
	(16 lead SOIC)	—	1.25	
R_{THJA}	Thermal resistance, junction to ambient (14 lead DIP)	—	75	°C/W
	(16 lead SOIC)	—	100	
T_J	Junction temperature	—	150	°C
T_S	Storage temperature	-55	150	
T_L	Lead temperature (soldering, 10 seconds)	—	300	

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units
V_B	High side floating supply absolute voltage	V_S + 10	V_S + 20	V
V_S	High side floating supply offset voltage (IR2110)	Note 1	500	
	(IR2113)	Note 1	600	
V_{HO}	High side floating output voltage	V_S	V_B	
V_{CC}	Low side fixed supply voltage	10	20	
V_{LO}	Low side output voltage	0	Vcc	
V_{DD}	Logic supply voltage	V_{SS} + 3	V_{SS} + 20	
V_{SS}	Logic supply offset voltage	-5 (Note 2)	5	
V_{IN}	Logic input voltage (HIN, LIN & SD)	V_{SS}	V_{DD}	
T_A	Ambient temperature	-40	125	°C

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to $-V_{BS}$. (Please refer to the Design Tip DT97-3 for more details).
Note 2: When V_{DD} < 5V, the minimum V_{SS} offset is limited to $-V_{DD}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, C_L = 1000 pF, T_A = 25°C and V_{SS} = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
t_{on}	Turn-on propagation delay	7	—	120	150	ns	V_S = 0V
t_{off}	Turn-off propagation delay	8	—	94	125		V_S = 500V/600V
t_{sd}	Shutdown propagation delay	9	—	110	140		V_S = 500V/600V
t_r	Turn-on rise time	10	—	25	35		
t_f	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off (IR2110)	—	—	—	10		
	Delay matching, HS & LS turn-on/off (IR2113)	—	—	—	20		

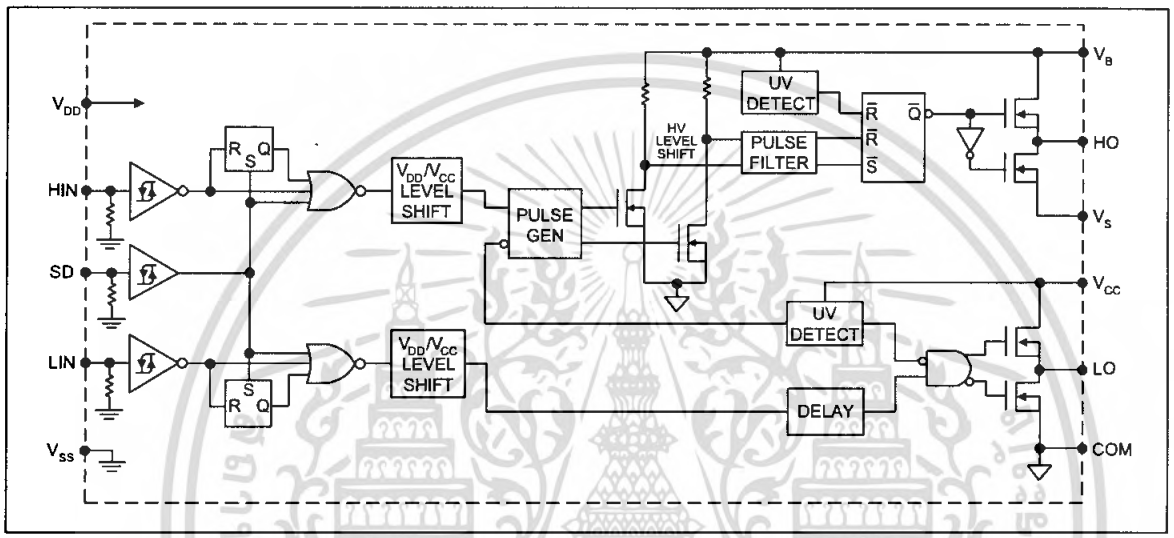
Static Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, T_A = 25°C and V_{SS} = COM unless otherwise specified. The V_{IN}, V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input leads: HIN, LIN and SD. The V_O and I_O parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
V_{IH}	Logic "1" input voltage	12	9.5	—	—	V	
V_{IL}	Logic "0" input voltage	13	—	—	6.0		
V_{OH}	High level output voltage, V_{BIAS} - V_O	14	—	—	1.2		I_O = 0A
V_{OL}	Low level output voltage, V_O	15	—	—	0.1		I_O = 0A
I_{LK}	Offset supply leakage current	16	—	—	50	µA	V_B=V_S = 500V/600V
I_{QBS}	Quiescent V_{BS} supply current	17	—	125	230		V_{IN} = 0V or V_{DD}
I_{QCC}	Quiescent V_{CC} supply current	18	—	180	340		V_{IN} = 0V or V_{DD}
I_{QDD}	Quiescent V_{DD} supply current	19	—	15	30		V_{IN} = 0V or V_{DD}
I_{IN+}	Logic "1" input bias current	20	—	20	40		V_{IN} = V_{DD}
I_{IN-}	Logic "0" input bias current	21	—	—	1.0		V_{IN} = 0V
V_{BSUV+}	V_{BS} supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
V_{BSUV-}	V_{BS} supply undervoltage negative going threshold	23	7.0	8.2	9.4		
V_{CCUV+}	V_{CC} supply undervoltage positive going threshold	24	7.4	8.5	9.6		
V_{CCUV-}	V_{CC} supply undervoltage negative going threshold	25	7.0	8.2	9.4		
I_{O+}	Output high short circuit pulsed current	26	2.0	2.5	—	A	V_O = 0V, V_{IN} = V_{DD} PW ≤ 10 µs
I_{O-}	Output low short circuit pulsed current	27	2.0	2.5	—		V_O = 15V, V_{IN} = 0V PW ≤ 10 µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram

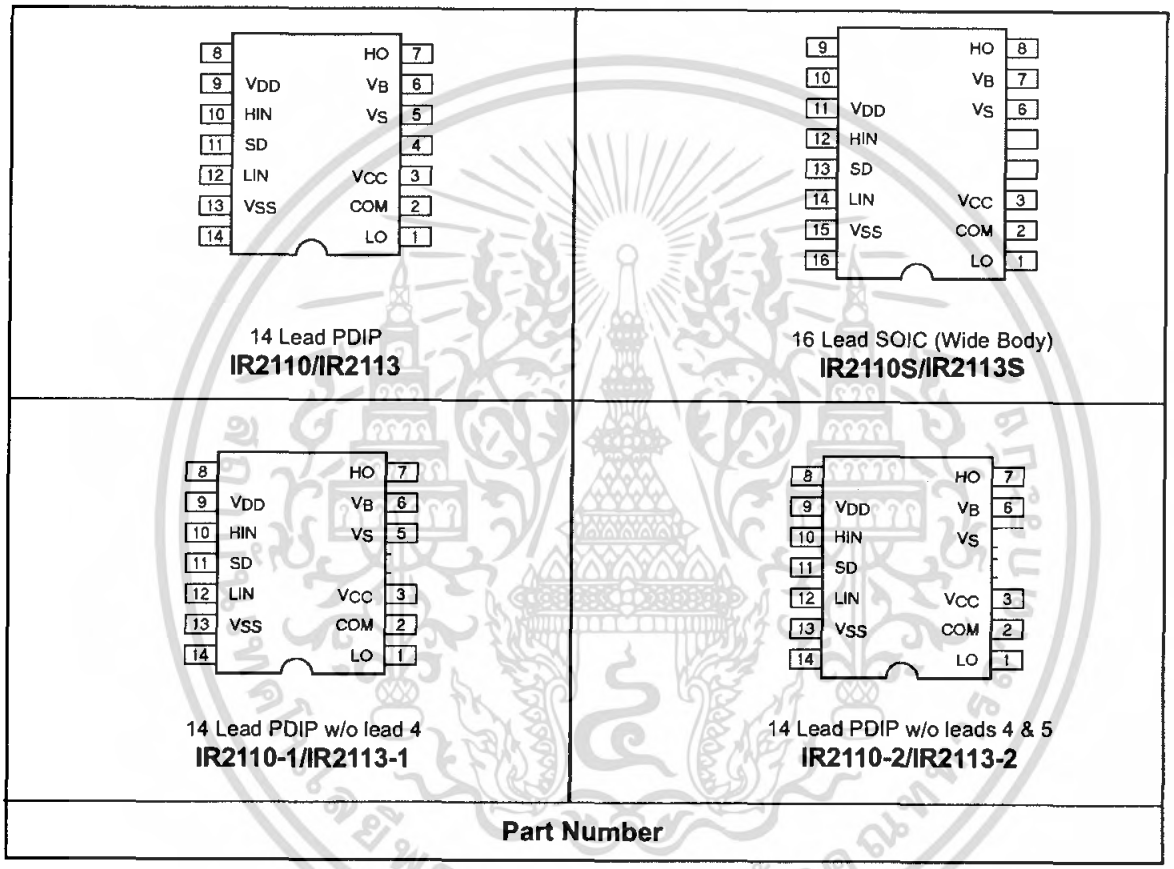


Lead Definitions

Symbol	Description
V_{DD}	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
V_{SS}	Logic ground
V_B	High side floating supply
HO	High side gate drive output
V_S	High side floating supply return
V_{CC}	Low side supply
LO	Low side gate drive output
COM	Low side return

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Lead Assignments



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

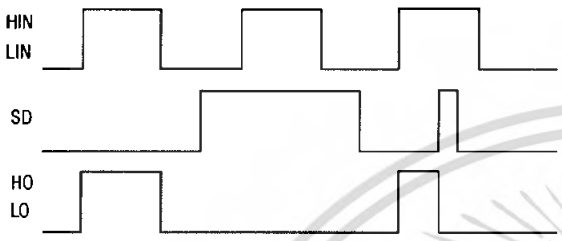


Figure 1. Input/Output Timing Diagram

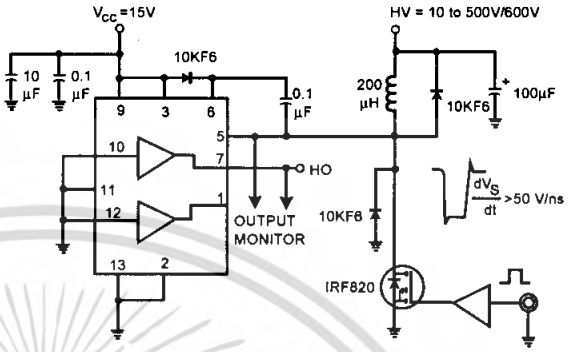


Figure 2. Floating Supply Voltage Transient Test Circuit

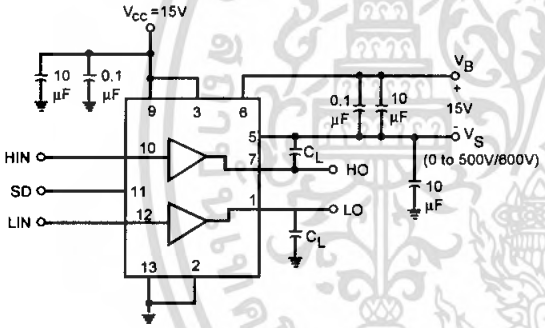


Figure 3. Switching Time Test Circuit

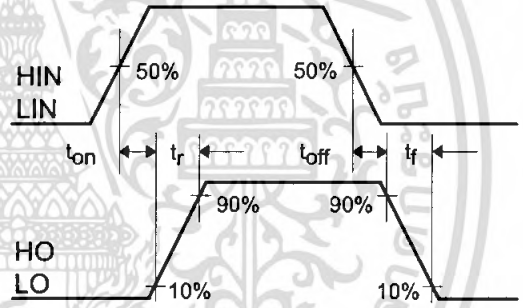


Figure 4. Switching Time Waveform Definition

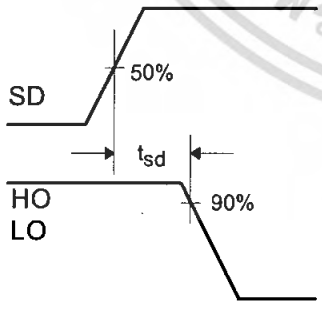


Figure 5. Shutdown Waveform Definitions

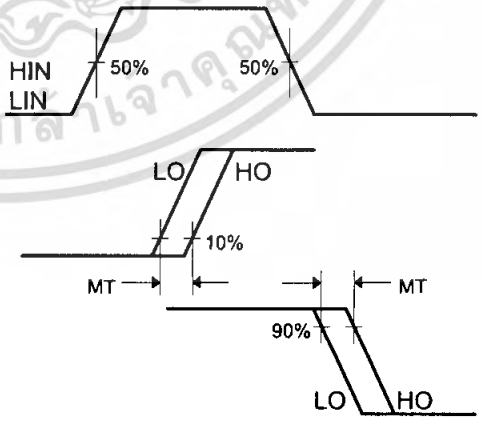


Figure 6. Delay Matching Waveform Definitions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

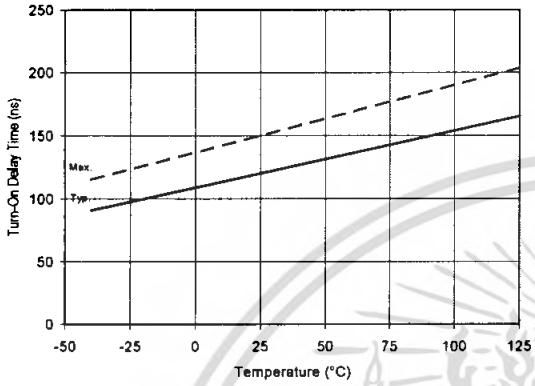


Figure 7A. Turn-On Time vs. Temperature

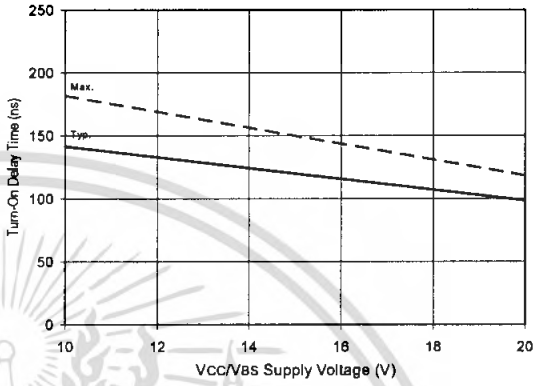


Figure 7B. Turn-On Time vs. VCC/VBS Supply Voltage

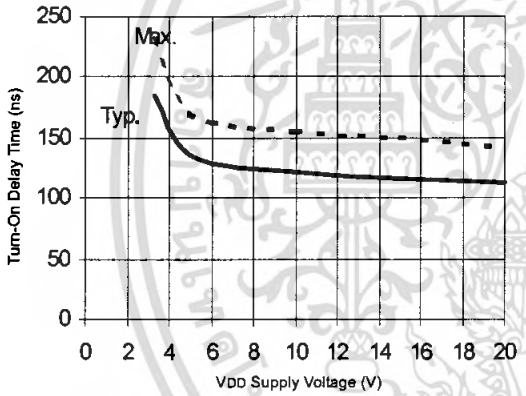


Figure 7C. Turn-On Time vs. VDD Supply Voltage

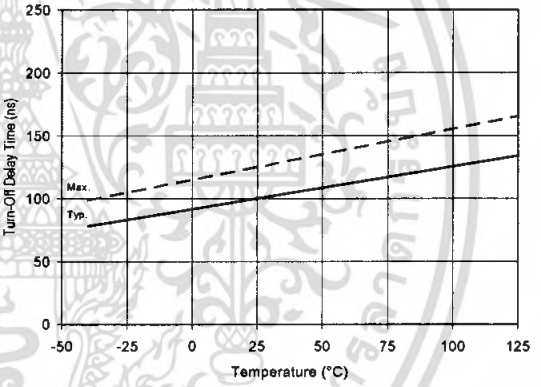


Figure 8A. Turn-Off Time vs. Temperature

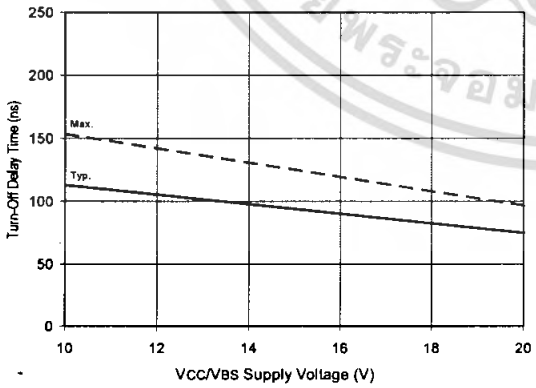


Figure 8B. Turn-Off Time vs. VCC/VBS Supply Voltage

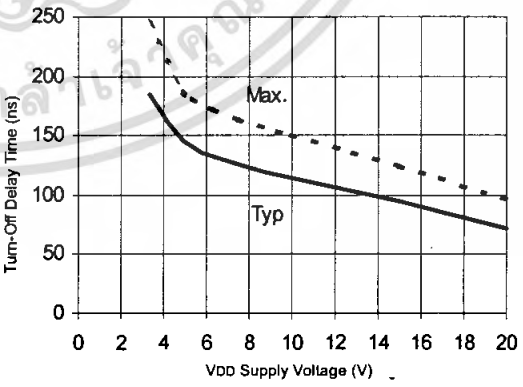


Figure 8C. Turn-Off Time vs. VDD Supply Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

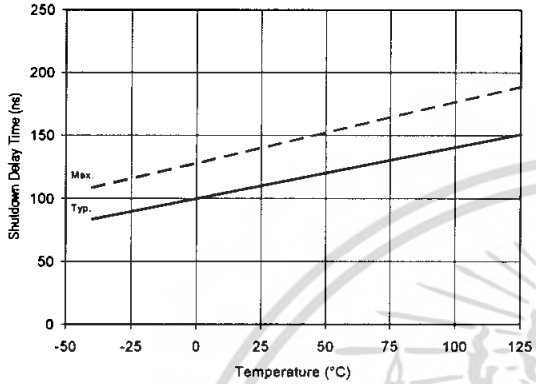


Figure 9A. Shutdown Time vs. Temperature

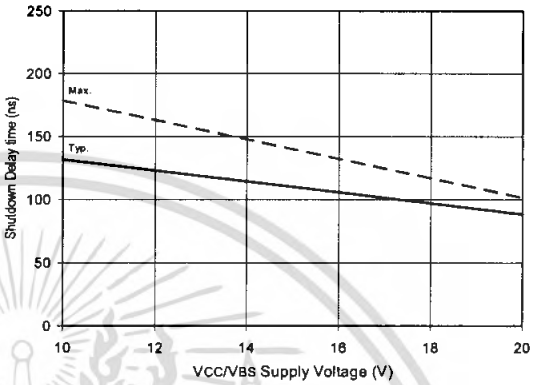


Figure 9B. Shutdown Time vs. V_{CC}/V_{BS} Supply Voltage

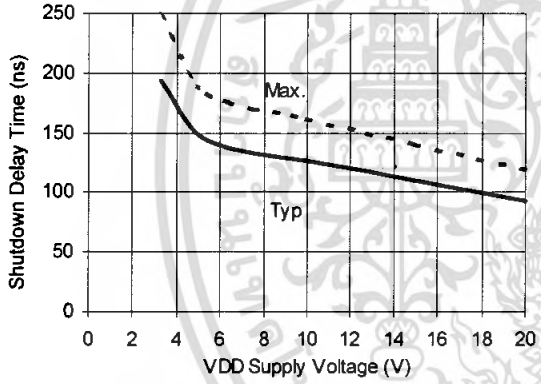


Figure 9C. Shutdown Time vs. V_{DD} Supply Voltage

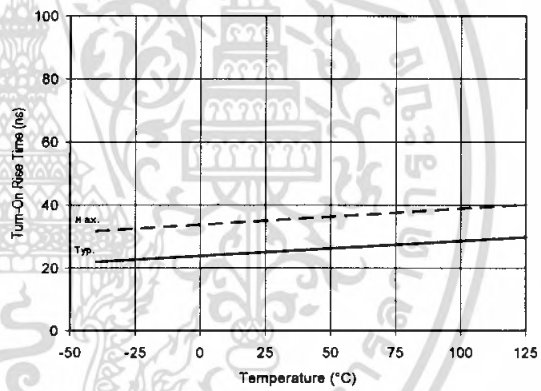


Figure 10A. Turn-On Rise Time vs. Temperature

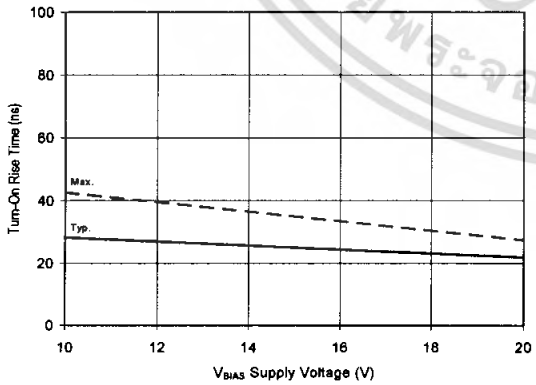


Figure 10B. Turn-On Rise Time vs. Voltage

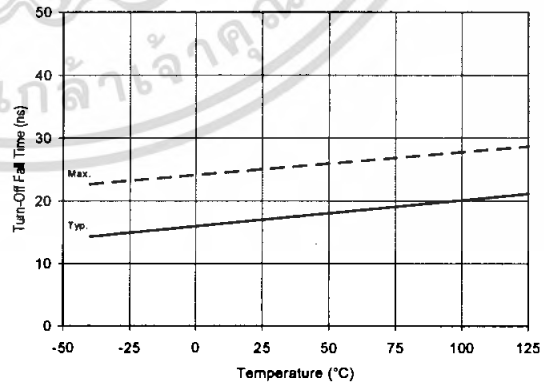


Figure 11A. Turn-Off Fall Time vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

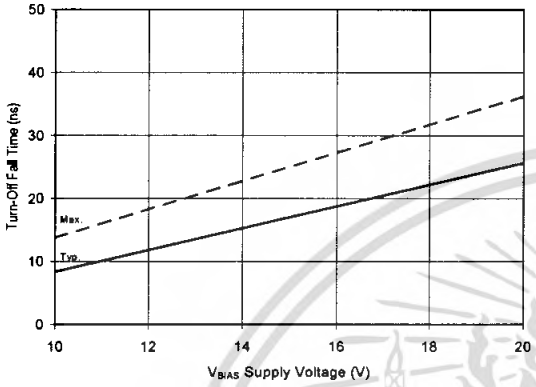


Figure 11B. Turn-Off Fall Time vs. Voltage

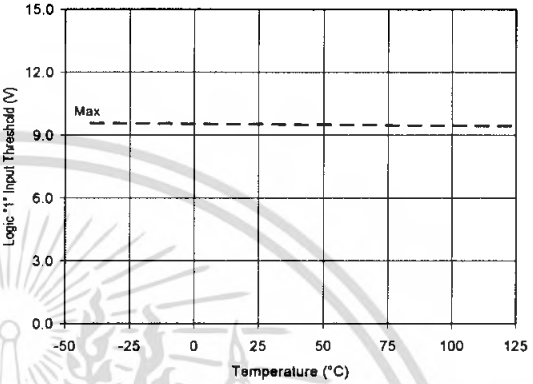


Figure 12A. Logic "1" Input Threshold vs. Temperature

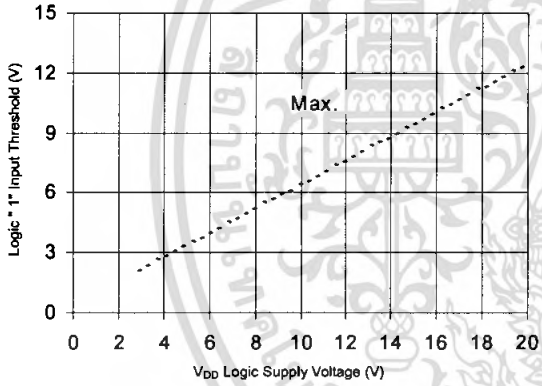


Figure 12B. Logic "1" Input Threshold vs. Voltage

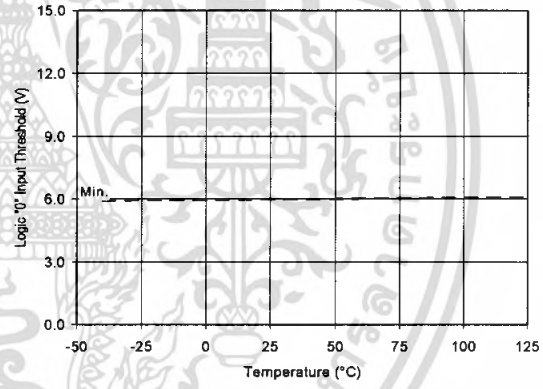


Figure 13A. Logic "0" Input Threshold vs. Temperature

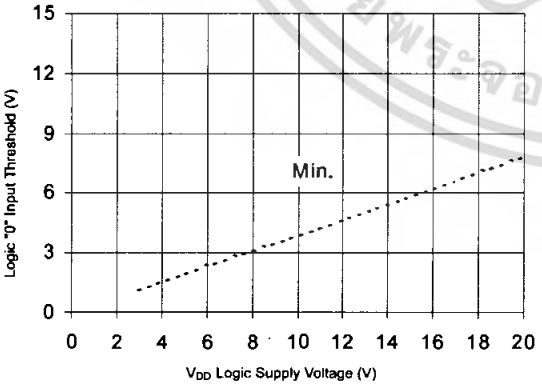


Figure 13B. Logic "0" Input Threshold vs. Voltage

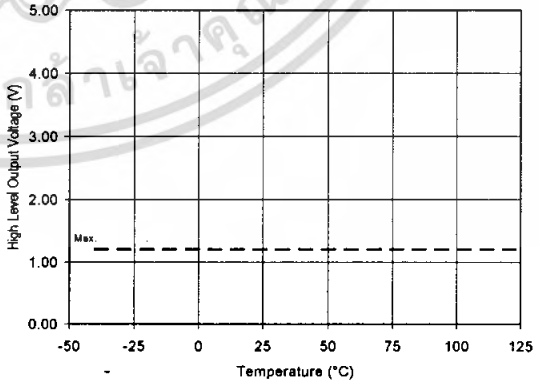


Figure 14A. High Level Output vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

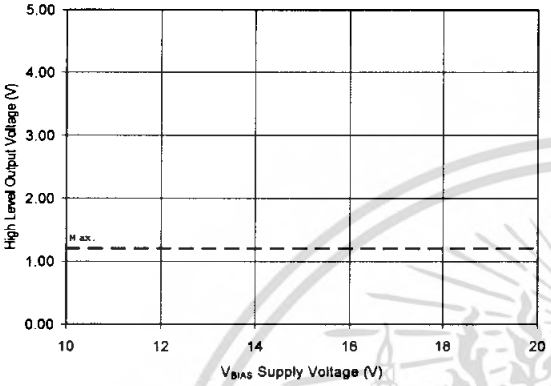


Figure 14B. High Level Output vs. Voltage

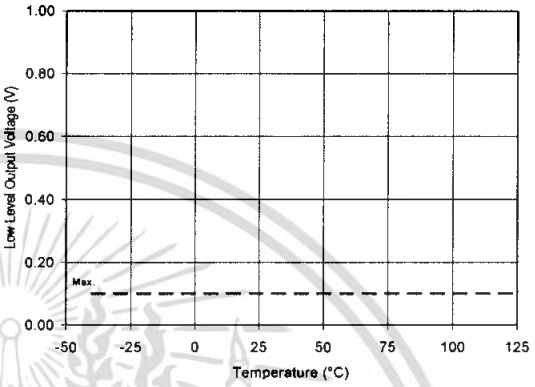


Figure 15A. Low Level Output vs. Temperature

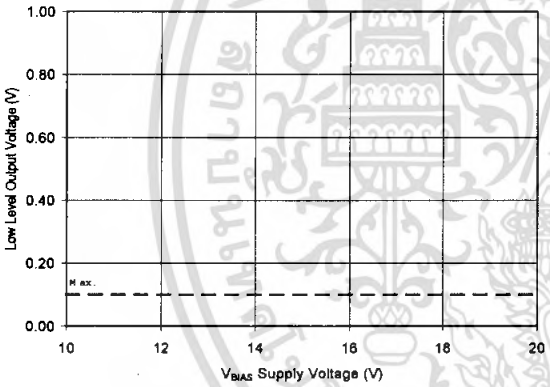


Figure 15B. Low Level Output vs. Voltage

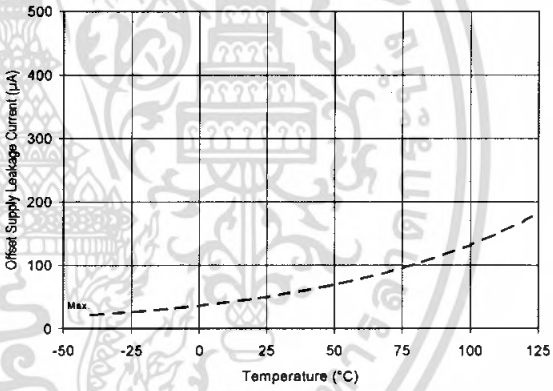


Figure 16A. Offset Supply Current vs. Temperature

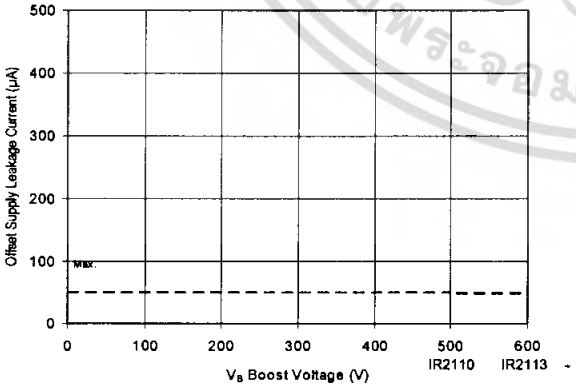


Figure 16B. Offset Supply Current vs. Voltage

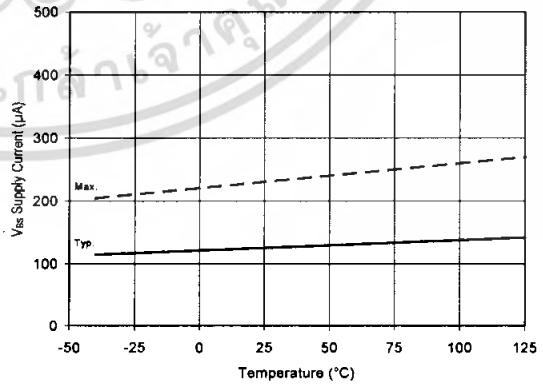


Figure 17A. V_{BS} Supply Current vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

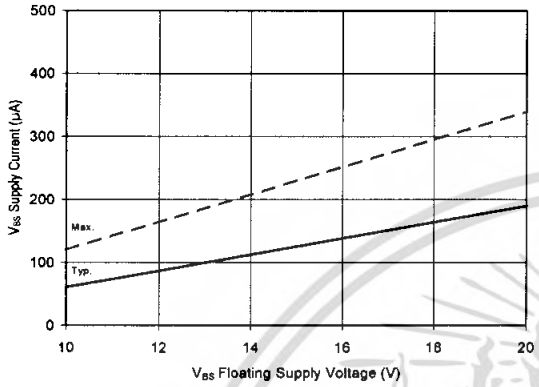


Figure 17B. V_{BS} Supply Current vs. Voltage

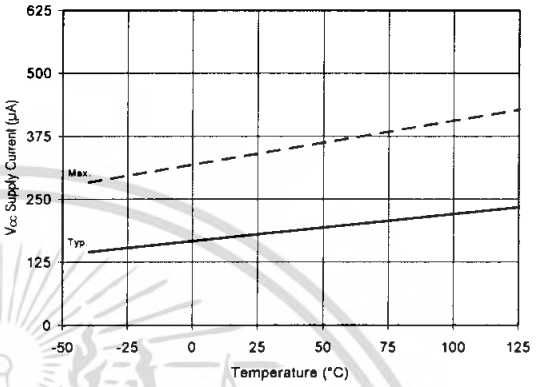


Figure 18A. V_{CC} Supply Current vs. Temperature

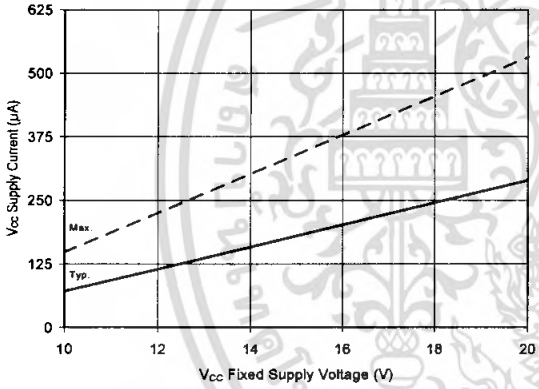


Figure 18B. V_{CC} Supply Current vs. Voltage

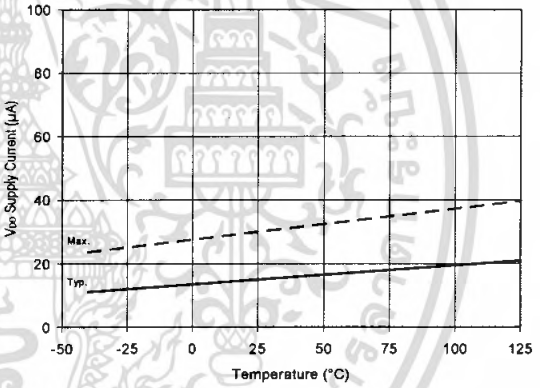


Figure 19A. V_{DD} Supply Current vs. Temperature

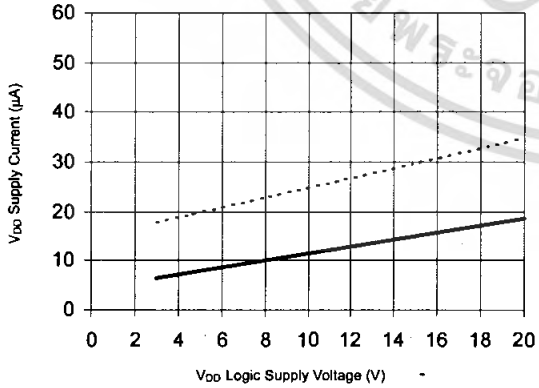


Figure 19B. V_{DD} Supply Current vs. V_{DD} Voltage

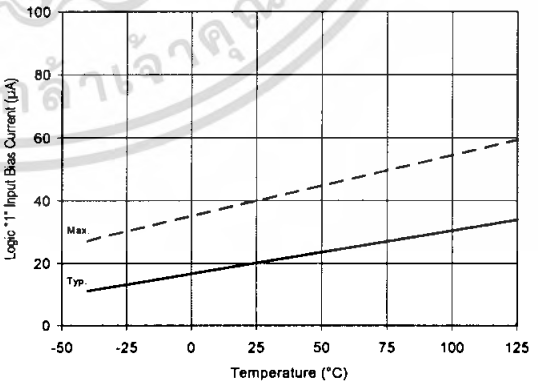


Figure 20A. Logic "1" Input Current vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

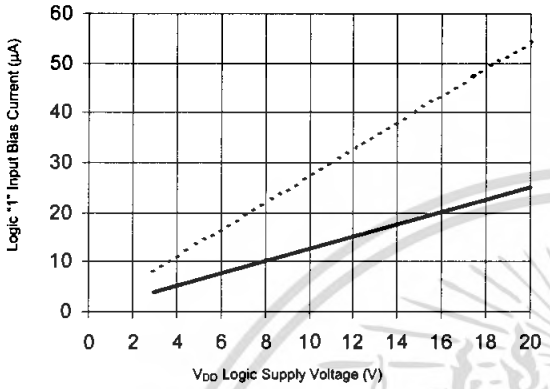


Figure 20B. Logic "1" Input Current vs. V_{DD} Voltage

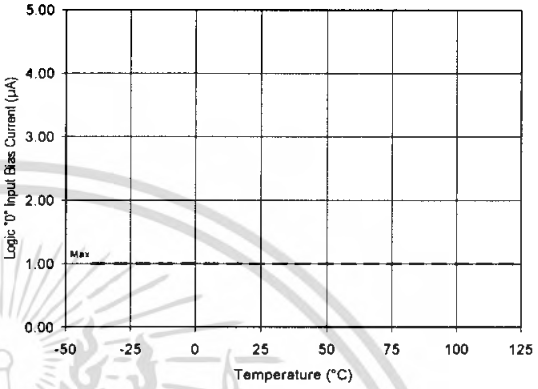


Figure 21A. Logic "0" Input Current vs. Temperature

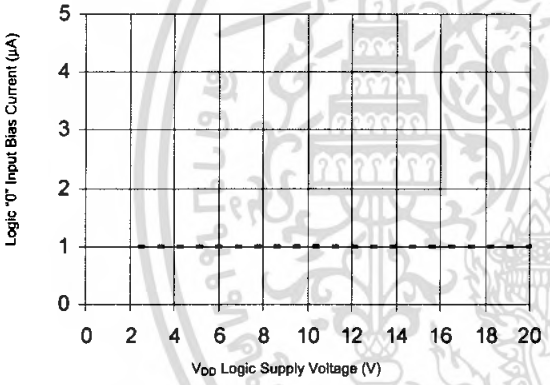


Figure 21B. Logic "0" Input Current vs. V_{DD} Voltage

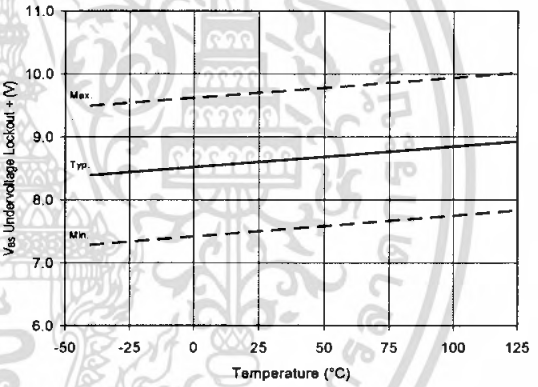


Figure 22. V_{BS} Undervoltage (+) vs. Temperature

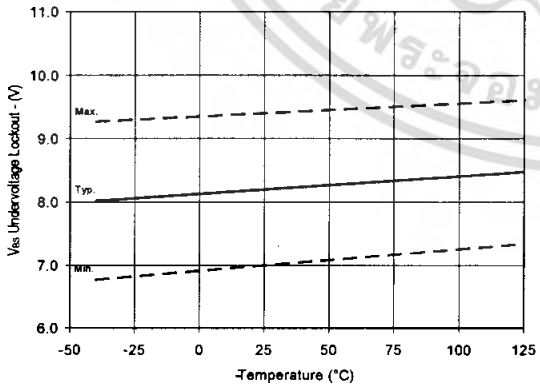


Figure 23. V_{BS} Undervoltage (-) vs. Temperature

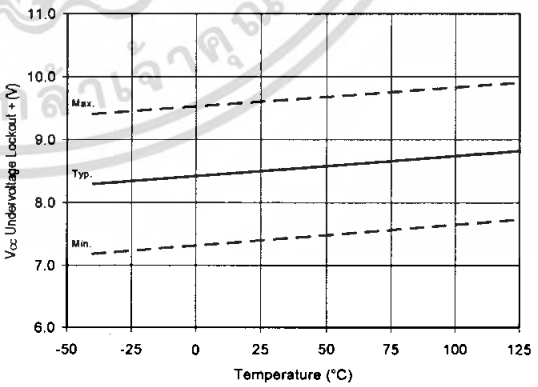


Figure 24. V_{CC} Undervoltage (+) vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

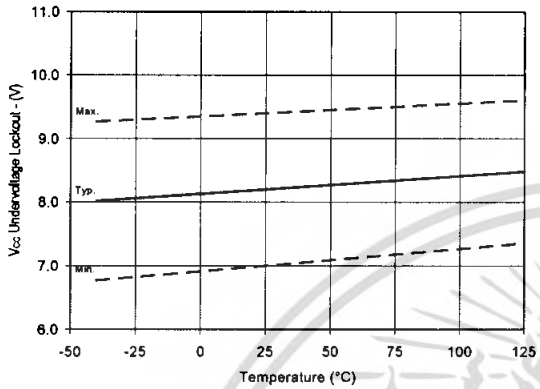


Figure 25. V_{CC} Undervoltage (-) vs. Temperature

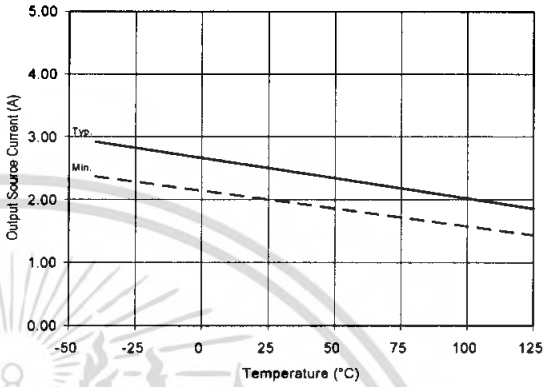


Figure 26A. Output Source Current vs. Temperature

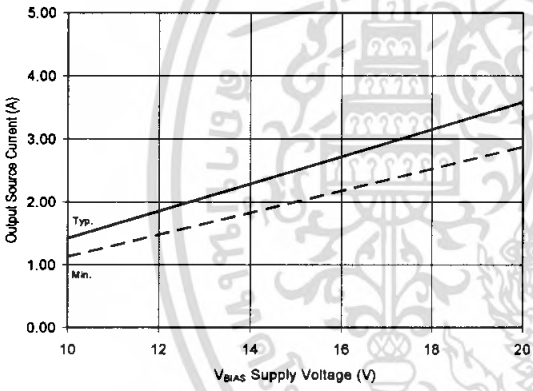


Figure 26B. Output Source Current vs. Voltage

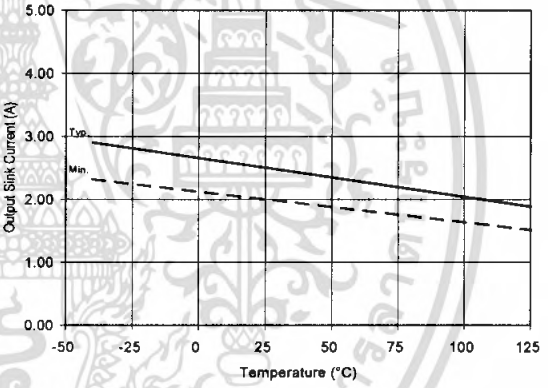


Figure 27A. Output Sink Current vs. Temperature

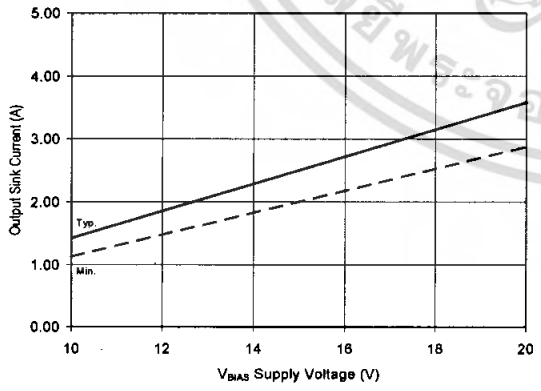


Figure 27B. Output Sink Current vs. Voltage

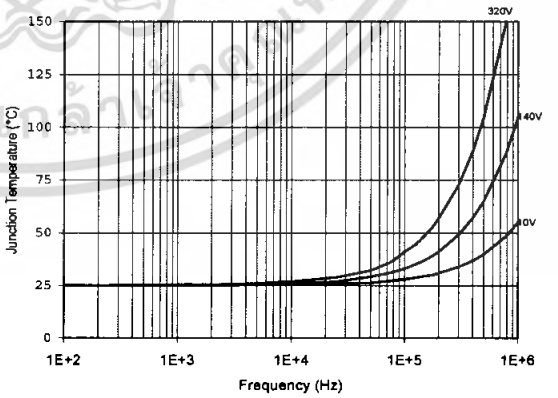


Figure 28. IR2110/IR2113 T_J vs. Frequency (IRFBC20) R_{GATE} = 33Ω, V_{CC} = 15V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

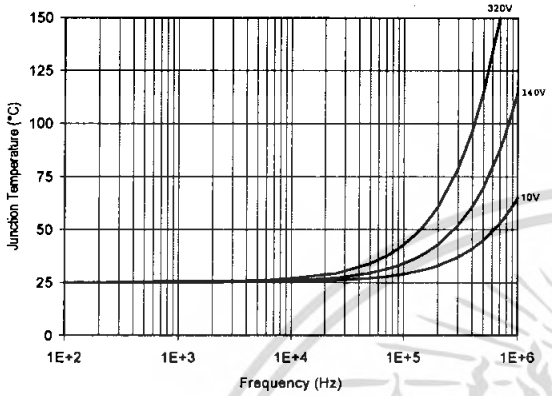


Figure 29. IR2110/IT2113 T_J vs. Frequency (IRFBC30) R_{GATE} = 22Ω, V_{CC} = 15V

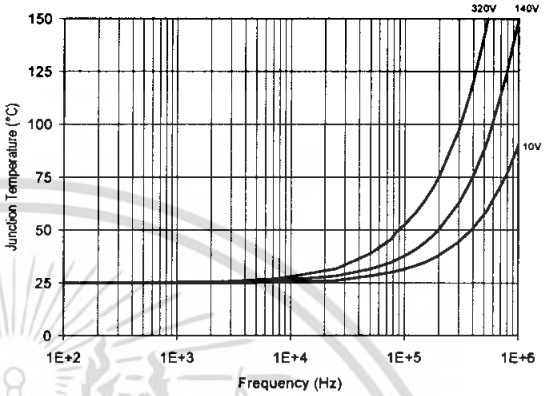


Figure 30. IR2110/IR2113 T_J vs. Frequency (IRFBC40) R_{GATE} = 15Ω, V_{CC} = 15V

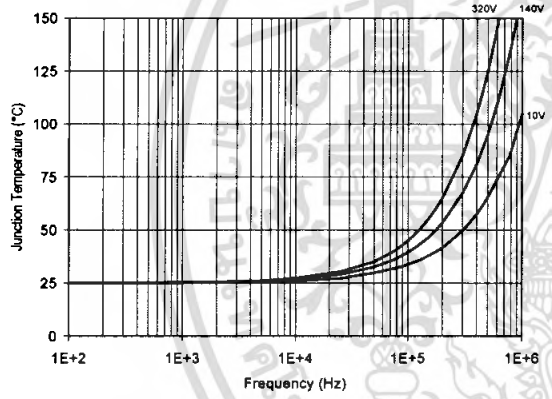


Figure 31. IR2110/IR2113 T_J vs. Frequency (IRFPE50) R_{GATE} = 10Ω, V_{CC} = 15V

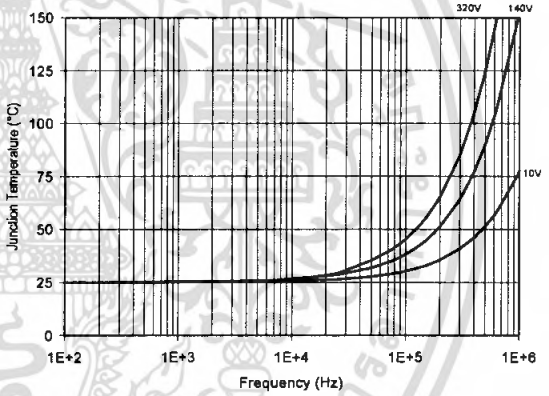


Figure 32. IR2110S/IR2113S T_J vs. Frequency (IRFBC20) R_{GATE} = 33Ω, V_{CC} = 15V

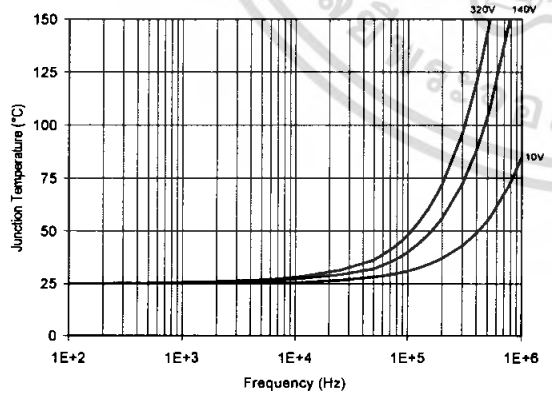


Figure 33. IR2110S/IR2113S T_J vs. Frequency (IRFBC30) R_{GATE} = 22Ω, V_{CC} = 15V

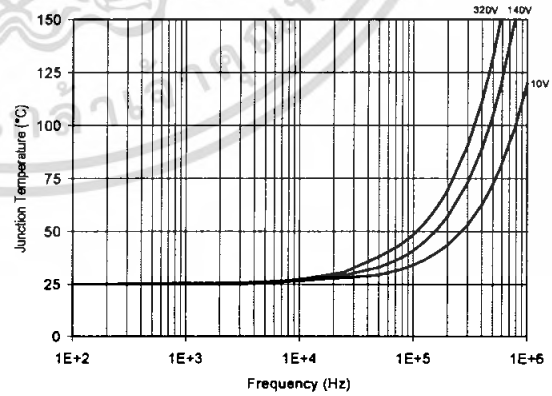


Figure 34. IR2110S/IR2113S T_J vs. Frequency (IRFBC40) R_{GATE} = 15Ω, V_{CC} = 15V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

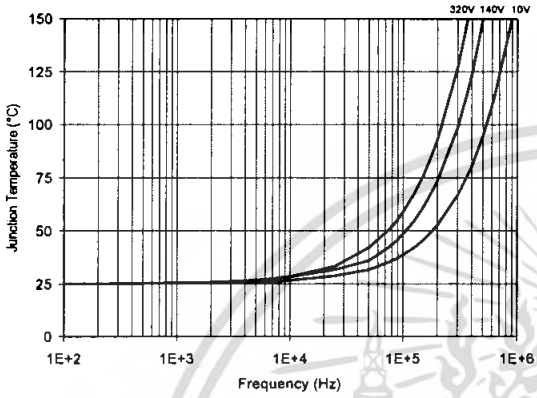


Figure 35. IR2110S/IR2113S T_J vs. Frequency (IRFPE50) R_{GATE} = 10Ω, V_{CC} = 15V

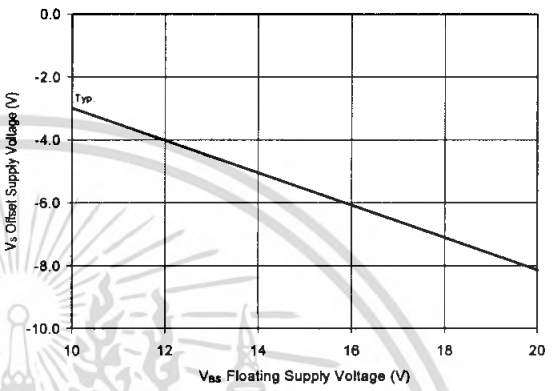


Figure 36. Maximum V_S Negative Offset vs. V_{BS} Supply Voltage

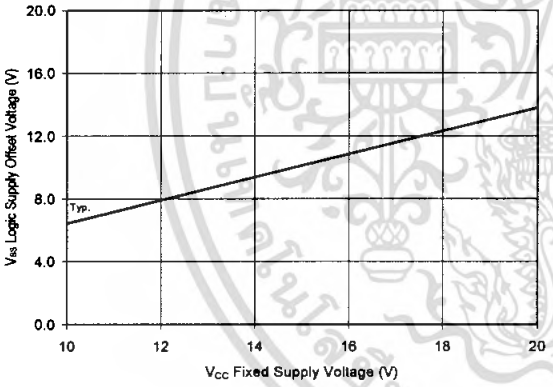


Figure 37. Maximum V_{SS} Positive Offset vs. V_{CC} Supply Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

January 1995

LM1036
Dual DC Operated Tone/Volume/Balance Circuit

General Description

The LM1036 is a DC controlled tone (bass/treble), volume and balance circuit for stereo applications in car radio, TV and audio systems. An additional control input allows loudness compensation to be simply effected.

Four control inputs provide control of the bass, treble, balance and volume functions through application of DC voltages from a remote control system or, alternatively, from four potentiometers which may be biased from a zener regulated supply provided on the circuit.

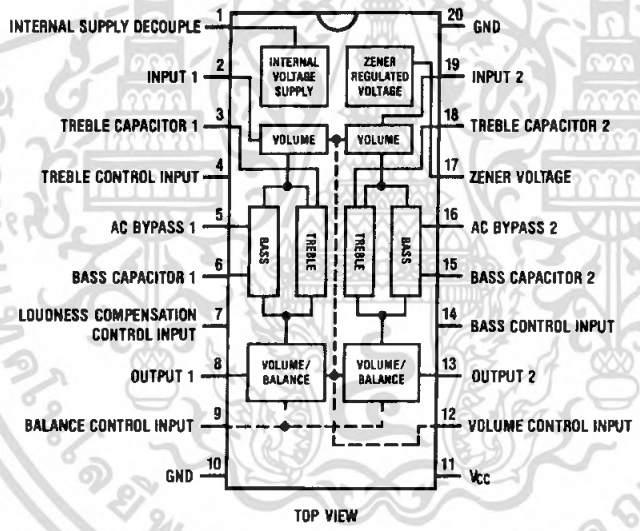
Each tone response is defined by a single capacitor chosen to give the desired characteristic.

Features

- Wide supply voltage range, 9V to 16V
- Large volume control range, 75 dB typical
- Tone control, ±15 dB typical
- Channel separation, 75 dB typical
- Low distortion, 0.06% typical for an input level of 0.3 Vrms
- High signal to noise, 80 dB typical for an input level of 0.3 Vrms
- Few external components required

Block and Connection Diagram

Dual-In-Line Package



Order Number LM1036N
See NS Package Number N20A

© 2004 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage	16V
Control Pin Voltage (Pins 4, 7, 9, 12, 14)	V_{CC}
Operating Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Power Dissipation	1W
Lead Temp. (Soldering, 10 seconds)	260°C

Note 1: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

Electrical Characteristics

V_{CC}=12V, T_A=25°C (unless otherwise stated)

Parameter	Conditions	Min	Typ	Max	Units
Supply Voltage Range	Pin 11	9		16	V
Supply Current			35	45	mA
Zener Regulated Output	Pin 17				
Voltage			5.4		V
Current				5	mA
Maximum Output Voltage	Pins 8, 13; f=1 kHz				
	V_{CC}=9V, Maximum Gain		0.8		Vrms
	V_{CC}=12V	0.8	1.0		Vrms
Maximum Input Voltage	Pins 2, 19; f=1 kHz, V_{CC} 2V	1.3	1.6		Vrms
	Gain=−10 dB				
Input Resistance	Pins 2, 19; f=1 kHz	20	30		kΩ
Output Resistance	Pins 8, 13; f=1 kHz		20		Ω
Maximum Gain	V(Pin 12)=V(Pin 17); f=1 kHz	−2	0	2	dB
Volume Control Range	f=1 kHz	70	75		dB
Gain Tracking	f=1 kHz				
Channel 1−Channel 2	0 dB through −40 dB		1	3	dB
	−40 dB through −60 dB		2		dB
Balance Control Range	Pins 8, 13; f=1 kHz		1		dB
			−26	−20	dB
Bass Control Range	f=40 Hz, C_b=0.39 µF				
(Note 3)	V(Pin 14)=V(Pin 17)	12	15	18	dB
	V(Pin 14)=0V	−12	−15	−18	dB
Treble Control Range	f= 16 kHz, C_t=0.01 µF				
(Note 3)	V(Pin 4)=V(Pin 17)	12	15	18	dB
	V(Pin 4)=0V	−12	−15	−18	dB
Total Harmonic Distortion	f=1 kHz, V_{IN}=0.3 Vrms				
	Gain=0 dB		0.06	0.3	%
	Gain=−30 dB		0.03		%
Channel Separation	f=1 kHz, Maximum Gain	60	75		dB
Signal/Noise Ratio	Unweighted 100 Hz−20 kHz		80		dB
	Maximum Gain, 0 dB=0.3 Vrms				
	CCIR/ARM (Note 4)				
	Gain=0 dB, V_{IN}=0.3 Vrms	75	79		dB
	Gain=−20 dB, V_{IN}=1.0 Vrms		72		dB
Output Noise Voltage at	CCIR/ARM (Note 4)		10	16	µV
Minimum Gain					
Supply Ripple Rejection	200 mVrms, 1 kHz Ripple	35	50		dB
Control Input Currents	Pins 4, 7, 9, 12, 14 (V=0V)		−0.6	−2.5	µA
Frequency Response	−1 dB (Flat Response		250		kHz
	20 Hz−16 kHz)				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

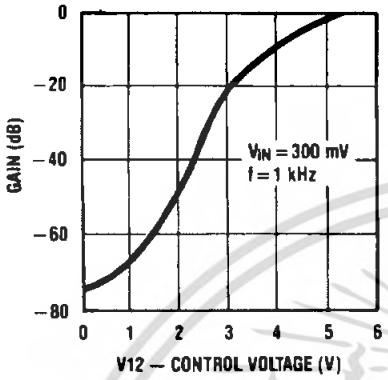
Note 2: The maximum permissible input level is dependent on tone and volume settings. See Application Notes.

Note 3: The tone control range is defined by capacitors C_b and C_t. See Application Notes.

Note 4: Gaussian noise, measured over a period of 50 ms per channel, with a CCIR filter referenced to 2 kHz and an average-responding meter.

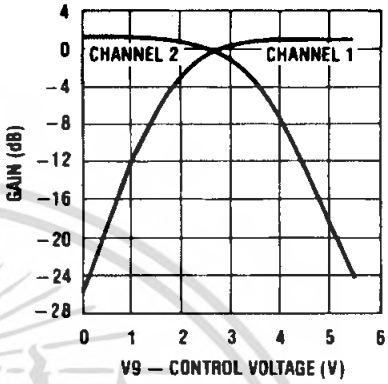
Typical Performance Characteristics

Volume Control Characteristics



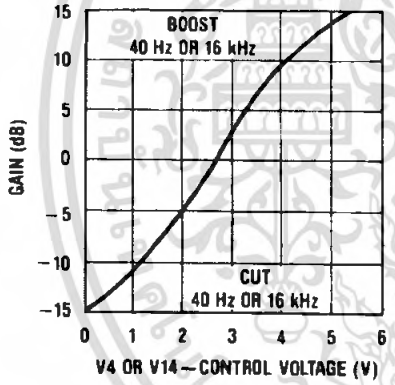
00514220

Balance Control Characteristic



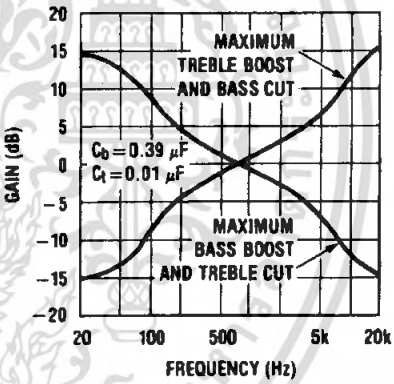
00514221

Tone Control Characteristic



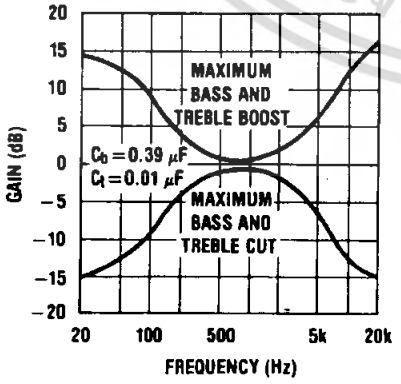
00514222

Tone Characteristic (Gain vs Frequency)



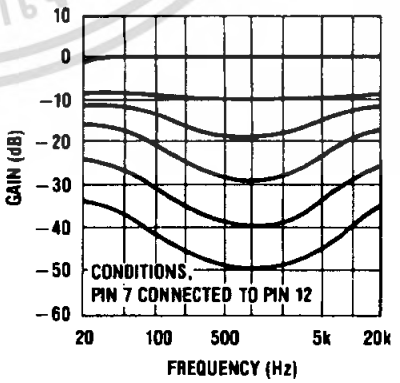
00514223

Tone Characteristic (Gain vs Frequency)



00514224

Loudness Compensated Volume Characteristic

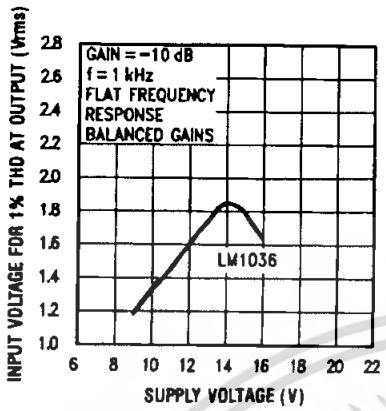


00514225

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

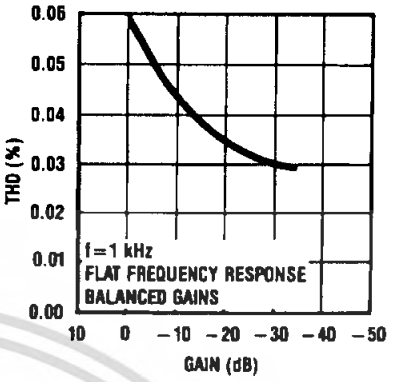
Typical Performance Characteristics (Continued)

Input Signal Handling vs Supply Voltage



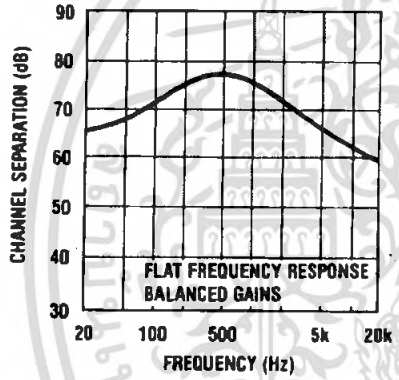
00514226

THD vs Gain



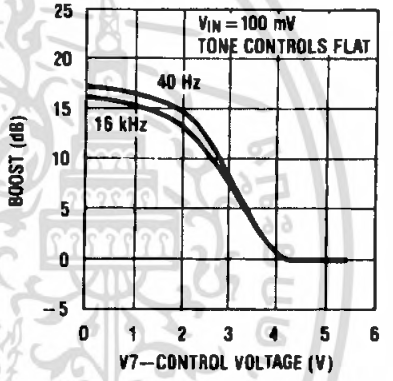
00514227

Channel Separation vs Frequency



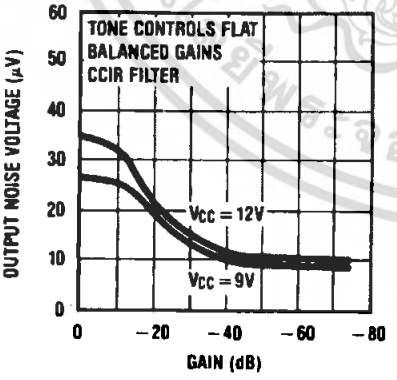
00514228

Loudness Control Characteristic



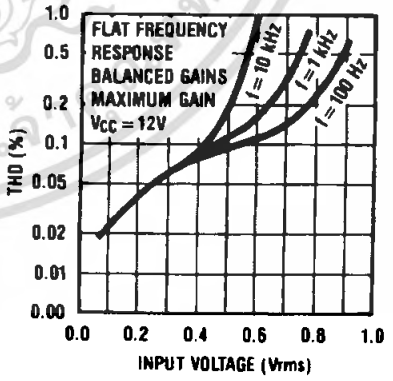
00514229

Output Noise Voltage vs Gain



00514230

THD vs Input Voltage



00514231

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

TONE RESPONSE

The maximum boost and cut can be optimized for individual applications by selection of the appropriate values of C_t (treble) and C_b (bass).

The tone responses are defined by the relationships:

$$\text{Bass Response} = \frac{1 + \frac{0.00065\,(1 - a_b)}{j\omega C_b}}{1 + \frac{0.00065 a_b}{j\omega C_b}}$$

$$\text{Treble Response} = \frac{1 + j\omega 5500(1 - a_t)C_t}{1 + j\omega 5500 a_t C_t}$$

Where a_b=a_t=0 for maximum bass and treble boost respectively and a_b=a_t=1 for maximum cut.

For the values of C_b and C_t of 0.39 µF and 0.01 µF as shown in the Application Circuit, 15 dB of boost or cut is obtained at 40 Hz and 16 kHz.

ZENER VOLTAGE

A zener voltage (pin 17=5.4V) is provided which may be used to bias the control potentiometers. Setting a DC level of one half of the zener voltage on the control inputs, pins 4, 9, and 14, results in the balanced gain and flat response condition. Typical spread on the zener voltage is ±100 mV and this must be taken into account if control signals are used which are not referenced to the zener voltage. If this is the case, then they will need to be derived with similar accuracy.

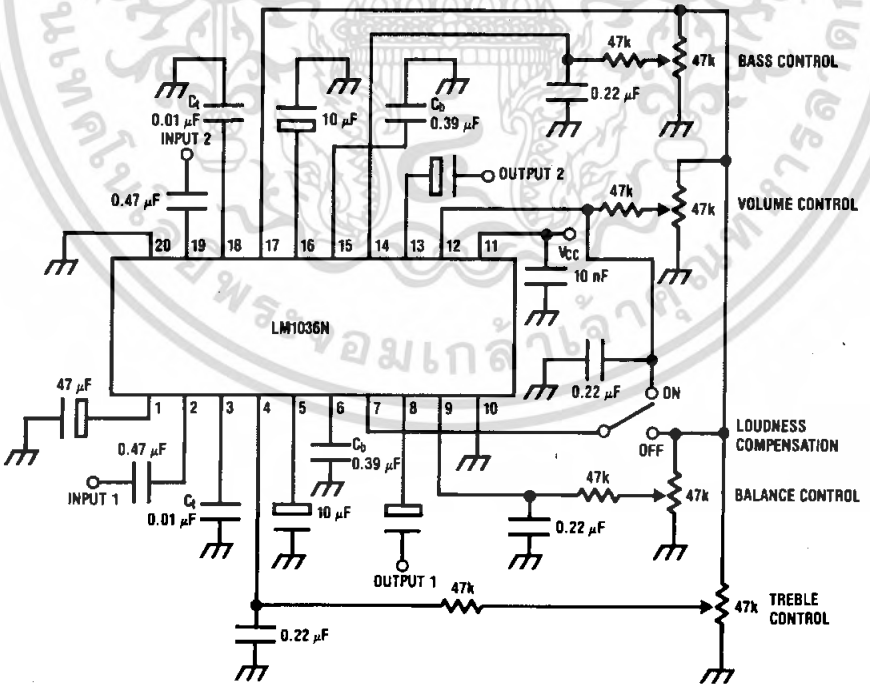
LOUDNESS COMPENSATION

A simple loudness compensation may be effected by applying a DC control voltage to pin 7. This operates on the tone control stages to produce an additional boost limited by the maximum boost defined by C_b and C_t. There is no loudness compensation when pin 7 is connected to pin 17. Pin 7 can be connected to pin 12 to give the loudness compensated volume characteristic as illustrated without the addition of further external components. (Tone settings are for flat response, C_b and C_t as given in Application Circuit.) Modification to the loudness characteristic is possible by changing the capacitors C_b and C_t for a different basic response or, by a resistor network between pins 7 and 12 for a different threshold and slope.

SIGNAL HANDLING

The volume control function of the LM1036 is carried out in two stages, controlled by the DC voltage on pin 12, to improve signal handling capability and provide a reduction of output noise level at reduced gain. The first stage is before the tone control processing and provides an initial 15 dB of gain reduction, so ensuring that the tone sections are not overdriven by large input levels when operating with a low volume setting. Any combination of tone and volume settings may be used provided the output level does not exceed 1 Vrms, V_{CC}=12V (0.8 Vrms, V_{CC}=9V). At reduced gain (<−6 dB)the input stage will overload if the input level exceeds 1.6 Vrms, V_{CC}=12V (1.1 Vrms, V_{CC}=9V). As there is volume control on the input stages, the inputs may be operated with a lower overload margin than would otherwise be acceptable, allowing a possible improvement in signal to noise ratio.

Application Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OBTAINING MODIFIED RESPONSE CURVES

The LM1036 is a dual DC controlled bass, treble, balance and volume integrated circuit ideal for stereo audio systems.

In the various applications where the LM1036 can be used, there may be requirements for responses different to those of the standard application circuit given in the data sheet. This application section details some of the simple variations possible on the standard responses, to assist the choice of optimum characteristics for particular applications.

TONE CONTROLS

Summarizing the relationship given in the data sheet, basically for an increase in the treble control range C_t must be increased, and for increased bass range C_b must be reduced.

Figure 1 shows the typical tone response obtained in the standard application circuit. (C_t=0.01 µF, C_b=0.39 µF). Response curves are given for various amounts of boost and cut.

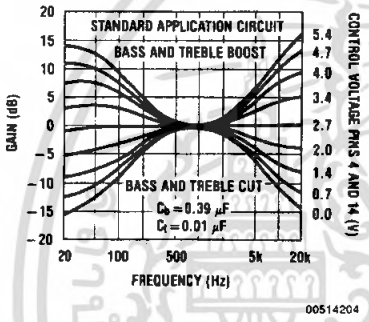


FIGURE 1. Tone Characteristic (Gain vs Frequency)

Figure 2 and *Figure 3* show the effect of changing the response defining capacitors C_t and C_b to 2Ct, C_b/2 and 4C_t, C_b/4 respectively, giving increased tone control ranges. The values of the bypass capacitors may become significant and affect the lower frequencies in the bass response curves.

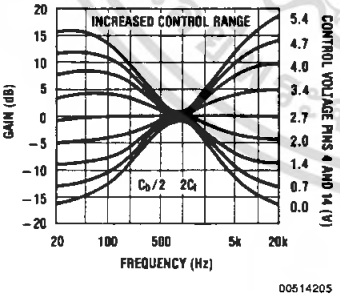


FIGURE 2. Tone Characteristic (Gain vs Frequency)

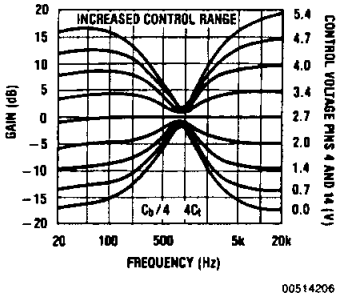


FIGURE 3. Tone Characteristic (Gain vs Frequency)

Figure 4 shows the effect of changing C_t and C_b in the opposite direction to C_t/2, 2C_b respectively giving reduced control ranges. The various results corresponding to the different C_t and C_b values may be mixed if it is required to give a particular emphasis to, for example, the bass control. The particular case with C_b/2, C_t is illustrated in *Figure 5*.

Restriction of Tone Control Action at High or Low Frequencies

It may be desired in some applications to level off the tone responses above or below certain frequencies for example to reduce high frequence noise.

This may be achieved for the treble response by including a resistor in series with C_t. The treble boost and cut will be 3 dB less than the standard circuit when R=X_C.

A similar effect may be obtained for the bass response by reducing the value of the AC bypass capacitors on pins 5 (channel 1) and 16 (channel 2). The internal resistance at these pins is 1.3 kΩ and the bass boost/cut will be approximately 3 dB less with X_C at this value. An example of such modified response curves is shown in *Figure 6*. The input coupling capacitors may also modify the low frequency response.

It will be seen from *Figure 2* and *Figure 3* that modifying C_t and C_b for greater control range also has the effect of flattening the tone control extremes and this may be utilized, with or without additional modification as outlined above, for the most suitable tone control range and response shape.

Other Advantages of DC Controls

The DC controls make the addition of other features easy to arrange. For example, the negative-going peaks of the output amplifiers may be detected below a certain level, and used to bias back the bass control from a high boost condition, to prevent overloading the speaker with low frequency components.

LOUDNESS CONTROL

The loudness control is achieved through control of the tone sections by the voltage applied to pin 7; therefore, the tone and loudness functions are not independent. There is normally 1 dB more bass than treble boost (40 Hz–16 kHz) with loudness control in the standard circuit. If a greater difference is desired, it is necessary to introduce an offset by means of C_t or C_b or by changing the nominal control voltage ranges.

Figure 7 shows the typical loudness curves obtained in the standard application circuit at various volume levels (C_b=0.39 µF).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

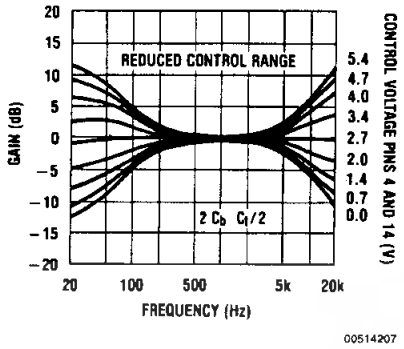


FIGURE 4. Tone Characteristic (Gain vs Frequency)

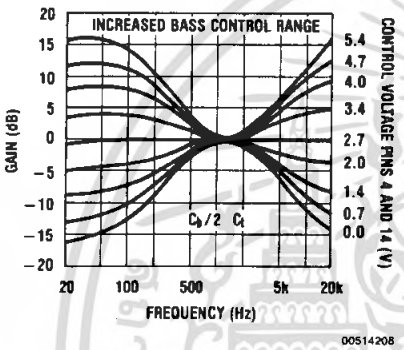


FIGURE 5. Tone Characteristic (Gain vs Frequency)

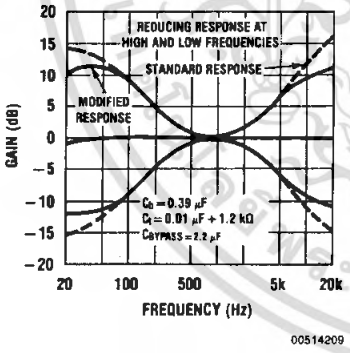


FIGURE 6. Tone Characteristic (Gain vs Frequency)

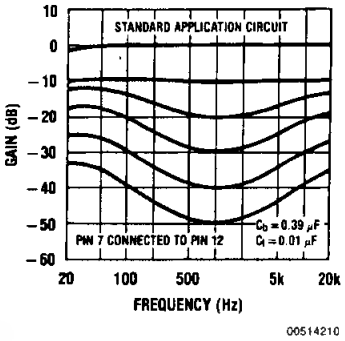


FIGURE 7. Loudness Compensated Volume Characteristic

Figure 8 and *Figure 9* illustrate the loudness characteristics obtained with C_b changed to $C_b/2$ and $C_b/4$ respectively, C_t being kept at the nominal 0.01 µF. These values naturally modify the bass tone response as in *Figure 2* and *Figure 3.*

With pins 7 (loudness) and 12 (volume) directly connected, loudness control starts at typically −8 dB volume, with most of the control action complete by −30 dB.

Figure 10 and *Figure 11* show the effect of resistively offsetting the voltage applied to pin 7 towards the control reference voltage (pin 17). Because the control inputs are high impedance, this is easily done and high value resistors may be used for minimal additional loading. It is possible to reduce the rate of onset of control to extend the active range to −50 dB volume control and below.

The control on pin 7 may also be divided down towards ground bringing the control action on earlier. This is illustrated in *Figure 12,* With a suitable level shifting network between pins 12 and 7, the onset of loudness control and its rate of change may be readily modified.

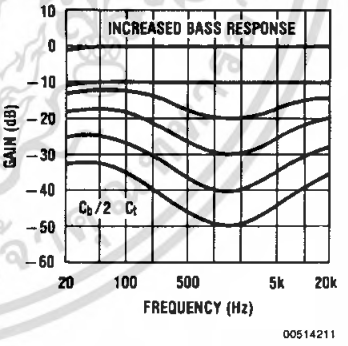


FIGURE 8. Loudness Compensated Volume Characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

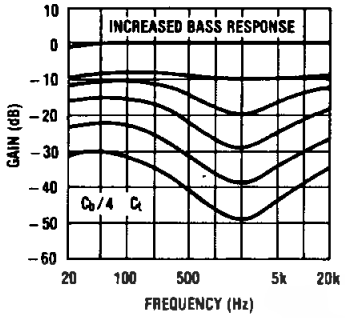


FIGURE 9. Loudness Compensated Volume Characteristic

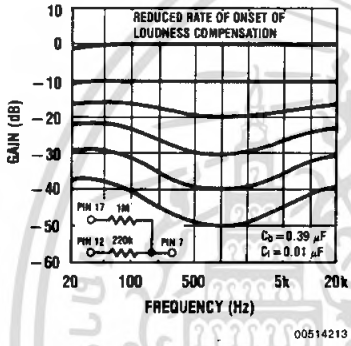


FIGURE 10. Loudness Compensated Volume Characteristic

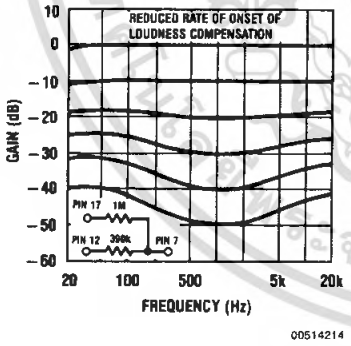


FIGURE 11. Loudness Compensated Volume Characteristic

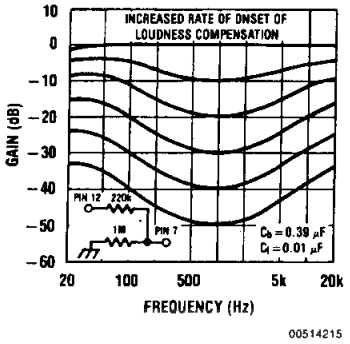


FIGURE 12. Loudness Compensated Volume Characteristic

When adjusted for maximum boost in the usual application circuit, the LM1036 cannot give additional boost from the loudness control with reducing gain. If it is required, some additional boost can be obtained by restricting the tone control range and modifying C_t, C_b, to compensate. A circuit illustrating this for the case of bass boost is shown in Figure 13. The resulting responses are given in *Figure 14* showing the continuing loudness control action possible with bass boost previously applied.

USE OF THE LM1036 ABOVE AUDIO FREQUENCIES

The LM1036 has a basic response typically 1 dB down at 250 kHz (tone controls flat) and therefore by scaling C_b and C_t, it is possible to arrange for operation over a wide frequency range for possible use in wide band equalization applications. As an example *Figure 15* shows the responses obtained centered on 10 kHz with C_b=0.039 µF and C_t=0.001 µF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

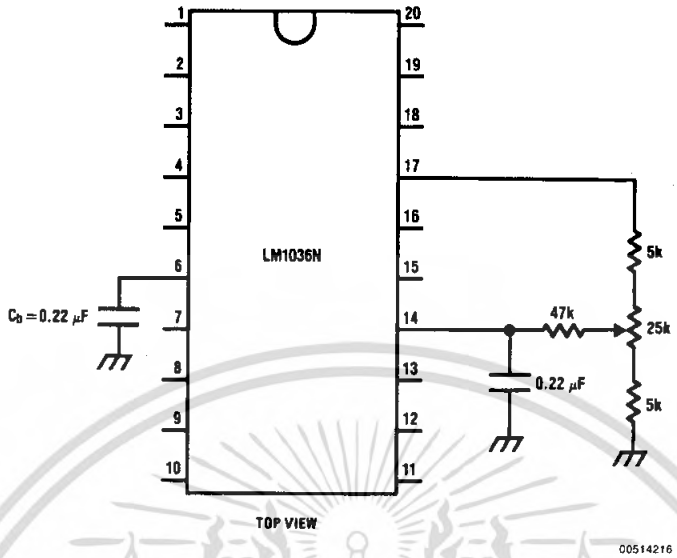


FIGURE 13. Modified Application Circuit for Additional Bass Boost with Loudness Control

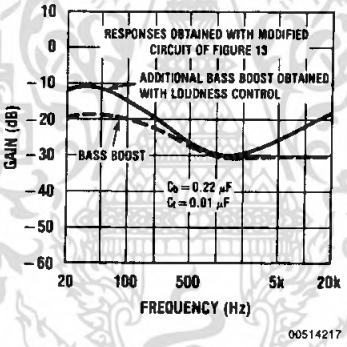


FIGURE 14. Loudness Compensated Volume Characteristic

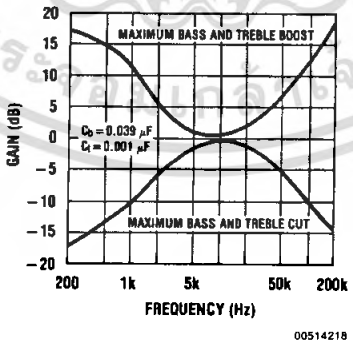
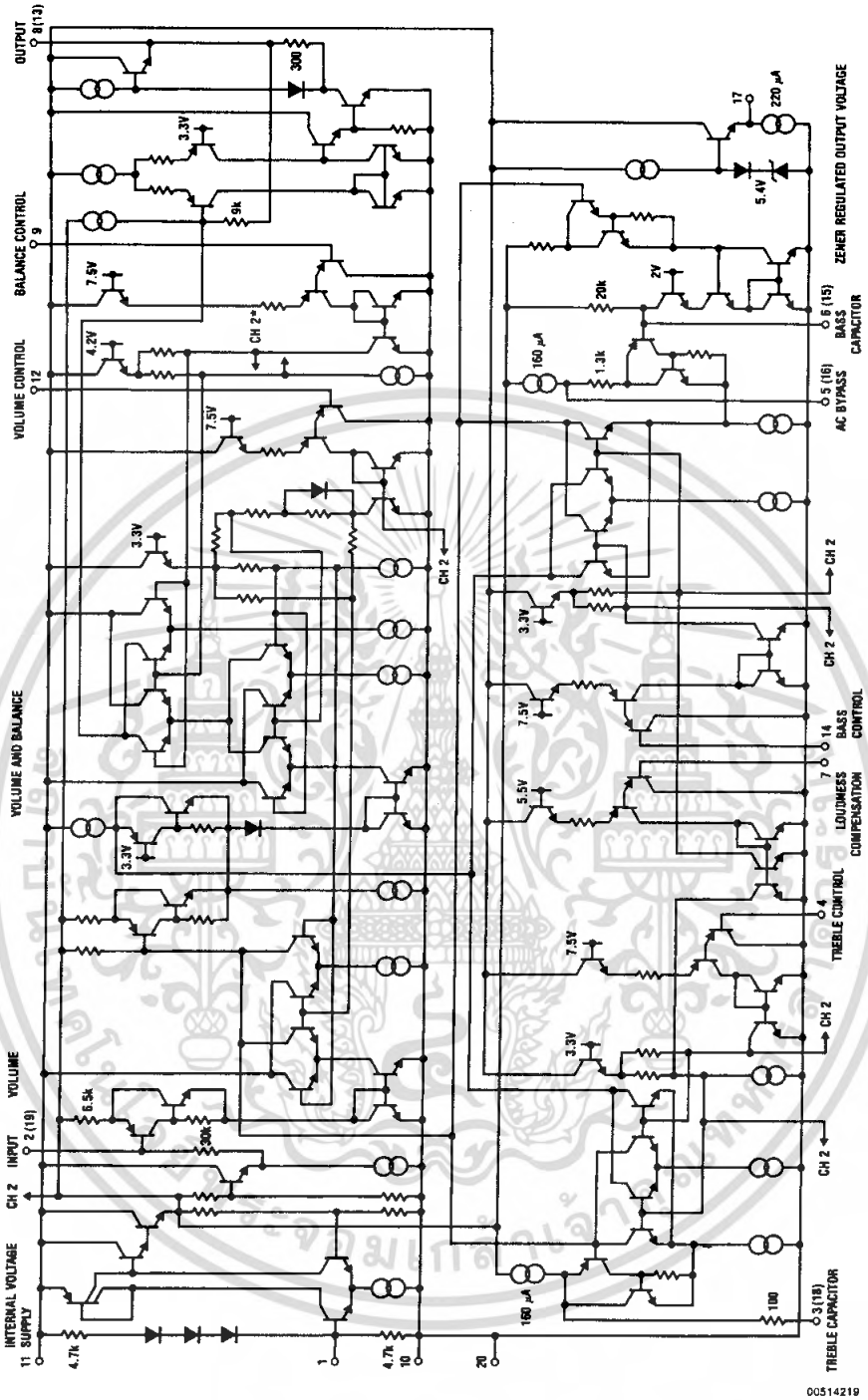


FIGURE 15. Tone Characteristic (Gain vs Frequency)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

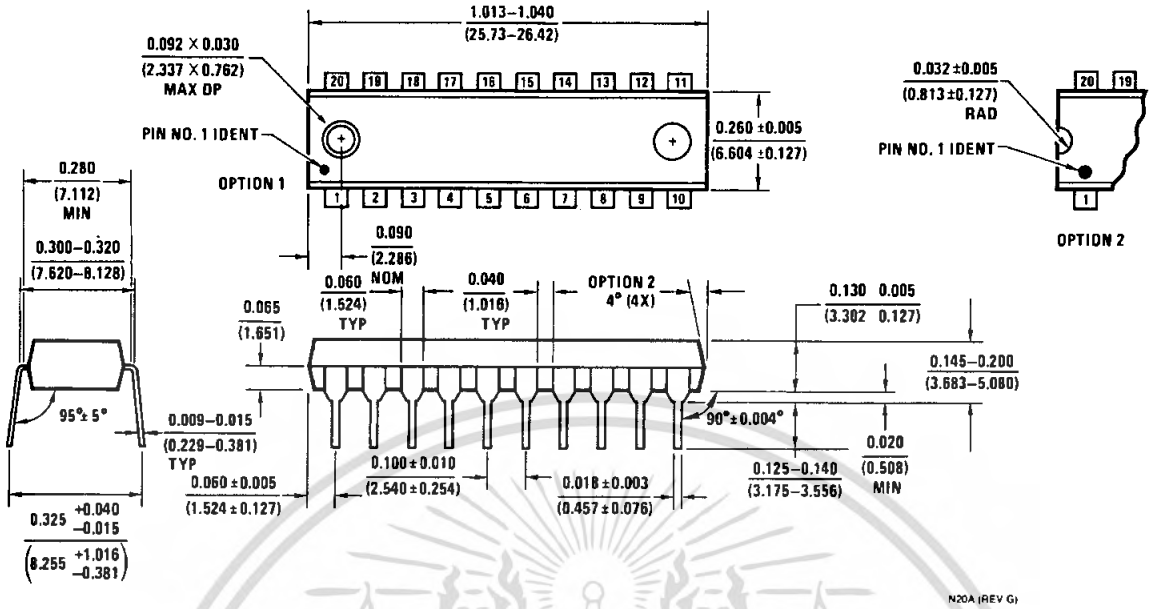
Simplified Schematic Diagram (One Channel)



*Connections reversed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Molded Dual-In-Line Package (N)
Order Number LM1036N
NS Package Number N20A

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

For the most current product information visit us at www.national.com.

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

BANNED SUBSTANCE COMPLIANCE

National Semiconductor certifies that the products and packing materials meet the provisions of the Customer Products Stewardship Specification (CSP-9-111C2) and the Banned Substances and Materials of Interest Specification (CSP-9-111S2) and contain no "Banned Substances" as defined in CSP-9-111S2.

National Semiconductor
Americas Customer
Support Center
Email: new.feedback@nsc.com
Tel: 1-800-272-9959

www.national.com

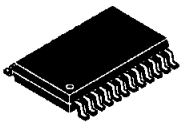
National Semiconductor
Europe Customer Support Center
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor
Asia Pacific Customer
Support Center
Email: ap.support@nsc.com

National Semiconductor
Japan Customer Support Center
Fax: 81-3-5639-7507
Email: jpn.feedback@nsc.com
Tel: 81-3-5639-7560

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEXAS INSTRUMENTS



SLOS398A – DECEMBER 2002 – REVISED APRIL 2003

20-W MONO CLASS-D AUDIO POWER AMPLIFIER

FEATURES

- 20 W Into 8-Ω Load From 18-V Supply (10% THD+N)
- Short Circuit Protection (Short to V_{CC}, Short to GND, Short Between Outputs)
- Third-Generation Modulation Technique:
  - Replaces Large LC Filter With Small, Low-Cost Ferrite Bead Filter in Most Applications
  - Improved Efficiency
  - Improved SNR
- Low Supply Current . . . 8 mA Typ at 12 V
- Shutdown Control . . . <1 μA Typ
- Space-Saving, Thermally-Enhanced PowerPAD™ Packaging

APPLICATIONS

- LCD Monitors/TVs
- Hands-Free Car Kits
- Powered Speakers

DESCRIPTION

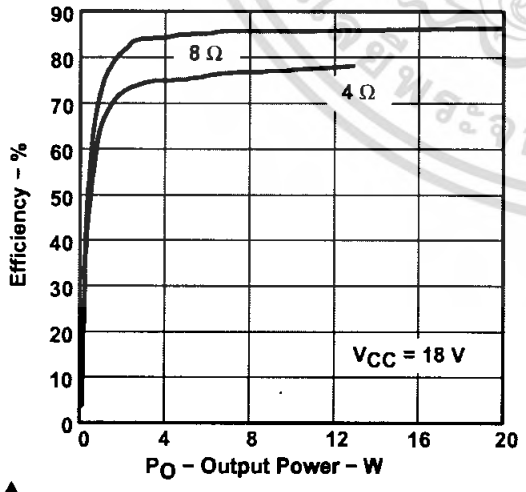
The TPA3001D1 is a 20-W mono bridge-tied load (BTL) class-D audio power amplifier with high efficiency, eliminating the need for heat sinks. The TPA3001D1 can drive 4-Ω or 8-Ω speakers with only a ferrite bead filter required to reduce EMI.

The gain of the amplifier is controlled by two input terminals, GAIN1 and GAIN0. This allows the amplifier to be configured for a gain of 12, 18, 23.6, and 36 dB. The differential input stage provides high common mode rejection and improved power supply rejection.

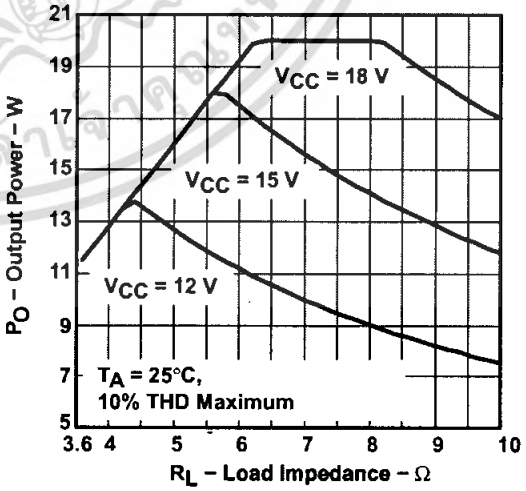
The amplifier also includes depop circuitry to reduce the amount of pop at power-up and when cycling $\overline{\text{SHUTDOWN}}$.

The TPA3001D1 is available in the 24-pin thermally enhanced TSSOP package (PWP) which eliminates the need for an external heat sink.

EFFICIENCY vs OUTPUT POWER



MAXIMUM OUTPUT POWER vs LOAD IMPEDANCE



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PowerPAD is a trademark of Texas Instruments.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2002–2003, Texas Instruments Incorporated

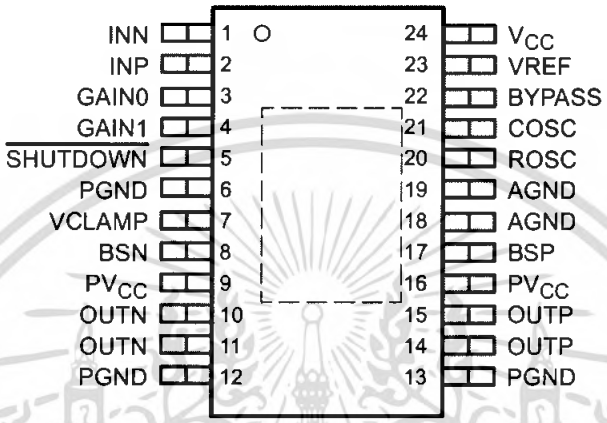
เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AVAILABLE OPTIONS

T_A	PACKAGED DEVICES
	TSSOP (PWP)†
−40°C to 85°C	TPA3001D1PWP

† The PWP package is available taped and reeled. To order a taped and reeled part, add the suffix R to the part number (e.g., TPA3001D1PWPR).

PWP PACKAGE
(TOP VIEW)

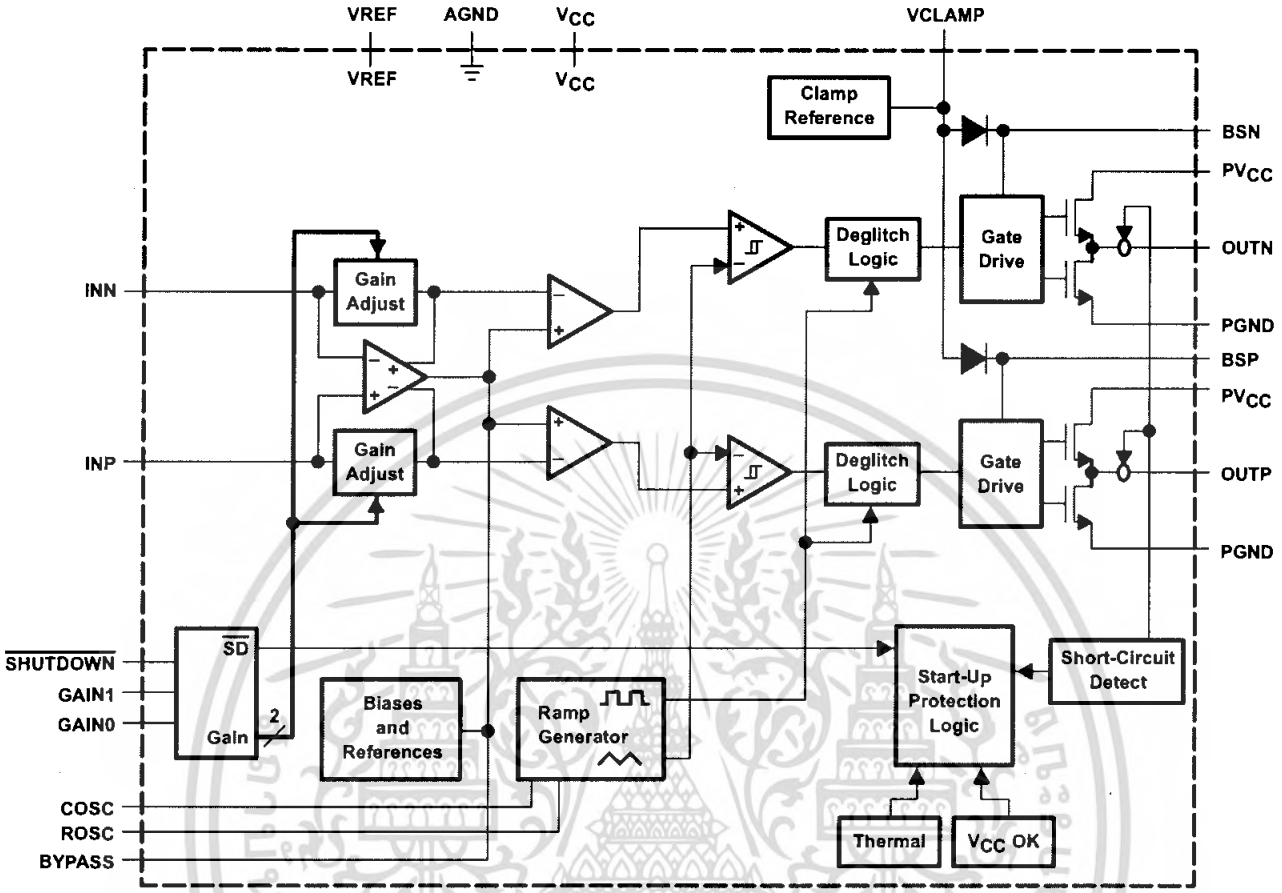


Terminal Functions

TERMINAL NAME	TERMINAL NO.	I/O	DESCRIPTION
AGND	18, 19		Analog ground terminal
BSN	8	I	Bootstrap terminal for high-side gate drive of negative BTL output (connect a 0.22-µF capacitor with a 51-Ω resistor in series from OUTN to BSN)
BSP	17	I	Bootstrap terminal for high-side gate drive of positive BTL output (connect a 0.22-µF capacitor with a 51-Ω resistor in series from OUTP to BSP)
BYPASS	22	I	Connect 1-µF capacitor to ground for BYPASS voltage filtering
COSC	21	I	Connect a 220-pF capacitor to ground to set oscillation frequency
GAIN0	3	I	Bit 0 of gain control (see Table 1 for gain settings)
GAIN1	4	I	Bit 1 of gain control (see Table 1 for gain settings)
INN	1	I	Negative differential input
INP	2	I	Positive differential input
OUTN	10, 11	O	Negative BTL output, connect Schottky diode from PGND to OUTN for short-circuit protection
OUTP	14, 15	O	Positive BTL output, connect Schottky diode from PGND to OUTP for short-circuit protection
PGND	6, 12, 13		Power ground
PV_{CC}	9, 16	I	High-voltage power supply (for output stages)
ROSC	20	I	Connect 120 kΩ resistor to ground to set oscillation frequency
$\overline{SHUTDOWN}$	5	I	Shutdown terminal (negative logic), TTL compatible, 21-V compliant
V_{CC}	24	I	Analog high-voltage power supply
VCLAMP	7	O	Connect 1-µF capacitor to ground to provide reference voltage for H-bridge gates
VREF	23	O	5-V internal regulator for control circuitry (connect a 0.1-µF to 1-µF capacitor to ground)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block diagram



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage: V_{CC}, PV_{CC} ..... −0.3 V to 21 V
Load impedance, R_L ..... ≥3.6 Ω
Input voltage: $\overline{SHUTDOWN}$ ..... −0.3 V to V_{CC} + 0.3 V
GAIN0, GAIN1 ..... −0.3 V to 5.5 V
INN, INP ..... −0.3 V to 7 V
Continuous total power dissipation ..... (see Dissipation Rating Table)
Operating free-air temperature range, T_A ..... −40°C to 85°C
Operating junction temperature range, T_J ..... −40°C to 150°C
Storage temperature range, T_{stg} ..... −65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds ..... 260°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

DISSIPATION RATING TABLE

PACKAGE	$T_A \le 25°C$	DERATING FACTOR	$T_A = 70°C$	$T_A = 85°C$
PWP	4.16 W	33.33 mW/°C‡	2.67 W	2.16 W

‡ The PowerPAD must be soldered to a thermal land on the printed circuit board. Please refer to the *PowerPAD Thermally Enhanced Package* application note (SLMA002).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

recommended operating conditions

		MIN	MAX	UNIT
Supply voltage, V_{CC}, PV_{CC}	$R_L \geq 3.6\ \Omega$†	8	18	V
Load impedance, R_L		3.6		Ω
High-level input voltage, V_{IH}	GAIN0, GAIN1, $\overline{\text{SHUTDOWN}}$	2		V
Low-level input voltage, V_{IL}	GAIN0, GAIN1, $\overline{\text{SHUTDOWN}}$		0.8	V
Operating free-air temperature, T_A		−40	85	°C

† The TPA3001D1 must not be used with any speaker or load (including speaker with output filter) that could vary below 3.6 Ω over the audio frequency band.

electrical characteristics at T_A = 25°C, PV_{CC} = V_{CC} = 12 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
$\lvert V_{OS}\rvert$	Output offset voltage (measured differentially)	V_I = 0 V,	A_V = 12 dB, 18, 23.6 dB			50	mV
		V_I = 0 V,	A_V = 36 dB			100	
PSRR	Power supply rejection ratio	PV_{CC} = 11.5 V to 12.5 V			−73		dB
$\lvert I_{IH}\rvert$	High-level input current	PV_{CC} = 12 V,	$V_I = PV_{CC}$			1	µA
$\lvert I_{IL}\rvert$	Low-level input current	PV_{CC} = 12 V,	V_I = 0 V			1	µA
I_{CC}	Supply current	$\overline{\text{SHUTDOWN}}$ = 2.0 V, No load			8	15	mA
		$\overline{\text{SHUTDOWN}}$ = V_{CC}, V_{CC} = 18 V, P_O = 20 W, R_L = 8 Ω			1.3		A
$I_{CC(SD)}$	Supply current, shutdown mode	$\overline{\text{SHUTDOWN}}$ = 0.8 V			1	2	µA
f_s	Switching frequency	R_{OSC} = 120 kΩ,	C_{OSC} = 220 pF		250		kHz
$r_{ds(on)}$	Output transistor on resistance (total)	I_O = 1 A, T_J = 25°C		0.2	0.3	0.7	Ω
G	Gain	GAIN1 = 0.8 V, GAIN0 = 0.8 V		10.9	12	12.8	dB
		GAIN1 = 0.8 V, GAIN0 = 2 V		17.1	18	18.5	dB
		GAIN1 = 2 V, GAIN0 = 0.8 V		23	23.6	24.3	dB
		GAIN1 = 2 V, GAIN0 = 2 V		33.9	36	36.5	dB

operating characteristics, PV_{CC} = V_{CC} = 12 V, T_A = 25°C (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
P_O	Continuous output power at 10% THD+N	f = 1 kHz,	R_L = 4 Ω		12.8		W
		f = 1 kHz,	R_L = 8 Ω		9		
	Continuous output power at 1% THD+N	f = 1 kHz,	R_L = 4 Ω		10.3		
		f = 1 kHz,	R_L = 8 Ω		7.2		
THD + N	Total harmonic distortion plus noise	P_O = 10 W, R_L = 4 Ω,	f = 20 Hz to 20 kHz		0.2%		
B_{OM}	Maximum output power bandwidth	THD = 1%			20		kHz
k_{SVR}	Supply ripple rejection ratio	f = 1 kHz,	$C_{(BYPASS)}$ = 1 µF		−70		dB
SNR	Signal-to-noise ratio	P_O = 10 W, R_L = 4 Ω			95		dB
V_n	Noise output voltage	$C_{(BYPASS)}$ = 1 µF, No weighting filter used,	f = 20 Hz to 22 kHz, Gain = 12 dB		86		µV(rms)
					−81		dBV
		$C_{(BYPASS)}$ = 1 µF, A-weighted filter,	f = 20 Hz to 22 kHz, Gain = 12 dB		66		µV(rms)
					−84		dBV
Z_i	Input impedance	See Table 1, page 21			>23		kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operating characteristics, $PV_{CC} = V_{CC} = 18$ V, $T_A = 25°C$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
P_O	Output power at 10% THD+N	f = 1 kHz,	$R_L = 4\ \Omega$		12.8		W
		f = 1 kHz,	$R_L = 8\ \Omega$		20		
	Output power at 1% THD+N	f = 1 kHz,	$R_L = 4\ \Omega$		10.3		
		f = 1 kHz,	$R_L = 8\ \Omega$		16		
THD + N	Total harmonic distortion plus noise	P_O = 15 W, $R_L = 8\ \Omega$	f = 20 Hz to 20 kHz		1%		
		P_O = 2 W, $R_L = 8\ \Omega$	f = 20 Hz to 20 kHz		0.3%		
B_{OM}	Maximum output power bandwidth	THD = 1%			20		kHz
k_{SVR}	Supply ripple rejection ratio	f = 1 kHz,	C_{BYPASS} = 1 µF		−70		dB
SNR	Signal-to-noise ratio	P_O = 15 W, $R_L = 8\ \Omega$			102		dB
V_n	Noise output voltage	$C_{(BYPASS)}$ = 1 µF, No weighting filter used,	f = 20 Hz to 20 kHz, Gain = 12 dB		86		µV(rms)
					−81		dBV
		$C_{(BYPASS)}$ = 1 µF, A-weighted filter,	f = 20 Hz to 22 kHz, Gain = 12 dB		66		µV(rms)
					−84		dBV
Z_i	Input impedance	See Table 1, page 21			>23		kΩ

TYPICAL CHARACTERISTICS

Table of Graphs

			FIGURE
	Efficiency	vs Output power	1
P_O	Output power	vs Load Impedance	2, 3, 4
I_{CC}	Supply current	vs Supply voltage	5
$I_{CC(SD)}$	Shutdown current		6
THD+N	Total harmonic distortion + noise	vs Output power	7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18
		vs Frequency	19, 20, 21, 22, 23, 24, 25
k_{SVR}	Supply voltage rejection ratio	vs Frequency	26
	Gain and phase		27
CMRR	Common-mode rejection ratio		28
V_{IO}	Input offset voltage	vs Common-mode input voltage	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

EFFICIENCY
vs
OUTPUT POWER

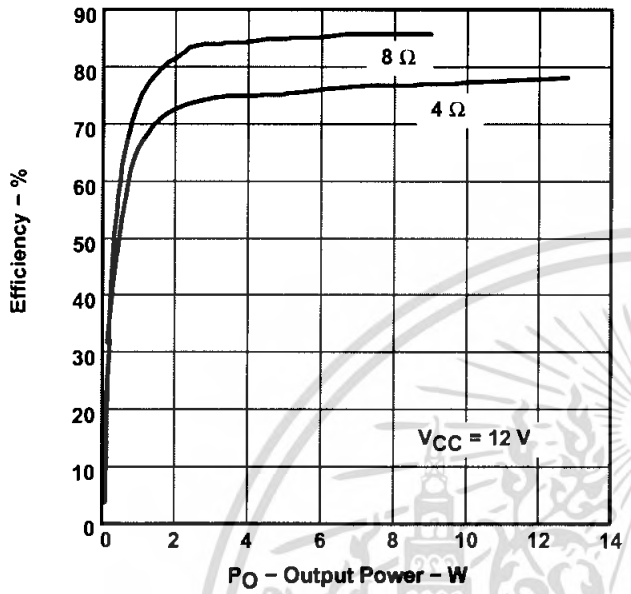


Figure 1

MAXIMUM OUTPUT POWER
vs
LOAD IMPEDANCE

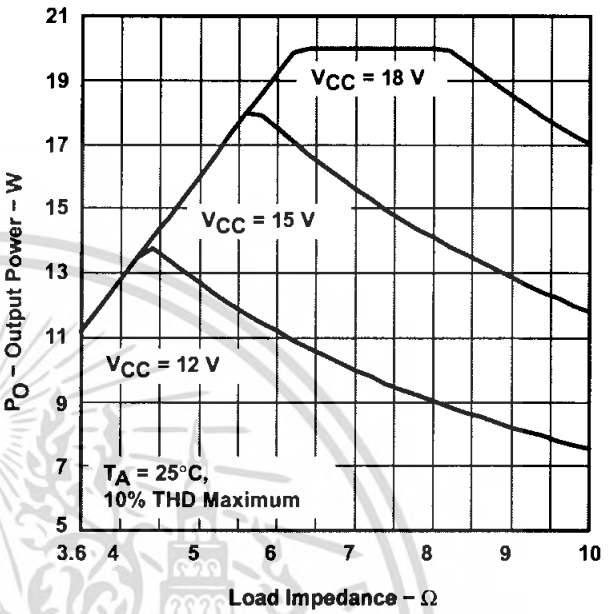


Figure 2

MAXIMUM OUTPUT POWER
vs
LOAD IMPEDANCE

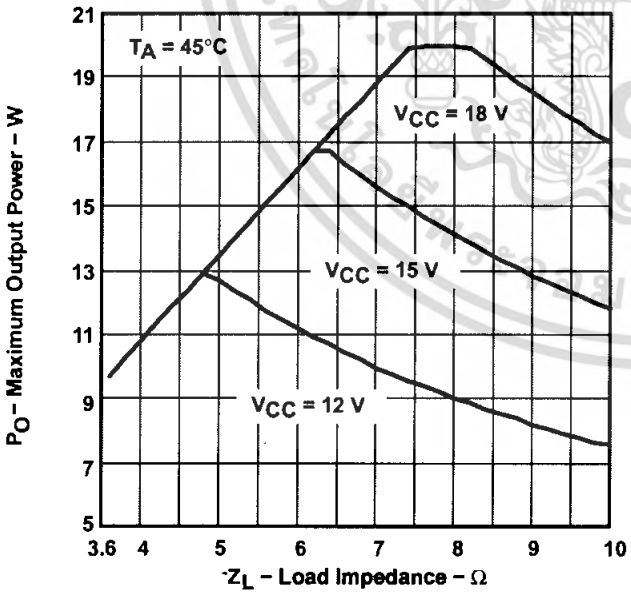


Figure 3

MAXIMUM OUTPUT POWER
vs
LOAD IMPEDANCE

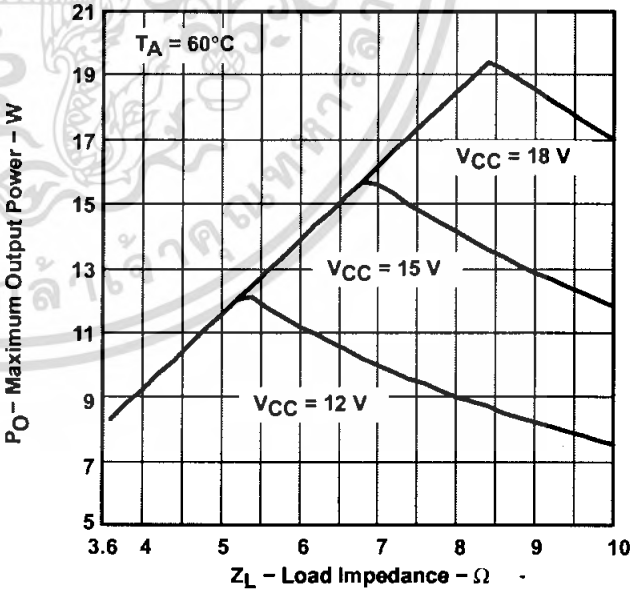


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

SUPPLY CURRENT
vs
SUPPLY VOLTAGE

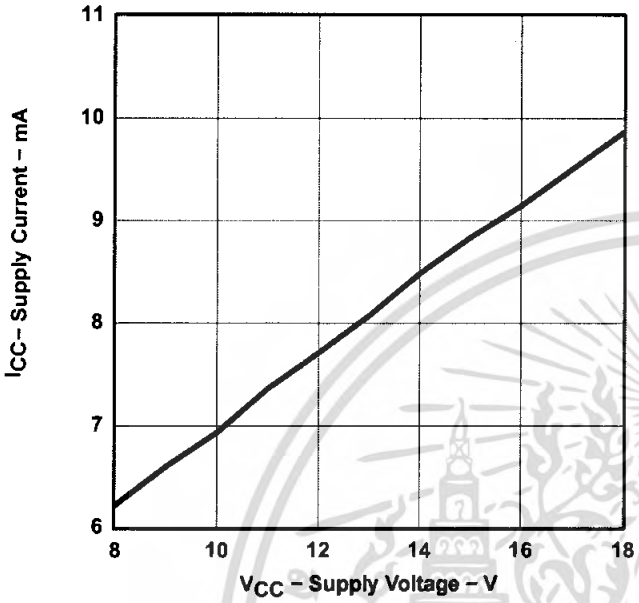


Figure 5

SHUTDOWN CURRENT
vs
SUPPLY VOLTAGE

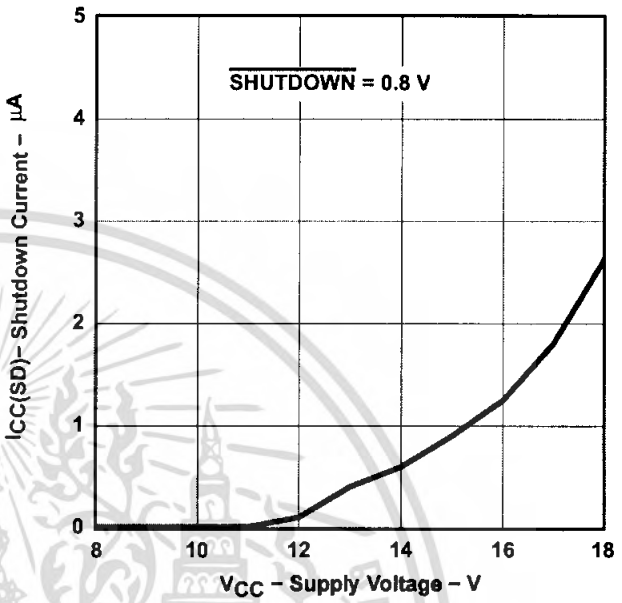


Figure 6

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

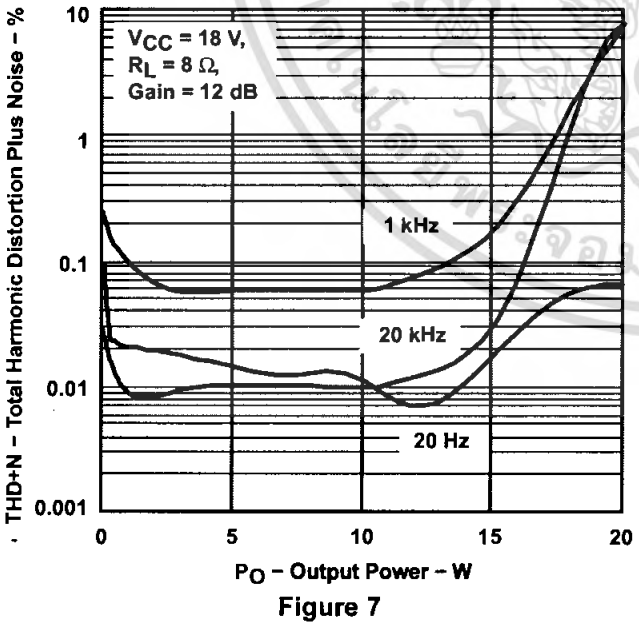


Figure 7

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

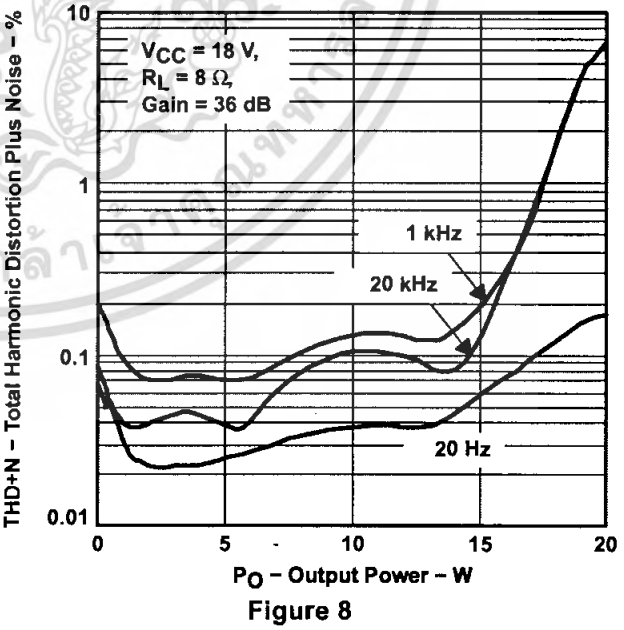


Figure 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

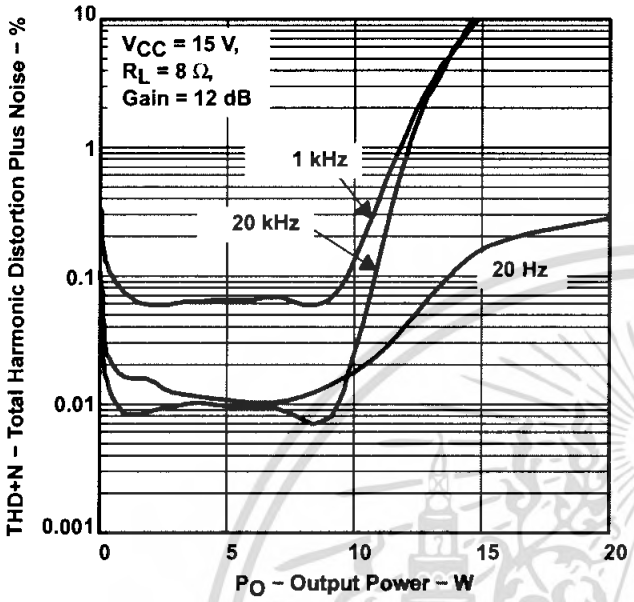


Figure 9

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

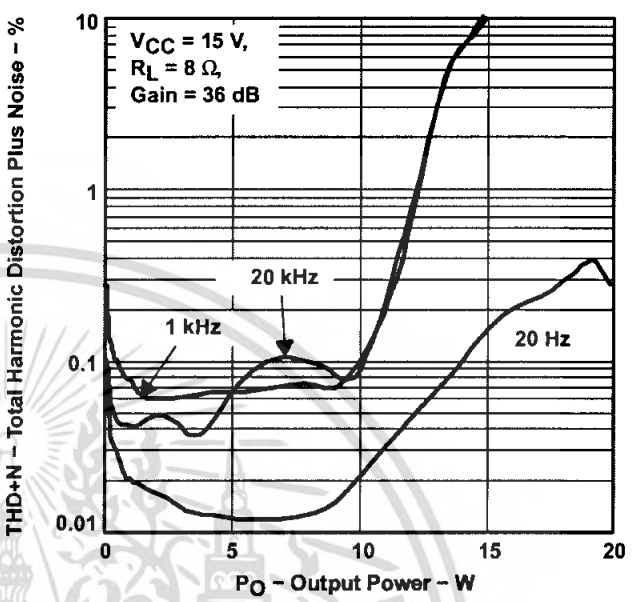


Figure 10

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

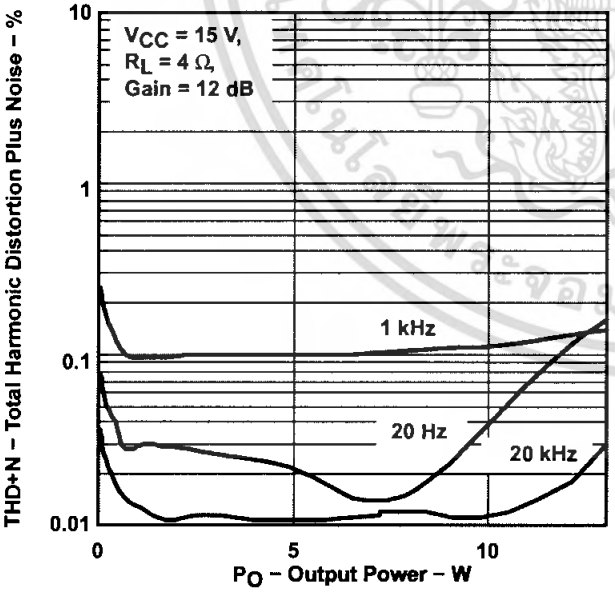


Figure 11

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

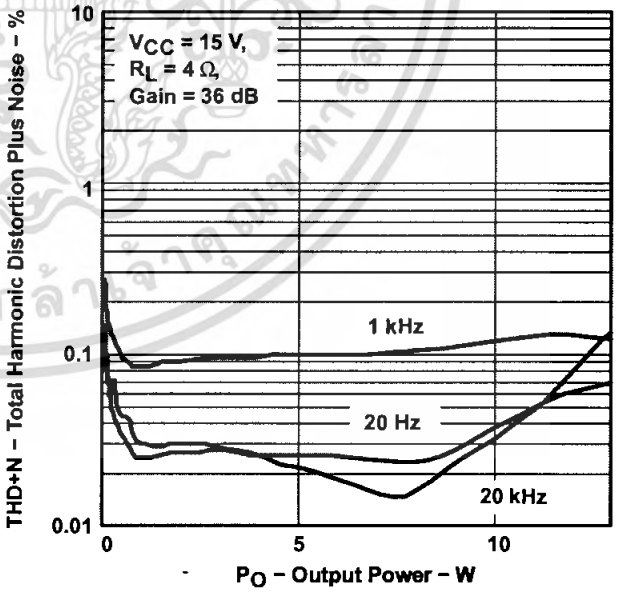


Figure 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

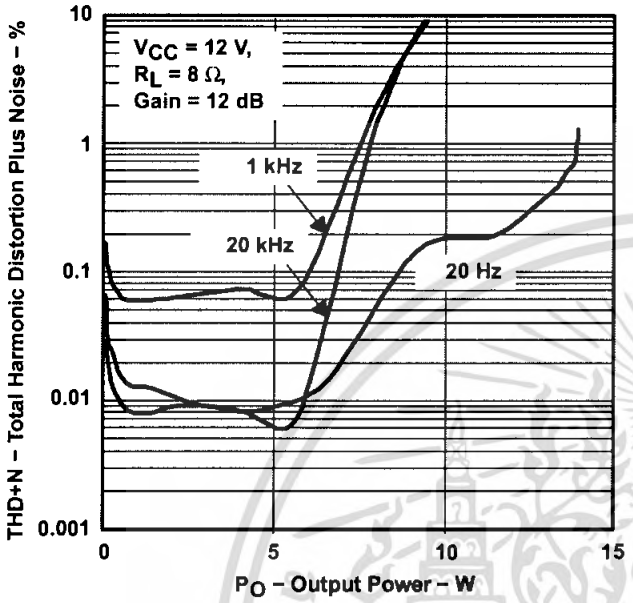


Figure 13

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

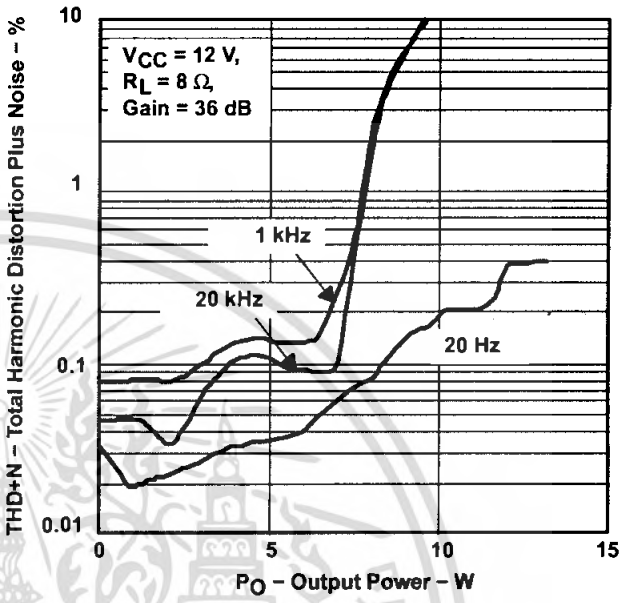


Figure 14

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

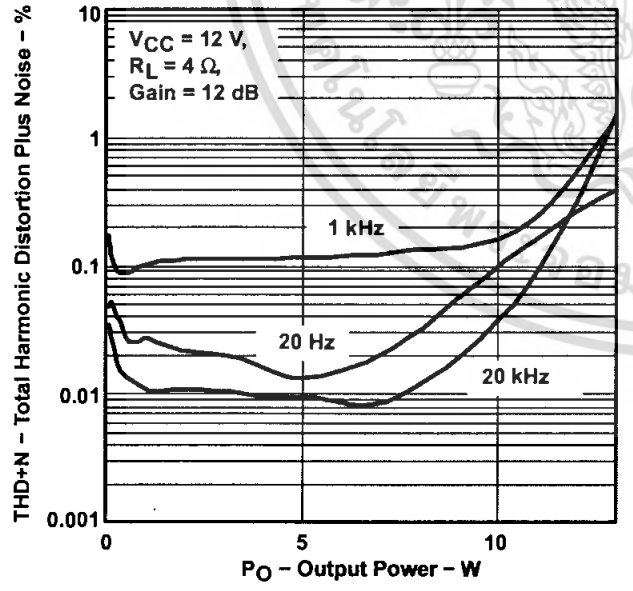


Figure 15

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

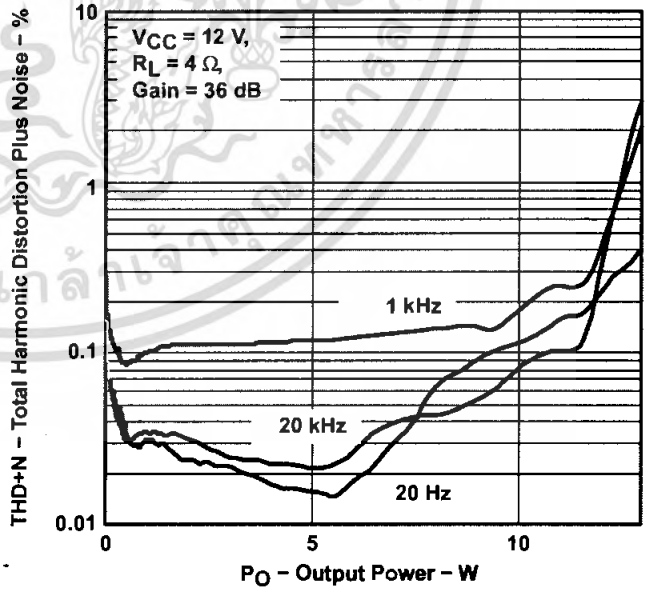


Figure 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

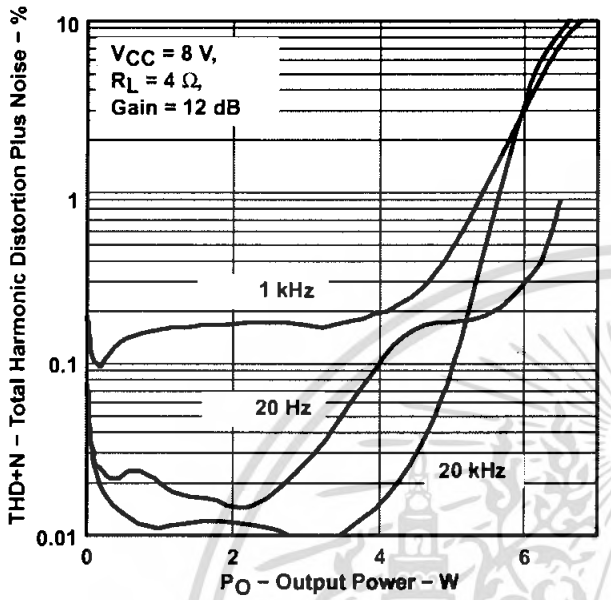


Figure 17

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
OUTPUT POWER

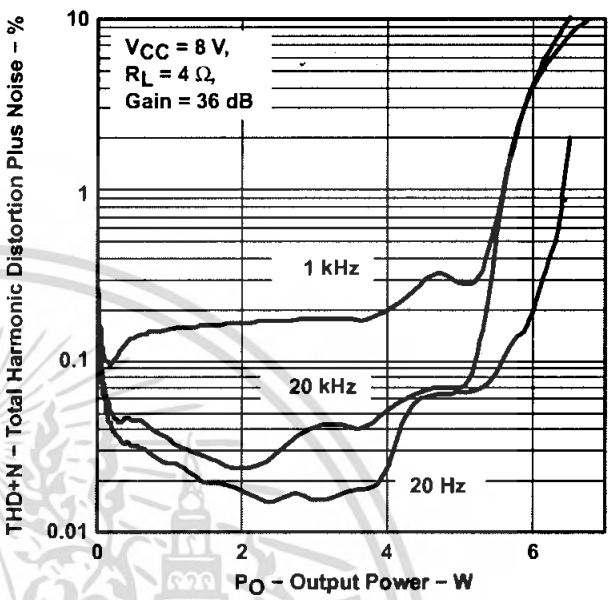


Figure 18

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
FREQUENCY

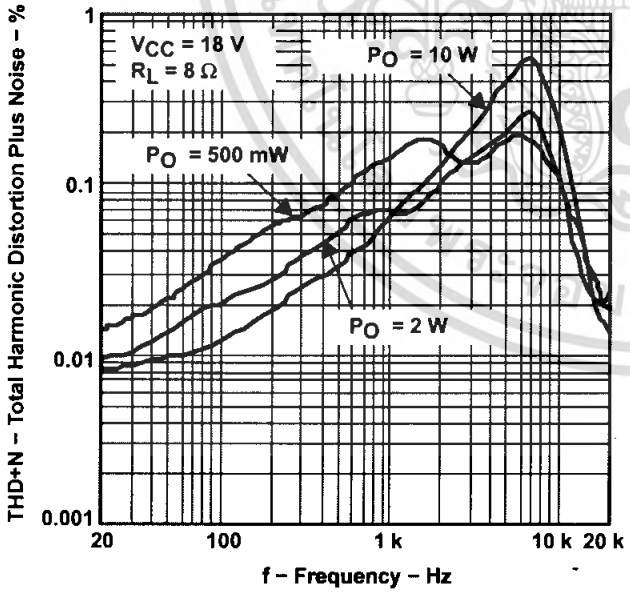


Figure 19

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
FREQUENCY

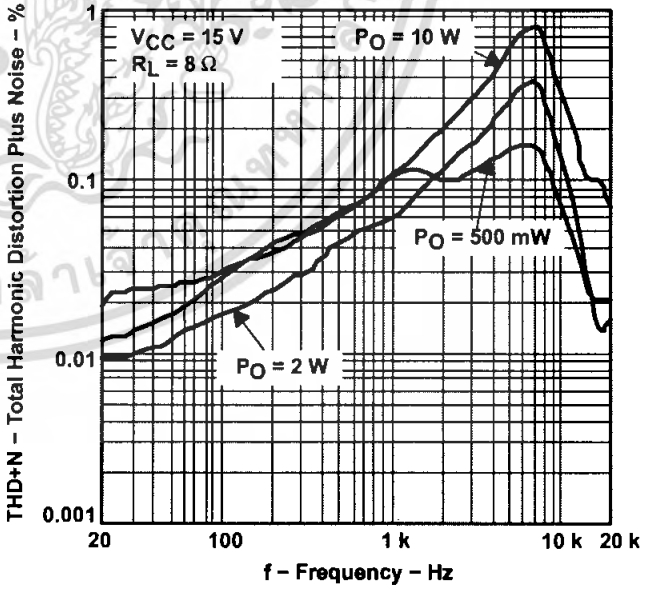


Figure 20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
FREQUENCY

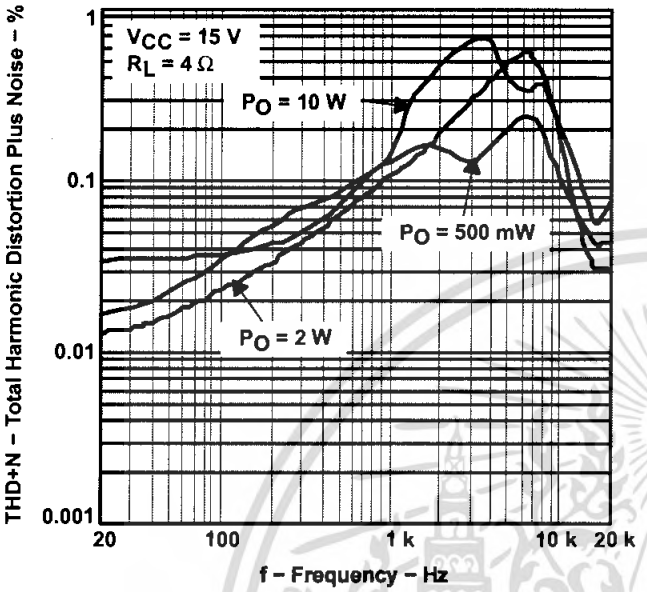


Figure 21

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
FREQUENCY

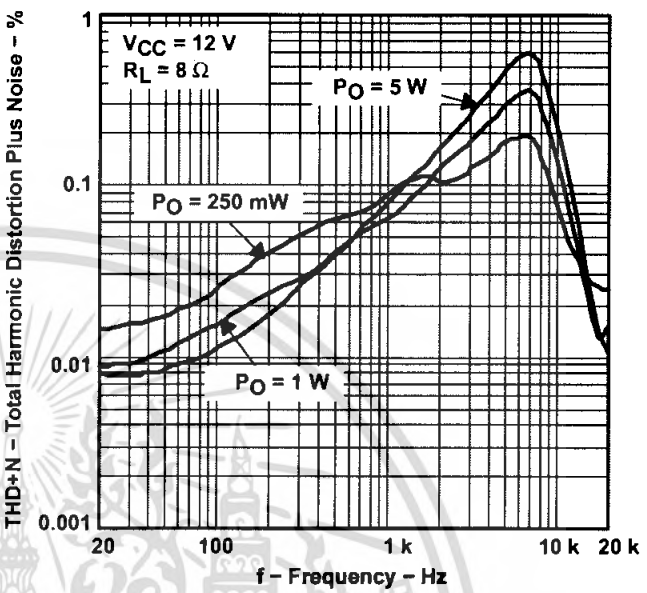


Figure 22

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
FREQUENCY

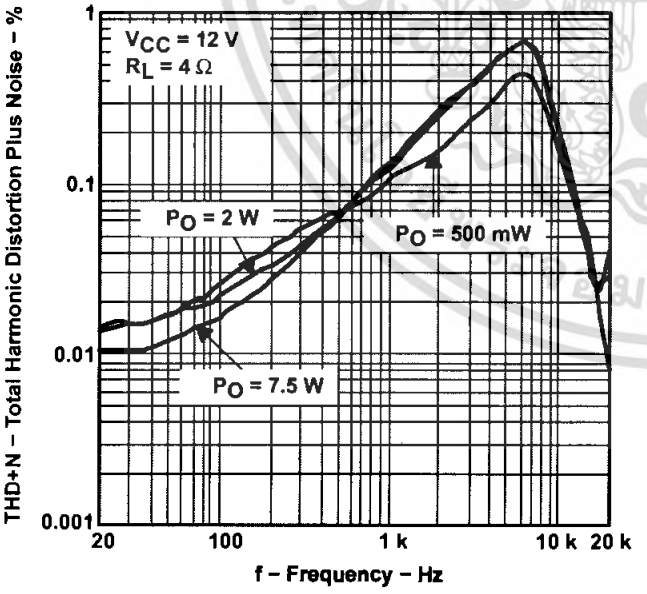


Figure 23

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
FREQUENCY

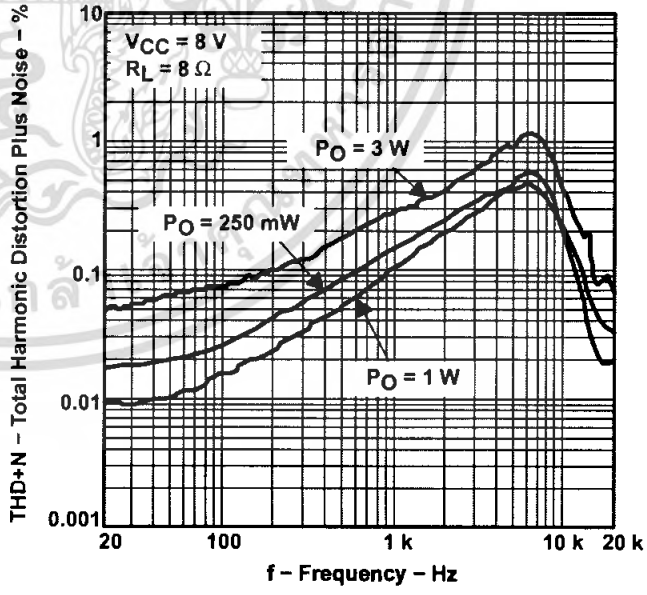


Figure 24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

TOTAL HARMONIC DISTORTION PLUS NOISE
vs
FREQUENCY

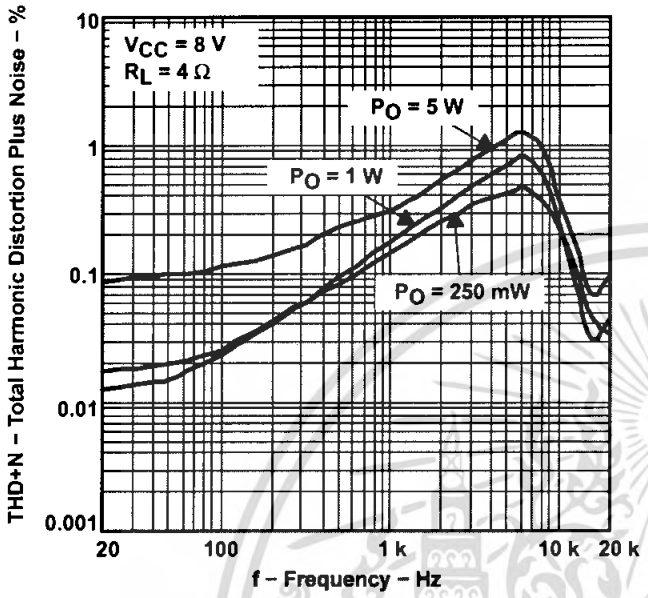


Figure 25

SUPPLY VOLTAGE REJECTION RATIO
vs
FREQUENCY

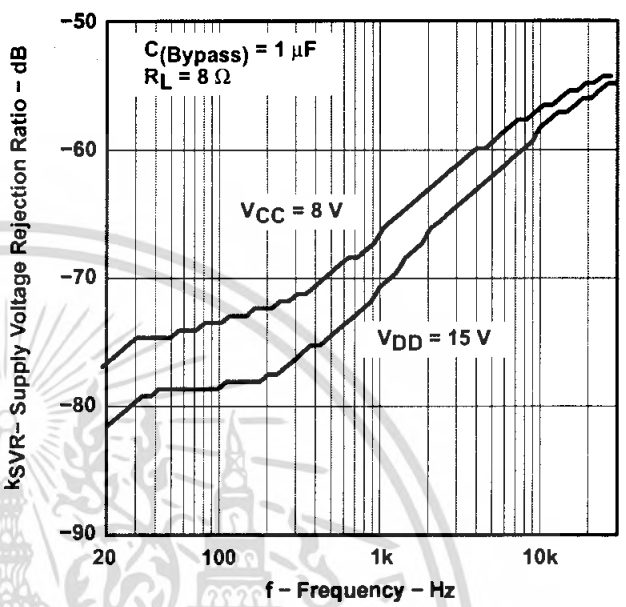


Figure 26

GAIN and PHASE
vs
FREQUENCY

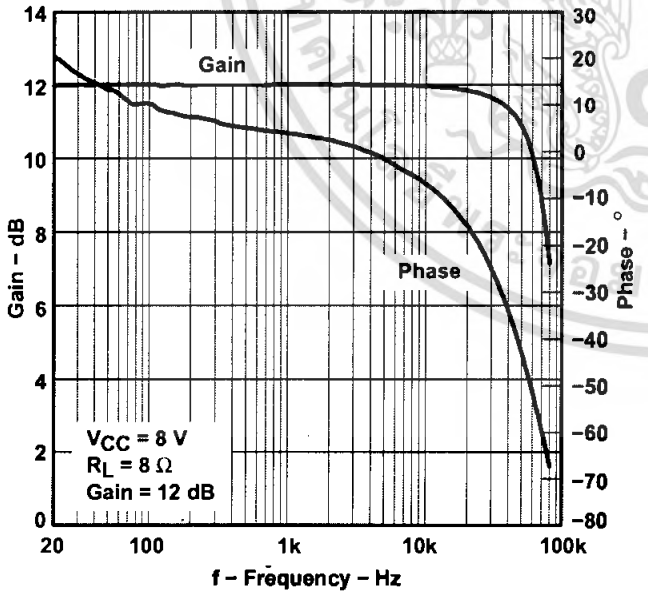


Figure 27

COMMON-MODE REJECTION RATIO
vs
FREQUENCY

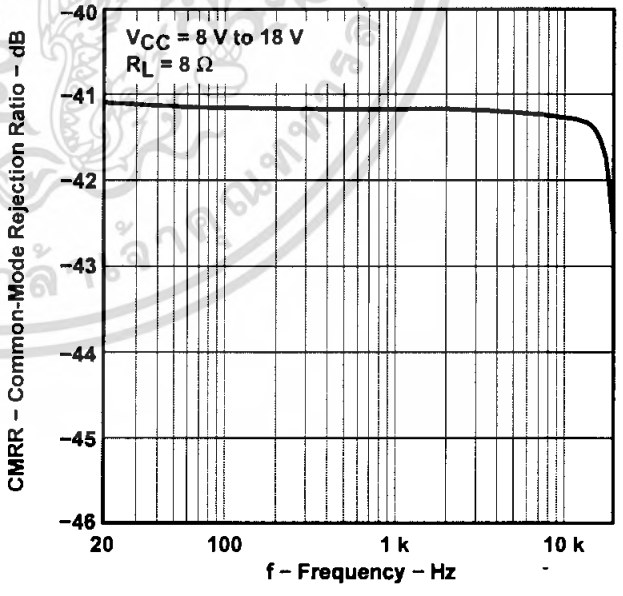


Figure 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS

INPUT OFFSET VOLTAGE
vs
COMMON-MODE INPUT VOLTAGE

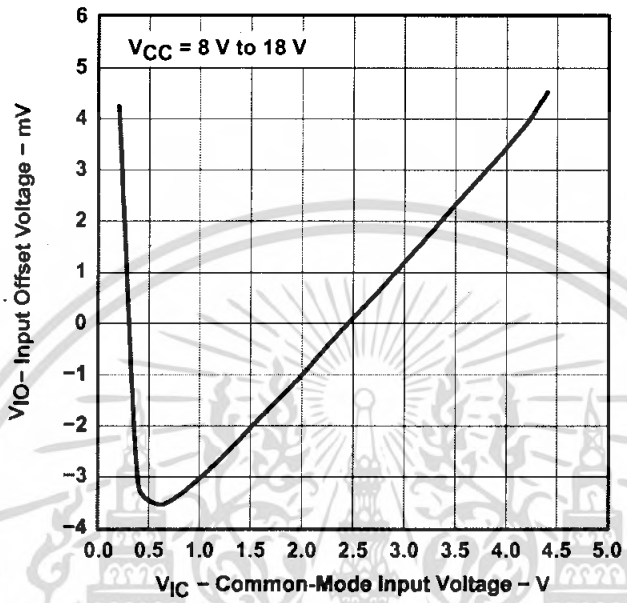


Figure 29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

application circuit

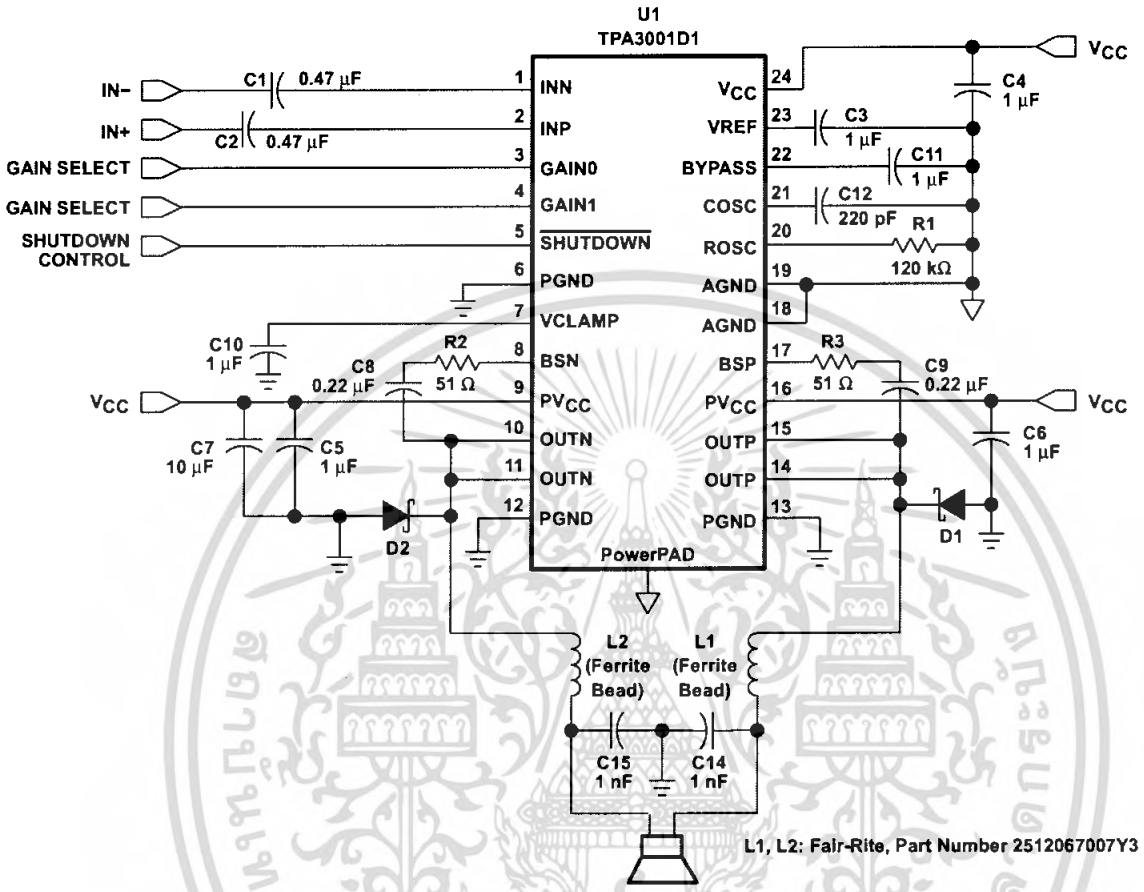


Figure 30. Typical Application Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

class-D operation

This section focuses on the class-D operation of the TPA3001D1.

traditional class-D modulation scheme

The traditional class-D modulation scheme, which is used in the TPA032D0x family, has a differential output where each output is 180 degrees out of phase and changes from ground to the supply voltage, V_{CC}. Therefore, the differential prefiltered output varies between positive and negative V_{CC}, where filtered 50% duty cycle yields 0 V across the load. The traditional class-D modulation scheme with voltage and current waveforms is shown in Figure 31. Note that even at an average of 0 V across the load (50% duty cycle), the current to the load is high, causing high loss, thus causing a high supply current.

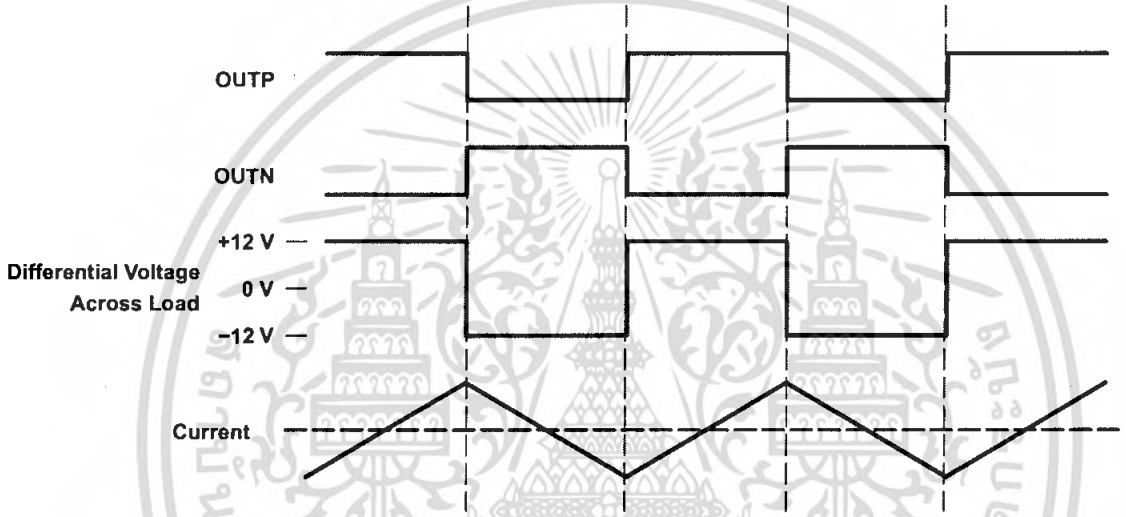


Figure 31. Traditional Class-D Modulation Scheme's Output Voltage and Current Waveforms Into an Inductive Load With No Input

TPA3001D1 modulation scheme

The TPA3001D1 uses a modulation scheme that still has each output switching from ground to V_{CC}. However, OUTP and OUTN are now in phase with each other with no input. The duty cycle of OUTP is greater than 50% and OUTN is less than 50% for positive output voltages. The duty cycle of OUTP is less than 50% and OUTN is greater than 50% for negative output voltages. The voltage across the load is 0 V throughout most of the switching period, greatly reducing the switching current, which reduces any I^2R losses in the load. (See Figure 32 on the following page.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

TPA3001D1 modulation scheme (continued)

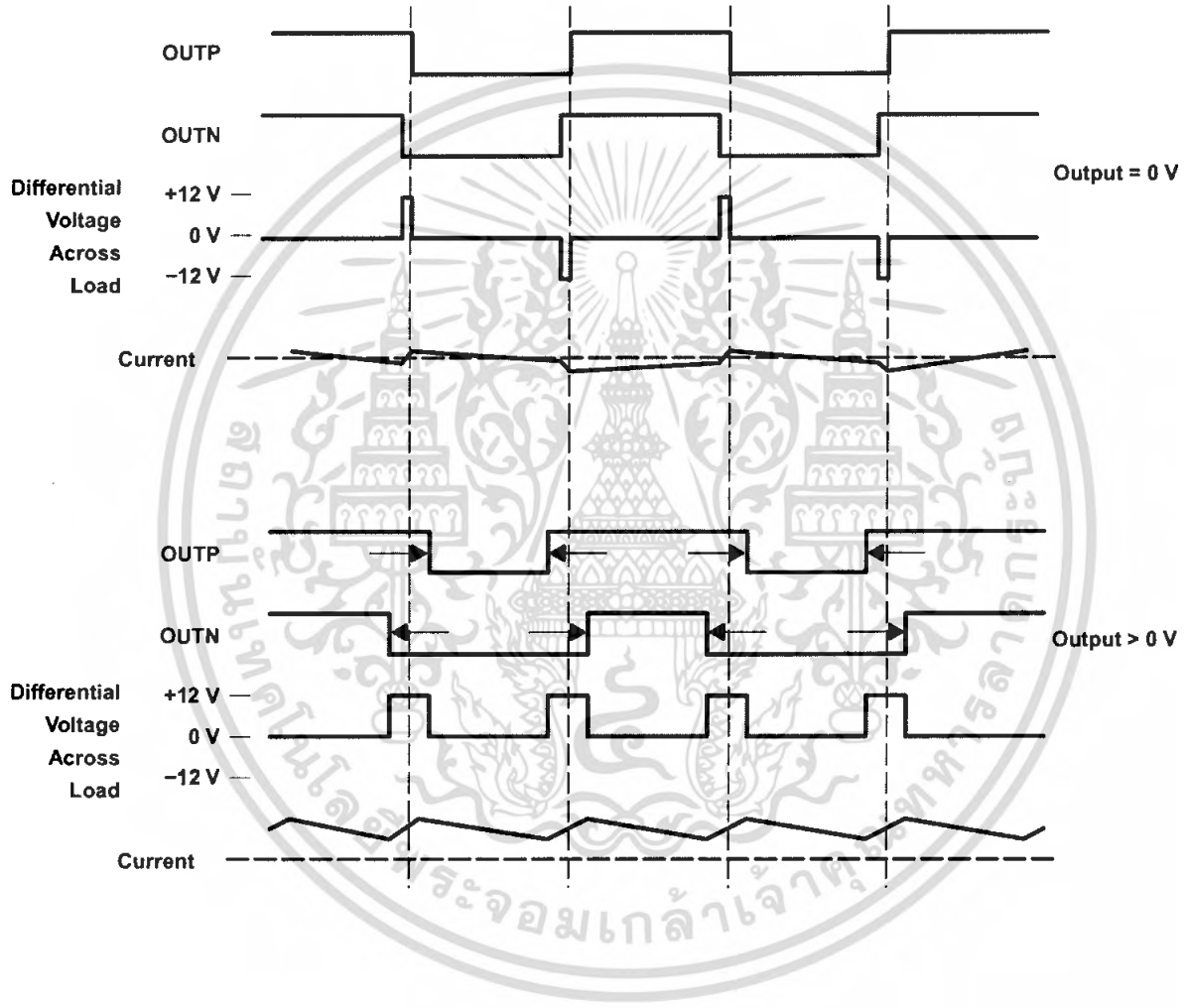


Figure 32. The TPA3001D1 Output Voltage and Current Waveforms Into an Inductive Load

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

maximum allowable output power (safe operating area)

The TPA3001D1 can drive load impedances as low as 3.6 Ω from power supply voltages ranging from 8 V to 18 V. To prevent device failure, however, the output power of the TPA3001D1 must be limited. Figure 33 shows the maximum allowable output power versus load impedance for three power supply voltages at an ambient temperature of 25°C. (For ambient temperatures of 45°C and 60°C, see Figures 3 and 4 on page 6.)

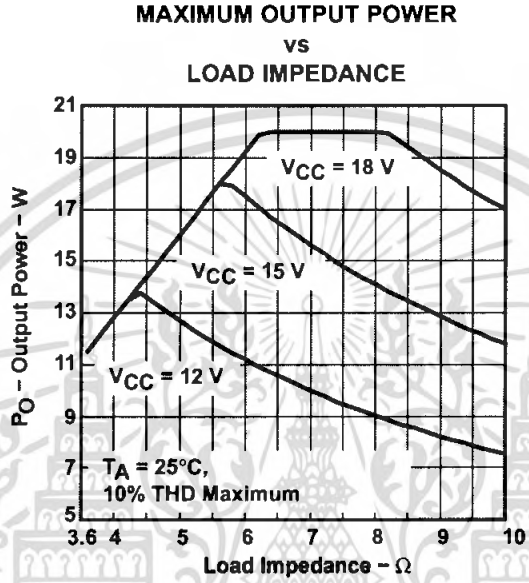


Figure 33. Output Power

driving a low-impedance load from a high power supply voltage

When driving low-impedance loads (e.g., a 4-Ω speaker), the output power can be limited by reducing the maximum audio input signal level or by reducing the gain of the TPA3001D1. The maximum input voltage may be calculated with equation 1.

$$V_{in(pp),max} = \frac{\sqrt{8P_{O(avg),max} \times R_L}}{A_V} \quad (1)$$

where

$P_{O(avg),\,max}$ = maximum continuous output power (W)
R_L = load impedance (Ω)

A_V = voltage gain (V/V) = $10^{\left(\frac{G(dB)}{20}\right)}$

For example, consider an application in which the TPA3001D1 drives a 4-Ω speaker from an 18-V power supply. The gain is selected to be 18 dB. The maximum allowable output power for a 4-Ω load impedance is 12.8 W. From equation 1, the input voltage must not exceed 2.54 V_{pp}.

In this same example, however, if the maximum output voltage of audio signal source is 5 V_{pp}, then the gain of the TPA3001D1 should be reduced to 12 dB to eliminate the need for limiting the input signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

The input voltage may be limited using a variety of methods, depending on what is known about the audio signal source. If the maximum output voltage of the source is known, a resistive voltage divider in conjunction with proper TPA3001D1 gain selection may be used to prevent distortion. If the maximum audio source voltage is unknown, diodes may be used to clamp the input voltage, at the cost of distortion when the input signal level exceeds the required clamping voltage.

driving the output into clipping

The output of the TPA3001D1 may be driven into clipping to attain a higher output power than is possible with no distortion. Clipping is typically quantified by a THD measurement of 10%. The amount of additional power into the load may be calculated with equation 2.

$$P_{O(10\%\ THD)} = P_{O(1\%\ THD)} \times 1.25 \quad (2)$$

For example, consider an application in which the TPA3001D1 drives an 8-Ω speaker from an 18-V power supply. The maximum output power with no distortion (less than 1% THD) is 16 W, which corresponds to a maximum peak output voltage of 16 V. For the same output voltage level driven into clipping (10% THD), the output power is increased to 20 W.

output filter considerations

A ferrite bead filter (shown in Figure 34) should be used in order to pass FCC and/or CE radiated emissions specifications and if a frequency sensitive circuit operating higher than 1 MHz is nearby. The ferrite filter reduces EMI around 1 MHz and higher (FCC and CE only test radiated emissions greater than 30 MHz). When selecting a ferrite bead, choose one with high impedance at high frequencies, but very low impedance at low frequencies.

Use an additional LC output filter if there are low frequency (<1 MHz) EMI sensitive circuits and/or there are long wires (greater than 11 inches) from the amplifier to the speaker, as shown in Figure 35 and Figure 36.

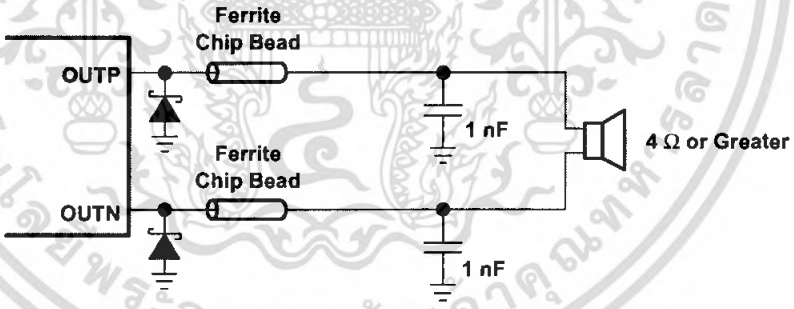


Figure 34. Typical Ferrite Chip Bead Filter (Chip bead example: Fair-Rite 2512067007Y3)

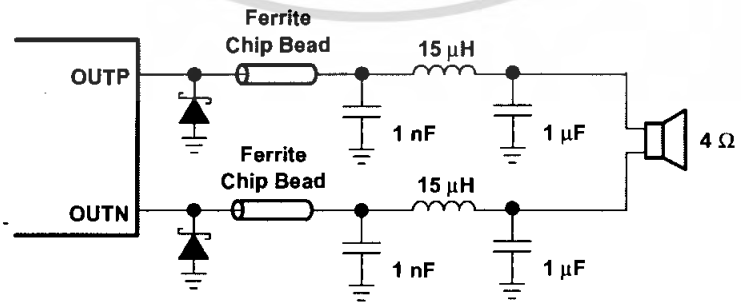


Figure 35. Typical LC Output Filter for 4-Ω Speaker, Cutoff Frequency of 41 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

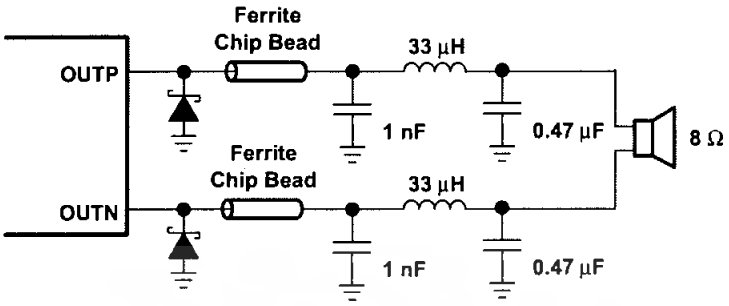


Figure 36. Typical LC Output Filter for 8-Ω Speaker, Cutoff Frequency of 41 kHz

short-circuit protection

The TPA3001D1 has short circuit protection circuitry on the outputs that prevents damage to the device during output-to-output shorts, output-to-GND shorts, and output-to-V_{CC} shorts. When a short-circuit is detected on the outputs, the part immediately disables the output drive and enters into shutdown mode. This is a latched fault and must be reset by cycling the voltage on the $\overline{\text{SHUTDOWN}}$ pin to a logic low and back to the logic high state for normal operation. This will clear the short-circuit flag and allow for normal operation if the short was removed. If the short was not removed, the protection circuitry will again activate.

Two Schottky diodes are required to provide short-circuit protection. The diodes should be placed as close to the TPA3001D1 as possible, with the anodes connected to PGND and the cathodes connected to OUTP and OUTN as shown in the application circuit schematic. The diodes should have a forward voltage rating of 0.5V at a minimum of 1A output current and a DC blocking voltage rating of at least 30 V. The diodes must also be rated to operate at a junction temperature of 150°C.

If short-circuit protection is not required, the Schottky diodes may be omitted.

thermal protection

Thermal protection on the TPA3001D1 prevents damage to the device when the internal die temperature exceeds 150°C. There is a ±15°C tolerance on this trip point from device to device. Once the die temperature exceeds the thermal set point, the device enters into the shutdown state and the outputs are disabled. This is not a latched fault. The thermal fault is cleared once the temperature of the die is reduced by 15°C. The device begins normal operation at this point with no external system interaction.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

thermal considerations: output power and maximum ambient temperature

To calculate the maximum ambient temperature, the following equation may be used:

$$T_{Amax} = T_{Jmax} - \Theta_{JA} P_{Dissipated} \quad (3)$$

where: $T_{Jmax} = 150°C$

Θ_{JA} = 1 / derating factor = 1 / 0.03333 = 30°C/W

(The derating factor for the 24-pin PWP package is given in the dissipation rating table on page 3.)

To estimate the power dissipation, the following equation may be used:

$$P_{Dissipated} = P_{O(average)} \times ((1 / Efficiency) - 1) \quad (4)$$

Efficiency = ~85% for an 8-Ω load

= ~75% for a 4-Ω load

Example. What is the maximum ambient temperature for an application that requires the TPA3001D1 to drive 10 W into an 8-Ω speaker?

$P_{Dissipated}$ = 10 W x ((1 / 0.85) – 1) = 1.76 W

T_{Amax} = 150°C – (30°C/W x 1.76 W) = 97.2°C

This calculation shows that the TPA3001D1 can drive 10 W into an 8-Ω speaker up to the absolute maximum ambient temperature rating of 85°C, which must never be exceeded. Also, refer to Figures 2, 3, and 4 to determine the minimum load impedance for the desired output power.

gain setting via GAIN0 and GAIN1 inputs

The gain of the TPA3001D1 is set by two input terminals, GAIN0 and GAIN1.

The gains listed in Table 1 are realized by changing the taps on the input resistors inside the amplifier. This causes the input impedance (Z_i) to be dependent on the gain setting. The actual gain settings are controlled by ratios of resistors, so the gain variation from part-to-part is small. However, the input impedance may shift by 30% due to shifts in the actual resistance of the input resistors.

For design purposes, the input network (discussed in the next section) should be designed assuming an input impedance of 23 kΩ, which is the absolute minimum input impedance of the TPA3001D1. At the lower gain settings, the input impedance could increase as high as 313 kΩ.

Table 1. Gain Settings

GAIN1	GAIN0	AMPLIFIER GAIN (dB)	INPUT IMPEDANCE (kΩ)
		TYP	TYP
0	0	12	241
0	1	18	168
1	0	23.6	104
1	1	36	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised January 1999

CD4069UBC
Inverter Circuits

General Description

The CD4069UB consists of six inverter circuits and is manufactured using complementary MOS (CMOS) to achieve wide power supply operating range, low power consumption, high noise immunity, and symmetric controlled rise and fall times.

This device is intended for all general purpose inverter applications where the special characteristics of the MM74C901, MM74C907, and CD4049A Hex Inverter/Buffers are not required. In those applications requiring larger noise immunity the MM74C14 or MM74C914 Hex Schmitt Trigger is suggested.

All inputs are protected from damage due to static discharge by diode clamps to V_{DD} and V_{SS}.

Features

- Wide supply voltage range: 3.0V to 15V
- High noise immunity: 0.45 V_{DD} typ.
- Low power TTL compatibility: Fan out of 2 driving 74L or 1 driving 74LS
- Equivalent to MM74C04

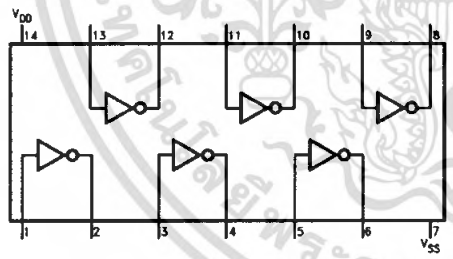
Ordering Code:

Order Number	Package Number	Package Description
CD4069UBCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow Body
CD4069UBCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4069UBCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

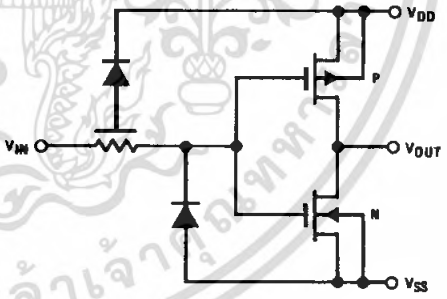
Device also available in Tape and Reel. Specify by appending suffix "X" to the ordering code.

Connection Diagram

Pin Assignments for SOIC and DIP



Schematic Diagram



© 1999 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

(Note 2)

DC Supply Voltage (V_{DD})	−0.5V to +18 V_{DC}
Input Voltage (V_{IN})	−0.5V to V_{DD} +0.5 V_{DC}
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3V to 15V_{DC}
Input Voltage (V_{IN})	0V to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−40°C to +85°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and Electrical Characteristics table provide conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V, V_{IN} = V_{DD} or V_{SS}		1.0			1.0		7.5	µA
		V_{DD} = 10V, V_{IN} = V_{DD} or V_{SS}		2.0			2.0		15	µA
		V_{DD} = 15V, V_{IN} = V_{DD} or V_{SS}		4.0			4.0		30	µA
V_{OL}	LOW Level Output Voltage	$\|I_O\|$ < 1 µA								
		V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	HIGH Level Output Voltage	$\|I_O\|$ < 1 µA								
		V_{DD} = 5V	4.95		4.95			4.95		V
		V_{DD} = 10V	9.95		9.95			9.95		V
		V_{DD} = 15V	14.95		14.95			14.95		V
V_{IL}	LOW Level Input Voltage	$\|I_O\|$ < 1 µA								
		V_{DD} = 5V, V_O = 4.5V		1.0			1.0		1.0	V
		V_{DD} = 10V, V_O = 9V		2.0			2.0		2.0	V
		V_{DD} = 15V, V_O = 13.5V		3.0			3.0		3.0	V
V_{IH}	HIGH Level Input Voltage	$\|I_O\|$ < 1 µA								
		V_{DD} = 5V, V_O = 0.5V	4.0		4.0			4.0		V
		V_{DD} = 10V, V_O = 1V	8.0		8.0			8.0		V
		V_{DD} = 15V, V_O = 1.5V	12.0		12.0			12.0		V
I_{OL}	LOW Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.52		0.44	0.88		0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	HIGH Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.52		−0.44	−0.88		−0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.30		-10^{-5}	−0.30		−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.30		10^{-5}	0.30		1.0	µA

Note 3: V_{SS} = 0V unless otherwise specified.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 5)

T_A = 25°C, C_L = 50 pF, R_L = 200 kΩ, t_r and $t_f \le$ 20 ns, unless otherwise specified

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHL} or t_{PLH}	Propagation Delay Time from	V_{DD} = 5V		50	90	ns
	Input to Output	V_{DD} = 10V		30	60	ns
		V_{DD} = 15V		25	50	ns
t_{THL} or t_{TLH}	Transition Time	V_{DD} = 5V		80	150	ns
		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		40	80	ns
C_{IN}	Average Input Capacitance	Any Gate		6	15	pF
C_{PD}	Power Dissipation Capacitance	Any Gate (Note 6)		12		pF

Note 5: AC Parameters are guaranteed by DC correlated testing.

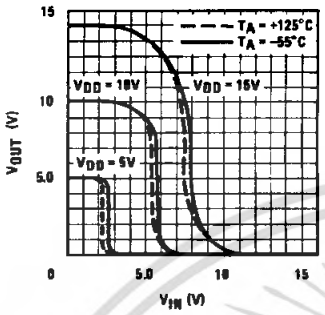
Note 6: C_{PD} determines the no load AC power consumption of any CMOS device. For complete explanation, see Family Characteristics application note—AN-90.

AC Test Circuits and Switching Time Waveforms

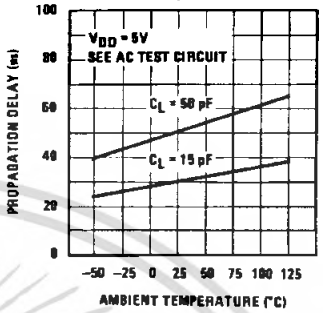
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

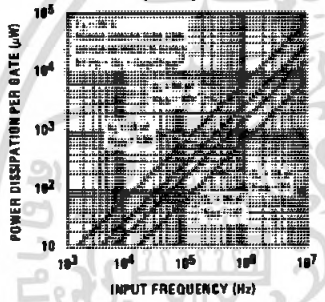
Gate Transfer Characteristics



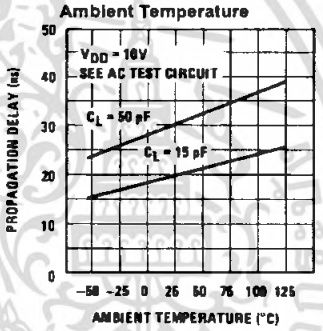
Ambient Temperature



Power Dissipation vs Frequency

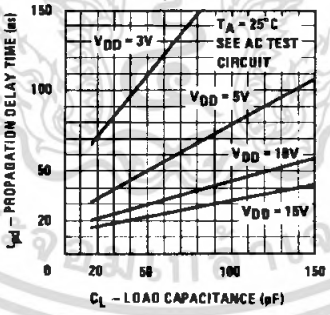


Propagation Delay vs Ambient Temperature



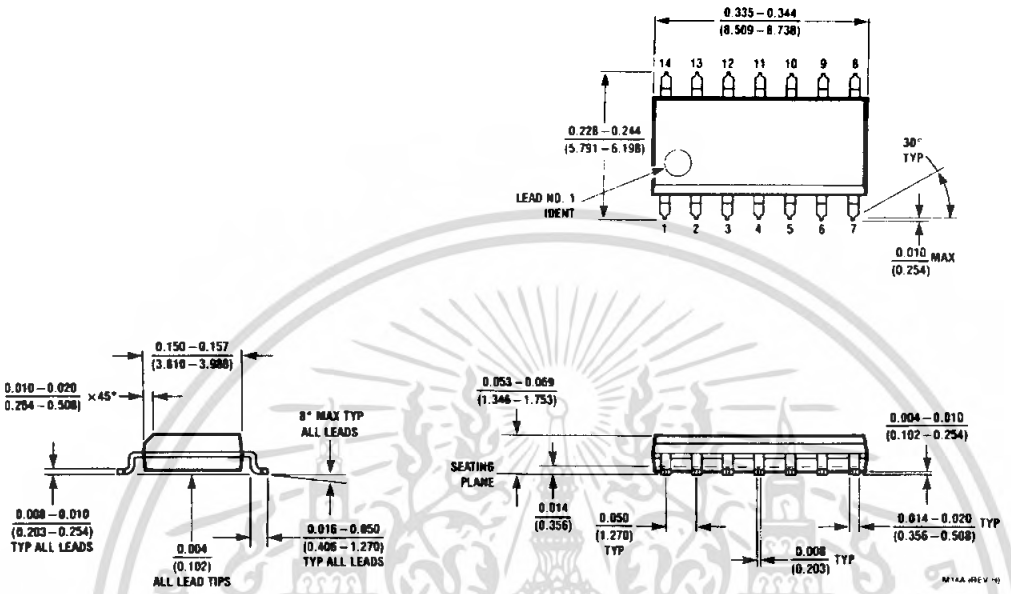
Propagation Delay vs

Propagation Delay Time vs Load Capacitance

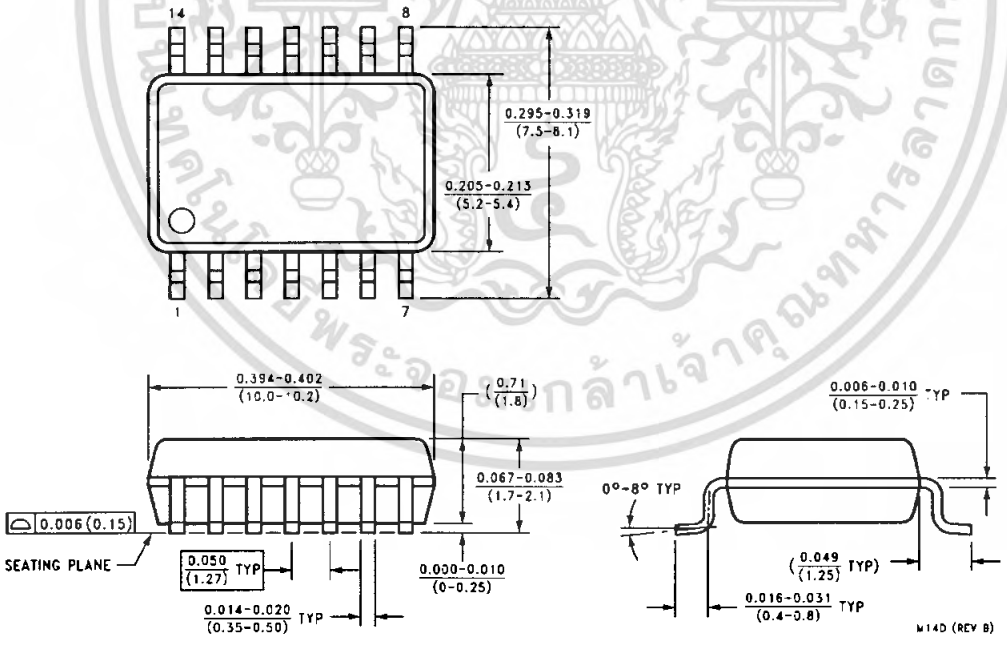


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



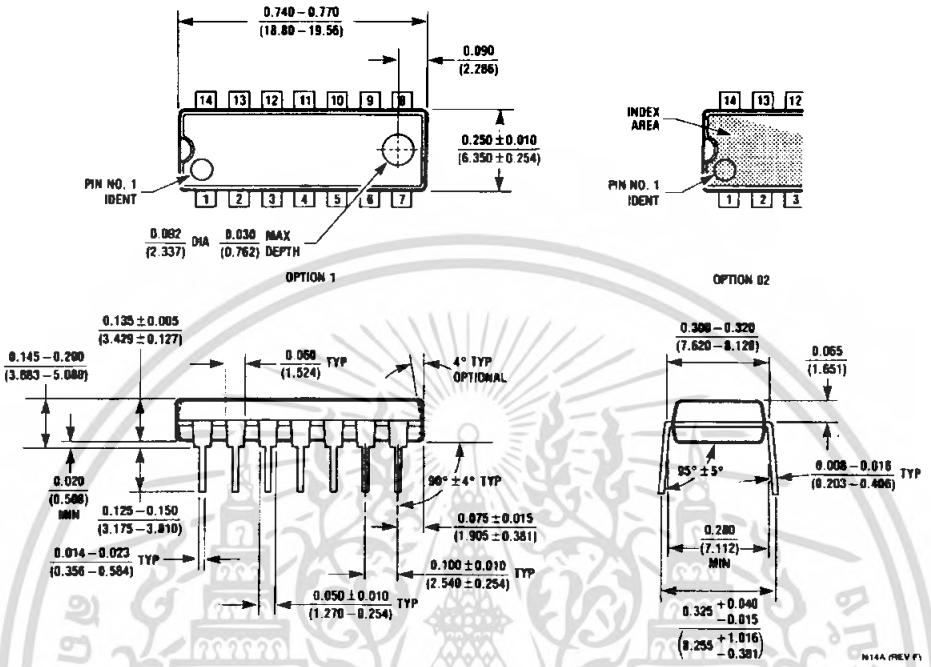
14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow Body
Package Number M14A



14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm wide
Package Number M14D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N14A

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

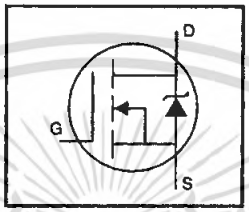
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PD-9.307O

IRF530

HEXFET® Power MOSFET

- Dynamic dv/dt Rating
- Repetitive Avalanche Rated
- 175°C Operating Temperature
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements



V_{DSS} = 100V

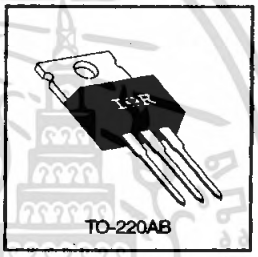
$R_{DS(on)}$ = 0.16Ω

I_D = 14A

Description

Third Generation HEXFETs from International Rectifier provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-220 package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 watts. The low thermal resistance and low package cost of the TO-220 contribute to its wide acceptance throughout the industry.



TO-220AB

DATA SHEETS

Absolute Maximum Ratings

	Parameter	Max.	Units
I_D @ T_C = 25°C	Continuous Drain Current, V_{GS} @ 10 V	14	A
I_D @ T_C = 100°C	Continuous Drain Current, V_{GS} @ 10 V	10	
I_{DM}	Pulsed Drain Current ①	56	
P_D @ T_C = 25°C	Power Dissipation	88	W
	Linear Derating Factor	0.59	W/°C
V_{GS}	Gate-to-Source Voltage	±20	V
E_{AS}	Single Pulse Avalanche Energy ②	69	mJ
I_{AR}	Avalanche Current ①	14	A
E_{AR}	Repetitive Avalanche Energy ①	8.8	mJ
dv/dt	Peak Diode Recovery dv/dt ③	5.5	V/ns
T_J T_{STG}	Operating Junction and Storage Temperature Range	-55 to +175	°C
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting Torque, 6-32 or M3 screw	10 lbf•in (1.1 N•m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	—	1.7	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	—	0.50	—	
$R_{\theta JA}$	Junction-to-Ambient	—	—	62	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	100	—	—	V	V_{GS}=0V, I_D= 250μA
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.12	—	V/°C	Reference to 25°C, I_D= 1mA
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.16	Ω	V_{GS}=10V, I_D=8.4A ④
$V_{GS(th)}$	Gate Threshold Voltage	2.0	—	4.0	V	V_{DS}=V_{GS}, I_D= 250μA
g_{fs}	Forward Transconductance	5.1	—	—	S	V_{DS}=50V, I_D=8.4A ④
I_{DSS}	Drain-to-Source Leakage Current	—	—	25	μA	V_{DS}=100V, V_{GS}=0V
		—	—	250		V_{DS}=80V, V_{GS}=0V, T_J=150°C
I_{GSS}	Gate-to-Source Forward Leakage	—	—	100	nA	V_{GS}=20V
	Gate-to-Source Reverse Leakage	—	—	-100		V_{GS}=-20V
Q_g	Total Gate Charge	—	—	26	nC	I_D=14A
Q_{gs}	Gate-to-Source Charge	—	—	5.5		V_{DS}=80V
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	11		V_{GS}=10V See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	10	—	ns	V_{DD}=50V
t_r	Rise Time	—	34	—		I_D=14A
$t_{d(off)}$	Turn-Off Delay Time	—	23	—		R_G=12Ω
t_f	Fall Time	—	24	—		R_D=3.6Ω See Figure 10 ④
L_D	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact
L_S	Internal Source Inductance	—	7.5	—		
C_{iss}	Input Capacitance	—	670	—	pF	V_{GS}=0V
C_{oss}	Output Capacitance	—	250	—		V_{DS}=25V
C_{rss}	Reverse Transfer Capacitance	—	60	—		f=1.0MHz See Figure 5

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I_S	Continuous Source Current (Body Diode)	—	—	14	A	MOSFET symbol showing the integral reverse p-n junction diode.
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	56		
V_{SD}	Diode Forward Voltage	—	—	2.5	V	T_J=25°C, I_S=14A, V_{GS}=0V ④
t_{rr}	Reverse Recovery Time	—	150	280	ns	T_J=25°C, I_F=14A
Q_{rr}	Reverse Recovery Charge	—	0.85	1.7	μC	di/dt=100A/μs ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is neglegible (turn-on is dominated by L_S+L_D)				

Notes:

① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)

② V_{DD}=25V, starting T_J=25°C, L=528μH R_G=25Ω, I_{AS}=14A (See Figure 12)

③ I_{SD}≤14A, di/dt≤140A/μs, V_{DD}≤$V_{(BR)DSS}$, T_J≤175°C

④ Pulse width ≤ 300 μs; duty cycle ≤2%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

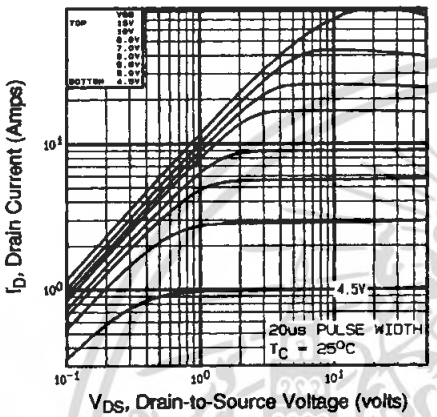


Fig 1. Typical Output Characteristics, T_C=25°C

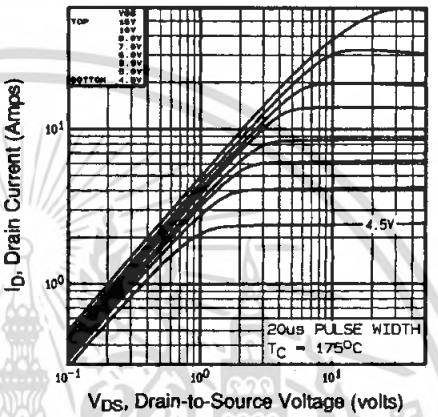


Fig 2. Typical Output Characteristics, T_C=175°C

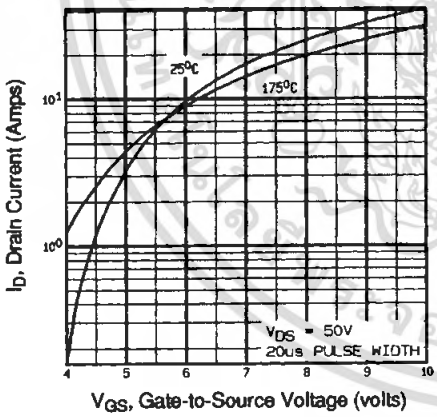


Fig 3. Typical Transfer Characteristics

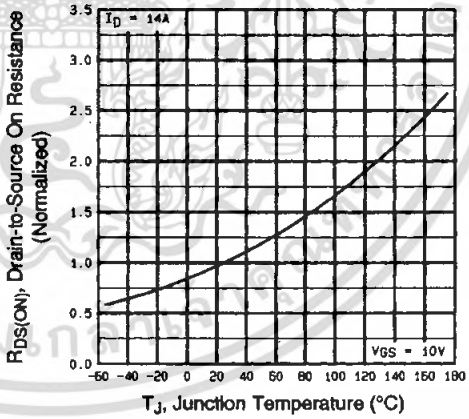


Fig 4. Normalized On-Resistance Vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

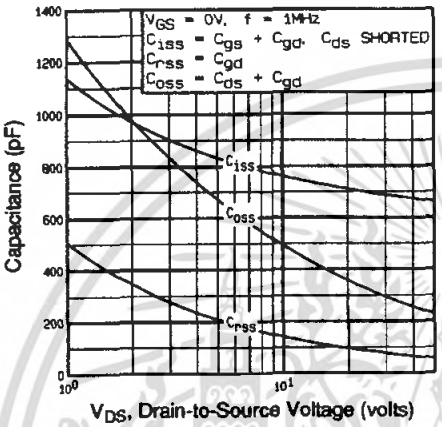


Fig 5. Typical Capacitance Vs. Drain-to-Source Voltage

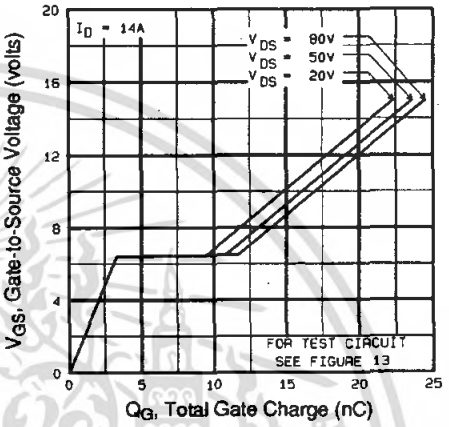


Fig 6. Typical Gate Charge Vs. Gate-to-Source Voltage

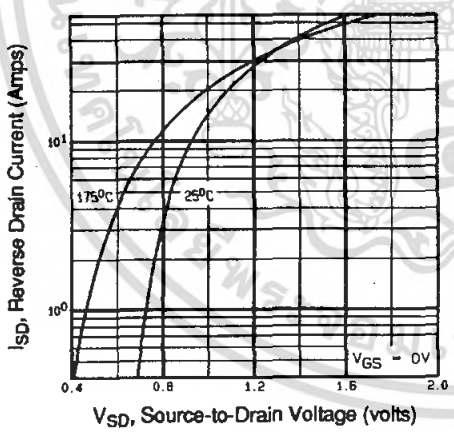


Fig 7. Typical Source-Drain Diode Forward Voltage

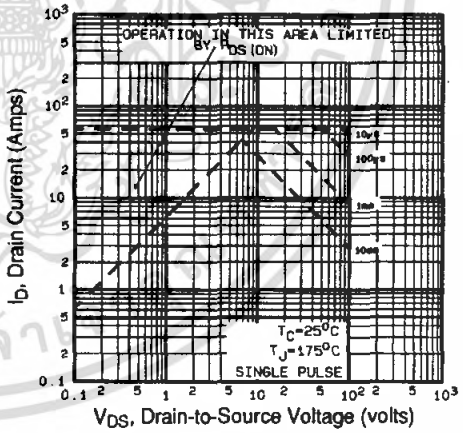


Fig 8. Maximum Safe Operating Area

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

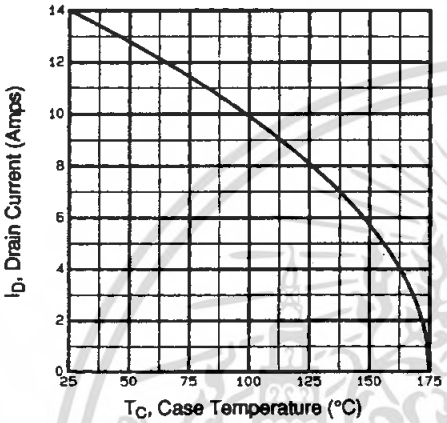


Fig 9. Maximum Drain Current Vs. Case Temperature

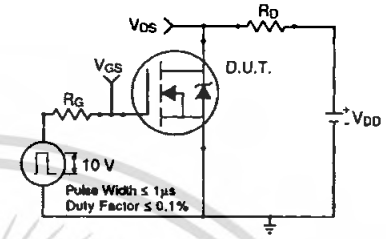


Fig 10a. Switching Time Test Circuit

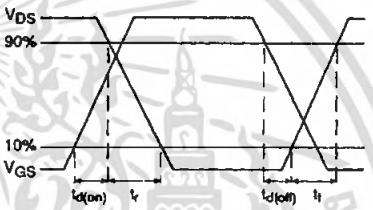


Fig 10b. Switching Time Waveforms

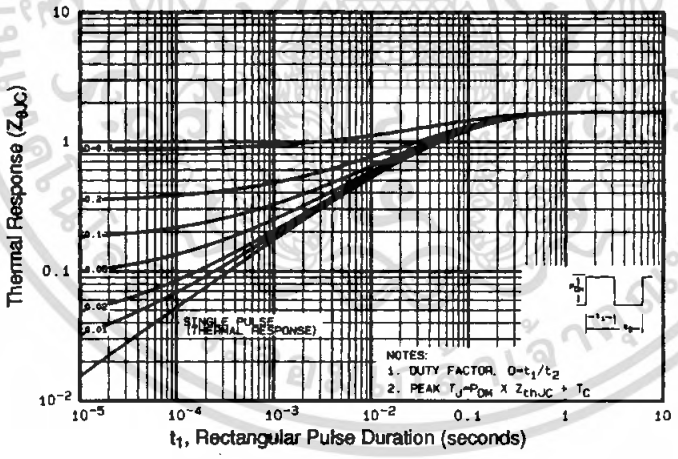


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Case

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

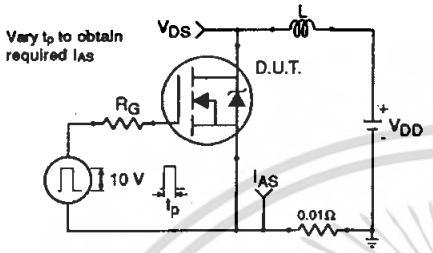


Fig 12a. Unclamped Inductive Test Circuit

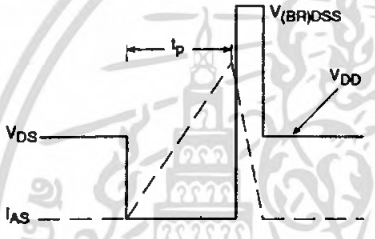


Fig 12b. Unclamped Inductive Waveforms

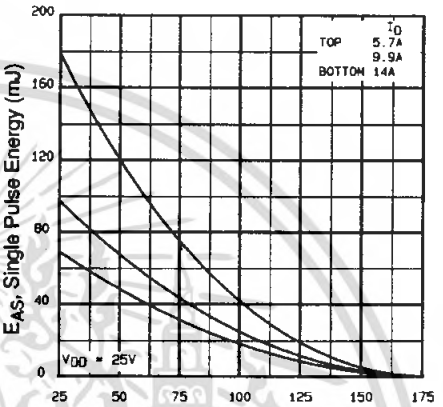


Fig 12c. Maximum Avalanche Energy Vs. Drain Current

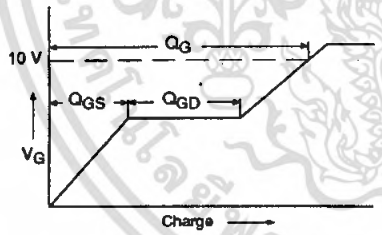


Fig 13a. Basic Gate Charge Waveform

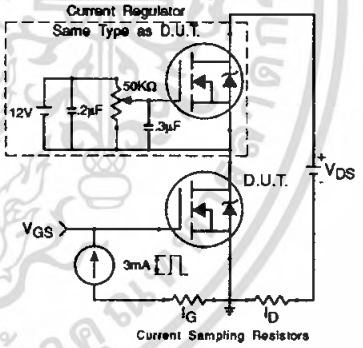


Fig 13b. Gate Charge Test Circuit

Appendix A: Figure 14, Peak Diode Recovery dv/dt Test Circuit – See page 1505

Appendix B: Package Outline Mechanical Drawing – See page 1509

Appendix C: Part Marking Information – See page 1516

Appendix E: Optional Leadforms – See page 1525

International IOR Rectifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้