สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเตือนภัยแผ่นดินไหว

SEISMIC MONITOR

โดย

สมศักดิ์ คงแป้น

กิตติศักดิ์ อภัยรัตน์

ปส
ส2820
2550

เลขหมู่.....
เลขทะเบียน.....82433
วัน,เดือน,ปี...1.1...0.0...2551

b.....11946969
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเตือนภัยแผ่นดินไหว

SEISMIC MONITOR

โดย

นาย สมศักดิ์ ดงแป้น

นาย กิตติศักดิ์ อภัยรัตน์

อาจารย์ที่ปรึกษา

ดร. กิติพล ชิตสกุล

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2550

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องเตือนภัยแผ่นดินไหว

SEISMIC MONITOR

ผู้จัดทำ

1. นาย สมศักดิ์ คงแป้น
2. นาย กิตติศักดิ์ อภัยรัตน์

.....อาจารย์ที่ปรึกษา

(ดร. กิติพล ชิตสกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเตือนภัยแผ่นดินไหว

(SEISMIC MONITOR)

นาย สมศักดิ์ คงแป้น รหัส 48015185
นาย กิตติศักดิ์ อภัยรัตน์ รหัส 48015196
ดร. กิติพล ชิตสกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2550

บทคัดย่อ

โครงงานนี้เป็นเครื่องเตือนภัยเมื่อเกิดแผ่นดินไหวซึ่งประยุกต์ใช้ลำโพงเป็นเซนเซอร์ตรวจจับการสั่นสะเทือน มีวงจรขยายสัญญาณ วงจรผ่านสัญญาณบางช่วงความถี่ วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลในไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443 และควบคุมการทำงานและแจ้งเตือนออกมาเป็นไฟแฟลชกระพริบและเสียงเตือน อุปกรณ์อิเล็กทรอนิกส์ที่ออกแบบสร้างใช้อุปกรณ์แบบ Surface Mounted Device (SMD) ทำให้ประหยัดพลังงานจากแบตเตอรี่และมีขนาดเล็กกะทัดรัดสามารถเก็บไว้ได้ในภาชนะบรรจุขนาดเล็กเพื่อสะดวกต่อการติดตั้งใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SEISMIC MONITOR

Mr. Somsak Kongpaen ID 48015185
Mr. Kittisak Aphairat ID 48015196
Dr. Kitiphol Chitsakul Advisor
Educational Year 2007

Abstract

This thesis presents an Earthquake Warning Device (EWD) using PSoC (CY8C27443) microcontroller. An audio speaker is used as seismic sensor. The design and implementation are emphasized on reducing size and low power consumption by using Surface Mounted Devices (SMD). The EWD is integrated with amplifiers, a band pass filter and an analog-to-digital converter (ADC) provided in the PSoC. Flash light and sound is employed for alarming during earthquake situation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการจัดทำปริญญานิพนธ์ฉบับนี้จะไม่สามารถประสบความสำเร็จและลุล่วงได้ด้วยดี หากไม่มีท่านอาจารย์ที่ปรึกษา ดร.กิติพล ชิตสกุล และท่านอาจารย์หลายๆท่านที่ได้คอยให้ความรู้และให้คำแนะนำแนวทางการคิดและการแก้ปัญหาในการทำงานในแต่ละขั้นตอน รวมทั้งพี่ ๆ เพื่อนๆ ทั้งหลายที่คอยให้คำแนะนำและอำนวยความสะดวกต่างๆ จนผลักดันให้ปริญญานิพนธ์นี้สำเร็จลุล่วงได้ด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทยัดย่อ	I
Abstract	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูปภาพ	V
สารบัญตาราง	VI
บทที่ 1 บทนำ	1
1.1 ความเป็นมาของโครงงาน	1
1.2 ความเป็นมาของโครงงาน	1
1.3 ขอบเขตของโครงงาน	1
1.4 หลักการทำงานของเครื่องเตือนภัยแผ่นดินไหว	2
1.5 ประโยชน์ที่คาดว่าจะได้รับ	2
1.6 โครงสร้างของรายงาน	3
บทที่ 2 การเกิดแผ่นดินไหว	4
2.1 ความรู้พื้นฐานทั่วไปเกี่ยวกับแผ่นดินไหว	4
2.2 สาเหตุการเกิดแผ่นดินไหว	6
2.3 ลักษณะของคลื่นแผ่นดินไหว	7
2.4 ปริมาณสำหรับการวัดแผ่นดินไหว	10
2.5 การตรวจวัดแผ่นดินไหวและเครื่องมือ	13
บทที่ 3 ทฤษฎีและหลักการทำงาน	14
3.1 ลำโพง	14
3.2 ไมโครคอนโทรลเลอร์ PSoC	18
3.3 หลักการทำงานของไมโครคอนโทรลเลอร์ (PSoC)	26
บทที่ 4 การทดลองและผลการทดลอง	33
4.1 การทดลองและตรวจสอบการทำงานของเซนเซอร์	33
4.2 การทดลองและตรวจสอบการทำงานของไมโครคอนโทรลเลอร์ PSoC	37
4.3 การทดลองและตรวจสอบการทำงานของเครื่องเตือนภัยแผ่นดินไหว	39
บทที่ 5 บทวิจารณ์และสรุป	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม
ภาคผนวก

สารบัญรูป

หน้า

รูป 1.1 บล็อกไดอะแกรมของโครงงาน 2
รูป 2.1 แสดงการเคลื่อนที่ของคลื่น P และคลื่น S ในตัวกลาง 8
รูป 2.2 แสดงลักษณะการเคลื่อนที่ของคลื่นเรย์ลีและคลื่นเลิฟ 9
รูป 2.3 แสดงความสัมพันธ์ระหว่างความเร็วคลื่น P คลื่นS และคลื่นเรย์ลี 10
รูป 2.4 แสดงคลื่นแผ่นดินไหวไกลบริเวณประเทศชีลี 10
รูป 3.1 ส่วนประกอบของลำโพง 15
รูป 3.2 วูฟเฟอร์ (Woofers) 16
รูป 3.3 ทวีทเตอร์ (Tweeters) 16
รูป 3.4 มิดเรนส์ (Midrange) 17
รูป 3.5 บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC 19
รูป 3.6 PSoC Core 20
รูป 3.7 Digital System 21
รูป 3.8 Analog System 22
รูป 3.9 System Resource 23
รูป 3.10 PSoC เบอร์ CY8C27443 26
รูป 3.11 แสดงการสร้าง ADCINC12_1 27
รูป 3.12 แสดงการวางโมดูล และ ตั้งค่า ใน Value ต่างๆ 28
รูป 3.13 แสดงการตั้งค่า Global Value และ Use Module Parameters 29
รูป 3.14 แสดงบล็อกที่แปลงเป็นสัญญาณดิจิตอล 29
รูป 3.15 แสดงการสร้าง Band pass Filter Module 30
รูป 3.16 แสดงการวาง BPF2 Module และ การตั้งค่า Value 31
รูป 3.17 แสดงการตั้งค่า Global Resources และ User Module Parameters ของ BPF2_1 32
รูป 3.18 แสดงการเชื่อมสายของวงจร BPF2_1 32
รูป 4.1 กราฟแสดงความสัมพันธ์ระหว่างความถี่กับแอมปลิจูดที่มวลค่าต่างกัน 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม
ภาคผนวก

สารบัญรูป

หน้า

รูป 1.1 บล็อกไดอะแกรมของโครงงาน 2
รูป 2.1 แสดงการเคลื่อนที่ของคลื่น P และคลื่น S ในตัวกลาง 8
รูป 2.2 แสดงลักษณะการเคลื่อนที่ของคลื่นเรย์ลีและคลื่นเลิฟ 9
รูป 2.3 แสดงความสัมพันธ์ระหว่างความเร็วคลื่น P คลื่นS และคลื่นเรย์ลี 10
รูป 2.4 แสดงคลื่นแผ่นดินไหวไกลบริเวณประเทศชีลี 10
รูป 3.1 ส่วนประกอบของลำโพง 15
รูป 3.2 วูฟเฟอร์ (Woofers) 16
รูป 3.3 ทวีทเตอร์ (Tweeters) 16
รูป 3.4 มิดเรนส์ (Midrange) 17
รูป 3.5 บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC 19
รูป 3.6 PSoC Core 20
รูป 3.7 Digital System 21
รูป 3.8 Analog System 22
รูป 3.9 System Resource 23
รูป 3.10 PSoC เบอร์ CY8C27443 26
รูป 3.11 แสดงการสร้าง ADCINC12_1 27
รูป 3.12 แสดงการวางโมดูล และ ตั้งค่า ใน Value ต่างๆ 28
รูป 3.13 แสดงการตั้งค่า Global Value และ Use Module Parameters 29
รูป 3.14 แสดงบล็อกที่แปลงเป็นสัญญาณดิจิตอล 29
รูป 3.15 แสดงการสร้าง Band pass Filter Module 30
รูป 3.16 แสดงการวาง BPF2 Module และ การตั้งค่า Value 31
รูป 3.17 แสดงการตั้งค่า Global Resources และ User Module Parameters ของ BPF2_1 32
รูป 3.18 แสดงการเชื่อมสายของวงจร BPF2_1 32
รูป 4.1 กราฟแสดงความสัมพันธ์ระหว่างความถี่กับแอมปลิจูดที่มวลค่าต่างกัน 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.2 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 12.14 g(128 mVp-p) 34
รูป 4.3 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 17.13 g(110 mVp-p) 35
รูป 4.4 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 21.71 g(90 mVp-p) 35
รูป 4.5 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 30.37 g(76 mVp-p) 36
รูป 4.6 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 41.25 g(68 mVp-p) 36
รูป 4.7 บล็อกไดอะแกรมเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอล (ADC) 37
รูป 4.8 บล็อกไดอะแกรมเปลี่ยนการสั่นสะเทือนเป็นสัญญาณอนาล็อก 38

สารบัญตาราง

หน้า

ตาราง 2.1 หัวข้อการศึกษาวิชาแผ่นดินไหวในปัจจุบัน 5
ตาราง 2.2 สาเหตุการเกิดแผ่นดินไหว 6
ตาราง 2.3 แสดงการคำนวณขนาดแผ่นดินไหวชนิดต่างๆ 11
ตาราง 2.4 อันดับความรุนแรงแผ่นดินไหวตามมาตราเมอร์แคลลี (MM) 13
ตาราง 3.1 แสดงหน้าที่การทำงานของขาต่างๆ 24
ตาราง 4.1 แสดงการแซมปลิ้งสัญญาณอินพุตอนาล็อกเป็นดิจิตอล 12 บิต 38
ตาราง 4.2 แสดงการเปลี่ยนการสั่นสะเทือนเป็นสัญญาณอนาล็อก 38
ตาราง 4.3 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหวโดยจำลองการเกิดแผ่นดินไหว 39
ตาราง 4.3 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหวโดยจำลองการเกิดแผ่นดินไหว(ต่อ) 40
ตาราง 4.4 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหวโดยแรงสั่นเกิดรถไฟ
ที่สถานีพระจอมเกล้าฯ 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงงาน

เนื่องจากปัจจุบันมีความก้าวหน้าทางเทคโนโลยีอย่างรวดเร็วและในขณะเดียวกันนั้นเทคโนโลยีก็ส่งผลโดยตรงต่อสิ่งแวดล้อมและธรรมชาติอย่างรวดเร็วเช่นกันจึงเกิดภัยธรรมชาติมากขึ้นพร้อมๆกับเทคโนโลยีไม่ว่าจะเป็นภัยทางน้ำ ลม อากาศ และแผ่นดินไหว ซึ่งก่อให้เกิดความเดือดร้อนและเสียหายทั้งชีวิตและทรัพย์สิน และแผ่นดินไหวก็เป็นภัยธรรมชาติอีกอย่างหนึ่งที่ทำให้เกิดความเดือดร้อนทั้งชีวิตและทรัพย์สินอย่างมากมายเช่นกัน เพราะฉะนั้นเพื่อความปลอดภัยของชีวิตจึงต้องมีการแจ้งเตือนภัยแผ่นดินไหว และในการตรวจจับแผ่นดินไหวนั้นสามารถใช้ลำโพงเป็นตัวตรวจจับได้ จึงนำลำโพงมาเป็นตัวตรวจจับแผ่นดินไหว เพื่อนำไปแจ้งเตือนแก่ผู้ใช้งาน

1.2 วัตถุประสงค์

1.2.1 เพื่อศึกษาลักษณะการเคลื่อนที่ของเปลือกโลกที่ก่อให้เกิดแผ่นดินไหว

1.2.2 เพื่อศึกษาการทำงานของลำโพง เพื่อประยุกต์ใช้เป็นเซ็นเซอร์ตรวจจับแผ่นดินไหว

1.2.3 เพื่อศึกษาโครงสร้างและหลักการทำงานของไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443

1.2.4 เพื่อศึกษาการติดต่อกันระหว่างเซ็นเซอร์กับไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443 และอุปกรณ์แจ้งเตือนภัย

1.2.5 เพื่อศึกษาการจัดการบล็อกไดอะแกรมภายในและเขียนโปรแกรมลงในไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443

1.3 ขอบเขตของโครงงาน

1.3.1 สามารถตรวจจับแผ่นดินไหวได้

1.3.2 สามารเตือนภัยแผ่นดินไหวให้แก่ผู้ใช้งานทราบได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 หลักการทำงานของเครื่องเตือนภัยแผ่นดินไหว

เครื่องเตือนภัยแผ่นดินไหวนี้เป็นการนำลำโพงมาประยุกต์ใช้งานเป็นเซ็นเซอร์ตรวจจับแผ่นดินไหวและนำไปประมวลผลด้วยไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443 และสามารถแจ้งเตือนให้แก่ผู้ใช้งานทราบ โดยมีหลักการทำงานดังรูป

รูป 1.1 บล็อกไดอะแกรมของโครงงาน

ส่วนที่ 1 เซ็นเซอร์ ได้มีการออกแบบให้สามารถใช้ลำโพงเป็นตัวเซ็นเซอร์ตรวจจับแผ่นดินไหว ซึ่งอาศัยหลักการของการเคลื่อนที่ของขดลวดผ่านสนามแม่เหล็ก ส่งสัญญาณที่แผ่นดินไหวที่ตรวจจับได้ออกมาเพื่อส่งต่อไปยังไมโครคอนโทรลเลอร์ PSoC

ส่วนที่ 2 ไมโครคอนโทรลเลอร์ ทำหน้าที่ในการควบคุมและประมวลผลทั้งหมดของระบบ โดยใช้ไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443 ในการรับสัญญาณเข้ามาจากอุปกรณ์เซ็นเซอร์ แล้วทำการประมวลผลซึ่งใช้การเขียนโปรแกรมในการวิเคราะห์ความแรงของแผ่นดินไหว และทำการส่งต่อไปยังส่วนแสดงผลเตือนภัย

ส่วนที่ 3 ส่วนแสดงผลเตือนภัย โครงงานนี้ใช้ไฟแฟลชและบัซเซอร์เป็นตัวแสดงผลและแจ้งเตือนภัยให้แก่ผู้ใช้งานทราบว่าขณะนี้เกิดแผ่นดินไหวขึ้น

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1. ได้ทราบหลักการการเคลื่อนที่ของเปลือกโลก
2. สามารถประยุกต์ใช้ลำโพงได้
3. สามารถเข้าใจหลักการทำงานและใช้งานไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443 ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.6 โครงสร้างของรายงาน

รายงานฉบับนี้ได้รวบรวมรายละเอียดความเป็นมาของรายงานและการเลือกใช้อุปกรณ์ต่างๆ เพื่อใช้ในการออกแบบวงจรในการใช้งานให้มีขนาดที่เล็ก พกพาง่ายและการใช้งานสะดวกมากยิ่งขึ้น ในการทำโครงงานนี้จะทำการแบ่งรายละเอียดออกเป็นบทต่างๆ ตามลำดับเพื่อให้ง่ายต่อการศึกษาทำความเข้าใจ ดังนี้

บทที่ 1 บทนำเกี่ยวกับความเป็นมาและลักษณะของโครงงานนี้

บทที่ 2 เป็นการกล่าวถึงการเกิดแผ่นดินไหวในลักษณะและต่างๆนำไปประยุกต์ใช้ในการตรวจจับ ซึ่งเป็นจุด ประสงค์หลักในการออกแบบเครื่องเตือนภัยแผ่นดินไหวนี้ขึ้นมา

บทที่ 3 เป็นการอธิบายถึงหลักการและการทำงานของอุปกรณ์ที่ใช้ในการสร้างเครื่องเตือนภัยแผ่นดินไหว ซึ่งมีอุปกรณ์หลักๆอยู่ 3 ส่วนด้วยกัน คือ เซนเซอร์ ไมโครคอนโทรลเลอร์ และตัวแสดงผลเตือนภัย

บทที่ 4 เป็นส่วนของวงจรและการทดลองการใช้งาน

บทที่ 5 สรุปและวิจารณ์การทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
การเกิดแผ่นดินไหว

2.1 ความรู้พื้นฐานทั่วไปเกี่ยวกับแผ่นดินไหว

ในการเผชิญภัยแผ่นดินไหวซึ่งเป็นภัยธรรมชาติที่มีก่อให้เกิดความเสียหายได้อย่างรุนแรง การศึกษาความรู้พื้นฐานเรื่องแผ่นดินไหวจึงเป็นสิ่งจำเป็น ทำให้ทราบถึงธรรมชาติของ สาเหตุการเกิด ตลอดจนลักษณะความรุนแรงของภัยแผ่นดินไหว ที่สามารถส่งผลกระทบได้กว้างไกล ลักษณะของแหล่งกำเนิดแผ่นดินไหวทั้งภายในและภายนอกประเทศไทย สถิติแผ่นดินไหวในอดีตและผลการตรวจวัดด้วยเครือข่ายสถานีตรวจแผ่นดินไหวในปัจจุบัน ปัจจุบันพบว่าประเทศไทยมิได้ปลอดภัยจากภัยแผ่นดินไหว ดังนั้นการวางแผนมาตรการป้องกันและบรรเทาภัยทั้งในระยะสั้นและระยะยาวที่มีประสิทธิภาพ มีส่วนสนับสนุนความมั่นคงปลอดภัยในชีวิตและทรัพย์สิน ของประชาชนและเศรษฐกิจของประเทศโดยส่วนรวม ด้วยเหตุนี้กรมอุตุนิยมวิทยาจึงเริ่มพัฒนาระบบตรวจวัดความสั่นสะเทือนของประเทศไทยให้มีประสิทธิภาพและมีมาตรฐานเพิ่มขึ้นเพื่อรวบรวมข้อมูลพื้นฐานที่จำเป็นสำหรับงานด้านวิศวกรรม ธรณีวิทยา การใช้ประโยชน์ของพื้นดิน และงานวิจัยอื่นๆ อีกทั้งดำเนินกิจกรรมแผนงาน นโยบาย ด้านแผ่นดินไหวร่วมกับหน่วยงานต่างๆทั้งภาครัฐและเอกชนที่เกี่ยวข้องเพื่อส่งเสริมและจัดการภัยแผ่นดินไหวอย่างเป็นระบบและมีประสิทธิผลยิ่งขึ้น การศึกษาภัยธรรมชาติหลายชนิดที่รุนแรงในประเทศไทยเป็นไปอย่างกว้างขวางและมีประสิทธิภาพ เช่น ภัยทางด้านอุตุนิยมวิทยา พายุ ฝนฟ้าคะนอง น้ำท่วม ภัยแล้ง เป็นต้น ทั้งนี้เนื่องจากมีการพัฒนาทั้งทางด้านทฤษฎี และเครื่องมือตรวจวัดข้อมูลค่าพารามิเตอร์ต่างๆ ด้านอุตุนิยมวิทยา มีเครือข่ายตรวจวัดที่หนาแน่นในประเทศและทั่วโลก รวมถึงมีการจัดการต่อภัยในภาพรวมที่เกิดขึ้นอย่างเป็นระบบ แต่ยังมีภัยธรรมชาติบางชนิด เช่น ภัยแผ่นดินไหว ซึ่งยังคงท้าทายต่อการศึกษาและทำความเข้าใจเป็นอย่างมาก เนื่องจากลักษณะทางธรรมชาติของแผ่นดินไหวนั้นเกิดอยู่ใต้พื้นโลกหลายสิบกิโลเมตรและอาจมีตำแหน่งที่ลึกลงไปถึงหลายร้อยกิโลเมตรซึ่งยังไม่มีเครื่องมือตรวจวัดได้โดยตรง ดังนั้นความยากลำบากในการศึกษาจึงเพิ่มขึ้นเป็นทวีคูณ แม้ว่าปัจจุบันได้มีการพัฒนาทั้งทางด้านทฤษฎีตลอดจนเครือข่ายและเครื่องมือต่างๆ ประจำอยู่ทั่วโลก เช่น เครื่องตรวจวัดความสั่นสะเทือนที่มีประสิทธิภาพสูงแต่ก็เพียงสามารถตรวจวัดได้จากบนพื้นผิวโลกเท่านั้น การวิเคราะห์แผ่นดินไหวที่อยู่ใต้พื้นโลก (Hypocenter) จึงเป็นในลักษณะตรวจสอบหรือวิเคราะห์ย้อนกลับจากผลการตรวจวัดคลื่นแผ่นดินไหวบนผิวโลก โดยคลื่นแผ่นดินไหวที่เกิดขึ้นทำหน้าที่คล้ายกับรังสีเอ็กซ์ (X-rays) เดินทางไปในโลก สะท้อนลักษณะโครงสร้างของโลก ลักษณะทางธรณีวิทยา มีการหักเหและการตอบสนองของคลื่นแผ่นดินไหวไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามลักษณะทางกายภาพของโลกในชั้นต่างๆ ทำให้นักแผ่นดินไหวเข้าใจในธรรมชาติของแผ่นดินไหวและคุณสมบัติทางกายภาพของโลก ปัจจุบันการศึกษาเกี่ยวกับแผ่นดินไหวมุ่งเน้นไปในหลายรายละเอียด แต่สามารถสรุปได้ ดังตาราง 2.1

แหล่งกำเนิดแผ่นดินไหว	โครงสร้างของโลก
1. การหาตำแหน่ง ศูนย์กลางแผ่นดินไหว (ละติจูด ลองจิจูด ความลึก เวลาเกิด)	1.การแบ่งชั้นของโลก (เปลือกโลก แมนเทิล แกนโลก)
2. การปลดปล่อยพลังงาน (ขนาด โมเมนต์ของแผ่น ดินไหว)	2. ความแตกต่างระหว่างพื้นทวีปและมหาสมุทร
3. ชนิดของแหล่งกำเนิด (แผ่นดินไหว ระเบิด)	3. รูปร่างของ subduction zone
4. ลักษณะรอยเลื่อน (รูปร่าง พื้นที่ การขจัด การเคลื่อนตัว)	4. โครงสร้างและการแบ่งชั้นของเปลือกโลก
5. แรงเค้น (Stress) ของรอยเลื่อนและพื้นโลก	5.ลักษณะกายภาพในแต่ละชั้น (เป็นของเหลว ของแข็ง)
6. การพยากรณ์แผ่นดินไหว	6. ความเปลี่ยนแปลงในชั้นเปลือกโลก
7.การวิเคราะห์เรื่องแผ่นดินถล่ม (Landslide) และภูเขาไฟระเบิด	7. ลักษณะของรอยต่อ
	8.การแปลความหมายขององค์ประกอบและความร้อนภายในโลก

ตาราง 2.1 หัวข้อการศึกษาวิชาแผ่นดินไหวในปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัจจุบันความตื่นตัวในการศึกษาวิชาแผ่นดินไหว (Seismology) เป็นไปอย่างกว้างขวางทั่วโลกไม่เพียงเฉพาะนักแผ่นดินไหว (Seismologist) เท่านั้น แต่ยังเป็นที่สนใจของบรรดาวิศวกรเพื่อนำไปประยุกต์ใช้ในการก่อสร้างให้มีความปลอดภัยเพิ่มขึ้น ความรู้พื้นฐานด้านแผ่นดินไหวที่วิศวกรควรทำความเข้าใจ ได้แก่

2.1.1 ความรู้พื้นฐานทั่วไปเกี่ยวกับแผ่นดินไหว

2.1.2 สาเหตุของการเกิดแผ่นดินไหว

2.1.3 ลักษณะของคลื่นแผ่นดินไหว

2.1.4 ปริมาณสำหรับการวัดแผ่นดินไหวเช่น ขนาด ความรุนแรงแผ่นดินไหว พลังงาน

2.1.5 การตรวจวัดแผ่นดินไหวและเครื่องมือ

2.2 สาเหตุการเกิดแผ่นดินไหว

เกิดภายในโลก	เกิดภายนอกโลก	ทั้งภายในและภายนอกโลก
แผ่นดินไหวเกิดจากรอยเลื่อนระเบิด ใต้ดิน	ลม ความดันบรรยากาศ	การระเบิดของภูเขาไฟ
การไหลหมุนเวียนของน้ำใต้ดิน	คลื่นในทะเล น้ำขึ้นหรือลง	แผ่นดินถล่ม
การเคลื่อนตัวของหินหลอมละลาย	ความสั่นสะเทือนจากกิจกรรมของมนุษย์เช่น จราจร ระเบิด เป็นต้น	
การเปลี่ยนแปลงสถานะใต้ดิน	การชนของอุกาบาต	
การทำเหมือง		
การยุบตัวใต้ดิน		

ตาราง 2.2 สาเหตุการเกิดแผ่นดินไหว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 การเกิดแผ่นดินไหวโดยธรรมชาติ

1) แผ่นดินไหวเกิดจากแรงภายในเปลือกโลก (Tectonic Earthquake)

2) แผ่นดินไหวเกิดจากภูเขาไฟระเบิด (Volcano Eruption)

3) แผ่นดินไหวเกิดจากการยุบตัวหรือพังทลายของโพรงใต้ดิน (Implosion)

4) ความสั่นสะเทือนจากคลื่นมหาสมุทร (Oceanic Microseism)

2.2.2 การเกิดแผ่นดินไหวโดยการกระทำของมนุษย์

1) เหตุการณ์ที่ควบคุมได้ เช่น การระเบิด หรือจากกิจกรรมต่างๆของมนุษย์ เช่น การจราจร เครื่องจักรเครื่องยนต์ การระเบิดบนพื้นผิวหรือใต้ดิน เป็นต้น

2) แผ่นดินไหวจากการกระตุ้น (Induced or Tiggered Events) เช่น การสร้างอ่างเก็บน้ำ การทำเหมือง การฉีดของเหลวลงใต้ดิน เป็นต้น

2.3 ลักษณะของคลื่นแผ่นดินไหว

ความสั่นสะเทือนของพื้นดินนั้นมีลักษณะการเคลื่อนตัวของอนุภาคหินหรือดินแบบ 3 มิติ คือสามารถวัดการเคลื่อนตัวในแนวระนาบของทิศเหนือ ใต้ ตะวันออก ตะวันตก และแนวดิ่ง ทั้งนี้ คลื่นแผ่นดินไหวสามารถตรวจวัดได้ด้วยเครื่องมือวัดความสั่นสะเทือน 2 แบบได้แก่ แบบวัดความเร็วของอนุภาคดินหรือหิน (Seismograph)ซึ่งสามารถวิเคราะห์คลื่นแผ่นดินไหวเพื่อการกำหนดตำแหน่งศูนย์กลางแผ่นดินไหว ขนาด เวลาเกิด ตลอดจนงานวิจัยที่เกี่ยวข้องกับโครงสร้างของโลก ลักษณะของแนวรอยเลื่อน กลไกการเกิดแผ่นดินไหว และแบบวัดอัตราเร่งของพื้นดิน ได้แก่ เครื่องวัดอัตราเร่งของพื้นดิน (Accelerograph) เพื่อเป็นข้อมูลพื้นฐานสำหรับงานด้านวิศวกรรมแผ่นดินไหว ในบริเวณพื้นที่ที่มีความเสี่ยงภัยแผ่นดินไหว

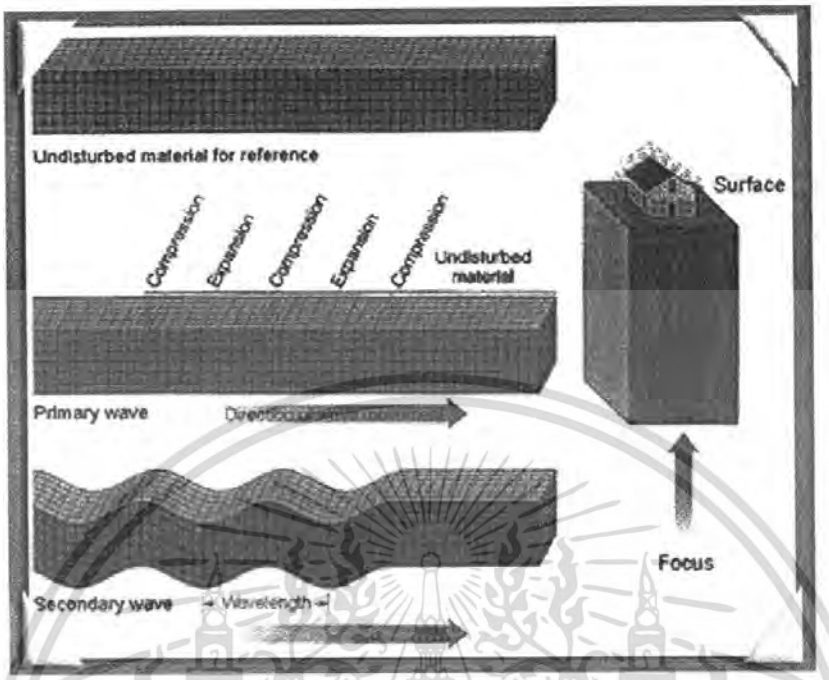
2.3.1 คลื่นหลัก (Body wave)

คลื่นหลัก (Body wave) เป็นคลื่นที่เคลื่อนผ่านเข้าไปภายในเนื้อของโลก แบ่งออกเป็น 2 ชนิด

1) คลื่นแรกหรือคลื่น P (Primary wave) เป็นคลื่นตามยาวอัดขยายกลับไปมาในแนวขนานกับการเคลื่อนที่ของคลื่น สามารถผ่านได้ทั้งของแข็งและของเหลว สามารถวัดได้ก่อนที่จะมีแผ่นดินไหวเกิดขึ้น

2) คลื่นสองหรือคลื่น S (Secondary wave) เป็นคลื่นตามขวางเกิดจากการเฉือนโดยอนุภาคจะถูกดันคลื่นที่กลับไปมาทางด้านข้าง และผ่านได้เฉพาะของแข็ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.1 แสดงการเคลื่อนที่ของคลื่น P และคลื่น S ในตัวกลาง

2.3.2 คลื่นพื้นผิว (Surface wave)

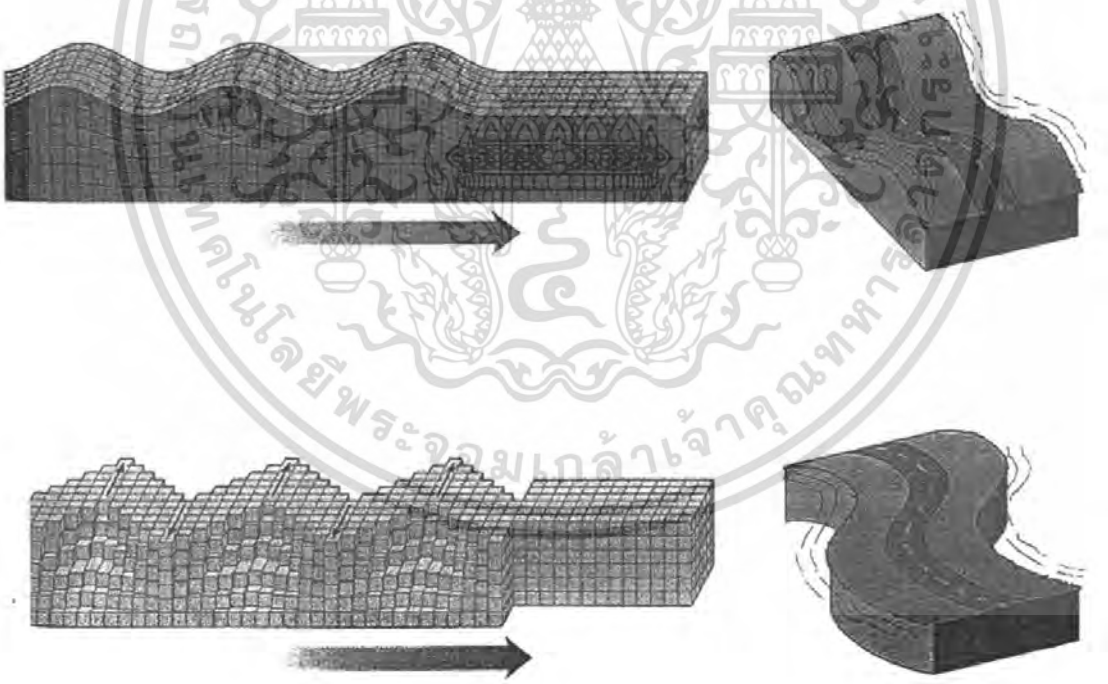
คลื่นพื้นผิว (Surface wave) หรือคลื่นนำทางเป็นคลื่นที่เกิดขึ้นตามผิว แบ่งออกเป็น 2 ชนิด

1) คลื่นเลิฟ (Love wave) เป็นคลื่นที่เกิดในบริเวณพื้นผิวอิสระของตัวกลางชนิดที่ประกอบด้วยหลายชั้น โดยแต่ละชั้นมีคุณสมบัติด้านการยืดหยุ่นที่แตกต่างกัน โดยคลื่นเลิฟจะเกิดขึ้นเมื่อมีแผ่นดินไหวที่มีจุดกำเนิดตื้นและทำให้เกิดรอยเลื่อนตามแนวระดับ ถ้าให้คลื่นเลิฟเกิดในพื้นผิวอิสระของตัวกลางที่ประกอบเป็นสองชั้น โดยชั้นบนเป็นแผ่นขนานที่มีความเร็วคลื่น P และความเร็วคลื่นSน้อยกว่าชั้นล่างที่มีความหนาเข้าสู่อนันต์ คลื่นเลิฟในกรณีนี้จะเกิดการแทรกสอดแบบก่อ (constructiveinterference)ของคลื่นระนาบที่สะท้อน ณ.รอยต่อด้านบนและด้านล่างของแผ่นขนานนั้น การเคลื่อนที่หรือการสั่นของอนุภาคของตัวกลางในกรณีคลื่นเลิฟจะมีทิศตั้งฉากกับทิศทางการเดินของคลื่น โดยที่แอมพลิจูดของการสั่นอนุภาคจะลดลงตามความลึกแบบชี้กำลัง คลื่นเลิฟมีคุณสมบัติการกระจายความเร็ว โดยที่ความเร็วคลื่นที่มีความยาวคลื่นน้อยจะเข้าใกล้ค่าความเร็วคลื่นSของตัวกลางที่เป็นแผ่นขนานด้านบน ส่วนที่มีความยาวคลื่นมากจะเข้าใกล้กับความเร็วคลื่น S ในตัวกลางชั้นล่าง ปริมาณคลื่นพื้นผิวที่เกิดจากแผ่นดินไหวแต่ละครั้งจะมากหรือน้อยขึ้นอยู่กับตำแหน่งแหล่งกำเนิดคลื่นหรือจุดกำเนิดแผ่นดินไหว ถ้าอยู่ลึกจากผิวโลกมาก จะทำให้สัดส่วนพลังงานที่มีอยู่ในรูปคลื่นพื้นผิวน้อย แต่ถ้าจุดกำเนิดอยู่ที่ผิวคลื่นพื้นผิวมากก็จะทำให้เกิดการทำลายสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

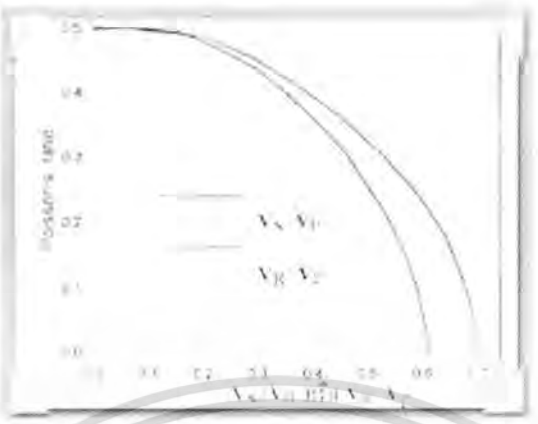
โดยเฉพาะการทำลายอันเกิดจากการสั่นไหวของอนุภาคตัวกลางในแนวนอนนอกจากคลื่นพื้นผิวแล้ว ยังมีคลื่นสโตนลีย์ (Stoneley wave) ซึ่งวิ่งตามรอยต่อระหว่างตัวกลางสองชนิด และคลื่นในท่อ (tubewave) คือคลื่นพื้นผิวที่เกิดในหลุมเจาะ เป็นต้น

2) **คลื่นเรย์ลี (Rayleigh wave)** เป็นคลื่นที่เกิดขึ้นในบริเวณผิวอิสระของตัวกลางยืดหยุ่นที่หนามากๆซึ่งการเคลื่อนที่ของอนุภาคภายในตัวกลางเมื่อคลื่นวิ่งผ่านจะจำกัดอยู่ในระนาบแนวดิ่งในทิศทางการวิ่งของคลื่น คือมีลักษณะการเคลื่อนที่ของอนุภาคคล้ายรูปวงรีที่มีแกนเอกตั้งฉากกับผิวของตัวกลาง โดยที่ผิวนี้ทิศการเคลื่อนที่ของอนุภาคบริเวณขอดของวงรีจะทวนกับทิศการเดินทางของคลื่นแอมพลิจูดของการเคลื่อนที่ของอนุภาคที่ระดับลึกต่างๆจะลดลงแบบชี้กำลังกับความลึกจากผิวของตัวกลาง โดยความลึกที่แอมพลิจูดเป็นศูนย์จะขึ้นกับความยาวคลื่นซึ่งโดยทฤษฎีแล้วความเร็วคลื่นเรย์ลีจะน้อยกว่าความเร็วคลื่น P และคลื่น S เสมอ โดยจะขึ้นอยู่กับอัตราส่วนของปัวซองของตัวกลาง ดังรูป 2.3



รูป 2.2 แสดงลักษณะการเคลื่อนที่ของคลื่นเรย์ลีและคลื่นเลิฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.3 แสดงความสัมพันธ์ระหว่างความเร็วคลื่น P คลื่น S และคลื่นเรย์ลีที่มีลักษณะการเปลี่ยนแปลงต่างๆในกรณีของตัวกลางมีสภาพยืดหยุ่นแบบเนื้อนต้นตลอด

รูป 2.4 แสดงคลื่นแผ่นดินไหวใกล้บริเวณประเทศชิลี เมื่อ 3 กันยายน 2541 ขนาด 6.5 ริคเตอร์

2.4 ปริมาณสำหรับการวัดแผ่นดินไหว

ขนาด (Magnitude) เป็นปริมาณที่มีความสัมพันธ์กับพลังงานที่พื้นโลกปลดปล่อยออกมาในรูปของการสั่นสะเทือน คำนวณได้จากการตรวจวัดค่าความสูงของคลื่นแผ่นดินไหวที่ตรวจวัดได้ด้วยเครื่องมือตรวจแผ่นดินไหว เป็นปริมาณที่บ่งชี้ขนาด ณ บริเวณจุดศูนย์กลาง ขนาดที่นิยมใช้ในปัจจุบันมีด้วยกันหลายประเภท ได้แก่

2.4.1 ML เป็นขนาดแผ่นดินไหวในยุคเริ่มแรก บ่งบอกถึงปริมาณของแผ่นดินไหวท้องถิ่นหรือแผ่นดินไหวใกล้(ระยะทางน้อยกว่า 1,000 กิโลเมตร) คำนวณได้จากความสูงของคลื่นซึ่งตรวจด้วยเครื่องมือตรวจความสั่นสะเทือนแบบวัด การขจัด(displacement) ได้แก่เครื่อง Wood

เอกสารนี้ได้รับการสนับสนุนจากสำนักงานกองทุนสนับสนุนการวิจัย ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Anderson ซึ่งมีค่ากำลังขยาย 2,800 เท่า ขนาดนี้นำเสนอโดย C. F Richter นักวิทยาศาสตร์ชาวอเมริกา ดังนั้นหน่วยของขนาด ML ที่ใช้จึงเป็น "ริคเตอร์ "โดยนำค่าของความสูงของคลื่นที่สูงที่สุดของคลื่น S ซึ่งมีช่วงคลื่นอยู่ระหว่าง 0.1-1.0 วินาทีมาใช้ในการคำนวณ

2.4.2 MB หรือ mb แสดงขนาดของเหตุการณ์แผ่นดินไหวทั้งใกล้และแผ่นดินไหวไกล (ระยะทางมากกว่า 1,000 กิโลเมตร) เรียกว่าขนาดของคลื่นหลัก (Body-wave magnitude) ในการคำนวณใช้ค่าความสูงของคลื่น P ที่มีความยาวช่วงคลื่นประมาณ 1.0-5.0 วินาที

2.4.3 Ms แสดงขนาดของเหตุการณ์แผ่นดินไหวไกลและมีขนาดใหญ่ เรียกอีกอย่างหนึ่งว่าขนาดคลื่นผิวพื้น(Surface Magnitude) คำนวณค่าความสูงของคลื่นผิวพื้นที่มีความยาวช่วงคลื่นประมาณ 18-22 วินาที

2.4.4 Mw ขนาดโมเมนต์ (Moment magnitude) เป็นปริมาณที่แสดงถึงปริมาณพลังงานของคลื่นแผ่นดินไหวได้ดีกว่าขนาดชนิดอื่น สามารถวิเคราะห์ได้จาก โมเมนต์แผ่นดินไหว (Mo: Seismic Moment) โดยที่ Mo สามารถคำนวณได้จากหลายวิธี เช่น จากการวิเคราะห์คลื่นแผ่นดินไหวซึ่งค่อนข้างซับซ้อนหรือจากการสำรวจทางธรณีวิทยาเพื่อหาผลคูณของการขจัดของรอยเลื่อนเมื่อเกิดแผ่นดินไหว(Fault displacement) และปริมาณพื้นที่ของรอยเลื่อน (Fault surface area) ส่วนใหญ่ขนาด Mw ใช้สำหรับกรณีแผ่นดินไหวไกล ที่มีขนาดใหญ่

ขนาด	สูตรคำนวณ	คลื่นแผ่นดินไหว	ความยาวช่วงคลื่น (วินาที)	การตรวจวัด
ML	Log A-LogA_0	S	0.1-1.0	displacement
MB,mb	Log (A/T) +Q (h,D)	p	1.0-5.0	velocity
Ms	Log A + 1.66 Log D + 2.0	Surface	20	velocity
Mw	(2/3logM_0) - 10.7	Surface	>200	velocity

ตาราง 2.3 แสดงการคำนวณขนาดแผ่นดินไหวชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อันดับความรุนแรงแผ่นดินไหวตามมาตราเมอร์แคลลี (MM) วัดได้จากปรากฏการณ์ที่เกิดขึ้นขณะเกิดแผ่นดินไหวและหลังเกิดแผ่นดินไหว เช่น ความรู้สึกของความผู้คน ลักษณะที่วัตถุสิ่งก่อสร้างสั่นไหว หรือเสียหาย ลักษณะทางกายภาพของพื้นดินที่เปลี่ยนแปลง เป็นต้น ความรุนแรงแผ่นดินไหวมีด้วยกันหลายมาตราแต่ที่นิยมใช้ในประเทศไทยได้แก่ มาตราเมอร์แคลลีซึ่งมี 12 อันดับ (MM Scale) เรียงลำดับจากเหตุการณ์แผ่นดินไหวที่รุนแรงน้อยที่สุดจนถึงรุนแรงมากที่สุด แสดงดังตารางที่ 4อันดับความรุนแรงแผ่นดินไหวตามมาตราเมอร์แคลลี (MM)

อันดับ	เหตุการณ์แผ่นดินไหว
I	ไม่รู้สึกสั่นไหว ตรวจวัดได้ด้วยเครื่องมือ
II	รู้สึกบางคน โดยเฉพาะผู้อยู่ชั้นบนของอาคาร สิ่งของแกว่งไกว
III	ผู้อยู่ในอาคารรู้สึก เฉพาะอย่างยิ่งผู้อยู่ชั้นบนอาคาร แต่ผู้คนส่วนใหญ่ยังไม่รู้สึกว่ามีแผ่นดินไหว
IV	ในเวลากลางวันผู้คนในอาคารรู้สึกมาก แต่ผู้อยู่นอกอาคารรู้สึกบางคน จานหน้าต่าง ประตูสั่น ความรู้สึกเหมือนรถบรรทุกชนอาคาร
V	เกือบทุกคนรู้สึก หลายคนตกใจตื่น วัตถุที่ไม่มั่นคงล้มคว่ำ เสา ต้นไม้ แกว่งไกว
VI	ทุกคนรู้สึก เครื่องเรือนเคลื่อน ปล่องไฟแตก เกิดความเสียหายเล็กน้อยกับอาคาร
VII	ทุกคนตกใจวิ่งออกนอกอาคาร อาคารที่ออกแบบดีไม่เสียหาย เสียหายเล็กน้อยถึงปานกลางกับอาคารสิ่งก่อสร้างธรรมดา เสียหายมากกับอาคารที่ออกแบบไม่ดี ผู้ขับรถรู้สึกว่ามีแผ่นดินไหว
VIII	เสียหายเล็กน้อยกับอาคารที่ออกแบบไว้ดี เสียหายมากในอาคารธรรมดา บางส่วนของอาคารพังทลาย เสียหายอย่างมากในอาคารที่ออกแบบไม่ดี ผนังอาคารหลุดออกนอกอาคาร ปล่องไฟพัง ดินและทรายพุ่งขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IX	เสียหายมากในอาคารที่ออกแบบไว้ดี โครงสิ่งก่อสร้างบิดเบนจากแนวดิ่ง เสียหายอย่างมากกับอาคารและบางส่วนพังทลาย ตัวอาคารเคลื่อนจากฐานราก พื้นดินแตก ท่อใต้ดินแตกหัก
X	อาคารไม้ที่สร้างไว้อย่างดี เสียหาย โครงสร้างอาคารพังพลาย รางรถไฟบิดพื้นดินแตก แผ่นดินถล่มหลายแห่ง ทรายและโคลนพุ่งจากพื้นดิน
XI	สิ่งก่อสร้างเหลืออยู่น้อย สะพานถูกทำลาย พื้นดินมีรอยแยกกว้าง ท่อใต้ดินเสียหายหมด รางรถไฟบิดงอมาก
XII	เสียหายทั้งหมด เห็นคลื่นบนพื้นดิน เส้นแนวระดับสายตาบิดเบน วัตถุสิ่งของกระเด็นในอากาศ

ตาราง 2.4 อันดับความรุนแรงแผ่นดินไหวตามมาตราเมอร์แคลลี (MM)

2.5 การตรวจวัดแผ่นดินไหวและเครื่องมือ

เครื่องมือที่ใช้ในการศึกษาแผ่นดินไหวมีด้วยกันหลายประเภทซึ่งมีวัตถุประสงค์ในการตรวจวัดค่าต่างๆ เช่น เพื่อตรวจวัด ค่าสนามแม่เหล็กโลก ความสั่นสะเทือนของพื้นดิน ระยะการเคลื่อนตัวของเปลือกโลก การเปลี่ยนแปลงของปริมาณกาซเรดอน การเปลี่ยนแปลงของ ค่าความเค้นของหิน (Stress) ตรวจวัดระดับน้ำใต้ดิน ตรวจวัดระดับความลาดเอียง เป็นต้น

เครือข่ายตรวจวัดความสั่นสะเทือนทั่วไปจะเป็นเครื่องมือตรวจวัดความเร็วของอนุภาคดิน (Seismometer) มีวัตถุประสงค์โดยทั่วไปเพื่อหาตำแหน่งศูนย์กลางแผ่นดินไหว เวลาเกิด ขนาด และเครื่องมือตรวจวัดอัตราเร่งของพื้นดิน (Accelerometer เพื่องานด้านวิศวกรรม ข้อมูลพื้นฐานนี้สามารถนำมาวิเคราะห์ ลักษณะของแหล่งกำเนิดแผ่นดินไหว โครงสร้างของโลก ความเสี่ยงภัยแผ่นดินไหว และอื่นๆ

เครือข่ายการตรวจวัดแผ่นดินไหวมีหน่วยงานหลักที่รับผิดชอบโดยตรงได้แก่ กรมอุตุนิยมวิทยาปัจจุบันเครือข่ายการตรวจวัดแผ่นดินไหวของกรมอุตุนิยมวิทยาได้ปรับปรุงรวมถึงเพิ่มเติมระบบการตรวจวัดจากเดิมระบบอนาล็อกเป็นระบบดิจิตอลโดยส่งผ่านสัญญาณด้วยระบบสื่อสารดาวเทียมแบบเวลาจริง โดยมีศูนย์วิเคราะห์ข้อมูลแบบอัตโนมัติ ณ ส่วนกลางกรมอุตุนิยมวิทยา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีและหลักการทำงาน

3.1 ลำโพง

การเปลี่ยนพลังงานอย่างหนึ่งเป็นหลังงานอีกอย่างหนึ่งเรียกว่า ทรานสดิวเซอร์ เช่น ไมโครโฟนหรือลำโพง โดยเฉพาะลำโพงนั้นอาจจะเรียกว่าเป็นทรานสดิวเซอร์ 2 ช่วง (double teansducer) ช่วงแรกเปลี่ยนพลังงานไฟฟ้าเป็นพลังงานกล(การสั่น ช่วงที่สองเปลี่ยนพลังงานกลเป็นเป็นพลังงานเสียง (acoustical energy) เมื่อเครื่องขยายเสียงป้อนกระแสไฟฟ้าให้ลำโพง กรวยของลำโพงมีการเคลื่อนที่ (ดูดเข้า-ผลักออก) มวลอากาศที่อยู่โดยรอบบริเวณด้านหน้ากรวย จะถูกบีบอัดและคลายตัวเป็นจังหวะที่สอดคล้องกัน ทำให้เกิดคลื่นอากาศที่เรียกกันว่า "คลื่นเสียง" (sound wave) การบีบอัดและคลายตัวของมวลอากาศนี่เอง ที่ทำหน้าที่เป็นเสมือนผู้นำสารที่เป็น "เสียง" จากลำโพงไปสู่หูคนฟัง ลำโพงส่วนใหญ่จะทำการแปรเปลี่ยนพลังงานไฟฟ้าไปสู่พลังงานเสียง ซึ่งทำให้เกิดเป็นจริงเป็นจังได้โดยการออกแบบส่วนที่เรียกว่า "กลุ่มขดลวดเคลื่อนตัว" (moving coil) สัญญาณไฟฟ้าจะไหลผ่านเส้นลวดที่อยู่รอบๆกลุ่มขดลวด และกลุ่มขดลวดนั้นถูกติดตั้งเอาไว้ในสนามแม่เหล็กอีกทีหนึ่ง กระแสสลับที่ไหลผ่านเข้าไปในสนามแม่เหล็ก เกิดปฏิกิริยาทำให้กลุ่มขดลวดมีการเคลื่อนที่ มีผลให้กรวย (หรือไดอาแฟรม) มีการขยับตัวตามไปด้วย ในลักษณะของการผลักไปด้านหน้าและดึงกลับมาด้านหลังสลับไป-มาจนทำให้เกิด "เสียง"

3.1.1 ส่วนประกอบของลำโพงประกอบด้วย

1) กรวยหรือไดอะแฟรม (Diaphragm) ทำด้วยกระดาษแข็งหรือแผ่นพลาสติก หรือจะทำด้วย แผ่นโลหะบางๆ ก็ได้

2) ขอบยืด (suspension หรือ surround) เป็นขอบของไดอะแฟรม มีความยืดหยุ่นติดกับเฟรม สามารถเคลื่อนที่ขึ้นและลงได้ในระดับหนึ่ง

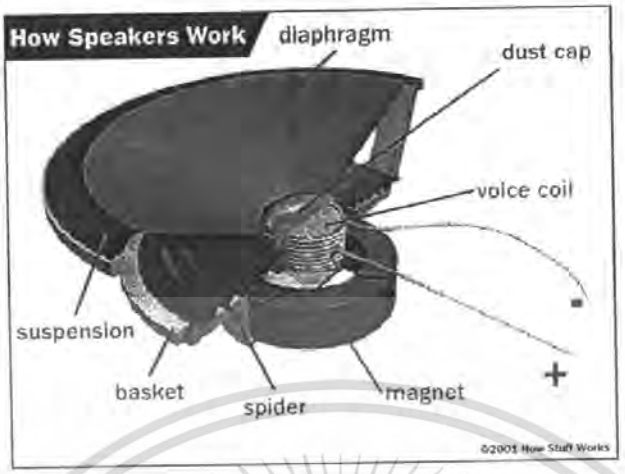
3) เฟรมหรือบางทีเรียกว่า บาสเก็ต (basket)

4) ยอดของกรวยติดอยู่กับคอยส์เสียง(Voice coil)

5) คอยส์เสียงจะยึดอยู่กับ สไปเดอร์ (Spider) มีลักษณะเป็นแผ่นวงกลมเหมือนแหวน สไปเดอร์จะยึดคอยส์เสียงให้อยู่ในตำแหน่งเดิม และทำหน้าที่ เหมือนกับสปริง โดยจะสั่นสะเทือน เมื่อมีสัญญาณไฟฟ้าเข้ามา

6) แม่เหล็กถาวร(Magnet)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.1 ส่วนประกอบของลำโพง

การทำงานของดอยส์เสียงใช้หลักการของแม่เหล็กไฟฟ้า โดยได้จากกฎของแอมแปร์ เมื่อมีกระแสไฟฟ้าไหลผ่านเข้าไปในขดลวดหรือดอยส์ ภายในดอยส์จะเกิดสนามแม่เหล็กขึ้น ซึ่งจะเหนี่ยวนำให้แท่งเหล็กที่สอดอยู่เป็นแม่เหล็กไฟฟ้า ปกติแม่เหล็กจะมีขั้วเหนือและขั้วใต้ ถ้านำแม่เหล็กสองแท่งมาอยู่ใกล้ๆกัน โดยนำขั้วเดียวกันมาชิดกันมันจะผลักกัน แต่ถ้าต่างขั้วกันมันจะดูดกัน ด้วยหลักการพื้นฐานนี้ จึงติดแม่เหล็กถาวรล้อมดอยส์เสียงและแท่งเหล็กไว้ เมื่อมีสัญญาณทางไฟฟ้าหรือสัญญาณเสียงที่เป็นไฟฟ้ากระแสสลับป้อนสัญญาณให้กับดอยส์เสียง ขั้วแม่เหล็กภายในดอยส์เสียงจะเปลี่ยนทิศทางตามสัญญาณสลับที่เข้ามา ทำให้ดอยส์เสียงขยับขึ้นและลง ซึ่งจะทำให้ใบลำโพงขยับเคลื่อนที่ขึ้นและลงด้วย ไปกระแทกกับอากาศ เกิดเป็นคลื่นเสียงขึ้น ใบลำโพงทำด้วยกรวยกระดาษ ติดอยู่กับดอยส์เสียง เมื่อดอยส์เสียงสั่นขึ้นและลงตามสัญญาณไฟฟ้ากระแสสลับ มันจะทำให้ใบลำโพงสั่นขึ้นลงด้วย ใบลำโพงจะติดอยู่บนสไปเดอร์ ที่ทำหน้าที่เหมือนสปริง คอยดึงใบลำโพงที่สั่นสะเทือนให้กลับเข้าสู่ตำแหน่งเดิมเสมอ เมื่อไม่มีสัญญาณไฟฟ้าป้อนเข้าลำโพง ถ้ามีสัญญาณไฟฟ้ากระแสสลับป้อนเข้าไปในดอยส์เสียง ทิศทางของกระแสไฟฟ้าจะกลับทิศทางอยู่ตลอดเวลา (สังเกตที่เครื่องหมาย + และ - จะเห็นว่ากลับทิศทางตลอดเวลาด้วย) และทำให้แผ่นลำโพงสั่นเคลื่อนที่ขึ้นและลง อัดอากาศด้านหน้าเกิดคลื่นเสียงขึ้น สัญญาณไฟฟ้ากระแสสลับที่ใส่ให้กับลำโพง จะแปรตามความถี่และแอมพลิจูด ซึ่งเป็นสัญญาณเดียวกันกับสัญญาณไฟฟ้ากระแสสลับที่ได้จากไมโครโฟน แต่ว่าสัญญาณที่ได้ในครั้งแรก ยังอ่อนมากจึงต้องผ่านเครื่องขยายก่อน จึงจะป้อนเข้าลำโพงได้ ใบลำโพงจะสั่นเร็วหรือช้าขึ้นอยู่กับความถี่ และเสียงจะดังหรือค่อยขึ้นอยู่กับแอมพลิจูดของสัญญาณไฟฟ้า ขนาดของลำโพงมีความสำคัญมาก ไม่ใช่ว่าลำโพงตัวเดียวสามารถจะให้ความถี่ได้ออกมาทุกๆความถี่ ถ้าต้องการให้เหมือนกับเสียงธรรมชาติมากที่สุด ลำโพงจะต้องมีหลายขนาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 ประเภทของลำโพง

1) วูฟเฟอร์ เป็นลำโพงที่มีขนาดใหญ่สุด ออกแบบมาเพื่อให้เสียงที่มีความถี่ต่ำ

2) ทวีทเตอร์ เป็นลำโพงที่มีขนาดเล็กสุด ออกแบบมาเพื่อให้เสียงที่มีความถี่สูง

3) มิดเรนส์ เป็นลำโพงขนาดกลาง ถูกออกแบบมาเพื่อให้เสียงในช่วงความถี่กลางๆ คือไม่สูง หรือไม่ต่ำ

รูป 3.2 วูฟเฟอร์ (Woofers)

รูป 3.3 ทวีทเตอร์ (Tweeters)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าฉาดกระบัง

รูป 3.4 มิดเรนส์ (Midrange)

ลำโพงทวีทเตอร์ เป็นลำโพงที่มีความถี่สูง แผ่นลำโพงมีขนาดเล็กและค่อนข้างแข็ง จึงสามารถสั่นด้วยความเร็วที่สูง ส่วนลำโพงแบบวูฟเฟอร์ แผ่นลำโพงจะมีขนาดใหญ่ และค่อนข้างนิ่ม จึงสั่นด้วยความเร็วต่ำ เพราะมีมวลมาก อย่างไรก็ตามเสียงทั่วไป มีความถี่กว้าง คือ มีความถี่จากสูงถึงต่ำ ซึ่งเราจะเรียกว่า มีความถี่ช่วงกว้าง ถ้าเรามีแต่ลำโพงทวีทเตอร์ และวูฟเฟอร์ เราจะได้เสียงอยู่ในย่านความถี่สูงกับต่ำเท่านั้น ความถี่ในช่วงกลางจะหายไป เพื่อจะให้คุณภาพของเสียงออกมาทุกช่วงความถี่ จึงจำเป็นจะต้องมีลำโพงมิดเรนส์ด้วย ภายในตู้ลำโพงตู้หนึ่ง จึงมักจะเห็นลำโพงทั้งสามชนิดประกอบเข้าด้วยกัน

สำหรับลำโพงแบบทวีทเตอร์ เครื่องขยายเสียงจะส่งความถี่สูงให้ ลำโพงวูฟเฟอร์ จะส่งความถี่ต่ำ ส่วนความถี่ในช่วงที่เหลือเป็นของลำโพงแบบมิดเรนส์ ถ้าลองถอดฝาตู้ด้านหลังออก เราจะได้เห็น อุปกรณ์ชิ้นหนึ่งเรียกว่า ครอสโอเวอร์ (Cross over) อุปกรณ์ตัวนี้เป็นตัวแยกสัญญาณไฟฟ้ากระแสสลับให้ออกเป็น 3 ส่วน คือ ส่วนความถี่สูง ความถี่ต่ำ และความถี่กลาง

3.1.3 การประยุกต์ใช้ลำโพงเป็นเซ็นเซอร์

จากหลักการทำงานของลำโพงข้างต้นสามารถนำมาประยุกต์ใช้ลำโพงให้เป็นเซ็นเซอร์เพื่อตรวจจับการเกิดแผ่นดินไหวโดยเลือกใช้ลำโพงความถี่ต่ำ เพราะลำโพงความถี่ต่ำสามารถดีเทคการเกิดแผ่นดินไหวได้ เพราะแผ่นดินไหวนั้นเกิดขึ้นที่ความถี่ค่อนข้างต่ำ และในการทำงานของเซ็นเซอร์ที่ประยุกต์มาจากลำโพงนี้หลักการทำงานก็จะทำงานตรงกันข้ามกับการทำงานของลำโพงที่ใช้ขับเสียง คือลำโพงจะรับการเกิดแผ่นดินไหวเมื่อมีคลื่นแผ่นดินไหวเกิดขึ้น "ขดลวดเคลื่อนตัว" (moving coil) จะเคลื่อนตัว กรวยของลำโพงมีการเคลื่อนที่ (ดูดเข้า-ผลักออก) มวล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82433

อากาศที่อยู่โดยรอบบริเวณด้านหน้ากรวย จะถูกบีบอัดและคลายตัวเป็นจังหวะที่สอดคล้องกัน ทำให้เกิดสนามแม่เหล็ก เกิดปฏิกิริยาทำให้กลุ่มขดลวดมีการเคลื่อนที่มีผลให้กรวย (หรือไดอาแฟรม) มีการขยับตัวตามไปด้วย ในลักษณะของการผลักไปด้านหน้าและดึงกลับมาด้านหลังสลับไปมาจะเกิดเป็นสัญญาณไฟฟ้าแล้วไหลผ่านเส้นลวดที่อยู่รอบๆกลุ่มขดลวดแล้วส่งออกทางขั้วของลำโพง เสมือนการแปรเปลี่ยนพลังงานการสั่นสะเทือนไปสู่พลังงานไฟฟ้า จึงเกิดเป็นเซ็นเซอร์ตรวจจับแผ่นดินไหว

3.2 ไมโครคอนโทรลเลอร์ PSoC

ระบบไมโครคอนโทรลเลอร์เดิม ซึ่งสามารถรองรับการทำงานในรูปแบบเฉพาะสัญญาณทางดิจิตอล จึงมีการพัฒนาชิพไมโครคอนโทรลเลอร์ขึ้นเพื่อลดปัญหาและข้อจำกัดของระบบไมโครคอนโทรลเลอร์แบบเดิมตามคอนเซ็ปที่ว่า PSoC หรือ Programmable System On Chip ซึ่งรวมเอาการทำงานทางด้านอนาล็อกเข้ามาภายในชิพเดียวจึงถือว่าเป็นประโยชน์ต่อการพัฒนา และลดความยุ่งยากในการจัดทำวงจรอินเตอร์เฟสเพิ่มเติม

3.2.1 คุณสมบัติสำคัญของ PSoC

1) มีการสร้างระบบภายในแบบ Harvard Architecture ด้วยหน่วยประมวลผลแบบ M8C และสามารถทำงานได้ที่ความถี่สูงถึง 24 MHz

2) มีวงจรคูณเลขภายในแบบ 8X8 Multiply (32 Bit Accumulate)

3) สามาทำงานแรงดันไฟต่ำได้ 3 – 5 โวลต์

4) มีโหมดการทำงานแบบ Switch Mode Pump (SMP) ซึ่งช่วยให้ระบบทำงานในสภาวะแรงดันที่ต่ำถึง 1 โวลต์

5) ทำงานในช่วงอุณหภูมิ -40 ถึง 85 องศาเซลเซียท

6) วงจรกำเนิดสัญญาณนาฬิกาภายในที่มีความเที่ยงตรงสูง เท่ากับ 24/48 MHz และยังทำงานร่วมกับ External Oscillator ได้ที่ความถี่สูงถึง 24 MHz

7) มีหน่วยความจำภายในที่ยืดหยุ่นสูง

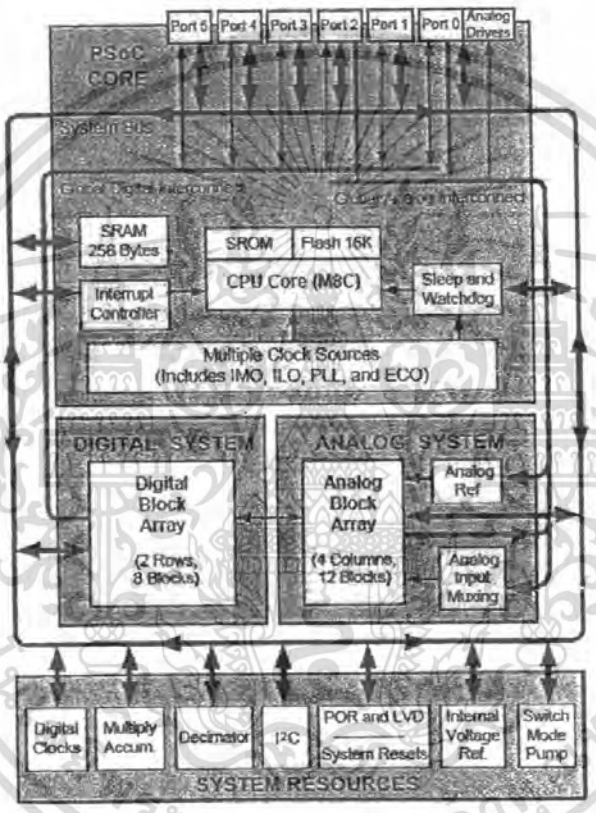
8) สามารถโปรแกรมฟังก์ชั่นการทำงานให้กับขาต่างๆของไมโครคอนโทรลเลอร์ได้ และสามารถขับกระแสได้ 25 mA ทุกขาในโหมด GPIO

9) และมีทรัพยากรเพิ่มเติมที่มีอยู่ภายในต่างๆ เช่น I2C Slave Master Watchdog sleep timer และมีวงจรกำเนิดแรงดันอ้างอิงภายในที่มีความเที่ยงตรงสูง

10) มีซอฟต์แวร์สำหรับใช้ในการพัฒนาการใช้งานได้ทั้ง C และ Assembly

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การศึกษาและใช้งานไมโครคอนโทรลเลอร์ให้เกิดประโยชน์และประสิทธิภาพสูงสุด ผู้ใช้จะต้องควรทราบถึงองค์ประกอบและความสามารถภายในตัวชิพ เพื่อสามารถนำไปประยุกต์ใช้งานได้อย่างถูกต้องและเหมาะสม สำหรับ PSoC มีรูปแบโครงสร้างของระบบภายในดังรูป 3.5

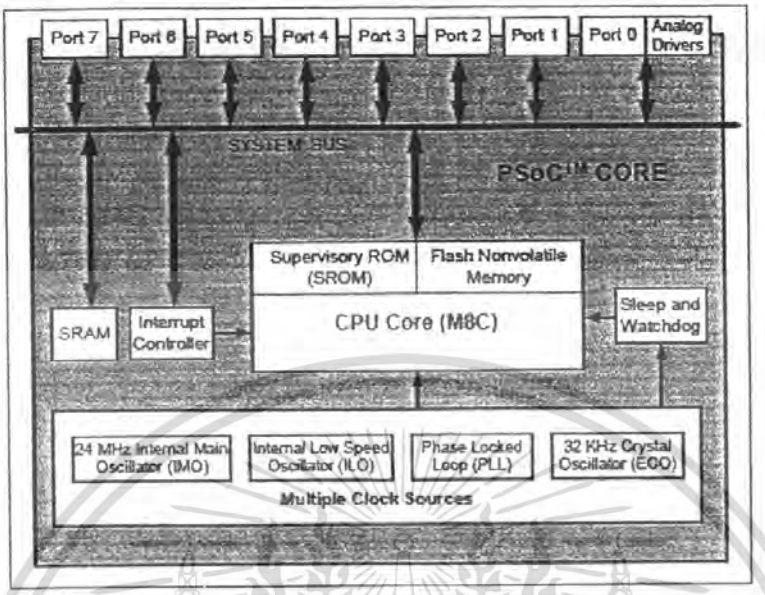


รูป 3.5 บล็อกไดอะแกรมไมโครคอนโทรลเลอร์ PSoC

3.2.2 PSoC Core

เป็นส่วนของแกนหลักในการประมวลผลและควบคุมการทำงานภายในทั้งหมด อันประกอบด้วย หน่วยประมวลผลแบบ M8C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

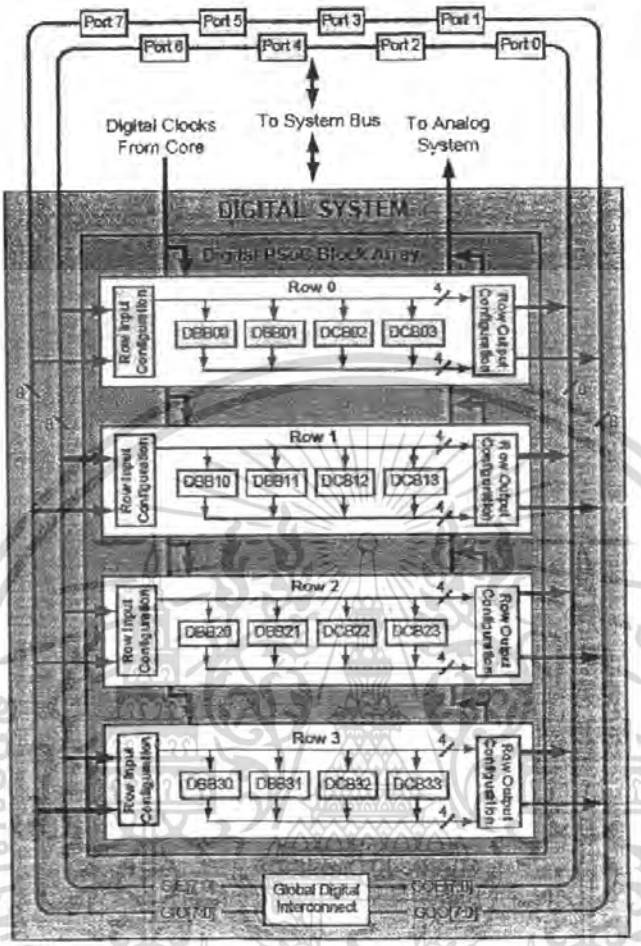


รูป 3.6 PSoC Core

3.2.3 Digital System

เป็นพื้นที่การทำงานของระบบดิจิตอลโดยเป็นส่วนการทำงานทางด้าน Hardware ที แยกเป็นอิสระจาก PCoS Core โครงสร้างส่วนนี้เองที่ผู้สร้างสามารถกำหนดคุณสมบัติทางด้านดิจิตอลลงบนชิพเองได้ เช่น Timer Counter PWM I2C และ UART เป็นต้นเพื่อให้ชิพมีคุณสมบัติทางดิจิตอลตามที่ต้องการ สำหรับชิพเบอร์ CY8C27443 มีให้ใช้งานได้ 16 Digital Block และแต่ละบล็อกมีข้อมูลขนาด 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

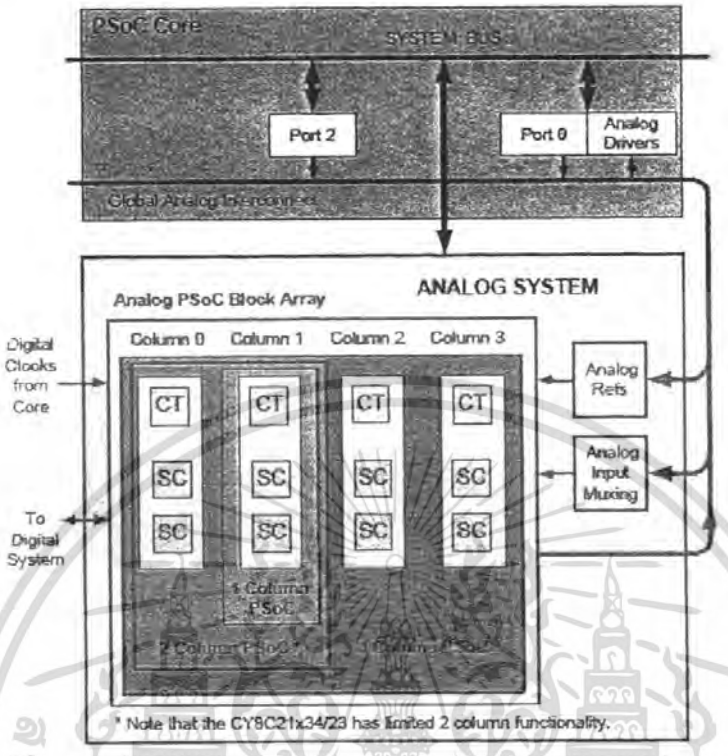


รูป 3.7 Digital System

3.2.4 Analog System

เป็นพื้นที่การทำงานของระบบอนาล็อกโดยเป็นส่วนการทำงานทางด้าน Hardware ที่ แยกเป็นอิสระจาก PCoS Core และ Digital system โดยโครงสร้างส่วนนี้เองที่ผู้สร้างสามารถกำหนดคุณสมบัติทางด้านอนาล็อกลงบนชิพเองได้ เช่น Amplifier ADC DAC เป็นต้น สำหรับชิพเบอร์ CY8C27443 มีให้ใช้งานได้ 12 Analog Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.8 Analog System

3.2.5 System Resource

เป็นส่วนของทรัพยากรรวมภายใน ซึ่งละส่วนของระบบไมโครคอนโทรลเลอร์สามารถติดต่อถึงกันได้ผ่านซิสเต็มบัส (System Bus) อันประกอบด้วย

1) Digital Clocks สำหรับควบคุมการหารความถี่สัญญาณนาฬิกา

2) Multiply Accumulate (MAC)

3) Decimator

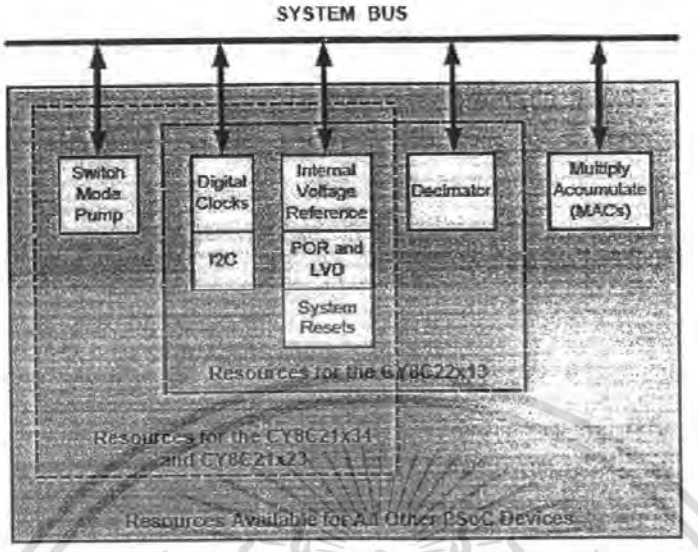
4) I2C สำหรับการสื่อสารด้วยรูปแบบ I2C

5) POR and LVD สำหรับควบคุมระบบ Reset และระบบตรวจสอบแรงดันไฟเลี้ยงต่ำกว่ากำหนด

6) Internal Voltage Reference แรงดันอ้างอิงภายในสามารถกำหนดเป็นแรงดันอ้างอิงให้แก่ ADC หรือส่งค่าแรงดันอ้างอิงออกสู่ขาสัญญาณเพื่อนำออกไปใช้งานภายนอกได้

7) Switch Mode Pump เป็นโหมดการทำงานเพื่อบูทแรงดันไฟเลี้ยงที่ต่ำให้มีแรงดันที่สูงขึ้นและเพียงพอสำหรับการทำงานของระบบไมโครคอนโทรลเลอร์ที่ประยุกต์ใช้กับแบตเตอรี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.9 System Resource

3.2.6 PORT

เป็นขาสัญญาณต่างๆ สำหรับการอินเตอร์เฟสไปยังวงจรต่างๆ โดยจำนวนของพอร์ต จะขึ้นอยู่กับเบอร์ของชิพ สำหรับเบอร์ CY27443 ที่ใช้จะมี 48 ขาให้ได้เลือกใช้งาน ซึ่งขาสัญญาณของ PSoC มีลักษณะคล้ายกับไมโครคอนโทรลเลอร์เบอร์อื่นๆ คือมีทั้งขาสัญญาณอินพุต เอาต์พุต ซึ่งในบางขาอาจจะทำหน้าที่มากกว่าหนึ่งหน้าที่ หน้าที่การทำงานของขาสัญญาณต่างๆของ PSoC สามารถสรุปได้ดังตาราง 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Name	Description	Input/Oupput
SMP	Switch Mode Pump	Power
Vdd	Supply Voltage	Power
Vss	Ground	Input
XRES	External Reset (Active High)	Input/Output
P0[0] - P0[1]	Port 0[0], 0[1], Analog Input	Input/Output
P0[2] - P0[5]	Port 0[2], 0[3], 0[4], 0[5], Analog Input/Output	Input/Output
P0[6] - P0[7]	Port 0[6], 0[7], Analog Input	Input/Output
P1[0]	Port 1[0],ALOut / SDATA / I2C SCL	Input/Output
P1[1]	Port 10], XTALIn / SCLK / I2C SCL	Input/Output
P1[2]	Port 1[2]	Input/Output
P1[3}	Port 1[3]	Input/Output
P1[4]	Port 1[4], EXTCLK	Input/Output
P1[5]	Port 1[5], I2C SDA	Input/Output
P1[6]	Port 1[6]	Input/Output
P1[7]	Port 1[7], I2C SCL	Input/Output
P2[0] - P2[3]	Port 2[0], 2[1], 2[2], 2[3], Non-Multiplexed Analog Input(Switched Capacitor)	Input/Output
P2[4]	Port 2[4], External AGND	Input/Output
P2[5]	Port 2[5]	Input/Output
P2[6]	Port 2[6], External VREF	Input/Output
P2[7]	Port 2[7]	Input/Output
P3[0] - P3[7]	Port 3[0], 3[1], 3[2], 3[3], 3[4], 3[5], 3[6], 3[7]	Input/Output
P4[0] - P4[7]	Port 4[0], 4[1], 4[2], 4[3], 4[4], 4[5], 4[6], 4[7]	Input/Output
P5[0] - P5[3]	Port 5[0], 5[1], 5[2], 5[3]	Input/Output

ตาราง 3.1 แสดงหน้าที่การทำงานของขาต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากการใช้งานของขาพอร์ตต่างๆเป็นพอร์ตอินพุต/เอาต์พุตทั่วไปแล้ว ขาพอร์ตของขายังมีหน้าที่เฉพาะอย่างดังต่อไปนี้

1) VDD เป็นขาสัญญาณไฟเลี้ยง ต่อกับไฟ 5โวลต์
2) VSS เป็นขากราวด์ ต่อกับไฟเลี้ยง 0 โวลต์
3) XRES เป็นขาสำหรับรีเซต เมื่อนี้มีลอจิกเป็น "1" CPU จะถูกรีเซต
4) P0[2]-P0[5] เป็นาสำหรับรับสัญญาณทางอนาล็อกเข้าภายในเพื่อทำการประมวลผล

นอกจากนี้แล้วยังสามารถส่งสัญญาณอนาล็อกออกไปทางขาเหล่านี้ได้อีกด้วย

5) P0[6]-P0[7] เป็นขาสำหรับรับสัญญาณทางอนาล็อกเข้าภายในเพื่อทำการประมวลผล

แต่ไม่สามารถส่งสัญญาณอนาล็อกออกไปทางขาเหล่านี้ได้

6) P0[0] เป็นขา XTALout ใช้สำหรับต่อกับ XTAL เพื่อสร้างสัญญาณให้กับ PSoC (ใช้

งานร่วมกับ P0[1])

7) P0[1] เป็นขา XTALout ใช้สำหรับต่อกับ XTAL เพื่อสร้างสัญญาณให้กับ PSoC (ใช้

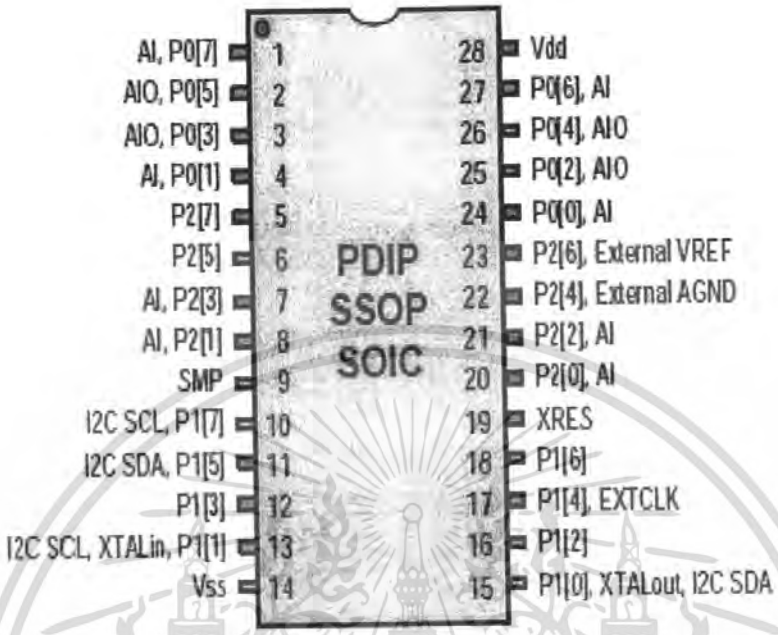
งานร่วมกับ P0[0])

8) P1[4] เป็นาสำหรับรับสัญญาณจากภายนอก
9) P1[5] เป็นขารับ/ส่งข้อมูลของ I2C ซึ่งจะเรียกว่าขา SDA (Serial Data)
10) P1[7] เป็นขารับสัญญาณนาฬิกาในการรับ/ส่งของมูล I2C เพื่อให้ด้านส่งและด้านรับ

ทำการรับงข้อมูลได้อย่างสอดคล้องกัน ซึ่งเรียกว่า SCL (Serial Clock)

11) P2[0]- P2[3] เป็นขารับสัญญาณอนาล็อกแบบ Non – Multiplexed
12) P2[6] เป็นขารับสัญญาณอ้างอิงจากภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.10 PSoC เบอร์ CY8C27443

3.3 หลักการทำงานของไมโครคอนโทรลเลอร์ (PSoC)

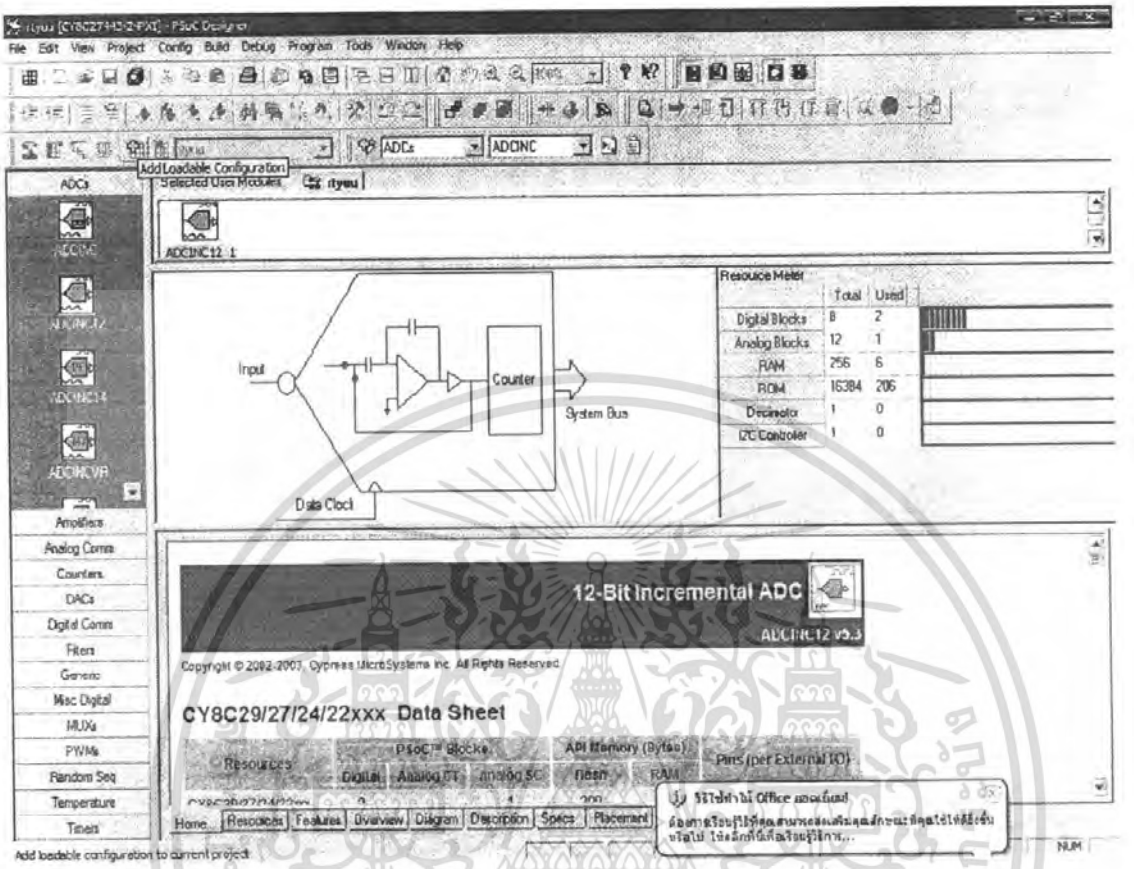
ในตัวไอซีไมโครคอนโทรลเลอร์มีฟังก์ชั่นการทำงานมากมาย คือ วงจร AC to DC , DC to AC , Amplifiers , Pulse width mod. , timers , ... ทำให้งายต่อการออกแบบให้เป็นวงจรรวมภายในตัวเดียวได้ทันทีโดยที่ไม่ต้องมีการต่อกับวงจรภาคต่างๆให้วุ่นวายและเปลืองเนื้อที่อื่นใด

3.3.1 ADC

1. โดยเลือกฟังค์ชั่น ADCs และเลือกฟังก์ชั่นย่อย ADCINC12 เพื่อทำการสร้างโมดูล (Module) วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

2. ต่อมาทำดับเบิลคลิกตัวโมดูล)วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลเพื่อเลือกใช้งาน แล้วเลือกฟังก์ชั่น Interconnect View ดังรูป 3.11

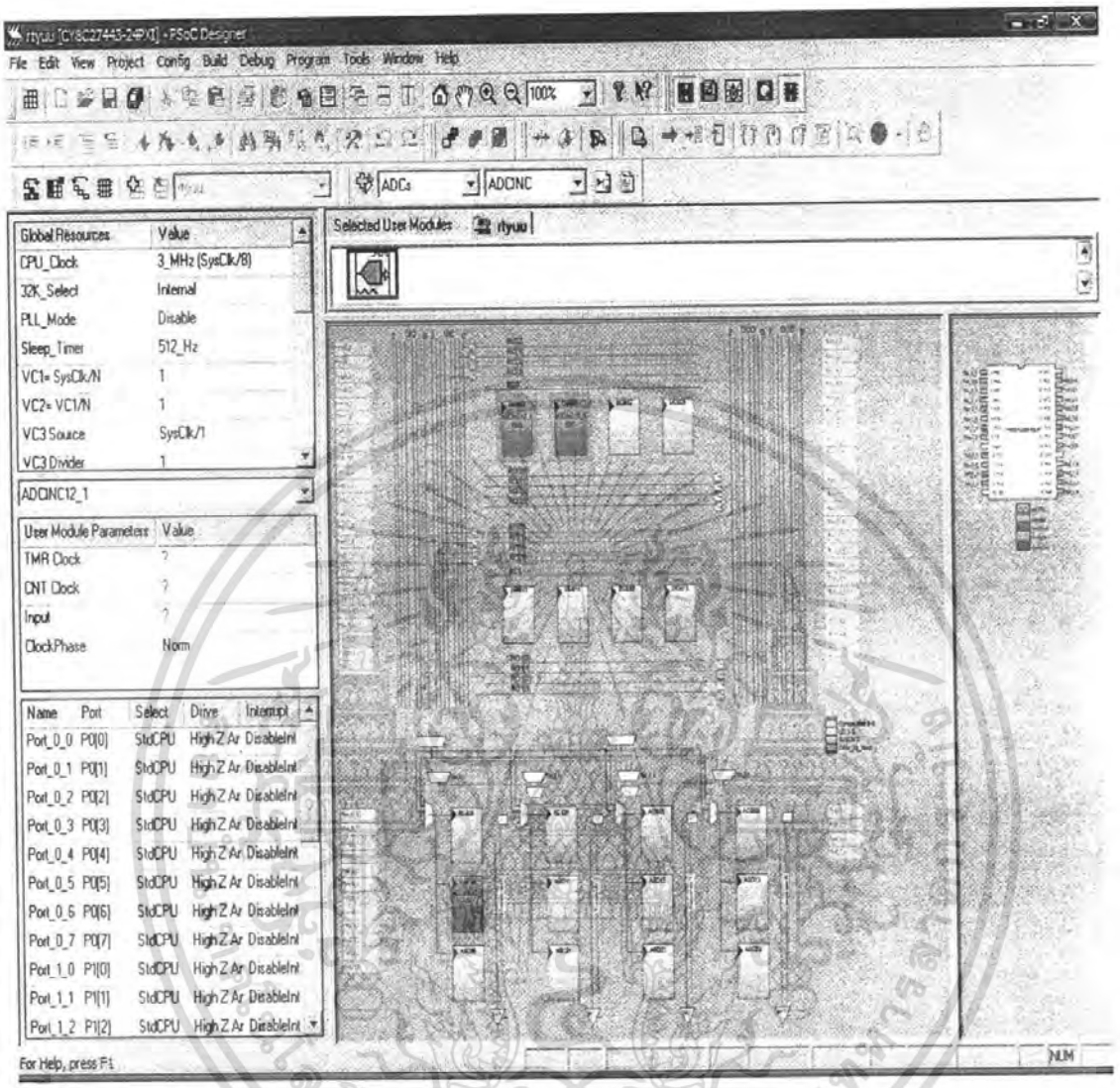
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.11 แสดงการสร้าง ADCINC12_1

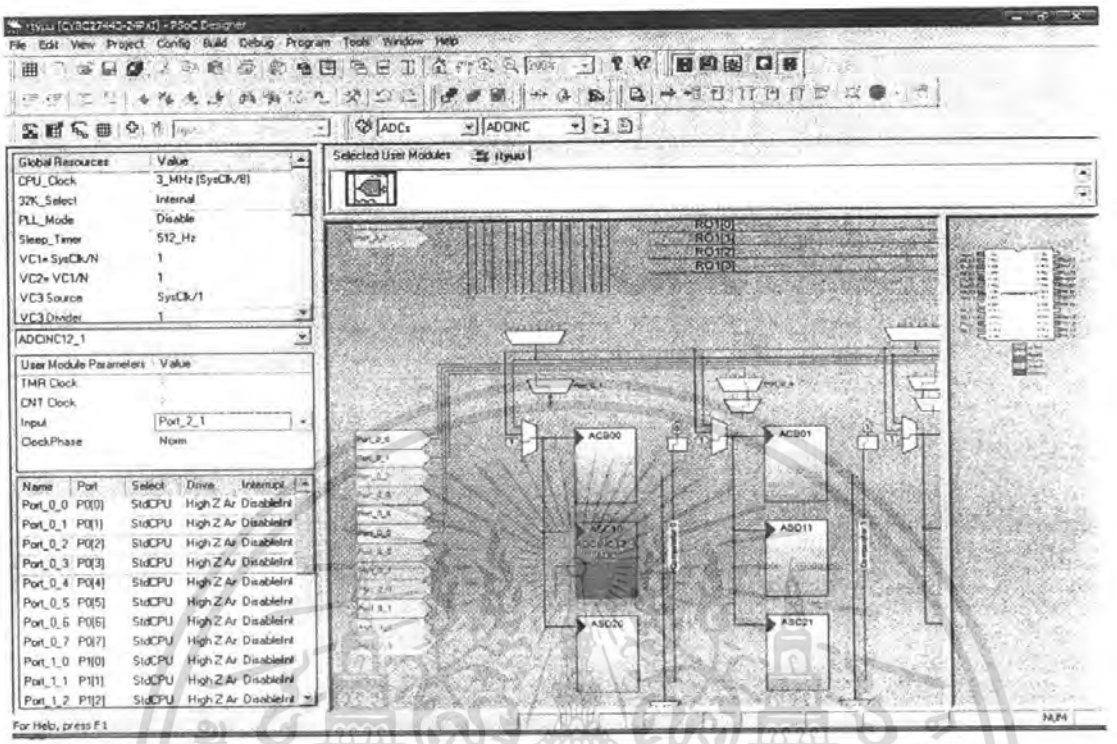
3. คลิกเลือกฟังก์ชั่น ADCINC12_1 ให้เป็นสีเทา เลือกคำสั่ง Place Use Module แล้วตั้งค่า Global Resources และ User module Parameters ในช่อง Value ให้เป็นดังรูป 3.12 และรูป 3.13 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

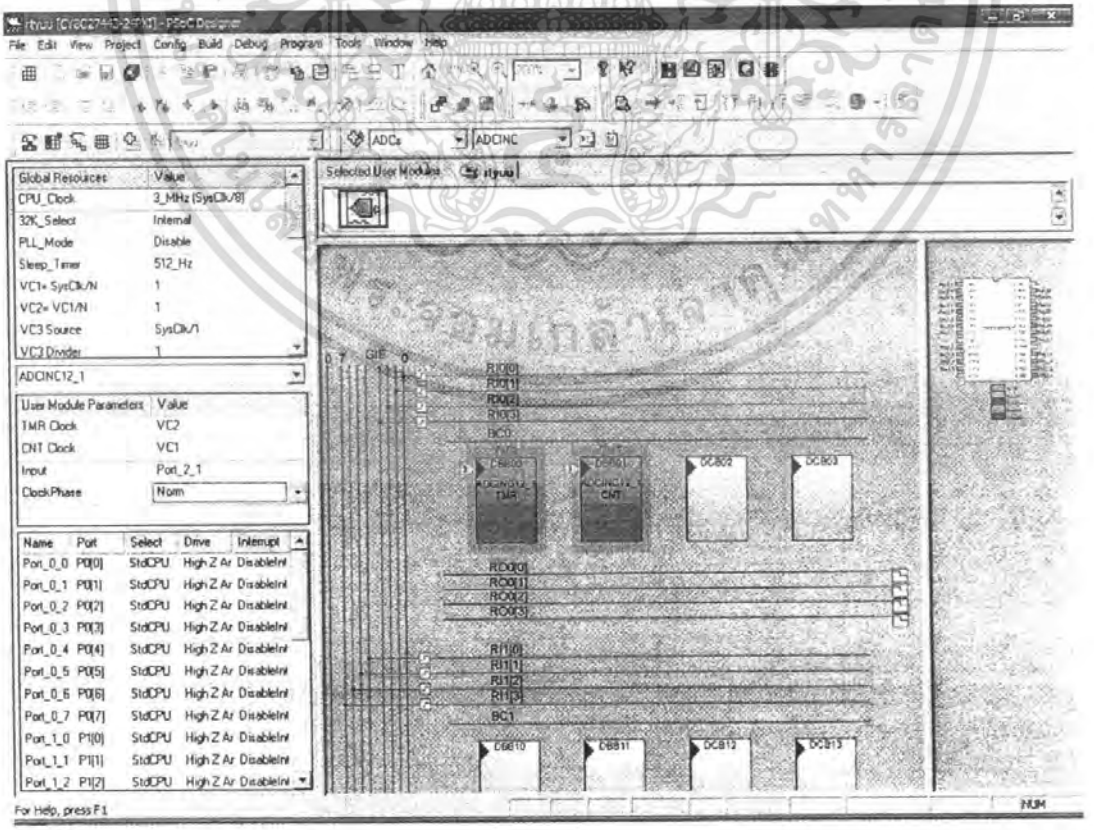


รูป 3.12 แสดงการวางโมดูล และ ตั้งค่า ใน Value ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.13 แสดงการตั้งค่า Global Value และ Use Module Parameters



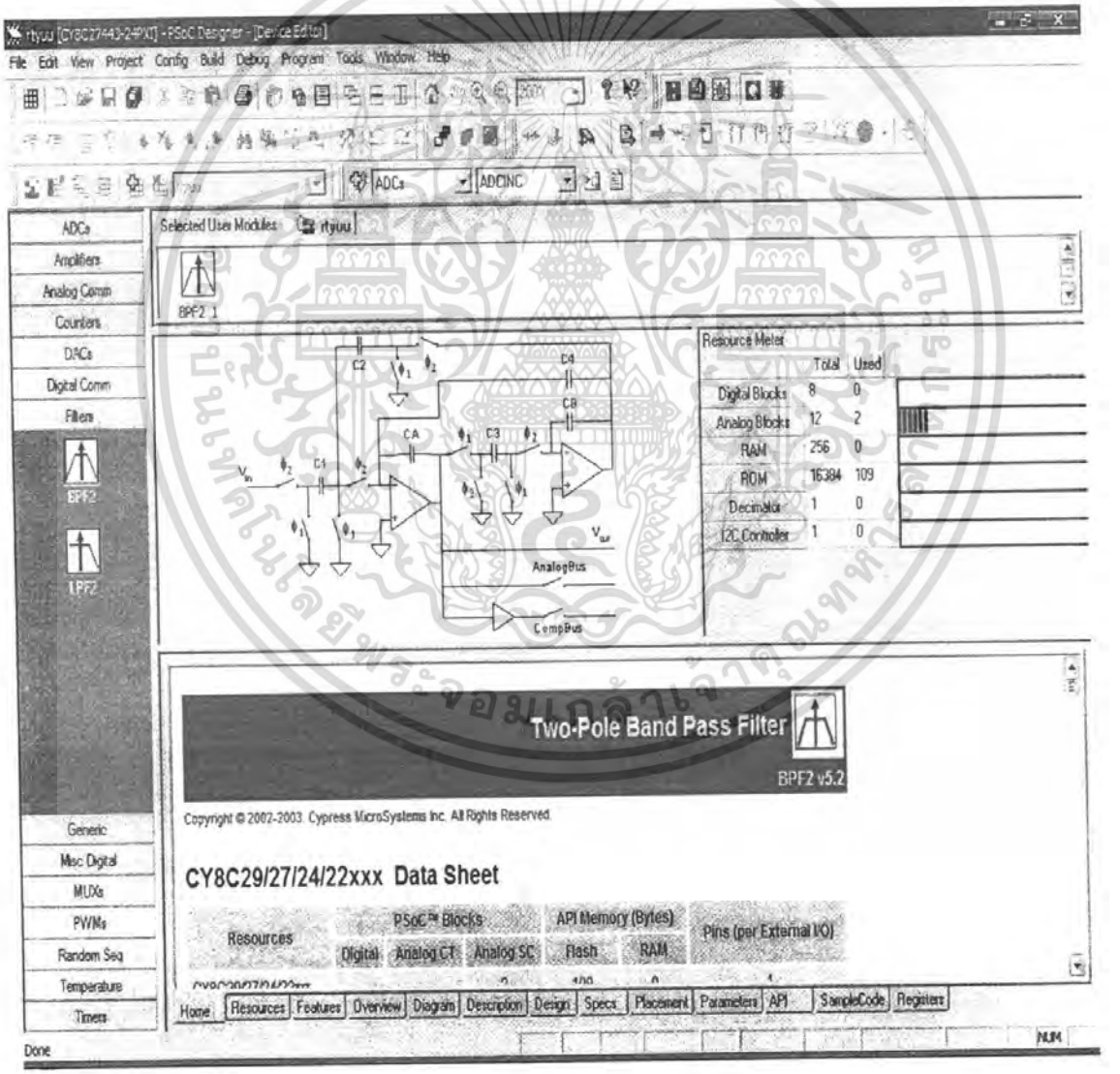
รูป 3.14 แสดงบล็อกที่แปลงเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 Band Pass Filter

1. เลือกฟังก์ชั่น Filters คลิกเลือกฟังชั่นย่อย BPF2 (BPF2 ต้องใช้โมดูลจำนวน 2 Block และเลือกแบบ BPF2A) เพื่อทำการเลือกโมดูลวงจรกรองความถี่จากการผ่านวงจรขยายสัญญาณแล้ว

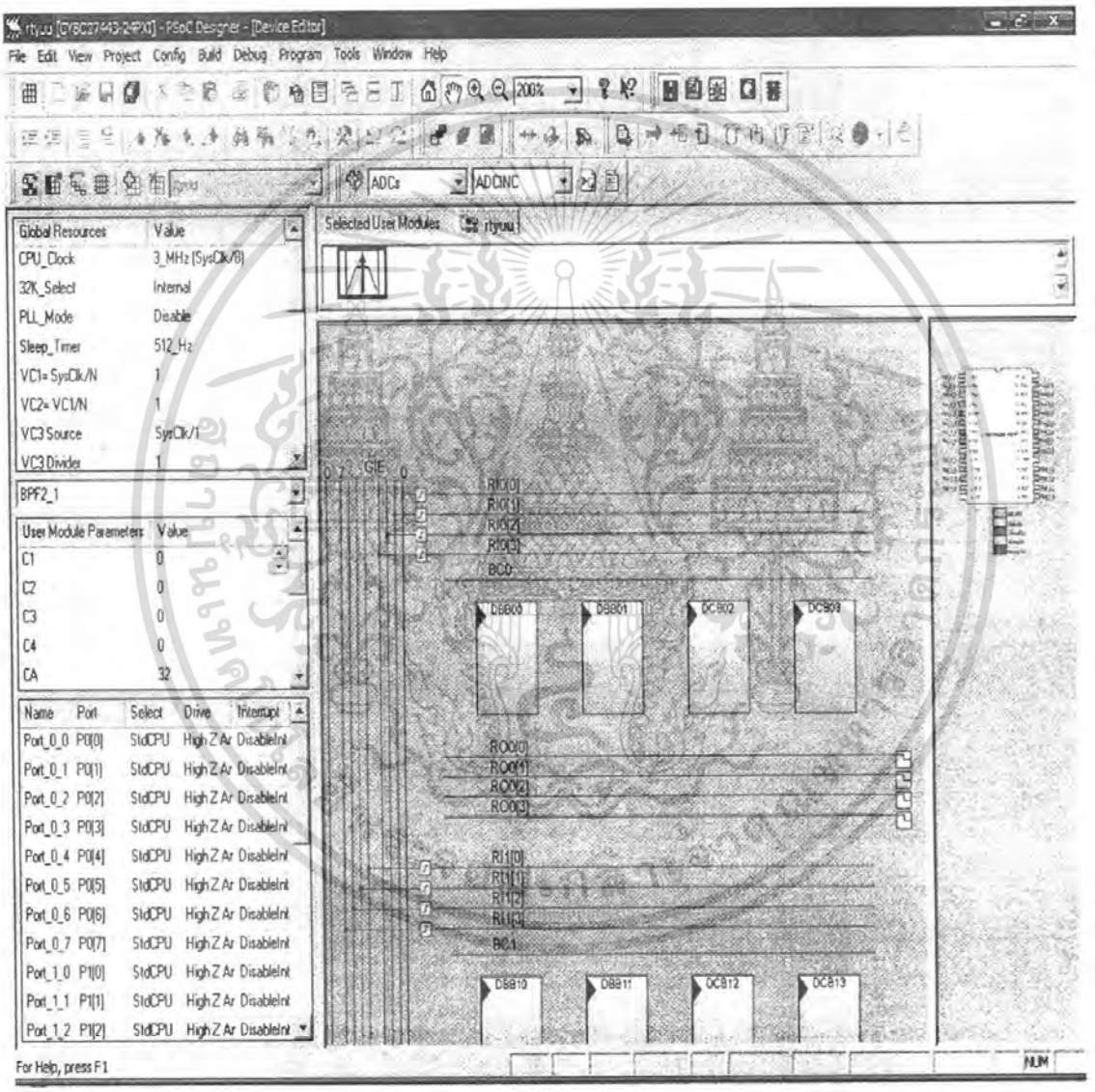
2. ต่อมาเลือกฟังก์ชั่น Interconnect View เพื่อทำการตั้งค่าตัวโมดูล ทีละ Block ดังรูป 3.15



รูป 3.15 แสดงการสร้าง Band pass Filter Module

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. คลิกฟังก์ชั่น BPF2 ให้เป็นสีเทา เลือกคำสั่ง Place Use Module แล้วทำการตั้งค่า Global Resources และ User Module Parameters ในช่อง Value ทำเช่นทีละ Block ดังรูป 3.16 , รูป 3.17 และ รูป 3.18 ตามลำดับ



รูป 3.16 แสดงการวาง BPF2 Module และ การตั้งค่า Value

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

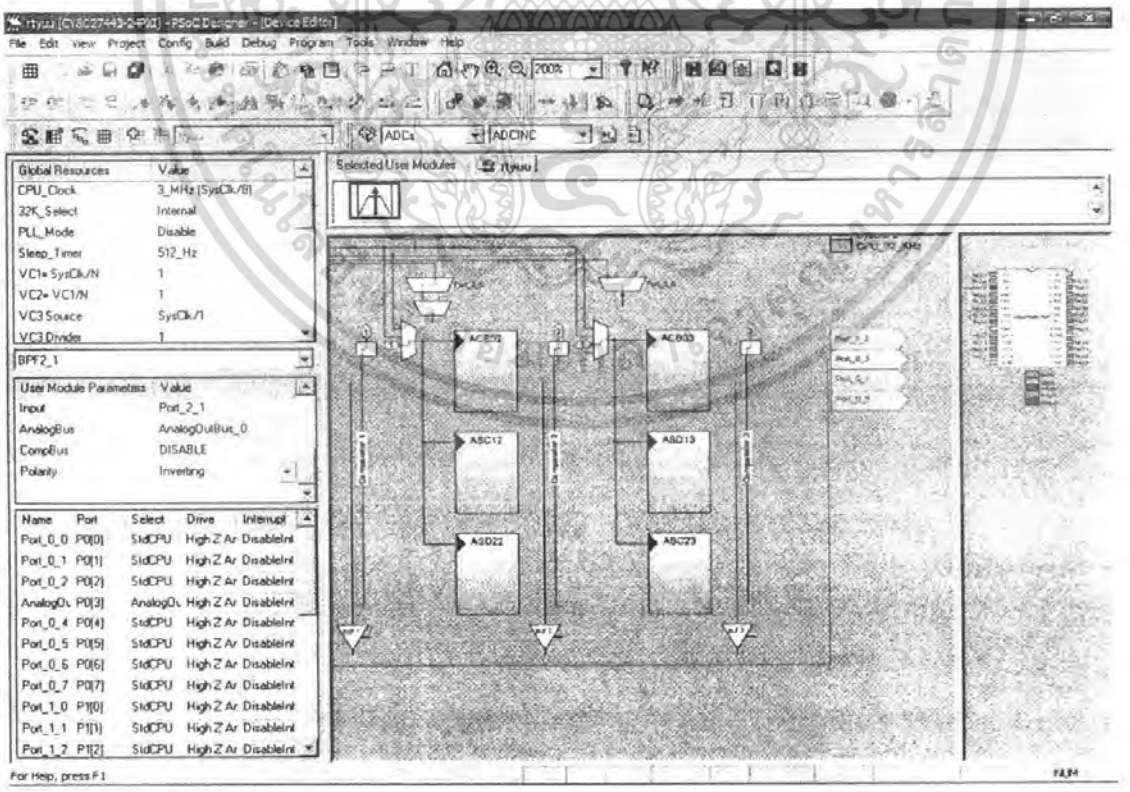
Global Resources	Value
CPU_Clock	24_MHz (SysClk/1)
32K_Select	Internal
PLL_Mode	Disable
Sleep_Timer	512_Hz
VC1= SysClk/N	2
VC2= VC1/N	1
VC3 Source	SysClk/1
VC3 Divider	1
SysClk Source	Internal 24_MHz
SysClk*2 Disable	No
Analog Power	SC On/Ref Low
Ref Mux	(Vdd/2)+/-BandGap
AGndBypass	Disable
Op-Amp Bias	Low
A_Buff_Power	Low
SwitchModePump	OFF
Trip Voltage [LVD (SMP)]	4.81V (5.00V)
LVDThrottleBack	Disable
Supply Voltage	5.0V
Watchdog Enable	Disable

CPU_Clock

BPF2_1

User Module Parameters	Value
C1	24
C2	10
C3	8
C4	4
CA	32
CB	32
Input	ACB00
AnalogBus	DISABLE
CompBus	DISABLE
Polarity	Inverting

รูป 3.17 แสดงการตั้งค่า Global Resources และ User Module Parameters ของ BPF2_1



รูป 3.18 แสดงการเชื่อมสายของวงจร BPF2_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรและการทดลอง

4.1 การทดลองและตรวจสอบการทำงานของเซนเซอร์

วัตถุประสงค์

1. เพื่อเป็นการตรวจสอบว่าเซนเซอร์สามารถทำงานได้
2. เพื่อเป็นการตรวจสอบว่าเซนเซอร์ตอบสนองที่ความถี่ใดเมื่อเกิดแผ่นดินไหว
3. เพื่อเป็นการตรวจสอบว่าเซนเซอร์มีความสามารถในการตรวจจับแผ่นดินไหวได้
4. เพื่อเป็นการตรวจสอบว่าเซนเซอร์สามารถตรวจจับการเคลื่อนที่ของเปลือกโลกได้แบบใดบ้าง
5. เพื่อเป็นการตรวจสอบว่ามวลที่นำมาถ่วงเซนเซอร์มีการเปลี่ยนแปลงค่าแอมปลิจูดและค่าความถี่อย่างไร

เครื่องมือและอุปกรณ์ที่ใช้ในการทดลอง

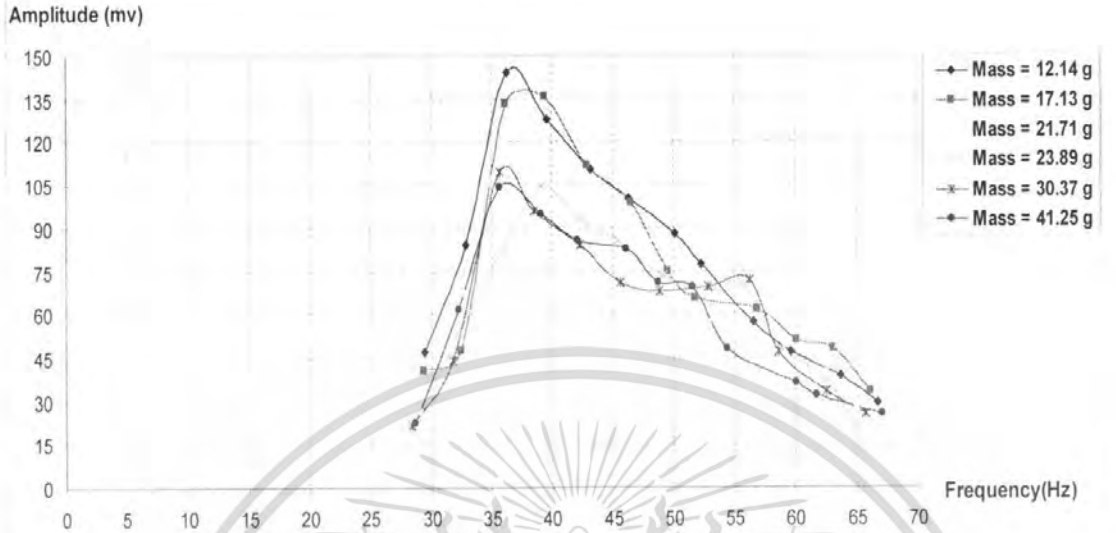
1. เครื่องจำลองการเกิดแผ่นดินไหว
2. แหล่งจ่ายไฟ 0 - 12 โวลต์
3. ออสซิลโลสโคป
4. ตัวเซนเซอร์ (ลำโพง)
5. มวลขนาดต่างๆ

ขั้นตอนการทดลอง

การทดลองหาค่าความถี่ที่ตัวเซนเซอร์สามารถตรวจจับได้ เมื่อเกิดแผ่นดินไหวที่ค่าความแรงต่างกัน และหามวลเพื่อถ่วงตัวเซนเซอร์ให้รับค่าความสั่นที่มีแอมปลิจูดสูงสุดและมีผลต่อค่าความถี่อย่างไรเพื่อส่งต่อประมวลผลต่อไป

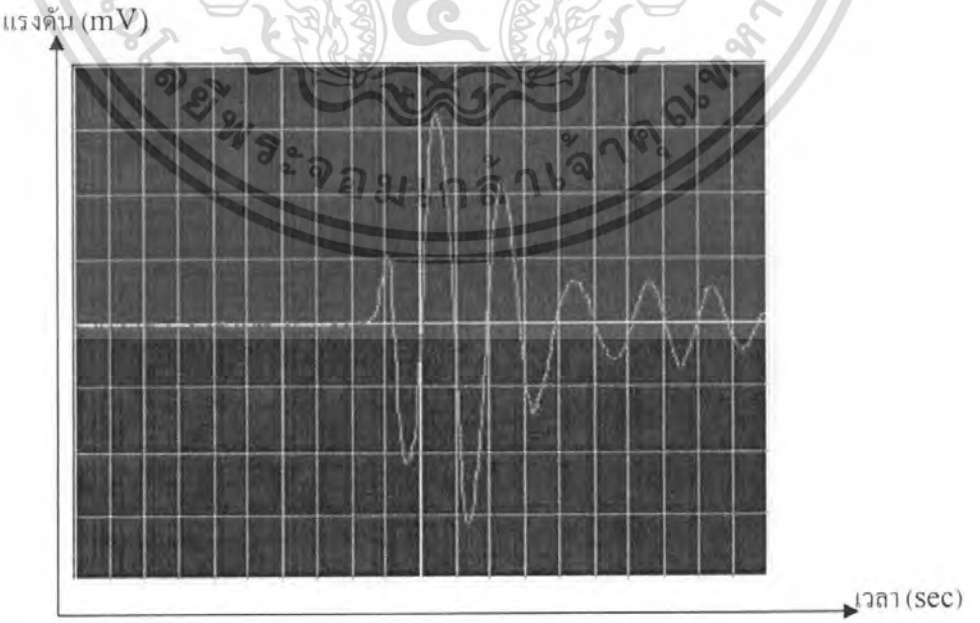
1. ทดลองจำลองแผ่นดินไหวแบบต่อเนื่องเพื่อหาค่าความสัมพันธ์ระหว่างความถี่กับแอมปลิจูดที่มวลถ่วงเซนเซอร์ค่าต่างกันเพื่อหามวลเหล็กที่ทำให้เซนเซอร์สามารถอ่านค่าที่แอมปลิจูดสูงสุดและเพื่อหาความถี่ของแผ่นดินไหวที่เซนเซอร์อ่านได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



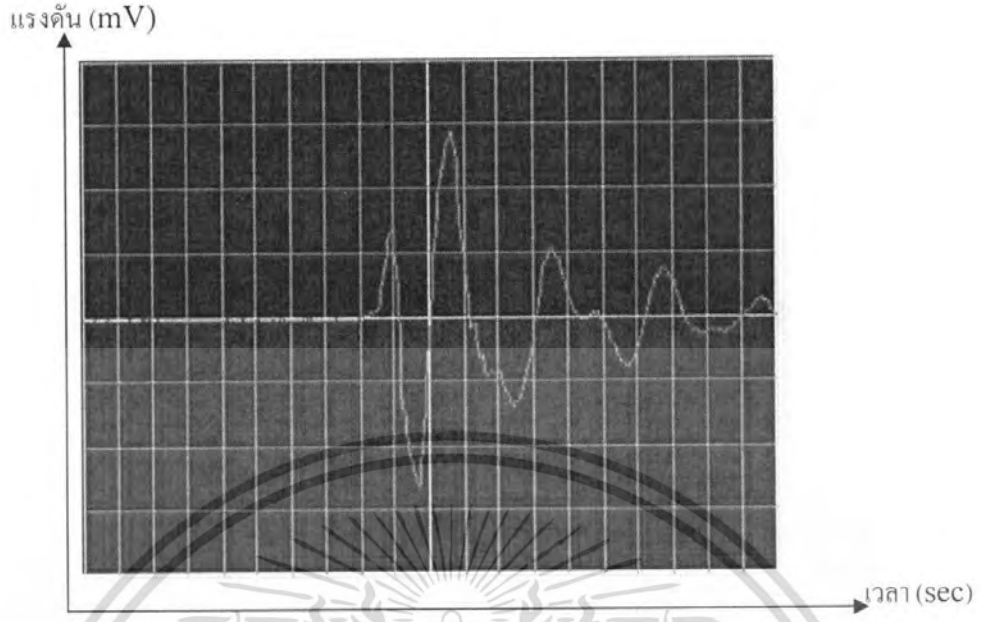
รูป 4.1 กราฟ แสดงความสัมพันธ์ระหว่างความถี่กับแอมปลิจูดที่มวลค่าต่างกัน

2. ทดลองจำลองแผ่นดินไหวแบบช็อกคือกระแทกโต๊ะที่แรงสั่นค่าหนึ่งเพื่อหามวลถ่วงเซนเซอร์ค่าต่างกันเพื่อหามวลที่ทำให้เซนเซอร์สามารถอ่านค่าที่แอมปลิจูดสูงสุดและเพื่อหาความถี่ของแผ่นดินไหวที่เซนเซอร์อ่านได้

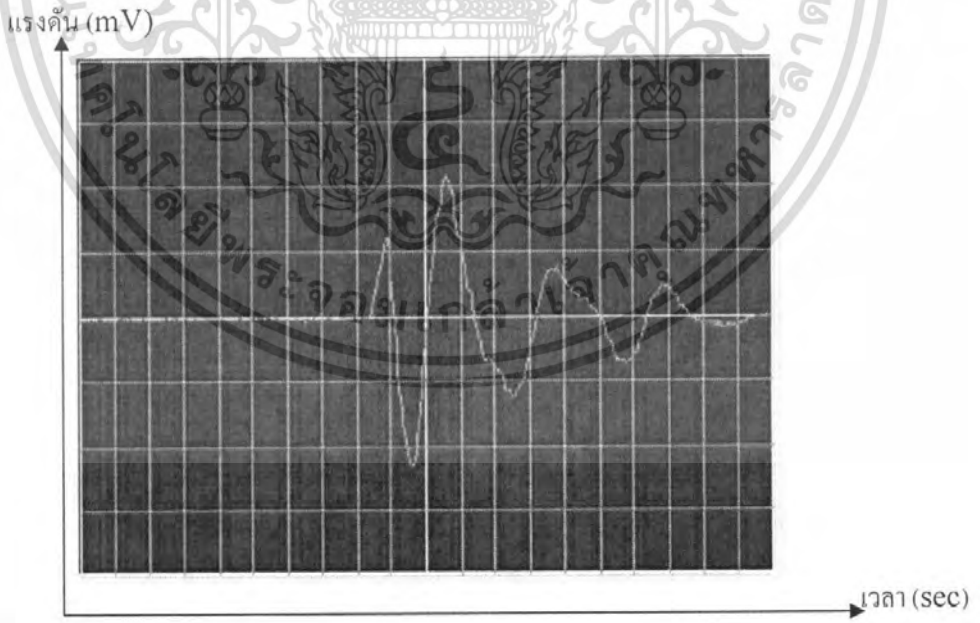


รูป 4.2 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 12.14 g (128 mVp-p)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

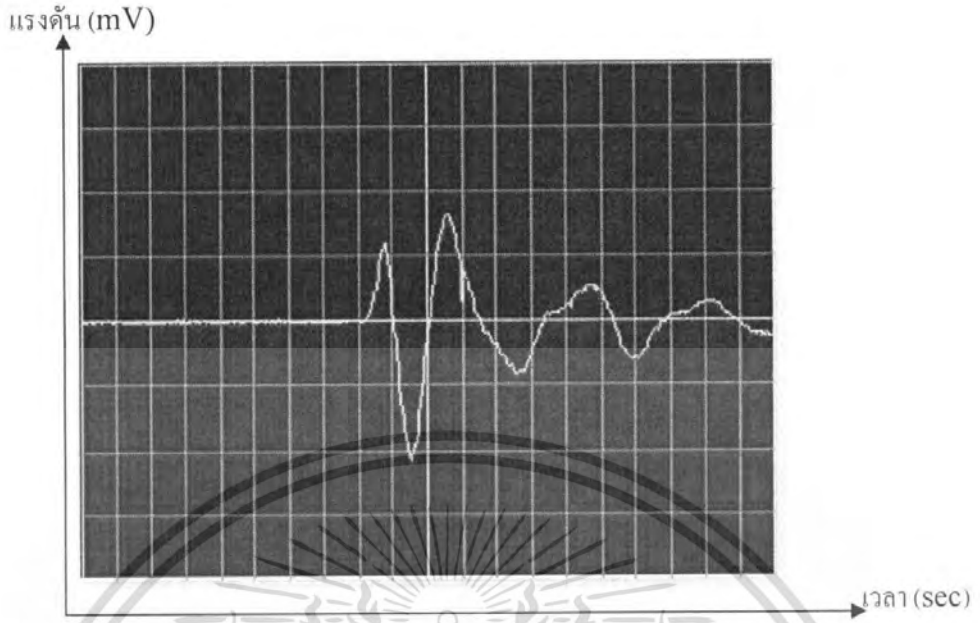


รูป 4.3 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 17.13 g (110 mVp-p)

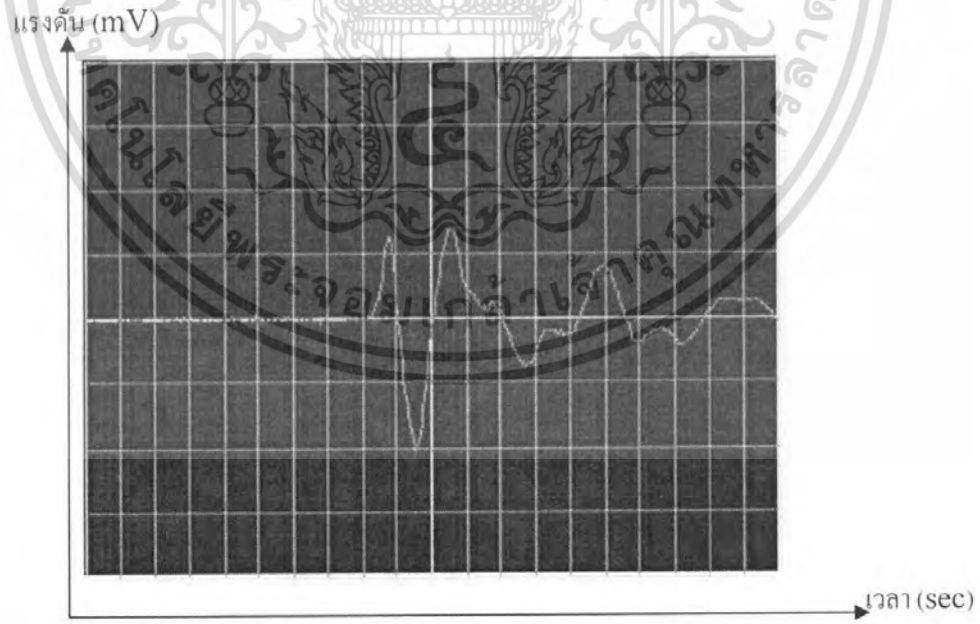


รูป 4.4 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 21.71 g (90 mVp-p)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.5 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 30.37 g (76 mVp-p)



รูป 4.6 แสดงสัญญาณที่เซนเซอร์ตรวจจับได้ที่มวลเท่ากับ 41.25 g (68 mVp-p)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองและตรวจสอบการทำงานของไมโครคอนโทรลเลอร์ PSoC

วัตถุประสงค์

1. เพื่อเป็นการตรวจสอบว่าไมโครคอนโทรลเลอร์ PSoC สามารถทำงานที่ฟังก์ชั่นต่างๆ ได้
2. เพื่อเป็นการตรวจสอบว่าไมโครคอนโทรลเลอร์ PSoC สามารถเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอลได้
3. เพื่อเป็นการตรวจสอบว่าไมโครคอนโทรลเลอร์ PSoC สามารถทำงานได้ที่แรงดัน 3.3 โวลต์เพื่อประหยัดแบตเตอรี่
4. เพื่อเป็นการตรวจสอบการแจ้งเตือนเมื่อเกิดแผ่นดินไหวในระดับอันตราย

เครื่องมือและอุปกรณ์ที่ใช้ในการทดลอง

1. เครื่องจำลองการเกิดแผ่นดินไหว
2. แหล่งจ่ายไป 0 - 12 โวลต์
3. ออสซิลโลสโคป
4. ฟังก์ชั่นเจนเรเตอร์
5. ตัวเซนเซอร์ (ลำโพง)
6. บอร์ดทดลองไมโครคอนโทรลเลอร์ PSoC เบอร์ CY8C27443

ขั้นตอนการทดลอง

การทดลองจำลองการเกิดแผ่นดินไหวที่ค่าความแรงต่างกันเพื่อทดลองการทำงานของไมโครคอนโทรลเลอร์ PSoC ที่ฟังก์ชั่นต่างๆประกอบด้วย กรองความถี่เฉพาะย่านความถี่ได้ การเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอลและการแจ้งเตือนโดยสามารถประหยัดแบตเตอรี่

1. การทดลองเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอล (ADC) โดยต่อวงจรดังรูป บล็อกไดอะแกรมเพื่อดูค่าดิจิตอล 12 บิตจากการแซมปลิ้งสัญญาณอินพุตอนาล็อก

รูป 4.7 บล็อกไดอะแกรมเปลี่ยนสัญญาณจากอนาล็อกเป็นดิจิตอล (ADC)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC 12 บิต (Binary)	Input จากการคำนวณ (V)	Input จากการทดลอง (V)	% ความผิดพลาด (%)
111111111111	5.0	5.0	0
011111111111	2.5	2.5	0
001111111111	1.25	1.2	4
000111111111	0.625	0.580	7.20
000011111111	0.312	0.270	13.46
000001111111	0.156	0.130	16.67
000000111111	0.078	0.040	48.72

ตาราง 4.1 แสดงการแซมปลิ้งสัญญาณอินพุตอนาล็อกเป็นดิจิตอล 12 บิต

2. การทดลองจำลองการเกิดแผ่นดินไหวในค่าความแรงต่างๆ เพื่อทดลองการทำงานของตัวเซนเซอร์ ว่าสามารถอ่านค่าออกมาได้ต่างกันอย่างไร โดยต่อวงจรดังรูปบล็อกไดอะแกรม

รูป 4.8 บล็อกไดอะแกรมเปลี่ยนการสั่นสะเทือนเป็นสัญญาณอนาล็อก

แรงดันที่จ่ายให้เกิดการสั่นสะเทือน (V)	สัญญาณอนาล็อก (mVp-p)
7	11
8	30
9	90
10	120

ตาราง 4.2 แสดงการเปลี่ยนการสั่นสะเทือนเป็นสัญญาณอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองและตรวจสอบการทำงานของเครื่องเตือนภัยแผ่นดินไหว

วัตถุประสงค์

1. เพื่อเป็นการตรวจสอบว่าเครื่องเตือนภัยแผ่นดินไหวสามารถทำงานที่ฟังก์ชั่นต่างๆได้
2. เพื่อเป็นการตรวจสอบว่าเครื่องเตือนภัยแผ่นดินไหวสามารถแจ้งเตือนเมื่อเกิดแผ่นดินไหวได้

เครื่องมือและอุปกรณ์ที่ใช้ในการทดลอง

1. เครื่องจำลองการเกิดแผ่นดินไหว
2. แหล่งจ่ายไป 0 - 12 โวลต์
3. เครื่องเตือนภัยแผ่นดินไหว

ขั้นตอนการทดลอง

การทดลองจำลองการเกิดแผ่นดินไหวที่ค่าความแรงต่างกันเพื่อทดลองการทำงานของเครื่องเตือนภัยแผ่นดินไหวที่ฟังก์ชั่นต่างๆประกอบด้วย ระดับการแจ้งเตือนทีมี 3 ระดับ ตามความแรงของแผ่นดินไหว

1. การทดลองที่ระดับต่างๆ โดยจำลองการเกิดแผ่นดินไหวที่ระดับต่างๆเพื่อดูการทำงานของเครื่องเตือนภัยแผ่นดินไหว

เครื่องกำเนิดแผ่นดินไหว (V)	ครั้งที่ 1			ครั้งที่ 2		
	ระดับ 1	ระดับ 2	ระดับ 3	ระดับ1	ระดับ 2	ระดับ 3
8.0	x	x	x	x	x	x
8.25	x	x	x	x	x	x
8.50	✓	x	x	✓	x	x
8.75	✓	x	x	✓	x	x
9.0	✓	x	x	✓	x	x
9.25	✓	x	x	✓	x	x
9.50	✓	✓	x	✓	✓	x
9.75	✓	✓	x	✓	✓	x
10.0	✓	✓	x	✓	✓	x

✓ เตือน x ไม่เตือน

ตาราง 4.3 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหว

โดยจำลองการเกิดแผ่นดินไหว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องกำเนิดแผ่นดินไหว (V)	ครั้งที่ 1			ครั้งที่ 2		
	ระดับ 1	ระดับ 2	ระดับ 3	ระดับ1	ระดับ 2	ระดับ 3
10.25	✓	✓	x	✓	✓	x
10.50	✓	✓	x	✓	✓	x
10.75	✓	✓	x	✓	✓	x
11.0	✓	✓	x	✓	✓	x

✓ เตือน x ไม่เตือน

ตาราง 4.3 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหว
โดยจำลองการเกิดแผ่นดินไหว(ต่อ)

2. การทดลองที่ระดับต่างๆโดยทดลองจากแรงสั่นที่เกิดจากรถไฟที่สถานีพระจอมเกล้าฯ

แรงสั่นเกิดจากรถไฟสถานีพระจอมเกล้าฯ	ครั้งที่ 1		
	ระดับ 1	ระดับ 2	ระดับ 3
ขบวน 276 ธรรมดา เวลา 18.55 น.	✓	x	x
ขบวน 385 ธรรมดา เวลา 19.12 น.	✓	x	x
ขบวน 394 ธรรมดา เวลา 19.59 น.	✓	x	x

✓ เตือน x ไม่เตือน

ตาราง 4.4 แสดงการทำงานของเครื่องเตือนภัยแผ่นดินไหว
โดยแรงสั่นเกิดรถไฟที่สถานีพระจอมเกล้าฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

เซนเซอร์

การสร้างเซนเซอร์ให้สามารถตรวจจับแผ่นดินไหวได้ โดยหามวลเพื่อถ่วงให้ให้เซนเซอร์สามารถทำงานให้มีประสิทธิภาพดีที่สุด มวลค่าที่ต่างกันจะมีผลต่อแอมปลิจูดของสัญญาณ แต่ไม่มีผลต่อความถี่เพราะฉะนั้นแล้วมวลที่นำมาถ่วงเซนเซอร์จะมีค่าน้อยหรือมากก็ไม่เกิดปัญหามากนัก ซึ่งถ้าสัญญาณอนาล็อกมีแอมปลิจูดน้อยเกินไปก็สามารถขยายสัญญาณได้ แต่จะคำนึงถึงน้ำหนักที่เซนเซอร์รับมากกว่า ควรมีค่าน้อยเพื่อที่จะให้ตัวยืดหยุ่นของตัวเซนเซอร์นั้นทำงานได้ดี โดยไม่หนักจนเกินไปอาจทำให้เซนเซอร์นั้นใช้งานไม่ได้เมื่อใช้งานไปนานๆ และเนื่องจากการเกิดแผ่นดินไหวนั้นเกิดจากการเคลื่อนตัวของเปลือกโลก โดยมี 2 ลักษณะ คือ แบบคลื่นเลิฟ และแบบคลื่นเรย์ลี เซนเซอร์ที่นำมาใช้นั้นสามารถตรวจจับการสั่นสะเทือนที่เกิดมาจากการเคลื่อนที่ของเปลือกโลกแบบคลื่นเรย์ลีได้ แต่แบบคลื่นเลิฟนั้นยังไม่สามารถตรวจจับได้ เนื่องจากตัวเซนเซอร์นั้นมีคอล์ยที่สามารถเคลื่อนที่ขึ้นลงได้เหมือนคลื่นเรย์ลีเพียงอย่างเดียว คือไม่สามารถเคลื่อนที่เหมือนคลื่นเลิฟได้

ไมโครคอนโทรลเลอร์ PSoC

การทดลองการทำงานของไมโครคอนโทรลเลอร์ PSoC จากการทดลองโมดุลการเปลี่ยนสัญญาณอนาล็อกเป็นดิจิตอล (ADC) 12 บิต นั้นมีความละเอียดสูง ค่าการแซมปลิ้งของโมดุล ADC นั้นจะทำงานได้อย่างมีประสิทธิภาพและมีความละเอียดมาก และส่วนของ Band Pass Filter ใช้ในช่วงความถี่ 1-200 Hz จึงจะยอมให้ความถี่นั้นผ่าน

การแจ้งเตือน

เมื่อทดลองเซนเซอร์และไมโครคอนโทรลเลอร์ PSoC แล้วนำมาทดลองการแจ้งเตือนโดยจำลองการเกิดแผ่นดินไหวที่ค่าหนึ่ง แล้วเซนเซอร์สามารถตรวจจับการสั่นสะเทือนนั้นได้แล้วนำไปประมวลผลด้วยไมโครคอนโทรลเลอร์ PSoC ว่ามีความแรงพอที่โปรแกรมตั้งไว้ เพื่อแจ้งเตือนว่าอันตราย ก็สามารถแจ้งเตือนได้โดยอัตโนมัติอย่างมีประสิทธิภาพที่การสั่นสะเทือนนั้นเกิดขึ้นอย่างต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเตือนภัยแผ่นดินไหว

จากการทดลองเครื่องเตือนภัยแผ่นดินไหวจะเห็นได้ว่าจากการจำลองการเกิดแผ่นดินไหวนั้นเครื่องเตือนภัยแผ่นดินไหวสามารถตรวจจับได้และจากการทดลองโดยนำไปวางใกล้ๆกับรางรถไฟก็สามาตรวจจับได้แต่การสั่นนั้นค่อนข้างน้อยและเครื่องเตือนภัยแผ่นดินไหวสามารถเลือกระดับการแจ้งเตือนได้ด้วยว่าแผ่นดินไหวสั่นน้อยหรือมากจึงจะแจ้งเตือนและระบบประหยัดแบตเตอร์รี่สามารถใช้ต่อเนื่องได้ 34 วัน และเมื่อแบตเตอรี่อ่อนก็มีไฟแสดงผลเตือนเพื่อให้ผู้ใช้นั้นชาร์ทแบตเตอรี่เข้าไปได้

ปัญหาและแนวทางพัฒนาแก้ไข

จากการทดลององข้างต้นทั้งหมด เซนเซอร์ยังไม่สามารถตรวจจับการเคลื่อนที่ของเปลือกโลกแบบคลื่นเลิฟได้จึงต้องศึกษาข้อมูลเกี่ยวกับตัวเซนเซอร์เพิ่มเติมเพื่อให้สามารถตรวจจับการเคลื่อนที่ของเปลือกโลกแบบคลื่นเลิฟได้และเนื่องจากการเกิดแผ่นดินไหวนั้นจะมีความถี่ต่ำมากๆ ตัวเซนเซอร์จึงไม่สามารถตรวจจับได้เนื่องจากเซนเซอร์ที่นำมาใช้นั้นเป็นลำโพงที่หาซื้อตามท้องตลาดจึงไม่มีคุณภาพพอที่จะตรวจจับการเกิดแผ่นดินไหวได้จริงและเนื่องจากความจำกัดว่าระบบต้องมีขนาดเล็กจึงไม่สามารถเลือกลำโพงความถี่ต่ำที่มีขนาดใหญ่มาทดลองได้ การพัฒนาควรหาเซนเซอร์ที่วัดความถี่ต่ำๆได้และวัดการเกิดแผ่นดินไหวได้จริงระบบก็จะสามารถทำงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

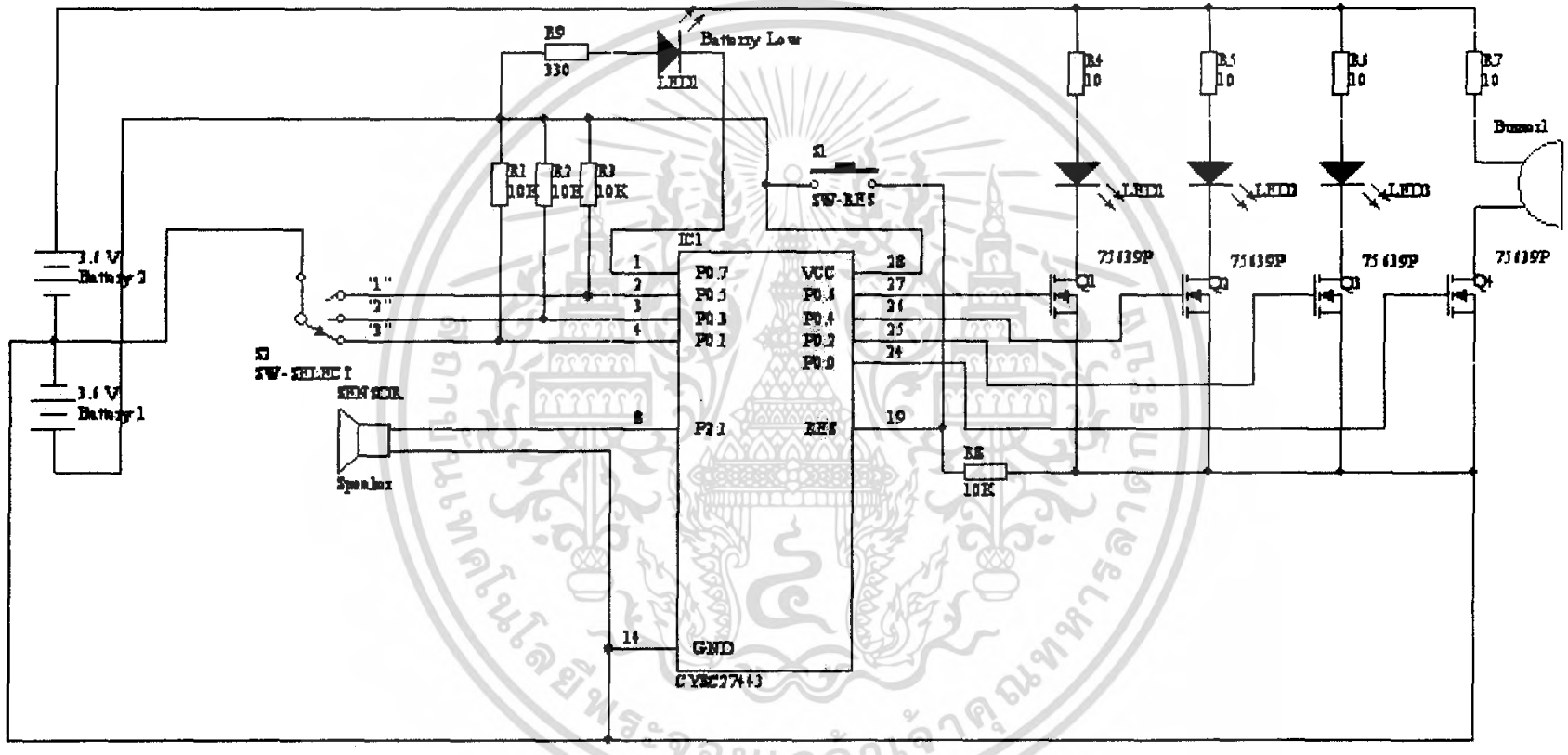
บรรณานุกรม

1. www.tmdseismology.com , "Seismological Bureau "
2. www.rmutphysics.com/charud/specialnews/physics2/speaker/speaker.htm , "Speaker "
3. อกฤษฎ์ ตันทสุทธานนท์ ," การเขียนโปรแกรมไมโครคอนโทรลเลอร์ PSoC ด้วยภาษาซี ", MRT Design for Quality, 220 หน้า , 2548
4. วัชรินทร์ เคารพ , " เรียนรู้และเข้าใจ PSoC Microcontroller ด้วยภาษา Assembly และภาษา C" , บริษัท อีทีที จำกัด , 338 หน้า , 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปวงจรเครื่องเตือนภัยแผ่นดินไหว

คู่มือการใช้งาน

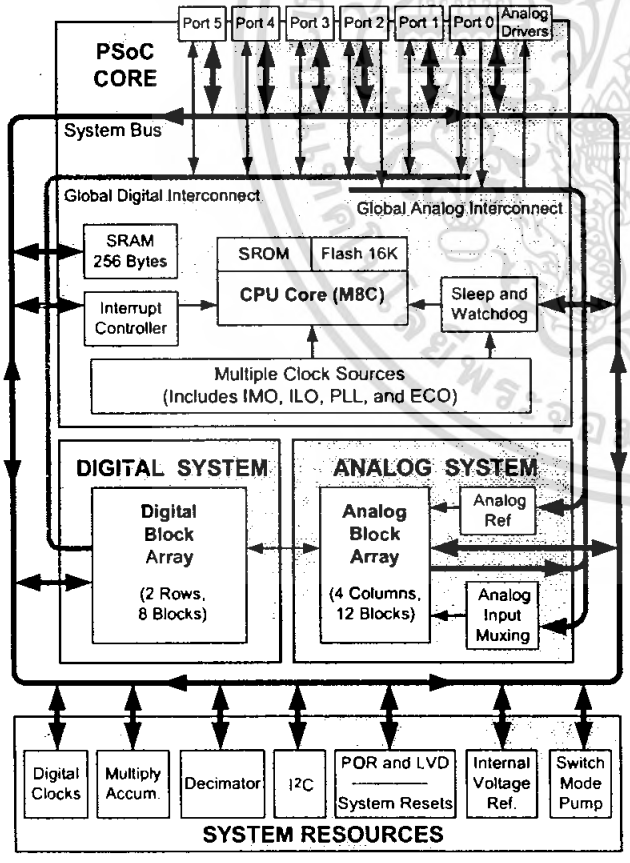
1. เปิดเครื่องโดยเลือกสวิทซ์ไปที่ ON
2. สังเกต LED POWER ติดหรือไม่ (LED ต้องติด)
3. เลือกระดับการเตือนว่าจะให้เตือนที่เกิดแผ่นดินไหวแรงแค่ไหน ตามระดับ 1,2,3
4. เมื่อเครื่องเตือนแจ้งเตือนจะหยุดการทำงานก็สามารถกดปุ่ม RESET หรือปิดเครื่องแล้วเปิดใหม่
5. เมื่อ LED แสดง Low Battery ก็สามารถนำเครื่องชาร์จมาชาร์จใหม่ได้
6. เมื่อไม่ต้องการใช้ก็ปิดสวิทช์ OFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CY8C27143, CY8C27243, CY8C27443, CY8C27543, and CY8C27643

Features

- **Powerful Harvard Architecture Processor**
  - M8C Processor Speeds to 24 MHz
  - 8x8 Multiply, 32-Bit Accumulate
  - Low Power at High Speed
  - 3.0 to 5.25 V Operating Voltage
  - Operating Voltages Down to 1.0V Using On-Chip Switch Mode Pump (SMP)
  - Industrial Temperature Range: -40°C to +85°C
- **Advanced Peripherals (PSoC Blocks)**
  - 12 Rail-to-Rail Analog PSoC Blocks Provide:
    - Up to 14-Bit ADCs
    - Up to 9-Bit DACs
    - Programmable Gain Amplifiers
    - Programmable Filters and Comparators
  - 8 Digital PSoC Blocks Provide:
    - 8- to 32-Bit Timers, Counters, and PWMs
    - CRC and PRS Modules
    - Up to 2 Full-Duplex UARTs
    - Multiple SPI™ Masters or Slaves
    - Connectable to all GPIO Pins
  - Complex Peripherals by Combining Blocks
- **Precision, Programmable Clocking**
  - Internal 2.5% 24/48 MHz Oscillator
  - 24/48 MHz with Optional 32 kHz Crystal
  - Optional External Oscillator, up to 24 MHz
  - Internal Oscillator for Watchdog and Sleep
- **Flexible On-Chip Memory**
  - 16K Bytes Flash Program Storage 50,000 Erase/Write Cycles
  - 256 Bytes SRAM Data Storage
  - In-System Serial Programming (ISSP™)
  - Partial Flash Updates
  - Flexible Protection Modes
  - EEPROM Emulation in Flash
- **Programmable Pin Configurations**
  - 25 mA Sink on all GPIO
  - Pull up, Pull down, High Z, Strong, or Open Drain Drive Modes on all GPIO
  - Up to 12 Analog Inputs on GPIO
  - Four 30 mA Analog Outputs on GPIO
  - Configurable Interrupt on all GPIO
- **Additional System Resources**
  - I²C™ Slave, Master, and Multi-Master to 400 kHz
  - Watchdog and Sleep Timers
  - User-Configurable Low Voltage Detection
  - Integrated Supervisory Circuit
  - On-Chip Precision Voltage Reference
- **Complete Development Tools**
  - Free Development Software (PSoC™ Designer)
  - Full-Featured, In-Circuit Emulator and Programmer
  - Full Speed Emulation
  - Complex Breakpoint Structure
  - 128K Bytes Trace Memory



PSoC™ Functional Overview

The PSoC™ family consists of many *Mixed Signal Array with On-Chip Controller* devices. These devices are designed to replace multiple traditional MCU-based system components with one, low cost single-chip programmable device. PSoC devices include configurable blocks of analog and digital logic, as well as programmable interconnects. This architecture allows the user to create customized peripheral configurations that match the requirements of each individual application. Additionally, a fast CPU, Flash program memory, SRAM data memory, and configurable IO are included in a range of convenient pinouts and packages.

The PSoC architecture, as illustrated on the left, is comprised of four main areas: PSoC Core, Digital System, Analog System, and System Resources. Configurable global busing allows all the device resources to be combined into a complete custom system. The PSoC CY8C27x43 family can have up to five IO ports that connect to the global digital and analog interconnects, providing access to 8 digital blocks and 12 analog blocks.

The PSoC Core

The PSoC Core is a powerful engine that supports a rich feature set. The core includes a CPU, memory, clocks, and configurable GPIO (General Purpose IO).

The M8C CPU core is a powerful processor with speeds up to 24 MHz, providing a four MIPS 8-bit Harvard architecture micro-

© Cypress MicroSystems, Inc. 2002 – 2004 — Document No. 38-12012 Rev. *I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

processor. The CPU utilizes an interrupt controller with 17 vectors, to simplify programming of real time embedded events. Program execution is timed and protected using the included Sleep and Watch Dog Timers (WDT).

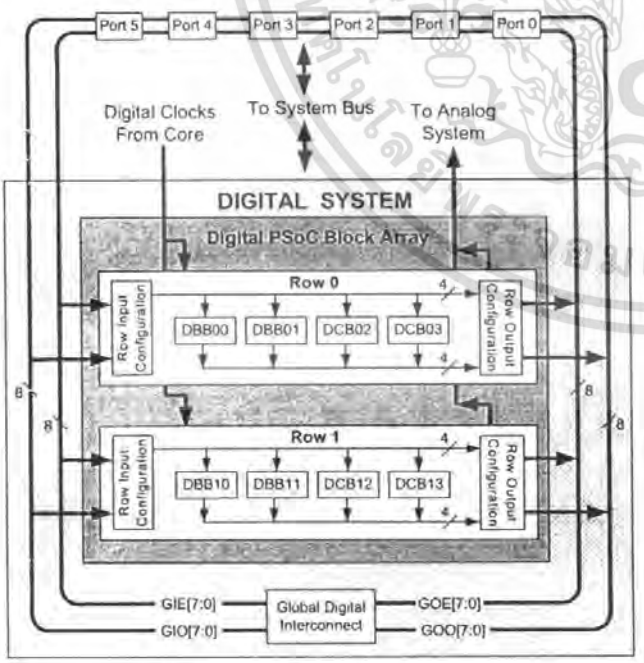
Memory encompasses 16 KB of Flash for program storage, 256 bytes of SRAM for data storage, and up to 2 KB of EEPROM emulated using the Flash. Program Flash utilizes four protection levels on blocks of 64 bytes, allowing customized software IP protection.

The PSoC device incorporates flexible internal clock generators, including a 24 MHz IMO (internal main oscillator) accurate to 2.5% over temperature and voltage. The 24 MHz IMO can also be doubled to 48 MHz for use by the digital system. A low power 32 kHz ILO (internal low speed oscillator) is provided for the Sleep timer and WDT. If crystal accuracy is desired, the ECO (32.768 kHz external crystal oscillator) is available for use as a Real Time Clock (RTC) and can optionally generate a crystal-accurate 24 MHz system clock using a PLL. The clocks, together with programmable clock dividers (as a System Resource), provide the flexibility to integrate almost any timing requirement into the PSoC device.

PSoC GPIOs provide connection to the CPU, digital and analog resources of the device. Each pin's drive mode may be selected from eight options, allowing great flexibility in external interfacing. Every pin also has the capability to generate a system interrupt on high level, low level, and change from last read.

The Digital System

The Digital System is composed of 8 digital PSoC blocks. Each block is an 8-bit resource that can be used alone or combined with other blocks to form 8, 16, 24, and 32-bit peripherals, which are called user module references.



Digital System Block Diagram

Digital peripheral configurations include those listed below.

- PWMs (8 to 32 bit)
- PWMs with Dead band (8 to 32 bit)
- Counters (8 to 32 bit)
- Timers (8 to 32 bit)
- UART 8 bit with selectable parity (up to 2)
- SPI master and slave (up to 2)
- I2C slave and master (1 available as a System Resource)
- Cyclical Redundancy Checker/Generator (8 to 32 bit)
- IrDA (up to 2)
- Pseudo Random Sequence Generators (8 to 32 bit)

The digital blocks can be connected to any GPIO through a series of global buses that can route any signal to any pin. The buses also allow for signal multiplexing and for performing logic operations. This configurability frees your designs from the constraints of a fixed peripheral controller.

Digital blocks are provided in rows of four, where the number of blocks varies by PSoC device family. This allows you the optimum choice of system resources for your application. Family resources are shown in the table titled "PSoC Device Characteristics" on page 3.

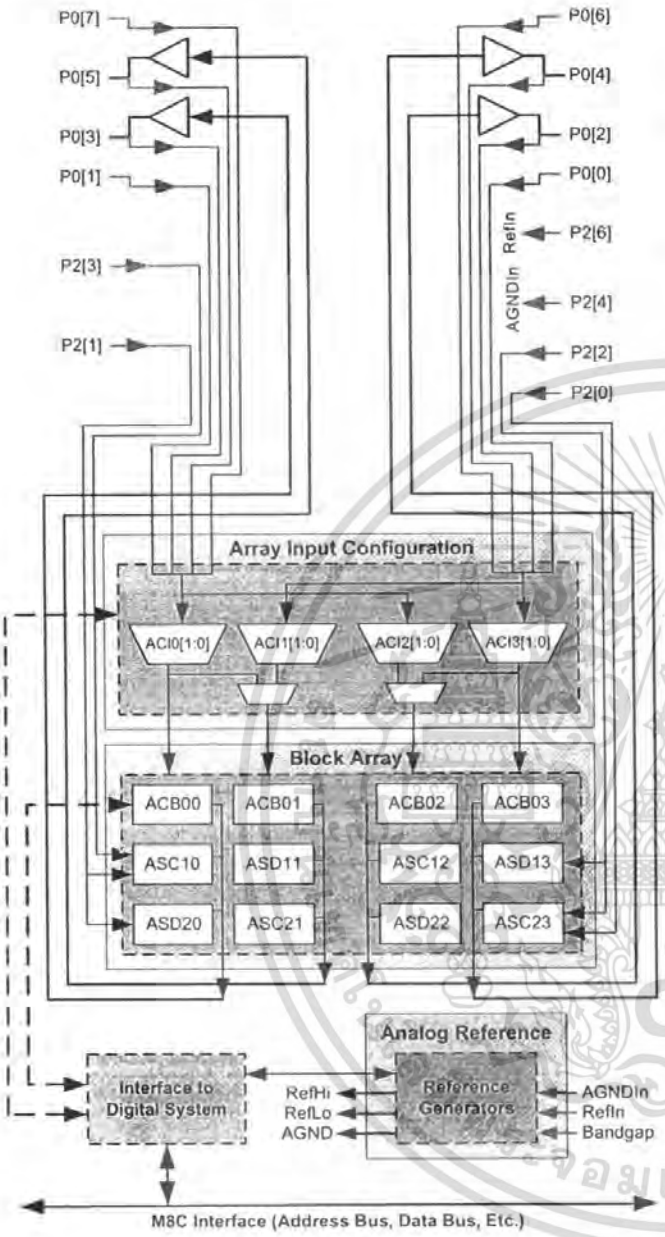
The Analog System

The Analog System is composed of 12 configurable blocks, each comprised of an opamp circuit allowing the creation of complex analog signal flows. Analog peripherals are very flexible and can be customized to support specific application requirements. Some of the more common PSoC analog functions (most available as user modules) are listed below.

- Analog-to-digital converters (up to 4, with 6- to 14-bit resolution, selectable as Incremental, Delta Sigma, and SAR)
- Filters (2, 4, 6, and 8 pole band-pass, low-pass, and notch)
- Amplifiers (up to 4, with selectable gain to 48x)
- Instrumentation amplifiers (up to 2, with selectable gain to 93x)
- Comparators (up to 4, with 16 selectable thresholds)
- DACs (up to 4, with 6- to 9-bit resolution)
- Multiplying DACs (up to 4, with 6- to 9-bit resolution)
- High current output drivers (four with 30 mA drive as a Core Resource)
- 1.3V reference (as a System Resource)
- DTMF dialer
- Modulators
- Correlators
- Peak detectors
- Many other topologies possible

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog blocks are provided in columns of three, which includes one CT (Continuous Time) and two SC (Switched Capacitor) blocks, as shown in the figure below.



Analog System Block Diagram

Additional System Resources

System Resources, some of which have been previously listed, provide additional capability useful to complete systems. Additional resources include a multiplier, decimator, switch mode pump, low voltage detection, and power on reset. Brief statements describing the merits of each system resource are presented below.

- Digital clock dividers provide three customizable clock frequencies for use in applications. The clocks can be routed to both the digital and analog systems. Additional clocks can be generated using digital PSoC blocks as clock dividers.
- A multiply accumulate (MAC) provides a fast 8-bit multiplier with 32-bit accumulate, to assist in both general math as well as digital filters.
- The decimator provides a custom hardware filter for digital signal processing applications including the creation of Delta Sigma ADCs.
- The I2C module provides 100 and 400 kHz communication over two wires. Slave, master, and multi-master modes are all supported.
- Low Voltage Detection (LVD) interrupts can signal the application of falling voltage levels, while the advanced POR (Power On Reset) circuit eliminates the need for a system supervisor.
- An internal 1.3V reference provides an absolute reference for the analog system, including ADCs and DACs.
- An integrated switch mode pump (SMP) generates normal operating voltages from a single 1.2V battery cell, providing a low cost boost converter.

PSoC Device Characteristics

Depending on your PSoC device characteristics, the digital and analog systems can have 16, 8, or 4 digital blocks and 12, 6, or 3 analog blocks. The following table lists the resources available for specific PSoC device groups. The PSoC device covered by this data sheet is shown in the second row of the table.

PSoC Device Characteristics

PSoC Part Number	Digital IO	Digital Rows	Digital Blocks	Analog Inputs	Analog Outputs	Analog Columns	Analog Blocks
CY8C29x66	up to 64	4	16	12	4	4	12
CY8C27x43	**up to 44**	**2**	**8**	**12**	**4**	**4**	**12**
CY8C24x23	up to 24	1	4	12	2	2	6
CY8C24x23A	up to 24	1	4	12	2	2	6
CY8C22x13	up to 16	1	4	8	1	1	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Getting Started

The quickest path to understanding the PSoC silicon is by reading this data sheet and using the PSoC Designer Integrated Development Environment (IDE). This data sheet is an overview of the PSoC integrated circuit and presents specific pin, register, and electrical specifications. For in-depth information, along with detailed programming information, reference the *PSoC™ Mixed Signal Array Technical Reference Manual*.

For up-to-date Ordering, Packaging, and Electrical Specification information, reference the latest PSoC device data sheets on the web at http://www.cypress.com/psoc.

Development Kits

Development Kits are available from the following distributors: Digi-Key, Avnet, Arrow, and Future. The Cypress Online Store at http://www.onfulfillment.com/cypressstore/ contains development kits, C compilers, and all accessories for PSoC development. Click on *PSoC (Programmable System-on-Chip)* to view a current list of available items.

Tele-Training

Free PSoC "Tele-training" is available for beginners and taught by a live marketing or application engineer over the phone. Five training classes are available to accelerate the learning curve including introduction, designing, debugging, advanced design, advanced analog, as well as application-specific classes covering topics like PSoC and the LIN bus. For days and times of the tele-training, see http://www.cypress.com/support/training.cfm.

Consultants

Certified PSoC Consultants offer everything from technical assistance to completed PSoC designs. To contact or become a PSoC Consultant, go to the following Cypress support web site: http://www.cypress.com/support/cypros.cfm.

Technical Support

PSoC application engineers take pride in fast and accurate response. They can be reached with a 4-hour guaranteed response at http://www.cypress.com/support/login.cfm.

Application Notes

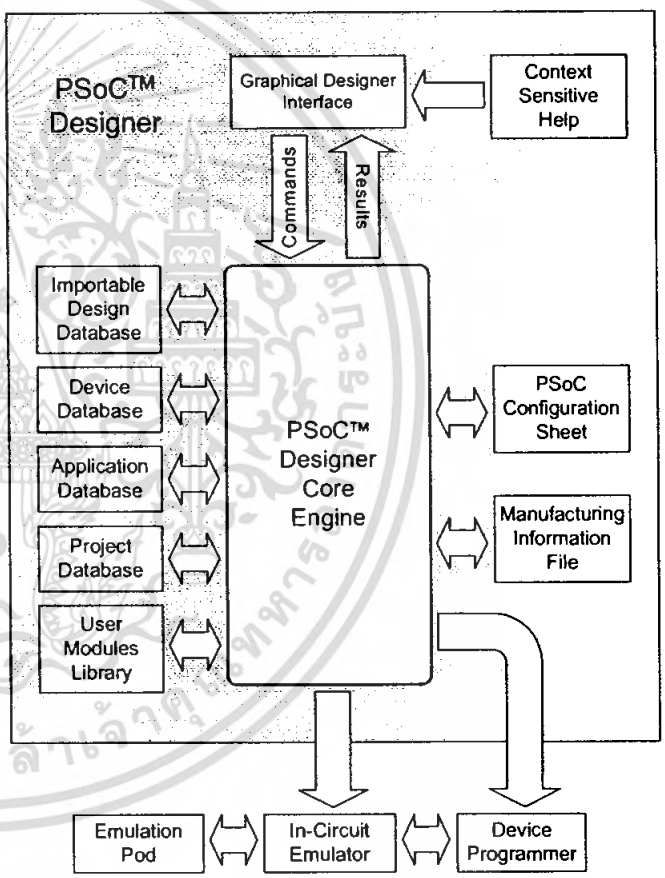
A long list of application notes will assist you in every aspect of your design effort. To locate the PSoC application notes, go to http://www.cypress.com/design/results.cfm.

Development Tools

The Cypress MicroSystems PSoC Designer is a Microsoft® Windows-based, integrated development environment for the Programmable System-on-Chip (PSoC) devices. The PSoC Designer IDE and application runs on Windows NT 4.0, Windows 2000, Windows Millennium (Me), or Windows XP. (Reference the PSoC Designer Functional Flow diagram below.)

PSoC Designer helps the customer to select an operating configuration for the PSoC, write application code that uses the PSoC, and debug the application. This system provides design database management by project, an integrated debugger with In-Circuit Emulator, in-system programming support, and the CYASM macro assembler for the CPUs.

PSoC Designer also supports a high-level C language compiler developed specifically for the devices in the family.



PSoC Designer Subsystems

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSoC Designer Software Subsystems

Device Editor

The Device Editor subsystem allows the user to select different onboard analog and digital components called user modules using the PSoC blocks. Examples of user modules are ADCs, DACs, Amplifiers, and Filters.

The device editor also supports easy development of multiple configurations and dynamic reconfiguration. Dynamic configuration allows for changing configurations at run time.

PSoC Designer sets up power-on initialization tables for selected PSoC block configurations and creates source code for an application framework. The framework contains software to operate the selected components and, if the project uses more than one operating configuration, contains routines to switch between different sets of PSoC block configurations at run time. PSoC Designer can print out a configuration sheet for a given project configuration for use during application programming in conjunction with the Device Data Sheet. Once the framework is generated, the user can add application-specific code to flesh out the framework. It's also possible to change the selected components and regenerate the framework.

Design Browser

The Design Browser allows users to select and import preconfigured designs into the user's project. Users can easily browse a catalog of preconfigured designs to facilitate time-to-design. Examples provided in the tools include a 300-baud modem, LIN Bus master and slave, fan controller, and magnetic card reader.

Application Editor

In the Application Editor you can edit your C language and Assembly language source code. You can also assemble, compile, link, and build.

Assembler. The macro assembler allows the assembly code to be merged seamlessly with C code. The link libraries automatically use absolute addressing or can be compiled in relative mode, and linked with other software modules to get absolute addressing.

C Language Compiler. A C language compiler is available that supports Cypress MicroSystems' PSoC family devices. Even if you have never worked in the C language before, the product quickly allows you to create complete C programs for the PSoC family devices.

The embedded, optimizing C compiler provides all the features of C tailored to the PSoC architecture. It comes complete with embedded libraries providing port and bus operations, standard keypad and display support, and extended math functionality.

Debugger

The PSoC Designer Debugger subsystem provides hardware in-circuit emulation, allowing the designer to test the program in a physical system while providing an internal view of the PSoC device. Debugger commands allow the designer to read and program and read and write data memory, read and write IO registers, read and write CPU registers, set and clear breakpoints, and provide program run, halt, and step control. The debugger also allows the designer to create a trace buffer of registers and memory locations of interest.

Online Help System

The online help system displays online, context-sensitive help for the user. Designed for procedural and quick reference, each functional subsystem has its own context-sensitive help. This system also provides tutorials and links to FAQs and an Online Support Forum to aid the designer in getting started.

Hardware Tools

In-Circuit Emulator

A low cost, high functionality ICE (In-Circuit Emulator) is available for development support. This hardware has the capability to program single devices.

The emulator consists of a base unit that connects to the PC by way of the parallel or USB port. The base unit is universal and will operate with all PSoC devices. Emulation pods for each device family are available separately. The emulation pod takes the place of the PSoC device in the target board and performs full speed (24 MHz) operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Designing with User Modules

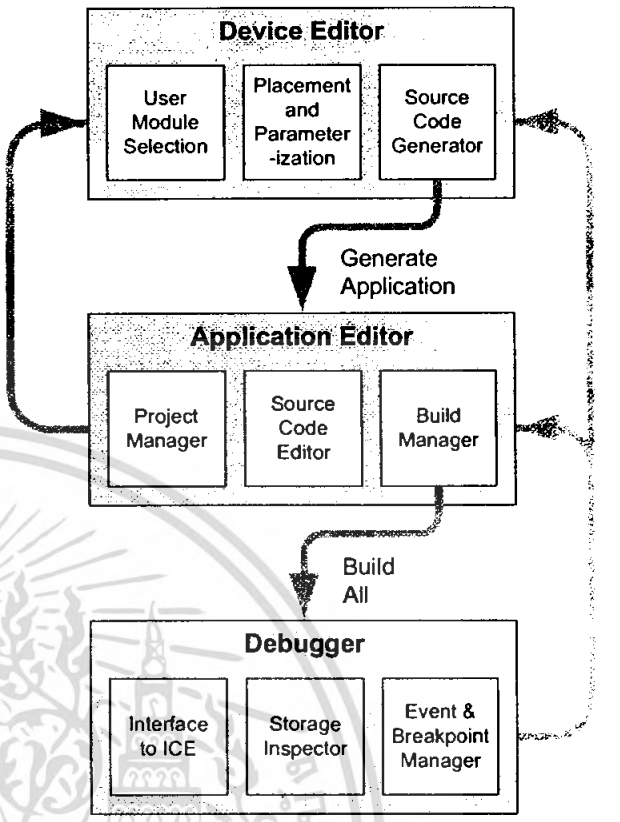
The development process for the PSoC device differs from that of a traditional fixed function microprocessor. The configurable analog and digital hardware blocks give the PSoC architecture a unique flexibility that pays dividends in managing specification change during development and by lowering inventory costs. These configurable resources, called PSoC Blocks, have the ability to implement a wide variety of user-selectable functions. Each block has several registers that determine its function and connectivity to other blocks, multiplexers, buses, and to the IO pins. Iterative development cycles permit you to adapt the hardware as well as the software. This substantially lowers the risk that you will have to select a different part to meet the final design requirements.

To speed the development process, the PSoC Designer Integrated Development Environment (IDE) provides a library of pre-built, pre-tested hardware peripheral functions, called "User Modules." User modules make selecting and implementing peripheral devices simple, and come in analog, digital, and mixed signal varieties. The standard User Module library contains over 50 common peripherals such as ADCs, DACs Timers, Counters, UARTs, and other not-so common peripherals such as DTMF Generators and Bi-Quad analog filter sections.

Each user module establishes the basic register settings that implement the selected function. It also provides parameters that allow you to tailor its precise configuration to your particular application. For example, a Pulse Width Modulator User Module configures one or more digital PSoC blocks, one for each 8 bits of resolution. The user module parameters permit you to establish the pulse width and duty cycle. User modules also provide tested software to cut your development time. The user module application programming interface (API) provides high-level functions to control and respond to hardware events at run-time. The API also provides optional interrupt service routines that you can adapt as needed.

The API functions are documented in user module data sheets that are viewed directly in the PSoC Designer IDE. These data sheets explain the internal operation of the user module and provide performance specifications. Each data sheet describes the use of each user module parameter and documents the setting of each register controlled by the user module.

The development process starts when you open a new project and bring up the Device Editor, a graphical user interface (GUI) for configuring the hardware. You pick the user modules you need for your project and map them onto the PSoC blocks with point-and-click simplicity. Next, you build signal chains by interconnecting user modules to each other and the IO pins. At this stage, you also configure the clock source connections and enter parameter values directly or by selecting values from drop-down menus. When you are ready to test the hardware configuration or move on to developing code for the project, you perform the "Generate Application" step. This causes PSoC Designer to generate source code that automatically configures the device to your specification and provides the high-level user module API functions.



User Module and Source Code Development Flows

The next step is to write your main program, and any sub-routines using PSoC Designer's Application Editor subsystem. The Application Editor includes a Project Manager that allows you to open the project source code files (including all generated code files) from a hierarchal view. The source code editor provides syntax coloring and advanced edit features for both C and assembly language. File search capabilities include simple string searches and recursive "grep-style" patterns. A single mouse click invokes the Build Manager. It employs a professional-strength "makefile" system to automatically analyze all file dependencies and run the compiler and assembler as necessary. Project-level options control optimization strategies used by the compiler and linker. Syntax errors are displayed in a console window. Double clicking the error message takes you directly to the offending line of source code. When all is correct, the linker builds a HEX file image suitable for programming.

The last step in the development process takes place inside the PSoC Designer's Debugger subsystem. The Debugger downloads the HEX image to the In-Circuit Emulator (ICE) where it runs at full speed. Debugger capabilities rival those of systems costing many times more. In addition to traditional single-step, run-to-breakpoint and watch-variable features, the Debugger provides a large trace buffer and allows you define complex breakpoint events that include monitoring address and data bus values, memory locations and external signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Document Conventions

Acronyms Used

The following table lists the acronyms that are used in this document.

Acronym	Description
AC	alternating current
ADC	analog-to-digital converter
API	application programming interface
CPU	central processing unit
CT	continuous time
DAC	digital-to-analog converter
DC	direct current
ECO	external crystal oscillator
EEPROM	electrically erasable programmable read-only memory
FSR	full scale range
GPIO	general purpose IO
GUI	graphical user interface
HBM	human body model
ICE	in-circuit emulator
ILO	internal low speed oscillator
IMO	internal main oscillator
IO	input/output
IPOR	imprecise power on reset
LSb	least-significant bit
LVD	low voltage detect
MSb	most-significant bit
PC	program counter
PLL	phase-locked loop
POR	power on reset
PPOR	precision power on reset
PSoC™	Programmable System-on-Chip™
PWM	pulse width modulator
RAM	random access memory
SC	switched capacitor
SLIMO	slow IMO
SMP	switch mode pump

Units of Measure

A units of measure table is located in the Electrical Specifications section. Table 3-1 on page 17 lists all the abbreviations used to measure the PSoC devices.

Numeric Naming

Hexidecimal numbers are represented with all letters in uppercase with an appended lowercase 'h' (for example, '14h' or '3Ah'). Hexidecimal numbers may also be represented by a '0x' prefix, the C coding convention. Binary numbers have an appended lowercase 'b' (e.g., 01010100b' or '01000011b'). Numbers not indicated by an 'h' or 'b' are decimal.

Table of Contents

For an in depth discussion and more information on your PSoC device, obtain the *PSoC Mixed Signal Array Technical Reference Manual*. This document encompasses and is organized into the following chapters and sections.

1. Pin Information 8
1.1 Pinouts 8
1.1.1 8-Pin Part Pinout 8
1.1.2 20-Pin Part Pinout 9
1.1.3 28-Pin Part Pinout 10
1.1.4 44-Pin Part Pinout 11
1.1.5 48-Pin Part Pinouts 12

2. Register Reference 14
2.1 Register Conventions 14
2.2 Register Mapping Tables 14

3. Electrical Specifications 17
3.1 Absolute Maximum Ratings 18
3.2 Operating Temperature 18
3.3 DC Electrical Characteristics 19
3.3.1 DC Chip-Level Specifications 19
3.3.2 DC General Purpose IO Specifications 19
3.3.3 DC Operational Amplifier Specifications 20
3.3.4 DC Analog Output Buffer Specifications 22
3.3.5 DC Switch Mode Pump Specifications 23
3.3.6 DC Analog Reference Specifications 24
3.3.7 DC Analog PSoC Block Specifications 26
3.3.8 DC POR and LVD Specifications 26
3.3.9 DC Programming Specifications 27
3.4 AC Electrical Characteristics 28
3.4.1 AC Chip-Level Specifications 28
3.4.2 AC General Purpose IO Specifications 30
3.4.3 AC Operational Amplifier Specifications 31
3.4.4 AC Digital Block Specifications 32
3.4.5 AC Analog Output Buffer Specifications 33
3.4.6 AC External Clock Specifications 34
3.4.7 AC Programming Specifications 34
3.4.8 AC I2C Specifications 35

4. Packaging Information 36
4.1 Packaging Dimensions 36
4.2 Thermal Impedances 41
4.3 Capacitance on Crystal Pins 41

5. Ordering Information 42
5.1 Ordering Code Definitions 43

6. Sales and Service Information 44
6.1 Revision History 44
6.2 Copyrights and Code Protection 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Pin Information

This chapter describes, lists, and illustrates the CY8C27x43 PSoC device pins and pinout configurations.

1.1 Pinouts

The CY8C27x43 PSoC device is available in a variety of packages which are listed and illustrated in the following tables. Every port pin (labeled with a "P") is capable of Digital IO. However, Vss, Vdd, SMP, and XRES are not capable of Digital IO.

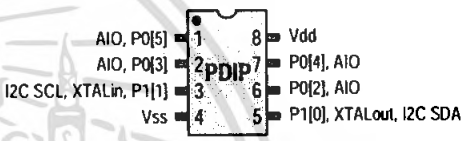
1.1.1 8-Pin Part Pinout

Table 1-1. 8-Pin Part Pinout (PDIP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	IO	P0[5]	Analog column mux input and column output.
2	IO	IO	P0[3]	Analog column mux input and column output.
3	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
4	Power		Vss	Ground connection.
5	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
6	IO	IO	P0[2]	Analog column mux input and column output.
7	IO	IO	P0[4]	Analog column mux input and column output.
8	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27143 8-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

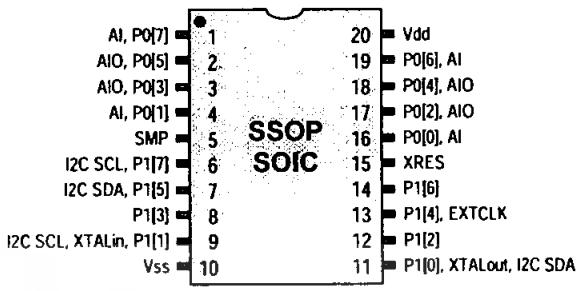
1.1.2 20-Pin Part Pinout

Table 1-2. 20-Pin Part Pinout (SSOP, SOIC)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
6	IO		P1[7]	I2C Serial Clock (SCL)
7	IO		P1[5]	I2C Serial Data (SDA)
8	IO		P1[3]	
9	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
10	Power		Vss	Ground connection.
11	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
12	IO		P1[2]	
13	IO		P1[4]	Optional External Clock Input (EXTCLK)
14	IO		P1[6]	
15	Input		XRES	Active high external reset with internal pull down.
16	IO	I	P0[0]	Analog column mux input.
17	IO	IO	P0[2]	Analog column mux input and column output.
18	IO	IO	P0[4]	Analog column mux input and column output.
19	IO	I	P0[6]	Analog column mux input.
20	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27243 20-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

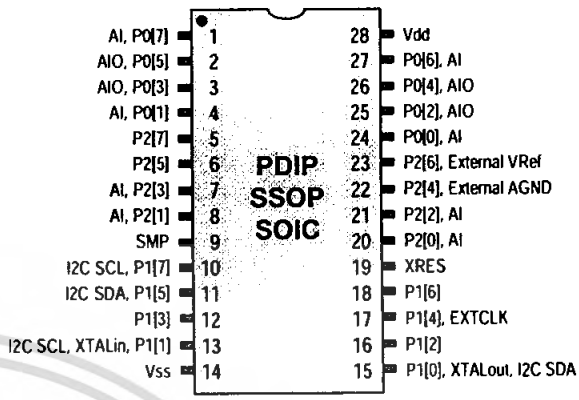
1.1.3 28-Pin Part Pinout

Table 1-3. 28-Pin Part Pinout (PDIP, SSOP, SOIC)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
10	IO		P1[7]	I2C Serial Clock (SCL)
11	IO		P1[5]	I2C Serial Data (SDA)
12	IO		P1[3]	
13	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
14	Power		Vss	Ground connection.
15	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
16	IO		P1[2]	
17	IO		P1[4]	Optional External Clock Input (EXTCLK)
18	IO		P1[6]	
19	Input		XRES	Active high external reset with internal pull down.
20	IO	I	P2[0]	Direct switched capacitor block input.
21	IO	I	P2[2]	Direct switched capacitor block input.
22	IO		P2[4]	External Analog Ground (AGND)
23	IO		P2[6]	External Voltage Reference (VRef)
24	IO	I	P0[0]	Analog column mux input.
25	IO	IO	P0[2]	Analog column mux input and column output.
26	IO	IO	P0[4]	Analog column mux input and column output.
27	IO	I	P0[6]	Analog column mux input.
28	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27443 28-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

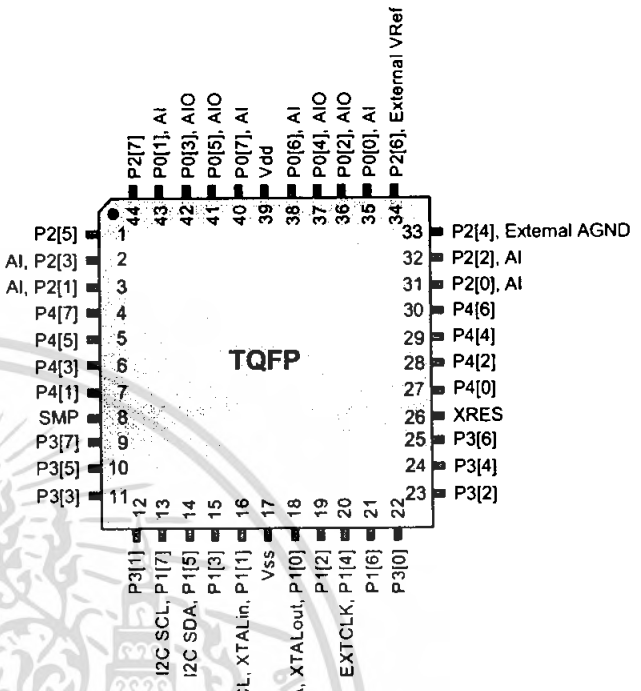
1.1.4 44-Pin Part Pinout

Table 1-4. 44-Pin Part Pinout (TQFP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO		P2[5]	
2	IO	I	P2[3]	Direct switched capacitor block input.
3	IO	I	P2[1]	Direct switched capacitor block input.
4	IO		P4[7]	
5	IO		P4[5]	
6	IO		P4[3]	
7	IO		P4[1]	
8	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
9	IO		P3[7]	
10	IO		P3[5]	
11	IO		P3[3]	
12	IO		P3[1]	
13	IO		P1[7]	I2C Serial Clock (SCL)
14	IO		P1[5]	I2C Serial Data (SDA)
15	IO		P1[3]	
16	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
17	Power		Vss	Ground connection.
18	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
19	IO		P1[2]	
20	IO		P1[4]	Optional External Clock Input (EXTCLK)
21	IO		P1[6]	
22	IO		P3[0]	
23	IO		P3[2]	
24	IO		P3[4]	
25	IO		P3[6]	
26	Input		XRES	Active high external reset with internal pull down.
27	IO		P4[0]	
28	IO		P4[2]	
29	IO		P4[4]	
30	IO		P4[6]	
31	IO	I	P2[0]	Direct switched capacitor block input.
32	IO	I	P2[2]	Direct switched capacitor block input.
33	IO		P2[4]	External Analog Ground (AGND)
34	IO		P2[6]	External Voltage Reference (VRef)
35	IO	I	P0[0]	Analog column mux input.
36	IO	IO	P0[2]	Analog column mux input and column output.
37	IO	IO	P0[4]	Analog column mux input and column output.
38	IO	I	P0[6]	Analog column mux input.
39	Power		Vdd	Supply voltage.
40	IO	I	P0[7]	Analog column mux input.
41	IO	IO	P0[5]	Analog column mux input and column output.
42	IO	IO	P0[3]	Analog column mux input and column output.
43	IO	I	P0[1]	Analog column mux input.
44	IO		P2[7]	

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27543 44-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

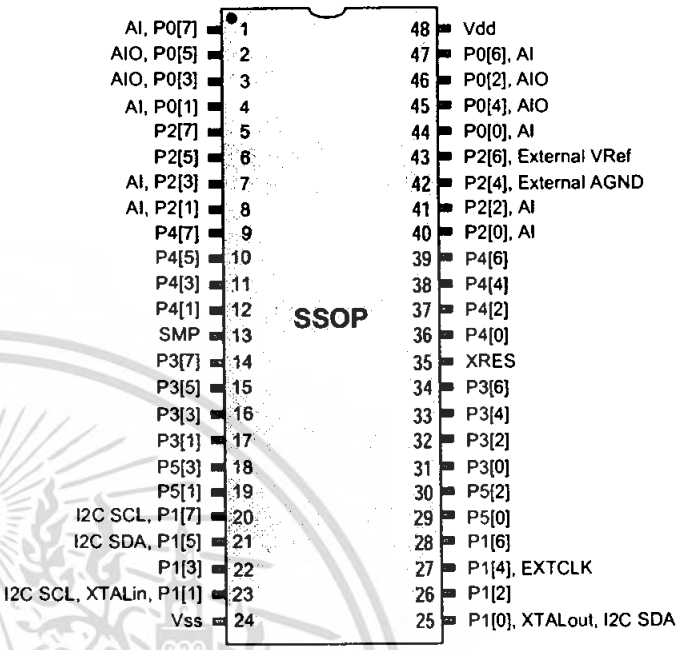
1.1.5 48-Pin Part Pinouts

Table 1-5. 48-Pin Part Pinout (SSOP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	IO		P4[7]	
10	IO		P4[5]	
11	IO		P4[3]	
12	IO		P4[1]	
13	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
14	IO		P3[7]	
15	IO		P3[5]	
16	IO		P3[3]	
17	IO		P3[1]	
18	IO		P5[3]	
19	IO		P5[1]	
20	IO		P1[7]	I2C Serial Clock (SCL)
21	IO		P1[5]	I2C Serial Data (SDA)
22	IO		P1[3]	
23	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
24	Power		Vss	Ground connection.
25	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
26	IO		P1[2]	
27	IO		P1[4]	Optional External Clock Input (EXTCLK)
28	IO		P1[6]	
29	IO		P5[0]	
30	IO		P5[2]	
31	IO		P3[0]	
32	IO		P3[2]	
33	IO		P3[4]	
34	IO		P3[6]	
35	Input		XRES	Active high external reset with internal pull down.
36	IO		P4[0]	
37	IO		P4[2]	
38	IO		P4[4]	
39	IO		P4[6]	
40	IO	I	P2[0]	Direct switched capacitor block input.
41	IO	I	P2[2]	Direct switched capacitor block input.
42	IO		P2[4]	External Analog Ground (AGND)
43	IO		P2[6]	External Voltage Reference (VRef)
44	IO	I	P0[0]	Analog column mux input.
45	IO	IO	P0[2]	Analog column mux input and column output.
46	IO	IO	P0[4]	Analog column mux input and column output.
47	IO	I	P0[6]	Analog column mux input.
48	Power		Vdd	Supply voltage.

LEGEND: A = Analog, I = Input, and O = Output.

CY8C27643 48-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

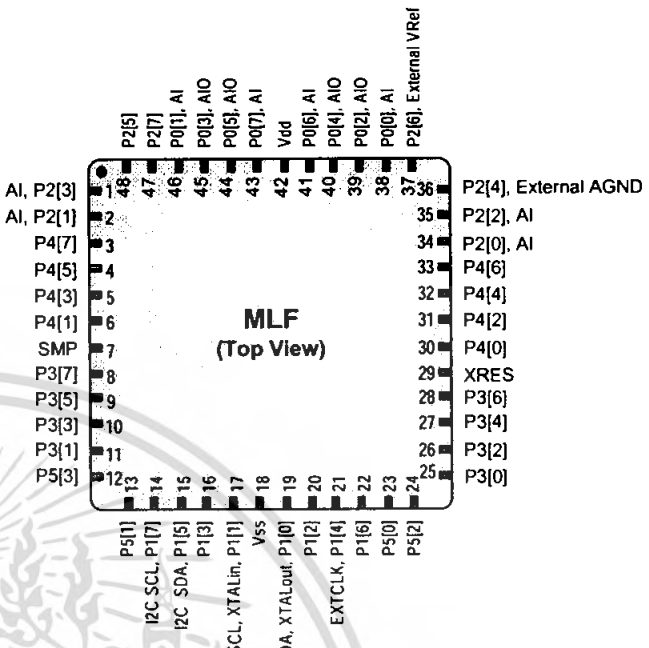
Table 1-6. 48-Pin Part Pinout (MLF*)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P2[3]	Direct switched capacitor block input.
2	IO	I	P2[1]	Direct switched capacitor block input.
3	IO		P4[7]	
4	IO		P4[5]	
5	IO		P4[3]	
6	IO		P4[1]	
7	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
8	IO		P3[7]	
9	IO		P3[5]	
10	IO		P3[3]	
11	IO		P3[1]	
12	IO		P5[3]	
13	IO		P5[1]	
14	IO		P1[7]	I2C Serial Clock (SCL)
15	IO		P1[5]	I2C Serial Data (SDA)
16	IO		P1[3]	
17	IO		P1[1]	Crystal Input (XTALin), I2C Serial Clock (SCL)
18	Power		Vss	Ground connection.
19	IO		P1[0]	Crystal Output (XTALout), I2C Serial Data (SDA)
20	IO		P1[2]	
21	IO		P1[4]	Optional External Clock Input (EXTCLK)
22	IO		P1[6]	
23	IO		P5[0]	
24	IO		P5[2]	
25	IO		P3[0]	
26	IO		P3[2]	
27	IO		P3[4]	
28	IO		P3[6]	
29	Input		XRES	Active high external reset with internal pull down.
30	IO		P4[0]	
31	IO		P4[2]	
32	IO		P4[4]	
33	IO		P4[6]	
34	IO	I	P2[0]	Direct switched capacitor block input.
35	IO	I	P2[2]	Direct switched capacitor block input.
36	IO		P2[4]	External Analog Ground (AGND)
37	IO		P2[6]	External Voltage Reference (VRef)
38	IO	I	P0[0]	Analog column mux input.
39	IO	IO	P0[2]	Analog column mux input and column output.
40	IO	IO	P0[4]	Analog column mux input and column output.
41	IO	I	P0[6]	Analog column mux input.
42	Power		Vdd	Supply voltage.
43	IO	I	P0[7]	Analog column mux input.
44	IO	IO	P0[5]	Analog column mux input and column output.
45	IO	IO	P0[3]	Analog column mux input and column output.
46	IO	I	P0[1]	Analog column mux input.
47	IO		P2[7]	
48	IO		P2[5]	

LEGEND: A = Analog, I = Input, and O = Output.

* The MLF package has a center pad that must be connected to ground (Vss).

CY8C27643 48-Pin PSoC Device



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. Register Reference

This chapter lists the registers of the CY8C27x43 PSoC device. For detailed register information, reference the *PSoC™ Mixed Signal Array Technical Reference Manual*.

2.1 Register Conventions

The register conventions specific to this section are listed in the following table.

Convention	Description
R	Read register or bit(s)
W	Write register or bit(s)
L	Logical register or bit(s)
C	Clearable register or bit(s)
#	Access is bit specific

2.2 Register Mapping Tables

The PSoC device has a total register address space of 512 bytes. The register space is referred to as IO space and is divided into two banks. The XOI bit in the Flag register (CPU_F) determines which bank the user is currently in. When the XOI bit is set the user is in bank 1.

Note In the following register mapping tables, blank fields are reserved and should not be accessed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register Map Bank 0 Table: User Space

Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access
PRT0DR	00	RW		40		ASC10CR0	80	RW		C0	
PRT0IE	01	RW		41		ASC10CR1	81	RW		C1	
PRT0GS	02	RW		42		ASC10CR2	82	RW		C2	
PRT0DM2	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DR	04	RW		44		ASD11CR0	84	RW		C4	
PRT1IE	05	RW		45		ASD11CR1	85	RW		C5	
PRT1GS	06	RW		46		ASD11CR2	86	RW		C6	
PRT1DM2	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DR	08	RW		48		ASC12CR0	88	RW		C8	
PRT2IE	09	RW		49		ASC12CR1	89	RW		C9	
PRT2GS	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2DM2	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DR	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3IE	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3GS	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3DM2	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DR	10	RW		50		ASD20CR0	90	RW		D0	
PRT4IE	11	RW		51		ASD20CR1	91	RW		D1	
PRT4GS	12	RW		52		ASD20CR2	92	RW		D2	
PRT4DM2	13	RW		53		ASD20CR3	93	RW		D3	
PRT5DR	14	RW		54		ASC21CR0	94	RW		D4	
PRT5IE	15	RW		55		ASC21CR1	95	RW		D5	
PRT5GS	16	RW		56		ASC21CR2	96	RW	I2C_CFG	D6	RW
PRT5DM2	17	RW		57		ASC21CR3	97	RW	I2C_SCR	D7	#
	18			58		ASD22CR0	98	RW	I2C_DR	D8	RW
	19			59		ASD22CR1	99	RW	I2C_MSCR	D9	#
	1A			5A		ASD22CR2	9A	RW	INT_CLR0	DA	RW
	1B			5B		ASD22CR3	9B	RW	INT_CLR1	DB	RW
	1C			5C		ASC23CR0	9C	RW		DC	
	1D			5D		ASC23CR1	9D	RW	INT_CLR3	DD	RW
	1E			5E		ASC23CR2	9E	RW	INT_MSK3	DE	RW
	1F			5F		ASC23CR3	9F	RW		DF	
DBB00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBB00DR1	21	W		61			A1		INT_MSK1	E1	RW
DBB00DR2	22	RW		62			A2		INT_VC	E2	RC
DBB00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RC
DBB01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RC
DBB01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0	E6	RW
DBB01CR0	27	#		67			A7		DEC_CR1	E7	RW
DCB02DR0	28	#		68			A8		MUL_X	E8	W
DCB02DR1	29	W		69			A9		MUL_Y	E9	W
DCB02DR2	2A	RW		6A			AA		MUL_DH	EA	R
DCB02CR0	2B	#		6B			AB		MUL_DL	EB	R
DCB03DR0	2C	#		6C			AC		ACC_DR1	EC	RW
DCB03DR1	2D	W		6D			AD		ACC_DR0	ED	RW
DCB03DR2	2E	RW		6E			AE		ACC_DR3	EE	RW
DCB03CR0	2F	#		6F			AF		ACC_DR2	EF	RW
DBB10DR0	30	#	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10DR1	31	W	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10DR2	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
DBB10CR0	33	#	ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11DR0	34	#	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11DR1	35	W	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11DR2	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
DBB11CR0	37	#	ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12DR0	38	#	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12DR1	39	W	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12DR2	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW		FA	
DCB12CR0	3B	#	ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13DR0	3C	#	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13DR1	3D	W	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13DR2	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
DCB13CR0	3F	#	ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed. # Access is bit specific.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register Map Bank 1 Table: Configuration Space

Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access
PRT0DM0	00	RW		40		ASC10CR0	80	RW		C0	
PRT0DM1	01	RW		41		ASC10CR1	81	RW		C1	
PRT0IC0	02	RW		42		ASC10CR2	82	RW		C2	
PRT0IC1	03	RW		43		ASC10CR3	83	RW		C3	
PRT1DM0	04	RW		44		ASD11CR0	84	RW		C4	
PRT1DM1	05	RW		45		ASD11CR1	85	RW		C5	
PRT1IC0	06	RW		46		ASD11CR2	86	RW		C6	
PRT1IC1	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DM0	08	RW		48		ASC12CR0	88	RW		C8	
PRT2DM1	09	RW		49		ASC12CR1	89	RW		C9	
PRT2IC0	0A	RW		4A		ASC12CR2	8A	RW		CA	
PRT2IC1	0B	RW		4B		ASC12CR3	8B	RW		CB	
PRT3DM0	0C	RW		4C		ASD13CR0	8C	RW		CC	
PRT3DM1	0D	RW		4D		ASD13CR1	8D	RW		CD	
PRT3IC0	0E	RW		4E		ASD13CR2	8E	RW		CE	
PRT3IC1	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DM0	10	RW		50		ASD20CR0	90	RW	GDI_O_IN	D0	RW
PRT4DM1	11	RW		51		ASD20CR1	91	RW	GDI_E_IN	D1	RW
PRT4IC0	12	RW		52		ASD20CR2	92	RW	GDI_O_OU	D2	RW
PRT4IC1	13	RW		53		ASD20CR3	93	RW	GDI_E_OU	D3	RW
PRT5DM0	14	RW		54		ASC21CR0	94	RW		D4	
PRT5DM1	15	RW		55		ASC21CR1	95	RW		D5	
PRT5IC0	16	RW		56		ASC21CR2	96	RW		D6	
PRT5IC1	17	RW		57		ASC21CR3	97	RW		D7	
	18			58		ASD22CR0	98	RW		D8	
	19			59		ASD22CR1	99	RW		D9	
	1A			5A		ASD22CR2	9A	RW		DA	
	1B			5B		ASD22CR3	9B	RW		DB	
	1C			5C		ASC23CR0	9C	RW		DC	
	1D			5D		ASC23CR1	9D	RW	OSC_GO_EN	DD	RW
	1E			5E		ASC23CR2	9E	RW	OSC_CR4	DE	RW
	1F			5F		ASC23CR3	9F	RW	OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW		64			A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5			E5	
DBB01OU	26	RW	AMD_CR1	66	RW		A6			E6	
	27		ALT_CR0	67	RW		A7			E7	
DCB02FN	28	RW	ALT_CR1	68	RW		A8		IMO_TR	E8	W
DCB02IN	29	RW	CLK_CR2	69	RW		A9		ILO_TR	E9	W
DCB02OU	2A	RW		6A			AA		BDG_TR	EA	RW
	2B			6B			AB		ECO_TR	EB	W
DCB03FN	2C	RW		6C			AC			EC	
DCB03IN	2D	RW		6D			AD			ED	
DCB03OU	2E	RW		6E			AE			EE	
	2F			6F			AF			EF	
DBB10FN	30	RW	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10IN	31	RW	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10OU	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11FN	34	RW	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11IN	35	RW	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11OU	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12FN	38	RW	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12IN	39	RW	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12OU	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW		FA	
	3B		ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13FN	3C	RW	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13IN	3D	RW	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13OU	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
	3F		ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed. # Access is bit specific.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. Electrical Specifications

This chapter presents the DC and AC electrical specifications of the CY8C27x43 PSoC device. For the most up to date electrical specifications, confirm that you have the most recent data sheet by going to the web at http://www.cypress.com/psoc.

Specifications are valid for -40°C ≤ T_A ≤ 85°C and T_J ≤ 100°C, except where noted. Specifications for devices running at greater than 12 MHz are valid for -40°C ≤ T_A ≤ 70°C and T_J ≤ 82°C.

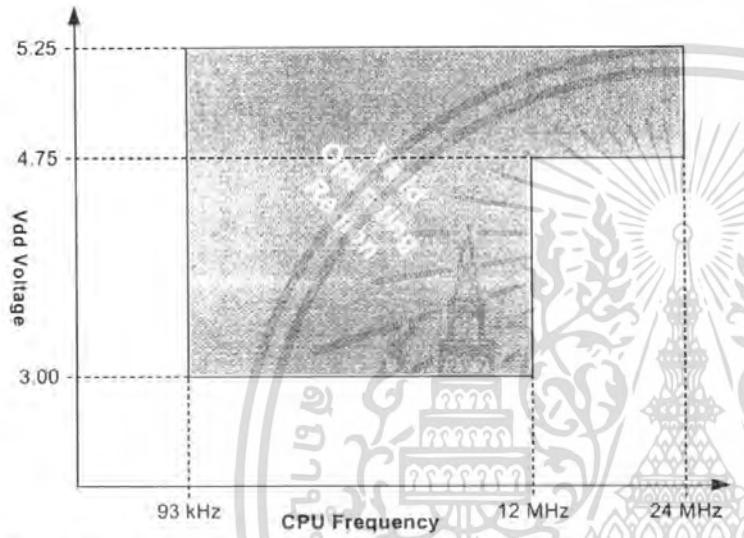


Figure 3-1. Voltage versus CPU Frequency

The following table lists the units of measure that are used in this chapter.

Table 3-1: Units of Measure

Symbol	Unit of Measure	Symbol	Unit of Measure
°C	degree Celsius	µW	micro watts
dB	decibels	mA	milli-ampere
fF	femto farad	ms	milli-second
Hz	hertz	mV	milli-volts
KB	1024 bytes	nA	nano ampere
Kbit	1024 bits	ns	nanosecond
kHz	kilohertz	nV	nanovolts
kΩ	kilohm	Ω	ohm
MHz	megahertz	pA	pico ampere
MΩ	megaohm	pF	pico farad
µA	micro ampere	pp	peak-to-peak
µF	micro farad	ppm	parts per million
µH	micro henry	ps	picosecond
µs	microsecond	sps	samples per second
µV	micro volts	σ	sigma: one standard deviation
µVrms	micro volts root-mean-square	V	volts

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 Absolute Maximum Ratings

Table 3-2. Absolute Maximum Ratings

Symbol	Description	Min	Typ	Max	Units	Notes
T_{STG}	Storage Temperature	-55	–	+100	°C	Higher storage temperatures will reduce data retention time.
T_A	Ambient Temperature with Power Applied	-40	–	+85	°C	
Vdd	Supply Voltage on Vdd Relative to Vss	-0.5	–	+6.0	V	
V_{IO}	DC Input Voltage	Vss- 0.5	–	Vdd + 0.5	V	
–	DC Voltage Applied to Tri-state	Vss - 0.5	–	Vdd + 0.5	V	
I_{MIO}	Maximum Current into any Port Pin	-25	–	+50	mA	
I_{MAIO}	Maximum Current into any Port Pin Configured as Analog Driver	-50	–	+50	mA	
ESD	Electro Static Discharge Voltage	2000	–	–	V	Human Body Model ESD
–	Latch-up Current	–	–	200	mA	

3.2 Operating Temperature

Table 3-3. Operating Temperature

Symbol	Description	Min	Typ	Max	Units	Notes
T_A	Ambient Temperature	-40	–	+85	°C	
T_J	Junction Temperature	-40	–	+100	°C	The temperature rise from ambient to junction is package specific. See "Thermal Impedances" on page 41. The user must limit the power consumption to comply with this requirement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 DC Electrical Characteristics

3.3.1 DC Chip-Level Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-4. DC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
Vdd	Supply Voltage	3.00	–	5.25	V	
I_{DD}	Supply Current	–	5	8	mA	Conditions are Vdd = 5.0V, T_A = 25 °C, CPU = 3 MHz, 48 MHz = Disabled. VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 93.75 kHz.
I_{DD3}	Supply Current	–	3.3	6.0	mA	Conditions are Vdd = 3.3V, T_A = 25 °C, CPU = 3 MHz, 48 MHz = Disabled, VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 93.75 kHz.
I_{SB}	Sleep (Mode) Current with POR, LVD, Sleep Timer, and WDT.[a]	–	3	6.5	µA	Conditions are with internal slow speed oscillator, Vdd = 3.3V, -40 °C ≤ T_A ≤ 55 °C.
I_{SBH}	Sleep (Mode) Current with POR, LVD, Sleep Timer, and WDT at high temperature.[a]	–	4	25	µA	Conditions are with internal slow speed oscillator, Vdd = 3.3V, 55 °C < T_A ≤ 85 °C.
I_{SBXTL}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, and external crystal.[a]	–	4	7.5	µA	Conditions are with properly loaded, 1 µW max, 32.768 kHz crystal. Vdd = 3.3V, -40 °C ≤ T_A ≤ 55 °C.
I_{SBXTLH}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, and external crystal at high temperature.[a]	–	5	26	µA	Conditions are with properly loaded, 1 µW max, 32.768 kHz crystal. Vdd = 3.3V, 55 °C < T_A ≤ 85 °C.
V_{REF}	Reference Voltage (Bandgap) for Silicon A [b]	1.275	1.300	1.325	V	Trimmed for appropriate Vdd.
V_{REF}	Reference Voltage (Bandgap) for Silicon B [b]	1.280	1.300	1.320	V	Trimmed for appropriate Vdd.

a. Standby current includes all functions (POR, LVD, WDT, Sleep Time) needed for reliable system operation. This should be compared with devices that have similar functions enabled.

b. Refer to the Ordering Information chapter on page 42.

3.3.2 DC General Purpose IO Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-5. DC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R_{PU}	Pull up Resistor	4	5.6	8	kΩ	
R_{PD}	Pull down Resistor	4	5.6	8	kΩ	
V_{OH}	High Output Level	Vdd - 1.0	–	–	V	IOH = 10 mA, Vdd = 4.75 to 5.25V (8 total loads, 4 on even port pins (for example, P0[2], P1[4]), 4 on odd port pins (for example, P0[3], P1[5])).
V_{OL}	Low Output Level	–	–	0.75	V	IOL = 25 mA, Vdd = 4.75 to 5.25V (8 total loads, 4 on even port pins (for example, P0[2], P1[4]), 4 on odd port pins (for example, P0[3], P1[5])).
V_{IL}	Input Low Level	–	–	0.8	V	Vdd = 3.0 to 5.25
V_{IH}	Input High Level	2.1	–		V	Vdd = 3.0 to 5.25
V_H	Input Hysteresis	–	60	–	mV	
I_{IL}	Input Leakage (Absolute Value)	–	1	–	nA	Gross tested to 1 µA.
C_{IN}	Capacitive Load on Pins as Input	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.
C_{OUT}	Capacitive Load on Pins as Output	–	3.5	10	pF	Package and pin dependent. Temp = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 DC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

The Operational Amplifier is a component of both the Analog Continuous Time PSoC blocks and the Analog Switched Cap PSoC blocks. The guaranteed specifications are measured in the Analog Continuous Time PSoC block. Typical parameters apply to 5V at 25°C and are for design guidance only.

Table 3-6. 5V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value)					
	Power = Low, Opamp Bias = High	–	1.6	10	mV	
	Power = Medium, Opamp Bias = High	–	1.3	8	mV	
	Power = High, Opamp Bias = High	–	1.2	7.5	mV	
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	µV/°C	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	20	–	pA	Gross tested to 1 µA.
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C.
V_{CMOA}	Common Mode Voltage Range	0.0	–	Vdd	V	The common-mode input voltage range is measured through an analog output buffer. The specification includes the limitations imposed by the characteristics of the analog output buffer.
	Common Mode Voltage Range (high power or high opamp bias)	0.5	–	Vdd - 0.5		
$CMRR_{OA}$	Common Mode Rejection Ratio		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low	60				
	Power = Medium	60				
	Power = High	60				
G_{OLOA}	Open Loop Gain		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low	60				
	Power = Medium	60				
	Power = High	80				
$V_{OHIGHOA}$	High Output Voltage Swing (internal signals)					
	Power = Low	Vdd - 0.2	–	–	V	
	Power = Medium	Vdd - 0.2	–	–	V	
	Power = High	Vdd - 0.5	–	–	V	
V_{OLOWOA}	Low Output Voltage Swing (internal signals)					
	Power = Low	–	–	0.2	V	
	Power = Medium	–	–	0.2	V	
	Power = High	–	–	0.5	V	
I_{SOA}	Supply Current (including associated AGND buffer)					
	Power = Low, Opamp Bias = Low	–	150	200	µA	
	Power = Low, Opamp Bias = High	–	300	400	µA	
	Power = Medium, Opamp Bias = Low	–	600	800	µA	
	Power = Medium, Opamp Bias = High	–	1200	1600	µA	
	Power = High, Opamp Bias = Low	–	2400	3200	µA	
	Power = High, Opamp Bias = High	–	4600	6400	µA	
$PSRR_{OA}$	Supply Voltage Rejection Ratio	60	–	–	dB	0V ≤ V_{IN} ≤ (Vdd - 2.25) or (Vdd - 1.25V) ≤ V_{IN} ≤ Vdd.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-7. 3.3V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value)					
	Power = Low, Opamp Bias = High	–	1.65	10	mV	
	Power = Medium, Opamp Bias = High	–	1.32	8	mV	
	High Power is 5 Volts Only					
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	µV/°C	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	20	–	pA	Gross tested to 1 µA.
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C.
V_{CMOA}	Common Mode Voltage Range	0.2	–	Vdd - 0.2	V	The common-mode input voltage range is measured through an analog output buffer. The specification includes the limitations imposed by the characteristics of the analog output buffer.
$CMRR_{OA}$	Common Mode Rejection Ratio		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low	50				
	Power = Medium	50				
	Power = High	50				
G_{OLOA}	Open Loop Gain		–	–	dB	Specification is applicable at high power. For all other bias modes (except high power, high opamp bias), minimum is 60 dB.
	Power = Low	60				
	Power = Medium	60				
	Power = High	80				
$V_{OHIGHOA}$	High Output Voltage Swing (internal signals)					
	Power = Low	Vdd - 0.2	–	–	V	
	Power = Medium	Vdd - 0.2	–	–	V	
	Power = High is 5V only	Vdd - 0.2	–	–	V	
V_{OLOWOA}	Low Output Voltage Swing (internal signals)					
	Power = Low	–	–	0.2	V	
	Power = Medium	–	–	0.2	V	
	Power = High	–	–	0.2	V	
I_{SOA}	Supply Current (including associated AGND buffer)					
	Power = Low, Opamp Bias = Low	–	150	200	µA	
	Power = Low, Opamp Bias = High	–	300	400	µA	
	Power = Medium, Opamp Bias = Low	–	600	800	µA	
	Power = Medium, Opamp Bias = High	–	1200	1600	µA	
	Power = High, Opamp Bias = Low	–	2400	3200	µA	
	Power = High, Opamp Bias = High	–	4600	6400	µA	
$PSRR_{OA}$	Supply Voltage Rejection Ratio	50	–	–	dB	$0V \le V_{IN} \le (Vdd - 2.25)$ or $(Vdd - 1.25V) \le V_{IN} \le Vdd$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 DC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-8. 5V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	–	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	–	+6	–	µV/°C	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	–	Vdd - 1.0	V	
R_{OUTOB}	Output Resistance					
	Power = Low	–	1	–	Ω	
	Power = High	–	1	–	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 32 ohms to Vdd/2)					
	Power = Low	0.5 x Vdd + 1.3	–	–	V	
	Power = High	0.5 x Vdd + 1.3	–	–	V	
V_{OLOWOB}	Low Output Voltage Swing (Load = 32 ohms to Vdd/2)					
	Power = Low	–	–	0.5 x Vdd - 1.3	V	
	Power = High	–	–	0.5 x Vdd - 1.3	V	
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low	–	1.1	5.1	mA	
	Power = High	–	2.6	8.8	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	60	–	–	dB	

Table 3-9. 3.3V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	–	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	–	+6	–	µV/°C	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	-	Vdd - 1.0	V	
R_{OUTOB}	Output Resistance					
	Power = Low	–	1	–	Ω	
	Power = High	–	1	–	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 1k ohms to Vdd/2)					
	Power = Low	0.5 x Vdd + 1.0	–	–	V	
	Power = High	0.5 x Vdd + 1.0	–	–	V	
V_{OLOWOB}	Low Output Voltage Swing (Load = 1k ohms to Vdd/2)					
	Power = Low	–	–	0.5 x Vdd - 1.0	V	
	Power = High	–	–	0.5 x Vdd - 1.0	V	
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low		0.8	2.0	mA	
	Power = High	–	2.0	4.3	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	60	–	–	dB	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.5 DC Switch Mode Pump Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-10. DC Switch Mode Pump (SMP) Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{PUMP} 5V	5V Output Voltage	4.75	5.0	5.25	V	Configuration of footnote [a]. Average, neglecting ripple. SMP trip voltage is set to 5.0V.
V_{PUMP} 3V	3V Output Voltage	3.00	3.25	3.60	V	Configuration of footnote [a]. Average, neglecting ripple. SMP trip voltage is set to 3.25V.
I_{PUMP}	Available Output Current					Configuration of footnote [a].
	V_{BAT} = 1.5V, V_{PUMP} = 3.25V	8	–	–	mA	SMP trip voltage is set to 3.25V.
	V_{BAT} = 1.8V, V_{PUMP} = 5.0V	5	–	–	mA	SMP trip voltage is set to 5.0V.
V_{BAT}5V	Input Voltage Range from Battery	1.8	–	5.0	V	Configuration of footnote [a]. SMP trip voltage is set to 5.0V.
V_{BAT}3V	Input Voltage Range from Battery	1.0	–	3.3	V	Configuration of footnote [a]. SMP trip voltage is set to 3.25V.
$V_{BATSTART}$	Minimum Input Voltage from Battery to Start Pump	1.1	–	–	V	Configuration of footnote [a].
ΔV_{PUMP_Line}	Line Regulation (over V_{BAT} range)	–	5	–	$\%V_O$	Configuration of footnote [a]. V_O is the "Vdd Value for PUMP Trip" specified by the VM[2:0] setting in the DC POR and LVD Specification, Table 3-16 on page 26.
ΔV_{PUMP_Load}	Load Regulation	–	5	–	$\%V_O$	Configuration of footnote [a]. V_O is the "Vdd Value for PUMP Trip" specified by the VM[2:0] setting in the DC POR and LVD Specification, Table 3-16 on page 26.
ΔV_{PUMP_Ripple}	Output Voltage Ripple (depends on capacitor/load)	–	100	–	mVpp	Configuration of footnote [a]. Load is 5mA.
E_3	Efficiency	35	50	–	%	Configuration of footnote [a]. Load is 5 mA. SMP trip voltage is set to 3.25V.
F_{PUMP}	Switching Frequency	–	1.3	–	MHz	
DC_{PUMP}	Switching Duty Cycle	–	50	–	%	

a. L_1 = 2 µH inductor, C_1 = 10 µF capacitor, D_1 = Schottky diode. See Figure 3-2.

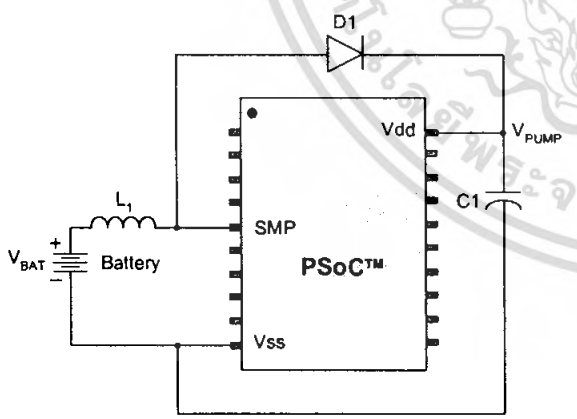


Figure 3-2. Basic Switch Mode Pump Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.6 DC Analog Reference Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

The guaranteed specifications are measured through the Analog Continuous Time PSoC blocks. The power levels for AGND refer to the power of the Analog Continuous Time PSoC block. The power levels for RefHi and RefLo refer to the Analog Reference Control register. The limits stated for AGND include the offset error of the AGND buffer local to the Analog Continuous Time PSoC block. Reference control power is high.

Table 3-11. Silicon Revision A – 5V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.274	1.30	1.326	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.030	Vdd/2 - 0.004	Vdd/2 + 0.003	V
–	AGND = 2 x BandGap[a]	2 x BG - 0.043	2 x BG - 0.010	2 x BG + 0.024	V
–	AGND = P2[4] (P2[4] = Vdd/2)[a]	P2[4] - 0.013	P2[4]	P2[4] + 0.014	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]	1.6 x BG - 0.018	1.6 x BG	1.6 x BG + 0.018	V
–	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	V
–	RefHi = Vdd/2 + BandGap	Vdd/2 + BG - 0.140	Vdd/2 + BG - 0.018	Vdd/2 + BG + 0.103	V
–	RefHi = 3 x BandGap	3 x BG - 0.112	3 x BG - 0.018	3 x BG + 0.076	V
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 1.3V)	2 x BG + P2[6] - 0.113	2 x BG + P2[6] - 0.018	2 x BG + P2[6] + 0.077	V
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	P2[4] + BG - 0.130	P2[4] + BG - 0.016	P2[4] + BG + 0.098	V
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.133	P2[4] + P2[6] - 0.016	P2[4] + P2[6] + 0.100	V
–	RefHi = 3.2 x BandGap	3.2 x BG - 0.112	3.2 x BG	3.2 x BG + 0.076	V
–	RefLo = Vdd/2 – BandGap	Vdd/2 - BG - 0.051	Vdd/2 - BG + 0.024	Vdd/2 - BG + 0.098	V
–	RefLo = BandGap	BG - 0.082	BG + 0.023	BG + 0.129	V
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 1.3V)	2 x BG - P2[6] - 0.084	2 x BG - P2[6] + 0.025	2 x BG - P2[6] + 0.134	V
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	P2[4] - BG - 0.056	P2[4] - BG + 0.026	P2[4] - BG + 0.107	V
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.057	P2[4] - P2[6] + 0.026	P2[4] - P2[6] + 0.110	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

Table 3-12. Silicon Revision B – 5V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.28	1.30	1.32	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.030	Vdd/2	Vdd/2 + 0.007	V
–	AGND = 2 x BandGap[a]	2 x BG - 0.043	2 x BG	2 x BG + 0.024	V
–	AGND = P2[4] (P2[4] = Vdd/2)[a]	P2[4] - 0.011	P2[4]	P2[4] + 0.011	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]	1.6 x BG - 0.018	1.6 x BG	1.6 x BG + 0.018	V
–	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	V
–	RefHi = Vdd/2 + BandGap	Vdd/2 + BG - 0.1	Vdd/2 + BG - 0.01	Vdd/2 + BG + 0.1	V
–	RefHi = 3 x BandGap	3 x BG - 0.06	3 x BG - 0.01	3 x BG + 0.06	V
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 1.3V)	2 x BG + P2[6] - 0.06	2 x BG + P2[6] - 0.01	2 x BG + P2[6] + 0.06	V
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	P2[4] + BG - 0.06	P2[4] + BG - 0.01	P2[4] + BG + 0.06	V
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] + P2[6] - 0.06	P2[4] + P2[6] - 0.01	P2[4] + P2[6] + 0.06	V
–	RefHi = 3.2 x BandGap	3.2 x BG - 0.06	3.2 x BG - 0.01	3.2 x BG + 0.06	V
–	RefLo = Vdd/2 – BandGap	Vdd/2 - BG - 0.051	Vdd/2 - BG + 0.01	Vdd/2 - BG + 0.06	V
–	RefLo = BandGap	BG - 0.06	BG + 0.01	BG + 0.06	V
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 1.3V)	2 x BG - P2[6] - 0.04	2 x BG - P2[6] + 0.01	2 x BG - P2[6] + 0.04	V
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	P2[4] - BG - 0.056	P2[4] - BG + 0.01	P2[4] - BG + 0.056	V
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 1.3V)	P2[4] - P2[6] - 0.056	P2[4] - P2[6] + 0.01	P2[4] - P2[6] + 0.056	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3-13. Silicon Revision A – 3.3V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.274	1.30	1.326	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.027	Vdd/2 - 0.003	Vdd/2 + 0.002	V
–	AGND = 2 x BandGap[a]	Not Allowed			
–	AGND = P2[4] (P2[4] = Vdd/2)	P2[4] - 0.008	P2[4] + 0.001	P2[4] + 0.009	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]	1.6 x BG - 0.018	1.6 x BG	1.6 x BG + 0.018	V
–	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	mV
–	RefHi = Vdd/2 + BandGap	Not Allowed			
–	RefHi = 3 x BandGap	Not Allowed			
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] + P2[6] - 0.075	P2[4] + P2[6] - 0.009	P2[4] + P2[6] + 0.057	V
–	RefHi = 3.2 x BandGap	Not Allowed			
–	RefLo = Vdd/2 - BandGap	Not Allowed			
–	RefLo = BandGap	Not Allowed			
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] - P2[6] - 0.048	P2[4] - P2[6] + 0.022	P2[4] - P2[6] + 0.092	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

Note See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on trimming for operation at 3.3V.

Table 3-14. Silicon Revision B – 3.3V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
BG	Bandgap Voltage Reference	1.28	1.30	1.32	V
–	AGND = Vdd/2[a]	Vdd/2 - 0.027	Vdd/2	Vdd/2 + 0.005	V
–	AGND = 2 x BandGap[a]	Not Allowed			
–	AGND = P2[4] (P2[4] = Vdd/2)	P2[4] - 0.008	P2[4]	P2[4] + 0.009	V
–	AGND = BandGap[a]	BG - 0.009	BG	BG + 0.009	V
–	AGND = 1.6 x BandGap[a]	1.6 x BG - 0.018	1.6 x BG	1.6 x BG + 0.018	V
–	AGND Block to Block Variation (AGND = Vdd/2)[a]	-0.034	0.000	0.034	mV
–	RefHi = Vdd/2 + BandGap	Not Allowed			
–	RefHi = 3 x BandGap	Not Allowed			
–	RefHi = 2 x BandGap + P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefHi = P2[4] + BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefHi = P2[4] + P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] + P2[6] - 0.06	P2[4] + P2[6] - 0.01	P2[4] + P2[6] + 0.057	V
–	RefHi = 3.2 x BandGap	Not Allowed			
–	RefLo = Vdd/2 - BandGap	Not Allowed			
–	RefLo = BandGap	Not Allowed			
–	RefLo = 2 x BandGap - P2[6] (P2[6] = 0.5V)	Not Allowed			
–	RefLo = P2[4] – BandGap (P2[4] = Vdd/2)	Not Allowed			
–	RefLo = P2[4]-P2[6] (P2[4] = Vdd/2, P2[6] = 0.5V)	P2[4] - P2[6] - 0.048	P2[4] - P2[6] + 0.01	P2[4] - P2[6] + 0.048	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block.

Note See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on trimming for operation at 3.3V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.7 DC Analog PSoC Block Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-15. DC Analog PSoC Block Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R_{CT}	Resistor Unit Value (Continuous Time)	–	12.2	–	kΩ	
C_{SC}	Capacitor Unit Value (Switch Cap)	–	80	–	fF	

3.3.8 DC POR and LVD Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Note The bits PORLEV and VM in the table below refer to bits in the VLT_CR register. See the *PSoC Mixed Signal Array Technical Reference Manual* for more information on the VLT_CR register.

Table 3-16. DC POR and LVD Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
	Vdd Value for PPOR Trip (positive ramp)					
V_{PPOR0R}	PORLEV[1:0] = 00b		2.91		V	
V_{PPOR1R}	PORLEV[1:0] = 01b	–	4.39	–	V	
V_{PPOR2R}	PORLEV[1:0] = 10b		4.55		V	
	Vdd Value for PPOR Trip (negative ramp)					
V_{PPOR0}	PORLEV[1:0] = 00b		2.82		V	
V_{PPOR1}	PORLEV[1:0] = 01b	–	4.39	–	V	
V_{PPOR2}	PORLEV[1:0] = 10b		4.55		V	
	PPOR Hysteresis					
V_{PH0}	PORLEV[1:0] = 00b	–	92	–	mV	
V_{PH1}	PORLEV[1:0] = 01b	–	0	–	mV	
V_{PH2}	PORLEV[1:0] = 10b	–	0	–	mV	
	Vdd Value for LVD Trip					
V_{LVD0}	VM[2:0] = 000b	2.86	2.92	2.98[a]	V	
V_{LVD1}	VM[2:0] = 001b	2.96	3.02	3.08	V	
V_{LVD2}	VM[2:0] = 010b	3.07	3.13	3.20	V	
V_{LVD3}	VM[2:0] = 011b	3.92	4.00	4.08	V	
V_{LVD4}	VM[2:0] = 100b	4.39	4.48	4.57	V	
V_{LVD5}	VM[2:0] = 101b	4.55	4.64	4.74[b]	V	
V_{LVD6}	VM[2:0] = 110b	4.63	4.73	4.82	V	
V_{LVD7}	VM[2:0] = 111b	4.72	4.81	4.91	V	
	Vdd Value for PUMP Trip					
V_{PUMP0}	VM[2:0] = 000b	2.96	3.02	3.08	V	
V_{PUMP1}	VM[2:0] = 001b	3.03	3.10	3.16	V	
V_{PUMP2}	VM[2:0] = 010b	3.18	3.25	3.32	V	
V_{PUMP3}	VM[2:0] = 011b	4.11	4.19	4.28	V	
V_{PUMP4}	VM[2:0] = 100b	4.55	4.64	4.74	V	
V_{PUMP5}	VM[2:0] = 101b	4.63	4.73	4.82	V	
V_{PUMP6}	VM[2:0] = 110b	4.72	4.82	4.91	V	
V_{PUMP7}	VM[2:0] = 111b	4.90	5.00	5.10	V	

a. Always greater than 50 mV above PPOR (PORLEV = 00) for falling supply.
b. Always greater than 50 mV above PPOR (PORLEV = 10) for falling supply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.9 DC Programming Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-17. DC Programming Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
I_{DDP}	Supply Current During Programming or Verify	–	5	25	mA	
V_{ILP}	Input Low Voltage During Programming or Verify	–	–	0.8	V	
V_{IHP}	Input High Voltage During Programming or Verify	2.2	–	–	V	
I_{ILP}	Input Current when Applying Vilp to P1[0] or P1[1] During Programming or Verify	–	–	0.2	mA	Driving internal pull-down resistor.
I_{IHP}	Input Current when Applying Vihp to P1[0] or P1[1] During Programming or Verify	–	–	1.5	mA	Driving internal pull-down resistor.
V_{OLV}	Output Low Voltage During Programming or Verify	–	–	Vss + 0.75	V	
V_{OHV}	Output High Voltage During Programming or Verify	Vdd - 1.0	–	Vdd	V	
$Flash_{ENPB}$	Flash Endurance (per block)	50,000	–	–	–	Erase/write cycles per block.
$Flash_{ENT}$	Flash Endurance (total)[a]	1,800,000	–	–	–	Erase/write cycles.
$Flash_{DR}$	Flash Data Retention	10	–	–	Years	

a. A maximum of 36 x 50,000 block endurance cycles is allowed. This may be balanced between operations on 36x1 blocks of 50,000 maximum cycles each, 36x2 blocks of 25,000 maximum cycles each, or 36x4 blocks of 12,500 maximum cycles each (to limit the total number of cycles to 36x50,000 and that no single block ever sees more than 50,000 cycles).
For the full industrial range, the user must employ a temperature sensor user module (FlashTemp) and feed the result to the temperature argument before writing. Refer to the Flash APIs Application Note AN2015 at http://www.cypress.com under Application Notes for more information.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 AC Electrical Characteristics

3.4.1 AC Chip-Level Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-18. AC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{IMO}	Internal Main Oscillator Frequency	23.4	24	24.6[a]	MHz	Trimmed. Utilizing factory trim values.
F_{CPU1}	CPU Frequency (5V Nominal)	0.93	24	24.6[a,b]	MHz	Trimmed. Utilizing factory trim values.
F_{CPU2}	CPU Frequency (3.3V Nominal)	0.93	12	12.3[b,c]	MHz	Trimmed. Utilizing factory trim values.
F_{48M}	Digital PSoC Block Frequency	0	48	49.2[a,b,d]	MHz	Refer to the AC Digital Block Specifications below.
F_{24M}	Digital PSoC Block Frequency	0	24	24.6[b, d]	MHz	
F_{32K1}	Internal Low Speed Oscillator Frequency	15	32	64	kHz	
F_{32K2}	External Crystal Oscillator	–	32.768	–	kHz	Accuracy is capacitor and crystal dependent. 50% duty cycle.
F_{PLL}	PLL Frequency	–	23.986	–	MHz	Multiple (x732) of crystal frequency.
Jitter24M2	24 MHz Period Jitter (PLL)	–	–	600	ps	
$T_{PLLSLEW}$	PLL Lock Time	0.5	–	10	ms	
$T_{PLLSLEWS-LOW}$	PLL Lock Time for Low Gain Setting	0.5	–	50	ms	
T_{OS}	External Crystal Oscillator Startup to 1%	–	1700	2620	ms	
T_{OSACC}	External Crystal Oscillator Startup to 100 ppm	–	2800	3800	ms	The crystal oscillator frequency is within 100 ppm of its final value by the end of the T_{osacc} period. Correct operation assumes a properly loaded 1 uW maximum drive level 32.768 kHz crystal. 3.0V ≤ Vdd ≤ 5.5V, -40 °C ≤ T_A ≤ 85 °C.
Jitter32k	32 kHz Period Jitter	–	100		ns	
T_{XRST}	External Reset Pulse Width	10	–	–	µs	
DC24M	24 MHz Duty Cycle	40	50	60	%	
Step24M	24 MHz Trim Step Size	–	50	–	kHz	
Fout48M	48 MHz Output Frequency	46.8	48.0	49.2[a,c]	MHz	Trimmed. Utilizing factory trim values.
Jitter24M1	24 MHz Period Jitter (IMO)	–	600		ps	
F_{MAX}	Maximum frequency of signal on row input or row output.	–	–	12.3	MHz	
T_{RAMP}	Supply Ramp Time	0	–	–	µs	

a. 4.75V < Vdd < 5.25V.
b. Accuracy derived from Internal Main Oscillator with appropriate trim for Vdd range.
c. 3.0V < Vdd < 3.6V. See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on trimming for operation at 3.3V.
d. See the individual user module data sheets for information on maximum frequencies for user modules.

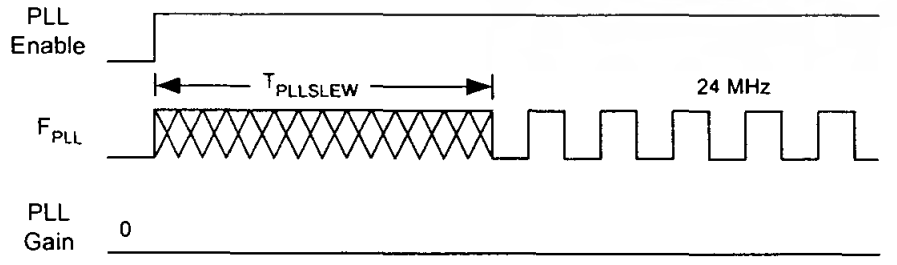


Figure 3-3. PLL Lock Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

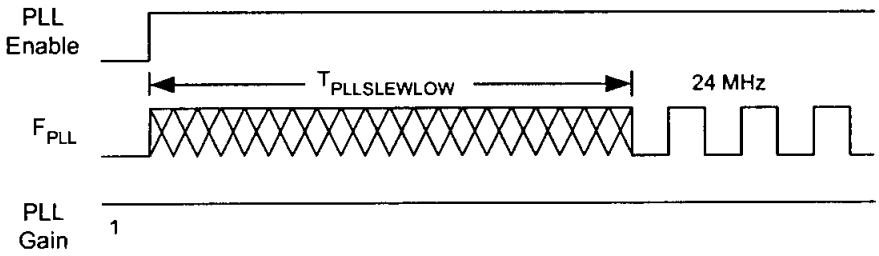


Figure 3-4. PLL Lock for Low Gain Setting Timing Diagram

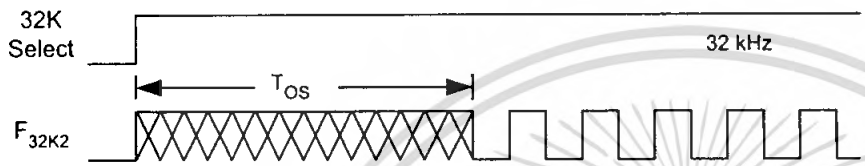


Figure 3-5. External Crystal Oscillator Startup Timing Diagram

Figure 3-6. 24 MHz Period Jitter (IMO) Timing Diagram

Figure 3-7. 32 kHz Period Jitter (ECO) Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 AC General Purpose IO Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-19. AC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{GPIO}	GPIO Operating Frequency	0	–	12	MHz	
TRiseF	Rise Time, Normal Strong Mode, Cload = 50 pF	3	–	18	ns	Vdd = 4.5 to 5.25V, 10% - 90%
TFallF	Fall Time, Normal Strong Mode, Cload = 50 pF	2	–	18	ns	Vdd = 4.5 to 5.25V, 10% - 90%
TRiseS	Rise Time, Slow Strong Mode, Cload = 50 pF	10	27	–	ns	Vdd = 3 to 5.25V, 10% - 90%
TFallS	Fall Time, Slow Strong Mode, Cload = 50 pF	10	22	–	ns	Vdd = 3 to 5.25V, 10% - 90%

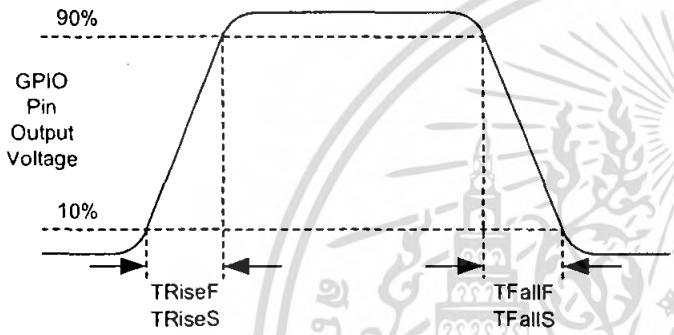


Figure 3-8. GPIO Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.3 AC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Settling times, slew rates, and gain bandwidth are based on the Analog Continuous Time PSoC block.

Power = High and Opamp Bias = High is not supported at 3.3V.

Table 3-20. 5V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time from 80% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	3.9	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
	Power = High, Opamp Bias = High	–	–	0.62	µs	
T_{SOA}	Falling Settling Time from 20% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	5.9	µs	
	Power = Medium, Opamp Bias = High	–	–	0.92	µs	
	Power = High, Opamp Bias = High	–	–	0.72	µs	
SR_{ROA}	Rising Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.15	–	–	V/µs	
	Power = Medium, Opamp Bias = High	1.7	–	–	V/µs	
	Power = High, Opamp Bias = High	6.5	–	–	V/µs	
SR_{FOA}	Falling Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.01	–	–	V/µs	
	Power = Medium, Opamp Bias = High	0.5	–	–	V/µs	
	Power = High, Opamp Bias = High	4.0	–	–	V/µs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.75	–	–	MHz	
	Power = Medium, Opamp Bias = High	3.1	–	–	MHz	
	Power = High, Opamp Bias = High	5.4	–	–	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	–	100	–	nV/rt-Hz	

Table 3-21. 3.3V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time from 80% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	3.92	µs	
	Power = Low, Opamp Bias = High	–	–	0.72	µs	
T_{SOA}	Falling Settling Time from 20% of ΔV to 0.1% of ΔV (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	–	–	5.41	µs	
	Power = Medium, Opamp Bias = High	–	–	0.72	µs	
SR_{ROA}	Rising Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.31	–	–	V/µs	
	Power = Medium, Opamp Bias = High	2.7	–	–	V/µs	
SR_{FOA}	Falling Slew Rate (20% to 80%)(10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.24	–	–	V/µs	
	Power = Medium, Opamp Bias = High	1.8	–	–	V/µs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.67	–	–	MHz	
	Power = Medium, Opamp Bias = High	2.8	–	–	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	–	100	–	nV/rt-Hz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.4 AC Digital Block Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-22. AC Digital Block Specifications

Function	Description	Min	Typ	Max	Units	Notes
All Functions	Maximum Block Clocking Frequency (> 4.75V)			49.2		4.75V < Vdd < 5.25V.
	Maximum Block Clocking Frequency (< 4.75V)			24.6		3.0V < Vdd < 4.75V.
Timer	Capture Pulse Width	50[a]	–	–	ns	
	Maximum Frequency, No Capture	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
	Maximum Frequency, With Capture	–	–	24.6	MHz	
Counter	Enable Pulse Width	50[a]	–	–	ns	
	Maximum Frequency, No Enable Input	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
	Maximum Frequency, Enable Input	–	–	24.6	MHz	
Dead Band	Kill Pulse Width:					
	Asynchronous Restart Mode	20	–	–	ns	
	Synchronous Restart Mode	50[a]	–	–	ns	
	Disable Mode	50[a]	–	–	ns	
	Maximum Frequency	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
CRCPRS (PRS Mode)	Maximum Input Clock Frequency	–	–	49.2	MHz	4.75V < Vdd < 5.25V.
CRCPRS (CRC Mode)	Maximum Input Clock Frequency	–	–	24.6	MHz	
SPIM	Maximum Input Clock Frequency	–	–	8.2	MHz	Maximum data rate at 4.1 MHz due to 2 x over clocking.
SPIS	Maximum Input Clock Frequency	–	–	4.1	ns	
	Width of SS_ Negated Between Transmissions	50[a]	–	–	ns	
Transmitter	Maximum Input Clock Frequency [b]					
	Silicon A	–	–	16.4	MHz	Maximum data rate at 2.05 MHz due to 8 x over clocking.
	Silicon B	–	–	24.6	MHz	Maximum data rate at 3.08 MHz due to 8 x over clocking.
Receiver	Maximum Input Clock Frequency [b]					
	Silicon A	–	–	16.4	MHz	Maximum data rate at 2.05 MHz due to 8 x over clocking.
	Silicon B	–	–	24.6	MHz	Maximum data rate at 3.08 MHz due to 8 x over clocking.

a. 50 ns minimum input pulse width is based on the input synchronizers running at 24 MHz (42 ns nominal period).
b. Refer to the Ordering Information chapter on page 42.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.5 AC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-23. 5V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.5	µs	
	Power = High	–	–	2.5	µs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.2	µs	
	Power = High	–	–	2.2	µs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	0.65	–	–	V/µs	
	Power = High	0.65	–	–	V/µs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low	0.65	–	–	V/µs	
	Power = High	0.65	–	–	V/µs	
BW_{OB}	Small Signal Bandwidth, 20mV_{pp}, 3dB BW, 100pF Load					
	Power = Low	0.8	–	–	MHz	
	Power = High	0.8	–	–	MHz	
BW_{OB}	Large Signal Bandwidth, 1V_{pp}, 3dB BW, 100pF Load					
	Power = Low	300	–	–	kHz	
	Power = High	300	–	–	kHz	

Table 3-24. 3.3V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	3.8	µs	
	Power = High	–	–	3.8	µs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	–	–	2.6	µs	
	Power = High	–	–	2.6	µs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	0.5	–	–	V/µs	
	Power = High	0.5	–	–	V/µs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low	0.5	–	–	V/µs	
	Power = High	0.5	–	–	V/µs	
BW_{OB}	Small Signal Bandwidth, 20mV_{pp}, 3dB BW, 100pF Load					
	Power = Low	0.7	–	–	MHz	
	Power = High	0.7	–	–	MHz	
BW_{OB}	Large Signal Bandwidth, 1V_{pp}, 3dB BW, 100pF Load					
	Power = Low	200	–	–	kHz	
	Power = High	200	–	–	kHz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.6 AC External Clock Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-25. 5V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{OSCEXT}	Frequency	0.093	–	24.6	MHz	
–	High Period	20.6	–	5300	ns	
–	Low Period	20.6	–	–	ns	
–	Power Up IMO to Switch	150	–	–	µs	

Table 3-26. 3.3V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{OSCEXT}	Frequency with CPU Clock divide by 1[a]	0.093	–	12.3	MHz	
F_{OSCEXT}	Frequency with CPU Clock divide by 2 or greater[b]	0.186	–	24.6	MHz	
–	High Period with CPU Clock divide by 1	41.7	–	5300	ns	
–	Low Period with CPU Clock divide by 1	41.7	–	–	ns	
–	Power Up IMO to Switch	150	–	–	µs	

a. Maximum CPU frequency is 12 MHz at 3.3V. With the CPU clock divider set to 1, the external clock must adhere to the maximum frequency and duty cycle requirements.
b. If the frequency of the external clock is greater than 12 MHz, the CPU clock divider must be set to 2 or greater. In this case, the CPU clock divider will ensure that the fifty percent duty cycle requirement is met.

3.4.7 AC Programming Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-27. AC Programming Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{RSCLK}	Rise Time of SCLK	1	–	20	ns	
T_{FSCLK}	Fall Time of SCLK	1	–	20	ns	
T_{SSCLK}	Data Set up Time to Falling Edge of SCLK	40	–	–	ns	
T_{HSCLK}	Data Hold Time from Falling Edge of SCLK	40	–	–	ns	
F_{SCLK}	Frequency of SCLK	0	–	8	MHz	
T_{ERASEB}	Flash Erase Time (Block)	–	10	–	ms	
T_{WRITE}	Flash Block Write Time	–	10	–	ms	
T_{DSCLK}	Data Out Delay from Falling Edge of SCLK	–	–	45	ns	Vdd > 3.6
T_{DSCLK3}	Data Out Delay from Falling Edge of SCLK	–	–	50	ns	3.0 ≤ Vdd ≤ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.8 AC I²C Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and -40°C ≤ T_A ≤ 85°C, or 3.0V to 3.6V and -40°C ≤ T_A ≤ 85°C, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-28. AC Characteristics of the I²C SDA and SCL Pins

Symbol	Description	Standard Mode		Fast Mode		Units	Notes
		Min	Max	Min	Max		
F_{SCLI2C}	SCL Clock Frequency	0	100	0	400	kHz	
$T_{HDSTAI2C}$	Hold Time (repeated) START Condition. After this period, the first clock pulse is generated.	4.0	–	0.6	–	µs	
T_{LOWI2C}	LOW Period of the SCL Clock	4.7	–	1.3	–	µs	
$T_{HIGHI2C}$	HIGH Period of the SCL Clock	4.0	–	0.6	–	µs	
$T_{SUSTAI2C}$	Set-up Time for a Repeated START Condition	4.7	–	0.6	–	µs	
$T_{HDDATI2C}$	Data Hold Time	0	–	0	–	µs	
$T_{SUDATI2C}$	Data Set-up Time	250	–	100[a]	–	ns	
$T_{SUSTOI2C}$	Set-up Time for STOP Condition	4.0	–	0.6	–	µs	
T_{BUFI2C}	Bus Free Time Between a STOP and START Condition	4.7	–	1.3	–	µs	
T_{SPI2C}	Pulse Width of spikes are suppressed by the input filter.	–	–	0	50	ns	

a. A Fast-Mode I2C-bus device can be used in a Standard-Mode I2C-bus system, but the requirement $t_{SU;DAT} \geq 250$ ns must then be met. This will automatically be the case if the device does not stretch the LOW period of the SCL signal. If such device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line $t_{rmax} + t_{SU;DAT} = 1000 + 250 = 1250$ ns (according to the Standard-Mode I2C-bus specification) before the SCL line is released.

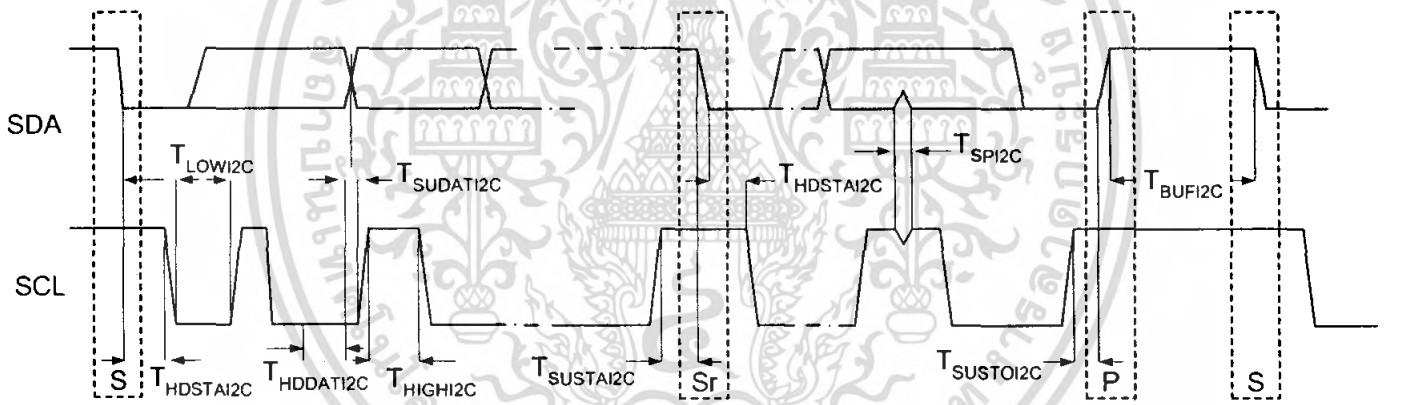


Figure 3-9. Definition for Timing for Fast/Standard Mode on the I²C Bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Packaging Information

This chapter illustrates the packaging specifications for the CY8C27x43 PSoC device, along with the thermal impedances for each package and the typical package capacitance on crystal pins.

Important Note Emulation tools may require a larger area on the target PCB than the chip's footprint. For a detailed description of the emulation tools' dimensions, refer to the document titled *PSoC Emulator Pod Dimensions* at http://www.cypress.com/support/link.cfm?mr=poddim.

4.1 Packaging Dimensions

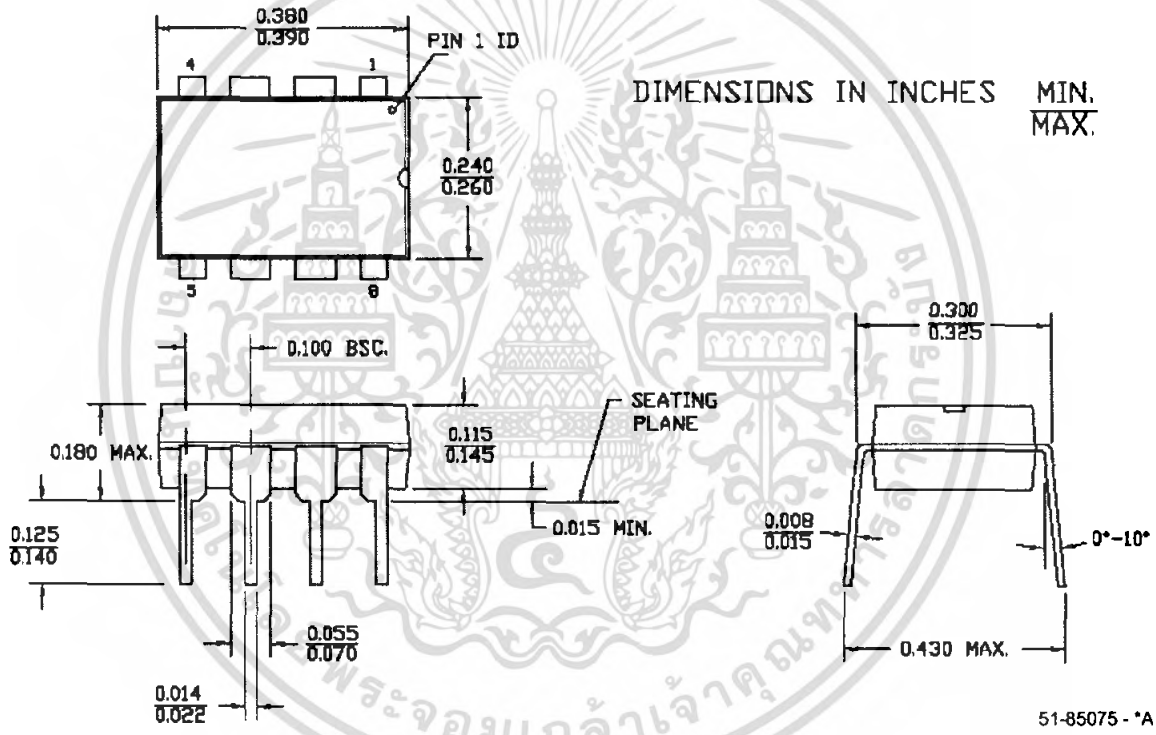


Figure 4-1. 8-Lead (300-Mil) PDIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

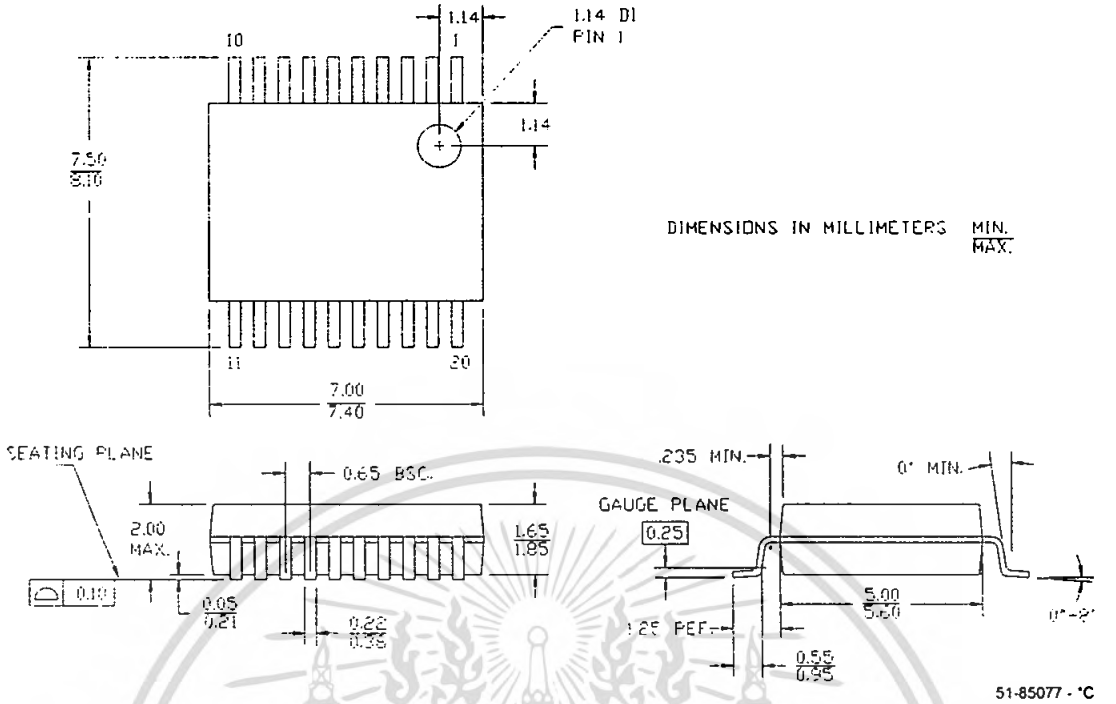


Figure 4-2. 20-Lead (210-Mil) SSOP

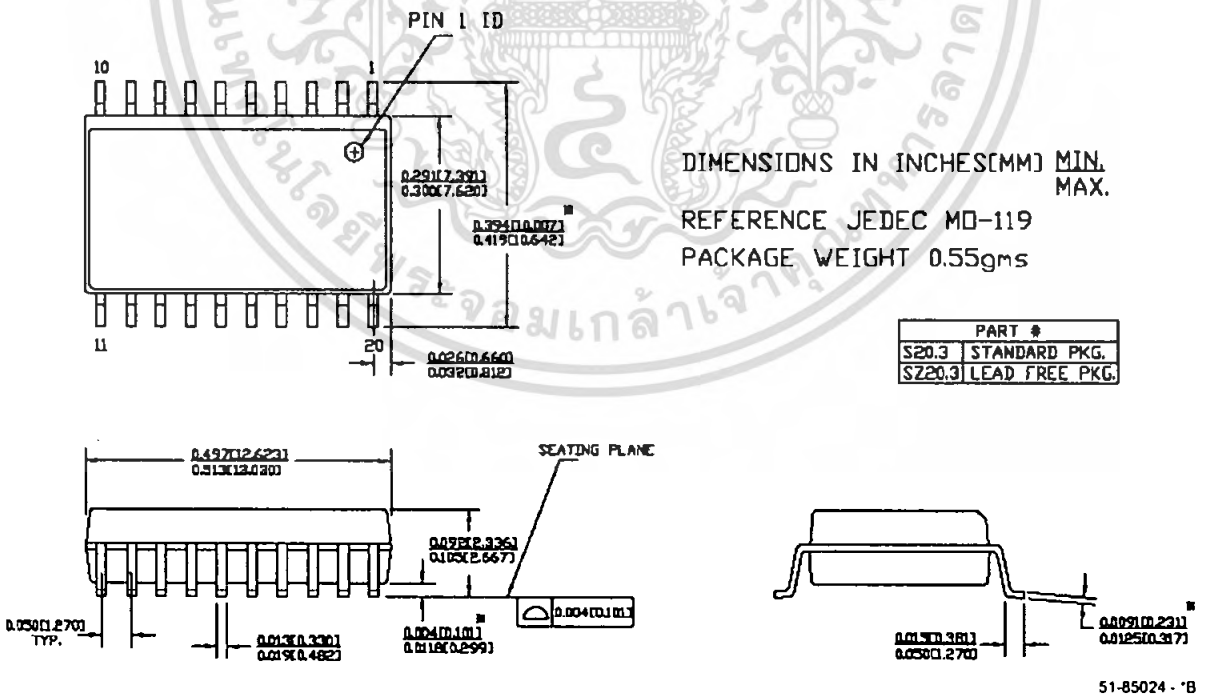


Figure 4-3. 20-Lead (300-Mil) Molded SOIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

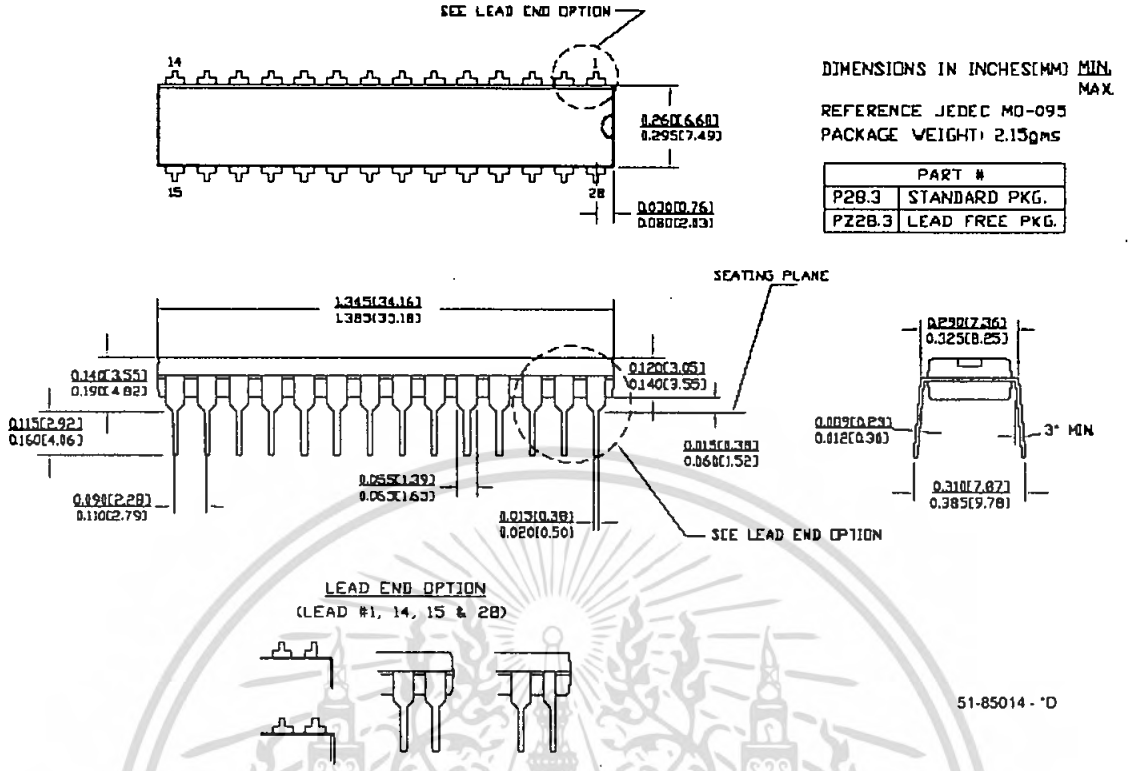


Figure 4-4. 28-Lead (300-Mil) Molded DIP

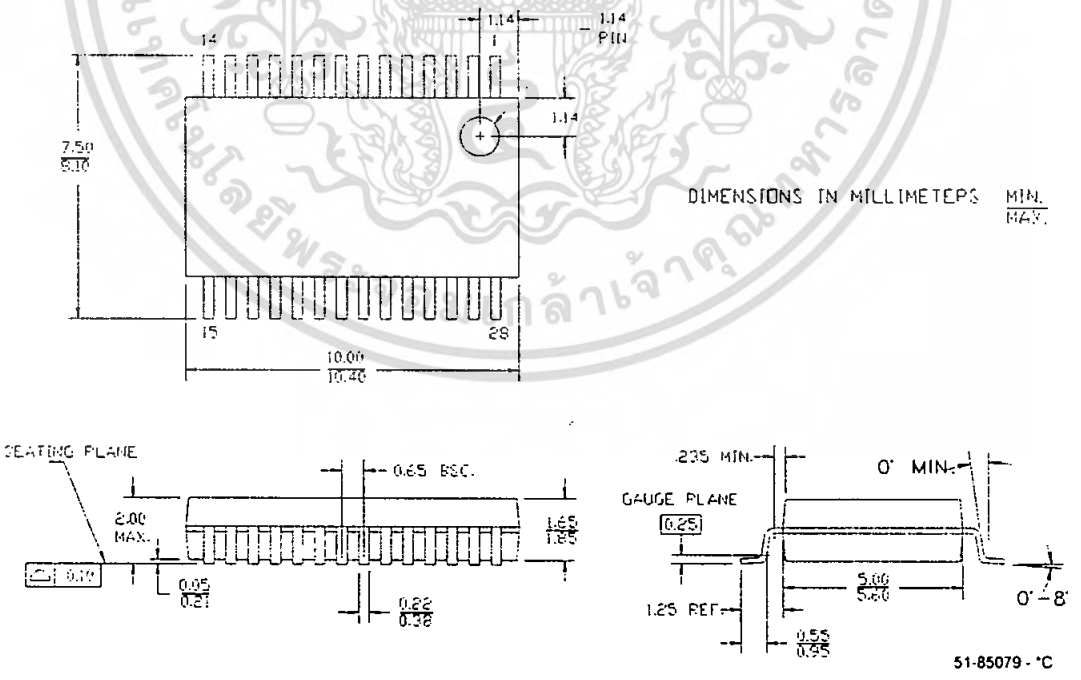


Figure 4-5. 28-Lead (210-Mil) SSOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

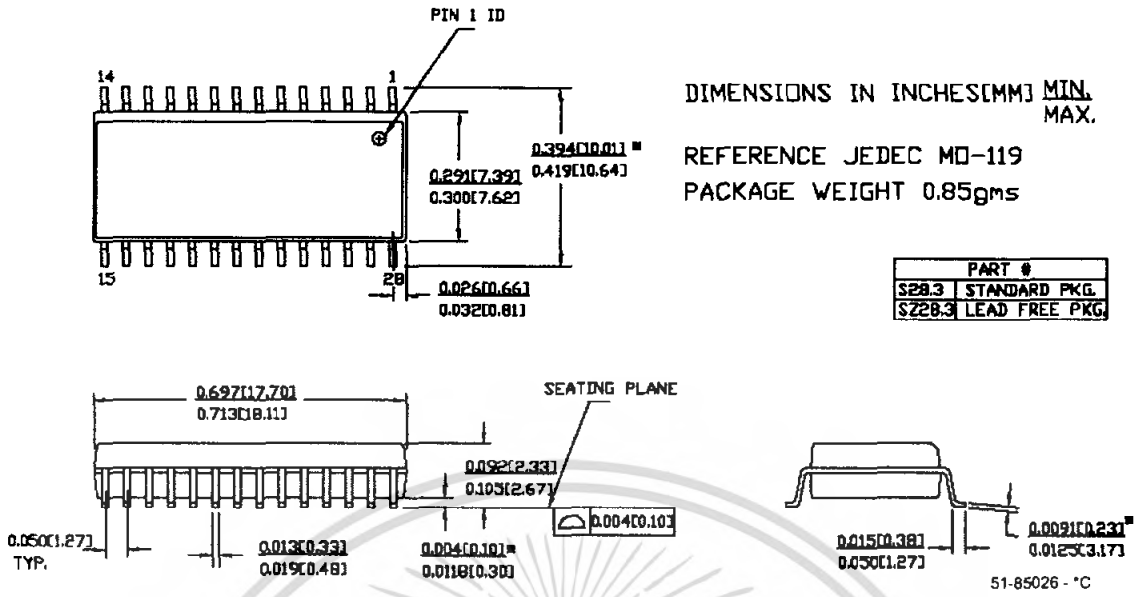


Figure 4-6. 28-Lead (300-Mil) Molded SOIC

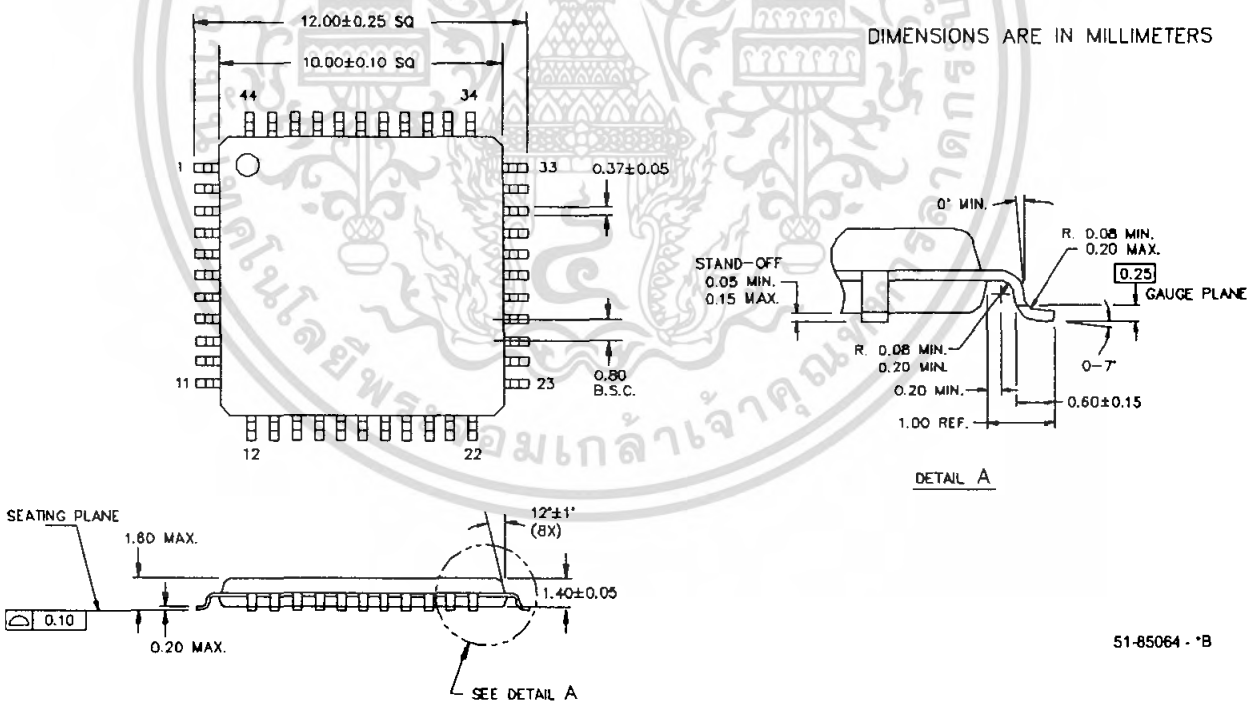


Figure 4-7. 44-Lead TQFP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

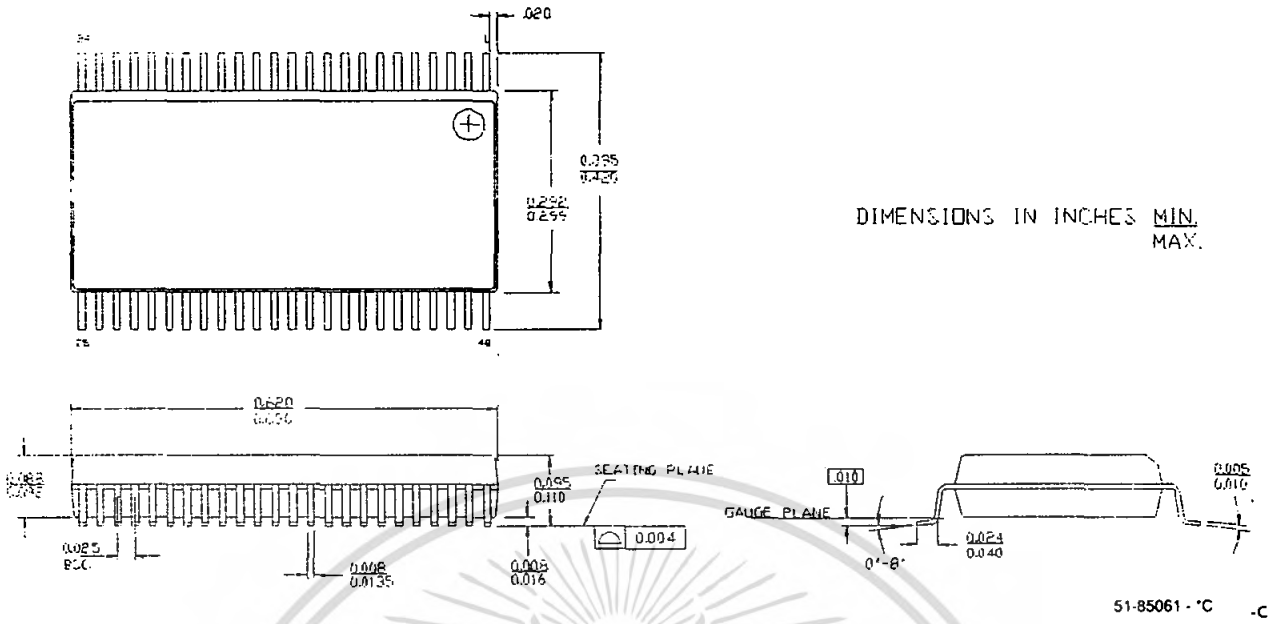


Figure 4-8. 48-Lead (300-Mil) SSOP

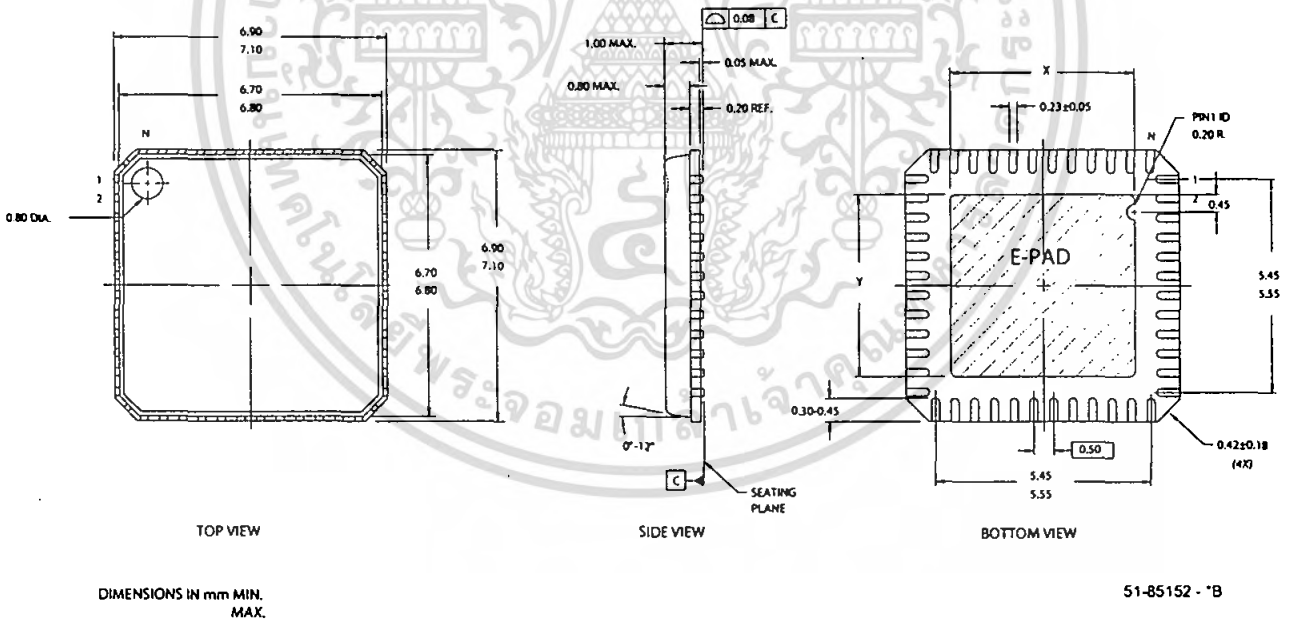


Figure 4-9. 48-Lead (7x7 mm) MLF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 Thermal Impedances

Table 4-1. Thermal Impedances per Package

Package	Typical θ_{JA} *
8 PDIP	120 °C/W
20 SSOP	95 °C/W
20 SOIC	79 °C/W
28 PDIP	67 °C/W
28 SSOP	95 °C/W
28 SOIC	71 °C/W
44 TQFP	58 °C/W
48 SSOP	69 °C/W
48 MLF	18 °C/W

* $T_J = T_A + POWER \times \theta_{JA}$

4.3 Capacitance on Crystal Pins

Table 4-2: Typical Package Capacitance on Crystal Pins

Package	Package Capacitance
8 PDIP	2.8 pF
20 SSOP	2.6 pF
20 SOIC	2.5 pF
28 PDIP	3.5 pF
28 SSOP	2.8 pF
28 SOIC	2.7 pF
44 TQFP	2.6 pF
48 SSOP	3.3 pF
48 MLF	2.3 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Ordering Information

The following table lists the CY8C27x43 PSoC device family's key package features and ordering codes.

Table 5-1. CY8C27x43 PSoC Device Family Key Features and Ordering Information

Package	Ordering Code	Flash (Kbytes)	RAM (Bytes)	Switch Mode Pump	Temperature Range	Digital Blocks (Rows of 4)	Analog Blocks (Columns of 3)	Digital IO Pins	Analog Inputs	Analog Outputs	XRES Pin
CY8C27x43 Silicon B – These parts are lead free and offer the following improvements. The DEC_CR1 register selections are enhanced to allow any digital block to be the decimator clock source, the ECO EX and ECO EXW bits in the CPU_SCR1 register are readable, and the accuracy of the analog reference is enhanced (see the Electrical Specifications chapter). All silicon A errata are fixed in silicon B.											
8 Pin (300 Mil) DIP	CY8C27143-24PXI	16	256	No	-40C to +85C	8	12	6	4	4	No
20 Pin (210 Mil) SSOP	CY8C27243-24PVXI	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27243-24PVXIT	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (300 Mil) SOIC	CY8C27243-24SXI	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin 300 Mil) SOIC (Tape and Reel)	CY8C27243-24SXIT	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
28 Pin (300 Mil) DIP	CY8C27443-24PXI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (210 Mil) SSOP	CY8C27443-24PVXI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27443-24PVXIT	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC	CY8C27443-24SXI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC (Tape and Reel)	CY8C27443-24SXIT	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
44 Pin TQFP	CY8C27543-24AXI	16	256	Yes	-40C to +85C	8	12	40	12	4	Yes
44 Pin TQFP (Tape and Reel)	CY8C27543-24AXIT	16	256	Yes	-40C to +85C	8	12	40	12	4	Yes
48 Pin (300 Mil) SSOP	CY8C27643-24PVXI	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (300 Mil) SSOP (Tape and Reel)	CY8C27643-24PVXIT	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF	CY8C27643-24LFXI	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF (Tape and Reel)	CY8C27643-24LFXIT	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
CY8C27x43 Silicon A – Silicon A is not recommended for new designs.											
8 Pin (300 Mil) DIP	CY8C27143-24PI	16	256	No	-40C to +85C	8	12	6	4	4	No
20 Pin (210 Mil) SSOP	CY8C27243-24PVI	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27243-24PVIT	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (300 Mil) SOIC	CY8C27243-24SI	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
20 Pin (300 Mil) SOIC (Tape and Reel)	CY8C27243-24SIT	16	256	Yes	-40C to +85C	8	12	16	8	4	Yes
28 Pin (300 Mil) DIP	CY8C27443-24PI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (210 Mil) SSOP	CY8C27443-24PVI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 5-1. CY8C27x43 PSoC Device Family Key Features and Ordering Information *(continued)*

Package	Ordering Code	Flash (Kbytes)	RAM (Bytes)	Switch Mode Pump	Temperature Range	Digital Blocks (Rows of 4)	Analog Blocks (Columns of 3)	Digital IO Pins	Analog Inputs	Analog Outputs	XRES Pin
28 Pin (210 Mil) SSOP (Tape and Reel)	CY8C27443-24PVIT	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC	CY8C27443-24SI	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
28 Pin (300 Mil) SOIC (Tape and Reel)	CY8C27443-24SIT	16	256	Yes	-40C to +85C	8	12	24	12	4	Yes
44 Pin TQFP	CY8C27543-24AI	16	256	Yes	-40C to +85C	8	12	40	12	4	Yes
44 Pin TQFP (Tape and Reel)	CY8C27543-24AIT	16	256	Yes	-40C to +85C	8	12	40	12	4	Yes
48 Pin (210 Mil) SSOP	CY8C27643-24PVI	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (300 Mil) SSOP (Tape and Reel)	CY8C27643-24PVIT	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF	CY8C27643-24LFI	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes
48 Pin (7x7) MLF (Tape and Reel)	CY8C27643-24LFIT	16	256	Yes	-40C to +85C	8	12	44	12	4	Yes

5.1 Ordering Code Definitions

CY 8 C 27 xxx-SPxx

- Package Type:
  - P = PDIP, PX = PDIP Pb Free
  - S = SOIC, SX = SOIC Pb Free
  - PV = SSOP, PVX = SSOP Pb Free
  - LF = MLF, LFX = MLF Pb Free
  - A = TQFP, AX = TQFP Pb Free
- Thermal Rating:
  - C = Commercial
  - I = Industrial
  - E = Extended
- Speed: 24 MHz
- Part Number
- Family Code
- Technology Code: C = CMOS
- Marketing Code: 8 = Cypress MicroSystems
- Company ID: CY = Cypress

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. Sales and Service Information

To obtain information about Cypress MicroSystems or PSoC sales and technical support, reference the following information or go to the section titled "Getting Started" on page 4 in this document.

Cypress MicroSystems
2700 162nd Street SW
Building D
Lynnwood, WA 98037
Phone: 800.669.0557
Facsimile: 425.787.4641

Web Sites: Company Information – http://www.cypress.com
Sales – http://www.cypress.com/aboutus/sales_locations.cfm
Technical Support – http://www.cypress.com/support/login.cfm

6.1 Revision History

Table 6-1. CY8C27x43 Data Sheet Revision History

Document Title: CY8C27143, CY8C27243, CY8C27443, CY8C27543, and CY8C27643 PSoC Mixed Signal Array Final Data Sheet				
Document Number: 38-12012				
Revision	**ECN #**	**Issue Date**	**Origin of Change**	**Description of Change**
**	127087	7/01/2003	New Silicon.	New document (Revision **).
*A	128780	7/29/2003	Engineering and NWJ.	New electrical spec additions, fix of Core Architecture links, corrections to some text, tables, drawings, and format.
*B	128992	8/14/2003	NWJ	Interrupt controller table fixed, refinements to Electrical Spec section and Register chapter.
*C	129283	8/28/2003	NWJ	Significant changes to the Electrical Specifications section.
*D	129442	9/09/2003	NWJ	Changes made to Electrical Spec section. Added 20/28-Lead SOIC packages and pinouts.
*E	130129	10/13/2003	NWJ	Revised document for Silicon Revision A.
*F	130651	10/28/2003	NWJ	Refinements to Electrical Specification section and I2C chapter.
*G	131298	11/18/2003	NWJ	Revisions to GDI, RDI, and Digital Block chapters. Revisions to AC Digital Block Spec and miscellaneous register changes.
*H	229416	See ECN	SFV	New data sheet format and organization. Reference the *PSoC Mixed Signal Array Technical Reference Manual* for additional information. Title change.
*I	247529	See ECN	SFV	Added Silicon B information to this data sheet.
Distribution: External Public			**Posting**: None	

6.2 Copyrights and Code Protection

Copyrights

© Cypress MicroSystems, Inc. 2000 – 2004. All rights reserved. PSoC™, PSoC Designer™, and Programmable System-on-Chip™ are trademarks of Cypress MicroSystems, Inc. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

The information contained herein is subject to change without notice. Cypress MicroSystems assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress MicroSystems product. Nor does it convey or imply any license under patent or other rights. Cypress MicroSystems does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress MicroSystems products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress MicroSystems against all charges. Cypress MicroSystems products are not warranted nor intended to be used for medical, life-support, life-saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress MicroSystems.

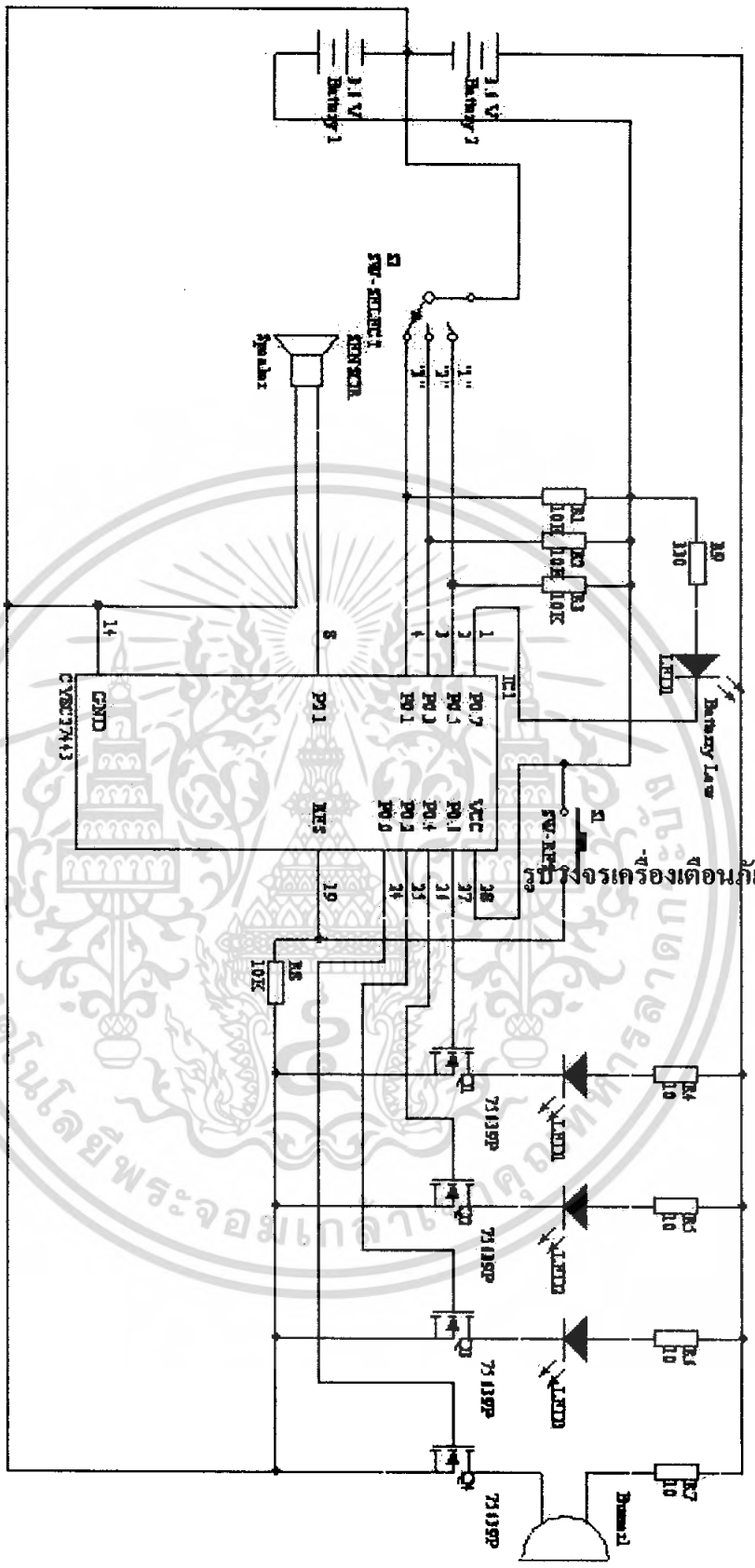
Flash Code Protection

Note the following details of the Flash code protection features on Cypress MicroSystems devices.

Cypress MicroSystems products meet the specifications contained in their particular Cypress MicroSystems Data Sheets. Cypress MicroSystems believes that its family of products is one of the most secure families of its kind on the market today, regardless of how they are used. There may be methods, unknown to Cypress MicroSystems, that can breach the code protection features. Any of these methods, to our knowledge, would be dishonest and possibly illegal. Neither Cypress MicroSystems nor any other semiconductor manufacturer can guarantee the security of their code. Code protection does not mean that we are guaranteeing the product as "unbreakable."

Cypress MicroSystems is willing to work with the customer who is concerned about the integrity of their code. Code protection is constantly evolving. We at Cypress MicroSystems are committed to continuously improving the code protection features of our products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปวงจรเครื่องเตือนภัยแผ่นดินไหว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR®

HUF75639G3, HUF75639P3, HUF75639S3S, HUF75639S3

Data Sheet | December 2001

56A, 100V, 0.025 Ohm, N-Channel UltraFET Power MOSFETs

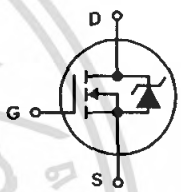
These N-Channel power MOSFETs are manufactured using the innovative UltraFET® process. This advanced process technology achieves the lowest possible on-resistance per silicon area, resulting in outstanding performance. This device is capable of withstanding high energy in the avalanche mode and the diode exhibits very low reverse recovery time and stored charge. It was designed for use in applications where power efficiency is important, such as switching regulators, switching converters, motor drivers, relay drivers, low-voltage bus switches, and power management in portable and battery-operated products.

Formerly developmental type TA75639.

Features

- 56A, 100V
- Simulation Models
  - Temperature Compensated PSPICE® and SABER™ Electrical Models
  - Spice and Saber Thermal Impedance Models
  - www.fairchildsemi.com
- Peak Current vs Pulse Width Curve
- UIS Rating Curve
- Related Literature
  - TB334, "Guidelines for Soldering Surface Mount Components to PC Boards"

Symbol



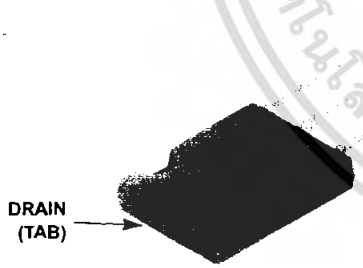
Ordering Information

PART NUMBER	PACKAGE	BRAND
HUF75639G3	TO-247	75639G
HUF75639P3	TO-220AB	75639P
HUF75639S3S	TO-263AB	75639S
HUF75639S3	TO-262AA	75639S

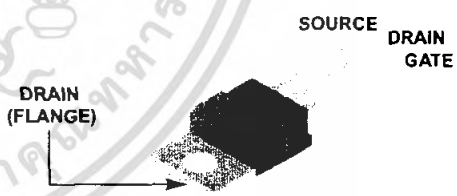
NOTE: When ordering, use the entire part number. Add the suffix T to obtain the TO-263AB variant in tape and reel, e.g., HUF75639S3ST.

Packaging

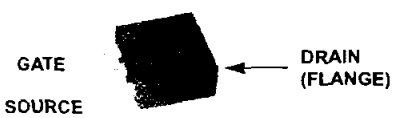
JEDEC STYLE TO-247



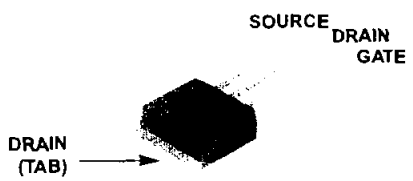
JEDEC TO-220AB



JEDEC TO-263AB



TO-262AA



Product reliability information can be found at http://www.fairchildsemi.com/products/discrete/reliability/index.html
For severe environments, see our Automotive HUFA series.
All Fairchild semiconductor products are manufactured, assembled and tested under ISO9000 and QS9000 quality systems certification.

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings $T_C = 25^oC$, Unless Otherwise Specified

			UNITS
Drain to Source Voltage (Note 1)	V_{DSS}	100	V
Drain to Gate Voltage (R_{GS} = 20kΩ) (Note 1)	V_{DGR}	100	V
Gate to Source Voltage	V_{GS}	±20	V
Drain Current			
Continuous (Figure 2)	I_D	56	A
Pulsed Drain Current	I_{DM}	Figure 4	
Pulsed Avalanche Rating	E_{AS}	Figures 6, 14, 15	
Power Dissipation	P_D	200	W
Derate Above 25^oC		1.35	$W/^oC$
Operating and Storage Temperature	T_J, T_{STG}	-55 to 175	^oC
Maximum Temperature for Soldering			
Leads at 0.063in (1.6mm) from Case for 10s	T_L	300	^oC
Package Body for 10s, See Techbrief 334	T_{pkg}	260	^oC

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. $T_J = 25^oC$ to 150^oC.

Electrical Specifications $T_C = 25^oC$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
OFF STATE SPECIFICATIONS						
Drain to Source Breakdown Voltage	BV_{DSS}	I_D = 250μA, V_{GS} = 0V (Figure 11)	100	-	-	V
Zero Gate Voltage Drain Current	I_{DSS}	V_{DS} = 95V, V_{GS} = 0V	-	-	1	μA
		V_{DS} = 90V, V_{GS} = 0V, $T_C = 150^oC$	-	-	250	μA
Gate to Source Leakage Current	I_{GSS}	V_{GS} = ±20V	-	-	±100	nA
ON STATE SPECIFICATIONS						
Gate to Source Threshold Voltage	$V_{GS(TH)}$	$V_{GS} = V_{DS}$, I_D = 250μA (Figure 10)	2	-	4	V
Drain to Source On Resistance	$r_{DS(ON)}$	I_D = 56A, V_{GS} = 10V (Figure 9)	-	0.021	0.025	Ω
THERMAL SPECIFICATIONS						
Thermal Resistance Junction to Case	$R_{\theta JC}$	(Figure 3)	-	-	0.74	$^oC/W$
Thermal Resistance Junction to Ambient	$R_{\theta JA}$	TO-247	-	-	30	$^oC/W$
		TO-220, TO-263	-	-	62	$^oC/W$
SWITCHING SPECIFICATIONS (V_{GS} = 10V)						
Turn-On Time	t_{ON}	V_{DD} = 50V, $I_D \cong$ 56A, R_L = 0.89Ω, V_{GS} = 10V, R_{GS} = 5.1Ω	-	-	110	ns
Turn-On Delay Time	$t_{d(ON)}$		-	15	-	ns
Rise Time	t_r		-	60	-	ns
Turn-Off Delay Time	$t_{d(OFF)}$		-	20	-	ns
Fall Time	t_f		-	25	-	ns
Turn-Off Time	t_{OFF}		-	-	70	ns
GATE CHARGE SPECIFICATIONS						
Total Gate Charge	$Q_{g(TOT)}$	V_{GS} = 0V to 20V; V_{DD} = 50V, $I_D \cong$ 56A, R_L = 0.89Ω, $I_{g(REF)}$ = 1.0mA (Figure 13)	-	110	130	nC
Gate Charge at 10V	$Q_{g(10)}$	V_{GS} = 0V to 10V	-	57	75	nC
Threshold Gate Charge	$Q_{g(TH)}$	V_{GS} = 0V to 2V	-	3.7	4.5	nC
Gate to Source Gate Charge	Q_{gs}		-	9.8	-	nC
Gate to Drain "Miller" Charge	Q_{gd}		-	24	-	nC

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications $T_C = 25^oC$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
CAPACITANCE SPECIFICATIONS						
Input Capacitance	C_{ISS}	V_{DS} = 25V, V_{GS} = 0V, f = 1MHz (Figure 12)	-	2000	-	pF
Output Capacitance	C_{OSS}		-	500	-	pF
Reverse Transfer Capacitance	C_{RSS}		-	65	-	pF

Source to Drain Diode Specifications

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Source to Drain Diode Voltage	V_{SD}	I_{SD} = 56A	-	-	1.25	V
Reverse Recovery Time	t_{rr}	I_{SD} = 56A, dI_{SD}/dt = 100A/μs	-	-	110	ns
Reverse Recovered Charge	Q_{RR}	I_{SD} = 56A, dI_{SD}/dt = 100A/μs	-	-	320	nC

Typical Performance Curves

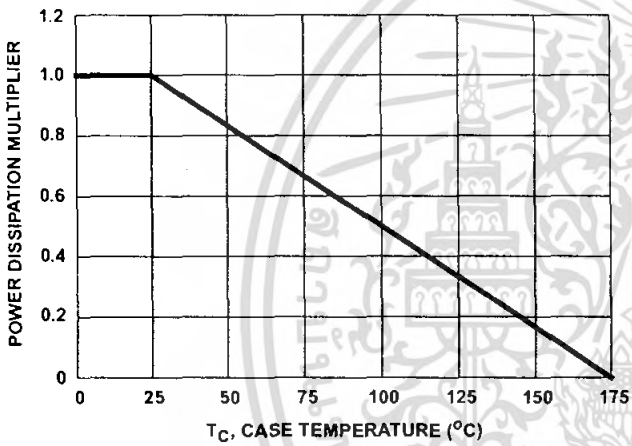


FIGURE 1. NORMALIZED POWER DISSIPATION vs CASE TEMPERATURE

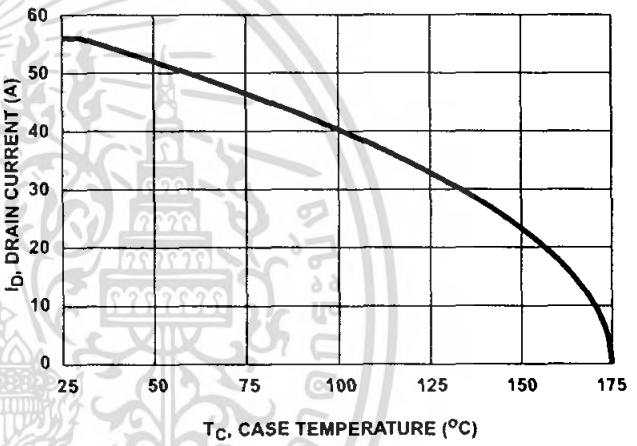


FIGURE 2. MAXIMUM CONTINUOUS DRAIN CURRENT vs CASE TEMPERATURE

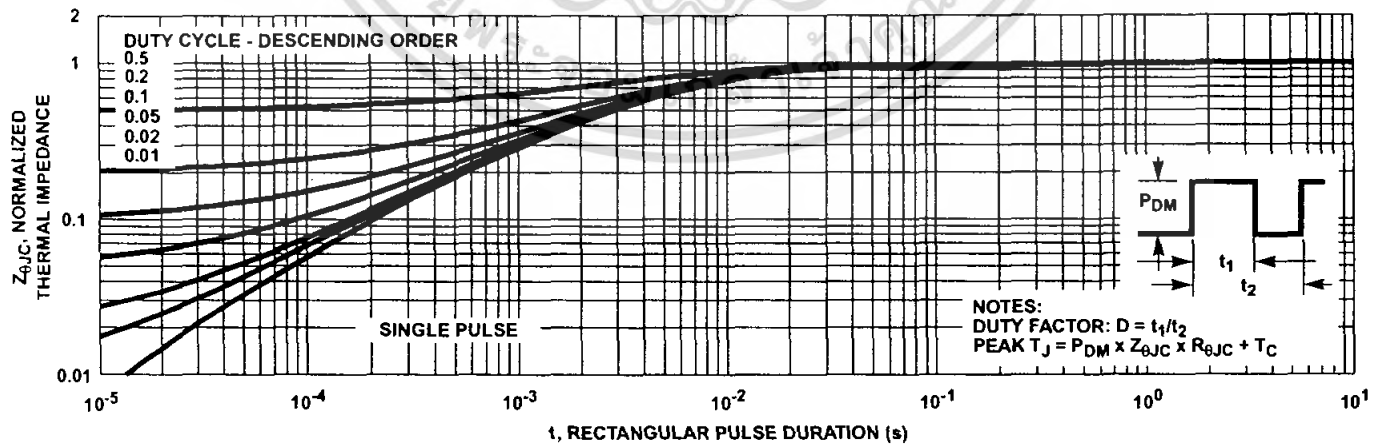


FIGURE 3. NORMALIZED MAXIMUM TRANSIENT THERMAL IMPEDANCE

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

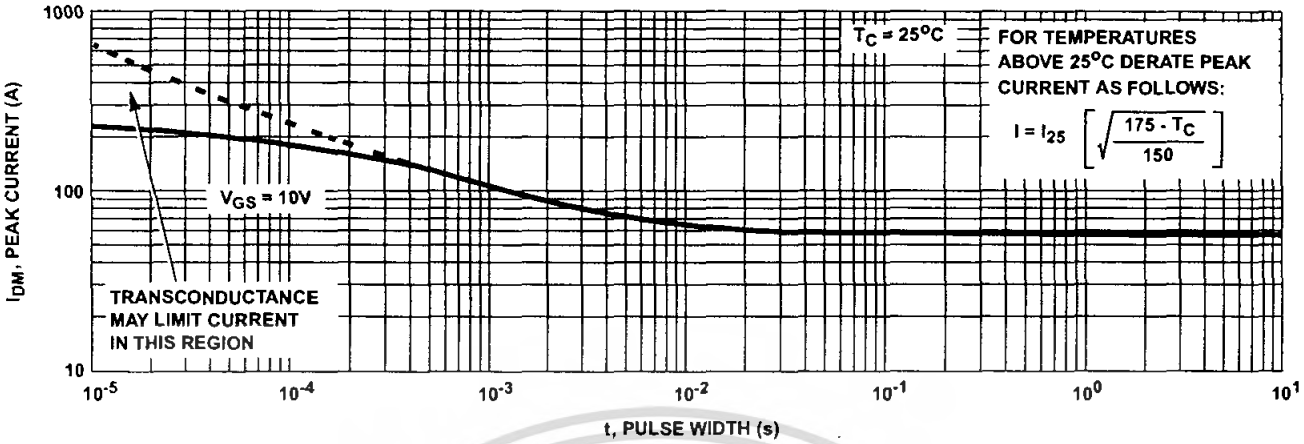


FIGURE 4. PEAK CURRENT CAPABILITY

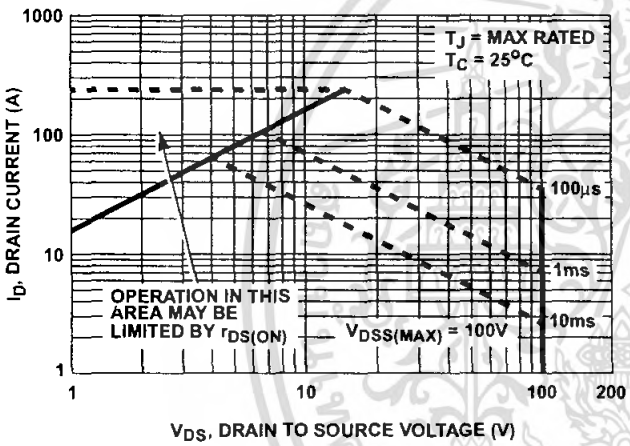
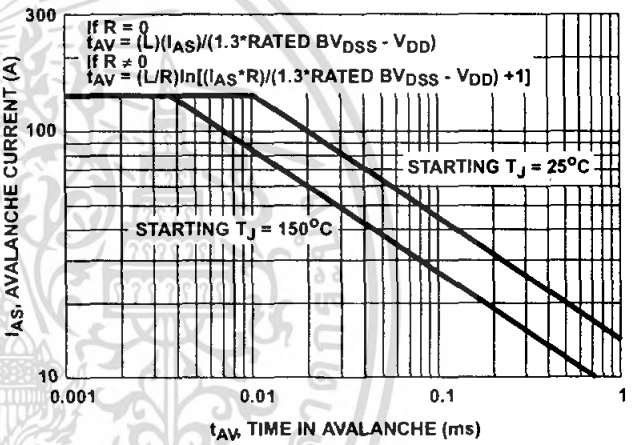


FIGURE 5. FORWARD BIAS SAFE OPERATING AREA



NOTE: Refer to Fairchild Application Notes AN9321 and AN9322.

FIGURE 6. UNCLAMPED INDUCTIVE SWITCHING CAPABILITY

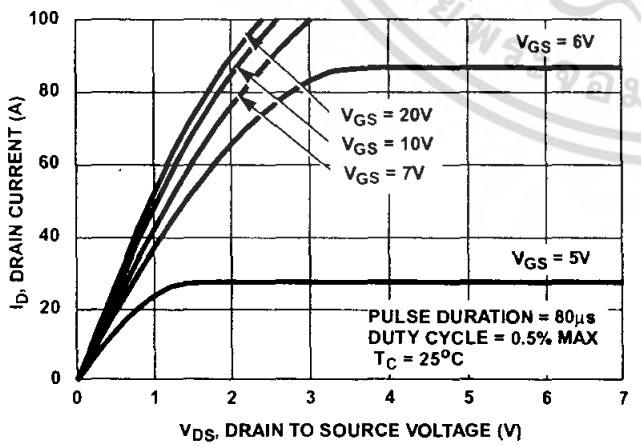


FIGURE 7. SATURATION CHARACTERISTICS

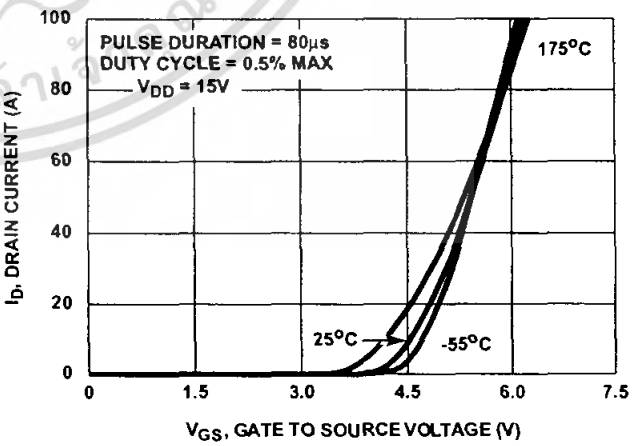


FIGURE 8. TRANSFER CHARACTERISTICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

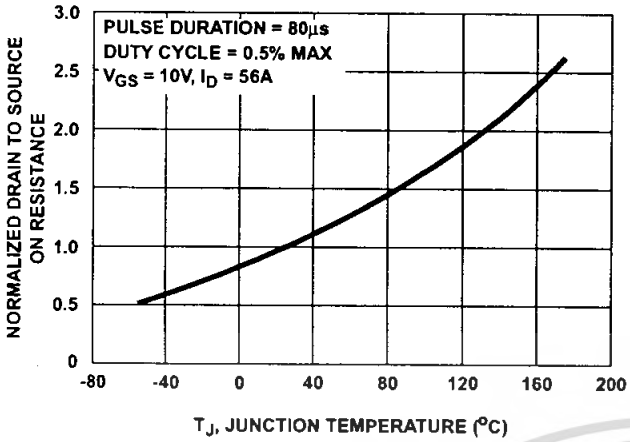


FIGURE 9. NORMALIZED DRAIN TO SOURCE ON RESISTANCE vs JUNCTION TEMPERATURE

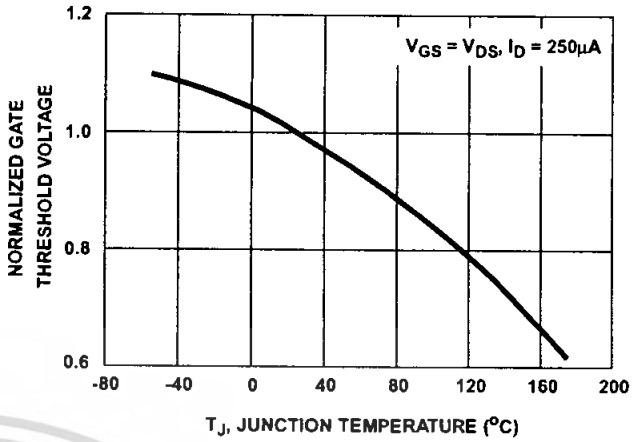


FIGURE 10. NORMALIZED GATE THRESHOLD VOLTAGE vs JUNCTION TEMPERATURE

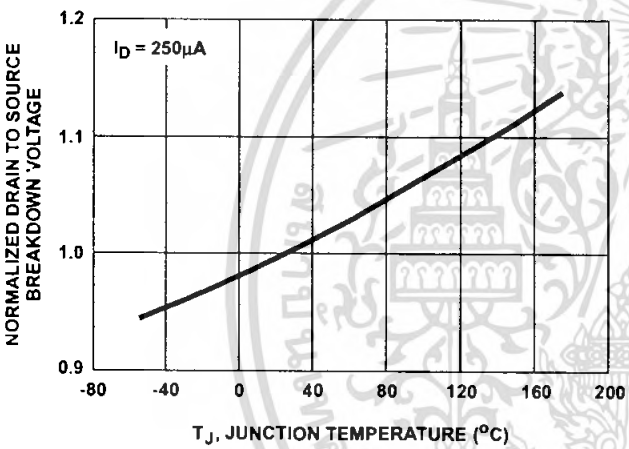


FIGURE 11. NORMALIZED DRAIN TO SOURCE BREAKDOWN VOLTAGE vs JUNCTION TEMPERATURE

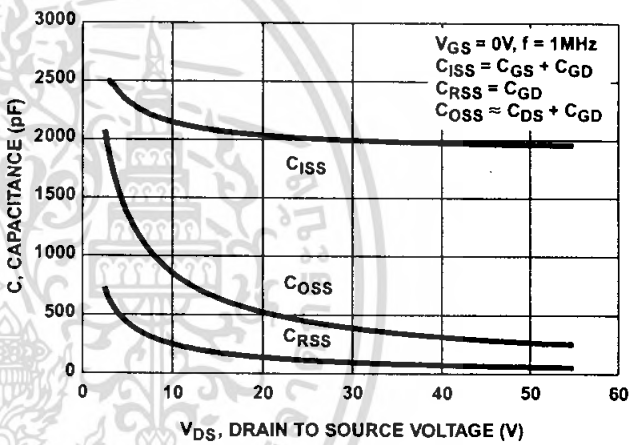
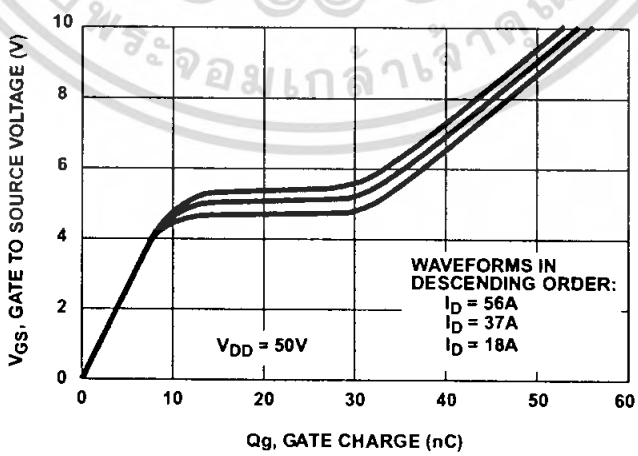


FIGURE 12. CAPACITANCE vs DRAIN TO SOURCE VOLTAGE



NOTE: Refer to Fairchild Application Notes AN7254 and AN7260.

FIGURE 13. GATE CHARGE WAVEFORMS FOR CONSTANT GATE CURRENT

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits and Waveforms

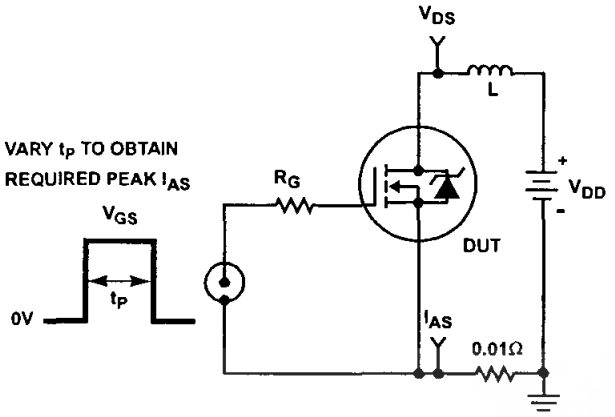


FIGURE 14. UNCLAMPED ENERGY TEST CIRCUIT

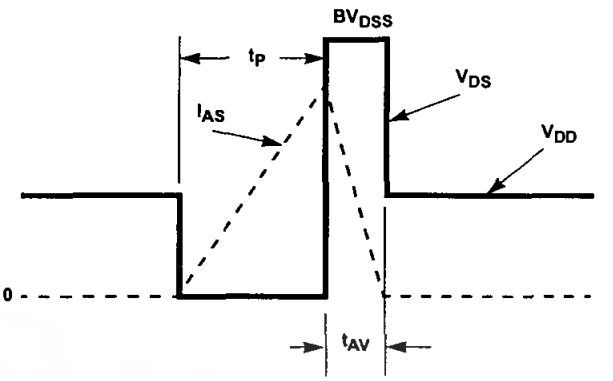


FIGURE 15. UNCLAMPED ENERGY WAVEFORMS

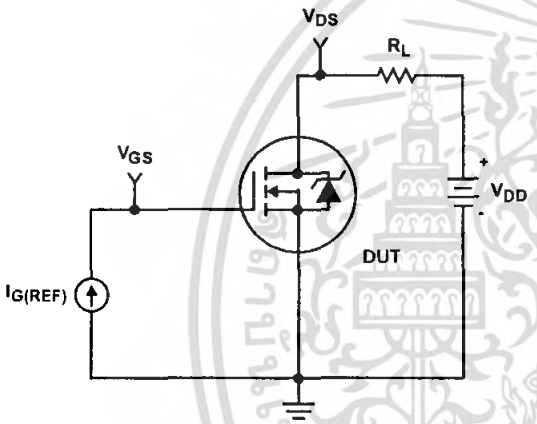


FIGURE 16. GATE CHARGE TEST CIRCUIT

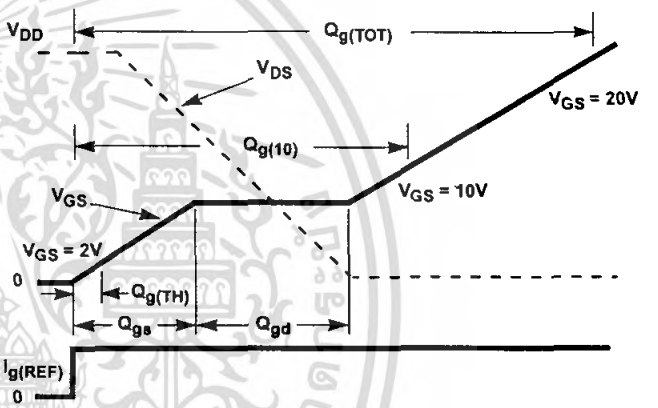


FIGURE 17. GATE CHARGE WAVEFORM

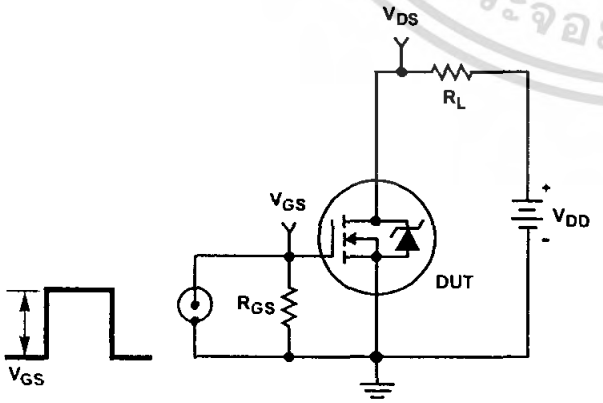


FIGURE 18. SWITCHING TIME TEST CIRCUIT

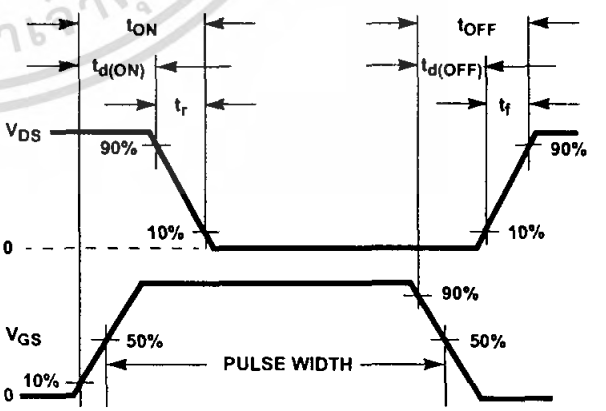
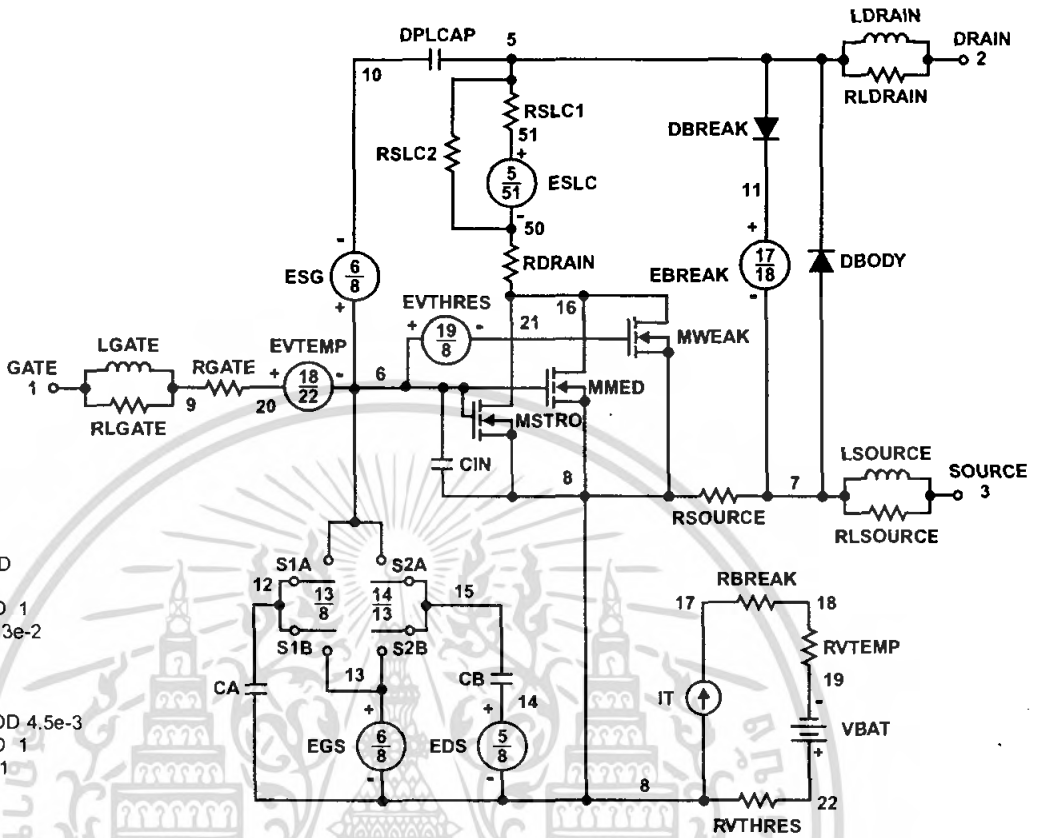


FIGURE 19. RESISTIVE SWITCHING WAVEFORMS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSPICE Electrical Model

```
SUBCKT HUF75639 2 1 3 ;      rev Oct. 98
CA  12  8 2.8e-9
CB  15  14 2.65e-9
CIN  6  8 1.9e-9

DBODY 7 5 DBODYMOD
DBREAK 5 11  DBREAKMOD
DPLCAP 10 5 DPLCAPMOD

EBREAK 11 7 17  18 110
EDS  14  8  5  8 1
EGS  13  8  6  8 1
ESG 6 10 6 8 1
EVTHRES 6 21 19 8  1
EVTEMP 20 6 18 22 1

IT  8  17  1

LDRAIN 2 5 2e-9
LGATE 1  9 1e-9
LSOURCE  3  7 0.47e-9

RLGATE 1 9 10
RLDRAIN 2 5 20
RLSOURCE 3 7 4.69

MMED 16 6 8 8 MMEDMOD
MSTRO 16 6 8 8 MSTROMOD
MWEAK 16 21 8 8 MWEAKMOD

RBREAK  17  18  RBREAKMOD  1
RDRAIN 50 16 RDRAINMOD 1.3e-2
RGATE  9  20 0.7
RSLC1 5 51 RSLCMOD 1e-6
RSLC2 5 50 1e3
RSOURCE  8  7  RSOURCEMOD 4.5e-3
RVTHRES 22 8 RVTHRESMOD  1
RVTEMP 18 19 RVTEMPMOD 1

S1A  6  12  13  8  S1AMOD
S1B  13  12  13  8  S1BMOD
S2A  6  15  14  13  S2AMOD
S2B  13  15  14  13  S2BMOD

VBAT 22 19  DC  1

ESLC 51 50 VALUE = {(V(5,51)/ABS(V(5,51)))*(PWR(V(5,51)/(1e-6*115),4))}

.MODEL DBODYMOD D (IS = 1.4e-12  RS = 3.3e-3 XTI = 4.7  TRS1 = 2e-3  TRS2 = 0.1e-5  CJO = 3.3e-9  TT = 6.1e-8 M = 0.7)
.MODEL DBREAKMOD D (RS = 3.5e-  1TRS1 = 1e-  3TRS2 = 1e-6)
.MODEL DPLCAPMOD D (CJO = 2.2e-  9IS = 1e-3  0N = 10 M = 0.95 vj = 1.0)
.MODEL MMEDMOD NMOS (VTO = 3.5 KP = 4.8 IS = 1e-30 N = 10 TOX = 1 L = 1u W = 1u Rg = 0.7)
.MODEL MSTROMOD NMOS (VTO = 3.97 KP = 56.5 IS = 1e-30 N = 10 TOX = 1 L = 1u W = 1u)
.MODEL MWEAKMOD NMOS (VTO =3.11 KP = 0.085 IS = 1e-30 N = 10 TOX = 1 L = 1u W = 1u RG = 7 RS = 0.1)
.MODEL RBREAKMOD RES (TC1 = 0.8e-  3TC2 = 1e-6)
.MODEL RDRAINMOD RES (TC1 = 1e-2  TC2 = 1.75e-5)
.MODEL RSLCMOD RES (TC1 = 2.8e-3 TC2 = 14e-6)
.MODEL RSOURCEMOD RES (TC1 = 0 TC2 = 0)
.MODEL RVTHRESMOD RES (TC = -2.0e-3 TC2 = -1.75e-5)
.MODEL RVTEMPMOD RES (TC1 = -2.75e-  3TC2 = 0.05e-9)

.MODEL S1AMOD VSWITCH (RON = 1e-5  ROFF = 0.1  VON = -6.0  VOFF = -3.5)
.MODEL S1BMOD VSWITCH (RON = 1e-5  ROFF = 0.1  VON = -3.5  VOFF = -6.0)
.MODEL S2AMOD VSWITCH (RON = 1e-5  ROFF = 0.1  VON = -2.5  VOFF = 4.95)
.MODEL S2AMOD VSWITCH (RON = 1e-5  ROFF = 0.1  VON = 4.95  VOFF = -2.5)

.ENDS
```



NOTE: For further discussion of the PSPICE model, consult **A New PSPICE Sub-Circuit for the Power MOSFET Featuring Global Temperature Options**; IEEE Power Electronics Specialist Conference Records, 1991, written by William J. Hepp and C. Frank Wheatley.

©2001 Fairchild Semiconductor Corporation

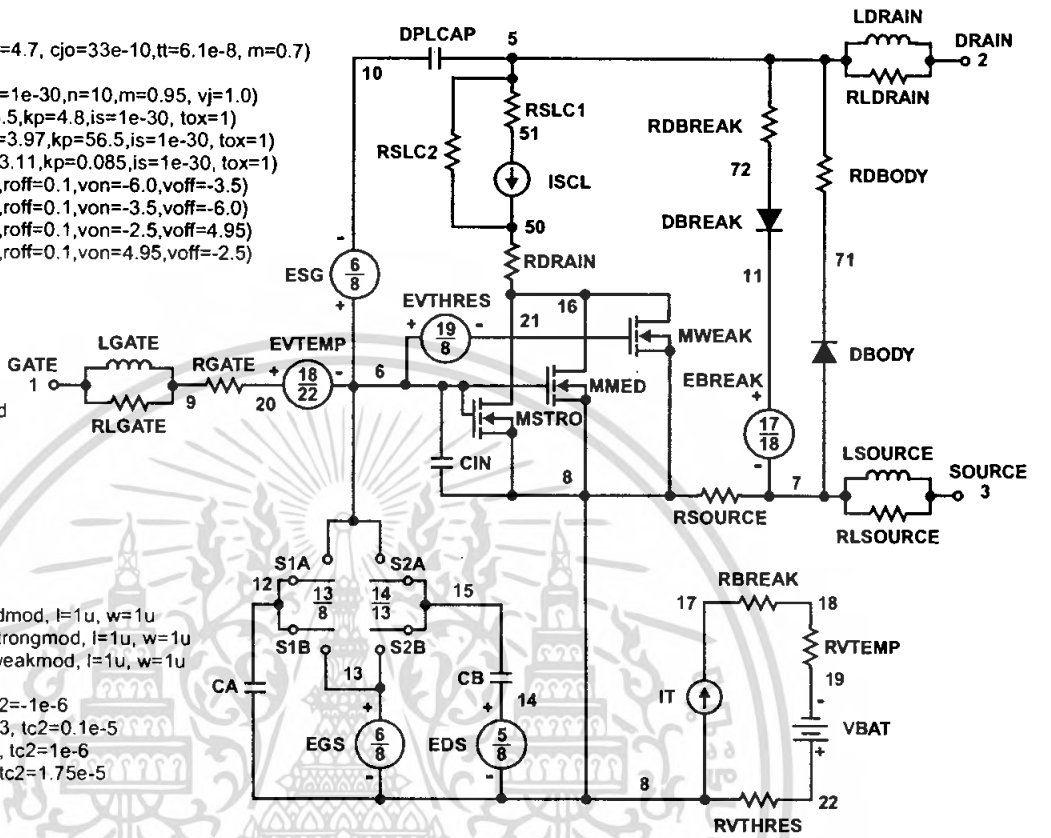
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SABER Electrical Model

nom temp=25 deg c 100v Ultrafet

REV Oct. 98

```
template huf75639 n2,n1,n3
electrical n2,n1,n3
{
var i iscl
d..model dbodymod = (is=1.4e-12, xti=4.7, cjo=33e-10,tt=6.1e-8, m=0.7)
d..model dbreakmod = ()
d..model dplcapmod = (cjo=22e-10,is=1e-30,n=10,m=0.95, vj=1.0)
m..model mmedmod = (type=_n,vto=3.5,kp=4.8,is=1e-30, tox=1)
m..model mstrongmod = (type=_n,vto=3.97,kp=56.5,is=1e-30, tox=1)
m..model mweakmod = (type=_n,vto=3.11,kp=0.085,is=1e-30, tox=1)
sw_vcsp..model s1amod = (ron=1e-5,roff=0.1,von=-6.0,voff=-3.5)
sw_vcsp..model s1bmod = (ron=1e-5,roff=0.1,von=-3.5,voff=-6.0)
sw_vcsp..model s2amod = (ron=1e-5,roff=0.1,von=-2.5,voff=4.95)
sw_vcsp..model s2bmod = (ron=1e-5,roff=0.1,von=4.95,voff=-2.5)

c.ca n12 n8 = 28.5e-10
c.cb n15 n14 = 26.5e-10
c.cin n6 n8 = 19e-10

d.dbody n7 n71 = model=dbodymod
d.dbreak n72 n11 = model=dbreakmod
d.dplcap n10 n5 = model=dplcapmod

i.it n8 n17 = 1

l.ldrain n2 n5 = 2.0e-9
l.lgate n1 n9 = 1e-9
l.lsource n3 n7 = 4.69e-10

m.mmed n16 n6 n8 n8 = model=mmedmod, l=1u, w=1u
m.mstrong n16 n6 n8 n8 = model=mstrongmod, l=1u, w=1u
m.mweak n16 n21 n8 n8 = model=mweakmod, l=1u, w=1u

res.rbreak n17 n18 = 1, tc1=0.8e-3,tc2=-1e-6
res.rdbody n71 n5 = 3.3e-3, tc1=2.0e-3, tc2=0.1e-5
res.rdbreak n72 n5 = 3.5e-1, tc1=1e-3, tc2=1e-6
res.rdrain n50 n16 = 13e-3, tc1=1e-2,tc2=1.75e-5
res.rgate n9 n20 = 0.7
res.rldrain n2 n5 = 20
res.rlgate n1 n9 = 10
res.rlsource n3 n7 = 4.69
res.rslc1 n5 n51 = 1e-6, tc1=2.8e-3,tc2=14e-6
res.rslc2 n5 n50 = 1e3
res.rsource n8 n7 = 4.5e-3, tc1=0,tc2=0
res.rvtemp n18 n19 = 1, tc1=-2.75e-3,tc2=0.05e-9
res.rvthres n22 n8 = 1, tc1=-2e-3,tc2=-1.75e-5

spe.ebreak n11 n7 n17 n18 = 110
spe.eds n14 n8 n5 n8 = 1
spe.egs n13 n8 n6 n8 = 1
spe.esg n6 n10 n6 n8 = 1
spe.evtemp n20 n6 n18 n22 = 1
spe.evthres n6 n21 n19 n8 = 1

sw_vcsp.s1a n6 n12 n13 n8 = model=s1amod
sw_vcsp.s1b n13 n12 n13 n8 = model=s1bmod
sw_vcsp.s2a n6 n15 n14 n13 = model=s2amod
sw_vcsp.s2b n13 n15 n14 n13 = model=s2bmod

v.vbat n22 n19 = dc=1

equations {
i (n51->n50) +=iscl
iscl: v(n51,n50) = ((v(n5,n51)/(1e-9+abs(v(n5,n51))))*((abs(v(n5,n51)*1e6/115))** 4))
}
}
```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Spice Thermal Model

REV APRIL 1998

HUF75639

CTHERM1 TH 6 2.8e-3
CTHERM2 6 5 4.6e-3
CTHERM3 5 4 5.5e-3
CTHERM4 4 3 9.2e-3
CTHERM5 3 2 1.7e-2
CTHERM6 2 TL 4.3e-2

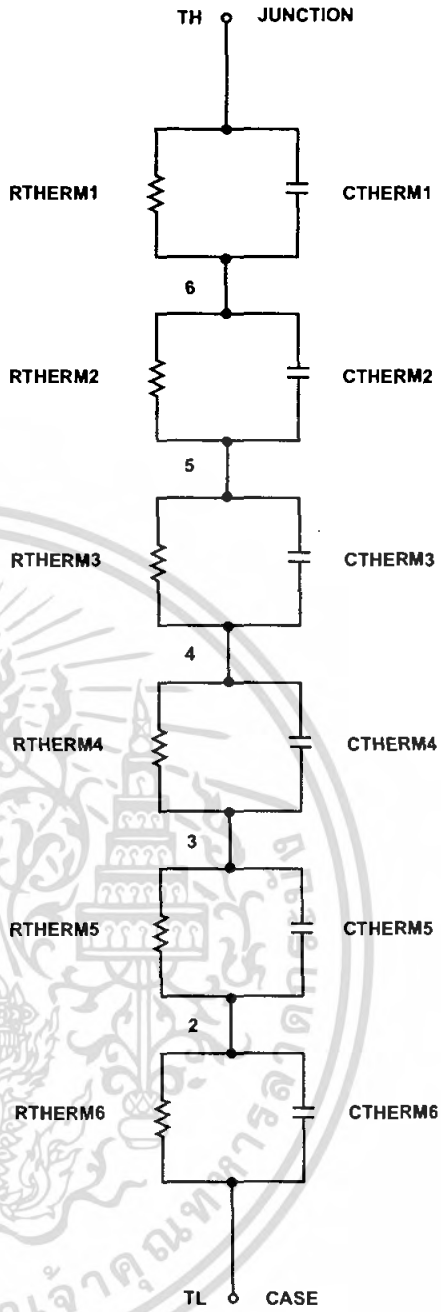
RTHERM1 TH 6 5.0e-4
RTHERM2 6 5 1.5e-3
RTHERM3 5 4 2.0e-2
RTHERM4 4 3 9.0e-2
RTHERM5 3 2 1.9e-1
RTHERM6 2 TL 2.9e-1

Saber Thermal Model

Saber thermal model HUF75639

template thermal_model th tl
thermal_c th, tl
{
ctherm.ctherm1 th 6 = 2.8e-3
ctherm.ctherm2 6 5 = 4.6e-3
ctherm.ctherm3 5 4 = 5.5e-3
ctherm.ctherm4 4 3 = 9.2e-3
ctherm.ctherm5 3 2 = 1.7e-2
ctherm.ctherm6 2 tl = 4.3e-2

rtherm.rtherm1 th 6 = 5.0e-4
rtherm.rtherm2 6 5 = 1.5e-3
rtherm.rtherm3 5 4 = 2.0e-2
rtherm.rtherm4 4 3 = 9.0e-2
rtherm.rtherm5 3 2 = 1.9e-1
rtherm.rtherm6 2 tl = 2.9e-1
}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™	FAST ®	OPTOLOGIC™	SMART START™	VCX™
Bottomless™	FASTr™	OPTOPLANAR™	STAR*POWER™	
CoolFET™	FRFET™	PACMAN™	Stealth™	
CROSSVOLT™	GlobalOptoisolator™	POP™	SuperSOT™-3	
DenseTrench™	GTO™	Power247™	SuperSOT™-6	
DOME™	HiSeC™	PowerTrench®	SuperSOT™-8	
EcoSPARK™	ISOPLANAR™	QFET™	SyncFET™	
E²CMOS™	LittleFET™	QS™	TinyLogic™	
EnSigna™	MicroFET™	QT Optoelectronics™	TruTranslation™	
FACT™	MicroPak™	Quiet Series™	UHC™	
FACT Quiet Series™	MICROWIRE™	SILENT SWITCHER®	UltraFET®	

STAR*POWER is used under license

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

Rev. H4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้