สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าว

โดยการประมวลผลภาพ

A MACHINE FOR RICE CONTAMINANT DETECTION

USING IMAGE PROCESSING

โดย

นายนพพร ประเสริฐพจน์ รหัส 48015210

นายพิทธพร ประสงค์ รหัส 48015260

วพ.
ฉ 176ค
2550

เลขหมู่.....
เลขทะเบียน 82436
วัน,เดือน,ปี 11 ก.ค. 2551

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2550

b.....
i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรื่อง เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าวสารโดยการประมวลผลภาพ

A MACHINE FOR RICE CONTAMINANT DETECTION USING IMAGE PROCESSING

นายนพพร ประเสริฐพจน์ รหัส 48015210

นายพิทธพร ประสงค์ รหัส 48015260

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(อาจารย์ชินภัทร นันทจิวากรชัย)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2550

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าวสารโดยการประมวลผลภาพ

ผู้จัดทำ

1. นายนพพร ประเสริฐพจน์ รหัส 48015210
2. นายพิทธพร ประสงค์ รหัส 48015260

.....อาจารย์ที่ปรึกษา

(อาจารย์ชินภัทร นันทจิวากรชัย)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าว โดยการประมวลผลภาพ

นายนพพร ประเสริฐพจน์ รหัส 48015210
นายพิทธพร ประสงค์ รหัส 48015260
อ.ชินภัทร นันทจิวากรชัย อาจารย์ที่ปรึกษา
ปีการศึกษา 2550

บทคัดย่อ

ข้าวเป็นพืชที่มีความสำคัญอย่างยิ่งต่อชีวิตคนไทย และต่อเศรษฐกิจของประเทศไทย เพราะนอกจากจะใช้บริโภคภายในประเทศแล้ว ข้าวยังเป็นพืชเศรษฐกิจที่ทำรายได้จากการส่งออกอีกด้วย และการที่มีสิ่งแปลกปลอมปนมากับเมล็ดข้าวนั้นทำให้มูลค่าของข้าวลดลงจึงมีการทำเครื่องตรวจสอบสิ่งแปลกปลอมที่มากับเมล็ดข้าวเพื่อมาช่วยในการตรวจสอบสิ่งแปลกปลอมนั้นซึ่งเป็นการเพิ่มมูลค่าให้กับข้าวอีกทางหนึ่ง

เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าว มีหลักการทำงานคือ เครื่องจะตรวจจับภาพของเมล็ดข้าวและสิ่งแปลกปลอมที่ถูกส่งผ่านตัวตรวจจับภาพแบบเส้นจากชิพ CCD และนำสัญญาณภาพที่ได้จาก CCD มาขยายช่วงสัญญาณให้ได้ขนาดแรงดันที่ต้องการและเปรียบเทียบกับค่าที่กำหนด ผลการเปรียบเทียบจะถูกออกทาง LED ถ้า LED สว่าง แสดงว่ามีการตรวจจับสิ่งแปลกปลอมเกิดขึ้นที่ CCD และจะแสดงผลการนับสิ่งแปลกปลอมที่สามารถตรวจวัดได้ในแต่ละรางด้วย 7-segment 2 หลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A MACHINE FOR RICE CONTAMINATE DETECTION USING IMAGE PROCESSING

Mr. Nopporn Prasertpoj ID 48015210
Mr. Pittaporn Prasong ID 48015260
Mr. Chinnapat Nantajiwakornchai (Advisor)
Education Year 2007

ABSTRACT

Rice has important role in Thai's life and Thailand economic. rather than local consuming, Thailand is number one of rice exporter which is very important for Thailand's economic. A contaminant, such as a black dot on rice or a piece of stone, will lower the value of the rice product. Therefore, a machine that can separate rice contaminant is used to increase the value of rice product.

A process for rice contaminant detection starts from rice and contaminant are falling pass trough the image captured device, which is a line-scan CCD camera. A signal from line-scan CCD camera are amplified and the compared with the reference threshold level. Results from comparator are displayed with LED, which will light up when a contaminant detected, and 7-segment to display the count of contaminant.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้เป็นส่วนหนึ่งของการศึกษาวิชาโครงงานพิเศษ ซึ่งโครงงานพิเศษนี้ไม่สามารถสำเร็จลุล่วงไปได้ด้วยดีหากไม่ได้รับการช่วยเหลือจากบุคคลดังต่อไปนี้

ทางผู้จัดทำขอขอบพระคุณอาจารย์ชินภัทร นันทจิวากรชัย ที่ให้ความรู้ คำแนะนำต่างๆ ที่เกี่ยวกับการทดลอง ข้อเสนอแนะ การตอบข้อซักถามของผู้จัดทำ และช่วยปรับปรุงข้อบกพร่องที่เกิดขึ้นในการทำการทดลอง จนกระทั่งโครงงานพิเศษนี้สำเร็จลุล่วงไปได้ด้วยดี

ขอขอบพระคุณเพื่อนๆ ที่คอยช่วยเหลือ ให้กำลังใจ และช่วยกันคิดแก้ปัญหาต่างๆ ที่เกิดขึ้นระหว่างทำการทดลอง ทำให้การทำโครงงานพิเศษนี้เป็นไปได้ด้วยดี

ขอกราบขอบพระคุณบิดา มารดาของผู้จัดทำที่เป็นกำลังใจ และสนับสนุนกำลังทรัพย์ในการทำโครงงานพิเศษครั้งนี้

ผู้จัดทำหวังเป็นอย่างยิ่งว่า รายงานฉบับนี้คงจะเป็นประโยชน์สำหรับผู้ที่มีความสนใจในงานที่เกี่ยวข้องทางด้านนี้ หรือผู้ที่ต้องการศึกษาหาความรู้เกี่ยวกับโครงงานพิเศษนี้ หากมีข้อผิดพลาดประการใด ผู้จัดทำต้องขออภัยไว้ ณ ที่นี้ด้วย

นายนพพร ประเสริฐพจน์
นายพิทธพร ประสงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญตาราง	ช
สารบัญรูป	ซ
บทที่ 1 บทนำ	1
1.1 ที่มาและความสำคัญ	1
1.2 วัตถุประสงค์ของโครงงานพิเศษ	1
บทที่ 2 หลักการตรวจจับภาพของชุดหัวสแกนเนอร์	2
2.1 ส่วนประกอบของชุดหัวสแกนเนอร์	2
2.2 คุณสมบัติเฉพาะของชุดหัวสแกนเนอร์	4
2.2.1 ความละเอียดของภาพและการแต่งเติม	4
2.2.2 สีและโทนสี	5
2.3 CCD (Charge Coupled Device)	5
2.3.1 การแนะนำ CCD	5
2.3.2 รูปแบบและขนาดของ CCD	5
2.3.3 สถาปัตยกรรมของ CCD (CCD Architecture)	8
2.3.4 CCD พื้นฐาน (CCD Basic)	10
2.3.5 เทคโนโลยีของ CCD	12
บทที่ 3 ภาษา VHDL สำหรับการออกแบบวงจรดิจิตอล	17
3.1 VHDL คืออะไร	17
3.2 ประโยชน์ของภาษา VHDL	18
3.3 ลักษณะการใช้ภาษา VHDL	19
3.4 วิธีการออกแบบระบบอิเล็กทรอนิกส์	19
3.5 กระบวนการออกแบบลักษณะ Top-Down Design	21
3.6 ข้อกำหนดสำหรับภาษา VHDL	23
3.7 องค์ประกอบพื้นฐานของ VHDL	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 4 โครงสร้างและหลักการทำงานของ FPGA	32
4.1 ความเป็นมาของเอซิก (ASIC)	32
4.2 ประเภทของ ASIC	32
4.2.1 Full-custom	32
4.2.2 Semi-custom	33
4.2.3 Programmable	33
4.3 หลักการของ FPGA	35
4.3.1 การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพ	35
4.3.2 การโปรแกรมโดยใช้หน่วยความจำ	36
4.3.3 โครงสร้างภายในของ FPGA	36
4.3.4 ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่าย สะดวก และรวดเร็ว	37
4.3.5 การออกแบบวงจร	37
4.3.6 เครื่องมือสำหรับการออกแบบ FPGA	41
บทที่ 5 การใช้โปรแกรม Max+plus II เบื้องต้น	42
5.1 การเขียนวงจรดิจิตอลลงบนโปรแกรม Max+plus II	42
5.2 การเก็บไฟล์	47
5.3 การคอมไพล	50
5.4 การสร้างรูปคลื่นของสัญญาณดิจิตอล	51
5.5 การจำลองการทำงาน	56
บทที่ 6 การออกแบบและผลการทดลอง	58
6.1 การสร้าง XOR GATE, NOT GATE และ OR GATE โดยภาษา VHDL	59
6.2 การเขียนวงจรถอดรหัส 3 to 8 โดย VHDL	62
6.3 การออกแบบวงจร Drive CCD	67
6.3.1 การออกแบบสัญญาณ TG	67
6.3.2 การออกแบบสัญญาณ Phase 1 และ Phase 2	69
6.3.3 การออกแบบสัญญาณ RB และ CLB	73
6.4 รูปสัญญาณที่มาจาก CCD	81
6.4.1 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีดำ	83

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
6.4.2 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเทา	84
6.4.3 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเหลือง	85
6.4.4 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเหลืองอ่อน	86
6.4.5 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเขียวอ่อน	87
6.4.6 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีขาว	88
6.5 รูปสัญญาณเมื่อเข้าวงจรแยกราง	89
6.6 วงจร Shift Register และ วงจร Counter	91
6.7 สิ่งที่แก้ไขเพิ่มเติมจากโครงงานพิเศษเดิม	92
6.7.1 การแก้ไขหลอดไฟ	92
6.7.2 การแปลงภาษา Logic เป็นภาษา VHDL	93
6.7.3 เครื่องเขย่าเมล็ดข้าว	98
6.8 ผลการทดลองถึงความลาดชันของรางที่องศาต่างๆ	99
บทที่ 7 สรุปและวิจารณ์ผลการทดลอง	100
บรรณานุกรม	98

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่

6.1	ตารางความจริงของ 3 to 8 Decoder	63
6.2	จำนวนของเสียที่นับได้ที่องศาต่างๆรางที่ 1	99
6.3	จำนวนของเสียที่นับได้ที่องศาต่างๆรางที่ 2	100
6.4	จำนวนของเสียที่นับได้ที่องศาต่างๆรางที่ 3	100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่

2.1 ตัวอย่างกระจก 3 ชิ้น พร้อมกับเลนส์ที่ประกอบเป็นหัวสแกนเนอร์ 3
2.2 ตัวอย่าง CCD 4
2.3 Point Scanning 6
2.4 Line Scanning 7
2.5 Area Scanning 7
2.6 Full-Frame Architecture 8
2.7 Frame-Transfer Architecture 9
2.8 Interline Architecture 10
2.9 Photon Interaction with Silicon 10
2.10 Potential Wells and Barriers 11
2.11 Floating Diffusion Readout Structure 12
2.12 Color Sequential Capture 12
2.13 Three-Chip Color Capture 13
2.14 Integral Data Filter Array Patterns 14
2.15 Normal and Thinned CCD 15
2.16 Interline CCD Showing Photodiode and Non 16
2.17 Interline CCD with Microlenticular Array 16
3.1 แสดงขอบเขตของรูปแบบการเขียนสำหรับการสังเคราะห์วงจร 19
3.2 การออกแบบระบบอิเล็กทรอนิกส์ 20
3.3 ขั้นตอนการออกแบบลักษณะจากบนลงล่าง (Top-Down Design) 21
3.4 การกำหนดการเชื่อมต่อและสถาปัตยกรรม 25
3.5 บล็อคไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_component 26
3.6 การบรรยายเชิงพฤติกรรมของ clock_component 27
3.7 โครงสร้างทั่วไปของส่วนการประกาศแพ็กเกจ 28
3.8 โครงสร้างของบอดี้แพ็กเกจ 28
3.9 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ 29
3.10 การใช้โพรซีเจอร์ 29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่

3.11 การใช้ฟังก์ชัน 29
3.12 ตัวดำเนินการใน VHDL 30
4.1 ประเภทของ ASIC 32
4.2 วงจรพื้นฐานภายในของ PLA 34
4.3 วงจรพื้นฐานภายในของ PAL 34
4.4 โครงสร้างภายในของ FPGA ตระกูล MAX7000S 36
4.5 โครงสร้างภายในของ FPGA ตระกูล FLEX10K 37
4.6 การโปรแกรมลงในชิพ 37
5.1 วงจรดิจิตอล 42
5.2 หน้าโปรแกรม Max+plus II 42
5.3 การเลือก Graphic Editor 43
5.4 การเลือก Enter Symbol 44
5.5 การเลือก GATE 45
5.6 การเลือก NOT GATE 45
5.7 การเลือก Copy NOT GATE 46
5.8 GATE ต่างๆ 46
5.9 Tool Bar ของ Max+plus II 47
5.10 วงจรดิจิตอล 47
5.11 การเก็บไฟล์ 48
5.12 การตั้งชื่อไฟล์ 49
5.13 การ Complier 50
5.14 การเลือก Functional SNF Extractor 50
5.15 เริ่มต้นการคอมไพล 51
5.16 การคอมไพลสมบูรณ์ 51
5.17 Waveform Editor 52
5.18 การสร้างโหนด C, B, A และ Y 53
5.19 Waveform 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่

5.20 การกำหนดค่า Grid Size 54
5.21 การเซตเวลาสุดท้ายของการแสดงรูปคลื่น 55
5.22 การจัดเรียงตัวแปรของอินพุตและเอาต์พุต 55
5.23 การ Save ไฟล์ของรูปคลื่น 56
5.24 การ Simulation เสร็จสมบูรณ์ 56
5.25 ผลการ Simulation 57
6.1 ข้อมูล Data Sheet ของ UPD8861CY 58
6.2 คำสั่ง XOR GATE ของ VHDL 59
6.3 คำสั่ง NOT GATE ของ VHDL 60
6.4 คำสั่ง OR GATE ของ VHDL 60
6.5 ผลการ Simulator XOR GATE 61
6.6 ผลการ Simulator NOT GATE 61
6.7 ผลการ Simulator OR GATE 62
6.8 วงจรของ 3 to 8 Decoder 63
6.9 การเลือก Text Editor file 64
6.10 คำสั่งของ 3 to 8 Decoder เบอร์ 47138 65
6.11 ผลการ Simulator ของ 3 to 8 Decoder 66
6.12 คำสั่งในการกำหนดช่วงขาขึ้นของสัญญาณ TG 67
6.13 คำสั่งในการกำหนดช่วงขาลงของสัญญาณ TG 68
6.14 Block Diagram ของสัญญาณ TG 69
6.15 ผลการ Simulator ของสัญญาณ TG 69
6.16 คำสั่งในการกำหนดขาขึ้นของสัญญาณ Phase 1 70
6.17 คำสั่งในการกำหนดขาลงของสัญญาณ Phase 1 71
6.18 Block Diagram ของสัญญาณ Phase 1 และ Phase 2 72
6.19 ขอบขาขึ้นของสัญญาณ TG เทียบกับสัญญาณ Phase 1 และ Phase 2 72
6.20 ขอบขาลงของสัญญาณ TG เทียบกับสัญญาณ Phase 1 และ Phase 2 73
6.21 คำสั่งในการกำหนดช่วงขาขึ้นของสัญญาณ RB 74

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่

6.22 คำสั่งในการกำหนดช่วงขาลงของสัญญาณ RB 75
6.23 Block Diagram ของสัญญาณ RB และ CLB 76
6.24 ขอบขาขึ้นของสัญญาณ TG เทียบกับสัญญาณ RB 77
6.25 ขอบขาลงของสัญญาณ TG เทียบกับสัญญาณ RB 77
6.26 ช่วงเวลาของสัญญาณระหว่าง RB กับ Phase 1 78
6.27 ช่วงเวลาของสัญญาณระหว่าง CLB กับ Phase 1 78
6.28 ช่วงเวลาของสัญญาณ RB 79
6.29 ช่วงเวลาของสัญญาณ CLB 79
6.30 สัญญาณที่สร้างขึ้นทั้งหมดเมื่อนำมาเทียบกับ Data Sheet 80
6.31 สัญญาณเมื่อไม่มีการตรวจจับวัตถุ (ก) 81
6.32 สัญญาณเมื่อไม่มีการตรวจจับวัตถุ(ข) 81
6.33 แถบสีที่ใช้ในการทดสอบ 82
6.34 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีดำ 83
6.35 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเทา 84
6.36 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเหลือง 85
6.37 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเหลืองอ่อน 86
6.38 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเขียวอ่อน 87
6.39 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีขาว 88

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ที่มาและความสำคัญ

ผลผลิตทางการเกษตรนั้น จัดได้ว่าเป็นสิ่งที่มีความสำคัญต่อการดำรงชีวิตของคนไทยมาเป็นระยะเวลานานแล้ว และปัจจุบันก็เป็นผลผลิตที่สำคัญต่อเศรษฐกิจของประเทศไทย ซึ่งเป็นประเทศเกษตรกรรม โดยเฉพาะอย่างยิ่งข้าวจัดเป็นผลผลิตทางการเกษตรที่มีความสำคัญต่อประเทศไทยมาก โดยที่ผลผลิตแต่ละปีนั้นมีออกมาเป็นจำนวนมาก และผลผลิตที่ออกมาก็จำเป็นที่จะต้องนำมาทำการคัดแยก ซึ่งขั้นตอนการคัดแยกนี้จะมีความสำคัญเป็นอย่างมาก เพราะจะทำให้ผลผลิตที่ออกมามีคุณภาพและเป็นการเพิ่มมูลค่าให้แก่ผลผลิต

จากแนวคิดข้างต้นจึงทำให้มีการนำเอาความรู้ด้านดิจิตอลทางอิเล็กทรอนิกส์มาประยุกต์ใช้งานในการทำโครงงานพิเศษชิ้นนี้ คือ เครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าวโดยการประมวลผลภาพ ซึ่งลักษณะการตรวจจับนั้นจะทำการนำสีของเมล็ดข้าวมาทำการรับสัญญาณภาพจากตัวซีซีดี (Charge Coupled Device) และตรวจจับภาพแบบชิพ CCD และนำสัญญาณภาพที่ได้จาก CCD มาขยายช่วงสัญญาณให้ได้ขนาดแรงดันตามที่ต้องการ เมื่อได้ระดับแรงดันตามที่ต้องการแล้ว ก็จะได้เมล็ดข้าวออกมาเป็น 2 จำพวก คือ เมล็ดข้าวที่เป็นสีอ่อน ซึ่งเป็นเมล็ดข้าวที่ต้องการโดยที่จะไม่แสดงผลออก LED เมื่อมีการตรวจจับ และเมล็ดข้าวที่เป็นสีเข้ม ซึ่งเป็นเมล็ดข้าวที่ต้องการคัดแยกออกไป จะมีการแสดงผลออกทาง LED เมื่อมีการตรวจจับ โดยที่จะมีการนับค่าของเมล็ดข้าวที่ไม่ต้องการออกทาง 7-Segment ทำให้ทราบค่าถึงสิ่งแปลกปลอมที่มากับเมล็ดข้าวเพื่อที่จะได้เข้าสู่ขั้นตอนการเป่าเมล็ดข้าวที่ไม่ต้องการต่อไป

1.2 วัตถุประสงค์ของโครงงานพิเศษ

1.2.1 เพื่อศึกษาและการประยุกต์ใช้งานของสัญญาณภาพที่มาจาก CCD

1.2.2 เพื่อศึกษาและออกแบบการแปลงสัญญาณภาพเป็นสัญญาณดิจิตอล

1.2.3 เพื่อศึกษาและประยุกต์ใช้งาน VHDL

1.2.4 เพื่อศึกษาและออกแบบกลไกการคัดแยกผลผลิตทางการเกษตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการตรวจจับภาพของชุดหัวสแกนเนอร์

การตรวจจับภาพเป็นการแปลงภาพ วัตถุ หรือเอกสารให้อยู่ในรูปแบบข้อมูลดิจิตอล โดยที่ชุดหัวสแกนเนอร์จะอ่านภาพหรืออิมเมจที่ประกอบด้วยจุด (หรือพิกเซล) จำนวนมาก จากนั้นซอฟต์แวร์ของการตรวจจับจะแปลงภาพให้เป็นข้อมูลบิตดิจิตอล แล้วนำออกไปใช้งานตามที่ต้องการ โดยไฟล์ภาพที่ถูกตรวจจับขึ้นมานี้จะถูกเก็บไว้ในฐานข้อมูล

2.1 ส่วนประกอบของชุดหัวสแกนเนอร์

ส่วนประกอบของชุดหัวสแกนเนอร์ตามมาตรฐานก็จะต้องมีอุปกรณ์ต่างๆ รวมเข้าไว้ด้วยกัน เช่น หลอดไฟ (Lamp), เลนส์ (Lens), กระจกเงา (Mirrors), แผ่นกระจกใส (Glass Plate), หัวตรวจจับภาพ (Scan Head), อุปกรณ์ขั้วประจุไฟฟ้า (CCD), แผ่นกรองแสง (Filters), แหล่งจ่ายไฟ (Power Supply), แผงวงจรรวม (Control Circuitry), หัวต่อเชื่อม (Interface Port) และอุปกรณ์อื่นๆ โดยจะอธิบายถึงความสำคัญของอุปกรณ์ดังนี้

2.1.1 หลอดไฟ (Lamp)

มีจำนวนหนึ่งหลอด จะทำหน้าที่ส่องแสงไปยังเอกสารหรือรูปภาพ เพื่อให้เกิดแสงสะท้อนไปยังกระจก หลอดไฟในเครื่องตรวจจับส่วนใหญ่เป็นหลอดฟลูออเรสเซนต์หรือหลอดนีออน

2..1.2 เลนส์ (Lens)

จะทำหน้าที่รับแสงสะท้อนจากกระจกเพื่อเพิ่มความคมชัดให้กับข้อมูล จากนั้นจะแสดงข้อมูลที่ได้ไปยังซีซีดี

2.1.3 กระจกเงา (Mirrors)

โดยทั่วไปแล้วกระจกจะมี 3 แผ่นในตัวเครื่อง จะทำหน้าที่สะท้อนแสงที่หักเหมาจากหลอดไฟ เพื่อให้แสงนั้นผ่านเลนส์แล้วส่งต่อไปยังซีซีดี

2.1.4 หัวตรวจจับภาพ (Scan Head)

ประกอบด้วยชุดของกระจก เลนส์ ฟิวเตอร์ และซีซีดี จะทำหน้าที่เคลื่อนผ่านเอกสารหรือรูปภาพอย่างช้าๆ เพื่ออ่านข้อมูลไปประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5 แผ่นกรองแสง (Filters)

มีลักษณะเป็นแผ่นแก้วสีขาวหรือโปร่งใสสีอื่นๆ ใช้สวมไว้ต่อจากเลนส์ ทำหน้าที่เป็นฉากกั้นแสงสีบางสี และเพิ่มแสงสีบางสีไปตกกระทบบนซีซีดี นอกจากนั้นแผ่นกรองแสงนี้ยังช่วยเปลี่ยนความเข้มของสีวัตถุ และสามารถช่วยสร้างภาพให้มีลักษณะพิเศษตามต้องการ

2.1.6 แผ่นกระจกใส (Glass Plate)

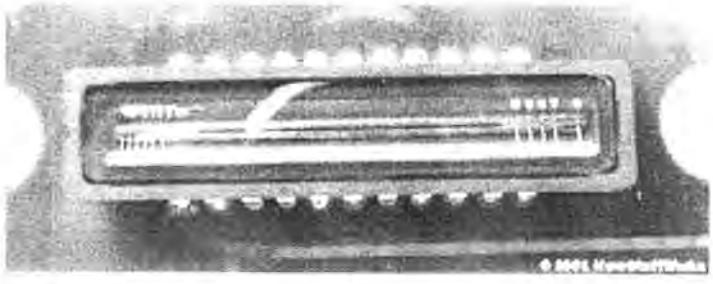
เป็นแผ่นแก้วหน้าโปร่งใส เป็นส่วนวางเอกสารหรือรูปภาพก่อนเริ่มตรวจจับภาพ

รูปที่ 2.1 ตัวอย่างกระจก 3 ชิ้น พร้อมกับเลนส์ที่ประกอบเป็นหัวสแกนเนอร์

2.1.7 อุปกรณ์ขั้วประจุไฟฟ้า (CCD)

เป็นอุปกรณ์หัวใจของการตรวจจับภาพ ซีซีดีเป็นเทคโนโลยีที่ตรวจจับแสง (Optical Sensor) ซีซีดี คือ ชุดของไดโอดขนาดเล็กที่มีความไวแสง โดยจะเปลี่ยนโฟตอน (ซึ่งคือแสง) ให้เป็นอิเล็กตรอน (ซึ่งคือสัญญาณไฟฟ้า) ไดโอดชนิดนี้จะเรียกว่า Photosites ซึ่งเอกสารที่ต้องการตรวจจับภาพจะถูกวางครอบบนซีซีดี ซึ่งเป็นเทคโนโลยีที่เครื่องตรวจจับภาพใช้ในการจับภาพที่แปลงข้อมูลอนาล็อกให้เป็นข้อมูลในรูปดิจิตอล จากนั้นข้อมูลจะถูกส่งไปชิพผ่านระบบออฟติคอล ซึ่งเป็นเลนส์และระบบกระจก แล้วประมวลผลไปใช้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 ตัวอย่าง CCD

2.2 คุณสมบัติเฉพาะของชุดหัวสแกนเนอร์

2.2.1 ความละเอียดของภาพและการแต่งเติม

ความละเอียดของภาพเป็นคุณสมบัติแรกที่ผู้ใช้งานสแกนเนอร์ควรทราบ โดยปกติแล้วชุดหัวสแกนเนอร์จะเก็บรายละเอียดของสิ่งที่อ่าน และแบ่งออกเป็นจุดเล็กๆ เรียกว่า พิกเซล ดังนั้นความละเอียดจึงเป็นการวัดจำนวนพิกเซลที่ชุดหัวสแกนเนอร์สามารถเก็บรายละเอียดของเอกสารหรือรูปภาพ โดยวัดจุดภาพต่อตารางนิ้ว หรือ dpi (Dot Per Inch) ส่วนใหญ่ชุดหัวสแกนเนอร์มีความละเอียดเริ่มต้นที่ 300 dpi หรือ 300 × 300 จุดต่อนิ้ว หรือเรียกอีกอย่างหนึ่งว่า ชุดหัวสแกนเนอร์สามารถอ่านภาพที่สแกนได้ 90,000 พิกเซลต่อพื้นที่ 1 ตารางนิ้ว ในการอ่านเครื่องตรวจจับภาพจะอ่านภาพ 2 ครั้ง คือ อ่านไปและอ่านย้อนกลับอีกครั้งหนึ่ง

บางครั้งความละเอียดของการตรวจจับภาพอาจมีค่าแตกต่างกัน เช่น 300 × 600 จุดต่อนิ้ว หมายความว่า ชุดหัวสแกนเนอร์หยุดเมื่ออ่านค่าในแนวตั้งบ่อยครั้งกว่าอ่านในแนวนอน ซึ่งดูเหมือนว่าเอาต์พุตที่ได้จะมีคุณภาพดีกว่า แต่การพิจารณาควรพิจารณาจากตัวเลขที่น้อยกว่าแทน เพราะเป็นค่าที่บอกถึงคุณภาพของการตรวจจับภาพที่น่าเชื่อถือ

ชุดหัวสแกนเนอร์รุ่นใหม่ๆ จะมีความละเอียดตั้งแต่ 300, 600, 1,000 และ 1,200 dpi เป็นต้น ชุดหัวสแกนเนอร์บางรุ่นมีค่าความละเอียด 2 ประเภท คือ Optical และ Interpolate (หรือ Enhanced) ความละเอียด Optical จะวัดจากจำนวนพิกเซลจริงๆ ถ้าความละเอียดมีค่าสูง คุณภาพงานที่ได้จะมีสูงตามไปด้วย ส่วนความละเอียด Interpolate เป็นค่าเฉลี่ยที่ค่าพิกเซล 2 พิกเซลที่ติดกันเพื่อสร้างพิกเซลที่สาม สีของจุดที่สร้างขึ้นใหม่จะอยู่ระหว่างจุด 2 จุดที่อยู่ติดกัน ชุดหัวสแกนเนอร์จะคาดคะเนจุดที่จะสร้างขึ้นใหม่นี้ในขณะที่มีการตรวจจับภาพ สำหรับในการพิจารณาให้ใช้ค่าความละเอียด Optical ซึ่งเป็นค่าที่บอกถึงความละเอียดจริงๆ ของการตรวจจับภาพและมีความน่าเชื่อถือมากกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 สีและโทนสี

สีและโทนสีเป็นส่วนสำคัญเกี่ยวกับการตรวจจับภาพ ดังนั้นภาพจากชุดหัวสแกนเนอร์จะอยู่ในรูปแบบดิจิตอล ขนาดของไฟล์รูปภาพจะประกอบด้วย พิกเซลจำนวนมาก ซึ่งจะถูกบันทึกค่าความเข้มสีของพิกเซลแต่ละพิกเซล ด้วยจำนวน 1 บิต หรือหลายๆ บิต และรูปแบบการเก็บข้อมูลมีหลายระบบ ซึ่งคิดจากบิต เช่น 1 บิต, 8 บิต และ 24 บิต โดยถ้าเป็นข้อมูลแบบ 1 บิต จะใช้สำหรับเก็บข้อมูลพิกเซล 2 สถานะ คือ 1 และ 0 ซึ่งแสดงสีได้เฉพาะขาวกับดำ แต่ถ้าเป็น 8 บิต จะได้ความแตกต่างของสีถึง 256 ระดับ การรวมแม่สีมีเทคนิคที่เรียกว่า Dithering ซึ่งแสดงสีได้ไม่เหมือนกับความจริงที่เห็นได้ สำหรับ 24 บิต จะให้ภาพที่มีสีใกล้เคียงจริงมากที่สุด เรียกว่า Photo Realistic โดยจะแบ่ง 24 บิต เป็น 3 ส่วน คือ แดง เขียว และน้ำเงิน ส่วนละ 8 บิต เมื่อรวมทั้ง 3 เข้าด้วยกันแล้วจะสามารถแสดงสีได้ถึง 16.7 ล้านสี

2.3 CCD (Charge Coupled Device)

2.3.1 การแนะนำ CCD

CCD ถูกประดิษฐ์ขึ้นครั้งแรกในช่วงปลายทศวรรษ 1960 โดย Bell Labs โดยเบื้องต้นมีจุดมุ่งหมายที่จะพัฒนา Computer Memory Circuit และในปี 1970 ได้ถูกนำออกมาสาธิตใช้งาน อย่างไรก็ตาม CCD ยังสามารถนำไปใช้ในด้านอื่นๆ ได้อีก รวมถึงการประมวลผลของสัญญาณ (Signal Processing) และการสร้างรูปภาพ (Imaging) ในที่สุด CCD ก็ได้รับการพัฒนาให้มีความสามารถตอบสนองกับแสงที่มีความยาวคลื่นน้อยกว่า 1.1 ไมโครเมตร (ช่วง Spectrum ของแสงที่สามารถมองเห็นได้ของมนุษย์คือ 0.4-0.7 ไมโครเมตร) ในปัจจุบันการนำ CCD มาใช้ในการสร้างหน่วยความจำจึงลดลง แต่ได้นำมาประยุกต์ใช้ในการตรวจสอบและสร้างภาพ (Imaging Sensor)

2.3.2 รูปแบบและขนาดของ CCD

การสร้างรูปแบบ (Image Sensing) สามารถทำได้โดยการใช้เทคนิค 3 เทคนิค ดังนี้

2.3.2.1 ตรวจจับภาพแบบจุด (Point Scanning)

ซึ่งจะมีการอ่านค่าที่จุดเพียงจุดเดียว เรียกว่า พิกเซล (PixeI) โดยรูปจะได้รับการอ่านตามคู่ลำดับ ดังรูปที่ 2.3

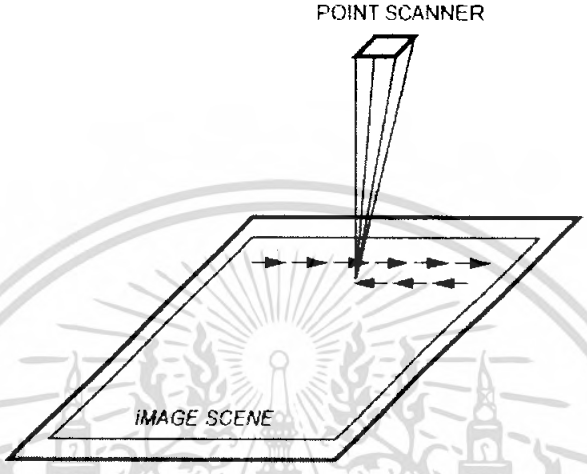
ข้อดี

- คุณภาพของภาพที่ได้สูง
- มีการอ่านค่าแบบ Uniform (ทุกจุดบนรูปแบบอ่านด้วย CCD เดียวกัน)
- พัฒนาง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสีย

- อาจมีข้อผิดพลาดจากการเลื่อนตำแหน่งในการอ่านข้อมูล
- ความเร็วต่ำ



รูปที่ 2.3 Point Scanning

2.3.2.2 ตรวจจับภาพแบบเส้น (Line Scanning)

มีการนำเอา CCD แบบ Point Scanning หลายๆ รูปมาประกอบกันในแนวเส้นตรง ทำให้สามารถอ่านค่าได้เป็นแถวในคราวเดียว จากนั้นจึงเลื่อนไปแถวอื่น ดังรูปที่ 2.4

ปัญหา

- จะทำอย่างไรให้ CCD อยู่ชิดกันมากๆ เพื่อการประมวลผลของภาพที่ดีที่สุด

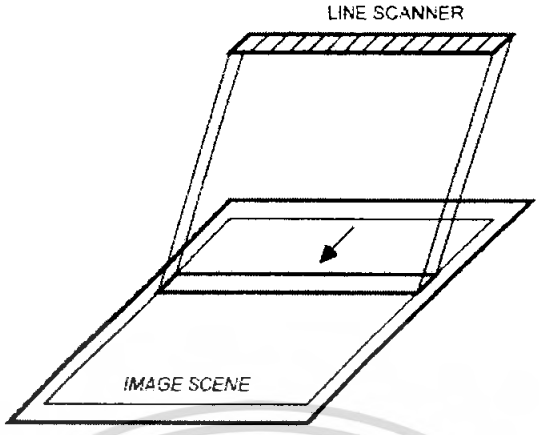
ข้อดี

- เร็วกว่าแบบ Point Scanning

ข้อเสีย

- การอ่านค่า CCD หลายๆ ตัวทำให้เกิด Error และอ่านค่าได้ไม่เท่ากันในแต่ละจุด
- ราคาสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 Line Scanning

2.3.2.3 ตรวจจับภาพทั่วพื้นผิว (Area Scanning)

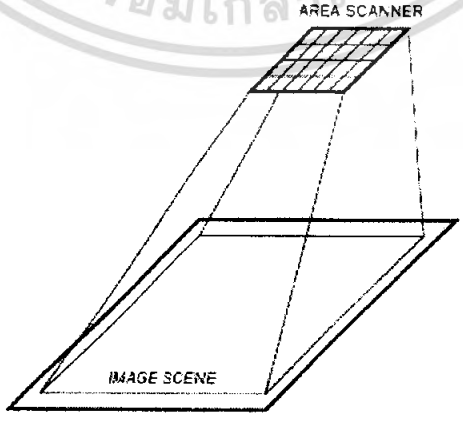
ใช้ Array 2 มิติของ CCD แบบ Point Scanning จะสามารถอ่านค่าข้อมูลได้มากขึ้นในการตรวจจับ 1 ครั้ง ดังรูปที่ 2.5

ข้อดี

- อ่านข้อมูลได้เร็วที่สุด
- มีความซับซ้อนต่ำ

ข้อเสีย

- มีอัตราข้อมูลต่อสัญญาณรบกวนระบบ (Signal to Noise Ratio) ต่ำ
- ราคา เพราะ มีจำนวนของ CCD ที่จะใส่ใน Wafer ต่ำลง



รูปที่ 2.5 Area Scanning

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

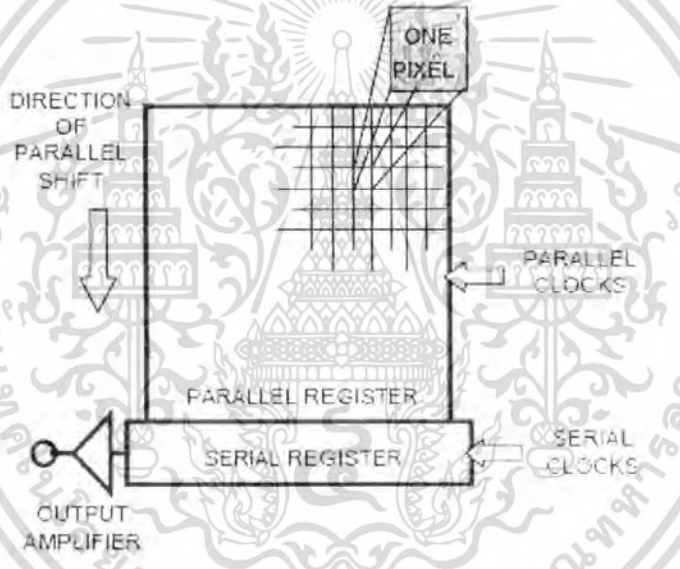
2.3.3 สถาปัตยกรรมของ CCD (CCD Architecture)

CCD มีหลายรูปแบบสถาปัตยกรรม ซึ่งรูปแบบหลักที่ใช้ในปัจจุบัน คือ Full Frame (FF), Frame Transfer (FT) และ Interline (IL)

2.3.3.1 Full Frame (FF)

มีรูปแบบการทำงานที่ง่ายที่สุด วิธีนี้จะประกอบไปด้วย (ดังรูปที่ 2.6)

- Parallel CCD Shift Register
- Serial CCD Shift Register
- Signal Sensing Output Amplifier



รูปที่ 2.6 Full-Frame Architecture

รูปภาพจะได้รับสัญญาณ ซึ่งสัญญาณที่ได้จะถูกส่งไปจุดของ Array แบบขนาน (Parallel) ซึ่งทำหน้าที่เป็นระนาบของรูปภาพ จากนั้นภาพที่ได้จะถูกแบ่งออกเป็นล็อกๆ ในรูปแบบของ Discrete element ซึ่งจำนวนของ Discrete element นี้จะถูกกำหนดด้วยจำนวนพิกเซลในแนวราบ ซึ่งจะทำให้แถวของรูปภาพถูก Shift ไปในรูปแบบ Parallel ไปเรื่อยๆ จนได้ข้อมูลที่เป็น Stream จนกว่าข้อมูลทุกๆ ข้อมูลของภาพจะถูกถ่ายโอนจาก Chip เสร็จสมบูรณ์ และ Stream ที่ได้นั้นจะถูกนำไปสร้างเป็นภาพอีกครั้ง

วิธีนี้ต้องมีการ Synchronized ระหว่างแหล่งกำเนิดแสง (Illumination) และการอ่านข้อมูลออกในรูปของ Stream เพื่อรักษาสภาพของภาพ

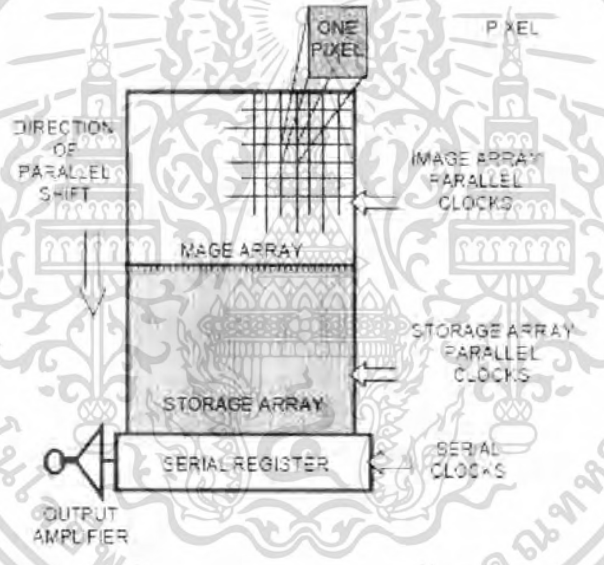
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดี

- ง่ายในการออกแบบ
- Resolution สูง และ Density ต่ำ

2.3.3.2 Frame Transfer (FT)

CCD แบบ Frame Transfer นั้นจะมีการทำงานคล้ายกับแบบ Full Frame แต่ต่างกันที่มีการแยก Parallel Register ออกต่างหาก เรียกว่า Storage Array ซึ่งตัวนี้จะไม่ไวต่อแสง โดยแบบ Frame Transfer จะอ่านภาพแต่ละภาพจาก Storage Array จากนั้นจึงประมวลผลสัญญาณเช่นเดียวกับ Full Frame ในขณะที่กำลังประมวลผลอยู่นั้น Storage Array ก็กำลังเก็บข้อมูลของภาพใหม่ต่อไป ดังรูปที่ 2.7



รูปที่ 2.7 Frame-Transfer Architecture

2.3.3.3 Interline (IL)

มีการแยกหน่วยที่ทำหน้าที่ในการตรวจจับออกจากส่วนอ่านค่า โดยการเพิ่มส่วนที่ช่วยกันลำแสง (Light Shielded) เข้าไปในระหว่างแถวของอุปกรณ์ในการตรวจจับภาพ ซึ่งช่วยให้ทุกๆ พิกเซลที่เก็บข้อมูลได้ จะถูกส่งไปยังส่วนที่กันลำแสงทันที และจะได้ผลลัพธ์เช่นเดียวกับแบบ Full Frame และ Frame Transfer แต่แบบ Full Frame และ Frame Transfer นั้นในขณะที่อ่านค่าจะสามารถประมวลผลภาพถัดไปได้ในอัตราการทำงานที่ต่างๆ กัน ดังรูปที่ 2.8

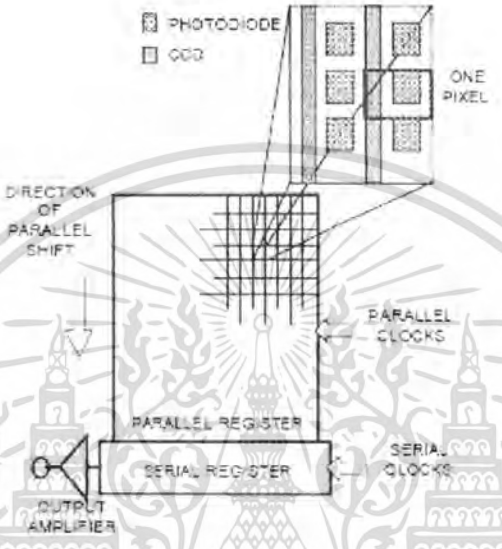
ข้อเสีย

- มีความซับซ้อนสูง ทำให้มีราคาสูงตามไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- มีความไวต่ำ เพราะ มีส่วนที่ไวแสงน้อย ต้องเสียพื้นที่ไปกับส่วนที่กันลำแสง

- เกิดความล่าช้าในการเปลี่ยนข้อมูลจาก Photodiode ไปยัง CCD



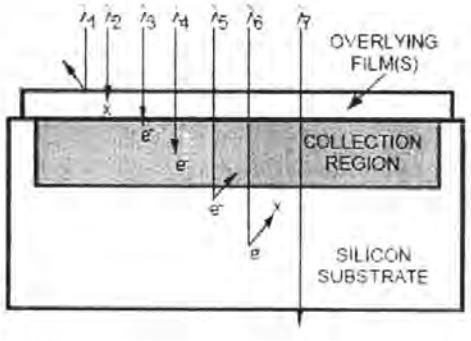
รูปที่ 2.8 Interline Architecture

2.3.4 CCD พื้นฐาน (CCD Basic)

การสร้างภาพของ CCD มี 3 ขั้นตอน ดังนี้

2.3.4.1 การเปลี่ยนจากแสง (Photon) เป็นประจุไฟฟ้า

การทำงานเริ่มขึ้นเมื่อแสงในรูปของ Photon ตกลงไปยังภาพเป็น Array ของพิกเซล และจะเกิดการดูดซับ Photon โดยซิลิกอน และทำให้เกิดการตอบโต้ขึ้น เป็นการสร้างหลุมอิเล็กตรอน (Electric Hold) ดังรูปที่ 2.9



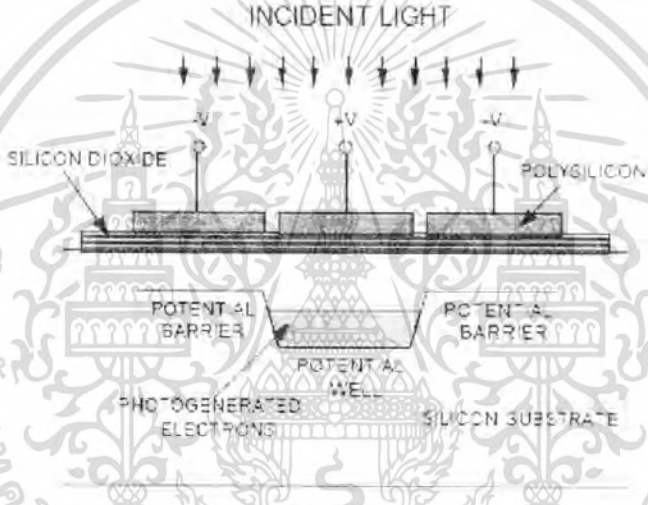
รูปที่ 2.9 Photon Interaction with Silicon

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4.2 Potential Wells and Barriers

CCD ถูกผลิตขึ้นตามหลักของ MOS (Metal Oxide Semiconductor) โครงสร้าง CCD จึงประกอบไปด้วยชั้นต่างๆ ซ้อนกันตามแนวตั้ง โดยจะมีชิ้นของตัวนำวางอยู่บนสารกึ่งตัวนำ ซึ่งแยกออกจากกันโดยใช้ Silicon dioxide ดังรูปที่ 2.10

การจ่ายแรงดันให้ Polysilicon Gate จะทำให้ความต่างศักย์ของไฟฟ้าสถิตของ Silicon เกิดจากการเปลี่ยนแปลงทำให้เกิดความต่างศักย์ที่สามารถตรวจจับได้เมื่อมีการสร้างอิเล็กตรอนจากแสงที่ตกกระทบ (Incident Light) ซึ่งจะเกิดขึ้นที่ Gate ที่ถูกตรึงไว้

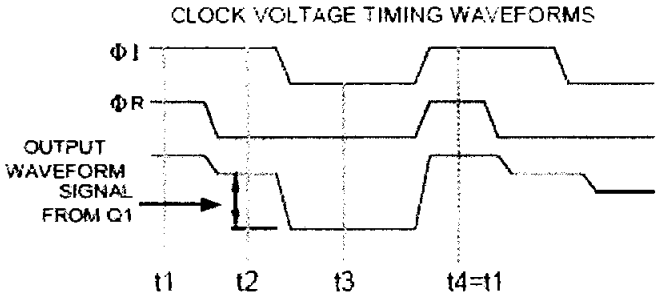


รูปที่ 2.10 Potential Wells and Barriers

2.3.4.3 Readout Techniques

ประจุที่ได้จะถูกส่งเป็นผลลัพธ์ไปยังอุปกรณ์ ซึ่งอิเล็กตรอนจะถูกเปลี่ยนเป็นแรงดัน ทำให้การทำงานของ Chip ง่ายขึ้น ซึ่งเทคนิคในการเปลี่ยนนี้ คือ การใช้ Floating Diffusion Sense Node ตามด้วยการปรับเปลี่ยนแรงดันตามแหล่งจ่ายของวงจร ในการทำงานเริ่มจากการเคลียร์อุปกรณ์ผ่านทาง Reset Gate และ Reset Drain เพื่อเป็นการคายประจุ จากนั้นแรงดันที่จ่ายเข้าไปใหม่จะทำการชาร์ตประจุอีกครั้ง และทำการเปรียบเทียบกับแรงดันอ้างอิง และส่งไปยัง Output ของอุปกรณ์ และในหลักการทำงานนี้จะถูกการเลื่อน Phase ไปยังสุดท้ายของ CCD ดังรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 Floating Diffusion Readout Structure

2.3.5 เทคโนโลยีของ CCD

2.3.5.1 การใช้ CCD ในการสร้างภาพ Monochrome (สีเดียว)

ทำให้ไม่เป็นธรรมชาติในการที่จะระบุสีต่างๆ ได้แก่ แดง เขียว น้ำเงิน (RGB) ในแต่ละพิกเซลมี 3 วิธีการ ในการที่จะแยกสีต่างๆ ออกได้ แต่ปัญหาหลักร่วม คือ ต้องมีปริมาณข้อมูลเพิ่มมากขึ้นถึง 3 เท่า

2.3.5.1.1 Color Sequential วิธีนี้จะทำการใช้การฉายแสงสลับกันไปทีละสี โดยใช้ตัวกรองแสงตามแต่ละสีที่ต้องการ และนำข้อมูลที่ได้มาสร้างเป็นรูปใหม่ ดังรูปที่ 2.12

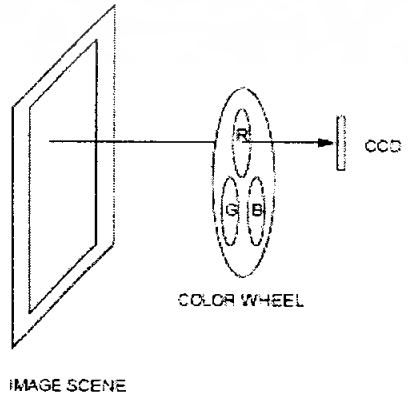
ข้อดี

- คุณภาพจะยังคงเดิมเหมือนกับการใช้ CCD สีเดียว

ข้อเสีย

- การใช้แหล่งกำเนิดแสง 3 แหล่ง ทำให้ลดจำนวนภาพในแต่ละหน่วยเวลาลง 3 เท่า

- ตารางเพิ่มกลไกการสลับ Filter ของแสงเป็นการทำให้ระบบซับซ้อนขึ้น



รูปที่ 2.12 Color Sequential Capture

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.5.1.2 Three-Chip Color เป็นการใช้การสลับสีโดยใช้วงจรของ Filter ซึ่งการใช้ Three-Chip Color จะใช้แสงในการแยกภาพออกเป็น 3 ภาพย่อย (ตามสีที่แยกได้) และให้ CCD ในแต่ละช่วงสี ซึ่งวางไว้ในตำแหน่งที่เหมาะสม และอ่านค่าพร้อมๆ กัน

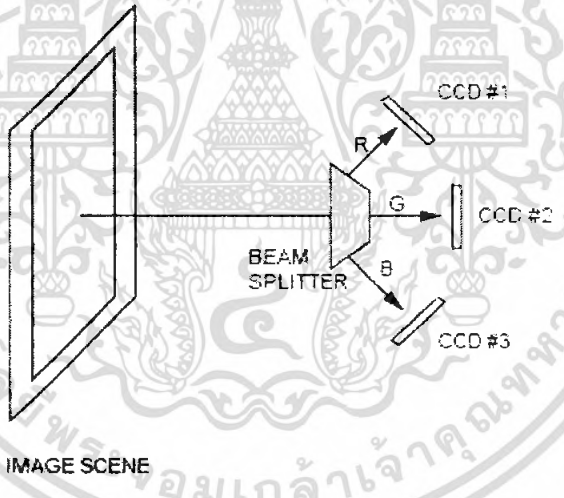
วิธีนี้ภาพจะถูกสร้างโดยการ Synchronizing Output ระหว่าง CCD ถึง 3 แสง นำมาสร้างเป็นภาพเดียวกัน ดังรูปที่ 2.13

ข้อดี

- อัตราการทำงานเท่ากับการใช้ CCD ชุดเดียว

ข้อเสีย

- ความซับซ้อนสูงมาก
- การปรับค่าของ CCD แต่ละหน่วยเป็นไปได้ยาก
- Effective Data Rate เป็น 3 เท่า



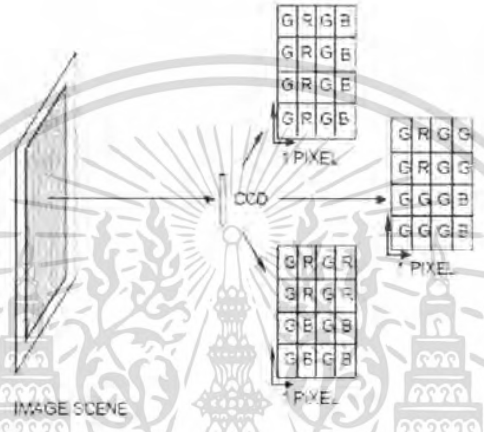
รูปที่ 2.13 Three-Chip Color Capture

2.3.5.1.3 Integral Data Filter Array (CFA) แทนที่จะใช้ในการสร้าง Chip ซึ่งแยกสีต่างๆ เป็น 3 สี วิธีนี้จะมีการสร้างคุณสมบัติพิเศษบน Chip ให้สามารถตอบสนองต่อสีทั้ง 3 ได้ด้วยตนเองในแต่ละพิกเซล โดยการใช้ Photo Resists ในรูปแบบต่างๆ แต่การตรวจจับจะได้สีในรูปแบบ CMY (Cyan Magenta Yellow) ดังรูปที่ 2.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสีย

- ไม่ได้สีเป็น RGB ทำให้ได้รูปที่ไม่เป็นธรรมชาติ
- ข้อมูลสูญหายทำให้ Resolution ลดลง ต้องเพิ่ม Sampling
- ต้องมีการสร้างพิกเซลที่มีข้อมูลของสีที่ขาดหายไปขึ้นมาใหม่



รูปที่ 2.14 Integral Data Filter Array Patterns

2.3.5.2 การทำให้ซิลิกอนบางลง (Silicon Thinning)

ดังที่กล่าวมาแล้ว ฟิล์มบางๆ จะช่วยในการดูดซับการสะท้อนแสงตามความยาวคลื่น แล้วอิเล็กตรอนจะถูกสร้างขึ้นด้านบนของพื้นผิว (ปกติจะเป็นแสงอุลตราไวโอเลต และแสงสีน้ำเงิน) อิเล็กตรอนเหล่านี้จะเกิดการสูญหายไปโดยการทำปฏิกิริยากับพื้นผิวซิลิกอน โดยการเพิ่มการตอบสนองให้กับ CCD นั้นจำเป็นจะต้องทำให้ด้านหลังของแผ่นเวเฟอร์บางลง ซึ่งมีความหนาประมาณ 10-15 ไมโครเมตร ดังรูปที่ 2.15

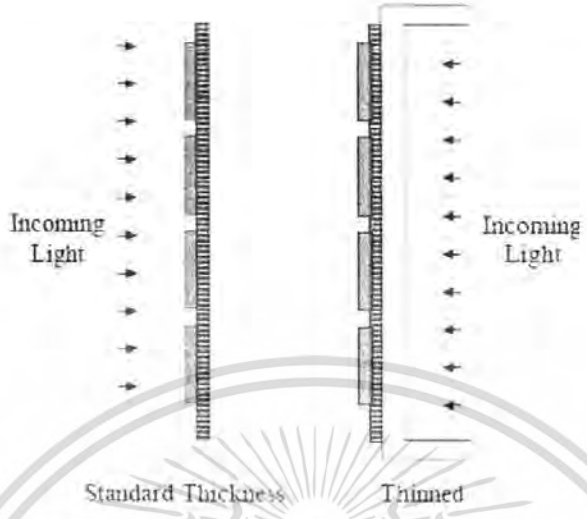
ข้อดี

- การตอบสนองของแสงสีน้ำเงิน และแสงอุลตราไวโอเลตดีขึ้น

ข้อเสีย

- ราคาแพง
- การหยิบจับยาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 Normal and Thinned CCD

2.3.5.3 UV Enhancement Coating

เนื่องจากการทำให้ซิลิกอนบางลงทำได้ยาก เพราะฉะนั้นจะมีการเพิ่ม Phosphors ลงไปที่ด้านบน CCD ซึ่ง Phosphors นี้จะมีลักษณะใส และหนาประมาณ 0.45 ไมโครเมตร

ข้อดี

- จะเป็นตัวดูดซับ UV และแสงสีน้ำเงินให้มีช่วงความยาวคลื่นสูงขึ้น

ข้อเสีย

- ในกรณีที่เกิดการกระเจิงของแสง จะทำให้ข้อมูลสูญหายได้

2.3.5.4 Microlenticular Array

เนื่องจากการอ่านโดยใช้เทคนิค Inline (IL) จะทำให้มีความไวต่ำ เนื่องจากต้องมีการเพิ่มแถวของโฟโตไดโอดขึ้น ดังนั้นเพื่อจะปรับปรุงความไวแสงให้มากขึ้น จึงได้มีการสร้างเลนส์เล็กๆ ขึ้น ครึ่มในแต่ละพิกเซล ซึ่งเลนส์เหล่านี้จะทำการรวมแสงที่ส่งไปยังอุปกรณ์ซึ่งไม่ไวต่อแสง ให้ส่งไปยังบริเวณที่ไวต่อแสง (Photo Diode) เพียงอย่างเดียว ดังรูปที่ 2.16 และ 2.17

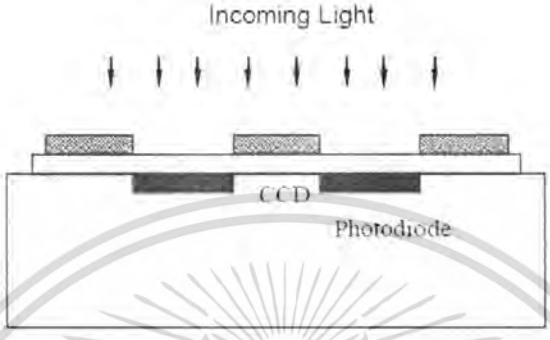
ข้อดี

- มีความไวแสงเพิ่มขึ้นเป็น 3 เท่า

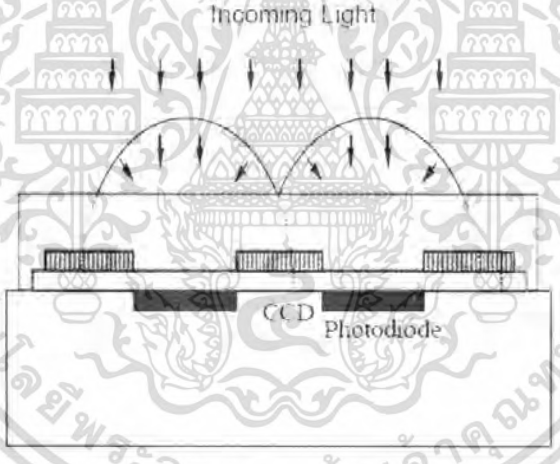
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสีย

- การบรรจุอุปกรณ์ทำได้ยาก
- การออกแบบเลนส์ทำได้ยาก



รูปที่ 2.16 Interline CCD Showing Photodiode and Non



รูปที่ 2.17 Interline CCD with Microlenticular Array

2.3.5.5 CCD ความเร็วสูง (High Speed CCD)

ในการพัฒนา CCD ให้สามารรองรับอัตราการทำงานได้มากขึ้นนั้น จำเป็นต้องพัฒนา CCD ให้มีความไวสูงตามไปด้วย เช่น

2.3.5.5.1 การสร้างวงจรขยายสัญญาณบนชิพ CCD ซึ่งจะต้องระมัดระวังไม่ให้ใช้พลังงานมากเกินไป เพราะจะทำให้คุณภาพของการอ่านข้อมูลลดลง

2.3.5.5.2 การทำให้ CCD มีหลายๆ Output โดยการแบ่งกลุ่มของ CCD ออกเป็นบล็อก แล้วสามารถทำให้การอ่านข้อมูลทำไปพร้อมๆ กันได้ แต่จะต้องไม่มีจำนวน Output มากเกินไป เพราะจะทำให้การประมวลผลยุ่งยาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 3
ภาษา VHDL สำหรับการออกแบบวงจรดิจิตอล

ปัจจุบันในการออกแบบระบบดิจิตอลที่เรารู้จักกันจะเป็นการออกแบบโดยใช้การวาดวงจร (Capture Schematic) โดยใช้โปรแกรมช่วยในการวาด (Schematic Entry Tools) ซึ่งผู้ออกแบบจะต้องมีทักษะสูงในการออกแบบ และต้องเวลานานในการออกแบบจำลองการทำงาน (Simulation) และตลอดจนการแก้ไขความถูกต้องของระบบ (Debugging) ซึ่งในการออกแบบจะต้องอ้างอิงเทคโนโลยีที่ใช้ออกแบบระบบดิจิตอล (Technology Dependent) ถ้าต้องการเปลี่ยนเทคโนโลยีของระบบที่ออกแบบ ค่อนข้างทำได้ยากและใช้เวลามาก และเมื่อต้องการออกแบบระบบดิจิตอลที่มีความซับซ้อนสูง ยิ่งทำได้ยากหรือทำไม่ได้เลย โดยใช้กระบวนการออกแบบเก่าๆ ที่กล่าวมาข้างต้น แต่ในการออกแบบระบบดิจิตอลในปัจจุบันได้มีกระบวนการออกแบบรูปใหม่ที่มีประสิทธิภาพสูง รวดเร็ว และไม่ยึดติดกับเทคโนโลยีที่ใช้ออกแบบ (Technology Independent) กระบวนการดังกล่าว คือ Top-Down Design จะใช้ภาษาบรรยายฮาร์ดแวร์ HDL (Hardware Description Language) ในการออกแบบจำลองการทำงานสังเคราะห์วงจร (Synthesis) ได้บนฮาร์ดแวร์จำพวกชิพ FPGA (Field Programmable Gate Arrays) หรือ ASICs (Application Specific Integrated Circuits) ดังนั้น การออกแบบสามารถทำได้ง่าย และมีความสะดวก รวดเร็วมากยิ่งขึ้น

3.1 VHDL คืออะไร

VHDL ย่อมาจาก VHSIC Hardware Description เป็นภาษาบรรยายฮาร์ดแวร์ประเภทหนึ่ง โดยภาษาเกิดขึ้นจากโครงการที่มีชื่อว่า VHSIC (Very High Speed Integrated Circuits) ที่ถูกพัฒนาขึ้นโดยกระทรวงกลาโหมของสหรัฐอเมริกา (Department of Defense : DoD) ในช่วงปี ค.ศ. 1980 โดยเป้าหมายของโครงการนี้ก็เพื่อพัฒนาขีดความสามารถในการออกแบบวงจรรวมให้สูงขึ้น และสามารถทำได้ง่ายมากยิ่งขึ้น โดยมีเป้าหมาย 2 ประการ คือ

3.1.1 ต้องการภาษาที่สามารถรองรับการออกแบบวงจรที่มีความซับซ้อนได้

3.1.2 ต้องการภาษาที่เป็นมาตรฐานหรือเป็นภาษากลาง ที่ทำให้สามารถเผยแพร่ผลงานการออกแบบกันภายในกลุ่มนักออกแบบด้วยกันได้

จนกระทั่งในปี ค.ศ.1986 ภาษา VHDL ได้เริ่มมีการปรับปรุงภาษาเพื่อให้สามารถกำหนดเป็นมาตรฐานของ IEEE (Institute of Electrical and Electronics Engineers) โดยประกาศเป็นมาตรฐานในเดือนธันวาคม ปี ค.ศ.1987 โดยอยู่ในหมวด IEEE 1076-1987 หรือเรียกสั้นๆ ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
82436

VHDV'87 หลังจากนั้นก็ได้มีการพัฒนาปรับปรุงอย่างต่อเนื่อง โดยมีการประกาศปรับปรุงอีกครั้งในปี ค.ศ.1993 ซึ่งเรียกว่า IEEE 1076-1993 หรือ VHDV'93 ซึ่งมีการเพิ่มเติมไวยากรณ์สำหรับเสริมเพื่อให้ใช้งานได้สะดวกมากยิ่งขึ้น สำหรับขีดความสามารถในการออกแบบโดยใช้ภาษา VHDL นั้น สามารถออกแบบได้เฉพาะวงจรที่มีลักษณะเป็นระบบดิจิตอลเท่านั้น ส่วนวงจรที่เป็นอนาล็อกในปัจจุบันกำลังมีการวิจัยและพัฒนาภาษา VHDL ให้มีความสามารถออกแบบวงจรอนาล็อกเพิ่มเติมจากพื้นฐานเดิม โดยมีชื่อเรียกใหม่ว่า VHDL-AMS (Analog Mixed Signal) สามารถหารายละเอียดเพิ่มเติมได้ที่ http://www.vhdl-ams.org

3.2 ประโยชน์ของภาษา VHDL

3.2.1 เป็นภาษามาตรฐานสากล โดยรับรองจากสถาบัน IEEE ทำให้มีโปรแกรม เครื่องมือต่างๆ และบริษัทที่สนับสนุนการทำงานมากมาย นอกจากนี้วงจรที่ออกแบบโดยภาษา VHDL สามารถใช้งานได้นาน เนื่องจากมีความเข้ากันได้ของภาษาที่ได้รับการออกแบบใหม่

3.2.2 ได้รับการสนับสนุนจากรัฐบาล เนื่องจากภาษา VHDL ได้รับการพัฒนาโดยกระทรวงกลาโหมของสหรัฐอเมริกา ดังนั้น การออกแบบวงจรต่างๆ ย่อมได้รับการสนับสนุนจากรัฐบาลสหรัฐอเมริกา

3.2.3 เป็นภาษาที่ใช้งานจริงในอุตสาหกรรม เนื่องจากภาษา VHDL เป็นภาษามาตรฐานจากสถาบัน IEEE จึงมีอุตสาหกรรมจำนวนมากที่นำภาษานี้ไปใช้ในการออกแบบ

3.2.4 เป็นภาษาที่สามารถใช้ได้หลายระบบ ซึ่งการออกแบบโดยใช้ภาษา VHDL สามารถนำไปจำลองการทำงาน หรือสังเคราะห์ด้วยซอฟต์แวร์ตัวใดก็ได้ที่รองรับภาษา VHDL ทำให้ออกแบบด้วยภาษา VHDL เป็นการออกแบบที่ไม่ยึดติดกับซอฟต์แวร์ที่ใช้ในการออกแบบ

3.2.5 เป็นภาษาที่สามารถใช้จำลองรูปแบบการทำงานของวงจร โดยผู้ออกแบบวงจรสามารถออกแบบวงจรโดยใช้ภาษา VHDL ได้หลายระดับ ตั้งแต่ระดับมาโครบล็อก (Macro Block) จนถึงระดับเกต (Gate) และสามารถออกแบบวงจรที่มีความซับซ้อนสูง และมีขนาดใหญ่มากได้

3.2.6 เป็นภาษาที่สามารถนำกลับมาใช้ใหม่ได้ เนื่องจากสามารถเปลี่ยนแปลงแก้ไขวงจรได้ง่าย ซึ่งคล้ายคลึงกับโปรแกรมซอฟต์แวร์

3.2.7 เป็นภาษาที่สามารถนำไปใช้เป็นเอกสารประกอบการได้ เนื่องจากเป็นภาษาในรูปแบบบรรยายพฤติกรรม ทำให้สามารถอธิบายการทำงานของวงจรภายในการออกแบบได้ทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ลักษณะการใช้ภาษา VHDL

การใช้ภาษา VHDL จำแนกออกเป็น 5 ประเภท คือ

3.3.1 Document Language

เป็นภาษาที่ใช้บรรยายรายละเอียดการทำงานของวงจรที่ออกแบบ

3.3.2 Design Language

เป็นภาษาที่ใช้สำหรับออกแบบวงจรที่มีความซับซ้อนสูง

3.3.3 Verification Language

เป็นภาษาที่ใช้ตรวจสอบความถูกต้องของวงจรที่ออกแบบ

3.3.4 Test Language

เป็นภาษาที่ใช้สำหรับทดสอบการทำงานของวงจรที่ออกแบบ

3.3.5 Synthesis Language

เป็นภาษาที่ใช้สำหรับสังเคราะห์วงจร (Synthesis) แต่รูปแบบดังกล่าวไม่ได้ครอบคลุมทุกรูปแบบทั้งหมดของการเขียนในภาษา VHDL ซึ่งมีเพียงบางรูปแบบเท่านั้นที่สามารถเขียนแล้วนำไปสังเคราะห์เป็นวงจรได้ หรือเรียกว่ารูปแบบการเขียนสำหรับการสังเคราะห์ (VHDL for Synthesis) ดังแสดงในรูปที่ 3.1 จะเห็นได้ว่ารูปแบบที่สามารถเขียนแล้วใช้ในการสังเคราะห์ได้นั้น เป็นเพียงส่วนหนึ่งของรูปแบบการเขียนบรรยายพฤติกรรมทั้งหมด

รูปที่ 3.1 แสดงขอบเขตของรูปแบบการเขียนสำหรับการสังเคราะห์วงจร

3.4 วิธีการออกแบบระบบอิเล็กทรอนิกส์

3.4.1 การกำหนดหน้าที่การทำงานของระบบอิเล็กทรอนิกส์ที่ต้องการ

ส่วนใหญ่ระบบอิเล็กทรอนิกส์จะประกอบด้วย 2 ส่วน คือ ส่วนที่เป็นระบบฮาร์ดแวร์ (Hardware) และส่วนที่เป็นซอฟต์แวร์ (Software) โดยจะทำการออกแบบทั้ง 2 ส่วนไปพร้อมๆ กัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 การกำหนดหน้าที่การทำงานของระบบฮาร์ดแวร์

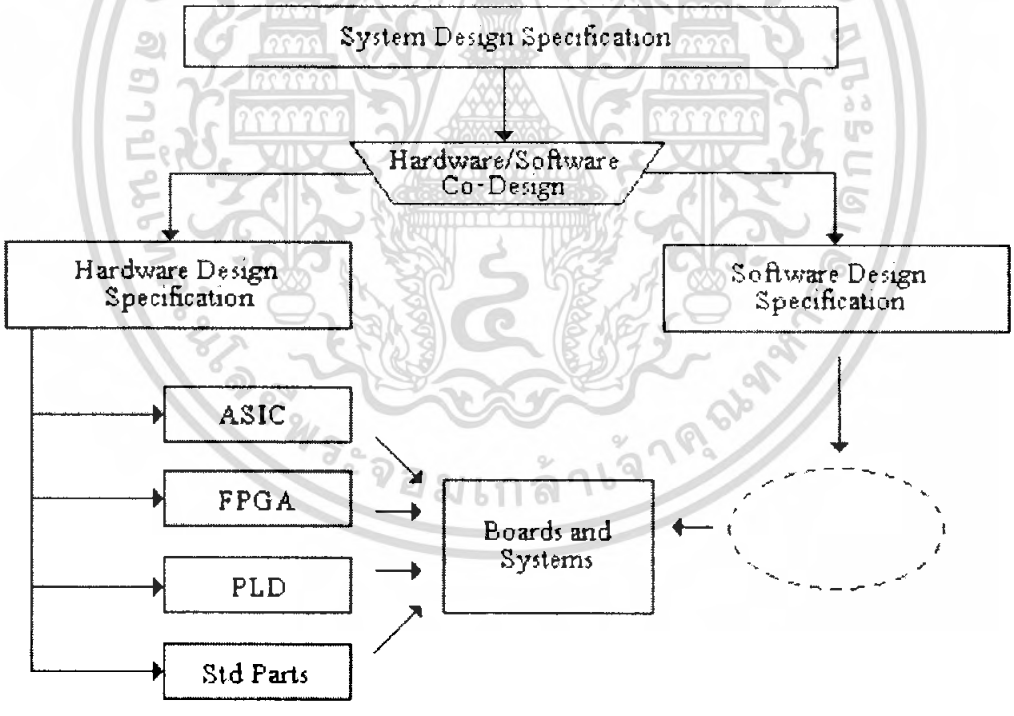
สามารถเลือกได้ว่าต้องการออกแบบเป็น ASIC (Application Specific Integrated Circuit), FPGA (Field Programmable Gate Arrays), PLD (Programmable Logic Devices) หรือจากไอซีมาตรฐานที่ทมีขายอยู่ทั่วไปตามท้องตลาด

3.4.3 การออกแบบระบบซอฟต์แวร์

ผู้ออกแบบสามารถเลือกใช้ภาษาโปรแกรมแบบต่างๆ นำไปใช้ในการออกแบบ เช่น ภาษา C, ภาษา C++ และภาษา Assembly เป็นต้น

3.4.4 การออกแบบ Firmware และ Application

ในระหว่างการออกแบบนั้น ผู้ออกแบบทั้งทางด้านฮาร์ดแวร์และซอฟต์แวร์จะต้องมีการทดสอบการทำงานร่วมกัน เพื่อให้สามารถแก้ไขความผิดพลาดในการออกแบบที่เกิดขึ้นได้

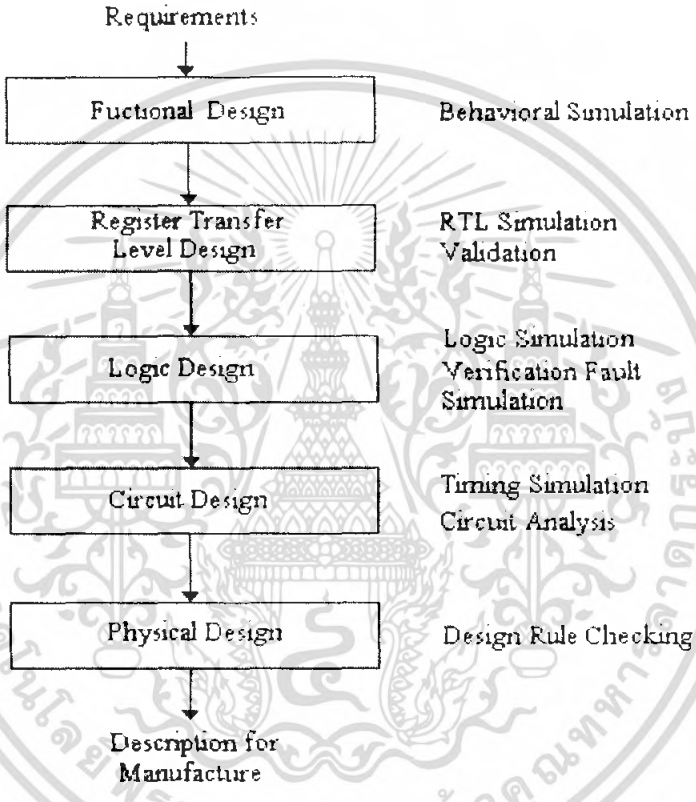


รูปที่ 3.2 การออกแบบระบบอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 กระบวนการออกแบบลักษณะ Top-Down Design

กระบวนการออกแบบลักษณะ Top-Down Design เป็นกระบวนการที่ใช้ในการออกแบบระบบดิจิตอลในปัจจุบัน โดยมีขั้นตอนต่างๆ ดังแสดงในรูปที่ 3.3 คือ เริ่มต้นจากการวางข้อกำหนดคุณลักษณะของระบบที่ต้องการ ไปจนถึงการทำให้เกิดผลทางกายภาพเป็นชิพที่สามารถใช้ได้จริง



รูปที่ 3.3 ขั้นตอนการออกแบบลักษณะจากบนลงล่าง (Top-Down Design)

ในที่นี้จะขอยกตัวอย่างการออกแบบวงจรรวมเฉพาะงาน (ASIC) สำหรับประมวลผลภาพดิจิตอล (Digital Image Processor) เพื่อใช้อธิบายกระบวนการดังกล่าว

3.5.1 การวางข้อกำหนดคุณลักษณะของระบบ (Requirements)

การวางข้อกำหนดคุณลักษณะของระบบ (Requirements) ทั้งทางด้านสมรรถนะและด้านกายภาพ เช่น จำนวนภาพที่ระบบสามารถประมวลได้ในหนึ่งวินาที การดำเนินต่อรูปภาพ ข้อกำหนดเรื่องส่วนต่อประสาน ราคาต้นทุน ขนาด และการสูญเสียกำลังเป็นความร้อน จากข้อกำหนดเหล่านี้ เราสามารถออกแบบเชิงหน้าที่ระดับสูง (High-Level Functional Design) ใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เบื้องต้นได้ ซึ่งต้องอาศัยการจำลองการทำงาน (Simulation) เพื่อดูว่าระบบที่ออกแบบไว้ทำงานสอดคล้องกับข้อกำหนดต่างๆ หรือไม่ และแก้ไขให้สอดคล้องในที่สุด

3.5.2 การใส่รายละเอียดลงไปในระดับหน่วยบันทึก (Register) หน่วยความจำ (Memory) หน่วยคำนวณและตรรกะ (ALU) และเครื่องสถานะ (State Machine)

เรียกการออกแบบในระดับนี้ว่า Register Transfer Level หรือ RTL หลังจากนั้นจะเป็นการออกแบบในระดับตรรกะ (Logic Level) ซึ่งเป็นการเพิ่มเติมรายละเอียดให้กับหน่วยต่างๆ ที่เป็นส่วนประกอบของงานออกแบบในระดับ RTL เช่น การกำหนดในรายละเอียดว่ารีจิสเตอร์หนึ่งตัวจะประกอบด้วย ฟลิปฟลอป และลอจิกเกตแบบใด จำนวนเท่าใด เป็นต้น ในการออกแบบทั้งระดับ RTL และระดับตรรกะ ต้องมีการจำลองการทำงานควบคู่ไปด้วยเหมือนกับการออกแบบระดับ Functional

ในบางระบบนอกจากการออกแบบจำลองเชิงตรรกะ (Logic Simulation) แล้ว อาจมีการจำลองเพื่อหาข้อบกพร่อง (Fault Simulation) ของวงจรหรือระบบด้วย ซึ่ง Fault Simulation สามารถจำลองผลกระทบที่เกิดจากข้อบกพร่องในกระบวนการผลิต รวมถึงข้อบกพร่องที่เกิดจากการเหนี่ยวนำของสิ่งแวดล้อม ตัวอย่างเช่น กรณีที่มีผู้นำชิพประมวลผลไปใช้บนดาวเทียม รังสีต่างๆ ในอวกาศอาจเหนี่ยวนำให้วงจรบนชิพเปลี่ยนสถานะโดยไม่ต้องการ ทำให้เกิดความผิดพลาด เช่น Single-Bit Error ได้ ซึ่งถ้าอัตราการผิดพลาดบิต (Bit Error Rate) สูงเกินไป เราอาจปรับแก้ไขงานออกแบบให้ทนทานต่อข้อบกพร่องด้วยเทคนิคต่างๆ ได้

3.5.3 การออกแบบในระดับวงจร

การออกแบบในระดับวงจร คือ การออกแบบในระดับวงจร (Circuit Design) และการออกแบบในระดับกายภาพ (Physical Design) โดยการออกแบบในระดับวงจร คือ การออกแบบลอจิกเกตและฟลิปฟลอปต่างๆ ให้กลายเป็นทรานซิสเตอร์ ซึ่งในขั้นตอนนี้จะมีการวิเคราะห์วงจรและการจำลองเชิงเวลา (Timing Simulation) ควบคู่กันไป เพื่อตรวจสอบว่าวงจรและระบบที่ออกแบบไว้ทำงานสอดคล้องกับข้อกำหนดต่างๆ ที่ตั้งไว้ในตอนแรกหรือไม่

การออกแบบในระดับกายภาพหรือระดับล่างสุด คือ การออกแบบผังภูมิ (Layout) ของวงจรรวมที่ออกแบบไว้ โดยการแปลงทรานซิสเตอร์ตามกระบวนการผลิตชิพวงจรรวม ภายหลังการออกแบบจะมีการตรวจสอบความถูกต้องตามกฎหมายออกแบบ การสกัดค่าพารามิเตอร์ต่างๆ และการจำลองในระดับวงจร เช่น Timing Simulation อีกครั้ง โดยนำค่าพารามิเตอร์ที่สกัดได้มาคำนวณ ซึ่งจะสามารถประเมินคุณสมบัติทางกายภาพที่ถูกต้องได้ เช่น พื้นที่ชิพ และกำลังที่สูญเสียเป็นความร้อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแบ่งระดับชั้นของการออกแบบเช่นนี้เราเรียกแต่ละระดับของการกำหนดสาระสำคัญ (Level of Abstraction) โดยการกำหนดสาระสำคัญในระดับสูง จะประกอบด้วยส่วนประกอบที่ซับซ้อน และทรงพลังเป็นจำนวนน้อย เช่น วงจรบวก (Adder) และหน่วยความจำ (Memory) ซึ่งตรงข้ามกับการกำหนดสาระสำคัญในระดับล่าง ที่จะประกอบด้วยส่วนประกอบจำนวนมากที่ไม่ซับซ้อน และไม่ทรงพลัง เช่น ประตูสัญญาณ (Gate) และทรานซิสเตอร์ โดยทั่วไปกระบวนการออกแบบจะเป็นในลักษณะจากบนลงล่าง

หากมีการตรวจพบข้อผิดพลาดที่ระดับล่าง การแก้ไขจะเป็นไปได้ยาก และมีราคาแพงกว่ากรณีที่ตรวจพบข้อผิดพลาดแต่เนิ่นๆ ในระดับสูง เพราะมีรายละเอียดที่ต้องแก้ไขมาก ทำให้เสียเวลาและโอกาสในการนำผลิตภัณฑ์ออกสู่ตลาด นำมาซึ่งการสูญเสียรายได้ที่คาดหวัง นี่คือแรงจูงใจที่ผลักดันให้เกิดการพัฒนาภาษาบรรยายฮาร์ดแวร์ต่างๆ (Hardware Description Language) เพื่ออำนวยความสะดวกให้นักออกแบบสามารถจำลองการทำงานที่ระดับต่างๆ ได้หลายระดับ ทำให้ความผิดพลาดต่างๆ ถูกค้นพบและแก้ไขแต่เนิ่นๆ ภาษา VHDL ก็เป็นภาษาหนึ่งที่มีความสามารถเช่นนี้

3.6 ข้อกำหนดสำหรับภาษา VHDL

DoD ได้ตั้งข้อกำหนดสำหรับภาษา VHDL ในเดือนมกราคม ปี ค.ศ.1983 ไว้ดังนี้

3.6.1 ลักษณะทั่วไป

DoD ได้กำหนดให้ VHDL เป็นภาษาสำหรับการออกแบบและบรรยายของฮาร์ดแวร์ ซึ่งหมายถึงความสามารถในการอธิบายและออกแบบในระดับสูง การจำลอง (Simulation) การสังเคราะห์ (Synthesis) และการทดสอบ (Testing) นอกจากนั้น VHDL ยังถูกกำหนดไว้สำหรับการบรรยายฮาร์ดแวร์ตั้งแต่ระดับบน ซึ่งก็คือระบบจนถึงระดับเกทอีกด้วย

เนื่องจากในการทำงานของระบบดิจิตอลนั้น ทุกๆ องค์ประกอบภายในระบบไม่ว่าเล็กหรือใหญ่จะทำงานไปพร้อมๆ กัน ซึ่งในเรื่องของความพร้อมเพรียงในการทำงานก็ถือเป็นข้อกำหนดที่สำคัญอย่างหนึ่งของ VHDL ด้วยเช่นกัน (สำหรับในภาษาที่ใช้ในการบรรยายฮาร์ดแวร์นั้นความพร้อมเพรียงจะหมายถึงทุกๆ คำสั่ง องค์ประกอบ เกทหรือวงจรลอจิกจะถูกนำมาปฏิบัติทั้งหมด ดังนั้นในที่สุดแล้วก็จะดูเหมือนว่าได้มีการปฏิบัติไปพร้อมๆ กัน)

3.6.2 สนับสนุนการออกแบบแบบลำดับขั้น

การออกแบบแบบลำดับขั้นเป็นลักษณะที่สำคัญอย่างหนึ่งสำหรับการออกแบบระบบที่มีหลายๆ ระดับ โดยในการออกแบบจะประกอบด้วยส่วนการบรรยายการเชื่อมต่อ และส่วนการบรรยายหน้าที่การทำงาน ซึ่งหน้าที่การทำงานของระบบสามารถกำหนดได้ด้วยตัวเอง หรืออาจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถูกกำหนดโดยโครงสร้างที่ประกอบด้วยองค์ประกอบย่อยๆ ลงไปได้เช่นกัน แต่ที่ระดับล่างสุด องค์ประกอบต้องถูกบรรยายหน้าที่การทำงานด้วยตัวมันเอง และไม่สามารถกำหนดการทำงานโดยลักษณะแบบโครงสร้างได้

3.6.3 ไลบรารี

VHDL ได้สนับสนุนการมีไลบรารีเพื่อระบบการจัดการที่ดี ผู้ออกแบบสามารถกำหนดลักษณะและการทำงานของอุปกรณ์พื้นฐานไว้ในระบบไลบรารี หรือจะใช้ไลบรารีที่ระบบได้จัดเตรียมไว้แล้วก็ได้ โมเดลและการบรรยายที่ถูกต้องควรจัดเก็บไว้ในไลบรารี หลังจากที่ได้ผ่านการคอมไพล์เรียบร้อยแล้ว เพื่อให้ผู้ออกแบบคนอื่นๆ สามารถนำไปใช้ได้ด้วย

3.6.4 ลำดับคำสั่ง

แม้ว่าการปฏิบัติคำสั่งหรือกระบวนการโดยพร้อมเพรียงกันจะเป็นคุณสมบัติที่สำคัญของ VHDL ก็ตาม ตัวภาษาเองก็ยังมีการจัดเตรียมลักษณะการควบคุมแบบลำดับคำสั่งไว้ให้ด้วย เมื่อผู้ออกแบบได้กำหนดหน้าที่และองค์ประกอบที่ทำงานพร้อมกันของระบบไว้เรียบร้อยแล้ว ผู้ออกแบบยังสามารถบรรยายหน้าที่การทำงาน ซึ่งเป็นรายละเอียดภายในของแต่ละองค์ประกอบได้ในลักษณะเดียวกับการเขียนโปรแกรมที่ประกอบด้วยโครงสร้างแบบ case, if - then - else และ loop ทั่วๆ ไปได้

การบรรยายแบบลำดับคำสั่งทำให้การออกแบบหน้าที่การทำงานของอุปกรณ์กระทำได้สะดวกและง่ายขึ้น อย่างไรก็ตามโครงสร้างทั้งหมดของ VHDL ก็ยังคงเป็นการทำงานแบบพร้อมเพรียงกันเช่นเดิม

3.6.5 การกำหนดคุณสมบัติ

นอกจากการกำหนดอินพุทและเอาท์พุทแล้ว เงื่อนไขอื่นๆ ก็มีผลต่อการปฏิบัติหน้าที่ของอุปกรณ์ฮาร์ดแวร์ด้วยเช่นกัน โดยสิ่งนี้รวมถึงสภาพแวดล้อมและลักษณะทางกายภาพของอุปกรณ์นั้นๆ ด้วย ซึ่งภาษาสำหรับการออกแบบที่ดีควรให้ผู้ออกแบบกำหนดคุณสมบัติของอุปกรณ์ที่ใช้ได้ด้วย เช่น สามารถกำหนดขนาด ลักษณะทางกายภาพ เวลา โหลด และเงื่อนไขทางสภาพแวดล้อมอื่นๆ ซึ่งความสามารถในการกำหนดคุณสมบัตินี้ก็เป็นส่วนหนึ่งที่มีอยู่ในภาษา VHDL ด้วยเช่นกัน

3.6.6 ชนิดของข้อมูล

VHDL สามารถกำหนดชนิดของข้อมูลไม่เพียงแต่ชนิด BIT และ BOOLEAN เท่านั้น แต่ยังสามารถกำหนดชนิดของข้อมูลเป็นจำนวนเต็ม จำนวนจริง จุดทศนิยม และชนิดลำดับการนับ (Enumerate Type) หรือแม้แต่ชนิดของข้อมูลที่ผู้ออกแบบกำหนดขึ้นมาเองก็ได้

3.6.7 โปรแกรมย่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสามารถในการใช้ฟังก์ชันและโพรซีเจอร์ (Procedure) ก็เป็นข้อกำหนดอีกอย่างหนึ่งใน VHDL ซึ่งผู้ออกแบบสามารถนำโปรแกรมย่อยมาใช้ในการเปลี่ยนแปลงชนิดของข้อมูล การกำหนดหน่วยของลอจิก การกำหนดตัวกระทำต่างๆ หรือหน้าที่อื่นๆ ตามที่ต้องการได้เช่นเดียวกับการเขียนโปรแกรมทั่วไป

3.6.8 การควบคุมเวลา

VHDL อนุญาตให้ผู้ออกแบบสามารถกำหนดเวลาในการส่งผ่านข้อมูลหรือสัญญาณได้ตามต้องการ การตรวจสอบ การออกแบบเกท หรือการหน่วงเวลาก็สามารถกระทำได้โดยการกำหนดช่วงเวลาที่แน่นอน หรือกำหนดให้มีการรอคอยเหตุการณ์ (Event) นอกจากนี้ก็ยังสามารถกำหนดรูปแบบของสัญญาณนาฬิกาได้อีกด้วย

3.6.9 การกำหนดแบบโครงสร้าง

การกำหนดโครงสร้างขององค์ประกอบต่างๆ สามารถกระทำได้ในทุกระดับของการออกแบบ โดยการกำหนดโครงสร้างขององค์ประกอบร่วมที่เกิดจากองค์ประกอบย่อยซึ่งแตกต่างกันหรือเหมือนกันก็เป็นข้อกำหนดอย่างหนึ่งของ VHDL เช่นกัน

3.7 องค์ประกอบพื้นฐานของ VHDL

รูปแบบพื้นฐานที่ใช้ในการบรรยายถึงองค์ประกอบของ VHDL จะประกอบไปด้วยส่วนกำหนดการเชื่อมต่อ (Interface) และส่วนกำหนดลักษณะเชิงสถาปัตยกรรม (Architecture) ดังรูปที่ 3.4 โดยในการบรรยายการเชื่อมต่อจะขึ้นต้นด้วยคำว่า ENTITY แล้วตามด้วยชื่อขององค์ประกอบจากนั้นตามด้วยคำว่า IS และถัดมาจะเป็นการบรรยายถึงพอร์ตการติดต่อ อินพุท- เอาท์พุทขององค์ประกอบ ส่วนลักษณะภายนอกอื่น ๆ เช่น เวลา อุณหภูมิก็สามารถรวมเข้าไปในส่วนนี้ได้เช่นกัน

ในส่วนของการกำหนดลักษณะเชิงสถาปัตยกรรมจะขึ้นต้นด้วยคำว่า ARCHITECTURE ซึ่งเป็นส่วนที่ใช้บรรยายหน้าที่การทำงานขององค์ประกอบ โดยหน้าที่การทำงานนี้จะขึ้นอยู่กับสัญญาณอินพุท-เอาท์พุท และพารามิเตอร์อื่นๆ ที่ได้กำหนดไว้ในส่วนของการเชื่อมต่อดังรูปที่ 3.4 และสำหรับการบรรยายหน้าที่ขององค์ประกอบจะเริ่มต้นหลังจากคำว่า BEGIN เป็นต้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ENTITY component_name  IS
    Input and output ports
    Physical and other parameters
END  [component_name] ;

ARCHITECTURE  identifier OF component_name  IS
    [declartion]
BEGIN
    specification of  the functionality of the component
    in terms of its input lines and as influenced
    by physical and other parameters
END  [identifier] ;
```

รูปที่ 3.4 การกำหนดการเชื่อมต่อและสถาปัตยกรรม

3.7.1 การกำหนดการเชื่อมต่อ

การกำหนดการเชื่อมต่อเป็นระดับบนสุดของการออกแบบ โดยในระดับนี้ต้องกำหนดพอร์ตสำหรับการติดต่อกับองค์ประกอบภายนอกอื่นๆ ดังตัวอย่างในรูปที่ 3.5 ซึ่งเป็นบล็อคไดอะแกรม และการบรรยายการเชื่อมต่อขององค์ประกอบสำหรับตัวจ่ายสัญญาณนาฬิกา

ในบรรทัดแรกของการบรรยายการเชื่อมต่อเป็นการกำหนดชื่อขององค์ประกอบซึ่งกำหนดเป็น clock_component ตามด้วยคำว่า PORT และชื่อของพอร์ตอยู่ภายในวงเล็บ ส่วน IN และ OUT เป็นการกำหนดโหนดของสัญญาณให้เป็นอินพุทหรือเอาท์พุท และ BIT เป็นการแสดงชนิดของข้อมูล

```
ENTITY clock_component IS
    PORT (en : IN BIT;ck : OUT BIT )
END clock_name;
```

รูปที่ 3.5 บล็อคไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_component

3.7.2 การกำหนดรูปแบบการบรรยาย

หน้าที่การทำงานขององค์ประกอบจะถูกบรรยายภายในส่วนนี้ ซึ่งในการบรรยายสามารถกำหนดค่าของสัญญาณเอาท์พุทในเทอมของอินพุท หรือในรูปขององค์ประกอบอื่นๆ หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งสองอย่างรวมกันก็ได้ ดังตัวอย่างการบรรยายของ clock_component ในรูปที่ 3.6 ซึ่งเป็นการบรรยายในเชิงพฤติกรรมโดยมี en เป็นอินพุทและ ck เป็นเอาท์พุท

PROCESS เป็นคำที่ใช้ในการเริ่มต้นสำหรับการบรรยายในเชิงพฤติกรรม และภายในโปรเซสกำหนดให้ periodic เป็นตัวแปรที่มีค่าเริ่มต้นเป็น "0" ถ้าสัญญาณ en มีค่าเป็น "1" จะทำให้ตัวแปร periodic ถูกคอมพลีเมนท์ (Complement) และส่งค่าให้กับ ck ซึ่งเป็นสัญญาณเอาท์พุท และสำหรับคำสั่ง WAIT จะเป็นการกำหนดให้สัญญาณมีคาบเวลาเท่ากับ 1 ไมโครวินาที

```
ARCHITECTURE behavioral OF clock_component IS

BEGIN
    PROCESS
        VARIABLE periodic : BIT := '0';
    BEGIN
        IF en='1' THEN
        periodic := Not periodic;
        END IF;
        ck <= periodic;
        WAIT FOR 1 US;
    END PROCESS;
END behavioral;
```

รูปที่ 3.6 การบรรยายเชิงพฤติกรรมของ clock_component

3.7.3 หน่วยการออกแบบแพ็กเก็ต

ข้อมูลต่างๆ ตลอดจนโปรแกรมย่อย ที่เป็นประโยชน์ต่อการเขียนรูปแบบการบรรยายระบบดิจิตอล สามารถเก็บไว้ในส่วนของแพ็กเก็ต ซึ่งหน่วยการออกแบบต่างๆ เช่น หน่วยการออกแบบ Entity หน่วยการออกแบบสถาปัตยกรรม หรือหน่วยการออกแบบแพ็กเกจอื่นๆ สามารถเรียกข้อมูลเหล่านี้ไปใช้ได้ นอกจากนั้นสิ่งที่นิยมทำกันมาก คือ การนำรูปแบบมาตรฐานต่างๆ เช่น อุปกรณ์มาตรฐาน (เช่น ไอซีตระกูล 74XX เป็นต้น) มาเก็บไว้ในรูปของแพ็กเกจ ที่ทุกคนสามารถเข้าถึงได้

ตามปกติแล้วแพ็กเกจจะแบ่งออกเป็น 2 ส่วน คือ การประกาศแพ็กเกจ (Package Declaration) และส่วนของบอดี้แพ็กเกจ (Package Body) เนื่องจากแพ็กเกจถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่นำแพ็กเกจไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษา VHDL สามารถกระทำได้ด้วยชุดคำสั่ง USE

3.7.3.1 Package Declaration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนที่มีความสำคัญที่สุดของแพ็กเกจ (ถ้ามองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ ส่วนการประกาศแพ็กเกจ เนื่องจากเป็นส่วนที่ใช้กำหนดชื่อของสิ่งที่ประกาศอยู่ภายในแพ็กเกจ สำหรับนำไปใช้ภายนอกตัวของแพ็กเกจเอง ถ้ามีการประกาศสิ่งใดๆ ในส่วนของส่วนบอดี้แพ็กเกจ แต่ไม่ถูกประกาศในส่วนการประกาศแพ็กเกจ จะทำให้ค่าและพฤติกรรมไม่สามารถนำไปใช้งานในส่วนนอกได้ ซึ่งเปรียบเทียบได้กับสิ่งที่ประกาศไว้ในส่วนของการประกาศ Entity คือ จุดเชื่อมต่อ หรือพอร์ต ที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้วแพ็กเกจสามารถสร้างขึ้นได้โดยไม่จำเป็นต้องมีส่วนบอดี้ และยังสามารถนำไปใช้งานจากรูปแบบภายนอกได้ เช่น ใช้สำหรับประกาศ ชนิด (Type) หรือสัญญาณ เช่นเดียวกับส่วนบอดี้แพ็กเกจที่ไม่จำเป็นต้องมีส่วนของการประกาศแพ็กเกจ แต่แพ็กเกจนั้นจะไม่สามารถนำไปใช้จากรูปแบบอื่นได้

```
PACKAGE package_name IS
    Package_declarative_part
END package_name;
```

รูปที่ 3.7 โครงสร้างทั่วไปของส่วนการประกาศแพ็กเกจ

3.7.3.2 Package Body

โครงสร้างซึ่งประกอบด้วยลำดับคำสั่งที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อยทั้งหลาย ซึ่งชื่อของโปรแกรมย่อยนั้นๆ ได้ถูกประกาศไปแล้วในส่วนของการประกาศแพ็กเกจ จะถูกเก็บไว้ในส่วนของบอดี้แพ็กเกจ ทั้งนี้รวมถึงการกำหนดค่าคงที่ต่างๆ ได้แก่ ค่าคงที่ที่ถูกประกาศชื่อไว้ก่อนในส่วนของการประกาศแพ็กเกจ และถูกกำหนดค่าในส่วนของบอดี้แพ็กเกจ ฉะนั้นในส่วนของบอดี้แพ็กเกจจึงไม่จำเป็นต้องมี ถ้าในส่วนของการประกาศแพ็กเกจไม่มีการประกาศชื่อที่เป็นโปรแกรมย่อย หรือค่าคงที่ การเขียนบอดี้แพ็กเกจนั้นจะเป็นไปตามกฎเกณฑ์ดังรูปที่ 3.8

```
PACKAGE BODY package_name IS
    declarative part
END package_name;
```

รูปที่ 3.8 โครงสร้างของบอดี้แพ็กเกจ

3.7.4 หน่วยการออกแบบ Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังที่ทราบกันแล้วว่าระบบดิจิตอลรูปแบบหนึ่งไม่ว่าจะเป็นอะไรก็ตาม จะสามารถมีหน่วยการออกแบบ Entity ได้เพียงหนึ่งเดียวเท่านั้น ซึ่งในหน่วยการออกแบบ Entity หนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรมที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมีหน่วยการออกแบบ Configuration มาเพื่อกำหนดการใช้ Configuration ของการประกอบ Entity กับหน่วยการออกแบบสถาปัตยกรรมหน่วยใดๆ เข้าด้วยกัน

```
COMFIGURTRIONidentifierOF entiry_name IS
    Configuretion_declarative_part
END ;
```

รูปที่ 3.9 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ

3.7.5 โปรแกรมย่อย

การใช้ฟังก์ชันและโพรซีเจอร์ใน VHDL เปรียบได้กับการใช้โปรแกรมย่อยในการเขียนโปรแกรมภาษาชั้นสูงทั่วๆ ไป ค่าที่ถูกส่งกลับหรือถูกเปลี่ยนแปลงโดยโปรแกรมย่อยอาจจะมีหรือไม่มีผลต่อฮาร์ดแวร์โดยตรงก็ได้ เช่น ถ้าใช้ฟังก์ชันแทนการกระทำในสมการบูลีนก็จะมีผลต่อวงจรลอจิกจริงๆ แต่ถ้าใช้โปรแกรมย่อยในการเปลี่ยนชนิดของข้อมูลหรือในการคำนวณค่าการหน่วงเวลาแล้วก็จะไม่มีผลต่อโครงสร้างของฮาร์ดแวร์ ดังรูปที่ 3.10 แสดงการใช้โพรซีเจอร์เพื่อเปลี่ยนข้อมูลชนิด 8 บิตเป็นค่าจำนวนเต็ม และรูปที่ 3.11 แสดงการใช้ฟังก์ชันโดยกำหนดให้ X เป็นตัวแปรชนิดบิตแทนการกระทำในสมการบูลีน

```
TYPE byte IS ARRAY (7 DOWNTO 0)  OF BIT;
 ...
PROCEDURE  byte_to_integer (ib : IN byte; oi : OUT INTEGER) IS
        VARIABLE result: INTEGER := 0;
BEGIN
        FOR i IN 0 TO 7 LOOP
                IF ib(i) = '1' THEN
                result  := result + 2**i;
                END IF;
        END LOOP;
        oi := result;
END byte_to_integer
```

รูปที่ 3.10 การใช้โพรซีเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
FUNCTION f (a, b, c:BIT)RETURNBIT  IS
        VARIABLE x:BIT;
BEGIN
        x := ((NOT a) AND (NOT b) AND c);
        RETURN x;
END f;
```

รูปที่ 3.11 การใช้ฟังก์ชัน

3.7.6 โอเปอร์เรเตอร์

การบรรยายเชิงพฤติกรรมในภาษา VHDL มีตัวดำเนินการหรือโอเปอร์เรเตอร์ทางลอจิกและคณิตศาสตร์เช่นเดียวกับภาษาซอฟท์แวร์ทั่วไปดังรูปที่ 3.12

PREDEFIND OPERATORS
LOGICAL OPERATORS : NOT AND OR NAND NOR XOR OPERAND TYPE : BIT BOOLEAN RESULT TYPE : BIT BOOLEAN
RELATIONAL OPERATORS : = /= < <= > >= OPERAND TYPE : any type RESULT TYPE : Boolen
ARITHMETIC OPERATORS : + - * / ** MOD REM ABS OPERAND TYPE : INTEGER REAL Physical RESULT TYPE : INTEGER REAL Physical
CONCANTENATION OPERATOR : & OPERAND TYPE : ARRAY of any type RESULT TYPE : array of any type RESULT TYPE : array of any type

รูปที่ 3.12 ตัวดำเนินการใน VHDL

3.7.7 เวลาและความพร้อมเพรียง

ในวงจรอิเล็กทรอนิกส์อุปกรณ์ทุกๆ ตัวจะอยู่ในสภาพเตรียมพร้อมเสมอ (Always Active) และจะมีเรื่องของเวลาเข้ามาเกี่ยวข้องในทุกๆ เหตุการณ์ที่เกิดขึ้นเสมอ

VHDL เป็นภาษาที่ได้รับการออกแบบมาเพื่อให้สามารถบรรยายรูปแบบ และการพ้องกันของเวลาสำหรับการทำงานของอุปกรณ์ได้อย่างถูกต้อง การบรรยายการทำงานที่อยู่ภายในส่วนของการบรรยายสถาปัตยกรรม จะมีการทำงานที่พร้อมเพรียงกันเสมอ หรือแม้แต่โปรเซสซึ่งมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานภายในเป็นแบบลำดับคำสั่งก็ตาม ซึ่งหากมีหลายๆ โปรเซสอยู่ภายในโครงสร้างเดียวกัน ทุกๆ โปรเซสก็จะทำงานไปพร้อมๆ กันด้วย

3.7.8 สัญญาณและตัวแปร

สัญญาณมีลักษณะเป็นเสมือนตัวกลางฮาร์ดแวร์ที่ใช้ในการส่งผ่านข้อมูลและมีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย การกำหนดค่าให้กับสัญญาณจะใช้สัญลักษณ์ <= ในการส่งค่าและสามารถใช้คำสั่ง AFTER เพื่อกำหนดช่วงเวลาในการส่งผ่านค่าของสัญญาณเช่น w <= a AFTER 12 NS หมายถึง การกำหนดค่าสัญญาณ a ให้กับ w หลังจากเวลาผ่านไป 12 นาโนวินาที

ในทางตรงข้าม ตัวแปรมีลักษณะเป็นเสมือนตัวกลางที่ใช้ในการส่งผ่านข้อมูลและไม่มีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย ซึ่งตัวแปรจะถูกใช้ในส่วนที่มีการทำงานเป็นแบบลำดับคำสั่ง เช่น ในฟังก์ชันโพรซีเจอร์และโปรเซส สำหรับการกำหนดค่าให้กับตัวแปรจะใช้สัญลักษณ์ :=

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

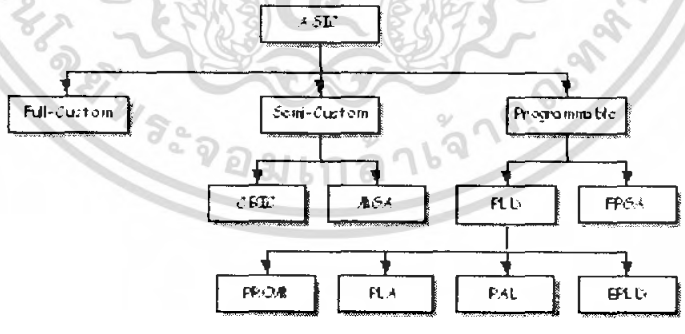
บทที่ 4
โครงสร้างและหลักการทำงานของ FPGA

4.1 ความเป็นมาของเอซิก (ASIC)

ในช่วงก่อนทศวรรษ 1970 นักประดิษฐ์ได้คิดค้นวงจรรวมหรือไอซีเป็นตัวแรก ในยุคแรกนั้นไอซีขนาดเล็กหรือ SSI (Small-Scale Integration) มีเกทดิจิตอลจำนวนน้อย ต่อมาได้เพิ่มปริมาณของเกทดิจิตอล และฟังก์ชันทางลอจิกให้มากขึ้นจนเป็น MSI (Medium-Scale Integration) การพัฒนาทำมาอย่างต่อเนื่องจนเป็น LSI (Large-Scale Integration) ซึ่งเป็นยุคที่มีการสร้างไมโครโปรเซสเซอร์ตัวแรกขึ้น ส่วนในปัจจุบันนี้จะเป็นยุคของ VLSI (Very Large-Scale Integration) และมีการพัฒนากันมาอย่างต่อเนื่อง ซึ่งจากการเกิดของ VLSI (Very Large-Scale Integration) ทำให้มีการคิดค้นที่จะผลิตไอซีตามความต้องการของลูกค้า โดยไอซีเหล่านี้มีชื่อเรียกว่า ASIC : Application-Specific Integrated Circuit

4.2 ประเภทของ ASIC

ASIC แบ่งเป็น 3 ประเภทใหญ่ๆ คือ Full-custom, Semi-custom และ Programmable ดังรูปที่ 4.1



รูปที่ 4.1 ประเภทของ ASIC

4.2.1 Full-custom

ASIC ประเภทนี้ลูกค้าจะเป็นผู้ออกแบบเซลล์ลอจิก และลักษณะการจัดวางอุปกรณ์บนตัวไอซี รวมถึงหน้ากากสำหรับควบคุมการเจือและสร้างชั้นสาร (Mask) ต่างๆ ที่ใช้ในการทำไอซีเอง ดังนั้นค่าใช้จ่ายในการออกแบบและการผลิตจะสูงมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 Semi-custom

ASIC ประเภทนี้เซลล์ลอจิกจะถูกออกแบบเอาไว้ก่อนแล้ว ในรูปแบบของไลบรารี และลูกค้าจะเป็นผู้ออกแบบ Mask ต่างๆ เอง ตัวอย่างของไอซีประเภทนี้ ได้แก่ Standard-Cell-Based ASIC และ Masked Gate-Array-Based ASIC

4.2.2.1 Standard-Cell–Based ASIC

ไอซีประเภทนี้จะมีพื้นที่สำหรับจัดวางเซลล์ลอจิกมาตรฐาน ซึ่งถูกออกแบบเอาไว้แล้ว ในบางครั้งเซลล์มาตรฐานเหล่านี้จะถูกนำมาประกอบกันเป็นเซลล์ที่มีขนาดใหญ่ขึ้น เรียกว่า Megacell สำหรับการออกแบบนั้นผู้ออกแบบจะทำเพียงแค่กำหนดตำแหน่งของเซลล์มาตรฐาน และการเชื่อมต่อภายในของแต่ละเซลล์เท่านั้น แต่อย่างไรก็ดีเซลล์ต่างๆ เหล่านี้สามารถวางที่ตำแหน่งใดๆ ก็ได้บนแผ่นเวเฟอร์ซิลิกอน นั่นก็หมายความว่าชั้น Mask จะถูกจัดวางตามความต้องการของผู้ออกแบบ

4.2.2.2 Masked Gate-Array-Based ASIC

ไอซีชนิดนี้จะมีทรานซิสเตอร์หรือเกทถูกสร้างมาในลักษณะของArray 2 มิติบนแผ่นเวเฟอร์ซิลิกอน และผู้ออกแบบจะทำการออกแบบ Mask เพื่อใช้สำหรับกำหนดการต่อเชื่อมของทรานซิสเตอร์แต่ละตัว

4.2.3 Programmable

ASIC ประเภทนี้เซลล์ลอจิกจะถูกออกแบบไว้ก่อนเช่นเดียวกับ Semi-Custom แต่ชั้นของ Mask จะไม่สามารถเปลี่ยนแปลงได้ตามความต้องการของผู้ออกแบบ ไอซีประเภทนี้แบ่งออกเป็น 2 ชนิดคือ Programmable Logic Device (PLD) และ Field-Programmable Gate Array (FPGA)

4.2.3.1 Programmable Logic Device (PLD)

มีโครงสร้างภายในเป็นวงจรพื้นฐานทางด้านลอจิกต่อกันอยู่เป็นกลุ่ม ซึ่งมีทั้งวงจร คอมบิเนชัน (Combination) และซีเควนเชียล (Sequential) ไอซี PLD ทุกชนิดมีหลักการพื้นฐานของวงจรภายในที่เหมือนกัน โดยมีวงจรคอมบิเนชันที่เป็นผลคูณร่วมบวก (Sum of product) ประกอบไปด้วยชุดของแอนด์เกทต่อร่วมกับออร์เกท และในการโปรแกรมจะเป็นการเลือกว่าอินพุทภายในของแอนด์เกทกับสัญญาณอินพุทใดบ้างที่จะต้องต่อถึงกัน ซึ่งมีทั้งจากภายนอกและสัญญาณป้อนกลับจากเอาท์พุทภายในเอง สำหรับไอซีในตระกูล PLD ได้แก่ PROM, PAL, PLA และ EPLD

4.2.3.1.1 PROM (Programmable Read Only Memory)

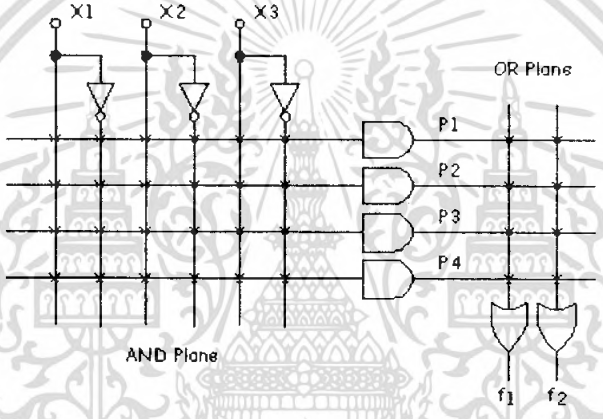
PROM คือ หน่วยความจำประเภท ROM ซึ่งนับว่าเป็นไอซี PLD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดหนึ่ง ซึ่งวงจรภายในของ PROM ประกอบไปด้วยอะเรย์ของแอนด์และออร์เกท (And - Or Array) ผลลัพธ์ที่ขาดาต้าเอาท์พุทสามารถแสดงได้ในสมการของฟังก์ชันผลคูณร่วมบวก (Sum of product) ของสัญญาณอินพุทที่ขาแอดเดรส

4.2.3.1.2 PLA (Programmable Logic Array)

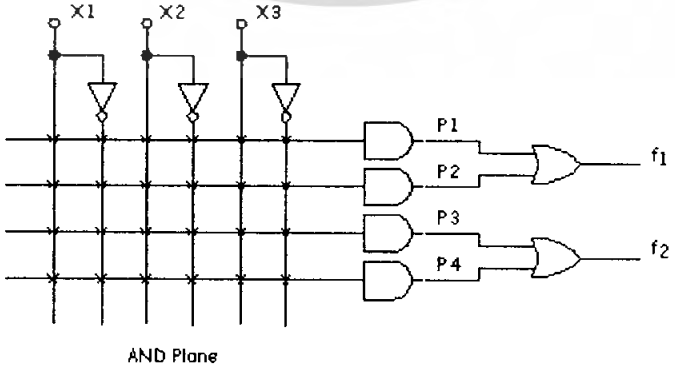
ลักษณะเด่นของ PLA คือ สามารถโปรแกรมการเชื่อมต่อได้ทั้งทางด้าน AND และด้าน OR ทำให้มีความยืดหยุ่นในการใช้งานมาก แต่อย่างไรก็ดีข้อเสียที่เห็นได้อย่างชัดเจนของ PLA คือ ความยุ่งยากในการสร้าง และคุณสมบัติทางด้านความเร็วที่ลดลง เนื่องจากสัญญาณจะต้องวิ่งผ่านอะเรย์ของ AND และ OR



รูปที่ 4.2 วงจรพื้นฐานภายในของ PLA

4.2.3.1.3 PAL (Programmable Array Logic)

PAL มีลักษณะโครงสร้างที่ใกล้เคียงกับ PROM และ PLA มาก แต่การโปรแกรม PAL จะสามารถทำได้เพียงด้าน AND เท่านั้น



รูปที่ 4.3 วงจรพื้นฐานภายในของ PAL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3.1.1 EPLD (Erasable Programmable Logic Device)

EPLD เป็นอุปกรณ์ที่สามารถทำการโปรแกรมได้หลายครั้ง ซึ่งเหมาะสำหรับการทำวงจรต้นแบบ สำหรับเทคโนโลยีที่ใช้ในการสร้างจะเหมือนกับ CMOS, EPROM คือ ใช้มอสทรานซิสเตอร์เชื่อมต่อระหว่างสัญญาณอินพุทกับจุดที่ต้องการแทนการใช้ฟิวส์แบบเดิม ทำให้สามารถโปรแกรมการต่อวงจรภายในอุปกรณ์ด้วยการจ่ายไฟฟ้าตามขนาดที่กำหนดไว้และลบได้โดยใช้แสงอัลตราไวโอเลตฉายผ่านช่องหน้าต่างกระจกของตัวชิพ

4.2.3.2 Field-Programmable Gate Array (FPGA)

เป็นอุปกรณ์ที่มีความซับซ้อนมากกว่า PLD ไปอีกระดับหนึ่ง ซึ่งในความเป็นจริงแล้ว PLD และ FPGA แตกต่างกันน้อยมาก สำหรับ FPGA แล้วนับว่าเป็นอุปกรณ์ตัวใหม่ในตระกูลของ ASIC ซึ่งมีการเจริญเติบโตอย่างรวดเร็ว และมีบทบาทที่สำคัญในการเข้ามาแทนที่ระบบอิเล็กทรอนิกส์ที่ใช้ TTL

โครงสร้างภายในของ FPGA ประกอบด้วย อะเรย์ของลอจิกเกทต่างๆ มากมาย ซึ่งในปัจจุบันความจุเกทภายในตัวชิพ FPGA ได้เพิ่มขึ้นจากระดับไม่กี่พันตัวจนถึงระดับล้านตัว ซึ่งสามารถรองรับวงจรดิจิตอลที่มีความสลับซับซ้อนได้เป็นอย่างดี นอกจากนี้ในด้านการออกแบบพัฒนาและทดสอบก็ทำได้ง่าย ซึ่งในปัจจุบันการออกแบบวงจรโดยใช้ FPGA กำลังเป็นที่นิยมและมีแนวโน้มที่จะนำมาใช้งานมากขึ้นเรื่อยๆ

4.3 หลักการของ FPGA

ในปัจจุบันมี FPGA อยู่ 4 ชนิดที่วางขายอยู่ในท้องตลาด ได้แก่ Symmetrical Array, Row-Based, Hierarchical PLD และ Sea-of-Gates ซึ่งแต่ละชนิดก็มีลักษณะการเชื่อมต่อภายใน และการโปรแกรมที่แตกต่างกันไป นอกจากนี้ ในการแบ่งประเภทของ FPGA อาจแบ่งได้ตามเทคโนโลยีที่ใช้ในการโปรแกรม ซึ่งมีอยู่ 2 แบบคือ การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพของตัวชิพ และการโปรแกรมโดยการใช้หน่วยความจำ

4.3.1 การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพ

- Fuse เป็นวิธีการโปรแกรมที่สามารถทำได้เพียงครั้งเดียว ซึ่งหลังจากที่โปรแกรมแล้วจุดเชื่อมต่อจะขาดจากกัน

- Anti Fuse เป็นวิธีการโปรแกรมที่คล้ายกับแบบ Fuse แต่ต่างกันที่หลังจากทำการโปรแกรมแล้ว จุดเชื่อมต่อจะเชื่อมถึงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 การโปรแกรมโดยใช้หน่วยความจำ

4.3.2.1 EEPROM Based FPGA

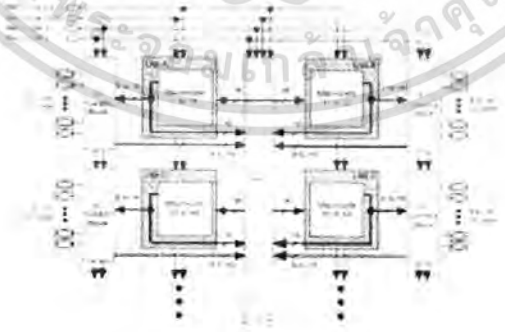
FPGA ที่ใช้การโปรแกรมแบบนี้มักเรียกว่า CPLD ซึ่งเทคโนโลยีที่ใช้จะเหมือนกับ EEPROM ทำให้มีความจุของเกทต่ำ โดยทั่วไปจะน้อยกว่า 20,000 เกท แต่ข้อดีของ EEPROM Based FPGA คือ สามารถเก็บข้อมูลที่โปรแกรมลงไปได้โดยไม่จำเป็นต้องมีไฟเลี้ยง และในการโปรแกรมจะใช้ทรานซิสเตอร์ 1 ตัวต่อ 1 บิท ซึ่งการโปรแกรมสามารถทำได้ประมาณ 10,000 ครั้ง

4.3.2.2 SRAM Based FPGA

FPGA แบบนี้จะใช้เทคโนโลยีในการโปรแกรมเหมือนกับ SRAM (Static RAM) ทำให้สามารถโปรแกรมซ้ำได้โดยไม่จำกัดจำนวนครั้ง นอกจากนี้ ยังมีความจุของเกทในระดับปานกลางถึงสูงมาก (ประมาณ 10,000-1,000,000 เกท) ซึ่งข้อดีของ SRAM Based FPGA คือ ใช้เวลาในการโปรแกรมน้อย (ระดับ nsec) การโปรแกรมทำได้ง่ายเทียบได้กับการเขียน SRAM ทั่วไป และเหมาะสำหรับการออกแบบวงจรที่มีความสลับซับซ้อน ส่วนข้อเสีย คือ ไม่สามารถเก็บโปรแกรมในภาวะที่ไม่มีไฟเลี้ยงได้ ดังนั้น FPGA ชนิดนี้จึงมักใช้ควบคู่กับ ROM เพื่อเก็บโปรแกรมและทำการโหลดโปรแกรมลงในตัวชิพในขณะที่เริ่มต้นใช้งาน

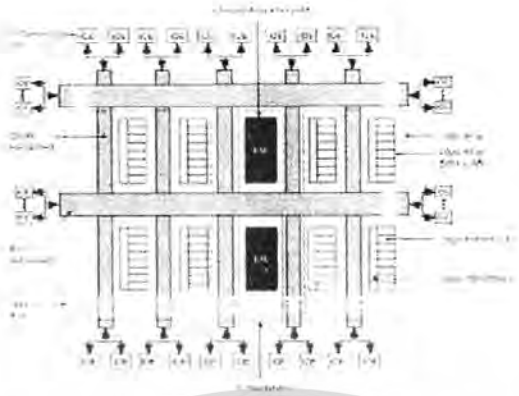
4.3.3 โครงสร้างภายในของ FPGA

ลักษณะโครงสร้างภายในของ FPGA จะเป็นอะเรย์ของบล็อคลอจิกที่สามารถทำการโปรแกรมได้ดังรูปที่ 3.4 และ 3.5



รูปที่ 4.4 โครงสร้างภายในของ FPGA ตระกูล MAX7000S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 โครงสร้างภายในของ FPGA ตระกูล FLEX10K

4.3.4 ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่าย สะดวก และรวดเร็ว

4.3.4.1 ผู้ออกแบบไม่ต้องเรียนรู้โครงสร้างภายในของชิพ เพียงแต่รู้เรื่องการออกแบบภายในก็พอแล้ว

4.3.4.2 มีการออกแบบโดยใช้ภาพในการอธิบายการทำงานของวงจรหรือ HDL ทำให้รวดเร็วและไม่จำเป็นต้องทราบลักษณะวงจรที่ต้องการว่าจะต่ออย่างไร เพียงแต่กำหนดลักษณะการทำงานให้มัน จากนั้นตัวซอฟต์แวร์จะทำ Synthesis and Optimize ให้ทั้งหมด

4.3.4.3 การโปรแกรมสามารถทำได้ง่าย โดยส่งข้อมูลผ่านสายดาวน์โหลดทางพอร์ตของคอมพิวเตอร์ ก็สามารถโปรแกรมตัวชิพขณะที่อยู่ในระบบได้

รูปที่ 4.6 การโปรแกรมลงในชิพ

4.3.5 การออกแบบวงจร

การออกแบบวงจรด้วย FPGA โดยการใช้ Schematic หรือใช้ภาษาอธิบายการทำงานของวงจรจะทำได้สะดวก เนื่องจากผู้ออกแบบไม่จำเป็นต้องคำนึงถึงเทคโนโลยีที่จะใช้สร้างไอซี และที่สำคัญการออกแบบโดยวิธีนี้สามารถแก้ไขโมเดล (Model) หรือเปลี่ยนแปลงเทคโนโลยีได้สะดวกกว่า เพราะไม่ต้องวาดวงจรใหม่ นั่นคือ การออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์ จะทำให้โมเดลที่ได้ไม่ขึ้นกับเทคโนโลยี สำหรับภาษาที่ใช้สำหรับอธิบายพฤติกรรมของฮาร์ดแวร์ที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กัน ได้แก่ VHDL, AHDL และ Verilog เป็นต้น ซึ่งรายละเอียดในการออกแบบสามารถอธิบายได้ดังนี้

4.3.5.1 การสังเคราะห์วงจร (Logic Synthesis)

ขั้นตอนนี้จะใช้ซอฟต์แวร์ในการสังเคราะห์วงจร (Synthesis Tools) ทำการสังเคราะห์พฤติกรรมของวงจรที่ได้จากการออกแบบด้วย Schematic หรือ VHDL และทำการตรวจสอบด้วยว่าซอฟต์แวร์นั้นสนับสนุนเทคโนโลยี FPGA (FPGA Library) หรือไม่ ซอฟต์แวร์สังเคราะห์วงจรจะทำการแปลงโค้ด VHDL และทำการ Optimize เพื่อให้ได้วงจรตามเทคโนโลยีที่เลือกใช้

การ Optimize ซอฟต์แวร์สังเคราะห์วงจร จะต้องทำการ Optimize ให้ได้เป็นวงจรที่ประกอบด้วยกลุ่มของลอจิกที่เหมาะสมกับอุปกรณ์ FPGA นั้นๆ จึงทำให้ผลที่ได้มีประสิทธิภาพ

ส่วนสำคัญในการ Optimize คือ การเทียบ (Mapping) โมเดลให้เข้ากับเทคโนโลยีที่ใช้ เพื่อให้ได้วงจรที่เหมาะสมกับโครงสร้าง และสถาปัตยกรรมภายในอุปกรณ์ FPGA เมื่อทำการสังเคราะห์วงจรเสร็จแล้ว ซอฟแวร์การสังเคราะห์วงจรก็จะมีการรายงานผลว่าโมเดลที่ออกแบบไปนั้นเป็นอย่างไร และจะทราบว่าโมเดลเป็นไปตามข้อบังคับหรือไม่ ถ้าไม่ก็สังเคราะห์ใหม่จนกว่าจะเป็นไปตามที่กำหนด

4.3.5.2 การแบ่งวงจร (Partitioning)

ขั้นตอนนี้เป็นการแบ่งวงจรที่ได้จากการสังเคราะห์เป็นส่วนย่อยๆ สำหรับลงใน CLBs, IOBs หรือองค์ประกอบอื่นๆ ภายในอุปกรณ์ FPGA สำหรับเกณฑ์ที่ใช้ในการแบ่ง คือ ให้แต่ละส่วนที่จะแยกออกจากกันมีจำนวนสัญญาณที่เชื่อมต่อระหว่างกันน้อยที่สุดเท่าที่จะทำได้ เพื่อลดความหนาแน่นในขณะทำการเชื่อมต่อสัญญาณ (Routing) ในขั้นตอนนี้จะใช้ซอฟต์แวร์ทำโดยซอฟต์แวร์จะเทียบส่วนประกอบของวงจร

หลังจากที่ขั้นตอนนี้เสร็จแล้วสามารถที่จะทราบว่าวงจรใช้จำนวนทรัพยากรภายในอุปกรณ์FPGA ไปเท่าไร ส่วนข้อมูลทางเวลานั้นผู้ออกแบบจะทราบเฉพาะความหน่วงภายในแต่ละส่วนเท่านั้น หรือที่เรียกว่าความหน่วงลอจิก (Logic Delay) ส่วนซอฟต์แวร์จะรวมเอาซอฟต์แวร์ย่อยอื่นๆ อีก เพื่อให้การทำ PPR (Partitioning Placement & Routing) เป็นไปอย่างต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.5.3 การวางอุปกรณ์ (Placement)

ขั้นตอนนี้เป็นการเลือกทำเลที่ตั้งของแต่ละส่วนของวงจรที่ผ่านการแบ่งวงจร (Partitioning) มาแล้วว่าควรจะอยู่ ณ ตำแหน่งไหนในอุปกรณ์ FPGA เพื่อให้ได้ผลลัพธ์ที่ดีที่สุด

การวางอุปกรณ์ที่ดีควรวางส่วนต่างๆ ให้อยู่ใกล้กัน โดยเฉพาะส่วนที่มีการเชื่อมต่อสัญญาณด้วยกัน นอกจากนั้น การกำหนดตำแหน่งขา I/O (I/O pin) ตามตำแหน่งขา I/O ของ FPGA บนแผ่น PCB ก็จะมีผลโดยตรง คือ ซอฟต์แวร์จะวาง I/O ลงในตำแหน่งที่ผู้ออกแบบกำหนด ซึ่งบางครั้งตำแหน่งที่กำหนดไปไม่เหมาะสม ดังนั้น การกำหนดขา I/O ควรกำหนดตำแหน่งให้เหมาะสม หรือให้ซอฟต์แวร์จัดการเอง

4.3.5.4 การเชื่อมต่อสัญญาณ (Routing)

ในขั้นตอนนี้เป็นการเชื่อมต่อสัญญาณระหว่างองค์ประกอบต่างๆ ภายในอุปกรณ์ FPGA ขั้นตอนนี้จะทำต่อเนื่องจากการวางอุปกรณ์ ในกรณีที่ทำการวางอุปกรณ์ไว้ไม่ดี ซอฟต์แวร์ก็จะทำการเชื่อมต่อสัญญาณได้ไม่หมด (เนื่องจากจำนวนทรัพยากรสำหรับเชื่อมต่อสัญญาณนั้นมีอยู่จำกัด) หรือเกิดความหน่วงเกินค่าที่กำหนดในข้อบังคับ

ขั้นตอนนี้สามารถทำได้โดยใช้ซอฟท์แวร์หรือทำการเชื่อมต่อสัญญาณเองก็ได้ แต่ทางที่ดีควรใช้ซอฟต์แวร์ทำดีกว่า นอกจากนั้น การกำหนดข้อบังคับทางเวลา จะช่วยให้ผลที่ได้จากการเชื่อมต่อสัญญาณดีขึ้นได้

4.3.5.5 ความหน่วงด้านเวลา (Delay)

ในการทำ FPGA นั้นความหน่วงที่เกิดขึ้น เป็นความหน่วงที่เกิดจากการวางตำแหน่ง (Layout) ของอุปกรณ์ สำหรับความหน่วงที่เกิดขึ้นนั้นแยกได้เป็น 2 ประเภท คือ

4.3.5.5.1 ความหน่วงลอจิก (Logic Delay) เป็นความหน่วงภายในองค์ประกอบของอุปกรณ์ FPGA เอง

4.3.5.5.2 ความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณ (Routing Delay) เป็นความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณระหว่างองค์ประกอบภายในอุปกรณ์ FPGA

โดยปกติแล้วค่าความหน่วงลอจิกไม่ควรเกิน 50% ของค่าความหน่วงที่ยอมรับได้ เพราะความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณ มักจะมีค่ามากกว่าค่าความหน่วงลอจิก ดังนั้น ในการวางอุปกรณ์และการเชื่อมต่อสัญญาณ ควรกำหนดข้อบังคับทางเวลา เพื่อให้ซอฟต์แวร์ได้ทำงานอย่างมีประสิทธิภาพเพิ่มขึ้น และเพื่อให้ได้ผลลัพธ์ที่ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.5.6 การจำลองการทำงานของวงจร (Simulation)

ในขั้นตอนนี้เป็นขั้นตอนที่สำคัญอีกขั้นตอนหนึ่ง เพราะเป็นขั้นตอนที่ผู้ออกแบบตรวจสอบฟังก์ชันการทำงานของโมเดลว่าถูกต้องหรือไม่ มีข้อผิดพลาดตรงไหนเพื่อจะได้ทำการแก้ไขให้ถูกต้อง ในขั้นตอนนี้จะมีซอฟต์แวร์ที่ใช้สำหรับทำการจำลองการทำงานของวงจรที่ใช้อยู่ เช่น Model Sim ของบริษัท Model Technology หรือ Max Plus II ของบริษัท Altera ในการจำลองการทำงานของวงจรควรทำทุกครั้งหลังจากที่มีการทำแต่ละขั้นตอนหลักเสร็จแล้ว เพื่อจะได้ทราบว่าข้อผิดพลาดของโมเดลเกิดขึ้นตอนไหน จะได้แก้ไขข้อผิดพลาดตรงขั้นตอนนั้นๆ ได้ทันที

การทำการจำลองการทำงานของวงจร ต้องทำทั้งหลังการเขียนโค้ด การสังเคราะห์วงจร และการทำ PPR

ในการจำลองการทำงานของวงจรหลังจากที่ทำการวางอุปกรณ์ การเชื่อมต่อสัญญาณ (Post Layout Simulation) แล้ว ก็มีความสำคัญเช่นกันเพราะผลที่ได้จากการจำลองการทำงานของวงจรในขณะนี้จะเป็นผลลัพธ์ของโมเดล ซึ่งการจำลองการทำงานของวงจรควรใช้ ซอฟต์แวร์ตัวเดียวกันตลอด เพื่อจะได้เปรียบเทียบผลที่ได้จากขั้นตอนต่างๆ

4.3.5.7 การโปรแกรมอุปกรณ์ FPGA (Configuration)

หลังจากที่โมเดลผ่านขั้นตอนต่างๆ จนกระทั่งผ่านการทำ PPR (Partitioning, Placement & Routing) แล้วนั้น ถึงตอนนี้ก็สามารถที่จะดาวน์โหลด (Download) ลงในอุปกรณ์ FPGA ได้แล้ว ในการดาวน์โหลดนี้ก่อนอื่นต้องแปลงแบบวงจรรวมที่ได้ เป็นข้อมูลวงจร (Configuration Data) ซึ่งอยู่ในรูปของบิตสตรีม (Bit Stream) ก่อนแล้วจึงดาวน์โหลดลงไปเพื่อให้อุปกรณ์ FPGA มีฟังก์ชันการทำงานตามโมเดลที่ต้องการ

ซึ่งในขั้นตอนนี้จะใช้วิธีที่แตกต่างกันออกไปสำหรับอุปกรณ์ FPGA ของแต่ละ บริษัทผู้ผลิต คือ ในกรณีที่เป็นอุปกรณ์ FPGA ชนิดที่ต้องโปรแกรมโดยวิธี SRAM นั้น ในการใช้งานจะต้องเก็บข้อมูลวงจรไว้ในหน่วยความจำประเภท EPROM หรือ Serial PROM ด้วย เพื่อจะใช้งานสะดวกขึ้น คือ ในการใช้งานโมเดลครั้งต่อไปไม่ต้องดาวน์โหลดข้อมูลวงจรจากเครื่องคอมพิวเตอร์อีก เพราะมีข้อมูลวงจรเก็บอยู่ในหน่วยความจำอยู่แล้ว แต่กรณีที่อุปกรณ์ FPGA เป็นชนิดที่โปรแกรมโดยใช้วิธี EPROM หรือ Anti Fuse ก็ไม่จำเป็นต้องมีหน่วยความจำสำหรับเก็บข้อมูลวงจร เพราะว่าอุปกรณ์ FPGA ชนิดนี้เมื่อดาวน์โหลดข้อมูลวงจรลงไป ข้อมูลที่ดาวน์โหลดลงไปก็ยังคงอยู่ในอุปกรณ์ FPGA และครั้งต่อไปก็ใช้งานโมเดลที่ออกแบบไว้ได้เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.6 เครื่องมือสำหรับการออกแบบ FPGA

จะเห็นได้ว่าการออกแบบเพื่อทำ FPGA นั้นทำได้สะดวกกว่า ASIC มาก เพราะใช้เวลาน้อยกว่ามาก ส่วนสำคัญที่ใช้ในการทำ FPGA คือ ซอฟต์แวร์ที่ใช้ตั้งแต่เขียนโค้ดอธิบายฮาร์ดแวร์ จนกระทั่งดาวน์โหลดลงในอุปกรณ์ FPGA ซึ่งซอฟต์แวร์ที่ใช้ต้องเป็นซอฟต์แวร์ที่ทำงานต่อเนื่องกันได้ สำหรับซอฟต์แวร์ที่ใช้ทำการจำลองการทำงานของวงจรนั้น ต้องสามารถใช้งานต่อเนื่องกับซอฟต์แวร์ที่ใช้ทั้งระบบ เพราะโมเดลที่ได้จากการทำขั้นตอนต่างๆ (ด้วยซอฟต์แวร์ต่างๆ) ต้องนำมาจำลองการทำงานได้ และในการจำลองการทำงานของวงจรควรใช้ซอฟต์แวร์ตัวเดียวกันตลอดทั้งระบบ เพื่อจะได้เปรียบเทียบผลได้ง่าย ในอดีตซอฟต์แวร์ส่วนใหญ่จะใช้งานอยู่บนคอมพิวเตอร์สมรรถนะสูงอย่างเวิร์คสเตชั่น (Workstation) ในปัจจุบันมีการพัฒนาซอฟต์แวร์ที่ใช้บนพีซี (PC) มากขึ้นซึ่งสามารถลดค่าใช้จ่ายในด้านอุปกรณ์คอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

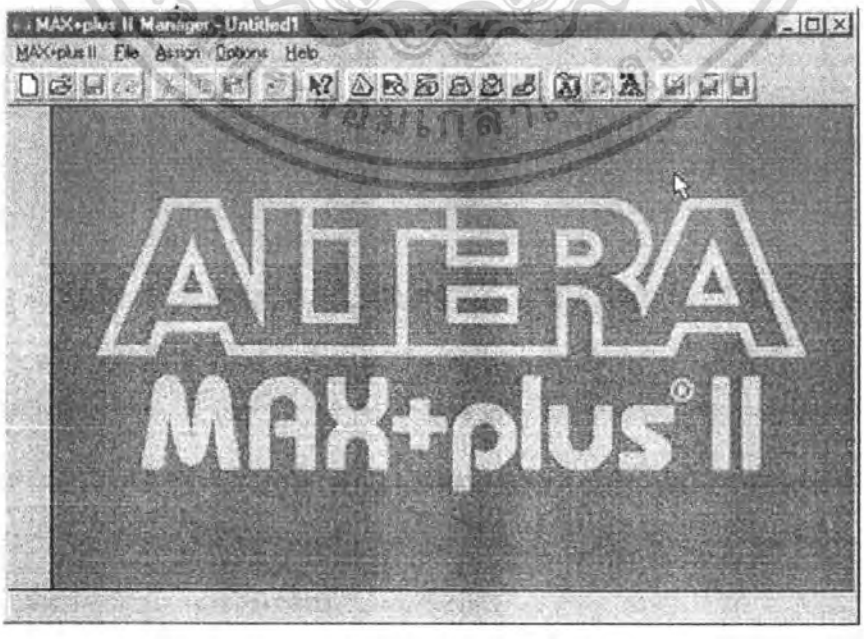
บทที่ 5
การใช้โปรแกรม Max+plus II เบื้องต้น

5.1 การเขียนวงจรดิจิตอลลงบนโปรแกรม Max+plus II

5.1.1 นำสมการลอจิกที่ได้มาเขียนวงจร จะได้ดังรูปที่ 5.1

รูปที่ 5.1 วงจรดิจิตอล

5.1.2 เปิดโปรแกรม Max+plus II



รูปที่ 5.2 หน้าโปรแกรม Max+plus II

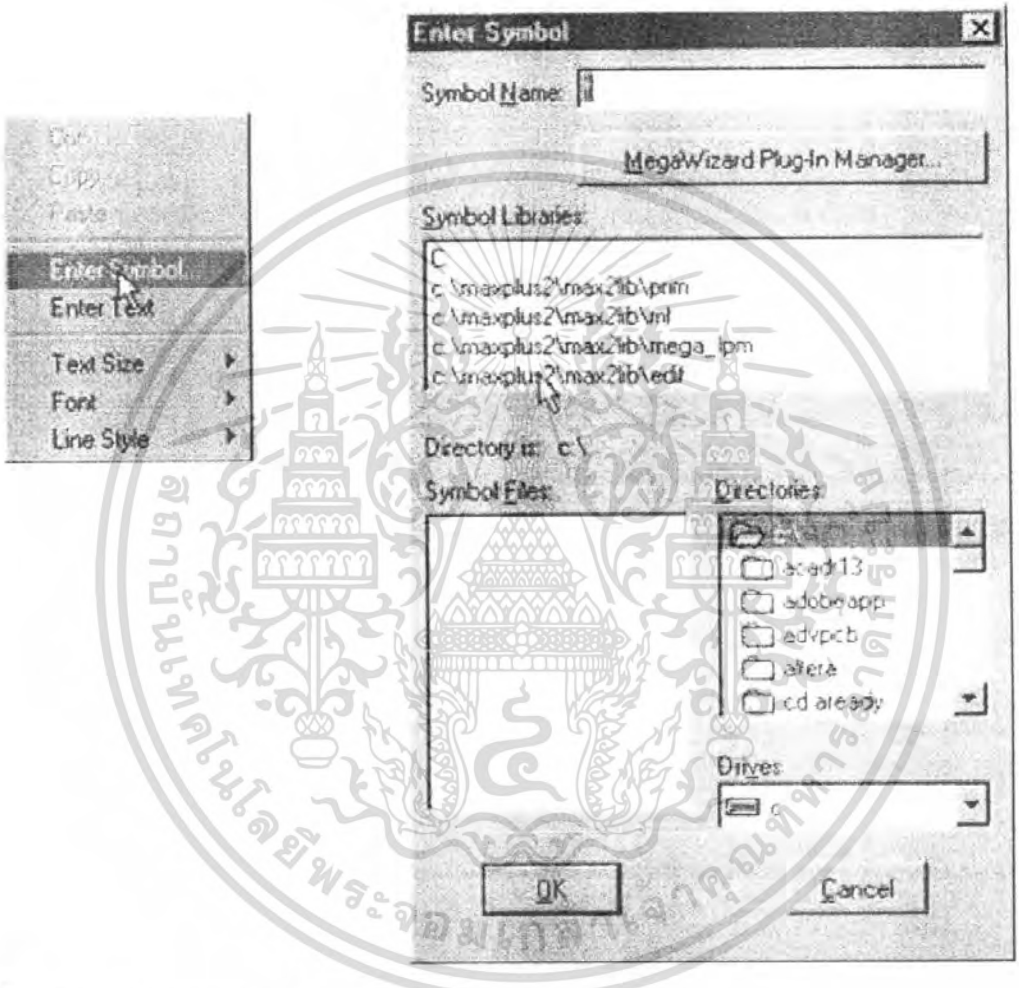
เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 คลิกซ้ายที่ Menu Bar "Max+plus II เลือก Graphic Editor"

รูปที่ 5.3 การเลือก Graphic Editor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.4 ชี้เมาส์ไปที่หน้าต่างสำหรับการออกแบบ แล้วคลิกขวา เลือก "Enter Symbol" แล้วคลิกซ้าย จะได้ดังนี้

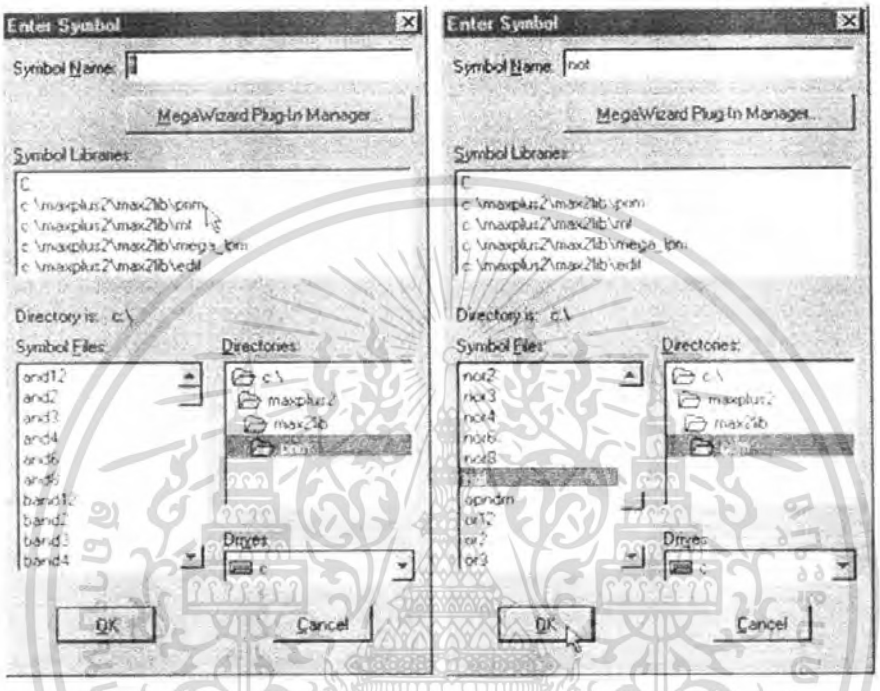


รูปที่ 5.4 การเลือก Enter Symbol

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

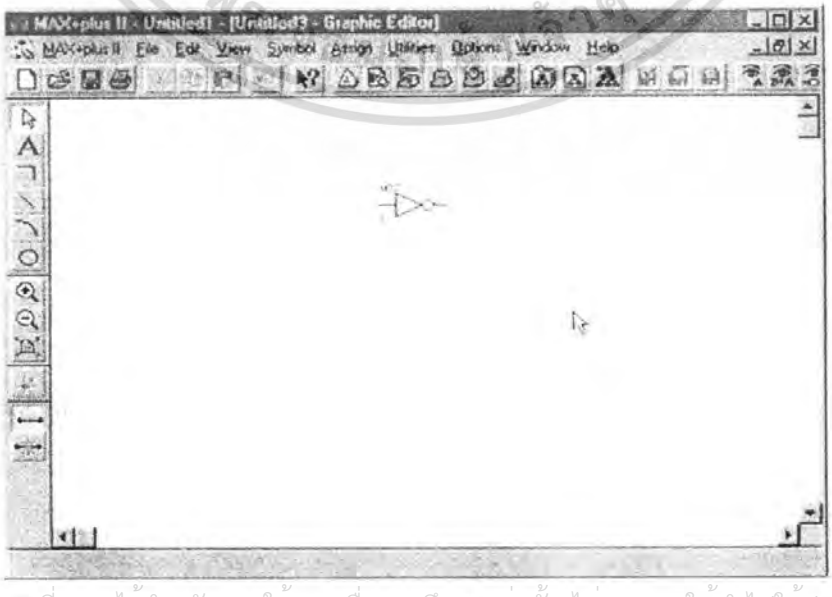
5.1.5 คลิกซ้าย 2 ครั้ง ที่ "Symbol Libaries: → c:\maxplus2\max2lib\prim"

5.1.6 เลื่อนแถบเลื่อนที่ช่องของ "Symbol Files:" ลงมาจนเจอ "not" แล้วใช้เมาส์คลิกซ้ายที่ "not" ดังรูปที่ 5.5



รูปที่ 5.5 การเลือก GATE

5.1.7 คลิกซ้ายที่ปุ่ม OK จะได้ดังรูปที่ 5.6



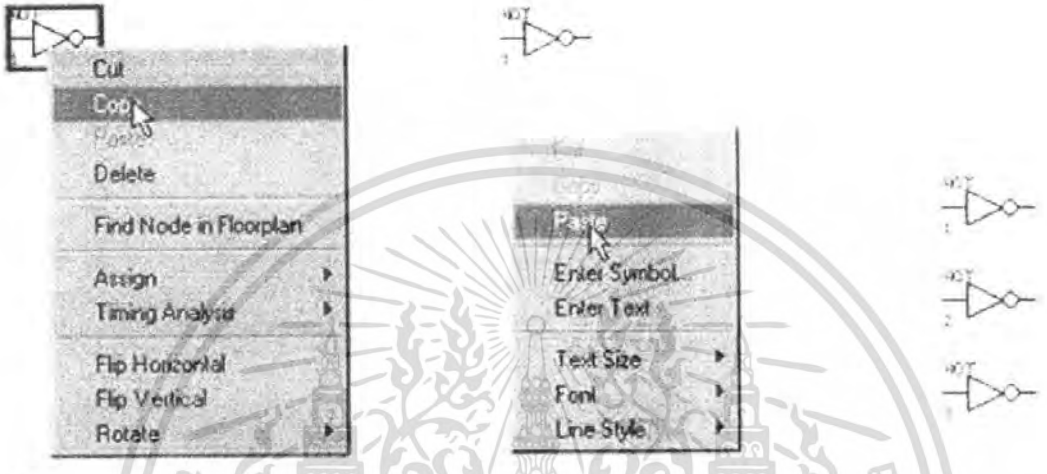
รูปที่ 5.6 การเลือก NOT GATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.8 ชี้เมาส์ไปที่ NOT เกจ แล้วคลิกขวา เลือก "Copy"

5.1.9 คลิกขวาตรงที่ว่าง แล้วเลือก "Paste" จะได้ NOT เกจ เพิ่มอีก 1 เกจ

5.1.10 ทำซ้ำข้อ 9 จนได้ NOT เกจ จำนวน 3 เกจ



รูปที่ 5.7 การเลือก Copy NOT GATE

5.1.11 ทำซ้ำข้อ 5-9 แต่เปลี่ยน "NOT เกจ" เป็น "AND เกจ"

5.1.12 ทำซ้ำข้อ 5-9 แต่เปลี่ยน "NOT เกจ" เป็น "OR เกจ"

5.1.13 ทำซ้ำข้อ 5-12 แต่เปลี่ยน "NOT เกจ" เป็น "INPUT"

5.1.14 ทำซ้ำข้อ 5-12 แต่เปลี่ยน "NOT เกจ" เป็น "OUTPUT"

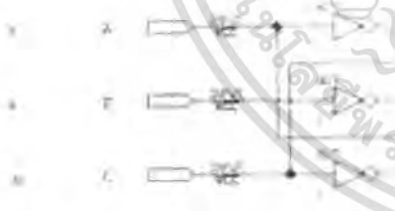
5.1.15 ทำการจัดเรียงให้สวยงาม ดังรูปที่ 5.8

รูปที่ 5.8 GATE ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.16 ทำการแก้ไขชื่อของอินพุตให้เป็น A, B และ C และแก้ไขเอาต์พุตให้เป็น Y และคลิกซ้ายที่ Tool Bar ดังรูปที่ 5.9 แล้วทำการเชื่อมองค์ประกอบทั้งหมดเข้าด้วยกัน ดังวงจรที่ได้ออกแบบไว้ ดังรูปที่ 5.10

รูปที่ 5.9 Tool Bar ของ Max+plus II

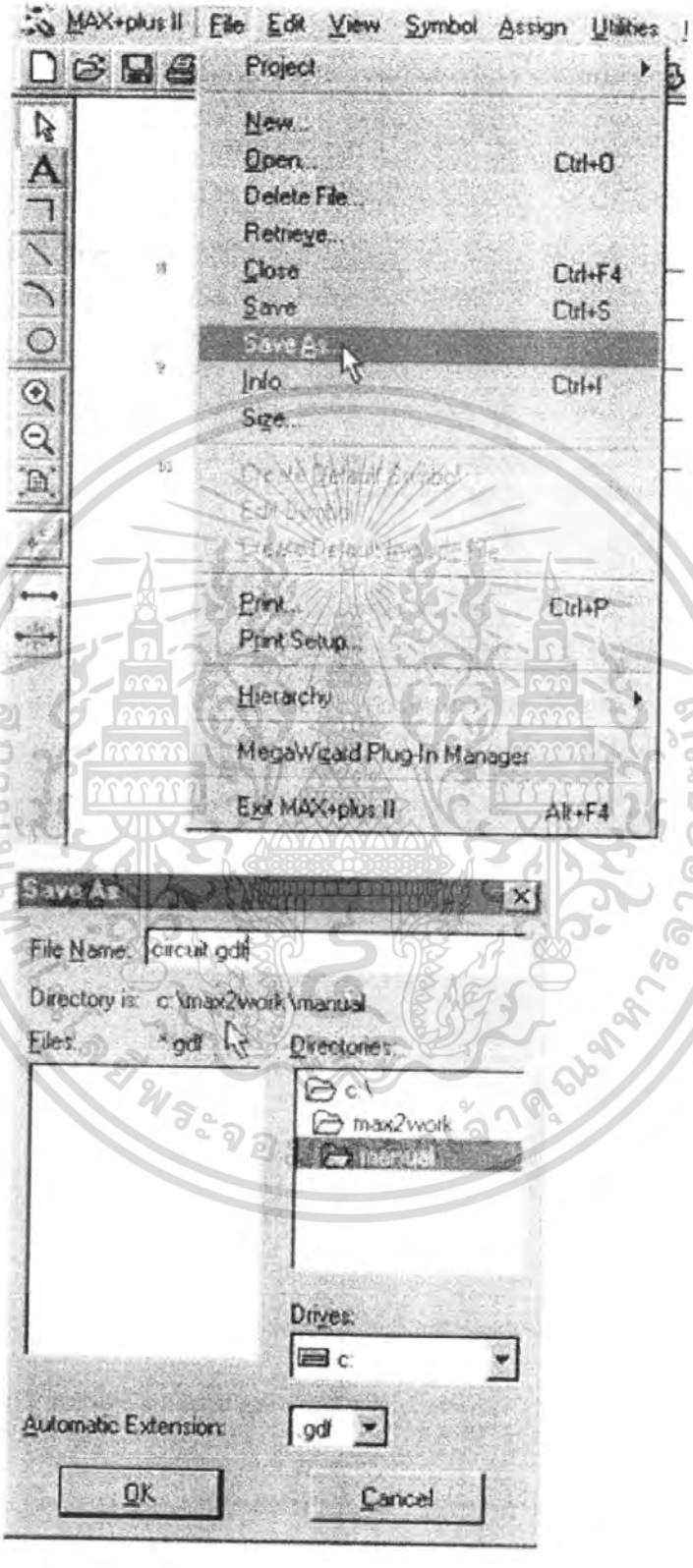


รูปที่ 5.10 วงจรดิจิตอล

5.2 การเก็บไฟล์

5.2.1 เมื่อได้ทำการสร้างวงจรดิจิตอลเรียบร้อยแล้ว ให้ทำการเก็บข้อมูล โดยคลิกซ้ายที่ Menu Bar "File → Save As..." แล้วทำการเลือกโฟลเดอร์ในการเก็บข้อมูล และพิมพ์ชื่อไฟล์ในช่อง "File Name:" ในที่นี้คือ เป็นการเก็บไฟล์ชื่อ circuit.gdf ไว้ในโฟลเดอร์ "c:/max2work/manual" เสร็จแล้วเลื่อนเมาส์มาที่ OK แล้วคลิกซ้าย ดังรูปที่ 5.11

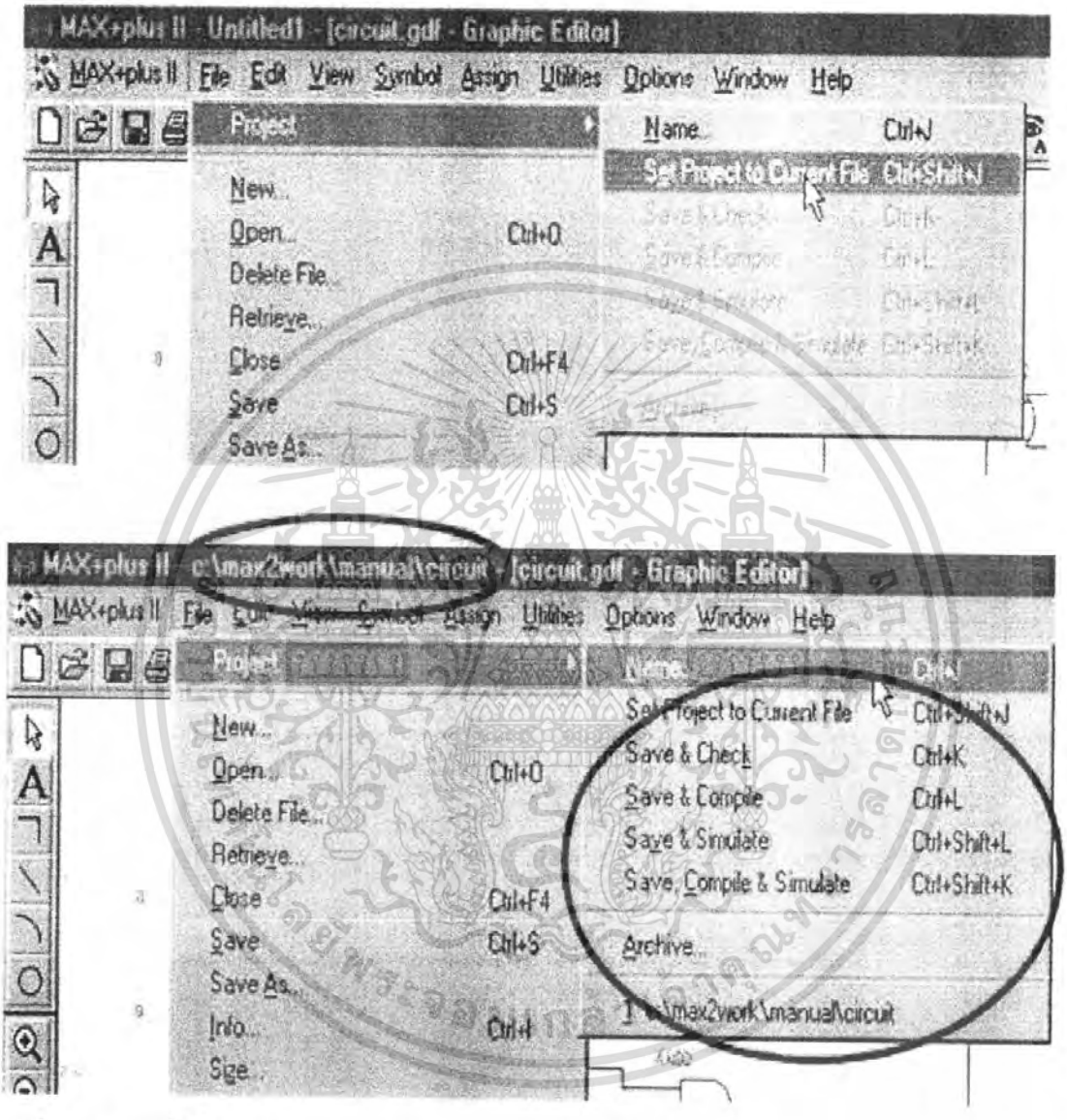
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 การเก็บไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 เลื่อนเมาส์ซ้ายมาที่ Menu Bar "File → Project → Set Project to Current File"

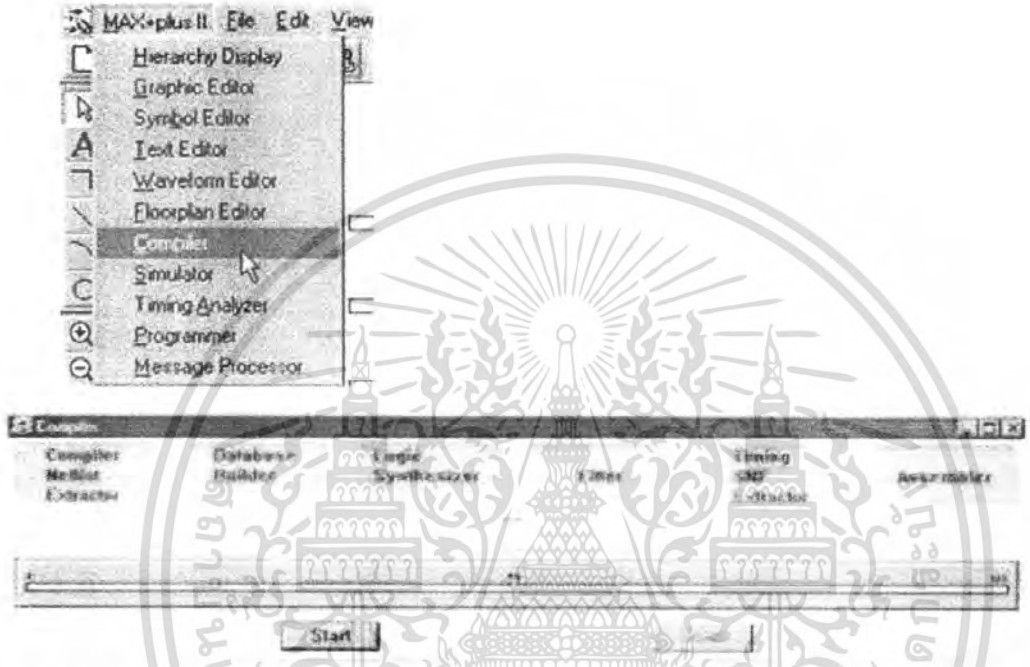


รูปที่ 5.12 การตั้งชื่อไฟล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

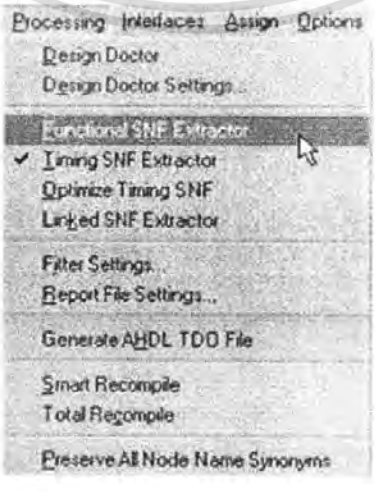
5.3 การคอมไพล

5.3.1 คลิกซ้ายที่ Menu Bar "Max+plus II เลือก Complier" จะมีหน้าต่างปรากฏขึ้นมาที่หน้าจอ (ฟังก์ชันต่างๆ ของการคอมไพลจะนำมากล่าวในลำดับต่อไป) ดังรูปที่ 5.13



รูปที่ 5.13 การ Complier

5.3.2 คลิกซ้ายที่ Menu Bar "Processing เลือก Functional SNF Extractor" ดังรูปที่ 5.14 จะปรากฏหน้าต่าง Complier ดังรูปที่ 5.15 จากนั้นให้คลิกซ้ายที่ปุ่ม Start



รูปที่ 5.14 การเลือก Functional SNF Extractor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.15 เริ่มต้นการคอมไพล

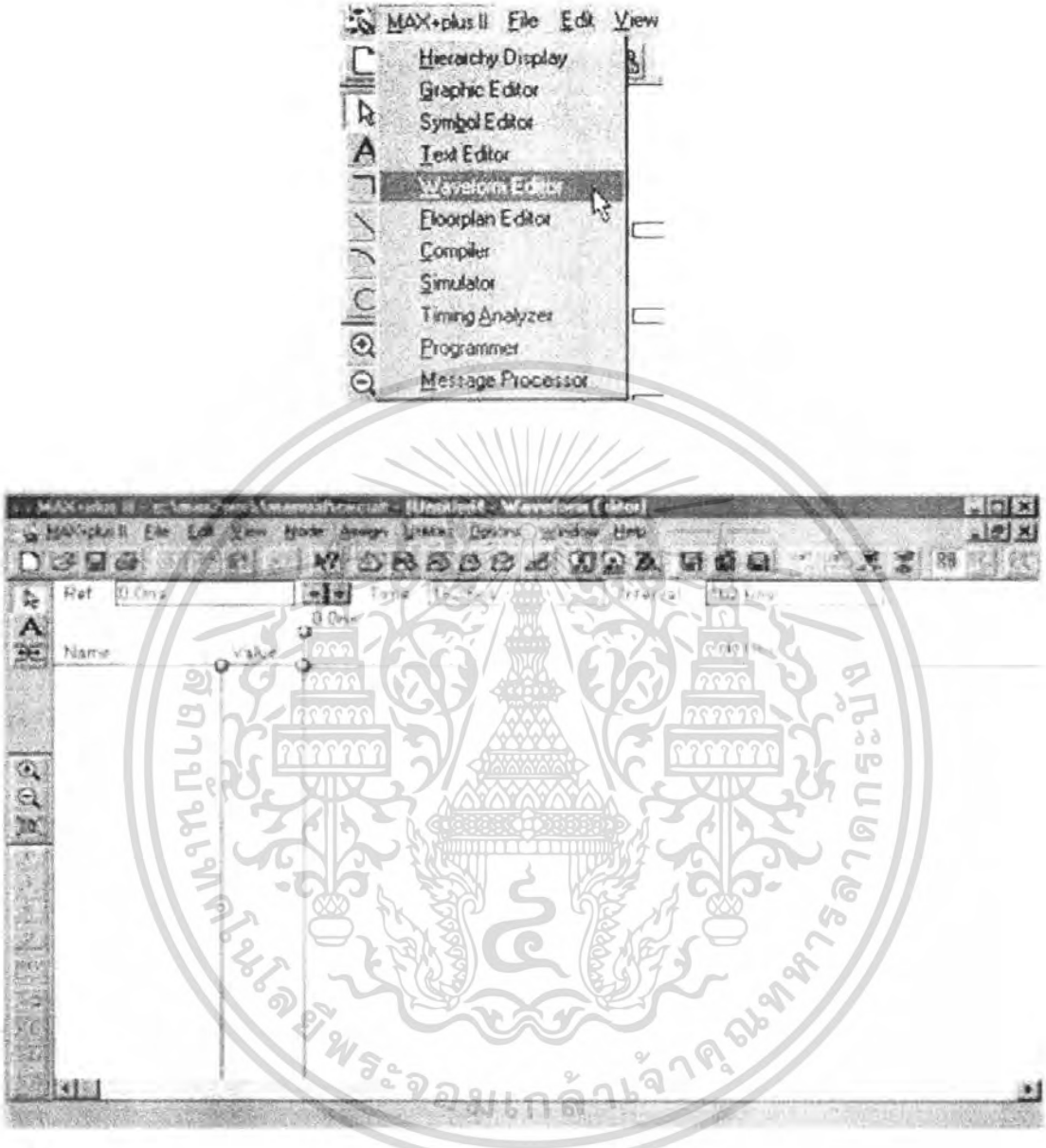
5.3.3 ถ้าผลของการคอมไพลปรากฏหน้าต่าง Max+plus II Complier แสดงว่า การคอมไพลสมบูรณ์ ให้คลิกซ้ายที่ปุ่ม OK ดังรูปที่ 5.16 ถ้ามี Error เกิดขึ้น โปรแกรมจะบอกให้ทราบว่าวงจรมี Error เกิดขึ้นที่ใดบ้าง ให้ทำการแก้ไขที่ Schematic ของวงจร แล้วทำการคอมไพลใหม่

รูปที่ 5.16 การคอมไพลสมบูรณ์

5.4 การสร้างรูปคลื่นของสัญญาณดิจิตอล

5.4.1 เลื่อนเมาส์มาคลิกซ้ายที่ Menu Bar "Max+plus II เลือก Waveform Editor" จะปรากฏหน้าต่าง ดังรูปที่ 5.17

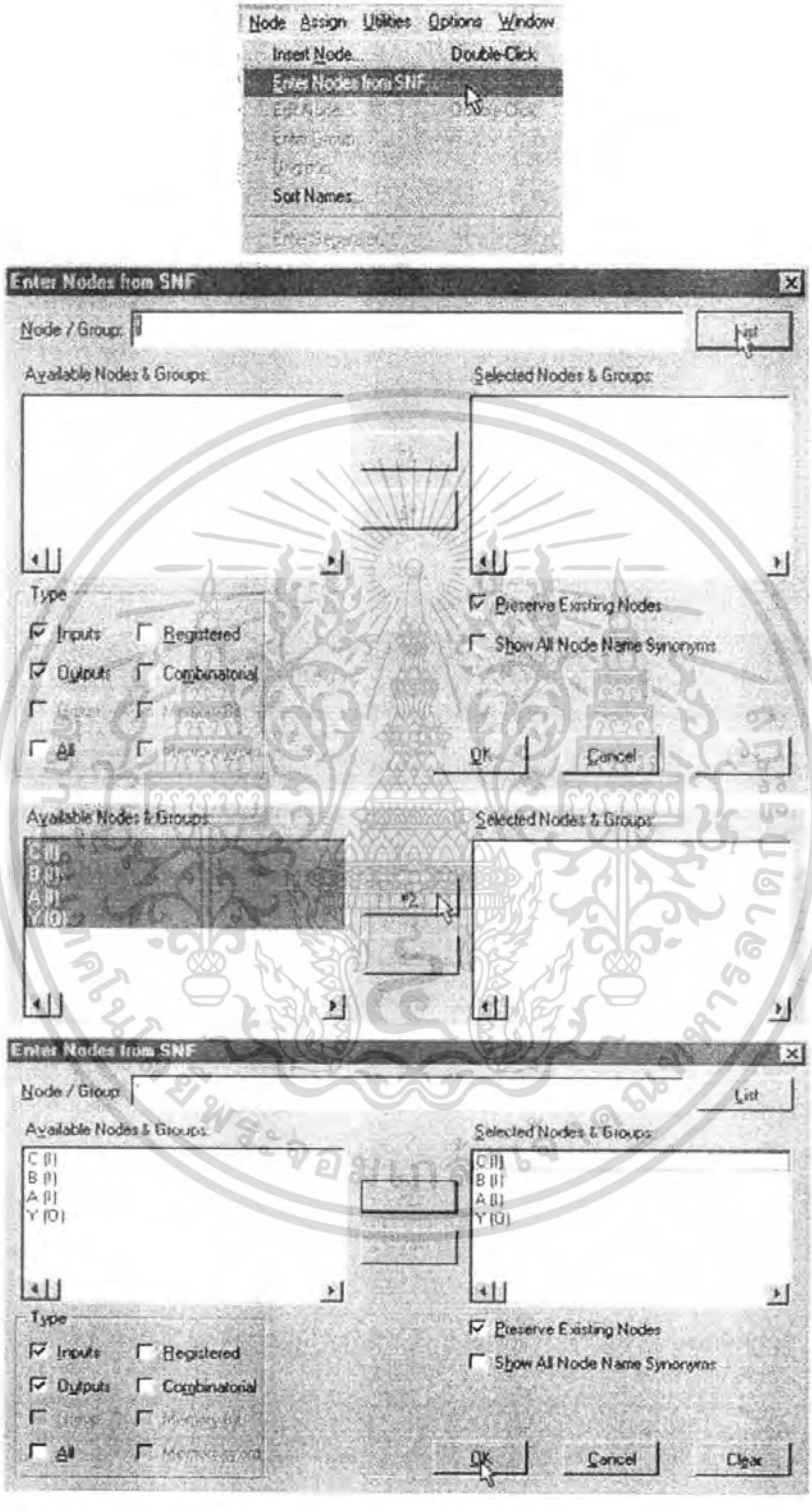
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.17 Waveform Editor

5.4.2 ทำการสร้างโหนด โดยเลื่อนเมาส์มาคลิกซ้ายที่ Menu Bar "Node เลือก Enter Nodes from SNF..." จะมีหน้าต่างปรากฏขึ้นมา เลื่อนเมาส์มาที่ปุ่ม List ที่ช่อง "Available Nodes & Groups:" จะมีการเปลี่ยนแปลง เลื่อนเมาส์มาคลิกซ้ายที่ปุ่ม => ที่ช่อง "Selected Nodes & Groups:" จะมีการเปลี่ยนแปลง แล้วมาคลิกเมาส์ซ้ายที่ปุ่ม OK

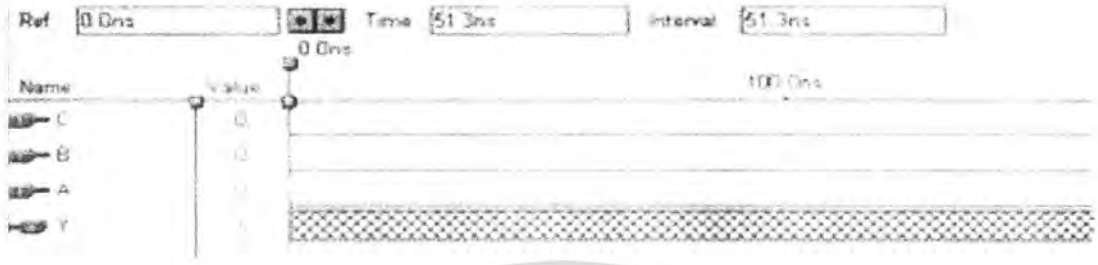
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.18 การสร้างโหนด C, B, A และ Y

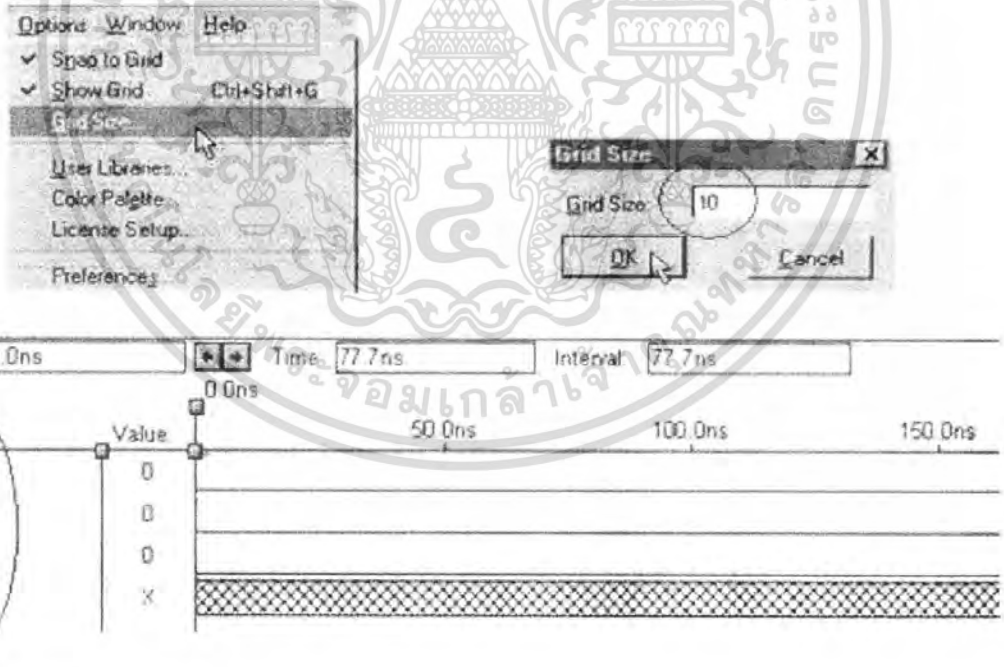
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.3 เมื่อคลิก OK แล้ว จะปรากฏหน้าต่าง ดังรูปที่ 5.19



รูปที่ 5.19 Waveform

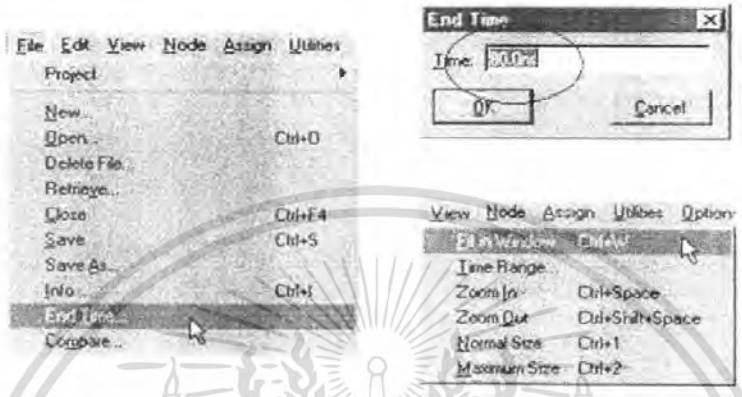
5.4.4 เลื่อนเมาส์มาคลิกซ้ายที่ Menu Bar "Option เลือก Grid Size..." เพื่อทำการเซตขนาดของ กริด ซึ่งเป็นการเซตคาบเวลาของสัญญาณ จะปรากฏหน้าต่างดังรูปที่ 5.20 ให้ทำการกำหนดขนาดของคาบเวลาลงในช่อง Grid Size แล้วกดปุ่ม OK



รูปที่ 5.20 การกำหนดค่า Grid Size

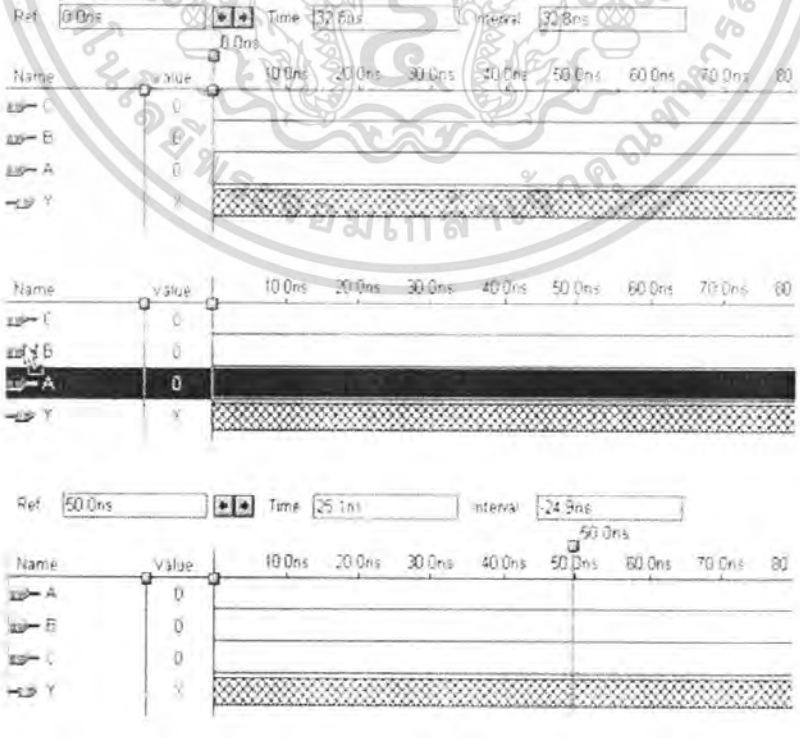
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.5 เลื่อนเมาส์มาคลิกซ้ายที่ Menu Bar "File เลือก End Time..." จะปรากฏหน้าต่างดังรูปที่ 5.21 ให้ทำการเซตเวลาสุดท้ายของการแสดงรูปคลื่น แล้วทำการจัดรูปคลื่นให้พอดีกับจอคอมพิวเตอร์ โดยเลื่อนเมาส์มาคลิกซ้ายที่ Menu Bar "View เลือก Fit in Windows"



รูปที่ 5.21 การเซตเวลาสุดท้ายของการแสดงรูปคลื่น

5.4.6 ในการจัดเรียงตัวแปรของอินพุตและเอาต์พุต ให้เลื่อนเมาส์มาคลิกซ้ายค้างไว้ที่ตัวแปร A จะเห็นแถบสีดำเกิดขึ้นที่ตัวแปร A แล้วเลื่อนไปไว้ด้านบนของตัวแปร B และทำเช่นเดียวกันกับตัวแปร C โดยนำไปไว้ด้านล่างของ ตัวแปร B ดังรูปที่ 5.22

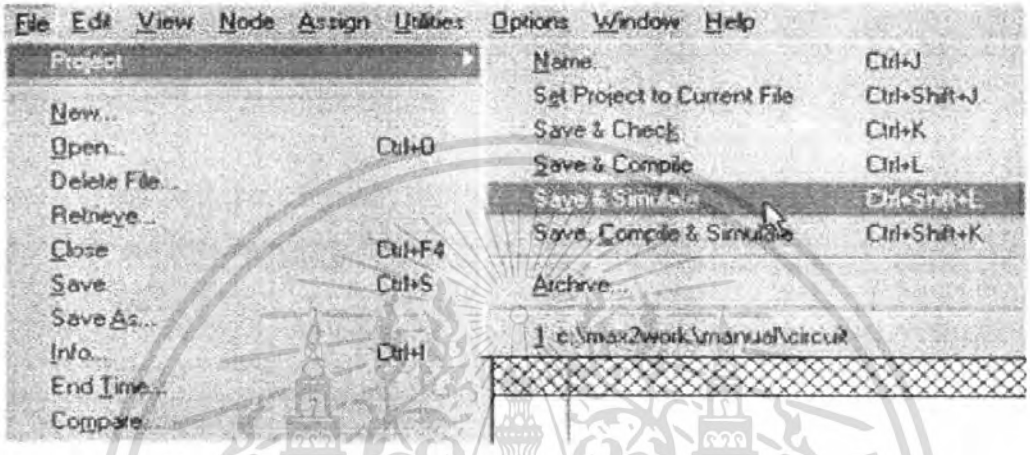


รูปที่ 5.22 การจัดเรียงตัวแปรของอินพุตและเอาต์พุต

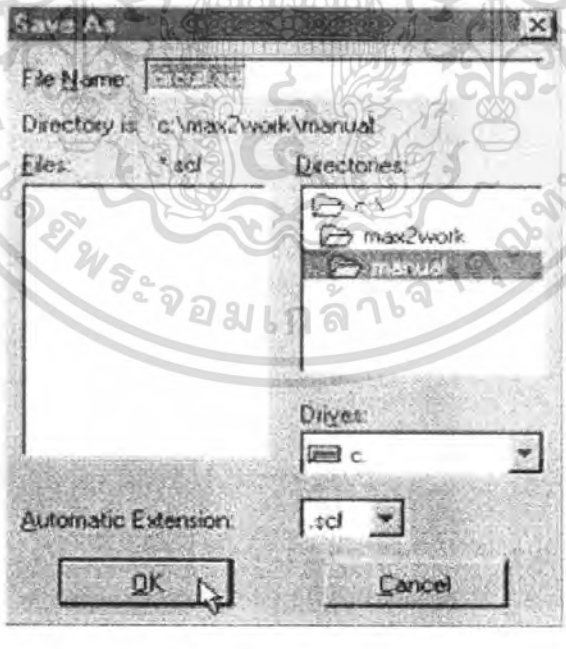
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การจำลองการทำงาน

5.5.1 เลื่อนเมาส์มาคลิกซ้ายที่ Menu Bar "File → Project → Save & Simulation" ปรากฏหน้าต่างขึ้นมาเพื่อให้ Save ไฟล์ของรูปคลื่น ดังรูปที่ 5.23 ในที่นี้ชื่อ circuit.scf แล้วกดปุ่ม OK



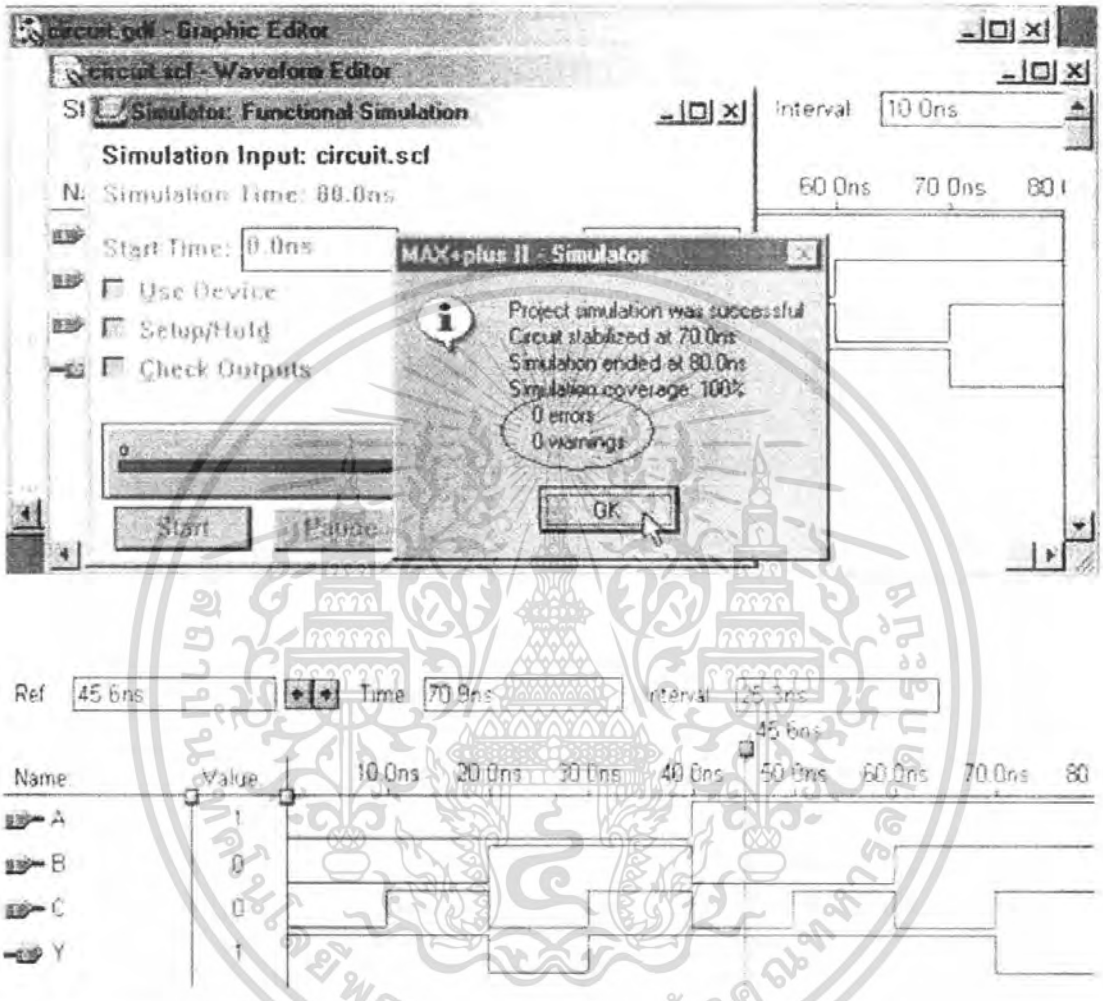
รูปที่ 5.23 การ Save ไฟล์ของรูปคลื่น



รูปที่ 5.24 การ Simulation เสร็จสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5.2 เลื่อนเมาส์มาคลิกซ้ายที่ปุ่ม OK แล้วปิดหน้าต่าง Simulator จะได้ดังรูปที่ 5.25



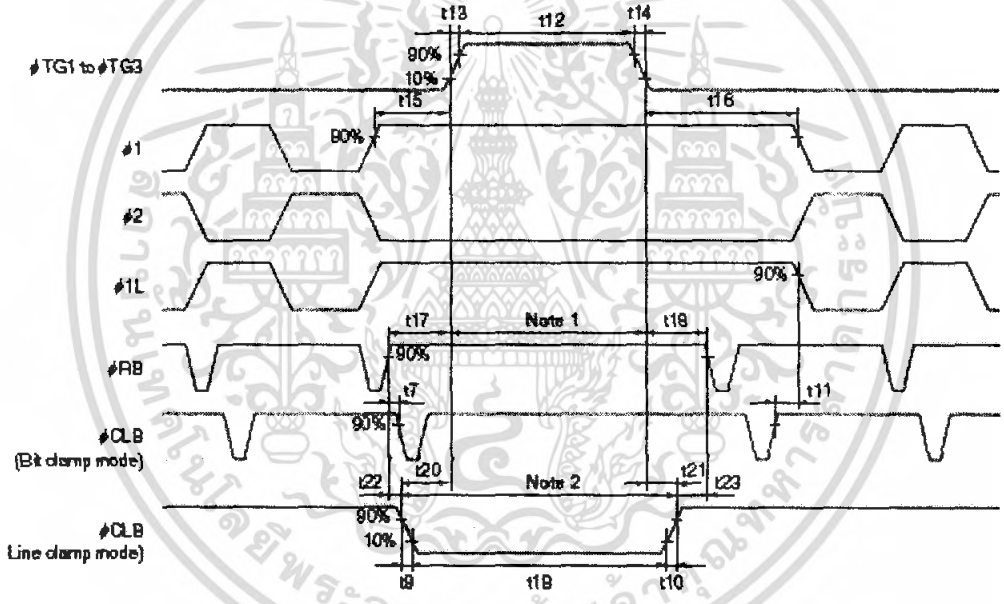
รูปที่ 5.25 ผลการ Simulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การออกแบบและผลการทดลอง

เมื่อเราทำการออกแบบวงจรเรียบร้อยแล้วก่อนที่เราจะทำการป้อนให้กับตัว CCD เราจำเป็นต้องทำการวัดสัญญาณจากขาของ FPGA ก่อนว่าถูกต้องตาม Data Sheet ของ CCD หรือไม่ ซึ่งสัญญาณใน Data Sheet จะมีลักษณะ ดังแสดงในรูป 6.1 จะเห็นได้ว่ารูปสัญญาณต่างๆ จะมีช่วงเวลาเป็นตัวกำหนดเพื่อที่จะทำให้ตัว CCD มีความเร็วในการจับภาพได้มากน้อยเพียงใด



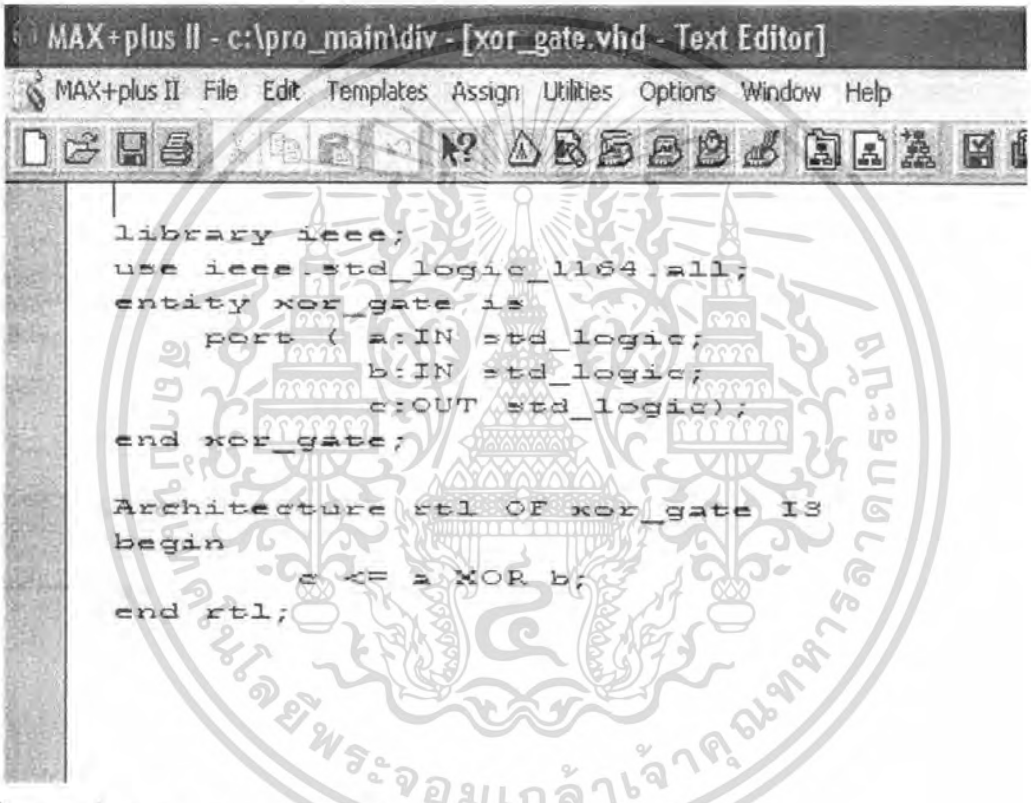
Symbol	Min.	Typ.	Max.	Unit
t7	-5 Note 3	50	-	ns
t9, t10	0	5	-	ns
t11	10	50	-	ns
t12	3000	10000	50000	ns
t13, t14	0	50	-	ns
t15, t16	900	1000	-	ns
t17, t18	200	400	-	ns
t19	t12	t12	50000	ns
t20, t21	0	50	-	ns
t22, t23	0	350	-	ns

รูปที่ 6.1 ข้อมูล Data Sheet ของ UPD8861CY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

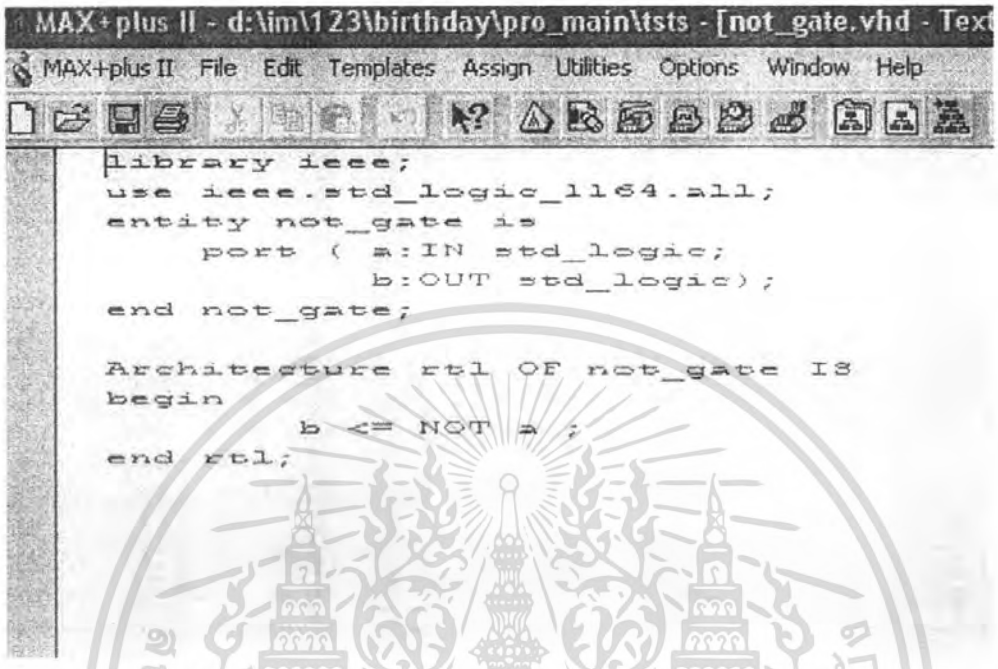
6.1 การสร้าง XOR GATE, NOT GATE และ OR GATE โดยภาษา VHDL

ทำการสร้าง Symbol และสร้างไฟล์ VHDL ด้วย Text Editor โดยการสร้าง XOR GATE, NOT GATE และ OR GATE ให้ไปที่ File → New → Text Editor file แล้วทำการเขียนโดยใช้ภาษา VHDL ดังแสดงในรูปที่ 6.2, 6.3 และ 6.4 ตามลำดับ

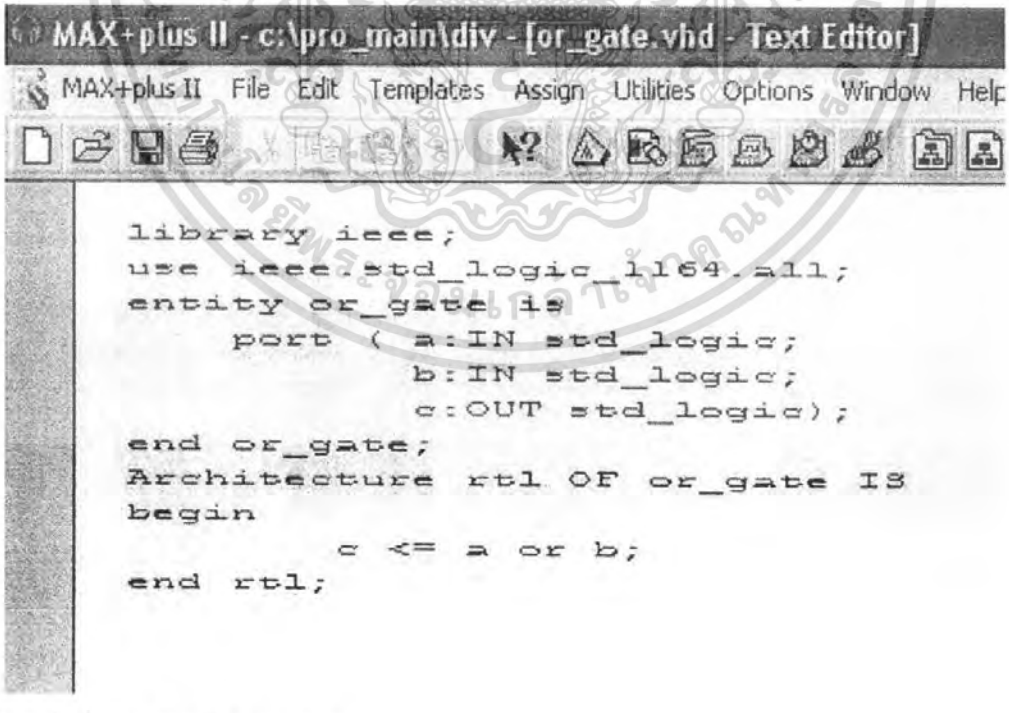


รูปที่ 6.2 คำสั่ง XOR GATE ของ VHDL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



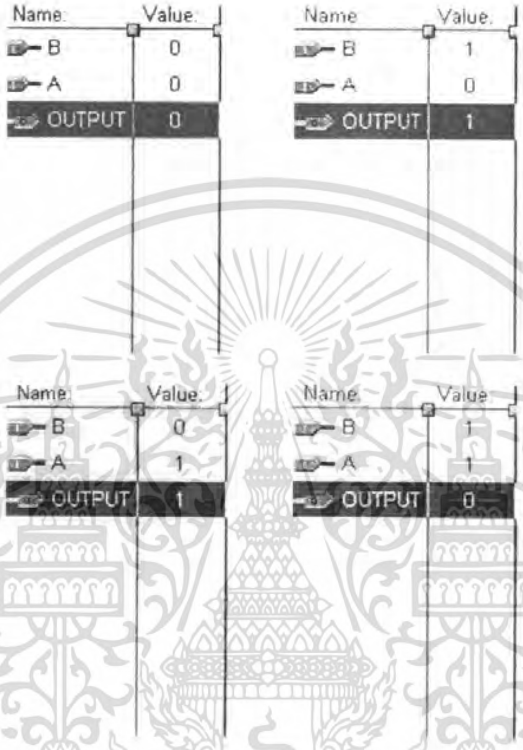
รูปที่ 6.3 คำสั่ง NOT GATE ของ VHDL



รูปที่ 6.4 คำสั่ง OR GATE ของ VHDL

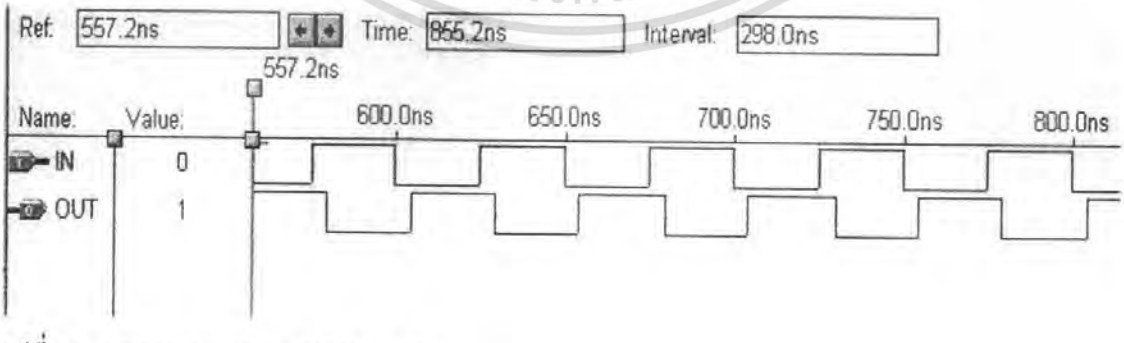
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.1 ผลการ Simulator XOR GATE



รูปที่ 6.5 ผลการ Simulator XOR GATE

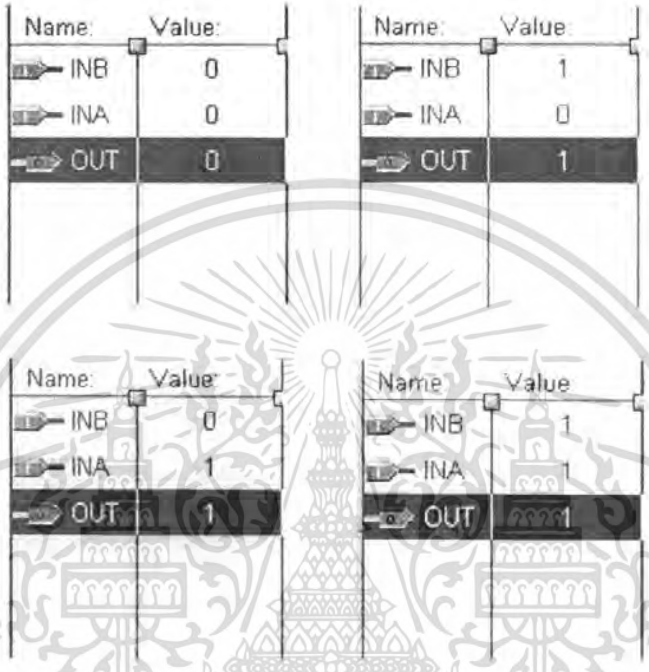
6.1.2 ผลการ Simulator NOT GATE



รูปที่ 6.6 ผลการ Simulator NOT GATE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.3 ผลการ Simulator OR GATE



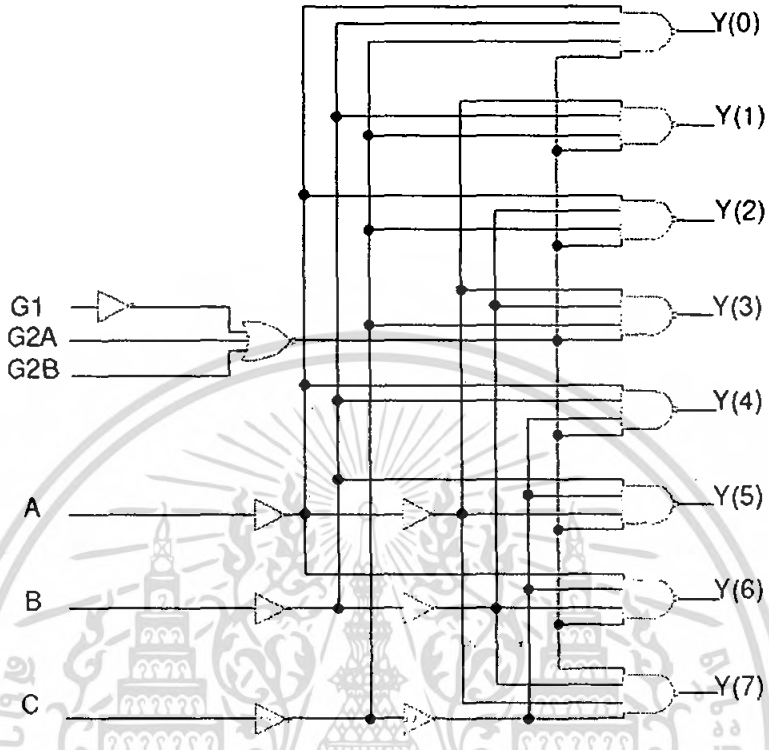
รูปที่ 6.7 ผลการ Simulator OR GATE

จากการศึกษาการสร้าง XOR GATE, NOT GATE และ OR GATE โดยภาษา VHDL พบว่า XOR GATE, NOT GATE และ OR GATE สามารถทำงานได้โดยสัญญาณ Input และ Output ซึ่งเป็นไปตามตารางความจริงทุกสถานะ ทำให้สามารถใช้คำสั่งภาษา VHDL แทนการ Gate ได้

6.2 การเขียนวงจรถอดรหัส 3 to 8 โดย VHDL

ทำการสร้าง Symbol และสร้างไฟล์ VHDL ด้วย Text Editor โดยการสร้างวงจรถอดรหัส 3 to 8 ตามวงจรหรือตารางความจริง ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.8 วงจรของ 3 to 8 Decoder

ตารางที่ 1 ตารางความจริงของ 3 to 8 Decoder

ENABLE			SELECT										
G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y45	Y5	Y6	Y7
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
0	x	x	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวความคิดจากตารางความจริง สามารถสรุปเงื่อนไขได้ดังนี้

ถ้า G1=1 และ G2A=0 และ G2B=0 แล้ว

ถ้า c=0 และ b=0 และ a=0 จะได้ y = 01111111

ถ้า c=0 และ b=0 และ a=1 จะได้ y = 10111111

ถ้า c=0 และ b=1 และ a=0 จะได้ y = 11011111

ถ้า c=0 และ b=1 และ a=1 จะได้ y = 11101111

ถ้า c=1 และ b=0 และ a=0 จะได้ y = 11110111

ถ้า c=1 และ b=0 และ a=1 จะได้ y = 11111011

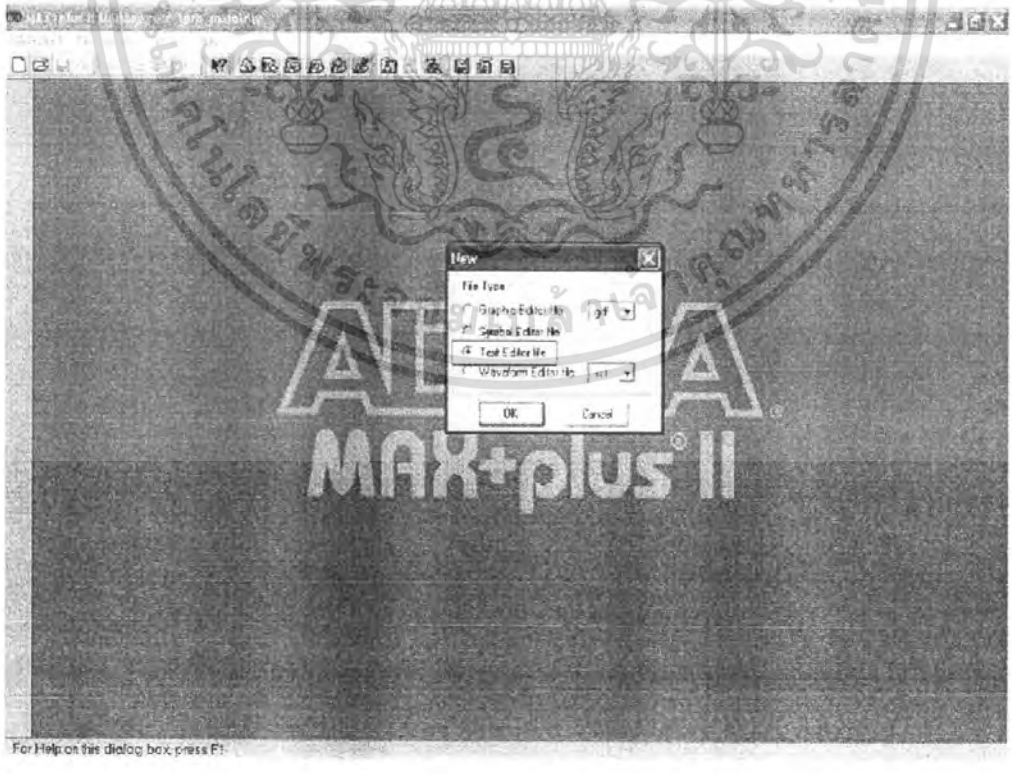
ถ้า c=1 และ b=1 และ a=0 จะได้ y = 11111101

ถ้า c=1 และ b=1 และ a=1 จะได้ y = 11111110

ไม่เช่นนั้น y = 11111111

จากแนวคิดนี้จึงทำการเขียนภาษา VHDL ได้ดังนี้

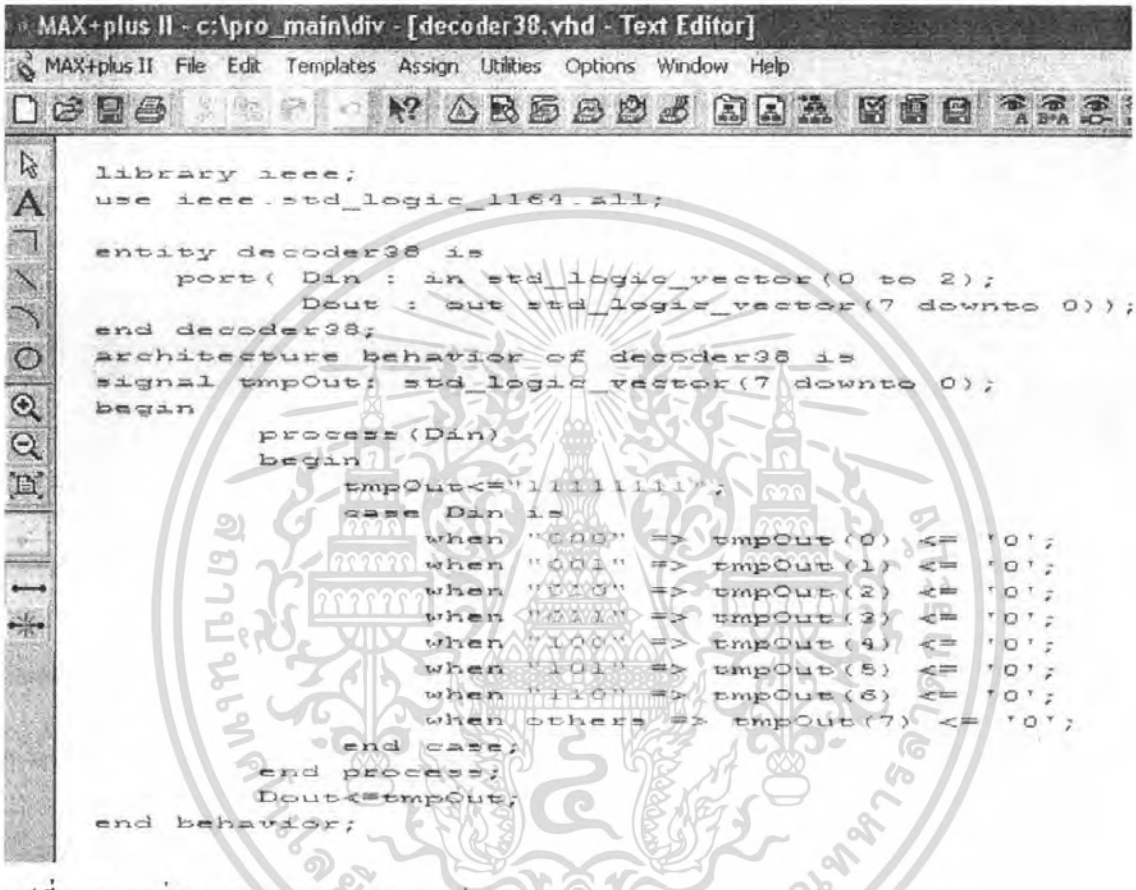
6.2.1 ทำการสร้างวงจรถอดรหัส 3 to 8 โดยไปที่ File → New → Text Editor file



รูปที่ 6.9 การเลือก Text Editor file

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.2 ทำการเขียนโดยใช้ภาษา VHDL ดังนี้



รูปที่ 6.10 คำสั่งของ 3 to 8 Decoder เบอร์ 47138

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.3 ทำการ Simulator เพื่อตรวจสอบว่าเป็นไปตามตารางความจริงหรือไม่

รูปที่ 6.11 ผลการ Simulator ของ 3 to 8 Decoder

จากการศึกษาการเขียนวงจรถอดรหัส 3 to 8 โดย VHDL พบว่าวงจรถอดรหัส 3 to 8 สามารถทำงานได้โดยสัญญาณ A, B, C และ Y0-Y7 ซึ่งเป็นไปตามตารางความจริงทุกสถานะ และสามารถลด Gate ในการบอร์ด FPGA ลงได้มื่อดูจากภาพวงจร 3 to 8 Decoder ซึ่งเป็นข้อดีของการใช้ภาษา VHDL ในการเขียนวงจรถอดรหัส 3 to 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 การออกแบบวงจร Drive CCD

6.3.1 การออกแบบสัญญาณ TG

จากข้อมูล Data Sheet เราจะทราบช่วงเวลาที่สัญญาณ TG มีสถานะเป็น Hight ในช่วงเวลาที่ไม่เกิน 50000ns และจะไม่ต่ำกว่า 3000ns ซึ่งเมื่อสังเกตลักษณะของสัญญาณอื่นๆ จะพบว่าช่วงเวลาที่สัญญาณ TG มีสถานะเป็น Hight นั้น คาบของสัญญาณ Phase 1, Phase 2, CLB และ RB จะมีการเปลี่ยนแปลงตามไปด้วย ดังนั้น ต้องทำการออกแบบสัญญาณ TG เป็นอันดับแรก เพราะ สัญญาณ Phase 1, Phase 2, CLB และ RB ในข้อมูล Data Sheet จะเทียบกับ สัญญาณ TG

6.3.1.1 ทำการกำหนดช่วงขาขึ้นของสัญญาณ TG โดยทำการเขียนโปรแกรมด้วยใช้ภาษา VHDL ดังรูปที่ 6.12

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity pp is
port(
        s_clk          : in std_logic:='0';
        s_clk1         : out std_logic
    |


            );
end pp ;

architecture rtl of pp is
signal count : integer range 0 to 5500 :=0;

begin
process(s_clk,count)

begin
    if   (s_clk' event and s_clk='1') then
         if count<6  then
                  count<=count+1;
                  s_clk1<='1';
         elsif count=5500 then

                  s_clk1<='0';
                  count<=0;
         else
                  s_clk1<='0';


                  count<=count+1;
         end if;
end if;

end process;
end rtl;
```

รูปที่ 6.12 คำสั่งในการกำหนดช่วงขาขึ้นของสัญญาณ TG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

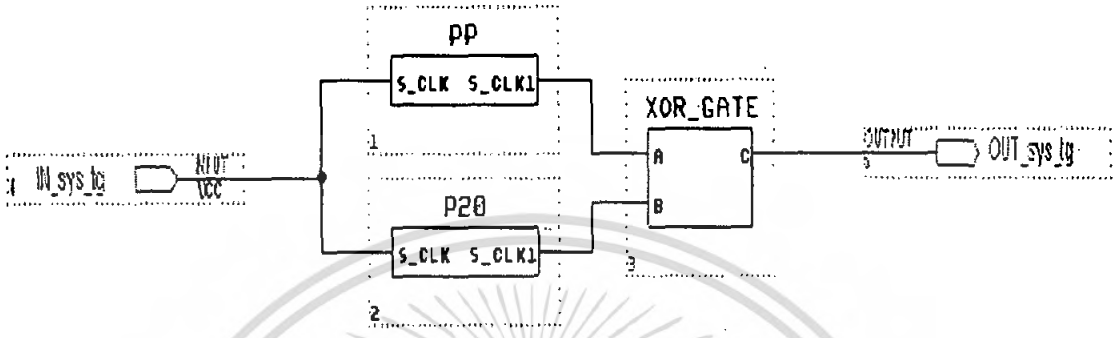
6.3.1.2 ทำการกำหนดช่วงขาลงของสัญญาณ TG โดยทำการเขียนโปรแกรมด้วยใช้ภาษา VHDL ดังรูปที่ 6.13

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity p20 is
port(
        s_clk       : in std_logic:='0';
        s_clk1      : out std_logic


        );
end p20 ;

architecture rtl of p20 is
signal count : integer range 0 to 5500 :=0;

begin
process(s_clk,count)

begin
    if  (s_clk' event and s_clk='1') then
        if count<22  then
                count<=count+1;
                s_clk1<='1';
        elsif count=5500 then

                s_clk1<='0';
                count<=0;
        else
                s_clk1<='0';


                count<=count+1;
        end if;
end if;

end process;
end rtl;
```

รูปที่ 6.13 คำสั่งในการกำหนดช่วงขาลงของสัญญาณ TG

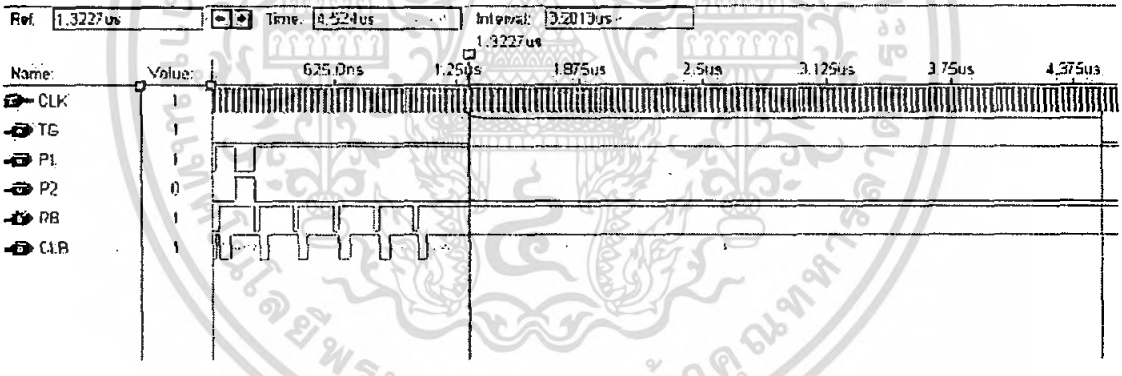
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.1.3 นำสัญญาณที่ได้ผ่าน Gate เพื่อให้ได้สัญญาณตาม Data Sheet



รูปที่ 6.14 Block Diagram ของสัญญาณ TG

6.3.1.4 เมื่อทำการ Simulator จะได้สัญญาณ ดังรูปที่ 6.15



รูปที่ 6.15 ผลการ Simulator ของสัญญาณ TG

เมื่อเทียบกับสัญญาณใน Data Sheet ซึ่ง t12 มี Min = 3000ns Max = 50000ns โดยคาบเวลาในการ Simulator เท่ากับ 3.2013us ซึ่งเป็นไปตามข้อมูลใน Data Sheet โดยไม่ต่ำกว่าค่า Min และไม่เกินค่า Max

6.3.2 การออกแบบสัญญาณ Phase 1 และ Phase 2

จากข้อมูล Data Sheet สัญญาณของ Phase 1 และ Phase 2 จะมีคาบเวลาเหมือนกันทุกประการทุกประการ แต่มีสัญญาณที่กลับเฟสกัน โดยหลักการจะเหมือนกับการออกแบบสัญญาณ TG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.2.1 ทำการกำหนดช่วงขาขึ้นของสัญญาณของ Phase 1 และ Phase 2 โดยเขียนโปรแกรมด้วยภาษา VHDL ดังรูปที่ 6.16

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity p25 is
port(
        s_clk       : in std_logic:='0';
        s_clk1      : out std_logic



        );
end p25 ;

architecture rtl of p25 is
signal count : integer range 0 to 5500 :=0;

begin
process(s_clk,count)

begin
    if  (s_clk' event and s_clk='1') then
        if count<1  then
                count<=count+1;
                s_clk1<='1';
        elsif count=5500 then

                s_clk1<='0';
                count<=0;
        else
                s_clk1<='0';


                count<=count+1;
        end if;
end if;

end process;
end rtl;
```

รูปที่ 6.16 คำสั่งในการกำหนดขาขึ้นของสัญญาณ Phase 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

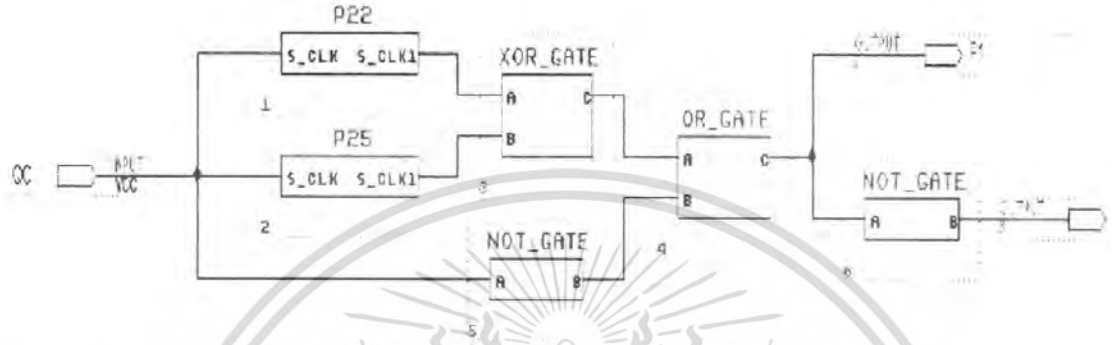
6.3.2.2 ทำการกำหนดช่วงขาลงของสัญญาณของ Phase 1 และ Phase 2 โดยเขียนโปรแกรมด้วยภาษา VHDL ดังรูปที่ 6.17

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity p22 is
port(
        s_clk       : in std_logic:='0';
        s_clk1      : out std_logic


            );
end p22 ;

architecture rtl of p22 is
signal count : integer range 0 to 5500 :=0;

begin
process(s_clk,count)

begin
    if  (s_clk' event and s_clk='1') then
        if count<27  then
                count<=count+1;
                s_clk1<='1';
        elsif count=5500 then

                s_clk1<='0';
                count<=0;
        else
                s_clk1<='0';


                count<=count+1;
        end if;
end if;

end process;
end rtl;
```

รูปที่ 6.17 คำสั่งในการกำหนดขาลงของสัญญาณ Phase 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

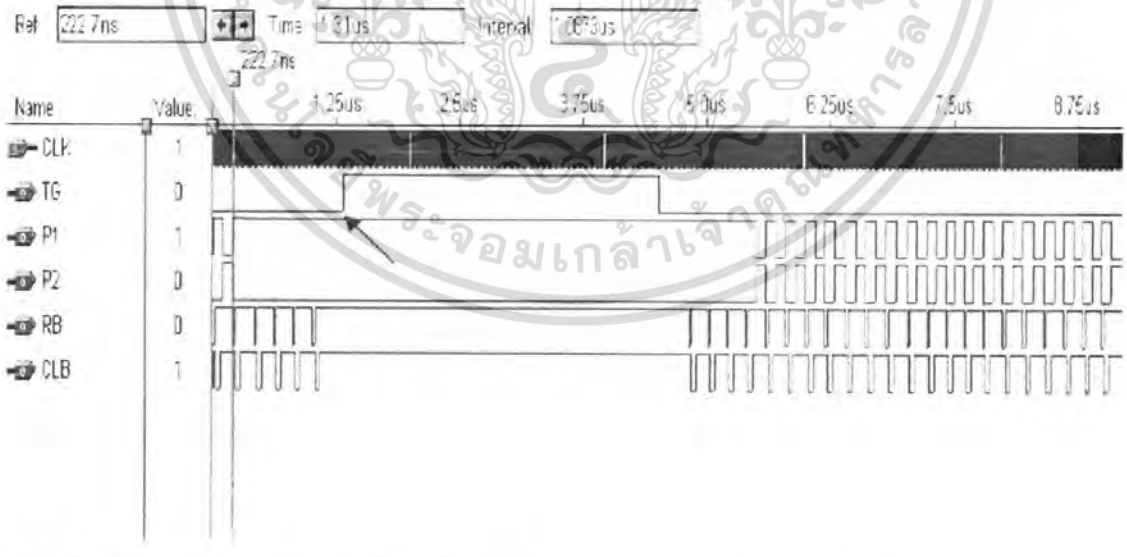
6.3.2.3 นำสัญญาณที่ได้ผ่าน Gate เพื่อให้ได้สัญญาณตาม Data Sheet



รูปที่ 6.18 Block Diagram ของสัญญาณ Phase 1 และ Phase 2

6.3.2.4 เมื่อทำการ Simulator จะได้สัญญาณดังต่อไปนี้

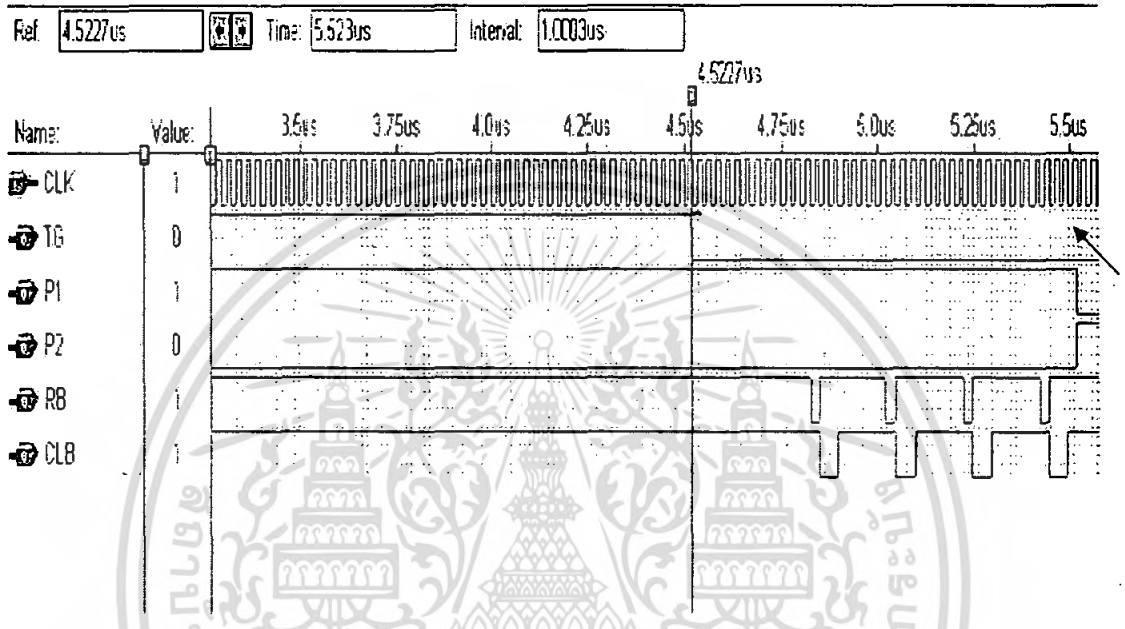
6.3.2.4.1 ขอบขาขึ้นของสัญญาณ TG เทียบกับสัญญาณ Phase 1 และ Phase 2 จะได้ดังรูปที่ 6.19



รูปที่ 6.19 ขอบขาขึ้นของสัญญาณ TG เทียบกับสัญญาณ Phase 1 และ Phase 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.2.4.2 ขอบขาลงของสัญญาณ TG เทียบกับสัญญาณ Phase 1 และ Phase 2 จะได้ดังรูปที่ 6.20



รูปที่ 6.20 ขอบขาลงของสัญญาณ TG เทียบกับสัญญาณ Phase 1 และ Phase 2

เมื่อเทียบกับสัญญาณใน Data Sheet ซึ่ง t15, t16 มี Min = 900ns โดยผลการ Simulator ค่าที่ได้เท่ากับ 1.087ns และ 1.0003us ตามลำดับ ซึ่งเป็นไปตามข้อมูลใน Data Sheet โดยไม่ต่ำกว่าค่า Min

6.3.3 การออกแบบสัญญาณ RB และ CLB

6.3.3.1 ทำการกำหนดช่วงขาขึ้นของสัญญาณของ RB โดยเขียนโปรแกรมด้วยภาษา VHDL ดังรูปที่ 6.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity p3 is
port(
        s_clk        : in std_logic:='0';
        s_clk1       : out std_logic


            );
end p3 ;

architecture rtl of p3 is
signal count : integer range 0 to 5500 :=0;

begin
process(s_clk,count)

begin
    if  (s_clk' event and s_clk='1') then
        if count<5  then
                count<=count+1;
                s_clk1<='1';
      elsif count=5500 then

                s_clk1<='0';
                count<=0;
        else
                s_clk1<='0';


                count<=count+1;
        end if;
end if;

end process;
end rtl;
```

รูปที่ 6.21 คำสั่งในการกำหนดช่วงขาขึ้นของสัญญาณ RB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

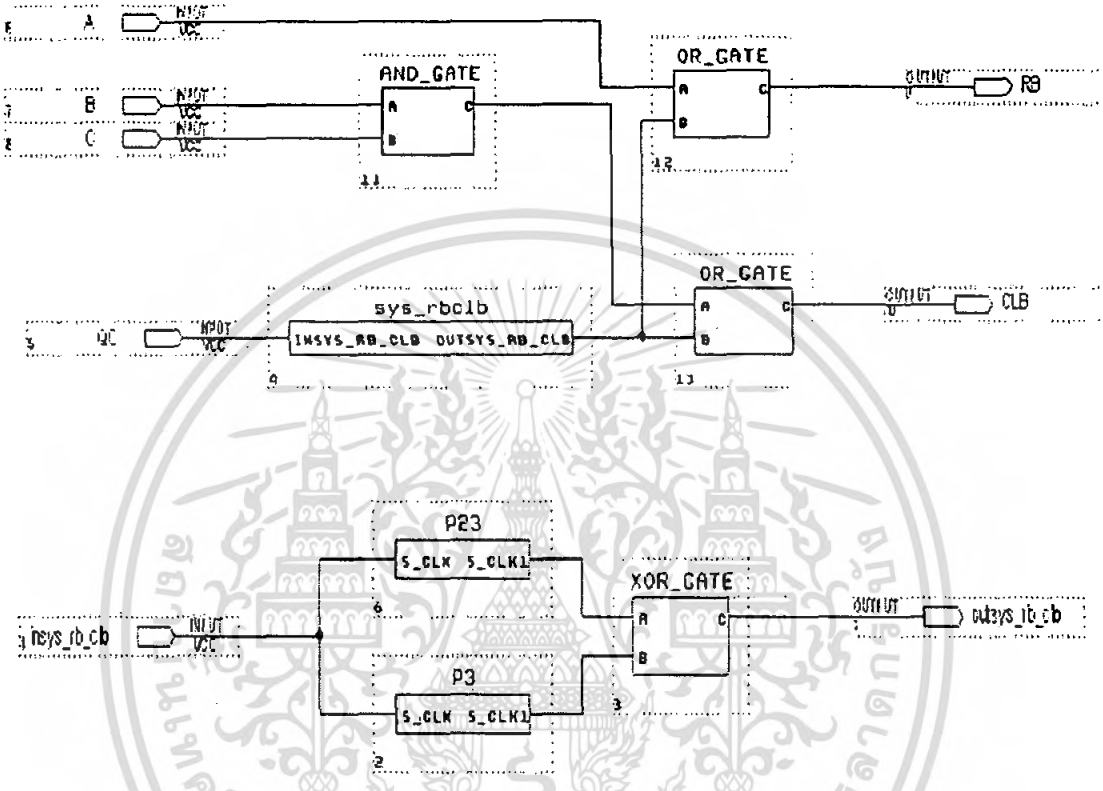
6.3.3.2 ทำการกำหนดช่วงขาลงของสัญญาณของ RB โดยเขียนโปรแกรมด้วยภาษา VHDL ดังรูปที่ 6.22

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity p23 is
port(
          s_clk          : in std_logic:='0';
          s_clk1         : out std_logic



          );
end p23 ;

architecture rtl of p23 is
signal count : integer range 0 to 5500 :=0;

begin
process(s_clk,count)

begin
     if  (s_clk' event and s_clk='1') then
         if count<20  then
                  count<=count+1;
                  s_clk1<='1';
         elsif count=5500 then

                  s_clk1<='0';
                  count<=0;
         else
                  s_clk1<='0';


                  count<=count+1;
         end if;
end if;

end process;
end rtl;
```

รูปที่ 6.22 คำสั่งในการกำหนดช่วงขาลงของสัญญาณ RB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.3.3 นำสัญญาณที่ได้ผ่าน Gate เพื่อให้ได้สัญญาณตาม Data Sheet

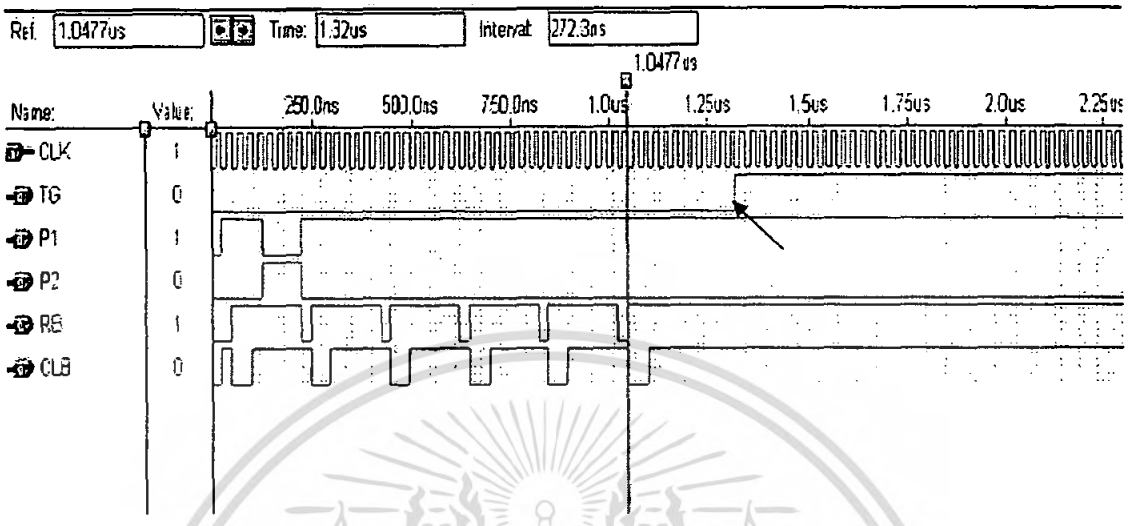


รูปที่ 6.23 Block Diagram ของสัญญาณ RB และ CLB

6.3.3.4 เมื่อทำการ Simulator จะได้สัญญาณดังต่อไปนี้

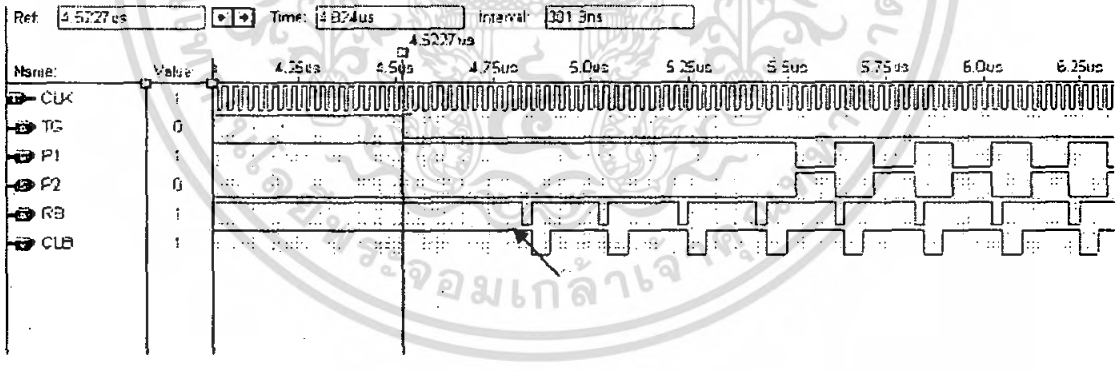
6.3.3.4.1 ขอบขาขึ้นของสัญญาณ TG เทียบกับสัญญาณ RB และ CLB จะได้ดังรูปที่ 6.24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.24 ขอบขาขึ้นของสัญญาณ TG เทียบกับสัญญาณ RB

6.3.3.4.2 ขอบขาลงของสัญญาณ TG เทียบกับสัญญาณ RB และ CLB จะได้ดังรูปที่ 6.25

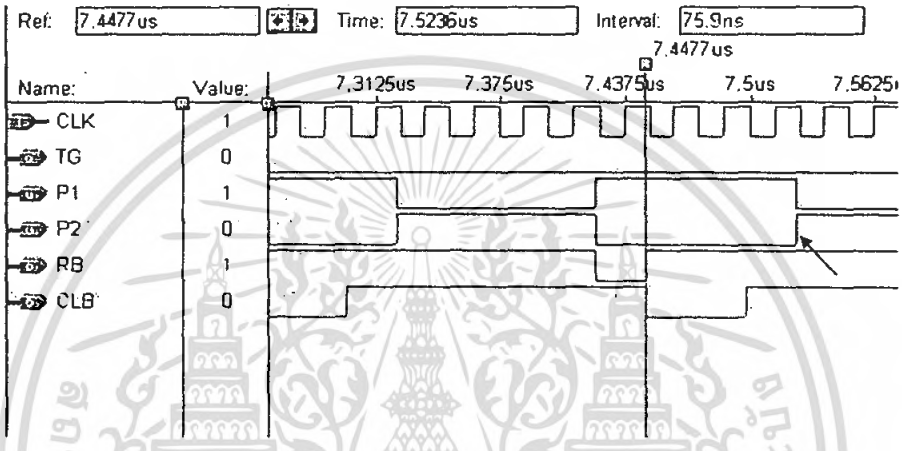


รูปที่ 6.25 ขอบขาลงของสัญญาณ TG เทียบกับสัญญาณ RB

เมื่อเทียบกับสัญญาณใน Data Sheet ซึ่ง t17, t18 มี Min = 200ns โดยผลการ Simulator ค่าที่ได้เท่ากับ 272.3ns และ 301.3ns ซึ่งเป็นไปตามข้อมูลใน Data Sheet โดยไม่ต่ำกว่าค่า Min

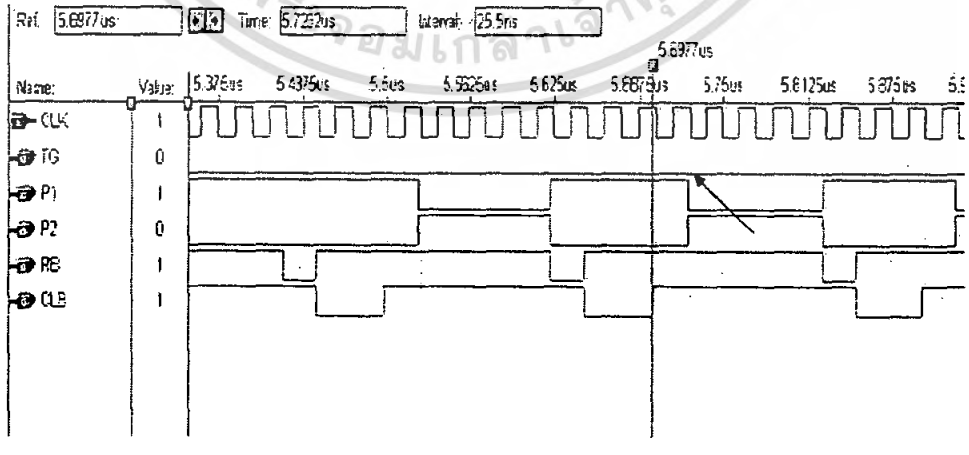
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.3.4.3 ช่วงเวลาของสัญญาณระหว่าง RB กับ Phase 1วัดค่าได้ 75.9ns ซึ่งมีค่าไม่ต่ำกว่าค่า Min ของ Data Sheet ที่มีค่าเท่ากับ 40ns แต่เป็นค่าที่ยอมรับได้ เพราะอยู่ในช่วง 40ns-300ns ดังรูปที่ 6.26



รูปที่ 6.26 ช่วงเวลาของสัญญาณระหว่าง RB กับ Phase 1

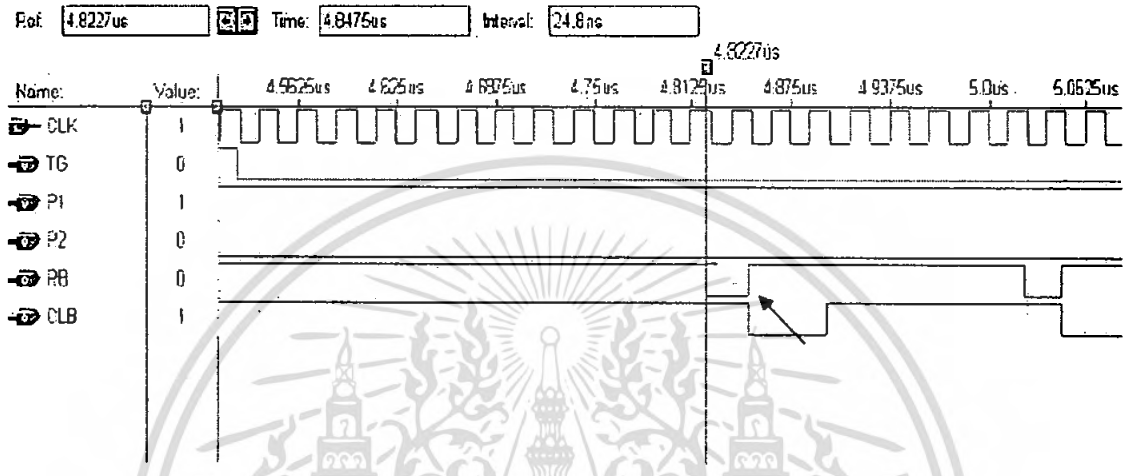
6.3.3.4.4 ช่วงเวลาของสัญญาณระหว่าง CLB กับ Phase 1วัดค่าได้ 25.5ns ซึ่งมีค่าไม่ต่ำกว่าค่า Min ของ Data Sheet ที่มีค่าเท่ากับ 10ns แต่เป็นค่าที่ยอมรับได้ เพราะอยู่ในช่วง 10ns-50ns ดังรูปที่ 6.27



รูปที่ 6.27 ช่วงเวลาของสัญญาณระหว่าง CLB กับ Phase 1

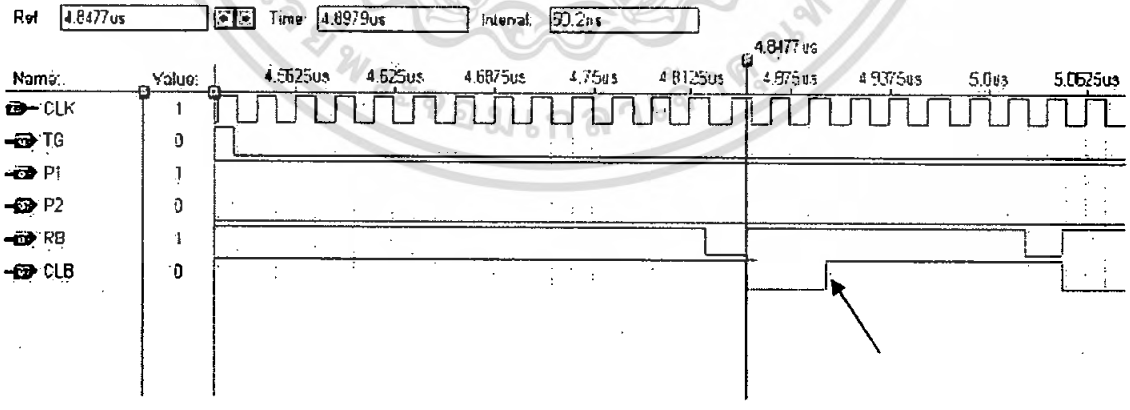
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3.3.4.5 ช่วงเวลาของสัญญาณ RB ซึ่งความกว้างของสัญญาณ RB ในส่วนที่นำมาใช้งานมีค่าเท่ากับ 51ns ซึ่งมีค่าไม่ต่ำกว่าค่า Min ของ Data Sheet ดังรูปที่ 6.28



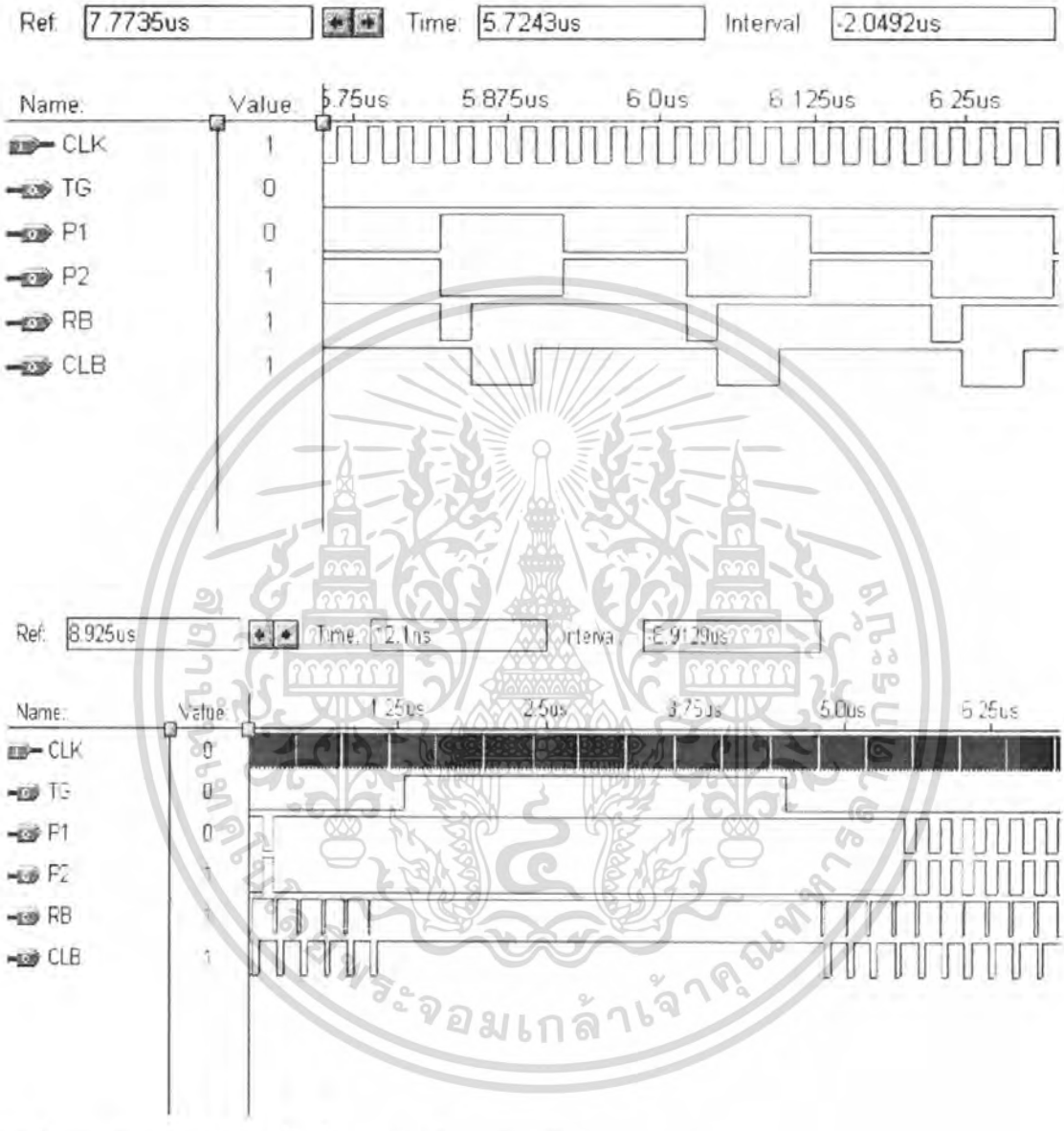
รูปที่ 6.28 ช่วงเวลาของสัญญาณ RB

6.3.3.4.6 ช่วงเวลาของสัญญาณ CLB ซึ่งความกว้างของสัญญาณ CLB ในส่วนที่นำมาใช้งานมีค่าเท่ากับ 50.2ns ซึ่งมีค่าไม่ต่ำกว่าค่า Min ของ Data Sheet ที่มีค่าเท่ากับ 35ns แต่อยู่ในค่าที่สามารถนำไปใช้งานได้ ดังรูปที่ 6.29



รูปที่ 6.29 ช่วงเวลาของสัญญาณ CLB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



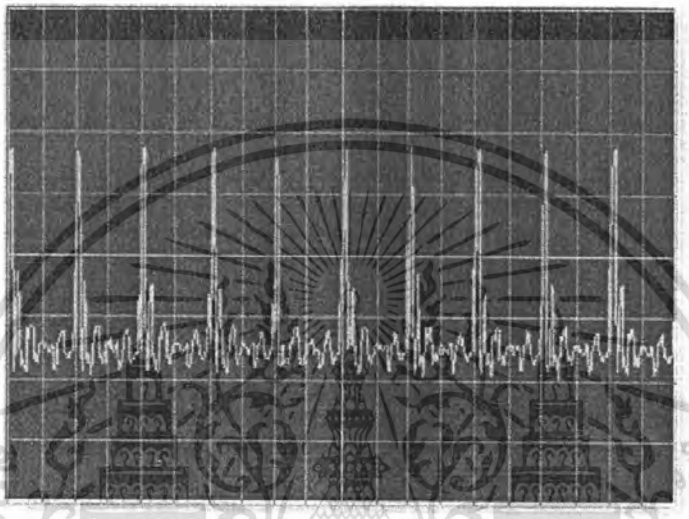
รูปที่ 6.30 สัญญาณที่สร้างขึ้นทั้งหมดเมื่อนำมาเทียบกับ Data Sheet

จากการศึกษาการออกแบบวงจร Drive CCD พบว่าสามารถออกแบบสัญญาณให้ช่วงเวลาของคาบสัญญาณใกล้เคียงกับข้อมูลใน Data Sheet มากที่สุด ซึ่งสามารถที่จะใช้เป็น Drive CCD ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

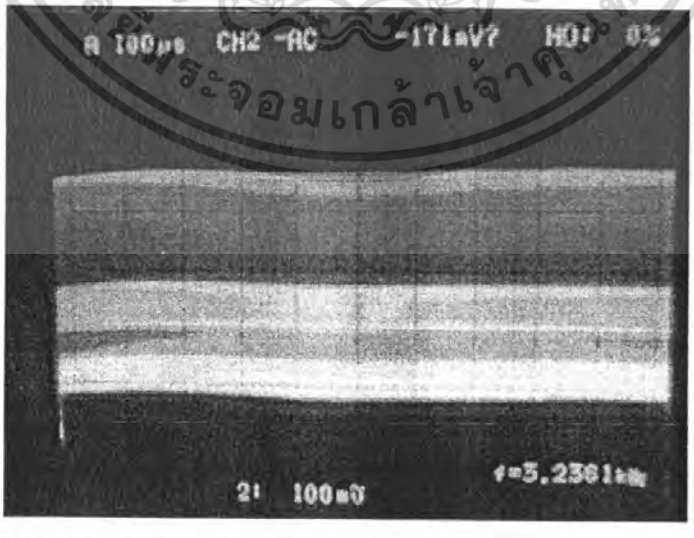
6.4 รูปสัญญาณที่มาจาก CCD

รูปสัญญาณที่ได้จาก CCD ขณะที่ยังไม่มีการตรวจจับวัตถุ โดยได้ทำการขยายให้เห็นช่วงของสัญญาณชัดเจนขึ้น



รูปที่ 6.31 สัญญาณเมื่อไม่มีการตรวจจับวัตถุ (ก)

รูปสัญญาณนี้เป็นรูปสัญญาณที่ยังไม่มีการตรวจจับวัตถุโดยจะมีแรงดันคงที่และเป็นรูปสัญญาณที่ได้จาก CCD โดยตรงซึ่งยังไม่ผ่านวงจรใดๆ

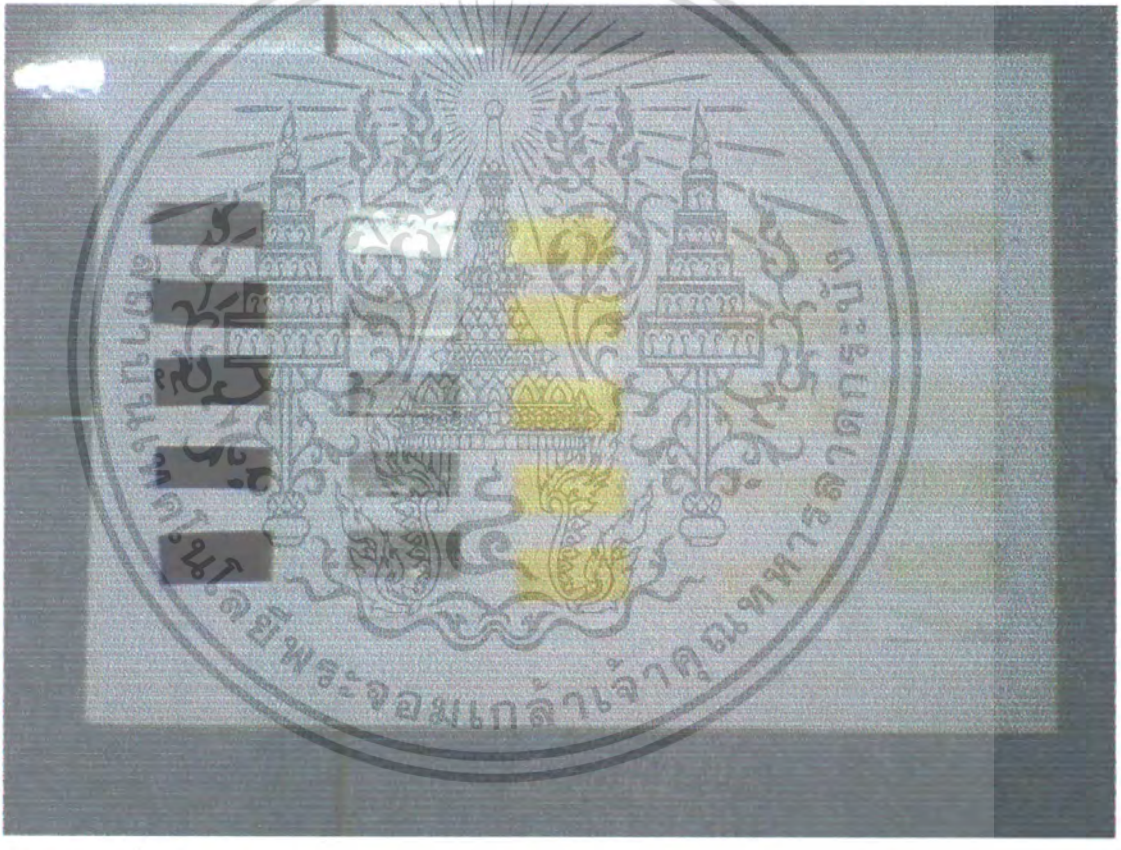


รูปที่ 6.32 สัญญาณเมื่อไม่มีการตรวจจับวัตถุ(ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีการใช้แถบสีต่างๆ ในการทดสอบ ซึ่งสีที่ใช้ในการทดสอบ มีดังนี้

1. กระดาษแถบสีดำ
2. กระดาษแถบสีเทา
3. กระดาษแถบสีเหลือง
4. กระดาษแถบสีเหลืองอ่อน
5. กระดาษแถบสีเขียวอ่อน
6. กระดาษแถบสีขาว

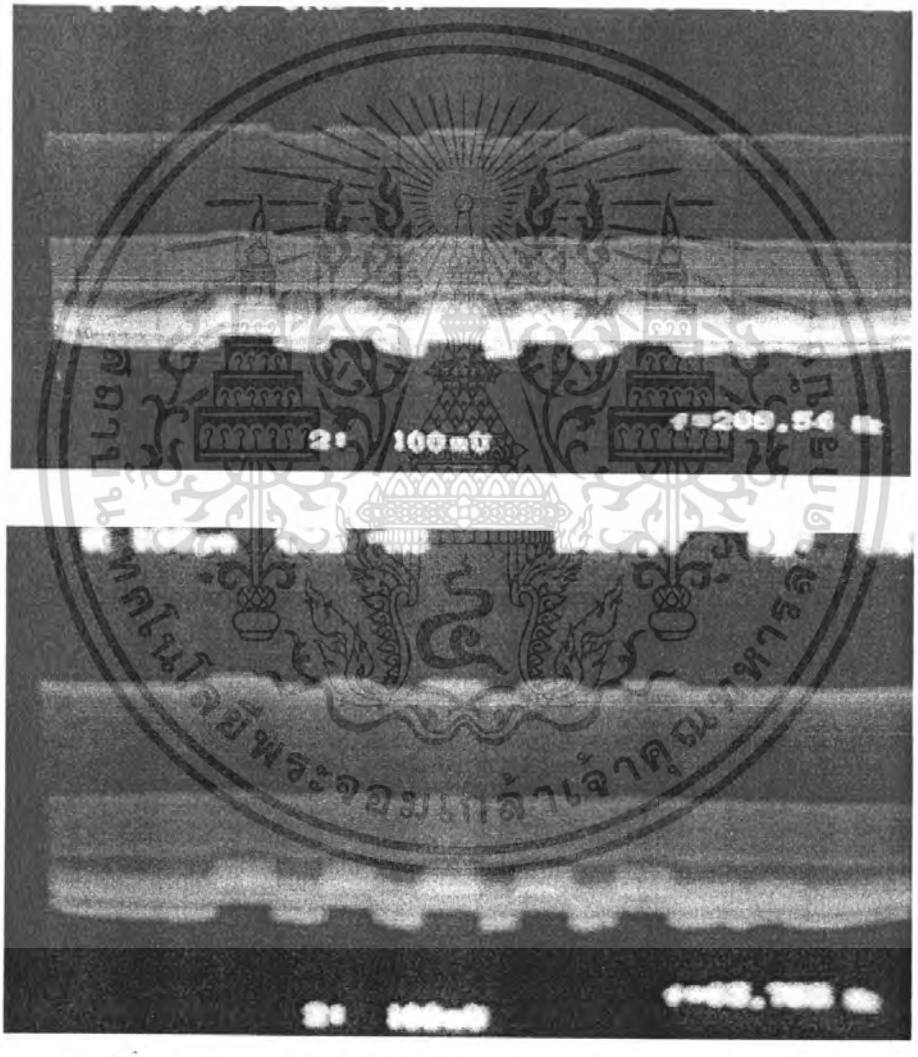


รูปที่ 6.33 แถบสีที่ใช้ในการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.1 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีดำ

รูปสัญญาณนี้เป็นรูปที่มีการตรวจจับกระดาษแถบสีดำ จะเห็นว่ามีแรงดันเปลี่ยนแปลง โดยมีรูปความกว้างของช่วงแรงดันที่เปลี่ยนแปลงเท่ากับขนาดของวัตถุที่ผ่านกล้องรวมทั้งจำนวนวัตถุด้วย



รูปที่ 6.34 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีดำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.2 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเทา

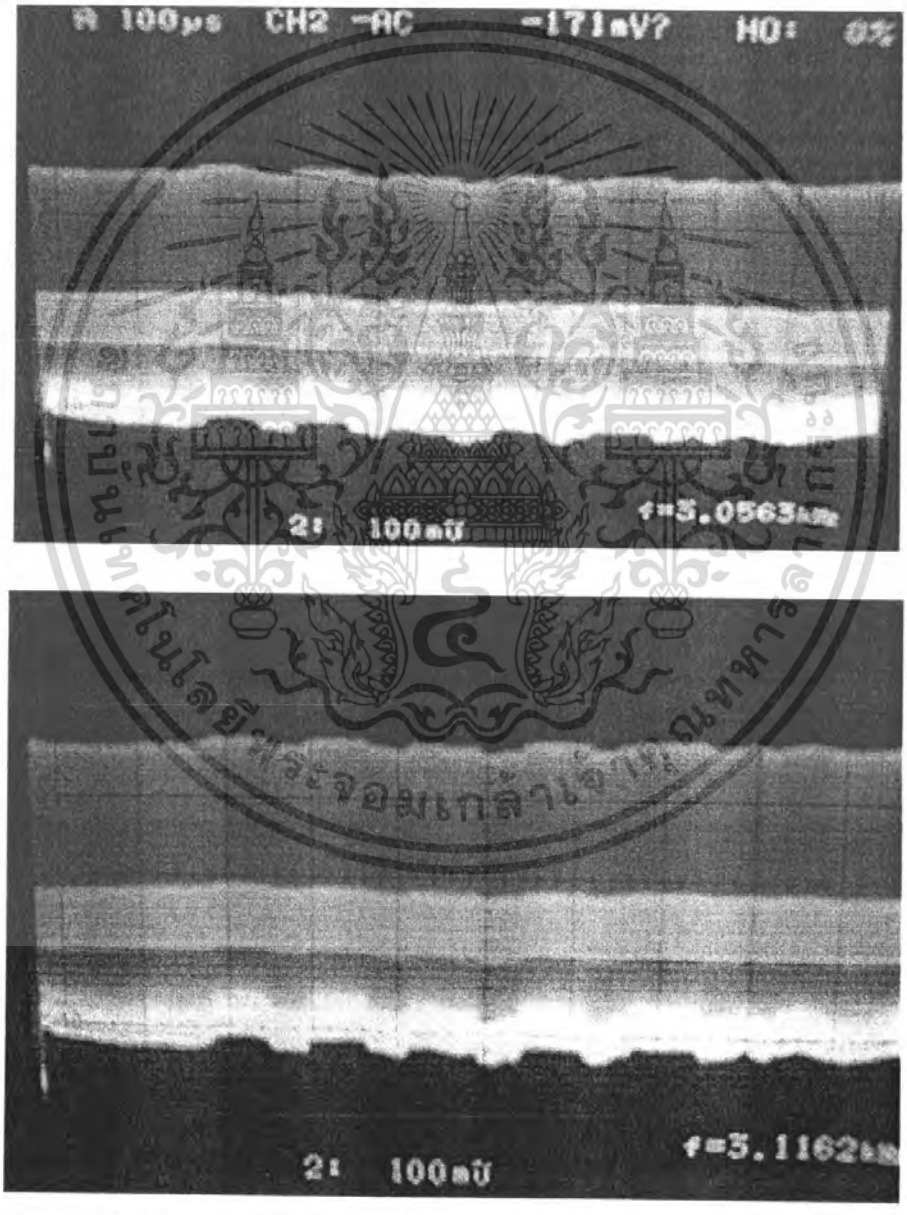
รูปสัญญาณนี้เป็นรูปที่มีการตรวจจับกระดาษแถบสีเทา จะเห็นว่ามีแรงดันเปลี่ยนแปลง โดยมีรูปความกว้างของช่วงแรงดันที่เปลี่ยนแปลงเท่ากับขนาดของวัตถุที่ผ่านกล้อง รวมทั้งจำนวนวัตถุด้วย

รูปที่ 6.35 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเทา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.3 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเหลือง

รูปสัญญาณนี้เป็นรูปที่มีการตรวจจับกระดาษแถบสีเหลือง จะเห็นว่ามีแรงดันเปลี่ยนแปลง โดยมีรูปความกว้างของช่วงแรงดันที่เปลี่ยนแปลงเท่ากับขนาดของวัตถุที่ผ่านกล้อง รวมทั้งจำนวนวัตถุ แต่จะมีระดับแรงดันน้อยกว่าสีเทา

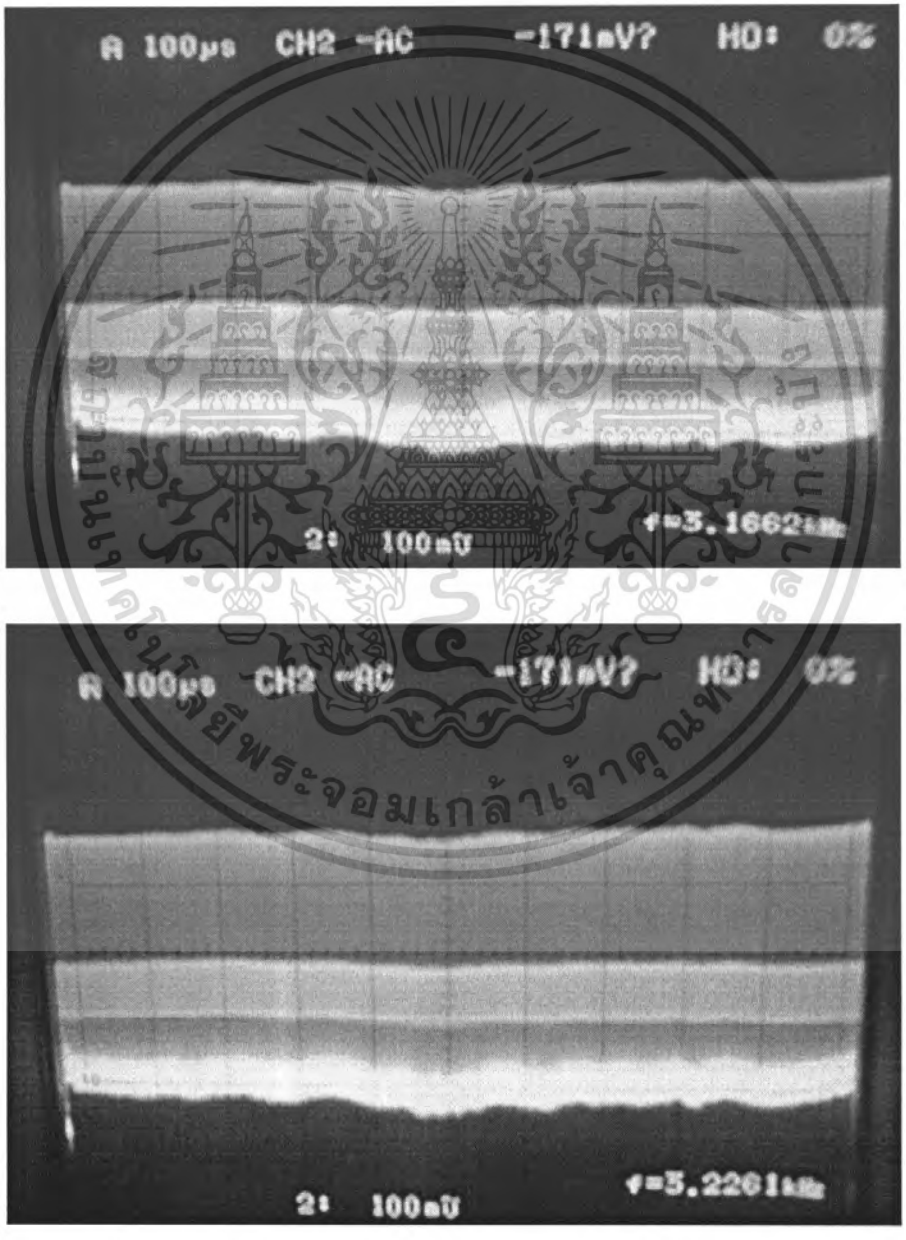


รูปที่ 6.36 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเหลือง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.4 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเหลืองอ่อน

รูปสัญญาณนี้เป็นรูปที่มีการตรวจจับกระดาษแทบสีเหลืองอ่อน จะเห็นว่ามีแรงดันเปลี่ยนแปลง โดยมีรูปความกว้างของช่วงแรงดันที่เปลี่ยนแปลงเท่ากับขนาดของวัตถุที่ผ่านกล้อง รวมทั้งจำนวนวัตถุ แต่จะมีระดับแรงดันน้อยมากกว่าสีดำ สีเทา และสีเหลือง

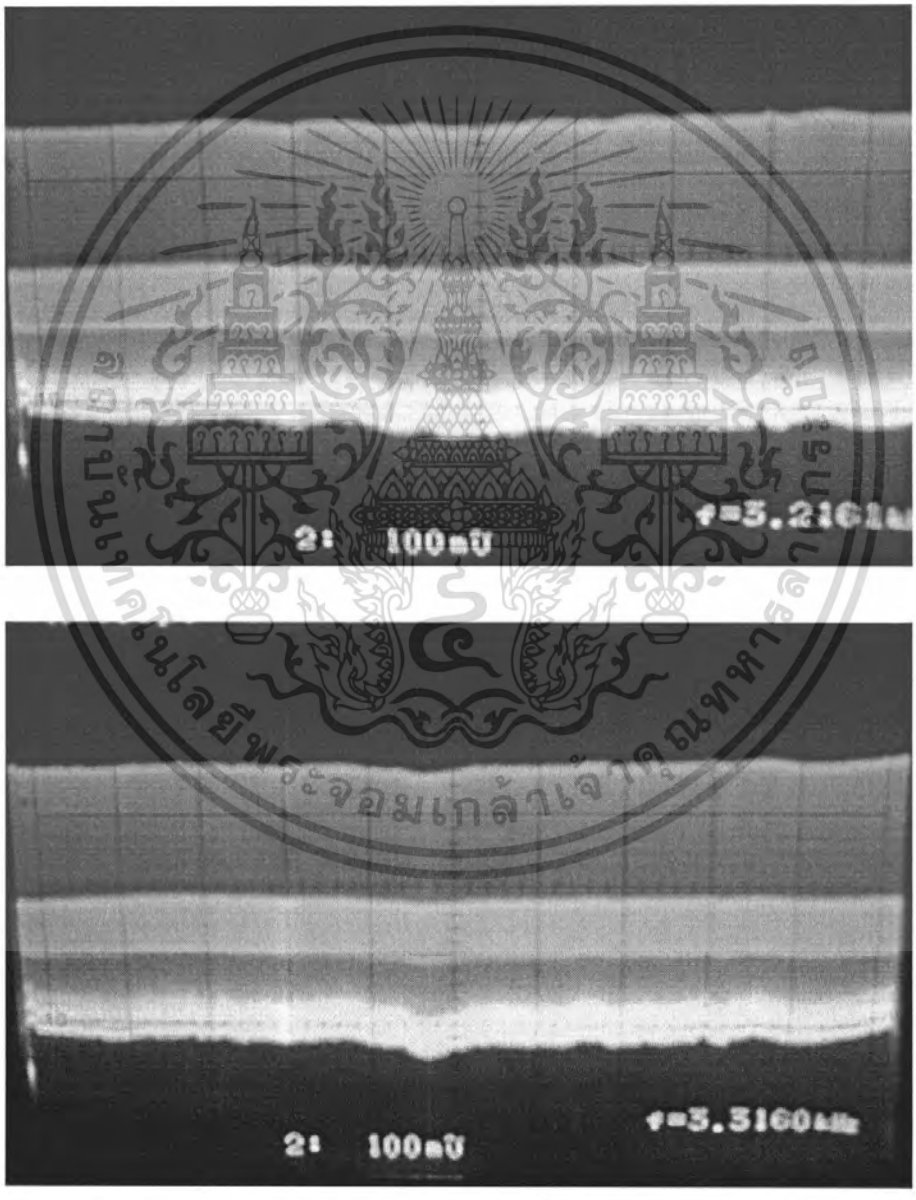


รูปที่ 6.37 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเหลืองอ่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.5 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเขียวอ่อน

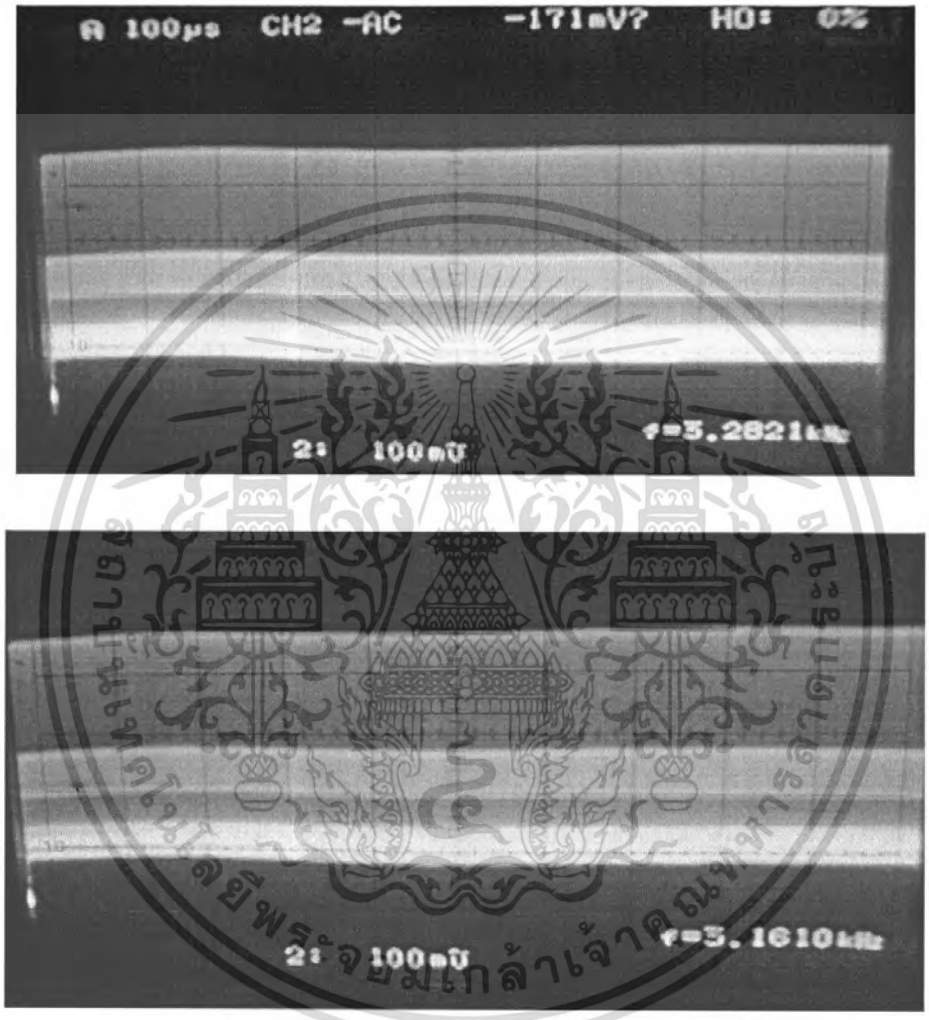
รูปสัญญาณนี้เป็นรูปที่มีการตรวจจับกระดาษแถบสีเหลืองอ่อน จะเห็นว่ามีแรงดันเปลี่ยนแปลง โดยมีรูปความกว้างของช่วงแรงดันที่เปลี่ยนแปลงเท่ากับขนาดของวัตถุที่ผ่านกล้อง รวมทั้งจำนวนวัตถุ แต่จะมีระดับแรงดันน้อยมากซึ่งคล้ายกับกระดาษแทบสีเหลืองอ่อน



รูปที่ 6.38 สัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีเขียวอ่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4.6 รูปสัญญาณที่มาจาก CCD ในการตรวจจับกระดาษแถบสีขาว

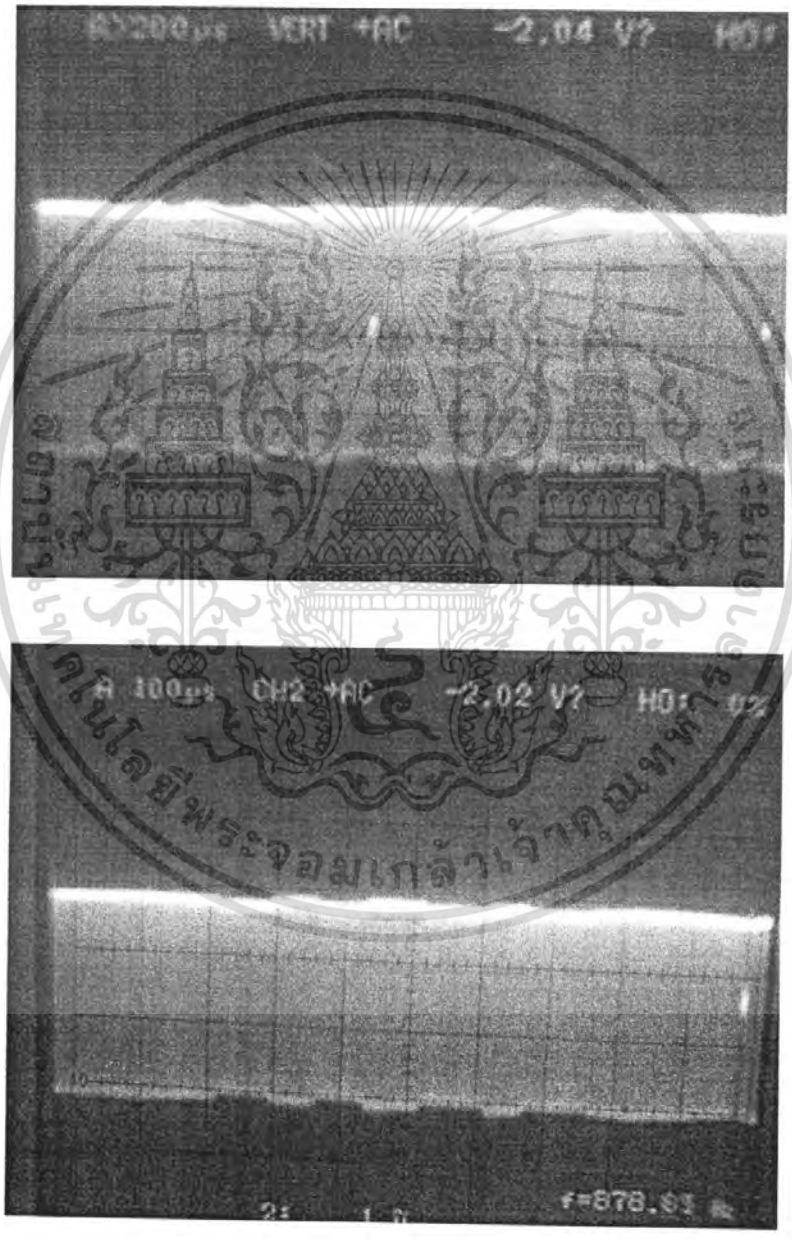


รูปที่ 6.39 สัญญาณที่มาจาก ในการตรวจจับกระดาษแถบสีขาว

จากการศึกษารูปสัญญาณที่มาจาก CCD พบว่าค่าของสีที่ต้องการตรวจจับยิ่งมีสีโทนเข้มมาก รูปสัญญาณที่ออกมาจากซีซีดีจะมีความชัดเจนมากยิ่ง ในทางตรงกันข้ามหากสีที่ต้องการตรวจจับมีสีโทนอ่อน รูปสัญญาณที่ออกมาจากซีซีดีจะมีความชัดเจนน้อยลง

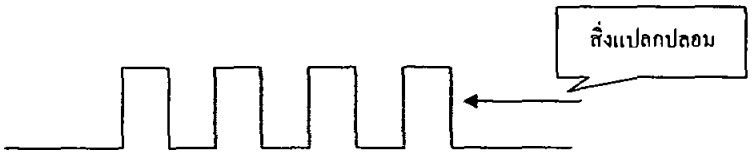
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ได้จะนำไปผ่านวงจร Comparater เมื่อเราได้รูปสัญญาณจาก CCD แล้วเรานำสัญญาณที่ได้นั้นมาทำการเปรียบเทียบสัญญาณโดยผ่านวงจร Comparater ทำให้ได้รูปสัญญาณเป็นดิจิตอลจากนั้นนำสัญญาณผ่าน D-FlipFlop เพื่อนำเข้ายังภาคแยกราง



รูปที่ 6.40 สัญญาณที่ได้จะการนำไปผ่านวงจร Comparater

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

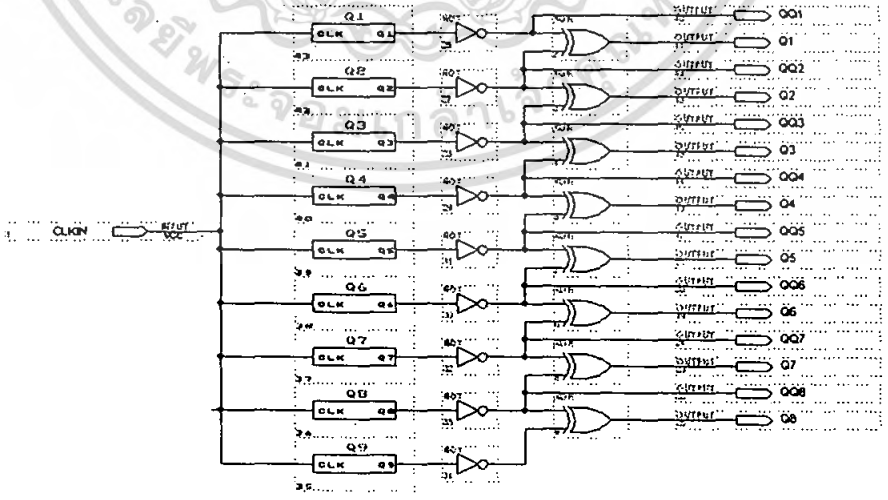


รูปที่ 6.41 สัญญาณที่ได้จะการนำไปผ่านวงจร D-FlipFlop

6.5 รูปสัญญาณเมื่อเข้าวงจรแยกราง

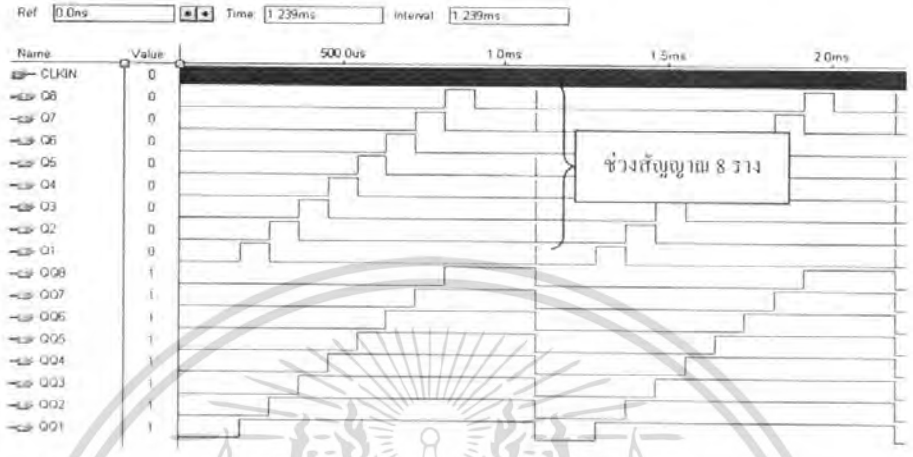
เมื่อเราได้สัญญาณที่ผ่าน D-FlipFlop แล้วนั้นก็ทำการป้อนให้กับวงจรแยกรางซึ่งได้ทำการออกแบบไว้ใน FPGA เพื่อเอาสัญญาณ จาก D-FlipFlop กับแยกราง มา OR กัน เพื่อจำแนกว่าสิ่งแปลกปลอมอยู่บริเวณรางที่เท่าไร

การกำหนดตำแหน่งของรางนั้นเราสามารถกำหนดได้โดยการ ดูข้อมูลของกล้องCCDว่าสามารถตรวจจับได้ละเอียดเท่าใด โดยกล้องCCDของเรานั้นมีความละเอียดที่ 5400 พิกเซล จากนั้นเราก็จะต้องกำหนดว่าเราต้องการใช้รางจำนวนเท่าใด ในที่นี้เราใช้จำนวนรางทั้งหมด 8 ราง จากนั้นเราจะทำตรวจดูว่าในเส้นภาพข้อมูลสิ่งแปลกปลอมของรางที่เอยู่ในช่วงเวลาใด จากนั้นเราจึงจะสามารถสร้างสัญญาณแยกรางได้ ให้การตรวจสอบรางที่เอยู่ในช่วงเวลาที่เท่าไรถึงเท่าไร โดยรางที่เจะอยู่ในช่วงเวลา 200 ns – 280 ns เมื่อเราทราบแล้ว จากนั้นเราก็ทำแบบเดียวกันทั้งให้ครบ 8 รางเราก็จะได้สัญญาณแยกรางมาใช้ในการตรวจสอบ



รูปที่ 6.42 วงจรแยกราง

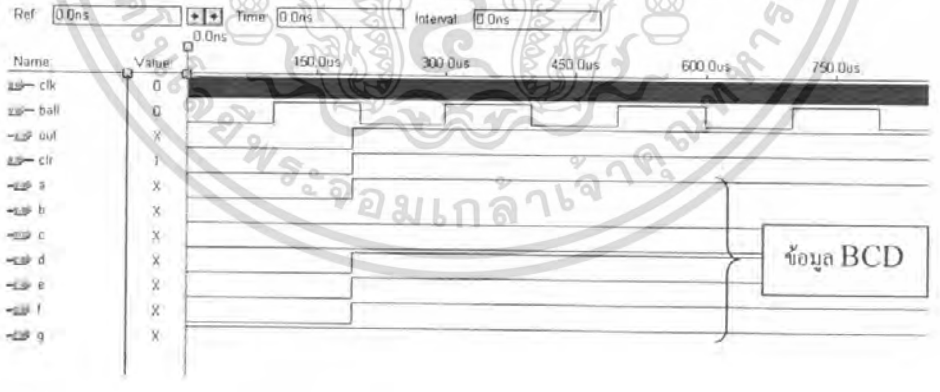
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.43 สัญญาณของวงจรแยกรางที่ได้จากการ Simulate ใน FPGA

6.6 วงจร Shift Register และ วงจร Counter

เมื่อได้สัญญาณที่ผ่านวงจรแยกรางเรียบร้อยแล้ว ก็จะนำเข้าวงจร Shift Register รูปสัญญาณที่ผ่านวงจร Shift Register และวงจร Counter



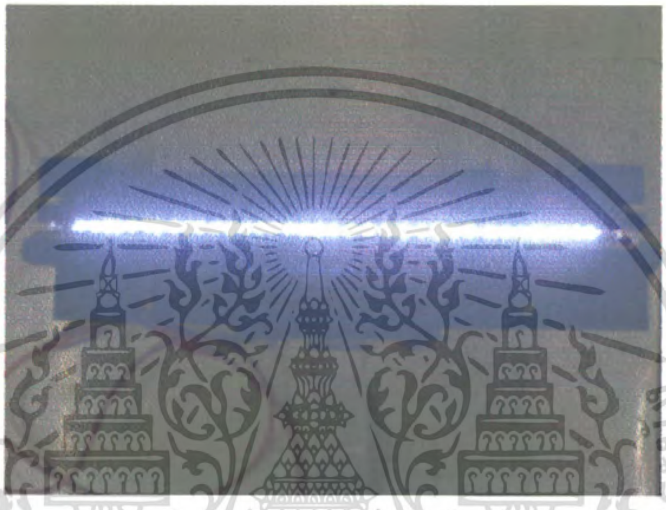
รูปที่ 6.44 สัญญาณของวงจรที่ได้จากการ Counter ที่ Simulate ใน FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.7 สิ่งที่แก้ไขเพิ่มเติมจากโครงงานพิเศษเดิม

6.7.1 การแก้ไขหลอดไฟ

หลอดไฟที่ใช้อยู่เดิมนั้นเป็นหลอดไฟฟลูออเรสเซนต์หลอดไฟฟลูออเรสเซนต์ ซึ่งความสว่างไม่เพียงพอในการตรวจจับเมล็ดข้าว จึงได้ทำการเปลี่ยนเป็นหลอดไฟ LED

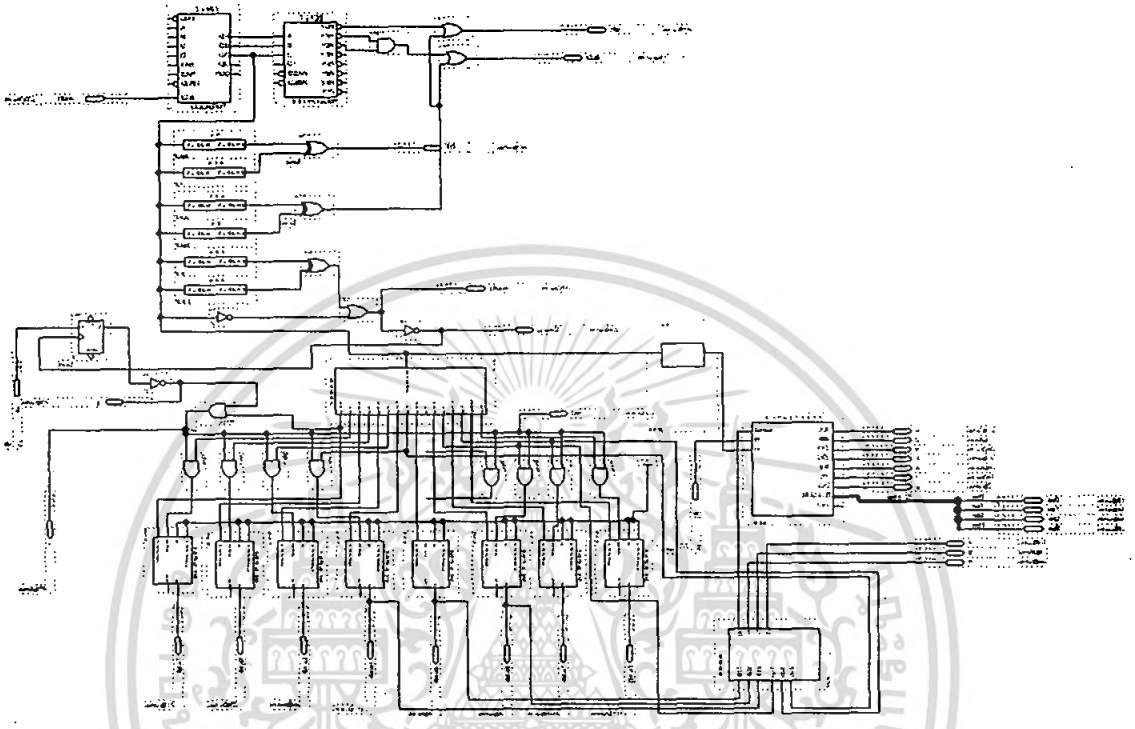


รูปที่ 6.45 หลอดไฟ LED

รูปที่ 6.46 เปรียบเทียบความส่วางระหว่างหลอดไฟฟลูออเรสเซนต์ และหลอดไฟ LED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.7.2 การแปลงภาษา Logic เป็นภาษา VHDL



รูปที่ 6.47 วงจรที่ได้จากภาษา Logic

ตัวอย่างวงจรที่เป็นภาษา VHDL : วงจร Counter

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
--use UNISIM.VComponents.all;

entity counter9999 is
        port    (
                        clk : in std_logic;
                        reset_n : in std_logic;

                        Digit0 : out std_logic_vector(3 downto 0);
                        Digit1 : out std_logic_vector(3 downto 0);
                        Digit2 : out std_logic_vector(3 downto 0);
                        Digit3 : out std_logic_vector(3 downto 0)

                );
end counter9999;

architecture Behavioral of counter9999 is

        signal digit0_reg : std_logic_vector(3 downto 0);
        signal digit1_reg : std_logic_vector(3 downto 0);
        signal digit2_reg : std_logic_vector(3 downto 0);
        signal digit3_reg : std_logic_vector(3 downto 0);


        signal clk0_reg : std_logic;
        signal clk1_reg : std_logic;
        signal clk2_reg : std_logic;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
begin

    -- Digit 0 --
    process(clk,reset_n)
    begin

        if(reset_n = '0')then

            digit0_reg <= (others=>'0');
            clk0_reg <= '0';

        elsif(rising_edge(clk))then

            if(digit0_reg < "1001")then
                digit0_reg <= digit0_reg + '1';
            else
                digit0_reg <= (others=>'0');
                clk0_reg <= not clk0_reg;
            end if;

        end if;

    end process;

    -- Digit 1 --
    process(clk0_reg,reset_n)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
begin

        if(reset_n = '0')then

                digit1_reg <= (others=>'0');
                clk1_reg <= '0';

        elsif(rising_edge(clk0_reg))then

                if(digit1_reg < "1001")then
                        digit1_reg <= digit1_reg + '1';
                else
                        digit1_reg <= (others=>'0');
                        clk1_reg <= not clk1_reg;
                end if;

        end if;

end process;


-- Digit 2 --
process(clk1_reg,reset_n)
begin

        if(reset_n = '0')then

                digit2_reg <= (others=>'0');
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                clk2_reg <= '0';

        elsif(rising_edge(clk1_reg))then

                if(digit2_reg < "1001")then
                        digit2_reg <= digit2_reg + '1';
                else
                        digit2_reg <= (others=>'0');
                        clk2_reg <= not clk2_reg;
                end if;

        end if;

end process;


-- Digit 3 --
process(clk2_reg,reset_n)
begin

        if(reset_n = '0')then

                digit3_reg <= (others=>'0');

        elsif(rising_edge(clk2_reg))then

                if(digit3_reg < "1001")then
                        digit3_reg <= digit3_reg + '1';
```

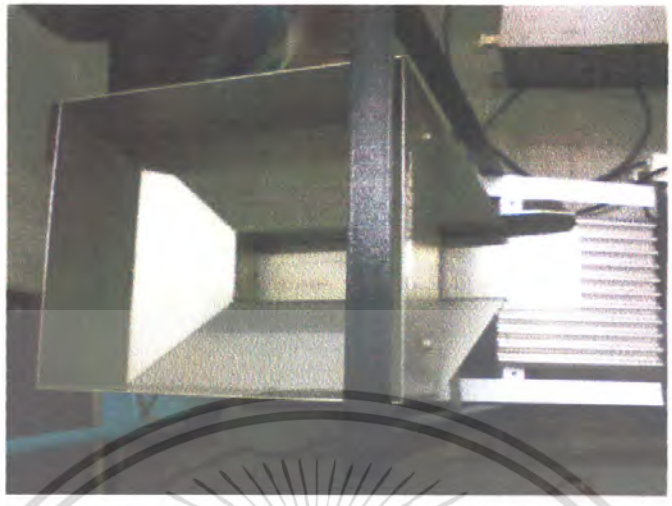
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                else
                        digit3_reg <= (others=>'0');
                end if;

        end if;

    end process;

    Digit0 <= digit0_reg;
    Digit1 <= digit1_reg;
    Digit2 <= digit2_reg;
    Digit3 <= digit3_reg;

end Behavioral;
```

6.7.3 เครื่องเขย่าเมล็ดข้าว

รูปที่ 6.48 ด้านข้างของเครื่องเขย่าเมล็ดข้าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.49 ด้านบนของเครื่องเขย่าเมล็ดข้าว

6.8 ผลการทดลองถึงความลาดชันของรางที่องศาต่างๆ(การตรวจจับสิ่งแปลกปลอม)

6.8.1 เตรียมผลผลิตที่ต้องการเป็นวัตถุขนาดเล็กขนาดสีขาว รวมทั้งหมด 20 เมล็ด โดยเป็นข้าว จำนวน 10 เมล็ด และของเสียที่ไม่ต้องการเป็นวัตถุสีดำจำนวน 10 เมล็ด

6.8.2 ปล่อยผลผลิตให้ไหลตามรางที่ 1, 2 และ 3 ที่ความลาดชัน 30, 45 และ 60 องศา

6.8.3 ทำการตรวจจับวัตถุสีดำที่ไม่ต้องการ โดยแสดงผลออกทาง 7- Segment แล้วทำการบันทึกผลลงในตารางที่ 5.1

ตารางที่ 6.2 จำนวนของเสียที่นับได้ที่องศาต่างๆรางที่ 1

จำนวนของเสียที่นับได้	ความชันของราง (องศา)		
	30 องศา	45 องศา	60 องศา
ครั้งที่ 1	9	9	9
ครั้งที่ 2	10	10	9
ครั้งที่ 3	10	9	7
เฉลี่ย	9.66	9.33	8.33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.2 จำนวนของเสียที่นับได้ที่องศาต่างๆรางที่ 2

จำนวนของเสียที่นับได้	ความชันของราง (องศา)		
	30 องศา	**45 องศา**	**60 องศา**
ครั้งที่ 1	10	9	7
ครั้งที่ 2	11	9	9
ครั้งที่ 3	11	8	8
เฉลี่ย	10.6	8.66	8

ตารางที่ 5.3 จำนวนของเสียที่นับได้ที่องศาต่างๆรางที่ 3

จำนวนของเสียที่นับได้	ความชันของราง (องศา)		
	30 องศา	**45 องศา**	**60 องศา**
ครั้งที่ 1	8	8	7
ครั้งที่ 2	8	7	7
ครั้งที่ 3	10	9	8
เฉลี่ย	8.66	8	7.33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปและวิจารณ์ผลการทดลอง

ในการทำเครื่องตรวจสอบสิ่งแปลกปลอมจากเมล็ดข้าวโดยการประมวลภาพนั้น เริ่มต้นด้วยการศึกษาการเขียนโปรแกรมด้วยภาษา VHDL และการใช้งานโปรแกรม MAX PLUS II เพื่อที่จะได้นำมาเป็นเครื่องมือในการออกแบบวงจรที่อยู่ใน FPGA เพื่อที่จะให้เกิดความสะดวกและถ้ามีการออกแบบที่ผิดพลาดก็สามารถที่จะแก้ไขได้สะดวก

เริ่มออกแบบวงจรภาค Drive CCD เพื่อสร้างสัญญาณ TG,RB,CLB,Phase1,Phase2 ซึ่งเป็นสัญญาณที่ใช้ควบคุมการทำงานของ CCD และเมื่อ CCD ได้รับสัญญาณจากภาค Drive CCD แล้วเราก็จะทำการวัดสัญญาณ OUTPUT ที่ได้จาก CCD โดยจะใช้พื้นสีขาวเป็นฉากรับแสงเพื่อสะท้อนกลับให้ CCD และเราจะใช้วัตถุสีดำเพื่อทดลองในการตรวจจับภาพ

ในขณะที่ยังไม่มีวัตถุสีดำผ่านสัญญาณที่ได้จาก CCD จะมีแรงดันคงที่อยู่ในระดับหนึ่งและเมื่อวัตถุสีดำผ่านระดับแรงดันก็จะมีค่าเปลี่ยนแปลงไปในทางที่สูงขึ้นกว่าระดับแรงดันที่ยังไม่มีวัตถุผ่านและเมื่อเรานำสัญญาณจาก OUTPUT ของ CCD ไปผ่านวงจร Comparater จะเห็นได้ว่าค่าของระดับแรงดันจะมีค่าแตกต่างกันอย่างชัดเจนซึ่งก็หมายถึงตัวกล้อง CCD สามารถตรวจจับวัตถุและแยกสีของวัตถุได้คือ ถ้าวัตถุมีสีอ่อนใกล้เคียงสีขาวระดับค่าแรงดันก็จะมีการเปลี่ยนแปลงน้อยมากหรือไม่มีการเปลี่ยนแปลง ในทางตรงข้ามถ้าวัตถุมีสีเข้มระดับค่าแรงดันก็จะเปลี่ยนแปลงอย่างเห็นได้ชัดเจน

เมื่อได้สัญญาณก็นำมาผ่านวงจรแยกรางเพื่อทำการตรวจสอบดูว่าวัตถุสีเข้มนั้นอยู่ที่ตำแหน่งของรางที่เท่าไร ซึ่งเราตรวจสอบได้จากวงจรแยกรางที่เราได้ออกแบบไว้ในบทที่ 4 เมื่อตรวจสอบแล้วรู้ว่าวัตถุสีเข้มนั้นอยู่ในรางใด เราก็จะใช้ D-FLIPFLOP ที่อยู่ในวงจร Shift Register ของรางนั้นทำการแปลงสัญญาณให้ได้สัญญาณตามต้องการเพื่อเอาไปเข้าวงจร Counter เพื่อที่จะทำการแสดงผลออกทาง 7-Segment

เมื่อได้รับสัญญาณจากวงจร Shift Register แล้ววงจร Counter ก็จะทำหน้าที่นับจำนวนสิ่งแปลกปลอมหรือวัตถุสีเข้มและแสดงผลออกทาง 7-Segment

จากการทดลองวัดสัญญาณจาก output ของ ccd ประสบปัญหาสัญญาณที่ได้จากกล้อง ccd เมื่อข้าวสีดำผ่าน มีค่าน้อยมาก เมื่อเทียบกับสัญญาณจาก ข้าวสีขาวที่ผ่าน ทำให้การนำเอาสัญญาณไปใช้ต่อในภาค Comparater มีปัญหา ผลที่ตามมาทำให้มีสัญญาณ noise เข้ามารบกวนเป็นจำนวนมาก ทำให้การปรับค่าทำได้ยาก และจากการติดตั้งเครื่องเขย่าเมล็ดข้าว ทำให้เกิด noise จำนวนมากเข้ามารบกวนสัญญาณจนไม่สามารถจับสัญญาณได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ชำนาญ และวัชรากร. 2547. ภาษา VHDL สำหรับการออกแบบวงจรดิจิตอล. บริษัท ซีเอ็ด ยูเคชั่น จำกัด (มหาชน)

ธันยวัต และคณะ. Digital System Design การออกแบบระบบดิจิตอล. มหาวิทยาลัยเทคโนโลยีมหานคร

ชาติชาย ดิษฐกุล. เอกสารประกอบการเรียน ภาษา VHDL. ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NEC

MOS INTEGRATED CIRCUIT

μPD8861

5400 PIXELS × 3 COLOR CCD LINEAR IMAGE SENSOR

DESCRIPTION

The μPD8861 is a color CCD (Charge Coupled Device) linear image sensor which changes optical images to electrical signal and has the function of color separation.

The μPD8861 has 3 rows of 5400 pixels, and each row has a single-sided readout type of charge transfer register. And it has reset feed-through level clamp circuits and voltage amplifiers. Therefore, it is suitable for 600 dpi/A4 color image scanners, color facsimiles and so on.

FEATURES

- Valid photocell : 5400 pixels × 3
- Photocell pitch : 5.25 μm
- Photocell size : $5.25 \times 5.25\ \mu m^2$
- Line spacing : 42 μm (8 lines) Red line - Green line, Green line - Blue line
- Color filter : Primary colors (red, green and blue), pigment filter (with light resistance 10^7 lx•hour)
- Resolution : 24 dot/mm A4 (210 × 297 mm) size (shorter side)
  600 dpi US letter (8.5" × 11") size (shorter side)
- Drive clock level : CMOS output under 5 V operation
- Data rate : 6 MHz Max.
- Power supply : +12 V
- On-chip circuits : Reset feed-through level clamp circuits
  Voltage amplifiers

ORDERING INFORMATION

Part Number	Package
μPD8861CY	CCD linear image sensor 22-pin plastic DIP (10.16 mm (400))

The information in this document is subject to change without notice. Before using this document, please confirm that this is the latest version.
Not all devices/types available in every country. Please check with local NEC representative for availability and additional information.

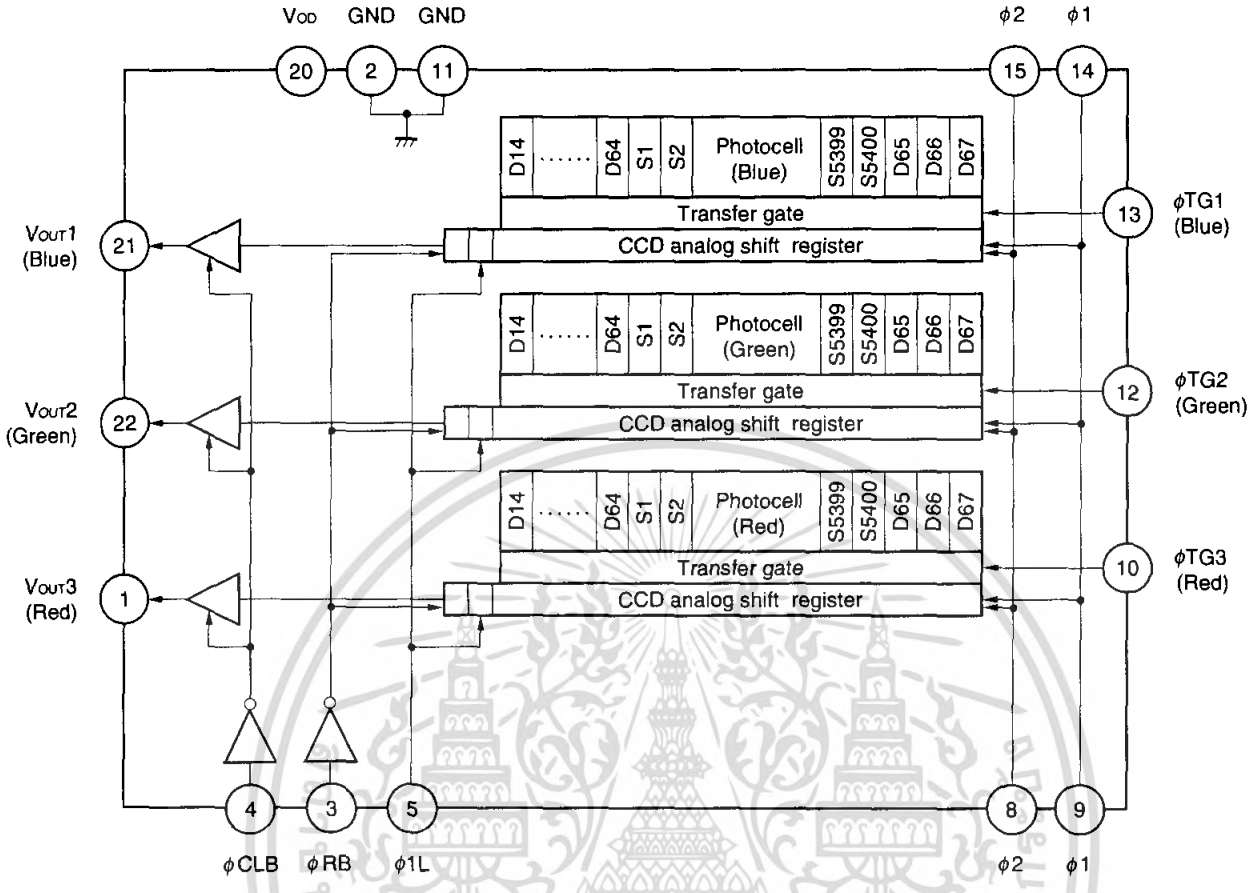
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

Document No. S15167EJ2V0DS00 (2nd edition)
Date Published June 2001 NS CP (K)
Printed in Japan

The mark ★ shows major revised points.

© NEC Corporation 2000

BLOCK DIAGRAM

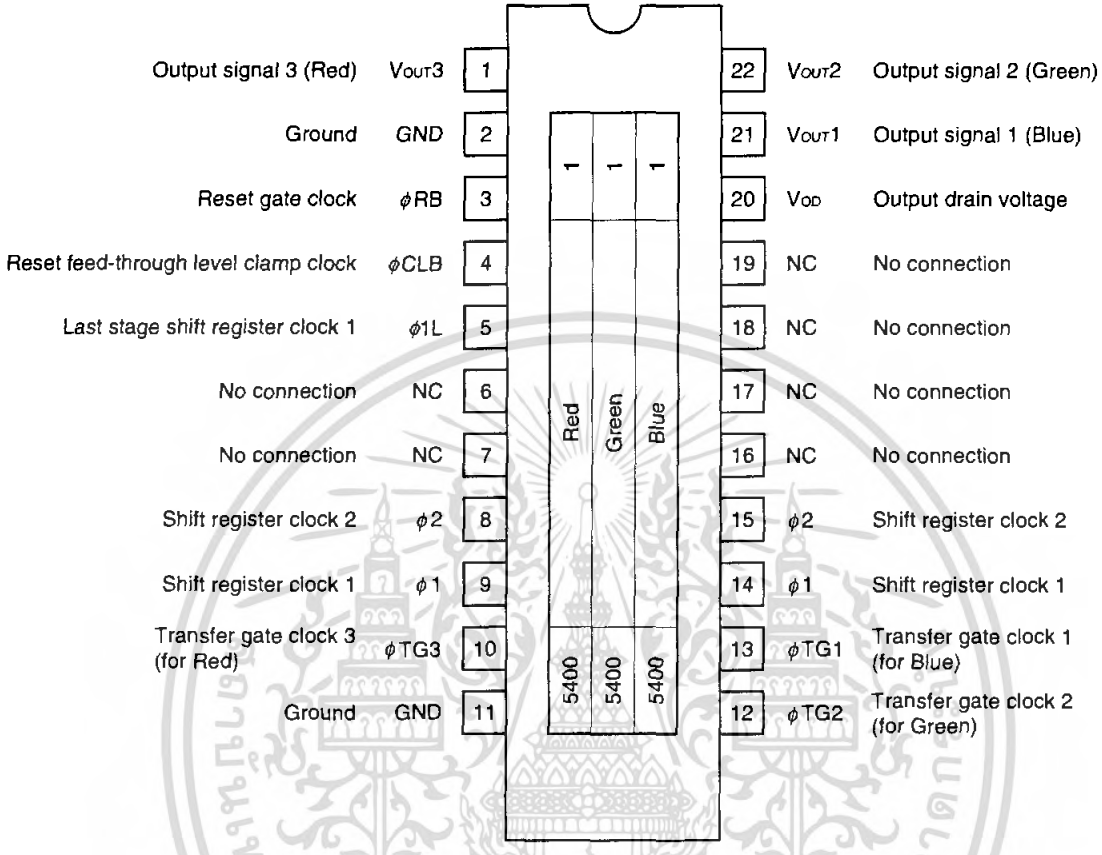


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

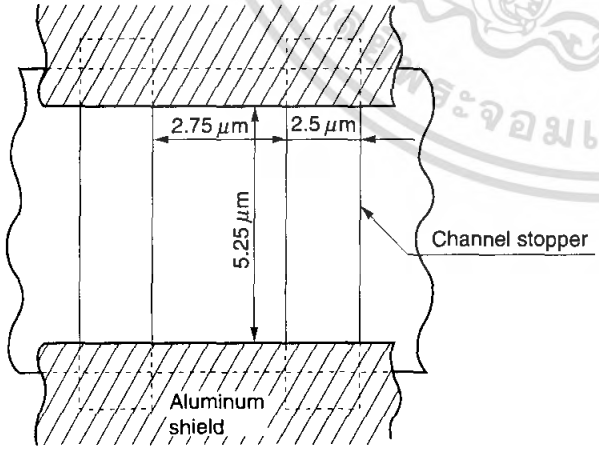
PIN CONFIGURATION (Top View)

CCD linear image sensor 22-pin plastic DIP (10.16 mm (400))

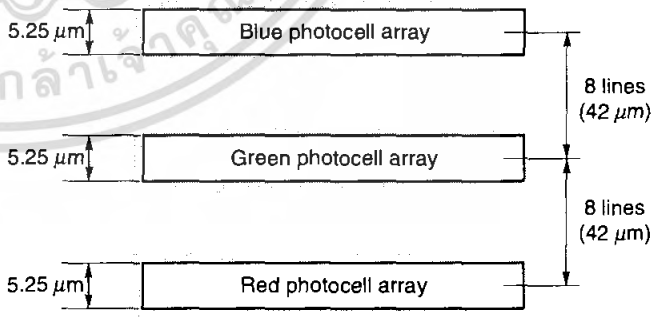
• μPD8861CY



PHOTOCELL STRUCTURE DIAGRAM



PHOTOCELL ARRAY STRUCTURE DIAGRAM (Line spacing)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (T_A = +25°C)

Parameter	Symbol	Ratings	Unit
Output drain voltage	V_{OD}	−0.3 to +15	V
Shift register clock voltage	$V_{\phi 1}$, $V_{\phi 2}$, $V_{\phi 1L}$	−0.3 to +8	V
Reset gate clock voltage	$V_{\phi RB}$	−0.3 to +8	V
Reset feed-through level clamp clock voltage	$V_{\phi CLB}$	−0.3 to +8	V
Transfer gate clock voltage	$V_{\phi TG1}$ to $V_{\phi TG3}$	−0.3 to +8	V
Operating ambient temperature	T_A	0 to +60	°C
Storage temperature	T_{stg}	−40 to +70	°C

Caution Product quality may suffer if the absolute maximum rating is exceeded even momentarily for any parameter. That is, the absolute maximum ratings are rated values at which the product is on the verge of suffering physical damage, and therefore the product must be used under conditions that ensure that the absolute maximum ratings are not exceeded.

RECOMMENDED OPERATING CONDITIONS (T_A = +25°C)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Output drain voltage	V_{OD}	11.4	12.0	12.6	V
Shift register clock high level	$V_{\phi 1H}$, $V_{\phi 2H}$, $V_{\phi 1LH}$	4.5	5.0	5.5	V
Shift register clock low level	$V_{\phi 1L}$, $V_{\phi 2L}$, $V_{\phi 1LL}$	−0.3	0	+0.5	V
Reset gate clock high level	$V_{\phi RBH}$	4.5	5.0	5.5	V
Reset gate clock low level	$V_{\phi RBL}$	−0.3	0	+0.5	V
Reset feed-through level clamp clock high level	$V_{\phi CLBH}$	4.5	5.0	5.5	V
Reset feed-through level clamp clock low level	$V_{\phi CLBL}$	−0.3	0	+0.5	V
Transfer gate clock high level	$V_{\phi TG1H}$ to $V_{\phi TG3H}$	4.5	$V_{\phi 1H}$ Note	$V_{\phi 1H}$ Note	V
Transfer gate clock low level	$V_{\phi TG1L}$ to $V_{\phi TG3L}$	−0.3	0	+0.3	V
Data rate	$f_{\phi RB}$	–	1.0	6.0	MHz

Note When Transfer gate clock high level ($V_{\phi TG1H}$ to $V_{\phi TG3H}$) is higher than Shift register clock high level ($V_{\phi 1H}$), Image lag can increase.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

(T_A = +25°C, V_{OD} = 12 V, data rate ($f_{\phi RB}$) = 1 MHz, storage time = 5.5 ms, input signal clock = 5 V_{p-p}, light source : 3200 K halogen lamp + C-500S (infrared cut filter, t = 1 mm) + HA-50 (heat absorbing filter, t = 3 mm))

Parameter		Symbol	Test Conditions	Min.	Typ.	Max.	Unit
Saturation voltage		V_{sat}		2.0	2.5	–	V
Saturation exposure	Red	SER		–	0.420	–	lx•s
	Green	SEG		–	0.429	–	lx•s
	Blue	SEB		–	0.739	–	lx•s
Photo response non-uniformity		PRNU	V_{OUT} = 1.0 V	–	6	20	%
Average dark signal		ADS	Light shielding	–	0.2	2.0	mV
Dark signal non-uniformity		DSNU	Light shielding	–	1.5	5.0	mV
Power consumption		P_W		–	360	540	mW
Output impedance		Z_O		–	0.35	1	kΩ
Response	Red	R_R		4.15	5.94	7.72	V/lx•s
	Green	R_G		4.07	5.82	7.57	V/lx•s
	Blue	R_B		2.36	3.38	4.39	V/lx•s
Image lag		IL	V_{OUT} = 1.0 V	–	1.5	7.0	%
Offset level Note 1		V_{OS}		4.0	5.5	7.0	V
Output fall delay time Note 2		t_d	V_{OUT} = 1.0 V	–	25	–	ns
Total transfer efficiency		TTE	V_{OUT} = 1.0 V, data rate = 6 MHz	92	98	–	%
Response peak	Red			–	630	–	nm
	Green			–	540	–	nm
	Blue			–	460	–	nm
Dynamic range		DR1	V_{sat}/DSNU	–	1666	–	times
		DR2	V_{sat}/σCDS	–	2777	–	times
Reset feed-through noise Note 1		RFTN	Light shielding	0	750	1500	mV
Random noise (CDS)		σCDS	Light shielding, bit clamp mode	–	0.9	–	mV

Notes 1. Refer to **TIMING CHART 2, 3**.

2. When the fall time of ϕ1L (t1') is the Typ. value (refer to **TIMING CHART 2, 3**).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

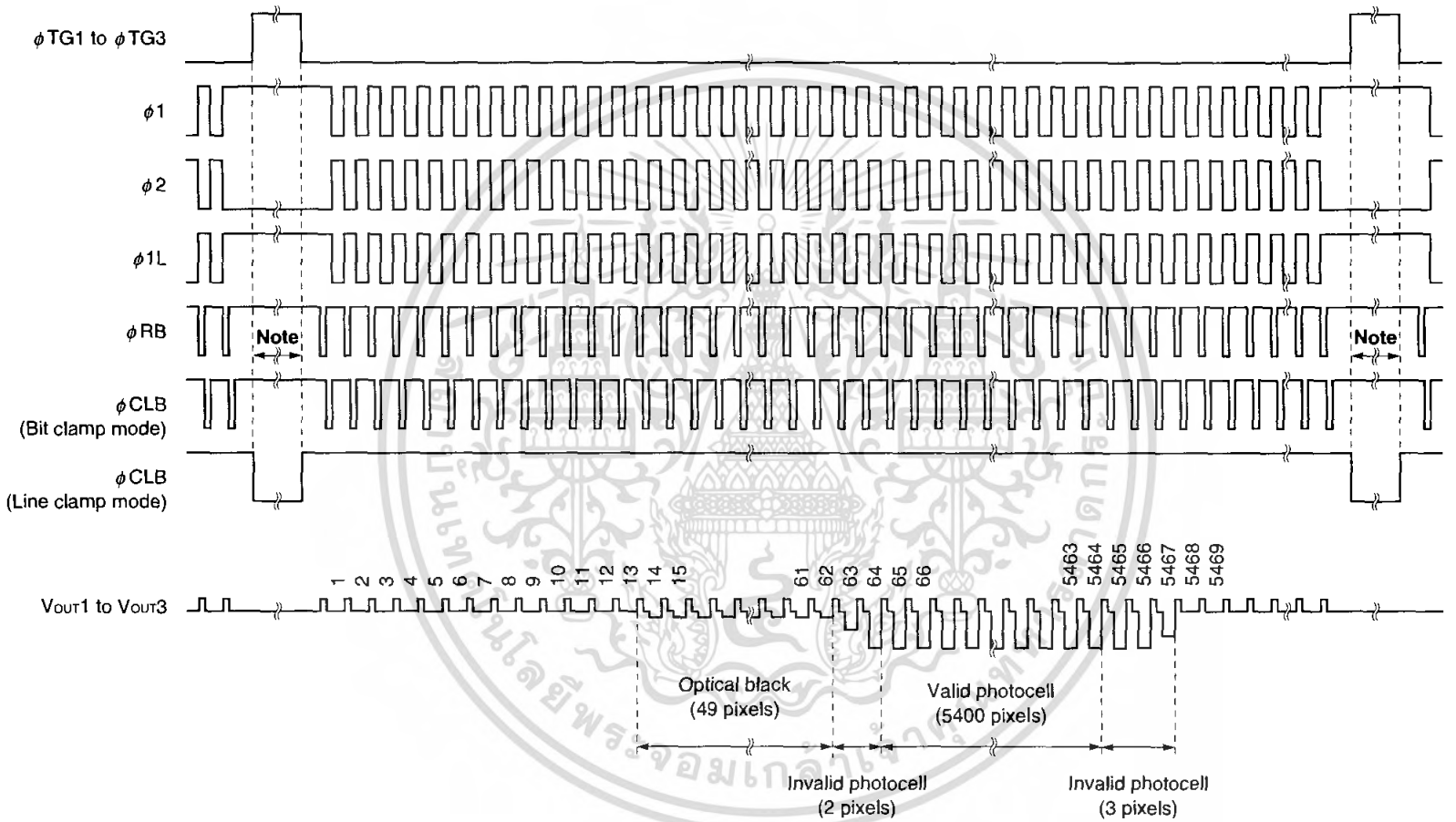
INPUT PIN CAPACITANCE (T_A = +25°C, V_{OD} = 12 V)

Parameter	Symbol	Pin name	Pin No.	Min.	Typ.	Max.	Unit
Shift register clock pin capacitance 1	$C_{\phi 1}$	ϕ1	9	–	300	–	pF
			14	–	300	–	pF
Shift register clock pin capacitance 2	$C_{\phi 2}$	ϕ2	8	–	300	–	pF
			15	–	300	–	pF
Last stage shift register clock pin capacitance	$C_{\phi L}$	ϕ1L	5	–	10	–	pF
Reset gate clock pin capacitance	$C_{\phi RB}$	ϕRB	3	–	10	–	pF
Reset feed-through level clamp clock pin capacitance	$C_{\phi CLB}$	ϕCLB	4	–	10	–	pF
Transfer gate clock pin capacitance	$C_{\phi TG}$	ϕTG1	13	–	100	–	pF
		ϕTG2	12	–	100	–	pF
		ϕTG3	10	–	100	–	pF

Remark Pin 9 and 14 (ϕ1), 8 and 15 (ϕ2) are each connected inside of the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

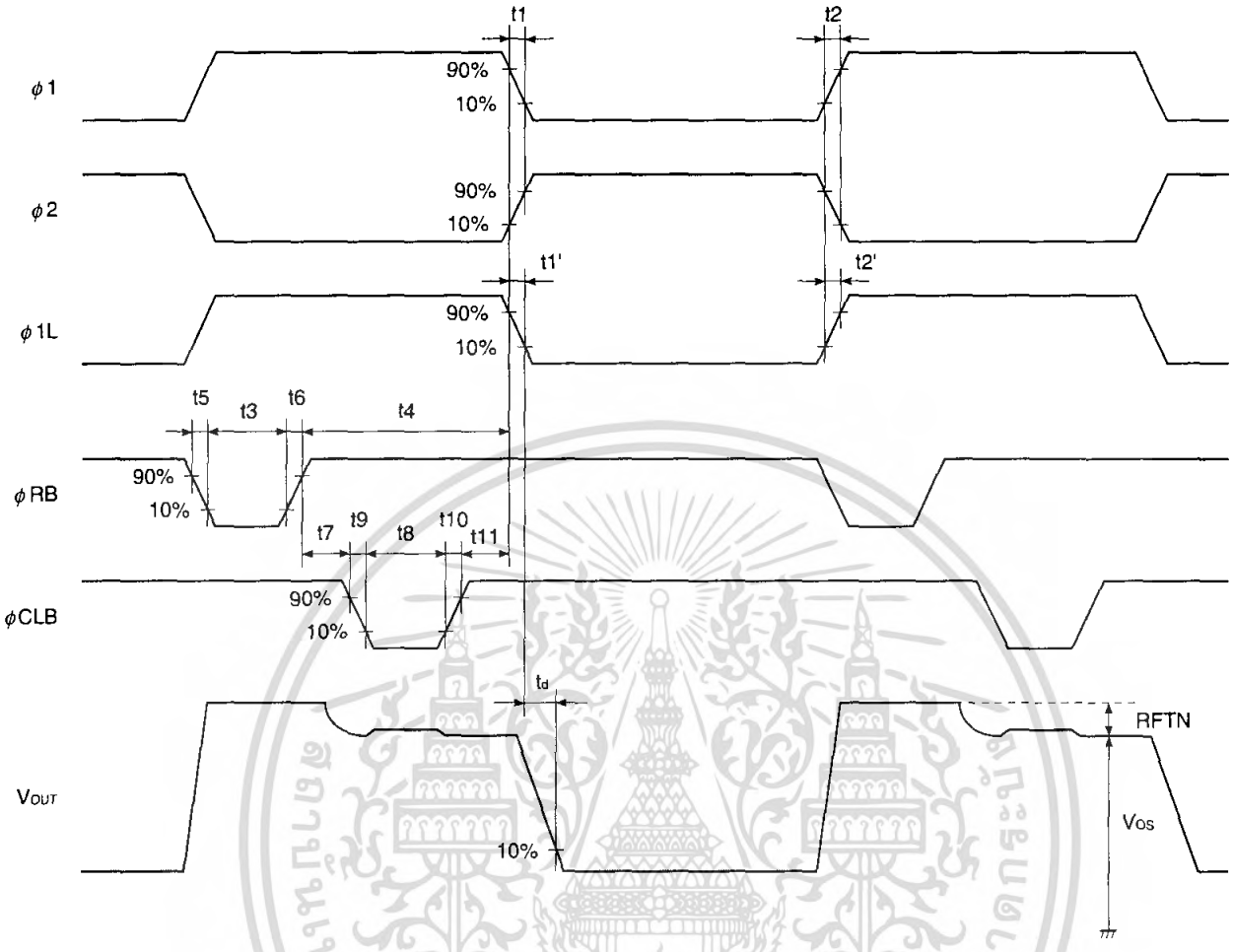
TIMING CHART 1 (for each color)



Note Set the φRB and φCLB (Bit clamp mode) to high level during this period.
And stop the φRB pulse while the φCLB pulse is low level at line clamp mode.

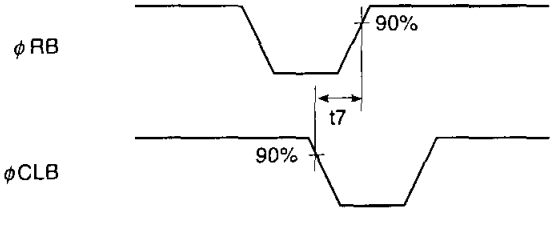
Remark Inverse pulse of the φTG1 to φTG3 can be used as φCLB at line clamp mode.

TIMING CHART 2 (Bit clamp mode, for each color)



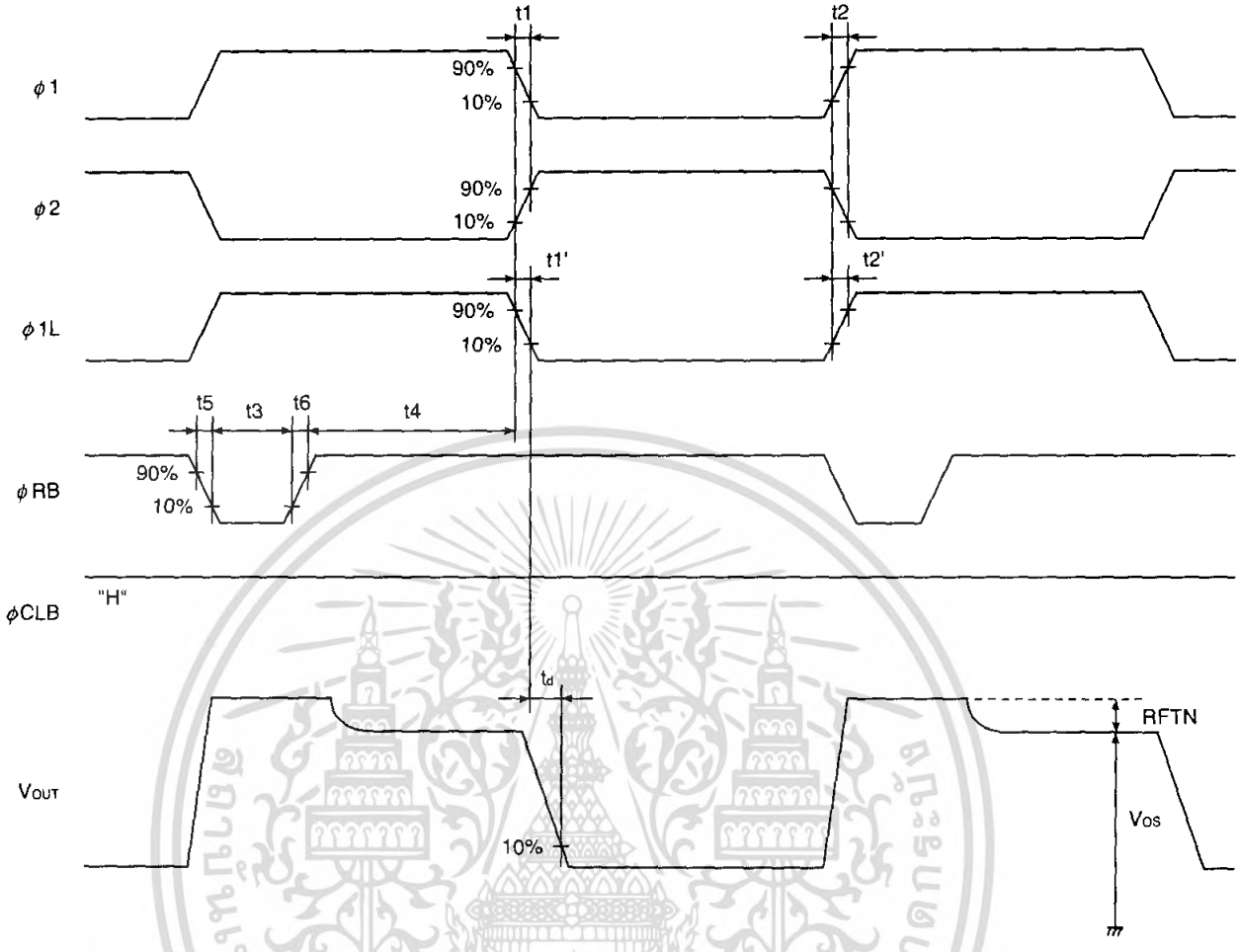
Symbol	Min.	Typ.	Max.	Unit
t1, t2	0	25	–	ns
t1', t2'	0	5	–	ns
t3	20	200	–	ns
t4	40	300	–	ns
t5, t6	0	5	–	ns
t7	−5 Note	50	–	ns
t8	35	200	–	ns
t9, t10	0	5	–	ns
t11	10	50	–	ns

Note Min. of t7 shows that the φRB and φCLB overlap each other.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

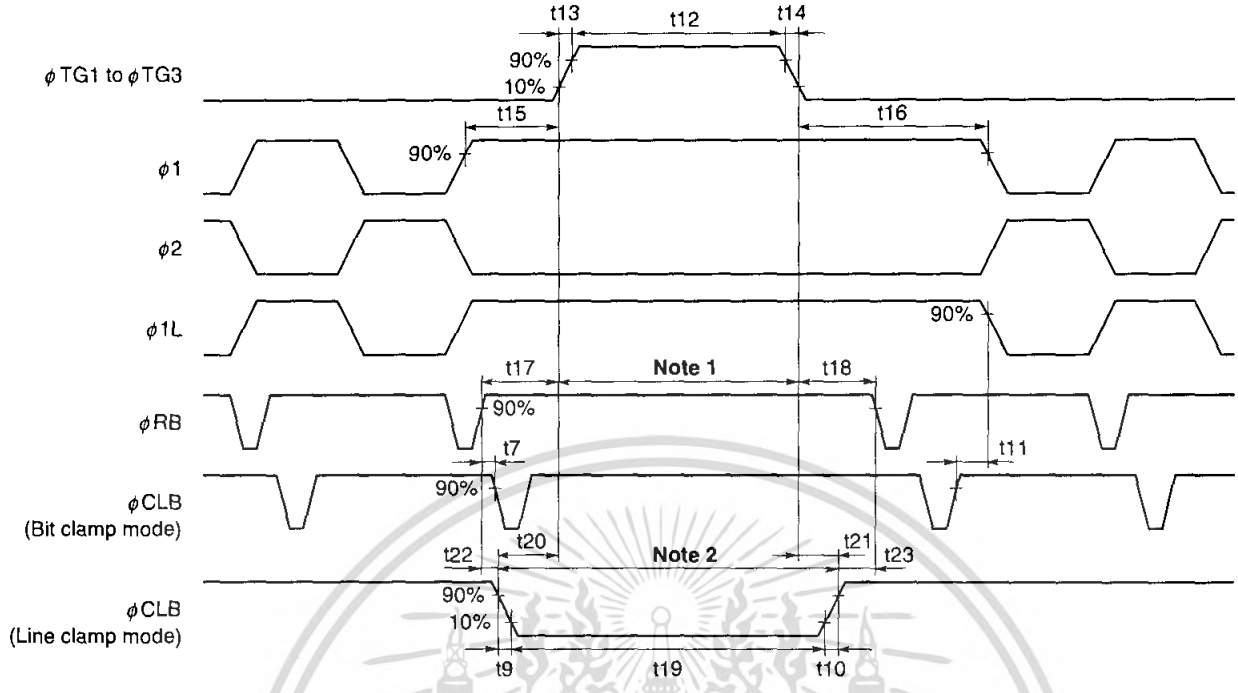
TIMING CHART 3 (Line clamp mode, for each color)



Symbol	Min.	Typ.	Max.	Unit
t1, t2	0	25	–	ns
t1', t2'	0	5	–	ns
t3	20	200	–	ns
t4	40	300	–	ns
t5, t6	0	5	–	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING CHART 4



Symbol	Min.	Typ.	Max.	Unit
t7	−5 Note 3	50	–	ns
t9, t10	0	5	–	ns
t11	10	50	–	ns
t12	3000	10000	50000	ns
t13, t14	0	50	–	ns
t15, t16	900	1000	–	ns
t17, t18	200	400	–	ns
t19	t12	t12	50000	ns
t20, t21	0	50	–	ns
t22, t23	0	350	–	ns

Notes 1. Set the φRB and φCLB (Bit clamp mode) to high level during this period.

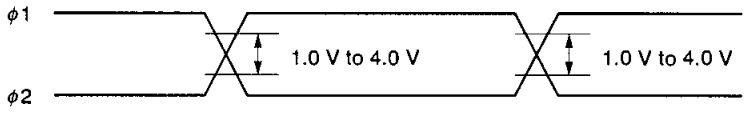
2. Stop the φRB pulse during this period.

3. Min. of t7 shows that the φRB and φCLB overlap each other.

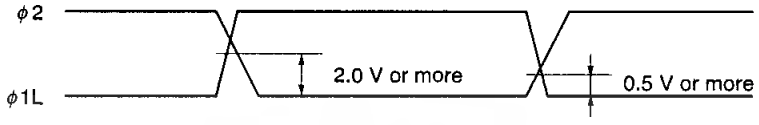
Remark Inverse pulse of the φTG1 to φTG3 can be used as φCLB.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

★ **ϕ1, ϕ2 cross points**



ϕ1L, ϕ2 cross points



Remark Adjust cross points (ϕ1, ϕ2) and (ϕ1L, ϕ2) with input resistance of each pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS OF CHARACTERISTIC ITEMS

1. Saturation voltage : **V_{sat}**

   Output signal voltage at which the response linearity is lost.

2. Saturation exposure : **SE**

   Product of intensity of illumination (lx) and storage time (s) when saturation of output voltage occurs.

3. Photo response non-uniformity : **PRNU**

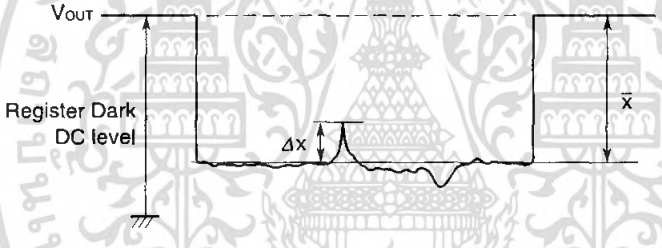
   The output signal non-uniformity of all the valid pixels when the photosensitive surface is applied with the light of uniform illumination. This is calculated by the following formula.

$$PRNU\ (\%) = \frac{\Delta x}{\bar{x}} \times 100$$

Δx : maximum of $|x_j - \bar{x}|$

$$\bar{x} = \frac{\sum_{j=1}^{5400} x_j}{5400}$$

x_j : Output voltage of valid pixel number j



4. Average dark signal : **ADS**

   Average output signal voltage of all the valid pixels at light shielding. This is calculated by the following formula.

$$ADS\ (mV) = \frac{\sum_{j=1}^{5400} d_j}{5400}$$

d_j : Dark signal of valid pixel number j

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. Random noise (CDS) : **σCDS**

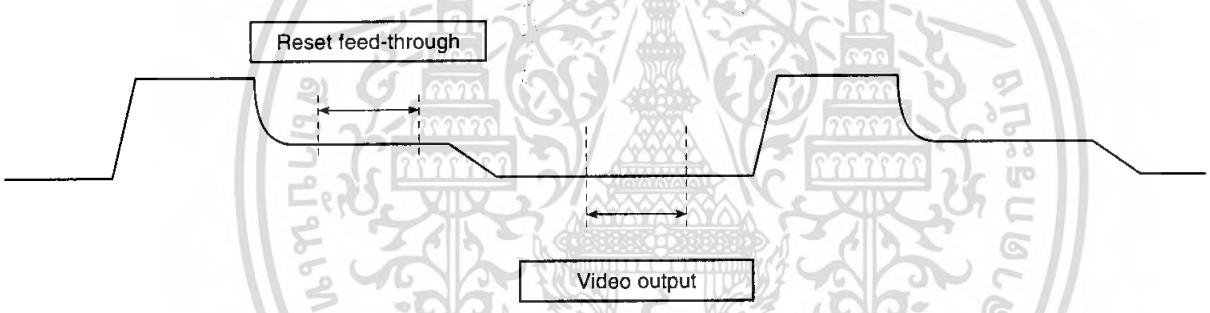
Random noise σCDS is defined as the standard deviation of a valid pixel output signal with 100 times (=100 lines) data sampling at dark (light shielding). σCDS is calculated by the following procedure.

1. One valid photocell in one reading is fixed as measurement point.
2. The output level is measured during the reset feed-through period which is averaged over 100 ns to get "VD_i".
3. The output level is measured during the video output time averaged over 100 ns to get "VO_i".
4. The correlated double sampling output is defined by the following formula.

$$VCDS_i = VD_i - VO_i$$

5. Repeat the above procedure (1 to 4) for 100 times (= 100 lines).
6. Calculate the standard deviation σCDS using the following formula equation.

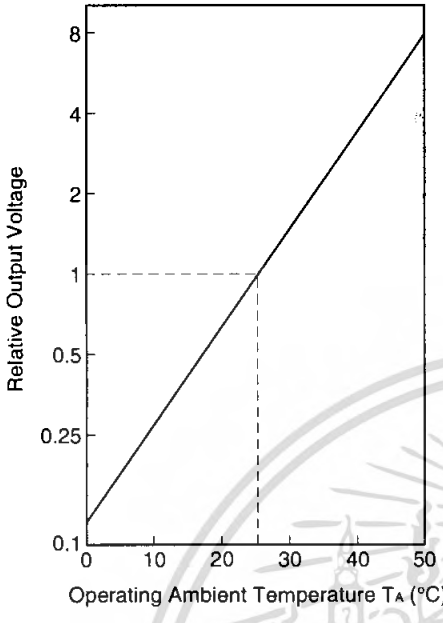
$$\sigma CDS\ (mV) = \sqrt{\frac{\sum_{i=1}^{100} (VCDS_i - \overline{V})^2}{100}}, \quad \overline{V} = \frac{1}{100} \sum_{i=1}^{100} VCDS_i$$



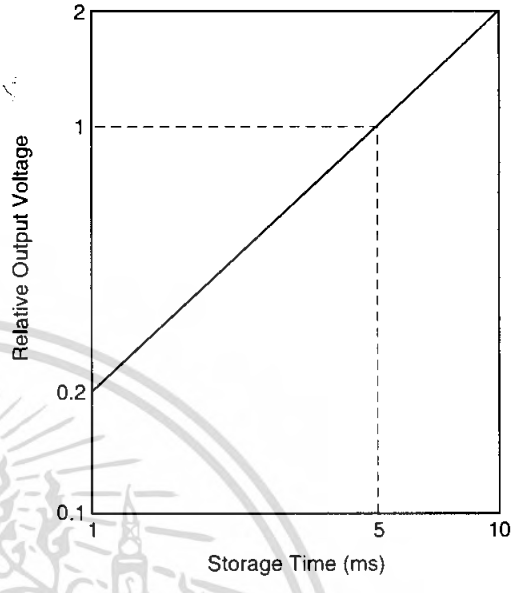
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STANDARD CHARACTERISTIC CURVES (Nominal)

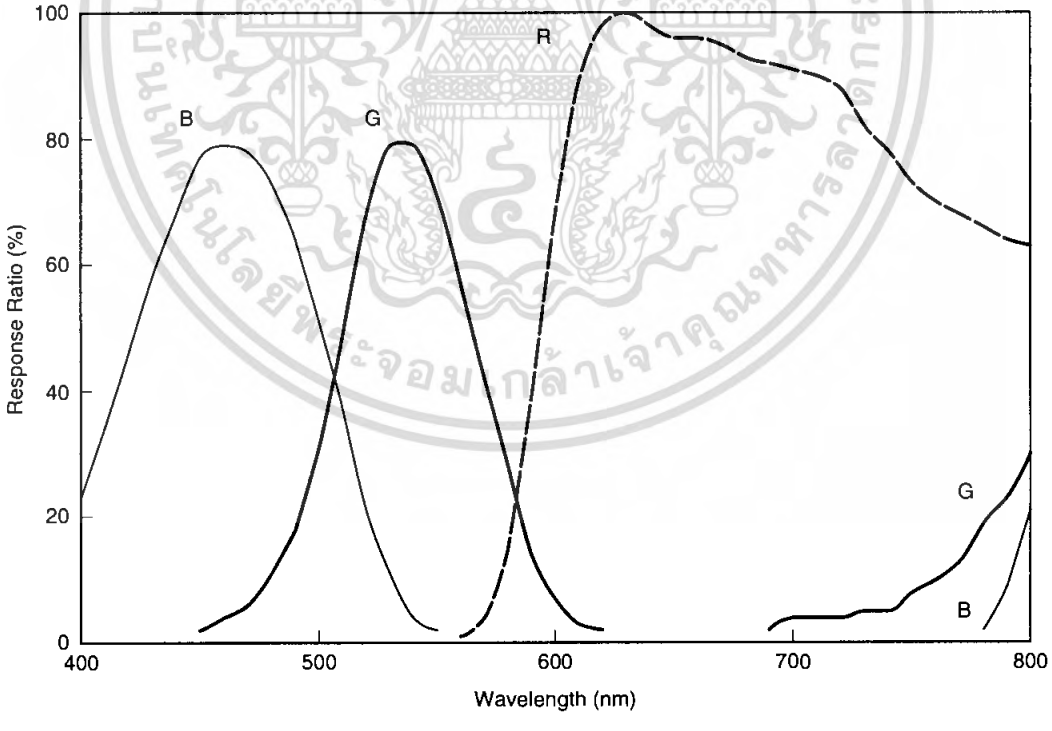
DARK OUTPUT TEMPERATURE CHARACTERISTIC



STORAGE TIME OUTPUT VOLTAGE CHARACTERISTIC (T_A = +25°C)

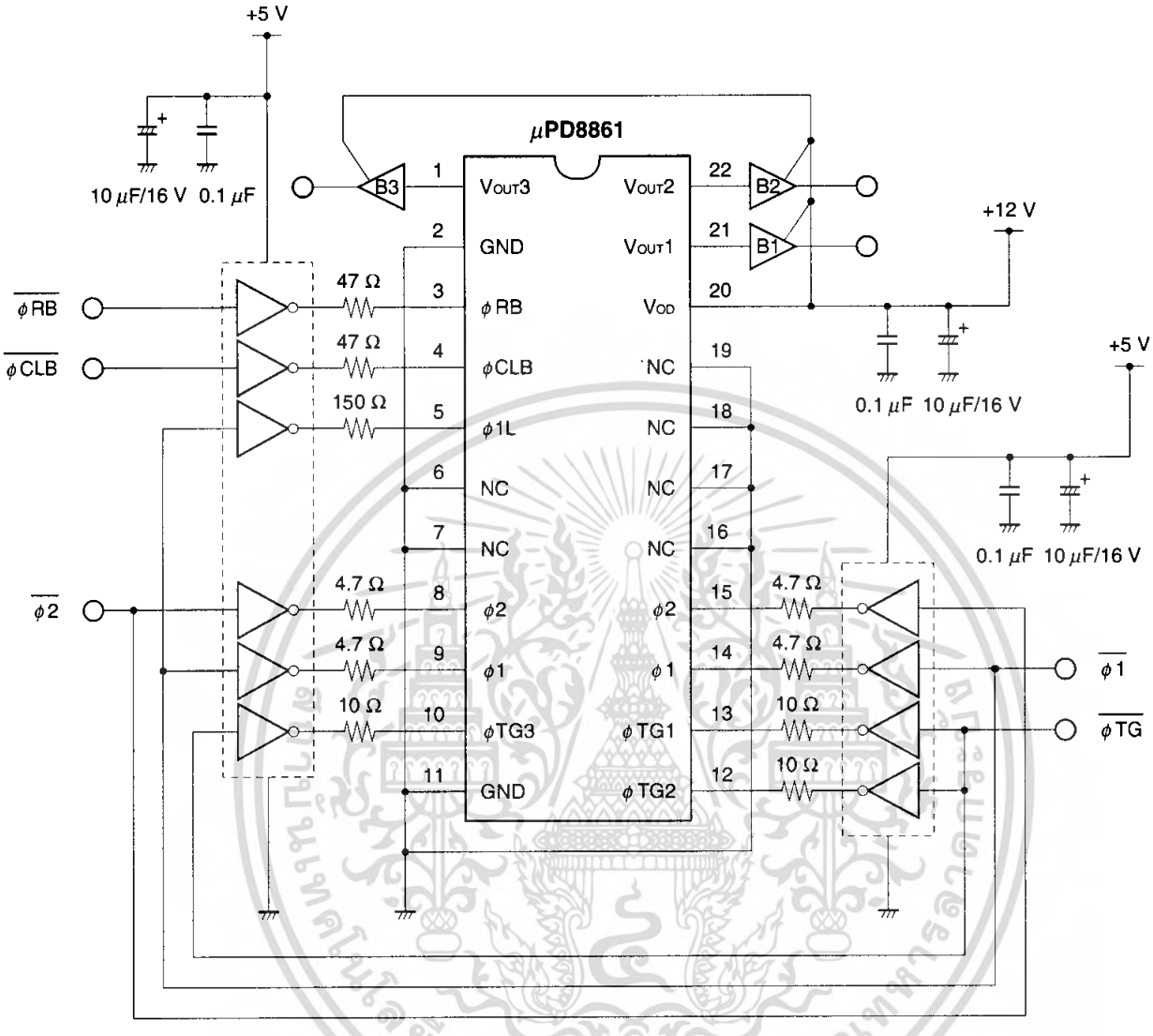


TOTAL SPECTRAL RESPONSE CHARACTERISTICS (without infrared cut filter and heat absorbing filter) (T_A = +25°C)



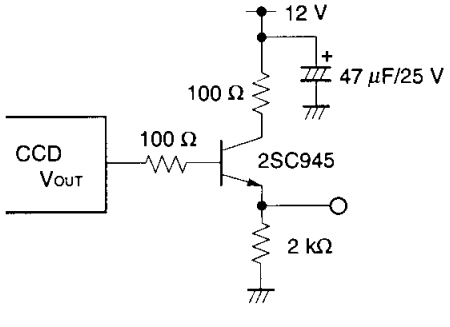
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION CIRCUIT EXAMPLE



Remark The inverters shown in the above application circuit example are the 74HC04 (data rate < 2 MHz) or the 74AC04 (2 MHz ≤ data rate < 6 MHz).

B1 to B3 EQUIVALENT CIRCUIT

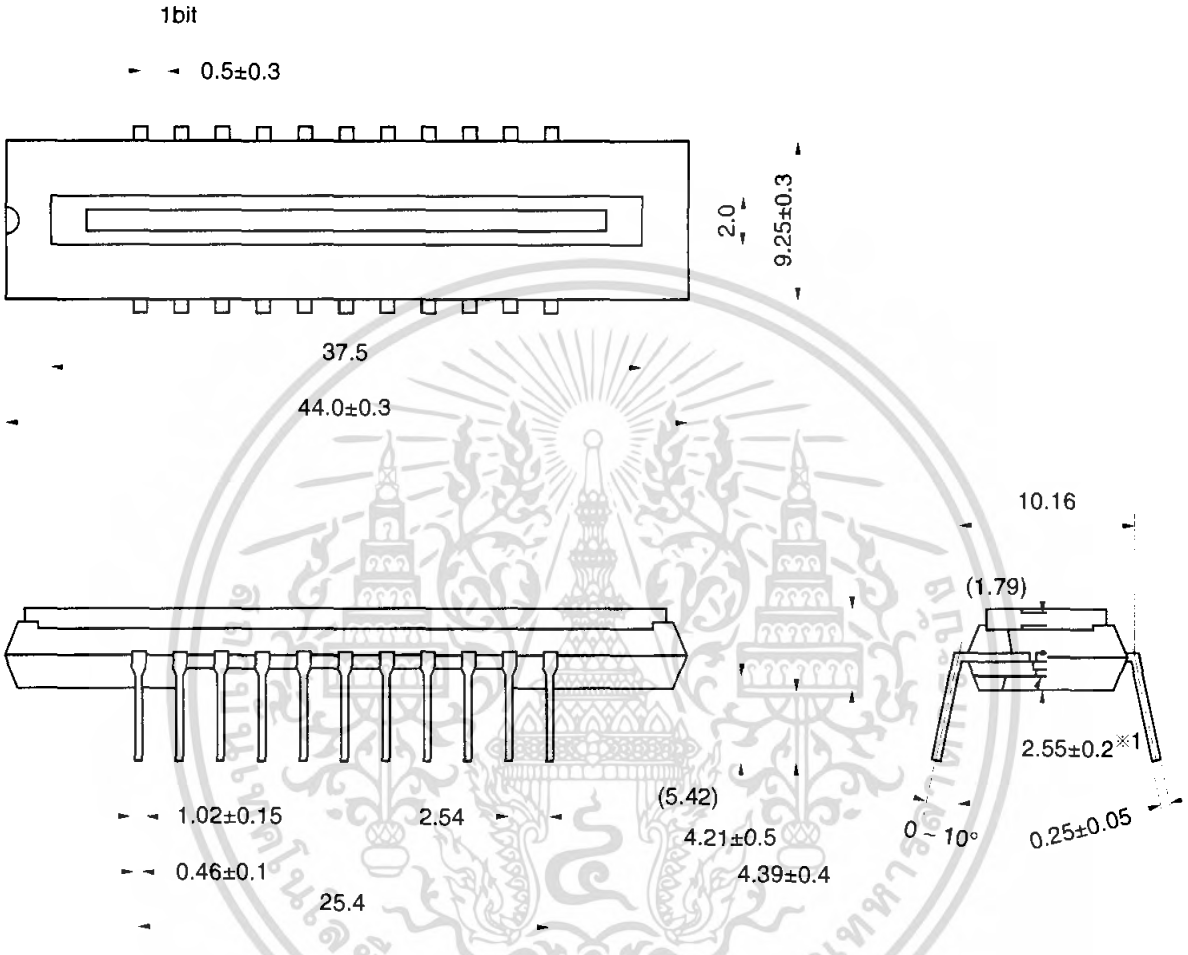


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DRAWING

CCD LINEAR IMAGE SENSOR 22-PIN PLASTIC DIP (10.16 mm (400))

(Unit : mm)



Name	Dimensions	Refractive index
Plastic cap	42.9 × 8.35 × 0.7※2	1.5

※1 The bottom of the package ← → The surface of the chip

※2 The thickness of the cap over the chip

22C-1CCD-PKG6-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED SOLDERING CONDITIONS

When soldering this product, it is highly recommended to observe the conditions as shown below.

If other soldering processes are used, or if the soldering is performed under different conditions, please make sure to consult with our sales offices.

For more details, refer to our document **"Semiconductor Device Mounting Technology Manual" (C10535E)**.

Type of Through-hole Device

μPD8861CY : CCD linear image sensor 22-pin plastic DIP (10.16 mm (400))

Process	Conditions
Partial heating method	Pin temperature : 300 °C or below, Heat time : 3 seconds or less (per pin)

Caution During assembly care should be taken to prevent solder or flux from contacting the plastic cap. The optical characteristics could be degraded by such contact.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES ON CLEANING THE PLASTIC CAP

① CLEANING THE PLASTIC CAP

Care should be taken when cleaning the surface to prevent scratches.
The optical characteristics of the CCD will be degraded if the cap is scratched during cleaning.

We recommend cleaning the cap with a soft cloth moistened with one of the recommended solvents below. Excessive pressure should not be applied to the cap during cleaning. If the cap requires multiple cleanings it is recommended that a clean surface or cloth be used.

② RECOMMENDED SOLVENTS

The following are the recommended solvents for cleaning the CCD plastic cap. Use of solvents other than these could result in optical or physical degradation in the plastic cap. Please consult your sales office when considering an alternative solvent.

Solvents	Symbol
Ethyl Alcohol	EtOH
Methyl Alcohol	MeOH
Isopropyl Alcohol	IPA
N-methyl Pyrrolidone	NMP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[MEMO]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[MEMO]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[MEMO]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTES FOR CMOS DEVICES

① PRECAUTION AGAINST ESD FOR SEMICONDUCTORS

Note:

Strong electric field, when exposed to a MOS device, can cause destruction of the gate oxide and ultimately degrade the device operation. Steps must be taken to stop generation of static electricity as much as possible, and quickly dissipate it once, when it has occurred. Environmental control must be adequate. When it is dry, humidifier should be used. It is recommended to avoid using insulators that easily build static electricity. Semiconductor devices must be stored and transported in an anti-static container, static shielding bag or conductive material. All test and measurement tools including work bench and floor should be grounded. The operator should be grounded using wrist strap. Semiconductor devices must not be touched with bare hands. Similar precautions need to be taken for PW boards with semiconductor devices on it.

② HANDLING OF UNUSED INPUT PINS FOR CMOS

Note:

No connection for CMOS device inputs can be cause of malfunction. If no connection is provided to the input pins, it is possible that an internal input level may be generated due to noise, etc., hence causing malfunction. CMOS devices behave differently than Bipolar or NMOS devices. Input levels of CMOS devices must be fixed high or low by using a pull-up or pull-down circuitry. Each unused pin should be connected to V_{DD} or GND with a resistor, if it is considered to have a possibility of being an output pin. All handling related to the unused pins must be judged device by device and related specifications governing the devices.

③ STATUS BEFORE INITIALIZATION OF MOS DEVICES

Note:

Power-on does not necessarily define initial status of MOS device. Production process of MOS does not define the initial operation status of the device. Immediately after the power source is turned ON, the devices with reset function have not yet been initialized. Hence, power-on does not guarantee out-pin levels, I/O settings or contents of registers. Device is not initialized until the reset signal is received. Reset operation must be executed immediately after power-on for devices having reset function.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- **The information in this document is current as of June, 2001. The information is subject to change without notice. For actual design-in, refer to the latest publications of NEC's data sheets or data books, etc., for the most up-to-date specifications of NEC semiconductor products. Not all products and/or types are available in every country. Please check with an NEC sales representative for availability and additional information.**
- No part of this document may be copied or reproduced in any form or by any means without prior written consent of NEC. NEC assumes no responsibility for any errors that may appear in this document.
- NEC does not assume any liability for infringement of patents, copyrights or other intellectual property rights of third parties by or arising from the use of NEC semiconductor products listed in this document or any other liability arising from the use of such products. No license, express, implied or otherwise, is granted under any patents, copyrights or other intellectual property rights of NEC or others.
- Descriptions of circuits, software and other related information in this document are provided for illustrative purposes in semiconductor product operation and application examples. The incorporation of these circuits, software and information in the design of customer's equipment shall be done under the full responsibility of customer. NEC assumes no responsibility for any losses incurred by customers or third parties arising from the use of these circuits, software and information.
- While NEC endeavours to enhance the quality, reliability and safety of NEC semiconductor products, customers agree and acknowledge that the possibility of defects thereof cannot be eliminated entirely. To minimize risks of damage to property or injury (including death) to persons arising from defects in NEC semiconductor products, customers must incorporate sufficient safety measures in their design, such as redundancy, fire-containment, and anti-failure features.
- NEC semiconductor products are classified into the following three quality grades:
  "Standard", "Special" and "Specific". The "Specific" quality grade applies only to semiconductor products developed based on a customer-designated "quality assurance program" for a specific application. The recommended applications of a semiconductor product depend on its quality grade, as indicated below. Customers must check the quality grade of each semiconductor product before using it in a particular application.

  "Standard": Computers, office equipment, communications equipment, test and measurement equipment, audio and visual equipment, home electronic appliances, machine tools, personal electronic equipment and industrial robots

  "Special": Transportation equipment (automobiles, trains, ships, etc.), traffic control systems, anti-disaster systems, anti-crime systems, safety equipment and medical equipment (not specifically designed for life support)

  "Specific": Aircraft, aerospace equipment, submersible repeaters, nuclear reactor control systems, life support systems and medical equipment for life support, etc.

  The quality grade of NEC semiconductor products is "Standard" unless otherwise expressly specified in NEC's data sheets or data books, etc. If customers wish to use NEC semiconductor products in applications not intended by NEC, they must contact an NEC sales representative in advance to determine NEC's willingness to support a given application.

  (Note)

  (1) "NEC" as used in this statement means NEC Corporation and also includes its majority-owned subsidiaries.

  (2) "NEC semiconductor products" means any semiconductor product developed or manufactured by or for NEC (as defined above).

เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT04
Hex inverter

Product specification
File under Integrated Circuits, IC06

September 1993

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHILIPS

Hex inverter 74HC/HCT04

FEATURES

- Output capability: standard
- I_{CC} category: SSI

GENERAL DESCRIPTION

The 74HC/HCT04 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A. The 74HC/HCT04 provide six inverting buffers.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/ t_{PLH}	propagation delay nA to nY	C_L = 15 pF; V_{CC} = 5 V	7	8	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per gate	notes 1 and 2	21	24	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):

   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:

   f_i = input frequency in MHz

   f_o = output frequency in MHz

   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

   C_L = output load capacitance in pF

   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V

ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 3, 5, 9, 11, 13	1A to 6A	data inputs
2, 4, 6, 8, 10, 12	1Y to 6Y	data outputs
7	GND	ground (0 V)
14	V_{CC}	positive supply voltage

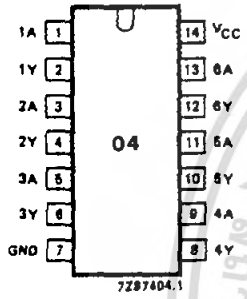


Fig.1 Pin configuration.

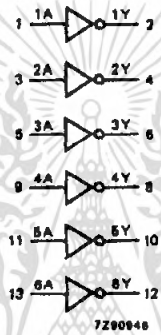


Fig.2 Logic symbol.

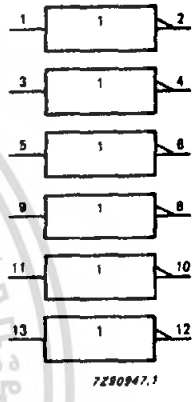


Fig.3 IEC logic symbol.

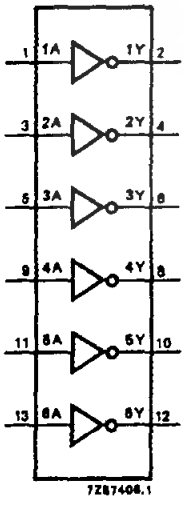


Fig.4 Functional diagram.

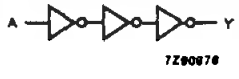


Fig.5 Logic diagram (one inverter).

FUNCTION TABLE

INPUT	OUTPUT
nA	nY
L	H
H	L

Notes

1. H = HIGH voltage level
   L = LOW voltage level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: SSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			–40 to +85		–40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay nA to nY		25 9 7	85 17 14		105 21 18		130 26 22	ns	2.0 4.5 6.0	Fig.6
t_{THL}/ t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: SSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications.
To determine ΔI_{CC} per unit, multiply this value by the unit load coefficient shown in the table below.

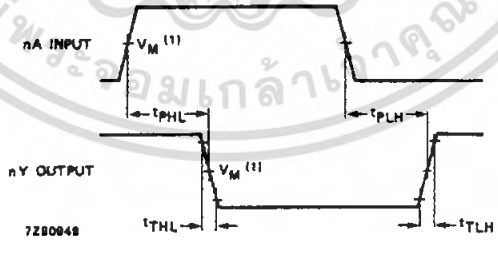
INPUT	UNIT LOAD COEFFICIENT
nA	1.20

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			–40 to +85		–40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay nA to nY		10	19		24		29	ns	4.5	Fig.6
t_{THL}/ t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.6

AC WAVEFORMS



(1) HC : V_M = 50%; V_I = GND to V_{CC}
HCT: V_M = 1.3 V; V_I = GND to 3 V

Fig.6 Waveforms showing the data input (nA) to data output (nY) propagation delays and the output transition times.

PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1999

LM160/LM360
High Speed Differential Comparator

General Description

The LM160/LM360 is a very high speed differential input, complementary TTL output voltage comparator with improved characteristics over the μA760/μA760C, for which it is a pin-for-pin replacement. The device has been optimized for greater speed, input impedance and fan-out, and lower input offset voltage. Typically delay varies only 3 ns for overdrive variations of 5 mV to 400 mV.

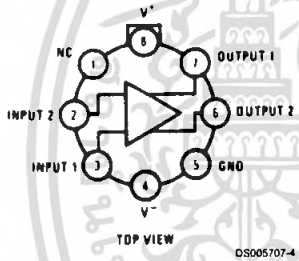
Complementary outputs having minimum skew are provided. Applications involve high speed analog to digital convertors and zero-crossing detectors in disk file systems.

Features

- Guaranteed high speed: 20 ns max
- Tight delay matching on both outputs
- Complementary TTL outputs
- High input impedance
- Low speed variation with overdrive variation
- Fan-out of 4
- Low input offset voltage
- Series 74 TTL compatible

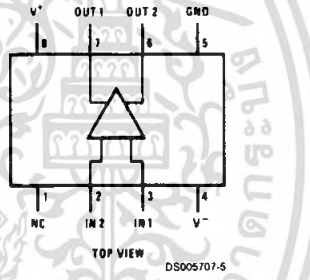
Connection Diagrams

Metal Can Package



Order Number LM160H/883 (Note 1) or LM360H
See NS Package Number H08C

Dual-In-Line Package



Order Number LM360M or LM360N
See NS Package Number M08A or N08E

Note 1: Also available in SMD# 5962-8767401

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 6, 8)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Positive Supply Voltage	+8V
Negative Supply Voltage	−8V
Peak Output Current	20 mA
Differential Input Voltage	±5V
Input Voltage	$V^+ \geq V_{IN} \geq V^-$
ESD Tolerance (Note 9)	1600V
Operating Temperature Range	
LM160	−55°C to +125°C
LM360	0°C to +70°C
Storage Temperature Range	−65°C to +150°C
Lead Temperature	
(Soldering, 10 sec.)	260°C
Soldering Information	
Dual-In-Line Package	
Soldering (10 seconds)	260°C
Small Outline Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

($T_{MIN} \leq T_A \leq T_{MAX}$)

Parameter	Conditions	Min	Typ	Max	Units
Operating Conditions					
Supply Voltage V_{CC}^+		4.5	5	6.5	V
Supply Voltage V_{CC}^-		−4.5	−5	−6.5	V
Input Offset Voltage	$R_S \leq 200\Omega$		2	5	mV
Input Offset Current			0.5	3	μA
Input Bias Current			5	20	μA
Output Resistance (Either Output)	$V_{OUT} = V_{OH}$		100		Ω
Response Time	$T_A = 25°C$, $V_S = \pm5V$ (Notes 2, 7)		13	25	ns
	$T_A = 25°C$, $V_S = \pm5V$ (Notes 3, 7)		12	20	ns
	$T_A = 25°C$, $V_S = \pm5V$ (Notes 4, 7)		14		ns
Response Time Difference between Outputs					
(t_{pd} of $+V_{IN1}$) − (t_{pd} of $-V_{IN2}$)	$T_A = 25°C$ (Notes 2, 7)		2		ns
(t_{pd} of $+V_{IN2}$) − (t_{pd} of $-V_{IN1}$)	$T_A = 25°C$ (Notes 2, 7)		2		ns
(t_{pd} of $+V_{IN1}$) − (t_{pd} of $+V_{IN2}$)	$T_A = 25°C$ (Notes 2, 7)		2		ns
(t_{pd} of $-V_{IN1}$) − (t_{pd} of $-V_{IN2}$)	$T_A = 25°C$ (Notes 2, 7)		2		ns
Input Resistance	f = 1 MHz		17		kΩ
Input Capacitance	f = 1 MHz		3		pF
Average Temperature Coefficient of Input Offset Voltage	$R_S = 50\Omega$		8		μV/°C
Average Temperature Coefficient of Input Offset Current			7		nA/°C
Common Mode Input Voltage Range	$V_S = \pm6.5V$	±4	±4.5		V
Differential Input Voltage Range		±5			V
Output High Voltage (Either Output)	$I_{OUT} = -320\ \mu A$, $V_S = \pm4.5V$	2.4	3		V
Output Low Voltage (Either Output)	$I_{SINK} = 6.4$ mA		0.25	0.4	V
Positive Supply Current	$V_S = \pm6.5V$		18	32	mA
Negative Supply Current	$V_S = \pm6.5V$		−9	−16	mA

Note 2: Response time measured from the 50% point of a 30 mVp-p 10 MHz sinusoidal input to the 50% point of the output.

Note 3: Response time measured from the 50% point of a 2 Vp-p 10 MHz sinusoidal input to the 50% point of the output.

Note 4: Response time measured from the start of a 100 mV input step with 5 mV overdrive to the time when the output crosses the logic threshold.

Note 5: Typical thermal impedances are as follows:

Cavity DIP (J):	θ_{jA}	135°C/W	Header (H)	θ_{jA}	165°C/W	(Still Air)
Molded DIP (N):	θ_{jA}	130°C/W			67°C/W	(400 LF/min Air Flow)
				θ_{jC}	25°C/W	

Note 6: The device may be damaged if used beyond the maximum ratings.

Note 7: Measurements are made in AC Test Circuit, Fanout = 1

Note 8: Refer to RETS 160X for LM160H, LM160J-14 and LM160J military specifications.

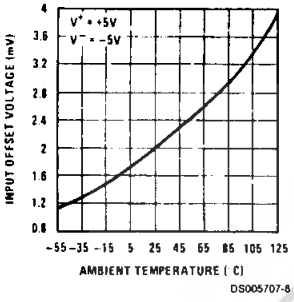
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Note 9: Human body model, 1.5 kΩ in series with 100 pF.

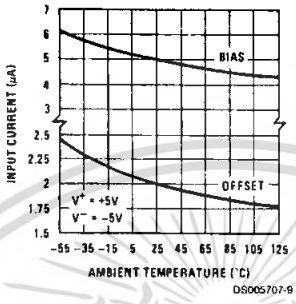
Typical Performance Characteristics

Offset Voltage



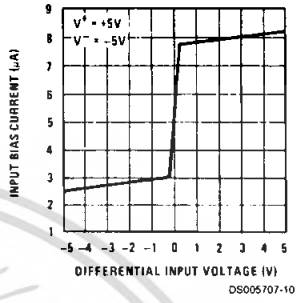
DS005707-8

Input Current vs Ambient Temperature



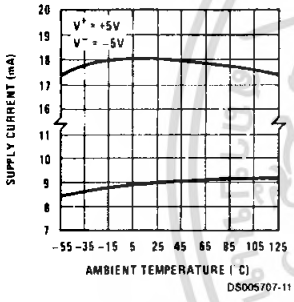
DS005707-9

Input Characteristics



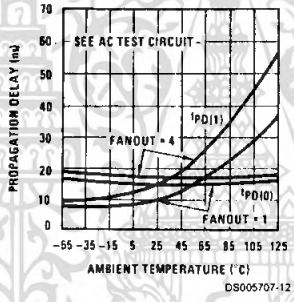
DS005707-10

Supply Current vs Ambient Temperature



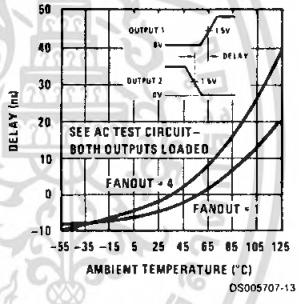
DS005707-11

Propagation Delay vs Ambient Temperature



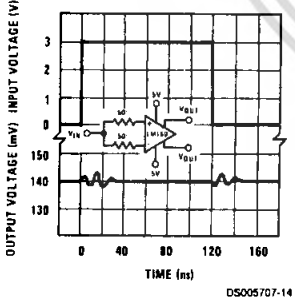
DS005707-12

Delay of Output 1 With Respect to Output 2 vs Ambient Temperature



DS005707-13

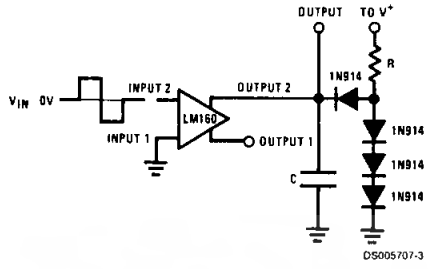
Common-Mode Pulse Response



DS005707-14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

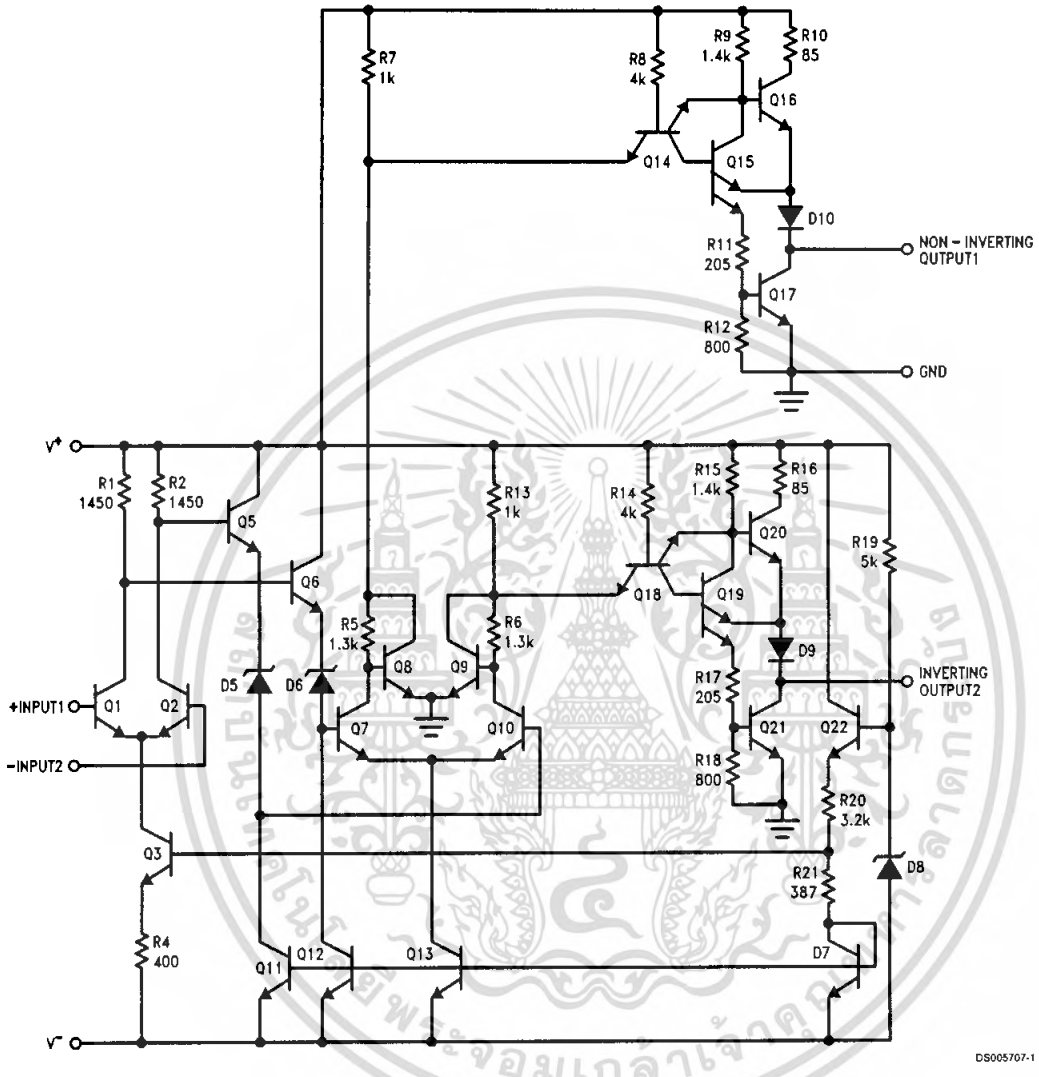
AC Test Circuit



V_{IN}=±50 mV	FANOUT=1	FANOUT=4
V^+=+5V	R=2.4k	R=630Ω
V^-=−5V	C=15 pF	C=30 pF

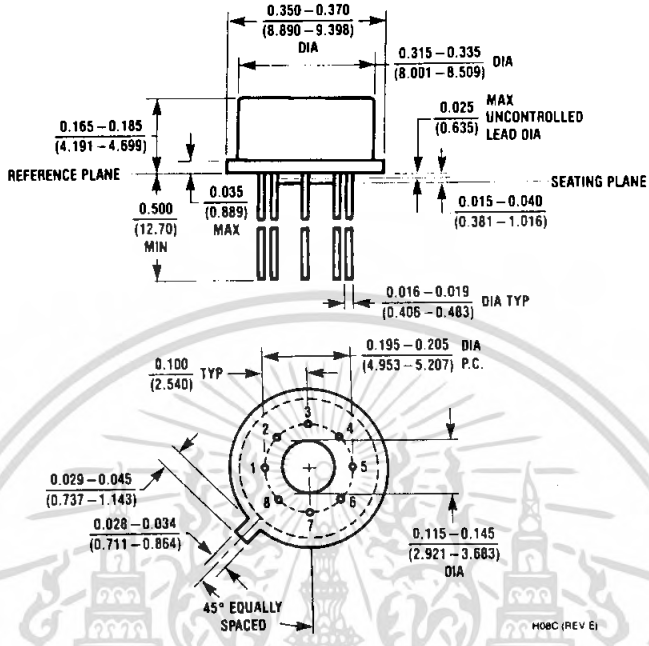
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram

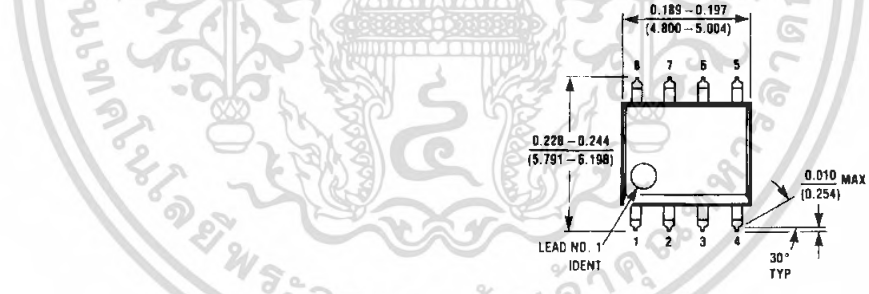


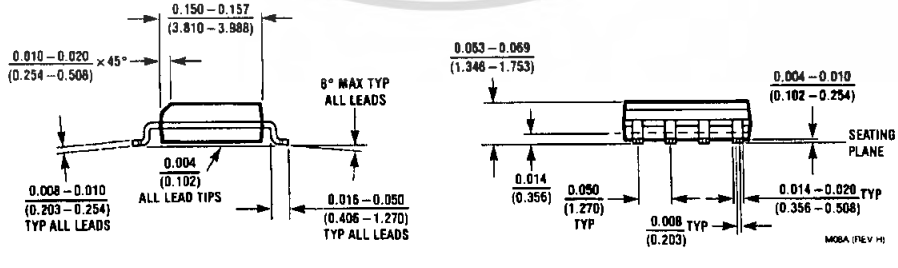
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Metal Can Package (H)
Order Number LM160H/883 or LM360H
NS Package Number H08C

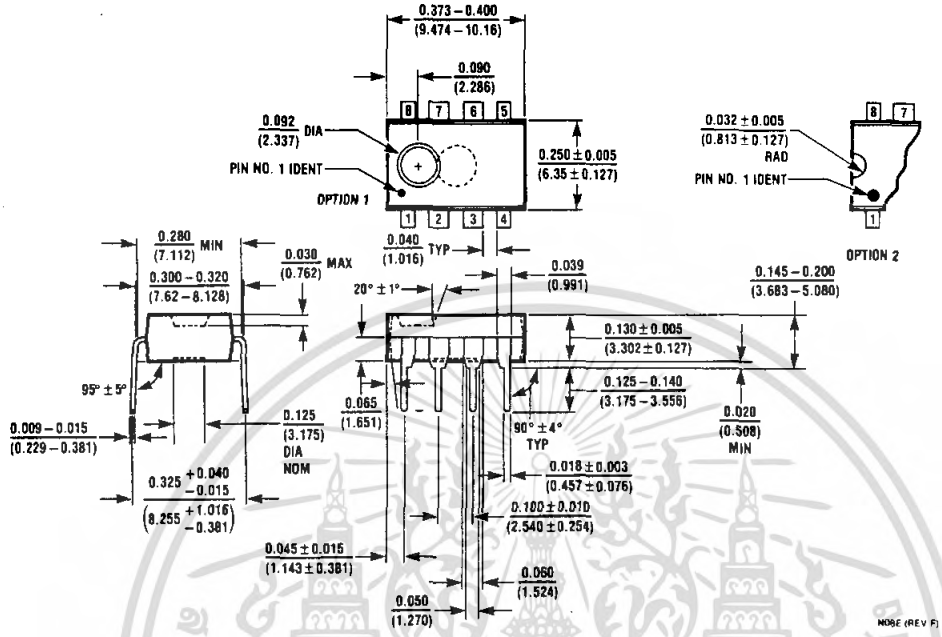




Molded Dual-In-Line Package (M)
Order Number LM360M
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package (N)
Order Number LM360N
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้